



ฉ.พ.
๑๐๖๘
๒๕๓๐



ปริญญาโท ปีการศึกษา 2530

ภาควิชา อิเลคทรอนิกส์

คณะวิศวกรรมศาสตร์ สถาบันเทคโนโลยีพระจอมเกล้า เจ้าคุณทหาร ลาดกระบัง

เรื่อง ระบบการเก็บข้อมูลภาพ

ผู้จัดทำ

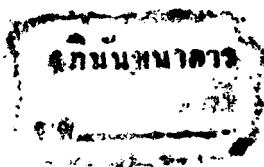
1. นายจิรวุฒิ วงศ์นิมลพร

2. นายณรงค์ สรรพพันธ์

Dr. Ben

อาจารย์ที่ปรึกษา

(ดร.แดเนียล บริน)



ระบบการเก็บข้อมูลภาพ

นาย จีรวุฒิ วงศ์พิมลพร

นาย ณรงค์ สุพรรณพันธ์

ดร.แดเนียล บริน อาจารย์ที่ปรึกษา

ปีการศึกษา 2530

บทคัดย่อ

โครงการนี้เป็นการศึกษาระบบการเก็บข้อมูลภาพโดยใช้ ไอซี เป็นตัวตรวจภาพ (SENSOR) ซึ่งข้อมูลภาพนี้จะแสดงด้วยระบบเทา (GREY SCALE) 2 ระดับคือ ขาว หรือ ดำเมื่อได้ข้อมูลภาพแล้ว ก็จะทำการถ่ายเทข้อมูลจากส่วนฮาร์ดแวร์ (HARDWARE) ของระบบ ผ่านระบบ RS-232 ไปยังหน่วยความจำ (MEMORY) ของเครื่องคอมพิวเตอร์ แล้วใช้โปรแกรม ซอร์ฟแวร์ (SOFTWARE) ในการควบคุมการแสดงผลทางจอภาพ (MONITOR)

ระบบการเก็บข้อมูลนี้เป็นระบบที่ไม่ซับซ้อนมากนัก โดยจะใช้หน่วยความจำเพียง 1 ใน 4 ของ ไอซี ตรวจรับภาพ (IC SENSOR) คือ 128x128 จุด (PIXELS) ดังนั้นจึงสามารถนำไปใช้กับระบบที่ไม่ต้องการความละเอียดมากนัก เช่นการเก็บบันทึกลายมือ (SIGNATURE RECOGNITION) หรือใช้เป็นตาของหุ่นยนต์ (ROBOT VISION) เป็นต้น

VIDEO RAM

MR. JEERAWUT WONGPIMONPORN

MR. NARONG SUPHUNKUN

DR. DANIEL BREEN

ADVISOR

ACADEMIC YEAR 1987

ABSTRACT

THIS PROJECT IS THE STUDY OF IMAGE ACQUISITION SYSTEM BY USING IC ACTING AS SENSOR. THE DATA THAT WE OBTAIN FROM THIS SYSTEM CAN BE REPERSENTED BY ONE GREY-SCALE (BLACK OR WHITE). AFTER THAT, IMAGE DATA IS TRANFERED FROM THE MAIN CIRCUIT BOARD TO THE MEMORY OF PERSONAL COMPUTER BY PASSING TO RS-232. MONITOR DISPLAY CAN BE DONE BY USING APPROPRIATE PROGRAMMING.

THIS IMAGE ACQUISITION SYSTEM IS NOT TO COMPLICATED BECAUSE ONLY 1/4 OF IC SENSOR'S MEMORY (128x128 PIXEL) ARE USED. SO IT CAN BE USED FOR THE LOW RESOLUTION SYSTEM SUCH AS SIGNATURE RECOGNITION OR ROBOT VISION.

สารบัญ

	หน้า
บทที่ 1 บทนำ	1
บทที่ 2 หลักการทำงานของ VIDEO RAM	3
บทที่ 3 การคำนวณและการสร้าง	11
บทที่ 4 การทดลองและผลการทดลอง	27
บทที่ 5 บทสรุปและวิจารณ์	44
ภาคผนวก ก รวบรวม	45
ภาคผนวก ข ข้อมูลไอซีที่ใช้ในโครงงาน	46
กิตติกรรมประกาศ	
เอกสารอ้างอิง	

บทที่ 1

บทนำ

ระบบการเก็บข้อมูลภาพ (VIDEO RAM) หมายถึง ระบบที่ออกแบบสำหรับแปลงภาพมาเป็นสัญญาณไฟฟ้าไม่ว่าอนาลอกหรือดิจิตอล จากนั้นจะนำไปเก็บที่หน่วยความจำ เมื่อต้องการแสดงผล หรือประมวลผลต่อไป ดังนั้น จึงสามารถแบ่งขั้นตอนในการเก็บภาพได้ทั้งหมด 3 ขั้นตอน คือ

1 การตรวจรับข้อมูลภาพ (IMAGE SENSOR) เนื่องจากภาพแต่ละภาพจะประกอบด้วยความแตกต่างของสีหรือความสว่าง ดังนั้นที่ความสว่างค่าหนึ่งจะถูกกำหนดให้เป็นข้อมูลตัวเลขทางดิจิตอล ซึ่งข้อมูลนี้จะเป็นเลขกิบิต ขึ้นอยู่กับระดับความละเอียด (GREY SCALE)

2 การเก็บ (STORAGE) เป็นการนำเอาสัญญาณข้อมูลทางดิจิตอลไปเก็บในหน่วยความจำ (MEMORY) หรือ อุปกรณ์การเก็บ (STORAGE DEVICE) อันที่ที่เหมาะสม

3 การแสดงผลภาพ (IMAGE DISPLAY) เป็นการนำข้อมูลภาพที่ได้มาทำการพล็อต (PLOT) บนจอโดยการกำหนดตำแหน่งที่ถูกต้องให้กับข้อมูลภาพแต่ละตัว

นอกจากนี้ยังอาจนำข้อมูลภาพที่ได้มากระทำการ (PROCESSING) ได้อีก ซึ่งกระบวนการนี้จำเป็นเป็นสิ่งสำคัญสำหรับข้อมูลภาพ ใช้ในการแยกแยะหรือกำหนดข้อมูลภาพ เปรียบเทียบความแตกต่างของข้อมูลภาพที่ได้กับข้อมูลต้นแบบ เป็นต้น

ปัจจุบันมีการนำเครื่องคอมพิวเตอร์มาใช้ร่วมกับการเก็บข้อมูลภาพอย่างแพร่หลาย และโครงการนี้ก็จะเป็นสิ่งหนึ่งที่แสดงให้เห็นถึงความก้าวหน้าทางเทคโนโลยีของการแปลงสัญญาณภาพมาเป็นสัญญาณดิจิตอล ซึ่งแต่เดิมใช้ระบบกล้องทีวี (T.V. CAMERA) ซึ่งมีความละเอียดของภาพ 574×765 จุด (PIXEL) และมีความละเอียดของสีถึง 64 ระดับ (GREY SCALE) หรือแทนได้ด้วยตัวเลข 6 บิต ($2^6=64$) ดังนั้นในแต่ละภาพจะใช้หน่วยความจำในการเก็บข้อมูลถึง $6 \times 574 \times 765$ บิตหรือเท่ากับ 2,634,660 บิต ซึ่งจะทำให้การเก็บข้อมูลแต่ละภาพทำได้ช้ามาก และอีกวิธีหนึ่งก็คือการใช้อุปกรณ์ที่เรียกว่า ซีซีดี (CHARGE-COUPLED DEVICE) ซึ่งเป็นอุปกรณ์ตรวจรับภาพแบบโซลิดสเตต (SOLID-STATE SENSORS) ที่ออกแบบมาใช้กับระบบทีวี

โดยมีความละเอียดของภาพเป็น 380×488 จุด (PIXEL) แต่ราคาของมันก็ไม่ได้ถูกไปกว่า

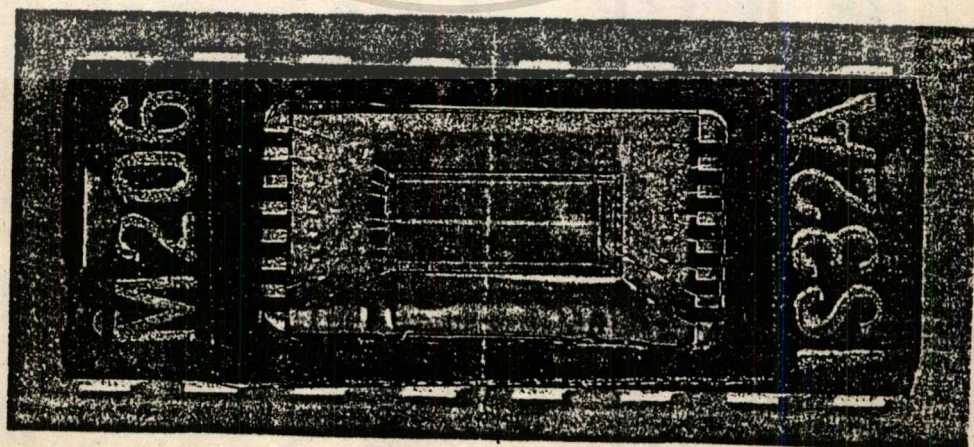
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษานี้เท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

กล้องทีวี ดังนั้นจึงมีการผลิตไอซี (IS 32) ตรวจรับภาพซึ่งมีความเหมาะสมที่จะใช้กับคอมพิวเตอร์ ซึ่งสามารถให้ความละเอียดของภาพได้ถึง 128x256 จุด จำนวน 2 ชุดและมีความละเอียดของสี 2 ระดับคือ ขาวและดำ จากความละเอียดขนาดนี้จะพบว่าสามารถเชื่อมโยงกับโมดกรานิคปานกลาง (320x200) ของการแสดงผลทางจอคอมพิวเตอร์ได้

การตรวจรับข้อมูลภาพของไอซีตัวนี้ จะต้องใช้เลนส์เข้ามาประกอบด้วยเพื่อโฟกัสภาพที่ต้องการให้มาตกกระทบบนตัวรับแสง (PHOTO PIXEL) ของไอซี ซึ่งพิกเซลเหล่านี้จะตรวจว่าแสงที่ตกกระทบเป็นสีขาวหรือสีดำ แล้วจะให้ผลออกมาเป็นข้อมูลทางดิจิทัลคือ 1 หรือ 0 โดยจะขึ้นอยู่กับว่าจุดนั้นจะอยู่บนชุดไหนของไอซี (ชุดบนกับชุดล่าง) หลังจากที่ได้รับข้อมูลภาพเรียบร้อยแล้วก็จะถ่ายเทข้อมูลจากตัวไอซีไปเข้าหน่วยความจำชนิดสแตติก (STATIC RAM) เพื่อรอคำสั่งจากเครื่องคอมพิวเตอร์ในการถ่ายเทข้อมูล ไปยังหน่วยความจำของเครื่องคอมพิวเตอร์อีกที จากนั้นจะใช้โปรแกรมในการพล็อต (PLOT) ข้อมูลเหล่านั้นบนจอ โดยต้องมีการควบคุมตำแหน่งของจุดเหล่านั้นให้เหมือนกับตำแหน่งจริงๆ ที่มีอยู่บนตัวไอซี มิฉะนั้นลักษณะของภาพที่ได้จะผิดเพี้ยน

ในโครงการนี้ได้เลือกโปรแกรมภาษาแอสเซมบลี 8088 ในการควบคุมการทำงานของระบบ ทั้งนี้เนื่องจากเห็นว่า เป็นภาษาที่ใช้ควบคุมอุปกรณ์ อินพุต/เอาต์พุต ของเครื่องคอมพิวเตอร์ได้โดยตรง ทำให้การทำงานของเครื่องใช้เวลาน้อยที่สุด



บทที่ 2

หลักการทํางานของ VIDEO RAM

2.1 ลักษณะและการทํางานของไอซี IS 32

2.1.1 ลักษณะโดยทั่วไปของไอซี IS 32

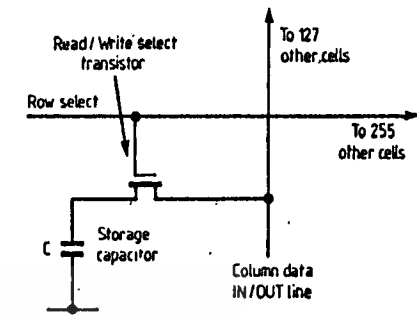
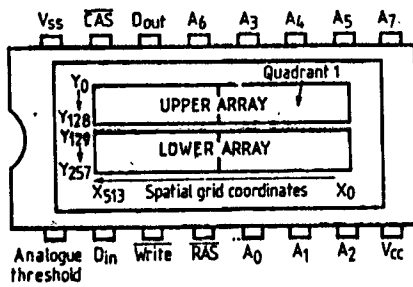
ไอซี IS32 ออปติกไดนามิคแรม (OPTIC DINAMIC RAM) เป็นของบริษั ไมครอน เทคโนโลยี (MICRON TECHNOLOGY) ซึ่งมีจำนวนจุดที่เก็บอยู่ในไดนามิคแรมทั้งหมด 65,536 จุดและแต่ละจุดมีระดับเทา (GREY SCALE) 2 ระดับ (ขาวและดำ) ซึ่งสามารถเก็บใน 1 บิตได้ จำนวนจุดจะถูกแบ่งออกเป็น 2 ชุดและแต่ละชุดจะมีขนาด 128x256 จุดและถูกแยกออกโดยแถบทางที่เรียกว่า แถบกัน (DEAD ZONE) การแบ่งเช่นนี้จะทำให้ไม่เกิดการสลับเปลี่ยนสำหรับการเก็บภาพธรรมดาและความละเอียดของภาพขนาด 128x256 จุดนี้ ก็เหมาะสมกับความละเอียดของจอภาพในโหมดความละเอียดสูง (HI-RESOLUTION MODE) ของคอมพิวเตอร์ทั่วๆไป (8 บิต) หรือโหมดความละเอียดปานกลาง (MEDIUM-RESOLUTION MODE) ในเครื่องคอมพิวเตอร์ขนาด 16 บิต และสำหรับการต่ออินเตอร์เฟสร่วมกับระบบในโรงงานนี้จะใช้เพียงครึ่งหนึ่งของชุดเท่านั้น (128x128 จุดหรือเรียกว่าควอดแรนท์) ทั้งนี้เนื่องจากขนาดของจุดจำนวนเท่านี้ก็เพียงพอกับการแสดงผล

ถึงแม้ว่าความละเอียดของภาพจะไม่มากนัก แต่ก็เป็นโรงงานที่น่าสนใจเพราะว่ามันสามารถนำมาประยุกต์ใช้งานได้มากมาย เช่น ในหุ่นยนต์ ระบบความปลอดภัยและระบบการจดจำลักษณะ เป็นต้น

2.1.2 การทํางานของไอซี IS 32

จุดทั้งหมด 65,536 จุด ถูกจัดเป็นเมตริกซ์ (METRIX) 2 ซึ่งมีขนาด 128x256 ดังนั้นการให้แถวและคอลัมน์แก่ไอซีไดนามิคแรมตัวนี้จะมีผลดังนี้คือการให้ค่าแถวจะเป็นตัวเลือกว่าจะใช้ชุดบนหรือชุดล่างและยังเป็นการเลือกแถวของเซล (CELL) ที่ต่ออยู่กับกลุ่มของข้อมูลในแนวคอลัมน์ ซึ่งแต่ละแนวเหล่านี้จะต่ออยู่กับวงจรตรวจสอบและขยาย (SENSE AMPLIFIER) การให้ค่าคอลัมน์ก็จะเป็นการเลือก วงจรตรวจสอบและขยายเหล่านี้ เพื่อให้ต่อกับข้อมูลในบัฟเฟอร์ (BUFFER) ในระหว่างการเขียนหรือการอ่านตามลำดับ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

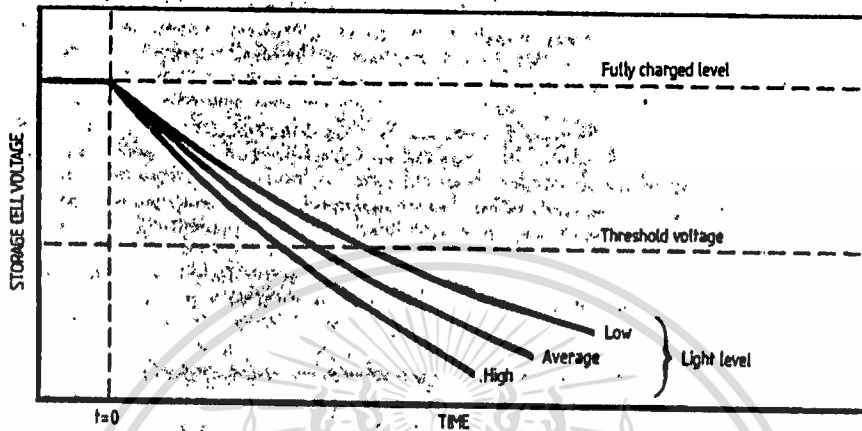


พิกเซล (PIXEL) รับแสงแต่ละตัวในไอซี IS 32 ก็คือ เซลของไดนามิคแรม (D-RAM CELL) ซึ่งประกอบด้วยตัวเก็บประจุขนาดเล็กต่ออยู่กับเฟต (FET) ที่ทำหน้าที่เป็นอนาลอกสวิตช์ โดยมีจะถูกใช้ในการอ่านหรือเขียน เมื่อมีการเลือกแถวทุกเซลล์ในแถวนี้จะต่ออยู่กับแนวคอลัมน์ของข้อมูลเข้าและออก แต่จะมีวงจรขยายและตรวจสอบ เพียงตัวเดียวที่ถูกกระตุ้นและเชื่อมโยงกับภายนอกได้ ดังนั้นการดำเนินงานของการเขียนจะเกี่ยวข้องกับการสะสมประจุในตัวเก็บประจุ ในขณะที่การอ่านจะเกี่ยวข้องกับการนำประจุที่สะสมอยู่ออกมา

แต่เนื่องจากในแนวคอลัมน์ของข้อมูลเข้า-ออก จะต่อกันอยู่อย่างเมตริกซ์กับเซลล์ในคอลัมน์อื่นที่อยู่ในสถานะไม่ทำงาน (OFF) จึงมีผลทำให้ตัวเก็บประจุถูกต่อกับแนวที่มีข้อมูลประจุที่สะสมอยู่ในตัวมันจะแพร่กระจายออกไประหว่างตัวมันเอง กับแนวของตัวเก็บประจุที่ต่อกันอยู่อย่างขนานผลกระทบนี้นี้ จะทำให้เกิดการลดทอนของโวลเตจที่ใช้แสดงค่าของข้อมูลลง 21 เท่า ในสเปค (SPECIFICATION) ของสถานะปกติของหน่วยความจำบอกว่าที่ระดับโวลเตจมากกว่า 2.1 โวลต์ในตัวเก็บประจุจะแทนลอจิก 1 และสมมติที่มีการลดทอนลง 21 เท่า ซึ่งหมายความว่าระดับโวลเตจที่วงจรตรวจสอบและขยาย จะลดลงเหลือเพียง 100 mV ดังนั้นจึงจะต้องมีการรีเฟรช (REFRESH) ตัวเก็บประจุ ซึ่งทำได้โดยการอ่านค่าของมันในแต่ละเซลล์ว่าอยู่ในสถานะลอจิกค่าใด แล้วจึงเขียนค่าที่เหมาะสมกลับเข้าไปใหม่โดยหน้าที่นี้เป็นงานของวงจรตรวจสอบและขยาย และการรีเฟรชจะเกิดขึ้นเองอย่างอัตโนมัติเมื่อเซลล์ถูกอ่าน และ

เพื่อลดปัญหาของเวลาในการรีเฟรช ดังนั้นการรีเฟรชจะเกิดขึ้นตลอดแถวที่เซลล์นั้นถูกอ่าน

เมื่อตัวเก็บได้รับพลังงานแสง อัตราการคายประจุจะเป็นสัดส่วนกับความเข้มของแสงที่ตกกระทบและเวลาที่ผ่านไป ดังรูป



จากรูปจะพบว่าเวลาที่ใช้ในการลดลงของสถานะลอจิกได้ระดับแรงดันต่ำสุด (THRESHOLD) ขึ้นอยู่กับความเข้มของแสงที่ตกกระทบ

ในกรณีเซลล์ของไดนามิคแรม (DYNAMIC RAM CELL) เฟลทของตัวเก็บประจุจะทำด้วยซิลิคอนและอิเล็กตรอน ซึ่งเป็นผลมาจากการดูดพลังงานโฟตอน (PHOTON) ซึ่งจะทำให้เกิดการลดลงของประจุที่สะสมอยู่ที่นั่น ถ้าแสงที่ตกกระทบอยู่เหนือระดับต่ำสุด (THRESHOLD LEVEL) แล้ว เซลจะมีโวลเตจเป็น 0 และถ้าอยู่ใต้ระดับต่ำสุด (THRESHOLD LEVEL) แล้ว วงจรตรวจสอบและขยายจะอ่านและให้ค่าเป็น 1

สิ่งหนึ่งที่ต้องทราบเกี่ยวกับลักษณะพิเศษของ ไอซี IS 82 คือ เริ่มแรกมันถูกออกแบบมาสำหรับเป็นอุปกรณ์หน่วยความจำมากกว่าที่จะเป็นตัวตรวจจับภาพ (IMAGE SENSOR) เซลทั้ง 2 ชุด จะเก็บข้อมูลที่แตกต่างกัน กล่าวคือ ชุดบน (แถว 0-127) จะถูกทำให้มีลอจิกเป็น 1 ที่เวลาเริ่มแรก ในขณะที่ชุดล่าง (แถว 128-255) จะถูกทำให้มีลอจิกเป็น 0 ดังนั้นหลังจากการรับแสงของเซล ถ้ายังคงอยู่ในสถานะเหมือนเดิมแล้วเซลรับแสง (PEL) นั้นจะถูกแปลว่าเป็นสีดำ และถ้ามันถูกเปลี่ยนสถานะมันจะถูกแปลความหมายว่าเป็นสีขาว ภาพที่ได้จากการดำเนินงาน (PROCESS) นี้ จะเป็นเซลรับแสง (PEL) ที่ทำหน้าที่ในการรับแสงได้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

(PHOTOSITE) เพียง 50% ซึ่งเซลล์รับแสง (PEL) เหล่านี้สามารถแสดงสภาวะขาวหรือดำ ในขณะที่เซลล์รับแสง (PEL) ที่เหลือจะเป็นสเปซเซลล์ (SPACE PEL) ซึ่งอาจแสดงเป็นสีพื้น (BLACK GROUND) ของภาพได้

2.2 การสื่อสารข้อมูลแบบอนุกรม (SERIAL DATA COMMUNICATION)

การส่งผ่านข้อมูลไปในระยะทางไกล ๆ นั้นเรามักจะเลือกใช้การส่งข้อมูลแบบอนุกรมเพื่อลดจำนวนของสายส่ง ทำให้ประหยัดค่าใช้จ่าย และในขณะเดียวกันก็ช่วยในการลดค่าใช้จ่ายในวางสายลงได้อย่างมาก ถึงแม้ว่าการรับส่งข้อมูลแบบนี้จะค่อนข้างยุ่งยากและช้ากว่าการส่งข้อมูลแบบขนานอยู่บ้างก็ตาม

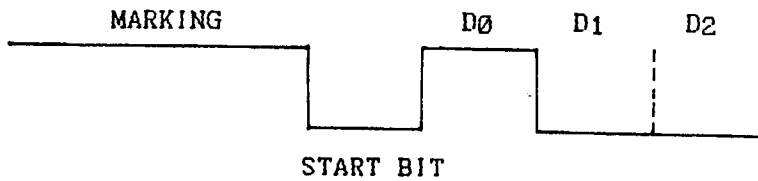
2.2.1 ความถี่ของการส่ง (BAUD RATE)

ความถี่ที่ใช้ในการส่งข้อมูล ซึ่งจะต้องสัมพันธ์กันระหว่างอุปกรณ์ที่ใช้ทำการรับและส่งข้อมูลและความถี่ที่ใช้เรียกว่าบอดเรต (BAUD RATE) ถ้าเครื่องส่งใช้ความถี่ของการส่งที่ไม่สัมพันธ์กับเครื่องรับแล้ว ก็จะทำให้การรับส่งข้อมูลเกิดการผิดพลาดขึ้นได้ โดยทั่วไปค่าของความถี่ในการส่งที่ใช้กันคือ 110, 150, 300, 1200, 2400, 4800, 9600 และเพื่อป้องกันความผิดพลาดในการรับส่งข้อมูล จึงมีการเพิ่มบิตต่าง ๆ ลงไปในแต่ละไบต์ของข้อมูล เพื่อช่วยในการตรวจสอบความถูกต้อง ที่เครื่องรับได้รับเข้ามา สำหรับบิตต่าง ๆ ที่เพิ่มเข้ามาคือ บิตเริ่ม (START BIT) บิตหยุด (STOP BIT) และพาริตีบิต (PARITY BIT) ซึ่งจะทำให้ข้อมูลในแต่ละไบต์ที่ส่งออกไปนี้มีมากกว่า 8 บิต และเวลาที่ใช้ในการรับส่งข้อมูลก็จะมากขึ้นด้วย

2.2.2 บิตเริ่ม (START BIT)

ในการที่จะทำให้อุปกรณ์ที่จะรับข้อมูลทราบว่า ข้อมูลที่ส่งเข้ามานั้นเริ่มต้นที่จุดใด ดังนั้นเราจึงจำเป็นที่จะต้องเพิ่มข้อมูลหนึ่งบิตลงไปก่อนหน้าข้อมูลจริง ที่จะทำการส่ง หรือบิต DO นั้นเอง

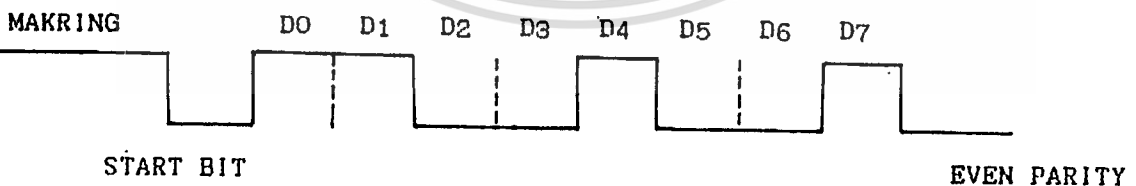
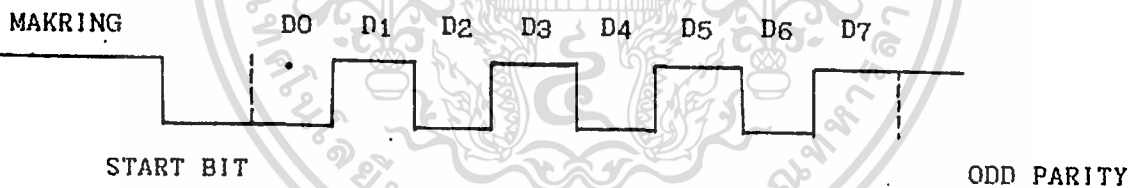
เมื่ออุปกรณ์ที่จะส่งข้อมูลยังไม่ได้ทำการส่งข้อมูลใดๆออกมานั้น สายส่งจะอยู่ในสภาวะที่เรียกว่า มาสกกิ้ง (MASKING) ซึ่งเป็นสภาวะที่ไม่มีการรับส่งข้อมูลใดๆ เกิดขึ้น สมมติให้มาสกกิ้งของสายเป็นลอจิก 1 ดังนั้น บิตเริ่มจะมีลอจิกตรงข้ามกับลอจิกของมาสกกิ้ง ขนาดของบิตเริ่มจะมีความกว้างเท่ากับ 1 บิตของข้อมูล



2.2.3 พาริตีบิต (PARITY BIT)

มีหน้าที่ในการบอกให้ส่วนรับข้อมูลทราบว่า ข้อมูลที่ได้รับเข้ามานั้นมีความถูกต้องเหมือนกับข้อมูลที่ส่งหรือไม่ โดยทั่วไปบิตนี้จะทำหน้าที่บอกว่า ข้อมูลที่ส่งออกมาแต่ละไบต์มีจำนวนบิตที่เป็น 1 อยู่เป็นจำนวนคี่หรือคู่ บิตนี้จะ เป็น 1 หรือ 0 ขึ้นอยู่กับว่า ผู้ใช้ต้องการพาริตีคี่หรือคี่ ถ้าเป็นพาริตีคี่ อุปกรณ์จะทำการส่งพาริตีบิตที่เป็น 1 เมื่อจำนวนบิตที่เป็น 1 ของข้อมูลเป็นจำนวนคี่

สำหรับส่วนรับส่งข้อมูลนั้น เมื่อทำการรับส่งข้อมูลแล้ว ก็จะตรวจสอบสัญญาณว่าจำนวนบิตที่เป็น 1 ของข้อมูล รวมกันกับพาริตีบิตนั้นเป็นจำนวนคี่หรือไม่ ถ้าหากเป็นจำนวนคี่ ก็แสดงว่าข้อมูลเกิดการผิดพลาดขึ้น อุปกรณ์ส่งและรับนั้นจะต้องมีการเช็คพาริตีที่เหมือนกัน



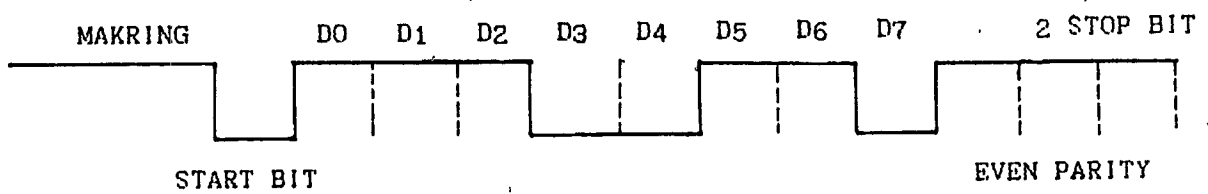
2.2.4 บิตหยุด (STOP BIT)

เป็นบิตสุดท้ายที่เพิ่มเข้าไปโดยวางไว้หลัง บิต D7 ถ้าอุปกรณ์ รับข้อมูลตรวจไม่พบบิตที่รับเข้ามามีความผิดพลาดเกิดขึ้น สำหรับบิตหยุดนี้อาจมีจำนวนบิตเป็น 1 , 1.5 หรือ 2 บิต ก็ได้ ดังนั้นจะพบว่าจำนวนบิตที่ส่งออกมาของข้อมูล 8 บิตอาจมีได้ถึง 12 บิต ซึ่งถ้าใช้อัตรา 2400

บอด (Baud) ดังนั้นจะต้องใช้เวลาทั้งหมดเป็น 12×416 ไมโครวินาทีหรือ 4.99 มิลลิวินาที

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ในการค้า

ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา 7 และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



2.3.5 การเปลี่ยนข้อมูลจากแบบขนานเป็นแบบอนุกรม

มีหลักการแบบง่าย ๆ ที่ใช้ในการเปลี่ยนรูปแบบของข้อมูลมีขั้นตอนดังนี้คือ

1. ทำการถ่ายข้อมูลแบบขนาน (ในที่นี้มีจำนวน 8 บิต) ไว้ใน ชิฟต์รีจิสเตอร์ (SHIFT REGISTER)

2. เลื่อนข้อมูลทั้ง 8 บิตออกไปให้กับอุปกรณ์รับข้อมูลทีละบิต โดยที่จะทำการส่งข้อมูลแต่ละบิตออกไปด้วยอัตราเดียวกันกับอัตราที่ได้กำหนดไว้

2.3.6 หลักการเบื้องต้นของการรับส่งข้อมูลแบบอนุกรม

หลักการเบื้องต้นของการรับส่งข้อมูลแบบอนุกรม มีขั้นตอนดังนี้

1. ข้อมูลแบบขนานจากระบบจะถูกเปลี่ยนให้เป็นข้อมูลแบบอนุกรม เพื่อเตรียมที่จะส่งออกไปให้ส่วนรับข้อมูล
2. ข้อมูลจะถูกส่งออกไปด้วยอัตราคงที่ค่าหนึ่งซึ่งเรียกว่า บอดเรท
3. ข้อมูลอนุกรมจะถูกส่งออกไปทีละบิต โดยทำการส่งบิต D0 เป็นบิตแรกและ D7 เป็นบิตสุดท้าย
4. ในขณะที่ยังไม่มี การส่งข้อมูลไปยังสายส่ง สายส่งจะถูกทำให้อยู่ในสถานะลอจิกไคลอจิกหนึ่งซึ่งเรียกสภาวะนี้ว่า มาร์คกิ้ง (MARKING)
5. อุปกรณ์ส่งข้อมูลจะเพิ่มข้อมูลอีก 1 บิตเข้าไปที่หน้าบิต D0 ของข้อมูลบิตที่เพิ่มนี้เรียกว่าบิตเริ่มต้น (START BIT)
6. อุปกรณ์ส่งข้อมูลจะเพิ่มพาริตีบิต (PARITY BIT) เข้าไปหลังบิต D7 เพื่อใช้ในการตรวจสอบความผิดพลาดของข้อมูลที่เครื่องรับ
7. บิตสุดท้ายที่เพิ่มเข้าไปหลังพาริตีบิตเรียกว่าบิตหยุด (STOP BIT) ซึ่งอาจมี

จำนวน 1, 1.5 หรือ 2 บิตก็ได้และลอจิกของบิตนี้จะเป็นลอจิกเดียวกับลอจิกของการมาร์ก

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



2.3.7 การอินเทอร์เฟส RS-232C

ตัวอินเทอร์เฟส RS-232C เป็นตัวแปลงสัญญาณไฟฟ้าจาก UART (UNIVERSAL ASYNCHRONOUS RECEIVER & TRANSMITTER) ไปเป็นระดับโวลต์ที่ตรงมาตรฐาน EIA

โดยที่ ลอจิก 0 จะแทนด้วยระดับโวลต์ที่ตรง +3 ถึง +15 โวลต์

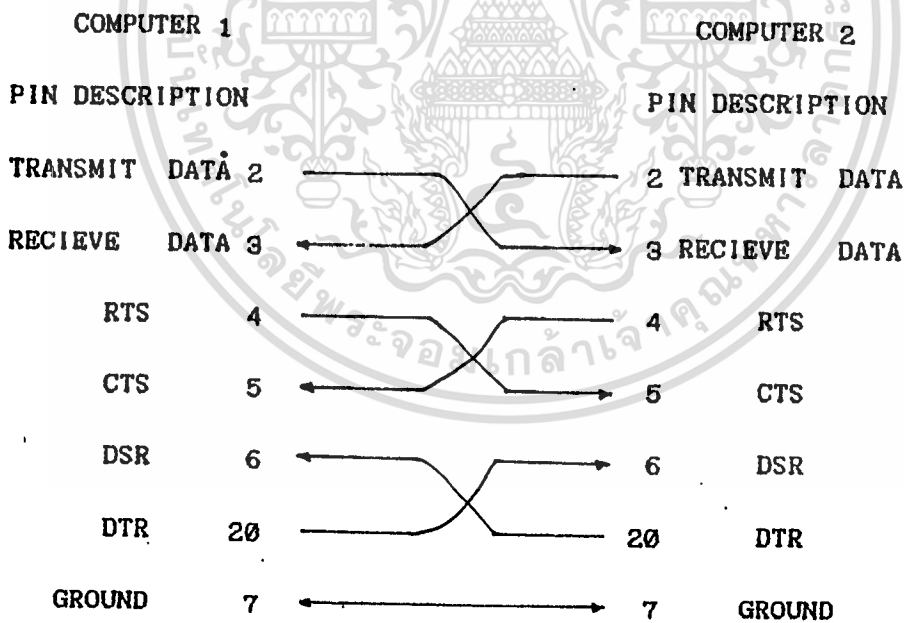
ลอจิก 1 จะแทนด้วยระดับโวลต์ที่ตรง -3 ถึง -15 โวลต์

ลักษณะของ RS-232 (CONNECTOR) มาตรฐานตัวผู้ (MALE) 25 ขา(PIN)

ชนิด D



การต่อ RS-232 2 ตัวก็ต้องต่อตามนี้



ถ้าไม่มีการใช้สัญญาณโมเด็ม (MODEM CONTROL SIGNAL) แล้วจะใช้เพียงขา 2,3 และ 7 เท่านั้น

สัญญาณโมเด็ม

RTS (READY TO SEND)

-เมื่อเป็นลอจิก ๑ เป็นการบอกอุปกรณ์ UART (๘25๐) พร้อมทั้งจะส่งข้อมูล

CTS (CLEAR TO SEND)

-เมื่อเป็นลอจิก ๑ เป็นการบอกอุปกรณ์ UART ว่าให้เริ่มส่งข้อมูลได้

DSR (DATA SET READY)

-เมื่อเป็นลอจิก ๑ เป็นการบอกอุปกรณ์โมเด็มหรือกลุ่มของข้อมูลพร้อมที่จะทำการติดต่อกับอุปกรณ์ UART

DTR (DATA TERMINAL READY)

-เมื่อเป็นลอจิก ๑ เป็นการบอกอุปกรณ์โมเด็มว่าอุปกรณ์ UART พร้อมทั้งจะทำการติดต่อกับโมเด็มหรือกลุ่มของข้อมูล



บทที่ 3

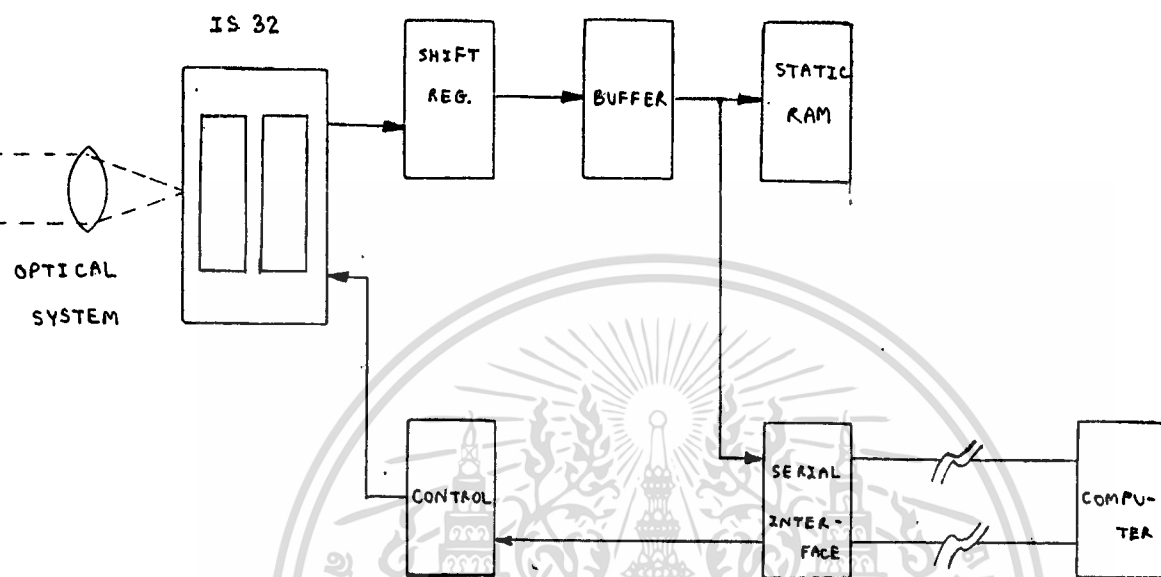
การคำนวณและการสร้าง

การทำงานของ VIDEO RAM จะถูกควบคุมจากทั้งทางฮาร์ดแวร์ (HARD WARE) และซอฟต์แวร์ (SOFT WARE) โดยซอฟต์แวร์จะเป็นตัวส่งรหัส (CODE) เมื่อสั่งให้วงจรทางฮาร์ดแวร์ทำงานโดยการรีเซ็ต (RESET) อุปกรณ์ UART ของตัววงจร เลือกชุดของพิกเซล (แถว และคอลัมน์) สแกนภาพ (SCAN) และถ่ายเทข้อมูล (TRANSFER DATA) จากวงจรไปยังเครื่องคอมพิวเตอร์ และจากนั้นก็จะใช้โปรแกรมในการควบคุมการพล็อตข้อมูลภาพบนจอของเครื่องคอมพิวเตอร์

3.1 การออกแบบในส่วนฮาร์ดแวร์

หัวใจของระบบการเก็บข้อมูลภาพดังนั้นก็คือไอซี IS 32 ซึ่งเป็นตัวตรวจรับภาพที่ต้องการโดยมีวงจรต่อร่วมเพื่อช่วยในการเลือกคำสั่ง การเลือกตำแหน่งของจุดการพักข้อมูลและการถ่ายเทข้อมูลไปยังเครื่องคอมพิวเตอร์โดยลักษณะของภาพที่ได้นั้นก็ถือว่ามีความละเอียดน้อย ซึ่งเป็นผลมาจากข้อจำกัดของตัวไอซี IS 32 เอง

ลักษณะโครงสร้างจะเป็นดังนี้



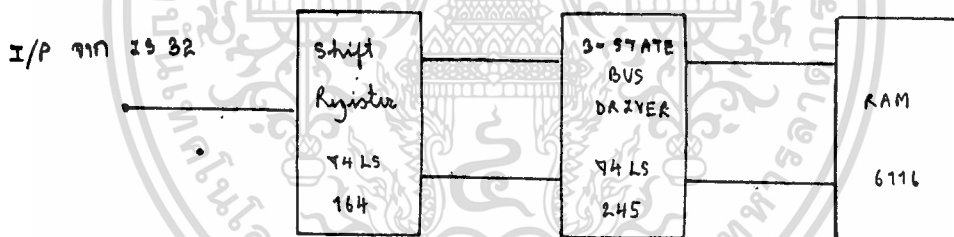
ขั้นตอนการทำงาน จะเริ่มด้วยการโฟกัสภาพที่ต้องการจากระบบเลนส์ (OPTICAL SYSTEM) เพื่อให้ได้ภาพที่คมชัดและถูกต้อง จากนั้นก็จะส่งคำสั่งจากเครื่องคอมพิวเตอร์ผ่านอุปกรณ์ UART (IM 6402) เมื่อแปลงข้อมูลจากอนุกรมไปเป็นแบบขนาน แล้วไปเข้ายังตัวถอดรหัส (DECODER) เพื่อเลือกชุดของพิกเซล (PIXEL) และเริ่มให้สัญญาณนาฬิกา (CLOCK) เริ่มทำงาน ซึ่งสัญญาณนาฬิกาจะเป็นตัวกำหนดตำแหน่ง (ADDRESS) ของพิกเซล โดยผ่านไอซีวงจรรนับ ดังนั้นอัตราการสแกนภาพและการถ่ายเทข้อมูล จึงขึ้นอยู่กับความถี่ของสัญญาณนาฬิกา (CLOCK) ที่ใช้ และขนาดของพิกเซลก็จะถูกควบคุมจากค่าสูงสุดของวงจรรนับนั่นเอง เมื่อต้องการส่งข้อมูลภาพก็จะส่งรหัส (CODE) คำสั่งสแกน (SCAN) หลังจากทำการสแกนภาพครบ 128 แถวในแต่ละคอลัมน์ ข้อมูลภาพจะถูกถ่ายเทออกมาโดยผ่านไอซีชิฟต์รีจิสเตอร์ (SHIFT REGISTER) เพื่อแปลงเป็นข้อมูลแบบขนาน และเข้าไอซีบัฟเฟอร์เพื่อขยายกำลัง และถูกเก็บอยู่ที่หน่วยความจำ (STATIC RAM) เพื่อรอคำสั่งการอ่าน

จากเครื่องคอมพิวเตอร์ ดังนั้นเมื่อต้องแสดงภาพบนจอเครื่องคอมพิวเตอร์ ก็ทำได้โดยการส่งรหัส (CODE) คำสั่งการอ่าน (READ) เพื่อทำการถ่ายเทข้อมูลภาพจากระบบไปยังหน่วยความจำของเครื่องคอมพิวเตอร์ แล้วนำข้อมูลเหล่านั้นทำการไปผ่านโปรแกรมที่ควบคุมการพล็อต (PLOT) บนจอในโหมดกราฟิกปานกลาง (MEDIUM GRAPHIC MODE)

จากโครงสร้างควบคุม (BLOCK DIAGRAM) ที่ผ่านมา สามารถอธิบายการทำงานของอุปกรณ์ต่าง ๆ ได้ดังนี้

3.1.1 ส่วนของชิพรีจิสเตอร์และบัฟเฟอร์

ข้อมูลที่ออกมาจากไอซี 15 32 จะเป็นแบบอนุกรม แต่แรมที่ใช้จะเก็บข้อมูลแบบขนาน ดังนั้นจึงต้องทำการเลื่อนข้อมูลให้เป็นแบบขนาน 8 บิต จากนั้นก็จะส่งข้อมูลไปเข้าไอซีบัฟเฟอร์ โดยใช้บัฟเฟอร์ 3 สถานะ (TRI-STATE BUFFER) ซึ่งทำหน้าที่ในการปรับรูปร่างของสัญญาณและขยายกระแส โดยมีวงจรดังรูป

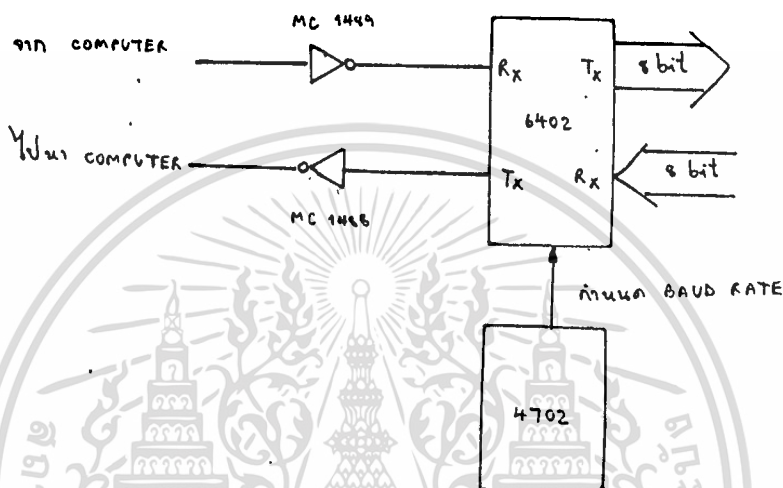


3.1.2 ส่วนของการอินเตอร์เฟสแบบอนุกรม

รหัส (CODE) คำสั่งที่ใช้ในการควบคุมการทำงาน จะมาจากเครื่องคอมพิวเตอร์ ซึ่งส่งผ่านทางระบบ อาร์เอส 232 โดยคำสั่งเหล่านี้จะถูกส่งออกมาแบบอนุกรม ผ่านตัวไอซี MC 1489 เพื่อแปลงระดับโวลเตจจาก อาร์เอส 232 มาเป็นระดับ ที ที แอล แล้วจึงนำมาเข้า ไอซี UART (1M 6402) ซึ่งจะทำการแปลงข้อมูลแบบอนุกรมมาเป็นแบบขนาน เพื่อเป็นสัญญาณเข้า (INPUT) ให้กับไอซีที่ทำหน้าที่ถอดรหัส (DECODER 74 LS 138) ทำการถอดรหัสว่าเป็นคำสั่งอะไร (รีเซตไอซี 6402 เลือกลง เลือกลง คอ ลัมน์ สแกนภาพ) เนื่องจากการติดต่อกันระหว่างคอมพิวเตอร์กับ ไอซี UART จะเป็นแบบอนุกรม ดังนั้นหน่วยความจำชั่วคราว (RAM) ของระบบซึ่งมีข้อมูลเป็นแบบขนานจึงต้องผ่านไอซี UART เพื่อกระทำการ

แปลงข้อมูลแบบขนานมาเป็นแบบอนุกรม โดยผ่านไอซี MC 1488 เพื่อแปลงระดับโวลเตจจาก ทีทีแอล มาเป็นระดับ อาร์เอส 232C

การควบคุมความถี่ของการรับ-ส่ง (BAUD RATE) จะมาจากไอซีที่ใช้กำเนิดความถี่ (4720) ซึ่งเป็นตัวกำเนิดสัญญาณความถี่ 2.4576 เมกกะ เฮิรท์ โดยเราสามารถกำหนด ความถี่ของการรับ-ส่งข้อมูลจากสวิตช์ 2 ทาง



3.1.3 ส่วนของการควบคุมทั่วไป

ประกอบด้วยวงจรมัลติพลอย วงจรเกท วงจรกำเนิดสัญญาณโมโนสเตเบิล และวงจร นับ ซึ่งสามารถแยกการทำงานได้ดังนี้

- วงจรเกท และ วงจรมัลติพลอย

ทำหน้าที่ในการตรวจสอบ และแยกสัญญาณที่ต้องการเพื่อนำไปเป็นตัวทริก (TRIG) อุปกรณ์หลักของวงจร ซึ่งได้แก่ สแตติกแรม หรือ บัฟเฟอร์เป็นต้น

- วงจรโมโนสเตเบิล

ทำหน้าที่ในการกำหนดช่วงเวลาสำหรับการสแกนของ IS 32 โดยเอาท์พุทของโมโน สเตเบิลนี้ถูกใช้เพื่อยับยั้งสัญญาณนาฬิกาไม่ให้เพิ่มค่าแอสเดสของฟิกเซล โดยการไปรีเซตไอซี D-FF ทำให้แต่ละฟิกเซลของ IS 32 ในแต่ละคอลัมน์ใช้เวลาในการรับพลังงานไฟตอนจากแสง ประมาณ 0.45RC ซึ่งสามารถปรับได้จากค่าความต้านทาน

-วงจรนับ

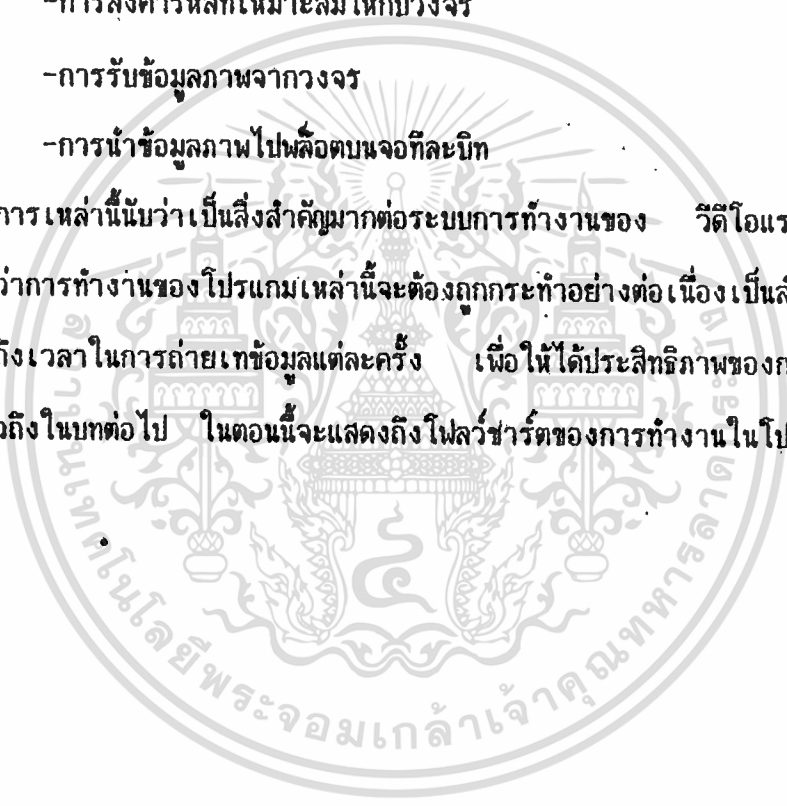
เป็นตัวกำหนดค่าตำแหน่งของแถวและคอลัมน์ของไอซี IS 32 และค่าแอสแอสของไอซี สเตติกแรมด้วย นอกจากนี้บิตที่ 4 และบิตที่ 8 ของไอซีวงจรนับ ยังถูกนำมาเป็นสัญญาณ R/พี และสัญญาณหยุดการทำงานของระบบ

3.2 การออกแบบในส่วนของซอฟต์แวร์

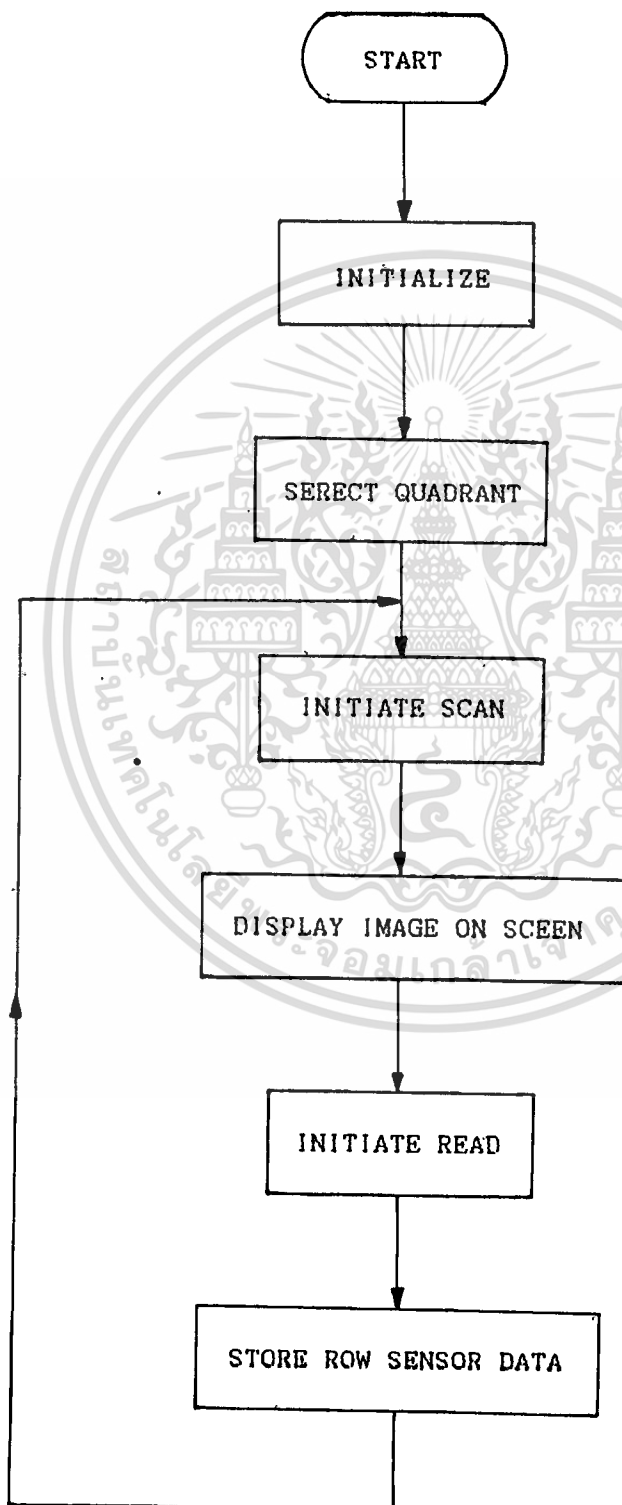
หน้าที่หลักของโปรแกรมมีหลายขั้นตอน ซึ่งได้แก่

- การส่งค่ารหัสที่เหมาะสมให้กับวงจร
- การรับข้อมูลภาพจากวงจร
- การนำข้อมูลภาพไปหาคือตบจนจบทีละบิต

ขบวนการเหล่านี้นับว่าเป็นสิ่งสำคัญมากต่อระบบการทำงานของ วิดีโอแรม (VIDEO RAM) เพราะว่าการทำงานของโปรแกรมเหล่านี้จะต้องถูกกระทำอย่างต่อเนื่องเป็นลำดับ อีกทั้งยังจะต้องคำนึงถึงเวลาในการถ่ายเทข้อมูลแต่ละครั้ง เพื่อให้ได้ประสิทธิภาพของการทำงานสูงสุดซึ่งจะได้กล่าวถึงในบทต่อไป ในตอนนี้จะแสดงถึงฟลัวร์ชาร์ตของการทำงานในโปรแกรม



3.2.1 โปรแกรมการทำงานของระบบทั้งหมด



จากโฟลว์ชาร์ตในหน้าที่แล้ว แต่ละบล็อกมีความหมาย คือ

INITIALIZE

-เป็นการส่งข้อมูลไปยัง วงจรเพื่อทำการรีเซต การเกิดความผิดพลาดบนตัวอุปกรณ์ UART ซึ่งได้แก่

PE (PARITY ERROR) การผิดพลาดเนื่องจาก บิตพาริตี

OE (OVERRUN ERROR) การผิดพลาดเนื่องจาก ข้อมูลใหม่ไปทับกับข้อมูลเก่า

FE (FRAMING ERROR) การผิดพลาดเนื่องจาก ตรวจหาบิตหยุด (STOP BIT) ไม่พบ

SELECT QUADRANT

-เป็นการส่งข้อมูลไปยังวงจร เพื่อทำการเลือกชุดของพิกเซล รวมทั้งแถวและคอลัมน์ที่ต้องการ ซึ่งจากไอซี IS 32 จะแบ่งกลุ่มของพิกเซลออกเป็น 4 กลุ่ม (QUADRANT) กลุ่มละ 128x128 จุด (PIXEL)

INITIATE SCAN

-เป็นการส่งข้อมูลไปยังวงจร เพื่อที่จะทำให้ไอซี IS 32 เริ่มทำการสแกน (SCAN) ภาพ ซึ่งโดยความจริงแล้วมันเป็นการทำให้วงจรนับเริ่มทำงาน นั่นคือตำแหน่งของแถวและคอลัมน์จะถูกทำให้เพิ่มขึ้นเรื่อย ๆ ซึ่งเป็นการเปลี่ยนตำแหน่งของการรับข้อมูลภาพไปนั่นเอง

DISPLAY IMAGE ON SCREEN

- เป็นการนำข้อมูลภาพที่ได้จากการสแกนไปพล็อตบนจอ ซึ่งจริงแล้วการนำข้อมูลภาพที่ได้จากการสแกนไปพล็อตทันทีทันใดนั้น จะทำให้เป็นการสิ้นเปลืองเวลา ดังนั้นควรนำไปเก็บที่หน่วยความจำก่อน ซึ่งจะทำให้สามารถทำการสแกนภาพอื่นต่อไปได้ โดยจะทำให้ใช้เวลาน้อยลงมาก

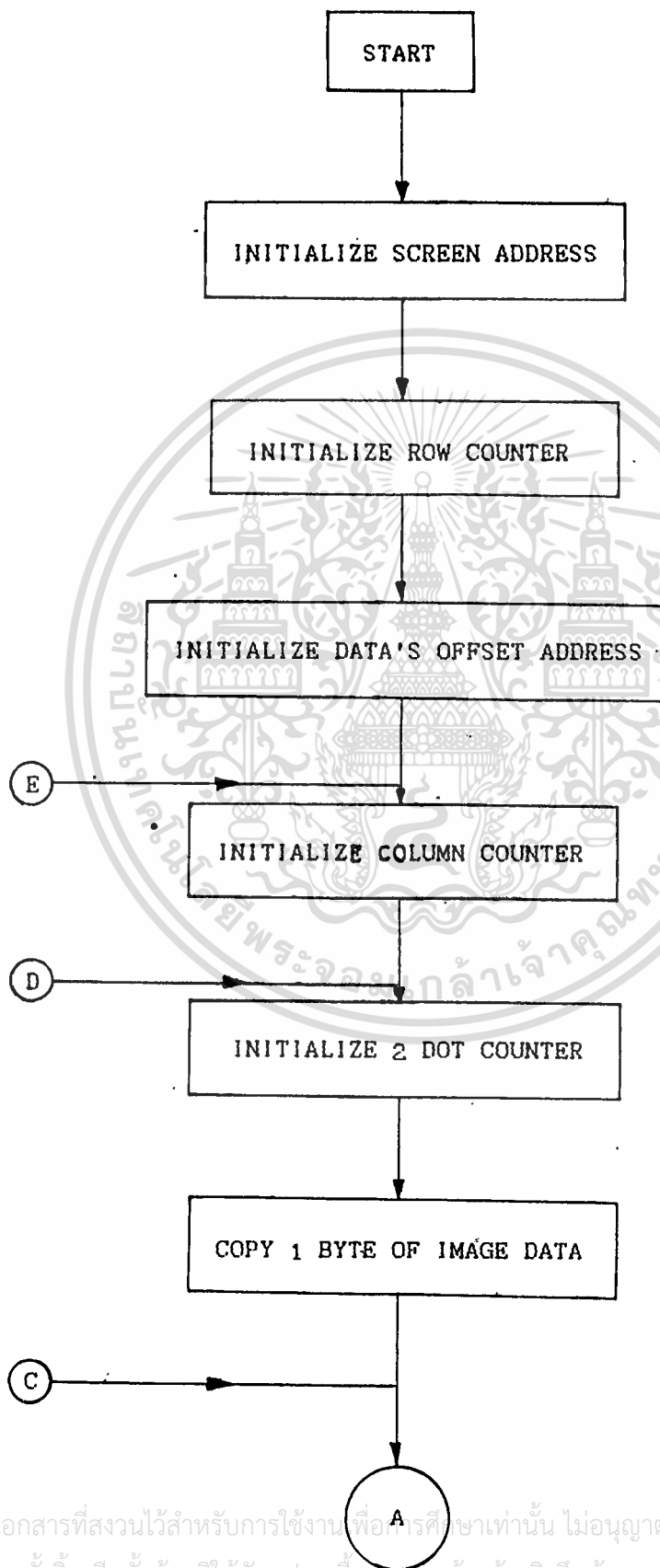
INITIATE READ

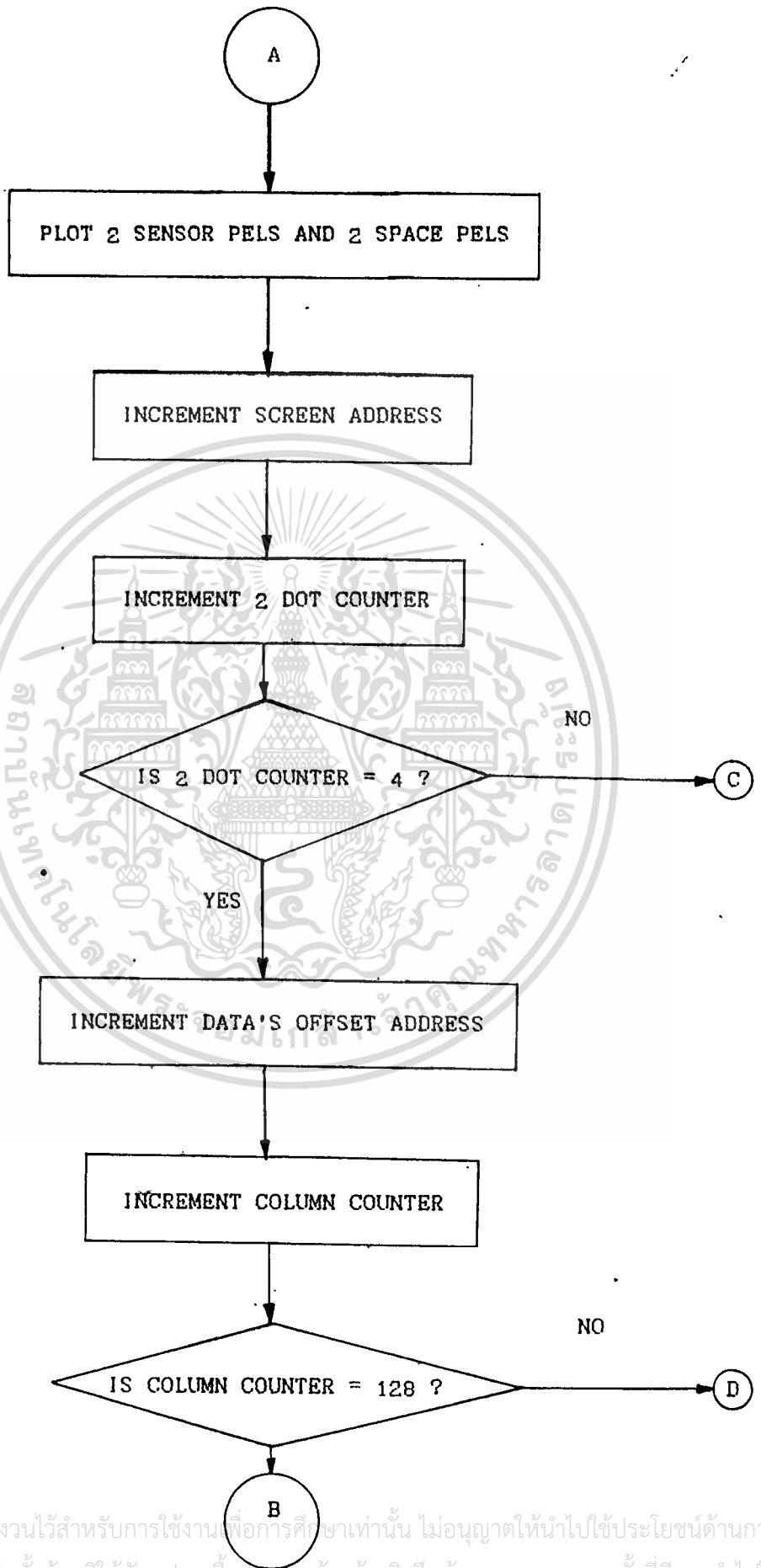
- เป็นการส่งข้อมูลไปยังวงจร เพื่อที่จะทำการส่งข้อมูลภาพที่ได้จากการสแกน ไปยังเครื่องคอมพิวเตอร์

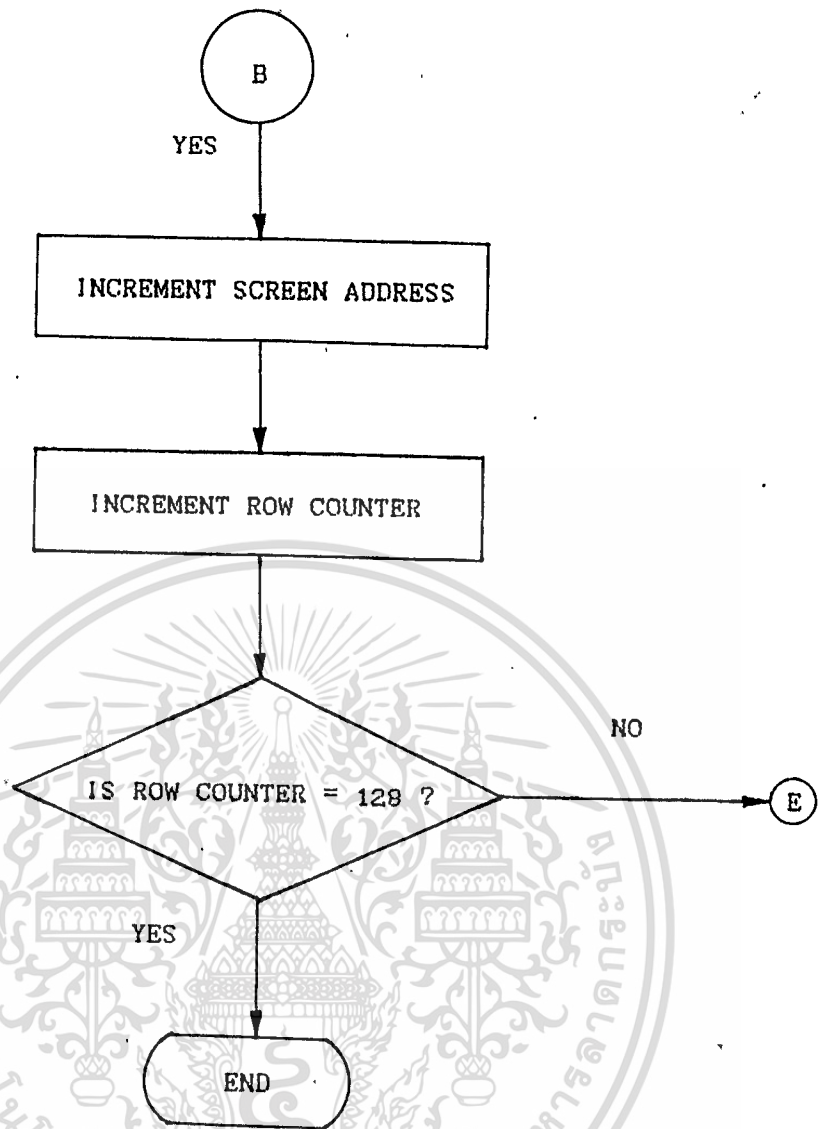
STORE ROW SENSOR DATA

- เป็นการเก็บข้อมูลภาพที่ได้จากการอ่านมาจากวงจร มาเก็บไว้ในแผ่นดิสก์เกต (FLOPPY DISK)

3.2.2 โปรแกรมการพล็อตภาพ







3.3 คำสั่งการทำงานของไอซี IS 32

COMMAND WORD		FUNCTION
00	SCAN	เริ่มการสแกน ไอซี IS 32 (ระหว่างนี้ CTS ไม่ทำงาน)
01	ROWL	เซตค่าบิตสูงสุดของแถวเป็น 0 -เลือกชุดบน
02	ROWU	เซตค่าบิตสูงสุดของแถวเป็น 1 -เลือกชุดล่าง
03	COLL	เซตค่าบิตสูงสุดของคอลัมน์เป็น 0 -เลือกชุดล่าง
04	COLU	เซตค่าบิตสูงสุดของคอลัมน์เป็น 1 -เลือกชุดบน
05	MR	รีเซตอุปกรณ์ UART
06	READ	ส่งข้อมูลภาพไปยังเครื่องคอมพิวเตอร์ (CTS ยังไม่ทำงาน)

ขั้นตอนในการทำงานของวงจรนี้

- 1 ส่งค่า 05 ไปยังวงจร เพื่อทำการรีเซตอุปกรณ์ UART
- 2 ส่งค่า 02 ไปยังวงจร เพื่อเลือกฟังก์ชันชุดล่าง
- 3 ส่งค่า 04 ไปยังวงจร เพื่อเลือกคอลัมน์บน
- 4 ส่งค่า 00 ไปยังวงจร เพื่อให้ไอซี IS 32 ทำการสแกนภาพ
- 5 ส่งค่า 06 ไปยังวงจร เพื่อทำการอ่านข้อมูลในหน่วยความจำในวงจร มายังหน่วยความจำในเครื่องคอมพิวเตอร์ แล้วเก็บลงบนแผ่นดีस्क เพื่อที่จะสามารถนำมาใช้ได้อีก

ในที่นี้จะขอลำดับถึงรายละเอียดของการทำงานของคำสั่งสแกน (SCAN) กับคำสั่งการอ่าน (READ) เพราะทั้งสองคำสั่งเป็นหัวใจสำคัญการทำงานของระบบ การเข้าใจถึงการทำงานในแต่ละคำสั่ง จะทำให้ทราบถึงการทำงานของอุปกรณ์ต่างๆภายในวงจรได้เป็นอย่างดี

-การทำงานคำสั่งสแกน (SCAN COMMAND)

เมื่อมีคำสั่งสแกน ซึ่งถูกส่งผ่านมาทางอาร์เอส 232 ซี ตัวดีโคคเตอร์ (74LS138) เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และสงวนอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จะทำการถอดรหัส และถูกทำให้มีสถานะทางลอจิกค้างเอาไว้โดยวงจรเกต เมื่อมีคำสั่งเข้ามาแล้ว จะทำให้สัญญาณเอาต์พุต CTS ไม่มีผลกับขาสัญญาณโมเด็มของ อาร์เอส 232 ซี ของเครื่องคอมพิวเตอร์ และไอซีวงจรนับ (74LS393) สัญญาณ RAS/CAS ไอซีวงจรโมโนสเตเบิล (74LS122) ไอซีวงจรชิพทรีจีเอสเตอร์ (74LS164) เริ่มทำงาน แอสเตลที่ได้จากวงจรนับจะเริ่มจาก 0 แล้วเพิ่มทีละหนึ่ง ในขณะที่ยังนับไม่ถึง 128 สัญญาณ R/W จะยังคงเป็น 0 อยู่ ทำให้ไอซี IS 32 ทำการเขียน (WRITE) ทั้ง 128 แกวอย่างต่อเนื่องในหนึ่งคอลัมน์ และเมื่อนับถึง 128 สัญญาณ R/W จะเปลี่ยนจาก 0 เป็น 1 ไปทริกไอซีวงจรโมโนสเตเบิล เพื่อให้กำเนิดสัญญาณโมโนสเตเบิลเพื่อใช้ในการยับยั้งสัญญาณนาฬิกาเป็นเวลา 0.2-20 มิลลิวินาที (ms) หลังจากนั้นสัญญาณนาฬิกาก็จะกำเนิดขึ้นใหม่อีก และการนับจะเริ่มขึ้นอีกครั้ง โดยแอสเตลของแกวจะมีค่าเป็น 0 แต่เนื่องจากตัวนับคอลัมน์ไม่ถูกเพิ่ม ฉะนั้นไอซี IS 32 จะทำการอ่าน เมื่อตอบสนองต่อการเปลี่ยนระดับลอจิกจาก 0 เป็น 1 ของสัญญาณ R/W ข้อมูลจากไอซี IS 32 จะถูกจัดให้อยู่ในรูปของไบท์ (8 บิต) โดยชิพทรีจีเอสเตอร์จะถูกโหลดเข้าไปยังสเตตติกแรมโดยสัญญาณ WE เมื่อวงจรนับทางคอลัมน์ถูกทำให้เพิ่มขึ้น 1 แล้ว สัญญาณ R/W จะกลับเป็น 0 อีกครั้งหนึ่ง และการทำงานก็จะซ้ำกับข้างต้น เมื่อนับถึง 128 ก็จะทำให้บิตที่มีความสำคัญสูงสุดของไอซีวงจรนับทางคอลัมน์ถูกเซตเป็น 1 ซึ่งเป็นการกำเนิดของสัญญาณ STOP ซึ่งก็จะหมายถึงการสิ้นสุดการสแกน

-การทำคำสั่งอ่าน (READ COMMAND)

เมื่อมีคำสั่งของการอ่าน ซึ่งถูกส่งผ่านมาจาก อาร์เอส 232 ซี ตัวดีโคเดอร์ (74LS138) จะทำการถอดรหัส และถูกทำให้มีสถานะทางลอจิกค้างเอาไว้โดยวงจรเกต เมื่อมีคำสั่งนี้เข้ามาแล้วจะทำให้สัญญาณเอาต์พุต CTS ไม่มีผล วงจรนับจะเริ่มทำงาน แต่ตอนนี้ข้อมูลของสเตตติกแรมจะถูกอินาเบิล (ENABLE) พร้อมกับสัญญาณ TBRL ซึ่งทำหน้าที่โหลดข้อมูลจากแรมไปเข้า UART และเมื่อค่าของวงจรนับทางแกวถูกนับถึง 128 สัญญาณ TBRL ก็จะไม่อินาเบิล เนื่องจากสัญญาณ R/W ได้กลายเป็น 1

ระหว่างการนับของแกวที่ค่า 128 ครั้งต่อไป สัญญาณ R/W จะเป็น 1 และสัญญาณ TBRL ถูกกำเนิดขึ้นมาทุกครั้งที่มีการนับถึง 8 เมื่อแอสเตลของสเตตติกแรมถูกกำเนิดขึ้นแล้ว เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

23

ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สัญญาณ TBR $\overline{L}$ จะทำให้ข้อมูลจากสเตติกแรมถูกโหลดเข้าไปยังรีจิสเตอร์ที่ทำหน้าที่ในการเก็บข้อมูลที่จะส่ง (TRANSMIT BUFFER REGISTER) ของไอซี 6402 ซึ่งตอบสนองโดยการปฏิเสธรของสัญญาณ TBR $\overline{L}$ (TBR $\overline{L}$ กลายเป็นลอจิก ๐) เพื่อป้องกันการโหลดข้อมูลซ้ำอีก การปฏิเสธรของสัญญาณ TBR $\overline{L}$ จะยับยั้งสัญญาณนาฬิกา และรอจนกว่าไอซี 6402 พร้อมทั้งจะส่งข้อมูลอีก (TBR $\overline{L}$ จะเป็น 1) ซึ่งจะทำให้สัญญาณนาฬิกาเริ่มทำงานอีก เมื่อการนับถึง 8 อีกครั้ง แอสเคลของสเตติกแรมจะเพิ่มขึ้น สัญญาณ TBR $\overline{L}$ ก็จะอินาเบิ้ลอีกและไบท์ถัดมาของข้อมูลจะถูกส่ง โดยวิธีนี้การนับถึง 256 ของแถว ซึ่งขณะนี้ถูกใช้เป็นแอสเคล 4 บิตล่างของสเตติกแรม ทำให้ 16 ไบท์ของข้อมูลถูกส่งไปยังคอมพิวเตอร์ และข้อมูลทั้ง 2048 ไบท์ จะถูกถ่ายเทเมื่อตัวนับทางคอลัมน์นับถึง 128 และเช่นเดียวกันบิตที่มีความสำคัญสูงสุดของไอซีวงจรนับจะกำเนิดสัญญาณหยุด เมื่อเสร็จสิ้นการอ่าน

3.4 การเลือกใช้อัตราการส่ง (BAUD RATE)

สัญญาณนาฬิกาในระบบที่มีความถี่เท่ากับ 1.2285×10^6 Hz ดังในการส่งข้อมูล 1 ไบต์ จากสแตติกแรมไปเข้าอุปกรณ์ UART เพื่อทำการส่งออกไปจะใช้ความถี่เท่ากับ 1.2285×10^6 เฮิร์ตหารด้วย 16 ซึ่งจะได้เท่ากับ 76800 Hz ดังนั้นการพิจารณาเลือกค่าอัตราการส่งจะต้องเลือกใช้ความถี่ที่มากกว่าความถี่ของข้อมูลที่ออกมาจากสแตติกแรม มิฉะนั้นจะทำให้การส่งข้อมูลผิดพลาด เนื่องมาจากอุปกรณ์ UART ยังส่งข้อมูลไม่ทัน ก็มีข้อมูลใหม่เข้ามาแล้ว

ปกติค่าอัตราการส่งจะมีความถี่เป็น 16 เท่าของสัญญาณนาฬิกา ดังนั้นเราจะพิจารณาได้จากสมการ

$$\begin{aligned} 16 \times \text{ค่าอัตราการส่ง} &= (\text{ความถี่ของข้อมูล 1 ไบต์}) \\ \text{ค่าอัตราการส่ง} &= 76800 / 16 \\ &= 4800 \end{aligned}$$

นี่คือเราจะต้องใช้ค่าอัตราการส่งต่ำที่สุด คือ 4800 ถ้าต่ำกว่านี้จะทำให้การส่งข้อมูลผิดพลาด สำหรับในโครงงานนี้เลือกใช้ค่าอัตราการส่งเป็น 9600 ซึ่งเป็นค่าสูงที่สุดสำหรับอุปกรณ์ UART บนเครื่องคอมพิวเตอร์ (8250)

3.5 การคำนวณเวลาในการส่ง

3.5.1 เวลาของการทำคำสั่งสแกน (SCAN) ของไอซี IS 32

การให้คำสั่งสแกน จะเริ่มด้วยการส่งค่าตำแหน่งแอสเดสของแต่ละพิกเซลไปในไอซี IS 32 จนกระทั่งครบจำนวน 128×128 ซึ่งเท่ากับ 16384 พิกเซล และเนื่องจากการสแกนครบ 1 คอลัมน์ จะมีสัญญาณโมโนสเตเบิลสำหรับการตรวจรับแสงของพิกเซลในคอลัมน์ถัดไป และการถ่ายข้อมูลจากไอซี IS 32 ไปยังสแตติกแรม สำหรับการเลือกช่วงเวลาในการตรวจรับแสงจะดูได้จากข้อมูลรายละเอียดของไอซี IS 32 ซึ่งจะสัมพันธ์กับโวลเตจต่ำสุด (THRESHOLD VOLTAGE) ที่ขา 1 ของไอซี IS 32 ด้วย

สำหรับในวงจรนี้เลือกใช้ค่าสัญญาณโมโนสเตเบิลเป็น 150 มิลลิวินาที ดังนั้นเวลาที่ใช้สำหรับการตรวจรับแสงจำนวน 128 คอลัมน์ จะได้จากสมการ

$$\begin{aligned}
 t_{(1)} &= 150 \times 10^{-9} \times 128 \\
 &= 19.2 \quad \text{วินาที}
 \end{aligned}$$

เวลาที่ใช้สำหรับการเลือกตำแหน่งแอสเดสของพิกเซลในการสแกนภาพ จะได้จาก คาบเวลาสัญญาณนาฬิกาจำนวน 16384 ลูก ซึ่งสัญญาณนาฬิกาในระบบนี้จะได้มาจากตัวกำเนิด ความถี่คริสตอล 2.4576 เมกกะเฮิร์ต แล้วหาร 2 จะได้ความถี่เป็น 1.2288 เมกกะเฮิร์ต

$$\begin{aligned}
 t_{(2)} &= 16384 \times (1 / 1.2288 \times 10^6) \\
 &= 0.013 \quad \text{วินาที}
 \end{aligned}$$

เวลาในการถ่ายเทข้อมูลจากไอซี IS 32 ไปยังสแตตติกรัม (IC 6116) กระบวนการนี้จะเกิดขึ้นอย่างอัตโนมัติ ทุกครั้งที่พิกเซลถูกสแกนครบ 1 คอลัมน์ (128 พิกเซล) โดยหลักการเลือกตำแหน่งแอสเดสยังคงเหมือนกับการสแกน ดังนั้นเวลาที่ใช้จึงเท่ากับ

$$t_{(3)} = 0.013 \quad \text{วินาที}$$

ดังนั้นเวลาทั้งหมดของการสแกนภาพ จะเท่ากับ

$$\begin{aligned}
 T &= t_{(1)} + t_{(2)} + t_{(3)} \\
 &= 19.2 + 0.013 + 0.013 \\
 &= 19.226 \quad \text{วินาที}
 \end{aligned}$$

3.3.2 เวลาในการทำคำสั่งการอ่าน (READ)

การให้คำสั่งการอ่านเป็นการถ่ายเทข้อมูลจำนวน 2048 ไบต์ (128 x 128 บิต 8) จากสแตตติกรัมผ่านอุปกรณ์ UART ไปยังหน่วยความจำของเครื่องคอมพิวเตอร์ เวลาที่ใช้จึงได้จากการรับที่ข้อมูลเป็นไบต์จำนวน 2048 ไบต์ นั่นเอง

$$\begin{aligned}
 T &= 2048 \times (16 \times \text{คาบเวลาของสัญญาณนาฬิกา}) \\
 &= 2048 \times 1.3 \times 10^{-5} \\
 &= 0.026 \quad \text{วินาที}
 \end{aligned}$$

ซึ่งการสแกนและการอ่านจะถูกรวมกันอยู่ในโปรแกรมของการให้คำสั่ง I_ (INITIALIZE) นั่นเอง

บทที่ 4

การทดลองและผลการทดลอง

4.1 การทดลองและผลในส่วนของฮาร์ดแวร์

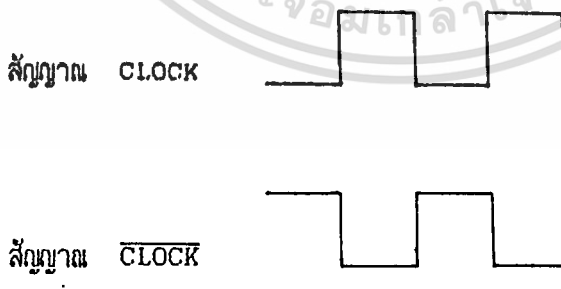
เป็นการส่งรหัสค่าต่างๆจากเครื่องคอมพิวเตอร์ มาควบคุมการทำงานของวงจร

4.1.1 เมื่อเริ่มจ่ายกระแส

การเริ่มจ่ายกระแสให้กับวงจร จะยังไม่ทำให้ส่วนใดส่วนหนึ่งของวงจรทำงาน แต่จะทำให้วงจรไอซีในแต่ละส่วนถูกเซตค่าให้อยู่ในสภาวะลอจิกหนึ่งๆ ซึ่งอาจจะเป็น 0 หรือ 1 นอกจากนี้ยังมีวงจรหน่วงสภาวะทางลอจิกจาก 0 ไป 1 อีก เพื่อเป็นการเซตค่าให้ อาร์เอส ฟลิปฟล็อป ไปทำการเคลียร์วงจรนับให้มีค่าการนับเป็น 0 หมดทุกขา โดยวงจรหน่วงเหล่านี้เป็นการเก็บและคายประจุของตัวเก็บประจุผ่านความต้านทาน วิธีนี้มีข้อดี คือ เป็นการเซตลอจิกเพื่อทำการเคลียร์ตำแหน่งแอดเดสทุกครั้ง ที่มีการจ่ายกำลังไฟฟ้าให้กับวงจร

4.1.2 เมื่อส่งสัญญาณ RTS

การส่งสัญญาณ RTS ทำได้โดยการโปรแกรมรีจิสเตอร์ควบคุมสัญญาณโมเด็ม ซึ่งก็คือ ไอซี 8250 บนเครื่องคอมพิวเตอร์ เมื่อมีสัญญาณ RTS เป็นลอจิก 1 และสัญญาณ TBRE เป็นลอจิก 1 ก็จะมีสัญญาณนาฬิกา (CLOCK) โดยสัญญาณนาฬิกาที่ได้จะมีความถี่เป็นครึ่งหนึ่งของวงจรกำเนิดความถี่ (IC 4702) และสภาวะลอจิกที่สภาวะต่างๆ มีดังนี้



ขาสัญญาณ -HALT , TBRL , WE , ROW/COL , STOP , F(IN1) , RTS , CAS
-RAS , SCAN , READ , ROW/SEL , ROWU , COLU , CS , D_{OUT} ,

-ขา AB ของ IC 14 , 15 มีสภาวะลอจิกเป็น 1

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ขาสัญญาณ -CRL , $\overline{\text{ROW/COL}}$, CTS , D_{IN} , SCAN , READ , R/W

-มีสถานะลอจิกเป็น 0

ซึ่งถ้าสถานะลอจิกของขาสัญญาณทั้งหมดนี้ถูกต้อง และเป็นไปตามที่ต้องการ โดยไม่มีการผิดพลาดเกิดขึ้น

4.1.3 เมื่อส่งรหัส 5 (0101) ซึ่งเป็นการรีเซตไอซี 6402

จะทำให้ ขา 10 ของไอซี 8 (74LS138) เปลี่ยนจากสถานะลอจิก 1 ไปเป็น 0 ชั่วขณะ ซึ่งจะเป็นการเคลียร์ขาสัญญาณที่บอกความผิดพลาด (PE,FE,OE) และเซตขาสัญญาณ TBRE และ TRO บนตัว IC 1 (6402) ส่วนขาสัญญาณอื่นบนวงจรยังไม่มีมีการเปลี่ยนแปลง

4.1.4 เมื่อส่งรหัส 2 (0010) ซึ่งเป็นการเลือกแถว

เพื่อจะทำให้ขา 13 ของ IC 8 เปลี่ยนจากสถานะลอจิก 1 ไปเป็น 0 ชั่วขณะ การเปลี่ยนแปลงนี้เป็นการทำให้ อาร์เอส-ฟลิปฟล็อป ที่ต่อกับขาสัญญาณ ROWU ถูกเซตเป็น 1 ซึ่งจะทำให้ขา A0 ของไอซี IS 32 มีลอจิกเป็น 1 ด้วย นั่นคือเป็นการเลือกฟิลเซลล์ชุดล่าง ที่มีค่าแถวสูง (R 128-R 255)

4.1.5 เมื่อส่งรหัส 4 (0100) ซึ่งเป็นการเลือกคอลัมน์

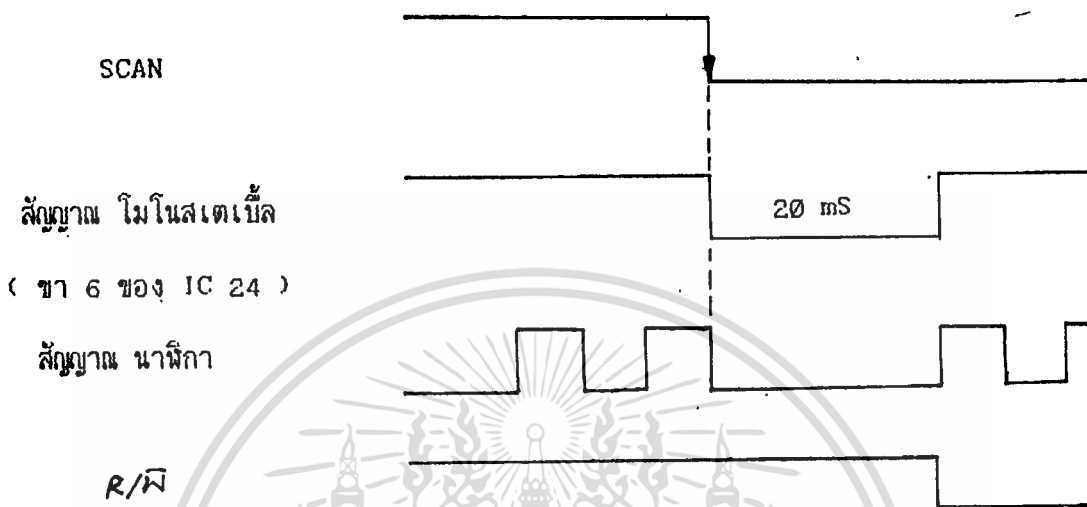
เพื่อจะทำให้ขา 11 ของ IC 8 เปลี่ยนจากสถานะลอจิก 1 ไปเป็น 0 ชั่วขณะ การเปลี่ยนแปลงนี้เป็นการทำให้ อาร์เอส-ฟลิปฟล็อป ที่ต่อกับขาสัญญาณ COLU ถูกเซตเป็น 1 ซึ่งจะทำให้ขา A0 ของไอซี IS 32 มีลอจิกเป็น 1 ด้วย นั่นคือเป็นการเลือกฟิลเซลล์ชุดที่มีคอลัมน์สูง (C 128-C 255)

***การแจ้งค่าของแถวและคอลัมน์จะถูกกำหนดแบบมัลติเพล็กซ์ โดยขาสัญญาณ $\overline{\text{RAS}}$ และ $\overline{\text{CAS}}$ อย่างต่อเนื่องในขณะที่มีการทำคำสั่งสแกนหรืออ่านของไอซี IS 32

4.1.6 เมื่อส่งรหัส 0 (0000) ซึ่งเป็นการสแกนภาพ

เพื่อจะทำให้ขา 15 ของ IC 8 เปลี่ยนจากสถานะลอจิก 1 ไปเป็น 0 ชั่วขณะ การเปลี่ยนแปลงนี้เป็นการทำให้ อาร์เอส-ฟลิปฟล็อป ที่ต่อกับขาสัญญาณ START1 ถูกเซตเป็น 1 หรือขาสัญญาณ $\overline{\text{SCAN}}$ มีสถานะลอจิกเป็น 1 และขาสัญญาณ $\overline{\text{SCAN}}$ มีสถานะทางลอจิกเป็น 0 เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การเปลี่ยนแปลงจากสภาวะลอจิก 1 ไปเป็น 0 ของขาสัญญาณ $\overline{\text{SCAN}}$ จะทำให้เกิดสัญญาณ โมโนสเตเบิลขึ้น ซึ่งช่วงนี้จะทำให้ไม่มีสัญญาณนาฬิกา นั่นคือเป็นการทำให้พิกเซล 128 แถวใน คอลัมน์แรกได้มีเวลาในการตรวจรับแสง



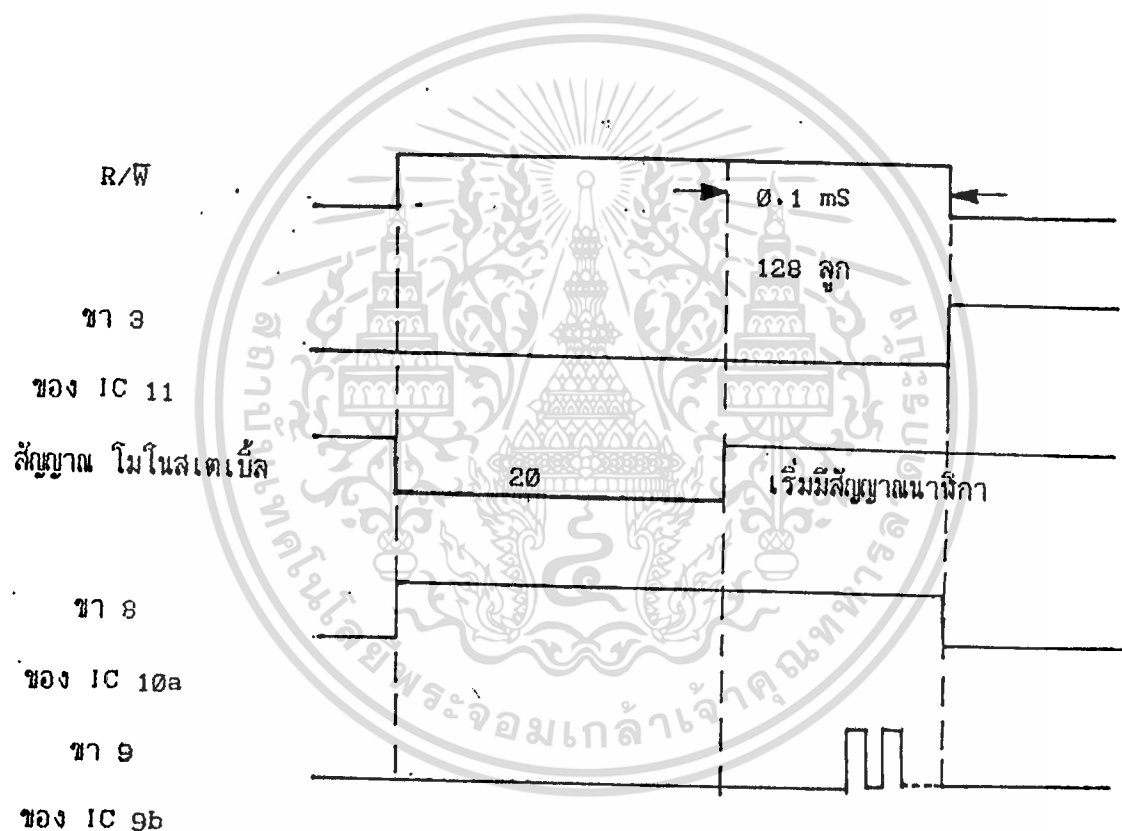
ในขณะเดียวกัน ขาสัญญาณ START_1 ก็จะไปยกเลิกการเคลียร์ IC 10b ซึ่งจะทำให้ IC 11 และ IC 12 (74LS993) สามารถเริ่มการนับได้ในทันทีที่มีสัญญาณนาฬิกาเข้ามา ส่วนขาสัญญาณ $\overline{\text{SCAN}}$ ก็จะไปทำหน้าที่ในการควบคุมการเขียนข้อมูลลงบนสแตตทิคแรม เมื่อมีการนับถึง 128 ครั้งแรกผ่านไป แล้ว โดยมีการเขียนทุกครั้งที่มีสัญญาณนาฬิกาผ่านไป 8 ลูก หรือได้ข้อมูล 1 ไบท์ นั่นเอง ซึ่งกระบวนการนี้จะเกิดขึ้นทุกครั้งหลังจสกที่มีการนับครบ 128 ผ่านไปแล้วจึงเป็นขั้นตอนการถ่ายเทข้อมูลจากไดนามิคแรมของไอซี IS 32 มายังสแตตทิคแรม -การนับถึง 128 ในช่วงแรกของ IC 12 (R/W เป็น 0)

ในช่วงนี้ขาสัญญาณนาฬิกา 8 จะไม่มีผลต่อขาสัญญาณ $\overline{\text{TBRL}}$ หรือ $\overline{\text{WE}}$ แต่อย่างใด ทั้งนี้เนื่องจากขาสัญญาณ R/W มีสภาวะทางลอจิกเป็น 0 อยู่ จึงทำให้ IC 9b (74LS74) ถูกเคลียร์ นั่นคือที่เอาท์พุทของมัน (ขา 9) ยังคงเป็น 0 อยู่ และเมื่อมีการนับถึง 128 แล้วขา 8 ของ IC 12 จะเปลี่ยนสภาวะจากลอจิก 0 ไปเป็น 1 ซึ่งทำให้ขาสัญญาณ R/W มีลอจิกเป็น 1 ด้วย

การนับถึง 128 ในช่วงหลังของ IC 12 (R/W เป็น 1)

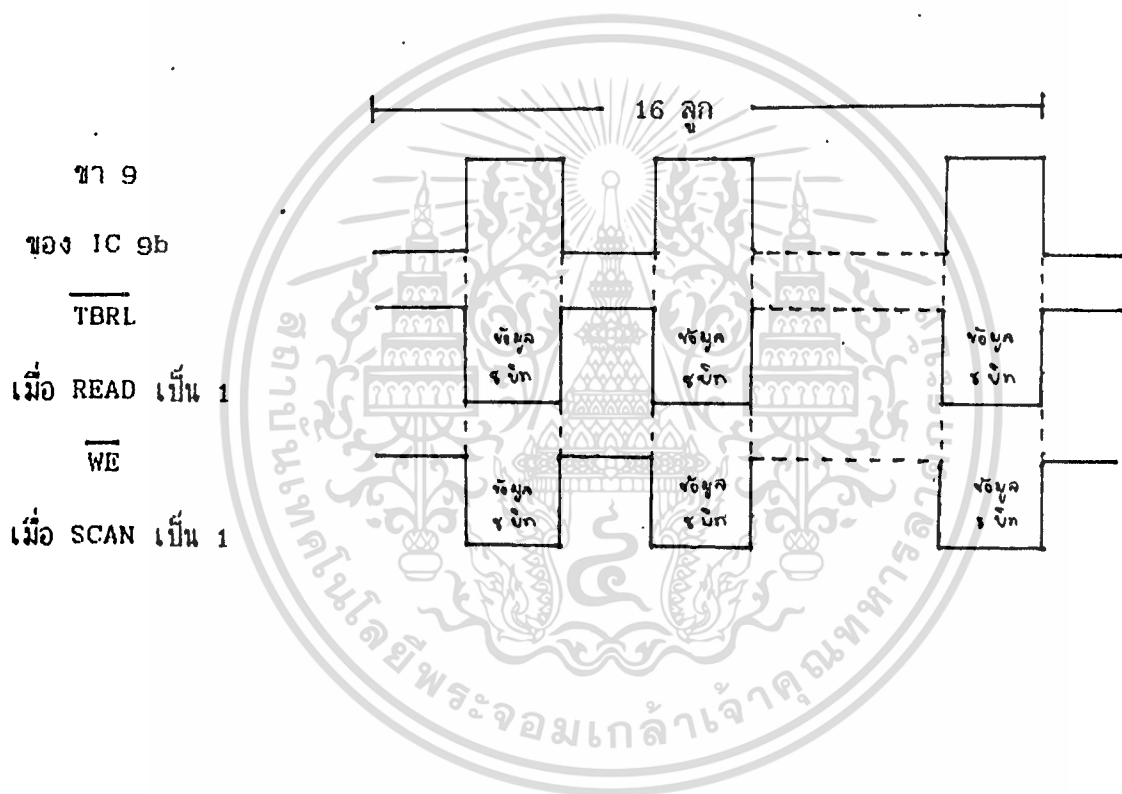
เมื่อสัญญาณ R/W เปลี่ยนจากลอจิก 0 มาเป็น 1 จะทำให้เกิดการเปลี่ยนแปลงคือ เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา 29 ต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

1. ไปเป็นสัญญาณอินพุตของ IC 11 ในการนับทางคอลลัมน์
2. ไปเป็นสัญญาณตรรกให้กับ IC 24 ซึ่งจะทำให้เกิดสัญญาณโมโนสเตเบิลในการหยุดสัญญาณนาฬิกาชั่วคราว เพื่อเป็นการให้พิกเซลใน 128 แถว ของคอลัมน์ถัดไปได้มีเวลาในการตรวจรับแสงได้ (เพราะตอนนี้ค่าทางคอลลัมน์ได้เปลี่ยนไปแล้ว)
3. ไปเป็นสัญญาณเคลียร์ให้กับ IC 10a (74LS73) ซึ่งก็จะไปมีผลทำให้เลิกการเคลียร์กับ IC 9b และช่วงนี้ขาสัญญาณนาฬิกา 8 จะไปมีผลต่อการเขียนข้อมูลลงบนสเตติกแรม หรือ อ่านข้อมูล จากสเตติกแรมทุกครั้งที่มีการนับสัญญาณนาฬิกาครบ 8 ลูก



ซึ่งกระบวนการเหล่านี้จะเกิดขึ้นซ้ำ ๆ กันจน IC 11 นับถึง 128 หรือขา 8 ของมันเปลี่ยนจากลอจิก 0 เป็น 1 เป็นการทำให้สัญญาณ STOP เปลี่ยนจากลอจิก 1 เป็น 0 ซึ่งจะเป็นการทำให้อาร์เอส-ฟลิปฟล็อป ที่ต่ออยู่กับตัวมันไปเคลียร์ IC 10b (JK-FF) และ มีผลทำให้วงจรนับถูกเคลียร์ นั่นคือไม่มีการนับอีกต่อไป หรืออาจกล่าวได้ว่าเสร็จสิ้นการสแกนเอกสารนี้เป็นเอกสารที่ส่งวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ภาพ และการถ่ายเทข้อมูลจากไอซี IS 32 เข้าสู่ตติกแรม และสัญญาณ $\overline{STOP}$ ขึ้นเป็น 0 จะทำให้ขาสัญญาณ $F(IN1)$ เปลี่ยนจากลอจิก 1 เป็น 0 ซึ่งทำให้อาร์เอส-ฟลิปฟล็อปที่ต่อกับมัน หรือขาสัญญาณ $\overline{SCAN}$ ถูกเซตเป็น 0 นั่นคือการเข้าสู่สภาวะแรกเริ่ม และสำหรับการเคลียร์ ไอซีวงจรนับ ก็จะเป็นการทำให้สัญญาณ $\overline{STOP}$ กลับมาเป็น 1 อีกครั้ง



ในระหว่างคำสั่งการสแกน เมื่อสัญญาณ $\overline{WE}$ เปลี่ยนจากลอจิก 1 เป็น 0 จะทำให้ข้อมูล 1 ไบท์ ถูกถ่ายเทจากไอซี IS 32 ไปยังสแตติกแรม โดยตำแหน่งแอสเคสจะถูกกำหนดโดยวงจรนับ

4.1.7 เมื่อส่งรหัส 6 (0110) ซึ่งเป็นการอ่านข้อมูลภาพ

จะทำให้ขา 9 ของไอซี 8 เปลี่ยนจากลอจิก 1 เป็น 0 ชั่วขณะ ซึ่งจะเป็นการทำให้อาร์เอส-ฟลิปฟล็อปที่ต่ออยู่กับขาสัญญาณ $\overline{START2}$ ถูกเซตเป็น 1 หรือขาสัญญาณ $\overline{READ}$ มีสภาวะทางลอจิกเป็น 1 และขาสัญญาณ $\overline{READ}$ มีสภาวะทางลอจิกเป็น 0 การเปลี่ยนสภาวะทางลอจิกเอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ของขาสัญญาณ START2 จะเป็นการเลิกเคลียร์ IC 10b นั้นคือการนับได้เริ่มขึ้น การทำงานของสัญญาณ R/W และสัญญาณหาร 8 เหมือนกับตอนที่ทำงานในคำสั่งสแกนทุกอย่าง เว้นแต่ไม่มีการกำเนิดสัญญาณโมโนสเตเบิล และขาสัญญาณ READ ก็จะใช้ในการทำให้ขาสัญญาณ TBL เป็น 0 ในขณะที่การนับของ 128 ช่วงหลังทุกครั้งก็นับ 8 ซึ่งจะดูได้จากภาพสัญญาณในหน้าที่แล้วมา ส่วนขาสัญญาณ READ ก็จะเป็นตัวทำให้สแตติกแรมถ่ายเทข้อมูล จากตัวมันออกไปยังอุปกรณ์ UART (6402) เพื่อทำการส่งไปยังเครื่องคอมพิวเตอร์ต่อไป

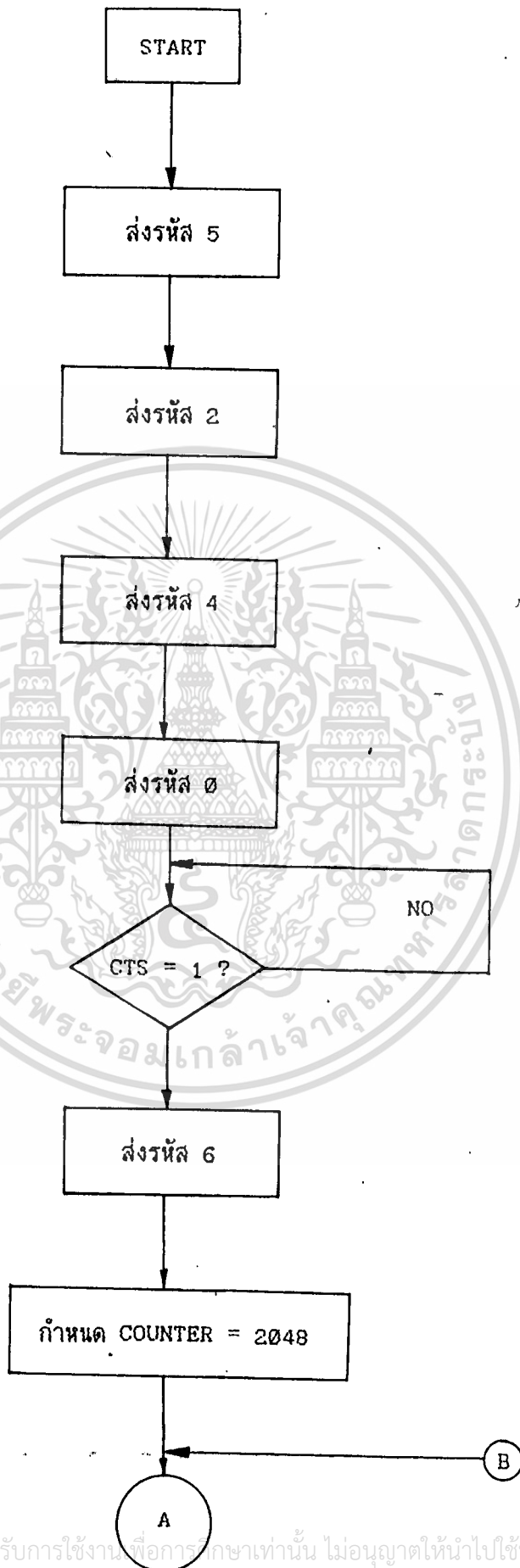
4.2 กรททดลองและผลในส่วนช่องโปรแกรม

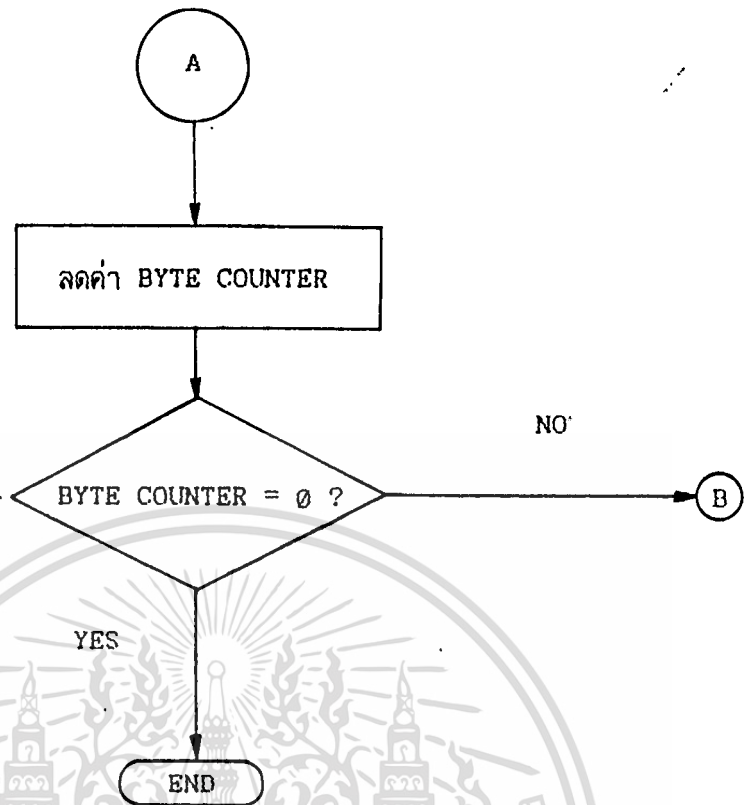
จากไฟล์ชาร์ตที่ได้กล่าวมาแล้วในข้างต้น จะพบว่าการทำงานของโปรแกรมส่วนใหญ่จะเป็นการส่งค่ารหัสให้กับวงจร เพื่อการทำงานที่ถูกต้องกับการรับภาพที่ถูกต้อง เพื่อนำมาทำการแสดงบนจอเครื่องคอมพิวเตอร์ โดยปัญหามักเกิดขึ้นกับกระบวนการถ่ายเทข้อมูล จากวงจรไปยังเครื่องคอมพิวเตอร์ คือเกิดการผิดพลาดในการรับข้อมูลขึ้น เนื่องมาจากการรับข้อมูลไบต์แรกเข้าไป หรือการรับข้อมูลที่เหลื่อมกัน ซึ่งจะทำให้ภาพที่ได้ออกมาผิดพลาดไปหมด

ในส่วนแรกของซอฟต์แวร์ จะเป็นการแสดงการใช้คีย์บอร์ด เพื่อส่งรหัสการทำงานผ่าน อาร์เอส-232 ไปยังวงจรโดยมีฟังก์การทำงานของแต่ละคีย์ดังนี้

4.2.1 คีย์ 1 (INITIALIZE PROCESS)

เป็นการส่งรหัสการทำงานทั้งหมดของไอซี IS 32 ไปยังวงจรให้แล้วดับ ซึ่งจะได้อ่านรหัส 5 , 2 , 4 , 0 และ 6 โดยการส่งรหัส 5 , 2 และ 4 นี้จะเป็นไปอย่างต่อเนื่อง ส่วนการส่งรหัส 0 จะต้องคำนึงถึงสัญญาณ CTS ด้วย นั่นคือการสแกนภาพจะสิ้นสุดเมื่อขาสัญญาณ CTS เปลี่ยนจากลอจิก 0 ไปเป็น 1 ดังนั้นในส่วนนี้ก็จะมีการตรวจสอบสัญญาณ CTS เมื่อตรวจสอบพบการเปลี่ยนแปลงของสัญญาณ CTS นี้ ก็จะไปสั่งให้โปรแกรมทำงานในขั้นต่อไปคือการถ่ายเทข้อมูลจากสแตติกแรมในวงจรมายังหน่วยความจำบนเครื่องคอมพิวเตอร์ โดยซึ่งทำได้การส่งรหัส 6 ไปยังวงจร ซึ่งโปรแกรมในส่วนนี้จะทำงานโดยการตรวจสอบการนับข้อมูลที่ถูส่งเข้ามา ซึ่งมีจำนวนทั้งหมดเท่ากับ 2048 ไบต์ เมื่อได้ครบแล้วก็จะออกจากการทำงานในฟังก์ชันนี้





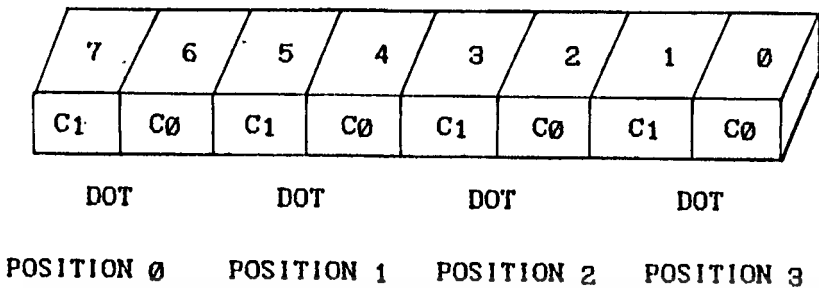
การทำงานของโปรแกรมในส่วนนี้มักจะเกิดปัญหาคือ การนับข้อมูลไม่ครบ 2048 ไบต์ ซึ่งจะทำให้เครื่องคอมพิวเตอร์ทำการวนลูป (LOOP) อย่างไม่สิ้นสุด การรับข้อมูลไม่ครบนี้ อาจเกิดจากการรับข้อมูลในไบต์แรกๆ เกิดการผิดพลาด ซึ่งอาจเป็นไปได้ว่าเกิดความผิดพลาดของขนาดข้อมูล (FRAMING ERROR) โดยอาจแก้ไขได้โดยการใช้โปรแกรมตรวจสอบการวนลูปที่ไม่มีข้อมูลเข้ามา เพื่อให้การทำงานของโปรแกรมสามารถสิ้นสุดลงได้ แต่ก็ไม่เป็นการช่วยให้ข้อมูลภาพถูกต้อง

4.2.2 คีย์ D (DISPLAY IMAGE DATA)

เป็นการนำข้อมูลที่ได้อาจขึ้นตอนการสแกนภาพมาพล็อต (PLOT) บนจอ โดยขนาดของภาพที่ได้จะเป็น 128 x 256 พิกเซล การโปรแกรมการพล็อต (PLOT) นี้ต้องดูจากตำแหน่งของพิกเซลบนตัวไอซีด้วย เนื่องจากตำแหน่งของพิกเซลบนตัวไอซีของชุดบนและชุดล่างมีการเรียงตัวที่ไม่เหมือนกัน ดังนั้นการเขียนโปรแกรมการพล็อตก็จะแตกต่างกัน (การจัดเรียงตัวของพิกเซลจะดูได้จากภาคผนวกท้ายเล่ม)

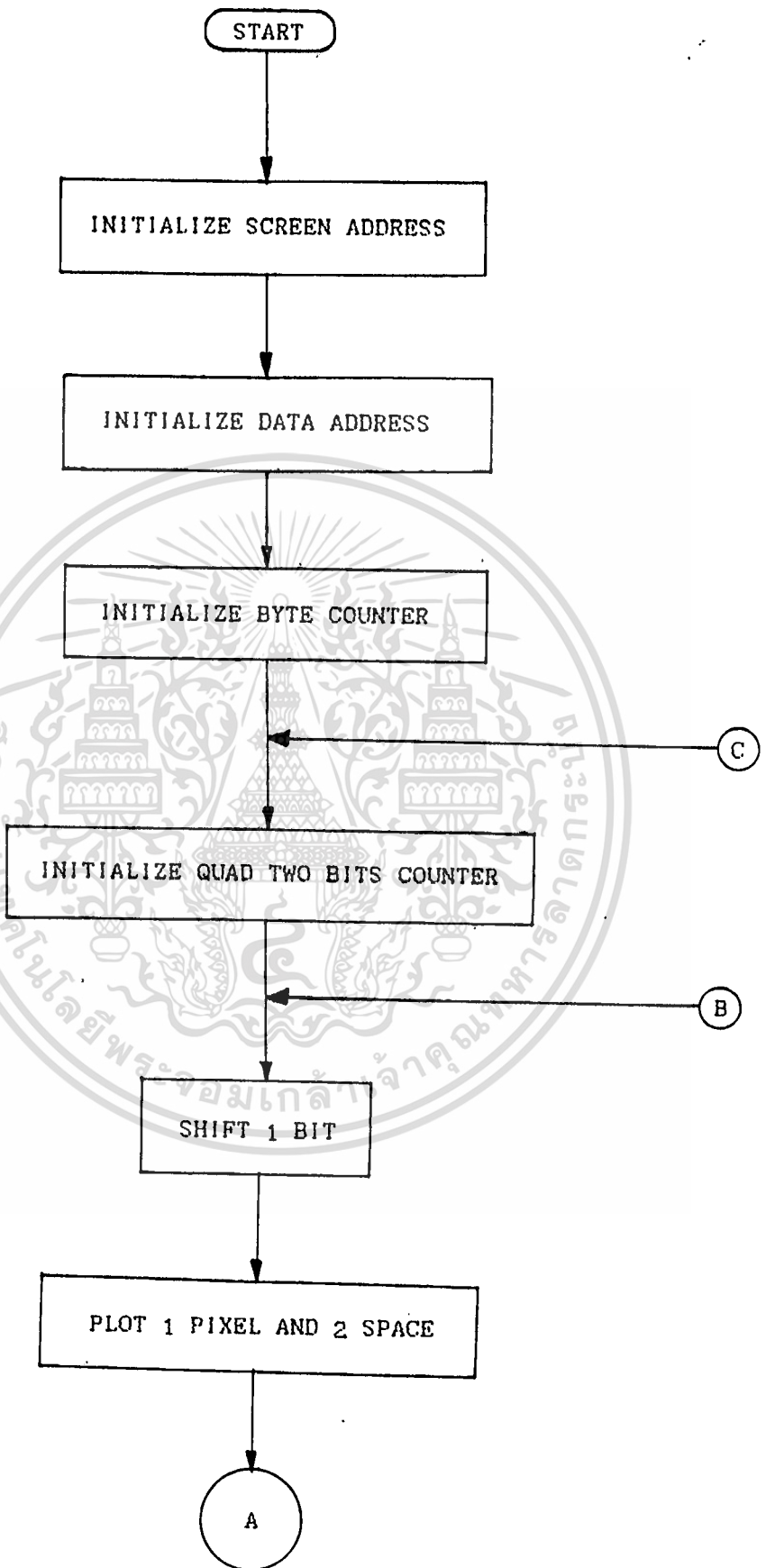
โรงงานนี้ได้ใช้โหมดกราฟิกปานกลาง (MEDIUM RESOLUTION GRAPHIC MODE)

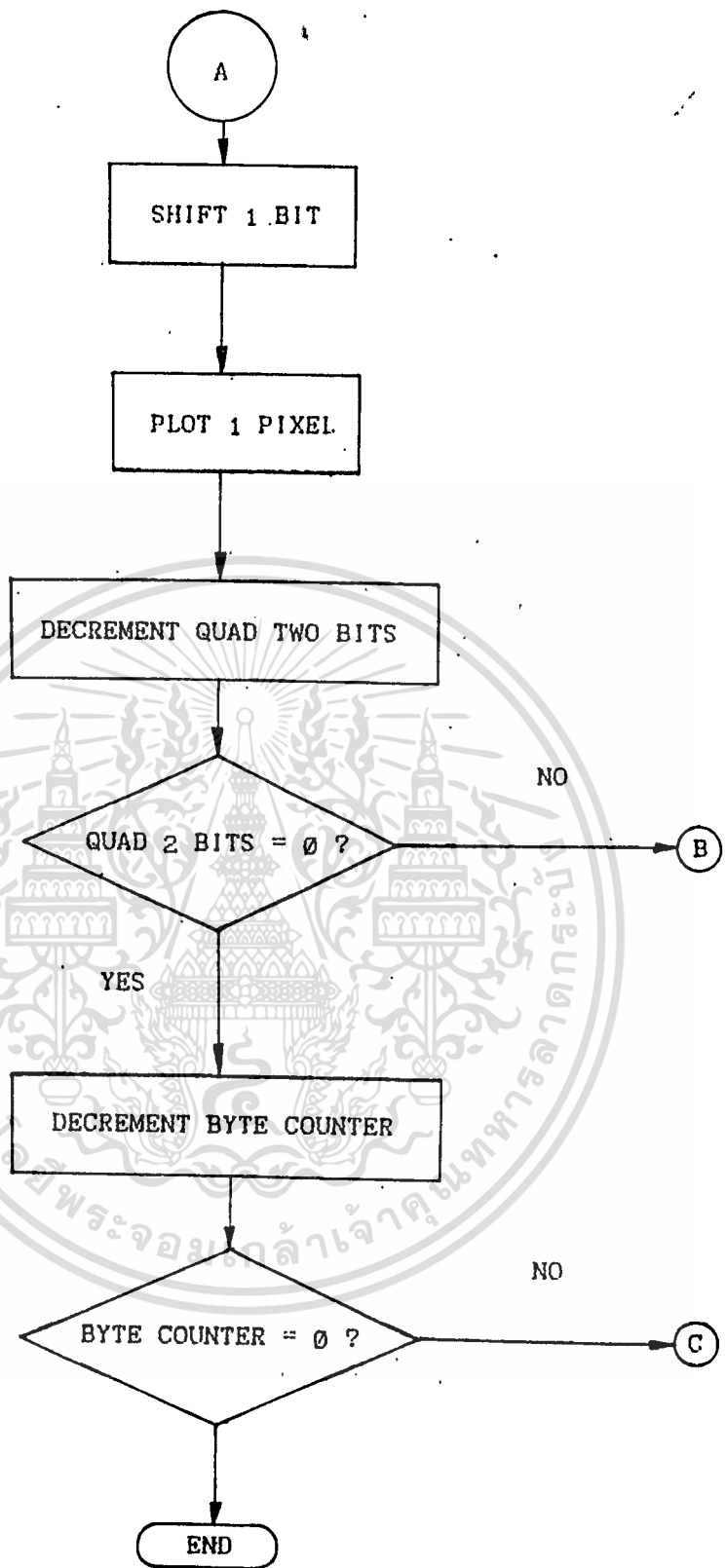
บนเครื่องคอมพิวเตอร์พีซีแบบจอสี ซึ่งในโหมดนี้จะมีการจัดเรียงตัวของข้อมูลบนจอเป็น



นั่นคือ 4 จุดของจอจะใช้ข้อมูลถึง 1 ไบต์ ดังนั้นการเชื่อมโยง (MAPPING) ของข้อมูลภาพกับตำแหน่งของพิกเซลบนจอ จะเป็นแบบ 1 ต่อ 2 จะทำให้ได้ข้อมูลที่มีการเรียงตัวแบบธรรมดา ดังแสดงให้เห็นคือ

D7 D6 D5 D4 D3 D2 D1 D0





ปัญหาที่พบในการพล็อตภาพ มักเกิดจากการวางตำแหน่งที่ค่อนข้างไม่เป็นระเบียบของ พิกเซลบนตัวไอซี IS 32 ซึ่งทำให้เป็นการยากที่จะโปรแกรมกำหนดจุดลงบนเครื่องคอมพิวเตอร์ โดยลักษณะการเรียงตัวในแนวนอนของข้อมูลทุก 2 บิต จะมีลักษณะ คือ

พิกเซล	ว่าง	ว่าง	พิกเซล
--------	------	------	--------

ส่วนการเรียงตัวในแนวตั้งจะพบว่า มีการจัดเรียงตัวให้เลื่อมกันไปมาที่วบนไอซี

4.2.3 คีย์ S (SCAN IMAGE DATA)

เป็นการบันทึกข้อมูลภาพที่ได้มาจากวงจรทั้งหมด ลงบนแผ่นฟลอปปีดิสก์ ซึ่งจะเป็นการเก็บข้อมูลแบบถาวร สามารถเรียกมาดูใหม่เมื่อใดก็ได้ การโปรแกรมในส่วนนี้จะพ่วงบริการการขัดจังหวะ (INTERRUPT) จาก DOS (DISK OPERATION SYSTEM) โดยจะได้ข้อมูลภาพในแต่ละครั้งที่มีขนาด 2 กิโลไบต์

4.2.4 คีย์ R (READ IMAGE DATA)

เป็นการอ่านข้อมูลจากแผ่นฟลอปปีดิสก์ มายังหน่วยความจำภายในเครื่องคอมพิวเตอร์ เมื่อทำการพล็อตออกบนจอ ซึ่งการโปรแกรมในส่วนนี้จะใช้การบริการจาก DOS เช่นกัน

4.2.5 คีย์ Q (QUIT TO DOS)

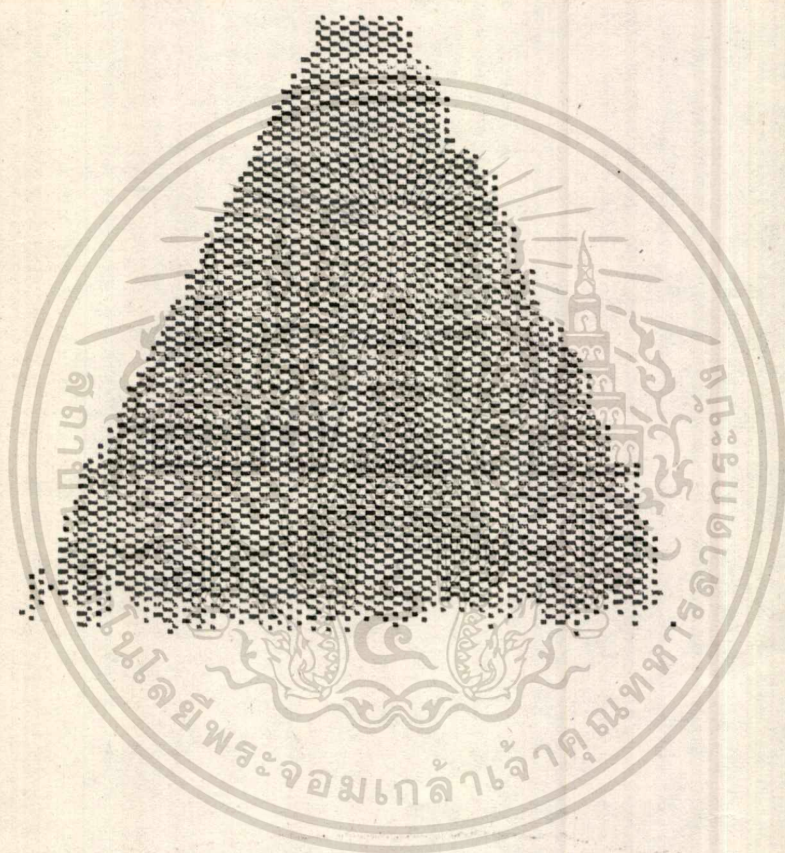
เป็นการยกเลิกการใช้งานของโปรแกรม แล้วกลับเข้าสู่ DOS เพื่อให้เครื่องคอมพิวเตอร์ในงานอื่นต่อไป

4.3 การประกอบเลนส์

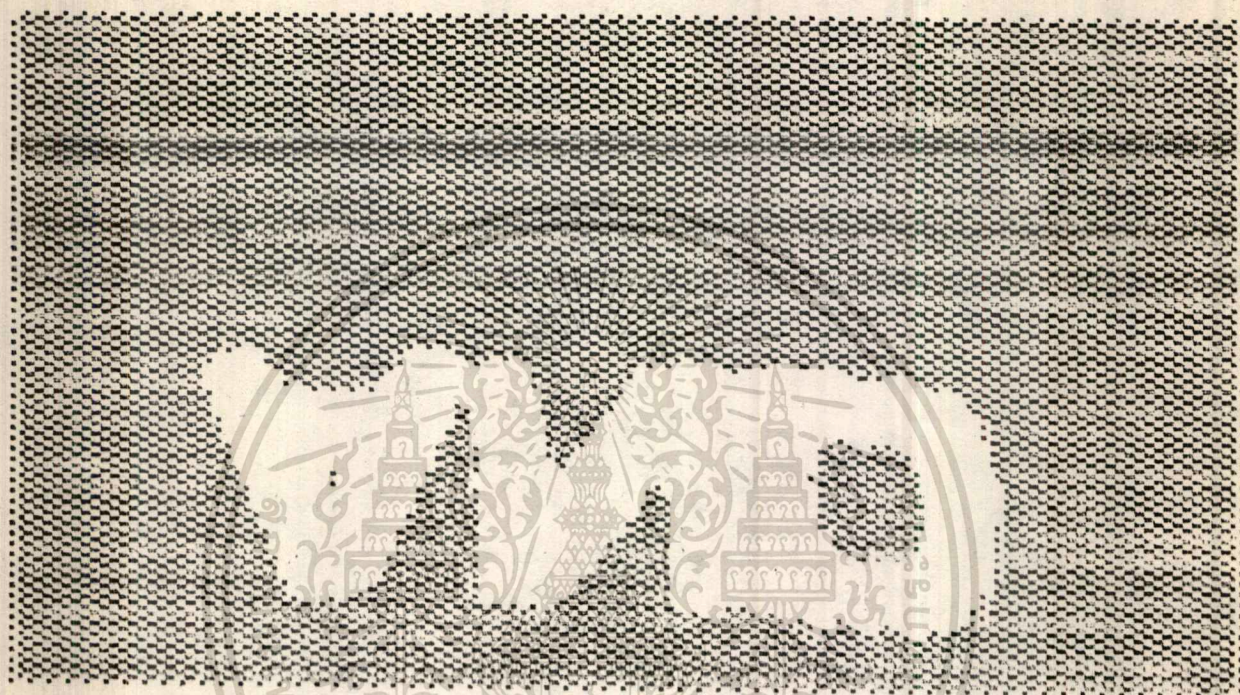
หลังจากที่ทดลองการทำงานทั้งในด้านฮาร์ดแวร์และซอฟต์แวร์แล้ว ก็จะเป็นขั้นตอนการในการประกอบเลนส์เข้ากับตัวไอซี IS 32 เพื่อทำการโฟกัสภาพเป้าหมายให้มาตกกระทบบนตัวไอซีนี้ การดำเนินงานในขั้นนี้จะยากมาก เพราะถ้าโฟกัสได้ไม่ดีเท่าที่ควรภาพที่ได้จะต่างไปจากความเป็นจริง หรือมีขนาดของภาพที่ผิดพลาดได้ และอีกสิ่งหนึ่งที่สำคัญ คือ ขนาดความเข้มแสง ถ้ามีความสว่างมากหรือน้อยเกินไป การตรวจสอบระดับแสงของพิกเซลก็จะต่างกันไป ซึ่งสามารถแก้ไขได้โดยการปรับค่าความต้านทานที่ขา 1 ของไอซี IS 32 หรือปรับช่วงเวลาของ

สัญญาโมโนสเตเบิ้ลในการให้ฟิล์มรับแสง ซึ่งทั้งสองกระบวนการจะต้องใช้ความละเอียด
อย่างมาก ในการทำโครงการนี้จะพบว่าขั้นตอนนี้เป็นขั้นตอนที่ยากที่สุด เพราะการทดลองในแต่ละ
ครั้งความเข้มของแสงจะแตกต่างกันออกไป ดังนั้นจากภาพที่ได้จะพบว่าขอบของภาพที่ได้จะ
ไม่คมชัด อันเนื่องมาจากการสะท้อนของแสง และการเล็ดลอดของแสงจากด้านข้างนั่นเอง
ผลของภาพที่ได้จากการทดลองในการสแกนภาพจากปกหนังสือในเวลากลางวัน โดย
มีแสงสว่างจากโคมไฟขนาด 60 วัตต์ แสดงในหน้าถัดไป

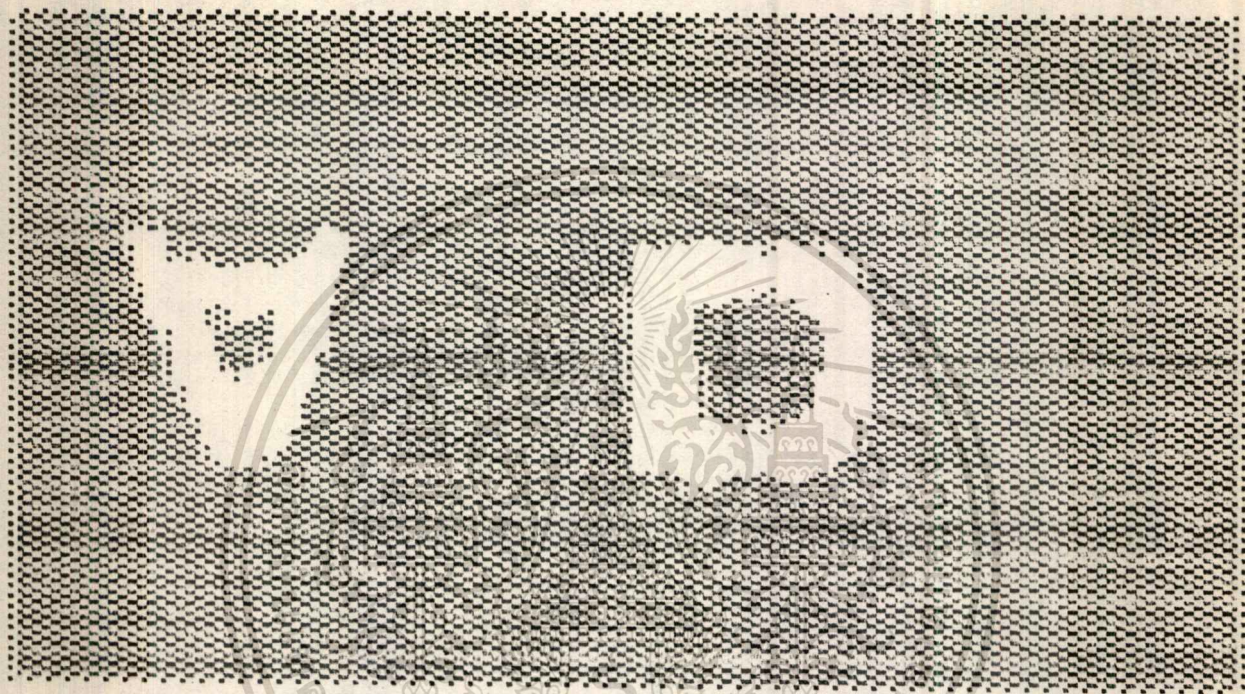




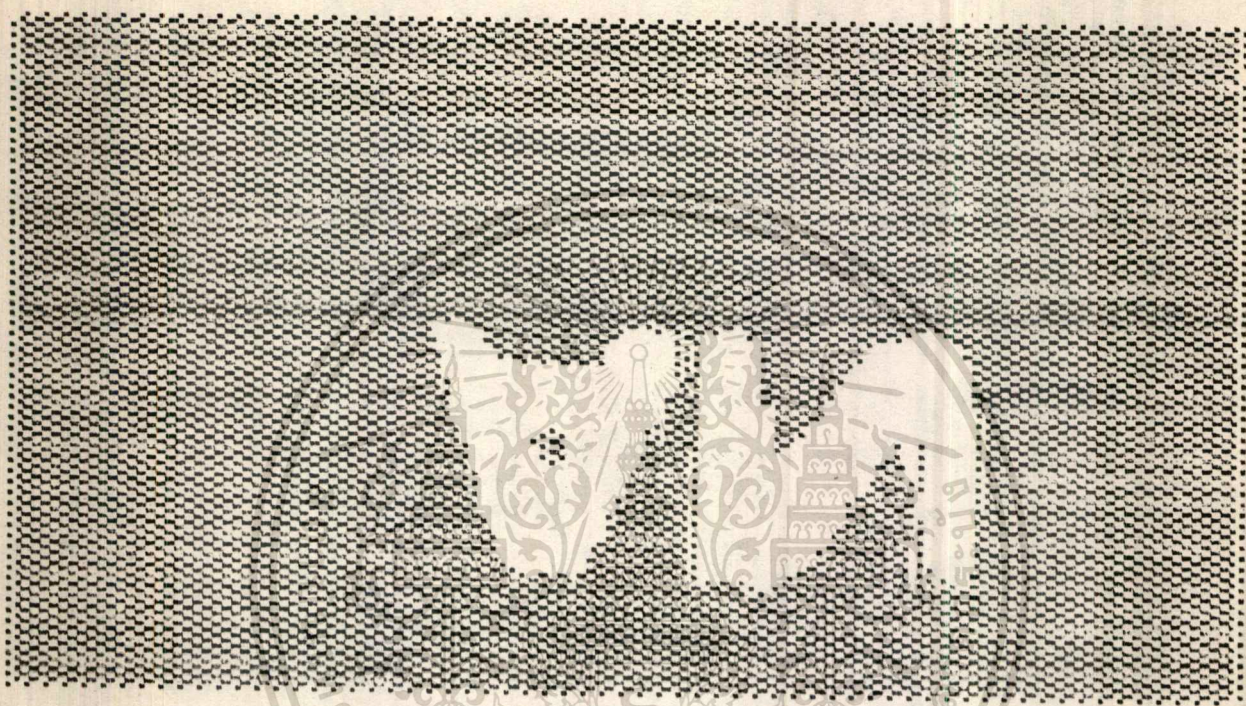
ภาพแสดง รูปสามเหลี่ยม ที่ $V_{TH} = 2.0 \text{ V}$



ภาพแสดง ตัวอักษร AND จากปกหนังสือ ที่ระดับ $V_{TH} = 2.0 \text{ V}$



ภาพแสดง ตัวอักษร AD จากปกหนังสือ ที่ระดับ $V_{TH} = 1.8 \text{ V}$



ภาพแสดง ตัวอักษร AN จากปกหนังสือ ที่ระดับ $V_{TH} = 2.2 \text{ V}$

สรุป และ วิจัย

5.1 สรุปผลการดำเนินงาน

การทำโครงการนี้เกิดอุปสรรคขึ้นมากมาย ทั้งในด้านฮาร์ดแวร์และซอฟต์แวร์ ทั้งนี้เนื่องจากความไม่คุ้นเคยในการใช้งานของไอซี IS 32 นี้ และระบบการทำงานของวงจรที่ยุ่งยากและซับซ้อน ดังจะเห็นได้จากความถี่ของระบบที่ใช้สูงถึง 2.4575 เมกกะเฮิร์ต ทำให้การวัดสัญญาณในแต่ละจุดเป็นไปได้ค่อนข้างลำบาก เพราะการทำงานของระบบใช้เวลาเพียงไม่กี่วินาทีเท่านั้น และในด้านซอฟต์แวร์ก็พบความยุ่งยากในการกำหนดจุดลงบนจอ เพราะการเรียงตัวอย่างไม่เป็นระเบียบ

ส่วนข้อดีและข้อเสียของโครงการนี้ มีดังนี้

5.1.1 สามารถทำการตรวจรับข้อมูลภาพได้ตามวัตถุประสงค์ และสามารถนำไปประยุกต์ใช้ได้หลายอย่างทั้งทางด้านธุรกิจและอุตสาหกรรม

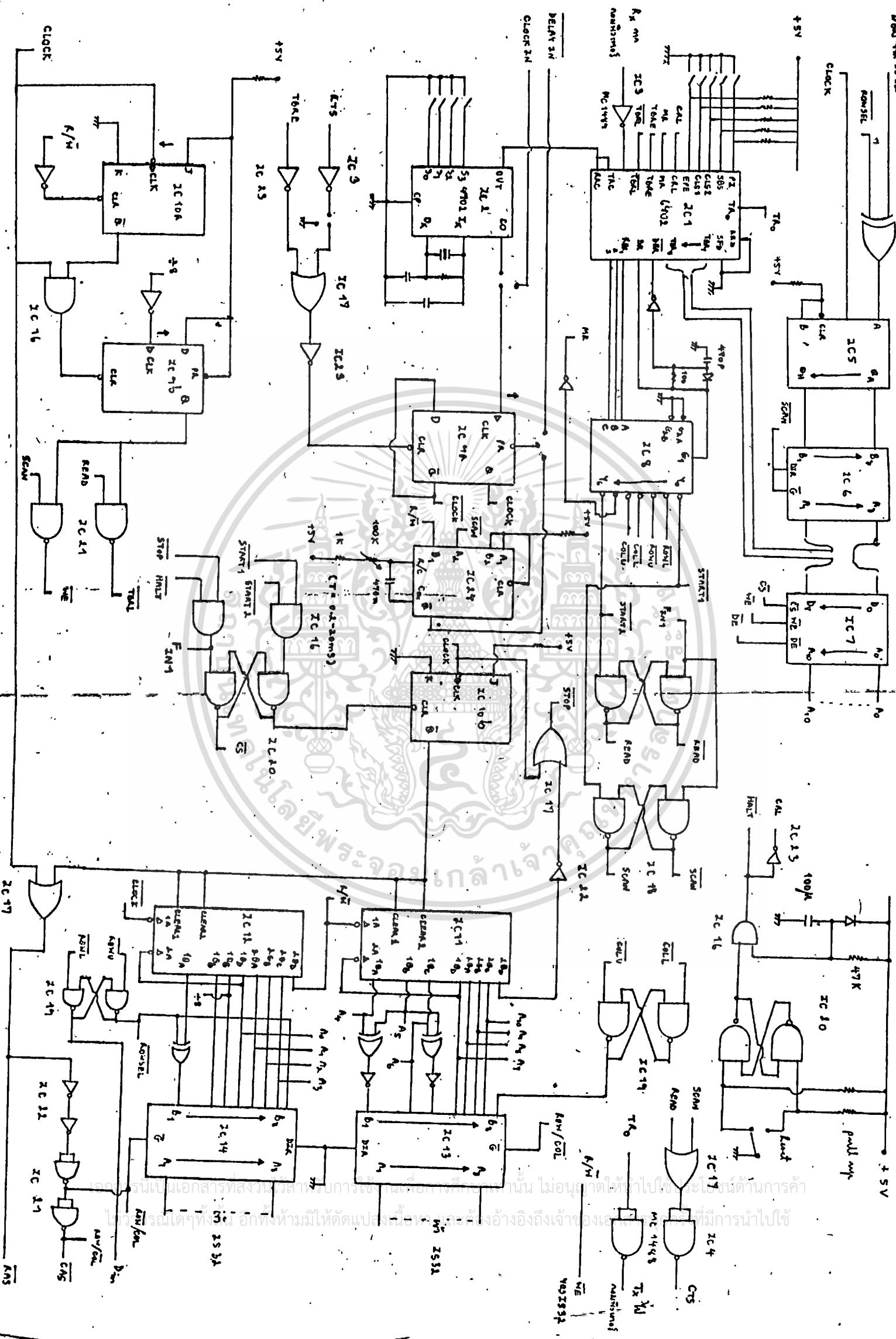
5.1.2 ภาพที่ได้ยังมีความละเอียดไม่มากนัก ทั้งนี้เนื่องจากใช้หน่วยความจำของไอซี IS 32 เพียงหนึ่งในสี่เท่านั้น

5.1.3 การทำงานของระบบยังไม่เร็วพอ ทั้งนี้ขึ้นอยู่กับความต้องการความถูกต้องของภาพ อัตราการส่งข้อมูลของเครื่องคอมพิวเตอร์ และโปรแกรมการลือตภาพ

5.2 ข้อเสนอแนะ

ในการพัฒนาระบบการเก็บข้อมูลภาพโดยไอซี IS 32 ให้มีประสิทธิภาพมากขึ้น ในส่วนของสเตติกแรมอาจใช้แบบคู่ เพื่อผลัดเปลี่ยนการทำงานในช่วงของการสแกนภาพและการอ่านข้อมูลวิธีนี้จะช่วยให้ไม่เสียเวลาในการสแกนภาพอีกต่อไป ในขณะที่มีการถ่ายเทข้อมูลจากหน่วยความจำไปยังเครื่องคอมพิวเตอร์ หรืออาจเพิ่มการตรวจสอบของพิกเซล โดยใช้เซลล์รับแสงทั้งหมดบนตัวไอซี IS 32 (256 x 256) ในการรับข้อมูลภาพ วิธีนี้จะต้องเพิ่มสเตติกแรมเป็น 8 กิโลไบท์ แต่อาจมีปัญหาในการเชื่อมโยงกับขนาดของจอภาพได้ และภาพที่ได้ อาจไม่ต่อเนื่อง เพราะเซลล์รับแสงถูกแบบออกจากกันเป็นสองส่วน

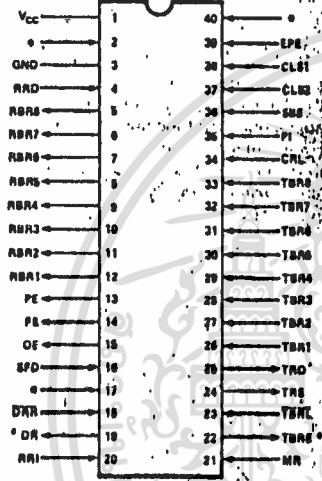






IM6402/IM6403

INTERSiL



*DIFFERS BETWEEN IM6402 AND IM6403.

FIGURE 5. Pin Configuration

IM6403 FUNCTIONAL PIN DEFINITION

(Continued)

PIN	SYMBOL	DESCRIPTION
14	FE	A high level on FRAMING ERROR indicates the first stop bit was invalid. FE will stay active until the next valid character's stop bit is received.
15	OE	A high level on OVERRUN ERROR indicates the data received flag was not cleared before the last character was transferred to the receiver buffer register. The Error is reset at the next character's stop bit if DRR has been performed (i.e. DRR: active low).
16	SFD	A high level on STATUS FLAGS DISABLE forces the outputs PE, FE, OE, DR, TBRE to a high impedance state. See Block Diagram and Figure 4. *IM6402 only.
17	IM6402-RRC IM6403-XTAL or EXT CLK IN	The RECEIVER REGISTER CLOCK is 16X the receiver data rate.
18	DRR	A low level on DATA RECEIVED RESET clears the data received output (DR), to a low level.
19	DR	A high level on DATA RECEIVED indicates a character has been received and transferred to the receiver buffer register.
20	RRI	Serial data on RECEIVER REGISTER INPUT is clocked into the receiver register.
21	MR	A high level on MASTER RESET (MR) clears PE, FE, OE, DR, TBRE and sets TBRE high. Less than 18 clocks after MR goes low, TBRE returns high. MR does not clear the receiver buffer register, and is required after power-up.
22	TBRE	A high level on TRANSMITTER BUFFER REGISTER EMPTY indicates the transmitter buffer register has transferred its data to the transmitter register and is ready for new data.
23	TBRL	A low level on TRANSMITTER BUFFER REGISTER LOAD transfers data from inputs TBRI-TBR8 into the transmitter buffer register. A low to high transition on TBRL requests data transfer to the transmitter register. If the transmitter register is busy, transfer is automatically delayed so that the two characters are transmitted end to end. See Figure 2.
24	TRE	A high level on TRANSMITTER REGISTER EMPTY indicates completed transmission of a character including stop bits.

IM6403 FUNCTIONAL PIN DEFINITION

PIN	SYMBOL	DESCRIPTION
1	VCC	Positive Power Supply
2	IM6402-N/C IM6403-Control	No Connection Divide Control High: 2 ⁴ (16) Divider Low: 2 ¹¹ (2048) Divider
3	GND	Ground
4	RRD	A high level on RECEIVER REGISTER DISABLE forces the receiver holding register outputs RBR1-RBR8 to a high impedance state.
6	RBR8	The contents of the RECEIVER BUFFER REGISTER appear on these three-state outputs. Word formats less than 8 characters are right justified to RBR1.
6	RBR7	See Pin 5 — RBR8
7	RBR6	See Pin 5 — RBR8
8	RBR5	See Pin 5 — RBR8
9	RBR4	See Pin 5 — RBR8
10	RBR3	See Pin 5 — RBR8
11	RBR2	See Pin 5 — RBR8
12	RBR1	See Pin 5 — RBR8
13	PE	A high level on PARITY ERROR indicates that the received parity does not match the expected parity.

IM6403 FUNCTIONAL PIN DEFINITION
(continued)

IM6403 FUNCTIONAL PIN DEFINITION
(Continued)

PIN	SYMBOL	DESCRIPTION
26	TBR1	Character data is loaded into the TRANSMITTER BUFFER REGISTER via inputs TBR1-TBR8. For character formats less than 8-bits, the TBR6, 7, and 8 inputs are ignored corresponding to the programmed word length.
27	TBR2	See Pin 26 — TBR1
28	TBR3	See Pin 26 — TBR1
29	TBR4	See Pin 26 — TBR1
30	TBR5	See Pin 26 — TBR1
31	TBR6	See Pin 26 — TBR1
32	TBR7	See Pin 26 — TBR1
33	TBR8	See Pin 26 — TBR1
34	CRL	A high level on CONTROL REGISTER LOAD loads the control register. See Figure 3.

PIN	SYMBOL	DESCRIPTION
35	PI*	A high level on PARITY INHIBIT inhibits parity generation, parity checking and forces PE output low.
36	SBS*	A high level on STOP BIT SELECT selects 1.5 stop bits for a 5 character format and 2 stop bits for other lengths.
37	CLS2*	These inputs program the CHARACTER LENGTH SELECTED, (CLS1 low CLS2 low 5-bits) (CLS1 high CLS2 low 6-bits) (CLS1 low CLS2 high 7-bits) (CLS1 high CLS2 high 8-bits)
38	CLS1*	See Pin 37 — CLS2
39	EPE*	When PI is low, a high level on EVEN PARITY ENABLE generates and checks even parity. A low level selects odd parity.
40	IM6402-TRC IM6403-XTAL or GND	The TRANSMITTER REGISTER CLOCK is 16X the transmit data rate.

*See Table 2 (Control Word Function)

TABLE 2. Control Word Function

CONTROL WORD					DATA BITS	PARITY BIT	STOP BIT(S)
CLS2	CLS1	PI	EPE	SBS			
L	L	L	L	L	5	ODD	1
L	L	L	L	H	5	ODD	1.5
L	L	L	H	L	5	EVEN	1
L	L	L	H	H	5	EVEN	1.5
L	L	H	X	L	5	DISABLED	1
L	L	H	X	H	5	DISABLED	1.5
L	H	L	L	L	6	ODD	1
L	H	L	L	H	6	ODD	2
L	H	L	H	L	6	EVEN	1
L	H	L	H	H	6	EVEN	2
L	H	H	X	L	6	DISABLED	1
L	H	H	X	H	6	DISABLED	2
H	L	L	L	L	7	ODD	1
H	L	L	L	H	7	ODD	2
H	L	L	H	L	7	EVEN	1
H	L	L	H	H	7	EVEN	2
H	L	H	X	L	7	DISABLED	1
H	L	H	X	H	7	DISABLED	2
H	H	L	L	L	8	ODD	1
H	H	L	L	H	8	ODD	2
H	H	L	H	L	8	EVEN	1
H	H	L	H	H	8	EVEN	2
H	H	H	X	L	8	DISABLED	1
H	H	H	X	H	8	DISABLED	2

X = Don't Care

CLS1, CLS2 — H

PI, EPE, SBS — L



HARRIS
SEMICONDUCTOR
PRODUCTS DIVISION
A DIVISION OF HARRIS CORPORATION

HD-4702

CMOS PROGRAMMABLE BIT RATE GENERATOR

Features

- HD-4702 - PROVIDES 13 COMMONLY USED BIT RATES
- USES A 2.4576MHz CRYSTAL/INPUT FOR STANDARD FREQUENCY OUTPUT (16 TIMES BIT RATE)
- TTL COMPATIBLE - OUTPUT WILL SINK 1.6mA
- LOW POWER DISSIPATION 4.5mW TYP. @ 2.4576MHz
- CONFORMS TO EIA RS-404
- ONE HD-4702 CONTROLS UP TO EIGHT TRANSMISSION CHANNELS
- INITIALIZATION CIRCUIT FACILITATES DIAGNOSTIC FAULT ISOLATION
- ON-CHIP INPUT PULL-UP CIRCUIT

Description

The HD-4702 Bit Rate Generator provides the necessary clock signals for digital data transmission systems, such as a UART. It generates 13 commonly used bit rates using an on-chip crystal oscillator or an external input. For conventional operation generating 16 output clock pulses per bit period, the input clock frequency must be 2.4576MHz (i.e. 9600 Baud x 16 x 16, since there is an internal ÷16 prescaler). A lower input frequency will result in a proportionally lower output frequency.

The HD-4702 can provide multi-channel operation with a minimum of external logic by having the clock frequency CO and the +8 prescaler outputs Q0, Q1, Q2 available externally. All signals have a 50% duty cycle except 1800 Baud and 2000 Baud, which has less than 0.39% distortion and 3600 Baud, which has less than 0.78% distortion.

The four rate select inputs (S0-S3) select which bit rate is at the output Z. The table lists select code and output bit rate. Two of the 16 for the HD-4702 do not select an internally generated frequency, but select an input into which the user can feed either a different frequency, or a static level (High or Low) to generate "ZERO BAUD".

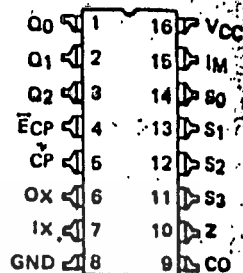
The bit rate most commonly used in modern data terminals (110, 150, 300, 1200, 2400 Baud) require that no more than one input be grounded or the HD-4702, which is easily achieved with a single 5-position switch.

The HD-4702 has an initialization circuit which generates a common master reset for all flip-flops. This signal is derived from a digital differentiator that senses the first high level on the CP input after the ECP input goes low. When ECP is high, selecting the crystal input, CP must be low. A high level on CP would apply a continuous reset.

For the HD-4702, all inputs except IX have on-chip pull-up circuits which provide TTL compatibility and eliminate the need to tie a permanently high input to VCC.

Pinout

TOP VIEW



PIN NAMES

CP	External Clock Input
ECP	External Clock Enable
IX	Input (Active Low)
IM	Crystal Input
S0 - S3	Multiplexed Input
CO	Rate Select Inputs
OX	Clock Output
Q0 - Q2	Crystal Drive Output
Z	Bit Rate Output

Truth Tables

TABLE 1
CLOCK MODES AND INITIALIZATION

IX	ECP	CP	OPERATION
X	H	L	Clocked from IX
X	L	H	Clocked from CP
X	H	H	Continuous Reset
X	L	L	Reset During 1st CP + Input Pin

NOTE: Actual output frequency is 16 times the indicated Output Rate, assuming a clock frequency of 2.4576MHz.

H	= HIGH Level
L	= LOW Level
X	= Don't care
	= 1st HIGH-Level Clock Pulse after ECP goes LOW
	= Clock Pulse

TABLE 2
TRUTH TABLE FOR RATE SELECT INPUTS

S3	S2	S1	S0	OUTPUT RATE (Z)
L	L	L	L	MUX INPUT (IM) ①
L	L	L	H	MUX INPUT (IM)
L	L	H	L	80 BAUD
L	L	H	H	75 BAUD
L	H	L	L	134.5 BAUD
L	H	L	H	200 BAUD
L	H	H	L	600 BAUD
L	H	H	H	2400 BAUD
H	L	L	L	9600 BAUD
H	L	L	H	4800 BAUD
H	L	H	L	1800 BAUD
H	L	H	H	1200 BAUD
H	H	L	L	2400 BAUD
H	H	L	H	300 BAUD
H	H	H	L	150 BAUD
H	H	H	H	110 BAUD

NOTE: ① 19200 BAUD by connecting Q2 to Z

Specifications HD-4702

ABSOLUTE MAXIMUM RATINGS

Supply Voltage	+8.0V
Input or Output Voltage Applied	(GND -0.3V) to (VCC +0.3V)
Storage Temperature Range	-65°C to +160°C
Operating Temperature Range	
Industrial	HD-4702-9
Military	HD-4702-2
Operating Voltage Range	-40°C to +85°C -55°C to +125°C +4 to +7V

Electrical Characteristics

D.C.: VCC = 5V ± 10%; TA = Industrial or Military.
A.C.: VCC = 5V; TA = 25°C.

SYMBOL	PARAMETER	HD-4702-2			HD-4702-9			UNITS	TEST CONDITIONS
		MIN	TYP	MAX	MIN	TYP	MAX		
V _{IH}	Input High Voltage	VCC 70%			VCC 70%			V	
V _{IL}	Input Low Voltage			VCC 30%			VCC 30%	V	
V _{OH1}	Output High Voltage	VCC -0.5			VCC -0.5			V	I _{OH} ≤ -1μA
V _{OL1}	Output Low Voltage			0.05			0.05	V	I _{OL} ≤ +1μA
I _{IH}	Input High Current	-1		+1	-1		+1	μA	V _I = VCC. All other pins = 0V
I _{IL}	INPUT ① LOW CURRENT (all other inputs)		-30	-100		-30	-100	μA	V _I = 0, All other pins = VCC V _{OUT} = VCC - 5 V _{OUT} = 2.5V V _{OUT} = VCC - 5 V _{OUT} = 0.4V V _{OUT} = 0.4V
I _{ILX}	INPUT ① LOW CURRENT (IX inputs)		-1	+1		-1	+1	μA	
I _{OHX}	OUTPUT HIGH CURRENT (OX)	-0.1			-0.1			mA	
I _{OH1}	OUTPUT HIGH CURRENT (all other outputs)	-1.0			-1.0			mA	
I _{OLX}	OUTPUT LOW CURRENT (OX)	0.1			0.1			mA	V _{OUT} = 0.4V
I _{OL}	OUTPUT LOW CURRENT (all other outputs)	1.6			1.6			mA	
I _{CC}	SUPPLY ① CURRENT (STATIC)			500 150			1500 1000	μA μA	ECP = VCC, CP = 0, All other inputs = GND ECP = VCC, CP = 0, All other inputs = VCC
I _{PLH}	Propagation Delay, I _X to CO			300 250			300 250	ns ns	CL ≤ 7pF on O _x ② CL = 15pF, Input Transition Times ≤ 20ns
I _{PHL}	Propagation Delay, CP to CO			215 195			215 195	ns ns	
I _{PLH}	Propagation Delay, CO to Q _n			⑤			⑤	ns ns	
I _{PHL}	Propagation Delay, CO to Z			75 65			75 65	ns ns	
I _{TLH}	Output Transition Time (except OX)			80 40			80 40	ns ns	CL ≤ 7pF on O _x ② CL = 50pF, Input Transition Times ≤ 20ns
I _{THL}	Output Transition Time (except OX)			80 40			80 40	ns ns	
I _{PLH}	Propagation Delay, I _X to CO			350 275			350 275	ns ns	
I _{PHL}	Propagation Delay, CP to CO			260 220			260 220	ns ns	
I _{PLH}	Propagation Delay, CO to Q _n			⑤			⑤	ns ns	CL ≤ 7pF on O _x ② CL = 15pF, Input Transition Times ≤ 20ns
I _{PHL}	Propagation Delay, CO to Z			85 75			85 75	ns ns	
I _{TLH}	Output Transition Time (except OX)			160 75			160 75	ns ns	
I _{THL}	Output Transition Time (except OX)			160 75			160 75	ns ns	
t _s	Set-Up Time, Select to CO	350			350			ns	CL ≤ 7pF on O _x ② CL = 15pF, Input Transition Times ≤ 20ns
t _h	Hold Time, Select to CO	0			0			ns	
t _s	Set-Up Time, I _M to CO	350			350			ns	
t _h	Hold Time, I _M to CO	0			0			ns	
t _w (CPIL)	Minimum Clock Pulse-Width Low and High ④	120			120			ns	
t _w (CPIL)	Minimum I _X Pulse Width, Low and High ④	120			120			ns	
t _w (CPIL)	Minimum I _X Pulse Width, Low and High ④	160			160			ns	
t _w (CPIL)	Minimum I _X Pulse Width, Low and High ④	160			160			ns	

NOTES:

Input Current and Quiescent Power Supply Current are relatively higher for this device because of active pull-up circuits on all inputs except I_X. This is done for TTL compatibility.
Propagation Delays (t_{PLH} and t_{PHL}) and Output Transition Times (t_{TLH} and t_{THL}) will change with Output Load Capacitance (C_L). Set-Up Times (t_s), Hold Times (t_h), and Minimum Pulse Widths (t_w) do not vary with load capacitance.
The first High Level Clock Pulse after ECP goes Low and must be at least 350ns long to guarantee reset of all Counters.
It is recommended that input rise and fall times to the Clock Inputs (CP, I_X) be less than 15μs.
For multichannel operation, Propagation Delay (CO to Q_n) plus Set-Up Time, Select to CO, is guaranteed to be ≤ 367ns.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

TER 1981 ภาครณิโคฯ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

IS32 OpticRAM™

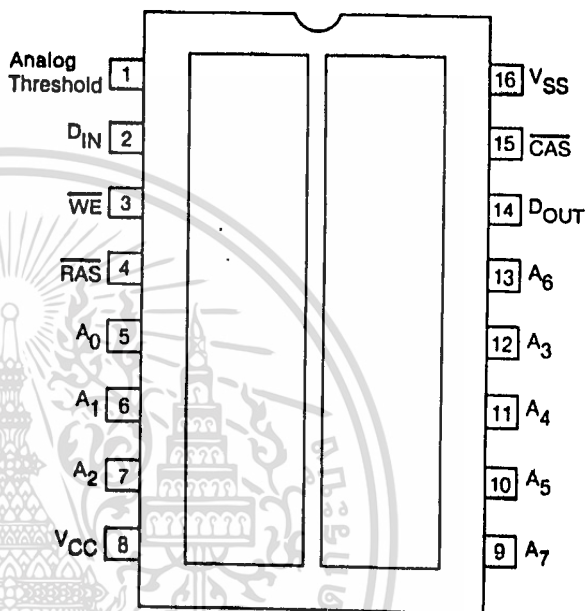
5,536 element Solid-State Image Sensor

MICRON
TECHNOLOGY, INC.
2805 East Columbia Road
Boise, Idaho 83708
TEL. (208) 383-4050
TWX 910-970-5973



FEATURES

- Dual 128 x 256 element arrays
- 32,768 light sensing elements per array
- Adjustable light sensitivity
- Variable scan rate
- Adjustable threshold (pin 1)
- On-chip output latch
- 16 pin package
- 5 volt $\pm$ 5% power supply
- Low power 150mW max
- All digital operation
- Fully TTL compatible
- Accepts slow (MPU) input edges
- Low capacitance inputs



IS32 OpticRAM™

GENERAL DESCRIPTION

IS32 OpticRAM™ image sensor is a solid-state device capable of sensing an image and translating it into digital computer-compatible signals. Each of the two arrays on the chip contains 32,768 sensors arranged in 28 rows by 256 columns of sensors. Typical applications will utilize only one of the arrays since the arrays are separated by an optical "dead zone" 120 microns wide.

Improved cost standards for binary image sensing (less than \$.0003 / element) are delivered through use of Micron's MT4264 64K dynamic RAM memory chip as the sensing device. The OpticRAM™ image sensor is differentiated by packaging with a glass lid (vs. the opaque lid used in memory chips) and connection to the normally unused pin 1 for optional threshold reference adjustment.

OpticRAM™ image sensor is a random access device. Each sensing element may be uniquely accessed. The 16 address bits are entered (multiplexed) 8 bits at a time using $\overline{RAS}$ to latch the first 8 bits and $\overline{CAS}$ for the latter 8 bits. If the $\overline{WE}$ pin goes low prior to $\overline{CAS}$ going low, the output pin remains open until the next $\overline{CAS}$ cycle. If $\overline{WE}$ goes low after data reaches the output pin, the output pin is activated and retains selected cell data as long as $\overline{CAS}$ remains low (regardless of $\overline{WE}$ or $\overline{RAS}$). This late $\overline{WE}$ pulse results in a Read-Modify-Write cycle. Pin is latched when $\overline{WE}$ strobes low. Schmidt triggers have been added to all control lines. This feature provides compatibility with control circuitry generating slow edge rates which are typical of many microprocessor-based systems.

During $\overline{RAS}$ low, $\overline{CAS}$ may be toggled to execute several faster Read, Writes or Read-Modify-Write cycles within the $\overline{RAS}$ address defined $\overline{PAGE}$ boundary. Returning $\overline{RAS}$ high terminates the memory cycle and reduces chip current to a reduced standby level. Also, the chip is preconditioned for the next cycle during $\overline{RAS}$ high time.

เอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Operating Temperature, T_A (Ambient) -55°C to $+125^{\circ}\text{C}$
 Storage Temperature (Ceramic) -65°C to $+150^{\circ}\text{C}$
 Storage Temperature (Plastic) -55°C to $+125^{\circ}\text{C}$
 Power Dissipation 1 Watt
 Maximum Output Current 50mA

Stresses greater than those listed under "Absolute Maximum Ratings" may cause permanent damage to the device. This is a stress rating only and functional operation of the device at these or any other conditions above those indicated in the operational sections of this specification is not implied. Exposure to absolute maximum rating conditions for extended periods may affect reliability.

RECOMMENDED DC OPERATING CONDITIONS ($T_A = 25^{\circ}\text{C}$)					
PARAMETER	SYMBOL	MIN	MAX	UNITS	NOTES
Supply voltage TYP 5.0V	V_{CC}	4.5	5.5	V	1
Input high (Logic 1) voltage, all inputs	V_{IH}	2.2	$V_{CC} + 1$	V	1
Input low (Logic 0) voltage, all inputs	V_{IL}	— 1.0	.8	V	1
ELECTRICAL CHARACTERISTICS ($T_A = 25^{\circ}\text{C}$) ($V_{CC} = 5.0\text{V} \pm 10\%$)					
PARAMETER	SYMBOL	MIN	MAX	UNITS	NOTES
Supply Standby Current Power supply standby current $\overline{S} = \overline{CAS} = V_{IH}$ after 8 $\overline{RAS}$ cycles min).	I_{CC1}		4	mA	
Supply Standby Current $\overline{S} = V_{IH}$, $\overline{CAS} = V_{IL}$	I_{CC2}		6	mA	
Operating Current $\overline{S} = V_{IH}$, $\overline{CAS}$ cycling)	I_{CC3}		30	mA	2
Refresh Only Refresh Current	I_{CC4}		20	mA	2
Write Mode Current $\overline{S} = V_{IL}$, $\overline{CAS}$ cycling)	I_{CC5}		30	mA	2
Input Leakage Input leakage current, any input ($0 \leq V_{IN} \leq V_{CC}$), Other pins not under test = 0 volts	$I_{1(L)}$	— 10	10	μA	
Output Leakage Output leakage current ($\overline{S}$ is disabled, $0\text{V} \leq V_{OUT} \leq V_{CC}$)	$I_{O(L)}$	— 10	10	μA	
Output Levels Output high (Logic 1) voltage ($I_{OUT} = 5\text{mA}$) Output low (Logic 0) voltage ($I_{OUT} = 5\text{mA}$)	V_{OH} V_{OL}	2.4	0.4	V V	
ELECTRICAL CHARACTERISTICS ($T_A = 25^{\circ}\text{C}$) ($V_{CC} = 5.0\text{V} \pm 10\%$)					
PARAMETER	SYMBOL	MIN	MAX	UNITS	NOTES
Input capacitance (A_0 - A_7), D_{IN}	C_{11}	—	5	pF	18
Input capacitance $\overline{RAS}$, $\overline{CAS}$, $\overline{WE}$	C_{12}	—	8	pF	18
Output capacitance (D_{OUT})	C_0	—	8	pF	18

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
 ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

NOTES

All voltages referenced to V_{SS} .

I_{CC} is dependent on output loading and cycle rates. Specified values are obtained with the output open.

An initial pause of $100\mu s$ is required after power-up followed by any 8 $\overline{RAS}$ cycles before proper device operation is achieved.

AC characteristics assume $t_T = 5ns$.

V_{IH} (min) and V_I (max) are reference levels for measuring timing of input signals. Transition times are measured between V_{IH} and V_{IL} .

The minimum specifications are used only to indicate cycle time at which proper operation is assured.

Load = 2TTL loads and 50pF.

Assumes that $t_{RCD} \leq t_{RCD} (max)$. If t_{RCD} is greater than the maximum recommended value shown in this table, t_{RAC} will increase by the amount that t_{RCD} exceeds the value shown.

Assumes the $t_{RCD} \geq t_{RCD} (max)$.

If $\overline{CAS} = V_{IH}$, data output is high impedance.

If $\overline{CAS} = V_{IL}$, data output may contain data from the last valid read cycle.

$t_{OFF} (max)$ defines the time at which the output achieves the open circuit condition and is not referenced to V_{OH} or V_{OL} .

Operation within the $t_{RCD} (max)$ limit insures that $t_{RAC} (max)$ can be met. $t_{RCD} (max)$ is specified as a reference point only; if t_{RCD} is greater than the specified $t_{RCD} (max)$ limit, then access time is controlled exclusively by t_{CAC} .

t_{RCH} is referenced to the first rising edge of $\overline{RAS}$ or $\overline{CAS}$.

These parameters are referenced to $\overline{CAS}$ leading edge in early write cycles and to $\overline{WE}$ leading edge in delayed Write or Read-Modify-Write cycles.

t_{WCS} , t_{CWD} and t_{RWD} are restrictive operating parameters in Read-Write and Read-Modify-Write cycles only. If $t_{WCS} \geq t_{WCS} (min)$ the cycle is an Early Write cycle and the data output will remain open circuit throughout the entire cycle. If $t_{CWD} \geq t_{CWD} (min)$ and $t_{RWD} \geq t_{RWD} (min)$ the cycle is a Read-Write and the data output will contain data read from the selected cell. If neither of the above conditions are met the conditions of the data out (at access time and until $\overline{CAS}$ goes back to V_{IH}) is indeterminate.

In addition to meeting the transition rate specification, all input signals must transit between V_{IH} and V_{IL} (or between V_{IL} and V_{IH}) in a monotonic manner.

Capacitance calculated from the equation $C = \frac{I \Delta t}{\Delta V}$ with $\Delta V = 3V$ and $V_{CC} = 5V$.

$\overline{CAS}$ is low at the falling edge of $\overline{RAS}$, data out will be maintained from the previous cycle. To initiate new cycle and clear the data out buffer $\overline{CAS}$ must be pulsed high for t_{CPN} . Note 8 applies to determine valid data out.

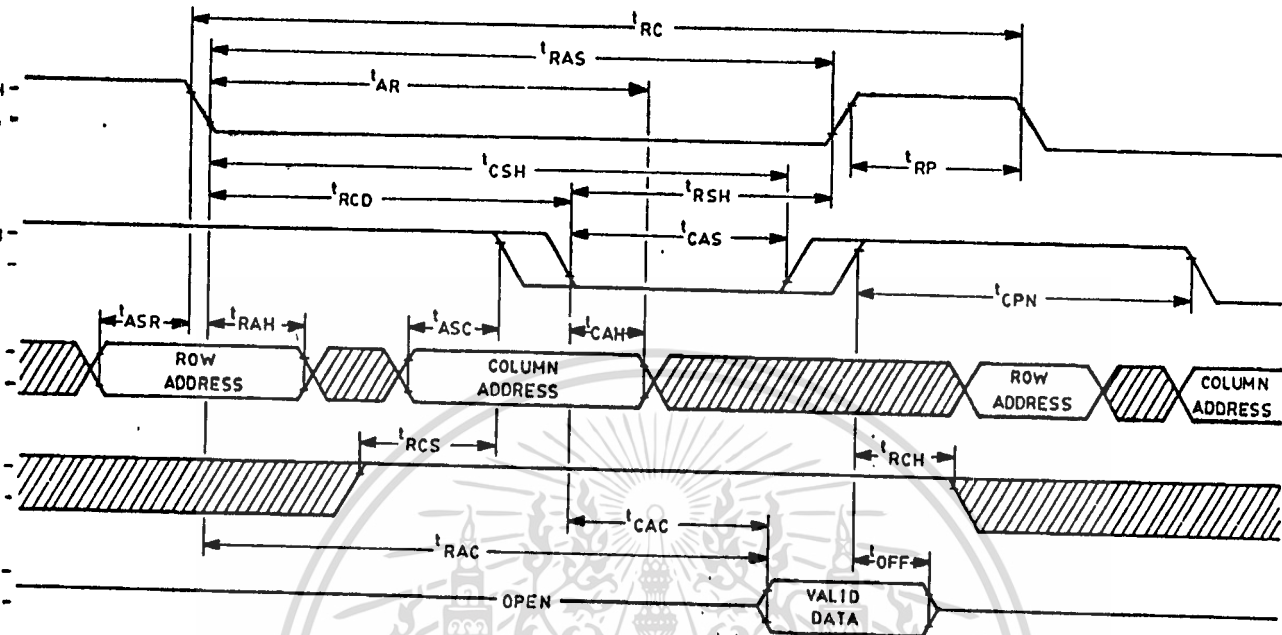
Every row must be addressed once per second, including the unused half of the array.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

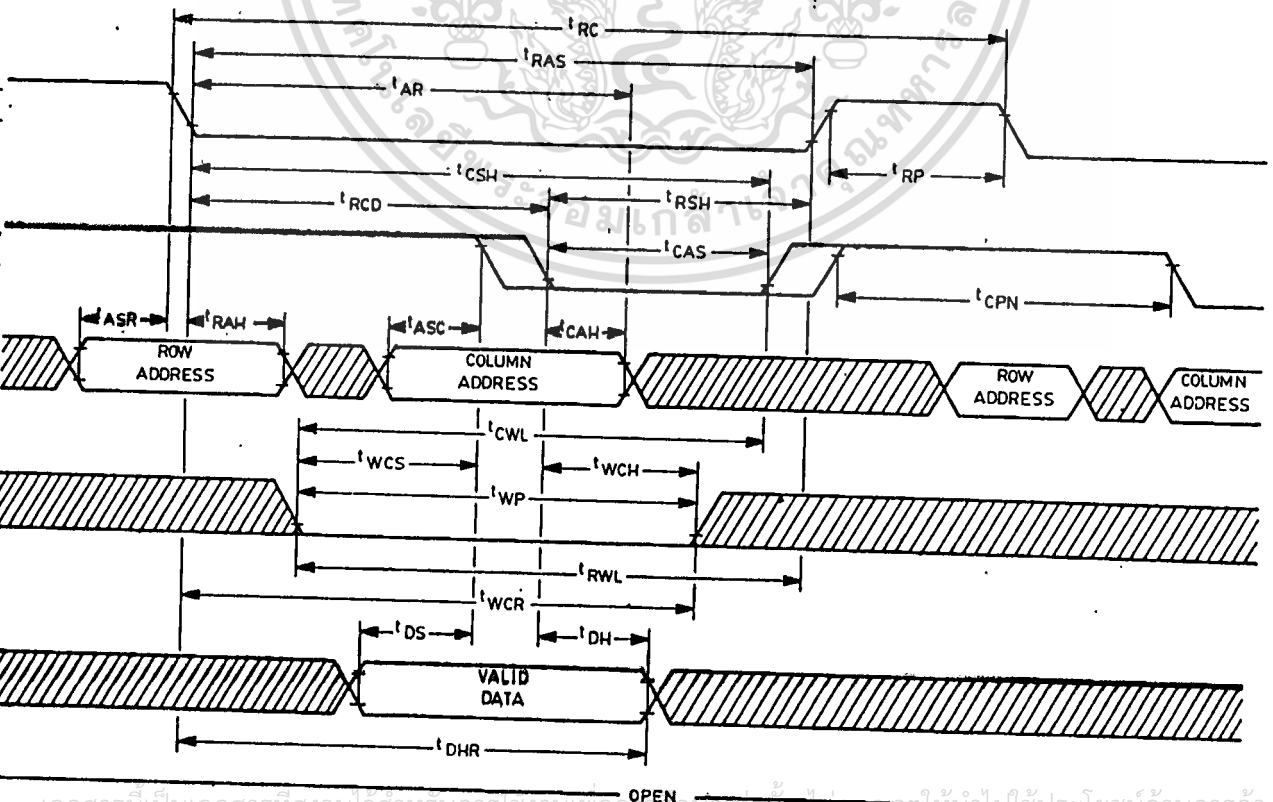
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

		IS32			
PARAMETER	SYMBOL	MIN	MAX	UNITS	NOTES
andom read or write cycle time:	t_{RC}	330		ns	6,7
age mode cycle time	t_{PC}	225		ns	6,7
ccess time from $\overline{\text{RAS}}$	t_{RAC}		200	ns	7,8
ccess time from $\overline{\text{CAS}}$	t_{CAC}		120	ns	7,9
utput buffer turn-off delay	t_{OFF}	0	40	ns	12
ransition time (rise and fall)	t_T	3	100	ns	5,17
$\overline{\text{AS}}$ precharge time	t_{RP}	175		ns	
$\overline{\text{AS}}$ pulse width	t_{RAS}	200	10,000	ns	
$\overline{\text{AS}}$ hold time	t_{RSH}	100		ns	
$\overline{\text{AS}}$ hold time	t_{CSH}	200		ns	
$\overline{\text{AS}}$ pulse width	t_{CAS}	120	∞	ns	
$\overline{\text{AS}}$ to $\overline{\text{CAS}}$ delay time	t_{RCD}	30	80	ns	13
$\overline{\text{AS}}$ precharge time (page mode)	t_{CP}	40		ns	
$\overline{\text{AS}}$ precharge time	t_{CPN}	35		ns	19
ow address set-up time	t_{ASR}	0		ns	
ow address hold time	t_{RAH}	25		ns	
olumn address set-up time	t_{ASC}	0		ns	
olumn address hold time	t_{CAH}	50		ns	
olumn address hold time referenced to $\overline{\text{RAS}}$	t_{AR}	130		ns	
oad command set-up time	t_{RCS}	0		ns	
oad command hold time referenced to $\overline{\text{CAS}}$	t_{RCH}	0		ns	14
rite command hold time	t_{WCH}	60		ns	
rite command hold time referenced to $\overline{\text{RAS}}$	t_{WCR}	140		ns	
rite command pulse width	t_{WP}	50		ns	
rite command to $\overline{\text{RAS}}$ lead time	t_{RWL}	55		ns	
te-in set-up time	t_{DS}	0		ns	15
te-in hold time	t_{DH}	55		ns	15
te-in hold time referenced to $\overline{\text{RAS}}$	t_{DHR}	135		ns	
ad-Modify-Write	t_{RMW}	370		ns	
ite command to $\overline{\text{CAS}}$ leadtime	t_{CWL}	55		ns	
ite command set-up time	t_{WCS}	0		ns	16
$\overline{\text{S}}$ to $\overline{\text{WE}}$ delay	t_{CWD}	100		ns	16
$\overline{\text{S}}$ to $\overline{\text{WE}}$ delay	t_{RWD}	180		ns	16

READ CYCLE

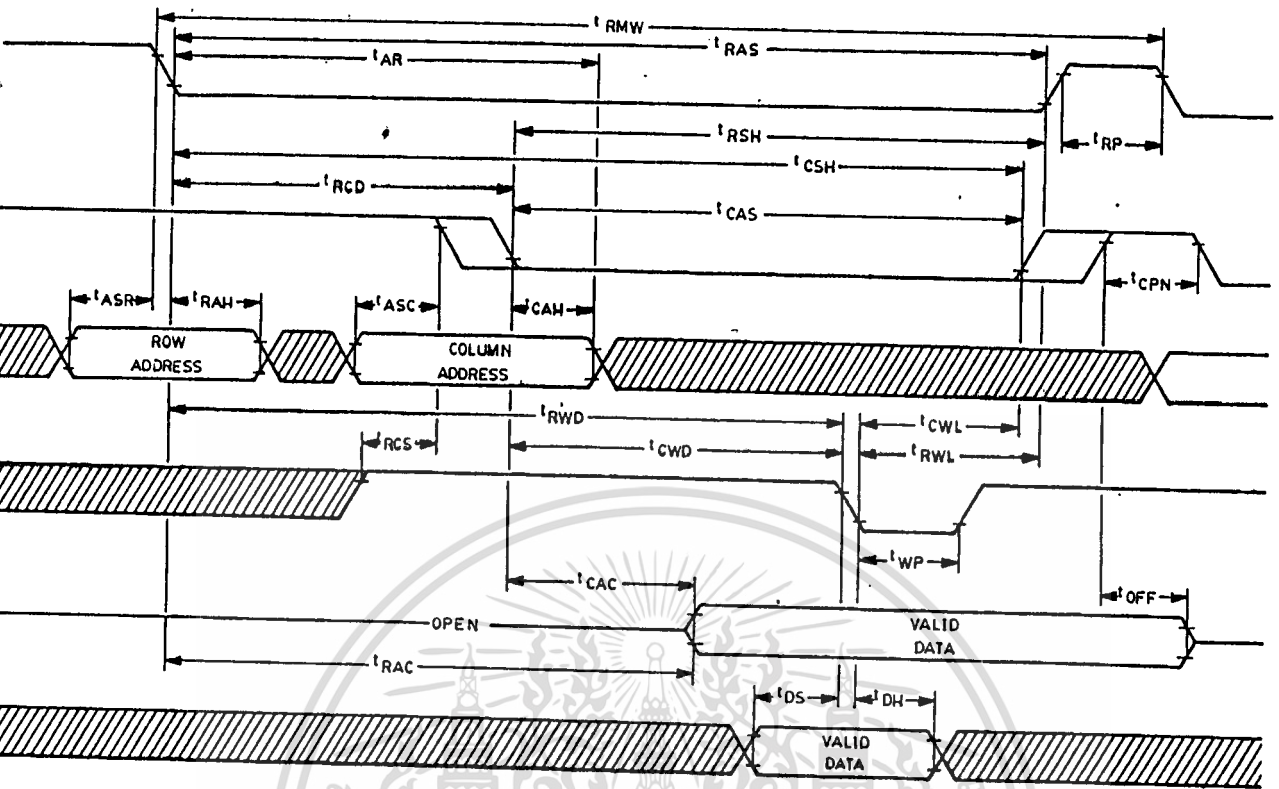


WRITE CYCLE (EARLY WRITE)

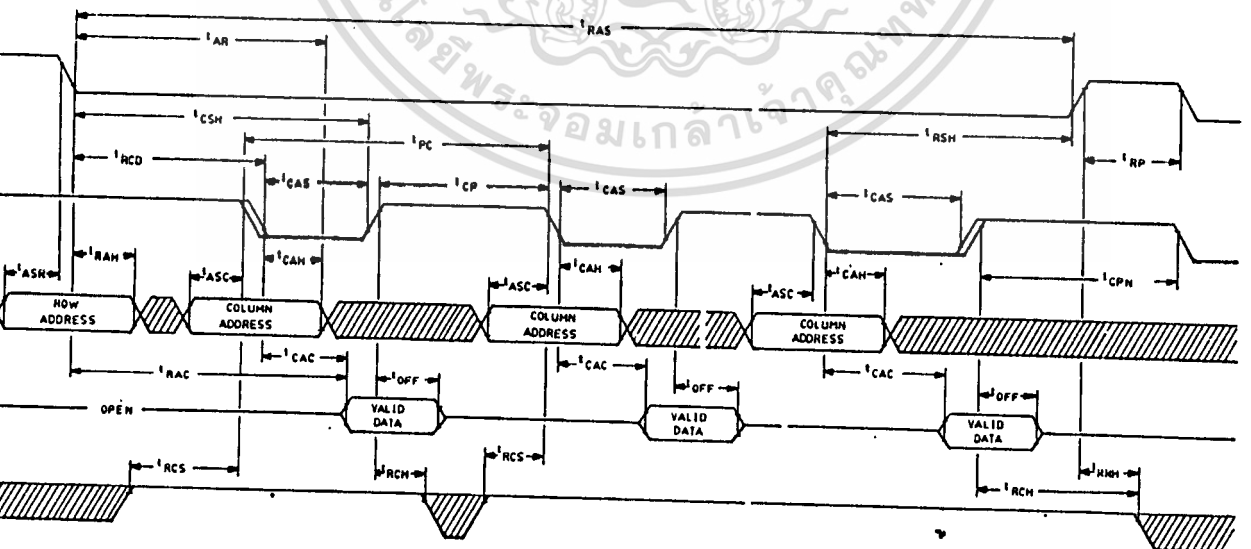


เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้แก้ไขหรือปรับรูปแบบการดัด

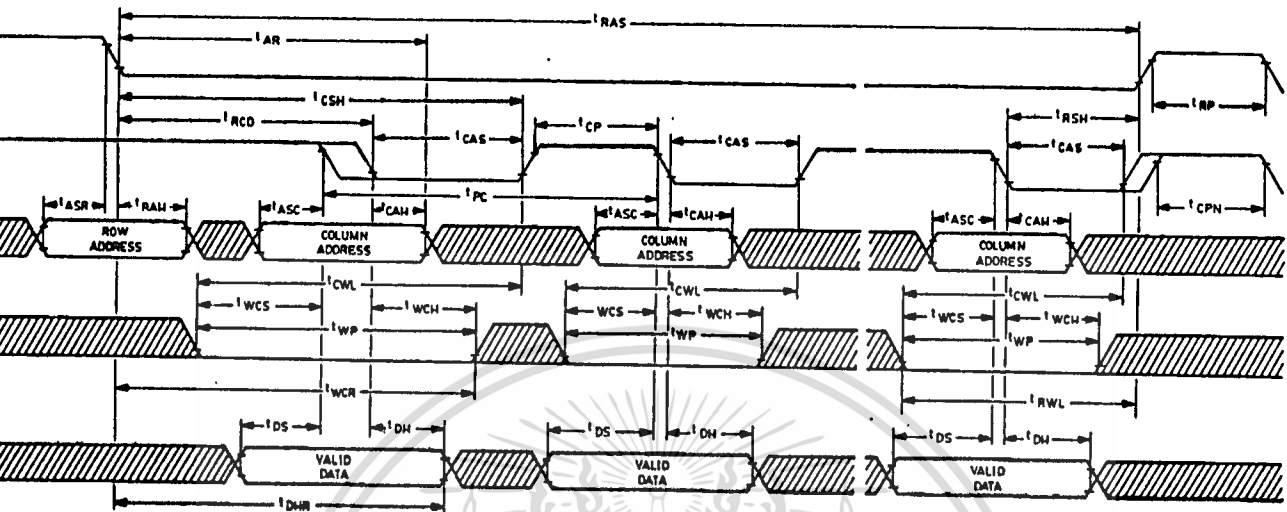
READ-MODIFY-WRITE CYCLE



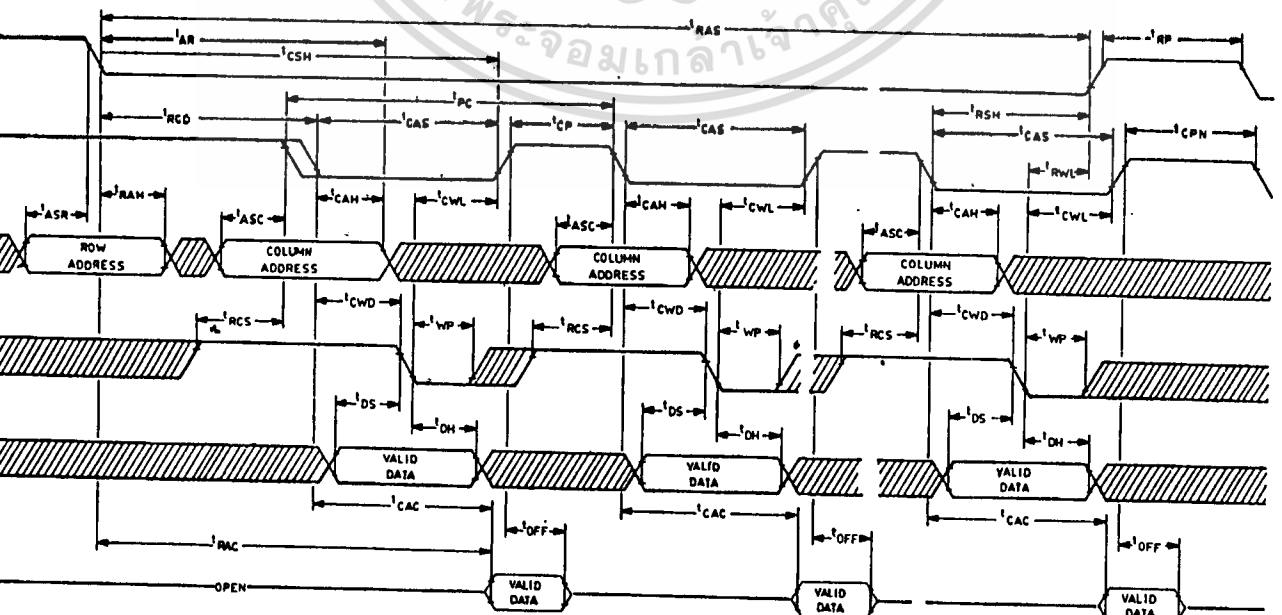
PAGE MODE READ CYCLE



PAGE MODE WRITE CYCLE



PAGE MODE READ-MODIFY-WRITE CYCLE



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

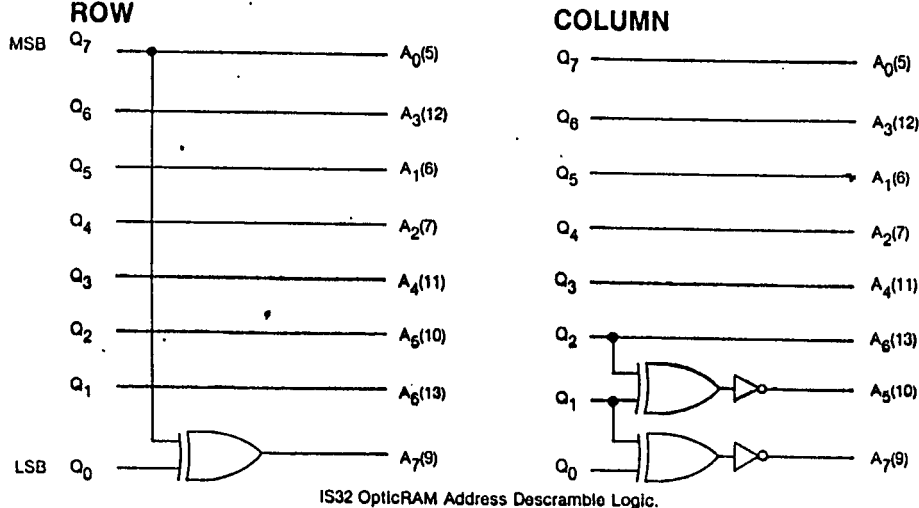
IS32 OpticRAM™ TOPOLOGY MAP

ROW

Physical Row										Physical Row										Physical Row										Physical Row									
A ₂	A ₁	A ₀	A ₇	A ₆	A ₅	A ₄	A ₃	A ₂	A ₁	A ₀	A ₇	A ₆	A ₅	A ₄	A ₃	A ₂	A ₁	A ₀	A ₇	A ₆	A ₅	A ₄	A ₃	A ₂	A ₁	A ₀	A ₇	A ₆	A ₅	A ₄	A ₃	A ₂	A ₁	A ₀					
0	0	0	45	1	0	1	1	0	0	1	0	0	0	0	0	0	0	0	90	0	1	0	1	1	1	0	0	0	0	0	0	0	0	0	0				
0	0	0	46	0	1	1	1	0	0	1	0	0	0	0	0	0	0	0	91	0	1	0	1	1	1	0	0	0	0	0	0	0	0	0	0				
0	0	0	47	1	1	1	1	0	0	1	0	0	0	0	0	0	0	0	92	0	0	1	1	1	1	0	0	0	0	0	0	0	0	0	0				
0	0	0	48	0	0	0	0	0	0	1	0	0	0	0	0	0	0	0	93	0	1	0	1	1	1	0	0	0	0	0	0	0	0	0	0				
0	0	0	49	1	0	0	0	0	0	1	0	0	0	0	0	0	0	0	94	0	1	1	1	1	1	0	0	0	0	0	0	0	0	0	0				
0	0	0	50	0	1	0	0	0	0	1	0	0	0	0	0	0	0	0	95	0	1	1	1	1	1	0	0	0	0	0	0	0	0	0	0				
0	0	0	51	1	1	0	0	0	0	1	0	0	0	0	0	0	0	0	96	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0				
0	0	0	52	0	0	1	0	0	0	1	0	0	0	0	0	0	0	0	97	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0				
0	0	0	53	1	0	1	0	0	0	1	0	0	0	0	0	0	0	0	98	0	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0				
0	0	0	54	0	1	1	0	0	0	1	0	0	0	0	0	0	0	0	99	1	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0				
0	0	0	55	1	1	1	0	0	0	1	0	0	0	0	0	0	0	0	100	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0				
0	0	0	56	0	0	0	0	0	0	1	0	0	0	0	0	0	0	0	101	1	0	1	0	0	0	0	0	0	0	0	0	0	0	0	0				
0	0	0	57	1	0	0	0	0	0	1	0	0	0	0	0	0	0	0	102	0	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0				
0	0	0	58	0	1	0	0	0	0	1	0	0	0	0	0	0	0	0	103	0	1	1	0	0	0	0	0	0	0	0	0	0	0	0	0				
0	0	0	59	1	1	0	0	0	0	1	0	0	0	0	0	0	0	0	104	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0				
0	0	0	60	0	0	1	0	0	0	1	0	0	0	0	0	0	0	0	105	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0				
0	0	0	61	1	0	1	0	0	0	1	0	0	0	0	0	0	0	0	106	0	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0				
0	0	0	62	0	1	1	0	0	0	1	0	0	0	0	0	0	0	0	107	1	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0				
0	0	0	63	1	1	1	0	0	0	1	0	0	0	0	0	0	0	0	108	0	0	1	1	0	0	0	0	0	0	0	0	0	0	0	0				
0	0	0	64	0	0	0	0	0	0	1	0	0	0	0	0	0	0	0	109	1	0	1	1	0	0	0	0	0	0	0	0	0	0	0	0				
0	0	0	65	1	0	0	0	0	0	1	0	0	0	0	0	0	0	0	110	0	1	1	1	0	0	0	0	0	0	0	0	0	0	0	0				
0	0	0	66	0	1	0	0	0	0	1	0	0	0	0	0	0	0	0	111	1	1	1	0	0	0	0	0	0	0	0	0	0	0	0	0				
0	0	0	67	1	1	0	0	0	0	1	0	0	0	0	0	0	0	0	112	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0				
0	0	0	68	0	0	1	0	0	0	1	0	0	0	0	0	0	0	0	113	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0				
0	0	0	69	1	0	1	0	0	0	1	0	0	0	0	0	0	0	0	114	0	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0				
0	0	0	70	0	1	1	0	0	0	1	0	0	0	0	0	0	0	0	115	1	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0				
0	0	0	71	1	1	1	0	0	0	1	0	0	0	0	0	0	0	0	116	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0				
0	0	0	72	0	0	0	0	0	0	1	0	0	0	0	0	0	0	0	117	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0				
0	0	0	73	1	0	0	0	0	0	1	0	0	0	0	0	0	0	0	118	0	1	1	0	0	0	0	0	0	0	0	0	0	0	0	0				
0	0	0	74	0	1	0	0	0	0	1	0	0	0	0	0	0	0	0	119	1	1	1	0	0	0	0	0	0	0	0	0	0	0	0	0				
0	0	0	75	1	1	0	0	0	0	1	0	0	0	0	0	0	0	0	120	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0				
0	0	0	76	0	0	1	0	0	0	1	0	0	0	0	0	0	0	0	121	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0				
0	0	0	77	1	0	1	1	0	0	1	0	0	0	0	0	0	0	0	122	0	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0				
0	0	0	78	0	1	1	0	0	0	1	0	0	0	0	0	0	0	0	123	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0				
0	0	0	79	1	1	1	0	0	0	1	0	0	0	0	0	0	0	0	124	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0				
0	0	0	80	0	0	0	0	0	0	1	0	0	0	0	0	0	0	0	125	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0				
0	0	0	81	1	0	0	0	0	0	1	0	0	0	0	0	0	0	0	126	0	1	1	1	1	1	0	0	0	0	0	0	0	0	0	0				
0	0	0	82	0	1	0	0	0	0	1	0	0	0	0	0	0	0	0	127	1	1	1	1	1	1	0	0	0	0	0	0	0	0	0	0				
0	0	0	83	1	1	0	0	0	0	1	0	0	0	0	0	0	0	0	128	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0				
0	0	0	84	0	0	1	0	0	0	1	0	0	0	0	0	0	0	0	129	0	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0				
0	0	0	85	1	0	1	0	0	0	1	0	0	0	0	0	0	0	0	130	1	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0				
0	0	0	86	0	1	1	0	0	0	1	0	0	0	0	0	0	0	0	131	0	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0				
0	0	0	87	1	1	1	0	0	0	1	0	0	0	0	0	0	0	0	132	1	0	1	0	0	0	0	0	0	0	0	0	0	0	0	0				
0	0	0	88	0	0	0	0	0	0	1	0	0	0	0	0	0	0	0	133	0	0	1	0	0	0	0	0	0	0	0	0	0	0	0	0				
0	0	0	89	1	0	0	0	0	0	1	0	0	0	0	0	0	0	0	134	1	1	1	0	0	0	0	0	0	0	0	0	0	0	0	0				
135	0	1	1	0	0	0	0	0	0	1	135	0	1	1	0	0	0	0	1	135	0	1	1	0	0	0	0	0	1	180	1	0	1	0	0	0	1		
136	0	0	0	1	0	0	0	0	0	1	136	0	0	0	1	0	0	0	1	136	0	0	0	1	0	0	0	1	181	0	0	1	0	0	1	1			
137	0	0	0	1	0	0	0	0	0	1	137	0	0	0	1	0	0	0	1	137	0	0	0	1	0	0	0	1	182	1	1	1	0	0	1	1			
138	0	1	0	1	0	0	0	0	0	1	138	0	1	0	1	0	0	0	1	138	0	1	0	1	0	0	0	1	183	0	1	1	0	0	1	1			
139	0	1	0	1	0	0	0	0	0	1	139	0	1	0	1	0	0	0	1	139	0	1	0	1	0	0	0	1	184	0	0	0	0	1	1	1			
140	0	0	1	1	0	0	0	0	0	1	140	0	0	1	1	0	0	0	1	140	0	0	1	1	0	0	0	1	185	0	0	0	0	1	1	1			
141	0	0	1	1	0	0	0	0	0	1	141	0	0	1	1	0	0	0	1	141	0	0	1	1	0	0	0	1	186	1	1	0	1	0	1	1			
142	0	1	1	1	0	0	0	0	0	1	142	0	1	1	1	0	0	0	1	142	0	1	1	1	0	0	0	1	187	0	1	0	1	0	1	1			
143	0	1	1	1	0																																		

COLUMN

Physical										Physical										Physical										Physical									
Col.	A ₇	A ₆	A ₅	A ₄	A ₃	A ₂	A ₁	A ₀		Col.	A ₇	A ₆	A ₅	A ₄	A ₃	A ₂	A ₁	A ₀		Col.	A ₇	A ₆	A ₅	A ₄	A ₃	A ₂	A ₁	A ₀		Col.	A ₇	A ₆	A ₅	A ₄	A ₃	A ₂	A ₁	A ₀	
0	0	0	45	0	1	0	1	0	0	1	0	0	0	0	0	0	0	0	90	0	0	0	1	1	1	0	0	0	0	0	0	0	0	0	0	0	0		
0	0	0	46	0	1	1	0	0	0	1	0	0	0	0	0	0	0	0	91	0	1	0	0	1	1	1	0	0	0	0	0	0	0	0	0	0	0		
0	0	0	47	1	1	1	0	0	0	1	0	0	0	0	0	0	0	0	92	0	1	0	1	1	1	0	0	0	0	0	0	0	0	0	0	0	0		
0	0	0	48	0	0	0	0	0	0	1	0	0	0	0	0	0	0	0	93	0	0	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0		
0	0	0	49	0	0	1	0	0	0	1	0	0	0	0	0	0	0	0	94	0	1	1	1	1	1	0	0	0	0	0	0	0	0	0	0	0	0		
0	0	0	50	0	0	0	0	0	0	1	0	0	0	0	0	0	0	0	95	1	1	1	1	1	1	0	0	0	0	0	0	0	0	0	0	0	0		
0	0	0	51	1	1	0	0	0	0	1	0	0	0	0	0	0	0	0	96	1	0	1	0	1	0	0	0	0	0	0	0	0	0	0	0	0	0		
0	0	0	52	1	1	0	0	0	0	1	0	0	0	0	0	0	0	0	97	0	0	0	1	0	1	0	0	0	0	0	0	0	0	0	0	0	0		
0	0	0	53	0	1	0	0	0	0	1	0	0	0	0	0	0	0	0	98	0	0	0	0	0	1	0	0	0	0	0	0	0	0	0	0	0	0		
0	0	0	54	0	1	1	0	0	0	1	0	0	0	0	0	0	0	0	99	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0		
0	0	0	55	1	1	1	0	0	0	1	0	0	0	0	0	0	0	0	100	1	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0		
0	0	0	56	0	0	1	1	0	0	1	0	0	0	0	0	0	0	0	101	0	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0		
0	0	0	57	0	0	0	1	0	0	1	0	0	0	0	0	0	0	0	102	0	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0		
0	0	0	58	0	0	0	0	0	0	1	0	0	0	0	0	0	0	0	103	0	1	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0		
0	0	0	59	1	0	0	0	0	0	1	0	0	0	0	0	0	0	0	104	1	0	1	1	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	
0	0	0	60	1	1	0	0	0	0	1	0	0	0	0	0	0	0	0	105	0	0	0	1	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	
0	0	0	61	0	1	0	0	0	0	1	0	0	0	0	0	0	0	0	106	0	0	0	0	1	1	0	0	0	0	0	0	0	0	0	0	0	0	0	
0	0	0	62	0	1	1	1	0	0	1	0	0	0	0	0	0	0	0	107	1	0	0	0	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	
0	0	0	63	1	1	1	1	0	0	1	0	0	0	0	0	0	0	0	108	1	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	
0	0	0	64	1	0	1	0	0	0	1	0	0	0	0	0	0	0	0	109	0	1	0	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	
0	0	0	65	0	0	0	0	0	0	1	0	0	0	0	0	0	0	0	110	0	1	1	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	
0	0	0	66	0	0	0	0	0	0	1	0	0	0	0	0	0	0	0	111	1	1	1	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	
0	0	0	67	1	1	0	0	0	0	1	0	0	0	0	0	0	0	0	112	1	0	1	0	0	1	1	0	0	0	0	0	0	0	0	0	0	0	0	0
0	0	0	68	1	1	0	0	0	0	1	0	0	0	0	0	0	0	0	113	0	0	0	0	0	1	1	0	0	0	0	0	0	0	0	0	0	0	0	0
0	0	0	69	0	1	0	0	0	0	1	0	0	0	0	0	0	0	0	114	0	0	0	0	0	0	1	1	0	0	0	0	0	0	0	0	0	0	0	0
0	0	0	70	0	1	1	0	0	0	1	0	0	0	0	0	0	0	0	115	1	0	0	0	0	0	1	1	0	0	0	0	0	0	0	0	0	0	0	0
0	0	0	71	1	1	1	0	0	0	1	0	0	0	0	0	0	0	0	116	0	1	0	0	0	0	1	1	0	0	0	0	0	0	0	0	0	0	0	0
0	0	0	72	1	0	1	1	1	0	0	0	0	0	0	0	0	0	0	117	0	1	0	0	0	0	1	1	0	0	0	0	0	0	0	0	0	0	0	0
0	0	0	73	0	0	1	1	1	0	0	0	0	0	0	0	0	0	0	118	0	1	1	0	0	0	1	1	0	0	0	0	0	0	0	0	0	0	0	0
0	0	0	74	0	0	0	0	1	1	0	0	0	0	0	0	0	0	0	119	0	1	1	0	0	0	1	1	0	0	0	0	0	0	0	0	0	0	0	0
0	0	0	75	1	0	0	0	1	0	0	0	0	0	0	0	0	0	0	120	0	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	
0	0	0	76	1	1	0	0	1	0	0	0	0	0	0	0	0	0	0	121	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	
0	0	0	77	0	1	0	0	1	0	0	0	0	0	0	0	0	0	0	122	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	
0	0	0	78	0	1	1	1	1	0	0	0	0	0	0	0	0	0	0	123	0	1	0	0	0	1	1	1	0	0	0	0	0	0	0	0	0	0	0	0
0	0	0	79	1	1	1	1	1	0	0	0	0	0	0	0	0	0	0	124	0	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	
0	0	0	80	1	0	0	1	0	0	0	0	0	0	0	0	0	0	0	125	0	1	0	0	1	1	1	0	0	0	0	0	0	0	0	0	0	0	0	0
0	0	0	81	0	0	0	1	0	0	0	0	0	0	0	0	0	0	0	126	1	1	1	1	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0	0	0	82	0	0	0	0	0	0	1	0	0	0	0	0	0	0	0	127	1	1	1	1	1	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0	0	0	83	1	0	0	0	0	0	1	0	0	0	0	0	0	0	0	128	1	0	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0	0	0	84	1	1	0	0	0	0	1	0	0	0	0	0	0	0	0	129	0	0	0	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0	0	0	85	0	1	1	0	0	0	1	0	0	0	0	0	0	0	0	130	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	
0	0	0	86	0	1	1	0	0	0	1	0	0	0	0	0	0	0	0	131	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	
0	0	0	87	1	1	1	0	0	0	1	0	0	0	0	0	0	0	0	132	0	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	
0	0	0	88	1	0	0	1	1	0	0	0	0	0	0	0	0	0	0	133	0	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	
0	0	0	89	0	0	1	1	1	0	0	0	0	0	0	0	0	0	0	134	0	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	



DIMENSIONS

ARRAY: 256 x 128 electrical addressable elements per array (4420 microns x 876.8 microns). The physical organization of the array is actually a 514 x 129 grid with staggered cell placement as indicated in the associated diagram.

ROW: 4420 microns.

COLUMN: 877 microns.

CELL SIZE: 6.4 microns vertical by 6.4 microns horizontal.

VERTICAL PITCH (Row Pitch): 6.8 microns.

HORIZONTAL PITCH (Column Pitch): 8.6 microns.

SPACING between left and right array: 120 microns.

DISTANCE from surface of OpticRAM™ chip to top of the glass = 940 microns (± 10 percent).

PARASITIC CAPACITANCE = .04 pF.

THEORY OF OPERATION

The IS32 OpticRAM™ image sensor operates by focusing the reflected light from an object onto the 32,768 sensitive elements (referred to as bits or pixels) of the array. Light striking a particular element will cause a capacitor, which is initially precharged to 5 volts, to discharge toward 0 volts. The capacitor will discharge proportionally to both the intensity and duration it is exposed to light.

To determine if a particular element is black or white, read the appropriate row and column address associated with the physical location of that particular element (refer to Topology Map). The OpticRAM™ image sensor reads the voltage value of the capacitor and performs a digital comparison between the voltage of the capacitor and the fixed threshold voltage. Dout is set to BLACK if the voltage on the capacitor is above the threshold point. Dout is set to WHITE if the voltage is below threshold. (When referring to Din and Dout, "1" is a logical "1" for rows 0 through 127, and logical "0" for rows 128 through 255. WHITE is the opposite of BLACK.)

A WHITE pixel indicates the capacitor was exposed to a light intensity sufficient to discharge the capacitor below the threshold point. A BLACK pixel indicates the light intensity was not enough to discharge the capacitor below the threshold, therefore it retained the charge and is read as black.

One of the most significant factors affecting the discharge of the light sensitive capacitors is the length of the time the capacitors are exposed to light. This period of time is measured from the initial exposure of an element until the time the particular element is read or refreshed. Accessing any pixel in a row causes the entire row to be refreshed. This sets all in a row cells that have not leaked below threshold to 5 volts and cells in a row that have leaked below threshold to 0 volts.

The combination of the light intensity and the scan rate (the amount of time the elements are exposed before being read) will determine the optimum imaging environment. The faster the elements are scanned, or read, the higher the light intensity required.

A range of gray can be achieved by averaging multiple scans together using either a different threshold voltage or by varying the exposure time.

varying the scan rate. By changing the threshold voltage, keeping both the image and light intensity constant, the outputs produced during each scan will not change where pixels are definitely black or white. Change will be exhibited where the image is gray and the amount of reflected light striking the capacitors produces a proportional voltage near the threshold voltage.

A nominal threshold with pin 1 open is 2.4 volts. This threshold can be adjusted via pin 1 from 1.5 volts to 3.0 volts. It is suggested that gray scale capability be achieved by varying the scan rate rather than adjusting the threshold voltage. By varying the scan rate (varying the discharge time) you can more accurately achieve gray scale capability. Pin 1 should be capacitively bypassed (ie. 10 μ F).

SENSITIVITY

The sensitivity at 900nm of the IS32 OpticRAM™ image sensor is approximately $2\mu\text{J} / \text{cm}^2$.

Photodiode detectors have a useful optical sensitivity over the region of the spectrum in which silicon absorbs photons. The spectral sensitivity of the OpticRAM™ image sensor extends from 300 nanometers to 1100 nanometers. The sensitivity follows the silicon characteristic curve since the IS32 is built using silicon. The IS32 is impervious to damage by high light intensity. It has a high quantum efficiency and a binary output which is proportional to the amount of incident light and integration time (referenced to a threshold). However, oversaturation of the IS32 by more than 4 F-stops will, for the duration of oversaturation, make the first half of the array all light and the other half all dark. This is only a temporary situation for the duration of the oversaturation.

The IS32 chip is mounted in the package with 20 mils tolerance in both the X and Y axis. This suggests that if an OpticRAM™ package is replaced in a camera, a physical realignment of the camera to the scene is necessary.

TOPOLOGY

Logical addressing of the IS32 does not correspond with the physical placement of the cells on the chip. Applying the descramble suggested by the topology map on the previous page a logical-to-physical translation can be made. A simple circuit for performing this translation is included.

One of the primary goals in designing a low cost integrated circuit such as the OpticRAM™ image sensor is to minimize its physical size. To achieve this goal, the cells in the OpticRAM™ image sensor are arranged in an interleaved pattern. If an image is read out of the OpticRAM™ image sensor by counting successively down the rows and columns, the image will look "fuzzy" around the edges because the pixels are slightly misplaced in the graphics matrix.

To accommodate sensor placement, the data from the OpticRAM™ chip must be mapped into the graphics matrix so that the arrangement of the pixels in the graphic matrix matches the physical arrangement of the cells in the OpticRAM™. Due to the interleaved cell pattern on the OpticRAM™ image sensor, the array is 1/2 inch longer than it is wide, resulting in spaces between the cells in the column direction. Because of the spaces, the 128 x 256 array of cells will map very nicely into a 129 x 514 matrix referred to as the cell placement grid.

The cell placement grid is depicted in the OpticRAM™ Physical Layout Schematic. For a single array, there are a total of 129 rows and 514 columns. Only the corners of the array are shown. The rest of the array can be inferred from the cells displayed. The placement grid indicates where the information from each cell in the OpticRAM™ should be mapped. For instance, if the cell at address Row 1, Column 1, in the OpticRAM™ is read, the value (a 1 or 0) should be placed in the placement grid at location X = 2, Y = 2.

When every cell has been read and the values placed in the appropriate locations, about half of the grid remains empty. We will call these empty locations "space pixels." The space pixels can be set all high or all low to provide a light or dark background for the image. Another alternative is to set each space pixel to the level that agrees with the majority of its nearest neighbors.

The cell placement grid can be implemented in several ways or worked around. If 128 x 64 resolution is adequate, reading only cells with even (0, 2, 4,...) row and column coordinates selects only those cells perfectly aligned in the horizontal and vertical axes. If full resolution is desired, a ROM and/or counter circuitry can be used to perform a full transform in hardware. Simpler yet, the transform may be accomplished through software, the technique used by the Micron Eye™ camera. (Refer to application schematic on back page.)

By laying the cells laid out in the IS32 the way they are, gives the IS32 OpticRAM™ much greater resolving power than if the cells were laid out linearly.

ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามแก้ไขเปลี่ยนแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

IS32 OpticRAM™

5,536 element Solid-State Image Sensor

MICRON
TECHNOLOGY, INC.
2805 East Columbia Road
Boise, Idaho 83708
TEL. (208) 386-3800
TWX 910-970-5973



IS32 OpticRAM™ Spectral Data Applications Note

INTRODUCTION

The spectral sensitivity and broadband sensitivity of the IS32 OpticRAM™ MicronEye was measured under varying conditions and is described in the following report. All measurements were made on an Apple II Plus computer, running machine language subroutines to expose and read the MicronEye™ pixels. Generally, the exposure time (or soaktime) of the IS32 OpticRAM light sensitive detector was adjusted until the logic state changed from 1 to 0. Not all pixels change state at the same fluence, however, nor did a single pixel always change state at exactly the same fluence. This condition suggested that the exposure time be defined to be the mean time for 50% of the pixels in the sample to change state under the given conditions.

Error bars are included on many graphs to indicate the exposure necessary to produce state transitions in 20% and 80% of the pixels samples. Under broadband illumination from a tungsten lamp the row (256 pixels) was considered to be a significant sample. Measurements made through the Jobin-Yvon monochromator required a smaller sample, however, since only 60 pixels were illuminated uniformly through the exit slit of the monochromator.

SPECTRAL SENSITIVITY

In order to determine the absolute spectral sensitivity of the IS32 OpticRAM, the output of an Oriel 750 Xenon arc lamp was passed through a 1m Jobin-Yvon monochromator and the radiance measured with a Laser Precision Corporation Pyroelectric Radiometer. Since the spectral response of the radiometer is flat from 200 nm to over 15 μm , the absolute spectral intensity in (W/m^2) per nm passing through the monochromator was obtained.

The radiometer was replaced by the IS32 OpticRAM and the exposure time required to change the state of 50% of the 60 pixels sampled was recorded at wavelengths from 300 to 887 nm. The fluence (mJ/m^2) required to expose the IS32 OpticRAM was calculated at each wavelength and the reciprocal fluence, which is a convenient measure of sensitivity, is plotted in Figure 1.

THRESHOLD VOLTAGE

A North Hills voltage/current reference source was connected between pin 1 and ground of the IS32 OpticRAM in order to measure the change in sensitivity with respect to threshold voltage. Monochromatic light at 700 nm was used to illuminate the array.

Sensitivity increased with increasing threshold voltage as shown on Figure 2. Although it may be possible to operate the IS32 OpticRAM at higher threshold voltages for some low light level applications, the advantage of increased sensitivity is offset by an increase in exposure uncertainty of 2% to 5% as the voltage is increased from 1.5 to 3.0 V.

SINGLE PIXEL EXPOSURE UNCERTAINTY

A short computer program was written to perform 100 soak and read operations on a single IS32 OpticRAM pixel in order to determine the uncertainty in exposure time under constant uniform illumination. The results shown in Figure 3 were taken at three different threshold voltages.

PIXEL TO PIXEL AND CHIP TO CHIP SENSITIVITY

A single row of pixels was sampled after the entire IS32 OpticRAM was illuminated by a broadband tungsten source. The number of state transitions was recorded and the measurement repeated at different exposure times. Figure 4 shows the percent transition probability as a function of exposure time. The variability in pixel to pixel sensitivity is about 20% and exceeds the exposure uncertainty of a single pixel by a factor of 5.

The variation in chip to chip sensitivity was tested by repeating the above measurements on three separate IS32 OpticRAM chips. A 10% change in sensitivity was observed among the sampled chips.

DARK CURRENT

A dramatic increase in the dark current of the IS32 OpticRAM was observed at elevated temperature. This effect may be due to the exponential temperature dependence of the charge carriers' concentration within the silicon. The semilog plot in Figure 5 shows the maximum time that the IS32 OpticRAM will hold +1 logic state without external illumination.

Special thanks to Wolfgang Christian, of Davidson College, for supplying research on the Micron Technology, Inc. IS32 OpticRAM.

Use of OpticRAM™ in connection with a lensing system is covered by U.S. Patent 4,441,125.

Reciprocal Fluence
(m^2/J)

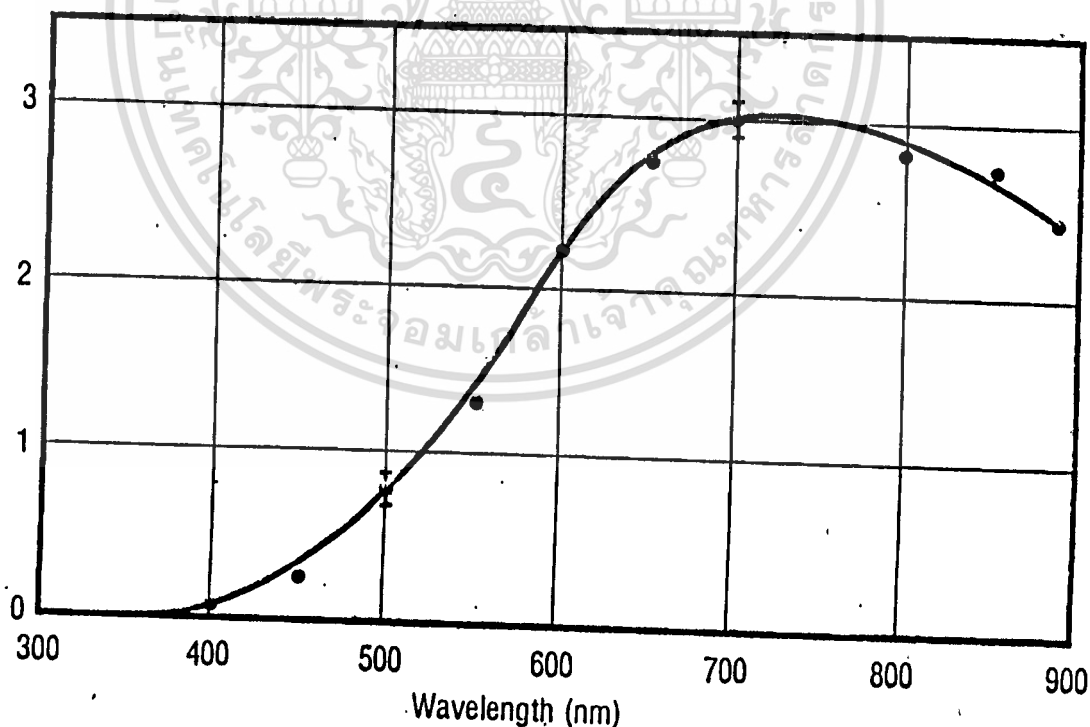


Figure 1: Reciprocal fluence vs. wavelength for IS32 OpticRAM. Peak sensitivity is about $3 \times 10^6 \text{ cm}^2/\text{J}$ between 700 and 800 nm.

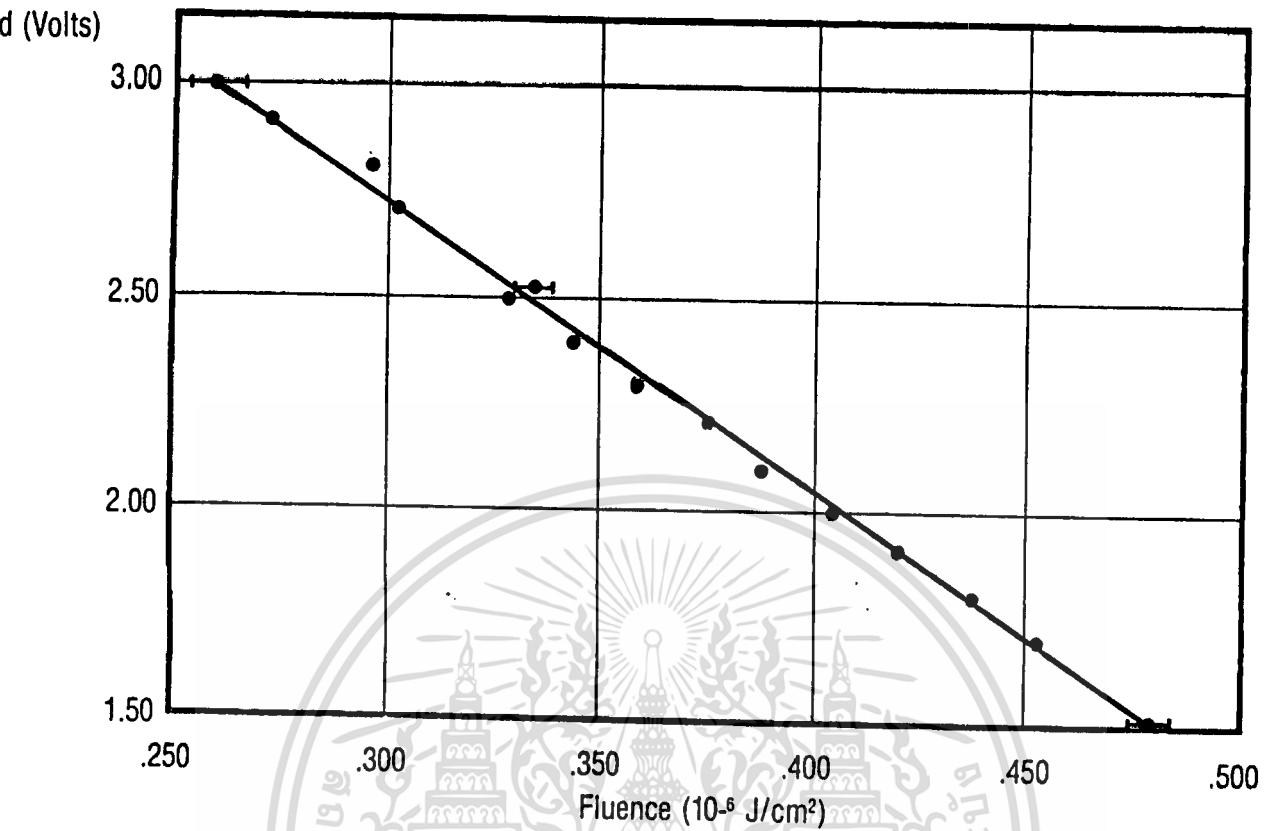


Figure 2: Threshold voltage on pin 1 vs. fluence required to expose 30 of 60 pixels in 700 nm light.

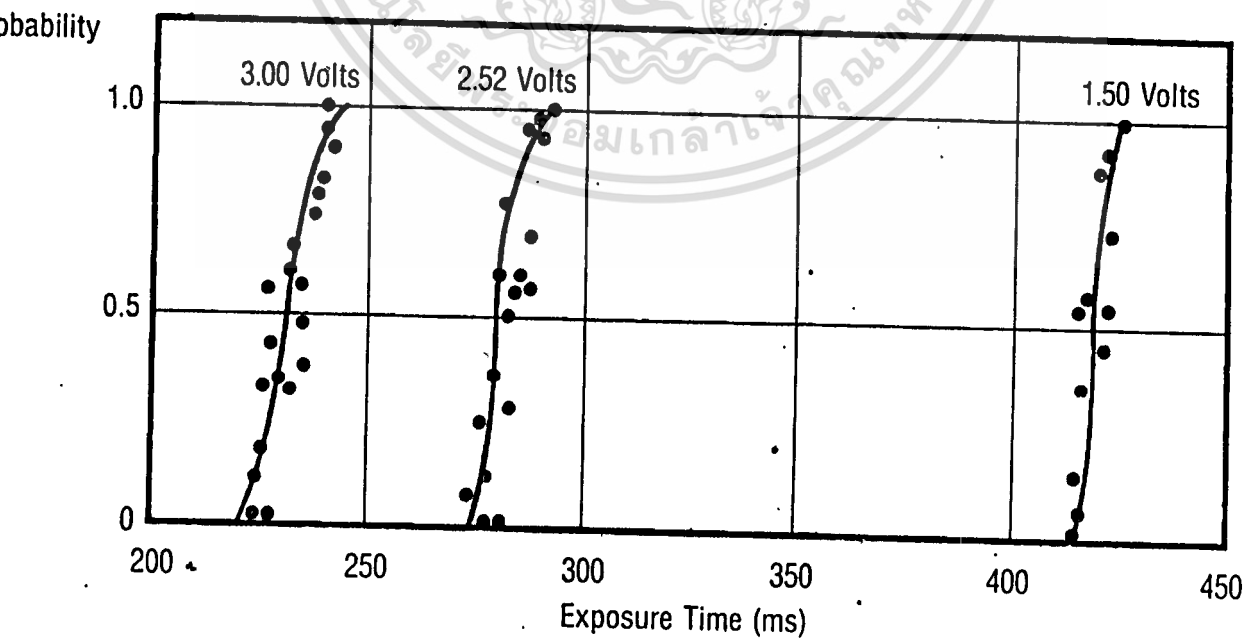


Figure 3: Transition probability vs. exposure time for 3 threshold voltages.

This figure shows the relative exposure uncertainty at 3.0, 2.52, and 1.5 volts to be 5%, 4%, and 2%, respectively.

เอกสารนี้เป็นเอกสารที่ส่งมอบให้ทางมหาวิทยาลัยเทคโนโลยีพระจอมเกล้าธนบุรี ไม่สามารถนำข้อมูลไปเผยแพร่โดยไม่ได้รับอนุญาต
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

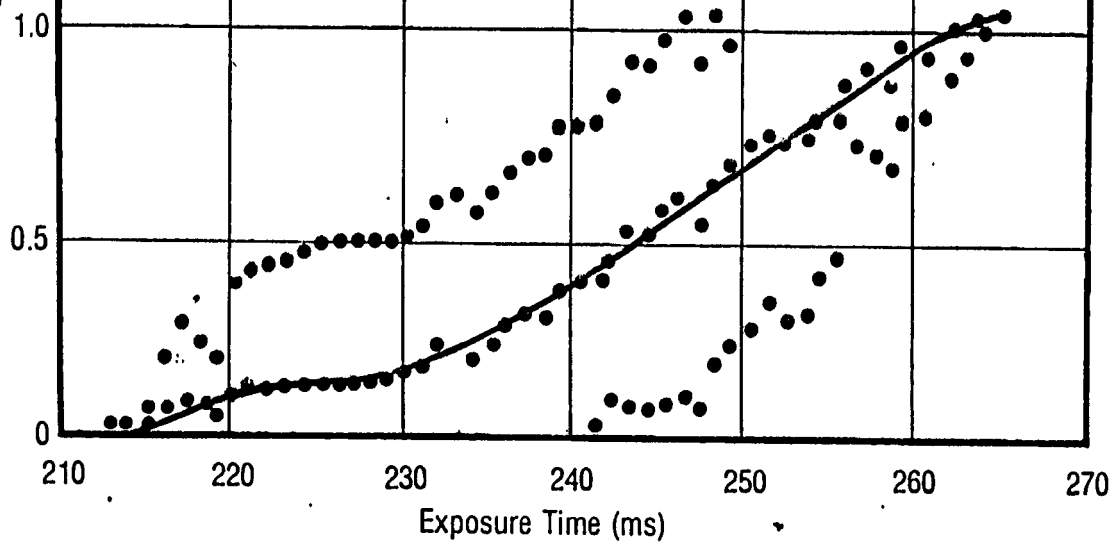


Figure 4: Mean transition probability vs. exposure time. The points above and below the solid line show the measured standard deviation from this mean. The graph shows that even though the exposure uncertainty for a single pixel is 4%, the exposure uncertainty for a random pixel within the IS32 OpticRAM is about 20%.

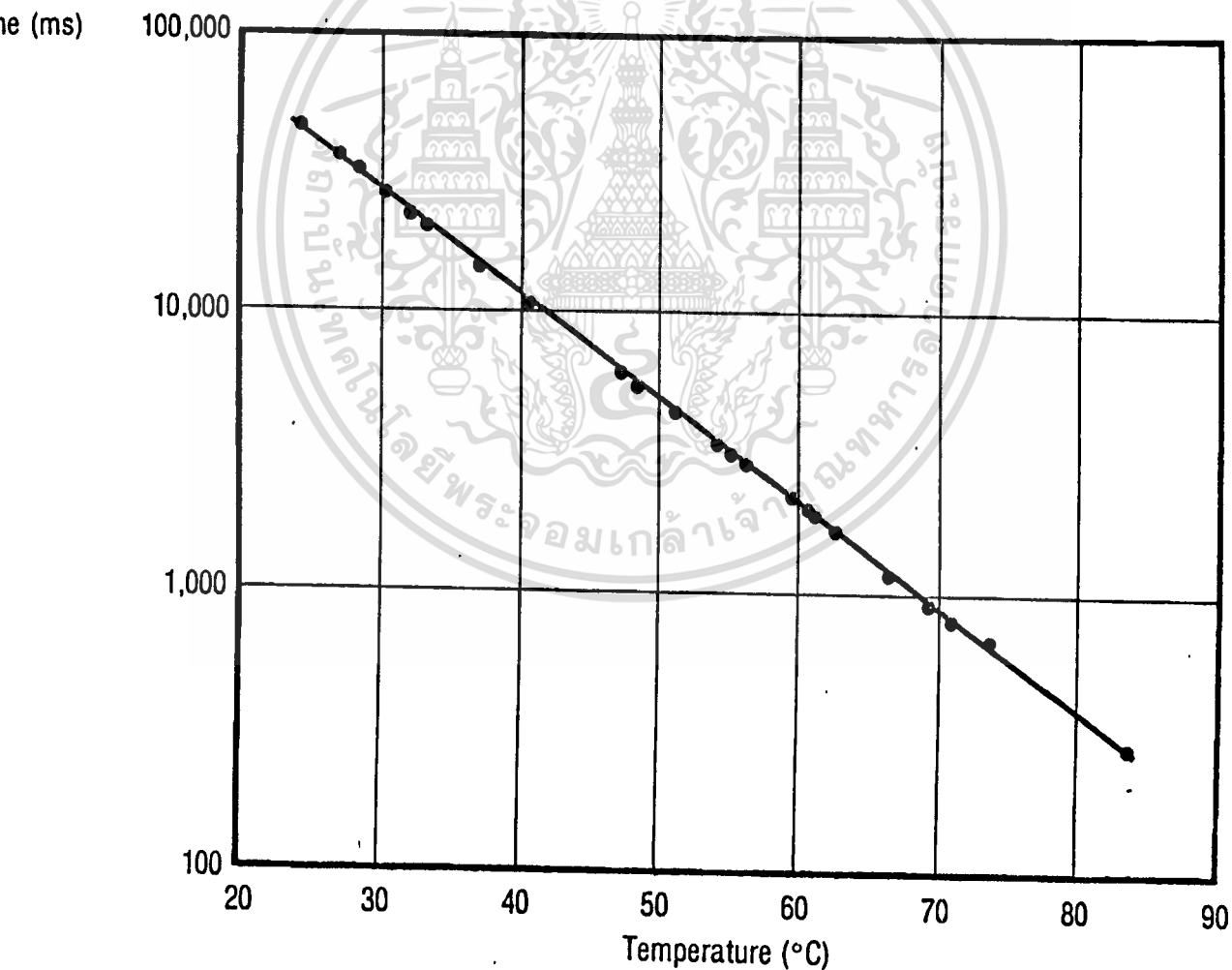


Figure 5: Maximum holdtime for IS32 OpticRAM without illumination vs. temperature.

กิตติกรรมประกาศ

ขอขอบพระคุณ ดร. แดเนียล บริน อาจารย์ที่ปรึกษาผู้แนะนำและริเริ่มโครงการ
และให้คำปรึกษา ซึ่งทำให้โครงการชิ้นนี้สำเร็จลุล่วงไปได้ด้วยดี

จิรฤติ วงศ์นิมลพร

ณรงค์ สุพรรณพันธ์



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เอกสารอ้างอิง

1. DAVID C. WILLEN AND JEFFREY I. KRANT,
" 8088 ASSEMBLER LANGUAGE PROGRAMMING THE IBM PC ",
HAWARD W. SAMS & CO; INC. ,1983
2. G.J. AWCOCK , F.W.STONE AND R.THOMAS ,
" IMAGE ACQUISITION SYSTEM " , ELETRONIC & WIRELESS
WORLD , VOL.93 , NO.1615 , PP. 531-534 , 1987
3. LAMES W. COFFRON , " Z-80 APPLICATIONS "
SYBEX INC. , 1983
4. ร.ศ.ยืน ภู่วรวรรณ , " เทคโนโลยี ไมโครคอมพิวเตอร์ 16 บิต "
ซีเอ็ดยูเคชั่น , 2530