สำนักหอสมุดกลาง พระจอมเกล้าลาดกระบัง

การเข้ารหัสและถอดรหัสระบบดิจิตอล

DIGITAL SCRAMBLE AND DESCRAMBLE

โดย

นายจตุภูมิ กอแสงเจริญ

นายเสรี ทับพุ่ม

นายเอกพงษ์ เหลืองมหามงคล

เลขหมู่.....
เลขทะเบียน 42159
วัน, เดือน, ปี 4 พ.ค. 2545

.b.....
.i.....

ปริญญานิพนธ์นี้เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรปริญญาวิศวกรรมศาสตรบัณฑิต

สาขาวิชาวิศวกรรมโทรคมนาคม

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

ปีการศึกษา 2543

b11205647

การเข้ารหัสและถอดรหัสระบบดิจิตอล

DIGITAL SCRAMBLE AND DESCRAMBLE

โดย

นายจตุภูมิ กอแสงเจริญ 41013046

นายเสรี ทับพุ่ม 41013080

นายเอกพงษ์ เหลืองมหามงคล 41013084

อาจารย์ที่ปรึกษา

อ. สุรพล บุญจันทร์

ปริญญานิพนธ์นี้เป็นส่วนหนึ่งของศึกษาตามหลักสูตรปริญญาวิศวกรรมศาสตรบัณฑิต

สาขาวิชาวิศวกรรมโทรคมนาคม

คณะวิศวกรรมศาสตร์

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

ปีการศึกษา 2543

ปริญญานิพจน์ปีการศึกษา 2543

ภาควิชาวิศวกรรมโทรคมนาคม

คณะวิศวกรรมศาสตร์ สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

เรื่อง การเข้ารหัสและถอดรหัสระบบดิจิตอล

DIGITAL SCRAMBLE AND DESCRAMBLE

ผู้จัดทำ

1. นายจตุภูมิ กอแสงเจริญ 41013046
2. นายเสรี ทับพุ่ม 41013080
3. นายเอกพงษ์ เหลืองมหามงคล 41013084

..... อาจารย์ที่ปรึกษา

(อ. สุรพล บุญจันทร์)

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

การเข้ารหัสและถอดรหัสระบบดิจิตอล

DIGITAL SCRAMBLE AND DESCRAMBLE

โดย 1. นายจตุภูมิ กอแสงเจริญ
2. นายเสรี ทับพุ่ม
3. นายเอกพงษ์ เหลืองมหามงคล

อาจารย์ที่ปรึกษา อ. สุรพล บุญจันทร์

บทคัดย่อ

ความก้าวหน้าของระบบสื่อสารดิจิตอลมีบทบาทต่อวงการอุตสาหกรรมและธุรกิจทั่วไป ดังนั้น การรักษาความลับของข้อมูลจึงจำเป็นอย่างยิ่ง

โครงงานระบบป้องกันการลอบดักฟังสัญญาณเสียง ถูกออกแบบมาเพื่อใช้ในการป้องกันการดักฟังข่าวสารในการสนทนา และเพิ่มความปลอดภัยในการสื่อสารระบบดิจิตอล หลักการทำงานจะทำการแปลงสัญญาณที่เป็นสัญญาณอนาลอกให้เป็นสัญญาณดิจิตอล แล้วนำไปทำการสแครมเบิล จากนั้นจะนำสัญญาณดิจิตอลไปมอดูเลทให้เป็นสัญญาณอนาลอกตัวใหม่ เพื่อให้สามารถส่งผ่านสายส่งมายังด้านรับ ทางด้านรับก็จะดีมอดดูเลทสัญญาณให้เป็นดิจิตอล แล้วจึงส่งผ่านไปยังวงจรดีสแครมเบิล จากนั้นนำสัญญาณดิจิตอลไปแปลงกลับเป็นสัญญาณอนาลอกดังเดิม

ABSTRACT

The development of digital communication technology play an important role in both industry and business. Therefore , the security of data is important .

The objective of this project is to design for audio scrambling system that use to increase the security in digital communication system. The process of this project is to convert analog signal to digital and send it through a scrambler circuit. Then the digital signal is modulated and converted to analog signal . And send this signal through a receiver .

The receiver is demodulated and converted to digital . After that send this signal through a descrambler circuit . Finally this signal is converted to the analog signal .

สารบัญ

		หน้า
บทที่ 1 บทนำ		1
บทที่ 2 หลักการและพื้นฐานวงจร		2
2.1 การแปลงสัญญาณอนาลอกเป็นสัญญาณดิจิตอล		2
	2.1.1 PAM	2
	2.1.2 PCM	4
	2.1.3 ADPCM	5
	2.1.4 DM	6
	2.1.5 VSDM	10
	2.1.6 CVSD	11
	2.1.7 เสียงรบกวนจากควอนไทซ์ในเดลต้ามอดดูเลชั่น	13
	2.1.8 กำลังของสัญญาณขาออก	14
	2.1.9 เสียงรบกวนจากความร้อนในระบบดีเอ็ม	15
	2.1.10 อัตราส่วนของกำลังสัญญาณต่อกำลังเสียงรบกวน	16
2.2 การเปรียบเทียบระบบพีซีเอ็มและดีเอ็ม		16
	2.2.1 อัตราส่วนของกำลังของสัญญาณต่อกำลังของเสียงรบกวน	16
	2.2.2 ความต้องการด้านความกว้างแถบ	17
2.3 วงจรกรองความถี่		17
	2.3.1 วงจรกรองความถี่ (Passive Filter)	17
	2.3.2 วงจรกรองแบบแอคทีฟ (Active Filter)	18
	2.3.3 วงจรกรองความถี่ต่ำผ่าน (Low pass Filter)	18
	2.3.4 วงจรกรองความถี่สูงผ่าน (High pass Filter)	19
	2.3.5 วงจรกรองความถี่แถบความถี่ผ่าน (Band pass Filter)	19
	2.3.6 วงจรกรองความตัดแถบความถี่ (Band stop Filter)	20
2.4 การขยายสัญญาณ		20
2.5 การสแครมเบิล		21
	2.5.1 การสร้างลำดับแบบกึ่งสุ่ม	22
	2.5.2 ความยาวของลำดับแบบกึ่งสุ่ม	24
	2.5.3 Self Synchronous Scrambing (SSS)	25
	2.5.4 การเข้ารหัส Z (Scramble)	26
	2.5.5 การถอดรหัส (Descramble)	30
	2.5.6 Self – synchronization	33
	2.5.7 Error – multiplication	33

หน้า

2.6 การมอดดูเลทสัญญาณดิจิตอล 34

2.6.1 การจัดสัญญาณเอฟเอสเค (FSK Signalling) 35

2.6.2 โคฮีเรนต์เอฟเอสเค (Coherent FSK) 35

2.6.3 นอนโคฮีเรนต์เอฟเอสเค (Non - Coherent) 37

บทที่ 3 การคำนวนและการออกแบบ 40

3.1 โครงสร้างของวงจร 40

3.2 หลักการทำงาน 40

3.3 วงจรกรองสัญญาณ 41

3.3.1 การออกแบบวงจรกรองความถี่ต่ำผ่าน 41

3.3.2 วงจรกรองความถี่แถบผ่าน 43

3.4 การออกแบบวงจรแปลงสัญญาณอนาลอกเป็นดิจิตอลและดิจิตอลเป็นอนาลอก 44

3.5 การออกแบบตัวเข้ารหัสและตัวถอดรหัส 48

3.6 การออกแบบ FSK Modulator 53

3.7 การออกแบบ FSK Demodulator 55

3.8 วงจรคูณและหารความถี่ 8 เท่า 56

3.9 วงจรรวมสัญญาณ 58

3.10 วงจรสร้างสัญญาณสัญญาณนาฬิกา 58

บทที่ 4 การทดลองและผลการทดลอง 61

บทที่ 5 สรุปและวิจารณ์ผลการทดลอง 70

ภาคผนวก

หนังสืออ้างอิง

กิตติกรรมประกาศ

สารบัญรูป

รูปที่		หน้า
2.1	แผนภาพแสดงการทำงานของทฤษฎีการสุ่มสัญญาณ	3
2.2	หลักการของ PAM MODULATION AND SEMODULATION	4
2.3	กระบวนการเข้ารหัสและถอดรหัสของระบบ PCM	5
2.4	โครงสร้างของ ADPCM	5
2.5	ตัวอย่างของเดลต้ามอดดูเลชั่น (DM)	6
2.6	ขบวนการของเดลต้ามอดดูเลชั่น	7
2.7	การทำงานของ DM encoder / decoder	8
2.8	บล็อคไดอะแกรมแสดงการทำงานของ VSDM	11
2.9	การแปลงสัญญาณอนาลอกเป็นสัญญาณดิจิตอลของ CVSD	12
2.10	การ แปลงสัญญาณดิจิตอลเป็นสัญญาณอนาลอกของ CVSD	12
2.11	โครงสร้างภายในของ CVSD	13
2.12	แสดงวงจรพาสซีฟ	18
2.13	แสดงวงจรกรองแบบแอคทีฟ	18
2.14	รูปวงจรกรองแบบความถี่ต่ำผ่าน	19
2.15	รูปวงจรกรองแบบความถี่สูงผ่าน	19
2.16	รูปวงจรกรองแถบความถี่ผ่าน	20
2.17	รูปวงจรกรองตัดแถบความถี่	20
2.18	รูปInverting Amplifier	21
2.19	รูปกำเนิดลำดับแบบกึ่งสุ่ม	23
2.20	รูปตัวอย่างการกำเนิดลำดับแบบ m – squence	23
2.21	รูปบล็อคไดอะแกรมพื้นฐานของระบบ (SSS)	26
2.22	รูป SSS scramble characteristic polynomial	27
2.23	รูป SSS descramble charcteristic polynomial	31
2.24	รูปการดีมอดดูเลทแบบนอนโคฮีเรนต์ของสัญญาณไบนารีเอฟเอสเค	37
3.1	รูปบล็อคไดอะแกรมของระบบป้องกันการลอบดักฟังสัญญาณเสียง	40
3.2	รูปวงจรกรองความถี่ต่ำผ่านอันดับสี่แบบบัตเตอร์เวิร์ธ	42
3.3	รูปวงจร Second – Order Positive – Feedback Band – pass Filter	43
3.4	รูปวงจรเข้ารหัสสัญญาณเสียง	45
3.5	รูปวงจรเดลต้ามอดดูเลเตอร์	47
3.6	รูปวงจรเดลต้าดีมอดดูเลเตอร์	48
3.7	(ก) สแครมเบิล	49

3.7	(ข) ดีสแครมเบิล	49
3.8	(ก) สแครมเบิลโปรแกรมได้	50
3.8	(ข) ดีสแครมเบิลโปรแกรมได้	50
3.9	บล็อคไดอะแกรมของสแครมเบิลที่ใช้ในโครงงาน	51
3.10	การเกิดกระจกเงา	51
3.11	วงจรสแครมเบิล	52
3.12	วงจรดิสแครมเบิล	53
3.13	วงจร FSK Modulator	54
3.14	แสดงวงจร FSK demoulator	56
3.15	วงจรคูณความถี่ 8 เท่า	57
3.16	รูปวงจรหารความถี่ 8 เท่า	57
3.17	วงจรรวมสัญญาณ	58
3.18	วงจรสร้างสัญญาณนาฬิกา	58
3.19	วงจรรวมทางด้านภาคส่ง	59
3.20	วงจรรวมทางด้านภาครับ	60
4.1	เปรียบเทียบรูปสัญญาณอินพุท กับ เอาท์พุท	61
4.2	เป็นสัญญาณเดลต้ามอดเปรียบเทียบกับดิจิตอลสแครมเบิล	62
4.3	สัญญาณความถี่ 2 กิโลเฮิร์ทสัญญาณจากวงจรเดลต้ามอดและเอาท์พุทจากวงจรสแครมเบิล	62
4.4	สัญญาณความถี่เสียงเปรียบเทียบกับสัญญาณที่ได้จากวงจรเดลต้ามอดดูเลชั่น	63
4.5	สัญญาณนาฬิกาผ่านการคูณสัญญาณได้สัญญาณใหม่ความถี่ 128กิโลเฮิร์ท	64
4.6	สัญญาณจากวงจรคูณนำมาผ่านวงจรกรองแถบความถี่ผ่าน	64
4.7	สัญญาณไพรอทรวมกับสัญญาณเอฟเอสเคมอดดูเลท	65
4.8	สัญญาณที่ผ่านวงจรกรองความถี่ต่ำ40กิโลเฮิร์ทและเอฟเอสเคดีมอดดูเลท	65
4.9	สัญญาณนาฬิกาทางด้านส่งเปรียบเทียบกับสัญญาณที่กู้กลับคืนมาได้ทางด้านรับ	66
4.10	สัญญาณที่ได้จากวงจรดีสแครมเบิลเปรียบเทียบกับสัญญาณนาฬิกาที่กู้กลับคืนมาได้	66
4.11	เอาท์พุทจากเดลต้ามอดที่ด้านส่งเปรียบเทียบสัญญาณที่ได้จากการดิสแครมเบิลด้านรับ	67
4.12	สัญญาณจากวงจรดิสแครมเบิลกับสัญญาณที่ได้จากเอาท์พุทวงจรเดลต้าดีมอดดูเลท	67
4.13	สัญญาณที่ได้จากเดลต้าดีมอดดูเปรียบเทียบกับสัญญาณเอาท์พุท	68
4.14	สัญญาณอินพุทความถี่2กิโลเฮิร์ทเปรียบเทียบกับเอาท์พุทที่ภาครับ	68
4.15	สัญญาณความถี่เสียงอินพุทที่ภาคส่งเปรียบเทียบกับเอาท์พุทที่ภาครับ	69

สาราบัญตาราง

ตารางที่	หน้า
2.1 state vector d_k และ scrambled signal $\{\tilde{b}_k\}$ ของระบบรหัส	29
2.1 state vector $\hat{d}_k$ และ descrabled signal $\{\hat{b}k\}$	32

บทที่1
บทนำ

การพัฒนาการด้านการสื่อสารได้เจริญรุดหน้าไปอย่างรวดเร็ว การติดต่อสื่อสารนั้นเป็นสิ่งจำเป็นและมีความสำคัญมากสำหรับในทุกๆด้าน ซึ่งจะช่วยให้ความสะดวกในชีวิตประจำวัน ดังนั้นจึงได้มีการพัฒนาระบบเพื่อช่วยในการสื่อสารขึ้นมาหลายประเภท เพื่อเพิ่มความรวดเร็วให้มีประสิทธิภาพสูงและยังประหยัดค่าใช้จ่าย โดยจะเห็นได้ว่าการติดต่อสื่อสารข้อมูลมีความสำคัญอย่างมาก และย่อมต้องการข้อมูลที่มีความถูกต้องและแน่นอน หากข้อมูลนั้นเป็นความลับจำเป็นต้องมีระบบป้องกันข้อมูล เพื่อป้องกันมิให้ข่าวสารข้อมูลที่ส่งไปล่วงรู้โดยผู้อื่น วิธีป้องกันการดักฟังสามารถทำได้ 2 วิธี ด้วยวิธีแบบอนาลอกและดิจิตอล วิธีแบบอนาลอกทำได้โดยการเปลี่ยนความถี่ทั้งหมด เรียกว่า การสลับสเปคตรัม (Spectrum)ของสัญญาณออกไป แต่วิธีนี้ไม่มีความปลอดภัยมากนักทั้งยังมีประสิทธิภาพไม่ดีพอ เพราะทำการดีสแครมเบิลได้โดยง่ายโดยทำการลองผิดลองถูก

สำหรับโครงงานนี้จะใช้ระบบป้องกันการดักฟังสัญญาณเสียงในระบบดิจิตอลโดยใช้หลักการลำดับแบบกึ่งสุ่ม (Pseudo random binary sequenco) เพื่อเป็นการเปลี่ยนแปลงบิทข้อมูลของการสแครมเบิล โดยมีชิพรีจิสเตอร์ป้อนกลับร่วมกับเอ็กคลูซีฟออกเกท จากหลักการดังกล่าวทำให้สามารถจะโปรแกรมการสุ่มได้

บทที่ 2
หลักการพื้นฐานของวงจร

ระบบดิจิตอลสแครมเบิลนี้ จะทำการแปลงสัญญาณเสียงเป็นสัญญาณดิจิตอลแล้วนำมาผ่านขบวนการมอดดูเลตแบบดิจิตอล เพื่อทำการส่งสัญญาณที่ความเร็วสูง ซึ่งประกอบด้วยวงจรต่างๆ เช่นการแปลงสัญญาณอนาลอกเป็นสัญญาณดิจิตอล วงจรกรองสัญญาณความถี่ การมอดดูเลตสัญญาณดิจิตอล ตลอดจนวงจรขยายสัญญาณ ซึ่งจะกล่าวถึงทฤษฎีพื้นฐานตามลำดับต่อไป

2.1 การแปลงสัญญาณอนาลอกเป็นสัญญาณดิจิตอล (Analog to Digital Conversion)

ในการส่งสัญญาณแบบอนาลอก ข่าวสารเดิมจะถูกเปลี่ยนให้เป็นสัญญาณไฟฟ้า ซึ่งมีลักษณะเหมือนเดิม เช่น กรณีของโทรศัพท์นั้น ไมโครโฟนที่มือถือ (Handset) จะเปลี่ยนคลื่นเสียงให้เป็นสัญญาณที่สอดคล้องกัน สัญญาณไฟฟ้านี้อาจมีค่าใดๆ ที่อยู่ภายในขีดจำกัด ทั้งนี้ขึ้นอยู่กับแอมปลิจูด (Amplitude) ของคลื่นเสียง และสัญญาณนี้มีส่วนคล้ายคลื่นเสียงเดิม ดังนี้จึงถูกเรียกว่าสัญญาณอนาลอก (Analog Signal) แต่อย่างไรก็ตามในทางปฏิบัตินั้นจะมีสัญญาณอื่นเข้ามารบกวนมากและเกิดการผิดเพี้ยน (Distortion) ซึ่งเป็นผลทำให้คุณภาพของสัญญาณเลวลง

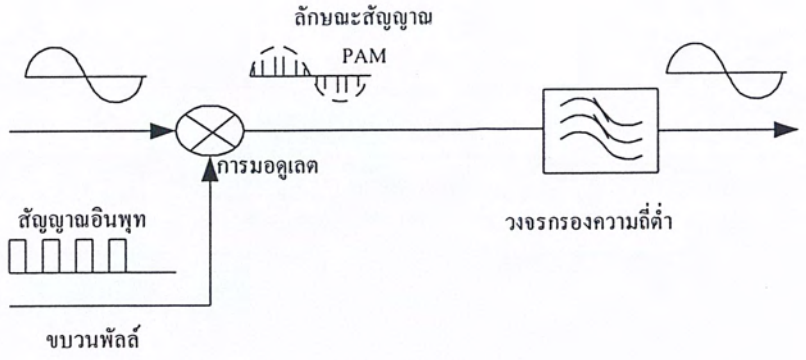
สำหรับการส่งสัญญาณดิจิตอลจะส่งในรูปของพัลส์ โดยทำให้สัญญาณอนาลอกสั้นลงและแสดงเป็นสัญญาณแบบดิจิตอลซึ่งมีค่าเป็นดิสครีต (Discrete) คือ "0" และ "1" ทางด้านส่ง สัญญาณทุกตัวจะเปลี่ยนเป็นกลุ่มของรหัสเพื่อส่งออกไป ส่วนทางด้านรับก็จะทำการถอดรหัสเพื่อให้กลับมาเป็นสัญญาณอนาลอกตามเดิม

ดังนั้นจากกระบวนการดังกล่าวจะเห็นว่า การแปลงสัญญาณอนาลอกเป็นสัญญาณดิจิตอลจะสามารถนำมาใช้ในระบบสื่อสารได้ดี เนื่องจากสามารถช่วยลดการลดทอนและการผิดเพี้ยนของสัญญาณที่เกิดจากการรบกวนของสัญญาณภายนอกได้

ระบบการแปลงสัญญาณอนาลอกเป็นสัญญาณดิจิตอลมีด้วยกันหลายแบบ เช่น Pulse Amplitude Modulation, Pulse Code Modulation, Delta Modulation เป็นต้น ซึ่งแต่ละระบบก็มีข้อดีข้อเสียแตกต่างกันไปขึ้นอยู่กับความเหมาะสมในการใช้งาน

2.1.1 PAM (Pulse Amplitude Modulation)

ในการส่งสัญญาณอนาลอกในรูปของดิจิตอลนั้นจำเป็นต้องแปลงสัญญาณให้มีรูปร่างต่างกันไปโดยที่ยังรักษาข่าวสารเดิมไว้ ดังรูปที่ 2.1 จะเป็นการแปลงสัญญาณอนาลอกให้เป็นดิจิตอล ซึ่งเป็นสัญญาณที่ไม่ต่อเนื่องตามแนวแกนเวลา โดยอาศัยทฤษฎีการสุ่มสัญญาณ กล่าวคือขบวนพัลส์ที่เอาท์พุทของมอดดูเลเตอร์จะเปลี่ยนแปลงไปตามระดับของสัญญาณอินพุท ส่วนด้านรับนั้นเมื่อองค์ประกอบความถี่สูงของขบวนพัลส์ถูกกำจัดออกโดยวงจรกรองความถี่ต่ำ (Low Pass Filter) แล้ว จะได้รับสัญญาณเดิม หรืออาจจะกล่าวได้ว่าถ้าสุ่มสัญญาณอินพุทด้วยระยะห่างที่เท่ากันแล้ว ก็สามารถจะทำให้เกิดสัญญาณเดิมได้อย่างสมบูรณ์ที่ด้านรับ



รูปที่ 2.1 แผนภาพแสดงการทำงานของทฤษฎีการสุ่มสัญญาณ

ทฤษฎีการสุ่มสัญญาณกล่าวว่า ถ้าข่าวสารในสัญญาณถูกจำกัดให้มีความถี่สูงสุดเป็น f_o แล้ว หากใช้ขบวนพัลส์ที่มีความถี่เท่ากับหรือมากกว่า $2f_o$ ทำการสุ่ม ก็สามารถจะเก็บข่าวสารได้อย่างสมบูรณ์

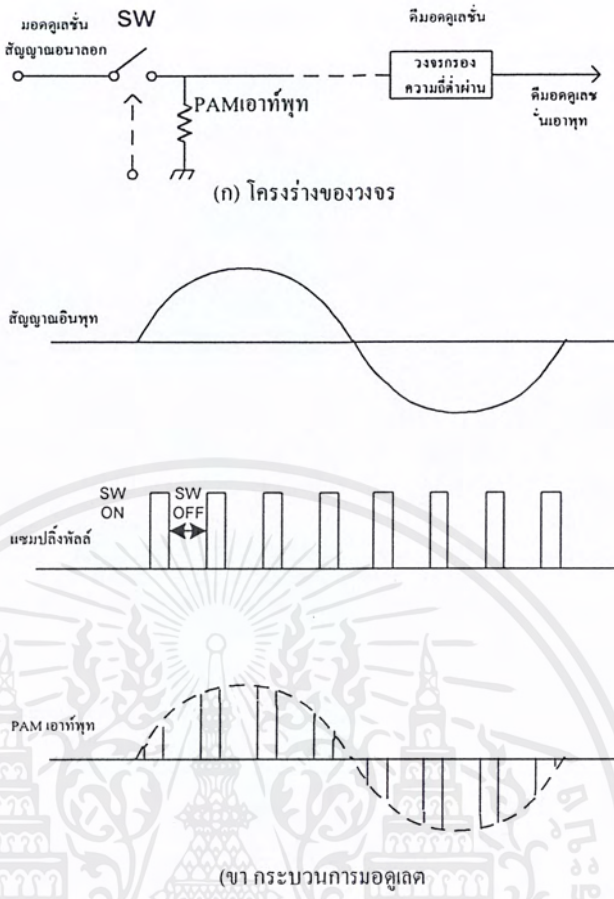
$$f_s > 2f_o$$

โดยที่ f_s : ความถี่ที่ใช้ในการสุ่มค่าสัญญาณ (Hz)

f_o : ความถี่สูงสุดของสัญญาณอินพุท (Hz)

ในกรณีที่ทำการสุ่มสัญญาณด้วยความถี่ที่ต่ำกว่า f_s จะไม่สามารถนำเอาสัญญาณเดิมกลับคืนมาได้

หลักการเบื้องต้นของการมอดดูเลตและดีมอดดูเลตแบบ PAM นั้นแสดงดังรูป 2.2 จากรูปสวิทช์จะปิดเฉพาะเวลาสุ่มสัญญาณเท่านั้น ขนาดของพัลซ์ที่ได้รับจะเป็นสัดส่วนโดยตรงกับแอมปลิจูดของสัญญาณเดิม



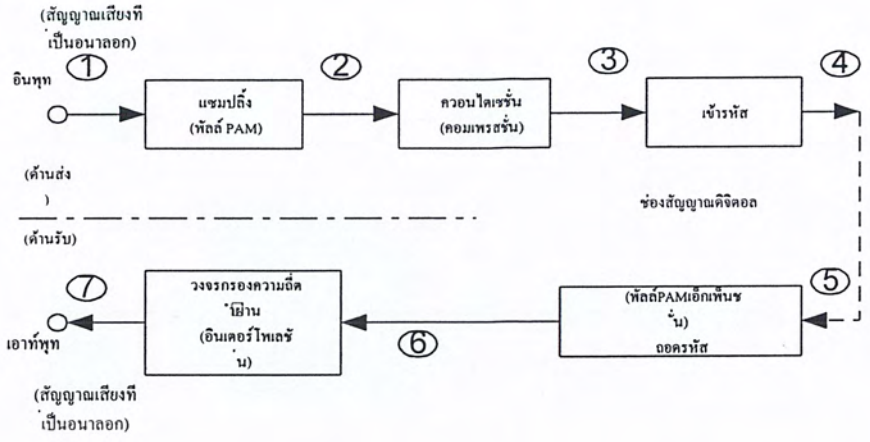
(ก) โครงร่างของวงจร

(ข) กระบวนการมอดูเลต

รูปที่ 2.2 หลักการของ PAM MODULATION AND SEMODULATION

2.1.2 PCM (PULSE CODE MODULATION)

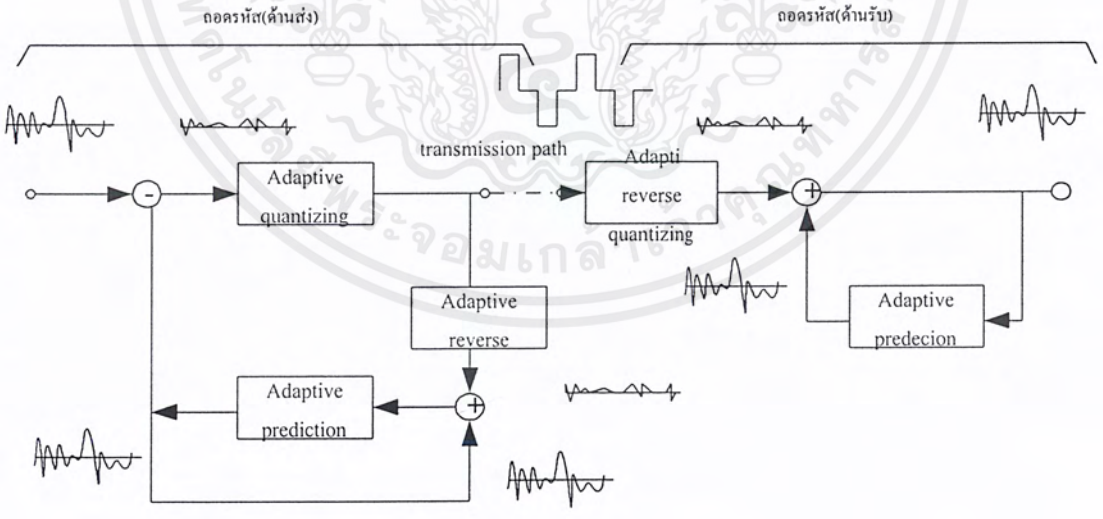
ในปัจจุบันระบบ PCM ถูกนำไปใช้อย่างกว้างขวาง โดยเฉพาะสำหรับสัญญาณเสียง รูป 2.3 แสดงขั้นตอนการประมวลสัญญาณที่ถูกสุ่มซึ่งมีขนาดไม่เท่ากันนี้ไปทำการจัดระดับเสียงที่เป็นอนาลอกจะถูกสุ่มออกมา แล้วนำสัญญาณที่ถูกสุ่มซึ่งมีขนาดไม่เท่ากันนี้ไปทำการจัดระดับ (Quantizing) ซึ่งจำนวนระดับที่จัดจะแตกต่างกันขึ้นอยู่กับจำนวนบิทที่เข้ารหัส เช่น ถ้าต้องการเข้ารหัส 8 บิท จะต้องแบ่งระดับที่จัดออกเป็น $2^8 = 256$ ระดับ เป็นต้น ซึ่ง CCITT กำหนดการจัดระดับแบบยูนิฟอร์มว่าให้ใช้ 8 บิท ต่อการสุ่มสัญญาณ 1 ครั้ง และได้ระดับการจัด 256 ระดับ ก็จะเป็นการรับรองว่าเสียงพูดจะมีคุณภาพดี เมื่อจัดระดับเสร็จจะนำมาผ่านขบวนการเข้ารหัส (Coding) แล้วส่งออกไปทางด้านรับก็จะนำสัญญาณที่ได้ไปแปลงกลับซึ่งเรียกว่า การถอดรหัส (Decoding) เพื่อให้ได้สัญญาณเดิมต่อไป



รูป 2.3 กระบวนการเข้ารหัสและถอดรหัสของระบบ PCM

2.1.3 ADPCM (Adaptive Differential Pulse CODE Modulation)

ในระบบ PCM จะจัดระดับของสัญญาณเสียงจากตัวอย่างที่ทำการสุ่ม (Sample) โดยตรง แต่สำหรับในระบบ ADPCM จะจัดระดับโดยใช้ผลต่างระหว่าค่าตัวอย่างที่ทำการสุ่ม เนื่องจากค่าตัวอย่างซึ่งอยู่ใกล้เคียงกัน จะมีลักษณะคล้ายคลึงกัน ดังนั้นจึงคาดคะเนสัญญาณอินพุทปัจจุบัน ด้วยสัญญาณอินพุทที่เข้ามาก่อน แล้วจัดระดับโดยใช้ผลต่างระหว่างสัญญาณที่คาดคะเนและสัญญาณปัจจะบันเพื่อทำรหัสส่งออกไป เมื่อผลต่างนี้มีค่าน้อยจึงทำให้จำนวนบิทในการเข้ารหัสลดลงได้ ตามโครงสร้างที่แสดงไว้ดังรูปที่ 2.4



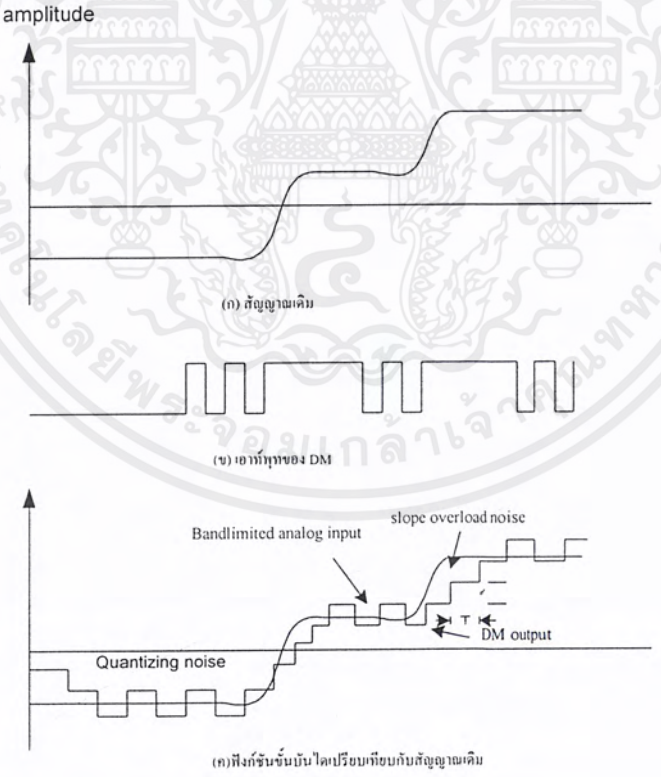
รูปที่ 2.4 โครงสร้างของระบบ ADPCM

จากรูป ขั้นแรกที่วงจรเข้ารหัส (ด้านส่ง) จะสร้างผลต่าง ($x - x^2$) ระหว่างสัญญาณอินพุท x และสัญญาณที่คาดคะเน x^2 จากอินพุทตัวก่อนโดยวงจรดิฟเฟอเรนซิเอเตอร์จากนั้นนำผลต่าง $x - x^2$ ของสัญญาณไปจัดระดับ การที่จะทำให้สัญญารซึ่งผิดพลาดนี้มีการเปลี่ยนแปลงระดับอย่างเร็วขึ้น จะไม่ใช้การจัดระดับแบบยูนิฟอร์ม แต่จะใช้วิธีจัดระดับเพื่อให้เพิ่มขึ้นหรือลดลงโดยอาศัยค่าตัวอย่างตัวก่อน วิธีนี้จะปรับปรุงคุณภาพให้ดีขึ้น

2.1.4 DM (Delta Modulation)

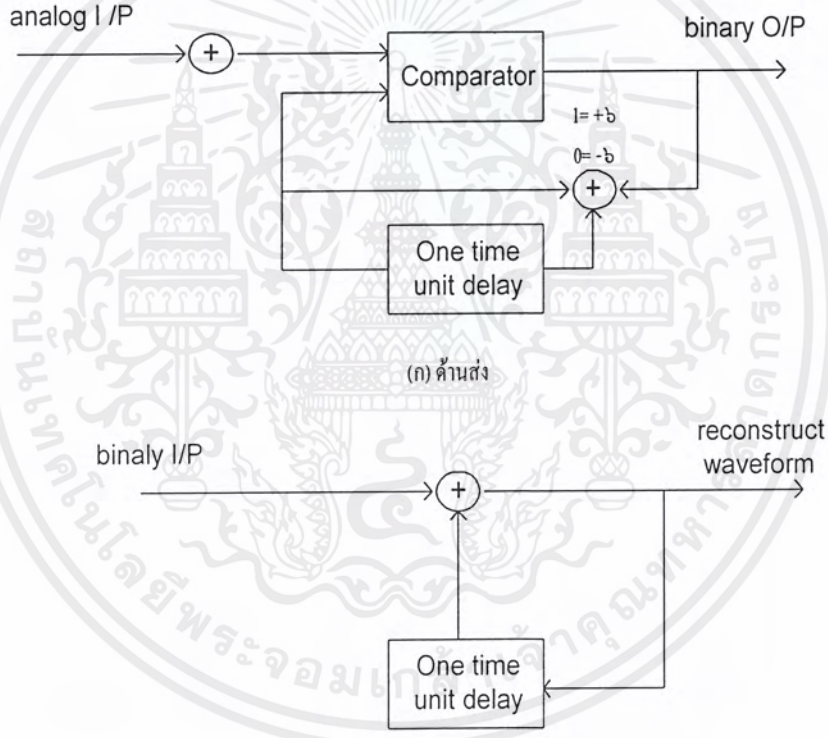
เทคนิคหลายอย่างที่ใช้เพื่อปรับปรุงการทำงานของ PCM เทคนิคอันหนึ่งที่ถูกเลือกใช้มากที่สุดพอๆกับ PCM คือ DM

โดยวิธีการ DM ข้อมูลอนาลอก จะถูกประมาณค่าด้วยฟังก์ชั่นขั้นบันได (Staircase) ที่มีการเปลี่ยนปลงขึ้นลงด้วยการจัดระดับที่แต่ละเวลาการสุ่ม ยกตัวอย่างรูป 2.5 (ค) จะเห็นฟังก์ชั่นขั้นบันไดทาบทับอยู่บนรูปคลื่นอนาลอกของสัญญาณเดิม ลักษณะที่สำคัญของฟังก์ชั่นขั้นบันไดก็คือ เป็นไบนารี โดยที่ในแต่ละเวลาการสุ่ม ฟังก์ชั่นจะมีการเลื่อนขึ้นลงเป็นจำนวนคงที่ ซึ่งทำให้ได้เอาท์พุทของ DM เป็นเลขฐานสอง 1 ตัว สำหรับการสุ่มตัวอย่าง 1 ตัว นั้นคือ ขบวนของบิทข้อมูลจะถูกสร้างโดยการประมาณค่าของอนุพันธ์หรือค่าเปลี่ยนแปลงของสัญญาณ แทนที่จะเป็นการประมาณค่าของขนาดสัญญาณ



รูปที่ 2.5 ตัวอย่างของเดลต้ามอดดูเลชั่น (DM)

สัญญาณ "1" จะถูกสร้างขึ้นมาถ้าฟังก์ชั่นกำลังเพิ่มขึ้น และในทางตรงข้ามจะสร้าง "0" การเปลี่ยนแปลงขึ้นหรือลงที่เกิดขึ้นในแต่ละการสุ่มที่ขณะใดๆ ถูกเลือกเพื่อให้ฟังก์ชั่นบันไดติดตามรูปคลื่นสัญญาณอนาลอกไดอย่างใกล้ชิดเท่าที่จะเป็นไปได้ รูปที่ 2.6 แสดงกระบวนการของ DM ซึ่งมีส่วนของกระบวนการป้อนกลับเป็นส่วนสำคัญ สำหรับแต่ละการส่งผ่านจะมีเหตุการณ์เกิดขึ้นดังนี้ ที่แต่ละตัวอย่างการสุ่ม การสุ่มที่ขณะใดๆ สัญญาณอินพุทจะถูกเปรียบเทียบกับค่าของการประมาณฟังก์ชั่นขั้นบันไดในเวลานั้น ถ้าค่าของรูปคลื่นที่ทำการสุ่มเกินค่าของฟังก์ชั่นขั้นบันได เลข "1" ก็จะถูกสร้างขึ้นมาและในทางกลับกัน "0" ก็จะถูกสร้างขึ้น ค่าเลขไบนารีเหล่านี้จะถูกส่งเป็นเอาท์พุทออกไป ซึ่งจะนำไปใช้ประมาณค่าต่อไปของรูปคลื่นที่สร้างขึ้นใหม่ ค่าคงที่ δ จะถูกเพิ่มเข้าไปกับฟังก์ชั่นสำหรับค่าเอาท์พุท "1" และค่าคงที่ δ จะถูกหักลบออกไปสำหรับค่า "0" รูป 2.6 แสดงให้เห็นถึงขบวนการในการสร้างขบวนของเลขฐานสองโดยใช้ DM และในการรับเพื่อสร้างการประมาณฟังก์ชั่นบันได

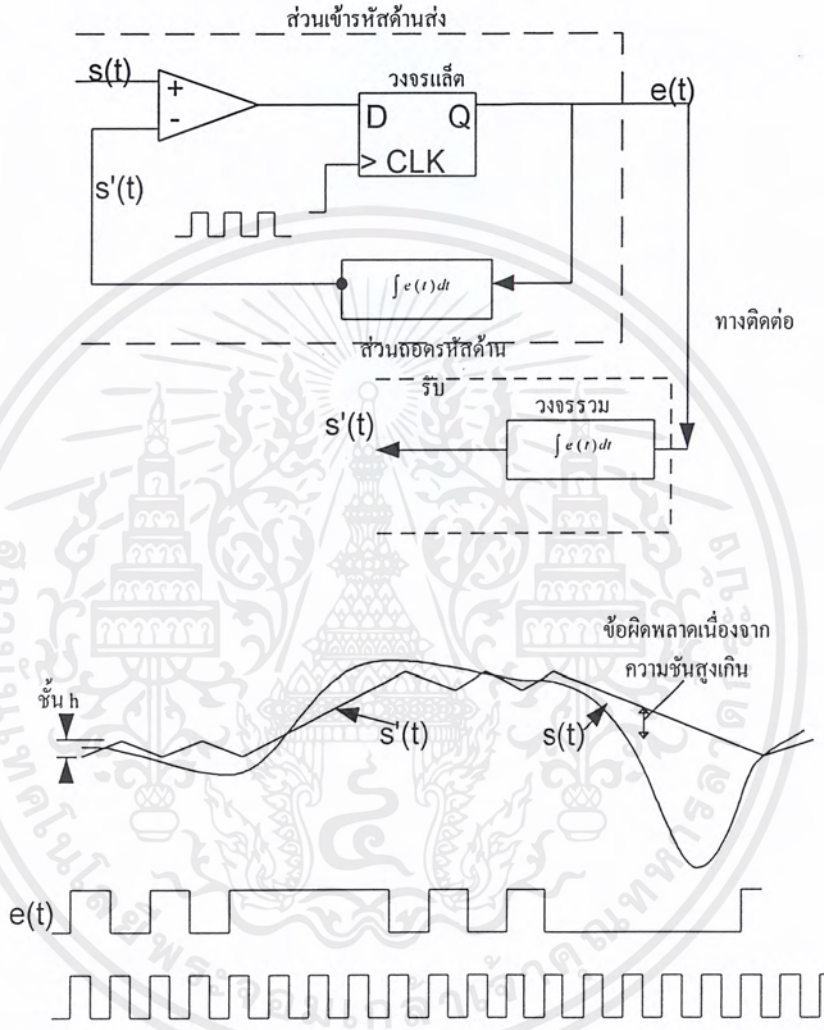


รูป 2.6 ขบวนการของเดลต้ามอดดูเลชั่น

การทำงานของวงจร DM encoder/decoder แสดงได้ดังรูป 2.7 ซึ่งประกอบด้วย 3 ส่วนคือ วงจรเปรียบเทียบ (Comparator) วงจรแลตช์ (latch) และวงจรอินติเกรเตอร์ (Integrator)

ในการส่งสัญญาณในรูปของสัญญาณดิจิตอลมีการส่งได้หลายรูปแบบดังที่กล่าวมาแล้วโดยแต่ละรูปแบบมีการมอดดูเลตสัญญาณที่แตกต่างกันออกไปตามแต่ละวิธี และการมอดดูเลตแบบ Delta

Modulation (DM) จะทำการเปรียบเทียบสัญญาณอินพุท [S(t)] ที่เข้ามากับสัญญาณที่ป้อนกลับ [S'(t)] จะได้สัญญาณลอจิกที่เอาท์พุท [e(t)] มีค่าเป็น 1 และทำการเพิ่มระดับสัญญาณที่ป้อนกลับ [S'(t)] ที่จะนำไปใช้เปรียบเทียบอีกหนึ่งระดับ (h) และรอทำการเปรียบเทียบตามจังหวะสัญญาณนาฬิกาลูกต่อไป โดยจะเห็นดังรูป 2.7



รูป 2.7 การทำงานของ DM encoder/decoder

และจากรูปที่ 2.7 จะเห็นว่ามี IC Comparator ที่จะทำการเปรียบเทียบสัญญาณอินพุท [S(t)] ที่เข้ามากับสัญญาณที่ป้อนกลับ [S'(t)] ที่ผ่านวงจร Integrator มา และมี D-FF ซึ่งจะทำหน้าที่ตามจังหวะสัญญาณนาฬิกาทำให้ได้เอาท์พุทเป็นสัญญาณดิจิตอลออกมา และสัญญาณส่วนหนึ่งจะส่งไปยังวงจร Integrator ซึ่งประกอบไปด้วยวงจร Binary Up-Down Counter และวงจร D/A และวงจร Integrator จะให้สัญญาณป้อนกลับ [S'(t)] ที่จะแปรเปลี่ยนค่าไปยังส่วนของ IC Comparator และในการปฏิบัติจะมีผลที่

เกิดขึ้นซึ่งทำให้เกิดความผิดเพี้ยนของสัญญาณลอจิกที่เอาท์พุท [e(t)] กับสัญญาณอินพุท [S(t)] ที่เข้ามาอันเนื่องมาจากสัญญาณอินพุท [S(t)] ที่เข้ามามีการลดลงอย่างรวดเร็ว ซึ่งเรียกว่าการเกิด Slope overloader ดังที่เห็นรูปที่ 2.7

รูปที่ 2.7 จะเห็นได้ว่าสัญญาณอินพุท [S(t)] ที่เข้ามามีการเปลี่ยนแปลงอย่างรวดเร็วจนสัญญาณป้อนกลับ [S'(t)] ที่จะนำมาเปรียบเทียบลดลงไม่ทัน ทำให้เกิดความผิดพลาดของสัญญาณลอจิกที่เอาท์พุท [e(t)] มีค่าผิดจากความเป็นจริง

ในการใช้งานของระบบ Delta Modulator (DM) จะต้องประกอบไปด้วยสัญญาณนาฬิกาที่เหมาะสม และมีระดับในการเพิ่มหรือลดค่าสัญญาณที่ป้อนกลับ [S'(t)] ที่เหมาะสมกับความถี่และขนาดของสัญญาณอินพุท [S(t)] ที่เข้ามา ถ้าค่าดังที่กล่าวมานี้มีค่าใดค่าหนึ่งไม่เหมาะสมกับสภาวะการใช้งานจะทำให้สัญญาณที่ได้รับผิดเพี้ยนไปได้

ขณะที่ไม่มี Signal input เข้ามา output ของวงจร Integrator จะเป็นสัญญาณ triangular เพราะว่าถ้า Integrate ค่าคงที่ ก็จะให้เอาท์พุทเป็นสัญญาณ Ramp ดังนั้น output ที่ได้ขณะที่ไม่มี Input ก็จะได้เอาท์พุท บวกและลบสลับกันไป

ในปรากฏการที่เกิดขึ้นของ Slope-overload ที่ทำให้สัญญาณดิจิตอลที่เอาท์พุทมีความผิดพลาดจากความเป็นจริง จึงมีการแก้ไขโดยการเพิ่มค่าของ (h) ของสัญญาณที่ป้อนกลับ [S'(t)] โดยอาศัย Shift register และวงจรควบคุมเกนการขยายเพื่อทำการเปลี่ยนค่าของ (h) ในการเพิ่มขึ้นหรือลดลงโดยลักษณะการทำงานของวงจร จะทำการเพิ่มค่าเมื่อสัญญาณลอจิก 1 มาเกินสองครั้งติดต่อกันซึ่งแสดงถึงการเพิ่มขึ้นของสัญญาณอินพุท [S(t)] ที่เข้ามาอย่างรวดเร็ว ซึ่งมีผลทำให้ระดับการลดลงของ (h) มีค่าเพิ่มขึ้น เพื่อชดเชยค่าขอสัญญาณอินพุท [S(t)] ที่แปรเปลี่ยนอย่างรวดเร็ว โดยการกระทำการเช่นนี้ทำให้สัญญาณดิจิตอลที่เอาท์พุท ที่มีความผิดพลาดจากความเป็นจริงน้อยลง ซึ่งจะเรียกวิธีการนี้ว่า Variable-Slope Modulator (VSDM) หรือ Continuously Variable-Slope Delta (CVSD) Modulation

จากรูป 2.7 จะเห็นว่ามีการใช้วงจรเข้ารหัสแบบเปรียบเทียบความแตกต่าง (differential encoder) ใช้วิธีการเปรียบเทียบสัญญาณสุ่มตัวอย่างใหม่กับขนาดของการสุ่มตัวอย่างก่อนหน้านี้ และส่งระดับสัญญาณที่แตกต่างกันให้ด้านรับ ในด้านรับก็ทำการรวมระดับสัญญาณที่แตกต่างเข้าด้วยกัน เพื่อสร้างรูปสัญญาณที่สมบูรณ์ แต่อาจจะพบปัญหาสัญญาณรบกวนหรือสัญญาณผิดพลาดในระบบที่เกิดขึ้นด้านรับ มีผลให้ผลลัพธ์ของสัญญาณทางด้านรับมีค่าแตกต่างจากสัญญาณด้านส่งได้ ปัญหาที่เกิดขึ้นมานี้เรียกว่า ลูปเปิด (Open-loop) หมายความถึงระดับสัญญาณที่แตกต่าง (difference signal) แทนการเปลี่ยนแปลงของสัญญาณอินพุท แต่ไม่ใช่การเปลี่ยนแปลงของสัญญาณเอาท์พุทด้านรับ

การแก้ปัญหานี้ต้องกระทำโดยให้ด้านส่งรับรู้ หรือคาดเดา รูปสัญญาณเอาท์พุททางด้านรับได้ตลอดเวลา มีผลให้ระดับสัญญาณแตกต่างที่มีค่าที่ถูกต้องกับการเปลี่ยนสัญญาณเอาท์พุทในด้านรับ

ส่วนถอดรหัสทางด้านส่ง มีการเพิ่มส่วนวงจร ทำหน้าที่คาดเดาสัญญาณเอาท์พุทของด้านรับและใช้ทำงานร่วมกับวงจรเปรียบเทียบในการสร้างระดับ สัญญาณที่แตกต่าง คือ e(t) กำหนดให้สถานะของสัญญาณ e(t) มีสองสถานะดังนี้

1. ระดับบวก (positive level) หมายถึงค่าสัญญาณใหม่ คือ s(t) มีค่ามากกว่าค่าสัญญาณเอาท์พุทก่อนหน้าแทนด้วย s'(t)

2. ระดับลบ (negative level) หมายถึงค่า s(t) น้อยกว่า s'(t)

ส่วนวงจรแลตช์ (Latch = D flip flop) ทำหน้าที่หน่วงสัญญาณไปช่วงเวลา 1 ช่วง ของการสุ่มตัวอย่าง เพื่อให้สัญญาณ s(t) สามารถเปรียบเทียบกับค่าสัญญาณเอาท์พุทก่อนหน้า s'(t) ได้เสมอด

อาจพอสรุปข้อดีของการมอดดูเลตแบบ DM เมื่อเปรียบเทียบกับแบบ PCM ได้ดังนี้

1. มีความจุของข้อมูลต่อช่วงสัญญาณสูงกว่าในค่าที่อัตราบิทที่เท่ากัน ช่วยลดค่าใช้จ่ายเกี่ยวกับช่องสัญญาณลงได้มาก

2. ไม่ต้องมีการซิงโครนัสของข้อมูล

3. มีโอกาสในการรบกวนของสัญญาณภายนอกระบบน้อยมาก

2.1.5 VSDM (Variable Slope Delta Modulation)

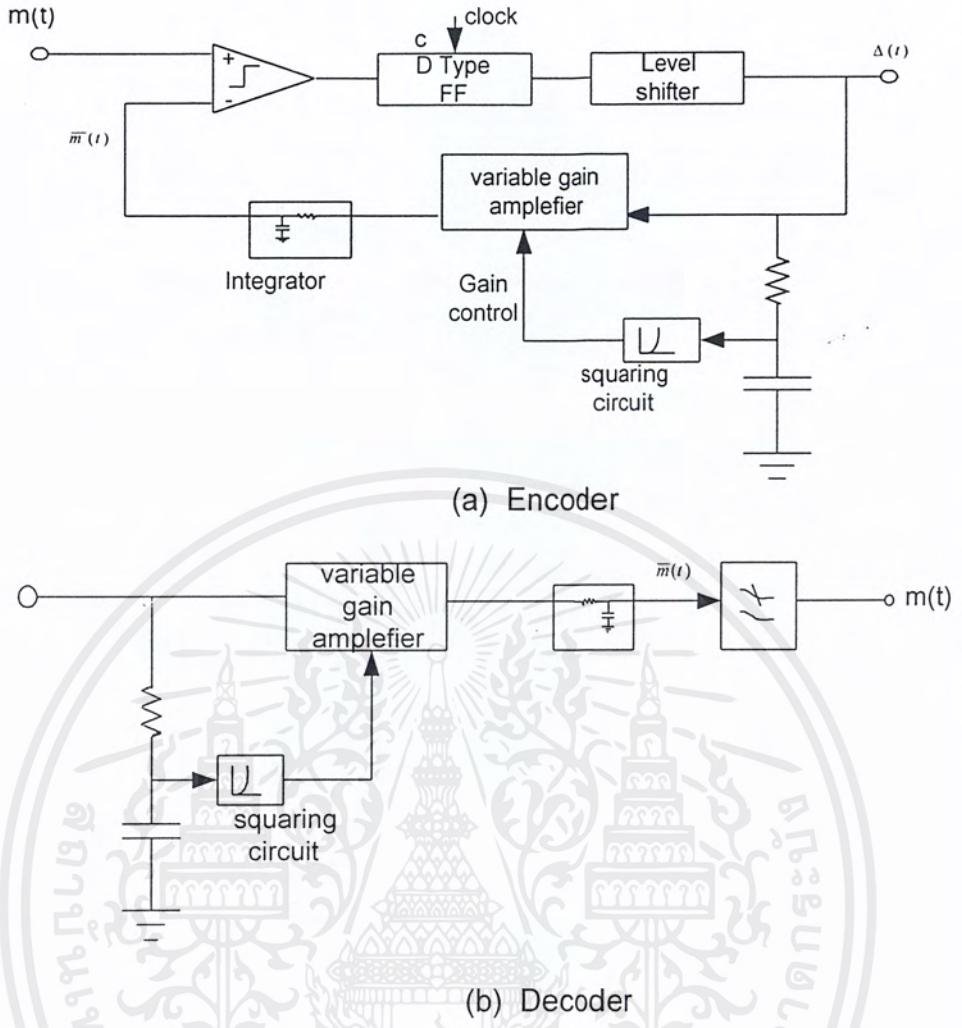
เมื่อเกิด slope over load จะทำให้เกิดการ Distortion ขึ้น ซึ่งเป็นขีดจำกัดของ Delta Modulation

เมื่อเกิด slope over load ขึ้น ผลต่างของ m(t) และ m'(t) คือ m(t)-m'(t) เราจะเรียกว่า slope over load noise

เพื่อหาทางแก้ไขการเกิด slope over load จึงได้มีการพัฒนา VSDM ขึ้นมา VSDM (Variable Slope Delta Modulation) ซึ่งมีคุณสมบัติคือ สามารถเปลี่ยนแปลงค่าของ step size ได้ตามสัญญาณอินพุท เมื่ออินพุทมีขนาดเล็ก step size ก็ถูกปรับให้มีขนาดเล็ก เมื่อสัญญาณอินพุทมีขนาดใหญ่ step size ก็ถูกปรับให้มีขนาดใหญ่ด้วย ซึ่งการทำงานในลักษณะเช่นนี้จะทำให้เกิด noise ที่เกิดจาก slope over load ลดลงได้ ทำให้มีอัตราส่วน S/N (signal to noise ratio) ดีขึ้น

การลดสัญญาณรบกวนควอนไตซิงในเดลต้ามอดดูเลชั่น สามารถทำได้โดยการเพิ่มจำนวนบิทต่อค่าตัวอย่างสุ่ม (Sample) ซึ่งเรียกว่า Variable Slope Delta Mudulation (VSDM) ใน VSDM นั้น slope ของเอาท์พุทของวงจรอินทิเกรเตอร์ จะเพิ่มขึ้นหรือลดลงจะขึ้นกับการเปลี่ยนแปลงของสัญญาณอินพุท ทำให้ความต่อเนื่องของสัญญาณดีขึ้นหรือช่วยลด slope overload ในเครื่องรับ ส่งผลให้สัญญาณรบกวนควอนไตซิงลดลง

การเปลี่ยนแปลงของ slope ของเอาท์พุทของวงจรอินทิเกรเตอร์ อาจทำได้โดยการเปลี่ยนแปลง step size นั้นคือ step size จะมีขนาดใหญ่ เมื่อสัญญาณมีการเปลี่ยนแปลงระดับเร็ว และจะมีขนาดเล็กเมื่อมีการเปลี่ยนแปลงระดับสัญญาณอินพุทเล็กน้อยดังบล๊อคไดอะแกรมการทำงานรูปที่ 2.8



รูป 2.8 บล็อคไดอะแกรมแสดงการทำงานของ VSDM

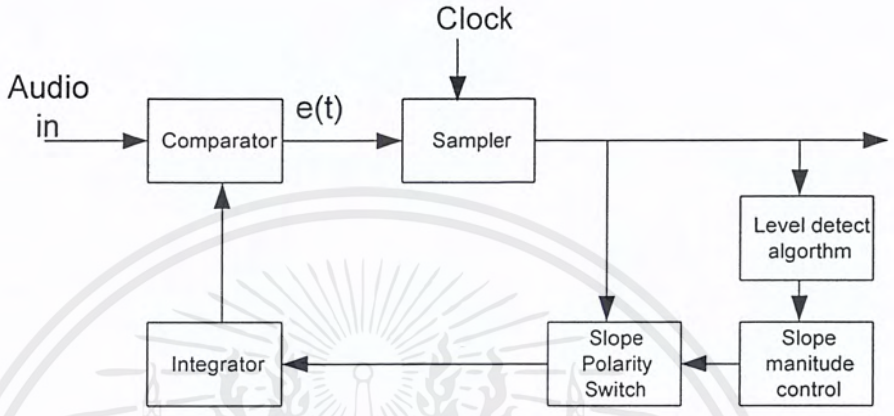
จากรูปที่ 2.8 จะเห็นว่ามี square circuit เข้ามา ช่วยทำให้ gain ของ feed back Amplifier สามารถเปลี่ยนแปลงได้ โดยที่ gain ของ feed back Amplifier จะมีค่าน้อยๆ เมื่ออินพุทมีขนาดเล็ก และ gain จะมาก เมื่ออินพุทมีขนาดใหญ่ เมื่อเราสามารถเปลี่ยนแปลง gain ของ Amplifier ได้นั้นก็หมายความว่าเราสามารถที่จะปรับขนาดของ step size ได้นั้นเอง

2.1.6 CVSD (Continuously Variable Slope Delta Modulation)

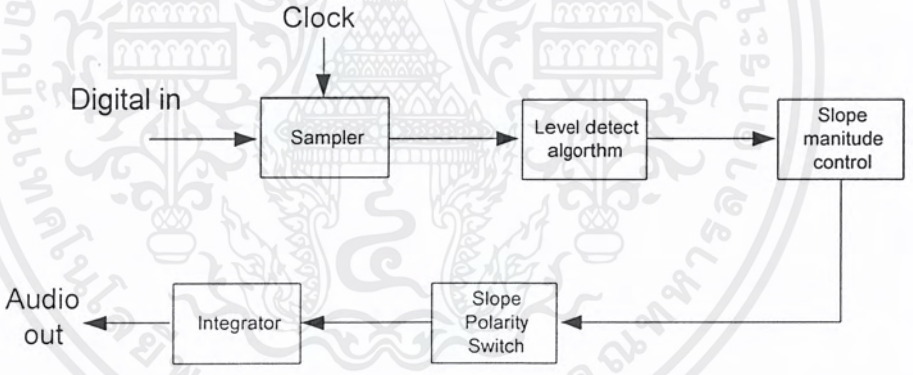
ข้อจำกัดของเดลต้ามอดดูเลชั่น ก็คือความกว้างของแถบความถี่ใช้งาน ซึ่งถูกจำกัดโดยความถี่สัญญาณนาฬิกา และจะสูงกว่าความถี่สูงสุดของสัญญาณอินพุทมากกว่าสองเท่าขึ้นไป นอกจากนั้นความเร็วของการเปลี่ยนแปลงความสูงของสัญญาณ หรือไดนามิคเรนจ์ (Dynamic range) ในระบบเดลต้ามอดดูเลชั่นทั่วไปมีค่าแคบ จำเป็นต้องมีส่วนเพิ่มเติมเพื่อทำหน้าที่ขยายไดนามิคเรนจ์ให้กว้างขึ้น โดยการควบคุมอัตราขยายของอินทิเกรเตอร์ (Gain control integrator) เพื่อให้ตอบสนองต่อสัญญาณที่มีความชัน

มากๆ ได้ทัน ระบบใหม่ที่พัฒนาขึ้นมานี้เรียกว่า ระบบเดลต้ามอดดูเลชั่นแบบเปลี่ยนแปลงความชันอย่างต่อเนื่องหรือ CVSD

แผนผังการทำงานของระบบ CVSD ในส่วนของการเปลี่ยนแปลงสัญญาณเสียงอนาลอกเป็นข้อมูลดิจิตอล และส่วนของการเปลี่ยนแปลงกลับจากดิจิตอลเป็นสัญญาณเสียง แสดงดังรูป 2.9 และ 2.10 ตามลำดับ



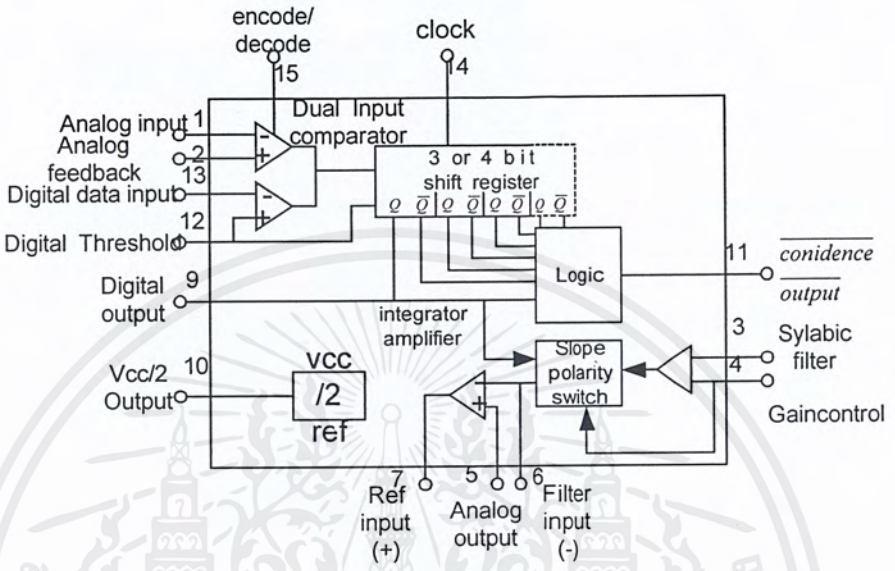
รูปที่ 2.9 การแปลงสัญญาณอนาลอกเป็นสัญญาณดิจิตอลของ CVSD



รูปที่ 2.10 การแปลงสัญญาณดิจิตอลเป็นสัญญาณอนาลอกของ CVSD

ส่วนประกอบภายในของวงจรเดลต้ามอดดูเลชั่นประกอบด้วยวงจรเปรียบเทียบ ในส่วนของการแปลงอนาลอกเป็นดิจิตอล (Forward path) และวงจรอินทิเกรเตอร์ ในส่วนการแปลงกลับดิจิตอล เป็นอนาลอก (Feedbace path) เพื่อใช้ในการควบคุมอัตราควบคุมการขยายโดยที่อินพุทของวงจรเปรียบเทียบคือสัญญาณอนาลอกที่ต้องการแปลงและเอาท์พุทที่ได้จากอินทิเกรเตอร์ เอาท์พุทที่ได้จากวงจรเปรียบเทียบ s(t) แสดงเครื่องหมายความแตกต่างระหว่างแรงดันอินพุท (Input Voltage) กับเอาท์พุทของอินทิเกรเตอร์ ซึ่งเป็นดิจิตอล แล้วใช้รีจิสเตอร์ภายในเก็บข้อมูลดิจิตอลที่เข้ามาล่าสุดนั้น (ขนาด 3 หรือ 4 บิท ขึ้นกับเบอร์ไอซี) แล้วทำการตรวจดูว่าเป็น “0” ทั้งหมดหรือ “1” ทั้งหมดหรือไม่ ถ้าเป็นเช่นนั้นแสดงว่าขนะนั้นอัตราการขยายของอินทิเกรเตอร์ต่ำเกินไปผลตอบสนองต่อความชันของสัญญาณไม่ทันต้องทำการเพิ่มอัตรา

ให้สูงขึ้นเฉพาะช่วงนั้น ในส่วนของการแปลงกลับจากดิจิตอลเป็นสัญญาณอนาลอก ก็มีการทำงานในลักษณะเดียวกันคือ ดิจิตอลอินพุทเข้ามา จะถูกนำไปเปรียบเทียบกับระดับอ้างอิงดิจิตอล (Digital threshold) เมื่อได้เอาท์พุทออกมาก็นำไปเก็บไว้ในรีจิสเตอร์เช่นกัน ตรวจดูว่าข้อมูลเป็น "0" ทั้งหมด หรือ "1" ทั้งหมดหรือไม่ แล้วจัดการควบคุมอัตราการขยายของอินทิเกรเตอร์ให้สอดคล้องกัน



รูปที่ 2.11 โครงสร้างภายในของ CVSD

2.1.7 เสียงรบกวนจากควอนไทซ์ในเดลต้าโมดูเลชั่น

สมมติให้ผลแตกต่างระหว่างสัญญาณเบสแบนด์ m(t) และสัญญาณเดลต้าที่กะประมาณค่า (estimate) $\widetilde{m}(t)$ เป็น $e_q(t)$ ดังนั้นรูปคลื่นของความผิดพลาด

$$e_q = m(t) + \widetilde{m}(t) \tag{2.1}$$

รูปคลื่นของความผิดพลาดนี้คือต้นกำเนิดของเสียงรบกวนจากการควอนไทซ์ นั้นเอง

ในขณะที่ไม่มีภาวะของการเกินภาระของความชันนั้น $e_q(t)$ มีโอกาสที่จะเกิดในช่วงระหว่าง $-\Delta$ และ $+\Delta$ เท่ากัน ในกรณีนี้เราสามารถสมมติให้พรอบบะบิวลิตี้เดนซิตี้ของ $e_q(t)$ เป็นการแจกแจงสม่ำเสมอได้ จะได้กำลังของเสียงรบกวนจากการควอนไซส์ ดังนี้

$$\overline{e_q^2(t)} = \int_{-\Delta}^{\Delta} \frac{1}{2\Delta} e^2 de = \frac{\Delta^2}{3} \tag{2.2}$$

ได้มีการทดลองพิสูจน์มาแล้วว่า กำลังที่ถูกนอร์มอลไลซ์ แล้วของรูปคลื่น $e_q(t)$ มีการแจกแจงสม่ำเสมอภายในช่วงความถี่ $(0,f_s')$ คืออัตราการชักตัวอย่าง ฉะนั้นความหนาแน่นกำลังเชิงสเปกตรัมของกำลัง $G_{e_q}(f)$ ของ $e_q(t)$ จะได้

$$G_{e_q}(f)=\begin{cases}\Delta'/(\sigma\, f'_s), & |f|<f'_s\\ 0 & \text{ที่ความถี่อื่น}\end{cases} \tag{2.3}$$

ดังนั้น $m_I(t)$ ซึ่งเป็นเสียงรบกวนจากการควอนไทซ์ที่ออกจากเครื่องกรองความถี่ผ่านต่ำ จะมีกำลังเฉลี่ยที่ถูกนอร์มอลไลซ์แล้วเท่ากับ

$$N_q=\int_{-f_x}^{f_x} G_{e_q}(f)df=(\frac{\Delta^2}{3})(\frac{f_x}{f'_s}) \tag{2.4}$$

2.1.8 กำลังของสัญญาณขาออก

ในการคำนวณกำลังของสัญญาณขาออก เราจะใช้กรณีที่เลวที่สุด (worst case) ของมอดูเลชั่น คือ ในกรณีที่กำลังของสัญญาณจะรวมกันที่ปลายความถี่สูงของสัญญาณ นั้นคือสมมติให้เป็นสัญญาณโซนูซอยดัล

$$m(t)=A\cos 2\pi f_x t$$

ดังนั้นกำลังของสัญญาณขาออกคือ

$$S_o=\overline{m^2(t)}=\frac{A^2}{2} \tag{2.5}$$

เพื่อให้หลีกเลี่ยงการเกินภาระของความชัน เราควรเลือกความชันที่มากที่สุดของสัญญาณมีค่าเท่ากับ

$$\left|\frac{dm(t)}{dt}\right|_{maz}=A2\pi f_x$$

และการเปลี่ยนแปลงของตัวอย่างหนึ่งไปอีกตัวอย่างหนึ่ง (sample to sample) ซึ่งเท่ากับ $A2\pi f_x T'_s$ ซึ่งน้อยกว่าขนดของขั้นบันได Δ ดังนี้

$$2\pi f_x T'_s A<\Delta$$

หรือเลือกขนาดสูงสุดของสัญญาณเวลาเกิดภาวะเกินภาระความชันเท่ากับ

$$A = \frac{\Delta}{2\pi}\frac{f'_s}{f_x} \tag{2.6}$$

ในที่นี้ $f'_s = 1/T'_s$ ซึ่งเป็นอัตราการชักตัวอย่างของระบบดีเอ็ม ฉะนั้นอัตราส่วนของกำลังของสัญญาณต่อกำลังของเสียงรบกวนการควอนไทซ์ จากสมการ (7.32), (7.33) และ (7.34) จะได้

$$\frac{S_o}{N_q} = \left(\frac{3}{8\pi^2}\right)\left(\frac{f'_s}{f_x}\right)3 \tag{2.7}$$

2.1.9 เสียงรบกวนจากความร้อนในระบบดีเอ็ม

เมื่อมีเสียงรบกวนจากความร้อนเกิดในช่องสัญญาณ ขั้วของรูปคลื่นที่ส่งในบางครั้งบางคราวจะถูกถอดรหัสผิด เนื่องจากรูปคลื่นที่ส่งเป็นขบวนอิมพัลส์ที่มีขนาด $\pm\Delta$ ความผิดพลาดในเครื่องหมาย + เป็น – หรือ – เป็น + ก็เท่ากับเกิดอิมพัลส์ของความผิดพลาดที่มีกำลัง 2Δ พูดอีกนัยหนึ่งว่า อิมพัลส์ของความผิดพลาดจะต้องมีกำลังเป็น 2 เท่าของ Δ จึงจะเปลี่ยนขั้วของพัลส์ได้ เสียงรบกวนจากความร้อนที่เกิดในช่องนี้จะปรากฏที่ขาเข้าของเครื่องอินทิเกรเตอร์ของภาครับเป็นขบวนอิมพัลส์ที่มีเวลาการเกิดเป็นการสุ่ม (เพราะเสียงรบกวนนี้เป็นไวท์นอยซ์ที่เกิดสุ่มอยู่แล้ว) และมีกำลัง $\pm 2\Delta$ ระยะเวลาที่ห่างกันระหว่างอิมพัลส์คือ T'_s / P_e ในที่นี้ P_e คือความน่าจะเป็นของความผิดพลาด

เราสามารถพิสูจน์ได้ว่า ความหนาแน่นกำลังเชิงสเปกตรัมของขบวนอิมพัลส์เป็นไวท์ และมีขนาด $4\Delta^2 P_e f'_s$ และถ้าให้ ฟังก์ชั่นถ่ายโอน ของเครื่องอินทิเกรเตอร์เป็น 1/jw แล้ว ความเข้มข้นสเปกตรัมของเสียงรบกวนจากความร้อนเข้าไปในช่องสัญญาณที่ขาเข้าของเครื่องกรองความถี่ผ่านต่ำ จะได้

$$G_{th}(f) = \frac{4\Delta^2 P_e f'}{(2\pi f)^2} \tag{2.8}$$

ในทางปฏิบัติ เครื่องอินทิเกรเตอร์ที่ตามด้วยเครื่องกรองความถี่ผ่านต่ำ ซึ่งมีความถี่ตัดออกที่ความถี่ต่ำ (low-cutoff frequency) $f_1>0$ ซึ่งมีค่าน้อยมากเมื่อเทียบกับความถี่ตัดออกที่ความถี่สูง (hign-cutoff frequency) f_x (การที่ให้ f_1 มีค่าน้อยแต่ไม่เท่ากับศูนย์เพราะการอินทิเกรต $G_{th}(f)$ ที่ f=0 จะได้ค่าอนันต์) ดังนั้น

$$N_{th} = 2\int_{f_1}^{f_x} G_{th}(f)df = \frac{2\Delta^2 P_e f'_s}{\pi^2}\left[\frac{1}{f_x} - \frac{1}{f_x}\right]$$

$$= \frac{2\Delta^2 P_e f'_s}{\pi^2 f_1} \tag{2.9}$$

สมการ (7.37) แสดงให้เห็นว่ากำลังของเสียงรบกวนขาออกที่ทำให้เกิดความผิดพลาดของบิท มีค่าขึ้นกับความถี่ตัดออกที่ความถี่ต่ำ f_1 มากกว่าความถี่ตัดออกที่ความถี่สูง f_x

2.1.10 อัตราส่วนของกำลังของสัญญาณต่อกำลังของเสียงรบกวน

เนื่องจากสัญญาณที่เข้าภาครับของระบบดีเอ็มจะประกอบด้วยสัญญาณ m(t) เสียงรบกวนจากการควอนไทซ์ และเสียงรบกวนจากความร้อน (เช่นเดียวกับระบบพีซีเอ็ม) อัตราส่วนของกำลังของสัญญาณต่อกำลังของเสียงรบกวน จึงหาได้จากการแทนสมการ (7.23), (7.2.7) และ (7.37) ในสมการข้างล่าง

$$\frac{S_o}{N_o} = \frac{S_o}{N_q + N_{th}} = \frac{3f'^{\,3}_s / (8\pi^2 f_x^3)}{1 + (\sigma P_e f_s'^2 / \pi 2 f_x f_1)} \tag{2.10}$$

2.2 การเปรียบเทียบระบบพีซีเอ็มและดีเอ็ม

เราสามารถเปรียบเทียบวิสัยความสามารถของระบบพีซีเอ็มและดีเอ็มในด้านของคุณภาพของสัญญาณและความยุ่งยากของวงจร เพื่อให้เกิดการเปรียบเทียบบนพื้นฐานเดียวกัน เราสมมติให้ทั้งสองระบบใช้ความกว้างแถบโดยประมาณเท่ากันในการส่งสัญญาณเบสแบนด์ที่เป็นอนาลอก

ถ้าเราให้ f_s และ f'_s แทนอัตราการชักตัวอย่างของ N บิท พีซีเอ็มและดีเอ็ม ดังนั้นอัตรการส่งของพีซีเอ็มและดีเอ็มจะได้ Nf_s และ f'_s ตามลำดับ ถ้าสเปกตรัมไปถึง f_z เฮิรตซ์ละก็ $f_s = 2f_z$ และถ้าต้องการที่จะให้ความกว้างแถบทั้งสองระบบเท่ากับเป็นการกำหนดให้

$$f'_s = 2Mf_x$$

2.2.1 อัตราส่วนของกำลังของสัญญาณต่อกำลังของเสียงรบกวน

ถ้าอัตราส่วนของกำลังของสัญญาณต่อกำลังของเสียงรบกวนมีค่าสูง วิสัยความสามารถของพีซีเอ็มและดีเอ็มถูกจำกัดด้วยเสียงรบกวนจากการควอนไทซ์

อัตราส่วนของกำลังของสัญญาณต่อกำลังของเสียงรบกวนจากการควอนไทซ์ สำหรับระบบพีซีเอ็ม จากสมการ (7.8) คือ

$$\left(\frac{S_o}{N_o}\right)_{PCM} = M^2 = 2^{2N} \quad ; \quad N \geq 2$$

ในที่นี้ $M = 2^N$ คือจำนวนของระดับของควอนไทเซอร์

สำหรับระบบดีเอ็ม อัตราส่วนดังกล่าว จากสมการ (2.10) จะได้

สำนักหอสมุดกลาง พระจอมเกล้าลาดกระบัง

$$\left(\frac{S_o}{N_o}\right)_{DM} = \frac{3}{8\pi^2}\left(\frac{f'_s}{f_x}\right)^3 = 0.3N^3$$

จากสมการข้างบนจะเห็นได้ว่า ในกรณีที่ความกว้างแถบคงที่ วิสัยความสามารถของดีเอ็มจะเลวกว่าพีซีเอ็มเสมอ เพื่อเป็นการยกตัวอย่างให้เห็นจริง ค่าความกว้างของช่องกว้างพอสำหรับโค้ดพีซีเอ็ม 8 บิท แล้ว

$$\left(\frac{S_o}{N_o}\right)_{PCM} = 48\ dB \text{ และ } \left(\frac{S_o}{N_o}\right)_{DM} = 22\ dB$$

จะเห็นได้ว่าอัตราส่วนของกำลังของสัญญาณต่อกำลังของเสียงรบกวนของระบบดีเอ็มมีค่าน้อยกว่าระบบพีซีเอ็ม 26 dB

วิสัยความสามารถของดีเอ็มสามารถปรับปรุงให้ดีขึ้นอย่างมากมาย โดยใช้ขนาดของขั้นบันไดที่เปลี่ยนได้ (นั้นคือใช้เครื่องโมดูเลเตอร์ชนิดปรับกำลังขยายได้) สำหรับการส่งสัญญาณเสียง ได้มีการพิสูจน์ว่า วิสัยความสามารถของระบบเดลต้าโมดูเลชั่นชนิดปรับกำลังขยายได้ ไม่แตกต่างกับวิสัยความสามารถของระบบพีซีเอ็มที่อัตราส่ง (bit rate) ประมาณ 64 กิโลบิท ต่อวินาที

2.2.2 ความต้องการด้านความกว้างแถบ

ในกรณีของการส่งสัญญาณเสียง สมบัติให้พีซีเอ็มใช้รหัส 8 บิท (N=8) และเพื่อให้คุณภาพของสัญญาณดี ต้องชักตัวอย่างที่อัตรา f_s = 8000 เฮิรตซ์ ก็จะได้ความเร็วการส่ง 8000 x 8 = 64 กิโลบิทต่อวินาที

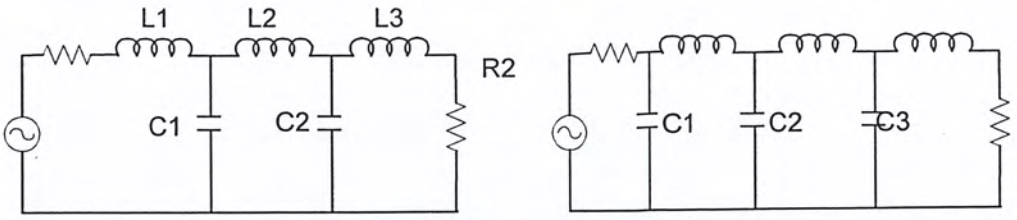
เพื่อให้ได้คุณภาพของสัญญาณใกล้เคียงกัน ระบบดีเอ็มต้องใช้อัตราการชักตัวอย่างประมาณ 100 กิโลบิทต่อวินาที ซึ่งมากกว่าระบบพีซีเอ็มเกือบเท่าตัว อย่างไรก็ตามระบบดีเอ็มชนิดปรับตัวได้ จะให้คุณภาพของสัญญาณเสียงอยู่ในเกณฑ์ที่มีความเร็วการส่ง 32 กิโลบิทต่อวินาที และสามารถปรับปรุงให้ดีขึ้นที่ความเร็วต่ำถึง 16 กิโลบิทต่อวินาทีโดยใช้เทคนิคการอัดได้ซึ่งเดลต้าโมดูเลชั่นชนิดปรับความชันอย่างต่อเนื่องได้ (continuous variable slope delta . CVSD) ถือได้ว่าเป็นรูปแบบหนึ่งของการพัฒนาการของระบบดีเอ็มชนิดปรับตัวได้

2.3 วงจรกรองความถี่

2.3.1 วงจรกรองแบบพาสซีพ (Passive Filter)

วงจรกรองความถี่ในลักษณะนี้จะประกอบด้วยขดลวดเหนี่ยวนำ (Inductor) ตัวเก็บประจุ (Capacitor) และอาจจะมีตัวต้านทานประกอบร่วมอยู่ด้วย ดังแสดงในรูปที่ 2.12

42159

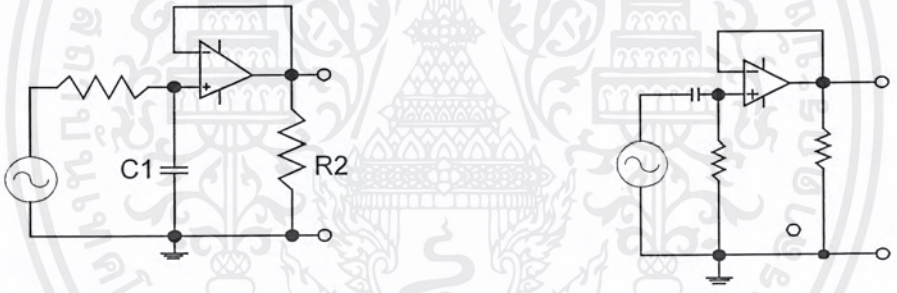


รูป 2.12 แสดงวงจรกรองแบบพาสซีพ

วงจรกรองความถี่แบบพาสซีฟนี้ในบางครั้งมักประสพปัญหาในเรื่องขนาดของอุปกรณ์ คือ ไม่สามารถหาขดลวดเหนี่ยวนำได้ตามขนาดที่ต้องการจากการคำนวนออกแบบวงจร ทำให้มีข้อจำกัดในเรื่องความสามารถหรือประสิทธิภาพของวงจร แต่สามารถตอบสนองความถี่สูงได้ดี และสามารถใช้งานได้โดยไม่ต้องมีแหล่งจ่ายใดๆทั้งสิ้น

2.3.2 วงจรกรองแบบแอคทีฟ (Active Filter)

วงจรกรองประเภทนี้จะใช้อุปกรณ์ประเภทแอคทีฟ เช่น ออปแอมป์ ทรานซิสเตอร์ มาต่อร่วมกับตัวเก็บประจุและตัวต้านทาน ซึ่งจะช่วยให้ประสิทธิภาพของวงจรกรองดีขึ้นดังแสดงในรูปที่ 2.13



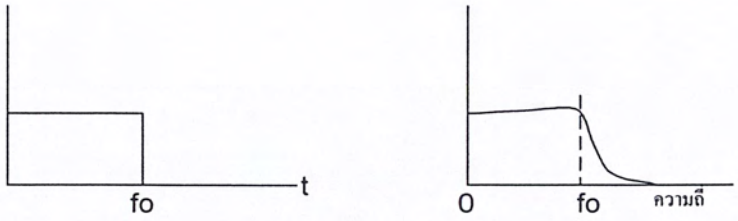
รูปที่ 2.13 แสดงวงจรกรองแบบแอคทีฟ

วงจรกรองประเภทนี้จะมีข้อดีกว่าวงจรแบบพาสซีฟ คือการออกแบบและปรับแต่งง่าย ขนาดเล็ก มีราคาถูก และมีเสถียรภาพในการทำงานสูง ดังนั้นจึงนิยมใช้วงจรกรองชนิดนี้มากกว่า

เมื่อพิจารณาในด้านการใช้งานแล้ววงจรกรองจะถูกใช้งานใน 4 ลักษณะ ดังจะได้กล่าวดังต่อไปนี้

2.3.3 วงจรกรองความถี่ต่ำผ่าน (Low pass filter)

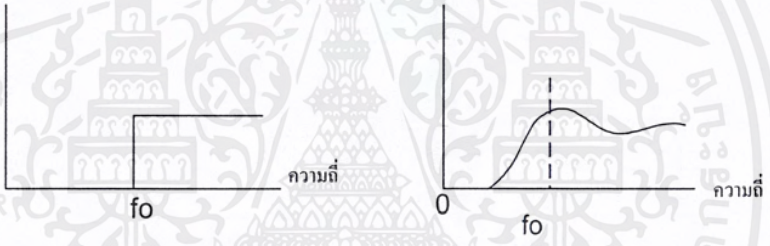
วงจรกรองความถี่ชนิดนี้จะยอมให้สัญญาณที่มีความถี่ตั้งแต่ 0 เฮิรตซ์ไปจนถึงความถี่ที่กำหนด (f_o) ผ่านวงจรกรองความถี่ไปได้ ส่วนความถี่ตั้งแต่ความถี่กำหนดขึ้นไปจนถึงความถี่อนันต์จะไม่สามารถผ่านไปได้ ดังรูปที่ 2.14



รูปที่ 2.14 วงจรกรองแบบความถี่ต่ำผ่าน

2.3.4 วงจรกรองความถี่สูงผ่าน (High pass filter)

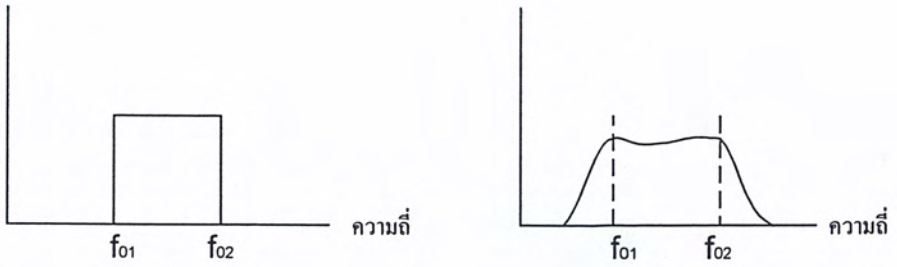
วงจรกรองความถี่ชนิดนี้จะยอมให้ความถี่ตั้งแต่ความถี่ที่กำหนด f_o ไปจนถึงความถี่อนันต์ผ่านไปได้ ส่วนความถี่ที่ต่ำกว่าความถี่ที่กำหนดจะไม่สามารถผ่านไปได้ ดังรูปที่ 2.15



รูปที่ 2.15 วงจรกรองความถี่สูงผ่าน

2.3.5 วงจรกรองความถี่แถบความถี่ผ่าน (Band pass filter)

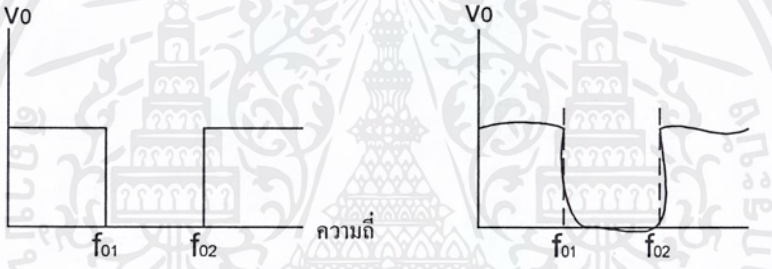
วงจรกรองความถี่ประเภทนี้จะยอมให้ความถี่ผ่านไปได้เป็นย่านความถี่ โดยความถี่ที่ผ่านไปได้นั้นจะอยู่ในย่านความถี่ที่เรากำหนด 2 จุด คือ fo_1, fo_2 คือความถี่ที่ต่ำกว่า fo_1 และสูงกว่าความถี่ fo_2 จะไม่สามารถผ่านไปได้ ดังรูปที่ 2.16



รูปที่ 2.16 วงจรกรองแถบความถี่ผ่าน

2.3.6 วงจรกรองตัดแถบความถี่ (Band stop filter)

วงจรความถี่ชนิดนี้บางครั้งเรียกว่า Band –reject Filter หรือ Band Elimination หรือ Notch (น๊อตช์) Filter วงจรนี้จะตรงข้ามกับการใช้งานในลักษณะแถบความถี่ผ่าน ความถี่ในช่วงที่สูงกว่า fo_1 และต่ำกว่า fo_2 จะถูกตัดทิ้งไป แต่ความถี่ที่ต่ำกว่า fo_1 และสูงกว่า fo_2 จะสามารถผ่านไปได้ ดังรูปที่ 2.17

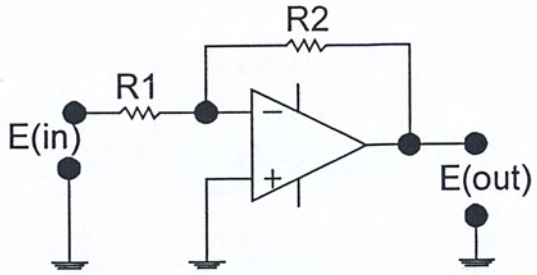


รูปที่ 2.17 วงจรกรองตัดแถบความถี่

2.4 การขยายสัญญาณ

ในการขยายสัญญาณเสียงพูดที่เข้ามาในระบบ จะได้อินเวอร์ติงแอมปลิไฟเออร์ (Inverting Amplifier) ซึ่งแสดงไว้ในรูปที่ 2.22 โดยที่ Non-inverting input ต่อลงกราวน์ ในบางกรณีอาจผ่านตัวต้านทานค่าหนึ่ง เพื่อเป็นการชดเชยไบอัสด้วย จากรูปที่ 2.22 ค่า R_2 เป็นส่วนป้อนกลับ (Feedback Path) จากเอาท์พุทมายังอินพุท ถ้าให้ เป็นค่าของแรงดันระหว่าง inverting input กับกราวน์ จะได้ว่า

$$\left(\frac{e_{in}-e}{R_1}\right)=\left(\frac{e-e_{out}}{R_2}\right) \qquad (2.11)$$



รูปที่ 2.18 Inverting Amplifier

จากคุณสมบัติของอินพุทอิมพีแดนซ์ของออปแอมป์ ที่ว่ามีค่ามากเป็นอนันต์ กล่าวคือไม่มีกระแสไหลเข้าไปในแอมปลิไฟเออร์ ฉะนั้นกระแสที่ไหลผ่าน R_1 จึงมีค่าเท่ากับกระแสที่ไหลผ่าน R_2 และจากคุณสมบัติอีกข้อคือ Open loop gain มีค่าเป็นอนันต์ e จึงมีค่าเท่ากับศูนย์ เพราะฉะนั้นจากสมการ (1) ได้ว่า

$$\left(\frac{e_{out}}{e_{in}}\right) = -\frac{R_2}{R_1} \tag{2.12}$$

สมการ (2) ถือว่าเป็น Close loop gain ของแอมปลิไฟเออร์ (เพราะว่ามีโครงสร้างแบบป้อนกลับ) ใช้สัญลักษณ์ A_F นั้นคือ

$$A_r = -\frac{R_2}{R_1} \tag{2.13}$$

สำหรับ Open loop gain ของแอมปลิไฟเออร์ แทนด้วยสัญลักษณ์ A_o

ส่วน input impedance (R_{in}) ของอินเวอร์ติงแอมปลิไฟเออร์มีค่าเท่ากับแรงดันอินพุทหารด้วยกระแสอินพุท

$$R_{in} = \{(e_{in} - e)/R_1\} \tag{2.14}$$

แต่เนื่องจากอินพุทอิมพีแดนซ์ของออปแอมป์มีค่าเป็นอนันต์จึงได้ว่า

$$R_{in} = R_1$$

2.5 การซแครมเบิล (Scrambling)

การซแครมเบิลสัญญาณเพื่อรักษาความปลอดภัยให้สัญญาณ ป้องกันไม่ให้ผู้ที่อยู่นอกระบบรับรู้และเข้าใจที่เราส่งไปในสัญญาณได้ อีกทั้งเป็นการป้องกันความผิดพลาดที่จะเกิดเนื่องจากมีข้อมูลบิท “0”

ติดต่อกันเป็นเวลานาน การซแครมเบิลอาจทำได้โดยการรวมลำดับแบบกึ่งสุ่ม (pseudorandom sequence หรือ pseudonoise) เข้ากับขบวนข้อมูล หรืออาจทำการรวมทางตรรกศาสตร์ (logic combination) เข้ากับขบวนข้อมูลที่ถูกหน่วงไว้

การซแครมเบิลที่ใช้ในระบบยุโรปจะใช้การกลับบิท (จาก "1" เป็น "0" หรือจาก "0" เป็น "1") บิทเว้นบิท เทคนิคอื่นๆ อาจทำการกลับบิท "1" และ "0" ในขบวนข้อมูลที่มีข้อมูล "0" ปรากฏเป็นส่วนใหญ่

การรวมขบวนบิทข้อมูลเข้ากับขบวนลำดับแบบกึ่งสุ่มนั้น ถ้าตัวกำเนิดลำดับแบบกึ่งสุ่ม 2 ตัว ที่มีโครงสร้างเดียวกัน เริ่มต้นด้วยสภาวะเดียวกัน มีสัญญาณนาฬิกาอัตราเดียวกัน ย่อมให้เอาท์พุทที่เหมือนกัน วงจรกำเนิดลำดับแบบกึ่งสุ่มเป็นวงจรที่ไม่ยุ่งยากซับซ้อน แต่ให้ลักษณะลำดับที่ดูคล้ายกับมีการสุ่มจริงๆ

2.5.1 การสร้างลำดับแบบกึ่งสุ่ม

ในการซแครมเบิลนี้เราจะเลือกใช้โครงสร้างของลำดับแบบกึ่งสุ่มแบบ maximum –length linear feedback shift register (m-sequence) ซึ่งเป็นลำดับที่มีคุณลักษณะใกล้เคียงกับลำดับที่มีการสุ่มอย่างสมบูรณ์

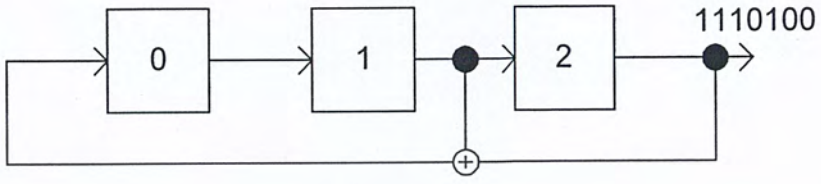
m-sequence คือลำดับแบบวนรอบโดยมีช่วงระยะ 2^m-1 ที่สร้างโดยใช้หลักของ Galois field GF, (2^m) ซึ่งสร้างจากพหุนามที่ไม่สามารถถอดตัวประกอบได้อีก (irreducible polynomial) p(x) ของกำลังสองของ GF(2) ถ้า p(x) มีคุณสมบัติพิเศษ คือ พจน์ x มีลำดับ $2^m - 1$ ใน GF(2^m) แล้วจะเรียก p(x) ว่า primitive polynomial และเรียกพจน์ x ว่า primitive element ของ (2^m)

แต่ละพจน์ของ GF(2^m) ที่ไม่เป็นศูนย์ สามารถแสดงเป็น m-bit word หรือในรูปเลขยกกำลังของ x m-bit binary word มีลักษณะเฉพาะขึ้นกับ x^l สำหรับแต่ละ l จาก 0 ถึง 2^m-2 ใช้บิทที่มีลำดับสูง (high order) สอดคล้องกับ x^l สำหรับแต่ละ l ดังกล่าวมาสร้างเป็นลำดับที่มีขนาด 2^m-1 บิท ลำดับที่ได้นี้ แต่ละวงรอบการเลื่อนของมัน คือ m-sequence ถึงแม้ว่าลำดับแบบนี้จะมีโครงสร้างที่ตายตัว แต่ก็แสดงลักษณะที่เราต้องการจากในลำดับแบบกึ่งสุ่มได้

ฮาร์ดแวร์ที่นิยมนำมาใช้สร้างลำดับแบบกึ่งสุ่มแสดงรูปที่ 2.24 ประกอบไปด้วยชิฟรีจิสเตอร์ (shift register) เราเลือกใช้ดีฟลิบฟลอบ (D-flipflop) และจัดเรียงให้อินพุทของแต่ละตัวยกเว้น D_0 คือเอาท์พุท Q ของฟลิบฟลอบตัวที่อยู่ก่อนหน้านั้น อินพุทของ D_0 คือเอาท์พุทของพาริตี้เจนเนอเรเตอร์ (parity generator) พาริตี้เจนเนอเรเตอร์ (โดยทั่วๆไปสร้างจากลอจิกเกท XOR) จะให้เอาท์พุทเป็นลอจิก "0" เมื่อมีอินพุท "0" เป็นจำนวนคู่ และให้เอาท์พุทฟลิบฟลอบจากรูป 2.24 แสดงการต่ออินพุทของพาริตี้เจนเนอเรเตอร์ด้วยเส้นประ เพื่อแสดงว่า เอาท์พุท Q ของฟริบฟรอบแต่ละตัวไม่จำเป็นต้องต่อเป็นอินพุทของพาริตี้เจนเนอเรเตอร์ทั้งหมด คุณลักษณะของลำดับแบบกึ่งสุ่มขึ้นกับ จำนวนฟลิบฟลอบ m และการเลือกว่าจะต่อเอาท์พุท Q ของฟริบฟรอบตัวใดบ้างเป็นอินพุทของพาริตี้เจนเนอเรเตอร์

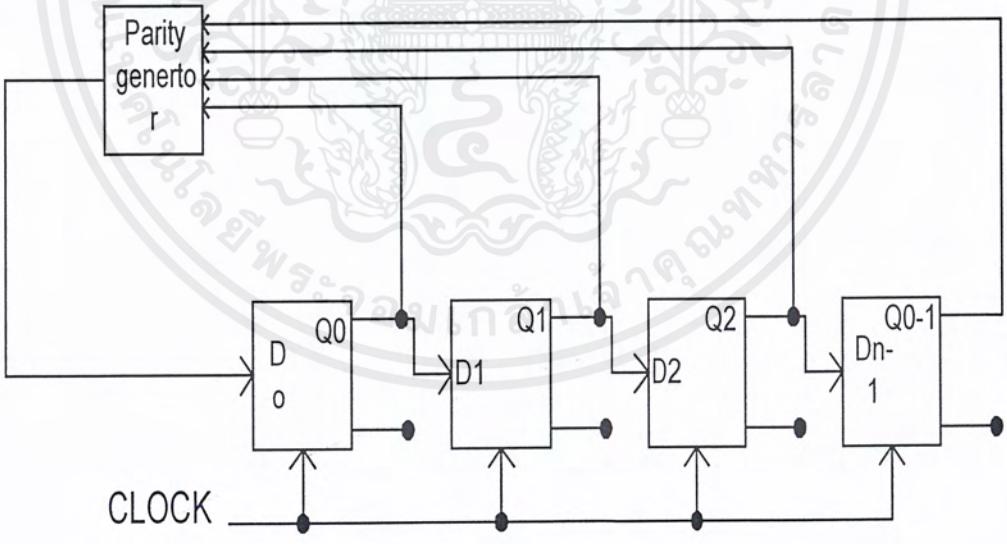
สภาวะของลำดับถูกกำหนดโดยสภาวะลอจิกของเอาท์พุท Q ของฟลิบฟลอบทั้งหมดตลอดช่วงหนึ่งสัญญาณนาฬิกา สถานะของชิฟรีจิสเตอร์จะคงที่ โดยทั่วๆไปแล้วสถานะจะเปลี่ยนขณะมีการเปลี่ยน

จากรอบสัญญาณนาฬิกาหนึ่งไปยังรอบถัดไป รีจิสเตอร์ที่มีฟลิปฟลอบ m ตัวมี 2^m สถานะ จาก O_0, O_1, O_2 …O_{m-1} = 000…0 ถึง Q_0, Q_0, Q_0 … Q_{m-1} = 111…1 แน่นอนว่าฮาร์ดแวร์ตามรูป 2.23 ไม่สามารถสร้างลำดับที่มีการสุ่มอย่างแท้จริงได้ เนื่องจากโครงสร้างที่เราสามารถคาดเดาผลที่จะตามมาได้ และค่อนข้างชัดเจนว่าลำดับใดๆ ที่สร้างขึ้นจากวงจรนี้ เมื่อมีการสร้างขบวนบิทไปเรื่อยๆ จะเกิดลำดับซ้ำ นั้นคือมันจะวนรอบกลับมาซ้ำรูปแบบเดิม



รูปที่ 2.19 กำเนิดลำดับแบบกึ่งสุ่ม

ขณะที่สามารถสร้างลำดับที่มีการสุ่มอย่างแท้จริงได้ เราจะถือว่าลำดับที่มีช่วงระยะเวลาวนซ้ำที่ยาวพอ เป็นลำดับที่มีคุณลักษณะแบบสุ่ม วิธีที่ง่ายที่สุดที่จะทำให้ลำดับดังกล่าวคือใช้ฟลิปฟลอบจำนวนมาก ปัจจุบันจากเทคโนโลยี MOS-LSI มีความเป็นไปได้ที่จะสร้างชิฟ (chip) ที่มีฟลิปฟลอบริจิสเตอร์ถึง 2000 ตัวได้ จะทำให้ได้ลำดับที่มีความยาวสูงสุด 2^m-1 โดยไม่รวมถึงสภาวะ 000…0 เนื่องจากสถานะของรีจิสเตอร์เป็น “0” หมด จะทำให้สภาวะของรีจิสเตอร์ไม่เกิดการเปลี่ยนแปลงใดๆ อีก



รูปที่ 2.20 ตัวอย่างการกำเนิดลำดับแบบ m-sequence

ตัวอย่างของ linear feedback shift register ในรูป 2.23 มี $p(x) = x^3+x+1$ เป็น primitive polynomial เราจะได้ m-sequence ความยาว 7 บิท โดยใช้ feedback shift register ในรูป 2.23 เป็นวงจรที่จะทำการคูณพหุนามที่กำหนดด้วย x และหารด้วย x^3+x+1 เมื่อเริ่มสภาวะเริ่มแรกของชิฟรีจิสเตอร์ด้วย x_0 จากซ้ายมาขวาด้วย 100 ด้วยลำดับของบิทป้อนกลับคือ

0010111...

ซึ่งจะวนซ้ำไปเรื่อยๆ นี่คือ m-sequence ขนาด 7 บิท สังเกตว่าจำนวนของ "0" ต่างจาก "1" อยู่หนึ่ง ซึ่งก็เป็นจำนวนที่ใกล้เคียงกันที่สุดที่จะเป็นไปได้ในลำดับที่มีความยาวเป็นจำนวนคี่ ถ้าหากพิจารณาลำดับในลักษณะวนเป็นวงแล้ว จะพบว่าลำดับย่อย (subsequence) 2 บิท เป็นดังนี้

00,01,10,01,11,11,10

แต่ละแบบจะปรากฏ 2 ครั้ง ยกเว้น 00 ซึ่งก็ใกล้เคียงเท่าที่จะเป็นไปได้สำหรับลำดับที่มีความยาวเป็นจำนวนคี่ ในลำดับย่อย 3 บิท แต่ละแบบจะปรากฏหนึ่งครั้งเท่านั้น ยกเว้น 000 ลักษณะเช่นนี้จะปรากฏในทุกๆ m-sequence สมมุติว่าใช้ primitive polynomial p(x) ยกกำลัง 30 จะได้ m-sequence ความยาว 2^{30}-1 หรือประมาณ 10^9 บิท และทุกลำดับย่อยขนาด r บิท ยกเว้นแบบ "0" หมด จะปรากฏเป็นจำนวนเท่าๆกัน โดย r ต้องไม่เกิน 30

2.5.2 ความยาวของลำดับแบบกึ่งสุ่ม

พิจารณารูป 2.24 แสดงภาพตัวกำเนิดลำดับแบบกึ่งสุ่ม ชิฟรีจิสเตอร์ประกอบด้วยฟลิบฟลอบ m ตัว ซึ่งสามารถมีได้ 2^m สภาวะ แต่สภาวะ "0" หมดทุกตัว จะถูกยกเว้น เพราะมันจะทำให้สภาวะของชิฟรีจิสเตอร์ไม่เกิดการเปลี่ยนแปลงใดๆ อีกเลย ดังนั้นจึงมีสภาวะที่เป็นไปได้ 2^m-1 สภาวะ

ถ้าพหุนาม p(x) เป็น primitive polynomial รีจิสเตอร์จะสามารถสร้างสภาวะที่เป็นไปได้ทั้งหมด 2^m-1 สภาวะ ไม่ว่าสภาวะเริ่มต้นจะเป็นอย่างไร (ยกเว้นสภาวะศูนย์หมด) สภาวะของรีจิสเตอร์จะวนซ้ำด้วยคาบ 2^m-1 และลำดับที่ได้ a ก็จะวนรอบด้วยคาบ 2^m-1 ด้วย ซึ่งเป็นระยะที่ยาวที่สุดที่รีจิสเตอร์จากฟลิบฟลอบ m ตัวจะสร้างได้

เราสามารถกำหนดได้ว่าจะต่อเอาท์พุทของฟลิบฟลอบตัวใดบ้าง เป็นอินพุทของพาริตี้เจนเนอเรเตอร์ เพื่อให้ได้ลำดับที่มีความยาวสูงสุด (2^m-1) ในทางปฏิบัติ เพื่อให้สะดวกในการใช้งาน สำหรับเลขยกกำลัง m เราจะเลือกใช้ primitive polynomial ที่มีจำนวนสัมประสิทธิ์เป็น 1 ให้น้อยที่สุด (อย่างน้อย 3 ตัว) หรือกล่าวคือใช้เอาท์พุท Q ของฟลิบฟลอบที่เป็นอินพุทของพาริตี้เจนเนอเรเตอร์ให้น้อยที่สุดกรณี m=1 ถึง m=15 การออกแบบรีจิสเตอร์เพื่อที่จะให้ได้ความยาวสูงสุด แสดงดังตารางต่อไปนี้

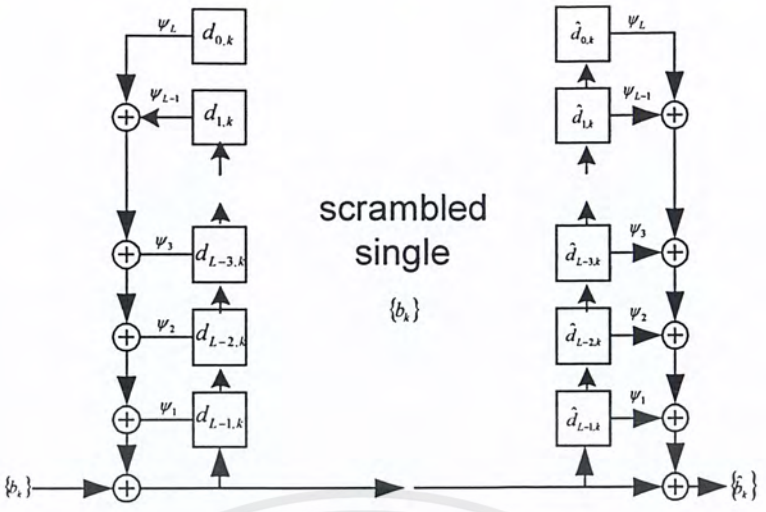
จำนวนชิฟรีจิสเตอร์	Feedback Tap
1	1
2	1,2
3	2,3
4	3,4
5	3,5
6	5,6
7	6,7
8	2,3,4,8
9	5,9
10	7,10
11	9,11
12	2,10,11,12
13	1,11,12,13
14	2,12,13,14
15	14,15

2.5.3 Self Synchronous Scrambling (SSS)

Self synchronous scrambling เป็นเทคนิคการเข้ารหัสแบบหนึ่งที่ใช้ชิฟรีจิสเตอร์ สำหรับการเข้ารหัสรวมทั้งการถอดรหัส สัญญาณข้อมูลโดยข้อมูลที่เข้ามาจะถูกเข้ารหัส โดยผ่านตรงไปยัง ชิฟรีจิสเตอร์ (ในที่นี้ใช้ดีฟลิปฟลอป) และเอ็กคลูซีฟออร์เกท โดยที่ขบวนการในการเข้ารหัสและการถอดรหัสจะเป็นลักษณะเดียวกันแต่อินพุทและเอาท์พุทจะกลับกัน

ในระบบ SSS สถานะของชิฟรีจิสเตอร์ ที่ใช้ในการเข้ารหัสและการถอดรหัสจะซิงโครไนซ์ กันโดยอัตโนมัติโดยที่ไม่ต้องเพิ่มขบวนการในการ ซิงโครไนซ์อีกเลย

บล็อคไดอะแกรมตามรูปที่ 2.27 นี้เป็นโครงสร้างของการเข้ารหัสและการถอดรหัส ซึ่งกำหนดโดย characteristic polynomial ซึ่งจากบล็อคนี้จะใช้ characteristic polynomial $\sum_{i=0}^{l.} \psi_i x^i$ เมื่อ $\psi_0 = 1$



รูปที่ 2.21 บล็อคไดอะแกรมพื้นฐานของระบบSSS

ในระบบ SSS. ลำดับสัญญาณอินพุท $\{b_k\}$ จะเป็นตัวควบคุมสถานะของชิฟรีจิสเตอร์ในการเข้ารหัสและลำดับของสัญญาณที่ผ่านการเข้ารหัส $\{b_k\}$ จะควบคุมสถานะของชิฟรีจิสเตอร์ในขบวนการถอดรหัส ลำดับสัญญาณอินพุท $\{b_k\}$ ในขบวนการเข้ารหัสจะมีข้อมูลสถานะของชิฟรีจิสเตอร์ และสัญญาณ $\{\tilde{b}_k\}$ ก็จะส่งข้อมูลเหล่านั้นมายังภาคถอดรหัส เพื่อใช้ในการซิงโครไนซ์ โดยการซิงโครไนซ์จะเกิดขึ้นเมื่อจำนวนของข้อมูลที่รับเข้ามาเต็มใน ชิฟรีจิสเตอร์ ดังนั้นระบบ SSS. จึงแตกต่างจากระบบอื่นที่ต้องมีขบวนการพิเศษในการซิงโครไนซ์ แต่เมื่อเกิดบิทผิดพลาด ขึ้นในสัญญาณเข้ารหัส $\{\tilde{b}_k\}$ ระหว่างการส่งข้อมูล bit error เหล่านี้จะอยู่ใน register ของขบวนการถอดรหัสด้วย เรียกการเกิดความผิดพลาดของข้อมูลเหล่านี้ว่า error-multiplication phenomenon

ในระบบ SSS. ข้อมูลที่เข้ามาจะควบคุมสถานะของ ชิฟรีจิสเตอร์ในการเข้ารหัส และสัญญาณที่ถูกเข้ารหัสเรียบร้อยแล้วจะไปควบคุมสถานะของชิฟรีจิสเตอร์ในขบวนการถอดรหัส อีกครั้งหนึ่ง

2.5.4 การเข้ารหัส Z (Scramble)

พิจารณาระบบ SSS. ในรูปที่ 2.27 (a) ซึ่งมี characteristic polynomial $\psi(x)=\sum_{i=0}^{L}\psi_i x^i$ สถานะของชิฟรีจิสเตอร์ตัวที่ jth ที่เวลา k คือ $d_{j,k,}j$ = 0,1,……,L – 1 ซึ่งเราจะใช้สถานะก่อนหน้า $d_{j,k,}j$ = 0,1,……,L – 1 มาพิจารณา ซึ่งเป็นไปตามความสัมพันธ์

$$d_{j,k}=\begin{cases} d_{j+1,k-1}; = 0,1,..., L-2 \\ \sum_{i=1}^{L-1}\varphi_{L-1}d_{j,k-1}+b_{k-1}; j=L-1 \end{cases}$$

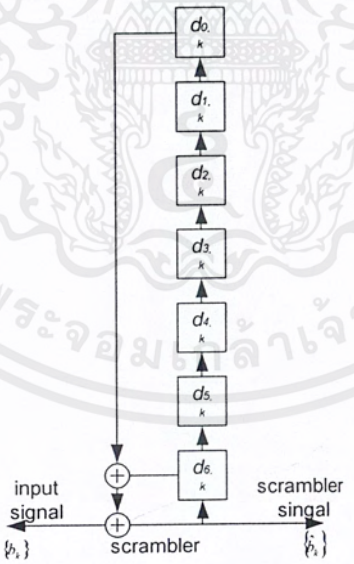
ในรูปแบบ kth state vertor d_k , k = 1,2,…., ซึ่งแสดงได้โดย (k-1) th state vector d_{k-1} และ kth input signal b_k ดังนี้

$$d_k = A'_{\psi r(x)} \cdot d_{k-1} + b_{k-1} e_{L-1} \tag{2.15}$$

เมื่อ $$A_{\varphi r}(x) = \begin{bmatrix} 0 & 0 & \Lambda & 0 & \psi_L \\ 1 & 0 & \Lambda & 0 & \psi_{L-1} \\ 0 & 1 & \Lambda & 0 & \psi_{L-2} \\ M & M & O & M & M \\ 0 & 0 & \Lambda & 1 & \psi_1 \end{bmatrix} \tag{2.16}$$

สังเกตสัญญาณ scrambled signal $\{\tilde{b}_k\}$ ที่เข้าไปที่ shift register ตัวสุดท้ายของภาคเข้ารหัส เพื่อ เปลี่ยนไปเป็นสถานะถัดไป $d_{L-1,k+1}$ หรือ $\tilde{b}_k = e'_{L-1} d_{k+1}$ เรา สามารถสร้างสมการจากเงื่อนไข ดังกล่าวได้ดังนี้

$$\tilde{b}_k = e'_{L-1} \cdot A'_{\psi r(x)} \cdot d_k + b_k \tag{2.17}$$



รูปที่ 2.22 SSS scramble characteristic polynomial $\psi(x) = x^7 + x + 1$

<u>ตัวอย่างที่ 1</u> เราพิจารณาภาคเข้ารหัส ดังรูปที่ 2.22 ซึ่งมี characteristic polynomial $\psi(x) = x^7 + x + 1$ ซึ่งจะได้

$$A\psi_{r(x)} = \begin{bmatrix} 0 & 0 & 0 & 0 & 0 & 0 & 1 \\ 1 & 0 & 0 & 0 & 0 & 0 & 0 \\ 0 & 1 & 0 & 0 & 0 & 0 & 0 \\ 0 & 0 & 1 & 0 & 0 & 0 & 0 \\ 0 & 0 & 0 & 1 & 0 & 0 & 0 \\ 0 & 0 & 0 & 0 & 1 & 0 & 0 \\ 0 & 0 & 0 & 0 & 0 & 1 & 1 \end{bmatrix} \tag{2.18}$$

ถ้าสถานะเริ่มต้น state vector d_0 คือ $[1000101]^t$ และสัญญาณอินพุท $\{b_k\}$ คือ

$$\{b_k\} = \{1,0,1,1,1,0,1,0,1,1,1,0,1,0,0,0,0,0,1,1,.....\} \tag{2.19}$$

จากนั้นด้วยสมการ (2.16) State vector d_k จะแสดงได้ดังตารางที่ 2.27 ดังนั้นด้วยสมการ (2.1) จะได้สัญญาณ scrambled signal $\{b_k\}$ ดังนี้

$$\{b_k\} = [1,1,0,1,1,1,1,0,0,1,1,0,0,1,1,1,0,1,0,1..] \tag{2.20}$$

และถ้าจำนวนตัวเลขของสัญญาณอินพุท b_k แต่ละ elements ที่เข้ามามีจำนวนเพียงพอ state vector d_k ในขบวนการเข้ารหัสจะสามารถแสดงในเทอมของ b_k ได้ซึ่งอธิบายได้ด้วย 2 ทฤษฎีคือ

ทฤษฎี สำหรับการเข้ารหัส ที่มี characteristic polynomial เป็น $\psi(x) = \sum_{i=0}^{L} \psi_i x^i$ สถานะของ state vector $d_k, k = L, L+1,..,$ แสดงได้โดย

$$d_k = [\tilde{b}_{k-L} \tilde{b}_{k-L+1} .... \tilde{b}_{k-1}] \tag{2.21}$$

<u>ทฤษฎี</u> สำหรับการเข้ารหัสที่มี characteristic polynomial เป็น และมี scrambled signal = L,L+1,….., แสดงได้โดย

$$\tilde{b}_k = b_k + \sum_{i=0}^{L} \psi_i \tilde{b}_{k-1} \tag{2.22}$$

<u>ตัวอย่างที่ 2</u> สำหรับการเข้ารหัส ดังรูป 2.28 characteristic polynomial $\psi(x) = x^7 + x + 1$ เราสามารถบอกสถานะของ state vector d_k เมื่อ k = 7,8,…,8ได้ดังตาราง 2.2 โดยใช้สมการ (2.21) และ สามารถบอกค่า scrambled signal $\tilde{b}_k$ ได้จากสมการ (2.22) เมื่อ k= 7,8,…, ซึ่งถ้าใช้ $\psi(x) = x^7 + x + 1$ พิจารณาค่า $\tilde{b}_k$ จากสมการ (2.22) จะได้ $\tilde{b}_k = b_k + \tilde{b}_{k-1} + \tilde{b}_{k-7}$ เช่น initial state vector $d_0 = [1000101]^t$ และสัญญาณ input $\{b_k\}$ ตามสมการ (6) จะได้ 7 ค่าแรกของ scrambled

signal $\{\tilde{b}_k\}$ ดังนี้ $\tilde{b}_0 = 1, \tilde{b}_1 = 1, \tilde{b}_2 = 1, \tilde{b}_3 = 1, \tilde{b}_4 = 1, \tilde{b}_5 = 1, \tilde{b}_6 = 1$ ถ้าเราแทนค่า k = 7 ตามสมการ $\{\tilde{b}_k\}$ ข้างต้นจะได้ $b_7 = b_7 + \tilde{b}_6 + \tilde{b}_0 = 0$ และเช่นเดียวกันสำหรับค่า k = 8,9,..., ก็จะได้ scrambled signal $\{\tilde{b}_k\}$ ดังสมการ(2.19)

<u>ตารางที่ 2.1</u> state vector d_k และ scrambled signal $\{\tilde{b}_k\}$ ของระบบ การเข้ารหัส ในรูปที่ 2.20 (a) สำหรับสัญญาณอินพุท $\{\tilde{b}_k\}$ จากสมการ (2.18)

K	d_0	$\{\tilde{b}_k\}$	$\{\hat{b}_k\}$
*0	$[0110010]^t$	1	1
*1	$[1100101]^t$	1	1
*2	$[1001011]^t$	0	0
*3	$[0010110]^t$	1	1
*4	$[0101101]^t$	1	0
*5	$[0111011]^t$	1	1
*6	$[1110111]^t$	1	0
*7	$[1101111]^t$	0	0
*8	$[1011110]^t$	0	1
*9	$[0111100]^t$	1	1
*10	$[1111001]^t$	1	1
*11	$[1110011]^t$	0	0
*12	$[1100110]^t$	0	1
*13	$[1001100]^t$	1	0
*14	$[0011001]^t$	1	0
*15	$[0110011]$	1	0
*16	$[1100111]^t$	0	0
*17	$[1001110]^t$	-1	0
*18	$[0011101]^t$	0	1
*19	$[0111010]^t$	1	1
.	.	.	.
.	.	.	.
.	.	.	.

ตารางที่ 2.1 state vector d_k และ scrambled signal $\{\tilde{b}_k\}$ ของระบบเข้ารหัส

2.5.5 การถอดรหัส (Descramble)

เช่นกัน เราพิจารณา self syncronous descrambler ตามรูปที่ 2.27 (b) ที่มี characteristic polynomial เป็น $\psi(x)=\sum_{i=0}^{L}\varphi_i x^i$ เมื่อสถานะของ jth shift register ที่เวลา $k,\hat{d}_{j,k}, j=0,1,.....L-1$ ซึ่งจะ พิจารณาจากสถานะก่อนหน้า $\hat{d}_{j,k-1}, j=0,1,.....L-1$ ดังสมการ

$$\hat{d}_{j,k}=\begin{cases}\hat{d}_{j+1,k-1}; j=0,1,....., L-1\\ \hat{d}_{k-1}; j=L-1\end{cases} \tag{2.23}$$

เราจะได้ vector

$$\hat{d}_k=\widetilde{0}_L\cdot\hat{d}_{k-1}+\hat{b}_{k-1}e_{L-1} \tag{2.24}$$

สำหรับสถานะของ state vector $\hat{d}_K$ ซึ่ง $\widetilde{O}$ เป็น Upper – diagonal matrix กำหนดโดย

$$\widetilde{O}_L=\begin{bmatrix}O_{(L-1)\times 1} & I_{(L-1)(L-1)}\\ 0 & O_{1\times(L-1)}\end{bmatrix} \tag{2.25}$$

สัญญาณ $\hat{b}_x$ จะได้รับข้อมูลจริงที่มากับสัญญาณ $\widetilde{b}_x$ ซึ่งมาจากภาคเข้ารหัส ดังนั้นเราจะได้

$$\hat{b}_x=e^t{}_{L-1}\cdot A^t{}_{\varphi r(x)}\cdot\hat{d}_k+\widetilde{b}_k \tag{2.26}$$

<u>ตัวอย่างที่ 3</u> เราพิจารณาการถอดรหัส ดังรูปด้านบน ซึ่งมี characteristic polynomial $\psi_{(x)}=x^7+x+1$ ถ้า initial state vector $\hat{d}_0=[0110010]^t$ จากนั้นด้วยสมการ (2.23) สถานะของ สำหรับสัญญาณ $\hat{d}_k$ ในสมการ(2.27) จะเป็นดังตาราง 2.2 ดังนั้นด้วยสมการ (2.25) จะได้สัญญาณ Descrambled $\{\hat{b}_k\}$ ดังนี้

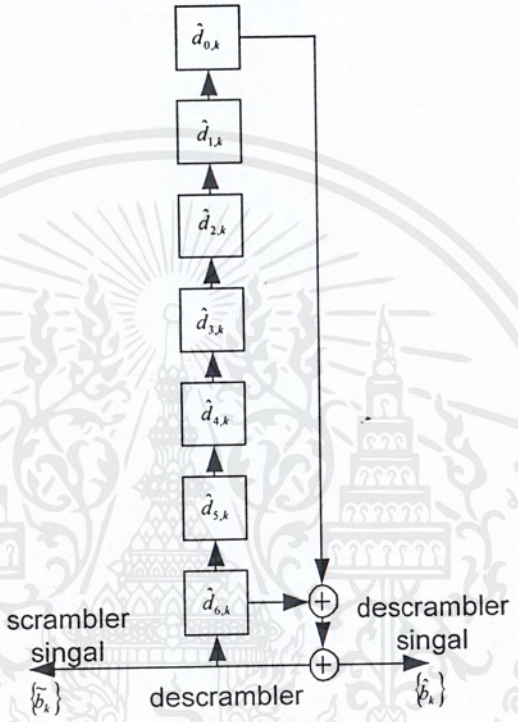
$$\{\hat{b}_k\}=\{1,1,0,1,0,1,0,0,1,1,1,0,1,0,0,0,0,0,1,1,.....\} \tag{2.27}$$

โดยที่ state vector $\hat{d}_k$ ทางด้านตัวถอดรหัส และ descrambled signal $\hat{b}_k$ สามารถแสดงในเทอมของ scrambled signal $\widetilde{b}_k$ ถ้าจำนวนของสัญญาณ $\widetilde{b}_k$ ที่เข้ามามีเพียงพอ ซึ่งอธิบายได้ด้วย 2 ทฤษฎี

ทฤษฎีสำหรับการถอดรหัส ที่มี characteristic polynomial เป็น $\psi_{(x)} = \sum_{i=0}^{L} \psi_i x^i$,kth state vector $\hat{d}_k$,k= L,L+1,.....,แสดงได้โดย

$$\hat{d}_k = \left[\tilde{b}_{k-L}\tilde{b}_{k-L+1}.....\tilde{b}_{k-1}\right]^t \tag{2.28}$$

ไม่คำนึง *initial state vector* $\hat{d}_0$



รูปที่ 2.23 SSS descrambler characteristic polynomial $\psi_{(x)} = x^7 + x + 1$

ตาราง 2.2 state vector $\hat{d}_k$ และ descrambled signal $\{\hat{b}_k\}$ ในสมการ (2.26) (เครื่องหมาย * แสดงสถานะ เริ่มต้น 7 สถานะ ซึ่ง $\hat{d}_k \neq d_x$ และ $\hat{b}_k \neq b_k$ เพื่อให้สอดคล้องกับค่า d_x และ b_k ในตาราง 2.2)

K	d_0	$\{\tilde{b}_k\}$	$\{\hat{b}_k\}$
*0	$[0110010]^t$	1	1
*1	$[1100101]^t$	1	1
*2	$[1001011]^t$	0	0
*3	$[0010110]^t$	1	1
*4	$[0101101]^t$	1	0
*5	$[0111011]^t$	1	1
*6	$[1110111]^t$	1	0
*7	$[1101111]^t$	0	0
*8	$[1011110]^t$	0	1
*9	$[0111100]^t$	1	1
*10	$[1111001]^t$	1	1
*11	$[1110011]^t$	0	0
*12	$[1100110]^t$	0	1
*13	$[1001100]^t$	1	0
*14	$[0011001]^t$	1	0
*15	$[0110011]$	1	0
*16	$[1100111]^t$	0	0
*17	$[1001110]^t$	-1	0
*18	$[0011101]^t$	0	1
*19	$[0111010]^t$	1	1
.	.	.	.
.	.	.	.
.	.	.	.

ตาราง 2.2 state vector $\hat{d}_k$ และ descrambled signal $\{\hat{b}_k\}$

<u>ทฤษฎี</u> สำหรับการถอดรหัส ซึ่งมี characteristic polynomial เป็น $\psi_{(x)} = \sum_{i=0}^{l.} \varphi_i x^i$, kth descrambled signal $\hat{b}_k$, k=L,L+1,….,แสดงได้โดย

$$\hat{b}_k = \sum_{i=0}^{L} \psi_i \tilde{b}_{k-1} \qquad (2.29)$$

ไม่คำนึงถึง *initial state vector* $\hat{d}_0$

<u>ตัวอย่างที่ 4</u> การถอดรหัส ในรูปที่ 2.10.2 ที่มี characteristic polymial เป็น $\psi_{(x)} = x^7 + x + 1$ เราสามารถบอกสถานะของ state vector $\hat{d}_k$ เมื่อ k= 7,8,..., เมื่อ k =7,8,...., ได้ดังตาราง 2.10.2 โดยใช้สมการ(2.28) และโดยสมการ(2.17) kth descrambled signal $\hat{b}_k$, k = 7,8,....,จะเป็น $\tilde{b}_k + \tilde{b}_{k-1} + \tilde{b}_{k-7}$ เมื่อ k=7 จะได้ $\hat{b}_7 = \tilde{b}_7 + \tilde{b}_6 + \tilde{b}_0$ ซึ่งจะได้ค่า 0 (เมื่อใช้ค่า $\tilde{b}_k$ ในสมการ (2.27) และลักษณะเดียวกันนำมาประยุกต์ใช้ที่ k=8,9,... เราก็จะได้ descrambled signal $\{\tilde{b}_k\}$ ดังสมการ (2.26)

2.5.6 Self - synchronization

ในการตรวจสอบว่าระบบ SSS. ซึ่งมีการซิงโครไนส์เซชั่นได้อย่างไร เราเปรียบเทียบทฤษฎี 2.10.1 และ 2.10.2 กับทฤษฎี 2.10.3 และ 2.10.4 ตามลำดับ เราสามารถหาข้อสรุปได้ด้วย 2 ทฤษฎี ตามคุณสมบัติของ self-synchronization คือ

<u>ทฤษฎี 5</u> คู่การเข้ารหัสและถอดรหัสที่มี characteristic polynomial เป็น $\psi_{(x)} = \sum_{i=0}^{L} \psi_i x^i$, kth state vector $\hat{d}_k$,k=L,L+1,....., ของภาคถอดรหัสจะเหมือนกันกับ kth state vector ของภาคเข้ารหัสโดยไม่คำนึงถึง initial state vector d_0 ของภาคเข้ารหัส และ initial state vector $\hat{d}_0$ ของภาคถอดรหัส

<u>ทฤษฎี 6</u> คู่การเข้ารหัสและถอดรหัสที่มี characteristic polynomial เป็น $\psi_{(x)} = \sum_{i=0}^{L} \psi_i x^i$,kth descrambler signal $\hat{b}_k$,k=L,L+1,... จะเหมือนกันกับ kth input signal b_k โดยไม่คำนึงถึง initial state vector ของภาคเข้ารหัสและ initial state vector $\hat{d}_0$ ของภาคถอดรหัส

ความหมายของทฤษฎีคือ ถ้าจำนวนของข้อมูล (scrambled data) ที่รับได้เท่ากับความยาวของตัวเข้ารหัสและตัวถอดรหัส (จำนวนชิฟรีจิสเตอร์) จะทำให้ descrambler state vector เกิดการซิงโครไนซ์ กับ scrambler state vector โดยอัตโนมัติ เป็นผลทำให้สัญญาณเอาท์พุทของภาคถอดรหัส ตรงกันกับสัญญาณอินพุทที่ภาคเข้ารหัสซึ่งการซิงโครไนส์เซชั่น นี้เกิดขึ้นโดยไม่ต้องมีกระบวนการพิเศษใด ๆ หรือเรียกว่าเกิดการซิงโครไนซ์ด้วยตัวเองในระบบ SSS.

2.5.7 Error-multiplication

พิจารณาคุณสมบัติ error-multiplication ของระบบ SSS. ซึ่งจะทำการตรวจสอบจำนวน error ที่เกิดขึ้นใน descrambled signal $\{\hat{b}_k\}$ เนื่องจาก bit error ในสัญญาณ scrambled signal $\{\hat{b}_k\}$ ซึ่งเกิดขึ้นระหว่างการส่ง เราจะอธิบายในเทอมของ weight of the characteristic polynomial $\psi_{(x)}$ ดังนี้

Definiton ค่า (weight of characteristic polynomial) ถ้า characteristic polynomial เป็น $\psi_{(x)} = \sum_{i=0}^{L} \psi_i x^i$ เรากำหนด weight $W[\psi(x)]$ คือจำนวนสัมประสิทธิ์ของ ψ_i ที่เป็น 1

ตัวอย่าง 2.10.5 ค่า characteristic polynomial $\psi_{(x)} = x^7 + x + 1$ ซึ่งสัมประสิทธิ์ 3 ตัวที่เป็น 1 ψ_0, ψ_1, ψ_7 ดังนั้น weight ของมัน $W\left[x^7 + x + 1\right]$ ก็จะเท่ากับ 3

ทฤษฎี 8 คู่การเข้ารหัสและถอดรหัส ที่มี characteristic polynomial $\psi_{(x)} = \sum_{i=0}^{L} \psi_i x^i$ ถ้า weight $W\left[\psi_{(x)}\right]$ เป็น ω เช่น ψ_{ij}=1 สำหรับ j=0,1,..., ω-1 จะ errorทั้งหมด

จากทฤษฎีแสดงว่า จำนวน error ใน descrambled signal เกิดขึ้นจากบิต error บิตเดียวในภาคเข้ารหัส จะเท่ากับ weight of the characteristic polynomial

ตัวอย่าง 6 คู่การเข้ารหัสและถอดรหัส ในรูป 2.28 และ 2.29 weight ของ characteristic polynomial $\psi_{(x)} = x^7 + x + 1$ คือ 3 ดังนั้น ในระบบ SSS. Error-multiplication factor ก็คือ 3 ถ้า $\tilde{b}_8$=0 ใน scrambled signal $\{\tilde{b}_k\}$ ในสมการ (2.26) ถ้าเกิด error จะกลายเป็น 1 ทำให้ $\hat{b}_8, \hat{b}_9$ ที่ด้านตัวถอดรหัส เป็น 0 และ $\hat{b}_{15}$ เป็น 1 ซึ่งสามารถตรวจสอบได้ด้วยสมการ (2.28)

2.6 การมอดูเลตสัญญาณดิจิตอล

การสื่อสารข้อมูลระหว่างคอมพิวเตอร์กับคอมพิวเตอร์ในระยะทางไกลๆ วิธีสะดวก คือส่งข้อมูลผ่านทางสายโทรศัพท์ แต่เนื่องจากคุณสมบัติของสายโทรศัพท์ ซึ่งเป็นทั้งตัวเหนี่ยวนำ (Inductor) และตัวเก็บประจุ (Capacitor) จะทำให้สัญญาณข้อมูลของคอมพิวเตอร์ (Digital Signal) เกิดผิดเพี้ยนไป จนทำให้ข้อมูลที่มาถึงคอมพิวเตอร์ตัวรับผิดพลาดไปมาก หรือไม่อาจแยกได้เป็นลอจิก 0 หรือ 1 วิธีแก้ปัญหาที่ดีที่สุดคือ เปลี่ยนสัญญาณข้อมูลไปเป็นสัญญาณอนาลอก (Analog Signal : ที่อยู่ในช่วงความถี่ 200-2400 Hz ซึ่งสายโทรศัพท์สามารถตอบสนองความถี่ได้ดี) เสียก่อนแล้วจึงส่งไปตามสายโทรศัพท์ เมื่อถึงด้านรับจะทำการเปลี่ยน สัญญาณอนาลอกกลับไปเป็นสัญญาณดิจิตอล (Digital Signal) ตามเดิม การเปลี่ยนสัญญาณดิจิตอลไปเป็นสัญญาณอนาลอก ทำได้โดยวิธีมอดูเลชั่น ส่วนการเปลี่ยนแปลงอนาลอกไปเป็นสัญญาณดิจิตอล ทำได้โดยวิธีดีมอดูเลชั่น

ในปัจจุบันการส่งสัญญาณข้อมูลดิจิตอลโดยผ่านช่องทางสื่อสารแบบอนาลอกที่เราคุ้นเคยกันดี แก่การส่งข้อมูลคอมพิวเตอร์ผ่านเครือข่ายโทรศัพท์สาธารณะ เครือข่ายโทรศัพท์ถูกถอดแบบมาเพื่อทำการสลับสวิตช์ และส่งสัญญาณอนาลอกซึ่งเป็นย่ายความถี่เสียง หรือประมาณ 300-3400 Hz อุปกรณ์อิเล็กทรอนิกส์ที่ทำหน้าที่แปลงสัญญาณข้อมูลดิจิตอลให้เป็นสัญญาณอนาลอกย่านความถี่เสียง เราเรียกว่าโมเด็ม (Modem หรือ MOulator-DEModulator)

ประเภทของการรับ-ส่งข้อมูลของโมเด็ม เราสามารถแบ่งการรับส่งข้อมูลออกได้ 3 ชนิด ดังนี้

1. แบบ ซิมเพล็กซ์ (Simplex) แบบนี้ตัวโมเด็มและคอมพิวเตอร์ ทางด้านหนึ่งจะทำหน้าที่ส่งข้อมูลเพียงอย่างเดียว ไม่สามารถรับข้อมูลได้ และในขณะเดียวกันโมเด็มและคอมพิวเตอร์อีกด้านหนึ่งก็จะทำหน้าที่รับข้อมูลได้เพียงอย่างเดียว ไม่สามารถส่งข้อมูลได้ นั้นคือเป็นการสื่อสารข้อมูลแบบทางเดียว

2. แบบฮาล์ฟดูเพล็กซ์ (Half Duplex) แบบนี้ตัวโมเด็มและคอมพิวเตอร์ สามารถรับส่งข้อมูลได้ทั้งสองด้าน และคนละเวลากัน นั้นคือเมื่อด้านหนึ่งทำหน้าที่รับ อีกด้านหนึ่งก็จะทำหน้าที่ส่ง ถ้าด้านหนึ่งเปลี่ยนมาทำหน้าที่ส่ง อีกด้านหนึ่งก็จะต้องเปลี่ยนมาทำหน้าที่รับด้วย
3. แบบฟูลบดูเพล็กซ์ (Full Duplex) แบบนี้คล้ายกับแบบฮาล์ฟดูเพล็กซ์แต่ต่างกันที่แบบฟูลบดูเพล็กซ์นี้ ตัวโมเด็มและคอมพิวเตอร์ทั้งสองด้าน สามารถรับส่งข้อมูลได้ทั้งสองด้านในเวลาเดียวกันทั้งสองด้าน

สำหรับเทคนิคการแปลงสัญญาณข้อมูลดิจิตอลให้เป็นสัญญาณอนาลอกนั้นมีอยู่ด้วยกัน 3 วิธี คือ

1. การมอดูเลชั่นเชิงเลขทางแอมปลิจูด (Amplitude Shift Keying หรือ ASK)
2. การมอดูเลชั่นเชิงความถี่ (Frequency Shift Keying หรือ FSK)
3. การมอดูเลชั่นเชิงเลขทางเฟส (Phase Shift Keying หรือ PSK)

2.6.1 การจัดสัญญาณเอฟเอสเค (FSK signalling)

สัญญาณเอฟเอสเคเป็นสัญญาณดิจิตอลที่ความถี่เปลี่ยนแปลงตามขนาดของเบสแบนด์พัลส์พีซีเอ็ม โดยทั่วไปเอฟเอสเคใช้ในการส่งข้อมูลที่อัตราความเร็วต่ำตามข้อกำหนดรายละเอียด CCITT V.21 และนิยมใช้เอฟเอสเคชนิด 2 ความถี่เท่านั้น เพราะเอฟเอสเคนอนโคฮีเรนต์ชนิด 2 ความถี่สามารถกำเนิดและรับได้ง่าย ทำให้มีราคาถูก

$$S_1(t) = A\cos(\omega_c + \omega_d)t, \quad \text{สำหรับสัญญาณมาร์ก}$$

และ $0 < t < T$ (2.30)

$$S_2(t) = A\cos(\omega_c + \omega_d)t, \quad \text{สำหรับสัญญาณสเปซ}$$

ในที่นี้ ω_d คือ ความถี่เบี่ยงเบน

จะเห็นได้ว่า สัญญาณมาร์กมีความถี่ $\omega_1 = \omega_c + \omega_d$ และสัญญาณสเปซมีความถี่ $\omega_1 = \omega_c - \omega_d$

สัญญาณเอฟเอสเค จึงเป็นสัญญาณดิจิตอลที่กำเนิดได้ง่ายโดยการสวิตช์ไปมาของเครื่องกำเนิดสัญญาณ ω_1 และเครื่องกำเนิดสัญญาณ ω_2 สัญญาณเอฟเอสเคดังกล่าวจะมีเฟสไม่ต่อเนื่อง ที่รอยต่อสวิตช์ แต่ถ้าค่อยเปลี่ยนเฟสของสัญญาณเอฟเอสเคตามขนาดของพัลส์พีซีเอ็ม เช่น เอฟเอสเคที่เกิดจากการเอฟเอ็มมอดูเลตพัลส์พีซีเอ็มเป็นต้น

2.6.2 โคฮีเรนต์เอฟเอสเค (Coherent FSK)

ถ้าเราโมดูเลตสัญญาณเอฟเอสเคด้วยเครื่องรับสหสัมพันธ์ สัญญาณตัวพาห์ท้องถิ่นที่ต้องการคือ

$$S_1(t) - S_2(t) = A\cos(\omega_c t + \omega_d t) - A\cos(\omega_c t - \omega_d t) \tag{2.31}$$

สัญญาณขาออก ณ เวลาชักตัวอย่าง t = kT คือ $S_{o1}(kT)$ และ $S_{o2}(kT)$

ในที่นี้

$$S_{o1}(kT) = \int_0^T S_1(t)\,[S_1(t) - S_2(t)]\,dt \tag{2.32}$$

$$S_{o2}(kT) = \int_0^T S_2(t)\,[S_1(t) - S_2(t)]\,dt$$

ถ้าพลังงานของสัญญาณ E_1 และ E_2 เท่ากัน $S_{o1}(kT) = S_{o2}(kT)$ ฉะนั้น จุดเริ่มเปลี่ยนของเครื่องรับจึงตั้งไว้ที่ค่าศูนย์ ความน่าจะเป็นของความผิดพลาด P_e สำหรับเครื่องรับอัดสหพันธ์จากสมการ

$$P_e = \frac{1}{2} erfc\ (\gamma_{\max} / 2) \tag{2.33}$$

ในที่นี้

$$\gamma^2_{\max} = \frac{2}{\eta} \int_0^T [S_1(t) - S_2(t)]^2\,dt$$

แทน $S_1(t)$ และ $S_2(t)$ จากสมการ (2.29) และอินทิเกรต จะได้

$$\gamma^2_{\max} = \frac{2A^2\gamma}{\eta}\left[1 - \frac{\sin 2\omega_d T}{2\omega_d T} + \frac{1}{2}\frac{\sin[2(\omega_c + \omega_d)T]}{2(\omega_c + \omega_d)T} - \frac{1}{2}\frac{\sin[2(\omega_c - \omega_d)T]}{2(\omega_c - \omega_d)T} - \frac{\sin 2\omega_c T}{2\omega_c T}\right] \tag{2.34}$$

สมมุติว่า $\omega_c T >> 1$, $\omega_c >> \omega_d$

ซึ่งเป็นจริงในทางปฏิบัติและ 3 พจน์หลังในสมการ (8.70) มีค่าน้อยจนไม่ต้องคำนึงถึงได้ เราจะได้

$$\gamma^2_{\max} = \frac{2A^2\gamma}{\eta}\left(1 - \frac{\sin 2\omega_d T}{2\omega_d T}\right) \tag{2.35}$$

ค่า $\gamma^2_{\max}$ จะมีค่ามากที่สุด ถ้าเลือกความถี่เบี่ยงเบน $2\omega_d T = 3\pi / 2$ ที่ค่า ω_2 ค่านี้ จะได้

$$\gamma^2_{\max} = (2.42)(A^2\gamma / \eta)$$

และ

$$P_e = \frac{1}{2} erfc\ \left(\sqrt{0.61\,\frac{A^2\gamma}{\eta}}\right) \tag{2.36}$$

ถ้าเรากำหนด $S_{av} = A^2 / 2$ และ $E_{av} = A^2\gamma / 2$ เราสามารถแสดง P_e ในรูปของ

$$P_e = \frac{1}{2} erfc\ (\sqrt{1.2\, S_{av}\gamma / \eta})$$

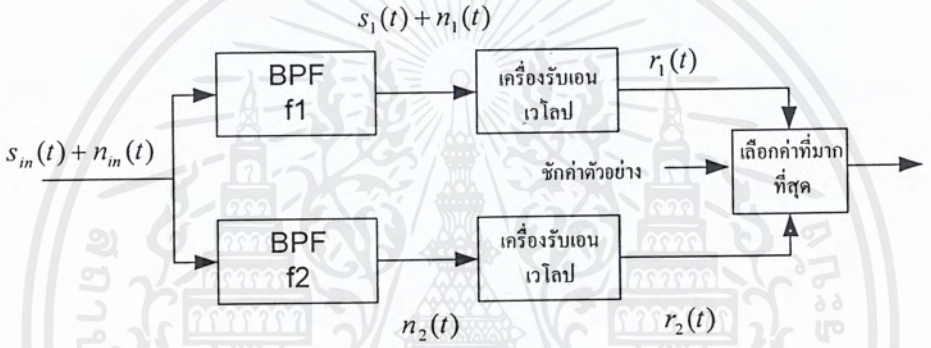
$$P_e = \frac{1}{2} erfc\ (\sqrt{1.2\, E_{av} / \eta}) \tag{2.37}$$

เปรียบเทียบความน่าจะเป็นของความผิดพลาดสำหรับโคฮีเรนต์เอฟเอสเคกับความน่าจะเป็นของความผิดพลาดของโคฮีเรนต์พีเอสเค จะเห็นได้ว่าโคฮีเรนต์เอฟเอสเค ต้องการกำลังมากกว่าโคฮีเรนต์พี

เอสเคเท่ากับ 2.2 dB ที่ค่าความน่าจะเป็นของความผิดพลาดเดียวกัน สัญญาณเอฟเอสเคใช้ความกว้างแถบกว้างกว่าสัญญาณพีเอสเค โคฮีเรนต์เอฟเอสเคจึงไม่มีข้อได้เปรียบกว่าโคฮีเรนต์พีเอสเค

2.6.3 นอนโคฮีเรนสต์เอฟเอสเค (Non-Coherent FSK)

ในการรับนอนโคฮีเรนต์เอฟเอสเค เราใช้เครื่องกรองความถี่ผ่านแถบ 2 ตัวที่มีความถี่ศูนย์กลางอยู่ที่ f_1 และ f_2 ตามด้วยเครื่องรับเอนเวลโลป ในแต่ละกิ่ง (branch) เอนเวโลปแต่ละกิ่งจะถูกชักตัวอย่างพัลส์ละ 1 ครั้ง แล้วนำมาเปรียบเทียบว่า เอนเวโลปของสัญญาณมาร์กบวกเสียงรบกวนหรือของสัญญาณสเปซบวกเสียงรบกวน จะมากกว่ากัน แล้วจะตัดสินสัญญาณขาออกเป็นสัญญาณที่มีค่ามากกกว่าดังรูป 8.96 นรอนโคฮีเรนต์เอฟเอสเคสามารถคิดเสมือนหนึ่งว่าเป็นสัญญาณเอเอสเค 2 ตัวที่มีความถี่ $f_c + f_d$ และ $f_c - f_d$ ซึ่งเราจะเปรียบเทียบวิสัยความสามารถของนอนโคฮีเรนต์เอฟเอเคกับนอนโคฮีเรนต์เอเอสเคต่อไป



รูปที่ 2.24 การดีโมดูเลตแบบนอนโคฮีเรนต์ของสัญญาณไบนารีเอฟเอสเค

สมมติสัญญาณที่ส่งเป็นสัญญาณมาร์ก $S_1(t) = A\cos(\omega_c + \omega_d)t$ ฟังก์ชั่นความหนาแน่นของความน่าจะเป็น (pdf) ของเอนเวโลป γ_1 คือ

$$p(\gamma_1) = \frac{\gamma_1}{N} I_o\left(\frac{A\gamma_1}{N}\right) \exp\left(-\frac{\gamma_1^2 + A^2}{2N}\right) \quad , \gamma_1 > 0 \tag{2.38}$$

ในที่นี้ $N = \eta B_T$ และ B_T คือความกว้างแถบของเครื่องกรองความถี่

ในขณะเดียวกันเครื่องกรองความถี่ผ่านแถบที่กิ่งข้างล่างจะมีเฉพาะเสียงรบกวนเกาส์เซียนที่ผ่านเท่านั้น เอนเวโลปของเสียงรบกวนจะมี pdf เป็นเรย์เล ดังนี้

$$p(\gamma_2) = \frac{\gamma_2}{N} \exp\left(-\frac{\gamma_2^2}{2N}\right) , \gamma_2 > 0 \tag{2.39}$$

ความผิดพลาดจะเกิดขึ้นเมื่อ $\gamma_2 > \gamma_1$ และความน่าจะเป็นของความผิดพลาดหาได้ดังนี้

$$P_e = P(\gamma_2 > \gamma_1) = \int_{\gamma_1=0}^{\infty} p(\gamma_1)\left[\int_{\gamma_2=\gamma_1}^{\infty} p(\gamma_2)d\gamma_2\right]d\gamma_1 \tag{2.40}$$

อินทิกรัลในวงเล็บจะได้ $\exp(-\gamma_1^2 / 2N)$ ดังนี้

$$P_e = \int_0^{\infty} \frac{\gamma_1}{N} I_O\left(\frac{A\gamma_1}{N}\right) e^{-\gamma_1^2/N} e^{-A^2/2N} d\gamma_1 \tag{2.41}$$

จากสูตรฟังก์ชั่นคิว (Q-function)

$$Q(\alpha,0) = \int_0^{\infty} tI_O(\alpha t) e^{-(\alpha^2+t^2)/2} dt \quad = 1 \tag{2.42}$$

และ

$$Q(0,\beta) = \int_{\beta}^{\infty} t\, e^{-t^2/2} dt \quad = e^{-\beta^2/2} \tag{2.43}$$

และสมมุติสัญญาณมาร์กและสัญญาณสเปซมีโอกาสเกิดเท่าๆกัน ความน่าจะเป็นของความผิดพลาดโดยเฉลี่ยสำหรับสัญญาณนอนโคฮีเรนต์เอฟเอสเคจะได้

$$P_e = \frac{1}{2}\exp\left(-\frac{A^2}{4N}\right) \tag{2.44}$$

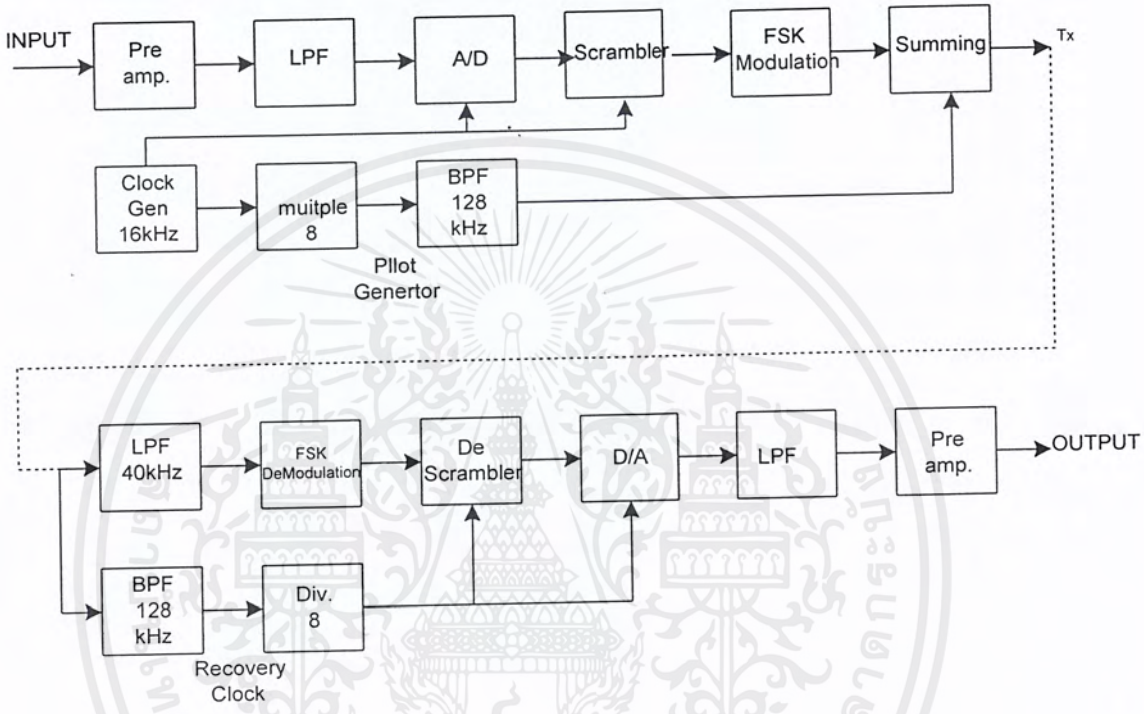
จะเห็นได้ว่านอนโคฮีเรนต์เอฟเอสเคได้ความน่าจะเป็นของความผิดพลาดในรูปฟังก์ชั่นเอ็กซีโพเนนเชียล เหมือนกับความน่าจะเป็นของความผิดพลาดของเอเอสเคที่จุดเริ่มเปลี่ยนออปติมัม ดังสมการ (8.65) แต่นอนโคฮีเรนต์เอฟเอสเคใช้อัตราส่วนของกำลังของสัญญาณต่อกำลังของเสียงรบกวนเพียงครึ่งหนึ่งของนอนโคฮีเรนต์เอเอสเคเท่านั้น ในกรณีที่อัตราความเร็วในการส่งพัลส์ของสองระบบเท่ากัน และความกว้างแถบของเครื่องกรองทั้งสองระบบเท่ากัน ซึ่งหมายความว่า กำลังของเสียงรบกวนของทั้งสองระบบเท่ากัน อัตราส่วนของกำลังของสัญญาณต่อกำลังของเสียงรบกวนในระบบเอเอฟเคมีค่าเฉพาะในกรณีที่ส่งสัญญาณมาร์กเท่านั้น ในการส่งสัญญาณสเปซจะมีกำลังของสัญญาณที่ส่งเท่ากับศูนย์ กำลังเฉลี่ยของเอเอสเคจึงมีค่าเพียงครึ่งหนึ่งของค่าที่ใช้ในคำนิยามอัตราส่วนของกำลังของสัญญาณต่อกำลังของเสียงรบกวน ฉะนั้นที่ความน่าจะเป็นของความผิดพลาดต่ำทั้งนอนโคฮีเรนต์เอฟเอสเคและนอนโคฮีเรนต์เอเอสเคจะได้ค่าความน่าจะเป็นของความผิดพลาดเท่ากันที่ค่าเฉลี่ยของอัตราส่วนของกำลังของสัญญาณต่อกำลังของเสียงรบกวนเท่ากัน นอกจากนั้นเนื่องจากเอฟเอสเคต้องใช้ความถี่ 2 โทน เอฟเอสเคจึงถูกกำหนดให้ใช้ความกว้างแถบกว้างขึ้นอย่างน้อย 2 เท่า อย่างไรก็ตามเพื่อบรรลุถึงวิสัยความสามารถนี้ เอเอสเคก็มีข้อเสียที่สำคัญคือจำเป็นต้องออปติไมซ์จุดเริ่มเปลี่ยน ในการรับที่ค่าของอัตราส่วนของกำลังของสัญญาณ

ต่อกำลังของเสียงรบกวนค่าหนึ่งๆ ส่วนเอฟเอสเคใช้การเปรียบเทียบความแตกต่างระหว่าง γ_2 และ γ_1 (γ_2-γ_1) เทียบกับจุดเริ่มเปลี่ยนที่เป็นศูนย์ ทำให้จุดเริ่มเปลี่ยน ของเอฟเอสเคเป็นอิสระไม่ขึ้นต่ออัตราส่วนของกำลังของสัญญาณต่อกำลังของเสียงรบกวน จึงเป็นจุดเริ่มเปลี่ยนที่เหมาะสมเสมอ โดยเฉพาะในกรณีที่เกิดเฟดดิง (fading) เอฟเอสเคจะเหมาะสมมากกว่า เพราะไม่มีจุดเริ่มเปลี่ยนจึงต้องปรับจุดเริ่มเปลี่ยนเนื่องจากผลกระทบของเฟดดิงที่มีต่อระดับสัญญาณ

บทที่3
การคำนวณและการสร้าง

3.1โครงสร้างของวงจร

โครงสร้างของวงจรแสดงได้ดังบล็อคไดอะแกรม ดังรูปที่ 3.1



รูปที่ 3.1 บล็อคไดอะแกรมของระบบป้องกันการลอบดักฟังสัญญาณเสียง

3.2 หลักการทำงานของวงจร

หลักการทำงานแสดงดังรูปที่ 3.1 ซึ่งเป็นบล็อคไดอะแกรมของวงจรใช้งานจริง โดยการทำงานจะเริ่มตั้งแต่สัญญาณเสียงพูดจากไมโครโฟนจะถูกป้อนผ่านภาคขยายสัญญาณวงจรปรีแอมป์ เพื่อขยายให้มีกำลังแรงขึ้นแล้วส่งไปยังวงจรกรองความถี่ต่ำผ่าน เพื่อกรองเอาเฉพาะความถี่ที่ไม่เกินย่านความถี่เสียงคือ 0-4 กิโลเฮิร์ทให้ผ่านไปได้ และจะส่งไปยังวงจรแปลงสัญญาณ อนาลอกเป็นสัญญาณดิจิตอล (A/D Converter) ซึ่งจะใช้ไอซีเบอร์ MC 3418 เป็นตัวสร้างสัญญาณที่เป็นดิจิตอล สัญญาณที่แปลงเป็นดิจิตอลแล้วจะถูกสแครมเบิล โดยวงจรสแครมเบิล เพื่อเปลี่ยนสัญญาณให้มีลำดับที่เปลี่ยนไป เป็นการสแครมเบิลสัญญาณ โดยการรวมลำดับแบบกึ่งสุ่มเข้ากับขบวนบิทของข้อมูลแต่การที่จะส่งสัญญาณดิจิตอลให้ไปได้ไกลนั้น จะต้องทำการมอดดูเลตสัญญาณให้เป็นอนาลอกเสียก่อน จึงสามารถส่งไปไกลๆได้ และวิธีการที่จะเข้ารหัสจากดิจิตอลให้เป็นอนาลอกนั้น มีหลายวิธีที่ทำได้ ในโครงงานนี้จะเลือกวิธีการของFrequency Shift Keyingซึ่งข้อดีของการเข้ารหัส จะทำให้มีแบนด์วิดน้อยลง และจะมี

ภูมิคุ้มกันต่อสัญญาณรบกวน ดังนั้นสัญญาณดิจิตอลจะถูกส่งต่อไปยังวงจร Frequency Shift Keying หรือ FSK ต่อไป ทางด้านภาครับ ก็จะรับสัญญาณเข้ามาแล้วทำการ ดีมอดดูเลตให้กลับไปที่สแตรมเบิลมา แล้วกลับไปเป็นสัญญาณดิจิตอลเดิม แล้วก็จะเปลี่ยนกลับไปเป็นสัญญาณอนาลอกโดยวงจรแปลงสัญญาณดิจิตอลเป็นสัญญาณอนาลอก (D/A Converter) แต่สัญญาณนี้อาจมีความถี่มากกว่าความถี่ในช่วงสัญญาณเสียง จึงจะต้องผ่านวงจรกรองความถี่ต่ำผ่านให้อยู่ในช่วง 0-4 กิโลเฮิร์ท หลังจากนั้นจะถูกส่งเข้าวงจรขยายเสียง ก็จะทำให้สัญญาณเสียงเดิมกลับคืนมาเหมือนกับสัญญาณอินพุทที่ทางภาคส่งส่งมา

3.3 วงจรกรองสัญญาณ

โดยทั่วไปในระบบการเข้ารหัส ไม่ว่าจะเป็น PCM หรือ DM เฉพาะส่วนแปลงจากอนาลอกเป็นดิจิตอล ต้องมีวงจรกรองความถี่ หรือ ฟิลเตอร์ ในการจำกัดความถี่เข้ามามากที่สุด ให้น้อยกว่าครึ่งหนึ่งของอัตราการสุ่ม ดังนั้นวงจรกรองความถี่ที่ใช้กับสัญญาณในย่านความถี่เสียง จะต้องใช้วงจรกรองความถี่ต่ำส่วนในการออกแบบนั่นได้ใช้รูปกราฟในการหาค่าต่าง ๆ ซึ่งอยู่ในภาคผนวกตัววงจรกรองความถี่ทางด้านส่งและด้านใช้อุปกรณ์พวกไอซีและต้องนำมาต่อร่วมกับตัวต้านทานและตัวเก็บประจุวงจรกรองความถี่ทางด้านส่งและด้านรับ ในโครงงานนี้จะใช้วงจรความถี่ต่ำผ่านที่เหมือนกัน ก็คือจะอยู่ในช่วงของความถี่ในย่านความถี่เสียงคือประมาณ 0-4 kHz. ในการออกแบบได้เลือกใช้วงจรกรองความถี่ต่ำอันดับที่สอง แบบบัตเตอร์เวิร์ธเนื่องจากวงจรกรองความถี่แบบบัตเตอร์เวิร์ธ มีข้อดีคือสามารถให้ตอบสนองเชิงขนาดของสัญญาณได้เท่าเทียมกันตลอดย่านความถี่ที่ต้องการ ส่วนวงจรกรองความถี่อีกแบบคือ เชฟบีเชฟที่ไม่ได้ใช้เพราะมีข้อเสียคือมีการกระเพื่อมเกิดขึ้นในช่วงความถี่ที่ยอมให้ผ่าน แต่ข้อดีของมันคือการส่งผ่านของแถบความถี่มีความชันมาก ทรานเฟอร์ฟังก์ชั่นของวงจรกรองความถี่ต่ำผ่านอันดับสองแบบบัตเตอร์เวิร์ธซึ่งมีสมการดังนี้

$$H(s)=\frac{V_2(S)}{V_1(s)}=\frac{K}{S^2+as+b}$$

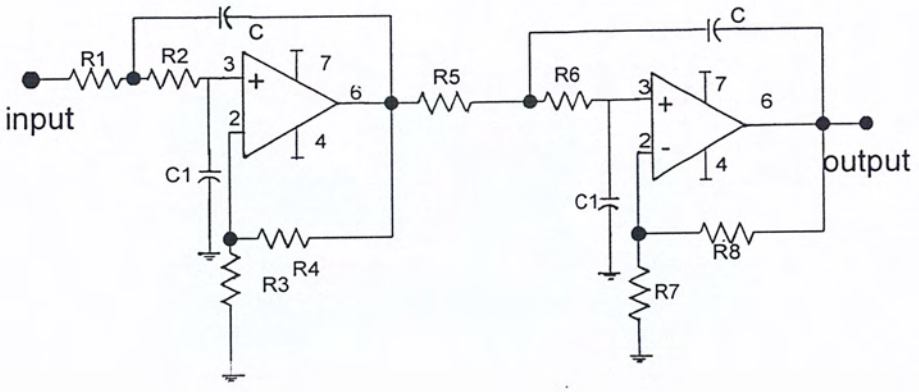
โดยที่ a,b เป็นค่าคงที่ในการออกแบบ

K เป็นค่าคงที่

ในกรณีของสมการการทรานเฟอร์ฟังก์ชั่นที่มีอันดับสูงกว่านี้ก็สามารถหาได้โดยสมการโพลิโนเมียลอันดับสองเช่นกัน เพียงแต่ตัวหารเป็นนิพจน์ที่มีกำลังสูงสุดตามลำดับนั้น ๆ และสามารถหาอัตราการขยายวงจรกรองความถี่อันดับที่สี่ เนื่องจากว่าอันดับที่สูง ๆ จะให้ประสิทธิภาพในการกรองความถี่ที่ดียิ่งขึ้น

3.3.1 การออกแบบวงจรกรองความถี่ต่ำผ่าน

ทางภาครับจะต้องใช้วงจรกรองความถี่ต่ำผ่านนี้ในการกรองเอาสัญญาณ FSK เพื่อนำไปดีมอดดูเลทสัญญาณข้อมูลออกมา และอีกส่วนที่ต้องใช้วงจรกรองความถี่ต่ำผ่านนี้คือ ใช้ในการกรองสัญญาณเสียงที่ออกจากวงจรแปลงสัญญาณดิจิตอลเป็นอนาลอก



รูปที่ 3.2 วงจรกรองความถี่ต่ำผ่านอันดับสี่แบบบัตเตอร์เวิร์ธ

- การออกแบบวงจรความถี่ต่ำผ่านอันดับที่สี่แบบบัตเตอร์เวิร์ธ ความถี่คัทออฟที่ 3.5 kHz. (ใช้กรองความถี่เสียง) ดูกราฟในภาคผนวก เลือกค่า C=6800 pF ได้ค่า K=5 จากค่า K ที่ได้หาค่า R จากตารางได้ดังนี้

C,C1 = 6800 pF

R1 = 10 kΩ

Rs = 6.8 kΩ

R3,R4 = 33 kΩ

R5 = 4.7 kΩ

R6 = 15 kΩ

R7,R8 = 39 kΩ

- การออกแบบวงจรกรองความถี่ต่ำผ่านอันดับที่สี่แบบบัตเตอร์เวิร์ธ ความถี่คัทออฟที่ 40 kHz. (ใช้กรองสัญญาณ FSK) ดูกราฟในภาคผนวก เลือกค่า C=150 pF ได้ค่า K = 17 จากค่า K ที่ได้หาค่า R จากตารางได้ดังนี้

C,C1 = 150 pF

R1 = 35 kΩ

R2 = 13 kΩ

R3,R4 = 110 kΩ

R5 = 15 kΩ

R6 = 50 kΩ

R7,R8 = 130 kΩ

จากนั้นนำค่าอุปกรณ์ต่าง ๆ ต่อวงจรตามรูปที่ 3.1 ส่วนไอซีที่ใช้นั้นจะต้องมีเสถียรภาพในการทำงานที่ดี จะต้องทำการชดเชยความถี่ให้กับตัวไอซี นอกจากนั้นแล้วต้องมีคุณสมบัติทางด้านอัตราขยาย

และตอบสนองเชิงความถี่ ครอบคลุมย่านความถี่ที่ต้องการทั้งหมด ดังนั้นในโครงงานนี้ได้เลือกใช้ไอซีเบอร์ LF 351 นอกจากนั้นชนิดของตัวเก็บประจุก็ต้องเลือกใช้ชนิดที่มีความเที่ยงตรงสูง ซึ่งได้ใช้แบบไมล่าร์ก็มีความเที่ยงตรงสูง

3.3.2 วงจรกรองความถี่แถบผ่าน

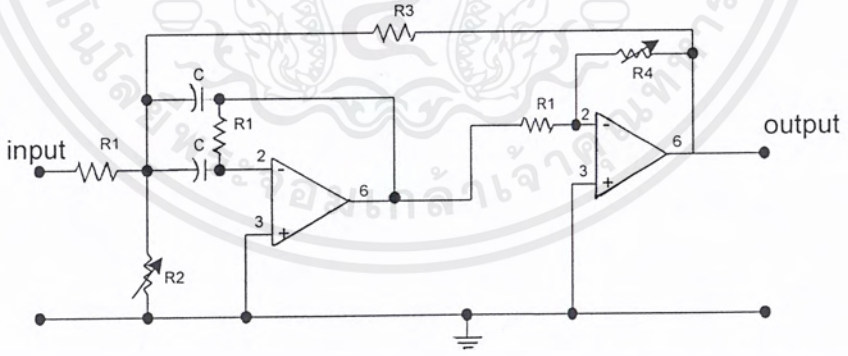
วงจรกรองช่วงความถี่ แบ่งออกเป็น 2 อย่าง คือ narrow band filter และ wide band filter โดยวงจร narrow band filter จะมีค่าแบนด์วิดมากกว่า 0.1 เท่า ของความถี่รีโซแนนซ์ ($B < 0.1\ W$) และวงจร wide band filter จะมีค่าแบนด์วิดน้อยกว่า 0.1 เท่า ของความถี่รีโซแนนซ์ อัตราส่วนระหว่างความถี่รีโซแนนซ์กับแบนด์วิดเราเรียกว่า quality factor : Q

$$B = \frac{Wr}{Q}$$

$$Q = \frac{Wr}{B}$$

หรือนั่นคือค่า Q ของวงจร narrow band filter จะมีค่ามากกว่า 10 และค่า Q ของวงจร wide band filter จะมีค่าน้อยกว่า 10

สำหรับวงจรกรองความถี่ย่านผ่านเราใช้วงจร Second-Order Positive-Feedback Band-Pass Filter แสดงดังรูป 3.2



รูป 3.3 วงจร Second - Order Positive-Feedback Band-Pass Filter

ออกแบบเราจะกำหนดความถี่ที่ต้องการ กำหนดค่า Q หรือ BW และอัตราขยายที่ต้องการขั้นตอนในการออกแบบมีดังนี้

1) เลือกคาปาซิเตอร์ และหาค่า K parameter จากกราฟในภาคผนวก
2) ใช้ค่า K ที่หาได้จากข้อ 1) มาหาค่าความต้านทานจากกราฟเช่นกัน ซึ่งค่าต้านทานนี้จะขึ้นอยู่กับค่า Q, BW และอัตราขยายที่เรากำหนด

3) เลือกค่าความต้านทานให้ตรงตามกราฟที่ได้และทำการสร้างวงจรจากการออกแบบ

- ที่ความถี่ 128 kHz(.ใช้กรองสัญญาณไพลอท) กำหนดค่า Q=30, g=10 เลือกค่า C=30 pF ดังนั้น จะได้ค่า K=25 จะได้ค่า $R = 220\ k\Omega$, $R = 280\ k\Omega$,$R = 280\ k\Omega$, $R = 400\ k\Omega$

3.4 การออกแบบวงจรแปลงสัญญาณอนาลอกเป็นดิจิตอลและดิจิตอลเป็นอนาลอก

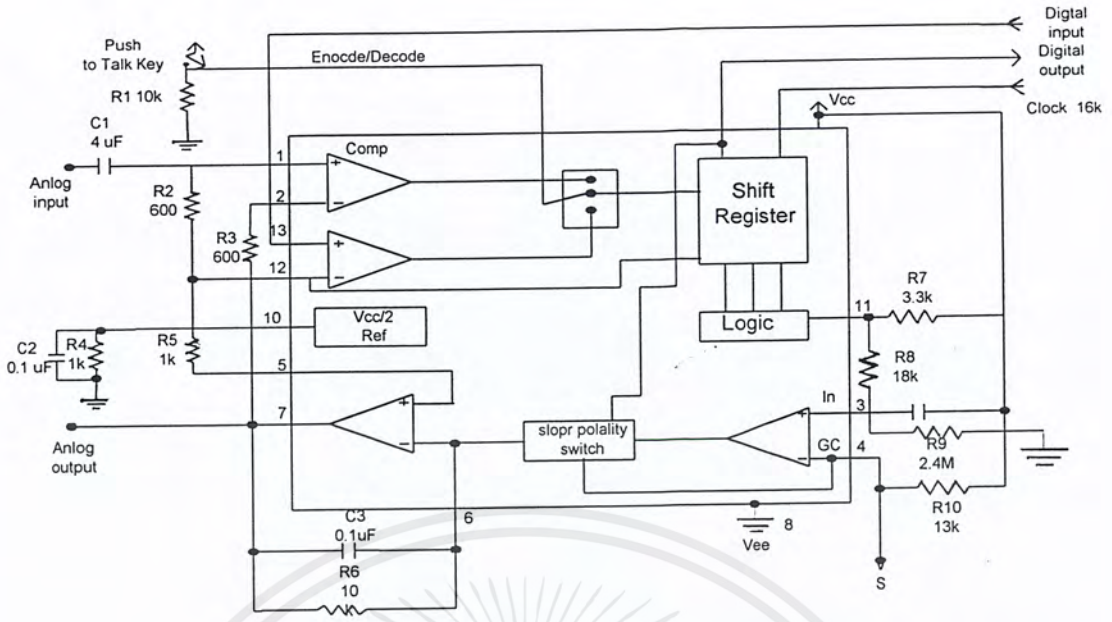
ในโครงการนี้ใช้ไอซี MC3418 ซึ่งเป็นส่วนสำคัญของโครงงานมีชื่อเรียกเต็ม ๆ ว่า Continuously Variable Slope Delta Modulator/ demodulator เป็นไอซีที่ทำหน้าที่แปลงสัญญาณอนาลอกเป็นดิจิตอล และแปลงจากข้อมูลดิจิตอลให้เป็นข้อมูลอนาลอกเหมือนเดิม แต่ไอซี MC3418จะใช้งานเป็นแบบ Simplex ดังนั้นถ้าจะใช้แบบ Full duplex จึงต้องใช้สองตัว ในปัจจุบันวิธีเดลต้ามอดดูเลชั่น นำมาประยุกต์ใช้กับการสื่อสารหลายรูปแบบ เช่น การสื่อสารโดยใช้ดาวเทียม โทรทัศน์เป็นต้น ปกติแล้วอัตราเร็วของข้อมูลที่ได้จากวิธีเดลต้ามอดดูเลชั่นมีค่าเท่ากับความถี่ของสัญญาณนาฬิกา หรือจะเรียกได้ว่าทำการเข้ารหัสข้อมูล 1 บิท ต่อสัญญาณนาฬิกา 1 ลูก และเหตุผลที่เลือกใช้ไอซี MC3418 เป็นตัวแปลงสัญญาณอนาลอกเป็นดิจิตอลซึ่งจริง ๆ แล้วจะมีวงจรมากมายที่สามารถแปลงจากอนาลอกเป็นดิจิตอลหรือจากดิจิตอลเป็นอนาลอก เนื่องจากว่ามีข้อดีคือโครงสร้างของวงจรมีความซับซ้อนน้อยไม่จำเป็นต้องมีการซิงโครไนซ์กันระหว่างข้อมูลของเครื่องรับและเครื่องส่ง

การออกแบบวงจรเดลต้ามอดดูเลเตอร์

มีลักษณะวงจรพื้นฐานดังในรูปที่ 3.8 ซึ่งวงจรนี้สามารถเลือกการทำงานให้เป็นได้ทั้งการมอดดูเลชั่นและดีมอดดูเลชั่นโดยการต่อขา encode/decode เข้ากับไฟเลี้ยงหรือกราวด์ตามลำดับ ในการออกแบบเราจะใช้วงจรในรูปที่ 3.8 เป็นหลัก ซึ่งมีขั้นตอนต่าง ๆ ดังนี้

- กำหนดความถี่สัญญาณนาฬิกา
- เลือกจำนวนบิทของชิฟรีจิสเตอร์
- เลือกอัตราขยายลูป(loop gain)
- กำหนดขนาดของสเต็ปที่เล็กที่สุด
- ออกแบบทรานเฟอร์ฟังก์ชั่นของซิลาบิคฟิลเตอร์ (syllabic filter)
- ออกแบบวงจรกรองความถี่ต่ำ

ในโครงงานนี้เราต้องการความเร็วในการรับส่งข้อมูล 16 kbps. เพื่อให้สามารถรับส่งกันได้ เราจึงเลือกใช้ความถี่ในการแซมปลิ้ง 16 kHz. ซึ่งจะได้รับอัตราข้อมูลประมาณ 16 KBPS. ส่วนจำนวนบิทของชิฟรีจิสเตอร์ควรจะเป็น 3 บิท จึงจะเหมาะสม นั่นก็คือเราจะใช้ไอซีเบอร์ MC 3418



รูปที่ 3.4 วงจรเข้ารหัสสัญญาณเสียงสัญญาณนาฬิกาและจำนวนบิทของชิฟรีจิสเตอร์

เลือกอัตราขยายลูป (loop gain)

อัตราการขยายของวงจรป้อนกลับถูกกำหนดด้วยค่าของ Rx ซึ่ง Rx นี้เราจะต้องเลือกค่าที่เหมาะสมเพื่อควบคุมขนาดสเต็ปของวงจรอินทิเกรเตอร์ให้มีค่าที่พอเหมาะ สำหรับกรณีที่สัญญาณอินพุทมีขนาดใหญ่เกินไป และอัตราส่วนการขยาย (companding ratio) ต้องไม่เกิน 25% อัตราส่วนการขยายจะทำงานในช่วงที่ขา Coin ค่าเป็น “0” ดังนั้นอัตราการขยายของระบบจึงขึ้นอยู่กับ

1. ระดับสูงสุดและความถี่สูงสุดของสัญญาณอินพุท
2. ทรานเฟอร์ฟังก์ชั่นของอินทิเกรเตอร์ฟิลเตอร์

ขนาดของสเต็ปที่เล็กที่สุด

เมื่อไม่มีสัญญาณอินพุท สัญญาณดิจิตอลเอาท์พุทจะมีลักษณะเป็นพัลซ์บวกลบสลับกันและสัญญาณอนาลอกเอาท์พุทก็จะกลายเป็นสัญญาณรูปคลื่นสามเหลี่ยมเล็ก ๆ ความไม่พอดีกันระหว่างกระแสภายในและค่าของขนาดของสเต็ปที่เล็กที่สุดที่จำกัดเอาไว้ จะเป็นตัวสร้าง ไอเดิลแชนแนลแพทเทิลที่สมบูรณ์ซึ่งก็ได้มีการทดสอบ MC3418 แล้วว่าเมื่อขนาดสเต็ปที่เล็กที่สุดมีค่า 20mVp-p ที่ความถี่ 16 kHz. มันจะสร้างไอเดิลแชนแนลจะต้องมีค่าเป็น 2 เท่าของ Loop offset ทั้งหมด ถ้าหากเราต้องการไอเดิลเชนแนลแพทเทิร์นที่มีหนึ่งกับศูนย์สลับกัน

การตั้งค่าขนาดของไอเดิลแชนแนลสเต็ป ขึ้นอยู่กับการเลือกค่าของ Rmin เมื่อไม่มีสัญญานอินพุทส่วนควบคุมอัตราการขยายจะไม่ทำงาน พัลซ์บวดลบที่ติดกันยาว ๆ จะไม่เกิดขึ้น ดังนั้นแรงดันตกคร่อมตัวเก็บประจุ Syllabic Filter จะค่อย ๆ หมดไปจนกลายเป็นศูนย์แต่อย่างไรก็ตามยังมีแรงดันที่ได้จากการแบ่งกันระหว่าง Rs และ Rmin ค่าน้อย ๆ ตกคร่อมตัวเก็บประจุ ซึ่งค่าแรงดันนี้จะเป็นตัวกำเนิดสัญญาณลาดเอียง (Ramp) ขึ้นที่อนาลอกเอาท์พุทตามต้องการ จากสมการของกระแสอินพุทของฟิลเตอร์

การออกแบบอินทิเกรเตอร์ฟิลเตอร์

จากวงจรในรูปที่ 3.4 ใช้อินทิเกรเตอร์ฟิลเตอร์แบบโพลเดียวซึ่งมีค่า R=10kΩ และ Cs=0.33 uF ซึ่งมีค่าเวลาคงที่ (Time Constant) เท่ากับ 6 ms สำหรับสร้างค่าเฉลี่ยของสัญญาณจากขา Coincidence ทำให้มีแรงดันตกคร่อมตัวเก็บประจุ ที่จะนำไปใช้ในการควบคุมอัตราการขยายของอินทิเกรเตอร์หรือควบคุมขนาดของสเต็ป

การออกแบบ Syllabic Filter

ส่วน Syllablic Filter ในวงจรรูปที่ 3. ใช้แบบโพลเดียวซึ่งมีค่า Rs = 18 kΩ และ Cs =0.33 uF ซึ่งมีค่าเวลาคงที่ (Time Constant) เท่ากับ 6 ms สำหรับสร้างค่าเฉลี่ยของสัญญาณจากขา Coincidence ทำให้มีแรงดันตกคร่อมตัวเก็บประจุ ที่นำไปใช้ในการควบคุมอัตราการขยายของอินทิเกรเตอร์หรือควบคุมขนาดของสเต็ป

วงจรเดลต้ามอดดูเลเตอร์และเดลต้าดีมอดดูเลเตอร์

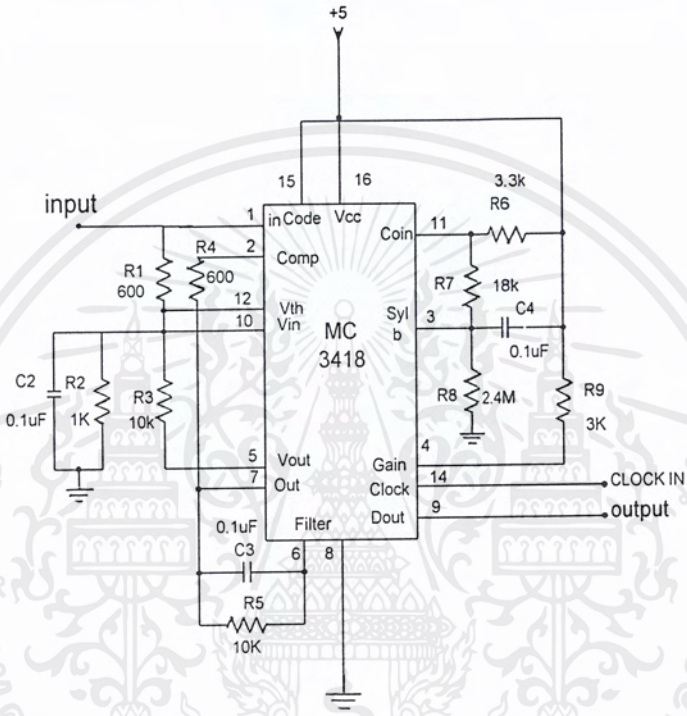
วงจรในรูปที่ 3.5 เป็นวงจรเดลต้ามอดดูเลเตอร์ และในรูปที่ 3.6 เป็นวงจรเดลต้าดีมอดดูเลเตอร์ ซึ่ง ลักษณะวงจรจะเหมือนกันเพียงแต่การต่อขาอินพุทและเอาท์พุทจะต่างกัน

การทำงานของวงจรเดลต้ามอดดูเลเตอร์ เริ่มต้นด้วยการป้อนสัญญาณอนาลอกให้กับขาอนาลอกอินพุทซึ่งต่อกับแรงดันอ้างอิงทำให้แรงดันขาอินพุทนี้ถูกยกขึ้นเท่ากับแรงดันอ้างอิง ขาอินพุทนี้จะเป็นค่าหนึ่งของตัวเปรียบเทียบภายใน ซึ่งจะเปรียบเทียบกับสัญญาณอีกขาหนึ่ง ที่ป้อนกลับผ่านวงจรอินทิเกรเตอร์จากตัวเปรียบเทียบ จะเป็นเอาท์พุทของวงจรมอดดูเลเตอร์ และสัญญาณเอาท์พุทนี้จะนำไปเก็บไว้ในรีจิสเตอร์ภายใน เพื่อใช้ควบคุมอัตราการขยายของวงจรป้อนกลับถ้าหากว่าสัญญาณเอาท์พุทเป็น “0” หรือ “1” ติดต่อกัน 3 บิทขึ้นไป แสดงว่าอัตราการขยายมีค่าน้อยเกินไป ดังนั้นเอาท์พุท “0”ที่ขา Coin ทำให้ แรงดันตกคร่อมตัวเก็บประจุมีค่าเพิ่มขึ้น อัตราการขยายของวงจรอินทิเกรเตอร์จึงเพิ่มขึ้นด้วย ถ้าหากค่าภายในรีจิสเตอร์ไม่ได้เป็น “0” หรือ “1” หมดขา Coin นี้จะเป็น “1” ซึ่งจะทำให้แรงดันตกคร่อมตัวเก็บประจุลดลงเป็น “0” อัตราการขยายจึงลดลง

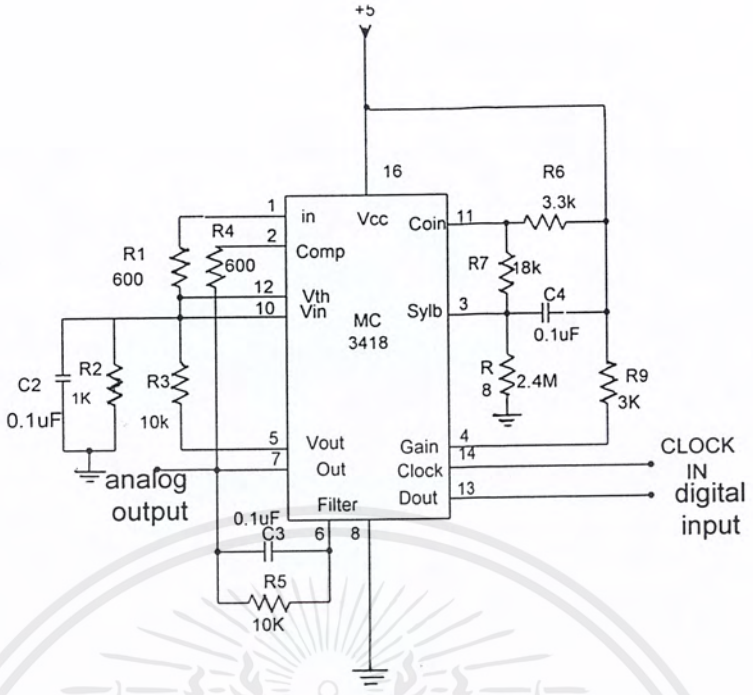
สัญญาณอินทิเกรเตอร์ที่นำไปเปรียบเทียบกับสัญญาณอนาลอกอินพุทนั้น มีลักษณะเป็นสัญญาณลาดเอียง (Ramp) ซึ่งค่าความชันเป็นบวกหรือลบขึ้นอยู่กับเอาท์พุทของตัวเปรียบเทียบ ถ้าเอาท์พุทของตัวเปรียบเทียบเป็น “1” ความชันจะเป็นบวก ถ้าเป็น “0” ความชันจะเป็นลบ

ส่วนการทำงานของวงจรเดลต้ามอดดูเลเตอร์จะคล้ายกับวงจรเดลต้ามอดดูเลเตอร์ นอกจากเอาท์พุทของตัวเปรียบเทียบจะได้จากการเปรียบเทียบสัญญาณดิจิตอลอินพุทกับแรงดันอ้างอิง และสัญญาณเอาท์พุทอนาลอกจะได้จากเอาท์พุทของวงจรอินทิเกรเตอร์ ถ้าให้สัญญาณดิจิตอลอินพุทเป็น “1” เอาท์พุทของตัวเปรียบเทียบจะเป็น “1” ทำให้เอาท์พุทของวงจรอินทิเกรเตอร์ มีค่าเพิ่มขึ้น ถ้าหากสัญญาณดิจิตอลอินพุทเป็น “0” เอาท์พุทของวงจรอินทิเกรเตอร์ มีค่าลดลงส่วนในกรณีที่สัญญาณดิจิตอลอินพุทเป็น “1” หรือ “0” ติดต่อกันเท่ากับหรือมากกว่า 3 บิท อัตราการขยายจะมีค่าเพิ่มขึ้น ดังนั้นจะเห็นได้ว่าสัญญาณเอาท์พุทของเดลต้ามอดดูเลเตอร์ จะมีลักษณะคล้ายกับสัญญาณอนาลอกอินพุทที่ป้อนให้กับวงจรเดลต้ามอดดูเลเตอร์ ถ้าหากนำมาผ่านวงจรกรองความถี่ต่ำ

นอกจากนั้นไอซีเบอร์ MC 3418 จะมีอัตราเร็วข้อมูลมีค่าเท่ากับความถี่ของสัญญาณนาฬิกาทำให้ข้อมูลมีประสิทธิภาพ ทั้งยังมีอัตราเร็วข้อมูลต่ำเพื่อให้สามารถส่งผ่านสายโทรศัพท์ซึ่งมีความกว้างของความถี่ไม่เกิน 4 kHz. ได้ ไอซีเบอร์นี้ใช้สัญญาณนาฬิกา 16 kHz. ดังนั้นข้อมูลดิจิตอลที่ได้จะมี บิทเรท 16 kbps. แต่อย่างไรก็ตาม ไอซีเบอร์ MC 3418 ยังมีข้อเสียอยู่ที่ว่าจะสื่อสารแบบ Simplex ทั้ง ๆ ที่ตัวมันเองมีโครงสร้างภายในเป็นโคเดค (codec) ดังนั้นในการใช้งานเราต้องเลือกว่าจะใช้เป็น A/D หรือ D/A อย่างใดอย่างหนึ่งเท่านั้น โดยสามารถควบคุมได้ที่ขา 15



รูปที่ 3.5 วงจรเดลต้ามอดดูเลเตอร์



รูปที่ 3.6 วงจรเดลต้าดีมอดดูเลเตอร์

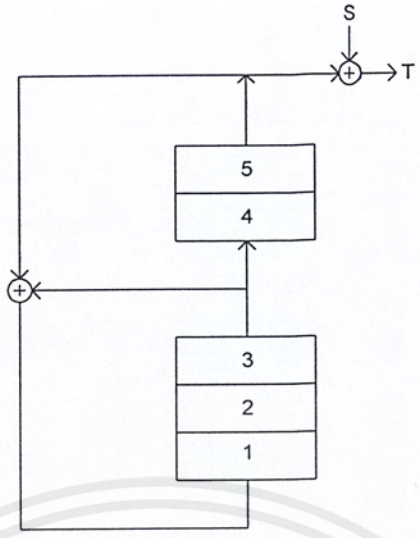
3.5 การสแครมเบิลและดิสสแครมเบิล

จากหลักการทำงานของข้อมูลลำดับแบบกึ่งสุ่ม (pseudorandom sequences) ซึ่งจะสามารถสร้างได้โดยใช้ชิฟรีจิสเตอร์ (shift registor) ต่อให้มีการป้อนกลับ (feed back) แบบมอดดูโลทูแอดเตอร์ (modulo 2 adders) ชิฟรีจิสเตอร์นี้ประกอบขึ้นจากฟลิปฟลอปต่ออนุกรมกันเมื่อชิฟรีเตอร์ได้รับสัญญาณ clock สภาวะของฟลิปฟลอปแต่ละตัวจะถูกส่งไปที่ฟลิปฟลอปตัวถัดไป สัญญาณที่ถูก tap ออกมาจะผ่านมอดดูโลทูเอดเตอร์ และป้อนกลับไปที่ฟลิปฟลอปตัวแรก

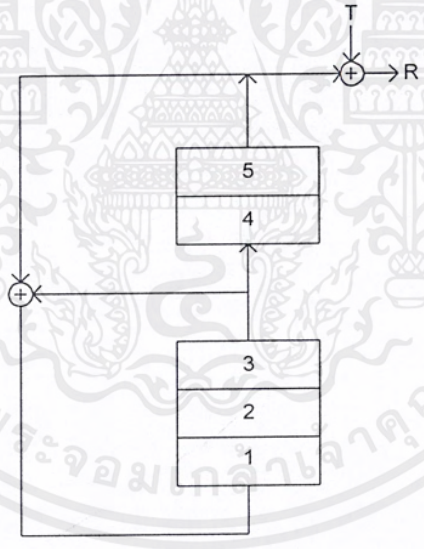
ลำดับที่ผลิตได้จะมีความยาวค่าหนึ่ง (ซึ่งขึ้นกับจำนวนของชีฟรีจิสเตอร์ และจุดรวมสัญญาณได้กล่าวมาแล้วในบทที่ 2) และจะวนซ้ำ เป็นเช่นนี้ไปเรื่อยๆไม่ว่าสภาวะเริ่มต้นของรีฟจิสเตอร์อย่างไร ยกเว้นกรณีศูนย์หมด

เราจะนำเอาลำดับแบบกึ่งสุ่มที่ได้นำมาสแครมเบิลข้อมูล โดยใช้เอ็กคลูซีฟออร์เกททำการรวมข้อมูลกับลำดับแบบกึ่งสุ่ม

จากรูปที่ 3.7 เป็นบล็อกไดอะแกรมของสแครมเบิลและดีสแครมเบิล โดยที่วงจรกำเนิดลำดับแบบกึ่งสุ่มที่ใช้จะเหมือนกันทั้งสแครมเบิลและดีสสแครมเบิล



รูปที่ 3.7 (ก) สแครมเบิล

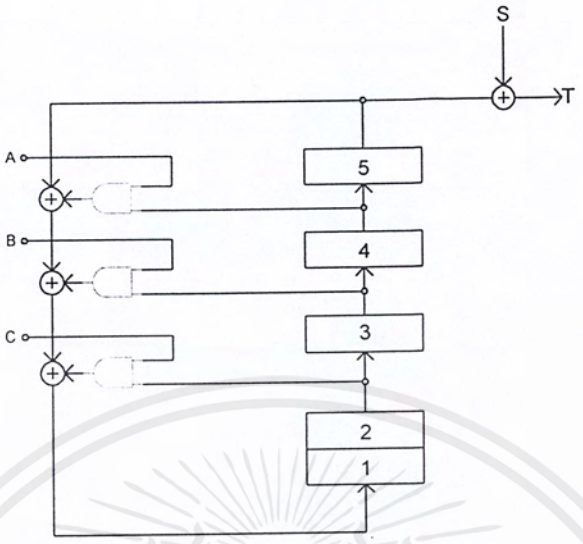


รูป3.7 (ข) ดิสแครมเบิล

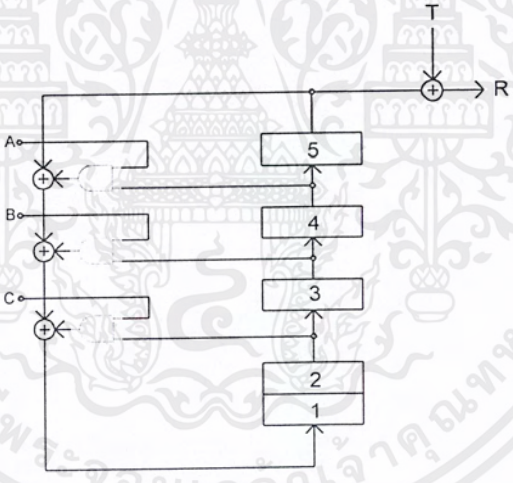
จะเห็นได้ว่า สัญญาณอินพุท S ที่เข้าตัวสแครมเบิล เมื่อผ่านเข้าตัวดีสแครมเบิลจะได้สัญญาณเอาท์พุท R ที่เหมือนกับ S

นอกจากนี้ เรายังสามารถเพิ่มจุด feed สัญญาณให้มากและทำให้จำนวนลำดับมากขึ้น โดยใช้แนนท์เกท และเอ็กซ์คลูซีฟออร์เกท มาช่วยในการรวมสัญญาณอินพุทกับลำดับกึ่งสุ่มที่สร้างขึ้น

โดยอาศัยหลักการนี้จะทำให้สามารถสแครมเบิลข้อมูลได้มากยิ่งขึ้น เพราะฉะนั้น สแครมเบิลและข้อมูลทางเอาท์พุทของดิสแครมเบิลเหมือนกัน

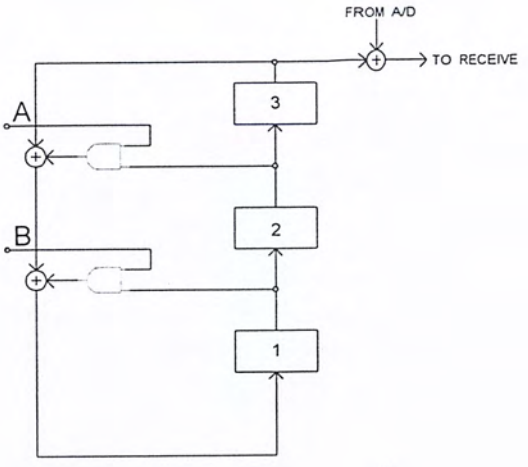


รูปที่ 3.8 (ก) สแครมเบิลโปรแกรมได้



รูปที่ 3.8 (ข) ดิสแครมเบิลโปรแกรมได้

โครงงานนี้ได้เลือกใช้วงจรสแครมเบิลและดิสแครมแบบโปรแกรมได้ โดยใช้รีจิสเตอร์ (D Fipflop) 3 ตัว มีจุดรวมสัญญาณให้เลือก 2 จุด สามารถผลิตลำดับได้ยาวสูงสุด7บิทและเซ็ทสภาวะเริ่มต้นของชิฟรีจิสเตอร์เป็น “1 ” ทั้งหมด ภาพที่ 3.8 แสดงบล็อกไดอะแกรมของวงจรสแครมเบิลและดิสแครมเบิลที่เลือกใช้



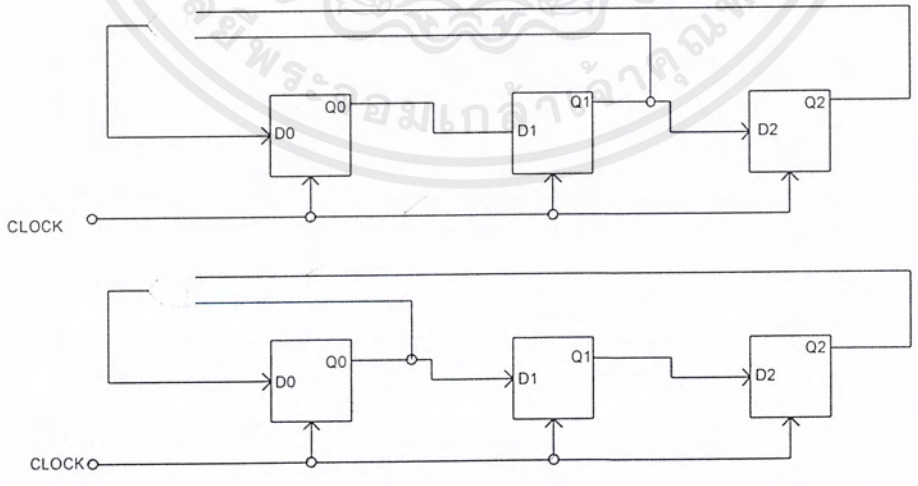
รูปที่ 3.9 บล็อคไดอะแกรมของสแครมเบิลที่ใช้ในโครงงาน

จำนวนของบิท "0" และ "1" ที่ได้จากลำดับแบบกึ่งสุ่มจะขึ้นอยู่กับลำดับที่ผลิตได้เช่น ถ้าใช้ชิฟรีจิสเตอร์ 3 ตัวจะได้ความยาวของลำดับเท่ากับ $2^3 - 1 = 7$ ซึ่งเป็นจำนวนคี่ จะให้จำนวน "1" มากกว่า "0" อยู่ 1 หรือจำนวน "0" จะมากกว่า "1" ก็เป็นได้ทั้งสองอย่าง แต่ถ้าลำดับที่ผลิตได้เป็นจำนวนคู่ และจะไม่คิดในกรณีที่สภาวะเริ่มต้นเป็น "0" หมดจำนวนของ "0" และ "1" จะมีค่าเท่ากัน แต่อย่างไรก็ตามจะเห็นว่าเป็นไปไม่ได้ที่ลำดับจะเป็นจำนวนคู่เนื่องจากสูตร $L = 2^m - 1$ มันจะได้เป็นจำนวนคี่ตลอดลำดับอิสระ

ในรายละเอียดการออกแบบ Parity Genertor เราสามารถเลือกจุด tap หรือจุดป้อนกลับได้หลายจุด อาจจะไม่เป็นตามตารางก็ได้ โดยจำนวนลำดับที่ได้ ในแต่ละวิธีของการเลือกจุดป้อนกลับจะมีจำนวนเท่ากับ

$$S = (L-1)/m$$

$$L = 2^m - 1$$



รูป 3.10 การเกิดกระจกเงา

ซึ่ง S เราจะเรียกเป็นลำดับอิสระ ถ้าเรานำลำดับอิสระมาหารสองก็จะได้ครึ่งหนึ่งของลำดับอิสระและอีกครึ่งหนึ่งที่เหลือจะเป็นกระจกเงาของมันเอง

ตัวอย่าง

$$m = 3$$

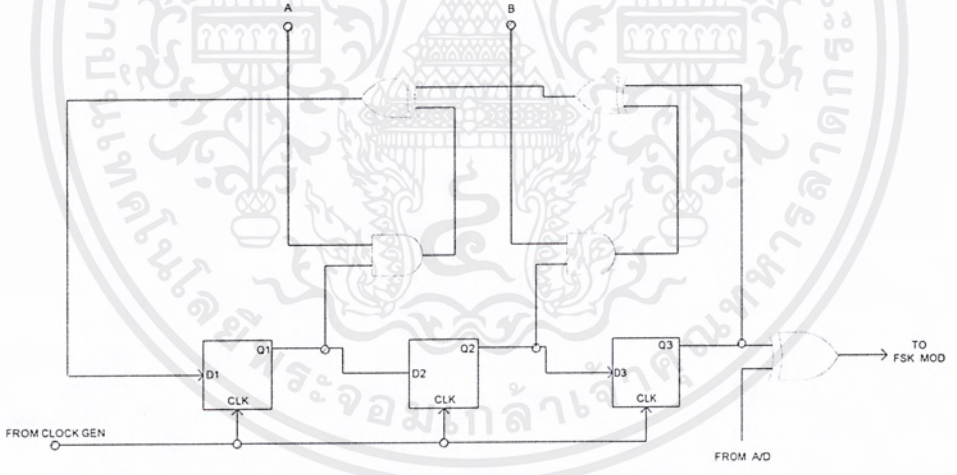
$$L = 2^3 - 1 = 7$$

$$S = (7-1)/3 = 2$$

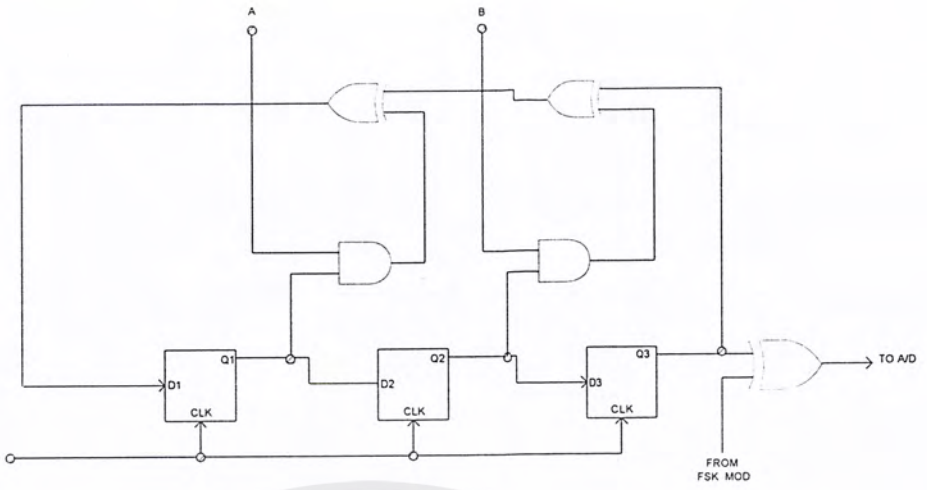
เมื่อเราใช้ชิฟรีจิสเตอร์ 3 ตัว จะสามารถสร้างลำดับอิสระที่ไม่ซ้ำกันได้ 2 ลำดับ และจะมีกระจกเงาของมันเอง เท่ากับ S/2 = 1 แสดงในรูปที่ 3.10

กลุ่มของบิท "0 หรือ "1" ที่ได้จากลำดับแบบกึ่งสุ่ม

เอาท์พุทที่ได้จากลำดับแบบกึ่งสุ่ม ซึ่งจะมีความยาว $L = 2^m - 1$ บิท เอาท์พุทที่ได้สามารถแยกออกเป็นกลุ่มๆ ของบิทที่ต่อเรียงกันไป สมมติเรามีลำดับแบบกึ่งสุ่มเป็นดังนี้คือ 1110010 ในที่นี้ M = 3 ดังนั้นลำดับจะมีเป็นกลุ่มของ M (=3) คือบิท "1" และ "1"กลุ่มของ M-1 (=2) คือบิท "0" และ "1" กลุ่มของ M-1 (=1) คือบิท "1" และ " 1" กลุ่มของ M-2 (=1) ของบิท "0"



รูปที่ 3.11 วงจรสแครมเบิล



รูปที่ 3.12 วงจรดิสแครมเบิล

3.6 การออกแบบ FSK Modulator

ในการออกแบบได้นำเอาไอซีเบอร์ XR-2206 ซึ่งเป็น monolithic function generator กำเนิดรูปคลื่นเอาท์พุทได้ทั้งคลื่นซายน์ คลื่นสามเหลี่ยม คลื่นสี่เหลี่ยม หรือแรมป์ (Ramp) โดยมีย่านความถี่ตั้งแต่ 0.01 Hz ถึง MHz ในกรณีนี้เราจะใช้ XR-2206 ในการกำเนิดคลื่นรูปซายน์ ในลักษณะ FSK Generator โดยใช้ไทม์มิ่ง รีซีสเตอร์ R1 และ R2 ที่ต่อระหว่าง ขา 7 และ ขา 8 กับกราวด์ตามลำดับ โดยที่สัญญาณดิจิตอล (หรือ keying Signal) ที่ป้อนเข้ามายัง ขา 9 ของ ไอซี เป็นตัวกำเนิดสัญญาณทางเอาท์พุท (ขา 2) ถ้าขา 9 อยู่ในสภาวะวงจรเปิดหรือมี Vin มากกว่าหรือเท่ากับ 2 V แล้ว R1 จะเป็นตัวกำหนดไทม์มิ่งร่วมกับตัวเก็บประจุที่ต่อคร่อมระหว่างขา 5 และ ขา 6 (หรือในทำนองเดียวกลับกัน ถ้า ขา 9 มี Vin น้อยกว่าหรือเท่ากับ 1V แล้ว R2 จะเป็นตัวกำหนดไทม์มิ่งร่วมกับตัวเก็บประจุระหว่างขา 5 และขา 6 เช่นเดียวกัน) จึงทำให้ความถี่ output จะอยู่ในช่วงระหว่าง fm และ fsโดยทั้ง fm และ fs จะอิสระต่อกันและสามารถเปลี่ยนแปลงความถี่ได้โดยการเลือกค่า R1 และ R2 ตามสมการข้างล่าง

$$fm = 1/R1C$$

$$fs = 1/R2C$$

ตัวเก็บประจุระว่างขา 5 และ ขา 6 จะอยู่ในช่วง 1,000 pF-100uF ตัวต้านทาน R1 และ R2 จะอยู่ในช่วง 4k – 200k

$$\text{(mark – space frequency difference)/(maximum data rate)} \geq 83\%$$

ในที่นี้ให้

$$(f_H - f_L)\,/(\text{data rate}) = 90\%$$

$$\therefore f_H - f_L = 16000 \times 0.9$$

$$= 14.4\ kHz$$

โดยที่ ความถี่ต่ำจะต้องมีค่าน้อยกว่า 55% ของความถี่สูง

ในที่นี้ให้

$$f_L = 0.5 f_H$$
$$f_H = \frac{14.4kHz}{0.5} = 28.8kHz$$
$$f_L = 0.5 \times 28.8kHz$$

ที่ความเร็วของการรับ-ส่ง 1600 Baud f2 = 14.4 kHz, f1 = 28.8 kHz เมื่อทราบค่า fm และ fs ก็สามารถหาค่าความต้านทาน R1 และ R2 ได้ โดยกำหนดให้ตัวเก็บประจุระหว่างขา 4 กับขา 5 เป็น 1800 pF (ยังอยู่ในช่วงที่กำหนด)

จากสมการ $fm = 1/R\,C$

$R1 = 1fmC$

$R1 = 1/(14400*1800*10^{-12})$

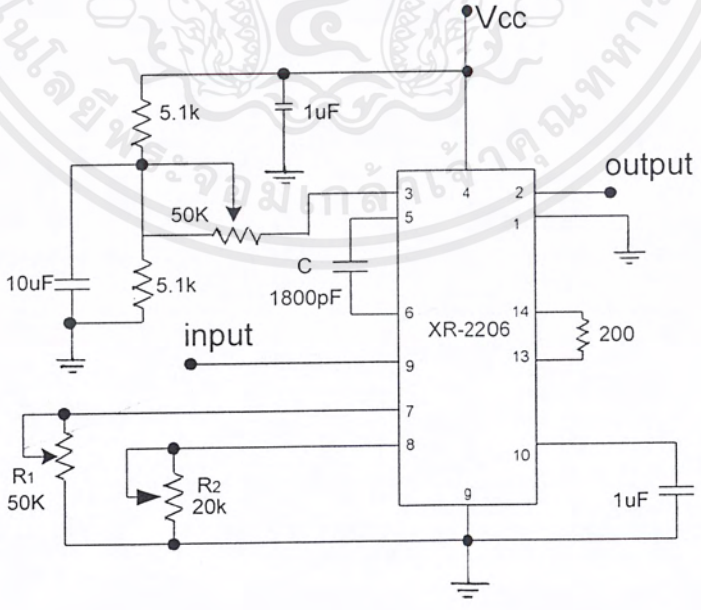
เนื่องจากเราต้องสามารถปรับความถี่ได้อิสระ ดังนั้นจึงใช้โพเท็นชิโอมิเตอร์ 50kΩ และสามารถ หา R2 ได้จากสมการเดียวกัน

$R2 = 1/fsC$

$R2 = 1/(28800*1800*10^{-12})$

$R2 = 19.29\ k\Omega$

ใช้โพเท็นชิโอมิเตอร์ 20 kΩ ต่อระหว่างขา 8 กับกราวด์ วงจรจะเป็นดังรูปที่ 3.3



รูปที่ 3.13 วงจร FSK Modulator

- การปรับแต่งระดับเอาท์พุทไฟตรง

ระดับแรงดันไฟตรงที่ขาเอาท์พุท (ขา2) จะมีค่าโดยประมาณเท่ากับแรงดันไบอัสที่ขา 3 จากวงจรจะเห็นว่าแรงดันที่ขา 3 จะได้จากการแบ่งแรงดันระหว่างค่าความต้านทาน 5.1 kΩ สองตัวกับแรงดันไฟเลี้ยงประมาณ 6V เมื่อแรงดันไฟเลี้ยงในวงจรเป็น +12โวลท์ และสามารถปรับโดยโพเท็นชิโอมิเตอร์ 50 kΩ ที่อนุกรมกับขา 3 ดังนั้นการปรับที่ขา 3 ก็เป็นการปรับระดับของสัญญาณเอาท์พุทขา 2 ให้อยู่ในระดับที่ต้องการส่ง

- การปรับการผิดเพี้ยนรูปคลื่นของสัญญาณเอาท์พุท

ขา 13 และ 14 มีไว้สำหรับปรับแต่งรูปคลื่นเพื่อปรับการผิดเพี้ยน (distortion) ของรูปร่างสัญญาณ อันเนื่องมาจากความผิดเพี้ยนฮาร์โมนิค โดยการต่อค่าความต้านทานเข้าไประหว่างขา 13 และ 14 แต่ในคู่มือ XR-2206 แนะนำให้ใช้ค่า 200 Ω โดยไม่มีการปรับแต่งแต่อย่างใด

3.7 การออกแบบ FSK Demodulator

จากรูปอุปกรณ์ภายนอกคือ R_0 C_0 จะ set free sunning frequency หรือ center frequency (fo) ของ PLL, R จะเซ็ท bandwith, C เซ็ท Damping factor หรือ filter time constant, C_f และ R_f สำหรับเซ็ท Data FSK output ค่าความต้านทาน R_B (510k) ระหว่างขา 7 และขา 8 เป็นตัวป้อนกลับทางบวกเพื่อให้ Transision Time ของ FSK output เร็วขึ้น การหาค่าอุปกรณ์ต่าง ๆ สามารถหาได้ดังนี้

1. การหาค่า center frequency (fo) ของ PLL ได้จากสมการ

$$\text{fo} = \frac{f_m + f_S}{2} = \frac{14.4kHz + 28.8kHz}{2} = 21.6kHz$$

2. หาค่า R จากสูตร

$$\text{Ro} = \frac{1}{f_0 C_0} \qquad \text{เลือกค่า } C_0 = 1000 \text{ pF ดังนั้น}$$

$$\text{R0} = \frac{1}{21.6kHz * 1000pF} = 46.296 \text{ k}\Omega \text{ (ใช้ VR 50k}\Omega\text{)}$$

3. หาค่า R1 เพื่อตั้ง bandwith จาก

$$\text{R1} = \frac{Ro * fo}{\Delta f}$$

$$\Delta f = |f_S - f_m| = |14.4 - 28.8| = 14.4kHz$$

$$\text{R1} = \frac{(46.296k) * (21.6kHz)}{14.4kHz} = 69.45k\Omega \text{ (ใช้ VR 100 k}\Omega\text{)}$$

4. หาค่า C1 เพื่อตั้งค่า damping factor

$$\text{damping factor} = 0.25\sqrt{C0/C1}$$

โดยทั่วไปจะให้ damping factor เท่ากับ 0.5 ดังนั้น

$$C1 = \frac{Co}{4} = \frac{1000uF}{4}$$

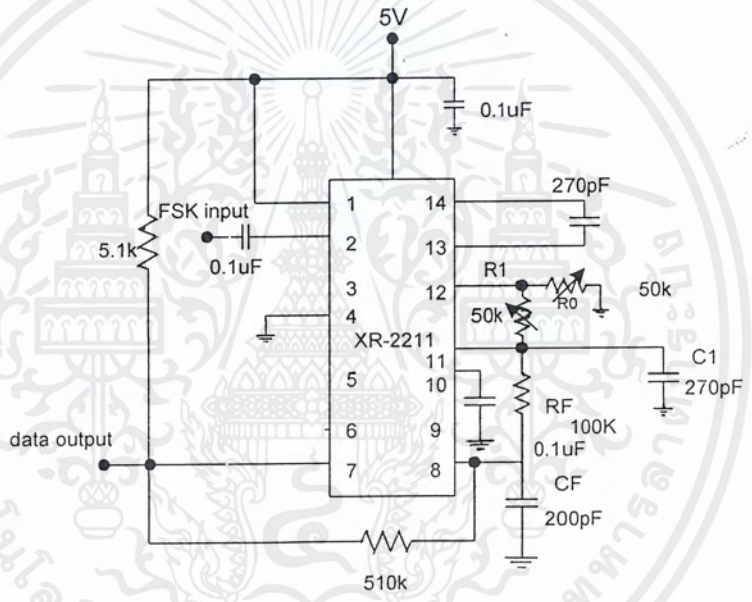
$$= 250 \text{ pF (ใช้ค่า 270 pF)}$$

5. หาค่า Cf เมื่อค่า Rf=100kΩ และ Rb = 510 kΩ จะหาค่า Cf ได้จาก

$$Cf = \frac{3}{baudrate}(uF) = \frac{3}{16kps}$$

$$= 187.5 \text{ pF (ใช้ค่า 200 pF)}$$

จะได้วงจร FSK demodulator 32 kbps. โดยใช้ค่าจากการคำนวณ ดังรูปต่อไปนี้

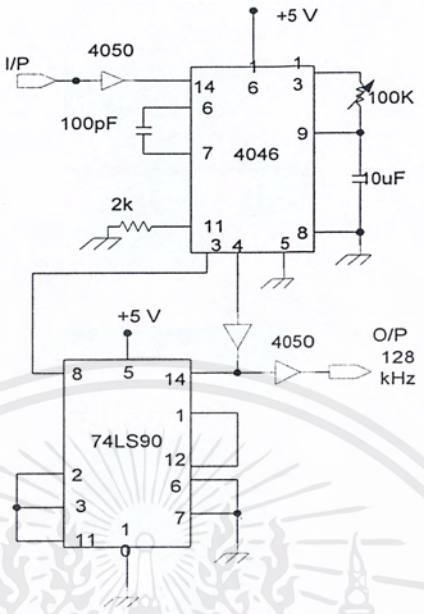


รูปที่ 3.14 แสดงวงจร FSK demoulator

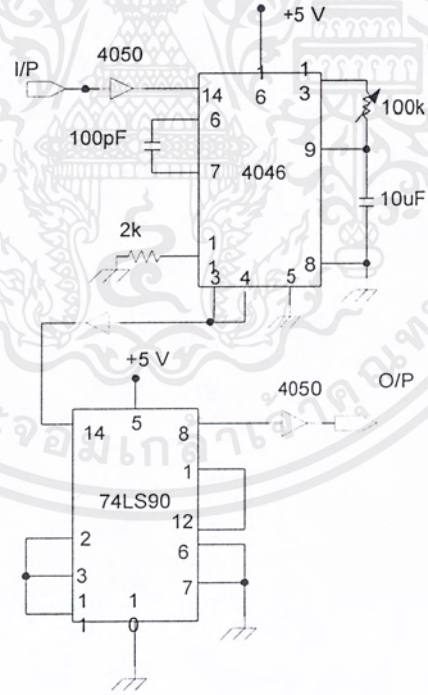
3.8 วงจรคูณและหารความถี่ 8 เท่า

ในโครงงานนี้ทางภาครับและภาคส่งจะซิงค์สัญญาณนาฬิกาโดยใช้การส่งสัญญาณไพลอท เราอาศัยสัญญาณคูณความถี่ขึ้นมา โดยในโครงงานนี้จะเลือกกำเนิดที่ความถี่ 128kHz. ที่ได้จากการคูณความถี่สัญญาณนาฬิกา 8 เท่า (16kHz.*8=128 kHz.) ส่วนทางด้านรับจะใช้วงจรหารความถี่ 8 เท่า ซึ่งทั้งวงจรคูณและวงจรหารนี้จะใช้ไอซี 4046 และ 7490 ต่อร่วมกันซึ่งจะใช้หลักการของเฟสล็อกลูปในการคูณและหารเพื่อกู้สัญญาณนาฬิกากลับมา สาเหตุที่ใช้ความถี่ 128 kHz. เป็นสัญญาณไพลอทเนื่องจากเราต้องนำสัญญาณไพลอทนี้ไปทำการซัมมิ่งกับสัญญาณ FSK ซึ่งมีแบนด์วิทประมาณ 50 kHz. ซึ่งจะเห็นว่าระยะ

ห่างของความถี่กว้างพอสมควร ซึ่งทางภาครับสามารถที่จะกรองเอาสัญญาณไพลอทและสัญญาณ FSK ออกมาได้โดยไม่มีการผิดเพี้ยน



รูปที่ 3.15 วงจรคูณความถี่ 8 เท่า



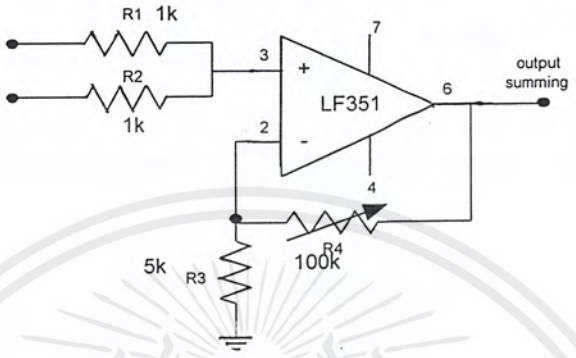
รูปที่ 3.16 วงจรหารความถี่ 8 เท่า

รายละเอียดของวงจรคูณความถี่ 8 เท่า แสดงได้ดังรูป 3.15 ซึ่งเมื่อผ่านวงจรตามรูปที่ 3.15 จะได้สัญญาณนาฬิกาความถี่ 128 kHz. ออกมา จากนั้นนำไปผ่านวงจรกรองความถี่แถบผ่าน 128 kHz (ที่ด้านส่ง) อีกครั้งก็จะได้สัญญาณไพลอทซายน์ความถี่ 128kHz. ส่วนรูปที่ 3.16 แสดงวงจรหารความถี่ 8 เท่าซึ่ง

จะรับอินพุทจากวงจรกรองความถี่แถบผ่าน 128 kHz. (ที่ด้านรับ) เป็นซายน์ นำมาหารความถี่ 8 เท่าตามวงจรในรูปที่ 3.12 โดยจะได้ผลลัพธ์จากหารออกมาเป็นสัญญาณนาฬิกา 16 kHz. ซึ่งตรงกับภาคส่งทันที

3.9 วงจรรวมสัญญาณ

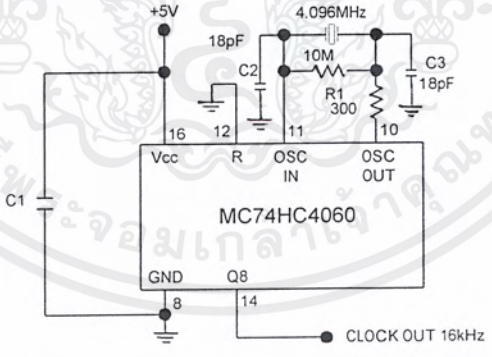
วงจรรวมสัญญาณทำหน้าที่ในการรวมสัญญาณ FSK และสัญญาณไพลอท 128kHz. ทางภาคส่งเพื่อส่งไปยังภาครับ โดยสามารถปรับอัตราการขยายได้ด้วยความต้านทานฟีดแบ็คดังรูป



รูปที่ 3.17 วงจรรวมสัญญาณ

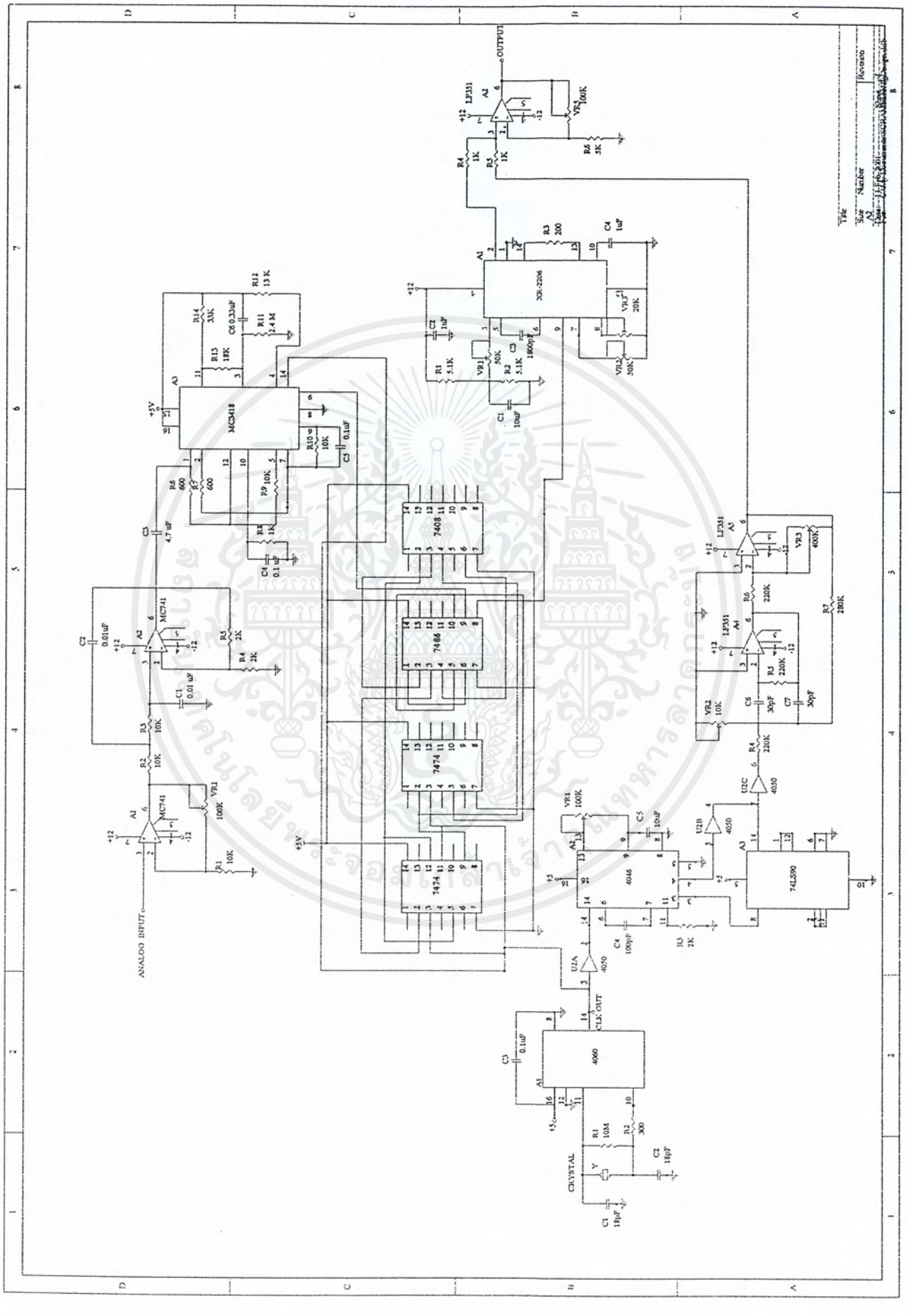
3.10 วงจรสร้างสัญญาณนาฬิกา

เนื่องจากในโครงงานนี้ต้องการสัญญาณนาฬิกาความถี่ 16 kHz. ในการแปลงสัญญาณอนาลอกเป็นดิจิตอลและการเข้ารหัส ซึ่งในการสร้างสัญญาณนาฬิกานี้จะใช้คริสตอลเป็นตัวกำเนิดความถี่และจะใช้ไอซี 74HC4060 เป็นตัวหารความถี่จากคริสตอล 4.096 MHz. เพื่อให้ได้สัญญาณนาฬิกาออกมา 16 kHz. ต้องหารด้วย 2 จึงนำเอาท์พุทที่ขา 14 ออกมาใช้ วงจรใช้งานจะเป็นดังรูป

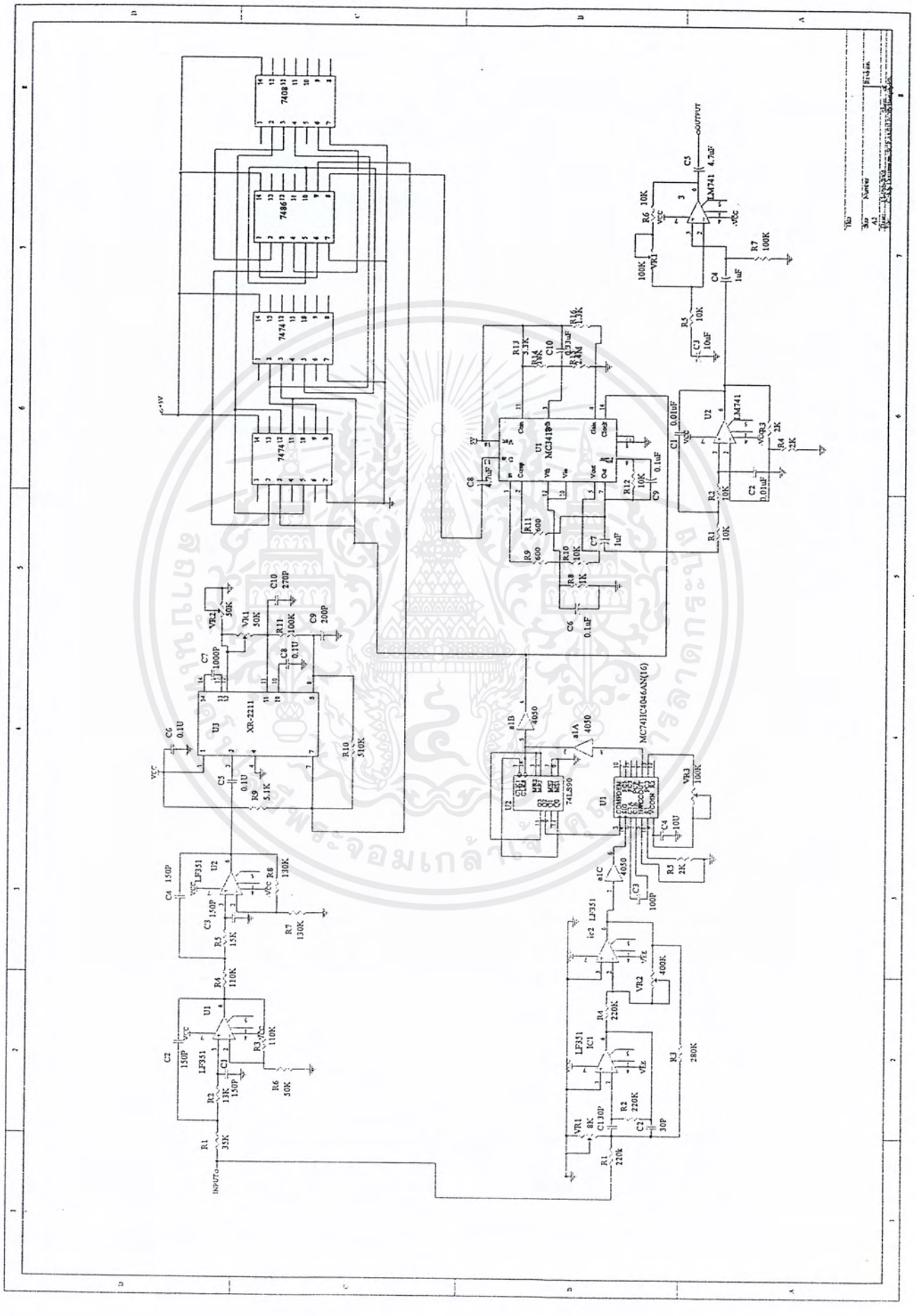


รูปที่ 3.18 วงจรสร้างสัญญาณนาฬิกา

รูปที่ 3.19 วงจรรวมทางด้านล่าง



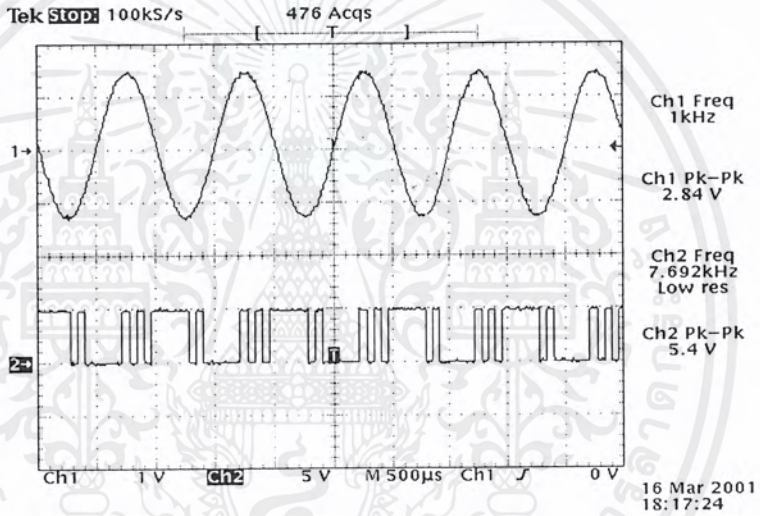
รูปที่ 3.20 วงจรรวมทางด้านรับ



บทที่ 4
การทดลองและผลการทดลอง

ในบทนี้ได้ทำการทดลองเพื่อตรวจสอบการทำงานของวงจร โดยทำการป้อนสัญญาณเข้าที่ส่วนอินพุทของวงจรทางด้านส่งโดยสัญญาณอนาลอกอินพุทจะทำการใช้สัญญาณ3ชนิดคือสัญญาณรูปคลื่นซายน์ความถี่ 1กิโลเฮิร์ท ,สัญญาณรูปคลื่นซายน์ความถี่ 2กิโลเฮิร์ท และสัญญาณเสียงที่ได้จากเอาท์พุทของเครื่องเล่นคอมแพคดิสค์ แล้วทำการวัดสัญญาณเอาท์พุทเนื่องจากอินพุทต่างๆ ณ จุดต่างๆดังต่อไปนี้

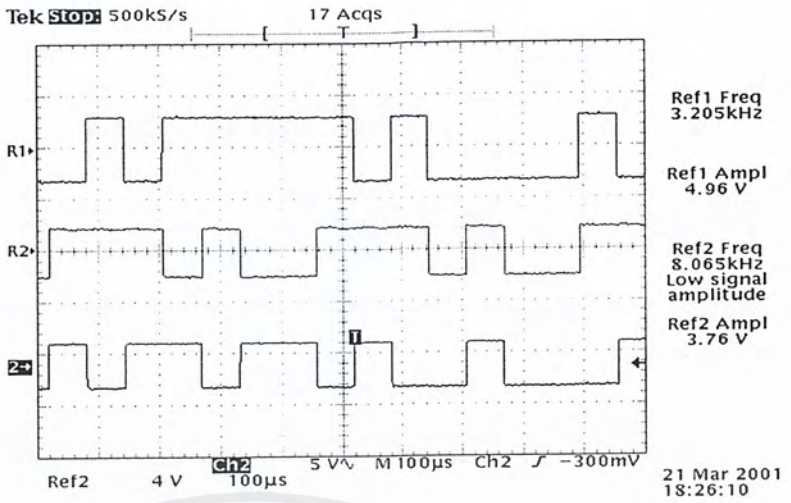
ในขั้นตอนแรกเมื่อป้อนสัญญาณอินพุทซายน์ความถี่1กิโลเฮิร์ท เข้ามาที่ภาคปรีแอมป์แล้วทดสอบส่วนของการแปลงสัญญาณอนาลอกเป็นดิจิตอล โดยวัดรูปคลื่นที่ออกจากขา 9 ของไอซี เบอร์ MC3418 ได้ผลการทดลองออกในรูปที่ 4.1



รูปที่ 4.1 เปรียบเทียบรูปสัญญาณอนาลอกอินพุทความถี่1กิโลเฮิร์ท กับ เอาท์พุท

จากรูปที่ 4.1 เปรียบเทียบระหว่างสัญญาณซายน์อินพุทความถี่ 1 กิโลเฮิร์ท ได้สัญญาณดิจิตอลซึ่งเป็นเอาท์พุทของวงจรเดลต้ามอดูเลชั่น

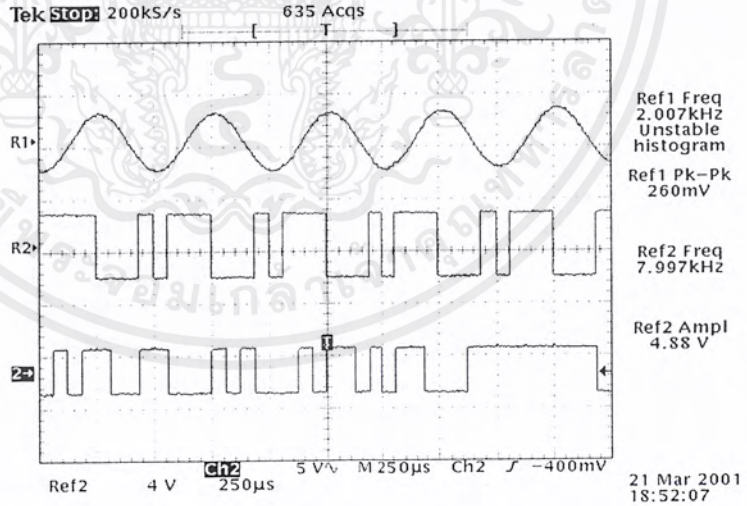
ขั้นต่อไปทำการทดสอบการทำงานของวงจรกำเนิดลำดับแบบกึ่งสุ่มประกอบไปด้วยดีฟลิบฟลอบ ต่อกันเป็นชิฟรีจิสเตอร์ โดยใช้สัญญาณนาฬิกาที่ได้จากวงจรกำเนิดสัญญาณนาฬิกา ความถี่ 16 กิโลเฮิร์ท แล้วทำการทดลองเลือกจุดรวมสัญญาณป้อนกลับ เพื่อให้ได้ลำดับแบบกึ่งสุ่ม แล้วนำลำดับสัญญาณดิจิตอลแบบกึ่งสุ่มที่ได้มาทำการเอ็กคลูซีฟออร์กับสัญญาณเอาท์พุทที่ได้จากวงจรเดลต้ามอดูเลชั่นได้สัญญาณเอาพุทที่เป็นสัญญาณจากวงจรเดลต้ามอดูเลชั่นที่ถูกสแครมเบิลดังรูปที่4.2



รูปที่ 4.2 เป็นสัญญาณเคลต้ามอดเปรียบเทียบกับดิจิตอลสแครมเบิล

รูปที่ 4.2 สัญญาณรูปบนคือสัญญาณที่ได้จากวงจรเคลต้ามอดูเลชั่น สัญญาณรูปกลางเป็นลำดับดิจิตอลที่ได้จากวงจรสร้างลำดับที่ภาคสแครมเบิลจากนั้นทำการสแครมเบิลสัญญาณได้ สัญญาณดิจิตอลที่ถูกสแครมเบิลดังรูปสัญญาณด้านล่าง

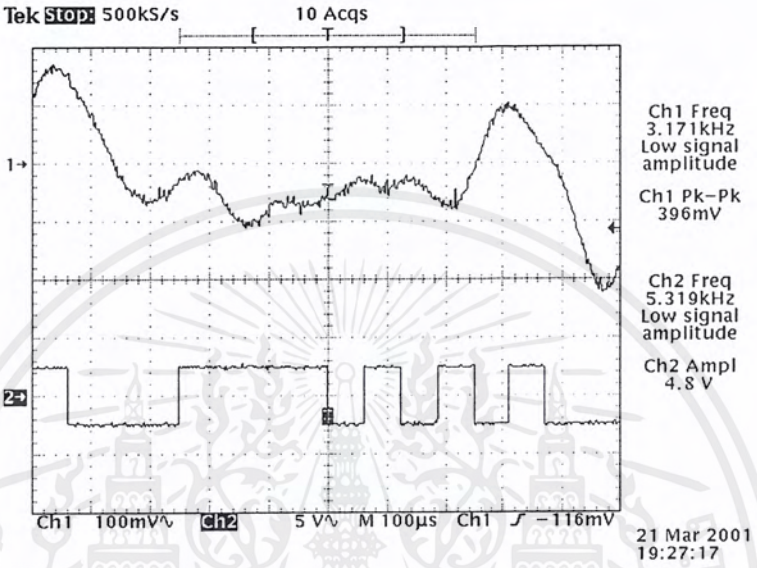
ลำดับต่อมาทำการทดลองเปลี่ยนแปลงสัญญาณอนาลอกอินพุทจากความถี่ 1กิโลเฮิร์ทเป็นความถี่ 2กิโลเฮิร์ท จากนั้นทำการวัดสัญญาณที่ได้จากวงจรเคลต้ามอดดูเลชั่น และทำการวัดสัญญาณที่ได้จากการสแครมเบิล ได้ผลการทดลองดัง รูปที่ 4.3



รูปที่ 4.3 สัญญาณอนาลอกความถี่ 2 กิโลเฮิร์ทเปรียบเทียบสัญญาณจากวงจรเคลต้ามอดและเอาท์พุทจากวงจรสแครมเบิล

จากรูปที่ 4.3 สัญญาณด้านบนคือสัญญาณอินพุทของวงจรเคลต้ามอดูเลชั่น รูปสัญญาณตรงกลางคือเอาท์พุทที่ได้จากวงจรเคลต้ามอดูเลชั่นและรูปสัญญาณด้านล่างคือสัญญาณสแครมเบิล

ลำดับต่อมาทำการทดลองใช้สัญญาณเสียงเพลงจากเอาท์พุทของเครื่องเล่นคอมแพคดิสค์เป็นอินพุทของวงจรเดลต้ามอดดูเลชั่น และทำการทดสอบวัดสัญญาณเอาท์พุทดิจิตอลที่ได้จากวงจรเดลต้ามอดูเลชั่น ได้รูปสัญญาณดังรูปที่ 4.4

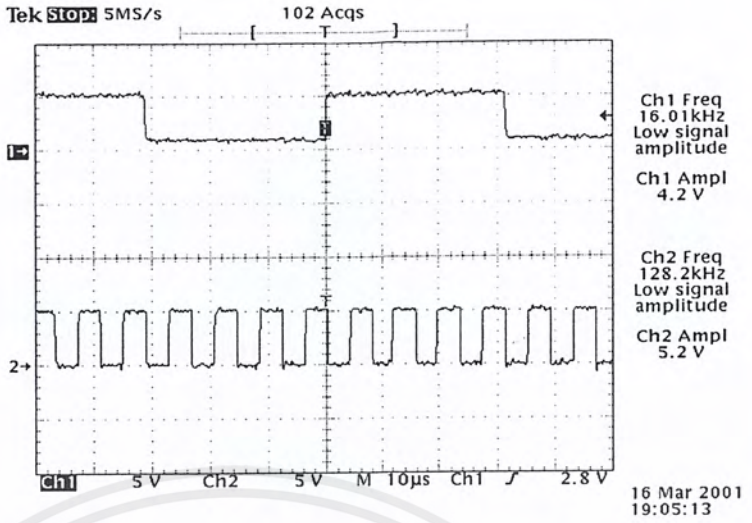


รูปที่ 4.4 สัญญาณความถี่เสียงเปรียบเทียบกับสัญญาณที่ได้จากวงจรเดลต้ามอดดูเลชั่น

รูปที่ 4.4 สัญญาณรูปบนคือสัญญาณความถี่เสียงที่มาจากเอาท์พุทของเครื่องเล่นคอมแพคดิสค์ ส่วนสัญญาณรูปล่างคือสัญญาณที่ได้จากวงจรเดลต้ามอดดูเลชั่น

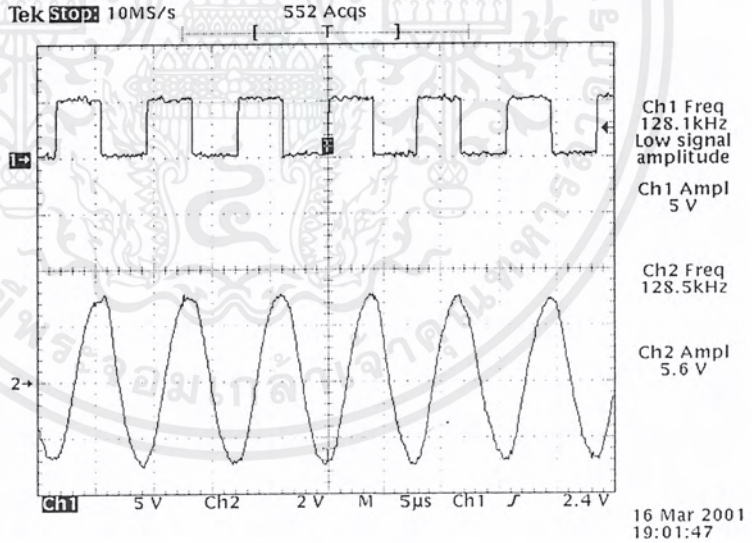
สัญญาณที่ได้จากเดลต้ามอดทำการสแครมเบิลเพื่อนำสัญญาณที่ได้จากการสแครมเบิลไปทำการมอดดูเลทเป็นสัญญาณอนาลอกเพื่อส่งไปตามสายนำสัญญาณอนาลอกและเป็นการเพิ่มระยะทางการสื่อสารข้อมูลโดยใช้การมอดดูเลทแบบ เอฟเอสเค

ในส่วนของสัญญาณนาฬิกาจะทำการคูณสัญญาณนาฬิกา 16กิโลเฮิร์ทเป็นสัญญาณความถี่ 128 กิโลเฮิร์ทและทำการผ่านวงจรกรองแถบความถี่ต่ำผ่าน 128 กิโลเฮิร์ทได้สัญญาณรูปคลื่นซายน์ความถี่ 128 กิโลเฮิร์ท เพื่อที่จะนำสัญญาณไปรวมกับ สัญญาณเอฟเอสเคมอดดูเลชั่น



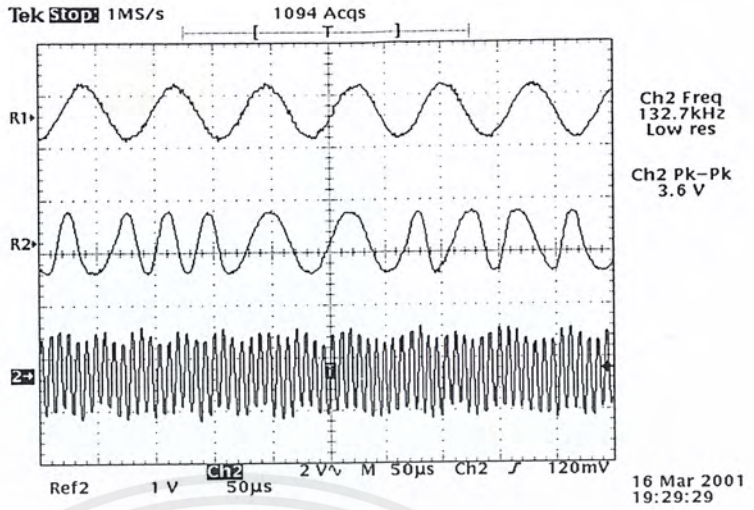
รูปที่ 4.5 สัญญาณนาฬิกาผ่านการคูณสัญญาณได้สัญญาณใหม่ความถี่ 128กิโลเฮิร์ท

รูปที่ 4.5 สัญญาณที่ได้จากการนำสัญญาณนาฬิกามาทำการคูณสัญญาณเป็นสัญญาณใหม่ความถี่128กิโลเฮิร์ทเป็นสัญญาณที่เรียกว่าสัญญาณไพรอทเพื่อนำไปผ่านวงจรกรองแถบความถี่ผ่านที่ 128กิโลเฮิร์ทเพื่อนำไปรวมกับสัญญาณที่ได้จากเอฟเอสเคมอดดูเลท



รูปที่ 4.6 สัญญาณจากวงจรคูณนำมาผ่านวงจรกรองแถบความถี่ผ่าน

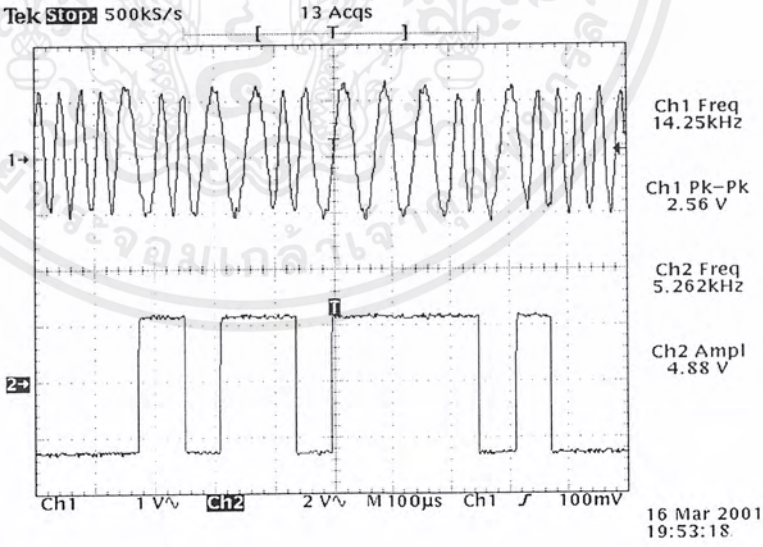
จากรูปที่ 4.6 รูปสัญญาณทางด้านบนคือสัญญาณที่ได้จากการนำสัญญาณนาฬิกา16กิโลเฮิร์ทมาทำการคูณความถี่เป็นความถี่128กิโลเฮิร์ท แล้วนำมาผ่านวงกรองแถบความถี่ผ่าน128กิโลเฮิร์ทได้สัญญาณรูปคลื่นซายน์ความถี่128กิโลเฮิร์ทดังรูปสัญญาณทางด้านล่างของรูปที่4.6 เป็นสัญญาณไพรอท



รูปที่ 4.7 สัญญาณไพรอทรวมกับสัญญาณเอฟเอสเคมอดดูเลท

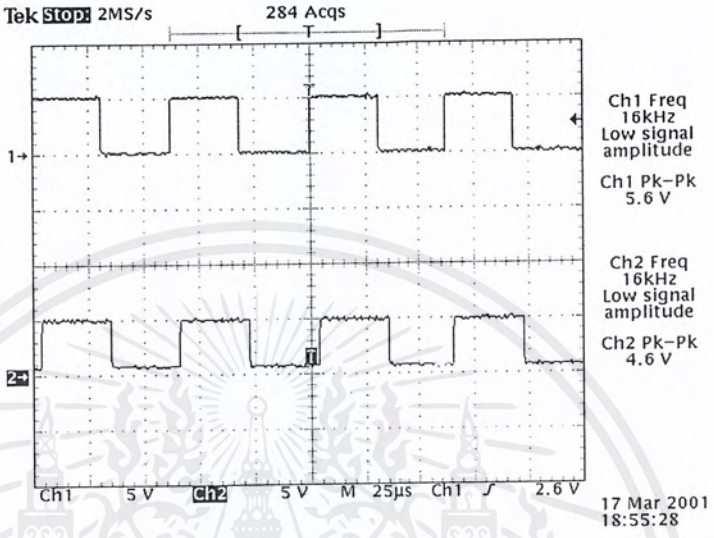
รูปที่ 4.7 สัญญาณที่ได้จากการนำสัญญาณไพรอทมารวมกับสัญญาณจากเอฟเอสเคมอดดูเลท เพื่อเป็นการฝากสัญญาณนาฬิกาไปกลับสัญญาณเอฟเอสเคมอดูเลท ผลรวมตามรูปที่ 4.7 ด้านล่างสุด และเดินทางผ่านช่องสัญญาณไปทางด้านรับ

ต่อมาทำการทดสอบวัดสัญญาณทางด้านรับซึ่งจะใช้วงจรกรองความถี่ต่ำผ่านความถี่คัทออฟ 40 กิโลเฮิร์ท เพื่อกรองเอาเฉพาะสัญญาณเอฟเอสเคมอดูเลชั่นและมีวงจรกรองแถบความถี่ผ่าน 128 กิโลเฮิร์ท เพื่อกรองเอาเฉพาะสัญญาณไพรอทออกมา



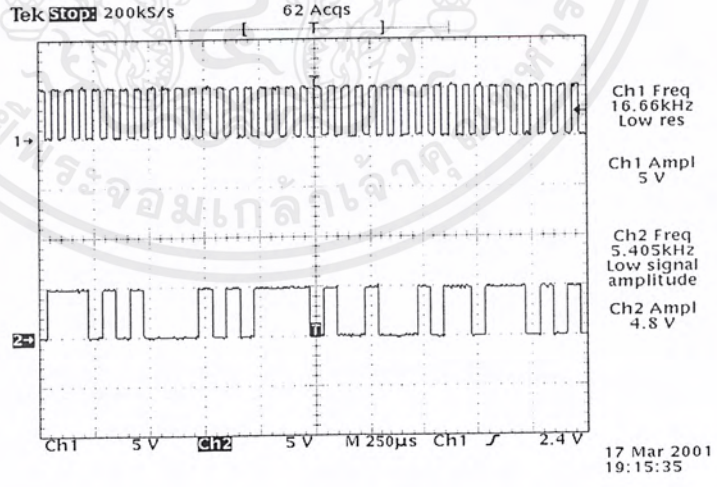
รูปที่ 4.8 สัญญาณที่ผ่านวงจรกรองความถี่ต่ำ40กิโลเฮิร์ทและเอฟเอสเคดีมอดดูเลท

สัญญาณที่ได้จากวงจรรวมสัญญาณเดินทางผ่านทางช่องสัญญาณนำมาผ่านวงจรกรองความถี่ต่ำผ่าน40กิโลเฮิร์ทเพื่อจะกรองเอาเฉพาะความถี่ที่ได้จากวงจรเอฟเอสเคมอดดูเลทที่ภาคส่งสัญญาณเพื่อนำมาทำการดีมอดดูเลทได้สัญญาณตามรูปที่ 4.8 รูปสัญญาณบนคือสัญญาณเอฟเอสเค ส่วนรูปสัญญาณทางด้านล่างคือเอาท์พุทที่ได้จากวงจรเอฟเอสเคดีมอดูเลชั่น



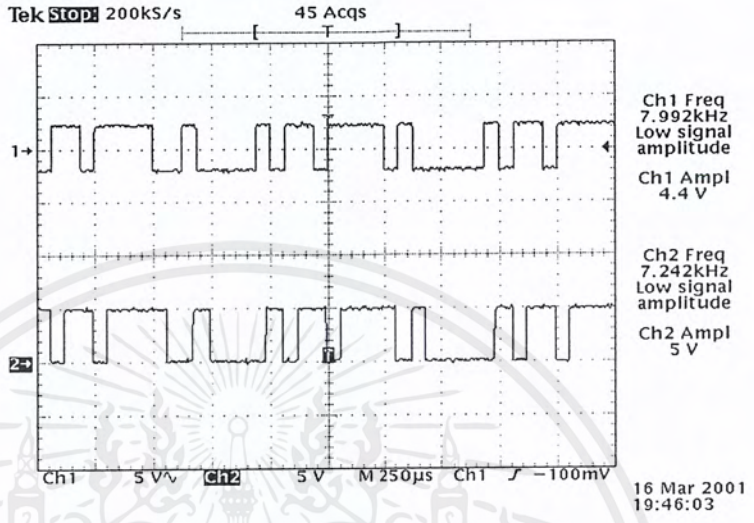
รูปที่ 4.9 สัญญาณนาพิกาทางด้านส่งเปรียบเทียบกับสัญญาณที่กู้กลับคืนมาได้ทางด้านรับ

รูปที่ 4.9รูปสัญญาณทางด้านบนคือสัญญาณนาพิกาทางด้านส่ง และรูปล่างคือสัญญาณนาพิกาที่ทำการกู้กลับคืนมาได้

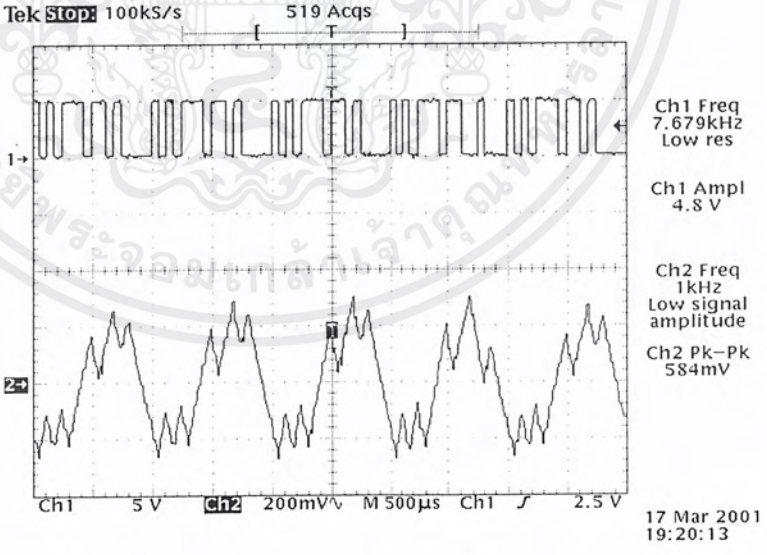


รูปที 4.10 สัญญาณที่ได้จากวงจรดีสแครมเบิลเปรียบเทียบกับสัญญาณนาพิกาที่กู้กลับคืนมาได้

วงจรดิสแครมเบิลจะทำการสร้างสัญญาณลำดับที่เหมือนกับภาคสแครมเบิลและมาเอ็กคลูซีฟออร์กับสัญญาณที่ได้จากวงจรเอฟเอสเคดีมอดได้สัญญาณดังรูปที่ 4.10 ซึ่งมีลักษณะที่ตรงกับสัญญาณที่ออกมาจากวงจรแปลงสัญญาณอนาลอกเป็นสัญญาณดิจิตอลที่ภาคส่ง เปรียบเทียบกับสัญญาณนาฬิกาที่กู้กลับคืนมาได้จากวงจรหารความถี่

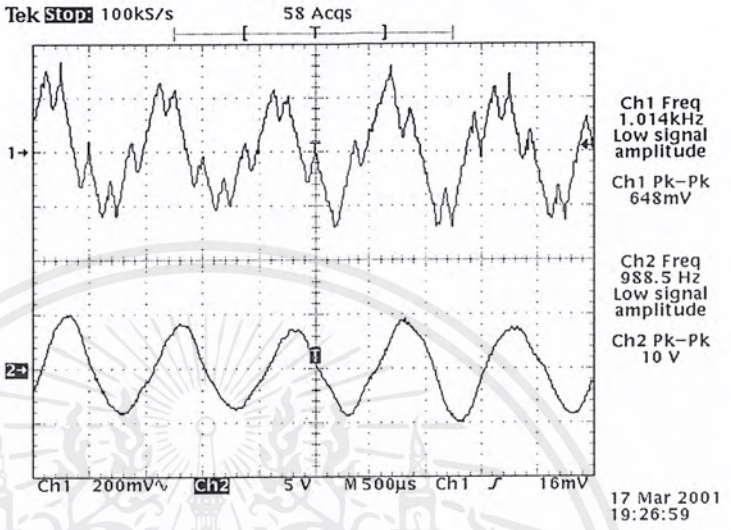


รูปที่ 4.11 เอาท์พุทจากเดลต้ามอดที่ด้านส่งเปรียบเทียบสัญญาณที่ได้จากการดิสแครมเบิลด้านรับ สัญญาณที่ได้จากวงจรดิสแครมเบิลจะเหมือนกับสัญญาณทางด้านส่งแต่จะมีการเลื่อนเฟสไปบ้างเล็กน้อย



รูปที่ 4.12 สัญญาณจากวงจรดิสแครมเบิลเปรียบเทียบกับสัญญาณที่ได้จากเอาท์พุทวงจรเดลต้าดีมอดดูเลท

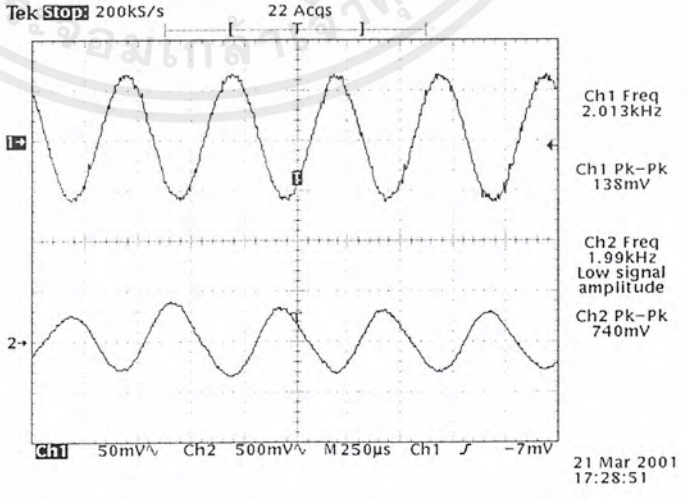
จากรูปที่4.12 สัญญาณที่ได้จากวงจรดิสแครมเบิลคือรูปสัญญาณด้านบนนำไปผ่านวงจรเดลต้าดีมอดดูเลทที่ใช้สัญญาณนาฬิกาที่ได้จากการกู้กลับคืนมาได้ ได้สัญญาณที่มีสัญญาณรูปคลื่นซายน์ที่มีสัญญาณรบกวนรวมอยู่ด้วยจึงต้องนำไปผ่านวงจรกรองความถี่ต่ำผ่าน



รูปที่ 4.13 สัญญาณที่ได้จากเดลต้าดีมอดดูเปรียบเทียบกับสัญญาณเอาท์พุทที่ได้

สัญญาณที่ได้จากเดลต้าดีมอดดูเลชั่นเมื่อนำไปผ่านวงจรกรองความถี่ต่ำผ่านจะทำให้ได้สัญญาณความถี่ 1กิโลเฮิร์ทที่กรองเอาสัญญาณรบกวนออกแล้ว ไปผ่านวงจรขยายสัญญาณได้สัญญาณเอาท์พุทที่เป็นคลื่นรูปไซด์เหมือนกับทางด้านส่ง

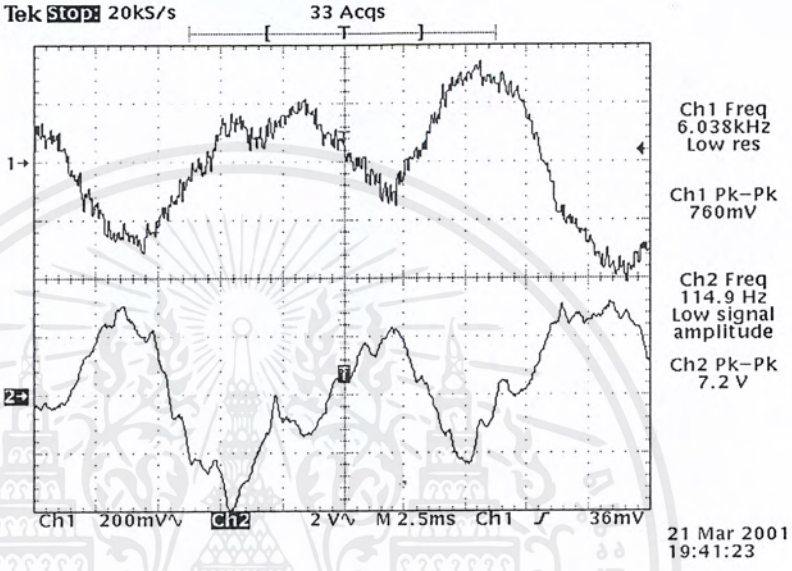
ลำดับต่อมาทำการวัดสัญญาณเอาท์พุทจากวงจรเดลต้าดีมอดูเลชั่น อันเนื่องมาจากการป้อนสัญญาณอินพุทที่เป็นรูปคลื่นซายน์ความถี่ 2 กิโลเฮิร์ท และสัญญาณความถี่เสียง ของวงจรเดลต้ามอดูเลชั่นที่ภาคส่งทำการทดสอบวัดเปรียบเทียบกันระหว่างอินพุทและเอาท์พุทเปรียบเทียบกัน



รูปที่ 4.14 สัญญาณอินพุทความถี่2กิโลเฮิร์ทเปรียบเทียบกับเอาท์พุทที่ภาครับ

รูปที่ 4.14 สัญญาณรูปบนเป็นรูปคลื่นสัญญาณอินพุทความถี่ 2 กิโลเฮิร์ทที่ภาคส่ง ส่วนสัญญาณรูปล่างคือสัญญาณอินพุทที่ผ่านวงจรเดลต้ามอดูเลชั่นวงจรสแครมเบิลที่ภาคส่งและทำการดิสแครมเบิลที่ภาครับและผ่านวงจรเดลต้าดีมอดูเลชั่นแล้วได้สัญญาณ 2กิโลเฮิร์ทกลับคืนมา

ลำดับสุดท้ายมาทำการวัดสัญญาณเอาท์พุทของวงจรที่ภาครับอันเนื่องมาจากการป้อนสัญญาณความถี่เสียงที่อินพุทที่ภาคส่งได้สัญญาณดังรูปที่ 4.15



รูปที่4.15 สัญญาณความถี่เสียงอินพุทที่ภาคส่งเปรียบเทียบกับเอาท์พุทที่ภาครับ

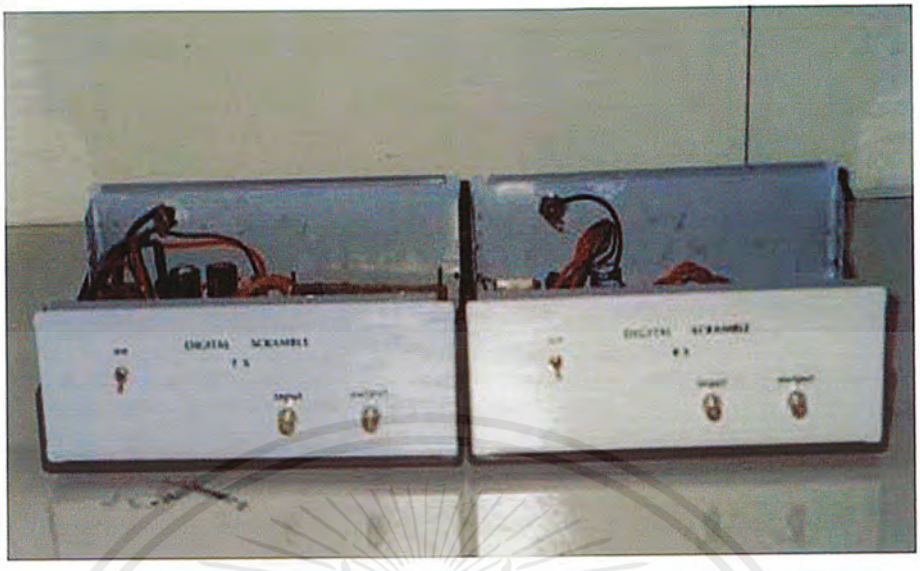
จากรูปที่ 4.15 สัญญาณทางด้านบนเป็นสัญญาณเสียงอินพุทที่ภาคส่งที่ได้จากเอาท์พุทของเครื่องเล่นคอมแพคดิสค์ ส่วนสัญญาณด้านล่างเป็นสัญญาณที่ได้จากเอาท์พุทของภาครับของดิจิตอลสแครมเบิลจะเห็นได้ว่ามีการเลื่อนเฟสไปบ้าง ซึ่งจากการทดลองทำการต่อลำโพงที่เอาท์พุทของวงจรทางด้านรับได้ยินเสียงเพลงที่เป็นอินพุทของวงจรทางด้านส่ง

บทที่ 5
สรุปและวิจารณ์ผลการทดลอง

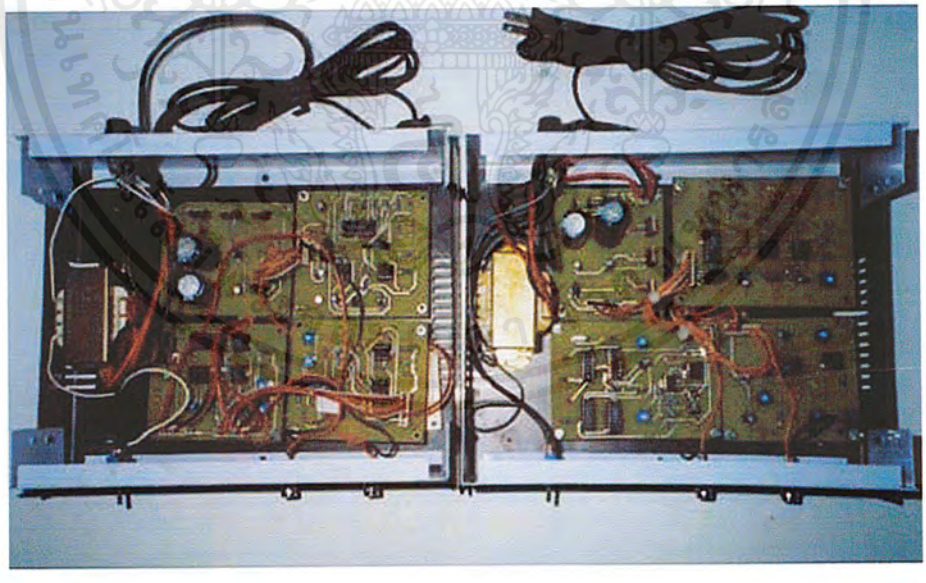
โครงงานนี้ได้นำหลักการของการกำเนิดลำดับแบบกึ่งสุ่มมาใช้ในการสแครมเบิลซึ่งมีผลทำให้ลำดับของสัญญาณเปลี่ยนแปลงไปจากเดิม โดยจะนำเอาลำดับที่ได้จากวงจรกำเนิดลำดับแบบกึ่งสุ่มไปเอ็กซ์คลูซีฟออร์กับสัญญาณเสียงที่ถูกแปลงเป็นสัญญาณสัญญาณดิจิตอล ทำให้เมื่อเกิดการการดักฟังก็ไม่สามารถที่จะรับฟังได้สำหรับการทำงานและส่วนประกอบของวงจรทางด้นรับและทางส่งจะอาศัยหลักการเดียวกัน โดยทางด้านรับจะทำการดีสสแครมเบิลสัญญาณที่ส่งมาด้วยการเอ็กซ์คลูซีฟออร์กับลำดับที่สร้างขึ้นแบบเดียวกับทางด้านส่งแล้วนำไปผ่านวงจรแปลงสัญญาณดิจิตอลเป็นอนาลอกได้สัญญาณเดิมกลับมา

จากการทดลอง การทำงานของวงจรขยายทางด้านอินพุทและเอาท์พุทเป็นแบบนอนอินเวิร์ทติงสามรถขยายสัญญาณที่อินพุทของวงจรกรองความถี่ซึ่งเกนการขยายสามารถปรับค่าได้แต่มีสัญญาณรบกวนบ้างเนื่องจากอุปกรณ์ วงจรกรองความถี่ผ่านเป็นแบบบัตเตอร์เวิร์ทอันดับสองซึ่งมีความถี่คัทออฟที่4 kHz จากการทดลองได้ทดลองป้อนสัญญาณอินพุทที่เป็นรูปคลื่นซายน์ตั้งแต่ 0 kHz เปลี่ยนแปลงจนถึงความถี่ 4 kHz พบว่าวงจรกรองความถี่ต่ำผ่านสามารถคัทออฟที่ความถี่ 4 kHz ได้จริงโดยทำการวัดที่เอาท์พุทจากวงจรกรองความถี่ต่ำผ่านแต่พบว่าตั้งแต่ความถี่มากกว่า 2 kHz ขึ้นไปสัญญาณเอาท์พุทที่ได้จากวงจรเดลต้ามอดูเลชั่นจะเกิดความผิดพลาด ทำให้ที่ภาครับของดิจิตอลสแครมเบิลที่ทำการแปลงกลับสัญญาณจากดิจิตอลเป็นอนาลอกที่วงจรเดลต้ามอดดูเลชั่นเกิดความผิดเพี้ยนของรูปคลื่นสัญญาณไปมากและที่ความถี่ 4 kHz ไม่สามารถแปลงสัญญาณดิจิตอลเป็นสัญญาณอนาลอกที่ภาคเดลต้ามอดูเลชั่นได้เลย ในแนวทางการปรับปรุงจะต้องทำการเพิ่มความถี่ของสัญญาณนาฬิกาเพื่อให้ความสามารถในการเปลี่ยนสัญญาณอนาลอกเป็นสัญญาณดิจิตอล จะมีความถูกต้องมากขึ้นและจากการทดลองนำสัญญาณเสียงป้อนให้อินพุทและทำการวัดสัญญาณที่ได้จากเอาพุทของวงจรดิจิตอลสแครมเบิลทางด้านรับสามารถรับสัญญาณเสียงกลับคืนมาได้ แต่จะมีการเลื่อนเฟสกัน และทำการต่อลำโพงก็จะได้ยินเสียงออกจากลำโพงเช่นกัน วงจร A / D และ D / A ที่ใช้เป็นไอซีเบอร์ MC 3418 สัญญาณที่ออกมาเป็นสัญญาณดิจิตอลที่ได้รับการสแครมเบิลเรียบร้อย

ภาคผนวก



รูปชิ้นงานด้านหน้าของเครื่องส่งและเครื่องรับดิจิตอลแสครมเบิ้ล



รูปชิ้นงานด้านบนของเครื่องส่งและเครื่องรับดิจิตอลแสครมเบิ้ล

Order this document by MC3418/D

MOTOROLA

MC3418

CONTINUOUSLY VARIABLE SLOPE DELTA MODULATOR/DEMODULATOR

LASER–TRIMMED IC

SEMICONDUCTOR TECHNICAL DATA

Continuously Variable Slope Delta Modulator/Demodulator

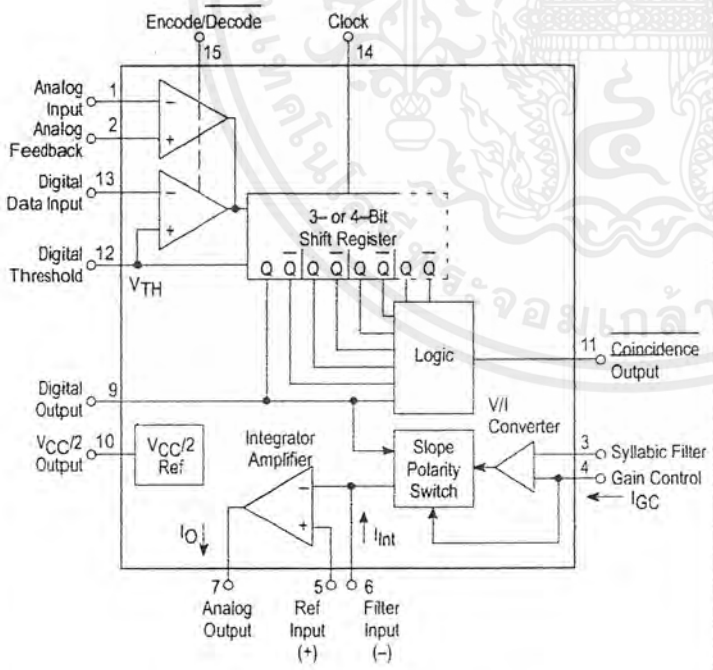
Providing a simplified approach to digital speech encoding/decoding, the MC3418 CVSD is designed for military secure communication and commercial telephone applications. A single IC provides both encoding and decoding functions.

- Encode and Decode Functions on the Same Chip with a Digital Input for Selection
- Utilization of Compatible I^2L – Linear Bipolar Technology
- CMOS Compatible Digital Output
- Digital Input Threshold Selectable ($V_{CC}/2$ Reference Provided On–Chip)
- MC3418 has a 4–Bit Algorithm (Commercial Telephone)

P SUFFIX
PLASTIC PACKAGE
CASE 648

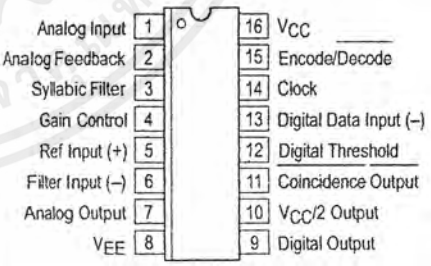
DW SUFFIX
PLASTIC PACKAGE
CASE 751G
(SO–16L)

Representative Block Diagram



This device contains 144 active transistors.

PIN CONNECTIONS



(Top View)

ORDERING INFORMATION

Device	Operating Temperature Range	Package
MC3418DW	T_A = 0° to +70°C	SO–16L
MC3418P		Plastic DIP

© Motorola, Inc. 1996

MAXIMUM RATINGS (All voltages referenced to V_{EE}, T_A = 25°C, unless otherwise noted.)

Rating	Symbol	Value	Unit
Power Supply Voltage	V_{CC}	–0.4 to +18	Vdc
Differential Analog Input Voltage	V_{ID}	±5.0	Vdc
Digital Threshold Voltage	V_{TH}	–0.4 to V_{CC}	Vdc
Logic Input Voltage Clock, Digital Data, Encode/Decode	V_{Logic}	 –0.4 to +18	Vdc
Coincidence Output Voltage	$V_{O(Con)}$	–0.4 to +18	Vdc
Syllabic Filter Input Voltage	$V_{I(Syl)}$	–0.4 to V_{CC}	Vdc
Gain Control Input Voltage	$V_{I(GC)}$	–0.4 to V_{CC}	Vdc
Reference Input Voltage	$V_{I(ref)}$	$V_{CC}/2$ – 1.0 to V_{CC}	Vdc
$V_{CC}/2$ Output Current	I_{ref}	–25	mA

NOTE: ESD data available upon request.

ELECTRICAL CHARACTERISTICS (V_{CC} = 12 V, V_{EE} = Gnd, T_A = 0 to 70°C, unless otherwise noted.)

Characteristic	Symbol	Min	Typ	Max	Unit
Power Supply Voltage Range (Figure 1)	V_{CCR}	4.75	12	16.5	Vdc
Power Supply Current (Figure 1) @ Idle Channel V_{CC} = 5.0 V V_{CC} = 15 V	I_{CC}	 – –	 3.7 6.0	 5.5 11	mA
Gain Control Current Range (Figure 2)	I_{GCR}	0.002	–	3.0	mA
Analog Comparator Input Range (Pins 1 and 2) 4.75 V ≤ V_{CC} ≤ 16.5 V	V_I	1.3	–	V_{CC} – 1.3	Vdc
Analog Output Range (Pin 7) 4.75 V ≤ V_{CC} ≤ 16.5 V, I_O = ±5.0 mA	V_O	1.3	–	V_{CC} – 1.3	Vdc
Input Bias Currents (Figure 3) Comparator in Active Region Analog Input (I1) Analog Feedback (I2) Syllabic Filter Input (I3) Reference Input (I5)	I_{IB}	 – – – –	 0.25 0.25 0.06 –0.06	 1.0 1.0 0.3 –0.3	µA
Input Offset Current Comparator in Active Region Analog Input/Analog Feedback |I1 – I2| (Figure 3) Analog Input/Analog Feedback |I5 – I6| (Figure 4)	I_{IO}	 – –	 0.05 0.01	 0.4 0.1	µA
Input Offset Voltage V/I Converter (Pins 3 and 4) (Figure 5)	V_{IO}	–	2.0	6.0	mV
Transconductance V/I Converter, 0 to 3.0 mA Integrator Amplifier, 0 to ±5.0 mA Load	gm	 0.1 1.0	 0.3 10	 – –	mA/mV
Propagation Delay Times (Note 1) Clock Trigger to Digital Output C_L = 25 pF to Gnd Clock Trigger to Coincidence Output C_L = 25 pF to Gnd, R_L = 4.0 kΩ to V_{CC}	 t_{PLH} t_{PHL} t_{PLH} t_{PHL}	 – – – –	 1.0 0.8 1.0 0.8	 2.5 2.5 3.0 2.0	µs
Coincidence Output Voltage – Low Logic Stage $I_{OL(Con)}$ = 3.0 mA	$V_{OL(Con)}$	–	0.12	0.25	Vdc

NOTES: 1. All propagation delay times measured 50% to 50% from the negative going (from V_{CC} to +0.4 V) edge of the clock.
2. Dynamic total loop offset (ΣVoffset) equals VIO (comparator) (Figure 3) minus VIOX (Figure 5). The input offset voltages of the analog comparator and of the integrator amplifier include the effects of input offset current through the input resistors. The slope polarity switch current mismatch appears as an average voltage across the 10 k integrator resistor. The clock frequency is 32 kHz. Idle channel performance is guaranteed if this dynamic total loop offset is less than one–half of the change in integrator output voltage during one clock cycle (ramp step size). Laser trimming is used to ensure good idle channel performance.

ELECTRICAL CHARACTERISTICS (continued) (V_{CC} = 12 V, V_{EE} = Gnd, T_A = 0 to 70°C, unless otherwise noted.)

Characteristic	Symbol	Min	Typ	Max	Unit
Coincidence Output Leakage Current – High Logic State V_{OH} = 15 V, 0°C ≤ T_A ≤ 70°C	$I_{OH(Con)}$	–	0.01	0.5	µA
Applied Digital Threshold Voltage Range (Pin 12)	V_{TH}	1.2	–	V_{CC} – 2.0	Vdc
Digital Threshold Input Current 1.2 V ≤ V_{th} ≤ V_{CC} – 2.0 V V_{IL} Applied to Pins 13, 14 and 15 V_{IH} Applied to Pins 13, 14 and 15	$I_{I(th)}$	 – –	 – –10	 5.0 –50	µA
Maximum Integrator Amplifier Output Current	I_O	±5.0	–	–	mA
V_{CC}/2 Generator Maximum Output Current (Source Only)	I_{ref}	10	–	–	mA
V_{CC}/2 Generator Output Impedance (0 to –10 mA)	z_{ref}	–	3.0	6.0	Ω
V_{CC}/2 Generator Tolerance (4.75 V ≤ V_{CC} ≤ 16.5 V)	εr	–	–	±3.5	%
Logic Input Voltage (Pins 13, 14 and 15) Low Logic State High Logic State	 V_{IL} V_{IH}	 V_{EE} V_{th} + 0.4	 – –	 V_{th} – 0.4 18	Vdc
Dynamic Total Loop Offset Voltage (Note 2) (Figures 3, 4 and 5) I_{GC} = 12 µA, V_{CC} = 12 V T_A = 25°C 0°C ≤ T_A ≤ + 70°C I_{GC} = 12 µA, V_{CC} = 5.0 V T_A = 25°C 0°C ≤ T_A ≤ + 70°C	ΣV_{offset}	 – – – –	 ±0.5 ±0.75 ±1.0 ±1.3	 ±3.0 ±3.8 ±3.5 ±4.3	mV
Digital Output Voltage I_{OL} = 3.6 mA I_{OH} = –0.35 mA	 V_{OL} V_{OH}	 – V_{CC} – 1.0	 0.1 V_{CC} – 0.2	 0.4 –	Vdc
Syllabic Filter Applied Voltage (Pin 3) (Figure 2)	$V_{I(Syl)}$	3.2	–	V_{CC}	Vdc
Integrating Current (Figure 2) I_{GC} = 12 µA I_{GC} = 1.5 mA I_{GC} = 3.0 mA	$\lvert I_{Int} \rvert$	 8.0 1.42 2.75	 10 1.5 3.0	 12 1.58 3.25	 µA mA mA
Dynamic Integrating Current Match (Figure 6) I_{GC} = 1.5 mA	$V_{O(Ave)}$	–	±100	±280	mV
Input Current – High Logic State (V_{IH} = 18 V) Digital Data Input Clock Input Encode/Decode Input	I_{IH}	 – – –	 – – –	 5.0 5.0 5.0	µA
Input Current – Low Logic State (V_{IL} = 0 V) Digital Data Input Clock Input Encode/Decode Input Clock Input, V_{IL} = 0.4 V	I_{IL}	 –10 –360 –36 –72	 – – – –	 – – – –	µA

NOTES: 1. All propagation delay times measured 50% to 50% from the negative going (from V_{CC} to +0.4 V) edge of the clock.
2. Dynamic total loop offset (ΣVoffset) equals VIO (comparator) (Figure 3) minus VIOX (Figure 5). The input offset voltages of the analog comparator and of the integrator amplifier include the effects of input offset current through the input resistors. The slope polarity switch current mismatch appears as an average voltage across the 10 k integrator resistor. The clock frequency is 32 kHz. Idle channel performance is guaranteed if this dynamic total loop offset is less than one–half of the change in integrator output voltage during one clock cycle (ramp step size). Laser trimming is used to ensure good idle channel performance.

DEFINITION AND FUNCTION OF PINS

Pin 1 — Analog Input

This is the analog comparator inverting input where the voice signal is applied. It may be ac or dc coupled depending on the application. If the voice signal is to be level shifted to the internal reference voltage, then a bias resistor between Pins 1 and 10 is used. The resistor is used to establish the reference as the new dc average of the ac coupled signal. The analog comparator was designed for low hysteresis (typically less than 0.1 mV) and high gain (typically 70 dB).

Pin 2 — Analog Feedback

This is the noninverting input to the analog signal comparator. In an encoder application it should be connected to the analog output of the encoder circuit. This may be Pin 7 or a low pass filter output connected to Pin 7. In a decode circuit Pin 2 is not used and may be tied to V_{CC}/2 at Pin 10 or ground.

The analog input comparator has bias currents of 1.0 µA max, thus the driving impedances at Pins 1 and 2 should be

equal to avoid disturbing the idle channel characteristics of the encoder.

Pin 3 — Syllabic Filter

This is the point at which the syllabic filter voltage is returned to the IC in order to control the integrator step size. It is an NPN input to an op amp. The syllabic filter consists of an RC network between Pins 11 and 3. Typical time constant values of 6.0 to 50 ms are used in voice codecs.

Pin 4 — Gain Control Input

The syllabic filter voltage appears across C_S of the syllabic filter and is the voltage between V_{CC} and Pin 3. The active voltage to current (V – I) converter drives Pin 4 to the same voltage at a slew rate of typically 0.5 V/μs. Thus the current injected into Pin 4 (I_{GC}) is the syllabic filter voltage divided by the R_X resistance. Figure 7 shows the relationship between I_{GC} (x–axis) and the integrating current, I_{Int} (y–axis). The discrepancy, which is most significant at very low currents, is due to circuitry within the slope polarity switch which enables trimming to a low total loop offset. The R_X resistor is then varied to adjust the loop gain of the codec, but should be no larger than 5.0 kΩ to maintain stability.

Pin 5 — Reference Input

This pin is the noninverting input of the integrator amplifier. It is used to reference the dc level of the output signal. In an encoder circuit it must reference the same voltage as Pin 1 and is tied to Pin 10.

Pin 6 — Filter Input

This inverting op amp input is used to connect the integrator external components. The integrating current (I_{Int}) flows into Pin 6 when the analog input (Pin 1) is high with respect to the analog feedback (Pin 2) in the encode mode or when the digital data input (Pin 13) is high in the decode mode. For the opposite states, I_{Int} flows out of Pin 6. Single integration systems require a capacitor and resistor between Pins 6 and 7. Multipole configurations will have different circuitry. The resistance between Pins 6 and 7 should always be between 8.0 kΩ and 13 kΩ to maintain good idle channel characteristics.

Pin 7 — Analog Output

This is the integrator op amp output. It is capable of driving a 600 Ω load referenced to $V_{CC}/2$ to +6.0 dBm and can otherwise be treated as an op amp output. Pins 5, 6 and 7 provide full access to the integrator op amp for designing integration filter networks. The slew rate of the internally compensated integrator op amp is typically 0.5 V/μs. Pin 7 output is current limited for both polarities of current flow at typically 30 mA.

Pin 8 — V_{EE}

The circuit is designed to work in either single or dual power supply applications. Pin 8 is always connected to the most negative supply.

Pin 9 — Digital Output

The digital output provides the results of the delta modulator's conversion. It swings between V_{CC} and V_{EE} and is CMOS or TTL compatible. Pin 9 is inverting with respect to Pin 1 and noninverting with respect to Pin 2. It is clocked on the falling edge of Pin 14. The typical 10% to 90% rise and fall times are 250 ns and 50 ns respectively for V_{CC} = 12 V and C_L = 25 pF to ground.

Pin 10 — $V_{CC}/2$ Output

An internal low impedance mid–supply reference is provided for use in single supply applications. The internal regulator is a current source and must be loaded with a resistor to ensure its sinking capability. If a +6.0 dBmo signal is expected across a 600 Ω input bias resistor, then Pin 10 must sink 2.2 V/600 Ω = 3.66 mA. This is possible only if Pin 10 sources 3.66 mA into a resistor normally and will source the difference under peak load. The reference load resistor is chosen accordingly. A 0.1 μF bypass capacitor from Pin 10 to V_{EE} is also recommended. The $V_{CC}/2$ reference is capable of sourcing 10 mA and can be used as a reference elsewhere in the system circuitry.

Pin 11 — $\overline{\text{Coincidence Output}}$

The duty cycle of this pin is proportional to the voltage across C_S. The coincidence output will be low whenever the content of the internal shift register is all 1s or all 0s. The MC3418 contains a 4–bit register. Pin 11 is an open collector NPN device and requires a pull–up resistor. If the syllabic filter is to have equal charge and discharge time constants, the value of R_P should be much less than R_S. In systems requiring different charge and discharge constants, the charging constant is R_SC_S while the decay constant is $(R_S + R_P)C_S$. Thus longer decays are easily achievable. The NPN device should not be required to sink more than 3.0 mA in any configuration. The typical 10% to 90% rise and fall times are 200 ns and 100 ns respectively for R_L = 4.0 kΩ to 12 V and C_L = 25 pF to ground.

Pin 12 — Digital Threshold

This input sets the switching threshold for Pins 13, 14 and 15. It is intended to aid in interfacing different logic families without external parts. Often it is connected to the $V_{CC}/2$ reference for CMOS interface or can be biased two diode drops above V_{EE} for TTL interface.

Pin 13 — Digital Data Input

In a decode application, the digital data stream is applied to Pin 13. In an encoder it may be unused or may be used to transmit signaling message under the control of Pin 15. It is an inverting input with respect to Pin 9. When Pins 9 and 13 are connected, a toggle flip–flop is formed and a forced idle channel pattern can be transmitted. The digital data input level should be maintained for 0.5 μs before and after the clock trigger for proper clocking.

Pin 14 — Clock Input

The clock input determines the data rate of the codec circuit. A 32 k bit rate requires a 32 kHz clock. The switching threshold of the clock input is set by Pin 12. The shift register circuit toggles on the falling edge of the clock input. The minimum high time for the clock input is 300 ns and minimum low time is 900 ns.

Pin 15 — $\overline{\text{Encode/Decode}}$

This pin controls the connection of the analog input comparator and the digital input comparator to the internal shift register. If high, the result of the analog comparison will be clocked into the register on the falling edge at Pin 14. If low, the digital input state will be entered. This allows use of the IC as an encoder/decoder or simplex codec without external parts. Furthermore, it allows non–voice patterns to be forced onto the transmission line through Pin 13 in an encoder.

Pin 16 — V_{CC}

The power supply range is from 4.75 to 16.5 V between Pin V_{CC} and V_{EE}.

Figure 1. Power Supply Current

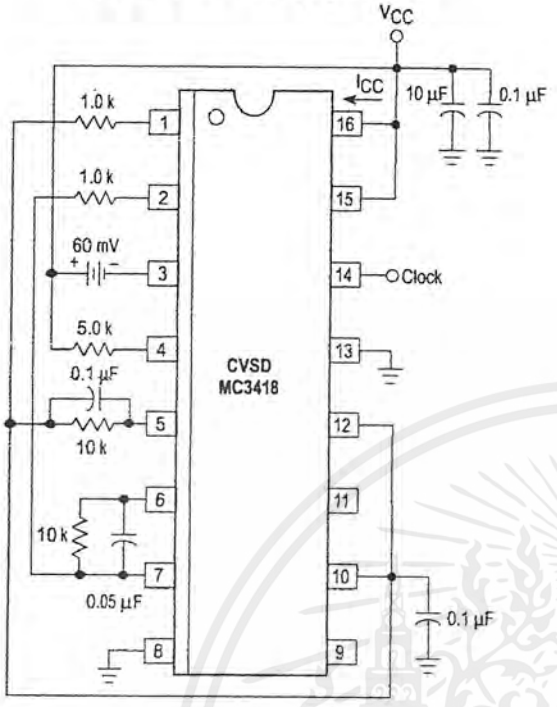
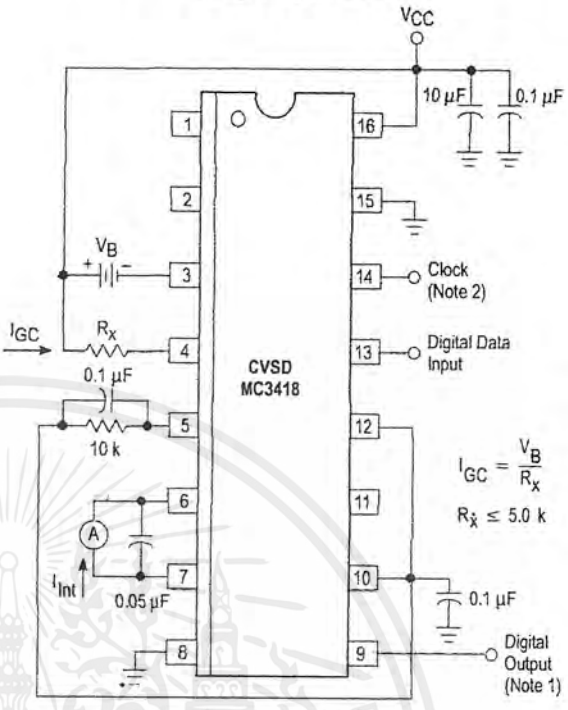
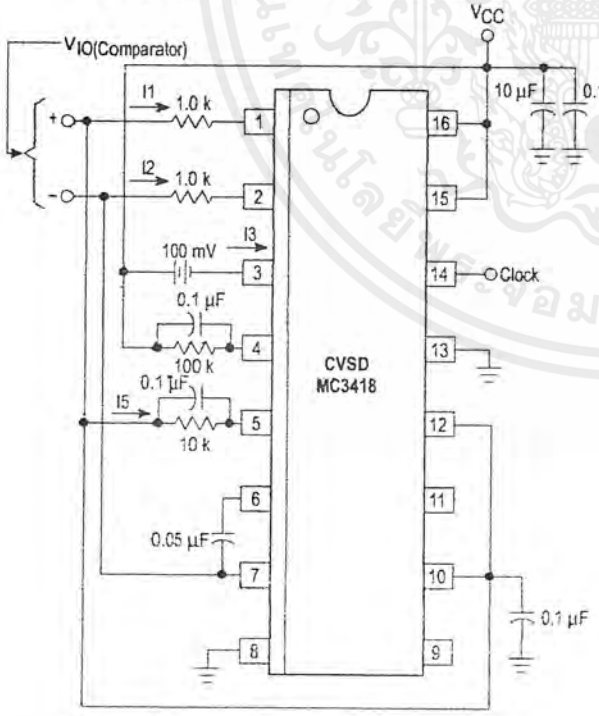


Figure 2. I_{GCR} = Gain Control Range and I_{Int} – Integrating Current



NOTES: 1. Digital Output = Digital Data Input
2. For static testing, the clock is only necessary for preconditioning to obtain proper state for a given input.

Figure 3. Input Bias Currents, Analog Comparator Offset Voltage and Current



NOTE: The analog comparator offset voltage is tested under dynamic conditions and therefore must be measured with appropriate filtering.

Figure 4. Integrator Amplifier Offset Voltage and Current

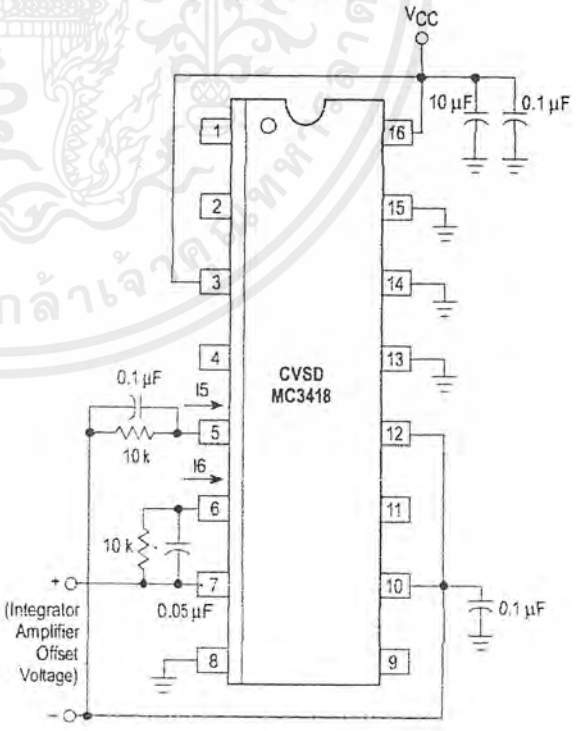
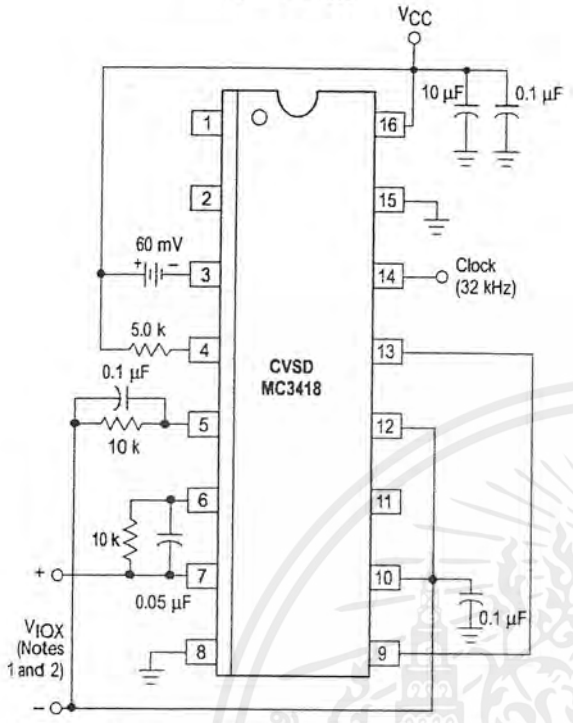
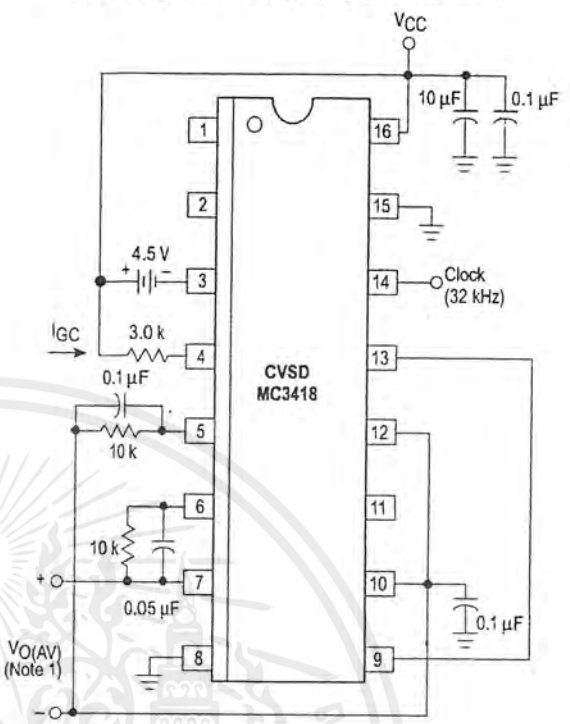


Figure 5. V/I Converter Offset Voltage, V_{IO} and V_{IOX}



NOTES: 1. Integrator amplifier offset voltage plus slope polarity switch mismatch.
2. V_{IOX} is the average voltage of the triangular wave form observed at the measurement points.

Figure 6. Dynamic Integrating Current Match



NOTES: 1. $V_{O(AV)}$, Dynamic Integrating Current Match, is the average voltage of the triangular waveform observed at t the measurement points, across 10 kΩ resistor with I_{GC} = 1.5 mA.
2. See Note 2 in the Electrical Characteristics table.
3. See Figures 8 and 9.

TYPICAL PERFORMANCE CURVES

Figure 7. Typical I_{Int} versus I_{GC} (Mean ±2 σ)

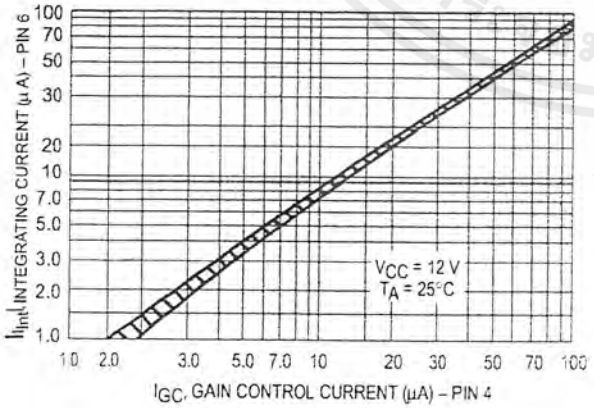


Figure 8. Normalized Dynamic Integrating Current Match versus V_{CC}

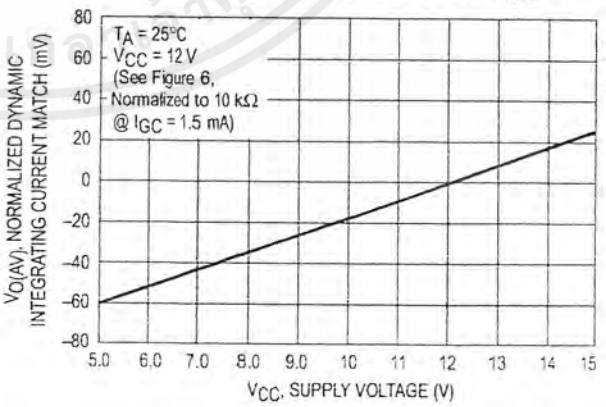


Figure 9. Normalized Dynamic Integrating Current Match versus Clock Frequency

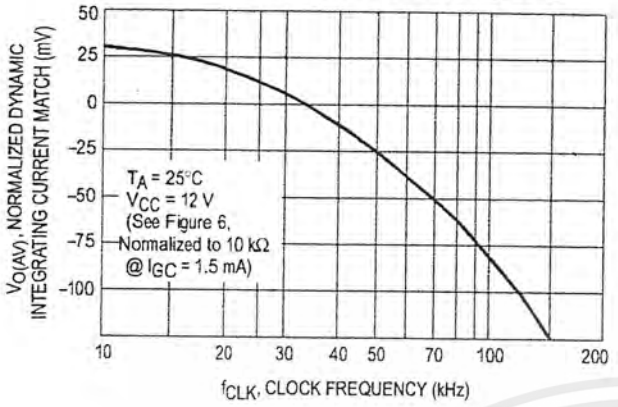


Figure 10. Dynamic Total Loop Offset versus Clock Frequency

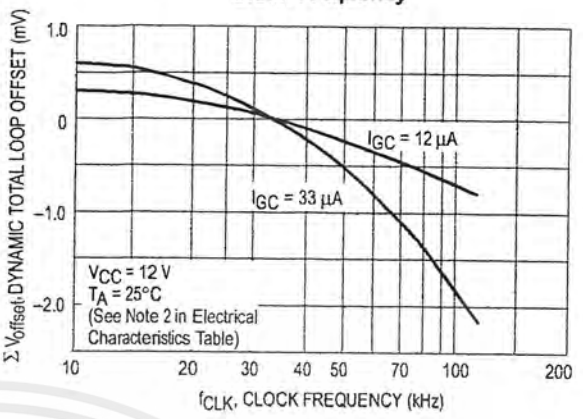


Figure 11. Block Diagram of the CVSD Encoder

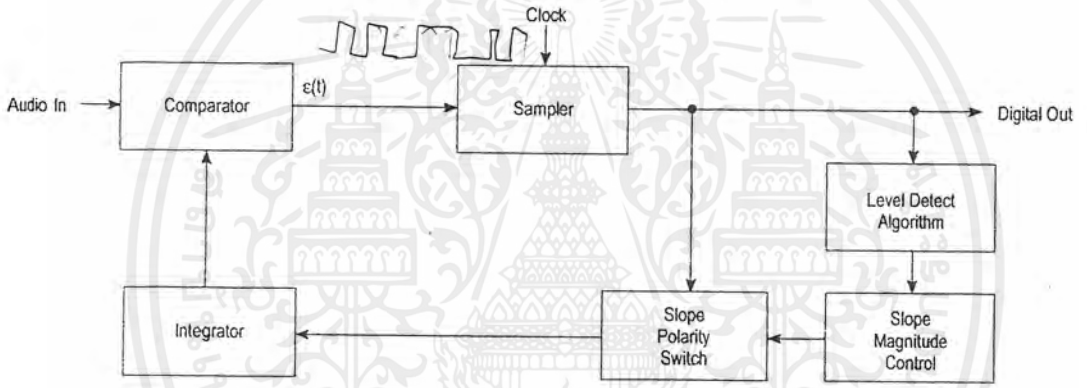


Figure 12. CVSD Waveforms

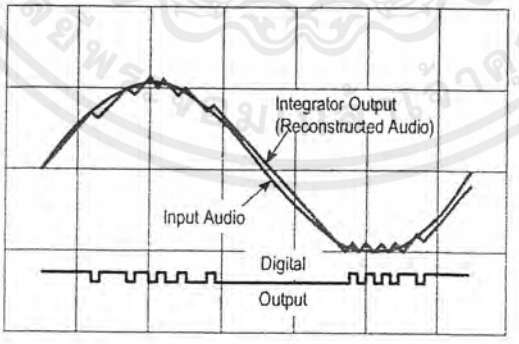


Figure 13. Block Diagram of the CVSD Decoder

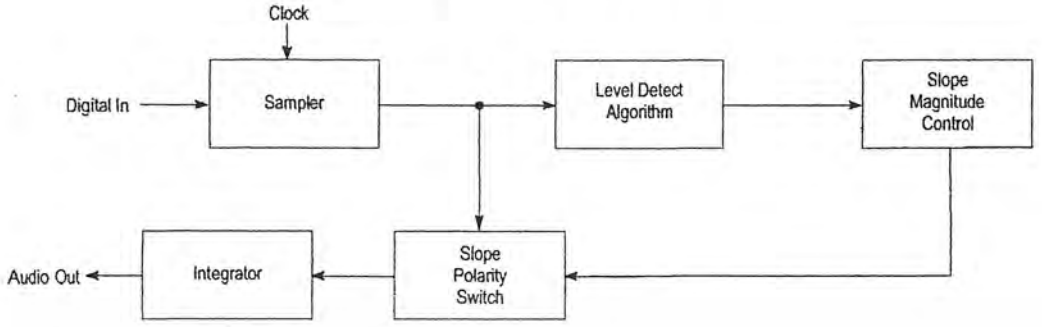
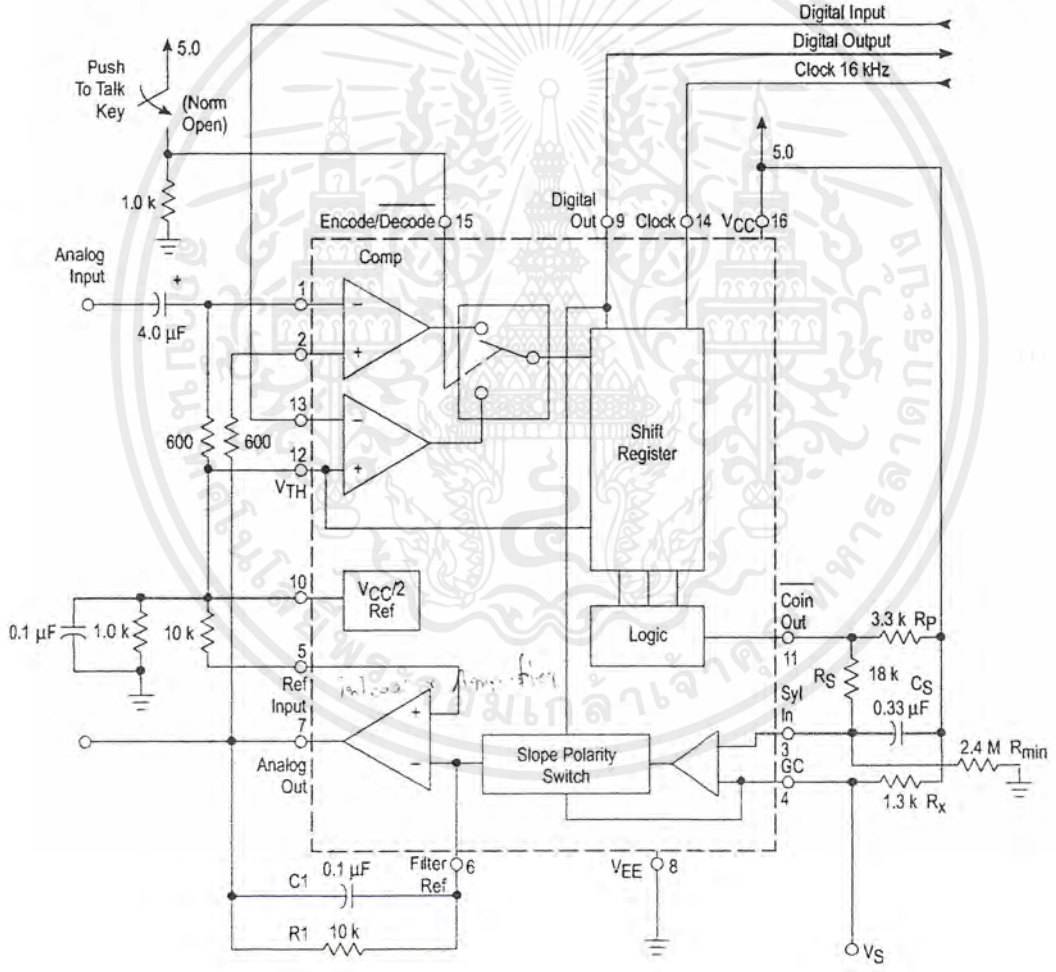


Figure 14. 16 kHz Simplex Voice Codec (Single–Pole Companding and Single Integration)



CIRCUIT DESCRIPTION

The continuously variable slope delta modulator (CVSD) is a simple alternative to more complex conventional conversion techniques in systems requiring digital communication of analog signals. The human voice is analog, but digital transmission of any signal over great distance is attractive. Signal/noise ratios do not vary with distance in digital transmission and multiplexing, switching and repeating hardware is more economical and easier to design. However, instrumentation A to D converters do not meet the communications requirements. The CVSD A to D is well suited to the requirements of digital communications and is an economically efficient means of digitizing analog inputs for transmission.

The Delta Modulator

The innermost control loop of a CVSD converter is a simple delta modulator. A block diagram CVSD Encoder is shown in Figure 11. A delta modulator consists of a comparator in the forward path and an integrator in the feedback path of a simple control loop. The inputs to the comparator are the input analog signal and the integrator output. The comparator output reflects the sign of the difference between the input voltage and the integrator output. That sign bit is the digital output and also controls the direction of ramp in the integrator. The comparator is normally clocked so as to produce a synchronous and band–limited digital bit stream.

If the clocked serial bit stream is transmitted, received, and delivered to a similar integrator at a remote point, the remote integrator output is a copy of the transmitting control loop integrator output. To the extent that the integrator at the transmitting locations tracks the input signal, the remote receiver reproduces the input signal. Low pass filtering at the receiver output will eliminate most of the quantizing noise, if the clock rate of the bit stream is an octave or more above the bandwidth of the input signal. Voice bandwidth is 4.0 kHz and clock rates from 8.0 k and up are possible. Thus the delta modulator digitizes and transmits the analog input to a remote receiver. The serial, unframed nature of the data is ideal for communications networks. With no input at the transmitter, a continuous one zero alternation is transmitted. If the two integrators are made leaky, then during any loss of contact the receiver output decays to zero and receive restart begins without framing when the receiver reacquires. Similarly, a delta modulator is tolerant of sporadic bit errors. Figure 12 shows the delta modulator waveforms while Figure 13 shows the corresponding CVSD decoder block diagram.

The Companding Algorithm

The fundamental advantages of the delta modulator are its simplicity and the serial format of its output. Its limitations are its ability to accurately convert the input within a limited digital bit rate. The analog input must be band limited and amplitude limited. The frequency limitations are governed by the nyquist rate while the amplitude capabilities are set by the gain of the integrator.

The frequency limits are bounded on the upper end; that is, for any input bandwidth there exists a clock frequency larger than that bandwidth which will transmit the signal with a specific noise level. However, the amplitude limits are bounded on both upper and lower ends. For a signal level, one specific gain will achieve an optimum noise level. Unfortunately, the basic delta modulator has a small dynamic range over which the noise level is constant.

The continuously variable slope circuitry provides increased dynamic range by adjusting the gain of the integrator. For a given clock frequency and input bandwidth the additional circuitry increases the delta modulator's dynamic range. External to the basic delta modulator is an algorithm which monitors the past few outputs of the delta modulator in a simple shift register. The register is 4–bits long. The accepted CVSD algorithm simply monitors the contents of the shift register and indicates if it contains all 1s or 0s. This condition is called coincidence. When it occurs, it indicates that the gain of the integrator is too small. The coincidence output charges a single–pole low pass filter. The voltage output of this syllabic filter controls the integrator gain through a pulse amplitude modulator whose other input is the sign bit or up/down control.

The simplicity of the all 1s, all 0s algorithm should not be taken lightly. Many other control algorithms using the shift register have been tried. The key to the accepted algorithm is that it provides a measure of the average power or level of the input signal. Other techniques provide more instantaneous information about the shape of the input curve. The purpose of the algorithm is to control the gain of the integrator and to increase the dynamic range. Thus a measure of the average input level is what is needed.

The algorithm is repeated in the receiver and thus the level data is recovered in the receiver. Because the algorithm operates only on the past serial data, it changes the nature of the bit stream without changing the channel bit rate.

The effect of the algorithm is to compand the input signal. If a CVSD encoder is played into a basic delta modulator, the output of the delta modulator will reflect the shape of the input signal but all of the output will be at an equal level. Thus the algorithm at the output is needed to restore the level variations. The bit stream in the channel is as if it were from a standard delta modulator with a constant level input.

The delta modulator encoder with the CVSD algorithm provides an efficient method for digitizing a voice input in a manner which is especially convenient for digital communications requirements.

APPLICATIONS INFORMATION

CVSD DESIGN CONSIDERATIONS

A simple CVSD encoder using the MC3418 is shown in Figure 14. This IC is a general purpose CVSD building block which allows the system designer to tailor the encoder's transmission characteristics to the application. Thus, the achievable transmission capabilities are constrained by the fundamental limitations of delta modulation and the design of encoder parameters. The performance is not dictated by the internal configuration of the MC3418. There are seven design considerations involved in designing these basic CVSD building blocks into a specific codec application, and they are as follows:

1. Selection of clock rate
2. Required number of shift register bits
3. Selection of loop gain
4. Selection of minimum step size
5. Design of integration filter transfer function
6. Design of syllabic filter transfer function
7. Design of low pass filter at the receiver

The circuit in Figure 14 is the most basic CVSD circuit possible. For many applications in secure radio or other intelligible voice channel requirements, it is entirely sufficient. In this circuit, items 5 and 6 are reduced to their simplest form. The syllabic and integration filters are both single–pole networks. The selection of items 1 through 4 govern the codec performance.

Layout Considerations

Care should be exercised to isolate all digital signal paths (Pins 9, 11, 13 and 14) from analog signal paths (Pins 1 to 7 and 10) in order to achieve proper idle channel performance.

Clock Rate

With minor modifications, the circuit in Figure 14 may be operated anywhere from 9.6 to 64 kHz clock rates. Obviously the higher the clock rate the higher the S/N performance. The circuit in Figure 14 typically produces the S/N performance shown in Figure 16. The selection of clock rate is usually dictated by the bandwidth of the transmission medium. Voice bandwidth systems will require no higher than 9600 Hz. Some radio systems will allow 12 kHz. Private 4–wire telephone systems are often operated at 16 kHz and commercial telephone performance can be achieved at 32 k bits and above. Other codecs may use bit rates up to 200 k bits/sec.

Shift Register Length (Algorithm)

The MC3418 has a 4–bit algorithm well suited for 32 kHz and higher clock rates. Since the algorithm records a fixed past history of the input signal, a longer shift register is required to obtain the same internal history. At 16 kHz and below, the 4–bit algorithm will produce a slightly wider dynamic range at the expense of level change response. Basically the MC3418 is intended for high performance, high bit rate systems.

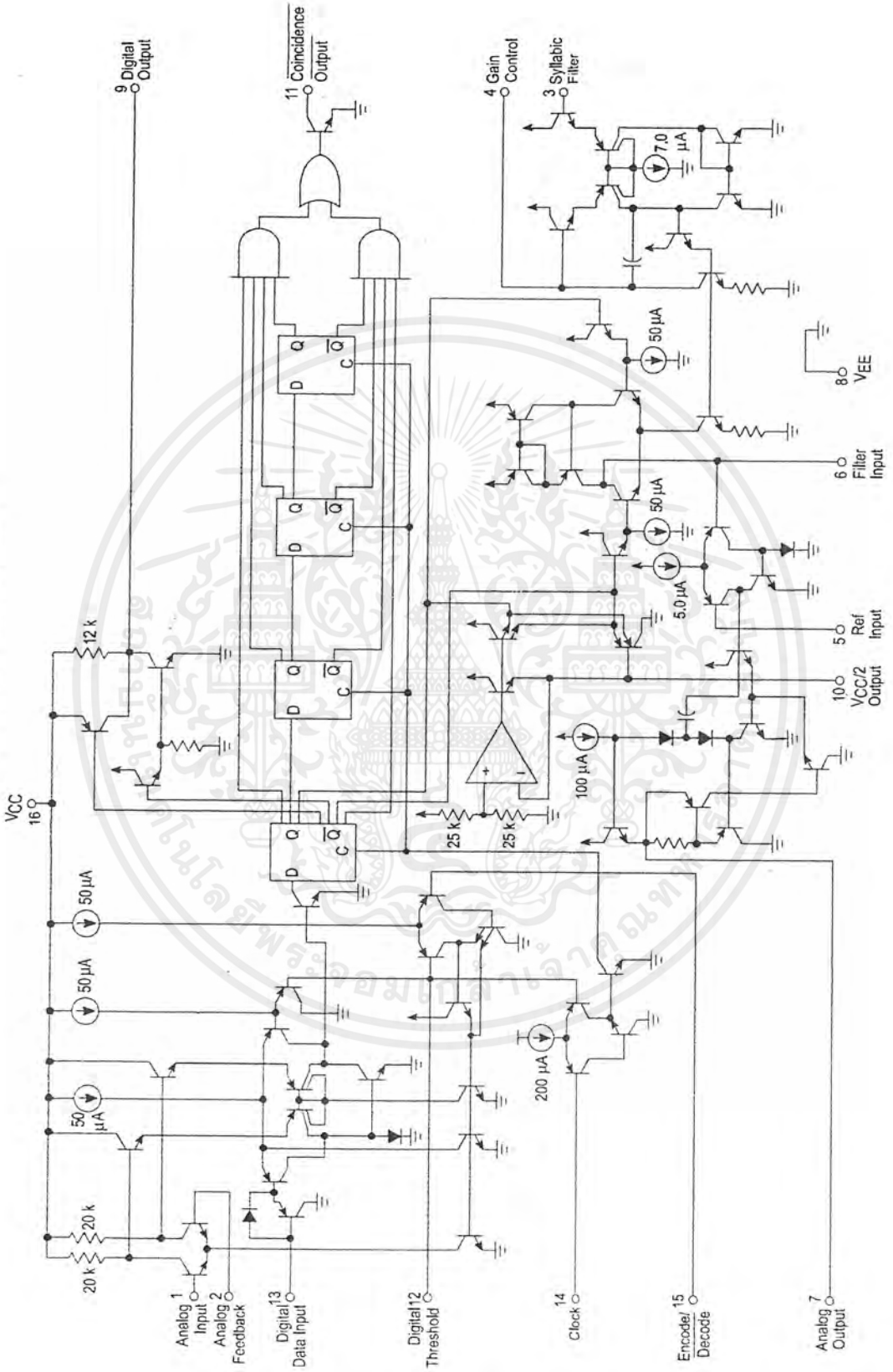
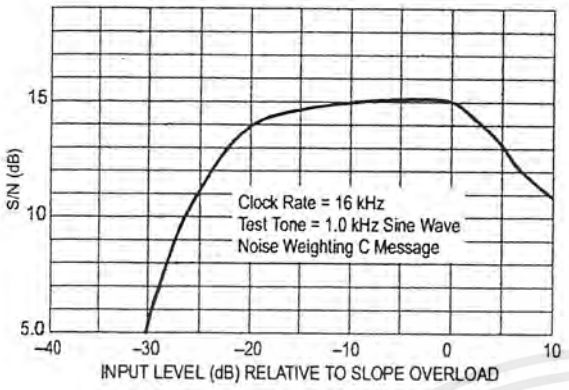


Figure 15. CVSD Circuit Schematic

Figure 16. Signal–to–Noise Performance with Single Integration, Single–Pole and Companding at 16 k Bits (Typical)



Selection of Loop Gain

The gain of the circuit in Figure 14 is set by resistor R_X. R_X must be selected to provide the proper integrator step size for high level signals such that the companding ratio does not exceed about 25%. The companding ratio is the active low duty cycle of the coincidence output on Pin 11 of the codec circuit. Thus the system gain is dependent on:

1. The maximum level and frequency of the input signal.
2. The transfer function of the integration filter.

For voice codecs the typical input signal is taken to be a sine wave at 1.0 kHz of 0 dBmo level. In practice, the useful dynamic range extends about 6.0 dB above the design level. In any system the companding ratio should not exceed 30%.

To calculate the required step size current, we must describe the transfer characteristics of the integration filter. In the basic circuit of Figure 14, a single–pole of 160 Hz is used.

$$R1 = 10\ k\Omega,\ C1 = 0.1\ \mu F$$

$$\frac{V_O}{I_i} = \frac{1}{C\left(S + \frac{1}{RC}\right)} = \frac{K}{S + \omega_o}$$

$$\omega_o = 2\ \pi f$$

$$10^3 = \omega_o = 2\ \pi f$$

$$f = 159.2\ Hz$$

Note that the integration filter produces a single–pole response from 300 to 3.0 kHz. The current required to move the integrator output a specific voltage from zero is simply:

$$I_i = \frac{V_O}{R1} + \left(C1 \times \frac{dV_O}{dt}\right)$$

Now a 0 dBmo sine wave has a peak value of 1.0954 V. In 1/8 of a cycle of a sine wave centered around the zero crossing, the sine wave changes by approximately its peak value. The CVSD step should trace that change. The required current for a 0 dBm 1.0 kHz sine wave is:

$$I_i = \frac{1.1\ V}{*\ 2\ (10\ k\Omega)} + \frac{0.1\ \mu F\ (1.1)}{0.125\ ms} = 0.935\ mA$$

* The maximum voltage across R1 when maximum slew is required is:

$$\frac{1.1\ V}{2}$$

Now the voltage range of the syllabic filter is the power supply voltage, thus:

$$R_X = 0.25\ \left(V_{CC}\right)\ \frac{1}{0.935\ mA}$$

A similar procedure can be followed to establish the proper gain for any input level and integration filter type.

Minimum Step Size

The final parameter to be selected for the simple codec in Figure 14 is idle channel step size. With no input signal, the digital output becomes a one–zero alternating pattern and the analog output becomes a small triangle wave. Mismatches of internal currents and offsets limit the minimum step size which will produce a perfect idle channel pattern. The MC3418 is tested to ensure that a 20 mVpp minimum step size at 16 kHz will attain a proper idle channel. The idle channel step size must be twice the specified total loop offset if a one–zero idle pattern is desired. In some applications a much smaller minimum step size (e.g., 0.1 mV) can produce quiet performance without providing a 1 – 0 pattern.

To set the idle channel step size, the value of R_{min} must be selected. With no input signal, the slope control algorithm is inactive. A long series of ones or zeros never occurs. Thus, the voltage across the syllabic filter capacitor (C_S) would decay to zero. However, the voltage divider of R_S and R_{min} (see Figure 14) sets the minimum allowed voltage across the syllabic filter capacitor. That voltage must produce the desired ramps at the analog output. Again we write the filter input current equation:

$$I_i = \frac{V_O}{R1} + C\frac{dV_O}{dt}$$

For values of V_O near $V_{CC}/2$ the V_O/R term is negligible; thus:

$$I_i = C_S\frac{\Delta V_O}{\Delta T}$$

where ΔT is the clock period and ΔV_O is the desired peak–to–peak value of the idle output. For a 16 k bit system using the circuit in Figure 14:

$$I_i = \frac{0.1\ \mu F\ 20\ mV}{62.5\ \mu s} = 33\ \mu A$$

The voltage on C_S which produces a 33 μA current is determined by the value of R_X.

$$I_i R_X = V_S min;\ \text{for } 33\ \mu A,\ V_S min = 41.6\ mV$$

In Figure 14 R_S is 18 kΩ. That selection is discussed with the syllabic filter considerations. The voltage divider of R_S and R_{min} must produce an output of 41.6 mV.

$$V_{CC}\ \frac{R_S}{R_S + R_{min}} = V_S min\quad R_{min} = 2.4\ M\Omega$$

Having established these four parameters – clock rate, number of shift register bits, loop gain, and minimum step size – the encoder circuit in Figure 14 will function at near optimum performance for input levels around 0 dBm.

INCREASING CVSD PERFORMANCE

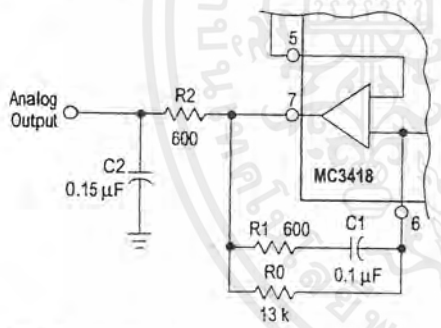
Integration Filter Design

The circuit in Figure 14 uses a single–pole integration network formed with a 0.1 μF capacitor and a 10 kΩ resistor. It is possible to improve the performance of the circuit in Figure 14 by 1.0 or 2.0 dB by using a two–pole integration network. The improved circuit is shown in Figure 17.

The first pole is still placed below 300 Hz to provide the 1/S voice content curve and a second pole is placed somewhere above the 1.0 kHz frequency. For telephony circuits, the second pole can be placed above 1.8 kHz to exceed the 1633 touchtone frequency. In other communication systems, values as low as 1.0 kHz may be selected. In general, the lower in frequency the second pole is placed, the greater the noise improvement. Then, to ensure the encoder loop stability, a zero is added to keep the phase shift less than 180°. This zero should be placed slightly above the low–pass output filter break frequency so as not to reduce the effectiveness of the second pole. A network of 235 Hz, 2.0 kHz, and 5.2 kHz is typical for telephone applications while 160 Hz, 1.2 kHz, and 2.8 kHz might be used in voice only channels. (Voice only channels can use an output low–pass filter which breaks at about 2.5 kHz.) The two–pole network in Figure 17 has a transfer function of:

$$\frac{V_O}{I_i} = \frac{R0R1\left(S + \frac{1}{R1C1}\right)}{R2C2(R0 + R1)\left(S + \frac{1}{(R0+R1)C1}\right)S + \left(\frac{1}{R2C2}\right)}$$

Figure 17. Improved Filter Configuration



NOTE: These component values are for the telephone channel circuit poles described in the text. The R2, C2 product can be provided with different values of R and C. R2 should be chosen to be equal to the termination resistor on Pin 1.

Thus the two poles and the zero can be selected arbitrarily as long as the zero is at a higher frequency than the first pole. The values in Figure 17 represent one implementation of the telephony filter requirement.

The selection of the two–pole filter network affects the selection of the loop gain value and the minimum step size resistor. The required integrator current for a given change in voltage now becomes:

$$I_i = \frac{V_O}{R0} + \left(\frac{R2C2}{R0} + \frac{R1C1}{R0} + C1\right)\frac{\Delta V_O}{\Delta T} + \left(R2C2C1 + \frac{R1C1R2C2}{R0}\right)\frac{\Delta V_O{}^2}{\Delta T^2}$$

The calculation of desired gain resistor R_X then proceeds exactly as previously described.

Syllabic Filter Design

The syllabic filter in Figure 14 is a simple single–pole network of 18 kΩ and 0.33 μF. This produces a 6.0 ms time constant for the averaging of the coincidence output signal. The voltage across the capacitor determines the integrator current which in turn establishes the step size. The integrator current and the resulting step size determine the companding ratio and the S/N performance. The companding ratio is defined as the voltage across C_S/V_{CC}.

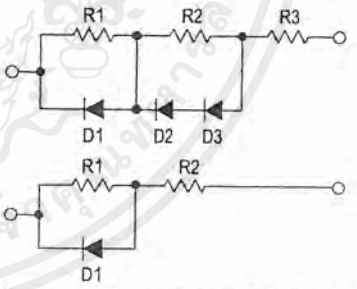
The S/N performance may be improved by modifying the voltage to current transformation produced by R_X. If different portions of the total R_X are shunted by diodes, the integrator current can be other than $(V_{CC} - V_S)/R_X$. These breakpoint curves must be designed experimentally for the particular system application. In general, one would wish that the current would double with input level. To design the desired curve, supply current to Pin 4 of the codec from an external source. Input a signal level and adjust the current until the S/N performance is optimum. Then record the syllabic filter voltage and the current. Repeat this for all desired signal levels. Then derive the resistor diode network which produces that curve on a curve tracer.

Once the network is designed with the curve tracer, it is then inserted in place of R_X in the circuit and the forced optimum noise performance will be achieved from the active syllabic algorithm.

Diode breakpoint networks may be very simple or moderately complex and can improve the usable dynamic range of any codec. In the past they have been used in high performance telephone codecs.

Typical resistor–diode networks are shown in Figure 18.

Figure 18. Resistor–Diode Networks



If the performance of more complex diode networks is desired, the circuit in Figure 19 should be used. It simulates the companding characteristics of nonlinear R_X elements in a different manner.

Output Low Pass Filter

A low pass filter is required at the receiving circuit output to eliminate quantizing noise. In general, the lower the bit rate, the better the filter must be. The filter in Figure 21 provides excellent performance for 12 to 40 kHz systems.

TELEPHONE CARRIER QUALITY CODEC

Two specifications of the integrated circuit are specifically intended to meet the performance requirements of commercial telephone systems. First, slope polarity switch current matching is laser trimmed to guarantee proper idle channel performance with 5.0 mV minimum step size and a typical 1.0% current match from 15 μA to 3.0 mA. Thus a 300 to 1 range of step size variation is possible. Second, the MC3418 provides the 4–bit algorithm currently used in subscriber loop telephone systems. With these specifications and the circuit of Figure 19, a telephone quality codec can be mass produced.

The circuit in Figure 19 provides a 30 dB S/Nc ratio over 50 dB of dynamic range for a 1.0 kHz test tone at a 37.7 k bit rate. At 37.7 k bits, 40 voice channels may be multiplexed on a standard 1.544 MB T1 facility. This codec has also been tested for 10^{-7} error rates with asynchronous and synchronous data up to 2400 baud and for reliable performance with DTMF signaling. Thus, the design is applicable in telephone quality subscriber loop carrier systems, subscriber loop concentrators, and small PABX installations.

The Active Companding Network

The unique feature of the codec in Figure 19 is the step size control circuit which uses a companding ratio reference, the present step size, and the present syllabic filter output to establish the optimum companding ratios and step sizes for any given input level. The companding ratio of a CVSD codec is defined as the duty cycle of the coincidence output. It is the parameter measured by the syllabic filter and is the voltage across C_S divided by the voltage swing of the coincidence output. In Figure 19, the voltage swing of Pin 11 is 6.0 V. The operating companding ratio is analoged by the voltage between Pins 10 and 4 by means of the virtual short across Pins 3 and 4 of the V to I op amp within the integrated circuit. Thus, the instantaneous companding ratio of the codec is always available at the negative input of A1.

The diode D1 and the gain of A1 and A2 provide a companding ratio reference for any input level. If the output of A2 is more than 0.7 V below $V_{CC}/2$, then the positive input of A1 is ($V_{CC}/2$ – 0.7). The on diode drop at the input of A1 represents a 12% companding ratio (12% = 0.7 V/6.0 V).

The present step size of the operating codec is directly related to the voltage across R_X, which established the integrator current. In Figure 19, the voltage across R_X is amplified by the differential amplifier A2 whose output is single ended with respect to Pin 10 of the IC.

For large signal inputs, the step size is large and the output of A2 is lower than 0.7 V. Thus D1 is fully on. The present step size is not a factor in the step size control. However, the difference between 12% companding ratio and the instantaneous companding ratio at Pin 4 is amplified by A1. The output of A1 changes the voltage across R_X in a direction which reduces the difference between the companding reference and the operating ratio by changing the step size. The ratio of R4 and R3 determines how closely the voltage at Pin 4 will be forced to 12%. The selection of R3 and R4 is initially experimental. However, the resulting companding control is dependent on R_X, R3, R4, and the full diode drop D1. These values are easy to reproduce from codec to codec.

For small input levels, the companding ratio reference becomes the output of A2 rather than the diode drop. The operating companding ratio on Pin 4 is then compared to a companding ratio smaller than 12% which is determined by the voltage drop across R_X and the gain of A2 and A1. The gain of A2 is also experimentally determined, but once determined, the circuitry is easily repeated.

With no input signal, the companding ratio at Pin 4 goes to zero and the voltage across R_X goes to zero. The voltage at the output of A2 becomes zero since there is no drop across R_X. With no signal input, the actively controlled step size vanished.

The minimum step size is established by the 500 k resistor between V_{CC} and Pin 4 and is therefore independently selectable.

The signal to noise results of the active companding network are shown in Figure 20. A smooth 2.0 dB drop is realized from 12 dBm to –24 under the control of A1. At –24 dBm, A2 begins to degenerate the companding reference and the resulting step size is reduced so as to extend the dynamic range of the codec by 20 dBm.

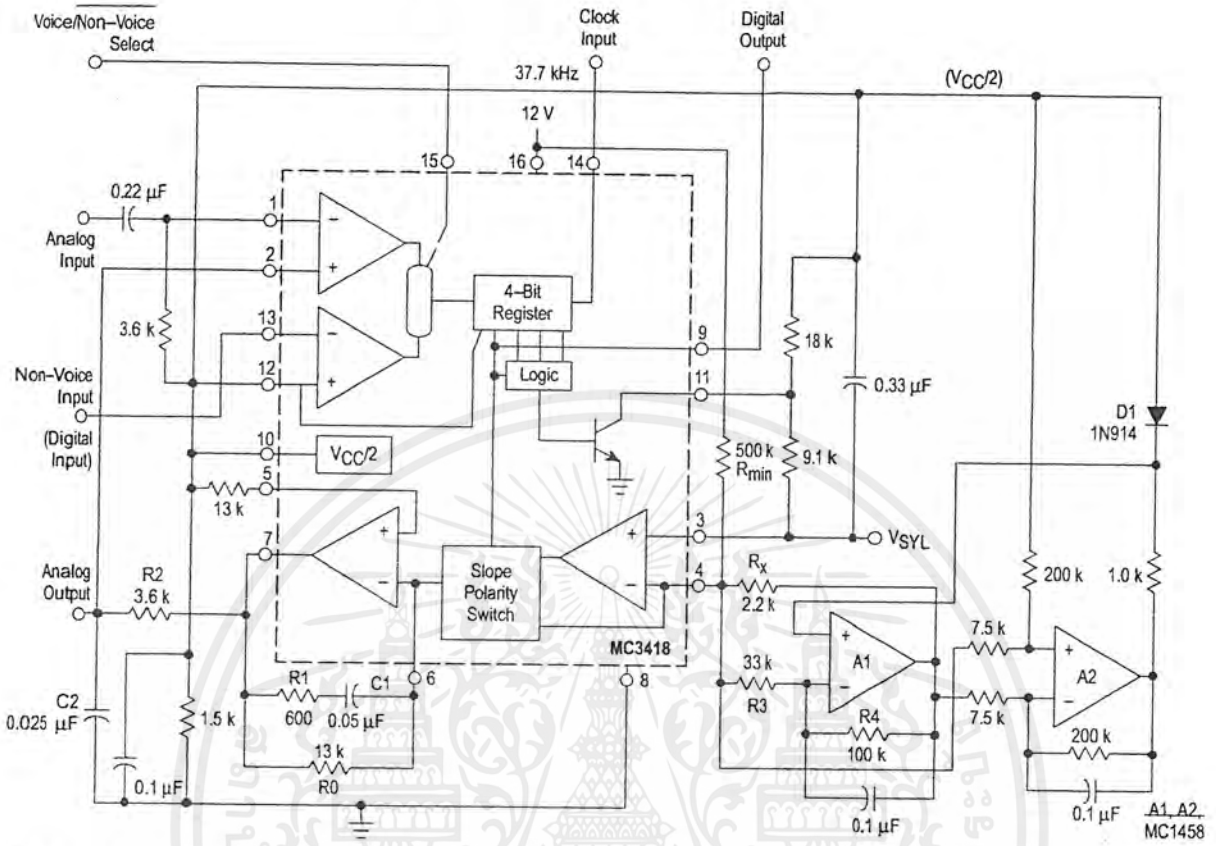
The slope overload characteristic is also shown. The active companding network produces improved performance with frequency. The 0 dBm slope overload point is raised to 4.8 kHz because of the gain available in controlling the voltage across R_X. The curves demonstrate that the level linearity has been maintained or improved.*

The codec in Figure 19 is designed specifically for 37.7 k bit systems. However, the benefits of the active companding network are not limited to high bit rate systems. By modifying the crossover region (changing the gain of A2), the active technique may be used to improve the performance of lower bit rate systems.

The performance and repeatability of the codec in Figure 19 represents a significant step forward in the art and cost of CVSD codec designs.

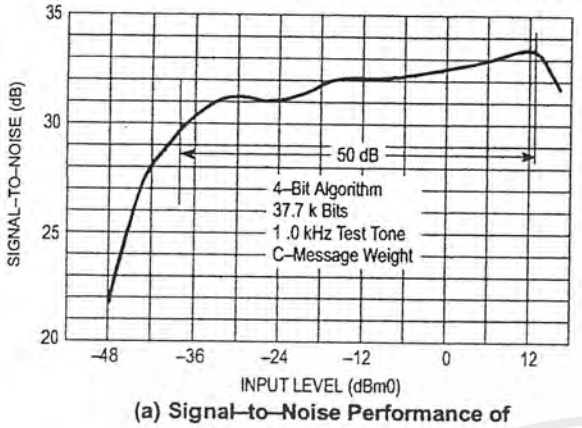
*A larger value for C2 is required in the decoder circuit than in the encoder to adjust the level linearity with frequency. In Figure 19, 0.050 μF would work well.

Figure 19. Telephone Quality Deltamod Coder*

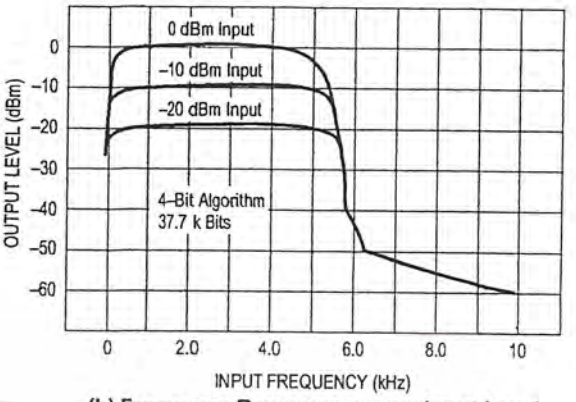


* Both double integration and active companding control are used to obtain improved CVSD performance. Laser trimming of the integrated circuit provides reliable idle channel and step size range characteristics.

Figure 20. Signal–to–Noise Performance and Frequency Response*



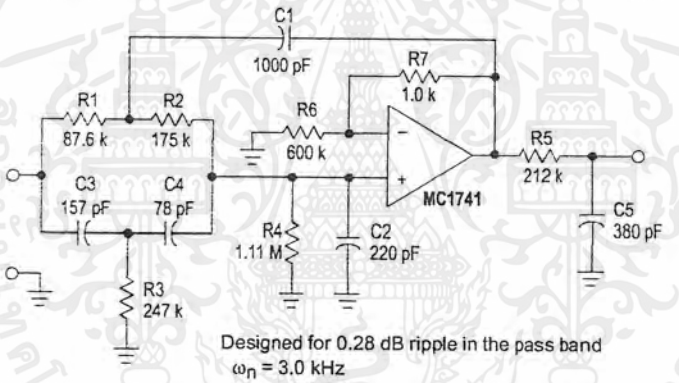
(a) Signal–to–Noise Performance of Telephony Quality Deltamodulator



(b) Frequency Response versus Input Level (Slope Overload Characteristic)

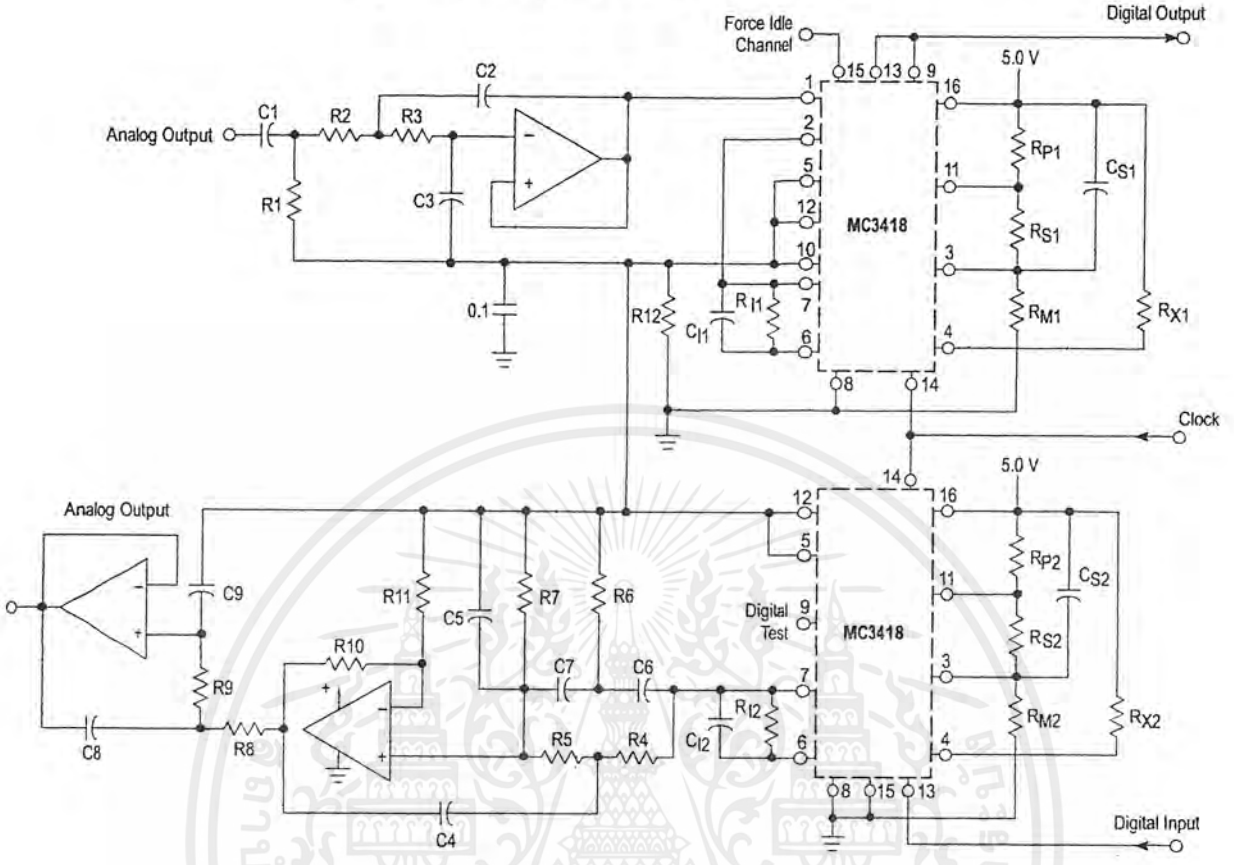
*Showing the improvement realized with the circuit in Figure 19.

Figure 21. High Performance Elliptic Filter for CVSD Output



Designed for 0.28 dB ripple in the pass band
ω_n = 3.0 kHz
ω_s = ≅ 6.0 kHz
AdB at ω_s and above 29.5 dB

Figure 22. Full Duplex/32 k Bit CVSD Voice Codec



Codec Components

R_{X1}, R_{X2} – 3.3 kΩ
R_{P1}, R_{P2} – 3.3 kΩ
R_{S1}, R_{S2} – 100 kΩ
R_{I1}, R_{I2} – 20 kΩ
R_{12} – 1.0 kΩ
R_{M1}, R_{M2} – 15 MΩ
Minimum step size = 6.0 mV
C_{S1}, C_{S2} – 0.05 µF
C_{I1}, C_{I2} – 0.05 µF
2 MC3418
1 MC3403 (or MC3406)

NOTE: All Res. 5%
All Cap. 5%

Input Filter Specifications

12 dB/Octave Rolloff above 3.3 kHz
6.0 dB/Octave Rolloff below 50 Hz

Output Filter Specifications

Break Frequency – 3.3 kHz
Stop Band – 9.0 kHz
Stop Band Atten. – 50 dB
Rolloff – > 40 dB/Octave

Filter Components

R1 – 965 Ω
R2 – 72 kΩ
R3 – 72 kΩ
R4 – 63.46 kΩ
R5 – 127 kΩ
R6 – 365.5 kΩ
R7 – 1.645 MΩ
R8 – 72 kΩ
R9 – 72 kΩ
R10 – 29.5 Ω
R11 – 72 kΩ

C1 – 3.3 µF
C2 – 837 pF
C3 – 536 pF
C4 – 1000 pF
C5 – 222 pF
C6 – 77 pF
C7 – 38 pF
C8 – 837 pF
C9 – 536 pF

NOTE: All Res. 0.1% to 1%
All Cap. 0.1%

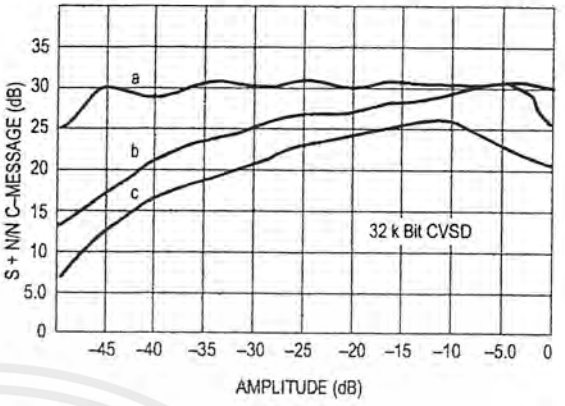
COMPARATIVE CODEC PERFORMANCE

The salient feature of CVSD codecs is versatility. The range of codec complexity tradeoffs and bit rate is so wide that one cannot grasp the interdependency of parameters for voice applications in a few pages.

Design of a specific codec must be tailored to the digital channel bandwidth, the analog bandwidth, the quality of signal transmission required, and the cost objectives. To illustrate the choices available, the data in Figure 23 compares the signal–to–noise ratios and dynamic range of various codec design options at 32 k bits. Generally, the relative merits of each design feature will remain intact in any application. Lowering the bit rate will reduce the dynamic range and noise performance of all techniques. As the bit rate is increased, the overall performance of each technique will improve and the need for more complex designs diminishes.

Non–voice applications of the MC3418 are also possible. In those cases, the signal bandwidth and amplitude characteristics must be defined before the specification of codec parameters can begin. However, in general, the design can proceed along the lines of the voice applications shown here, taking into account the different signal bandwidth requirements.

Figure 23. Comparative Codec Performance – Signal–to–Noise Ratio for 1.0 kHz Test Tone

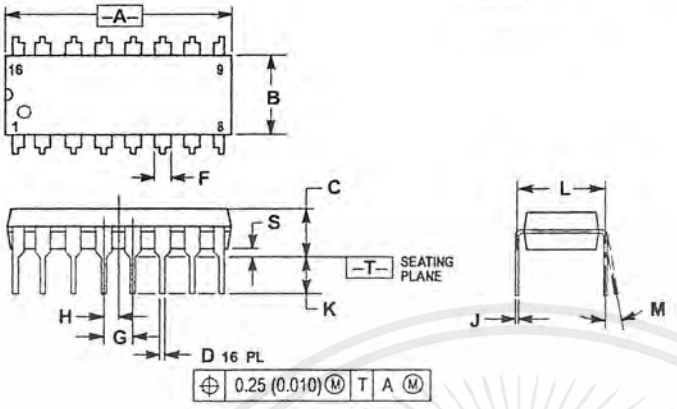


NOTE: These curves demonstrate the improved performance obtained with several codec designs of varying complexity.

Curve a – Complex companding and double integration (Figure 19)
Curve b – Double integration (Figure 14 using Figure 17)
Curve c – Single integration (Figure 14) with 6.0 *mV* stepsize

OUTLINE DIMENSIONS

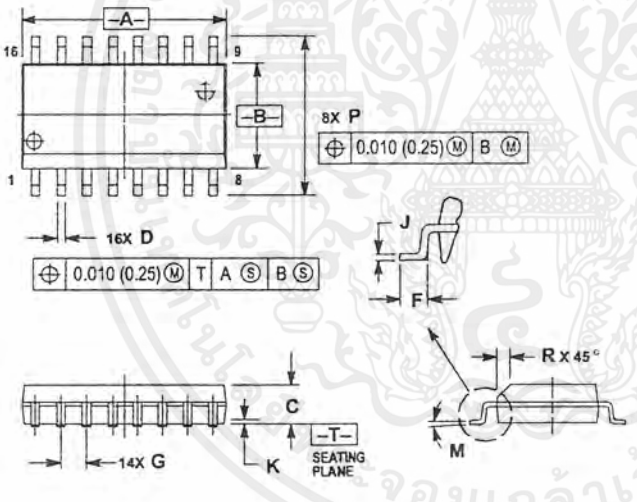
P SUFFIX
PLASTIC PACKAGE
CASE 648–08
ISSUE R



NOTES:
1. DIMENSIONING AND TOLERANCING PER ANSI Y14.5M, 1982.
2. CONTROLLING DIMENSION: INCH.
3. DIMENSION L TO CENTER OF LEADS WHEN FORMED PARALLEL.
4. DIMENSION B DOES NOT INCLUDE MOLD FLASH.
5. ROUNDED CORNERS OPTIONAL.

	INCHES		MILLIMETERS	
DIM	MIN	MAX	MIN	MAX
A	0.740	0.770	18.80	19.55
B	0.250	0.270	6.35	6.85
C	0.145	0.175	3.69	4.44
D	0.015	0.021	0.39	0.53
F	0.040	0.70	1.02	1.77
G	0.100 BSC		2.54 BSC	
H	0.050 BSC		1.27 BSC	
J	0.008	0.015	0.21	0.38
K	0.110	0.130	2.80	3.30
L	0.295	0.305	7.50	7.74
M	0°	10°	0°	10°
S	0.020	0.040	0.51	1.01

DW SUFFIX
PLASTIC PACKAGE
CASE 751G–02
(SO–16L)
ISSUE A



NOTES:
1. DIMENSIONING AND TOLERANCING PER ANSI Y14.5M, 1982.
2. CONTROLLING DIMENSION: MILLIMETER.
3. DIMENSIONS A AND B DO NOT INCLUDE MOLD PROTRUSION.
4. MAXIMUM MOLD PROTRUSION 0.15 (0.006) PER SIDE.
5. DIMENSION D DOES NOT INCLUDE DAMBAR PROTRUSION. ALLOWABLE DAMBAR PROTRUSION SHALL BE 0.13 (0.005) TOTAL IN EXCESS OF D DIMENSION AT MAXIMUM MATERIAL CONDITION.

	MILLIMETERS		INCHES	
DIM	MIN	MAX	MIN	MAX
A	10.15	10.45	0.400	0.411
B	7.40	7.60	0.292	0.299
C	2.35	2.65	0.093	0.104
D	0.35	0.49	0.014	0.019
F	0.50	0.90	0.020	0.035
G	1.27 BSC		0.050 BSC	
J	0.25	0.32	0.010	0.012
K	0.10	0.25	0.004	0.009
M	0°	7°	0°	7°
P	10.05	10.55	0.395	0.415
R	0.25	0.75	0.010	0.029

XR-2206

Monolithic
Function Generator

EXAR ...the analog plus company™

June 1997-3

FEATURES

- Low-Sine Wave Distortion, 0.5%, Typical
- Excellent Temperature Stability, 20ppm/°C, Typ.
- Wide Sweep Range, 2000:1, Typical
- Low-Supply Sensitivity, 0.01%V, Typ.
- Linear Amplitude Modulation
- TTL Compatible FSK Controls
- Wide Supply Range, 10V to 26V
- Adjustable Duty Cycle, 1% TO 99%

APPLICATIONS

- Waveform Generation
- Sweep Generation
- AM/FM Generation
- V/F Conversion
- FSK Generation
- Phase-Locked Loops (VCO)

GENERAL DESCRIPTION

The XR-2206 is a monolithic function generator integrated circuit capable of producing high quality sine, square, triangle, ramp, and pulse waveforms of high-stability and accuracy. The output waveforms can be both amplitude and frequency modulated by an external voltage. Frequency of operation can be selected externally over a range of 0.01Hz to more than 1MHz.

The circuit is ideally suited for communications, instrumentation, and function generator applications requiring sinusoidal tone, AM, FM, or FSK generation. It has a typical drift specification of 20ppm/°C. The oscillator frequency can be linearly swept over a 2000:1 frequency range with an external control voltage, while maintaining low distortion.

ORDERING INFORMATION

Part No.	Package	Operating Temperature Range
XR-2206M	16 Lead 300 Mil CDIP	-55°C to +125°C
XR-2206P	16 Lead 300 Mil PDIP	–40°C to +85°C
XR-2206CP	16 Lead 300 Mil PDIP	0°C to +70°C
XR-2206D	16 Lead 300 Mil JEDEC SOIC	0°C to +70°C

©1972

EXAR Corporation, 48720 Kato Road, Fremont, CA 94538 ◆ (510) 668-7000 ◆ (510) 668-7017

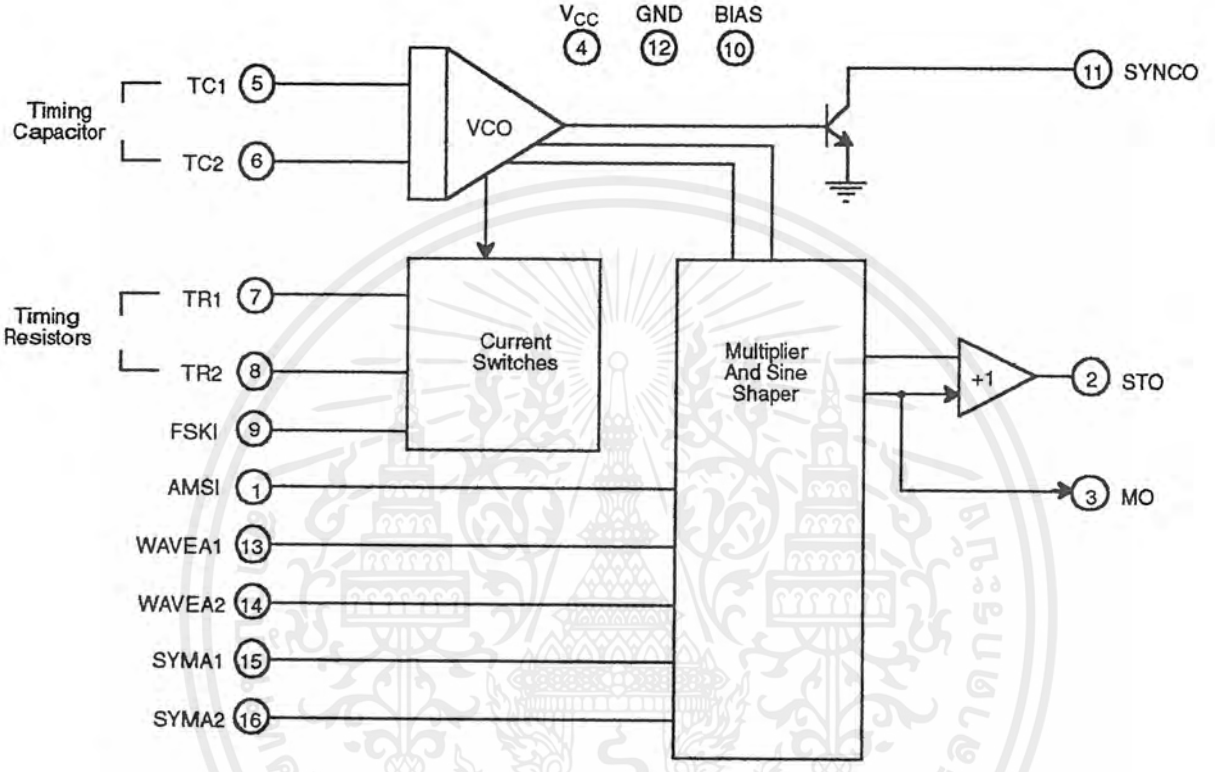
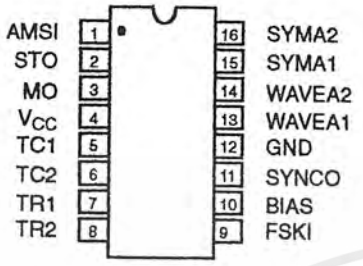
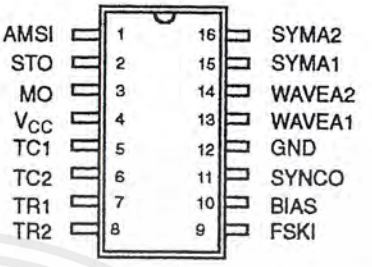


Figure 1. XR-2206 Block Diagram



16 Lead PDIP, CDIP (0.300")



16 Lead SOIC (Jedec, 0.300")

PIN DESCRIPTION

Pin #	Symbol	Type	Description
1	AMSI	I	**Amplitude Modulating Signal Input.**
2	STO	O	**Sine or Triangle Wave Output.**
3	MO	O	**Multiplier Output.**
4	V_{CC}		**Positive Power Supply.**
5	TC1	I	**Timing Capacitor Input.**
6	TC2	I	**Timing Capacitor Input.**
7	TR1	O	**Timing Resistor 1 Output.**
8	TR2	O	**Timing Resistor 2 Output.**
9	FSKI	I	**Frequency Shift Keying Input.**
10	BIAS	O	**Internal Voltage Reference.**
11	SYNCO	O	**Sync Output.** This output is a open collector and needs a pull up resistor to V_{CC}.
12	GND		**Ground pin.**
13	WAVEA1	I	**Wave Form Adjust Input 1.**
14	WAVEA2	I	**Wave Form Adjust Input 2.**
15	SYMA1	I	**Wave Symetry Adjust 1.**
16	SYMA2	I	**Wave Symetry Adjust 2.**

DC ELECTRICAL CHARACTERISTICS

Test Conditions: Test Circuit of *Figure 2* **Vcc = 12V, T_A = 25°C, C = 0.01µF, R_1 = 100kΩ, R_2 = 10kΩ, R_3 = 25kΩ** Unless Otherwise Specified. S_1 open for triangle, closed for sine wave.

Parameters	XR-2206M/P			XR-2206CP/D			Units	Conditions
	Min.	Typ.	Max.	Min.	Typ.	Max.		
General Characteristics								
Single Supply Voltage	**10**		**26**	10		26	V	
Split-Supply Voltage	**±5**		**±13**	±5		±13	V	
Supply Current		12	**17**		14	20	mA	$R_1 \geq 10k\Omega$
Oscillator Section								
Max. Operating Frequency	**0.5**	1		0.5	1		MHz	C = 1000pF, R_1 = 1kΩ
Lowest Practical Frequency		0.01			0.01		Hz	C = 50µF, R_1 = 2MΩ
Frequency Accuracy		±1	**±4**		±2		% of f_o	$f_o = 1/R_1C$
Temperature Stability Frequency		±10	**±50**		±20		ppm/°C	0°C ≤ T_A ≤ 70°C $R_1 = R_2$ = 20kΩ
Sine Wave Amplitude Stability[2]		4800			4800		ppm/°C	
Supply Sensitivity		0.01	**0.1**		0.01		%/V	V_{LOW} = 10V, V_{HIGH} = 20V, $R_1 = R_2$ = 20kΩ
Sweep Range	1000:1	2000:1			2000:1		$f_H = f_L$	f_H @ R_1 = 1kΩ f_L @ R_1 = 2MΩ
Sweep Linearity								
10:1 Sweep		2			2		%	f_L = 1kHz, f_H = 10kHz
1000:1 Sweep		8			8		%	f_L = 100Hz, f_H = 100kHz
FM Distortion		0.1			0.1		%	±10% Deviation
Recommended Timing Components								
Timing Capacitor: C	**0.001**		100	0.001		100	µF	*Figure 5*
Timing Resistors: R_1 & R_2	**1**		2000	1		2000	kΩ	
Triangle Sine Wave Output[1]								*Figure 3*
Triangle Amplitude		160			160		mV/kΩ	*Figure 2*, S_1 Open
Sine Wave Amplitude	**40**	60	80		60		mV/kΩ	*Figure 2*, S_1 Closed
Max. Output Swing		6			6		Vp-p	
Output Impedance		600			600		Ω	
Triangle Linearity		1			1		%	
Amplitude Stability		0.5			0.5		dB	For 1000:1 Sweep
Sine Wave Distortion								
Without Adjustment		2.5			2.5		%	R_1 = 30kΩ
With Adjustment		0.4	**1.0**		0.5	1.5	%	See *Figure 7* and *Figure 8*

Notes

[1] Output amplitude is directly proportional to the resistance, R_3, on Pin 3. See Figure 3.

[2] For maximum amplitude stability, R_3 should be a positive temperature coefficient resistor.

***Bold face parameters** are covered by production test and guaranteed over operating temperature range.*

DC ELECTRICAL CHARACTERISTICS (CONT'D)

Parameters	XR-2206M/P			XR-2206CP/D			Units	Conditions
	Min.	Typ.	Max.	Min.	Typ.	Max.		
Amplitude Modulation								
Input Impedance	50	100		50	100		kΩ	
Modulation Range		100			100		%	
Carrier Suppression		55			55		dB	
Linearity		2			2		%	For 95% modulation
Square-Wave Output								
Amplitude		12			12		Vp-p	Measured at Pin 11.
Rise Time		250			250		ns	C_L = 10pF
Fall Time		50			50		ns	C_L = 10pF
Saturation Voltage		0.2	**0.4**		0.2	0.6	V	I_L = 2mA
Leakage Current		0.1	**20**		0.1	100	µA	V_{CC} = 26V
FSK Keying Level (Pin 9)	0.8	1.4	**2.4**	0.8	1.4	2.4	V	See section on circuit controls
Reference Bypass Voltage	2.9	3.1	**3.3**	2.5	3	3.5	V	Measured at Pin 10.

Notes
[1] Output amplitude is directly proportional to the resistance, R_3, on Pin 3. See Figure 3.
[2] For maximum amplitude stability, R_3 should be a positive temperature coefficient resistor.
***Bold face parameters** are covered by production test and guaranteed over operating temperature range.*

Specifications are subject to change without notice

ABSOLUTE MAXIMUM RATINGS

Power Supply 26V
Power Dissipation 750mW
Derate Above 25°C ..... 5mW/°C
Total Timing Current 6mA
Storage Temperature ..... -65°C to +150°C

SYSTEM DESCRIPTION

The XR-2206 is comprised of four functional blocks; a voltage-controlled oscillator (VCO), an analog multiplier and sine-shaper; a unity gain buffer amplifier; and a set of current switches.

The VCO produces an output frequency proportional to an input current, which is set by a resistor from the timing terminals to ground. With two timing pins, two discrete output frequencies can be independently produced for FSK generation applications by using the FSK input control pin. This input controls the current switches which select one of the timing resistor currents, and routes it to the VCO.

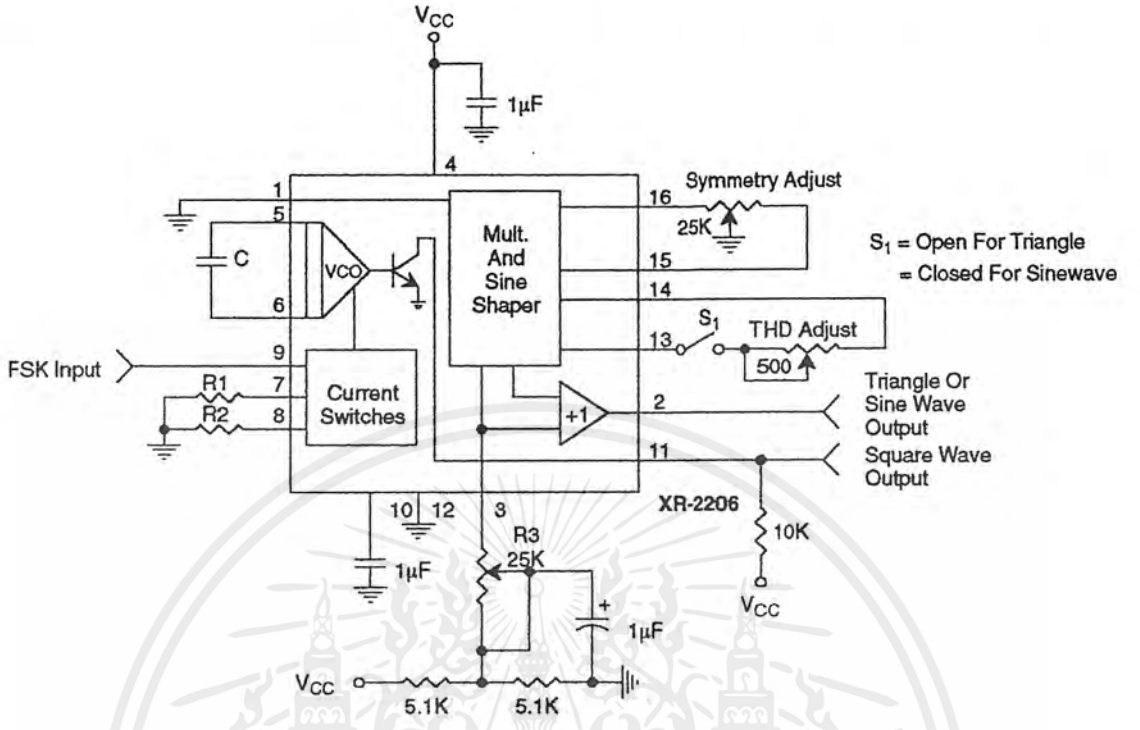


Figure 2. Basic Test Circuit

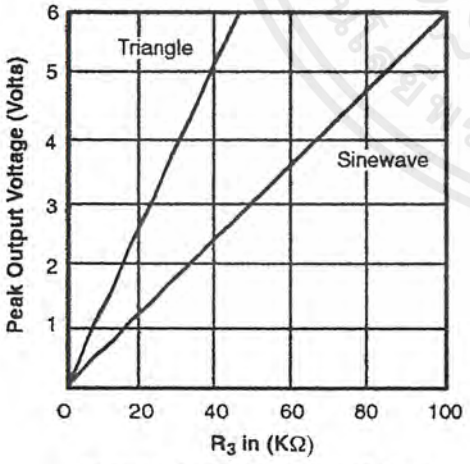


Figure 3. Output Amplitude as a Function of the Resistor, R3, at Pin 3

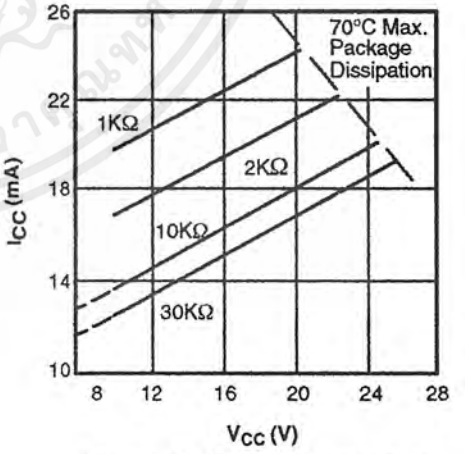


Figure 4. Supply Current vs Supply Voltage, Timing, R

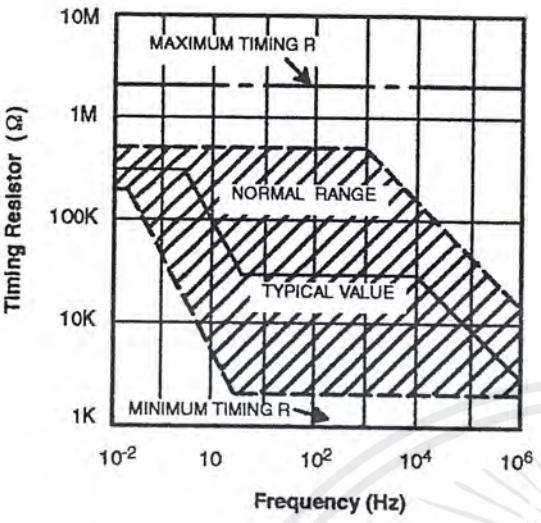


Figure 5. R versus Oscillation Frequency.

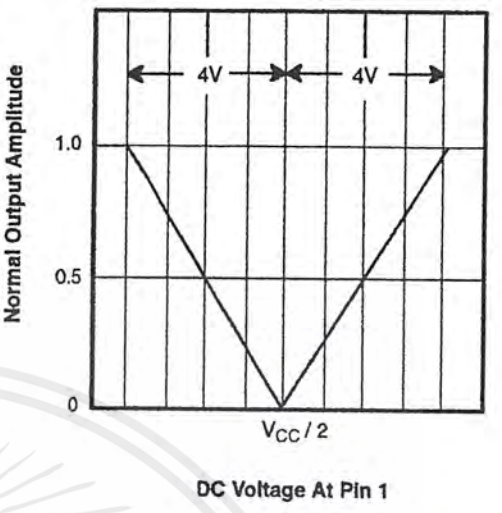


Figure 6. Normalized Output Amplitude versus DC Bias at AM Input (Pin 1)

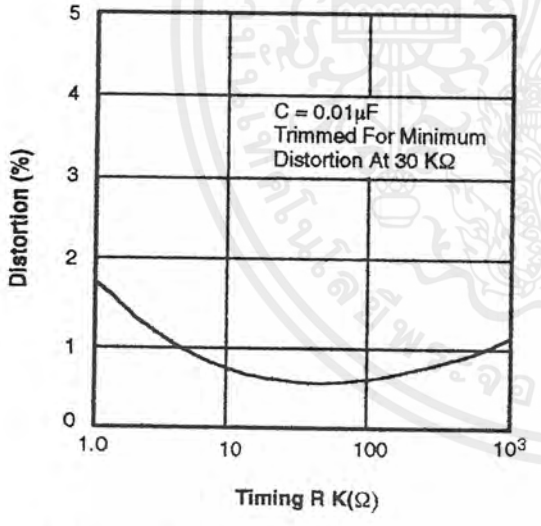


Figure 7. Trimmed Distortion versus Timing Resistor.

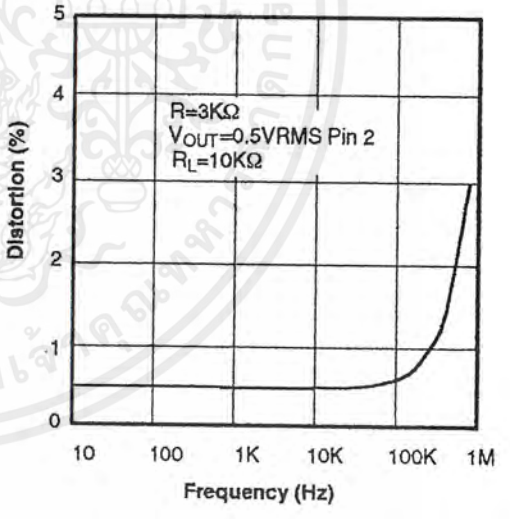


Figure 8. Sine Wave Distortion versus Operating Frequency with Timing Capacitors Varied.

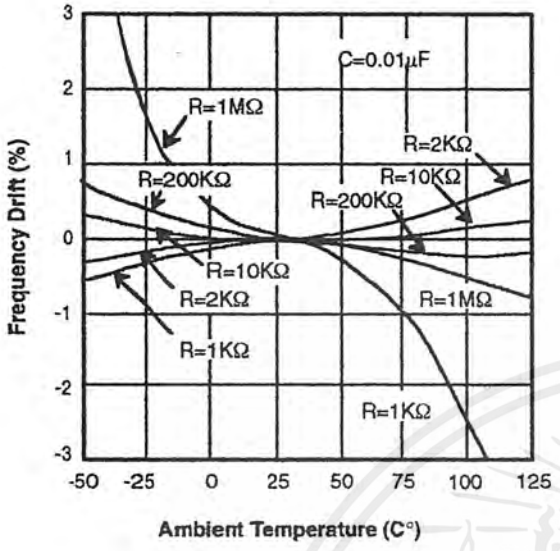


Figure 9. Frequency Drift versus Temperature.

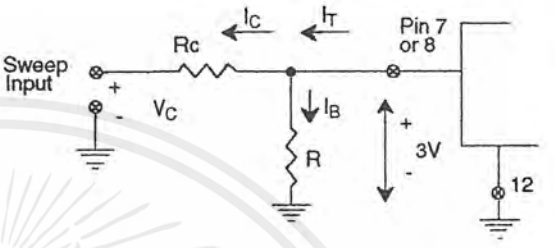


Figure 10. Circuit Connection for Frequency Sweep.

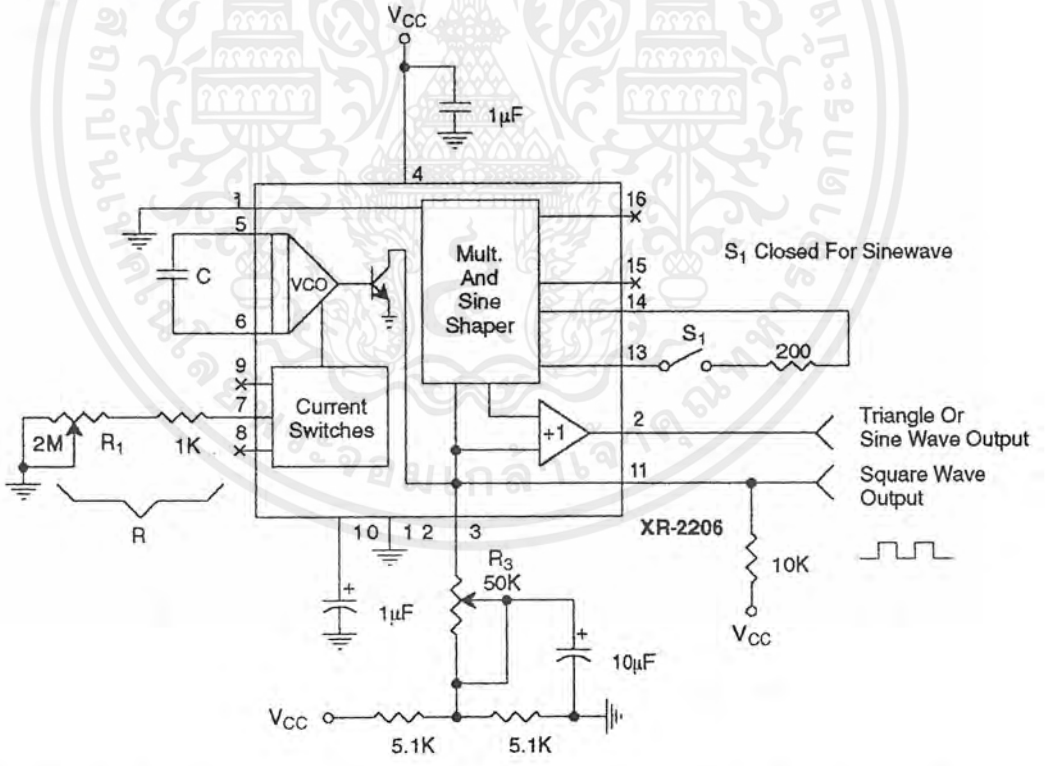


Figure 11. Circuit tor Sine Wave Generation without External Adjustment. (See *Figure 3* for Choice of R_3)

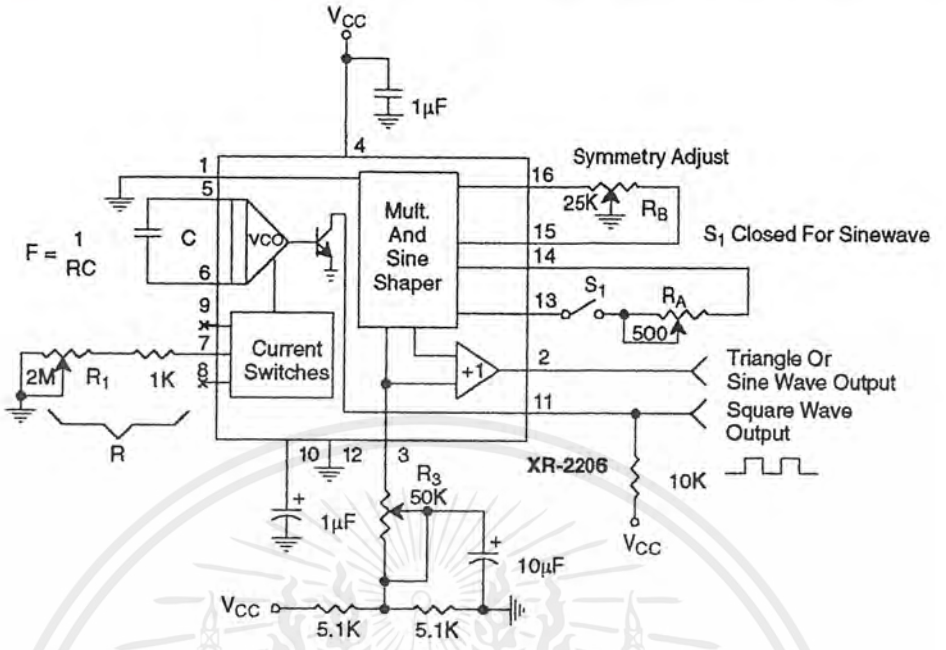


Figure 12. Circuit for Sine Wave Generation with Minimum Harmonic Distortion. (R_3 Determines Output Swing - See *Figure 3*)

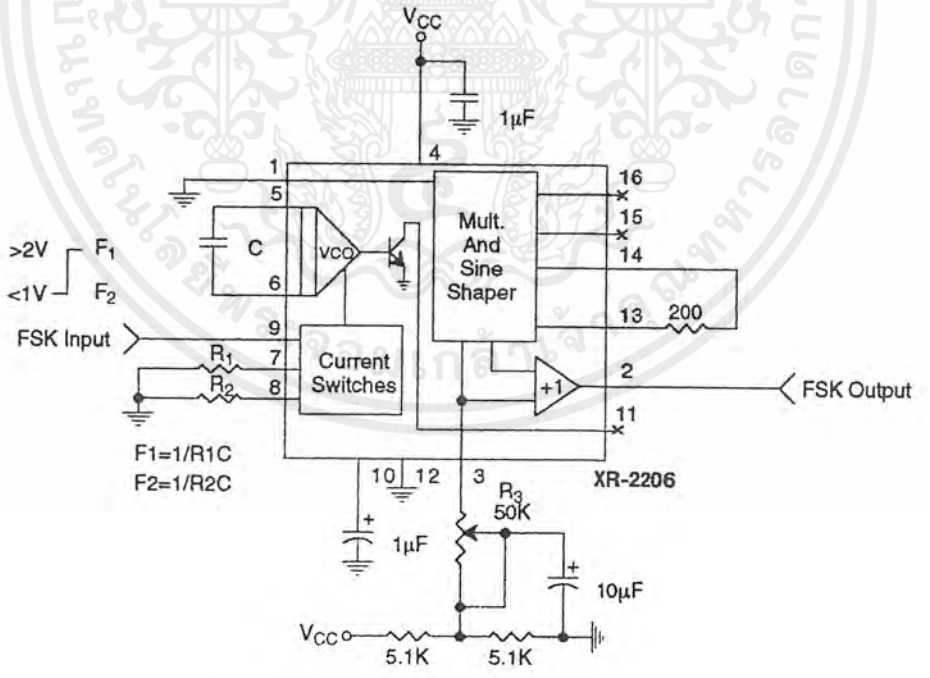


Figure 13. Sinusoidal FSK Generator

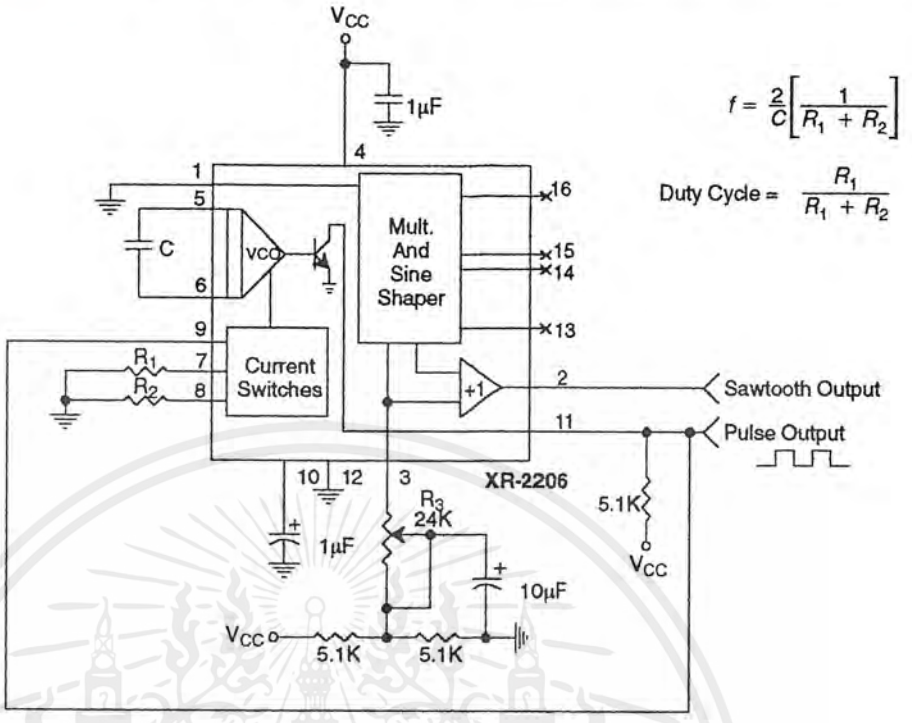


Figure 14. Circuit for Pulse and Ramp Generation.

Frequency-Shift Keying

The XR-2206 can be operated with two separate timing resistors, R_1 and R_2, connected to the timing Pin 7 and 8, respectively, as shown in *Figure 13.* Depending on the polarity of the logic signal at Pin 9, either one or the other of these timing resistors is activated. If Pin 9 is open-circuited or connected to a bias voltage $\geq$ 2V, only R_1 is activated. Similarly, if the voltage level at Pin 9 is $\leq$1V, only R_2 is activated. Thus, the output frequency can be keyed between two levels. f_1 and f_2, as:

$f_1 = 1/R_1C$ and $f_2 = 1/R_2C$

For split-supply operation, the keying voltage at Pin 9 is referenced to V^-.

Output DC Level Control

The dc level at the output (Pin 2) is approximately the same as the dc bias at Pin 3. In *Figure 11*, *Figure 12* and *Figure 13*, Pin 3 is biased midway between V+ and ground, to give an output dc level of $\approx V^+/2$.

APPLICATIONS INFORMATION

Sine Wave Generation

Without External Adjustment

Figure 11 shows the circuit connection for generating a sinusoidal output from the XR-2206. The potentiometer, R_1 at Pin 7, provides the desired frequency tuning. The maximum output swing is greater than $V^+/2$, and the typical distortion (THD) is < 2.5%. If lower sine wave distortion is desired, additional adjustments can be provided as described in the following section.

The circuit of *Figure 11* can be converted to split-supply operation, simply by replacing all ground connections with V^-. For split-supply operation, R_3 can be directly connected to ground.

With External Adjustment:

The harmonic content of sinusoidal output can be reduced to -0.5% by additional adjustments as shown in *Figure 12*. The potentiometer, R_A, adjusts the sine-shaping resistor, and R_B provides the fine adjustment for the waveform symmetry. The adjustment procedure is as follows:

1. Set R_B at midpoint and adjust R_A for minimum distortion.
2. With R_A set as above, adjust R_B to further reduce distortion.

Triangle Wave Generation

The circuits of *Figure 11* and *Figure 12* can be converted to triangle wave generation, by simply open-circuiting Pin 13 and 14 (i.e., S_1 open). Amplitude of the triangle is approximately twice the sine wave output.

FSK Generation

Figure 13 shows the circuit connection for sinusoidal FSK signal operation. Mark and space frequencies can be independently adjusted by the choice of timing resistors, R_1 and R_2; the output is phase-continuous during transitions. The keying signal is applied to Pin 9. The circuit can be converted to split-supply operation by simply replacing ground with V^-.

Pulse and Ramp Generation

Figure 14 shows the circuit for pulse and ramp waveform generation. In this mode of operation, the FSK keying terminal (Pin 9) is shorted to the square-wave output (Pin 11), and the circuit automatically frequency-shift keys itself between two separate frequencies during the positive-going and negative-going output waveforms. The pulse width and duty cycle can be adjusted from 1% to 99% by the choice of R_1 and R_2. The values of R_1 and R_2 should be in the range of 1kΩ to 2MΩ.

PRINCIPLES OF OPERATION

Description of Controls

Frequency of Operation:

The frequency of oscillation, f_o, is determined by the external timing capacitor, C, across Pin 5 and 6, and by the timing resistor, R, connected to either Pin 7 or 8. The frequency is given as:

$$f_o = \frac{1}{RC}\ Hz$$

and can be adjusted by varying either R or C. The recommended values of R, for a given frequency range, as shown in *Figure 5*. Temperature stability is optimum for $4k\Omega < R < 200k\Omega$. Recommended values of C are from 1000pF to 100μF.

Frequency Sweep and Modulation:

Frequency of oscillation is proportional to the total timing current, I_T, drawn from Pin 7 or 8:

$$f = \frac{320 I_T(mA)}{C(\mu F)}\ Hz$$

Timing terminals (Pin 7 or 8) are low-impedance points, and are internally biased at +3V, with respect to Pin 12. Frequency varies linearly with IT, over a wide range of current values, from 1μA to 3mA. The frequency can be controlled by applying a control voltage, V_C, to the activated timing pin as shown in *Figure 10*. The frequency of oscillation is related to VC as:

$$f = \frac{1}{RC}\left(1 + \frac{R}{R_c}\left(1 - \frac{V_c}{3}\right)\right) Hz$$

where V_C is in volts. The voltage-to-frequency conversion gain, K, is given as:

$$K = \partial f / \partial V_c = -\frac{0.32}{R_c C}\ \ Hz/V$$

CAUTION: *For safety operation of the circuit, I_T should be limited to ≤ 3mA.*

Output Amplitude:

Maximum output amplitude is inversely proportional to the external resistor, R_3, connected to Pin 3 (see *Figure 3*). For sine wave output, amplitude is approximately 60mV peak per kΩ of R_3; for triangle, the peak amplitude is approximately 160mV peak per kΩ of R_3. Thus, for example, R_3 = 50kΩ would produce approximately 13V sinusoidal output amplitude.

Amplitude Modulation:

Output amplitude can be modulated by applying a dc bias and a modulating signal to Pin 1. The internal impedance at Pin 1 is approximately 100kΩ. Output amplitude varies linearly with the applied voltage at Pin 1, for values of dc bias at this pin, within 14 volts of $V_{CC}/2$ as shown in *Figure 6.* As this bias level approaches $V_{CC}/2$, the phase of the output signal is reversed, and the amplitude goes through zero. This property is suitable for phase-shift keying and suppressed-carrier AM generation. Total dynamic range of amplitude modulation is approximately 55dB.

CAUTION: *AM control must be used in conjunction with a well-regulated supply, since the output amplitude now becomes a function of* V_{CC}.

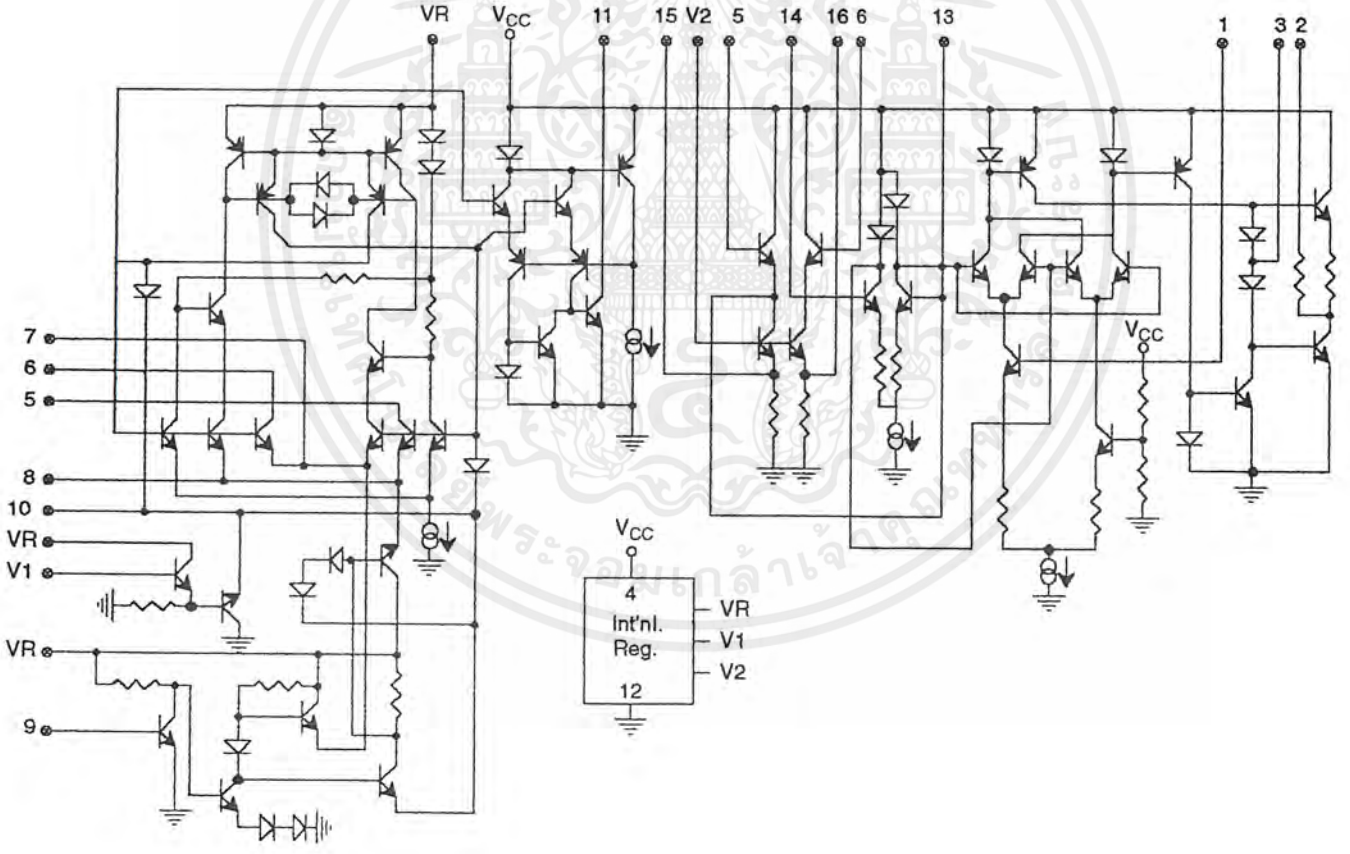
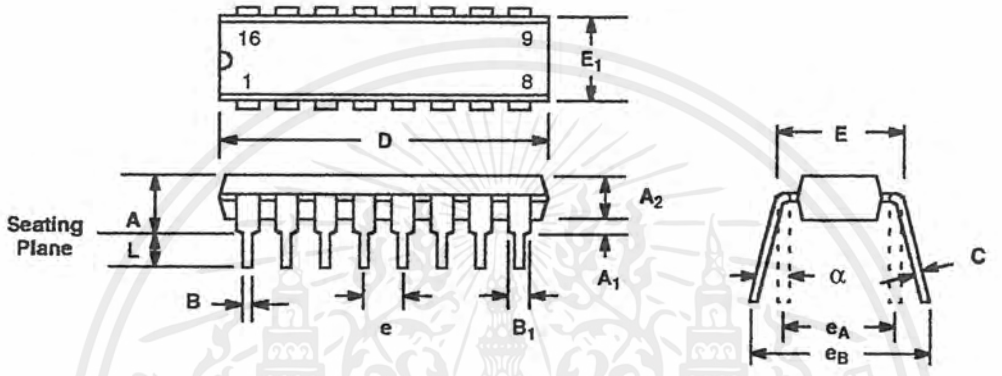


Figure 15. Equivalent Schematic Diagram

16 LEAD PLASTIC DUAL-IN-LINE (300 MIL PDIP)

Rev. 1.00

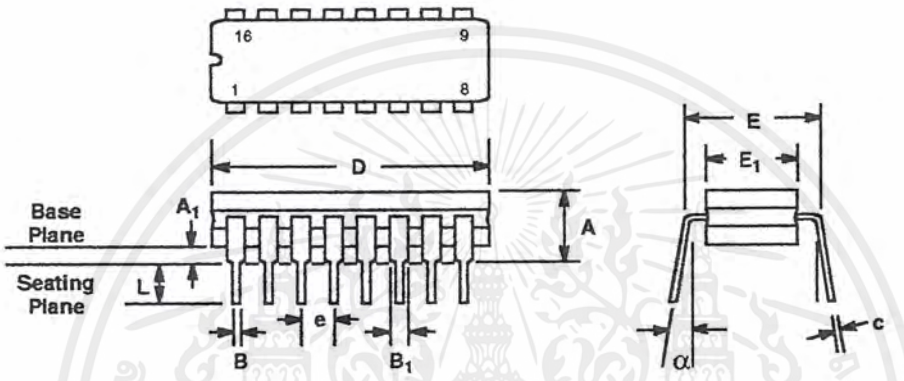


SYMBOL	INCHES MIN	INCHES MAX	MILLIMETERS MIN	MILLIMETERS MAX
A	0.145	0.210	3.68	5.33
A_1	0.015	0.070	0.38	1.78
A_2	0.115	0.195	2.92	4.95
B	0.014	0.024	0.36	0.56
B_1	0.030	0.070	0.76	1.78
C	0.008	0.014	0.20	0.38
D	0.745	0.840	18.92	21.34
E	0.300	0.325	7.62	8.26
E_1	0.240	0.280	6.10	7.11
e	0.100 BSC		2.54 BSC	
e_A	0.300 BSC		7.62 BSC	
e_B	0.310	0.430	7.87	10.92
L	0.115	0.160	2.92	4.06
α	0°	15°	0°	15°

Note: The control dimension is the inch column

16 LEAD CERAMIC DUAL-IN-LINE (300 MIL CDIP)

Rev. 1.00

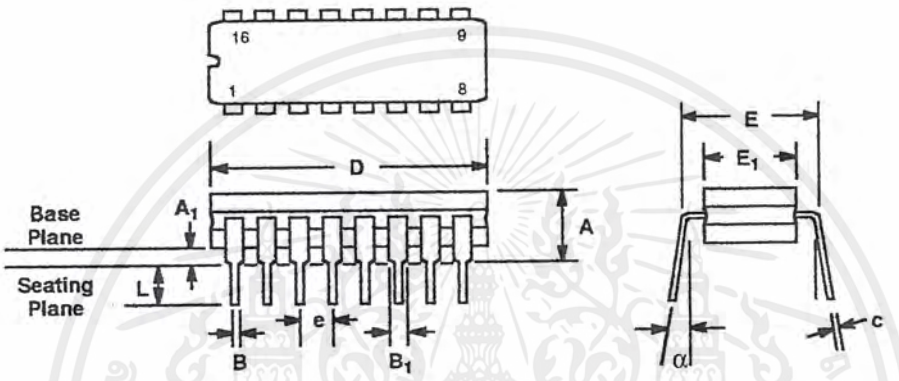


SYMBOL	INCHES		MILLIMETERS	
	MIN	MAX	MIN	MAX
A	0.100	0.200	2.54	5.08
A_1	0.015	0.060	0.38	1.52
B	0.014	0.026	0.36	0.66
B_1	0.045	0.065	1.14	1.65
c	0.008	0.018	0.20	0.46
D	0.740	0.840	18.80	21.34
E_1	0.250	0.310	6.35	7.87
E	0.300 BSC		7.62 BSC	
e	0.100 BSC		2.54 BSC	
L	0.125	0.200	3.18	5.08
α	0°	15°	0°	15°

Note: The control dimension is the inch column

16 LEAD CERAMIC DUAL-IN-LINE (300 MIL CDIP)

Rev. 1.00

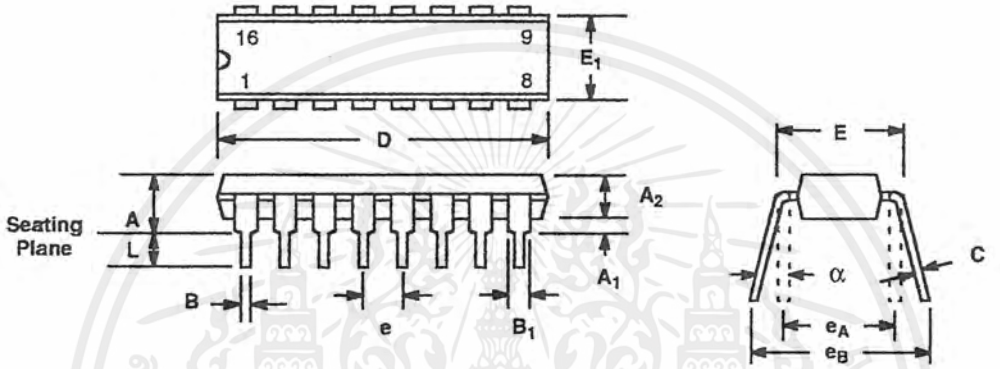


SYMBOL	INCHES		MILLIMETERS	
	MIN	MAX	MIN	MAX
A	0.100	0.200	2.54	5.08
A_1	0.015	0.060	0.38	1.52
B	0.014	0.026	0.36	0.66
B_1	0.045	0.065	1.14	1.65
c	0.008	0.018	0.20	0.46
D	0.740	0.840	18.80	21.34
E_1	0.250	0.310	6.35	7.87
E	0.300 BSC		7.62 BSC	
e	0.100 BSC		2.54 BSC	
L	0.125	0.200	3.18	5.08
α	0°	15°	0°	15°

Note: The control dimension is the inch column

16 LEAD PLASTIC DUAL-IN-LINE (300 MIL PDIP)

Rev. 1.00

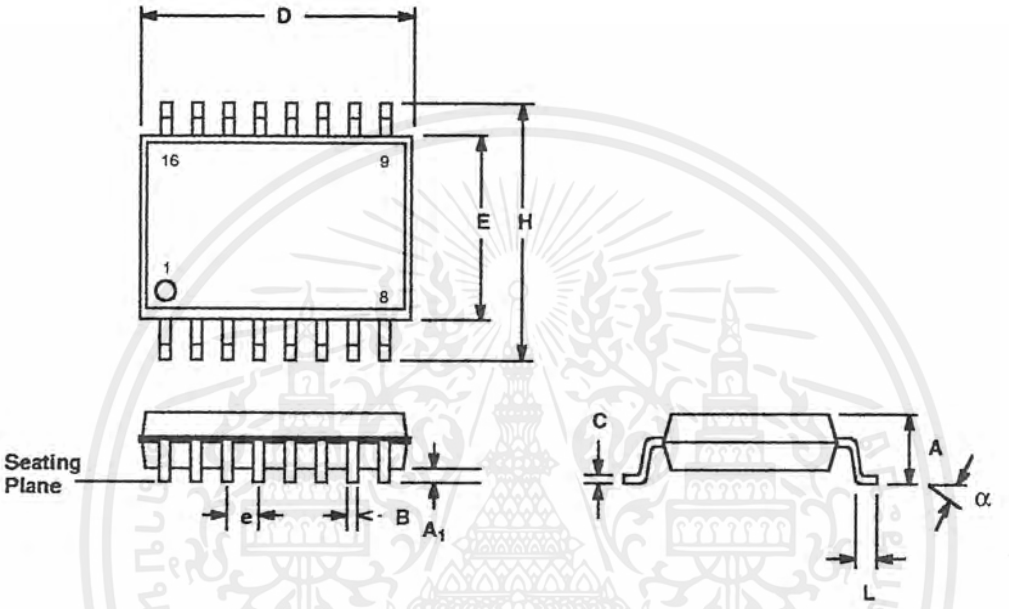


SYMBOL	INCHES		MILLIMETERS	
	MIN	MAX	MIN	MAX
A	0.145	0.210	3.68	5.33
A_1	0.015	0.070	0.38	1.78
A_2	0.115	0.195	2.92	4.95
B	0.014	0.024	0.36	0.56
B_1	0.030	0.070	0.76	1.78
C	0.008	0.014	0.20	0.38
D	0.745	0.840	18.92	21.34
E	0.300	0.325	7.62	8.26
E_1	0.240	0.280	6.10	7.11
e	0.100 BSC		2.54 BSC	
e_A	0.300 BSC		7.62 BSC	
e_B	0.310	0.430	7.87	10.92
L	0.115	0.160	2.92	4.06
α	0°	15°	0°	15°

Note: The control dimension is the inch column

16 LEAD SMALL OUTLINE (300 MIL JEDEC SOIC)

Rev. 1.00



SYMBOL	INCHES		MILLIMETERS	
	MIN	MAX	MIN	MAX
A	0.093	0.104	2.35	2.65
A_1	0.004	0.012	0.10	0.30
B	0.013	0.020	0.33	0.51
C	0.009	0.013	0.23	0.32
D	0.398	0.413	10.10	10.50
E	0.291	0.299	7.40	7.60
e	0.050 BSC		1.27 BSC	
H	0.394	0.419	10.00	10.65
L	0.016	0.050	0.40	1.27
α	0°	8°	0°	8°

Note: The control dimension is the millimeter column

NOTICE

EXAR Corporation reserves the right to make changes to the products contained in this publication in order to improve design, performance or reliability. EXAR Corporation assumes no responsibility for the use of any circuits described herein, conveys no license under any patent or other right, and makes no representation that the circuits are free of patent infringement. Charts and schedules contained here in are only for illustration purposes and may vary depending upon a user's specific application. While the information in this publication has been carefully checked; no responsibility, however, is assumed for inaccuracies.

EXAR Corporation does not recommend the use of any of its products in life support applications where the failure or malfunction of the product can reasonably be expected to cause failure of the life support system or to significantly affect its safety or effectiveness. Products are not authorized for use in such applications unless EXAR Corporation receives, in writing, assurances to its satisfaction that: (a) the risk of injury or damage has been minimized; (b) the user assumes all such risks; (c) potential liability of EXAR Corporation is adequately protected under the circumstances.

Copyright 1972 EXAR Corporation
Datasheet June 1997
Reproduction, in part or whole, without the prior written consent of EXAR Corporation is prohibited.

XR-2211A

FSK Demodulator/ Tone Decoder

EXAR ...the analog plus company™

June 1997–3

FEATURES

- Wide Frequency Range, 0.01Hz to 300kHz
- Wide Supply Voltage Range, 4.5V to 20V
- HCMOS/TTL/Logic Compatibility
- FSK Demodulation, with Carrier Detection
- Wide Dynamic Range, 10mV to 3V rms
- Adjustable Tracking Range (±1% to 80%)
- Excellent Temp. Stability, 100 ppm/°C, typ.

APPLICATIONS

- Caller Identification Delivery
- FSK Demodulation
- Data Synchronization
- Tone Decoding
- FM Detection
- Carrier Detection

GENERAL DESCRIPTION

The XR-2211A is a monolithic phase-locked loop (PLL) system especially designed for data communications applications. It is particularly suited for FSK modem applications. It operates over a wide supply voltage range of 4.5 to 20V and a wide frequency range of 0.01Hz to 300kHz. It can accommodate analog signals between 10mV and 3V, and can interface with conventional DTL, TTL, and ECL logic families. The circuit consists of a basic PLL for tracking an input signal within the pass band, a quadrature phase detector which provides carrier detection, and an FSK voltage comparator which provides FSK demodulation. External components are used to independently set center frequency, bandwidth, and output delay. An internal voltage reference proportional to the power supply is provided at an output pin.

The XR-2211A is available in 14 pin packages specified for commercial temperature ranges.

ORDERING INFORMATION

Part No.	Package	Operating Temperature Range
XR-2211ACP	14 Lead PDIP (0.300")	0°C to +70°C
XR-2211ACD	14 Lead SOIC (Jedec, 0.150")	0°C to +70°C

©1995
EXAR Corporation, 48720 Kato Road, Fremont, CA 94538 ◆ (510) 668-7000 ◆ FAX (510) 668-7017

BLOCK DIAGRAM

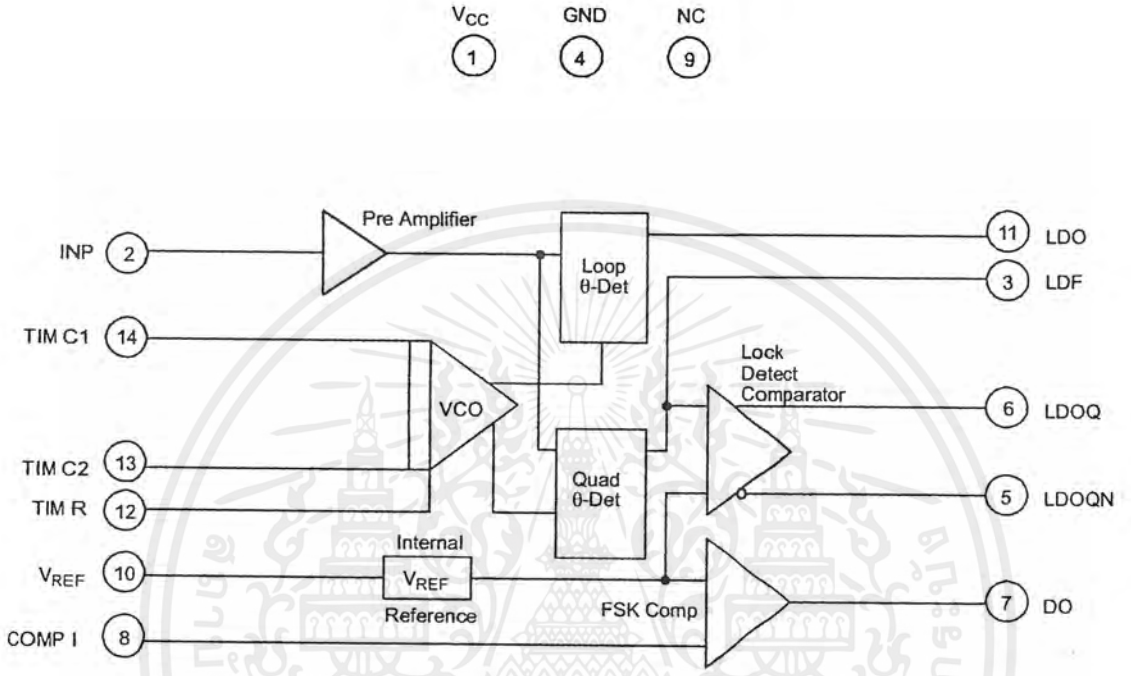
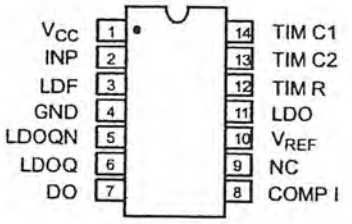
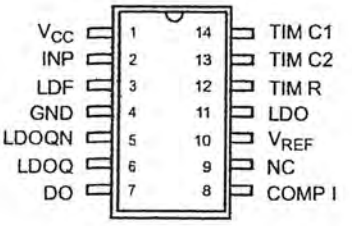


Figure 1. XR-2211A Block Diagram

PIN CONFIGURATION



14 Lead PDIP (0.300")



14 Lead SOIC (Jedec, 0.150")

PIN DESCRIPTION

Pin #	Symbol	Type	Description
1	V_{CC}		**Positive Power Supply.**
2	INP	I	**Receive Analog Input.**
3	LDF	O	**Lock Detect Filter.**
4	GND		**Ground Pin.**
5	LDOQN	O	**Lock Detect Output Not.** This output will be low if the VCO is in the capture range.
6	LDOQ	O	**Lock Detect Output.** This output will be high if the VCO is in the capture range.
7	DO	O	**Data Output.** Decoded FSK output.
8	COMP I	I	**FSK Comparator Input.**
9	NC		**Not Connected.**
10	V_{REF}	O	**Internal Voltage Reference.** The value of V_{REF} is $V_{CC}/2$ - 650mV.
11	LDO	O	**Loop Detect Output.** This output provides the result of the quadrature phase detection.
12	TIM R	I	**Timing Resistor Input.** This pin connects to the timing resistor of the VCO.
13	TIM C2	I	**Timing Capacitor Input.** The timing capacitor connects between this pin and pin 14.
14	TIM C1	I	**Timing Capacitor Input.** The timing capacitor connects between this pin and pin 13.

PDC ELECTRICAL CHARACTERISTICS

Test Conditions: V_{CC} = 12V, T_A = +25°C, R_O = 30KΩ, C_O = 0.033μF, unless otherwise specified.

Parameter	Min.	Typ.	Max.	Unit	Conditions
General					
Supply Voltage	**4.5**		**20**	V	
Supply Current		5	**9**	mA	$R_0 \geq$ 10KΩ. See *Figure 4.*
Oscillator Section					
Frequency Accuracy		±3		%	Deviation from $f_O = 1/R_0 C_0$
Frequency Stability					
Temperature		±100		ppm/°C	See *Figure 8*
Power Supply		0.25		%/V	V_{CC} = 12 ± 1V. See *Figure 7.*
		0.2		%/V	V_{CC} = ± 5.0V. See *Figure 7.*
Upper Frequency Limit		300		kHz	R_0 = 8.2KΩ, C_0 = 400pF
Lowest Practical					
Operating Frequency		0.01		Hz	R_0 = 2MΩ, C_0 = 50μF
Timing Resistor, R_0 - See *Figure 5*					
Operating Range	**5**		2000	KΩ	
Recommended Range	5		100	KΩ	See *Figure 7* and *Figure 8.*
Loop Phase Dectector Section					
Peak Output Current	**±100**	±200	**±300**	μA	Measured at Pin 11
Output Offset Current		±2		μA	
Output Impedance		1		MΩ	
Maximum Swing	**±4**	± 5		V	Referenced to Pin 10
Quadrature Phase Detector					Measured at Pin 3
Peak Output Current		300		μA	
Output Impedance		1		MΩ	
Maximum Swing		11		V_{PP}	
Input Preampt Section					Measured at Pin 2
Input Impedance		20		KΩ	
Input Signal					
Voltage Required to Cause Limiting		2		mV rms	

Notes

Parameters are guaranteed over the recommended operating conditions, but are not 100% tested in production.
***Bold face parameters** are covered by production test and guaranteed over operating temperature range.*

DC ELECTRICAL CHARACTERISTICS (CONT'D)

Test Conditions: V_{CC} = 12V, T_A = +25°C, R_O = 30KΩ, C_O = 0.033μF, unless otherwise specified.

Parameter	Min.	Typ.	Max.	Unit	Conditions
Voltage Comparator Section					
Input Impedance		2		MΩ	Measured at Pins 3 and 8
Input Bias Current		100		nA	
Voltage Gain	55	70		dB	R_L = 5.1KΩ
Output Voltage Low		300	**500**	mV	I_C = 3mA
Output Leakage Current		0.01	**10**	μA	V_O = 20V
Internal Reference					
Voltage Level	**4.75**	5.3	**5.85**	V	Measured at Pin 10
Output Impedance		100		Ω	AC Small Signal
Maximum Source Current		80		μA	

Notes
Parameters are guaranteed over the recommended operating conditions, but are not 100% tested in production.
***Bold face parameters** are covered by production test and guaranteed over operating temperature range.*

Specifications are subject to change without notice

ABSOLUTE MAXIMUM RATINGS

Power Supply 20V
Input Signal Level ..... 3V rms
Power Dissipation 900mW

Plastic Package 800mW
Derate Above T_A = 25°C ..... 6mW/°C
JEDEC SOIC 390mW
Derate Above T_A = 25°C ..... 5mW/°C

SYSTEM DESCRIPTION

input preamplifier, analog multiplier used as a phase detector and a precision voltage controlled oscillator (VCO). The preamplifier is used as a limiter such that input signals above typically 10mV rms are amplified to a constant high level signal. The multiplying-type phase detector acts as a digital exclusive or gate. Its output (unfiltered) produces sum and difference frequencies of the input and the VCO output. The VCO is actually a current controlled oscillator with its normal input current (f_O) set by a resistor (R_0) to ground and its driving current with a resistor (R_1) from the phase detector.

The output of the phase detector produces sum and difference of the input and the VCO frequencies are $f_{IN}+f_{VCO}$ (2 times f_{IN} when in lock) and $f_{IN}-f_{VCO}$ (0Hz when lock). By adding a capacitor to the phase detector output, the 2 times f_{IN} component is reduced, leaving a DC voltage that represents the phase difference between the two frequencies. This closes the loop and allows the VCO to track the input frequency.

The FSK comparator is used to determine if the VCO is driven above or below the center frequency (FSK comparator). This will produce both active high and active low outputs to indicate when the main PLL is in lock (quadrature phase detector and lock detector comparator).

PRINCIPLES OF OPERATION

Signal Input (Pin 2): Signal is AC coupled to this terminal. The internal impedance at pin 2 is 20KΩ. Recommended input signal level is in the range of 10mV rms to 3V rms.

Quadrature Phase Detector Output (Pin 3): This is the high impedance output of quadrature phase detector and is internally connected to the input of lock detect voltage comparator. In tone detection applications, pin 3 is connected to ground through a parallel combination of R_D and C_D (see *Figure 3*) to eliminate the chatter at lock detect outputs. If the tone detect section is not used, pin 3 can be left open.

Lock Detect Output, Q (Pin 6): The output at pin 6 is at "low" state when the PLL is out of lock and goes to "high" state when the PLL is locked. It is an open collector type output and requires a pull-up resistor, R_L, to V_{CC} for proper operation. At "low" state, it can sink up to 5mA of load current.

Lock Detect Complement, (Pin 5): The output at pin 5 is the logic complement of the lock detect output at pin 6. This output is also an open collector type stage which can sink 5mA of load current at low or "on" state.

FSK Data Output (Pin 7): This output is an open collector logic stage which requires a pull-up resistor, R_L, to V_{CC} for proper operation. It can sink 5mA of load current. When decoding FSK signals, FSK data output is at "high" or "off" state for low input frequency, and at "low" or "on" state for high input frequency. If no input signal is present, the logic state at pin 7 is indeterminate.

FSK Comparator Input (Pin 8): This is the high impedance input to the FSK voltage comparator. Normally, an FSK post-detection or data filter is connected between this terminal and the PLL phase detector output (pin 11). This data filter is formed by R_F and C_F (see *Figure 3*). The threshold voltage of the comparator is set by the internal reference voltage, V_{REF}, available at pin 10.

Reference Voltage, V_{REF} (Pin 10): This pin is internally biased at the reference voltage level, V_{REF}: $V_{REF} = V_{CC}/2 - 650mV$. The DC voltage level at this pin forms an internal reference for the voltage levels at pins 5, 8, 11 and 12. Pin 10 must be bypassed to ground with a 0.1μF capacitor for proper operation of the circuit.

Loop Phase Detector Output (Pin 11): This terminal provides a high impedance output for the loop phase detector. The PLL loop filter is formed by R_1 and C_1 connected to pin 11 (see *Figure 3*). With no input signal, or with no phase error within the PLL, the DC level at pin 11 is very nearly equal to V_{REF}. The peak to peak voltage swing available at the phase detector output is equal to $2 \times V_{REF}$.

VCO Control Input (Pin 12): VCO free-running frequency is determined by external timing resistor, R_0, connected from this terminal to ground. The VCO free-running frequency, f_O, is:

$$f_o = \frac{1}{R_0 \cdot C_0} \; Hz$$

where C_0 is the timing capacitor across pins 13 and 14. For optimum temperature stability, R_0 must be in the range of 10KΩ to 100KΩ (see *Figure 9*).

This terminal is a low impedance point, and is internally biased at a DC level equal to V_{REF}. The maximum timing current drawn from pin 12 must be limited to ≤ 3mA for proper operation of the circuit.

VCO Timing Capacitor (Pins 13 and 14): VCO frequency is inversely proportional to the external timing capacitor, C_0, connected across these terminals (see *Figure 6*). C_0 must be non-polar, and in the range of 200pF to 10μF.

VCO Frequency Adjustment: VCO can be fine-tuned by connecting a potentiometer, R_X, in series with R_0 at pin 12 (see *Figure 10*).

VCO Free-Running Frequency, f_O: XR-2211A does not have a separate VCO output terminal. Instead, the VCO outputs are internally connected to the phase detector sections of the circuit. For set-up or adjustment purposes, the VCO free-running frequency can be tuned by using the generalized circuit in *Figure 3*, and applying an alternating bit pattern of 0's and 1's at the known mark and space frequencies. By adjusting R_0, the VCO can then be tuned to obtain a 50% duty cycle on the FSK output (pin 7). This will ensure that the VCO f_O value is accurately referenced to the mark and space frequencies.

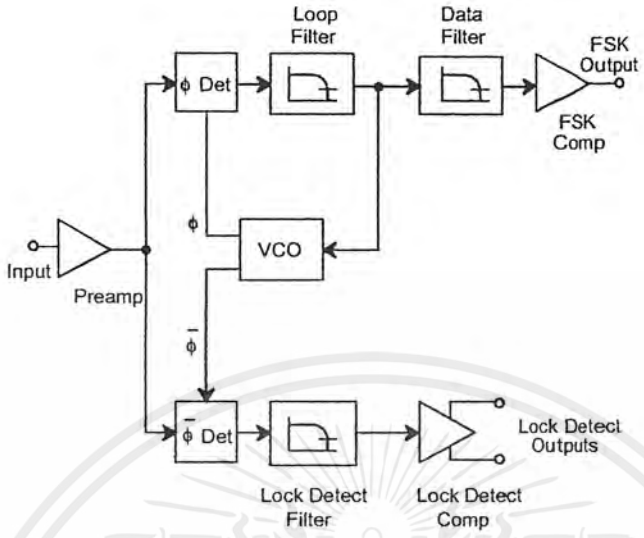


Figure 2. Functional Block Diagram of a Tone and FSK Decoding System Using XR-2211A

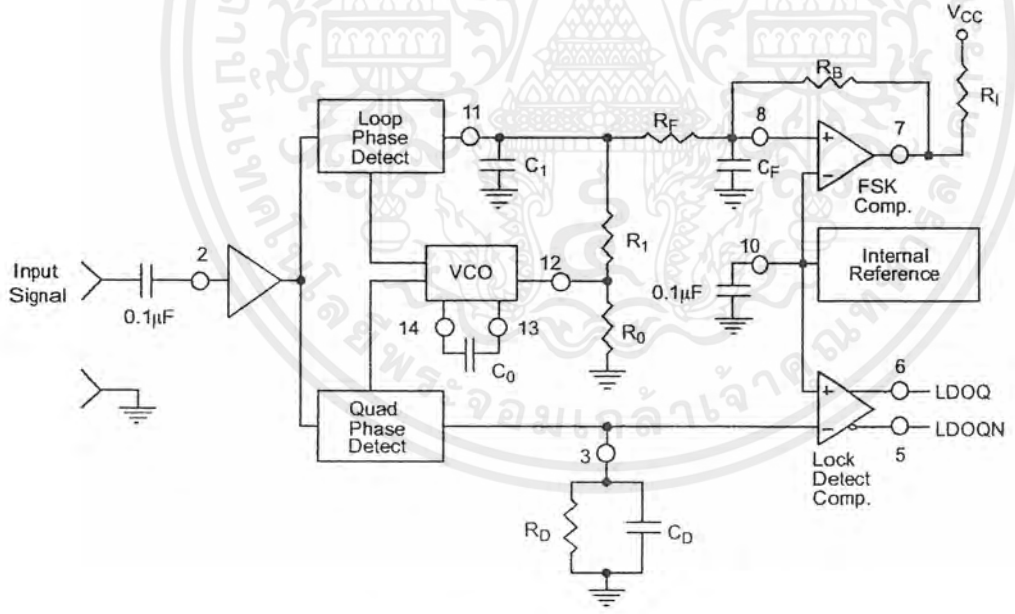


Figure 3. Generalized Circuit Connection for FSK and Tone Detection

DESIGN EQUATIONS

(All resistance in Ω, all frequency in Hz and all capacitance in farads, unless otherwise specified)

(See *Figure 3* for definition of components)

1. VCO Center Frequency, f_O:

$$f_O = \frac{1}{R_0 \cdot C_0}$$

2. Internal Reference Voltage, V_{REF} (measured at pin 10):

$$V_{REF} = \left(\frac{V_{CC}}{2}\right) - 650mV \text{ in volts}$$

3. Loop Low-Pass Filter Time Constant, τ:

$$\tau = C_1 \cdot R_{PP} \text{ (seconds)}$$

where:

$$R_{PP} = \left(\frac{R_1 \cdot R_F}{R_1 + R_F}\right)$$

if R_F is ∞ or C_F reactance is ∞, then $R_{PP} = R1$

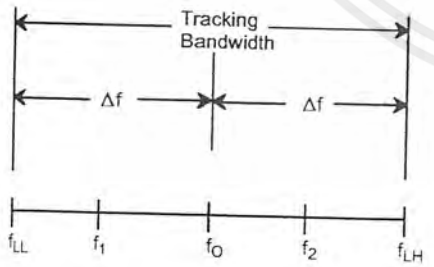
4. Loop Damping, ς:

$$\zeta = \sqrt{\left(\frac{1250 \cdot C_0}{R_1 \cdot C_1}\right)}$$

Note: *For derivation/explanation of this equation, please see TAN-011.*

5. Loop-tracking bandwidth, $\pm = \frac{\Delta f}{f_0}$

$$\frac{\Delta f}{f_0} = \frac{R_0}{R_1}$$



6. FSK Data filter time constant, tF:

$$\tau_F = \frac{R_B \cdot R_F}{(R_B + R_F)} \cdot C_F \ (seconds)$$

7. Loop phase detector conversion gain, Kd: (Kd is the differential DC voltage across pin 10 and pin11, per unit of phase error at phase detector input):

$$K_d = \frac{V_{REF} \cdot R_1}{10,000 \cdot \pi} \left[\frac{volt}{radian}\right]$$

Note: *For derivation/explanation of this equation, please see TAN-011.*

8. VCO conversion gain, Ko: (Ko is the amount of change in VCO frequency, per unit of DC voltage change at pin 11):

$$K_0 = \frac{-2\pi}{V_{REF} \cdot C_0 \cdot R_1} = \left(\frac{radian/second}{volt}\right)$$

9. The filter transfer function:

$$F(s) = \frac{1}{1 + SR_1 \cdot C_1} \ at\ 0\ Hz. \qquad S = J\omega \ and \ \omega = 0$$

10. Total loop gain. K_T:

$$K_T = K_O \cdot K_d \cdot F(s) = \left(\frac{R_F}{5,000 \cdot C_0 \cdot (R_1 + R_F)}\right)\left[\frac{1}{seconds}\right]$$

11. Peak detector current I_A:

$$I_A = \frac{V_{REF}}{20,000} \ (V_{REF} \ in \ volts \ and \ I_A \ in \ amps)$$

Note: *For derivation/explanation of this equation, please see TAN-011.*

APPLICATIONS INFORMATION

FSK Decoding

Figure 10 shows the basic circuit connection for FSK decoding. With reference to *Figure 3* and *Figure 10*, the functions of external components are defined as follows: R_0 and C_0 set the PLL center frequency, R_1 sets the system bandwidth, and C_1 sets the loop filter time constant and the loop damping factor. C_F and R_F form a one-pole post-detection filter for the FSK data output. The resistor R_B from pin 7 to pin 8 introduces positive feedback across the FSK comparator to facilitate rapid transition between output logic states.

Design Instructions:

The circuit of *Figure 10* can be tailored for any FSK decoding application by the choice of five key circuit components: R_0, R_1, C_0, C_1 and C_F. For a given set of FSK mark and space frequencies, f_O and f_1, these parameters can be calculated as follows:

(All resistance in Ω's, all frequency in Hz and all capacitance in farads, unless otherwise specified)

a) Calculate PLL center frequency, f_O:

$$f_o = \sqrt{F_1 \cdot F_2}$$

b) Choose value of timing resistor R_0, to be in the range of 10KΩ to 100KΩ. This choice is arbitrary. The recommended value is R_0 = 20KΩ. The final value of R_0 is normally fine-tuned with the series potentiometer, R_X.

$$R_o = R_o + \frac{R_x}{2}$$

c) Calculate value of C0 from design equation (1) or from *Figure 7*:

$$C_o = \frac{1}{R_0 \cdot f_0}$$

d) Calculate R1 to give the desired tracking bandwidth (See design equation 5).

$$R_1 = \frac{R_0 \cdot f_0}{(f_1 - f_2)} \cdot 2$$

e) Calculate C1 to set loop damping. (See design equation 4):

Normally, $\varsigma = 0.5$ is recommended.

$$C_1 = \frac{1250 \cdot C_0}{R_1 \cdot \varsigma^2}$$

f) The input to the XR-2211A may sometimes be too sensitive to noise conditions on the input line. *Figure 4* illustrates a method of de-sensitizing the XR-2211A from such noisy line conditions by the use of a resistor, Rx, connected from pin 2 to ground. The value of Rx is chosen by the equation and the desired minimum signal threshold level.

$$V_{IN}\ minimum\ (peak) = V_a - V_b = \Delta V \pm 2.8mV\ offset = V_{REF}\frac{20,000}{(20,000 + R_X)}\ \ or\ R_X = 20,000\left(\frac{V_{REF}}{\Delta V} - 1\right)$$

V_{IN} minimum (peak) input voltage must exceed this value to be detected (equivalent to adjusting V threshold)

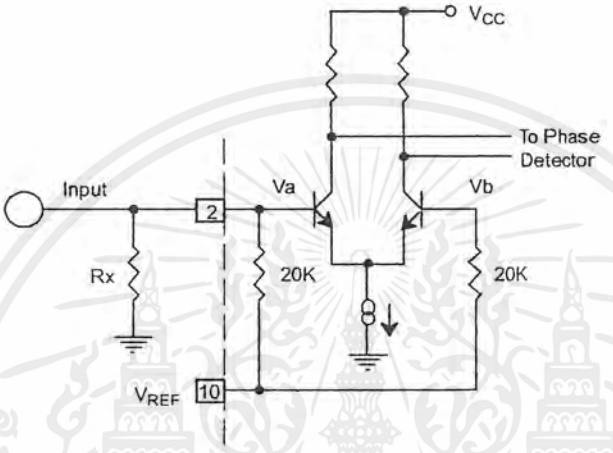


Figure 4. Desensitizing Input Stage

g) Calculate Data Filter Capacitance, C_F:

$$R_{sum} = \frac{(R_F + R_1)\cdot R_B}{(R_1 + R_F + R_B)}$$

$$C_F = \frac{0.25}{(R_{sum}\cdot Baud\ Rate)} \qquad Baud\ rate\ in\ \frac{1}{seconds}$$

Note: *All values except R_0 can be rounded to nearest standard value.*

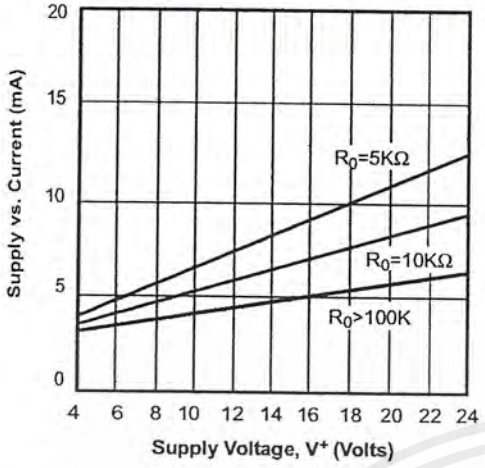


Figure 5. Typical Supply Current vs. V+ (Logic Outputs Open Circuited)

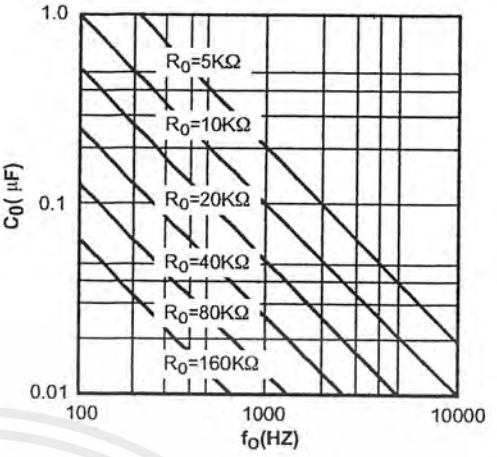


Figure 6. VCO Frequency vs. Timing Resistor

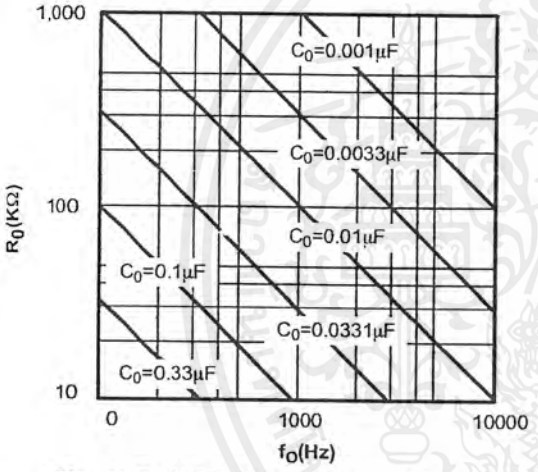


Figure 7. VCO Frequency vs. Timing Capacitor

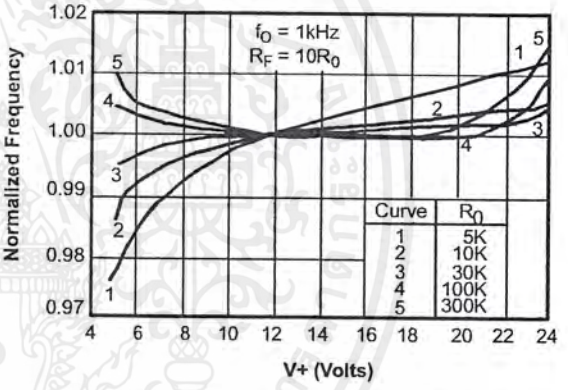


Figure 8. Typical f_O vs. Power Supply Characteristics

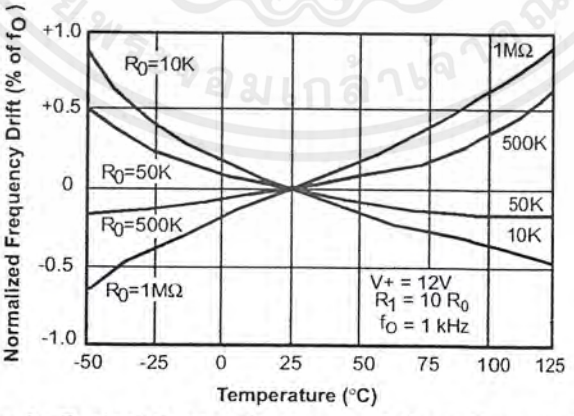


Figure 9. Typical Center Frequency Drift vs. Temperature

Design Example:

1200 Baud FSK demodulator with mark and space frequencies of 1200/2200.

Step 1: Calculate f_O: from design instructions

(*a*) $f_o = \sqrt{1200 \cdot 2200} = 1624$

Step 2: Calculate R_0 : R_0 =10K with a potentiometer of 10K. (See design instructions (b))

(*b*) $R_T = 10 + \left(\frac{10}{2}\right) = 15K$

Step 3: Calculate C_0 from design instructions

(*c*) $C_o = \frac{1}{15000 \cdot 1624} = 39nF$

Step 4: Calculate R_1 : from design instructions

(*d*) $R_1 = \frac{20000 \cdot 1624 \cdot 2}{(2200-1200)} = 51,000$

Step 5: Calculate C_1 : from design instructions

(*e*) $C_1 = \frac{1250 \cdot 39nF}{51000 \cdot 0.5^2} = 3.9nF$

Step 6: Calculate R_F : R_F should be at least five times R_1, R_F = 51,000·5 = 255 KΩ

Step 7: Calculate R_B : R_B should be at least five times R_F, R_B = 255,000·5 = 1.2 MΩ

Step 8: Calculate R_{SUM} :

$$R_{SUM} = \frac{(R_F + R_1) \cdot R_B}{(R_F + R_1 + R_B)} = 240K\Omega$$

Step 9: Calculate C_F :

$$C_F = \frac{0.25}{(R_{SUM} \cdot Baud\ Rate)} = 1nF$$

Note: *All values except R_0 can be rounded to nearest standard value.*

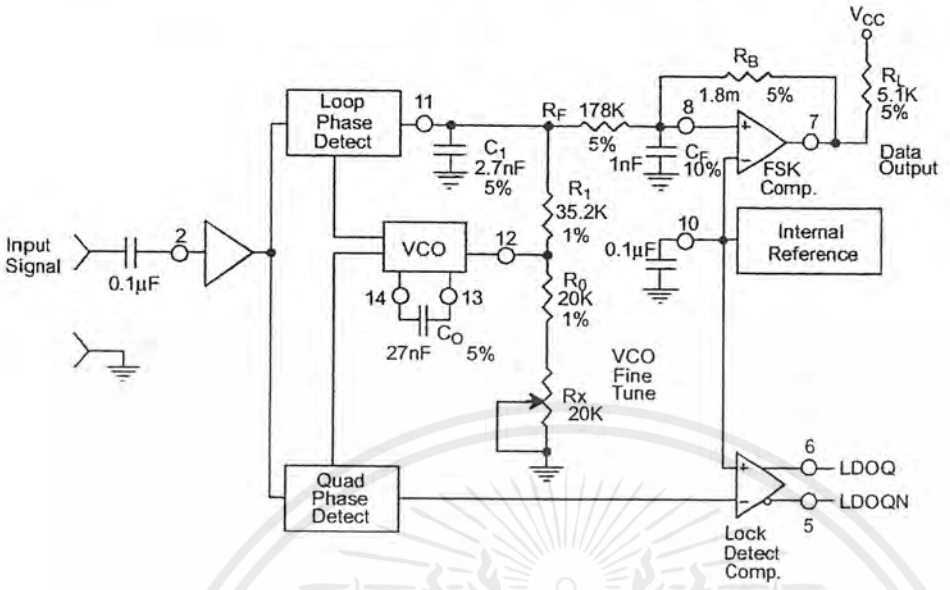


Figure 10. Circuit Connection for FSK Decoding of Caller Identification Signals (Bell 202 Format)

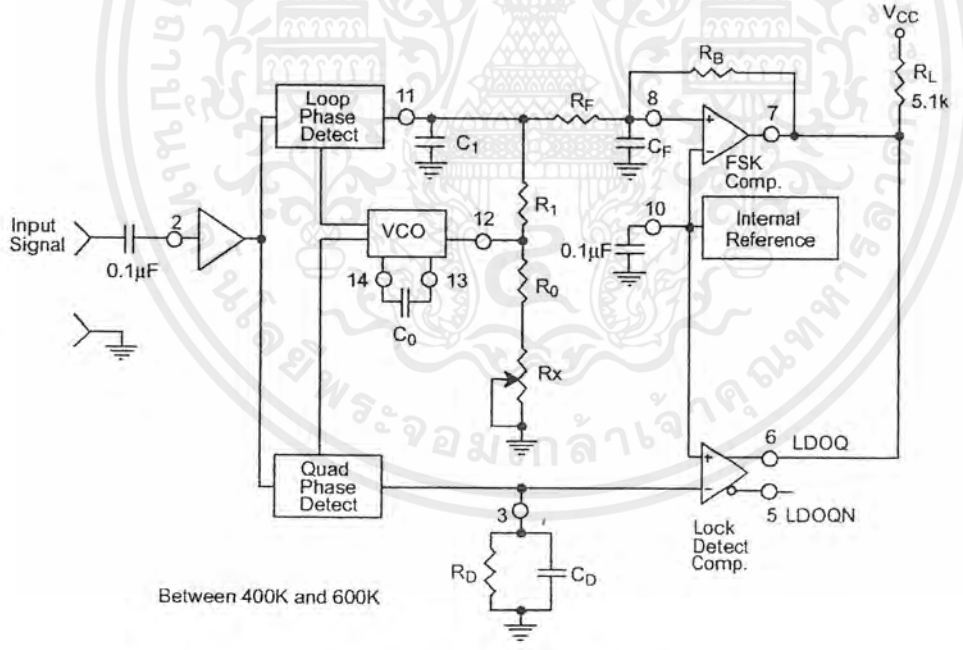


Figure 11. External Connectors for FSK Demodulation with Carrier Detect Capability

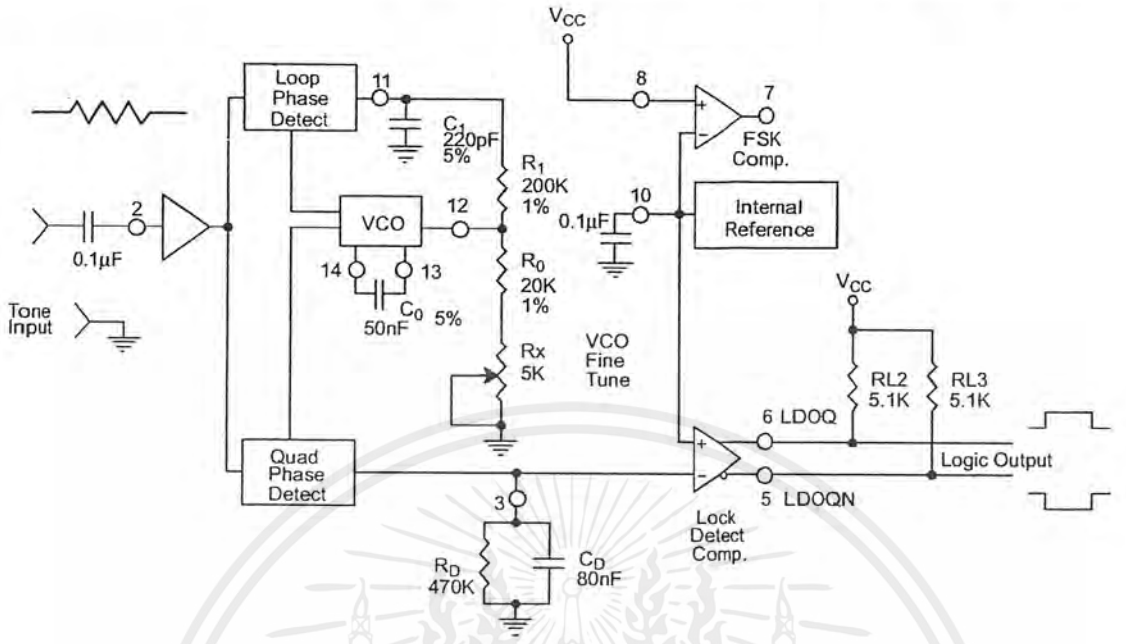


Figure 12. Circuit Connection for Tone Detection

FSK Decoding with Carrier Detect

The lock detect section of XR-2211A can be used as a carrier detect option for FSK decoding. The recommended circuit connection for this application is shown in *Figure 11*. The open collector lock detect output, pin 6, is shorted to data output (pin 7). Thus, data output will be disabled at "low" state, until there is a carrier within the detection band of the PLL and the pin 6 output goes "high" to enable the data output.

Note: *Data Output is "Low" When No Carrier is Present.*

The minimum value of the lock detect filter capacitance C_D is inversely proportional to the capture range, $\pm\Delta fc$. This is the range of incoming frequencies over which the loop can acquire lock and is always less than the tracking range. It is further limited by C_1. For most applications, $\Delta fc > \Delta f/2$. For R_D = 470KΩ, the approximate minimum value of C_D can be determined by:

$$C_D > \frac{16}{\Delta f} \quad C \text{ in } \mu F \text{ and } f \text{ in Hz.}$$

C in µF and f in Hz.

With values of C_D that are too small, chatter can be observed on the lock detect output as an incoming signal frequency approaches the capture bandwidth. Excessively large values of C_D will slow the response time of the lock detect output. For Caller I.D. applications choose C_D = 0.1µF.

Tone Detection

Figure 12 shows the generalized circuit connection for tone detection. The logic outputs, LDOQN and LDOQ at pins 5 and 6 are normally at "high" and "low" logic states, respectively. When a tone is present within the detection band of the PLL, the logic state at these outputs become reversed for the duration of the input tone. Each logic output can sink 5mA of load current.

Both outputs at pins 5 and 6 are open collector type stages, and require external pull-up resistors R_{L2} and R_{L3}, as shown in *Figure 12*.

With reference to *Figure 3* and *Figure 12*, the functions of the external circuit components can be explained as follows: R_0 and C_0 set VCO center frequency; R_1 sets the detection bandwidth; C_1 sets the low pass-loop filter time constant and the loop damping factor.

Design Instructions:

The circuit of *Figure 12* can be optimized for any tone detection application by the choice of the 5 key circuit components: R_0, R_1, C_0, C_1 and C_D. For a given input, the tone frequency, f_S, these parameters are calculated as follows:

(All resistance in Ω's, all frequency in Hz and all capacitance in farads, unless otherwise specified)

a) Choose value of timing resistor R_0 to be in the range of 10KΩ to 50KΩ. This choice is dictated by the max./min. current that the internal voltage reference can deliver. The recommended value is $R_0 = 20K\Omega$. The final value of R_0 is normally fine-tuned with the series potentiometer, R_X.

b) Calculate value of C_0 from design equation (1) or from *Figure 7* $f_S = f_O$:

$$C_O = \frac{1}{R_0 \cdot fs}$$

c) Calculate R_1 to set the bandwidth $\pm\Delta f$ (See design equation 5):

$$R_1 = \frac{R_0 \cdot f_0 \cdot 2}{\Delta f}$$

Note: *The total detection bandwidth covers the frequency range of* $f_O \pm \Delta f$

d) Calculate value of C_1 for a given loop damping factor:

Normally, $\varsigma = 0.5$ is recommended.

$$C_1 = \frac{1250 \cdot C_0}{R_1 \cdot \varsigma^2}$$

Increasing C_1 improves the out-of-band signal rejection, but increases the PLL capture time.

e) Calculate value of the filter capacitor C_D . To avoid chatter at the logic output, with $R_D = 470K\Omega$, C_D must be:

$$C_D > \frac{16}{\Delta f} \quad C \text{ in } \mu F$$

Increasing C_D slows down the logic output response time.

Design Examples:

Tone detector with a detection band of ± 100Hz:

a) Choose value of timing resistor R_0 to be in the range of 10KΩ to 50KΩ. This choice is dictated by the max./min. current that the internal voltage reference can deliver. The recommended value is $R_0 = 20$ KΩ. The final value of R_0 is normally fine-tuned with the series potentiometer, R_X.

b) Calculate value of C_0 from design equation (1) or from *Figure 6* $f_S = f_O$:

$$C_0 = \frac{1}{R_0 \cdot f_S} = \frac{1}{20,000 \cdot 1,000} = 50nF$$

c) Calculate R_1 to set the bandwidth $\pm\Delta f$ (See design equation 5):

$$R_1 = \frac{R_0 \cdot f_O \cdot 2}{\Delta f} = \frac{20,000 \cdot 1,000 \cdot 2}{100} = 400K$$

Note: *The total detection bandwidth covers the frequency range of $f_O \pm \Delta f$*

d) Calculate value of C_0 for a given loop damping factor:

Normally, $\varsigma = 0.5$ is recommended.

$$C_1 = \frac{1250 \cdot C_0}{R_1 \cdot \varsigma^2} = \frac{1250 \cdot 50 \cdot 10^{-9}}{400,000 \cdot 0.5^2} = 6.25pF$$

Increasing C_1 improves the out-of-band signal rejection, but increases the PLL capture time.

e) Calculate value of the filter capacitor C_D . To avoid chatter at the logic output, with $R_D = 470K\Omega$, C_D must be:

$$C_D = \frac{16}{\Delta f} \geq \frac{16}{200} \geq 80nF$$

Increasing C_D slows down the logic output response time.

f) Fine tune center frequency with $5K\Omega$ potentiometer, R_X.

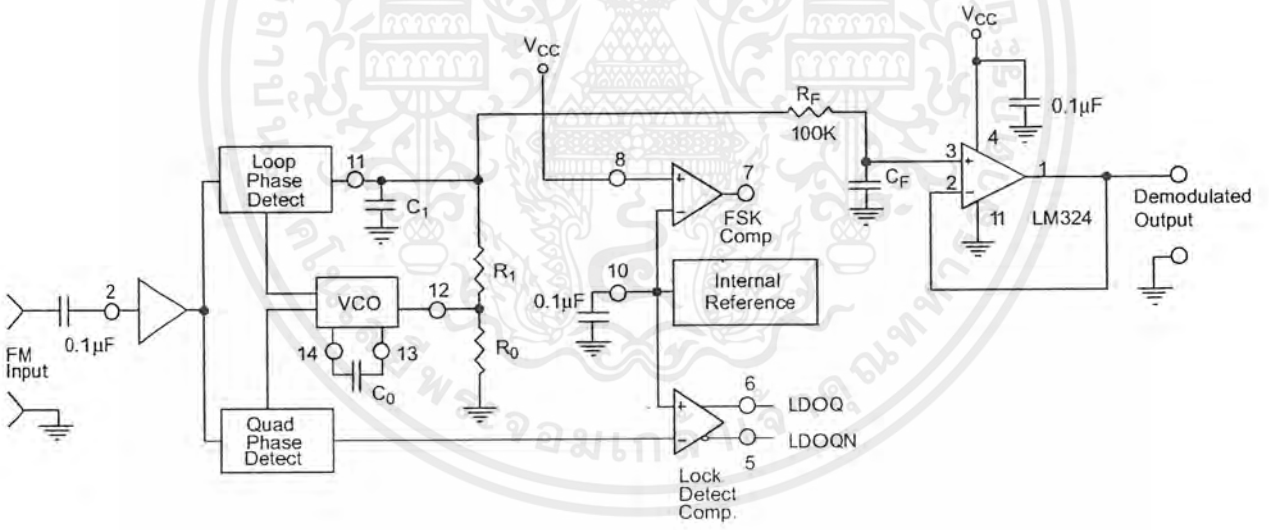


Figure 13. Linear FM Detector Using XR-2211A and an External Op Amp. (See Section on Design Equation for Component Values.)

Linear FM Detection

XR-2211A can be used as a linear FM detector for a wide range of analog communications and telemetry applications. The recommended circuit connection for this application is shown in *Figure 13.* The demodulated output is taken from the loop phase detector output (pin 11), through a post-detection filter made up of R_F and C_F, and an external buffer amplifier. This buffer amplifier is necessary because of the high impedance output at pin 11. Normally, a non-inverting unity gain op amp can be used as a buffer amplifier, as shown in *Figure 13.*

The FM detector gain, i.e., the output voltage change per unit of FM deviation can be given as:

$$V_{OUT} = \frac{R_1 \cdot V_{REF}}{100 \cdot R_0}$$

where VR is the internal reference voltage ($V_{REF} = V_{CC}/2 - 650mV$). For the choice of external components R_1, R_0, C_D, C_1 and C_F, see the section on design equations.

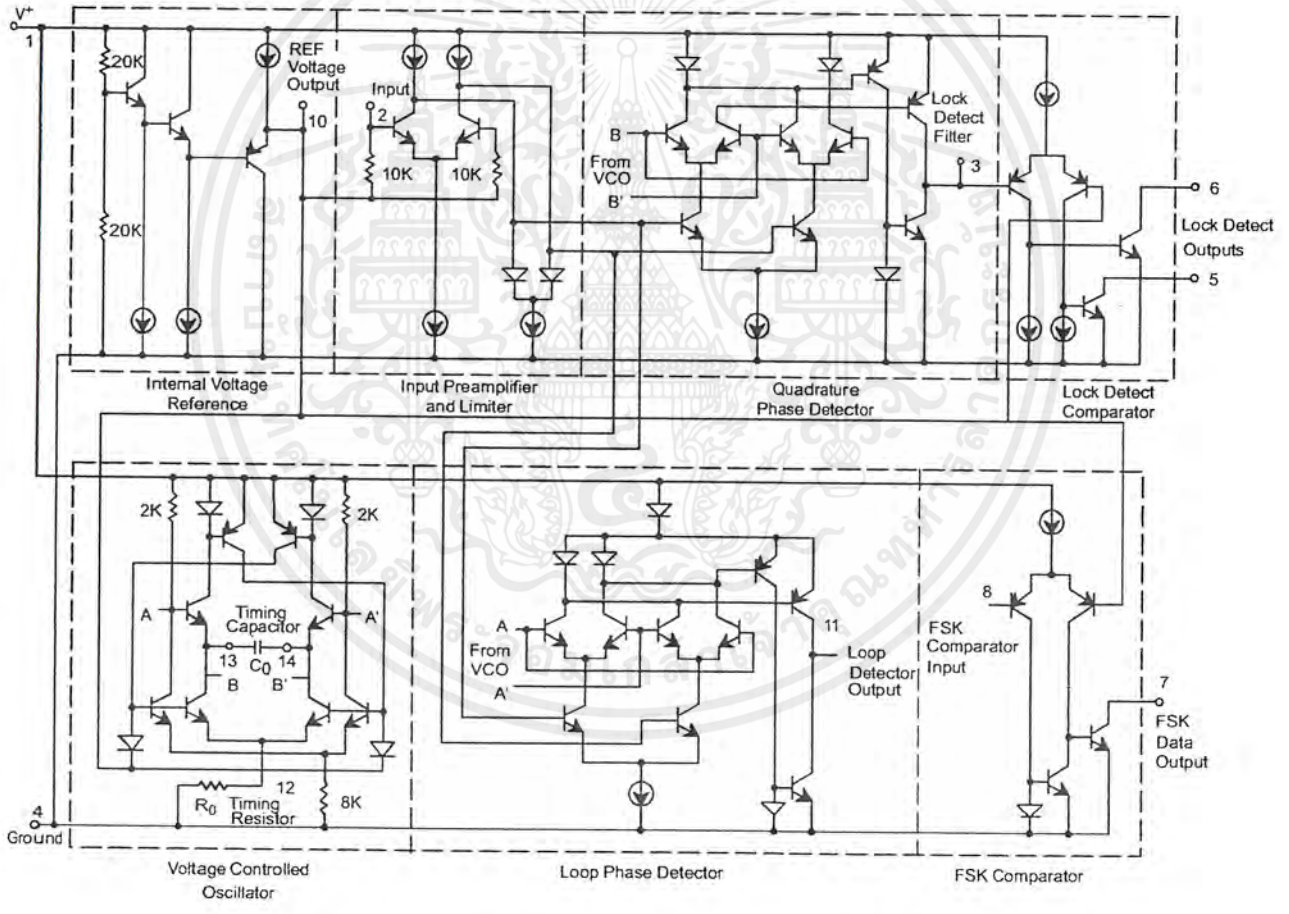
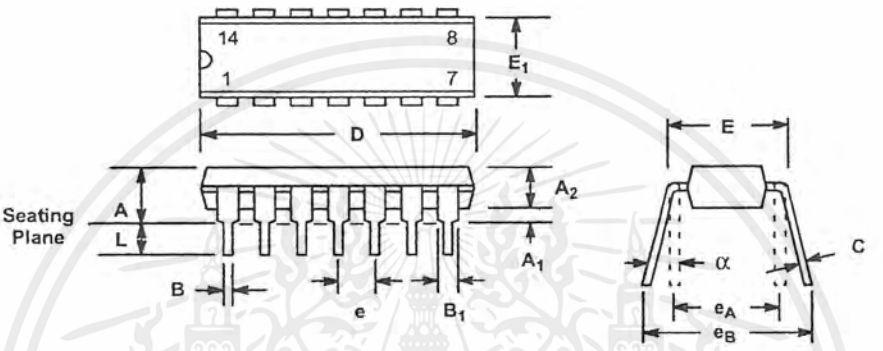


Figure 14. Equivalent Schematic Diagram

14 LEAD PLASTIC DUAL-IN-LINE (300 MIL PDIP)

Rev. 1.00

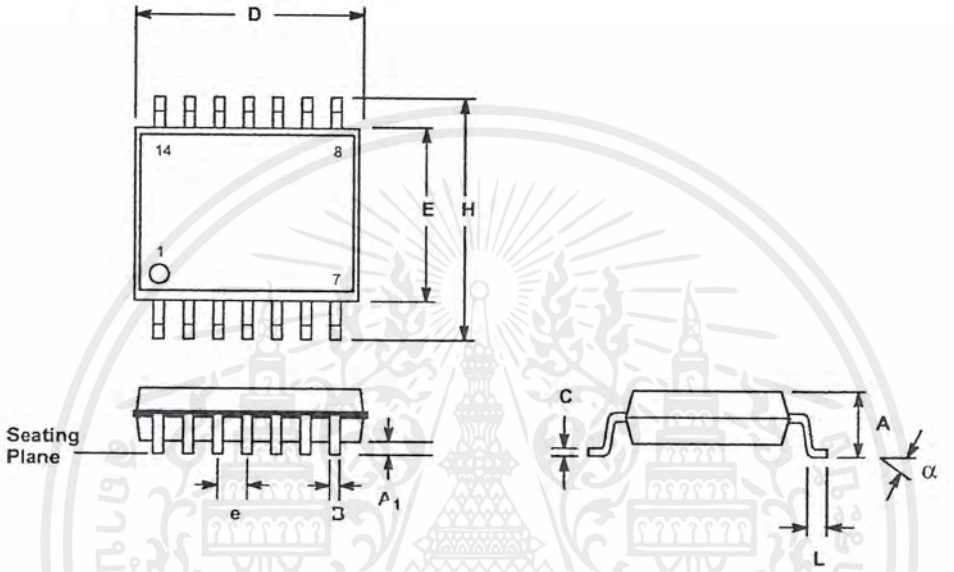


SYMBOL	INCHES MIN	INCHES MAX	MILLIMETERS MIN	MILLIMETERS MAX
A	0.145	0.210	3.68	5.33
A_1	0.015	0.070	0.38	1.78
A_2	0.115	0.195	2.92	4.95
B	0.014	0.024	0.36	0.56
B_1	0.030	0.070	0.76	1.78
C	0.008	0.014	0.20	0.38
D	0.725	0.795	18.42	20.19
E	0.300	0.325	7.62	8.26
E_1	0.240	0.280	6.10	7.11
e	0.100 BSC		2.54 BSC	
e_A	0.300 BSC		7.62 BSC	
e_B	0.310	0.430	7.87	10.92
L	0.115	0.160	2.92	4.06
α	0°	15°	0°	15°

Note: The control dimension is the inch column

14 LEAD SMALL OUTLINE
(150 MIL JEDEC SOIC)

Rev. 1.00



SYMBOL	INCHES		MILLIMETERS	
	MIN	MAX	MIN	MAX
A	0.053	0.069	1.35	1.75
A_1	0.004	0.010	0.10	0.25
B	0.013	0.020	0.33	0.51
C	0.007	0.010	0.19	0.25
D	0.337	0.344	8.55	8.75
E	0.150	0.157	3.80	4.00
e	0.050 BSC		1.27 BSC	
H	0.228	0.244	5.80	6.20
L	0.016	0.050	0.40	1.27
α	0°	8°	0°	8°

Note: The control dimension is the millimeter column

DATA SHEET

For a complete data sheet, please also download:

- The IC06 74HC/HCT/HCU/HCMOS Logic Family Specifications
- The IC06 74HC/HCT/HCU/HCMOS Logic Package Information
- The IC06 74HC/HCT/HCU/HCMOS Logic Package Outlines

74HC/HCT4060
14-stage binary ripple counter with oscillator

Product specification
File under Integrated Circuits, IC06

December 1990

Philips
Semiconductors

PHILIPS

14-stage binary ripple counter with oscillator 74HC/HCT4060

FEATURES

- All active components on chip
- RC or crystal oscillator configuration
- Output capability: standard (except for R_{TC} and C_{TC})
- I_{CC} category: MSI

GENERAL DESCRIPTION

The 74HC/HCT4060 are high-speed Si-gate CMOS devices and are pin compatible with "4060" of the "4000B" series. They are specified in compliance with JEDEC standard no. 7A.

The 74HC/HCT4060 are 14-stage ripple-carry counter/dividers and oscillators with three oscillator terminals (RS, R_{TC} and C_{TC}), ten buffered outputs (Q_3 to Q_9 and Q_{11} to Q_{13}) and an overriding asynchronous master reset (MR).

The oscillator configuration allows design of either RC or crystal oscillator circuits. The oscillator may be replaced by an external clock signal at input RS. In this case keep the other oscillator pins (R_{TC} and C_{TC}) floating.

The counter advances on the negative-going transition of RS. A HIGH level on MR resets the counter (Q_3 to Q_9 and Q_{11} to Q_{13} = LOW), independent of other input conditions.

In the HCT version, the MR input is TTL compatible, but the RS input has CMOS input switching levels and can be driven by a TTL output by using a pull-up resistor to V_{CC}.

QUICK REFERENCE DATA

GND = 0 V; T_{amb} = 25 °C; $t_r = t_f$ = 6 ns

SYMBOL	PARAMETER	CONDITIONS	TYPICAL		UNIT
			HC	HCT	
t_{PHL}/ t_{PLH}	propagation delay	C_L = 15 pF; V_{CC} = 5 V			
	RS to Q_3		31	31	ns
	Q_n to Q_{n+1}		6	6	ns
t_{PHL}	MR to Q_n		17	18	ns
f_{max}	maximum clock frequency		87	88	MHz
C_I	input capacitance		3.5	3.5	pF
C_{PD}	power dissipation capacitance per package	notes 1, 2 and 3	40	40	pF

Notes

1. C_{PD} is used to determine the dynamic power dissipation (P_D in µW):

   $P_D = C_{PD} \times V_{CC}^2 \times f_i + \Sigma (C_L \times V_{CC}^2 \times f_o)$ where:

   f_i = input frequency in MHz

   f_o = output frequency in MHz

   $\Sigma (C_L \times V_{CC}^2 \times f_o)$ = sum of outputs

   C_L = output load capacitance in pF

   V_{CC} = supply voltage in V

2. For HC the condition is V_I = GND to V_{CC}
   For HCT the condition is V_I = GND to V_{CC} – 1.5 V
3. For formula on dynamic power dissipation see next pages.

ORDERING INFORMATION

See "74HC/HCT/HCU/HCMOS Logic Package Information".

PIN DESCRIPTION

PIN NO.	SYMBOL	NAME AND FUNCTION
1, 2, 3	Q_{11} to Q_{13}	counter outputs
7, 5, 4, 6, 14, 13, 15	Q_3 to Q_9	counter outputs
8	GND	ground (0 V)
9	C_{TC}	external capacitor connection
10	R_{TC}	external resistor connection
11	RS	clock input/oscillator pin
12	MR	master reset
16	V_{CC}	positive supply voltage

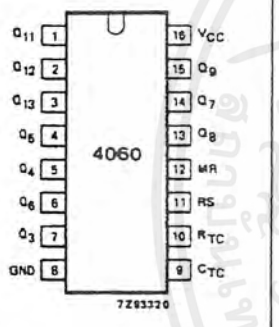


Fig.1 Pin configuration.

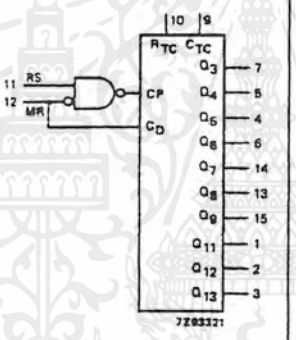


Fig.2 Logic symbol.

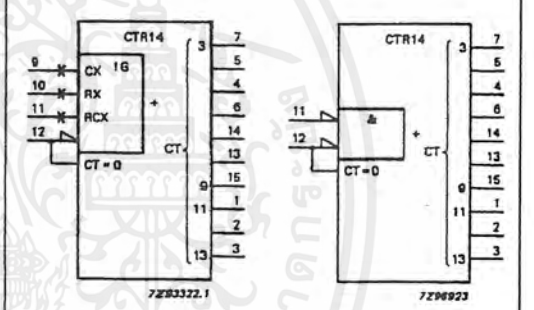


Fig.3 IEC logic symbol.

DYNAMIC POWER DISSIPATION FOR 74HC

PARAMETER	V_{CC} (V)	TYPICAL FORMULA FOR P_D (μW) (note 1)
total dynamic power dissipation when using the on-chip oscillator (P_D)	2.0	$C_{PD} \times f_{osc} \times V_{CC}^2 + \Sigma (C_L \times V_{CC}^2 \times f_o) + 2C_t \times V_{CC}^2 \times f_{osc} + 60 \times V_{CC}$
	4.5	$C_{PD} \times f_{osc} \times V_{CC}^2 + \Sigma (C_L \times V_{CC}^2 \times f_o) + 2C_t \times V_{CC}^2 \times f_{osc} + 1\,750 \times V_{CC}$
	6.0	$C_{PD} \times f_{osc} \times V_{CC}^2 + \Sigma (C_L \times V_{CC}^2 \times f_o) + 2C_t \times V_{CC}^2 \times f_{osc} + 3\,800 \times V_{CC}$

Note

1. GND = 0 V; T_{amb} = 25 °C

DYNAMIC POWER DISSIPATION FOR 74HCT

PARAMETER	V_{CC} (V)	TYPICAL FORMULA FOR P_D (μW) (note 1)
total dynamic power dissipation when using the on-chip oscillator (P_D)	4.5	$C_{PD} \times f_{osc} \times V_{CC}^2 + \Sigma (C_L \times V_{CC}^2 \times f_o) + 2C_t \times V_{CC}^2 \times f_{osc} + 1\,750 \times V_{CC}$

Notes

1. GND = 0 V; T_{amb} = 25 °C
2. Where: f_o = output frequency in MHz
   f_{osc} = oscillator frequency in MHz
   $\Sigma (C_L \times V_{CC}^2 \times f_o)$ = sum of outputs
   C_L = output load capacitance in pF
   C_t = timing capacitance in pF
   V_{CC} = supply voltage in V

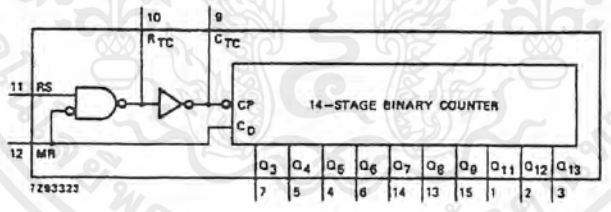


Fig.4 Functional diagram.

APPLICATIONS

- Control counters
- Timers
- Frequency dividers
- Time-delay circuits

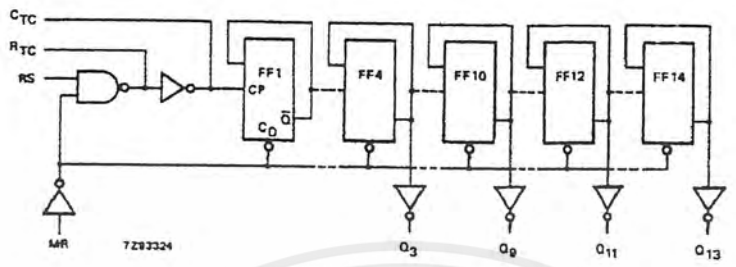


Fig.5 Logic diagram.

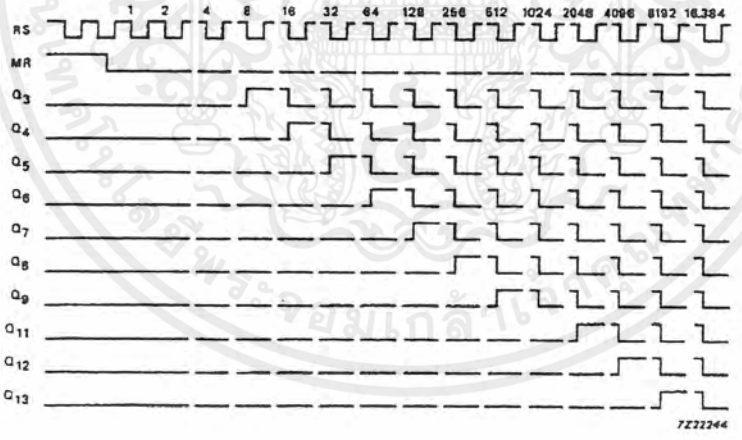


Fig.6 Timing diagram.

DC CHARACTERISTICS FOR 74HC

Output capability: standard (except for R_{TC} and C_{TC})
I_{CC} category: MSI
Voltages are referenced to GND (ground = 0 V)

SYMBOL	PARAMETER	T_{amb} (°C)							UNIT	TEST CONDITIONS		
		74HC								V_{CC} (V)	V_I	OTHER
		+25			−40 to +85		−40 to +125					
		min.	typ.	max.	min.	max.	min.	max.				
V_{IH}	HIGH level input voltage MR input	1.5 3.15 4.2	1.3 2.4 3.1		1.5 3.15 4.2		1.5 3.15 4.2		V	2.0 4.5 6.0		
V_{IL}	LOW level input voltage MR input		0.8 2.1 2.8	0.5 1.35 1.8		0.5 1.35 1.8		0.5 1.35 1.8	V	2.0 4.5 6.0		
V_{IH}	HIGH level input voltage RS input	1.7 3.6 4.8			1.7 3.6 4.8		1.7 3.6 4.8		V	2.0 4.5 6.0		
V_{IL}	LOW level input voltage RS input			0.3 0.9 1.2		0.3 0.9 1.2		0.3 0.9 1.2	V	2.0 4.5 6.0		
V_{OH}	HIGH level output voltage R_{TC} output	3.98 5.48			3.84 5.34		3.7 5.2		V	4.5 6.0	RS=GND and MR=GND	$-I_O$ = 2.6 mA $-I_O$ = 3.3 mA
		3.98 5.48			3.84 5.34		3.7 5.2		V	4.5 6.0	RS=V_{CC} and MR=V_{CC}	$-I_O$ = 0.65 mA $-I_O$ = 0.85 mA
		1.9 4.4 5.9	2.0 4.5 6.0		1.9 4.4 5.9		1.9 4.4 5.9		V	2.0 4.5 6.0	RS=GND and MR=GND	$-I_O$ = 20 µA $-I_O$ = 20 µA $-I_O$ = 20 µA
		1.9 4.4 5.9	2.0 4.5 6.0		1.9 4.4 5.9		1.9 4.4 5.9		V	2.0 4.5 6.0	RS=V_{CC} and MR=V_{CC}	$-I_O$ = 20 µA $-I_O$ = 20 µA $-I_O$ = 20 µA
V_{OH}	HIGH level output voltage C_{TC} output	3.98 5.48			3.84 5.34		3.7 5.2		V	4.5 6.0	RS=V_{IH} and MR=V_{IL}	$-I_O$ = 3.2 mA $-I_O$ = 4.2 mA
V_{OH}	HIGH level output voltage except R_{TC} output	1.9 4.4 5.9	2.0 4.5 6.0		1.9 4.4 5.9		1.9 4.4 5.9		V	2.0 4.5 6.0	V_{IH} or V_{IL}	$-I_O$ = 20 µA $-I_O$ = 20 µA $-I_O$ = 20 µA
V_{OH}	HIGH level output voltage except R_{TC} and C_{TC} outputs	3.98 5.48			3.84 5.34		3.7 5.2		V	4.5 6.0	V_{IH} or V_{IL}	$-I_O$ = 4.0 mA $-I_O$ = 5.2 mA
V_{OL}	LOW level output voltage R_{TC} output			0.26 0.26		0.33 0.33		0.4 0.4		4.5 6.0	RS=V_{CC} and MR=GND	I_O = 2.6 mA I_O = 3.3 mA
			0 0 0	0.1 0.1 0.1		0.1 0.1 0.1		0.1 0.1 0.1	V	2.0 4.5 6.0	RS=V_{CC} and MR=GND	I_O = 20 µA I_O = 20 µA I_O = 20 µA

SYMBOL	PARAMETER	T_{amb} (°C)							UNIT	TEST CONDITIONS		
		74HC								V_{CC} (V)	V_I	OTHER
		+25			−40 to +85		−40 to +125					
		min.	typ.	max.	min.	max.	min.	max.				
V_{OL}	LOW level output voltage C_{TC} output			0.26 0.26		0.33 0.33		0.4 0.4	V	4.5 6.0	RS=V_{IL} and MR=V_{IH}	I_O = 3.2 mA I_O = 4.2 mA
V_{OL}	LOW level output voltage except R_{TC} output		0 0 0	0.1 0.1 0.1		0.1 0.1 0.1		0.1 0.1 0.1	V	2.0 4.5 6.0	V_{IH} or V_{IL}	I_O = 20 µA I_O = 20 µA I_O = 20 µA
V_{OL}	LOW level output voltage except R_{TC} and C_{TC} outputs			0.26 0.26		0.33 0.33		0.4 0.4	V	4.5 6.0	V_{IH} or V_{IL}	I_O = 4.0 mA I_O = 5.2 mA
$\pm I_I$	input leakage current			0.1		1.0		1.0	µA	6.0	V_{CC} or GND	
I_{CC}	quiescent supply current			8.0		80.0		160.0	µA	6.0	V_{CC} or GND	I_O = 0

AC CHARACTERISTICS FOR 74HC

GND = 0 V; $t_r = t_f$ = 6 ns; C_L = 50 pF

SYMBOL	PARAMETER	T_{amb} (°C)							UNIT	TEST CONDITIONS	
		74HC								V_{CC} (V)	WAVEFORMS
		+25			−40 to +85		−40 to +125				
		min.	typ.	max.	min.	max.	min.	max.			
t_{PHL}/ t_{PLH}	propagation delay RS to Q_3		99 36 29	300 60 51		375 75 64		450 90 77	ns	2.0 4.5 6.0	Fig.12
t_{PHL}/ t_{PLH}	propagation delay Q_n to Q_{n+1}		22 8 6	80 16 14		100 20 17		120 24 20	ns	2.0 4.5 6.0	Fig.14
t_{PHL}	propagation delay MR to Q_n		55 20 16	175 35 30		220 44 37		265 53 45	ns	2.0 4.5 6.0	Fig.13
t_{THL}/ t_{TLH}	output transition time		19 7 6	75 15 13		95 19 16		110 22 19	ns	2.0 4.5 6.0	Fig.12
t_W	clock pulse width RS; HIGH or LOW	80 16 14	17 6 5		100 20 17		120 24 20		ns	2.0 4.5 6.0	Fig.12
t_W	master reset pulse width MR; HIGH	80 16 14	25 9 7		100 20 17		120 24 20		ns	2.0 4.5 6.0	Fig.13
t_{rem}	removal time MR to RS	100 20 17	28 10 8		125 25 21		150 30 26		ns	2.0 4.5 6.0	Fig.13
f_{max}	maximum clock pulse frequency	6.0 30 35	26 80 95		4.8 24 28		4.0 20 24		MHz	2.0 4.5 6.0	Fig.12

DC CHARACTERISTICS FOR 74HCT

Output capability: standard (except for R_{TC} and C_{TC})

I_{CC} category: MSI

Voltages are referenced to GND (ground = 0 V)

SYMBOL	PARAMETER	T_{amb} (°C)							UNIT	TEST CONDITIONS		
		74HCT								V_{CC} (V)	V_I	OTHER
		+25			−40 to +85		−40 to +125					
		min.	typ.	max.	min.	max.	min.	max.				
V_{IH}	HIGH level input voltage	2.0			2.0		2.0		V	4.5 to 5.5		note 2
V_{IL}	LOW level input voltage			0.8		0.8		0.8	V	4.5 to 5.5		note 2
V_{OH}	HIGH level output voltage R_{TC} output	3.98			3.84		3.7		V	4.5	RS=GND and MR=GND	$-I_O$ = 2.6 mA
		3.98			3.84		3.7		V	4.5	RS = V_{CC} and MR = V_{CC}	$-I_O$ = 0.65 mA
		4.4	4.5		4.4		4.4		V	4.5	RS=GND and MR=GND	$-I_O$ = 20 μA
		4.4	4.5		4.4		4.4		V	4.5	RS=V_{CC} and MR=V_{CC}	$-I_O$ = 20 μA
V_{OH}	HIGH level output voltage C_{TC} output	3.98			3.84		3.7		V	4.5	RS = V_{IH} and MR = V_{IL}	$-I_O$ = 3.2 mA
V_{OH}	HIGH level output voltage except R_{TC} output	4.4	4.5		4.4		4.4		V	4.5	V_{IH} or V_{IL}	$-I_O$ = 20 μA
V_{OH}	HIGH level output voltage except R_{TC} and C_{TC} outputs	3.98			3.84		3.7		V	4.5	V_{IH} or V_{IL}	$-I_O$ = 4.0 mA
V_{OL}	LOW level output voltage R_{TC} output			0.26		0.33		0.4	V	4.5	RS=V_{CC} and MR=GND	I_O = 2.6 mA
			0	0.1		0.1		0.1	V	4.5	RS=V_{CC} and MR=GND	I_O = 20 μA
V_{OL}	LOW level output voltage C_{TC} output			0.26		0.33		0.4	V	4.5	RS = V_{IL} and MR = V_{IH}	I_O = 3.2 mA
V_{OL}	LOW level output voltage except R_{TC} output		0	0.1		0.1		0.1	V	4.5	V_{IH} or V_{IL}	I_O = 20 μA
V_{OL}	LOW level output voltage except R_{TC} and C_{TC} outputs			0.26		0.33		0.4	V	4.5	V_{IH} or V_{IL}	I_O = 4.0 mA
±I	input leakage current			0.1		1.0		1.0	μA	5.5	V_{CC} or GND	
I_{CC}	quiescent supply current			8.0		80.0		160.0	μA	5.5	V_{CC} or GND	I_O = 0
ΔI_{CC}	additional quiescent supply current per input pin for unit load coefficient is 1 (note 1)		100	360		450		490	μA	4.5 to 5.5	V_{CC} − 2.1 V	other inputs at V_{CC} or GND; I_O = 0

Notes

1. The value of additional quiescent supply current (ΔI_{CC}) for a unit load of 1 is given here. To determine ΔI_{CC} per input, multiply this value by the unit load coefficient shown in the table below.
2. Only input MR (pin 12) has TTL input switching levels for the HCT versions.

INPUT	UNIT LOAD COEFFICIENT
MR	0.40

AC CHARACTERISTICS FOR 74HCT

GND = 0 V; $t_r = t_f$ = 6 ns; C_L = 50 pF

SYMBOL	PARAMETER	T_{amb} (°C)							UNIT	TEST CONDITIONS	
		74HCT								V_{CC} (V)	WAVEFORMS
		+25			−40 to +85		−40 to +125				
		min.	typ.	max.	min.	max.	min.	max.			
t_{PHL}/ t_{PLH}	propagation delay RS to Q_3		33	66		83		99	ns	4.5	Fig.12
t_{PHL}/ t_{PLH}	propagation delay Q_n to Q_{n+1}		8	16		20		24	ns	4.5	Fig.14
t_{PHL}	propagation delay MR to Q_n		21	44		55		66	ns	4.5	Fig.13
t_{THL}/ t_{TLH}	output transition time		7	15		19		22	ns	4.5	Fig.12
t_W	clock pulse width RS; HIGH or LOW	16	6		20		24		ns	4.5	Fig.12
t_W	master reset pulse width MR; HIGH	16	6		20		24		ns	4.5	Fig.13
t_{rem}	removal time MR to RS	26	13		33		39		ns	4.5	Fig.13
f_{max}	maximum clock pulse frequency	30	80		24		20		MHz	4.5	Fig.12

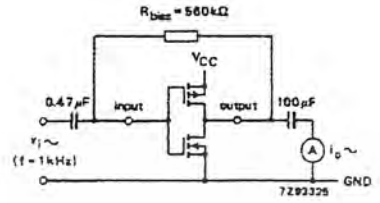


Fig.7 Test set-up for measuring forward transconductance $g_{fs} = di_o / dv_i$ at v_o is constant (see also graph Fig.8); MR = LOW.

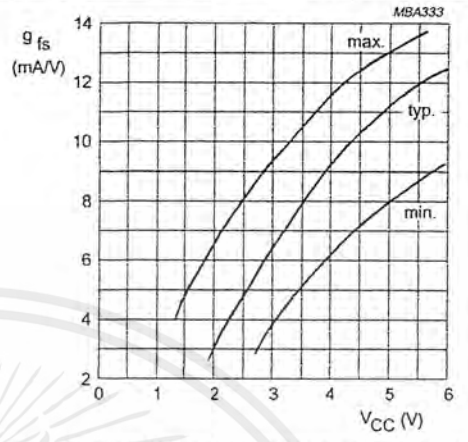


Fig.8 Typical forward transconductance g_{fs} as a function of the supply voltage V_{CC} at T_{amb} = 25 °C.

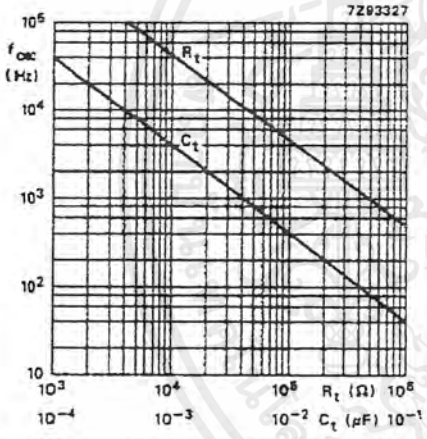
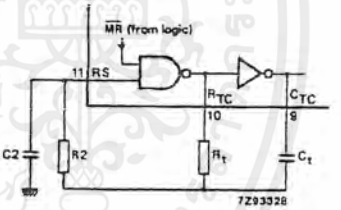


Fig.9 RC oscillator frequency as a function of R_t and C_t at V_{CC} = 2.0 to 6.0 V; T_{amb} = 25 °C. C_t curve at R_t = 100 kΩ; R2 = 200 kΩ. R_t curve at C_t = 1 nF; R2 = 2 × R_t.

RC OSCILLATOR



Typical formula for oscillator frequency:

$$f_{osc} \approx \frac{1}{2.5 \times R_t \times C_t}$$

Fig.10 Example of a RC oscillator.

TIMING COMPONENT LIMITATIONS

The oscillator frequency is mainly determined by R_tC_t, provided $R2 \approx 2R_t$ and $R2C2 << R_tC_t$. The function of R2 is to minimize the influence of the forward voltage across the input protection diodes on the frequency. The stray capacitance C2 should be kept as small as possible. In consideration of accuracy, C_t must be larger than the inherent stray capacitance. R_t must be larger than the "ON" resistance in series with it, which typically is 280 Ω at V_{CC} = 2.0 V, 130 Ω at V_{CC} = 4.5 V and 100 Ω at V_{CC} = 6.0 V.

The recommended values for these components to maintain agreement with the typical oscillation formula are:

$C_t > 50$ pF, up to any practical value,

10 kΩ < R_t < 1 MΩ.

In order to avoid start-up problems, $R_t \geq 1$ kΩ.

TYPICAL CRYSTAL OSCILLATOR

In Fig.11, R2 is the power limiting resistor. For starting and maintaining oscillation a minimum transconductance is necessary, so R2 should not be too large. A practical value for R2 is 2.2 kΩ.

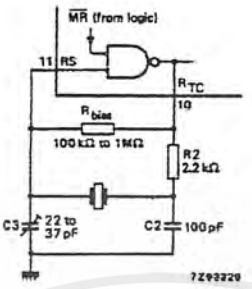
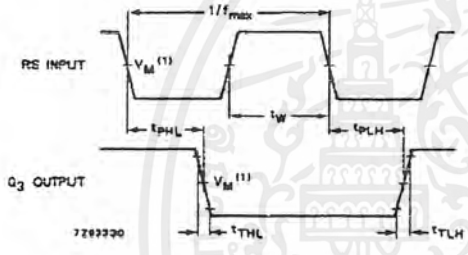


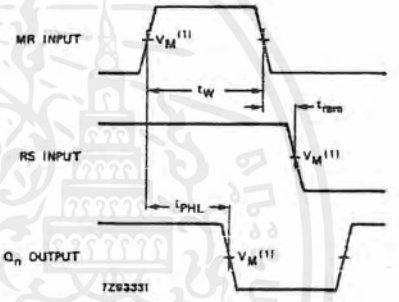
Fig.11 External components connection for a crystal oscillator.

AC WAVEFORMS



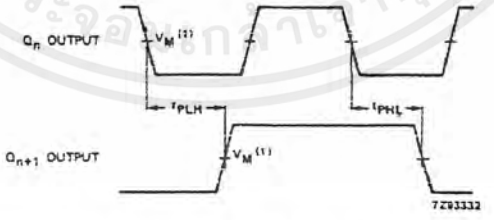
(1) HC : V_M = 50%; V_I = GND to V_{CC}.
HCT: V_M = 1.3 V; V_I = GND to 3 V.

Fig.12 Waveforms showing the clock (RS) to output (Q_3) propagation delays, the clock pulse width, the output transition times and the maximum clock frequency.



(1) HC : V_M = 50%; V_I = GND to V_{CC}.
HCT: V_M = 1.3 V; V_I = GND to 3 V.

Fig.13 Waveforms showing the master reset (MR) pulse width, the master reset to output (Q_n) propagation delays and the master reset to clock (RS) removal time.



(1) HC : V_M = 50%; V_I = GND to V_{CC}.
HCT: V_M = 1.3 V; V_I = GND to 3 V.

Fig.14 Waveforms showing the output (Q_n) to Q_{n+1} propagation delays.

PACKAGE OUTLINES

See *"74HC/HCT/HCU/HCMOS Logic Package Outlines"*.

หนังสืออ้างอิง

(1) Byeong Gilee and Seak. Chant kim , " Scrambling Techniques for Digital Transmission " Springer – Verlay London Berlin Heidelberg New York Paris Tokyo. Hong Kong Barcelone Budapest , 1996

(2) John L.Hilburn, " Manual of active design " McGRAW-HILL, New York, 1973

(3) Kamilo Feher , " Digital Communtion" ,Pretice Hall Inc.

(4) ชูชัย ธนสารตั้งเจริญ , " การสื่อสารข้อมูล " ,สำนักพิมพ์ฟิสิกส์เซ็นเตอร์

(5) นรินทร์ เนาวประทีป , " ออบแอมป์ " สำนักพิมพ์ฟิสิกส์เซ็นเตอร์

(6) ณรงค์ เหมกรณ์ , " การสื่อสารดาวเทียม " สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

(7) ปราโมทย์ วาดเขียน , วิวัฒน์ กิรานนท์ , " พื้นฐานการสื่อสารข้อมูล " สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

(8) ดร.ประสิทธิ์ ประพิณมงคลการ, " หลักการระบบสื่อสาร " บริษัท ซีเอ็ดยูเคชั่น จำกัด

กิตติกรรมประกาศ

โครงงานนี้ประสบความสำเร็จไปได้ด้วยดี โดยได้รับความช่วยเหลือจากหลายฝ่ายด้วยดีตลอดมา จากอาจารย์สุรพล บุญจันทร์ อาจารย์ที่ปรึกษาปริญญานิพนธ์ที่ได้กรุณาให้คำแนะนำและข้อคิดเห็นต่างๆเกี่ยวกับโครงงาน ตรวจสอบและให้คำแนะนำในการแก้ไขปริญญานิพนธ์ฉบับนี้ จนสำเร็จเรียบร้อยด้วยดี คณะผู้จัดทำขอพระขอบคุณคณะกรรมการสอบโครงงานที่ได้ กรุณาให้คำแนะนำตรวจสอบแก้ไขจนสำเร็จลุล่วงไปได้ด้วยดี

คณะผู้จัดทำขอขอบพระคุณบิดา มารดา ซึ่งได้ให้ความช่วยเหลือ สนับสนุนในทุกๆด้านและเป็นกำลังใจให้แก่คณะผู้จัดทำมาโดยตลอดจนสำเร็จการศึกษาและขอขอบพระคุณเพื่อนๆที่ให้ความช่วยเหลือในการทำโครงงานจนสำเร็จลุล่วงไปด้วยดี

จตุภูมิ กอแสงเจริญ
เสรี ทับพุ่ม
เอกพงษ์ เหลืองมหามงคล