สำนักหอสมุดกลาง พระจอมเกล้าลาดกระบัง

โมเด็มไร้สายความเร็ว 64 กิโลบิตต่อวินาที

64 kbps GFSK WIRELESS MODEM

โดย

นายธนินทร์ วงศกรวุฒิ

นายนิวัฒน์ รัตนแสงกำจร

เลขหมู่.....
เลขทะเบียน 42195
วัน, เดือน, ปี 15 พ.ค. 2545

.b.....
.i.....

ปริญญานิพนธ์นี้เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรปริญญาวิศวกรรมศาสตรบัณฑิต

สาขาวิชาวิศวกรรมโทรคมนาคม

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

ปีการศึกษา 2543

โมเด็มไร้สายความเร็ว 64 กิโลบิตต่อวินาที

64 kbps GFSK WIRELESS MODEM

โดย

นายธนินทร์ วงศกรวุฒิ 40010303

นายนิวัฒน์ รัตนแสงกำจร 40010398

อาจารย์ที่ปรึกษา

ดร.ทองทด วานิชศรี

ปริญญานิพนธ์นี้เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรปริญญาวิศวกรรมศาสตรบัณฑิต

สาขาวิชาวิศวกรรมโทรคมนาคม

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

ปีการศึกษา 2543

ปริญญานิพนธ์ปีการศึกษา 2543

ภาควิชาวิศวกรรมโทรคมนาคม

คณะวิศวกรรมศาสตร์ สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

เรื่อง **โมเด็มไร้สายความเร็ว 64 กิโลบิตต่อวินาที**

64 kbps GFSK WIRELESS MODEM

ผู้จัดทำ

1. **นายธนินทร์ วงศกรวุฒิ 40010303**
2. **นายนิวัฒน์ รัตนแสงกำจร 40010398**

..... อาจารย์ที่ปรึกษา

(ดร. ทองทด วานิชศรี)

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

โมเด็มไร้สายความเร็ว 64 กิโลบิตต่อวินาที

64 kbps GFSK WIRELESS MODEM

โดย นายธนินทร์ วงศกรวุฒิ 40010303
นายนิวัฒน์ รัตนแสงกำจร 40010398

อาจารย์ที่ปรึกษา ดร. ทองทด วานิชศรี

บทคัดย่อ

ปริญญานิพนธ์นี้เป็นการศึกษาและสร้างโมเด็มไร้สาย ซึ่งใช้ความถี่วิทยุ 433 เมกะเฮิรตซ์ โดยทำการมอดูเลตสัญญาณในระบบดิจิตอลแบบจีเอฟเอสเค (GFSK : Gaussian Frequency Shift Keying) มีความสามารถในการส่งข้อมูลด้วยความเร็ว 64 กิโลบิตต่อวินาที และมีกำลังส่งประมาณ 10 มิลลิวัตต์

ABSTRACT

This project presents a design and implementation of a 64 kbps GFSK wireless modem at carrier frequency of 433 MHz. Gaussian Frequency Shift Keying modulation technique is employed in the modem. The transmitting output power approximately 10 mW.

สารบัญ

	หน้า
บทที่ 1 บทนำ	1
บทที่ 2 ทฤษฎีหรือหลักการ	3
2.1 วงจรกำเนิดสัญญาณพัลส์แบบสุ่ม	3
2.2 วงจรเข้ารหัสสัญญาณข้อมูลแบบแมนเชสเตอร์	7
2.3 วงจรกรองความถี่ต่ำผ่านพาสซีฟแบบเกาส์เซียน	8
2.4 วงจรสังเคราะห์ความถี่ด้วยเฟสล็อกลูป	11
2.4.1 วงจรเฟสล็อกลูป	12
2.4.2 การหาทรานส์เฟอร์ฟังก์ชันของระบบเฟสล็อกลูป	17
2.4.3 วงจรสังเคราะห์ความถี่เฟสล็อกลูปแบบพรีสเกลเลอร์สองโมดูลัส	21
2.5 วงจรออสซิลเลเตอร์ที่ปรับค่าความถี่ตามแรงดัน	22
2.6 วงจรขยายสัญญาณอาร์เอฟขนาดเล็ก	27
2.6.1 การไบอัสทรานซิสเตอร์	27
2.6.2 การคำนวณวงจรขยายโดยใช้เอสพารามิเตอร์	28
2.6.3 อิมพีแดนซ์แมตชิ่ง	30
2.7 วงจรกรองความถี่	32
2.7.1 วงจรกรองความถี่แบบบัตเทอร์เวิร์ท	32
2.7.2 วงจรกรองความถี่แบบเชบีเชฟ	33
2.8 วงจรมิกเซอร์	34
2.9 วงจรขยายสัญญาณความถี่กลาง	35
2.10 ควอดราเจอร์ดีเทกชัน	38
2.11 การกู้สัญญาณนาฬิกา และถอดรหัสข้อมูลแบบแมนเชสเตอร์	40
บทที่ 3 การคำนวณและการสร้าง การออกแบบวงจรภาคส่ง	43
3.1 วงจรกำเนิดสัญญาณพัลส์แบบสุ่ม	43
3.1.1 วงจรกำเนิดสัญญาณนาฬิกาความถี่ 64 กิโลเฮิรตซ์	43
3.1.1.1 วงจรคริสตอลออสซิลเลเตอร์ความถี่ 10.24 เมกะเฮิรตซ์	43
3.1.1.2 วงจรหารความถี่ 80 เท่า	43
3.1.1.3 วงจรหารความถี่ 2 เท่า	44
3.1.2 วงจรสร้างสัญญาณพัลส์แบบสุ่ม	44
3.2 วงจรเข้ารหัสสัญญาณข้อมูลแบบแมนเชสเตอร์	44
3.3 วงจรกรองความถี่ต่ำผ่านแบบเกาส์เซียน	45

หน้า

3.4 วงจรสังเคราะห์ความถี่ 433 เมกะเฮิรตซ์ 46
3.4.1 วงจรกำเนิดความถี่ที่ควบคุมโดยแรงดัน 46
3.4.2 วงจรพรีสเกลเลอร์แบบสองโมดูลัส 47
3.4.3 วงจรเฟสดีเทกเตอร์ 47
3.4.4 วงจรลูปฟิลเตอร์ 49
3.5 วงจรขยายสัญญาณความถี่วิทยุ 433 เมกะเฮิรตซ์ 50
3.6 วงจรกรองความถี่ต่ำผ่านความถี่คัทออฟ 500 เมกะเฮิรตซ์ 53
การออกแบบวงจรภาครับ
3.7 วงจรกรองแถบความถี่ผ่าน 433 เมกะเฮิรตซ์ 54
3.8 วงจรขยายที่มีระดับสัญญาณรบกวนต่ำ 54
3.9 วงจรสังเคราะห์ความถี่ 443.7 เมกะเฮิรตซ์ 59
3.9.1 วงจรกำเนิดความถี่ที่ควบคุมโดยแรงดัน 59
3.9.2 วงจรพรีสเกลเลอร์แบบสองโมดูลัส 59
3.9.3 วงจรเฟสดีเทกเตอร์ 60
3.9.4 วงจรลูปฟิลเตอร์ 60
3.10 วงจรมิกเซอร์ 61
3.11 วงจรกรองแถบความถี่ผ่าน 10.7 เมกะเฮิรตซ์ 62
3.12 วงจรขยายสัญญาณความถี่กลาง 62
3.13 วงจรจีเอฟเอสเคดีมอดูเลเตอร์ 64
3.14 วงจรเปรียบเทียบระดับสัญญาณ 64
3.15 วงจรกู้สัญญาณนาฬิกา 65
3.16 วงจรถอดรหัสสัญญาณแบบแมนเชสเตอร์ 65

บทที่ 4 การทดลองและผลการทดลอง **70**
ผลการทดลองภาคส่ง
4.1 วงจรกำเนิดสัญญาณพัลส์แบบสุ่ม 70
4.1.1 วงจรกำเนิดสัญญาณนาฬิกาความถี่ 64 กิโลเฮิรตซ์ 70
4.1.1.1 วงจรคริสตอลออสซิลเลเตอร์ความถี่ 10.24 เมกะเฮิรตซ์ 70
4.1.1.2 วงจรหารความถี่ 80 เท่า 71
4.1.1.3 วงจรหารความถี่ 2 เท่า 72
4.1.2 วงจรสร้างสัญญาณพัลส์แบบสุ่ม 72
4.2 วงจรเข้ารหัสสัญญาณข้อมูลแบบแมนเชสเตอร์ 73
4.3 วงจรกรองความถี่ต่ำผ่านแบบเกาส์เซียน 74

หน้า

4.4 วงจรสังเคราะห์ความถี่ด้วยเฟสล็อกลูปความถี่ 433 เมกะเฮิรตซ์ 75

4.4.1 วงจรวีซีโอ 75

4.4.2 วงจรพรีสเกลเลอร์ 77

4.4.3 วงจรเฟสดีเทกเตอร์ 78

4.5 วงจรขยายสัญญาณความถี่วิทยุ 81

4.6 วงจรกรองความถี่ต่ำผ่าน ความถี่คัทออฟ 500 เมกะเฮิรตซ์ 84

ผลการทดลองภาครับ

4.7 วงจรกรองแถบความถี่ผ่าน 86

4.8 วงจรขยายที่มีระดับสัญญาณรบกวนต่ำ 88

4.9 วงจรสังเคราะห์ความถี่ด้วยเฟสล็อกลูปความถี่ 443.7 เมกะเฮิรตซ์ 90

4.9.1 วงจรวีซีโอ 90

4.9.2 วงจรพรีสเกลเลอร์ 92

4.9.3 วงจรเฟสดีเทกเตอร์ 93

4.10 วงจรมิกเซอร์ 95

4.11 วงจรกรองแถบความถี่ผ่าน 10.7 เมกะเฮิรตซ์ 96

4.12 วงจรขยายสัญญาณความถี่กลาง ที่ความถี่ 10.7 เมกะเฮิรตซ์ 97

4.13 วงจรดีมอดูเลต 99

4.14 วงจรเปรียบเทียบระดับสัญญาณ 100

4.15 วงจรกู้สัญญาณนาฬิกา 101

4.15.1 วงจรอินทิเกรต 101

4.15.2 วงจรค่าสัมบูรณ์ 102

4.15.3 วงจรเปรียบเทียบระดับสัญญาณ 102

4.16 วงจรถอดรหัสด้วยดีฟลิปฟลอป 103

บทที่ 5 บทวิจารณ์และบทสรุป **104**

ภาคผนวก

กิตติกรรมประกาศ

หนังสืออ้างอิง

สารบัญรูปภาพ

หน้า

บทที่ 1 บทนำ 1

รูปที่ 1.1 บล็อกไดอะแกรมภาคส่งของโมเด็มไร้สาย 2

รูปที่ 1.2 บล็อกไดอะแกรมภาครับของโมเด็มไร้สาย 2

บทที่ 2 ทฤษฎีหรือหลักการ 3

รูปที่ 2.1 เจนเนอร์เรเตอร์ของชิฟต์รีจิสเตอร์ที่มี 4 สเตจ 3

รูปที่ 2.2 (ก) คาร์นอแมปสำหรับวงจรกำเนิดลำดับ
ที่มีความยาวสูงสุดแบบเริ่มต้นด้วยตัวเอง 6

(ข) วงจรกำเนิดลำดับที่มีความยาวสูงสุดแบบเริ่มต้นด้วยตัวเอง 6

รูปที่ 2.3 (ก) วงจรการเข้ารหัส 7

(ข) วงจรการถอดรหัส 7

รูปที่ 2.4 สัญญาณจากการเข้ารหัสแมนเชสเตอร์ 7

รูปที่ 2.5 การลดทอนของวงจรกรองความถี่แบบเกาส์เซียนที่นอร์แมลไลซ์แล้ว 10

รูปที่ 2.6 บล็อกไดอะแกรมของวงจรสังเคราะห์ความถี่ที่ใช้เฟสล็อกลูป 11

รูปที่ 2.7 บล็อกไดอะแกรมของวงจรเฟสล็อกลูป 12

รูปที่ 2.8 ผลต่างเฟสเมื่อความถี่เท่ากัน 13

รูปที่ 2.9 ผลต่างเฟสเมื่อความถี่อินพุตไม่เท่ากัน 13

รูปที่ 2.10 บล็อกไดอะแกรมของทรานส์เฟอร์ฟังก์ชันของเฟสล็อกลูป 17

รูปที่ 2.11 วงจรฟิลเตอร์อย่างง่าย 18

รูปที่ 2.12 ผลตอบสนองความถี่ของระบบเฟสล็อกลูป 19

รูปที่ 2.13 ผลตอบสนองเมื่อสัญญาณอินพุตเป็นฟังก์ชันแบบลำดับขั้น 19

รูปที่ 2.14 วงจรสังเคราะห์ความถี่เฟสล็อกลูปแบบพรีสเกลเลอร์สองโมดูลัส 21

รูปที่ 2.15 บล็อกไดอะแกรมของระบบป้อนกลับแบบบวก 22

รูปที่ 2.16 วงจรเรโซแนนซ์แบบอนุกรม 23

รูปที่ 2.17 วงจรเรโซแนนซ์แบบขนาน 23

รูปที่ 2.18 วงจรออสซิลเลเตอร์ที่ใช้ดิฟเฟอเรนเชียลแอมฟลิฟายเออร์ 24

รูปที่ 2.19 วงจรออสซิลเลเตอร์ที่ปรับความถี่ได้ตามแรงดัน 25

รูปที่ 2.20 วงจรเฟตออสซิลเลเตอร์ 25

รูปที่ 2.21 วงจรคอลพิทท์ออสซิลเลเตอร์ 25

รูปที่ 2.22 คอลพิทท์ออสซิลเลเตอร์ปรับค่าได้ตามแรงดัน 26

รูปที่ 2.23 ตัวอย่างวงจรไบอัสทรานซิสเตอร์ 27

หน้า

รูปที่ 2.24 การแมตชิ่งอิมพีแดนซ์ 31

รูปที่ 2.25 วงจรแมตชิ่งอิมพีแดนซ์จากตัวอย่าง 32

รูปที่ 2.26 บล็อกไดอะแกรมหลักการทำงานของวงจรมิกเซอร์ 34

รูปที่ 2.27 วงจรมิกเซอร์แบบไดโอดเดี่ยว 35

รูปที่ 2.28 วงจรบาลานซ์ไดโอดมิกเซอร์ 35

รูปที่ 2.29 วงจรขยายความถี่กลาง 36

รูปที่ 2.30 หม้อแปลงแบบปรับด้านเดียว 36

รูปที่ 2.31 ผลตอบสนองทางความถี่ของวงจรขยายความถี่กลาง 36

รูปที่ 2.32 วงจรขยายความถี่กลางที่มีการปรับจูน 1 ด้าน 36

รูปที่ 2.33 วงจรขยายความถี่กลางที่มีการปรับจูน 2 ด้าน 37

รูปที่ 2.34 ผลตอบสนองทางความถี่ของ Double – Tuned Transformer IF Amplifier 37

รูปที่ 2.35 ผลตอบสนองทางความถี่ของวงจรขยายความถี่กลาง 1 สเตจ 37

รูปที่ 2.36 ผลตอบสนองทางความถี่ของวงจรขยายความถี่กลาง 2 สเตจ 37

รูปที่ 2.37 ผลตอบสนองทางความถี่ของวงจรขยายความถี่กลาง3 สเตจ 38

รูปที่ 2.38 ดิฟเฟอร์เรนเชียลแอมพลิฟายเออร์ความถี่กลาง 38

รูปที่ 2.39 บล็อกไดอะแกรมของระบบควอดราเจอร์ดีเทกชัน 39

รูปที่ 2.40 บล็อกไดอะแกรมของการถอดรหัสแมนเชสเตอร์แบบที่หนึ่ง 40

รูปที่ 2.41 บล็อกไดอะแกรมของการถอดรหัสแมนเชสเตอร์แบบที่สอง 40

รูปที่ 2.42 แสดงไทม์มิ่งไดอะแกรมของการถอดรหัสสัญญาณแมนเชสเตอร์แบบที่หนึ่ง 41

รูปที่ 2.43 แสดงไทม์มิ่งไดอะแกรมของการถอดรหัสสัญญาณแมนเชสเตอร์แบบที่สอง 42

บทที่ 3 การคำนวณและการสร้าง 43

รูปที่ 3.1 วงจรคริสตอลออสซิลเลเตอร์ 10.24 เมกะเฮิรตซ์ 43

รูปที่ 3.2 วงจรหารความถี่ 80 เท่า 43

รูปที่ 3.3 วงจรหารความถี่ 2 เท่า 44

รูปที่ 3.4 วงจรสร้างสัญญาณพัลส์แบบสุ่ม 44

รูปที่ 3.5 วงจรเข้ารหัสสัญญาณข้อมูลแบบแมนเชสเตอร์ 44

รูปที่ 3.6 วงจรกรองความถี่ต่ำผ่านชนิดเกาส์เซียน อันดับ 7 45

รูปที่ 3.7 วงจรกรองความถี่ต่ำผ่านชนิดเกาส์เซียนความถี่คัตออฟ 320 กิโลเฮิรตซ์ 45

รูปที่ 3.8 บล็อกไดอะแกรมวงจรสังเคราะห์ความถี่ 46

รูปที่ 3.9 วงจรกำเนิดความถี่ที่ควบคุมโดยแรงดัน โดยมีความถี่ที่ต้องการ 433 เมกะเฮิรตซ์ 47

รูปที่ 3.10 การต่อวงจรของไอซี MC12032 47

หน้า

รูปที่ 3.11 บล็อกของวงจรเฟสล็อคลูป 48

รูปที่ 3.12 วงจรลูปฟิลเตอร์ 49

รูปที่ 3.13 สมิตชาร์ทแสดงตำแหน่งอินพุตและเอาต์พุตอิมพิแดนซ์ของทรานซิสเตอร์ 50

รูปที่ 3.14 วงจรแมตชิ่งอินพุตของทรานซิสเตอร์ 51

รูปที่ 3.15 วงจรแมตชิ่งเอาต์พุตของทรานซิสเตอร์ 51

รูปที่ 3.16 วงจรไบอัสทรานซิสเตอร์ 52

รูปที่ 3.17 วงจรขยายสัญญาณความถี่วิทยุที่ความถี่ 433 เมกะเฮิรตซ์ 52

รูปที่ 3.11 วงจรกรองความถี่ต่ำผ่านชนิดเชบีเชฟ ริปเปิล 0.1 dB อันดับ 7 53

รูปที่ 3.12 วงจรกรองความถี่ต่ำผ่าน ที่มีความถี่คัทออฟ 500 เมกะเฮิรตซ์ 53

รูปที่ 3.20 เฮลิคอลฟิลเตอร์ (Helical Filter) ที่ความถี่กึ่งกลาง 433 เมกะเฮิรตซ์ 54

รูปที่ 3.21 วงจรไบอัสทรานซิสเตอร์ 54

รูปที่ 3.22 สมิตชาร์ทแสดงตำแหน่งของวงกลมเสถียรภาพอินพุต, เอาต์พุต
และวงกลมอัตราขยายคงที่ 20 dB 56

รูปที่ 3.23 วงจรแมตชิ่งอินพุตของทรานซิสเตอร์ 57

รูปที่ 3.24 วงจรขยายที่มีระดับสัญญาณรบกวนต่ำที่ความถี่ 433 เมกะเฮิรตซ์ 58

รูปที่ 3.25 วงจรกำเนิดความถี่ที่ควบคุมโดยแรงดัน
โดยมีความถี่ที่ต้องการ 443.7 เมกะเฮิรต ซ์ 59

รูปที่ 3.26 การต่อวงจรของไอซี MC12032 59

รูปที่ 3.27 วงจรลูปฟิลเตอร์ 60

รูปที่ 3.28 วงจรภายใน TUF-5 61

รูปที่ 3.29 วงจรมิกเซอร์ 61

รูปที่ 3.30 วงจรกรองแถบความถี่ผ่าน 10.7 เมกะเฮิรตซ์ 62

รูปที่ 3.31 วงจรสมมูลทางกระแสตรง (DC) ของวงจรคอมมอนอีมิตเตอร์ 63

รูป ที่ 3.32 วงจรขยายความถี่กลางที่ใช้งานจริง 63

รูปที่ 3.33 วงจรจีเอฟเอสเคดีมอดูเลเตอร์ที่ใช้ไอซีเบอร์ MC3089 64

รูปที่ 3.34 วงจรเปรียบเทียบระดับสัญญาณ 64

รูปที่ 3.35 วงจรกู้สัญญาณนาฬิกา 65

รูปที่ 3.36 วงจรถอดรหัสสัญญาณแบบแมนเชสเตอร์ 65

รูปที่ 3.37 วงจรกำเนิดสัญญาณพัลส์แบบสุ่มวงจร
และวงจรเข้ารหัสสัญญาณข้อมูลแบบแมนเชสเตอร์ 66

รูปที่ 3.38 วงจรรวมภาคส่ง 67

รูปที่ 3.39 วงจรรวมภาครับ 68

หน้า

บทที่ 4 การทดลองและผลการทดลอง 70

รูปที่ 4.1 สัญญาณและความถี่จากวงจรคริสตอลออสซิลเลเตอร์ ความถี่ 10.24 เมกะเฮิรตซ์ 71

รูปที่ 4.2 สัญญาณและความถี่ที่ได้จากวงจรหารความถี่ 80 เท่า 71

รูปที่ 4.3 สัญญาณและความถี่ที่ได้จากวงจรหารความถี่ 2 เท่า 72

รูปที่ 4.4 สัญญาณเอาต์พุตที่ได้จากวงจรสร้างพัลส์แบบสุ่ม 72

รูปที่ 4.5 สัญญาณจากการเข้ารหัสแบบแมนเชสเตอร์ 73

รูปที่ 4.6 กราฟแสดงผลตอบสนองทางความถี่ของวงจรกรองความถี่ต่ำแบบเกาส์เซียน 75

รูปที่ 4.7 กราฟแสดงความสัมพันธ์ระหว่างแรงดันควบคุมกับความถี่ของวงจรวีซีโอ 77

รูปที่ 4.8 กราฟแสดงความสัมพันธ์ระหว่างความถี่กับกำลังงานเอาต์พุตของวงจรวีซีโอ 77

รูปที่ 4.9 สัญญาณเอาต์พุตจากวงจรพรีสเกลเลอร์ MC12032 78

รูปที่ 4.10 สัญญาณแสดงสถานะเมื่อสัญญาณอินพุตมีเฟสตรงกับสัญญาณอ้างอิง 78

รูปที่ 4.11 สเปกตรัมของสัญญาณจากวงจรสังเคราะห์ความถี่ 433 เมกะเฮิรตซ์ 79

รูปที่ 4.12 สเปกตรัมของสัญญาณเอฟเอสเคจากวงจรสังเคราะห์ความถี่ 433 เมกะเฮิรตซ์ 80

รูปที่ 4.13 สเปกตรัมของสัญญาณจีเอฟเอสเคจากวงจรสังเคราะห์ความถี่ 433 เมกะเฮิรตซ์ 80

รูปที่ 4.14 กราฟแสดงความสัมพันธ์ทางกำลังงานของวงจรขยายสัญญาณความถี่วิทยุ 81

รูปที่ 4.15 กราฟแสดงผลตอบสนองทางความถี่ของวงจรขยายสัญญาณความถี่วิทยุ 82

รูปที่ 4.16 สเปกตรัมของสัญญาณคลื่นพาห์เมื่อผ่านวงจรขยายสัญญาณความถี่วิทยุ 83

รูปที่ 4.17 สเปกตรัมของสัญญาณเอฟเอสเคเมื่อผ่านวงจรขยายสัญญาณความถี่วิทยุ 83

รูปที่ 4.18 สเปกตรัมของสัญญาณจีเอฟเอสเคเมื่อผ่านวงจรขยายสัญญาณความถี่วิทยุ 83

รูปที่ 4.19 กราฟแสดงผลตอบสนองทางความถี่ของวงจรกรองความถี่ต่ำผ่าน ที่มีความถี่คัทออฟ 500 เมกะเฮิรตซ์ 85

รูปที่ 4.20 สเปกตรัมของสัญญาณเอาต์พุตจากวงจรกรองความถี่ต่ำผ่าน 85

รูปที่ 4.21 กราฟแสดงผลตอบสนองทางความถี่ของวงจรกรองแถบความถี่ผ่าน 87

รูปที่ 4.22 สเปกตรัมของสัญญาณคลื่นพาห์เมื่อผ่านวงจรกรองแถบความถี่ผ่าน 87

รูปที่ 4.23 สเปกตรัมของสัญญาณจีเอฟเอสเคเมื่อผ่านวงจรกรองแถบความถี่ผ่าน 87

รูปที่ 4.24 กราฟแสดงความสัมพันธ์ทางกำลังงาน ของวงจรขยายที่มีระดับสัญญาณรบกวนต่ำ 88

รูปที่ 4.25 กราฟแสดงผลตอบสนองทางความถี่ของวงจรขยายที่มีระดับสัญญาณรบกวนต่ำ 89

รูปที่ 4.26 สเปกตรัมของสัญญาณคลื่นพาห์เมื่อผ่านวงจรขยายที่มีระดับสัญญาณรบกวนต่ำ 89

รูปที่ 4.27 สเปกตรัมของสัญญาณจีเอฟเอสเคเมื่อผ่านวงจรขยายที่มีระดับสัญญาณรบกวนต่ำ 90

รูปที่ 4.28 กราฟแสดงความสัมพันธ์ระหว่างแรงดันควบคุมกับความถี่ของวงจรวีซีโอ 92

หน้า

รูปที่ 4.29 กราฟแสดงความสัมพันธ์ระหว่างความถี่กับกำลังงานเอาต์พุตของวงจรวีซีโอ 92

รูปที่ 4.30 สัญญาณเอาต์พุตจากวงจรพรีสเกลเลอร์ MC12032 93

รูปที่ 4.31 สัญญาณแสดงสถานะเมื่อสัญญาณอินพุตมีเฟสตรงกับสัญญาณอ้างอิง 93

รูปที่ 4.32 สเปกตรัมของสัญญาณจากวงจรสังเคราะห์ความถี่ 443.7 เมกะเฮิรตซ์ 94

รูปที่ 4.33 สเปกตรัมสัญญาณเอาต์พุตจากวงจรมิกเซอร์ 95

รูปที่ 4.34 กราฟแสดงผลตอบสนองทางความถี่ของวงจรกรองแถบความถี่ผ่าน 10.7 เมกะเฮิรตซ์ 96

รูปที่ 4.35 สเปกตรัมของสัญญาณเอาต์พุตจากวงจรกรองแถบความถี่ผ่าน 10.7 เมกะเฮิรตซ์ 97

รูปที่ 4.36 กราฟแสดงความสัมพันธ์ทางกำลังงานของวงจรขยายสัญญาณความถี่กลาง 10.7 เมกะเฮิรตซ์ 97

รูปที่ 4.37 กราฟแสดงผลตอบสนองทางความถี่ของวงจรขยายสัญญาณความถี่กลาง 10.7 เมกะเฮิรตซ์ 98

รูปที่ 4.38 สเปกตรัมของสัญญาณเอาต์พุตจากวงจรขยายสัญญาณความถี่กลาง 10.7 เมกะเฮิรตซ์ 99

รูปที่ 4.39 สัญญาณที่ได้จากวงจรดีมอดูเลต 99

รูปที่ 4.40 สัญญาณที่ได้จากวงจรดีมอดูเลต 100

รูปที่ 4.41 สัญญาณที่ได้จากวงจรเปรียบเทียบระดับสัญญาณ 100

รูปที่ 4.42 สัญญาณที่ได้จากวงจรเปรียบเทียบระดับสัญญาณ 101

รูปที่ 4.43 สัญญาณที่ได้จากวงจรอินทิเกรต 101

รูปที่ 4.44 สัญญาณที่ได้จากวงจรค่าสัมบูรณ์ 102

รูปที่ 4.45 สัญญาณที่ได้จากวงจรเปรียบเทียบระดับสัญญาณ 102

รูปที่ 4.46 สัญญาณการถอดรหัส 103

รูปที่ 4.47 เปรียบเทียบสัญญาณข้อมูลทางด้านส่งและรับ 103

สารบัญตาราง

หน้า

บทที่ 1 บทนำ 1

บทที่ 2 ทฤษฎีหรือหลักการ 3

ตารางที่ 2.1 สถานะการทำงานสำหรับรีจิสเตอร์ที่มี 4 สเตจ 3

ตารางที่ 2.2 ฟังก์ชันการป้อนกลับ 4

ตารางที่ 2.3 (ก) สถานะการทำงานสำหรับชิฟต์รีจิสเตอร์ 4 สเตจ ที่มีการป้อนกลับด้วยฟังก์ชัน COD 5

(ข) สถานะการทำงานที่มีการป้อนกลับด้วยฟังก์ชัน A⊕D 5

(ค) สถานะการทำงานที่มีการป้อนกลับด้วยฟังก์ชัน AOD 5

ตารางที่ 2.4 Non-MLSที่ถูกสร้างขึ้นโดยชิฟต์รีจิสเตอร์4สเตจที่มีการป้อนกลับด้วยฟังก์ชันB⊕D 6

ตารางที่ 2.5 องค์ประกอบต่างๆของวงจรกรองความถี่แบบเกาส์เซียนที่นอร์แมลไลซ์แล้ว 10

ตารางที่ 2.6 แสดงค่า A_k 32

ตารางที่ 2.7 แสดงค่าโพลีโนเมียลของวงจรเชบีเชฟ 7 ค่าแรกของ n 33

บทที่ 3 การคำนวณและการสร้าง 43

ตารางที่ 3.1 ค่านอร์แมลไลซ์ของวงจรกรองความถี่ต่ำผ่านชนิดเกาส์เซียน 45

ตารางที่ 3.2 ค่านอร์แมลไลซ์ของวงจรกรองความถี่ต่ำผ่านชนิดเชบีเชฟ 53

บทที่ 4 การทดลองและผลการทดลอง 70

ตารางที่ 4.1 ผลตอบสนองทางความถี่ของวงจรกรองความถี่ต่ำผ่านแบบเกาส์เซียน 74

ตารางที่ 4.2 ความสัมพันธ์ระหว่างแรงดันควบคุมกับความถี่และกำลังงานเอาต์พุต 76

ตารางที่ 4.3 ความสัมพันธ์ทางกำลังงานของวงจรขยายสัญญาณความถี่วิทยุ 81

ตารางที่ 4.4 ผลตอบสนองทางความถี่ของวงจรขยายสัญญาณความถี่วิทยุ 82

ตารางที่ 4.5 ผลตอบสนองทางความถี่ของวงจรกรองความถี่ต่ำผ่าน ที่มีความถี่คัทออฟ 500 เมกะเฮิรตซ์ 84

ตารางที่ 4.6 ผลตอบสนองทางความถี่ของวงจรกรองแถบความถี่ผ่าน 86

ตารางที่ 4.7 ความสัมพันธ์ทางกำลังงานของวงจรขยายที่มีระดับสัญญาณรบกวนต่ำ 88

ตารางที่ 4.8 ผลตอบสนองทางความถี่ของวงจรขยายที่มีระดับสัญญาณรบกวนต่ำ 89

ตารางที่ 4.9 ความสัมพันธ์ระหว่างแรงดันควบคุมกับความถี่และกำลังงานเอาต์พุต 91

หน้า

ตารางที่ 4.10 ผลตอบสนองทางความถี่ของวงจรกรองแถบความถี่ผ่าน 10.7 เมกะเฮิรตซ์ 96

ตารางที่ 4.11 ความสัมพันธ์ทางกำลังงานของวงจรขยายสัญญาณความถี่กลาง 10.7 เมกะเฮิรตซ์ 97

ตารางที่ 4.12 ผลตอบสนองทางความถี่ของวงจรขยายสัญญาณความถี่กลาง 10.7 เมกะเฮิรตซ์ 98

บทที่ 1
บทนำ

ปัจจุบันนี้การสื่อสารมีส่วนสำคัญในการติดต่อสื่อสารในชีวิตประจำวันของมนุษย์เรามาก ซึ่งจะพบว่าในชีวิตประจำวันของเรา วันหนึ่งๆไม่สามารถหลีกหนีการติดต่อสื่อสารได้เลย ไม่ว่าจะเป็นการใช้โทรศัพท์, การรับโทรทัศน์และวิทยุ, การใช้ข้อมูลบนฐานข้อมูลจากคอมพิวเตอร์ จึงมีการคิดค้นและพัฒนาระบบสื่อสารขึ้นมาใหม่มากมายหลายระบบ เพื่อตอบสนองต่อความต้องการของผู้ใช้ หรือเพื่อต้องการให้ระบบมีความสามารถในการปฏิบัติงานได้รวดเร็ว และมีประสิทธิภาพเพิ่มมากขึ้น หนึ่งในนั้นคือการคิดค้นและพัฒนาระบบการสื่อสารไร้สาย (Wireless Communication)

เนื่องจากการส่งผ่านข้อมูลระหว่างคอมพิวเตอร์กับคอมพิวเตอร์ หากมีการส่งข้อมูลผ่านสายนำสัญญาณโดยตรง หากระยะทางระหว่างคอมพิวเตอร์กับคอมพิวเตอร์มีค่ามาก เช่น อยู่คนละพื้นที่กันก็จำเป็นที่จะต้องอาศัยข่ายการสื่อสารที่มีอยู่แล้วในพื้นที่นั้นๆ ยกตัวอย่างเช่น ข่ายสายโทรศัพท์, เครือข่ายดาวเทียม เป็นต้น

การส่งข้อมูลผ่านสายโทรศัพท์เป็นที่นิยมกันมาก เนื่องจากเป็นระบบสื่อสารพื้นฐานที่มีการให้บริการกันอย่างทั่วถึง แต่ก็มีข้อเสียคือ มีการรบกวนของสัญญาณภายนอกได้ง่าย ดังนั้นการส่งผ่านข้อมูลผ่านสายโทรศัพท์จึงต้องมีการเข้ารหัสสัญญาณที่ต้องการจะส่งก่อนเพื่อลดการผิดพลาดของข้อมูล และต้องทำการมอดูเลตกับคลื่นพาห์เสียก่อน ส่วนอุปกรณ์ที่ใช้ในการมอดูเลตข้อมูลที่เข้ารหัสแล้วเข้ากับคลื่นพาห์เรียกว่า "โมเด็ม" (Modem) มาจากคำว่า "มอดูเลเตอร์-ดีมอดูเลเตอร์" (Modulator-Demodulator) แต่เนื่องจากโมเด็มโดยทั่วไปอาศัยสายสัญญาณโทรศัพท์เป็นตัวกลางในการรับส่งสัญญาณคลื่นพาห์ ดังนั้นในกรณีที่ไม่สามารถเดินสายโทรศัพท์ได้จะทำให้ไม่สามารถติดต่อสื่อสารกันได้ ต่อมาจึงได้อาศัยเทคโนโลยีของการสื่อสารไร้สายเข้ามาช่วย โดยการใช้ความถี่ของคลื่นพาห์ในช่วงความถี่วิทยุ และทำการเปลี่ยนตัวกลางในการส่งสัญญาณจากสายโทรศัพท์มาเป็นอากาศ จากการเปลี่ยนแปลงดังกล่าว ทำให้สามารถที่จะลดปัญหาที่กล่าวมาข้างต้นได้

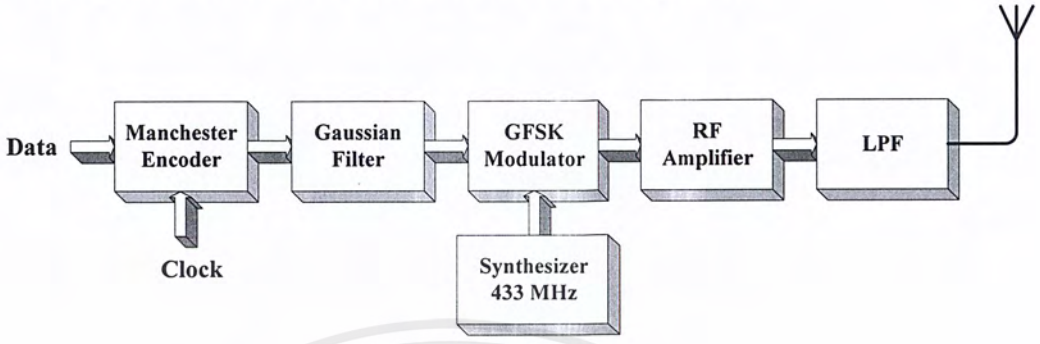
สำหรับเทคนิคการมอดูเลตสัญญาณดิจิตอลนั้นในปัจจุบันนี้มีมากมายหลายวิธี ไม่ว่าจะเป็นเอเอสเค (ASK : Amplitude Shift Keying), เอฟเอสเค (FSK : Frequency Shift Keying), พีเอสเค (PSK : Phase Shift Keying) และคิวเอเอ็ม (QAM : Quadrature Amplitude Modulation) เป็นต้น

สำหรับปริญญานิพนธ์นี้เลือกใช้เทคนิคการมอดูเลตแบบจีเอฟเอสเค (GFSK : Gaussian Frequency Shift Keying) ซึ่งพัฒนามาจากเทคนิคการมอดูเลตแบบเอฟเอสเค (FSK) เพื่อเพิ่มประสิทธิภาพในการใช้แบนด์วิดท์ เนื่องจากการนำสัญญาณดิจิตอลมามอดูเลตนั้นสเปกตรัมของสัญญาณเอฟเอสเคที่ได้จะมีแบนด์วิดท์ที่กว้างซึ่งเป็นการไม่ประหยัด ทำให้ได้จำนวนช่วงสัญญาณในการส่งที่น้อย ดังนั้นจึงได้ใช้เกาส์เซียนฟิลเตอร์กรองสัญญาณข่าวสารก่อนที่จะนำไปมอดูเลต สเปกตรัมของสัญญาณที่ได้หลังการมอดูเลตจะมีแบนด์วิดท์ที่แคบกว่า เรียกวิธีนี้ว่าการมอดูเลตแบบจีเอฟเอสเค

ในการทดลองนี้จะนำเสนอแนวทางในการคิดค้น ออกแบบ และพัฒนา โดยตั้งแต่บทที่ 2 เป็นทฤษฎีหลักที่เกี่ยวข้องและควรรู้ ในบทที่ 3 เป็นการออกแบบวงจรเพื่อการสร้าง และในบทที่ 4 เป็นการ

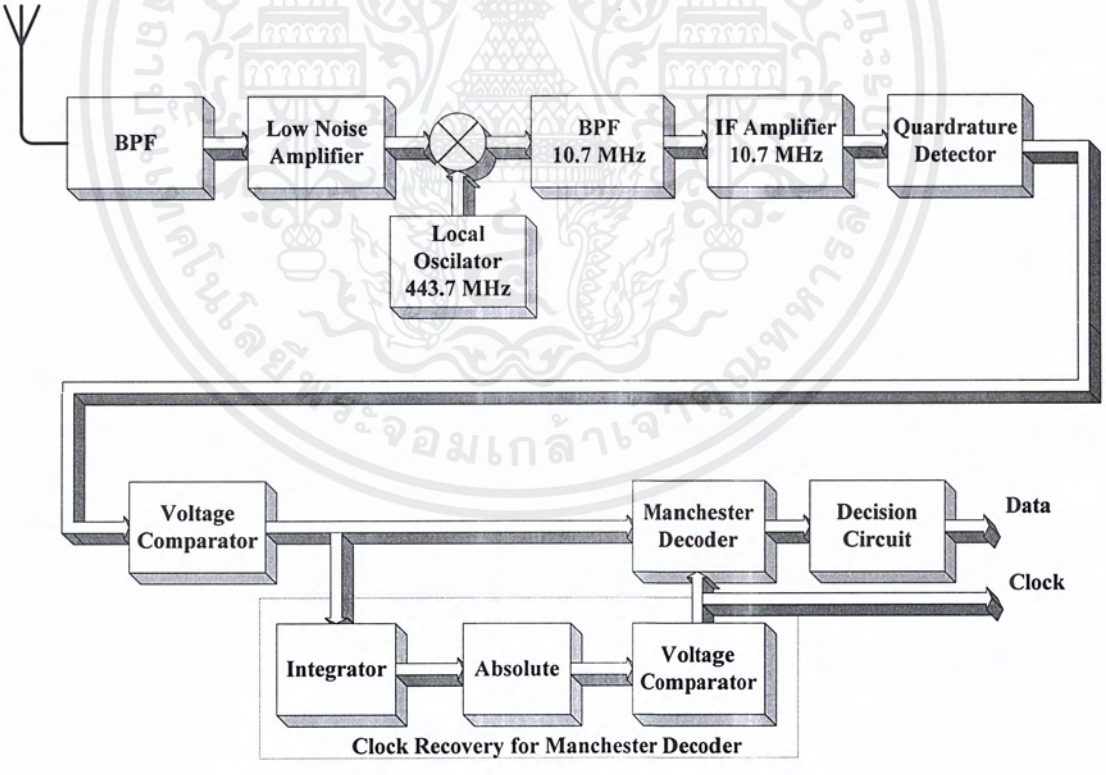
นำเสนอผลที่ได้จากการทดลอง ส่วนในบทสุดท้ายคือ บทที่ 5 จะเป็นการสรุปผลการทดลองตลอดจนถึงข้อปัญหาต่างๆ รวมทั้งวิธีการแก้ไข

สำหรับภาคส่งของโมเด็มไร้สายมีบล็อกไดอะแกรมแสดงดังรูปที่ 1.1



รูปที่ 1.1 บล็อกไดอะแกรมภาคส่งของโมเด็มไร้สาย

และภาครับของโมเด็มไร้สายมีบล็อกไดอะแกรมแสดงดังรูปที่ 1.2



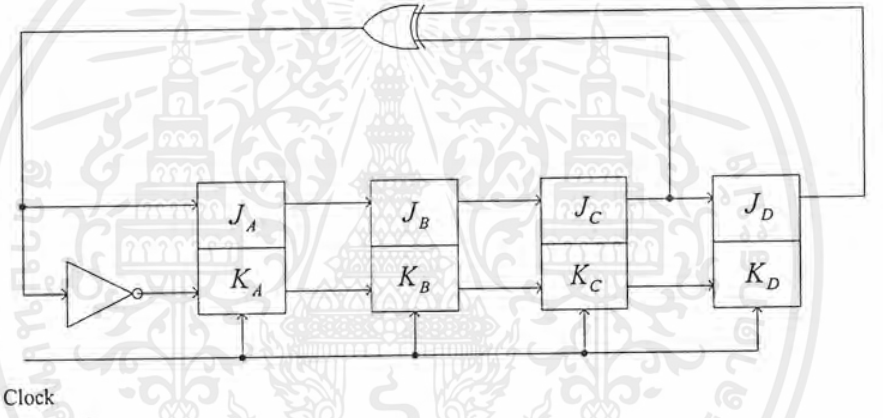
รูปที่ 1.2 บล็อกไดอะแกรมภาครับของโมเด็มไร้สาย

บทที่ 2
ทฤษฎีหรือหลักการ

2.1 วงจรกำเนิดสัญญาณพัลส์แบบสุ่ม (Pseudo Random Pulse Generator)

วงจรสร้างสัญญาณพัลส์แบบสุ่มเป็นการสร้างชุดข้อมูลขึ้นเพื่อใช้ในการทดสอบการรับส่งของเครื่องรับ-ส่ง ซึ่งมีหลักการดังนี้

ชิฟต์รีจิสเตอร์ที่มี 4 สเตจ แสดงดังรูปที่ 2.1 มีการป้อนกลับด้วยเอกซ์คลูซีฟออร์จากสเตจ C และ D กล่าวคือเอาต์พุตของมันจะกลายไปเป็นอินพุตของสเตจแรก $J_A = C \oplus D$ เพื่อที่จะอธิบายลำดับของสเตจต่างๆสำหรับรีจิสเตอร์ เราจะต้องสมมติสถานะเริ่มต้นให้กับชิฟต์รีจิสเตอร์ให้อยู่ในสเตจที่ $D = 0$, $C = 0$, $B = 0$ และ $A = 1$ ในกรณีนี้ $J_A = 0 \oplus 0$ และเมื่อมันได้รับคล็อกลูกต่อไปจะทำให้รีจิสเตอร์กลายเป็นสเตจที่ $D = 0$, $C = 0$, $B = 1$ และ $A = 0$ ลำดับของสเตจต่าง ๆ ที่สมบูรณ์สำหรับรีจิสเตอร์ได้แสดงดังในตารางที่ 2.1 ค่าของฟังก์ชันของการป้อนกลับสำหรับแต่ละสเตจอยู่ในช่องของ f ดังในตาราง



รูปที่ 2.1 เจนเนอร์เรเตอร์ของชิฟต์รีจิสเตอร์ที่มี 4 สเตจ

S	D	C	B	A	f
S1	0	0	0	1	0
S2	0	0	1	0	0
S4	0	1	0	0	1
S9	1	0	0	1	1
S3	0	0	1	1	0
S6	0	1	1	0	1
S13	1	1	0	1	0
S10	1	0	1	0	1

S	D	C	B	A	f
S5	0	1	0	1	1
S11	1	0	1	1	1
S7	0	1	1	1	1
S15	1	1	1	1	0
S14	1	1	1	0	0
S12	1	1	0	0	0
S8	1	0	0	0	1

ตารางที่ 2.1 สถานะการทำงานสำหรับรีจิสเตอร์ที่มี 4 สเตจ

จะเห็นได้ว่ามีทั้งหมด 15 สเตจ ซึ่งเป็นจำนวนสูงสุดของสเตจที่มีได้ของรีจิสเตอร์ 4 สเตจที่มีการป้อนกลับด้วยเอกซ์คลูซีฟออร์และลำดับเหล่านี้ได้ถูกกำหนดให้เป็นลำดับที่มีความยาวสูงสุด (maximum-length sequence : MLS) สเตจ $S_0 = 0000$ ไม่สามารถถูกรวมเป็นลำดับของสเตจเพราะว่าจะทำเกิดสเตจล็อกอิน (lock-in) คือถ้ารีจิสเตอร์เข้าสู่สเตจนี้ $J_A = 0 \oplus 0 = 0$ ดังนั้นรีจิสเตอร์ จะไม่สามารถออกจากสเตจนี้ได้เมื่อคล็อกลูกถัดไปและลูกต่อๆไปมาถึง โดยทั่วไปแล้วลำดับที่มีความยาวสูงสุดสำหรับแต่ละวงจรจะพิจารณาได้โดย

$$i = 2^N - 1 \tag{2.1}$$

โดย N เป็นจำนวนของสเตจในชิฟต์รีจิสเตอร์

ตารางที่ 2.2 แสดงฟังก์ชันการป้อนกลับ (feedback function) ซึ่งจะให้ลำดับที่มีความยาวสูงสุดสำหรับการต่อ N สเตจถึง 18 สเตจ

สำหรับลำดับที่มีความยาวสูงสุด (MLS) อื่น ๆที่ใช้ประโยชน์โดยที่มีการใช้จำนวนรีจิสเตอร์เท่ากัน ยกตัวอย่างเช่น ถ้าทำการอินเวอร์สฟังก์ชัน $C \oplus D$ ซึ่งถูกใช้เป็นฟังก์ชันของการป้อนกลับ จากนั้นจะได้ลำดับที่มีความยาวสูงสุดออกมา แสดงดังตารางที่ 2.2

No of stages, N	Feedback Equation	No of stages, N	Feedback Equation
1	A	10	$G \oplus J$
2	$A \oplus B$	11	$I \oplus K$
3	$B \oplus C$	12	$F \oplus H \oplus K \oplus L$
4	$C \oplus D$	13	$I \oplus J \oplus L \oplus M$
5	$C \oplus E$	14	$D \oplus H \oplus M \oplus N$
6	$E \oplus F$	15	$N \oplus O$
7	$F \oplus G$	16	$D \oplus M \oplus O \oplus P$
8	$D \oplus E \oplus F \oplus H$	17	$N \oplus O$
9	$E \oplus I$	18	$K \oplus U$

ตารางที่ 2.2 ฟังก์ชันการป้อนกลับ

เมื่อพิจารณาสมการการป้อนกลับในตารางที่ 2.2 แสดงให้เห็นว่าดิจิตหนึ่งในสมการจะมาจากดิจิตที่ N ในรีจิสเตอร์เสมอและดิจิตอื่นๆจะได้รับโดยการมองย้อนรีจิสเตอร์กลับไป ยกตัวอย่างเช่น สำหรับ N = 4 ดิจิตที่ N ก็คือ D และดิจิตอื่นในสมการ ก็คือ C ซึ่งก็คือ ดิจิต (N-1) ทางเลือกทางที่สองสำหรับรีจิสเตอร์ 4 สเตจสำหรับการเลือกดิจิตอื่นอีกอันคือการเลือกโดยการมองไปข้างหน้า ซึ่งก็คือดิจิต (N+1) ในกรณีนี้ก็คือ A ดังนั้นลำดับที่มีความยาวสูงสุดอีกสองอันจะได้โดยการใช้สมการการป้อนกลับ $A \oplus D$, A O D และลำดับเหล่านี้ได้แสดงดังตารางที่ 2.3

S	D	C	B	A	F=COD
S1	0	1	1	1	0
S3	1	0	1	1	0
S7	0	1	1	0	0
S14	1	0	0	1	0
S13	0	1	0	1	0
S11	1	0	1	0	0
S6	0	1	0	0	0
S12	1	0	0	0	0
S9	0	0	0	1	1
S2	0	0	1	1	1
S5	1	1	1	0	1
S10	1	1	0	1	1
S4	1	1	0	0	1
S8	0	0	1	0	1
S0	0	0	0	0	1

(ก)

S	D	C	B	A	F=A⊕B
S1	0	0	0	1	1
S3	0	0	1	1	1
S7	0	1	1	1	1
S15	1	1	1	1	0
S14	1	1	1	0	1
S13	1	1	0	1	0
S10	1	0	1	0	1
S5	0	1	0	1	1
S11	1	0	1	1	0
S6	0	1	1	0	0
S12	1	1	0	0	1
S9	1	0	0	1	0
S2	0	0	1	0	0
S4	0	1	0	0	0
S8	1	0	0	0	1

(ข)

S	D	C	B	A	F=AOD
S1	0	0	0	1	0
S2	0	0	1	0	1
S5	0	1	0	1	0
S10	1	0	1	0	0
S4	0	1	0	0	1
S9	1	0	0	1	1
S3	0	0	1	1	0
S6	0	1	1	0	1
S13	1	1	0	1	1
S11	1	0	1	1	1
S7	0	1	1	1	0
S14	1	1	1	0	0
S12	1	1	0	0	0
S8	1	0	0	0	0
S0	0	0	0	0	1

(ค)

ตารางที่ 2.3 (ก) สถานะการทำงานสำหรับชิฟต์รีจิสเตอร์ 4 สเตจที่มีการป้อนกลับด้วยฟังก์ชัน COD
(ข) สถานะการทำงานที่มีการป้อนกลับด้วยฟังก์ชัน $A \oplus D$
(ค) สถานะการทำงานที่มีการป้อนกลับด้วยฟังก์ชัน AOD

เพื่อความกระจ่าง วงจรที่แสดงดังรูปที่ 2.1 สามารถใช้เป็นวงจรกำเนิดซีเควนซ์ของเลขฐานสอง (binary sequence generator) ซีเควนซ์ของเอาต์พุตจะได้โดยตรงจากเอาต์พุตของฟลิปฟลอปตัวใดตัวหนึ่งในรีจิสเตอร์ ในกรณีนี้ซีเควนซ์ของเลขฐานสองที่จะปรากฏที่เอาต์พุตของดี-ฟลิปฟลอป คือ 0-0-0-1-0-0-1-1-0-1-0-1-1-1 วงจรกำเนิดชนิดนี้ในบางครั้งถูกอ้างอิงเป็นตัวกำเนิดสัญญาณแบบสุ่ม (Pseudo-Random Binary Sequence Generator) เพราะว่าดิจิตในซีเควนซ์จะปรากฏออกมาเรียงลำดับตามการสุ่มตัวอย่าง อย่างไรก็ตามการสุ่มตัวอย่างจะทำซ้ำทุกๆ 2^N-1 คล็อกพัลส์ สำหรับความถี่ของคล็อกที่ให้และคาบของการสุ่มตัวอย่างจะเพิ่มขึ้นอย่างรวดเร็วด้วยจำนวนสเตจในรีจิสเตอร์ ถ้า N = 10 ดังนั้น 2^N-1 = 1023 และถ้าความถี่ของคล็อกเป็น 1 เมกะเฮิรตซ์ ซีเควนซ์ที่ทำการซ้ำตัวมันเองทุกๆ 1.02 มิลลิวินาที ถ้า N = 20 ดังนั้น 2^N-1 = 1048575 และคาบของซีเควนซ์จะเท่ากับ 10.5 วินาที ถ้า N = 30 ดังนั้น 2^N-1 = 1073730624 และ คาบของซีเควนซ์จะเท่ากับ 1017.73 วินาที

ในการสร้าง Non–MLS จากรีจิสเตอร์ 4 สเตจ ได้โดยการใช้การป้อนกลับด้วย เอกซ์คลูซีฟออร์แบบอื่นๆบางแบบ ยกตัวอย่างเช่น ถ้าฟังก์ชันการป้อนกลับคือ $B \oplus D$ หนึ่งในซีเควนซ์ ที่จะถูกสร้างขึ้นจะแสดงดังตารางที่ 2.4 ซีเควนซ์ที่ถูกสร้างขึ้นจะขึ้นอยู่กับสถานะเริ่มต้นของรีจิสเตอร์

S	D	C	B	A	f
S1	0	0	0	1	0
S2	0	0	1	0	1
S5	0	1	0	1	0
S10	1	0	1	0	0
S4	0	1	0	0	0
S8	1	0	0	0	1

S	D	C	B	A	f
S3	0	0	1	1	1
S7	0	1	1	1	1
S15	1	1	1	1	0
S14	1	1	1	0	0
S12	1	1	0	0	1
S9	1	0	0	1	1

S	D	C	B	A	f
S6	0	1	1	0	1
S13	1	1	0	1	1
S11	1	0	1	1	0

ตารางที่ 2.4 Non-MLSที่ถูกสร้างขึ้นโดยชิฟต์รีจิสเตอร์4สเตจที่มีการป้อนกลับด้วยฟังก์ชันB$\oplus$D

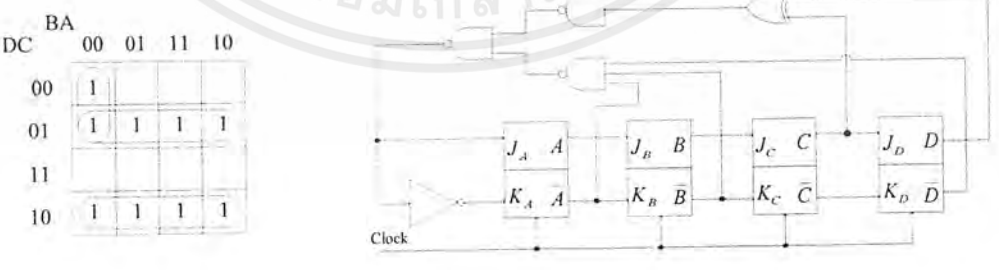
วงจรกำเนิดเบื้องต้นของ MLS ที่แสดงดังในรูปที่ 2.2 ไม่มีความจำเป็นที่จะต้องเริ่มต้นทำงานได้ด้วยตนเอง (self-starting) ตั้งแต่ทำการเปิดสวิตช์ สถานะเริ่มต้นของวงจรกำเนิดอาจจะเป็น 0-0-0-0 เมื่อวงจรอยู่ในสถานะนี้มันจะไม่มีทางออกจากสถานะนี้ได้เลย อย่างไรก็ตามเมื่อทำการเปลี่ยนแปลงเพียงเล็กน้อยก็จะสามารถสร้างวงจรกำเนิดที่เป็นแบบเริ่มต้นทำงานด้วยตนเองได้ การเปลี่ยนแปลงที่จำเป็นในทางลอจิคอลคือ การเพิ่มเทอม $\overline{A}\,\overline{B}\,\overline{C}\,\overline{D}$ ในสมการการป้อนกลับ ดังนั้น จะได้

$$f = C \oplus D + \overline{ABCD} \tag{2.2}$$

ฟังก์ชันนี้จะถูกพล็อตลงบนคาร์นอแม็ปแสดงดังในรูป 2.2 (ก) และหลังจากทำการลดรูปแล้ว จะได้

$$f = C \oplus D + \overline{ABD} \tag{2.3}$$

การสร้างวงจรกำเนิดแบบเริ่มต้นทำงานด้วยตนเอง ได้แสดงดังรูปที่ 2.2 (ข)



(ก) (ข)

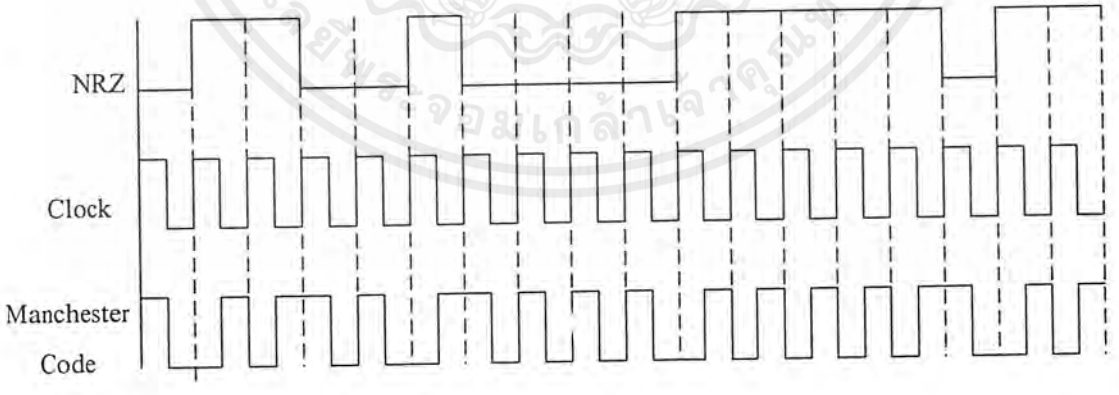
รูปที่ 2.2 **(ก)** คาร์นอแม็ปสำหรับวงจรกำเนิดลำดับที่มีความยาวสูงสุดแบบเริ่มต้นด้วยตัวเอง
(ข) วงจรกำเนิดลำดับที่มีความยาวสูงสุดแบบเริ่มต้นด้วยตัวเอง

2.2 วงจรเข้ารหัสสัญญาณข้อมูลแบบแมนเชสเตอร์ (Manchester Encoder)

การเข้ารหัสด้วยวิธีการนี้จะนำเอาสัญญาณที่เป็นประเภทไม่กลับสู่ศูนย์ (Non-Return to Zero : NRZ) มาทำการเอกซ์คลูซีฟออร์กับสัญญาณนาฬิกา ถ้าข้อมูลกับสัญญาณนาฬิกาเหมือนกัน สัญญาณที่ผ่านการเอกซ์คลูซีฟออร์จะกลายเป็น 0 แต่ถ้าข้อมูลกับสัญญาณนาฬิกาต่างกัน สัญญาณที่ผ่านการเอกซ์คลูซีฟออร์จะกลายเป็น 1 นั่นคือ เมื่อสัญญาณที่ผ่านการเข้ารหัสแมนเชสเตอร์แล้วลักษณะของสัญญาณจาก 1 บิต จะกลายเป็น 2 บิตที่แตกต่างกันเช่น ถ้าข้อมูลคือ 1 จะกลายเป็น 0-1 และถ้าข้อมูลคือ 0 จะกลายเป็น 1-0 ดังรูปที่ 2.4 พบว่าความเร็วจะกลายเป็น 2 เท่า เช่นจาก 2400 บิตต่อวินาที จะกลายเป็น 4800 บิตต่อวินาที แต่เมื่อทำการถอดรหัสแล้ว จะได้ข้อมูลที่มีความเร็วเท่าเดิม นั่นคือ 2400 บิตต่อวินาที นั่นเอง

รหัสแมนเชสเตอร์ มีข้อดีคือ ทำการเข้ารหัสและถอดรหัสได้ง่าย นั่นคือนำสัญญาณ NRZ กับสัญญาณนาฬิกามาทำการเอกซ์คลูซีฟออร์ และอีกประการหนึ่งคือ หากข้อมูลที่ส่งไปมีค่าเป็น 1 หรือ 0 ติดกันมากเกินไป จะทำให้เกิดความผิดพลาดได้ง่ายในการรับข้อมูลที่ด้านรับ โดยเมื่อทำการเข้ารหัสแบบนี้แล้ว จะมีค่า 1 หรือ 0 ติดกันไม่เกิน 2 บิต และหากเกิดการผิดพลาดก็สามารถที่จะตรวจสอบได้ง่าย

รูปที่ 2.3 (ก) วงจรการเข้ารหัส (ข) วงจรการถอดรหัส



รูปที่ 2.4 สัญญาณจากการเข้ารหัสแมนเชสเตอร์

2.3 วงจรกรองความถี่ต่ำผ่านพาสซีฟแบบเกาส์เซียน (Passive Gaussian Low Pass Filter)

วงจรกรองความถี่แบบเกาส์เซียนจะใช้การประมาณค่าแมกนิจูดแบบเกาส์เซียน (the gaussian magnitude approximation) เราจะมาดูผลการตอบสนองของวงจรกรองความถี่แบบเกาส์เซียน โดยนิยามแล้ว ฟังก์ชั่นเกาส์เซียนมีรูปแบบคือ

$$g(x)=\frac{1}{\sigma\sqrt{2\pi}}e^{-1/2[(x-m)/\sigma]^2} \tag{2.4}$$

โดย m = mean

σ = standard deviation

ถ้าหากผลตอบสนองอิมพัลส์ (Impulse response) ของวงจรกรองความถี่อยู่ในรูปแบบนี้แล้ว วงจรกรองความถี่นั้นจะถูกเรียกว่าเป็นเกาส์เซียน โดยผลตอบสนองอิมพัลส์ของวงจรกรองความถี่แบบเกาส์เซียนในอุดมคติ สามารถเขียนได้ว่า

$$f_\delta(t)=\frac{1}{\sigma\sqrt{2\pi}}e^{-1/2[(t-T)/\sigma]^2} \tag{2.5}$$

ซึ่งเป็นรูปแบบของสมการ 2.5 สามารถแสดงได้ว่าผลตอบสนองอิมพัลส์เป็นผลให้ผลตอบสนองสเต็ป (step response) ไม่มีโอเวอร์ชู้ตซึ่งเป็นผลตอบสนองที่เราต้องการ

เนื่องจากผลตอบสนองอิมพัลส์แบบเกาส์เซียนมีคุณสมบัติในทางไทม์โดเมนที่ดี เราจึงหาทรานส์เฟอร์ฟังก์ชั่น $T(j\omega)$ ของมันออกมาเป็นค่าประมาณ โดยนิยาม $T(j\omega)$ เป็นการแปลงฟูเรียร์ของผลตอบสนองอิมพัลส์ จะได้ $T(j\omega)=\int_{-\infty}^{\infty}f_\delta(t)e^{-j\omega t}dt$

$$=\frac{1}{\sigma\sqrt{2\pi}}\int_{-\infty}^{\infty}e^{-1/2[(t-T)/\sigma]^2}e^{-j\omega t}dt$$

$$=e^{-\sigma^2\omega^2/2-j\omega T}$$

ทรานส์เฟอร์ฟังก์ชั่น $H(j\omega)$ สามารถหาได้ว่า

$$H(j\omega)=e^{(\omega/\omega_0)^2+j\omega T} \tag{2.6}$$

โดย ${\omega_0}^2=2/\sigma^2$ ความถี่ ω_0 เป็นความถี่นอร์แมลไลซ์ซึ่งมีความเกี่ยวข้องกับจุด 3-dB โดยดูจากสมการ 2.6 ว่ารูปร่างแมกนิจูดของเกาส์เซียนในอุดมคติสามารถเขียนได้เป็น

$$|H(j\omega)|=e^{(\omega/\omega_0)^2} \tag{2.7}$$

จะได้ว่าจุด 3-dB ω_{3dB} เป็นดังนี้

$$|H(j\omega_{3dB})|=\sqrt{2}=e^{(\omega_{3dB}/\omega_0)^2}$$

ดังนั้น $$\omega_{3dB}=\left(\frac{\ln 2}{2}\right)^{1/2}\cdot\omega_0$$

สมการ 2.6 แสดงให้เห็นว่า $H(j\omega)$ มีเฟสเป็นลิเนียร์ ถ้าผลตอบสนองอิมพัลส์ของวงจรกรองความถี่เป็นเกาส์เซียนแล้วค่าดีเลย์ของมันจะคงที่ หรืออาจกล่าวได้ในอีกมุมหนึ่งว่าถ้าทรานส์เฟอร์ฟังก์ชั่น $H(s)$ มีค่าดีเลย์คงที่แล้ว ผลตอบสนองอิมพัลส์ของมันจะเป็นค่าประมาณแบบเกาส์เซียน

รูปร่างแมกนิจูดของเกาส์เซียนในสมการที่ 2.7 จะเห็นว่าเป็นไปไม่ได้ ซึ่งสามารถพิสูจน์ได้โดยการประยุกต์ทฤษฎีของพาเลย์และไวน์เนอร์ซึ่งแสดงให้เห็นว่า ถ้า $A(\omega)$ มีค่าที่เป็นไปได้แล้ว

$$\int_{-\infty}^{\infty}\frac{|\log A(\omega)|}{1+\omega^2}d\omega \tag{2.8}$$

สมการข้างบนจะต้องมีค่าการอินทิเกรตนี้จะไม่มีค่าสำหรับรูปร่างแมกนิจูดของเกาส์เซียน ค่าประมาณที่เป็นไปได้ของรูปร่างแมกนิจูดของเกาส์เซียนในอุดมคตินั้น สามารถหาได้จากการใช้การกระจายอนุกรมดังนี้

$$|H(j\omega_3)|^2 = e^{2(\omega/\omega_0)^2} = \sum_{i=0}^{\infty}\frac{2i}{i!}\left(\frac{\omega}{\omega_0}\right)^{2i} \tag{2.9}$$

ตัวอย่างของการประมาณค่าแบบเกาส์เซียนอันดับที่สามคือ

$$|H(j\omega)|^2 = 1+2\left(\frac{\omega}{\omega_0}\right)^2+\frac{2^2}{2!}\left(\frac{\omega}{\omega_0}\right)^4+\frac{2^3}{3!}\left(\frac{\omega}{\omega_0}\right)^6 \tag{2.10}$$

ค่าพารามิเตอร์ ω_0 สามารถเลือกเพื่อให้ได้ค่าความกว้างของพาสแบนด์ที่ต้องการ เช่น โดยนิยามแล้ว ค่านอร์แมลไลซ์ของวงจรกรองความถี่แบบเกาส์เซียนจะต้องมี $|H(j)|^2 = 2$ ดังนั้นสำหรับวงจรกรองความถี่แบบเกาส์เซียนที่ถูกนอร์แมลไลซ์อันดับที่สามจะได้เป็น

$$2 = 1+2\left(\frac{1}{\omega_0}\right)^2+\frac{2^2}{2!}\left(\frac{1}{\omega_0}\right)^4+\frac{2^3}{3!}\left(\frac{1}{\omega_0}\right)^6$$

โดยคำตอบของสมการข้างบนคือ ω_0 = 1.692 เช่นเดียวกัน เมื่อ n=4 เราจะหาค่า ω_0 =1.698 ตัวอย่างทั้งสองแสดงว่าเมื่อ n มีค่าเพิ่มขึ้น ω_0 จะมีค่าเข้าใกล้ค่าอะซิมโทรปิค (asymtropic) โดยค่านี้จะสามารถหาได้โดยเมื่อ n มีค่าเพิ่มขึ้นเรื่อย ๆ จะทำให้ได้ค่าประมาณแบบเกาส์เซียนมีค่าเข้าใกล้อุดมคติดังสมการ 2.4 และ 2.5 โดยค่าอะซิมโทรปิคของ ω_0 สำหรับวงจรกรองความถี่แบบเกาส์เซียนที่นอร์แมลไลซ์แล้วจะเท่ากับ

$$2 = e^{2(1/\omega_0)^2}$$

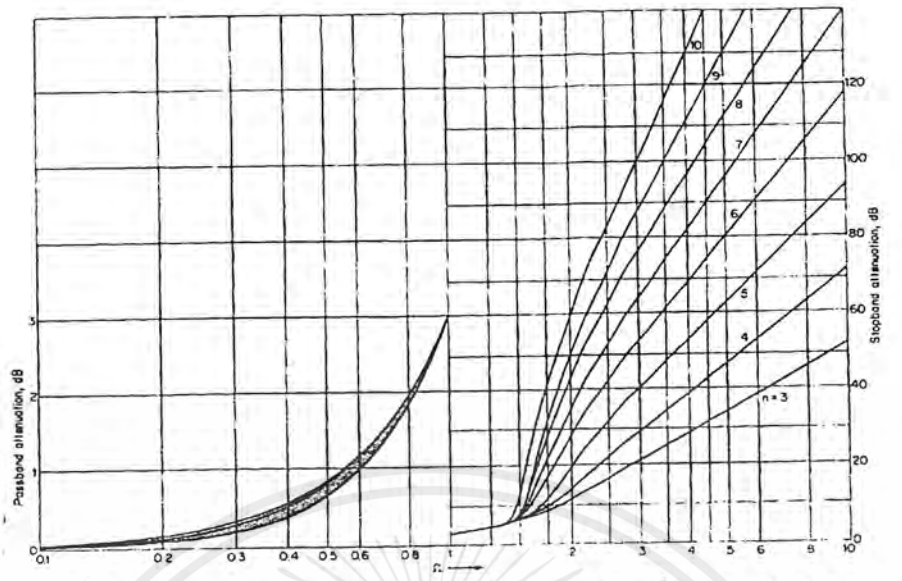
จะหาค่าของ $\omega_0\sqrt{2/\ln 2}$

การสูญเสียสต็อปแบนด์ของวงจรกรองความถี่แบบเกาส์เซียนที่นอร์แมลไลซ์แล้วจะเป็นดังรูปที่ 2.5 เดิร์ฟเหล่านี้หาโดยการใช้สมการ 2.9 ค่าสำหรับ ω_0 ถูกหาได้เช่นเดียวกันโดยการใช้ $|H(j)|^2 = 2$ เมื่อเปรียบเทียบกับวงจรกรองความถี่แบบเบสเซล(Bessel)พบว่าการสูญเสียสต็อปแบนด์ของวงจรกรองความถี่แบบเกาส์เซียนอันดับที่ n จะมีค่าการสูญเสียน้อยกว่าวงจรกรองความถี่แบบเบสเซล อันดับที่ n

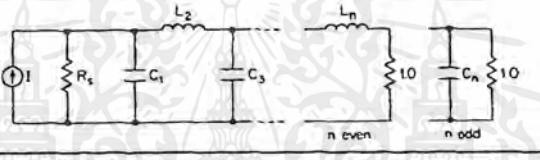
ในการหาดีเลย์ของวงจรกรองความถี่แบบเกาส์เซียนอันดับที่ n เราจะใช้สมการสำหรับ H(s) ซึ่งหาได้จาก

$$H(s)H(-s) = \sum_{i=0}^{n}\frac{(-2)^i}{i!}\left(\frac{s}{\omega_0}\right)^{2i} \tag{2.11}$$

เมื่อทำการหาดีเลย์ได้แล้ว พบว่ามีค่าดีเลย์น้อยและมีผลตอบสนองสเต็ปดีมากซึ่งเป็นคุณลักษณะของวงจรกรองความถี่แบบเกาส์เซียน โดยค่า Doubly Terminate Losses Ladder Element เมื่อใช้การประมาณค่าแบบเกาส์เซียนจะเป็นดังตารางที่ 2.5



รูปที่ 2.5 การลดทอนของวงจรกรองความถี่แบบเกาส์เซียนที่นอร์แมลไลซ์แล้ว



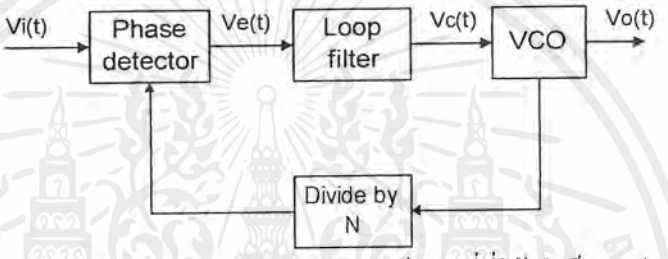
n	R_s	C_1	L_2	C_3	L_4	C_5	L_6	C_7
3	1.0000	0.4042	0.8955	2.3380				
	0.9000	0.4440	0.8038	2.5027				
	0.8000	0.4935	0.7121	2.7088				
	0.7000	0.5568	0.6205	2.9739				
	0.6000	0.6407	0.5292	3.3275				
	0.5000	0.7575	0.4384	3.8223				
	0.4000	0.9319	0.3482	4.5635				
	0.3000	1.2213	0.2590	5.7972				
	0.2000	1.7980	0.1709	8.2605				
	0.1000	3.5236	0.0845	15.6391				
	Inf.	1.4742	0.8328	0.3446				
4	1.0000	0.4198	0.7832	1.1598	2.1427			
	1.1111	0.3720	0.8717	1.0279	2.3286			
	1.2500	0.3256	0.9816	0.9010	2.5539			
	1.4286	0.2804	1.1220	0.7781	2.8367			
	1.6667	0.2365	1.3083	0.6587	3.2069			
	2.0000	0.1938	1.5678	0.5424	3.7179			
	2.5000	0.1524	1.9552	0.4289	4.4761			
	3.3333	0.1122	2.5982	0.3180	5.7296			
	5.0000	0.0733	3.8797	0.2095	8.2221			
	10.0000	0.0359	7.7138	0.1035	15.6717			
	Inf.	1.4871	1.0222	0.7656	0.3510			
5	1.0000	0.4544	0.8457	1.0924	1.0774	2.4138		
	0.9000	0.4991	0.7622	1.2046	0.9769	2.5746		
	0.8000	0.5543	0.6781	1.3452	0.8739	2.7797		
	0.7000	0.6247	0.5936	1.5263	0.7687	3.0475		
	0.6000	0.7179	0.5086	1.7683	0.6615	3.4087		
	0.5000	0.8476	0.4233	2.1077	0.5527	3.9183		
	0.4000	1.0411	0.3379	2.6176	0.4428	4.6863		
	0.3000	1.3621	0.2526	3.4680	0.3321	5.9690		
	0.2000	2.0019	0.1677	5.1693	0.2212	8.5360		
	0.1000	3.9166	0.0833	10.2723	0.1103	16.2354		
	Inf.	1.5392	1.0993	1.0203	0.8269	0.3824		
6	1.0000	0.5041	0.9022	1.2159	1.0433	1.4212	2.0917	
	1.1111	0.4427	1.0079	1.0739	1.1892	1.2274	2.3324	
	1.2500	0.3853	1.1364	0.9415	1.3611	1.0620	2.5935	
	1.4286	0.3306	1.2999	0.8145	1.5753	0.9111	2.9053	
	1.6667	0.2779	1.5162	0.6914	1.8557	0.7692	3.3032	
	2.0000	0.2271	1.8169	0.5713	2.2433	0.6333	3.8456	
	2.5000	0.1780	2.2654	0.4534	2.8200	0.5016	4.6459	
	3.3333	0.1308	3.0091	0.3376	3.7758	0.3730	5.9662	
	5.0000	0.0853	4.4902	0.2235	5.6803	0.2468	8.5904	
	10.0000	0.0416	8.9199	0.1109	11.3810	0.1225	16.4352	
	Inf.	1.5664	1.2166	1.1389	1.1010	0.8844	0.4062	

ตารางที่ 2.5 องค์ประกอบต่าง ๆ ของวงจรกรองความถี่แบบเกาส์เซียนที่นอร์แมลไลซ์แล้ว

2.4 วงจรสังเคราะห์ความถี่ด้วยเฟสล็อกลูป

วงจรสังเคราะห์ความถี่ด้วยเฟสล็อกลูป (Phase locked loop synthesizer) เป็นวงจรสังเคราะห์ความถี่ชนิดโปรแกรมได้ ทำหน้าที่ผลิตสัญญาณความถี่ขนาดพอเหมาะ และให้มีความถี่ตามที่เรากำหนดโดยการประยุกต์ใช้งานของเฟสล็อกลูป ซึ่งเป็นระบบป้อนกลับที่มีการเปลี่ยนความถี่ และเฟสของวงจรออสซิลเลเตอร์ตามสัญญาณอินพุตที่ป้อนเข้ามา บล็อกไดอะแกรมเบื้องต้นของวงจรสังเคราะห์ความถี่ด้วยเฟสล็อกลูป แสดงดังรูปที่ 2.6 ประกอบด้วยส่วนสำคัญ 4 ส่วน ดังนี้

1. ส่วนเปรียบเทียบเฟส (Phase Detector : PD)
2. ลูปฟิลเตอร์ (Loop Filter)
3. วงจรออสซิลเลเตอร์ควบคุมความถี่ด้วยแรงดัน (Programmable Divider)
4. วงจรหารความถี่ที่สามารถโปรแกรมได้ (Programmable Divider)



รูปที่ 2.6 บล็อกไดอะแกรมของวงจรสังเคราะห์ความถี่ที่ใช้เฟสล็อกลูป

การทำงานคร่าวๆ สามารถอธิบายได้ดังนี้ ขณะที่ยังไม่มีสัญญาณเข้าไปในระบบ แรงดันควบคุม (control voltage) $V_c(t)$ จะเท่ากับศูนย์วีซีโอจะทำงานโดยตั้งความถี่ไว้ที่ f_O กับความถี่ของวีซีโอถ้าเกิดความแตกต่างของสัญญาณทั้งสอง f_O กับเนื่องจากความถี่ไม่ตรงกันจะเกิดแรงดันคลาดเคลื่อนออกมา $V_e(t)$ แรงดันคลาดเคลื่อนนี้จะถูกกรองผ่านลูปฟิลเตอร์ขยายแล้วป้อนให้กับวีซีโอในการนี้แรงดันควบคุม $V_c(t)$ จะไปบังคับความถี่ของวีซีโอให้เปลี่ยนไปในทิศทางที่จะลดความถี่ที่แตกต่างระหว่างความถี่ f_O กับความถี่ f_R ถ้าความถี่ f_R ใกล้เคียงกับความถี่ f_O จากการป้อนกลับของเฟสล็อกลูปซึ่งสัญญาณที่ป้อนกลับไปยังลูปฟิลเตอร์จะเป็นความถี่เอาต์พุตของวีซีโอที่ถูกหาร โดย N จะทำให้วีซีโอซิงโครไนส์หรือล็อก (lock) กับสัญญาณอินพุตที่ป้อนเข้ามา ขณะที่ทำการล็อกนั้นความถี่ของวีซีโอจะเท่ากับความถี่ของสัญญาณอินพุตพอดี

ในสภาวะล็อกความถี่จะได้ว่า

$$f_R = f_d \tag{2.12}$$

และความถี่ที่ได้จากการหาร

$$f_d = f_o / N \tag{2.13}$$

ดังนั้นความถี่ที่เอาต์พุตจะได้เป็น

$$f_o = N f_d \tag{2.14}$$

แต่ในสภาวะล็อกความถี่ เฟสของสัญญาณทั้งสองจะยังคงต่างกันอยู่ ซึ่งมีความจำเป็นต่อการผลิตแรงดันคลาดเคลื่อน $V_e(t)$ ที่จะไปคอยปรับความถี่วีซีโอจากค่าความถี่ฟรีรันนิ่ง (free-running) ให้เท่าตัวได้เองทำให้เฟสล็อกลูปสามารถติดตามการล็อกกับระบบซึ่งจะขึ้นอยู่กับแรงดันคลาดเคลื่อน

(capture range) จะขึ้นกับขอบแบนด์ของวงจรกรองความถี่และอัตราขยายลูปปิดของระบบทั้งหมด เฟสล็อกลูปที่มีการหารความถี่ชนิดโปรแกรมได้ภายในลูปเป็นวิธีที่เหมาะสำหรับการสังเคราะห์ความถี่ที่มีค่ามากจากความถี่อ้างอิงความถี่เดียว

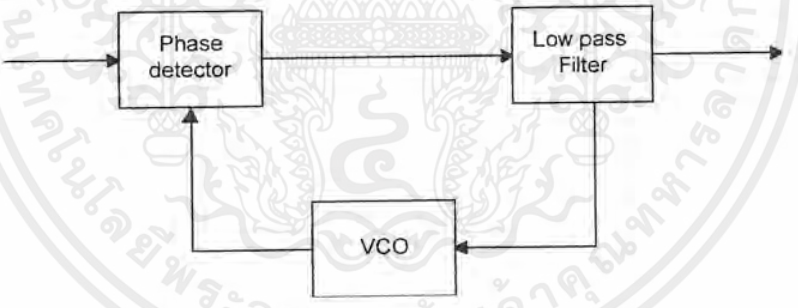
คุณสมบัติที่ต้องการของวงจรสังเคราะห์ความถี่ จะต้องผลิตสัญญาณความถี่ขนาดพอเหมาะและให้มีความถี่ตามที่เรากำหนด ช่วงความถี่ใช้งานของวงจรสังเคราะห์ความถี่จะจำกัดอยู่ในช่วงที่แน่นอนแล้วแต่การใช้งานและความละเอียดของความถี่ที่เปลี่ยนแปลงได้ทีละขั้นซึ่งเรียกว่า รีโซลูชั่น (resolution)

2.4.1 วงจรเฟสล็อกลูป (PLL : Phase Locked Loop)

วงจรเฟสล็อกลูปเป็นหลักการทางการป้อนกลับที่น่าสนใจ และนำมาประยุกต์ในวงจรต่างๆ มากมาย เช่น การสังเคราะห์ความถี่ (Frequency synthesis), การคูณความถี่ (Frequency multiplication) และเอฟเอ็ม/เอเอ็มดีมอดูเลชัน (FM/AM demodulation) เนื่องจากว่าในปัจจุบันวงจรเฟสล็อกลูปจะอยู่ในรูปของวงจรรวมที่สามารถหาได้ในตลาดทั่วๆ ไป

วงจรเฟสล็อกลูป จะประกอบด้วยส่วนสำคัญ 3 ส่วน ได้แก่

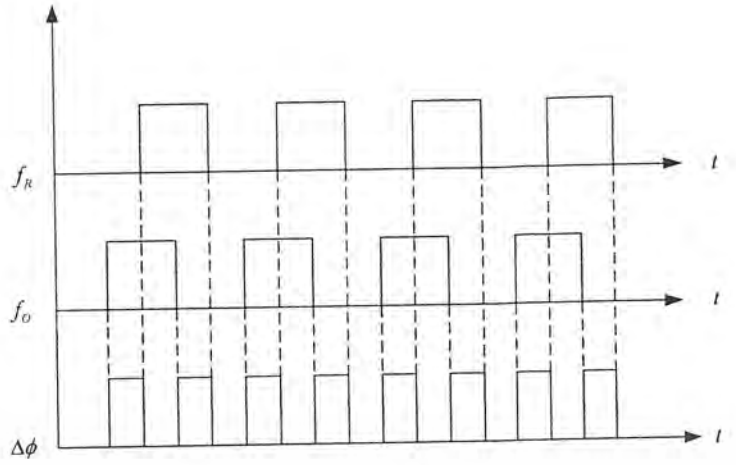
1. ส่วนเปรียบเทียบเฟส (PD : Phase Detector)
2. ลูปฟิลเตอร์ (Loop Filter)
3. วงจรออสซิลเลเตอร์ควบคุมความถี่ด้วยแรงดันหรือวงจรวีซีโอ (Voltage Controlled Oscillator)



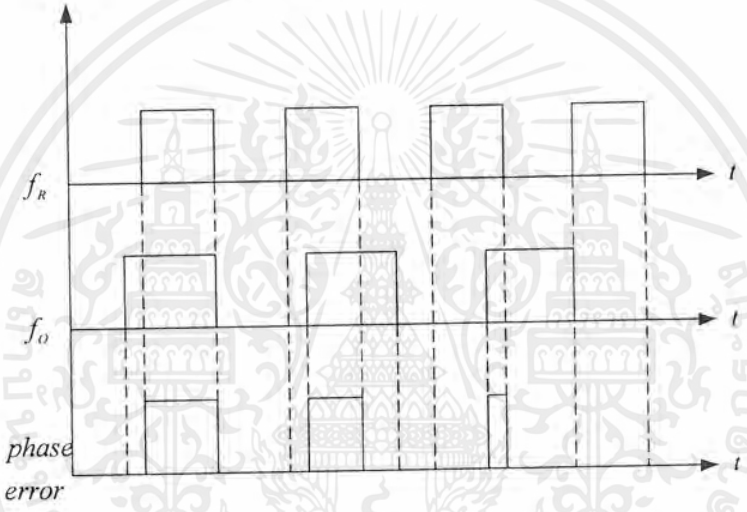
รูปที่ 2.7 บล็อกไดอะแกรมของวงจรเฟสล็อกลูป

แต่ละส่วนจะมีผลต่อคุณสมบัติและการทำงานของระบบ ซึ่งหน้าที่ของแต่ละส่วนจะได้อธิบายดังนี้

1.เฟสดีเทคเตอร์ ทำหน้าที่เปรียบเทียบเฟสของอินพุตซึ่งจะมีผลของเฟสที่ต่างกันเรียกว่า ความผิดพลาดเฟส (Phase Error) ความผิดพลาดเฟสนี้จะมีค่าน้อยที่สุดเป็นศูนย์ และจะมีค่ามากที่สุดเป็น $\pi/2$ เฟสดีเทคเตอร์จะทำการเปลี่ยนความผิดพลาดเฟสนี้ให้กลายเป็นระดับแรงดันด้วยค่าคอนเวอร์ชันเกน ลักษณะการเปรียบเทียบเฟสของอินพุตทั้งสองของเฟสดีเทกเตอร์จะแสดงดังรูปที่ 2.8



รูปที่ 2.8 ผลต่างเฟสเมื่อความถี่เท่ากัน



รูปที่ 2.9 ผลต่างเฟสเมื่อความถี่อินพุตไม่เท่ากัน

เฟสดีเทกเตอร์ จะมีใช้กัน 2 แบบ คือ แบบที่ 1 และแบบที่ 2

1.1 เฟสดีเทกเตอร์แบบที่ 1 จะถูกออกแบบมาเพื่อทำการตรวจจับคลื่นสี่เหลี่ยม(square wave) ต่างๆทั้งทางแอนะลอกหรือทางดิจิตอล ซึ่งเฟสดีเทกเตอร์แบบที่ 1 จะมีความสัมพันธ์เป็นเชิงเส้น สำหรับเฟสอินพุตในช่วงหนึ่งตั้งแต่ 0 - π

1.2 เฟสดีเทกเตอร์แบบที่ 2 จะทำการตรวจจับการเปลี่ยนแปลงสถานะหรือขอบสัญญาณ โดยวงจรเฟสดีเทกเตอร์ชนิดนี้จะผลิตพัลส์บวกหรือลบขึ้นอยู่กับการนำหน้า (lead) หรือตามหลัง (lag) ของสัญญาณ วงจรวีซีโอ เมื่อเปรียบเทียบกับสัญญาณอ้างอิง ความกว้างของพัลส์เหล่านี้จะเท่ากับช่วงกว้างระหว่างขอบของสัญญาณอินพุตทั้งสองของเฟสดีเทกเตอร์และจะเป็นตัวกำหนดขนาดของแรงดันที่ป้อนให้วีซีโอ ข้อดีของเฟสดีเทกเตอร์ชนิดนี้คือการมีเอาต์พุตที่ไม่ขึ้นกับดิวตีไซเคิล (duty cycle) ของสัญญาณอินพุตและการไม่มีการกระเพื่อม (Ripple) ที่เอาต์พุตเหมือน ในกรณีของเฟสดีเทกเตอร์แบบที่ 1

2. ลูปฟิลเตอร์ (Loop filter) ทำหน้าที่กรองสัญญาณความถี่สูงที่ออกมาจากเฟสดีเทกเตอร์ เนื่องจากเฟสดีเทกเตอร์ให้เอาต์พุตเป็นสัญญาณไฟฟ้ากระแสตรงที่มีแรงดันไฟฟ้ากระแสสลับร่วมมา

ด้วย สัญญาณความถี่ที่ได้เกิดจากความต่างเฟส ยิ่งต่างเฟสมากความถี่ยิ่งสูง ดังนั้นลูปฟิลเตอร์จึงช่วยกรองเอาสัญญาณความถี่สูงซึ่งแสดงว่ามีความต่างเฟสมากออก ทำให้ระบบสามารถจับ(Capture)สัญญาณได้ในช่วงหนึ่งและช่วยให้ระบบรักษาการล็อกไว้ได้อีกด้วย

3. วงจรขยายสัญญาณ(Amplifier) ใช้ปรับขนาดสัญญาณไฟตรง เพื่อให้การควบคุมดีขึ้น เอาต์พุตของวงจรนี้จะป้อนให้แก่วงจรวีซีโอ

4. วงจรออสซิลเลเตอร์ควบคุมความถี่ด้วยแรงดันหรือวงจรวีซีโอ (VCO) ทำหน้าที่ผลิตความถี่สัญญาณโดยการควบคุมระดับแรงดันเอาต์พุตด้วยคอนเวอร์ชั่นเกน ระดับของแรงดันนี้จะได้จากเอาต์พุตของลูปฟิลเตอร์ ความถี่ที่ล็อกมาจากลูปฟิลเตอร์จะมีผลทำให้เอาต์พุตของวงจรวีซีโอเปลี่ยนความถี่ด้วยเช่นกัน เนื่องจากวงจรออสซิลเลเตอร์เป็นวงจรผลิตความถี่สัญญาณจึงเป็นส่วนที่จำเป็นสำหรับวงจรเฟสล็อกลูป วงจรวีซีโอไม่จำเป็นต้องมีความสัมพันธ์เป็นเชิงเส้นกับแรงดันไฟฟ้าที่มาควบคุมมากนักในกรณีทั่วๆไป แต่ถ้าไม่เป็นเชิงเส้นมากเกินไปแล้วอัตราขยายรอบก็จะเปลี่ยนแปลงไปตามความถี่ของสัญญาณด้วย ฉะนั้นจึงต้องคำนึงถึงความเสถียรภาพของลูปด้วย

การทำงานของระบบเฟสล็อกลูป สามารถอธิบายอย่างคร่าวๆได้ดังนี้ เฟสดีเทกเตอร์จะเปรียบเทียบเฟสของสัญญาณอินพุต $V_i(t)$ กับความถี่ของวงจรวีซีโอ และทำให้ได้ความผิดพลาดของแรงดัน $V_e(t)$ และกรองผ่านลูปฟิลเตอร์ไปควบคุมอินพุตของวงจรวีซีโอ รูปของแรงดันควบคุมเพื่อควบคุมความถี่ของวงจรวีซีโอ ตามปกติเมื่อไม่มีสัญญาณอินพุตป้อนให้กับระบบเฟสล็อกลูปความผิดพลาดของแรงดันจะผ่าน ลูปฟิลเตอร์ $V_d(t)$ ในฟีดแบ็กลูปจะมีค่าเป็นศูนย์ วงจรวีซีโอจะทำงานที่ความถี่ศูนย์กลาง ซึ่งเราเรียกว่า ความถี่ฟรีรันนิ่งของวีซีโอ

ถ้ามีสัญญาณอินพุตเป็นไฟฟ้ากระแสสลับป้อนให้กับระบบเฟสล็อกลูปและสัญญาณดังกล่าวมีความถี่อินพุตใกล้เคียงกับความถี่ฟรีรันนิ่งพอเพียง การฟีดแบ็กของเฟสล็อกลูปจะทำให้ได้ความผิดพลาดของแรงดันไปขับวงจรวีซีโอให้มีความถี่ซิงโครไนส์กับความถี่อินพุต ซึ่งแสดงว่าระบบเฟสล็อกลูปมีความถี่เอาต์พุตล็อกกับความถี่ของสัญญาณอินพุต

การทำงานของระบบเฟสล็อกลูปสามารถแบ่งได้เป็น 3 ลักษณะตามคุณสมบัติของลูปดังนี้

1. เมื่อระบบไม่อยู่ในสภาวะล็อก($\omega_R \neq \omega_o$)

เราสมมุติสัญญาณ V_i และ V_0 เป็นสัญญาณรูปคลื่นไซน์มีค่าเป็น

$$V_i(t) = E_i \cos(\omega_i t + \theta_i) \tag{2.15}$$

$$V_0(t) = E_0 \cos(\omega_i t + \phi_0) \tag{2.16}$$

ถ้าเฟสดีเทกเตอร์มีคุณสมบัติเป็นแอนะลอกมัลติพลายเออร์ เราจะได้สัญญาณเอาต์พุตของเฟสดีเทกเตอร์เป็น

$$V_e(t) = K_d \cos[(\omega_i - \omega_0)t + \theta_i - \phi_0] + K_d \cos[(\omega_i + \omega_0)t + \theta_i + \phi_0] \tag{2.17}$$

เมื่อนำสัญญาณผ่านวงจรกรองความถี่ต่ำผ่านจะได้เป็น

$$V_d(t) = K_d \cos[(\omega_i - \omega_0)t + \theta_i - \phi_0] \tag{2.18}$$

เนื่องจาก V_i และ V_0 ไม่ซิงโครนัสกัน ดังนั้นสัญญาณเอาต์พุตของเฟสดีเทกเตอร์ V_d จะเป็นสัญญาณรูปคลื่นไซน์ที่มีแอมปลิจูดสูงสุดเท่ากับ K_d และมีความถี่เชิงมุมเท่ากับความถี่เชิงมุมระหว่าง

สัญญาณ V_i และ V_0 คือ ω_i และ ω_0 มีค่าแตกต่างกันมาก ดังนั้นแรงดันไฟฟ้า V_d จะไม่สามารถผ่านลูปฟิลเตอร์ได้ ทำให้ได้ค่า V_c และค่าฟีดแบ็กของลูปจะไม่มีผลอะไรคือไม่เกิดการเปลี่ยนแปลงใดๆ ภายในลูป แรงดันเอาต์พุตของวงจรวีซีโอจะมีค่าอยู่ที่ความถี่ฟรีรันนิ่ง ดังนั้น ω_0 และ ϕ_0 จะมีค่าเป็นอิสระอย่างสมบูรณ์ต่อ ω_i และ θ_i จะพูดได้ว่าลูปไม่อยู่ในสภาวะล็อก แต่ถ้า $\omega_i - \omega_0 = \pm\omega$ มีค่าน้อยกว่าแบนด์วิดท์ของลูปซึ่งกำหนดได้โดยพารามิเตอร์ของลูปและการฟีดแบ็กจะมีผลทำให้ระบบเข้าสู่สภาวะล็อกได้

2. *เมื่อระบบเข้าสู่สภาวะล็อก* $(\omega_i = \omega_0)$

ในกรณีที่สัญญาณเอาต์พุตวงจรวีซีโอ มีความถี่ซิงโครนัสกับสัญญาณอินพุต V_i กับสัญญาณเอาต์พุต V_o จะมีค่าเป็น

$$V_o = E_o \cos(\omega_i t - \psi_o) \tag{2.19}$$

นอกจากนั้นค่าของเฟสของสัญญาณเอาต์พุตจะเป็นฟังก์ชันเชิงเส้นกับเวลา ซึ่งมีค่าเป็น

$$\phi_o = (\omega_i - \omega_o)t + \psi_o \tag{2.20}$$

และสัญญาณเอาต์พุตของเฟสดีเทกเตอร์หรือความผิดพลาดของสัญญาณ จะกลายเป็นสัญญาณไฟกระแสตรง มีค่าเท่ากับ

$$V_d = K_d \cos(\theta_i - \psi_o) \tag{2.21}$$

ลูปฟิลเตอร์จะยอมให้สัญญาณไฟฟ้ากระแสตรง V_i ผ่านได้และมีค่าเท่ากับ

$$V_d = K_d \cos(\theta_i - \psi_o) \tag{2.22}$$

วงจรวีซีโอจะเป็นออสซิลเลเตอร์ชนิดมอดูเลตความถี่ ความถี่เชิงมุมที่เปลี่ยนอย่างทันทีทันใดของวงจรออสซิลเลเตอร์ควบคุมความถี่ด้วยแรงดัน (ω_{inst}) จะเป็นฟังก์ชันเชิงเส้นกับสัญญาณควบคุมอินพุต V_c โดยความถี่เชิงมุมที่ศูนย์กลางเป็นดังนี้

$$\omega_{inst} = \frac{d(\omega_0 t + \phi_0)}{dt} = \omega_0 + K_0 V_d \tag{2.23}$$

$$\frac{d(\phi_0)}{dt} = K_0 V_d$$

เมื่อ K_0 เป็นความไวในการมอดูเลตของวงจรวีซีโอ

แทนค่าสมการ (2.24) ลงใน (2.25) จะได้

$$\omega_i - \omega_o = K_d K_o \cos(\theta_i - \psi_o) \tag{2.24}$$

$$\psi_o = \theta_i - \cos^{-1}\left[(\omega_i - \omega_o)/K_d K_o\right] \tag{2.25}$$

ดังนั้นสัญญาณเอาต์พุตของเฟสดีเทกเตอร์ V_d สามารถเขียนได้เป็น

$$V_d = (\omega_i - \omega_o)/K_o \tag{2.26}$$

ส่วนประกอบไฟฟ้ากระแสสลับของเฟสดีเทกเตอร์เอาต์พุต V_d จะผ่านวงจรกรองความถี่ต่ำผ่านไปเป็นแรงดันควบคุมให้กับอินพุตของวงจรวีซีโอ

จากสมการ (2.26) จะเห็นได้ชัดเจนว่า สัญญาณไฟฟ้ากระแสตรง V_d จะไปทำให้ความถี่เชิงมุมของวงจรวีซีโอมีค่าเปลี่ยนไปจากศูนย์กลางของวงจรวีซีโอคือ ω_o ไปเท่ากับความถี่เชิงมุมของสัญญาณอินพุต ω_i นั่นคือ

$$\omega_{mst} = \omega_o + K_o V_d = \omega_o + (\omega_i - \omega_o) = \omega_i \tag{2.27}$$

ถ้าความแตกต่างของความถี่เชิงมุมเริ่มต้น $\omega_i - \omega_0$ มีค่าน้อยกว่าผลคูณของ $K_d K_0$ อย่างมาก สมการ(2.27) จะมีค่าเป็น

$$\theta_i - \psi_o \cong \cos^{-1} 0 = \pi/2 \tag{2.28}$$

จากสมการ (2.28) หมายความว่า ถ้าความถี่ออฟเซตระหว่างสัญญาณอินพุตและสัญญาณ วงจรวีซีโอจะมีค่าน้อยเมื่อลูปไม่อยู่ในสภาวะล็อกและสัญญาณวงจรวีซีโอ จะมีเฟสต่างกับสัญญาณอินพุต 90° เมื่อลูปอยู่ในสภาวะล็อกหรือเฟสควอดราเจอร์จะสอดคล้องกับ $\omega_i = \omega_o$ ด้วยเหตุผลนี้จึงแทนค่า ψ_o ด้วยค่าเฟสเอาต์พุต θ_o ดังนั้น

$$\theta_o = \psi_o - \pi/2 \tag{2.29}$$

แรงดันไฟฟ้าเอาต์พุตของเฟสดีเทกเตอร์เขียนได้เป็น

$$\begin{aligned} V_d &= K_d \cos(\theta_i - \psi_o) \\ &= K_d \cos[(\theta_i - \theta_o) - \pi/2] \\ &= K_d \sin(\theta_i - \theta_o) \end{aligned} \tag{2.30}$$

และจากสมการ (2.28) และ (2.32) จะได้ค่าความผิดพลาดเฟสเป็น

$$\theta_i - \theta_o = \sin^{-1}(\omega_i - \omega_o)/K_d K_o \tag{2.31}$$

เมื่อผลต่างของเฟส $\theta_i - \theta_o$ มีค่าน้อยเพียงพอจะได้ว่า

$$V_d = K_d(\theta_i - \theta_o) \cong K_d \theta_e \tag{2.32}$$

เมื่อ $\theta_c = \theta_i - \theta_o$ เนื่องจากคุณสมบัติของเฟสดีเทกเตอร์แบบนี้เมื่อลูปเข้าสู่การล็อกสัญญาณของ วงจรวีซีโอ จะมีเฟสต่างไปจากสัญญาณอินพุต 90° คือ $[\theta_i - (\theta + \pi/2)]$ ดังนั้นเฟสดีเทกเตอร์จะให้แรงดันไฟฟ้าเอาต์พุตที่เป็นสัดส่วนกับความต่างเฟสระหว่างสัญญาณอินพุต V_i กับสัญญาณเอาต์พุตของวงจรวีซีโอ คือ V_0 ในลักษณะของควอดราเจอร์ คือ

$$\begin{aligned} V_d &= K_d[(\theta_i - \theta_o) - \pi/2] \\ &= K_d(\theta - \pi/2) \end{aligned} \tag{2.33}$$

สัญญาณเฟส V_d นี้จะผ่านลูปฟิลเตอร์ไปป้อนให้กับอินพุตที่ควบคุมวงจรวีซีโอเพื่อแก้ไขให้ความถี่ของวงจรวีซีโอเปลี่ยนจาก ω_o ไปเป็น ω_i และดำรงการล็อกให้คงอยู่ได้

$$\begin{aligned} V_d &= (\omega_i - \omega_0)/K_o \\ \omega_i &= \omega_o + K_o V_d \end{aligned} \tag{2.34}$$

จากสมการ (2.27) และ (2.28) จะหาค่าของความผิดพลาดเฟส θ_c ได้เป็น

$$\theta_i = \pi/2 + [(\omega_i + \omega_0)]/K_d K_0 \tag{2.35}$$

จากสมการ(2.38)จะสังเกตได้ว่าเมื่อ $\omega_0 = \omega_i$ แรงดันไฟฟ้าของวงจรวีซีโอจะมีเฟสควอดราเจอร์ คือ มีเฟสต่างไปจาก 90° เมื่อ ω_i เคลื่อนไปทางสูงกว่า ω_0 มุมของเฟสจะเพิ่มขึ้นจาก 90° ไปสู่ค่าสูงสุด 180° ที่อยู่เหนือสุดของพิกัดการล็อกและถ้า ω_i เคลื่อนไปทางต่ำกว่า ω_0 มุมเฟสจะลดลงจาก 90° ไปสู่ค่า 0° ที่ล่างสุดของพิกัดการล็อก

สำนักหอสมุดกลาง พระจอมเกล้าลาดกระบัง

ถ้าความถี่ของสัญญาณอินพุตเปลี่ยนแปลงไปอย่างช้าๆ ระบบเฟสล็อกลูปจะสามารถติดตามการเปลี่ยนแปลงและอยู่ในสภาวะล็อกได้โดยจะเพิ่มค่า θ_c ให้มากขึ้นตามเวลา θ_c ที่เพิ่มขึ้นจะถูกเปลี่ยนไปเป็นไฟฟ้ากระแสตรง ความผิดพลาดของแรงดันไฟฟ้า V_d ไปทำให้ความถี่ของวงจรวีซีโอเลื่อนไปเท่ากับความถี่ของสัญญาณอินพุต โดย V_d จะมีค่าเป็นสัดส่วนโดยตรงกับผลต่างระหว่างความถี่สัญญาณอินพุต ω_i กับความถี่ฟรีรันนิ่ง ω_0 ของวงจรวีซีโอ แต่ถ้าจะสามารถแทรกกิ้งได้นั้นจะต้องมีความผิดพลาดเฟสน้อย

สมมติว่าระบบเฟสล็อกลูปมีเฟสอินพุตเปลี่ยนแปลงเป็นสเตปเท่ากับ $\Delta\omega = \omega_i - \omega_0$ ลูปต้องการควบคุมแรงดันเพื่อทำให้วงจรวีซีโอมีความถี่เลื่อนไปเท่ากับ $\Delta\omega$ ดังนั้น V_c จะมีค่าเป็น

$$V_C = \Delta\omega / K_o \tag{2.36}$$

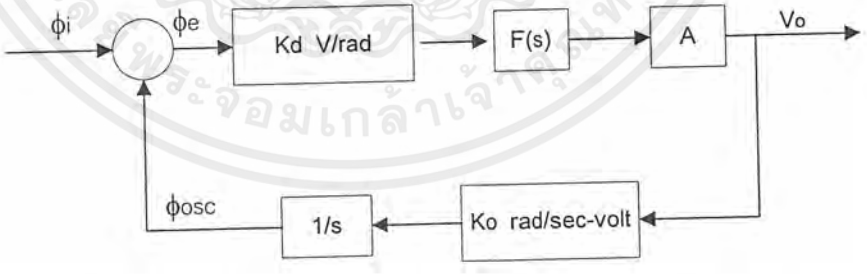
เมื่อลูปเข้าสู่สภาวะคงที่ $V_c = V_d F(s)$ เมื่อ F(s) คือ อัตราขยายต่อสัญญาณไฟฟ้ากระแสตรงของลูปฟิลเตอร์สัญญาณ V_c จะทำให้ลูปเข้าสู่สภาวะล็อกดังเดิม ดังนั้นความผิดพลาดเฟสจะต้องเป็น

$$\begin{aligned} \theta - \frac{\pi}{2} &= V_d K_d \\ &= \Delta\omega / K_o K_d F(s) \end{aligned} \tag{2.37}$$

เมื่อความผิดพลาดเฟสมีค่าเพิ่มขึ้นลูปจะสามารถปรับตัวเองให้มีความถี่เอาต์พุตแทรกตามการเปลี่ยนแปลงของอินพุตได้ดังเดิม

เมื่อระบบอยู่ในสภาวะล็อก เราสามารถจะวิเคราะห์ระบบเฟสล็อกลูปได้ในลักษณะระบบป้อนกลับที่เป็นเชิงเส้น โดยใช้เทคนิคการวิเคราะห์ระบบป้อนกลับแบบทั่วไปด้วยลาปลาซทรานส์ฟอร์ม และสมการดิฟเฟอเรนเชียล

2.4.2 การหาทรานส์เฟอร์ฟังก์ชันของระบบเฟสล็อกลูป



รูปที่ 2.10 บล็อกไดอะแกรมของทรานส์เฟอร์ฟังก์ชันของเฟสล็อกลูป

จากรูปที่ 2.10

K_d = ทรานส์เฟอร์ฟังก์ชันของเฟสดีเทคเตอร์

F(s) = ทรานส์เฟอร์ฟังก์ชันของลูปฟิลเตอร์

A = อัตราการขยายของวงจรขยายสัญญาณ

K_0 = ทรานส์เฟอร์ฟังก์ชันของวงจรออสซิลเลเตอร์ควบคุมความถี่ด้วยแรงดัน

42195

$$\omega = \frac{d\theta}{dt} \tag{2.38}$$

$$\theta = \int \omega \, dt \tag{2.39}$$

จาก

$$\omega = s\theta \tag{2.40}$$

และ

$$\theta = \frac{\omega}{s} \tag{2.41}$$

เนื่องจากเอาต์พุตของวงจรวีซีโอจะเป็นค่าความถี่ที่ขึ้นอยู่กับอินพุตที่เป็นสัญญาณไฟตรง แต่เราต้องการค่าเฟส ϕ_{osc} ฉะนั้นจึงต้องใส่บล็อก 1/s เพื่อเปลี่ยน ω_{osc} ให้เป็น ϕ_i

จากทรานส์เฟอร์ฟังก์ชัน $= \frac{A}{1+AF}$ (2.42)

เมื่อ A = อัตราการขยายไปข้างหน้า

F = อัตราการขยายป้อนกลับ

จากรูปที่ 2.10 ทรานส์เฟอร์ฟังก์ชัน คือ

$$\frac{V_o}{\phi_i} = \frac{K_d F(s) A}{1 + K_d F(s) A \frac{K_0}{s}} \tag{2.43}$$

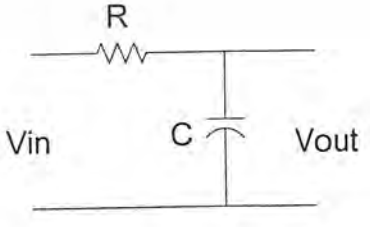
$$= \frac{s K_d F(s) A}{s + K_d F(s) A K_0} \tag{2.44}$$

โดยปกติเรามักจะให้ตัวแปรอินพุตเป็นความถี่มากกว่าเป็นเฟส จากสมการ (2.38) และ (2.39) เราจะได้ ทรานส์เฟอร์ฟังก์ชัน คือ

$$H(s) = \frac{V_o}{\omega_i} = \frac{V_o}{s\phi_i}$$

$$= \frac{K_d F(s) A}{s + K_d K_o A F(s)} \tag{2.45}$$

ถ้าวงจรฟิลเตอร์ที่ใช้เป็นดังรูปที่ 2.11



รูปที่ 2.11 วงจรฟิลเตอร์อย่างง่าย

จากรูปที่ 2.11

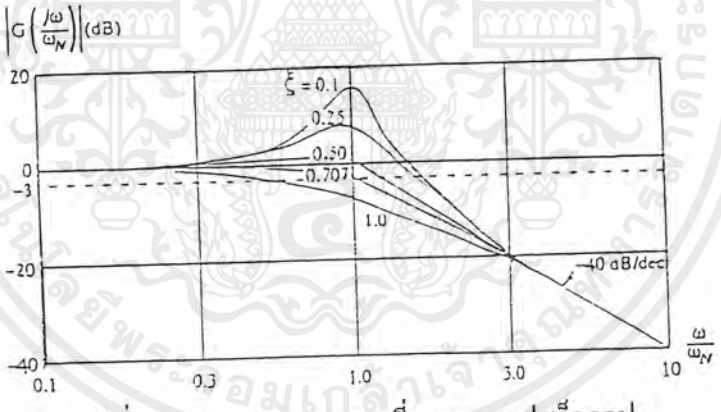
$$F(s) = \frac{V_o}{V_i}$$

$$= \frac{1}{1+sRC} \qquad (2.46)$$
$$= \frac{1}{1+s/\omega_i}$$

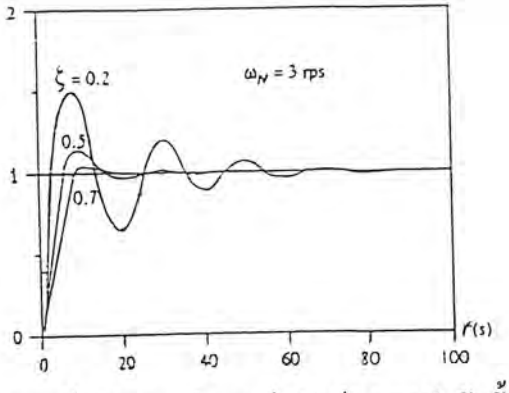
เมื่อ $\omega_1 = 1/RC$ แทนค่าสมการ (2.46) ลงในสมการ (2.45)

$$H(s) = \frac{V_0}{\omega_i} = \frac{1}{K_0}\left[\frac{1}{1+\frac{s}{K_v}+\frac{s^2}{\omega_1 K_v}}\right] \qquad (2.47)$$
$$= \frac{1}{K_o}\left[\frac{1}{\frac{s^2}{\omega_n^2}+\frac{2\xi s}{\omega_n}+1}\right]$$
$$\omega_n = \sqrt{K_v \omega_1}$$
$$\xi = \frac{1}{2}\sqrt{\frac{\omega_1}{K_v}} \qquad \text{เมื่อ } K_V = K_o K_d A$$

เราสามารถจะนำทรานส์เฟอร์ฟังก์ชัน H(s) นี้ไปหาผลตอบสนองของระบบได้ดังนี้



รูปที่ 2.12 ผลตอบสนองความถี่ของระบบเฟสล็อกลูป



รูปที่ 2.13 ผลตอบสนองเมื่อสัญญาณอินพุตเป็นฟังก์ชันแบบลำดับขั้น (Step Function)

จะสังเกตเห็นว่าหากแบนด์วิดท์ของลูปฟิลเตอร์ ω ลดลงหรือค่า K เพิ่มขึ้น ค่า ξ ของลูปลดลงผลตอบสนองทางความถี่ของลูปจะเป็นพีค และผลตอบสนองต่อสเตปของลูปในช่วงเริ่มต้นชั่วขณะจะเกิดการออสซิลเลต ค่าพีคในผลตอบสนองทางความถี่จะเป็นสาเหตุให้เกิดความผิดเพี้ยนในสัญญาณเอาต์พุต และเป็นสาเหตุให้เกิดการแกว่งหรือให้ผลตอบสนองที่เลวเมื่อลูปมีการรบกวนเกิดขึ้นชั่วขณะ การออกแบบระบบเฟสล็อกลูปให้มีคุณสมบัติการทำงานให้ดีที่สุดจึงควรกำหนดให้ ξ มีค่าเท่ากับ $1/\sqrt{2}$ จะได้

$$\omega = 2K_V \tag{2.48}$$

และความถี่ที่ดัทออฟ –3 dB แบนด์วิดท์ของลูปจะได้เป็น

$$\omega_n = \sqrt{K_V \omega_1} = \sqrt{2}K_V \tag{2.49}$$

วงจรเฟสล็อกลูปที่ใช้ในระบบสื่อสารทั่วไป จะต้องให้มีพิสัยการล็อกกว้าง เพื่อที่จะได้สามารถติดตามการเปลี่ยนแปลงความถี่ของสัญญาณอินพุตได้ช่วงกว้าง นอกนั้นก็ต้องการให้ระบบมีแบนด์วิดท์ของลูปแคบๆ เพื่อกำจัดสัญญาณที่อยู่นอกแบนด์

พิกัดความถี่ตลอดช่วงที่ระบบเฟสล็อกลูปสามารถดำรงการล็อกไว้ได้กับสัญญาณอินพุต เราเรียกว่า " พิสัยการล็อก " เราสามารถหาพิสัยการล็อกได้โดยพิจารณาจากสมการของความผิดพลาดเฟส ซึ่งเราพบว่าความผิดพลาดเฟสจะมีค่ามากที่สุดเท่ากับ π น้อยที่สุดเท่ากับศูนย์จะได้พิสัยการล็อก $\Delta\omega = \omega_i - \omega_0$ เท่ากับ

$$\Delta\omega = (\theta_e - \pi/2)K_0 K_d F(s) \tag{2.50}$$

แทนค่า $\theta_{e\max} = \pi$ และ $\theta_{e\min} = 0$

$$\Delta\omega = (\pm\pi/2)K_0 K_d F(s) \tag{2.51}$$

$$2\Delta\omega_L = \pm\pi K_0 K_d F(s)$$

เมื่อ $\Delta\omega_i$ คือ พิสัยการล็อก

เราจะสังเกตได้ว่า ถ้า ω_i เบี่ยงเบนไปจากความถี่ศูนย์กลาง ω_o มาก โดยมีค่าไม่สอดคล้องกับสมการที่ (2.51) สภาวะสมดุลของการซิงโครนัสจะไม่สามารถดำรงอยู่ต่อไปได้และลูปจะหลุดออกไปจากการล็อกกับความถี่ของสัญญาณอินพุต

การวิเคราะห์ถึงพิสัยการล็อกระบบต้องมีสภาวะเดิมล็อกอยู่กับความถี่อินพุตแล้ว แต่มีอีกอย่างที่เราควรพิจารณาเมื่ออยู่ในสภาวะที่ระบบยังไม่ล็อกกับสัญญาณอินพุตเพื่อกำหนดช่วงความถี่ ซึ่งระบบเฟสล็อกลูปสามารถล็อกกับสัญญาณอินพุตในช่วงความถี่ดังกล่าว ความถี่ช่วงนี้เราเรียกว่า พิสัยแคปเจอร์ ซึ่งจะสัมพันธ์กับค่าความถี่ดัทออฟของลูปฟิลเตอร์ ω_i และพิสัยล็อก $\Delta\omega_L$ จะได้พิสัยแคปเจอร์เท่ากับ

ในกรณีทั่วๆไป $\Delta\omega_L >> \omega_i$

$$\Delta\omega_c = \pm\sqrt{\omega_1 \Delta\omega_L} \tag{2.52}$$

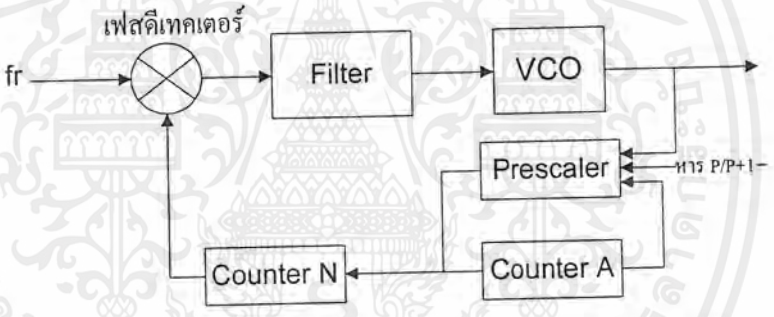
$$2\Delta\omega_c = 2\sqrt{\omega_1 \Delta\omega_L} \tag{2.53}$$

2.4.3 วงจรสังเคราะห์ความถี่เฟสล็อกลูปแบบพรีสเกลเลอร์สองโมดูลัส

วงจรสังเคราะห์ความถี่มีอยู่หลายแบบ ตัวอย่างที่จะกล่าวถึงต่อไปนี้เป็นวงจรสังเคราะห์ความถี่เฟสล็อกลูปแบบพรีสเกลเลอร์สองโมดูลัส ซึ่งมีขั้นการตั้งความถี่ขั้นละ f_R เท่ากับความถี่อ้างอิง วงจรเฟสล็อกลูปในรูปที่ 2.14 ใช้พรีสเกลเลอร์ซึ่งเป็นวงจรนับที่ตัวหารเปลี่ยนค่าได้ระหว่าง P กับ P+1 เราเรียกพรีสเกลเลอร์แบบนี้ว่า " พรีสเกลเลอร์แบบสองโมดูลัส " วงจรนับหาร N, ซึ่งโปรแกรมตัวหารได้นั้นทำงานที่ความถี่ต่ำ

เหตุผลที่ใช้พรีสเกลเลอร์แบบสองโมดูลัสก็เพื่อลดทอนความถี่ลงและ ให้ใช้กับวงจรหาร N ตระกูลทีทีแอลและซีมอสได้ ทำให้สามารถสังเคราะห์ความถี่ไปถึงย่านวีเอชเอฟ(VHF)และยูเอชเอฟ (UHF) ได้

ส่วนสำคัญของวงจรคือพรีสเกลเลอร์แบบสองโมดูลัส ซึ่งเป็นไอซีตระกูลอีซีแอล(ECL) มีความสามารถในการทำงานที่ความถี่สูง จะทำการหารล่วงหน้า (prescale) ก่อน และทำงานในลักษณะที่หารได้ 2 ค่าสลับกันในไอซีตัวเดียว โดยที่ตัวหารความถี่มีค่าต่างกันอยู่หนึ่ง คือ P และ P+1 เช่นหาร 64/65 เอาต์พุตของพรีสเกลเลอร์จะป้อนไปให้แก่วงจรเคาน์เตอร์ตระกูลทีทีแอล 2 ตัว ตัวหนึ่งเป็นเคาน์เตอร์หลัก (main counter) ส่วนอีกตัวหนึ่งเป็นเคาน์เตอร์เสริม



รูปที่2.14 วงจรสังเคราะห์ความถี่เฟสล็อกลูปแบบพรีสเกลเลอร์สองโมดูลัส

เคาน์เตอร์เสริมจะเป็นตัวบังคับให้พรีสเกลเลอร์หารด้วย P หรือ P+1 สมมติว่าป้อนข้อมูลหรือพรีเซตตัวเลขให้เคาน์เตอร์เสริม และในขณะนี้พรีสเกลเลอร์ให้ P+1 เป็นตัวหาร เคาน์เตอร์เสริมจะนับก่อน หลังลงไปเรื่อยๆ เคาน์เตอร์หลักจะนับถอยหลังไปพร้อม ๆ กับเคาน์เตอร์เสริมเมื่อเคาน์เตอร์เสริมหยุดนับจะส่งสัญญาณบังคับให้พรีสเกลเลอร์เปลี่ยนเป็นหารด้วย P และ เคาน์เตอร์หลักจะนับถอยหลังต่อไปจนเป็นศูนย์ เมื่อเคาน์เตอร์หลักและเคาน์เตอร์เสริมนับถึงศูนย์เมื่อใด ทั้งคู่จะถูกพรีเซตด้วยตัวเลขข้อมูล (ความถี่)ใหม่อีกครั้ง ดังนั้นตัวเลขที่พรีเซตให้เคาน์เตอร์เสริมจะต้องน้อยกว่าตัวเลขที่พรีเซตให้เคาน์เตอร์หลัก

สมมติตัวเลขที่พรีเซตให้เคาน์เตอร์หลักเป็น N และเคาน์เตอร์เสริมเป็น A เริ่มแรกให้พรีสเกลเลอร์อยู่ในสภาวะหาร P+1 ซึ่งจะยังคงหารด้วย P+1 ไปจนกว่าเคาน์เตอร์เสริมจะนับลงเป็นศูนย์ นั้นคือเวลาที่ในการนับของเคาน์เตอร์เสริมเป็นศูนย์คิดเป็น จำนวนไซเคิลของวีซีโอที่ผ่านไปเท่ากับ P+1 คูณด้วย A ไซเคิล

หลังจากนั้นพรีสเกลเลอร์จะถูกบังคับให้เปลี่ยนตัวหารเป็น P โดยสัญญาณบังคับจากเคาน์เตอร์ A ในขณะนี้เคาน์เตอร์หลักนับผ่านไปแล้ว A ยังเหลืออยู่ N-A นั้นคือต้องใช้เวลานับเคาน์เตอร์หลักคิดเป็นจำนวนไซเคิลของวีซีโอที่ผ่านไปเท่ากับ P คูณด้วย N-A

ดังนั้นรวมค่าตัวหารทั้งหมดจะได้เท่ากับ

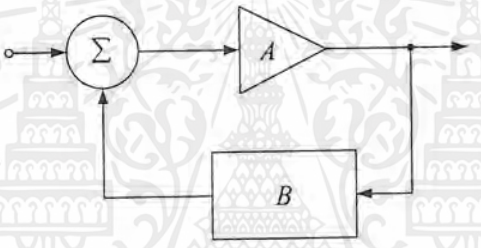
$$N_t = (P+1)A + P(N-A)$$
$$= PN + A \qquad (2.54)$$

ความถี่ของวีซีโอจะเท่ากับ PN+A เท่าของความถี่อ้างอิงหรือ

$$F_{SYNTH} = F_{REF}\ (PN+A) \qquad (2.55)$$

2.5 วงจรออสซิลเลเตอร์ที่ปรับค่าความถี่ตามแรงดัน (VCO: Voltage Controlled Oscillator)

การออกแบบวงจรออสซิลเลเตอร์อาศัยหลักการของการป้อนกลับแบบบวก (positive feedback) ตามบล็อกไดอะแกรมในรูปที่ 2.15



รูปที่ 2.15 บล็อกไดอะแกรมของระบบป้อนกลับแบบบวก
A คือ อัตราขยายของวงจรขยายในส่วนของฟอร์เวิร์ดพาท
B คือ อัตราขยายในส่วนของส่วนป้อนกลับ

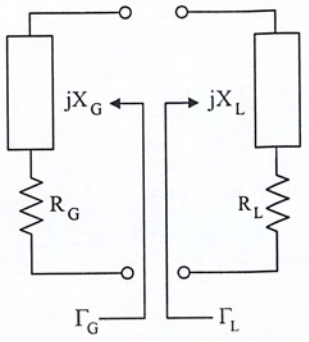
วงจรจะออสซิลเลตได้ก็ต่อเมื่อ (Barkhausen Criterion)

1. $|AB| = 1$ และ
2. $\angle AB = 360°$

ดังนั้น $A_{รวม} = \dfrac{A}{1-AB}$ จะมีค่า = 1 เมื่อเกิดการออสซิลเลต

วงจรขยาย (A) จะทำการขยายสัญญาณรบกวนซึ่งเป็นการเริ่มต้นให้วงจรเกิดการออสซิลเลตหลังจากนั้นความถี่ที่ถูกออสซิลเลตจะถูกเลือกโดยวงจรเรโซแนนซ์ซึ่งแบ่งออกได้เป็น 2 รูปแบบ คือ

เรโซแนนซ์แบบอนุกรม (Series Resonace)



รูปที่ 2.16 วงจรเรโซแนนซ์แบบอนุกรม

สำหรับช่วงเริ่มต้นของออสซิลเลเตอร์

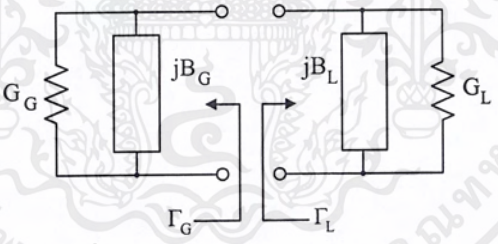
$|G_G| > G_L$ เมื่อ G_G มีค่าเป็นเนกาทีฟคอนดักแตนซ์ (Negative Conductance)

สำหรับช่วงเรโซแนนซ์หรือช่วงมีเสถียรภาพ

$$R_G + R_L = 0$$

$$X_G + X_L = 0$$

เรโซแนนซ์แบบขนาน (Parallel Resonance)



รูปที่ 2.17 วงจรเรโซแนนซ์แบบขนาน

สำหรับช่วงเริ่มต้นของออสซิลเลเตอร์

$|G_G| > G_L$ เมื่อ G_G มีค่าเป็นเนกาทีฟคอนดักแตนซ์ (Negative Conductance)

สำหรับช่วงเรโซแนนซ์หรือช่วงมีเสถียรภาพ

$$G_G + G_L = 0$$

$$B_G + B_L = 0$$

เรโซเนเตอร์

1. Lumped Element
2. Distributed Transmission Line
3. Cavity
4. Dielectric Resonator

5. YIG (ytrium Iron Garnet)

6. Varactor

เราต้องการวงจรที่มีการสูญเสียต่ำแต่มีค่า Q (Quality Factor) สูงๆ การออกแบบวงจรออสซิลเลเตอร์จะอาศัยหลักการของความต้านทานแบบลบ (Negative Resistance) มาอธิบายเพราะง่ายกว่า ตัวอย่างของวงจรที่จะยกตัวอย่างมาอธิบาย อาศัยการอธิบายในเชิงความต้านทานแบบลบเช่นเดียวกัน เริ่มต้นจาก

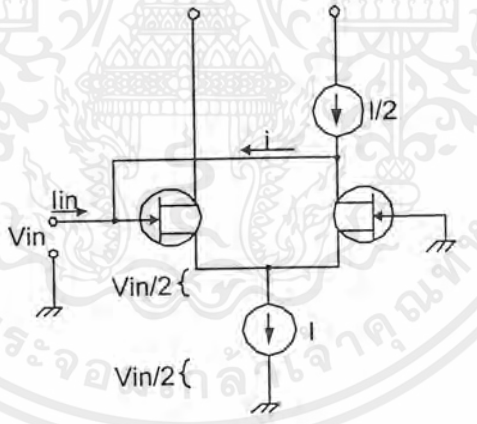
หาความต้านทานอินพุต

$$i = g_m \frac{V_i}{2}$$

เมื่อสมมติให้ ความต้านทานอินพุตของเฟตและกระแสคงที่ (Constant Current) มีค่ามากๆดังนั้น V ที่ตกคร่อม $V_{gs} \approx V_{in}/2$

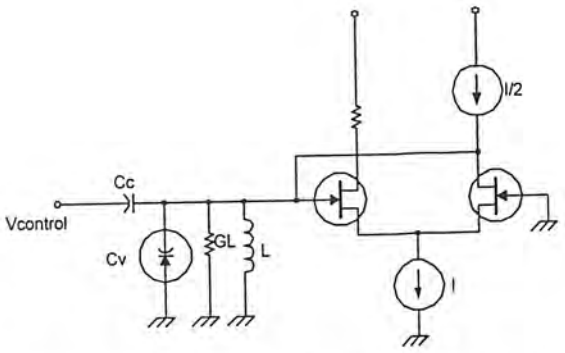
$$\frac{V_{in}}{i_{in}} = \frac{-2}{g_m}$$

$$R_{in} = \frac{-2}{g_m}$$



รูปที่2.18 วงจรออสซิลเลเตอร์ที่ใช้ดิฟเฟอเรนเชียลแอมฟลิฟายเออร์

ดังนั้นหากทำการใช้เรโซเนเตอร์ทางด้านอินพุตของออสซิลเลเตอร์ (V_{in})เพื่อเลือกความถี่ และ ใช้วาริแคปแทนตัวเก็บประจุ จะได้วงจรออสซิลเลเตอร์ที่ปรับความถี่ได้ตามแรงดัน (VCO) ตามรูปที่ 2.19 ไอซีสำเร็จรูปที่อาศัยองค์ประกอบภายในเป็นออสซิลเลเตอร์ประเภทนี้ เช่น MC1648 ทำงานได้ดีที่ความถี่น้อยกว่า 500 เมกะเฮิรตซ์



รูปที่ 2.19 วงจรออสซิลเลเตอร์ที่ปรับความถี่ได้ตามแรงดัน

เงื่อนไขการทำงานของวงจรประเภทนี้ คือ

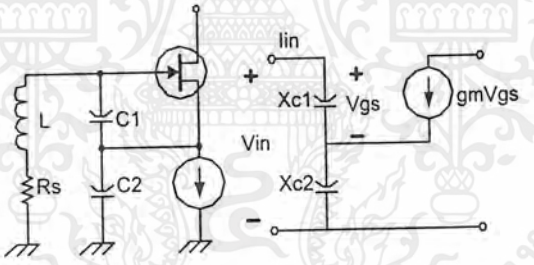
$$|G_G| > G_L$$

$$\frac{g_m}{2} > G_L$$

$$f = \frac{1}{2\pi\sqrt{LC}}$$

$$Q = \frac{R_L}{j\omega L} = R_L j\omega C$$

<u>เฟต (FET)</u>

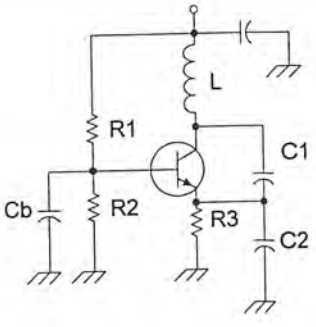


รูปที่ 2.20 วงจรออสซิลเลเตอร์แบบเฟต

$$V_{in} = i_{in}\left(X_{C1} + X_{C2}\right) + g_m V_{gs} X_{C2}$$

$$V_{gs} = V_{X_{c1}} = i_{in} X_{C1}$$

<u>วงจรออสซิลเลเตอร์แบบคอลพิทท์</u>



รูปที่ 2.21 วงจรออสซิลเลเตอร์แบบคอลพิทท์

อาศัยหลักการอธิบายเช่นเดียวกัน จะได้

$$f_o = \frac{1}{2\pi\sqrt{L[C_1C_2/(C_1+C_2)]}} \tag{2.56}$$

เมื่อ R_3 มากกว่า X_{C2} มากๆ

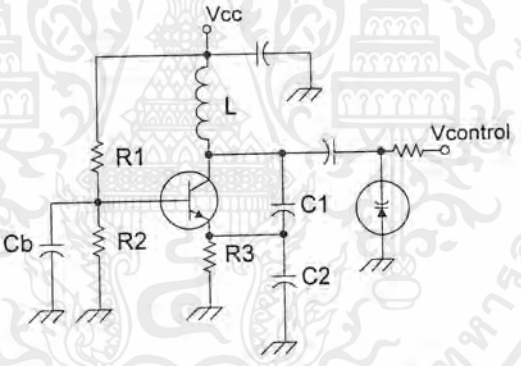
และ $$R_{in} = \frac{-g_m}{\omega^2 C_1 C_2}$$

เมื่อ $$g_m = \frac{I_C}{V_T} \qquad ; V_T \approx 25\ \text{mV} \qquad \text{ที่ } 25^\circ\text{C}$$

ดังนั้น

$$Z_{in} = \frac{-g_m}{\omega^2 C_1 C_2} + \frac{1}{j\omega[C_1C_2/(C_1+C_2)]} \tag{2.57}$$

หากต้องการทำออสซิลเลเตอร์ที่ปรับความถี่ได้โดยใช้แรงดัน สามารถใช้วาริแคปในการทำงาน โดยวงจรจะอยู่ในรูปแบบของวงจรในรูปที่ 2.22 โดยมีตัวเก็บประจุทำหน้าที่บล็อกกระแสไปตรงดังนั้น จึงต้องมีค่ามากๆ ที่ความถี่สูงๆ อาจมากกว่า 0.1 ไมโครฟารัด



รูปที่ 2.22 วงจรออสซิลเลเตอร์แบบคอลพิทท์ปรับค่าได้ตามแรงดัน

ดังนั้นความถี่ที่กำเนิดได้ คือ

$$f_o = \frac{1}{2\pi\sqrt{L\left[\left(\frac{C_1C_2}{C_1+C_2}\right)\|C_v\right]}} \tag{2.58}$$

เอาต์พุตสามารถเหนี่ยวนำกระแสที่ขดลวดเหนี่ยวนำไปใช้งานได้ หรืออาจดึงจากขาคอลเลกเตอร์ได้แต่ต้องระวังค่าตัวต้านทานด้วย มิฉะนั้นวงจรอาจไม่เกิดการออสซิลเลตได้ เนื่องจากค่าความต้านทานแบบลบ (Negative Resistance) น้อยกว่าความต้านทานแบบบวก (Positive Resistance) และที่สำคัญ Q และ L ควรมีค่ามากๆ เพื่อไม่ให้มีการสูญเสียของวงจรมากอาจเป็นสาเหตุให้ไม่เกิดการออสซิลเลตได้เช่นเดียวกัน

2.6 วงจรขยายสัญญาณอาร์เอฟขนาดเล็ก (Small Signal RF Amplifier)

2.6.1 การไบอัสทรานซิสเตอร์

คุณลักษณะภายในตัวทรานซิสเตอร์ที่อาจเปลี่ยนได้ตามอุณหภูมิคือ ΔV_{BE} และ $\Delta\beta$ จุดประสงค์ที่สำคัญในการไบอัสก็คือการลดอิทธิพลของอุณหภูมิที่มีผลต่อพารามิเตอร์ที่กล่าวไป

เนื่องจากการเพิ่มขึ้นของอุณหภูมิทำให้ V_{BE} ของทรานซิสเตอร์ลดลงในอัตราประมาณ 2.5 $mV/°C$ จากอุณหภูมิห้องปกติคือ 0.7 V และเนื่องจาก V_{BE} ลดลงทำให้ I_C เพิ่มขึ้นและจะมีผลต่อค่าที่เราออกแบบไว้ (ค่าที่เรากำหนดตอนออกแบบคือ I_C และ V_{CE}) นี่คือสิ่งที่เราจะต้องป้องกันมิให้เกิดขึ้น โวลท์เตจที่เปลี่ยนแปลงซึ่งขึ้นกับอุณหภูมินี้เราเรียกว่า ΔV_{BE} สิ่งที่เราจะนำมาลดผลกระทบของ ΔV_{BE} ก็คือ V_E

การลดลงของ V_{BE} ซึ่งเกิดจากอุณหภูมิจะทำให้กระแสอีมิตเตอร์เพิ่มขึ้น V_E จึงเพิ่มขึ้นด้วย การเพิ่มขึ้นของ V_E จะทำให้เกิดการป้อนกลับแบบลบทำให้เกิดรีเวิร์สไบอัสที่รอยต่อของเบส–อีมิตเตอร์ ดังนั้นกระแสคอลเลกเตอร์จึงลดลง และเนื่องจากการลดลงของ V_{BE} จะถูกขัดขวางโดยการเพิ่มขึ้นของ V_E ดังนั้นกระแสคอลเลกเตอร์จะเพิ่มขึ้นไม่มาก พิจารณาจากสมการ

$$\Delta I_C \approx -\frac{\Delta V_{BE} I_C}{V_E}$$

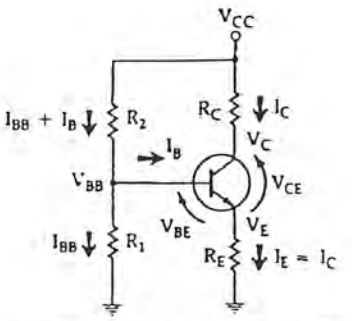
โดยที่ ΔI_C คือ การเปลี่ยนแปลงของกระแสคอลเลกเตอร์

I_C คือ กระแสคอลเลกเตอร์ที่ไม่มีการเปลี่ยนแปลง

ΔV_{BE} คือ การเปลี่ยนแปลงของโวลท์เตจเบส–อีมิตเตอร์

V_E คือ โวลท์เตจอีมิตเตอร์ที่ไม่มีการเปลี่ยนแปลง

ถ้าหากเราออกแบบให้ V_E เป็น 20 เท่าของ ΔV_{BE} กระแสคอลเลกเตอร์จะเปลี่ยนแปลงเพียงแค่ 5% V_E ค่ามากกว่านี้ก็จะดีกว่าถ้าหากการออกแบบไม่ต้องคำนึงถึงจุดไบอัสที่เจาะจง แต่สิ่งที่เราต้องพิจารณาร่วมด้วยก็คือ ค่า V_E ที่มากจะทำให้สูญเสียกำลังงานมาก และยังทำให้เกนของสัญญาณกระแสสลับลดลง เพื่อไม่ให้เกนต่ำลงสามารถใช้ตัวเก็บประจุบายพาสคร่อม R_E แต่ว่าการสูญเสียกำลังงานก็ยังคงมีอยู่ โดยทั่วไปสมมุติให้วงจรขยายทำงานในที่อุณหภูมิเปลี่ยนแปลงไม่เกิน $\pm 50\,°C$ เราจะได้ค่า V_E เท่ากับ 2.5 V ซึ่งจะให้ I_C เปลี่ยนแปลงเพียง $\pm 5\%$



รูปที่ 2.23 ตัวอย่างวงจรไบอัสทรานซิสเตอร์

2.6.2 การคำนวณวงจรขยายโดยใช้เอสพารามิเตอร์ (S Parameter)

ค่าของเอสพารามิเตอร์ที่ใช้ในการคำนวณสามารถหาได้จากดาต้าชีทของทรานซิสเตอร์ที่ใช้จากจุดไบอัสที่เราออกแบบไว้

2.6.2.1 เสถียรภาพ (Stability)

ในการคำนวณเสถียรภาพของทรานซิสเตอร์ด้วยเอสพารามิเตอร์ขั้นแรกต้องคำนวณหาปริมาณ D_S:

$$D_S = S_{11}S_{22} - S_{12}S_{21} \tag{2.59}$$

ค่าของเสถียรภาพ (K) หาได้จาก

$$K = \frac{1+|D_S|^2-|S_{11}|^2-|S_{22}|^2}{2\cdot|S_{21}|\cdot|S_{12}|} \tag{2.60}$$

ถ้าค่า K มากกว่า 1 ทรานซิสเตอร์จะอยู่ในสภาวะอันคอนชั่นแนลลี่สเตเบิล (uncontionally stable) หมายความว่า ทรานซิสเตอร์จะมีเสถียรภาพทุกๆค่าอิมพีแดนซ์ของซอร์สและโหลด

ถ้าค่า K น้อยกว่า 1 ทรานซิสเตอร์จะอยู่ในสภาวะโพเทนเชี่ยลลี่อันสเตเบิล (potentially unstable) หมายความว่า จะมีบางค่าของซอร์สและโหลดอิมพีแดนซ์ที่ทำให้วงจรขยายเกิดการออสซิลเลต แต่ไม่ได้หมายความว่าจะใช้ทรานซิสเตอร์ไม่ได้เพียงแต่ต้องใช้ความระมัดระวังในการออกแบบ มีหลายวิธีเช่น เลือกจุดไบอัสทรานซิสเตอร์ใหม่ , ใช้ทรานซิสเตอร์ตัวอื่น เป็นต้น

2.6.2.2 อัตราขยายสูงสุดที่จะหาได้ (Maximum Available Gain : MAG)

เป็นเกนสูงสุดที่สามารถขยายได้ สามารถหาได้โดย

$$\text{MAG} = 10\log\left|\frac{S_{21}}{S_{12}}\right| \quad (\text{dB}) \tag{2.61}$$

ในการหา MAG ค่า K ต้องมีค่ามากกว่า 1 มิฉะนั้นจะไม่สามารถหาค่าได้

2.6.2.3 ซิมัลทาเนียสคอนจูเกทแมตช์ (Simultaneous Conjugate Match)

เป็นการหาค่าสัมประสิทธิ์การสะท้อนโหลด–ซอร์สของวงจรขยาย (load–source reflection coefficient) เพื่อใช้ในการแมตชิ่งอิมพีแดนซ์กับวงจรอื่น ๆ ซึ่งคำนวณตามขั้นตอนดังนี้

1) หาค่า C_2 : $C_2 = S_{22} - (D_S S_{11}^*)$

2) หาค่า B_2 : $B_2 = 1 + |S_{22}|^2 - |S_{11}|^2 - |D_S|^2$

3) เราจะได้ค่าขนาด (Magnitude) ของสัมประสิทธิ์การสะท้อนของโหลดจาก

$$|\Gamma_L| = \frac{B_2 \pm \sqrt{B_2^{\,2} - 4|C_2|^2}}{2|C_2|}$$

- จะใช้เครื่องหมาย + หรือ – พิจารณาโดยใช้ค่าตรงกันข้ามกับเครื่องหมายของ B_2

-มุมของสัมประสิทธิ์การสะท้อนของโหลดจะใช้ค่าของมุมของ C_2 โดยใช้เครื่องหมายตรงกันข้าม

2.6.2.4 สัมประสิทธิ์การสะท้อนของซอร์ส (Source Reflection Coefficient)

$$\Gamma_S = \left[S_{11} + \frac{S_{12}S_{21}\Gamma_L}{1-(\Gamma_L \cdot S_{22})} \right]^* \tag{2.62}$$

นำค่า Γ_S ที่ได้ไปหาอินพุตอิมพีแดนซ์และ Γ_L ไปหาเอาต์พุตอิมพีแดนซ์เพื่อนำไปสร้างวงจรแมตชิ่งอิมพีแดนซ์

โดยอินพุตอิมพีแดนซ์หาจาก

$$Z_{in} = Z_S \times 50 \tag{2.63}$$

โดย
$$Z_S = \left[\frac{1+\Gamma_S}{1-\Gamma_S} \right] \tag{2.64}$$

และเอาต์พุตอิมพีแดนซ์หาจาก

$$Z_{out} = Z_L \times 50 \tag{2.65}$$

โดย
$$Z_L = \left[\frac{1+\Gamma_L}{1-\Gamma_L} \right] \tag{2.66}$$

2.6.2.5 การคำนวณโดยกำหนดค่าเกนใดๆ (Design for a Specified Gain)

เป็นการออกแบบโดยกำหนดค่าเกนใด ๆ ซึ่งคำนวณโดยการหาวงกลมซึ่งมีเกนคงที่ (a constant gain circle) โดยพล็อตลงบนสมิดชาร์ทซึ่งสามารถคำนวณได้จาก

1. หาค่า D_S :

$$D_S = S_{11}S_{22} - S_{12}S_{21}$$

2. หาค่า D_2 :

$$D_2 = |S_{22}|^2 - |D_S|^2$$

3. หาค่า C_2 :

$$C_2 = S_{22} - D_S S_{11}^*$$

4. หาค่า G :

$$G = \frac{Gain\ desired\ (absolute)}{|S_{21}|^2} \tag{2.67}$$

5. จุดศูนย์กลางของวงกลมซึ่งมีเกนคงที่คือ

$$r_o = \frac{GC_2^*}{1+D_2G} \tag{2.68}$$

6. รัศมีของวงกลมที่มีเกนคงที่คือ

$$p_o = \frac{\sqrt{1-2K|S_{12}S_{21}|G+|S_{12}S_{21}|^2 G^2}}{1+D_2G} \tag{2.69}$$

นำค่าที่ได้ไปวาดวงกลมลงบนสมิตชาร์ทซึ่งค่าของเอาต์พุตอิมพีแดนซ์ที่จะทำให้ได้เกนตามต้องการจะต้องอยู่บนเส้นรอบวงของวงกลมนี้เท่านั้น เมื่อได้ค่าของ Γ_L แล้วก็จะได้ค่า Γ_S ซึ่งนำค่าต่างที่ได้นี้ไปสร้างวงจรแมตชิ่งอิมพีแดนซ์ต่อไป

2.6.2.6 วงกลมเสถียรภาพ (Stability Circles)

ในการคำนวณทรานซิสเตอร์ซึ่งอยู่ในสภาวะโพเทนเชียลอินสเตบิลิตี้ (ค่า K น้อยกว่า 1) จำเป็นต้องหาวงกลมเสถียรภาพของอินพุต (input stability circle) และวงกลมเสถียรภาพของเอาต์พุต (output stability circle)เพื่อใช้ในการหาเลือกค่า Γ_S และ Γ_L ที่เหมาะสมต่อไปขั้นตอนการหาค่าวงกลมเสถียรภาพมีดังนี้

1. หาค่า D_S
2. หาค่า C_1 :

$$C_1 = S_{11} - D_S S_{22}^* \tag{2.70}$$

3. หาค่า C_2 :

$$C_2 = S_{22} - D_S S_{11}^* \tag{2.71}$$

4. หาจุดศูนย์กลางของวงกลมเสถียรภาพของอินพุต

$$r_{S1} = \frac{C_1^*}{|S_{11}|^2 - |D_S|^2} \tag{2.72}$$

5. หารัศมีของวงกลมเสถียรภาพของอินพุต

$$p_{S1} = \left| \frac{S_{12}S_{21}}{|S_{11}|^2 - |D_S|^2} \right| \tag{2.73}$$

6. หาจุดศูนย์กลางของวงกลมเสถียรภาพของเอาต์พุต

$$r_{S2} = \frac{C_2^*}{|S_{22}|^2 - |D_S|^2} \tag{2.74}$$

7. หารัศมีของวงกลมเสถียรภาพของเอาต์พุต

$$p_{S2} = \left| \frac{S_{12}S_{21}}{|S_{22}|^2 - |D_S|^2} \right| \tag{2.75}$$

2.6.3 อิมพีแดนซ์แมตชิ่ง (Impedance Matching)

เมื่อเราคำนวณได้ค่าอินพุตอิมพีแดนซ์และเอาต์พุตอิมพีแดนซ์แล้ว เราต้องคำนวณวงจรแมตชิ่งอิมพีแดนซ์เพื่อให้ได้การส่งกำลังงานที่มากที่สุด (Maximum power transfer) เราสามารถคำนวณได้จากสมการ

$$Q_S = Q_P = \sqrt{\frac{R_P}{R_S} - 1} \tag{2.76}$$

$$Q_S = \frac{X_S}{R_S} \tag{2.77}$$

$$Q_P = \frac{R_P}{X_P} \tag{2.78}$$

โดยที่ Q_S คือ ค่า Q ของส่วนอนุกรม

Q_P คือ ค่า Q ของส่วนขนาน

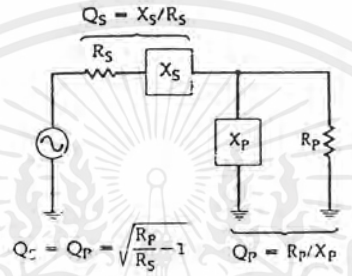
R_P คือ ค่าของความต้านทานที่นำมาขนาน

X_P คือ ค่ารีแอกแตนซ์ที่นำมาขนาน

R_S คือ ค่าของความต้านทานที่นำมาอนุกรม

X_S คือ ค่ารีแอกแตนซ์ที่นำมาอนุกรม

ซึ่งค่าของ X_P และ X_S อาจเป็นได้ทั้งแคปาซิทีฟและอินดักทีฟ



รูปที่ 2.24 การแมตชิ่งอิมพีแดนซ์

ตัวอย่าง ออกแบบวงจรแมตชิ่งอิมพีแดนซ์ระหว่างความต้านทานของซอร์ส 100 โอห์ม กับความต้านทานของโหลด 1000 โอห์ม ที่ความถี่ 100 เมกะเฮิรตซ์

วิธีทำ

$$Q_S = Q_P = \sqrt{\frac{1000}{100} - 1} = \sqrt{9} = 3$$

จากสมการ $Q_S = \dfrac{X_S}{R_S}$

$$X_S = Q_S R_S \quad = 300\ \Omega$$

จากสมการ $Q_P = \dfrac{R_P}{X_P}$

$$X_P = \frac{R_P}{Q_P} \quad = 333\ \Omega$$

เราเลือกให้ X_S เป็นอินดักทีฟและ X_P เป็นแคปาซิทีฟเนื่องจากคำนวณที่ 100 เมกะเฮิรตซ์ จะได้ :

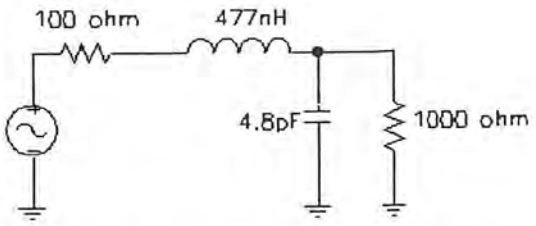
$$L = \frac{X_S}{\omega} = \frac{300}{2\pi\left(100 \times 10^6\right)}$$

$$= 477\ \text{nH}$$

$$C = \frac{1}{\omega X_P} = \frac{1}{2\pi\left(100 \times 10^6\right)(333)}$$

$$= 4.8\ \text{pF}$$

นำค่าต่างๆ ที่ได้ไปสร้างวงจรดังรูปที่ 2.25



รูปที่ 2.25 วงจรแมตชิ่งอิมพีแดนซ์จากตัวอย่าง

2.7 วงจรกรองความถี่

2.7.1 วงจรกรองความถี่แบบบัตเทอร์เวิร์ท (Butterworth)

วงจรกรองความถี่แบบบัตเทอร์เวิร์ทนี้ ออกแบบโดยมุ่งหวังให้มีคุณสมบัติตอบสนองทางความถี่ที่ราบเรียบ โดยเลือกค่า Q ได้พอสมควร ค่าการสูญเสียในวงจรกรองความถี่แบบนี้หาได้จากสมการดังนี้

$$A_{bd} = 10 \log [1+(\omega/\omega_c)^{2n}] \quad (2.79)$$

โดยที่ ω = ความถี่ที่ต้องการทราบค่าการสูญเสียของสัญญาณ

ω_c = ความถี่จุดตัดของความถี่ตอบสนองคิดที่ -3 dB

n = จำนวนอินดักเตอร์และคาปาซิเตอร์

ในวงจรกรองความถี่แบบบัตเทอร์เวิร์ท เมื่อทำการนอร์แมลไลซ์ จะได้

$$A_k = 2 \sin [(2k-1)\pi/2n]$$

โดยที่ A_k = ค่าของรีแอกแทนซ์ที่แต่ละค่าของ k

n = จำนวนของอินดักเตอร์และคาปาซิเตอร์

ค่าของ A_k หาได้ตามตารางที่ 2.6

n	C1	L2	C3	L4	C5	L6	C7
2	1.414	1.414					
3	1.000	2.000	1.000				
4	0.765	1.848	1.848	0.765			
5	0.618	1.618	2.000	1.618	0.618		
6	0.518	1.414	1.932	1.932	1.414	0.518	
7	0.445	1.247	1.802	2.000	1.802	1.247	0.445
n	L1	C2	L3	C4	L5	C6	L7

ตารางที่ 2.6 แสดงค่า A_k

2.7.2 วงจรกรองความถี่แบบเชบีเชฟ (Chebychev)

วงจรกรองความถี่แบบเชบีเชฟเป็นการออกแบบให้ได้ค่า Q สูงๆ ทำให้ผลของการตอบสนองมีค่าไม่เรียบ แต่มีความชันของความถี่ตอบสนองช่วงสต๊อปแบนด์ชันขึ้น ค่าการสูญเสียของวงจรกรองความถี่แบบนี้สามารถหาได้ตามสมการที่ 2.85

$$A_{bd} = 10 \log [1+e^2 C_n^2(\omega/\omega_C)] \quad (2.80)$$

โดยที่ค่า $C_n(\omega/\omega_C)$ เป็นค่าของโพลีโนเมียลที่ลำดับ n

ค่าของโพลีโนเมียลของวงจรกรองความถี่แบบเชบีเชฟ ดูได้จากตารางที่ 2.7

n	โพลิโนเมียลของวงจรเชบีเชฟ
1	(ω/ω_C)
2	$2(\omega/\omega_C)^2 - 1$
3	$4(\omega/\omega_C)^3 - 3(\omega/\omega_C)$
4	$8(\omega/\omega_C)^4 - 8(\omega/\omega_C)^2 + 1$
5	$16(\omega/\omega_C)^5 - 20(\omega/\omega_C)^3 + 5(\omega/\omega_C)$
6	$32(\omega/\omega_C)^6 - 48(\omega/\omega_C)^4 + 18(\omega/\omega_C)^2 - 1$
7	$64(\omega/\omega_C)^7 - 112(\omega/\omega_C)^5 + 56(\omega/\omega_C)^3 - 7(\omega/\omega_C)$

ตารางที่ 2.7 แสดงค่าโพลีโนเมียลของวงจรเชบีเชฟ 7 ค่าแรกของ n

ค่าของ ε หาได้จากสมการที่ 2.86

$$\varepsilon = 10^{R(dB)/10} - 1 \quad (2.81)$$

โดยที่ R(dB) = ค่าริบเปิลในแบนด์หน่วยเป็นเดซิเบล

(ω/ω_C) = (ω/ω_C) cosh B

cosh = ไฮเปอร์โบลิคของ cos

cosh X = $0.5 (e^X + e^{-X})$

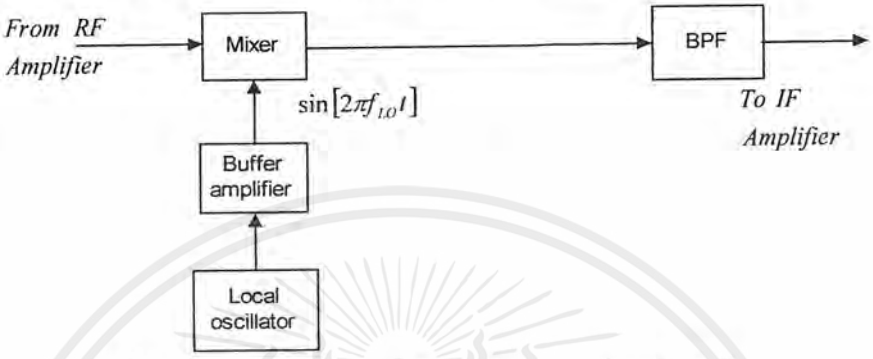
$\cosh^{-1} X$ = $\ln (X^2 - 1)$

ค่าของ B = $1/n \cosh^{-1} (1/\varepsilon)$

2.8 วงจรมิกเซอร์

วงจรมิกเซอร์เป็นวงจรสำคัญที่นิยมใช้กันมากในวงจรเครื่องรับเครื่องเครื่องส่งวิทยุ จุดประสงค์ของภาคมิกเซอร์นี้ใช้เพื่อทำการแปลงความถี่ลง (down converter) 0kdความถี่วิทยุที่รับเข้ามาให้เป็นความถี่กลาง (Intermediate frequency : IF)

$$V_{out} = [\sin(2\pi f_{RF}t) \bullet \sin(2\pi f_{LO}t)] = (1/2)\cos[2\pi(f_{RF} - f_{LO})t] - (1/2)\cos[2\pi(f_{RF} + f_{LO})t]$$



รูปที่ 2.26 บล็อกไดอะแกรมหลักการทำงานของวงจรมิกเซอร์

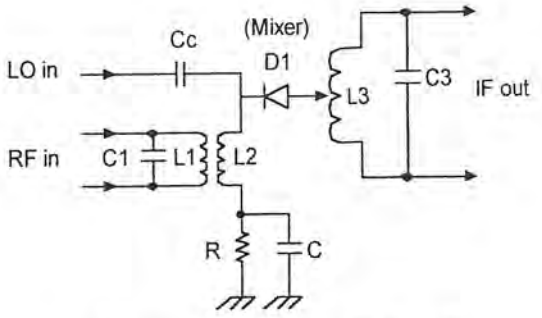
หลักการทำงานของวงจรมิกเซอร์เป็นดังรูปที่ 2.26 สัญญาณความถี่วิทยุ (RF:Radio Frequency) จะถูกผสม(mix)เข้ากับสัญญาณความถี่โลคอลออสซิลเลเตอร์ (Local Oscillator Frequency) ด้วยอุปกรณ์ไม่เชิงเส้น ซึ่งจริงๆแล้ววงจรมิกเซอร์ก็คือวงจรขยายสัญญาณแบบไม่เชิงเส้น และมีทำงานคล้ายกับวงจรมอดูเลเตอร์ เพียงแต่สัญญาณเอาต์พุตของวงจรบาลานซ์มิกเซอร์ที่ได้จะเป็นความถี่ผลต่างระหว่างความถี่วิทยุและความถี่โลคอลออสซิลเลเตอร์ ซึ่งแสดงได้โดยสมการคณิตศาสตร์ดังนี้

$$V_{out} = (\sin 2\pi f_{RF}t)(\sin 2\pi f_{LO}t) \tag{2.82}$$

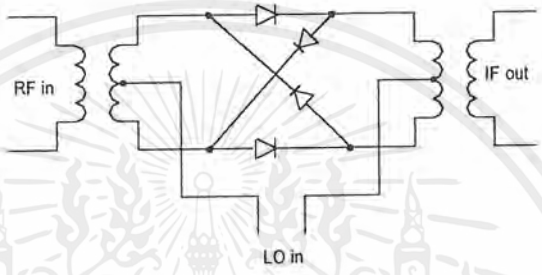
สามารถแปลงสมการโดยใช้ฟังก์ชันตรีโกณมิติ จะได้สัญญาณเอาต์พุตของมิกเซอร์เป็นดังนี้

$$V_{out} = 1/2\cos[2\pi(f_{RF} - f_{LO})t] - 1/2\cos[2\pi(f_{RF} + f_{LO})t] \tag{2.83}$$

ค่า ($f_{RF} - f_{LO}$) คือ ค่าความถี่กลาง(Intermediate frequency : IF) ออกแบบวงจรมิกเซอร์นิยมใช้อุปกรณ์ไม่เชิงเส้น เช่นทรานซิสเตอร์ หรือเฟตมากกว่าไดโอด เพราะวงจรแบบนี้จะสามารถขยายสัญญาณไปในตัวด้วย แต่วงจรมิกเซอร์แบบไดโอดสัญญาณเอาต์พุตจริง ที่ได้จากวงจรมิกเซอร์เป็นความถี่แบบครอสโปรดัก (cross product) ซึ่งจะมีค่าความสูญเสียสุทธิ (net loss) ต่อสัญญาณเรียกว่า การสูญเสียคอนเวอชั่น (conversion loss) เพราะเกิดการเปลี่ยนแปลงความถี่ขึ้น และในขณะเดียวกันแอมปลิจูดของสัญญาณกลางจะต่ำกว่าสัญญาณความถี่วิทยุโดยทั่วไปค่าการสูญเสียคอนเวอชั่นจะมีค่าเท่ากับ 6 dB ตัวอย่างเช่น วงจรมิกเซอร์แบบไดโอดเดี่ยว (single-diode) ดังในรูปที่ 2.27 วงจรมิกเซอร์อีกแบบหนึ่งที่นิยมใช้กันมากคือ วงจรบาลานซ์ไดโอดมิกเซอร์ ดังในรูปที่ 2.28 ซึ่งมีการใช้งานอย่างกว้างขวางในเครื่องรับส่งแบบเอฟเอ็มและเอเอ็มบางที่อาจเรียกว่า บาลานซ์มอดูเลเตอร์ (balanced modulators) หรือโปรดักดีเทกเตอร์ (product detector) เนื่องจากว่าวงจรบาลานซ์มิกเซอร์มีข้อได้เปรียบกว่าวงจรมิกเซอร์ชนิดอื่น คือ ลดทอนสัญญาณรบกวน (noise reduction) และกำจัดคลื่นพาห์ทิ้งไปได้ (carrier suppression)



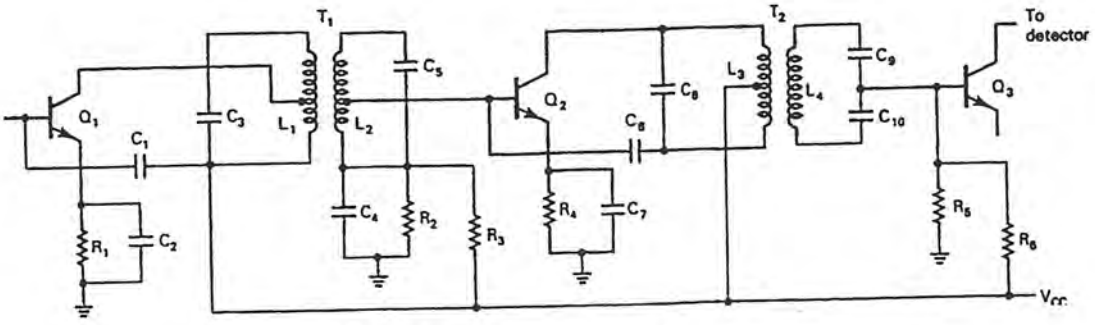
รูปที่ 2.27 วงจรมิกเซอร์แบบไดโอดเดี่ยว



รูปที่ 2.28 วงจรบาลานซ์ไดโอดมิกเซอร์

2.9 วงจรขยายสัญญาณความถี่กลาง (IF Amplifier)

วงจรขยายสัญญาณความถี่กลางเป็นวงจรขยายที่มีอัตราขยายสูงโดยมีวงจรที่ทำหน้าที่จูนความถี่ให้ตรงกับความถี่กลาง วงจรขยายสัญญาณความถี่กลางมีลักษณะคล้ายกับวงจรขยายสัญญาณวิทยุ (RF Amplifier) แตกต่างกันตรงที่วงจรขยายประเภทนี้จะทำงานในช่วงแบนด์วิดท์แคบๆ และที่ความถี่กลางเท่านั้น (10.7 MHz) การออกแบบวงจรขยายสัญญาณความถี่กลางทำได้ง่ายกว่าวงจรขยายสัญญาณวิทยุเนื่องจากความถี่ที่ต่ำกว่า จึงมีเสถียรภาพที่ดีกว่าและปราศจากการแพร่กระจายของคลื่นเนื่องจากวงจรขยายสัญญาณความถี่กลางมีความถี่ที่ทำงานแน่นอนดังนั้นวงจรขยายจะอาศัยการคัปปลิ้งของตัวเหนี่ยวนำโดยใช้การปรับจูนความถี่ 2 ครั้ง (Double – tuned circuit) ดังนั้นวงจรขยายสัญญาณที่ได้จะมีผลตอบสนองความถี่ที่ดีคือ มีshape factorและความไว(sensitivity)ที่ดีกว่า วงจรของภาครับส่วนใหญ่ตัวที่กำหนดอัตราขยายและความไวของเครื่องรับ (sensitivity) คือ วงจรขยายสัญญาณความถี่กลางนี้เอง วงจรขยายสัญญาณความถี่กลางอาจประกอบด้วยวงจรขยาย 2 – 5 ตัวต่ออนุกรมกัน ตามรูปที่ 1 แสดงวงจรขยายสัญญาณ IF ประกอบด้วยวงจรขยายย่อยๆ 3 สเตจด้วยกัน T_1 และ T_2 เป็นหม้อแปลง 2 ด้าน ส่วน L_1, L_2 และ L_3 ถูกแท็ป กลางเพื่อลดผลของโหลด ขาเบสของ Q_3 ต่อกับตัวเก็บประจุ C_9 และ C_{10}

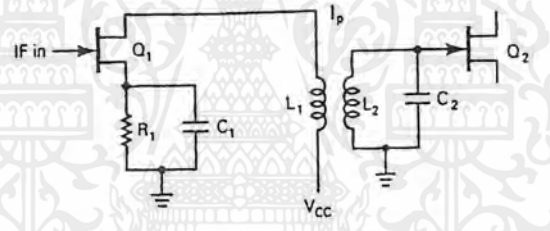


รูปที่ 2.29 วงจรขยายความถี่กลาง

เทคนิคที่ใช้ในการสร้างวงจรขยายสัญญาณความถี่กึ่งกลาง

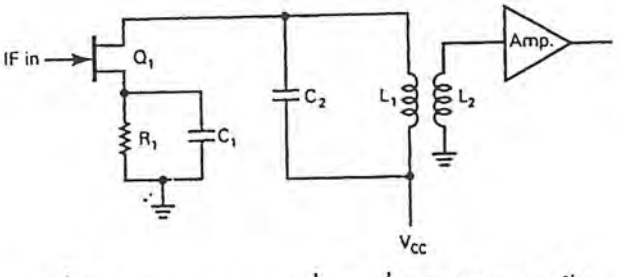
เทคนิคของ Inductive Coupling เทคนิคนี้อาศัยการถ่ายเทฟลักซ์แม่เหล็กจากด้านอินพุตของหม้อแปลงไปยังด้านเอาท์พุตด้วยอัตราส่วนการพันหม้อแปลงด้านปฐมภูมิและทุติยภูมิ (Turn Ratio) แยกได้เป็น 2 ประเภทคือ

1) ซิงเกิลจูนทรานส์ฟอเมอร์ (Single – Turned Transformer) วงจรที่ประกอบด้วยหม้อแปลง 1 ตัว แสดงในรูปที่ 2.30 ผลตอบสนองทางความถี่ที่ได้เป็นตามรูปที่ 2.31 ส่วนในรูปที่ 2.32 เป็นวงจรขยายความถี่กลางที่ทำการปรับจูนเฉพาะด้านอินพุต (primary) เท่านั้น



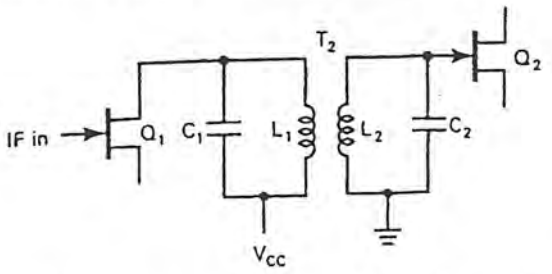
รูปที่ 2.30 Single – Tuned Transformer

รูปที่ 2.31 ผลตอบสนองทางความถี่ของวงจรขยายความถี่กลาง

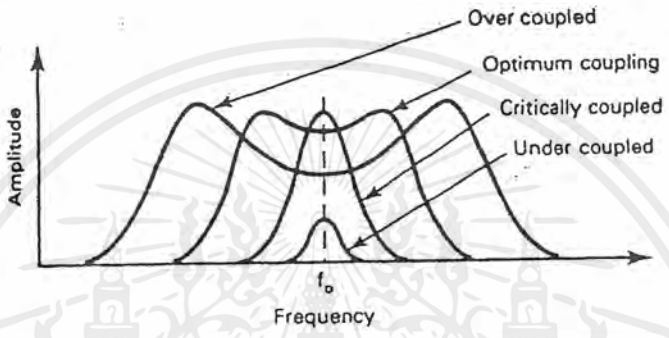


รูปที่ 2.32 วงจรขยายความถี่กลางที่มีการปรับจูน 1 ด้าน

2) ดับเบิลจูนทรานส์ฟอเมอร์ (double – Tuned Transformer)

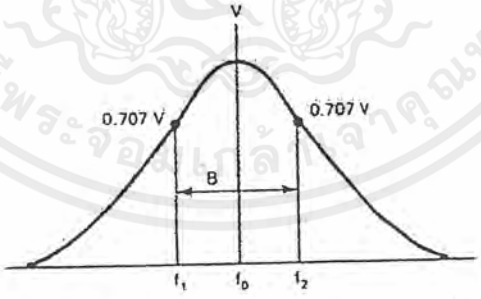


รูปที่ 2.33 วงจรขยายความถี่กลางที่มีการปรับจูน 2 ด้าน

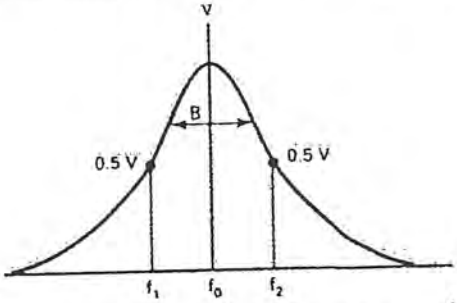


รูปที่ 2.34 ผลตอบสนองทางความถี่ของ Double – Tuned Transformer IF Amplifier

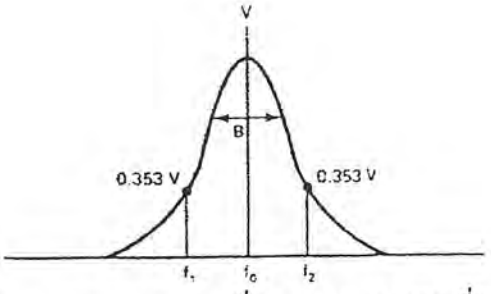
เมื่อทำการเรียงต่อ(Cascade)วงจรขยายสัญญาณความถี่กึ่งกลางหลายๆสเตจต่อกัน ผลตอบสนองที่ได้จะมีแบนด์วิดท์แคบลงดังแสดงในรูปที่ 2.35,รูปที่ 2.36 และรูปที่ 2.37 แสดงผลตอบสนองทางความถี่ของวงจรสัญญาณความถี่กลางจำนวน 1 สเตจ , 2 สเตจ และ 3 สเตจต่อกัน



รูปที่ 2.35 ผลตอบสนองทางความถี่วงจรขยายความถี่กลาง 1 สเตจ

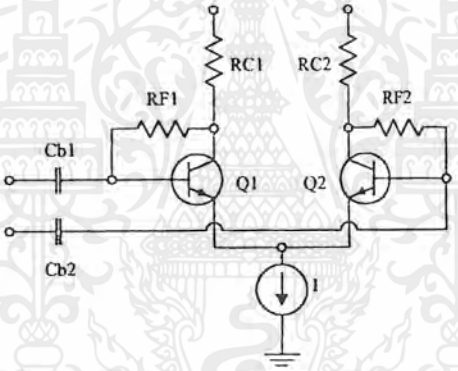


รูปที่2.36 ผลตอบสนองทางความถี่ของวงจรขยายความถี่กลาง 2 สเตจ



รูปที่ 2.37 ผลตอบสนองทางความถี่ของวงจรขยายความถี่กลาง 3 สเตจ

นอกจากวงจรที่กล่าวมาแล้วทั้งหมด วงจรขยายสัญญาณความถี่กลางบางประเภทอาศัยการทำงานของวงจรดิฟเฟอเรนเชียลแพร์ (Differential Pair) หรือลองทอลแพร์ (Long Tall Pair) ตามรูปที่ 2.38 คุณสมบัติของวงจรเหล่านี้คือมีอัตราขยายสูง , มีอัตราส่วนสัญญาณต่อสัญญาณรบกวน (Signal to Noise Ratio) ที่ดีกว่าเพราะมีการหักล้างของสัญญาณรบกวนที่เกิดขึ้นในวงจร นอกจากนั้นยังทำหน้าที่เป็นวงจรจำกัดสัญญาณ (limiter) ได้อีกด้วย (ใช้ในการดีมอดูเลตสัญญาณ เอฟเอ็มเพื่อมิให้ขนาดสูงเกินไป)



รูปที่ 2.38 ดิฟเฟอร์เรนเชียลแอมฟลิฟายเออร์ความถี่กลาง

2.10 ควอดราเจอร์ดีเทกชัน (Quardrature Detection)

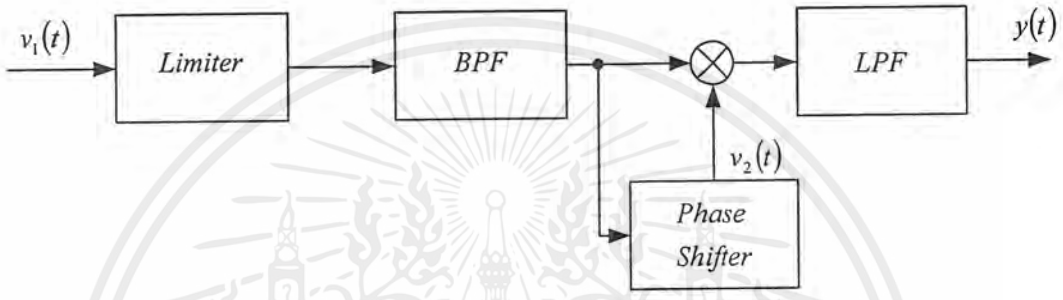
การดีมอดูเลตสัญญาณเอฟเอ็มแบบควอดราเจอร์ดีเทกชัน เป็นการใช้การแยกแยะเฟส (Phase discriminator) ในการดึงเอาสัญญาณเบสแบนด์ออกมาจากสัญญาณเอฟเอ็ม ดังนั้นจึงต้องกล่าวถึง หลักการของวงจรแยกแยะเฟสเสียก่อนดังต่อไปนี้ วงจรแยกแยะเฟสจะอาศัยหลักการพื้นฐานของการดิฟเฟอร์เรนชิเอต (differentiate) กล่าวคือ แสดงการดิฟเฟอร์เรนชิเอทให้อยู่ในรูปของการประมาณค่าดังนี้

$$\frac{d}{dt}\phi(t) = \frac{1}{\tau}[\phi(t) - \phi(t-\tau)] \tag{2.84}$$

ในกรณีของสัญญาณเอฟเอ็มนั้น เนื่องจาก $\phi(t) = k\int_{-\infty}^{t} m(t)dt$ ดังนั้นจะสามารถผูกพันสมการ (2.84) กับสัญญาณเบสแบนด์ $m(t)$ ได้ในรูปต่อไปนี้

$$[\phi(t) - \phi(t-\tau)] = \tau\frac{d}{dt}\phi(t) = k\,m(t) \tag{2.85}$$

นั่นคือสามารถสร้าง $\phi(t-\tau)$ และสร้างวงจรที่จะให้ผลต่างระหว่าง $\phi(t)$ และ $\phi(t-\tau)$ สัญญาณขาออกที่ได้ก็จะแปรตรงกับสัญญาณเบสแบนด์ $m(t)$ การสร้างสัญญาณ $\phi(t-\tau)$ จากสัญญาณเอฟเอ็มก็จะทำได้โดยใช้วงจรหน่วงเวลาหรือวงจรเลื่อนเฟสแบบเชิงเส้น (Linear phase shifter) นั่นเอง สำหรับการสร้างสัญญาณ $\phi(t)-\phi(t-\tau)$ นั้นจะทำได้โดยนำสัญญาณเอฟเอ็มเดิมกับสัญญาณเอฟเอ็มที่ถูกหน่วงเวลามาเข้าวงจรคูณแล้วกรองด้วยวงจรกรองความถี่ต่ำผ่าน รูปที่ 2.39 แสดงบล็อกไดอะแกรมของกระบวนการที่กล่าวมานี้ วงจรลิมิตเตอร์และวงจรกรองความถี่เฉพาะผ่านมีไว้จัดการกับระดับสัญญาณที่อาจจะเปลี่ยนแปลงตามเวลา และให้ผ่านเฉพาะแถบความถี่ที่เกี่ยวข้องตามลำดับ



รูปที่ 2.39 บล็อกไดอะแกรมของระบบควอดราเจอร์ดีเทกชัน

ควอดราเจอร์ดีเทกชันนั้นเป็นชื่อเรียกระบบดีเทกชันข้างต้นที่ตั้งการหน่วงเวลาของวงจรหน่วงเวลาให้มีค่า τ ที่ทำให้ $\omega_c\tau=\pi/2$ ดังนั้นถ้าให้สัญญาณเอฟเอ็มที่เข้ามาเขียนได้เป็น $v_1(t)=\cos(\omega_c t+\phi(t))$ สัญญาณที่ผ่านวงจรหน่วงเวลาก็จะเขียนได้เป็น

$$v_2(t)=\cos[\omega_c(t-\tau)+\phi(t-\tau)]=\sin[\omega_c t+\phi(t-\tau)] \tag{2.86}$$

เมื่อคูณสัญญาณ $v_1(t)$ และ $v_2(t)$ ด้วยวงจรคูณแล้วผ่านวงจรกรองความถี่ต่ำผ่าน ผลที่ได้ออกมาก็จะเขียนได้เป็น

$$y(t)\approx\sin[\phi(t)-\phi(t-\tau)] \tag{2.87}$$

และเนื่องจาก τ มีค่าเล็กมากทำให้ $\varphi(t)-\phi(t-\tau)\ll\pi$ เราจึงสามารถประมาณค่าสมการ(2.87) เป็นดังนี้

$$y(t)\approx[\phi(t)-\phi(t-\tau)]=k\tau m(t) \tag{2.88}$$

จะเห็นได้ว่าสามารถแยกสัญญาณข้อมูลออกมาได้ด้วยวิธีแยกแยะเฟสนี้

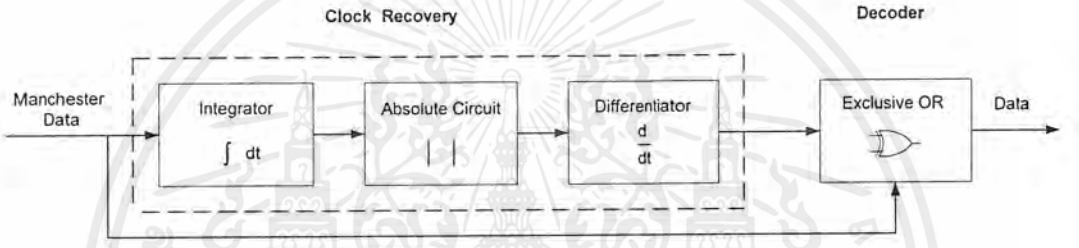
2.11 การกู้สัญญาณนาฬิกา และถอดรหัสข้อมูลแบบแมนเชสเตอร์

(Clock Recovery and Manchester Decode)

การถอดรหัสข้อมุลแบบแมนเชสเตอร์วิธีที่ 1 แสดงตามรูปที่ 2.40 อาศัยการทำงานของ 4 ส่วนการทำงานคือ

1) วงจรอินทิเกรต (Integrator)
2) วงจรค่าสัมบูรณ์ (Absolute)
3) วงจรดิฟเฟอเรนเชียล (Differential)
4) วงจรเอกซ์คลูซีฟออร์ (Exclusive OR Gate)

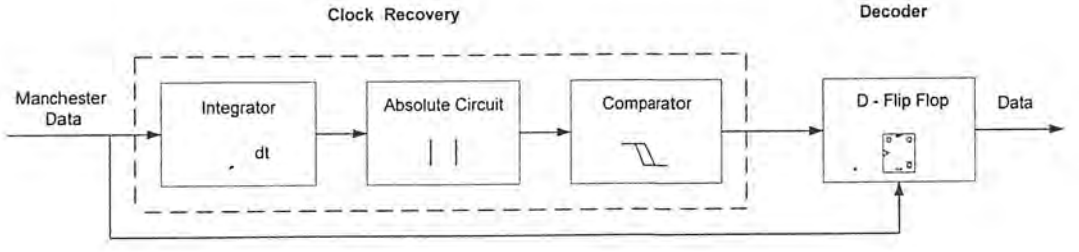
ตามรูปที่ 2.42 แสดงไทม์มิงไดอะแกรม (Timing Diagram) ของการถอดรหัสสัญญาณแมนเชสเตอร์แบบนี้



รูปที่ 2.40 บล็อกไดอะแกรมของการถอดรหัสแมนเชสเตอร์แบบที่หนึ่ง

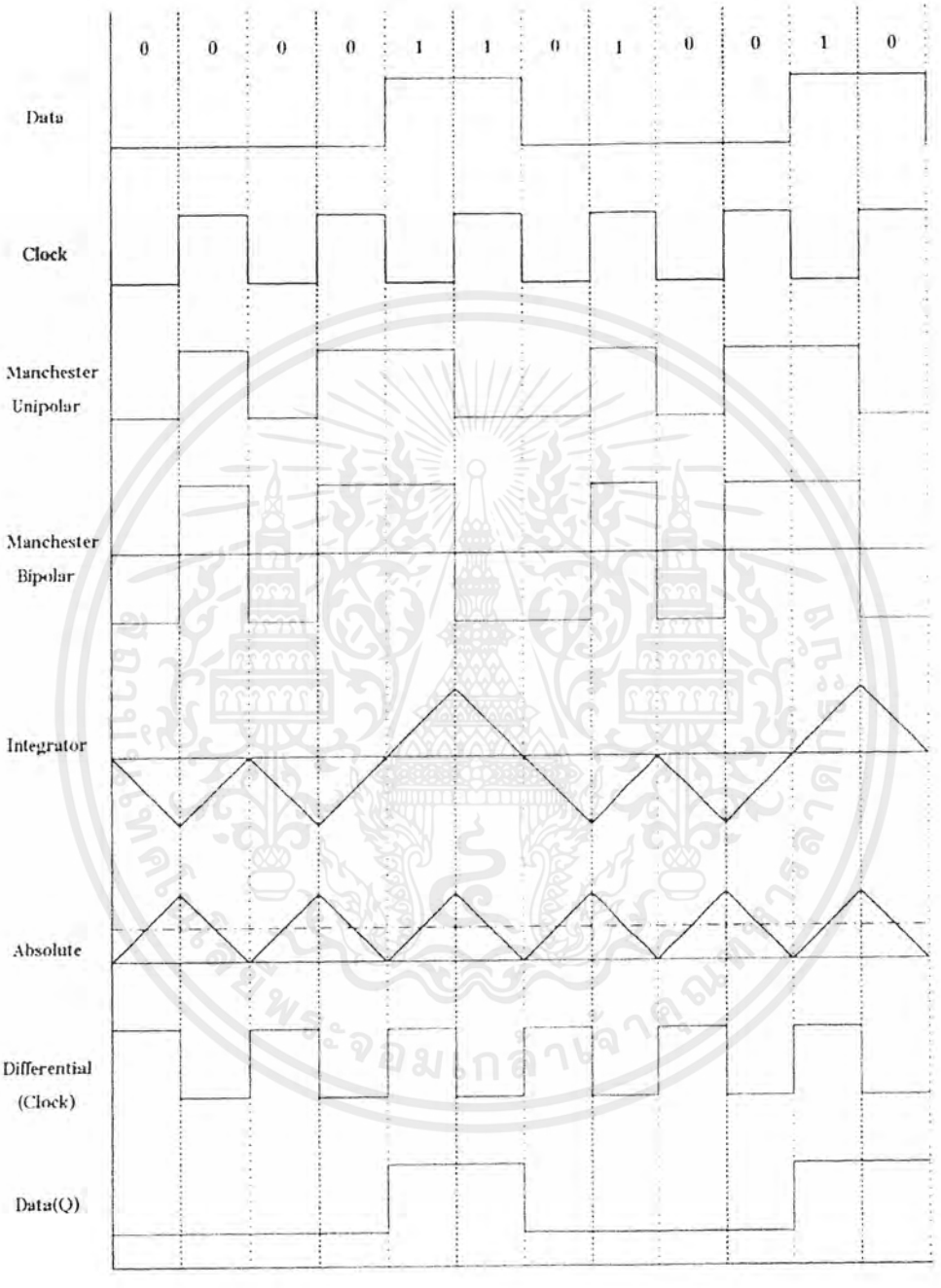
ปัญหาที่เกิดขึ้นคือ การเกิดการเหลื่อมล้ำของสัญญาณนาฬิกาที่กู้กลับมาได้ จะทำให้เกิดจิตเตอร์ (jitter) ระหว่างข้อมูลที่เข้ามากับสัญญาณนาฬิกาที่กู้กลับมา ดังนั้นจึงเลี่ยงการกู้สัญญาณกลับโดยใช้เอกซ์คลูซีฟออร์ (Exclusive OR) มาใช้อีกรูปแบบหนึ่งการถอดรหัสแบบนี้แสดงดังรูปที่ 2.41 ซึ่งประกอบด้วย

1) วงจรอินทิเกรต (Integrator)
2) วงจรค่าสัมบูรณ์ (Absolute)
3) วงจรเปรียบเทียบระดับสัญญาณ (Voltage Comparator)
4) วงจรดีฟลิปฟลอป (D-Flip Flop)

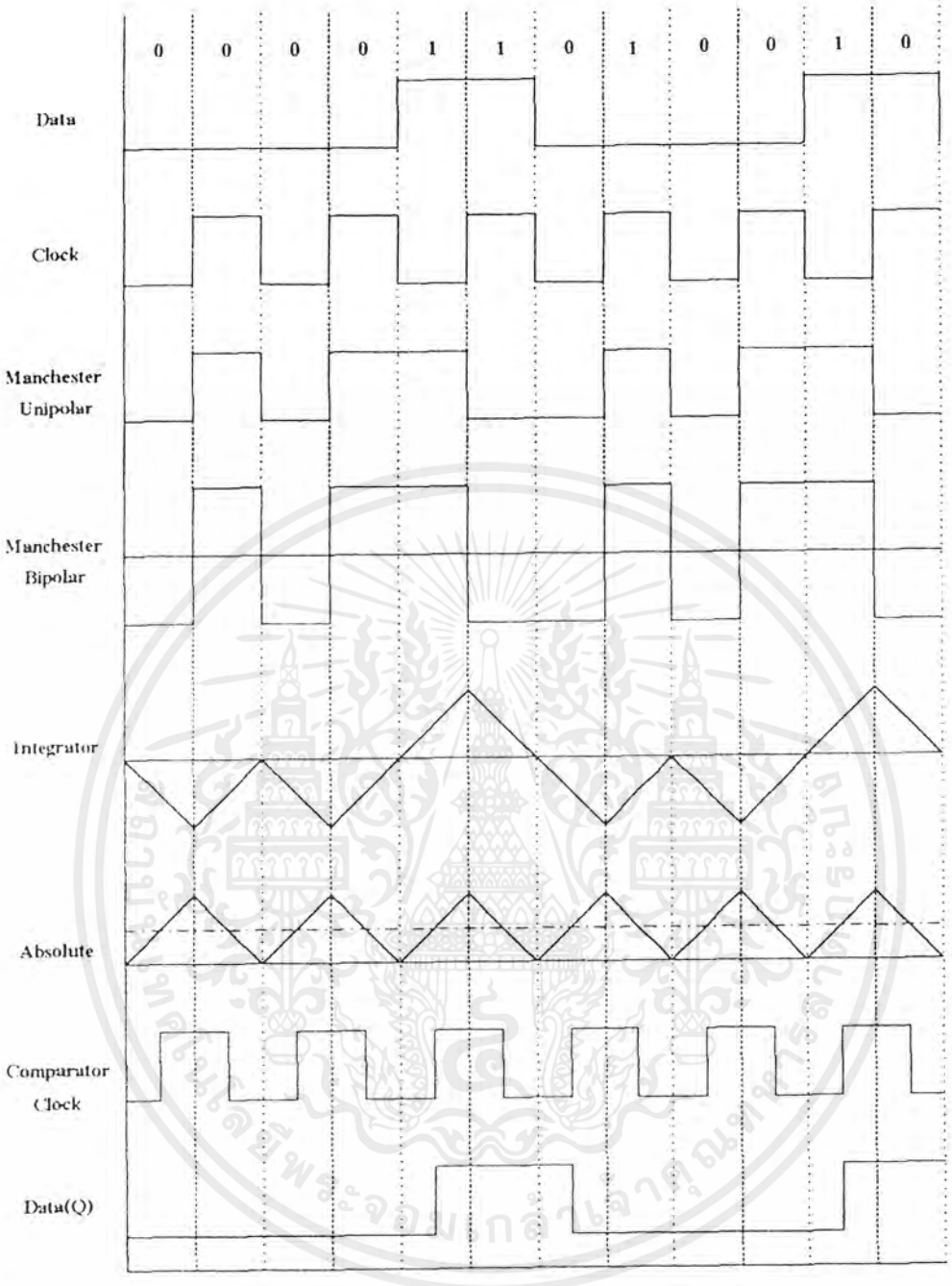


รูปที่ 2.41 บล็อกไดอะแกรมของการถอดรหัสแมนเชสเตอร์แบบที่สอง

ไทม์มิงไดอะแกรมของการถอดรหัสแบบนี้แสดงตามรูปที่ 2.43 ซึ่งการถอดรหัสแบบนี้จะดีกว่าแบบแรกเพราะสามารถแก้ปัญหาจิตเตอร์ได้



รูปที่ 2.42 แสดงไทม์มิ่งไดอะแกรมของการถอดรหัสสัญญาณแมนเชสเตอร์แบบที่หนึ่ง



รูปที่ 2.43 แสดงไทม์มิ่งไดอะแกรมของการถอดรหัสสัญญาณแมนเชสเตอร์แบบที่สอง

บทที่ 3
การคำนวณและการสร้าง

ในบทนี้จะเป็นเรื่องของการคำนวณและการสร้างวงจรขึ้นมาโดยอาศัยบล็อกไดอะแกรม ที่กล่าวมาในบทที่ 1 รวมถึงอาศัยทฤษฎีและหลักการในบทที่ 2 มาใช้ร่วมกันในการสร้างวงจร โดยการสร้างวงจรให้ได้ผลตอบสนองที่ใกล้เคียงกับทางทฤษฎีมากที่สุด

การออกแบบวงจรภาคส่ง

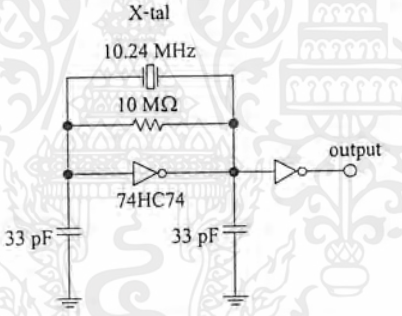
3.1 วงจรกำเนิดสัญญาณพัลส์แบบสุ่ม (Pseudo Random Pulse Generator)

ในส่วนของการสร้างวงจรสร้างสัญญาณพัลส์แบบสุ่มนี้เพื่อเป็นข้อมูลจำลองในการทดสอบวงจรส่วนต่างๆ วงจรกำเนิดสัญญาณพัลส์แบบสุ่มนี้ประกอบด้วยวงจร 2 ส่วนด้วยกันคือ

3.1.1 วงจรกำเนิดสัญญาณนาฬิกาความถี่ 64 กิโลเฮิรตซ์

3.1.1.1 วงจรคริสตอลออสซิลเลเตอร์ความถี่ 10.24 เมกะเฮิรตซ์

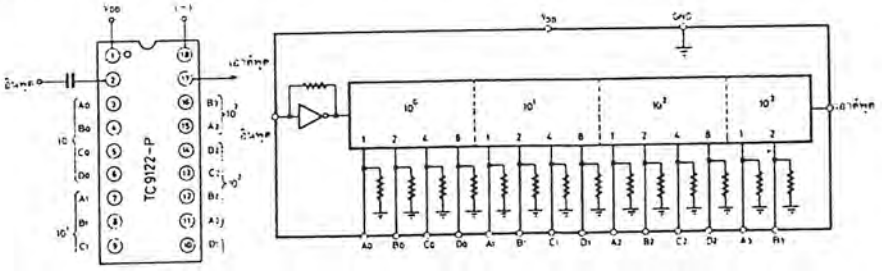
ในโครงงานนี้เลือกใช้วงจรคริสตอลออสซิลเลเตอร์ เนื่องจากออสซิลเลเตอร์ประเภทนี้มีเสถียรภาพในการทำงานสูงเพราะใช้ผลึกแร่ (Crystal) เป็นตัวกำหนดความถี่ ให้ค่าคิว (Q) ที่สูง



รูปที่ 3.1 วงจรคริสตอลออสซิลเลเตอร์ 10.24 เมกะเฮิรตซ์

3.1.1.2 วงจรหารความถี่ 80 เท่า (÷ 80 Frequency Divider)

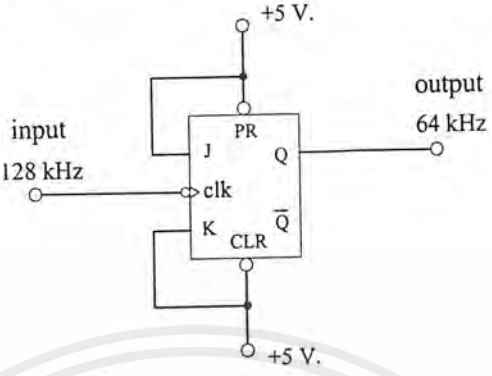
ทำหน้าที่หารความถี่ที่ได้จากวงจรคริสตอลออสซิลเลเตอร์ 10.24 เมกะเฮิรตซ์ ลงมาให้เหลือเท่ากับ 128 กิโลเฮิรตซ์ เลือกใช้ไอซี TC9122 เป็นตัวหารโดยเซ็ตค่า D1 (ขาที่ 10 ของไอซี) เป็น 1 นอกนั้น (ค่าA-D บิตอื่นๆ)ให้เป็น 0 หมด วงจรของไอซี TC9122 แสดงดังรูปที่ 3.2



รูปที่ 3.2 วงจรหารความถี่ 80 เท่า (วงจรของไอซี TC9122)

3.1.1.3 วงจรหารความถี่ 2 เท่า (÷2 Frequency Divider)

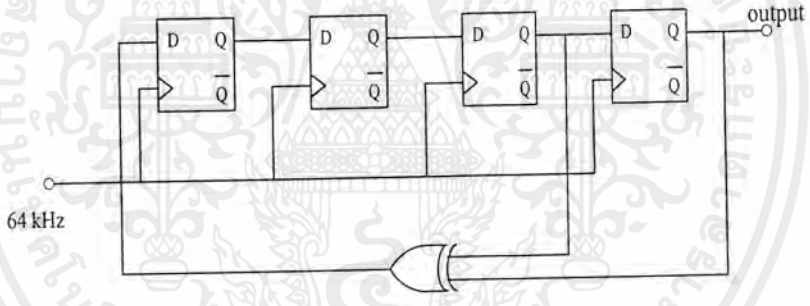
วงจรหารความถี่ 2 เท่าทำหน้าที่หารความถี่จาก 128 กิโลเฮิรตซ์ ลงมาเป็น 64 กิโลเฮิรตซ์ พร้อมทั้งปรับค่าดิวตี้ไซเคิล (duty cycle) ให้เป็น 50% เลือกใช้เจเคฟลิปฟลอป (JK Flip-Flop) เป็นตัวหาร



รูปที่ 3.3 วงจรหารความถี่ 2 เท่า

3.1.2 วงจรสร้างสัญญาณพัลส์แบบสุ่ม (Pseudo Random Pulse Generator)

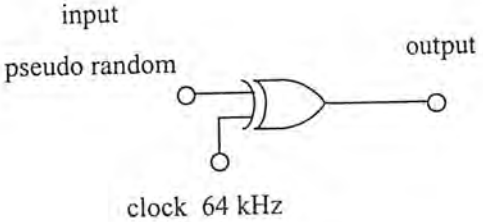
ใช้วงจรที่มีองค์ประกอบของดีฟลิปฟลอป (D Flip-Flop) 4 สเตจด้วยกันดังรูป



รูปที่ 3.4 วงจรสร้างสัญญาณพัลส์แบบสุ่ม

3.2 วงจรเข้ารหัสสัญญาณข้อมูลแบบแมนเชสเตอร์ (Manchester Encoder)

นำสัญญาณข้อมูลที่ได้จากวงจรสร้างสัญญาณพัลส์แบบสุ่มและสัญญาณนาฬิกามาทำการเข้ารหัสด้วยเอกซ์คลูซีฟออร์โดยใช้ไอซี 74HC86



รูปที่ 3.5 วงจรเข้ารหัสสัญญาณข้อมูลแบบแมนเชสเตอร์

3.3 วงจรกรองความถี่ต่ำผ่านแบบเกาส์เซียน (Gaussian Low Pass Filter)

ออกแบบโดยใช้วงจรกรองความถี่ต่ำผ่านชนิดเกาส์เซียน อันดับ 7(order 7th) ความถี่คัทออฟ 320 กิโลเฮิรตซ์

n	R_S/R_L	C_1	L_2	C_3	L_4	C_5	L_6	C_7
3	1.000	0.4042	0.8955	2.3380				
4	1.000	0.4198	0.7832	1.1598	2.1427			
5	1.000	0.4544	0.8457	1.0924	1.0774	2.4138		
6	1.000	0.5041	0.9032	1.2159	1.0433	1.4212	2.0917	
7	1.000	0.4918	0.9232	1.2146	1.1224	1.3154	1.1407	2.5039

ตารางที่ 3.1 ค่านอร์แมลไลซ์ของวงจรกรองความถี่ต่ำผ่านชนิดเกาส์เซียน

รูปที่ 3.6 วงจรกรองความถี่ต่ำผ่านชนิดเกาส์เซียนอันดับ 7

ค่าของ L และ C ที่นำมาต่อในวงจรจริงสามารถคำนวณได้จากสมการดังนี้

$$C = \frac{C_n}{(2\pi f_c R)}$$

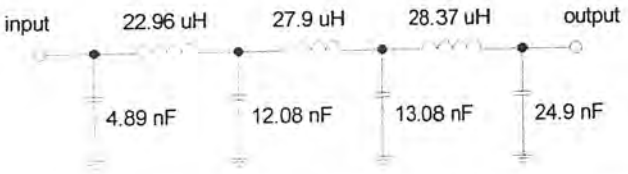
$$L = \frac{RL_n}{(2\pi f_c)}$$

เมื่อ C_n, L_n คือ ค่านอมัลไลซ์จากตารางที่ 3.1

R คือ ค่าความต้านทานของโหลด เท่ากับ 50 โอห์ม

f_c คือ ค่าความถี่คัทออฟ ในที่นี้เท่ากับ 320 กิโลเฮิรตซ์

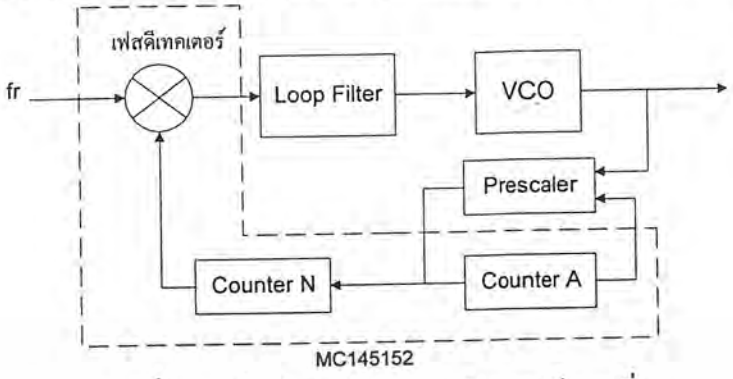
ได้วงจรดังรูป



รูปที่ 3.7 วงจรกรองความถี่ต่ำผ่านชนิดเกาส์เซียนความถี่คัตออฟ 320 กิโลเฮิรตซ์

3.4 วงจรสังเคราะห์ความถี่ 433 เมกะเฮิรตซ์

วงจรสังเคราะห์ความถี่ประกอบด้วยส่วนประกอบที่สำคัญสามารถแสดงได้ดังรูป



รูปที่ 3.8 บล็อกไดอะแกรมวงจรสังเคราะห์ความถี่

มีส่วนที่สำคัญดังนี้คือ

1. วงจรออสซิลเลเตอร์ควบคุมความถี่ด้วยแรงดัน (VCO : Voltage Control Oscillator)
2. วงจรพรีสเกลเลอร์แบบสองโมดูลัส
3. วงจรเปรียบเทียบเฟส (Phase detector)
4. วงจรลูปฟิลเตอร์

3.4.1 วงจรกำเนิดความถี่ที่ควบคุมโดยแรงดัน

ออกแบบวงจรวีซีโอแบบคอลพิทท์ออสซิลเลเตอร์ โดยใช้เจเฟต J310 ความสัมพันธ์ระหว่างกระแสเอาต์พุต หรือ I_D กับแรงดันที่ใช้ควบคุมการเปลี่ยนแปลงหรือ V_{GS} เป็นไปตามสมการกฎกำลังสอง

$$I_{DS} = I_{DSS}[\,1-(V_{GS}/V_P)]^2 \qquad (3.1)$$

การคำนวณหาจุดคิว (Q) ของวงจรวีซีโอ จะใช้สมการกฎกำลังสอง และสมการโหลดลายน์(Load Line) ของไบอัสตัวเอง (self-bias) คือ

$$V_{GS} = -I_D * R_s \qquad (3.2)$$

แทนค่าพารามิเตอร์ต่างๆของเจเฟต J310 จาก ดาต้าชีท ดังนี้

I_{DSS} = 40 mA

V_P = -4 V

R_s = 100 โอห์ม

ทำการแก้สมการเพื่อหาจุดคิว (Q) ดังนั้นจะได้ค่าต่างดังนี้

I_{DQ} = 15.278 mA

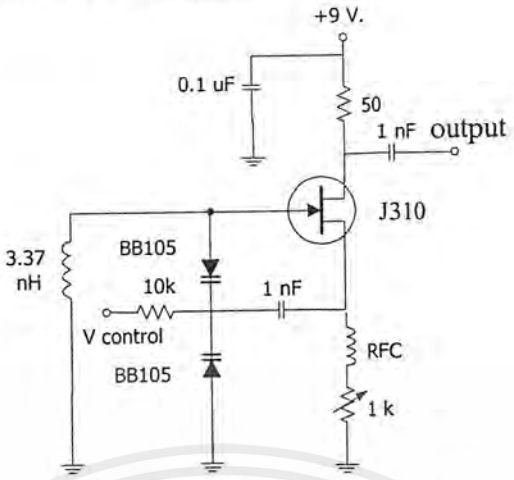
V_{GSQ} = -1.5278 V

และคำนวณหาค่า L , C_1 และ C_2 ได้จากสมการ

$$f = \frac{1}{2\pi\sqrt{LC}} \qquad (3.3)$$

$$C_T = \frac{C_1 C_2}{C_1 + C_2} \qquad (3.4)$$

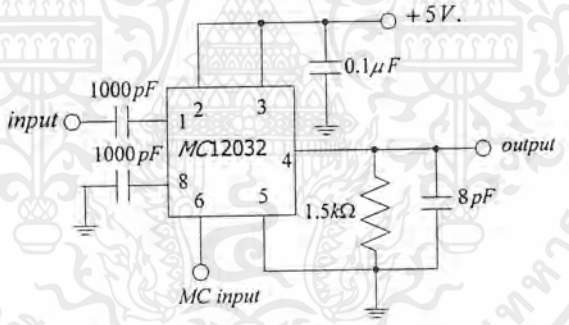
โดย f คือ ความถี่ที่ต้องการ (433 เมกะเฮิรตซ์)



รูปที่ 3.9 วงจรกำเนิดความถี่ที่ควบคุมโดยแรงดัน โดยมีความถี่ที่ต้องการ 433 เมกะเฮิรตซ์

3.4.2 วงจรพรีสเกลเลอร์แบบสองโมดูลัส

พรีสเกลเลอร์เป็นตัวหารความถี่ที่เข้ามาให้ต่ำลง เพื่อที่จะป้อนให้กับวงจรเฟสดีเทกเตอร์ใช้ไอซี MC12032 ซึ่งจะถูกตั้งหารเท่ากับ 64/65 โดยทำการต่อวงจรดังรูปที่ 3.10

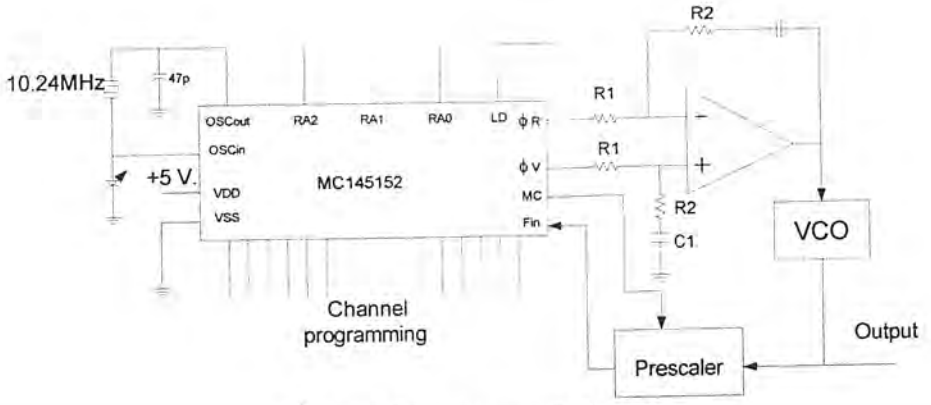


รูปที่ 3.10 การต่อวงจรของไอซี MC12032

3.4.3 วงจรเฟสดีเทกเตอร์

เป็นวงจรที่ใช้เพื่อเปรียบเทียบเฟสของสัญญาณที่ได้จากวงจรวีซีโอกับเฟสของความถี่อ้างอิง โดยวงจรสังเคราะห์ความถี่จะสามารถผลิตความถี่ได้ตรงตามความถี่ที่เราต้องการก็ต่อเมื่อเฟสของทั้งสองส่วนนี้เท่ากัน ในการทดลองนี้จะใช้ไอซี MC145152 ซึ่งเป็นไอซีที่สามารถโปรแกรมได้ 16 บิต ซึ่ง 10 บิตบนจะกำหนดจาก N เคาน์เตอร์ และ 6 บิตล่างจะกำหนดจาก A เคาน์เตอร์

การออกแบบเรากำหนดให้ภายในไอซีมีความถี่อ้างอิง 10 กิโลเฮิรตซ์ ซึ่งในส่วนความถี่อ้างอิงนี้จะใช้คริสตอลออสซิลเตอร์ 10.24 เมกะเฮิรตซ์เป็นสัญญาณอ้างอิง โดยเราจะสามารถหารความถี่ของคริสตอลออสซิลเลเตอร์ให้มีความถี่เท่ากับความถี่อ้างอิงที่เราต้องการคือ 10 กิโลเฮิรตซ์ ได้โดยการกำหนดค่า RA0 , RA1 , RA2 ซึ่งจะต่อเข้ากับขา 4 , 5 , 6 ของตัวไอซีเป็นค่า 1, 0, 1 ก็จะทำให้ได้ค่าความถี่อ้างอิงออกที่ขา OSC_{out} (ขา 26) มีค่าเท่ากับ 10 กิโลเฮิรตซ์ ตามที่เรากำหนดไว้



รูปที่ 3.11 บล็อกของวงจรเฟสล็อกลูป

การที่เราจะโปรแกรมให้วงจรสามารถผลิตความถี่ที่ต้องการนั้น สามารถคำนวณได้จากสมการ

$$N_t = NP + A \tag{3.5}$$

โดยที่ N_t คือ ความถี่ที่เราต้องการ หารด้วยค่าความถี่อ้างอิง

N คือ ตัวโปรแกรม $N_0 - N_9 = 10$ บิต ซึ่งเป็นตัวหารตั้งแต่ 63-1023

A คือ ตัวโปรแกรม $A_0 - A_9 = 6$ บิต ซึ่งเป็นตัวหารตั้งแต่ 0-63

P คือ ตัวหารของพรีสเกลเลอร์

ยกตัวอย่างการออกแบบวงจรสังเคราะห์ความถี่ 433 เมกะเฮิรตซ์ ได้ค่าต่างๆดังนี้

$N_t = 433\ \text{MHz} / 10\ \text{kHz} = 43300$

$P = 64$

$N = 676 = 1010100100$

$A = 36 = 100100$

สัญญาณอินพุตจากพรีสเกลเลอร์จะถูกคับปลิ้งเข้ามาทางขา f_{in}(ขา 1) สัญญาณอินพุตนี้จะเป็นเสมือนสัญญาณนาฬิกาเข้าไปทริกให้หารด้วย N และ A ขา ϕ_R(ขา 7)และขา ϕ_V(ขา 8) นั้นจะต่อเข้าเป็นอินพุตของวงจรลูปฟิลเตอร์ซึ่งถ้าความถี่ f_V มากกว่า f_R หรือถ้าเฟสของ f_V นำอยู่จะทำให้ ϕ_V เป็นสัญญาณระดับสูงตลอดแต่ก็จะมีช่วงหนึ่งที่เป็นสัญญาณระดับต่ำ คือช่วงที่ทั้งสองเป็นสัญญาณระดับต่ำพร้อมกัน ซึ่งความต่างเฟสของ ขา ϕ_R และขา ϕ_V จะถูกเปลี่ยนเป็นค่าไฟตรงเพื่อส่งไปชดเชยที่วงจรวีซีโอให้ผลิตความถี่ได้ตรงตามที่เราต้องการ

ส่วนขา MC (ขา 9) นั้นจะต่อไปยังวงจรพรีสเกลเลอร์เพื่อกำหนดว่าขณะนั้นพรีสเกลเลอร์จะต้องหารด้วยค่าอะไร โดยสัญญาณที่ออกจากขา MC จะเป็นสัญญาณสัญญาณสี่เหลี่ยม และเริ่มต้นจะมีระดับสัญญาณต่ำจนกว่าเคาน์เตอร์ A จะนับลดลงไปด้วย เพราะฉะนั้นเมื่อ A นับลดลงจนเป็น 0 แล้ว N จะต้องนับอีก (N-A) ครั้งจึงเท่ากับ 0 และ MC จะกลับไปเป็นสัญญาณระดับต่ำอีกครั้งเมื่อเคาน์เตอร์ถูกรีเซตด้วยค่าโปรแกรมไว้อีกครั้ง

ขา LD (Lock Detector) ขา 28 จะเป็นขาที่ใช้ในการตรวจสอบว่าวงจรสังเคราะห์ความถี่สามารถผลิตความถี่ ได้ตรงตามที่เราต้องการหรือไม่ โดยถ้าสัญญาณที่ขานี้เป็นสัญญาณระดับสูงก็แสดงว่า f_R และ f_V เฟสและความถี่ตรงกันแล้ว นั่นคือวงจรนี้สามารถผลิตความถี่ที่ต้องการได้

3.4.4 วงจรลูปฟิลเตอร์

วงจรลูปฟิลเตอร์นั้นใช้ออปแอมป์ LM358 ซึ่งวงจรนี้ซึ่งวงจรนี้จะนำเอาสัญญาณ ϕ_V และ ϕ_Rจากวงจรเปรียบเทียบเฟสต่อเข้ามาเป็นอินพุต โดย ϕ_V ต่อเข้าขา 3 และ ϕ_R ต่อเข้ามาขา 2 เพื่อทำการเปรียบเทียบเฟสและแปลงค่าความแตกต่างออกมาเป็นไฟตรงเพื่อต่อไปชดเชยให้แก่วงจรวีซีโอ เพื่อให้วงจรวีซีโอซึ่งสามารถผลิตความถี่ได้ตรงที่เราต้องการ และวงจรนี้ยังทำหน้าที่เป็นวงจรกรองความถี่ต่ำผ่านอีกด้วย

การคำนวณค่าต่างๆที่ต่อในวงจรสามารถคำนวณได้จาก

$$\omega_n = \sqrt{\frac{K_\phi K_{V\,CO}}{NCR_1}}$$

$$K_{VCO} = \ 51.68416\ Mrad/V$$

$$K_\phi = \frac{5}{2\pi} = 0.796$$

$$f_b = 0.01 f_s = 001 \times 10 \times 10^3 = 100Hz$$

$$\omega_n = \frac{2\pi f_b}{\sqrt{2\xi^2 + 1 + \sqrt{\left(\left(2\xi^2 + 1\right)^2 + 1\right)}}} = \frac{2\pi \times 100}{\sqrt{2(1)^2 + 1 + \sqrt{\left(2(1)^2 + 1\right)^2 + 1}}}$$

$$= 287.698$$

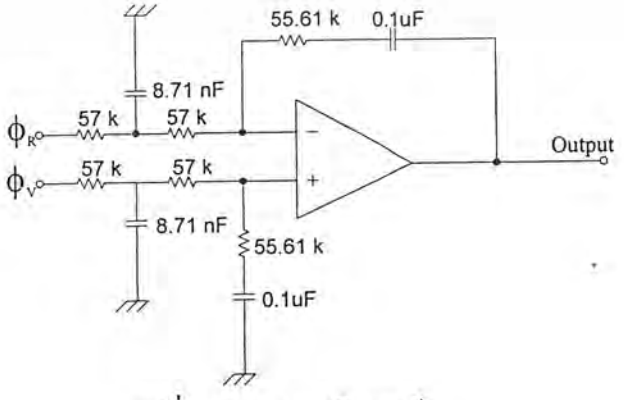
$$N_t = \frac{433MHz}{10kHz} = \ 43{,}300$$

$$R_1 = \frac{K_\phi K_{VCO}}{C_1 \omega_n^2 N_t} = 114.791\ k\Omega$$

$$R_2 = \frac{2\xi}{\omega_n C_1} = 110\ k\Omega$$

$$C_c = \frac{1}{10 R_1 f_b} = 8.71\ nF$$

เพราะฉะนั้นจะได้วงจรตามรูป



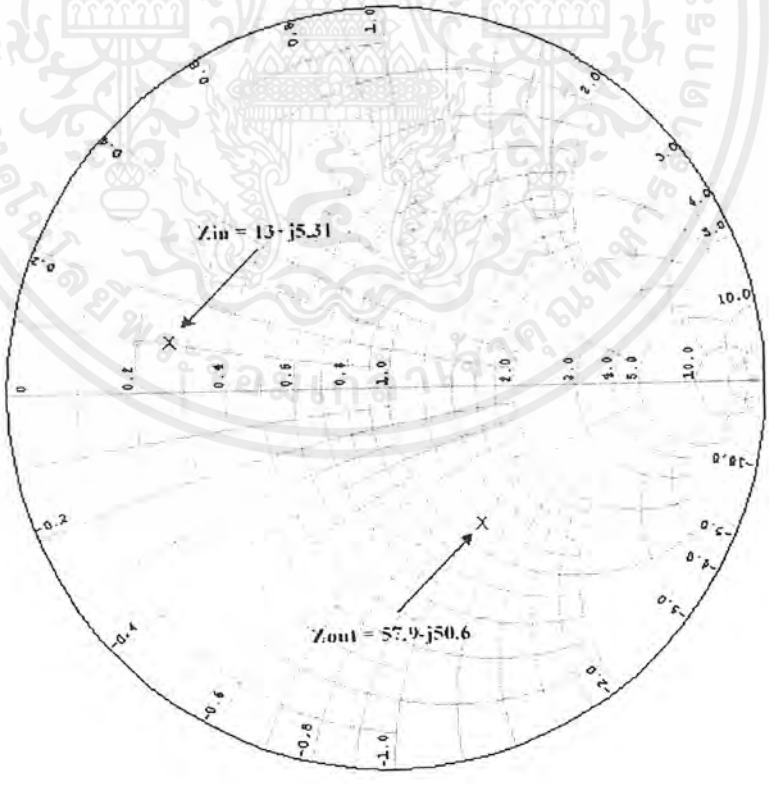
รูปที่ 3.12 วงจรลูปฟิลเตอร์

3.5 วงจรขยายสัญญาณความถี่วิทยุ 433 เมกะเฮิรตซ์ (RF Amplifier)

วงจรขยายสัญญาณความถี่สูงถูกนำมาใช้เพื่อขยายสัญญาณจากวงจรสังเคราะห์ความถี่ด้วยเฟสล็อคลูปความถี่ 433 เมกะเฮิรตซ์ซึ่งมีขนาดสัญญาณเพียง +7 dBmเท่านั้น เพื่อให้ความสามารถในการรับส่งของเครื่องรับส่งไกลขึ้น ในโครงงานนี้เลือกทรานซิสเตอร์ชนิดเอ็นพีเอ็นซิลิกอนไบโพลาร์เบอร์ 2N3866 ซึ่งให้ค่า เอส-พารามิเตอร์ (S-parameter) ที่แรงดัน V_{CE} เท่ากับ 9 โวลท์ กระแสคอลเลกเตอร์เท่ากับ 50 มิลลิแอมป์ดังต่อไปนี้คือ

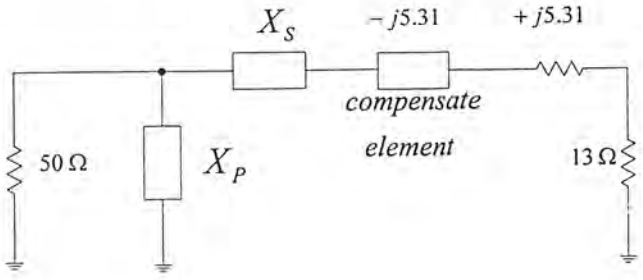
$$S_{11} = 0.59\angle 167°$$
$$S_{21} = 2.00\angle 50°$$
$$S_{12} = 0.11\angle 72°$$
$$S_{22} = 0.43\angle -56°$$

นำค่าเอส-พารามิเตอร์ที่ได้คำนวณหาค่าองค์ประกอบเสถียรภาพ ตามสมการที่ (2.11) ได้ค่าองค์ประกอบเสถียรภาพเท่ากับ 1.07 ซึ่งพบว่าทรานซิสเตอร์มีเสถียรภาพแบบไม่มีเงื่อนไข จากนั้นนำค่าที่ได้พล็อตลงบนสมิตชาร์ทเพื่อหาค่าอิมพีแดนซ์อินพุตและเอาต์พุต ดังรูปที่ 3.13 พบว่าอินพุตอิมพีแดนซ์มีค่าเท่ากับ 13+j5.31 และเอาต์พุตอิมพีแดนซ์ที่ 57.9-j50.6



รูปที่ 3.13 สมิตชาร์ทแสดงตำแหน่งอินพุตและเอาต์พุตอิมพีแดนซ์ของทรานซิสเตอร์

คำนวณวงจรแมตชิ่งอิมพีแดนซ์ที่อินพุต $Z_{in} = 13 + j5.31$ จากวงจร



รูปที่ 3.14 วงจรแมตชิ่งอินพุตของทรานซิสเตอร์

คำนวณหาค่า $$Q_S = Q_P = \sqrt{\frac{R_P}{R_S} - 1} = \sqrt{\frac{50}{13} - 1}$$

$$= 1.687$$

$$X_s = Q_s R_s = 1.687 \times 13 = 21.931$$

$$X_P = \frac{R_P}{Q_P} = \frac{50}{1.687} = 29.638$$

เลือก $X_S = X_C$ และ $X_P = X_L$ ได้

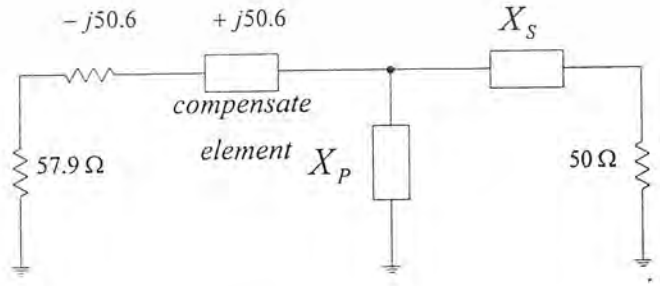
$$X_s = -j21.931 - j5.31 = -j27.24$$

$$\therefore \quad C = \frac{1}{2\pi \times 433 \times 10^6 \times 27.24} = 13.49 \ pF$$

$$X_L = +j29.638$$

$$\therefore \quad L = \frac{29.638}{2\pi \times 433 \times 10^6} = 10.89 \ nH$$

คำนวณวงจรแมตชิ่งอิมพีแดนซ์ที่เอาต์พุต $Z_{in} = 57.9 - j50.6$ จากวงจร

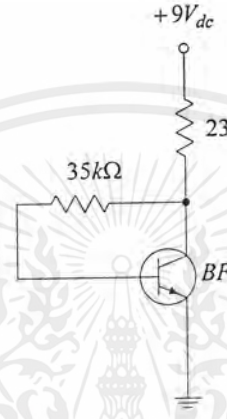


รูปที่ 3.15 วงจรแมตชิ่งเอาต์พุตของทรานซิสเตอร์

เนื่องจากค่าจำนวนจริงของเอาต์พุตอิมพีแดนซ์ใกล้เคียงกับค่าโหลดอิมพีแดนซ์ (50 Ω) จึงไม่ต้องทำการแมตชิ่งอิมพีแดนซ์ทางด้านเอาต์พุต เพียงคำนวณหาค่าอุปกรณ์ชดเชย (compensate element) จาก

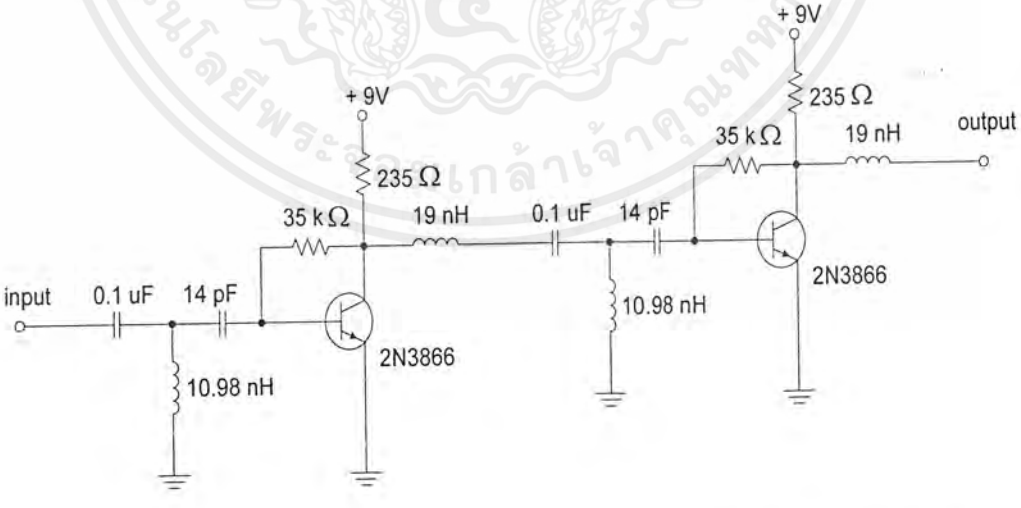
$$X_L = \frac{50.6}{2\pi \times 433 \times 10^6} = 18.59 \quad nH$$

ทำการไบอัสทรานซิสเตอร์โดยให้ $V_{CE} = 9V_{DC}$ และ $I_C = 50\ mA_{DC}$ ได้วงจรไบอัสดังนี้



รูปที่ 3.16 วงจรไบอัสทรานซิสเตอร์

นำวงจรที่คำนวณได้มาต่อ 2 สเตจ ได้วงจรขยายสัญญาณความถี่วิทยุ ดังรูป



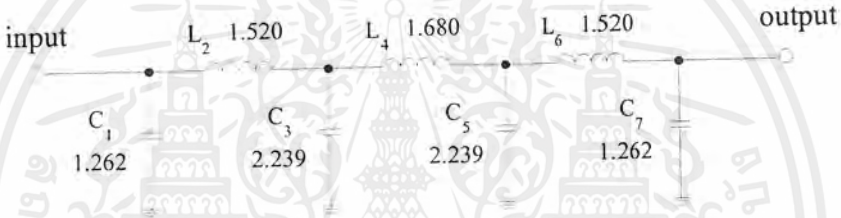
รูปที่ 3.17 วงจรขยายสัญญาณความถี่วิทยุ (RF Amplifier) ที่ความถี่ 433 เมกะเฮิรตซ์

3.6 วงจรกรองความถี่ต่ำผ่านความถี่คัทออฟ 500 เมกะเฮิรตซ์

ออกแบบโดยใช้วงจรกรองความถี่ต่ำผ่านชนิดเชบีเชฟ ริปเปิล 0.1 dB อันดับ 7

n	R_S/R_L	C_1	L_2	C_3	L_4	C_5	L_6	C_7
3	1.000	1.433	1.594	1.433				
4	1.355	0.992	2.148	1.585	1.341			
5	1.000	1.301	1.556	2.241	1.556	1.301		
6	1.355	0.942	2.080	1.659	2.247	1.534	1.277	
7	1.000	1.262	1.520	2.239	1.680	2.239	1.520	1.262

ตารางที่ 3.2 ค่านอร์แมลไลซ์ของวงจรกรองความถี่ต่ำผ่านชนิดเชบีเชฟ



รูปที่ 3.18 วงจรกรองความถี่ต่ำผ่านชนิดเชบีเชฟ ริปเปิล 0.1 dB อันดับ 7

ค่าของ L และ C ที่นำมาต่อในวงจรจริงสามารถคำนวณได้จากสมการดังนี้

$$C = \frac{C_n}{(2\pi f_c R)}$$

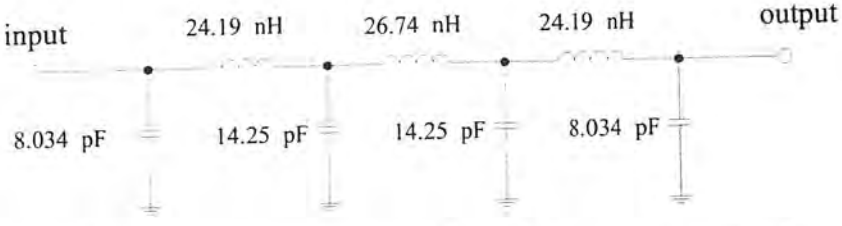
$$L = \frac{RL_n}{(2\pi f_c)}$$

เมื่อ C_n, L_n คือ ค่านอมัลไลซ์จากตารางที่ 3.2

R คือ ค่าความต้านทานของโหลด เท่ากับ 50 โอห์ม

f_c คือ ค่าความถี่คัทออฟ ในที่นี้เท่ากับ 500 เมกะเฮิรตซ์

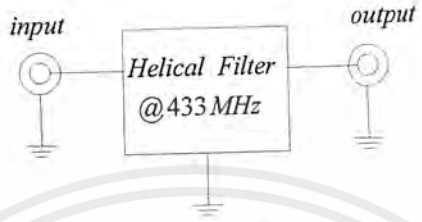
ได้วงจรดังรูป



รูปที่ 3.19 วงจรกรองความถี่ต่ำผ่าน ที่มีความถี่คัทออฟ 500 เมกะเฮิรตซ์

3.7 วงจรกรองแถบความถี่ผ่าน 433 เมกะเฮิรตซ์

สัญญาณที่รับได้จากสายอากาศประกอบด้วยความถี่ต่างๆ จึงต้องนำมาผ่านวงจรกรองความถี่ผ่านเพื่อกรองเอาเฉพาะความถี่ที่ต้องการ โดยใช้วงจรเฮลิคอลฟิลเตอร์(Helical Filter)ที่มีค่าความถี่กึ่งกลางที่ 433 เมกะเฮิรตซ์ แสดงดังรูปที่ 3.20



รูปที่ 3.20 เฮลิคอลฟิลเตอร์ (Helical Filter) ที่ความถี่กึ่งกลาง 433 เมกะเฮิรตซ์

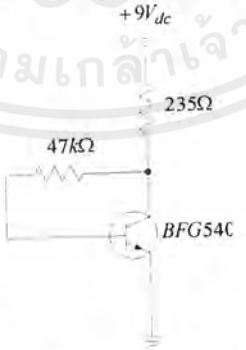
3.8 วงจรขยายที่มีระดับสัญญาณรบกวนต่ำ (Low Noise Amplifier : LNA)

นำสัญญาณที่ได้จากวงจรกรองความถี่ผ่านไปทำการขยายขนาดสัญญาณ โดยในการสร้างเลือกใช้ทรานซิสเตอร์เบอร์ BFG 540 และไบอัสทรานซิสเตอร์โดยให้ $V_{CE} = 8V_{DC}$ และ $I_C = 10\ mA_{DC}$ จากคาต้าชีทจะทราบค่าของ S พารามิเตอร์ที่ความถี่ 433 เมกะเฮิรตซ์ดังนี้

$$S_{11} = 0.576\angle -143.8°$$
$$S_{12} = 0.06\angle 48.1°$$
$$S_{21} = 8.182\angle 100.3°$$
$$S_{22} = 0.341\angle -59.5°$$

เมื่อทราบค่า S พารามิเตอร์แล้วจึงทำการคำนวณตามขั้นตอนดังนี้

1. ทำการไบอัสวงจรให้ได้ค่า $V_{CE} = 8V_{DC}$ และ $I_C = 10.0\ mA_{DC}$ ได้วงจรดังนี้



รูปที่ 3.21 วงจรไบอัสทรานซิสเตอร์

2. หาค่า D_S จากสมการ

$$\begin{aligned} D_S &= S_{11}S_{22} - S_{12}S_{21} \\ &= (0.576\angle -143.8° \times 0.341\angle -59.5°) - (0.06\angle 48.1° \times 8.182\angle 100.3°) \\ &= 0.298\angle -37.062° \end{aligned}$$

3. หาค่าของเสถียรภาพ (K) จากสมการ

$$K = \frac{1+|D_S|^2-|S_{11}|^2-|S_{22}|^2}{2\cdot|S_{21}|\cdot|S_{12}|}$$

$$= \frac{1+|0.298|^2-|0.576|^2-|0.341|^2}{2\,|0.06\times 8.182|}$$

$$= 0.6526$$

เนื่องจาก $K < 1$ ดังนั้นวงจรอยู่ในสถานะเสถียรภาพแบบมีเงื่อนไข (Conditional Stability)

4. หาค่าอินพุตอิมพีแดนซ์และเอาต์พุตอิมพีแดนซ์ของวงจรขยายสัญญาณ เพื่อใช้ในการแมตชิ่งอิมพีแดนซ์กับวงจรอื่น ๆ

4.1 หาจุดศูนย์กลางของวงกลมเสถียรภาพของอินพุตจากสมการ

$$r_{S1} = \frac{S_{11}^* - D_S^* S_{22}}{|S_{11}|^2-|D_S|^2}$$

$$= \frac{0.576\angle 143.8° - (0.298\angle .37.062°\times 0.341\angle -59.5°)}{|0.576|^2-|0.298|^2}$$

$$= 2.78\angle 145.85°$$

4.2 หารัศมีของวงกลมเสถียรภาพของอินพุตจากสมการ

$$p_{S1} = \left|\frac{S_{12}S_{21}}{|S_{11}|^2-|D_S|^2}\right|$$

$$= 2.02$$

4.3 หาจุดศูนย์กลางของวงกลมเสถียรภาพของเอาต์พุตจากสมการ

$$r_{S2} = \frac{S_{22}^* - D_S^* S_{11}}{|S_{22}|^2-|D_S|^2}$$

$$= \frac{0.341\angle 59.5° - (0.298\angle 37.062°\times 0.576\angle -143.8°)}{|0.341|^2-|0.298|^2}$$

$$= 18.52\angle 64.09°$$

4.4 หารัศมีของวงกลมเสถียรภาพของเอาต์พุตจากสมการ

$$p_{S2} = \left|\frac{S_{12}S_{21}}{|S_{22}|^2-|D_S|^2}\right|$$

$$= 17.85$$

4.5 คำนวณค่าอัตราขยายสูงสุดที่ยังคงเสถียรภาพ

$$G_{max} = \frac{|S_{21}|}{|S_{12}|}$$

$$= \frac{8.182}{0.06} = 136.367 \;\; = 21.35 \quad \text{dB}$$

4.6 หาค่าอัตราขยายที่ต้องการจากสมการ

$$G = \frac{Gain\ desired\ (absolute)}{|S_{21}|^2}$$

โดยต้องการอัตราขยาย 20 dB (100 เท่า)

$$= \frac{100}{8.182^2}$$

$$G = 1.494$$

4.7 จุดศูนย์กลางของวงกลมอัตราขยายคงที่(Gain Circle)จากสมการ

$$r_o = \frac{G\left(S_{22}^* - D_S^* S_{11}\right)}{1+\left(|S_{22}|^2 - |D_S|^2\right)G}$$

$$= \frac{1.494 \times 0.5093\angle 64.094^\circ}{1+0.0275(1.494)}$$

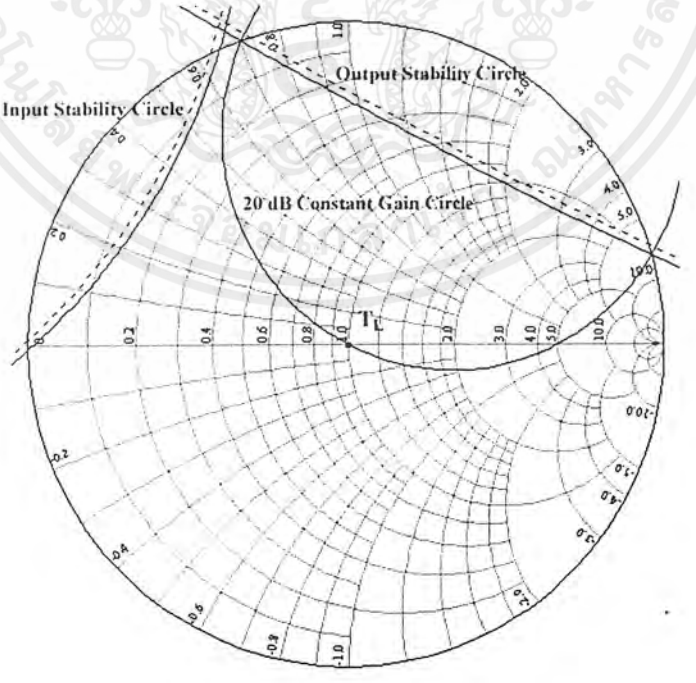
$$= 0.73\angle 64.09^\circ$$

4.8 รัศมีของวงกลมอัตราขยายคงที่จากสมการ

$$p_o = \frac{\sqrt{1-2K|S_{12}S_{21}|G+|S_{12}S_{21}|^2 G^2}}{1+\left(|S_{22}|^2 - |D_S|^2\right)G}$$

$$= \frac{\sqrt{1-(2\times 0.65\times 0.06\times 8.18\times 1.49)+(0.06\times 8.18\times 1.49)^2}}{(1+0.0275(1.49))}$$

$$= 0.73$$



รูปที่ 3.22 สมิตชาร์ทแสดงตำแหน่งของวงกลมเสถียรภาพอินพุต, เอาต์พุต และวงกลมอัตราขยายคงที่ 20 dB

4.9 หาสัมประสิทธิ์การสะท้อนของโหลดจากวงกลมอัตราขยายคงที่ โดยจากสมิตชาร์ทเลือกจุดที่ $\Gamma_L = 0\angle 0°$ คำนวณค่า Γ_S

จาก $$\Gamma_S = \left[S_{11} + \frac{S_{12}S_{21}\Gamma_L}{1-(\Gamma_L \cdot S_{22})} \right]^*$$

$$= \left[0.57\angle -143.8° + \frac{(0.06\angle 48.1° \times 8.18\angle 100.3° \times 0\angle 0°)}{1-(0\angle 0° \times 0.34\angle -59.5°)} \right]^*$$

$$\Gamma_S = 0.58\angle 143.8°$$

และคำนวณค่า Z_{in}

$$Z_S = \frac{1+\Gamma_S}{1-\Gamma_S}$$

$$= \frac{1+0.58\angle 143.8°}{1-0.58\angle 143.8°}$$

$$= 0.4217\angle 45.517°$$

$$= 0.2955 - j0.3009$$

จาก $$Z_{in} = Z_s \times 50$$

$$= 14.775 + j15.045 \quad \Omega$$

คำนวณค่า Z_{out}

$$Z_L = \frac{1+\Gamma_L}{1-\Gamma_L}$$

$$= \frac{1+0\angle 0°}{1-0\angle 0°}$$

$$= 1$$

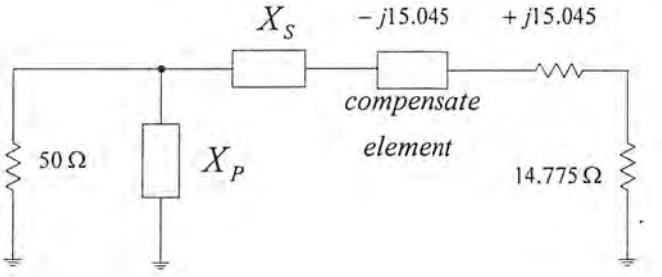
จาก $$Z_{out} = Z_L \times 50$$

$$= 50 \quad \Omega$$

5. คำนวณวงจรแมตชิ่งอิมพีแดนซ์

ที่อินพุต จาก $Z_{in} = 14.775 + j15.045$

จากวงจร



รูปที่ 3.23 วงจรแมตชิ่งอินพุตของทรานซิสเตอร์

คำนวณหาค่า

$$Q_S = Q_P = \sqrt{\frac{R_P}{R_S} - 1}$$

$$= \sqrt{\frac{50}{14.775} - 1}$$

$$= 1.544$$

$$X_s = Q_s R_s = 1.544 \times 14.775 = 22.8134$$

$$X_P = \frac{R_P}{Q_P} = \frac{50}{1.544} = 32.3834$$

เลือก $X_S = X_C$ และ $X_P = X_L$

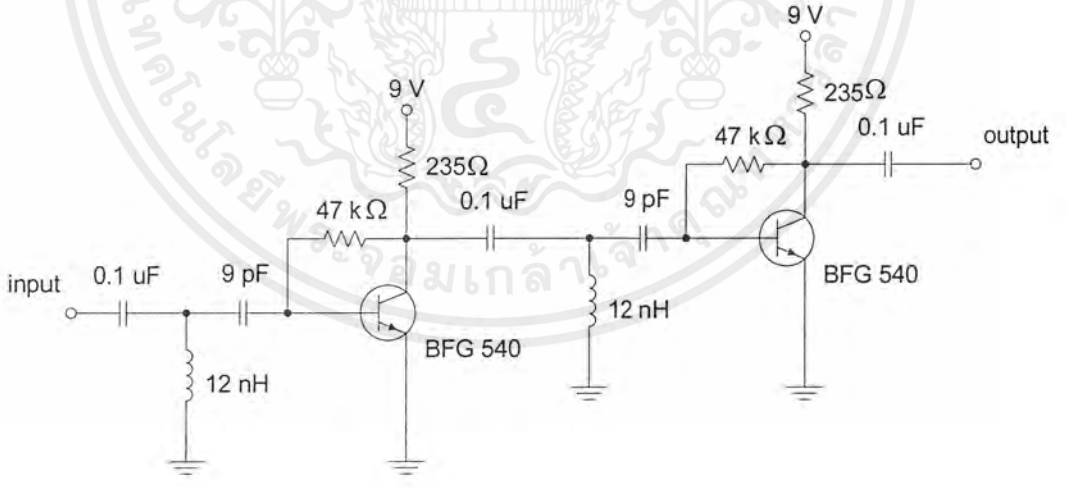
$$X_s = -j22.8134 - j15.045 = -j37.8584$$

$$\therefore \quad C = \frac{1}{2\pi \times 433 \times 10^6 \times 37.8584} = 9.777 \quad pF$$

$$X_L = +j32.3834$$

$$\therefore \quad L = \frac{32.3834}{2\pi \times 433 \times 10^6} = 11.986 \quad nH$$

ที่เอาต์พุตมีค่าอิมพีแดนซ์เท่ากับ 50 Ω อยู่แล้วจึงไม่ต้องทำการแมตชิ่ง นำวงจรที่คำนวณได้มาต่อ 2 สเตจ ได้วงจรขยายที่มีระดับสัญญาณรบกวนต่ำ (LNA) ดังรูป



รูปที่ 3.24 วงจรขยายที่มีระดับสัญญาณรบกวนต่ำ (LNA) ที่ความถี่ 433 เมกะเฮิรตซ์

3.9 วงจรสังเคราะห์ความถี่ 443.7 เมกะเฮิรตซ์

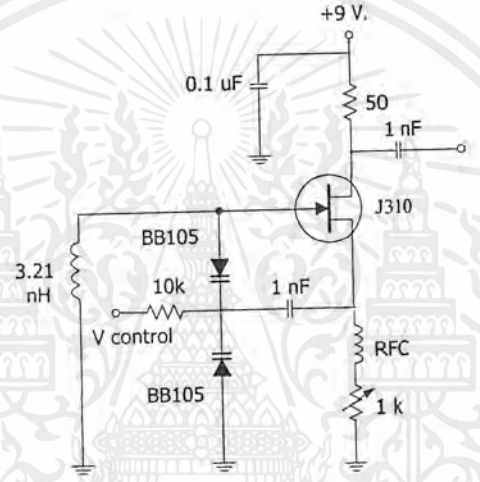
มีส่วนที่สำคัญดังนี้คือ

1. วงจรวีซีโอ
2. วงจรพรีสเกลเลอร์แบบสองโมดูลัส
3. วงจรเปรียบเทียบเฟส
4. วงจรลูปฟิลเตอร์

การคำนวณและการสร้างในหัวข้อนี้อ้างอิงจาก 3.4

3.9.1 วงจรวีซีโอ

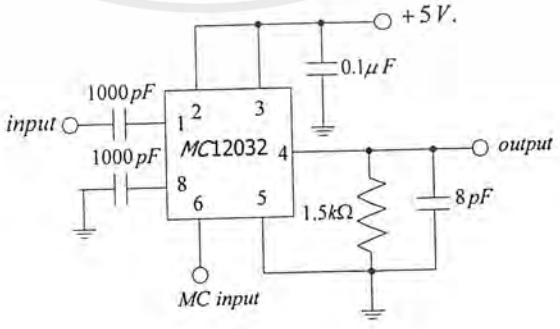
จากการคำนวณได้วงจรวีซีโอดังรูป



รูปที่ 3.25 วงจรกำเนิดความถี่ที่ควบคุมโดยแรงดัน โดยมีความถี่ที่ต้องการ 443.7 เมกะเฮิรตซ์

3.9.2 วงจรพรีสเกลเลอร์แบบสองโมดูลัส

พรีสเกลเลอร์เป็นตัวหารความถี่ที่เข้ามาให้ต่ำลง เพื่อที่จะป้อนให้กับวงจรเฟสดีเทกเตอร์ใช้ไอซีเบอร์ MC 12032 ซึ่งจะถูกตั้งหารเท่ากับ 64/65 โดยทำการต่อวงจรดังรูป 3.26



รูปที่ 3.26 การต่อวงจรของไอซี MC12032

3.9.3 วงจรเฟสดีเทกเตอร์

การออกแบบวงจรสังเคราะห์ความถี่ 443.7 เมกะเฮิรตซ์ จะได้ค่าต่างๆดังนี้

N_t = 443.7 MHz / 10 kHz = 44370

P = 64

N = 693 = 1 0 1 0 1 1 0 1 0 1

A = 18 = 0 1 0 0 1 0

3.9.4 วงจรลูปฟิลเตอร์

การคำนวณค่าต่างๆที่ต่อในวงจรสามารถคำนวณได้จาก

$$\omega_n = \sqrt{\frac{K_\phi K_{VCO}}{NCR_1}}$$

$$K_{VCO} = 42.1853\ Mrad/V$$

$$K_\phi = \frac{5}{2\pi} = 0.796$$

$$f_b = 0.01 f_s = 001 \times 10 \times 10^3 = 100\ Hz$$

$$\omega_n = \frac{2\pi f_b}{\sqrt{2\xi^2 + 1 + \sqrt{\left(\left(2\xi^2+1\right)^2+1\right)}}} = \frac{2\pi \times 100}{\sqrt{2(1)^2 + 1 + \sqrt{\left(2(1)^2+1\right)^2+1}}}$$

$$= 287.698$$

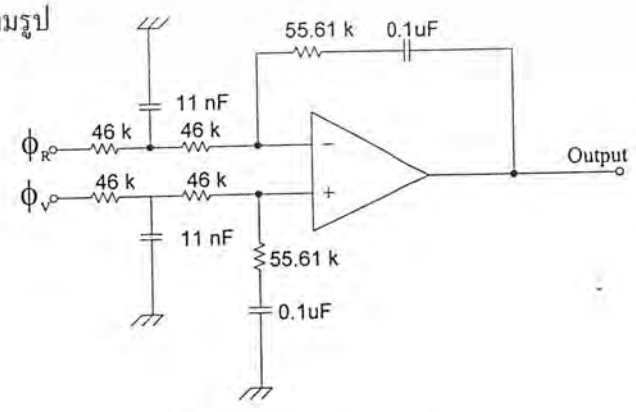
$$N_t = \frac{200MHz}{10kHz} = 44{,}370$$

$$R_1 = \frac{K_\phi K_{VCO}}{C_1 \omega_n^2 N_t} = 91.434\ k\Omega$$

$$R_2 = \frac{2\xi}{\omega_n C_1} = 55.61 k\Omega$$

$$C_c = \frac{1}{10 R_1 f_b} = 10.937\ nF$$

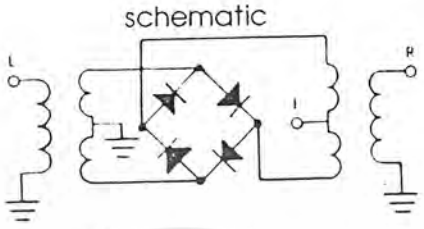
เพราะฉะนั้นจะได้วงจรตามรูป



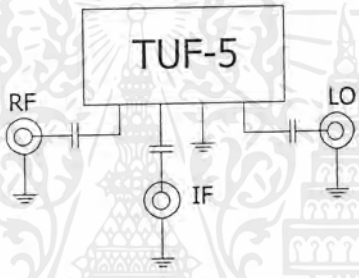
รูปที่ 3.27 วงจรลูปฟิลเตอร์

3.10 วงจรมิกเซอร์

วงจรมิกเซอร์ใช้ TUF-5 โดยรับสัญญาณจากวงจรสังเคราะห์ความถี่ 433 เมกะเฮิรตซ์ เป็นความถี่อาร์เอฟ (RF) และรับสัญญาณจากวงจรสังเคราะห์ความถี่ 443.7 เมกะเฮิรตซ์เป็นความถี่โลคอลออสซิลเลเตอร์(LO) ต่อวงจรดังรูปที่ 3.28



รูปที่ 3.28 วงจรภายใน TUF-5

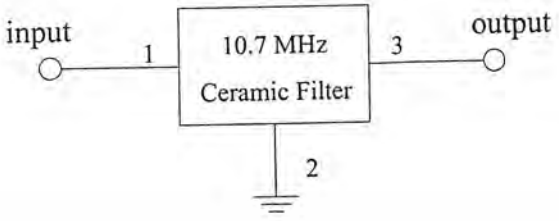


รูปที่ 3.29 วงจรมิกเซอร์

ได้เอาต์พุตสัญญาณไอเอฟ (IF) ออกมาซึ่งมาเราต้องการเฉพาะค่าผลต่างของความถี่ระหว่างอาร์เอฟ (RF) และโลคอลออสซิลเลเตอร์ (LO) เท่านั้น ดังนั้นนำเอาต์พุตจากวงจรนี้ไปผ่านวงจรกรองช่วงความถี่ผ่านอีกครั้งหนึ่งเพื่อกรองเอาฮาร์โมนิคสูงๆ ทิ้งไป

3.11 วงจรกรองแถบความถี่ผ่าน 10.7 เมกะเฮิรตซ์

เลือกใช้เซรามิกฟิลเตอร์(Ceramic Filter)10.7 เมกะเฮิรตซ์มากรองสัญญาณหลังผ่านวงจรมิกเซอร์ มีลักษณะการต่อดังรูปที่ 3.30



รูปที่ 3.30 วงจรกรองแถบความถี่ผ่าน 10.7 เมกะเฮิรตซ์

3.12 วงจรขยายสัญญาณความถี่กลาง (IF : Intermediate Frequency)

สัญญาณที่ผ่านวงจรกรองแถบความถี่ผ่าน จะมีขนาดสัญญาณเล็ก จึงจำเป็นต้องมีวงจรขยายสัญญาณในส่วนนี้ให้มีขนาดสัญญาณแรงขึ้นเพื่อนำไปใช้ในส่วนอื่นต่อไป

จากสมการออกแบบวงจรขยายสัญญาณ

$$S_{21} \approx 10 \text{ dB}$$

$$g_{m(\min)} = \frac{1+|s_{21}|}{Z_o} = \frac{1+|10|}{50} = 0.22 \text{ S}$$

$$R_{F1} = Z_0\,(1+|S_{21}|)$$

$$= 50\,(1+10) = 550 \ \Omega$$

กำหนดให้ $V_T = 25\ mV$

จาก $g_m = \frac{I_C}{V_T}$

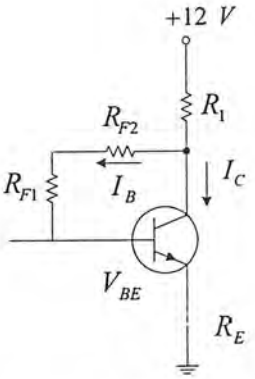
$$I_C = g_m V_T$$

$$\therefore I_{C(\min)} = 0.22 \times 25 \times 10^{-3}$$

$$= 5.5 \ mA$$

$$R_{F1} = 550 \ \Omega$$

พิจารณาวงจรสมมูลทาง ดีซี (DC)



รูปที่ 3.31 วงจรสมมูลทางดีซี (DC) ของวงจรคอมมอนอีมิตเตอร์

กำหนดให้

$$V_{CC} = +12 \quad V$$
$$V_{BE} = 0.65 \quad V$$
$$\beta = 113 \quad \text{(จากดาต้าชีท)}$$
$$R_1 = 200 \quad \Omega$$
$$R_{F1} = 550 \quad \Omega$$

และ $I_C = 10 \quad mA$

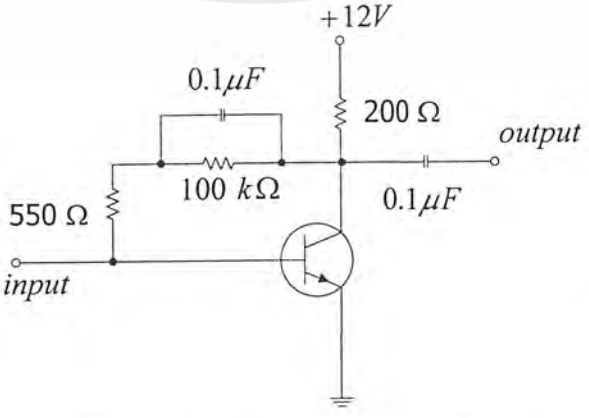
คำนวณ ดีซีไบอัส (DC bias)

$$12 = (I_B + I_C)R_1 + (R_{F1} + R_{F2})I_B + 0.65$$
$$12 = \left(\frac{I_C}{\beta} + I_C\right)R_1 + (R_{F1} + R_{F2})\frac{I_C}{\beta} + 0.65$$
$$11.35 = \left(R_1 + \frac{(R_{F1} + R_{F2})}{\beta}\right)I_C$$

แทนค่าตามที่กำหนดได้

$$R_{F2} = 105 \quad k\Omega$$

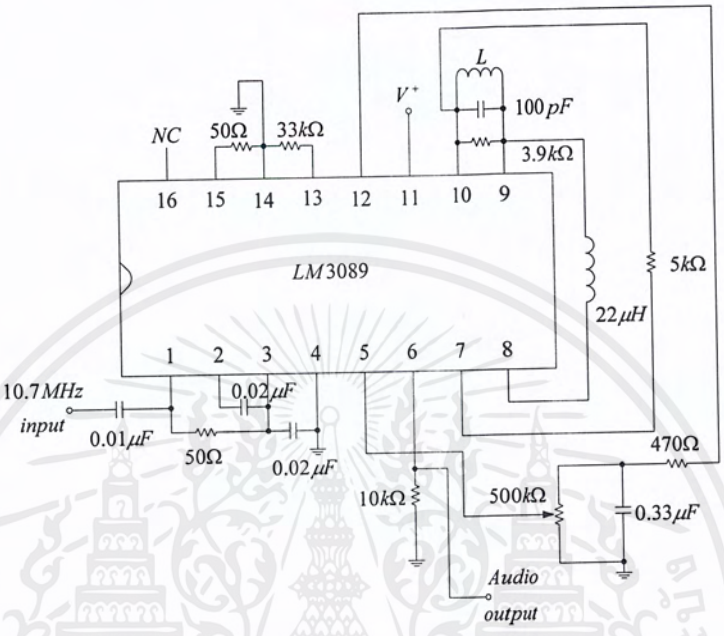
นำค่าที่คำนวณได้มาต่อวงจรได้ดังรูปที่ 3.32



รูปที่ 3.32 วงจรขยายสัญญาณความถี่กลางความถี่10.7 เมกะเฮิรตซ์

3.13 การออกแบบวงจรจีเอฟเอสเคดีมอดูเลเตอร์ (GFSK Demodulator)

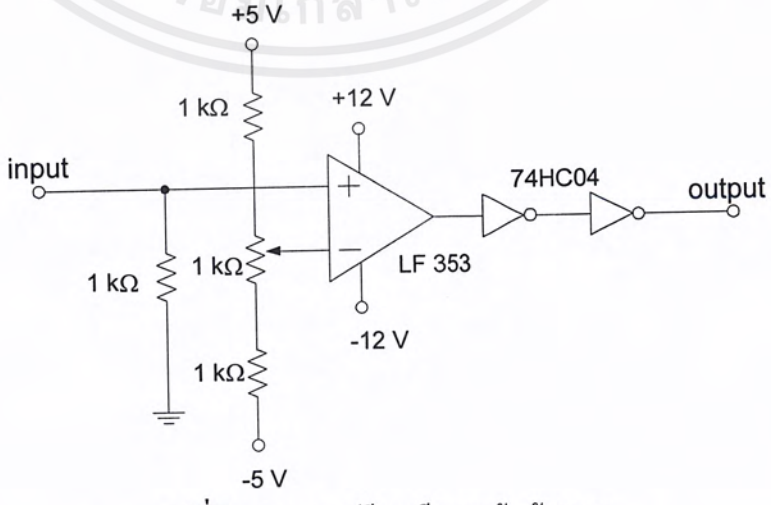
สัญญาณที่ใช้ในการทดสอบมีการมอดูเลตแบบจีเอฟเอสเค จึงทำการออกแบบวงจรจีเอฟเอสเคดีมอดูเลเตอร์เพื่อให้ได้สัญญาณข่าวสารเดิมกลับคืนมาใช้ไอซีเบอร์ LM3089 โดยต่อวงจรตามคำแนะนำในดาต้าชีต



รูปที่ 3.33 วงจรจีเอฟเอสเคดีมอดูเลเตอร์ที่ใช้ไอซีเบอร์ LM3089

3.14 วงจรเปรียบเทียบระดับสัญญาณ (Voltage Comparator)

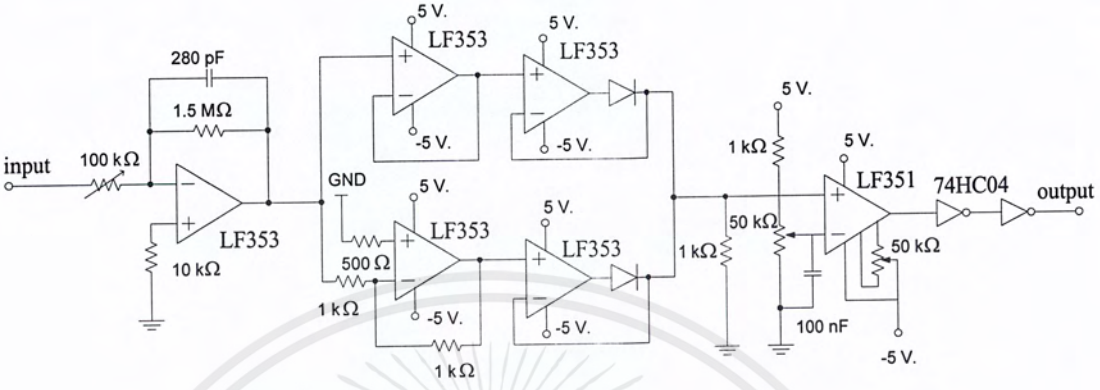
สัญญาณที่ได้จากวงจรดีมอดูเลเตอร์นั้นจะมีความผิดเพี้ยนเกิดขึ้น ดังนั้นจังต้องมีวงจรเปรียบเทียบระดับสัญญาณซึ่งจะทำให้สัญญาณที่ได้มีลักษณะเป็นพัลส์ วงจรเปรียบเทียบระดับสัญญาณ แสดงได้ดังรูปที่ 3.34



รูปที่ 3.34 วงจรเปรียบเทียบระดับสัญญาณ

3.15 วงจรกู้สัญญาณนาฬิกา (Clock Recovery)

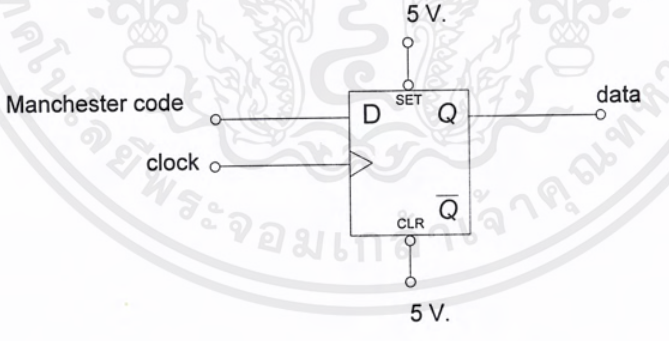
ประกอบด้วยการทำงานของวงจร 3 ส่วน อันได้แก่ วงจรอินทิเกรเตอร์ (Integrator), วงจรค่าสัมบูรณ์ (Absolute) และวงจรเปรียบเทียบระดับสัญญาณ (Voltage Comparator) ได้วงจรตามรูปที่ 3.35



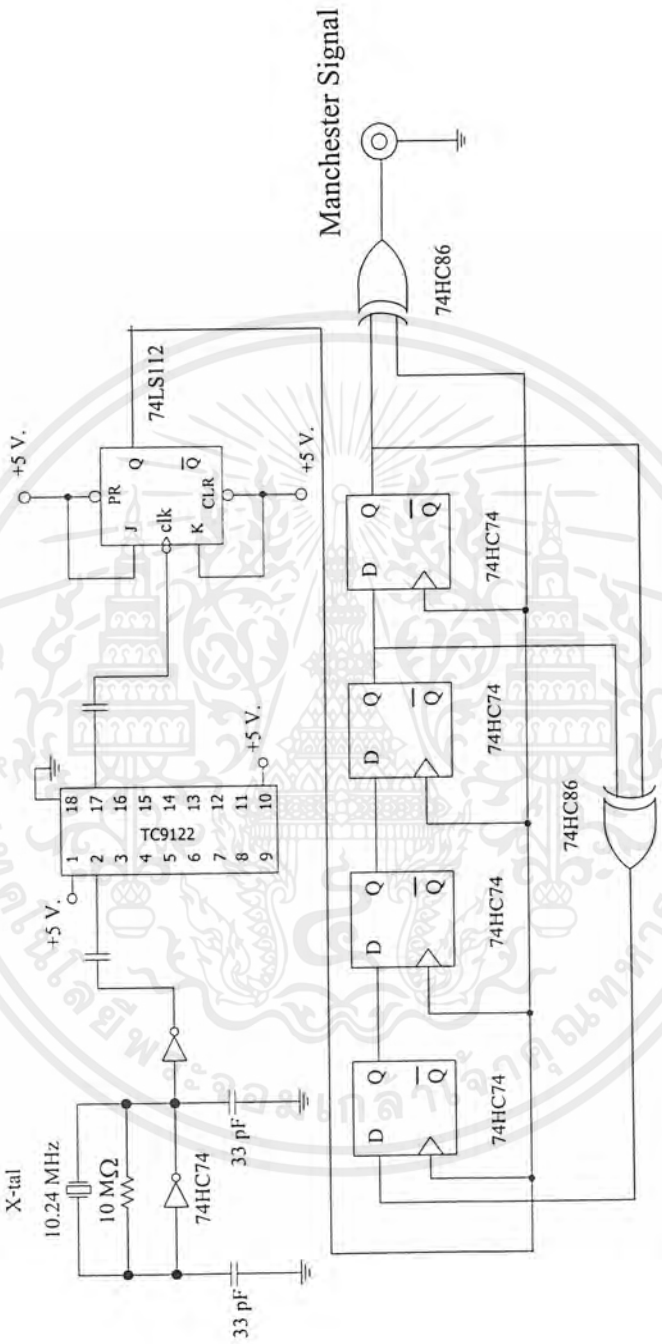
รูปที่ 3.35 วงจรกู้สัญญาณนาฬิกา

3.16 วงจรถอดรหัสสัญญาณแบบแมนเชสเตอร์

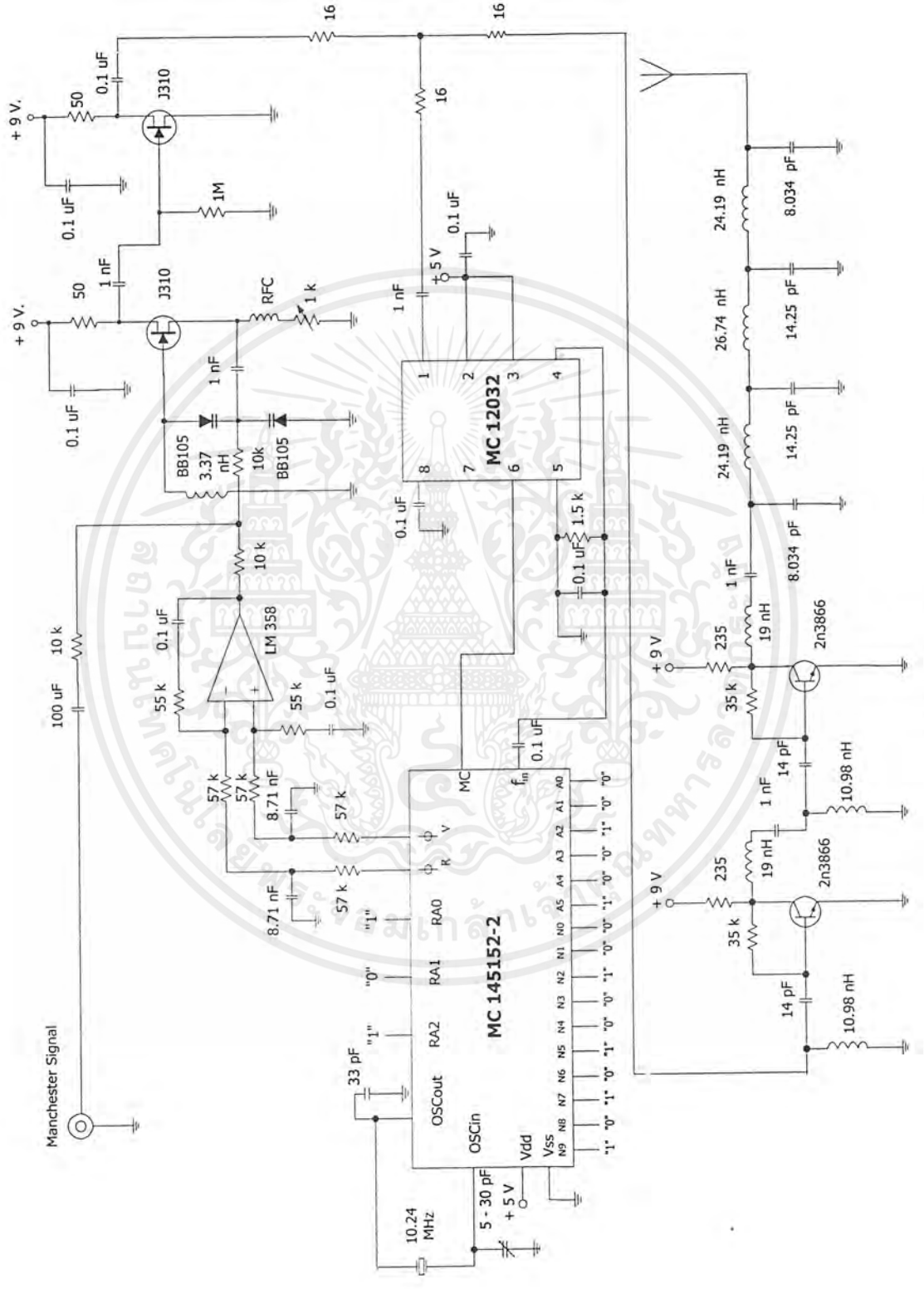
ทำการถอดรหัสด้วยดี-ฟลิปฟลอป (D Flip-Flop) เนื่องจากไม่เกิดปัญหาการเกิดการเหลื่อมล้ำของสัญญาณนาฬิกาอ้างอิงที่กู้กลับมาได้ หรือที่เรียกว่า จิตเตอร์ (Jitter) เหมือนการถอดรหัสด้วยเอกซ์คลูซีฟออร์ (Exclusive OR)



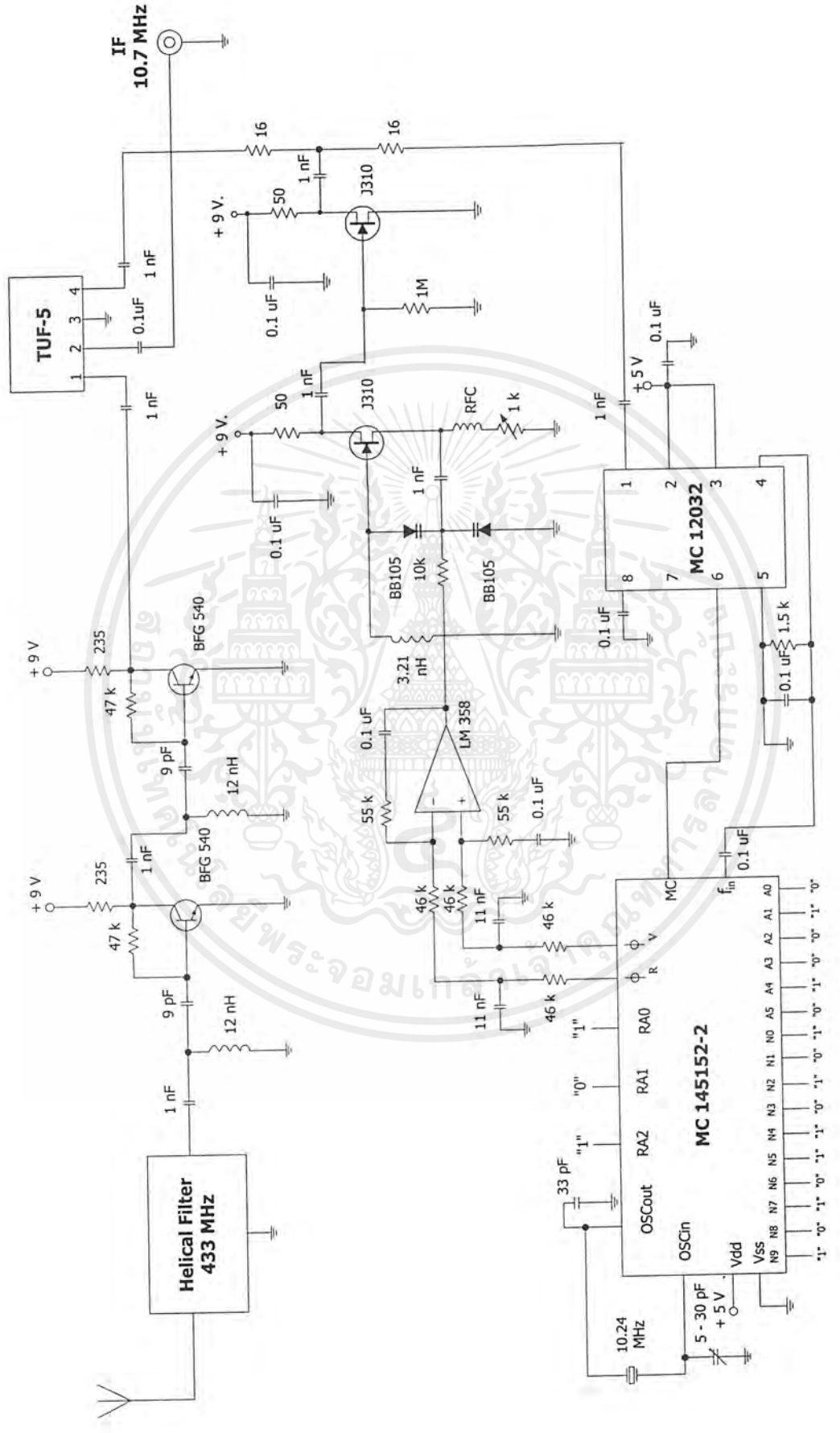
รูปที่ 3.36 วงจรถอดรหัสสัญญาณแบบแมนเชสเตอร์



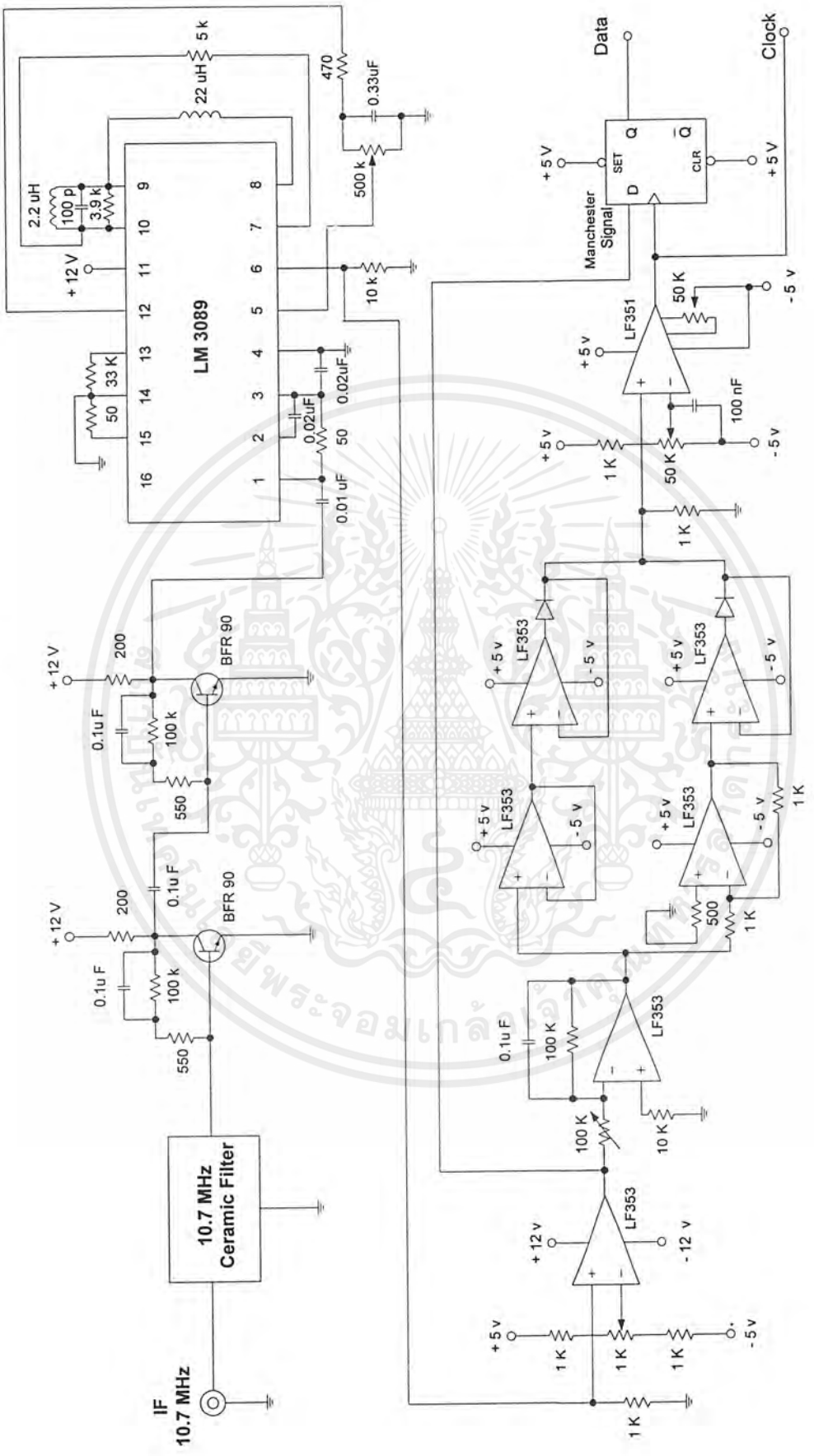
รูปที่ 3.37 วงจรกำเนิดสัญญาณพัลส์แบบสุ่มวงจรและวงจรเข้ารหัสสัญญาณข้อมูลแบบแมนเชสเตอร์



รูปที่ 3.38 วงจรรวมภาคส่ง



รูปที่ 3.39 วงจรรวมภาครับ-1



วงจรรวมภาครับ-2

บทที่ 4
การทดลองและผลการทดลอง

วงจรที่ออกแบบได้ในบทที่ 3 ถูกนำมาต่อจริงเพื่อวัดผลตอบสนองโดยวงจรที่ออกแบบได้มีผลการทดลองในส่วนต่างๆซึ่งสามารถแบ่งผลการทดลองออกได้เป็น 2 ส่วนด้วยกันคือ

1. ผลการทดลองของวงจรภาคส่งโมเด็มไร้สาย
2. ผลการทดลองของวงจรภาครับโมเด็มไร้สาย

ผลการทดลองภาคส่ง
Transmitter

4.1 วงจรกำเนิดสัญญาณพัลส์แบบสุ่ม (Pseudo Random Pulse Generator)

วงจรกำเนิดสัญญาณพัลส์แบบสุ่มนี้ใช้ในการจำลองข้อมูลและนำข้อมูลที่จำลองได้ไปทำการเข้ารหัสข้อมูลอีกทีหนึ่ง (หัวข้อที่ 4.2) โดยข้อมูลของวงจรกำเนิดสัญญาณพัลส์แบบสุ่มมีวัตถุประสงค์เพื่อนำไปใช้เป็นข้อมูลในการทดสอบการทำงานของโมเด็มไร้สายซึ่งผลการทดลองประกอบด้วย 2 ส่วนด้วยกันคือ

4.1.1 วงจรกำเนิดสัญญาณนาฬิกาความถี่ 64 กิโลเฮิรตซ์

4.1.1.1 วงจรคริสตอลออสซิลเลเตอร์ความถี่ 10.24 เมกะเฮิรตซ์

4.1.1.2 วงจรหารความถี่ 80 เท่า (÷80 Frequency Divider)

4.1.1.3 วงจรหารความถี่ 2 เท่า (÷2 Frequency Divider)

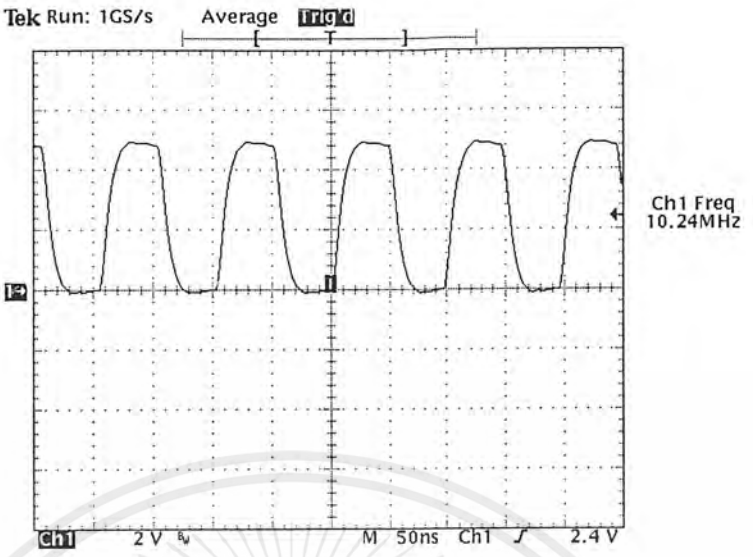
4.1.2 วงจรสร้างสัญญาณพัลส์แบบสุ่ม (Pseudo Random Pulse Generator)

โดยผลการทดลองในแต่ละส่วนมีดังนี้

4.1.1 วงจรกำเนิดสัญญาณนาฬิกาความถี่ 64 กิโลเฮิรตซ์

4.1.1.1 วงจรคริสตอลออสซิลเลเตอร์ความถี่ 10.24 เมกะเฮิรตซ์ (10.24 MHz Crystal Oscillator)

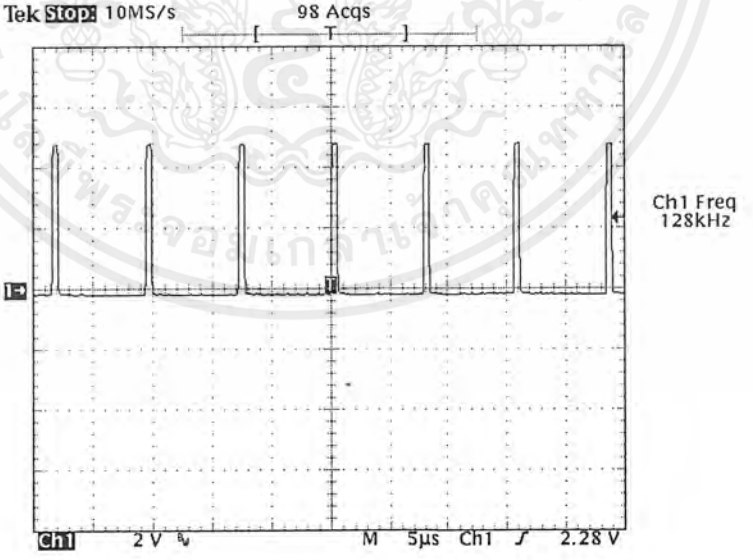
วงจรคริสตอลออสซิลเลเตอร์นี้ใช้คริสตอลความถี่ 10.24 เมกะเฮิรตซ์เป็นตัวกำหนดความถี่ร่วมกับการทำงานของอินเวอเตอร์ซีมอส (CMOS) 74HC04 รูปที่ 4.1 แสดงรูปสัญญาณและความถี่ที่ได้จากวงจรคริสตอลออสซิลเลเตอร์ความถี่ 10.24 เมกะเฮิรตซ์



รูปที่ 4.1 สัญญาณและความถี่ที่ได้จากวงจรคริสตอลออสซิลเลเตอร์ความถี่ 10.24 เมกะเฮิรตซ์

4.1.1.2 วงจรหารความถี่ 80 เท่า (÷80 Frequency Divider)

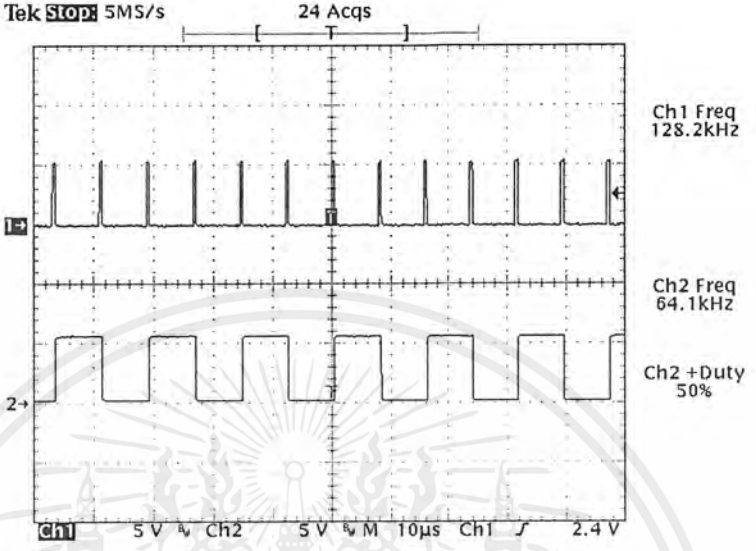
สัญญาณจากวงจรคริสตอลออสซิลเลเตอร์ความถี่ 10.24 เมกะเฮิรตซ์ ถูกนำมาหารความถี่เพื่อให้ได้เอาต์พุตที่ความถี่ 128 กิโลเฮิรตซ์ ซึ่งต้องทำการหาร 80 โดยใช้ไอซี TC9122 ผลการทดลองแสดงดังรูปที่ 4.2



รูปที่ 4.2 สัญญาณและความถี่ที่ได้จากวงจรหารความถี่ 80 เท่า

4.1.1.3 วงจรหารความถี่ 2 เท่า (÷2 Frequency Divider)

วงจรหารความถี่ 2 เท่า ใช้ไอซี 74LS112 หารความถี่จาก 128 กิโลเฮิรตซ์มาเป็น 64 กิโลเฮิรตซ์ และมีดิวตี้ไซเคิล (Duty Cycle) เท่ากับ 50 % ผลการทดลองแสดงตามรูปที่ 4.3



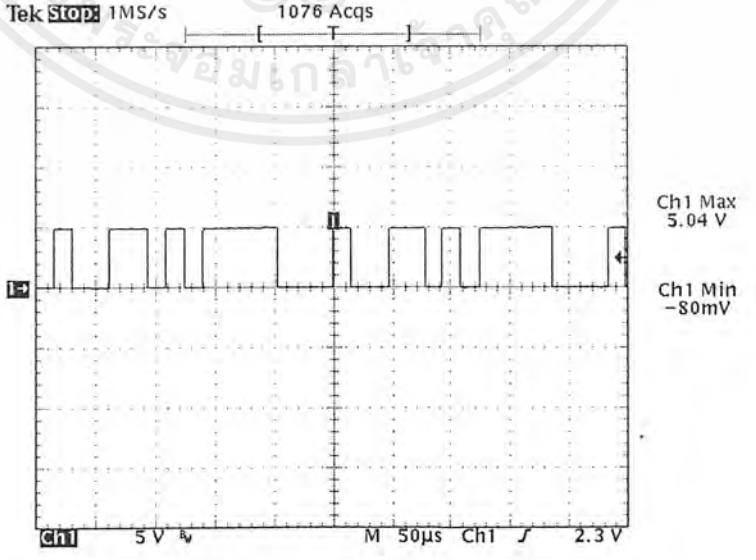
รูปที่ 4.3 สัญญาณและความถี่ที่ได้จากวงจรหารความถี่ 2 เท่า

Ch 1 : สัญญาณอินพุตความถี่ 128 กิโลเฮิรตซ์

Ch 2 : สัญญาณเอาต์พุตความถี่ 64 กิโลเฮิรตซ์

4.1.2 วงจรสร้างสัญญาณพัลส์แบบสุ่ม (Pseudo Random Pulse Generator)

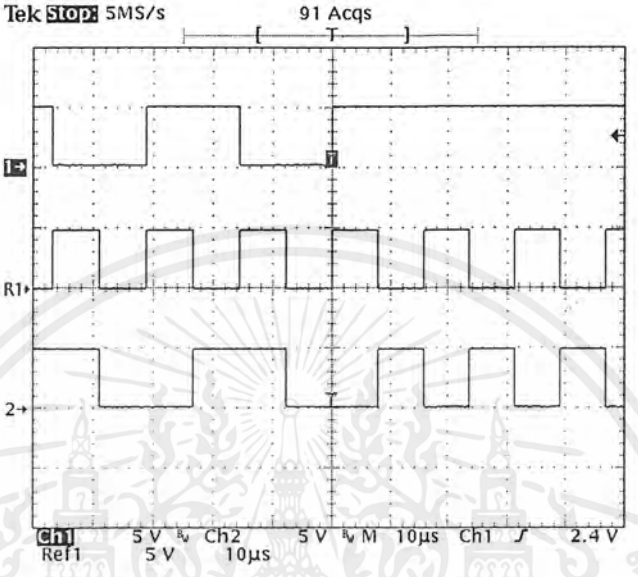
สัญญาณความถี่ 64 กิโลเฮิรตซ์จากวงจรหารความถี่ 2 เท่า (หัวข้อที่ 4.1.1.3) นำมาใช้เป็นสัญญาณนาฬิกาแก่วงจรสร้างสัญญาณพัลส์แบบสุ่มในการกำเนิดข้อมูล



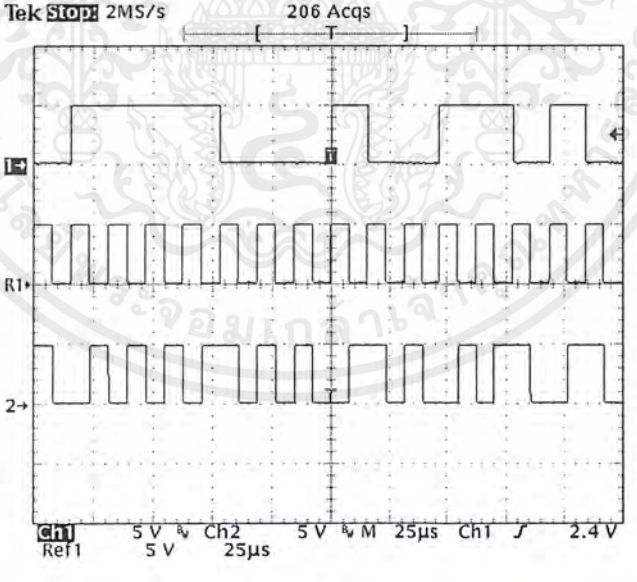
รูปที่ 4.4 สัญญาณเอาต์พุตที่ได้จากวงจรสร้างพัลส์แบบสุ่ม

4.2 วงจรเข้ารหัสสัญญาณข้อมูลแบบแมนเชสเตอร์ (Manchester Encoder)

ข้อมูลจำลองที่ได้จากวงจรกำเนิดสัญญาณพัลส์แบบสุ่ม(หัวข้อที่ 4.1)นำมาเข้ารหัสกับสัญญาณนาฬิกาความถี่ 64 กิโลเฮิรตซ์(หัวข้อที่ 4.1.1)โดยใช้การเข้ารหัสแบบแมนเชสเตอร์ด้วยเอกซ์คลูซีฟออร์ ผลการเข้ารหัสแสดงได้ตามรูปที่ 4.5



(ก)



(ข)

รูปที่ 4.5 สัญญาณจากการเข้ารหัสแบบแมนเชสเตอร์

Ch 1 : สัญญาณข้อมูลจากวงจรสร้างสัญญาณพัลส์แบบสุ่ม

Ref1 : สัญญาณนาฬิกาความถี่ 64 กิโลเฮิรตซ์

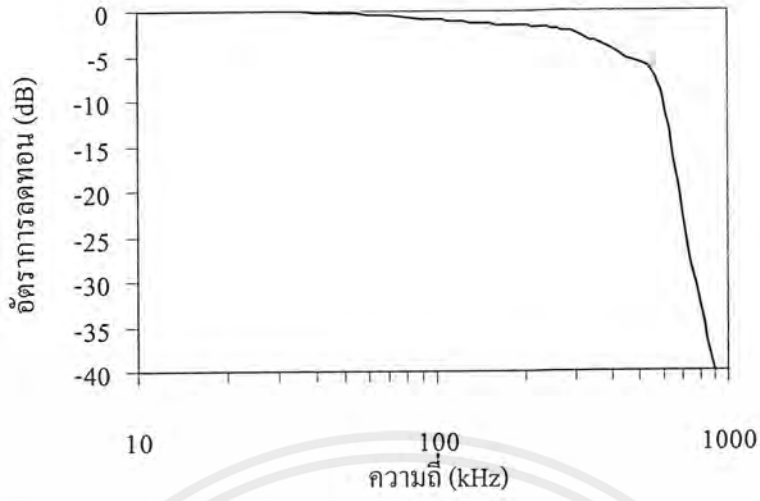
Ch 2 : สัญญาณเอาต์พุตจากวงจรเข้ารหัสแบบแมนเชสเตอร์

4.3 วงจรกรองความถี่ต่ำผ่านแบบเกาส์เซียน (Gaussian Low Pass Filer)

ใช้วงจรกรองความถี่ต่ำผ่านแบบเกาส์เซียน (Gaussian LPF, Order 7^{th}) และเลือกค่าความถี่คัทออฟที่ 320 กิโลเฮิรตซ์ ทำการทดลองโดยป้อนสัญญาณอินพุตขนาด 1 V_{p-p} ได้ผลตอบสนองทางความถี่ดังตารางที่ 4.1

ความถี่ (kHz)	สัญญาณเอาต์พุต (V_{p-p})	อัตราการลดทอน (dB)	ความถี่ (kHz)	สัญญาณเอาต์พุต (V_{p-p})	อัตราการลดทอน (dB)
10	1.000	0.000	260	0.792	-2.025
20	0.992	-0.069	270	0.784	-2.114
30	0.992	-0.069	280	0.776	-2.203
40	0.984	-0.140	290	0.768	-2.293
50	0.968	-0.282	300	0.752	-2.476
60	0.952	-0.427	310	0.736	-2.662
70	0.944	-0.500	320	0.720	-2.853
80	0.928	-0.649	330	0.704	-3.049
90	0.912	-0.800	340	0.688	-3.248
100	0.896	-0.954	350	0.680	-3.350
110	0.888	-1.032	360	0.672	-3.453
120	0.880	-1.110	370	0.656	-3.662
130	0.864	-1.270	380	0.640	-3.876
140	0.856	-1.350	390	0.624	-4.096
150	0.848	-1.432	400	0.608	-4.322
160	0.840	-1.514	450	0.548	-5.224
170	0.840	-1.514	500	0.512	-5.815
180	0.840	-1.514	550	0.468	-6.595
190	0.832	-1.598	600	0.306	-10.286
200	0.832	-1.598	650	0.150	-16.478
210	0.824	-1.681	700	0.073	-22.734
220	0.816	-1.766	750	0.040	-27.959
230	0.816	-1.766	800	0.023	-32.765
240	0.808	-1.852	850	0.015	-36.478
250	0.800	-1.938	900	0.010	-40.000

ตารางที่ 4.1 ผลตอบสนองทางความถี่ของวงจรกรองความถี่ต่ำผ่านแบบเกาส์เซียน



รูปที่ 4.6 กราฟแสดงผลตอบสนองทางความถี่ของวงจรกรองความถี่ต่ำแบบเกาส์เซียน

4.4 วงจรสังเคราะห์ความถี่ด้วยเฟสล็อกลูปความถี่ 433 เมกะเฮิรตซ์

(433 MHz Phase Lock Loop – Frequency Synthesizer)

วงจรสังเคราะห์ความถี่ด้วยเฟสล็อกลูปประกอบด้วยวงจรย่อยภายในด้วยกัน 4 วงจร ได้แก่

4.4.1 วงจรวีซีโอ (VCO:Voltage Controled Oscillator)

4.4.2 วงจรพรีสเกลเลอร์ (Prescaler)

4.4.3 วงจรเฟสดีเทกเตอร์ (Phase Detector)

4.4.4 วงจรลูปฟิลเตอร์ (Loop Filter)

ผลการทดลองแต่ละวงจรแสดงได้ดังนี้คือ

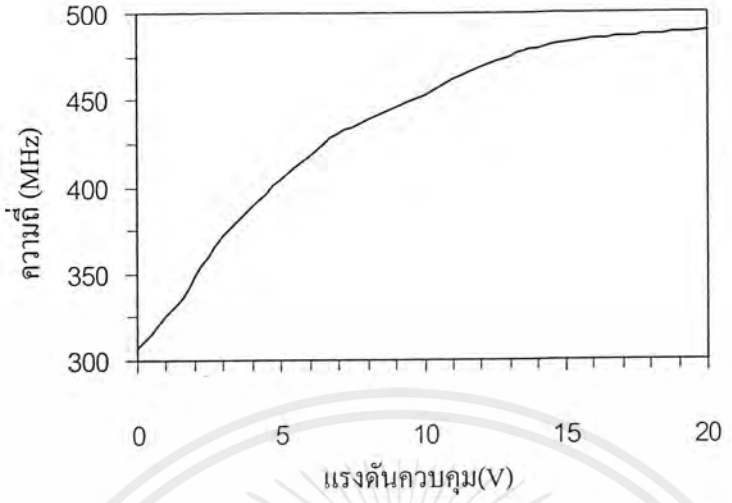
4.4.1 วงจรวีซีโอ (VCO:Voltage Controled Oscillator)

ทำการทดลองเพื่อหาความสัมพันธ์ระหว่างแรงดันควบคุมกับความถี่และกำลังงานเอาต์พุตที่ได้จากวงจรวีซีโอ ได้ผลการทดลองดังตารางที่ 4.2 แสดงเป็นกราฟตามรูปที่ 4.7 และ 4.8 โดยในรูปที่ 4.7 แสดงความสัมพันธ์ระหว่างแรงดันควบคุมกับความถี่ที่ได้และในรูปที่ 4.8 แสดงความสัมพันธ์ระหว่างความถี่และกำลังงานเอาต์พุต

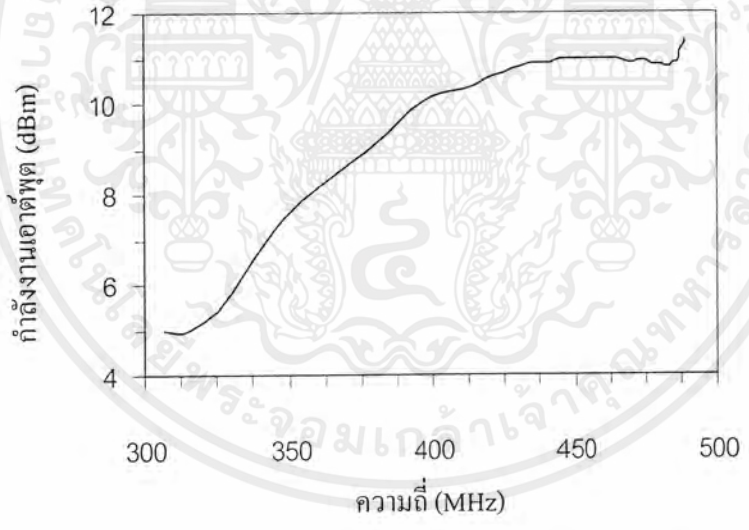
แรงดันควบคุม (V)	ความถี่ที่ได้ (MHz)	กำลังงานเอาต์พุต (dBm)
0.0	325.24	4.97
1.0	325.47	5.04
2.0	348.02	7.48
3.0	371.71	8.68
4.0	388.56	9.62
5.0	403.67	10.23
6.0	418.29	10.55
7.0	430.11	10.80
8.0	438.60	10.90
9.0	445.38	10.96
10.0	452.63	10.96
11.0	461.30	10.96
12.0	469.19	10.92
13.0	475.07	10.92
14.0	479.62	10.83
15.0	482.66	10.80
16.0	484.76	10.90
17.0	486.10	10.91
18.0	487.22	11.10
19.0	488.20	11.26
20.0	489.18	11.52

ตารางที่ 4.2 ความสัมพันธ์ระหว่างแรงดันควบคุมกับความถี่และกำลังงานเอาต์พุต

นำความสัมพันธ์ระหว่างแรงดันควบคุมกับความถี่จากตารางที่ 4.2 มาทำการเขียนกราฟได้ดังรูปที่ 4.7 และความสัมพันธ์ระหว่างความถี่กับกำลังงานเอาต์พุตมาเขียนกราฟได้ดังรูปที่ 4.8



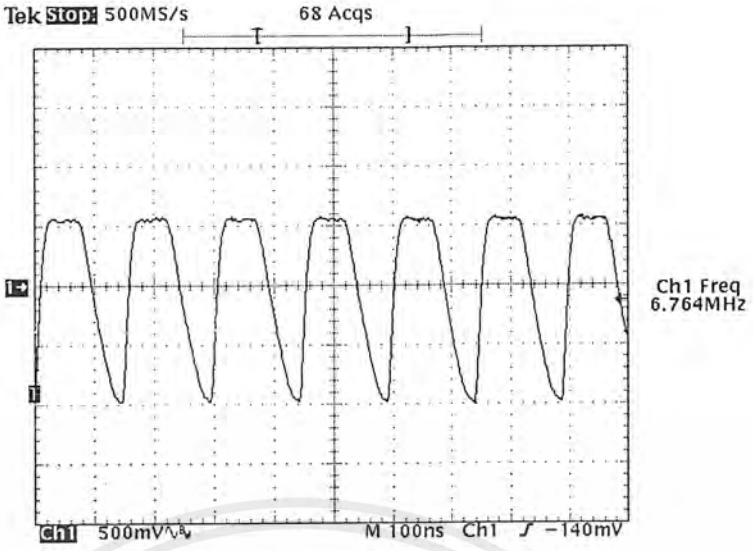
รูปที่ 4.7 กราฟแสดงความสัมพันธ์ระหว่างแรงดันควบคุมกับความถี่ที่ได้ของวงจรวีซีโอ



รูปที่ 4.8 กราฟแสดงความสัมพันธ์ระหว่างความถี่กับกำลังงานเอาต์พุตของวงจรวีซีโอ

4.4.2 วงจรพรีสเกลเลอร์ (Prescaler)

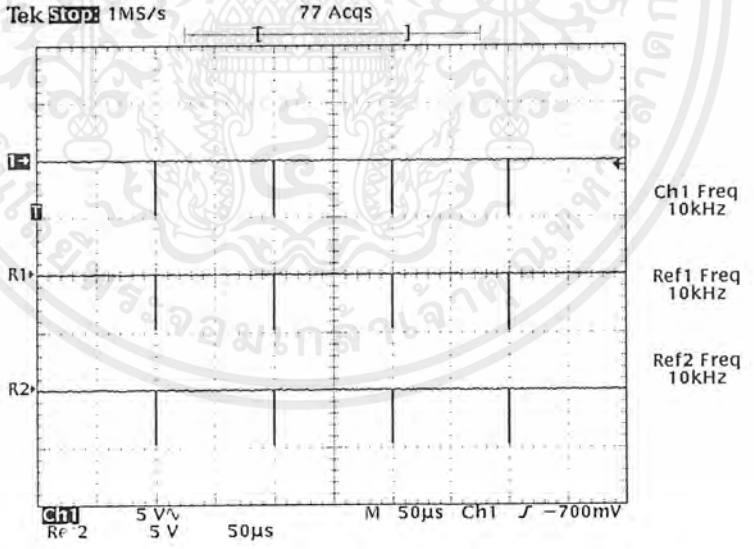
วงจรพรีสเกลเลอร์ทำหน้าที่หารความถี่ให้มีความถี่ที่ต่ำลง โดยอินพุตที่ป้อนเข้าวงจรพรีสเกลเลอร์คือสัญญาณจากวีซีโอ (หัวข้อที่ 4.4.1) เอาต์พุตของวงจรพรีสเกลเลอร์แสดงตามรูปที่ 4.9



รูปที่ 4.9 สัญญาณเอาต์พุตจากวงจรพรีสเกลเลอร์ MC12032

4.4.3 วงจรเฟสดีเทกเตอร์ (Phase Detector)

ไอซี MC145152 ภายในมีตัวเปรียบเทียบเฟส โดยที่ขาสัญญาณอินพุต (ขาที่ 1)เป็นสัญญาณที่ได้จากวงจรพรีสเกลเลอร์มาเปรียบเทียบเฟสกับสัญญาณอ้างอิงที่ได้มาจากคริสตอลออสซิลเลเตอร์ความถี่ 10.24 เมกะเฮิรตซ์ เมื่อเฟสตรงกันจะแสดงสถานะดังรูปที่ 4.10

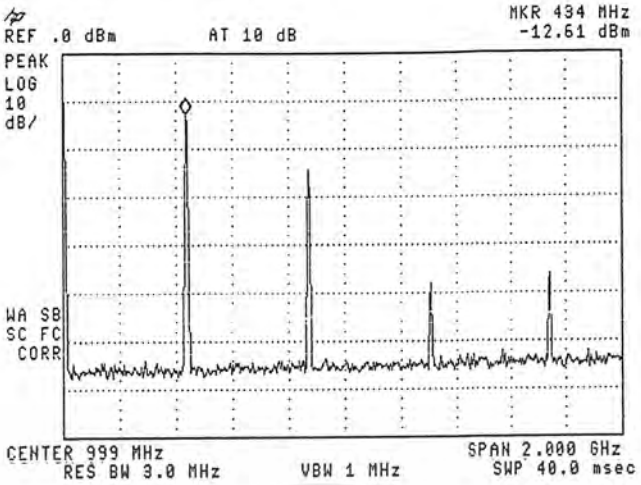


รูปที่ 4.10 สัญญาณแสดงสถานะเมื่อสัญญาณอินพุตมีเฟสตรงกับสัญญาณอ้างอิง

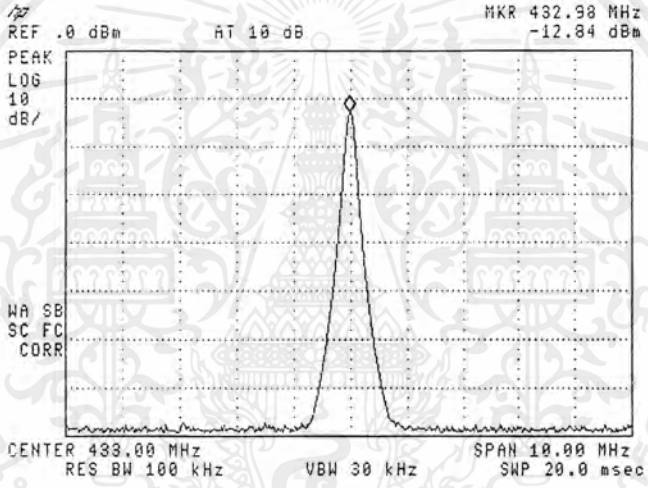
Ch1 : สัญญาณจากขาล็อกดีเทกต์ (ขาที่ 28)

Ref1 : สัญญาณจากขา $\varnothing_R$ (ขาที่ 7)

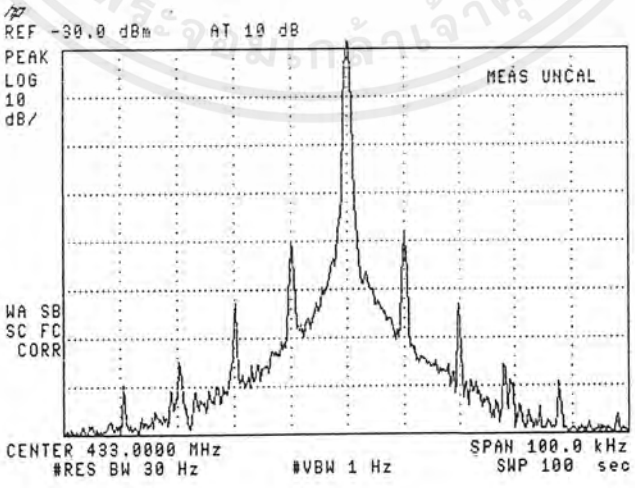
Ref2 : สัญญาณจากขา $\varnothing_V$ (ขาที่ 8)



(ก)



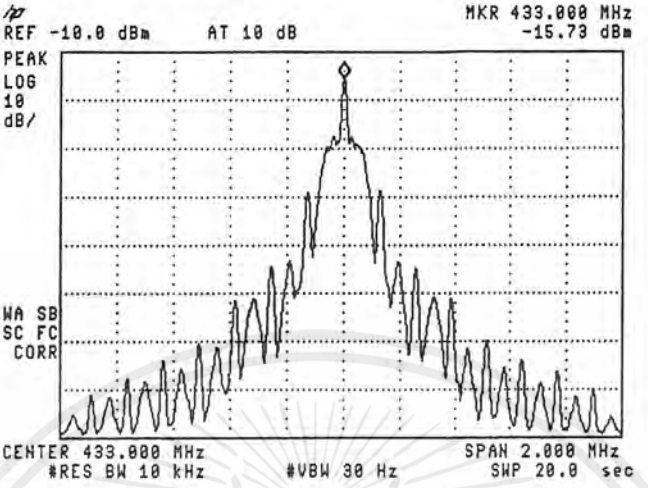
(ข)



(ค)

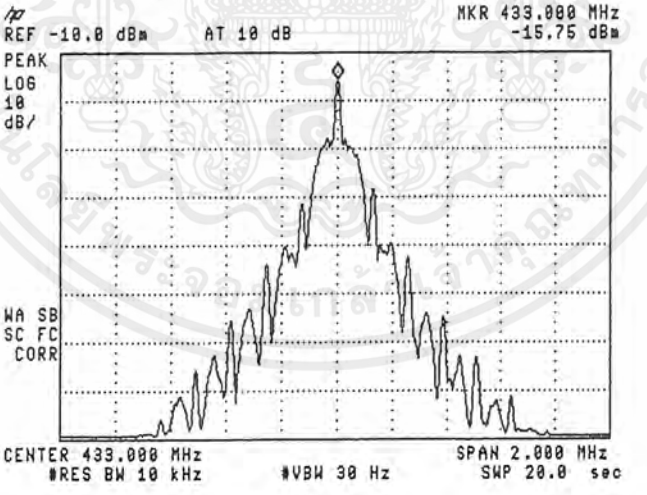
รูปที่ 4.11 สเปกตรัมของสัญญาณจากวงจรสังเคราะห์ความถี่ 433 เมกะเฮิรตซ์

เมื่อนำสัญญาณจากวงจรกำเนิดสัญญาณพัลส์แบบสุ่มมามอดูเลต โดยไม่ผ่านวงจรกรองความถี่ต่ำผ่านแบบเกาส์เซียน ได้สเปกตรัมของสัญญาณเอฟเอสเค (FSK) ดังรูปที่ 4.12



รูปที่ 4.12 สเปกตรัมของสัญญาณเอฟเอสเค (FSK) จากวงจรสังเคราะห์ความถี่ 433 เมกะเฮิรตซ์

หากสัญญาณจากวงจรกำเนิดสัญญาณพัลส์แบบสุ่มถูกกรองด้วยวงจรกรองความถี่ต่ำผ่านแบบเกาส์เซียน ก่อนทำการมอดูเลต ได้สเปกตรัมของสัญญาณ จีเอฟเอสเค (GFSK) ดังรูปที่ 4.13



รูปที่ 4.13 สเปกตรัมของสัญญาณจีเอฟเอสเค (GFSK) จากวงจรสังเคราะห์ความถี่ 433 เมกะเฮิรตซ์

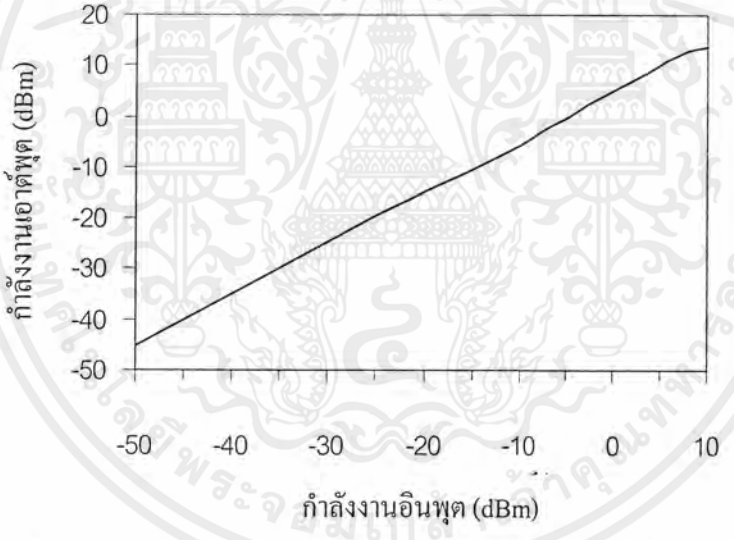
พบว่าสัญญาณที่ได้จากการมอดูเลตแบบจีเอฟเอสเค ใช้แบนด์วิดท์ที่แคบกว่าการมอดูเลตแบบเอฟเอสเค

4.5 วงจรขยายสัญญาณความถี่วิทยุ (RF Amplifier)

วงจรขยายสัญญาณทำหน้าที่ขยายสัญญาณหลังจากผ่านการมอดูเลต ซึ่งมีขนาดของสัญญาณที่ต่ำไม่เหมาะสมที่จะส่งออกอากาศ ทำการทดลองป้อนสัญญาณความถี่ 433 เมกะเฮิรตซ์ โดยเปลี่ยนค่ากำลังงานอินพุตได้ความสัมพันธ์ระหว่างกำลังงานอินพุตและกำลังงานเอาต์พุตแสดงดังตารางที่ 4.3

กำลังงานอินพุต (dBm)	กำลังงานเอาต์พุต (dBm)	กำลังงานอินพุต (dBm)	กำลังงานเอาต์พุต (dBm)
-50	-45.06	-10	-5.89
-40	-34.95	0	5.08
-30	-24.87	7	12.06
-20	-14.79	10	13.68

ตารางที่ 4.3 ความสัมพันธ์ทางกำลังงานของวงจรขยายสัญญาณความถี่วิทยุ



รูปที่ 4.14 กราฟแสดงความสัมพันธ์ทางกำลังงานของวงจรขยายสัญญาณความถี่วิทยุ

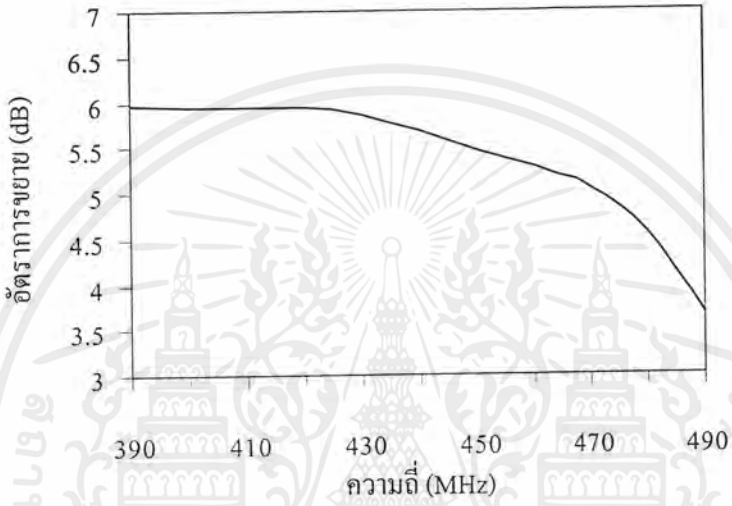
ทดลองป้อนสัญญาณที่มีกำลังงานอินพุต 7 dBm โดยเปลี่ยนค่าความถี่ ได้ผลตอบสนองทางความถี่แสดงดังตารางที่ 4.4

ความถี่ (MHz)	อัตราการขยาย (dB)	ความถี่ (MHz)	อัตราการขยาย (dB)
390	5.960	420	5.945
400	5.950	430	5.865
410	5.950	440	5.690

ความถี่ (MHz)	อัตราการขยาย (dB)
450	5.460
460	5.275
470	5.045

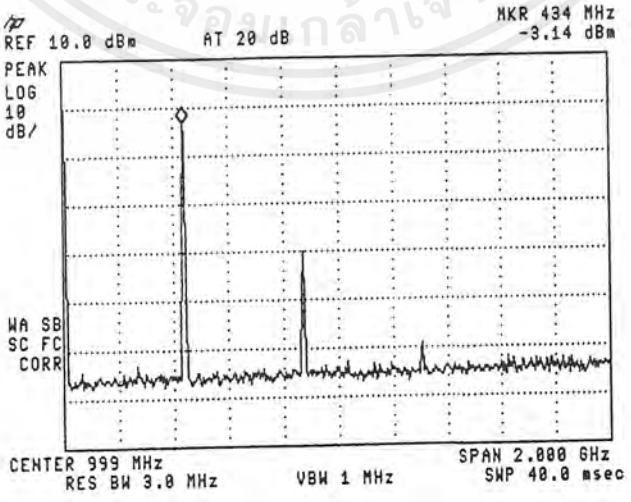
ความถี่ (MHz)	อัตราการขยาย (dB)
480	4.565
490	3.660

ตารางที่ 4.4 ผลตอบสนองทางความถี่ของวงจรขยายสัญญาณความถี่วิทยุ

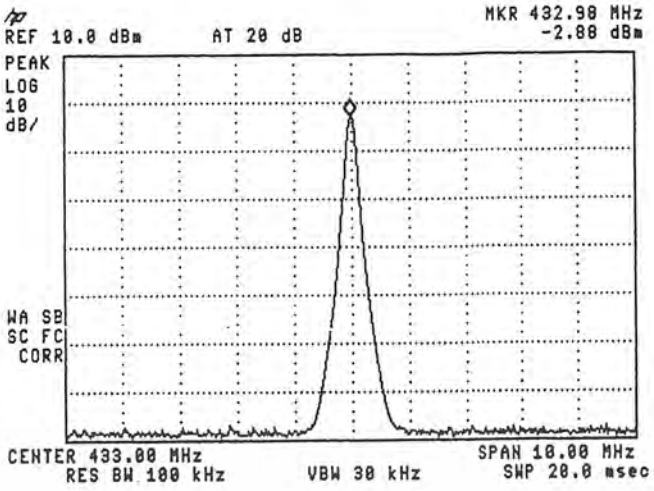


รูปที่ 4.15 กราฟแสดงผลตอบสนองทางความถี่ของวงจรขยายสัญญาณความถี่วิทยุ

สเปกตรัมของสัญญาณจากวงจรสังเคราะห์ความถี่ด้วยเฟสล็อกลูปเมื่อผ่านวงจรขยายสัญญาณความถี่วิทยุแสดงดังรูปที่ 4.16

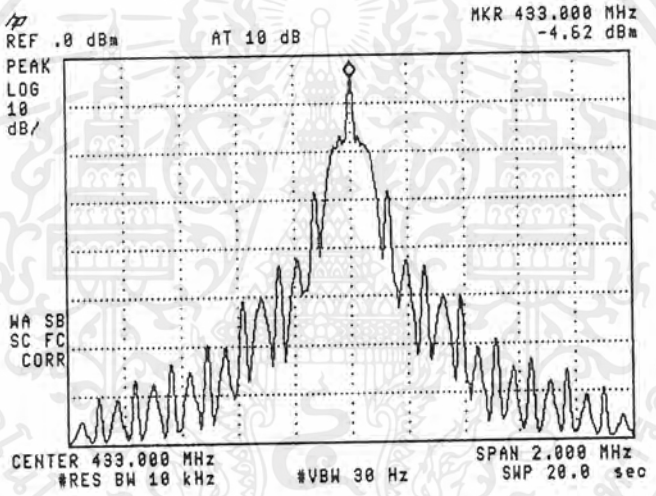


(ก)

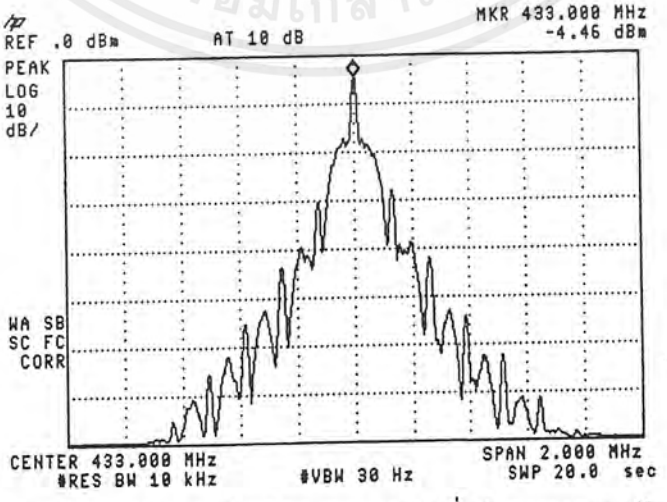


(ข)

รูปที่ 4.16 สเปกตรัมของสัญญาณคลื่นพาห์เมื่อผ่านวงจรขยายสัญญาณความถี่วิทยุ



รูปที่ 4.17 สเปกตรัมของสัญญาณเอฟเอสเค (FSK)เมื่อผ่านวงจรขยายสัญญาณความถี่วิทยุ



รูปที่ 4.18 สเปกตรัมของสัญญาณจีเอฟเอสเค (GFSK) เมื่อผ่านวงจรขยายสัญญาณความถี่วิทยุ

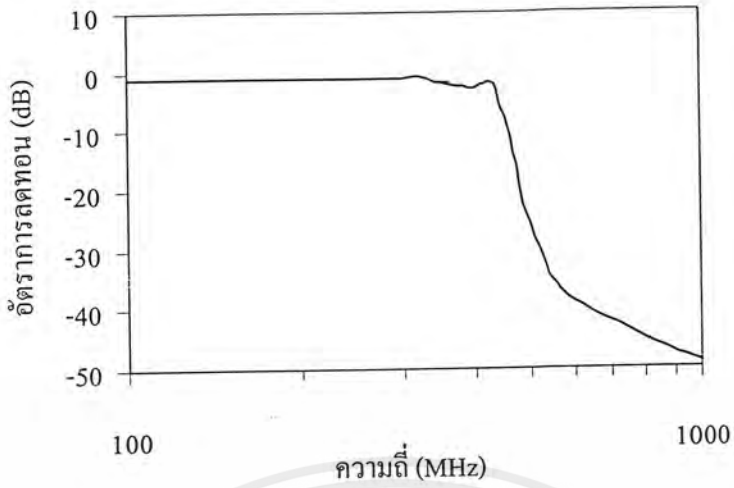
4.6 วงจรกรองความถี่ต่ำผ่านความถี่คัทออฟ 500 เมกะเฮิรตซ์

ใช้วงจรกรองความถี่ต่ำผ่านแบบเชพบีเชพ (Chevbyshev LPF, Ripple 0.1 dB , Order 7^{th}) ซึ่งมีความถี่คัทออฟที่ 500 เมกะเฮิรตซ์ ทำการทดลองเพื่อหาผลตอบสนองทางความถี่ โดยเปลี่ยนความถี่ของสัญญาณอินพุต แล้ววัดอัตราการลดทอนของสัญญาณเอาต์พุตที่ออกมา ได้ผลการทดลองดังแสดงในตารางที่ 4.5

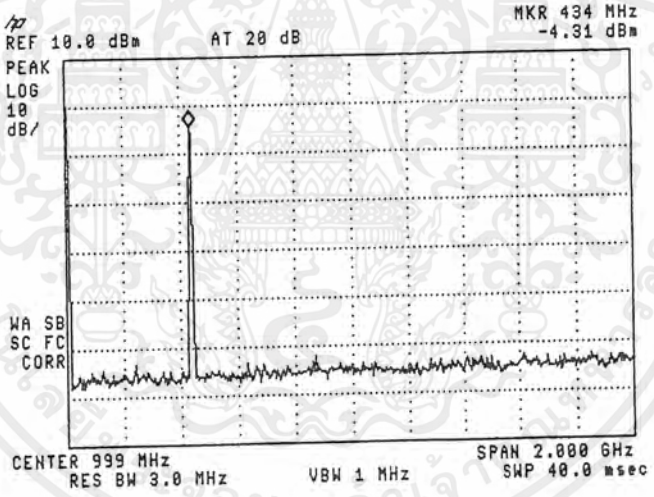
ความถี่ (MHz)	อัตราการลดทอน (dB)
300	-1.25
310	-0.96
320	-0.95
330	-1.55
340	-1.70
350	-1.35
360	-1.94
370	-2.65
380	-2.43
390	-2.44
400	-2.84
410	-2.21
420	-1.94
430	-1.85
440	-4.79
450	-8.55

ความถี่ (MHz)	อัตราการลดทอน (dB)
460	-11.31
470	-16.90
480	-20.76
490	-22.40
500	-25.74
510	-29.09
520	-30.25
530	-31.48
540	-34.81
550	-36.65
560	-36.98
570	-36.98
580	-39.28
590	-39.95
600	-39.95
866	-46.53

ตารางที่ 4.5 ผลตอบสนองทางความถี่ของวงจรกรองความถี่ต่ำผ่าน ที่มีความถี่คัทออฟ 500 เมกะเฮิรตซ์



รูปที่ 4.19 กราฟแสดงผลตอบสนองทางความถี่ของวงจรกรองความถี่ต่ำผ่าน ที่มีความถี่คัทออฟ 500 เมกะเฮิรตซ์



รูปที่ 4.20 สเปกตรัมของสัญญาณเอาต์พุตจากวงจรกรองความถี่ต่ำผ่าน

ผลการทดลองภาครับ

Receiver

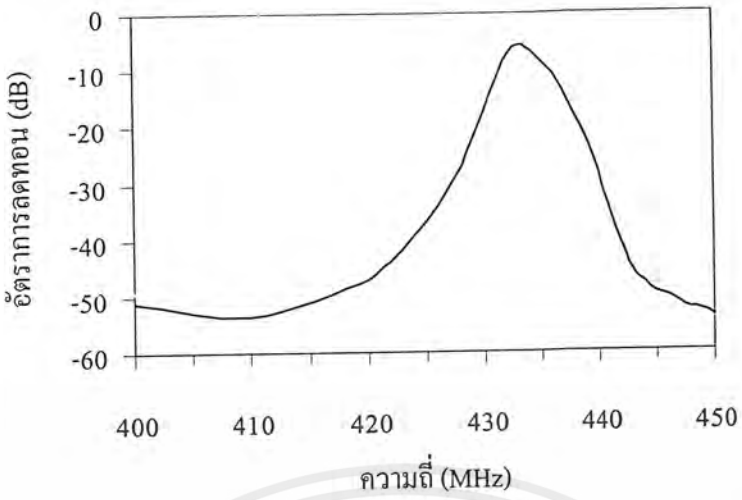
4.7 วงจรกรองแถบความถี่ผ่าน (Band Pass Filter)

วงจรกรองแถบความถี่ผ่านที่ใช้ในการทดลองนี้ เป็นวงจรกรองแถบความถี่ผ่านแบบเฮลิคอลฟิลเตอร์ (Helical Filter) ที่มีค่าความถี่กึ่งกลาง 433 เมกะเฮิรตซ์ ทำการทดลองเพื่อหาผลตอบสนองทางความถี่ ได้ผลการทดลองดังตารางที่ 4.6

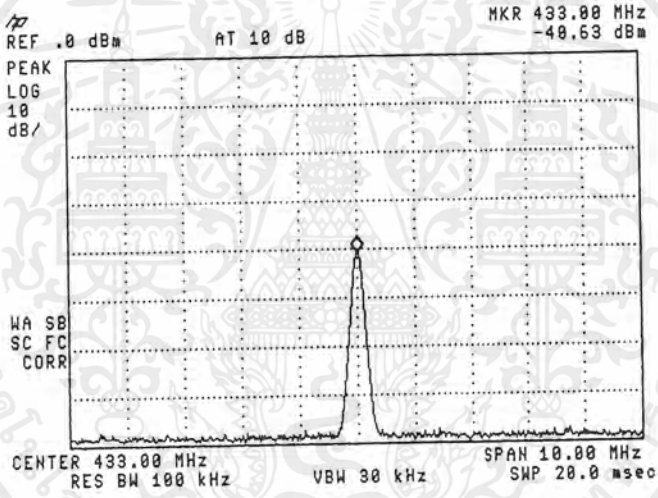
ความถี่ (MHz)	อัตราการลดทอน (dB)
400	-51.29
410	-53.51
420	-47.38
421	-45.51
422	-43.93
423	-41.89
424	-39.48
425	-36.96
426	-34.05
427	-30.71
428	-26.97
429	-22.54
430	-17.51
431	-12.02
432	-7.28
433	-5.63
434	-6.67

ความถี่ (MHz)	อัตราการลดทอน (dB)
435	-8.56
436	-10.81
437	-13.78
438	-17.93
439	-22.83
440	-28.25
441	-33.93
442	-40.62
443	-45.72
444	-47.92
445	-49.75
446	-50.52
447	-51.49
448	-52.53
449	-52.97
450	-54.02

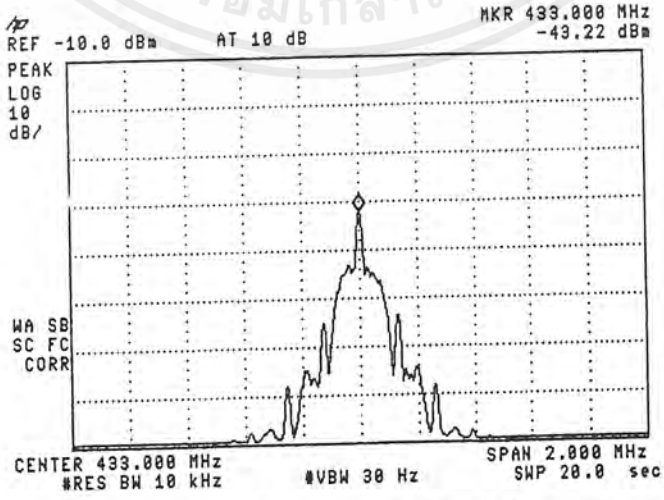
ตารางที่ 4.6 ผลตอบสนองทางความถี่ของวงจรกรองแถบความถี่ผ่าน



รูปที่ 4.21 กราฟแสดงผลตอบสนองทางความถี่ของวงจรกรองแถบความถี่ผ่าน



รูปที่ 4.22 สเปกตรัมของสัญญาณคลื่นพาห์เมื่อผ่านวงจรกรองแถบความถี่ผ่าน



รูปที่ 4.23 สเปกตรัมของสัญญาณจีเอฟเอสเค(GFSK) เมื่อผ่านวงจรกรองแถบความถี่ผ่าน

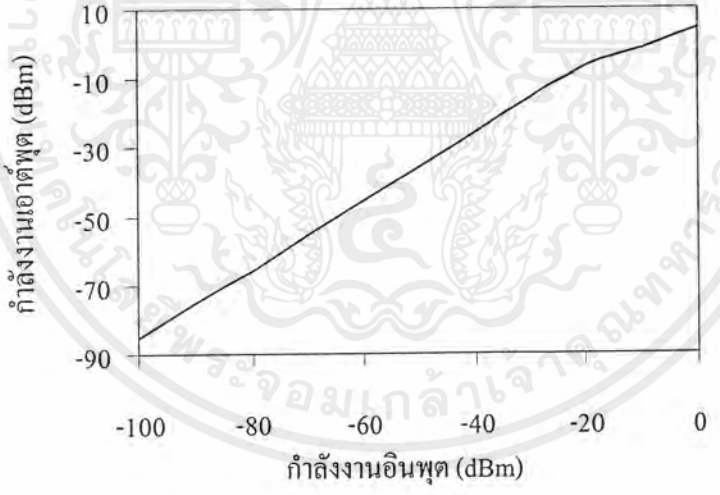
4.8 วงจรขยายที่มีระดับสัญญาณรบกวนต่ำ (Low Noise Amplifier : LNA)

ทำการขยายสัญญาณที่ได้จากวงจรกรองแถบความถี่ผ่าน ทำการทดลองป้อนสัญญาณความถี่ 433 เมกะเฮิรตซ์ โดยเปลี่ยนค่ากำลังงานอินพุตได้ความสัมพันธ์ระหว่างกำลังงานอินพุตและกำลังงานเอาต์พุตแสดงดังตารางที่ 4.7

กำลังงานอินพุต (dBm)	กำลังงานเอาต์พุต (dBm)
-100	-85.05
-90	-75.62
-80	-65.84
-70	-55.66
-60	-45.51
-50	-35.45

กำลังงานอินพุต (dBm)	กำลังงานเอาต์พุต (dBm)
-40	-25.57
-30	-15.57
-20	-7.21
-10	-1.56
0	4.22

ตารางที่ 4.7 ความสัมพันธ์ทางกำลังงานของวงจรขยายที่มีระดับสัญญาณรบกวนต่ำ



รูปที่ 4.24 กราฟแสดงความสัมพันธ์ทางกำลังงานของวงจรขยายที่มีระดับสัญญาณรบกวนต่ำ

ทำการทดลองป้อนสัญญาณที่มีกำลังงานอินพุต -40 dBm โดยเปลี่ยนค่าความถี่ได้ผลตอบสนองทางความถี่แสดงดังตารางที่ 4.8

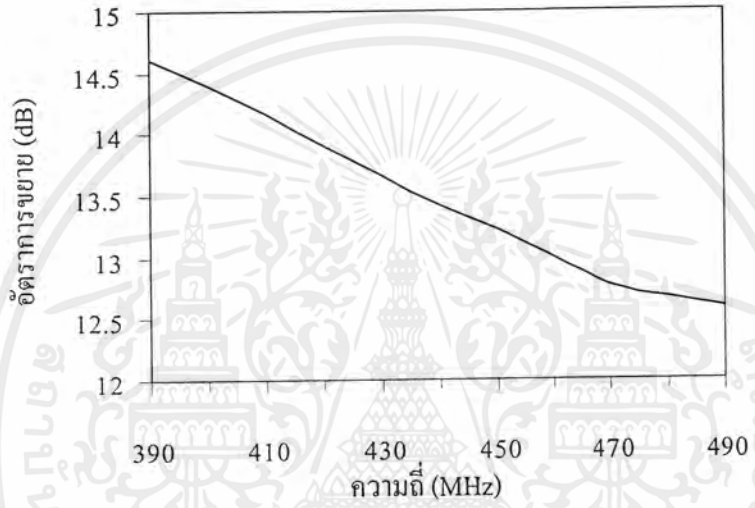
ความถี่ (MHz)	อัตราการขยาย (dB)
390	14.615
400	14.395

ความถี่ (MHz)	อัตราการขยาย (dB)
410	14.165
420	13.915

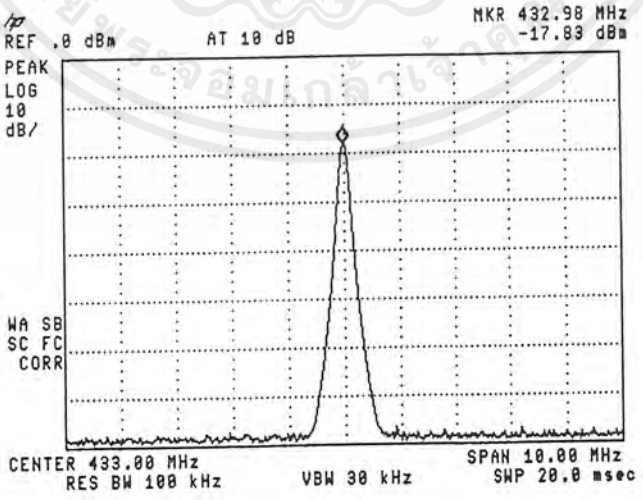
ความถี่ (MHz)	อัตราการขยาย (dB)
430	13.670
440	13.420
450	13.230
460	12.995

ความถี่ (MHz)	อัตราการขยาย (dB)
470	12.760
480	12.665
490	12.595

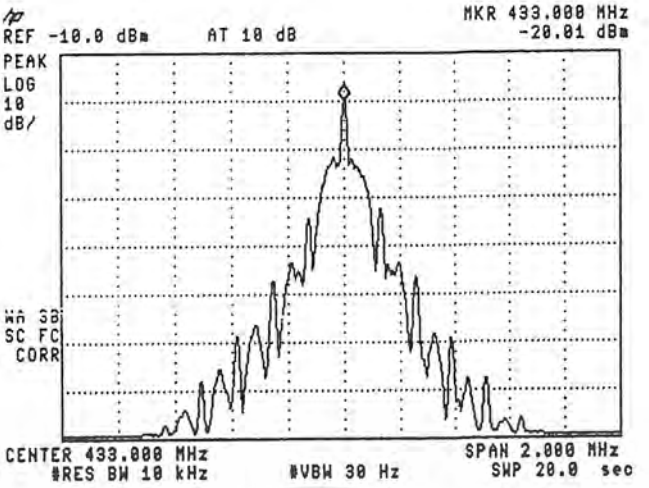
ตารางที่ 4.8 ผลตอบสนองทางความถี่ของวงจรขยายที่มีระดับสัญญาณรบกวนต่ำ



รูปที่ 4.25 กราฟแสดงผลตอบสนองทางความถี่ของวงจรขยายที่มีระดับสัญญาณรบกวนต่ำ



รูปที่ 4.26 สเปกตรัมของสัญญาณคลื่นพาห์เมื่อผ่านวงจรขยายที่มีระดับสัญญาณรบกวนต่ำ



รูปที่ 4.27 สเปกตรัมของสัญญาณจีเอฟเอสเค(GFSK) เมื่อผ่านวงจรขยายที่มีระดับสัญญาณรบกวนต่ำ

4.9 วงจรสังเคราะห์ความถี่ด้วยเฟสล็อกลูปความถี่ 443.7 เมกะเฮิรตซ์ (443.7 MHz Phase Lock Loop – Frequency Synthesizer)

วงจรสังเคราะห์ความถี่ด้วยเฟสล็อกลูปประกอบด้วยวงจรย่อยภายในด้วยกัน 4 วงจร ได้แก่

4.9.1 วงจรวีซีโอ (VCO:Voltage Controled Oscillator)

4.9.2 วงจรพรีสเกลเลอร์ (Prescaler)

4.9.3 วงจรเฟสดีเทกเตอร์ (Phase Detector)

4.9.4 วงจรลูปฟิลเตอร์ (Loop Filter)

ผลการทดลองแต่ละวงจรแสดงได้ดังนี้คือ

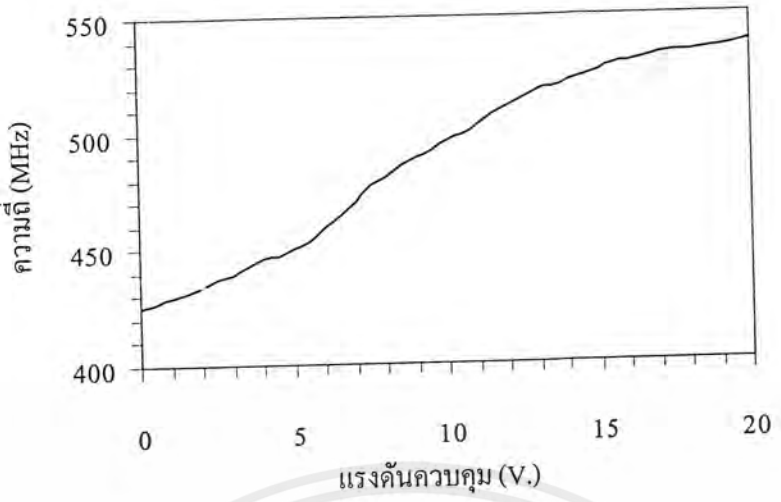
4.9.1 วงจรวีซีโอ (VCO:Voltage Controled Oscillator)

ทำการทดลองเพื่อหาความสัมพันธ์ระหว่างแรงดันควบคุมกับความถี่และกำลังงานเอาต์พุตที่ได้จากวงจรวีซีโอ ได้ผลการทดลองดังตารางที่ 4.9 แสดงเป็นกราฟตามรูปที่ 4.28 และ 4.29 โดยในรูปที่ 4.28 แสดงความสัมพันธ์ระหว่างแรงดันควบคุมกับความถี่ที่ได้และในรูปที่ 4.29 แสดงความสัมพันธ์ระหว่างความถี่และกำลังงานเอาต์พุต

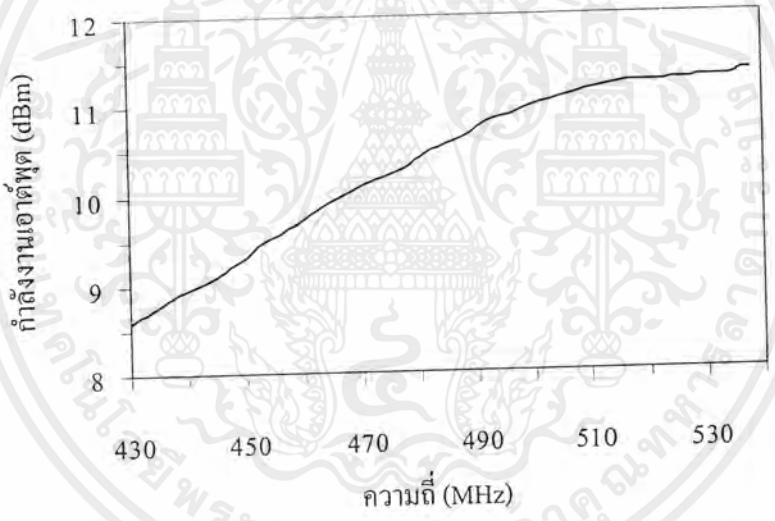
แรงดันควบคุม (V)	ความถี่ที่ได้ (MHz)	กำลังงานเอาต์พุต (dBm)
0.0	425.01	8.49
1.0	429.64	8.57
2.0	433.89	8.72
3.0	439.12	8.93
4.0	446.31	9.16
5.0	450.06	9.32
6.0	458.98	9.68
7.0	470.58	10.10
8.0	480.99	10.43
9.0	488.98	10.66
10.0	496.12	10.88
11.0	503.34	11.02
12.0	511.32	11.17
13.0	517.56	11.23
14.0	520.98	11.23
15.0	525.67	11.24
16.0	529.02	11.28
17.0	532.32	11.28
18.0	533.87	11.28
19.0	535.43	11.31
20.0	537.82	11.35

ตารางที่ 4.9 ความสัมพันธ์ระหว่างแรงดันควบคุมกับความถี่และกำลังงานเอาต์พุต

จากผลการทดลองตามตารางที่ 4.9 สามารถแสดงในรูปกราฟความสัมพันธ์ระหว่างแรงดันควบคุมและความถี่ได้ดังรูปที่ 4.28 และกราฟความสัมพันธ์ระหว่างความถีกับกำลังงานเอาต์พุตได้ดังรูปที่ 4.29



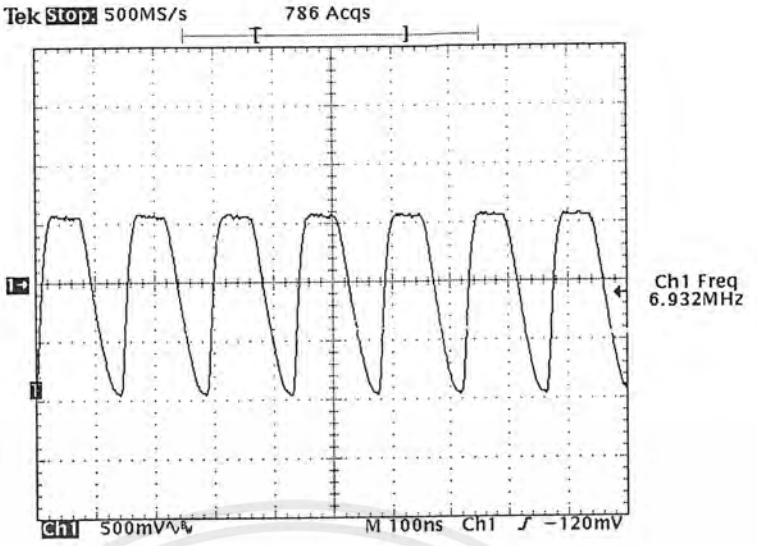
รูปที่ 4.28 กราฟแสดงความสัมพันธ์ระหว่างแรงดันควบคุมกับความถี่ที่ได้ของวงจรวีซีโอ



รูปที่ 4.29 กราฟแสดงความสัมพันธ์ระหว่างความถี่กับกำลังงานเอาต์พุตของวงจรวีซีโอ

4.9.2 วงจรพรีสเกลเลอร์

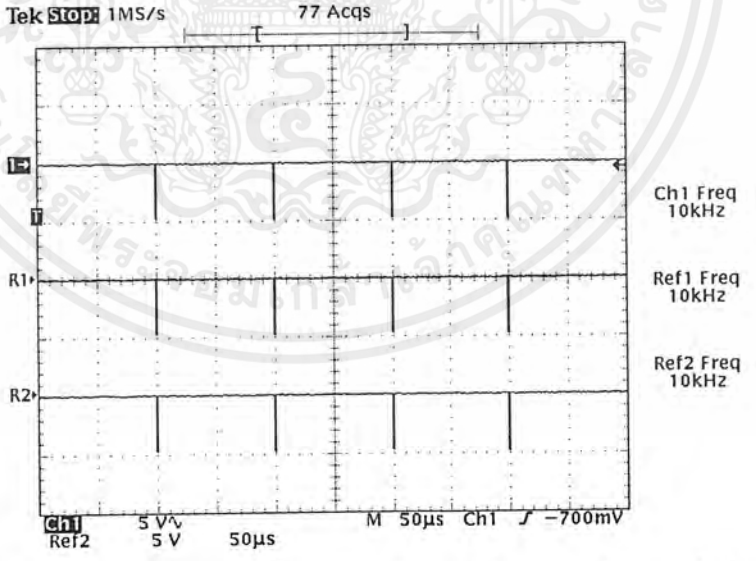
วงจรพรีสเกลเลอร์ทำหน้าที่หารความถี่ให้มีความถี่ต่ำลง โดยอินพุตที่ป้อนเข้าวงจรพรีสเกลเลอร์คือสัญญาณจากวีซีโอ เอาต์พุตของวงจรพรีสเกลเลอร์แสดงตามรูปที่ 4.30



รูปที่ 4.30 สัญญาณเอาต์พุตจากวงจรพรีสเกลเลอร์ MC12032

4.9.3 วงจรเฟสดีเทกเตอร์

ไอซี MC145152 ภายในมีตัวเปรียบเทียบเฟส โดยที่ขาสัญญาณอินพุต (ขาที่ 1)เป็นสัญญาณที่ได้จากวงจรพรีสเกลเลอร์มาเปรียบเทียบเฟสกับสัญญาณอ้างอิงที่ได้มาจากคริสตอลออสซิลเลเตอร์ความถี่ 10.24 เมกะเฮิรตซ์ เมื่อเฟสตรงกันจะแสดงสถานะดังรูปที่ 4.31

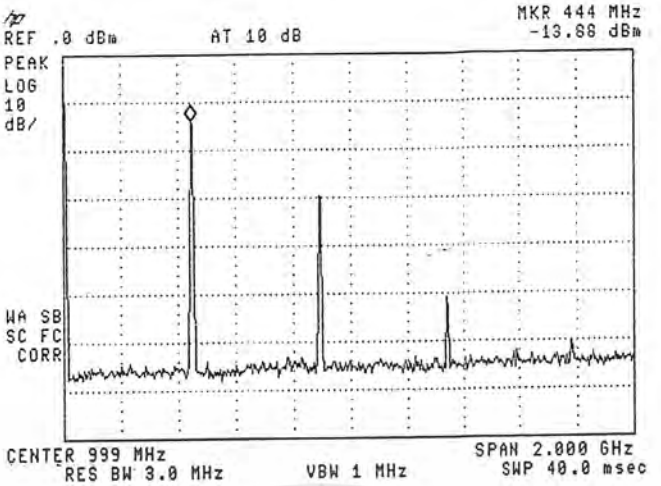


รูปที่ 4.31 สัญญาณแสดงสถานะเมื่อสัญญาณอินพุตมีเฟสตรงกับสัญญาณอ้างอิง

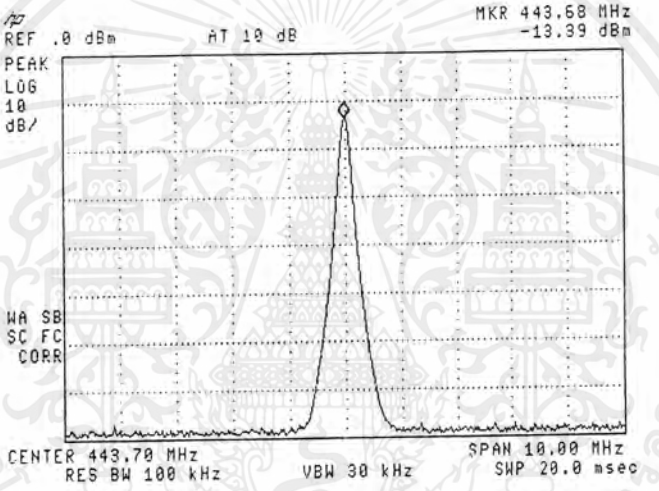
Ch1 : สัญญาณจากขาล็อกดีเทกต์ (ขาที่ 28)

Ref1 : สัญญาณจากขา $\varnothing_R$ (ขาที่ 7)

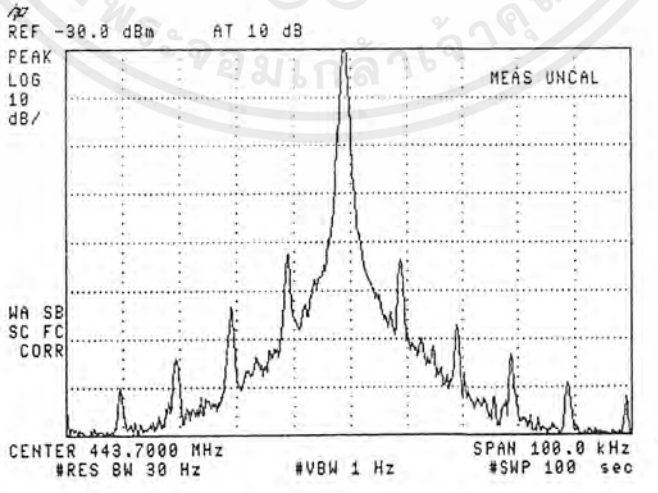
Ref2 : สัญญาณจากขา $\varnothing_V$ (ขาที่ 8)



(ก)



(ข)

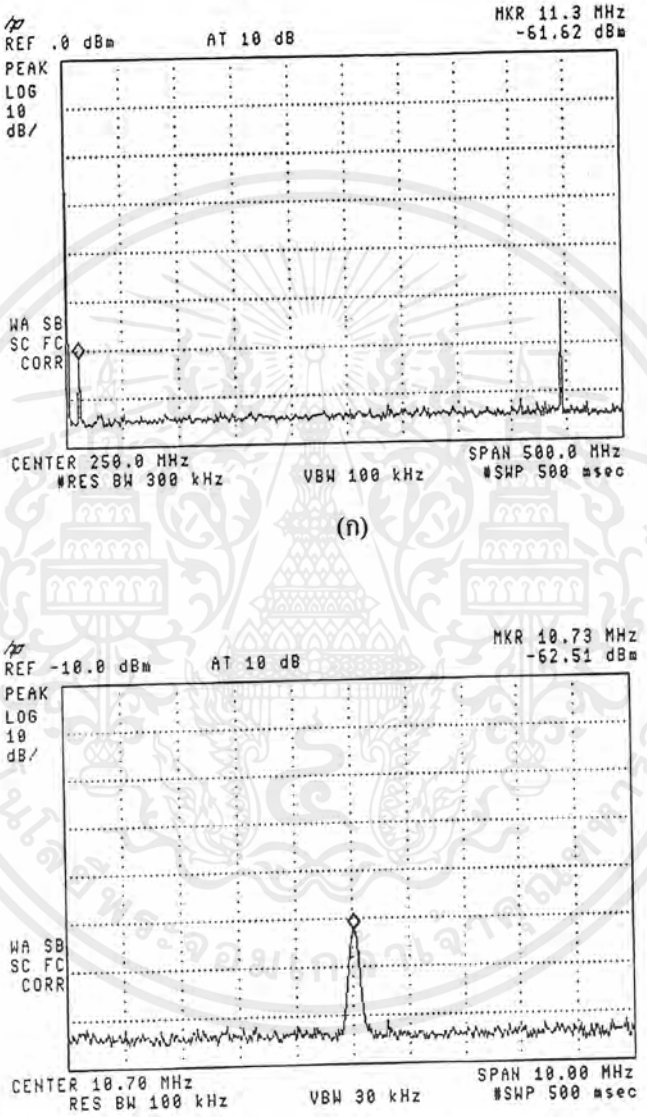


(ค)

รูปที่ 4.32 สเปกตรัมของสัญญาณจากวงจรสังเคราะห์ความถี่ 443.7 เมกะเฮิรตซ์

4.10 วงจรมิกเซอร์ (Mixer)

วงจรมิกเซอร์ (TUF-5) ทำหน้าที่แปลงความถี่ จากความถี่ 433 เมกะเฮิรตซ์ มาเป็นความถี่ 10.7 เมกะเฮิรตซ์ เมื่อป้อนสัญญาณอาร์เอฟขนาด -30 dBm เข้าที่ขาอินพุต (ขาที่ 1) และป้อนสัญญาณโลคอลออสซิลเลเตอร์จากวงจรสังเคราะห์ความถี่ด้วยเฟสล็อกลูป (หัวข้อที่ 4.9) เข้าที่ขาอินพุต (ขาที่ 4) ได้ผลการทดลองดังรูปที่ 4.33



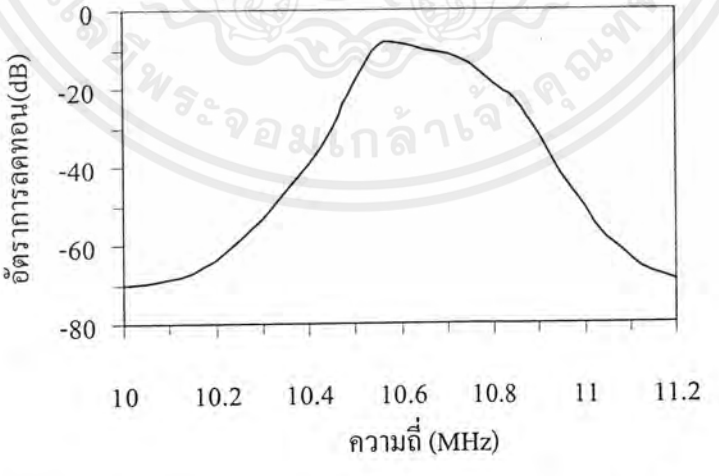
รูปที่ 4.33 สเปกตรัมของสัญญาณเอาต์พุตจากวงจรมิกเซอร์

4.11 วงจรกรองแถบความถี่ผ่าน 10.7 เมกะเฮิรตซ์ (10.7 MHz BPF)

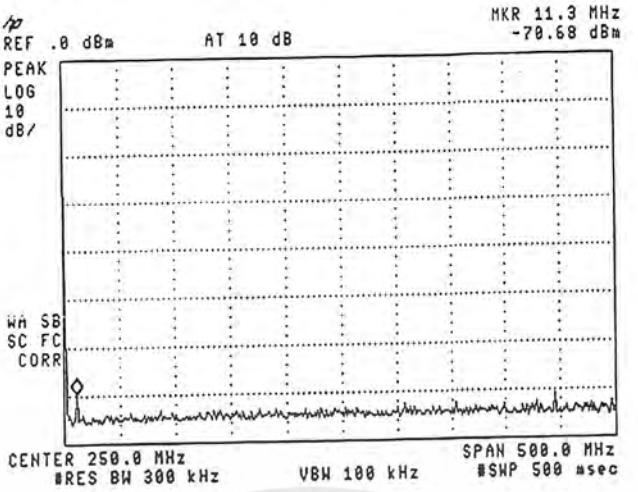
เลือกใช้เซรามิกฟิลเตอร์ (Ceramic Filter) 10.7 เมกะเฮิรตซ์ ได้ผลตอบสนองทางความถี่ดังตารางที่ 4.10

ความถี่ (MHz)	อัตราการลดทอน (dB)	ความถี่ (MHz)	อัตราการลดทอน (dB)
10.00	-70.10	10.60	-8.75
10.05	-69.70	10.65	-10.00
10.10	-68.90	10.70	-11.36
10.15	-67.30	10.75	-14.00
10.20	-64.20	10.80	-18.72
10.25	-59.10	10.85	-23.26
10.30	-53.50	10.90	-31.83
10.35	-46.70	10.95	-41.90
10.40	-39.60	11.00	-50.60
10.45	-30.30	11.05	-58.70
10.50	-18.59	11.10	-63.80
10.55	-9.47	11.15	-67.10

ตารางที่ 4.10 ผลตอบสนองทางความถี่ของวงจรกรองแถบความถี่ผ่าน 10.7 เมกะเฮิรตซ์



รูปที่ 4.34 กราฟแสดงผลตอบสนองทางความถี่ของวงจรกรองแถบความถี่ผ่าน 10.7 เมกะเฮิรตซ์



รูปที่ 4.35 สเปกตรัมของสัญญาณเอาต์พุตจากวงจรกรองแถบความถี่ผ่าน 10.7 เมกะเฮิรตซ์

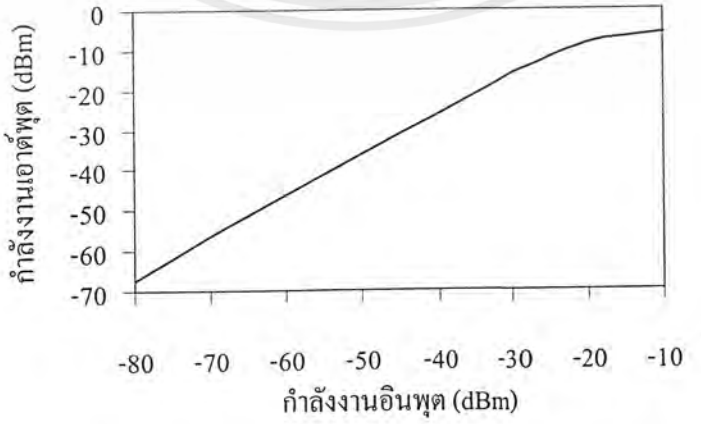
4.12 วงจรขยายสัญญาณความถี่กลาง (IF Amplifier) ที่ความถี่ 10.7 เมกะเฮิรตซ์

ทำการทดลองป้อนสัญญาณความถี่ 10.7 เมกะเฮิรตซ์ โดยเปลี่ยนค่ากำลังงานอินพุตได้ความสัมพันธ์ระหว่างกำลังงานอินพุตและกำลังงานเอาต์พุตแสดงดังตารางที่ 4.11

กำลังงานอินพุต (dBm)	กำลังงานเอาต์พุต (dBm)
-80	-67.48
-70	-56.48
-60	-46.41
-50	-36.31
-40	-26.09

กำลังงานอินพุต (dBm)	กำลังงานเอาต์พุต (dBm)
-30	-16.20
-20	-8.80
-10	-6.00
0	-5.39

ตารางที่ 4.11 ความสัมพันธ์ทางกำลังงานของวงจรขยายสัญญาณความถี่กลาง 10.7 เมกะเฮิรตซ์



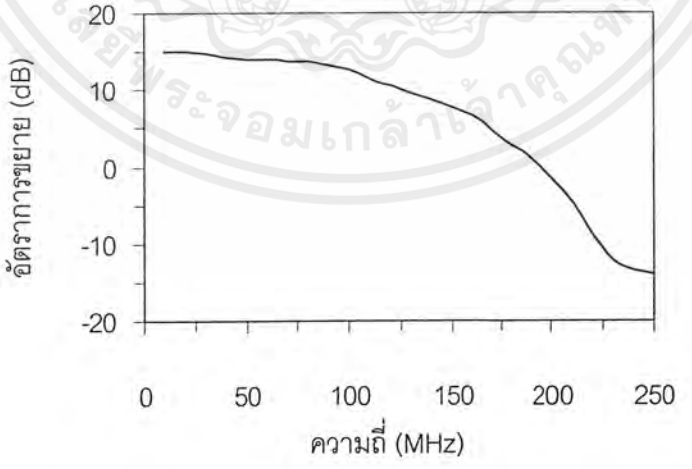
รูปที่ 4.36 กราฟแสดงความสัมพันธ์ทางกำลังงานของวงจรขยายสัญญาณความถี่กลาง 10.7 เมกะเฮิรตซ์

ทำการทดลองป้อนสัญญาณที่มีกำลังงานอินพุต -40 dBm โดยเปลี่ยนค่าความถี่ ได้ผลตอบสนองทางความถี่แสดงดังตารางที่ 4.12

ความถี่ (MHz)	อัตราการขยาย (dB)
10	15.10
20	15.04
30	14.68
40	14.16
50	14.07
60	14.03
70	13.84
80	13.69
90	13.21
100	12.60
110	11.42
120	10.63
130	9.58

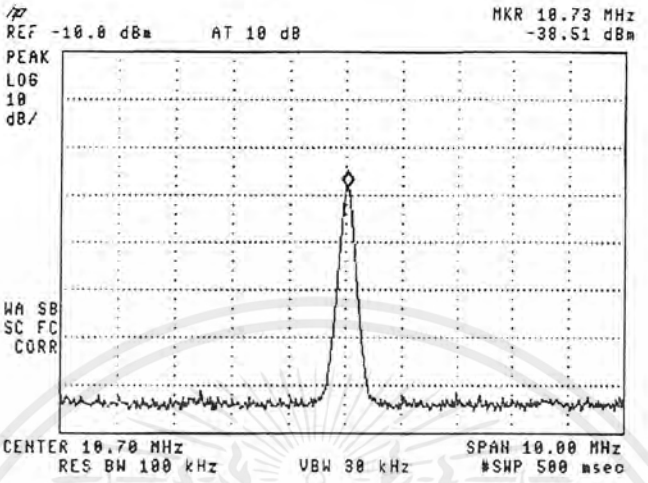
ความถี่ (MHz)	อัตราการขยาย (dB)
140	8.67
150	7.68
160	6.56
170	4.84
180	2.71
190	0.81
200	-1.56
210	-4.76
220	-8.69
230	-12.25
240	-13.56
250	-13.98

ตารางที่ 4.12 ผลตอบสนองทางความถี่ของวงจรขยายสัญญาณความถี่กลาง 10.7 เมกะเฮิรตซ์



รูปที่ 4.37 กราฟแสดงผลตอบสนองทางความถี่ของวงจรขยายสัญญาณความถี่กลาง 10.7 เมกะเฮิรตซ์

รับสัญญาณความถี่กลาง 10.7 เมกะเฮิรตซ์ จากวงจรกรองแถบความถี่ผ่าน 10.7 เมกะเฮิรตซ์ นำมาขยาย จะได้สัญญาณเอาต์พุตเมื่อผ่านวงจรขยายความถี่กลาง 3 สเตจ ซึ่งถูกคั่นกลางด้วยเซรามิกฟิลเตอร์ 2 สเตจด้วย ดังรูปที่ 4.38

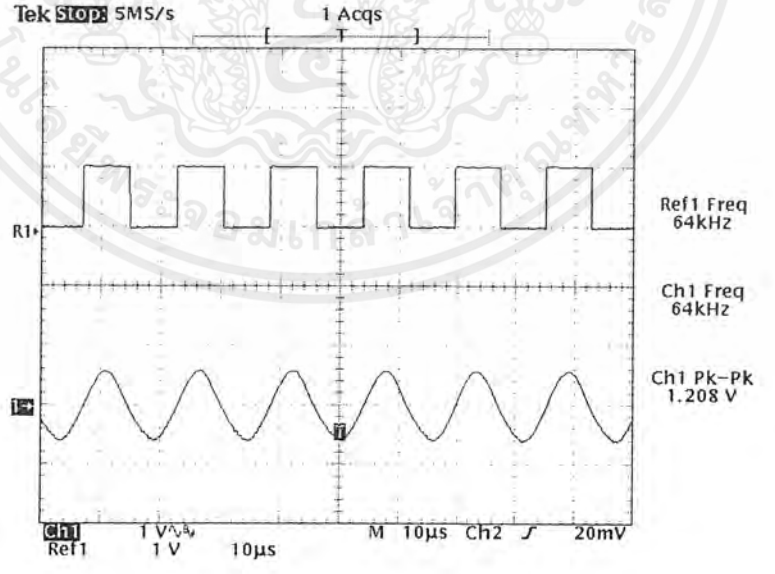


รูปที่ 4.38 สเปกตรัมของสัญญาณเอาต์พุตจากวงจรขยายสัญญาณความถี่กลาง 10.7 เมกะเฮิรตซ์

4.13 วงจรดีมอดูเลเตอร์

ทำการป้อนสัญญาณจีเอฟเอสเค จากเครื่องกำเนิดความถี่แล้วทำการวัดสัญญาณเอาต์พุตที่ได้จากการดีมอดูเลต โดยวงจรดีมอดูเลเตอร์ใช้ไอซี เบอร์ LM 3089 ได้ผลการทดลองดังนี้

เมื่อสัญญาณที่นำมามอดูเลตเป็นสัญญาณรูปสี่เหลี่ยมความถี่ 64 กิโลเฮิรตซ์

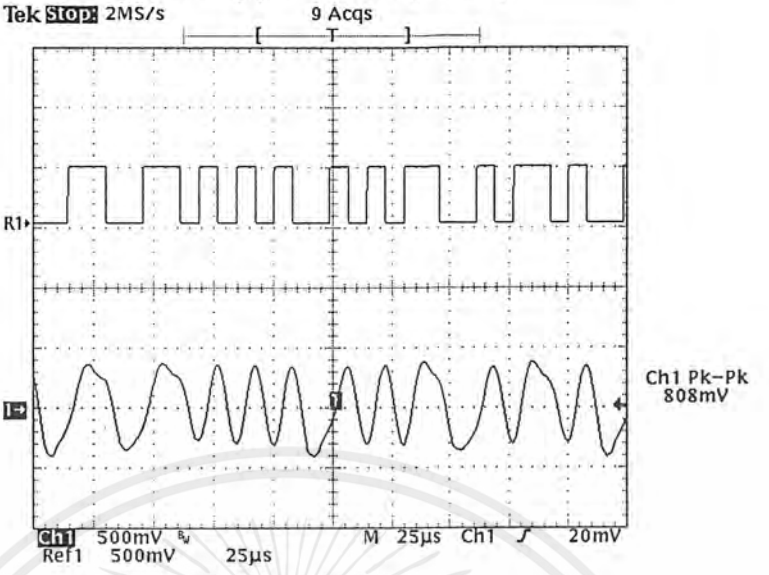


รูปที่ 4.39 สัญญาณที่ได้จากวงจรดีมอดูเลเตอร์

Ref1 : สัญญาณรูปสี่เหลี่ยมความถี่ 64 กิโลเฮิรตซ์ ที่นำมามอดูเลต

Ch1 : สัญญาณที่ได้จากการดีมอดูเลต

เมื่อสัญญาณที่นำมามอดูเลตเป็นสัญญาณพัลส์แบบสุ่ม 64 kbps



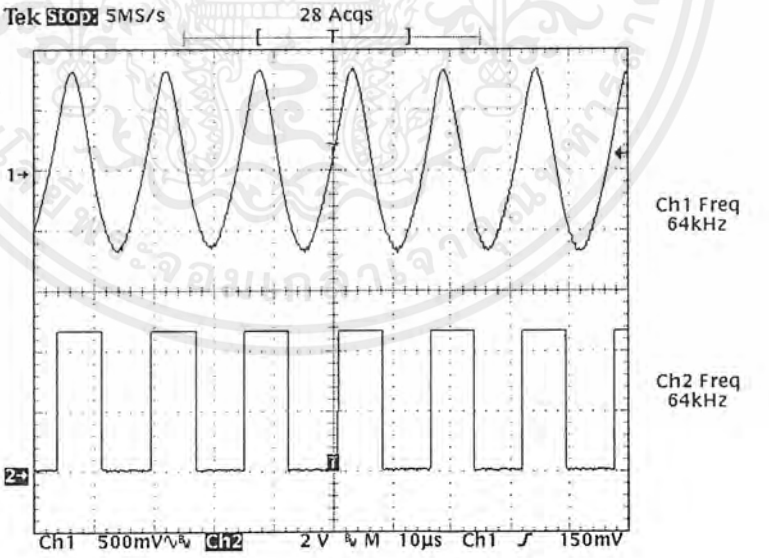
รูปที่ 4.40 สัญญาณที่ได้จากวงจรดีมอดูเลเตอร์

Ref1 : สัญญาณพัลส์แบบสุ่ม 64 kbps ที่นำมามอดูเลต

Ch1 : สัญญาณที่ได้จากการดีมอดูเลต

4.14 วงจรเปรียบเทียบระดับสัญญาณ (Voltage Comparator)

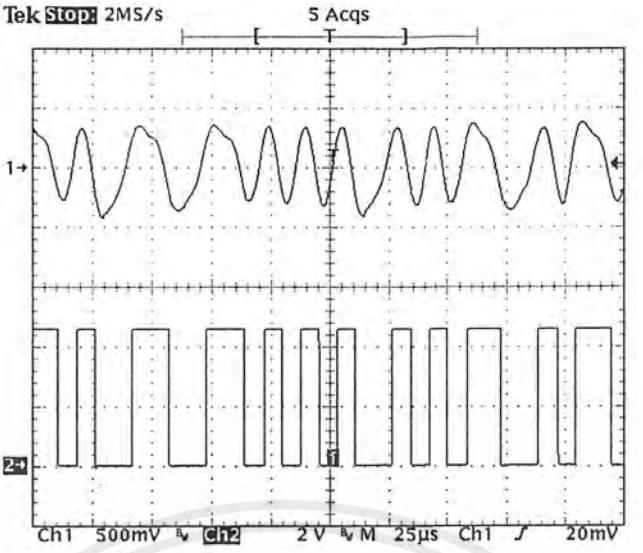
โดยนำสัญญาณที่ได้จากวงจรดีมอดูเลเตอร์ มาผ่านวงจรเปรียบเทียบระดับสัญญาณ ได้ผลการทดลองดังนี้



รูปที่ 4.41 สัญญาณที่ได้จากวงจรเปรียบเทียบระดับสัญญาณ

Ch1 : สัญญาณรูปสี่เหลี่ยมความถี่64กิโลเฮิรตซ์ที่ได้จากการดีมอดูเลต

Ch2 : สัญญาณเอาต์พุตที่ได้จากวงจรเปรียบเทียบระดับสัญญาณ



รูปที่ 4.42 สัญญาณที่ได้จากวงจรเปรียบเทียบระดับสัญญาณ

Ch1 : สัญญาณพัลส์แบบสุ่ม 64 kbps ที่ได้จากการดีมอดูเลต

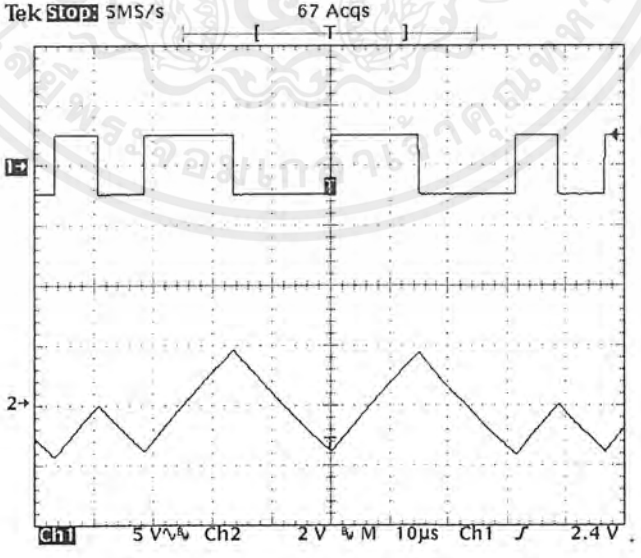
Ch2 : สัญญาณเอาต์พุตที่ได้จากวงจรเปรียบเทียบระดับสัญญาณ

4.15 วงจรกู้สัญญาณนาฬิกา (Clock Recovery)

วงจรกู้สัญญาณนาฬิกาจะทำการสร้างสัญญาณนาฬิกาขึ้นมาจากรหัสสัญญาณแบบแมนเชสเตอร์ เพื่อนำไปใช้ในการถอดรหัส โดยประกอบด้วย 3 ส่วนวงจรดังนี้

4.15.1 วงจรอินทิเกรเตอร์

ได้ผลการทดลองดังนี้



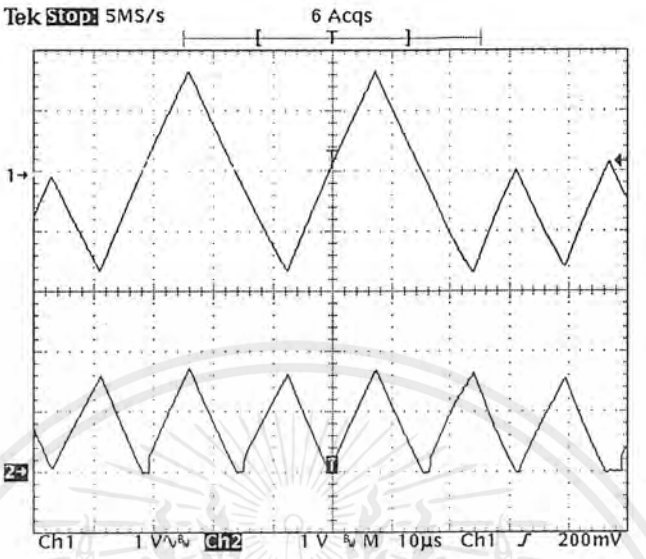
รูปที่ 4.43 สัญญาณที่ได้จากวงจรอินทิเกรเตอร์

Ch 1 : สัญญาณเอาต์พุตจากวงจรเปรียบเทียบระดับสัญญาณ

Ch 2 : สัญญาณเอาต์พุตของวงจรอินทิเกรเตอร์

4.15.2 วงจรค่าสัมบูรณ์

ได้ผลการทดลองดังรูปที่ 4.44



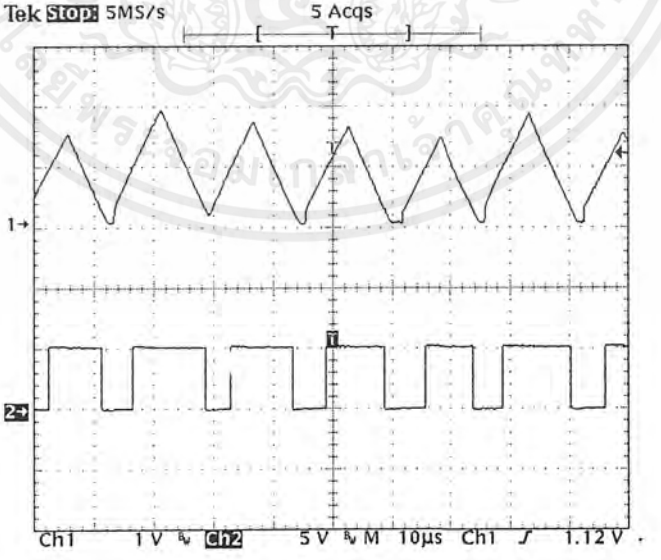
รูปที่ 4.44 สัญญาณที่ได้จากวงจรค่าสัมบูรณ์

Ch 1 : สัญญาณเอาต์พุตจากวงจรอินทิเกรเตอร์

Ch 2 : สัญญาณเอาต์พุตของวงจรค่าสัมบูรณ์

4.15.3 วงจรเปรียบเทียบระดับสัญญาณ (Voltage Comparator)

ได้ผลการทดลองดังรูปที่ 4.45



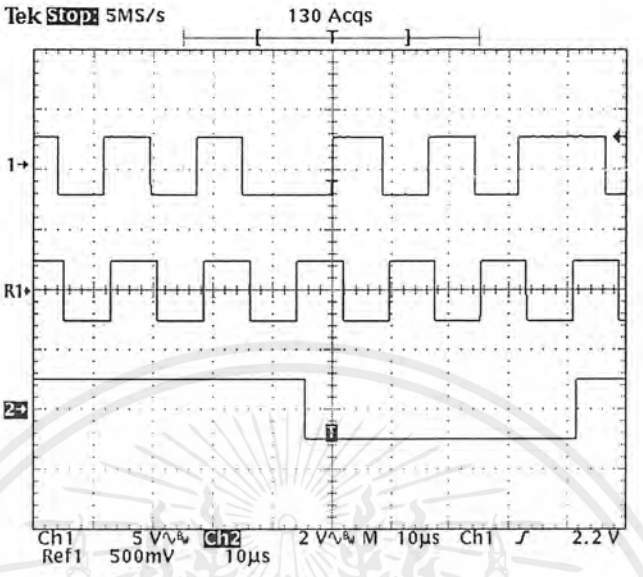
รูปที่ 4.45 สัญญาณที่ได้จากวงจรเปรียบเทียบระดับสัญญาณ

Ch 1 : สัญญาณเอาต์พุตจากวงจรค่าสัมบูรณ์

Ch 2 : สัญญาณเอาต์พุตของวงจรเปรียบเทียบระดับสัญญาณ

4.16 วงจรถอดรหัสด้วยดีฟลิปฟลอป (D-Flip Flop)

ได้ผลการทดลองดังนี้

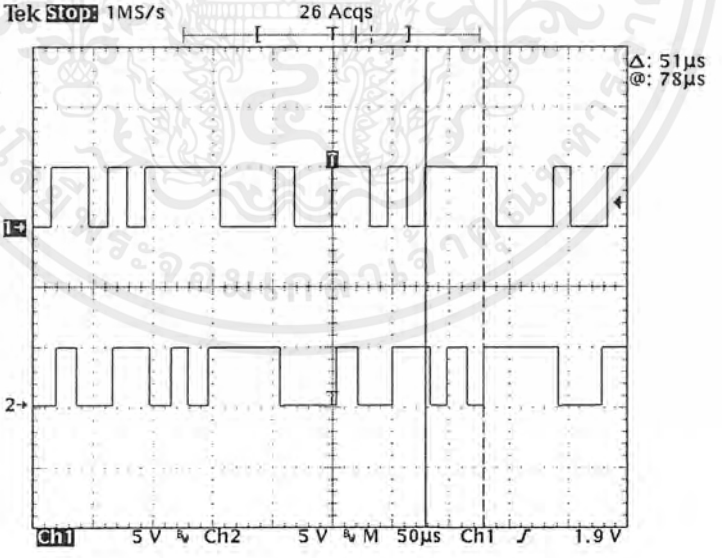


รูปที่ 4.46 สัญญาณที่ได้จากวงจรถอดรหัส

Ch1 : สัญญาณก่อนการถอดรหัส

Ref1 : สัญญาณนาฬิกาที่กู้คืนมาได้

Ch2 : สัญญาณข้อมูลหลังการถอดรหัส



รูปที่ 4.47 เปรียบเทียบสัญญาณข้อมูลทางด้านส่งและรับ

Ch 1 : สัญญาณข้อมูลจากวงจรกำเนิดสัญญาณพัลส์แบบสุ่มก่อนทำการเข้ารหัส

Ch 2 : สัญญาณเอาต์พุตของวงจรถอดรหัสแบบแมนเชสเตอร์

บทที่ 5
บทวิจารณ์และบทสรุป

ปริญญานิพนธ์นี้ได้ทำการคำนวณและสร้างโมเด็มไร้สายที่มีอัตราเร็ว 64 กิโลบิตต่อวินาที โดยใช้วิธีการมอดูเลตแบบจีเอฟเอสเค (GFSK : Gaussian Frequency Shift Keying) แบ่งได้เป็น 2 ส่วนคือ ภาคส่ง และภาครับ

จากผลการทดลองประสบปัญหาคือ

เครื่องส่ง

1. **วงจรสังเคราะห์ความถี่ 433 เมกะเฮิรตซ์** (433 MHz Frequency Synthesizer) มีปัญหาที่วงจรวีซีโอเนื่องจากความถี่ที่ใช้เป็นความถี่สูง จากการคำนวณ ค่าอินดักแตนซ์ที่ได้มีค่าน้อยมากไม่สามารถหาอุปกรณ์มาวัดได้ จึงต้องทำการประมาณค่าแล้วนำมาทดลองต่อเพื่อให้ได้ความถี่ตามที่ต้องการ

2. วงจรขยายสัญญาณความถี่วิทยุ (RF Amplifier) เนื่องจากค่าอินดักแตนซ์ที่คำนวณได้มีค่าน้อยต้องประมาณค่าแล้วนำมาทดลองต่อเหมือนวงจรวีซีโอ ทำให้อัตราการขยายน้อยกว่าที่ออกแบบไว้

3. วงจรกรองความถี่ต่ำผ่าน (Low Pass Filter) ความถี่คัทออฟที่ได้จากวงจรคลาดเคลื่อนจากที่ทำการออกแบบไว้เล็กน้อย แต่ถียังอยู่ในช่วงที่สามารถนำมาใช้งานได้

เครื่องรับ

1. วงจรสังเคราะห์ความถี่ 443.7 เมกะเฮิรตซ์ (443.7 MHz Frequency Synthesizer) มีปัญหาเหมือนวงจรวีซีโอของภาคส่ง

2. วงจรมิกเซอร์ซึ่งใช้ TUF-5 และวงจรกรองช่วงความถี่ผ่านซึ่งใช้เซรามิกฟิลเตอร์ มีอัตราการลดทอนของสัญญาณสูงทำให้จำเป็นต้องออกแบบวงจรขยายสัญญาณความถี่กลางให้มีอัตราการขยายสัญญาณสูง

3. วงจรขยายสัญญาณความถี่กลาง (IF Amplifier) มีช่วงที่เป็นเชิงเส้นต่ำ (ประมาณที่ –40 dBm เป็นต้นไป) ทำให้สัญญาณที่มีขนาดที่อยู่ในช่วง ประมาณ –20 dBm ถึง –30 dBm ถูกขยายไม่ดีเท่าที่ควร ทั้งๆที่มีขนาดต่ำและอยู่ในช่วงที่ควรถูกขยายด้วย

4. วงจรกู้สัญญาณนาฬิกา มีปัญหาคือ สัญญาณนาฬิกาที่กู้กลับมาได้นั้นมีเสถียรภาพไม่ดีนัก แต่สามารถนำมาใช้ในการถอดรหัสสัญญาณได้ดีพอสมควร

แนวทางการแก้ไข

ควรเลือกอุปกรณ์ที่มีคุณภาพและมีค่าใกล้เคียงกับที่คำนวณไว้ให้มากที่สุด เพื่อให้เกิดความคลาดเคลื่อนของผลตอบสนองน้อยที่สุด การจัดวางตำแหน่งอุปกรณ์ (lay out) ซึ่งส่งผลต่อการเกิดค่าคาปาซิแตนซ์และค่าอินดักแตนซ์แก่ตัววงจรได้ ทำให้ผลที่ได้ไม่เป็นไปตามที่ต้องการตัวอย่างการแก้ไข เช่น พยายามวางตำแหน่งของขดลวดเหนี่ยวนำที่อยู่ข้างเคียงกันให้มีระยะห่าง การชิลด์ขดลวดเหนี่ยวนำเพื่อป้องกันการเหนี่ยวนำระหว่างขดลวด และขาของอุปกรณ์ควรสั้นเพราะมีผลต่อการทำงานในความถี่สูง นอกจากนั้นควรแยกจ่ายไฟเลี้ยง (Power Supply) ในส่วนของดิจิตอลกับแอนะลอก เนื่องจากอาจเกิดการกระชากของกระแสซึ่งก่อให้เกิดสัญญาณรบกวนในวงจรได้

สรุปคุณสมบัติของโมเด็มไร้สายความเร็ว 64 กิโลบิตต่อวินาที

เครื่องส่ง

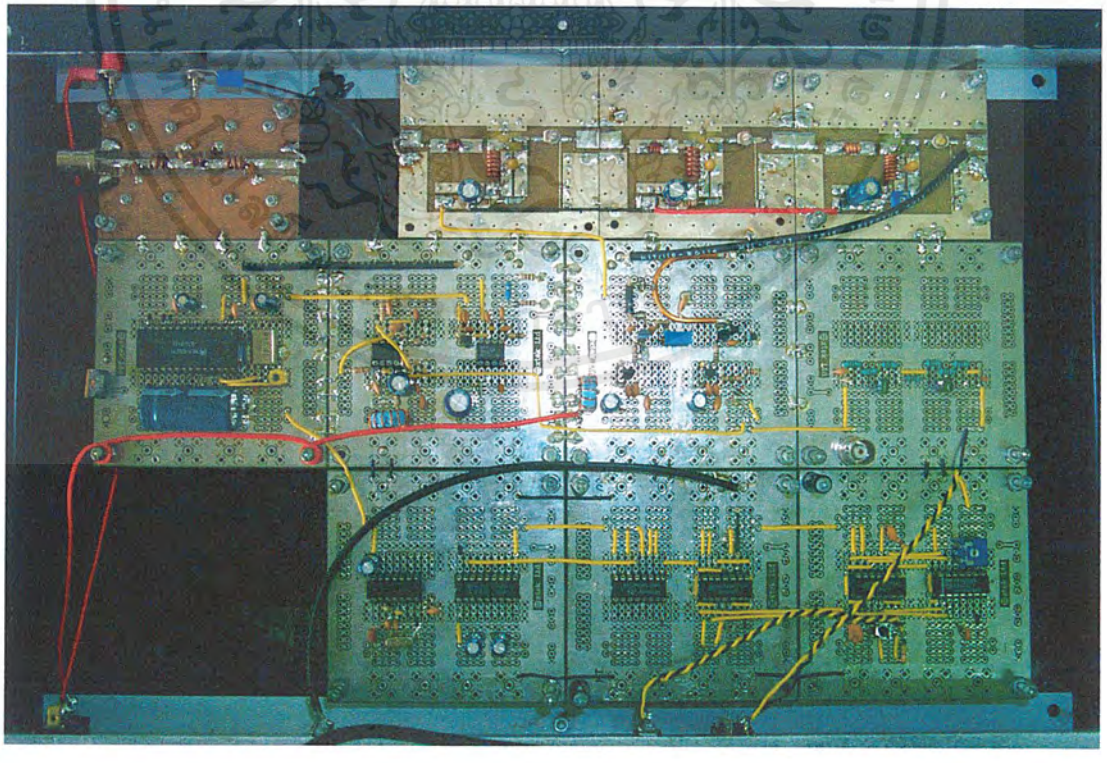
1. มีอัตราการส่งข้อมูล 64 กิโลบิตต่อวินาที
2. มีกำลังส่ง 40 มิลลิวัตต์
3. ใช้แบนด์วิดท์ช่องสัญญาณเท่ากับ 1.2 เมกะเฮิรตซ์
4. ใช้กระแส 160 มิลลิแอมป์

เครื่องรับ

1. มีความไว (Sensitivity) ในการรับสัญญาณเท่ากับ -90 dBm
2. สามารถรับสัญญาณได้ระยะทาง 30 เมตร
3. ใช้กระแส 320 มิลลิแอมป์

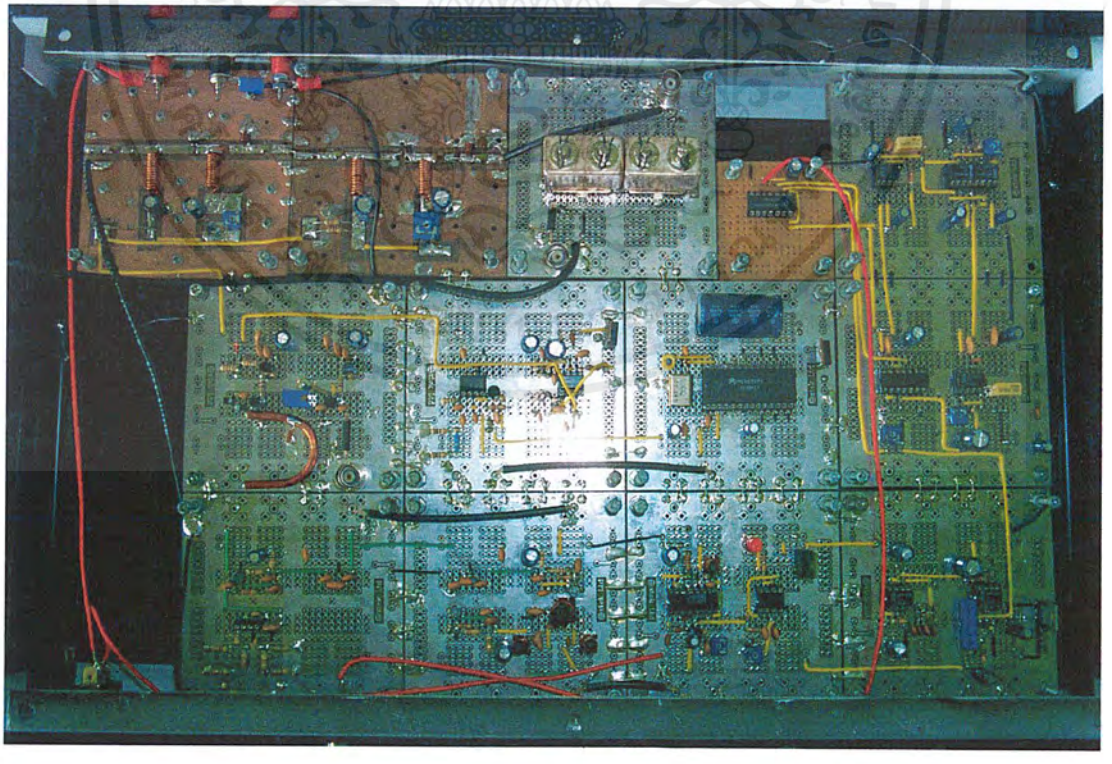
ภาคผนวก

รูปเครื่องส่งของโมเด็มไร้สายความเร็ว 64 กิโลบิตต่อวินาที



รูปวงจรภายในเครื่องส่งของโมเด็มไร้สายความเร็ว 64 กิโลบิตต่อวินาที

รูปเครื่องรับของโมเด็มไร้สายความเร็ว 64 กิโลบิตต่อวินาที



รูปวงจรภายในเครื่องรับของโมเด็มไร้สายความเร็ว 64 กิโลบิตต่อวินาที

RF Products
Microsemi
Progress Powered by Technology

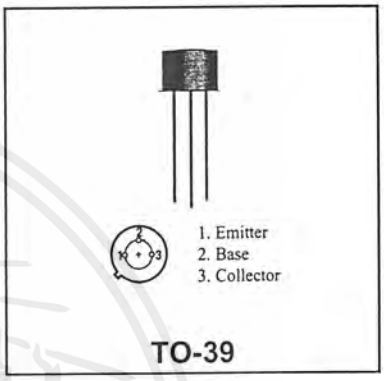
140 COMMERCE DRIVE
MONTGOMERYVILLE, PA
18936-1013
PHONE: (215) 631-9840
FAX: (215) 631-9855

2N3866 / 2N3866A

RF & MICROWAVE DISCRETE LOW POWER TRANSISTORS

Features

- Silicon NPN, To-39 packaged VHF/UHF Transistor
- Specified 400 MHz, 28Vdc Characteristics
  - Output Power = 1.0 Watt
  - Minimum Gain = 10 dB
  - Efficiency = 45%
- 800 MHz Current-Gain Bandwidth Product



TO-39

DESCRIPTION:

Silicon NPN transistor, designed for VHF and UHF equipment. Applications include amplifier; pre-driver, driver, and output stages. Also suitable for oscillator and frequency-multiplier functions.

ABSOLUTE MAXIMUM RATINGS (Tcase = 25°C)

Symbol	Parameter	Value	Unit
V_{CEO}	Collector-Emitter	30	Vdc
V_{CBO}	Collector-Base Voltage	55	Vdc
V_{EBO}	Emitter-Base Voltage	3.5	Vdc
I_C	Collector Current	400	mA

Thermal Data

P_D	Total Device Dissipation Derate above 25°C	5.0 28.6	Watts mW/ °C

ELECTRICAL SPECIFICATIONS (Tcase = 25°C)

STATIC

(off)

Symbol	Test Conditions	Value			
		Min.	Typ.	Max.	Unit
BVCER	Collector-Emitter Breakdown Voltage (IC = 5.0 mAdc, RBE = 10 ohms)	55	-	-	Vdc
BVCEO	Collector-Emitter Sustaining Voltage (IC=5.0 mAdc, IB=0)	30	-	-	Vdc
BVCBO	Collector-Base Breakdown Voltage (IE = 0, IC = 0.1 mAdc)	55	-	-	Vdc
BVEBO	Emitter-Base Breakdown Voltage (IE = 0.1 mAdc, IC = 0)	3.5	-	-	Vdc
ICEO	Collector Cutoff Current (VCE = 28 Vdc, IB = 0)	-	-	20	µA
ICEX	Collector Cutoff Current (VCE = 55 Vdc, VBE = 1.5 Vdc)	-	-	100	µA

(on)

HFE	DC Current Gain (IC = 360 mAdc, VCE = 5.0 Vdc) Both (IC = 50 mAdc, VCE = 5.0 Vdc) 2N3866 (IC = 50 mAdc, VCE = 5.0 Vdc) 2N3866A	 5.0 10 25	 - - -	 - 200 200	 - - -
VCE(sat)	Collector-Emitter Saturation Voltage (IC = 100 mAdc, IB = 20 mAdc)	-	-	1.0	Vdc

DYNAMIC

Symbol	Test Conditions		Value			
			Min.	Typ.	Max.	Unit
f_T	Current-Gain - Bandwidth Product (IC = 50 mAdc, VCE = 15 Vdc, f = 200 MHz)	2N3866 2N3866A	500 800	800 -	- -	MHz
COB	Output Capacitance (VCB = 30 Vdc, IE = 0, f = 1.0 MHz)		-	2.8	3.5	pF

FUNCTIONAL

Symbol	Test Conditions		Value			
			Min.	Typ.	Max.	Unit
G_{PE}	Power Gain	Test Circuit-Figure 1 Pin = 0.1 W, VCE = 28Vdc f = 400 MHz, TC = 25 C	10	-	-	dB
Pout	Output Power	Test Circuit-Figure 1 Pin = 0.1 W, VCE = 28Vdc f = 400 MHz, TC = 25 C	1.0	-	-	Watts
η_C	Collector Efficiency	Test Circuit-Figure 1 Pin = 0.1 W, VCE = 28Vdc f = 400 MHz, TC = 25 C	45	-	-	%

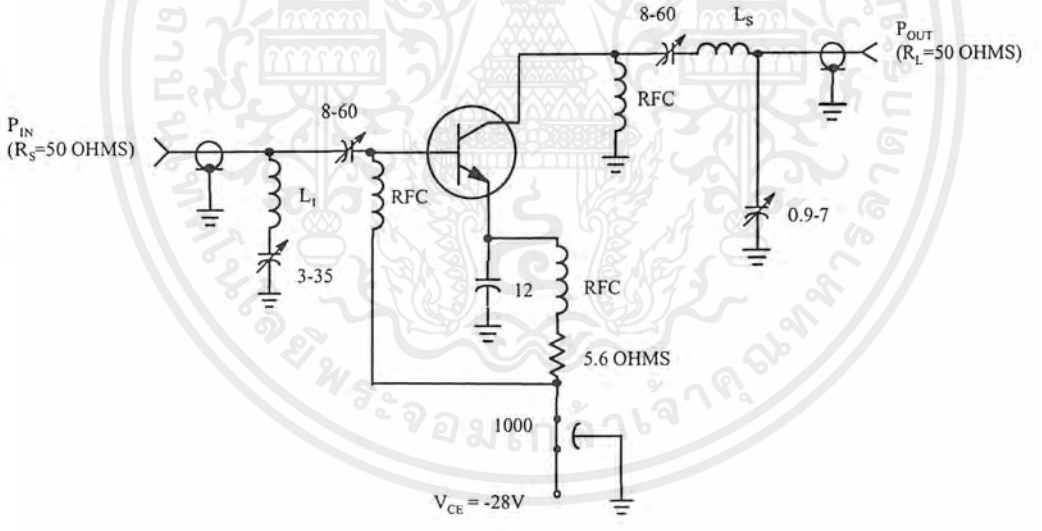


Figure 1 - 400 MHz RF AMPLIFIER CIRCUIT FOR G_{PE}, P_{OUT}, AND EFFICIENCY SPECIFICATIONS.

L_1: 2 TURNS No. 18 wire, ¼" ID, 1/8" long

L_S: 2 ¾ TURNS No. 18 wire, ¼" ID, 3/16" long

Capacitor values in pF unless otherwise indicated.

Tuning capacitors are air variable

RF Products

Microsemi

Progress Powered by Technology

2N3866 / 2N3866A

RF Low Power PA, LNA, and General Purpose Discrete Selector Guide

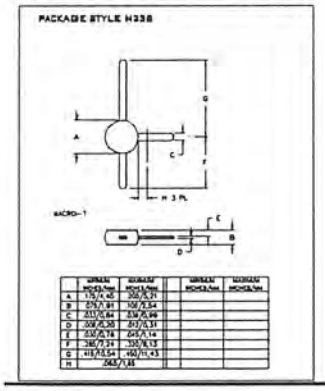
Package	Device	Type	GPE Freq (MHz	Pout	GPE (dB)	Efficiency (%)	GPE VCC	BVCEO	IC max (mA)
SO-8	MRF4427, R2	NPN	175	0.15	18	60	12	20	400
TO-39	2N4427	NPN	175	1	10	50	12	20	400
POWER MACRO	MRF553	NPN	175	1.5	11.5	60	12.5	16	500
POWER MACRO	MRF553T	NPN	175	1.5	11.5	50	12.5	16	500
TO-39	MRF607	NPN	175	1.75	11.5	50	12.5	16	330
TO-39	2N6255	NPN	175	3	7.8	50	12.5	18	1000
TO-72	2N5179	NPN	200		20		6	12	50
MACRO X	MRF559	NPN	512	0.5	10	65	7.5	16	150
MACRO X	MRF559	NPN	512	0.5	13	60	12.5	16	150
TO-39	2N3866A	NPN	400	1	10	45	28	30	400
SO-8	MRF3866, R1, R2	NPN	400	1	10	45	28	30	400
POWER MACRO	MRF555	NPN	470	1.5	11	50	12.5	16	400
POWER MACRO	MRF555T	NPN	470	1.5	11	50	12.5	16	400
MACRO X	MRF559	NPN	870	0.5	6.5	70	7.5	16	150
MACRO X	MRF559	NPN	870	0.5	9.5	65	12.5	16	150
SO-8	MRF8372,R1,R2	NPN	870	0.75	8	55	12.5	16	200
POWER MACRO	MRF557	NPN	870	1.5	8	55	12.5	16	400
POWER MACRO	MRF557T	NPN	870	1.5	8	55	12.5	16	400

RF (Low Power PA / General Purpose) Selection

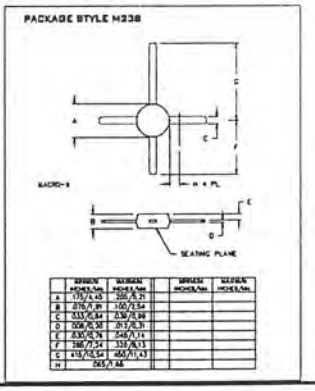
Package	Device	Type	Freq (MHz)	NF (dB)	NF IC (mA)	NF VCE	GNF (dB)	Gu Max (dB)	Ftau (MHz)	Ccb(pF)	BVCEO	IC max (mA)
TO-39	2N5109	NPN	200	3	10	15		12	1200	3.5	20	400
TO-39	MRF5943C	NPN	200	3.4	30	15		13.4	1000		30	400
SO-8	MRF5943, R1, R2	NPN	200	3.4	30	15		15	1300		30	400
TO-72	2N5179	NPN	200	4.5	1.5	6		17	900	1	12	50
TO-72	2N2857	NPN	300	5.5	50	6		13	1600	1	15	40
TO-39	MRF517	NPN	300	7.5	50	15		5.5	4500	3	25	150
TO-72	MRF904	NPN	450	1.3	5	6		11	4000	1	15	30
TO-72	2N6304	NPN	450	5	2	5		14	1400	1	15	50
MACRO T	BFR91	NPN	500	1.9	2	5	11	16.5	5000	1	12	35
MACRO T	BFR96	NPN	500	2	10	10		14.5	500	2.8	15	100
SO-8	MRF5812, R1, R2	NPN	500	2	50	10	15 5	17 8	5000		15	200
MACRO X	MRF581A	NPN	500	2	50	10	14	15	5000		15	200
Macro	BFR90	NPN	500	2.4	2	10	15	18	5000	1	15	30
TO-72	BFY90	NPN	500	2.5	2	5		20	1300		15	50
TO-72	MRF914	NPN	500	2.5	5	10		15	4500		12	40
MACRO X	MRF581	NPN	500	2.5	50	10	15	17.8	5000		16	200
TO-39	MRF586	NPN	500	3	90	15	11	14.5	4500	2.2	17	200
MACRO X	MRF953	NPN	1000	1.3	5	6	14	17	8000	0.45	10	100
MACRO X	MRF571	NPN	1000	1.5	10	6	10		8000	1	10	70
MACRO T	BFR91	NPN	1000	2.5	2	5	8	11	5000	1	12	35
MACRO T	BFR90	NPN	1000	3	2	10	10	12.5	5000	1	15	30
TO-39	MRF545	PNP						14	1400	2	70	400
TO-39	MRF544	NPN						13.5	1500		70	400

RF (LNA / General Purpose) Selection Guide

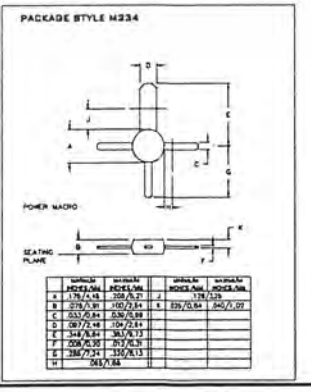
Low Cost RF Plastic Package Options



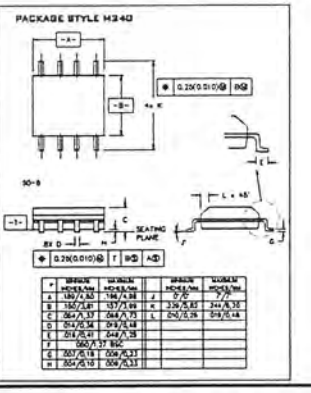
Macro T



Macro X



Power

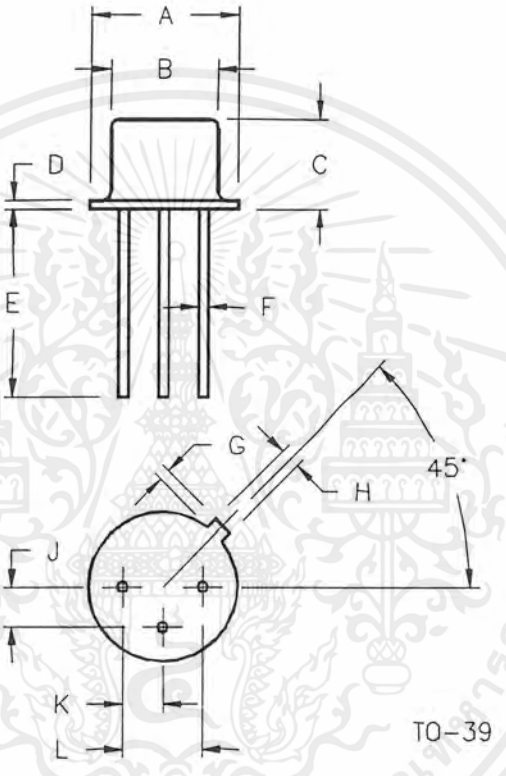


SO-8

RF Products
Microsemi
Progress Powered by Technology

2N3866 / 2N3866A

PACKAGE STYLE M246



	MINIMUM INCHES/MM	MAXIMUM INCHES/MM		MINIMUM INCHES/MM	MAXIMUM INCHES/MM
A	.350/8,89	.370/9,40	J	.095/2,41	.105/2,67
B	.315/8,00	.335/8,51	K	.095/2,41	.105/2,67
C	.240/6,10	.260/6,60	L	.190/4,83	.210/5,33
D	.015/0,38	.045/1,14			
E	.500/12,70				
F	.016/0,41	.019/0,48			
G	.029/0,74	.040/1,02			
H	.028/0,71	.034/0,86			

DATA SHEET

BFG540; BFG540/X; BFG540/XR
NPN 9 GHz wideband transistor

Product specification
File under Discrete Semiconductors, SC14

September 1995

Philips
Semiconductors

PHILIPS

NPN 9 GHz wideband transistor

BFG540; BFG540/X; BFG540/XR

FEATURES

- High power gain
- Low noise figure
- High transition frequency
- Gold metallization ensures excellent reliability.

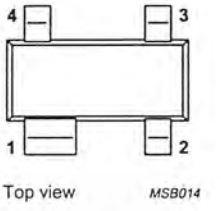
DESCRIPTION

NPN silicon planar epitaxial transistors, intended for wideband applications in the GHz range, such as analog and digital cellular telephones, cordless telephones (CT1, CT2, DECT, etc.), radar detectors, satellite TV tuners (SATV), MATV/CATV amplifiers and repeater amplifiers in fibre-optical systems.

The transistors are mounted in plastic SOT143B and SOT143R packages.

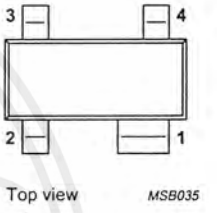
PINNING

PIN	DESCRIPTION
BFG540 (Fig.1) Code: N37	
1	collector
2	base
3	emitter
4	emitter
BFG540/X (Fig.1) Code: N43	
1	collector
2	emitter
3	base
4	emitter
BFG540/XR (Fig.2) Code: N49	
1	collector
2	emitter
3	base
4	emitter



Top view MSB014

Fig.1 SOT143B.



Top view MSB035

Fig.2 SOT143R.

QUICK REFERENCE DATA

SYMBOL	PARAMETER	CONDITIONS	MIN.	TYP.	MAX.	UNIT
V_{CBO}	collector-base voltage	open emitter	–	–	20	V
V_{CES}	collector-emitter voltage	R_{BE} = 0	–	–	15	V
I_C	DC collector current		–	–	120	mA
P_{tot}	total power dissipation	up to T_s = 60 °C; note 1	–	–	400	mW
h_{FE}	DC current gain	I_C = 40 mA; V_{CE} = 8 V; T_j = 25 °C	60	120	250	
C_{re}	feedback capacitance	I_C = 0; V_{CE} = 8 V; f = 1 MHz	–	0.5	–	pF
f_T	transition frequency	I_C = 40 mA; V_{CE} = 8 V; f = 1 GHz; T_{amb} = 25 °C	–	9	–	GHz
G_{UM}	maximum unilateral power gain	I_C = 40 mA; V_{CE} = 8 V; f = 900 MHz; T_{amb} = 25 °C	–	18	–	dB
		I_C = 40 mA; V_{CE} = 8 V; f = 2 GHz; T_{amb} = 25 °C	–	11	–	dB
$\lvert S_{21}\rvert^2$	insertion power gain	I_C = 40 mA; V_{CE} = 8 V; f = 900 MHz; T_{amb} = 25 °C	15	16	–	dB
F	noise figure	$\Gamma_s = \Gamma_{opt}$; I_C = 10 mA; V_{CE} = 8 V; f = 900 MHz; T_{amb} = 25 °C	–	1.3	1.8	dB
		$\Gamma_s = \Gamma_{opt}$; I_C = 40 mA; V_{CE} = 8 V; f = 900 MHz; T_{amb} = 25 °C	–	1.9	2.4	dB
		$\Gamma_s = \Gamma_{opt}$; I_C = 10 mA; V_{CE} = 8 V; f = 2 GHz; T_{amb} = 25 °C	–	2.1	–	dB

LIMITING VALUES

In accordance with the Absolute Maximum System (IEC 134).

SYMBOL	PARAMETER	CONDITIONS	MIN.	MAX.	UNIT
V_{CBO}	collector-base voltage	open emitter	–	20	V
V_{CES}	collector-emitter voltage	R_{BE} = 0	–	15	V
V_{EBO}	emitter-base voltage	open collector	–	2.5	V
I_C	DC collector current		–	120	mA
P_{tot}	total power dissipation	up to T_s = 60 °C (note 1)	–	400	mW
T_{stg}	storage temperature		–65	+150	°C
T_j	junction temperature		–	150	°C

THERMAL CHARACTERISTICS

SYMBOL	PARAMETER	CONDITIONS	VALUE	UNIT
$R_{th\ j\text{-}s}$	thermal resistance from junction to soldering point	up to T_s = 60 °C note 1	290	K/W

Note

1. T_s is the temperature at the soldering point of the collector pin.

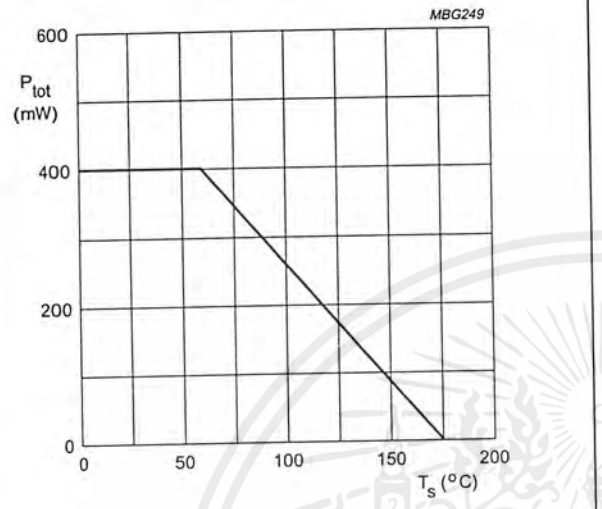
CHARACTERISTICS

T_j = 25 °C unless otherwise specified.

SYMBOL	PARAMETER	CONDITIONS	MIN.	TYP.	MAX.	UNIT
I_{CBO}	collector cut-off current	I_E = 0; V_{CB} = 8 V	–	–	50	nA
h_{FE}	DC current gain	I_C = 40 mA; V_{CE} = 8 V	60	120	250	
C_e	emitter capacitance	$I_C = i_c$ = 0; V_{EB} = 0.5 V; f = 1 MHz	–	2	–	pF
C_c	collector capacitance	$I_E = i_e$ = 0; V_{CB} = 8 V; f = 1 MHz	–	0.9	–	pF
C_{re}	feedback capacitance	I_C = 0; V_{CB} = 8 V; f = 1 MHz	–	0.5	–	pF
f_T	transition frequency	I_C = 40 mA; V_{CE} = 8 V; f = 1 GHz; T_{amb} = 25 °C	–	9	–	GHz
G_{UM}	maximum unilateral power gain (note 1)	I_C = 40 mA; V_{CE} = 8 V; f = 900 MHz; T_{amb} = 25 °C	–	18	–	dB
		I_C = 40 mA; V_{CE} = 8 V; f = 2 GHz; T_{amb} = 25 °C	–	11	–	dB
$\lvert S_{21}\rvert^2$	insertion power gain	I_C = 40 mA; V_{CE} = 8 V; f = 900 MHz; T_{amb} = 25 °C	15	16	–	dB
F	noise figure	$\Gamma_s = \Gamma_{opt}$; I_C = 10 mA; V_{CE} = 8 V; f = 900 MHz; T_{amb} = 25 °C	–	1.3	1.8	dB
		$\Gamma_s = \Gamma_{opt}$; I_C = 40 mA; V_{CE} = 8 V; f = 900 MHz; T_{amb} = 25 °C	–	1.9	2.4	dB
		$\Gamma_s = \Gamma_{opt}$; I_C = 10 mA; V_{CE} = 8 V; f = 2 GHz; T_{amb} = 25 °C	–	2.1	–	dB
P_{L1}	output power at 1 dB gain compression	I_C = 40 mA; V_{CE} = 8 V; R_L = 50 Ω; f = 900 MHz; T_{amb} = 25 °C	–	21	–	dBm
ITO	third order intercept point	note 2	–	34	–	dBm
V_O	output voltage	note 3	–	500	–	mV
d_2	second order intermodulation distortion	note 4	–	–50	–	dB

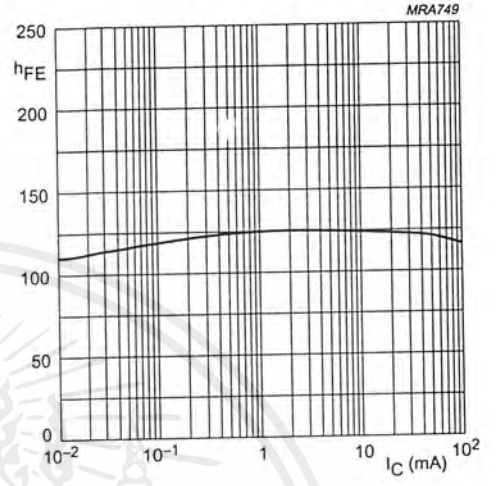
Notes

1. G_{UM} is the maximum unilateral power gain, assuming S_{12} is zero and $G_{UM} = 10 \log \frac{|S_{21}|^2}{(1-|S_{11}|^2)(1-|S_{22}|^2)}$ dB.
2. V_{CE} = 8 V; I_C = 40 mA; R_L = 50 Ω; T_{amb} = 25 °C;
   f_p = 900 MHz; f_q = 902 MHz;
   measured at $f_{(2p-q)}$ = 898 MHz and $f_{(2q-p)}$ = 904 MHz.
3. d_{im} = –60 dB (DIN 45004B); I_C = 40 mA; V_{CE} = 8 V; $Z_L = Z_S$ = 75 Ω; T_{amb} = 25 °C;
   $V_p = V_O$; $V_q = V_O$ –6 dB; $V_r = V_O$ –6 dB;
   f_p = 795.25 MHz; f_q = 803.25 MHz; f_r = 805.25 MHz;
   measured at $f_{(p+q-r)}$ = 793.25 MHz.
4. I_C = 40 mA; V_{CE} = 8 V; V_O = 275 mV; T_{amb} = 25 °C;
   f_p = 250 MHz; f_q = 560 MHz; measured at $f_{(p+q)}$ = 810 MHz.



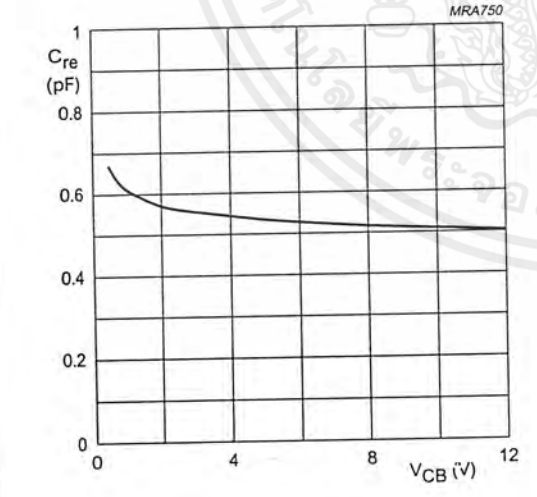
$V_{CE} \leq 10$ V.

Fig.3 Power derating curve.



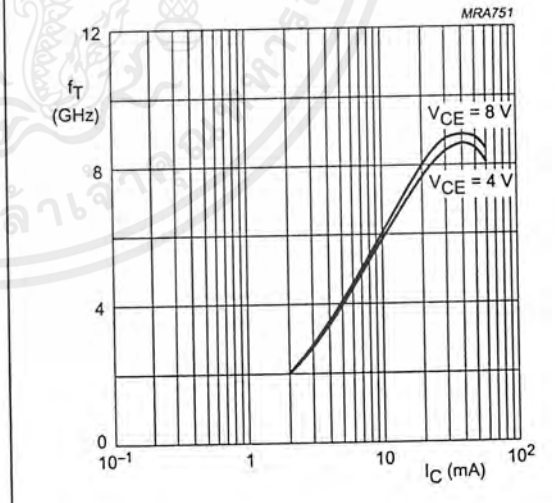
$V_{CE} = 8$ V; $T_j = 25$ °C.

Fig.4 DC current gain as a function of collector current.



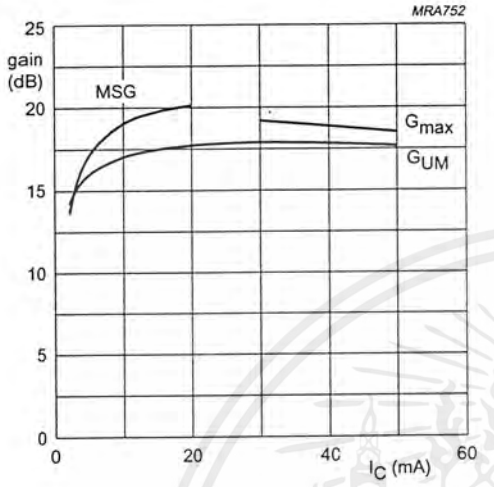
$I_C = 0$; $f = 1$ MHz.

Fig.5 Feedback capacitance as a function of collector-base voltage.



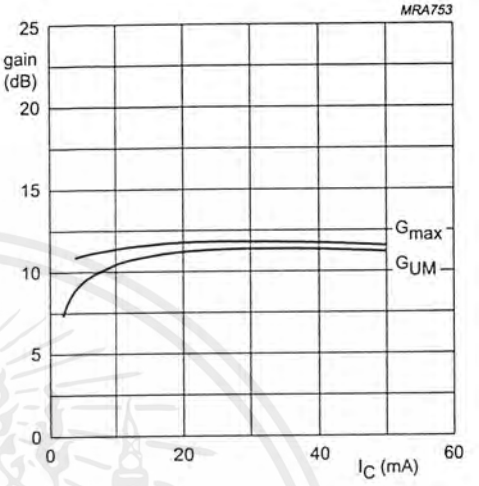
$f = 1$ GHz; $T_{amb} = 25$ °C.

Fig.6 Transition frequency as a function of collector current.



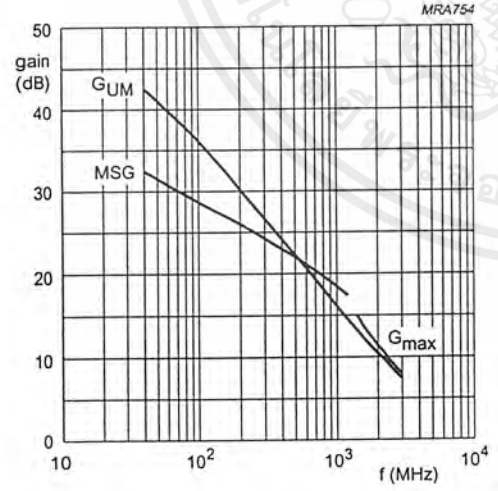
V_{CE} = 8 V; f = 900 MHz.
MSG = maximum stable gain; G_{max} = maximum available gain;
G_{UM} = maximum unilateral power gain.

Fig.7 Gain as a function of collector current.



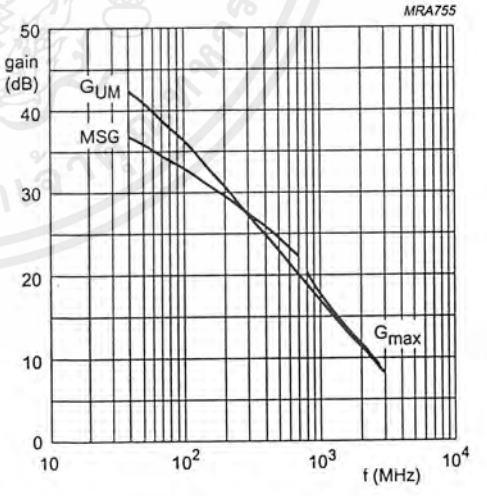
V_{CE} = 8 V; f = 2 GHz.
G_{max} = maximum available gain;
G_{UM} = maximum unilateral power gain.

Fig.8 Gain as a function of collector current.



I_C = 10 mA; V_{CE} = 8 V.
G_{UM} = maximum unilateral power gain;
MSG = maximum stable gain; G_{max} = maximum available gain.

Fig.9 Gain as a function of frequency.



I_C = 40 mA; V_{CE} = 8 V.
G_{UM} = maximum unilateral power gain;
MSG = maximum stable gain; G_{max} = maximum available gain.

Fig.10 Gain as a function of frequency.

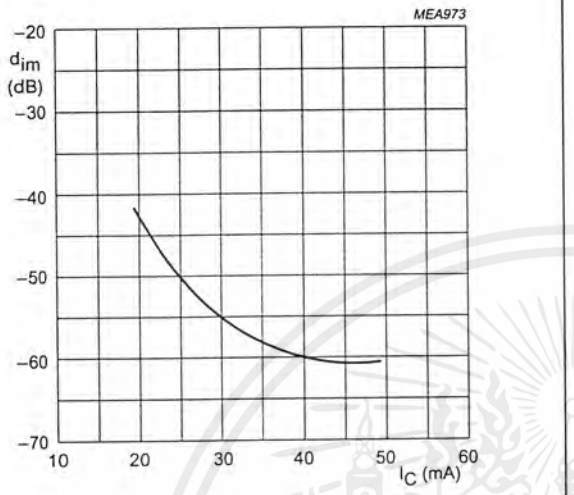


Fig.11 Intermodulation distortion as a function of collector current.

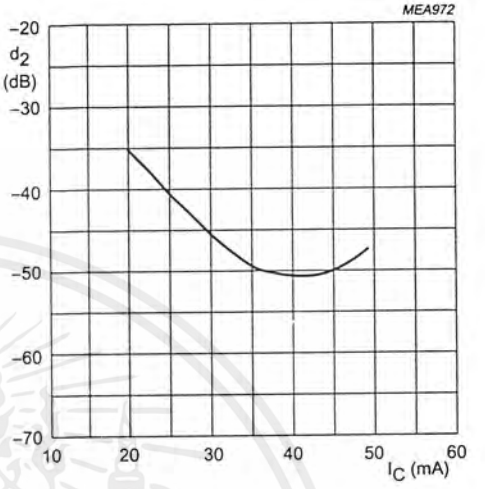
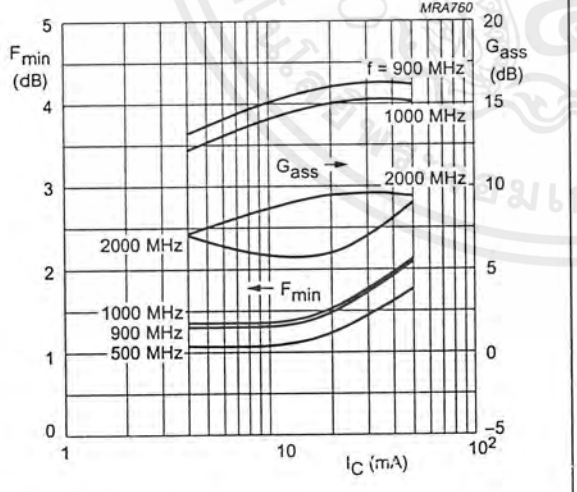
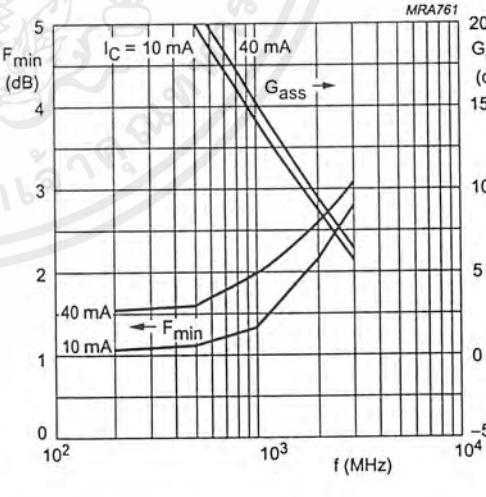


Fig.12 Second order intermodulation distortion as a function of collector current.



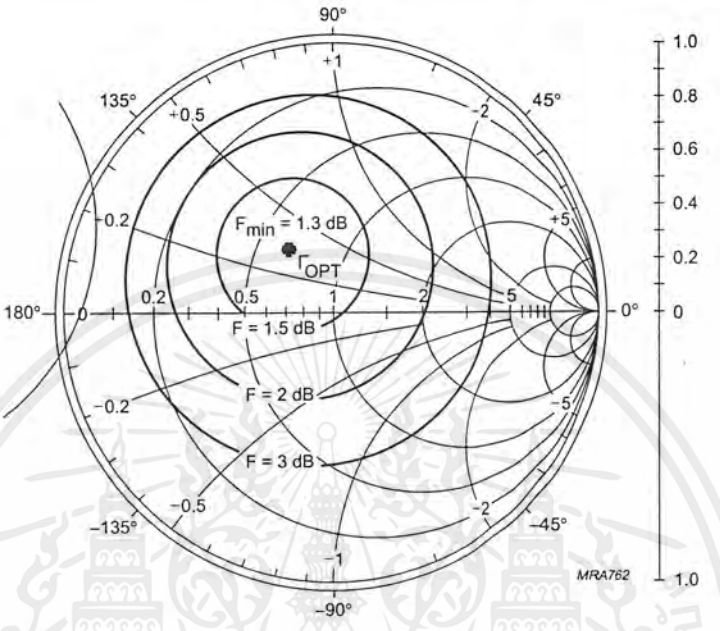
V_{CE} = 8 V.

Fig.13 Minimum noise figure and associated available gain as functions of collector current.



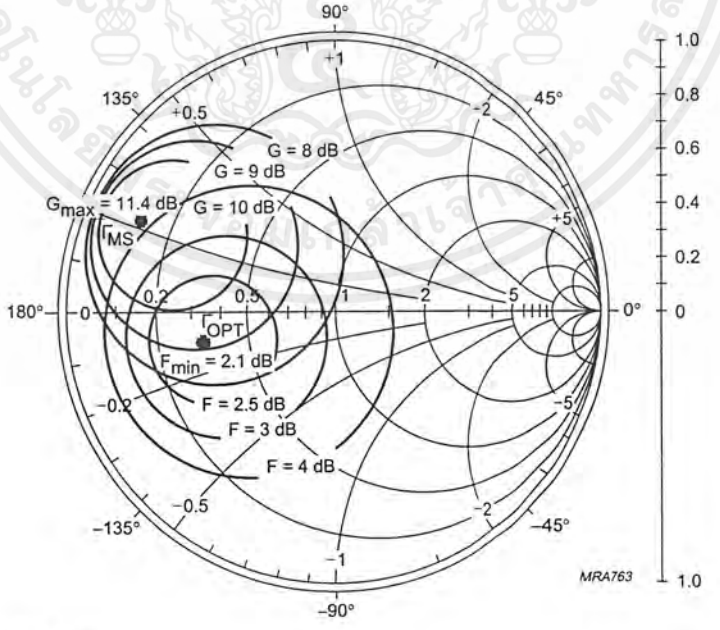
V_{CE} = 8 V.

Fig.14 Minimum noise figure and associated available gain as functions of frequency.



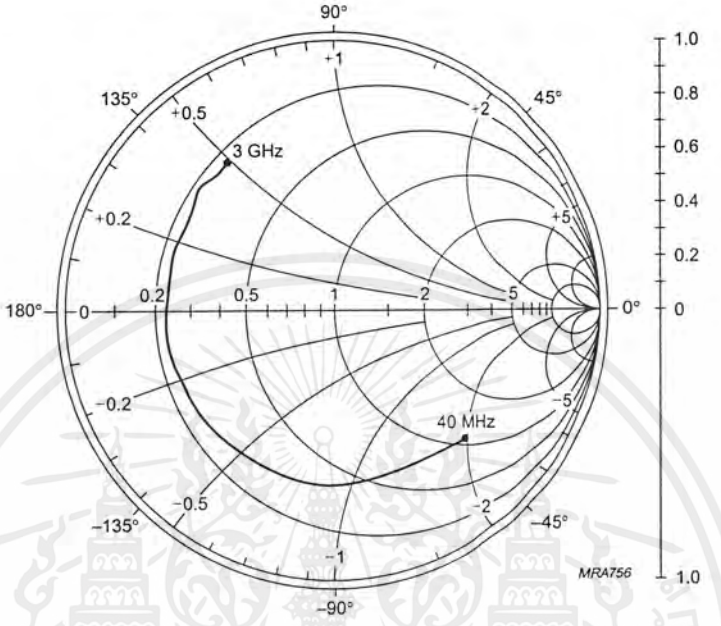
I_C = 10 mA; V_{CE} = 8 V; Z_o = 50 Ω; f = 900 MHz.

Fig.15 Noise circle figure.



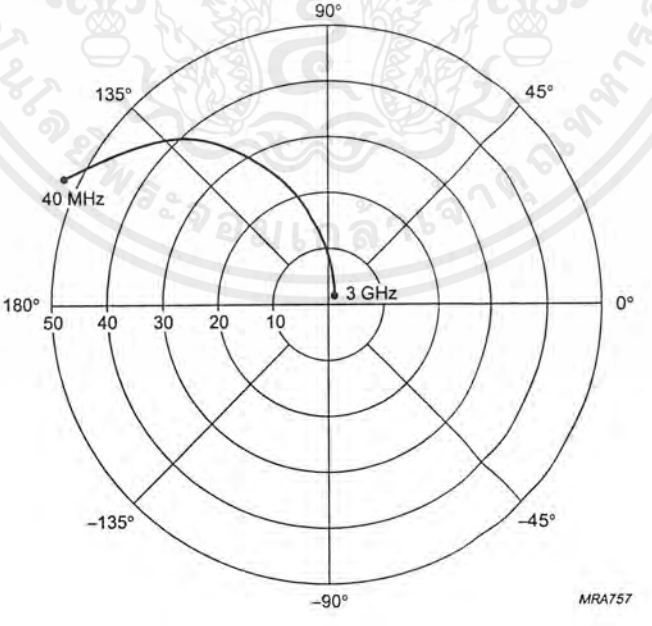
I_C = 10 mA; V_{CE} = 8 V; Z_o = 50 Ω; f = 2 GHz.

Fig.16 Noise circle figure.



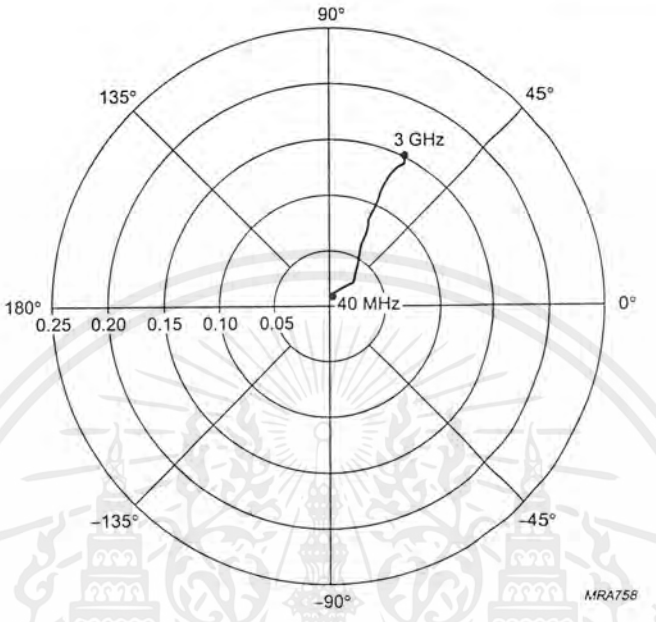
I_C = 40 mA; V_{CE} = 8 V; Z_o = 50 Ω.

Fig.17 Common emitter input reflection coefficient (S_{11}).



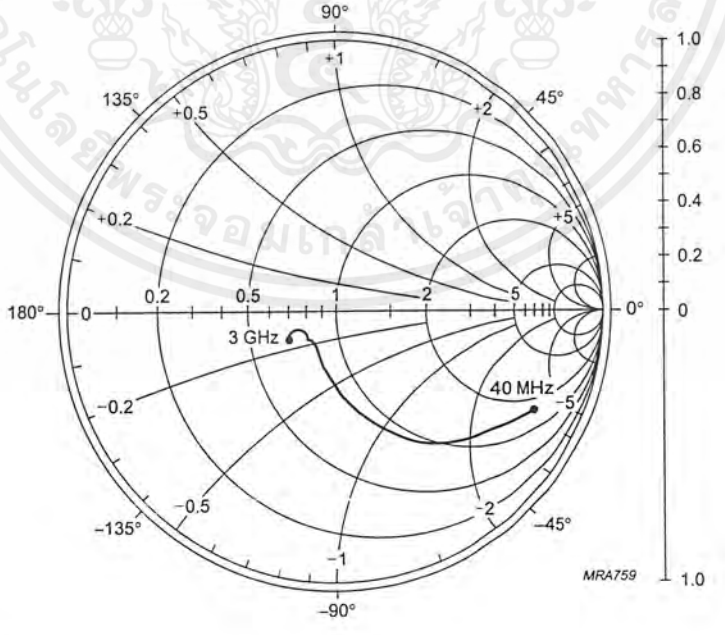
I_C = 40 mA; V_{CE} = 8 V.

Fig.18 Common emitter forward transmission coefficient (S_{21}).



I_C = 40 mA; V_{CE} = 8 V.

Fig.19 Common emitter reverse transmission coefficient (S_{12}).

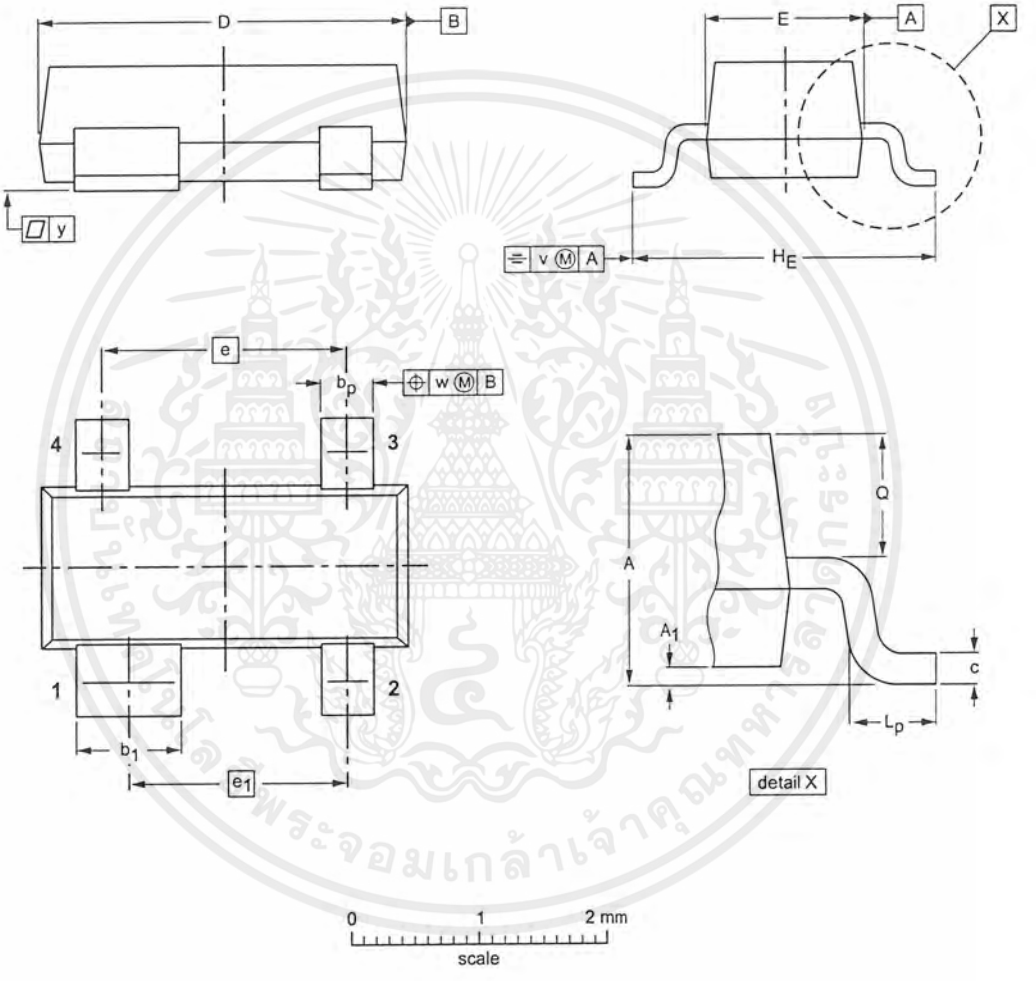


I_C = 40 mA; V_{CE} = 8 V; Z_o = 50 Ω.

Fig.20 Common emitter output reflection coefficient (S_{22}).

PACKAGE OUTLINES

Plastic surface mounted package; 4 leads **SOT143B**

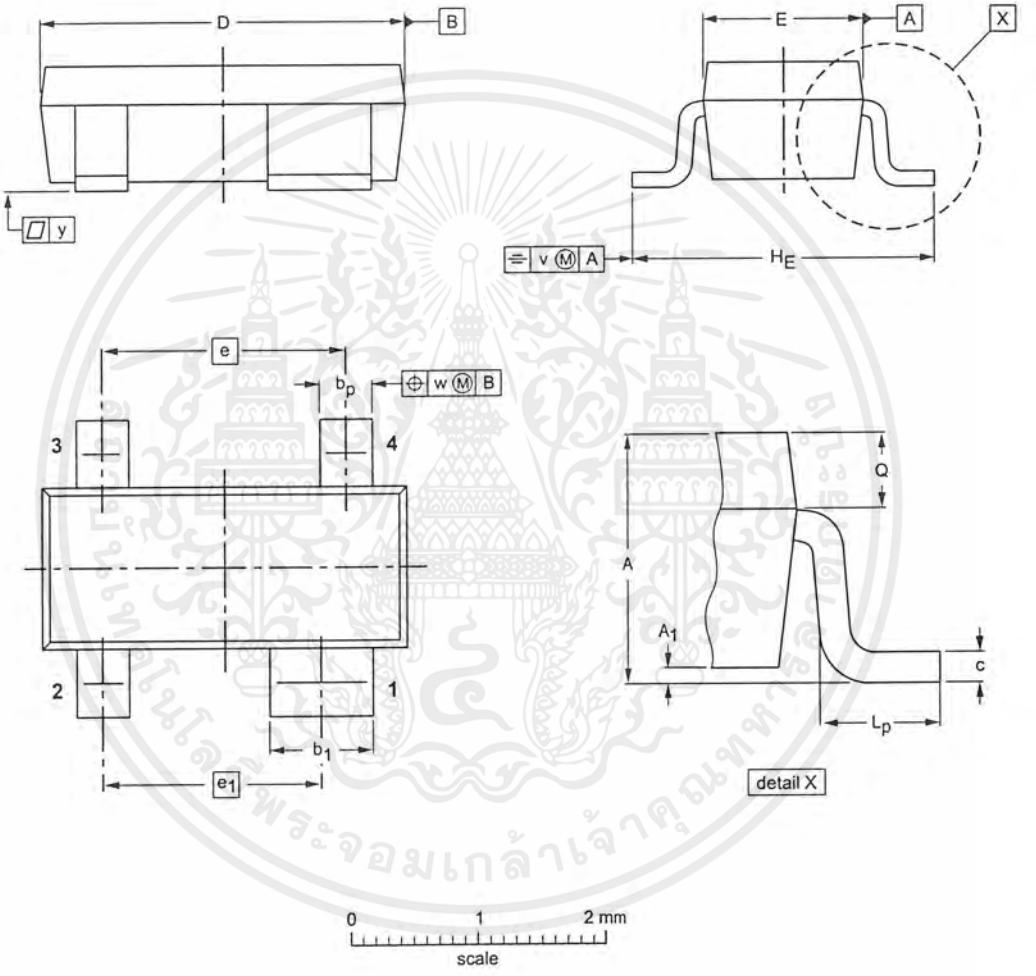


DIMENSIONS (mm are the original dimensions)

UNIT	A	A_1 max	b_p	b_1	c	D	E	e	e_1	H_E	L_p	Q	v	w	y
mm	1.1 0.9	0.1	0.48 0.38	0.88 0.78	0.15 0.09	3.0 2.8	1.4 1.2	1.9	1.7	2.5 2.1	0.45 0.15	0.55 0.45	0.2	0.1	0.1

OUTLINE VERSION	REFERENCES				EUROPEAN PROJECTION	ISSUE DATE
	IEC	JEDEC	EIAJ			
SOT143B						97-02-28

Plastic surface mounted package; reverse pinning; 4 leads **SOT143R**



DIMENSIONS (mm are the original dimensions)

UNIT	A	A_1 max	b_p	b_1	c	D	E	e	e_1	H_E	L_p	Q	v	w	y
mm	1.1 0.9	0.1	0.48 0.38	0.88 0.78	0.15 0.09	3.0 2.8	1.4 1.2	1.9	1.7	2.5 2.1	0.55 0.25	0.45 0.25	0.2	0.1	0.1

OUTLINE VERSION	REFERENCES				EUROPEAN PROJECTION	ISSUE DATE
	IEC	JEDEC	EIAJ			
SOT143R						97-03-10

DEFINITIONS

Data sheet status	
Objective specification	This data sheet contains target or goal specifications for product development.
Preliminary specification	This data sheet contains preliminary data; supplementary data may be published later.
Product specification	This data sheet contains final product specifications.
Limiting values	
Limiting values given are in accordance with the Absolute Maximum Rating System (IEC 134). Stress above one or more of the limiting values may cause permanent damage to the device. These are stress ratings only and operation of the device at these or at any other conditions above those given in the Characteristics sections of the specification is not implied. Exposure to limiting values for extended periods may affect device reliability.	
Application information	
Where application information is given, it is advisory and does not form part of the specification.	

LIFE SUPPORT APPLICATIONS

These products are not designed for use in life support appliances, devices, or systems where malfunction of these products can reasonably be expected to result in personal injury. Philips customers using or selling these products for use in such applications do so at their own risk and agree to fully indemnify Philips for any damages resulting from such improper use or sale.

National Semiconductor

September 1992

LM3089 FM Receiver IF System

General Description

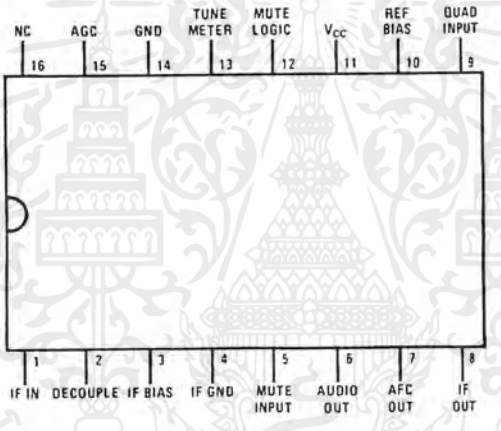
The LM3089 has been designed to provide all the major functions required for modern FM IF designs of automotive, high-fidelity and communications receivers.

Features

- Three stage IF amplifier/limiter provides 12 μV (typ) −3 dB limiting sensitivity
- Balanced product detector and audio amplifier provide 400 mV (typ) of recovered audio with distortion as low as 0.1% with proper external coil designs.
- Four internal carrier level detectors provide delayed AGC signal to tuner, IF level meter drive current and interchannel mute control
- AFC amplifier provides AFC current for tuner and/or center tuning meters
- Improved operating and temperature performance, especially when using high Q quadrature coils in narrow band FM communications receivers
- No mute circuit latchup problems
- A direct replacement for CA3089E

Connection Diagram

Dual-In-Line Package



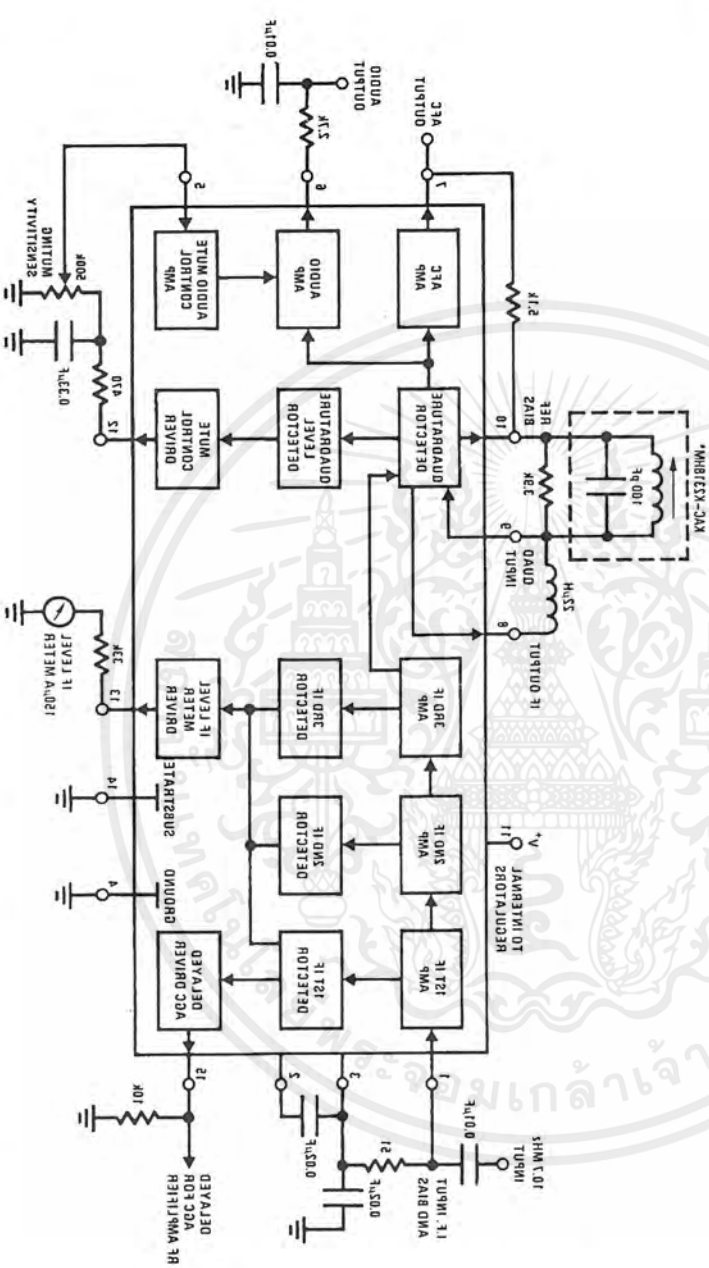
Top View

Order Number LM3089N
See NS Package Number N16E

©1995 National Semiconductor Corporation

RRD-B30M115/Printed in U. S. A.

Block Diagram



TL/H/7149–1

Toko America
1250 Feehanville Drive
Mount Prospect, IL 60056
(312) 297-0070

Absolute Maximum Ratings

If Military/Aerospace specified devices are required, please contact the National Semiconductor Sales Office/Distributors for availability and specifications.

Supply Voltage Between Pin 11 and Pins 4, 14	+16V
DC Current Out of Pin 12	5 mA
DC Current Out of Pin 13	5 mA
DC Current Out of Pin 15	2 mA
Power Dissipation (Note 2)	1500 mW
Operating Temperature Range	−40°C to +85°C
Storage Temperature Range	−65°C to +150°C
Lead Temperature (Soldering, 10 seconds)	260°C

Electrical Characteristics (T_A = 25°C, V_{CC} = +12V, see Test Circuit)

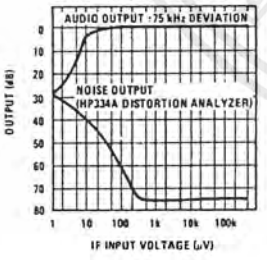
Symbol	Parameter	Conditions	Min	Typ	Max	Units
DC CHARACTERISTICS (V_{IN} = 0, NOT MUTED)						
I_{11}	Supply Current		16	23	30	mA
V1, 2, 3	IF Input and Bias		1.2	1.9	2.4	V
V6	Audio Output		5.0	5.6	6.0	V
V7	AFC Output		5.0	5.6	6.0	V
V10	Reference Bias		5.0	5.6	6.0	V
V12	Mute Control		5.0	5.4	6.0	V
V13	IF Level			0	0.5	V
V15	Delayed AGC		4.2	4.7	5.3	V
DYNAMIC CHARACTERISTICS f_o = 10.7 MHZ, Δf = ±75 kHz @ 400 Hz						
V_{IN}(LIM)	Input Limiting −3 dB			12	25	μV
AMR	AM Rejection	V_{IN} = 100 mV, AM: 30%	45	55		−dB
V_O(AF)	Recovered Audio	V_{IN} = 10 mV	300	400	500	mVrms
THD	Total Harmonic Distortion					
	Single Tuned (Note 1)	V_{IN} = 100 mV		0.5	1.0	%
	Double Tuned (Note 1)	V_{IN} = 100 mV		0.1	0.3	%
S+N/N	Signal to Noise Ratio	V_{IN} = 100 mV	60	70		dB
V12	Mute Control	V_{IN} = 100 mV		0	0.5	V
V13	IF Level	V_{IN} = 100 mV	4.0	5.0	6.0	V
V13	IF Level	V_{IN} = 500 μV	1.0	1.5	2.0	V
V15	Delayed AGC	V_{IN} = 100 mV		0.1	0.5	V
V15	Delayed AGC	V_{IN} = 30 mV		2.5		V
V_O(AF)	Audio Muted	V_{IN} = 100 mV, V5 = +2.5V		60		−dB

Note 1: Distortion is a function of quadrature coil used.

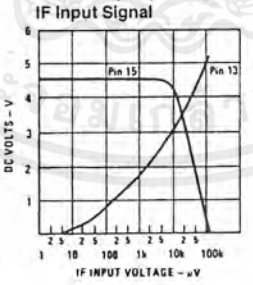
Note 2: For operation in ambient temperatures above 25°C, the device must be derated based on a 150°C maximum junction temperature and a thermal resistance of 80°C/W junction to ambient.

Typical Performance Characteristics

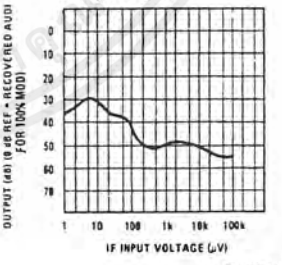
Typical S + N/N and IF Limiting Sensitivity vs IF Input Signal



Typical AGC (Pin 15) and Meter Output (Pin 13) vs IF Input Signal

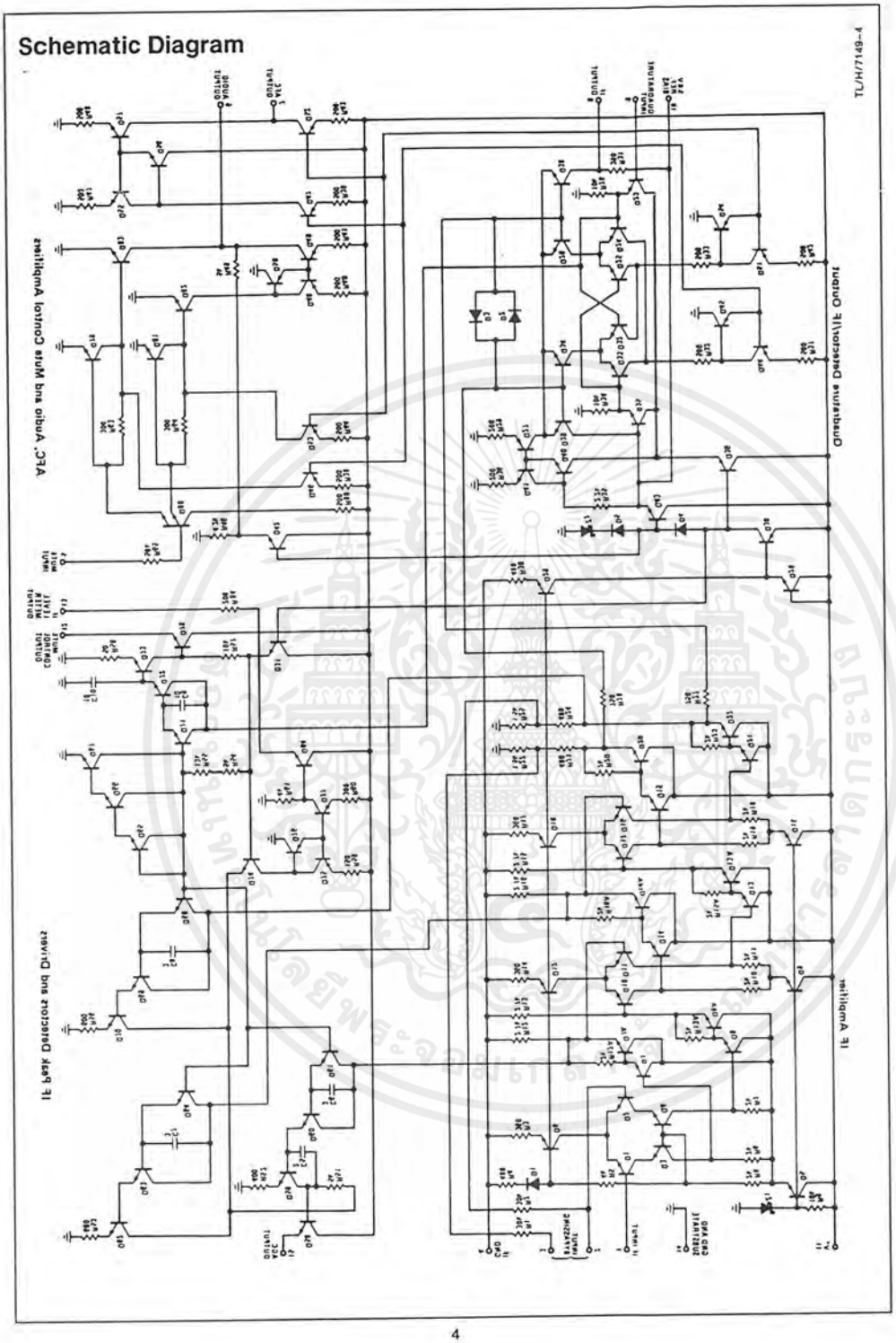


AM Rejection (30% Mod) vs IF Input Signal



TL/H/7149-3

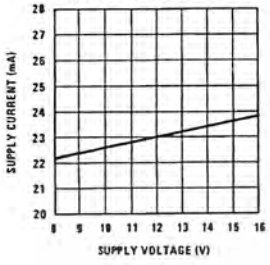
Schematic Diagram



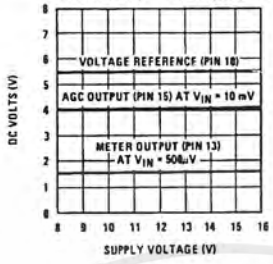
TL/H/7149–4

Typical Performance Characteristics

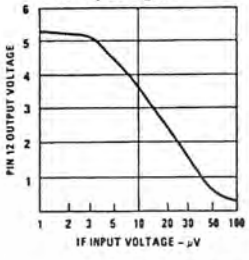
Supply Current (I_{11}) vs Supply Voltage (V11)



Reference Voltage, AGC and Meter Output vs Supply Voltage

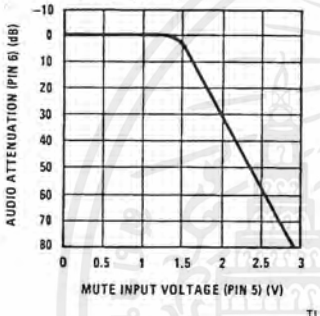


Mute Control Output (Pin 12) vs IF Input Signal



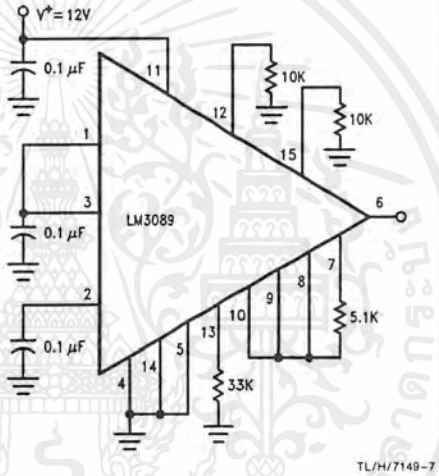
TL/H/7149–5

Typical Audio Attenuation (Pin 6) vs Mute Input Voltage (Pin 5)



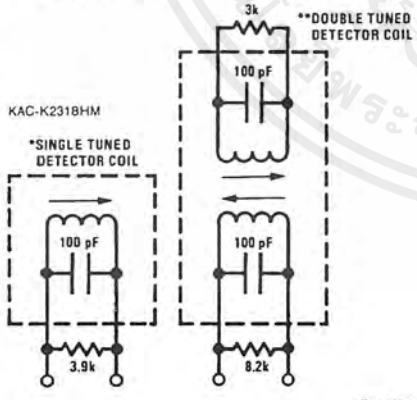
TL/H/7149–6

DC Test Circuit



TL/H/7149–7

AC Test Circuit



TL/H/7149–8

*For single tuned dectector coil:
L_O tunes with 100 pF at 10.7 MHz
Q_{UL} (unloaded) ≥ 75
Q_L (loaded) ≥ 13 for V9 ≥ 150 mVrms

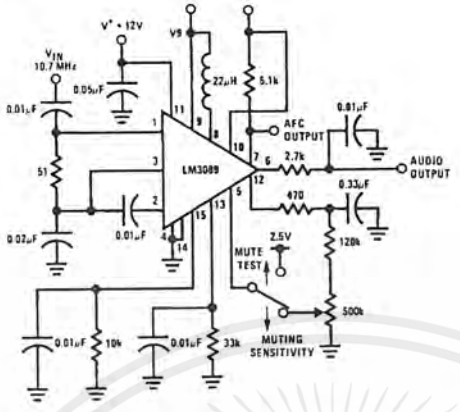
**For double tuned detector coil:
$Q_{ULPRI} = Q_{ULSEC} \geq 75$
$kQ \geq 0.7$ for V9 ≥ 150 mVrms

Note:

The recovered audio output voltage will be approximately 0.5 dB less when using the double tuned detector coil.

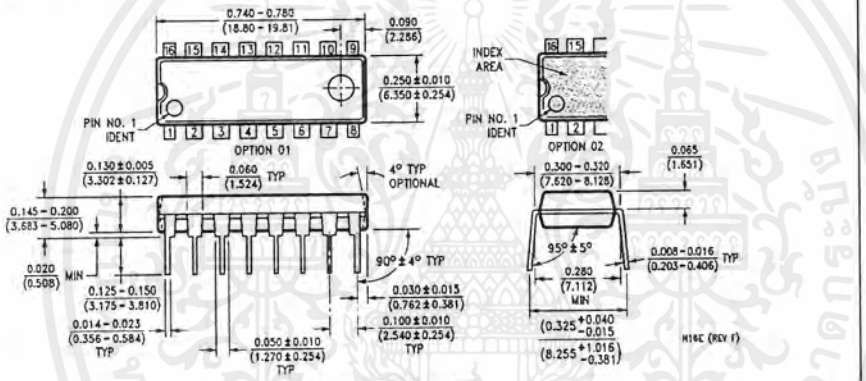
For proper operation of the mute circuit, the RF voltage at pin 9 should be 150 mVrms ±30 mV.

AC Test Circuit (Continued)



TL/H/7149-9

Physical Dimensions inches (millimeters)



Dual-In-Line Package (N)
Order Number LM3089N
See NS Package Number N16E

LIFE SUPPORT POLICY

NATIONAL'S PRODUCTS ARE NOT AUTHORIZED FOR USE AS CRITICAL COMPONENTS IN LIFE SUPPORT DEVICES OR SYSTEMS WITHOUT THE EXPRESS WRITTEN APPROVAL OF THE PRESIDENT OF NATIONAL SEMICONDUCTOR CORPORATION. As used herein:

1. Life support devices or systems are devices or systems which, (a) are intended for surgical implant into the body, or (b) support or sustain life, and whose failure to perform, when properly used in accordance with instructions for use provided in the labeling, can be reasonably expected to result in a significant injury to the user.
2. A critical component is any component of a life support device or system whose failure to perform can be reasonably expected to cause the failure of the life support device or system, or to affect its safety or effectiveness.

National Semiconductor Corporation
1111 West Bardin Road
Arlington, TX 76017
Tel: 1(800) 272-9959
Fax: 1(800) 737-7018

National Semiconductor Europe
Fax: (+49) 0-180-530 85 86
Email: cnjwge@tevm2.nsc.com
Deutsch Tel: (+49) 0-180-530 85 85
English Tel: (+49) 0-180-532 78 32
Français Tel: (+49) 0-180-532 93 58
Italiano Tel: (+49) 0-180-534 16 80

National Semiconductor Hong Kong Ltd.
13th Floor, Straight Block,
Ocean Centre, 5 Canton Rd.
Tsimshatsui, Kowloon
Hong Kong
Tel: (852) 2737-1600
Fax: (852) 2736-9960

National Semiconductor Japan Ltd.
Tel: 81-043-299-2309
Fax: 81-043-299-2408

National does not assume any responsibility for use of any circuitry described, no circuit patent licenses are implied and National reserves the right at any time without notice to change said circuitry and specifications.

กิตติกรรมประกาศ

ปริญญานิพนธ์นี้สามารถทำสำเร็จได้ด้วยคำปรึกษาและแนะนำให้ความช่วยเหลือของบุคคลต่างๆ ดังต่อไปนี้

1. ดร.ทองทด วานิชศรี อาจารย์ที่ปรึกษาโครงงาน
2. นางสาวพิมล มานะกิจจงกล
3. นายณฤทธิ์ ญังธนิศรา
4. นางสาวธนาภรณ์ ทรัพย์ซ้อน

และบุคคลอื่นที่มิได้กล่าวถึงในที่นี้

ในโอกาสนี้จึงขอขอบคุณทุกท่านเป็นอย่างยิ่ง

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

หนังสืออ้างอิง

1. Chris Bowick, ***"RF Circuit Design"*** , Howard W. Sams & Company, 1990
2. Roland E. Best , ***" Phase Lock Loop "*** , McGraw-Hill Book Company , 1984
3. Frank R. Dungan , ***" Electronic communication system"*** , Delmar Publishers Inc., 1987
4. Arthur B. Williams, Fred J. Taylor, ***"Electromic Filter Design Handbook"*** , McGraw-Hill Publishing Company
5. รศ.ดร.วิวัฒน์ กิรานนท์, ***"วิศกรรมการสื่อสาร"*** , อักษรสยามการพิมพ์ , 2540
6. สุชาติ กังวารจิตต์ , ***" เครื่องรับส่งวิทยุและระบบวิทยุสื่อสาร"*** , บริษัท ซีเอ็ดยูเคชั่น จำกัด , กรุงเทพฯ, 2536