สำนักหอสมุดกลาง พระจอมเกล้าลาดกระบัง

รถสำรวจ

SURVEY VEHICLE

โดย

นางสาวจารุวรรณ สอนโกษา

นายวุฒิชัย จอกทอง

นายอดิสิทธิ์ อภิวัฒน์การุญ

เลขหมู่.....
เลขทะเบียน 42745
วัน, เดือน, ปี 7 มิ.ย. 2545

.b.....
.i.....

ปริญญานิพนธ์นี้เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรปริญญาวิศวกรรมศาสตรบัณฑิต

สาขาวิชาอิเล็กทรอนิกส์

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

ปีการศึกษา 2543

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

b 11213528

รถสำรวจ

SERVEY VEHICLE

นางสาวจารุวรรณ	สอนโกษา	41013245
นายวุฒิชัย	จอกทอง	41013266
นายอดิสิทธิ์	อภิวัฒน์การุญ	41013276

รายงานนี้ได้ผ่านการตรวจสอบโดยอาจารย์ที่ปรึกษาแล้ว

ประ.....

(อ. ประภากร สุวรรณะ)

12 / 4 / 2544

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

หัวข้อปริญญานิพนธ์	รถสำรวจ		
	SURVEY VEHICLE		
ชื่อนักศึกษา	นางสาวจารุวรรณ	สอนโกษา	41013245
	นายวุฒิชัย	จอกทอง	41013266
	นายอดิสิทธิ์	อภิวัฒน์การุญ	41013276

โครงงานได้รับการตรวจสอบแล้วพร้อมที่จะทำการตรวจสอบได้

.....

(อ. ประภากร สุวรรณะ)

อาจารย์ที่ปรึกษา

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

กิตติกรรมประกาศ

โครงงานนี้เกิดขึ้นไม่ได้ถ้าไม่มีอาจารย์ประภากร สุวรรณะ ที่กรุณาให้คำปรึกษา ถ่ายทอดความรู้และประสบการณ์ ให้เราเป็นอย่างดี จึงขอขอบพระคุณอาจารย์เป็นอย่างสูง รวมถึงกำลังใจจากเพื่อน ๆ ที่คอยให้ความช่วยเหลือ และให้คำแนะนำที่ดีมาโดยตลอด ทำให้โครงงานชิ้นนี้สำเร็จลุล่วงไปได้ด้วยดี

จารุวรรณ สอนโกษา
(นางสาวจารุวรรณ สอนโกษา)

(นายวุฒิชัย จอกทอง)

(นายอดิสิทธิ์ อภิวัฒน์การุญ)

ผู้จัดทำ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รถสำรวจ
SURVEY VEHICLE

นางสาวจารุวรรณ สอนโกษา
นายวุฒิชัย จอกทอง
นายอดิสิทธิ์ อภิวัฒน์การุญ
อาจารย์ประภากร สุวรรณะ (อาจารย์ที่ปรึกษา)

บทคัดย่อ

ปริญญานิพนธ์ฉบับนี้นำเสนอ การส่งผ่านข้อมูลดิจิตอลผ่านคลื่นวิทยุในย่านความถี่ 46 MHz โดยรหัสควบคุมใช้รหัสแอสกีจากคอมพิวเตอร์ ส่งผ่านออกมาทางพอร์ตอนุกรมด้วย Buad rate 600 bps รหัสควบคุมที่ได้จะนำไปมอดดูเลทแบบ FSK (Frequency shift keying) ก่อนจะส่งออกอากาศไปยังเครื่องรับ

ในส่วนของ FSK มอดดูเลชั่น ได้ใช้เฟสล็อกลูปเป็นตัวกำเนิดสัญญาณ FSK จากสัญญาณรหัสควบคุมที่รับมาจากคอมพิวเตอร์ แล้วผ่านวงจรกรองความถี่ต่ำผ่านก่อนที่จะนำไปผ่านการมอดดูเลทแบบ Frequency Modulation (FM) และส่งออกอากาศ และในส่วนของ FSK ดีมอดดูเลชั่นได้ใช้เฟสล็อกลูปร่วมกับวงจรคอมพาราเตอร์ในการดีมอดดูเลทสัญญาณ FSK จากเครื่องรับกลับมาเป็นสัญญาณรหัสควบคุม เพื่อนำไปควบคุมการเคลื่อนที่ของรถต่อไป

ในส่วนของเครื่องรับใช้ไอซีเครื่องรับ FM เบอร์ MC13135 ในการรับสัญญาณจากสายอากาศแล้วดีมอดดูเลทสัญญาณ FM ที่รับเข้ามาให้กลับเป็นสัญญาณ FSK ดังเดิม ซึ่งเครื่องรับที่ใช้ความถี่ไอเอฟที่สองเท่ากับ 455 KHz และใช้เฟสล็อกลูปเบอร์ MC145166 ในการควบคุมการกำเนิดความถี่ของภาคโลคอลออสซิลเลเตอร์ที่ 1

จากผลการทดลองส่งข้อมูลจากคอมพิวเตอร์แล้วผ่าน FSK มอดดูเลเตอร์ แล้วนำสัญญาณ FSK ที่ได้ส่งตรงไปยัง FSK ดีมอดดูเลเตอร์ แล้วนำข้อมูลที่ได้ผ่านไปยังไมโครคอนโทรลเลอร์ซึ่งใช้เป็นมอนิเตอร์ ปรากฏว่าสามารถส่งข้อมูลได้อย่างถูกต้อง และในส่วนของเครื่องรับจากการทดลองป้อนสัญญาณ RF ที่อินพุทของเครื่องรับ ปรากฏว่าสามารถดีมอดดูเลทสัญญาณกลับมาได้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

SURVEY VEHICLE

Miss.Jaruvan Sonkosa
Mr.Woottichai Jokthong
Mr.Adisit Apivatkaroon
Mr.Prapakorn Suvanna (advisor)

Abstract

This paper presents a transmission of digital information via radio frequency in the range of 46 MHz to control a vehicle,by using an Ascci code from the computer and transmitted out through the serial port .The control codes are modulated on FSK (Frequency Shift Keying) modulator before sending the signal through free space

Phase locked loop is used to produce FSK signal from control code received from computer in the section of FSK modulator. A low-pass filter is to used convert pulse signal to analog signal before modulating the signal again in the FM method to radiate the signal through free-space.In the section of FSK demodulator using the phase locked loop and comparator to modulate FSk signal from FM receiver and produce control code to control a vehicle.

In the section of FM receiver using MC13135 ; a narrowband , dual conversion FM communication receiver to recei RF signal from transmitter. IF1 and IF2 used 10.7 MHZ and 455 KHz respectively.And used MC145166 to produce the first local oscillator frequency.

In the experiment of sending data from computer through FSK modulator and taking the FSK signal directly from FSK demodulator, using microcontroller to monitor the data ; is the data transmitted correctly .And in the section of FM receiver by inject RF signal at the input of a receiver , now we can extract data signal.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญ

	หน้า
กิตติกรรมประกาศ	I
บทคัดย่อ	II
สารบัญ	IV
สารบัญรูปภาพ	VI
สารบัญตาราง	X
บทที่ 1 บทนำ	1
บทที่ 2 ทฤษฎีและหลักการ	
2.1 การสื่อสารทางด้านอิเล็กทรอนิกส์	3
2.1.1 พื้นฐานการสื่อสารทางด้านอิเล็กทรอนิกส์	3
2.1.2 การมอดดูเลทและการดีมอดดูเลท	3
2.1.3 ดิจิตอลมอดดูเลชั่น	7
2.2 การมอดดูเลทเชิงความถี่	8
2.2.1 การมอดดูเลทเชิงความถี่	8
2.2.2 สเปกตรัมความถี่ของสัญญาณ FM ที่มอดดูเลทด้วย สัญญาณไซนูซอยด์	12
2.2.3 แบนด์วิดท์สำหรับคลื่น FM	15
2.2.4 กำลังงานเฉลี่ยของคลื่น FM	18
2.3 เฟสล็อคลูป	20
2.3.1 พื้นฐานของเฟสล็อคลูป	20
2.3.2 คลาสลิคคอลดิจิตอลเฟสล็อคลูป	25
2.4 เครื่องรับ FM และระบบ	40
2.4.1 พารามิเตอร์ของเครื่องรับ	40
2.4.2 เครื่องรับ FM	42
2.5 รายละเอียดอื่น ๆ ที่เกี่ยวข้อง	48
2.5.1 Visual Basic	48
2.5.2 สเต็ปเปอร์มอเตอร์แบบยูนิโพล่าร์	54
2.5.3 การทำงานของเซอโวมอเตอร์	57
2.5.4 หลักการเบื้องต้นของการแพร่ภาพ	58

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 3 การออกแบบและการสร้าง 63
3.1 FSK มอดดูเลเตอร์และดีมอดดูเลเตอร์ 63
3.2 เครื่องรับ FM 76
3.3 เครื่องส่ง FM 81
3.4 โปรแกรมควบคุมการทำงาน 84
3.5 โปรแกรมในส่วนของการขับเคลื่อนรถและควบคุมกล้อง 85
3.6 เครื่องส่งสัญญาณวีดีโอ 85
บทที่ 4 การทดลองและผลการทดลอง 88
4.1 การทดลองในส่วนของเครื่องส่ง 88
4.1.1 วงจรแปลงระดับสัญญาณ RS-232 เป็น TTL 88
4.1.2 วงจร FSK มอดดูเลเตอร์ 89
4.1.3 ผลตอบสนองทางความถี่ของวงจรกรองความถี่ต่ำผ่าน 93
4.1.4 การผลิตความถี่ของวงจรผลิตความถี่ที่ควบคุมแรงดันด้วย PLL 94
4.1.5 วงจรขยายสัญญาณ RF 96
4.2 การทดลองในส่วนของเครื่องรับ 98
4.2.1 การผลิตความถี่ของวงจรโลคัลออสซิลเลเตอร์ภาคแรก ของเครื่องรับ FM 98
4.2.2 การควบคุมการผลิตความถี่ด้วยเฟสล็อคลูปของวงจร โลคัลออสซิลเลเตอร์ภาคแรก 99
4.2.3 การทำงานโดยรวมของเครื่องรับ FM 101
4.2.4 วงจร FSK ดีมอดดูเลเตอร์ 105
บทที่ 5 ปัญหา แนวทางแก้ไขและบทสรุป 107
5.1 ปัญหาและแนวทางแก้ไข 107
5.2 สรุปผลการดำเนินงาน 108
บรรณานุกรม
ภาคผนวก

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญรูปภาพ

		หน้า
รูปที่ 1	บล็อคไดอะแกรมของโครงงานรถสำรวจ	2
รูปที่ 2.1.1	แสดงส่วนประกอบหลักรวมของระบบสื่อสารทางด้านอิเล็กทรอนิกส์	3
รูปที่ 2.1.2	แสดงการมอดดูเลทแบบต่าง ๆ	5
รูปที่ 2.1.3	บล็อคไดอะแกรมของระบบสื่อสารอย่างง่าย	6
รูปที่ 2.1.4	ดิจิตอลมอดดูเลชั่นแบบต่าง ๆ	7
รูปที่ 2.2.1	คลื่น FM ที่ถูกมอดดูเลทด้วยสัญญาณข้อมูลความถี่เดี่ยว	10
รูปที่ 2.2.2	พลอทของสัมประสิทธิ์ของ Bessel function ที่ดัชนีมอดดูเลทต่าง ๆ	14
รูปที่ 2.2.3	สเปกตรัมความถี่ดังตัวอย่าง	15
รูปที่ 2.2.4	เปรียบเทียบสเปกตรัมความถี่ระหว่าง Carson's rule กับ Bessel table	17
รูปที่ 2.3.1	พื้นฐานของเฟสลอคลูป (PLL)	21
รูปที่ 2.3.2	ผลตอบสนองทรานเซี้ยนของเฟสล็อคลูปอันเนื่องมาจาการเปลี่ยนแปลงความถี่ของสัญญาณอ้างอิง	23
รูปที่ 2.3.3	บล็อคไดอะแกรมของดิจิตอลเฟสล็อคลูป	26
รูปที่ 2.3.4	เฟสดีเทคเตอร์ที่นิยมใช้ใน DPLL	27
รูปที่ 2.3.5	รูปคลื่นสัญญาณของ XOR เฟสดีเทคเตอร์	27
รูปที่ 2.3.6	พลอทค่าเฉลี่ยของ Ud กับ θ_e	29
รูปที่ 2.3.7	รูปคลื่นของสัญญาณ JK – FlipFlop เป็นเฟสดีเทคเตอร์	29
รูปที่ 2.3.8	พลอทค่าเฉลี่ยของ Ud กับ θ_e ของ JK – FlipFlop เฟสดีเทคเตอร์	31
รูปที่ 2.3.9	สเตทไดอะแกรมของ PFD	32
รูปที่ 2.3.10	รูปคลื่นสัญญาณของ PFD	33
รูปที่ 2.3.11	พลอทของเอาท์พุทเฉลี่ยของ Ud ของ PFD	34
รูปที่ 2.3.12	พลอทของดิวตี้ไซเคิลเฉลี่ยของสัญญาณเอาท์พุท Ud ของ PFD	36
รูปที่ 2.3.13	วงจรลูปฟิลเตอร์แบบต่าง ๆ	37
รูปที่ 2.3.14	โบดไดอะแกรมของฟิลเตอร์ทั้ง 3 แบบ	38
รูปที่ 2.4.1	บล็อคไดอะแกรมของเครื่องรับ FM แบบซุปเปอร์เฮ็ทเทอร์โรดายน์	43
รูปที่ 2.4.2	FM ดีมอดดูเลเตอร์ แบบควอดราเทอร์	46
รูปที่ 2.5.1	อินเทอร์เฟซของ Microsoft Visual Basic Version 6.0	49
รูปที่ 2.5.2	ใน Windows ตัวโปรแกรมจะประกอบด้วยส่วนต่าง ๆ	51
รูปที่ 2.5.3	โฟล์วชาร์ทแสดง Event-driven Programming	52

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

หน้า

รูปที่ 2.5.4	โฟล์วชาร์ทแสดง Procedural Programming	52
รูปที่ 2.5.5	ขั้นตอนการออกแบบและเขียนโปรแกรมคอมพิวเตอร์	54
รูปที่ 2.5.6	โครงสร้างอย่างง่ายของสเต็ปเปอร์มอเตอร์แบบยูนิโพล่าร์	54
รูปที่ 2.5.7	การควบคุมของเซอโวมอเตอร์	57
รูปที่ 2.5.8	แสดงบล็อกไดอะแกรมเบื้องต้นของกระบวนการแพร่ภาพโทรทัศน์	58
รูปที่ 2.5.9	รูปคลื่นความกว้างของช่องโทรทัศน์ CCIR 1 ช่อง	60
รูปที่ 2.5.10	การผสมสัญญาณภาพกับคลื่นพาหะ	61
รูปที่ 2.5.11	การผสมสัญญาณเสียงกับคลื่นพาหะ	62
รูปที่ 3.1 (ก)	บล็อคไดอะแกรมของวงจร FSK มอดดูเลเตอร์ทั้งหมด	64
รูปที่ 3.1 (ข)	ความสัมพันธ์ระหว่างสัญญาณอินพุทและเอาท์พุทของ FSK มอดดูเลเตอร์	64
รูปที่ 3.2	ความสัมพันธ์ระหว่างสัญญาณที่มีระดับแรงดันTTLกับสัญญาณที่มีระดับแรงดัน RS-232	64
รูปที่ 3.3	วงจรแปลงระดับสัญญาณ RS-232 เป็น TTL	65
รูปที่ 3.4	แสดงความสัมพันธ์ระหว่างสัญญาณอินพุทและเอาท์พุทของ FSK มอดดูเลเตอร์	66
รูปที่ 3.5	การออกแบบวงจรผลิตความถี่ควบคุมด้วยแรงดัน	67
รูปที่ 3.6	วงจร VCO ของภาค FSK มอดดูเลเตอร์	69
รูปที่ 3.7	ความสัมพันธ์ระหว่างอินพุทและเอาท์พุทของวงจรกรองความถี่ต่ำผ่าน	70
รูปที่ 3.8	โครงสร้างของวงจร Sallen and Key	70
รูปที่ 3.9	การออกแบบวงจรกรองความถี่ต่ำแบบบัทเทอร์เวิร์ทอันดับที่ 5	71
รูปที่ 3.10	วงจรกรองความถี่ต่ำผ่านแบบบัทเทอร์เวิร์ทอันดับที่ 5 ความถี่คัทออฟเท่ากับ 3 KHz	73
รูปที่ 3.11(ก)	บล็อคไดอะแกรมของ FSK ดีมอดดูเลเตอร์	74
รูปที่ 3.11(ข)	แสดงความสัมพันธ์ระหว่างสัญญาณที่อินพุทและเอาท์พุทของ FSK ดีมอดดูเลเตอร์	74
รูปที่ 3.12	FSK ดีเทคเตอร์	75
รูปที่ 3.13	วงจรคอมพาราเตอร์	75
รูปที่ 3.14	วงจร FSK ดีมอดดูเลเตอร์ทั้งหมด	76
รูปที่ 3.15	วงจรการทดลองหาค่า L	78

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

		หน้า
รูปที่ 3.16	ส่วนควบคุมการผลิตความถี่ด้วยเฟสล็อคลูป	78
รูปที่ 3.17	วงจรจูนด์	79
รูปที่ 3.18	ควอดคอยล์	80
รูปที่ 3.19	วงจรเครื่องรับ FM	80
รูปที่ 3.20 (ก)	วงจรผลิตความถี่ที่ควบคุมด้วยแรงดัน	81
รูปที่ 3.20 (ข)	วงจรเฟสล็อคลูปที่ใช้ในการควบคุมการผลิตความถี่	82
รูปที่ 3.21	วงจรขยายสัญญาณ RF	83
รูปที่ 3.22	โปรแกรมควบคุมการทำงานขณะออกแบบ	84
รูปที่ 3.23	วงจรการขับเคลื่อนรถและควบคุมกล้อง	86
รูปที่ 3.24	วงจรเครื่องส่งสัญญาณวีดิโอ	87
รูปที่ 4.1	วงจรทดลองการแปลงระดับสัญญาณ RS 232 เป็น TTL	88
รูปที่ 4.2	สัญญาณที่ขา 13 ของ MAX 232 เทียบกับขาสัญญาณ 12	89
รูปที่ 4.3	วงจรการทดลอง FSK มอดดูเลเตอร์	90
รูปที่ 4.4 (ก)	แสดงสัญญาณอินพุทกับสัญญาณที่ขา 4 ของ MC 14046	91
รูปที่ 4.4 (ข)	แสดงสัญญาณที่อินพุทและเอาท์พุทของวงจรกรองความถี่ต่ำผ่าน	91
รูปที่ 4.5	สัญญาณที่เอาท์พุทของวงจรกรองความถี่ต่ำผ่านพร้อมทั้งสเปกตรัมความถี่	92
รูปที่ 4.6	พลอทของผลตอบสนองทางความถี่ของวงจรกรองความถี่ต่ำผ่าน	94
รูปที่ 4.7	วงจรการทดลองการผลิตความถี่ของวงจรผลิตความถี่ที่ควบคุมแรงดันด้วย PLL	95
รูปที่ 4.8	สัญญาณเอาท์พุทของวงจรผลิตความถี่ที่ควบคุมแรงดันด้วย PLL	95
รูปที่ 4.9	วงจรขยายสัญญาณ RF	96
รูปที่ 4.10	รูปคลื่นสัญญาณที่เอาท์พุทของวงจรขยายสัญญาณ RF พร้อมทั้งสเปกตรัมความถี่	97
รูปที่ 4.11	วงจรทดลองการผลิตความถี่ของวงจรโลคัลออสซิลเลเตอร์ภาคแรกของเครื่องรับ FM	98
รูปที่ 4.12	วงจรทดลองการผลิตความถี่ที่ควบคุมด้วยเฟสล็อคลูป	99
รูปที่ 4.13	สัญญาณความถี่โลคัลออสซิลเลเตอร์ (ขา 3 ของ MC13135)	100
รูปที่ 4.14	วงจรทดลองเครื่องรับ FM	100
รูปที่ 4.15	สัญญาณเอาท์พุทของ MIXER ภาคแรก (ขา 30 ของ MC13135)	101
รูปที่ 4.16	สัญญาณ IF_1 (ขา 18 ของ MC13135)	102
รูปที่ 4.17	สัญญาณเอาท์พุทของ MIXER ภาคที่สอง (ขา 7 ของ MC13135)	102

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

		หน้า
รูปที่ 4.18	สัญญาณ IF_2 (ขา 9 ของ MC13135)	103
รูปที่ 4.19	สัญญาณที่ดีมอดดูเลทออกมาแล้ว	103
รูปที่ 4.20	วงจรทดลองของส่วน FSK มอดดูเลเตอร์	105
รูปที่ 4.21	สัญญาณที่ขา 10 ของ MC14046 เทียบกับสัญญาณอินพุทของ FSK มอดดูเลเตอร์	106
รูปที่ 4.22	สัญญาณที่เอาท์พุทของคอมพาราเตอร์เทียบกับสัญญาณอินพุทของ FSK มอดดูเลเตอร์	106

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญตาราง

		หน้า
ตารางที่ 2.2.1	Bessel Function of the first kind of the order n	11
ตารางที่ 2.5.1	แสดงลำดับการทำงานของขดลวดในแต่ละเฟสของมอเตอร์เมื่อได้รับการกระตุ้นแบบหนึ่งเฟส	54
ตารางที่ 2.5.2	แสดงลำดับการทำงานของขดลวดในแต่ละเฟสของมอเตอร์เมื่อได้รับการกระตุ้นแบบสองเฟส	54
ตารางที่ 2.5.3	แสดงลำดับการทำงานของขดลวดในแต่ละเฟสของมอเตอรเมื่อได้รับการกระตุ้นแบบครึ่งสเต็ป	54
ตารางที่ 3.1	แสดงค่าของตัวเก็บประจุของวงจรแปลงระดับสัญญาณ RS-232 เป็น TTL	63
ตารางที่ 3.2	ตารางวงจรกรองความถี่แบบบัทเทอร์เวิร์ท	68
ตารางที่ 3.3	แสดงค่า L ที่เลือกใช้ในการผลิตความถี่	75
ตารางที่ 4.1	ขนาดของสัญญาณเอาท์พุทของวงจรกรองความถี่ต่ำผ่านที่ความถี่ต่าง ๆ	91
ตารางที่ 4.2	แสดงความถี่ของสัญญาณเอาท์พุทของวงจรผลิตความถี่ที่ควบคุมแรงดันด้วย PLL	92
ตารางที่ 4.3	ความถี่เอาท์พุทของวงจร โลคัลออสซิลเลเตอร์ภาคแรกที่แรงดัน V_{IN} 0 ถึง 5 โวลท์	96
ตารางที่ 4.4	ความถี่ของวงจร โลคัลออสซิลเลเตอร์ภาคแรกที่ช่องต่าง ๆ	97

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 1
บทนำ

ในระยะเวลาเพียงไม่กี่ปีที่ผ่านมา เทคโนโลยีการสื่อสารไร้สายได้ถูกพัฒนาไปเป็นอย่างมาก ไม่ว่าจะเป็นเทคโนโลยีการสื่อสารทางด้านพาณิชย์ เทคโนโลยีการสื่อสารทางด้านทหาร ซึ่งเทคโนโลยีการสื่อสารเหล่านี้ ถูกนำไปประยุกต์ใช้ในกิจกรรมต่าง ๆ มากมาย อาทิเช่น การสื่อสารข้อมูลคอมพิวเตอร์ในเครือข่าย การสื่อสารข้อมูลทางการแพทย์ เพื่อประโยชน์ในการรักษาผู้ป่วย การสื่อสารข้อมูลจากการวัด เพื่อประโยชน์ในการควบคุมหรือการดูแลระบบ เป็นต้น ความต้องการในการสื่อสารผนวกกับเทคโนโลยีของสารกึ่งตัวนำที่ได้พัฒนาอย่างรวดเร็ว ส่งผลให้อุปกรณ์ในวงจรอิเล็กทรอนิกส์ทางด้านสื่อสาร ทำงานได้มีประสิทธิภาพสูงขึ้น ที่ความถี่ที่สูงขึ้นด้วยขนาดที่เล็กลง

ในปัจจุบันเทคโนโลยีการควบคุมไร้สาย ก็เป็นอีกเทคโนโลยีอีกอย่างหนึ่ง ซึ่งได้รับความสนใจเป็นอย่างมาก ซึ่งการควบคุมแบบไร้สายนี้มีประโยชน์เป็นอย่างมากในการควบคุมและการวัดผลในระยะไกล ๆ การควบคุมและการวัดผลที่มนุษย์ไม่สามารถเข้าไปปฏิบัติการด้วยตนเองได้ หรือความต้องการในการส่งผลข้อมูลจากการวัดไปอย่างอีกสถานที่หนึ่ง ซึ่งอยู่ห่างจากจุดที่วัดมาก

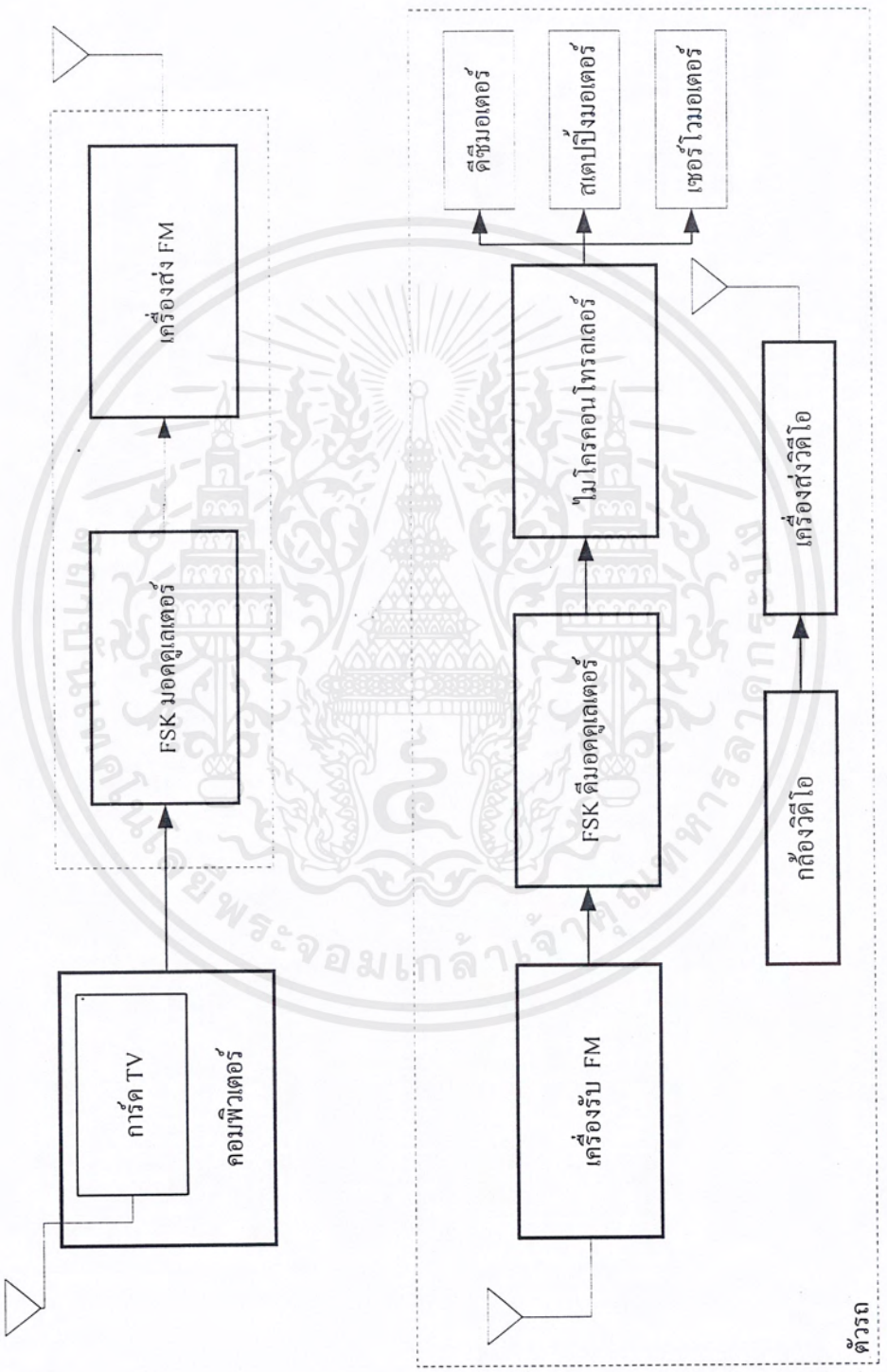
สำหรับโครงงานนี้ได้ทำการศึกษาและสร้างระบบการควบคุมไร้สาย โดยนำมาประยุกต์ใช้ในการควบคุมรถสำรวจ ซึ่งเป็นรถจำลองขนาดเล็ก โดยในที่นี้ได้ใช้คอมพิวเตอร์ในการกำเนิดสัญญาณควบคุมโดยส่งออกมาทางพอร์ทอนุกรม สัญญาณควบคุมที่ได้จะถูกผ่านการมอดดูเลทแบบ FSK เพื่อให้สัญญาณอยู่ในรูปของสัญญาณอะนาลอกก่อนที่จะนำสัญญาณไปมอดดูเลทแบบ FM เพื่อส่งข้อมูลออกอากาศ ที่เครื่องรับ สัญญาณ FSK จะถูกดีมอดดูเลทกับมาอีกครั้ง และถูกเปลี่ยนเป็นสัญญาณดิจิตอลโดย FSK ดีมอดดูเลเตอร์ สัญญาณดิจิตอลดังกล่าวจะถูกนำไปประมวลผลโดยไมโครคอนโทรลเลอร์เพื่อควบคุมการเคลื่อนที่ของรถและกล้องวิดีโอ รูปที่ 1 แสดงบล็อคไดอะแกรมของโครงงานรถสำรวจ

วัตถุประสงค์ของโครงงาน

1. เพื่อศึกษาการมอดดูเลทและดีมอดดูเลทแบบ FSK ในการส่งข้อมูลอนุกรมความเร็ว 600 bps และสร้าง FSK มอดดูเลเตอร์ และดีมอดดูเลเตอร์ดังกล่าว เพื่อนำไปใช้ประโยชน์ในการควบคุมแบบไร้สาย

2. เพื่อศึกษาการมอดดูเลทและดีมอดดูเลทแบบ FM แถบความถี่แคบ เพื่อประโยชน์ในการรับและส่งสัญญาณ FSK

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 1 บล็อคไดอะแกรมของโครงงานรถสำรวจ

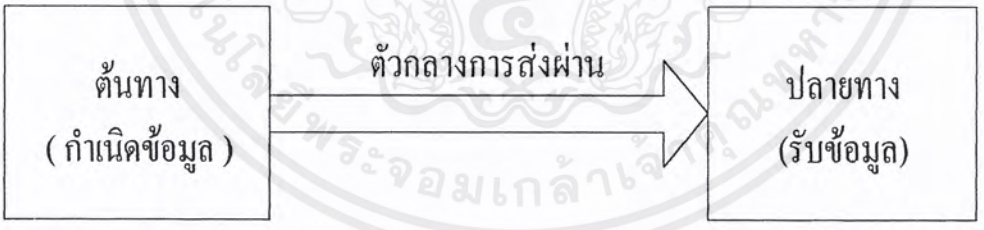
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 2
ทฤษฎีและหลักการ

2.1 การสื่อสารทางด้านอิเล็กทรอนิกส์

2.1.1 พื้นฐานการสื่อสารทางด้านอิเล็กทรอนิกส์

การสื่อสารทางด้านอิเล็กทรอนิกส์ (Electronic Communication) คือ การส่ง การรับ และการประมวลผลข้อมูลข่าวสาร (Information) โดยใช้วงจรอิเล็กทรอนิกส์ รูปที่ 2.1.1 แสดงส่วนประกอบหลักของระบบสื่อสารทางด้านอิเล็กทรอนิกส์ ซึ่งประกอบไปด้วยส่วนประกอบหลัก ๆ อันได้แก่ ต้นทาง (source) ปลายทาง (destination) และตัวกลางการส่งผ่าน(transmission medium) ข้อมูลข่าวสารที่จะส่งผ่านระบบสื่อสารอาจจะเป็นสัญญาณอะนาล็อค(analog signal) ตัวอย่างเช่น เสียงพูดของมนุษย์ ภาพสัญญาณวิดีโอหรือเสียงดนตรี หรืออาจจะเป็นสัญญาณดิจิตอล (digital signal) อย่างเช่น รหัสเลขฐานสอง รหัสของตัวเลขหรือตัวอักษร สัญลักษณ์รูปภาพ ออปโค้ดของไมโครโปรเซสเซอร์หรือฐานข้อมูลก็ได้ อย่างไรก็ตาม บ่อยครั้งที่รูปแบบของสัญญาณข้อมูลที่ต้นทางจะต้องถูกเปลี่ยนให้อยู่ในรูปแบบที่เหมาะสมก่อนที่จะส่งออกไป ตัวอย่างเช่น ในระบบสื่อสารดิจิตอล สัญญาณอะนาล็อค จะต้องเปลี่ยนให้อยู่ในรูปดิจิตอลก่อนจะส่งออกไป และในระบบสื่อสารอะนาล็อค ข้อมูลดิจิตอลจะต้องเปลี่ยนให้อยู่ในรูปสัญญาณอะนาล็อคก่อนจะส่งออกไป



รูปที่ 2.1.1 แสดงส่วนประกอบหลักของระบบสื่อสารทางด้านอิเล็กทรอนิกส์

2.1.2 การมอดดูเลทและการดีมอดดูเลท (Modulation and Demodulation)

ในการสื่อสารทางอิเล็กทรอนิกส์ มีความจำเป็นที่จะต้องนำสัญญาณข้อมูลไปมอดดูเลทกับสัญญาณพาหะเสียก่อน โดยสัญญาณพาหะคือ สัญญาณไซนูซอยด์ (sinusoidal signal) ความถี่เดียว คำว่ามอดดูเลท ถ้าจะกล่าวกันอย่างง่าย ๆ คือ เปลี่ยนแปลงนั่นเอง ดังนั้น สัญญาณข้อมูลจึงเรียกว่า สัญญาณมอดดูเลท (modulating signal) สัญญาณที่จะถูกมอดดูเลทเรียกว่า สัญญาณพาหะ และผลที่ได้จากการมอดดูเลท คือ สัญญาณที่มอดดูเลทแล้ว (modulated signal)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ในระบบสื่อสารอะนาล็อค การมอดดูเลท (modulation) คือ กระบวนการในการเปลี่ยนแปลงคุณสมบัติบางประการของสัญญาณพาหะให้เป็นไปตามสัญญาณข้อมูล ส่วนการดีมอดดูเลท (demodulation) คือ การเปลี่ยนสัญญาณพาหะให้กลับมาเป็นสัญญาณข้อมูลดังเดิม

พิจารณานิพจน์ของสัญญาณคลื่นไซน์ ซึ่งจะพิจารณาให้เป็นสัญญาณพาหะ

$$V = V_p \sin(\omega t + \theta) \qquad (2.1.1)$$

เมื่อ V = ค่า ณ เวลาใดเวลาหนึ่งของคลื่นไซน์ที่เปลี่ยนแปลงตามเวลา

V_p = ขนาดสูงสุดของคลื่นไซน์

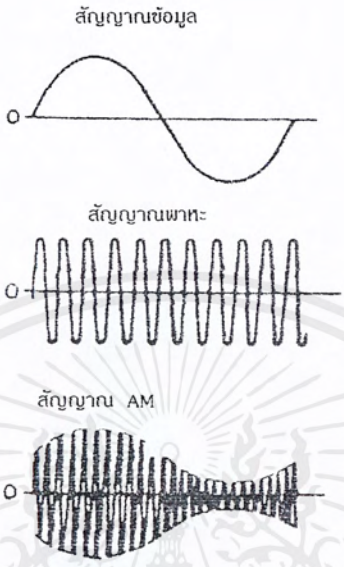
ω = ความถี่เชิงมุม(angular frequency) $= 2\pi f$

θ = มุมเฟส

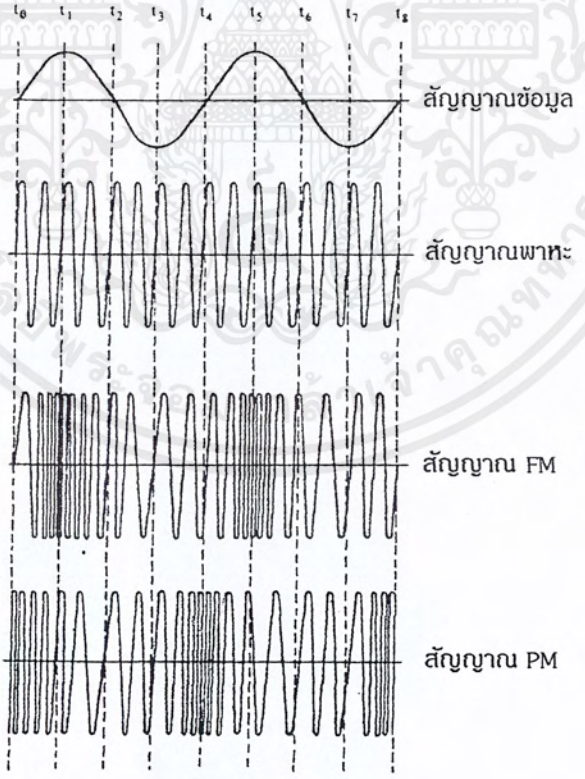
จากสมการที่ 2.1.1 จะเห็นว่ามีคุณสมบัติ 3 ประการของคลื่นไซน์ที่สามารถเปลี่ยนแปลงได้คือ ขนาด ความถี่และเฟส ถ้าขนาดของคลื่นไซน์เปลี่ยนแปลงตามสัญญาณข้อมูลเรียกว่า การมอดดูเลทเชิงขนาด(Amplitude Modulation : AM) ถ้าความถี่ของคลื่นไซน์เปลี่ยนแปลงตามสัญญาณข้อมูลเรียกว่าการมอดดูเลทเชิงความถี่(Frequency Modulation : FM) และถ้าเฟสของคลื่นไซน์เปลี่ยนแปลงตามสัญญาณข้อมูล เรียกว่า การมอดดูเลทเชิงเฟส (Phase Modulation : PM) รูปที่ 2.1.2 แสดงการมอดดูเลทแบบต่าง ๆ และสำหรับการมอดดูเลทเชิงความถี่จะกล่าวถึงโดยละเอียดอีกครั้งในหัวข้อ 2.2

รูปที่ 2.1.3 แสดงตัวอย่างระบบสื่อสารแบบง่าย ๆ ในรูปของบล็อคไดอะแกรม ซึ่งประกอบไปด้วย เครื่องส่ง (transmitter) เครื่องรับ (receiver) และตัวกลางการส่งผ่าน ที่เครื่องรับภาคมอดดูเลทจะรับสัญญาณอินพุทเข้ามา 2 สัญญาณ คือ สัญญาณข้อมูล (information signal) และสัญญาณพาหะ(carrier signal) แล้วทำการมอดดูเลทสัญญาณทั้งสองเข้าด้วยกัน ทำให้ได้สัญญาณพาหะที่ถูกมอดดูเลทแล้ว (modulated signal) จากนั้นจึงนำสัญญาณดังกล่าวไปทำการขยายก่อนที่จะส่งออกไป ซึ่งการส่งผ่านสัญญาณที่ถูกมอดดูเลทแล้วออกไปสามารถกระทำได้โดยใช้สายอากาศ (antennas) ท่อนำคลื่น(waveguides) เส้นใยนำแสง (optical fibers) หรือสายส่ง (transmission lines) วิธีใดวิธีหนึ่ง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



(a)



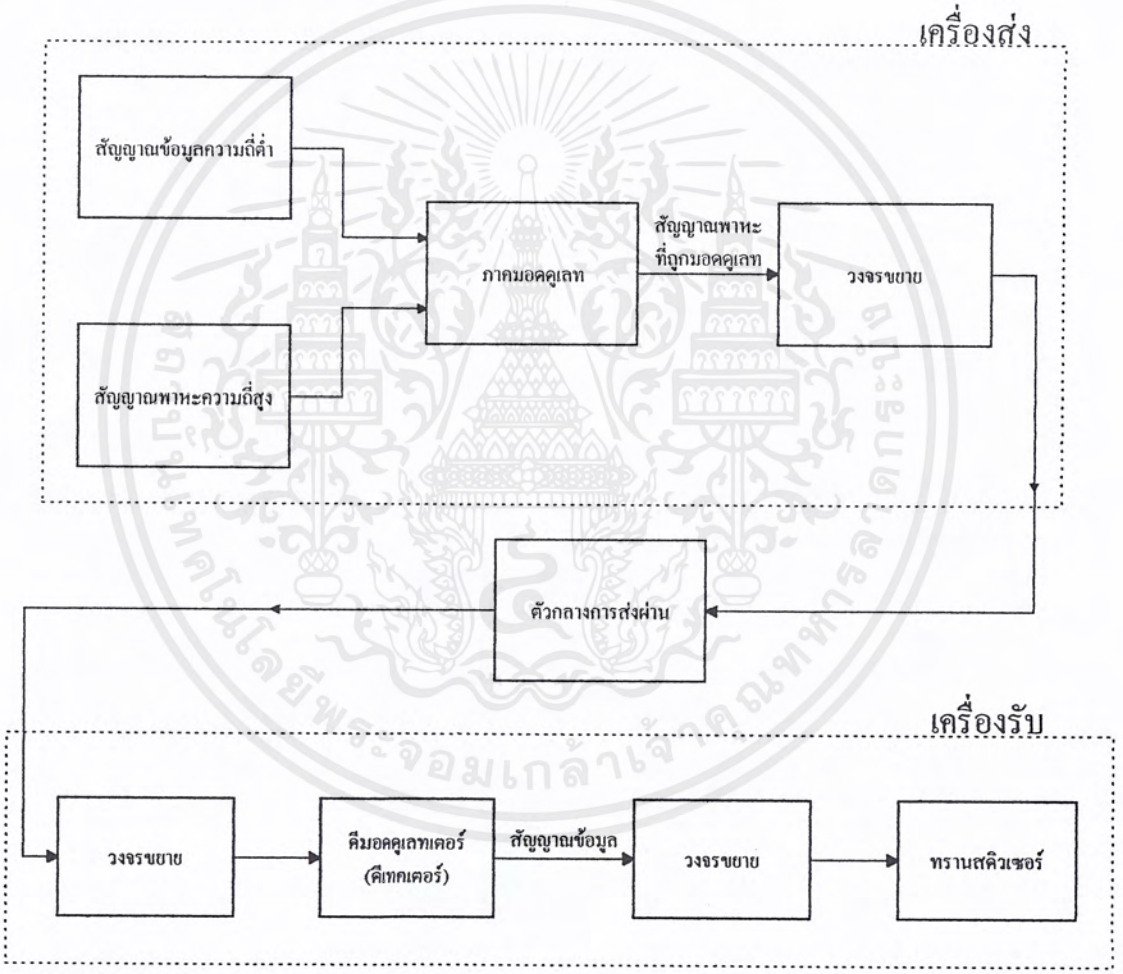
(b)

รูปที่ 2.1.2 แสดงการมอดดูเลทแบบต่าง ๆ

(a) การมอดดูเลทเชิงขนาด (b) การมอดดูเลทเชิงความถี่และการมอดดูเลทเชิงเฟส

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ที่เครื่องรับ เมื่อรับสัญญาณที่ส่งมาได้แล้วก็จะทำการขยายสัญญาณเสียก่อน เนื่องจากในระหว่างกระบวนการการส่ง สัญญาณได้ถูกลดทอนไปอย่างมาก เมื่อได้ทำการขยายสัญญาณแล้ว ก็จะส่งสัญญาณไปยังดีมอดดูเลเตอร์(หรืออาจเรียกว่าดีเทคเตอร์) เพื่อที่จะทำการแยกสัญญาณข้อมูลออกมา แล้วนำสัญญาณข้อมูลที่ได้ไปขยายอีกครั้ง เพื่อทำให้ระดับสัญญาณสามารถนำไปขับทรานสดิวเซอร์ได้ โดยทรานสดิวเซอร์ คือ อุปกรณ์ที่ทำหน้าที่เปลี่ยนพลังงานในรูปแบบหนึ่งไปเป็นพลังงานในอีกรูปแบบ อย่างเช่น ลำโพง



รูปที่ 2.1.3 บล็อคไดอะแกรมของระบบสื่อสารอย่างง่าย

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

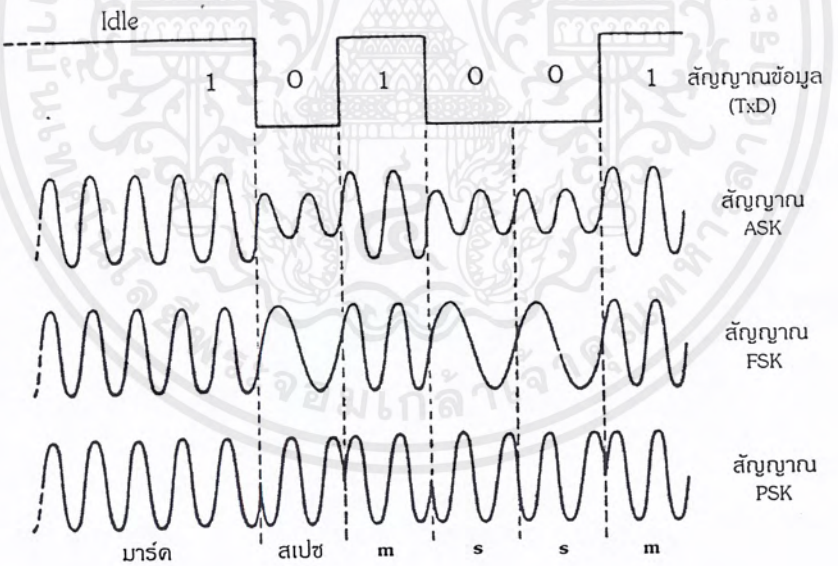
2.1.3 ดิจิตอลมอดดูเลชั่น (Digital Modulation)

การมอดดูเลชั่นที่ได้กล่าวมาแล้วนั้น สัญญาณข้อมูลที่จะนำมาทำการมอดดูเลท จะเป็นสัญญาณอะนาล็อคดังนั้นเราอาจกล่าวได้ว่า การมอดดูเลทเชิงขนาด การมอดดูเลทเชิงความถี่ และการมอดดูเลทเชิงเฟส คือ กระบวนการมอดดูเลทแบบอะนาล็อคในกรณีที่สัญญาณข้อมูลอยู่ในรูปของสัญญาณดิจิตอล กระบวนการมอดดูเลชั่นจะเรียกว่า ดิจิตอลมอดดูเลชั่น

ดิจิตอลมอดดูเลชั่น สามารถแบ่งออกได้เป็น 3 ชนิดใหญ่ ๆ ได้ดังนี้ คือ

1. แอมพลิจูดชิฟคีย์อิง (Amplitude Shif Keying : ASK)
2. ฟรีเควนซี่ชิฟคีย์อิง (Frequency Shif Keying : FSK)
3. เฟสชิฟคีย์อิง (Phase Shift Keying : PSK)

รูปที่ 2.1.4 แสดงการมอดดูเลชั่น ทั้ง 3 แบบ ซึ่งจะสังเกตเห็นได้ว่า ASK, FSK และ PSK จะมีลักษณะคล้ายกับ AM, FM และ PM ตามลำดับ เพียงแต่ว่า สัญญาณที่นำมามอดดูเลทจะมีลักษณะที่แตกต่างกัน แต่สัญญาณพาหะยังคงเหมือนกัน



รูปที่ 2.1.4 ดิจิตอลมอดดูเลชั่นแบบต่าง ๆ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.2 การมอดดูเลทเชิงความถี่

ดังได้กล่าวมาแล้วว่า คุณสมบัติ 3 ประการของสัญญาณอะนาลอกที่สามารถเปลี่ยนแปลงได้ก็คือ ขนาด , ความถี่ และ เฟส ในหัวข้อนี้เราจะกล่าวถึงแนวคิดเบื้องต้นเกี่ยวกับ การมอดดูเลทเชิงความถี่ เมื่อเทียบกับการมอดดูเลทเชิงขนาดแล้ว การมอดดูเลทเชิงความถี่ จะมีข้อดีกว่าการมอดดูเลทเชิงขนาด คือ มีผลต่อสัญญาณรบกวนน้อยกว่า แต่อย่างไรก็ตาม การมอดดูเลทเชิงความถี่ต้องการแถบความถี่ (bandwidth) มากกว่าการมอดดูเลทเชิงขนาด ที่ความถี่ข้อมูลหรือความถี่ที่จะนำมามอดดูเลท (modulating signal) และความถี่พาหะเดียวกัน และวงจรรับส่งยังมีความซับซ้อนมากกว่าอีกด้วย

2.2.1 การมอดดูเลทเชิงความถี่

การมอดดูเลทเชิงความถี่ คือการเปลี่ยนแปลงความถี่ของสัญญาณพาหะ(carrier signal) ที่มีขนาดคงที่ ให้เป็นสัดส่วนกับขนาดของสัญญาณที่จะนำมามอดดูเลท และมีอัตราการเปลี่ยนแปลงเท่ากับความถี่ของสัญญาณที่จะนำมามอดดูเลท ถ้าให้คลื่นสัญญาณพาหะแทนด้วยสมการทางคณิตศาสตร์เป็น

$$m(t) = V_c \cos [\omega_c t + \theta(t)] \qquad (2.2.1)$$

เมื่อ

$m(t)$ = คือ คลื่นสัญญาณพาหะ

V_c = แอมปลิจูดของคลื่นสัญญาณพาหะ (โวลท์)

ω_c = ความถี่เชิงมุมของคลื่นพาหะ เท่ากับ $2\pi f_c$ (เรเดียน / วินาที)

$\theta(t)$ = การเบี่ยงเบนของเฟส ณ เวลาใดเวลาหนึ่ง (เรเดียน)

เพื่อให้เข้าใจถึงการมอดดูเลทเชิงความถี่ได้ดีขึ้น จะขอนิยามคำต่าง ๆ เหล่านี้ ดังนี้

1. Instantaneous phase deviation คือ การเปลี่ยนแปลงไปของเฟสของสัญญาณพาหะ ที่เวลาช่วงสั้น ๆ ที่กำหนด และแสดงให้เห็นว่าเฟสของสัญญาณพาหะเปลี่ยนไปมากน้อยเพียงใดเมื่อเทียบกับเฟสอ้างอิงของมัน และสามารถแสดงในทางคณิตศาสตร์ได้ดังนี้

$$\text{instantaneous phase deviation} = \theta(t) \quad \text{(เรเดียน)} \qquad (2.2.2)$$

2. Instantaneous phase คือ เฟสที่คงที่ของสัญญาณพาหะ ณ เวลาใด เวลาหนึ่ง และแสดงได้เป็น

$$\text{instantaneous phase} = \omega_c t + \theta(t) \quad \text{(เรเดียน)} \qquad (2.2.3)$$

3. Instantaneous frequency deviation คือ การเปลี่ยนไปของความถี่ของสัญญาณพาหะ ที่ช่วงเวลาสั้น ๆ ที่กำหนด และนิยามได้เป็นอนุพันธ์อันดับหนึ่งของ instantaneous phase deviation ดัง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

นั้นจากสมการ (2.2.2) instantaneous frequency deviation แสดงเป็นนิพจน์ทางคณิตศาสตร์ ได้เป็น

$$\text{instantaneous frequency deviation} = \frac{d\theta(t)}{dt} = \theta'(t) \quad \text{(เฮิร์ทซ)} \quad (2.2.4)$$

4. Instantaneous frequency คือ ความถี่ที่แน่นอนของสัญญาณพาหะ ณ เวลาใดเวลาหนึ่ง และนิยามได้เป็นอนุพันธ์อันดับหนึ่งของ instantaneous phase จากสมการ (2.2.3) สามารถแสดง instantaneous frequency ได้เป็น

$$\begin{aligned} \text{instantaneous frequency} &= \omega_i(t) \\ &= \frac{d}{dt}[\omega_c t + \theta(t)] \\ &= \omega_c + \theta'(t) \quad \text{(เรเดียน / วินาที)} \quad (2.2.5) \end{aligned}$$

หรือ

$$f_i(t) = f_c + \frac{\theta'(t)}{2\pi} \quad \text{(เฮิร์ทซ)} \quad (2.2.6)$$

สำหรับ frequency modulation ค่าของ instantaneous frequency deviation $\theta'(t)$ จะเปลี่ยนแปลงอย่างเป็นสัดส่วนกับแรงดันของสัญญาณที่นำมามอดดูเลท หรือ $\theta'(t)$ เป็นฟังก์ชันของ $v_m(t)$

$$\theta'(t) = F[v_m(t)] \quad (2.2.7)$$

เมื่อ $v_m(t) = V_m \sin(\omega_m t)$

ω_m = ความถี่เชิงมุมของสัญญาณที่นำมามอดดูเลท (เรเดียน / วินาที)

f_m = ความถี่ของสัญญาณที่นำมามอดดูเลท (เฮิร์ทซ)

V_m = ขนาดสูงสุดของสัญญาณที่นำมามอดดูเลท (โวลท์)

และเราสามารถเขียนความสัมพันธ์ระหว่าง $\theta'(t)$ กับ $v_m(t)$ ได้ดังนี้

$$\theta'(t) = K v_m(t) \quad (2.2.8)$$

เมื่อ K คือ deviation sensitivities ของ frequency modulator และ นิยามได้เป็นฟังก์ชันถ่ายโอน (transfer function) ระหว่างอินพุทและเอาท์พุทของ modulator ค่าของ K มีหน่วยเป็น

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

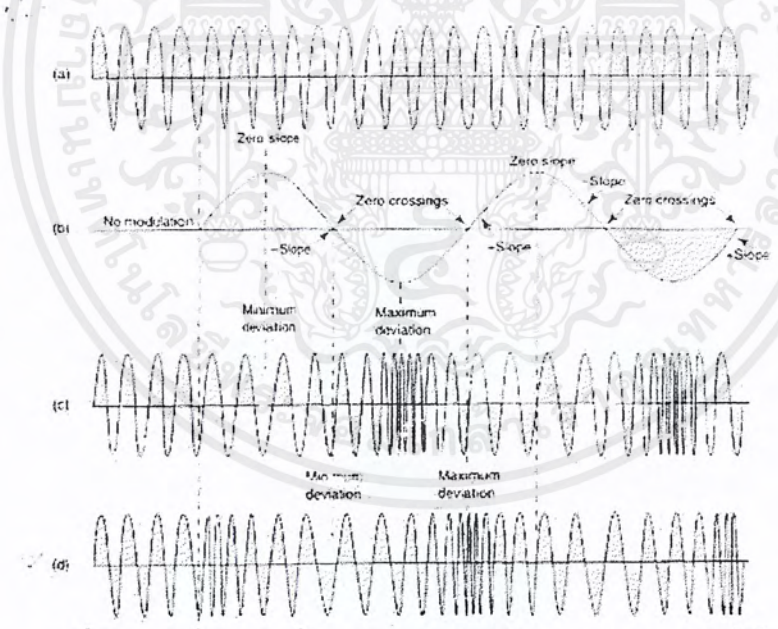
$$\frac{\text{rad/s}}{\text{v}} \quad \text{หรือ} \quad \frac{\text{rad}}{\text{Vs}} \tag{2.2.9}$$

จากความสัมพันธ์ทางคณิตศาสตร์ที่กล่าวมาทั้งหมดและจากความสัมพันธ์ของ $\theta(t)$ และ $\theta'(t)$

$$\begin{aligned} \theta(t) &= \int \theta'(t)\, dt \\ &= \int K\, V_m(t)\, dt \\ &= K \int V_m(t)\, dt \end{aligned} \tag{2.2.10}$$

เราสามารถเขียนนิพจน์ของสัญญาณพาหะ $v(t)$ ที่ถูกมอดดูเลทด้วยสัญญาณ $v_m(t) = V_m \cos \omega_m t$ ได้ดังนี้

$$\begin{aligned} v(t) &= V_c \cos [\omega_c t + \theta(t)] \\ &= V_c \cos [\omega_c t + \int \theta'(t)\, dt] \\ &= V_c \cos [\omega_c t + K \int V_m(t)\, dt] \\ &= V_c \cos [\omega_c t + K \int V_m \cos \omega_m t\, dt] \\ &= V_c \cos [\omega_c t + \frac{KVm}{\omega m} \sin(\omega m t)] \end{aligned} \tag{2.2.11}$$



รูปที่ 2.2.1 คลื่น FM ที่ถูกมอดดูเลทด้วยสัญญาณข้อมูลความถี่เดี่ยว
(a) สัญญาณพาหะ (b) สัญญาณข้อมูล (c) สัญญาณ FM (d) สัญญาณ PM

รูปที่ 2.2.1 แสดงคลื่น FM ที่ถูกมอดดูเลทด้วยสัญญาณข้อมูลความถี่เดี่ยว จากรูปจะเห็นว่า ความถี่ของสัญญาณพาหะจะเบี่ยงเบนไปสูงสุดเมื่อขนาดของสัญญาณที่นำมามอดดูเลทเป็นบวกหรือเป็นลบสูงสุด และอัตราการเบี่ยงเบนของความถี่ของสัญญาณพาหะเท่ากับความถี่ของสัญญาณที่นำมามอดดูเลท

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ดัชนีการมอดดูเลท (modulation index)

จากนิพจน์ของสัญญาณพาหะที่ถูกมอดดูเลทด้วยสัญญาณข้อมูลความถี่เดียวหรือสมการที่ (2.2.11) เราสามารถนำมาเขียนในรูปทั่วไปได้เป็น

$$v(t) = V_c \cos [\omega_c t + m\cos(\omega_m t)] \qquad (2.2.12)$$

เมื่อ m แสดงถึง peak phase deviation และเรียกว่า ดัชนีการมอดดูเลท (modulation index)

สำหรับสัญญาณพาหะที่ถูกมอดดูเลททางความถี่ ดัชนีการมอดดูเลทจะเป็นสัดส่วนโดยตรงกับขนาดของสัญญาณที่นำมามอดดูเลท และเป็นสัดส่วนกลับกับความถี่ที่นำมามอดดูเลท หรือเขียนได้เป็น

$$m = \frac{KV_m}{\omega_m} \qquad (2.2.13)$$

$$= \frac{KV_m}{2\pi f_m} \quad \text{(ไม่มีหน่วย)} \qquad (2.2.14)$$

เมื่อ KV_m = ความถี่เบี่ยงเบนในหน่วยเรเดียน / วินาที

$KV_m / 2\pi$ = ความถี่เบี่ยงเบนในหน่วยเฮิร์ทซ

K = deviation sensitivity (เรเดียน / โวลท์ วินาที)

ความถี่เบี่ยงเบน คือ การเปลี่ยนแปลงในความถี่ของสัญญาณพาหะเมื่อถูกกระทำด้วยสัญญาณที่นำมามอดดูเลท และโดยทั่วไป จะถูกกำหนดเป็นการเลื่อนไปของความถี่ Δf ในหน่วยเฮิร์ทซ และเป็นผลคูณของ deviation sensitivity กับแรงดันของสัญญาณที่นำมามอดดูเลทด้วย โดยปกติสำหรับการมอดดูเลทเชิงความถี่ ดัชนีการมอดดูเลทจะแสดงเป็นอัตราส่วนของความถี่เบี่ยงเบนสูงสุด (peak frequency deviation) กับความถี่ของสัญญาณที่นำมามอดดูเลท หรือ

$$m = \frac{\Delta f}{f_m} \qquad (2.2.15)$$

เมื่อ $\Delta f = KV_m / 2\pi$ (เฮิร์ทซ)

อย่างเช่น FM modulator ตัวหนึ่ง มี deviation sensitivity , K เท่ากับ 5 KHz /V และสัญญาณที่นำมามอดดูเลท คือ $v_m(t) = 2\cos(2\pi\, 2000t)$ เราสามารถหา peak frequency deviation ได้เป็น

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$\Delta f = \frac{5KHz}{V} \times 2V = 10\ KHz$$

และ

$$m = \frac{\Delta f}{f_m} = \frac{10\ KHz}{2\ KHz} = 5$$

เปอร์เซ็นต์มอดดูเลชั่น(Percent modulation) เปอร์เซ็นต์การมอดดูเลชั่น นิยามได้เป็นอัตราส่วนระหว่าง ความถี่เบี่ยงเบนที่เกิดขึ้นจริงกับความถี่เบี่ยงเบนสูงสุดที่อนุญาตให้มีได้ในทางกฎหมาย ในรูปของเปอร์เซ็นต์ หรือ

$$\text{เปอร์เซ็นต์การมอดดูเลชั่น} = \frac{\Delta f(\text{จริง})}{\Delta f(\text{สูงสุด})} \times 100 \qquad (2.2.16)$$

ตัวอย่างเช่น หน่วยงาน FCC (Federal Communication Commission) ได้กำหนดความถี่เบี่ยงเบนสูงสุด สำหรับ เครื่องส่งวิทยุกระจายเสียง FM ไว้ที่ $\pm$ 75 KHz ถ้าสัญญาณที่นำมามอดดูเลททำให้ความถี่ของสัญญาณพาหะเบี่ยงเบนไป $\pm$ 50 KHz แล้ว

$$\text{เปอร์เซ็นต์การมอดดูเลชั่น} = \frac{50\ KHz}{75\ KHz} \times 100 = 67\ \%$$

2.2.2 สเปกตรัมความถี่ของสัญญาณ FM ที่ถูกมอดดูเลทด้วยสัญญาณไซนูซอยด์ (Frequency Spectrum for Sinusoid FM)

การวิเคราะห์หาสเปกตรัมความถี่ของสัญญาณ FM สามารถทำได้ โดยใช้วิธีของฟูเรียร์ ซึ่งในการวิเคราะห์จริง ๆ นั้น มีความซับซ้อนมาก ดังนั้น ในที่นี้เราจะแสดงให้เห็นถึงการได้มาของสเปกความถี่ของสัญญาณ FM อย่างง่าย ๆ ได้ดังนี้

จากสมการ (2.2.11)

$$v(t) = V_c \cos\left[\omega_c t + \frac{KV_m}{\omega_m} \sin(\omega_m t)\right] \qquad (2.2.17)$$

$$= V_c \cos[\omega_c t + m \sin(\omega_m t)]$$

$$= V_c [\cos\omega_c t \cos(m \sin\omega_m t) - \sin\omega_c t \sin(m \sin\omega_m t)]$$

ซึ่งเทอม $\cos(m \sin\omega_m t)$ และเทอม $\sin(m \sin\omega_m t)$ ในสมการ (2.2.17) สามารถกระจายเป็นอนุกรมฟูเรียร์ได้ดังนี้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$\cos(m\sin\omega_m t) = J_0(m) + 2J_2(m)\cos 2\omega_m t + 2J_4(m)\cos 4\omega_m t + \ldots\ldots\ldots$$

$$= J_0(m) + 2\sum_{n=1}^{\infty} J_{2n}(m)\cos 2n\omega_m t \qquad (2.2.18)$$

$$\sin(m\sin\omega_m t) = 2J_1(m)\sin\omega_m t + 2J_3(m)\sin 3\omega_m t + \ldots\ldots\ldots\ldots$$

$$= 2\sum_{n=0}^{\infty} J_{2n+1}(m)\sin(2n+1)\omega_m t \qquad (2.2.19)$$

m	$J_0(m)$	$J_1(m)$	$J_2(m)$	$J_3(m)$	$J_4(m)$	$J_5(m)$	$J_6(m)$	$J_7(m)$	$J_8(m)$	$J_9(m)$	$J_{10}(m)$
0	1·000	—	—	—	—	—	—	—	—	—	—
0·2	0·990	0·099	0·005	—	—	—	—	—	—	—	—
0·4	0·960	0·196	0·019	0·001	—	—	—	—	—	—	—
0·6	0·912	0·286	0·043	0·004	—	—	—	—	—	—	—
0·8	0·846	0·368	0·075	0·010	0·001	—	—	—	—	—	—
1·0	0·765	0·440	0·114	0·019	0·002	—	—	—	—	—	—
2·0	0·223	0·576	0·352	0·128	0·034	0·007	0·001	—	—	—	—
3·0	−0·260	0·339	0·486	0·309	0·132	0·043	0·011	0·002	—	—	—
4·0	−0·397	−0·066	0·364	0·430	0·281	0·132	0·049	0·015	0·004	—	—
5·0	−0·177	−0·327	0·046	0·364	0·391	0·261	0·131	0·053	0·018	0·005	0·001
6·0	0·150	−0·276	−0·242	0·114	0·357	0·362	0·245	0·129	0·056	0·021	0·006
7·0	0·300	−0·004	−0·301	−0·167	0·157	0·347	0·339	0·233	0·128	0·058	0·023
8·0	0·171	0·234	−0·113	−0·291	−0·105	0·185	0·337	0·320	0·223	0·126	0·060
9·0	−0·090	0·245	0·144	−0·180	−0·265	−0·055	0·204	0·327	0·305	0·214	0·124
10·0	−0·245	0·045	0·254	0·058	−0·219	−0·234	−0·014	0·216	0·317	0·291	0·207

ตารางที่ 2.2.1 Bessel Function of the first kind of order n

เมื่อ $J_n(\phi_m)$ คือสัมประสิทธิ์ของ Bessel Function of the first kind of order n ซึ่งโดยทั่วไปจะแสดงอยู่ในรูปของตาราง ดังตารางที่ 2.2.1 และพลอทของ Bessel Function แสดงดังรูปที่ 2.2.2

ดังนั้น การกระจายของสเปกตรัมของสัญญาณ FM สามารถหาได้โดย การแทน (2.2.18) และ (2.2.19) ลงใน (2.2.11) ดังนี้

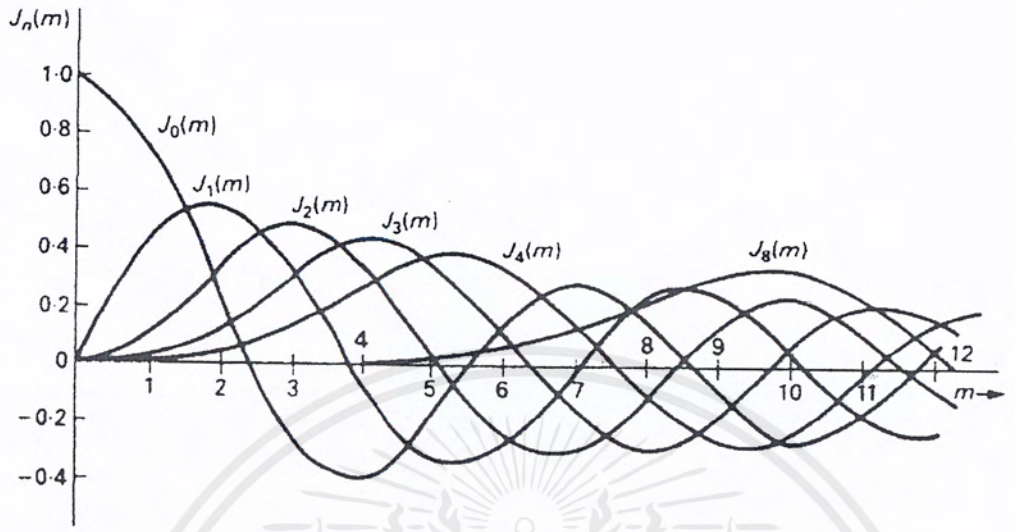
$$v(t) = V_c\left(\begin{array}{c}\cos\omega_c t\left[J_0(m) + 2J_2(m)\cos 2\omega_m t + 2J_4(m)\cos 4\omega_m t + \ldots\right] \\ -\sin\omega_c t\left[2J_1(m)\sin\omega_m t + 2J_3(m)\sin 3\omega_m t + \ldots\right]\end{array}\right) \qquad (2.2.20)$$

และจาก

$$\cos A\cos B = \frac{1}{2}\left[\cos(A-B) + \cos(A+B)\right]$$

$$\sin A\sin B = \frac{1}{2}\left[\cos(A-B) - \cos(A+B)\right]$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.2.2 พลอทของสัมประสิทธ์ของ Bessel function ที่ดัชนีมอดดูเลทค่าต่าง ๆ

เราจะได้สมการ

$$v(t)= V_c\left\{\begin{array}{l} J_0(m)\cos\omega_c t - J_1(m)\left[\cos(\omega_c-\omega_m)t-\cos(\omega_c+\omega_m)t\right] \\ \quad +J_2(m)\left[\cos(\omega_c-2\omega_m)t+\cos(\omega_c+2\omega_m)t\right] \\ \quad -J_3(m)\left[\cos(\omega_c-3\omega_m)t-\cos(\omega_c+3\omega_m)t\right] \end{array}\right\} \qquad 2.2.21$$

สมการที่ (2.2.21) แสดงให้เห็นว่า สัญญาณ FM จะประกอบด้วยเทอมของพาหะ $J_0(m)\cos\omega_c t$ และไซด์แบนด์จำนวนนับอนันต์ ดังนี้

เทอม

$V_c J_1(m)\left[\cos(\omega_c-\omega_m)t-\cos(\omega_c+\omega_m)t\right]$ คือ ไซด์แบนด์คู่แรก

เทอม

$V_c J_2(m)\left[\cos(\omega_c-2\omega_m)t+\cos(\omega_c+2\omega_m)t\right]$ คือ ไซด์แบนด์คู่ที่สอง

และต่อ ๆ ไป

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ตัวอย่างเช่น FM modulator ตัวหนึ่ง มีดัชนีการมอดดูเลท m = 1 และมีสัญญาณที่นำมามอดดูเลท $v_m(t) = V_m \sin(2\pi 1000t)$ และ สัญญาณพาหะ $v_c(t) = 10 \sin(2\pi 5\times 10^5 t)$ จากตาราง 2.2.1 จะเห็นสเปกตรัมความถี่ของคลื่น FM ที่ m = 1 มีจำนวนไซด์แบนด์เท่ากับ 3 คู่ และขนาดของความถี่พาหะ ความถี่ของแต่ละไซด์แบนด์คือ

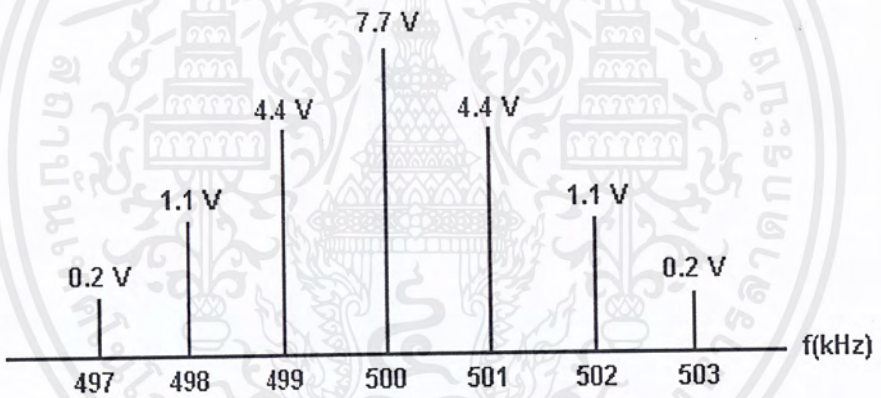
$J_0 = 0.77\,(10) = 7.7$ V

$J_1 = 0.44\,(10) = 4.4$ V

$J_2 = 0.11\,(10) = 1.1$ V

$J_3 = 0.02\,(10) = 0.2$ V

และสามารถเขียนเป็นสเปกตรัมความถี่ได้ดังรูปที่ 2.2.3



รูปที่ 2.2.3 สเปกตรัมความถี่ดังตัวอย่าง

2.2.3 แบนด์วิดท์สำหรับคลื่น FM

(Bandwith Requirements for Frequency modulated waves)

แบนด์วิดท์ของคลื่น FM เป็นฟังก์ชันของความถี่ของสัญญาณที่นำมามอดดูเลทและดัชนีการมอดดูเลท โดยทั่วไปคลื่น FM จะถูกแบ่งออกเป็น 3 ประเภท คือ

1. คลื่น FM ดัชนีต่ำ (Low – index FM wave) คือ คลื่น FM ที่มีดัชนีการมอดดูเลท น้อยกว่า 1
2. คลื่น FM ดัชนีสูง (High – index FM wave) คือ คลื่น FM ที่มีดัชนีการมอดดูเลท มากกว่า 10
3. คลื่น FM ดัชนีปานกลาง (Medium – index FM wave) คือ คลื่น FM ที่มีดัชนีการมอดดูเลท ในช่วง 1 ถึง 10

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

แบนด์วิดท์ที่ต่ำที่สุดที่ทำให้ไซด์แบนด์ที่มีนัยสำคัญของคลื่น FM ผ่านไปได้เท่ากับสองเท่าของผลคูณของความถี่ที่สูงที่สุดของสัญญาณที่นำมามอดดูเลทกับจำนวนของ side band ที่มีนัยสำคัญ ซึ่งหาได้จากตารางของ Bessel function หรือเขียนได้เป็น

$$B = 2(n \times f_m) \quad \text{เฮิร์ทซ} \qquad (2.2.22)$$

เมื่อ

n = จำนวน ของ side band ที่มีนัยสำคัญ

f_m = ความถี่ของสัญญาณที่นำมามอดดูเลท

ซึ่ง B ในสมการ (2.2.22) คือ แบนด์วิดท์ที่ต่ำที่สุดที่สามารถส่งผ่านคลื่น FM ได้แต่ J.R. Carson ได้ทำการประมาณค่าของแบนด์วิดท์ของคลื่น FM โดยไม่สนใจดัชนีการมอดดูเลท และเรียกว่า Carson's Rule และกล่าวไว้ว่า "แบนด์วิดท์ที่ต่ำที่สุดโดยประมาณของคลื่น FM เท่ากับสองเท่าของผลรวมของ peak frequency deviation และความถี่สูงสุดของสัญญาณที่นำมามอดดูเลท" หรือ

$$B = 2[\Delta f + f_{m(max)}] \quad \text{เฮิร์ทซ} \qquad (2.2.23)$$

เมื่อ

Δf = peak frequency deviation (เฮิร์ทซ)

$f_{m(max)}$ = ความถี่สูงสุดของสัญญาณที่นำมามอดดูเลท (เฮิร์ทซ)

พิจารณา 2 กรณีพิเศษ ดังนี้

1. เมื่อดัชนีการมอดดูเลทมีค่าต่ำ ๆ นั่นคือ $f_{m(max)}$ มากกว่า Δf มาก ๆ จากสมการที่ (2.2.23) จะได้

$$B = 2 f_{m(max)} \qquad (2.2.24)$$

นั่นคือ แบนด์วิดท์ที่ต้องการมีค่าประมาณ 2 เท่า ของ ความถี่สูงสุดของสัญญาณที่นำมามอดดูเลท และเรียกระบบ FM ที่มีดัชนีการมอดดูเลทต่ำ ๆ นี้ว่า Narrowband FM ซึ่งในระบบนี้ ข้อมูลของสัญญาณส่วนใหญ่จะถูกนำพาไปโดย sideband คู่แรก

2. เมื่อดัชนีการมอดดูเลทมีค่าสูง ๆ นั่นคือ Δf มากกว่า $f_{m(max)}$ มาก ๆ จากสมการที่ (2.2.23) จะได้

$$B = 2 \Delta f \qquad (2.2.25)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สำนักหอสมุดกลาง พระจอมเกล้าลาดกระบัง

นั่นคือ แบนด์วิดท์ที่ต้องการมีค่าประมาณ 2 เท่า ของ peak frequency deviation

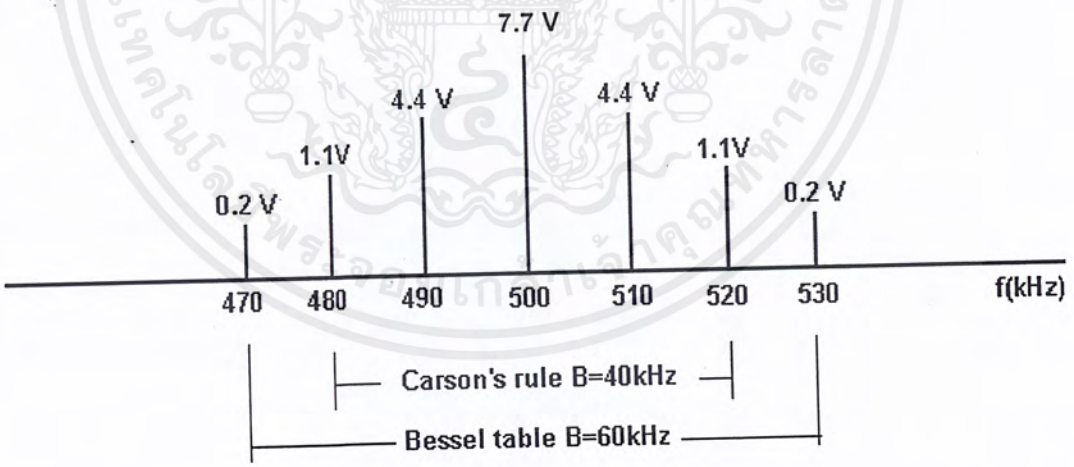
พิจารณาการหาแบนด์วิดท์ของคลื่นของ FM ของ FM modulator ที่มี peak frequency deviation $\Delta f = 10$ KHz , $V_c = 10$ V และความถี่พาหะเท่ากับ 500 KHz เมื่อนำไปหาแบนด์วิดท์ที่ต่ำที่สุดโดยหาจากตารางของ Bessel function จะได้

$$B = 60 \text{ KHz}$$

และเมื่อหาโดยใช้ Carson's Rule จะได้

$$B = 40 \text{ KHz}$$

และแสดงดังรูปที่ 2.2.4 ซึ่งจะเห็นว่าแบนด์วิดท์ที่ได้จาก Carson's Rule จะมีค่าต่ำกว่าค่าที่ได้จากการหาด้วยตารางของ Bessel table อันที่จริงแบนด์วิดท์จาก Carson's Rule จะส่งผ่านกำลังงานของคลื่น FM ออกไปประมาณ 98 % ของกำลังงานทั้งหมด ดังนั้นระบบที่ออกแบบโดยใช้ Carson's Rule จะมีประสิทธิภาพต่ำกว่า อย่างไรก็ตาม ที่ดัชนีการมอดดูเลทมากกว่า 5 การประมาณด้วย Carson's Rule จะมีค่าใกล้เคียงกับแบนด์วิดท์ที่ต้องการจริง ๆ



รูปที่ 2.2.4 เปรียบเทียบสเปกตรัมความถี่ระหว่าง Carson's rule กับ Bessel table

อัตราส่วนการเบี่ยงเบน (Deviation Ratio : DR) คือ ดัชนีการมอดดูเลทที่เลวร้ายที่สุดที่จะเกิดขึ้นและมีค่าเท่ากับ peak frequency deviation สูงสุดหารด้วยความถี่ของสัญญาณที่นำมามอดดูเลทสูงสุด นั่นคือ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

42745

$$DR = \frac{\Delta f_{(max)}}{fm_{(max)}} \qquad (2.2.26)$$

เมื่อ DR = อัตราส่วนการเบี่ยงเบน (ไม่มีหน่วย)

$\Delta f_{m(max)}$ = peak frequency deviation สูงสุด (เฮิร์ทซ)

$f_{m(max)}$ = ความถี่ของสัญญาณที่นำมามอดดูเลทสูงสุด (เฮิร์ทซ)

อย่างเช่น กรณีของสถานีโทรทัศน์ FCC ได้กำหนดสัญญาณเสียงให้มี peak frequency deviation สูงสุด เท่ากับ 50 KHz และกำหนดความถี่สูงสุดของสัญญาณที่นำมามอดดูเลท ไว้ที่ 15 KHz ดังนั้น

$$DR = \frac{50 \text{ KHz}}{15 \text{ KHz}} = 3.33$$

ซึ่งในที่นี้ไม่ได้หมายความว่า เมื่อดัชนีการมอดดูเลทเท่ากับ 3.33 เกิดขึ้น จะทำให้แบนด์วิดท์มีค่ากว้างที่สุด แต่หมายความว่า เมื่อดัชนีการมอดดูเลทเท่ากับ 3.33 เกิดขึ้นที่ความถี่สูงสุดของสัญญาณที่นำมามอดดูเลท จะทำให้แบนด์วิดท์กว้างมากที่สุด

2.2.4 กำลังงานเฉลี่ยของคลื่น FM

ความแตกต่างที่สำคัญอีกอย่างหนึ่งระหว่างการมอดดูเลทเชิงความถี่กับการมอดดูเลทเชิงขนาดคือ การกระจายของกำลังงานในคลื่นที่ถูกมอดดูเลทแล้ว คลื่น FM จะแตกต่างกับคลื่น AM คือ กำลังงานรวมในคลื่น FM จะเท่ากับกำลังงานคลื่นพาหะที่ยังไม่ได้มอดดูเลท (นั่นคือ sideband ไม่ได้เพิ่มกำลังงานให้กับ composite modulated signal) ดังนั้นในการมอดดูเลทเชิงความถี่ กำลังงานที่มีอยู่เดิมในความถี่พาหะที่ยังไม่ได้มอดดูเลท จะกระจายอยู่ในความถี่พาหะ และ sideband เมื่อผ่านการมอดดูเลทแล้ว ซึ่งเราอาจกล่าวได้ว่า กำลังงานเฉลี่ยของคลื่น FM ไม่ได้ขึ้นอยู่กับสัญญาณที่นำมามอดดูเลท , ดัชนีการมอดดูเลท และการเบี่ยงเบนของความถี่แต่กำลังงานเฉลี่ยของคลื่น FM จะเท่ากับกำลังงานเฉลี่ยของสัญญาณพาหะที่ยังไม่ได้มอดดูเลท กำลังงานเฉลี่ยในสัญญาณพาหะที่ยังไม่ได้มอดดูเลท คือ

$$P_c = \frac{V_c^2}{2R} \text{ (วัตต์)} \qquad (2.2.27)$$

เมื่อ P_c = กำลังงานของคลื่นพาหะ (วัตต์)

V_c = แรงดันพีคของคลื่นพาหะที่ยังไม่ได้มอดดูเลท (โวลท์)

R = ความต้านทานโหลด (โอห์ม)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

และกำลังงานรวมในคลื่น FM คือ

$$P_t = \frac{m^2(t)}{R} \quad \text{(วัตต์)} \qquad (2.2.28)$$

แทน $m(t) = V_c \cos[\omega_C t + \theta(t)]$ จะได้

$$P_t = \frac{V_c^2}{R}\cos^2[\omega_c t + \theta(t)]$$

$$= \frac{V_c^2}{R}\{\frac{1}{2} + \frac{1}{2}\cos[2\omega_c t + 2\theta(t)]\} \qquad (2.2.29)$$

ในสมการที่ (2.2.29) ค่ากำลังงานเฉลี่ยในเทอมที่สองเท่ากับศูนย์ ดังนั้น กำลังงานเฉลี่ยของคลื่นพาหะที่มอดดูเลทแล้ว คือ

$$P_t = \frac{V_c^2}{2R} \quad \text{(วัตต์)} \qquad (2.2.30)$$

ซึ่งจะเห็นว่า สมการที่ (2.2.27) และ (2.2.28) มีค่าเท่ากัน ดังนั้น กำลังงานเฉลี่ยของสัญญาณพาหะที่มอดดูเลทแล้ว จะเท่ากับ กำลังงานเฉลี่ยของสัญญาณพาหะที่ยังไม่มอดดูเลท กำลังงานเฉลี่ยของสัญญาณพาหะที่มอดดูเลทแล้ว จะเท่ากับผลรวมของกำลังงานของความถี่พาหะกับ side band นั่นคือ

$$P_t = P_0 + P_1 + P_2 + P_3 + \ldots\ldots\ldots + P_n$$

$$= \frac{V_c^2}{2R} + \frac{2V_1^2}{2R} + \frac{2V_2^2}{2R} + \frac{2V_3^2}{2R} + \ldots\ldots + \frac{2V_n^2}{2R} \qquad (2.2.31)$$

เมื่อ P_t = กำลังงานรวม

P_0 = กำลังงานของความถี่พาหะ

P_1 = กำลังงานใน side band แรก

P_2 = กำลังงานใน side band ที่สอง

P_3 = กำลังงานใน side band ที่สาม

P_n = กำลังงานใน side band ที่ n

ตัวอย่างเช่น สมมติให้ สัญญาณพาหะ ของ FM modulator ตัวหนึ่งคือ $v_C(t) = 10 \sin(2\pi 5\times10^5 t)$ และสมมติให้ความต้านทานโหลด $R_L = 50\ \Omega$ เราสามารถหากำลังงานเฉลี่ยของสัญญาณพาหะที่ยังไม่มอดดูเลทนี้ได้เป็น

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$P_c = \frac{10^2}{2(50)} = 1W$$

และเมื่อสัญญาณพาหะดังกล่าวถูกมอดดูเลท เราสามารถหากำลังงานเฉลี่ยของคลื่นที่ถูก มอดดูเลทแล้วได้เป็น

$$Pt = \frac{(7.7)^2}{2(50)} + \frac{2(4.4)^2}{2(50)} + \frac{2(1.1)^2}{2(50)} + \frac{2(0.2)^2}{2(50)}$$

$$= 0.5929 + 0.3872 + 0.0242 + 0.0008$$

$$= 1.0051 \text{ W}$$

ซึ่งจะเห็นว่าค่าที่หาได้ทั้งสองไม่ได้เท่ากันพอดี เนื่องจากค่าที่ได้จากตาราง Bessel Function เป็นค่าที่ถูกปัดเศษแล้ว แต่อย่างไรก็ตาม ผลที่ได้ก็ใกล้เคียงกันจนสามารถแสดงให้เห็นได้ว่า กำลังงานของสัญญาณพาหะที่มอดดูเลทแล้วเท่ากับกำลังงานของสัญญาณพาหะที่ยังไม่มอดดูเลท

2.3 เฟสล็อคลูป

2.3.1 พื้นฐานของเฟสล็อคลูป

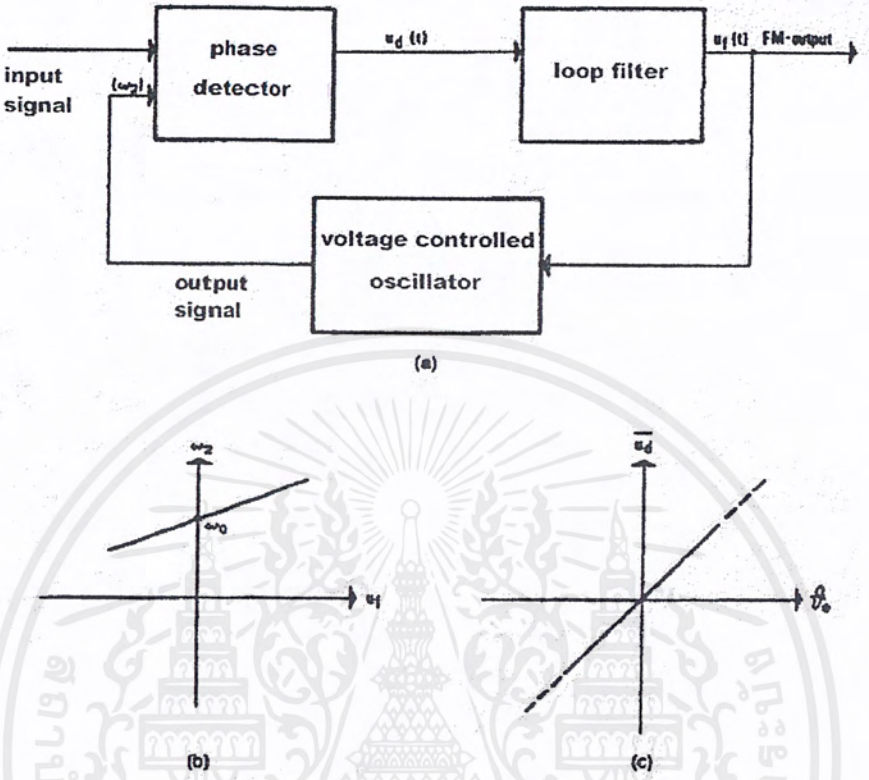
เฟสล็อคลูป (Phase Locked Loop) คือ วงจรที่จะทำการซิงโครไนซ์ (synchronize) ความถี่หรือ เฟสของสัญญาณเอาท์พุท (ที่ผลิตโดยออสซิลเลเตอร์) กับสัญญาณอ้างอิงหรือสัญญาณอินพุท เมื่อ ซิงโครไนซ์กันแล้ว ซึ่งมักจะเรียกว่า อยู่ในสภาวะล็อค (lock state) ความแตกต่างระหว่างเฟสของสัญญาณเอาท์พุทจากออสซิลเลเตอร์ กับสัญญาณอ้างอิงจะมีค่าเท่ากับศูนย์หรือน้อยมาก

บล็อคไดอะแกรมของ PLL แสดงดังรูปที่ 2.3.1(a) ซึ่งประกอบไปด้วย บล็อคการทำงานพื้นฐานดังนี้

1. ออสซิลเลเตอร์ที่ควบคุมด้วยแรงดัน (Voltage - Controlled Oscillatior :VCO)
2. เฟสดีเทคเตอร์ (Phase Detector : PD)
3. ลูปฟิลเตอร์ (Loop Filter : LF)

วงจรเฟสล็อคลูปบางวงจรจะใช้ออสซิลเลเตอร์ที่ควบคุมด้วยกระแส (current- controlled oscillator : CCO) แทนที่จะใช้ออสซิลเลเตอร์ที่ควบคุมด้วยแรงดัน ในกรณีนี้สัญญาณเอาท์พุทของเฟสดีเทคเตอร์ จะเป็นแหล่งจ่ายกระแส แทนที่จะเป็นแหล่งจ่ายแรงดัน อย่างไรก็ตาม หลักการทำงานก็ยังคงเหมือนกัน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.3.1 (a) บล็อคไดอะแกรมของเฟสล็อคลูป
(b) ทรานสเฟอร์ฟังก์ชั่นของ VCO
(c) ทรานสเฟอร์ฟังก์ชั่นของเฟสดีเทคเตอร์

ก่อนที่จะกล่าวถึง หลักการทำงานของ PLL จะขอกำหนดสัญญาณต่าง ๆ ใน PLL ดังต่อไปนี้

- สัญญาณอ้างอิง (หรือสัญญาณอินพุท) $U_1(t)$
- ความถี่เชิงมุม ω_1 ของสัญญาณอ้างอิง
- สัญญาณเอาท์พุท $U_2(t)$ ของ VCO
- ความถี่เชิงมุม ω_2 ของสัญญาณเอาท์พุท
- สัญญาณเอาท์พุท $U_d(t)$ ของเฟสดีเทคเตอร์
- สัญญาณเอาท์พุท $U_f(t)$ ของ ลูปฟิลเตอร์
- ความต่างเฟส (phase error) θ_e นิยามเป็น ความต่างเฟส ระหว่างสัญญาณ $U_1(t)$ และ $U_2(t)$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากบล็อคไดอะแกรมของเฟสล็อคลูป VCO จะผลิตความถี่ที่ความถี่เชิงมุม ω_2 ซึ่งกำหนดโดยสัญญาณเอาท์พุทของลูปฟิลเตอร์ หรือเขียนเป็นสมการได้เป็น

$$\omega_2(t) = \omega_0 + K_0 U_f(t) \qquad (2.3.1)$$

เมื่อ ω_0 คือความถี่(เชิงมุม)กลางของ VCO และ K_0 คือ เกนของ VCO (VCO GAIN) มีหน่วยเป็น $S^{-1}V^{-1}$ สมการ (2.3.1) สามารถพลอทเป็นกราฟได้ ดังรูป 2.3.1(b)

เฟสดีเทคเตอร์(หรือ อาจจะเรียกว่า เฟสคอมพาราเตอร์) จะทำหน้าที่เปรียบเทียบเฟสของสัญญาณเอาท์พุท กับเฟสของสัญญาณอ้างอิง และทำให้เกิดสัญญาณเอาท์พุท $U_d(t)$ ซึ่งเป็นสัดส่วนโดยประมาณกับความต่างเฟส θ_e เขียนเป็นสมการได้เป็น

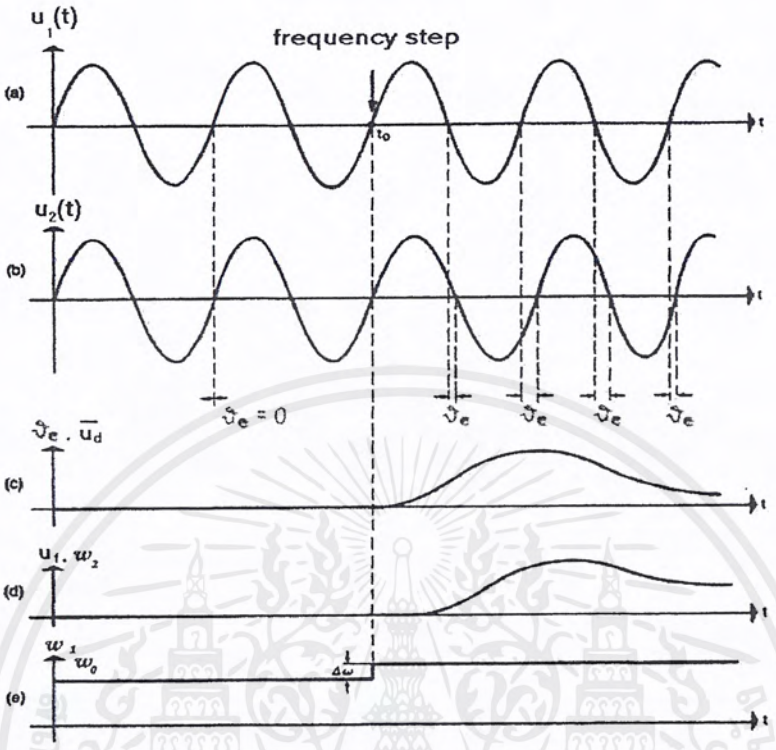
$$U_d(t) = K_d \theta_e \qquad (2.3.2)$$

เมื่อ K_d คือ เกนของเฟสดีเทคเตอร์ มีหน่วยเป็น $V\ rad^{-1}$

สัญญาณเอาท์พุทของเฟสดีเทคเตอร์ จะเป็นสัญญาณ ac ที่ซี่(superimposed) อยู่บนส่วนประกอบทาง dc แต่สัญญาณ ac เป็นสิ่งที่ไม่ต้องการ (เราต้องการสัญญาณ dc ที่ไม่มีริปเปิ้ล ไปป้อนให้กับ VCO เพื่อผลิตความถี่ที่คงที่ค่าใดค่าหนึ่ง) ดังนั้นลูปฟิลเตอร์จะทำหน้าที่กำจัดสัญญาณ ac ออกไป ซึ่งโดยทั่วไปจะใช้วงจรกรองความถี่ต่ำผ่านอันดับที่หนึ่ง (first - order lowpass filter) ซึ่งจะได้กล่าวถึงในส่วนต่อไป

ต่อไปพิจารณาการทำงาน โดยรวมของเฟสล็อคลูป อันดับแรก สมมติให้ความถี่เชิงมุม ω_1 ของสัญญาณอินพุท $U_1(t)$ เท่ากับความถี่กลาง ω_0 ในสภาวะนี้ VCO จะทำงานโดยผลิตความถี่ที่ความถี่กลางของมัน และจะเห็นว่าความต่างเฟส θ_e เท่ากับศูนย์ สัญญาณเอาท์พุท $U_d(t)$ ของเฟสดีเทคเตอร์จะเป็นศูนย์ด้วย ดังนั้นสัญญาณเอาท์พุทของลูปฟิลเตอร์ U_f จะเท่ากับศูนย์ ซึ่งสภาวะที่ความถี่อินพุท ω_1 เท่ากับความถี่กลางของ VCO นี้เป็นเงื่อนไขที่ทำให้ VCO ผลิตความถี่ที่ความถี่กลางของ VCO

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.3.2 ผลตอบสนองทรานเซี้ยนของเฟสล็อคลูปอันเนื่องมาจากการเปลี่ยนแปลงความถี่ของสัญญาณอ้างอิง

(a) สัญญาณอ้างอิง

(b) สัญญาณเอาท์พุท $U_1(t)$ ของ VCO

(c) สัญญาณ $U_d(t)$ ซึ่งเป็นฟังก์ชั่นของเวลา

(d) ความถี่เชิงมุม ω_2 ของ VCO ซึ่งเป็นฟังก์ชั่นของเวลา

(e) ความถี่เชิงมุม ω_1 ของสัญญาณอ้างอิง $U_1(t)$

สมมติให้ในสภาวะเริ่มต้นความต่างเฟส θ_e ไม่เท่ากับศูนย์ สัญญาณเอาท์พุทของเฟสดีเทคเตอร์ $U_d(t)$ ก็จะไม่เท่ากับศูนย์ หลังจากช่วงเวลาหนึ่ง สัญญาณเอาท์พุทของลูปฟิลเตอร์ก็จะมีค่าหนึ่ง ๆ (ที่ไม่เท่ากับศูนย์) ทำให้ VCO ผลิตความถี่ขึ้นมาค่าหนึ่ง ซึ่งในที่สุดจะทำให้ความต่างเฟส θ_e เท่ากับศูนย์

ต่อไปสมมติให้ความถี่ของสัญญาณอินพุทเปลี่ยนแปลงอย่างทันทีทันใดที่เวลา t_0 เป็นจำนวน $\Delta\omega$ ดังแสดงในรูปที่ 2.3.2 ซึ่งจะทำให้เฟสของสัญญาณอินพุทเริ่มที่จะนำ (leading) เฟสของสัญญาณเอาท์พุท และทำให้เกิดความต่างเฟสขึ้นและเพิ่มขึ้นตามเวลา ทำให้สัญญาณเอาท์พุท $U_d(t)$ ของเฟสดีเทคเตอร์เพิ่มขึ้นตามเวลาด้วย หลังจากช่วงเวลาหนึ่งที่กำหนดโดยลูปฟิลเตอร์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สัญญาณเอาท์พุท $U_f(t)$ ของลูปฟิลเตอร์ก็จะเพิ่มขึ้นและมีผลทำให้ VCO ผลิตความถี่ที่สูงขึ้น ซึ่งจะทำให้ความต่างเฟสมีค่าน้อยลง หลังจากช่วงเวลาหนึ่ง VCO ก็จะผลิตความถี่ที่เท่ากับความถี่ของสัญญาณอินพุท ค่าความต่างเฟสในสภาวะล็อค จะมีค่าเท่ากับศูนย์หรือค่าใดค่าหนึ่ง ขึ้นอยู่กับชนิดของลูปฟิลเตอร์ที่ใช้

จะเห็นว่าในขณะนี้ VCO จะผลิตความถี่ซึ่งมากกว่าความถี่กลาง ω_0 ของ VCO เป็นจำนวน $\Delta\omega$ ซึ่งจะทำให้สุดท้ายสัญญาณ $U_f(t)$ มีค่า $U_f = \Delta\omega / K_0$ ถ้าความถี่กลางของสัญญาณอินพุทถูกมอดดูเลททางความถี่ (frequency modulated) โดยสัญญาณความถี่ต่ำใด ๆ แล้ว สัญญาณเอาท์พุทของลูปฟิลเตอร์จะเป็นสัญญาณที่ถูกดีมอดดูเลทแล้ว (demodulated signal) ดังนั้นเราอาจใช้ PLL เป็น FM ดีเทคเตอร์ได้ การพิจารณาอย่างง่าย ๆ ที่ผ่านมานี้ แสดงให้เห็นว่า เฟสล็อคลูปไม่มีอะไรซับซ้อน เป็นเพียงแต่ระบบเซอร์โว (servo system) ซึ่งควบคุมเฟสของสัญญาณเอาท์พุท $U_2(t)$

ดังได้แสดงมาแล้วในรูปที่ 2.3.2 PLL จะทำให้เฟสของสัญญาณเอาท์พุทเท่ากับเฟสของสัญญาณอินพุทเสมอ ระบบนี้จะล็อคอยู่ตลอดเวลา อย่างไรก็ตามในบางกรณีที่ความถี่ของสัญญาณอินพุทเปลี่ยนแปลงไปมากอย่างทันทีทันใด อาจทำให้ระบบ " ไม่ล็อค " ได้ ซึ่งกลไกภายในของเฟสล็อคลูปจะพยายามกลับมาอยู่ที่สภาวะล็อคอีกครั้ง แต่จะล็อคได้หรือไม่นั้น ขึ้นอยู่กับเงื่อนไขต่าง ๆ ซึ่งจะได้กล่าวต่อไป โดยพื้นฐานแล้วมีปัญหา 2 อย่าง ที่จะต้องพิจารณาใน PLL คือ

- PLL อยู่ในสภาวะล็อคตั้งแต่เริ่มต้น เงื่อนไขใดที่จะทำให้ PLL ยังคงล็อคต่อไป ?
- ในสภาวะแรก PLL ไม่ได้ล็อค เงื่อนไขใดที่จะทำให้ PLL ล็อคอีกครั้งคือ ?

การแบ่งประเภทของ PLL

เฟสล็อคลูปได้ถูกคิดค้นขึ้นมาครั้งแรกตั้งแต่ ก่อนปี ค.ศ. 1932 โดยวิศวกรชาวฝรั่งเศสชื่อ de Bellescize ซึ่งเขาได้รับการยกย่องว่าเป็น ผู้คิดค้น "coherent communication" เฟสล็อคลูป ถูกนำมาใช้อย่างแพร่หลายในทางอุตสาหกรรมเมื่อมันถูกผลิตมาในรูปแบบของวงจรรวมแล้ว ไอซีเฟสล็อคลูปตัวแรกเกิดขึ้นราว ๆ ปี ค.ศ. 1965 และเป็นอุปกรณ์อะนาลอกล้วน ๆ โดยใช้ analog multiplier (four – quadrant multiplier) เป็นเฟสดีเทคเตอร์ และลูปฟิลเตอร์ใช้วงจรกรองความถี่ RC แบบฟาสซีฟหรือแอคทีฟ และใช้ ออสซิลเลเตอร์ที่ควบคุมด้วยแรงดัน (VCO) ในการผลิตความถี่เอาท์พุทของเฟสล็อคลูป ทุกวันนี้เฟสล็อคลูปชนิดนี้เรียกว่า ลิเนียร์เฟสล็อคลูป (Linear Phase Locked Loop : LPLL) หลายปีผ่านไปเฟสล็อคลูปไม่มีการเปลี่ยนแปลงอะไรมากนัก แต่ก็เริ่มเข้าสู่ส่วนที่เป็นดิจิตอล ดิจิตอลเฟสล็อคลูปตัวแรกเกิดขึ้นราวปี ค.ศ. 1970 ซึ่งเป็นอุปกรณ์ผสม (hybrid device) นั่นคือ เฉพาะส่วนที่เป็นเฟสดีเทคเตอร์เท่านั้น ที่สร้างจาก

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

วงจรดิจิตอล ซึ่งสร้างมาจากเอ็กซ์คลูซีฟออร์เกท (Exclusive - OR Gate) หรือ J-K FlipFlop ส่วนที่เหลือยังคงเป็นวงจรอะนาลอก เฟสล็อคลูปชนิดนี้อาจเรียกว่า คลาสสิคคอลดิจิตอลเฟสล็อคลูป(Classical Digital Phase Locked Loop : DPLL) ไม่กี่ปีต่อมา ดิจิตอลเฟสล็อคลูปทั้งหมด (All - Digital Phase Locked Loop : ADPLL) ได้ถูกสร้างขึ้น ซึ่งทุกส่วนของวงจรเป็นดิจิตอลทั้งหมด จึงไม่มีตัวต้านทานหรือตัวเก็บประจุอยู่ในเฟสล็อคลูปชนิดนี้ เฟสล็อคลูปก็เหมือนกับวงจรกรองความถี่ ซึ่งสามารถสร้างได้ด้วยซอฟต์แวร์ ในกรณีนี้การทำงานของเฟสล็อคลูปจะไม่เกี่ยวข้องกับฮาร์ดแวร์ (ตัวต้านทาน ตัวเก็บประจุ หรืออื่น ๆ) แต่จะเป็นโปรแกรมคอมพิวเตอร์ PLL ชนิดนี้เรียกว่า ซอฟต์แวร์เฟสล็อคลูป (Software Phase Lock Loop : SPPL)

ในปัจจุบัน DPLL นิยมใช้กันมาก เนื่องจากสามารถนำมาประยุกต์ใช้งานได้โดยทั่วไป มีราคาถูก ดังนั้นในที่นี้เราจะกล่าวถึงเฉพาะ DPLL เท่านั้น

2.3.2 คลาสสิคคอลดิจิตอลเฟสล็อคลูป (Classical Digital Phase Locked Loop)

ดังได้กล่าวมาแล้วว่าจริง ๆ แล้ว DPLL เป็นระบบผสม (hybrid system) ซึ่งสร้างมาจากวงจรอะนาลอกและวงจรดิจิตอล ส่วนประกอบของ DPLL ที่เป็นวงจรดิจิตอลมีเพียงส่วนเดียวคือ เฟสดีเทคเตอร์ การทำงานหลาย ๆ อย่างของ DPLL จะเหมือนกับ LPLL เนื่องจากส่วนของ ลูปฟิลเตอร์และ VCO ของ DPLL และ LPLL เหมือนกัน อย่างไรก็ตามมีพฤติกรรมบางอย่างของ DPLL แตกต่างจาก LPLL โดยสิ้นเชิง ซึ่งในหัวข้อนี้เราจะกล่าวถึง คุณสมบัติพื้นฐานของฟังก์ชันบล็อคต่าง ๆ ที่ประกอบกันเป็น DPLL

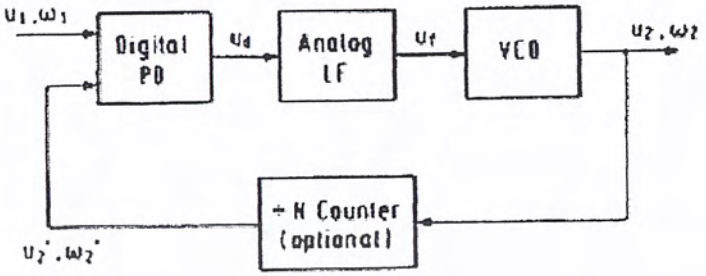
2.3.2.1 ส่วนประกอบของ DPLL (Building Block of the DPLL)

บล็อคไดอะแกรมของ DPLL แสดงดังรูป 2.3.3 ซึ่งประกอบด้วยฟังก์ชั่นบล็อคต่าง ๆ อันได้แก่

- เฟสดีเทคเตอร์ (phase detector)
- ลูปฟิลเตอร์ (Loop Filter)
- ออสซิลเลเตอร์ที่ควบคุมด้วยแรงดัน (voltage - controlled oscillator) และอีกส่วนประกอบหนึ่ง (ที่เพิ่มมาจาก LPLL) คือ
- วงจรนับหาร N (divide – by - N counter)

ซึ่งวงจรนับหาร N มักจะถูกนำไปใช้ร่วมกับ DPLL ในการสังเคราะห์ความถี่ (PLL frequency synthesis) เมื่อนำวงจรนับดังกล่าวมาใช้งาน วงจร VCO จะผลิตความถี่ขึ้นมา N เท่าของความถี่อ้างอิงเมื่อ DPLL อยู่ในสภาวะล็อค ซึ่งเราจะพิจารณาฟังก์ชัน บล็อคต่าง ๆ เหล่านี้ดังต่อไปนี้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.3.3 บล็อคไดอะแกรมของดิจิตอลเฟสล็อคลูป

1. เฟสดีเทคเตอร์

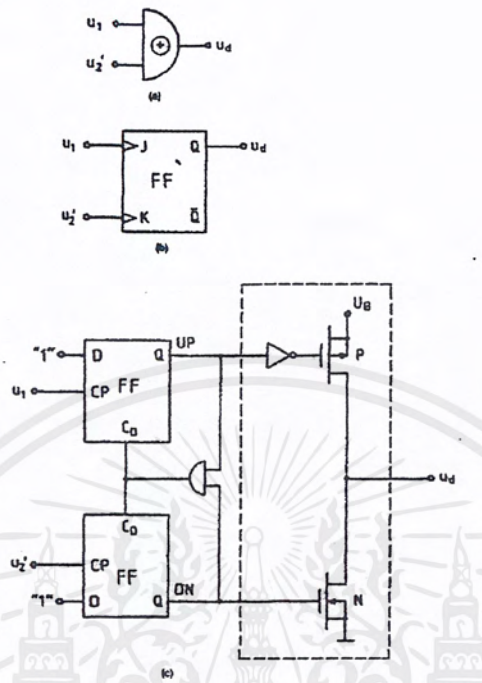
เฟสดีเทคเตอร์ของ DPLL สร้างขึ้นมาจากวงจรลอจิก ซึ่งเฟสดีเทคเตอร์ที่สำคัญมี 3 แบบ คือ

- Exclusive - OR Gate (XOR)
- JK – FlipFlop
- Phase - Frequency Detector (PFD)

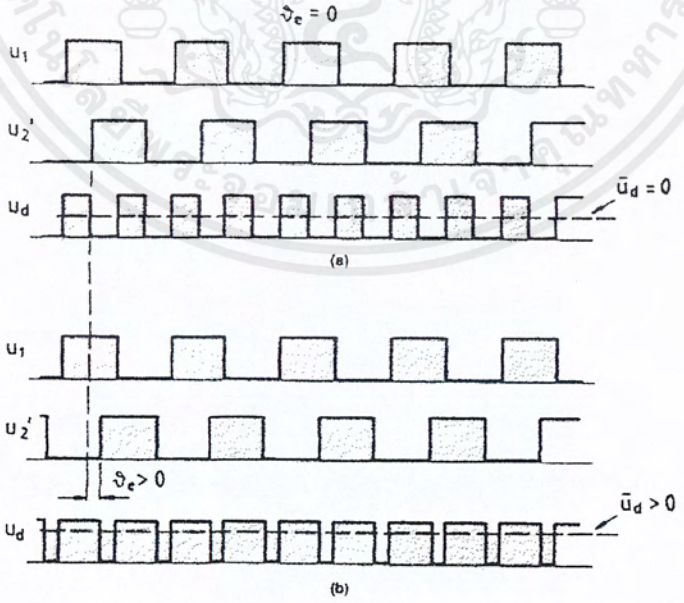
เฟสดีเทคเตอร์ทั้ง 3 แบบแสดงได้ดังรูปที่ 2.3.4

อันดับแรกพิจารณา XOR เฟสดีเทคเตอร์ สัญญาณใน DPLL เป็นสัญญาณไบนารี่เสมอ นั่นคือสัญญาณรูปคลื่นสี่เหลี่ยม เราจะสมมติว่าในขณะนี้สัญญาณ U_1 และ U'_2 เป็นคลื่นสี่เหลี่ยมที่สมมาตร รูปที่ 2.3.5 แสดงรูปคลื่นของ XOR เฟสดีเทคเตอร์ที่ความต่างเฟส (phase error) θ_e ค่าต่าง ๆ ที่ความต่างเฟสเท่ากับศูนย์ สัญญาณ U_1 และ U'_2 จะต่างเฟสกันอยู่ 90° ดังรูป 2.3.5 (a) ดังนั้น สัญญาณเอาท์พุท U_d ของเฟสดีเทคเตอร์จะเป็นคลื่นสี่เหลี่ยม ซึ่งมีความถี่เป็นสองเท่าของสัญญาณอ้างอิง ดิวตี้ไซเคิล (duty cycle) ของสัญญาณ U_d จะเท่ากับ 50 เปอร์เซ็นต์ เนื่องจากส่วนประกอบทางความถี่สูงของสัญญาณ U_d จะถูกกรองออกโดยลูปฟิลเตอร์ เราจะพิจารณาเฉพาะค่าเฉลี่ยของ U_d ดังแสดงด้วยเส้นประในรูปที่ 2.3.5 (a) ค่าเฉลี่ย U_d เป็นค่าเฉลี่ยทางพีชคณิต (arithmetic mean) ของระดับสัญญาณลอจิก 2 ระดับ ถ้า XOR เฟสดีเทคเตอร์ได้รับไฟเลี้ยง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.3.4 เฟสดีเทคเตอร์ที่นิยมใช้ใน DPLL (a) XOR เฟสดีเทคเตอร์
(b) JK - FilpFlop (c) Phase - Frequency Detector



รูปที่ 2.3.5 รูปคลื่นของสัญญาณของ XOR เฟสดีเทคเตอร์
(a) รูปคลื่นที่ θ_e เท่ากับศูนย์ (b) รูปคลื่นที่ θ_e มากกว่าศูนย์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากแหล่งจ่ายแรงดันไม่สมมาตร (asymmetrical power supply) 5 โวลต์ (5 โวลต์ และกราวนด์) ค่าของ U_d จะมีค่าโดยประมาณเท่ากับ 2.5 โวลต์ ระดับแรงดันนี้จะถูกพิจารณาเป็น quiescent point ของ XOR เฟสดีเทคเตอร์และต่อจากนี้ไปจะแทนด้วย $U_d = 0$ เมื่อเฟสของสัญญาณเอาท์พุท U'_2 ล้าหลังเฟสของสัญญาณอ้างอิง U_1 ความต่างเฟส θ_e จะมีค่าเป็นบวก ซึ่งในกรณีนี้แสดงได้ดังรูป 2.3.5 (b) ซึ่งในขณะนี้ดิวตี้ไซเคิลของ U_d จะมากกว่า 50 เปอร์เซ็นต์ นั่นคือ ค่าเฉลี่ยของ U_d มีค่าเป็นบวก ดังแสดงโดยเส้นประในรูปคลื่น U_d จากที่ได้อธิบายมาทั้งหมดนี้ จะเห็นได้อย่างชัดเจนว่า ค่าเฉลี่ยของ U_d มีค่าสูงสุดเมื่อความต่างเฟส θ_e เท่ากับ 90° และมีค่าต่ำสุดที่ θ_e เท่ากับ -90° ถ้าเราพลอทค่าเฉลี่ยของ U_d กับความต่างเฟส θ_e เราจะได้ลักษณะของกราฟดังรูปที่ 2.3.6 (a) ซึ่งจะเห็นค่าเฉลี่ยของสัญญาณเอาท์พุท ของ XOR เฟสดีเทคเตอร์ U_d เป็นฟังก์ชันสามเหลี่ยมของความต่างเฟส θ_e และสามารถเขียนได้เป็น

$$\overline{U}_d = K_d \theta_e \qquad (2.3.3)$$

ในกรณีของ XOR เฟสดีเทคเตอร์ ค่าเกนของเฟสดีเทคเตอร์ (phase detector gain) K_d เป็นค่าคงที่ เมื่อแหล่งจ่ายแรงดันของ XOR คือ U_B และ 0 ตามลำดับ และเราสมมติให้ ระดับลอจิก คือ U_B และ 0 ค่าเกนของ XOR เฟสดีเทคเตอร์ จะถูกกำหนดโดย

$$K_d = U_B/\pi \qquad (2.3.4)$$

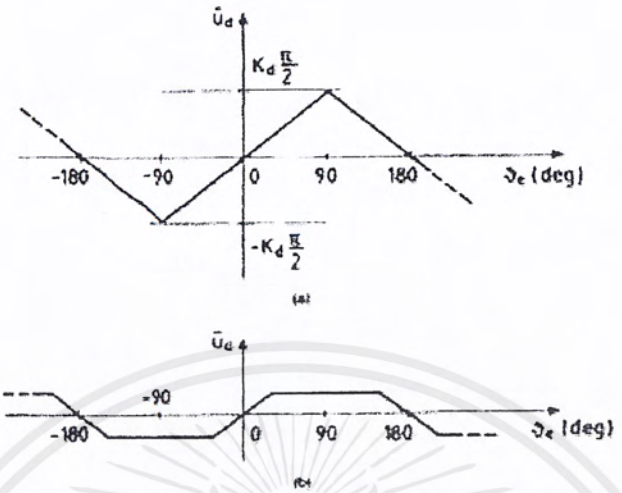
เมื่อสัญญาณเอาท์พุทของ XOR มีค่าไม่ถึงระดับของแหล่งจ่ายไฟเลี้ยง (supply rails) แต่อิ่มตัวอยู่ที่ U_{sat+} ที่สภาวะ high และที่ระดับ U_{sat-} ที่สภาวะ low ค่าของ K_d สามารถคำนวณได้จากสมการ (2.3.5)

$$K_d = \frac{(U_{sat+}) - (U_{sat-})}{\pi} \qquad (2.3.5)$$

ซึ่งในทางปฏิบัติ โดยส่วนใหญ่ค่าของ K_d จะถูกระบุมาแล้วในข้อมูลของ PLL แต่ละตัว จุดอ่อนของ XOR เฟสดีเทคเตอร์ก็คือความต่างเฟส θ_e สามารถมีค่าได้อยู่ในช่วง

$$-\frac{\pi}{2} < \theta_e < \frac{\pi}{2}$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

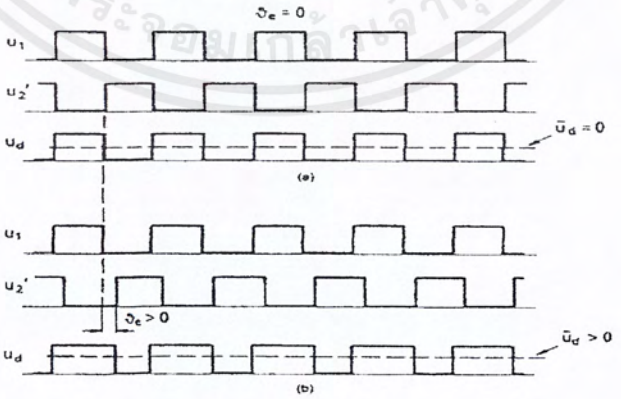


รูปที่ 2.3.6 พลอทค่าเฉลี่ยของ U_d กับ θ_e

(a) U_1 และ U'_2 สมมาตรกัน

(b) U_1 และ U'_2 ไม่สมมาตรกัน

ที่ยังทำให้ DPLL ทำงานได้อย่างถูกต้อง ประสิทธิภาพของ XOR เฟสดีเทคเตอร์จะลดลงเมื่อสัญญาณ U_1 และ U'_2 ไม่สมมาตรกัน ซึ่งเมื่อเกิดเหตุการณ์อย่างนี้ขึ้น สัญญาณเอาท์พุท U_d จะถูกขลิบอยู่ที่ระดับหนึ่ง ดังแสดงในรูปที่ 2.3.6 (b) ซึ่งจะทำให้ลูปเกน (Loop gain) ของ DPLL ลดลง (เราจะกล่าวถึงลูปเกนในหัวข้อถัดไป) และมีผลทำให้ lock rang , pull – out rang และอื่น ๆ มีค่าน้อยตามไปด้วย



รูปที่ 2.3.7 รูปคลื่นของสัญญาณของ JK – FlipFlop เป็นเฟสดีเทคเตอร์

(a) รูปคลื่นที่ θ_e เท่ากับศูนย์ (b) รูปคลื่นที่ θ_e มากกว่าศูนย์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ปัญหาความไม่สมมาตรของสัญญาณอ้างอิง และสัญญาณเอาท์พุทจะหมดไป เมื่อเราใช้ JK – FlipFlop เป็นเฟสดีเทคเตอร์ ดังรูปที่ 2.3.4 (b) ซึ่ง J-K FlipFlop ที่ใช้นี้เป็น J-K FlipFlop ที่ทำงานโดยการกระตุ้นของขอบพัลซ์ (edge – triggered JK – FlipFlop) เมื่อมีขอบพัลซ์บวกปรากฏขึ้นที่อินพุทเจ J-K FlipFlop จะถูกกระตุ้นให้อยู่ในสถานะ " high " (Q = 1) และเมื่อขอบพัลซ์บวกปรากฏขึ้นที่อินพุทเค J-K FlipFlop จะถูกกระตุ้นให้อยู่ในสถานะ " low " (Q=0) รูปที่ 2.3.7 (a) แสดงรูปคลื่นของ J-K FlipFlop เฟสดีเทคเตอร์ ในกรณีที่ $\theta_e = 0$ เมื่อไม่มีความต่างเฟสสัญญาณ U_I และ U'_2 จะมีเฟสตรงข้ามกัน (มีเฟสต่างกัน 180°) และทำให้สัญญาณ U_d เป็นรูปคลื่นสี่เหลี่ยมที่สมมาตรซึ่งมีความถี่เท่ากับความถี่ของสัญญาณอ้างอิง ที่สภาวะนี้พิจารณาให้ U_d มีค่าเป็นศูนย์ ถ้าความต่างเฟส θ_e มีค่าเป็นบวก (รูป 2.3.7 (b)) ดิวตี้ไซเคิลของสัญญาณ U_d จะมีค่ามากกว่า 50 เปอร์เซ็นต์ นั่นคือ U_d มีค่าเป็นบวก ค่าของ U_d จะมีค่าสูงสุด เมื่อความต่างเฟส θ_e เท่ากับ -180° ถ้าพลอทค่าเฉลี่ยของ U_d เทียบกับความต่างเฟส θ_e จะได้ลักษณะของกราฟเป็นรูปฟันเลื่อย ดังรูป 2.3.8 ในช่วงของความต่างเฟส $-\pi < \theta_e < \pi$ ค่าเฉลี่ยของสัญญาณ U_d จะเป็นสัดส่วนกับ θ_e และกำหนดโดยสมการที่ (2.3.6)

$$\overline{U}_d = K_d \theta_e \qquad (2.3.6)$$

จะเห็นได้อย่างชัดเจนว่า J-K FlipFlop เฟสดีเทคเตอร์ สามารถที่จะควบคุมเฟสของสัญญาณ เอาท์พุท U'_2 ให้เหมือนกับเฟสของสัญญาณอินพุทได้เมื่อ ความต่างเฟส θ_e อยู่ในช่วง

$$-\pi < \theta_e < \pi$$

โดยการพิจารณาเช่นเดียวกันกับ XOR เฟสดีเทคเตอร์ ค่าเกนของเฟสดีเทคเตอร์ของ J-K FlipFlop เฟสดีเทคเตอร์ กำหนดโดย

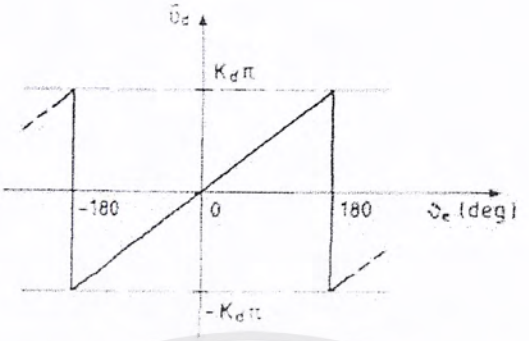
$$K_d = U_B/2\pi \qquad (2.3.7)$$

เมื่อระดับลอจิก คือ U_B และ 0 ตามลำดับ แต่ถ้าระดับลอจิกอิ่มตัวเสียก่อน ค่าเกนของเฟสดีเทคเตอร์ สามารถคำนวณได้จาก

$$K_d = \frac{\left(U_{sat+}\right) - \left(U_{sat-}\right)}{2\pi} \qquad (2.3.8)$$

จากการทำงานของ J-K FlipFlop เฟสดีเทคเตอร์จะเห็นว่า ความไม่สมมาตรกันของสัญญาณ U_I และ U'_2 ไม่ใช่สิ่งที่สำคัญ เนื่องจากสถานะของฟลิปฟลอปจะเปลี่ยนไปเมื่อมีการเปลี่ยนแปลงในทางบวก (ขอบขาขึ้น) ของสัญญาณเท่านั้น

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.3.8 พลอทค่าเฉลี่ยของ U_d กับ θ_e ของ J-K FlipFlop เฟสดีเทคเตอร์

ต่อไปพิจารณา Phase – Frequency Detector (PFD) ซึ่งมีความแตกต่างอย่างสิ้นเชิงกับเฟสดีเทคเตอร์ทั้ง 2 แบบ ที่กล่าวมาแล้ว นั่นคือ ในขณะที่ DPLL ยังไม่อยู่ในสภาวะล็อค สัญญาณเอาท์พุทของ PFD ไม่เพียงแต่ขึ้นอยู่กับความต่างเฟส θ_e เท่านั้น แต่ยังขึ้นอยู่กับความต่างของความถี่ (frequency error) $\Delta\omega = \omega_1 - \omega_2$ อีกด้วย รูปที่ 2.3.4 (c) แสดง PFD ซึ่งสร้างมาจากดี – ฟลิปฟลอป (D- FlipFlop) 2 ตัว ซึ่งมีเอาท์พุทแทนด้วย “UP”(up)และ “DN”(down) ตามลำดับ PFD จะอยู่ในสถานะใดสถานะหนึ่งในสี่สถานะดังต่อไปนี้

- UP = 0 , DN = 0
- UP = 1 , DN = 0
- UP = 0 , DN = 1
- UP = 1 , DN = 1

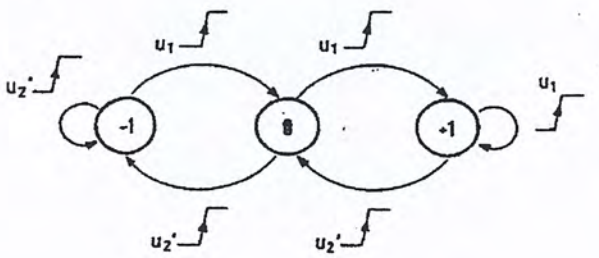
แต่อย่างไรก็ตาม สถานะที่สี่จะถูกยับยั้งไม่ให้เกิดขึ้นโดยการต่อแอนด์เกทเพิ่มเข้าไปดังรูปที่ 2.3.4 (c) ซึ่งเมื่อฟลิปฟลอปทั้งสองอยู่ในสถานะ “1” จะมีลอจิก “high” ปรากฏที่ขาอินพุท C_D (Clear direct) ของฟลิปฟลอปทั้งสอง ทำให้ฟลิปฟลอปทั้งสองถูกรีเซ็ต (UP=0 , DN =0) ดังนั้น PFD จึงทำหน้าที่เหมือนกับอุปกรณ์สามสถานะ (tristable device: triflop) เราจะกำหนดสถานะเหล่านี้ด้วย สัญลักษณ์ -1 , 0 และ 1 ดังนี้

- UP = 0 , DN = 1 ⟶ สถานะ = -1
- UP = 0 , DN = 0 ⟶ สถานะ = 0
- UP = 1 , DN = 0 ⟶ สถานะ = +1

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

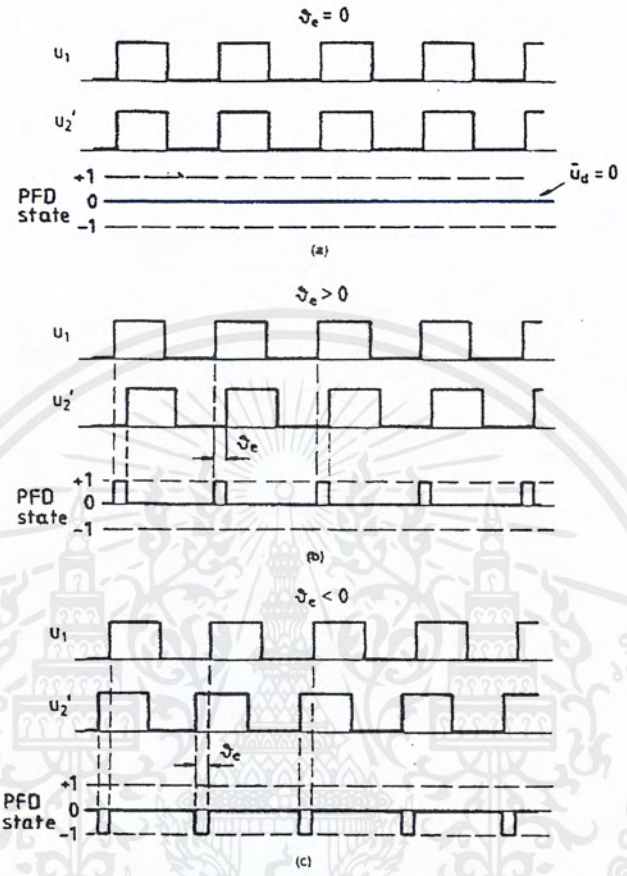
สถานะของ PFD ถูกกำหนดโดยขอบขาขึ้นของสัญญาณ U_1 และ U'_2 ดังอธิบายได้โดยสเตทไดอะแกรม (state diagram) ในรูปที่ 2.3.9 (ในที่นี้ เราจะให้ PFD ตอบสนองต่อขอบขาขึ้นของสัญญาณ U_1 และ U'_2 เท่านั้น ซึ่งในทางกลับกันเราอาจพิจารณาว่า PFD ตอบสนองต่อขอบขาลงของสัญญาณ U_1 และ U'_2 ก็ได้) จากรูปที่ 2.3.9 จะเห็นว่า ขอบขาขึ้นของสัญญาณ U_1 จะทำให้ PFD ไปอยู่ในสถานะถัดไปที่สูงกว่า นอกเสียจากว่ามันอยู่ในสถานะ +1 อยู่แล้ว และเช่นเดียวกัน ขอบขาขึ้นของสัญญาณ U'_2 จะทำให้ PFD ไปอยู่ในสถานะถัดไปที่ต่ำกว่า นอกเสียจากว่ามันอยู่ในสถานะ -1 อยู่แล้ว สัญญาณเอาท์พุท U_d เป็นฟังก์ชั่นทางลอจิกของสถานะของ PFD เมื่อ PFD อยู่ในสถานะ +1 U_d จะต้องเป็นบวก เมื่อ PFD อยู่ในสถานะ -1 U_d จะต้องมีค่าเป็นลบ และเมื่อ PFD อยู่ในสถานะ 0 U_d จะต้องเท่ากับศูนย์ ในทางทฤษฎี U_d เป็น ternary signal วงจรลอจิกโดยส่วนใหญ่ ในปัจจุบันจะทำให้เกิด binary signal แต่อย่างไรก็ตาม ในสถานะที่สาม (U_d =0) อาจแทนได้ด้วยสถานะ "อิมพีแดนซ์สูง (high - impedance)" วงจรในเส้นประของรูปที่ 2.3.4 (c) แสดงให้เห็นว่า สัญญาณ U_d จะเกิดขึ้นได้อย่างไร เมื่อสัญญาณ UP เป็น high มอสทรานซิสเตอร์ แบบ P – Channel จะนำกระแสทำให้ U_d เท่ากับแรงดันบวกของแหล่งจ่าย U_B เมื่อสัญญาณ DN เป็น high มอสทรานซิสเตอร์ แบบ N- Channel จะนำกระแสทำให้ U_d มีศักย์เท่ากับ กราวนด์ เมื่อสัญญาณทั้งสองไม่เป็น high มอสทรานซิสเตอร์ทั้งสองจะคัทออฟ และสัญญาณเอาท์พุทจะเหมือนถูกปล่อยลอยไว้ นั่นคือ อยู่ในสถานะอิมพีแดนซ์สูง ดังนั้นสัญญาณเอาท์พุท U_d จะเป็นสัญญาณสามสถานะ (tristate signal)

ต่อไปพิจารณาการทำงานของ PFD โดยพิจารณารูปที่ 2.3.10 รูปที่ 2.3.10 (a) (ในทางทฤษฎี) ในกรณีที่ความต่างเฟสเท่ากับศูนย์ ซึ่งในขณะนี้สมมติให้ PFD อยู่ในสถานะ 0 ตั้งแต่เริ่มต้น สัญญาณ U_1 และ U'_2 จะมีเฟสเท่ากับ (in phase) ขอบขาขึ้นของ U_1 และ U'_2 จะเกิดขึ้นที่เวลาเดียวกัน ดังนั้น ในขณะนี้ U_1 และ U'_2 จะไม่มีผลต่อสถานะ ของ PFD และ PFD จะอยู่ในสถานะ 0 ต่อไป รูปที่ 2.3.10 (b) แสดงกรณีเมื่อเฟสของ U_1 นำหน้าเฟสของ U'_2 ในขณะนี้



รูปที่ 2.3.9 สเตทไดอะแกรมของ PFD

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.3.10 รูปคลื่นของสัญญาณของ PFD

(a) $\theta_e = 0$

(b) $\theta_e > 0$

(c) $\theta_e < 0$

PFD จะท็อกเกิ้ลอยู่ระหว่างสถานะ 0 และ +1 ถ้า เฟสของ U_1 ล้าหลังเฟสของ U'_2 ดังแสดงในรูปที่ 2.3.10 (c) PFD จะท็อกเกิ้ลอยู่ระหว่างสถานะ -1 และ 0 จากรูปที่ 2.3.10 (b) และ (c) จะเห็นว่า U_d จะมีขนาดมากที่สุดเมื่อความต่างเฟส θ_e มีค่าเป็นบวกและเข้าใกล้ 360° (รูปที่ 2.3.10 (b)) และมีขนาดเล็กที่สุดเมื่อความต่างเฟส θ_e มีค่าเป็นลบ และเข้าใกล้ -360° รูปที่ 2.3.10 (c) ถ้าเราพลอทค่าเฉลี่ยของสัญญาณ U_d กับความต่างเฟส θ_e เราจะได้ฟังก์ชั่นรูปฟันเลื่อย (sawtooth function) ดังแสดงในรูปที่ 2.3.11 ซึ่งในรูปที่ 2.3.11 ยังแสดงค่าเฉลี่ยของสัญญาณ U_d เมื่อความต่างเฟส θ_e มีค่ามากกว่า 2π และน้อยกว่า -2π อีกด้วย เมื่อความต่างเฟส θ_e มีค่าเกิน 2π PFD จะประพฤติตัวเหมือนกับที่ความต่างเฟส θ_e เท่ากับศูนย์ดังนั้นเส้นโค้งลักษณะสมบัติ(Characteristic

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

curve) ของ PFD จะกลายมาเป็นสัญญาณคาบที่มีคาบเท่ากับ 2π และในกรณีที่ความต่างเฟส θ_e น้อยกว่า -2π ก็สามารถพิจารณาได้ในลักษณะเดียวกัน เมื่อความต่างเฟส θ_e ถูกจำกัดอยู่ในช่วง

$$-2\pi < \theta_e < 2\pi$$

ค่าเฉลี่ยของ U_d กำหนดโดย

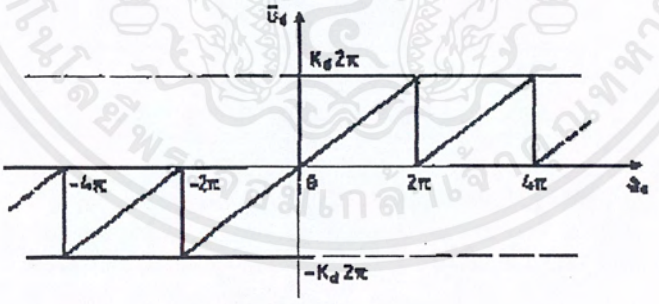
$$\overline{U}_d = K_d \theta_e \qquad (2.3.9)$$

และค่าเกนของ PFD สามารถคำนวณได้จาก

$$K_d = \frac{\left(U_{sat+}\right) - \left(U_{sat-}\right)}{4\pi} \qquad (2.3.10)$$

และในกรณีที่ระดับของลอจิกไม่เท่ากับระดับไฟเลี้ยง เราสามารถคำนวณ K_d ได้จาก

$$K_d = \frac{U_B}{4\pi} \qquad (2.3.11)$$



รูปที่ 2.3.11 พลอทของเอาท์พุทเฉลี่ยของ U_d ของ PFD

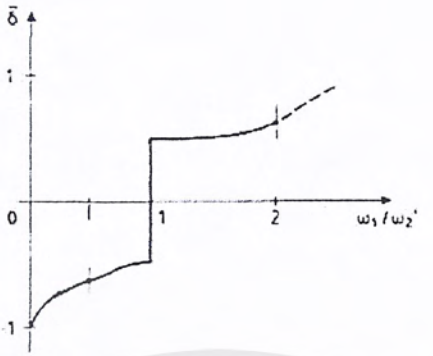
ถ้าจะเปรียบเทียบกันระหว่างคุณลักษณะของ PFD รูปที่ 2.3.11 กับคุณลักษณะของ J-K FlipFlop อาจจะยังไม่เห็นคุณสมบัติที่น่าสนใจได้อย่างชัดเจน แต่ PFD จะมีคุณสมบัติอยู่อย่างหนึ่งซึ่งจะพิจารณาได้ดังต่อไปนี้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สมมติให้ในภาวะเริ่มต้น DPLL ไม่อยู่ในสภาวะล็อคต่อไปสมมติว่า ความถี่อ้างอิง ω_1 สูงกว่าความถี่เอาท์พุท ω'_2 มากๆ ดังนั้น สัญญาณ U_1 จะมีขอบขาขึ้นต่อหนึ่งหน่วยเวลามากกว่าสัญญาณ U'_2

จากรูปที่ 2.3.9 จะเห็นว่าในสภาวะนี้ PFD จะสามารถท็อกเกิ้ลอยู่ระหว่างสถานะ 0 และ +1 เท่านั้นและไม่สามารถไปยังสถานะ -1 ได้ ถ้า ω_1 มีค่ามากกว่า ω'_2 ต่อไป PFD จะใช้เวลาโดยส่วนใหญ่อยู่ในสถานะ +1 (จำนวนครั้งของขอบขาขึ้นของ U_1 ต่อหนึ่งหน่วยเวลามีค่ามากกว่าของ U_2 มาก ๆ) อย่างไรก็ตาม เมื่อ ω_1 มีค่าน้อยกว่า ω'_2 PFD จะท็อกเกิ้ลอยู่ระหว่างสถานะ -1 และ 0 และเมื่อ ω_1 มีค่าน้อยกว่า ω'_2 มากๆ PFD จะใช้เวลาโดยส่วนใหญ่อยู่ในสถานะ -1 (จำนวนครั้งของขอบขาขึ้นของ U'_2 ต่อหนึ่งหน่วยเวลามีค่ามากกว่า U_1 มาก ๆ) ดังนั้นเราอาจกล่าวได้ว่าค่าเฉลี่ยของสัญญาณเอาท์พุท ของ U_d จะเปลี่ยนแปลงไปในทางเดียว (monotically) กับความต่างของความถี่ (frequency error) $\Delta\omega = \omega_1 - \omega'_2$ เมื่อ DPLL ไม่อยู่ในสภาวะล็อค ซึ่งคุณสมบัติดังกล่าวนี้เป็นที่มาของคำว่า เฟส – ความถี่ ดีเทคเตอร์ ดังนั้น จึงเป็นไปได้ที่จะคำนวณ ดิวตี้ไซเคิลของสัญญาณ U_d ที่เป็นฟังก์ชั่นกับ อัตราส่วนของความถี่ ω_1 / ω'_2 ซึ่งผลของการวิเคราะห์แสดงได้ดังรูปที่ 2.3.12 ในกรณีที่ $\omega_1 > \omega'_2$ ดิวตี้ไซเคิล δ นิยามได้เป็น อัตราส่วนเฉลี่ยของเวลาที่ PFD อยู่ในสถานะ +1 และในกรณีที่ $\omega_1 < \omega'_2$ ดิวตี้ไซเคิล δ นิยามได้เป็น ค่าลบของอัตราส่วนเฉลี่ยของเวลาที่ PFD อยู่ในสถานะ -1 และดังที่ได้คาดหวังไว้ ค่า δ จะมีค่าเข้าใกล้ –1 เมื่อ $\omega_1 << \omega'_2$ และเข้าใกล้ +1 เมื่อ $\omega_1 >> \omega'_2$ มาก ๆ นอกจากนี้ δ จะอยู่ใกล้ ๆ 0.5 เมื่อ ω_1 มากกว่า ω_2 แต่ความถี่ทั้งสองมีค่าใกล้เคียงกันมาก และ δ จะอยู่ใกล้ -0.5 เมื่อ ω_1 น้อยกว่า ω_2 แต่ความถี่ทั้งสองมีค่าใกล้เคียงกันมาก ซึ่งคุณสมบัตินี้ทำให้การหา pull – in range ทำได้ง่ายขึ้น และอยากจะขอย้ำว่าคุณสมบัติดังกล่าวในรูปที่ 2.3.10 ไม่สามารถนิยามได้สำหรับ XOR และ J-K FlipFlop เฟสดีเทคเตอร์ และจากคุณสมบัตินี้ของ PFD ที่สัญญาณเอาท์พุท U_d ขึ้นอยู่กับความต่างเฟสในสภาวะล็อคของ DPLL และขึ้นอยู่กับความต่างของความถี่ในสภาวะไม่ล็อค ทำให้ DPLL ที่ใช้ PFD สามารถล็อคได้ภายใต้เงื่อนไขใด ๆ ที่กำหนด โดยไม่ขึ้นอยู่กับชนิดของลูปฟิลเตอร์ที่ใช้ ด้วยเหตุผลนี้เอง จึงนิยมใช้ PFD ใน DPLL

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.3.12 พลอทของดิวตี้ไซเคิลเฉลี่ย ของสัญญาณเอาท์พุท U_d ของ PFD

2. ลูปฟิลเตอร์

โดยทั่วไปในการออกแบบ DPLL จะใช้วงจรกรองความถี่ต่ำอันดับหนึ่ง (first – order lowpass filter) เป็นลูปฟิลเตอร์ ซึ่งวงจรที่นิยมใช้โดยส่วนใหญ่แสดงดังรูปที่ 2.3.13 ในรูปที่ 2.3.13 (a) คือ วงจรกรองความถี่แบบ passive lag ซึ่งมีทรานสเฟอร์ฟังก์ชั่น F(s) เป็น

$$F(s) = \frac{1 + s\tau_2}{1 + s(\tau_1 + \tau_2)} \qquad (2.3.12)$$

เมื่อ $\tau_1 = R_1C$

$\tau_2 = R_2C$

ผลตอบสนองทางขนาด (amplitude response) ของวงจรกรองความถี่แบบ passive lag แสดงดังรูปที่ 2.3.14 (a) จาก สมการ(2.1) จะเห็นว่า F(s) ประกอบด้วยซีโร่ 1 ตัว ที่ τ_2 และ โพล 1 ตัว ที่ $(\tau_1 + \tau_2)$ และจากรูปที่ 2.3.14 (a) จะเห็นได้ว่า ซีโร่ของวงจรกรองความถี่ชนิดนี้มีผลอย่างมากต่อแดมปิ้งแฟคเตอร์(damping factor) ζ ของระบบ DPLL

รูปที่ 2.3.13 (b) แสดงวงจรกรองความถี่แบบ active lag ซึ่งมีทรานสเฟอร์ฟังก์ชั่นกำหนดโดย

$$F(s) = K_1 \frac{1 + s\tau_2}{1 + s(\tau_1 + \tau_2)} \qquad (2.3.13)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

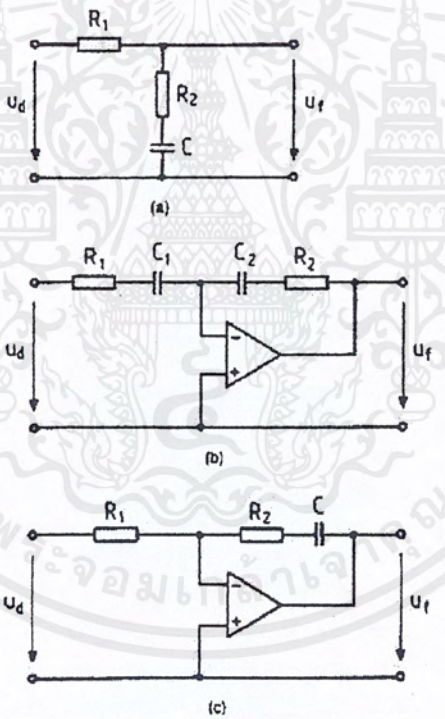
เมื่อ

$$K_a = -\frac{C_1}{C_2}$$

$$\tau_1 = R_1 C$$

$$\tau_2 = R_2 C$$

ซึ่งจะเห็นว่ามีรูปแบบเหมือนกับวงจรกรองความถี่แบบ passive lag แต่มีเทอมของ เกน K_a เพิ่มเข้ามา ซึ่ง K_a สามารถมีค่าได้มากกว่า 1 ผลตอบสนองทางขนาดของ วงจรกรองความถี่แบบ active lag แสดงได้ดังรูปที่ 2.3.14 (b)



รูปที่ 2.3.13 วงจรลูปฟิลเตอร์แบบต่าง ๆ

(a) Passive lag filter

(b) Active lag filter

(c) Active PI filter

และสุดท้ายในรูปที่ 2.3.13 (c) แสดงวงจรกรองความถี่ต่ำอีกแบบหนึ่ง ซึ่งเรียกกันโดยทั่วไปว่า พายฟิลเตอร์ (PI filter) คำว่า PI ได้มาจากทฤษฎีระบบควบคุม ซึ่งแทนด้วย ปฏิบัติการ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

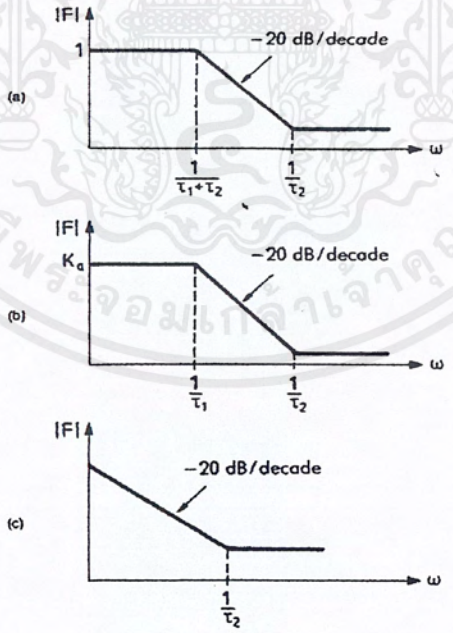
"proportional + integral" ทรานสเฟอร์ฟังก์ชั่นของวงจรกรองความถี่แบบพาย กำหนดโดย

$$F(s) = \frac{1 + s\tau_2}{s\tau_1}$$

เมื่อ $\tau_1 = R_1C$

$\tau_2 = R_2C$

วงจรกรองความถี่แบบพายมีโพลที่ $s = 0$ จึงมีพฤติกรรมเหมือนกับวงจรอินทิเกรเตอร์ ซึ่ง (ในทางทฤษฎี) วงจรกรองความถี่แบบพาย จะมีเกนเป็นอนันต์ที่ความถี่เท่ากับศูนย์ ผลตอบสนองทางขนาดของวงจรกรองความถี่แบบพายแสดงดังรูปที่ 2.3.14 (c)



รูปที่ 2.3.14 โบดไดอะแกรมของฟิลเตอร์ทั้ง 3 แบบ

(a) Passive lag filter

(b) Active lag filter

(c) Active PI filter

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3. วงจรผลิตความถี่ควบคุมด้วยแรงดัน

ดังได้กล่าวมาแล้วในสมการที่ (2.3.1) ความถี่เชิงมุมของ VCO กำหนดโดย

$$\omega_2(t) = \omega_0 + K_0 U_f(t)$$

เมื่อ K_0 คือ เกนของ VCO (rad $S^{-1}V^{-1}$) อย่างไรก็ตามแบบจำลอง VCO จะต้องให้เฟสของเอาท์พุท θ_2 ไม่ใช่ความถี่เอาท์พุท ω_2 โดยนิยาม เฟส θ_2 หาได้โดยการอินทิเกรท ตลอดช่วงการเปลี่ยนแปลงความถี่ $\Delta\omega_2$

$$\theta_2(t) = \int \Delta\omega_2 dt = K_0 \int U_f d_f$$

ลาปลาซทรานสฟอร์มของเฟสอาท์พุท θ_2 (t) คือ

$$\Theta(s) = \frac{K_0}{s} U_f(s)$$

ดังนั้น ทรานสเฟอร์ฟังก์ชั่นของ VCO ก็คือ

$$\frac{\Theta(s)}{U_f(s)} = \frac{K_0}{S}$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.4 เครื่องรับ FM และระบบ

เครื่องรับ FM มีหน้าที่รับสัญญาณ FM ที่ต้องการ แล้วแปลงสัญญาณ FM ที่รับมาได้ให้กลับมาเป็นสัญญาณข้อมูลดังเดิม ดังนั้นเครื่องรับ FM ต้องมีความสามารถในการรับสัญญาณในช่องหรือช่วงของความถี่ที่ต้องการ ขยายสัญญาณและดีมอดดูเลทเพื่อเอาสัญญาณข้อมูลเดิมกลับมาให้ได้

2.4.1 พารามิเตอร์ของเครื่องรับ

ก่อนที่จะกล่าวถึงรายละเอียดและส่วนประกอบต่าง ๆ ของเครื่องรับ FM จะขอกล่าวถึงพารามิเตอร์ของเครื่องรับ ซึ่งพารามิเตอร์เหล่านี้เป็นตัวบ่งบอกความสามารถของเครื่องรับในการที่จะมอดดูเลทสัญญาณกลับมา พารามิเตอร์ที่มีความสำคัญมากที่สุด คือ ซิเล็คทิฟวิตี้ (selectivity) และ เซ็นซิทิฟวิตี้ (sensitivity) ซึ่งมักจะใช้เป็นตัวเปรียบเทียบคุณภาพของเครื่องรับ

ซิเล็คทิฟวิตี้ (selecitvity)

ซิเล็คทิฟวิตี้ คือ พารามิเตอร์ของเครื่องรับซึ่งใช้วัดความสามารถของเครื่องรับในการรับสัญญาณที่อยู่ในช่วงความถี่ที่กำหนดเท่านั้น นั่นคือไม่รับสัญญาณที่อยู่นอกช่วงความถี่ที่กำหนดเข้ามา ยกตัวอย่างเช่น ในระบบวิทยุกระจายเสียง FM ซึ่งเครื่องส่งของแต่ละสถานีจะครอบคลุมแถบความถี่ (bandwidth) เท่ากับ 200 KHz ดังนั้นในการที่เครื่องรับ FM ต้องการที่จะเลือกรับฟังเสียงจากสถานีใดสถานีหนึ่งเท่านั้น แถบความถี่ของเครื่องรับจะต้องถูกจำกัดอยู่แค่ 200 KHz ถ้าแถบความถี่มากกว่า 200 KHz สัญญาณของเครื่องส่งที่อยู่ในแถบความถี่ที่ใกล้เคียงกัน อาจจะถูกรับเข้ามาแล้วถูกดีมอดดูเลทออกมาด้วยก็ได้ แต่ถ้าแถบความถี่น้อยกว่า 200 KHz สัญญาณข้อมูลบางส่วนอาจจะไม่สามารถผ่านเข้ามายังเครื่องรับได้

เซ็นซิทิฟวิตี้ (sensitivity)

เซ็นซิทิฟวิตี้ของเครื่องรับคือ ระดับของสัญญาณ RF (Radio Frequency) ที่ต่ำที่สุดที่สามารถตรวจจับได้ที่อินพุทของเครื่องรับ และสามารถที่จะดีมอดดูเลทกลับมาเป็นสัญญาณข้อมูลเดิม ที่ยังคงนำมาใช้เป็นประโยชน์ได้ (หมายถึงว่า ถ้าสัญญาณข้อมูลเดิมเป็นสัญญาณเสียง สัญญาณเสียงที่ดีมอดดูเลทออกมาแล้ว ต้องฟังแล้วสามารถรับรู้ได้ ด้วยประสาทสัมผัสในการฟังของมนุษย์ คุณภาพของเสียงอาจจะไม่จำเป็นต้องเหมือนเดิมทุกประการ หรือ ถ้าสัญญาณข้อมูลเดิมเป็นอ๊อปโค้ดของไมโครโปรเซสเซอร์ เมื่อดีมอดดูเลทออกมาแล้ว อ๊อปโค๊ดที่ได้จะต้องเหมือนเดิม เพื่อให้ไมโครโปรเซสเซอร์ประมวลผลได้ถูกต้อง) เซ็นซิทิฟวิตี้ของเครื่องรับมักจะแสดงอยู่ในรูปของระดับแรงดัน (ในหน่วยไมโครโวลท์) ของสัญญาณที่เข้ามาได้ อย่างเช่น เซ็นซิทิฟวิตี้ของเครื่องรับ FM เครื่องหนึ่งมีค่าเท่ากับ 10 μV เป็นต้น

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ไดนามิคเรนจ์ (Dynamic Range)

ไดนามิคเรนจ์ ของเครื่องรับ นิยามได้เป็นความแตกต่าง (ในรูปของ เดซิเบล) ระหว่างระดับสัญญาณอินพุทที่ต่ำที่สุดที่เครื่องรับสามารถรับได้และดีมอดดูเลทออกมาได้กับระดับของสัญญาณอินพุทที่ทำให้เครื่องรับเกิดความผิดเพี้ยน (distortion) ขึ้น หรืออาจกล่าวได้ง่าย ๆ ว่า ไดนามิคเรนจ์ คือ ย่านของกำลังงานที่อินพุทเครื่องรับที่ยังคงทำให้เครื่องรับมีประโยชน์ต่อการสื่อสาร ระดับสัญญาณอินพุทที่ต่ำที่สุดขึ้นอยู่กับสัญญาณรบกวนที่ภาคฟร้อนท์ – เอนท์, นอยส์ฟิก-เกอร์ (noise figure) และคุณภาพของสัญญาณที่ต้องการ ส่วนระดับของสัญญาณที่ทำให้เครื่องรับเกิดความผิดเพี้ยนขึ้นอยู่กับเกนสุทธิ(net gain)ของเครื่องรับ(เกนรวมของทุก ๆ สเตจของเครื่องรับ)

ไฟเดลลิตี้ (Fidelity)

ไฟเดลลิตี้ คือ ความสามารถของระบบสื่อสาร ในการที่จะทำให้เกิดสัญญาณข้อมูลที่เอาท์พุทของเครื่องรับที่เหมือนกับสัญญาณข้อมูลเดิมทุกประการ การเปลี่ยนแปลงของความถี่ , เฟส และ ขนาดที่เกิดขึ้นกับสัญญาณที่ดีมอดดูเลทออกมา ทำให้สัญญาณที่ดีมอดดูเลทออกมาแตกต่างจากสัญญาณข้อมูลเดิม ถือว่าเป็น ความผิดเพี้ยน (distortion) รูปแบบของความผิดเพี้ยนที่ทำให้ไฟเดลลิตี้ของระบบสื่อสารลดลง มี 3 อย่าง คือ

1. ความผิดเพี้ยนทางขนาด (Amplitude Distortion)
2. ความผิดเพี้ยนทางความถี่ (Frequency Distortion)
3. ความผิดเพี้ยนทางเฟส (Phase Distortion)

โดยทั่วไปความผิดเพี้ยนทางเฟส ไม่ค่อยมีผลนักต่อการสื่อสารสัญญาณเสียง เพราะหูของมนุษย์ไม่สามารถรับรู้ต่อการเปลี่ยนแปลงของเฟสได้ แต่ความผิดเพี้ยนทางเฟสจะมีผลต่อการส่งผ่านข้อมูล ตัวการหลักที่ทำให้เกิดความผิดเพี้ยนทางเฟสก็คือ วงจรกรองความถี่ ความถี่ของสัญญาณที่ความถี่คัทออฟหรือใกล้เคียงกับความถี่ คัทออฟของวงจรกรองความถี่จะทำให้เกิดการเลื่อนเฟสของสัญญาณ

ความผิดเพี้ยนทางขนาดเกิดขึ้นเมื่อลักษณะความสัมพันธ์ระหว่างขนาดและความถี่ของสัญญาณที่เอาท์พุทของเครื่องรับเปลี่ยนแปลงไปจากสัญญาณข้อมูลเดิม ความผิดเพี้ยนทางเฟสเป็นผลมาจากความไม่สม่ำเสมอของอัตราขยายของวงจรขยายและวงจรกรองความถี่

ความผิดเพี้ยนทางความถี่ เป็นผลมาจาก ฮาร์โมนิค (harmonic) และ อินเตอร์มอดดูเลชั่น ดิสทอร์ชั่น (intermodulation distortion) และเกิดขึ้น โดยการขยายที่ไม่เป็นเชิงเส้น (nonlinear amplification) ผลคูณอันดับสอง (second – order product)อันได้แก่ส่วนประกอบของความถี่ $2f_1$, $2f_2$, $f_1 \pm f_2$, ... มักจะมีปัญหาในระบบแถบความถี่กว้าง (broadband system) แต่สำหรับ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ระบบแถบความถี่แคบ (narrow band system) ส่วนประกอบของความถี่ดังกล่าวจะอยู่นอกแถบความถี่ของระบบ อย่างไรก็ตาม ผลคูณอันดับสาม (third – order product) มักจะอยู่ในแถบความถี่ของระบบและทำให้เกิดความผิดเพี้ยนที่เรียกว่า third – order intercept distortion ซึ่งเป็นความผิดเพี้ยนหลักของความผิดเพี้ยนทางความถี่ ส่วนประกอบทางความถี่ของผลคูณอันดับสามเกิดขึ้นเมื่อ ฮาร์โมนิคที่สองของสัญญาณหนึ่งบวกกับความถี่หลัก (fundamental frequency) ของอีกสัญญาณหนึ่ง อย่างเช่น $2f_1 \pm 2f_2$, $2f_2 \pm f_1$,... ความผิดเพี้ยนทางความถี่สามารถลดลงได้โดยการใช้อุปกรณ์ที่มีความสัมพันธ์ระหว่าง อินพุท – เอาท์พุท เป็นสมการกำลังสอง (square – law device) อย่างเช่น เฟ็ท (FET) ในฟร้อนท์ – เอ็นด์ ของเครื่องรับ ซึ่งอุปกรณ์ดังกล่าวนี้จะทำให้เกิด ฮาร์โมนิคที่สอง และ intermodulation เท่านั้น

อินเสิร์ทชั่น ลอส (Insertion Loss)

อินเสิร์ทชั่น ลอส เป็น พารามิเตอร์ที่เกี่ยวข้องกับความถี่ในแถบความถี่ผ่าน (passband) ของวงจรกรองความถี่ ซึ่งโดยทั่วไป นิยามได้เป็น อัตราส่วนของกำลังงานที่ส่งผ่านไปยังโหลดโดยผ่านวงจรกรองความถี่ต่อกำลังงานที่ส่งผ่านไปยังโหลดโดยไม่มีวงจรกรองความถี่ เพราะโดยทั่วไปแล้ววงจรกรองความถี่มักจะสร้างจากอุปกรณ์ที่ทำให้เกิดความสูญเสียในกำลังงาน อย่างเช่น ความต้านทาน , ตัวเก็บประจุที่มีคุณสมบัติไม่เป็นไปทางอุดมคติ อันที่จริงแล้ว อาจกล่าวได้ง่าย ๆ ว่า อินเสิร์ทชั่น ลอส คือ อัตราส่วนของกำลังงานที่เอาท์พุทต่อกำลังงานที่อินพุทของวงจรกรองความถี่ (พิจารณาเฉพาะในช่วงแถบความถี่ผ่านของวงจรกรองความถี่)

2.4.2 เครื่องรับ FM

ในสมัยก่อนจะใช้เครื่องรับแบบ TRF (tuned radio frequency) ในการรับสัญญาณซึ่งเครื่องรับแบบนี้จะประกอบไปด้วย วงจรขยายที่ต่อกันอยู่ในลักษณะแคสเขด (cascade) หลาย ๆ ภาค และต่อด้วยวงจรดีเทคเตอร์ โดยที่วงจรขยายแต่ละภาคจะถูกจูนด์ (tuned) ไปที่ความถี่เดียวกัน แต่เครื่องรับแบบนี้ไม่ค่อยนิยมใช้กันในปัจจุบัน เนื่องจากเครื่องรับแบบนี้มีข้อเสียหลายอย่างดังนี้

1. แถบความถี่ (bandwidth) ของเครื่องรับไม่คงที่ เปลี่ยนแปลงตามความถี่กลาง เมื่อมีการจูนด์ ในช่วงความถี่ที่กว้าง ของความถี่อินพุท
2. เสถียรภาพ (stability) ไม่ดี อันเนื่องมาจากประกอบไปด้วยวงจรขยายสัญญาณ RF หลาย ๆ ภาค ที่จูนด์ไปที่ความถี่กลางเดียวกัน วงจรขยายความถี่สูง หลายภาค ๆ มีโอกาสที่จะเกิดการออสซิลเลท (oscillation) ได้ง่าย

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

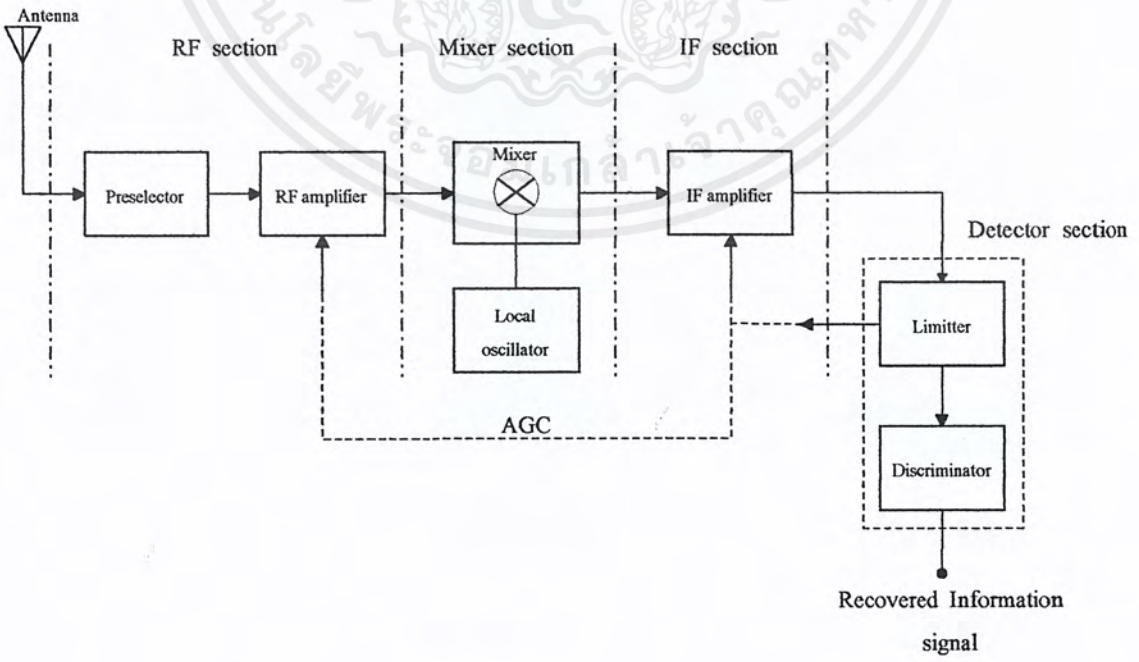
3. มีอัตราขยายที่ไม่คงที่ในช่วงความถี่กว้าง ๆ อันเนื่องมาจากความไม่สม่ำเสมอของอัตราส่วน L / C ของวงจรจูนด์ของวงจรขยายสัญญาณ RF

ต่อมาเครื่องรับแบบ ซุปเปอร์เฮ็ทเทอโรดายน์ (Superheterodyne Receiver) ได้ถูกพัฒนาขึ้นมาเพื่อปรับปรุงซีเล็คทิฟวิตี้ ของเครื่องรับ

เฮ็ทเทอโรดายน์ (Heterodyne) หมายถึง การผสม (mix) ความถี่สองความถี่ เข้าด้วยกันในอุปกรณ์ไม่เป็นเชิงเส้น (nonlinear device) หรือ การเลื่อน (translate) ความถี่หนึ่งไปเป็นความถี่อื่น โดยการผสมแบบไม่เป็นเชิงเส้น (nonlinear mixing) รูปที่ 2.4.1 แสดงบล็อคไดอะแกรมของเครื่องรับ FM แบบซุปเปอร์เฮ็ทเทอโรดายน์ ซึ่งประกอบไปด้วยภาคต่าง ๆ ดังต่อไปนี้

ภาค RF (RF section)

ภาค RF โดยทั่วไป จะประกอบไปด้วย preselector และ วงจรขยาย ซึ่งอาจจะรวมกันอยู่เป็นวงจรเดียวหรือแยกออกจากกันต่างหากก็ได้ preselector เป็นวงจรจูนด์ ซึ่งสามารถปรับความถี่กลางได้ นั่นคือ จูนด์ไปยังความถี่พาหะที่ต้องการได้ preselector จะต้องมีแถบความถี่ที่เหมาะสมเพื่อป้องกันความถี่ที่ไม่ต้องการที่เรียกว่า image frequency ไม่ให้เข้ามายังเครื่องรับ ส่วนวงจรขยายสัญญาณ RF ทำหน้าที่ขยายสัญญาณที่รับเข้ามาได้ เนื่องจากวงจรขยายสัญญาณ RF เป็นวงจรขยายภาคแรกที่ทำหน้าที่ขยายสัญญาณ ดังนั้น นอยส์ฟิกเกอร์ของระบบมักจะถูกกำหนดโดยวงจรขยายส่วนนี้ และวงจรขยายสัญญาณ RF ยังเป็นตัวกำหนดเซ็นซิทิฟวิตี้ของเครื่องรับอีกด้วย



รูปที่ 2.4.1 บล็อคไดอะแกรมของเครื่องรับ FM แบบซุปเปอร์เฮ็ทเทอร์โรดายน์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ในเครื่องรับ FM โดยส่วนใหญ่มักจะมีวงจรขยาย IF มากกว่า 1 ภาค และจากลักษณะเฉพาะตัวของเครื่องรับ FM ที่สัญญาณรบกวนมักจะไม่มีผลมากนัก ในบางครั้งจึงอาจจะไม่จำเป็นต้องมีวงจรขยายสัญญาณ RF ก็ได้ ขึ้นอยู่กับความต้องการในเซ็นซิทิฟวิตี้ของเครื่องรับ แต่ข้อดีอีกอย่างหนึ่งของการมีวงจรขยายสัญญาณ RF ในเครื่องรับก็คือ ป้องกันการย้อนกลับมาของสัญญาณความถี่จาก local oscillator ไปยังสายอากาศ และส่งคลื่นกระจายออกไป ทำให้เกิดคลื่นแทรกซ้อนได้

ภาคมิกเซอร์ (Mixer section)

ภาคนี้ประกอบด้วยส่วนของมิกเซอร์กับโลคัลออสซิลเลเตอร์ หน้าที่หลักของมิกเซอร์ คือ คูณความถี่พาหะที่รับเข้ามากับความถี่จากโลคัลออสซิลเลเตอร์ กระบวนการเฮ็ทเทอโรดายน์ จะเกิดขึ้นที่นี่ ผลที่ได้จะประกอบไปด้วยฮาร์โมนิคต่าง ๆ ของสัญญาณทั้งสองและ cross product จำนวนมากมาย แต่สิ่งที่เราต้องการคือ ความถี่ผลต่างระหว่างความถี่พาหะที่รับเข้ามากับความถี่จากโลคัลออสซิลเลเตอร์ ซึ่งก็คือความถี่ IF นั่นเอง ส่วนประกอบของความถี่จำนวนมากที่เกิดขึ้นมานั้นขึ้นอยู่กับชนิดของมิกเซอร์ที่นำมาใช้งาน ส่วนใหญ่สำหรับมิกเซอร์ที่เป็นวงจรรวม (integrated circuit) มักจะใช้มิกเซอร์แบบดับเบิ้ลบาลานซ์ (double balance) ซึ่งข้อดี ของมิกเซอร์แบบนี้คือ ป้องกันการไหลย้อนกลับของสัญญาณระหว่างทางด้านโลคัลออสซิลเลเตอร์กับ RF อิน-พุท และระหว่างอินพุททั้งสองนี้กับทางด้าน IF และข้อดีอีกอย่างหนึ่งคือ ส่วนประกอบของความถี่ที่ไม่ใช่ผลรวมและผลต่างของความถี่พาหะกับความถี่จากโลคัลออสซิลเลเตอร์จะถูกกำจัดออกไปได้มาก ทำให้ในส่วนของวงจรกรองความถี่ IF สามารถกรองเอาเฉพาะความถี่ผลต่างซึ่งก็คือ ความถี่ IF ออกมาได้โดยง่ายดาย

พารามิเตอร์ที่สำคัญของมิกเซอร์คือ คอนเวอร์ชั่นเกน(conversion gain) อินพุทอิมพีแดนซ์ เอาท์พุทอิมพีแดนซ์ และ third order intercept คอนเวอร์ชั่นเกนสูง ๆ จะมีประโยชน์ในการเลือกวงจรกรองความถี่ IF ได้ง่าย เนื่องจากถึงแม้จะมีการสูญเสีย (loss) ไปบ้างในวงจรกรองความถี่ แต่ขนาดของสัญญาณก็ยังเพียงพอที่จะไปขับลิมิตเตอร์(limitter)ได้ อินพุทอิมพีแดนซ์ของมิกเซอร์จำเป็นต้องแมทซ์ (match) กับวงจรกรองความถี่ที่กรองความถี่ผ่านเข้ามา (หรือกับวงจรขยาย RF ในกรณีที่มีวงจรขยาย RF) third – order intercept ของมิกเซอร์เป็นตัวบ่งบอกว่า ความผิดเพี้ยนที่เกิดขึ้นอันเนื่องมาจากส่วนประกอบของความถี่ที่ไม่ต้องการถูกกำจัดไปมากเพียงใด third – order intercept point มักจะถูกระบุในรูปของ dBm ยิ่งมีค่าสูงก็ยิ่งกำจัดความผิดเพี้ยนที่เกิดขึ้นได้ดี

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ภาค IF (IF section)

ภาค IF ประกอบด้วยอนุกรมของวงจรขยายสัญญาณ IF และวงจรกรองความถี่ผ่าน ซึ่งมักจะเรียกว่า IF strip หน้าที่หลักของวงจรขยายสัญญาณ IF คือ ขยายสัญญาณที่ได้มาจากเอาท์พุทของมิกเซอร์ เพื่อให้ระดับของสัญญาณที่ได้มีขนาดเพียงพอที่จะไปขับลิมิตเตอร์ วงจรกรองความถี่ผ่านจะกรองเอาเฉพาะความถี่ผลต่างคือ ความถี่ IF ออกมา ความถี่กลางและแถบความถี่ของภาค IF จะคงที่ ไม่ว่าจะเลือกรับสัญญาณ RF ช่องใดเข้ามา ความถี่ IF จะต่ำกว่าความถี่ RF เสมอ ทำให้การสร้างวงจรขยายสัญญาณ IF ที่มีอัตราขยายสูง , เสถียรภาพดี ทำได้ง่ายขึ้น และผลก็คือ วงจรมีโอกาสที่จะออสซิลเลทน้อยด้วย ดังนั้นจึงเป็นสิ่งปกติ ถ้าเครื่องรับจะมีวงจรขยายสัญญาณ IF หลาย ๆ ภาค และมีวงจรขยายสัญญาณ RF เพียงภาคเดียว หรือ อาจจะไม่มีวงจรขยายสัญญาณ RF เลย

พารามิเตอร์ที่สำคัญที่เกี่ยวข้องกับวงจรขยายสัญญาณ IF คือ อินพุทอิมพีแดนซ์ , เอาท์พุทอิมพีแดนซ์ และ อัตราขยาย (gain) อินพุทอิมพีแดนซ์และเอาท์พุทอิมพีแดนซ์ของวงจรขยายสัญญาณ IF จะต้องแมทช์ (match) กับ อิมพีแดนซ์ของวงจรกรองความถี่ เพื่อที่จะให้ความสูญเสีย (loss) อันเนื่องมาจากความไม่แมทช์ (mismatch) มีน้อยที่สุด ในอดีตที่ผ่านมา ความถี่ IF ที่นิยมใช้กันมากที่สุด คือ 10.7 MHz และ 455 KHz และในปัจจุบันนี้มักจะใช้ เซรามิกฟิลเตอร์ (ceramic filter) หรือ คริสตัลฟิลเตอร์ (crystal filter) เป็นวงจรกรองความถี่ผ่าน

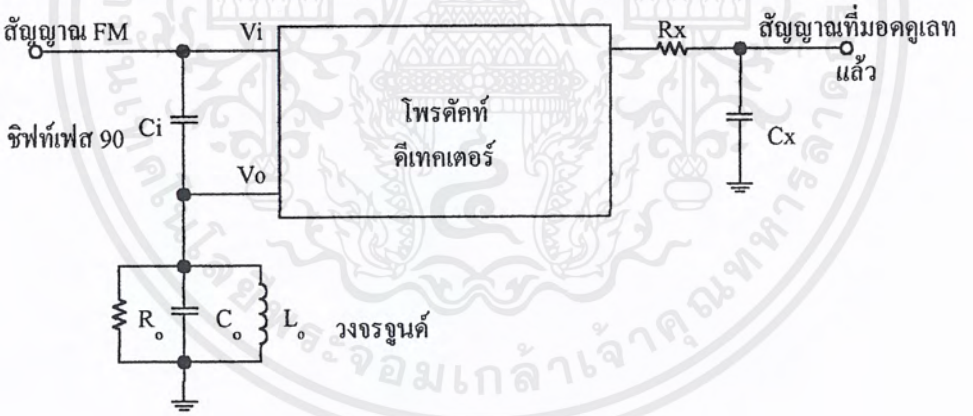
ภาคดีเทคเตอร์ (detector section)

ภาคดีเทคเตอร์ ทำหน้าที่แปลงสัญญาณ IF กลับมาเป็นสัญญาณข้อมูลดังเดิม ภาคนี้ประกอบด้วย วงจร ลิมิตเตอร์ (limitter) และ วงจร ดีเทคเตอร์ (detector) วงจรลิมิตเตอร์จะรับสัญญาณ มาจาก ภาค IF และกำจัดการเปลี่ยนแปลงทางขนาดใด ๆ ออกไป การที่จะต้องกำจัดการเปลี่ยนแปลงทางขนาดใด ๆ ออกไป ก็เนื่องจากว่า เมื่อมีการเปลี่ยนแปลงทางขนาดเกิดขึ้น นอกจากวงจรดีเทคเตอร์จะตอบสนองต่อการเปลี่ยนแปลงทางความถี่แล้ว ยังต้องตอบสนองต่อการเปลี่ยนแปลงทางขนาดอีกด้วย ทำให้เกิดความผิดเพี้ยนขึ้นต่อสัญญาณข้อมูลที่ดีมอดดูเลทออกมา ส่วนวงจรดีเทคเตอร์จะทำหน้าที่ ดีมอดดูเลท สัญญาณข้อมูลออกมา ซึ่งวงจรดีเทคเตอร์ หรือ ดิสคริมมิเนเตอร์ (discriminator) มีหลายชนิด อย่างเช่น สโลปดีเทคเตอร์ (slope detector) ฟอสเตอร์ซีเลย์ ดิสคริมมิเนเตอร์ (Foster – Seeley discriminator) เรโฌดีเทคเตอร์ (ratio detector) , PLL ดีมอดดูเลเตอร์ (PLL demodulator) และ ควอดราเทอร์ดีเทคเตอร์ (quadrature detector) โดยที่ สโลปดีเทคเตอร์ ฟอสเตอร์ – ซีเลย์ ดิสคริมมิเนเตอร์ และ เรโฌดีเทคเตอร์ เป็นดิสคริมมิเนเตอร์ แบบ จูนด์ความถี่ วงจรดิสคริมมิเนเตอร์แบบจูนด์ความถี่จะมีความเป็นเชิงเส้นไม่ค่อยดีนัก ยากต่อการจูนด์และไม่สามารถมีคุณสมบัติ limiting อยู่ในตัว ทำให้แรงดันเอาท์พุท

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

นอกจากจะเปลี่ยนแปลงตามความถี่อย่างเดียว ทำให้จำเป็นต้องมีวงจร limiter เพิ่มเข้ามาอีกวงจร ซึ่งในที่นี้เราจะขอกล่าวถึง ควอดราเทอร์ ดีมอดดูเลเตอร์ เท่านั้น

FM ดีมอดดูเลเตอร์แบบควอดราเทอร์ ดีมอดดูเลเตอร์แบบควอดราเทอร์ จะสกัดสัญญาณข้อมูลเดิมจากสัญญาณ IF รวม(composite IF) โดยการคูณสัญญาณที่ควอดราเทอร์กัน (ต่างเฟสกัน 90 องศา) ซึ่งควอดราเทอร์ดีเทคเตอร์นี้จะใช้ ตัวชิฟท์เฟส 90 องศา (90 องศา phase shifter) วงจรจูนด์และ โฟรดัคท์ดีเทคเตอร์ (product detector) ในการดีมอดดูเลทสัญญาณ FM โดยตัวชิฟท์เฟส 90 องศา จะทำให้เกิดสัญญาณที่ต่างเฟสกับสัญญาณ IF ที่เข้ามา 90 องศา วงจรจูนด์จะเปลี่ยนการเปลี่ยนแปลงทางความถี่เป็นการเปลี่ยนแปลงทางเฟสและโพรดัคท์ดีเทคเตอร์จะคูณสัญญาณ IF ที่เข้ามากับสัญญาณ IF ที่ถูกชิฟท์เฟสแล้ว



รูปที่ 2.4.2 FM ดีมอดดูเลเตอร์แบบควอดราเทอร์

รูปที่ 2.4.2 แสดง schematic diagram ของ ควอดราเทอร์ ดีเทคเตอร์ แบบง่าย ๆ โดย C_i เป็นคาปาซิเตอร์ที่มีรีแอคแตนซ์ สูง ซึ่งเมื่อต่ออนุกรมกับวงจรแทงค์ (R_o , L_o, C_o) จะทำให้เฟสของสัญญาณ IF ชิฟท์ไป 90 องศาที่ความถี่กลางของสัญญาณ IF วงจรแทงค์จะถูกจูนด์ไปที่ความถี่กลางของสัญญาณ IF และทำให้เกิดเฟสชิฟท์เพิ่มเข้ามาซึ่งเป็นสัดส่วนกับการเบี่ยงเบนทางความถี่สัญญาณ IF ที่อินพุท (V_i) จะถูกคูณด้วยสัญญาณควอดราเทอร์ (V_o) ที่โพรดัคท์ดีเทคเตอร์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

และทำให้เกิดสัญญาณเอาท์พุทที่เป็นสัดส่วนกับการเบี่ยงเบนทางความถี่ ที่ความถี่เรโซแนนท์ อิมพีแดนซ์ของวงจรแทงค์จะมีความต้านทานอย่างเดียวแต่เมื่อมีการเปลี่ยนแปลงทางความถี่ของสัญญาณ IF จะทำให้เกิดการชิฟท์เฟสเพิ่มขึ้นหรือลดลง ดังนั้นแรงดันเอาท์พุทของโพรดัคท์ดีเทคเตอร์จะเป็นสัดส่วนกับความต่างเฟสระหว่างสองสัญญาณอินพุทหรือเขียนได้เป็น

$$V_{out} = V_i V_o = [V_i \sin(\omega_i t + \theta)]\ [V_o \cos(\omega_o t)]$$

และจาก

$$\sin x \cos y = \frac{1}{2}[\sin(x+y) + \sin(x-y)]$$

จะได้

$$V_{out} = \frac{V_i V_o}{2}[\sin(2\omega_i t+\theta) + \sin(\theta)]$$

โดยกรองฮาร์โมนิคที่สอง ($2\omega_i$) ออกไปจะเหลือเพียง

$$V_{out} = \frac{V_i V_o}{2}\sin(\theta)$$

เมื่อ

$\theta = \tan^{-1}\rho Q$

$\rho = 2\pi f/f_o$

Q = quality factor ของวงจรแทงค์

เมื่อได้สัญญาณข้อมูลคืนมาแล้ว สัญญาณดังกล่าวก็จะถูกนำไปประมวลผลให้เกิดประโยชน์ตามความต้องการ อย่างเช่น ถ้าเป็นการสื่อสารสัญญาณเสียง เมื่อได้เอาท์พุทสัญญาณเสียงมาแล้ว ที่เอาท์พุทของดีเทคเตอร์ก็จะมีวงจรขยายสัญญาณเสียง (audio frequency amplifier) และลำโพงเพื่อทำหน้าที่ขับสัญญาณเสียงออกมา เพื่อให้สามารถรับฟังได้ หรือถ้าสัญญาณเป็นข้อมูลดิจิตอลที่เป็นรหัสควบคุม ที่เอาท์พุทของดีเทคเตอร์อาจมีไมโครโปรเซสเซอร์ มารอรับสัญญาณ เพื่อนำข้อมูลดังกล่าวไป ประมวลผลในการตัดสินใจการทำงานต่อไป

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.5 รายละเอียดอื่นๆ ที่เกี่ยวข้อง

ในหัวข้อนี้จะกล่าวถึงรายละเอียดอื่น ๆ ที่เกี่ยวข้องกับโครงงานชิ้นนี้ โดยจะกล่าวแต่ละหัวข้อโดยย่อดังนี้

2.5.1 Visual Basic

Visual Basic เป็นภาษาคอมพิวเตอร์ (Programming Language) ที่พัฒนาโดยบริษัทไมโครซอฟท์ ซึ่งเป็นบริษัทยักษ์ใหญ่ที่สร้างระบบปฏิบัติการ Windows 95/98 และ Windows NT ที่เราใช้กันอยู่ในปัจจุบัน โดยตัวภาษาเองมีรากฐานมาจากภาษา Basic ซึ่งย่อมาจาก Beginner's All Purpose Symbolic Instruction ถ้าแปลให้ได้ความหมายก็คือ "ชุดคำสั่งหรือภาษาคอมพิวเตอร์สำหรับผู้เริ่มต้น" ภาษา Basic มีจุดเด่นคือผู้ที่ไม่มีพื้นฐานเรื่องการเขียนโปรแกรมเลยก็สามารถเรียนรู้และนำไปใช้งานได้อย่างง่ายดายและรวดเร็ว เมื่อเทียบกับการเรียนภาษาคอมพิวเตอร์อื่น ๆ เช่น ภาษาซี (C) ปาสคาล (Pascal) ฟอร์แทรน (Fortran) หรือ แอสเซมบลี (Assembler)

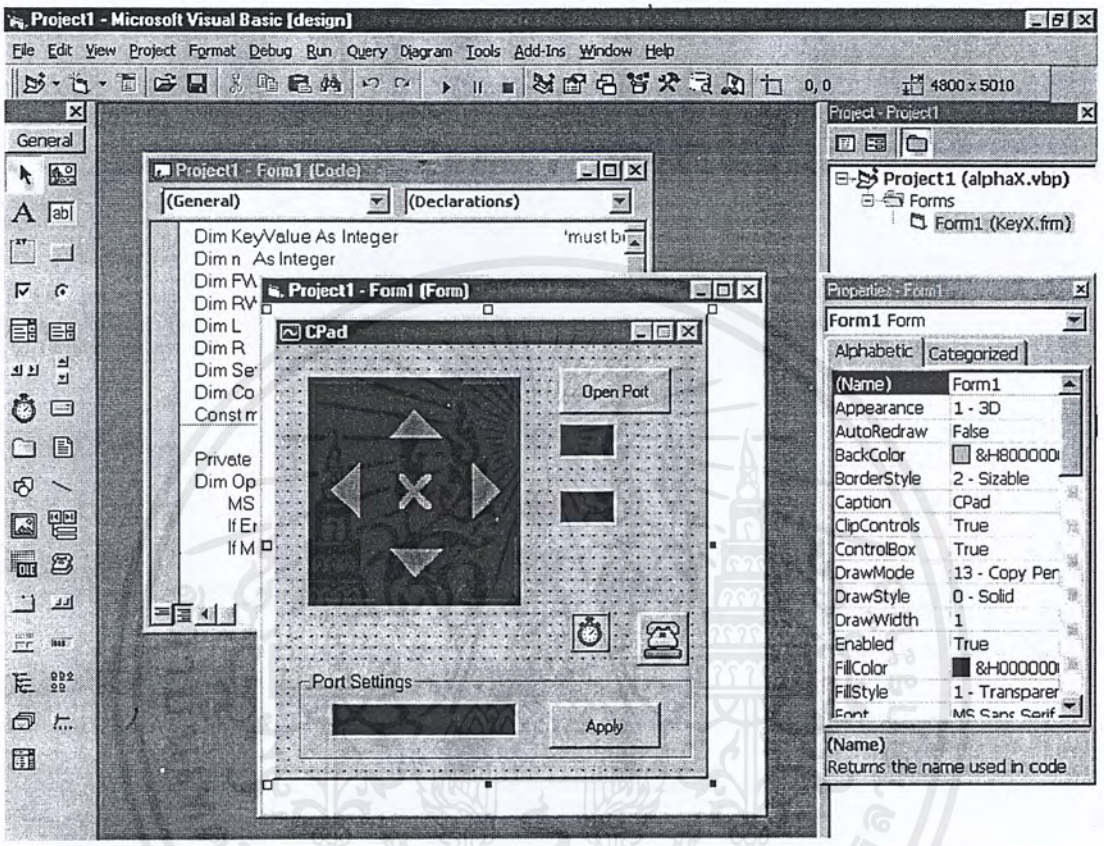
ไมโครซอฟท์ได้พัฒนาโปรแกรมภาษา Basic มานานนับสิบปี ตั้งแต่ภาษา MBASIC (Microsoft Basic), BASICA (Basic Advanced), GWBASIC และ QuickBasic ซึ่งได้ติดตั้งมาพร้อมกับระบบปฏิบัติการ MS DOS ในที่สุดโดยใช้ชื่อว่า QBASIC โดยแต่ละเวอร์ชันที่ออกมานั้นได้มีการพัฒนาและเพิ่มคำสั่งต่าง ๆ เข้าไปโดยตลอด ในอดีตโปรแกรมภาษาเหล่านี้ล้วนทำงานใน Text Mode คือเป็นตัวอักษรล้วน ๆ ไม่มีภาพกราฟิกสวยงามแบบระบบ Windows อย่างในปัจจุบัน จนกระทั่งเมื่อระบบปฏิบัติการ Windows ได้รับความนิยมอย่างสูงและเข้ามาแทนที่ DOS ไมโครซอฟท์ก็เล็งเห็นว่าโปรแกรมภาษาใน Text Mode นั้นคงถึงกาลที่หมดสมัย จึงได้พัฒนาปรับปรุงโปรแกรมภาษา Basic ของตนออกมาใหม่ เพื่อสนับสนุนการทำงานในระบบ Windows ทำให้ Visual Basic ถือกำเนิดขึ้นมาตั้งแต่บัดนั้น

Visual Basic เวอร์ชันแรกคือเวอร์ชัน 1.0 ออกสู่สายตาประชาชนตั้งแต่ปี 1991 โดยในช่วงแรกนั้นยังไม่มีความสามารถต่างจากภาษา QBASIC มากนัก แต่จะเน้นเรื่องเครื่องมือที่ช่วยในการเขียนโปรแกรมบนวินโดว์ ซึ่งปรากฏว่า Visual Basic ได้รับความนิยมและประสบความสำเร็จเป็นอย่างดี ไมโครซอฟท์จึงพัฒนา Visual Basic ให้ดีขึ้นเรื่อย ๆ ทั้งในด้านประสิทธิภาพความสามารถ และ เครื่องมือต่าง ๆ เช่น เครื่องมือตรวจสอบแก้ไขโปรแกรม (debugger) สภาพแวดล้อมของการพัฒนาโปรแกรม การเขียนโปรแกรมแบบหลายวินโดว์ย่อย (MDI) และอื่น ๆ อีกมากมาย

สำหรับ Visual Basic ในปัจจุบันคือเวอร์ชัน 6.0 ซึ่งออกมาในปี 1998 ได้เพิ่มความสามารถในการเขียนโปรแกรมติดต่อกับเครือข่ายอินเตอร์เน็ต การเชื่อมต่อระบบฐานข้อมูล รวมทั้งปรับปรุงเครื่องมือและการเขียนโปรแกรมเชิงวัตถุ (Object Oriented Programming) ให้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สมบูรณ์ยิ่งขึ้น พร้อมทั้งเพิ่มเครื่องมือต่าง ๆ อีกมากมาย ที่ทำให้ใช้ง่ายและสะดวกขึ้นกว่าเดิม รูปที่ 2.5.1 แสดงอินเทอร์เฟซของ Microsoft Visual Basic Version 6.0



รูปที่ 2.5.1 อินเทอร์เฟซของ Microsoft Visual Basic Version 6.0

ทำไมจึงต้องศึกษาการเขียนโปรแกรมด้วย Visual Basic

สาเหตุที่ Visual Basic เป็นภาษาที่เหมาะสำหรับการเรียนรู้ในการเขียนโปรแกรมนั้น เนื่องจาก Visual Basic มีข้อดีหลายประการคือ

1. ง่ายต่อการเรียนรู้เหมาะสำหรับผู้เริ่มต้น ทั้งในเรื่องไวยากรณ์ของภาษาเองและเครื่องมือการใช้งาน ดังชื่อที่บอกอยู่แล้วว่า basic ซึ่งเหมาะสำหรับผู้เริ่มต้น

2. ความนิยมของตัวภาษา โดยอาจกล่าวได้ว่าภาษา Basic นั้นเป็นภาษาที่มีคนเรียนรู้และใช้งานมากที่สุดในประวัติศาสตร์ของคอมพิวเตอร์

3. การพัฒนาอย่างต่อเนื่อง การปรับปรุงประสิทธิภาพในด้านของตัวภาษาและความเร็วของการประมวลผล และในเรื่องของความสามารถใหม่ ๆ เช่น การติดต่อกับระบบฐานข้อมูล การเชื่อมต่อกับเครือข่ายอินเตอร์เน็ต

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4. ผู้พัฒนาสำคัญของ Visual Basic คือบริษัทไมโครซอฟท์ซึ่งจัดว่าเป็นยักษ์ใหญ่ของวงการคอมพิวเตอร์ในปัจจุบัน เราจึงสามารถมั่นใจได้ว่า Visual Basic จะยังมีการพัฒนา ปรับปรุงและคงอยู่ไปอีกนาน

นอกจาก Visual Basic มาตรฐานแล้วยังมีภาษาที่เป็นแบบเดียวกันอีก 2 แบบ คือ

1. Visual Basic for Application Edition (VBA) ที่มาพร้อมกับชุด Microsoft Office และผลิตภัณฑ์อื่น ๆ อีกมากมายบน Windows เพื่อเพิ่มความสามารถในการเขียนโปรแกรมให้กับแอพพลิเคชันเหล่านั้น

2. VB Script Edition ที่มีการเขียนโปรแกรมเหมือนกับภาษา Visual Basic แทบทุกประการแต่มีการเขียนเป็น Script หรือเป็นชุดคำสั่ง (คล้ายกับ Batch File ใน DOS) ในปัจจุบัน VB Script มีการใช้กันอย่างแพร่หลายในการเขียนสร้างโฮมเพจในอินเตอร์เน็ต หรือในโปรแกรมประยุกต์ที่มีการติดต่อกับระบบฐานข้อมูลและระบบเครือข่าย

ภาษา VBA นี้จะทำให้ผู้ใช้งานสามารถใช้ภาษา Visual Basic เพื่อปรับปรุงการทำงานของโปรแกรมให้ตรงความต้องการและมีประสิทธิภาพมากยิ่งขึ้น ตัวอย่างเช่น โปรแกรม Word Excel หรือ PowerPoint ได้เตรียมภาษา VBA มาให้ผู้ใช้ ซึ่งการเขียนโปรแกรมแทบจะเหมือนกับภาษา Visual Basic ทุกประการ ทำให้ผู้ใช้สามารถปรับแต่งการทำงานของชีทคำนวณ Excel ได้หรือแม้กระทั่งเชื่อต่อการทำงานระหว่างโปรแกรม เช่น เชื่อมข้อมูลระหว่าง Excel PowerPoint และ Word ให้ทำงานร่วมกันอย่างอัตโนมัติ ทั้ง VBA และ VB Script นั้นจึงเปรียบเสมือนผลพลอยได้ของผู้ศึกษา Visual Basic เนื่องจากมีไวยากรณ์ของภาษาที่เหมือนกัน ดังนั้นการเรียนรู้ Visual Basic จึงเสมือนยิงปืนนัดเดียวได้นกสามตัวเลยทีเดียว

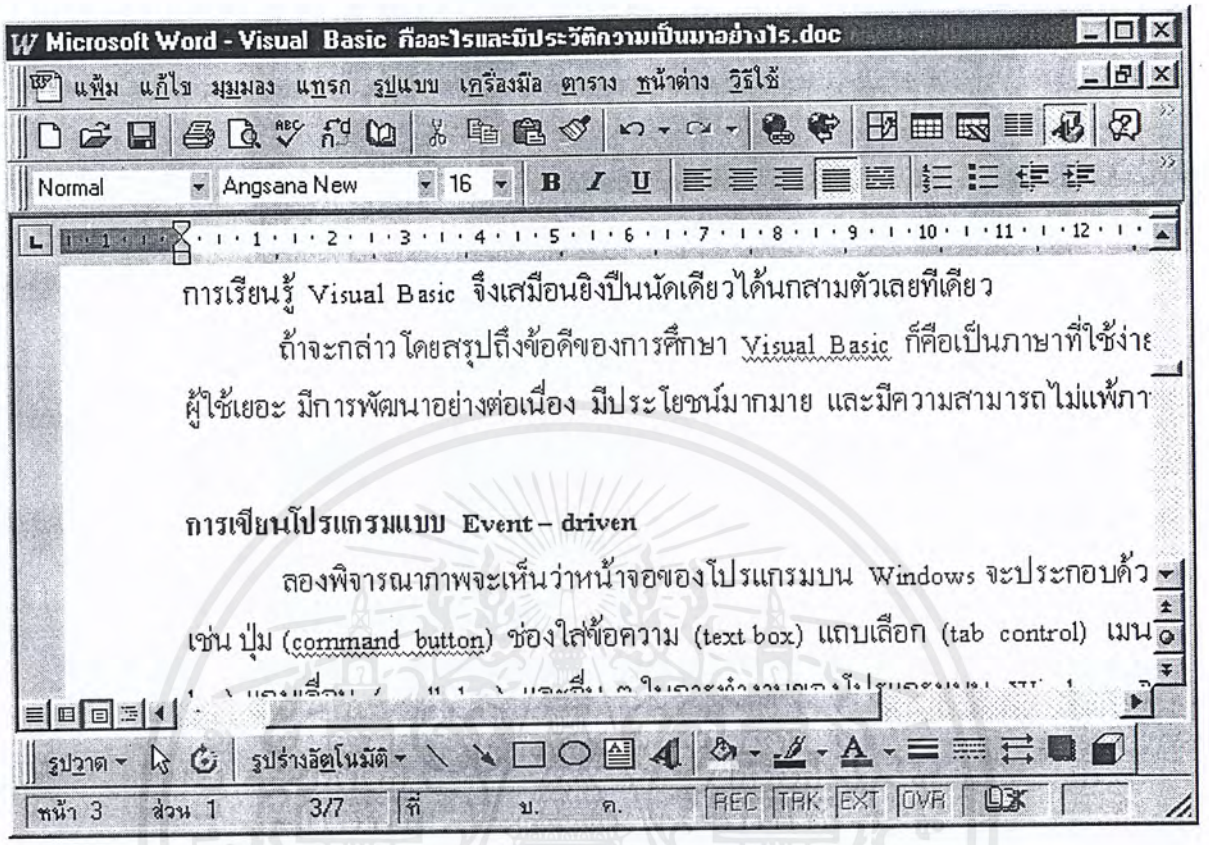
ถ้าจะกล่าวโดยสรุปถึงข้อดีของการศึกษา Visual Basic ก็คือเป็นภาษาที่ใช้ง่าย สะดวก มีผู้ใช้เยอะ มีการพัฒนาอย่างต่อเนื่อง มีประโยชน์มากมาย และมีความสามารถไม่แพ้ภาษาใด ๆ

การเขียนโปรแกรมแบบ Event – driven

ลองพิจารณารูปที่ 2.5.2 จะเห็นว่าหน้าจอของโปรแกรมบน Windows จะประกอบด้วยส่วนต่าง ๆ เช่น ปุ่ม (command button) ช่องใส่ข้อความ (text box) แถบเลือก (tab control) เมนูบาร์ (menu bar) แถบเลื่อน (scroll bar) และอื่น ๆ ในการทำงานของโปรแกรมบน Windows จะเห็นได้ว่าผู้ใช้ติดต่อกับโปรแกรมโดยการกระทำกับส่วนประกอบเหล่านั้นนั่นเอง เช่น การกดปุ่ม เลื่อนเมาส์ หรือคีย์ข้อมูลลงในช่องใส่ข้อความ เป็นต้น และโปรแกรมก็จะตอบสนองต่อเหตุการณ์ต่าง ๆ ที่กระทำลงไป

จะสังเกตได้ว่าการทำงานของระบบ Windows ที่ประกอบด้วยการตอบสนองต่อการควบคุมเหตุการณ์ต่าง ๆ มากมาย ที่เกิดจากการกระทำของผู้ใช้ จึงทำให้เกิดแนวคิดของการเขียน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

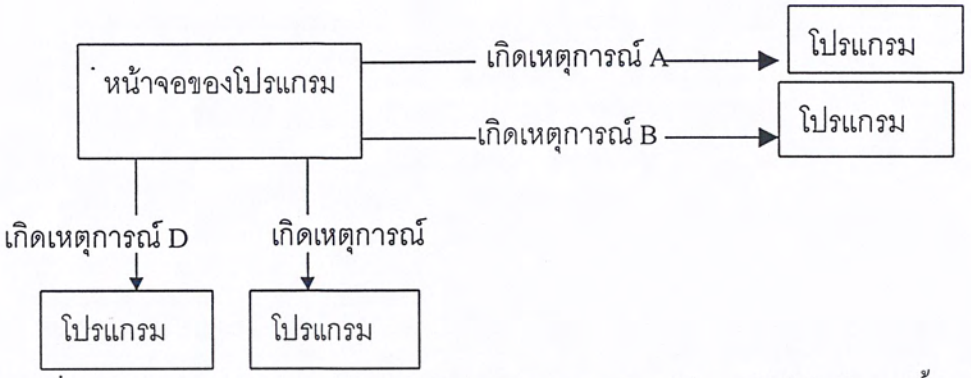


รูปที่ 2.5.2 ใน Windows ตัวโปรแกรมจะประกอบด้วยส่วนต่าง ๆ มากมาย

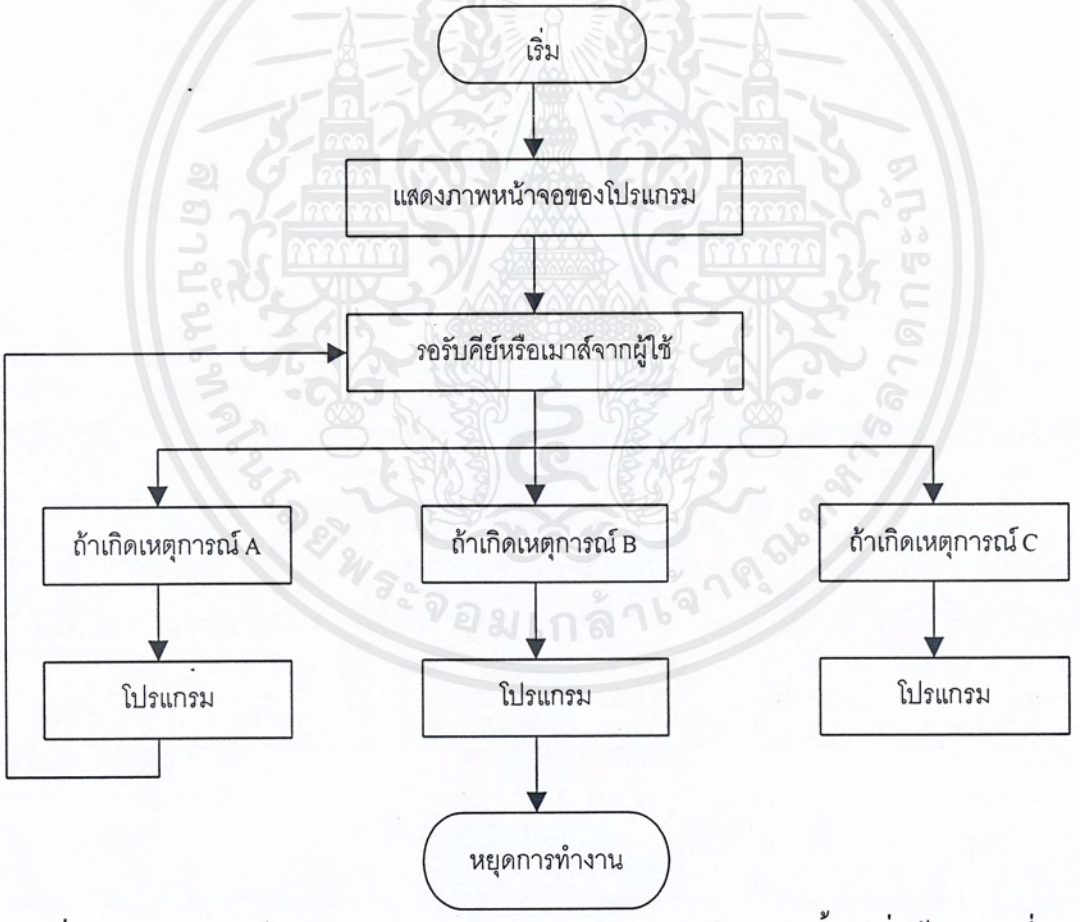
โปรแกรมแบบ Event – driven ขึ้น นั่นคือ การเขียนโปรแกรมผูกไว้กับเหตุการณ์ที่สามารถเกิดขึ้นกับออบเจ็คหรือส่วนประกอบต่าง ๆ ปรากฏอยู่บนหน้าจอให้ผู้ใช้เห็นและทำงานด้วย

ถ้าลองเปรียบเทียบกับการเขียนโปรแกรมแบบเดิม หรือที่เราเรียกว่า Procedural programming จะเห็นว่าในโปรแกรมแบบเดิมนั้นจะมีจุดเริ่มต้นและทางเดินของโปรแกรมแน่นอนตายตัวตามที่โปรแกรมเมอร์กำหนด โดยคนเขียนโปรแกรมต้องเขียนโค้ดเพื่อตรวจสอบเองว่าผู้ใช้กดคีย์อะไร ใช้เมาส์คลิกที่ส่วนไหนและบอกให้โปรแกรมทำงานตามต้องการ ซึ่งจะต่างจากการเขียนโปรแกรมแบบ Event – driven ที่ในตัวภาษาจะมีการกำหนดแบ่งแยกเหตุการณ์ต่าง ๆ ไว้อย่างชัดเจน และคอยตรวจสอบเหตุการณ์เหล่านั่น ทำให้ผู้เขียนโปรแกรมสามารถควบคุมการทำงาน โดยการสร้างโปรแกรมขึ้นมารองรับเหตุการณ์ได้อย่างง่ายดาย จะเห็นได้ว่า โปรแกรมแบบ Event – driven นี้ทำให้การเขียนโปรแกรมบน Windows ทำได้อย่างง่ายและสะดวกกว่าแบบ Procedural programming มาก

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.5.3 โฟล์วชาร์ทแสดง Event – driven Programming มีทางเดินไม่แน่นอนขึ้นอยู่กับเหตการณ์ที่เกิดขึ้น



รูปที่ 2.5.4 โฟล์วชาร์ทแสดง Procedural Programming มีทางเดินตั้งแต่เริ่มต้นจนจบที่ชัดเจน โปรแกรมเมอร์ ต้องตรวจสอบเหตุการณ์ต่าง ๆ เอง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ขั้นตอนการออกแบบและเขียนโปรแกรมคอมพิวเตอร์โดยทั่วไป

บางคนอาจคิดว่าการวางแผนงานเป็นขั้นตอนนั้นไม่จำเป็นสำหรับงานโปรแกรม แน่นอนขั้นตอนเหล่านี้อาจไม่จำเป็นถ้าเราสร้างโปรแกรมเล็ก ๆ ของเราเองและไม่มีข้อจำกัดของเวลา แต่ในโลกความเป็นจริงแล้ว เวลาคือส่วนสำคัญอย่างมากของโครงการใด ๆ เนื่องจากเวลาเปรียบเสมือนทุนที่เราต้องเสียไป การแบ่งการทำงานอย่างเป็นขั้นตอนและเป็นระบบนี้จะช่วยให้เราทราบความต้องการอย่างแท้จริงจากผู้ใช้งานโปรแกรม การสร้าง Program specification ซึ่งเป็นหน้าตาและหน้าที่การทำงานอย่างละเอียดของโปรแกรม จะช่วยให้เรามีเป้าหมายเป็นตัวตนชัดเจน ทำให้ทั้งผู้เขียนโปรแกรมและผู้ใช้โปรแกรมสามารถเห็นภาพของโปรแกรมได้ตรงกันตั้งแต่เริ่มต้น

นอกจากนี้การที่เราแบ่งงานแยกออกเป็นขั้นตอนย่อย ๆ จะช่วยให้ทราบว่าขณะนี้เรากำลังอยู่ ณ จุดใดของเป้าหมาย ทำให้ทราบว่าเราจะไปถึงปลายทางเมื่อใด ทันเวลาและทันความต้องการของผู้ใช้หรือไม่ ซึ่งถ้าเราไม่มีขั้นตอนหรือเป้าที่ชัดเจน ก็เปรียบเสมือนเรือไร้เข็มทิศที่ไม่ทราบเลยว่าขณะนี้อยู่ที่จุดใด กำลังจะไปทางไหน และเมื่อไรจะสิ้นสุดโครงการหรือโปรแกรมของเรา โดยทั่วไปสามารถแบ่งการพัฒนาและเขียนโปรแกรมเป็นขั้นตอนหลัก ๆ ได้ดังนี้

ขั้นตอนที่ 1 ศึกษาความต้องการของผู้ใช้ (user requirement) และกำหนดวัตถุประสงค์ของโปรแกรม (objective)

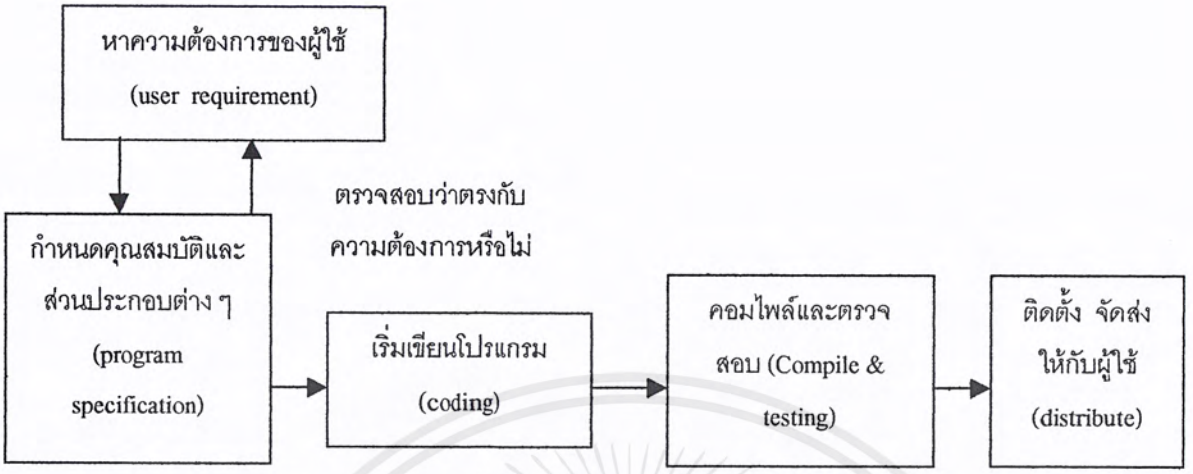
ขั้นตอนที่ 2 ออกแบบหน้าจอของโปรแกรมที่เราต้องการ (prototype) พร้อมกำหนดคุณสมบัติและส่วนประกอบต่าง ๆ ของโปรแกรมโดยละเอียด (program specification)

ขั้นตอนที่ 3 เริ่มเขียนโปรแกรม (coding)

ขั้นตอนที่ 4 รวบรวมโปรแกรม แปลงให้อยู่ในรูปแบบที่พร้อมใช้งาน (compile) และทดสอบการทำงานของโปรแกรม (testing)

ขั้นตอนที่ 5 แจกจ่ายโปรแกรมของเราสู่มือของผู้ใช้งาน (distribute)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.5.5 ขั้นตอนการออกแบบและเขียนโปรแกรมคอมพิวเตอร์

2.5.2 สเต็ปเปอร์มอเตอร์แบบยูนิโพล่าร์

สเต็ปเปอร์มอเตอร์ได้รับการพัฒนามาอย่างต่อเนื่อง จนในปัจจุบันสเต็ปเปอร์มอเตอร์ที่นิยมใช้อย่างแพร่หลายมากที่สุด และหาได้ง่ายคือ สเต็ปเปอร์มอเตอร์แบบยูนิโพล่าร์ (uni – polar stepper motor) มีลักษณะการพันขดลวดของมอเตอร์แสดงในรูปที่ 2.5.6

สเต็ปเปอร์มอเตอร์แบบนี้มีการพันขดลวด 2 ขด บนแต่ละขั้วแม่เหล็กของสเตเตอร์ แต่ละขด แบ่งเป็น 2 เฟส รวมมอเตอร์ทั้งตัวจะมี 4 เฟส คือ เฟส 1 2 3 และ 4 มีการต่อสายออกมาจากขดลวด แต่ละขดเพื่อจ่ายไฟเลี้ยง ทำให้สเต็ปเปอร์มอเตอร์แบบนี้มีทั้งแบบ 5 สายและ 6 สาย ถ้าเป็นแบบ 5 สาย จะเป็นการนำสายไฟเลี้ยงของขดลวดทั้งสองมาต่อรวมกันเป็นสายเดียว

แบบ 5 สาย 4 เฟส แบบ 6 สาย 4 เฟส

รูปที่ 2.5.6 โครงสร้างอย่างง่ายของสเต็ปเปอร์มอเตอร์แบบยูนิโพล่าร์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การกระตุ้นและควบคุมการหมุนของสเต็ปเปอร์มอเตอร์

การกระตุ้นและควบคุมการหมุนของมอเตอร์ให้เคลื่อนที่ไปแต่ละสเต็ปทำได้โดยจ่ายกำลังไฟฟ้าไปยังขดลวดแต่ละขดบนสเตเตอร์ ซึ่งต้องป้อนเป็นแบบซีเควนเชียลในรูปแบบที่ถูกต้องด้วย สามารถแบ่งได้เป็น 3 รูปแบบคือ แบบหนึ่งเฟส (single phase) แบบ 2 เฟส (two phase) และแบบครึ่งสเต็ป (half step)

แบบหนึ่งเฟสหรือแบบฟูลสเต็ป (full step) หรือแบบเวฟ เป็นการกระตุ้นที่มีรูปแบบง่ายที่สุด โดยทำการกระตุ้นขดลวดทีละขดในเวลาหนึ่งไล่เรียงถัดกันไป เช่น เริ่มต้นที่ขดที่ 1 , 2 , 3 , 4 แล้ววนกลับมาขดที่ 1 วนไปเรื่อย ๆ หรือเริ่มที่ขดที่ 1 แล้วย้อนไปยังขดที่ 4 , 3 , 2 แล้วกลับมายังขดที่ 1 อีกครั้ง ซึ่งทำให้ทิศทางของการหมุนสวนกัน ในการกระตุ้นรูปแบบนี้จึงมีขดลวดเพียงขดเดียวในเวลาหนึ่งที่ถูกกระตุ้นเท่านั้น วงจรกระตุ้นแบบเวฟจึงมีราคาถูกและง่าย ขั้นตอนการทำงานต่าง ๆ แสดงดังในตารางที่ 2.5.1

แบบ 2 เฟส เป็นการกระตุ้นซึ่งคล้ายกับแบบหนึ่งเฟส แต่การกระตุ้นแบบนี้จะทำการกระตุ้นโดยจ่ายกำลังไฟฟ้าไปที่ขดลวด 2 ขด ที่อยู่ใกล้กันในเวลาเดียวกัน และเรียงถัดกันไปเช่นเดียวกับแบบเวฟ ดังตัวอย่าง ขดลวดชุดแรกที่ถูกกระตุ้นจะเป็นขดที่ 1 และ 2 ตามด้วยการกระตุ้นขดที่ 2 และ 3 ต่อไปเป็นขดที่ 3 และ 4 ถัดไปเป็นขดที่ 4 และ 1 แล้วกลับมาที่ขดที่ 1 และ 2 วนไปตามลำดับเช่นนี้ หรือเริ่มที่ขด 1 และ 4 ตามด้วยขดที่ 4 และ 3 ถัดไปเป็นขดที่ 3 และ 2 ต่อไปเป็นขดที่ 2 และ 1 แล้ววนกลับมาที่ขดที่ 1 และ 4 ทิศทางการหมุนจะสวนทางกัน การกระตุ้นสเต็ปเปอร์มอเตอร์แบบนี้สามารถเพิ่มแรงบิดได้มากกว่าแบบเวฟ โรเตอร์จะเคลื่อนที่ด้วยแรงดึงอย่างเต็มแรงจาก 2 ขดลวดที่ถูกกระตุ้นพร้อมกัน และต่อไปด้วยแรงดึงจากอีก 2 ขดลวดถัดไป สำหรับข้อเสียคือการกระตุ้นแบบนี้ต้องใช้กำลังไฟฟ้ามากขึ้น ขั้นตอนการทำงานต่าง ๆ แสดงดังในตารางที่ 2.5.2

แบบครึ่งสเต็ปเป็นรูปแบบที่ผสมผสานระหว่างการกระตุ้นแบบเวฟและแบบ 2 เฟส เพื่อเพิ่มจำนวนของสเต็ปต่อรอบอีกเท่าตัวหนึ่ง ในระบบนี้จะทำการกระตุ้นขดลวดเรียงกันไปเป็นลำดับ เริ่มจากขดลวดที่ 1 , 1 และ 2 , 2 , 2 และ 3 , 3 , 3 และ 4 , 4 , 4 และ 1 แล้ววนกลับมายังขดลวดที่ 1 แรงบิดที่ได้จากการกระตุ้นแบบนี้จะเพิ่มมากขึ้นอีก เพราะช่วงสเต็ปมีระยะสั้นลง แต่ละสเต็ปเกิดแรงดึงจากขดลวด 2 ขด ที่ถูกกระตุ้นพร้อมกัน ความถูกต้องของตำแหน่งมีเพิ่มมากขึ้น แต่ต้องพึงระวังไว้อีกประการหนึ่งว่า เมื่อกระตุ้นให้ทำงานในรูปแบบนี้จะต้องทำการหมุนถึง 2 สเต็ป จึงจะได้เท่ากับระยะเท่ากับ 1 สเต็ปเต็มของการควบคุมใน 2 แบบแรก สำหรับแหล่งจ่ายกำลังไฟฟ้าต้องใช้ขนาดเท่ากับแบบ 2 เฟส เป็นอย่างน้อย จึงจะเพียงพอ ขั้นตอนการทำงาน ต่าง ๆ แสดงดังในตารางที่ 2.5.3

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สเต็ปที่	เฟสที่ 1	เฟสที่ 2	เฟสที่ 3	เฟสที่ 4
1	ทำงาน	-	-	-
2	-	ทำงาน	-	-
3	-	-	ทำงาน	-
4	-	-	-	ทำงาน

ตารางที่ 2.5.1 แสดงลำดับการทำงานของขดลวดในแต่ละเฟสของมอเตอร์ เมื่อได้รับการกระตุ้นแบบหนึ่งเฟส

สเต็ปที่	เฟสที่ 1	เฟสที่ 2	เฟสที่ 3	เฟสที่ 4
1	ทำงาน	ทำงาน	-	-
2	-	ทำงาน	ทำงาน	-
3	-	-	ทำงาน	ทำงาน
4	ทำงาน	-	-	ทำงาน

ตารางที่ 2.5.2 แสดงลำดับการทำงานของขดลวดในแต่ละเฟสของมอเตอร์ เมื่อได้รับการกระตุ้นแบบสองเฟส

สเต็ปที่	เฟสที่ 1	เฟสที่ 2	เฟสที่ 3	เฟสที่ 4
1	ทำงาน	-	-	-
2	ทำงาน	ทำงาน	-	-
3	-	ทำงาน	-	-
4	-	ทำงาน	ทำงาน	-
5	-	-	ทำงาน	-
6	-	-	ทำงาน	ทำงาน
7	-	-	-	ทำงาน
8	ทำงาน	-	-	ทำงาน

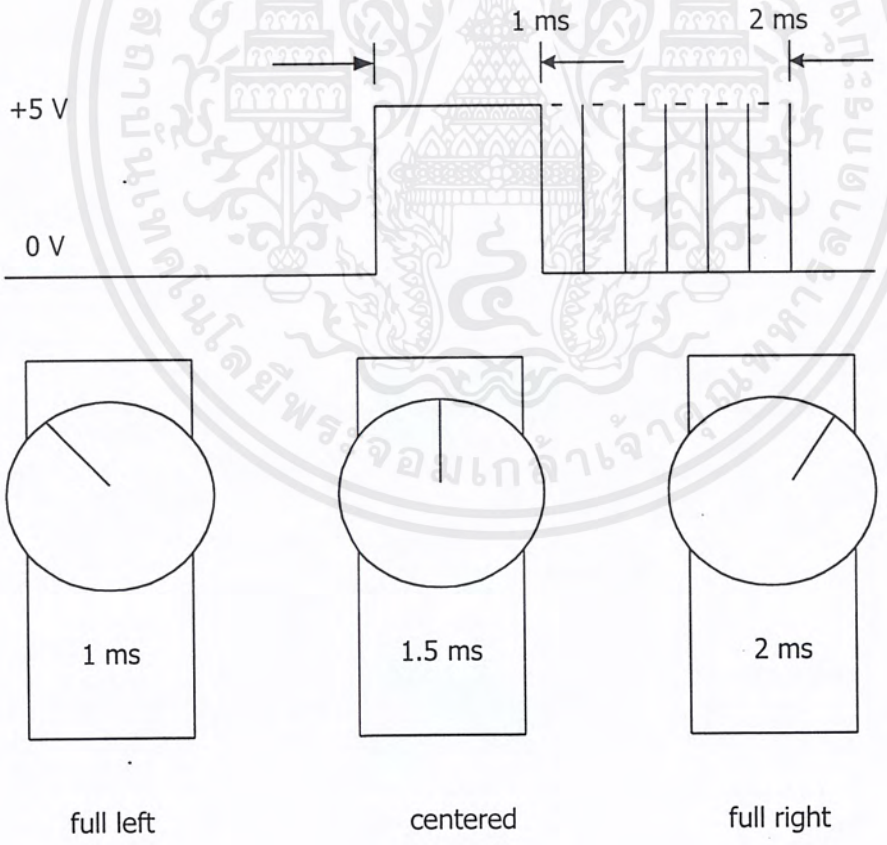
ตารางที่ 2.5.3 แสดงลำดับการทำงานของขดลวดในแต่ละเฟสของมอเตอร์ เมื่อได้รับการกระตุ้นแบบครึ่งสเต็ป

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.5.3 การทำงานของเซอโวมอเตอร์

เซอโวมอเตอร์จะรับสัญญาณพัลซ์ (Pluse) เพื่อใช้ในการกำหนดการหมุน สัญญาณพัลซ์ที่ได้มีความกว้าง 1.5 mS จะทำให้เซอโวมอเตอร์ กลับมาอยู่ที่ตำแหน่งกึ่งกลาง (Centered) เมื่อสัญญาณพัลซ์มีความกว้างเพิ่มมากขึ้นเช่น ถ้าต้องการให้เซอโวมอเตอร์หมุนมาทางขวา (Right) ก็ต้องเพิ่มความกว้างของช่วงพัลซ์จาก 1.5 mS เพิ่มมาเป็น 1.8 , 1.9 , 2.0 เซอโวมอเตอร์ก็จะหมุนตามมาทางขวาเรื่อย ๆ เมื่อเพิ่มความกว้างของช่วงพัลซ์ไปจนถึง 2 mS ซึ่งเป็นตำแหน่งที่เซอโวมอเตอร์จะหมุนไปที่ตำแหน่งขวาสุด (Full Right) ในทำนองกลับกัน ถ้าต้องการให้เซอโวมอเตอร์หมุนไปทางซ้าย (Left) ก็ต้องลดช่วงพัลซ์ให้แคบลงไปเรื่อย ๆ จนไปถึง 1 mS เซอโวมอเตอร์ก็จะหมุนมาทางซ้ายสุด (Full Left)

กระแสไฟที่ใช้กับเซอโวมอเตอร์ใช้ได้ตั้งแต่ 4.8 Vdc. ไปจนถึง 6.0 Vdc. ห้ามจ่ายแรงดันไฟฟ้ามากไปกว่านี้ เพราะจะมีผลทำให้วงจรที่อยู่ภายในเซอโวมอเตอร์เกิดความเสียหายได้

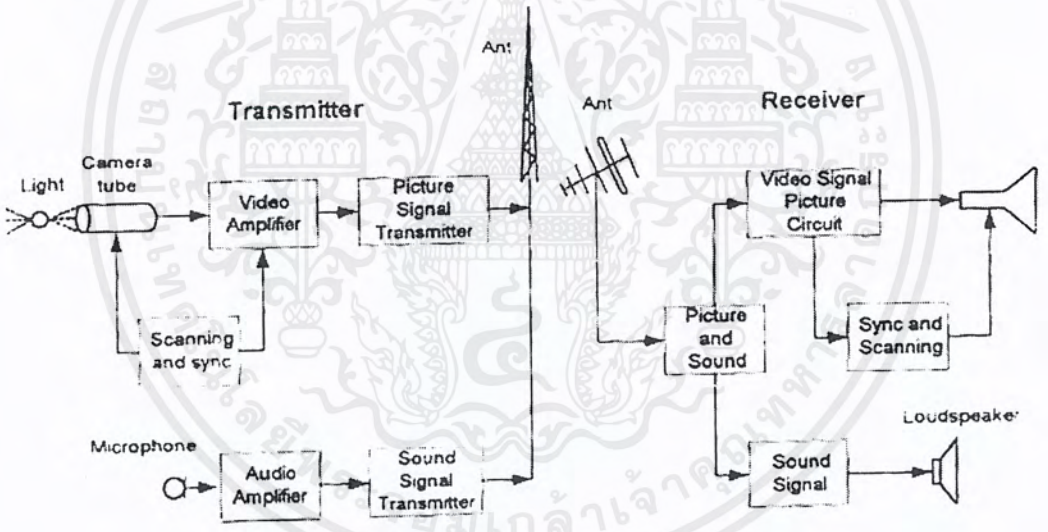


รูปที่ 2.5.7 การควบคุมเซอโวมอเตอร์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.5.4 หลักการเบื้องต้นของการแพร่ภาพ

การแพร่ภาพ (Television Broadcasting) หากจะเอาความหมายของคำว่า Broadcast แล้ว คงจะหมายถึงการส่งสัญญาณออกไปรอบตัว (to sent out in al direction) ซึ่งได้แสดงวิธีการเอาไว้ในรูป 2.5.5 หลักการเบื้องต้นของการแพร่ภาพโทรทัศน์คือ การส่งกระจายทั้งภาพและเสียงออกไปในรูปสัญญาณแม่เหล็กไฟฟ้า เพื่อให้เครื่องรับสามารถรับได้ทั้งภาพและเสียงอย่างต่อเนื่อง แต่จริง ๆ แล้ว ภาพที่ต่อเนื่องได้นั้นมาจากการส่งภาพนิ่งที่มีความแตกต่างกันเล็กน้อยหลาย ๆ ภาพต่อเนื่องกันในช่วงเวลาสั้น ๆ เหมือนหลักการของภาพยนตร์นั่นเอง เราได้หลักการอยู่อย่างหนึ่งว่า หากภาพนิ่งเหล่านั้นถูกนำมาลำดับตั้งแต่ 16 ภาพต่อวินาทีขึ้นไป สายตาของคนเราจะเห็นเป็นภาพต่อเนื่องหรือภาพเคลื่อนที่ได้ เพราะการทำงานของประสาทตามีลักษณะพิเศษที่เรียกว่า Dersistence of Vision เป็นความรู้สึกเห็นติดตาชั่วขณะจึงจะจางหายไปจากระบบประสาท



รูปที่ 2.5.8 แสดงบล็อกไดอะแกรมเบื้องต้นของกระบวนการแพร่ภาพโทรทัศน์

เครื่องส่งโทรทัศน์ต้องประกอบไปด้วย 2 ส่วนใหญ่ ๆ คือ ส่วนที่เป็นสัญญาณภาพและส่วนที่เป็นสัญญาณเสียง (Visual and Aural) โดยสัญญาณภาพจะส่งไปในรูปของสัญญาณเอเอ็มและสัญญาเสียงจะส่งไปในรูปของสัญญาณเอฟเอ็ม การแพร่กระจายคลื่นออกไปในรูปของแม่เหล็กไฟฟ้าจากตัวสายอากาศ(Radiating Antenna)โดยทั่วไปหากเป็นสถานีภาคพื้นดินจะครอบคลุมพื้นที่ทางตรงได้ประมาณ 75 ไมล์ หรือ 121 กิโลเมตร

กล้องโทรทัศน์จะรับเอาสัญญาณภาพในรูปของพลังงานแสงเข้าไปยังตัวของมันเพื่อเปลี่ยนให้เป็นพลังงานไฟฟ้าหลักการเบื้องต้นของกล้องอยู่ที่ว่าแสงจะผ่าเลนส์เข้าไปกระทบแผ่นโฟโต้อิ-

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เล็กตริกเพลท(Photoelectric Plate) ของหลอดถ่ายภาพ ซึ่งหลอดนี้จะทำการสแกนหรือกวาดรับสัญญาณในแนวนอน (Horizontal Line) โดยการบังคับตัวอิเล็กตรอนบีม(Electron Beam) ให้กวาดจากซ้ายไปขวาและบนลงล่าง โดยภาพหนึ่งเฟรมจะใช้เวลา 1/25 หรือ 1/30 วินาที รวมการสแกนทั้งหมดด้วยเส้นสแกน 625 เส้น หรือ 525 เส้น สัญญาณที่ออกไปทางเอาต์พุตจะเป็นสัญญาณไฟฟ้าที่ต่อเนื่อง (Sequence of Electrical Variation) สัญญาณภาพดังกล่าวจะถูกส่งไปขยายให้แรงขึ้น แล้วนำไปผสมกับซิงโครไนซิ่งพัลซ์ (Synchronizing Pulse) แล้วทำการผสมสัญญาณทางแอมปลิจูดกับคลื่นพาห์ภาพ (Picture Carrier) เพื่อให้ได้สัญญาณภาพเป็น เอเอ็ม ส่วนสัญญาณเสียงจะถูกส่งเข้าวงจรขยายสัญญาณก่อนที่ผสมสัญญาณกับคลื่นพาห์เสียง เพื่อให้ได้สัญญาเสียงเป็นเอฟเอ็ม

เครื่องรับโทรทัศน์จะรับสัญญาณจากสายอากาศเข้ามาทั้งภาพและเสียง นำสัญญาณนี้ไปทำการดีเทคเตอร์แยกภาพและเสียงออกไปใช้งาน โดยสัญญาณภาพนั้นจะถูกส่งไปจอหลอดภาพ (CRT) ซึ่งมีส่วนคล้ายหลอดออสซิลโลสโคบที่แก้วข้างหน้าเคลือบฉาบฟลูออเรสเซนต์ไว้ ภายในหลอดจะมีปืนอิเล็กตรอนที่มีการบังคับการบีบลำให้ยิงไปยังหน้าจอ ทำให้สารฟอสเฟอร์เกิดการเรืองแสงขึ้นที่จอ

ความถี่และช่องที่ใช้ส่งโทรทัศน์

ในประเทศไทยสถานีส่งโทรทัศน์ทั้งหมดใช้ความถี่ระบบ CCIR และส่งออกอากาศเป็นโทรทัศน์สีระบบ PAL-B ไม่มีช่องใดส่งเป็นโทรทัศน์ขาวดำเลย แต่สัญญาณของโทรทัศน์สีก็ต้องทำให้ (compatible) กับเครื่องรับโทรทัศน์ขาวดำ คือ ให้เครื่องรับขาวดำสามารถรับสัญญาณจากโทรทัศน์สีได้โดยไม่ต้องดัดแปลงแก้ไข

สถานีส่งโทรทัศน์ที่เป็นแม่ข่ายจะตั้งอยู่ในกรุงเทพฯ ในระบบ VHF มีทั้งหมด 5 ช่อง คือ ช่อง 3, ช่อง 5, ช่อง 7, ช่อง 9 และช่อง 11 ระบบ UHF ของไอทีวีอีก 3 ช่อง คือ ช่อง 26, 29 และ 47

สถานีที่เป็นลูกข่ายสำหรับถ่ายทอดจะมีกระจายอยู่ทั่วประเทศ ซึ่งออกอากาศในความถี่ช่องที่แตกต่างกันออกไป แต่ในเขตพื้นที่หนึ่งไม่ควรจะมีช่องโทรทัศน์ที่มีความถี่ติดกัน จะต้องส่งช่องเว้นช่องเพื่อหลีกเลี่ยงการรบกวนกันให้มีน้อยที่สุด เช่น สถานีเครือข่ายที่จังหวัดเชียงใหม่ซึ่งอยู่ไกลจากกรุงเทพฯ สามารถใช้ช่องระบบเลขคี่ความถี่เดียวกับกรุงเทพฯ ได้ทั้ง 5 ช่อง ส่วนสถานีเครือข่ายที่จังหวัดลำปางซึ่งอยู่ติดกับจังหวัดเชียงใหม่ต้องใช้ช่องที่ไม่ซ้ำกับที่จังหวัดเชียงใหม่โดยใช้ช่องระบบเลขคู่ คือ ช่อง 4-6-8-10-12 เช่น สถานีเครือข่ายของไทยทีวีสีช่อง 3 ออกอากาศในช่อง 6 สถานีเครือข่ายของโทรทัศน์กองทัพบกช่อง 5 ออกอากาศช่อง 4 สถานีเครือข่ายของโทรทัศน์กองทัพบกช่อง 7 ออกอากาศในช่อง 12 และสถานีเครือข่ายของโทรทัศน์กรมประชาสัมพันธ์ช่อง 11 ออกอากาศในช่อง 8 เป็นต้น เมื่อสถานีเครือข่ายที่ถ่ายทอดอยู่ไกล และต่างพื้นที่รัศมีคลื่นไม่ถึงกันก็

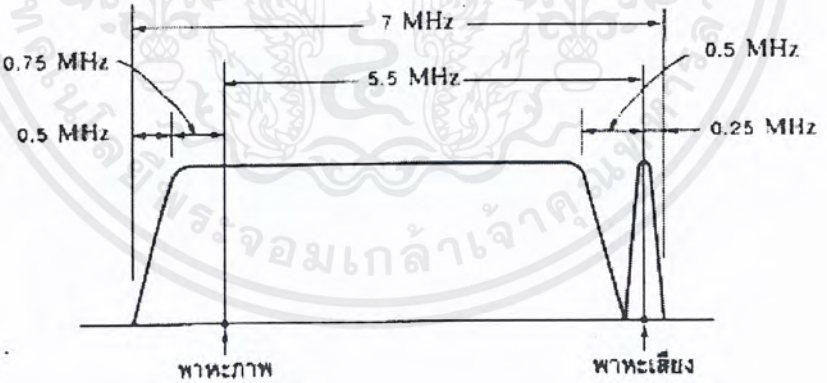
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จะสามารถใช้ช่องความถี่ช่องเดียวกันได้ เช่น ที่จังหวัดนครสวรรค์ นครราชสีมา และสงขลา จะใช้ความถี่ช่องเลขคู่ ส่วนจังหวัดขอนแก่น สุโขทัย ยะลา ภูเก็ต จะใช้ความถี่ช่องเลขคี่ เป็นต้น

โทรทัศน์ระบบ CCIR จะส่งความถี่ในย่าน VHF จำนวน 2 แบนด์ คือ แบนด์ต่ำจำนวน 3 ช่อง คือ ช่อง 2-3-4 ความถี่ตั้งแต่ 47-68 MHz กับแบนด์สูงจำนวน 8 ช่อง ตั้งแต่ช่อง 5 ถึงช่อง 12 ช่วงความถี่ 174-230 MHz ขอบเขตความถี่ของแต่ละช่องกว้าง 7 MHz ส่วนสัญญาณสูงกว่าพาหะภาพ 5.5 MHz รวมแล้วการส่งโทรทัศน์ VHF ระบบ CCIR จะมีเพียง 11 ช่อง

พาหะภาพกับเสียงห่างกัน 5.5 MHz โดยพาหะเสียงใช้ความถี่ที่สูงกว่า สัญญาณภาพจะถูกส่งไซด์แบนด์บนเต็มที่ 5 MHz ไซด์แบนด์ล่างส่งแบบเวสติเจียลไซด์แบนด์เพียง 0.75 MHz รวมสโลปของฐานอีก 0.5 MHz ดังนั้นไซด์แบนด์ล่างจึงมีเพียง 1.25 MHz เท่านั้น สโลปด้านไซด์แบนด์บนของสัญญาณภาพมีความชัน 0.25 MHz และสโลปของพาหะเสียงมีด้านละ 0.25 MHz รวมความกว้างทั้งหมดของสัญญาณโทรทัศน์ 1 ช่อง มีความกว้าง 7 MHz

นอกจากการส่งโทรทัศน์ในย่าน VHF แล้วยังมีการส่งโทรทัศน์ในย่าน UHF ความถี่ตั้งแต่ประมาณ 400-900 MHz ระบบ CCIR แบ่งย่านความถี่ UHF ออกเป็น 2 แบนด์ คือ แบนด์ IV ส่งช่อง 21 ถึงช่อง 37 (ความถี่ 470-582 MHz) กับแบนด์ V ส่งตั้งแต่ช่อง 38 ถึงช่อง 69 (ความถี่ 606-790 MHz)



รูปที่ 2.5.9 รูปคลื่นความกว้างของช่องโทรทัศน์ CCIR 1 ช่อง

ระบบโทรทัศน์ CCIR ที่ประเทศไทยใช้อยู่จะแตกต่างจากระบบ NTSC ของสหรัฐอเมริกาและญี่ปุ่นทั้งจำนวนเส้น ระบบสี และเสียง รวมทั้งแตกต่างจากระบบ SECAM ของฝรั่งเศสและรัสเซีย การนำเครื่องรับโทรทัศน์ที่มีมาตรฐานในระบบหนึ่งไปรับสัญญาณในอีกระบบหนึ่งที่ต่างกันจะไม่สามารถรับกันได้ จะเกิดปัญหาขึ้น เช่น แบนด์วิดท์ของช่องและไอเอฟจูนไว้ไม่เท่ากัน ความถี่พาหะเสียงไม่เท่ากัน การถอดรหัสสีแตกต่างกันซึ่งจะใช้ไม่ได้เลย ปัญหาเหล่านี้จะเกิดขึ้นกับ

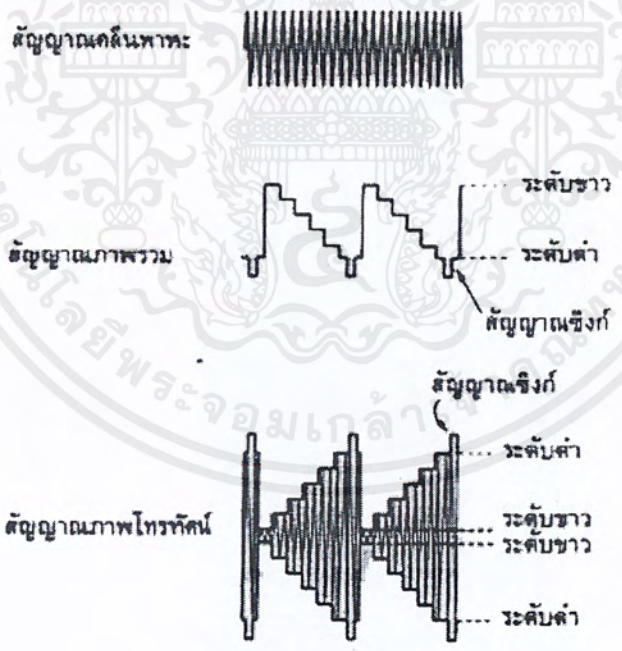
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เครื่องรับรุ่นเก่าเท่านั้น เพราะเครื่องรับที่ใช้เทคโนโลยีสมัยใหม่ในปัจจุบันจะถูกสร้างให้สามารถรับหลาย ๆ ระบบได้อย่างอัตโนมัติซึ่งจะเรียกว่า *ระบบมัลติซิสเต็ม* (multisystem)

การผสมสัญญาณภาพรวมกับพาหะ

การสร้างสัญญาณภาพโทรทัศน์เพื่อส่งออกอากาศนั้น จะใช้สัญญาณภาพรวมที่มีสัญญาณซิงก์แนวนอน สัญญาณแนวตั้ง สัญญาณแบล็งกิ้ง และสัญญาณอีควอไลซิ่ง จะผสมแบบ ATM กับคลื่นพาหะคือ ระดับของสัญญาณภาพจะทำให้แอมพลิจูดของคลื่นพาหะเปลี่ยนแปลงทั้งทางบวกและทางลบ การผสมสัญญาณภาพมี 2 แบบ คือ ผสมแบบบวกกับผสมแบบลบ

การผสมแบบบวก หมายถึงระดับขาวของภาพจะมีแอมพลิจูดสูงสุดและระดับดำมีแอมพลิจูดต่ำ ส่วน *การผสมแบบลบ* หมายถึงระบบดำจะมีแอมพลิจูดสูงและระดับขาวจะมีแอมพลิจูดต่ำ รูปที่ 2.5.10 แสดงการผสมสัญญาณภาพกับพาหะ แบบลบเพื่อให้เป็นสัญญาณภาพโทรทัศน์สำหรับใช้เพื่อการส่งออกอากาศต่อไป

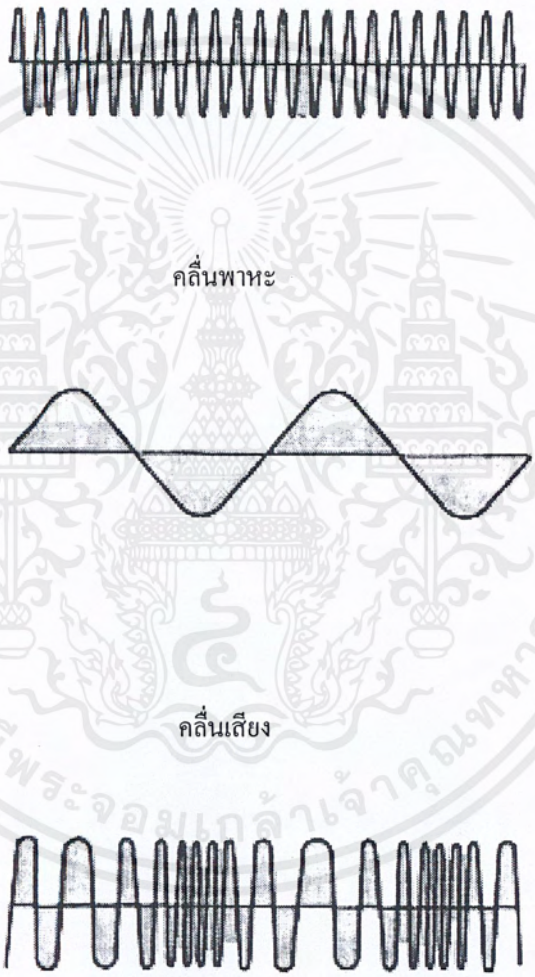


รูปที่ 2.5.10 การผสมสัญญาณภาพกับคลื่นพาหะ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สัญญาณเสียงโทรทัศน์

สัญญาณเสียงที่ต้องการส่งเป็นคลื่นสัญญาณโทรทัศน์ต้องทำการผสมกับคลื่นพาหะที่มีความถี่สูงกว่าความถี่พาหะภาพ ตามมาตรฐานของระบบที่ส่ง (เช่น 4.5 MHz ในระบบ 525 เส้น และ 5.5 MHz ในระบบ 625 เส้น) การผสมใช้แบบ FM โดยยอมให้มีการเบี่ยงเบนความถี่ จากความถี่กลางได้สูงสุด ±50 kHz



รูปที่ 2.5.11 การผสมสัญญาณเสียงกับคลื่นพาหะ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 3
การออกแบบและการสร้าง

ในบทนี้จะกล่าวถึงการดำเนินงานในส่วนต่าง ๆ ของโครงงาน ซึ่งในที่นี้ได้แบ่งการดำเนินงานออกเป็นส่วนย่อย ๆ ดังนี้

1. FSK มอดดูเลเตอร์และดีมอดดูเลเตอร์ (รวมทั้งวงจรแปลงระดับสัญญาณ RS-232 เป็นระดับสัญญาณ TTL)
2. เครื่องรับ FM
3. เครื่องส่ง FM
4. โปรแกรมควบคุมการทำงาน
5. โปรแกรมในส่วนของการขับเคลื่อนรถและควบคุมกล้อง
6. เครื่องส่งสัญญาณวีดีโอ

ซึ่งจะได้กล่าวถึงรายละเอียดของแต่ละส่วนแยกกันไปดังต่อไปนี้

3.1 FSK มอดดูเลเตอร์และดีมอดดูเลเตอร์

วงจร FSK มอดดูเลเตอร์ ทำหน้าที่ เปลี่ยนสัญญาณดิจิตอล(digital signal) เป็นสัญญาณอะนาลอก(analog signal) โดยเปลี่ยนสัญญาณลอจิก "0" ให้กลายเป็นรูปคลื่นไซน์ความถี่หนึ่งเรียกว่า ความถี่สเปซ(space frequency : f_{space}) และเปลี่ยนสัญญาณลอจิก "1" ให้กลายเป็นอีกความถี่หนึ่งเรียกว่า ความถี่มาร์ค(mark frequency : f_{mark}) ส่วนวงจร FSK มอดดูเลเตอร์ทำหน้าที่เปลี่ยนรูปคลื่นไซน์ 2 ความถี่ดังกล่าวให้เป็นสัญญาณข้อมูลดิจิตอลดังเดิม หัวข้อต่อไปจะกล่าวถึงวงจร FSK มอดดูเลเตอร์และจะกล่าวถึงวงจร FSK มอดดูเลเตอร์ ในหัวข้อถัดไป

3.1.1 FSK มอดดูเลเตอร์

รูปที่ 3.1 (ก) แสดงบล็อคไดอะแกรมของวงจร FSK มอดดูเลเตอร์ทั้งหมด ซึ่งประกอบด้วย

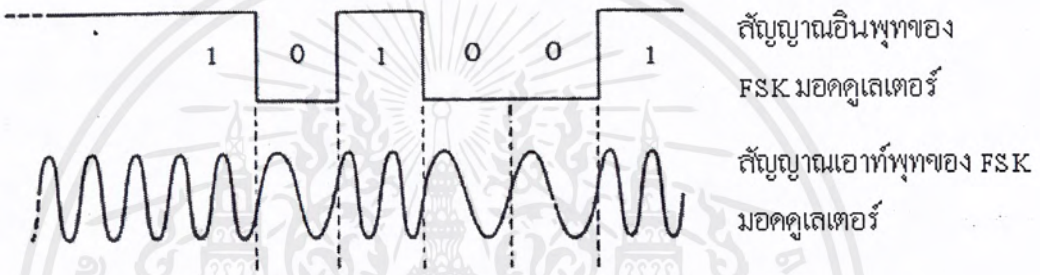
- วงจรผลิตความถี่ควบคุมด้วยแรงดัน (Voltage Control Oscillator)
- วงจรกรองความถี่ต่ำผ่าน (Lowpass Filter)

และรูปที่ 3.1 (ข) แสดงความสัมพันธ์ระหว่างสัญญาณอินพุทและเอาท์พุทของ FSK มอดดูเลเตอร์

เนื่องจากข้อมูลที่ส่งออกมาจากคอมพิวเตอร์มีระดับสัญญาณเป็น RS – 232 ดังนั้นจึงจำเป็นต้องเปลี่ยนระดับสัญญาณดังกล่าวให้เป็นระดับสัญญาณ TTL เสียก่อน ต่อจากนี้ไปเราจะกล่าวถึงการออกแบบวงจร FSK มอดดูเลเตอร์แต่ละส่วน ดังนี้

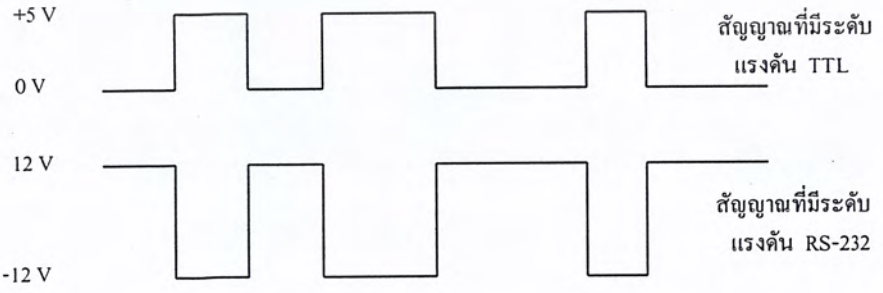
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รูปที่ 3.1(ก) บล็อคไดอะแกรมของวงจร FSK มอดดูเลเตอร์ทั้งหมด



รูปที่ 3.1 (ข) ความสัมพันธ์ระหว่างสัญญาณอินพุทและเอาท์พุทของ FSK มอดดูเลเตอร์

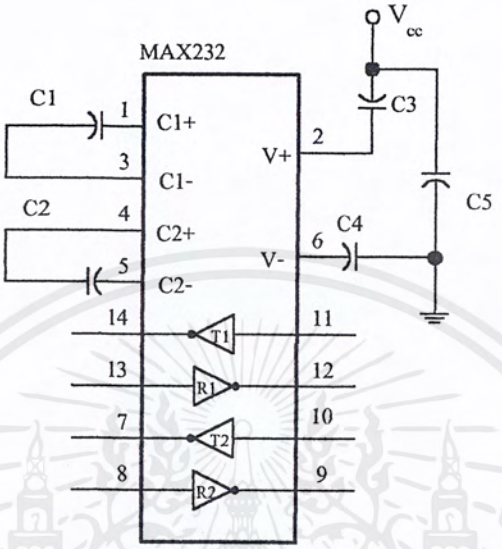
(ก) วงจรแปลงระดับแรงดัน RS – 232 เป็นระดับแรงดัน TTL (RS – 232 to TTL Driver) วงจรแปลงระดับแรงดัน RS-232 เป็นระดับแรงดัน TTL ทำหน้าที่เปลี่ยนระดับสัญญาณข้อมูลจากคอมพิวเตอร์ ที่มีระดับแรงดันของลอจิก "0" ประมาณ 12 โวลต์ และระดับแรงดันของลอจิก "1" ประมาณ -12 โวลต์ ให้เป็นระดับแรงดัน TTL รูปที่ 3.2 แสดงระดับแรงดันของสัญญาณ RS-232 และ TTL ที่สอดคล้องกัน



รูปที่ 3.2 ความสัมพันธ์ระหว่างสัญญาณที่มีระดับแรงดัน TTL กับสัญญาณที่มีระดับแรงดัน RS-232

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

วงจรในส่วนนี้ใช้ไอซี RS-232 Driver ตระกูล MAX232 ซึ่งต้องต่อคาปาซิเตอร์ charge pump ร่วมภายนอก ดังรูปที่ 3.3 ค่าของ C แต่ละตัว ตามที่ระบุในดาต้าชีทแสดงดังตารางที่ 3.1



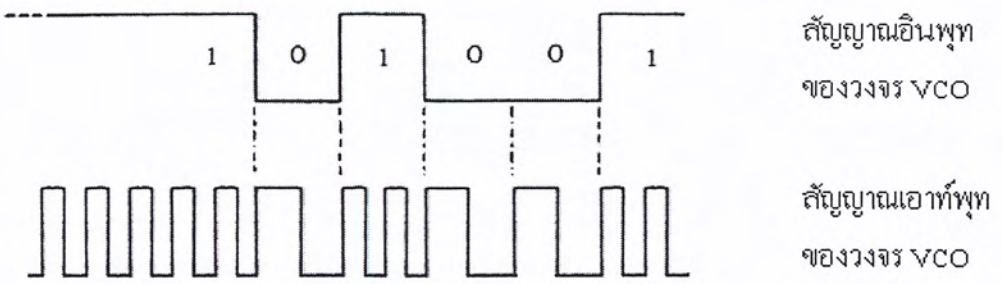
รูปที่ 3.3 วงจรแปลงระดับสัญญาณ RS-232 เป็น TTL

	ค่าประจุ (μF)				
อุปกรณ์	C1	C2	C3	C4	C5
MAX232	1.0	1.0	1.0	1.0	1.0
MAX232A	0.1	0.1	0.1	0.1	0.1

ตารางที่ 3.1 แสดงค่าประจุของวงจรแปลงระดับสัญญาณ RS-232 เป็น TTL

(ข) วงจรผลิตความถี่ควบคุมด้วยแรงดัน (Voltage Controlled Osmillator) วงจรผลิตความถี่ควบคุมด้วยแรงดัน หรือวงจร VCO ทำหน้าที่ ผลิตความถี่ตามระดับแรงดันของสัญญาณอินพุท ในที่นี้เราจะผลิตความถี่ f_{space} และ f_{mark} ตามระดับลอจิก "0" , "1" ของสัญญาณอินพุทตามลำดับ รูปที่ 3.4 แสดงความสัมพันธ์ระหว่างอินพุทและเอาท์พุทของวงจรผลิตความถี่ควบคุมด้วยแรงดัน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.4 แสดงความสัมพันธ์ระหว่างสัญญาณอินพุทและเอาท์พุทของ FSK มอดดูเลเตอร์

การกำหนด f_{space} และ f_{mark} นิยมกำหนดให้ f_{space} และ f_{mark} มีค่าเป็นจำนวนคี่ของครึ่งหนึ่งของอัตราบอด (Buad rate) ของสัญญาณดิจิตอลที่อินพุท เพื่อให้สัญญาณ FSK ที่ได้มีความต่อเนื่องทางเฟสหรือเรียกว่าสัญญาณ FSK ที่มีความต่อเนื่องทางเฟส (Continuous Phase Frequency Shift Keying : CPFSK) หรืออาจเขียนเป็นสมการได้เป็น

$$f_{space} = \frac{(2N-1)}{2} * \text{Buad rate} \quad ; N \geq 1 \qquad (3.1)$$

$$f_{mark} = \frac{(2M-1)}{2} * \text{Buad rate} \quad ; M > N \qquad (3.2)$$

การกำหนดค่าของ N และ M จะต้องคำนึงถึง Bandwidth เป็นสำคัญ การให้ N และ M ค่ามากๆ จะทำให้ f_{space} และ f_{mark} มีค่าสูง แบนด์วิดท์ของสัญญาณ FSK จะกว้าง แต่สามารถดีเทคกลับมาเป็นสัญญาณดิจิตอลดังเดิมได้ง่ายกว่า แต่ถ้าค่า N และ M มีค่าต่ำ ๆ จะทำให้ FSK มอดดูเลเตอร์ดีเทคสัญญาณกลับมาได้ยาก ในที่นี้ใช้ buad rate เท่ากับ 600 และกำหนดให้ N = 4 และ M = 5 ซึ่งจะได้

$$f_{space} = 2100 \text{ Hz}$$

$$f_{mark} = 2700 \text{ Hz}$$

และใช้ไอซีเบอร์ MC14046 ในการผลิตความถี่ ซึ่งใช้ส่วนของ VCO ของไอซีดังกล่าวในการผลิตความถี่ วงจรผลิตความถี่ควบคุมด้วยแรงดันแสดงดังรูปที่ 3.5 โดย R1 , R2 ,C เป็นตัวกำหนดความถี่ต่ำสุด(f_{min}) , ความถี่สูงสุด(f_{max}) ที่จะผลิต ซึ่งค่า f_{min} , f_{max} จากดาต้าชีทกำหนดโดย

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$f_{min} = \frac{1}{[R_2(C + 32pF)]} \quad (3.3)$$

$$f_{max} = f_{min} + \frac{1}{[R_1(C + 32pF)]} \quad (3.4)$$

โดย f_{min} จะเกิดขึ้นเมื่อ VCO_{in} เท่ากับศูนย์โวลต์ และ f_{max} จะเกิดขึ้นเมื่อ VCO_{in} เท่ากับ V_{cc} ซึ่งในกรณีที่เราใช้วงจร VCO มาทำเป็น FSK มอดดูเลเตอร์ เราจะได้ว่า f_{min} เท่ากับ f_{space} และ f_{max} เท่ากับ f_{mark} ค่า R_1 และ R_2 ในสมการ (3.3) และ (3.4) หาได้จาก

$$R_2 = \frac{1}{f_{min}(C + 32\ pF)} \quad (3.5)$$

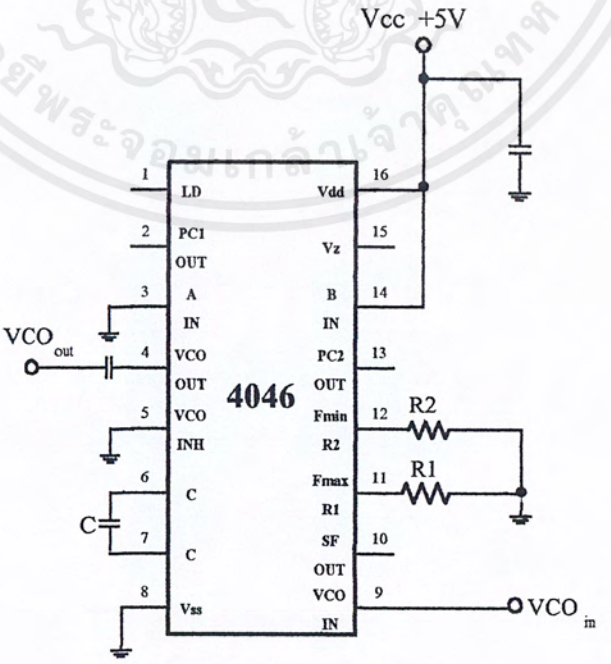
$$R_1 = \frac{1}{(f_{max} - f_{min})(C + 32\ pF)} \quad (3.6)$$

จากดาต้าชีทของ MC14046 การกำหนดค่าของอุปกรณ์ต้องกำหนดให้อยู่ในช่วงดังกล่าวนี้

$10\ K\Omega \leq R_1 \leq 1M\Omega$

$10\ K\Omega \leq R_2 \leq 1M\Omega$

$100\ pF \leq C \leq 10\ nF$



รูปที่ 3.5 การออกแบบวงจรผลิตความถี่ควบคุมด้วยแรงดัน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

แต่จากการทดลองค่า R , C ที่กำหนดจากสมการ (3.5) และ (3.6) ปรากฏว่าให้ค่าความถี่ f_{min} และ f_{max} ไม่ค่อยจะตรงนัก และจากการทดลองซ้ำๆ หลาย ๆ ครั้ง ผู้ทำได้พบว่าค่า R, C ที่ทำให้ได้ f_{min} , f_{max} ตามที่กำหนดแม่นยำยิ่งขึ้นคือ สมการ 3.5ก และสมการ 3.5ข ตามลำดับ

$$R_2 = \frac{1}{(0.6)(f_{min})(C + 32\ pF)} \qquad (3.5\ ก)$$

$$R_1 = \frac{1}{(0.8)(f_{max} - f_{min})(C + 32\ pF)} \qquad (3.5\ ข)$$

จากที่กำหนดให้

$$f_{space} = f_{min} = 2.1\ KHz$$

$$f_{mark} = f_{max} = 2.7\ KHz$$

และกำหนดให้ C = 10 nF ดังนั้น

$$R_2 = \frac{1}{(0.6)(2.1K)(10n + 32\ p)}$$

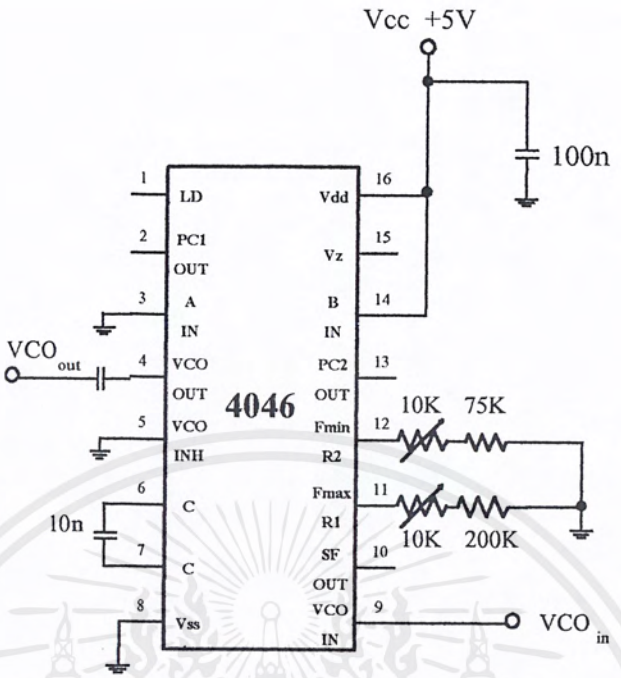
$$= 79.1\ K\Omega$$

$$R_1 = \frac{1}{(0.8)(600)(10n + 32\ p)}$$

$$= 207.6\ K\Omega$$

ในวงจรให้ R_2 เป็นความต้านทานค่าคงที่ 75 KΩ อนุกรมกับความต้านทานปรับค่าได้ 10 KΩ และให้ R_1 เป็น ความต้านทานค่าคงที่ 200 KΩ อนุกรมกับความต้านทานปรับค่าได้ 10 KΩ วงจร VCO ที่ออกแบบแล้วแสดงดังรูปที่ 3.6 ในการใช้งานให้ปรับความต้านทานปรับค่าได้เพื่อให้ผลิตความถี่ f_{space} และ f_{mark} ตามที่ต้องการ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

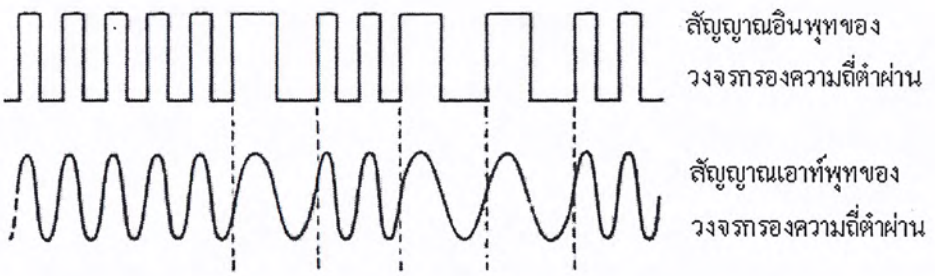


รูปที่ 3.6 วงจร VCO ของภาค FSK มอดดูเลเตอร์

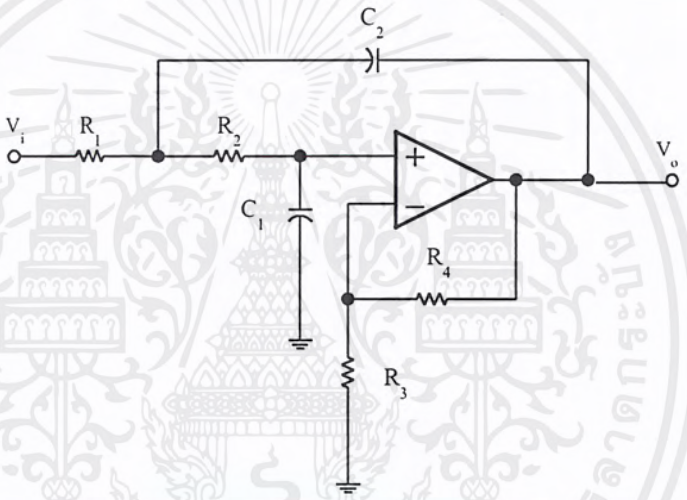
(ค) วงจรกรองความถี่ต่ำผ่าน (Low-pass Filter) วงจรกรองความถี่ต่ำผ่านทำหน้าที่ผ่านสัญญาณที่ต่ำกว่าความถี่คัทออฟของวงจรและลดทอนสัญญาณที่มีความถี่สูงกว่าความถี่คัทออฟ ในที่นี้เราต้องการเปลี่ยนสัญญาณพัลซ์ 2 ความถี่จากเอาท์พุทของวงจร VCO ให้เป็นสัญญาณไซน์ 2 ความถี่ดังรูปที่ 3.7 นั่นคือเราต้องการให้องค์ประกอบของความถี่หลัก (fundamental frequency component) ของ f_{mark} และ f_{space} เท่านั้นที่ผ่านไปได้

ในที่นี้เราจะใช้วงจรกรองความถี่ผ่านแบบบัทเทอร์เวิร์ท (Low-pass Butterworth Filter) โดยกำหนดให้ความถี่คัทออฟเท่ากับ 3 KHz และมีอันดับเท่ากับ 5 และใช้รูปแบบวงจรเป็นแบบ Sallen and Key ดังรูป 3.8 และตารางที่ 3.2 แสดงตารางวงจรกรองความถี่แบบบัทเทอร์เวิร์ท

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.7 ความสัมพันธ์ระหว่างอินพุทและเอาท์พุทของวงจรกรองความถี่ต่ำผ่าน



รูปที่ 3.8 โครงสร้างของวงจร Sallen and Key

FILTER ORDER	Stage 1		Stage 2		Stage 3		Stage 4		Stage 5	
	FSF	Q	FSF	Q	FSF	Q	FSF	Q	FSF	Q
2	1.000	0.7071								
3	1.000	1.0000	1.000							
4	1.000	0.5412	1.000	1.3065						
5	1.000	0.6180	1.000	1.6181	1.000					
6	1.000	0.5177	1.000	0.7071	1.000	1.9320				
7	1.000	0.5549	1.000	0.8019	1.000	2.2472	1.000			
8	1.000	0.5098	1.000	0.6013	1.000	0.8999	1.000	2.5628		
9	1.000	0.5321	1.000	0.6527	1.000	1.0000	1.000	2.8802	1.000	
10	1.000	0.5062	1.000	0.5612	1.000	0.7071	1.000	1.1013	1.000	3.1969

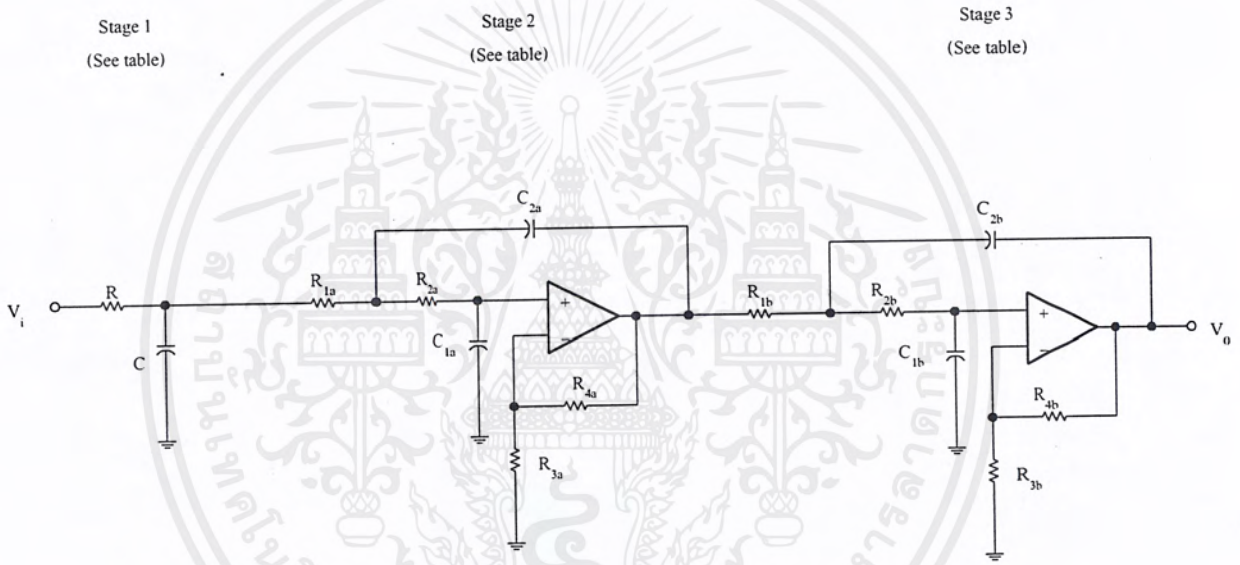
ตารางที่ 3.2 ตารางวงจรกรองความถี่แบบบัทเทอร์เวิร์ท

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากตารางที่ 3.2 เราสามารถเขียนทรานสเฟอร์ฟังก์ชั่นของวงจรกรองความถี่แบบบัทเทอร์เวิร์ท อันดับที่ 5 ได้เป็น

$$H(s) = \frac{K}{(\frac{s}{\omega_c}+1)(\frac{s^2}{\omega^2_c}+\frac{1}{0.6180}\frac{s}{\omega_c}+1)(\frac{s^2}{\omega^2_c}+\frac{1}{1.6180}\frac{s}{\omega_c}+1)}$$

เมื่อ $\omega_C = 2\pi f_C$ คือความถี่(เชิงมุม)คัทออฟ และ K คือเกนทั้งหมดของวงจรใน pass band รูปที่ 3.9 แสดงวงจรที่จะต้องสร้างและค่าของอุปกรณ์ที่จะต้องออกแบบ



Stage	f_C	Q	K
1	$\frac{1}{2\pi RC}$	NA	1
2	$\frac{1}{2\pi\sqrt{R_{1a}R_{2a}C_{1a}C_{2a}}}$	$\frac{\sqrt{R_{1a}R_{2a}C_{1a}C_{2a}}}{R_{1a}C_{1a}+R_{2a}C_{1a}+R_{1a}C_{2a}(1-K_a)}$ $=0.618$	$K_a=\frac{R_{3a}+R_{4a}}{R_{3a}}$
3	$\frac{1}{2\pi\sqrt{R_{1b}R_{2b}C_{1b}C_{2b}}}$	$\frac{\sqrt{R_{1a}R_{2a}C_{1a}C_{2a}}}{R_{1b}C_{1b}+R_{2b}C_{1b}+R_{1b}C_{2b}(1-K_b)}$ $=1.618$	$K_b=\frac{R_{3b}+R_{4b}}{R_{3b}}$

รูปที่ 3.9 การออกแบบวงจรกรองความถี่ต่ำแบบบัทเทอร์เวิร์ทอันดับที่ 5

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ในการออกแบบวงจรสเตจที่ 2 และ 3 เราจะให้ $R_{1a} = R_{2a}$, $R_{1b} = R_{2b}$ เท่ากับ R และ $C_{1a} = C_{2a}$, $C_{1b} = C_{2b}$ เท่ากับ C ทำให้ได้

$$f_C = \frac{1}{2\pi RC}$$

และ

$$Q = \frac{1}{3-K}$$

ซึ่งจะเห็นได้ว่าเราสามารถออกแบบ f_c และ Q ได้อย่างอิสระ โดย Q ถูกกำหนดด้วยอัตราขยายของวงจรและ f_c กำหนดด้วย RC และเนื่องจาก K เป็นตัวกำหนด Q ดังนั้นอาจจำเป็นต้องมีการลดทอนหรือขยายสัญญาณเพื่อให้ได้ระดับสัญญาณที่เอาท์พุทตามต้องการ

<u>ที่สเตจที่ 2</u>

จาก $f_c = \frac{1}{2\pi RC}$

กำหนด C = 500 pF ดังนั้นหา R ได้จาก

$$R = \frac{1}{2\pi f_c} = \frac{1}{2\pi(3K)(500\ p)} = 106\ K\Omega$$

$\therefore$ ใช้ R เท่ากับ 100 KΩ

และจาก $Q = \frac{1}{3-K_a} = 0.618$

ดังนั้น $K_a = 3 - \frac{1}{Q} = 3 - \frac{1}{0.618}$

$$= 1.381 = 1 + \frac{R_{4a}}{R_{3a}}$$

ดังนั้น $\frac{R_{4a}}{R_{3a}} = 0.381$

$\therefore$ ใช้ $R_{4a} = 24\ K\Omega$ และ $R_{3a} = 62\ K\Omega$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ที่สเตจที่ 3

จาก $f_c = \frac{1}{2\pi RC}$

กำหนด C = 5 nF ดังนั้น หา R ได้จาก

$$R = \frac{1}{2\pi f_c c} = \frac{1}{2\pi(3K)(5n)} = 10.6\ K\Omega$$

$\therefore$ ใช้ R เท่ากับ 10 KΩ

และจาก $Q = \frac{1}{3-K_b} = 1.618$

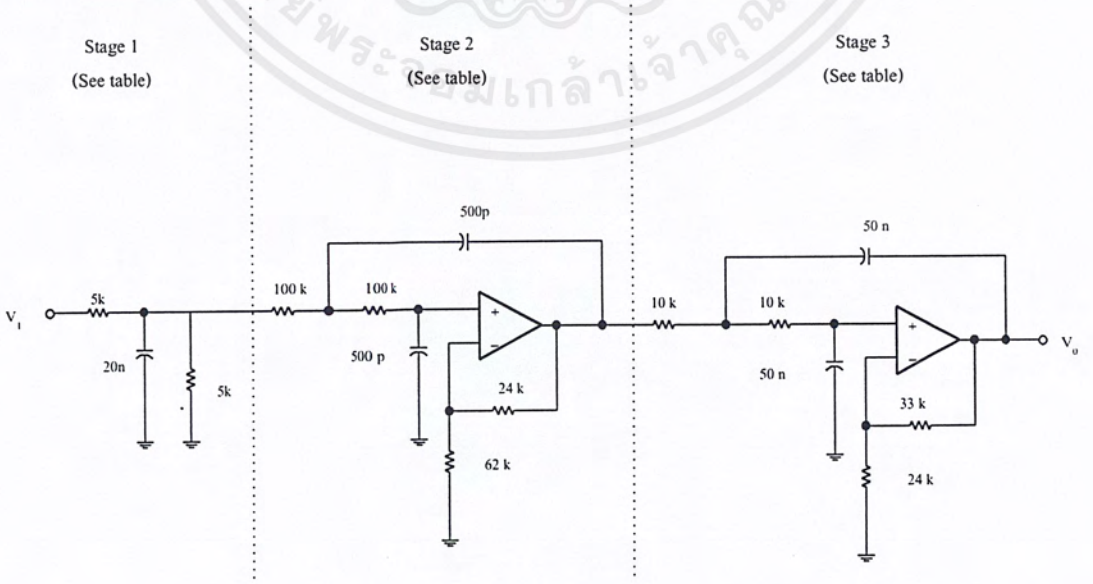
ดังนั้น $K_b = 3 - \frac{1}{Q} = 3 - \frac{1}{1.618}$

$= 2.382 = 1 + \frac{R_{4b}}{R_{3b}}$

ดังนั้น $\frac{R_{4a}}{R_{3a}} = 1.382$

$\therefore$ ใช้ R_{4b} = 33 KΩ และ R_{3b} = 24 KΩ

ที่สเตจที่ 1 ใช้ R = 5 K, C = 20 nF และต่อ R = 5K ระหว่างสเตจที่ 1 และ 2 รูปที่ 3.10 แสดงวงจรสมบูรณ์ของวงจรกรองความถี่ต่ำผ่านที่ต้องการ



รูปที่ 3.10 วงจรกรองความถี่ต่ำผ่านแบบบัทเทอร์เวิร์ทอันดับที่ 5 ความถี่คัทออฟเท่ากับ 3 KHz

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

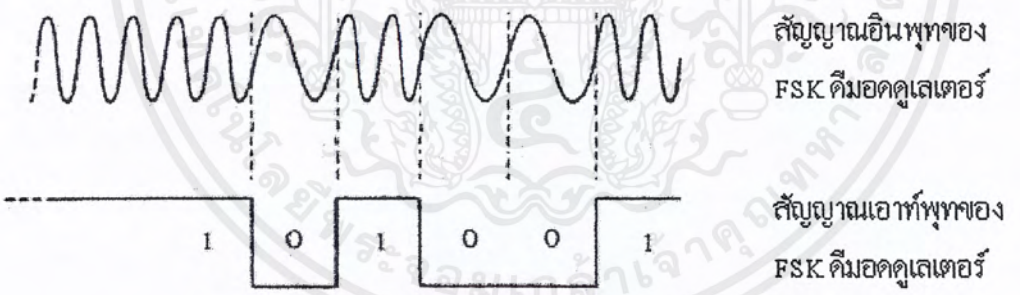
3.1.2 FSK ดีมอดดูเลเตอร์

วงจร FSK ดีมอดดูเลเตอร์ทำหน้าที่เปลี่ยนสัญญาณ FSK ให้กลับเป็นสัญญาณข้อมูลดิจิตอลดังเดิม โดยเปลี่ยนสัญญาณความถี่สเปซเป็นสัญญาณลอจิก "0" และสัญญาณข้อมูลความถี่มาร์คกลับไปเป็นสัญญาณลอ "1" รูปที่ 3.11 (ก) แสดงบล็อคไดอะแกรมของ FSK ดีมอดดูเลเตอร์ ซึ่งประกอบด้วย

- FSK ดีเทคเตอร์
- คอมพาราเตอร์

และรูปที่ 3.11 (ข) แสดงความสัมพันธ์ระหว่างสัญญาณที่อินพุทและเอาท์พุทของ FSK ดีมอดดูเลเตอร์

รูปที่ 3.11 (ก) บล็อคไดอะแกรมของ FSK ดีมอดดูเลเตอร์



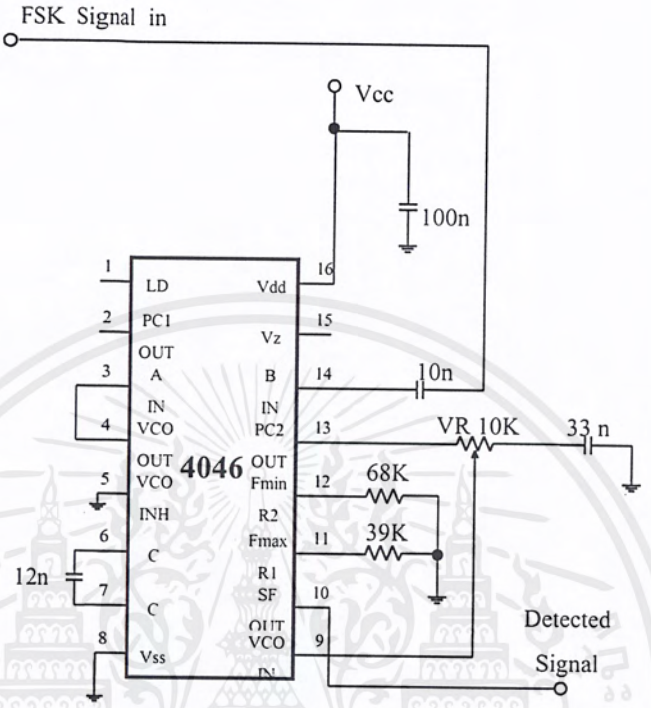
รูปที่ 3.11 (ข) แสดงความสัมพันธ์ระหว่างสัญญาณที่อินพุทและเอาท์พุทของ FSK ดีมอดดูเลเตอร์

(ก) FSK ดีเทคเตอร์ การทำงานของ FSK ดีเทคเตอร์ อาศัยหลักการทำงานของเฟสล็อคลูปที่จะพยายามซิงโครไนซ์ความถี่อินพุทกับความถี่ที่ผลิตขึ้นจาก VCO นั่นคือ อาศัยหลักการที่ว่า ถ้าสัญญาณอินพุทของเฟสล็อคลูปเป็นสัญญาณที่ถูกมอดดูเลททางความถี่สัญญาณเอาท์พุทที่ลูปฟิลเตอร์ คือ สัญญาณที่ถูกดีมอดดูเลทแล้ว

ในที่นี้ใช้ไอซีเฟสล็อคลูปเบอร์ MC14046 ซึ่งมีเฟสดีเทคเตอร์ภายใน 2 แบบ คือ XOR เฟสดีเทคเตอร์และ PFD ดีเทคเตอร์ ในที่นี้เลือกใช้ PFD ดีเทคเตอร์ และเอาสัญญาณเอาท์พุทที่

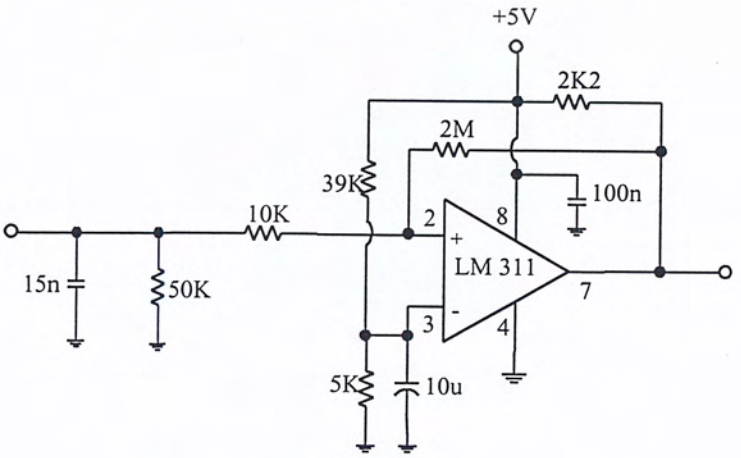
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ขา 10 ซึ่งเป็นสัญญาณเดียวกับสัญญาณที่จะเป็นอินพุทของส่วน VCO แต่ผ่าน วงจร source follower ภายในก่อน รูปที่ 3.12 แสดงวงจร FSK ดีเทคเตอร์



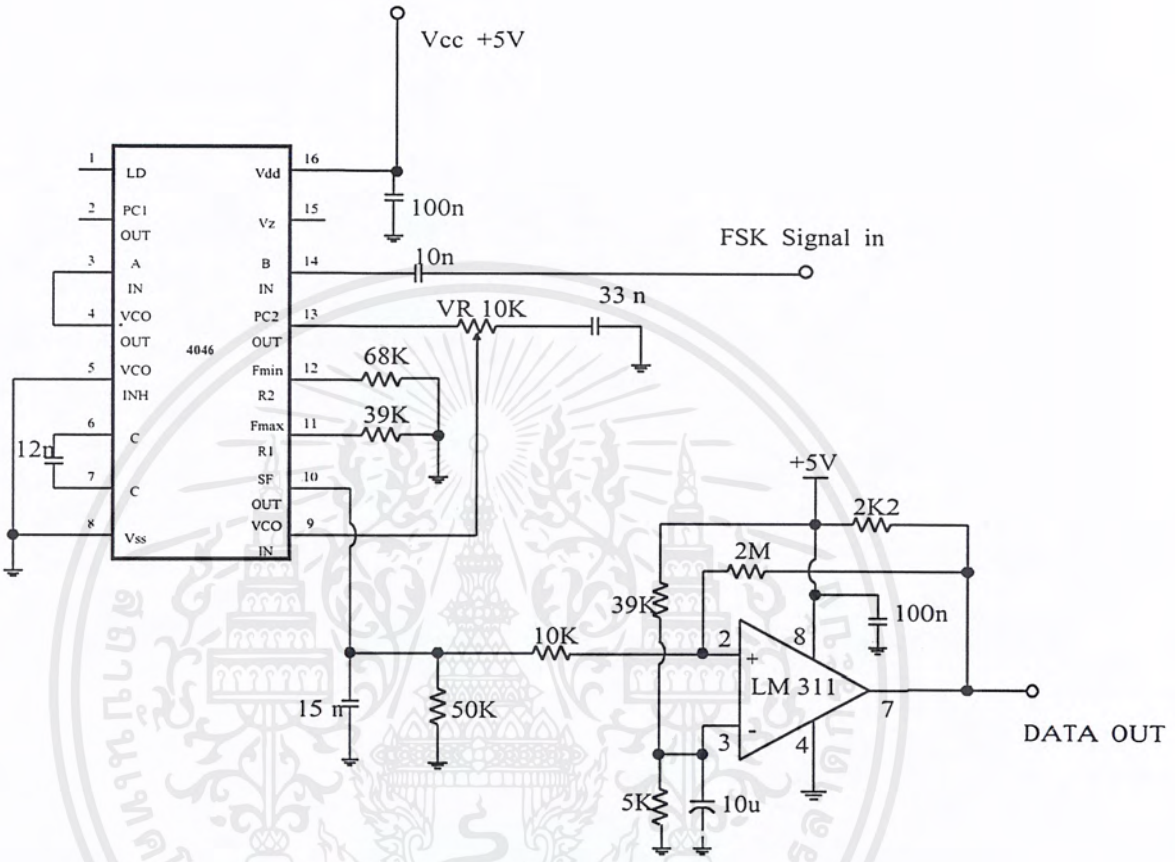
รูปที่ 3.12 FSK ดีเทคเตอร์

(ข) คอมพาราเตอร์ เนื่องจากสัญญาณเอาท์พุทที่ออกมาจาก FSK ดีเทคเตอร์ ไม่ได้เป็นสัญญาณดิจิตอลและมีขนาดของสัญญาณเล็กมาก ๆ ดังนั้นจึงจำเป็นต้องมีวงจรคอมพาราเตอร์ เพื่อทำให้ได้สัญญาณดิจิตอลที่เอาท์พุทของวงจร FSK ดีมอดดูเลเตอร์ตามต้องการ รูปที่ 3.13 แสดงวงจรคอมพาราเตอร์ และรูปที่ 3.14 แสดงวงจร FSK มอดดูเลเตอร์ที่สมบูรณ์



รูปที่ 3.13 วงจรคอมพาราเตอร์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.14 วงจร FSK ดีมอดดูเลเตอร์ทั้งหมด

3.2 เครื่องรับ FM

การดำเนินการสร้างเครื่องรับ FM สำหรับโครงงานนี้ได้เลือกใช้ไอซี เครื่องรับ FM เบอร์ MC13135 ของบริษัทโมโตโรล่า ซึ่งมีราคาถูก และรวบรวมฟังก์ชั่น บล็อคต่าง ๆ ไว้สมบูรณ์ภายในไอซีขนาด 24 ขา ตัวเดียว MC13135 เป็นไอซี เครื่องรับแบบดูอัลคอนเวอร์ชั่น (dual conversion) ประกอบด้วย วงจรผลิตความถี่แบบโคลพิทส์ (colpitts) วาแรคเตอร์ไดโอด มิกเซอร์ วงจรขยาย IF และวงจรแสดงความแรงของสัญญาณ (RSSI) ส่วนของวงจรกำเนิดความถี่โลคัลออสซิลเลเตอร์นั้นได้ใช้ ไอซีเบอร์ MC145166 ของบริษัท โมโตโรล่า ซึ่งเป็นไอซีเฟสล็อคลูปคู่ ที่ใช้ในโทรศัพท์ไร้สาย ความถี่ 46 / 49 MHz มาเป็นตัวควบคุมการผลิตความถี่ ซึ่ง MC 13135 มีขา 1st LO Out ซึ่งเป็นเอาท์พุทของวงจรกำเนิดความถี่ ที่สามารถนำไปเป็นสัญญาณอินพุทให้กับเฟสล็อคลูปได้ และในหัวข้อนี้เราจะได้กล่าวถึงการกำหนดค่าอุปกรณ์ที่ใช้ร่วมกับ MC13135 ในส่วนต่าง ๆ ดังนี้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ส่วนผลิตความถี่โลคัลออสซิลเลเตอร์ภาคแรก

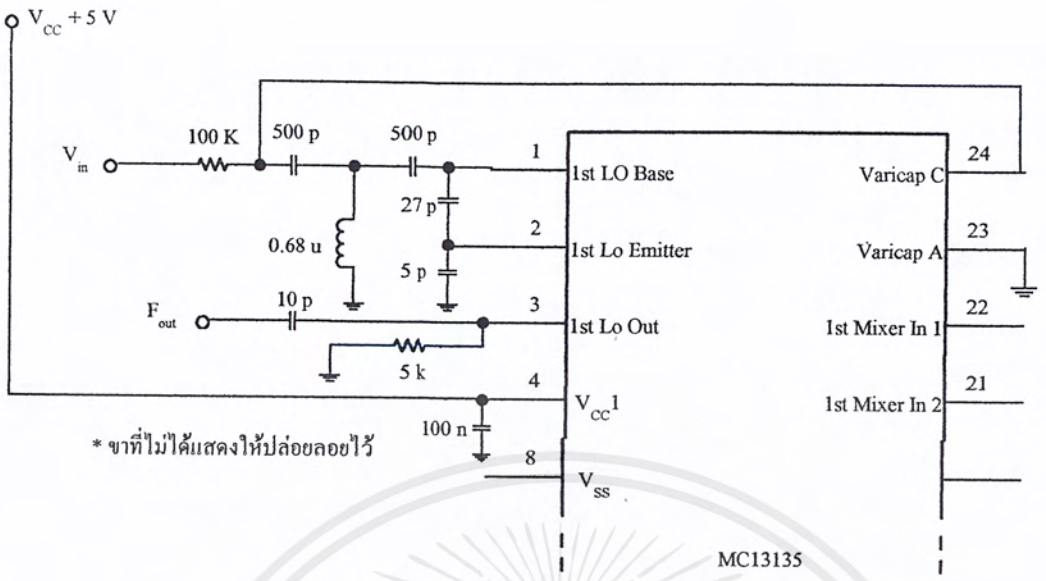
ภายใน MC 13135 มีวงจรออสซิลเตอร์แบบโคลพิทส์ คอมมอนคอลเลคเตอร์อยู่ภายในซึ่งได้มีการจัดไบอัสไว้เรียบร้อยแล้ว และมีขาเบสและอีมิตเตอร์ต่อออกมาข้างนอกเพื่อใช้ในการควบคุมการผลิตความถี่และเพื่อเพิ่มกระแสไบอัสตามลำดับ ซึ่งในส่วนนี้ก็มีวงจรการประยุกต์ใช้งานอยู่แล้ว แต่เนื่องจากได้มีปัญหาเกิดขึ้น (อธิบายไว้แล้วในบทปัญหา – การแก้ไข) ซึ่งค่า L ที่ระบุไว้ไม่สามารถกำเนิดความถี่ได้ในช่วงตามที่ต้องการ จึงต้องเลือกค่า L ใหม่ เพื่อให้วงจรผลิตความถี่ในช่วง 35.915 – 36.275 MHz ได้ วงจรการเลือกหาค่า L เพื่อให้ผลิตความถี่ในช่วงที่ต้องการแสดงได้ ดังรูปที่ 3.3 จากนั้นใช้ค่า L ค่าต่าง ๆ ที่มีขายในท้องตลาดมาใส่ในวงจร (ผู้ทำเริ่มที่ค่า L = 680 เนื่องจากที่ L ค่านี้เคยผลิตความถี่ในช่วงที่ต้องการได้) ทำการป้อน V_{IN} ค่า 0 โวลต์ แล้วบันทึกค่า $F_{out\ (min)}$ แล้วป้อน V_{IN} เท่ากับ 5 โวลต์ บันทึก $F_{out\ (max)}$ ซึ่งจากการทดลองโดยใช้ L 4 ตัว ตามลำดับได้ผลดังนี้

ค่า L (nH)	$F_{out(min)}$ (MHz)	$F_{out(max)}$(MHz)
680 (1/4w)	39.83	45.98
820 (1/4w)	36.17	41.79
1000 (1/4w)	36.13	35.14
820 (1/2w)	33.28	38.03

ตารางที่ 3.3 แสดงค่า L ที่เลือกใช้ในการผลิตความถี่

ซึ่งจะเห็นว่าที่ค่า L เท่ากับ 820 nH ขนาด 1/2w สามารถผลิตความถี่ในช่วง 33.28 – 38.03 MHz โดยการควบคุมแรงดัน V_{IN} ระหว่าง 0 – 5 โวลต์ ค่าความถี่ที่ V_{IN} ค่าต่าง ๆ สามารถดูได้ที่บทที่ 4 ในหัวข้อการทดลองในส่วนของเครื่องรับ

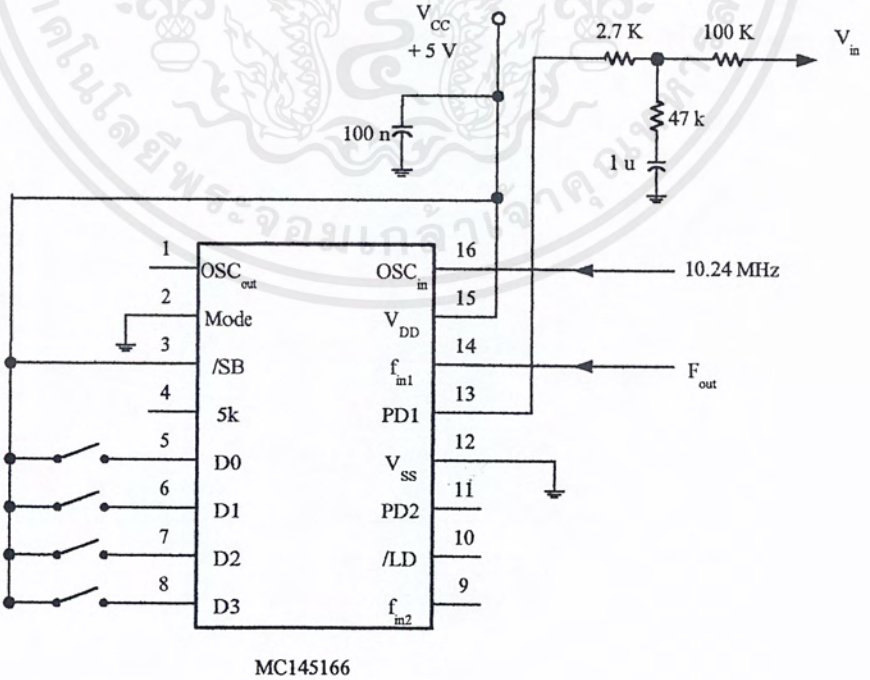
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.15 วงจรการทดลองหาค่า L

ส่วนควบคุมการผลิตความถี่ด้วยเฟสล็อคลูป

ในส่วนนี้ใช้ MC145166 ในการควบคุมการผลิตความถี่ โดยเพียงแต่ต่อลูปฟิลเตอร์เพิ่มข้างนอกเท่านั้นส่วนของวงจรนี้แสดงดังรูปที่ 3.16

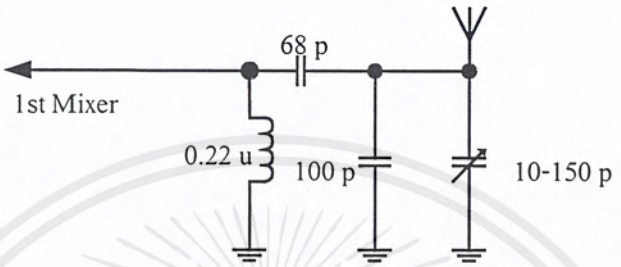


รูปที่ 3.16 ส่วนควบคุมการผลิตความถี่ด้วยเฟสล็อคลูป

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

วงจรจูนด์

ส่วนนี้ได้ใช้วงจรแมทชิ่งแบบพาย ซึ่งออกแบบให้มีความถี่ศูนย์กลางประมาณ 46MHz และมีแบนด์วิดท์ประมาณ 18 MHz วงจรแสดงดังรูปที่ 3.17



รูปที่ 3.17 วงจรจูนด์

ส่วนของวงจรมิกเซอร์ภาคที่ 1 และภาคที่ 2

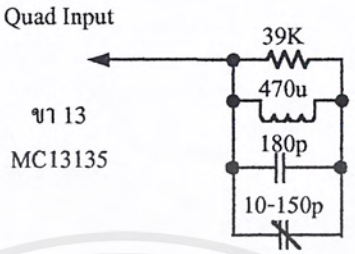
วงจรมิกเซอร์ทั้งสองภาคถูกรวมไว้ใน MC 13135 ทั้งหมดแล้ว แต่จำเป็นต้องต่ออุปกรณ์ภายนอกเพิ่มไม่กี่ตัว สำหรับมิกเซอร์ภาคแรกมีเอาท์พุทอิมพีแดนซ์ 330 Ω ถูกออกแบบมาให้ใช้กับเซรามิกฟิลเต่อร์ ในที่นี้ใช้ความถี่ IF_1 = 10.7 MHz จึงเลือกใช้เซรามิกฟิลเตอร์ความถี่ 10.7 MHz ต่อที่ขา 18, 19 , 20 แสดงดังรูปที่ 3.19 ส่วนมิกซอร์ภาคที่สองมีอินพุทอิมพีแดนซ์ 4.0 KΩ จึงต้องต่อความต้านทาน 360 Ω คร่อมที่อินพุท (ขา 18 , 19) เพื่อทำให้อิมพีแดนซ์ของเซรามิกฟิลเตอร์กับอินพุทอิมพีแดนซ์ของมิกเซอร์ภาคที่สองแมทช์กัน

สำหรับความถี่ IF_2 ใช้ความถี่ 455 KHz จึงใช้เซรามิกฟิลเตอร์ 455 KHz แต่เนื่องจากจากว่า ความถี่กลางของเซรามิกฟิลเตอร์ความถี่ 455 KHz มีค่าไม่แน่นอน ดังนั้นในส่วนนี้จึงทำการแก้ไขโดยใช้คริสตัลความถี่ 10.24 MHz ต่อร่วมกับคาปาซเตอร์ปรับค่าได้เป็นตัวควบคุมการกำเนิดความถี่ของโลคัลออสซิลเลเตอร์ภาคที่สอง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

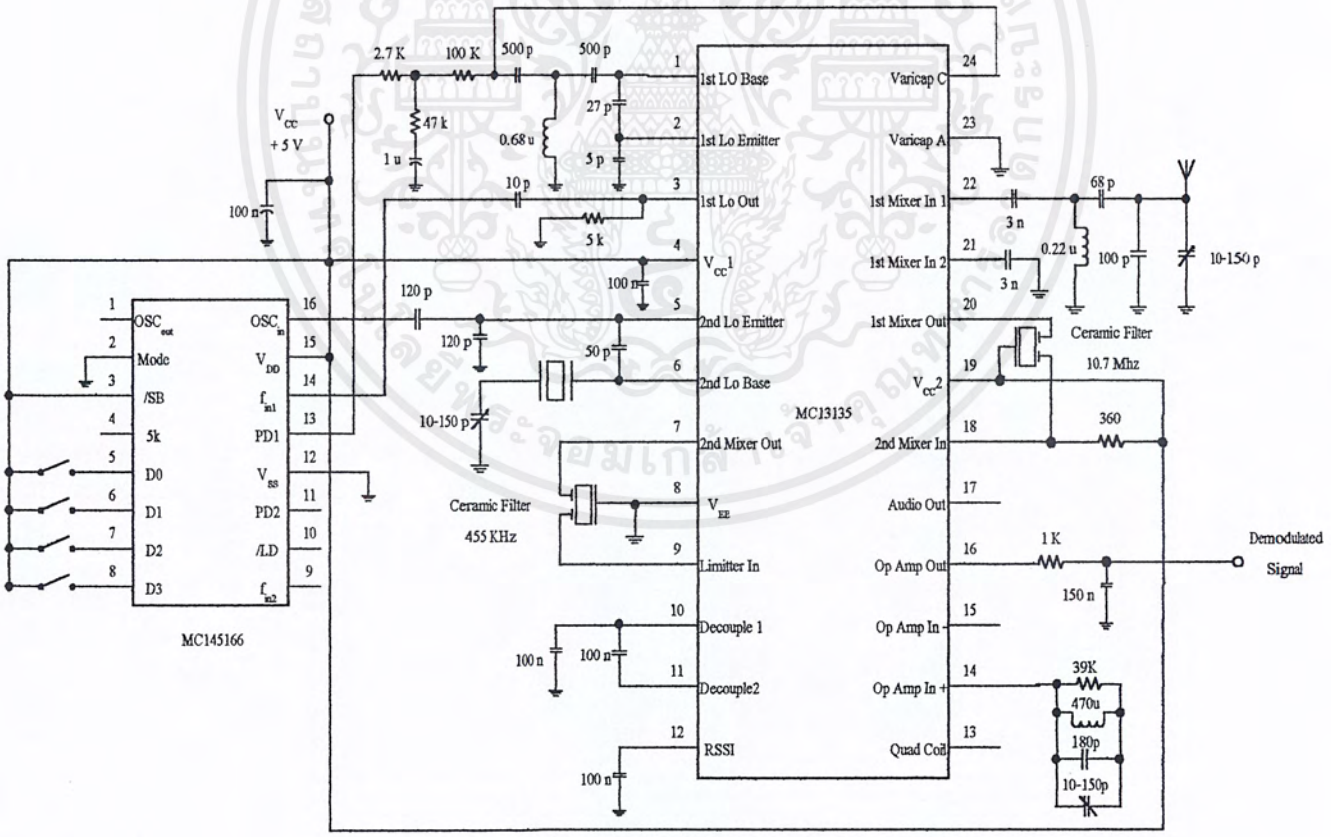
ควอดคอยล์

ในส่วนนี้ประกอบด้วย R,L และ C ต่อขนานกันเป็นวงจรจูนด์ โดยจะจูนด์ไปที่ความถี่ IFที่สอง



รูปที่ 3.18 ควอดคอยล์

และที่ Audio output ต่อ R เท่ากับ 1K และ C เท่ากับ 150 nF ตามลำดับ



รูปที่ 3.19 วงจรเครื่องรับ FM

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.3 เครื่องส่ง FM

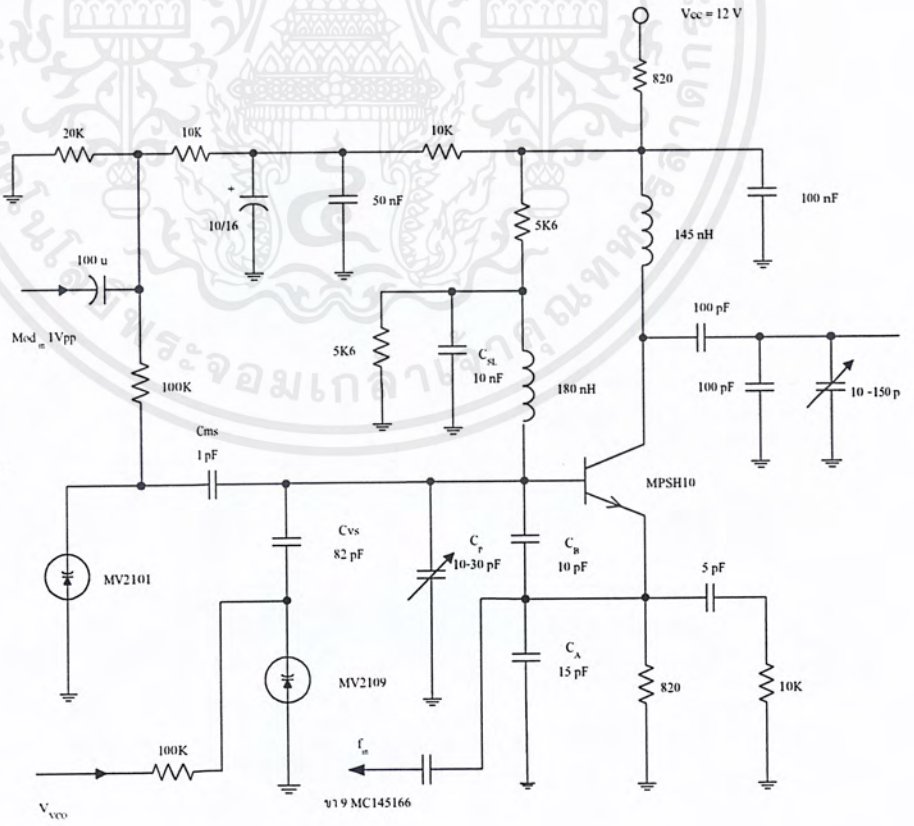
ส่วนของเครื่องส่ง FM ประกอบด้วยส่วนประกอบสำคัญ 2 ส่วนคือ

- วงจรผลิตความถี่ที่ควบคุมด้วยแรงดัน
- วงจรขยายสัญญาณ RF

วงจรผลิตความถี่ควบคุมด้วยแรงดัน จะทำหน้าที่ผลิตสัญญาณพาหะของทางเครื่องส่ง และทำหน้าที่มอดดูเลทสัญญาณพาหะกับสัญญาณข้อมูล จากนั้นวงจรขยายสัญญาณ RF จะขยายสัญญาณ FM ดังกล่าว ให้มีความแรงขึ้น และส่งออกอากาศ

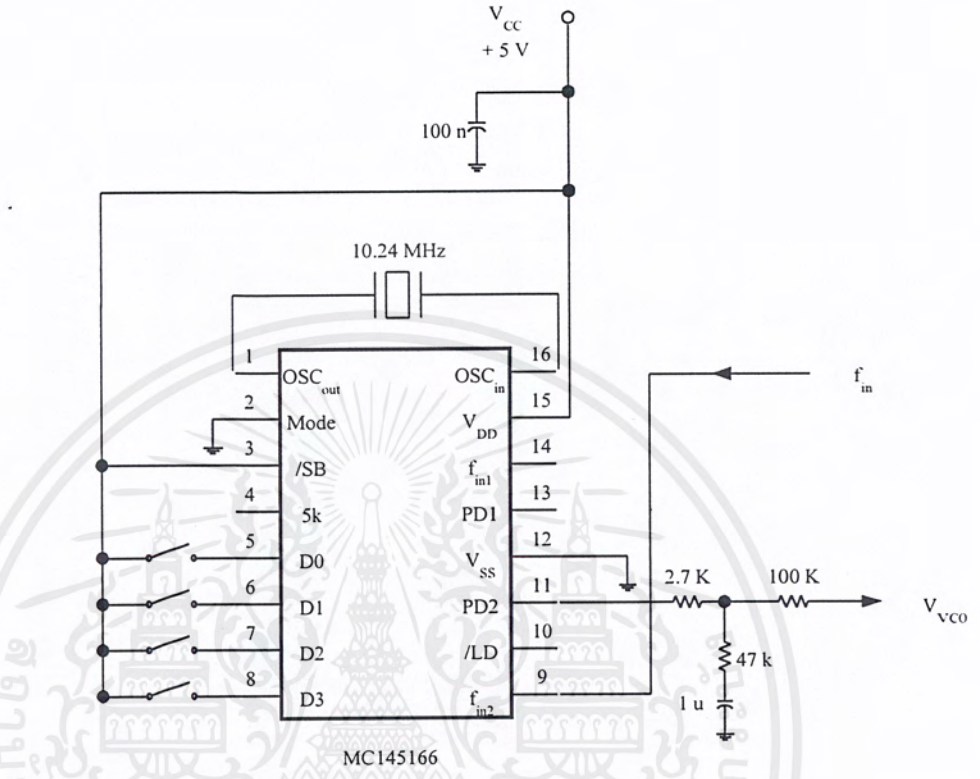
3.3.1 วงจรผลิตความถี่ควบคุมด้วยแรงดัน

วงจรในส่วนนี้อาศัยหลักการของวาริแคปไดโอดในการควบคุมการผลิตความถี่ ซึ่งวาริแคปไดโอดจะเปลี่ยนแปลงค่าประจุที่รอยต่อ PN ของมัน ตามแรงดันรีเวอร์สไบอัสที่ตกคร่อมตัวมัน โดยในส่วนของการผลิตความถี่พาหะ ได้อาศัยเฟสล็อคลูปในการควบคุมแรงดันในการผลิตความถี่ เพื่อให้การผลิตความถี่มีความแน่นอนมากยิ่งขึ้น วงจรรูปที่ 3.20 (ก) แสดงวงจรผลิตความถี่ควบคุมด้วยแรงดัน และรูปที่ 3.20 (ข) แสดงวงจรเฟสล็อคลูปที่ใช้ในการควบคุมการผลิตความถี่



รูปที่ 3.20 (ก) วงจรผลิตความถี่ที่ควบคุมด้วยแรงดัน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

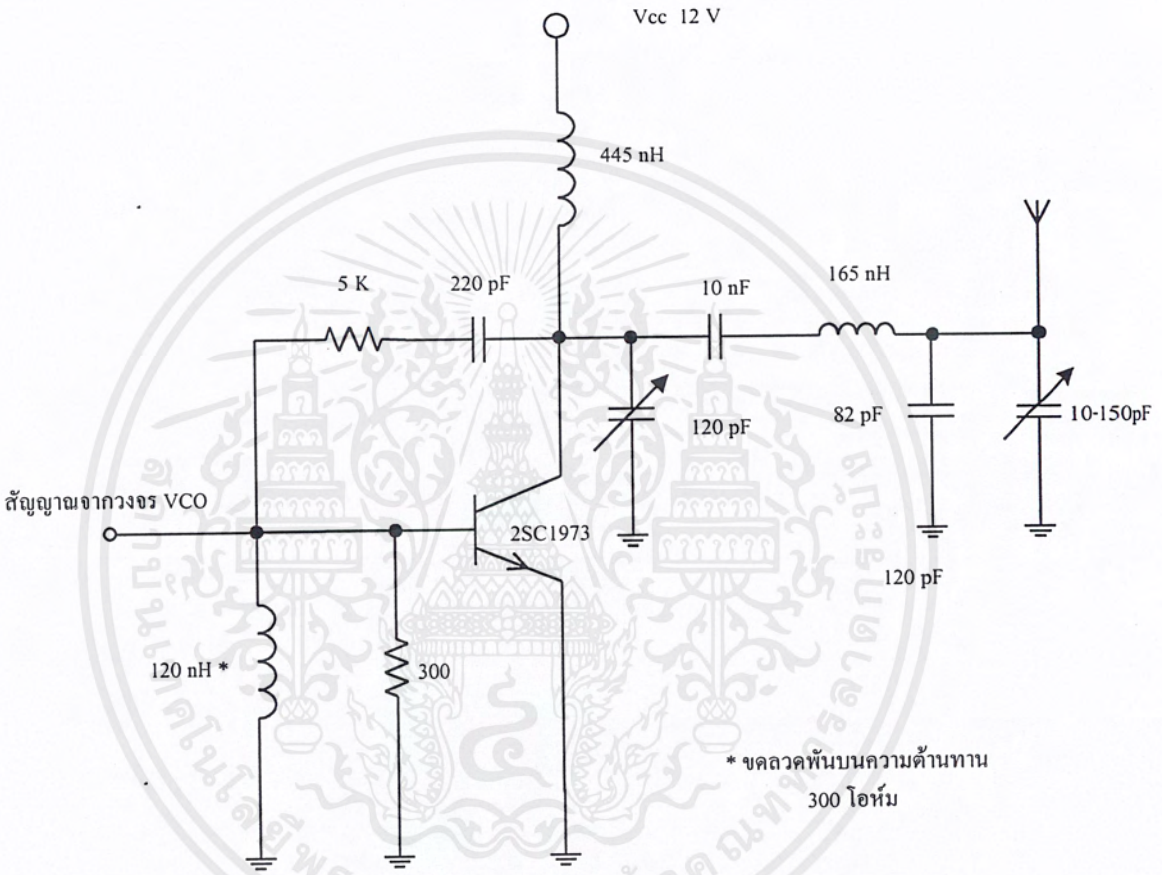


รูปที่ 3.20 (ข) วงจรเฟสล็อคลูปที่ใช้ในการควบคุมการผลิตความถี่

3.3.2 วงจรขยายสัญญาณ RF

วงจรขยายสัญญาณ RF ทำหน้าที่ขยายสัญญาณ ที่มอดดูเลทแล้วให้แรงขึ้นเพื่อส่งออกอากาศ ในที่นี้ได้จัดวงจรให้เป็นวงจรขยายคลาส C โดยในครั้งแรกได้ใช้ทรานซิสเตอร์เบอร์ 2N3866 แต่จากการทดลองปรากฏว่า 2N3866 ไม่สามารถทำงานได้ตามที่กำหนด จึงต้องเปลี่ยนทรานซิสเตอร์เป็นเบอร์ 2SC1973 ซึ่งค่อนข้างหาซื้อได้ยากในท้องตลาด วงจร RF AMP แสดงดังรูปที่ 3.21

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

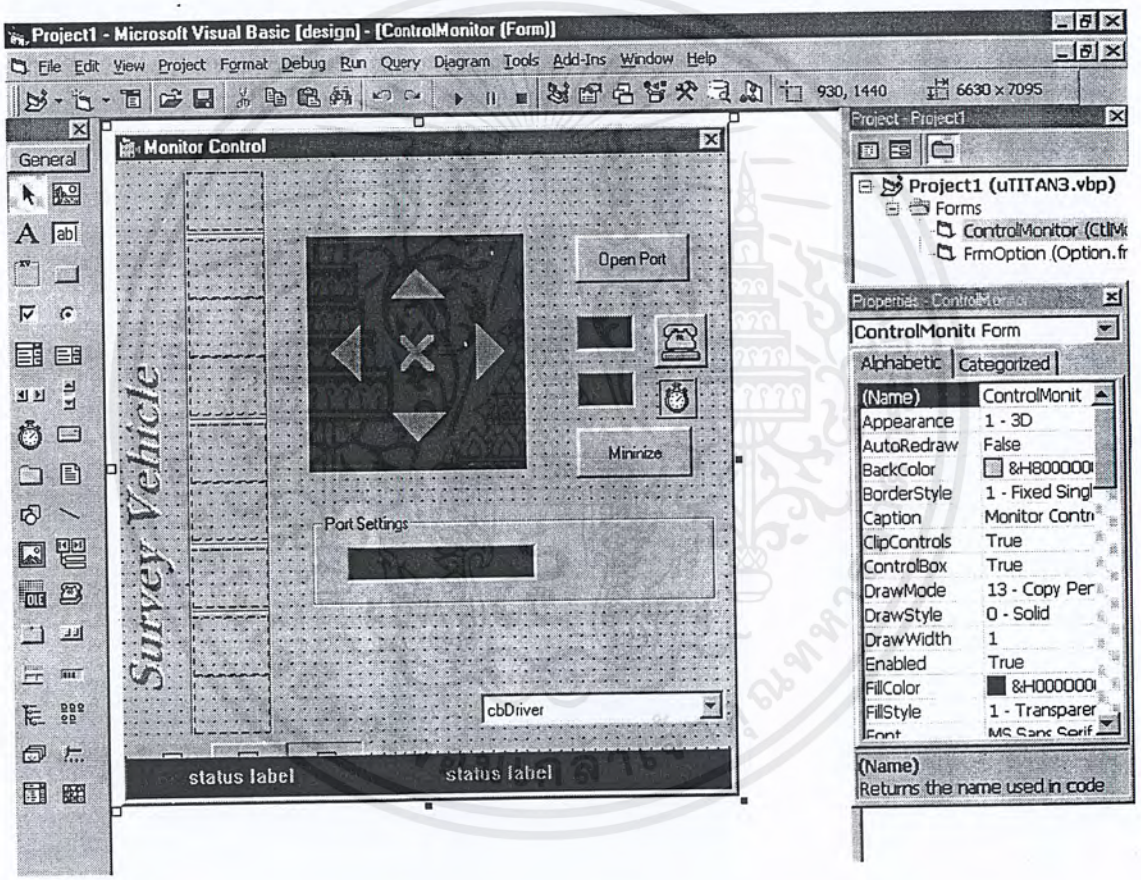


รูปที่ 3.21 วงจรขยายสัญญาณ RF

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.4 โปรแกรมควบคุมการทำงาน

โปรแกรมควบคุมการทำงาน ทำหน้าที่ส่งรหัสควบคุมไปยังตัวรถ ในที่นี้ได้ใช้ Visual Basic ในการเขียนโปรแกรม โดยอาศัยคอนโทรล CommPort ในการส่งข้อมูลอนุกรมจากคอมพิวเตอร์ โดยอาศัยเหตุการณ์ Keydown และ Keyup ในการตรวจสอบการกดคีย์ของผู้ใช้ ประมวลผลค่าคีย์ดังกล่าวแล้ว จึงส่งข้อมูลออกทางพอร์ทอนุกรม ในส่วนของการแสดงภาพ video ได้อาศัย component eZvidcap ในการแสดงผล ซึ่ง คอนโทรลดังกล่าว สามารถหาดาวน์โหลดได้ที่ www.vbshrinkwrap.com รูปที่ 3.22 แสดงหน้าจออินเทอร์เฟซขณะออกแบบ



รูปที่ 3.22 โปรแกรมควบคุมการทำงานขณะออกแบบ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.5 โปรแกรมในส่วนของการขับเคลื่อนรถและควบคุมกล้อง

ในส่วนนี้อาศัยไมโครคอนโทรลเลอร์เบอร์ AT89C2051 เป็นตัวประมวลผลกลาง โดยรับข้อมูลจากภาค FSK ดีมอดดูเลเตอร์ แล้วตรวจสอบรหัสที่ส่งมาแล้วทำตามรหัสที่รับมาได้

ส่วนของการขับเคลื่อนรถ ใช้ไอซี ขับมอเตอร์เบอร์ A3951SW ซึ่งสามารถจ่ายกระแสได้สูงสุดถึง 2.5A ง่ายต่อการควบคุม เหมาะสำหรับนำมาใช้ร่วมกับไมโครโปรเซสเซอร์

ส่วนของการควบคุมกล้องได้ใช้ สเตปปิ้งมอเตอร์ ในการแพนกล้องซ้ายขวา และใช้ servo motor ในการควบคุมการก้มเงย ซึ่งในส่วนนี้ใช้ ไอซี เบอร์ ULN 2003 ในการขับกระแสวงจรทั้งหมดในส่วนนี้ แสดงดังรูปที่ 3.23

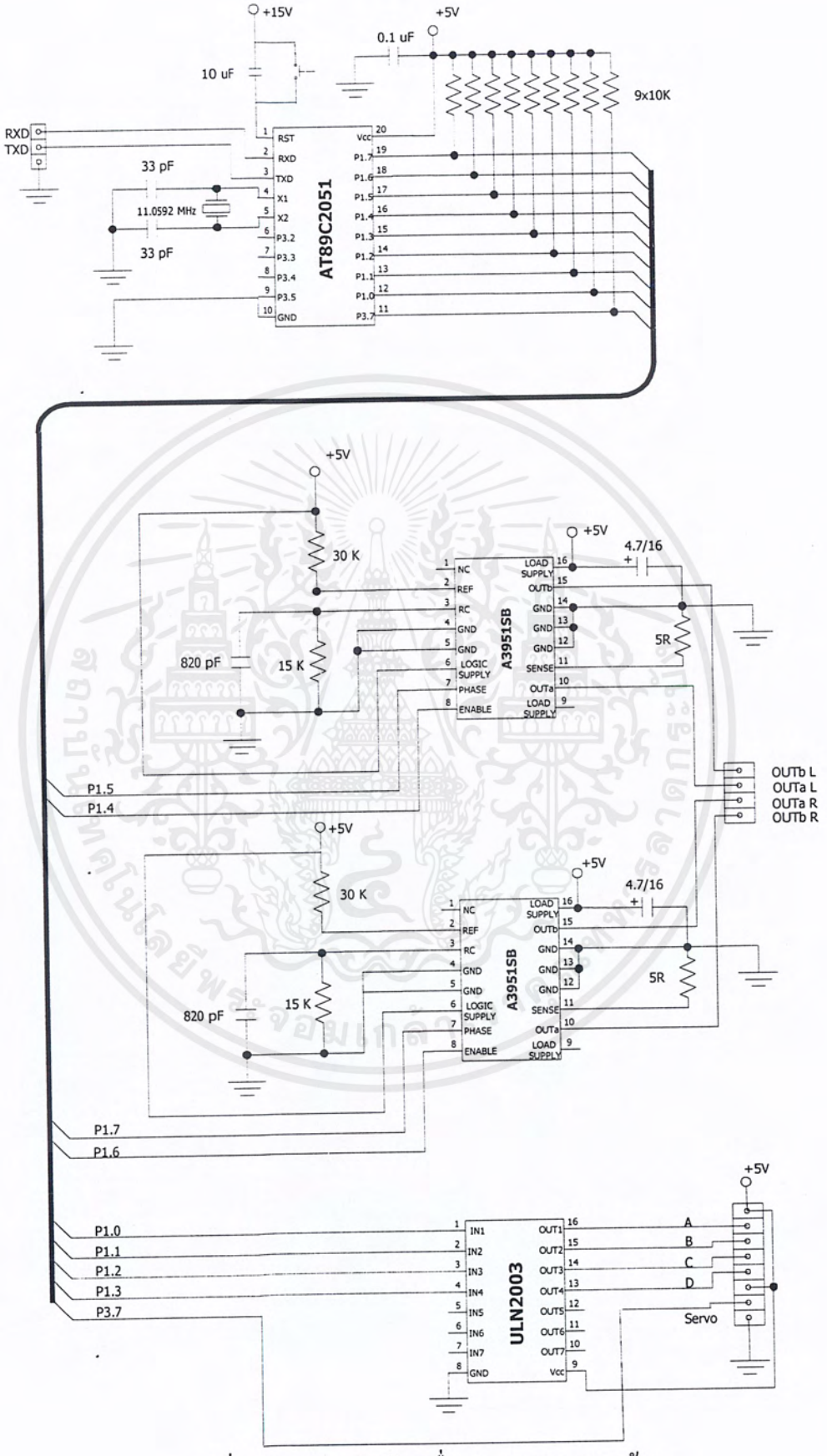
3.6 เครื่องส่งสัญญาณวีดีโอ

รูปที่ 3.24 แสดงวงจรเครื่องส่งสัญญาณวิดีโอ

การทำงานของวงจร

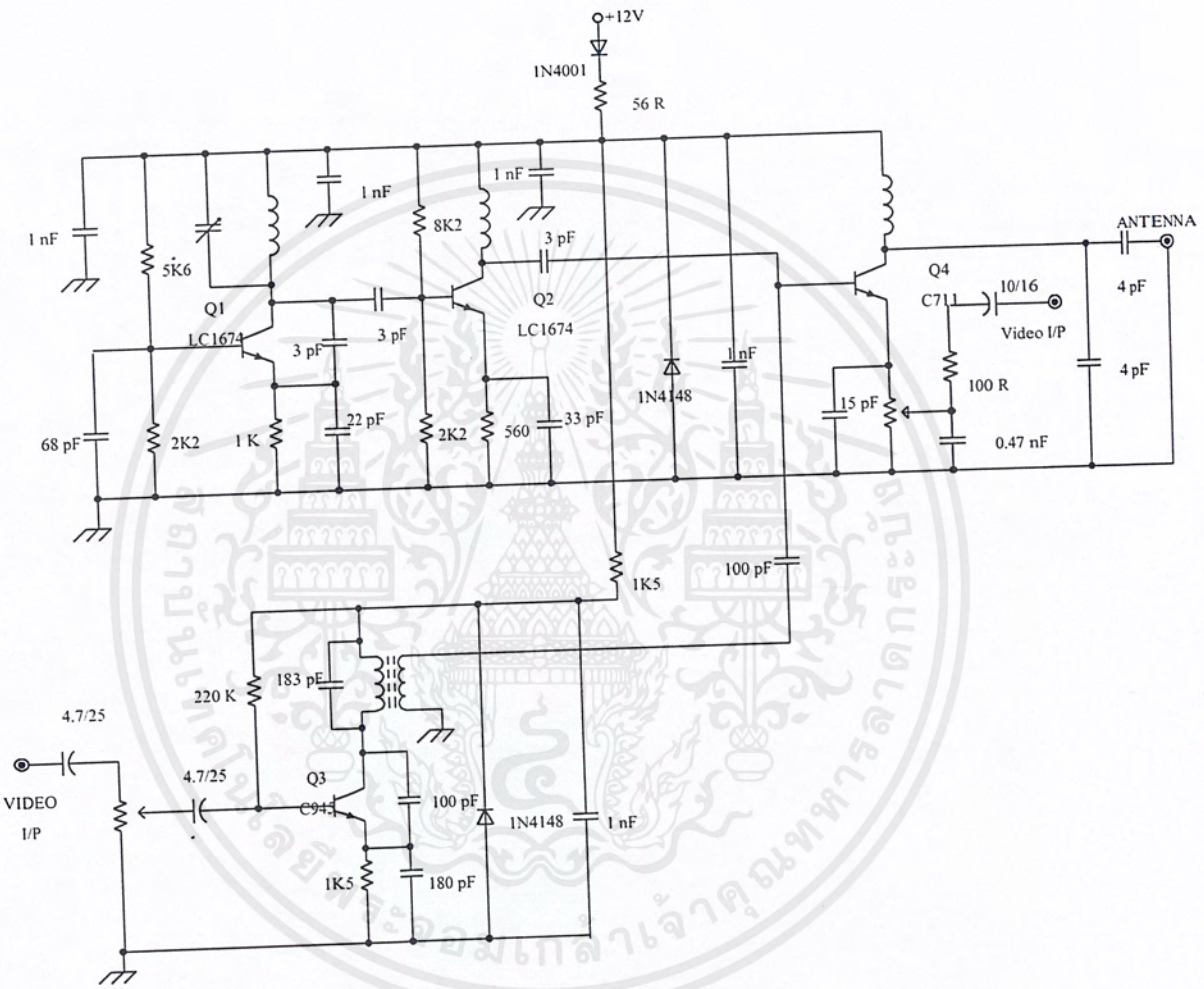
1. ภาคผลิตสัญญาณพาหะสำหรับสัญญาณภาพประกอบด้วย ภาคออสซิลเลเตอร์ ทำหน้าที่โดย Q_1 ร่วมกับ L และ C ทริมเมอร์ ความถี่ที่ผลิตขึ้นมานี้จะถูกนำไปทำการเพิ่มความถี่ให้สูง ขึ้นด้วยภาคทวีคูณความถี่เป็นสองเท่า โดย Q_2
2. ภาคผลิตสัญญาณพาหะสำหรับสัญญาณเสียงร่วมกับเอฟเอ็มมอดูเลเตอร์ ประกอบด้วย Q_3 เป็นรีแอคแตนท์มอดดูเลเตอร์ ร่วมกับ LC แทงค์ ซึ่งทำด้วยไอเอฟทรานฟอร์มเมอร์ เป็นตัวกำเนิดความถี่ 5.5 MHz สัญญาณเสียงที่เข้ามาทางขาเบสของ Q_3 จะทำให้รีแอคแตนท์ของวงจรกำเนิดความถี่เปลี่ยนไป จึงทำให้ความถี่ 5.5 MHz เปลี่ยนแปลงไปตามสัญญาณ นั่นคือ เกิดคลื่น FM ออกไปยังขาเบสของ Q_4
3. ภาคมอดดูเลเตอร์ภาพ และขยายกำลัง สัญญาณภาพถูกป้อนเข้าทางขาอิมิตเตอร์ของ Q_4 เพื่อทำให้เกิดการมอดดูเลทแบบเอเอ็ม โดยโวลท์เตทจากสัญญาณภาพควบคุมการไบอัสของ Q_4 เปลี่ยนแปลงไปตามขนาดของสัญญาณและในขณะเดียวกัน ความถี่พาหะของภาพและเสียงที่เบสของ Q_4 จะเกิดการบีทกันได้ ดังนั้นที่เบสของ Q_4 ซึ่งเป็นจุดที่ความถี่พาหะภาพและเสียงสูงกว่าพาหะภาพอยู่ 5.5 MHz

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.23 วงจรการขับเคลื่อนรถและควบคุมกล้อง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.24 วงจรเครื่องส่งสัญญาณวีดิโอ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 4
การทดลองและผลการทดลอง

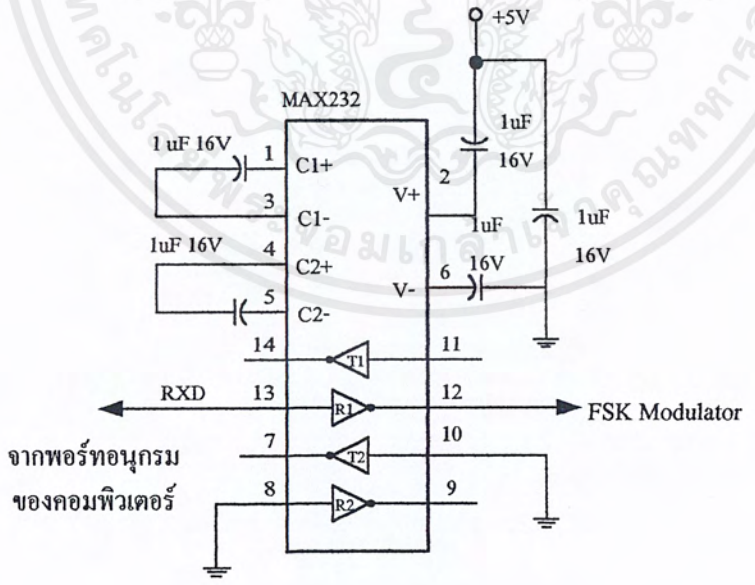
ในบทนี้จะกล่าวถึงการทดลองวงจรในส่วนต่าง ๆ พร้อมทั้งผลการทดลอง และเพื่อให้เห็นถึงการเปลี่ยนแปลงของสัญญาณที่ผ่านไปแต่ละภาคอย่างต่อเนื่อง จะทำการทดลองเริ่มจากเครื่องรับไปยังเครื่องส่งตามลำดับ ดังต่อไปนี้

4.1 การทดลองในส่วนของเครื่องส่ง

4.1.1 วงจรแปลงระดับสัญญาณ RS-232 เป็น TTL

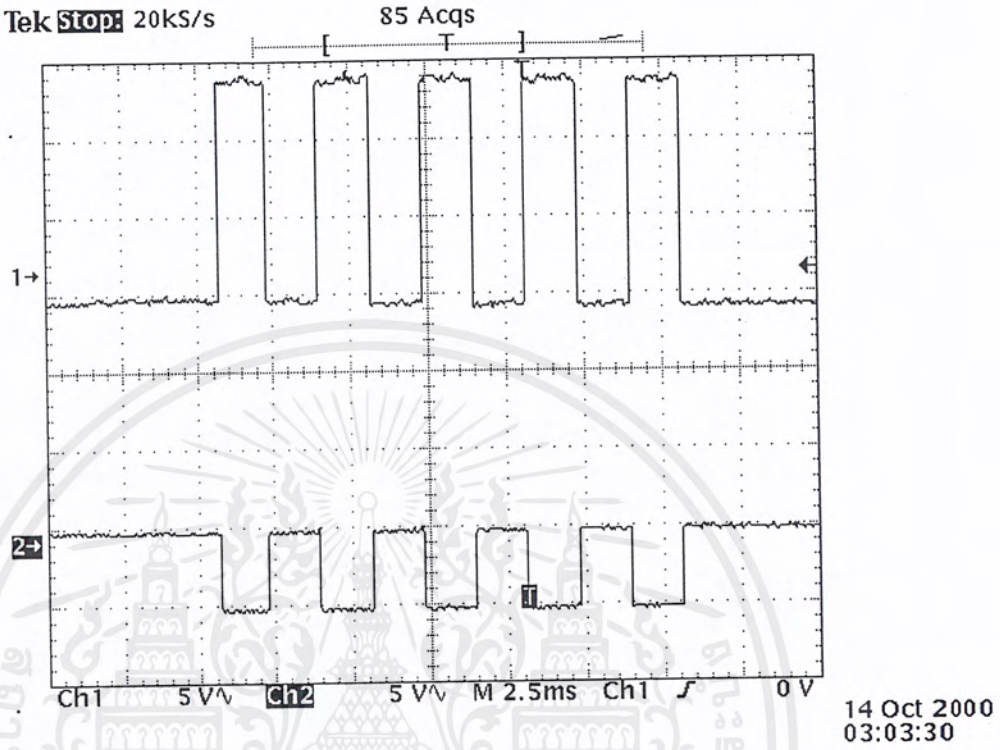
<u>การทดลอง</u> วงจรทดลองแสดงดังรูปที่ 4.1 โดยการส่งสัญญาณข้อมูลออกจากคอมพิวเตอร์แล้ววัดสัญญาณที่ขา 13 ของ MAX 232 เทียบกับขาสัญญาณ 12 ดังรูป 4.1 ผลการทดลองแสดงดังรูป 4.2

<u>ผลการทดลอง</u> ผลการทดลองแสดงดังรูป 4.2



รูปที่ 4.1 วงจรทดลองการแปลงระดับสัญญาณ RS 232 เป็น TTL

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



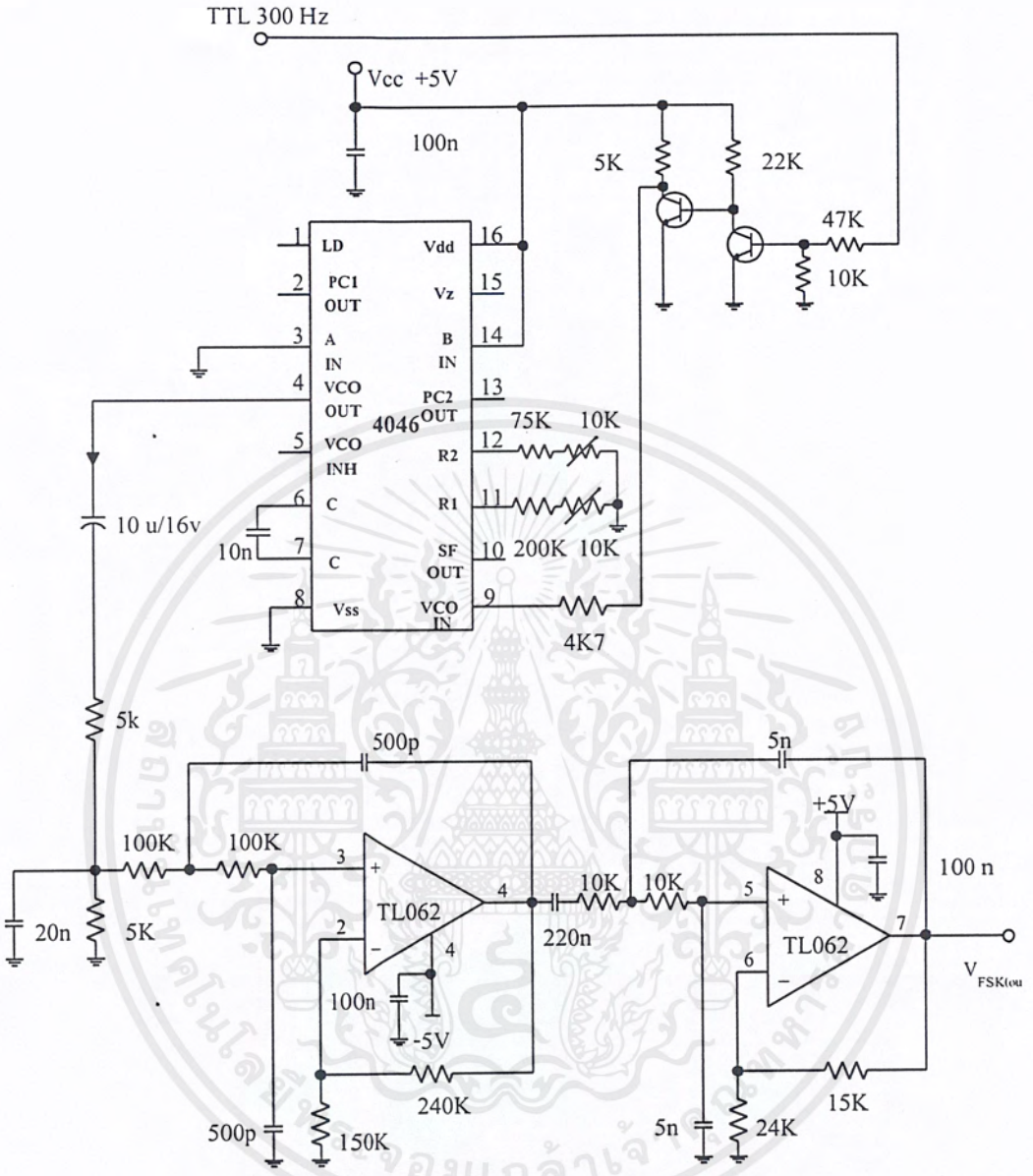
รูปที่ 4.2 สัญญาณที่ขา 13 ของ MAX 232 เทียบกับขาสัญญาณ 12
ช่อง 1 แสดงสัญญาณที่ออกจากคอมพิวเตอร์
ช่อง 2 แสดงสัญญาณ TTL ที่ เอาท์พุท

4.1.2 วงจร FSK มอดดูเลเตอร์

<u>การทดลอง</u> วงจรการทดลองแสดงดังรูปที่ 4.3 โดยการป้อนสัญญาณพัลซ์ความถี่ 300 Hz เข้าที่อินพุทของ FSK มอดดูเลเตอร์ ดังรูปที่ 4.3 แล้ววัดสัญญาณที่ขา 4 ของ MC 14046 เทียบกับอินพุท สัญญาณที่เอาท์พุทของวงจรกรองความถี่ต่ำผ่านเทียบกับสัญญาณที่ขา 4 ของ MC 14046 จากนั้นจึงวัดสัญญาณที่เอาท์พุทของวงจรกรองความถี่ต่ำผ่าน

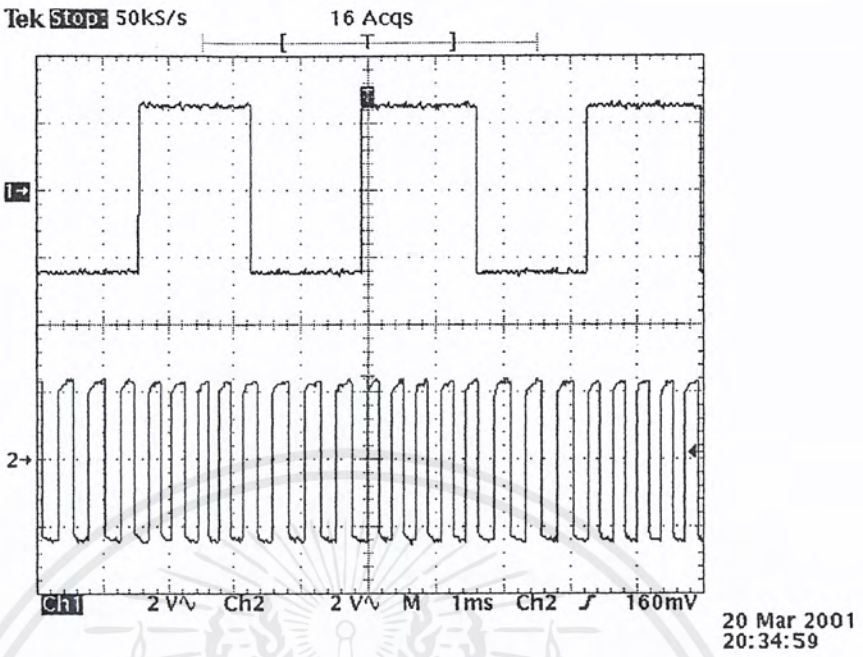
<u>ผลการทดลอง</u> ผลการทดลองของสัญญาณที่จุดต่าง ๆ แสดงดังรูปที่ 4.4 และ 4.5

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

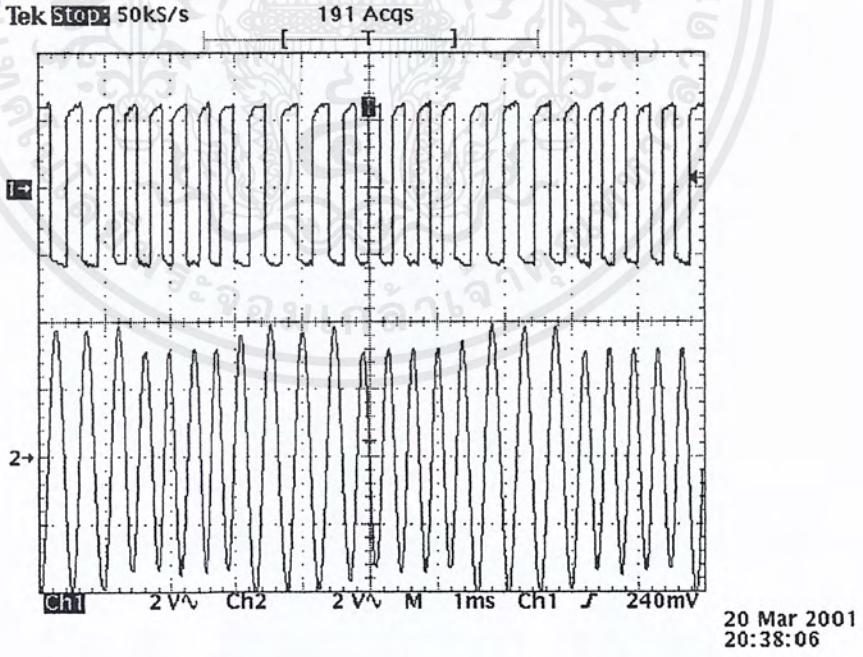


รูปที่ 4.3 วงจรการทดลอง FSK มอดดูเลเตอร์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

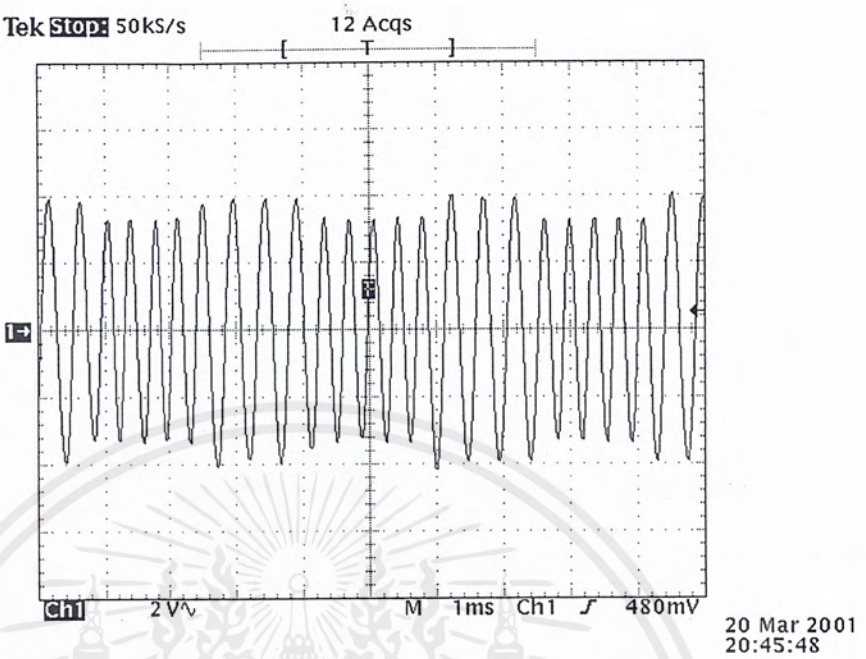


รูปที่ 4.4 (ก) แสดงสัญญาณอินพุทกับสัญญาณที่ขา 4 ของ MC 14046
ช่องที่ 1 แสดงสัญญาณอินพุท
ช่องที่ 2 แสดงสัญญาณที่ขา 4 ของ MC 14046

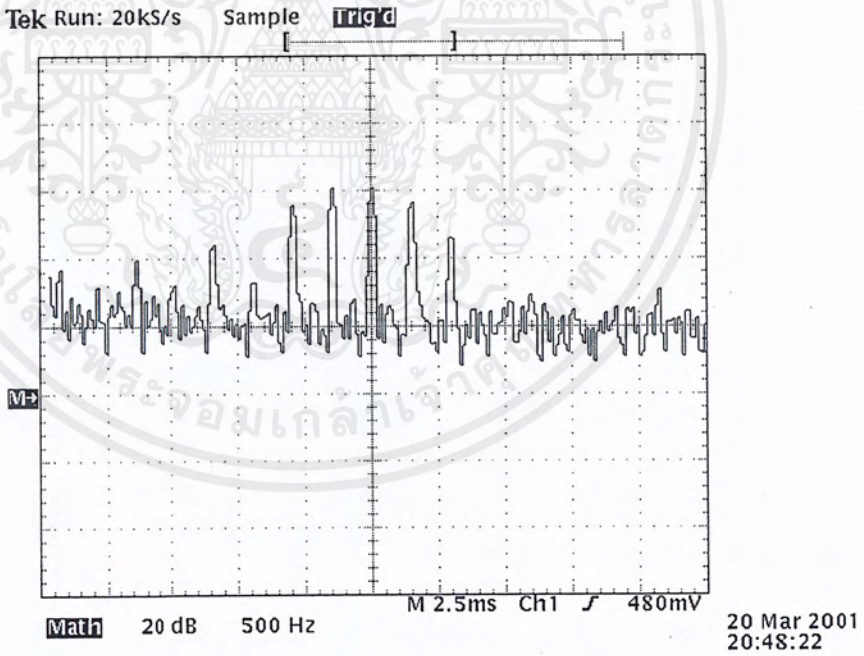


รูปที่ 4.4 (ข) แสดงสัญญาณที่อินพุทและเอาท์พุทของวงจรกรองความถี่ต่ำผ่าน
ช่อง 1 แสดงสัญญาณที่อินพุทของวงจรกรองความถี่ต่ำผ่าน
ช่อง 2 แสดงสัญญาณที่เอาท์พุทของวงจรกรองความถี่ต่ำผ่าน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



(ก)



(ข)

รูปที่ 4.5 สัญญาณที่เอาท์พุทของวงจรกรองความถี่ต่ำผ่านพร้อมทั้งสเปกตรัมความถี่

(ก) สัญญาณที่เอาท์พุทของวงจรกรองความถี่ต่ำผ่าน

(ข) สเปกตรัมความถี่ของสัญญาณที่เอาท์พุทของวงจรกรองความถี่ต่ำผ่าน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4.1.3 ผลตอบสนองทางความถี่ของวงจรกรองความถี่ต่ำผ่าน

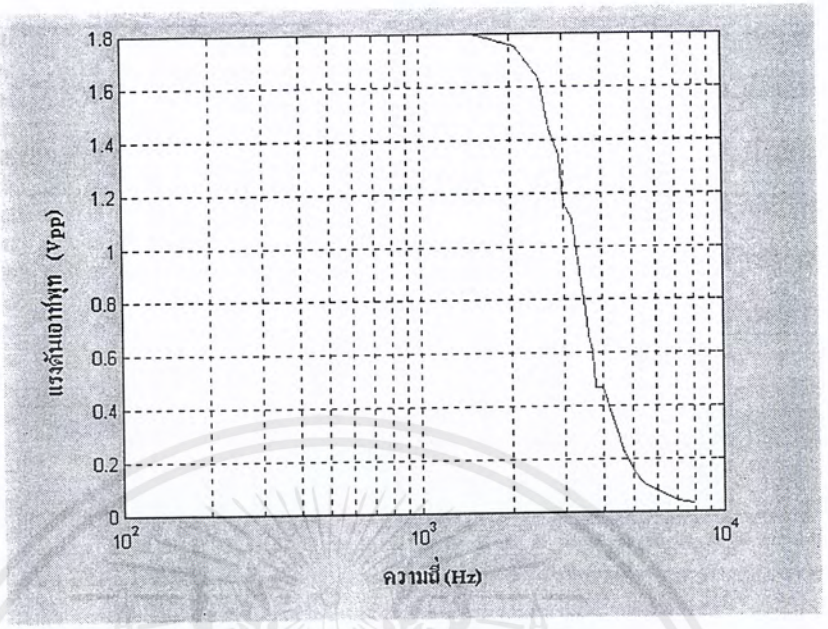
การทดลอง จากวงจรในรูป 4.3 เฉพาะส่วนของวงจรกรองความถี่ต่ำผ่าน ทำการป้อนสัญญาณอินพุทรูปคลื่นไซน์ ขนาด 1 Vpp ตั้งแต่ 100 Hz ถึง 8 KHz แล้วบันทึกขนาดของแรงดันของสัญญาณที่เอาท์พุท

ผลการทดลอง ตารางที่ 4.1 แสดงขนาดของสัญญาณเอาท์พุทของวงจรกรองความถี่ต่ำผ่านที่ความถี่ต่าง ๆ และรูปที่ 4.6 แสดงพลอทของผลตอบสนองทางความถี่ของวงจร

ความถี่ (Hz)	แรงดันเอาท์พุท (Vp-p)	ความถี่ (Hz)	แรงดันเอาท์พุท (Vp-p)
100-1K	1.8	4.1 K	0.444
1.5 K	1.8	4.2 K	0.400
2.1 K	1.75	4.5 K	0.290
2.5 K	1.63	4.6 K	0.254
2.7 K	1.44	4.7 K	0.222
2.9 K	1.34	4.8 K	0.200
3.0 K	1.16	5.0 K	0.160
3.2 K	1.10	5.3 K	0.122
3.3 K	0.984	5.5 K	0.100
3.4 K	0.868	5.8 K	0.092
3.5 K	0.796	6.0 K	0.080
3.6 K	0.672	6.5 K	0.063
3.7 K	0.600	7.0 K	0.044
3.8 K	0.472	8.0 K	0.030
4.0 K	0.472	-	-

ตารางที่ 4.1 ขนาดของสัญญาณเอาท์พุทของวงจรกรองความถี่ต่ำผ่านที่ความถี่ต่าง ๆ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.6 พลอทของผลตอบสนองทางความถี่ของวงจรกรองความถี่ต่ำผ่าน

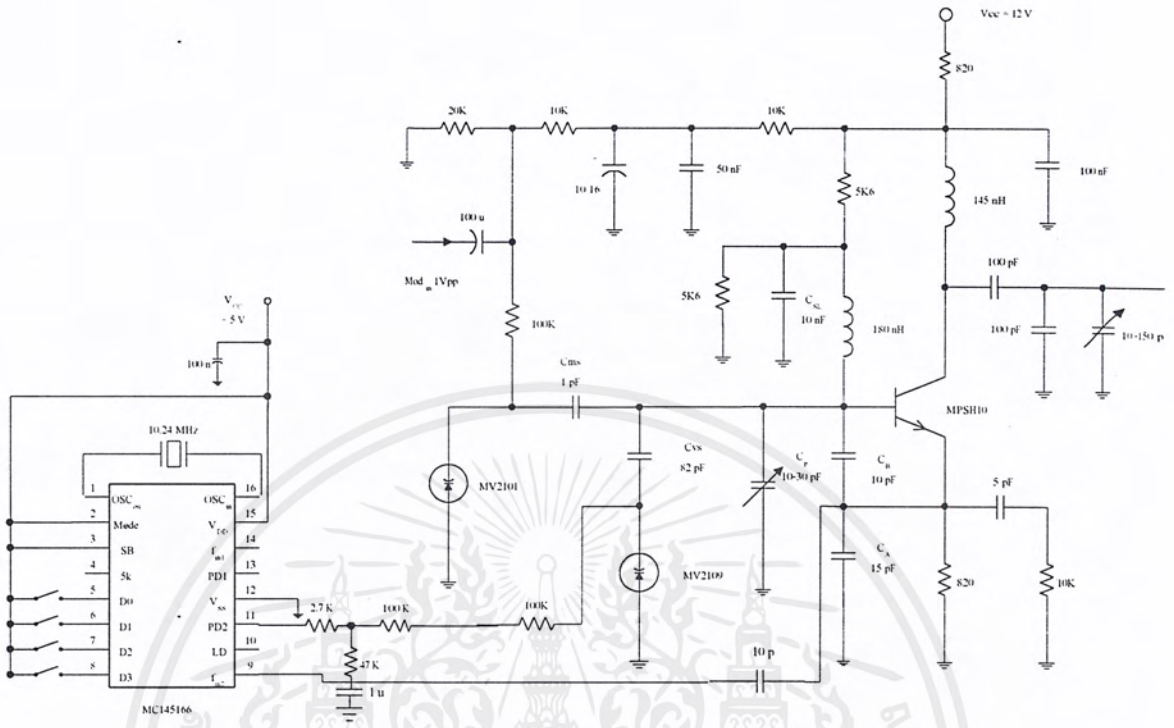
4.1.4 การผลิตความถี่ของวงจรผลิตความถี่ที่ควบคุมแรงดันด้วย PLL

การทดลอง ทำการต่อวงจรตามรูปที่ 4.7 เปลี่ยนดิพสวิทช์จาก 0000 ถึง 1010 แล้ววัดความถี่ที่เอาท์พุท จากนั้นเซ็ตดิปสวิทช์ไว้ที่ช่อง 1 แล้ววัดสัญญาณที่เอาท์พุท

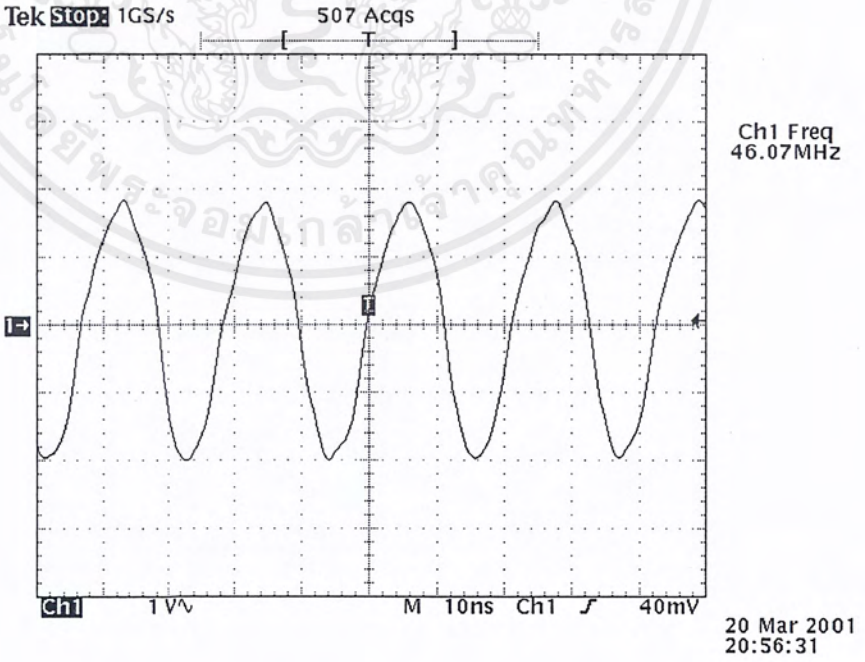
ผลการทดลอง ตารางที่ 4.2 แสดงความถี่ของสัญญาณเอาท์พุทของวงจรผลิตความถี่ที่ควบคุมแรงดันด้วย PLL และรูปที่ 4.8 แสดงสัญญาณที่เอาท์พุทของวงจร

ช่อง	ดิพสวิทช์	ความถี่เอาท์พุท (MHz)
1	0001	46.61
2	0010	46.63
3	0011	46.67
4	0100	46.71
5	0101	46.73
6	0110	46.77
7	0111	46.83
8	1000	46.87
9	1001	46.93
10	1010	46.97

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.7 วงจรการทดลองการผลิตความถี่ของวงจรผลิตความถี่ที่ควบคุมแรงดันด้วย PLL



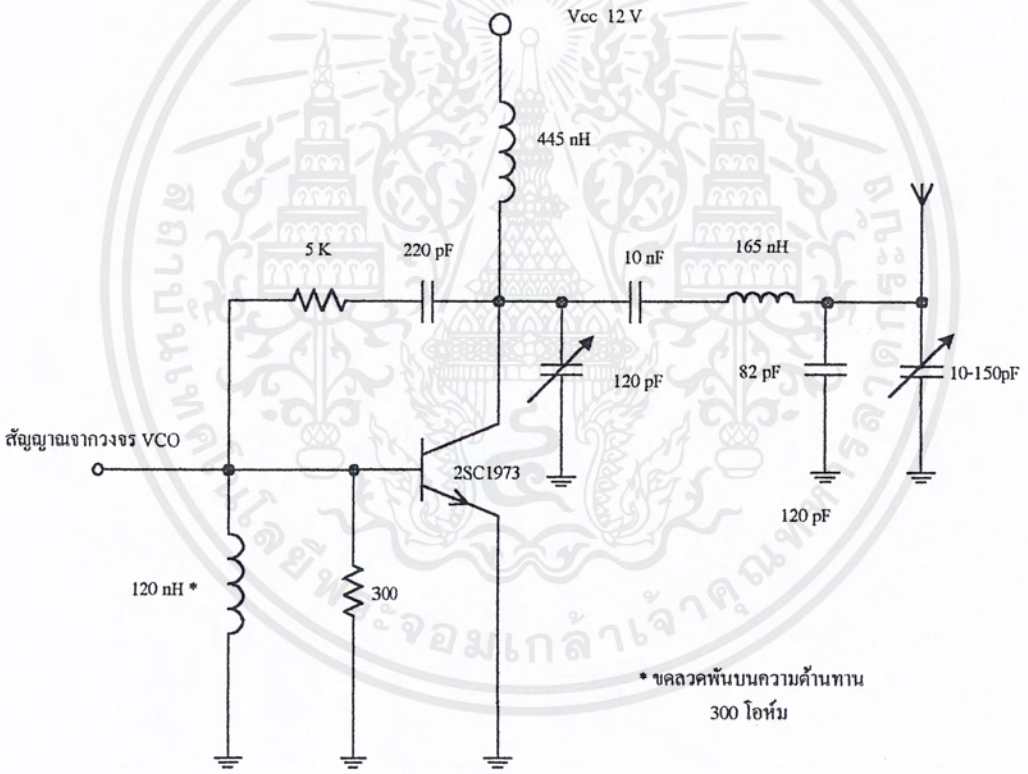
รูปที่ 4.8 สัญญาณเอาท์พุทของวงจรผลิตความถี่ที่ควบคุมแรงดันด้วย PLL

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4.1.5 วงจรขยายสัญญาณ RF

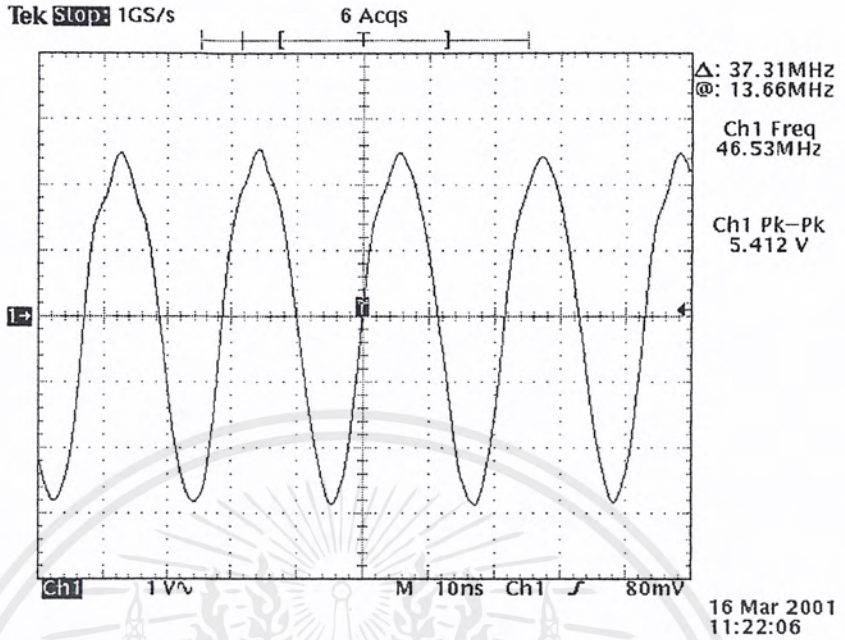
<u>การทดลอง</u> ต่อวงจรขยายสัญญาณ RF ดังรูปที่ 4.9 แล้วนำสัญญาณเอาท์พุทจากวงจรผลิตความถี่ควบคุมแรงดันด้วย PLL มาเป็นสัญญาณอินพุทโดยเซ็ตดิพสวิทช์ไว้ที่ช่อง 1 ทำการวัดสัญญาณที่เอาท์พุท

<u>ผลการทดลอง</u> รูปที่ 4.10 แสดงรูปคลื่นสัญญาณที่เอาท์พุทของวงจรขยายสัญญาณ RF พร้อมทั้งสเปกตรัมความถี่

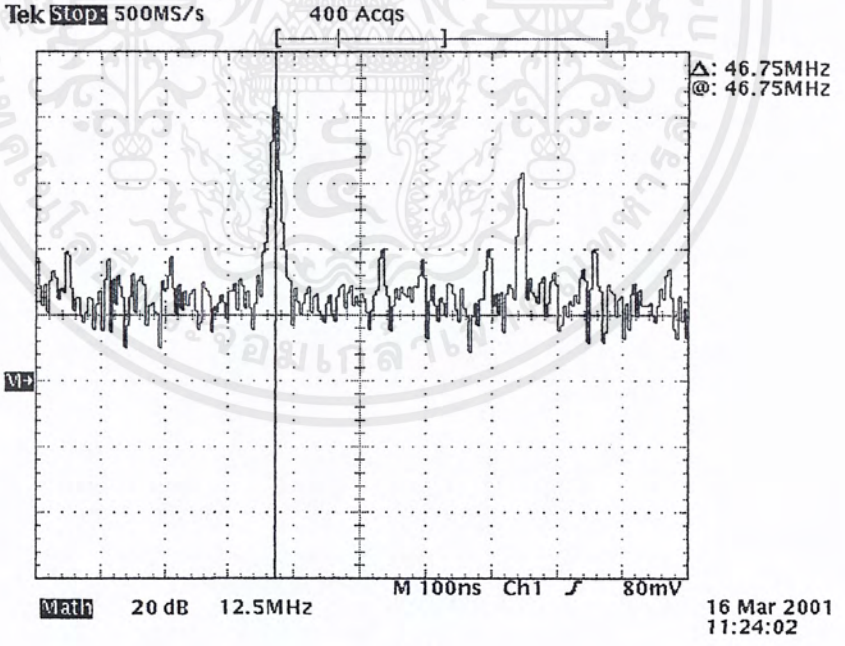


รูปที่ 4.9 วงจรขยายสัญญาณ RF

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



(ข)



(ก)

รูปที่ 4.10 รูปคลื่นสัญญาณที่เอาท์พุทของวงจรขยายสัญญาณ RF พร้อมทั้งสเปกตรัมความถี่

(ก) สัญญาณที่เอาท์พุทของวงจรขยายสัญญาณ RF

(ข) สเปกตรัมความถี่ของวงจรขยายสัญญาณ RF

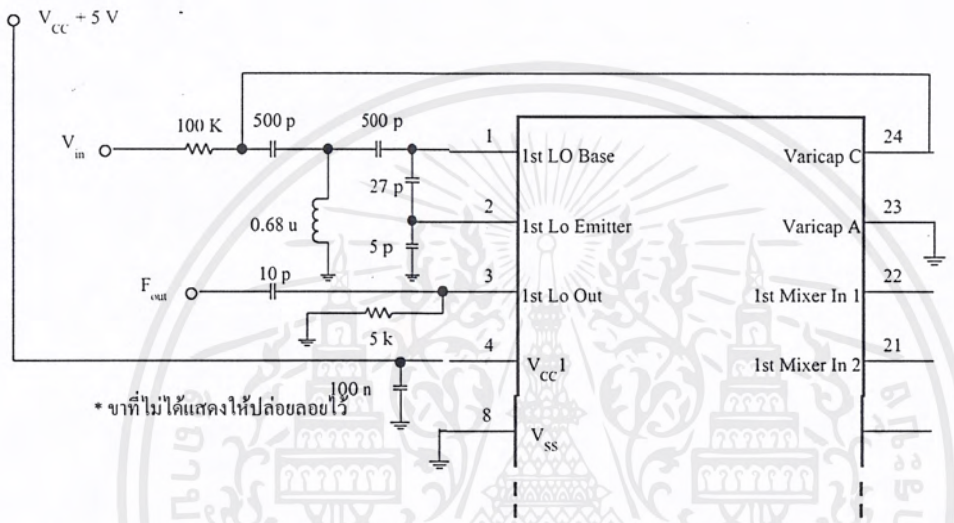
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4.2 การทดลองในส่วนของเครื่องรับ

4.2.1 การผลิตความถี่ของวงจรโลคัลออสซิลเลเตอร์ภาคแรกของเครื่องรับ FM

การทดลอง วงจรทดลองแสดงดังรูปที่ 4.11 โดยการป้อนแรงดันอินพุท V_{IN} ตั้งแต่ 0-5 โวลท์ แล้ววัดความถี่เอาท์พุท F_{out}

ผลการทดลอง ตารางที่ 4.3 แสดงความถี่ของสัญญาณเอาท์พุทที่เปลี่ยนแปลงตามแรงดัน



รูปที่ 4.11 วงจรทดลองการผลิตความถี่ของวงจรโลคัลออสซิลเลเตอร์ภาคแรกของเครื่องรับ FM

Vin (V)	Fout (MHz)
0	33.28
0.5	34.52
1.0	35.33
1.5	35.79
2.0	36.21
2.5	36.53
3.0	36.78
3.5	37.16
4.0	37.56
4.5	37.83
5.0	38.03

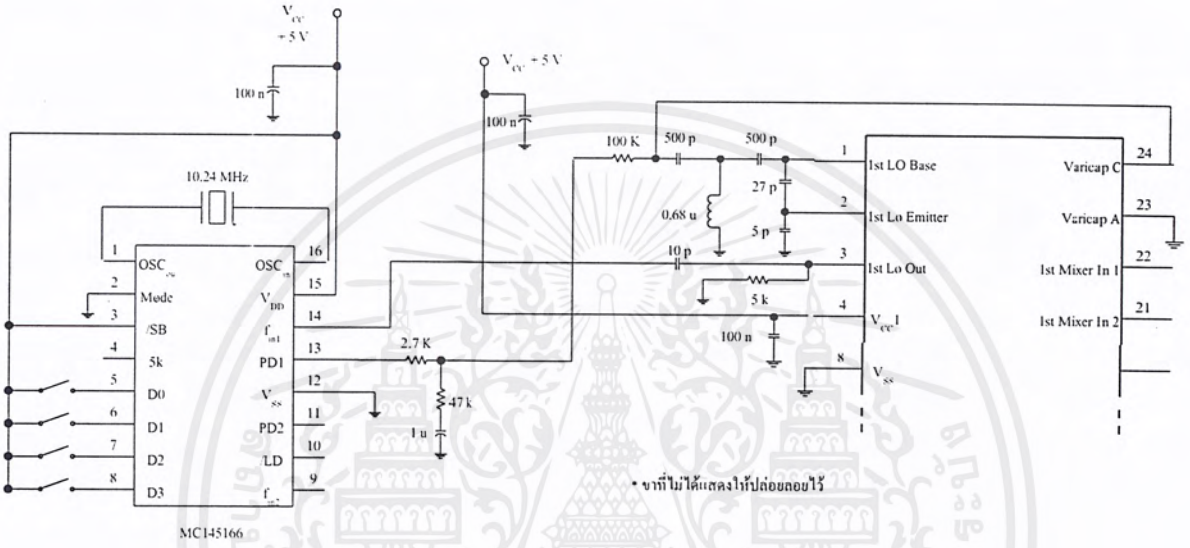
ตารางที่ 4.3 ความถี่เอาท์พุทของวงจรโลคัลออสซิลเลเตอร์ภาคแรกที่แรงดัน V_{IN} 0 ถึง 5 โวลท์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4.2.2 การควบคุมการผลิตความถี่ด้วยเฟสล็อคลูปของวงจรโลคัลออสซิลเลเตอร์ภาคแรก

การทดลอง จากวงจรดังรูปที่ 4.12 ทำการเปลี่ยนดิพสวิทช์ D_0 - D_3 ตามตารางที่ 4.4 แล้วบันทึกความถี่ที่ขา 3 ของ MC13135 แล้ววัดสัญญาณที่ขา 3 ของ MC13135

ผลการทดลอง ตารางที่ 4.4 แสดงความถี่ของวงจรโลคัลออสซิลเลเตอร์ภาคแรกที่ช่องต่าง ๆ และรูปที่ 4.13 แสดงสัญญาณที่ขา 3 ของ MC13135

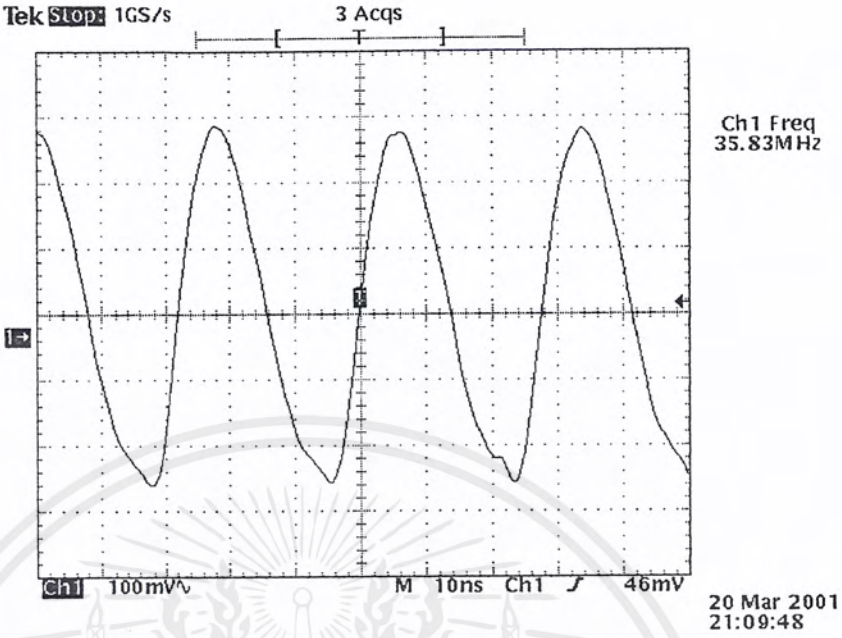


รูปที่ 4.12 วงจรทดลองการผลิตความถี่ที่ควบคุมด้วยเฟสล็อคลูป

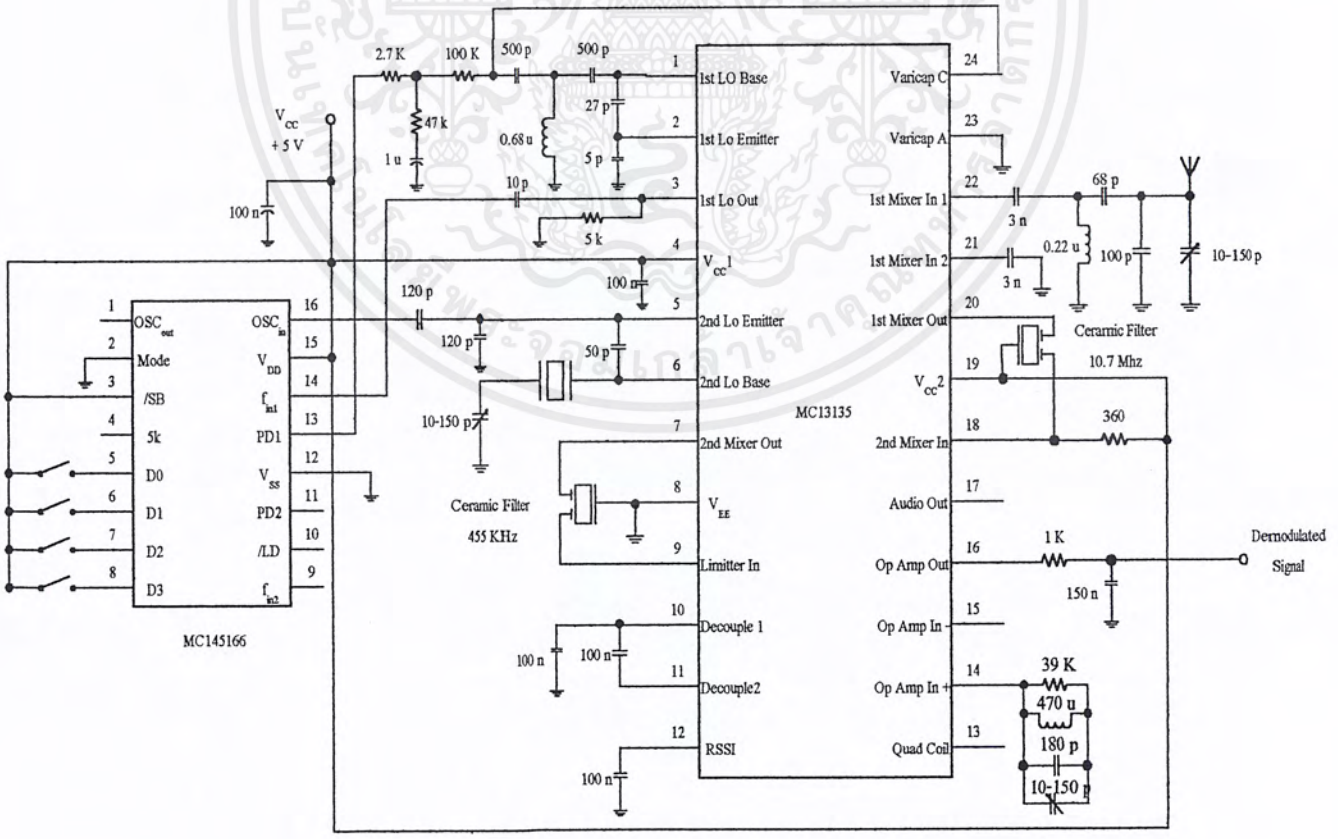
D3-D2-D1-D0	F_{out}(MHz)
0 0 0 1	35.92
0 0 1 0	35.94
0 0 1 1	35.98
0 1 0 0	36.02
0 1 0 1	36.04
0 1 1 0	36.08
0 1 1 1	36.14
1 0 0 0	36.18
1 0 0 1	36.24
1 0 1 0	36.27

ตารางที่ 4.4 ความถี่ของวงจรโลคัลออสซิลเลเตอร์ภาคแรกที่ช่องต่าง ๆ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.13 สัญญาณความถี่โลคัลออสซิลเลเตอร์ (ขา 3 ของ MC13135)



รูปที่ 4.14 วงจรทดลองเครื่องรับ FM

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4.2.3 การทำงานโดยรวมของเครื่องรับ FM

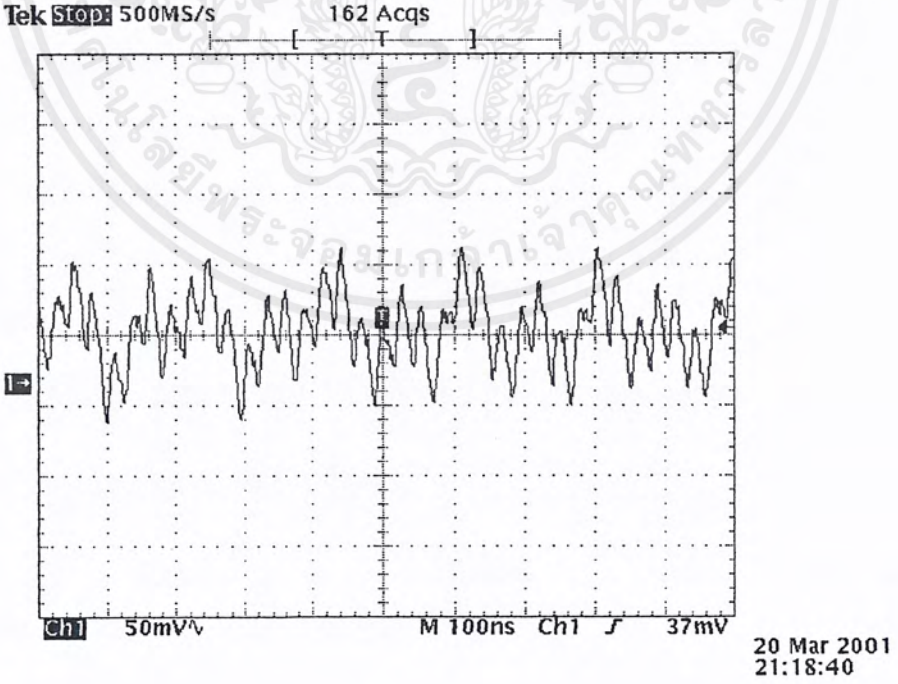
1. สัญญาณที่จุดต่าง ๆ ของเครื่องรับ FM

<u>การทดลอง</u> จากวงจรทดลองแสดงดังรูปที่ 4.14 ให้เซ็ทดิพสวิทช์ไว้ที่ ช่อง 1 ป้อนไปเลี้ยงให้กับวงจรแล้วจ่ายสัญญาณ RF จากเครื่องกำเนิดความถี่ RF ความถี่ 46.62 MHz ขนาด 80 dBμ เข้าที่จุดต่อเสาอากาศ แล้วทำการทดลองวัดสัญญาณที่จุดต่าง ๆ ดังนี้

- สัญญาณเอาท์พุทของ MIXER ภาคแรก (ขา 20 ของ MC13135)
- สัญญาณ IF_1 (ขา 18 ของ MC13135)
- สัญญาณเอาท์พุทของ MIXER ภาคที่สอง (ขา 7 ของ MC13135)
- สัญญาณ IF_2 (ขา 9 ของ MC13135)

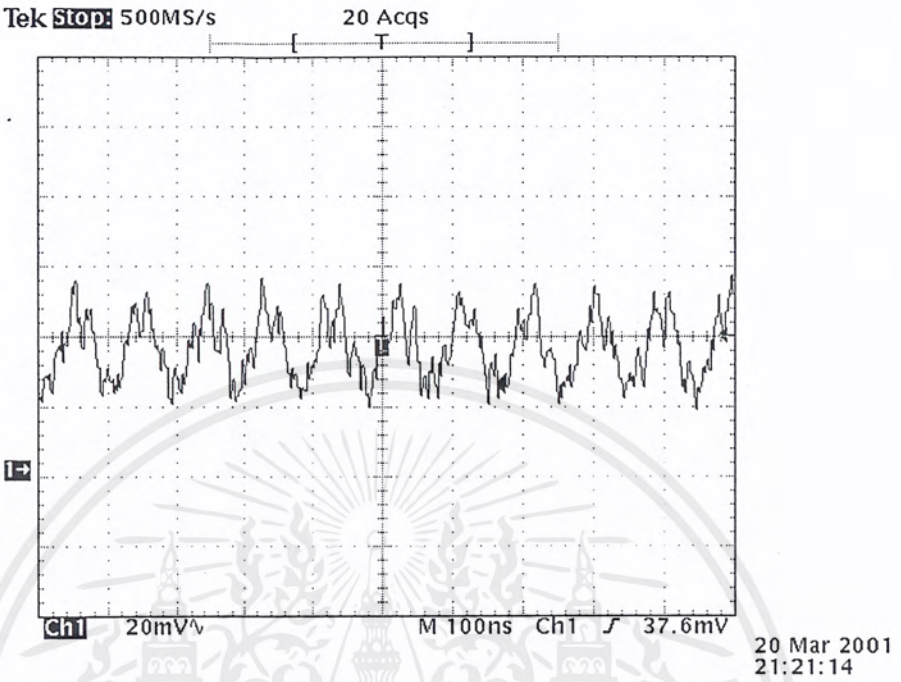
จากนั้นเซ็ทให้เครื่องกำเนิดสัญญาณ RF มอดดูเลทสัญญาณ 1 KHz แล้ววัดสัญญาณที่ดีมอดดูเลทออกมาแล้ว

<u>ผลการทดลอง</u> รูปที่ 4.15 ถึง 4.19 แสดงสัญญาณที่จุดต่าง ๆ ของ เครื่องรับ FM

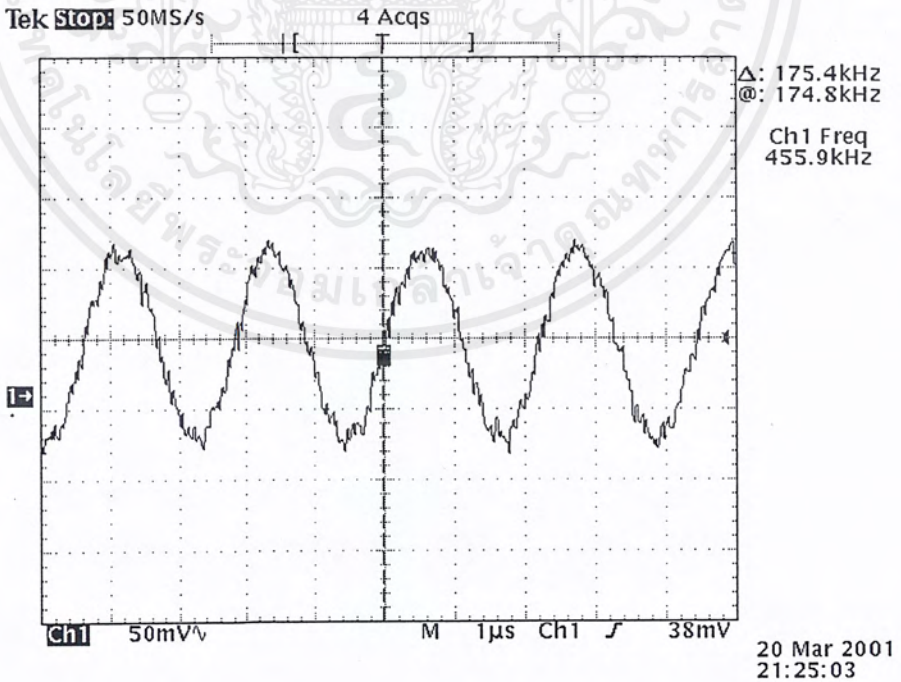


รูปที่ 4.15 สัญญาณเอาท์พุทของ MIXER ภาคแรก (ขา 20 ของ MC13135)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

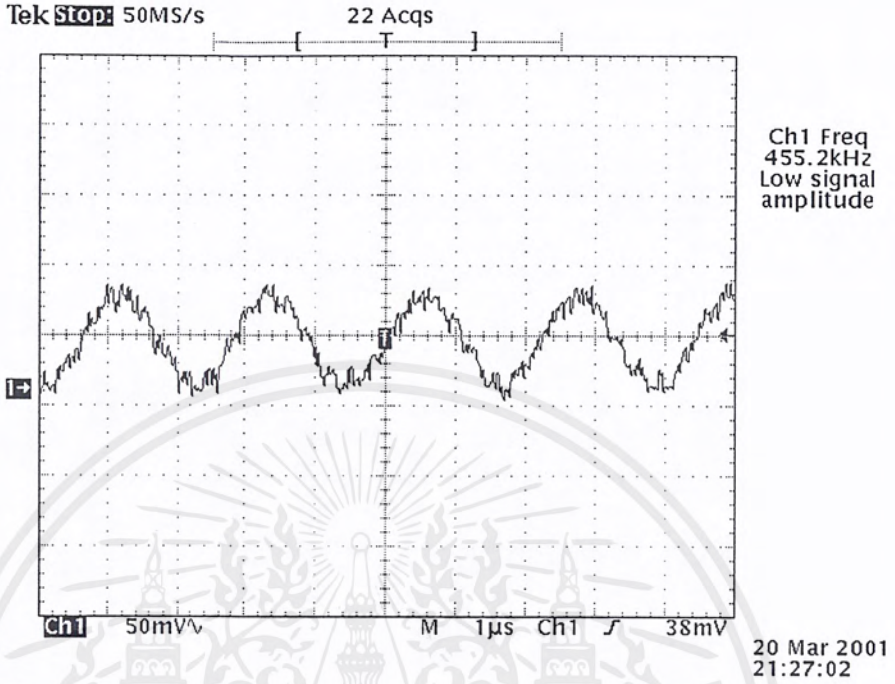


รูปที่ 4.16 สัญญาณ IF_1 (ขา 18 ของ MC13135)

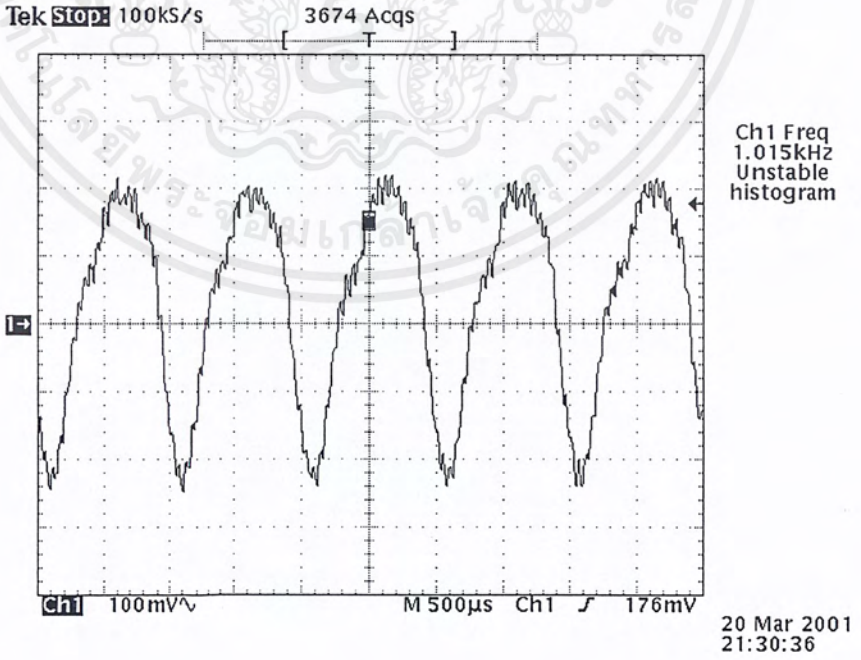


รูปที่ 4.17 สัญญาณเอาท์พุทของ MIXER ภาคที่สอง (ขา 7 ของ MC13135)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.18 สัญญาณ IF_2 (ขา 9 ของ MC13135)



รูปที่ 4.19 สัญญาณที่ดีมอดดูเลทออกมาแล้ว

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2. เซนซิทิฟวิตี้และไดนามิคเรนจ์ของเครื่องรับ FM

ในกรณีนี้กำหนดให้

<u>เซนซิทิฟวิตี้</u> คือขนาดของสัญญาณอินพุทที่ต่ำที่สุด ที่ทำให้สัญญาณที่ดีมอดดูเลทออกมาแล้ว แล้วนำไปผ่านวงจร FSK ดีมอดดูเลเตอร์ แล้วได้สัญญาณดิจิตอลที่ไมโครคอนโทรลเลอร์สามารถนำไปประมวลผลได้

<u>ไดนามิคเรนจ์</u> คือย่านของขนาดของสัญญาณอินพุทที่ทำให้สัญญาณที่ดีมอดดูเลทออกมาแล้ว แล้วนำไปผ่านวงจร FSK ดีมอดดูเลเตอร์ แล้วได้สัญญาณดิจิตอลที่ไมโครคอนโทรลเลอร์สามารถนำไปประมวลผลได้

<u>การทดลอง</u> จากวงจรทดลองแสดงดังรูปที่ 4.14 ให้เซ็ทดิพสวิทช์ไว้ที่ ช่อง 1 ป้อนไปเลี้ยงให้กับวงจรแล้วจ่ายสัญญาณ RF จากเครื่องกำเนิดความถี่ RF ความถี่ 46.62 MHz ขนาด 80 dBμ เข้าที่จุดต่อเสาอากาศ โดยนำสัญญาณจากเอาท์พุทของ FSK ที่มีอินพุทเป็นสัญญาณ TTL ความถี่ 300 Hz มาเป็นสัญญาณมอดดูเลทให้กับเครื่องกำเนิดสัญญาณ RF จากนั้นค่อย ๆ ลดขนาดสัญญาณ RF ที่ป้อนเข้ามาลงเรื่อย ๆ จนกว่าสัญญาณที่เอาท์พุทของ FSK ดีมอดดูเลเตอร์ มีความผิดเพี้ยนไป จากนั้นค่อย ๆ เพิ่มขนาดของสัญญาณ RF จนสามารถสร้างสัญญาณที่เอาท์พุทของ FSK ดีมอดดูเลเตอร์กลับคืนมาได้เหมือนเดิม บันทึกขนาดของสัญญาณที่จายมาจากเครื่องกำเนิดสัญญาณ RF เป็น เซนซิทิฟวิตี้

จากนั้นปรับขนาดของสัญญาณ RF จากเครื่องกำเนิดสัญญาณ RF เป็น 80 dBμ เหมือนเดิม แล้วค่อย ๆ เพิ่มขนาดสัญญาณ RF ที่ป้อนเข้ามาขึ้นเรื่อย ๆ จนกว่าสัญญาณที่เอาท์พุทของ FSK ดีมอดดูเลเตอร์ มีความผิดเพี้ยนไป จึงค่อย ๆ ลดขนาดของสัญญาณ RF จนสามารถสร้างสัญญาณที่เอาท์พุทของ FSK ดีมอดดูเลเตอร์กลับคืนมาได้เหมือนเดิม บันทึกขนาดของสัญญาณที่จายมาจากเครื่องกำเนิดสัญญาณ RF เป็นขอบบนของไดนามิคเรนจ์

<u>ผลการทดลอง</u> จากผลการทดลองปรากฏว่า

- ขนาดของสัญญาณ RF ที่ต่ำที่สุดที่ทำให้สัญญาณเอาท์พุทของ FSK มอดดูเลเตอร์ไม่ผิดเพี้ยน เท่ากับ 60 dBμ

- ขนาดของสัญญาณ RF ที่สูงที่สุดที่ทำให้สัญญาณเอาท์พุทของ FSK มอดดูเลเตอร์ไม่ผิดเพี้ยน เท่ากับ 86 dBμ

ดังนั้น

∴ เซนซิทิฟวิตี้เทากับ 60 dBμ

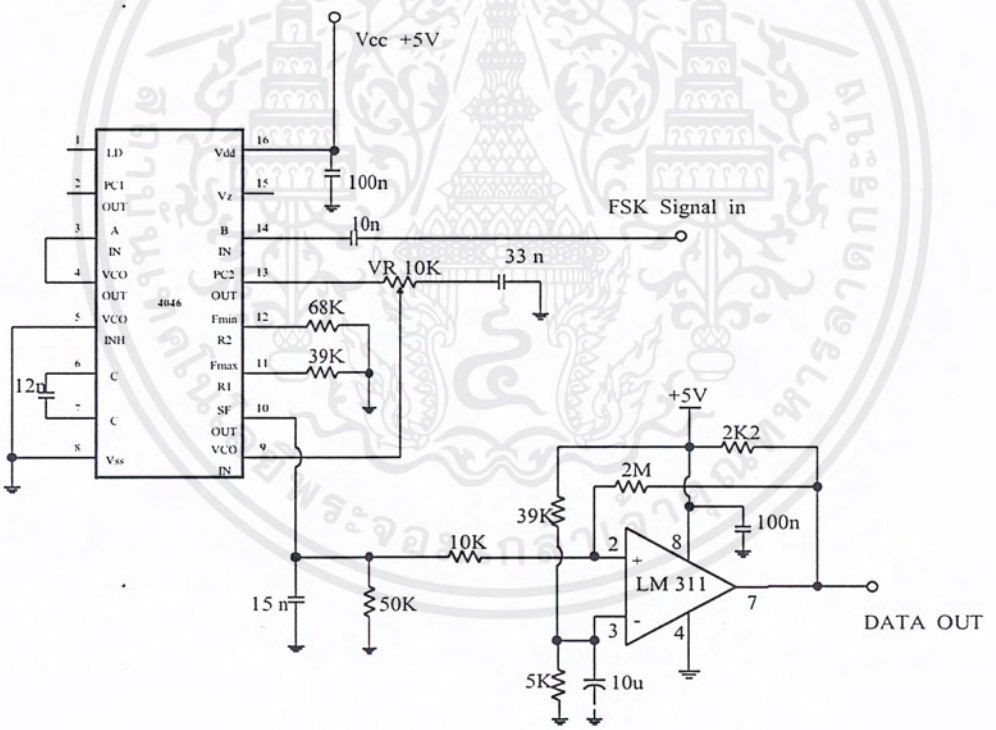
∴ ไดนามิคเรนจ์เท่ากับ 60 – 86 dBμ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4.2.4 วงจร FSK ดีมอดดูเลเตอร์

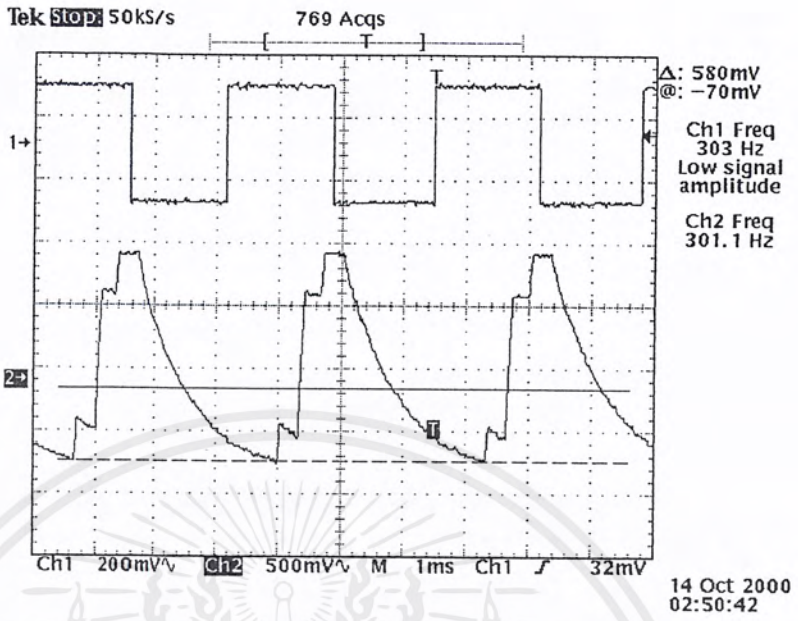
<u>การทดลอง</u> นำสัญญาณเอาท์พุท จากวงจร FSK มอดดูเลเตอร์ มาเป็นอินพุทของวงจร FSK ดีมอดดูเลเตอร์ ดังรูปที่ 4.20 แล้ววัดสัญญาณที่ขา 10 ของ MC14046 กับสัญญาณเอาท์พุทของวงจรคอมพาราเตอร์ เทียบกับสัญญาณอินพุทของ FSK มอดดูเลเตอร์

<u>ผลการทดลอง</u> รูปที่ 4.21 และ 4.22 แสดงสัญญาณที่ ขา 10 ของ MC14046 และ ที่เอาท์พุทของ FSK ดีมอดดูเลเตอร์เมื่อเทียบกับสัญญาณอินพุทของ FSK มอดดูเลเตอร์ ตามลำดับ



รูปที่ 4.20 วงจรทดลองของส่วน FSK มอดดูเลเตอร์

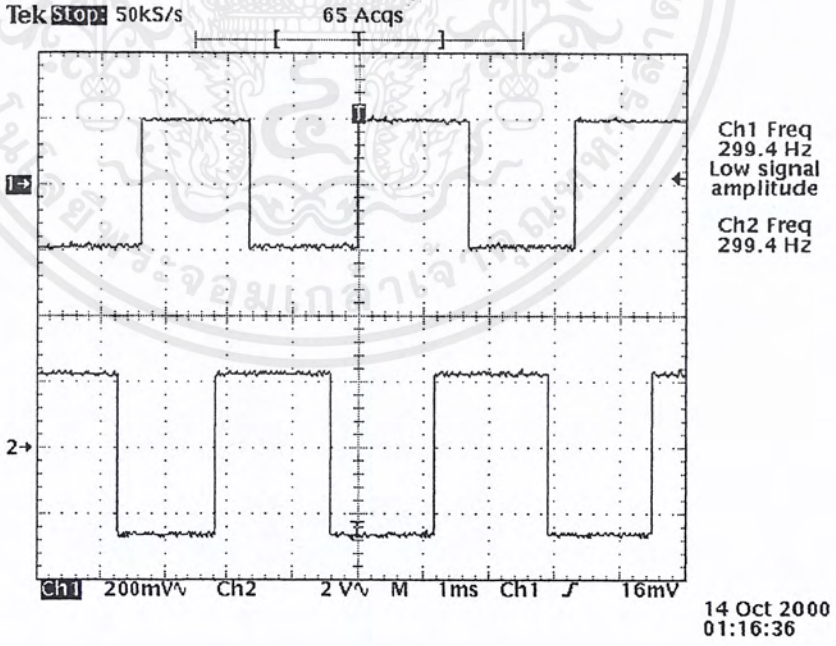
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.21 สัญญาณที่ขา 10 ของ MC14046 เทียบกับสัญญาณอินพุทของ FSK มอดดูเลเตอร์

ช่อง 1 สัญญาณอินพุทของ FSK มอดดูเลเตอร์

ช่อง 2 สัญญาณที่ขา 10 ของ MC14046



รูปที่ 4.22 สัญญาณที่เอาท์พุทของคอมพาราเตอร์เทียบกับสัญญาณอินพุทของ FSK มอดดูเลเตอร์

ช่อง 1 สัญญาณอินพุทของ FSK มอดดูเลเตอร์

ช่อง 2 สัญญาณเอาท์พุทของวงจร FSK ดีมอดดูเลเตอร์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 5

ปัญหา แนวทางแก้ไขและบทสรุป

ในบทนี้จะกล่าวถึงปัญหาต่าง ๆ ที่เกิดขึ้นในการดำเนินงาน และการแก้ไขปัญหาที่เกิดขึ้น ตลอดจนผลสรุปในการดำเนินงานที่ผ่านมาทั้งหมด

5.1 ปัญหาและแนวทางแก้ไข

1. วงจร FSK มอดดูเลเตอร์

1.1. ค่าของ R1 และ R2 ที่คำนวณได้จากสมการเมื่อนำมาต่อวงจร และวัดความถี่ของ f_{Space} และ f_{Mark} จะได้ความถี่ของ f_{Space} และ f_{Mark} สูงกว่าค่าที่กำหนดไว้ในสมการ เพื่อที่จะให้ได้ความถี่ของ f_{Space} และ f_{Mark} ตามที่ต้องจะต้องปรับค่า R1 และ R2 ในวงจรให้มีค่าสูงขึ้นค่าที่คำนวณได้ประมาณ 15 – 20 %

1.2. ในการปรับเพื่อให้ได้ความถี่ f_{Space} และ f_{Mark} ในขั้นตอนแรกควรที่จะปรับให้ได้ความถี่ของ f_{Space} ก่อน โดยต่ออินพุทของ FSK Modulator ลงกราวด์ และให้ปรับที่ R2 จนได้ความถี่ f_{Space} ที่ต้องการ หลังจากนั้นจึงปรับความถี่ f_{Mark} โดยต่ออินพุทของ FSK Modulator ที่แรงดัน +5 Volt และให้ปรับที่ R1 จนได้ความถี่ f_{Mark} ที่ต้องการ

2. วงจร FSK ดีมอดดูเลเตอร์

2.1. การปรับแต่งรูปของสัญญาณที่ขา 10 ไอซี 4046 นั้นสามารถทำได้โดยการปรับค่าของ R และ C ที่ต่ออยู่ที่ขา 13 ของไอซี ซึ่งทำหน้าที่เป็นวงจร Low pass filter การปรับค่าของ R และ C ดังกล่าวจะเป็นการปรับค่า Over shoot ของสัญญาณ ดังนั้นการปรับควรที่จะปรับให้สัญญาณนั้นมีค่าของ Over shoot ต่ำที่สุด

2.2. ค่าของ C_A ควรมีการทดลองเปลี่ยนค่าให้เหมาะสม เพื่อให้รูปของสัญญาณที่ดีที่สุด

3. เครื่องรับ FM

ในตอนเริ่มต้นของการดำเนินงาน ซึ่งเป็นส่วนของการผลิตความถี่ โลคัลออสซิลเลเตอร์ของภาค ปรากฏว่า เมื่อจ่ายแรงดันอินพุท V_{IN} แล้ว สัญญาณ โลคัลออสซิลเลเตอร์ ที่ขา 3 ของ MC13135 ซึ่งต้องนำไปจ่ายเป็นอินพุทความถี่ของ MX 145166 มีขนาดเพียงแค่ 27 mV_{pp} ซึ่งไม่เพียงพอที่จะนำไปขับ MC 145166 ซึ่งต้องการแรงดันอินพุท f_{in} อย่างน้อย 200 mV_{pp} ผู้จัดทำจึงได้แก้ไขโดยการเปลี่ยน R ที่ขา 3 ของ MC 13135 จาก 3.9KΩ ในเริ่มต้น เป็น 5KΩ และต่อ R_{BIAS} ค่า 3K คร่อมตัวเก็บประจุ 5 PF ที่ขา 2 ของ MC13135 แล้ววัดสัญญาณที่ ขา 3 ปรากฏว่าสัญญาณที่ได้มีขนาดประมาณ 140 mV_{pp} ซึ่งยังไม่เพียงพอที่จะนำไปขับ MC 145166อยู่ดี แต่จากการทดลองวัดสัญญาณที่ขา 2 ของ MC13135 ปรากฏว่าที่จุดนี้สัญญาณมีขนาดมากถึง 720 mV_{pp} ซึ่งสัญญาณที่จุดนี้เป็นสัญญาณความถี่เดียวกับสัญญาณที่ขา 3 ผู้จัดทำจึงได้นำสัญญาณที่จุดนี้ไปเป็นอินพุท f_{in} ให้ MC 145166 และจากการทดลองให้ MC 145166 ทำงานร่วมกับ MC13135 ในการ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ผลิตความถี่ ก็ปรากฏว่าสามารถผลิตความถี่ได้ถูกต้อง จากนั้นจึงได้ดำเนินงานต่อไปโดยการทดลองป้อนสัญญาณ RF จากเครื่องกำเนิดความถี่ RF แล้ววัดสัญญาณที่ขา 18 ซึ่งผ่านเซรามิกฟิลเตอร์แล้ว ปรากฏว่าได้ความถี่ 10.8 MHz ซึ่งในความเป็นจริงน่าจะได้ความถี่ 10.7 MHz ถึงแม้ว่าจะทดลองเปลี่ยนความถี่ RF ไปเล็กน้อย เพื่อว่าจะได้ความถี่ 10.7 MH แต่ปรากฏว่ายังได้ความถี่ 10.8 Mhz เหมือนเดิม มาถึงจุดนี้ผู้จัดทำจึงได้ทดลองนำ MC13135 ตัวใหม่มาใส่แทน ปรากฏว่าความถี่ที่ขา 3 ของ MC 13135 เท่ากับ 39.85 MHz และถึงแม้ว่าจะเปลี่ยนดิพสวิทช์ที่ต่ออยู่กับ MC145166 แล้ว ความถี่ที่ผลิตได้ต่ำสุดก็ยังคงเท่ากับ 39.85 MHz เหมือนเดิม ซึ่งมากกว่าความถี่ที่ช่อง 10 ของ MC 145166 ซึ่งเท่ากับ 36.27 MHz แต่จากการทดลองป้อนความถี่ RF ความถี่ 50.55MHz ให้กับมิกเซอร์ แล้ววัดสัญญาณที่ขา 28 ปรากฏว่าได้ ความถี่ IF = 10.7 MHz ตามที่ต้องการ ผู้จัดทำจึงดำเนินการแก้ไขในส่วนของภาคกำเนิดความถี่โลคัลออสซิลเลเตอร์ใหม่ โดยการหาค่า L ที่ทำให้ วงจรสามารถผลิตความถี่ในช่วงตามที่อธิบายไว้แล้วในบทที่ 3 หลังจากนั้น การดำเนินงานก็เป็นไปด้วยดี

3. ระบบโดยรวม

เมื่อวงจรส่วนต่าง ๆ ถูกสร้างเรียบร้อยแล้ว และได้ทดลองแล้วว่า วงจรส่วนย่อยเหล่านั้นทำงานได้อย่างถูกต้องตามหน้าที่แต่ละวงจร แต่ระบบรับส่งข้อมูล ระหว่างเครื่องส่งกับเครื่องรับไม่สามารถทำงานร่วมกันได้ จากการสังเกตพบว่า เมื่อเปิดเครื่องส่ง ความถี่โลคัลออฟซิลเลเตอร์ของเครื่องรับ ผิดเพี้ยนไปจากเดิมทำให้ระบบของเครื่องรับทั้งหมดทำงานอย่างไม่เป็นปกติและจากการสังเกตยังพบอีกว่า ทุก ๆ จุด ของเครื่องรับ จะมีส่วนประกอบความถี่ พาหะของเครื่องส่งซึ่งปกติจะไม่มีในการป้อนสัญญาณ RF ตรง ๆ เข้าที่เครื่องรับ ทางกลุ่มได้ทำการแก้ไขโดยการชีลด์ที่เครื่องรับและเครื่องส่ง แต่ปรากฏว่า ก็ยังไม่สามารถแก้ไขปัญหานี้ได้

5.2 สรุปผลการดำเนินงาน

จากการดำเนินงานที่ผ่านมาทั้งหมดนั้น วงจรส่วนต่าง ๆ ทำงานได้อย่างถูกต้องตามหน้าที่ของมัน วงจร FSK มอดดูเลเตอร์ , ดีมอดดูเลเตอร์ สามารถทำงานร่วมกันได้ เครื่องรับ สามารถดีมอดดูเลทสัญญาณที่ป้อนมาจาก เครื่องกำเนิดสัญญาณ RF เครื่องส่งสามารถส่งได้ด้วยกำลังส่งมากกว่า 50 mW โปรแกรมคอมพิวเตอร์สามารถส่งข้อมูลมาควบคุมการเคลื่อนที่ของรถ และกล้องวีดีโอได้ แต่ระบบรับส่ง FM ไม่สามารถทำงานร่วมกันได้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บรรณานุกรม

1. ฉัททวุฒิ พืชผล. Visual Basic 6. กรุงเทพฯ : โปรวิชั่น, 2542.
2. ชัยวัฒน์ ลิ้มพรจิตรวิไล. เรียนรู้และปฏิบัติการ ไมโครคอนโทรลเลอร์ MCS-51. กรุงเทพฯ : บริษัทอินโนเวทีฟเอ็กเพอรเมนท์, 2543.
3. บุญชัย เนติศักดิ์. เครื่องรับโทรทัศน์ เล่ม 1. กรุงเทพฯ : ซีเอ็ดยูเคชั่น, 2541.
4. Best, Roland E., Phase-Locked loops: design, simulation, and application 3rd ed. Newyork : Mcgraw-hill,c1997
5. Connor FR. Modulation. 1982. ed.,Edward Arnold, Great Britain,1982
6. Tomasi,Wayne., Advanced electronic communications systems 4th. Upper Saddle River,NJ : Prentice-Hall,c1998
7. Bowick,Chris., RF circuit design.Howard W.Sams,NI:Macmillan,1982
8. Jim Karki.,Active Low-Pass Filter Design.Texas Instrument SLOA049A,October 2000
9. www.mot-sps.com
10. www.ti.com
11. www.onsemi.com
12. www.vbshrinkwrap.com
13. www.allegromicro.com

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ภาคผนวก

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Order this document by MC13135/D

MOTOROLA

FM Communications Receivers

MC13135
MC13136

DUAL CONVERSION NARROWBAND FM RECEIVERS

The MC13135/MC13136 are the second generation of single chip, dual conversion FM communications receivers developed by Motorola. Major improvements in signal handling, RSSI and first oscillator operation have been made. In addition, recovered audio distortion and audio drive have improved. Using Motorola's MOSAIC™ 1.5 process, these receivers offer low noise, high gain and stability over a wide operating voltage range.

Both the MC13135 and MC13136 include a Colpitts oscillator, VCO tuning diode, low noise first and second mixer and LO, high gain limiting IF, and RSSI. The MC13135 is designed for use with an LC quadrature detector and has an uncommitted op amp that can be used either for an RSSI buffer or as a data comparator. The MC13136 can be used with either a ceramic discriminator or an LC quad coil and the op amp is internally connected for a voltage buffered RSSI output.

These devices can be used as stand–alone VHF receivers or as the lower IF of a triple conversion system. Applications include cordless telephones, short range data links, walkie–talkies, low cost land mobile, amateur radio receivers, baby monitors and scanners.

- Complete Dual Conversion FM Receiver – Antenna to Audio Output
- Input Frequency Range – 200 MHz
- Voltage Buffered RSSI with 70 dB of Usable Range
- Low Voltage Operation – 2.0 to 6.0 Vdc (2 Cell NiCad Supply)
- Low Current Drain – 3.5 mA Typ
- Low Impedance Audio Output < 25 Ω
- VHF Colpitts First LO for Crystal or VCO Operation
- Isolated Tuning Diode
- Buffered First LO Output to Drive CMOS PLL Synthesizer

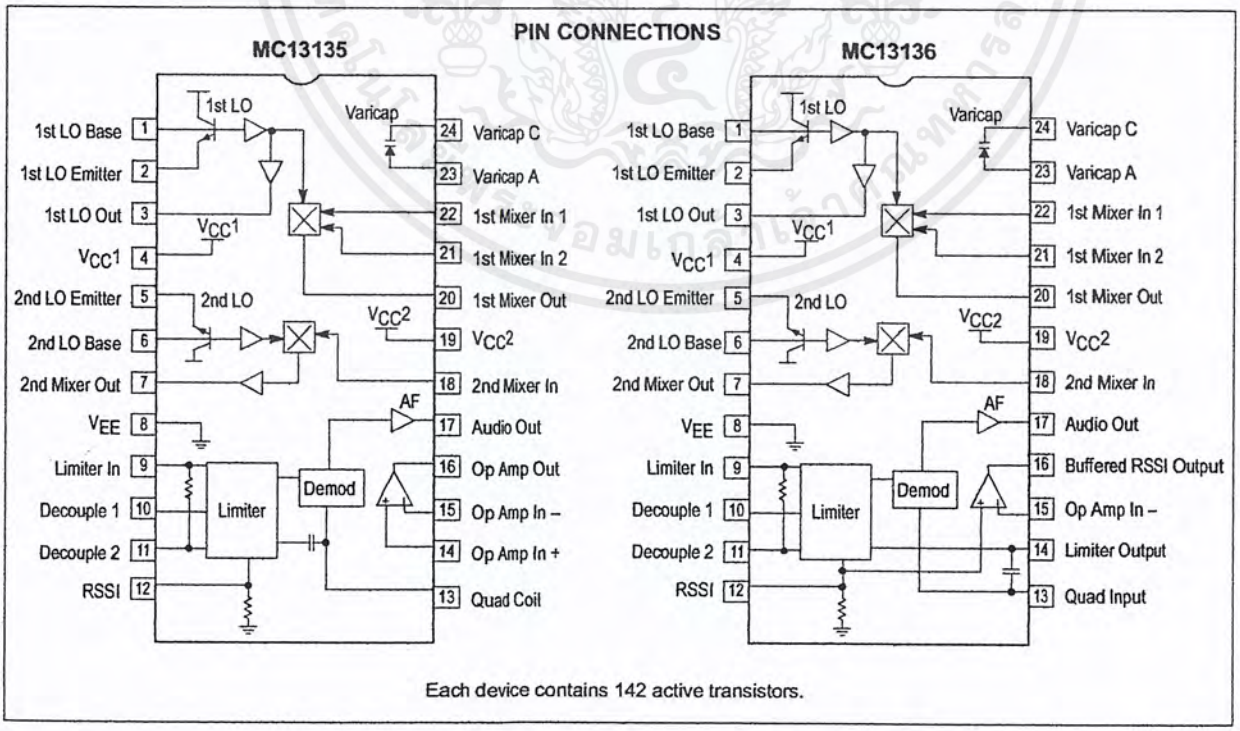
P SUFFIX
PLASTIC PACKAGE
CASE 724

DW SUFFIX
PLASTIC PACKAGE
CASE 751E
(SO–24L)

ORDERING INFORMATION

Device	Operating Temperature Range	Package
MC13135P	T_A = – 40° to +85°C	Plastic DIP
MC13135DW		SO–24L
MC13136DW		SO–24L

PIN CONNECTIONS



Each device contains 142 active transistors.

© Motorola, Inc. 1998

Rev 4

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

MAXIMUM RATINGS

Rating	Pin	Symbol	Value	Unit
Power Supply Voltage	4, 19	V_{CC} (max)	6.5	Vdc
RF Input Voltage	22	RF_{in}	1.0	Vrms
Junction Temperature	–	T_J	+150	°C
Storage Temperature Range	–	T_{stg}	– 65 to +150	°C

RECOMMENDED OPERATING CONDITIONS

Rating	Pin	Symbol	Value	Unit
Power Supply Voltage	4, 19	V_{CC}	2.0 to 6.0	Vdc
Maximum 1st IF	–	f_{IF1}	21	MHz
Maximum 2nd IF	–	f_{IF2}	3.0	MHz
Ambient Temperature Range	–	T_A	– 40 to + 85	°C

ELECTRICAL CHARACTERISTICS (T_A=25°C, V_{CC}=4.0 Vdc, f_o=49.7 MHz, f_{MOD}=1.0 kHz, Deviation=±3.0 kHz, f_{1stLO}=39 MHz, f_{2nd} LO = 10.245 MHz, IF1 = 10.7 MHz, IF2 = 455 kHz, unless otherwise noted. All measurements performed in the test circuit of Figure 1.)

Characteristic	Condition	Symbol	Min	Typ	Max	Unit
Total Drain Current	No Input Signal	I_{CC}	–	4.0	6.0	mAdc
Sensitivity (Input for 12 dB SINAD)	Matched Input	V_{SIN}	–	1.0	–	µVrms
Recovered Audio MC13135 MC13136	V_{RF} = 1.0 mV	AF_O	 170 215	 220 265	 300 365	mVrms
Limiter Output Level (Pin 14, MC13136)		V_{LIM}	–	130	–	mVrms
1st Mixer Conversion Gain	V_{RF} = – 40 dBm	MX_{gain1}	–	12	–	dB
2nd Mixer Conversion Gain	V_{RF} = – 40 dBm	MX_{gain2}	–	13	–	dB
First LO Buffered Output	–	V_{LO}	–	100	–	mVrms
Total Harmonic Distortion	V_{RF} = – 30 dBm	THD	–	1.2	3.0	%
Demodulator Bandwidth	–	BW	–	50	–	kHz
RSSI Dynamic Range	–	RSSI	–	70	–	dB
First Mixer 3rd Order Intercept (Input)	 Matched Unmatched	TOI_{Mix1}	 – –	 –17 –11	 – –	dBm
Second Mixer 3rd Order Intercept (RF Input)	Matched Input	TOI_{Mix2}	–	– 27	–	dBm
First LO Buffer Output Resistance	–	R_{LO}	–	–	–	Ω
First Mixer Parallel Input Resistance	–	R	–	722	–	Ω
First Mixer Parallel Input Capacitance	–	C	–	3.3	–	pF
First Mixer Output Impedance	–	ZO	–	330	–	Ω
Second Mixer Input Impedance	–	Z_I	–	4.0	–	kΩ
Second Mixer Output Impedance	–	ZO	–	1.8	–	kΩ
Detector Output Impedance	–	ZO	–	25	–	Ω

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

TEST CIRCUIT INFORMATION

Although the MC13136 can be operated with a ceramic discriminator, the recovered audio measurements for both the MC13135 and MC13136 are made with an LC quadrature detector. The typical recovered audio will depend on the external circuit; either the Q of the quad coil, or the RC matching network for the ceramic discriminator. On the MC13136, an external capacitor between Pins 13 and 14 can be used with a quad coil for slightly higher recovered audio. See Figures 10 through 13 for additional information.

Since adding a matching circuit to the RF input increases the signal level to the mixer, the third order intercept (TOI) point is better with an unmatched input (50 Ω from Pin 21 to Pin 22). Typical values for both have been included in the Electrical Characterization Table. TOI measurements were taken at the pins with a high impedance probe/spectrum analyzer system. The first mixer input impedance was measured at the pin with a network analyzer.

Figure 1a. MC13135 Test Circuit

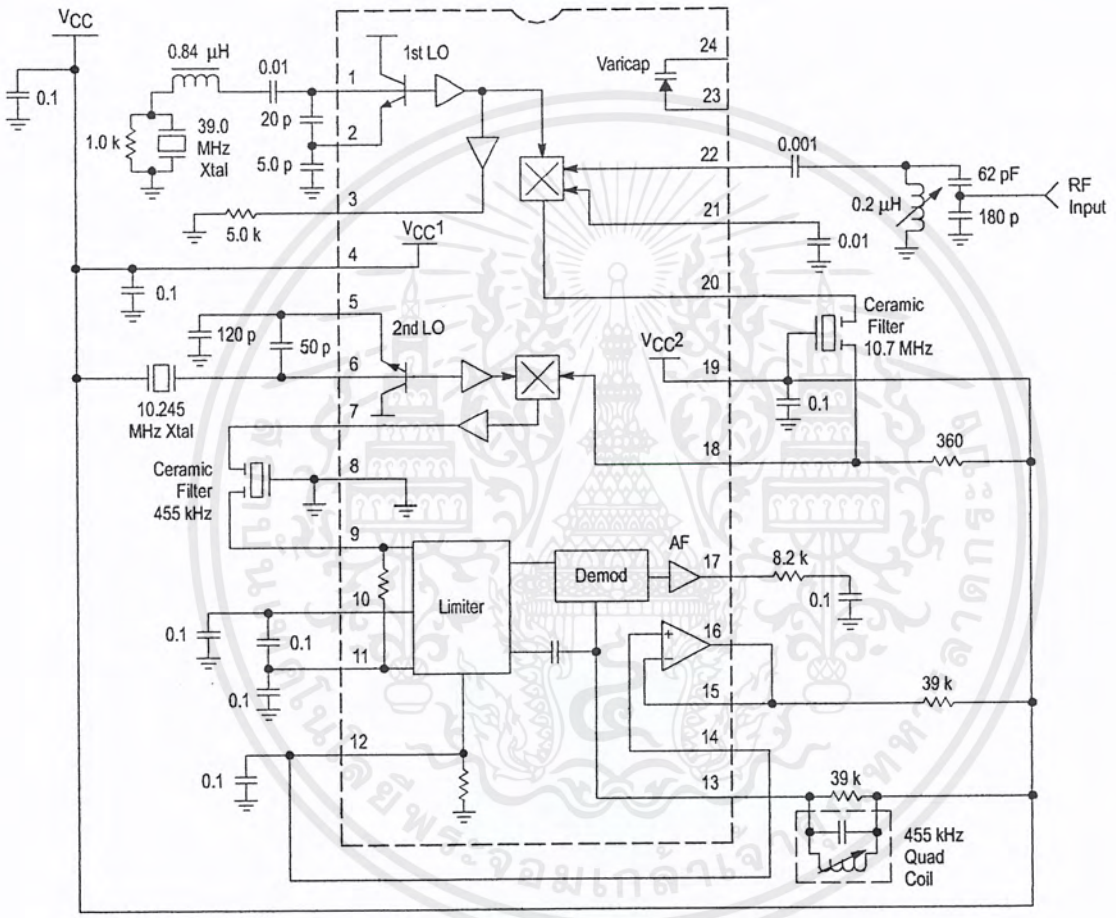
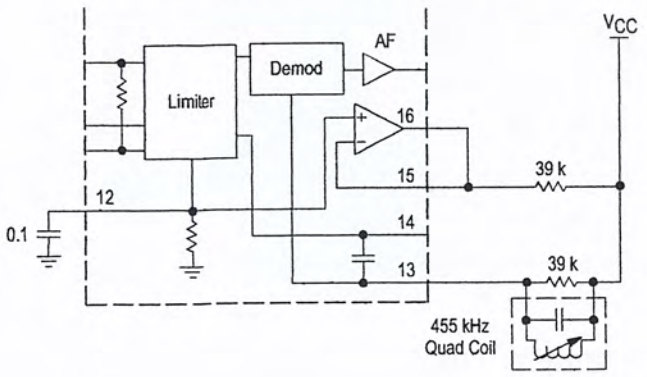


Figure 1b. MC13136 Quad Detector Test Circuit



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Figure 2. Supply Current versus Supply Voltage

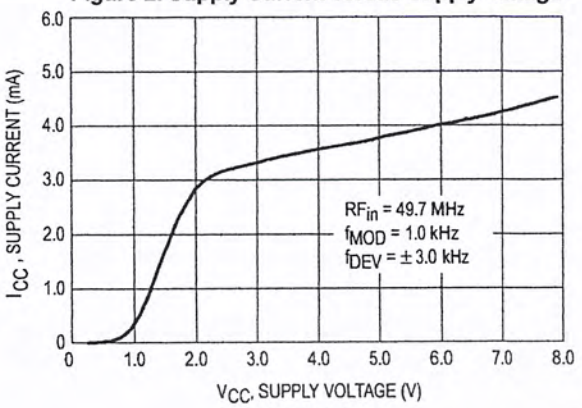


Figure 3. RSSI Output versus RF Input

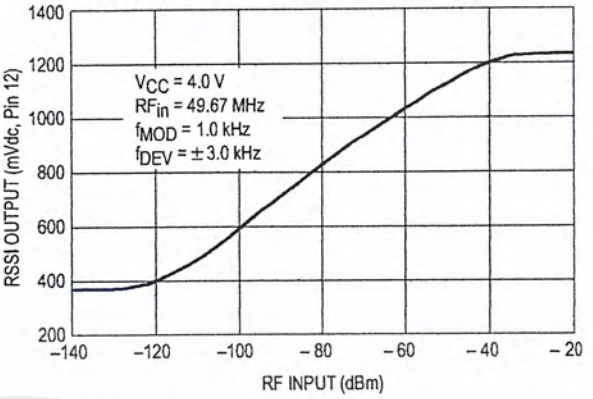


Figure 4. Varactor Capacitance, Resistance versus Bias Voltage

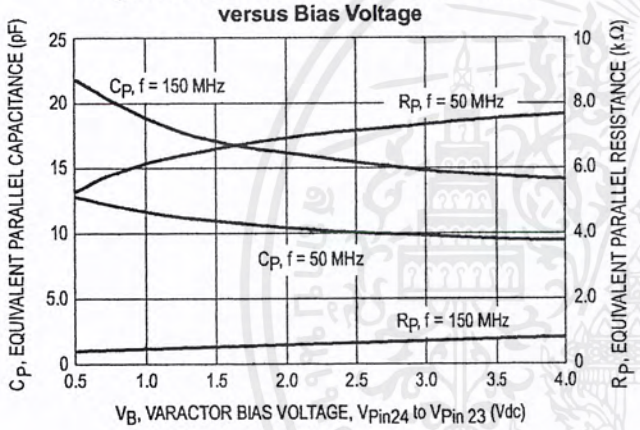


Figure 5. Oscillator Frequency versus Varactor Bias

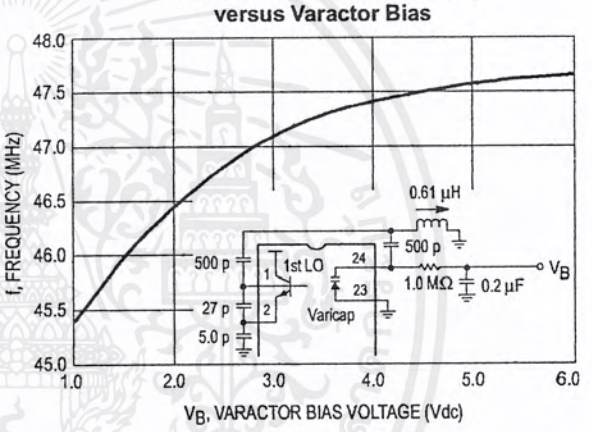


Figure 6. Signal Levels versus RF Input

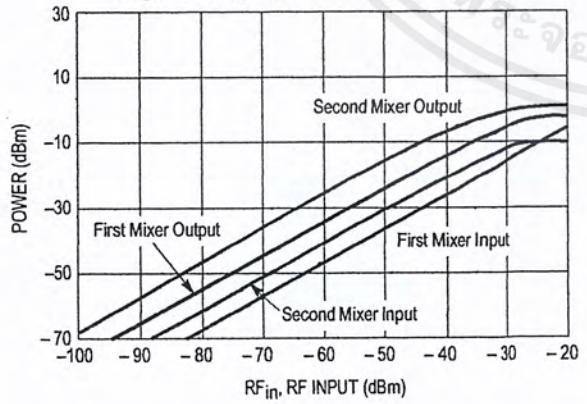
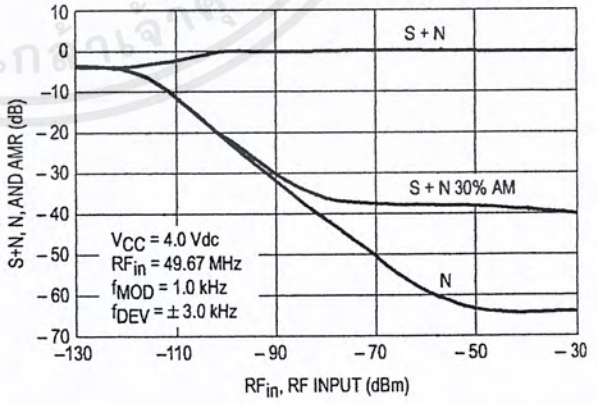


Figure 7. Signal + Noise, Noise, and AM Rejection versus Input Power



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Figure 8. Op Amp Gain and Phase versus Frequency

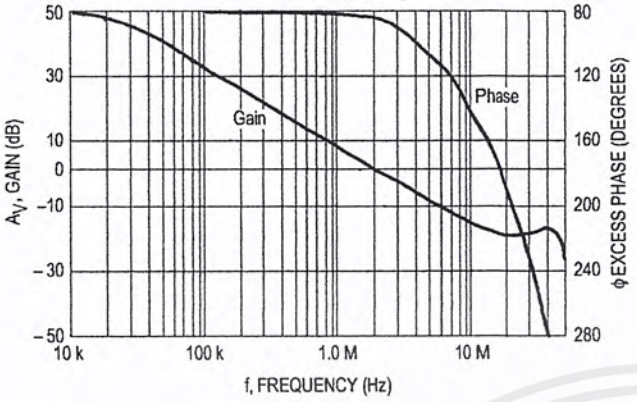


Figure 9. First Mixer Third Order Intermodulation (Unmatched Input)

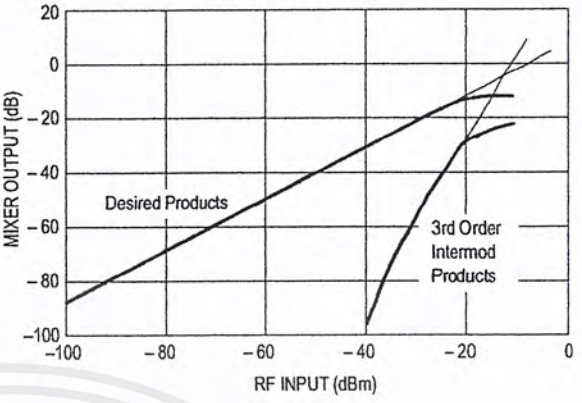


Figure 10. Recovered Audio versus Deviation for MC13135

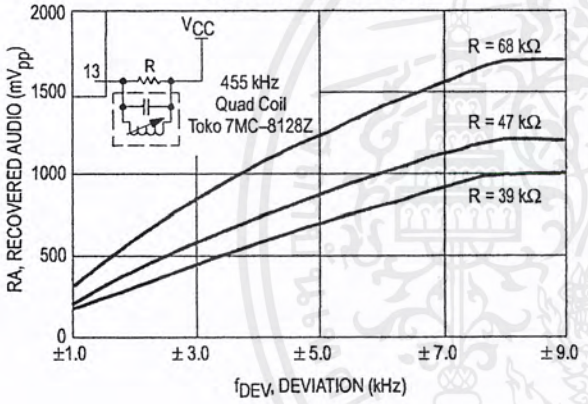


Figure 11. Distortion versus Deviation for MC13135

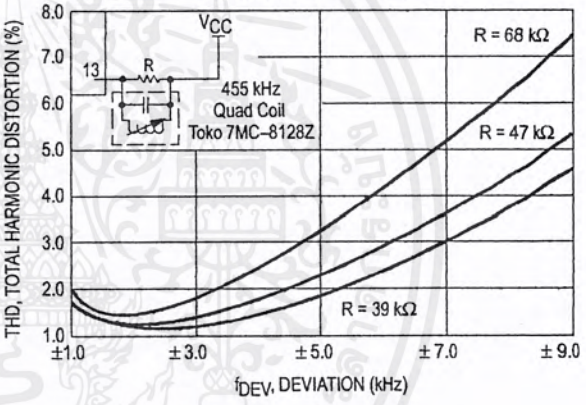


Figure 12. Recovered Audio versus Deviation for MC13136

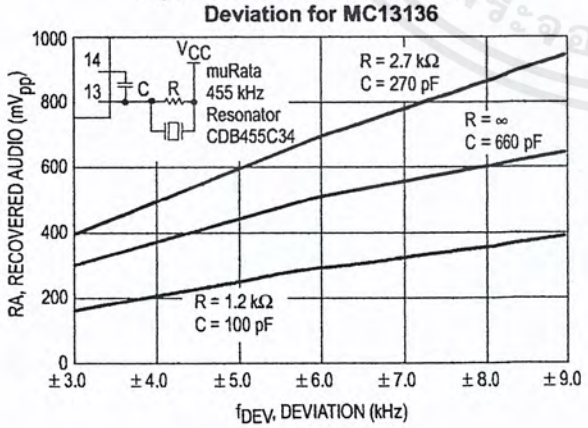
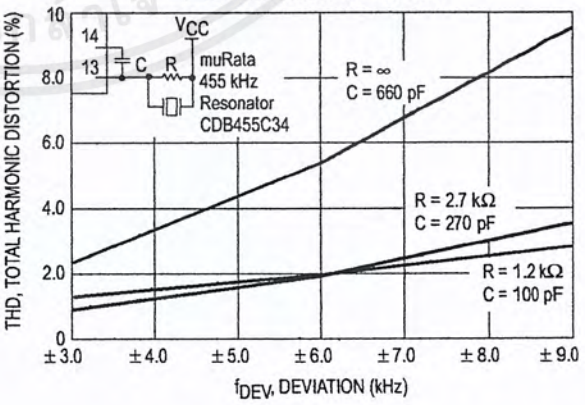


Figure 13. Distortion versus Deviation for MC13136



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

CIRCUIT DESCRIPTION

The MC13135/13136 are complete dual conversion receivers. They include two local oscillators, two mixers, a limiting IF amplifier and detector, and an op amp. Both provide a voltage buffered RSSI with 70 dB of usable range, isolated tuning diode and buffered LO output for PLL operation, and a separate V_{CC} pin for the first mixer and LO. Improvements have been made in the temperature performance of both the recovered audio and the RSSI.

V_{CC}

Two separate V_{CC} lines enable the first LO and mixer to continue running while the rest of the circuit is powered down. They also isolate the RF from the rest of the internal circuit.

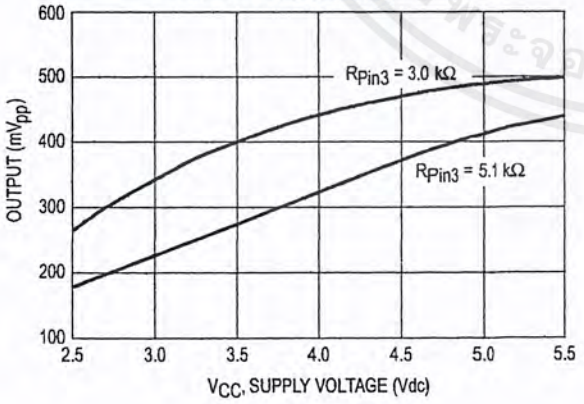
Local Oscillators

The local oscillators are grounded collector Colpitts, which can be easily crystal–controlled or VCO controlled with the on–board varactor and external PLL. The first LO transistor is internally biased, but the emitter is pinned–out and I_Q can be increased for high frequency or VCO operation. The collector is not pinned out, so for crystal operation, the LO is generally limited to 3rd overtone crystal frequencies; typically around 60 MHz. For higher frequency operation, the LO can be provided externally as shown in Figure 16.

Buffer

An amplifier on the 1st LO output converts the single–ended LO output to a differential signal to drive the mixer. Capacitive coupling between the LO and the amplifier minimizes the effects of the change in oscillator current on the mixer. Buffered LO output is pinned–out at Pin 3 for use with a PLL, with a typical output voltage of 320 mV_{pp} at V_{CC} = 4.0 V and with a 5.1 k resistor from Pin 3 to ground. As seen in Figure 14, the buffered LO output varies with the supply voltage and a smaller external resistor may be needed for low voltage operation. The LO buffer operates up to 60 MHz, typically. Above 60 MHz, the output at Pin 3 rolls off at approximately 6.0 dB per octave. Since most PLLs require about 200 mV_{pp} drive, an external amplifier may be required.

Figure 14. Buffered LO Output Voltage versus Supply Voltage



Mixers

The first and second mixer are of similar design. Both are double balanced to suppress the LO and input frequencies to give only the sum and difference frequencies out. This configuration typically provides 40 to 60 dB of LO suppression. New design techniques provide improved mixer linearity and third order intercept without increased noise. The gain on the output of the 1st mixer starts to roll off at about 20 MHz, so this receiver could be used with a 21 MHz first IF. It is designed for use with a ceramic filter, with an output impedance of 330 Ω. A series resistor can be used to raise the impedance for use with a crystal filter, which typically has an input impedance of 4.0 kΩ. The second mixer input impedance is approximately 4.0 kΩ; it requires an external 360 Ω parallel resistor for use with a standard ceramic filter.

Limiting IF Amplifier and Detector

The limiter has approximately 110 dB of gain, which starts rolling off at 2.0 MHz. Although not designed for wideband operation, the bandwidth of the audio frequency amplifier has been widened to 50 kHz, which gives less phase shift and enables the receiver to run at higher data rates. However, care should be taken not to exceed the bandwidth allowed by local regulations.

The MC13135 is designed for use with an LC quadrature detector, and does not have sufficient drive to be used with a ceramic discriminator. The MC13136 was designed to use a ceramic discriminator, but can also be run with an LC quad coil, as mentioned in the Test Circuit Information section. The data shown in Figures 12 and 13 was taken using a muRata CDB455C34 ceramic discriminator which has been specially matched to the MC13136. Both the choice of discriminators and the external matching circuit will affect the distortion and recovered audio.

RSSI/Op Amp

The Received Signal Strength Indicator (RSSI) on the MC13135/13136 has about 70 dB of range. The resistor needed to translate the RSSI current to a voltage output has been included on the internal circuit, which gives it a tighter tolerance. A temperature compensated reference current also improves the RSSI accuracy over temperature. On the MC13136, the op amp on board is connected to the output to provide a voltage buffered RSSI. On the MC13135, the op amp is not connected internally and can be used for the RSSI or as a data slicer (see Figure 17c).

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Figure 15. PLL Controlled Narrowband FM Receiver at 46/49 MHz

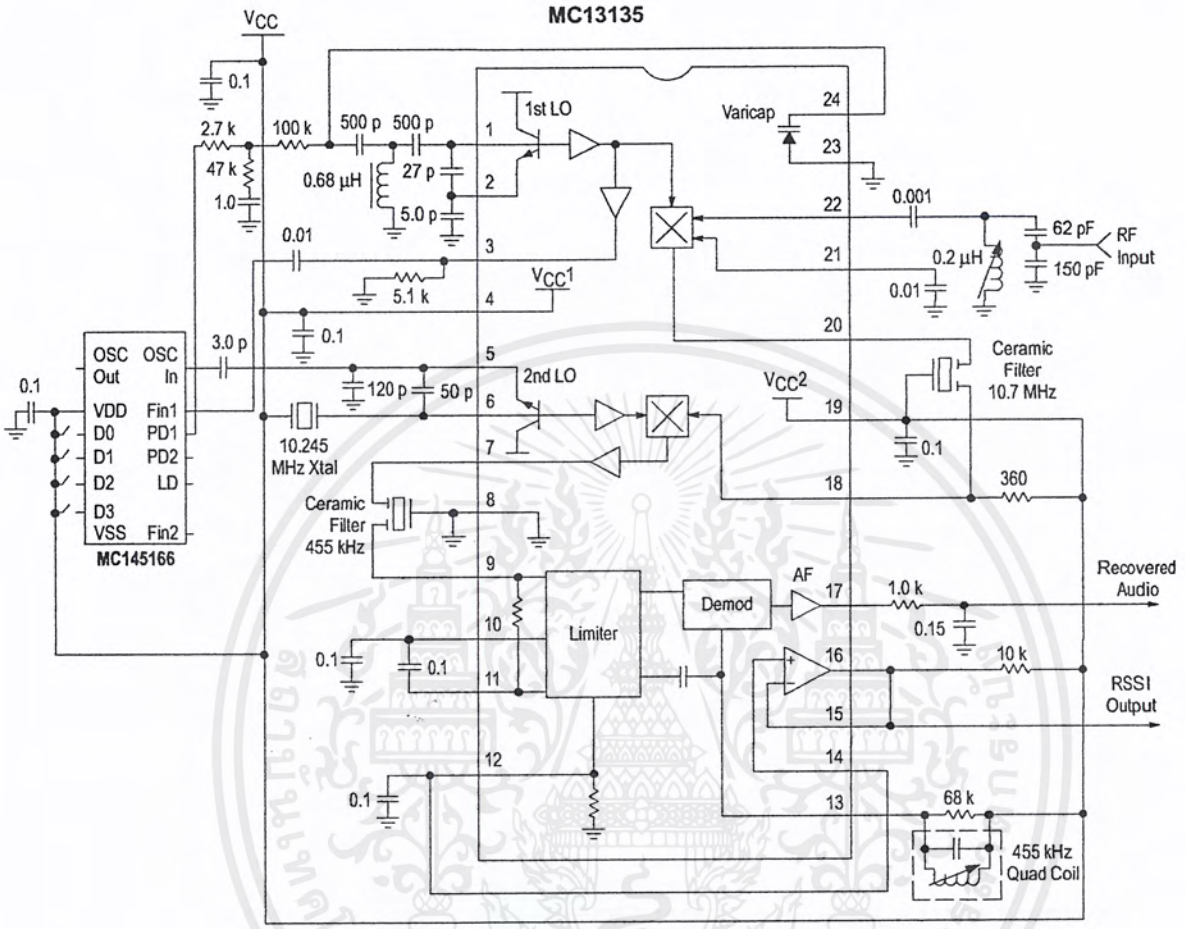
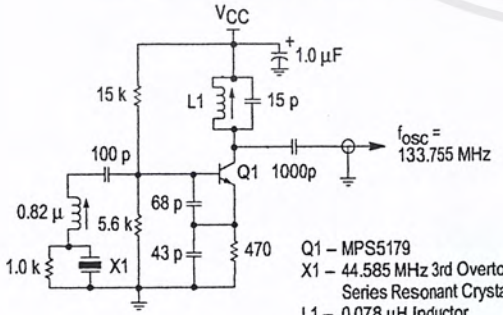
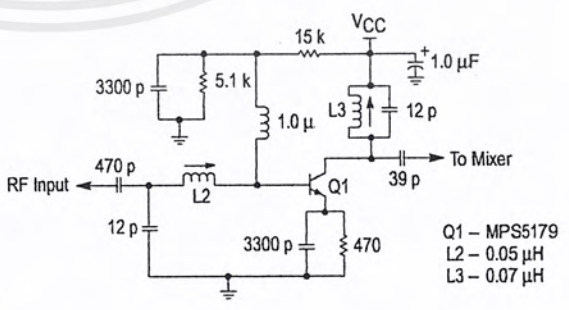


Figure 16. 144 MHz Single Channel Application Circuit

1st LO External Oscillator Circuit



Preamp for MC13135 at 144.455 MHz



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Figure 17a. Single Channel Narrowband FM Receiver at 49.7 MHz

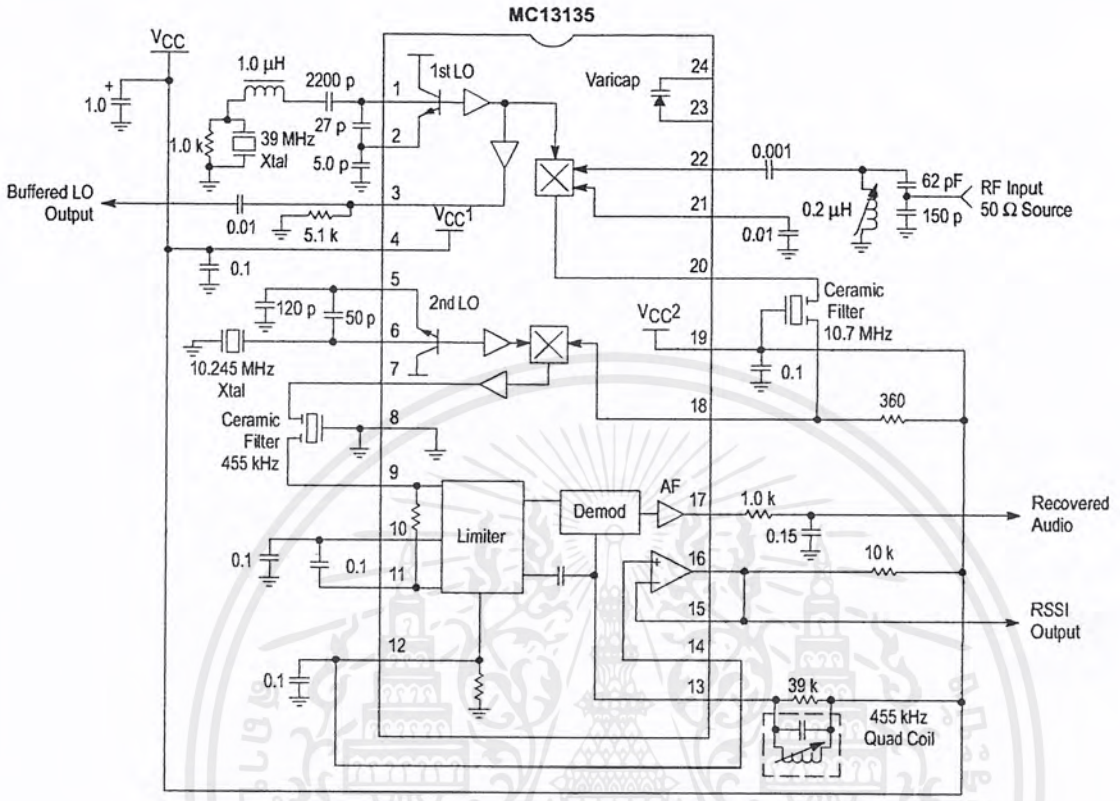
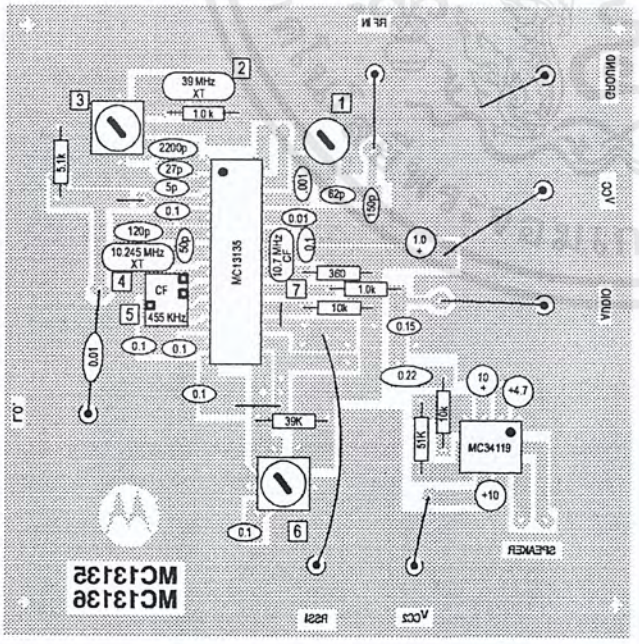
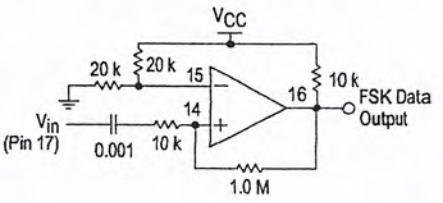


Figure 17b. PC Board Component View



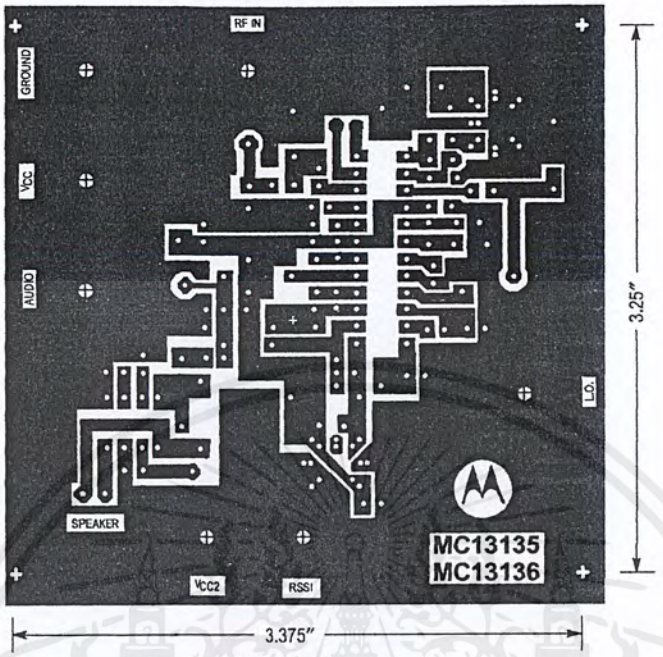
NOTES:
1. 0.2 µH tunable (unshielded) inductor
2. 39 MHz Series mode resonant 3rd Overtone Crystal
3. 1.5 µH tunable (shielded) inductor
4. 10.245 MHz Fundamental mode crystal, 32 pF load
5. 455 kHz ceramic filter, muRata CFU 455B or equivalent
6. Quadrature coil, Toko 7MC–8128Z (7mm) or Toko RMC–2A6597HM (10mm)
7. 10.7 MHz ceramic filter, muRata SFE10.7MJ–A or equivalent

Figure 17c. Optional Data Slicer Circuit
(Using Internal Op Amp)



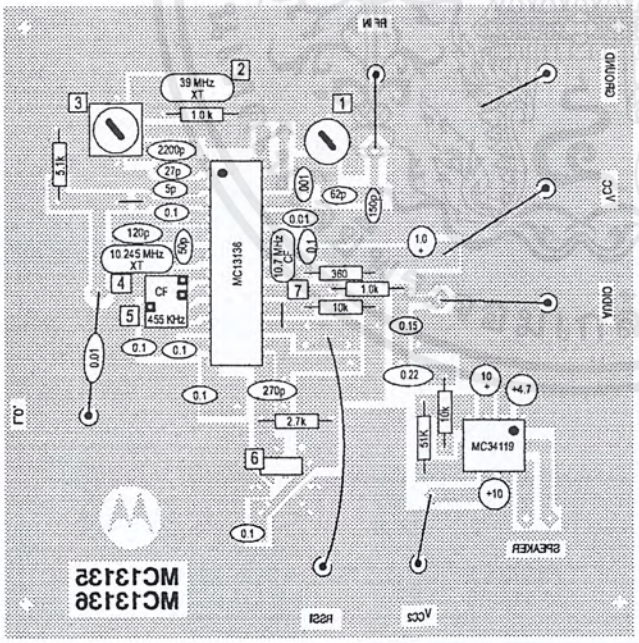
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Figure 18. PC Board Solder Side View



(Circuit Side View)

Figure 19. PC Board Component View



NOTES:
1. 0.2 µH tunable (unshielded) inductor
2. 39 MHz Series mode resonant 3rd Overtone Crystal
3. 1.5 µH tunable (shielded) inductor
4. 10.245 MHz Fundamental mode crystal, 32 pF load
5. 455 kHz ceramic filter, muRata CFU 455B or equivalent
6. Ceramic discriminator, muRata CDB455C34 or equivalent
7. 10.7 MHz ceramic filter, muRata SFE10.7MJ–A or equivalent

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Figure 20a. Single Channel Narrowband FM Receiver at 49.7 MHz

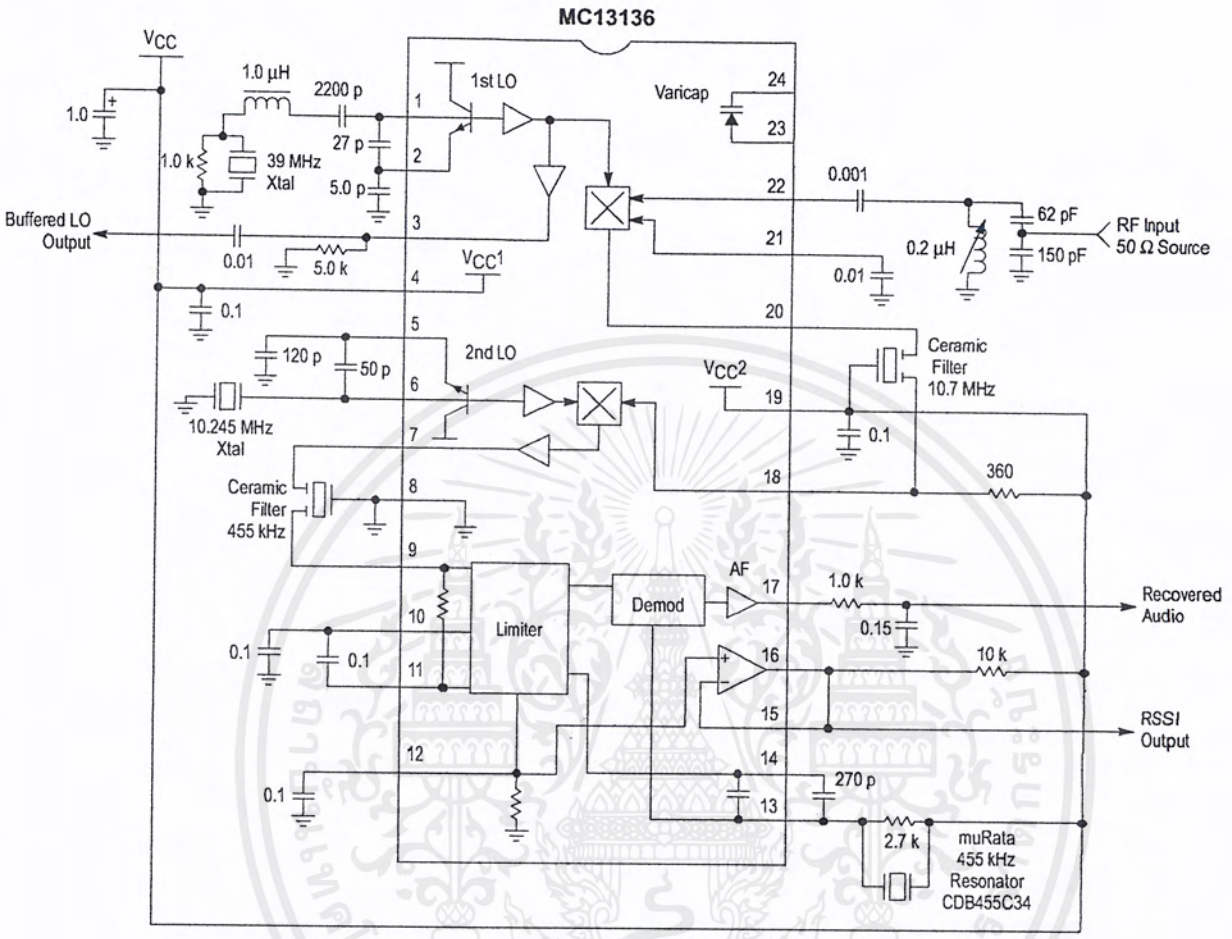
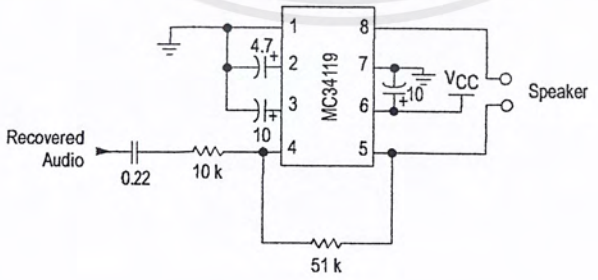


Figure 20b. Optional Audio Amplifier Circuit



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

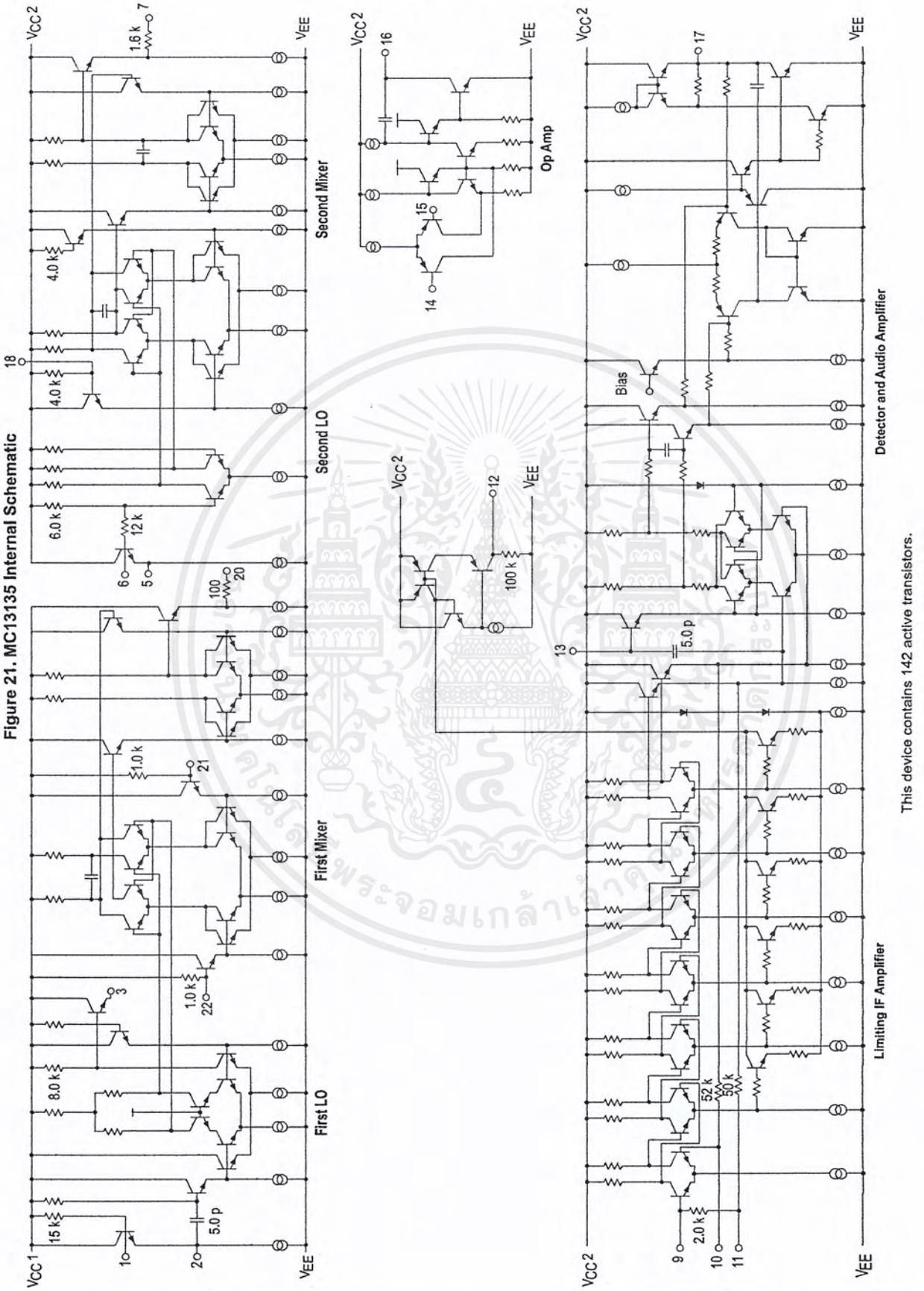


Figure 21. MC13135 Internal Schematic

This device contains 142 active transistors.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

MOTOROLA
SEMICONDUCTOR TECHNICAL DATA

Order this document
by MC145166/D

MC145166
MC145167

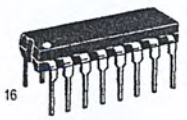
Dual PLLs for 46/49 MHz Cordless Telephones
CMOS

These devices are dual phase–locked loop (PLL) frequency synthesizers intended for use primarily in 46/49 MHz cordless phones with up to 10 channels. These parts contain two mask–programmable counter ROMs for receive and transmit loops with two independent phase detect circuits. A common reference oscillator and reference divider are shared by the receive and transmit circuits.

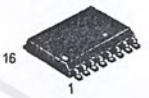
Frequency selection is accomplished via a 4–bit parallel input for the MC145166. The MC145167 utilizes a serial interface.

Other features include a lock detect circuit for the transmit loop, illegal code default, and a 5 kHz tone output.

- Synthesizes Up to Ten Channel Pairs
- Maximum Operating Frequency: 60 MHz @ V_{in} = 200 mV p–p
- Operating Temperature Range: – 40 to + 75°C
- Operating Voltage Range: 2.5 to 5.5 V
- On–Chip Oscillator Circuit Supports External Crystal
- Lock Detect Signal
- Operating Power Consumption: 3.0 mA @ 3.0 V
- Standby Mode for Power Savings: 1.5 mA @ 3.0 V
- Also See MC145162



P SUFFIX
PLASTIC DIP
CASE 648



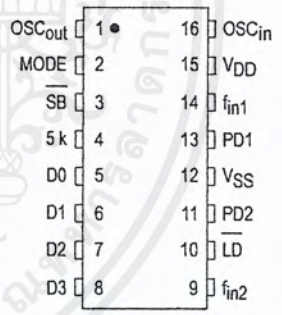
DW SUFFIX
SOG PACKAGE
CASE 751G

ORDERING INFORMATION

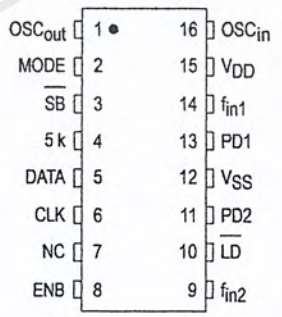
MC145166P	Plastic DIP
MC145166DW	SOG Package
MC145167P	Plastic DIP
MC145167DW	SOG Package

PIN ASSIGNMENTS

MC145166P
MC145166DW



MC145167P
MC145167DW



NC = NO CONNECTION

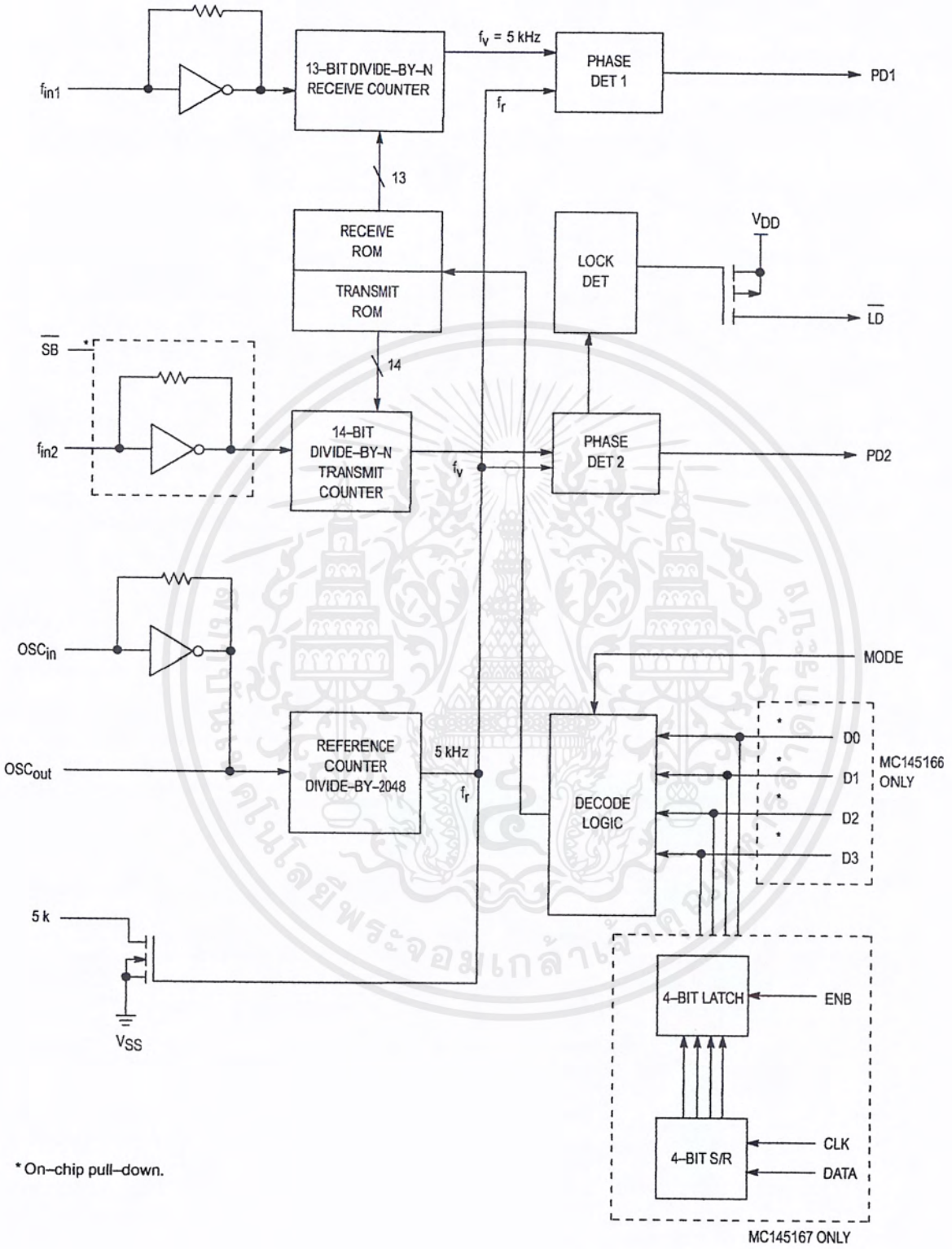
REV 2
1/98 TN98011400

© Motorola, Inc. 1998

MOTOROLA

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

BLOCK DIAGRAM



*On–chip pull–down.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

MAXIMUM RATINGS* (Voltages Referenced to V_{SS})

Symbol	Rating	Value	Unit
V_{DD}	DC Supply Voltage	– 0.5 to + 6.0	V
V_{in}	Input Voltage, All Inputs	– 0.5 to V_{DD} + 0.5	V
I_{in}, I_{out}	DC Current Drain Per Pin	10	mA
I_{DD}, I_{SS}	DC Current Drain V_{DD} or V_{SS} Pins	30	mA
T_{stg}	Storage Temperature Range	– 65 to + 150	°C

* Maximum Ratings are those values beyond which damage to the device may occur. Functional operation should be restricted to the limits in the Electrical Characteristics tables or Pin Descriptions section.

This device contains protection circuitry to guard against damage due to high static voltages or electric fields. However, precautions must be taken to avoid applications of any voltage higher than maximum rated voltages to this high–impedance circuit. For proper operation, V_{in} and V_{out} should be constrained to the range $V_{SS} \le (V_{in}$ or $V_{out}) \le V_{DD}$.

Unused inputs must always be tied to an appropriate logic voltage level (e.g., either V_{SS} or V_{DD}). Unused outputs must be left open.

ELECTRICAL CHARACTERISTICS (Voltages Referenced to V_{SS}, T_A = 25°C)

Symbol	Characteristic	V_{DD}	Guaranteed Limit		Unit
			Min	Max	
V_{DD}	Power Supply Voltage Range	—	2.5	5.5	V
V_{OL}	Output Voltage 0 Level (I_{out} = 0)	2.5 5.5	— —	0.05 0.05	V
V_{OH}	(V_{in} = V_{DD} or 0) 1 Level	2.5 5.5	2.45 5.45	— —	
V_{IL}	Input Voltage 0 Level (V_{out} = 0.5 V or V_{DD} – 0.5 V)	2.5 5.5	— —	0.75 1.65	V
V_{IH}	1 Level	2.5 5.5	1.75 3.85	— —	
I_{OH}	Output Current (V_{out} = 2.2 V) Source (V_{out} = 5.0 V)	2.5 5.5	– 0.18 – 0.55	— —	mA
I_{OL}	(V_{out} = 0.3 V) Sink (V_{out} = 0.5 V)	2.5 5.5	0.18 0.55	— —	
I_{IL}	Input Current (V_{in} = 0) OSC_{in}, f_{in1}, f_{in2}	2.5 5.5	— —	– 30 – 66	µA
	$\overline{DATA}$, $\overline{SB}$, Mode	2.5 5.5	— —	– 0.05 – 0.11	
I_{IH}	(V_{in} = V_{DD} – 0.5) OSC_{in}, f_{in1}, f_{in2}	2.5 5.5	— —	30 66	µA
	$\overline{DATA}$, $\overline{SB}$, Mode	2.5 5.5	— —	50 121	
C_{in}	Input Capacitance	—	—	14.0	pF
C_{out}	Output Capacitance	—	—	8.0	pF
I_{DD}	Standby Current, SB = V_{SS} or Open	2.5 5.5	— —	1.4 3.6	mA
I_{dd}	Operating Current (200 mV p–p input at f_{in1} and f_{in2}, $\overline{SB}$ = V_{DD})	2.5 5.5	— —	2.8 6.2	mA
I_{OZ}	Three–State Leakage Current (V_{out} = 0 or 5.5 V)	5.5	—	± 1.0	µA

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

SWITCHING CHARACTERISTICS (T_A = 25°C, C_L = 50 pF)

Symbol	Characteristic	Figure No.	V_{DD}	Guaranteed Limit		Unit
				Min	Max	
t_{TLH}	Output Rise Time	1, 5	3.0 5.0	— —	200 100	ns
t_{THL}	Output Fall Time	1, 5	3.0 5.0	— —	200 100	ns
t_r, t_f	Input Rise and Fall Time, OSC_{in}	2	3.0 5.0	— —	5.0 4.0	µs
f_{max}	Input Frequency OSC_{in} Input = Sine Wave 200 mV p–p f_{in1} f_{in2}		3.0 – 5.0 3.0 – 5.0 3.0 – 5.0	— — —	12 60 60	MHz
t_{su}	Setup Time (MC145167) DATA to CLK	3	3.0 5.0	100 50	— —	ns
	ENB to CLK		3.0 5.0	200 100	— —	
t_h	Hold Time (MC145167), CLK to DATA	3	3.0 5.0	80 40	— —	ns
t_{rec}	Recovery Time (MC145167), ENB to CLK	3	3.0 5.0	80 40	— —	ns
t_w	Input Pulse Width (MC145167), CLK and ENB	4	3.0 5.0	80 60	— —	ns

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

SWITCHING WAVEFORMS

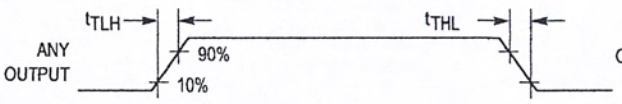


Figure 1.

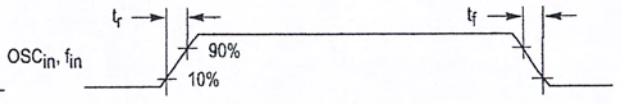


Figure 2.

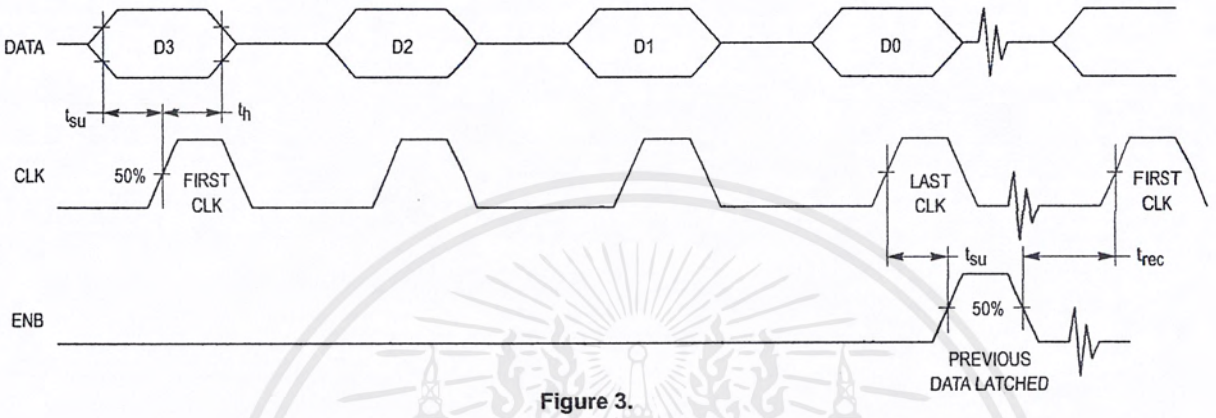


Figure 3.

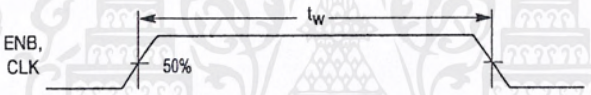


Figure 4.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

PIN DESCRIPTIONS

INPUT PINS

OSC_{in}/OSC_{out}
Reference Oscillator Input/Output (Pins 1,16)

These pins form a reference oscillator when connected to an external parallel–resonant crystal. For a 46/49 MHz cordless phone application, a 10.24 MHz crystal is needed. OSC_{in} may also serve as input for an externally generated reference signal. This signal is typically ac coupled to OSC_{in}, but for larger amplitude signals (standard CMOS logic levels) dc coupling may also be used. In the external reference mode, no connection is required for OSC_{out}.

MODE
Mode Select (Pin 2)

Mode is for determining whether the part is to be used in the base or handset of a cordless phone. Internally, this pin is used in the decoding logic for selecting the ROM address. When high, the device is set in the base mode, and when low, it is set in the handset mode. This input has an internal pull–down device.

$\overline{SB}$
Standby Input (Pin 3)

The standby pin is used to save power when not transmitting. When high, both the transmit and receive loops are in operation. When low, the transmit loop is disabled, thereby reducing power consumption. This input has an internal pull–down device.

D0 – D3
Data Inputs (MC145166 — Pins 5 – 8)

These inputs provide the BCD code for selecting the one of ten channels to be locked in both the transmit and receive loop. When address data other than 1 – 10 are input, the decoding logic defaults to channel 10. The frequency assignments with reference to Mode and D0 – D3 are shown in Table 1. These inputs have internal pull–down devices.

f_{in1}, f_{in2}
Frequency Inputs (Pins 14, 9)

f_{in1} and f_{in2} are inputs to the divide–by–N receive and transmit counters, respectively. These signals are typically derived from the loop VCO and are ac coupled. For larger amplitude signals (standard CMOS logic levels), dc coupling may be used. The minimum input level is 200 mV p–p.

CLK, DATA
Clock, Data (MC145167 — Pins 5, 6)

These pins provide the BCD input by using serial channel programming instead of parallel. Logical high represents a 1. Each low–to–high transition of the clock shifts one bit of data into the on–chip shift register.

ENB
Enable (MC145167 — Pin 8)

The enable pin controls the data transfer from the shift register to the 4–bit latch. A positive pulse latches the data.

OUTPUT PINS

5 k
5 kHz Tone Signals (Pin 4)

The 5 kHz tone signals are N–channel, open–drain outputs derived from the reference oscillator.

$\overline{LD}$
Lock Detect Signal (Pin 10)

The lock detect signal is associated with the transmit loop. The lock output goes high to indicate an out–of–lock condition. This is a P–channel open–drain output.

PD1, PD2
Phase Detector Outputs (Pins 13, 11)

These are three–state outputs of the transmit and receive phase detectors for use as loop error signals. Phase detector gain is $V_{DD}/4\ \pi$ volts per radian.

Frequency $f_V > f_r$ or f_V leading: Output = Negative pulses
Frequency $f_V < f_r$ or f_V lagging: Output = Positive pulses
Frequency $f_V = f_r$ and phase coincidence: Output = High–impedance state

POWER SUPPLY

V_{SS}
Negative Power Supply (Pin 12)

This pin is the negative supply potential and is usually ground.

V_{DD}
Positive Power Supply (Pin 15)

This pin is the positive supply potential and may range from + 2.5 to + 5.5 V with respect to V_{SS}.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Table 1. MC145166/67 Divide Ratios and VCO Frequencies

Channels					Handset (Mode = 0)				Base (Mode = 1)			
					Transmit		Receive		Transmit		Receive	
D3	D2	D1	D0	CH#	f_{in2} (MHz)	÷ N	f_{in1} (MHz)	÷ N	f_{in2} (MHz)	÷ N	f_{in1} (MHz)	÷ N
0	0	0	1	1	49.670	9934	35.915	7183	46.610	9322	38.975	7795
0	0	1	0	2	49.845	9969	35.935	7187	46.630	9326	39.150	7830
0	0	1	1	3	49.860	9972	35.975	7195	46.670	9334	39.165	7833
0	1	0	0	4	49.770	9954	36.015	7203	46.710	9342	39.075	7815
0	1	0	1	5	49.875	9975	36.035	7207	46.730	9346	39.180	7836
0	1	1	0	6	49.830	9966	36.075	7215	46.770	9354	39.135	7827
0	1	1	1	7	49.890	9978	36.135	7227	46.830	9366	39.195	7839
1	0	0	0	8	49.930	9986	36.175	7235	46.870	9374	39.235	7847
1	0	0	1	9	49.990	9998	36.235	7247	46.930	9386	39.295	7859
1	0	1	0	10	49.970	9994	36.275	7255	46.970	9394	39.275	7855

NOTES:
1. Other input combinations will be defaulted to channel 10.
2. 0 = logic low, 1 = logic high.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

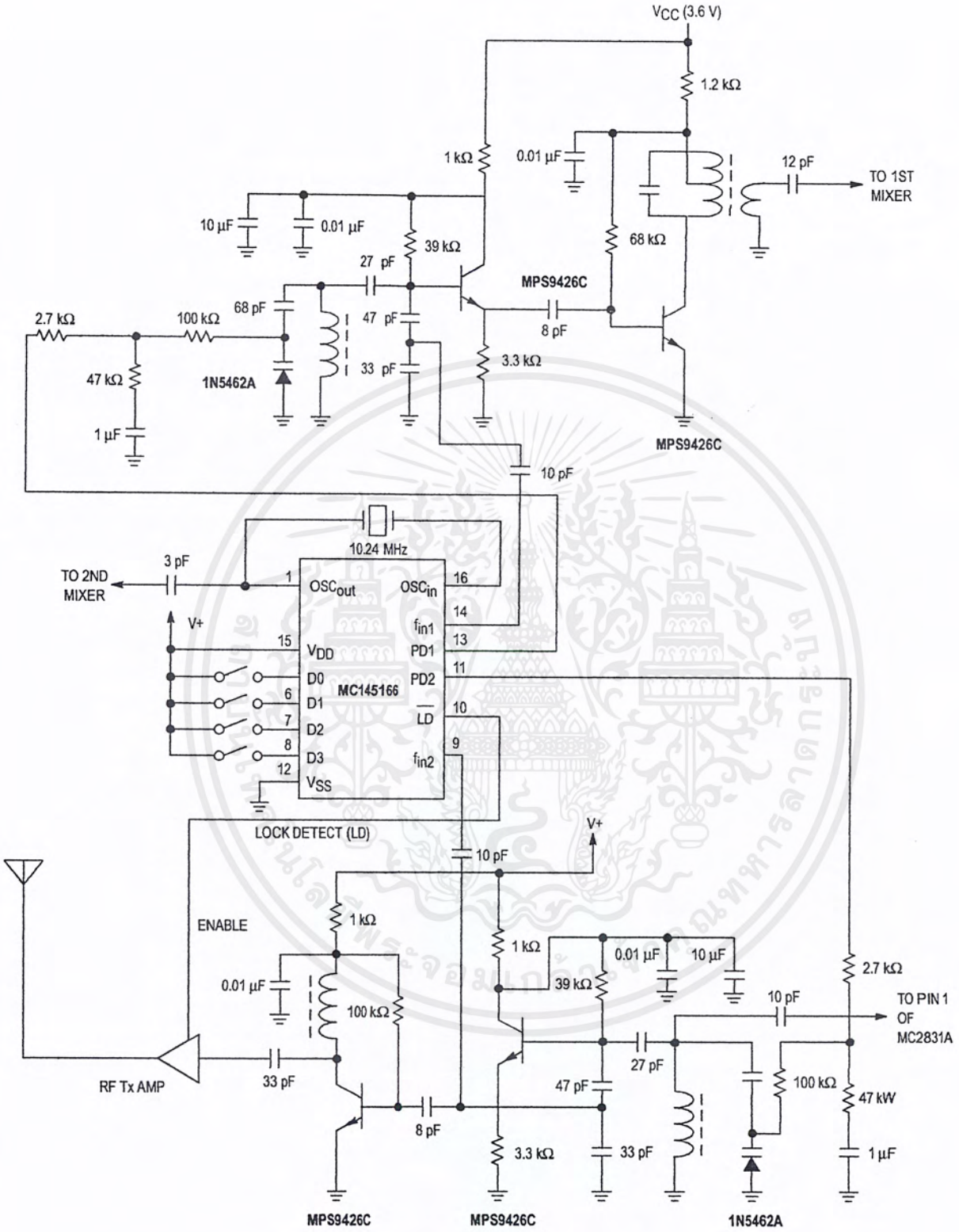


Figure 5. MC145166 Circuit Example

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

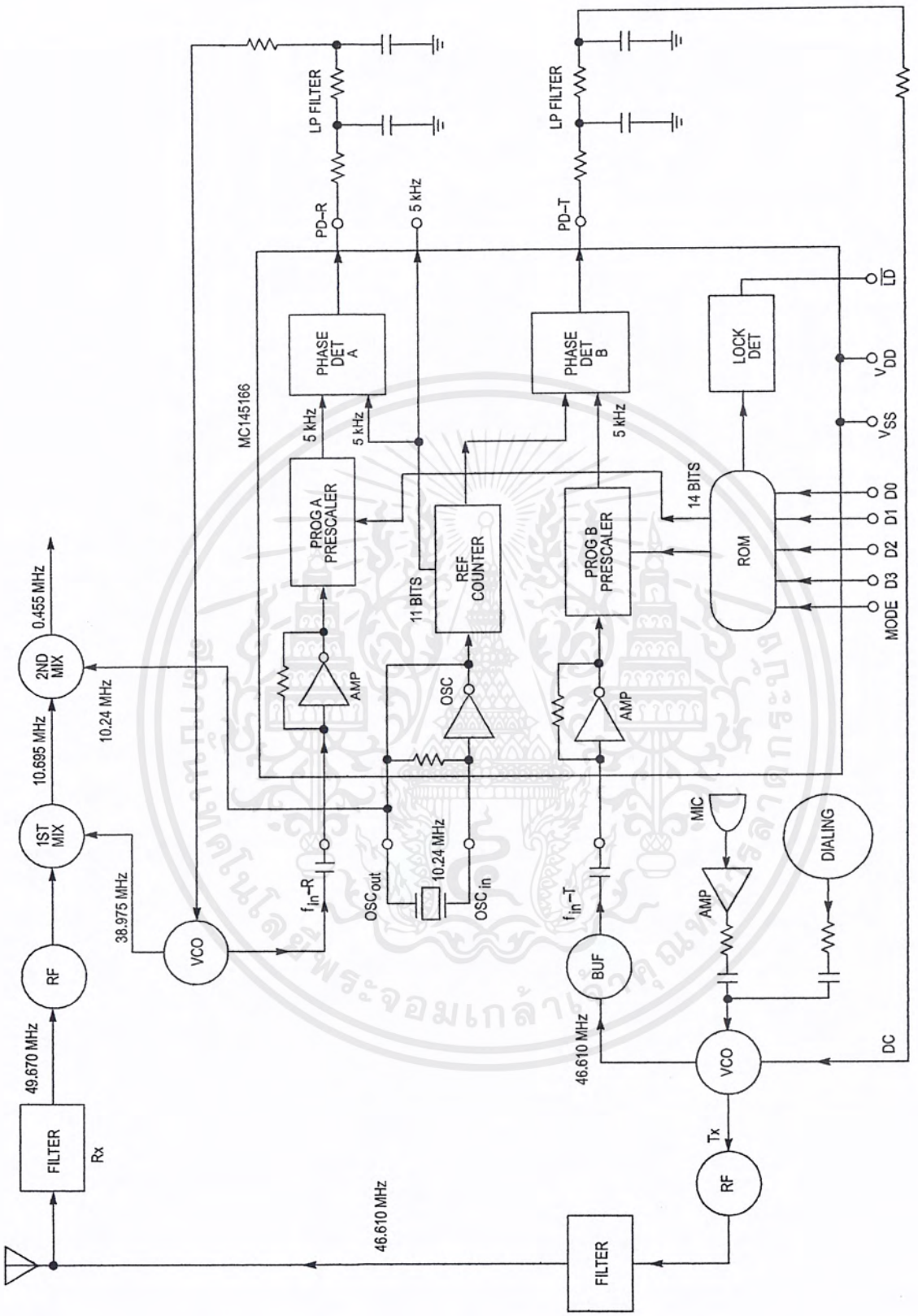


Figure 6. DPLL Application in 46/49 MHz Cordless Phone

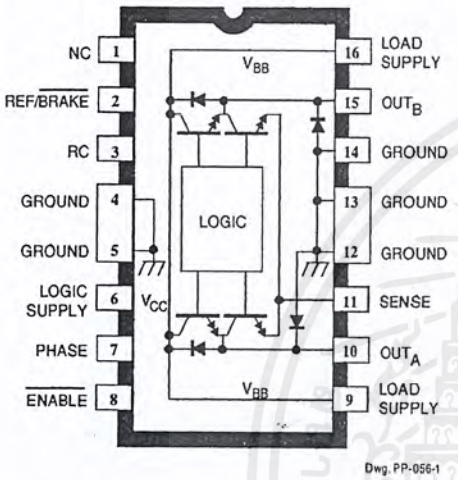
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3951

Data Sheet
29319.4†

FULL-BRIDGE PWM MOTOR DRIVER

A3951SB



Dwg. PP-056-1

ABSOLUTE MAXIMUM RATINGS

Load Supply Voltage, V_{BB} ..... 50 V
Output Current, I_{OUT}
($t_w \le 20$ µs) ..... ±3.5 A
(Continuous) ..... ±2.0 A
Logic Supply Voltage, V_{CC} ..... 7.0 V
Logic Input Voltage Range,
V_{IN} ..... -0.3 V to V_{CC} + 0.3 V
Sense Voltage, V_{SENSE} ..... 1.5 V
Reference Voltage, V_{REF} ..... V_{CC}
Package Power Dissipation,
P_D ..... See Graph
Operating Temperature Range,
T_A ..... –20°C to +85°C
Junction Temperature, T_J ..... +150°C*
Storage Temperature Range,
T_S ..... –55°C to +150°C

Output current rating may be limited by duty cycle, ambient temperature, heat sinking and/or forced cooling. Under any set of conditions, do not exceed the specified current rating or a junction temperature of +150°C.

* Fault conditions that produce excessive junction temperature will activate device thermal shutdown circuitry. These conditions can be tolerated but should be avoided.

Designed for bidirectional pulse-width modulated current control of inductive loads, the A3951SB and A3951SW are capable of continuous output currents to ±2 A and operating voltages to 50 V. Internal fixed off-time PWM current-control circuitry can be used to regulate the maximum load current to a desired value. The peak load current limit is set by the user's selection of an input reference voltage and external sensing resistor. The fixed off-time pulse duration is set by a user-selected external RC timing network. Internal circuit protection includes thermal shutdown with hysteresis, transient suppression diodes, and crossover-current protection. Special power-up sequencing is not required. The A3951SB and A3951SW are improved replacements for the UDN2953B and UDN2954W, respectively. For new system designs, the A3952SB/SEB/SLB/SW are recommended.

With the ENABLE input held low, the PHASE input controls load current polarity by selecting the appropriate source and sink driver pair. A user-selectable blanking window prevents false triggering of the PWM current control circuitry. With the ENABLE input held high, all output drivers are disabled.

When a logic low is applied to the BRAKE input, the braking function is enabled. This overrides ENABLE and PHASE to turn off both source drivers and turn on both sink drivers. The brake function can be safely used to dynamically brake brush dc motors.

The A3951SB is supplied in a 16-pin dual in-line plastic package with copper heat-sink contact tabs. The lead configuration enables easy attachment of a heat sink while fitting a standard printed wiring board layout. The A3951SW, for higher package power dissipation requirements, is supplied in a 12-pin single in-line power-tab package. In either package style, the batwing/power tab is at ground potential and needs no isolation.

FEATURES

- ±2 A Continuous Output Current Rating
- 50 V Output Voltage Rating
- Internal PWM Current Control
- Internal Transient Suppression Diodes
- Under-Voltage Lockout
- Internal Thermal Shutdown Circuitry
- Crossover-Current Protection
- Default Brake Current Limit

Always order by complete part number:

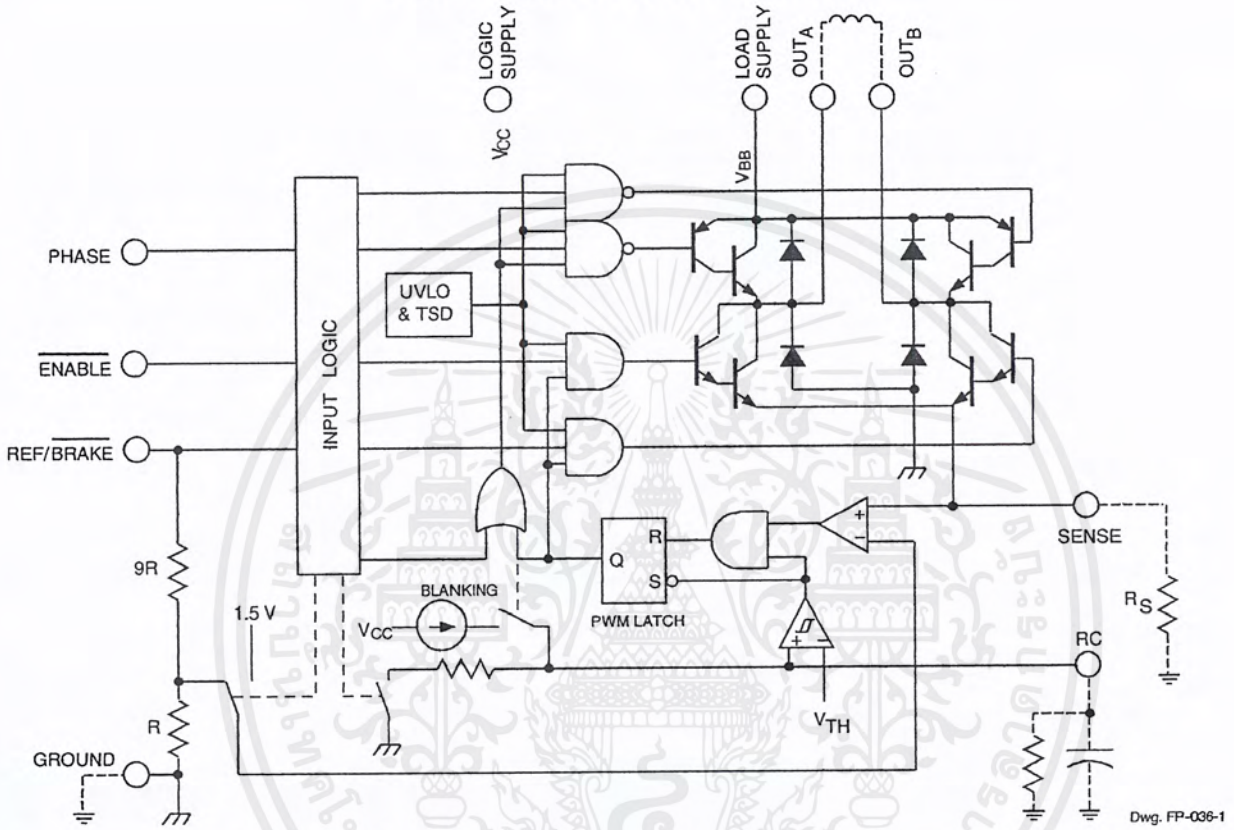
Part Number	Package	$R_{\theta JA}$	$R_{\theta JT}$
A3951SB	16-Pin DIP	43°C/W	6.0°C/W
A3951SW	12-Pin Power-Tab SIP	36°C/W	2.0°C/W

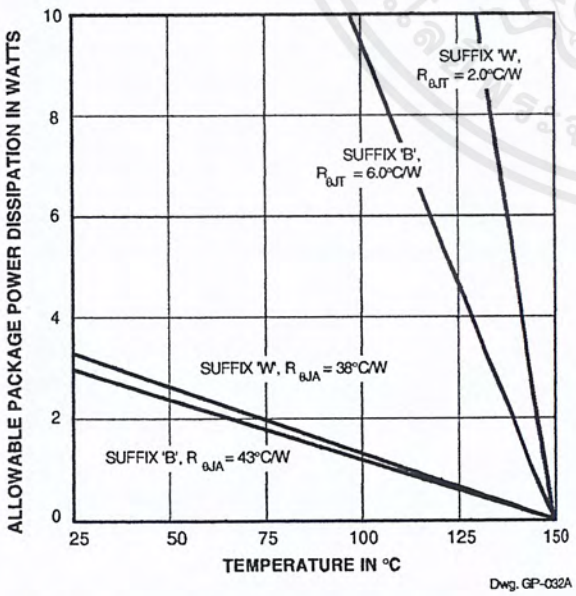
Allegro® MicroSystems, Inc.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3951
FULL-BRIDGE PWM MOTOR DRIVER

FUNCTIONAL BLOCK DIAGRAM





TRUTH TABLE

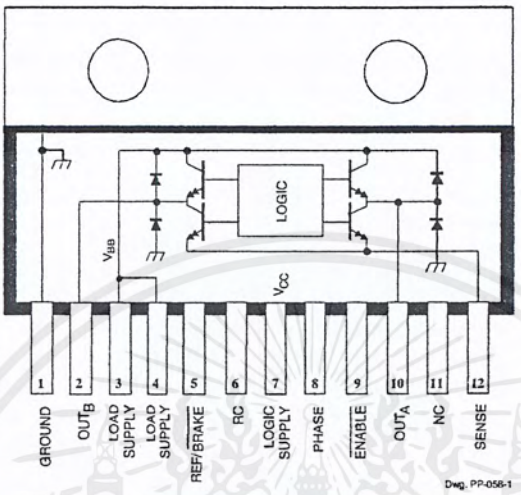
BRAKE	ENABLE	PHASE	OUT_A	OUT_B	DESCRIPTION
H	H	X	Z	Z	Outputs Disabled
H	L	H	H	L	Forward
H	L	L	L	H	Reverse
L	X	X	L	L	Brake, See Note

X = Irrelevant Z = High Impedance (source and sink both off)

NOTE: Includes internal default V_{sense} level for over-current protection.

Allegro MicroSystems, Inc.
115 Northeast Cutoff, Box 15036
Worcester, Massachusetts 01615-0036 (508) 853-5000
Copyright © 1994, 2000 Allegro MicroSystems, Inc.
เอกสารนี้และเอกสารที่เกี่ยวข้องสำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

A3951SW



ELECTRICAL CHARACTERISTICS at T_A = +25°C, V_{BB} = 50 V, V_{CC} = 5.0 V, V_{REF} = 2.0 V, V_{SENSE} = 0 V, RC = 20 kΩ/1000 pF to Ground (unless noted otherwise).

Characteristic	Symbol	Test Conditions	Limits Min.	Typ.	Max.	Units
Output Drivers						
Load Supply Voltage Range	V_{BB}	Operating, I_{OUT} = ±2.0 A, L = 3 mH	V_{CC}	–	50	V
Output Leakage Current	I_{CEX}	V_{OUT} = V_{BB}	–	<1.0	50	µA
		V_{OUT} = 0 V	–	<-1.0	-50	µA
Output Saturation Voltage	$V_{CE(SAT)}$	Source driver, I_{OUT} = -0.5 A	–	0.9	1.2	V
		Source driver, I_{OUT} = -1.0 A	–	1.0	1.4	V
		Source driver, I_{OUT} = -2.0 A	–	1.2	1.8	V
		Sink driver, I_{OUT} = +0.5 A	–	0.9	1.2	V
		Sink driver, I_{OUT} = +1.0 A	–	1.0	1.4	V
		Sink driver, I_{OUT} = +2.0 A	–	1.3	1.8	V
Clamp Diode Forward Voltage (Source or Sink)	V_F	I_F = 0.5 A	–	1.0	1.4	V
		I_F = 1.0 A	–	1.1	1.6	V
		I_F = 2.0 A	–	1.4	2.0	V
Load Supply Current (No Load)	$I_{BB(ON)}$	V_{ENABLE} = 0.8 V, V_{REF} = 2.0 V	–	2.9	6.0	mA
	$I_{BB(OFF)}$	V_{ENABLE} = V_{REF} = 2.0 V	–	3.1	6.5	mA
	$I_{BB(BRAKE)}$	V_{BRAKE} = 0.8 V	–	3.1	6.5	mA

Continued next page ...

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ELECTRICAL CHARACTERISTICS (Continued)

Characteristic	Symbol	Test Conditions	Limits			
			Min.	Typ.	Max.	Units
Control Logic						
Logic Supply Voltage Range	V_{CC}	Operating	4.5	5.0	5.5	V
Logic Input Voltage	$V_{IN(1)}$		2.0	–	–	V
	$V_{IN(0)}$		–	–	0.8	V
Logic Input Current	$I_{IN(1)}$	V_{IN} = 2.0 V	–	<1.0	20	µA
	$I_{IN(0)}$	V_{IN} = 0.8 V	–	<-2.0	-200	µA
Reference Voltage Range	V_{REF}	Operating	2.0	–	V_{CC}	V
Reference Input Current	I_{REF}	2.0 V ≤ V_{REF} ≤ V_{CC}	25	40	55	µA
Reference Voltage Divider Ratio	–	V_{REF} = 5 V	9.5	10.0	10.5	–
PWM RC Fixed Off Time	t_{off}	C_T = 1000 pF, R_T = 20 kΩ	18	20	22	µs
PWM Minimum On Time	$t_{on(min)}$	C_T = 820 pF, R_T ≥ 12 kΩ	–	1.7	3.0	µs
		C_T = 1200 pF, R_T ≥ 12 kΩ	–	2.5	3.8	µs
Propagation Delay Time	t_{pd}	I_{OUT} = ±2.0 A, 50% E_{IN} to 90% E_{OUT} transition:				
		ENABLE on to source driver on	–	2.9	–	µs
		ENABLE off to source driver off	–	0.7	–	µs
		ENABLE on to sink driver on	–	2.4	–	µs
		ENABLE off to sink driver off	–	0.7	–	µs
		PHASE change to source driver on	–	2.9	–	µs
		PHASE change to source driver off	–	0.7	–	µs
		PHASE change to sink driver on	–	2.4	–	µs
		PHASE change to sink driver off	–	0.7	–	µs
	$t_{pd(pwm)}$	Comparator trip to sink driver off	–	0.8	1.5	µs
Thermal Shutdown Temperature	T_J		–	165	–	°C
Thermal Shutdown Hysteresis	ΔT_J		–	15	–	°C
UVLO Disable Threshold	$V_{CC(UVLO)}$		3.15	3.50	3.85	V
UVLO Hysteresis	$\Delta V_{CC(UVLO)}$		300	400	500	mV
Logic Supply Current (No Load)	$I_{CC(ON)}$	V_{ENABLE} = 0.8 V, V_{REF} = 2.0 V	–	20	30	mA
	$I_{CC(OFF)}$	V_{ENABLE} = V_{REF} = 2.0 V	–	12	18	mA
	$I_{CC(BRAKE)}$	V_{REF} = 0.8 V	–	26	40	mA

NOTES: 1. Typical Data is for design information only.
2. Each driver is tested separately.
3. Negative current is defined as coming out of (sourcing) the specified device terminal.

Allegro MicroSystems, Inc.
115 Northeast Cutoff, Box 15036
Worcester, Massachusetts 01615-0036 (508) 853-5000

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

FUNCTIONAL DESCRIPTION

INTERNAL PWM CURRENT CONTROL DURING FORWARD AND REVERSE OPERATION

The A3951SB/SW contain a fixed off-time pulse-width modulated (PWM) current-control circuit that can be used to limit the load current to a desired value. The value of the current limiting (I_{TRIP}) is set by the selection of an external current sensing resistor (R_S) and reference input voltage (V_{REF}). The internal circuitry compares the voltage across the external sense resistor to one tenth the voltage on the REF input terminal, resulting in a function approximated by

$$I_{TRIP} = V_{REF}/(10 \bullet R_S).$$

In forward or reverse mode the current-control circuitry limits the load current. When the load current reaches I_{TRIP}, the comparator resets a latch to turn off the selected sink driver. The load inductance causes the current to recirculate through the source driver and flyback diode (two-quadrant operation or slow decay). See figure 1.

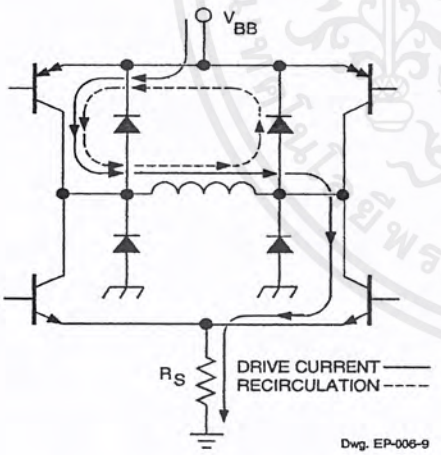


Figure 1 — Load-Current Paths

The user selects an external resistor (R_T) and capacitor (C_T) to determine the time period ($t_{off} = R_T \bullet C_T$) during which the drivers remain disabled (see "RC Fixed OFF Time" below). At the end of the R_TC_T interval, the drivers are re-enabled allowing the load current to increase again. The PWM cycle repeats, maintaining the load current at the desired value (see figure 2).

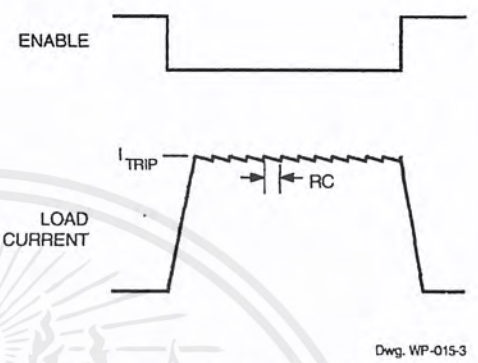


Figure 2 — Load-Current Waveform

INTERNAL PWM CURRENT CONTROL DURING BRAKE MODE OPERATION

The brake circuit turns off both source drivers and turns on both sink drivers. For dc motor applications, this has the effect of shorting the motor's back-EMF voltage, resulting in current flow that brakes the motor dynamically. However, if the back-EMF voltage is large and there is no PWM current limiting, then the load current can increase to a value that approaches a locked rotor condition. To limit the current, when the I_{TRIP} level is reached, the PWM circuit disables the conducting sink driver. The energy stored in the motor's inductance is then discharged into the load supply causing the motor current to decay.

As in the case of forward/reverse operation, the drivers are re-enabled after a time given by $t_{off} = R_T \bullet C_T$ (see "RC Fixed Off Time" below). Depending on the back-EMF voltage (proportional to the motor's decreasing speed), the load current again may increase to I_{TRIP}. If so, the PWM cycle will repeat, limiting the load current to the desired value.

Brake Operation

During braking, the peak current limit defaults internally to a value approximated by

$$I_{TRIP} = 1.5\ V/R_S.$$

In this mode, the value of R_S determines the I_{TRIP} value independent of V_{REF}. This is useful in applications with differing run and brake currents and no practical method of varying V_{REF}.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Choosing a small value for R_S essentially disables the current limiting during braking. Therefore, care should be taken to ensure that the motor's current does not exceed the absolute maximum ratings of the device. The braking current can be measured by using an oscilloscope with a current probe connected to one of the motor's leads.

CAUTION: Because the kinetic energy stored in the motor and load inertia is being converted into current, which charges the V_{BB} supply bulk capacitance (power supply output and decoupling capacitance), care must be taken to ensure the capacitance is sufficient to absorb the energy without exceeding the voltage rating of any devices connected to the motor supply.

RC Fixed Off Time

The internal PWM current control circuitry uses a one shot to control the time the driver remains off. The one shot time, t_{off} (fixed off time), is determined by the selection of an external resistor (R_T) and capacitor (C_T) connected in parallel from the RC terminal to ground. The fixed off time, over a range of values of C_T = 820 pF to 1500 pF and R_T = 12 kΩ to 100 kΩ, is approximated by

$$t_{off} = R_T \bullet C_T.$$

When the PWM latch is reset by the current comparator, the voltage on the RC terminal will begin to decay from approximately 3 volts. When the voltage on the RC terminal reaches approximately 1.1 volts, the PWM latch is set, thereby re-enabling the driver.

RC Blanking

In addition to determining the fixed off time of the PWM control circuit, the C_T component sets the comparator blanking time. This function blanks the output of the comparator when the outputs are switched by the internal current control circuitry (or by the PHASE, BRAKE, or ENABLE inputs). The comparator output is blanked to prevent false over-current detections due to reverse recovery currents of the clamp diodes, and/or switching transients related to distributed capacitance in the load.

During internal PWM operation, at the end of the off time, the comparator's output is blanked and C_T begins to be charged from approximately 1.1 V by an internal current source of approximately 1 mA. The comparator output remains blanked until the voltage on C_T reaches approximately 3.0 volts.

Similarly, when a transition of the PHASE input occurs, C_T is discharged to near ground during the crossover delay time (the crossover delay time is present to prevent simultaneous conduction of the source and sink drivers). After the crossover delay, C_T is charged by an internal current source of approximately 1 mA. The comparator output remains blanked until the voltage on C_T reaches approximately 3.0 volts.

Similarly, when the device is disabled via the ENABLE input, C_T is discharged to near ground. When the device is re-enabled, C_T is charged by the internal current source. The comparator output remains blanked until the voltage on C_T reaches approximately 3.0 V.

For most applications, the minimum recommended value is C_T = 820 pF ±5 %. This value ensures that the blanking time is sufficient to avoid false trips of the comparator under normal operating conditions. For optimal regulation of the load current, the above value for C_T is recommended and the value of R_T can be sized to determine t_{off}. For more information regarding load current regulation, see below.

LOAD CURRENT REGULATION WITH THE INTERNAL PWM CURRENT-CONTROL CIRCUITRY

During operation, the A3951S– have a lower limit to the range of PWM current control. This directly relates to the limitations imposed by the V_{REF} input (2.0 V, minimum).

Applications requiring a broader or full range (≈0% to 100%) should utilize the A3952S–, which are recommended for the improvements they bring to new designs.

LOAD CURRENT REGULATION WITH EXTERNAL PWM OF THE PHASE OR ENABLE INPUTS

The PHASE or ENABLE inputs can be pulse-width modulated to regulate load current. Typical propagation delays from the PHASE and ENABLE inputs to transitions of the power outputs are specified in the electrical characteristics table. If the normal PWM current control is used, then the comparator blanking function is active during phase and enable transitions. This eliminates false tripping of the over-current comparator caused by switching transients (see "RC Blanking" above).

Allegro MicroSystems, Inc.
115 Northeast Cutoff, Box 15036
Worcester, Massachusetts 01615-0036 (508) 853-5000

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

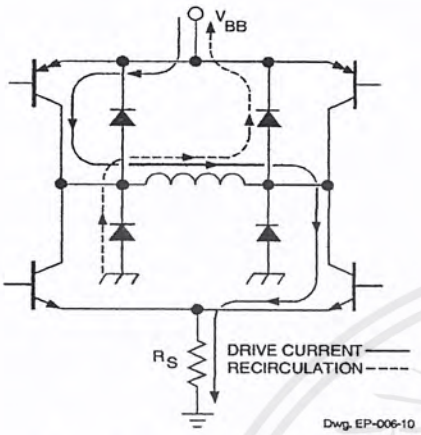


Figure 3 — Load-Current Paths

ENABLE Pulse-Width Modulation

Toggling the ENABLE input turns on and off the selected source and sink drivers; the load inductance causes the current to flow from ground to the load supply via the ground clamp and flyback diodes (four-quadrant operation or fast decay). See figure 3. When the device is enabled, the internal current-control circuitry will be active and can be used to limit the load current in the normal internal PWM slow-decay or two-quadrant mode of operation.

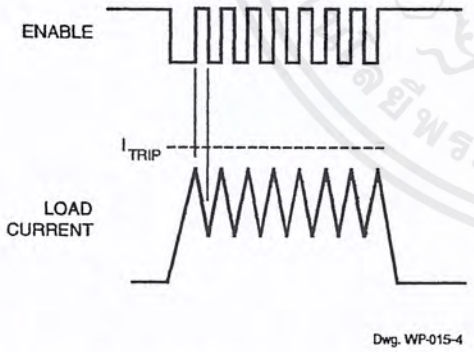


Figure 4 — ENABLE PWM Load-Current Waveform

PHASE Pulse-Width Modulation

Toggling the PHASE terminal determines/controls which sink/source pair is enabled, producing a load current that varies with the duty cycle and remains continuous at all times. This can have added benefits in bidirectional brush dc servo motor applications as the transfer function between the duty cycle on the phase input and the average voltage applied to the motor is more linear than in the case of ENABLE PWM control (which produces a discontinuous current at low current levels). See also, "DC Motor Applications" below.

MISCELLANEOUS INFORMATION

An internally generated dead time prevents crossover currents that can occur when switching phase or braking.

Thermal protection circuitry turns off all drivers should the junction temperature reach 165°C (typical). This is intended only to protect the device from failures due to excessive junction temperatures and should not imply that output short circuits are permitted. The hysteresis of the thermal shutdown circuit is approximately 15°C.

If the internal current-control circuitry is not used; the V_{REF} terminal should be connected to V_{CC}, the SENSE terminal should be connected to ground, and the RC terminal should be left floating (no connection).

An internal under-voltage lockout circuit prevents simultaneous conduction of the outputs when the device is powered up or powered down.

APPLICATIONS NOTES

Current Sensing

The actual peak load current (I_{OUTP}) will be greater than the calculated value of I_{TRIP} due to delays in the turn off of the drivers. The amount of overshoot can be approximated as

$$I_{OUTP} \approx \frac{(V_{BB} - ((I_{TRIP} \bullet R_{LOAD}) + V_{BEMF})) \bullet t_{pd(pwm)}}{L_{LOAD}}$$

where V_{BB} is the load/motor supply voltage, V_{BEMF} is the back-EMF voltage of the load, R_{LOAD} and L_{LOAD} are the resistance and inductance of the load respectively, and $t_{pd(pwm)}$ is the propagation delay as specified in the electrical characteristics table.

The reference terminal has an equivalent input resistance of 50 kΩ ±30%. This should be taken into account when determining the impedance of the external circuit that sets the reference voltage value.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

To minimize current-sensing inaccuracies caused by ground trace I•R drops, the current-sensing resistor should have a separate return to the ground terminal of the device. For low-value sense resistors, the I•R drops in the PCB can be significant and should be taken into account. The use of sockets should be avoided as contact resistance can cause variations in the effective value of R_S.

Larger values of R_S reduce the aforementioned effects but can result in excessive heating and power loss in the sense resistor. The selected value of R_S must not result in the SENSE terminal absolute maximum voltage rating being exceeded. The recommended value of R_S is in the range of

$$R_S = (0.375 \text{ to } 1.125)/I_{TRIP}.$$

Thermal Considerations

For the most reliable operation, it is recommended that the maximum junction temperature be kept as low as practical, preferably below 125°C. The junction temperature can be measured by attaching a thermocouple to the power tab/batwing of the device and measuring the tab temperature, T_T. The junction temperature then can be approximated as

$$T_J \approx T_T + (2 \bullet V_F \bullet I_{OUT} \bullet R_{\theta JT})$$

where V_F is the clamp diode forward voltage and can be determined from the electrical specification table for the given level of I_{OUT}. The value for $R_{\theta JT}$ is given in the package thermal resistance table for the appropriate package.

The power dissipation of the batwing package can be improved by approximately 20% by adding a section of printed circuit board copper (typically 6 to 18 square centimeters) connected to the batwing terminals of the device.

The thermal performance in applications with high load currents and/or high duty cycles can be improved by adding external diodes in parallel with the internal diodes. In internal PWM applications, only the two top-side (flyback) diodes need be added. For external PHASE or ENABLE input PWM applications, four external diodes should be added for maximum junction temperature reduction.

PCB Layout

The load supply terminal, V_{BB}, should be decoupled (>47 µF electrolytic and 0.1 µF ceramic capacitors are recommended) as close to the device as is physically practical. To minimize the effect of system ground I•R drops on the logic and reference input signals, the system ground should have a low-resistance return to the load supply voltage.

See also "Current Sensing" and "Thermal Considerations" above.

Fixed Off-Time Selection

With increasing values of t_{off}, switching losses decrease, low-level load-current regulation improves, EMI is reduced, the PWM frequency will decrease, and ripple current will increase. The value of t_{off} can be chosen for optimization of these parameters. For applications where audible noise is a concern, typical values of t_{off} are chosen to be in the range of 15 to 35 µs.

DC Motor Applications

In closed-loop systems, the speed of a dc motor can be controlled by PWM of the PHASE or ENABLE inputs, or by varying the REF input voltage (V_{REF}). In digital systems (microprocessor controlled), PWM of the PHASE or ENABLE input is used typically thus avoiding the need to generate a variable analog voltage reference. In this case, a dc voltage on the REF input is used typically to limit the maximum load current.

In dc servo applications that require accurate positioning at low or zero speed, PWM of the PHASE input is selected typically. This simplifies the servo-control loop because the transfer function between the duty cycle on the PHASE input and the average voltage applied to the motor is more linear than in the case of ENABLE PWM control (which produces a discontinuous current at low-current levels).

With bidirectional dc servo motors, the PHASE terminal can be used for mechanical direction control. Similar to when braking the motor dynamically, abrupt changes in the direction of a rotating motor produce a current generated by the back EMF. The current generated will depend on the mode of operation. If the internal two-quadrant slow-decay PWM current-control circuitry is used, the maximum load current generated can be approximated by $I_{LOAD} = V_{BEMF}/R_{LOAD}$ where V_{BEMF} is proportional to the motor's speed. If external four-quadrant fast-decay ENABLE PWM current-control is used, then the maximum load current generated can be approximated by

$$I_{LOAD} = (V_{BEMF} + V_{BB})/R_{LOAD}$$

Allegro MicroSystems, Inc.
115 Northeast Cutoff, Box 15036
Worcester, Massachusetts 01615-0036 (508) 853-5000

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

For both cases, care must be taken to ensure that the maximum current ratings of the device are not exceeded. The load current will limit at a value

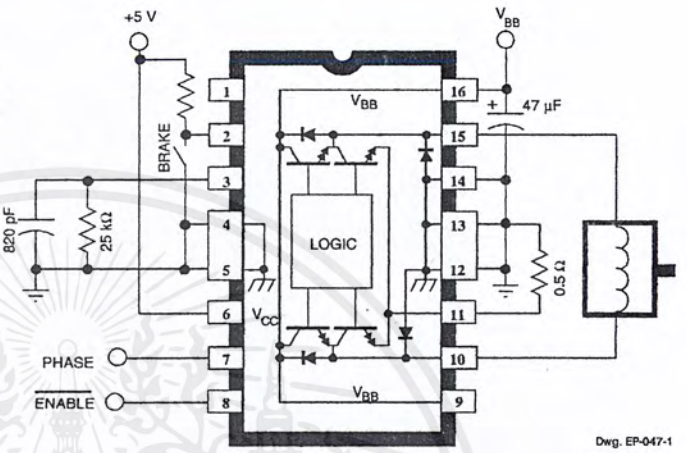
$$I_{LOAD} = V_{REF}/(10 \bullet R_S).$$

CAUTION: When the direction of the motor is changed abruptly, the kinetic energy stored in the motor and load inertia will be converted into current that charges the V_{BB} supply bulk capacitance (power supply output and decoupling capacitance). Care must be taken to ensure the capacitance is sufficient to absorb the energy without exceeding the voltage rating of any devices connected to the motor supply.

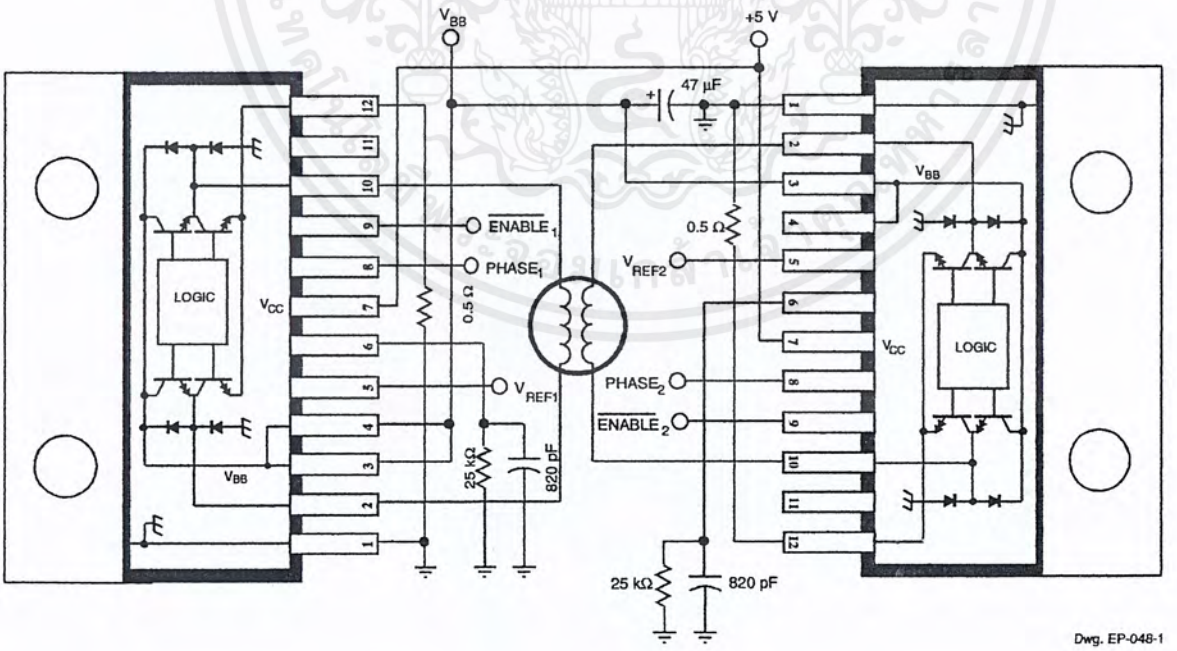
See also, the section on brake operation under "Functional Description", above.

Stepper Motor Applications

The A3951SB and A3951SW may be used for bidirectional control of bipolar stepper motors with continuous output currents to 2 A and peak start-up currents as high as 3.5 A.



Typical DC Servo Motor Application



Typical Bipolar Stepper Motor Application

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้