

เครื่องฝากข้อความจากโทรศัพท์บ้านแบบไร้สาย

Wireless Telephone Message Recorder



โดย

นายเจษฎา สืบเอี่ยม 42015009

นายไพโรจน์ แก้วเขียว 42015027

อาจารย์ที่ปรึกษา
รศ. นิภา สีสารุจิ

ปริญญานิพนธ์นี้เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรปริญญาวิศวกรรมศาสตรบัณฑิต

สาขาวิชาวิศวกรรมโทรคมนาคม

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

ปีการศึกษา 2544

เลขหมู่.....
เลขทะเบียน..... 46571
วัน, เดือน, ปี..... 4 เม.ย. 2546

b.....
i.....

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เครื่องฝากข้อความจากโทรศัพท์บ้านแบบไร้สาย
Wireless Telephone Message Recorder



โดย

นายเจษฎา สืบเอี่ยม 42015009

นายไพโรจน์ แก้วเขียว 42015027

อาจารย์ที่ปรึกษา
รศ. นิภา ตีลารุจิ

ปริญญานิพนธ์นี้เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรปริญญาวิศวกรรมศาสตรบัณฑิต
สาขาวิชาวิศวกรรมโทรคมนาคม
สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง
ปีการศึกษา 2544

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ปริญญานิพนธ์ปีการศึกษา 2544

ภาควิชาวิศวกรรมโทรคมนาคม

คณะวิศวกรรมศาสตร์ สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

เรื่อง เครื่องฝากข้อความจากโทรศัพท์บ้านแบบไร้สาย

Wireless Telephone Message Recorder

ผู้จัดทำ

1. นายเจษฎา สืบเยี่ยม 42015009

2. นายไพโรจน์ แก้วเขียว 42015027



เครื่องฝากข้อความจากโทรศัพท์บ้านแบบไร้สาย

Wireless Telephone Message Recorder

โดย นายเจษฎา สืบเอี่ยม 42015009

นายไพโรจน์ แก้วเขียว 42015027

อาจารย์ที่ปรึกษา รศ. นิภา ลีลาธิ

บทคัดย่อ

โครงการนี้เป็นเครื่องฝากข้อความจากโทรศัพท์บ้านแบบไร้สาย โดยส่วนประกอบจะมี 2 ส่วน คือเครื่องแม่ข่ายที่ต่ออยู่กับเครื่องโทรศัพท์บ้าน และเครื่องลูกข่าย ซึ่งเครื่องแม่ข่ายจะทำการส่งข้อความไปยังเครื่องลูกข่าย เมื่อมีคนโทรเข้ามาฝากข้อความ โดยข้อความที่ฝากไว้ จะถูกมอดูเลตด้วยระบบ Frequency Shift Keying (FSK) ใช้ความถี่ 49MHz ส่งออกอากาศ ไปยังเครื่องลูกข่าย หลังจากที่เครื่องแม่ข่ายทำการส่งข้อความไปยังเครื่องลูกข่ายแล้ว เครื่องลูกข่ายสามารถเปิดฟังข้อความได้ทันที และถ้าเครื่องลูกข่ายอยู่นอกพื้นที่ เครื่องแม่ข่ายจะทำการเก็บข้อความไว้ที่เครื่องแม่ข่ายเอง และคนที่ถือเครื่องลูกข่ายสามารถใช้โทรศัพท์ระบบใดก็ได้โทรเช็กข้อความที่ตัวแม่ข่ายได้

ABSTRACT

This project is a wireless telephone message recorder which consists of two parts. First part, the transmitter is connection of telephone in the house and the second part is the receiver. The transmitter transmits the message to the receiver after someone phone in the house. The message is recorded and modulated under Frequency Shift Keying System (FSK) at 49 MHz and then the message is sent to the receiver. After that the message will be opened on speaker immediately. If the receiver is not in the service area the transmitter will keep the message at itself and the user can check message by uses any telephone system connects to the transmitter.

สารบัญ

เรื่อง	หน้า
บทที่ 1 บทนำ	
1.1 ความเป็นมาของโครงการ	1
1.2 หน้าที่ภาคต่างๆของระบบ	1
1.3 ขอบเขตของโครงการ	4
1.4 วัตถุประสงค์ของโครงการ	6
บทที่ 2 ทฤษฎีและหลักการ	
2.1 ความรู้เบื้องต้นเกี่ยวกับเครื่องรับโทรศัพท์	7
2.1.1 ระบบโทรศัพท์แบบส่งความถี่คู่ (Dual Tone Multi Frequency)	8
2.1.2 ข้อดีของการใช้โทรศัพท์แบบกดปุ่ม (DTMF)	9
2.1.3 การเข้ารหัสและการถอดรหัสความถี่ของโทรศัพท์ระบบ DTMF	7
2.1.4 การถอดรหัสความถี่ระบบ DTMF	10
2.1.5 สัญญาณการติดต่อระหว่างเครื่องรับกับชุมสายโทรศัพท์	11
2.2 ไอซีบันทึกเสียง	11
2.2.1 คุณสมบัติของ ISD2590	11
2.2.2 การทำงานเบื้องต้นและหน้าที่การใช้งานของแต่ละขา	12
2.3 การมอดูเลตสัญญาณแบบดิจิตอล	14
2.3.1 ขบวนการแปลงสัญญาณดิจิตอลเป็นสัญญาณอนาล็อก (Digital to Analog Converter :DAC)	15
2.3.2 ตัวกำเนิดสัญญาณ FSK (FSK Generator)	16
2.3.3 FSK Bandwidth	17
2.3.4 FSK ดีมอดูเลเตอร์ (FSK Demodulator)	20
2.4 วงจรขยายผลต่าง	21
2.5 วงจรกรองความถี่ต่ำ (Low Pass Filter)	22
2.6 วงจรขยายไม่กลับเฟส (Noninverting Amplifier)	24
2.7 การอินเตอร์เฟสแบบอนุกรมของ MCS-51	25
2.7.1 บัฟเฟอร์สำหรับการรับและส่งข้อมูล	26
2.7.2 โครงสร้างและหลักการทำงาน	26
2.8 การส่งผ่านข้อมูลอนาล็อกและดิจิตอล	29
2.8.1 ข้อมูล (Data)	29
2.8.2 สัญญาณ (Signals)	29
2.8.3 ข้อมูลและสัญญาณ (Data and Signals)	29

สารบัญ (ต่อ)

เรื่อง	หน้า
2.8.4 การส่งผ่าน (Transmission)	30
2.8.5 การส่งผ่านข้อมูลดิจิทัล (Digital Transmission)	30
2.9 สัญญาณรบกวน (Noise)	31
2.9.1 สัญญาณรบกวนเนื่องจากคลื่นความร้อน (Thermal Noise)	31
2.9.2 สัญญาณรบกวนเนื่องจากอินเตอร์มอดูเลชัน (Inter modulation Noise)	31
2.9.3 สัญญาณรบกวนแบบครอสทอล์ก (Crosstalk)	31
2.9.4 สัญญาณรบกวนแบบอิมพัลส์ (Impulse Noise)	32
2.10 ทฤษฎีเฟสล็อกลูป (Phase Lock Loop : PLL)	32
2.11 การแปลงสัญญาณอนาล็อกเป็นดิจิทัล	35
บทที่3 การออกแบบและการสร้าง	
3.1 วงจรแปลงสัญญาณอนาล็อกเป็นดิจิทัลและวงจรแปลงข้อมูลขนานเป็นข้อมูลอนุกรม	37
3.2 โฟลว์ชาร์ทของโปรแกรมการทำงานของวงจรแปลงสัญญาณอนาล็อกเป็นดิจิทัล พร้อมทั้งแปลงข้อมูลขนานเป็นอนุกรม	38
3.3 การเชื่อมต่อไอซีบันทึกเสียงกับไมโครคอนโทรลเลอร์	39
3.4 การถอดรหัสความถี่โทรศัพท์	41
3.5 การตรวจจับสัญญาณ Ringing และตรวจจับการวางหู	42
3.6 การออกแบบวงจรขยายผลต่าง	43
3.7 การออกแบบวงจรขยายไม่กลับเฟส	43
3.8 การออกแบบวงจรแปลงข้อมูลอนุกรมเป็นข้อมูลขนานและวงจรแปลงข้อมูลขนาน เป็นสัญญาณอนาล็อก	44
3.9 การออกแบบวงจรกรองความถี่ต่ำ (Low Pass Filter)	45
3.10 การออกแบบวงจรขยายเสียง	46
บทที่4 การทดลองและผลการทดลอง	
4.1 การทดลองวงจรแปลงสัญญาณอนาล็อกไปเป็นดิจิทัล	47
4.2 ทดลองเปลี่ยนข้อมูลขนานเป็นอนุกรม	47
4.3 การทดลองการบันทึกเสียง	49
4.4 การทดลองการถอดรหัสความถี่โทรศัพท์ (DTMF)	50
4.5 การทดลองวงจร Ringing และตรวจจับการยกหู	50
4.6 ทำการวัดแรงดันที่คู่สายโทรศัพท์ และแรงดันเอาต์พุตของวงจรตรวจจับการวางหู ในขณะที่ทำการยกหูและวางหูโทรศัพท์	52

สารบัญ (ต่อ)

เรื่อง	หน้า
4.7 การทดลองวงจรขยายผลต่าง	52
4.8 การทดลองวงจรขยายแรงดันโดยใช้โอปแอมป์	52
4.9 การทดลองวงจรแปลงข้อมูลดิจิทัลเป็นสัญญาณอนาล็อก	53
4.10 การทดลองวงจรกรองความถี่ต่ำ (Low Pass Filter)	54
บทที่ 5 บทวิจารณ์และบทสรุป	57
ภาคผนวก	
กิตติกรรมประกาศ	
หนังสืออ้างอิง	



สารบัญรูปภาพ

เรื่อง	หน้า
รูปที่ 1.1 แสดงบล็อกไดอะแกรมของระบบรวม	2
รูปที่ 1.2 บล็อกไดอะแกรมของภาครับ	3
รูปที่ 1.3 โฟลว์ชาร์ตการทำงานของระบบรวม	5
รูปที่ 2.1 แสดงบล็อกไดอะแกรมของโทรศัพท์	8
รูปที่ 2.2 แสดงเป็นกคหมายเลข และค่าความถี่ในแนวนอนและแนวตั้งของหมายเลขนั้นๆ	9
รูปที่ 2.3 แสดงบล็อกไดอะแกรมภายในของไอซี	14
รูปที่ 2.4 การส่งดิจิทัล	15
รูปที่ 2.5 หลักการและสัญญาณอินพุต เอาท์พุทของ FSK	16
รูปที่ 2.6 แสดงการทำ FSK Modulator	17
รูปที่ 2.7 การเบี่ยงเบนความถี่	18
รูปที่ 2.8 สเปกตรัมความถี่ของตัวอย่างที่ 1	20
รูปที่ 2.9 แสดงหลักการ PLL-FSK Demodulator	21
รูปที่ 2.10 แสดงวงจรคอมพาราเตอร์	21
รูปที่ 2.11 แสดงการตอบสนองความถี่ของวงจรกรองความถี่ต่ำ	22
รูปที่ 2.12 แสดงตัวอย่างของวงจรกรองความถี่ต่ำแบบพื้นฐาน	22
รูปที่ 2.13 แสดงถึงวงจรที่ถูกปรับปรุงให้มีความชันถึง -40 dB/decade	24
รูปที่ 2.14 วงจรขยายไม่กลับเฟส (Non-inverting Amplifier)	24
รูปที่ 2.15 แสดงหน้าที่ของแต่ละตำแหน่งของรีจิสเตอร์ SCON	25
รูปที่ 2.16 แสดงโครงสร้างและการทำงานภายในของส่วนอินเตอร์เฟสอนุกรมใน MCS-51	28
รูปที่ 2.17 วงจรพื้นฐานของเฟสล็อกกลูป	32
รูปที่ 2.18 แบบจำลองของเฟสล็อกกลูป	34
รูปที่ 2.19 คุณสมบัติโอนย้ายของอนาล็อกเฟสดีเทคเตอร์	35
รูปที่ 2.20 ส่วนประกอบพื้นฐานของ A/D	36
รูปที่ 2.21 การสุ่มสัญญาณอนาล็อกในลักษณะซ้ำคาบ	36
รูปที่ 3.1 วงจร A/D และวงจรแปลงข้อมูลขนานเป็นอนุกรม	37
รูปที่ 3.2 แสดงโฟลว์ชาร์ตของโปรแกรมการทำงานของ A/D และการแปลงข้อมูล ขนานเป็นอนุกรม	38
รูปที่ 3.3 วงจรการเชื่อมต่อไอซีบันทึกเสียงกับไมโครคอนโทรลเลอร์	39
รูปที่ 3.4 แสดงวงจรถอดรหัส DTMF	41
รูปที่ 3.5 วงจรตรวจจับ Ringing และตรวจจับการยกหู	42

เอกสารนี้รูปที่ 3.6 วงจรขยายผลต่าง ได้รับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านอื่นๆ

ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญรูปภาพ (ต่อ)

เรื่อง	หน้า
รูปที่ 3.7 วงจรขยายไม่กลับเฟส	43
รูปที่ 3.8 วงจรแปลงข้อมูลอนุกรมเป็นข้อมูลขนานและวงจรแปลงข้อมูลขนานเป็นสัญญาณอนาล็อก	44
รูปที่ 3.9 วงจรกรองความถี่ต่ำ	45
รูปที่ 3.10 วงจรขยายเสียง	46
รูปที่ 4.1 แสดงสัญญาณอินพุตของไอซี A/D และขา TX ของไมโครคอนโทรลเลอร์โดยมีการวัดรอบการทำงานของไอซี A/D ด้วย	47
รูปที่ 4.2 แสดงสัญญาณอินพุตของไอซี A/D และขา TX ของไมโครคอนโทรลเลอร์โดยมีการวัดคาบเวลาของการส่งข้อมูลอนุกรม 11 บิต	48
รูปที่ 4.3 แสดงการเปรียบเทียบข้อมูลอนุกรม (7FH) กับพัลส์ที่ทำหน้าที่ควบคุมการทำงานของ A/D	49
รูปที่ 4.4 แสดงสัญญาณอินพุตกับเอาต์พุตของไอซีบันทึกละเอียด	49
รูปที่ 4.5 แสดงสัญญาณ Ringing	51
รูปที่ 4.6 แสดงสัญญาณเอาต์พุตจากวงจรตรวจจับสัญญาณ Ringing	51
รูปที่ 4.7 แสดงสัญญาณอินพุตและเอาต์พุตของวงจรขยายผลต่าง	52
รูปที่ 4.8 แสดงรูปสัญญาณที่ออกจากไอซีบันทึกละเอียดและเอาต์พุตที่ได้จากวงจรขยาย	53
รูปที่ 4.9 แสดงการเปรียบเทียบรูปสัญญาณอินพุตและรูปสัญญาณเอาต์พุตของกระบวนการแปลงสัญญาณอนาล็อกเป็นดิจิตอลและแปลงจากสัญญาณดิจิตอลเป็นสัญญาณอนาล็อก	54
รูปที่ 4.10 แสดงค่าความสัมพันธ์ระหว่างความถี่และค่าแรงดันของวงจรกรองความถี่ต่ำ	55
รูปที่ 4.11 แสดงผลการทดลองวงจรขยาย	56

สารบัญตาราง

เรื่อง	หน้า
ตารางที่ 2.1 แสดงความถี่ระบบ DTMF	10
ตารางที่ 2.2 แสดง Bassel Function Table	19
ตารางที่ 3.1 แสดงการกำหนดแอดเดรสเพื่อบันทึกเสียงโอเพอเรเตอร์	40
ตารางที่ 3.2 แสดงค่าที่ถอดรหัสได้จากความถี่ DTMF	42
ตารางที่ 4.1 แสดงค่าที่วัดได้จากเอาต์พุตของไอซี A/D ที่แรงดันอินพุตค่าต่างๆ	47
ตารางที่ 4.2 แสดงค่าเอาต์พุตที่ได้จากการกดคีย์โทรศัพท์	50
ตารางที่ 4.3 แสดงค่าแรงดันสถานะของโทรศัพท์	52
ตารางที่ 4.4 แสดงค่าแรงดันที่วัดได้จากเอาต์พุตของไอซี DAC0830	53
ตารางที่ 4.5 ตารางแสดงค่าการตอบสนองความถี่ของวงจรกรองความถี่ต่ำ	55



บทที่ 1

บทนำ

1.1 ความเป็นมาของโครงการ

ในยุคนี้วิวัฒนาการของเทคโนโลยีทางด้านระบบสื่อสารโทรคมนาคม ได้เจริญก้าวหน้าขึ้นอย่างรวดเร็ว ซึ่งบริษัทในเครือข่ายระบบการสื่อสาร ได้มีการพัฒนาประสิทธิภาพของระบบ ทำให้เกิดรูปแบบใหม่ๆ ที่หลากหลาย สามารถส่งข้อมูลข่าวสารได้รวดเร็ว ฉับไว และมีประสิทธิภาพมากที่สุด

ปัจจุบันโทรศัพท์ไม่ว่าระบบใดๆ ได้กลายเป็นสิ่งที่มีอิทธิพลต่อการใช้ชีวิตประจำวันของมนุษย์อย่างมากมาย เพราะฉะนั้นจึงได้แนวคิดที่จะพัฒนาประสิทธิภาพของระบบโทรศัพท์บ้าน ให้มีความสามารถในการติดต่อสื่อสาร ระหว่างบุคคลภายนอกและภายในบ้านได้สะดวกขึ้นอีก ในระดับหนึ่ง โดยการนำเทคโนโลยีทางวิศวกรรมมาประยุกต์ใช้ เช่น ไมโครคอนโทรลเลอร์ MCS-51 มาควบคุมการติดต่อของโทรศัพท์บ้าน โดยเพิ่มระบบการบันทึกข้อความและส่งข้อความผ่านคลื่นวิทยุ ไปยังบุคคลในบ้านที่พกพาเครื่องรับข้อความไว้ ทำให้การติดต่อได้สะดวกและรวดเร็วขึ้น

1.2 หน้าที่ภาคต่างๆของระบบ

โครงการนี้ การออกแบบโครงสร้างและระบบการทำงาน สามารถอธิบายหน้าที่ภาคต่างๆ ของโครงการเป็นบล็อกไดอะแกรม (Block Diagram) ได้ดังรูปที่ 1.1

- ภาคควบคุมระบบทั้งหมด (Microcontroller)

ทำหน้าที่ควบคุมสถานะการทำงานของระบบติดต่อสายโทรศัพท์เข้ากับภาคต่างๆ เพื่อให้ระบบทำงานได้เหมาะสมและสอดคล้องกัน โดยใช้ไมโครคอนโทรลเลอร์ MCS-51 เป็นตัวควบคุมระบบทั้งหมด

- ภาคควบคุมการติดต่อ

ทำหน้าที่รับคำสั่งจากไมโครคอนโทรลเลอร์ เพื่อทำการติดต่อสายโทรศัพท์เข้ากับภาคต่างๆ ตามหน้าที่การใช้งานของระบบ และเป็นไปตามความต้องการของผู้ที่ใช้งาน

- ภาคตรวจจับสัญญาณกระดิ่ง (Ringing signal)

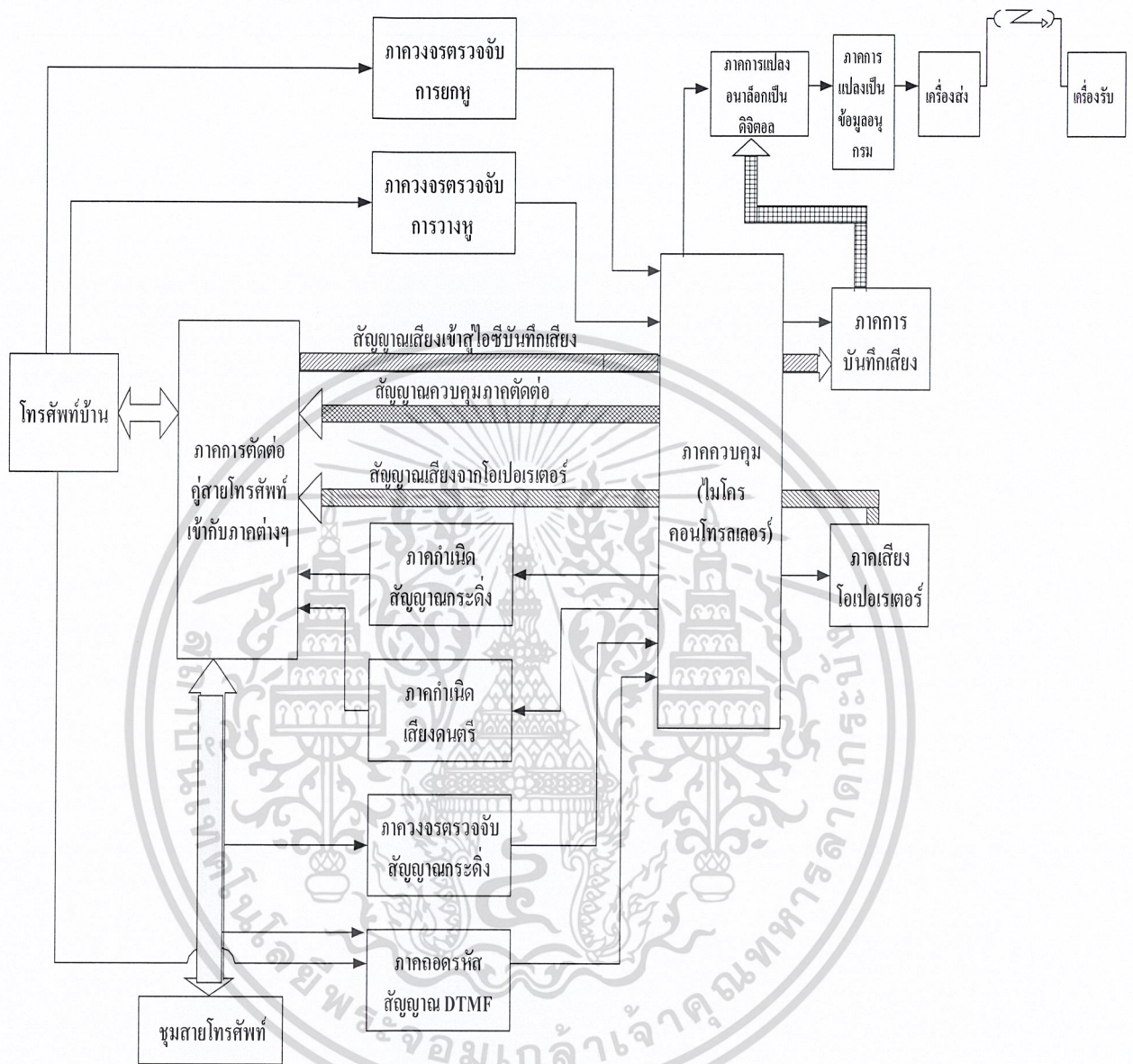
ทำหน้าที่ตรวจจับสัญญาณกระดิ่ง ที่ส่งมาจากชุมสายโทรศัพท์ โดยจะเชื่อมต่อวงจรนี้เข้ากับภาคไมโครคอนโทรลเลอร์ เพื่อให้ตรวจจับประมาณ 2 ครั้ง แล้วตัดเข้าสู่ระบบโอเพอเรเตอร์ ของระบบ เพื่อให้ผู้ติดต่อทราบเงื่อนไขในการติดต่อ

- ภาคการถอดรหัสสัญญาณ DTMF

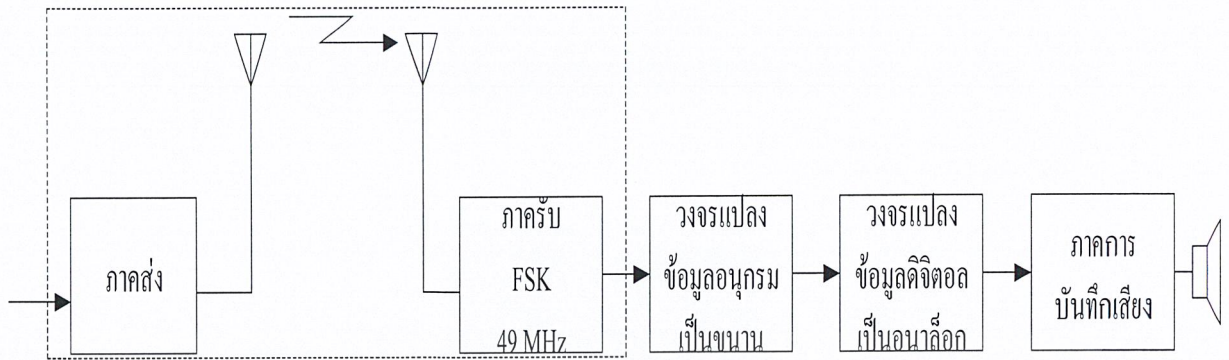
ทำหน้าที่ถอดรหัสสัญญาณ DTMF ที่รับมาจากชุมสายหรือจากโทรศัพท์บ้าน เพื่อส่งให้ไมโครคอนโทรลเลอร์ทราบว่า ถ้ากดหมายเลขใดให้ไมโครคอนโทรลเลอร์ควบคุมภาคใดบ้าง เช่นการกด 1 เพื่อเข้าสู่โทรศัพท์บ้านหรือกด 2 เพื่อเข้าสู่ระบบฝากข้อความแบบ ONLINE

- ภาคบันทึกเสียงของโอเพอเรเตอร์

ทำหน้าที่เป็นโอเพอเรเตอร์รับสายภายนอก เพื่อบอกให้ผู้ทำการติดต่อทราบเงื่อนไขในการติดต่อกับโทรศัพท์บ้านหรือระบบฝากข้อความ รวมไปถึงบอกให้ผู้ถือเครื่องรับทราบว่า มีข้อความใน Voice mail หรือไม่



รูปที่ 1.1 แสดงบล็อกไดอะแกรมของระบบรวม



รูปที่ 1.2 บล็อกไดอะแกรมของภาครับ

- ภาคการบันทึกเสียง

ทำหน้าที่รับสัญญาณเสียงที่ผู้ต้องการติดต่อฝากไว้ทำการบันทึกแล้วส่งไปยังไมโครคอนโทรลเลอร์ เป็นตัวจัดการข้อความดังกล่าวเพื่อส่งออกไปยังวงจรแปลงสัญญาณอนาล็อกเป็นดิจิทัล

- ภาคกำเนิดเสียงกระดิ่ง

ทำหน้าที่กำเนิดสัญญาณกระดิ่ง แทนชุมสายโทรศัพท์ ในขณะที่ผู้ที่ต้องการติดต่อเข้ามา ต้องการติดต่อกับโทรศัพท์บ้าน ภาคนี้จะเป็นตัวกำเนิดสัญญาณกระดิ่งส่งไปยังโทรศัพท์บ้านแทน

- ภาควงจรกำเนิดเสียงดนตรี

ในขณะที่ผู้ที่ทำการติดต่อจากภายนอก ต้องการติดต่อกับโทรศัพท์บ้าน ผู้ที่ถือสายรออนุั้น จะได้ยินเสียงดนตรีแทนสัญญาณ Ring back tone

- ภาควงจรตรวจับการยกหู-วางหู

ภาคนี้จะทำหน้าที่ตรวจับการยกหู-วางหูของโทรศัพท์บ้านโดยจะทำการต่อกับภาคไมโครคอนโทรลเลอร์ซึ่งจะทำให้ไมโครคอนโทรลเลอร์ควบคุมสถานะของภาคการติดต่อของรีเลย์ (Relay) ซึ่งในขณะที่โทรศัพท์บ้านต้องการติดต่อกับภายนอก ภาคไมโครคอนโทรลเลอร์จะตัดต่อสายเข้ากับชุมสายโทรศัพท์ทันที

- ภาคการแปลงสัญญาณอนาล็อกเป็นดิจิทัล

ภาคนี้จะรับสัญญาณเสียงที่ทำการบันทึกจากไอซีบันทึกเสียงส่งให้ภาคไมโครคอนโทรลเลอร์ ซึ่งจะทำหน้าที่แปลงสัญญาณเสียงเป็นสัญญาณดิจิทัล แบบขนาน 8 บิต

- ภาคการแปลงสัญญาณดิจิทัลเป็นสัญญาณข้อมูลอนุกรม

ภาคนี้จะรับสัญญาณดิจิทัลแบบขนาน 8 บิต มาทำการแปลงให้เป็นสัญญาณข้อมูลอนุกรม เพื่อส่งออกไปมอดูเลตยังภาคเครื่องส่ง เพื่อทำการส่งออกอากาศ

- ภาคนำข้อมูลอนุกรมเป็นข้อมูลขนานและแปลงข้อมูลขนานเป็นสัญญาณเสียง
 ในส่วนนี้จะรับสัญญาณที่ได้มอดูเลตมาแล้วนำสัญญาณข้อมูลอนุกรมที่ได้มาทำการแปลงเป็น
 สัญญาณดิจิทัลแบบขนาน 8 บิต จากนั้นนำสัญญาณดิจิทัลแปลงเป็นสัญญาณเสียงส่งออกไปยังลำโพง

1.3 ขอบเขตของโครงการงาน

โครงการนี้ การออกแบบโครงสร้างสามารถแบ่งได้เป็น 2 ส่วนใหญ่ๆ คือ

1.3.1 การออกแบบโครงสร้างทางฮาร์ดแวร์ (Hardware)

ในการจัดทำโครงการนี้ ได้ดำเนินการออกแบบวงจรภาคต่างๆ ให้ทุกวงจรทำงานสอดคล้องกัน
 ดังหัวข้อที่ 1.2 และได้ทำการทดลองผลการทำงานของวงจรภาคต่างๆ ให้ทำงานตามจุดประสงค์ที่ได้
 กำหนดไว้แล้วดังทุกภาควงจรที่กล่าวมาในหัวข้อที่ 1.2 ซึ่งในบทที่ 3 จะกล่าวถึงการออกแบบและการ
 สร้าง และบทที่ 4 จะเป็นผลการทดลองของวงจรภาคต่างๆ

1.3.2 การออกแบบโครงสร้างทางซอฟต์แวร์ (Software)

เป็นการเขียนโปรแกรมด้วยภาษาแอสเซมบลี (Assembly) สำหรับไมโครคอนโทรลเลอร์ ตระกูล
 MCS-51 เพื่อทำหน้าที่ควบคุมระบบการทำงานทั้งหมด ทำให้ระบบสามารถทำงานได้และเป็นไปตาม
 ที่ต้องการ โดยการควบคุมการตัดต่อของรีเลย์ และยังรอเช็คสถานะของเอาต์พุตภาคต่างๆ เพื่อให้ระบบ
 ต่างๆทำงานสอดคล้องกัน

A: ยินดีต้อนรับสู่ระบบฝากข้อความอัตโนมัติ กรุณากด “1” เพื่อเข้าสู่โทรศัพท์บ้าน หรือกด “2” เพื่อเข้าสู่ระบบฝากข้อความแบบ online

B: ขณะนี้ไม่มีผู้รับสาย กรุณากด “1” เพื่อเข้าสู่ระบบฝากข้อความแบบ online หรือกด “2” เพื่อยกเลิกการติดต่อ

C: ขณะนี้เข้าสู่ระบบฝากข้อความแบบ online กรุณากดหมายเลขเครื่องที่ท่านต้องการ

D: ขณะนี้เครื่องที่ท่านต้องการติดต่ออยู่นอกระบบ กรุณาฝากข้อความที่ท่านต้องการกับระบบในบ้านหลังจากได้ยินเสียงนี้ !!

E: กรุณาฝากข้อความที่ท่านต้องการภายใน 20 วินาทีหลังจากได้ยินเสียงนี้ !!

1.4 วัตถุประสงค์ของโครงการ

เพื่อศึกษาความรู้ทางทฤษฎีและประสบการณ์ด้านการออกแบบควบคุมการทำงานของวงจรโดยใช้ไมโครคอนโทรลเลอร์ ซึ่งเป็นการออกแบบควบคุมวงจรต่างๆให้สามารถทำงานร่วมกันได้อย่างเหมาะสมและสอดคล้องกัน และเป็นการประยุกต์การใช้งานของอุปกรณ์อิเล็กทรอนิกส์ เพื่อให้สามารถทำงานได้ดังที่ต้องการ ซึ่งโครงการนี้เป็นการพัฒนาศักยภาพของระบบการติดต่อสื่อสารของโทรศัพท์บ้าน ให้มีประสิทธิภาพมากขึ้น อีกระดับหนึ่ง ซึ่งจากเดิมเป็นการฝากข้อความไว้ที่ตัวเครื่องอย่างเดียว แต่โครงการนี้สามารถนำข้อความที่ฝากไว้ส่งไปยังเครื่องรับที่ได้ทำการออกแบบไว้ซึ่งผู้ที่ได้รับข้อความสามารถทราบจุดประสงค์ของผู้ที่ติดต่อด้วยได้อย่างรวดเร็ว

บทที่ 2
ทฤษฎีและหลักการ

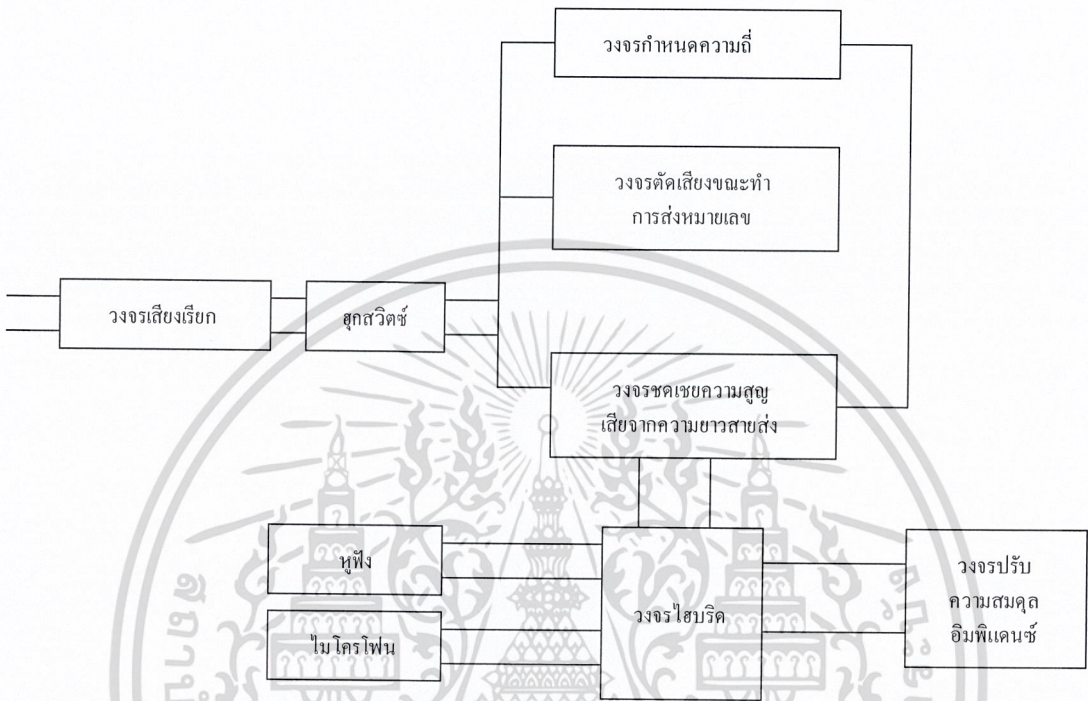
2.1 ความรู้เบื้องต้นเกี่ยวกับเครื่องรับโทรศัพท์

เครื่องรับโทรศัพท์เป็นอุปกรณ์โทรคมนาคม ที่ใช้ในการติดต่อสื่อสารได้สะดวกและรวดเร็วให้ข้อมูลชัดเจน ฉับไว เป็นที่ใช้อย่างแพร่หลายในปัจจุบัน โดยมีองค์การโทรศัพท์เป็นผู้ให้บริการด้านชุมสาย ผู้เช่าเป็นผู้จัดหาเครื่องรับ ซึ่งก่อนนี้ใช้ระบบหมุน แต่ปัจจุบันใช้ระบบกดปุ่ม(DTMF)รายละเอียดของวงจรทั้งแบบกดปุ่มและแบบหมุนนั้น จะกล่าวถึงวงจรพื้นฐานและวงจร ที่ได้รับการพัฒนาแล้ว รวมทั้งการเปรียบเทียบข้อดีข้อเสียทั้ง 2 ระบบดังนี้

ในรูปที่ 2.1 เป็นบล็อกไดอะแกรมของส่วนต่างๆ ที่จำเป็นในเครื่องโทรศัพท์ โดยจะเชื่อมต่อกับชุมสายด้วยสายทูป (Tip) และสายริง (Ring) วงจรแรกที่เชื่อมต่อระหว่างวงจรภายในเครื่องรับกับอุปกรณ์ของชุมสายคือวงจรกำเนิดเสียงเรียก (Ringing) ซึ่งจะส่งสัญญาณเรียก (Ringing Signal) เมื่อมีการติดต่อจากผู้อื่น เหตุผลประการสำคัญที่ต้องนำวงจรส่วนนี้มาเชื่อมต่อกับชุมสายโดยตรงคือ เมื่อวางหูโทรศัพท์ไว้กับที่วางตามปกติ สุกสวิทช์ (Switch Hook) จะถูกเปิดวงจรออกทำให้ไม่มีแรงดันจากชุมสายผ่านไปวงจรส่วนที่อยู่หลังสุกสวิทช์ได้ ดังนั้นถ้าวงจรกำเนิดเสียงเรียกอยู่หลังจากสุกสวิทช์ จะไม่สามารถสร้างสัญญาณเรียกได้ในเวลาที่มีผู้ติดต่อเข้ามา วงจรกำเนิดสัญญาณพัลส์ (Pulse) จะทำหน้าที่ส่งเลขหมายไปให้ชุมสายโทรศัพท์แบบพัลส์ และวงจรกำเนิดความถี่จะทำหน้าที่ส่งเลขหมายไปให้ชุมสายแบบความถี่ผสมที่เรียกว่า DTMF (Dial Tone Multi Frequency) เมื่อชุมสายโทรศัพท์ของผู้เรียกปลายทางแล้ว จะดำเนินการจัดหาเส้นทางเชื่อมต่อเครื่องรับโทรศัพท์ของผู้ถูกเรียกปลายทางให้ จากนั้นจะส่งสัญญาณให้ผู้ถูกเรียกได้รับรู้และส่งสัญญาณเรียก ไปให้ผู้ถูกเรียกปลายทาง วงจรตัดเสียงขณะทำการส่งสัญญาณหมายเลขจะทำการตัดวงจรภาคเสียงพูดออก ในขณะที่เครื่องรับโทรศัพท์กำลังส่งหมายเลขโทรศัพท์ วงจรชดเชยความสูญเสียเนื่องจากความยาวของสายส่ง จะทำหน้าที่ชดเชยสัญญาณที่สูญเสียไปเนื่องจากเครื่องรับโทรศัพท์ และชุมสายโทรศัพท์อยู่ห่างไกลกันมาก ส่วนวงจรไฮบริดจะทำหน้าที่เป็นตัวเชื่อมต่อคู่สายโทรศัพท์เข้ากับวงจรเสียงพูด ประกอบไปด้วยไมโครโฟนและหูฟัง วงจรปรับปรุงความสมดุลของอิมพีแดนซ์ (Balance line) จะทำหน้าที่ปรับอิมพีแดนซ์ของเครื่องรับโทรศัพท์ ซึ่งโดยปกติจะมีอิมพีแดนซ์ 600 โอห์ม

เมื่อมีการยกหูโทรศัพท์ขึ้นสุกสวิทช์จะปิดวงจรทำให้กระแสจากชุมสายไหลครบวงจรผ่านเครื่องโทรศัพท์ได้ ในขณะที่เดียวกันกระแสนี้จะไหลผ่านวงจรเชื่อมต่อสายโทรศัพท์ที่ชุมสายด้วย เพื่อที่จะให้อุปกรณ์ต่างๆ ในชุมสายพร้อมที่จะทำการติดต่อกับเครื่องโทรศัพท์ได้ จากนั้นชุมสายจะส่งสัญญาณหมุนไปยังผู้ที่ยกหูโทรศัพท์ เพื่อให้ผู้นั้นส่งหมายเลขโทรศัพท์ของผู้ที่ต้องการติดต่อด้วยมายังชุมสาย หลังจากชุมสายได้รับหมายเลขแรกที่ถูกต้องแล้ว ชุมสายจะเลิกส่งสัญญาณ ซึ่งกระบวนการนี้เกิดขึ้นอย่างรวดเร็ว การส่งหมายเลขโทรศัพท์ไปยังชุมสายสามารถกระทำได้ 2 วิธี วิธีแรกเป็นการส่งสัญญาณพัลส์ที่

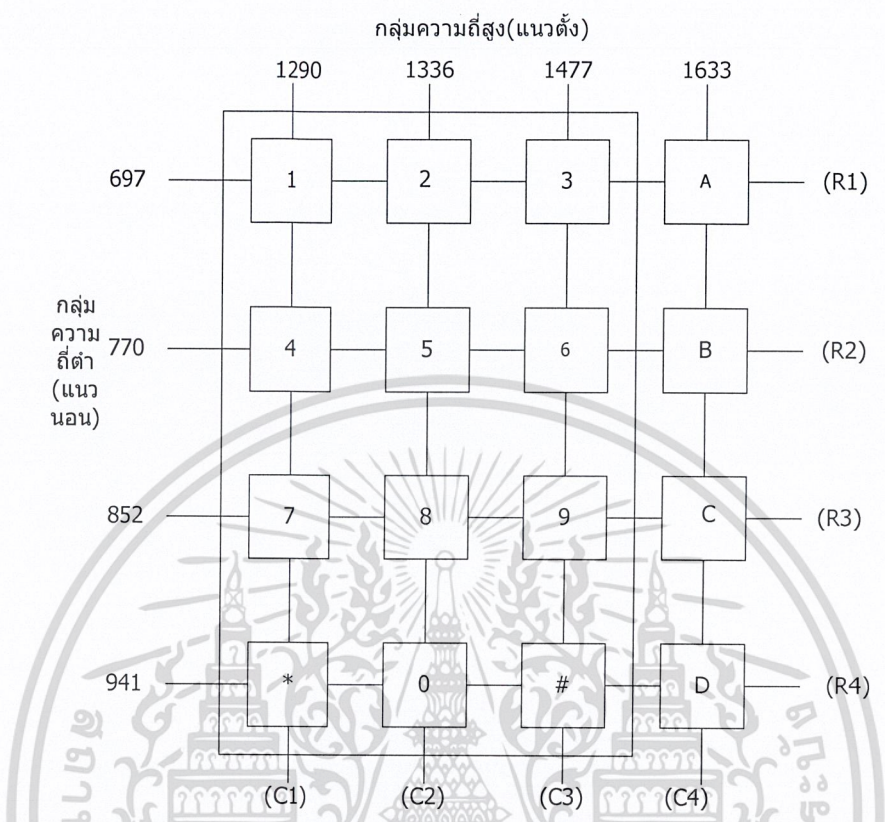
แสดงค่าของหมายเลขต่างๆ อีกวิธีคือการส่งสัญญาณเป็นความถี่ต่างกัน โดยค่าของตัวเลขจะถูกแทนด้วยค่าความถี่ 2 ความถี่ที่มอดูเลตกัน



รูปที่ 2.1 แสดงบล็อกไดอะแกรมของโทรศัพท์

2.1.1 ระบบโทรศัพท์แบบส่งความถี่คู่ (Dual Tone Multi Frequency)

ระบบนี้มีวิธีการส่งหมายเลขของผู้ที่ต้องการติดต่อด้วย โดยการส่งสัญญาณความถี่ 2 ความถี่มอดูเลตกันไป ซึ่งจะเป็นตัวแทนหมายเลขที่กด ซึ่งความถี่ที่ถูกส่งออกไปจะอยู่ในย่านความถี่เสียงพูด (0-4 กิโลเฮิร์ตซ์) ซึ่งค่าความถี่ที่ต่ำกว่าจะเป็นความถี่ที่แสดงในแนวนอน และอีกค่าจะเป็นความถี่ในแนวตั้ง ซึ่งค่าต่างๆจะแสดงไว้ในรูปที่ 2.2 ตัวอย่างเช่น เมื่อมีการกดหมายเลข 5 ก็จะมีความถี่ 770 เฮิร์ตซ์ และ 1336 เฮิร์ตซ์ มอดูเลตออกมา



รูปที่ 2.2 แสดงปุ่มกดหมายเลข และค่าความถี่ในแนวนอนและแนวตั้งของหมายเลขนั้นๆ

2.1.2 ข้อดีของการใช้โทรศัพท์แบบกดปุ่ม (DTMF)

- 1) สามารถลดเวลาในการหมุนหมายเลขได้ ทำให้มีผลคือเวลาเฉลี่ยที่ใช้โทรศัพท์แต่ละครั้งลดลง ซึ่งทำให้ชุมสายโทรศัพท์สามารถรับโทรศัพท์ได้มากขึ้น
- 2) สามารถใช้วงจรทาง solid state electronic แทนอุปกรณ์ทางด้าน mechanic จึงทำให้มีความรวดเร็วและแม่นยำในการส่งหมายเลขมากขึ้น
- 3) สามารถเพิ่มปุ่มกดขึ้นได้อีก 4 ปุ่ม (Column ที่4) เพื่อใช้ในการส่งสัญญาณการบริการประเภทอื่นๆ
- 4) มีความเหมาะสมที่จะใช้กับชุมสายระบบ Stores Program Control

2.1.3 การเข้ารหัสและการถอดรหัสความถี่ของโทรศัพท์ระบบ DTMF

ระบบโทรศัพท์แบบ DTMF นี้ จะใช้การส่งสัญญาณไปบนสายส่งของระบบโทรศัพท์ โดยจะมีข้อดีเหนือระบบพัลส์หลายอย่าง เช่น ดิคต่อได้เร็วกว่า และสามารถที่จะส่งสัญญาณไปบนสายส่งเสียงระดับใดๆก็ได้ วิธีนี้เป็นการส่งสัญญาณแถบความถี่เสียงที่แตกต่างกัน 16 ค่า โดยแต่ละค่าจะเป็นสัญญาณคลื่นรูปไซน์ 2 แบบ แบ่งเป็น กลุ่มความถี่ต่ำและกลุ่มความถี่สูง ซึ่งจะมีลักษณะแสดงดังตารางที่ 2.1

ตารางที่ 2.1 แสดงความถี่ระบบ DTMF

กลุ่มความถี่ต่ำ (Hz)	กลุ่มความถี่สูง(Hz)			
	1209	1336	1477	1633
697	1	2	3	A
770	4	5	6	B
852	7	8	9	C
941	*	0	#	D

2.1.4 การถอดรหัสความถี่ระบบ DTMF

การถอดรหัสความถี่ทางโทรศัพท์ หมายถึง การแปลงสัญญาณความถี่ ซึ่งเกิดจากการกดปุ่มตัวเลขทางโทรศัพท์ชนิดกดปุ่ม (ชนิด Tone หรือ DTMF) ให้เป็นสัญญาณดิจิทัล เพื่อนำไปใช้กับระบบดิจิทัล ข้อกำหนดต่างๆ ที่จำเป็นเพื่อที่จะไม่ทำให้การถอดรหัส DTMF เกิดความผิดพลาดขึ้น ซึ่งผู้ออกแบบวงจรต้องคำนึงถึงเสมอ มีรายละเอียดดังนี้

- 1) วงจรจะยังคงสามารถถอดรหัสได้อย่างถูกต้อง ถึงแม้สัญญาณที่รับเข้ามาจะมีความถี่เบี่ยงเบนไปจากค่าที่กำหนดไว้เป็นมาตรฐาน แต่ต้องไม่เกิน 2 % และไม่ยอมให้สัญญาณที่มีค่าเบี่ยงเบนมากกว่า 3% จากค่ามาตรฐานผ่านวงจรกรองความถี่ได้
- 2) วงจรถอดรหัสจะสามารถถอดรหัสได้ ก็ต่อเมื่อได้รับสัญญาณเข้ามามีระยะเวลาอย่างน้อย 40 มิลลิวินาที
- 3) วงจรถอดรหัสจะทำการถอดรหัสได้ถูกต้อง ก็ต่อเมื่อสัญญาณ DTMF ที่ได้รับเข้ามาก่อนหน้านี้เป็นระยะเวลาอย่างน้อย 35 มิลลิวินาที
- 4) วงจรถอดรหัสจะต้องสามารถถอดรหัสสัญญาณ DTMF ที่มีไดนามิกเร인지สูงกว่า 27.5 dB ได้โดยไม่เกิดการผิดพลาด และยังสามารถทำงานได้ในกรณีที่สัญญาณทั้ง 2 กรณีที่สัญญาณทั้ง 2 ความถี่ที่ประกอบกันขึ้นเป็นสัญญาณ DTMF มีแอมพลิจูดต่างกันมากกว่า 6 dB
- 5) วงจรถอดรหัสยังทำงานได้ตลอดเวลา ไม่ว่าขณะนั้นจะปรากฏเสียงพูด หรือสัญญาณรบกวนจากภายนอกเข้ามายังวงจรถอดรหัส

2.1.5 สัญญาณการติดต่อระหว่างเครื่องรับกับชุมสายโทรศัพท์

สัญญาณที่ใช้ในการติดต่อกันระหว่างเครื่องรับโทรศัพท์กับชุมสายมี 2 ชนิด คือสัญญาณ Loop line ,Open line เรียกว่า Line Signalling และสัญญาณความถี่ต่างๆ เช่นการส่งเลขหมาย เป็นต้น เรียกว่า Register Signalling

สัญญาณที่ส่งจากเครื่องรับโทรศัพท์ไปยังชุมสายโทรศัพท์

- ก. **On Hook** หมายถึง สภาพที่ผู้เช่าวางหูหรือสภาพว่าง ลักษณะของวงจรจะเป็น Open loop
- ข. **Off Hook** หมายถึง สภาพผู้เช่ายกหู สายจะมีสภาพ Close loop
- ค. **Dialling** ผู้เช่าทำการกดปุ่มหมายเลข เครื่องจะส่งเลขหมายออกไปเป็นความถี่ผสม DTMF

สัญญาณที่ส่งมาจากชุมสายโทรศัพท์

ก. **Dial Tone** เป็นสัญญาณบอกให้ทราบว่าขณะนี้อุปกรณ์ชุมสายพร้อมที่จะรับเลขหมายของเครื่องรับปลายทางจากผู้เรียก แล้วให้ผู้เรียกทำการส่งหมายเลขได้ สัญญาณ Dial Tone นี้เป็นส่วนของสัญญาณต่อเนื่องมีความถี่ 400-425 Hz

ข. **Busy Tone** เป็นสัญญาณที่ส่งมาบอกให้ทราบว่าอุปกรณ์ชุมสายไม่ว่าง ถ้าผู้เช่าได้ยินเสียงนี้แสดงว่าอุปกรณ์ในชุมสายไม่ว่าง แต่ถ้าได้ยินเสียงนี้หลังจากส่งหมายเลขไปแล้ว แสดงว่าเครื่องรับปลายทางไม่ว่างหรืออุปกรณ์สำหรับต่อออกไปยังชุมสายอื่นไม่ว่าง สัญญาณที่ชุมสายส่งมาเป็นสัญญาณขาดตอนเป็นช่วงๆ ส่ง 0.5 วินาที หยุด 0.5 วินาที ความถี่ของสัญญาณรูปไซน์ 425 Hz

ค. **Ring Back Tone** เป็นสัญญาณที่ส่งมาบอกให้ผู้เรียกทราบว่า การกระทำได้สำเร็จแล้ว ขณะนี้ชุมสายได้ส่งสัญญาณเรียก ไปยังผู้ถูกเรียกแล้วสัญญาณนี้ใช้ความถี่ของสัญญาณรูปไซน์ 425 Hz ส่ง 1 วินาที หยุด 4 วินาที

ง. **Ringing Signal** หรือสัญญาณเรียก เป็นสัญญาณที่ส่งไปยังเครื่องผู้ถูกเรียก ซึ่งจะได้ยินเสียงเป็นเสียงกระดิ่งหรือโทนขึ้นอยู่กับวงจรที่ใช้ สัญญาณเป็นรูปไซน์ มีความถี่ 25 Hz ค่าแรงดันประมาณ 70-90 Vrms ช่วงการส่งเช่นเดียวกับ Ring Back Tone คือส่ง 1 วินาที หยุด 4 วินาที

จ. **Nu Tone (Number Untainble)** เป็นสัญญาณที่บอกให้ทราบว่าเลขหมายที่ส่งมานี้ ไม่มีในระบบหรือไม่อนุญาตให้เรียกเข้า

2.2 ไอซีบันทึกเสียง

อุปกรณ์ประเภทไอซี ISD2590เป็นไอซีที่ใช้ในการบันทึกเสียง สามารถบันทึกเสียงได้นาน และมีองค์ประกอบภายนอกที่เรียบง่าย และโครงสร้างของวงจรใช้งานง่ายคือไม่ต้องต่อวงจรขยายเสียงต่อรวมภายนอก สามารถขับลำโพงได้โดยตรง ในส่วนของไมโครโฟนใช้ได้กับไดนามิกไมโครโฟนหรือคอนเดนเซอร์ไมโครโฟนก็ได้

2.2.1 คุณสมบัติของ ISD2590

คุณสมบัติหลักๆที่สำคัญจะครอบคลุมถึงความยุ่งยากต่างๆให้ง่ายและกระชับรัดกุมในตัวเดียวดังคุณสมบัติต่อไปนี้

- ก. ไอซีตัวเดียวสามารถบันทึกและเล่นกลับได้โดยง่าย
- ข. ไม่มีอุปกรณ์ประเภทไอซีอื่นๆประกอบรวมภายนอก

เอกสารนี้เป็นเอกสารที่ไม่ต้องพัฒนาระบบอื่นขึ้นมาเสริมเพื่อให้ใช้งานได้ ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้คัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

- ง. มีประสิทธิภาพในการบันทึกและเล่นกลับได้เหมือนต้นกำเนิดเสียง
- จ. ควบคุมการบันทึกและเล่นกลับด้วยสวิตช์หรือไมโครคอนโทรลเลอร์
- ฉ. ระยะเวลาในการบันทึก 90 วินาที
- ช. ต่อкасценกันได้ในโดยตรงเพื่อเพิ่มระยะเวลาให้ยาวมากขึ้น
- ซ. สามารถเก็บความจำไว้ได้นาน 100ปี ไม่ต้องมีแบตเตอรี่สำรอง
- ฌ. วงรอบการบันทึก 100,000 ครั้ง
- ญ. มีวงจรกำเนิดสัญญาณนาฬิกาภายในตัว

โหมดการบันทึกจะจัดเก็บข้อมูลต่างๆไว้ในหน่วยความจำที่เป็นเซลล์แบบไม่ต้องการแรงดันสำรอง เพื่อรักษาข้อมูลไม่ให้สูญหาย (Nonvolatile Memory Cell) สัญญาณเสียงที่อยู่ในรูปแบบของสัญญาณอนาล็อก จะถูกบันทึกไว้ในหน่วยจัดเก็บความจำโดยตรง โดยอาศัยเทคโนโลยี DAST (Direct Analog Storage Technology) และการจัดเก็บความจำก็เป็นในลักษณะที่เป็นสัญญาณอนาล็อกอยู่เช่นเดิม จึงทำให้การเล่นสามารถให้เสียงที่เหมือนกับต้นกำเนิดเสียงมาก เพราะไม่มีการกระบวนการเปลี่ยนสัญญาณอนาล็อกเป็นสัญญาณดิจิทัลเข้ามาเกี่ยวข้อง

ในรูปที่ 2.3 เป็นรูปแสดงบล็อกไดอะแกรมภายในของ ISD2590 ซึ่งจะมีส่วนของบล็อกแอดเดรส บัฟเฟอร์ ส่วนรับการควบคุม ส่วนมัลติเพล็กซ์สัญญาณอินพุตของเพาเวอร์แอมป์ภายในไอซี เพื่อทำการเลือกที่จะขยายสัญญาณที่ถูกบันทึกเก็บไว้ หรือขยายสัญญาณจากภายนอกที่ขา AUX IN

2.2.2 การทำงานเบื้องต้นและหน้าที่การใช้งานของแต่ละขา

เบื้องต้นการทำงานในที่นี้จะกล่าวถึงหน้าที่การใช้งานของแต่ละขา เพราะจะสามารถนำไปใช้งานได้อย่างถูกต้องและปลอดภัย

Address/Mode Input (A0-A9/M0-M9) ขา 1-10 ขาแอสแตร์สและโหมดอินพุตจะมีอยู่สองฟังก์ชันที่ขึ้นอยู่กับระดับของสอง MSB ของแอดเดรส ถ้าแอดเดรสใดแอดเดรสหนึ่งของสอง MSB เป็น "0" อินพุตจะปรากฏที่แอดเดรสบิตทั้งหมดและใช้เป็นแอดเดรสเริ่มต้นสำหรับวงรอบการบันทึกและเล่น และขาแอดเดรสจะเกิดการแลตช์โดยขอบขาของพัลส์ที่ขา $\overline{CE}$ และถ้า MSB มีสถานะเป็น "1" ขาแอดเดรส/โหมดอินพุตจะมาขึ้นอยู่ที่โหมดบิตทั้งหมด และเกิดการแลตช์เมื่อพัลส์ขอบขาของปรากฏที่ขา $\overline{CE}$

Auxiliary Input (AUX IN) ขา 11 จะเป็นขารับอินพุตจากภายนอก ซึ่งเป็นการมัลติเพล็กซ์สัญญาณผ่านออกไปทางเอาต์พุตของวงจรขยายภายในและขับออกสู่เอาต์พุตลำโพง โดยขั้นตอนการทำงานนี้จะเกิดขึ้นเมื่อขา $\overline{CE}$ มีสถานะเป็น "1" วงรอบของการเล่นจะสิ้นสุดลง หรือเมื่อสัญญาณที่บันทึกไว้ถูกเล่นจนหมดแล้ว

Ground Input (Vssa,Vssd) ขา 12 และ 13 โดยคุณสมบัติของไอซีจะมีการแยกกันระหว่างกราวด์ของสัญญาณอนาล็อกกับของสัญญาณดิจิทัล ขากราวด์ทั้งสองนี้จะถูกต่อและปิดไว้ภายในตัวถึงบรรจของไอซี การใช้งานขากราวด์ทั้งสองนี้จะเลือกต่อกับกราวด์ของเพาเวอร์ซัพพลายในส่วนที่มีค่าอิมพีแดนซ์ต่ำ เพื่อไม่ต้องการให้เกิดค่าแรงดันที่แตกต่างกันระหว่างกราวด์ทั้งสอง

เอกสารนี้เป็นเอกสารต้นฉบับที่จัดทำขึ้นเพื่อใช้ในการศึกษาและวิจัยเท่านั้น ไม่สามารถนำไปใช้ประโยชน์ด้านการค้า

ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้คัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Speaker Outputs (Sp+,Sp-) ขา14 และ 15 เป็นขาเอาต์พุตต่อออกลำโพง จะมีวงจรขับสัญญาณความแตกต่างออกสู่ลำโพง โดยมีความสามารถในการขับลำโพงเอาต์พุตได้ 50 มิลลิวัตต์ ที่โหลดลำโพง 16 โอห์ม ขาต่อลำโพงเอาต์พุตทั้งสองนี้จะไม่ต่อขนานกันโดยตรงเด็ดขาดเมื่อต้องถูกใช้ต่อคาสเคสกันหลายๆตัว

Voltage Input (Vcca,Vccd) ขา16 และ28 เป็นขารับแรงดันที่จะต้องแยกกันต่างหากระหว่างขา รับแรงดันของวงจรอนาล็อกและวงจรดิจิทัล ที่ประกอบอยู่ภายในตัวไอซี ขารับแรงดันต้องการไฟเลี้ยง +5 โวลต์ และต้องเป็นแรงดันไฟเลี้ยงที่มีสัญญาณรบกวนต่ำมาก

Microphone Input (MIC) ขา17 จะรับสัญญาณอินพุตที่ผ่านเข้ามายังไมโครโฟน แล้วส่งผ่านสัญญาณเข้าสู่วงจรปรีแอมป์ที่ประกอบอยู่ภายในไอซี ซึ่งมีวงจรควบคุมอัตราขยายอัตโนมัติ(AGC) โดยวงจรนี้ จะทำหน้าที่ควบคุมอัตราขยายของวงจรปรีแอมป์ ให้มีอัตราขยายอยู่ในช่วง 15 ถึง 24 dB

Microphone Reference Input (MIC REF) ขา18 จะต่อขานี้เข้ากับกราวด์อนาล็อก(Vssa) โดยมีตัวเก็บประจุต่ออนุกรมอยู่ก่อน เพื่อทำหน้าที่กำจัดสัญญาณรบกวนทางอินพุตขา 17 และเพื่อชดเชยทางด้านสัญญาณรบกวนให้ดีกว่า 10 dB

Automatic Gain Control Input (AGC) ขา19 เป็นขาอินพุตเพื่อควบคุมการปรับอัตราขยายของปรีแอมป์ไมโครโฟน เพื่อให้เกิดความเหมาะสมกับระดับสัญญาณที่มีย่านกว้างมากของสัญญาณทางอินพุตจากไมโครโฟน และเพื่อยกระดับสัญญาณที่ทำการบันทึกที่มีความผิดเพี้ยนน้อยที่สุด

Analog Input (ANA IN) ขา 20 จะรับสัญญาณที่ผ่านวงจรปรีแอมป์ออกมาทางขา 21 โดยผ่านตัวเก็บประจุคัปปลิงภายนอกคัปปลิงสัญญาณเข้าไปทำการบันทึกไว้ภายในตัวไอซี ตัวเก็บประจุคัปปลิงภายนอกนี้จะต้องสัมพันธ์กับค่าความต้านทานภายในค่า 3 กิโลโอห์ม ซึ่งเป็นค่าอินพุตอิมพีแดนซ์ เพื่อที่จะทำให้เป็นวงจรกรองความถี่ต่ำแบบคัตออฟ

Analog Output (ANA OUT) ขา 21 เป็นขาเอาต์พุตของวงจรปรีแอมป์ขยายสัญญาณจากไมโครโฟนที่ได้รับการควบคุมอัตราขยายจากวงจร AGC ภายในแล้ว

Overflow Output (OVF) ขา 22 สัญญาณพัลส์ "0" จะปรากฏออกมาทางขาเอาต์พุตนี้เพื่อเป็นการแสดงว่าสิ้นสุดการเล่นหรือหน่วยความจำภายในไอซีได้ถูกอ่านออกหมดแล้วและจะแสดงเป็นสภาวะหยุดการเล่น พัลส์เอาต์พุตจากขานี้จะจ่ายให้กับขา $\overline{CE}$ จนกว่าขา PD จะได้รับพัลส์ เพื่อทำการรีเซ็ต และเริ่มวงจรการเล่นอีกครั้ง

Chip Enable Input ($\overline{CE}$) ขา 23 จะต้องได้รับพัลส์ "0" เพื่อทำให้เกิดการเปลี่ยนแปลงระหว่างการเล่นและการบันทึก ที่ขาแอดเดรสอินพุตและขา P/R อินพุตจะถูกแลตช์ จากพัลส์ขอบขาของพัลส์ที่ขา $\overline{CE}$

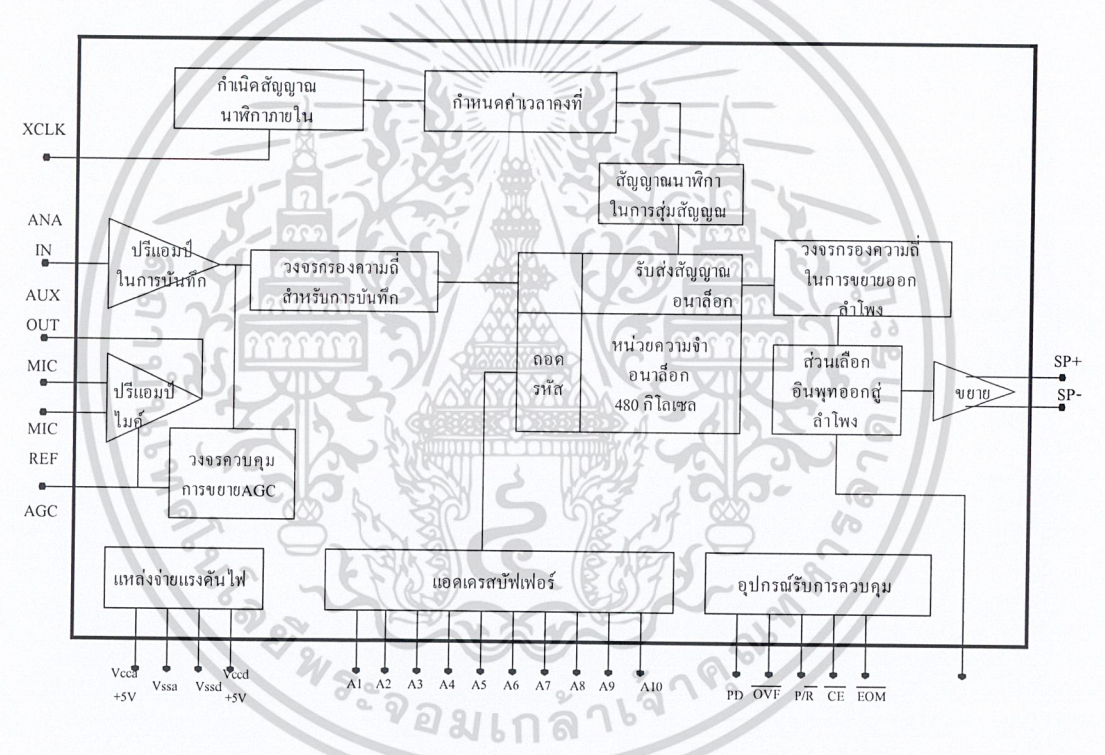
Power Down Input (PD) ขา 24 ในขณะที่ไม่มีการบันทึกหรือเล่นที่ขา PD จะมีสถานะเป็น "1" จะเป็นการรักษาระดับการสิ้นเปลืองกำลังงานในระดับต่ำมากๆ แต่เมื่อขา $\overline{OVF}$ มีสถานะเป็น "0" ที่แสดง

ถึงการเล่นสิ้นสุดลง ปรากฏขึ้นขา PD ปกติจะเป็น “1” อยู่ในขณะนั้นจะถูกรีเซ็ตและจะเริ่มกระบวนการบันทึกหรือเล่นใหม่อีกครั้ง

End –Of-Message/ RUN Output (EOM) ขา25 เป็นส่วนของอุปกรณ์ non-volatile ภายในไอซี ที่ใช้กำหนดการสิ้นสุดการเก็บข้อมูลที่ทำกรบันทึก ขานี้จะให้เอาต์พุต “0” เมื่อข้อมูลที่ถูกบันทึกอยู่ถูกเล่นออกมาหมดแล้ว

External Clock Input (XCLK) ขา 26 ขารับสัญญาณนาฬิกาภายนอกเพื่อกำหนดค่าความถี่ในการสุ่มสัญญาณ แต่โดยปกติได้ระบุว่สัญญาณนาฬิกาการสุ่มสัญญาณถูกกำหนดไว้ภายในแล้ว ไม่ขึ้นอยู่กับอุณหภูมิภายนอกหรือย่านไฟเลี้ยงที่ไม่คงที่

Playback/Record Input (P/R) ขา27 เมื่อขาอินพุตควบคุมการเล่นและบันทึกได้รับพัลส์ “1” จะเป็นวงรอบของการเล่นและถ้าเป็นพัลส์ “0” จะเป็นการเลือกวงรอบการบันทึก



รูปที่ 2.3 แสดงบล็อกไดอะแกรมภายในของไอซี

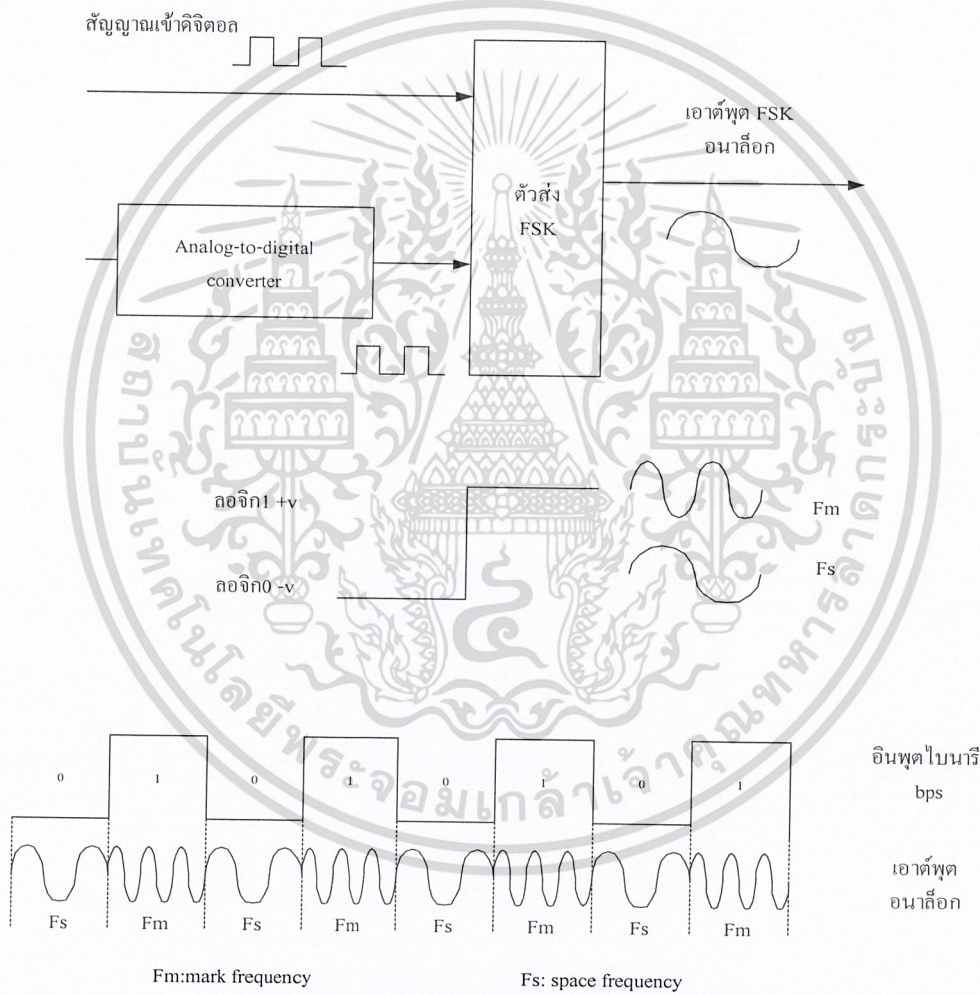
2.3 การมอดูเลทสัญญาณแบบดิจิตอล

การรับ-ส่ง ข้อมูลในรูปของสัญญาณดิจิตอล สามารถกระทำได้ 2 วิธี คือ วิธีการทางไบนารี (Binary) คือสัญญาณดิจิตอลจะถูกส่งออกไปทางปลายสายได้ทันที โดยไม่ต้องผ่านขบวนการแปลงสัญญาณแต่อย่างใด ดังรูปที่ 2.4 (ก) และวิธีทางอนาล็อก (Analog) คือสัญญาณดิจิตอลจะถูกแปลงเป็นสัญญาณอนาล็อกก่อนแล้วจึงจะส่งออกไปปลายทาง ดังรูปที่ 2.4 (ข)

โดยสัญญาณที่จะส่งออกไป (สัญญาณดิจิทัล หรือสัญญาณข่าวสารต่างๆ) จะถูกมอดูเลททางด้านส่งและถูกดีมอดูเลททางด้านรับเพื่อแยกสัญญาณข่าวสารเดิมที่ส่งออกมาจากสัญญาณพาห้ (Carrier Signal) เทคนิคการรวมสัญญาณทางดิจิทัล (Digital Modulation Techniques) ที่ถูกนำมาใช้อย่างกว้างขวางคือ

- 1. แบบ FSK หรือ Frequency Shift Keying
- 2. แบบ PSK หรือ Phase Shift Keying
- 3. แบบ QAM หรือ Quadrature Amplitude Modulation

เนื่องจาก FSK คือ หัวข้อที่กำลังจะพูดถึงในบทนี้ ดังนั้นหลังจากนี้ไปก็คือเรื่อง FSK เพียงอย่างเดียว



รูปที่ 2.5 หลักการและสัญญาณอินพุท เอาท์พุทของ FSK

2.3.2 ตัวกำเนิดสัญญาณ FSK (FSK Generator)

ตัวกำเนิดสัญญาณ FSK ก็คือ ตัวส่งสัญญาณ FSK (FSK Transmitter) ซึ่งมีหลักการที่ว่าเมื่อข้อมูลที่เป็นสัญญาณดิจิทัลที่มีลักษณะเป็นข้อมูลไบนารีจะทำให้ความถี่เลื่อนหรือเบี่ยงเบนไปตามการเอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

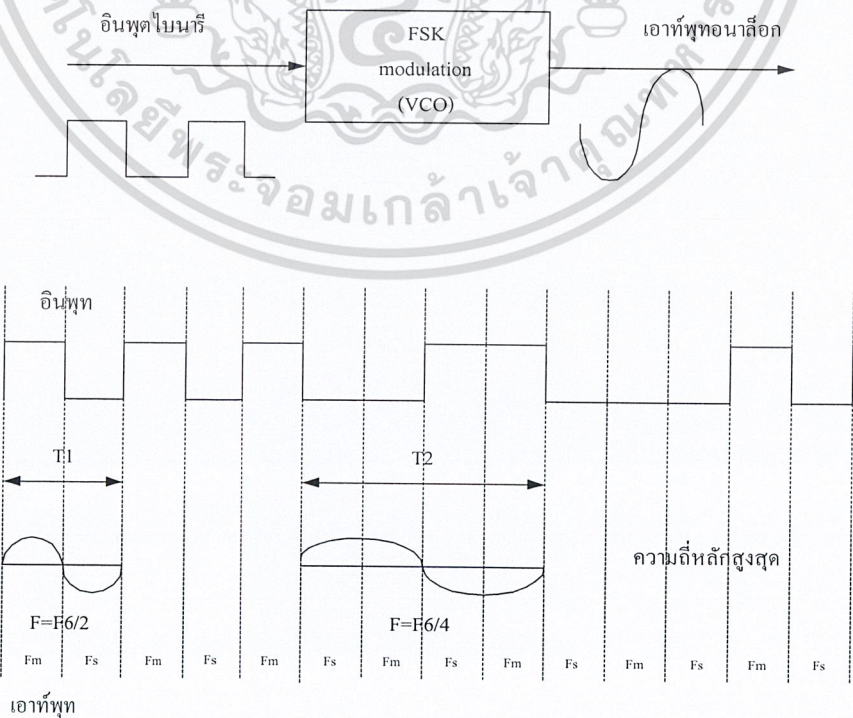
เปลี่ยนแปลงของข้อมูลไบนารีที่เข้ามา ดังนั้นสัญญาณทางเอาต์พุตของตัวกำเนิด FSK จะอยู่ในรูปของ ความถี่ที่มีการเปลี่ยนแปลงอย่างต่อเนื่อง (Frequency Continuous) เมื่อข้อมูลไบนารีด้านอินพุตเปลี่ยนแปลงจากสถานะลอจิก “1” เป็นลอจิก “0” (หรือในทางกลับกัน คือ ลอจิก “0” เป็นลอจิก “1”) สัญญาณเอาต์พุตจาก FSK ก็จะเลื่อนความถี่ระหว่าง 2 ความถี่ด้วยกัน คือความถี่ที่ลอจิก “1” หรือ Mark Frequency (fm) และความถี่ที่ลอจิก “0” หรือ Space Frequency (fs)

การเปลี่ยนแปลง (หรือการเลื่อน) ของความถี่แต่ละครั้งจะเกิดขึ้นเมื่อสถานะของลอจิกด้าน สัญญาณเข้าเปลี่ยนแปลงนั่นคือ อัตราการเปลี่ยนแปลงสัญญาณออกจะเท่ากับอัตราการเปลี่ยนแปลง สัญญาณเข้า ซึ่งในการมอดูเลตแบบดิจิตอลนั้น อัตราการเปลี่ยนแปลงของสัญญาณด้านอินพุตของ FSK Generator จะเรียกว่า “ อัตราบิท “ หรือ Bit Rate มีหน่วยเป็นบิตต่อวินาที ส่วนอัตราการเปลี่ยนแปลงของ สัญญาณด้านเอาต์พุตของ FSK Generator เรียกว่า ” อัตราบอด “ หรือ Baud Rate ดังนั้นในการส่งข้อมูล ด้วยเทคนิค FSK อัตราบิทจะเท่ากับอัตราบอดเสมอ

2.3.3 FSK Bandwidth

ในระบบการสื่อสารข้อมูลด้วยสัญญาณอนาล็อกหรือสัญญาณความถี่นั้น แบนด์วิดท์ (Bandwidth) เป็นสิ่งที่ต้องพิจารณาเป็นอันดับแรก เนื่องจากวิธีการของ FSK อยู่บนพื้นฐานเดียวกันกับวิธี ของ FM ดังนั้นในการอธิบายถึงสูตรต่างๆก็ใช้หลักการเดียวกับ FM ทุกอย่าง

จากรูปที่ 2.6 แสดงถึงตัว FSK มอดูเลเตอร์ ซึ่งใช้หลักการเดียวกับเอฟเอ็ม มอดูเลเตอร์ คือการใช้หลักการของ VCO (Voltage Control Oscillator) จะเห็นว่าอัตราการเปลี่ยนแปลงเร็วที่สุดของสัญญาณ อินพุตจะเกิดขึ้นเมื่อข้อมูลไบนารีมีลักษณะเป็น 1 และ 0 สลับกันไป ซึ่งก็คือสัญญาณสี่เหลี่ยมนั่นเอง ตาม ตัวอย่างในรูปที่ 2.6 เป็นสัญญาณในช่วง T_1



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับรูปที่ 2.6 แสดงการทำ FSK Modulator กรุณาอย่าได้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ความถี่หลักของคลื่นสี่เหลี่ยมจะมีค่าเท่ากับครึ่งหนึ่งของ Bit Rate ดังนั้นถ้าพิจารณาเฉพาะความถี่หลักเพียงอย่างเดียวแล้ว ความถี่สูงสุดของสัญญาณดิจิทัลที่ต้องการนำมามอดูเลตแบบ FSK จะเท่ากับครึ่งหนึ่งของ Bit Rate คือ

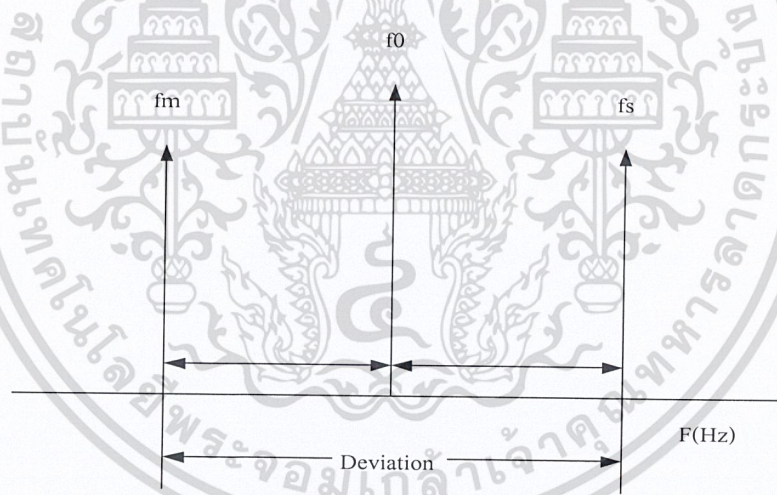
$$F_{a\max} = \text{Bit Rate}/2$$

เมื่อ $F_{a\max}$ = ความถี่สูงสุดของสัญญาณดิจิทัลที่จะนำมามอดูเลต

ความถี่กลาง (Center Frequency ; f_0) ของ VCO จะอยู่ในตำแหน่งกลางระหว่าง Mark Frequency (f_m) กับ Space Frequency (f_s) ดังรูปที่ 2.7 ลอจิก 1 ด้านอินพุตจะเลื่อนความถี่ของ VCO จาก f_0 ไป f_s จะเห็นว่าการเปลี่ยนแปลงของข้อมูลไบนารีด้านอินพุตจาก “1” ไป “0” หรือ “0” ไป “1” จะทำให้ความถี่เอาต์พุตของ VCO เลื่อนหรือเบี่ยงเบนกลับไปมาระหว่าง f_m กับ f_s เนื่องจากได้กล่าวมาแล้วว่า FSK ก็คือการมอดูเลตแบบ FM ดังนั้นอัตราการมอดูเลต (Modulation index = M) ใน FSK ก็ทำได้จาก FM คือ

$$MI = \Delta F/F_a$$

เมื่อ MI = ดัชนีการมอดูเลต
 ΔF = การเบี่ยงเบนของความถี่ใดๆจากความถี่กลาง (Hz)
 F_a = ความถี่ของสัญญาณที่นำมามอดูเลต (Hz)



รูปที่ 2.7 การเบี่ยงเบนความถี่

ค่า MI ที่ยอมให้ได้มีสูงสุดคือค่า MI ที่ทำให้แบนด์วิดท์กว้างที่สุดซึ่งจะเกิดขึ้นเมื่อ การเบี่ยงเบนของความถี่ถูกมอดูเลตแล้วและความถี่ของสัญญาณที่นำมามอดูเลตมีค่าสูงสุด

ใน FSK มอดูเลต ค่า ΔF เป็นการเบี่ยงเบนของความถี่สูงสุด (Peak Frequency Deviation) ของสัญญาณที่ถูกมอดูเลตแล้วซึ่งมีค่าเท่ากับค่าความแตกต่างระหว่าง f_0 กับ f_m หรือ f_0 กับ f_s นั่นคือ

$$\Delta F = \frac{f_s - f_m}{2}$$

การเบี่ยงเบนของความถี่สูงสุดขึ้นอยู่กับขนาดหรือแอมพลิจูดของสัญญาณที่นำมามอดูเลท (สัญญาณดิจิทัล) เมื่อสถานะทางลอจิกเป็น "1" จะให้แรงดันคงที่ตามสถานะ (เช่น 5 V) หรือถ้าเป็นลอจิก "0" ก็จะให้แรงดันออกมาคงที่ในระดับลอจิกเช่นกัน (เช่น 0 V) ดังนั้นความถี่ที่เบี่ยงเบนของ FSK มอดูเลทจะเบี่ยงเบนลงที่และอยู่ในระดับการเบี่ยงเบนของความถี่สูงสุดเสมอ

Fa เป็นความถี่หลักของข้อมูลไบนารีทางอินพุตซึ่งจะทำให้แบนด์วิดท์กว้างที่สุดเมื่อ Fa = Bit rate/2 เพราะฉะนั้นเราสามารถหาค่า MI ได้จาก

$$MI = \frac{fs - fm}{2} \bigg/ \frac{Fb}{2}$$

$$MI = \frac{fs - fm}{Fb}$$

เมื่อ fs-fm = ความถี่เบี่ยงเบนสูงสุด
Fb = อัตราบิตของไบนารีอินพุต

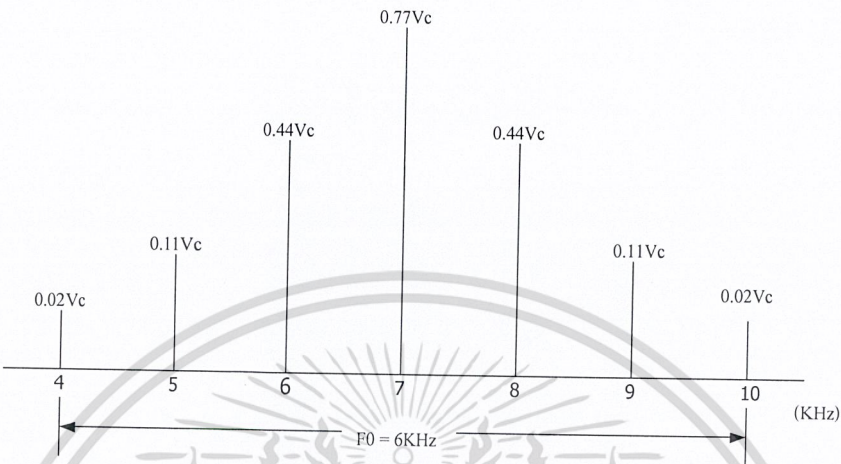
ในการส่งสัญญาณ FM โดยทั่วไปนั้น ความกว้างของแบนด์วิดท์จะแปรผันตรงกับค่า MI ซึ่งเช่นเดียวกับ FSK ที่ค่า MI โดยทั่วไปจะต้องมีค่าต่ำกว่า 1.0 เพื่อให้เป็นออฟแอมแบนด์แคบ (Narrow band FM) ค่าแบนด์วิดท์ที่แคบที่สุดเรียกว่า Minimum Nyquist Bandwidth (Fn) ตัวอย่างเช่น การส่งข้อมูลแบบ FSK ที่มีความถี่กลาง (fo) = 7 KHz, ความถี่สเปส (fs) = 6 KHz และความถี่มาร์ค (fm)= 8 KHz ข้อมูลไบนารีอินพุตมี Bitrate = 2 KHz สามารถหา Fn ได้ดังนี้

$$MI = \frac{fs - fm}{Fb}$$
$$MI = \frac{6KHz - 8KHz}{2KHz}$$
$$MI = \frac{2KHz}{2KHz}$$
$$MI = 1.0$$

ตารางที่ 2.2 แสดง Bassel Function Table

MI	J0	J1	J2	J3	J4
0.0	1.0				
0.25	0.98	0.12			
0.5	0.94	0.24	0.03		
1.0	0.77	0.44	0.11	0.02	
1.5	0.51	0.56	0.23	0.06	0.01
2.0	0.22	0.58	0.35	0.13	0.03

จากตาราง Bassel Function ในตารางที่ 2.2 เมื่อ $MI = 1.0$ จะได้แถบความถี่ข้าง (Sideband Frequency) ออกมาข้างละ 3 ความถี่ โดยแต่ละความถี่จะห่างจากความถี่กลาง (f_0) ช่วงละ 1 KHz (ซึ่งก็คือ $\frac{F_b}{2}$ เมื่อ F_b คือ Bit Rate = 2 KHz) สามารถเขียนเป็นสเปกตรัมความถี่ได้ดังรูปที่ 2.8

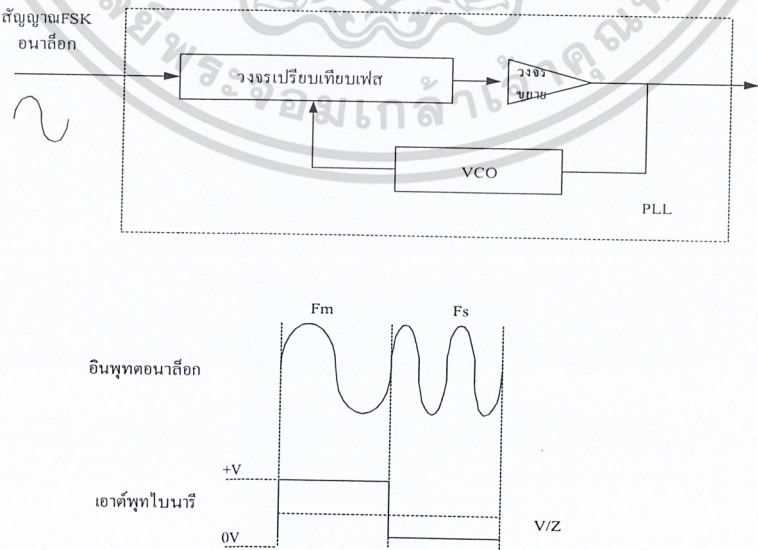


รูปที่ 2.8 สเปกตรัมความถี่ของตัวอย่างที่ 1

จุดที่น่าสังเกตคือ MI ที่มีค่าระหว่าง 0.5-1.0 จะทำให้แบนด์วิดธ์มีค่าประมาณ 2-3 เท่าของ Bit Rate เสมอ

2.3.4 FSK ดีมอดูเลเตอร์ (FSK Demodulator)

FSK Demodulator คือตัวรับสัญญาณ FSK (FSK Receiver) จะเป็นตัวแยกสัญญาณไบนารีออกจากสัญญาณ FSK โดยส่วนมากจะใช้วงจร PLL (Phase lock loops) ดังรูปที่ 2.9



รูปที่ 2.9 แสดงหลักการ PLL-FSK demodulator

PLL ใน FSK Demodulator มีหลักการทำงานเหมือนกับ PLL ใน FM Detector ทุกอย่างคือจะมีความถี่ฟรีรันนิ่ง เท่ากับ Center Frequency (fo) และในขณะที่ความถี่ของอินพุตของ PLL เลื่อนไป-มา ระหว่าง fm กับ fs จะเกิดแรงดันคลาดเคลื่อนไฟตรง (DC ErrorVoltage) ซึ่งเป็นผลมาจาก การเปรียบเทียบทางเฟส (Phase Comparator) ของสัญญาณอินพุตเนื่องจากความถี่อินพุตที่เข้ามายัง PLL มีเพียง 2 ความถี่ คือ fm และ fs ดังนั้นค่าแรงดันดังกล่าวจึงมีเพียง 2 ระดับเท่านั้นซึ่งสามารถแทนลอจิก “1” และลอจิก“0” เมื่อความถี่ทางอินพุตเป็น fm และ fs ตามลำดับ เราจึงได้สัญญาณเอาต์พุตจาก PLL กลับมาเป็นข้อมูลไบนารีเหมือนกับตอนแรกที่เราส่งมาทุกประการ

2.4 วงจรขยายผลต่าง

จากในรูปที่ 2.10 แสดงการใช้โอปแอมป์เป็นวงจรลบแรงดัน โดยเป็นการรวมวงจรอินเวอร์ตติ้งแอมป์ และนอนอินเวอร์ตติ้งแอมป์เข้าด้วยกัน ผลคือ เกิดการหักล้างกันที่เอาต์พุตขึ้น (เนื่องจากว่าเฟสของวงจรแต่ละชนิดจะตรงกันข้ามกัน) และเราสามารถวิเคราะห์หาสมการสำหรับ Vout ได้

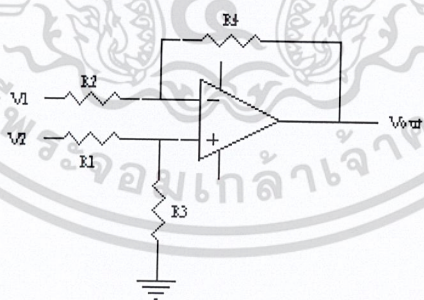
โดยแรงดันที่เข้าอินพุตบวกเท่ากับ $V_+ = \frac{R_3}{R_1 + R_3} V_2$

และจากการวิเคราะห์วงจรแบบอินเวอร์ตติ้งทั่วไป จะได้สมการดังนี้

$$V_o = \frac{R_3}{R_1 + R_3} \left(\frac{R_2 + R_4}{R_2} \right) V_1 - \frac{R_4}{R_2} V_2$$

ถ้าหากเราให้ $R_1 = R_2 = R_3 = R_4$ จะได้

$$V_o = V_2 - V_1$$

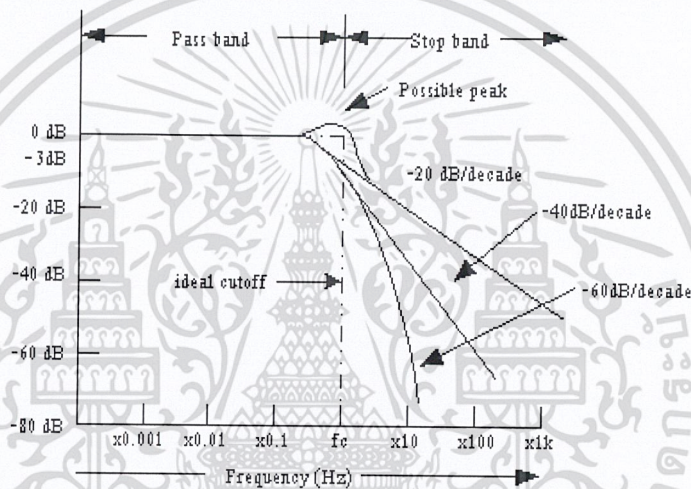


รูปที่ 2.10 แสดงวงจรคอมพาราเตอร์

ในวงจรนี้เราสามารถสังเกตได้ว่าจะทำหน้าที่คล้ายวงจรคอมพาราเตอร์ แต่ต่างกันตรงที่สามารถขยายผลต่างได้ ในขณะที่วงจรคอมพาราเตอร์เพียงสามารถ ‘ตรวจจับ’ ความแตกต่างเท่านั้น อย่างไรก็ตาม วงจรนี้มีข้อเสียที่มีอิมพีแดนซ์ค่อนข้างต่ำในบางครั้ง จึงต้องมีวงจรตามแรงดันเป็นบัฟเฟอร์ก่อนเข้าวงจร

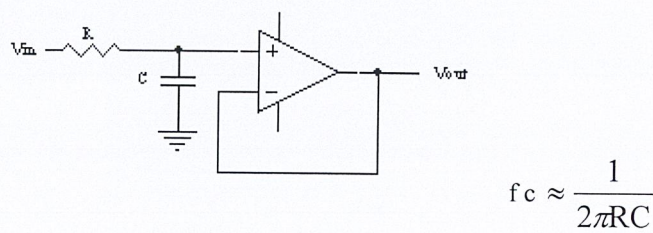
2.5 วงจรกรองความถี่ต่ำ (LOW-PASS FILTER)

วงจรกรองความถี่ต่ำก็คือวงจรที่ยอมให้มีแต่เฉพาะความถี่ต่ำเท่านั้นที่ผ่านไปได้ ซึ่งในการใช้งานที่ความถี่ไม่สูงมากนัก เราจะนิยมใช้ OP-AMP เป็นวงจรกรองความถี่เนื่องจากออกแบบง่าย ซึ่งในทางอุดมคตินั้น วงจรกรองความถี่ต่ำจะกันไม่ให้สัญญาณที่มีความถี่สูงกว่าความถี่คัทออฟ (f_c) ผ่านวงจรเลยหากสัญญาณมีความถี่สูงกว่า f_c เพียงเล็กน้อย แต่ในทางปฏิบัติลักษณะของความถี่สูงที่ถูกกันออกไปไม่เป็นเช่นนั้น แต่จะค่อยๆ ถูกลดอัตราขยายเรื่อยๆ จุดที่มีความถี่เท่ากับ f_c นั้นอัตราขยายของสัญญาณเอาต์พุตลดลง 3 dB ซึ่งเมื่อกล่าวโดยสรุปแล้ว วงจรนี้จะลดทอนขนาดของสัญญาณที่ความถี่สูงกว่า f_c และเรียกช่วงของสัญญาณที่มีความถี่ต่ำกว่า f_c ว่าช่วงที่ผ่านได้ (PASS BAND) และช่วงที่ความถี่สูงกว่า f_c นั้นว่าช่วงที่ถูกกัน (STOP-BAND)



รูปที่ 2.11 แสดงการตอบสนองความถี่ของวงจรกรองความถี่ต่ำ

จากรูปที่ 2.11 แสดงการตอบสนองต่อความถี่ซึ่งพบว่า เมื่อสัญญาณมีความถี่สูงกว่าความถี่คัทออฟแล้ว สัญญาณบางเส้นอาจถูกลดทอนด้วยอัตราที่น้อยกว่าสัญญาณเส้นอื่น เช่นสัญญาณที่มีความชัน -20 dB/decade (อัตราขยายลดลง 20 dB ต่อความถี่เพิ่มขึ้น 10 เท่า) จะมีความชันน้อยกว่าสัญญาณที่มีความถี่ -60 dB/decade คุณสมบัตินี้เกิดขึ้นจากการออกแบบวงจรความถี่ และเป็นที่น่าสนใจอย่างยิ่งความชันขนาดลบมากเท่าใด วงจรก็จะมีคุณสมบัติใกล้เคียงกับวงจรในอุดมคติมากขึ้น



$$f_c \approx \frac{1}{2\pi RC}$$

รูปที่ 2.12 แสดงตัวอย่างของวงจรกรองความถี่ต่ำแบบพื้นฐาน

รูปที่ 2.12 แสดงตัวอย่างของวงจรกรองความถี่ต่ำแบบพื้นฐาน ซึ่งใช้อุปกรณ์ที่ต่ออยู่ในลักษณะของวงจรตามแรงดันและใช้หลักการแบ่งแรงดันธรรมชาติ ที่ขั้วอินพุตบวก โดยใช้คุณสมบัติที่ว่าความถี่ของสัญญาณอินพุตจะมีผลต่อค่าอิมพีแดนซ์ของตัวเก็บประจุดังสมการ

$$\begin{aligned} X_c &= \frac{1}{w c} \quad (w = 2 \pi f) \\ &= \frac{1}{2 \pi f c} \end{aligned}$$

โดย f คือความถี่ของสัญญาณอินพุต ดังนั้นเมื่อสัญญาณอินพุตมีความถี่ต่ำจะทำให้อิมพีแดนซ์ของตัวเก็บประจุ (X_c) จะมีค่าสูง ทำให้แรงดันเกือบทั้งหมดจากอินพุตตกคร่อมตัวเก็บประจุ และเป็นผลให้แรงดันเอาต์พุต V_o มีค่าประมาณ V_{in} ด้วย ในขณะที่สัญญาณที่มีความถี่สูงจะทำให้ X_c มีค่าต่ำทำให้ตัวเก็บประจุเสมือนถูกลัดวงจร ดังนั้นทำให้ V_{out} จึงมีค่าต่ำด้วย สรุปได้ว่าช่วงของสัญญาณที่มีความถี่ต่ำจะผ่านวงจรไปได้ ส่วนสัญญาณความถี่สูงจะถูกลดทอนลง และเราสามารถหาความถี่ f_c ที่แบ่งช่วงสัญญาณออกเป็น 2 ส่วนได้ดังสมการ

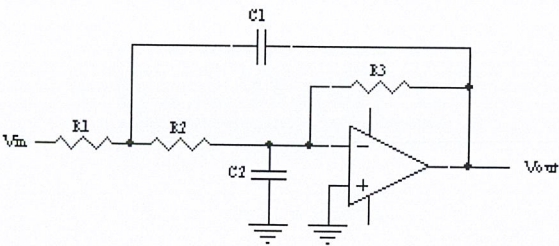
ตัวอย่าง

$$\begin{aligned} f_c &\approx \frac{1}{2 \pi R C} \\ \text{ถ้า } R &= 10 \text{ k}\Omega \text{ และ } C = 0.1 \mu\text{F} \\ f_c &\approx \frac{1}{6.28(10 \times 10^3)(0.1 \times 10^{-6})} \\ f_c &\approx \frac{1}{6.28(0.001)} \\ f_c &\approx 159 \text{ Hz} \end{aligned}$$

วงจรกรองความถี่ต่ำในรูป 2.12 นี้จะมีความชันประมาณ -20 dB/decade และจากการใช้อุปกรณ์เช่นตัวเก็บประจุในวงจร สัญญาณที่วัดได้จากเอาต์พุตจะมีเฟสไม่ตรงกับอินพุตเลยทีเดียวคือ จะมีการเลื่อนเฟสออกไป -45° ซึ่งถ้าหากความถี่มีค่าเป็นลบสูงเท่าใด เฟสก็จะถูกเลื่อนไปเรื่อยๆ โดยทั่วไปเฟสของสัญญาณเอาต์พุตจะเลื่อนไป -45° สำหรับทุกๆความถี่ที่ลดลง -20 dB/decade ตัวอย่างเช่น วงจรกรองความถี่ที่มีความชัน -40 dB/decade เฟสของสัญญาณเอาต์พุตจะถูกเลื่อนออกไป -90° เทียบกับสัญญาณอินพุต

รูปที่ 2.13 แสดงถึงวงจรที่ถูกปรับปรุงให้มีความชันถึง -40 dB/decade โดยมีตัวเก็บประจุทำหน้าที่เช่นเดิม แต่เพิ่มตัวเก็บประจุ C_1 ในการป้อนสัญญาณกลับมาหักล้างกับสัญญาณอินพุตที่มีความถี่สูง (เนื่องจาก X_{c1} จะมีค่าลดลง) และเราสามารถหาความถี่คutoff จากสมการได้ดังนี้

$$f_c \approx \frac{1}{2 \pi \sqrt{R_1 R_2 C_1 C_2}}$$

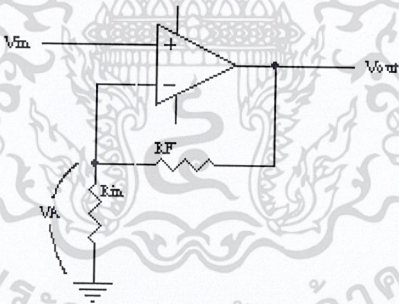


รูปที่ 2.13 แสดงถึงวงจรที่ถูกปรับปรุงให้มีความชันถึง -40 dB/decade

ซึ่งสมการนี้จะให้ผลแม่นยำมาก ถ้าความต้านทาน R1 และ R2 ที่ใช้มีขนาดเท่ากัน และตัวเก็บประจุ C1 มีค่าปาสซีแตนซ์สูงกว่า C2 และ R3 ควรมีค่าเท่ากับ R1 + R2 เพื่อสัญญาณเอาต์พุตจะได้มีลักษณะใกล้เคียงกับอินพุตที่สุด และยังช่วยในการปรับออฟเซตให้เกิดสมดุลอีกด้วย

2.6 วงจรขยายไม่กลับเฟส (non-inverting Amp)

โดยทั่วไป วงจรขยายจะหมายถึงวงจรที่เปลี่ยนสัญญาณอินพุตน้อยๆมาเป็นสัญญาณเอาต์พุตที่มีขนาดสูงขึ้นกว่าเดิม ซึ่งสัญญาณที่ว่าอาจเป็นได้ทั้งแรงดันและกระแส ในลักษณะเดียวกันวงจรขยายของออปแอมป์ก็คือวงจรที่มีอัตราขยายแรงดันที่สูงมาก และยังมีลักษณะของการขยายเป็นเส้นตรงนั่นคืออัตราส่วนของเอาต์พุตต่ออินพุตจะคงที่เสมอ (ในอุดมคติ) และนอกจากนั้น เรายังควบคุมอัตราขยายของออปแอมป์ได้โดยใช้อุปกรณ์ภายนอกเพียงไม่กี่ตัว



รูปที่ 2.14 วงจรขยายไม่กลับเฟส (non-inverting Amp)

จากรูป 2.14 แรงดันอินพุตจะถูกป้อนเข้าที่ขั้วบวก และมีแรงดัน V_A ซึ่งเกิดจากการแบ่งแรงดันของเอาต์พุตตลอดตัวต้านทาน R_F จากคุณสมบัติของออปแอมป์ที่ว่า แรงดันที่ขั้วอินพุตลบจะถูกบังคับให้มีขนาดเข้าใกล้แรงดันอินพุตบวกเสมอจะได้ว่า

$$V_{in} = V_A$$

ดังนั้น เราสามารถเขียนค่าอัตราขยายแรงดัน A_v ได้เท่ากับ

$$A_v = \frac{V_{out}}{V_A}$$

และเนื่องจาก V_A เกิดจากการแบ่งแรงดันของ V_{out} จะได้

$$V_A = \frac{R_{in}}{R_F + R_{in}} V_{out}$$

เมื่อจัดสมการใหม่ จะได้

$$\frac{V_{out}}{V_A} = \frac{R_F + R_{in}}{R_{in}}$$

หรือ $A_v = \frac{V_{out}}{V_A} = \frac{R_F}{R_{in}} + 1$

นั่นคือ $V_{out} = \left(\frac{R_F}{R_{in}} + 1 \right) V_{in}$

2.7 การอินเตอร์เฟสแบบอนุกรมของ MCS-51

การอินเตอร์เฟสผ่านพอร์ตอนุกรมจะมีรีจิสเตอร์พิเศษ (SFR) ควบคุมการทำงานคือรีจิสเตอร์ SCON (Serial Control) อยู่ที่ตำแหน่งแอดเดรส 098H ทำหน้าที่หลักคือควบคุมการอินเตอร์เฟสแบบอนุกรมในตัวไมโครคอนโทรลเลอร์และเป็นตัวกำหนดโหมดการทำงาน ซึ่งในรูปที่ 2.15 แสดงหน้าที่ของแต่ละตำแหน่งของรีจิสเตอร์ SCON

(MSB)							(LSB)
SM0	SM1	SM2	REN	TB8	RB8	TI	RI

รูปที่ 2.15 แสดงหน้าที่ของแต่ละตำแหน่งของรีจิสเตอร์ SCON

- บิต SM0 และ SM1 ทำหน้าที่กำหนดโหมดการทำงานของพอร์ตสื่อสารแบบอนุกรม

SM0	SM1	โหมด	ลักษณะการทำงาน	อัตราบอดเรต
0	0	0	ชิพรีจิสเตอร์	Fosc/12
0	1	1	8 บิต UART	กำหนดค่าเองได้
1	0	2	9 บิต UART	fosc/12 หรือ fosc/64
1	1	3	9 บิต UART	กำหนดค่าเองได้

- บิต SM2 จะถูกอีน่าเบลเมื่อทำการติดต่อสื่อสารระหว่างโปรเซสเซอร์หลายตัว (Multiprocessor) ในโหมด 2 และ 3 โดยถ้า SM2 ถูกเซต นั่นคือบิต RI ไม่ถูกเซตหรือข้อมูลบิตที่ 9 ที่เก็บใน RB8 มีค่าเป็น "0" และสำหรับ โหมด 1 ถ้าบิต SM2 ถูกเซตนั่นคือบิต RI ไม่ถูกเซตแสดงว่าบิตสิ้นสุดไม่ได้รับเข้ามา และสำหรับโหมด 0 บิตนี้จะมีค่าเป็น "0"

- บิต REN ทำหน้าที่อีน่าเบลการรับข้อมูลผ่านพอร์ตอนุกรม สามารถเซตเพื่ออีน่าเบล หรือเคลียร์ เพื่อดิสเอเบลการรับข้อมูลได้

- บิท TB8 เป็นสถานะบิทที่ 9 สำหรับการรับส่งข้อมูลในโหมด 2 และ 3 สามารถเซตและเคลียร์ได้จากซอฟต์แวร์
- บิท RB8 ในโหมด 2 และ 3 บิทนี้คือสถานะของบิทที่ 9 ที่ได้รับเข้ามา สำหรับในโหมด 1 ถ้าบิท SM2 เป็น "0" บิทนี้คือบิทสิ้นสุดที่รับเข้ามาและสำหรับในโหมด 0 บิทนี้ไม่ถูกใช้งาน
- บิท TI ทำหน้าที่เป็นอินเตอร์รัปต์แฟลกในการส่งข้อมูล จะถูกเซตโดยฮาร์ดแวร์เมื่อสิ้นสุดการส่งข้อมูลบิทที่ 8 ในการทำงานโหมด 0 หรือถูกเซตที่จุดเริ่มต้นของบิทสิ้นสุดในการทำงานโหมดอื่นๆ และบิทนี้ต้องถูกเคลียร์จากซอฟต์แวร์
- บิท RI ทำหน้าที่เป็นอินเตอร์รัปต์แฟลกในการรับข้อมูล จะ ถูกเซตโดยฮาร์ดแวร์เมื่อสิ้นสุดการรับข้อมูลบิทที่ 8 ในการทำงานโหมด 0 หรือถูกเซตที่ช่วงระหว่างกลางของบิทสิ้นสุดในโหมดอื่นๆ และบิทนี้ต้องถูกเคลียร์จากซอฟต์แวร์

ส่วนอัตราความเร็วในการรับส่งข้อมูลนั้นคำนวณได้จากสมการ

$$BAUDRATE = \frac{2^{SMOD}}{32} \times \frac{OscillatorFrequency}{12 \times [256 - (TH1)]} \quad (\text{โหมด 1 และ 3})$$

2.7.1 บัฟเฟอร์สำหรับการรับและส่งข้อมูล

ภายในตัวไมโครคอนโทรลเลอร์บิทข้อมูลที่ต้องการส่งและรับผ่านพอร์ตอนุกรมจะถูกส่งและรับในลักษณะแบบชิฟต์ (Shift) ในกรณีที่ทำกรส่งข้อมูล บิทข้อมูลทั้งหมดจะถูกโหลดลงสู่บัฟเฟอร์ ซึ่งทำงานเป็นชิฟต์รีจิสเตอร์แบบขนาน หลังจากนั้นจึงทำการชิฟต์ข้อมูลออกไปโดยเลื่อนไปที่ละบิทด้วยบิทเรตที่กำหนดไว้ใน โปรแกรม ส่วน ในกรณีการรับข้อมูลนั้นจะม้การทำงานลักษณะตรงกันข้ามกัน กล่าวคือ บิทข้อมูลที่รับได้จะถูกนำมารวบรวมใหม่ด้วยการชิฟต์บิทข้อมูลเข้ามาทีละบิทไปยังชิฟต์รีจิสเตอร์ เมื่อได้รับครบแล้ว จึงทำการอ่านข้อมูลไปใช้แบบขนานเข้าสู่ระบบ

ชิฟต์รีจิสเตอร์ที่ทำหน้าที่เป็นบัฟเฟอร์ (Buffer) เพื่อพักข้อมูลในการรับและส่งข้อมูล นั้นคือรีจิสเตอร์ SBUF อยู่ที่ตำแหน่งแอดเดรส 099H มันทำหน้าที่เป็นได้ทั้งบัฟเฟอร์ในกรณีระบบทำการรับข้อมูลจากภายนอก และเป็นบัฟเฟอร์เพื่อพักข้อมูลก่อนส่งออกสู่ระบบในกรณีระบบทำการส่งข้อมูล

2.7.2 โครงสร้างและหลักการทำงาน

จากรูปที่ 2.16 แสดงถึงโครงสร้างและการทำงานภายในของส่วนอินเตอร์เฟสที่บรรจุอยู่ภายในไมโครคอนโทรลเลอร์ MCS-51 บริเวณมุมซ้ายของรูปแสดงในส่วนของภาคกำเนิดบอดเรต (Baud Rate Generator) โดยจากรูปบอดเรตถูกกำหนดขึ้นจากพัลส์ที่แสดงการโอเวอร์โฟลว์ที่ได้จากไทเมอร์ มาใช้เป็นสัญญาณนาฬิกาป้อนให้กับชิฟต์รีจิสเตอร์ โอเวอร์โฟลว์ที่ได้จากไทเมอร์สามารถกำหนดให้ทำการหาร 2 ก่อนหรือไม่ก็ได้ด้วยการกำหนดสถานะรีจิสเตอร์พิเศษ PCON ที่แอดเดรส 087H

จากรูปทางด้านบนเป็นส่วนของการส่งข้อมูลออกโดยมีขาเอาต์พุตคือขา TXD โดยการทำงานของระบบเริ่มต้นจากบิทข้อมูลที่จะทำการส่งข้อมูลถูกป้อนเข้าสู่รีจิสเตอร์ SBUF แบบขนาน หลังจากนั้นจึง

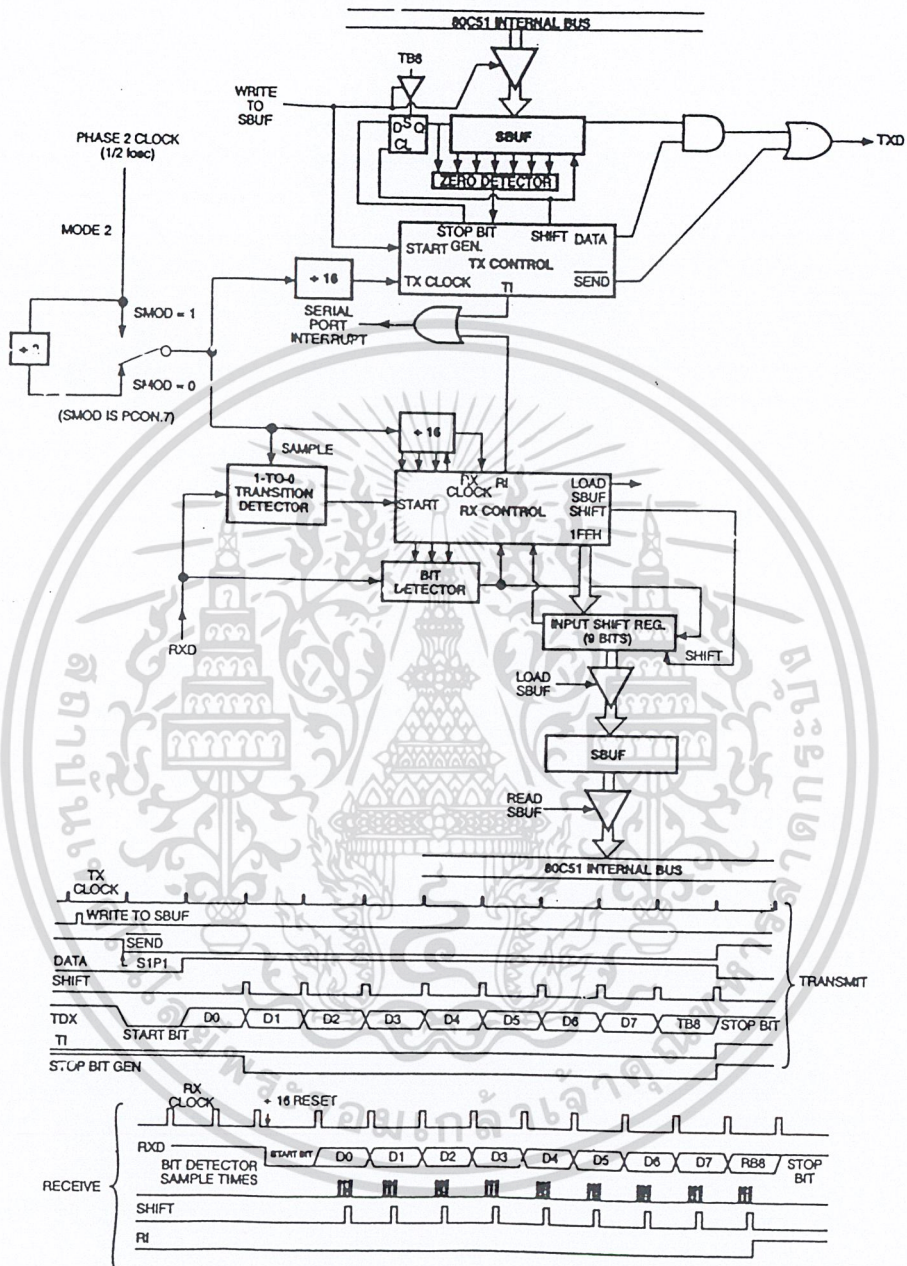
เริ่มทำการส่งข้อมูลออกทีละบิต ภาควิชาตรวจสอบข้อมูลเป็นศูนย์จะทำหน้าที่ตรวจสอบข้อมูลที่เก็บอยู่ใน SBUF โดยถ้าข้อมูลใน SBUF เป็น "0" ทั้งหมดแสดงว่าทำการส่งข้อมูลครบแล้ว มันจะทำการส่งสัญญาณกลับไปยังภาควิชาควบคุมการส่งข้อมูลและหลังจากนั้นระบบจะแสดงผลด้วยการเซตบิต TI ซึ่งสถานะของบิตนี้สามารถนำไปใช้ในการอินเตอร์รัปต์จากพอร์ตอนุกรม (Serial Port Interrupt) ได้

ส่วนทางด้านล่างของรูปนั้น แสดงถึงส่วนของการรับข้อมูล การทำงานของระบบเนื่องจากบิตข้อมูลที่จะมาแบบอนุกรมผ่านเข้ามาทางขา RXD โดยบิตข้อมูลแต่ละบิตจะถูกรวบรวมใหม่โดยการชิฟต์ข้อมูลทีละบิตเข้าสู่อินพุตชิฟต์รีจิสเตอร์ การทำงานนี้เริ่มต้นก็ต่อเมื่อมีการเปลี่ยนแปลงสถานะจาก "1" เป็น "0" ที่ขา RXD ซึ่งนั่นก็คือบิตเริ่มต้นของขบวนบิตข้อมูลที่จะตามมาต่อไป โดยระบบจะตรวจสอบการเปลี่ยนแปลงนี้ที่ภาควิชาตรวจสอบขอบเขต (Transition Detector) และทำการแจ้งไปยังส่วนควบคุม เพื่อควบคุมให้ระบบทำงานได้เข้ากับจังหวะกันกับบิตข้อมูลที่ได้รับเข้ามา

บิตข้อมูลจริงจะถูกรับเข้าสู่ระบบหลังจากที่ปรากฏบิตเริ่มต้นที่ขา RXD แล้ว โดยส่งไปยังชิฟต์รีจิสเตอร์ที่จัดเตรียมไว้แล้ว จนกระทั่งถึงบิตสุดท้ายนั่นก็คือบิตสิ้นสุดซึ่งถ้านับแล้วบิตนี้คือบิตที่ 9 ต่อท้ายจากบิตข้อมูลจำนวน 8 บิต (ชิฟต์รีจิสเตอร์รับข้อมูลมีขนาด 9 บิต) หลังจากนั้นบิตข้อมูลทั้งหมด (ขนาด 8 บิต) ถูกโหลดไปยังรีจิสเตอร์ SBUF และนั่นแสดงว่าการรับข้อมูลเสร็จสิ้นแล้วระบบจะแสดงให้ทราบด้วยการเซตบิต RI อย่างไรก็ตามผลของการเซตบิต RI ขึ้นอยู่กับเงื่อนไขอื่นด้วยซึ่งมี 2 กรณีดังนี้

- เมื่อบิต RI ถูกเซตอยู่แล้วอาจหมายถึงข้อมูลที่รับมาก่อนหน้านี้ยังไม่ได้เฟตช์ (fetch) ไปใช้งาน
- บิต RI ถูกเซตในกรณีที่บิต SM2 เป็น "1" และไม่มีบิตสิ้นสุดปรากฏเป็นค่า "1" ในรูปแบบนี้

จะมีใช้งานกัน



รูปที่ 2.16 แสดงโครงสร้างและการทำงานภายในของส่วนอินเตอร์เฟซอนุกรมใน MCS-51

2.8 การส่งผ่านข้อมูลอนาล็อกและดิจิทัล

ในการส่งผ่านข้อมูลจากต้นทางไปยังปลายทางมีคุณสมบัติธรรมชาติของสัญญาณข้อมูลอย่างหนึ่งที่น่าสนใจคือ การเคลื่อนที่ของข้อมูลและกระบวนการจัดการกับข้อมูล เพื่อให้มั่นใจว่าข้อมูลที่ส่งไปและรับมา สามารถเข้าใจกันได้ สำหรับการศึกษานี้มีจุดสำคัญที่เราจะเข้าไปเกี่ยวข้องด้วยกันคือ ปริมาณชนิดอนาล็อกและดิจิทัล

ปริมาณชนิดอนาล็อกและดิจิทัล เป็นปริมาณที่สอดคล้องกับปริมาณที่มีค่าแบบต่อเนื่อง และไม่ต่อเนื่อง ศัพท์ 2 คำนี้ถูกนำมาใช้ในการสื่อสารข้อมูลเสมอซึ่งต้องใช้ในเรื่องต่อไปนี้

- ข้อมูล
- สัญญาณ
- การส่งผ่าน

2.8.1 ข้อมูล (Data)

ข้อมูลแบบอนาล็อกนั้นเป็นข้อมูลที่เกิดขึ้นแล้วมีค่าต่อเนื่องในช่วงเวลาที่พิจารณา เช่นเสียงและภาพเป็นข้อมูลที่มีการแปรรูปแบบของความเข้มอย่างต่อเนื่อง อุณหภูมิและความดันก็เป็นปริมาณที่ต่อเนื่องที่จัดได้ว่าเป็นข้อมูลแบบอนาล็อก และข้อมูลดิจิทัลเป็นข้อมูลที่มีค่าไม่ต่อเนื่อง

ตัวอย่างที่แพร่หลายที่สุดสำหรับข้อมูลอนาล็อกคือเสียง ซึ่งข้อมูลระบบในระบบสื่อสารบางระบบจะถูกออกแบบไว้สำหรับข้อมูลฐานสอง ซึ่งจำนวนของรหัสที่แทนตัวอักขระจะใช้ลำดับของบิต ตัวอย่างเช่นรหัส ASCII (American Standard Code for Information Interchange) นอกจากนี้ได้รับความนิยมภายในอเมริกาแล้วยังได้รับความนิยมจากภายนอกด้วย รหัสเลขฐานสองบางตัวจึงถูกนำมาแทนตัวอักขระสำหรับการควบคุม และตัวอักขระของการควบคุมส่วนหนึ่งก็ใช้ในการควบคุมการพิมพ์ และรหัสเลขฐานสองที่แทนตัวอักขระส่วนที่เหลือบางตัวก็ใช้ในระบบสื่อสาร

2.8.2 สัญญาณ (Signals)

ในระบบของการสื่อสารข้อมูล ข้อมูลจะเคลื่อนที่จากจุดหนึ่งไปยังจุดหนึ่งในรูปแบบของสัญญาณไฟฟ้า ซึ่งสัญญาณอนาล็อกคือคลื่นแม่เหล็กไฟฟ้าที่มีการเปลี่ยนแปลงอย่างต่อเนื่อง และสัญญาณดังกล่าวจะถูกส่งผ่านเข้าไปยังตัวกลางชนิดต่างๆ ทั้งนี้ขึ้นอยู่กับสเปกตรัมของสัญญาณ

ส่วนสัญญาณดิจิทัลนั้นอาจเป็นขบวนของพัลส์ ที่ใช้ระดับของพัลส์ที่ส่งไปตัวแทนข้อมูล ซึ่งจะเห็นได้ว่าแบนด์วิดท์ที่กว้างจะทำให้เกิดสัญญาณที่มีความเพี้ยนน้อย สำหรับข้อมูลที่มีอัตรา x บิตต่อวินาทีสามารถใช้สายส่งที่มีแบนด์วิดท์ x Hz ด้วยคุณภาพดีพอควรแต่จะดีมากถ้าหากใช้เพิ่มขึ้นเป็น $2x$ Hz

2.8.3 ข้อมูลและสัญญาณ (Data and Signals)

จากที่ได้กล่าวมาแล้ว เรากำลังสนใจสัญญาณที่ใช้แทนข้อมูลอนาล็อกและข้อมูลดิจิทัล โดยทั่วไปแล้วข้อมูลอนาล็อกจะเป็นฟังก์ชันเชิงเวลาและมีค่าสเปกตรัมที่จำกัดอยู่ค่าหนึ่ง สามารถแทนด้วยเอกสารที่เป็นเอกสารที่ส่งผ่านเวลาสำหรับการสื่อสารเพื่อการศึกษาเท่านั้น เมื่อข้อมูลอนาล็อกถูกส่งผ่านโดยการใช้เอกสารที่ส่งผ่านเวลาทั้งหมดนี้ให้ชัดเจนเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สัญญาณคลื่นแม่เหล็กไฟฟ้าที่มีค่าสเปกตรัมค่าเดียวกัน และข้อมูลดิจิทัลนั้นสามารถแทนได้ด้วยสัญญาณดิจิทัลที่มีค่าระดับแรงดันแตกต่างกันสองระดับเพื่อแทนค่าเลขฐานสอง

2.8.4 การส่งผ่าน (Transmission)

ความแตกต่างระหว่างสัญญาณดิจิทัลและอนาล็อกนั้นควรพิจารณาให้ชัดเจนขึ้นอีก ต้องส่งผ่านตัวกลางที่เหมาะสม และขบวนการแปลงสัญญาณ เพื่อให้เหมาะกับตัวกลางการส่งผ่านที่เป็นหน้าที่ของกระบวนการส่งผ่าน (Transmission System) การส่งผ่านในรูปแบบของอนาล็อกเป็นวิธีการส่งผ่านสัญญาณอนาล็อกไปโดยไม่มีการเปลี่ยนแปลงข้อมูล ไม่ว่ากรณีใดๆ สัญญาณอนาล็อกจะเกิดการลดทอนหลังจากที่เดินทางผ่านเข้าไปในตัวกลาง ดังนั้นเพื่อให้สัญญาณสามารถเดินทางไปถึงปลายทางได้ระยะทางไกลๆ ระบบของการส่งผ่านแบบอนาล็อกก็จะมีตัวเพิ่มความแรงของสัญญาณ และยังเพิ่มกำลังงานให้กับสัญญาณรบกวนด้วย สำหรับข้อมูลแบบอนาล็อก เช่น เสียง ความผิดพลาดเล็กน้อยสามารถยอมรับได้ เพราะว่าข้อมูลยังสามารถเข้าใจได้

2.8.5 การส่งผ่านข้อมูลดิจิทัล (Digital Transmission Line)

การส่งผ่านข้อมูลด้วยวิธีการนี้ระยะทางมีผลต่อองค์ประกอบของสัญญาณ ดังนั้นเพื่อให้การส่งผ่านได้ระยะทางไกลๆ เราจึงใช้ตัวทวนสัญญาณ (Repeater) เพื่อกู้สัญญาณเดิมกลับคืนมา โดยที่ตัวทวนสัญญาณเมื่อได้รับสัญญาณมาแล้วก็จะทำการกู้รูปแบบของ 1 และ 0 กลับคืนมาอีกครั้งและทำการส่งต่อไป ในปัจจุบันมีแนวโน้มที่จะหันมาใช้ในการสื่อสารระบบดิจิทัลที่ได้แทนระบบอนาล็อก เหตุผลที่สำคัญคือ ดิจิตอลเทคโนโลยี การพัฒนางจรดิจิทัล LSI และ VLSI ทำให้ราคาและขนาดของวงจรลดลงในขณะที่เครื่องมือทางอนาล็อกไม่ได้ลดลง

- คุณภาพของข้อมูลสำหรับขบวนการทางดิจิทัล การใช้ตัวทวนสัญญาณแทนที่จะใช้ตัวขยายสัญญาณ ทำให้อิทธิพลของสัญญาณรบกวนไม่ถูกสะสม ทำให้เราสามารถส่งข้อมูลไปได้ระยะทางไกลๆ แม้ว่าคุณภาพของสายไม่ดีก็ตาม

- ความจุของการใช้งานมีมาก การส่งผ่านข้อมูลที่มีแบนด์วิดท์กว้างมากๆ เช่น ช่องสัญญาณดาวเทียมและเส้นใยแก้วนำแสง ดังนั้นการนำเอาขบวนการมัลติเพล็กซ์เข้ามาใช้งานจะเป็นประโยชน์มากในเรื่องของความจุของช่องสัญญาณ

- ความปลอดภัยและความเป็นส่วนตัว เทคนิคการย่อข้อมูลพร้อมที่จะนำเข้ามาใช้กับข้อมูลดิจิทัลและนำมาใช้กับข้อมูลอนาล็อกที่ถูกควอนไทซ์แล้ว

- การรวมกันเข้าเป็นหนึ่งเดียว ด้วยขบวนการทางข้อมูลของอนาล็อกและดิจิทัล สัญญาณที่มีรูปแบบเหมือนกันและสามารถดำเนินการได้ในลักษณะเดียวกัน ซึ่งจะเป็นการประหยัดและสะดวกในการรวมเสียง ภาพ และข้อมูลดิจิทัลเข้าไว้ด้วยกัน

2.9 สัญญาณรบกวน (Noise)

สำหรับในขบวนการการส่งข้อมูลใดๆสัญญาณที่ได้รับจะประกอบไปด้วยสัญญาณที่ส่งมาจากเครื่องส่งที่การเปลี่ยนแปลงไปโดยมีความเพี้ยนของสัญญาณเกิดขึ้น จากคุณสมบัติการส่งผ่าน ความผิดเพี้ยนที่เพิ่มเข้ามาเรามีสัญญาณที่เราไม่ต้องการเกิดขึ้น ในระหว่างการส่งและการรับ เราเรียกว่า สัญญาณรบกวน ซึ่งเป็นองค์ประกอบที่สำคัญที่จำกัดการทำงานของระบบการสื่อสาร

- สัญญาณรบกวนอาจแบ่งได้เป็น 4 ชนิด ดังนี้คือ
- สัญญาณรบกวนเนื่องจากคลื่นความร้อน (Thermal Noise)
 - สัญญาณรบกวนเนื่องจากอินเตอร์มอดูเลชัน (Inter Modulation Noise)
 - Crosstalk (Crosstalk)
 - สัญญาณรบกวนแบบอิมพัลส์ (Impulse Noise)

2.9.1 สัญญาณรบกวนเนื่องจากคลื่นความร้อน (Thermal Noise)

เกิดจากการเคลื่อนที่ของอิเล็กตรอนในตัวนำเนื่องจากความร้อน โดยเกิดขึ้นกับอุปกรณ์ทั้งหมดทางอิเล็กทรอนิกส์ สัญญาณรบกวนเนื่องจากคลื่นความร้อน (Thermal Noise) จะมีการกระจายสเปกตรัมที่สม่ำเสมอในย่านความถี่ทั่วไป เราเรียกว่า สัญญาณรบกวนขาว ซึ่งเราไม่สามารถจำกัดมันได้ ขนาดสัญญาณรบกวนขึ้นอยู่กับความร้อนโดยที่

$$N_o = K T$$

โดยที่ N_o = ความหนาแน่นพลังงานของสัญญาณรบกวน Watt/Hertz
 K = ค่าคงที่ของ โบลต์ซมาน (Boltzmann's constant) = 1.3803×10^{-23} J/K
 T = อุณหภูมิมีหน่วยเป็นองศาเคลวิน (K)

2.9.2 สัญญาณรบกวนเนื่องจากอินเตอร์มอดูเลชัน (Inter Modulation Noise)

จะเกิดขึ้นเมื่อมีความไม่เป็นเชิงเส้นในการประมวลสัญญาณในตัวรับส่ง หรือในระบบการส่งผ่าน โดยปกติอุปกรณ์องค์ประกอบเหล่านี้จะถูกสร้างขึ้น เป็นเชิงเส้น นั่นคือค่าเอาท์พุทจะแปรผันตามค่าของอินพุท ซึ่งความไม่เป็นเชิงเส้นของระบบมักจะเกิดการ ทำงานผิดพลาดของอุปกรณ์

2.9.3 สัญญาณรบกวนแบบครอสทอล์ก (Crosstalk)

ในขณะที่มีการใช้โทรศัพท์ เราอาจจะได้ยินเสียงของคนอื่นที่ไม่ใช่คู่สนทนาของเราสอดแทรกเข้ามาในสาย ซึ่งเป็นสัญญาณที่เราไม่ต้องการ อาจเกิดขึ้นโดยการเหนี่ยวนำทางไฟฟ้าของสัญญาณระหว่างคู่สายโทรศัพท์ที่อยู่ใกล้ๆ สัญญาณรบกวนที่เกิดขึ้นกับสายมีชื่อว่า ครอสทอล์ก นอกจากนี้ยังเกิด

เอกสารนี้เป็นเอกสารที่จัดทำขึ้นเพื่อการศึกษาเท่านั้น ไม่สามารถนำไปใช้เพื่อการพาณิชย์ได้ หากมีการนำเอกสารนี้ไปใช้โดยไม่ได้รับอนุญาตจากผู้จัดทำเอกสาร อาจก่อให้เกิดความเสียหายทางกฎหมายได้

จากสัญญาณที่เราไม่ต้องการจากสายอากาศไมโครเวฟ ซึ่งสัญญาณรบกวนแบบครอสทอล์คในระบบต่างๆ ควรมีขนาดน้อยกว่าสัญญาณรบกวนจากอุณหภูมิ

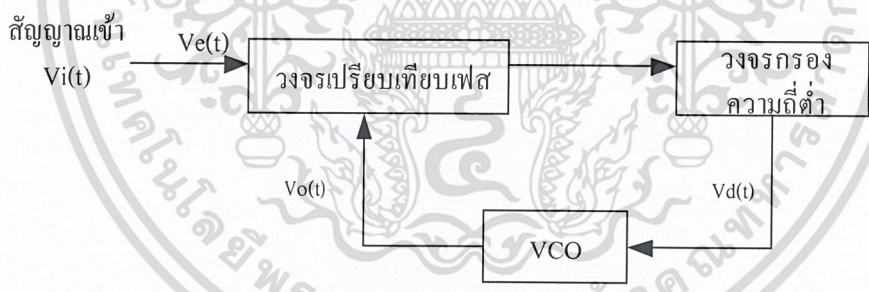
สัญญาณรบกวนอีกชนิดหนึ่ง คือสัญญาณรบกวนแบบอิมพัลส์ ที่เกิดขึ้นอย่างไม่ต่อเนื่อง ประกอบด้วยพัลส์ที่ผิดปกติ หรือในช่วงเวลาสั้นๆ ขนาดความแรงสัญญาณสูง เช่น ไฟาแลบ ซึ่งมักจะทำลายข้อมูลเสียง

2.9.4 สัญญาณรบกวนแบบอิมพัลส์ (Impulse Noise)

โดยทั่วไปแล้วจะรบกวนข้อมูลอนาล็อก ตัวอย่างเช่นการส่งผ่านเสียงอาจจะถูกทำลาย ทำให้ไม่สามารถเข้าใจได้ สัญญาณรบกวนแบบอิมพัลส์ เป็นแหล่งกำเนิดเบื้องต้นของความผิดพลาดสำหรับการสื่อสารข้อมูลดิจิทัล ตัวอย่างเช่นสัญญาณกระชากที่เปลี่ยนแปลงพลังงานอย่างรวดเร็วภายในเวลา 0.01 วินาที อาจจะไม่สามารถทำลายข้อมูลเสียงได้ แต่มันจะทำลายบิตข้อมูลดิจิทัลที่ส่งผ่านด้วยความเร็ว 4800 บิตต่อวินาที ไป 50 บิต

2.10 ทฤษฎีเฟสล็อกลูป (Phase Lock Loop : PLL)

วงจรเฟสล็อกลูปประกอบด้วยวงจรเทียบเฟส วงจรกรองความถี่ต่ำ วงจรขยาย และวงจรผลิตความถี่โดยควบคุมด้วยแรงดัน (Voltage Control Oscillator :VCO) ต่อเป็นวงจรป้อนกลับทั่ว ๆ ไป



รูปที่ 2.17 วงจรพื้นฐานของเฟสล็อกลูป

วงจรเปรียบเทียบเฟสคือวงจรที่ให้แรงดันออกผกผันกับผลต่างระหว่างเฟส วงจรนี้อาจเป็นวงจรคูณถ้าสัญญาณเข้า $v_i(t)$ มีความถี่ ω_i และเฟส θ_i

$$V_i(t) = V_i \sin(\omega_i t + \theta_i)$$

และสัญญาณออกจาก VCO มีความถี่ ω_o และเฟส θ_o

ถ้าป้อน V_i และ V_o เข้าที่เปรียบเทียบเฟส จะได้สัญญาณคือ

$$v_e(t) = K_m V_i V_o$$

ถ้าเราไม่สนใจเทอมความถี่ ซึ่งถูกกำจัดโดยวงจรกรองความถี่ต่ำจะได้

$$v_e = (K_m V_i V_o)/2 \sin(\theta_i - \theta_o)$$

หากผลต่าง $\theta_i - \theta_o$ มีค่าน้อยๆ จะได้

$$v_e = K_d (\theta_i - \theta_o)$$

โดยค่า K_d เป็นค่าเกนของเฟสดีเทคเตอร์ และในกรณีที่ให้ระบบเป็นเชิงเส้นเราจะได้ความถี่ด้าน
ออกจากวงจร VCO ที่เบี่ยงเบนออกจากความถี่ศูนย์กลางคือ

$$\Delta\omega = K_d V_c$$

โดย V_c เป็นแรงดันด้านขาเข้า

K_d เป็นเกนของ VCO

ดังนั้นความถี่ด้านออกของ VCO คือ

$$f_0 = \omega_c + \Delta\omega$$

โดยที่ ω_c เป็นความถี่อิสระ (Free Running) ของ VCO และจากความถี่เป็นการอนุพันธ์ของเฟส
เทียบกับเวลาหรือเขียนได้เป็น

$$\Delta\omega = \frac{d\theta_o}{dt} = K_o V_c$$

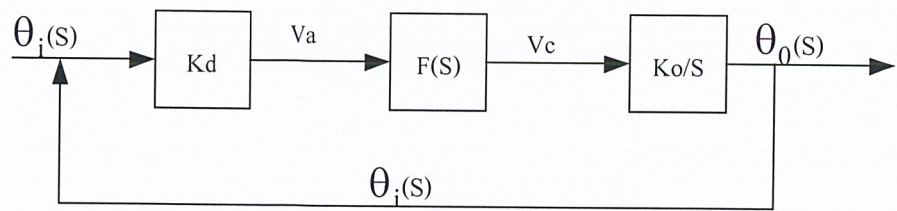
หรือเขียนด้านออกของรูปได้ว่า

$$\theta_o(s) = \int \Delta\omega \, dt$$

กรณีในระบบเฟสล็อกูป ถ้าทำการวิเคราะห์ด้วยลาปลาซทรานส์ฟอร์ม สามารถแสดงเฟสด้าน
ออกได้ว่า

$$\theta_o(s) = \frac{K_o V_c}{s}$$

ดังนั้นระบบเฟสล็อกสามารถแสดงแบบจำลองดังรูป



รูปที่ 2.18 แบบจำลองของเฟสล็อก

ซึ่งจากแบบจำลองเราสามารถเขียนทรานส์เฟอร์ฟังก์ชันได้คือ

$$\frac{\theta_o(s)}{\theta_i(s)} = \frac{K_d K_o \frac{F(s)}{s}}{1 + K_d K_o \frac{F(s)}{s}}$$

แรงดัน v_c นี้จะได้รับการขยายและใช้เป็นแรงดันควบคุมความถี่ของ VCO ซึ่งในการทำงานปกติ การควบคุมนี้จะมีผลให้สัญญาณ V_o จาก VCO มีความถี่ตรงกับสัญญาณด้านเข้า V_i และถ้าอัตราขยายของลูปมีค่าสูง v_c จะมีค่าต่ำและเฟส ω_o กับ ω_i จะมีค่าใกล้เคียงกัน

การทำงานของวงจรเฟสล็อกสามารถอธิบายได้อย่างคร่าว ๆ คือ เมื่อไม่มีสัญญาณเข้า V_i แรงดัน v_c และ V_d ที่ใช้ควบคุม VCO จะเป็นศูนย์ VCO จะกำเนิดสัญญาณความถี่หนึ่งที่เรียกว่าความถี่อิสระ f_{oo} เมื่อใส่สัญญาณเข้าที่ความถี่ V_i ถ้า f_i ต่างจาก f_{oo} มาก สัญญาณ v_c ซึ่งมีความถี่เท่ากับ $f_{oo}-f_i$ จะไม่สามารถผ่านวงจรกรองความถี่ต่ำ

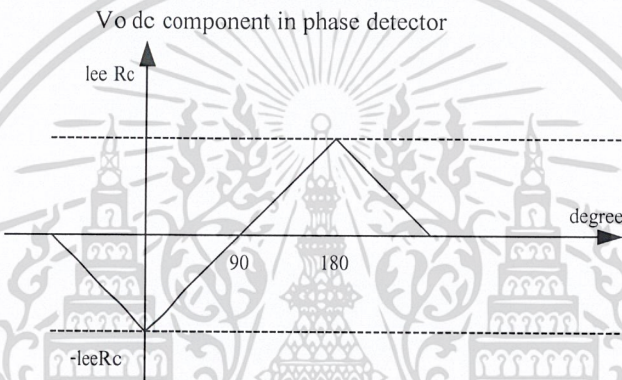
แรงดัน V_d ที่ใช้ควบคุม VCO จะยังคงเป็นศูนย์ และ VCO ยังคงทำงานที่ความถี่ f_{oo} และถ้าหากว่า f_i มีค่าไม่ต่างจาก f_{oo} มากนัก นั่นคือ $|f_i - f_{oo}| < \Delta f_p$ (มีชื่อว่าช่วงดึงเข้า หรือ pull-in-range) สัญญาณ จะมีลักษณะไม่สมมาตร กล่าวคือมีองค์ประกอบไฟตรงไม่เท่ากับศูนย์ V_d จะค่อยๆ เพิ่มขึ้น และหลังจากช่วงหนึ่งเรียกว่า เวลาดึงเข้า (pull-in time) ความถี่ f_o จะค่อยๆ แปรค่าไปยังค่า f_i จะต่างจาก f_i เพียง $|f_i - f_o| = \Delta f_c$ (มีชื่อว่าช่วงเวลาจับหรือ capture range) ถึงตอนนี้ f_o จะแปรเข้าสู่ f_i อย่างรวดเร็วเรียกว่าเกิดการล็อก V_d จะเปลี่ยนแปลงอย่างรวดเร็วเช่นกัน ทั้งนี้สำหรับ VCO โดยทั่วไปความถี่ f_o จะเป็นแบบผกผันกับการเบี่ยงเบนจากความถี่อิสระนั่นคือ

$$\omega_o - \omega_{oo} = K_o V_d$$

โดยที่ K_o เรียกว่าความไวของ VCO หน่วย (rad/sec)/v

การล็อกอาจใช้วิธีดังนี้

- ก. ขณะหนึ่งของ VCO ต่างจากความถี่เข้า f_i น้อยกว่า Δf_c จะเกิดการล็อกอย่างจับปล้นเรียกว่า การจับ (capture)
- ข. ขณะหนึ่งความถี่ของ VCO ต่างจากความถี่เข้า f_i มากกว่า Δf_c แต่น้อยกว่า Δf_p ความถี่ของ VCO จะค่อยๆ เลื่อนเข้าหาความถี่ f_i เรียกว่า เกิดการดึงเข้า (pull-in)
- ค. นอกช่วงเวลาดึงเข้า หรือในกรณีดึงเข้าใช้เวลานานเกินไปอาจเพิ่มวงจรเพื่อควบคุมความถี่ของ VCO กวาดเพื่อหาความถี่ของสัญญาณหรือถ้าสัญญาณรบกวนมีน้อยก็อาจเพิ่มแถบความถี่ (Bandwidth) ของลูป ซึ่งจะเพิ่มช่วงเวลากการจับและการดึงเข้า หรืออาจเพิ่มเติมวงจรจำแนกความถี่ (Frequency Discriminator) ซึ่งจะปรับ VCO เข้าสู่ช่วงการจับได้อย่างรวดเร็ว

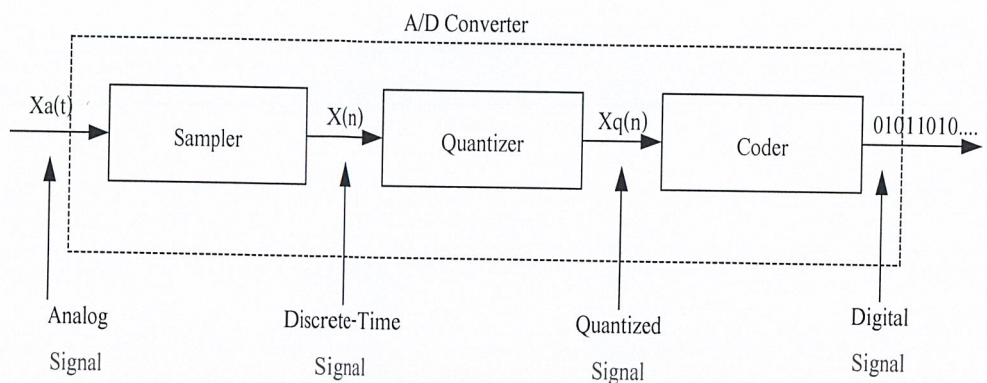


รูปที่ 2.19 คุณสมบัติไอพ่ายของอนาล็อกเฟสดีเทกเตอร์

เมื่อเกิดการล็อกแล้วถ้าความถี่ของสัญญาณแปรไป ความถี่ของ VCO จะแปรตามไปด้วยเรียกว่า เกิดการ tracking ความถี่ของ VCO จะสามารถตามรอยความถี่ f_i ได้ ตราบใดที่ $|f_i - f_o| < \Delta f_h (2 \Delta f_h$ มีชื่อว่าช่วงคงที่ไว้หรือ hold-in range)

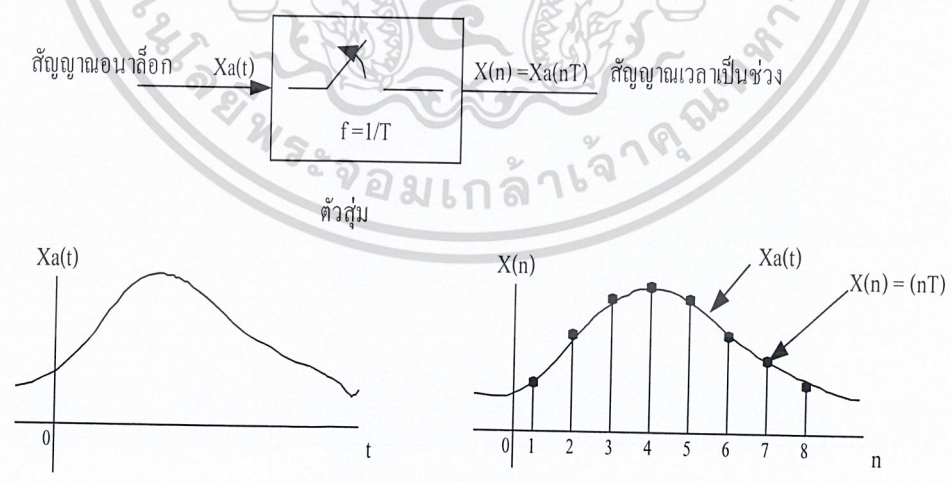
2.11 การแปลงสัญญาณอนาล็อกเป็นดิจิตอล

เป้าหมายของการศึกษาเกี่ยวกับระบบ รวมถึงการวิเคราะห์ออกแบบระบบเพื่อนำไปประยุกต์ใช้ ในการประมวลสัญญาณ แต่เนื่องจากสัญญาณเกือบทั้งหมดที่เราสนใจ เป็นสัญญาณอนาล็อก ในกรณีที่น่า เาจะระบบเวลาเป็นช่วงมาใช้แทนระบบต่อเนื่อง หรือต้องการเพียงเลียนแบบระบบให้สามารถทำงาน ประมวลสัญญาณได้เหมือนกัน ก่อนอื่นเราต้องเปลี่ยนสัญญาณเหล่านี้ให้อยู่ในรูปดิจิตอลเรียกว่า การ แปลงอนาล็อกเป็นดิจิตอล (Analog - to Digital (A/D) Conversion) โดยใช้อุปกรณ์ที่เรียกว่า A/D Converter (ADC)



รูปที่ 2.20 ส่วนประกอบพื้นฐานของ A/D

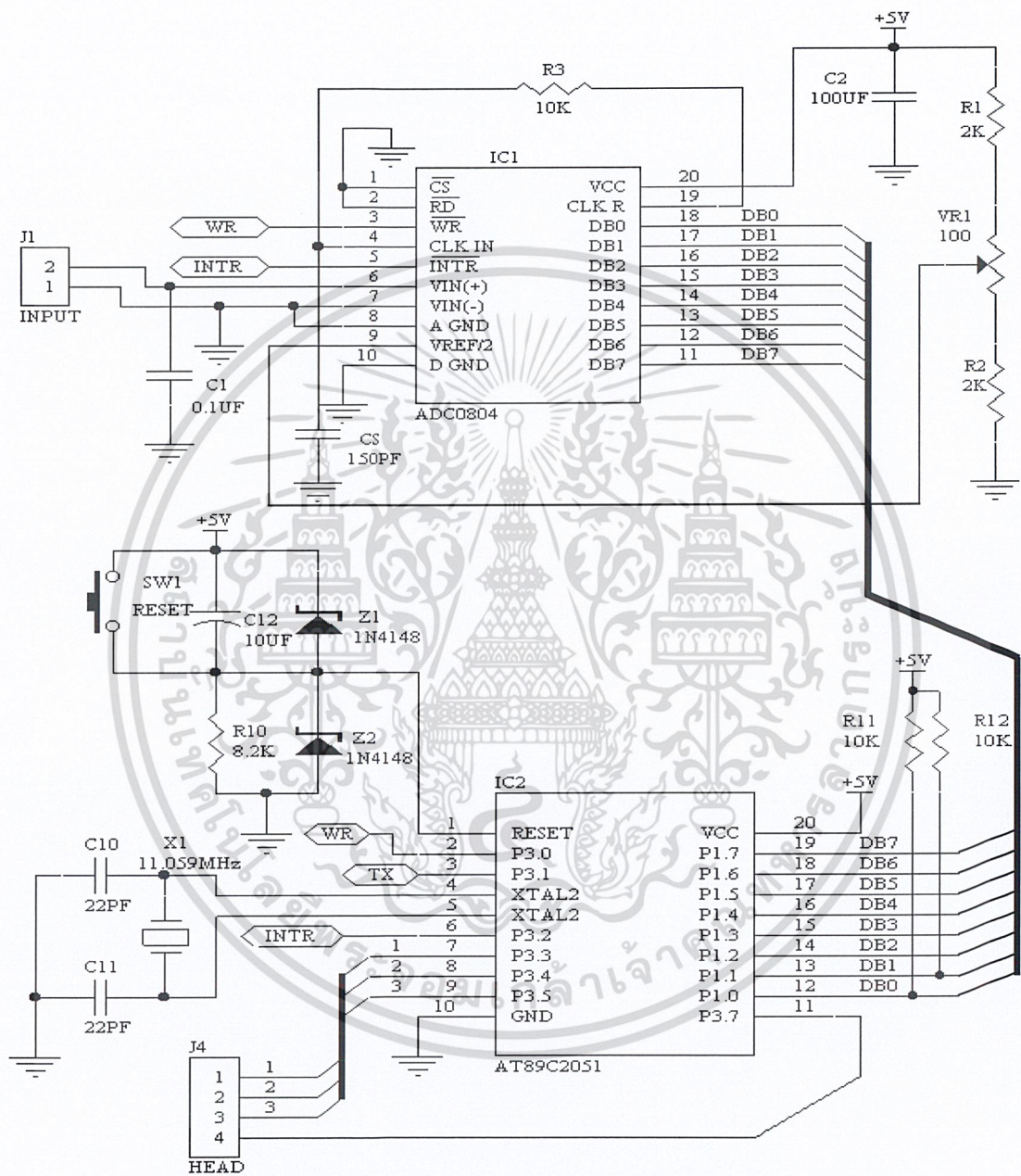
- การแปลง A/D จะประกอบด้วยกระบวนการ 3 ขั้นตอนดังรูป
- ก. การสุ่มตัวอย่าง (Sampling) เป็นการแปลงสัญญาณเวลาต่อเนื่องเป็นสัญญาณเวลาโดยการชักตัวอย่างของสัญญาณเวลาเป็นช่วงที่เท่ากัน ถ้า $X_a(t)$ เป็นอินพุต การสุ่มตัวอย่างเอาที่พุทจะเป็น $X_a(nT) = x(n)$ เมื่อ T คือคาบการสุ่มตัวอย่าง (Sampling Period) ดังรูป
 - ข. การควอนไทซ์ (Quantization) เป็นการเปลี่ยนแปลงจากสัญญาณเวลาต่อเนื่อง ขนาดต่อเนื่อง ซึ่งเรียกว่า สัญญาณเวลาสุ่ม (sample signal) เป็นสัญญาณเวลาเป็นช่วง
 - ค. การเข้ารหัส (Coding) แต่ละค่าของ $X_q(n)$ จะถูกแทนโดยซีแวนซ์ของเลขฐานสองจำนวน n บิต



รูปที่ 2.21 การสุ่มสัญญาณอนาล็อกในลักษณะซำคาบ

บทที่ 3
การออกแบบและการสร้าง

3.1 วงจรแปลงสัญญาณอนาล็อกเป็นดิจิทัลและวงจรแปลงข้อมูลขนานเป็นข้อมูลอนุกรม



รูปที่ 3.1 วงจร A/D และวงจรแปลงข้อมูลขนานเป็นอนุกรม

โดยในส่วนของวงจรแปลงสัญญาณอนาล็อกเป็นดิจิทัลนั้น ตอนออกแบบได้ปรับแรงดันขา Vref/2 ของไอซี ADC0804 เป็น 2 V เพื่อให้แรงดันที่เท่ากับ Vref (4V) ได้มีข้อมูลเอาต์พุตเป็น FFH และให้แรงดันที่ 2 V เป็น 80H และการทำงานของ ไอซี ADC0804 จะถูกควบคุมโดยไมโครคอนโทรลเลอร์เบอร์ AT89c2051 ซึ่งจะกำหนดระยะเวลาของการแปลงสัญญาณแต่ละไซเคิลของไอซี

เอกสารนี้เป็นเอกสารที่สงวนลิขสิทธิ์ไว้เพื่อการใช้งานเท่านั้น เมื่อผู้เผยแพร่เห็นประโยชน์ในการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้คัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

A/D นั้น เท่ากับ 120 us และอีกหน้าที่หนึ่งของไมโครคอนโทรลเลอร์ตัวนี้คือแปลงข้อมูลขนาดที่ได้จาก ไอซี A/D เปลี่ยนเป็นข้อมูลอนุกรมขนาด 11 บิต (1 Start Bit, Data 9 Bit, 1 Stop Bit)

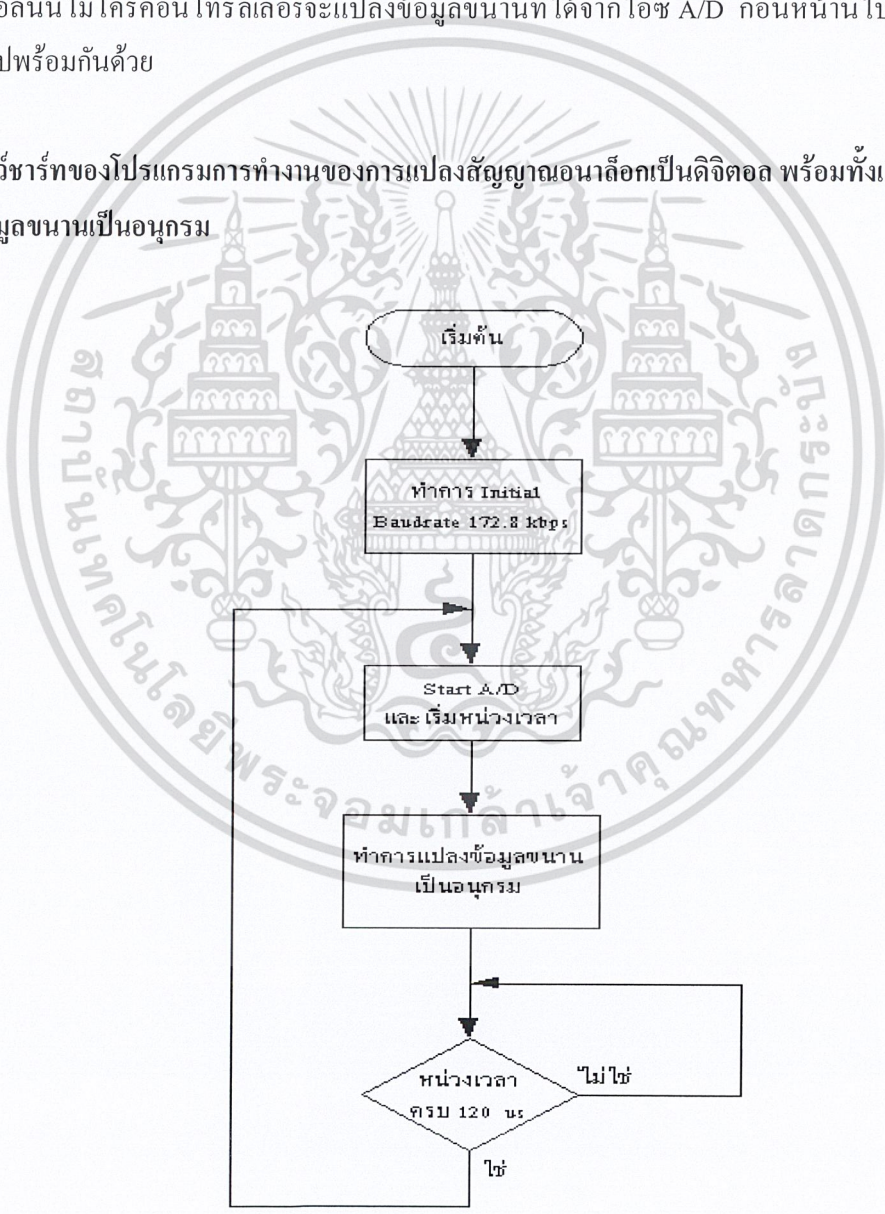
โดยการออกแบบจะใช้ Serial โหมด 2 และ Baud rate = fosc/64 ดังนั้นจะได้

$$\text{Baud rate} = \frac{11.059\text{MHz}}{64} = 172.8 \text{ กิโลบิตต่อวินาที}$$

และข้อมูลแต่ละบิตจะใช้เวลา $\frac{1}{172.8 \times 10^3} = 5.79 \text{ ไมโครวินาที}$

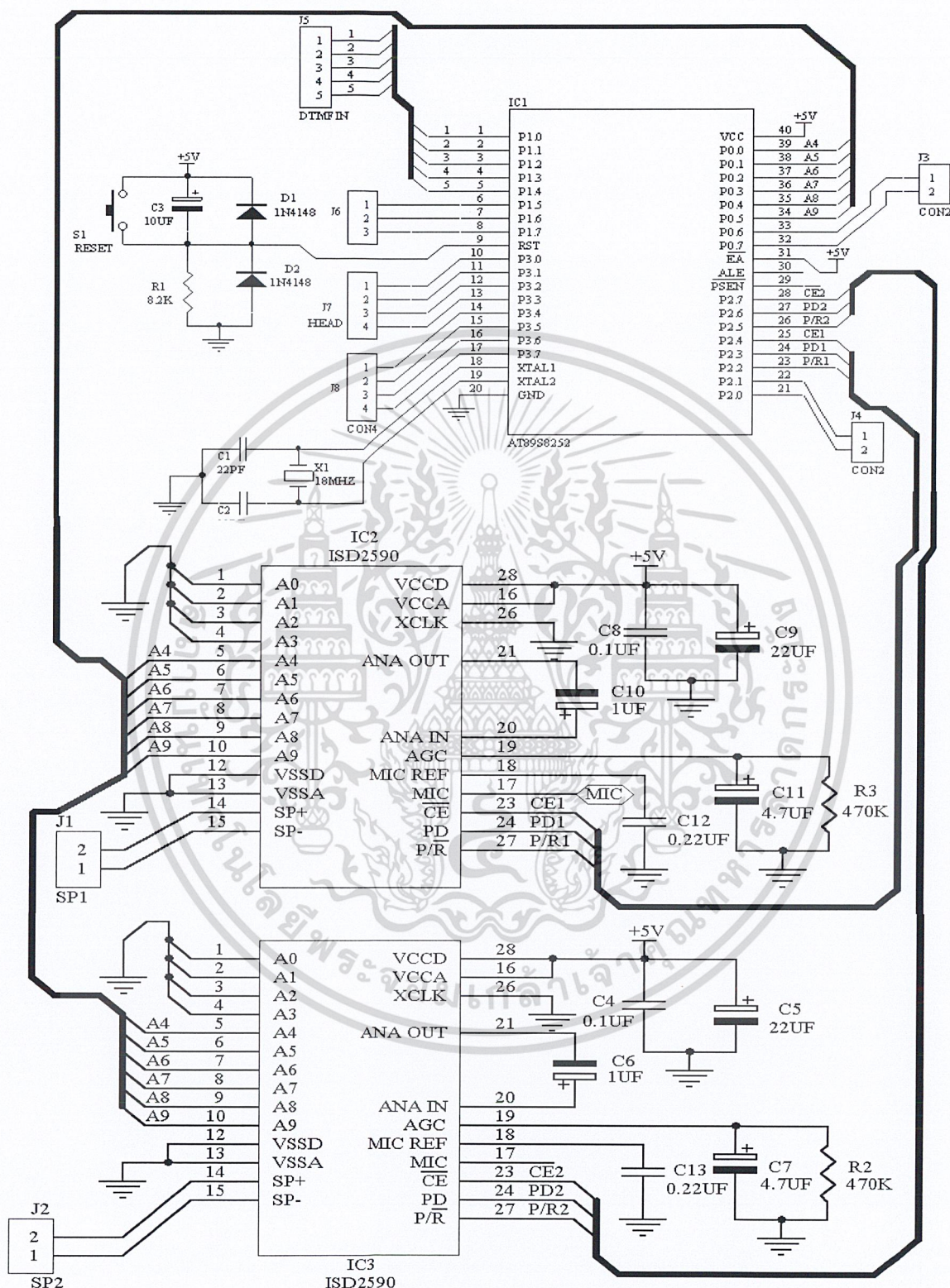
ดังนั้นข้อมูลแต่ละชุด (11 bit) ของการSample ของ A/D จะใช้เวลาเท่ากับ 11 x 5.79 = 63.66 ไมโครวินาที และหลักการทำงานของวงจรนี้โดยรวมคือในขณะที่ ไอซี A/D กำลังแปลงสัญญาณอนาล็อกเป็นดิจิตอลนั้น ไมโครคอนโทรลเลอร์จะแปลงข้อมูลขนาดที่ได้จากไอซี A/D ก่อนหน้านี้ไปเป็นข้อมูลอนุกรมไปพร้อมกันด้วย

3.2 โฟลว์ชาร์ทของโปรแกรมการทำงานของ การแปลงสัญญาณอนาล็อกเป็นดิจิตอล พร้อมทั้งแปลงข้อมูลขนาดเป็นอนุกรม



รูปที่ 3.2 แสดงโฟลว์ชาร์ทของโปรแกรมการทำงานของ A/D และการแปลงข้อมูลขนาดเป็นอนุกรม

3.3 การเชื่อมต่อไอซีบันทึกเสียงกับไมโครคอนโทรลเลอร์



รูปที่ 3.3 วงจรการเชื่อมต่อไอซีบันทึกเสียงกับไมโครคอนโทรลเลอร์

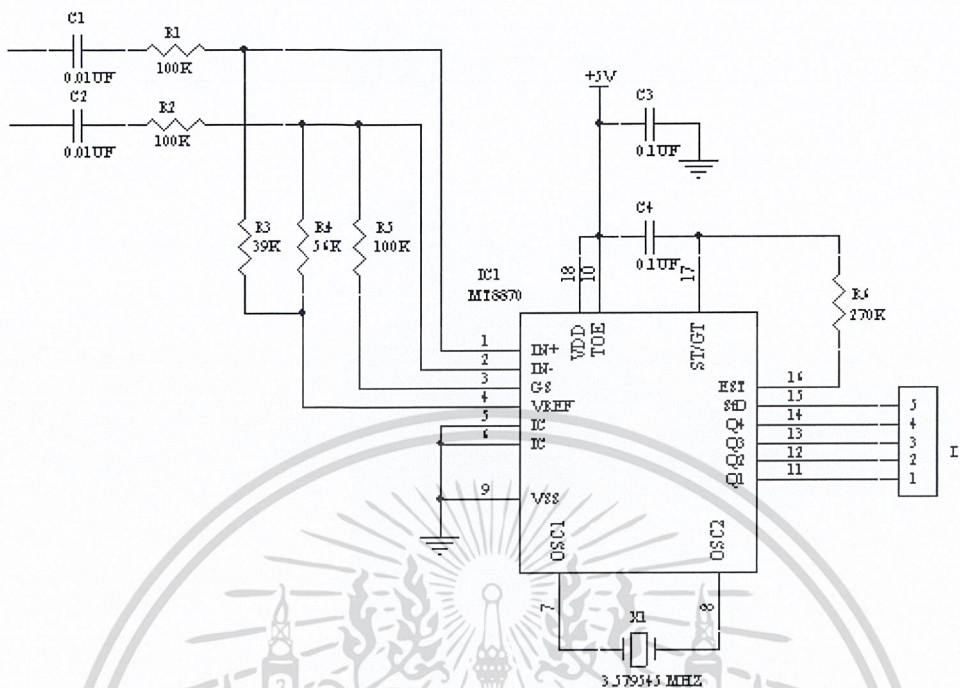
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ในการออกแบบได้ใช้ไอซีบันทึกเสียงเบอร์ ISD2590 ซึ่งเป็นไอซีบันทึกเสียงซึ่งสามารถบันทึกเสียงได้นานสูงสุด 90 วินาที และสามารถโปรแกรมช่องแอดเดรส สำหรับการบันทึกเสียงได้ตั้งแต่แอดเดรส 00 - 257H โดยในตอนแบ่งแอดเดรสสำหรับในส่วนของเสียงโอเปอเรเตอร์รับสายมีค่าเป็นดังนี้คือ

ตารางที่ 3.1 แสดงการกำหนดแอดเดรสเพื่อบันทึกเสียงโอเปอเรเตอร์

แอดเดรส	ข้อความ	จำนวนเวลา (วินาที)
00-4FH	ยินดีต้อนรับสู่ระบบอัตโนมัติกรุณากด "1" เพื่อเข้าสู่โทรศัพท์บ้านหรือกด "2" เพื่อเข้าสู่ระบบฝากข้อความแบบ ONLINE	12
50H-9FH	ขณะนี้ไม่มีคนรับสายกรุณากด "1" เพื่อเข้าสู่ระบบฝากข้อความแบบ ONLINE หรือกด "2" เพื่อยกเลิกการติดต่อ	12
A0H-DFH	ขณะนี้เข้าสู่ระบบฝากข้อความแบบ ONLINE กรุณากดหมายเลขเครื่องที่ท่านต้องการติดต่อ	12
D0H-12FH	ขณะนี้เครื่องที่ท่านต้องการติดต่ออยู่นอกระบบ กรุณาฝากข้อความที่ท่านต้องการกับระบบฝากข้อความภายในบ้านหลังจากได้ยินเสียงนี้ !!	14.5
130H-15FH	กรุณาฝากข้อความที่ท่านต้องการภายใน 20 วินาทีหลังจากได้ยินเสียงนี้	7.2
160H-16FH	กรุณาครหัสผ่าน	2.4
170H-17FH	ถูกต้อง	2.4
190H-19FH	ไม่ถูกต้อง	2.4
1A0H-1BFH	ขณะนี้ข้อความถึงท่านจำนวน	4.8
1C0H-1CFH	ข้อความ	2.4
1D0H-1DFH	ข้อความที่	2.4
1E0H-22FH	เลข 0 – เลข 4	2.4 x 5
230H-250H	ไม่มีข้อความใน Voice Mail	4.8

3.4 การถอดรหัสความถี่โทรศัพท์



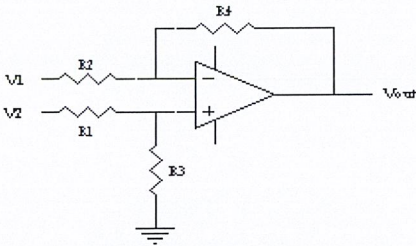
รูปที่ 3.4 แสดงวงจรถอดรหัส DTMF

ในส่วนของการถอดรหัสความถี่โทรศัพท์ DTMF นั้น เราได้ใช้อิซอครหัสความถี่ DTMF เบอร์ MT8870 มาใช้ในการถอดรหัสเนื่องจากใช้งานง่าย และกินไฟน้อย ซึ่งขา Q1-Q4 ซึ่งเป็นขา เอาท์พุทนั้นจะถูกเชื่อมต่อกับไมโครคอนโทรลเลอร์ตัวหลัก (AT89S8252) และอีกขาหนึ่งคือ ขา sT ซึ่งเป็นขาที่จะให้เอาท์พุทเป็นพัลส์บวกเมื่อมีการกดคีย์โทรศัพท์ ซึ่งขานี้จะถูกต่อกับไมโครคอนโทรลเลอร์ด้วย

ตารางที่ 3.2 แสดงค่าที่ถอดรหัสได้จากความถี่ DTMF

F _{LOW}	F _{HIGH}	NO	Q4	Q3	Q2	Q1
697	1209	1	0	0	0	1
697	1336	2	0	0	1	0
697	1477	3	0	0	1	1
770	1209	4	0	1	0	0
770	1336	5	0	1	0	1
770	1477	6	0	1	1	0
852	1209	7	0	1	1	1
852	1336	8	1	0	0	0
852	1477	9	1	0	0	1
941	1336	0	1	0	1	0

3.6 การออกแบบวงจรขยายผลต่าง



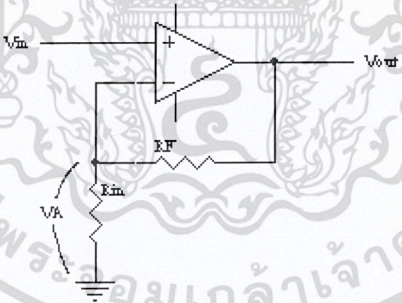
รูปที่ 3.6 วงจรขยายผลต่าง

ในการออกแบบวงจรขยายผลต่างเราต้องการได้อัตราขยายผลต่างประมาณ 5 เท่าจึงทำการกำหนดค่าตัวต้านทานในวงจรได้ดังนี้คือ R1= 10K , R2=10K, R3=50K, R4=50K

ลองแทนค่าลงในสมการ

$$V_o = \frac{R_3}{R_1 + R_3} \left(\frac{R_2 + R_4}{R_2} \right) V_1 - \frac{R_4}{R_2} V_2$$
$$V_o = \frac{50k}{10k + 50k} \left(\frac{10k + 50k}{10k} \right) V_1 - \frac{50k}{10k} V_2$$
$$V_o = 5 V_1 - 5 V_2 = 5(V_1 - V_2)$$

3.7 การออกแบบวงจรขยายไม่กลับเฟส



รูปที่ 3.7 วงจรขยายไม่กลับเฟส

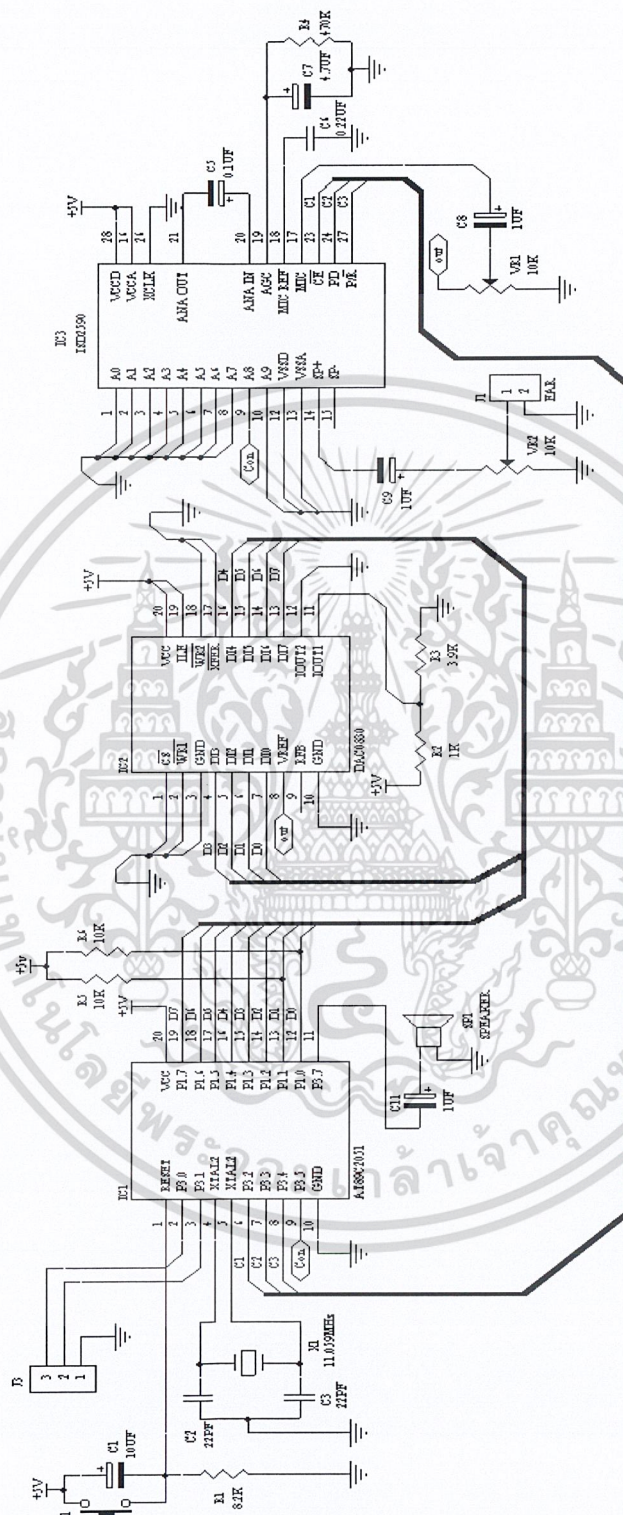
ในการออกแบบวงจรขยายที่มีสัญญาณอ้างอิงกับกราวด์เราจะใช้วงจรขยายไม่กลับเฟสที่ใช้โอปแอมป์ โดยเราจะให้มีการขยาย 2 เท่าซึ่งอีกหน้าที่หนึ่งของวงจรนี้คือเป็นบัฟเฟอร์อีกด้วย โดยเรากำหนดให้ RF = Rin = 10k แล้วลองแทนค่าลงในสมการ

$$V_{out} = \left(\frac{R_F}{R_{in}} + 1 \right) V_{in}$$
$$V_{out} = \left(\frac{10k}{10k} + 1 \right) V_{in}$$

ดังนั้น

$$V_{out} = 2 V_{in}$$

3.8 การออกแบบวงจรแปลงข้อมูลอนุกรมเป็นข้อมูลขนานและวงจรแปลงข้อมูลขนานเป็นสัญญาณอนาล็อก

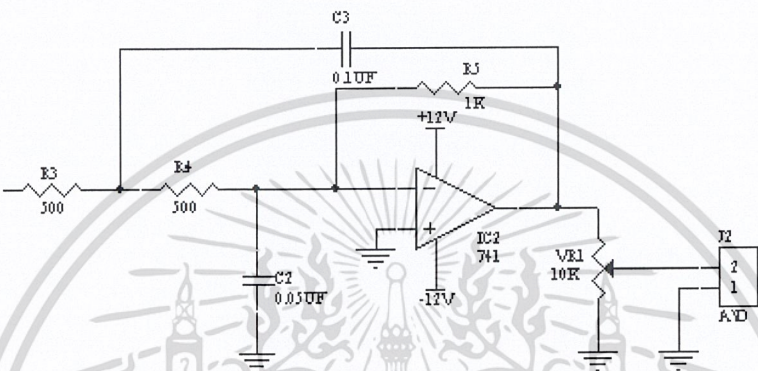


รูปที่ 3.8 วงจรแปลงข้อมูลอนุกรมเป็นข้อมูลขนานและวงจรแปลงข้อมูลขนานเป็นสัญญาณอนาล็อก

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ในการออกแบบวงจรดังกล่าว มี 3 ส่วนคือส่วนแรกเป็นวงจรรับสัญญาณข้อมูลอนุกรมเพื่อนำไปแปลงเป็นสัญญาณข้อมูลขนาน 8 บิต ในส่วนนี้จะใช้ไอซี เบอร์ AT89C2051 ข้อมูลที่ได้จะถูกส่งต่อไปยังวงจรแปลงสัญญาณข้อมูลขนาน 8 บิตเป็นสัญญาณอนาล็อก (สัญญาณเสียง) ซึ่งจะใช้อิซีเบอร์ DAC0830 สัญญาณเสียงที่ได้จะส่งไปยังภาคการบันทึกเสียงโดยไอซีบันทึกเสียง IDS2590

3.9 การออกแบบวงจรกรองความถี่ต่ำ (Low Pass Filter)



รูปที่ 3.9 วงจรกรองความถี่ต่ำ

การออกแบบวงจรกรองความถี่ต่ำที่ถูกปรับปรุงให้มีความชันถึง -40 dB/decade โดยมีตัวเก็บประจุและค่าความต้านทานเป็นไปตามรูปวงจรข้างต้น และความถี่คutoffคำนวณได้จากสมการ

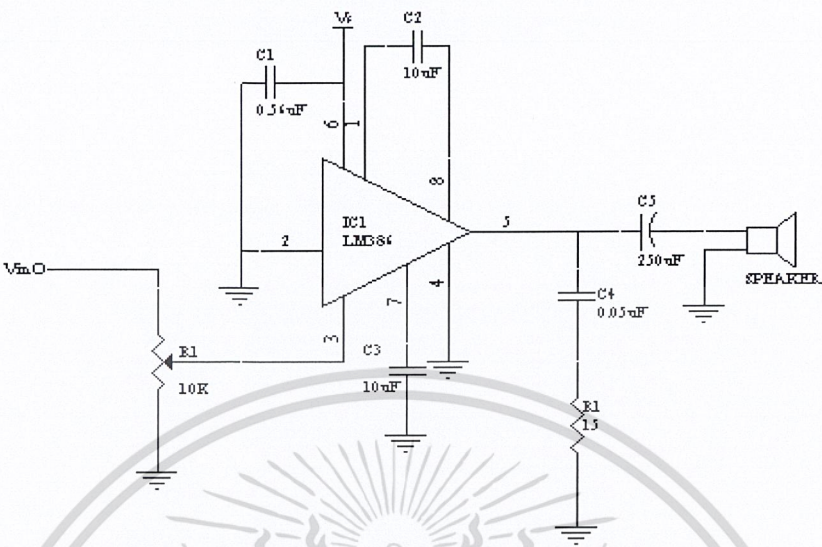
$$f_c \approx \frac{1}{2\pi\sqrt{R_1R_2C_1C_2}}$$

โดยที่ R1=R2=500 โอห์ม, C1=0.05uF และ C2 = 0.1uF

ดังนั้นค่าความถี่คutoffมีค่าเท่ากับ

$$f_c \approx \frac{1}{2\pi\sqrt{(500 * 500 * 0.05 * 10^{-6} * 0.1 * 10^{-6})}}$$
$$\approx 4.501 \text{ KHz}$$

3.10 การออกแบบวงจรขยายเสียง



รูปที่ 3.10 วงจรขยายเสียง

ในการออกแบบวงจรขยายเสียงจะใช้โอปแอมป์ LM386 ต่อร่วมกับตัวต้านทานและตัวเก็บประจุ ซึ่งเป็นวงจรขยายแบบไม่กลับเฟส (Non -Inverting Amplifier) ในวงจรนี้จะใช้ในการขยายสัญญาณที่มาจากวงจรแปลงข้อมูลดิจิทัลเป็นอนาล็อก (D/A Convertor) ซึ่งอยู่ในภาครับ (Receiver)

บทที่ 4

การทดลองและผลการทดลอง

4.1 การทดลองวงจรแปลงสัญญาณอนาล็อกไปเป็นดิจิตอล

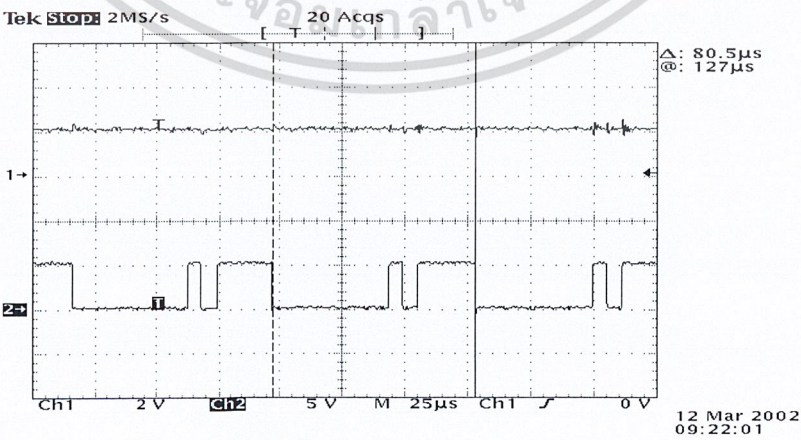
4.1.1 ทำการป้อนแรงดันค่าต่างๆกันที่อินพุทของไอซี ADC0804 แล้วทำการบันทึกผลที่ขาเอาต์พุท แล้วได้ผลดังต่อไปนี้

ตารางที่ 4.1 แสดงค่าที่วัดได้จากเอาต์พุทของไอซี A/D ที่แรงดันอินพุทค่าต่างๆ

แรงดันที่อินพุท (V)	เอาต์พุท
0.0 V	00000000
0.5 V	00100000
1.0V	01000000
1.5V	01100000
2.0V	10000000
2.5V	10100000
3.0V	10111111
3.5V	11011111
4.0V	11111111

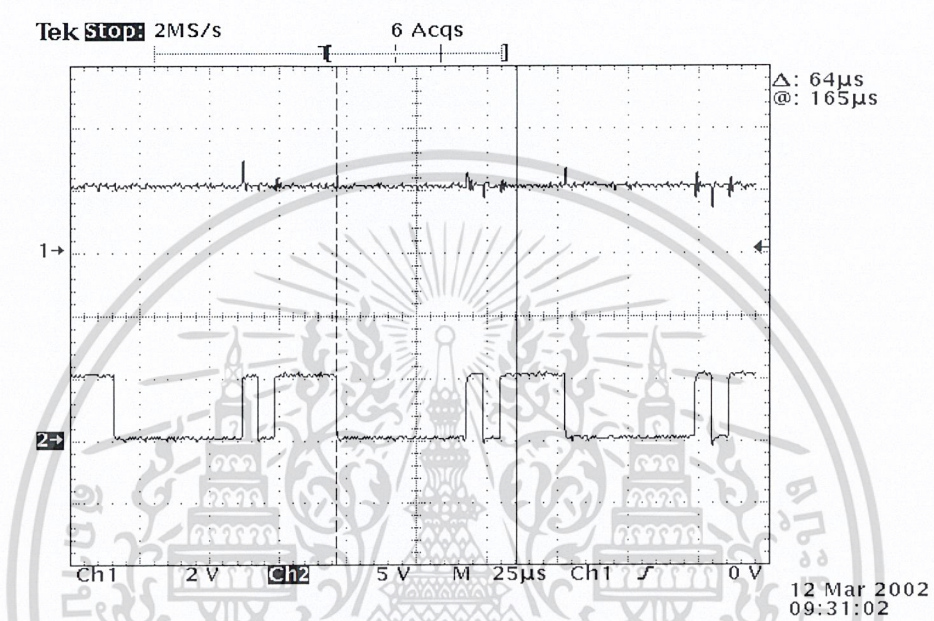
4.2 ทดลองเปลี่ยนข้อมูลนานเป็นอนุกรม

4.2.1 ทำการต่อขาเอาต์พุทของไอซีแปลงสัญญาณอนาล็อกเป็นดิจิตอลเข้ากับไมโครคอนโทรลเลอร์ แล้วทำการป้อนแรงดันเข้าที่อินพุทของไอซี A/D ประมาณ 2 V เพื่อให้ได้เอาต์พุทเป็น 80H และทำการวัดสัญญาณที่ขา TX ของไมโครคอนโทรลเลอร์



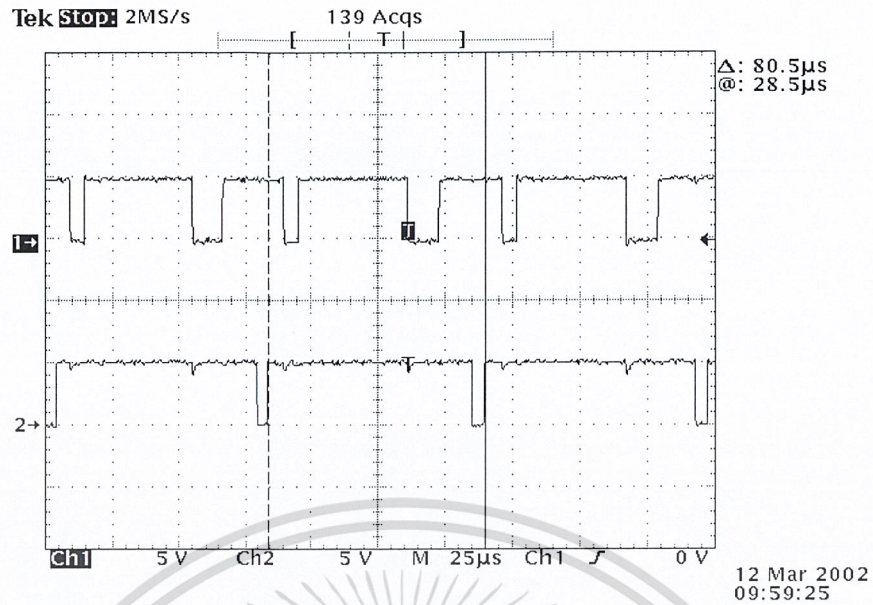
รูปที่4.1 แสดงสัญญาณอินพุทของไอซี A/D และขา TX ของไมโครคอนโทรลเลอร์โดยมีการวัดรอบการทำงานของไอซี A/D ด้วย

จากรูปที่ 4.1 เป็นรูปสัญญาณอินพุตของไอซีแปลงสัญญาณอนาล็อกเป็นดิจิตอลที่มีค่าแรงดันประมาณ 2 V (รูปสัญญาณบน) และสัญญาณที่ขา TX ของไมโครคอนโทรลเลอร์ (รูปสัญญาณล่าง) โดยจากการทดลอง ได้ทำการวัดระยะเวลาการทำงานของไอซีแปลงสัญญาณอนาล็อกเป็นดิจิตอลในแต่ละครั้งด้วย ซึ่งมีระยะเวลาการทำงานแต่ละรอบมีค่าเป็น 80 ไมโครวินาที ซึ่งจากการออกแบบได้กำหนดรอบการทำงานเป็น 120 ไมโครวินาที



รูปที่ 4.2 แสดงสัญญาณอินพุตของไอซี A/D และขา TX ของไมโครคอนโทรลเลอร์ โดยมีการวัดคาบเวลาของการส่งข้อมูลการส่งข้อมูลอนุกรม 11 บิต

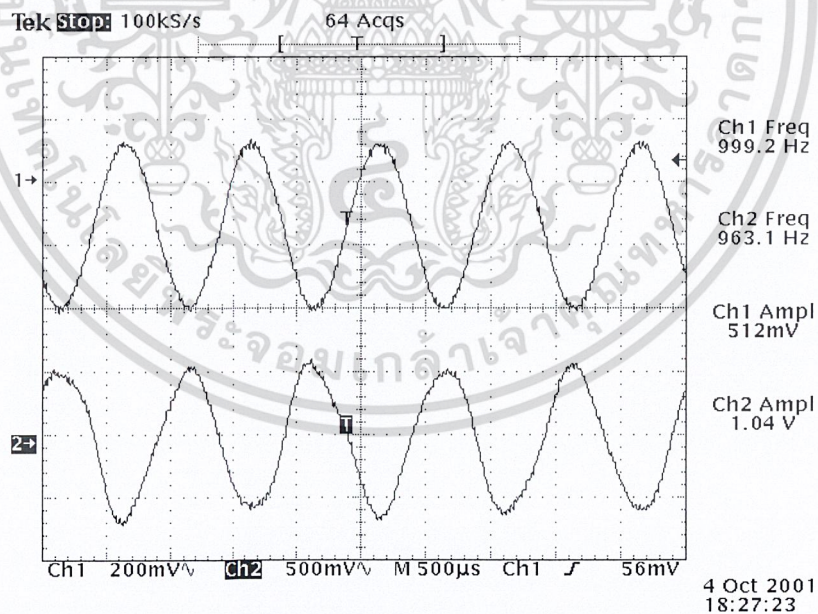
จากรูปที่ 4.2 จะเหมือนกับรูปที่ 4.1 ก็เป็นรูปสัญญาณอินพุตของไอซีแปลงสัญญาณอนาล็อกเป็นดิจิตอลที่มีค่าแรงดันประมาณ 2 V (รูปสัญญาณบน) และสัญญาณที่ขา TX ของไมโครคอนโทรลเลอร์ (รูปสัญญาณล่าง)แต่ได้มีการวัดคาบเวลาของการส่งข้อมูลอนุกรม 11 บิตด้วย ซึ่งจากการทดลองได้ทำการวัดได้คาบเวลาเท่ากับ 64 ไมโครวินาที ซึ่งจากการคำนวณเราได้คาบเวลาเท่ากับ 64 ไมโครวินาที ซึ่งค่าที่ได้จากการทดลองกับค่าที่คำนวณจะมีค่าใกล้เคียงกัน



รูปที่ 4.3 แสดงการเปรียบเทียบข้อมูลอนุกรม (7FH) กับพัลส์ที่ทำหน้าที่ควบคุมการทำงานของ A/D

4.3 การทดลองการบันทึกเสียง

4.3.1 ทำการป้อนสัญญาณรูปไซน์ ขนาดแอมพลิจูดขนาด 500 mV P-P ความถี่ 1 kHz เข้าที่ขา mic ของไอซีบันทึกเสียงแล้วทำการบันทึกเสียงแล้วจากนั้นค่อยเล่นกลับแล้วทำการวัดสัญญาณที่ขา Sp+ และ Sp- ของไอซีบันทึกเสียง



รูปที่ 4.4 แสดงสัญญาณอินพุตกับเอาต์พุตของไอซีบันทึกเสียง

จากรูปที่ 4.4 เป็นรูปแสดงสัญญาณอินพุตที่เข้าไอซีบันทึกเสียง (รูปสัญญาณบน) ซึ่งเป็นสัญญาณ รูปไซน์ แอมพลิจูด 500 mV ความถี่ 1kHz และสัญญาณเอาต์พุตที่ออกจากไอซีบันทึกเสียง(รูปสัญญาณล่าง) ซึ่งจากการทดลอง เอาต์พุตที่ได้จากไอซีบันทึกเสียงนั้นจะค่อนข้างมีลักษณะเหมือนกับ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สัญญาณอินพุตที่ป้อนเข้ามาแต่ถ้าเราลองป้อนสัญญาณที่มีความถี่สูงมากๆ สัญญาณที่ออกจากไอซีบันทึกเสียงจะค่อนข้างผิดเพี้ยน

4.4 การทดลองการถอดรหัสความถี่โทรศัพท์ (DTMF)

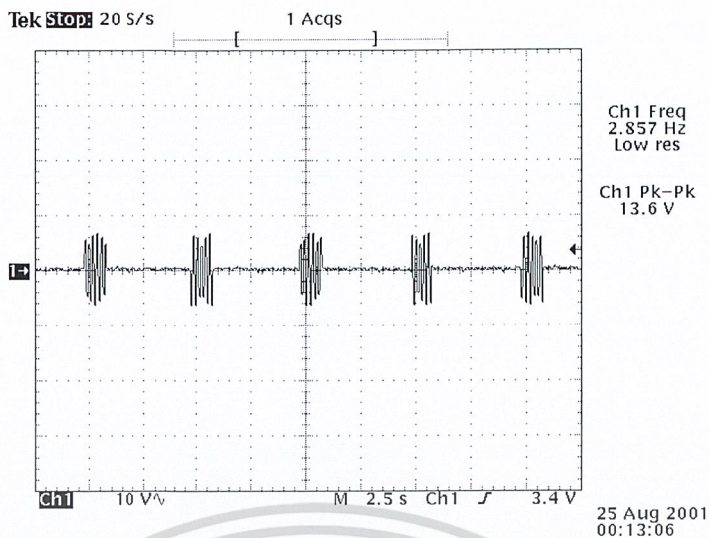
4.4.1 ทำการต่อสัญญาณอินพุตของไอซีถอดรหัสความถี่โทรศัพท์ (MT8870) เข้ากับคู่สายโทรศัพท์แล้วทำการกดคีย์โทรศัพท์ปุ่มต่างๆ หลังจากนั้นทำการบันทึกค่าเอาต์พุตที่ได้จากการกด

ตารางที่ 4.2 แสดงค่าเอาต์พุตที่ได้จากการกดคีย์โทรศัพท์

ปุ่มที่กด	เอาต์พุตที่ได้
1	0001
2	0010
3	0011
4	0100
5	0101
6	0110
7	0111
8	1000
9	1001
0	1010
*	1011
#	1100

4.5 การทดลองวงจร Ringing และตรวจจับการยกหู

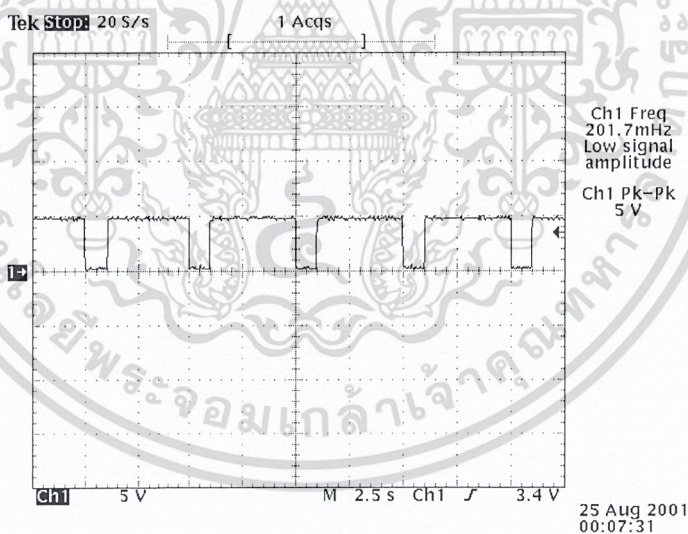
4.5.1 ทำการโทรศัพท์จากภายนอกเพื่อวัดสัญญาณ Ringing จากคู่สายโทรศัพท์



รูปที่ 4.5 แสดงสัญญาณ Ringing

จากรูปที่ 4.5 เป็นรูปสัญญาณ Ringing ซึ่งจากการทดลองได้ทำการตั้งสายโพรบไว้ที่ $\times 10$ และวัดแอมพลิจูดของสัญญาณ Ringing ได้ประมาณ 130 V p-p และสัญญาณ Ringing นี้จะขึ้นอยู่กับแรงดันไฟตรงและมีลักษณะการติดเป็น 1 วินาทีและดับ 4 วินาที

4.5.2 ทำการวัดสัญญาณที่ขาเอาต์พุตของวงจรตรวจจับสัญญาณ Ringing



รูปที่ 4.6 แสดงสัญญาณเอาต์พุตจากวงจรตรวจจับสัญญาณ Ringing

จากรูปที่ 4.6 เป็นรูปสัญญาณเอาต์พุตที่ได้จากวงจรตรวจจับสัญญาณ Ringing ซึ่งจากการทดลองพบว่าในขณะที่มีสัญญาณ Ringing แรงดันที่เอาต์พุตจะเป็น 0 V และตอนที่ไม่มีสัญญาณ Ringing จะมีแรงดันเอาต์พุตเป็น 5 V ซึ่งอัตราการติดดับของสัญญาณเอาต์พุตจะตรงกันข้ามกับสัญญาณ Ringing ที่เข้ามาคือจะเป็นแรงดัน 0 V นาน 1 วินาที และแรงดัน 5 V นาน 4 วินาที

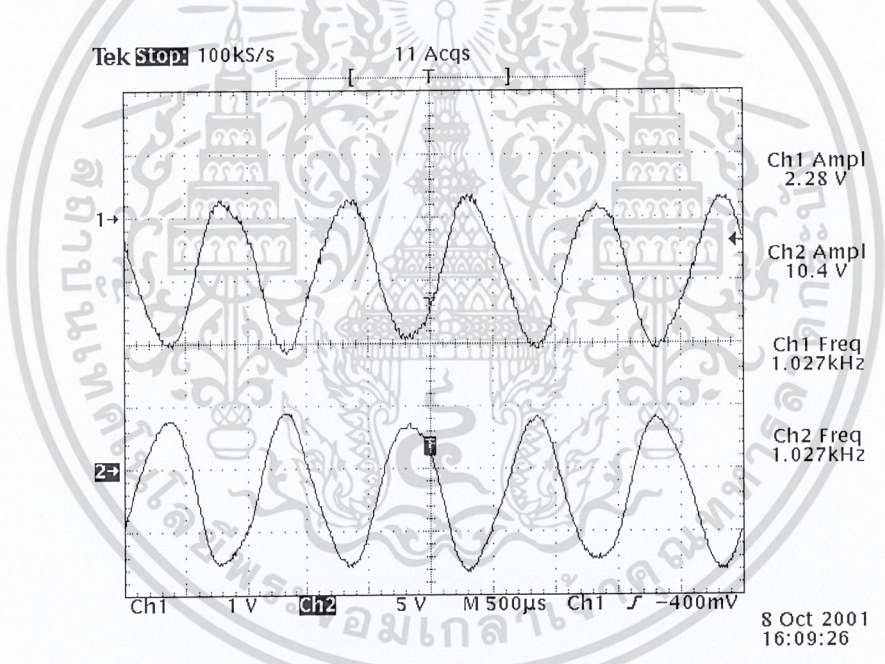
4.6 ทำการวัดแรงดันที่ตู้สายโทรศัพท์ และแรงดันเอาต์พุตของวงจรจذبการวางหูในขณะที่ทำการยกหูและวางหูโทรศัพท์

ตารางที่ 4.3 แสดงค่าแรงดันสถานะของโทรศัพท์

สถานะของโทรศัพท์	แรงดันของคู่สายโทรศัพท์	แรงดันเอาต์พุตของวงจร
ยกหู	7 V	0 V
วางหู	25 V	5 V

4.7 การทดลองวงจรขยายผลต่าง

4.7.1 ทำการป้อนสัญญาณไซน์ ที่ออกจากไอซีบันทึกลเสียงเข้ากับอินพุตของวงจรขยายผลต่าง แล้วทำการวัดสัญญาณเอาต์พุตที่ได้

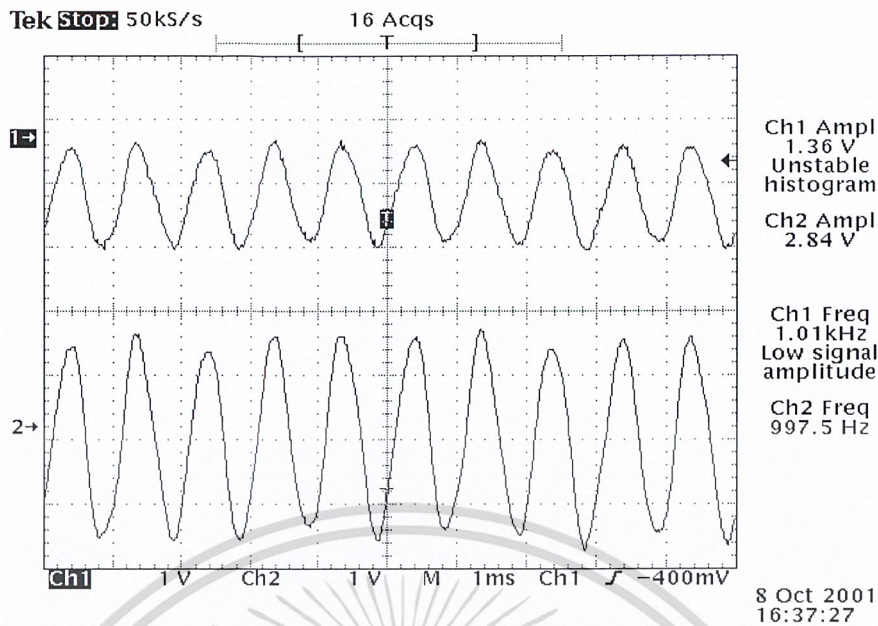


รูปที่ 4.7 แสดงสัญญาณอินพุตและเอาต์พุตของวงจรขยายผลต่าง

จากรูปที่ 4.7 เป็นการเปรียบเทียบระหว่างสัญญาณอินพุตซึ่งเกิดจากเอาต์พุตของไอซีบันทึกลเสียง (รูปสัญญาณบน) ซึ่งเป็นสัญญาณไซน์ที่มีขนาด 2.28 V p-p และมีความถี่ 1 kHz ที่เข้าวงจรขยายผลต่าง และสัญญาณเอาต์พุตที่ออกจากวงจรขยายผลต่าง (สัญญาณล่าง) ซึ่งจากการทดลองจะได้รูปสัญญาณไซน์ที่มีขนาด 10.4 V p-p ความถี่ 1 kHz ซึ่งพบว่าวงจรจะมีอัตราขยายประมาณ 5 เท่าตามที่ได้ออกแบบไว้

4.8 การทดลองวงจรขยายแรงดันโดยใช้โอปแอมป์

4.8.1 ทำการป้อนสัญญาณไซน์ ที่ออกจากไอซีบันทึกลเสียงเข้ากับอินพุตของวงจรขยายผลต่าง แล้วทำการวัดสัญญาณเอาต์พุตที่ได้



รูปที่ 4.8 แสดงรูปสัญญาณที่ออกจากไอซีบันทึกละเอียดและเอาต์พุตที่ได้จากวงจรขยาย

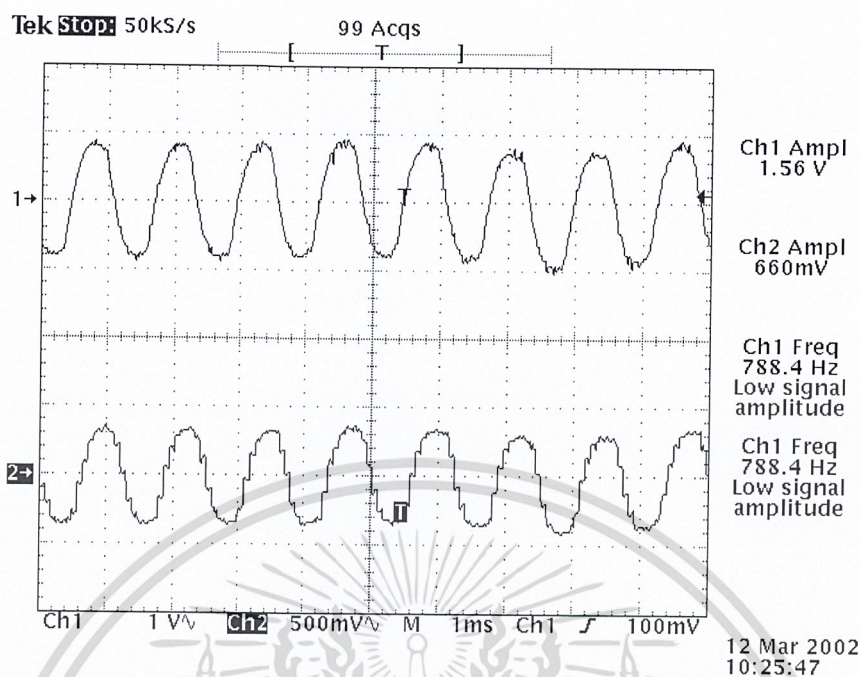
จากรูปที่ 4.8 เป็นการเปรียบเทียบระหว่างสัญญาณอินพุตซึ่งเกิดจากเอาต์พุตของไอซีบันทึกละเอียด (รูปสัญญาณบน) ซึ่งเป็นสัญญาณไซน์ที่มีขนาด 1.36 V p-p และมีควมถี่ 1 kHz ที่เข้าวงจรขยายไม่กลับเฟส และสัญญาณเอาต์พุตที่ออกจากวงจร (สัญญาณล่าง) ซึ่งจากการทดลองจะได้รูปสัญญาณไซน์ ที่มีขนาด 2.8 V p-p ความถี่ 1 kHz ซึ่งพบว่าวงจรจะมีอัตราขยายประมาณ 2 เท่าตามที่ได้ออกแบบไว้

4.9 การทดลองวงจรแปลงข้อมูลดิจิตอลเป็นสัญญาณอนาล็อก

4.9.1 ทำการป้อนสัญญาณดิจิตอลค่าต่างๆ เข้าที่ไอซี DAC0830 แล้วทำการบันทึกผลได้ค่าดังต่อไปนี้

ตารางที่ 4.4 แสดงค่าแรงดันที่วัดได้จากเอาต์พุตของไอซี DAC0830

สัญญาณดิจิตอล	แรงดันเอาต์พุต (V)
00000000	0
00100000	0.5
01000000	1.0
01100000	1.5
10000000	2.0
10100000	2.5
10111111	3.0
11011111	3.5
11111111	4.0



รูปที่ 4.9 แสดงการเปรียบเทียบรูปสัญญาณอินพุตและรูปสัญญาณเอาต์พุตของกระบวนการแปลงสัญญาณอนาล็อกเป็นดิจิทัลและแปลงจากสัญญาณดิจิทัลเป็นสัญญาณอนาล็อก

จากรูปที่ 4.9 เป็นการเปรียบเทียบรูปสัญญาณอินพุตและรูปสัญญาณเอาต์พุตของกระบวนการแปลงสัญญาณอนาล็อกเป็นดิจิทัลและแปลงจากสัญญาณดิจิทัลเป็นสัญญาณอนาล็อก ซึ่งจะเห็นว่าสัญญาณที่ป้อนเข้าที่อินพุตที่ ADC0804 เป็นรูปไซน์และสัญญาณเอาต์พุตที่ได้จะเป็นรูปไซน์ที่มีความผิดเพี้ยนบ้างแต่ยังสามารถยอมรับได้

4.10 การทดลองวงจรกรองความถี่ต่ำ (Low Pass Filter)

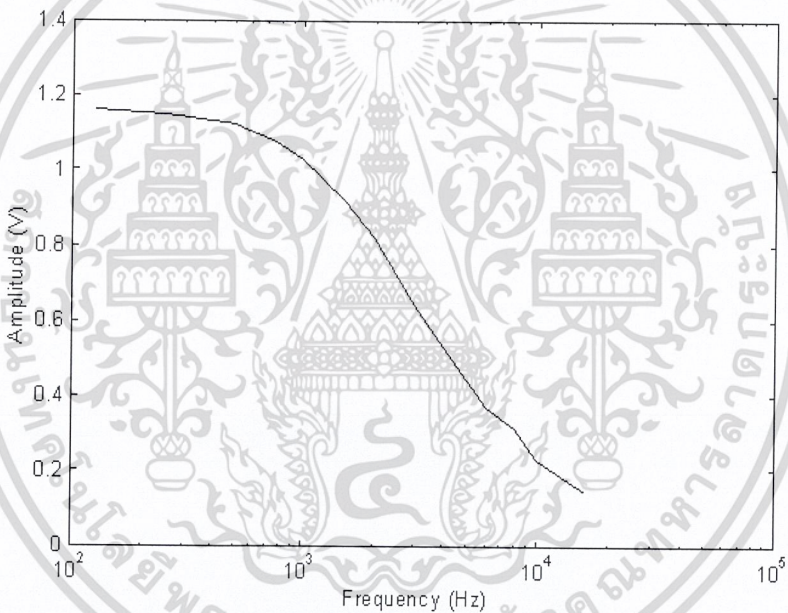
4.10.1 ทำการป้อนสัญญาณ ไซน์ที่มีค่าแอมพลิจูดคงที่ จากนั้นเปลี่ยนค่าความถี่จาก 125 Hz เพิ่มขึ้นเรื่อยๆ ทำการวัดค่าแรงดันเอาต์พุตที่ความถี่ค่าต่างๆกัน

4.10.2 นำค่าแรงดันที่ได้ไปพล็อตกราฟการตอบสนองความถี่

ตารางที่ 4.5 ตารางแสดงค่าการตอบสนองความถี่ของวงจรกรองความถี่ต่ำ

ความถี่ (Hz)	ค่าแรงดัน (V)
125	1.16
250	1.15
500	1.12
750	1.08
1000	1.03
1500	0.9

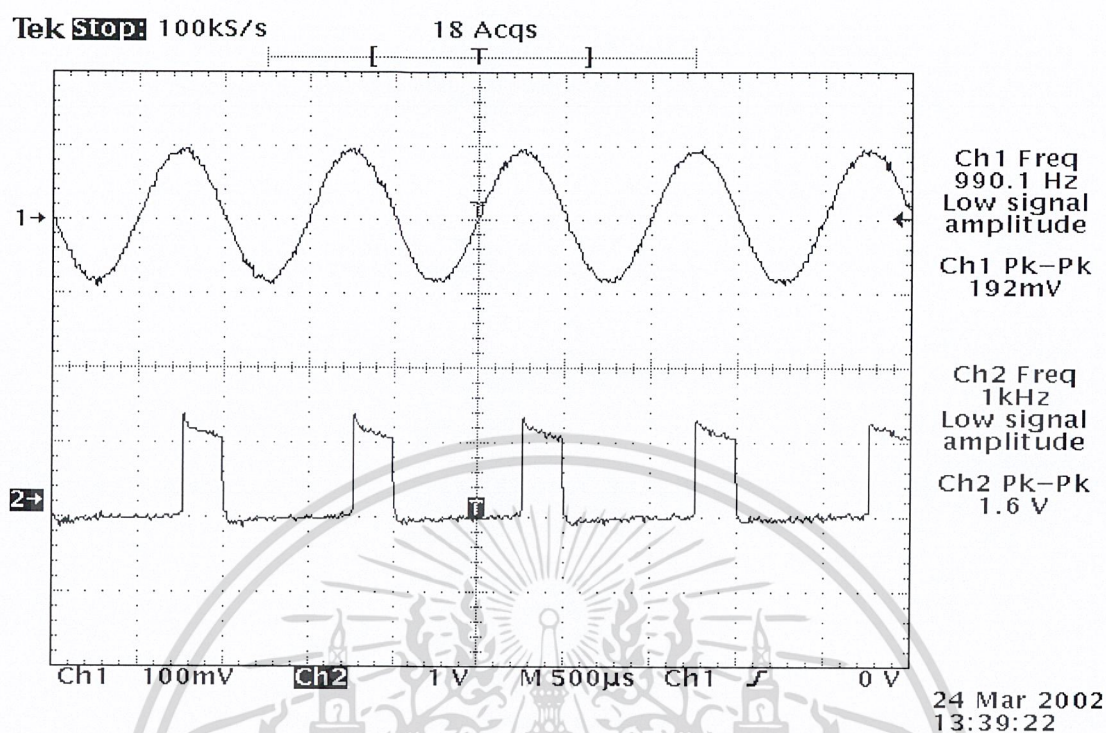
ความถี่ (Hz)	ค่าแรงดัน (V)
2000	0.82
3000	0.64
4000	0.53
6000	0.37
8000	0.312
10000	0.23
16000	0.144



รูปที่ 4.10 แสดงค่าความสัมพันธ์ระหว่างความถี่และค่าแรงดันของวงจรความถี่ต่ำ

4.10 การทดลองวงจรขยาย (Amplifier)

4.10.1 นำสัญญาณไซน์ความถี่ 1 KHz ขนาด ประมาณ 200 mVp-p ป้อนที่อินพุตที่ขา 3 ของออปแอมป์ จากนั้นทำการวัดรูปสัญญาณที่ได้ก่อนออกลำโพง จะได้รูปสัญญาณเป็นคล้ายรูปคลื่นสี่เหลี่ยม และมีการขยายจาก 200 mVp-p เป็น 1.6 Vp-p ซึ่งจะมีการขยายประมาณ 80 เท่า ดังรูปที่ 4.11



รูปที่ 4.11 แสดงผลการทดลองวงจรขยาย

บทที่ 5
บทวิจารณ์และบทสรุป

ในการออกแบบโครงงานนี้เป็นเครื่องที่สามารถนำข้อความเสียงที่ฝากไว้กับระบบฝากข้อความไว้ที่บ้านไปยังเครื่องรับของเครื่องลูกข่ายได้ โดยการนำข้อความส่งผ่านทางคลื่นวิทยุ และในกรณีที่เครื่องลูกข่ายอยู่นอกระบบ ผู้ที่ถือเครื่องลูกข่ายต้องโทรศัพท์เข้ามาบอกเครื่องแม่ข่ายก่อนที่จะออกนอกพื้นที่ที่เครื่องแม่ข่ายสามารถให้บริการ เพื่อที่จะทำให้ ข้อความถูกเก็บไว้ที่เครื่องฝากข้อความภายในบ้านแทน และคนที่ถือเครื่องลูกข่ายสามารถใช้โทรศัพท์ระบบใดๆ ก็ได้โทรเข้ามาเช็คข้อความที่บ้านได้ โดยต้องป้อนรหัสผ่านเข้าสู่ระบบก่อน โดยถ้ามีคนฝากข้อความไว้เครื่องแม่ข่ายจะนำข้อความที่เก็บไว้แจ้งให้บุคคลภายในบ้านที่โทรศัพท์เข้ามาได้รับทราบทันที

จากการทำโครงงานนี้ สามารถสร้างระบบมีความสามารถตามการออกแบบข้างต้นดังที่ได้กล่าวมาแล้ว แต่เนื่องจากระบบทั้งในด้านฮาร์ดแวร์และซอฟต์แวร์มีความซับซ้อนและมีปัญหาในทุกขั้นตอนมาก และเวลาที่จำกัดโครงงานนี้จึงไม่ได้ทำวงจรในส่วนของการรับส่งคลื่นวิทยุ เพราะในการทดลองวงจรภาคต่างๆ ให้สามารถทำงานร่วมกันได้ มีปัญหาในการทดลองหลายครั้ง ซึ่งถ้ามีวงจรส่วนใดที่ไม่สามารถทำงานได้ตามต้องการ จะต้องกลับไปแก้ปัญหาลองตรวจสอบตั้งแต่ต้น ซึ่งใช้เวลากับตรงนี้เป็นส่วนใหญ่

ดังนั้นวงจรในส่วนหลักๆ คือเครื่องแม่ข่ายและลูกข่ายจึงทำการทดลองโดยต่อสายตรงเข้าด้วยกัน จากภาคการแปลงข้อมูลเป็นอนุกรมของเครื่องแม่ข่ายไปยังภาคการแปลงข้อมูลอนุกรมเป็นขนานและทดลองฝากข้อความ ซึ่งระบบสามารถทำงานได้ตามที่ออกแบบไว้ สำหรับปัญหาที่พบอื่นๆ ดังนี้

จากการทดลองของวงจรแปลงสัญญาณอนาล็อกเป็นดิจิตอลนั้นจะมีปัญหาเนื่องจากการทำงานไม่คงที่เช่นจากการทดลองโดยป้อนสัญญาณแรงดันขนาด 2 V แล้วจะได้เอาต์พุตที่มีค่าไม่คงที่คือเปลี่ยนแปลงระหว่าง 7EH – 80H ซึ่งสาเหตุอาจจะเกิดจากแรงดันไฟตรงไม่คงที่หรือไม่วางวงจรแปลงสัญญาณไม่เสถียรภาพ

ส่วนการทดลองของวงจรภาคการบันทึกเสียงที่ตัวเครื่องแม่ข่ายนั้น ถ้าเราใช้ความถี่ในการบันทึกเสียงไม่สูงเกิน 4 กิโลเฮิร์ต สัญญาณที่ออกจากวงจรจะค่อนข้างเหมือนกับสัญญาณอินพุตที่ป้อนเข้าไป แต่ถ้าหากสัญญาณที่ป้อนเข้าไปมีความถี่สูงเกิน 4 กิโลเฮิร์ต จะทำให้สัญญาณที่ออกมาเกิดความผิดเพี้ยนขึ้น และสิ่งที่ได้จากการทดลองอีกอย่างคือถ้าแบ่งแอดเดรสการบันทึกเสียงไม่เหมาะสมอาจทำให้เกิดการซ้อนทับสัญญาณเสียงได้

ในส่วนของการตรวจสอบจับสัญญาณ Ringing นั้นถ้าใช้ค่าความต้านทานพูลอัพ (pull up) ต่ำเกินไป จะทำให้ไม่สามารถตรวจสอบสัญญาณ Ringing ได้คือค่าแรงดันเอาต์พุตของวงจรจะไม่ยอมตกลงที่ 0V และในการตรวจสอบการวางหุ่นนี้ปัญหาที่เกิดขึ้นคือแรงดันของคู่สายโทรศัพท์แต่ละแห่งจะไม่เท่ากันจึงต้องออกแบบให้วงจรสามารถทำงานได้ทุกที่

ในส่วนของการแปลงสัญญาณอนาล็อกเป็นดิจิตอลนั้น ในการออกแบบได้กำหนดการสุ่มตัวอย่างเท่ากับ 120 ไมโครวินาที แต่ไอซีแปลงสัญญาณอนาล็อกเป็นดิจิตอล (ADC0804) ตามคุณสมบัติเวลา

เอกสารนี้เป็นเอกสารที่สงวนลิขสิทธิ์ไว้เพื่อใช้ในการศึกษาเท่านั้น ไม่สามารถนำเอกสารนี้ไปเผยแพร่หรือใช้โดยไม่ได้รับอนุญาต
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้คัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

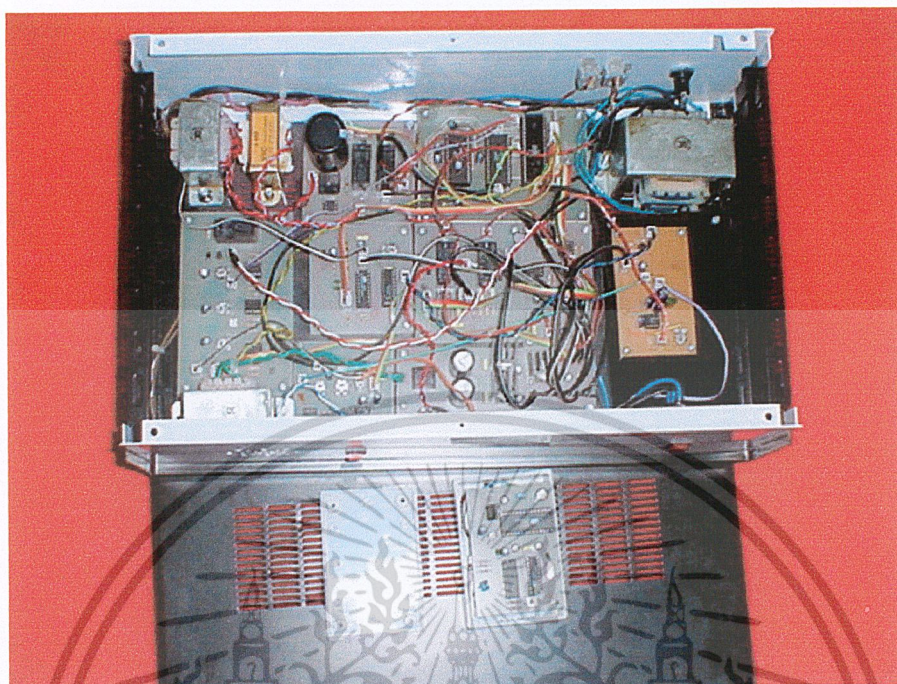
รอบการทำงานเป็น 120 ไมโครวินาที แต่ในการทดลองนั้นต้องใช้เวลารอบการทำงานถึง 170 ไมโครวินาที ในการใช้งานจริงจึงได้เปลี่ยนแปลงเป็นไอซีเบอร์ ADC0841 แทนเนื่องจากไอซีแปลงสัญญาณอนาล็อกเป็นสัญญาณดิจิทัลเบอร์นี้สามารถกำหนดรอบการทำงานที่ 120 ไมโครวินาที ได้ แต่เมื่อทดลองใช้ในการสุ่มตัวอย่างเสียงแล้ว สัญญาณที่ได้ผิดเพี้ยนไป จึงทำการเปลี่ยนแปลงรอบการทำงานของไอซี A/D เป็น 80 ไมโครวินาที หรือ 12.5 MHz แทน ซึ่งสัญญาณที่ได้ค่อนข้างเหมือนกับสัญญาณอินพุตที่ป้อนให้

สำหรับแนวทางในการพัฒนาให้โครงงานนี้มีความสามารถที่สมบูรณ์คือการสร้างในส่วนการรับส่งคลื่นวิทยุ โดยการนำข้อมูลอนุกรมแบบดิจิทัลที่ออกจากเครื่องแม่ข่ายนำไปมอดูเลทกับความถี่พาห์เพื่อส่งออกอากาศ จากนั้นทางด้านเครื่องรับสร้างวงจรการดีเทคสัญญาณแยกข้อมูลแบบดิจิทัล เพื่อส่งไปยังภาคการแปลงข้อมูลดิจิทัลเป็นสัญญาณเสียงต่อไป

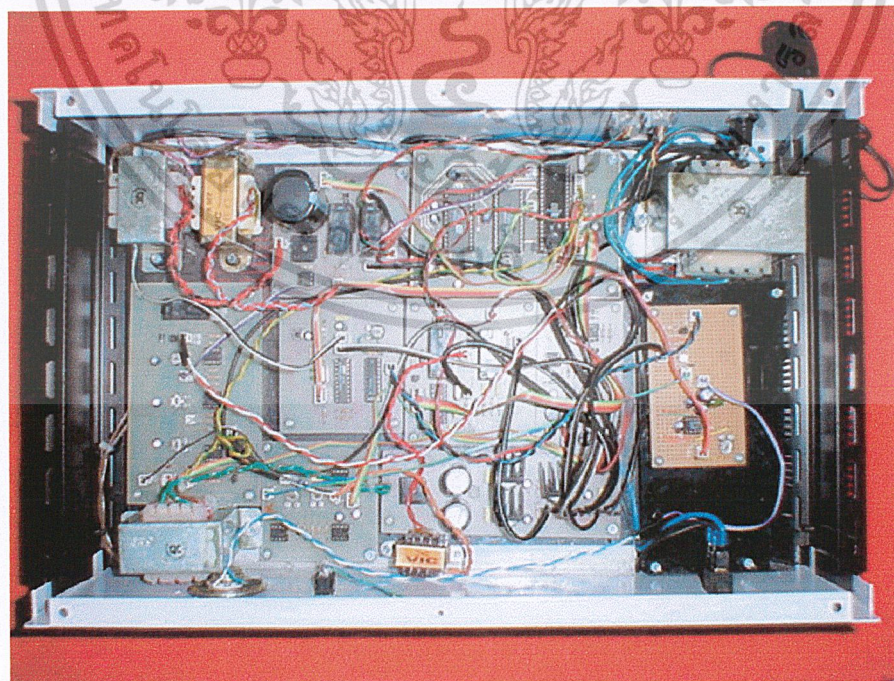




เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

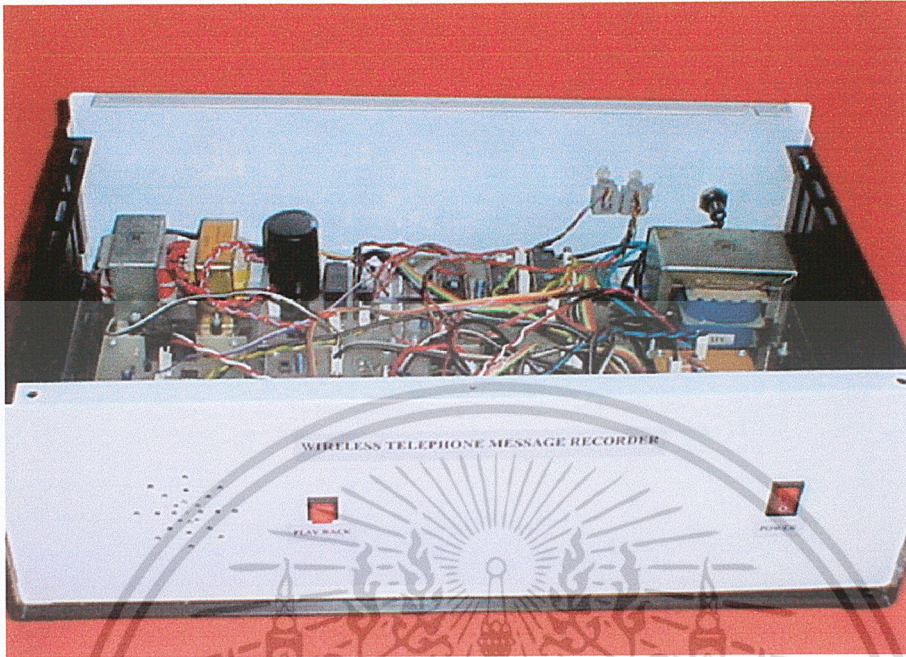


รูปถ่ายด้านบนของเครื่องแม่ข่ายและตัวลูกข่าย



รูปถ่ายด้านบนของตัวเครื่อง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปถ่ายด้านหน้าของตัวเครื่อง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

#####PROGRAM CONTROL SYSTEM MCS51#####

```

IC_ADDR:    EQU    080H ; P0
RELAY1:     EQU    0A0H ; P2.0
RELAY2:     EQU    0A1H ; P2.1
AMP:        EQU    0B4H ; P3.4
MUSIC:      EQU    0B5H ; P3.5
P_R1:       EQU    0A2H ; P2.2
PD1:        EQU    0A3H ; P2.3
CE1:        EQU    0A4H ; P2.4
P_R2:       EQU    0A5H ; P2.5
PD2:        EQU    0A6H ; P2.6
CE2:        EQU    0A7H ; P2.7
STD:        EQU    094H ; P1.4
BIT_CHK:    EQU    00H

```

ORG 0000H

```

MOV 21H,#00H ;INDEX CIENT1
MOV 22H,#00H ;INDEX CIENT2
MOV 40H,#00H ;INDEX MESSAGE
MOV 41H,#00H ;INDEX RECORD

```

CLR BIT_CHK

CLR P1.6

MAIN: CLR P1.6

SETB P1.5

CLR P2.0 ;CONNECT TO

CLR P2.1 ;DISCONNECT TO

LCALL SEND

LOOP_M: JNB P0.6,START ;CHECK RINGING TONE

LCALL DELAY

JB P1.7,LOOP_M ;CHECK HANG UP

CLR P1.5

SETB P2.0 ;CONNECT TO

SETB P2.1 ;CONNECT TO TELEPHONE

LCALL DELAY

JNB P0.7,\$;CHECK HANG DOWN

CLR P2.0

CLR P2.1

SETB P1.5

SJMP LOOP_M

START: LCALL MODE

SJMP MAIN

MODE #####;

MODE: SETB P2.1 ;CONNECT TO TELEPHONE

MOV DPTR,#TABLE1 ;IC_OPERATOR

LCALL PLAY_IC_OPR ;PLAY SOUND "A"

CHK_MODE: LCALL CHK_KEY

CJNE A,#01H,MODE2

MODE1 #####;

MODE1: LCALL RINGING

JB BIT_CHK,HAVE_PEOPLE

PEOPLE: MOV DPTR,#TABLE1 ;IC_OPERATOR

MOV A,#01H ;SOUND "B"

ADD A,DPL

MOV DPL,A

LCALL PLAY_IC_OPR ;PLAY SOUND "B"

OPERATOR_LINE

TELEPHONE LINE

INTERNAL_TELEPHONE

LINE

LINE

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้เผยแพร่ไปใช้ประโยชน์ด้านการค้า

ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้


```

AGAIN_1:    LCALL CHK_KEY
            CJNE A,#01H,NEXT_1
            LCALL ONLINE          ;CONNECT TO ONLINE_MODE
            LJMP MODE_OUT

NEXT_1:     CJNE A,#02H,AGAIN_1
            LJMP MODE_OUT

HAVE_PEOPLE: CLR BIT_CHK
HAVE_1:     JB P0.7,MAIN          ;CHECK HANG DOWN
            JB STD,CHK
            SJMP HAVE_1

CHK:        JB STD,$
            MOV A,P1
            ANL A,#0FH
            CJNE A,#01H,HAVE_1    ;IF PRESS "1" TO ONLINE
            CLR P2.0              ;CONNECT TO AUTOMATIC

```

OPR

```

            SETB P1.5
            LCALL ONLINE
            LJMP MODE_OUT
;##### MODE 2 (ONLINE MODE) #####;
MODE2:     CJNE A,#02H,MODE4
            LCALL ONLINE
            LJMP MODE_OUT
;##### MODE 4 #####;
MODE4:     CJNE A,#04H,MODE5
            MOV DPTR,#TABLE1      ;IC_OPERATOR
            MOV A,#05H            ;SOUND "F"
            ADD A,DPL
            MOV DPL,A
            LCALL PLAY_IC_OPR     ;PLAY SOUND "F"
            MOV DPTR,#PASSWORD
            MOV R0,#04H
NEXT_PASS_4: MOV A,#00H
            MOVC A,@A+DPTR
            MOV 30H,A
            LCALL CHK_KEY
            CJNE A,30H,FAIL_PASS_4
            INC DPTR
            DJNZ R0,NEXT_PASS_4
            MOV DPTR,#TABLE1      ;IC_OPERATOR
            MOV A,#06H            ;SOUND "G" (TRUE)
            ADD A,DPL
            MOV DPL,A
            LCALL PLAY_IC_OPR     ;PLAY SOUND "G"
            LCALL CHK MASSEGE
            LJMP MODE_OUT

FAIL_PASS_4: MOV DPTR,#TABLE1      ;IC_OPERATOR
            MOV A,#07H            ;SOUND "H" (FAIL)
            ADD A,DPL
            MOV DPL,A
            LCALL PLAY_IC_OPR     ;PLAY SOUND "H"
            LJMP MODE_OUT
;##### MODE 5#####;
MODE5:     MOV DPTR,#TABLE1      ;IC_OPERATOR
            MOV A,#05H            ;SOUND "F"
            ADD A,DPL
            MOV DPL,A
            LCALL PLAY_IC_OPR     ;PLAY SOUND "F"
            MOV DPTR,#PASSWORD
            MOV R0,#04H
NEXT_PASS_5: MOV A,#00H

```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้


```

MOV C A,@A+DPTR
MOV 30H,A
LCALL CHK_KEY
CJNE A,30H,FAIL_PASS_5
INC DPTR
DJNZ R0,NEXT_PASS_5
MOV DPTR,#TABLE1 ;IC_OPERATOR
MOV A,#06H ;SOUND "G" (TRUE)
ADD A,DPL
MOV DPL,A
LCALL PLAY_IC_OPR ;PLAY SOUND "G"
CHK_TELL: LCALL CHK_KEY ;TELL SERVER
CJNE A,#01H,TELL2
TELL1: LCALL CHK_KEY
MOV 21H,A
LJMP MODE_OUT
TELL2: CJNE A,#02H,CHK_TELL
LCALL CHK_KEY
MOV 22H,A
LJMP MODE_OUT
FAIL_PASS_5: MOV DPTR,#TABLE1 ;IC_OPERATOR
MOV A,#07H ;SOUND "H" (FAIL)
ADD A,DPL
MOV DPL,A
LCALL PLAY_IC_OPR ;PLAY SOUND "H"
LJMP MODE_OUT
;*****
MODE_OUT: RET
;*****
;***** CHECK KEY PAD *****
CHK_KEY: JB STD,CHECK
SJMP CHK_KEY
CHECK: JB STD,$
MOV A,P1
ANL A,#0FH
RET
;***** PLAY IC_OPERATOR *****
PLAY_IC_OPR: CLR PD2
SETB P_R2 ;IC_OPR MODE PLAY
MOV A,#00H
MOVC A,@A+DPTR
MOV IC_ADDR,A
CLR CE2 ;RUN
MOV A,#11H
MOVC A,@A+DPTR
LCALL DELAY2
SETB CE2 ;STOP
LCALL DELAY1
SETB PD2
LCALL DELAY1
CLR PD2
RET
;***** RECORD IC_RECORD *****
RECORD_IC_REC: CLR PD1
CLR P_R1 ;IC_RECORD MODE RECORD
MOV A,#00H
MOVC A,@A+DPTR
MOV IC_ADDR,A
CLR CE1 ;RUN
MOV A,#03H
MOVC A,@A+DPTR

```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้


```

        LCALL DELAY3
        SETB CE1                      ;STOP
        LCALL DELAY1
        SETB PD1
        LCALL DELAY1
        CLR PD1
        RET

;***** RECORD IC_RECORD *****;
PLAY_IC_REC:  CLR PD1
               SETB P_R1              ;IC_RECORD MODE PLAY
               MOV A,#00H
               MOVC A,@A+DPTR
               MOV IC_ADDR,A
               CLR CE1                 ;RUN
               MOV A,#03H
               MOVC A,@A+DPTR
               LCALL DELAY3
               SETB CE1                ;STOP
               LCALL DELAY1
               SETB PD1
               LCALL DELAY1
               CLR PD1
               RET

;***** RINGING *****;
RINGING:      CLR MUSIC                ;MUSIC ON
               MOV R7,#04H
RING_LOOP:    SETB P1.6                 ;RING ON
               LCALL RING_ON_DELAY
               JB P1.7,RING_NEXT        ;CHECK HANG UP
               SETB P2.0                 ;CONNECT TELEPHONE LINE
               CLR P1.5
               SETB BIT_CHK
               SJMP RING_OUT
RING_NEXT:    CLR P1.6                 ;RING OFF
               LCALL RING_OFF_DELAY
               DJNZ R7,RING_LOOP
RING_OUT:     CLR P1.6                 ;RING OFF
               SETB MUSIC                ;MUSIC OFF
               ;SJMP $
               RET

;***** ONLINE *****;
ONLINE:       MOV DPTR,#TABLE1          ;IC_OPERATOR
               MOV A,#02H                ;SOUND "C"
               ADD A,DPL
               MOV DPL,A
               LCALL PLAY_IC_OPR         ;PLAY SOUND "C"
ONLINE_LOOP:  LCALL CHK_KEY              ;CHOOSE CIENT
               ;##### CIENT 1 #####;
CIENT1:       CJNE A,#01H,CIENT2
               MOV A,21H
               CJNE A,#00H,OFFLINE_1    ;CHECK CIENT
ONLINE_1:     MOV DPTR,#TABLE1          ;IC_OPERATOR
               MOV A,#04H                ;SOUND "E"
               ADD A,DPL
               MOV DPL,A
               LCALL PLAY_IC_OPR         ;PLAY SOUND "E"
               LCALL SEND
               LJMP ONLINE_1_OUT
OFFLINE_1:    MOV DPTR,#TABLE1

```

TO TELEPHONE

เอกสารนี้เป็นเอกสารที่สงวนลิขสิทธิ์ไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้


```

MOV A,#03H ;SOUND "D"
ADD A,DPL
MOV DPL,A
LCALL PLAY_IC_OPR ;PLAY SOUND "D"
MOV DPTR,#TABLE2 ;IC_RECORD
MOV A,41H ;CHANNEL "X"
INC 41H
ADD A,DPL
MOV DPL,A
MOV A,41H
CJNE A,#03H,OFFLINE_NEXT_1
MOV 41H,#00H
MOV DPL,#00H
OFFLINE_NEXT_1: INC 40H
MOV A,40H
CJNE A,#04H,OFFLINE_NEXT_2
MOV 40H,#03H
OFFLINE_NEXT_2: LCALL RECORD_IC_REC ;RECORD CHANNEL "X"
ONLINE_1_OUT: RET
;##### CIENT 2 #####
CIENT2: MOV A,22H
CJNE A,#00H,OFFLINE_2 ;CHECK CIENT
ONLINE_2: MOV DPTR,#TABLE1 ;IC_OPERATOR
MOV A,#04H ;SOUND "E"
ADD A,DPL
MOV DPL,A
LCALL PLAY_IC_OPR ;PLAY SOUND "E"
LCALL SEND
LJMP ONLINE_2_OUT
OFFLINE_2: MOV DPTR,#TABLE1
MOV A,#03H ;SOUND "D"
ADD A,DPL
MOV DPL,A
LCALL PLAY_IC_OPR ;PLAY SOUND "D"
MOV DPTR,#TABLE2 ;IC_RECORD
MOV A,41H ;CHANNEL "X"
INC 41H
ADD A,DPL
MOV DPL,A
MOV A,41H
CJNE A,#03H,OFFLINE_NEXT_3
MOV 41H,#00H
MOV DPL,#00H
OFFLINE_NEXT_3: INC 40H
MOV A,40H
CJNE A,#04H,OFFLINE_NEXT_4
MOV 40H,#03H
OFFLINE_NEXT_4: LCALL RECORD_IC_REC ;RECORD CHANNEL "X"
ONLINE_2_OUT: RET
;*****;
CHK_MASSEGE: CLR AMP
MOV A,40H
CJNE A,#00H,NEXT_CHK
MOV DPTR,#TABLE1
MOV A,#10H ;SOUND "Q"
ADD A,DPL
MOV DPL,A
LCALL PLAY_IC_OPR ;PLAY SOUND "Q"
LJMP CHK_MESSAGE_OUT
NEXT_CHK: MOV DPTR,#TABLE1
MOV A,#08H ;SOUND "I"

```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้


```
ADD A,DPL
MOV DPL,A
LCALL PLAY_IC_OPR      ;PLAY SOUND "I"
MOV DPTR,#TABLE1
MOV A,40H
ADD A,#0AH
ADD A,DPL
MOV DPL,A
LCALL PLAY_IC_OPR      ;PLAY SOUND "INDEX
```

```
MOV DPTR,#TABLE1
MOV A,#09H              ;SOUND "J"
ADD A,DPL
MOV DPL,A
LCALL PLAY_IC_OPR      ;PLAY SOUND "J"
MOV A,40H
CJNE A,#01H,MESSAGE2
```

```
MESSAGE1: LCALL READ_MESSAGE1
LJMP CHK_MESSAGE_OUT
```

```
MESSAGE2: CJNE A,#02H,MESSAGE3
LCALL READ_MESSAGE1
LCALL READ_MESSAGE2
LJMP CHK_MESSAGE_OUT
```

```
MESSAGE3: LCALL READ_MESSAGE1
LCALL READ_MESSAGE2
LCALL READ_MESSAGE3
```

```
CHK_MESSAGE_OUT: SETB AMP
RET
```

```
;#####;
READ_MESSAGE1: MOV DPTR,#TABLE1
MOV A,#0AH      ;SOUND "K"
ADD A,DPL
MOV DPL,A
LCALL PLAY_IC_OPR ;PLAY SOUND "K"
MOV DPTR,#TABLE1
MOV A,#0BH      ;SOUND "L" "1"
ADD A,DPL
MOV DPL,A
LCALL PLAY_IC_OPR ;PLAY SOUND "L" "1"
MOV DPTR,#TABLE2
MOV A,#00H      ;SOUND "CH1"
ADD A,DPL
MOV DPL,A
LCALL PLAY_IC_REC ;PLAY SOUND "CH1"
RET
```

```
READ_MESSAGE2: MOV DPTR,#TABLE1
MOV A,#0AH      ;SOUND "K"
ADD A,DPL
MOV DPL,A
LCALL PLAY_IC_OPR ;PLAY SOUND "K"
MOV DPTR,#TABLE1
MOV A,#0CH      ;SOUND "M" "2"
ADD A,DPL
MOV DPL,A
LCALL PLAY_IC_OPR ;PLAY SOUND "M" "2"
MOV DPTR,#TABLE2
MOV A,#01H      ;SOUND "CH2"
ADD A,DPL
MOV DPL,A
LCALL PLAY_IC_REC ;PLAY SOUND "CH2"
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้


```

RET

READ_MESSAGE3:  MOV DPTR,#TABLE1
                 MOV A,#0AH                      ;SOUND "K"
                 ADD A,DPL
                 MOV DPL,A
                 LCALL PLAY_IC_OPR                ;PLAY SOUND "K"
                 MOV DPTR,#TABLE1
                 MOV A,#0DH                      ;SOUND "N" "3"
                 ADD A,DPL
                 MOV DPL,A
                 LCALL PLAY_IC_OPR                ;PLAY SOUND "N" "3"
                 MOV DPTR,#TABLE2
                 MOV A,#02H                      ;SOUND "CH3"
                 ADD A,DPL
                 MOV DPL,A
                 LCALL PLAY_IC_REC                ;PLAY SOUND "CH3"
                 RET

```

```

;#####;

```

```

SEND:  SETB P3.3
        CLR P3.3
        NOP
        NOP
        NOP
        SETB P3.3
        MOV A,#09H
        LCALL DELAY3
        CLR P3.3
        LCALL DELAY
        SETB P3.3
        RET

DELAY:  MOV R0,#00H
LX:     MOV R1,#00H
        DJNZ R1,$
        DJNZ R0,LX
        RET

DELAY1: MOV R1,#01H
LOOP2:  MOV R2,#050H
LOOP1:  MOV R3,#0FFH
        DJNZ R3,$
        DJNZ R2,LOOP1
        DJNZ R1,LOOP2

DELAY1_OUT: RET

        DELAY2:  MOV R0,A
XLOOP3:  MOV R1,#1BH
XLOOP2:  MOV R2,#00H
XLOOP1:  MOV R3,#00H
        DJNZ R3,$
        JB STD,DELAY2_OUT
        DJNZ R2,XLOOP1
        DJNZ R1,XLOOP2
        DJNZ R0,XLOOP3

DELAY2_OUT: RET

        DELAY3:  MOV R0,A
DXLOOP3:  MOV R1,#1BH
DXLOOP2:  MOV R2,#00H

```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้


```
DXLOOP1:    MOV R3,#00H
            DJNZ R3,$
            DJNZ R2,DXLOOP1
            DJNZ R1,DXLOOP2
            DJNZ R0,DXLOOP3
            RET

RING_ON_DELAY:  MOV R1,#0AH
RING_ON_LOOP_2: MOV R2,#00H
RING_ON_LOOP_1: MOV R3,#00H
            DJNZ R3,$
            JNB P1.7,RING_ON_OUT      ;CHECK HANG UP
            DJNZ R2,RING_ON_LOOP_1
            DJNZ R1,RING_ON_LOOP_2
RING_ON_OUT:   RET

RING_OFF_DELAY: MOV R1,#20H
RING_OFF_LOOP_2: MOV R2,#00H
RING_OFF_LOOP_1: MOV R3,#00H
            DJNZ R3,$
            JNB P1.7,RING_OFF_OUT     ;CHECK HANG UP
            DJNZ R2,RING_OFF_LOOP_1
            DJNZ R1,RING_OFF_LOOP_2
RING_OFF_OUT:  RET

ORG 0400H
TABLE1:       DB 0C0H, 0C5H, 0CAH, 0CDH, 0D3H, 0D6H, 0D7H
              DB 0D9H, 0DAH, 0DCH, 0DDH, 0DEH, 0DFH, 0E0H
              DB 0E1H, 0E2H, 0E3H
              DB 05H, 05H, 03H, 06H, 03H, 01H, 01H
              DB 01H, 02H, 01H, 01H, 01H, 01H, 01H
              DB 01H, 01H, 02H
TABLE2:       DB 0C0H, 0CCH, 0D9H
              DB 0CH, 0CH, 0CH
PASSWORD:     DB 02H, 05H, 02H, 02H
```

□

#####PROGRAM TRANSMITTED#####

```
HEAD: EQU 0B7H
WR: EQU 0B0H
P_DATA: EQU 090H
ORG 0000H
LJMP MAIN
ORG 001BH
LJMP RECEIVE

ORG 0030H
MAIN: MOV SCON,#10000000B ; SERIAL MODE 2
      MOV PCON,#00H ; SMOD='0'
      SETB TB8 ; SET ADDRESS
      MOV A,#01H
      MOV SBUF,A
      JNB TI,$
      CLR TI
      CLR TB8
      LCALL INT_SER
      JB HEAD,$
      JNB HEAD,$
      CLR EA
      SETB TB8 ; END TX
      MOV A,#01H
      MOV SBUF,A
      JNB TI,$
      CLR TI
      CLR TR1
      SJMP $

INT_SER: MOV P_DATA,#0FFH ; SET OPEN PORT1
        SETB WR
        MOV TH1,#256-92 ; SET DELAY = 100 US
        MOV TL1,#256-92 ; SET DELAY = 100 US
        MOV TMOD,#00100000B ; TIMER1 MODE 2 AUTO RELOAD
        MOV IE,#80H ; SET EA = 1
        SETB ET1 ; SET INTERRUPT TIMER1
        SETB TR1 ; START TIMER1
        MOV SCON,#10000000B ; SERIAL MODE 2 ,MULTIMODE
        MOV PCON,#00H ; SMOD ='0'
        RET

RECEIVE: CLR WR
        CLR WR
        CLR WR
        CLR WR
        SETB WR
        MOV A,P_DATA
        MOV A,#23H
        MOV SBUF,A
        JNB TI,$
        CLR TI
        RETI
```

□

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

#####PROGRAM RECEIVED#####

```
CE1:      EQU    0B2H
PD1:      EQU    0B3H
P_R1:     EQU    0B4H
S_A:      EQU    0B5H

ORG 0000H
MOV PCON,#00H
MOV TMOD,#00100000B
MOV SCON,#10010000B
CLR TR1

LOOP:     JNB RI,$
CLR RI
JNB RB8,LOOP
CLR RB8

RX_AGAIN: JNB RI,$
CLR RI
JB RB8,EXIT
MOV A,SBUF
MOV P1,A
;LCALL RECORD_IC_REC_ST
SJMP RX_AGAIN

EXIT:     LCALL RECORD_IC_REC_END
;LCALL PLAY_IC_REC
SJMP $

;***** RECORD IC_RECORD *****;
RECORD_IC_REC_ST: CLR PD1
CLR P_R1      ;IC_RECORD MODE RECORD
CLR S_A
CLR CE1
;RUN
RET          ;END START

RECORD_IC_REC_END: SETB CE1      ;STOP
LCALL DELAY1
SETB PD1
LCALL DELAY1
CLR PD1
RET

;***** RECORD IC_RECORD *****;
PLAY_IC_REC: CLR PD1
SETB P_R1    ;IC_RECORD MODE PLAY
CLR S_A
CLR CE1      ;RUN
LCALL DELAY2
SETB CE1     ;STOP
LCALL DELAY1
SETB PD1
LCALL DELAY1
CLR PD1
RET

DELAY1:     MOV R0,#20H
DJNZ R0,$
RET

DELAY2:     MOV R0,#10      ;DELAY 20S
XLOOP3:     MOV R1,#1BH
XLOOP2:     MOV R2,#00H
XLOOP1:     MOV R3,#00H
DJNZ R3,$
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

□

DELAY2_OUT: DJNZ R2,XLOOP1
 DJNZ R1,XLOOP2
 DJNZ R0,XLOOP3
 RET



ADC0802, ADC0803 ADC0804

8-Bit, Microprocessor-
Compatible, A/D Converters

August 1997

Features

- 80C48 and 80C80/85 Bus Compatible - No Interfacing Logic Required
- Conversion Time < 100 μ s
- Easy Interface to Most Microprocessors
- Will Operate in a "Stand Alone" Mode
- Differential Analog Voltage Inputs
- Works with Bandgap Voltage References
- TTL Compatible Inputs and Outputs
- On-Chip Clock Generator
- 0V to 5V Analog Voltage Input Range (Single +5V Supply)
- No Zero-Adjust Required

Description

The ADC0802 family are CMOS 8-Bit, successive-approximation A/D converters which use a modified potentiometric ladder and are designed to operate with the 8080A control bus via three-state outputs. These converters appear to the processor as memory locations or I/O ports, and hence no interfacing logic is required.

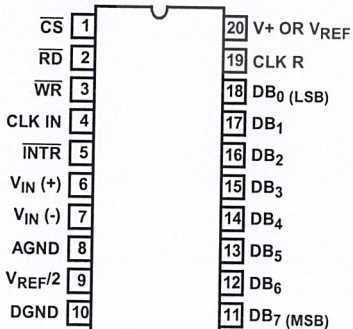
The differential analog voltage input has good common-mode-rejection and permits offsetting the analog zero-input-voltage value. In addition, the voltage reference input can be adjusted to allow encoding any smaller analog voltage span to the full 8 bits of resolution.

Ordering Information

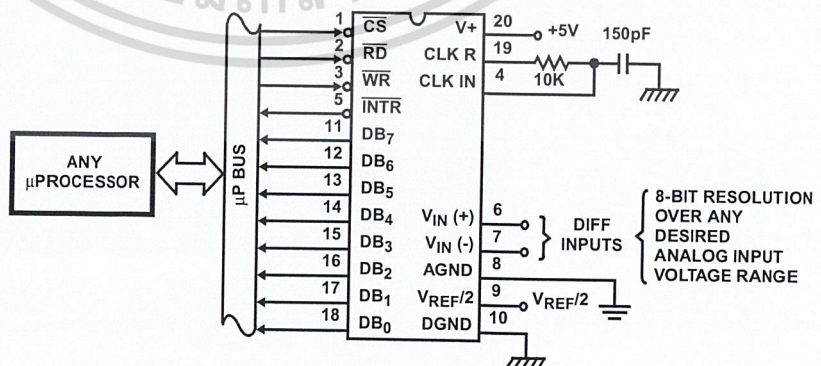
PART NUMBER	ERROR	EXTERNAL CONDITIONS	TEMP. RANGE (°C)	PACKAGE	PKG. NO
ADC0802LCN	$\pm 1/2$ LSB	$V_{REF}/2 = 2.500V_{DC}$ (No Adjustments)	0 to 70	20 Ld PDIP	E20.3
ADC0802LCD	$\pm 3/4$ LSB		-40 to 85	20 Ld Cerdip	F20.3
ADC0802LD	± 1 LSB		-55 to 125	20 Ld Cerdip	F20.3
ADC0803LCN	$\pm 1/2$ LSB	$V_{REF}/2$ Adjusted for Correct Full Scale Reading	0 to 70	20 Ld PDIP	E20.3
ADC0803LCD	$\pm 3/4$ LSB		-40 to 85	20 Ld Cerdip	F20.3
ADC0803LCWM	± 1 LSB		-40 to 85	20 Ld SOIC	M20.3
ADC0803LD	± 1 LSB	$V_{REF}/2 = 2.500V_{DC}$ (No Adjustments)	-55 to 125	20 Ld Cerdip	F20.3
ADC0804LCN	± 1 LSB		0 to 70	20 Ld PDIP	E20.3
ADC0804LCD	± 1 LSB		-40 to 85	20 Ld Cerdip	F20.3
ADC0804LCWM	± 1 LSB		-40 to 85	20 Ld SOIC	M20.3

Pinout

ADC0802, ADC0803, ADC0804
(PDIP, Cerdip)
TOP VIEW



Typical Application Schematic



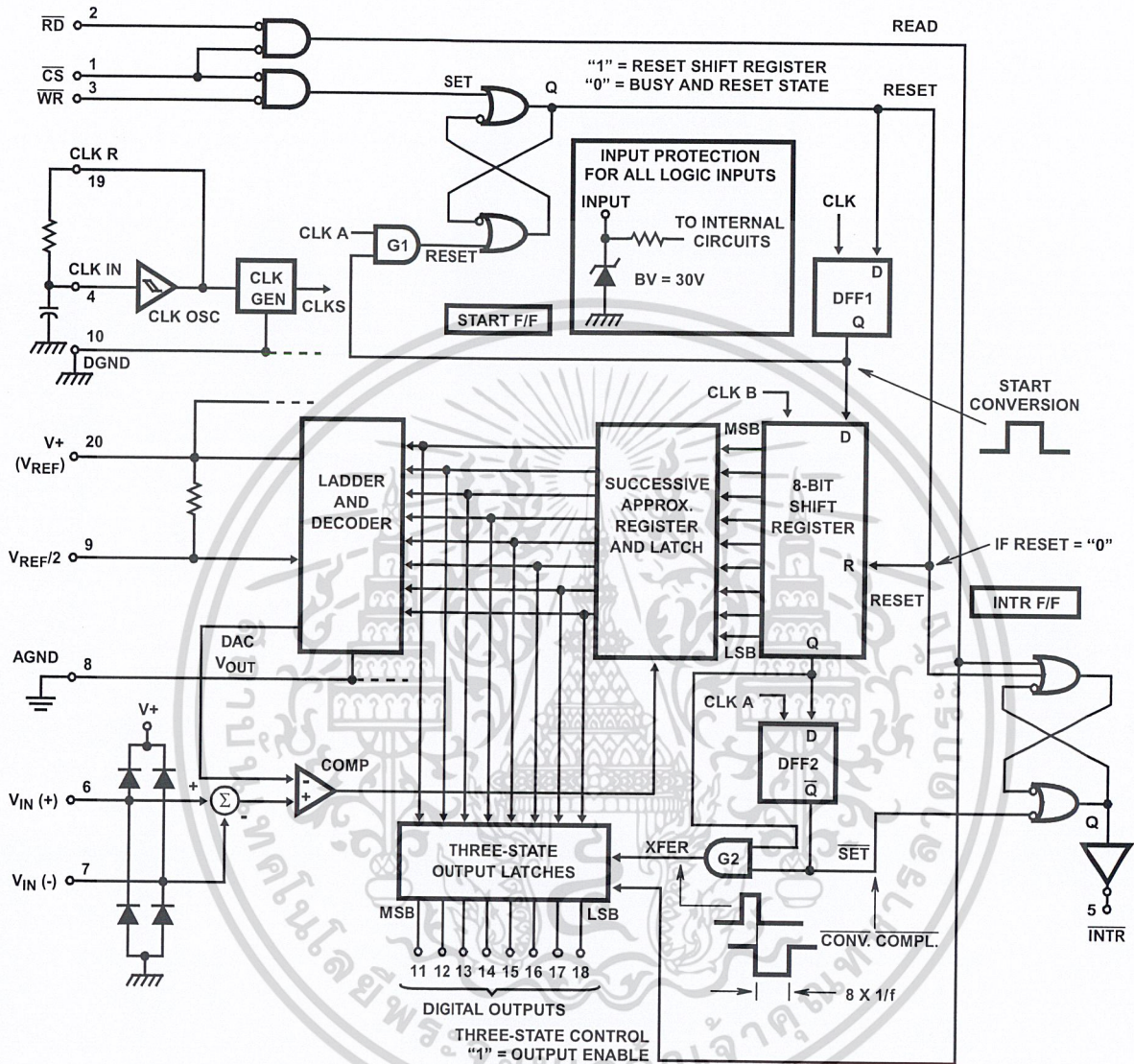
CAUTION: These devices are sensitive to electrostatic discharge. Users should follow proper IC Handling Procedures.

Copyright © Harris Corporation 1997

File Number 3094.1

ADC0802, ADC0803, ADC0804

Functional Diagram



ADC0802, ADC0803, ADC0804

Absolute Maximum Ratings

Supply Voltage 6.5V
Voltage at Any Input -0.3V to (V⁺ +0.3V)

Operating Conditions

Temperature Range
ADC0802/03LD -55°C to 125°C
ADC0802/03/04LCD -40°C to 85°C
ADC0802/03/04LCN 0°C to 70°C
ADC0803/04LCWM -40°C to 85°C

Thermal Information

Thermal Resistance (Typical, Note 1)	θ_{JA} (°C/W)	θ_{JC} (°C/W)
PDIP Package	125	N/A
CERDIP Package	80	20
SOIC Package	120	N/A
Maximum Junction Temperature		
Hermetic Package	175°C	
Plastic Package	150°C	
Maximum Storage Temperature Range		
-65°C to 150°C		
Maximum Lead Temperature (Soldering, 10s)		
300°C (SOIC - Lead Tips Only)		

CAUTION: Stresses above those listed in "Absolute Maximum Ratings" may cause permanent damage to the device. This is a stress only rating and operation of the device at these or any other conditions above those indicated in the operational sections of this specification is not implied.

NOTE:

1. θ_{JA} is measured with the component mounted on an evaluation PC board in free air.

Electrical Specifications (Notes 1, 7)

PARAMETER	TEST CONDITIONS	MIN	TYP	MAX	UNITS
CONVERTER SPECIFICATIONS V ⁺ = 5V, T _A = 25°C and f _{CLK} = 640kHz, Unless Otherwise Specified					
Total Unadjusted Error					
ADC0802	V _{REF/2} = 2.500V	-	-	±1/2	LSB
ADC0803	V _{REF/2} Adjusted for Correct Full Scale Reading	-	-	±1/2	LSB
ADC0804	V _{REF/2} = 2.500V	-	-	±1	LSB
V _{REF/2} Input Resistance	Input Resistance at Pin 9	1.0	1.3	-	kΩ
Analog Input Voltage Range	(Note 2)	GND-0.05	-	(V ⁺) + 0.05	V
DC Common-Mode Rejection	Over Analog Input Voltage Range	-	±1/16	±1/8	LSB
Power Supply Sensitivity	V ⁺ = 5V ±10% Over Allowed Input Voltage Range	-	±1/16	±1/8	LSB
CONVERTER SPECIFICATIONS V ⁺ = 5V, 0°C to 70°C and f _{CLK} = 640kHz, Unless Otherwise Specified					
Total Unadjusted Error					
ADC0802	V _{REF/2} = 2.500V	-	-	±1/2	LSB
ADC0803	V _{REF/2} Adjusted for Correct Full Scale Reading	-	-	±1/2	LSB
ADC0804	V _{REF/2} = 2.500V	-	-	±1	LSB
V _{REF/2} Input Resistance	Input Resistance at Pin 9	1.0	1.3	-	kΩ
Analog Input Voltage Range	(Note 2)	GND-0.05	-	(V ⁺) + 0.05	V
DC Common-Mode Rejection	Over Analog Input Voltage Range	-	±1/8	±1/4	LSB
Power Supply Sensitivity	V ⁺ = 5V ±10% Over Allowed Input Voltage Range	-	±1/16	±1/8	LSB
CONVERTER SPECIFICATIONS V ⁺ = 5V, -25°C to 85°C and f _{CLK} = 640kHz, Unless Otherwise Specified					
Total Unadjusted Error					
ADC0802	V _{REF/2} = 2.500V	-	-	±3/4	LSB
ADC0803	V _{REF/2} Adjusted for Correct Full Scale Reading	-	-	±3/4	LSB
ADC0804	V _{REF/2} = 2.500V	-	-	±1	LSB
V _{REF/2} Input Resistance	Input Resistance at Pin 9	1.0	1.3	-	kΩ
Analog Input Voltage Range	(Note 2)	GND-0.05	-	(V ⁺) + 0.05	V
DC Common-Mode Rejection	Over Analog Input Voltage Range	-	±1/8	±1/4	LSB
Power Supply Sensitivity	V ⁺ = 5V ±10% Over Allowed Input Voltage Range	-	±1/16	±1/8	LSB

ADC0802, ADC0803, ADC0804

Electrical Specifications (Notes 1, 7) (Continued)

PARAMETER	TEST CONDITIONS	MIN	TYP	MAX	UNITS
CONVERTER SPECIFICATIONS V+ = 5V, -55°C to 125°C and f _{CLK} = 640kHz, Unless Otherwise Specified					
Total Unadjusted Error					
ADC0802	V _{REF} /2 = 2.500V	-	-	±1	LSB
ADC0803	V _{REF} /2 Adjusted for Correct Full Scale Reading	-	-	±1	LSB
V _{REF} /2 Input Resistance	Input Resistance at Pin 9	1.0	1.3	-	kΩ
Analog Input Voltage Range	(Note 2)	GND-0.05	-	(V+) + 0.05	V
DC Common-Mode Rejection	Over Analog Input Voltage Range	-	± ¹ / ₈	± ¹ / ₄	LSB
Power Supply Sensitivity	V+ = 5V ±10% Over Allowed Input Voltage Range	-	± ¹ / ₈	± ¹ / ₄	LSB
AC TIMING SPECIFICATIONS V+ = 5V, and T _A = 25°C, Unless Otherwise Specified					
Clock Frequency, f _{CLK}	V+ = 6V (Note 3)	100	640	1280	kHz
	V+ = 5V	100	640	800	kHz
Clock Periods per Conversion (Note 4), t _{CONV}		62	-	73	Clocks/Conv
Conversion Rate In Free-Running Mode, CR	INTR tied to WR with CS = 0V, f _{CLK} = 640kHz	-	-	8888	Conv/s
Width of WR Input (Start Pulse Width), t _{W(WR)}	CS = 0V (Note 5)	100	-	-	ns
Access Time (Delay from Falling Edge of RD to Output Data Valid), t _{ACC}	C _L = 100pF (Use Bus Driver IC for Larger C _L)	-	135	200	ns
Three-State Control (Delay from Rising Edge of RD to HI-Z State), t _{1H} , t _{0H}	C _L = 10pF, R _L = 10K (See Three-State Test Circuits)	-	125	250	ns
Delay from Falling Edge of WR to Reset of INTR, t _{WI} , t _{RI}		-	300	450	ns
Input Capacitance of Logic Control Inputs, C _{IN}		-	5	-	pF
Three-State Output Capacitance (Data Buffers), C _{OUT}		-	5	-	pF
DC DIGITAL LEVELS AND DC SPECIFICATIONS V+ = 5V, and T _{MIN} to T _{MAX} , Unless Otherwise Specified					
CONTROL INPUTS (Note 6)					
Logic "1" Input Voltage (Except Pin 4 CLK IN), V _{INH}	V+ = 5.25V	2.0	-	V+	V
Logic "0" Input Voltage (Except Pin 4 CLK IN), V _{INL}	V+ = 4.75V	-	-	0.8	V
CLK IN (Pin 4) Positive Going Threshold Voltage, V+ _{CLK}		2.7	3.1	3.5	V
CLK IN (Pin 4) Negative Going Threshold Voltage, V- _{CLK}		1.5	1.8	2.1	V
CLK IN (Pin 4) Hysteresis, V _H		0.6	1.3	2.0	V
Logic "1" Input Current (All Inputs), I _{INH}	V _{IN} = 5V	-	0.005	1	μA
Logic "0" Input Current (All Inputs), I _{INLO}	V _{IN} = 0V	-1	-0.005	-	μA
Supply Current (Includes Ladder Current), I+	f _{CLK} = 640kHz, T _A = 25°C and CS = HI	-	1.3	2.5	mA
DATA OUTPUTS AND INTR					
Logic "0" Output Voltage, V _{OL}	I _O = 1.6mA, V+ = 4.75V	-	-	0.4	V

DAC0830/DAC0831/DAC0832 8-Bit μ P Compatible, Double-Buffered D to A Converters

General Description

The DAC0830 is an advanced CMOS/Si-Cr 8-bit multiplying DAC designed to interface directly with the 8080, 8048, 8085, Z80[®], and other popular microprocessors. A deposited silicon-chromium R-2R resistor ladder network divides the reference current and provides the circuit with excellent temperature tracking characteristics (0.05% of Full Scale Range maximum linearity error over temperature). The circuit uses CMOS current switches and control logic to achieve low power consumption and low output leakage current errors. Special circuitry provides TTL logic input voltage level compatibility.

Double buffering allows these DACs to output a voltage corresponding to one digital word while holding the next digital word. This permits the simultaneous updating of any number of DACs.

The DAC0830 series are the 8-bit members of a family of microprocessor-compatible DACs (MICRO-DAC[™]). For applications demanding higher resolution, the DAC1000 series (10-bits) and the DAC1208 and DAC1230 (12-bits) are available alternatives.

Features

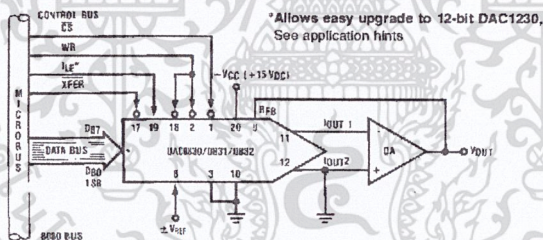
- Double-buffered, single-buffered or flow-through digital data inputs
- Easy interchange and pin-compatible with 12-bit DAC1230 series
- Direct interface to all popular microprocessors
- Linearity specified with zero and full scale adjust only—NOT BEST STRAIGHT LINE FIT.
- Works with $\pm 10V$ reference-full 4-quadrant multiplication
- Can be used in the voltage switching mode
- Logic inputs which meet TTL voltage level specs (1.4V logic threshold)
- Operates "STAND ALONE" (without μ P) if desired
- Available in 20-pin small-outline or molded chip carrier package

Key Specifications

- Current settling time 1 μ s
- Resolution 8 bits
- Linearity 8, 9, or 10 bits (guaranteed over temp.)
- Gain Tempco 0.0002% FS/ $^{\circ}$ C
- Low power dissipation 20 mW
- Single power supply 5 to 15 V_{DC}

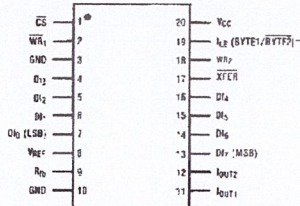
BI-FET[™] and MICRO-DAC[™] are trademarks of National Semiconductor Corporation. Z80[®] is a registered trademark of Zilog Corporation.

Typical Application



Connection Diagrams (Top Views)

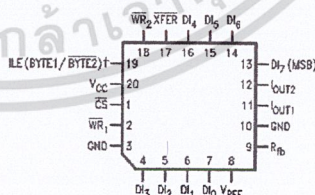
Dual-In-Line and Small-Outline Packages



*This is necessary for the 12-bit DAC1230 series to permit interchanging from an 8-bit to a 12-bit DAC with No PC board changes and no software changes. See applications section.

TL/H/5608-21

Molded Chip Carrier Package



TL/H/5608-22

Absolute Maximum Ratings (Notes 1 & 2)

If Military/Aerospace specified devices are required, please contact the National Semiconductor Sales Office/Distributors for availability and specifications.

Supply Voltage (V _{CC})	17 V _{DC}
Voltage at Any Digital Input	V _{CC} to GND
Voltage at V _{REF} Input	±25V
Storage Temperature Range	−65°C to +150°C
Package Dissipation at T _A = 25°C (Note 3)	500 mW
DC Voltage Applied to I _{OUT1} or I _{OUT2} (Note 4)	−100 mV to V _{CC}
ESD Susceptibility (Note 14)	800V

Lead Temperature (soldering, 10 sec.)	260°C
Dual-In-Line Package (plastic)	300°C
Dual-In-Line Package (ceramic)	
Surface Mount Package	
Vapor Phase (60 sec.)	215°C
Infrared (15 sec.)	220°C

Operating Conditions

Temperature Range	T _{MIN} ≤ T _A ≤ T _{MAX}
Part numbers with 'LCN' suffix	0°C to +70°C
Part numbers with 'LCWM' suffix	0°C to +70°C
Part numbers with 'LCV' suffix	0°C to +70°C
Part numbers with 'LCJ' suffix	−40°C to +85°C
Part numbers with 'LJ' suffix	−55°C to +125°C
Voltage at Any Digital Input	V _{CC} to GND

Electrical Characteristics V_{REF} = 10.000 V_{DC} unless otherwise noted. Boldface limits apply over temperature, T_{MIN} ≤ T_A ≤ T_{MAX}. For all other limits T_A = 25°C.

Parameter	Conditions	See Note	V _{CC} = 4.75 V _{DC} V _{CC} = 15.75 V _{DC}		V _{CC} = 5 V _{DC} ±5% V _{CC} = 12 V _{DC} ±5% to 15 V _{DC} ±5%	Limit Units
			Typ (Note 12)	Tested Limit (Note 5)	Design Limit (Note 6)	
CONVERTER CHARACTERISTICS						
Resolution			8	8	8	bits
Linearity Error Max	Zero and full scale adjusted −10V ≤ V _{REF} ≤ +10V	4, 8				
DAC0830LJ & LCJ				0.05	0.05	% FSR
DAC0832LJ & LCJ				0.2	0.2	% FSR
DAC0830LCN, LCWM & LCV				0.05	0.05	% FSR
DAC0831LCN				0.1	0.1	% FSR
DAC0832LCN, LCWM & LCV				0.2	0.2	% FSR
Differential Nonlinearity Max	Zero and full scale adjusted −10V ≤ V _{REF} ≤ +10V	4, 8				
DAC0830LJ & LCJ				0.1	0.1	% FSR
DAC0832LJ & LCJ				0.4	0.4	% FSR
DAC0830LCN, LCWM & LCV				0.1	0.1	% FSR
DAC0831LCN				0.2	0.2	% FSR
DAC0832LCN, LCWM & LCV				0.4	0.4	% FSR
Monotonicity	−10V ≤ V _{REF} ≤ +10V	LJ & LCJ LCN, LCWM & LCV	4	8 8	8 8	bits bits
Gain Error Max	Using Internal R _{fb} −10V ≤ V _{REF} ≤ +10V		7	±0.2	±1	% FS
Gain Error Tempco Max	Using internal R _{fb}			0.0002	0.0006	% FS/°C
Power Supply Rejection	All digital inputs latched high V _{CC} = 14.5V to 15.5V 11.5V to 12.5V 4.5V to 5.5V			0.0002 0.0006 0.013	0.0025 0.015	% FSR/V
Reference Input	Max			15	20	kΩ
	Min			15	10	kΩ
Output Feedthrough Error	V _{REF} = 20 Vp-p, f = 100 kHz All data inputs latched low		3			mVp-p

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

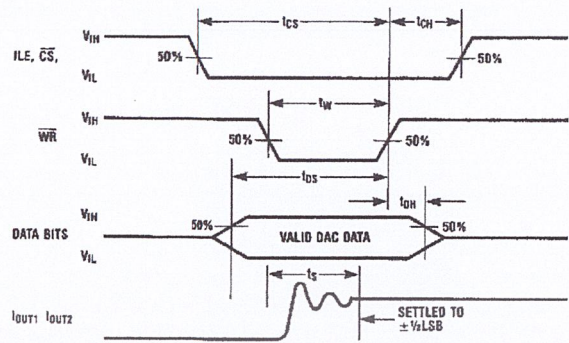
Electrical Characteristics

$V_{REF} = 10.000 V_{DC}$ unless otherwise noted. **Boldface limits apply over temperature, $T_{MIN} \leq T_A \leq T_{MAX}$.** For all other limits $T_A = 25^\circ C$. (Continued)

Parameter		Conditions	See Note	$V_{CC} = 4.75 V_{DC}$ $V_{CC} = 15.75 V_{DC}$		$V_{CC} = 5 V_{DC} \pm 5\%$ $V_{CC} = 12 V_{DC} \pm 5\%$ to $15 V_{DC} \pm 5\%$	Limit Units	
				Typ (Note 12)	Tested Limit (Note 5)	Design Limit (Note 6)		
CONVERTER CHARACTERISTICS (Continued)								
Output Leakage Current Max	I_{OUT1}	All data inputs latched low	LJ & LCJ LCN, LCWM & LCV	10		100 50	100 100	nA
	I_{OUT2}	All data inputs latched high	LJ & LCJ LCN, LCWM & LCV			100 50	100 100	nA
Output Capacitance	I_{OUT1}	All data inputs latched low		45				pF
	I_{OUT2}			115				pF
		I_{OUT1} I_{OUT2}	All data inputs latched high		130 30			pF
DIGITAL AND DC CHARACTERISTICS								
Digital Input Voltages	Max	Logic Low	LJ 4.75V			0.6		V_{DC}
			LJ 15.75V			0.8		
			LCJ 4.75V			0.7		
			LCJ 15.75V			0.8		
			LCN, LCWM, LCV			0.95	0.8	
	Min	Logic High	LJ & LCJ LCN, LCWM, LCV			2.0 1.9	2.0 2.0	V_{DC}
Digital Input Currents	Max	Digital inputs < 0.8V	LJ & LCJ LCN, LCWM, LCV	-50		-200 -160	-200 -200	μA μA
		Digital inputs > 2.0V	LJ & LCJ LCN, LCWM, LCV	0.1		+10 +8	+10 +10	μA
Supply Current Drain	Max		LJ & LCJ	1.2		3.5	3.5	mA
			LCN, LCWM, LCV			1.7	2.0	

Electrical Characteristics V_{REF} = 10.000 V_{DC} unless otherwise noted. Boldface limits apply over temperature, T_{MIN} ≤ T_A ≤ T_{MAX}. For all other limits T_A = 25°C. (Continued)										
Symbol	Parameter	Conditions	See Note	V _{CC} = 15.75 V _{DC}		V _{CC} = 12 V _{DC} ± 5% to 15 V _{DC} ± 5%	V _{CC} = 4.75 V _{DC}		V _{CC} = 5 V _{DC} ± 5%	Limit Units
				Typ (Note 12)	Tested Limit (Note 5)	Design Limit (Note 6)	Typ (Note 12)	Tested Limit (Note 5)	Design Limit (Note 6)	
AC CHARACTERISTICS										
t _s	Current Setting Time	V _{IL} = 0V, V _{IH} = 5V		1.0			1.0			μs
t _W	Write and XFER Pulse Width Min	V _{IL} = 0V, V _{IH} = 5V	119	100	250 320	320	375	600 900	900	ns
t _{DS}	Data Setup Time Min	V _{IL} = 0V, V _{IH} = 5V	9	100	250 320	320	375	600 900	900	
t _{DH}	Data Hold Time Min	V _{IL} = 0V, V _{IH} = 5V	9		30 30			50 50		
t _{CS}	Control Setup Time Min	V _{IL} = 0V, V _{IH} = 5V	9	110	250 320	320	600	900 1100	1100	
t _{CH}	Control Hold Time Min	V _{IL} = 0V, V _{IH} = 5V	9	0	0 0	10	0	0 0		
Note 1: Absolute Maximum Ratings indicate limits beyond which damage to the device may occur. DC and AC electrical specifications do not apply when operating the device beyond its specified operating conditions. Note 2: All voltages are measured with respect to GND, unless otherwise specified. Note 3: The maximum power dissipation must be derated at elevated temperatures and is dictated by T_{JMAX}, θ_{JA}, and the ambient temperature, T_A. The maximum allowable power dissipation at any temperature is P_D = (T_{JMAX} - T_A)/θ_{JA} or the number given in the Absolute Maximum Ratings, whichever is lower. For this device, T_{JMAX} = 125°C (plastic) or 150°C (ceramic), and the typical junction-to-ambient thermal resistance of the J package when board mounted is 60°C/W. For the N package, this number increases to 100°C/W and for the V package this number is 120°C/W. Note 4: For current switching applications, both I_{OUT1} and I_{OUT2} must go to ground or the "Virtual Ground" of an operational amplifier. The linearity error is degraded by approximately V_{CS} ÷ V_{REF}. For example, if V_{REF} = 10V then a 1 mV offset, V_{CS}, on I_{OUT1} or I_{OUT2} will introduce an additional 0.01% linearity error. Note 5: Tested limits are guaranteed to National's AOQL (Average Outgoing Quality Level). Note 6: Guaranteed, but not 100% production tested. These limits are not used to calculate outgoing quality levels. Note 7: Guaranteed at V_{REF} = ±10 V_{DC} and V_{REF} = ±1 V_{DC}. Note 8: The unit "FSR" stands for "Full Scale Range." "Linearity Error" and "Power Supply Rejection" specs are based on this unit to eliminate dependence on a particular V_{REF} value and to indicate the true performance of the part. The "Linearity Error" specification of the DAC0830 is "0.05% of FSR (MAX)". This guarantees that after performing a zero and full scale adjustment (see Sections 2.5 and 2.6), the plot of the 256 analog voltage outputs will each be within 0.05% × V_{REF} of a straight line which passes through zero and full scale. Note 9: Boldface tested limits apply to the LJ and LCJ suffix parts only. Note 10: A 100nA leakage current with R_{IN} = 20k and V_{REF} = 10V corresponds to a zero error of (100 × 10⁻⁹ × 20 × 10³) × 100/10 which is 0.02% of FS. Note 11: The entire write pulse must occur within the valid data interval for the specified t_W, t_{DS}, t_{DH}, and t_S to apply. Note 12: Typicals are at 25°C and represent most likely parametric norm. Note 13: Human body model, 100 pF discharged through a 1.5 kΩ resistor.										

Switching Waveform



TL/H/5808-2

Definition of Package Pinouts

Control Signals (All control signals level actuated)

CS: **Chip Select** (active low). The CS in combination with ILE will enable WR₁.

ILE: **Input Latch Enable** (active high). The ILE in combination with CS enables WR₁.

WR₁: **Write 1.** The active low WR₁ is used to load the digital input data bits (DI) into the input latch. The data in the input latch is latched when WR₁ is high. To update the input latch—CS and WR₁ must be low while ILE is high.

WR₂: **Write 2** (active low). This signal, in combination with XFER, causes the 8-bit data which is available in the input latch to transfer to the DAC register.

XFER: **Transfer control signal** (active low). The XFER will enable WR₂.

Other Pin Functions

DI₀-DI₇: **Digital Inputs.** DI₀ is the least significant bit (LSB) and DI₇ is the most significant bit (MSB).

IOUT₁: **DAC Current Output 1.** IOUT₁ is a maximum for a digital code of all 1's in the DAC register, and is zero for all 0's in DAC register.

IOUT₂: **DAC Current Output 2.** IOUT₂ is a constant minus IOUT₁, or IOUT₁ + IOUT₂ = constant (I full scale for a fixed reference voltage).

RI_B: **Feedback Resistor.** The feedback resistor is provided on the IC chip for use as the shunt

feedback resistor for the external op amp which is used to provide an output voltage for the DAC. This on-chip resistor should always be used (not an external resistor) since it matches the resistors which are used in the on-chip R-2R ladder and tracks these resistors over temperature.

VREF: **Reference Voltage Input.** This input connects an external precision voltage source to the internal R-2R ladder. VREF can be selected over the range of +10 to -10V. This is also the analog voltage input for a 4-quadrant multiplying DAC application.

VCC: **Digital Supply Voltage.** This is the power supply pin for the part. VCC can be from +5 to +15V_{DC}. Operation is optimum for +15V_{DC}.

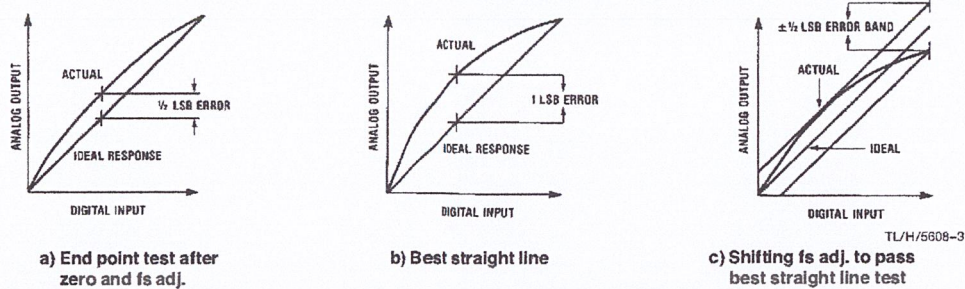
GND: The pin 10 voltage must be at the same ground potential as IOUT₁ and IOUT₂ for current switching applications. Any difference of potential (VOS pin 10) will result in a linearity change of

$$\frac{V_{OS \text{ pin } 10}}{3V_{REF}}$$

For example, if VREF = 10V and pin 10 is 9mV offset from IOUT₁ and IOUT₂ the linearity change will be 0.03%.

Pin 3 can be offset ±100mV with no linearity change, but the logic input threshold will shift.

Linearity Error



Definition of Terms

Resolution: Resolution is directly related to the number of switches or bits within the DAC. For example, the DAC0830 has 2^8 or 256 steps and therefore has 8-bit resolution.

Linearity Error: Linearity Error is the maximum deviation from a straight line passing through the endpoints of the DAC transfer characteristic. It is measured after adjusting for zero and full-scale. Linearity error is a parameter intrinsic to the device and cannot be externally adjusted.

National's linearity "end point test" (a) and the "best straight line" test (b,c) used by other suppliers are illustrated above. The "end point test" greatly simplifies the adjustment procedure by eliminating the need for multiple iterations of checking the linearity and then adjusting full scale until the linearity is met. The "end point test" guarantees that linearity is met after a single full scale adjust. (One adjustment vs. multiple iterations of the adjustment.) The "end point test" uses a standard zero and F.S. adjustment procedure and is a much more stringent test for DAC linearity.

Power Supply Sensitivity: Power supply sensitivity is a measure of the effect of power supply changes on the DAC full-scale output.

Settling Time: Settling time is the time required from a code transition until the DAC output reaches within $\pm \frac{1}{2}$ LSB of the final output value. Full-scale settling time requires a zero to full-scale or full-scale to zero output change.

Full-Scale Error: Full scale error is a measure of the output error between an ideal DAC and the actual device output. Ideally, for the DAC0830 series, full-scale is $V_{REF} - 1\text{LSB}$. For $V_{REF} = 10\text{V}$ and unipolar operation, $V_{FULL-SCALE} = 10.0000\text{V} - 39\text{mV} = 9.961\text{V}$. Full-scale error is adjustable to zero.

Differential Nonlinearity: The difference between any two consecutive codes in the transfer curve from the theoretical 1 LSB is differential nonlinearity.

Monotonic: If the output of a DAC increases for increasing digital input code, then the DAC is monotonic. An 8-bit DAC which is monotonic to 8 bits simply means that increasing digital input codes will produce an increasing analog output.

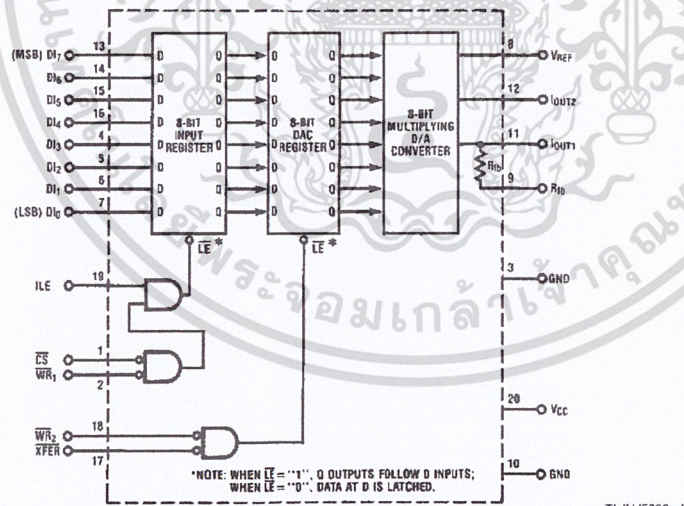


FIGURE 1. DAC0830 Functional Diagram

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



ISO²-CMOS MT8870D/MT8870D-1 Integrated DTMF Receiver

Features

- Complete DTMF Receiver
- Low power consumption
- Internal gain setting amplifier
- Adjustable guard time
- Central office quality
- Power-down mode
- Inhibit mode
- Backward compatible with MT8870C/MT8870C-1

ISSUE 5

March 1997

Ordering Information

MT8870DE/DE-1 18 Pin Plastic DIP
MT8870DS/DS-1 18 Pin SOIC
MT8870DN/DN-1 20 Pin SSOP
-40 °C to +85 °C

Description

The MT8870D/MT8870D-1 is a complete DTMF receiver integrating both the bandsplit filter and digital decoder functions. The filter section uses switched capacitor techniques for high and low group filters; the decoder uses digital counting techniques to detect and decode all 16 DTMF tone-pairs into a 4-bit code. External component count is minimized by on chip provision of a differential input amplifier, clock oscillator and latched three-state bus interface.

Applications

- Receiver system for British Telecom (BT) or CEPT Spec (MT8870D-1)
- Paging systems
- Repeater systems/mobile radio
- Credit card systems
- Remote control
- Personal computers
- Telephone answering machine

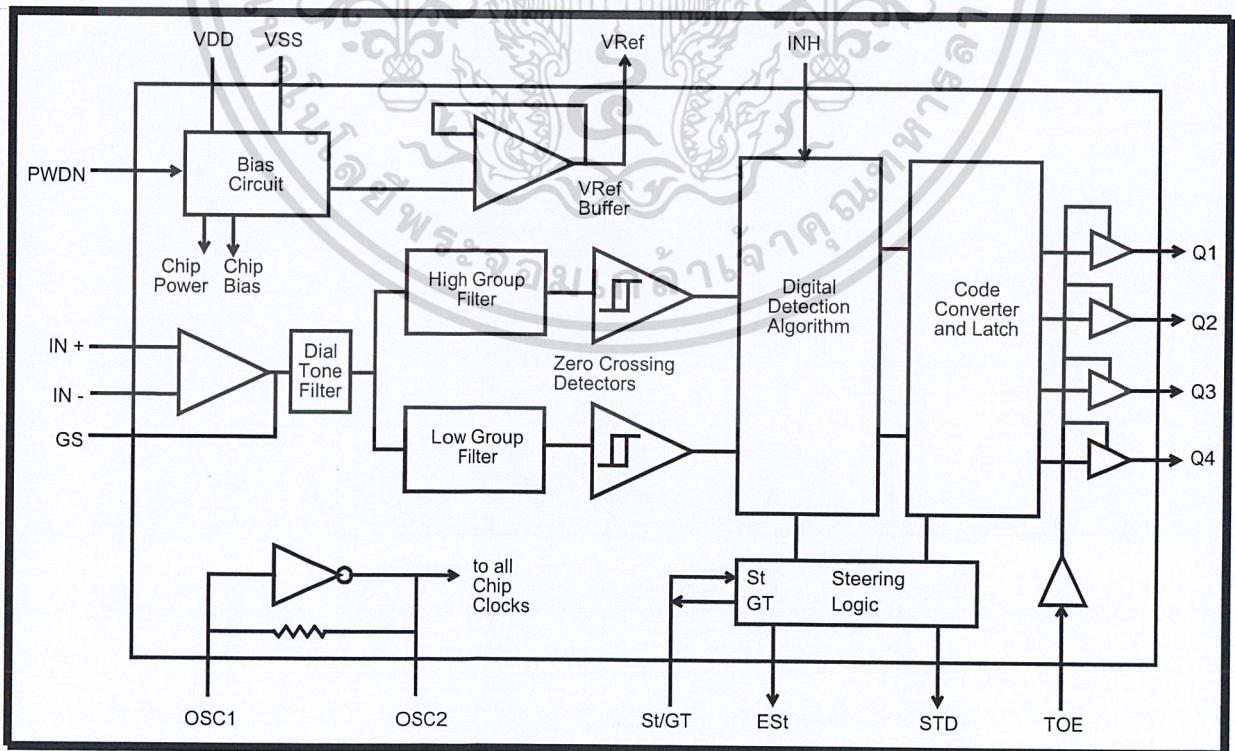


Figure 1 - Functional Block Diagram

MT8870D/MT8870D-1 ISO²-CMOS

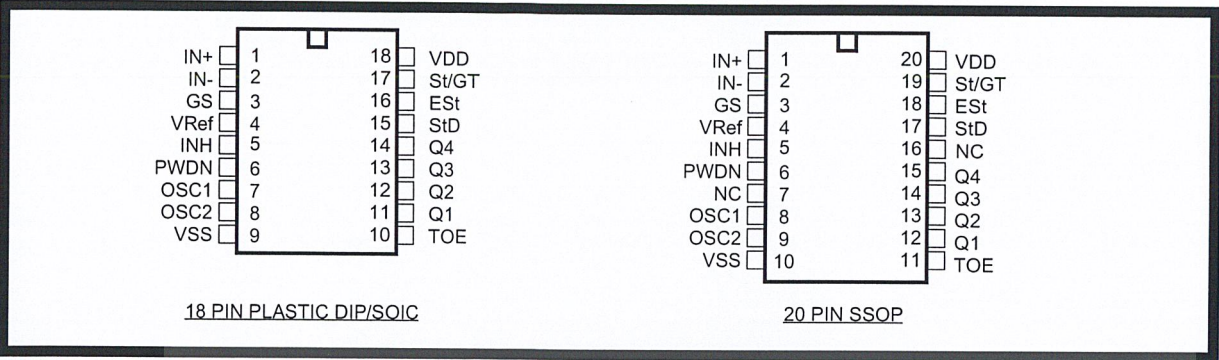


Figure 2 - Pin Connections

Pin Description

Pin #		Name	Description
18	20		
1	1	IN+	Non-Inverting Op-Amp (Input).
2	2	IN-	Inverting Op-Amp (Input).
3	3	GS	Gain Select. Gives access to output of front end differential amplifier for connection of feedback resistor.
4	4	V _{Ref}	Reference Voltage (Output). Nominally V _{DD} /2 is used to bias inputs at mid-rail (see Fig. 6 and Fig. 10).
5	5	INH	Inhibit (Input). Logic high inhibits the detection of tones representing characters A, B, C and D. This pin input is internally pulled down.
6	6	PWDN	Power Down (Input). Active high. Powers down the device and inhibits the oscillator. This pin input is internally pulled down.
7	8	OSC1	Clock (Input).
8	9	OSC2	Clock (Output). A 3.579545 MHz crystal connected between pins OSC1 and OSC2 completes the internal oscillator circuit.
9	10	V _{SS}	Ground (Input). 0V typical.
10	11	TOE	Three State Output Enable (Input). Logic high enables the outputs Q1-Q4. This pin is pulled up internally.
11-14	12-15	Q1-Q4	Three State Data (Output). When enabled by TOE, provide the code corresponding to the last valid tone-pair received (see Table 1). When TOE is logic low, the data outputs are high impedance.
15	17	StD	Delayed Steering (Output). Presents a logic high when a received tone-pair has been registered and the output latch updated; returns to logic low when the voltage on St/GT falls below V _{TSt} .
16	18	ESt	Early Steering (Output). Presents a logic high once the digital algorithm has detected a valid tone pair (signal condition). Any momentary loss of signal condition will cause ESt to return to a logic low.
17	19	St/GT	Steering Input/Guard time (Output) Bidirectional. A voltage greater than V _{TSt} detected at St causes the device to register the detected tone pair and update the output latch. A voltage less than V _{TSt} frees the device to accept a new tone pair. The GT output acts to reset the external steering time-constant; its state is a function of ESt and the voltage on St.
18	20	V _{DD}	Positive power supply (Input). +5V typical.
	7, 16	NC	No Connection.

Functional Description

The MT8870D/MT8870D-1 monolithic DTMF receiver offers small size, low power consumption and high performance. Its architecture consists of a bandsplit filter section, which separates the high and low group tones, followed by a digital counting section which verifies the frequency and duration of the received tones before passing the corresponding code to the output bus.

Filter Section

Separation of the low-group and high group tones is achieved by applying the DTMF signal to the inputs of two sixth-order switched capacitor bandpass filters, the bandwidths of which correspond to the low and high group frequencies. The filter section also incorporates notches at 350 and 440 Hz for exceptional dial tone rejection (see Figure 3). Each filter output is followed by a single order switched capacitor filter section which smooths the signals prior to limiting. Limiting is performed by high-gain comparators which are provided with hysteresis to prevent detection of unwanted low-level signals. The outputs of the comparators provide full rail logic swings at the frequencies of the incoming DTMF signals.

Decoder Section

Following the filter section is a decoder employing digital counting techniques to determine the frequencies of the incoming tones and to verify that they correspond to standard DTMF frequencies. A complex averaging algorithm protects against tone simulation by extraneous signals such as voice while

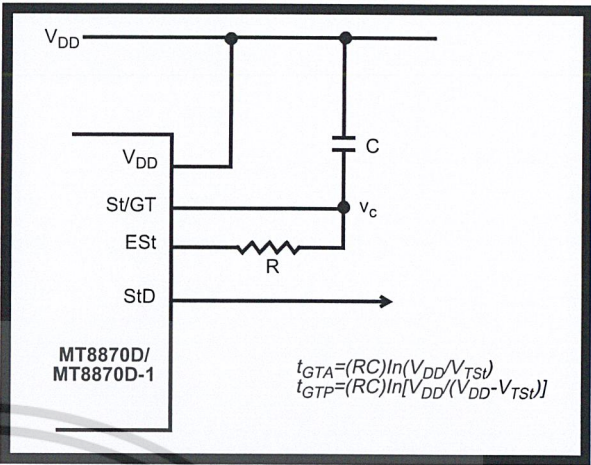


Figure 4 - Basic Steering Circuit

providing tolerance to small frequency deviations and variations. This averaging algorithm has been developed to ensure an optimum combination of immunity to talk-off and tolerance to the presence of interfering frequencies (third tones) and noise. When the detector recognizes the presence of two valid tones (this is referred to as the “signal condition” in some industry specifications) the “Early Steering” (Est) output will go to an active state. Any subsequent loss of signal condition will cause Est to assume an inactive state (see “Steering Circuit”).

Steering Circuit

Before registration of a decoded tone pair, the receiver checks for a valid signal duration (referred to as character recognition condition). This check is performed by an external RC time constant driven by Est. A logic high on Est causes vc (see Figure 4) to rise as the capacitor discharges. Provided signal

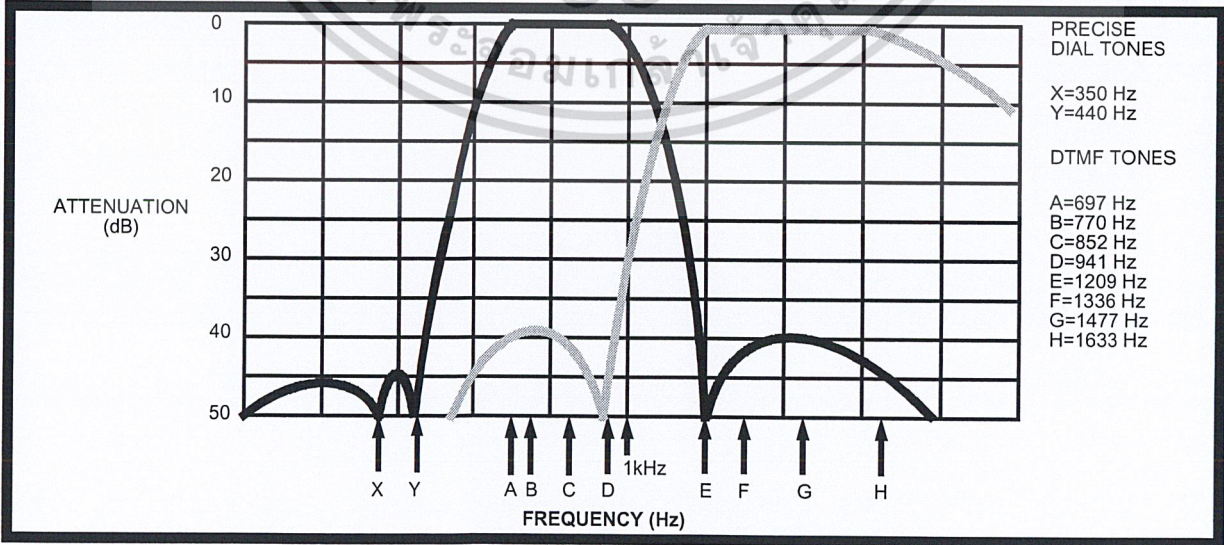


Figure 3 - Filter Response

MT8870D/MT8870D-1 ISO²-CMOS

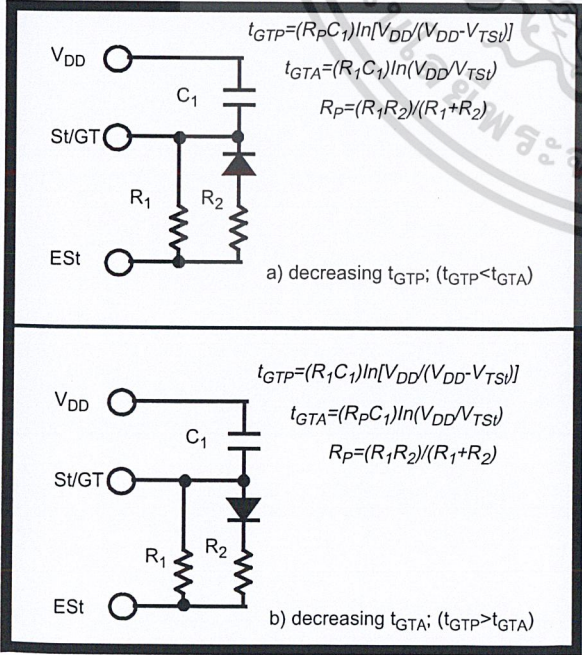
condition is maintained (ESt remains high) for the validation period (t_{GTP}), v_c reaches the threshold (V_{TSI}) of the steering logic to register the tone pair, latching its corresponding 4-bit code (see Table 1) into the output latch. At this point the GT output is activated and drives v_c to V_{DD} . GT continues to drive high as long as ESt remains high. Finally, after a short delay to allow the output latch to settle, the delayed steering output flag (StD) goes high, signalling that a received tone pair has been registered. The contents of the output latch are made available on the 4-bit output bus by raising the three state control input (TOE) to a logic high. The steering circuit works in reverse to validate the interdigit pause between signals. Thus, as well as rejecting signals too short to be considered valid, the receiver will tolerate signal interruptions (dropout) too short to be considered a valid pause. This facility, together with the capability of selecting the steering time constants externally, allows the designer to tailor performance to meet a wide variety of system requirements.

Guard Time Adjustment

In many situations not requiring selection of tone duration and interdigital pause, the simple steering circuit shown in Figure 4 is applicable. Component values are chosen according to the formula:

$t_{REC}=t_{DP}+t_{GTP}$
 $t_{ID}=t_{DA}+t_{GTA}$

The value of t_{DP} is a device parameter (see Figure 11) and t_{REC} is the minimum signal duration to be recognized by the receiver. A value for C of 0.1 μ F is



Digit	TOE	INH	ESt	Q ₄	Q ₃	Q ₂	Q ₁
ANY	L	X	H	Z	Z	Z	Z
1	H	X	H	0	0	0	1
2	H	X	H	0	0	1	0
3	H	X	H	0	0	1	1
4	H	X	H	0	1	0	0
5	H	X	H	0	1	0	1
6	H	X	H	0	1	1	0
7	H	X	H	0	1	1	1
8	H	X	H	1	0	0	0
9	H	X	H	1	0	0	1
0	H	X	H	1	0	1	0
*	H	X	H	1	0	1	1
#	H	X	H	1	1	0	0
A	H	L	H	1	1	0	1
B	H	L	H	1	1	1	0
C	H	L	H	1	1	1	1
D	H	L	H	0	0	0	0
A	H	H	L	undetected, the output code will remain the same as the previous detected code			
B	H	H	L				
C	H	H	L				
D	H	H	L				

Table 1. Functional Decode Table

L=LOGIC LOW, H=LOGIC HIGH, Z=HIGH IMPEDANCE
X = DON'T CARE

recommended for most applications, leaving R to be selected by the designer.

Different steering arrangements may be used to select independently the guard times for tone present (t_{GTP}) and tone absent (t_{GTA}). This may be necessary to meet system specifications which place both accept and reject limits on both tone duration and interdigital pause. Guard time adjustment also allows the designer to tailor system parameters such as talk off and noise immunity. Increasing t_{REC} improves talk-off performance since it reduces the probability that tones simulated by speech will maintain signal condition long enough to be registered. Alternatively, a relatively short t_{REC} with a long t_{DO} would be appropriate for extremely noisy environments where fast acquisition time and immunity to tone drop-outs are required. Design information for guard time adjustment is shown in Figure 5.

Power-down and Inhibit Mode

A logic high applied to pin 6 (PWDN) will power down the device to minimize the power consumption in a standby mode. It stops the oscillator and the functions of the filters.

Inhibit mode is enabled by a logic high input to the pin 5 (INH). It inhibits the detection of tones representing characters A, B, C, and D. The output code will remain the same as the previous detected code (see Table 1).

Differential Input Configuration

The input arrangement of the MT8870D/MT8870D-1 provides a differential-input operational amplifier as well as a bias source (V_{Ref}) which is used to bias the inputs at mid-rail. Provision is made for connection of a feedback resistor to the op-amp output (GS) for adjustment of gain. In a single-ended configuration, the input pins are connected as shown in Figure 10 with the op-amp connected for unity gain and V_{Ref} biasing the input at $\frac{1}{2}V_{DD}$. Figure 6 shows the differential configuration, which permits the adjustment of gain with the feedback resistor R_5 .

Crystal Oscillator

The internal clock circuit is completed with the addition of an external 3.579545 MHz crystal and is normally connected as shown in Figure 10 (Single-Ended Input Configuration). However, it is possible to configure several MT8870D/MT8870D-1 devices employing only a single oscillator crystal. The oscillator output of the first device in the chain is coupled through a 30 pF capacitor to the oscillator input (OSC1) of the next device. Subsequent devices are connected in a similar fashion. Refer to Figure 7 for details. The problems associated with unbalanced loading are not a concern with the arrangement shown, i.e., precision balancing capacitors are not required.

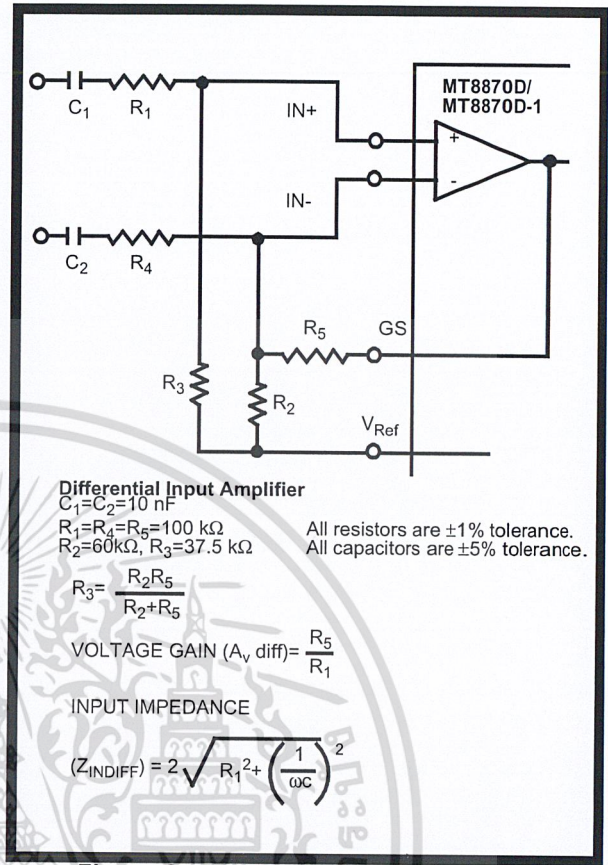


Figure 6 - Differential Input Configuration

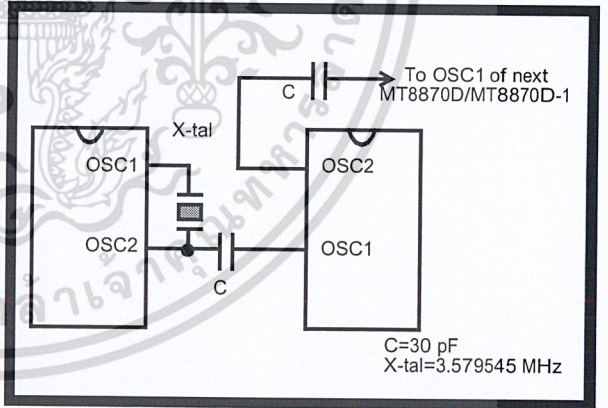


Figure 7 - Oscillator Connection

Parameter	Unit	Resonator
R1	Ohms	10.752
L1	mH	.432
C1	pF	4.984
C0	pF	37.915
Qm	-	896.37
Δf	%	$\pm 0.2\%$

Table 2. Recommended Resonator Specifications

Note: Qm=quality factor of RLC model, i.e., $1/2\pi fR1C1$.

MT8870D/MT8870D-1 ISO²-CMOS

Applications

RECEIVER SYSTEM FOR BRITISH TELECOM SPEC POR 1151

The circuit shown in Fig. 9 illustrates the use of MT8870D-1 device in a typical receiver system. BT Spec defines the input signals less than -34 dBm as the non-operate level. This condition can be attained by choosing a suitable values of R_1 and R_2 to provide 3 dB attenuation, such that -34 dBm input signal will correspond to -37 dBm at the gain setting pin GS of MT8870D-1. As shown in the diagram, the component values of R_3 and C_2 are the guard time requirements when the total component tolerance is 6%. For better performance, it is recommended to use the non-symmetric guard time circuit in Fig. 8.

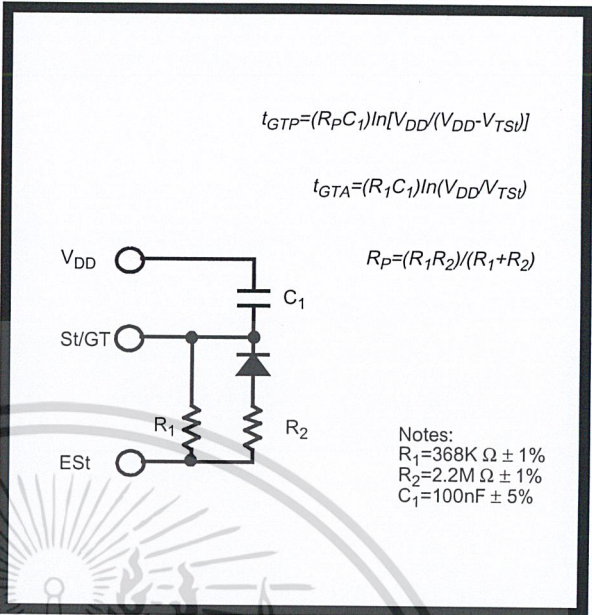


Figure 8 - Non-Symmetric Guard Time Circuit

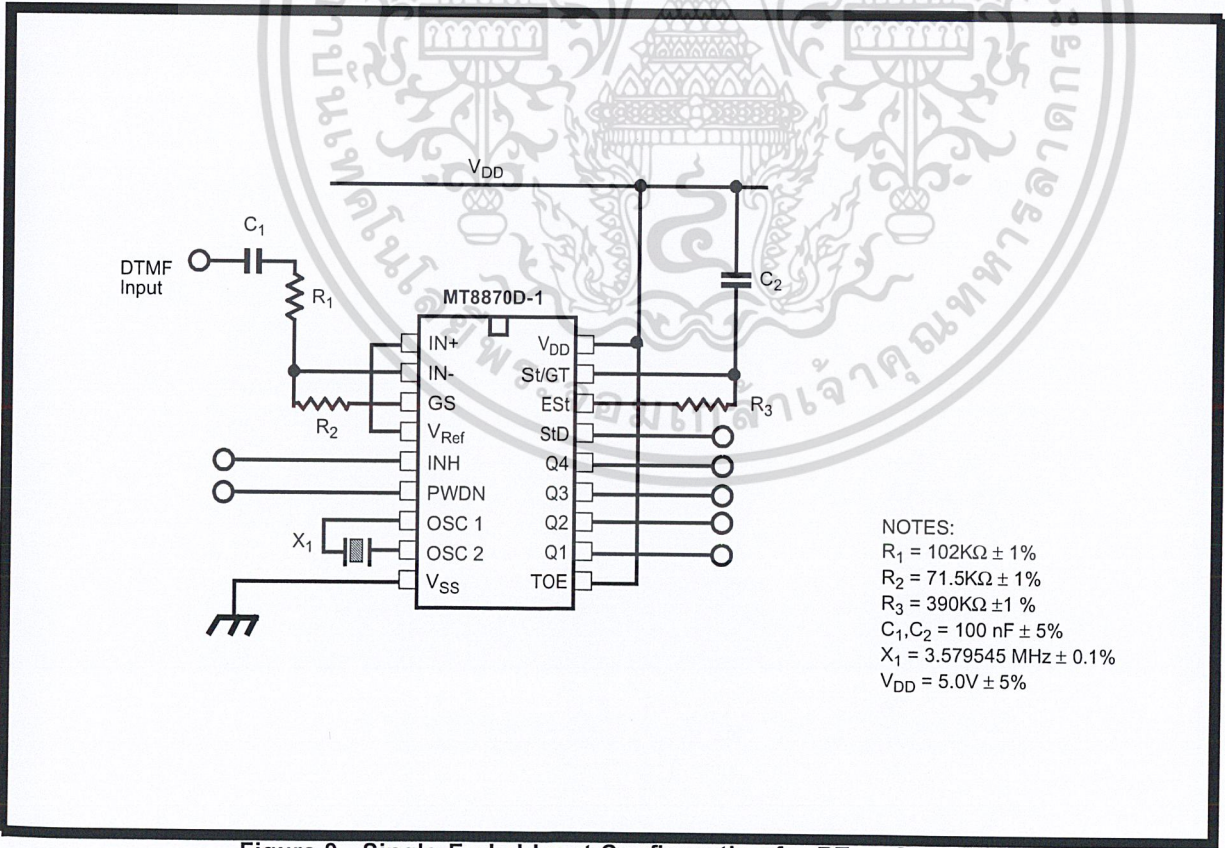


Figure 9 - Single-Ended Input Configuration for BT or CEPT Spec

Absolute Maximum Ratings[†]

	Parameter	Symbol	Min	Max	Units
1	DC Power Supply Voltage	V _{DD}		7	V
2	Voltage on any pin	V _I	V _{SS} -0.3	V _{DD} +0.3	V
3	Current at any pin (other than supply)	I _I		10	mA
4	Storage temperature	T _{STG}	-65	+150	°C
5	Package power dissipation	P _D		500	mW

[†] Exceeding these values may cause permanent damage. Functional operation under these conditions is not implied. Derate above 75 °C at 16 mW / °C. All leads soldered to board.

Recommended Operating Conditions - Voltages are with respect to ground (V_{SS}) unless otherwise stated.

	Parameter	Sym	Min	Typ [‡]	Max	Units	Test Conditions
1	DC Power Supply Voltage	V _{DD}	4.75	5.0	5.25	V	
2	Operating Temperature	T _O	-40		+85	°C	
3	Crystal/Clock Frequency	fc		3.579545		MHz	
4	Crystal/Clock Freq.Tolerance	Δfc		±0.1		%	

[‡] Typical figures are at 25°C and are for design aid only: not guaranteed and not subject to production testing.

DC Electrical Characteristics - V_{DD}=5.0V± 5%, V_{SS}=0V, -40°C ≤ T_O ≤ +85°C, unless otherwise stated.

		Characteristics	Sym	Min	Typ [‡]	Max	Units	Test Conditions
1	SUPPLY	Standby supply current	I _{DDQ}		10	25	μA	PWDN=V _{DD}
2		Operating supply current	I _{DD}		3.0	9.0	mA	
3		Power consumption	P _O		15		mW	fc=3.579545 MHz
4	INPUTS	High level input	V _{IH}	3.5			V	V _{DD} =5.0V
5		Low level input voltage	V _{IL}			1.5	V	V _{DD} =5.0V
6		Input leakage current	I _{IH} /I _{IL}		0.1		μA	V _{IN} =V _{SS} or V _{DD}
7		Pull up (source) current	I _{SO}		7.5	20	μA	TOE (pin 10)=0, V _{DD} =5.0V
8		Pull down (sink) current	I _{SI}		15	45	μA	INH=5.0V, PWDN=5.0V, V _{DD} =5.0V
9		Input impedance (IN+, IN-)	R _{IN}		10		MΩ	@ 1 kHz
10		Steering threshold voltage	V _{TSt}	2.2	2.4	2.5	V	V _{DD} = 5.0V
11	OUTPUTS	Low level output voltage	V _{OL}			V _{SS} +0.03	V	No load
12		High level output voltage	V _{OH}	V _{DD} -0.03			V	No load
13		Output low (sink) current	I _{OL}	1.0	2.5		mA	V _{OUT} =0.4 V
14		Output high (source) current	I _{OH}	0.4	0.8		mA	V _{OUT} =4.6 V
15		V _{Ref} output voltage	V _{Ref}	2.3	2.5	2.7	V	No load, V _{DD} = 5.0V
16		V _{Ref} output resistance	R _{OR}		1		kΩ	

[‡] Typical figures are at 25°C and are for design aid only: not guaranteed and not subject to production testing.

MT8870D/MT8870D-1 ISO²-CMOS

Operating Characteristics - $V_{DD}=5.0V\pm5\%$, $V_{SS}=0V$, $-40^{\circ}C \leq T_O \leq +85^{\circ}C$, unless otherwise stated.
Gain Setting Amplifier

	Characteristics	Sym	Min	Typ [‡]	Max	Units	Test Conditions
1	Input leakage current	I _{IN}			100	nA	$V_{SS} \leq V_{IN} \leq V_{DD}$
2	Input resistance	R _{IN}	10			MΩ	
3	Input offset voltage	V _{OS}			25	mV	
4	Power supply rejection	PSRR	50			dB	1 kHz
5	Common mode rejection	CMRR	40			dB	$0.75 V \leq V_{IN} \leq 4.25 V$ biased at $V_{Ref}=2.5 V$
6	DC open loop voltage gain	A _{VOL}	32			dB	
7	Unity gain bandwidth	f _C	0.30			MHz	
8	Output voltage swing	V _O	4.0			V _{pp}	Load $\geq 100 k\Omega$ to V_{SS} @ GS
9	Maximum capacitive load (GS)	C _L			100	pF	
10	Resistive load (GS)	R _L			50	kΩ	
11	Common mode range	V _{CM}	2.5			V _{pp}	No Load

MT8870D AC Electrical Characteristics - $V_{DD}=5.0V \pm 5\%$, $V_{SS}=0V$, $-40^{\circ}C \leq T_O \leq +85^{\circ}C$, using Test Circuit shown in Figure 10.

	Characteristics	Sym	Min	Typ [‡]	Max	Units	Notes*
1	Valid input signal levels (each tone of composite signal)		-29		+1	dBm	1,2,3,5,6,9
			27.5		869	mV _{RMS}	1,2,3,5,6,9
2	Negative twist accept				8	dB	2,3,6,9,12
3	Positive twist accept				8	dB	2,3,6,9,12
4	Frequency deviation accept		$\pm 1.5\% \pm 2 Hz$				2,3,5,9
5	Frequency deviation reject		$\pm 3.5\%$				2,3,5,9
6	Third tone tolerance			-16		dB	2,3,4,5,9,10
7	Noise tolerance			-12		dB	2,3,4,5,7,9,10
8	Dial tone tolerance			+22		dB	2,3,4,5,8,9,11

‡ Typical figures are at 25 °C and are for design aid only: not guaranteed and not subject to production testing.

- *NOTES
- 1. dBm= decibels above or below a reference power of 1 mW into a 600 ohm load.
 - 2. Digit sequence consists of all DTMF tones.
 - 3. Tone duration= 40 ms, tone pause= 40 ms.
 - 4. Signal condition consists of nominal DTMF frequencies.
 - 5. Both tones in composite signal have an equal amplitude.
 - 6. Tone pair is deviated by $\pm 1.5\% \pm 2 Hz$.
 - 7. Bandwidth limited (3 kHz) Gaussian noise.
 - 8. The precise dial tone frequencies are (350 Hz and 440 Hz) $\pm 2\%$.
 - 9. For an error rate of better than 1 in 10,000.
 - 10. Referenced to lowest level frequency component in DTMF signal.
 - 11. Referenced to the minimum valid accept level.
 - 12. Guaranteed by design and characterization.

MT8870D-1 AC Electrical Characteristics - $V_{DD}=5.0V\pm5\%$, $V_{SS}=0V$, $-40^{\circ}C \leq T_O \leq +85^{\circ}C$, using Test Circuit shown in Figure 10.

	Characteristics	Sym	Min	Typ [‡]	Max	Units	Notes*
1	Valid input signal levels (each tone of composite signal)		-31		+1	dBm	Tested at $V_{DD}=5.0V$ 1,2,3,5,6,9
			21.8		869	mV _{RMS}	
2	Input Signal Level Reject		-37			dBm	Tested at $V_{DD}=5.0V$ 1,2,3,5,6,9
			10.9			mV _{RMS}	
3	Negative twist accept				8	dB	2,3,6,9,13
4	Positive twist accept				8	dB	2,3,6,9,13
5	Frequency deviation accept		$\pm 1.5\% \pm 2\text{ Hz}$				2,3,5,9
6	Frequency deviation reject		$\pm 3.5\%$				2,3,5,9
7	Third zone tolerance			-18.5		dB	2,3,4,5,9,12
8	Noise tolerance			-12		dB	2,3,4,5,7,9,10
9	Dial tone tolerance			+22		dB	2,3,4,5,8,9,11

[‡] Typical figures are at 25 °C and are for design aid only: not guaranteed and not subject to production testing.

***NOTES**

1. dBm= decibels above or below a reference power of 1 mW into a 600 ohm load.
2. Digit sequence consists of all DTMF tones.
3. Tone duration= 40 ms, tone pause= 40 ms.
4. Signal condition consists of nominal DTMF frequencies.
5. Both tones in composite signal have an equal amplitude.
6. Tone pair is deviated by $\pm 1.5\% \pm 2\text{ Hz}$.
7. Bandwidth limited (3 kHz) Gaussian noise.
8. The precise dial tone frequencies are (350 Hz and 440 Hz) $\pm 2\%$.
9. For an error rate of better than 1 in 10,000.
10. Referenced to lowest level frequency component in DTMF signal.
11. Referenced to the minimum valid accept level.
12. Referenced to Fig. 10 input DTMF tone level at -25dBm (-28dBm at GS Pin) interference frequency range between 480-3400Hz.
13. Guaranteed by design and characterization.

MT8870D/MT8870D-1 ISO²-CMOS

AC Electrical Characteristics - $V_{DD}=5.0V\pm5\%$, $V_{SS}=0V$, $-40^{\circ}C \leq T_o \leq +85^{\circ}C$, using Test Circuit shown in Figure 10.

		Characteristics	Sym	Min	Typ [‡]	Max	Units	Conditions
1	T I M I N G	Tone present detect time	t _{DP}	5	11	14	ms	Note 1
2		Tone absent detect time	t _{DA}	0.5	4	8.5	ms	Note 1
3		Tone duration accept	t _{REC}			40	ms	Note 2
4		Tone duration reject	t _{REC}	20			ms	Note 2
5		Interdigit pause accept	t _{ID}			40	ms	Note 2
6		Interdigit pause reject	t _{DO}	20			ms	Note 2
7	O U T P U T S	Propagation delay (St to Q)	t _{PQ}		8	11	μs	TOE=V _{DD}
8		Propagation delay (St to StD)	t _{PStD}		12	16	μs	TOE=V _{DD}
9		Output data set up (Q to StD)	t _{QStD}		3.4		μs	TOE=V _{DD}
10		Propagation delay (TOE to Q ENABLE)	t _{PTE}		50		ns	load of 10 kΩ, 50 pF
11		Propagation delay (TOE to Q DISABLE)	t _{PTD}		300		ns	load of 10 kΩ, 50 pF
12	P D W N	Power-up time	t _{PU}		30		ms	Note 3
13		Power-down time	t _{PD}		20		ms	
14	C L O C K	Crystal/clock frequency	f _C	3.5759	3.5795	3.5831	MHz	
15		Clock input rise time	t _{LHCL}			110	ns	Ext. clock
16		Clock input fall time	t _{HLCL}			110	ns	Ext. clock
17		Clock input duty cycle	DC _{CL}	40	50	60	%	Ext. clock
18		Capacitive load (OSC2)	C _{LO}			30	pF	

[‡] Typical figures are at 25°C and are for design aid only: not guaranteed and not subject to production testing.

- *NOTES:**
- 1. Used for guard-time calculation purposes only.
 - 2. These, user adjustable parameters, are not device specifications. The adjustable settings of these minimums and maximums are recommendations based upon network requirements.
 - 3. With valid tone present at input, t_{PU} equals time from PDWN going low until ESt going high.

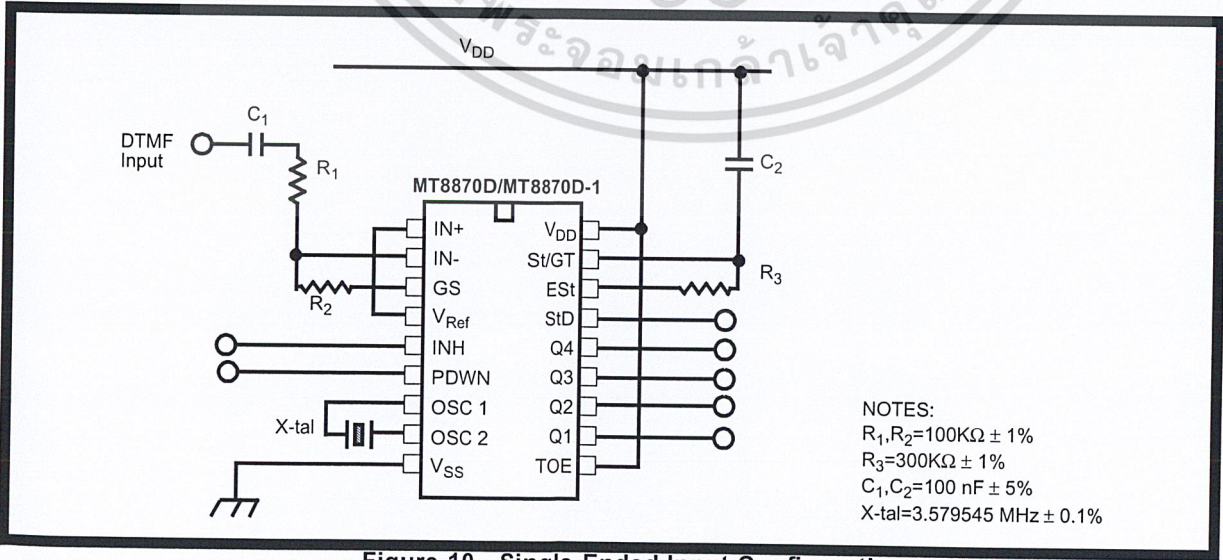
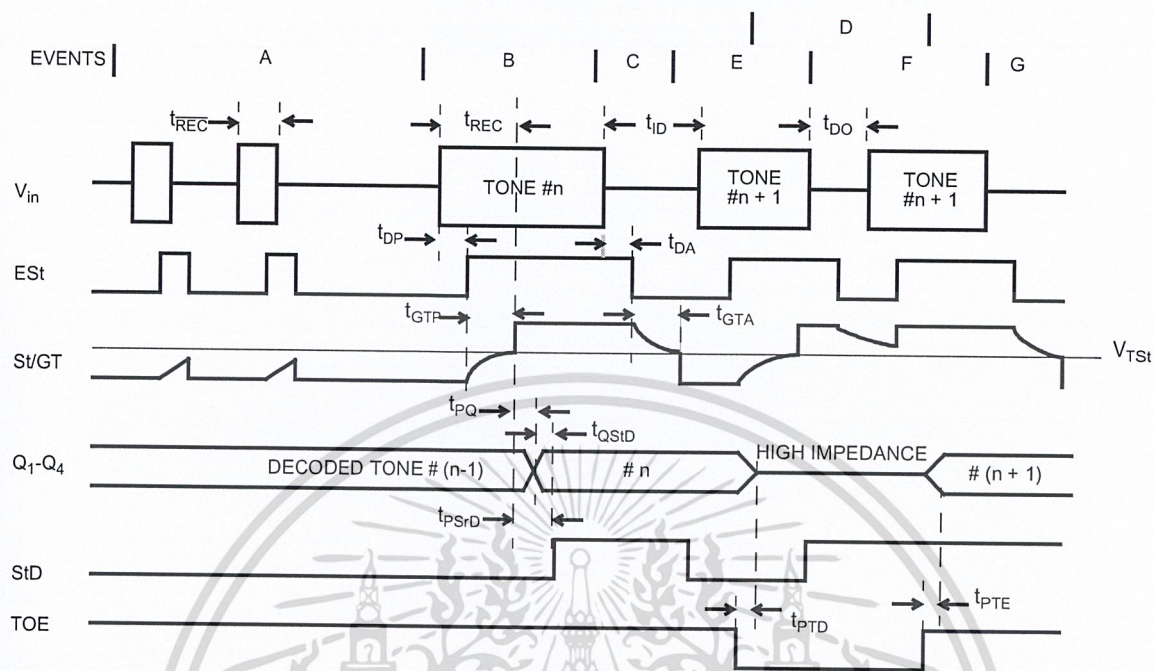


Figure 10 - Single-Ended Input Configuration



EXPLANATION OF EVENTS

- A) TONE BURSTS DETECTED, TONE DURATION INVALID, OUTPUTS NOT UPDATED.
- B) TONE #n DETECTED, TONE DURATION VALID, TONE DECODED AND LATCHED IN OUTPUTS
- C) END OF TONE #n DETECTED, TONE ABSENT DURATION VALID, OUTPUTS REMIAN LATCHED UNTIL NEXT VALID TONE.
- D) OUTPUTS SWITCHED TO HIGH IMPEDANCE STATE.
- E) TONE #n + 1 DETECTED, TONE DURATION VALID, TONE DECODED AND LATCHED IN OUTPUTS (CURRENTLY HIGH IMPEDANCE).
- F) ACCEPTABLE DROPOUT OF TONE #n + 1, TONE ABSENT DURATION INVALID, OUTPUTS REMAIN LATCHED.
- G) END OF TONE #n + 1 DETECTED, TONE ABSENT DURATION VALID, OUTPUTS REMAIN LATCHED UNTIL NEXT VALID TONE.

EXPLANATION OF SYMBOLS

- V_{in} DTMF COMPOSITE INPUT SIGNAL.
- ESt EARLY STEERING OUTPUT. INDICATES DETECTION OF VALID TONE FREQUENCIES.
- St/GT STEERING INPUT/GUARD TIME OUTPUT. DRIVES EXTERNAL RC TIMING CIRCUIT.
- Q_1-Q_4 4-BIT DECODED TONE OUTPUT.
- StD DELAYED STEERING OUTPUT. INDICATES THAT VALID FREQUENCIES HAVE BEEN PRESENT/ABSENT FOR THE REQUIRED GUARD TIME THUS CONSTITUTING A VALID SIGNAL.
- TOE TONE OUTPUT ENABLE (INPUT). A LOW LEVEL SHIFTS Q_1-Q_4 TO ITS HIGH IMPEDANCE STATE.
- t_{REC} MAXIMUM DTMF SIGNAL DURATION NOT DETECED AS VALID
- t_{REC} MINIMUM DTMF SIGNAL DURATION REQUIRED FOR VALID RECOGNITION
- t_{ID} MAXIMUM TIME BETWEEN VALID DTMF SIGNALS.
- t_{DO} MAXIMUM ALLOWABLE DROP OUT DURING VALID DTMF SIGNAL.
- t_{DP} TIME TO DETECT THE PRESENCE OF VALID DTMF SIGNALS.
- t_{DA} TIME TO DETECT THE ABSENCE OF VALID DTMF SIGNALS.
- t_{GTP} GUARD TIME, TONE PRESENT.
- t_{GTA} GUARD TIME, TONE ABSENT.

Figure 11 - Timing Diagram



ISD2560/75/90/120 Products

Single-Chip Voice Record/Playback Devices

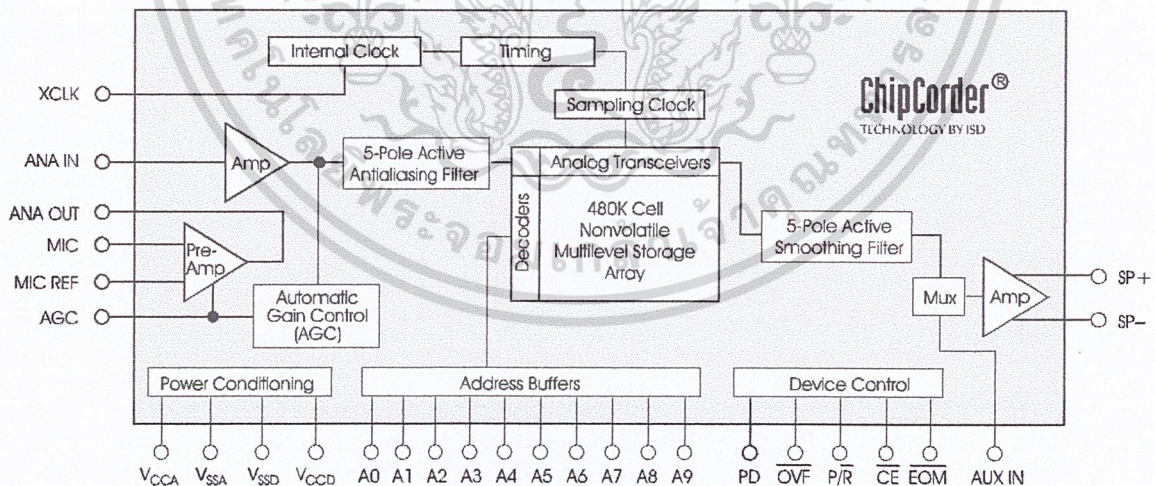
60-, 75-, 90-, and 120-Second Durations

GENERAL DESCRIPTION

Information Storage Devices' ISD2500 ChipCorder® Series provides high-quality, single-chip record/playback solutions for 60- to 120-second messaging applications. The CMOS devices include an on-chip oscillator, microphone preamplifier, automatic gain control, antialiasing filter, smoothing filter, speaker amplifier, and high density multilevel storage array. In addition, the ISD2500 is microcontroller compatible, allowing complex messaging and addressing to be achieved.

Recordings are stored in on-chip nonvolatile memory cells, providing zero-power message storage. This unique, single-chip solution is made possible through ISD's patented multilevel storage technology. Voice and audio signals are stored directly into memory in their natural form, providing high-quality, solid-state voice reproduction.

Figure: ISD2560/75/90/120 Device Block Diagram



FEATURES

- Easy-to-use single-chip voice record/playback solution
- High-quality, natural voice/audio reproduction
- Manual switch or microcontroller compatible playback can be edge- or level-activated
- Single-chip durations of 60, 75, 90, and 120 seconds
- Directly cascadable for longer durations
- Automatic Power-Down (Push-Button Mode)
 - Standby current 1 μ A (typical)
- Zero-power message storage
 - Eliminates battery backup circuits
- Fully addressable to handle multiple messages
- 100-year message retention (typical)
- 100,000 record cycles (typical)
- On-chip clock source
- Programmer support for play-only applications
- Single +5 volt power supply
- Available in die form, DIP, and TSOP packaging
- Industrial temperature (–40°C to +85°C) versions available

Table: ISD2560/75/90/120 Product Summary

Part Number	Duration (Seconds)	Input Sample Rate (KHz)	Typical Filter Pass Band (KHz)
ISD2560	60	8.0	3.4
ISD2575	75	6.4	2.7
ISD2590	90	5.3	2.3
ISD25120	120	4.0	1.7

DETAILED DESCRIPTION

SPEECH/SOUND QUALITY

The ISD2500 series includes devices offered at 4.0, 5.3, 6.4, and 8.0 KHz sampling frequencies, allowing the user a choice of speech quality options. Increasing the duration within a product series decreases the sampling frequency and bandwidth, which affects sound quality. Please refer to the ISD2560/75/90/120 Product Summary table on page *ii* to compare filter pass band and product durations.

The speech samples are stored directly into on-chip nonvolatile memory without the digitization and compression associated with other solutions. Direct analog storage provides a very true, natural sounding reproduction of voice, music, tones, and sound effects not available with most solid-state digital solutions.

DURATION

To meet end system requirements, the ISD2500 series offers single-chip solutions at 60, 75, 90, and 120 seconds. Parts may also be cascaded together for longer durations.

EEPROM STORAGE

One of the benefits of ISD's ChipCorder technology is the use of on-chip nonvolatile memory, providing zero-power message storage. The message is retained for up to 100 years typically without power. In addition, the device can be re-recorded typically over 100,000 times.

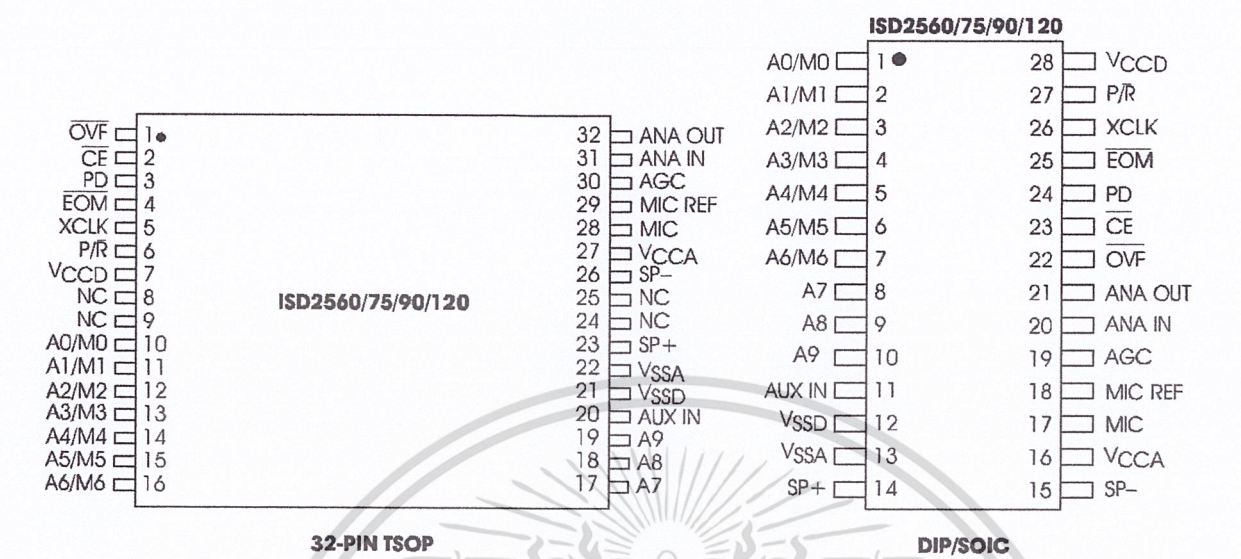
MICROCONTROLLER INTERFACE

In addition to its simplicity and ease of use, the ISD2500 series includes all the interfaces necessary for microcontroller-driven applications. The address and control lines can be interfaced to a microcontroller and manipulated to perform a variety of tasks, including message assembly, message concatenation, predefined fixed message segmentation, and message management.

PROGRAMMING

The ISD2500 series is also ideal for playback-only applications, where single or multiple messages are referenced through buttons, switches, or a microcontroller. Once the desired message configuration is created, duplicates can easily be generated via an ISD programmer.

Figure 1: ISD2560/75/90/120 Device Pinouts



PIN DESCRIPTIONS

VOLTAGE INPUTS (VCCA, VCCD)

To minimize noise, the analog and digital circuits in the ISD2500 series devices use separate power busses. These voltage busses are brought out to separate pins and should be tied together as close to the supply as possible. In addition, these supplies should be decoupled as close to the package as possible.

GROUND INPUTS (VSSA, VSSD)

The ISD2500 series of devices utilizes separate analog and digital ground busses. These pins should be connected separately through a low-impedance path to power supply ground.

POWER DOWN INPUT (PD)

When not recording or playing back, the PD pin should be pulled HIGH to place the part in a very low power mode (see I_{SB} specification). When overflow (OVF) pulses LOW for an overflow condition, PD should be brought HIGH to reset the address pointer back to the beginning of the record/playback space. The PD pin has additional functionality in the M6 (Push-Button) Operational Mode described later in the Operational Mode section.

CHIP ENABLE INPUT (CE)

The CE pin is taken LOW to enable all playback and record operations. The address inputs and playback/record input (P/R) are latched by the falling edge of CE. CE has additional functionality in the M6 (Push-Button) Operational Mode described later in the Operational Mode section.

PLAYBACK/RECORD INPUT (P/R)

The P/R input is latched by the falling edge of the $\overline{CE}$ pin. A HIGH level selects a playback cycle while a LOW level selects a record cycle. For a record cycle, the address inputs provide the starting address and recording continues until PD or $\overline{CE}$ is pulled HIGH or an overflow is detected (i.e. the chip is full). When a record cycle is terminated by pulling PD or $\overline{CE}$ HIGH, an End-Of-Message (EOM) marker is stored at the current address in memory. For a playback cycle, the address inputs provide the starting address and the device will play until an EOM marker is encountered. The device can continue past an EOM marker in an Operational Mode, or if $\overline{CE}$ is held LOW in address mode. (See page 5 for more Operational Modes).

END-OF-MESSAGE / RUN OUTPUT (EOM)

A nonvolatile marker is automatically inserted at the end of each recorded message. It remains there until the message is recorded over. The EOM output pulses LOW for a period of T_{EOM} at the end of each message.

In addition, the ISD2500 series has an internal V_{CC} detect circuit to maintain message integrity should V_{CC} fall below 3.5 V. In this case, EOM goes LOW and the device is fixed in playback-only mode.

When the device is configured in Operational Mode M6 (Push-Button Mode), this pin provides an active-HIGH RUN signal, indicating the device is currently recording or playing. This signal can conveniently drive an LED for a visual indicator of a record or playback operation in process.

OVERFLOW OUTPUT ($\overline{OVF}$)

This signal pulses LOW at the end of memory space, indicating the device has been filled and the message has overflowed. The $\overline{OVF}$ output then follows the $\overline{CE}$ input until a PD pulse has reset the device. This pin can be used to cascade several ISD2500 devices together to increase record/playback durations.

MICROPHONE INPUT (MIC)

The microphone input transfers its signal to the on-chip preamplifier. An on-chip Automatic Gain Control (AGC) circuit controls the gain of this preamplifier from -15 to 24 dB. An external microphone should be AC coupled to this pin via a series capacitor. The capacitor value, together with the internal 10 K Ω resistance on this pin, determines the low-frequency cutoff for the ISD2500 series passband. See Application Information for additional information on low-frequency cutoff calculation.

MICROPHONE REFERENCE INPUT (MIC REF)

The MIC REF input is the inverting input to the microphone preamplifier. This provides a noise-canceling or common-mode rejection input to the device when connected to a differential microphone.

AUTOMATIC GAIN CONTROL INPUT (AGC)

The AGC dynamically adjusts the gain of the preamplifier to compensate for the wide range of microphone input levels. The AGC allows the full range of whispers to loud sounds to be recorded with minimal distortion. The "attack" time is determined by the time constant of a 5 K Ω internal resistance and an external capacitor (C2 on the schematic on page 18) connected from the AGC pin to V_{SSA} analog ground. The "release" time is determined by the time constant of an external resistor (R2) and an external capacitor (C2) connected in parallel between the AGC Pin and V_{SSA} analog ground. Nominal values of 470 K Ω and 4.7 μ F give satisfactory results in most cases.

ANALOG OUTPUT (ANA OUT)

This pin provides the preamplifier output to the user. The voltage gain of the preamplifier is determined by the voltage level at the AGC pin.

ANALOG INPUT (ANA IN)

The analog input pin transfers its signal to the chip for recording. For microphone inputs, the ANA OUT pin should be connected via an external capacitor to the ANA IN pin. This capacitor value, together with the 3.0 K Ω input impedance of ANA IN, is selected to give additional cutoff at the low-frequency end of the voice passband. If the desired input is derived from a source other than a microphone, the signal can be fed, capacitively coupled, into the ANA IN pin directly.

EXTERNAL CLOCK INPUT (XCLK)

The external clock input for the ISD2500 devices has an internal pull-down device. These devices are configured at the factory with an internal sampling clock frequency centered to ± 1 percent of specification. The frequency is then maintained to a variation of ± 2.25 percent over the entire commercial temperature and operating voltage ranges. The internal clock has a ± 5 percent tolerance over the industrial temperature and voltage range. A regulated power supply is recommended for industrial temperature range parts. If greater precision is required, the device can be clocked through the XCLK pin as follows:

Table 1: External Clock Sample Rates

Part Number	Sample Rate	Required Clock
ISD2560	8.0 KHz	1024 KHz
ISD2575	6.4 KHz	819.2 KHz
ISD2590	5.3 KHz	682.7 KHz
ISD25120	4.0 KHz	512 KHz

These recommended clock rates should not be varied because the antialiasing and smoothing filters are fixed, and aliasing problems can occur if the sample rate differs from the one recommended. The duty cycle on the input clock is not critical, as the clock is immediately divided by two. **If the XCLK is not used, this input must be connected to ground.**

SPEAKER OUTPUTS (SP+ /SP-)

All devices in the ISD2500 series include an on-chip differential speaker driver, capable of driving 50 mW into 16 Ω from AUX IN (12.2 mW from memory).

The speaker outputs are held at V_{SSA} levels during record and power down. It is therefore not possible to parallel speaker outputs of multiple ISD2500 devices or the outputs of other speaker drivers.

NOTE Connection of speaker outputs in parallel may cause damage to the device.

A single output may be used alone (including a coupling capacitor between the SP pin and the speaker). These outputs may be used individually with the output signal taken from either pin. Using the differential outputs results in a 4 to 1 improvement in output power.

NOTE Never ground or drive an unused speaker output.

AUXILIARY INPUT (AUX IN)

The Auxiliary Input is multiplexed through to the output amplifier and speaker output pins when $\overline{CE}$ is HIGH, P/ $\overline{R}$ is HIGH, and playback is currently not active or if the device is in playback overflow. When cascading multiple ISD2500 devices, the AUX IN pin is used to connect a playback signal from a following device to the previous output speaker drivers. For noise considerations, it is suggested that the auxiliary input not be driven when the storage array is active.

ADDRESS/MODE INPUTS (AX/MX)

The Address/Mode Inputs have two functions depending on the level of the two Most Significant Bits (MSB) of the address (A8 and A9).

If either or both of the two MSBs are LOW, the inputs are all interpreted as address bits and are used as the start address for the current record or playback cycle. The address pins are inputs only and do not output internal address information as the operation progresses. Address inputs are latched by the falling edge of $\overline{CE}$.

If both MSBs are HIGH, the Address/Mode Inputs are interpreted as Mode bits according to the Operational Mode table. There are six Operational Modes (M0..M6) available as indicated in the table. It is possible to use multiple Operational Modes simultaneously. Operational Modes are sampled on each falling edge of $\overline{CE}$, and thus Operational Modes and direct addressing are mutually exclusive.

OPERATIONAL MODES

The ISD2500 series is designed with several built-in Operational Modes that provide maximum functionality with minimum additional components. These are described in detail below. The Operational Modes use the address pins on the ISD2500 devices, but are mapped outside the valid address range. When the two Most Significant Bits (MSBs) are HIGH (A8 and A9), the remaining address signals are interpreted as mode bits and not as address bits. Therefore, Operational Modes and direct addressing are not compatible and cannot be used simultaneously.

There are two important considerations for using Operational Modes. First, all operations begin initially at address 0, which is the beginning of the ISD2500 address space. Later operations can begin at other address locations, depending on the Operational Mode(s) chosen. In addition, the address pointer is reset to 0 when the device is changed from record to playback, playback to record (except M6 mode), or when a Power-Down cycle is executed.

Second, Operational Modes are executed when $\overline{CE}$ goes LOW and the two MSBs are HIGH. This Operational Mode remains in effect until the next LOW-going $\overline{CE}$ signal, at which point the current address/mode levels are sampled and executed.

Table 2: Operational Modes Table

Mode Control	Function	Typical Use	Jointly Compatible ¹
M0	Message cueing	Fast-forward through messages	M4, M5, M6
M1	Delete EOM markers	Position EOM marker at the end of the last message	M3, M4, M5, M6
M2	Not applicable	Reserved	N/A
M3	Looping	Continuous playback from Address 0	M1, M5, M6
M4	Consecutive addressing	Record/play multiple consecutive messages	M0, M1, M5
M5	$\overline{CE}$ level-activated	Allows message pausing	M0, M1, M3, M4
M6	Push-button control	Simplified device interface	M0, M1, M3

1. Additional Operational Modes can be used simultaneously with the given mode.

OPERATIONAL MODES DESCRIPTION

The Operational Modes can be used in conjunction with a microcontroller, or they can be hard-wired to provide the desired system operation.

M0 — MESSAGE CUEING

Message Cueing allows the user to skip through messages, without knowing the actual physical addresses of each message. Each $\overline{\text{CE}}$ LOW pulse causes the internal address pointer to skip to the next message. This mode should be used for playback only, and is typically used with the M4 Operational Mode.

M1 — DELETE EOM MARKERS

The M1 Operational Mode allows sequentially recorded messages to be combined into a single message with only one EOM marker set at the end of the final message. When this Operational Mode is configured, messages recorded sequentially are played back as one continuous message.

M2 — UNUSED

When Operational Modes are selected, the M2 pin should be LOW.

M3 — MESSAGE LOOPING

The M3 Operational Mode allows for the automatic, continuously repeated playback of the message located at the beginning of the address space. A message can completely fill the ISD2500 device and will loop from beginning to end without $\overline{\text{OVF}}$ going LOW.

M4 — CONSECUTIVE ADDRESSING

During normal operations, the address pointer will reset when a message is played through to an EOM marker. The M4 Operational Mode inhibits the address pointer reset on EOM, allowing messages to be played back consecutively.

M5 — $\overline{\text{CE}}$ -LEVEL ACTIVATED

The default mode for ISD2500 devices is for $\overline{\text{CE}}$ to be edge-activated on playback and level-activated on record. The M5 Operational Mode causes the $\overline{\text{CE}}$ pin to be interpreted as level-activated as opposed to edge-activated during playback. This is specifically useful for terminating playback operations using the $\overline{\text{CE}}$ signal.

In this mode, $\overline{\text{CE}}$ LOW begins a playback cycle, at the beginning of the device memory. The playback cycle continues as long as $\overline{\text{CE}}$ is held LOW. When $\overline{\text{CE}}$ goes HIGH, playback will immediately end. A new $\overline{\text{CE}}$ LOW will restart the message from the beginning unless M4 is also HIGH.

M6 — PUSH-BUTTON MODE

The ISD2500 series of devices contain a Push-Button Operational Mode. The Push-Button mode is used primarily in very low-cost applications and is designed to minimize external circuitry and components, thereby reducing system cost. In order to configure the device in Push-Button Operational Mode, the two most significant address bits must be HIGH, and the M6 mode pin must also be HIGH. A device in this mode always powers down at the end of each playback or record cycle after $\overline{\text{CE}}$ goes HIGH.

When this Operational Mode is implemented, several of the pins on the device have alternate functionality:

Table 3: Alternate Functionality in Pins

Pin Name	Alternate Functionality in Push-Button Mode
CE	Start/Pause Push-Button (LOW pulse-activated)
PD	Stop/Reset Push-Button (HIGH pulse activated)
EOM	Active-HIGH Run Indicator

CE PIN (START/PAUSE)

In Push-Button Operational Mode, $\overline{CE}$ acts as a LOW-going pulse-activated START/PAUSE signal. If no operation is currently in progress, a LOW-going pulse on this signal will initiate a playback or a record cycle according to the level on the $P/\overline{R}$ pin. A subsequent pulse on the $\overline{CE}$ pin, before an End-Of-Message is reached in playback or an overflow condition occurs, will cause the device to pause. The address counter is not reset, and another $\overline{CE}$ pulse will cause the device to continue the operation from the place where it was paused.

PD PIN (STOP/RESET)

In push-button Operational Mode, PD acts as a HIGH-going pulse-activated STOP/RESET signal. When a playback or record cycle is in progress and a HIGH-going pulse is observed on PD, the current cycle is terminated and the address pointer is reset to address 0, the beginning of the message space.

EOM PIN (RUN)

In Push-Button Operational Mode, $\overline{EOM}$ becomes an active-HIGH RUN signal which can be used to drive an LED or other external device. It is HIGH whenever a record or playback operation is in progress.

Recording in Push-Button Mode

1. The PD pin should be LOW, usually using a pull-down resistor.
2. The $P/\overline{R}$ pin is taken LOW.
3. The $\overline{CE}$ pin is pulsed LOW. Recording starts, $\overline{EOM}$ goes HIGH to indicate an operation in progress.
4. The $\overline{CE}$ pin is pulsed LOW. Recording pauses, $\overline{EOM}$ goes back LOW. The internal address pointers are not cleared, but an EOM marker is stored in memory to point to the message end. The $P/\overline{R}$ pin may be taken HIGH at this time. Any subsequent $\overline{CE}$ would start a playback at address 0.

5. The $\overline{CE}$ pin is pulsed LOW. Recording starts at the next address after the previous set EOM marker. $\overline{EOM}$ goes back HIGH.

NOTE If the M1 Operational Mode pin is also HIGH, the just previously written EOM bit is erased, and recording starts at that address.)

6. When the recording sequences are finished, the final $\overline{CE}$ pulse LOW will end the last record cycle, leaving a set EOM marker at the message end. Recording may also be terminated by a HIGH level on PD, which will leave a set EOM marker.

Playback in Push-Button Mode

1. The PD pin should be LOW.
2. The $P/\overline{R}$ pin is taken HIGH.
3. The $\overline{CE}$ pin is pulsed LOW. Playback starts, $\overline{EOM}$ goes HIGH to indicate an operation in progress.
4. If the $\overline{CE}$ pin is pulsed LOW or an EOM marker is encountered during an operation, the part will pause. The internal address pointers are not cleared, and $\overline{EOM}$ goes back LOW. The $P/\overline{R}$ pin may be changed at this time. A subsequent record operation would not reset the address pointers and the recording would begin where playback ended.
5. $\overline{CE}$ is again pulsed LOW. Playback starts where it left off, with $\overline{EOM}$ going HIGH to indicate an operation in progress.
6. Playback continues as in steps 4 and 5 until PD is pulsed HIGH or overflow occurs.
7. If in overflow, pulling $\overline{CE}$ LOW will reset the address pointer and start playback from the beginning. After a PD pulse, the part is reset to address 0.

NOTE Push-button mode can be used in conjunction with modes M0, M1, and M3.

GOOD AUDIO DESIGN PRACTICES

ISD products are very high-quality single-chip voice recording and playback systems. To ensure the highest quality voice reproduction, it is important that good audio design practices on layout and power supply decoupling be followed. See the ISD Application Notes in this book for details.

ISD1000A COMPATIBILITY

The ISD2500 series of devices is designed to provide upward compatibility with the ISD1000A family. When designing with the ISD2500 series, the following differences should be noted.

ADDRESSING

The ISD2560/75/90/120 devices have 480K storage cells designed to provide 60 seconds of storage at a sampling rate of 8.0 KHz. This is approximately four times the storage of the ISD1000A family. To enable the same addressing resolution, two additional address pins have been added. The address space of each device is divisible into 600 increments with valid addressing from 00 to 257 Hex. Some higher addresses are mapped into the Operational Modes. All other addresses are invalid.

OVERFLOW

The ISD1000A series combined two functions on the EOM pin: end-of-message indication and overflow. The ISD2500 separates these two functions. Pin 25 (PDIP package) remains as EOM, but outputs only the EOM signal indication. Pin 22 (PDIP package) becomes OVF and pulses LOW only when the device reaches its end of memory, or is "full." This change allows easy message cueing and addressability across device boundaries. This also means that the M2 Operational Mode found in the ISD1000A family is not implemented in the ISD2500 series.

PUSH-BUTTON MODE

The ISD2500 series includes an additional Operational Mode called Push-Button mode. This provides an alternative interface to the record and playback functions of the part. The CE and PD pins become redefined as edge-activated "push-buttons." A pulse on CE initiates a cycle, and if triggered again, pauses the current cycle without resetting the address pointer (i.e., a Start or Pause function). PD stops any current cycle and resets the address pointer to the beginning of the message space (i.e., a Stop and Reset function). Additionally, the EOM pin functions as an active-HIGH run indicator, and can be used to drive an LED indicating a record or playback operation is in progress. Devices in the Push-Button mode cannot be cascaded.

LOOPING MODE

The ISD2500 series can loop with a message that completely fills the memory space.

NOTE Additional descriptions of ISD2500 device functionality and application examples are provided in the ISD Application Notes in this book.

TIMING DIAGRAMS

Figure 2: Record

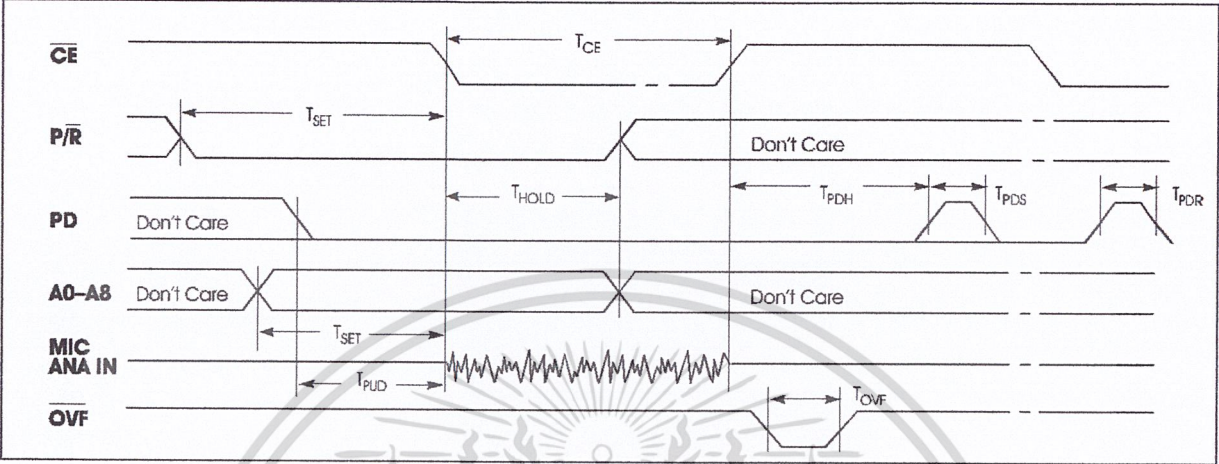


Figure 3: Playback

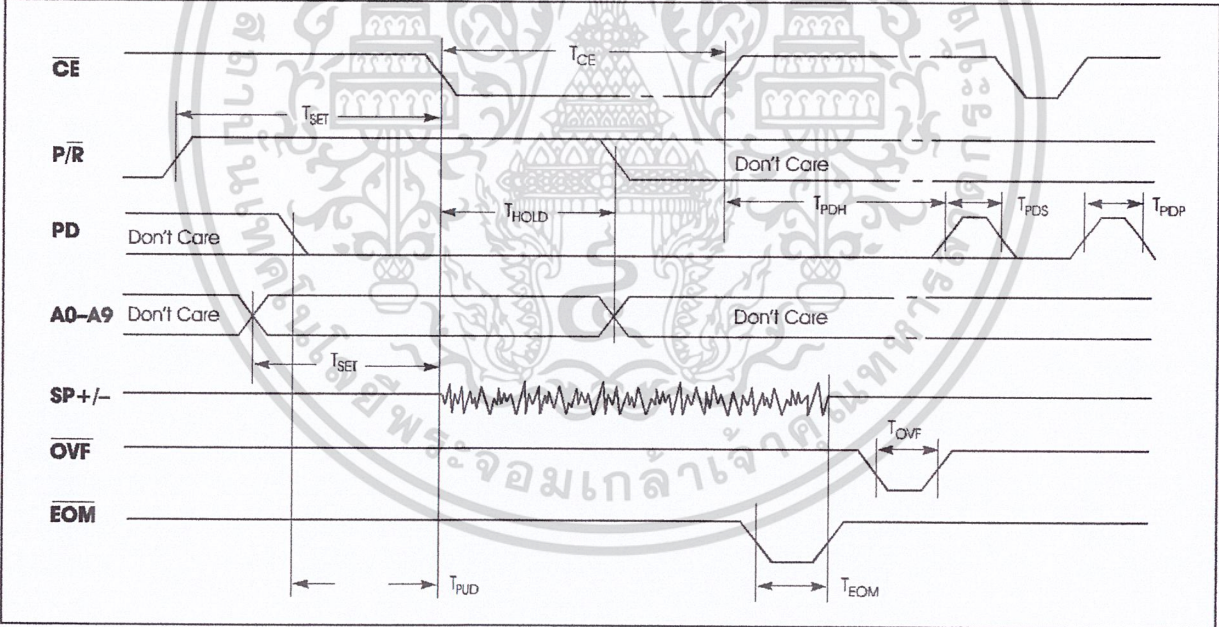


Table 4: Absolute Maximum Ratings (Packaged Parts)⁽¹⁾

Condition	Value
Junction temperature	150°C
Storage temperature range	-65°C to +150°C
Voltage applied to any pin	(V _{SS} - 0.3 V) to (V _{CC} + 0.3 V)
Voltage applied to any pin (Input current limited to ±20 mA)	(V _{SS} - 1.0 V) to (V _{CC} + 1.0 V)
Lead temperature (soldering - 10 seconds)	300°C
V _{CC} - V _{SS}	-0.3 V to +7.0 V

1. Stresses above those listed may cause permanent damage to the device. Exposure to the absolute maximum ratings may affect device reliability. Functional operation is not implied at these conditions.

Table 5: Operating Conditions (Packaged Parts)

Condition	Value
Commercial operating temperature range ⁽¹⁾	0°C to +70°C
Industrial operating temperature range ⁽¹⁾	-40°C to +85°C
Supply voltage (V _{CC}) ⁽²⁾	+4.5 V to +5.5 V
Ground voltage (V _{SS}) ⁽³⁾	0 V

1. Case temperature.
2. V_{CC} = V_{CCA} = V_{CCD}.
3. V_{SS} = V_{SSA} = V_{SSD}.

Table 6: DC Parameters (Packaged Parts)

Symbol	Parameters	Min ⁽²⁾	Typ ⁽¹⁾	Max ⁽²⁾	Units	Conditions
V _{IL}	Input Low Voltage			0.8	V	
V _{IH}	Input High Voltage	2.0			V	
V _{OL}	Output Low Voltage			0.4	V	I _{OL} = 4.0 mA
V _{OH}	Output High Voltage	V _{CC} - 0.4			V	I _{OH} = -10 μA
V _{OH1}	OVF Output High Voltage	2.4			V	I _{OH} = -1.6 mA
V _{OH2}	EOM Output High Voltage	V _{CC} - 1.0	V _{CC} - 0.8		V	I _{OH} = -3.2 mA
I _{CC}	V _{CC} Current (Operating)		25	30	mA	R _{EXT} = ∞ ⁽³⁾
I _{SB}	V _{CC} Current (Standby)		1	10	μA	⁽³⁾
I _{IL}	Input Leakage Current			±1	μA	
I _{ILPD}	Input Current HIGH with Pull Down			130	μA	Force V _{CC} ⁽⁴⁾
R _{EXT}	Output Load Impedance	16			Ω	Speaker Load
R _{MIC}	Preamplifier Input Resistance	4	9	15	KΩ	MIC and MIC REF Pins
R _{AUX}	AUX INPUT Resistance	5	11	20	KΩ	

Table 6: DC Parameters (Packaged Parts)

Symbol	Parameters	Min ⁽²⁾	Typ ⁽¹⁾	Max ⁽²⁾	Units	Conditions
R _{ANA IN}	ANA IN Input Resistance	2.3	3	5	KΩ	
A _{PRE1}	Preamp Gain 1	21	24	26	dB	AGC = 0.0 V
A _{PRE2}	Preamp Gain 2		-15	5	dB	AGC = 2.5 V
A _{AUX}	AUX IN/SP+ Gain		0.98	1.0	V/V	
A _{ARP}	ANA IN to SP +/- Gain	21	23	26	dB	
R _{AGC}	AGC Output Resistance	2.5	5	9.5	KΩ	

1. Typical values @ T_A = 25°C and 5.0 V.
2. All Min/Max limits are guaranteed by ISD via electrical testing or characterization. Not all specifications are 100 percent tested.
3. V_{CCA} and V_{CCD} connected together.
4. XCLK pin only.

Table 7: AC Parameters (Packaged Parts)

Symbol	Characteristic		Min ⁽²⁾	Typ ⁽¹⁾	Max ⁽²⁾	Units	Conditions
F _S	Sampling Frequency	ISD2560		8.0		KHz	(7)
		ISD2575		6.4		KHz	(7)
		ISD2590		5.3		KHz	(7)
		ISD25120		4.0		KHz	(7)
F _{CF}	Filter Pass Band	ISD2560		3.4		KHz	3 dB Roll-Off Point (3) (8)
		ISD2575		2.7		KHz	3 dB Roll-Off Point (3) (8)
		ISD2590		2.3		KHz	3 dB Roll-Off Point (3) (8)
		ISD25120		1.7		KHz	3 dB Roll-Off Point (3) (8)
T _{REC}	Record Duration	ISD2560	58.1	60.0	62.0	sec	Commercial Operation ⁽⁷⁾
		ISD2560	56.5	60.0	63.8	sec	Industrial Operation ⁽⁷⁾
		ISD2575	72.6	75.0	77.5	sec	Commercial Operation ⁽⁷⁾
		ISD2575	70.7	75.0	79.7	sec	Industrial Operation ⁽⁷⁾
		ISD2590	87.1	90.0	93.0	sec	Commercial Operation ⁽⁷⁾
		ISD25120	116.1	120.0	123.9	sec	Commercial Operation ⁽⁷⁾
T _{PLAY}	Playback Duration	ISD2560	58.1	60.0	62.0	sec	Commercial Operation
		ISD2560	56.5	60.0	63.8	sec	Industrial Operation
		ISD2575	72.6	75.0	77.5	sec	Commercial Operation
		ISD2575	70.7	75.0	79.7	sec	Industrial Operation
		ISD2590	87.1	90.0	93.0	sec	Commercial Operation
		ISD25120	116.1	120.0	123.9	sec	Commercial Operation
T _{CE}	CE Pulse Width			100		nsec	
T _{SET}	Control/Address Setup Time			300		nsec	
T _{HOLD}	Control/Address Hold Time			0		nsec	

Table 7: AC Parameters (Packaged Parts)

Symbol	Characteristic		Min ⁽²⁾	Typ ⁽¹⁾	Max ⁽²⁾	Units	Conditions
T _{PUD}	Power-Up Delay	ISD2560	24.1	25.0	27.8	msec	Commercial Operation
		ISD2560	23.5		28.5	msec	Industrial Operation
		ISD2575	30.2	31.3	34.3	msec	Commercial Operation
		ISD2575	29.3	31.3	35.2	msec	Industrial Operation
		ISD2590	36.2	37.5	40.8	msec	Commercial Operation
		ISD25120	48.2	50.0	53.6	msec	Commercial Operation
T _{PDR}	PD Pulse Width Record	ISD2560		25		msec	
		ISD2575		31.25		msec	
		ISD2590		37.5		msec	
		ISD25120		50.0		msec	
T _{PDP}	PD Pulse Width Play	ISD2560		12.5		msec	
		ISD2575		15.625		msec	
		ISD2590		18.75		msec	
		ISD25120		25.0		msec	
T _{PDS}	PD Pulse Width Static			100		nsec	(6)
T _{PDH}	Power Down Hold			0		nsec	
T _{EOM}	EOM Pulse Width	ISD2560		12.5		msec	
		ISD2575		15.625		msec	
		ISD2590		18.75		msec	
		ISD25120		25.0		msec	
T _{OVF}	Overflow Pulse Width			6.5		μsec	
THD	Total Harmonic Distortion			1	2	%	@ 1 KHz
P _{OUT}	Speaker Output Power			12.2	50	mW	R _{EXT} = 16 Ω ⁽⁴⁾
V _{OUT}	Voltage Across Speaker Pins				2.5	V p-p	R _{EXT} = 600 Ω
V _{IN1}	MIC Input Voltage				20	mV	Peak-to-Peak ⁽⁵⁾
V _{IN2}	ANA IN Input Voltage				50	mV	Peak-to-Peak
V _{IN3}	Aux Input Voltage				1.25	V	Peak-to-Peak; R _{EXT} = 16 Ω

1. Typical values @ T_A = 25°C and 5.0 V.

2. All Min/Max limits are guaranteed by ISD via electrical testing or characterization. Not all specifications are 100 percent tested.

3. Low-frequency cutoff depends upon the value of external capacitors (see Pin Descriptions).

4. From AUX IN; if ANA IN is driven at 50 mV p-p, the P_{OUT} = 12.2 mW, typical.

5. With 5.1 KΩ series resistor at ANA IN.

6. T_{PDS} is required during a static condition, typically overflow.

7. Sampling Frequency and playback Duration can vary as much as ±2.25 percent over the commercial temperature range and voltage range and ±5 percent over the industrial temperature and voltage range. For greater stability, an external clock can be utilized (see Pin Descriptions).

8. Filter specification applies to both the antialiasing filter and the smoothing filter. Therefore, from input to output, expect a 6 dB drop by nature of passing through both filters.

TYPICAL PARAMETER VARIATION WITH VOLTAGE AND TEMPERATURE (PACKAGED PARTS)

Chart 1: Record Mode Operating Current (I_{CC})

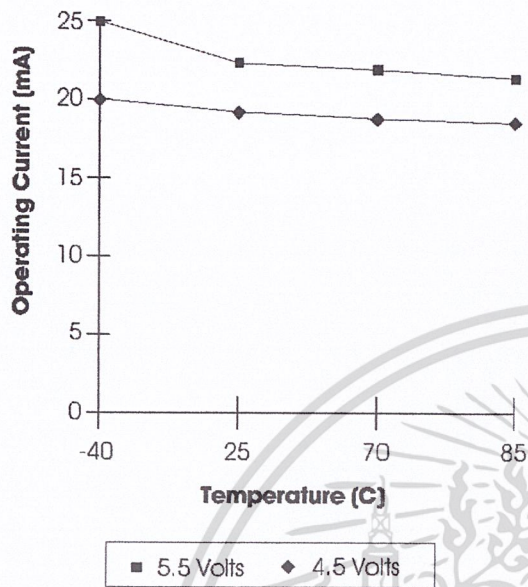


Chart 3: Standby Current (I_{SB})

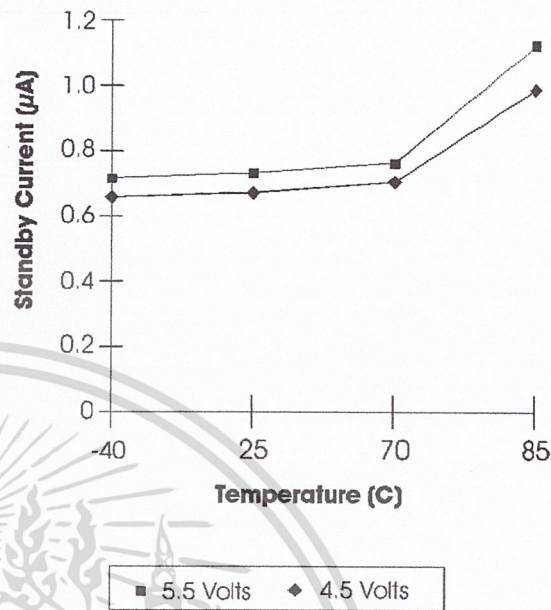


Chart 2: Total Harmonic Distortion

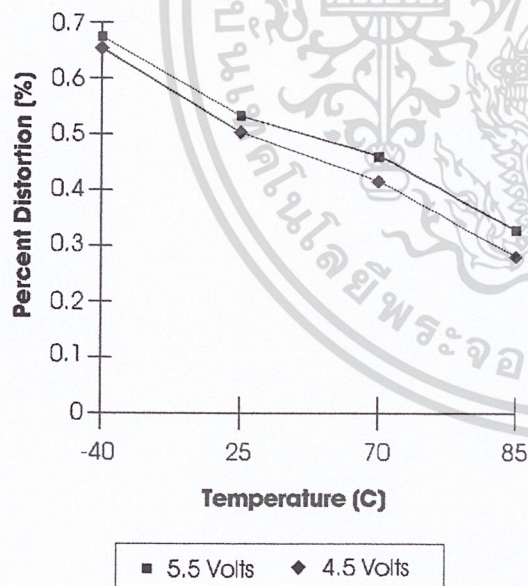


Chart 4: Oscillator Stability

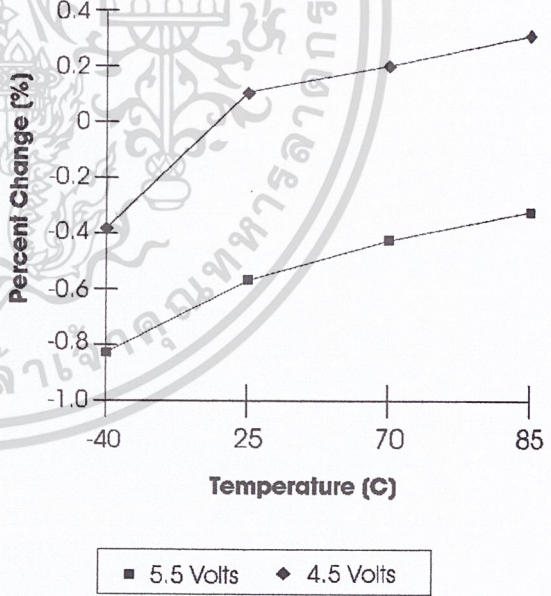


Table 8: Absolute Maximum Ratings (Die)⁽¹⁾

Condition	Value
Junction temperature	150°C
Storage temperature range	-65°C to +150°C
Voltage applied to any pad	(V _{SS} - 0.3 V) to (V _{CC} + 0.3 V)
Voltage applied to any pad (Input current limited to ±20 mA)	(V _{SS} - 1.0 V) to (V _{CC} + 1.0 V)
V _{CC} - V _{SS}	-0.3 V to +7.0 V

1. Stresses above those listed may cause permanent damage to the device. Exposure to the absolute maximum ratings may affect device reliability. Functional operation is not implied at these conditions.

Table 9: Operating Conditions (Die)

Condition	Value
Commercial operating temperature range	0°C to +50°C
Supply voltage (V _{CC}) ⁽¹⁾	+4.5 V to +6.5 V
Ground voltage (V _{SS}) ⁽²⁾	0 V

1. V_{CC} = V_{CCA} = V_{CCD}.
2. V_{SS} = V_{SSA} = V_{SSD}.

Table 10: DC Parameters (Die)

Symbol	Parameters	Min ⁽²⁾	Typ ⁽¹⁾	Max ⁽²⁾	Units	Conditions
V _{IL}	Input Low Voltage			0.8	V	
V _{IH}	Input High Voltage	2.0			V	
V _{OL}	Output Low Voltage			0.4	V	I _{OL} = 4.0 mA
V _{OH}	Output High Voltage	V _{CC} - 0.4			V	I _{OH} = -10 μA
V _{OH1}	OVF Output High Voltage	2.4			V	I _{OH} = -1.6 mA
V _{OH2}	EOM Output High Voltage	V _{CC} - 1.0	V _{CC} - 0.8		V	I _{OH} = -3.2 mA
I _{CC}	V _{CC} Current (Operating)		25	30	mA	R _{EXT} = ∞ ⁽³⁾
I _{SB}	V _{CC} Current (Standby)		1	10	μA	⁽²⁾
I _{IL}	Input Leakage Current			±1	μA	
I _{ILPD}	Input Current HIGH with Pull Down			130	μA	Force V _{CC} ⁽⁴⁾
R _{EXT}	Output Load Impedance	16			Ω	Speaker Load
R _{MIC}	Preamplifier Input Resistance	4	9	15	KΩ	MIC and MIC REF Pads
R _{AUX}	AUX Input Resistance	5	11	20	KΩ	
R _{ANA IN}	ANA IN Input Resistance	2.3	3	5	KΩ	
A _{PRE1}	Preamplifier Gain 1	21	24	26	dB	AGC = 0.0 V

Table 10: DC Parameters (Die)

Symbol	Parameters	Min ⁽²⁾	Typ ⁽¹⁾	Max ⁽²⁾	Units	Conditions
A _{PRE2}	Preamp Gain 2		-15	5	dB	AGC = 2.5 V
A _{AUX}	AUX IN/SP+ Gain		0.98	1.0	V/V	
A _{ARP}	ANA IN to SP+/- Gain	21	23	26	dB	
R _{AGC}	AGC Output Resistance	2.5	5	9.5	KΩ	

1. Typical values @ T_A = 25°C and 5.0 V.
2. All Min/Max limits are guaranteed by ISD via electrical testing or characterization. Not all specifications are 100 percent tested.
3. V_{CCA} and V_{CCD} connected together.
4. XCLK pad only.

Table 11: AC Parameters (Die)

Symbol	Characteristic	Min ⁽²⁾	Typ ⁽¹⁾	Max ⁽²⁾	Units	Conditions
F _S	Sampling Frequency	ISD2560	8.0		KHz	(7)
		ISD2575	6.4		KHz	(7)
		ISD2590	5.3		KHz	(7)
		ISD25120	4.0		KHz	(7)
F _{CF}	Filter Pass Band	ISD2560	3.4		KHz	3 dB Roll-Off Point (3) (8)
		ISD2575	2.7		KHz	3 dB Roll-Off Point (3) (8)
		ISD2590	2.3		KHz	3 dB Roll-Off Point (3) (8)
		ISD25120	1.7		KHz	3 dB Roll-Off Point (3) (8)
T _{REC}	Record Duration	ISD2560	58.1	60.0	62.0	sec Commercial Operation ⁽⁷⁾
		ISD2575	72.6	75.0	77.5	sec Commercial Operation ⁽⁷⁾
		ISD2590	87.1	90.0	93.0	sec Commercial Operation ⁽⁷⁾
		ISD25120	116.1	120.0	123.9	sec Commercial Operation ⁽⁷⁾
T _{PLAY}	Playback Duration	ISD2560	58.1	60.0	62.0	sec Commercial Operation ⁽⁷⁾
		ISD2575	72.6	75.0	77.5	sec Commercial Operation ⁽⁷⁾
		ISD2590	87.1	90.0	93.0	sec Commercial Operation ⁽⁷⁾
		ISD25120	116.1	120.0	123.9	sec Commercial Operation ⁽⁷⁾
T _{CE}	CE Pulse Width		100		nsec	
T _{SET}	Control/Address Setup Time		300		nsec	
T _{HOLD}	Control/Address Hold Time		0		nsec	
T _{PUD}	Power-Up Delay	ISD2560	24.1	25.0	27.8	msec Commercial Operation
		ISD2575	30.2	31.3	34.3	msec Commercial Operation
		ISD2590	36.2	37.5	40.8	msec Commercial Operation
		ISD25120	48.2	50.0	53.6	msec Commercial Operation

Table 11: AC Parameters (Die)

Symbol	Characteristic		Min ⁽²⁾	Typ ⁽¹⁾	Max ⁽²⁾	Units	Conditions
T _{PDR}	PD Pulse Width Record	ISD2560		25		msec	
		ISD2575		31.25		msec	
		ISD2590		37.5		msec	
		ISD25120		50.0		msec	
T _{PDP}	PD Pulse Width Play	ISD2560		12.5		msec	
		ISD2575		15.625		msec	
		ISD2590		18.75		msec	
		ISD25120		25.0		msec	
T _{PDS}	PD Pulse Width Static			100		nsec	(6)
T _{PDH}	Power Down Hold			0		nsec	
T _{EOM}	EOM Pulse Width	ISD2560		12.5		msec	
		ISD2575		15.625		msec	
		ISD2590		18.75		msec	
		ISD25120		25.0		msec	
T _{OVF}	Overflow Pulse Width			6.5		μsec	
THD	Total Harmonic Distortion			1	3	%	@ 1 KHz
P _{OUT}	Speaker Output Power			12.2	50	mW	R _{EXT} = 16 Ω ⁽⁴⁾
V _{OUT}	Voltage Across Speaker Pins				2.5	V p-p	R _{EXT} = 600 Ω
V _{IN1}	MIC Input Voltage				20	mV	Peak-to-Peak ⁽⁵⁾
V _{IN2}	ANA IN Input Voltage				50	mV	Peak-to-Peak
V _{IN3}	Aux Input Voltage				1.25	V	Peak-to-Peak; R _{EXT} = 16 Ω

1. Typical values @ T_A = 25°C and 5.0 V.
2. All Min/Max limits are guaranteed by ISD via electrical testing or characterization. Not all specifications are 100 percent tested.
3. Low-frequency cutoff depends upon the value of external capacitors (see Pin Descriptions).
4. From AUX IN; if ANA IN is driven at 50 mV p-p, the P_{OUT} = 12.2 mW, typical.
5. With 5.1 KΩ series resistor at ANA IN.
6. T_{PDS} is required during a static condition, typically overflow.
7. Sampling Frequency and playback Duration can vary as much as ±2.25 percent over the commercial temperature range and voltage range. For greater stability, an external clock can be utilized (see Pin Descriptions).
8. Filter specification applies to the antialiasing filter and the smoothing filter.

TYPICAL PARAMETER VARIATION WITH VOLTAGE AND TEMPERATURE (DIE)

Chart 5: Record Mode Operating Current (I_{CC})

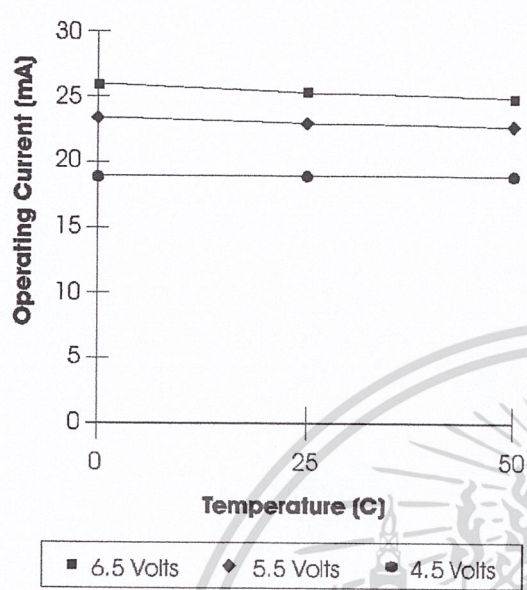


Chart 7: Standby Current (I_{SB})

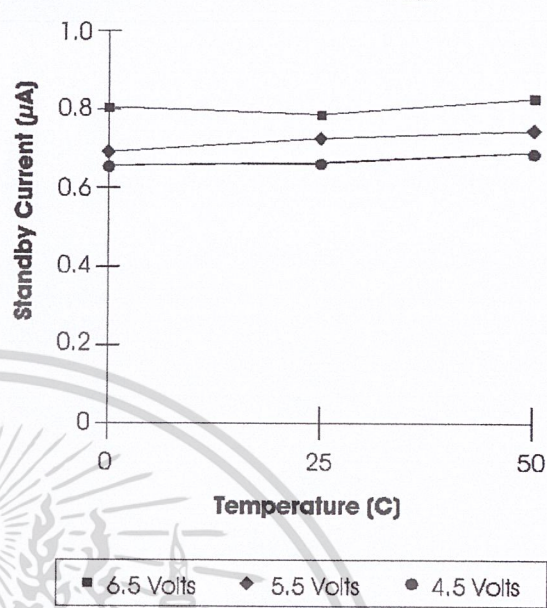


Chart 6: Total Harmonic Distortion

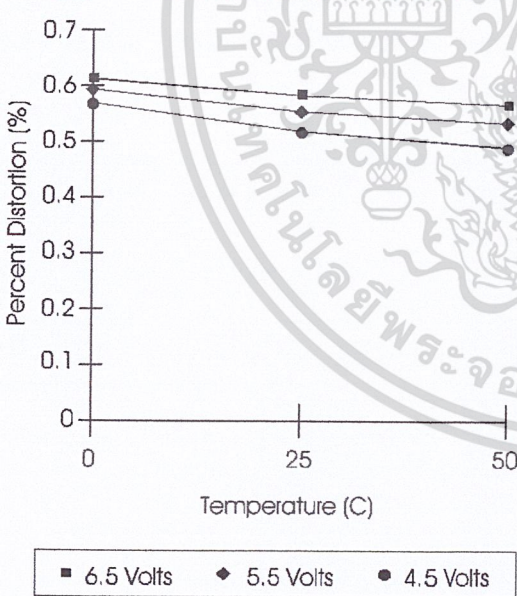


Chart 8: Oscillator Stability

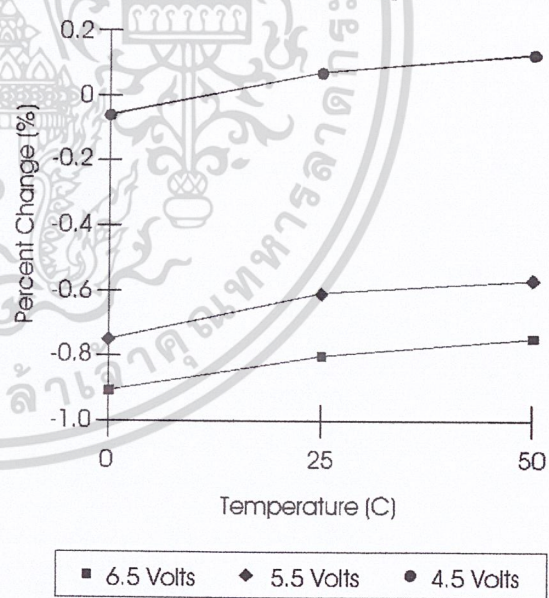
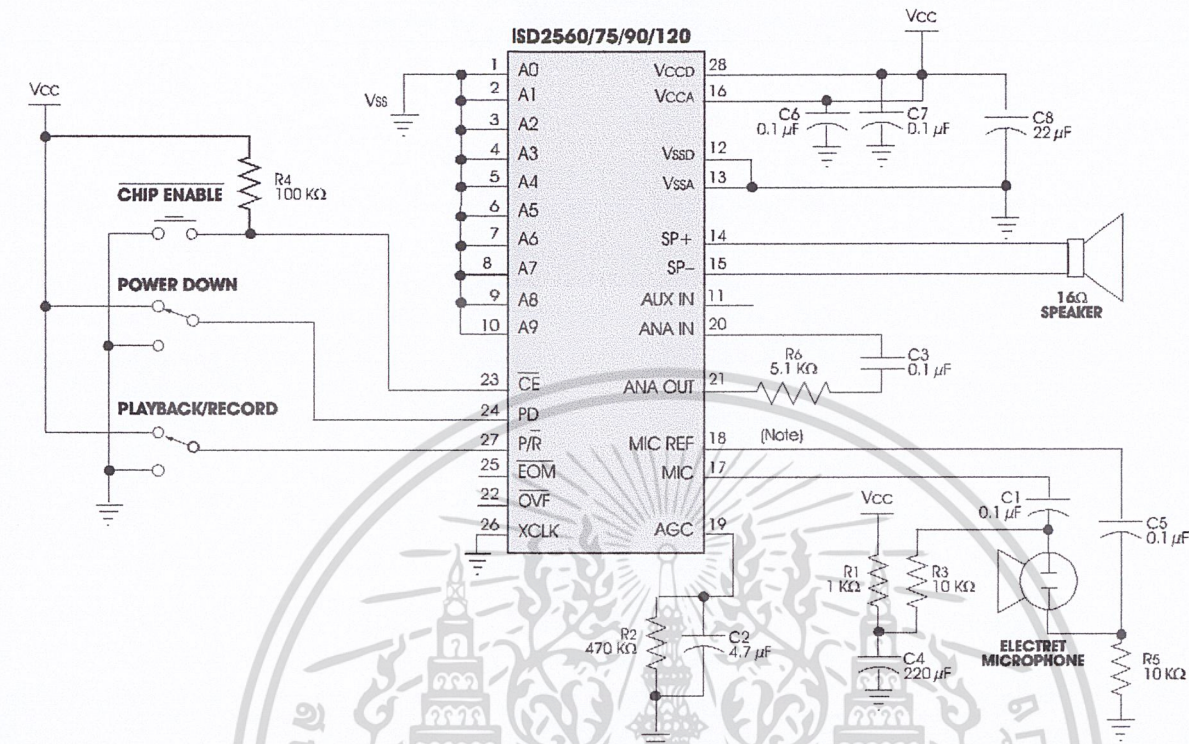


Figure 4: ISD2560/75/90/120 Application Example—Design Schematic



NOTE: If desired, pin 18 (PDIP package) may be left unconnected (microphone preamplifier noise will be higher). In this case, pin 18 must not be tied to any other signal or voltage. Additional design example schematics are provided in the Application Notes in this book.

Table 12: Application Example—Basic Device Control

Control Step	Function	Action
1	Power up chip and select record/playback mode	(1.) $\text{PD} = \text{LOW}$, (2.) $\text{P}/\overline{\text{R}} = \text{As desired}$
2	Set message address for record/playback	Set addresses A0–A9
3A	Begin playback	$\text{P}/\overline{\text{R}} = \text{HIGH}$, $\overline{\text{CE}} = \text{Pulsed LOW}$
3B	Begin record	$\text{P}/\overline{\text{R}} = \text{LOW}$, $\overline{\text{CE}} = \text{LOW}$
4A	End playback	Automatic
4B	End record	PD or $\overline{\text{CE}} = \text{HIGH}$

Table 13: Application Example—Passive Component Functions

Part	Function	Comments
R1	Microphone power supply decoupling	Reduces power supply noise
R2	Release time constant	Sets release time for AGC
R3, R5	Microphone biasing resistors	Provides biasing for microphone operation
R4	Series limiting resistor	Reduces level to prevent distortion at higher supply voltages.
R6	Series limiting resistor	Reduces level to high supply voltages
C1, C5	Microphone DC-blocking capacitor Low-frequency cutoff	Decouples microphone bias from chip. Provides single-pole low-frequency cutoff and common mode noise rejection.
C2	Attack/Release time constant	Sets attack/release time for AGC
C3	Low-frequency cutoff capacitor	Provides additional pole for low-frequency cutoff
C4	Microphone power supply decoupling	Reduces power supply noise
C6, C7, C8	Power supply capacitors	Filter and bypass of power supply

EXPLANATION

In this simplified block diagram of a microcontroller application, the Push-Button mode and message cueing are used. The microcontroller is a 16-pin version with enough port pins for buttons, an LED, and the ISD2500 series device. The software can be written to use three buttons: one each for play and record, and one for message selection. Because the microcontroller is interpreting the buttons and commanding the ISD2500 device, software can be written for any functions desired in a particular application.

NOTE ISD does not recommend connecting address lines directly to a microprocessor bus. Address lines should be externally latched.

Figure 5: ISD2560/75/90/120 Application Example—Microcontroller/ISD2500 Interface

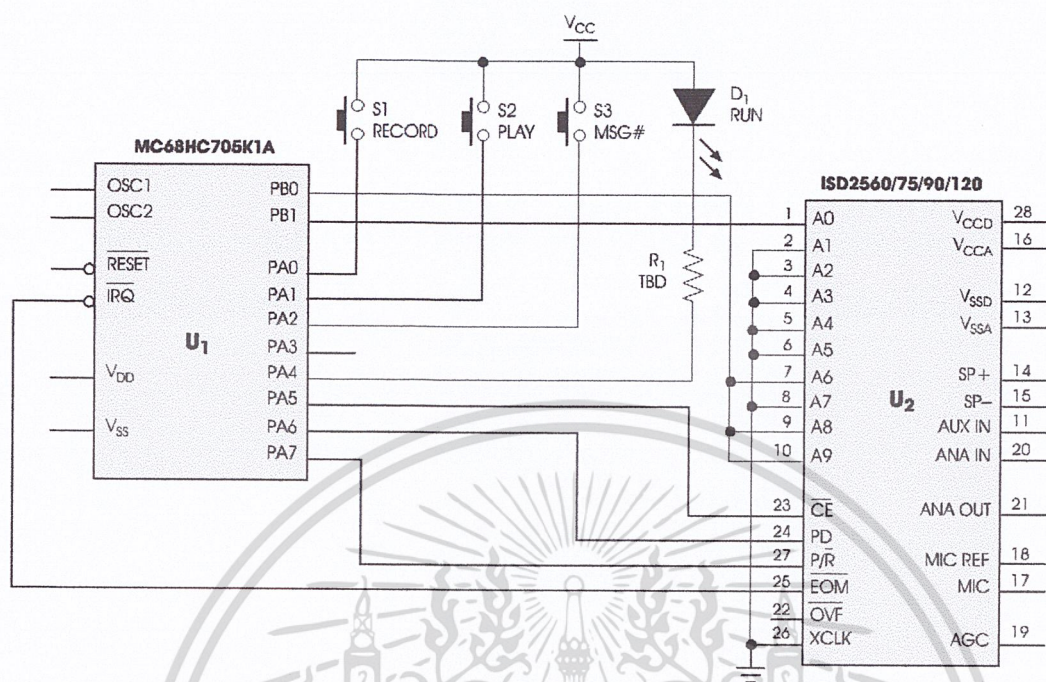
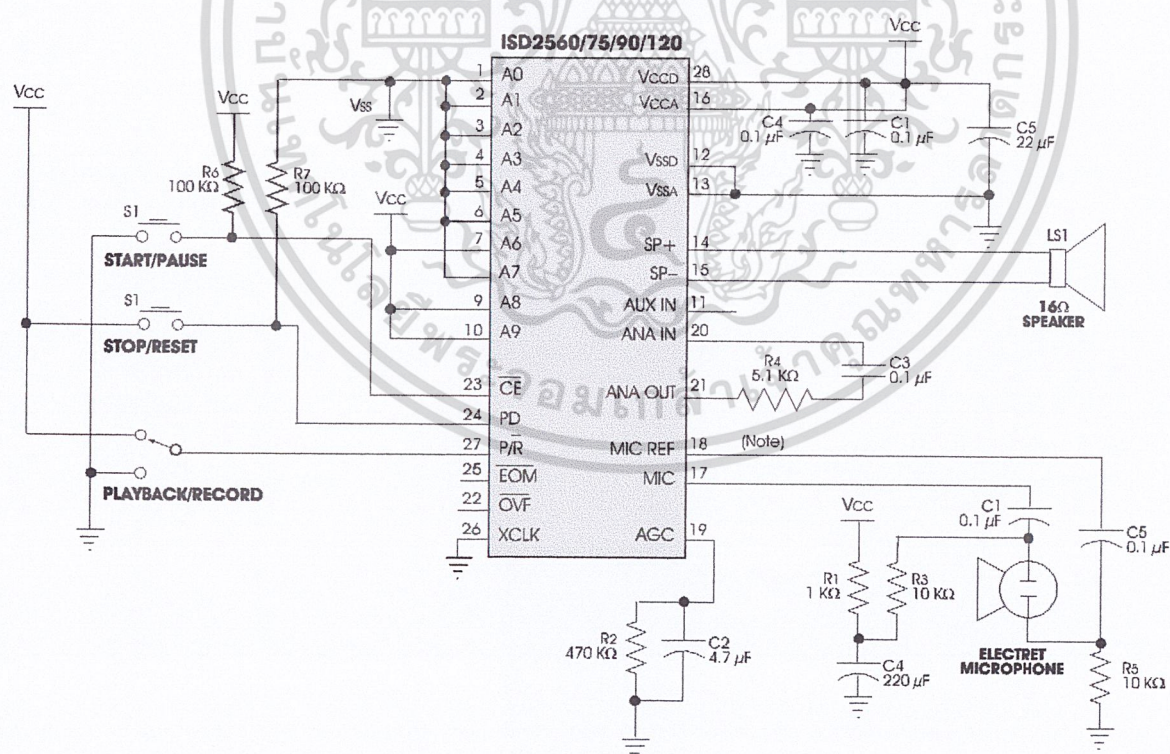


Figure 6: ISD2500 Application Example—Push-Button



NOTE: Please refer to Application Information.

Table 14: Application Example—Push-Button Control

Control Step	Function	Action
1	Select record/playback mode	P/ $\overline{R}$ = As desired
2A	Begin playback	P/ $\overline{R}$ = HIGH, $\overline{CE}$ = Pulsed LOW
2B	Begin record	P/ $\overline{R}$ = LOW, $\overline{CE}$ = Pulsed LOW
3	Pause record or playback	$\overline{CE}$ = Pulsed LOW
4A	End playback	Automatic at EOM marker or PD = Pulsed HIGH
4B	End record	PD = Pulsed HIGH

Table 15: Application Example—Passive Component Functions

Part	Function	Comments
R2	Release time constant	Sets release time for AGC
R4	Series limiting resistor	Reduces level to prevent distortion at higher supply voltages
R6, R7	Pull-up and pull-down resistors	Defines static state of inputs
C1, C4, C5	Power supply capacitors	Filters and bypass of power supply
C2	Attack/Release time constant	Sets attack/release time for AGC
C3	Low-frequency cutoff capacitor	Provides additional pole for low-frequency cutoff

Table 16: Push-Button Parameters

Symbol	Characteristic	Min	Typ (1)	Max	Units	Conditions
T _{CE}	$\overline{CE}$ Pulse Width [Start/Pause]		300		nsec	
T _{SET}	Control/Address Setup Time		300		nsec	
T _{PUD}	Power-Up Delay	ISD2560	25		msec	
		ISD2575	31.25		msec	
		ISD2590	37.25		msec	
		ISD25120	50.0		msec	
T _{PD}	PD Pulse Width [Stop/Reset]		300		nsec	
T _{RUN}	$\overline{CE}$ to EOM HIGH	25		400	nsec	
T _{PAUSE}	$\overline{CE}$ to EOM LOW	50		400	nsec	
T _{DB}	$\overline{CE}$ HIGH Debounce	ISD2560	70	105	msec	
		ISD2575	85	135	msec	
		ISD2590	105	160	msec	
		ISD25120	135	215	msec	

PUSH-BUTTON TIMING DIAGRAMS

Figure 7: Push-Button Mode Record

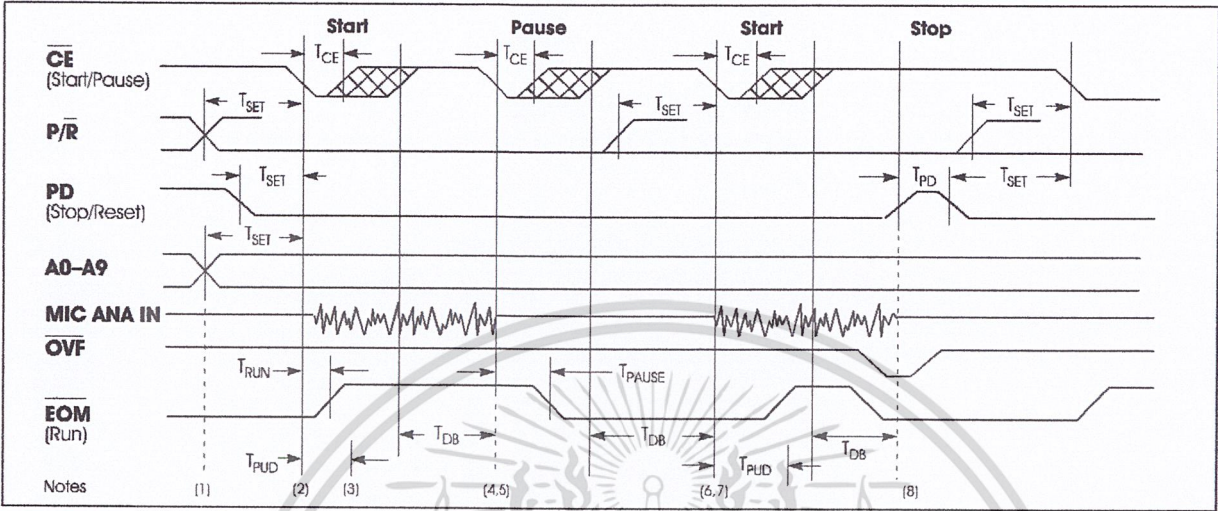
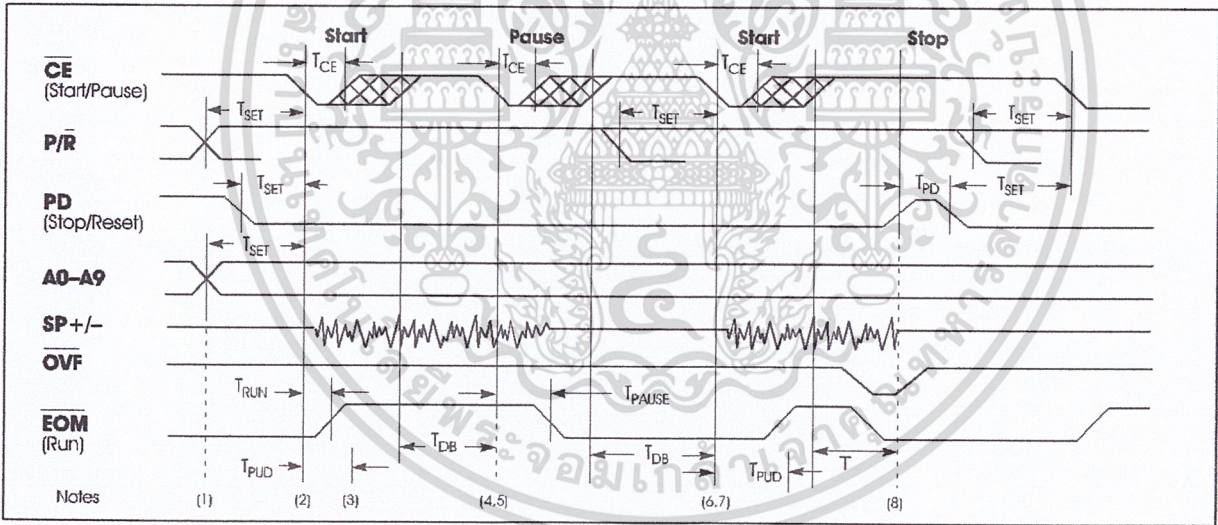


Figure 8: Push-Button Mode Playback



- 1. $A9, A8, \text{ and } A6 = 1$ for push-button operation.
- 2. The first $\overline{CE}$ LOW pulse performs a Start function.
- 3. The part will begin to play or record after a power-up delay T_{PUD} .
- 4. The part must have $\overline{CE}$ HIGH for a debounce period T_{DB} before it will recognize another falling edge of $\overline{CE}$ and pause.
- 5. The second $\overline{CE}$ LOW pulse, and every even pulse thereafter, performs a Pause function.
- 6. Again, the part must have $\overline{CE}$ HIGH for a debounce period T_{DB} before it will recognize another falling edge of $\overline{CE}$, which would restart an operation. In addition, the part will not do an internal power down until $\overline{CE}$ is HIGH for the T_{DB} time.
- 7. The third $\overline{CE}$ LOW pulse, and every odd pulse thereafter, performs a Resume function.
- 8. At any time, a HIGH level on $\overline{PD}$ will stop the current function, reset the address counter, and power down the device.

กิตติกรรมประกาศ

ขอขอบพระคุณรองศาสตราจารย์ภา สีสารุจิ เป็นอย่างสูงที่ได้ช่วยแนะนำและให้คำปรึกษา ในการทำปริญญานิพนธ์นี้ ตลอดจนคณาจารย์ทุกท่านที่ได้ให้การประสิทธิ์ประสาทวิชาแก่ผู้จัดทำ และเจ้าหน้าที่ภาควิชาวิศวกรรมโทรคมนาคมทุกท่าน ที่มีส่วนช่วยเหลือในการทำปริญญานิพนธ์จนสำเร็จลุล่วงลงไปด้วยดี



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

หนังสืออ้างอิง

1. สมยศ จุณณะปิยะ "การใช้งานไมโครคอนโทรลเลอร์ ตระกูล MCS-51"
สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง, กรุงเทพฯ, 2541.
2. เสกสิทธิ์ คำขมภู "รวมโครงการอิเล็กทรอนิกส์ โทรศัพท์และอินเทอร์เน็ต" ซีเอ็ด ยูเคชั่น ,
กรุงเทพฯ, 2539.
3. นรินทร์ เนาวประทีป และกลุ่ม CNS "ออปแอมป์" ฟิสิกส์เซ็นเตอร์, กรุงเทพฯ, มปป.
4. เกรียงวุฒิ วัฒนประเสริฐสุด "ไมโครโปรเซสเซอร์ 2" ซีเอ็ด ยูเคชั่น , กรุงเทพฯ, 2539.
5. ชัยรัตน์ ลิ้มพรจิตรวิไล "คู่มืออิเล็กทรอนิกส์ " ซีเอ็ด ยูเคชั่น , กรุงเทพฯ, 2543.
6. สมคิด วิริยะประสิทธิ์ชัย "การสร้างโครงการอิเล็กทรอนิกส์ " ฟิสิกส์เซ็นเตอร์, กรุงเทพฯ, 2541.

