สำนักหอสมุดกลาง พระจอมเกล้าลาดกระบัง

เครื่องรับ-ส่งเดลต้ามอดูเลชั่น

Delta modulation Transmitter and Receiver

T046457

โดย

นาย สุขุม จุฬาจตุรศิระรัตน์

ปริญญานิพนธ์นี้เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรปริญญาวิศวกรรมศาสตรบัณฑิต

สาขาวิชาวิศวกรรมโทรคมนาคม

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

ปีการศึกษา2544

เลขหมู่.....
เลขทะเบียน 46457
วัน, เดือน, ปี - 2 เม.ย. 2546

.b.....
.i.....

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เครื่องรับ-ส่งเดลต้ามอดูเลชั่น

Delta modulation Transmitter and Receiver

โดย

นาย สุขุม จุฬาจตุรศิระรัตน์

อาจารย์ที่ปรึกษา

อ. สุรพล บุญจันทร์

ปริญญานิพนธ์นี้เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรปริญญาวิศวกรรมศาสตรบัณฑิต

สาขาวิชาวิศวกรรมโทรคมนาคม

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

ปีการศึกษา2544

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ปริญญานิพนธ์ปีการศึกษา 2544

ภาควิชาวิศวกรรมโทรคมนาคม

คณะวิศวกรรมศาสตร์สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

เรื่อง **เครื่องรับ-ส่งเดลต้ามอดูเลตชั่น**

Delta modulation Transmitter and Receiver

ผู้จัดทำ

นายสุขุม จุฬาจตุรศิระรัตน์ 42015073

.....อาจารย์ที่ปรึกษา

(อ. สุรพล บุญจันทร์)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เครื่องรับ-ส่ง เดลต้ามอดูเลตชั่น

Delta modulation Transmitter and Receiver

โดย นาย สุขุม จุฬาจตุรศิระรัตน์

อาจารย์ที่ปรึกษา อ. สุรพล บุญจันทร์

บทคัดย่อ

โครงงานนี้เป็นการนำเสนอการศึกษา การคำนวณ การวิเคราะห์ การสร้างและการทดสอบเครื่อง รับ-ส่ง เดลต้ามอดูเลตชั่น ซึ่งการมอดูเลตนี้มีข้อดี คือการเข้ารหัสบิตที่ใช้ในการ เข้ารหัสในการแปลงสัญญาณ อนาลอกเป็นดิจิตอล น้อยกว่าการมอดูเลตชั่นแบบพีซีเอ็ม ผลที่ได้สามารถนำไปใช้ในการออกแบบมอดูเลตสัญญาณอนาลอกเป็นดิจิตอลโดยใช้บิตต่ำๆ

ABSTRACT

This project present the study, calculation, analysis, fabrication and experiment of Delta modulation. The modulation have a good to modulation analog to digital is use less bit more PCM. As result of modulate is use to design modulation analog to digital

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญ

		หน้า
บทที่ 1 บทนำ		1
บทที่ 2 ทฤษฎีและหลักการ		2
2.1	ทฤษฎีการชักตัวอย่าง (sampling theorem)	2
2.2	ความผิดพลาดอันเนื่องมาจากอัตราการชักตัวอย่างไม่เพียงพอ	5
2.3	การมอดูเลตพัลส์ (pulse modulation)	6
2.4	การจัดระดับการควอนไทซ์ (Quantization level)	8
2.5	เดลต้ามอดูเลตชั่น (Delta Modulation : DM)	11
2.5.1	เครื่องส่งสัญญาณดีเอ็ม	11
2.5.2	เครื่องรับดีเอ็ม	13
2.5.2.1	สโลป โอเวอร์โหลด (Slope overload)	14
2.5.2.2	กรานูลาร์ น็อยส์ (Granular Noise)	14
2.6	วงจรกรองแบบผ่านต่ำ (Low Pass Filters : LPF)	16
บทที่ 3	การคำนวณและการสร้าง	19
3.1	หลักการออกแบบวงจรภาคส่ง	19
3.2	วงจรยกระดับสัญญาณ	20
3.3	โครงสร้าง IC เบอร์ MC 3418	21
3.4	วงจรดีเอ็ม (Delta Modulatino : DM)	24
3.5	วงจรเดลต้ามอดูเลชั่น (Delta Demoduration)	26
บทที่ 4	การทดลองและผลการทดลอง	30
4.1	ทดสอบวงจรภาคต่างๆ	30
4.1.1	ทดสอบวงจรยกระดับแรงดัน	30
4.1.2	ทดสอบวงจรกรองความถี่ต่ำผ่าน	30

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

หน้า

4.1.3 ทดสอบวงจรขยาย 1-10 เท่า 30

4.1.4 ทดสอบวงจรสร้างสัญญาณนาฬิกา 30

4.2 ผลการทดลองการทดสอบวงจรภาคต่างๆ 31

4.3 การทดลองวงจรเดลต้ามอดูเลตชั่น 34

4.4 ผลการทดลองการทดลองวงจรเดลต้ามอดูเลตชั่น 34

4.5 การทดลองภาครับวงจรเดลต้ามอดูเลต 41

4.6 ผลการทดลองการทดลองภาครับวงจรเดลต้ามอดูเลต 41

4.7 การทดลองเครื่องรับ-ส่งเดลต้ามอดูเลต เมื่อป้อนสัญญาณเสียง 47

4.8 ผลการทดลองการทดลองเครื่องรับ-ส่งเดลต้ามอดูเลต เมื่อป้อนสัญญาณเสียง 47

บทที่ 5

สรุปผลการทดลองและวิจารณ์ 51

กิตติกรรมประกาศ 52

หนังสืออ้างอิง 53

ภาคผนวก 54

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญรูปภาพ

หน้า

รูปที่ 2.1 แสดงการชักตัวอย่างสัญญาณ 4

รูปที่ 2.2 แสดงสเปกตรัมของสัญญาณเบสแบนด์ และสเปกตรัมของสัญญาณชักตัวอย่างที่มีอัตราการชักตัว อย่างต่างๆ กัน 5

รูปที่ 2.3 ระบบพีซีเอ็ม 7

รูปที่ 2.4 แสดงสัญญาณการมอดูเลตแบบแอมพลิจูดของพัลส์ 8

รูปที่ 2.5 แสดงการแปลงระดับสัญญาณพีเอเอ็มให้เข้ากับระดับของการควอนไทซ์ 9

รูปที่ 2.6 แสดงสัญญาณรบกวนเนื่องจากการควอนไทซ์ 10

รูปที่ 2.7 แสดงความสัมพันธ์ระหว่างระยะห่างของระดับ ที่ถูกแบ่งกับสัญญาณรบกวนเนื่องจากการควอนไทซ์ 10

รูปที่ 2.8 บล็อกไดอะแกรมของเครื่องส่งดีเอ็ม 11

รูปที่ 2.9 แสดงการทำงานตามทฤษฎีการเข้ารหัสแบบเดลต้ามอดูเลชั่น 12

รูปที่ 2.10 บล็อกไดอะแกรมของเครื่องรับดีเอ็ม 13

รูปที่ 2.11 แสดงอัตราการเปลี่ยนแปลงของสัญญาณอนาลอกอินพุตกับอัตราการเปลี่ยนแปลงที่ได้จากวงจรแปลงสัญญาณดิจิตอลเป็นอนาลอก 14

รูปที่ 2.12 กรานูลาร์ น็อยส์ 14

รูปที่ 2.13 วงจรกรองซอลเล็นแอนคีย์ 16

รูปที่ 3.1 แสดงวงจรกรองความถี่แบบต่ำผ่านที่ 4 กิโลเฮิรตซ์ 20

รูปที่ 3.2 แสดงวงจรยกระดับสัญญาณ 20

รูปที่ 3.3 โครงสร้าง IC เบอร์ MC 21

รูปที่ 3.4 วงจรดีเอ็ม 24

รูปที่ 3.5 วงจรเดลต้าดีมอดูเลชั้น 26

รูปที่ 3.6 Delta modulation Transmitter 28

รูปที่ 3.7 Delta modulation Receiver 29

รูปที่4.1 วัดสัญญาณที่เอาท์พุท ที่วงจรยกระดับแรงดัน เทียบกับสัญญาณอินพุท เมื่อป้อนสัญญาณอนาลอกไซน์เวฟ ความถี่ 1 กิโลเฮิรตซ์ 31

รูปที่4.2 วัดสัญญาณเอาท์พุท ที่วงจรกรองความถี่ต่ำผ่าน เทียบกับสัญญาณอินพุท เมื่อป้อนสัญญาณอนาลอกไซน์เวฟ ความถี่ 1 กิโลเฮิรตซ์ 31

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

หน้า

รูปที่ 4.3 วัดสัญญาณเอาท์พุท ที่วงจรกรองความถี่ต่ำผ่าน เทียบกับสัญญาณอินพุท เมื่อป้อนสัญญาณอนาลอก ไซน์เวฟ ความถี่ 4 กิโลเฮิรตซ์ 32
รูปที่ 4.4 วัดสัญญาณเอาท์พุท ที่วงจรขยายแรงดัน 1 เท่า เทียบกับสัญญาณอินพุทเมื่อป้อนสัญญาณอนาลอกไซน์เวฟ ความถี่ 1 กิโลเฮิรตซ์ 32
รูปที่ 4.5 วัดสัญญาณเอาท์พุท ที่วงจรขยายแรงดัน 10 เท่า เทียบกับสัญญาณอินพุท เมื่อป้อนสัญญาณอนาลอกไซน์เวฟ ความถี่ 1 กิโลเฮิรตซ์ 33
รูปที่ 4.6 วัดสัญญาณเอาท์พุทที่วงจร oscillator 33
รูปที่ 4.7 วัดสัญญาณเอาท์พุทที่วงจร หารความถี่ 64 เท่า 34
รูปที่ 4.8 วัดสัญญาณเอาท์พุทภาคยกระดับแรงดัน เทียบกับอินพุทของวงจรเมื่อป้อนสัญญาณอนาลอกไซน์เวฟ ความถี่ 500 เฮิรตซ์ 35
รูปที่ 4.9 วัดสัญญาณเอาท์พุทภาคกรองความถี่ต่ำ เทียบกับอินพทุของวงจรเมื่อป้อนสัญญาณอนาลอกไซน์เวฟ ความถี่ 500 เฮิรตซ์ 35
รูปที่4.10 วัดสัญญาณอินพุทเทียบกับสัญญาณนาฬิกา 36
รูปที่4.11 วัดสัญญาณเอาท์พุทวงจรเทียบกับอินพทุของวงจรเมื่อป้อนสัญญาณ อนาลอกไซน์เวฟ ความถี่ 500 เฮิรตซ์ 36
รูปที่4.12 วัดสัญญาณเอาท์พุทภาคยกระดับแรงดัน เทียบกับอินพุทของวงจรเมื่อป้อนสัญญาณอนาลอกไซน์เวฟ ความถี่ 2500 เฮิรตซ์ 37
รูปที่4.13 วัดสัญญาณเอาท์พุทภาคกรองความถี่ต่ำ เทียบกับอินพทุของวงจรเมื่อป้อนสัญญาณอนาลอก ไซน์เวฟ ความถี่ 2500 เฮิรตซ์ 37
รูปที่4.14 วัดสัญญาณอินพุทเทียบกับสัญญาณนาฬิกา 38
รูปที่4.15 วัดสัญญาณเอาท์พุทวงจรเทียบกับอินพทุของวงจรเมื่อป้อนสัญญาณ อนาลอกไซน์เวฟ ความถี่ 2500 เฮิรตซ์ 38
รูปที่4.16 วัดสัญญาณเอาท์พุทภาคยกระดับแรงดัน เทียบกับอินพุทของวงจรเมื่อป้อนสัญญาณอนาลอกไซน์เวฟ ความถี่ 4 กิโลเฮิรตซ์ 39
รูปที่4.17 วัดสัญญาณเอาท์พุทภาคกรองความถี่ต่ำ เทียบกับอินพทุของวงจรเมื่อป้อนสัญญาณอนาลอก ไซน์เวฟ ความถี่ 4000 เฮิรตซ์ 39
รูปที่4.18 วัดสัญญาณอินพุทเทียบกับสัญญาณนาฬิกา 40
รูปที่4.19 วัดสัญญาณเอาท์พุทวงจร เทียบกับอินพทุของวงจรเมื่อป้อนสัญญาณ อนาลอกไซน์เวฟ ความถี่ 4 กิโลเฮิรตซ์ 40

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

หน้า

รูปที่4.20 วัดสัญญาณที่อินพุทภาคส่งเดลต้ามอดูเลต เทียบกับสัญญาณอินพุทที่ภาครับ
เดลต้าดีมอดูเลต เมื่อป้อนสัญญาณอนาลอก ไซน์เวฟ ความถี่ 500 เฮิรตซ์ 41
รูปที่4.21 วัดสัญญาณที่อินพุทภาครับเดลต้าดีมอดูเลต เทียบกับสัญญาณนาฬิกาของภาครับ
เมื่อป้อนสัญญาณอนาลอกไซน์เวฟ ความถี่ 500 เฮิรตซ์ 42
รูปที่4.22 วัดสัญญาณที่อินพุทภาครับเดลต้าดีมอดูเลต เทียบกับ ขา 7 ของไอ.ซี. MC3418
เมื่อป้อนสัญญาณอนาลอกไซน์เวฟ ความถี่ 500 เฮิรตซ์ 42
รูปที่4.23 วัดสัญญาณที่อินพุทภาคส่งเดลต้ามอดูเลต เทียบกับสัญญาณเอาท์พุทที่ภาครับ
เดลต้าดีมอดูเลต เมื่อป้อนสัญญาณอนาลอก ไซน์เวฟ ความถี่ 500 เฮิรตซ์ 43
รูปที่4.24 วัดสัญญาณที่อินพุทภาคส่งเดลต้ามอดูเลต เทียบกับสัญญาณอินพุทที่ภาครับ
เดลต้าดีมอดูเลต เมื่อป้อนสัญญาณอนาลอก ไซน์เวฟ ความถี่ 2.5 กิโลเฮิรตซ์ 43
รูปที่4.25 วัดสัญญาณที่อินพุทภาครับเดลต้าดีมอดูเลต เทียบกับสัญญาณนาฬิกา
ของภาครับ เมื่อป้อนสัญญาณอนาลอกไซน์เวฟ ความถี่ 2.5 กิโลเฮิรตซ์ 44
รูปที่4.26 วัดสัญญาณที่อินพุทภาครับเดลต้าดีมอดูเลต เทียบกับ ขา 7 ของไอ.ซี.MC3418
เมื่อป้อนสัญญาณอนาลอกไซน์เวฟ ความถี่ 2.5 กิโลเฮิรตซ์ 44
รูปที่4.27 วัดสัญญาณที่อินพุทภาคส่งเดลต้ามอดูเลต เทียบกับสัญญาณเอาท์พุทที่ภาครับ
เดลต้าดีมอดูเลต เมื่อป้อนสัญญาณอนาลอก ไซน์เวฟ ความถี่ 2.5 กิโลเฮิรตซ์ 45
รูปที่4.28 วัดสัญญาณที่อินพุทภาคส่งเดลต้ามอดูเลต เทียบกับสัญญาณอินพุทที่ภาครับ
เดลต้าดีมอดูเลต เมื่อป้อนสัญญาณอนาลอก ไซน์เวฟ ความถี่ 4 กิโลเฮิรตซ์ 45
รูปที่4.29 วัดสัญญาณที่อินพุทภาครับเดลต้าดีมอดูเลต เทียบกับสัญญาณนาฬิกาของภาครับ
เมื่อป้อนสัญญาณอนาลอกไซน์เวฟ ความถี่ 4 กิโลเฮิรตซ์ 46
รูปที่4.30 วัดสัญญาณที่อินพุทภาครับเดลต้าดีมอดูเลต เทียบกับ ขา 7 ของไอ.ซี. MC3418
เมื่อป้อนสัญญาณอนาลอกไซน์เวฟ ความถี่ 4 กิโลเฮิรตซ์ 46
รูปที่4.31 วัดสัญญาณที่อินพุทภาคส่งเดลต้ามอดูเลต เทียบกับสัญญาณเอาท์พุทที่ภาครับ
เดลต้าดีมอดูเลต เมื่อป้อนสัญญาณอนาลอก ไซน์เวฟ ความถี่ 4 กิโลเฮิรตซ์ 47
รูปที่4.32 วัดสัญญาณเสียงที่อินพุทภาคส่ง เทียบกับเอาท์พุทภาคยกระดับสัญญาณ
เมื่อป้อนสัญญาณเสียงเข้ามา 47
รูปที่4.33 วัดสัญญาณเสียงที่อินพุทภาคส่งเทียบกับเอาท์พุทภาคยกรองความถี่ต่ำผ่าน
เมื่อป้อนสัญญาณเสียงเข้ามา 48
รูปที่4.34 วัดสัญญาณเสียงที่อินพุทภาคส่งเทียบกับสัญญาณนาฬิกา เมื่อป้อนสัญญาณเสียงเข้ามา 48

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

หน้า

รูปที่4.35 วัดสัญญาณเสียงที่อินพุทภาคส่งเทียบกับขา 7 ของไอ.ซี. MC 3418 เมื่อป้อน
สัญญาณเสียงเข้ามา 49
รูปที่4.36 วัดสัญญาณเสียงที่อินพุทภาคส่งเทียบกับเอาท์พุทภาครับ เมื่อป้อนสัญญาณเสียงเข้ามา 50
รูปที่4.37วัดสัญญาณเสียงที่อินพุทภาคส่งเทียบกับเอาท์พุทภาครับ เมื่อป้อนสัญญาณเสียงเข้ามา 50

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 1

บทนำ

ปัจจุบันการสื่อสารทางโทรคมนาคมมีความสำคัญต่อการใช้ชีวิตประจำวันเป็นอย่างมาก โดยเฉพาะด้านการติดต่อสื่อสาร ระบบของการสื่อสารข้อมูลให้สามารถรองรับปริมาณข้อมูลข่าวสารเป็นจำนวนมากจึงมีความจำเป็นอย่างยิ่ง โดยในอดีตนั้นระบบของการสื่อสารเป็นในรูปแบบของสัญญาณอนาลอก (Analog signal) ซึ่งการสื่อสารในระบบ อนาลอก (Analog system) นั้นมีข้อจำกัดอยู่มาก เช่น อัตราเร็วในการรับ-ส่งข้อมูลมีขีดจำกัด สัญญาณรบกวนมีมาก สัญญาณปลายทางมีการจางหายและผิดเพี้ยนจากสัญญาณต้นทาง (ทำให้กู้ข้อมูลเดิมได้ลำบากหรือมีการผิดพลาด)

จากเหตุผลดังกล่าว จึงได้มีการพัฒนาระบบการสื่อสารข้อมูลจากอนาลอกมาเป็นดิจิตอล (Digital system) ซึ่งสัญญาณที่ใช้ในการสื่อสารจะเป็นสัญญาณดิจิตอล (Digital signal) ข้อดีของระบบดิจิตอลเมื่อเทียบกับระบบอนาลอกคือมีอัตราการรับ-ส่งข้อมูลสูงกว่า สัญญาณรบกวนน้อยกว่า โอกาสเกิดความผิดพลาดน้อยกว่าเพราะข้อมูลที่ทำการส่งมีเพียงสองระดับคือ '0' กับ '1' แต่มีข้อเสียคือต้องใช้ช่องความถี่ (Bandwidth) กว้าง วงจรมีความซับซ้อนและต้องเสียค่าใช้จ่ายสูงกว่าระบบอนาลอก

สัญญาณที่ใช้ในการสื่อสารส่วนใหญ่มีแหล่งกำเนิดที่เป็นอนาลอกเช่น เสียงพูด (Voice) หรือสัญญาณภาพ (Vedio) ทำให้ถูกรบกวนได้ง่าย ดังนั้นจึงต้องมีการแปลงสัญญาณอนาลอกเป็นดิจิตอลเพื่อลดปัญหาข้างต้น ระบบการสื่อสารข้อมูลแบบมอดูเลตรหัสพัลส์ (Pulse Code Modulation : PCM) เป็นการส่งสัญญาณวิธีหนึ่งที่สามารถช่วยแก้ปัญหาดังกล่าว แต่เมื่อมีความถี่ที่ใช้สูงขึ้น จำนวนข้อมูลที่มีมากขึ้น สัญญาณรบกวนที่เกิดขึ้นจะมากตามไปด้วย ดังนั้น จึงต้องมีการพัฒนาระบบการสื่อสารเพื่อเพิ่มประสิทธิ์ภาพในการสื่อสารข้อมูล

ระบบการสื่อสารแบบผลต่างรหัสพัลส์ยังมีข้อเสียคือวงจรที่ใช้มีความซับซ้อน ทำให้เสียค่าใช้จ่ายสูง ในบางงานไม่ต้องการประสิทธิ์ภาพที่สูงมากนัก วงจรไม่ซับซ้อนและเสียค่าใช้จ่ายน้อยจึงไม่เหมาะที่จะใช้ระบบสื่อสารแบบผลต่างรหัสพัสส์ เพื่อแก้ปัญหาดังกล่าวจึงใช้ระบบการสื่อสารแบบเดลต้ามอดูเลชั่น (Delta Modulation : DM) ซึ่งเป็นการสื่อสารระบบดิจิตอลเช่นเดียว กับระบบการสื่อสารแบบผลต่างรหัสพัสส์

อนึ่งโครงงานนี้จัดทำขึ้นเพื่อศึกษาถึงหลักการ วิธีการระบบการสื่อสารแบบเดลต้ามอดูเลชั่น ผลของโครงงานนี้สามารถนำไปใช้ประกอบการเรียนของนักศึกษาภาคโทรคมนาคมต่อไป

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 2

ทฤษฎีและหลักการ

สัญญาณที่เกิดอย่างต่อเนื่องตลอดเวลาที่เรียกกันว่า สัญญาณอนาลอก (analog signal) นั้นถ้าค่าความหนาแน่นสเปกตรัมของมันเกิดอยู่ในแบนด์วิดท์ที่จำกัดแล้ว เราจะพบว่าในโดเมนเวลานั้น สัญญาณอนาลอกที่มีคุณสมบัติดังกล่าวจะมีข้อมูลที่มีความซ้ำซ้อนเกินความจำเป็นรวมอยู่ด้วยมากในระหว่างเวลาที่ส่งสัญญาณนั้น ดังนั้นถ้าเราเลือกชักค่าตัวอย่าง (sampling) ของสัญญาณนั้นที่ขณะเวลาต่าง ๆ ที่อยู่ห่างกันอย่างเหมาะสมแล้ว เพียงจากค่าตัวอย่างของสัญญาณที่ชักออกมาได้นี้ ก็จะสามารถเก็บข้อมูลของสัญญาณทั้งหมดได้อย่างสมบูรณ์ ซึ่งกล่าวได้ว่าการเลือกชักค่าตัวอย่างสัญญาณที่เวลาที่เหมาะสม จะทำให้เราสามารถลดความซ้ำซ้อนหรือความฟุ่มเฟือยของการใช้ค่าสัญญาณลงได้ เพราะฉะนั้นเราจึงสามารถนำเอาช่วงเวลาที่ไม่ตรงกับขณะเวลาที่มีการชักค่าสัญญาณไปใช้ในการทำประโยชน์อย่างอื่นได้ และเราก็สามารถใช้เพียงข้อมูลเท่าที่เราชักค่ามาได้ซึ่งขึ้นอยู่กับค่าตัวอย่างของสัญญาณอนาลอกที่ชั่วขณะเวลาที่ทำการชักค่าสัญญาณนั้น ไปจัดการประมวลผลตามต้องการได้สะดวก เนื่องจากค่าตัวอย่างสัญญาณที่ชักออกมานั้น เกิดที่เวลาห่างกันเป็นห้วงๆ ไม่ติดต่อกัน เราจึงเรียกค่าสัญญาณที่เกิดจากการชักค่าตัวอย่างสัญญาณนี้ว่า สัญญาณดิสครีตทางเวลา หรือนิยมเรียกสั้นๆ ว่า สัญญาณดิสครีต (discrete signal) ตัวทฤษฎีสำคัญที่บอกความสัมพันธ์ในการกำหนดคาบเวลาสำหรับการชักค่าตัวอย่างสัญญาณอนาลอก เพื่อสร้างสัญญาณดิสครีตที่มีข้อมูลสำหรับสัญญาณอนาลอกเดิมอยู่ครบถ้วน คือ ทฤษฎีการชักตัวอย่าง (sampling theorem)

2.1 ทฤษฎีการชักตัวอย่าง (sampling theorem)

ในการที่จะแปลงสัญญาณอนาลอกไปเป็นสัญญาณดิจิตอล (Analog to Digital Conversion) ได้นั้น ขั้นตอนที่สำคัญระหว่างกลางคือต้องเปลี่ยนสัญญาณดิจิตอลให้เป็นสัญญาณดิสครีตต่อหนึ่ง ในทำนองเดียวกัน ถ้าต้องการจะแปลงสัญญาณดิจิตอลเป็นอนาลอก (Digital to Analog Conversion) ก็ต้องเปลี่ยนสัญญาณดิจิตอลให้เป็นดิสครีตเสียก่อน แล้วจึงทำการเปลี่ยนสัญญาณดิสครีตนั้นให้เป็นสัญญาณอนาลอกในที่สุด กุญแจที่สำคัญของเรื่องนี้อยู่ตรงเงื่อนไขที่ใช้ในการเปลี่ยนสัญญาณจากสัญญาณอนาลอกให้กลายเป็นสัญญาณดิสครีต โดยที่สัญญาณดิสครีต ที่เปลี่ยนมาแล้วนั้นสามารถที่จะเปลี่ยนกลับไปเป็นสัญญาณอนาอลกได้ดังเดิม สิ่งสำคัญที่กล่าวมาข้างต้นนี้ก็คือ " ทฤษฎีการชักตัวอย่างสัญญาณ "

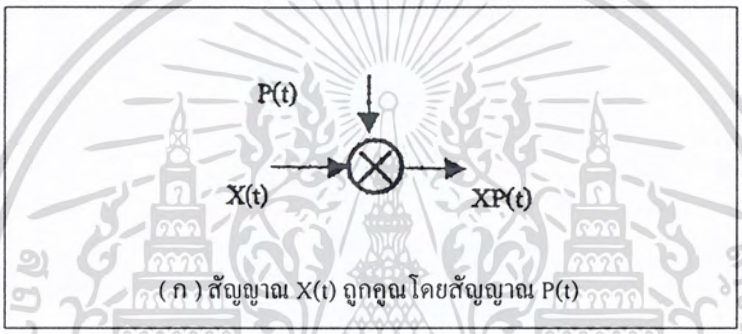
ใจความสำคัญของทฤษฎีคือ สำหรับสัญญาณอนาลอกที่มีสเปกตรัมอยู่ ในย่านความถี่ที่จำกัดโดยมีความถี่สูงสุดคือ f_b นั้นเพียงแต่การอาศัยค่าที่ได้จากการเลือกชักตัวอย่างเอาค่าของสัญญาณที่ขณะเวลาต่างๆ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

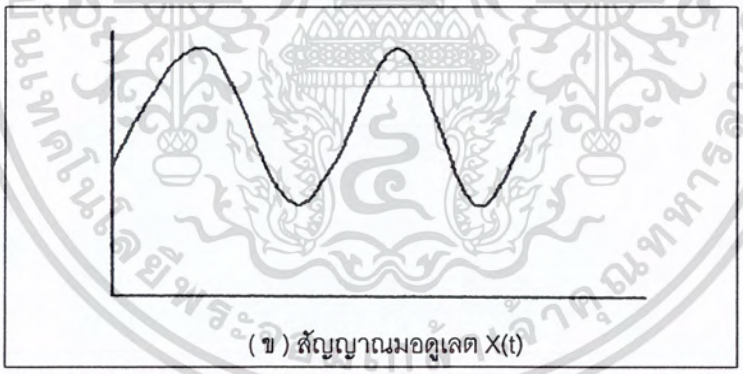
ที่ห่างกันทุกๆ วินาที มาใช้สร้างสัญญาณใหม่เท่านั้น ก็สามารถที่จะสร้างสัญญาณใหม่ ที่เหมือนกันทุกประการกับสัญญาณเดิมนั้น กลับมาใหม่ได้ เมื่อช่วงเวลา T ที่ใช้ในการชักค่าสัญญาณนั้น มีค่าเท่ากับหรือน้อยกว่า $\frac{1}{2f_b}$ วินาที

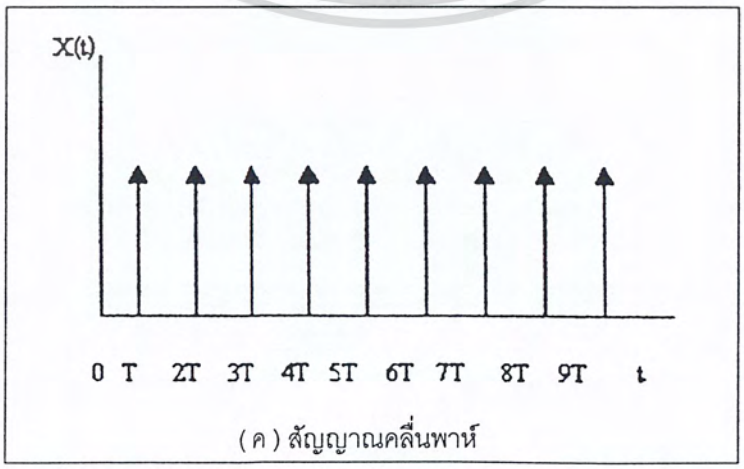
จากทฤษฎีการชักตัวอย่างสัญญาณดังกล่าวแล้ว เมื่อกล่าวอีกนัยหนึ่งเพื่อช่วยประกาศ ทำความเข้าใจเพิ่มขึ้น จะกล่าวได้ว่า ในการชักตัวอย่างสัญญาณอนาลอกที่มีคุณสมบัติตามเงื่อนไขตามทฤษฎีข้างต้น ถ้าใช้ความถี่ในการชักสัญญาณนั้นเท่ากับ f_b ความถี่ f_s นี้ จะต้องมากกว่าหรืออย่างน้อยที่สุดเท่ากับ 2 เท่าของความถี่สูงสุดที่มีประกอบอยู่ในสัญญาณอนาลอกนั้น กล่าวคือ

$$fs \geq 2\,fb$$



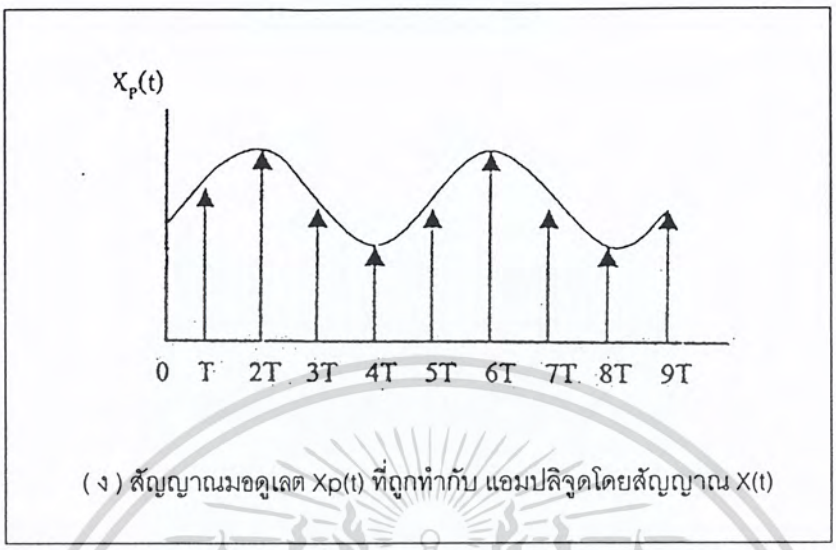
(ก) สัญญาณ X(t) ถูกคูณโดยสัญญาณ P(t)


(ข) สัญญาณมอดูเลต X(t)



(ค) สัญญาณคลื่นพาห์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



(ง) สัญญาณมอดูเลต Xp(t) ที่ถูกทำกับ แอมปลิจูดโดยสัญญาณ X(t)

รูปที่ 2.1 แสดงการชักตัวอย่างสัญญาณ

สำหรับปัญหาที่ว่า ถ้าหากจะทำการชักตัวอย่างสัญญาณของสัญญาณเสียง ที่ใช้ในการสื่อสารในโทรศัพท์ ก็ควรใช้ความถี่ในการชักตัวอย่างสัญญาณเสียงนั้นสักเท่าไร คำตอบของปัญหานี้พิจารณาได้ว่าในการสื่อสารโทรศัพท์นั้น สเปกตรัมของสัญญาณเสียงที่ใช้คือ 300-3400 เฮิรตซ์ (ปกติแล้ว เสียงที่มนุษย์ได้ยินสเปกตรัมที่กว้างกว่านี้แต่สำหรับเสียงมนุษย์นั้น ถ้าใช้แบนด์วิดท์ของระบบโทรศัพท์เพียง 300-3400 เฮิรตซ์ เท่านี้ก็เพียงพอที่จะทำให้คู่สนทนาโทรศัพท์นั้นสามารถที่จะให้เสียงและเข้าใจกันได้ ดังนั้นในระบบโทรศัพท์จึงต้องการใช้แบนด์วิดท์ของสัญญาณเสียงเพียงแค่นี้เท่านั้น ทั้งนี้เพื่อความสะดวกและประหยัดในการสร้างอุปกรณ์โทรศัพท์ต่างๆ) ดังนั้นความถี่ในการชักตัวอย่างสัญญาณนี้ ก็จะต้องมีค่าไม่ต่ำกว่า 6800 เฮิรตซ์

สังเกตได้ว่าสัญญาณที่เกิดขึ้น จากผลของการชักตัวอย่างของสัญญาณนั้น เป็นสัญญาณดิสครีตทั้งนี้เพราะว่าสัญญาณที่ได้จากผลของการชักตัวอย่างนั้น จะเกิดมีค่าขึ้นก็เฉพาะเวลาทำการชักตัวอย่างสัญญาณนั้นผ่านวงจรกรองแบบผ่านต่ำเท่านั้น และมีเงื่อนไขไว้ว่า วงจรกรองแบบผ่านต่ำนั้นจะต้องมีความถี่จุดตัด (cut off frequency : f_b) ไม่ต่ำกว่าความถี่ f_b แต่ต้องไม่สูงเกินความถี่ ($f_s - f_b$) คือ

$$f_b < f_c < f_s < f_b$$

จากเงื่อนไขข้างบน พิจารณาเรื่องการชักตัวอย่างสัญญาณเสียงที่ใช้ในการสื่อสารทางโทรศัพท์ซึ่งกล่าวได้ว่าจะต้องใช้ความถี่ในการชักตัวอย่างสัญญาณไม่ต่ำกว่า 6800 เฮิรตซ์ ในทางปฏิบัติ ถ้าใช้ความถี่ f_s = 6800 เฮิรตซ์ พอดี วงจรกรองแบบผ่านต่ำ ก็ต้องมีคุณสมบัติในการตัดแยกความถี่ของสัญญาณที่คมมากๆ ซึ่งในทางปฏิบัติแล้วทำไม่ได้ ดังนั้นเพื่อที่จะสร้างวงจรกรองแบบผ่านต่ำได้โดยง่าย จึงต้องใช้ f_s ที่มีค่ามากกว่า 6800 เฮิรตซ์ อย่างไรก็ดีถ้าหากใช้ความถี่ในการชักตัวอย่าง (sampling frequency : f_s) ที่มีค่ามาก

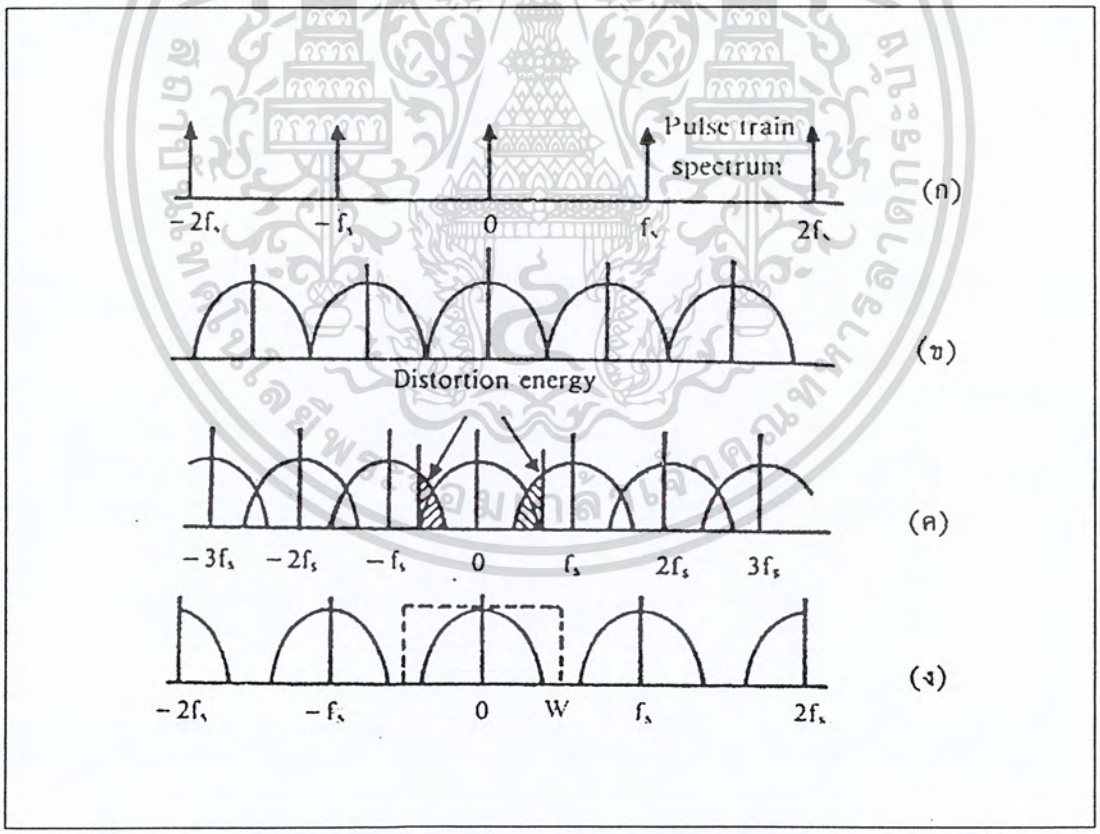
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เกินไป ก็น่าจะต้องทำการชักตัวอย่างสัญญาณออกมาเป็นจำนวนมาก ซึ่งอาจจะมากเกินความจำเป็น ดังนั้นในทางปฏิบัติจริงเลือกใช้ค่า f_s ที่สูงกว่า 6800 เฮิรตซ์ แต่ไม่สูงมากจนเกินไป ซึ่งโดยทั่วไปแล้วจะเลือกใช้ค่า f_s เท่ากับ 8 กิโลเฮิรตซ์

ด้วยเหตุที่การชักตัวอย่างสัญญาณเสียงในระบบโทรศัพท์นิยมใช้ความถี่ f_s = 8 kHz จึงมีคำกล่าวง่ายๆ ว่า แบนด์วิดท์ของช่องสัญญาณเสียงในระบบโทรศัพท์นั้นเท่ากับ 4 kHz ซึ่งเป็นค่าโดยประมาณ

2.2 ความผิดพลาดอันเนื่องมาจากการชักตัวอย่างไม่มากพอ

ถ้าให้สัญญาณอนาลอกมีสเปกตรัมสูงสุดเป็น W ในรูปที่ 2.2 (ก) ซึ่งจะแสดงสเปกตรัมของขบวนอิมพัลส์ ที่มีความถี่เป็น nf_s ส่วนรูปที่ 2.2 (ข) จะแสดงการ กระจายของสเปกตรัม กรณีที่ทำการชักตัวอย่างด้วย $f_s = 2W$ แต่รูปที่ 2.2 (ข) ถ้าทำการดีมอดูเลตจะต้องใช้ฟิลเตอร์ที่เป็นแบบอุดมคติ จึงจะสามารถสกัดสเปกตรัมของความถี่ที่อยู่ติดกันได้ แต่เนื่องจากฟิลเตอร์ที่เป็นแบบอุดมคตินั้นสร้างไม่ได้ เพราะฉะนั้นจึงไม่อาจป้องกันการรบกวนจากสเปกตรัมที่มีความถี่สูงกว่าได้



รูปที่ 2.2 แสดงสเปกตรัมของสัญญาณเบสแบนด์ และสเปกตรัมของสัญญาณชักตัวอย่างที่มีอัตราการชักตัวอย่างต่างๆ กัน

รูปที่ 2.2 (ค) นั้นเป็นกรณีที่ $f_s < 2W$ ลักษณะจะเหมือนกับการใช้ความถี่คลื่นพาห์ที่สูงไม่เพียงพอ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ในการมอดูเลต ซึ่งทำให้สเปกตรัมเกิดการซ้อนทับกัน ในกรณีนี้ถึงแม้จะใช้ฟิลเตอร์แบบอุดมคติก็ไม่สามารถสกัดสัญญาณรบกวนระหว่างไซด์แบนด์ได้ ส่วนรูปที่ 2.2 (ง) นั้น $f_s > 2W$ กรณีนี้ลดความยุ่งยากในการใช้ฟิลเตอร์ลง โดยเฉพาะถ้าช่วงการ์ดแบนด์ (Guard Band) คือ $f_s - 2W$ มีขนาดกว้างขึ้นซึ่งทั่วๆไป จะทำตามเงื่อนไปดังรูปที่ 2.2 (ง) นี้

เมื่อพิจารณาที่ $f_s < 2W$ ซึ่งทำให้ไซด์แบนด์ของสเปกตรัมมาซ้อนทับกัน ในการมอดูเลตมาได้นั้น เมื่อใช้วงจรกรองแบบผ่านต่ำที่มีแบนด์วิดท์เป็น $\frac{f_s}{2}$ มาใช้ในการดีมอดูเลตสัญญาณ ก็จะพบว่าสัญญาณที่ดีมอดูเลตมาได้นั้นจะเกิดการผิดเพี้ยนขึ้น เพราะสเปกตรัมในช่วง $\frac{f_s}{2}$ ถึง W ผ่านฟิลเตอร์ไม่ได้ นอกจากนั้นสเปกตรัมที่เกิดขึ้นในช่วง $f_s - 2W$ ถึง $\frac{f_s}{2}$ ที่เกิดการซ้อนทับกันก็ได้ เป็นการเคลือบแฝงลักษณะเช่นนี้เรียกว่า การเกิดการเคลือบแฝง (Aliasing) " เอเลียสซิง "

$T = \frac{1}{2f_b}$ นี้มีความสำคัญในทางทฤษฎี เพราะมันเป็นค่าวิกฤตที่จะบอกว่าการชักค่าตัวอย่างสัญญาณนั้นจะมีผลกระทบต่อการแยกตรวจจับสัญญาณในภายหลังหรือไม่ ค่าคาบเวลา $T = \frac{1}{2f_b}$ นี้ มีชื่อเฉพาะเรียกว่า ช่วงเวลาการชักตัวอย่างไนควิสต์ หรือบางครั้งก็นิยมเรียกสั้นๆ ว่า ช่วงเวลาไนควิสต์ (Nyquist interval) และค่าความถี่ $f = 2f_b$ นี้มีชื่อว่า ความถี่การชักตัวอย่างไนควิสต์ (Nyquist sampling frequency) หรือบางครั้งก็นิยมเรียกสั้น ๆ ว่า ความถี่ไนควิสต์ หรือ อัตราไนควิสต์ (Nyquist rate) ของการชักค่าตัวอย่างสัญญาณ

การมอดูเลตสัญญาณ ซึ่งใช้ค่าตัวอย่างของสัญญาณซึ่งชักค่าออกมาจากสัญญาณข่าวสาร ตามหลักการของทฤษฎีการชักตัวอย่าง มาควบคุมค่าพารามิเตอร์ของพัลส์ในขบวนพัลส์ (pulse train) ซึ่งเท่ากับว่าค่าตัวอย่างของสัญญาณข่าวสารนั้นถูกฝากไปกับพัลส์ต่างๆ ในขบวนพัลส์นั้น เพราะฉะนั้นเมื่อพิจารณาแล้วก็เสมือนกับว่าเราใช้ขบวนพัลส์เป็นคลื่นรูปไซน์ในการมอดูเลตแบบต่อเนื่อง ดังนั้นการมอดูเลตแบบนี้ จึงมีชื่อว่า การมอดูเลตพัลส์ (pulse modulation)

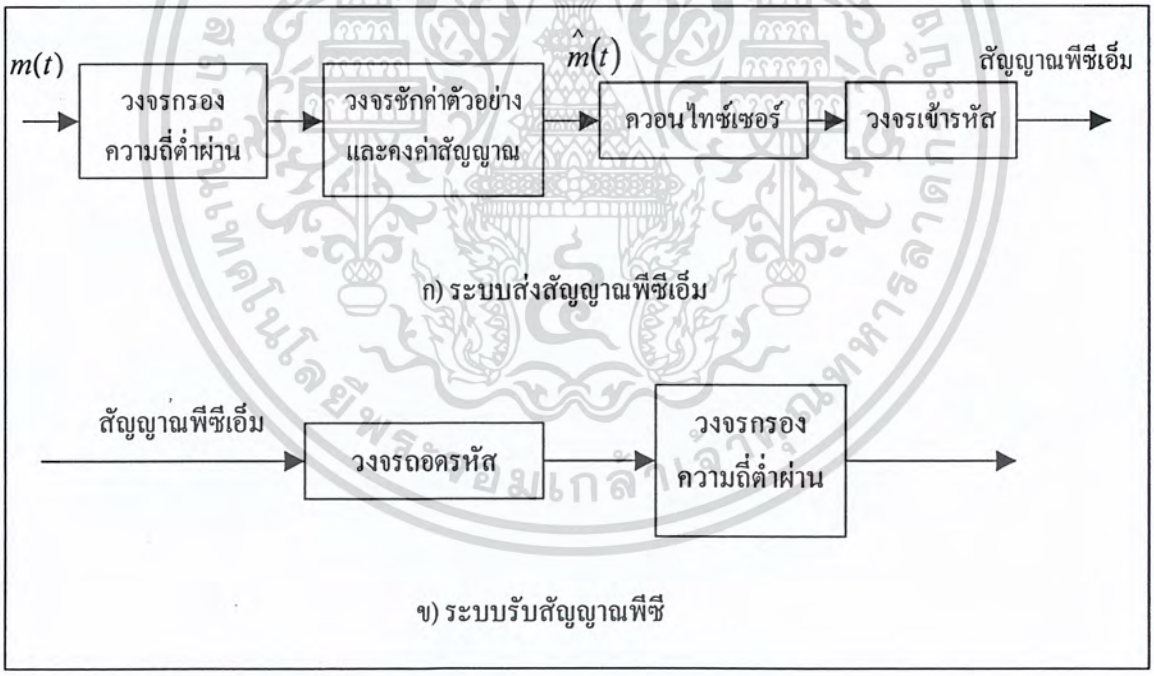
2.3 การมอดูเลตพัลส์ (pulse modulation)

การมอดูเลตพัลส์ (pulse modulation) นิยมเรียกย่อว่า พีซีเอ็ม (PCM) เป็นการมอดูเลตที่ให้สัญญาณลัพธ์ออกมาเป็นสัญญาณดิจิตอลโดยสมบรูณ์ จึงได้รับความนิยมใช้กันมาก ในปัจจุบันสัญญาณดิจิตอลมีความน่าใช้กว่าสัญญาณอนาลอก ก็เพราะว่าสัญญาณดิจิตอลมีภูมิต้านทานต่อสัญญาณรบกวนและความผิดเพี้ยนที่ดีกว่า ข้อได้เปรียบที่สุดของระบบดิจิตอล ก็คือ สามารถที่จะใช้ เครื่องทวนสัญญาณแบบสร้างพัลส์ใหม่ (regenerative repeater) ได้ จึงทำให้ไม่เกิดการสะสมความผิดเพี้ยนขึ้นในระบบสื่อสารนั้น ทำให้สามารถส่งข่าวสารได้ตลอดระยะทางไกลด้วยความถูกต้องสูง ซึ่งในระบบอนาลอกจะไม่มีวิธีที่จะหลีกเลี่ยงการสะสมของ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สัญญาณรบกวนและความผิดเพี้ยนที่เกิดขึ้นได้เลย ทำให้เกิดการสะสมความผิดเพี้ยนของสัญญาณมากขึ้นในการสื่อสารระยะไกล จึงทำให้คุณภาพของสัญญาณเลวลง

ในระบบพีซีเอ็มจะทำการแปลงสัญญาณอนาลอกสู่สัญญาณดิจิตอลโดยกระบวนการสำคัญ 3 กระบวนการ คือ การชักค่าตัวอย่างสัญญาณ การทำควอนไทซ์ (quantization) สัญญาณ และการเข้ารหัสสัญญาณ ในลำดับแรกสัญญาณอนาลอกจะถูกชักตัวอย่างตามทฤษฎีการชักค่าที่ช่วงเวลาห่างเท่าๆ กันและจะนำค่าตัวอย่างสัญญาณที่ได้นั้นไปเปรียบเทียบกับระดับสัญญาณที่จัดเตรียมไว้แล้ว L ระดับซึ่งอยู่ห่างกันแบบดิสครีต ที่เรียกว่า ระดับการควอนไทซ์ (quantization lever) ค่าของตัวอย่างสัญญาณที่เข้ามาเปรียบเทียบนั้นถ้าอยู่ใกล้กับระดับใดมากที่สุดก็จะจัดปัดประมาณค่าขนาดของตัวอย่างสัญญาณนั้นให้มีค่าขนาดตัวอย่างออกมาเท่ากับค่าของระดับดิสครีตที่อยู่ใกล้ที่สุดนั้น การประมาณจัดแบบ่งระดับสัญญาณเช่นนี้ เรียกว่า การควอนไทซ์ (quantize) สัญญาณ สัญญาณที่ได้รับการควอนไทซ์มาแล้วนี้จะถูกนำมาเข้ารหัสเป็นรหัสดิจิตอล ซึ่งโดยทั่วไปแล้วจะเป็นรหัสฐานสอง และรหัสดิจิตอลนี้ก็จะถูกแทนด้วยพัลส์ที่มีรูปแบบแน่นอน เพื่อใช้ส่งผ่านช่องสื่อสารต่อไป รูประบบพีซีเอ็มโดยสังเขปมีดังแสดงในรูปที่ 2.3 ซึ่งมีขั้นตอนที่สรุป อธิบายได้เป็นข้อๆ ดังต่อไปนี้ คือ



รูปที่ 2.3 ระบบพีซีเอ็ม

1. สัญญาณอนาลอกอินพุท $m(t)$ จะถูกกรองด้วยวงจรกรองความถี่ต่ำผ่าน เพื่อขจัดองค์ประกอบของสัญญาณที่มีค่าความถี่สูงกว่า f_m เฮิรตซ์ ที่เกินความจำเป็นในการสื่อสารออก เพื่อป้องกันการเกิดเอเลียสซิง อันอาจจะมีเกิดขึ้นได้ในกระบวนการชักค่าตัวอย่างสัญญาณ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2. สัญญาณที่มีย่านความถี่จำกัดที่ได้จากขั้นตอน 1. จะถูกชักค่าตัวอย่างด้วยอัตราความถี่ f_s โดยเงื่อนไข $f_s \geq 2f_m$

3. ค่าตัวอย่างสัญญาณ $m(iT_s)(i = 0,\pm1,\pm2,...)$ จะถูกรักษาระดับในวงจรชักค่าและคงค่าระดับในช่วงเวลา T_s ที่วงจรชักค่าตัวอย่างและคงค่าระดับสัญญาณ ทำการรักษาค่าระดับของค่าสัญญาณตัวอย่างอยู่นี้ วงจรทำควอนไทซ์ ซึ่งเรียกว่า ควอนไทเซอร์ (quantizer) นั้นก็จะทำการแปลงค่าระดับของค่าตัวอย่างสัญญาณ ซึ่งเป็นค่าระดับเชิงอนาลอกให้เป็นค่าระดับเชิงดิสครีส ในกระบวนการนี้อาจเกิดความแตกต่างของค่าระดับเชิงอนาลอกและค่าระดับเชิงดิสครีตบ้าง ค่าความคลาดเคลื่อนนั้นจะมีค่าลดลง หากระดับดิสครีตของควอนไทเซอร์มีจำนวนเพิ่มขึ้น สัญญาณที่มีค่าเฉพาะเท่ากับระดับเชิงดิสครีต (ระดับการควอนไทซ์) ที่ได้มานี้ จัดได้ว่าเป็นสัญญาณดิจิตอล ชนิดหนึ่ง

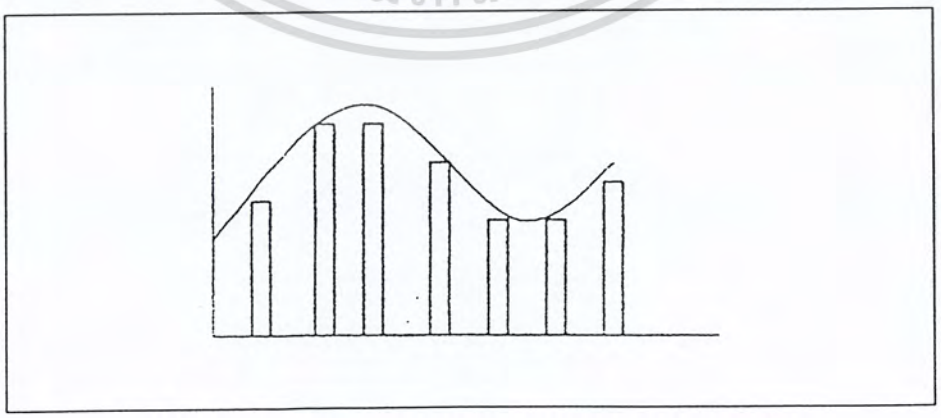
4. วงจรเข้ารหัสจะเปลี่ยนค่าแอมปลิจูดของสัญญาณจากควอนไทเซอร์เป็นกลุ่มของรหัสพัลส์ขึ้นอยู่กับผู้ออกแบบที่ต้องการว่าจะส่งสัญญาณผ่านช่องสัญญาณแบบใด

5. วงจรถอดรหัส จะทำการเปลี่ยนรหัสพัลส์กลับเป็นระดับของขนาดสัญญาณที่ได้ถูกควอนไทซ์มา และจะส่งผ่านไปยังวงจรกรองความถี่ต่ำผ่าน

6. วงจรกรองความถี่ต่ำผ่าน จะขจัดองค์ประกอบความถี่สูงของสัญญาณที่ได้จากการถอดรหัสออก ทำให้ได้ค่าสัญญาณเอาท์พุท $\hat{m}(t)$ ซึ่งเป็นค่าประมาณของสัญญาณ $m(t)$ เดิมออกมา

2.4 การจัดระดับการควอนไทซ์ (Quantization level)

เมื่อชักตัวอย่างสัญญาณอนาลอก มาทำการมอดูเลตกับสัญญาณพัลส์แล้ว จะได้สัญญาณการมอดูเลตแบบแอมปลิจูดของพัลส์ (Pulse Amplitude Modulation : PAM) ดังรูปที่ 2.4 ก็จะได้สัญญาณที่เป็นระดับออกมา ขั้นต่อไปสัญญาณพีเอเอ็ม จะถูกส่งผ่านส่วนของการแบ่งขนาดระดับของสัญญาณ ให้เป็นระดับที่ใกล้เคียงกับระดับที่กำหนดแบ่งไว้ เรียกช่วงนี้ว่าการจัดระดับควอนไทซ์ (Quantizing Interval)



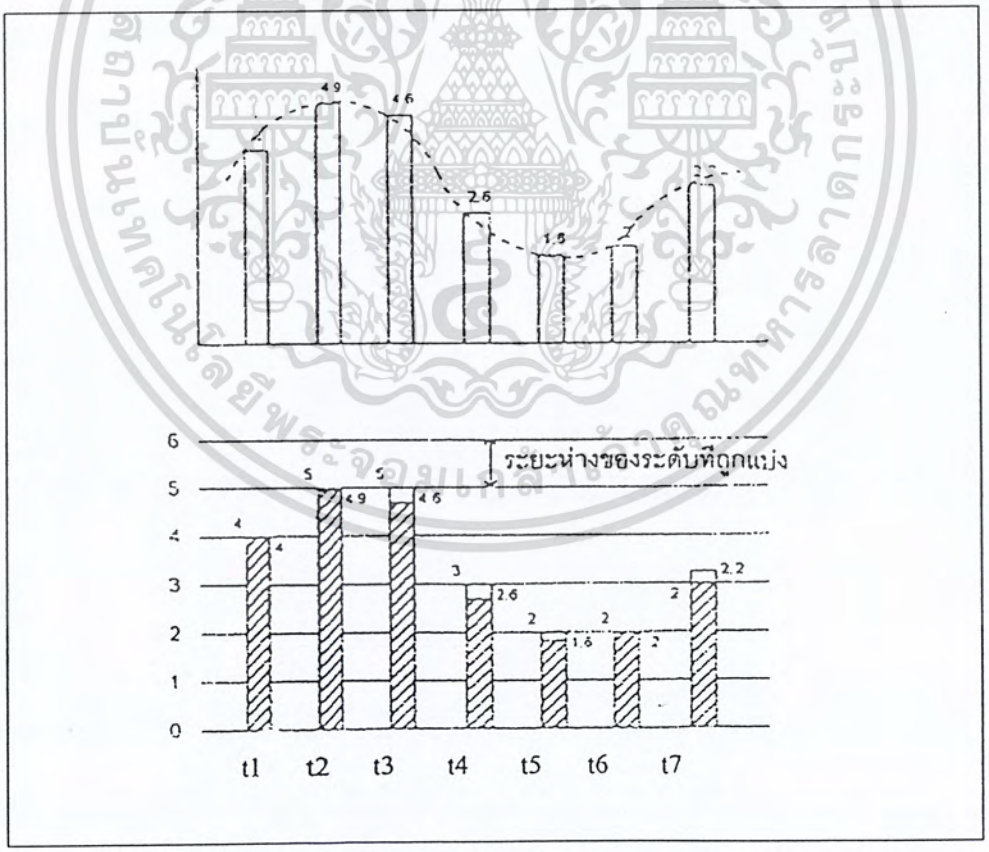
รูปที่ 2.4 แสดงสัญญาณการมอดูเลตแบบแอมปลิจูดของพัลส์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ขนาดของระดับแรงดันของแต่ละสัญญาณที่ชักตัวอย่างในพีเอเอ็ม จะถูกแทนด้วยระดับของการควอนไทซ์ที่ใกล้เคียงกับขนาดของระดับแรงดันไฟฟ้า ดังรูปที่ 2.4

สัญญาณที่ถูกชักตัวอย่างที่เวลา t_2 ซึ่งมีขนาด 4.9 จะถูกแทนด้วยระดับ 5.0 หรือที่เวลา เป็น t_7 สัญญาณชักตัวอย่างมีขนาด 2.2 จะถูกแทนด้วยรหัส 2.0 จากผลที่ได้นี้ ก็จะได้ระดับของสัญญาณที่มีช่วงห่างที่แน่นอน ทำให้สามารถที่จะนำระดับสัญญาณไปแปลงเป็นรหัสฐานสองที่สอดคล้องกับแต่ละระดับของสัญญาณพีเอเอ็ม แต่ระดับที่แปลงนี้ จะเป็นค่าประมาณของสัญญาณอนาลอก ดังนั้นจึงทำให้เกิดค่าผิดพลาดระหว่างสัญญาณทั้งสองทางขนาดของแอมปลิจูด ค่าที่ผิดพลาดนี้เรียกว่าสัญญาณรบกวนเนื่องจากการควอนไทซ์ (Quantiaing Noise)

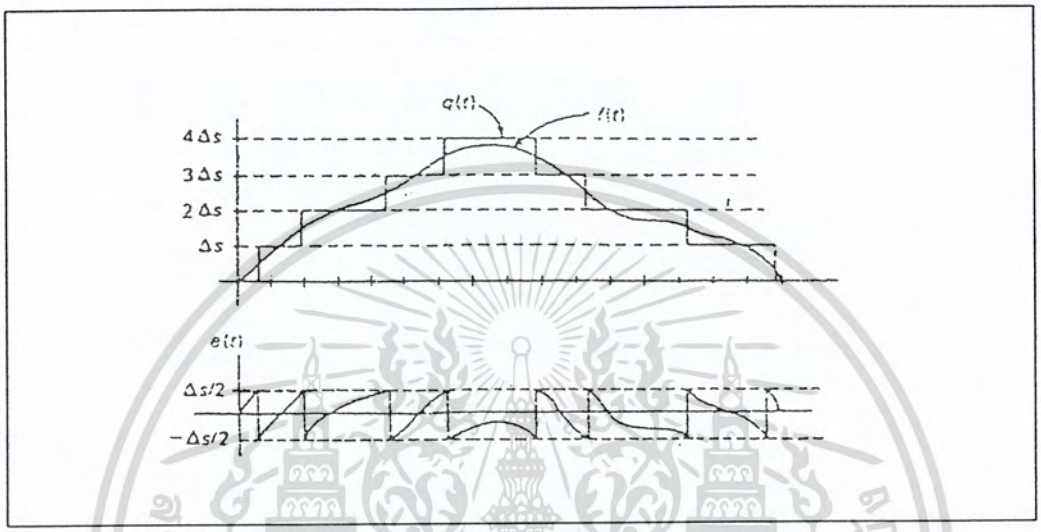
สัญญาณรบกวนเนื่องจากการควอนไทซ์นั้น ขนาดของสัญญาณรบกวนกระจายสม่ำเสมอในช่วงระยะห่างของระดับที่ถูกแบ่ง และไม่ขึ้นกับแอมปลิจูดของสัญญาณอนาลอก นั่นคือระดับของอนาลอก จะเห็นได้ว่าสัญญาณรบกวนจากการแปลงตัวเลขนี้ เป็นสิ่งที่ไม่สามารถหลีกเลี่ยงได้ โดยการกำหนดให้ช่วงห่างของระดับที่ถูกแบ่งนี้มีช่วงเล็กพอเพียงแล้ว สัญญาณรบกวนจากการแปลงตัวเลข ก็สามารถลดลงสู่ระดับที่เหมาะสมได้ ดังรูป 2.5



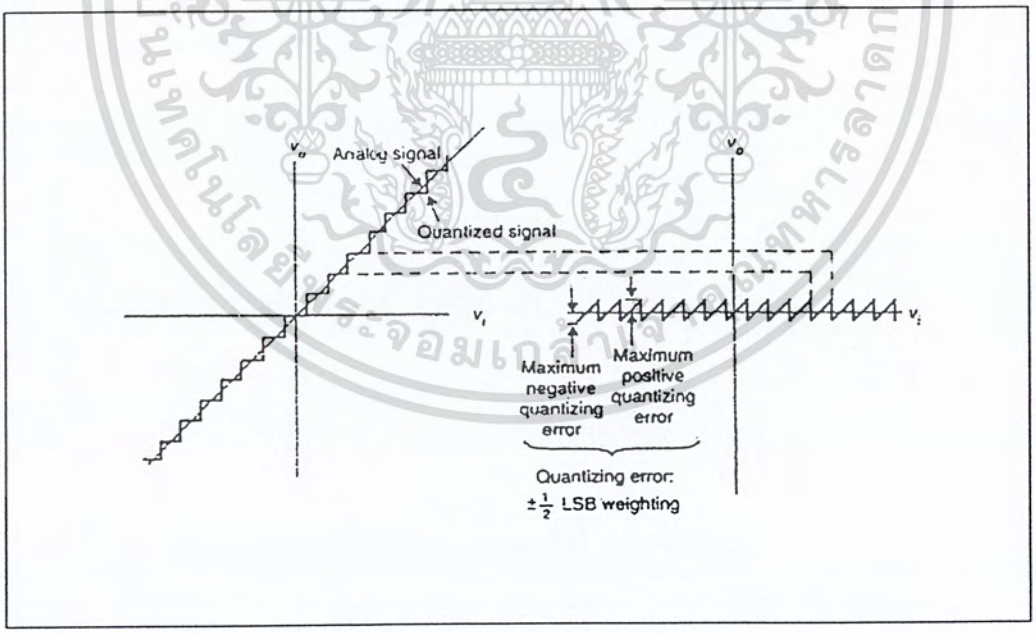
รูปที่ 2.5 แสดงการแปลงระดับสัญญาณพีเอเอ็มให้เข้ากับระดับของการควอนไทซ์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

หลังจากผ่านการแปลงเป็นตัวเลขแล้วสัญญาณที่ได้ จะถูกนำไปเข้ารหัสโดยเปลี่ยนเป็นตัวเลขรหัสฐานสอง โดยระดับค่าตัวเลขถูกกำหนดโดยจำนวนบิตของเลขฐานสอง แต่ละค่าสัญญาณที่ได้นี้เรียกว่าพีเอเอ็ม ถ้าสมมติว่าให้การเข้ารหัสต่อหนึ่งค่าเท่ากับ n บิต เราจะมีจำนวนค่าตัวเลขทั้งหมดเท่ากับ 2 ค่า ดังนั้นถ้าเข้ารหัส 8 บิต ต่อหนึ่งค่าจะทำให้มีระดับค่าตัวเลขทั้งหมด 2^8 ซึ่งเท่ากับ 256 ค่านั่นเอง



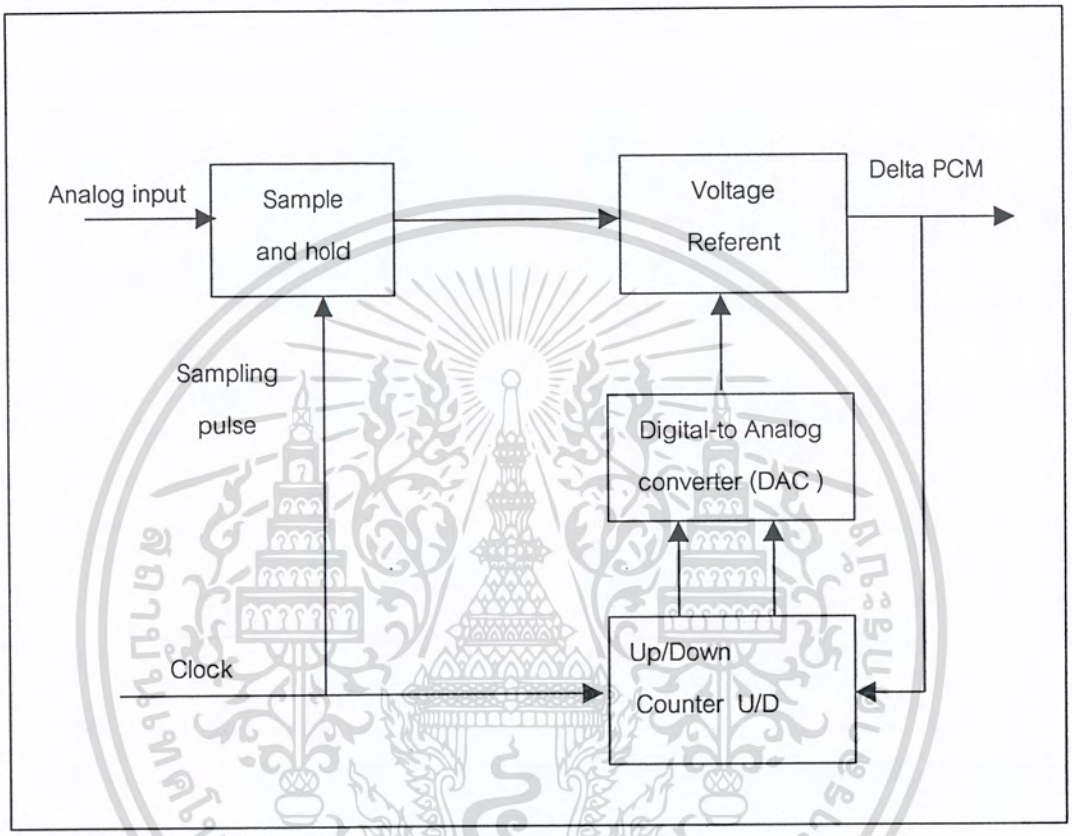
รูปที่ 2.6 แสดงสัญญาณรบกวนเนื่องจากการควอนไทซ์



รูปที่ 2.7 แสดงความสัมพันธ์ระหว่างระยะห่างของระดับ ที่ถูกแบ่งกับสัญญาณรบกวนเนื่องจากการควอนไทซ์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.5 เดลต้ามอดูเลตชั่น (Delta Modulation : DM)

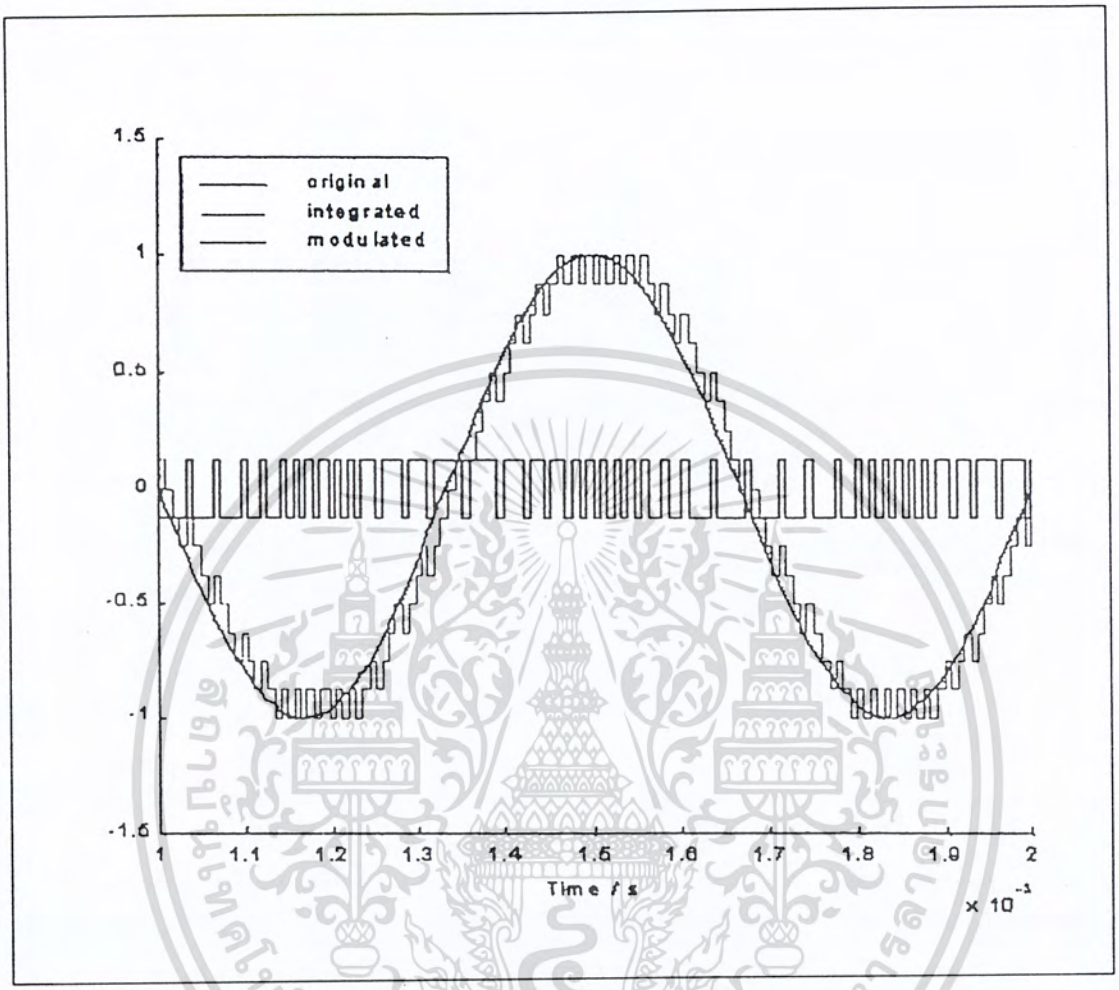


รูปที่ 2.8 บล็อกไดอะแกรมของเครื่องส่งดีเอ็ม

2.5.1 เครื่องส่งสัญญาณดีเอ็ม

รูปที่ 2.8 เป็นบล็อกไดอะแกรมของเครื่องส่งดีเอ็ม สัญญาณอนาลอกที่ป้อนให้แก่เครื่องส่งดีเอ็มจะถูกแซมปลิ้งและเปลี่ยนให้อยู่ในรูปสัญญาณพีเอเอ็ม (PAM) แล้วสัญญาณพีเอเอ็ม จะถูกเปรียบเทียบกับสัญญาณที่ได้จากวงจรแปลงสัญญาณดิจิตอลเป็นอนาลอก (DAC) ซึ่งเป็นสัญญาณในรูปโวลเตจที่เท่ากับค่าสัญญาณจากการแซมปลิ้งก่อนหน้านั้น ถูกเก็บไว้ที่อัพแอนดาวน์เคาน์เตอร์ (up/down counter) ในรูปตัวเลขฐานสอง การที่อัพแอนดาวน์เคาน์เตอร์จะนับขึ้นหรือนับลงตามค่าสัญญาณแซมปลิ้งก่อนหน้านั้น ว่าจะมีค่าน้อยกว่าหรือมากกว่ากระแสแซมปลิ้ง อัพแอนดาวน์เคาน์เตอร์จะเปลี่ยนแปลงตามค่าที่ได้จากการเปรียบเทียบและมีสัญญาณคล็อค (Clock signal) เดียวกันกับอัตราการแซมปลิ้ง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.9 แสดงการทำงานตามทฤษฎีการเข้ารหัสแบบเดลต้ามอดูเลชั่น

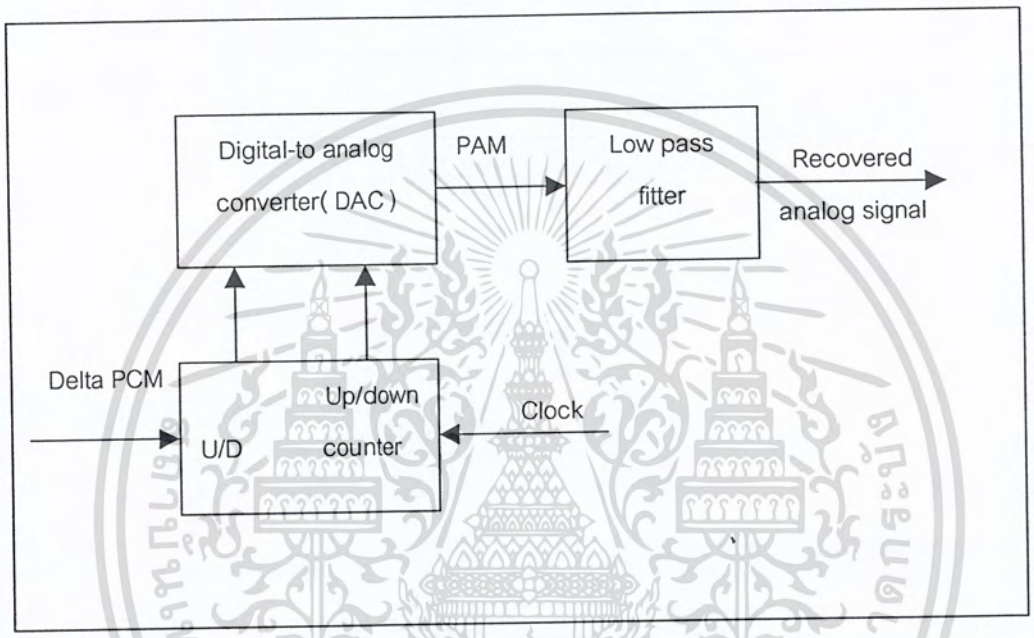
รูปที่ 2.9 แสดงการทำงานตามทฤษฎีการเข้ารหัสแบบเดลต้ามอดูเลชั่น เริ่มต้นให้ค่าอัพแอนดาวน์เคาน์เตอร์มีค่าศูนย์ และวงจรแปลงสัญญาณดิจิตอลเป็นอนาลอกให้ค่าเอาท์พุทเป็น 0 โวลท์ด้วยเมื่อค่าแซมปลิ้งแรกถูกเปลี่ยนเป็นสัญญาณพีเอเอ็มจะถูกเทียบกับ 0 โวลท์ ค่าเอาท์พุทจากคอมพาเรเตอร์เป็นลอจิก 1 อีก ถ้ามีสัญญาณคล็อค (Clock) ถัดไป ขณะนี้เอาท์พุตของวงจรแปลงสัญญาณดิจิตอลเป็นอนาลอกจะมีโวลเตจเท่ากับขนาดของสเต็ปไซค์ที่น้อยที่สุด (minimum step size)

อัตราการเปลี่ยนแปลงค่าของขั้นต่างๆ จะเท่ากับความถี่ของคล็อคที่ใช้หาค่าแซมปลิ้ง อัพแอนด์ดาวน์เคาน์เตอร์จะมีการนับขึ้น จนกระทั่งผลเอาท์พุทของวงจรแปลงสัญญาณดิจิตอลเป็นอนาลอกมีค่ามากกว่าค่าแซมปลิ้งจากสัญญาณอนาลอก หลังจากนั้นอัพแอนด์ดาวน์เคาน์เตอร์จะเริ่มนับลงเรื่อยๆ จนผลเอาท์พุตของวงจรแปลงสัญญาณดิจิตอลเป็นอนาลอกมีค่าต่ำกว่าขนาดสัญญาณแซมปลิ้ง ในสภาวะที่เกิดขึ้นในทฤษฎีที่

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

แสดงในรูปที่ 2.9 ค่าเอาท์พุตจากวงจรแปลงสัญญาณดิจิตอลเป็นอนาลอกจะเปลี่ยนแปลงไปตามสัญญาณอินพุทในแต่ละครั้งที่อัพแอนด์ดาวน์เคาน์เตอร์นับขึ้น จะส่งลอจิก 1 ไปตามสายส่งและทุกครั้งที่อัพแอนด์ดาวน์เคาน์เตอร์นับลง ก็จะส่งลอจิก 0 ส่งไปตามสายส่งเช่นกัน

2.5.2 เครื่องรับดีเอ็ม

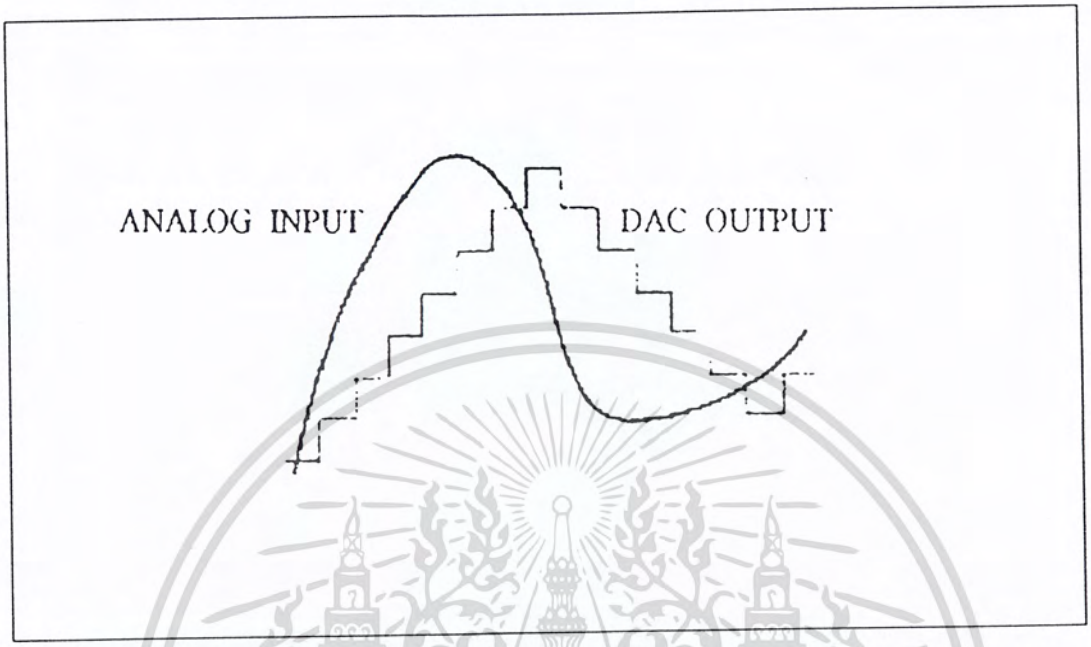


รูปที่ 2.10 บล็อกไดอะแกรมของเครื่องรับดีเอ็ม

จากรูปที่ 2.10 แสดงบล็อกไดอะแกรมของเครื่องรับเดลต้ามอดูเลชั่น จะเห็นว่าเครื่องรับมีอุปกรณ์ที่คล้ายกับเครื่องส่งโดยแตกต่างกันที่เครื่องรับไม่มีคอมพาเรเตอร์ ด้านรับจะรับลอจิก 1 และลอจิก 0 จากทางด้านส่ง เมื่อเคาน์เตอร์ที่ด้านส่งมีการนับขึ้นและนับลงตามลำดับ ค่าเอาท์พุตของวงจรแปลงสัญญาณดิจิตอล เป็นอนาลอกทางด้านรับจะมีค่าเหมือนกันกับค่าเอาท์พุตของวงจรแปลงสัญญาณดิจิตอลเป็นสัญญาณอนาลอกทางด้านส่งเนื่องจากเดลต้ามอดูเลชั่นมีการส่งสัญญาณเพียง 1 บิต ดังนั้นบิตเรท (Bit rate) ของเดลต้ามอดูเลชั่นจะต่ำกว่าบิตเรทของระบบพีซีเอ็ม (PCM) และมีปัญหา 2 กรณีในการทำงานแบบเดลต้ามอดูเลชั่น คือ สโลปโอเวอร์โหลด (Slope overload) และกรานูลาร์ น็อยส์ (Granular noise) ซึ่งทั้งสองปัญหาจะไม่พบในระบบพีซีเอ็ม

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

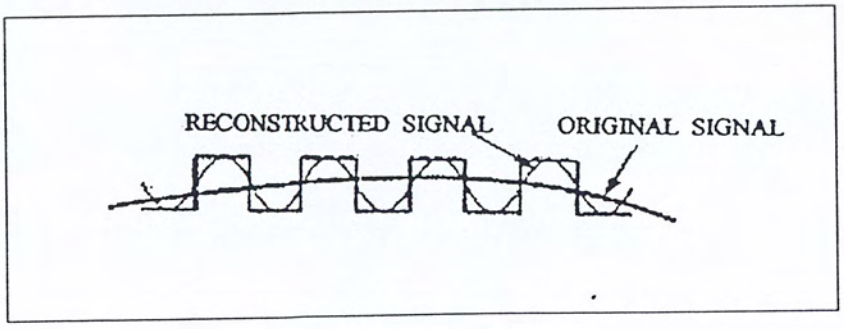
2.5.2.1 สโลป โอเวอร์โหลด (Slope overload)



รูปที่2.11แสดงอัตราการเปลี่ยนแปลงของสัญญาณอนาลอกอินพุตกับอัตราการเปลี่ยนแปลงที่ได้จากวงจรแปลงสัญญาณดิจิตอลเป็นอนาลอก

จากรูปที่ 2.11 แสดงให้เห็นว่าสัญญาณอนาลอกอินพุท มีอัตราการเปลี่ยนแปลงเร็วกว่าอัตราการเปลี่ยนแปลงที่ได้จากวงจรแปลงสัญญาณดิจิตอลเป็นอนาลอก ดังนั้นสโลป (Slope) ของสัญญาณอนาลอกจะมีค่ามากกว่าที่เดลต้ามอดูเลชั่นจะตามทันเรียกว่า สโลป โอเวอร์โหลด (Slope overload) การเพิ่มความถี่ของสัญญาณคล็อคจะช่วยลดโอกาศการเกิดสโลป โอเวอร์โหลด หรือ อาจแก้ปัญหาสโลป โอเวอร์โหลดได้โดยการเพิ่มขนาดของสเต็ปต่ำสุด (minimum step size)

2.5.2.2 กรานูลาร์ น็อยส์ (Granular Noise)



รูปที่ 2.12 กรานูลาร์ น็อยส์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รูปที่ 2.12 แสดงให้เห็นว่าถ้าสัญญาณอนาลอกอินพุท มีขนาดเกือบจะเป็นเส้นตรงแต่สัญญาณที่ทางด้านรับของระบบเดลต้ามอดูเลชั่นมีการเปลี่ยนแปลงไปมาไม่เหมือนกับสัญญาณอินพุทปัญหาที่เกิดขึ้นเรียกว่า กรานุล่าร์ น็อยส์ (Granular noise) ซึ่งกรานุล่าร์ น็อยส์ที่เกิดขึ้นกับระบบเดลต้ามอดูเลชั่นเปรียบเสมือนควอนไทซ์เซชั่น น็อยส์ (Quantization noise) ของระบบพีซีเอ็ม การลดกรานุล่าร์ น็อยส์ทำได้โดยลดขนาดของสเต็ปไซค์ (step size)

กรานูล่าร์ น็อยส์จะเกิดขึ้นมากกับสัญญาณอนาลอกที่มีการเปลี่ยนแปลงของสโลป (slope) น้อย ซึ่งเป็นสัญญาณที่มีขนาดในการเปลี่ยนแปลงเพียงเล็กน้อย ส่วนสโลป โอเวอร์โหลดมักจะเกิดกับสัญญาณอนาลอกที่มีสโลปมากหรือขนาดของสัญญาณเปลี่ยนแปลงอย่างรวดเร็ว

2.6 วงจรกรองแบบผ่านต่ำ (Low Pass Filters : LPF)

วงจรกรองแบบผ่านต่ำสามารถแบ่งได้เป็น 3 แบบใหญ่ๆ คือ

1. วงจรกรองแบบผ่านต่ำแบบบัตเตอร์เวิร์ธ (Butterworth Filters)

วงจรกรองความถี่แบบนี้จะมีการตอบสนองทางความถี่ราบเรียบที่สุดในช่วงความถี่ที่สามารถผ่านไปได้ ส่วนความถี่ช่วงที่ผ่านไม่ได้จะเกิดการลดทอนสัญญาณสูง

2. วงจรกรองแบบผ่านต่ำแบบเชพบิเชพ (Chebyshev Filters)

วงจรกรองความถี่แบบนี้ จะมีการลดทอนสัญญาณอย่างรวดเร็วที่สุด แต่ไม่ค่อยนิยมใช้กัน เพราะช่วงความถี่ที่ผ่านไปได้มีการตอบสนองที่ไม่ราบเรียบมีลักษณะเป็นริปเปิ้ล (Ripple) ยิ่งมีริปเปิ้ลมากเท่าใด อัตราการลดทอนสัญญาณจะมากขึ้นเท่านั้น

3. วงจรกรองแบบผ่านต่ำแบบเบสเซล (Bassel Filters)

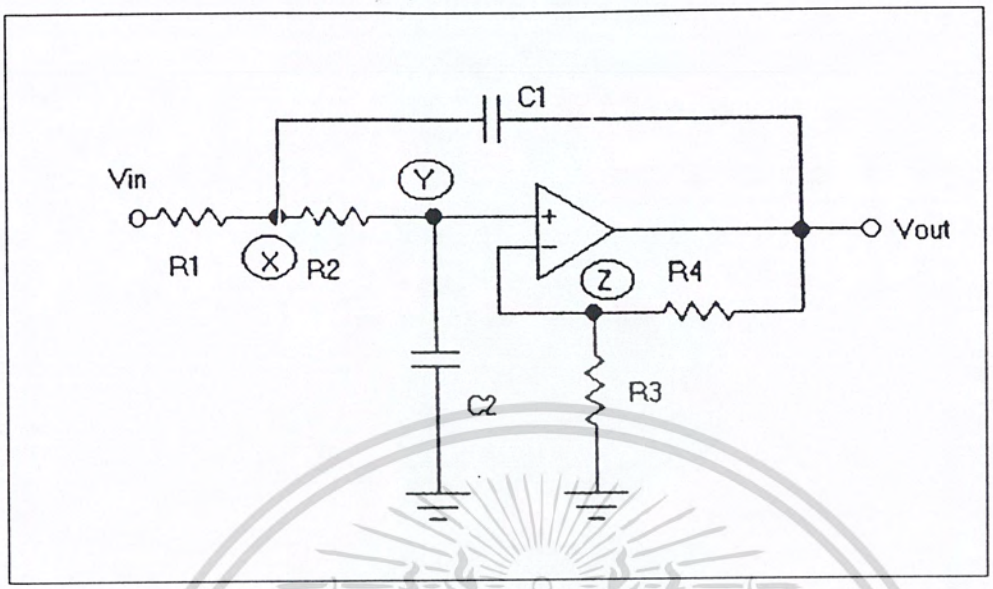
วงจรกรองความถี่แบบนี้ จะมีการหน่วงเวลาคงที่สูงสุดในการตอบสนองความถี่ แต่มีอัตราการลดทอนที่แย่ที่สุด คือ ค่อยๆลาดลงทีละน้อย

สมการที่ใช้ในการออกแบบวงจรกรองความถี่คือสมการควอดเดติกซ์ (Quadratic Equation) เป็นสมการแสดงความสัมพันธ์ของฟังก์ชั่นถ่ายโอน (Transfer Function) ซึ่งสมการของวงจรกรองผ่านต่ำเป็นดังนี้

$$T_{lp} = \frac{\omega_0}{s^2 + \frac{\omega_0 s}{Q} + \omega_0^2}$$

วงจรกรองซอลเล็นแอนคีย์ (Sallen and Key Filter) ดังในรูปที่ 2.13 มีฟังก์ชั่นถ่ายโอนเหมือนสมการข้างต้นซึ่งทำการพิสูจน์ได้ดังนี้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.13 วงจรกรองซอลเล็นแอนคีย์

ที่โนด Z

$$\frac{V_z - 0}{R_3} + \frac{V_z - V_o}{R_4} = 0$$

$$V_z = \frac{R_3 \cdot V_o}{R_3 + R_4}$$

$$V_z = K \cdot V_o \qquad \ldots(1)$$

$$K = \frac{R_3}{R_3 + R_4}$$

ที่โนด Y

$$\frac{V_y - V_x}{R_2} + \frac{V_y}{\frac{1}{SC_2}} = 0$$

$$V_y\left(\frac{1}{R_2} + SC_2\right) = \frac{V_x}{R_2}$$

$$V_x = V_y R_2\left(\frac{1}{R_2} + SC_2\right) \qquad \ldots(2)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สำนักหอสมุดกลาง_พระจอมเกล้าลาดกระบัง

ที่ โนด X

$$\frac{V_x - V_m}{R_1} + \frac{V_x - V_0}{\frac{1}{SC_1}} + \frac{V_x - V_z}{R_2} = 0$$

$$V_x\left(\frac{1}{R_1} + SC_1 + \frac{1}{R_2}\right) - \frac{V_{in}}{R_1} - V_0 \cdot SC_1 - \frac{V_z}{R_2} = 0 \qquad \ldots(3)$$

แทนค่าจาก V_x จาก (2) ลงใน (4)

$$V_R R_2\left(\frac{1}{R_2} + SC_2\right)\left(\frac{1}{R_1} + SC_1 + \frac{1}{R_2}\right) - V_0 \cdot SC_1 - \frac{V_Z}{R_2} = \frac{V_{in}}{R_1}$$

แทนค่า V_z จาก (1)

$$kV_0(1 + SC_2R_2)\left(\frac{1}{R_1} + SC_1 + \frac{1}{R_2}\right) - V_0 \cdot SC_1 - \frac{kV_0}{R_2} = \frac{V_{in}}{R_1}$$

$$V_0(k + kSC_1R_2)\left(\frac{1}{R_1} + SC_1 + \frac{1}{R_2}\right) - SC_1 - \frac{k}{R_2} = \frac{V_{in}}{V_0R_1}$$

$$\frac{k}{R_1} + \frac{k}{R_2} + kSC_1 + \frac{kSC_2R_2}{R_1} + \frac{kSC_2R_2}{R_2} + kS^2C_1C_2 - SC_1 - \frac{k}{R_2} = \frac{V_{in}}{V_0R_1}$$

$$S^2kC_1C_2R_2 + S\left(kC_1 - C_1 + \frac{kC_2R_2}{R_1} + kC_2\right) + \frac{k}{R_1} = \frac{V_{in}}{V_0R_1}$$

$$S^2kC_1C_2R_1R_2 + S\left(R_1C_1(k-1) + k(C_2R_2 + R_1C_2)\right) + k = \frac{V_{in}}{V_0}$$

$$\frac{V_0}{V_{in}} = \frac{1}{S^2kC_1C_2R_1R_2 + S\left[R_1C_1(k-1) + k(C_2R_2 + C_2R_1)\right] + k}$$

$$\frac{V_0}{V_{in}} = \frac{\frac{1}{kC_1C_2R_1R_2}}{S^2 + \frac{S\left[R_1C_1(k-1) + k(R_2C_2 + R_1C_1)\right]}{kC_1C_2R_1R_2} + \frac{1}{C_1C_2R_1R_2}}$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

46457

$$\frac{V_0}{V_{in}} = \frac{1}{k}\left[\frac{\frac{1}{C_1C_2R_1R_2}}{S^2 + \frac{S\left[R_1C_1(k-1)\right] + k\left(C_2R_2 + C_2R_1\right)}{kC_1C_2R_1R_2} + \frac{1}{C_1C_2R_1R_2}}\right]$$

จะเห็นว่าสมการฟังก์ชั่นถ่ายโอนของวงจรกรองซอลเล็นแอนดีย์มีรูปแบบคล้ายกันกับสมการควอดเดติกซ์ที่ใช้ออกแบบวงจรกรองผ่านต่ำโดย

$$\omega_0^2 = \frac{1}{C_1C_2R_1R_2} \qquad \ldots(4)$$

$$\omega_0 = 2\pi f_c$$

จากสมการที่ (4) สามารถนำมาใช้ออกแบบวงจรกรองผ่านต่ำซอลแอนดีย์ได้ โดยการกำหนดค่า C และ R ที่เหมาะสม

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 3

การคำนวณและการสร้าง

การออกแบบวงจรนี้ จะแบ่งชิ้นงานออกเป็น 2 ส่วน คือ

- ชุดวงจรภาคส่ง (Transmitter)
- ชุดวงจรภาครับ (Receiver)

3.1 หลักการออกแบบวงจรภาคส่ง

สำหรับปริญญานิพนธ์นี้ได้ออกแบบวงจรกรองแบบผ่านต่ำแบบบัตเตอร์เวิร์ธซึ่งจะมีความถี่ตัดผ่าน (Cut Off Frequency) ที่ 4 กิโลเฮิรตซ์ โดยการคำนวณจากสมการที่ (4)

ในการคำนวณจะทำการกำหนดค่า C ก่อนเพราะว่า C หาได้ยากกว่าค่า R และใช้ตารางที่ 2.3 ในการคำนวณค่าตัวเก็บประจุ

กำหนดค่า C1 = C2 = 0.01 μF เพราะฉะนั้น

$$R_1 R_2 = \frac{1}{(2\pi f_c)^2 C_1 C_2}$$

$$R_1 R_2 = \frac{1}{(2\pi \times 4000)^2 (0.01 uF)^2}$$

$$R_1 R_2 = 1583143.94$$

กำหนดค่า $R_1 = 2.5\ K\Omega$

$$R_2 = 15831434.94 / 2500$$

$$R_2 = 6332.574 \approx 6.5\ K\Omega$$

อัตราขยาย (Av) หาได้จากค่า k โดยกำหนดค่า Av =1

$$k = \frac{R_3}{R_3 + R_4}$$

$$Av = k = \frac{1000}{1000 + 0} = 1$$

ได้ค่าอุปกรณ์ดังนี้

R_1 = 2.5 KΩ

R_2 = 6.5 KΩ

R_3 = 1 KΩ

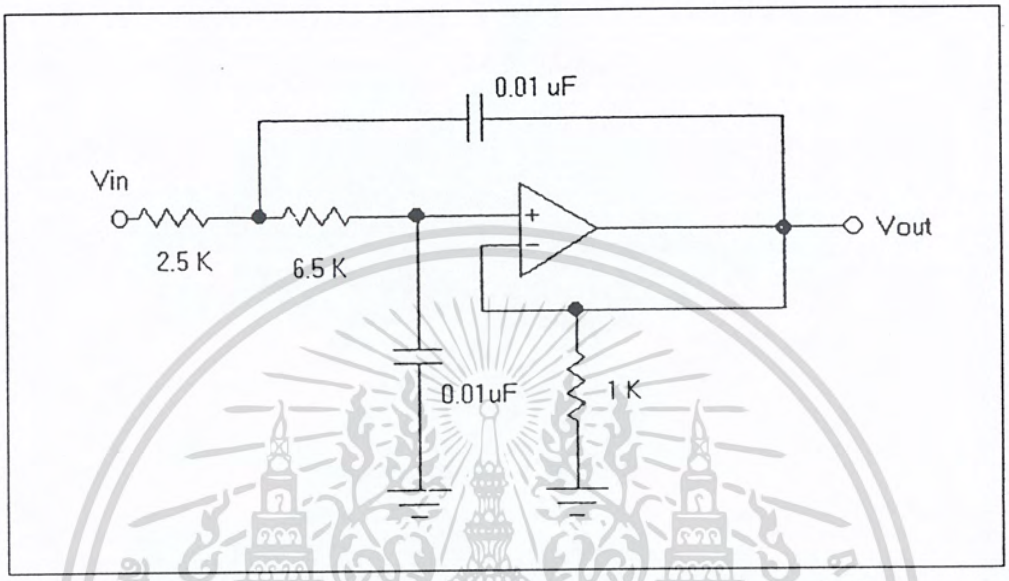
= 0 KΩ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$C_1 =$ 0.01 μF

$C_2 =$ 0.01 μF

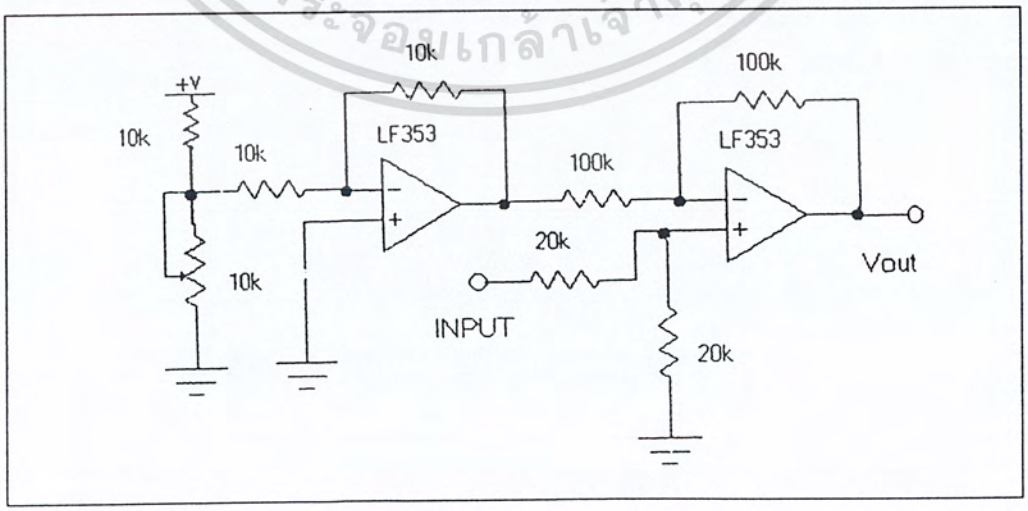
ค่าอุปกรณ์ที่หาได้นำมาต่อวงจรดังรูป



รูปที่ 3.1 แสดงวงจรกรองความถี่แบบต่ำผ่านที่ 4 กิโลเฮิรตซ์

3.2 วงจรยกระดับสัญญาณ

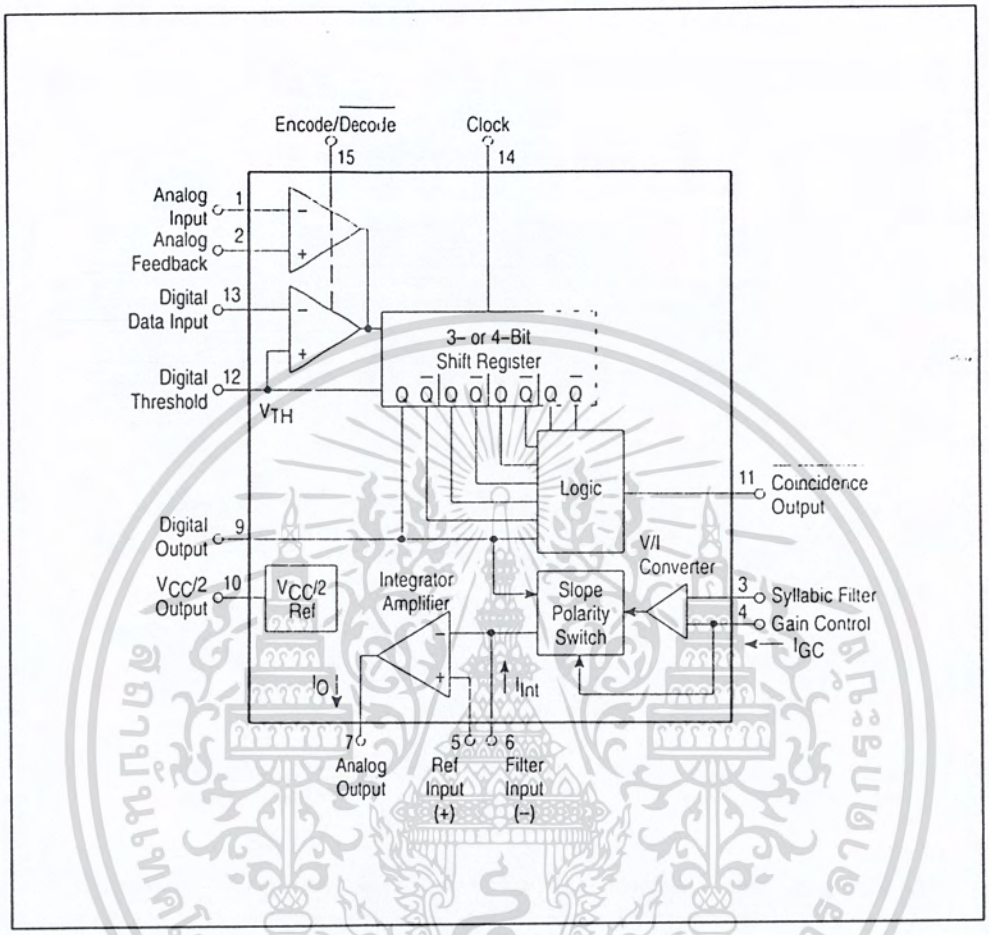
เนื่องจากแปลงสัญญาณอนาลอกเป็นดิจิตอลนั้น ไม่สามารถทำงานได้ในช่วงลบของสัญญาณอนาลอกได้ ดังนั้นจึงต้องมีการเพิ่มในส่วนของวงจรยกระดับสัญญาณขึ้นก่อนที่จะป้อนให้กับวงจรแปลงสัญญาณอนาลอกเป็นดิจิตอล เป็นการแก้ไขข้อผิดพลาดของระบบพีซีเอ็มโดยที่นำส่วนของวงจรยกระดับสัญญาณเพิ่มเติมในระบบดีพีซีเอ็ม ซึ่งวงจรยกระดับสัญญาณจะแสดงดังรูปที่ 3.2



รูปที่ 3.2 แสดงวงจรยกระดับสัญญาณ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.3 โครงสร้าง IC เบอร์ MC 3418



รูปที่ 3.3 โครงสร้าง IC เบอร์ MC 3418

การจัดขา และหน้าที่ต่างๆ ของ ขาไอซี MC 3418

ขา 1 analog input

เป็นขาอินเวอร์ติ้งอินพุทของอนาลอก คอมพาราเตอร์ ซึ่งเราจะป้อนสัญญาณเสียงเข้าขานี้ ได้ทั้งแบบเอซีและดีซีขึ้นอยู่กับการใช้งาน ถ้าระดับสัญญาณเสียงมีค่าเข้าใกล้แรงดันอ้างอิงภายใน แล้วตัวต้านทานที่ต่อไบอัสอยู่ระหว่างขา 1 กับ ขา 10 จะถูกนำมาใช้ อนาลอกคอมพาราเตอร์ออกแบบขึ้นใช้กับ hystersis ต่ำแต่มี gain สูง (ประมาณ 70 ดีบี)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ขา 2 analog feedback

เป็นขาอินเวอร์ติ้งอินพุทของ อนาลอก คอมพาราเตอร์ ในการใช้งานเป็นตัวเข้ารหัส (encoder) ขานี้จะต่อกับ อนาลอกเอาท์พุทของวงจรเข้ารหัส (encoder circuit) หรือ ขา 7 ซึ่งก็คือ วงจรกรองความถี่ต่ำ (low pass filter) เอาท์พุทนั่นเอง ในการใช้งานเป็น decoder ขานี้จะไม่ใช้จะต่อกับขา 10 หรือ ปล่อยลอยไว้เฉยๆ

ขา 3 syllabic filter

ขานี้เป็นขาที่มี syllabic voltage ป้อนเข้าเพื่อใช้ในการ control ขนาด step ของอินทีเกรเตอร์ ขานี้เป็น NPN อินพุทของ op-amp syllabic filter ประกอบด้วย RC network ที่มีต่อระหว่างขา 11 และ ขา 3 ซึ่งใช้ time constant ระหว่าง 6ms-50ms

ขา 4 Gain control input

syllabic filter voltage ที่ปรากฏคร่อม C_s ของ syllabic filter จะถูกเปลี่ยนเป็นกระแสนำไปขับ (drive) ขา 4 ที่ slew rate 0.5 V/S ดังนั้น กระแสที่ผ่านเข้าขา 4 ก็คือ syllabic filter voltage ที่หารด้วย R_c

ขา 5 Reference input

ขานี้เป็นขานอนอินเวอร์ติ้งอินพุทของอินทิเกรเตอร์แอมปลิไฟเออร์ (integrator amplifier) ใช้เป็นระดับอ้างอิงดีซี (DC reference) ของสัญญาณเอาท์พุทในการใช้เป็นตัวเข้ารหัส (encoder) ขานี้จะต้องมีค่าแรงดันอ้างอิง (reference voltage) ระดับเดียวกันกับขา 1

ขา 6 Filter input

เป็นขาอินเวอร์ติ้งอินพุทของออปแอมป์ ซึ่งใช้ต่อกับอินทิเกรเตอร์ (integrator network) ภายนอก กระแสอินทิเกรติ้ง ($I\,\mathrm{int}$) จะไหลเข้า ขา 6 ในการเข้ารหัส (encoder) เมื่ออนาลอกอินพุท (ขา 1) มากกว่า analog feedback (ขา 2) หรือในการ decoder digital date อินพุท (ขา 13) เป็น 1 และในทางตรงกันข้าม กระแส $I\,\mathrm{int}$ จะไหลออกจากขา 6 เมื่ออินพุทกลับกันกับครั้งแรกสำหรับระบบซิ้งเกิลอินทิเกรชั่น (singel integration) จะมี RC ต่อระหว่างขา 6 กับ 7

ขา 7 analog output

เป็นขาอินทีเกรเตอร์เอาท์พุท สามารถขับโหลดต่ำสุด 600 Ω ด้วยแรงดันอ้างอิง (reference) กับ $V_{cc}/2$ สำหรับการออกแบบอินทิเกรชั่นฟิลเตอร์เนทเวิร์ค slew rate ของการชดเชยภายใน โดยอินทิเกรเตอร์ออปแอมป์ ประมาณ $0.5\frac{V}{\mu s}$ ขานี้จำกัดกระแสไว้ประมาณ 30 mA

ขา 8 V_{cc}

ไอ.ซี. นี้ถูกออกแบบใช้ทำงานได้ทั้ง แหล่งจ่ายคู่และแหล่งจ่ายเดียว ขานี้จะต่อกับไฟลบ หรือ กราวนด์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ขา 9 digital output

ขานี้เป็นขาเอาท์พุทจากผลของเดลต้ามอดูเลตเตอร์ คอนเวอร์ชั่น เอาท์พุทของขานี้จะสวิงระหว่าง V_{cc} กับ V_{ee} ซึ่งสามารถต่อเข้ากับ MOS หรือ TTL ได้ ขานี้จะอินเวอร์เมื่อเทียบกับขา 1 และจะนอนอินเวอร์เมื่อเทียบกับขา 2 ขานี้เอาท์พุทขึ้นอยู่กับสัญญาณนาฬิกาที่ขา 14 เมื่อมี ขอบขาลง สัญญาณนาฬิกานี้มี raise time และ fall time 250 nS และ 50 μS

ขา 10 $\frac{V_{cc}}{2}$ output

ขานี้มี impedance ต่ำ และจ่าย mid-supply reference สำหรับการใช้งานแบบ single supply ภายในเป็นเรกูเลเตอร์ แหล่งจ่ายกระแส (current source) และ จะต้องมีโหลด เพื่อ sink กระแสนี้ ขานี้สามารถจ่ายกระแสได้สูงสุด 10 mA

ขา 11 Coincidence output

ค่าดิวตี้ ไซเคิ้ล (duty cycle) ของขานี้เป็นสัดส่วนโดยตรงกับแรงดันที่คร่อม C_1 ขานี้จะเป็น low เมื่อค่าที่อยู่ใน ชิพ รีจิสเตอร์ (shife register) เป็น 0 หรือ 1 ทั้งหมด ขานี้เป็น open collector NPN จึงต้องมี pull up resister ถ้า syllabic filter มีชาร์จและดิสชาร์จ ไทม์ คอนสแตนซ์ (time constant) เท่ากันแล้ว R_2 ต้องน้อยกว่า R_1 แต่ในทางปฏิบัติแล้ว ค่าชาร์จและดิสชาร์จไทม์ คอนสแตนซ์ จะต่างกันเพราะ charging constant คือ R_1C_1 ขณะที่ discharging constant คือ $(R_1 + R_2)C_1$

ขา 12 digital threshold

ขานี้เป็นขาอินพุทซึ่งเป็นตัวเทียบระดับการสวิง สำหรับขา 13, 14, 15 ซึ่งจะช่วยในการ อินเตอร์เฟส (interfacing) ระดับลอจิก เมื่อต่อกับ ไอ.ซี. ชนิดต่างๆ โดยไม่ต้องมีอุปกรณ์ อินเตอร์เฟสช่วย ปกติขานี้จะต่อกับขา $\frac{V_{cc}}{2}$ สำหรับ ซีมอสอินเตอร์เฟส หรือ ไบอัสด้วยไดโอดที่ต่อกับ V_{cc} สำหรับการ อินเตอร์เฟส กับ TTL

ขา 13 digital date input

ขานี้เป็นขาอินพุทของดิจิตอลพัลส์ สำหรับการทำงานเป็น ถอดรหัส ส่วนการเข้ารหัสจะไม่ใช้ขานี้ ในการถอดรหัส สัญญาณดิจิตอล จะถูกป้อนเข้าขานี้ สำหรับช่วงการเข้ารหัส ขานี้จะไม่ใช้หรืออาจใช้ในการส่งสัญญาณข่าวสาร ทั้งนี้ก็ขึ้นอยู่กับขา 15 ที่ใช้ควบคุมระดับข้อมูลดิจิตอลอินพุทควรจะคงที่อยู่ 0.5 μS ก่อนและหลังการกระตุ้นของสัญญาณนาฬิกา

ขา 14 clock input

ขานี้เป็นขาสำหรับสัญญาณนาฬิกา ซึ่งขึ้นกับว่า เราต้องการอัตราข้อมูล (data rate) เท่าไร ในการเข้า-ถอดรหัส (codec) เช่น 32 K bit rate ต้องใช้สัญญาณนาฬิกา 32 KHz สำหรับ switching threshold ถูกต่อไว้แล้วที่ ขา 12 สำหรับชิพ รีจิสเตอร์ (shift register) ภายในจะท็อคเตอร์ (toggle) ด้วย ขอบขาลง (falling edge) ของ clock สำหรับความกว้างของ pulse + สูงสุด 300 nS ส่วน pulse-เป็น $900nS$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

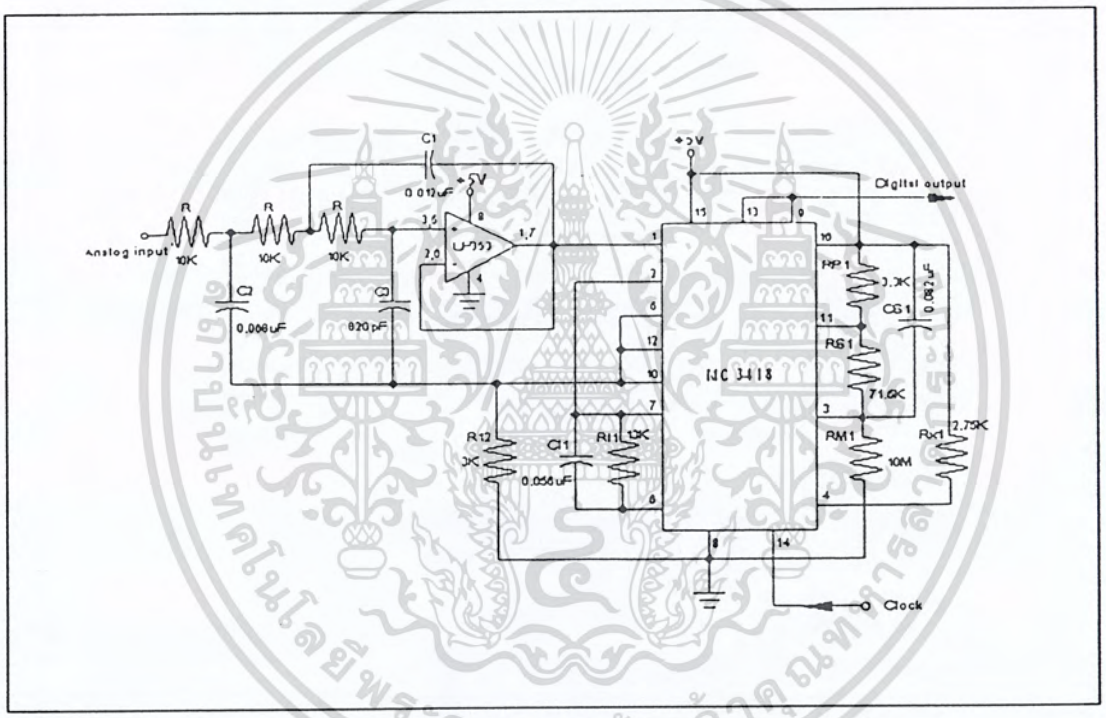
ขา 15 encode/decode

เป็นขาควบคุมการต่อระหว่างอนาลอกอินพุทของคอมพาราเตอร์ (ดิจิตอลอินพุทของคอมพาราเตอร์) เข้ากับชิฟรีจิสเตอร์ ถ้าเป็น " 1 " สัญญาณอนาลอกอินพุท เปรียบเทียบกันช่วงขอบขาลงของสัญญาณนาฬิกาที่ขา 14 ถ้าเป็น" 0 " สัญญาณดิจิตอล จะถูกเปรียบเทียบเพื่อการแปลงกลับ

ขา 16 V_{cc}

เป็นขาแหล่งจ่ายไฟเลี้ยง ตั้งแต่ 4.77 V ถึง 16.5 V เมื่อเทียบกับ V_{ee}

3.4 วงจรดีเอ็ม (Delta Modulatino : DM)



รูปที่ 3.4 วงจรดีเอ็ม

จากรูปที่ 3.14 เป็นวงจรเดลต้ามอดูเลชั่นซึ่งทำหน้าที่ในการแปลงสัญญาณอนาลอกเป็นดิจิตอลก่อนที่สัญญาณอนาลอกจะถูกมอดูเลตจะต้องผ่านวงจรกรองความถี่ต่ำผ่าน เพื่อกรองความถี่ให้อยู่ในย่านสัญญาณเสียงที่เราต้องการคือ 3.4 กิโลเฮิรตซ์ เมื่อได้สัญญาณเสียงอยู่ในย่านที่ต้องการ แล้วจึงนำสัญญาณนี้ป้อนเป็นอินพุทให้กับวงจรเดลต้ามอดูเลชั่นซึ่งใช้ไอซีเบอร์ MC3418 การทำงานของเดลต้ามอดูเลตจะใช้ R และ C กำหนดคุณสมบัติของวงจร จากข้อกำหนดการใช้งาน (Data Sheet) กำหนดค่าพิกัด R บางค่าให้ R_1 มีค่าอยู่ในช่วง 8 KΩ - 13 KΩ ค่า Rs * Cs กำหนดมีค่า 6ms – 50 ms เมื่อใช้กับสัญญาณเสียง ค่า R_x สำหรับปรับลูปเกน (Loop Gain) ควรมีค่าไม่เกิน 5 KΩ R_2 ควรจะน้อยกว่า R_1 มากๆ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากวงจรกำหนด Rl_1 = 13 KΩ , Cl_1 =0.056 μF เป็นอาร์ซีอินทิเกรเตอร์ (RC Integrator) ภายนอกของไอซีเบอร์ MC 3418 R_p เป็นพุลอัพรีซิสเตอร์ (Pull up resister) ให้กับทรานซิสเตอร์ภายในตัวไอซี R_f = 71.5 KΩ , R_m = 10 MΩ กำหนดค่ามินิมั่มสะเต็ปไซด์ (Minimum Step size) ให้มีค่าเท่ากับ 7 mV

ในการกำหนดค่ามินิมั่มสะเต็ปไซด์ เมื่อไม่มีสัญญาณอินพุทสัญญาณที่เอาท์พุทจะเป็นลอจิก " 1 " และ " 0 " สลับกันไป และสัญญาณอนาลอกเอาท์พุทจะเป็นรูปสามเหลี่ยมเล็กๆ การเลือกขนาดของสะเต็ปไซด์ต้องเลือกขนาด R_m ขณะที่ไม่มีสัญญาณอินพุท ชุดควบคุม Slope algorithm จะไม่ทำงานสัญญาณเอาท์พุทจะเกิด " 1 " และ " 0 " สลับกันดังนั้นแรงดันที่ตกคร่อมตัวเก็บประจุ C_f จะลดลงเป็นศูนย์ อย่างไรก็ตามแรงดันที่ถูกแบ่งระหว่าง R_f และ R_m จะกำหนดค่าแรงดันต่ำสุดที่ตกคร่อมตัวเก็บประจุ C_f ซึ่งแรงดันต้องกำเนิดความลาดตามต้องการที่อนาลอกเอาท์พุทจากสมการกระแสฟีลเตอร์อินพุท

$$I_i = \frac{V_o}{R_f} + C \frac{dV_o}{dt}$$

ค่าของ V_o มีค่าใกล้กับ $\frac{V_{cc}}{2}$, $\frac{V_o}{R}$ มีค่าน้อยมากสามารถตัดทิ้งได้ดังนั้น

$$I_i = Cs \frac{\Delta Vo}{\Delta T}$$

เมื่อ ΔT คือ เวลาของสัญญาณนาฬิกา

ΔVo คือ ค่าแรงดันพีคทูพีคของเอาท์พุทที่ต้องการ

จากรูปที่ 3.14 กำหนดค่ามินิมั่มสะเต็ปไซด์ เท่ากับ 7mV และควบคุมเวลาที่สัญญาณนาฬิกาเท่ากับ 32 μ Sec

$$I_i = \frac{0.056\ \mu F \times 7 mV}{32\ \mu Sec}$$

แรงดันบนตัว C_f ซึ่งกำเนิดกระแส 12.25 μA จะเป็นตัวกำหนดค่าของ R_x

$$I_i R_x = VS_{min}$$

$$Vs_{min} = Vcc \times \frac{R_s}{R_s + R_{min}}$$

จากรูปที่ 3.14 กำหนด R_f = 71.5 KΩ , R_m = 10 MΩ , V_{cc} = 5 V

$$Vs_{min} = 5v \times \frac{71.5K\Omega}{71.5K\Omega + 10M\Omega} = 35.5mV$$

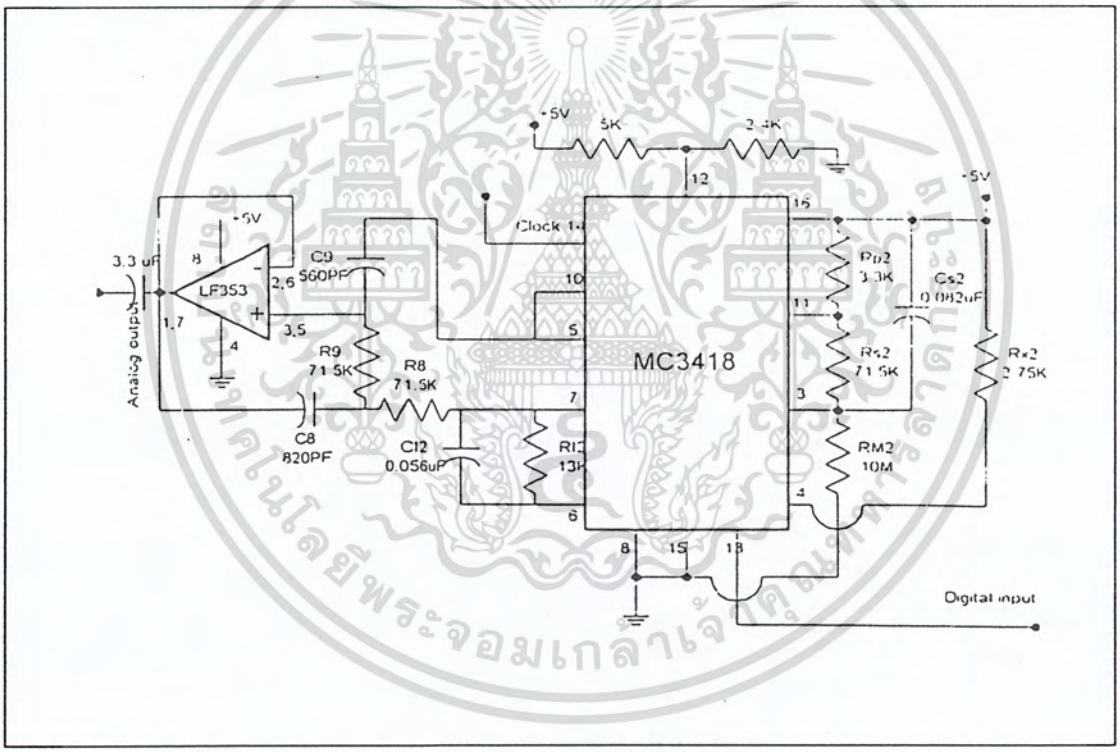
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ดังนั้น

$$R_x = \frac{Vs_{min}}{I_i} = \frac{35 .5\ mV}{12 .25\ \mu A} = 2.897\ \ K\Omega$$

เลือกใช้ $R_x = 2.75\ K\Omega$

ที่ขา 12 ของ MC3418 เป็นตัวกำหนดระดับเทรชโฮลด์ (Threshold) ให้กับขา 14 ซึ่งเป็นคล็อกอินพุท และขา 15 เป็นเอ็นโค้ดหรือ ดีโค้ด (Encode/Decode) ขา 12 ดิจิตอลเทรชโฮลด์ (Digital Threshold) ถูกต่อไว้กับขา10 คือ $\frac{V_{cc}}{2}$ Reference และขณะทำการเข้ารหัสสัญญาณอนาลอกเป็นดิจิตอลที่ขา 15 ต้องมีระดับแรงดันสูงกว่า 2.5 V ขา 14 เป็น Clock input มีระดับสัญญาณลอจิก " 1 " คือ 5 V และขา 15 (Encode) ต่อกับ V_{cc} มีค่า 5 V ซึ่งทำให้ MC3418 ต้องมีระดับอ้างอิงเดียวกันกับสัญญาณอนาลอกอินพุทที่ ขา 1 จึงต้องต่อไว้กับขา 10 คือ $\frac{V_{cc}}{2}$ ซึ่งเป็นระดับอ้างอิงเดียวกัน



รูปที่ 3.5 วงจรเดลต้าดีมอดูเลชั่น

3.5 วงจรเดลต้ามอดูเลชั่น (Delta Demoduration)

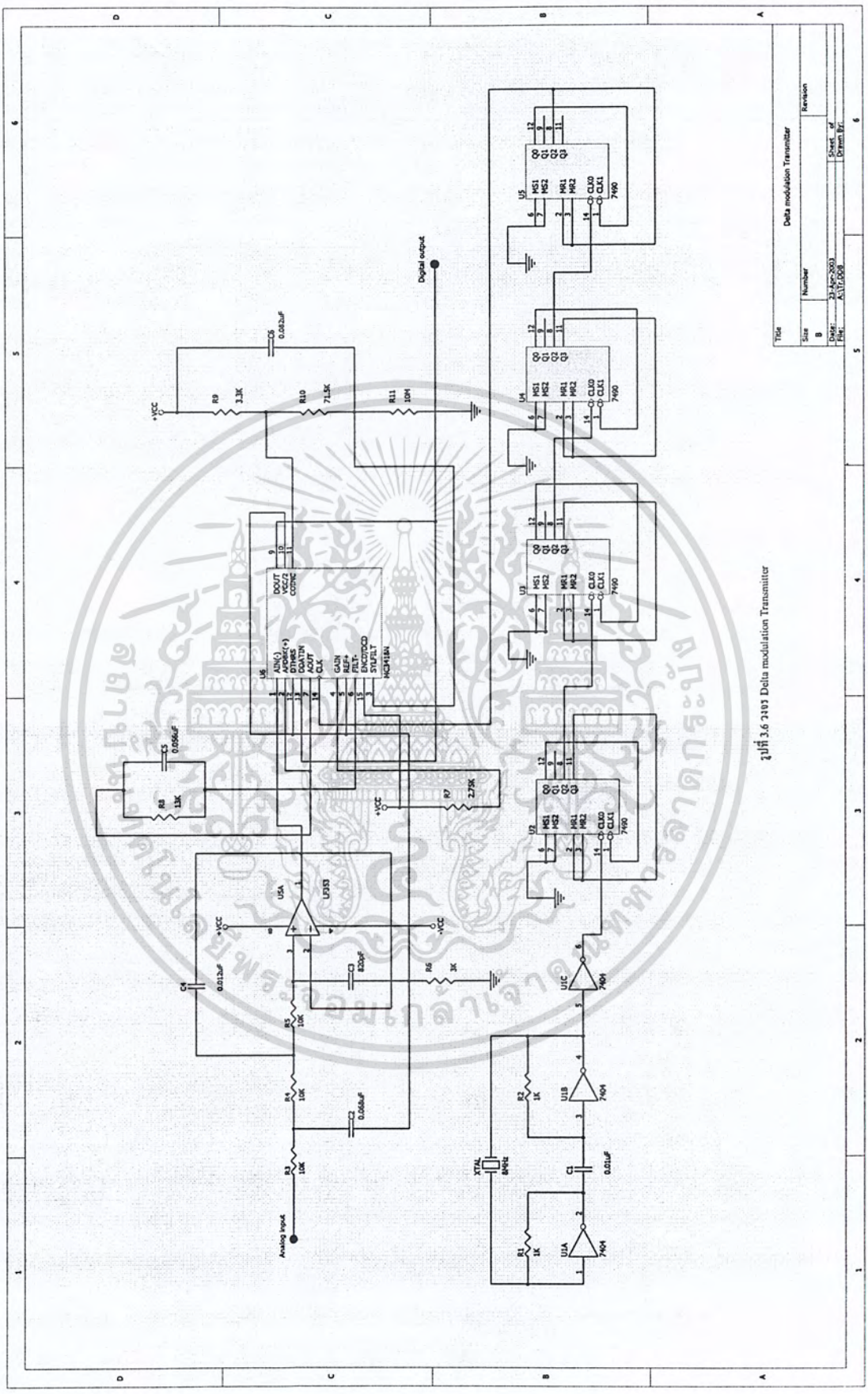
วงจรเดลต้าดีมอดูเลชั่นนี้จะทำหน้าที่แปลงสัญญาณข้อมูลที่เป็นดิจิตอลให้เป็นสัญญาณข้อมูลอนาลอกเหมือนกับสัญญาณที่ส่งมาจากภาคส่ง การทำงานของวงจรในส่วนนี้แสดงดังรูปที่ 3.5 เริ่มจากการกำหนดคุณสมบัติของวงจรให้เหมือนกันกับที่ภาคส่ง โดยไอซีเบอร์ MC3418

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากรูปสัญญาณดิจิตอลจะถูกป้อนเป็นอินพุทให้ขา 13 ของ Mc3418 สัญญาณนาฬิกาป้อนให้ที่ขา 14 และที่ ขา 12 ของ MC3418 จะเป็นตัวกำหนดดิจิตอลเทรชโฮลด์ (Digital Threshold) ให้กับขา13, 14 และ 15 ที่ขา 12 จะต่อตัวต้านทาน 2 ตัวแบบแบ่งแรงดันให้มีระดับแรงดัน 1.6 โวลท์ ซึ่งเท่ากับครึ่งหนึ่งของสัญญาณดิจิตอลที่รับเข้ามาที่ ขา 13 (Digital input) วงจรเดลต้าดีมอดูเลชั่นจะตัดสินว่าระดับสัญญาณดิจิตอลเข้ามายังขา 13 และสัญญาณนาฬิกาเข้ามายังขา 14 ก็จะเกิดขบวนการดีมอดูเลตขึ้น

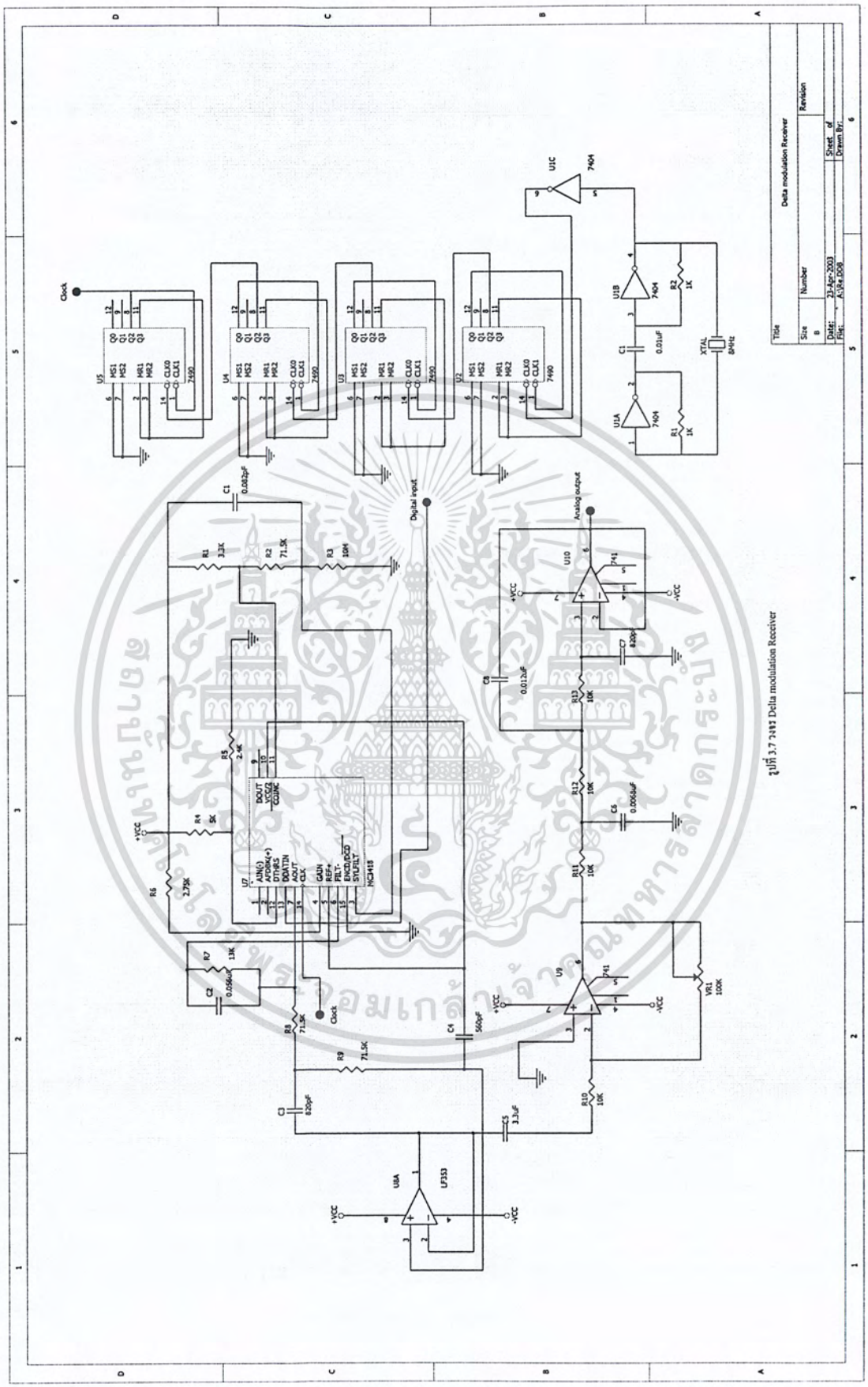
สัญญาณเอาท์พุตจากขา 7 ของ MC 3418 จะเป็นสัญญาณอนาลอกแล้วแต่ยังมีรูปร่างของสัญญาณไม่ราบเรียบดีนัก จึงต้องต่อวงจรกรองความถี่ต่ำผ่านเพื่อกรองเอาเฉพาะสัญญาณเสียงในย่านความถี่ตั้งแต่ 300-3400 เฮิรตซ์ ไปใช้งานต่อไป

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.6 วงจร Delta modulation Transmitter

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.7 วงจร Delta modulation Receiver

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 4

การทดลองและผลการทดลอง

4.1 ทดสอบวงจรภาคต่างๆ

4.1.1 ทดสอบวงจรยกระดับแรงดัน

4.1.1.1 ป้อนสัญญาณอนาลอกไซน์เวฟ ความถี่ 1 กิโลเฮิรตซ์

4.1.1.2 วัดสัญญาณ อินพุทวงจรยกระดับแรงดันเทียบกับ สัญญาณ เอาท์พุทของวงจรยกระดับแรงดัน

4.1.2 ทดสอบวงจรกรองความถี่ต่ำผ่าน

4.1.2.1 ป้อนสัญญาณอนาลอก ไซน์เวฟ ความถี่ 1 กิโลเฮิรตซ์

4.1.2.2 วัดสัญญาณ อินพุทวงจรกรองความถี่ต่ำผ่าน เทียบกับ สัญญาณเอาท์พุทของวงจร กรองความถี่ต่ำผ่าน

4.1.2.3 ป้อนสัญญาณอนาลอก ไซน์เวฟ ความถี่ 4 กิโลเฮิรตซ์

4.1.3 ทดสอบวงจรขยาย 1-10 เท่า

4.1.3.1 ป้อนสัญญาณอนาลอกไซน์เวฟ ความถี่ 1 กิโลเฮิรตซ์

4.1.3.2 วัดสัญญาณ อินพุทวงจรขยาย เทียบกับ สัญญาณเอาท์พุทวงจรขยาย เมื่อปรับอัตราขยาย เท่ากับ 1

4.1.3.3 วัดสัญญาณ อินพุทวงจรขยาย เทียบกับ สัญญาณเอาท์พุทวงจรขยาย เมื่อปรับอัตราขยาย เท่ากับ 10

4.1.4 ทดสอบวงจรสร้างสัญญาณนาฬิกา

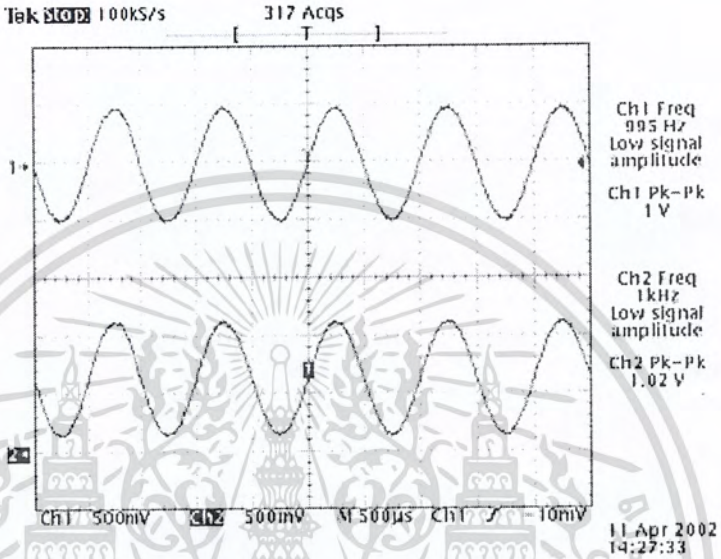
4.1.4.1 วัดสัญญาณที่วงจร Oscillator

4.1.4.2 วัดสัญญาณที่วงจรหารความถี่ 64 เท่า

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

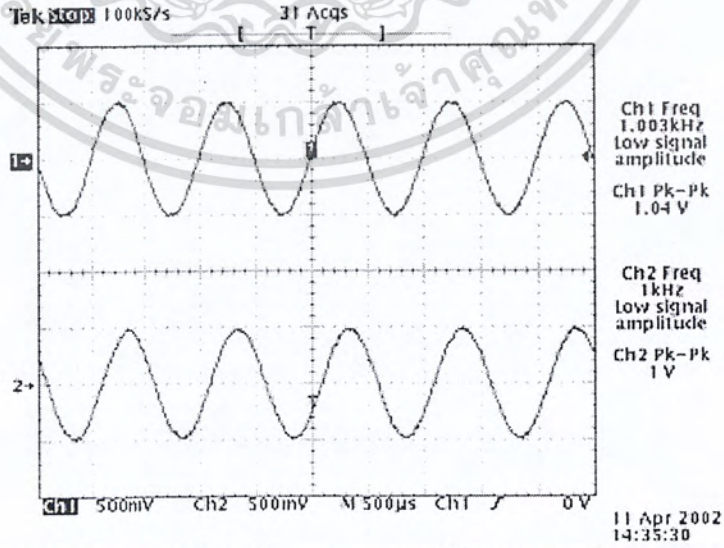
4.2 ผลการทดลอง

4.2.1 วัดสัญญาณที่เอาท์พุท ที่วงจรยกระดับแรงดัน เทียบกับสัญญาณอินพุท เมื่อป้อนสัญญาณอนาลอกไซน์เวฟ ความถี่ 1 กิโลเฮิรตซ์



รูปที่4.1 วัดสัญญาณที่เอาท์พุท ที่วงจรยกระดับแรงดัน เทียบกับสัญญาณอินพุท เมื่อป้อนสัญญาณอนาลอกไซน์เวฟ ความถี่ 1 กิโลเฮิรตซ์

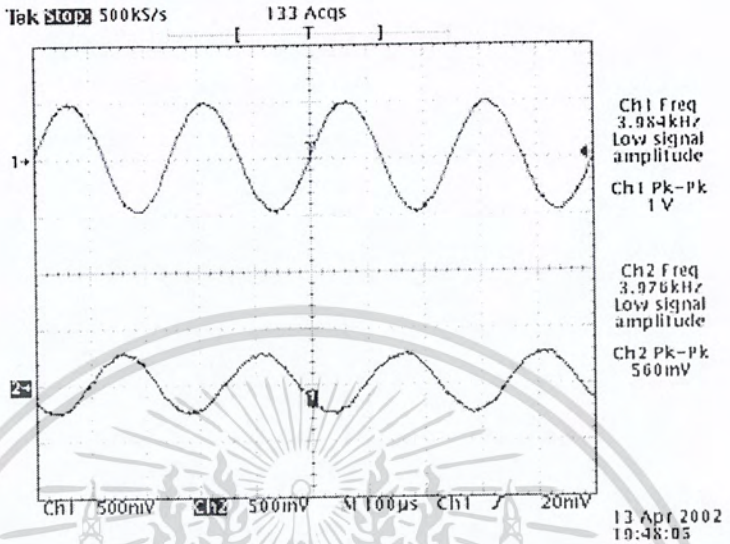
4.2.2 วัดสัญญาณเอาท์พุท ที่วงจรกรองความถี่ต่ำผ่าน เทียบกับสัญญาณอินพุท เมื่อป้อนสัญญาณอนาลอกไซน์เวฟ ความถี่ 1 กิโลเฮิรตซ์



รูปที่4.2 วัดสัญญาณเอาท์พุท ที่วงจรกรองความถี่ต่ำผ่าน เทียบกับสัญญาณอินพุท เมื่อป้อนสัญญาณ อนาลอกไซน์เวฟ ความถี่ 1 กิโลเฮิรตซ์

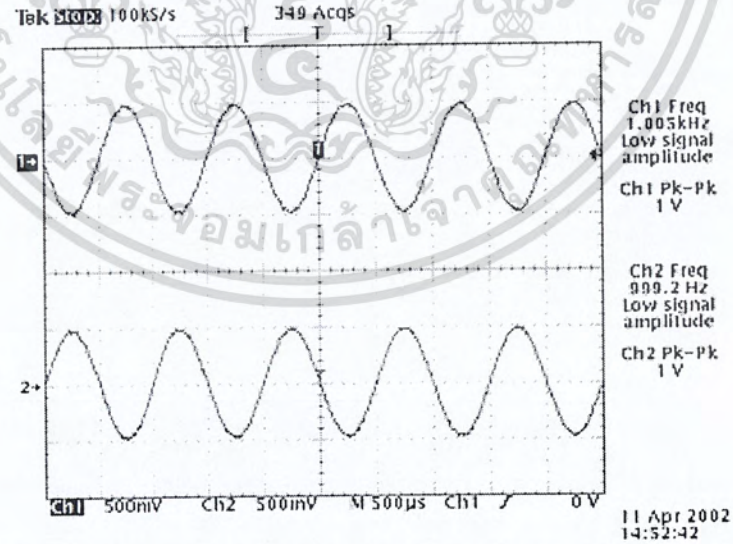
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4.2.3 วัดสัญญาณเอาท์พุท ที่วงจรกรองความถี่ต่ำผ่าน เทียบกับสัญญาณอินพุท เมื่อป้อนสัญญาณอนาลอก ไซน์เวฟ ความถี่ 4 กิโลเฮิรตซ์



รูปที่ 4.3 วัดสัญญาณเอาท์พุท ที่วงจรกรองความถี่ต่ำผ่าน เทียบกับสัญญาณอินพุท เมื่อป้อนสัญญาณ อนาลอก ไซน์เวฟ ความถี่ 4 กิโลเฮิรตซ์

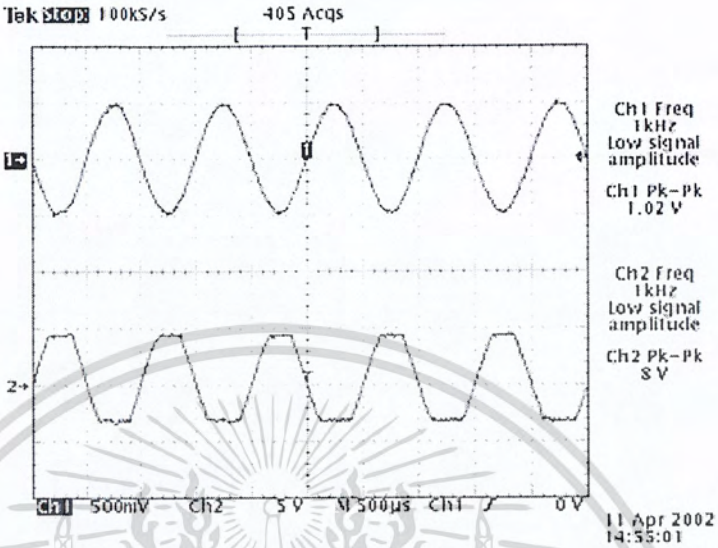
4.2.4 วัดสัญญาณเอาท์พุท ที่วงจรขยายแรงดัน 1 เท่า เทียบกับสัญญาณอินพุท เมื่อป้อนสัญญาณอนาลอกไซน์เวฟ ความถี่ 1 กิโลเฮิรตซ์



รูปที่ 4.4 วัดสัญญาณเอาท์พุท ที่วงจรขยายแรงดัน 1 เท่า เทียบกับสัญญาณอินพุทเมื่อป้อนสัญญาณอนาลอกไซน์เวฟ ความถี่ 1 กิโลเฮิรตซ์

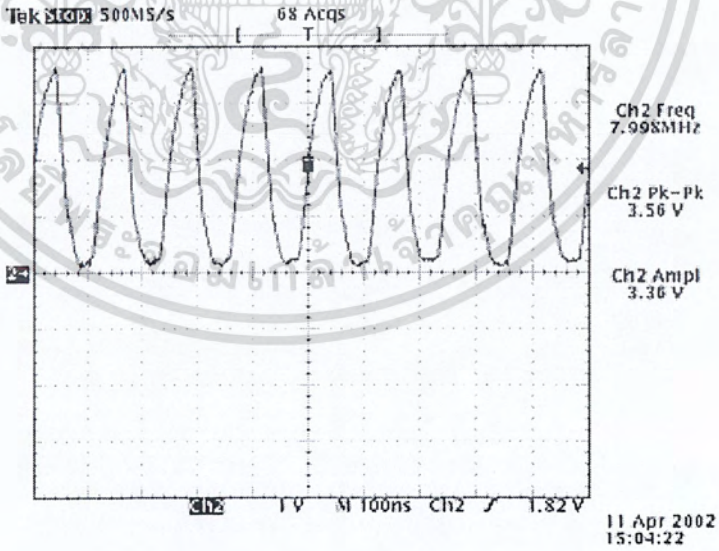
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4.2.5 วัดสัญญาณเอาท์พุท ที่วงจรขยายแรงดัน 10 เท่า เทียบกับสัญญาณอินพุท เมื่อป้อนสัญญาณอนาลอกไซน์เวฟ ความถี่ 1 กิโลเฮิรตซ์



รูปที่ 4.5 วัดสัญญาณเอาท์พุท ที่วงจรขยายแรงดัน 10 เท่า เทียบกับสัญญาณอินพุท เมื่อป้อนสัญญาณอนาลอกไซน์เวฟ ความถี่ 1 กิโลเฮิรตซ์

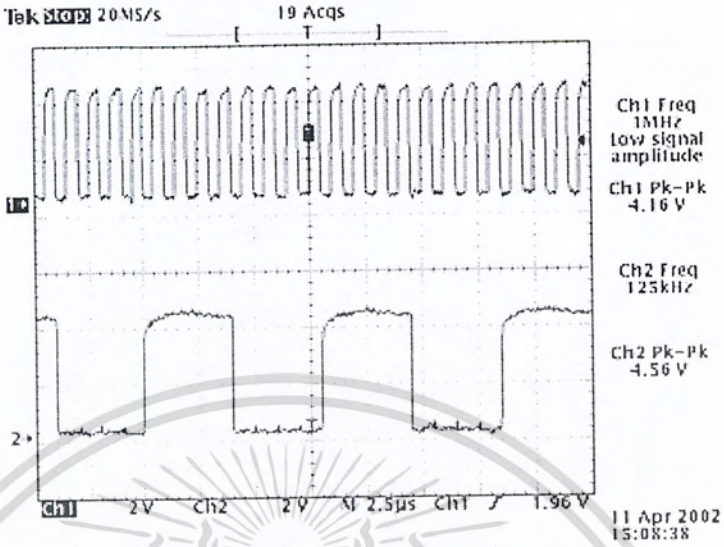
4.2.6 วัดสัญญาณเอาท์พุทที่วงจร oscillator



รูปที่ 4.6 วัดสัญญาณเอาท์พุทที่วงจร oscillator

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4.2.7 วัดสัญญาณเอาท์พุทที่วงจร หารความถี่ 64 เท่า



รูปที่ 4.7 วัดสัญญาณเอาท์พุทที่วงจร หารความถี่ 64 เท่า

4.3 การทดลองวงจรเดลต้ามอดูเลตชั่น

4.3.1 จ่ายไฟ $\pm 5V$

4.3.2 ป้อนสัญญาณอนาลอกไซน์เวฟ ความถี่ 500 เฮิรตซ์เข้าที่อินพุทของวงจร

4.3.3 วัดสัญญาณเอาท์พุทภาคยกระดับแรงดันเทียบกับอินพุทของวงจร

4.3.4 วัดสัญญาณเอาท์พุทภาคกรองความถี่ต่ำเทียบกับอินพุทของวงจร

4.3.5 วัดสัญญาณนาฬิกาของวงจรเทียบกับอินพุทของวงจร

4.3.6 วัดสัญญาณเอาท์พุทของวงจรเดลต้ามอดูเลตเทียบกับอินพุทของวงจร

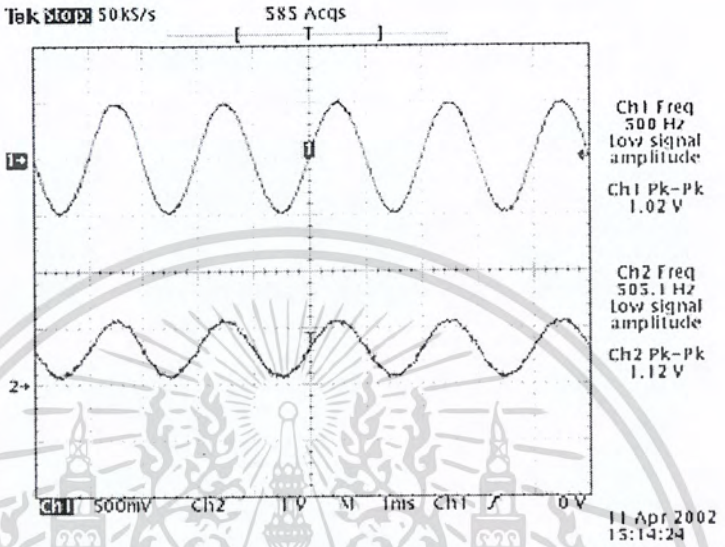
4.3.7 เปลี่ยนความถี่อินพุทของวงจรเป็น 2.5 กิโลเฮิรตซ์และ 4 กิโลเฮิรตซ์ ตามลำดับ

4.3.8 ทำการทดลองตามข้อ 4.33 ถึง 4.37

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

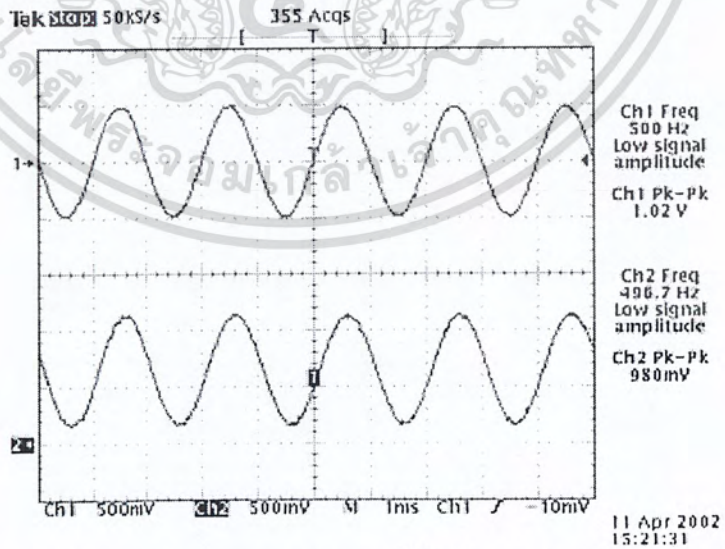
4.4 ผลการทดลอง

4.4.1 วัดสัญญาณเอาท์พุทภาคยกระดับแรงดัน เทียบกับอินพุทของวงจรเมื่อป้อนสัญญาณอนาลอกไซน์เวฟ ความถี่ 500 เฮิรตซ์



รูปที่ 4.8 วัดสัญญาณเอาท์พุทภาคยกระดับแรงดัน เทียบกับอินพุทของวงจรเมื่อป้อนสัญญาณอนาลอกไซน์เวฟ ความถี่ 500 เฮิรตซ์

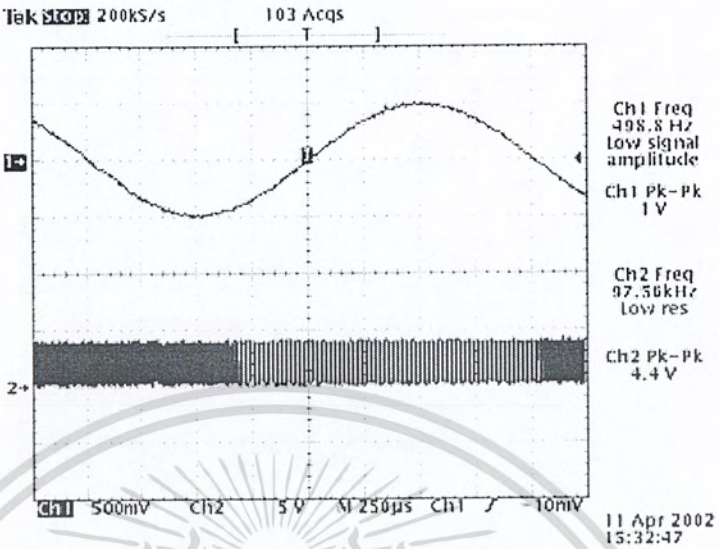
4.4.2 วัดสัญญาณเอาท์พุทภาคกรองความถี่ต่ำ เทียบกับอินพุทของวงจรเมื่อป้อนสัญญาณ อนาลอกไซน์เวฟ ความถี่ 500 เฮิรตซ์



รูปที่ 4.9 วัดสัญญาณเอาท์พุทภาคกรองความถี่ต่ำ เทียบกับอินพุทของวงจรเมื่อป้อนสัญญาณ อนาลอกไซน์เวฟ ความถี่ 500 เฮิรตซ์

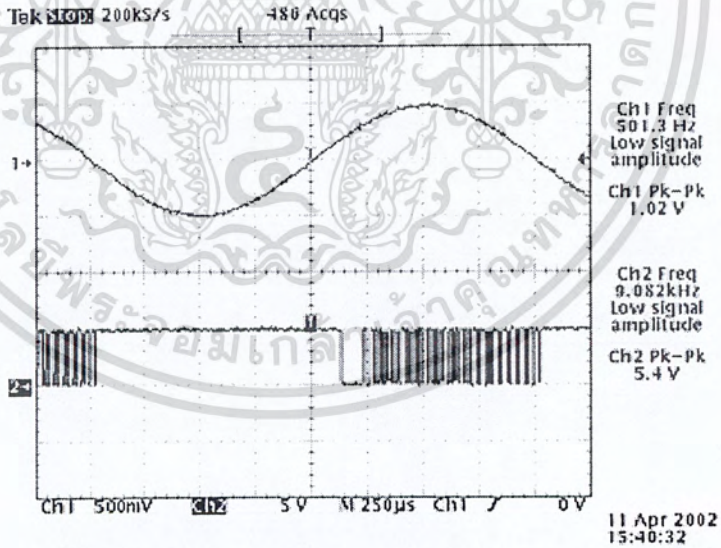
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4.4.3 วัดสัญญาณอินพุทเทียบกับสัญญาณนาฬิกา



รูปที่4.10 วัดสัญญาณอินพุทเทียบกับสัญญาณนาฬิกา

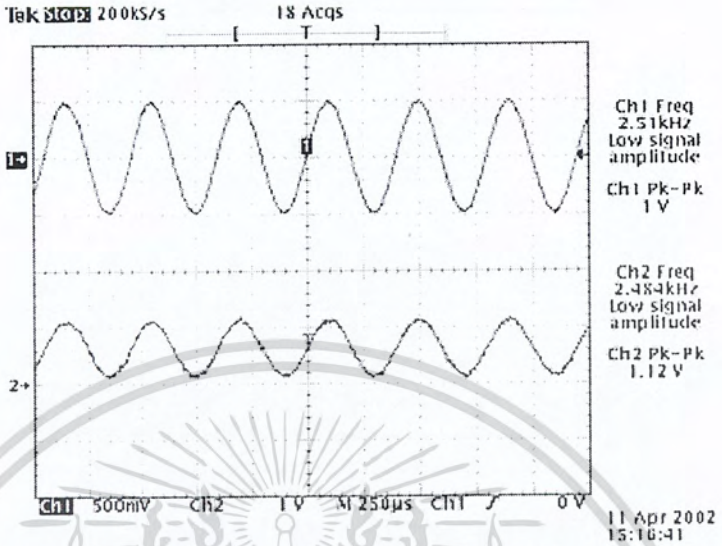
4.4.4 วัดสัญญาณเอาท์พุทวงจร เทียบกับอินพุทของวงจรเมื่อป้อนสัญญาณ อนาลอก ไซน์เวฟ ความถี่ 500 เฮิรตซ์



รูปที่4.11 วัดสัญญาณเอาท์พุทวงจรเทียบกับอินพทุของวงจรเมื่อป้อนสัญญาณ อนาลอกไซน์เวฟ ความถี่ 500 เฮิรตซ์

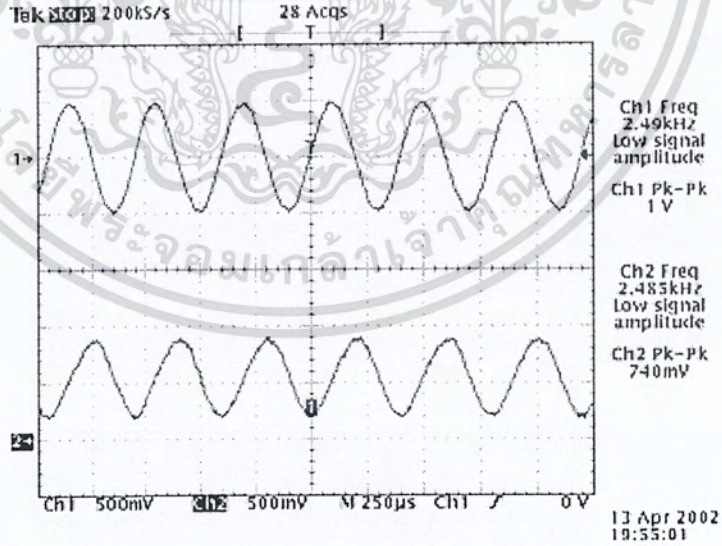
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4.4.5 วัดสัญญาณเอาท์พุทภาคยกระดับแรงดัน เทียบกับอินพุทของวงจรเมื่อป้อนสัญญาณ อนาลอก ไซน์เวฟ ความถี่ 2500 เฮิรตซ์



รูปที่4.12 วัดสัญญาณเอาท์พุทภาคยกระดับแรงดัน เทียบกับอินพุทของวงจรเมื่อป้อนสัญญาณอนาลอก ไซน์เวฟ ความถี่ 2500 เฮิรตซ์

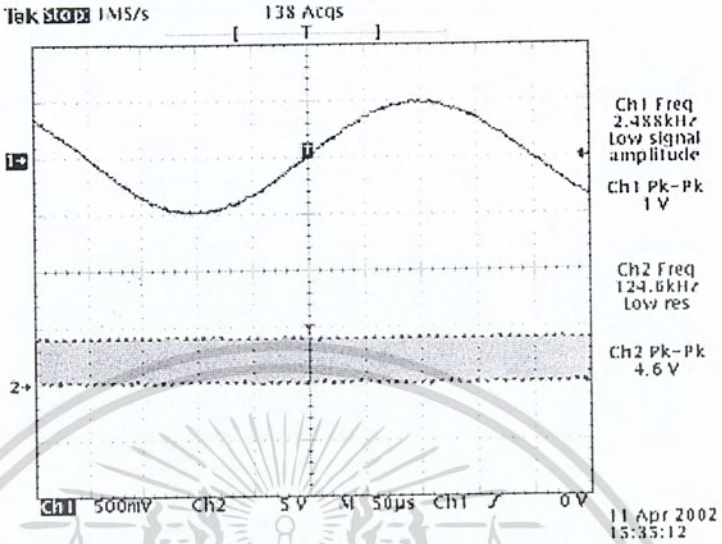
4.4.6 วัดสัญญาณเอาท์พุทภาคกรองความถี่ต่ำ เทียบกับอินพุทของวงจรเมื่อป้อนสัญญาณ อนาลอก ไซน์เวฟ ความถี่ 2500 เฮิรตซ์



รูปที่4.13 วัดสัญญาณเอาท์พุทภาคกรองความถี่ต่ำ เทียบกับอินพุทของวงจรเมื่อป้อนสัญญาณ อนาลอก ไซน์เวฟ ความถี่ 2500 เฮิรตซ์

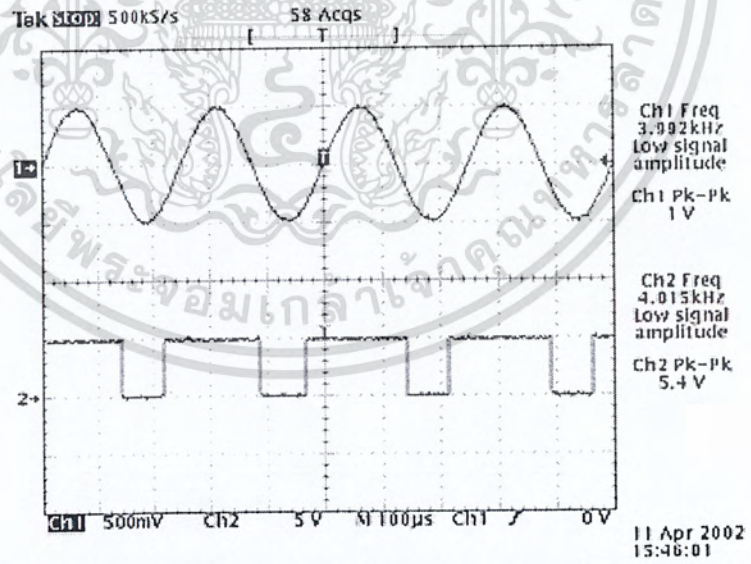
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4.4.7 วัดสัญญาณอินพุทเทียบกับสัญญาณนาฬิกา



รูปที่4.14 วัดสัญญาณอินพุทเทียบกับสัญญาณนาฬิกา

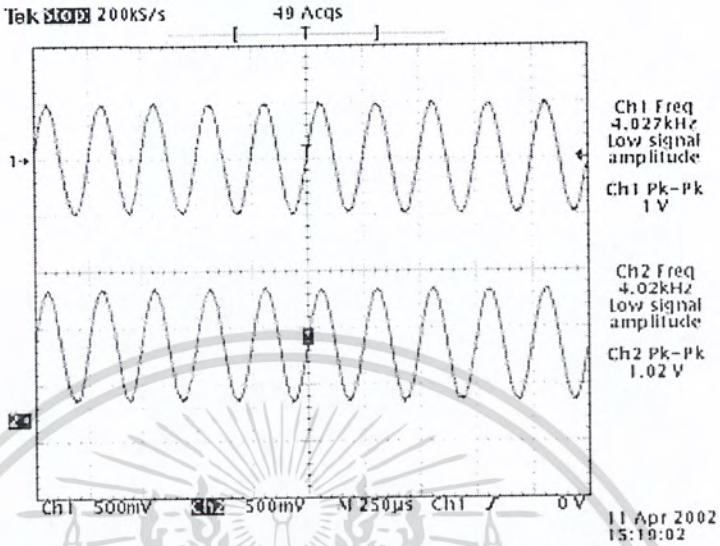
4.4.8 วัดสัญญาณเอาท์พุทวงจร เทียบกับอินพุทของวงจรเมื่อป้อนสัญญาณ อนาลอก ไซน์เวฟ ความถี่ 2500 เฮิรตซ์



รูปที่4.15 วัดสัญญาณเอาท์พุทวงจรเทียบกับอินพทุของวงจรเมื่อป้อนสัญญาณ อนาลอกไซน์เวฟความถี่ 2500 เฮิรตซ์

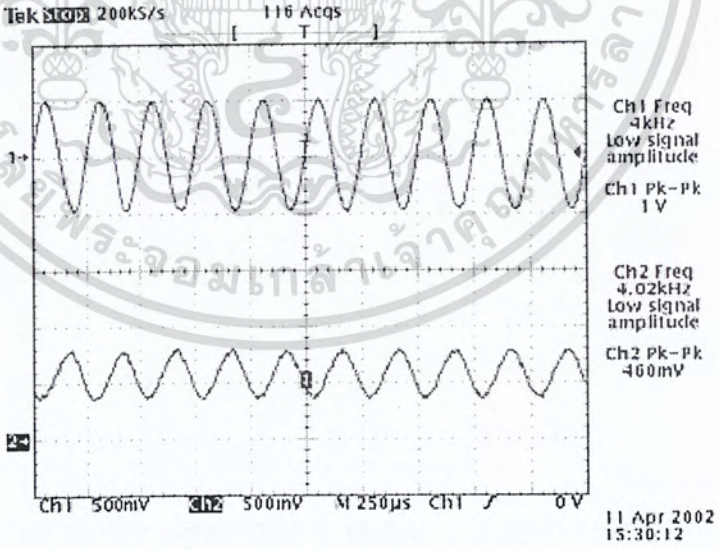
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4.4.9 วัดสัญญาณเอาท์พุทภาคยกระดับแรงดัน เทียบกับอินพุทของวงจรเมื่อป้อนสัญญาณ อนาลอกไซน์เวฟ ความถี่ 4 กิโลเฮิรตซ์



รูปที่4.16 วัดสัญญาณเอาท์พุทภาคยกระดับแรงดัน เทียบกับอินพุทของวงจรเมื่อป้อนสัญญาณอนาลอกไซน์เวฟ ความถี่ 4 กิโลเฮิรตซ์

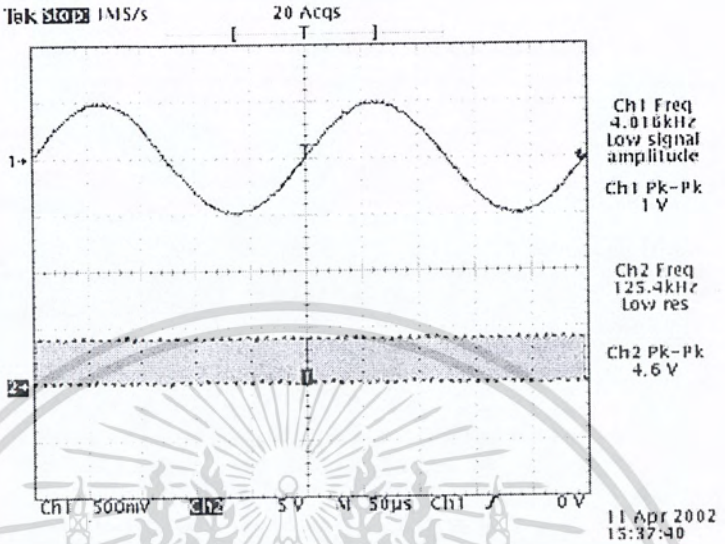
4.4.10 วัดสัญญาณเอาท์พุทภาคกรองความถี่ต่ำ เทียบกับอินพุทของวงจรเมื่อป้อนสัญญาณ อนาลอกไซน์เวฟ ความถี่ 4000 เฮิรตซ์



รูปที่4.17 วัดสัญญาณเอาท์พุทภาคกรองความถี่ต่ำ เทียบกับอินพุทของวงจรเมื่อป้อนสัญญาณ อนาลอก ไซน์เวฟ ความถี่ 4000 เฮิรตซ์

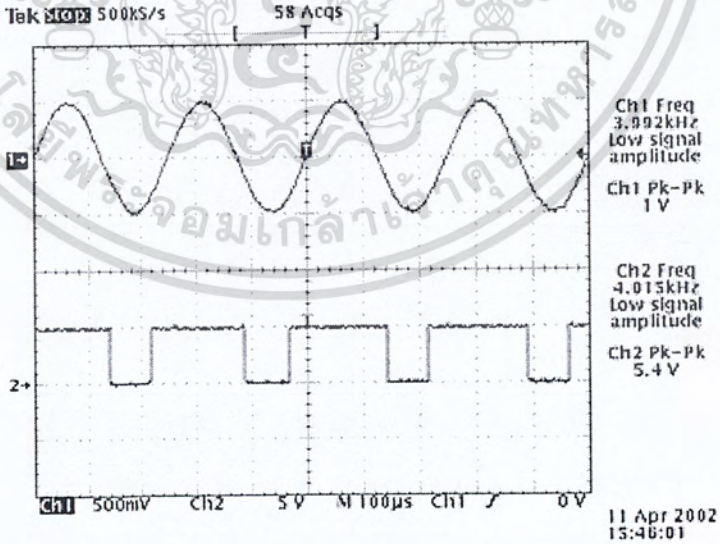
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4.4.11 วัดสัญญาณอินพุทเทียบกับสัญญาณนาฬิกา



รูปที่4.18 วัดสัญญาณอินพุทเทียบกับสัญญาณนาฬิกา

4.4.12 วัดสัญญาณเอาท์พุทวงจร เทียบกับอินพุทของวงจรเมื่อป้อนสัญญาณ อนาลอก ไซน์เวฟ ความถี่ 4 กิโลเฮิรตซ์



รูปที่4.19 วัดสัญญาณเอาท์พุทวงจร เทียบกับอินพทุของวงจรเมื่อป้อนสัญญาณ อนาลอก ไซน์เวฟ ความถี่ 4 กิโลเฮิรตซ์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4.5 การทดลองภาครับวงจรเดลต้ามอดูเลต

4.5.1 จ่ายไฟ $\pm 5V$

4.5.2 ป้อนสัญญาณอนาลอก ไซน์เวฟความถี่ 500 เฮิรตซ์เข้าที่ภาคส่งดีมอดูเลต

4.5.3 วัดสัญญาณ อินพุทวงจรเดลต้ามอดูเลตเทียบกับ อินพุทวงจรดีมอดูเลต

4.5.4 วัดสัญญาณอินพุทภาคเดลต้าดีมอดูเลตเทียบกับสัญญาณนาฬิกา

4.5.5 วัดสัญญาณอินพุทภาคเดลต้าดีมอดูเลตเทียบกับขา 7 ของไอ.ซี. MC3418

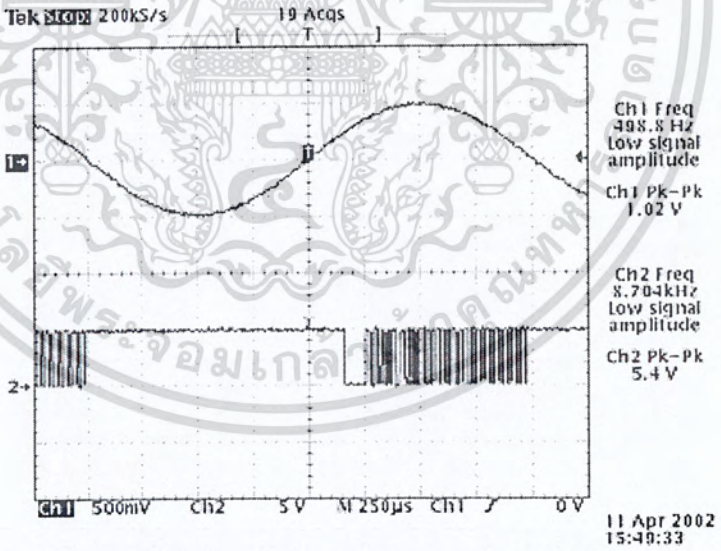
4.5.6 วัดสัญญาณอินพุทภาคเดลต้ามอดูเลตเทียบกับ เอาท์พุทภาคเดลต้าดีมอดูเลต

4.5.7 เปลี่ยนสัญญาณอินพุท อนาลอก ไซน์เวฟเป็น 2.5 กิโลเฮิรตซ์และ 4 กิโลเฮิรตซ์

4.5.8 ทำการทดลองตามข้อ 4.5.3 ถึง 4.5.7

4.6 ผลการทดลอง

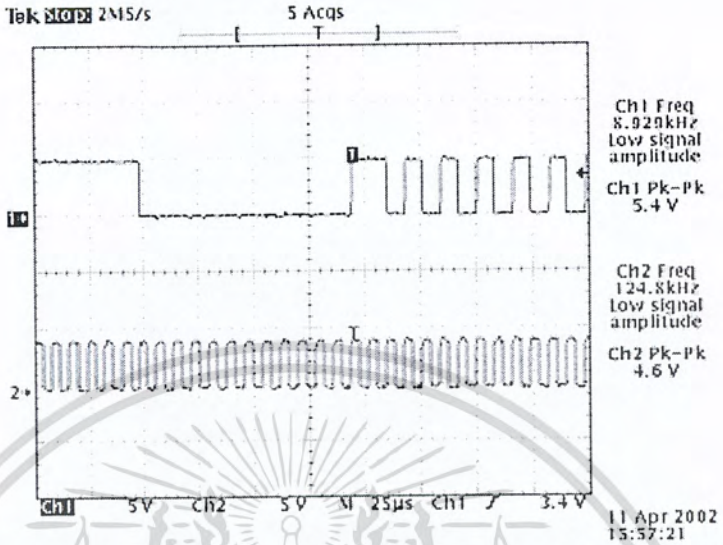
4.6.1 วัดสัญญาณที่อินพุทภาคส่งเดลต้ามอดูเลต เทียบกับสัญญาณอินพุทที่ภาครับเดลต้าดีมอดูเลต เมื่อป้อนสัญญาณอนาลอก ไซน์เวฟ ความถี่ 500 เฮิรตซ์



รูปที่4.20 วัดสัญญาณที่อินพุทภาคส่งเดลต้ามอดูเลต เทียบกับสัญญาณอินพุทที่ภาครับเดลต้าดีมอดูเลต เมื่อป้อนสัญญาณอนาลอก ไซน์เวฟ ความถี่ 500 เฮิรตซ์

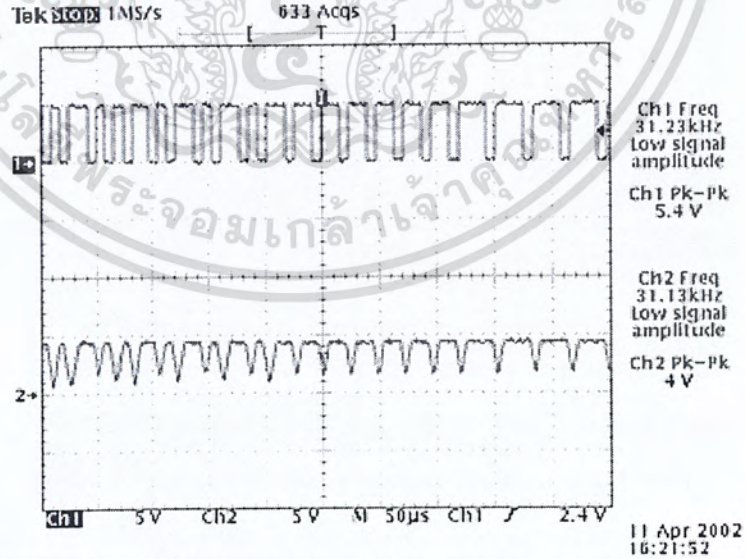
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4.6.2 วัดสัญญาณที่อินพุทภาครับเดลต้าดีมอดูเลต เทียบกับสัญญาณนาฬิกาของภาครับ เมื่อป้อนสัญญาณ อนาลอกไซน์เวฟ ความถี่ 500 เฮิรตซ์



รูปที่4.21 วัดสัญญาณที่อินพุทภาครับเดลต้าดีมอดูเลต เทียบกับสัญญาณนาฬิกาของภาครับเมื่อป้อนสัญญาณอนาลอกไซน์เวฟ ความถี่ 500 เฮิรตซ์

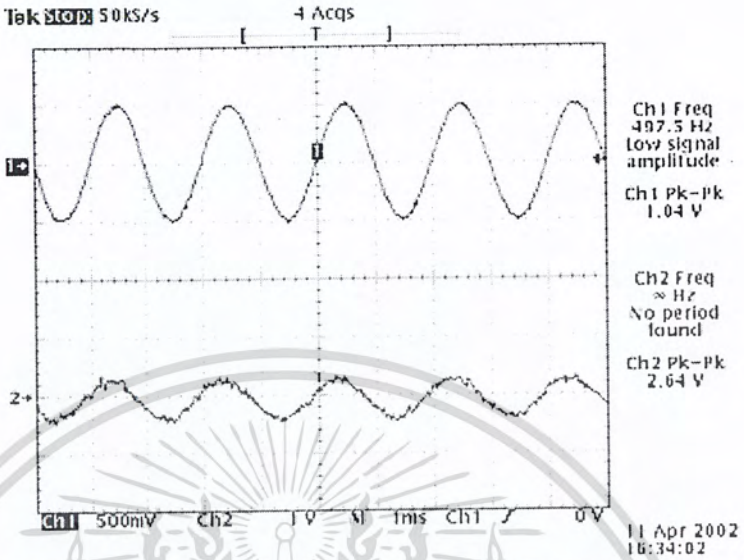
4.6.3 วัดสัญญาณที่อินพุทภาครับเดลต้าดีมอดูเลต เทียบกับ ขา 7 ของไอ.ซี. MC3418เมื่อป้อนสัญญาณอนาลอกไซน์เวฟ ความถี่ 500 เฮิรตซ์



รูปที่4.22 วัดสัญญาณที่อินพุทภาครับเดลต้าดีมอดูเลต เทียบกับ ขา 7 ของไอ.ซี. MC3418เมื่อป้อนสัญญาณอนาลอกไซน์เวฟ ความถี่ 500 เฮิรตซ์

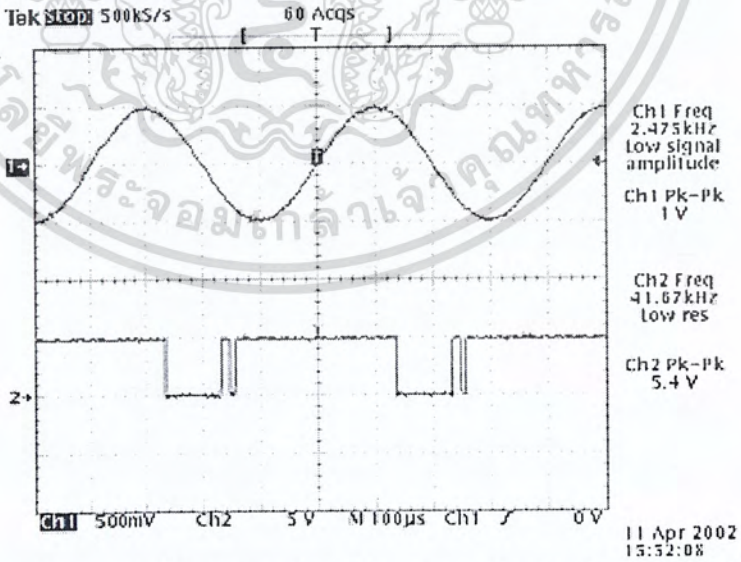
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4.6.4 วัดสัญญาณที่อินพุทภาคส่งเดลต้ามอดูเลต เทียบกับสัญญาณเอาท์พุทที่ภาครับเดลต้าดีมอดูเลต เมื่อป้อนสัญญาณอนาลอก ไซน์เวฟ ความถี่ 500 เฮิรตซ์



รูปที่4.23 วัดสัญญาณที่อินพุทภาคส่งเดลต้ามอดูเลต เทียบกับสัญญาณเอาท์พุทที่ภาครับเดลต้าดีมอดูเลต เมื่อป้อนสัญญาณอนาลอก ไซน์เวฟ ความถี่ 500 เฮิรตซ์

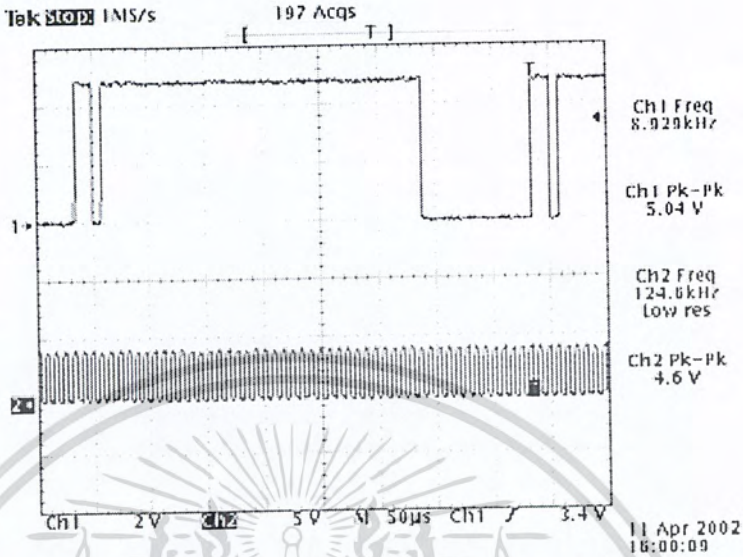
4.6.5 วัดสัญญาณที่อินพุทภาคส่งเดลต้ามอดูเลต เทียบกับสัญญาณอินพุทที่ภาครับเดลต้าดีมอดูเลต เมื่อป้อนสัญญาณอนาลอก ไซน์เวฟ ความถี่ 2.5 กิโลเฮิรตซ์



รูปที่4.24 วัดสัญญาณที่อินพุทภาคส่งเดลต้ามอดูเลต เทียบกับสัญญาณอินพุทที่ภาครับเดลต้าดีมอดูเลต เมื่อป้อนสัญญาณอนาลอก ไซน์เวฟ ความถี่ 2.5 กิโลเฮิรตซ์

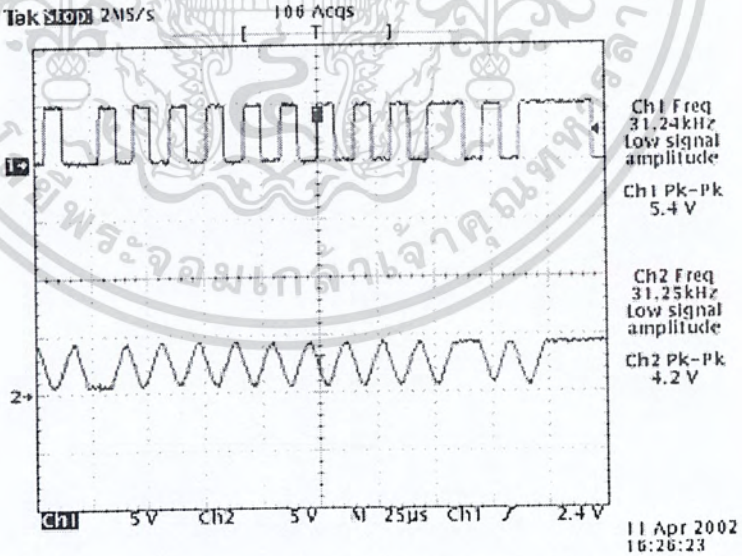
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4.6.6 วัดสัญญาณที่อินพุทภาครับเดลต้าดีมอดูเลต เทียบกับสัญญาณนาฬิกาของภาครับ เมื่อป้อนสัญญาณ อนาลอกไซน์เวฟ ความถี่ 2.5 กิโลเฮิรตซ์



รูปที่4.25 วัดสัญญาณที่อินพุทภาครับเดลต้าดีมอดูเลต เทียบกับสัญญาณนาฬิกาของภาครับ เมื่อป้อนสัญญาณอนาลอกไซน์เวฟ ความถี่ 2.5 กิโลเฮิรตซ์

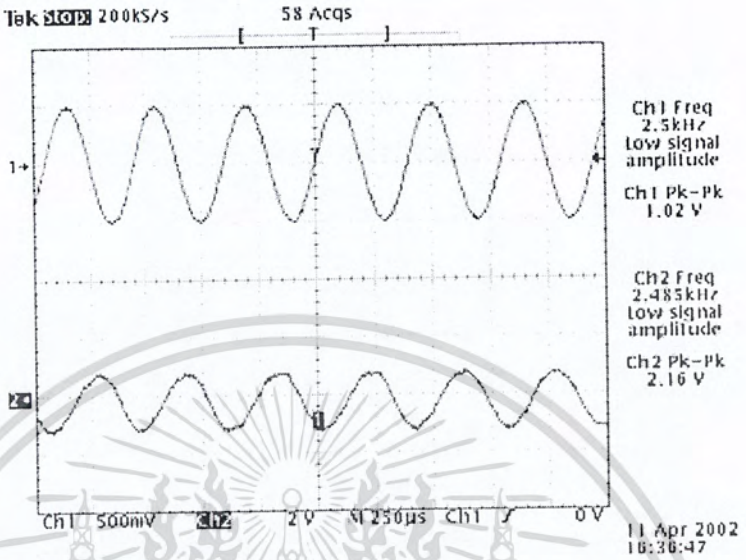
4.6.7 วัดสัญญาณที่อินพุทภาครับเดลต้าดีมอดูเลต เทียบกับ ขา 7 ของไอ.ซี. MC3418เมื่อป้อนสัญญาณอนาลอกไซน์เวฟ ความถี่ 2.5 กิโลเฮิรตซ์



รูปที่4.26 วัดสัญญาณที่อินพุทภาครับเดลต้าดีมอดูเลต เทียบกับ ขา 7 ของไอ.ซี.MC3418 เมื่อป้อนสัญญาณอนาลอกไซน์เวฟ ความถี่ 2.5 กิโลเฮิรตซ์

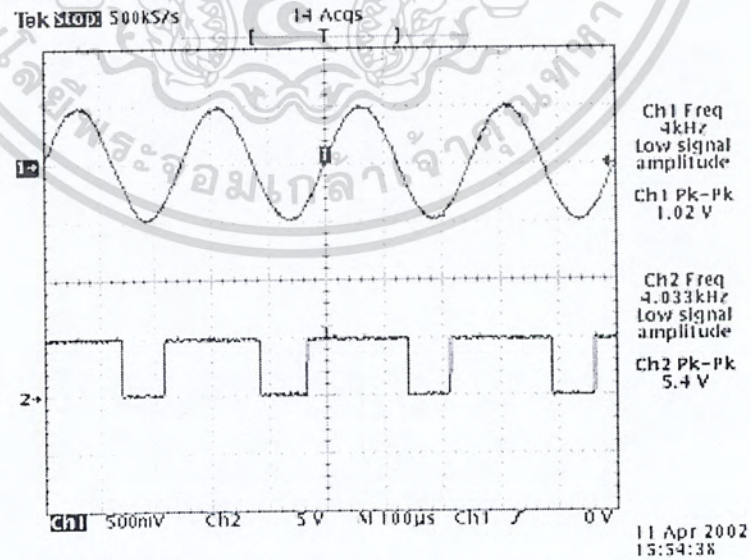
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4.6.8 วัดสัญญาณที่อินพุทภาคส่งเดลต้ามอดูเลต เทียบกับสัญญาณเอาท์พุทที่ภาครับเดลต้าดีมอดูเลต เมื่อป้อนสัญญาณอนาลอก ไซน์เวฟ ความถี่ 2.5 กิโลเฮิรตซ์



รูปที่4.27 วัดสัญญาณที่อินพุทภาคส่งเดลต้ามอดูเลต เทียบกับสัญญาณเอาท์พุทที่ภาครับเดลต้าดีมอดูเลต เมื่อป้อนสัญญาณอนาลอก ไซน์เวฟ ความถี่ 2.5 กิโลเฮิรตซ์

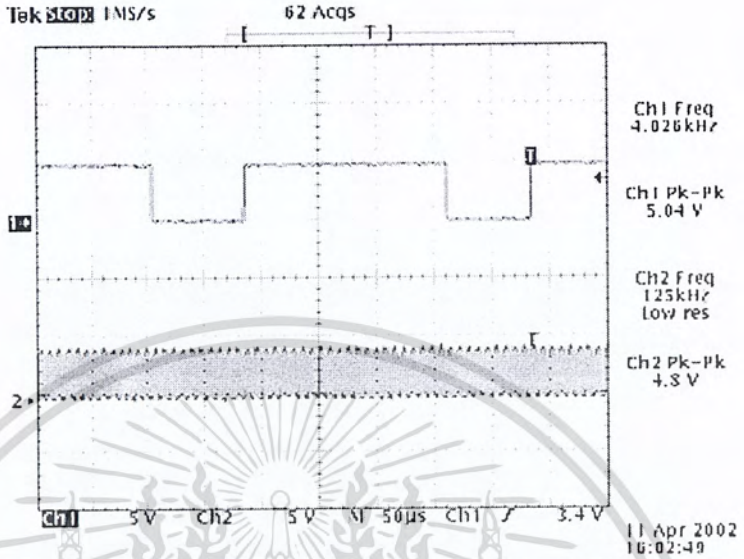
4.6.9 วัดสัญญาณที่อินพุทภาคส่งเดลต้ามอดูเลต เทียบกับสัญญาณอินพุทที่ภาครับเดลต้าดีมอดูเลต เมื่อป้อนสัญญาณอนาลอก ไซน์เวฟ ความถี่ 4 กิโลเฮิรตซ์



รูปที่4.28 วัดสัญญาณที่อินพุทภาคส่งเดลต้ามอดูเลต เทียบกับสัญญาณอินพุทที่ภาครับเดลต้าดีมอดูเลต เมื่อป้อนสัญญาณอนาลอก ไซน์เวฟ ความถี่ 4 กิโลเฮิรตซ์

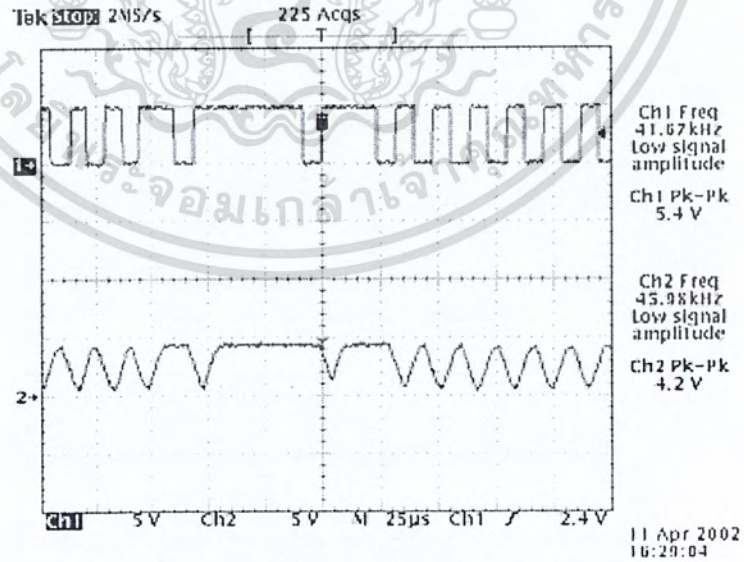
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4.6.10 วัดสัญญาณที่อินพุทภาครับเดลต้าดีมอดูเลต เทียบกับสัญญาณนาฬิกาของภาครับ เมื่อป้อนสัญญาณ อนาลอกไซน์เวฟ ความถี่ 4 กิโลเฮิรตซ์



รูปที่4.29 วัดสัญญาณที่อินพุทภาครับเดลต้าดีมอดูเลต เทียบกับสัญญาณนาฬิกาของภาครับเมื่อป้อนสัญญาณอนาลอกไซน์เวฟ ความถี่ 4 กิโลเฮิรตซ์

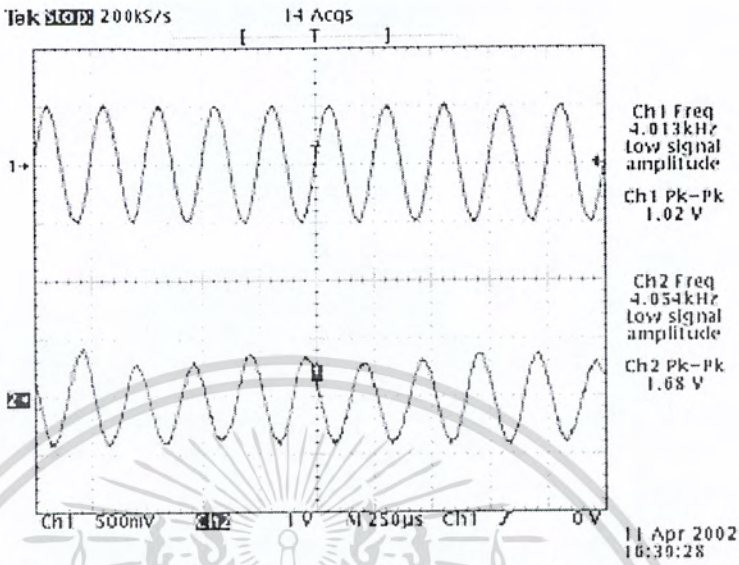
4.6.11 วัดสัญญาณที่อินพุทภาครับเดลต้าดีมอดูเลต เทียบกับ ขา 7 ของไอ.ซี. MC3418เมื่อป้อนสัญญาณอนาลอกไซน์เวฟ ความถี่ 4 กิโลเฮิรตซ์



รูปที่4.30 วัดสัญญาณที่อินพุทภาครับเดลต้าดีมอดูเลต เทียบกับ ขา 7 ของไอ.ซี. MC3418เมื่อป้อนสัญญาณอนาลอกไซน์เวฟ ความถี่ 4 กิโลเฮิรตซ์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4.6.12 วัดสัญญาณที่อินพุทภาคส่งเดลต้ามอดูเลต เทียบกับสัญญาณเอาท์พุทที่ภาครับเดลต้าดีมอดูเลต เมื่อป้อนสัญญาณอนาลอก ไซน์เวฟ ความถี่ 4 กิโลเฮิรตซ์



รูปที่4.31 วัดสัญญาณที่อินพุทภาคส่งเดลต้ามอดูเลต เทียบกับสัญญาณเอาท์พุทที่ภาครับเดลต้าดีมอดูเลต เมื่อป้อนสัญญาณอนาลอก ไซน์เวฟ ความถี่ 4 กิโลเฮิรตซ์

4.7 การทดลองเครื่องรับ-ส่งเดลต้ามอดูเลต เมื่อป้อนสัญญาณเสียง

4.7.1 จ่ายไฟ $\pm 5V$

4.7.2 ป้อนสัญญาณเสียงจ่ายเครื่องเล่น CD เข้าที่อินพุทภาคส่ง

4.7.3 วัดสัญญาณเสียงที่อิทพุทภาคส่ง เทียบกับเอาท์พุทภาควงจรยกระดับสัญญาณ

4.7.4 วัดสัญญาณเสียงที่อินพุทภาคส่ง เทียบกับเอาท์พุทภาคกรองความถี่ต่ำผ่าน

4.7.5 วัดสัญญาณเสียงที่อินพุทภาคส่งเทียบกับ สัญญาณนาฬิกา

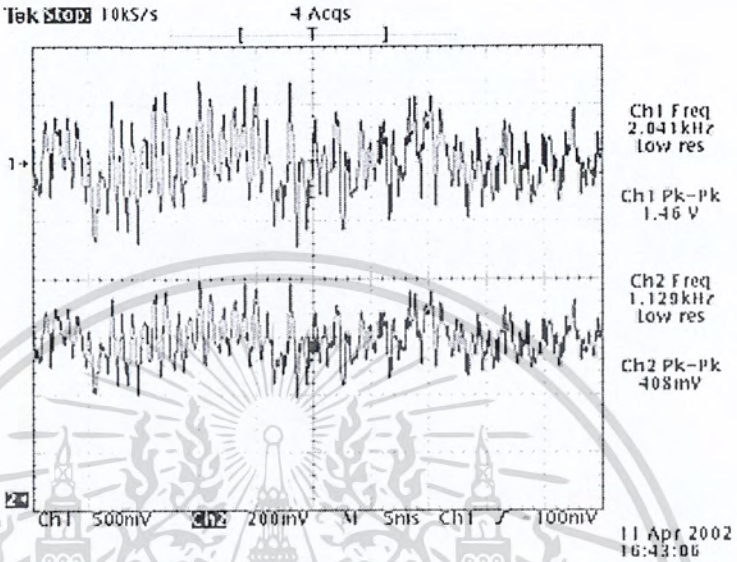
4.7.6 วัดสัญญาณเสียงที่อินพุทภาคส่งเทียบกับ ขา 7 ของไอ.ซี. MC 3418

4.7.7 วัดสัญญาณเสียงที่อินพุทภาคส่งเทียบสัญญาณเสียงเอาท์พุทที่ภาครับ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

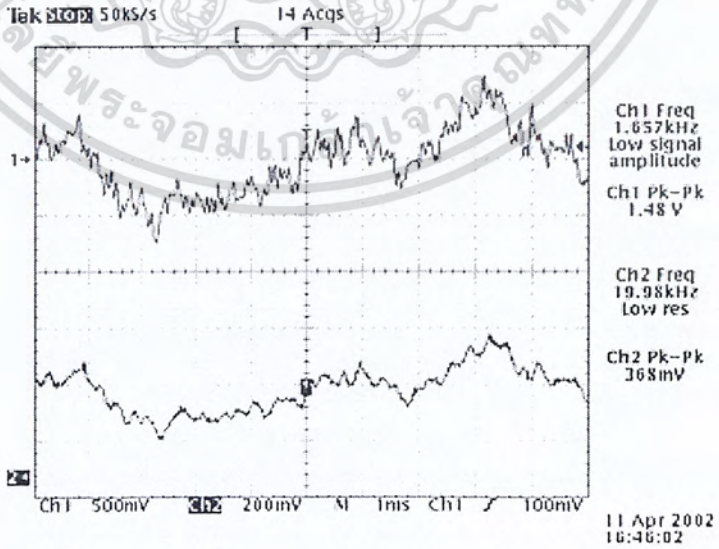
4.8 ผลการทดลอง

4.8.1 วัดสัญญาณเสียงที่อินพุทภาคส่ง เทียบกับเอาท์พุทภาคยกระดับสัญญาณ เมื่อป้อนสัญญาณเสียงเข้ามา



รูปที่4.32 วัดสัญญาณเสียงที่อินพุทภาคส่ง เทียบกับเอาท์พุทภาคยกระดับสัญญาณ เมื่อป้อนสัญญาณเสียงเข้ามา

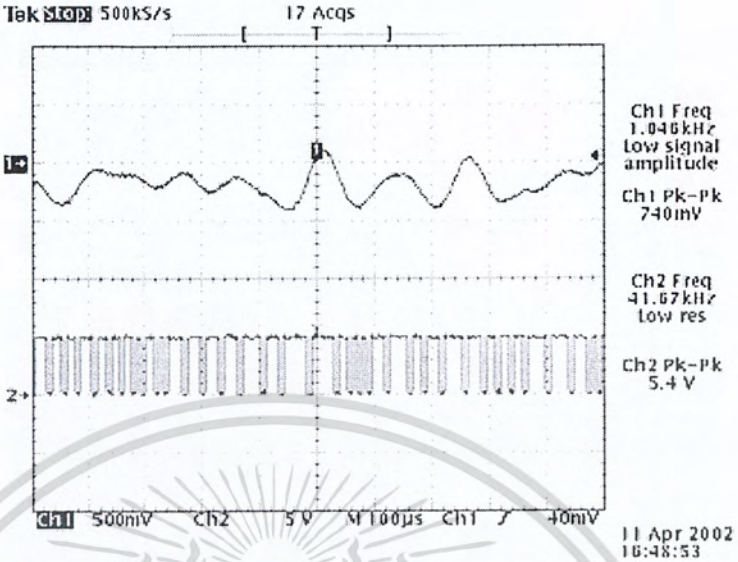
4.8.2 วัดสัญญาณเสียงที่อินพุทภาคส่งเทียบกับเอาท์พุทภาคยกรองความถี่ต่ำผ่าน เมื่อป้อนสัญญาณเสียง เข้ามา



รูปที่4.33 วัดสัญญาณเสียงที่อินพุทภาคส่งเทียบกับเอาท์พุทภาคยกรองความถี่ต่ำผ่าน เมื่อป้อนสัญญาณเสียงเข้ามา

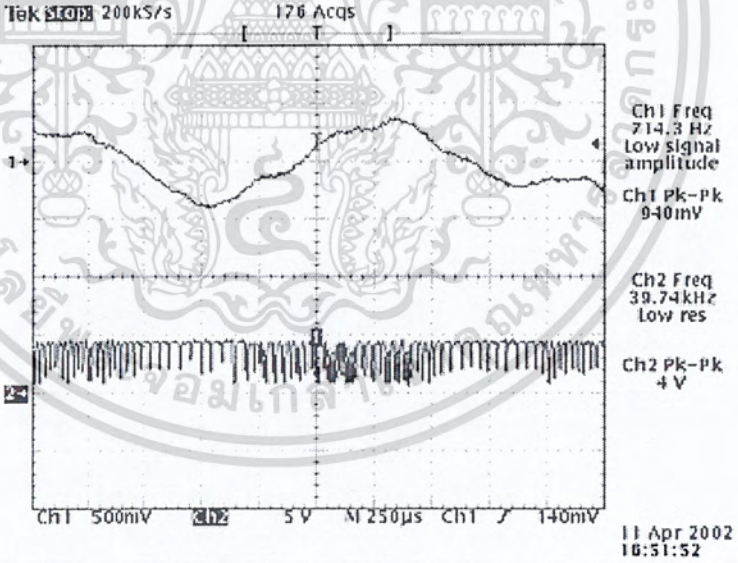
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4.8.3 วัดสัญญาณเสียงที่อินพุทภาคส่งเทียบกับสัญญาณนาฬิกา เมื่อป้อนสัญญาณเสียงเข้ามา



รูปที่4.34 วัดสัญญาณเสียงที่อินพุทภาคส่งเทียบกับสัญญาณนาฬิกา เมื่อป้อนสัญญาณเสียงเข้ามา

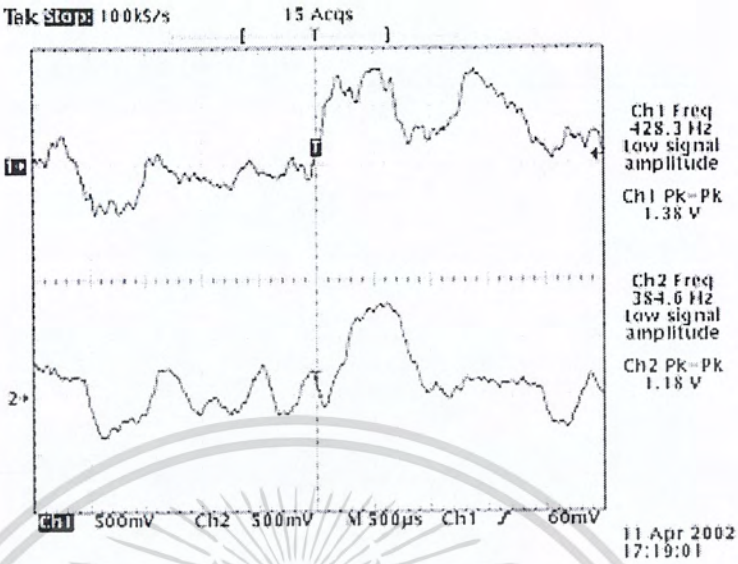
4.8.4 วัดสัญญาณเสียงที่อินพุทภาคส่งเทียบกับขา 7 ของไอ.ซี. MC 3418 เมื่อป้อนสัญญาณเสียงเข้ามา



รูปที่4.35 วัดสัญญาณเสียงที่อินพุทภาคส่งเทียบกับขา 7 ของไอ.ซี. MC 3418 เมื่อป้อนสัญญาณเสียงเข้ามา

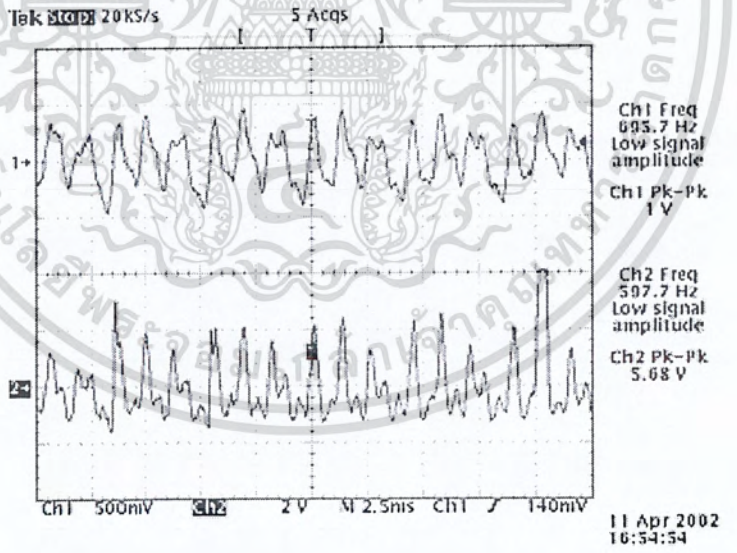
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4.8.5 วัดสัญญาณเสียงที่อินพุทภาคส่งเทียบกับเอาท์พุทภาครับ เมื่อป้อนสัญญาณเสียงเข้ามา



รูปที่4.36 วัดสัญญาณเสียงที่อินพุทภาคส่งเทียบกับเอาท์พุทภาครับ เมื่อป้อนสัญญาณเสียงเข้ามา

4.8.6 วัดสัญญาณเสียงที่อินพุทภาคส่งเทียบกับเอาท์พุทภาครับ เมื่อป้อนสัญญาณเสียงเข้ามา



รูปที่4.37 วัดสัญญาณเสียงที่อินพุทภาคส่งเทียบกับเอาท์พุทภาครับ เมื่อป้อนสัญญาณเสียงเข้ามา

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 5

บทสรุปผลการทดลองและวิจารณ์

สรุปผลการทดลอง

เดลต้ามอดูเลชั่นเป็นระบบที่แปลงสัญญาณอนาลอกเป็นดิจิตอลได้ง่ายและสะดวก มีโครงสร้างของวงจรที่ไม่ซับซ้อน โดยอาศัยหลักการเปรียบเทียบสัญญาณปัจจุบันกับสัญญาณที่เข้ามาก่อน ถ้าค่าเป็นบวกจะทำการส่งรหัสบิต 1 ถ้าค่าเป็นลบจะส่งรหัสบิต 0 มา วงจรจะใช้ไอซีเบอร์ MC3418 ในการมอดูเลต วงจรภายในตัวไอซี ประกอบไปด้วย วงจรสุ่มสัญญาณ วงจรเปรียบเทียบสัญญาณ วงจรอินทิเกตและสัญญาณนาฬิกาที่ใช้ควบคุมเลือกความถี่

วิจารณ์ผลการทดลอง

วงจรเดลต้ามอดูเลต เราต้องสร้างวงจรยกระดับสัญญาณขึ้นมาเพราะว่าการมอดูเลตจากสัญญาณอนาลอกไปเป็นสัญญาณดิจิตอลนั้นเราไม่สามารถเข้ารหัสในช่วงลบของสัญญาณอนาลอกได้ และจากจุดนี้เองเป็นปัญหาส่วนหนึ่งของเดลต้ามอดูเลต ก็เพราะว่าถ้าเรายกระดับสัญญาณอนาลอกในช่วงที่เป็นลบขึ้นมาเป็นช่วงบวกได้ไม่หมดก็จะทำให้สัญญาณช่วงนี้ขาดหายไป แต่ถ้าหากว่าเรายกระดับสัญญาณขึ้นมามากเกินไปก็จะทำให้สัญญาณเกิด slop overload ดังนั้นจึงต้องปรับให้เหมาะสม ส่วนสัญญาณนาฬิกาถ้าเราใช้สัญญาณนาฬิกาที่มีความถี่มากขึ้นเราก็จะได้สัญญาณเสียงที่ชัดมากขึ้น แต่ว่าจำหน่วยบิตที่ใช้ก็มากตามไปด้วย ส่วนในเรื่องของการกู้สัญญาณนาฬิกาจากภาครับกับภาคส่งในเดลต้ามอดูเลตนั้นไม่มีปัญหาเพราะว่าเราทำการส่งบิตออกมาทีละ1 บิต ดังนั้นเวลารับก็รับที่ละ1 บิต ดังนั้นเราเลือกใช้สัญญาณนาฬิกาภาคส่งและรับที่มีค่าความถี่เท่ากันก็พอแล้ว

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

กิตติกรรมประกาศ

ปริญญานิพนธ์ฉบับนี้จะไม่สามารถสำเร็จลงได้หากมิได้รับความช่วยเหลือจากท่าน อาจารย์ สุรพล บุญจันทร์ และอาจารย์ทุกท่านที่ได้สั่งสอนและอบรมมาตลอดชีวิตในการศึกษาของผู้จัดทำ ขอขอบคุณท่านอาจารย์ทุกท่าน ตลอดจนผู้ให้คำปรึกษาทุกท่าน และ บิดา มารดาที่มอบความรัก และกำลังใจให้ลูกเสมอ เพื่อนๆ และ พี่ๆ ที่คอยให้กำลังใจ ทุกท่านล้วนมีส่วนในความสำเร็จของปริญญานิพนธ์ฉบับนี้

สุขุม จุฬาจตุรศิระรัตน์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บรรณานุกรม

[1] Taub Schilling, "Principle of Communication systems," McGraw –Hill,1986.

[2} ศาสตราจารย์ ดร. วิวิฒน์ กิรานนท์, "วิศวกรรมการสื่อสาร": สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง, หน้า 249-253,2542.

[3] บัณฑิต โรจน์อารยานนท์, "หลักการไฟฟ้าสื่อสาร,"สำนักพิมพ์จุฬาลงกรณ์มหาวิทาลัย.

[4] ภาควิชาโทรคมนาคม มหาวิทยาลัยเทคโนโลยีมหานคร: "เอกสารประกอบการเรียนการสอนวิชาปฏิบัติการระบบโทรคมนาคม" .มหาวิทยาลัยเทคโนโลยีมหานคร. หน้า 55-61, 2540.

[5] รศ. กฤษดา วิศวธีรานนท์,เรียนเล่นใช้ไอซีดิจิตอล,"บริษัท ซีเอ็นยูเคชั่น จำกัด.

[6] ประสิทธิ์ ประพิณมงคลการ. "หลักการไฟฟ้าสื่อสาร,"สำนักพิมพ์ซีเอ็ด.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Order this document by MC3418/D

MOTOROLA

MC3418

CONTINUOUSLY VARIABLE SLOPE DELTA MODULATOR/DEMODULATOR

LASER–TRIMMED IC

SEMICONDUCTOR TECHNICAL DATA

Continuously Variable Slope Delta Modulator/Demodulator

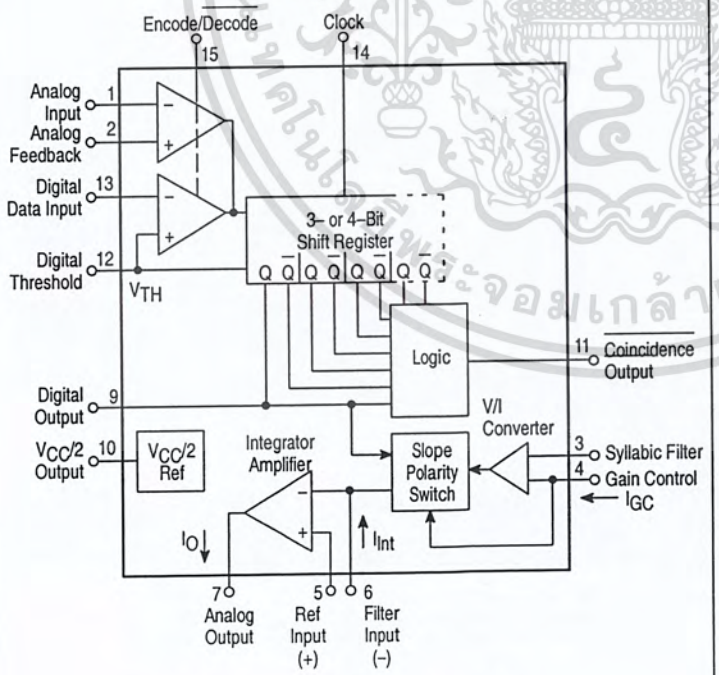
Providing a simplified approach to digital speech encoding/decoding, the MC3418 CVSD is designed for military secure communication and commercial telephone applications. A single IC provides both encoding and decoding functions.

- Encode and Decode Functions on the Same Chip with a Digital Input for Selection
- Utilization of Compatible I^2L – Linear Bipolar Technology
- CMOS Compatible Digital Output
- Digital Input Threshold Selectable ($V_{CC}/2$ Reference Provided On–Chip)
- MC3418 has a 4–Bit Algorithm (Commercial Telephone)

P SUFFIX
PLASTIC PACKAGE
CASE 648

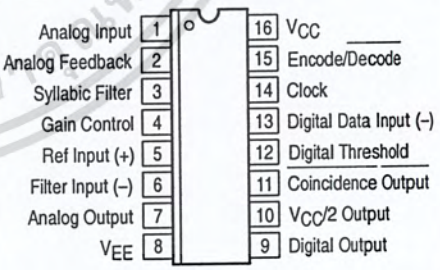
DW SUFFIX
PLASTIC PACKAGE
CASE 751G
(SO–16L)

Representative Block Diagram



This device contains 144 active transistors.

PIN CONNECTIONS



(Top View)

ORDERING INFORMATION

Device	Operating Temperature Range	Package
MC3418DW	T_A = 0° to +70°C	SO–16L
MC3418P		Plastic DIP

© Motorola, Inc. 1996

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

MAXIMUM RATINGS (All voltages referenced to V_{EE}, T_A = 25°C, unless otherwise noted.)

Rating	Symbol	Value	Unit
Power Supply Voltage	V_{CC}	–0.4 to +18	Vdc
Differential Analog Input Voltage	V_{ID}	±5.0	Vdc
Digital Threshold Voltage	V_{TH}	–0.4 to V_{CC}	Vdc
Logic Input Voltage Clock, Digital Data, Encode/Decode	V_{Logic}	–0.4 to +18	Vdc
Coincidence Output Voltage	$V_{O(Con)}$	–0.4 to +18	Vdc
Syllabic Filter Input Voltage	$V_{I(Syl)}$	–0.4 to V_{CC}	Vdc
Gain Control Input Voltage	$V_{I(GC)}$	–0.4 to V_{CC}	Vdc
Reference Input Voltage	$V_{I(ref)}$	$V_{CC}/2$ – 1.0 to V_{CC}	Vdc
$V_{CC}/2$ Output Current	I_{ref}	–25	mA

NOTE: ESD data available upon request.

ELECTRICAL CHARACTERISTICS (V_{CC} = 12 V, V_{EE} = Gnd, T_A = 0 to 70°C, unless otherwise noted.)

Characteristic	Symbol	Min	Typ	Max	Unit
Power Supply Voltage Range (Figure 1)	V_{CCR}	4.75	12	16.5	Vdc
Power Supply Current (Figure 1) @ Idle Channel V_{CC} = 5.0 V V_{CC} = 15 V	I_{CC}	 – –	 3.7 6.0	 5.5 11	mA
Gain Control Current Range (Figure 2)	I_{GCR}	0.002	–	3.0	mA
Analog Comparator Input Range (Pins 1 and 2) 4.75 V ≤ V_{CC} ≤ 16.5 V	V_I	1.3	–	V_{CC} – 1.3	Vdc
Analog Output Range (Pin 7) 4.75 V ≤ V_{CC} ≤ 16.5 V, I_O = ±5.0 mA	V_O	1.3	–	V_{CC} – 1.3	Vdc
Input Bias Currents (Figure 3) Comparator in Active Region Analog Input (I1) Analog Feedback (I2) Syllablc Filter Input (I3) Reference Input (I5)	I_{IB}	 – – – –	 0.25 0.25 0.06 –0.06	 1.0 1.0 0.3 –0.3	µA
Input Offset Current Comparator in Active Region Analog Input/Analog Feedback |I1 – I2| (Figure 3) Analog Input/Analog Feedback |I5 – I6| (Figure 4)	I_{IO}	 – –	 0.05 0.01	 0.4 0.1	µA
Input Offset Voltage V/I Converter (Pins 3 and 4) (Figure 5)	V_{IO}	–	2.0	6.0	mV
Transconductance V/I Converter, 0 to 3.0 mA Integrator Amplifier, 0 to ±5.0 mA Load	gm	 0.1 1.0	 0.3 10	 – –	mA/mV
Propagation Delay Times (Note 1) Clock Trigger to Digital Output C_L = 25 pF to Gnd Clock Trigger to Coincidence Output C_L = 25 pF to Gnd, R_L = 4.0 kΩ to V_{CC}	 t_{PLH} t_{PHL} t_{PLH} t_{PHL}	 – – – –	 1.0 0.8 1.0 0.8	 2.5 2.5 3.0 2.0	µs
Coincidence Output Voltage – Low Logic Stage $I_{OL(Con)}$ = 3.0 mA	$V_{OL(Con)}$	–	0.12	0.25	Vdc

NOTES: 1. All propagation delay times measured 50% to 50% from the negative going (from V_{CC} to +0.4 V) edge of the clock.
2. Dynamic total loop offset (ΣVoffset) equals VIO (comparator) (Figure 3) minus VIOX (Figure 5). The input offset voltages of the analog comparator and of the integrator amplifier include the effects of input offset current through the input resistors. The slope polarity switch current mismatch appears as an average voltage across the 10 k integrator resistor. The clock frequency is 32 kHz. Idle channel performance is guaranteed if this dynamic total loop offset is less than one–half of the change in integrator output voltage during one clock cycle (ramp step size). Laser trimming is used to ensure good idle channel performance.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ELECTRICAL CHARACTERISTICS (continued) (V_{CC} = 12 V, V_{EE} = Gnd, T_A = 0 to 70°C, unless otherwise noted.)

Characteristic	Symbol	Min	Typ	Max	Unit
Coincidence Output Leakage Current – High Logic State V_{OH} = 15 V, 0°C ≤ T_A ≤ 70°C	$I_{OH(Con)}$	–	0.01	0.5	µA
Applied Digital Threshold Voltage Range (Pin 12)	V_{TH}	1.2	–	V_{CC} – 2.0	Vdc
Digital Threshold Input Current 1.2 V ≤ V_{th} ≤ V_{CC} – 2.0 V V_{IL} Applied to Pins 13, 14 and 15 V_{IH} Applied to Pins 13, 14 and 15	$I_{I(th)}$	 – –	 – –10	 5.0 –50	µA
Maximum Integrator Amplifier Output Current	I_O	±5.0	–	–	mA
V_{CC}/2 Generator Maximum Output Current (Source Only)	I_{ref}	10	–	–	mA
V_{CC}/2 Generator Output Impedance (0 to –10 mA)	z_{ref}	–	3.0	6.0	Ω
V_{CC}/2 Generator Tolerance (4.75 V ≤ V_{CC} ≤ 16.5 V)	εr	–	–	±3.5	%
Logic Input Voltage (Pins 13, 14 and 15) Low Logic State High Logic State	 V_{IL} V_{IH}	 V_{EE} V_{th} + 0.4	 – –	 V_{th} – 0.4 18	Vdc
Dynamic Total Loop Offset Voltage (Note 2) (Figures 3, 4 and 5) I_{GC} = 12 µA, V_{CC} = 12 V T_A = 25°C 0°C ≤ T_A ≤ + 70°C I_{GC} = 12 µA, V_{CC} = 5.0 V T_A = 25°C 0°C ≤ T_A ≤ + 70°C	ΣV_{offset}	 – – – –	 ±0.5 ±0.75 ±1.0 ±1.3	 ±3.0 ±3.8 ±3.5 ±4.3	mV
Digital Output Voltage I_{OL} = 3.6 mA I_{OH} = –0.35 mA	 V_{OL} V_{OH}	 – V_{CC} – 1.0	 0.1 V_{CC} – 0.2	 0.4 –	Vdc
Syllabic Filter Applied Voltage (Pin 3) (Figure 2)	$V_{I(Syl)}$	3.2	–	V_{CC}	Vdc
Integrating Current (Figure 2) I_{GC} = 12 µA I_{GC} = 1.5 mA I_{GC} = 3.0 mA	$\lvert I_{Int} \rvert$	 8.0 1.42 2.75	 10 1.5 3.0	 12 1.58 3.25	 µA mA mA
Dynamic Integrating Current Match (Figure 6) I_{GC} = 1.5 mA	$V_{O(Ave)}$	–	±100	±280	mV
Input Current – High Logic State (V_{IH} = 18 V) Digital Data Input Clock Input Encode/Decode Input	I_{IH}	 – – –	 – – –	 5.0 5.0 5.0	µA
Input Current – Low Logic State (V_{IL} = 0 V) Digital Data Input Clock Input Encode/Decode Input Clock Input, V_{IL} = 0.4 V	I_{IL}	 –10 –360 –36 –72	 – – – –	 – – – –	µA

NOTES: 1. All propagation delay times measured 50% to 50% from the negative going (from V_{CC} to +0.4 V) edge of the clock.
2. Dynamic total loop offset (ΣVoffset) equals VIO (comparator) (Figure 3) minus VIOX (Figure 5). The input offset voltages of the analog comparator and of the integrator amplifier include the effects of input offset current through the input resistors. The slope polarity switch current mismatch appears as an average voltage across the 10 k integrator resistor. The clock frequency is 32 kHz. Idle channel performance is guaranteed if this dynamic total loop offset is less than one–half of the change in integrator output voltage during one clock cycle (ramp step size). Laser trimming is used to ensure good idle channel performance.

DEFINITION AND FUNCTION OF PINS

Pin 1 — Analog Input

This is the analog comparator inverting input where the voice signal is applied. It may be ac or dc coupled depending on the application. If the voice signal is to be level shifted to the internal reference voltage, then a bias resistor between Pins 1 and 10 is used. The resistor is used to establish the reference as the new dc average of the ac coupled signal. The analog comparator was designed for low hysteresis (typically less than 0.1 mV) and high gain (typically 70 dB).

Pin 2 — Analog Feedback

This is the noninverting input to the analog signal comparator. In an encoder application it should be connected to the analog output of the encoder circuit. This may be Pin 7 or a low pass filter output connected to Pin 7. In a decode circuit Pin 2 is not used and may be tied to V_{CC}/2 at Pin 10 or ground.

The analog input comparator has bias currents of 1.0 µA max, thus the driving impedances at Pins 1 and 2 should be

การใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

equal to avoid disturbing the idle channel characteristics of the encoder.

Pin 3 — Syllabic Filter

This is the point at which the syllabic filter voltage is returned to the IC in order to control the integrator step size. It is an NPN input to an op amp. The syllabic filter consists of an RC network between Pins 11 and 3. Typical time constant values of 6.0 to 50 ms are used in voice codecs.

Pin 4 — Gain Control Input

The syllabic filter voltage appears across C_S of the syllabic filter and is the voltage between V_{CC} and Pin 3. The active voltage to current (V – I) converter drives Pin 4 to the same voltage at a slew rate of typically 0.5 V/μs. Thus the current injected into Pin 4 (I_{GC}) is the syllabic filter voltage divided by the R_X resistance. Figure 7 shows the relationship between I_{GC} (x–axis) and the integrating current, I_{Int} (y–axis). The discrepancy, which is most significant at very low currents, is due to circuitry within the slope polarity switch which enables trimming to a low total loop offset. The R_X resistor is then varied to adjust the loop gain of the codec, but should be no larger than 5.0 kΩ to maintain stability.

Pin 5 — Reference Input

This pin is the noninverting input of the integrator amplifier. It is used to reference the dc level of the output signal. In an encoder circuit it must reference the same voltage as Pin 1 and is tied to Pin 10.

Pin 6 — Filter Input

This inverting op amp input is used to connect the integrator external components. The integrating current (I_{Int}) flows into Pin 6 when the analog input (Pin 1) is high with respect to the analog feedback (Pin 2) in the encode mode or when the digital data input (Pin 13) is high in the decode mode. For the opposite states, I_{Int} flows out of Pin 6. Single integration systems require a capacitor and resistor between Pins 6 and 7. Multipole configurations will have different circuitry. The resistance between Pins 6 and 7 should always be between 8.0 kΩ and 13 kΩ to maintain good idle channel characteristics.

Pin 7 — Analog Output

This is the integrator op amp output. It is capable of driving a 600 Ω load referenced to $V_{CC}/2$ to +6.0 dBm and can otherwise be treated as an op amp output. Pins 5, 6 and 7 provide full access to the integrator op amp for designing integration filter networks. The slew rate of the internally compensated integrator op amp is typically 0.5 V/μs. Pin 7 output is current limited for both polarities of current flow at typically 30 mA.

Pin 8 — V_{EE}

The circuit is designed to work in either single or dual power supply applications. Pin 8 is always connected to the most negative supply.

Pin 9 — Digital Output

The digital output provides the results of the delta modulator's conversion. It swings between V_{CC} and V_{EE} and is CMOS or TTL compatible. Pin 9 is inverting with respect to Pin 1 and noninverting with respect to Pin 2. It is clocked on the falling edge of Pin 14. The typical 10% to 90% rise and fall times are 250 ns and 50 ns respectively for V_{CC} = 12 V and C_L = 25 pF to ground.

Pin 10 — $V_{CC}/2$ Output

An internal low impedance mid–supply reference is provided for use in single supply applications. The internal regulator is a current source and must be loaded with a resistor to ensure its sinking capability. If a +6.0 dBmo signal is expected across a 600 Ω input bias resistor, then Pin 10 must sink 2.2 V/600 Ω = 3.66 mA. This is possible only if Pin 10 sources 3.66 mA into a resistor normally and will source the difference under peak load. The reference load resistor is chosen accordingly. A 0.1 μF bypass capacitor from Pin 10 to V_{EE} is also recommended. The $V_{CC}/2$ reference is capable of sourcing 10 mA and can be used as a reference elsewhere in the system circuitry.

Pin 11 — $\overline{\text{Coincidence}}$ $\overline{\text{Output}}$

The duty cycle of this pin is proportional to the voltage across C_S. The coincidence output will be low whenever the content of the internal shift register is all 1s or all 0s. The MC3418 contains a 4–bit register. Pin 11 is an open collector NPN device and requires a pull–up resistor. If the syllabic filter is to have equal charge and discharge time constants, the value of R_P should be much less than R_S. In systems requiring different charge and discharge constants, the charging constant is $R_S C_S$ while the decay constant is $(R_S + R_P)C_S$. Thus longer decays are easily achievable. The NPN device should not be required to sink more than 3.0 mA in any configuration. The typical 10% to 90% rise and fall times are 200 ns and 100 ns respectively for R_L = 4.0 kΩ to 12 V and C_L = 25 pF to ground.

Pin 12 — Digital Threshold

This input sets the switching threshold for Pins 13, 14 and 15. It is intended to aid in interfacing different logic families without external parts. Often it is connected to the $V_{CC}/2$ reference for CMOS interface or can be biased two diode drops above V_{EE} for TTL interface.

Pin 13 — Digital Data Input

In a decode application, the digital data stream is applied to Pin 13. In an encoder it may be unused or may be used to transmit signaling message under the control of Pin 15. It is an inverting input with respect to Pin 9. When Pins 9 and 13 are connected, a toggle flip–flop is formed and a forced idle channel pattern can be transmitted. The digital data input level should be maintained for 0.5 μs before and after the clock trigger for proper clocking.

Pin 14 — Clock Input

The clock input determines the data rate of the codec circuit. A 32 k bit rate requires a 32 kHz clock. The switching threshold of the clock input is set by Pin 12. The shift register circuit toggles on the falling edge of the clock input. The minimum high time for the clock input is 300 ns and minimum low time is 900 ns.

Pin 15 — $\overline{\text{Encode/Decode}}$

This pin controls the connection of the analog input comparator and the digital input comparator to the internal shift register. If high, the result of the analog comparison will be clocked into the register on the falling edge at Pin 14. If low, the digital input state will be entered. This allows use of the IC as an encoder/decoder or simplex codec without external parts. Furthermore, it allows non–voice patterns to be forced onto the transmission line through Pin 13 in an encoder.

Pin 16 — V_{CC}

The power supply range is from 4.75 to 16.5 V between Pin V_{CC} and V_{EE}.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Figure 1. Power Supply Current

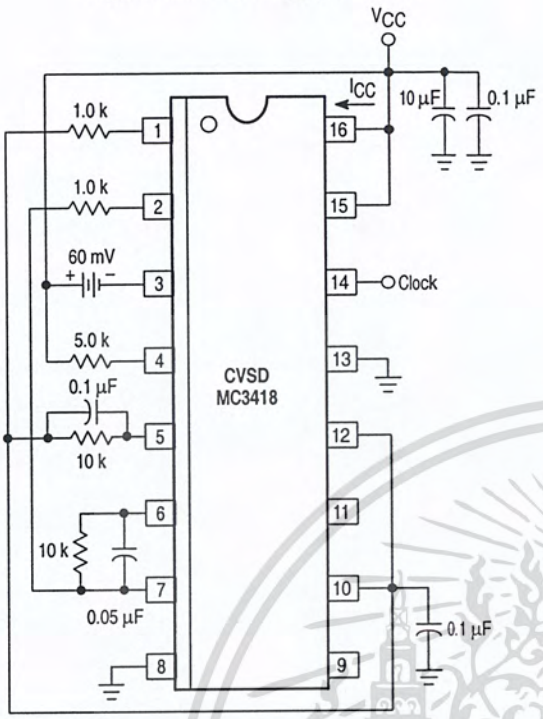
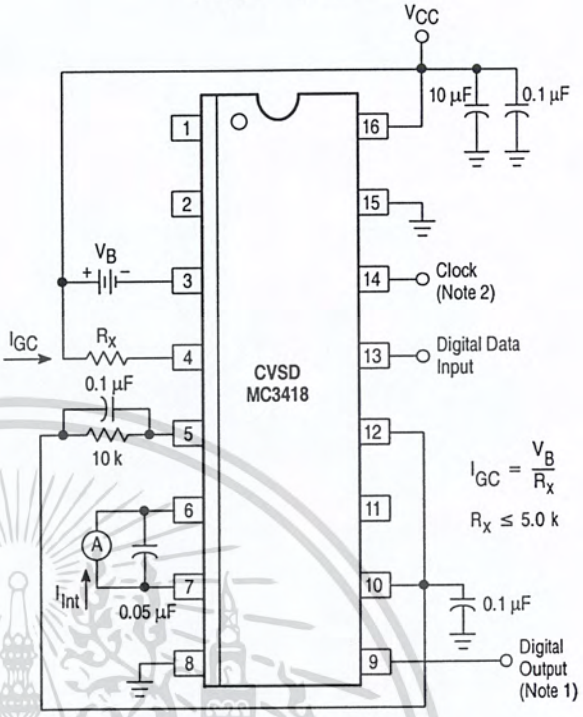
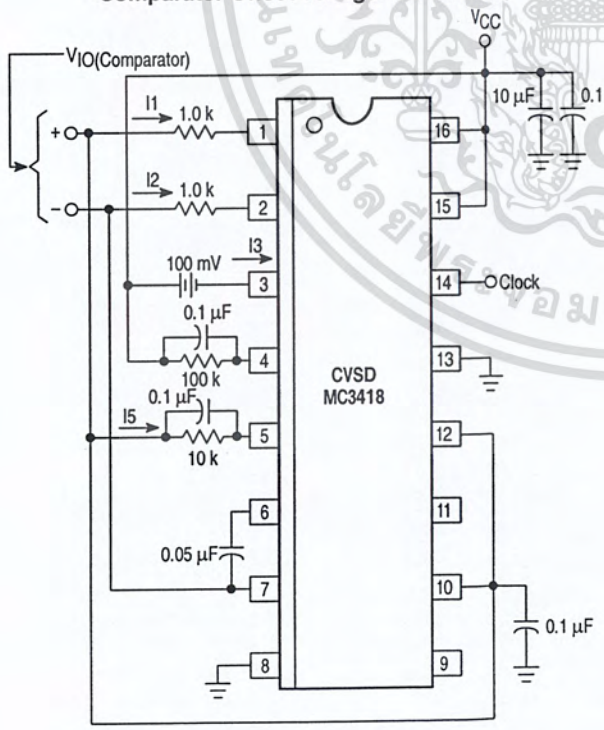


Figure 2. I_{GCR} – Gain Control Range and I_{Int} – Integrating Current



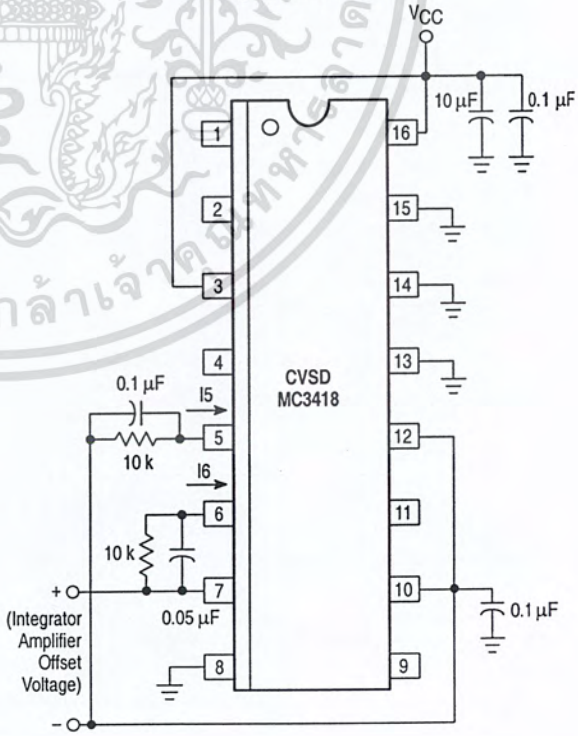
NOTES: 1. Digital Output = Digital Data Input
2. For static testing, the clock is only necessary for preconditioning to obtain proper state for a given input.

Figure 3. Input Bias Currents, Analog Comparator Offset Voltage and Current



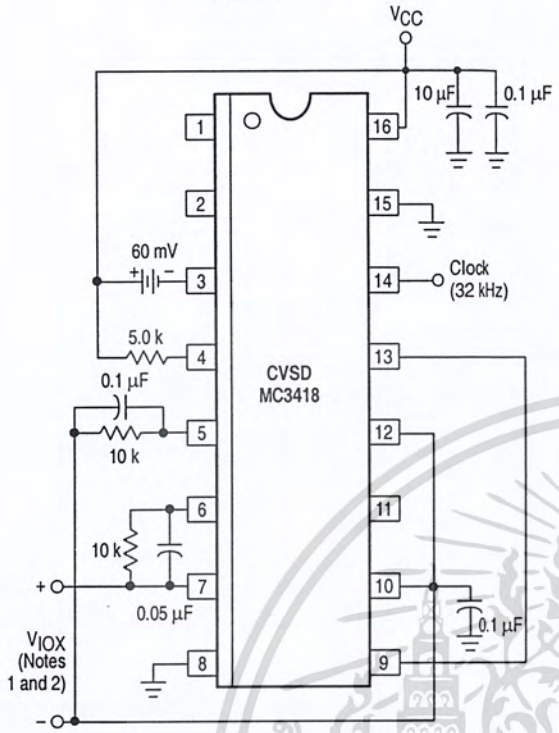
NOTE: The analog comparator offset voltage is tested under dynamic conditions and therefore must be measured with appropriate filtering.

Figure 4. Integrator Amplifier Offset Voltage and Current



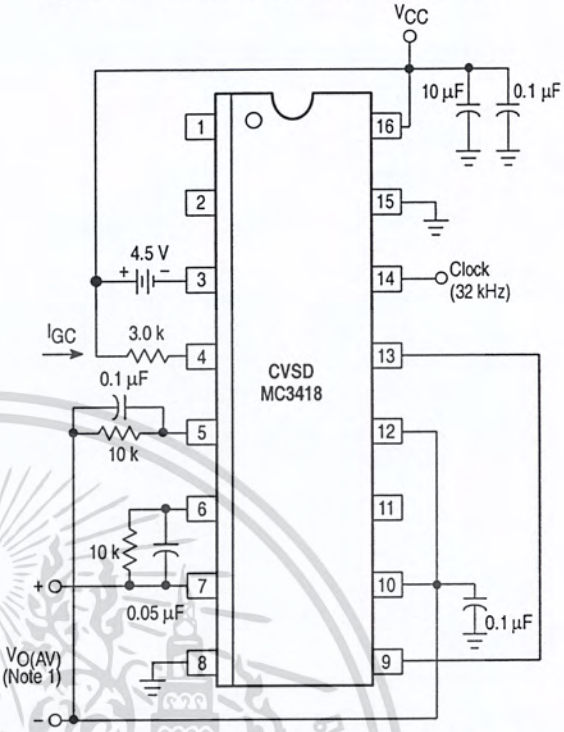
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Figure 5. V/I Converter Offset Voltage, V_{IO} and V_{IOX}



NOTES: 1. Integrator amplifier offset voltage plus slope polarity switch mismatch.
2. V_{IOX} is the average voltage of the triangular wave form observed at the measurement points.

Figure 6. Dynamic Integrating Current Match



NOTES: 1. $V_{O(AV)}$, Dynamic Integrating Current Match, is the average voltage of the triangular waveform observed at t the measurement points, across 10 kΩ resistor with I_{GC} = 1.5 mA.
2. See Note 2 in the Electrical Characteristics table.
3. See Figures 8 and 9.

TYPICAL PERFORMANCE CURVES

Figure 7. Typical I_{Int} versus I_{GC} (Mean ±2 σ)

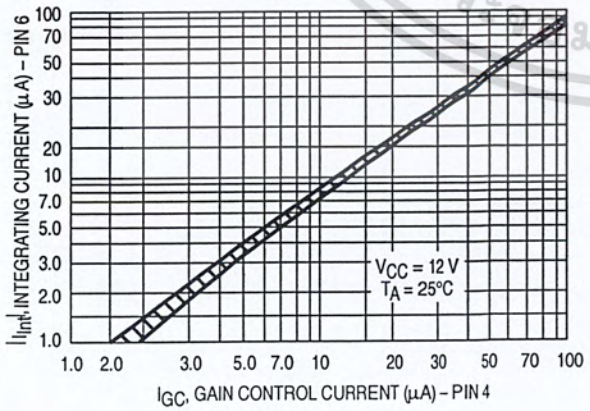
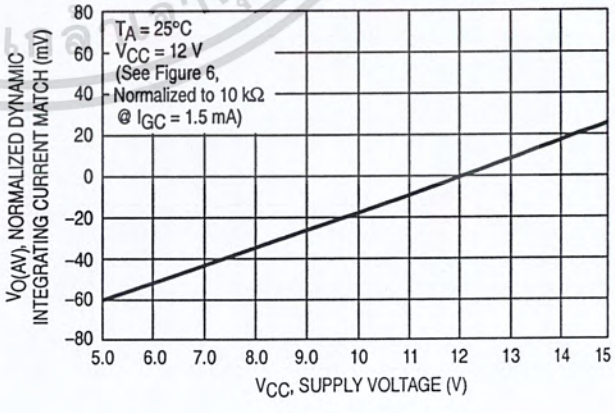


Figure 8. Normalized Dynamic Integrating Current Match versus V_{CC}



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Figure 9. Normalized Dynamic Integrating Current Match versus Clock Frequency

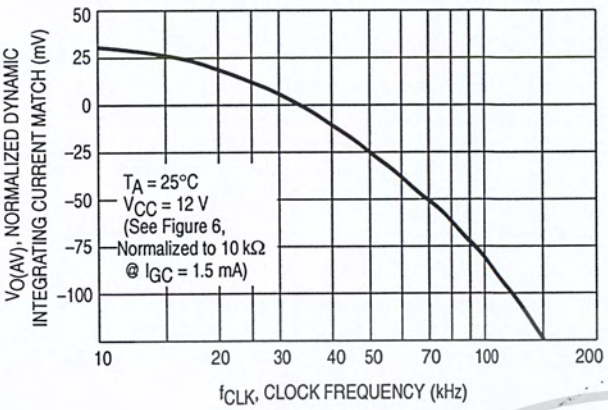


Figure 10. Dynamic Total Loop Offset versus Clock Frequency

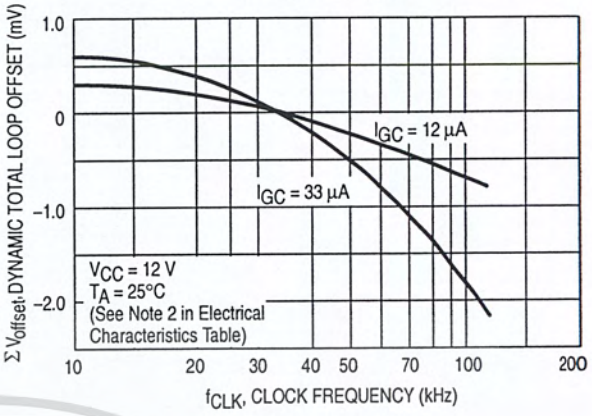


Figure 11. Block Diagram of the CVSD Encoder

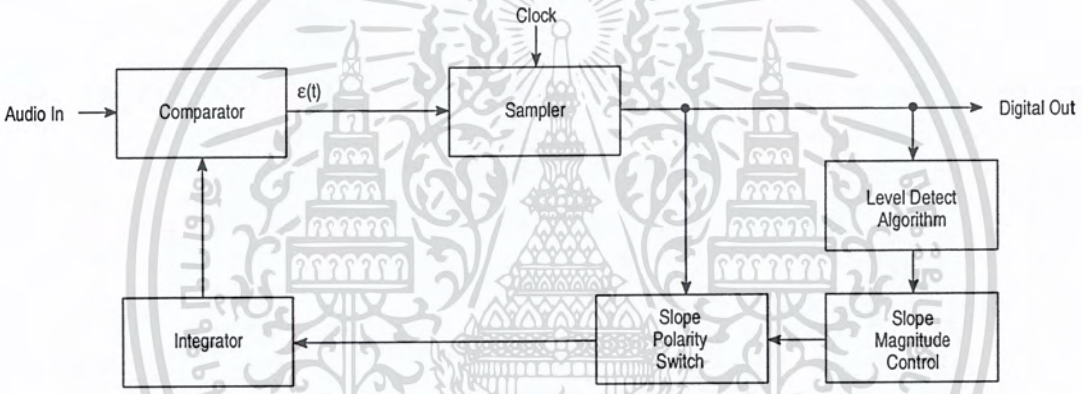
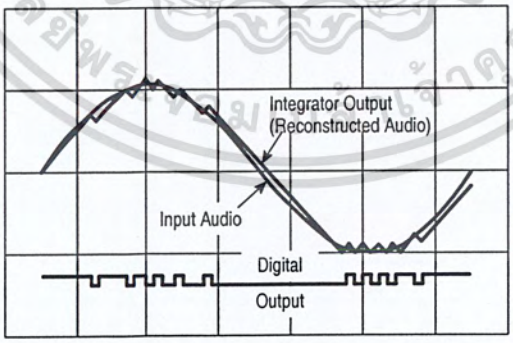


Figure 12. CVSD Waveforms



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Figure 13. Block Diagram of the CVSD Decoder

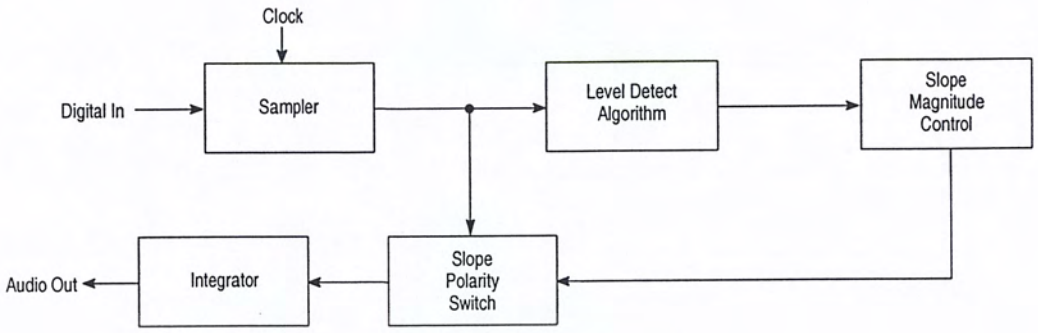
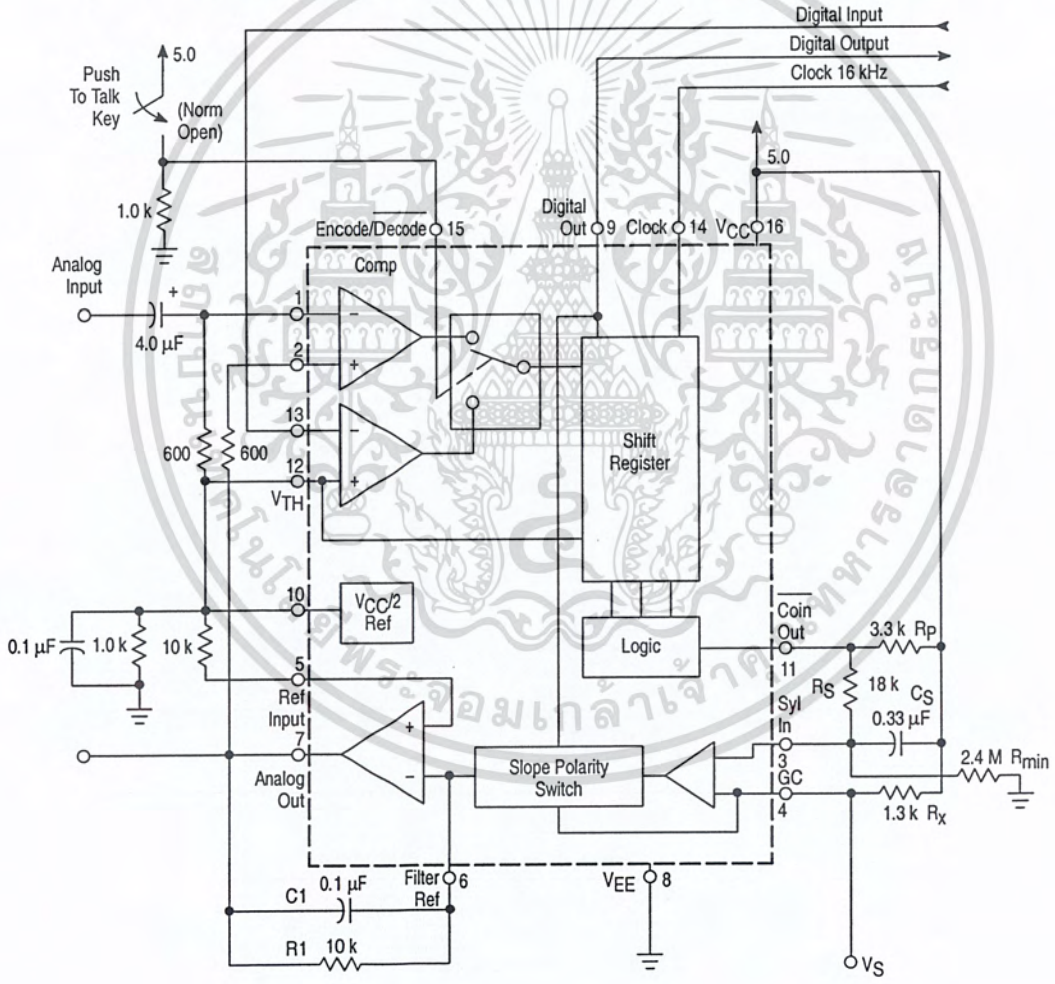


Figure 14. 16 kHz Simplex Voice Codec (Single–Pole Companding and Single Integration)



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

CIRCUIT DESCRIPTION

The continuously variable slope delta modulator (CVSD) is a simple alternative to more complex conventional conversion techniques in systems requiring digital communication of analog signals. The human voice is analog, but digital transmission of any signal over great distance is attractive. Signal/noise ratios do not vary with distance in digital transmission and multiplexing, switching and repeating hardware is more economical and easier to design. However, instrumentation A to D converters do not meet the communications requirements. The CVSD A to D is well suited to the requirements of digital communications and is an economically efficient means of digitizing analog inputs for transmission.

The Delta Modulator

The innermost control loop of a CVSD converter is a simple delta modulator. A block diagram CVSD Encoder is shown in Figure 11. A delta modulator consists of a comparator in the forward path and an integrator in the feedback path of a simple control loop. The inputs to the comparator are the input analog signal and the integrator output. The comparator output reflects the sign of the difference between the input voltage and the integrator output. That sign bit is the digital output and also controls the direction of ramp in the integrator. The comparator is normally clocked so as to produce a synchronous and band–limited digital bit stream.

If the clocked serial bit stream is transmitted, received, and delivered to a similar integrator at a remote point, the remote integrator output is a copy of the transmitting control loop integrator output. To the extent that the integrator at the transmitting locations tracks the input signal, the remote receiver reproduces the input signal. Low pass filtering at the receiver output will eliminate most of the quantizing noise, if the clock rate of the bit stream is an octave or more above the bandwidth of the input signal. Voice bandwidth is 4.0 kHz and clock rates from 8.0 k and up are possible. Thus the delta modulator digitizes and transmits the analog input to a remote receiver. The serial, unframed nature of the data is ideal for communications networks. With no input at the transmitter, a continuous one zero alternation is transmitted. If the two integrators are made leaky, then during any loss of contact the receiver output decays to zero and receive restart begins without framing when the receiver reacquires. Similarly, a delta modulator is tolerant of sporadic bit errors. Figure 12 shows the delta modulator waveforms while Figure 13 shows the corresponding CVSD decoder block diagram.

The Companding Algorithm

The fundamental advantages of the delta modulator are its simplicity and the serial format of its output. Its limitations are its ability to accurately convert the input within a limited digital bit rate. The analog input must be band limited and amplitude limited. The frequency limitations are governed by the nyquist rate while the amplitude capabilities are set by the gain of the integrator.

The frequency limits are bounded on the upper end; that is, for any input bandwidth there exists a clock frequency larger than that bandwidth which will transmit the signal with a specific noise level. However, the amplitude limits are bounded on both upper and lower ends. For a signal level, one specific gain will achieve an optimum noise level. Unfortunately, the basic delta modulator has a small dynamic range over which the noise level is constant.

The continuously variable slope circuitry provides increased dynamic range by adjusting the gain of the integrator. For a given clock frequency and input bandwidth the additional circuitry increases the delta modulator's dynamic range. External to the basic delta modulator is an algorithm which monitors the past few outputs of the delta modulator in a simple shift register. The register is 4–bits long. The accepted CVSD algorithm simply monitors the contents of the shift register and indicates if it contains all 1s or 0s. This condition is called coincidence. When it occurs, it indicates that the gain of the integrator is too small. The coincidence output charges a single–pole low pass filter. The voltage output of this syllabic filter controls the integrator gain through a pulse amplitude modulator whose other input is the sign bit or up/down control.

The simplicity of the all 1s, all 0s algorithm should not be taken lightly. Many other control algorithms using the shift register have been tried. The key to the accepted algorithm is that it provides a measure of the average power or level of the input signal. Other techniques provide more instantaneous information about the shape of the input curve. The purpose of the algorithm is to control the gain of the integrator and to increase the dynamic range. Thus a measure of the average input level is what is needed.

The algorithm is repeated in the receiver and thus the level data is recovered in the receiver. Because the algorithm operates only on the past serial data, it changes the nature of the bit stream without changing the channel bit rate.

The effect of the algorithm is to compand the input signal. If a CVSD encoder is played into a basic delta modulator, the output of the delta modulator will reflect the shape of the input signal but all of the output will be at an equal level. Thus the algorithm at the output is needed to restore the level variations. The bit stream in the channel is as if it were from a standard delta modulator with a constant level input.

The delta modulator encoder with the CVSD algorithm provides an efficient method for digitizing a voice input in a manner which is especially convenient for digital communications requirements.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

APPLICATIONS INFORMATION

CVSD DESIGN CONSIDERATIONS

A simple CVSD encoder using the MC3418 is shown in Figure 14. This IC is a general purpose CVSD building block which allows the system designer to tailor the encoder's transmission characteristics to the application. Thus, the achievable transmission capabilities are constrained by the fundamental limitations of delta modulation and the design of encoder parameters. The performance is not dictated by the internal configuration of the MC3418. There are seven design considerations involved in designing these basic CVSD building blocks into a specific codec application, and they are as follows:

1. Selection of clock rate
2. Required number of shift register bits
3. Selection of loop gain
4. Selection of minimum step size
5. Design of integration filter transfer function
6. Design of syllabic filter transfer function
7. Design of low pass filter at the receiver

The circuit in Figure 14 is the most basic CVSD circuit possible. For many applications in secure radio or other intelligible voice channel requirements, it is entirely sufficient. In this circuit, items 5 and 6 are reduced to their simplest form. The syllabic and integration filters are both single–pole networks. The selection of items 1 through 4 govern the codec performance.

Layout Considerations

Care should be exercised to isolate all digital signal paths (Pins 9, 11, 13 and 14) from analog signal paths (Pins 1 to 7 and 10) in order to achieve proper idle channel performance.

Clock Rate

With minor modifications, the circuit in Figure 14 may be operated anywhere from 9.6 to 64 kHz clock rates. Obviously the higher the clock rate the higher the S/N performance. The circuit in Figure 14 typically produces the S/N performance shown in Figure 16. The selection of clock rate is usually dictated by the bandwidth of the transmission medium. Voice bandwidth systems will require no higher than 9600 Hz. Some radio systems will allow 12 kHz. Private 4–wire telephone systems are often operated at 16 kHz and commercial telephone performance can be achieved at 32 k bits and above. Other codecs may use bit rates up to 200 k bits/sec.

Shift Register Length (Algorithm)

The MC3418 has a 4–bit algorithm well suited for 32 kHz and higher clock rates. Since the algorithm records a fixed past history of the input signal, a longer shift register is required to obtain the same internal history. At 16 kHz and below, the 4–bit algorithm will produce a slightly wider dynamic range at the expense of level change response. Basically the MC3418 is intended for high performance, high bit rate systems.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

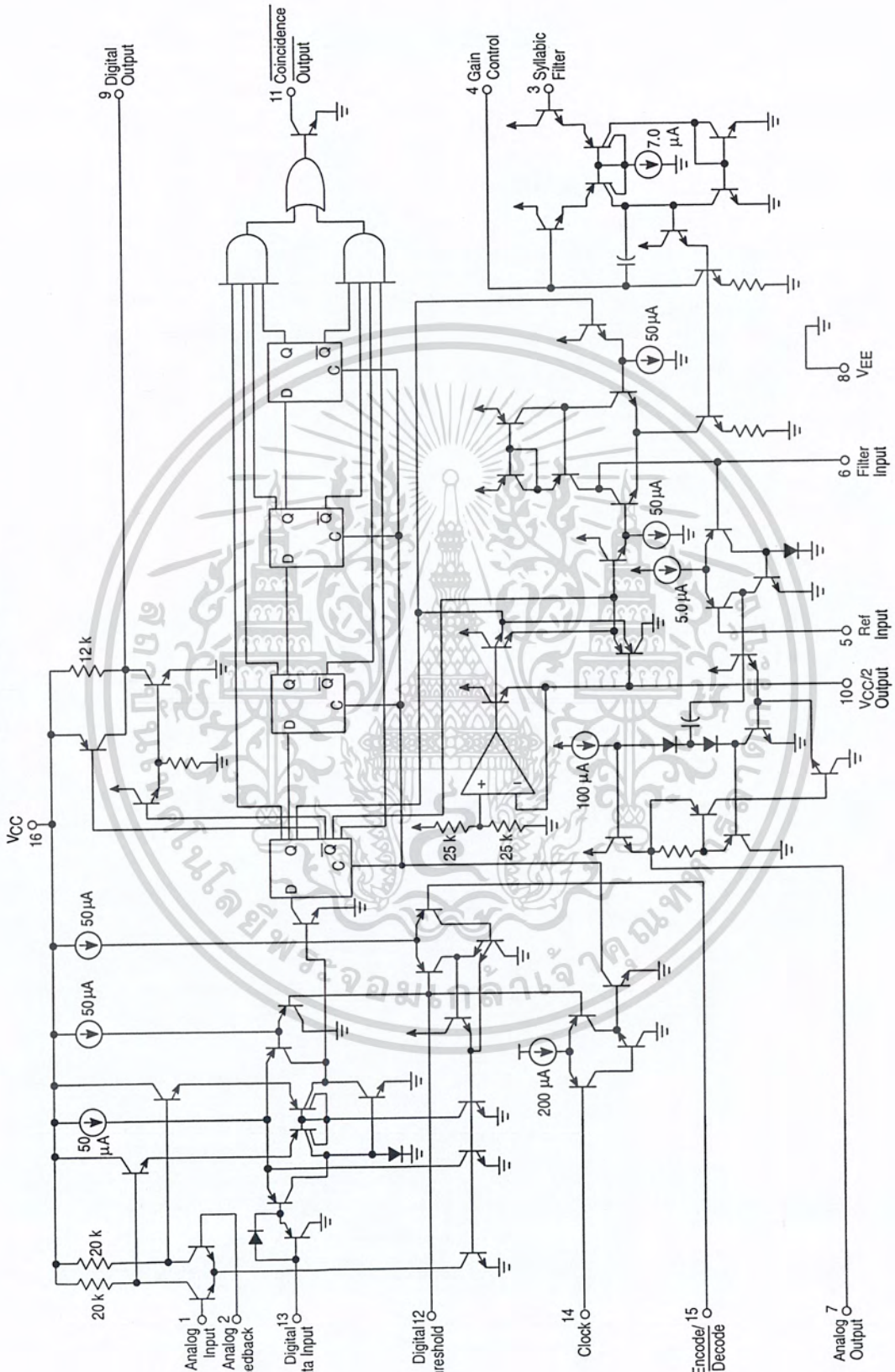
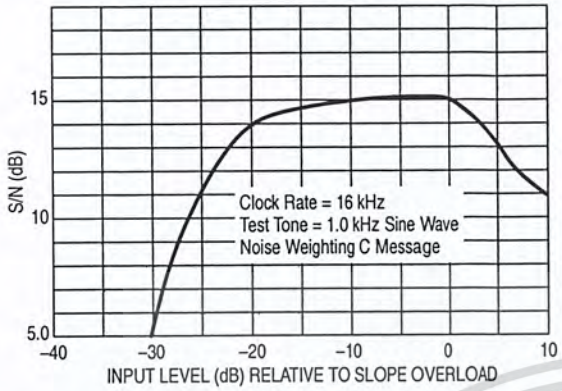


Figure 15. CVSD Circuit Schematic

เอกสารนี้จัดทำขึ้นสำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Figure 16. Signal–to–Noise Performance with Single Integration, Single–Pole and Companding at 16 k Bits (Typical)



Selection of Loop Gain

The gain of the circuit in Figure 14 is set by resistor R_X. R_X must be selected to provide the proper integrator step size for high level signals such that the companding ratio does not exceed about 25%. The companding ratio is the active low duty cycle of the coincidence output on Pin 11 of the codec circuit. Thus the system gain is dependent on:

1. The maximum level and frequency of the input signal.
2. The transfer function of the integration filter.

For voice codecs the typical input signal is taken to be a sine wave at 1.0 kHz of 0 dBmo level. In practice, the useful dynamic range extends about 6.0 dB above the design level. In any system the companding ratio should not exceed 30%.

To calculate the required step size current, we must describe the transfer characteristics of the integration filter. In the basic circuit of Figure 14, a single–pole of 160 Hz is used.

$$R1 = 10\ k\Omega,\ C1 = 0.1\ \mu F$$

$$\frac{V_O}{I_i} = \frac{1}{C\left(S + \frac{1}{RC}\right)} = \frac{K}{S + \omega_o}$$

$$\omega_o = 2\ \pi f$$

$$10^3 = \omega_o = 2\ \pi f$$

$$f = 159.2\ Hz$$

Note that the integration filter produces a single–pole response from 300 to 3.0 kHz. The current required to move the integrator output a specific voltage from zero is simply:

$$I_i = \frac{V_O}{R1} + \left(C1 \times \frac{dV_O}{dt}\right)$$

Now a 0 dBmo sine wave has a peak value of 1.0954 V. In 1/8 of a cycle of a sine wave centered around the zero crossing, the sine wave changes by approximately its peak value. The CVSD step should trace that change. The required current for a 0 dBm 1.0 kHz sine wave is:

$$I_i = \frac{1.1\ V}{*2\ (10\ k\Omega)} + \frac{0.1\ \mu F\ (1.1)}{0.125\ ms} = 0.935\ mA$$

* The maximum voltage across R1 when maximum slew is required is:

$$\frac{1.1\ V}{2}$$

Now the voltage range of the syllabic filter is the power supply voltage, thus:

$$R_X = 0.25\left(V_{CC}\right)\frac{1}{0.935\ mA}$$

A similar procedure can be followed to establish the proper gain for any input level and integration filter type.

Minimum Step Size

The final parameter to be selected for the simple codec in Figure 14 is idle channel step size. With no input signal, the digital output becomes a one–zero alternating pattern and the analog output becomes a small triangle wave. Mismatches of internal currents and offsets limit the minimum step size which will produce a perfect idle channel pattern. The MC3418 is tested to ensure that a 20 mVpp minimum step size at 16 kHz will attain a proper idle channel. The idle channel step size must be twice the specified total loop offset if a one–zero idle pattern is desired. In some applications a much smaller minimum step size (e.g., 0.1 mV) can produce quiet performance without providing a 1 – 0 pattern.

To set the idle channel step size, the value of R_{min} must be selected. With no input signal, the slope control algorithm is inactive. A long series of ones or zeros never occurs. Thus, the voltage across the syllabic filter capacitor (C_S) would decay to zero. However, the voltage divider of R_S and R_{min} (see Figure 14) sets the minimum allowed voltage across the syllabic filter capacitor. That voltage must produce the desired ramps at the analog output. Again we write the filter input current equation:

$$I_i = \frac{V_O}{R1} + C\frac{dV_O}{dt}$$

For values of V_O near $V_{CC}/2$ the V_O/R term is negligible; thus:

$$I_i = C_S\frac{\Delta V_O}{\Delta T}$$

where ΔT is the clock period and ΔV_O is the desired peak–to–peak value of the idle output. For a 16 k bit system using the circuit in Figure 14:

$$I_i = \frac{0.1\ \mu F\ 20\ mV}{62.5\ \mu s} = 33\ \mu A$$

The voltage on C_S which produces a 33 μA current is determined by the value of R_X.

$$I_i R_X = V_S min;\ \text{for } 33\ \mu A,\ V_S min = 41.6\ mV$$

In Figure 14 R_S is 18 kΩ. That selection is discussed with the syllabic filter considerations. The voltage divider of R_S and R_{min} must produce an output of 41.6 mV.

$$V_{CC}\frac{R_S}{R_S + R_{min}} = V_S min \quad R_{min} \simeq 2.4\ M\Omega$$

Having established these four parameters – clock rate, number of shift register bits, loop gain, and minimum step size – the encoder circuit in Figure 14 will function at near optimum performance for input levels around 0 dBm.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

INCREASING CVSD PERFORMANCE

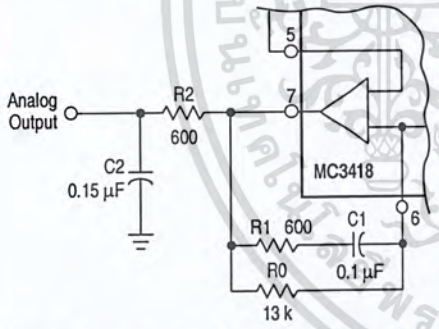
Integration Filter Design

The circuit in Figure 14 uses a single–pole integration network formed with a 0.1 μF capacitor and a 10 kΩ resistor. It is possible to improve the performance of the circuit in Figure 14 by 1.0 or 2.0 dB by using a two–pole integration network. The improved circuit is shown in Figure 17.

The first pole is still placed below 300 Hz to provide the 1/S voice content curve and a second pole is placed somewhere above the 1.0 kHz frequency. For telephony circuits, the second pole can be placed above 1.8 kHz to exceed the 1633 touchtone frequency. In other communication systems, values as low as 1.0 kHz may be selected. In general, the lower in frequency the second pole is placed, the greater the noise improvement. Then, to ensure the encoder loop stability, a zero is added to keep the phase shift less than 180°. This zero should be placed slightly above the low–pass output filter break frequency so as not to reduce the effectiveness of the second pole. A network of 235 Hz, 2.0 kHz, and 5.2 kHz is typical for telephone applications while 160 Hz, 1.2 kHz, and 2.8 kHz might be used in voice only channels. (Voice only channels can use an output low–pass filter which breaks at about 2.5 kHz.) The two–pole network in Figure 17 has a transfer function of:

$$\frac{V_O}{I_i} = \frac{R0R1\left(S + \frac{1}{R1C1}\right)}{R2C2(R0 + R1)\left(S + \frac{1}{(R0+R1)C1}\right)S + \left(\frac{1}{R2C2}\right)}$$

Figure 17. Improved Filter Configuration



NOTE: These component values are for the telephone channel circuit poles described in the text. The R2, C2 product can be provided with different values of R and C. R2 should be chosen to be equal to the termination resistor on Pin 1.

Thus the two poles and the zero can be selected arbitrarily as long as the zero is at a higher frequency than the first pole. The values in Figure 17 represent one implementation of the telephony filter requirement.

The selection of the two–pole filter network affects the selection of the loop gain value and the minimum step size resistor. The required integrator current for a given change in voltage now becomes:

$$I_i = \frac{V_O}{R0} + \left(\frac{R2C2}{R0} + \frac{R1C1}{R0} + C1\right)\frac{\Delta V_O}{\Delta T} + \left(R2C2C1 + \frac{R1C1R2C2}{R0}\right)\frac{\Delta V_O{}^2}{\Delta T^2}$$

The calculation of desired gain resistor R_X then proceeds exactly as previously described.

Syllabic Filter Design

The syllabic filter in Figure 14 is a simple single–pole network of 18 kΩ and 0.33 μF. This produces a 6.0 ms time constant for the averaging of the coincidence output signal. The voltage across the capacitor determines the integrator current which in turn establishes the step size. The integrator current and the resulting step size determine the companding ratio and the S/N performance. The companding ratio is defined as the voltage across C_S/V_{CC}.

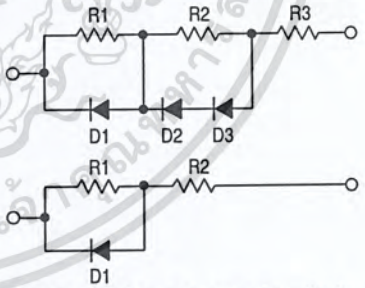
The S/N performance may be improved by modifying the voltage to current transformation produced by R_X. If different portions of the total R_X are shunted by diodes, the integrator current can be other than $(V_{CC} - V_S)/R_X$. These breakpoint curves must be designed experimentally for the particular system application. In general, one would wish that the current would double with input level. To design the desired curve, supply current to Pin 4 of the codec from an external source. Input a signal level and adjust the current until the S/N performance is optimum. Then record the syllabic filter voltage and the current. Repeat this for all desired signal levels. Then derive the resistor diode network which produces that curve on a curve tracer.

Once the network is designed with the curve tracer, it is then inserted in place of R_X in the circuit and the forced optimum noise performance will be achieved from the active syllabic algorithm.

Diode breakpoint networks may be very simple or moderately complex and can improve the usable dynamic range of any codec. In the past they have been used in high performance telephone codecs.

Typical resistor–diode networks are shown in Figure 18.

Figure 18. Resistor–Diode Networks



If the performance of more complex diode networks is desired, the circuit in Figure 19 should be used. It simulates the companding characteristics of nonlinear R_X elements in a different manner.

Output Low Pass Filter

A low pass filter is required at the receiving circuit output to eliminate quantizing noise. In general, the lower the bit rate, the better the filter must be. The filter in Figure 21 provides excellent performance for 12 to 40 kHz systems.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

TELEPHONE CARRIER QUALITY CODEC

Two specifications of the integrated circuit are specifically intended to meet the performance requirements of commercial telephone systems. First, slope polarity switch current matching is laser trimmed to guarantee proper idle channel performance with 5.0 mV minimum step size and a typical 1.0% current match from 15 μA to 3.0 mA. Thus a 300 to 1 range of step size variation is possible. Second, the MC3418 provides the 4–bit algorithm currently used in subscriber loop telephone systems. With these specifications and the circuit of Figure 19, a telephone quality codec can be mass produced.

The circuit in Figure 19 provides a 30 dB S/Nc ratio over 50 dB of dynamic range for a 1.0 kHz test tone at a 37.7 k bit rate. At 37.7 k bits, 40 voice channels may be multiplexed on a standard 1.544 MB T1 facility. This codec has also been tested for 10^{-7} error rates with asynchronous and synchronous data up to 2400 baud and for reliable performance with DTMF signaling. Thus, the design is applicable in telephone quality subscriber loop carrier systems, subscriber loop concentrators, and small PABX installations.

The Active Companding Network

The unique feature of the codec in Figure 19 is the step size control circuit which uses a companding ratio reference, the present step size, and the present syllabic filter output to establish the optimum companding ratios and step sizes for any given input level. The companding ratio of a CVSD codec is defined as the duty cycle of the coincidence output. It is the parameter measured by the syllabic filter and is the voltage across C_S divided by the voltage swing of the coincidence output. In Figure 19, the voltage swing of Pin 11 is 6.0 V. The operating companding ratio is analoged by the voltage between Pins 10 and 4 by means of the virtual short across Pins 3 and 4 of the V to I op amp within the integrated circuit. Thus, the instantaneous companding ratio of the codec is always available at the negative input of A1.

The diode D1 and the gain of A1 and A2 provide a companding ratio reference for any input level. If the output of A2 is more than 0.7 V below $V_{CC}/2$, then the positive input of A1 is ($V_{CC}/2$ – 0.7). The on diode drop at the input of A1 represents a 12% companding ratio (12% = 0.7 V/6.0 V).

The present step size of the operating codec is directly related to the voltage across R_X, which established the integrator current. In Figure 19, the voltage across R_X is amplified by the differential amplifier A2 whose output is single ended with respect to Pin 10 of the IC.

For large signal inputs, the step size is large and the output of A2 is lower than 0.7 V. Thus D1 is fully on. The present step size is not a factor in the step size control. However, the difference between 12% companding ratio and the instantaneous companding ratio at Pin 4 is amplified by A1. The output of A1 changes the voltage across R_X in a direction which reduces the difference between the companding reference and the operating ratio by changing the step size. The ratio of R4 and R3 determines how closely the voltage at Pin 4 will be forced to 12%. The selection of R3 and R4 is initially experimental. However, the resulting companding control is dependent on R_X, R3, R4, and the full diode drop D1. These values are easy to reproduce from codec to codec.

For small input levels, the companding ratio reference becomes the output of A2 rather than the diode drop. The operating companding ratio on Pin 4 is then compared to a companding ratio smaller than 12% which is determined by the voltage drop across R_X and the gain of A2 and A1. The gain of A2 is also experimentally determined, but once determined, the circuitry is easily repeated.

With no input signal, the companding ratio at Pin 4 goes to zero and the voltage across R_X goes to zero. The voltage at the output of A2 becomes zero since there is no drop across R_X. With no signal input, the actively controlled step size vanished.

The minimum step size is established by the 500 k resistor between V_{CC} and Pin 4 and is therefore independently selectable.

The signal to noise results of the active companding network are shown in Figure 20. A smooth 2.0 dB drop is realized from 12 dBm to –24 under the control of A1. At –24 dBm, A2 begins to degenerate the companding reference and the resulting step size is reduced so as to extend the dynamic range of the codec by 20 dBm.

The slope overload characteristic is also shown. The active companding network produces improved performance with frequency. The 0 dBm slope overload point is raised to 4.8 kHz because of the gain available in controlling the voltage across R_X. The curves demonstrate that the level linearity has been maintained or improved.*

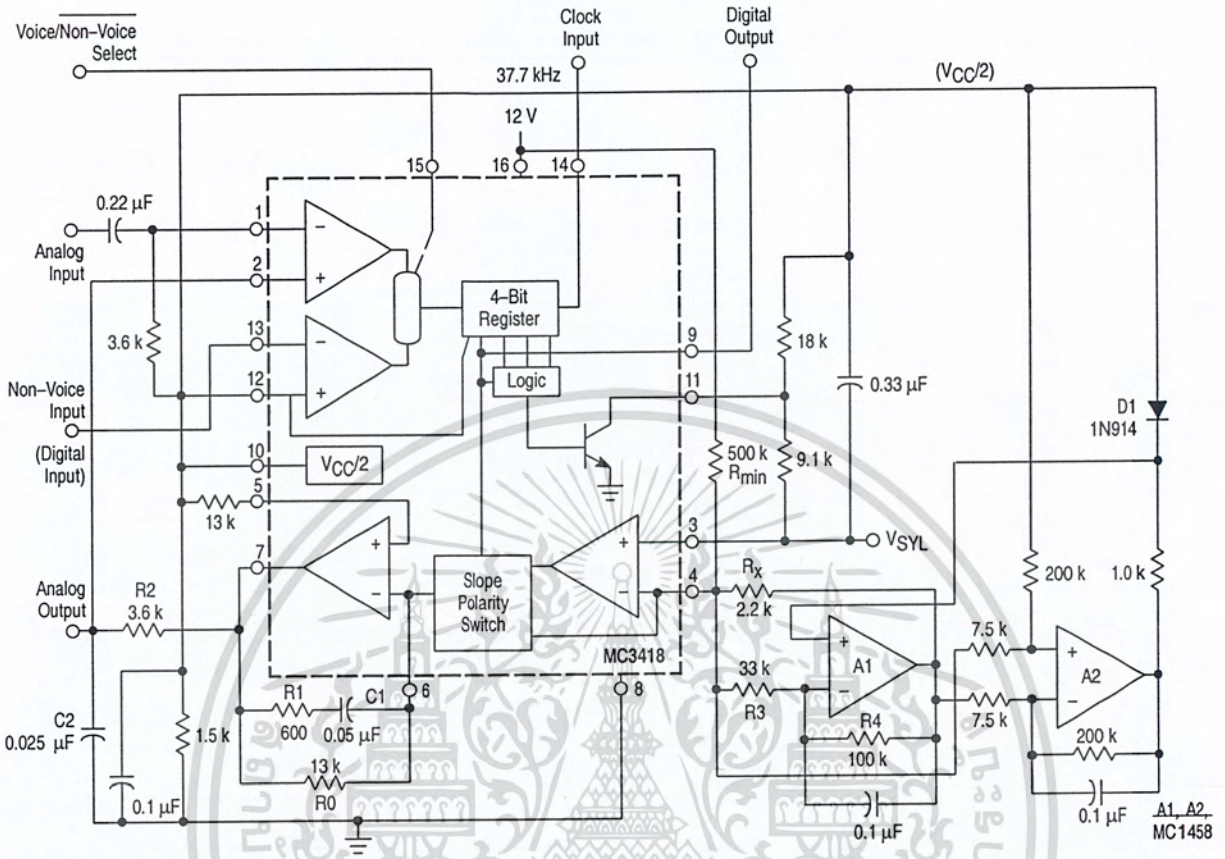
The codec in Figure 19 is designed specifically for 37.7 k bit systems. However, the benefits of the active companding network are not limited to high bit rate systems. By modifying the crossover region (changing the gain of A2), the active technique may be used to improve the performance of lower bit rate systems.

The performance and repeatability of the codec in Figure 19 represents a significant step forward in the art and cost of CVSD codec designs.

*A larger value for C2 is required in the decoder circuit than in the encoder to adjust the level linearity with frequency. In Figure 19, 0.050 μF would work well.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Figure 19. Telephone Quality Deltamod Coder*



* Both double integration and active companding control are used to obtain improved CVSD performance. Laser trimming of the integrated circuit provides reliable idle channel and step size range characteristics.

เอกสารนี้จัดทำขึ้นสำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

May 1998

National Semiconductor

LM741
Operational Amplifier

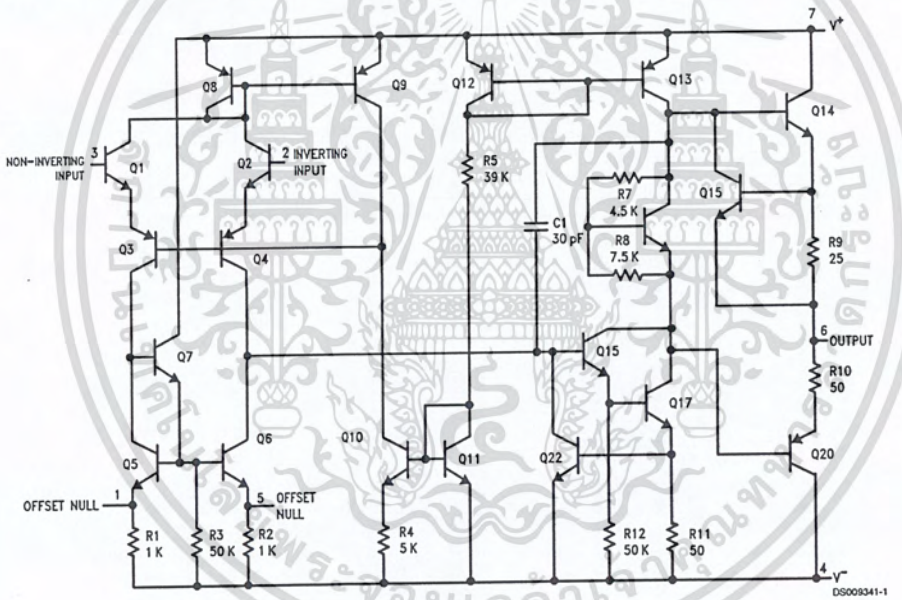
General Description

The LM741 series are general purpose operational amplifiers which feature improved performance over industry standards like the LM709. They are direct, plug-in replacements for the 709C, LM201, MC1439 and 748 in most applications.

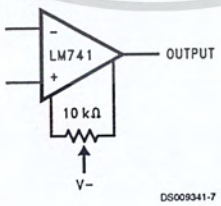
The amplifiers offer many features which make their application nearly foolproof: overload protection on the input and output, no latch-up when the common mode range is exceeded, as well as freedom from oscillations.

The LM741C/LM741E are identical to the LM741/LM741A except that the LM741C/LM741E have their performance guaranteed over a 0°C to +70°C temperature range, instead of −55°C to +125°C.

Schematic Diagram



Offset Nulling Circuit



© 1999 National Semiconductor Corporation

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Absolute Maximum Ratings (Note 1)

If Military/Aerospace specified devices are required, please contact the National Semiconductor Sales Office/ Distributors for availability and specifications.

(Note 6)

	LM741A	LM741E	LM741	LM741C
Supply Voltage	±22V	±22V	±22V	±18V
Power Dissipation (Note 2)	500 mW	500 mW	500 mW	500 mW
Differential Input Voltage	±30V	±30V	±30V	±30V
Input Voltage (Note 3)	±15V	±15V	±15V	±15V
Output Short Circuit Duration	Continuous	Continuous	Continuous	Continuous
Operating Temperature Range	−55°C to +125°C	0°C to +70°C	−55°C to +125°C	0°C to +70°C
Storage Temperature Range	−65°C to +150°C	−65°C to +150°C	−65°C to +150°C	−65°C to +150°C
Junction Temperature	150°C	100°C	150°C	100°C
Soldering Information				
N-Package (10 seconds)	260°C	260°C	260°C	260°C
J- or H-Package (10 seconds)	300°C	300°C	300°C	300°C
M-Package				
Vapor Phase (60 seconds)	215°C	215°C	215°C	215°C
Infrared (15 seconds)	215°C	215°C	215°C	215°C
See AN-450 "Surface Mounting Methods and Their Effect on Product Reliability" for other methods of soldering surface mount devices.				
ESD Tolerance (Note 7)	400V	400V	400V	400V

Electrical Characteristics (Note 4)

Parameter	Conditions	LM741A/LM741E			LM741			LM741C			Units
		Min	Typ	Max	Min	Typ	Max	Min	Typ	Max	
Input Offset Voltage	$T_A = 25°C$										
	$R_S \le 10\ k\Omega$					1.0	5.0		2.0	6.0	mV
	$R_S \le 50\Omega$		0.8	3.0							mV
	$T_{AMIN} \le T_A \le T_{AMAX}$										
	$R_S \le 50\Omega$			4.0							mV
	$R_S \le 10\ k\Omega$						6.0			7.5	mV
Average Input Offset Voltage Drift				15							µV/°C
Input Offset Voltage Adjustment Range	$T_A = 25°C$, $V_S = \pm 20V$	±10				±15			±15		mV
Input Offset Current	$T_A = 25°C$		3.0	30		20	200		20	200	nA
	$T_{AMIN} \le T_A \le T_{AMAX}$			70		85	500			300	nA
Average Input Offset Current Drift				0.5							nA/°C
Input Bias Current	$T_A = 25°C$		30	80		80	500		80	500	nA
	$T_{AMIN} \le T_A \le T_{AMAX}$			0.210			1.5			0.8	µA
Input Resistance	$T_A = 25°C$, $V_S = \pm 20V$	1.0	6.0		0.3	2.0		0.3	2.0		MΩ
	$T_{AMIN} \le T_A \le T_{AMAX}$, $V_S = \pm 20V$	0.5									MΩ
Input Voltage Range	$T_A = 25°C$							±12	±13		V
	$T_{AMIN} \le T_A \le T_{AMAX}$				±12	±13					V

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Electrical Characteristics (Note 4) (Continued)

Parameter	Conditions	LM741A/LM741E			LM741			LM741C			Units
		Min	Typ	Max	Min	Typ	Max	Min	Typ	Max	
Large Signal Voltage Gain	$T_A = 25°C$, $R_L \geq 2\ k\Omega$										
	$V_S = \pm 20V$, $V_O = \pm 15V$	50									V/mV
	$V_S = \pm 15V$, $V_O = \pm 10V$				50	200		20	200		V/mV
	$T_{AMIN} \leq T_A \leq T_{AMAX}$, $R_L \geq 2\ k\Omega$,										
	$V_S = \pm 20V$, $V_O = \pm 15V$	32									V/mV
	$V_S = \pm 15V$, $V_O = \pm 10V$				25			15			V/mV
	$V_S = \pm 5V$, $V_O = \pm 2V$	10									V/mV
Output Voltage Swing	$V_S = \pm 20V$										
	$R_L \geq 10\ k\Omega$	±16									V
	$R_L \geq 2\ k\Omega$	±15									V
	$V_S = \pm 15V$										
	$R_L \geq 10\ k\Omega$				±12	±14		±12	±14		V
	$R_L \geq 2\ k\Omega$				±10	±13		±10	±13		V
Output Short Circuit Current	$T_A = 25°C$	10	25	35		25			25		mA
	$T_{AMIN} \leq T_A \leq T_{AMAX}$	10		40							mA
Common-Mode Rejection Ratio	$T_{AMIN} \leq T_A \leq T_{AMAX}$										
	$R_S \leq 10\ k\Omega$, $V_{CM} = \pm 12V$				70	90		70	90		dB
	$R_S \leq 50\Omega$, $V_{CM} = \pm 12V$	80	95								dB
Supply Voltage Rejection Ratio	$T_{AMIN} \leq T_A \leq T_{AMAX}$, $V_S = \pm 20V$ to $V_S = \pm 5V$										
	$R_S \leq 50\Omega$	86	96								dB
	$R_S \leq 10\ k\Omega$				77	96		77	96		dB
Transient Response	$T_A = 25°C$, Unity Gain										
Rise Time			0.25	0.8		0.3			0.3		μs
Overshoot			6.0	20		5			5		%
Bandwidth (Note 5)	$T_A = 25°C$	0.437	1.5								MHz
Slew Rate	$T_A = 25°C$, Unity Gain	0.3	0.7			0.5			0.5		V/μs
Supply Current	$T_A = 25°C$					1.7	2.8		1.7	2.8	mA
Power Consumption	$T_A = 25°C$										
	$V_S = \pm 20V$		80	150							mW
	$V_S = \pm 15V$					50	85		50	85	mW
LM741A	$V_S = \pm 20V$										
	$T_A = T_{AMIN}$			165							mW
	$T_A = T_{AMAX}$			135							mW
LM741E	$V_S = \pm 20V$										
	$T_A = T_{AMIN}$			150							mW
	$T_A = T_{AMAX}$			150							mW
LM741	$V_S = \pm 15V$										
	$T_A = T_{AMIN}$					60	100				mW
	$T_A = T_{AMAX}$					45	75				mW

Note 1: "Absolute Maximum Ratings" indicate limits beyond which damage to the device may occur. Operating Ratings indicate conditions for which the device is functional, but do not guarantee specific performance limits.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Electrical Characteristics (Note 4) (Continued)

Note 2: For operation at elevated temperatures, these devices must be derated based on thermal resistance, and T_j max. (listed under "Absolute Maximum Ratings"). $T_j = T_A + (\theta_{jA} P_D)$.

Thermal Resistance	Cerdip (J)	DIP (N)	HO8 (H)	SO-8 (M)
θ_{jA} (Junction to Ambient)	100°C/W	100°C/W	170°C/W	195°C/W
θ_{jC} (Junction to Case)	N/A	N/A	25°C/W	N/A

Note 3: For supply voltages less than ±15V, the absolute maximum input voltage is equal to the supply voltage.

Note 4: Unless otherwise specified, these specifications apply for V_S = ±15V, −55°C ≤ T_A ≤ +125°C (LM741/LM741A). For the LM741C/LM741E, these specifications are limited to 0°C ≤ T_A ≤ +70°C.

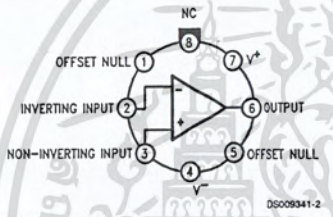
Note 5: Calculated value from: BW (MHz) = 0.35/Rise Time(μs).

Note 6: For military specifications see RETS741X for LM741 and RETS741AX for LM741A.

Note 7: Human body model, 1.5 kΩ in series with 100 pF.

Connection Diagram

Metal Can Package

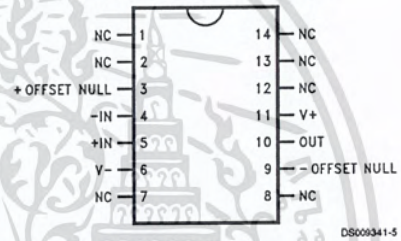


DS009341-2

Note 8: LM741H is available per JM38510/10101

Order Number LM741H, LM741H/883 (Note 8), LM741AH/883 or LM741CH
See NS Package Number H08C

Ceramic Dual-In-Line Package



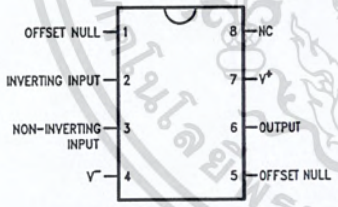
DS009341-5

Note 9: also available per JM38510/10101

Note 10: also available per JM38510/10102

Order Number LM741J-14/883 (Note 9), LM741AJ-14/883 (Note 10)
See NS Package Number J14A

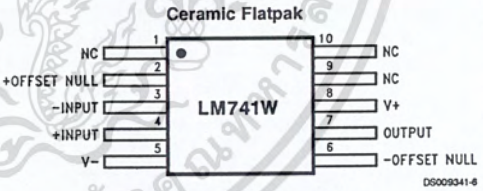
Dual-In-Line or S.O. Package



DS009341-3

Order Number LM741J, LM741J/883, LM741CM, LM741CN or LM741EN
See NS Package Number J08A, M08A or N08E

Ceramic Flatpak



DS009341-6

Order Number LM741W/883
See NS Package Number W10A

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

August 2000

National Semiconductor

LM386
Low Voltage Audio Power Amplifier

General Description

The LM386 is a power amplifier designed for use in low voltage consumer applications. The gain is internally set to 20 to keep external part count low, but the addition of an external resistor and capacitor between pins 1 and 8 will increase the gain to any value from 20 to 200.

The inputs are ground referenced while the output automatically biases to one-half the supply voltage. The quiescent power drain is only 24 milliwatts when operating from a 6 volt supply, making the LM386 ideal for battery operation.

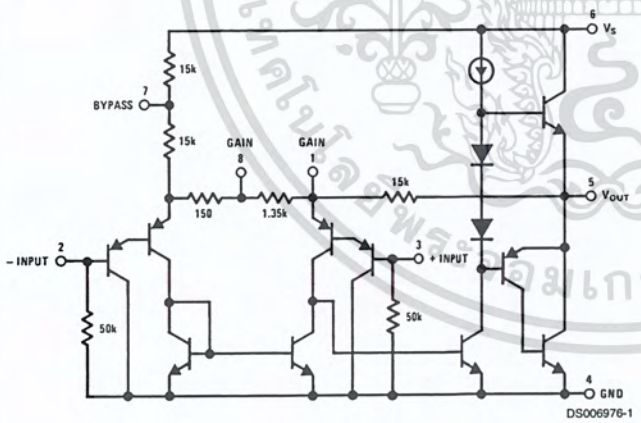
Features

- Battery operation
- Minimum external parts
- Wide supply voltage range: 4V–12V or 5V–18V
- Low quiescent current drain: 4mA
- Voltage gains from 20 to 200
- Ground referenced input
- Self-centering output quiescent voltage
- Low distortion: 0.2% (A_V = 20, V_S = 6V, R_L = 8Ω, P_O = 125mW, f = 1kHz)
- Available in 8 pin MSOP package

Applications

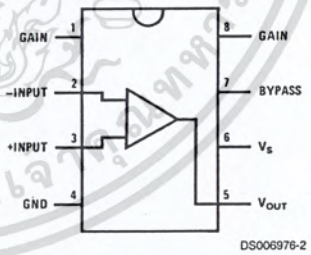
- AM-FM radio amplifiers
- Portable tape player amplifiers
- Intercoms
- TV sound systems
- Line drivers
- Ultrasonic drivers
- Small servo drivers
- Power converters

Equivalent Schematic and Connection Diagrams



DS006976-1

Small Outline, Molded Mini Small Outline, and Dual-In-Line Packages



DS006976-2

Top View
Order Number LM386M-1, LM386MM-1, LM386N-1, LM386N-3 or LM386N-4
See NS Package Number M08A, MUA08A or N08E

© 2000 National Semiconductor Corporation

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Absolute Maximum Ratings (Note 2)

If Military/Aerospace specified devices are required, please contact the National Semiconductor Sales Office/ Distributors for availability and specifications.

Supply Voltage	
(LM386N-1, -3, LM386M-1)	15V
Supply Voltage (LM386N-4)	22V
Package Dissipation (Note 3)	
(LM386N)	1.25W
(LM386M)	0.73W
(LM386MM-1)	0.595W
Input Voltage	±0.4V
Storage Temperature	−65°C to +150°C
Operating Temperature	0°C to +70°C
Junction Temperature	+150°C
Soldering Information	
Dual-In-Line Package	
Soldering (10 sec)	+260°C
Small Outline Package	
(SOIC and MSOP)	
Vapor Phase (60 sec)	+215°C
Infrared (15 sec)	+220°C

See AN-450 "Surface Mounting Methods and Their Effect on Product Reliability" for other methods of soldering surface mount devices.

Thermal Resistance	
θ_{JC} (DIP)	37°C/W
θ_{JA} (DIP)	107°C/W
θ_{JC} (SO Package)	35°C/W
θ_{JA} (SO Package)	172°C/W
θ_{JA} (MSOP)	210°C/W
θ_{JC} (MSOP)	56°C/W

Electrical Characteristics (Notes 1, 2)

T_A = 25°C

Parameter	Conditions	Min	Typ	Max	Units
Operating Supply Voltage (V_S)					
LM386N-1, -3, LM386M-1, LM386MM-1		4		12	V
LM386N-4		5		18	V
Quiescent Current (I_Q)	V_S = 6V, V_{IN} = 0		4	8	mA
Output Power (P_{OUT})					
LM386N-1, LM386M-1, LM386MM-1	V_S = 6V, R_L = 8Ω, THD = 10%	250	325		mW
LM386N-3	V_S = 9V, R_L = 8Ω, THD = 10%	500	700		mW
LM386N-4	V_S = 16V, R_L = 32Ω, THD = 10%	700	1000		mW
Voltage Gain (A_V)	V_S = 6V, f = 1 kHz		26		dB
	10 μF from Pin 1 to 8		46		dB
Bandwidth (BW)	V_S = 6V, Pins 1 and 8 Open		300		kHz
Total Harmonic Distortion (THD)	V_S = 6V, R_L = 8Ω, P_{OUT} = 125 mW		0.2		%
	f = 1 kHz, Pins 1 and 8 Open				
Power Supply Rejection Ratio (PSRR)	V_S = 6V, f = 1 kHz, C_{BYPASS} = 10 μF		50		dB
	Pins 1 and 8 Open, Referred to Output				
Input Resistance (R_{IN})			50		kΩ
Input Bias Current (I_{BIAS})	V_S = 6V, Pins 2 and 3 Open		250		nA

Note 1: All voltages are measured with respect to the ground pin, unless otherwise specified.

Note 2: Absolute Maximum Ratings indicate limits beyond which damage to the device may occur. Operating Ratings indicate conditions for which the device is functional, but do not guarantee specific performance limits. Electrical Characteristics state DC and AC electrical specifications under particular test conditions which guarantee specific performance limits. This assumes that the device is within the Operating Ratings. Specifications are not guaranteed for parameters where no limit is given, however, the typical value is a good indication of device performance.

Note 3: For operation in ambient temperatures above 25°C, the device must be derated based on a 150°C maximum junction temperature and 1) a thermal resistance of 107°C/W junction to ambient for the dual-in-line package and 2) a thermal resistance of 170°C/W for the small outline package.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Application Hints

GAIN CONTROL

To make the LM386 a more versatile amplifier, two pins (1 and 8) are provided for gain control. With pins 1 and 8 open the 1.35 kΩ resistor sets the gain at 20 (26 dB). If a capacitor is put from pin 1 to 8, bypassing the 1.35 kΩ resistor, the gain will go up to 200 (46 dB). If a resistor is placed in series with the capacitor, the gain can be set to any value from 20 to 200. Gain control can also be done by capacitively coupling a resistor (or FET) from pin 1 to ground.

Additional external components can be placed in parallel with the internal feedback resistors to tailor the gain and frequency response for individual applications. For example, we can compensate poor speaker bass response by frequency shaping the feedback path. This is done with a series RC from pin 1 to 5 (paralleling the internal 15 kΩ resistor). For 6 dB effective bass boost: R ≃ 15 kΩ, the lowest value for good stable operation is R = 10 kΩ if pin 8 is open. If pins 1 and 8 are bypassed then R as low as 2 kΩ can be used. This restriction is because the amplifier is only compensated for closed-loop gains greater than 9.

INPUT BIASING

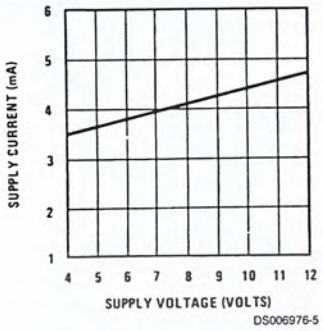
The schematic shows that both inputs are biased to ground with a 50 kΩ resistor. The base current of the input transistors is about 250 nA, so the inputs are at about 12.5 mV when left open. If the dc source resistance driving the LM386 is higher than 250 kΩ it will contribute very little additional offset (about 2.5 mV at the input, 50 mV at the output). If the dc source resistance is less than 10 kΩ, then shorting the unused input to ground will keep the offset low (about 2.5 mV at the input, 50 mV at the output). For dc source resistances between these values we can eliminate excess offset by putting a resistor from the unused input to ground, equal in value to the dc source resistance. Of course all offset problems are eliminated if the input is capacitively coupled.

When using the LM386 with higher gains (bypassing the 1.35 kΩ resistor between pins 1 and 8) it is necessary to bypass the unused input, preventing degradation of gain and possible instabilities. This is done with a 0.1 μF capacitor or a short to ground depending on the dc source resistance on the driven input.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

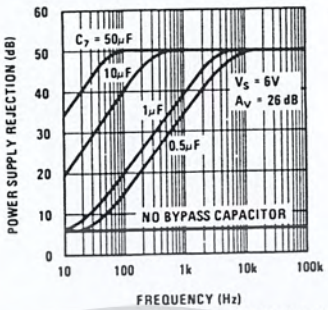
Typical Performance Characteristics

Quiescent Supply Current vs Supply Voltage



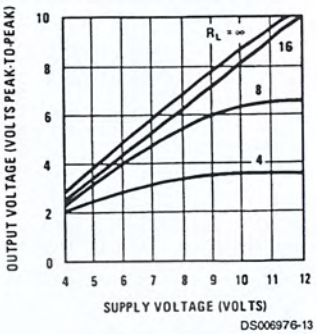
DS006976-5

Power Supply Rejection Ratio (Referred to the Output) vs Frequency



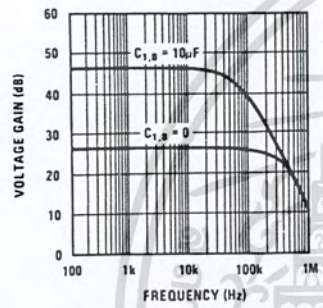
DS006976-12

Peak-to-Peak Output Voltage Swing vs Supply Voltage



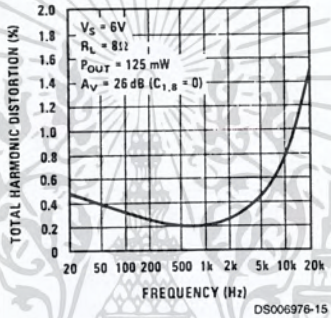
DS006976-13

Voltage Gain vs Frequency



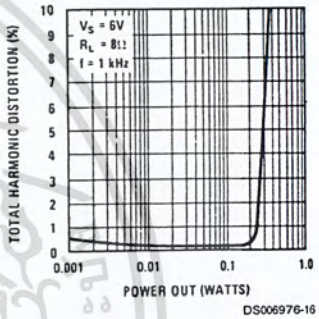
DS006976-14

Distortion vs Frequency



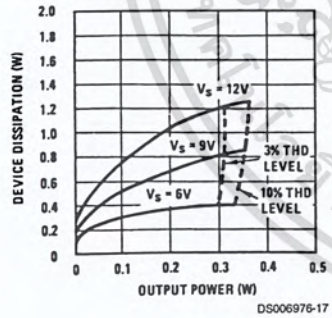
DS006976-15

Distortion vs Output Power



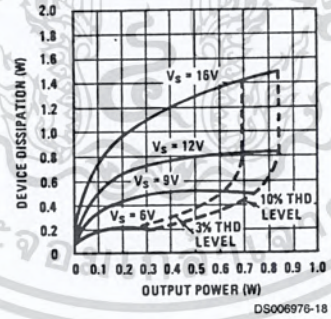
DS006976-16

Device Dissipation vs Output Power—4Ω Load



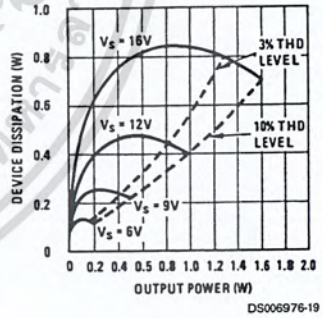
DS006976-17

Device Dissipation vs Output Power—8Ω Load



DS006976-18

Device Dissipation vs Output Power—16Ω Load

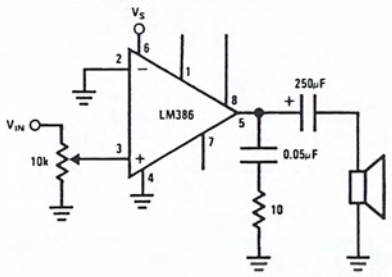


DS006976-19

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

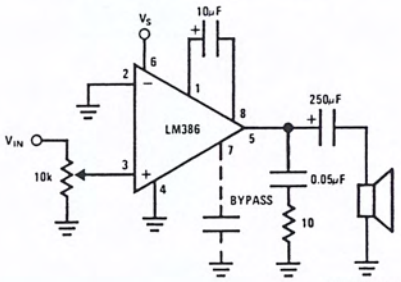
Typical Applications

Amplifier with Gain = 20
Minimum Parts



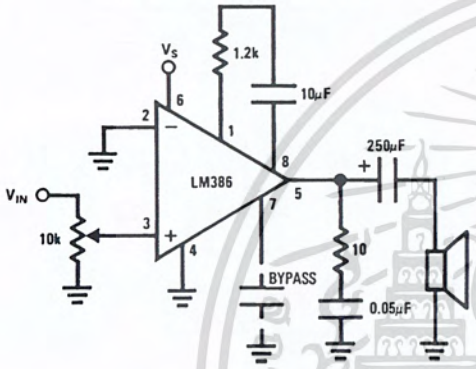
DS006976-3

Amplifier with Gain = 200



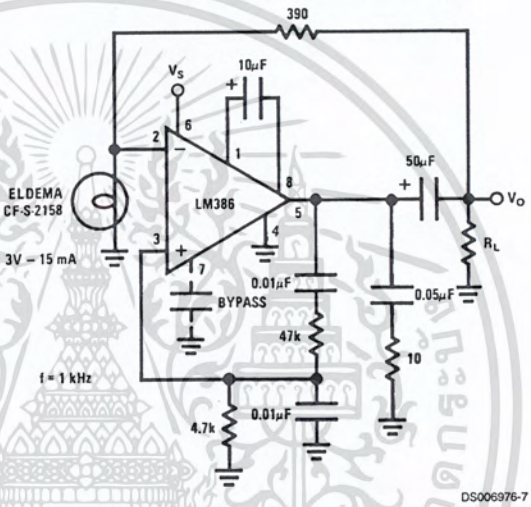
DS006976-4

Amplifier with Gain = 50



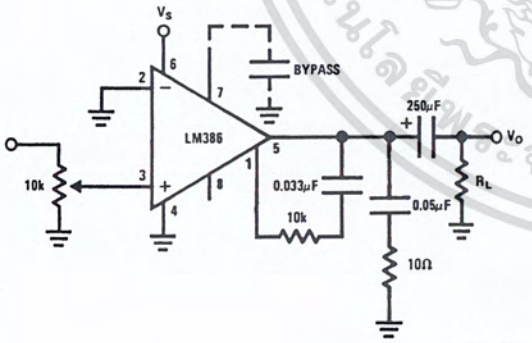
DS006976-6

Low Distortion Power Wienbridge Oscillator



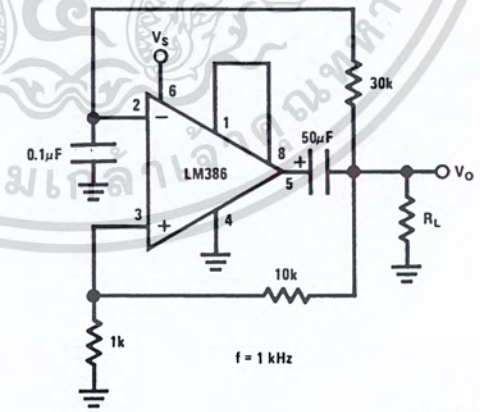
DS006976-7

Amplifier with Bass Boost



DS006976-8

Square Wave Oscillator

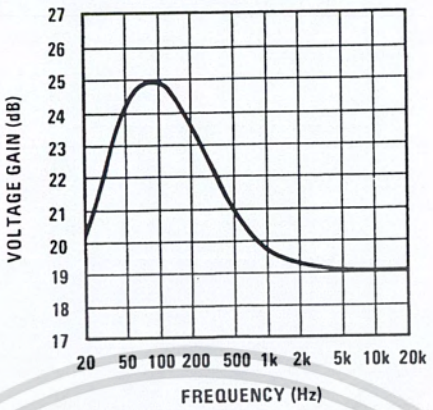


DS006976-9

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

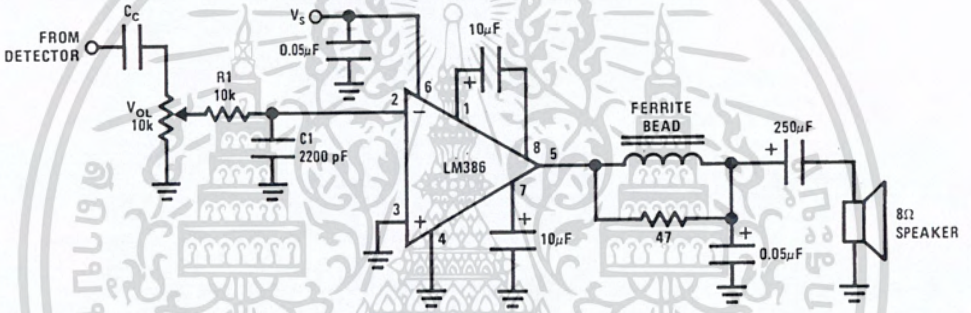
Typical Applications (Continued)

Frequency Response with Bass Boost



DS006976-10

AM Radio Power Amplifier



DS006976-11

Note 4: Twist Supply lead and supply ground very tightly.

Note 5: Twist speaker lead and ground very tightly.

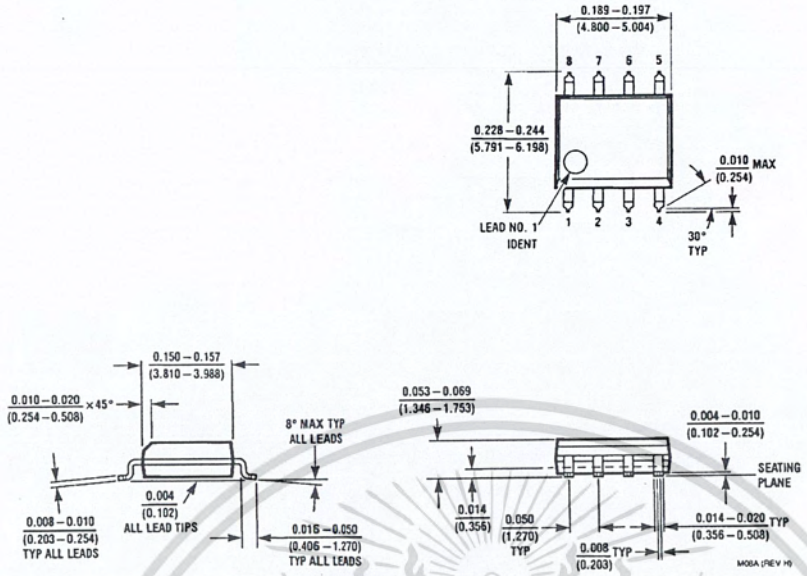
Note 6: Ferrite bead in Ferroxcube K5-001-001/3B with 3 turns of wire.

Note 7: R1C1 band limits input signals.

Note 8: All components must be spaced very closely to IC.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

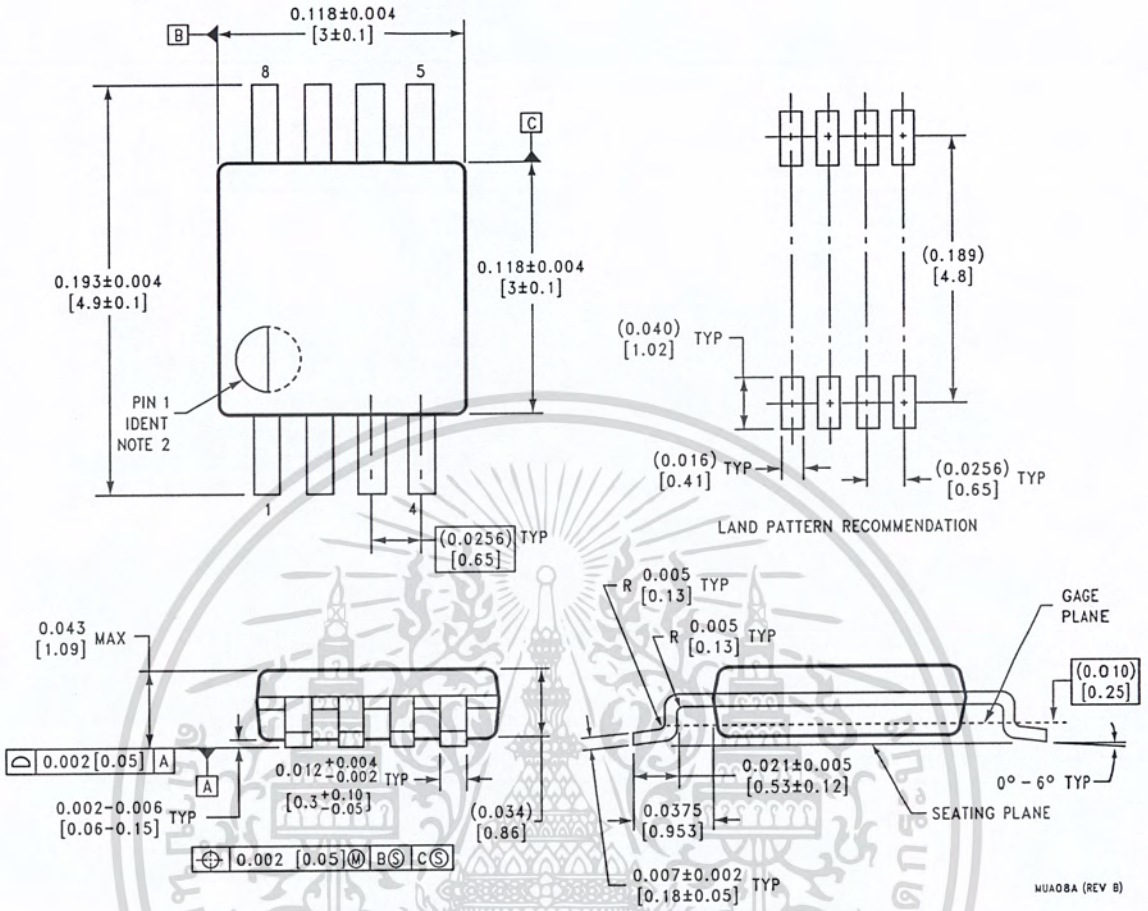
Physical Dimensions inches (millimeters) unless otherwise noted



S0 Package (M)
Order Number LM386M-1
NS Package Number M08A

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

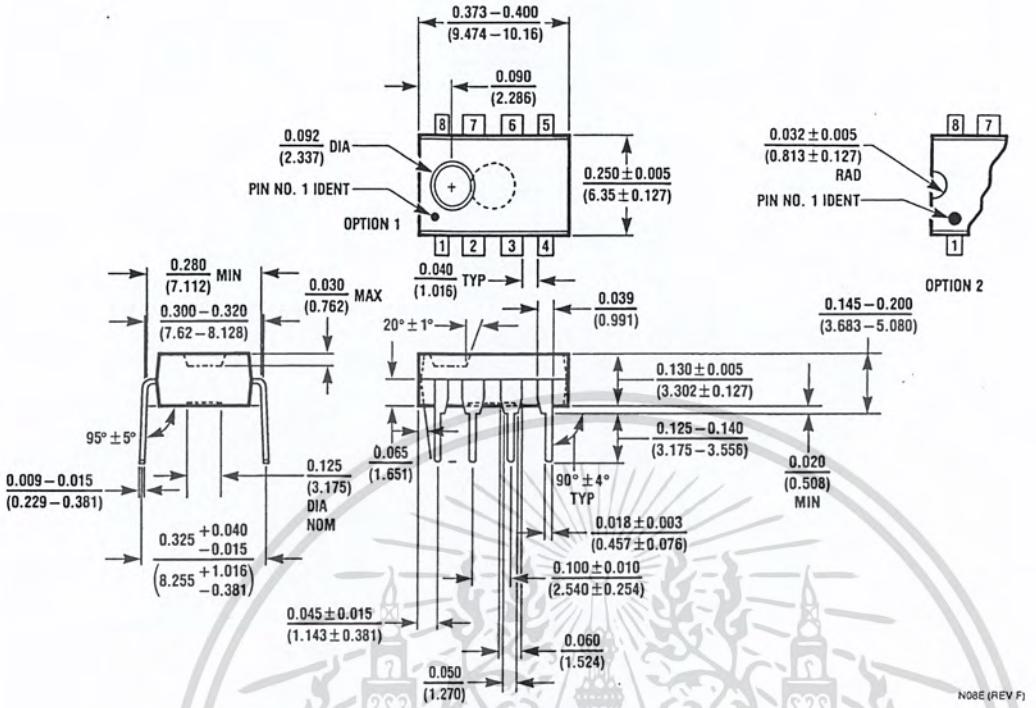
Physical Dimensions inches (millimeters) unless otherwise noted (Continued)



8-Lead (0.118" Wide) Molded Mini Small Outline Package
Order Number LM386MM-1
NS Package Number MUA08A

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Physical Dimensions inches (millimeters) unless otherwise noted (Continued)



Dual-In-Line Package (N)
Order Number LM386N-1, LM386N-3 or LM386N-4
NS Package Number N08E

LIFE SUPPORT POLICY

NATIONAL'S PRODUCTS ARE NOT AUTHORIZED FOR USE AS CRITICAL COMPONENTS IN LIFE SUPPORT DEVICES OR SYSTEMS WITHOUT THE EXPRESS WRITTEN APPROVAL OF THE PRESIDENT AND GENERAL COUNSEL OF NATIONAL SEMICONDUCTOR CORPORATION. As used herein:

1. Life support devices or systems are devices or systems which, (a) are intended for surgical implant into the body, or (b) support or sustain life, and whose failure to perform when properly used in accordance with instructions for use provided in the labeling, can be reasonably expected to result in a significant injury to the user.
2. A critical component is any component of a life support device or system whose failure to perform can be reasonably expected to cause the failure of the life support device or system, or to affect its safety or effectiveness.

National Semiconductor Corporation
Americas
Tel: 1-800-272-9959
Fax: 1-800-737-7018
Email: support@nsc.com
www.national.com

National Semiconductor Europe
Fax: +49 (0) 180-530 85 86
Email: europe.support@nsc.com
Deutsch Tel: +49 (0) 69 9508 6208
English Tel: +44 (0) 870 24 0 2171
Français Tel: +33 (0) 1 41 91 8790

National Semiconductor Asia Pacific Customer Response Group
Tel: 65-2544466
Fax: 65-2504466
Email: ap.support@nsc.com

National Semiconductor Japan Ltd.
Tel: 81-3-5639-7560
Fax: 81-3-5639-7507

National does not assume any responsibility for use of any circuitry described, no circuit patent licenses are implied and National reserves the right at any time without notice to change said circuitry and specifications.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้