

การออกแบบเครื่องชุมสายโทรศัพท์ที่ปลายทางระบบดิจิทัล
DESIGN OF DIGITAL PRIVATE BRANCH EXCHANGE



โดย

นายธีระวัฒน์ รัตนสุภา

นายปกรณ์ รักนิม

เลขหมู่.....
เลขทะเบียน 42204
วัน, เดือน, ปี 15 พ.ค. 2545

b.....
i.....

ปริญญานิพนธ์นี้เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรปริญญาวิศวกรรมศาสตรบัณฑิต
สาขาวิชาวิศวกรรมโทรคมนาคม
สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง
ปีการศึกษา 2543

11/20/2543

การออกแบบเครื่องชุมสายโทรศัพท์ที่ปลายทางระบบดิจิตอล
DESIGN OF DIGITAL PRIVATE BRANCH EXCHANGE



ปริญญานิพนธ์นี้เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรปริญญาวิศวกรรมศาสตรบัณฑิต
สาขาวิชาวิศวกรรมโทรคมนาคม
สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง
ปีการศึกษา 2543

ปริญญานิพนธ์ปีการศึกษา 2543

ภาควิชาวิศวกรรมโทรคมนาคม

คณะวิศวกรรมศาสตร์ สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

เรื่อง การออกแบบเครื่องชุมสายโทรศัพท์ปลายทางระบบดิจิทัล

DESIGN OF DIGITAL PRIVATE BRANCH EXCHANGE

ผู้จัดทำ

1. นายธีระวัฒน์ รัตนสุภา 41013014
- 2 นายปกรณ์ รักนิม 41013018



..... อาจารย์ที่ปรึกษา

(อาจารย์พิเศษ ม่วงนวล)



การออกแบบเครื่องชุมสายโทรศัพท์ปลายทางระบบดิจิทัล
DESIGN OF DIGITAL PRIVATE BRANCH EXCHANGE

โดย นายธีระวัฒน์ รัตนสุภา 41013014
นายปกรณ์ รักฉิม 41013018

อาจารย์ที่ปรึกษา อาจารย์พิเชฐ ม่วงนวล

บทคัดย่อ

เทคโนโลยีทางด้านโทรศัพท์ในปัจจุบันได้มีการพัฒนาโครงข่ายจากระบบอนาล็อกไปสู่ระบบดิจิทัล จึงทำให้เกิดบริการใหม่ๆขึ้น เช่น อินเทอร์เน็ต ในปฏิญานพนธ์ฉบับนี้จึงจะนำเสนอเกี่ยวกับการออกแบบเครื่องชุมสายโทรศัพท์ปลายทางระบบดิจิทัล (Design of Digital Private Branch Exchange) ซึ่งการทำงานจะสามารถเคลื่อนย้ายข้อมูลกันได้ระหว่างเทอร์มินอลและจะมีเทอร์มินอลได้จำนวนหลายๆ ตัว

ABSTRACT

Telephony network developed from analog system to digital system in order to serve new service. In this paper , we present a design of digital private branch exchange. It allow users to connect between terminal. User can have multiple terminals.

สารบัญรูปภาพ

สารบัญตาราง

บทที่ 1	บทนำ	1
บทที่ 2	ทฤษฎีและหลักการ	2
	2.1 พัฒนาการของระบบโทรศัพท์	2
	2.2 สถาปัตยกรรมของชุมสายโทรศัพท์ปลายทางระบบดิจิทัล (DPBX Architecture)	10
	2.3 การเข้ารหัสด้วยหลักการพัลส์โค้ดมอดูเลชัน	16
	2.4 หลักการของการสวิตซ์ในชุมสายโทรศัพท์ระบบดิจิทัล	21
	2.5 ทฤษฎีของการสลับช่วงเวลา	26
	2.6 เทคโนโลยีในการสื่อสารข้อมูลที่ใช้ในการออกแบบ	37
บทที่ 3	การคำนวณและการสร้าง	48
	3.1 โครงสร้างของเครื่องชุมสายโทรศัพท์ปลายทางระบบดิจิทัลที่ได้ออกแบบขึ้น	48
	3.2 การออกแบบส่วนอุปกรณ์เชื่อมต่อคู่สาย (Line Interface)	49
	3.3 ส่วนเชื่อมต่อกับโครงข่ายชุมสายโทรศัพท์ท้องถิ่น	64
	3.4 ส่วนควบคุมกลางของชุมสายโทรศัพท์ที่ได้ออกแบบขึ้น	67
	3.5 โปรแกรมสำหรับกำหนดการทำงานเริ่มต้นของส่วนควบคุมกลาง	69
	3.6 โปรแกรมสำหรับควบคุมการทำงานของส่วนอุปกรณ์เชื่อมต่อคู่สาย	70
	3.7 โปรแกรมสำหรับควบคุมการติดต่อกับโครงข่ายชุมสายโทรศัพท์ท้องถิ่น	80
บทที่ 4	การทดลองและผลการทดลอง	82
	4.1 วงจรถอดรหัสสัญญาณ DTMF	82
	4.2 วงจรสร้างสัญญาณโทรศัพท์ (TONE GENERATOR)	83
	4.3 วงจรสร้างสัญญาณนาฬิกา	88
	4.4 วงจรส่วนตรวจจับสัญญาณเรียก	91
	4.5 ผลการทดลองวงจรเปลี่ยนสัญญาณอนาล็อกเป็นสัญญาณดิจิทัล	94
บทที่ 5	บทวิจารณ์และบทสรุป	96
	ภาคผนวก	
	กิตติกรรมประกาศ	
	บรรณานุกรม	

สารบัญรูปภาพ

		หน้าที่
รูปที่ 2.1	แสดงหลักการต่อสวิตช์ของชุมสายโทรศัพท์ท่อนาล็อก	2
รูปที่ 2.2	แสดงหลักการของชุมสายโทรศัพท์แบบดิจิทัล	3
รูปที่ 2.3	การปรับปรุงระบบโครงข่ายโทรศัพท์จากอนาล็อกสู่ดิจิทัล	4
รูปที่ 2.4	การลดทอนในสายส่งสัญญาณ	5
รูปที่ 2.5	ระบบโครงข่ายการให้บริการร่วมแบบดิจิทัล (ISDN)	6
รูปที่ 2.6	การเข้ารหัสสัญญาณดิจิทัลแบบต่างๆ	7
รูปที่ 2.7	แสดงการรับส่งสัญญาณแบบดิจิทัล	8
รูปที่ 2.8	แสดงองค์ประกอบฮาร์ดแวร์ของสัญญาณแบบดิจิทัล	9
รูปที่ 2.9	แสดงการเข้ารหัส PCM และการมัลติเพล็กซ์แบบดิจิทัล	10
รูปที่ 2.10	แสดงบล็อกไดอะแกรมของ DPBX ทัวไป	11
รูปที่ 2.11	แสดงโครงสร้างของส่วนเชื่อมต่อกับอุปกรณ์สื่อสารปลายทาง	12
รูปที่ 2.12	แสดงการเชื่อมต่อแบบดิจิทัลมัลติอินเตอร์เฟส	14
รูปที่ 2.13	แสดงโครงสร้างของส่วนวงจรเสียงพูดผ่านโดยทั่วไป	14
รูปที่ 2.14	แสดงโครงสร้างของส่วนควบคุมระบบมัลติโปรเซสเซอร์	16
รูปที่ 2.15	กระบวนการเข้ารหัสและถอดรหัสของระบบ PCM	17
รูปที่ 2.16	กระบวนการเข้ารหัสและถอดรหัส (โดเมนเวลาและโดเมนความถี่)	18
รูปที่ 2.17	การผิดเพี้ยนที่เกิดจากการสอดแทรก	19
รูปที่ 2.18	ค่าตัวอย่างสัญญาณที่ชักค่าออกมาได้จะถูกประมาณด้วยค่าระดับดิสครีตที่ใกล้ที่สุด	20
รูปที่ 2.19	ความสัมพันธ์ระหว่างระดับสัญญาณอินพุตและเอาต์พุตของวงจรควอนไทเซชัน	20
รูปที่ 2.20	แสดงตัวอย่างของสวิตช์นิ่งเทวีร์คผ่านสวิตช์ในดต่างๆ	21
รูปที่ 2.21	สวิตช์แบบสเปซดิวิชั่น	27
รูปที่ 2.22	แสดงสวิตช์แบบสเปซดิวิชั่นแบบ 3 สเตท	28
รูปที่ 2.23	แสดงตัวอย่างของการบล็อกกิ้งที่เกิดขึ้นในสวิตช์ 3 สเตท	29
รูปที่ 2.24	แสดงสวิตช์แบบ 3 สเตท ที่ไม่มีการบล็อกกิ้ง	30
รูปที่ 2.25	TDM แบบซิงค์โครไนส์	32
รูปที่ 2.26	แสดงสวิตช์แบบ TDM บัส	33
รูปที่ 2.27	แสดงการควบคุมการสวิตช์ใน TDM บัส	34

สารบัญรูปภาพ (ต่อ)

		หน้าที่
รูปที่ 2.28	แสดงหลักการ TSI	35
รูปที่ 2.29	แสดงโครงข่ายสวิตชิงแบบมัลติสเตทขนาด 3 สเตท (a) STS (b) TST	36
รูปที่ 2.30	แสดงการส่งข้อมูลแบบขนาน	38
รูปที่ 2.31	แสดงการส่งข้อมูลแบบอนุกรม	38
รูปที่ 2.32	แสดงรูปแบบของการส่งข้อมูลของการสื่อสารข้อมูลอนุกรม แบบอะซิงค์ไครนัส	39
รูปที่ 2.33	แสดงรูปแบบของซอฟต์แวร์ XMODEM	40
รูปที่ 2.34	แสดงลักษณะการทำงานของซอฟต์แวร์ XMODEM	41
รูปที่ 2.35	แสดงโครงสร้างของข้อมูลของซอฟต์แวร์ Bisync	43
รูปที่ 2.36	แสดงรูปแบบที่ใช้ในการส่งข้อมูล SDLC / HDLC	44
รูปที่ 2.37	แสดงช่วงของแรงดันไฟฟ้าที่ใช้ในสัญญาณ RS-232C	45
รูปที่ 2.38	แสดงลักษณะการต่อของคอนเน็คเตอร์ DB-25	46
รูปที่ 3.1	แสดงโครงสร้างของเครื่องชุมสายโทรศัพท์ปลายทางระบบดิจิทัล ที่ได้ทำการออกแบบขึ้น	48
รูปที่ 3.2	แสดงโครงสร้างของส่วนอุปกรณ์เชื่อมต่อคู่สาย	49
รูปที่ 3.3	แสดงวงจรของส่วนวงจรประจำเครื่องที่ใช้อุปกรณ์ที่ได้จากการคำนวณ	51
รูปที่ 3.4	แสดงลักษณะการเชื่อมต่อระหว่างเครื่องไมโครคอมพิวเตอร์กับส่วนอุปกรณ์ เชื่อมต่อคู่สาย	52
รูปที่ 3.5	แสดงบล็อกไดอะแกรมของส่วนประมวลผลของส่วนอุปกรณ์เชื่อมต่อคู่สาย	53
รูปที่ 3.6	แสดงวงจรของส่วนประมวลผลของส่วนอุปกรณ์เชื่อมต่อคู่สาย	54
รูปที่ 3.7	แสดงไทม์มิงไดอะแกรมการทำงานของ Int.0 และ Int.1	55
รูปที่ 3.8	แสดงวงจรของส่วนวงจรเข้า-ถอดรหัสสัญญาณดิจิทัล และวงจรรองความถี่	56
รูปที่ 3.9	แสดงบล็อกไดอะแกรมของส่วนเชื่อมต่อกับคู่สายโทรศัพท์	57
รูปที่ 3.10	แสดงวงจรของส่วนเชื่อมต่อคู่สายโทรศัพท์	57
รูปที่ 3.11	แสดงไทม์มิงไดอะแกรมของการรับ-ส่งสัญญาณของส่วนเชื่อมต่อ คู่สายโทรศัพท์	58
รูปที่ 3.12	แสดงบล็อกไดอะแกรมของส่วนสร้างสัญญาณนาฬิกาเพื่อควบคุม การถ่ายโอนข้อมูล	59
รูปที่ 3.13	แสดงวงจรของส่วนสร้างสัญญาณนาฬิกาเพื่อควบคุมการถ่ายโอนข้อมูล	59
รูปที่ 3.14	แสดงวงจรถอดรหัสสัญญาณ DTMF	60

สารบัญรูปภาพ (ต่อ)

หน้าที่

รูปที่ 3.15	วงจรกำเนิดสัญญาณให้หมุน (Dial Tone)	61
รูปที่ 3.16	วงจรกำเนิดสัญญาณไม่ว่าง (Busy Tone)	62
รูปที่ 3.17	วงจรกำเนิดสัญญาณเรียกกลับ (Ring Back Tone)	63
รูปที่ 3.18	วงจรกำเนิดสัญญาณเรียก (Ringing Tone)	63
รูปที่ 3.19	แสดงรูปเอาต์พุตที่ขา 3 ของไอซีเบอร์ 555	63
รูปที่ 3.20	แสดงบล็อกไดอะแกรมของส่วนเชื่อมต่อกับโครงข่ายชุมสายโทรศัพท์ท้องถิ่น	64
รูปที่ 3.21	กราฟแสดงความสัมพันธ์ของการหาค่า R และ C สำหรับ MC34012	65
รูปที่ 3.22	แสดงวงจรของส่วนเชื่อมต่อกับโครงข่ายชุมสายโทรศัพท์ท้องถิ่น	66
รูปที่ 3.23	แสดงไทม์มิงไดอะแกรมของการทำงานในส่วนเชื่อมต่อกับโครงข่ายชุมสายโทรศัพท์ท้องถิ่น	67
รูปที่ 3.24	แสดงบล็อกไดอะแกรมของส่วนควบคุมกลาง	67
รูปที่ 3.25	แสดงชิปสนับสนุนที่ต่ออยู่กับเครื่องไมโครคอมพิวเตอร์ เพื่อทำหน้าที่เป็นส่วนควบคุมกลาง	68
รูปที่ 3.26	แสดงขั้นตอนการทำงานของโปรแกรมสำหรับการกำหนดการทำงาน	69
รูปที่ 3.27	แสดงขั้นตอนการทำงานของโปรแกรมกำหนดการทำงานเริ่มต้นของส่วนอุปกรณ์เชื่อมต่อกับสาย	71
รูปที่ 3.28	แสดงส่วนประกอบต่างๆ ของโปรแกรมการเชื่อมต่อกับอุปกรณ์สื่อสารปลายทางอนาล็อก	72
รูปที่ 3.29	แสดงโครงสร้างของแฟล็กที่ใช้แสดงสถานะของเครื่องโทรศัพท์	73
รูปที่ 3.30	แสดงโฟลว์ชาร์ตของโปรแกรมตอบรับการขออินเตอร์รัปต์ Int.0	74
รูปที่ 3.31	แสดงโฟลว์ชาร์ตของโปรแกรมตอบรับการขออินเตอร์รัปต์ Int.1	75
รูปที่ 3.32	แสดงโฟลว์ชาร์ตของทางด้านส่งจากเครื่องไมโครคอมพิวเตอร์	77
รูปที่ 3.33	แสดงโฟลว์ชาร์ตของทางด้านรับจากเครื่องไมโครคอมพิวเตอร์	78
รูปที่ 3.34	แสดงโฟลว์ชาร์ตที่ใช้ในการรับข้อมูล	79
รูปที่ 3.35	แสดงโฟลว์ชาร์ตที่ใช้ในการส่งข้อมูล	80
รูปที่ 3.36	แสดงโฟลว์ชาร์ตของโปรแกรมสำหรับควบคุมการติดต่อกับโครงข่ายชุมสายโทรศัพท์ท้องถิ่น	81
รูปที่ 4.1	วงจรถอดรหัสสัญญาณ DTMF	82
รูปที่ 4.2	แสดงวงจรกำเนิดสัญญาณให้กดเลขหมาย (DIAL TONE)	84
รูปที่ 4.3	แสดงสัญญาณให้กดเลขหมาย (DIAL TONE)	84

สารบัญรูปภาพ (ต่อ)

		หน้าที่
รูปที่ 4.4	แสดงวงจรกำเนิดสัญญาณไม่ว่าง (BUSY TONE)	85
รูปที่ 4.5	แสดงสัญญาณไม่ว่าง (BUSY TONE)	85
รูปที่ 4.6	แสดงวงจรกำเนิดสัญญาณเรียกกลับ (RING BACK TONE)	86
รูปที่ 4.7	แสดงสัญญาณเรียกกลับ (RING BACK TONE)	86
รูปที่ 4.8	แสดงวงจรกำเนิดสัญญาณเรียก (RINGING TONE)	87
รูปที่ 4.9	แสดงรูปลอจิก “1” เป็น 3 วินาที และลอจิก “0” เป็น 1 วินาที	87
รูปที่ 4.10	แสดงลักษณะของสัญญาณเรียก	88
รูปที่ 4.11	วงจรการสร้างสัญญาณนาฬิกา	88
รูปที่ 4.12	สัญญาณเอาต์พุตของ Single Package Crystal Oscillator ความถี่ 18.432 MHz	89
รูปที่ 4.13	สัญญาณนาฬิกาความถี่ 1.536 MHz ใช้ควบคุมการทำงานของไอซีเบอร์ MC6850	89
รูปที่ 4.14	สัญญาณนาฬิกาความถี่ 384 kHz ใช้เป็นความถี่ในการรับส่งข้อมูลระหว่างคู่สาย	90
รูปที่ 4.15	สัญญาณนาฬิกาความถี่ 128 kHz ใช้เป็นความถี่ในการถ่ายโอนข้อมูล	90
รูปที่ 4.16	สัญญาณนาฬิกาความถี่ 8 kHz ใช้เป็นความถี่สำหรับการแฉมปลิ่ง	91
รูปที่ 4.17	วงจรตรวจจับสัญญาณเรียก	91
รูปที่ 4.18	แสดงสัญญาณที่ขา 4 ของไอซีเบอร์ MC34012 เป็นสัญญาณ RINGING SIGNAL DETECT ในสภาวะเรียกเข้า	92
รูปที่ 4.19	แสดงรูปร่างจรสร้างสัญญาณให้กับส่วนควบคุมกลาง	92
รูปที่ 4.20	แสดงสัญญาณที่วัดจากขา 3 ของไอซีเบอร์ 74LS08 เป็นสัญญาณ INTERRUPT	93
รูปที่ 4.21	แสดงรูปสัญญาณที่วัดจากขา 3 ของไอซีเบอร์ 74LS123 เป็นสัญญาณรีเซ็ตจากส่วนควบคุมกลาง	93
รูปที่ 4.22	แสดงสัญญาณที่วัดจากขา 3 ของไอซีเบอร์ 74LS121 เป็นสัญญาณ STATUS OF CO.Line	94

สารบัญตาราง

หน้าที่

ตารางที่ 2.1	แสดงการเปรียบเทียบเบอร์ชาลเซอร์กิตและค่าต้านแกรม	26
ตารางที่ 2.2	แสดงจำนวนครอสพอยน์สวีตซึ่งแบบสเปคดิษฐ์ที่ไม่มีการบล็อกกิ้ง	30
ตารางที่ 2.3	แสดงเทคนิคต่างๆ ของสวีตซึ่ง	31
ตารางที่ 2.4	แสดงตัวอักษรควบคุมใน Bisync	43
ตารางที่ 2.5	แสดงมาตรฐานของการใช้แรงดันไฟฟ้าของ RS-232C	45
ตารางที่ 4.1	แสดงผลของการกดโทรศัพท์ชนคกดปุ่มซึ่งวัดสัญญาณจาก LED	82
ตารางที่ 4.2	แสดงค่าที่ถอดรหัสได้จาก MT8870	83
ตารางที่ 4.3	แสดงการเปลี่ยนระดับสัญญาณอนาล็อกเป็นสัญญาณดิจิตอล	95



บทที่ 1

บทนำ

ปัจจุบันระบบการสื่อสารโทรคมนาคมได้มีการพัฒนาก้าวหน้าไปอย่างรวดเร็ว ประเทศที่พัฒนาแล้วหลายๆ ประเทศ ได้เข้าสู่ยุคของการสื่อสารข้อมูล ซึ่งระบบการทำงานในสำนักงานไม่ว่าจะเป็นหน่วยงานของราชการ วงการธุรกิจ สถาบันการศึกษา หรือหน่วยงานอื่นๆ ได้มีการพัฒนาเครื่องใช้สำนักงานและลักษณะของงานที่เต็มไปด้วยกระดาษและเครื่องพิมพ์ดีดไปสู่ลักษณะของการสื่อสารผ่านทางอุปกรณ์อิเล็กทรอนิกส์ที่เชื่อมต่ออยู่กับโครงข่ายให้บริการทางด้านข้อมูลแทน นอกจากนั้นแล้วความต้องการที่จะใช้การติดต่อสื่อสารกันได้หลายๆ รูปแบบภายในโครงข่ายเดียวกัน เช่น สามารถส่งสัญญาณเสียงได้พร้อมกับข้อมูลหรือส่งสัญญาณเสียงไปพร้อมกับสัญญาณภาพได้ อันจะทำให้ผู้ใช้ในสำนักงานมีความสะดวกสบาย และเพิ่มประสิทธิภาพของการทำงานให้มากขึ้นด้วย เครื่องชุมสายโทรศัพท์ปลายทางระบบดิจิทัล เป็นอุปกรณ์สื่อสารสำคัญอย่างหนึ่งในการติดต่อสื่อสารด้านปลายทางต่างๆ ให้ผู้ใช้สามารถติดต่อกันได้ เครื่องชุมสายโทรศัพท์ปลายทางระบบดิจิทัลนี้นอกจากจะให้บริการสื่อสารในลักษณะของสัญญาณเสียงโดยทั่วๆ ไปแล้ว ยังสามารถให้บริการพิเศษในรูปแบบอื่นๆ ได้อีกมากมายเช่น บริการถ่ายโอนข้อมูล, บริการอิเล็กทรอนิกส์เมลล์ (Electronic Mail) เป็นต้น

ปฏิญานพินธ์ฉบับนี้ขอเสนอเครื่องชุมสายโทรศัพท์ปลายทางระบบดิจิทัล ซึ่งใช้เทคนิคในการสลับช่วงเวลา ซึ่งสามารถให้บริการกับอุปกรณ์สื่อสารปลายทาง ทั้งที่เป็นข้อมูลและสัญญาณเสียงในเวลาเดียวกันและบนคู่สายเดียวกัน เครื่องชุมสายโทรศัพท์ที่ได้ออกแบบขึ้นนี้มี 2 ส่วน คือ ส่วนอุปกรณ์เชื่อมต่อคู่สายกับส่วนของวงจรสวิตซ์ สำหรับส่วนแรก คือ ส่วนอุปกรณ์เชื่อมต่อคู่สายจะทำหน้าที่เป็นตัวเชื่อมต่อสัญญาณระหว่างอุปกรณ์สื่อสารปลายทางกับเครื่องชุมสายโทรศัพท์ปลายทางระบบดิจิทัล และจัดช่วงเวลาให้กับสัญญาณเสียงหรือข้อมูลสื่อสารปลายทาง หน้าที่ต่างๆ ของส่วนอุปกรณ์เชื่อมต่อคู่สายนี้ จะถูกควบคุมการทำงานจากอุปกรณ์ไมโครคอนโทรลเลอร์ MCS-51 ที่ทำงานร่วมกับอุปกรณ์สนับสนุนต่างๆ เช่น หน่วยความจำ อุปกรณ์สื่อสารข้อมูลอนุกรม พอร์ต I/O ฯลฯ สำหรับส่วนที่สอง คือ ส่วนที่เป็นส่วนของวงจรสวิตซ์จะทำหน้าที่เป็นตัวรับสัญญาณข่าวสารมาจากส่วนอุปกรณ์เชื่อมต่อคู่สายที่เป็นต้นทางแล้วทำการสวิตซ์สัญญาณข่าวสารนั้นไปยังอุปกรณ์เชื่อมต่อคู่สายที่เป็นปลายทางในการออกแบบส่วนวงจรสวิตซ์นี้ได้นำเอาเทคนิคการสลับช่องเวลามาใช้ภายใต้การควบคุมการทำงานของเครื่องไมโครคอมพิวเตอร์ซึ่งจะเพิ่มประสิทธิภาพและความถูกต้องมากยิ่งขึ้น

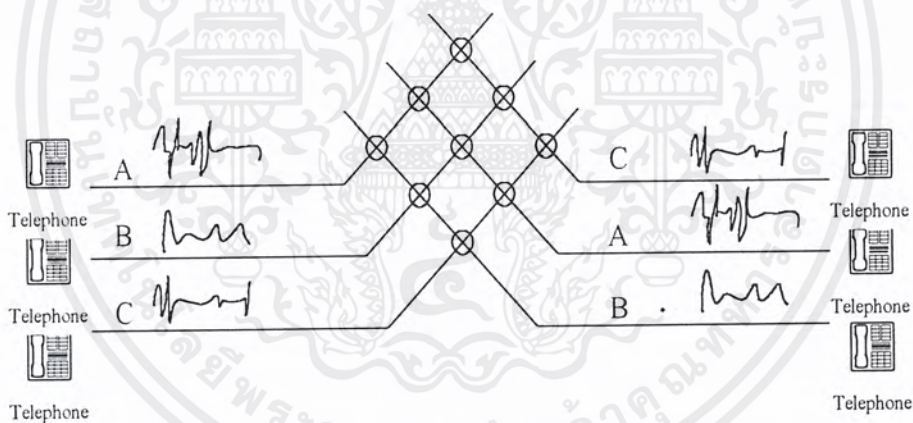
บทที่ 2

ทฤษฎีและหลักการ

2.1 พัฒนาการของระบบโทรศัพท์

2.1.1 ระบบโทรศัพท์แบบอนาล็อก

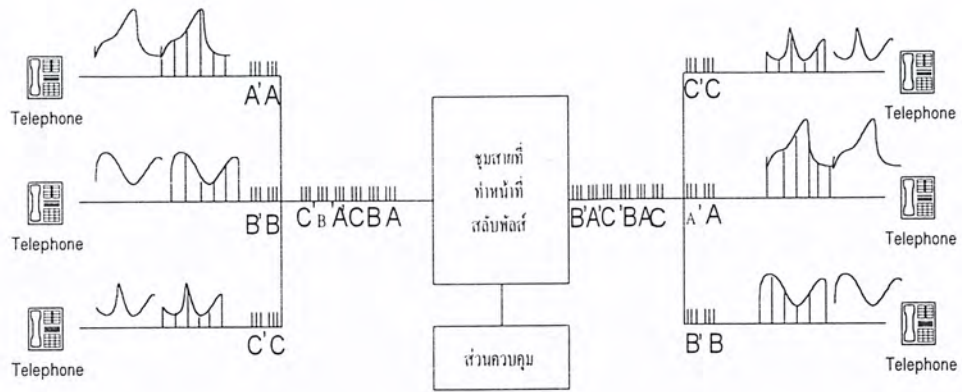
การทำงานของอุปกรณ์สวิตซ์โทรศัพท์แบบอัตโนมัติ คือ การรับสัญญาณหมายเลขที่เรียกจากสมาชิกต้นทาง ซึ่งอาจจะเป็นสัญญาณแบบพัลส์ (เครื่องแบบหมุน) หรือสัญญาณความถี่ผสม (เครื่องแบบกดปุ่ม) เพื่อที่จะถอดรหัสหมายเลขของเครื่องสมาชิกปลายทางและทำการต่อวงจรให้ติดต่อกันได้ ซึ่งอาจจะเป็นการติดต่อด้วยสัญญาณเสียงหรือข้อมูลก็ได้ ลักษณะของอุปกรณ์สวิตซ์แต่เดิมนั้นจะทำการต่อสัญญาณเสียง (Voice Signal) โดยทำการเปลี่ยนสัญญาณเสียงให้เป็นสัญญาณไฟฟ้าที่อุปกรณ์โทรศัพท์ปลายทาง หรือที่เราเรียกกันว่าเครื่องโทรศัพท์นั่นเอง สัญญาณจากเครื่องโทรศัพท์จะถูกต่อผ่านชุดสวิตซ์ที่ทำหน้าที่ต่อสัญญาณเสียงพูดผ่านจากสมาชิกต้นทางไปยังสมาชิกปลายทาง โดยที่รูปแบบของสัญญาณที่รับได้จากเครื่องโทรศัพท์ปลายทางจะเหมือนกับสัญญาณที่ต้นทางทุกประการ เราเรียกสวิตซ์แบบนี้ว่าแบบอนาล็อก ซึ่งจะมีการทำงานง่าย ๆ ดังรูปที่ 2.1



รูปที่ 2.1 แสดงหลักการต่อสวิตซ์ของชุมสายโทรศัพท์แบบอนาล็อก

2.1.2 ระบบโทรศัพท์แบบดิจิทัล

อุปกรณ์ที่ถูกนำมาใช้ในชุมสายโทรศัพท์แบบดิจิทัลจะมีหลักการที่สำคัญ คือ เปลี่ยนเป็นสัญญาณเสียงให้เป็นสัญญาณดิจิทัล (รหัส “0” และ “1”) ซึ่งจะต่างกับชุมสายโทรศัพท์แบบอนาล็อก โดยสัญญาณเสียงจะมีการเปลี่ยนแปลงรูปแบบไป โดยมีหลักการดังแสดงในรูปที่ 2.2 สัญญาณเสียงที่ส่งจากเครื่องโทรศัพท์จะถูกส่งเปลี่ยนให้อยู่ในรูปของรหัส “0” และ “1” การทำงานลักษณะนี้เราเรียกว่า การเข้ารหัส (encode) ซึ่งสัญญาณรหัส “0” และ “1” นี้เราเรียกว่าสัญญาณดิจิทัล



รูปที่ 2.2 แสดงหลักการของชุมสายโทรศัพท์แบบดิจิทัล

สัญญาณเสียงจากเครื่องโทรศัพท์ปลายทางที่ส่งมาตามคู่สายจะถูกแปลงให้เป็นสัญญาณดิจิทัลและนำสัญญาณดิจิทัลเหล่านี้จากเครื่องโทรศัพท์ปลายทางอื่น ๆ หลาย ๆ เครื่องมาเข้าระบบมัลติเพล็กซ์โดยการจัดแบ่งเวลากันส่ง ทำให้สามารถที่จะทำการส่งสัญญาณหลายสัญญาณไปได้ในเวลาเดียวกัน

ชุมสายโทรศัพท์จะทำการเชื่อมต่อไปยังเครื่องโทรศัพท์ปลายทางตามข้อมูลของพัลส์ที่ได้รับ ลำดับของพัลส์ที่ได้รับเข้ามาแต่ละส่วนก็จะทำการเปลี่ยนตามความต้องการของสมาชิกผู้เรียกที่ผ่านการมัลติเพล็กซ์ไปยังเครื่องโทรศัพท์ตามต้องการโดยสวิตซ์การทำงานแบบนี้เรียกว่า time order exchange ในสวิตซ์ที่ใช้ในการทำงานของ time order exchange จะใช้สวิตซ์ที่เป็นเซมิคอนดักเตอร์ ซึ่งในสวิตซ์ 1 ตัว สามารถสวิตซ์ได้ 500 – 2,000 ของการเรียก เพราะว่าการสวิตซ์แบบนี้จะมีความสามารถในการทำงานที่ความเร็วสูง

ในชุมสายโทรศัพท์แบบอนาล็อกในการเรียก 1 ครั้ง จะต้องใช้การเชื่อมต่อของสวิตซ์ 1 ชุด ดังนั้นในการทำงานนี้จะมีข้อจำกัดอยู่ที่จำนวนของสวิตซ์ อย่างไรก็ตาม ในสวิตซ์หนึ่งนั้นสามารถที่จะคงสภาพของการเรียกได้ตลอดเวลานานกว่าจะสิ้นสุดการใช้งาน สวิตซ์นี้ก็จะถูกทำให้ว่างเพื่อที่จะสามารถจะใช้งานได้ต่อไปอีก

ส่วนในการแปลงสัญญาณกลับก็จะใช้การดีมัลติเพล็กซ์ เพื่อทำการส่งสัญญาณไปยังโทรศัพท์ที่ต้องการ หลังจากนั้นสัญญาณก็就会被ถอดรหัสเพื่อทำให้ได้เป็นสัญญาณรูปแบบก่อนที่จะมีการมัลติเพล็กซ์ เพื่อส่งไปยังเครื่องโทรศัพท์ปลายทาง

ลักษณะของชุมสายโทรศัพท์แบบดิจิทัล จะมีดังนี้

- 1) จะใช้การมัลติเพล็กซ์
- 2) นำเอาเทคโนโลยีของ LSI มาใช้
- 3) มีการทำงานร่วมกันระหว่าง ส่วนเสียงพูดผ่าน (speech path) และ โปรเซสเซอร์
- 4) การส่งสัญญาณผ่านสายส่งสัญญาณแบบดิจิทัล

ระบบชุมสายโทรศัพท์แบบดิจิทัลในอนาคตไม่เพียงแต่ที่จะช่วยลดต้นทุนของอุปกรณ์ของชุมสายโทรศัพท์แต่สามารถที่จะเชื่อมต่อกับโครงข่ายดิจิทัลอื่น ๆ ได้โดยใช้สายส่งสัญญาณแบบดิจิทัล

ข้อดีของชุมสายโทรศัพท์แบบดิจิทัล

1) ด้านเศรษฐกิจของโครงข่ายการสื่อสาร สามารถอธิบายได้ดังนี้

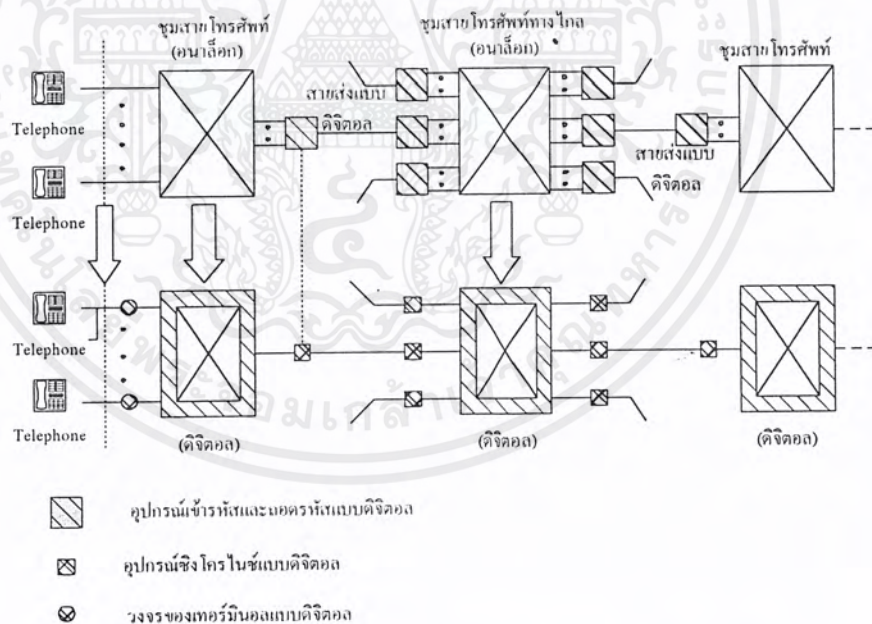
- ในระบบชุมสายโทรศัพท์แบบดิจิทัล สามารถที่จะต่อกับสายส่งแบบดิจิทัลได้โดยไม่ต้องมีการแปลงจากสัญญาณอนาล็อกเป็นสัญญาณดิจิทัล จึงทำให้การชิงคริโนซ์ที่ปลายทางสามารถทำได้ง่าย

- มีความจุของช่องสัญญาณมากขึ้น

- วงจรที่ส่วนของชุมสายโทรศัพท์สามารถออกแบบได้ง่ายและมีประสิทธิภาพสูง

2) ทำให้คุณภาพในการส่งข้อมูลดีขึ้น

จากการที่ทำการเปลี่ยนสัญญาณจากอนาล็อกเป็นดิจิทัลอาจจะทำให้เกิดสัญญาณรบกวนที่เรียกว่า Quantizing Noise ซึ่งการเปลี่ยนสัญญาณนี้จะกระทำที่จุดออกของโครงข่าย แต่เมื่อมีการนำเอาการเข้ารหัสแบบ PCM มาใช้ สัญญาณรบกวนและการเปลี่ยนแปลงระดับของสัญญาณที่ถูกขยายเพิ่มขึ้นมาจากสถานีทวนสัญญาณจะไม่ไปร่วมกับสัญญาณ จึงจะช่วยให้คุณภาพของการส่งสัญญาณในสายส่งไม่ลดลง



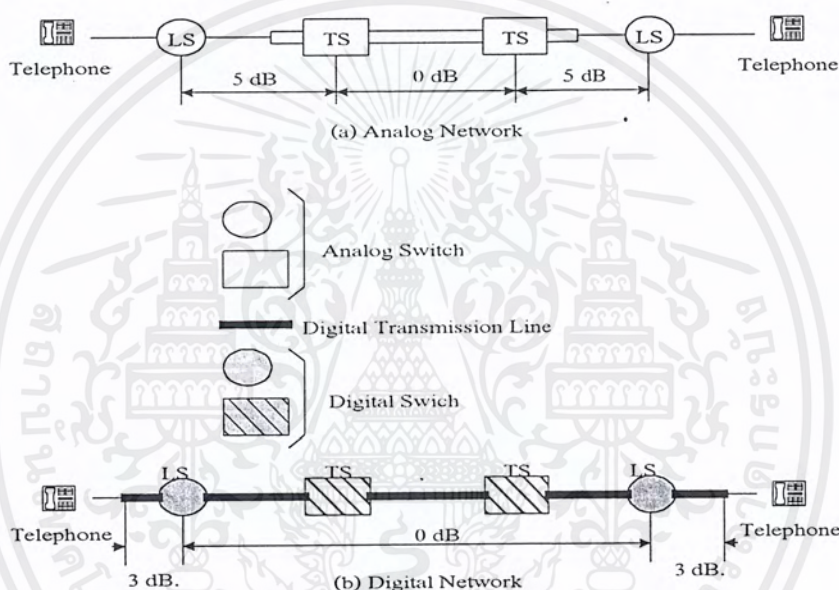
รูปที่ 2.3 การปรับปรุงระบบโครงข่ายโทรศัพท์จากอนาล็อกสู่ดิจิทัล

3) รูปแบบเล็กลง ลดต้นทุน และมีความเชื่อถือได้

ในวงจรเสียงพูด (Speech Path) ของชุมสายโทรศัพท์แบบดิจิทัล จะแตกต่างกับการเชื่อมต่อในชุมสายโทรศัพท์แบบอนาล็อก โดยมีการนำเอาเกต (gate) และหน่วยความจำในวงจร

ลอจิกมาใช้ ซึ่งจะประกอบด้วยอุปกรณ์อิเล็กทรอนิกส์ที่คล้ายกับโปรเซสเซอร์ควบคุม ด้วยเหตุผลนี้ สัญญาณดิจิทัลที่ใช้เทคโนโลยีนี้ จึงสามารถนำมาใช้ในส่วนของวงจรเสียงพูดผ่านได้และใช้เทคโนโลยีของ LSI ที่จะทำให้มีฟังก์ชันการทำงานมากขึ้น ลดจำนวนอุปกรณ์และพลังงานที่ใช้ลง

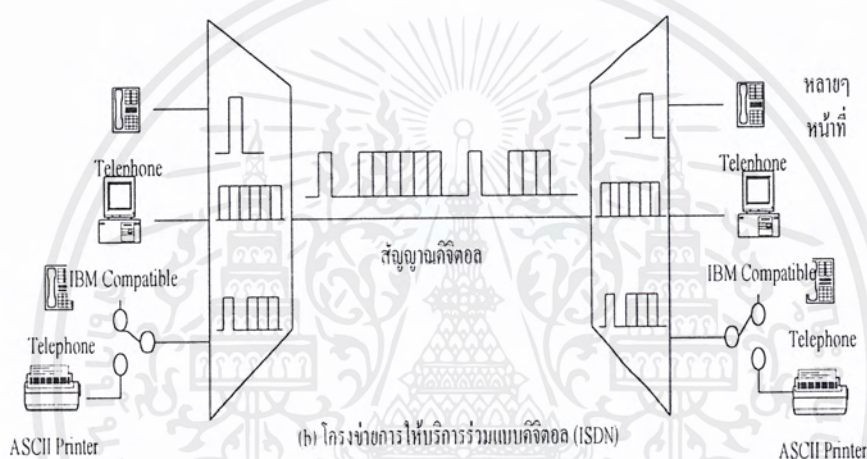
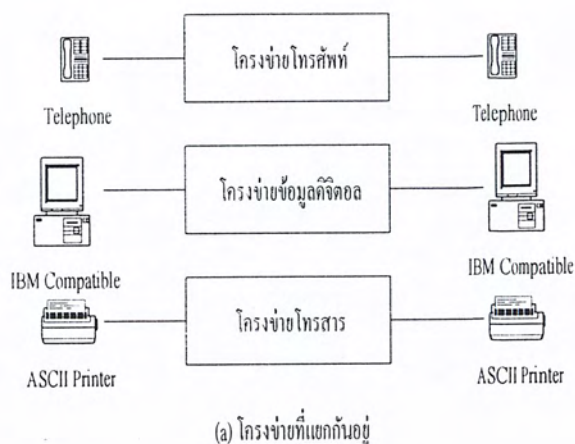
จากการที่ใช้อุปกรณ์เซมิคอนดักเตอร์หรือคอมพิวเตอร์ และการมัลติเพล็กซ์สัญญาณดิจิทัลจะทำให้มีความถูกต้องสูงขึ้นและการบำรุงซ่อมแซมจะลดลง คุณภาพของวงจรเสียงพูดผ่านดีขึ้นเนื่องจากอุปกรณ์เสียงพูดผ่านจะทำงานโดยใช้วงจรลอจิก ดังนั้น การนำโปรเซสเซอร์มาควบคุมวงจรเสียงพูดผ่านโดยควบคุมวงจรลอจิกส่วนที่เป็นวงจรเสียงพูดผ่านได้ดี และโครงสร้างของเครื่องง่ายต่อการออกแบบ



รูปที่ 2.4 การลดทอนในสายส่งสัญญาณ

4) ความสามารถในการให้บริการการสื่อสาร

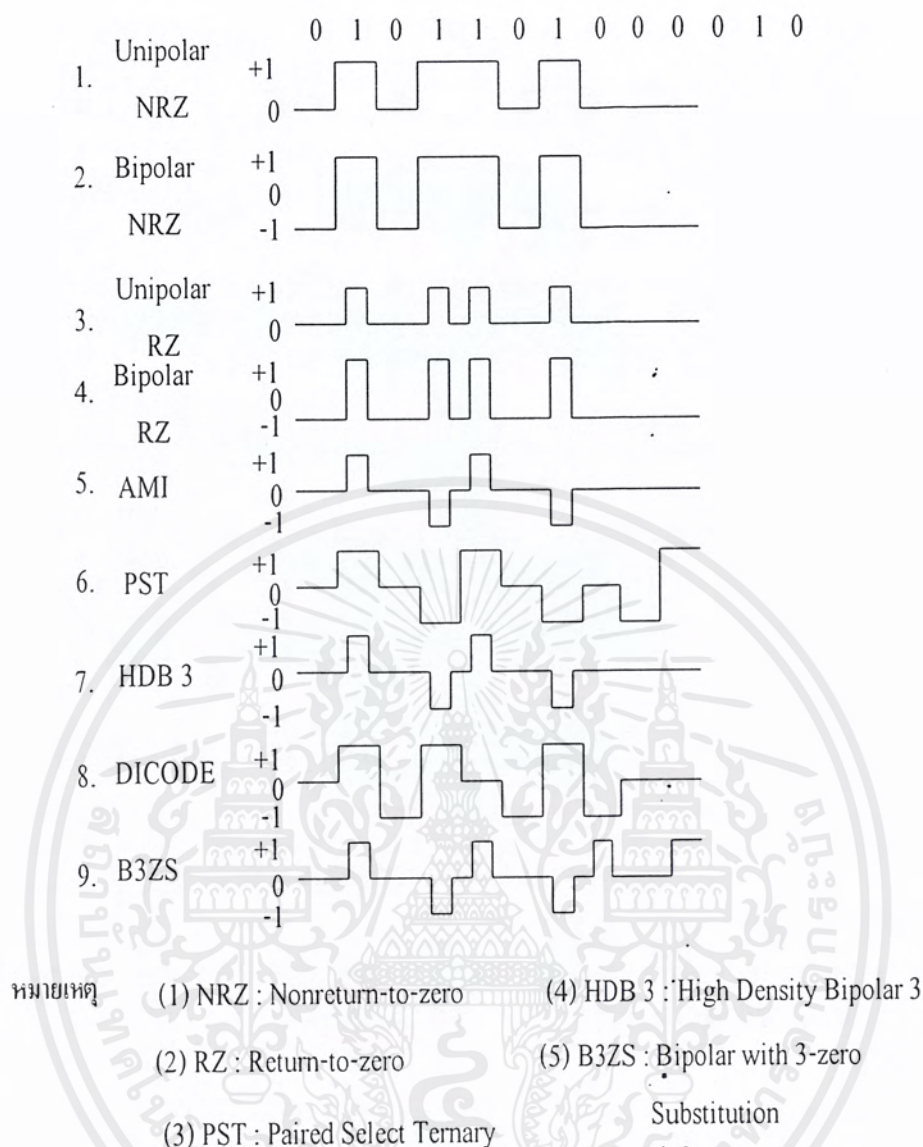
สัญญาณเสียงที่ถูกส่งด้วยอัตรา 64 kbps ในลักษณะของรหัส PCM จะมีลักษณะง่ายต่อการที่จะออกแบบระบบสื่อสารที่สามารถส่งสัญญาณอื่น ๆ โดยการใช้อัตราการส่ง 64 kbps นี้ ซึ่งทำได้โดยการสวิตซ์การเรียกแต่ละครั้งที่ความเร็วแตกต่างกัน ซึ่งเรียกว่า Plural Switching ดังนั้นในการสื่อสารเราสามารถที่จะส่งสัญญาณหรือข้อมูลอื่นได้นอกจากสัญญาณเสียง ซึ่งในอนาคตจะเป็นการบริการแบบ ISDN (Integrated Services Digital Network) ที่สามารถให้บริการสื่อสารได้หลายชนิดในเวลาเดียวกัน



รูปที่ 2.5 ระบบโครงข่ายการให้บริการร่วมแบบดิจิทัล (ISDN)

2.1.3 คุณสมบัติและลักษณะของสัญญาณแบบดิจิทัล

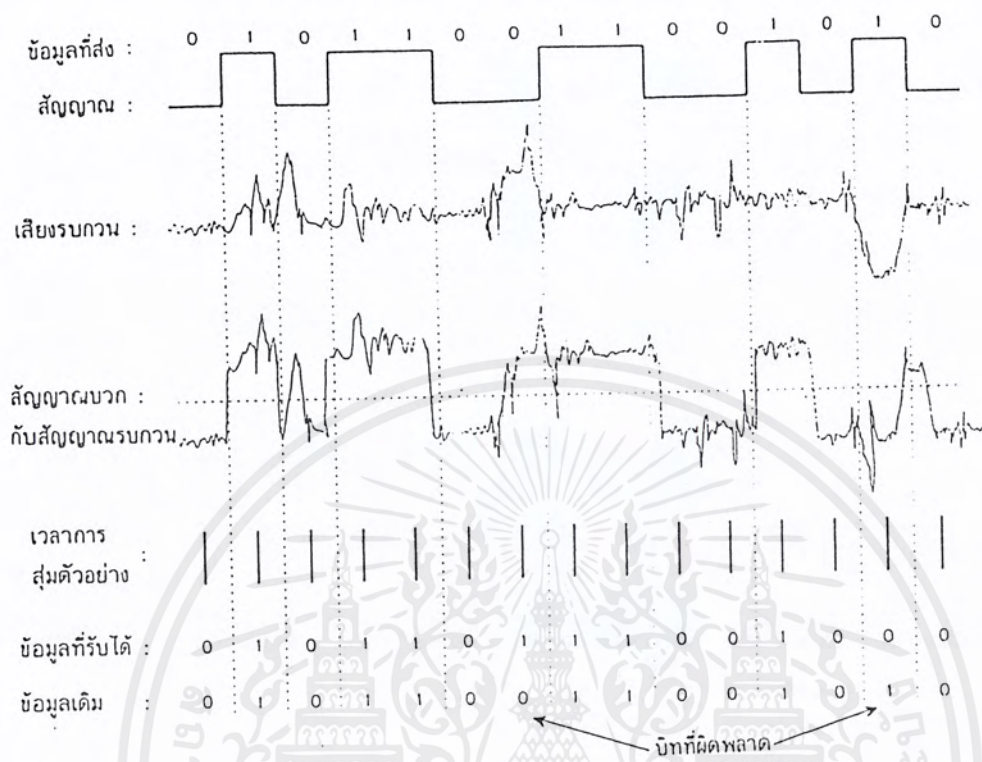
สัญญาณแบบดิจิทัล คือ สัญญาณที่มีขนาด (Amplitude) เปลี่ยนแปลงเป็นค่าของเลขลงตัวซึ่งมีรูปแบบที่เป็นพัลส์และอาจมีระดับขนาดอะไรก็ได้ไม่จำเป็นต้องเป็น “1” หรือ “0” เสมอไป แต่ถ้าเป็น “1” และ “0” เรียกว่าสัญญาณเลขฐานสองหรือสัญญาณไบนารี (Binary Signal) ซึ่งมีทั้งแบบไม่กลับศูนย์ (Nonreturn-to-Zero) และแบบกลับศูนย์ (Return-to-Zero) นอกจากนี้ยังมีพัลส์ไบโพลาร์ที่แทนที่ “1” ด้วย “+1” หรือ “-1” และแทน “0” ด้วย “0” และยังมีพัลส์แบบอื่น ๆ ดังแสดงในรูปที่ 2.6



รูปที่ 2.6 การเข้ารหัสสัญญาณดิจิทัลแบบต่าง ๆ

ปัจจุบันนี้การสื่อสารทั่ว ๆ ไปนิยมใช้สัญญาณแบบดิจิทัลมากกว่าสัญญาณแบบอนาล็อก ทั้งนี้ เพราะสัญญาณแบบดิจิทัลมีข้อดีหลายประการที่สำคัญคือ

- สะดวกต่อการมัลติเพล็กซ์
- สะดวกในการส่งสัญญาณควบคุม โดยจะกำหนดให้ช่วงเวลาหนึ่งในระบบ TDM เป็นช่องสำหรับรับส่งสัญญาณควบคุม
- สัญญาณรบกวนต่ำ ในการสื่อสารที่เป็นระบบดิจิทัล สัญญาณจะอยู่ในรูปของระดับแรงดัน “0” (Low) และ “1” (High) ถ้าสัญญาณรบกวนมีขนาดไม่มากพอที่จะทำให้สัญญาณจริงเปลี่ยนระดับได้ก็จะไม่มีผลไปถึงทางด้านการรับ ดังรูปที่ 2.7



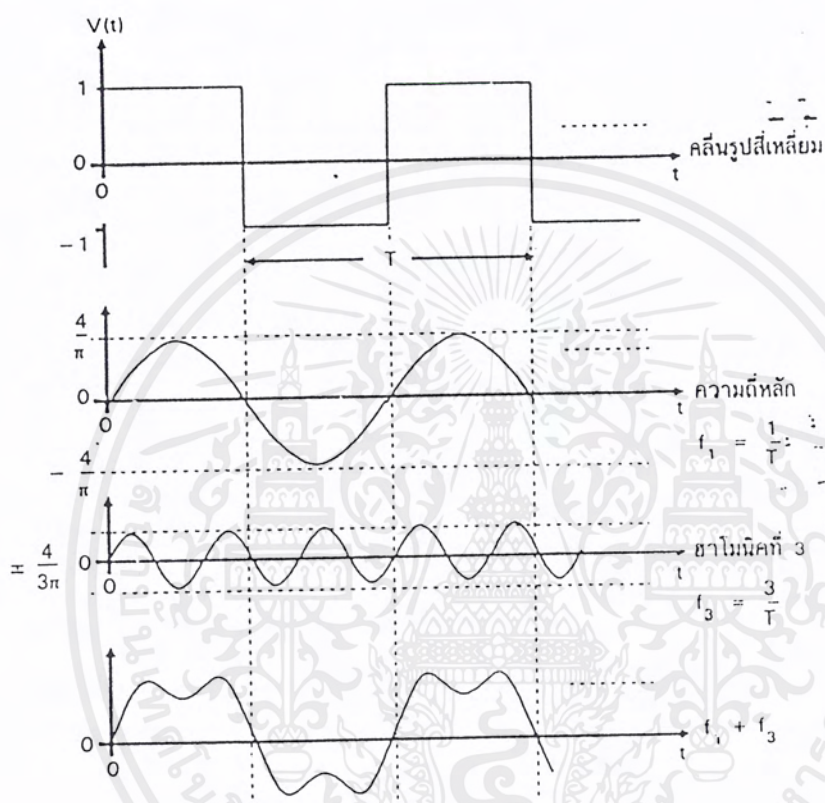
รูปที่ 2.7 แสดงการรับส่งสัญญาณแบบดิจิทัล

- ง่ายต่อการเข้ารหัส ในกรณีที่ต้องการให้ข้อมูลนั้นเป็นความลับ เราสามารถเข้ารหัสข้อมูล เช่น การสแกนเบลอร์ที่ทางด้านส่งและทางด้านรับก็จะมีวงจรดีสแคมเบลอร์สำหรับถอดรหัส อย่างไรก็ตามระบบสื่อสารที่ใช้สัญญาณแบบดิจิทัลก็มีข้อเสียอยู่ดังนี้ คือ

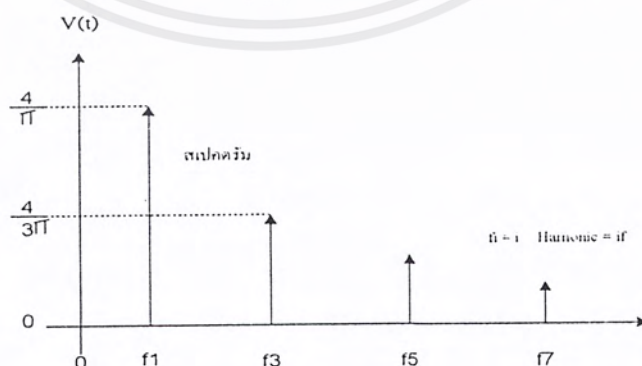
- เพิ่มแบนด์วิธของสัญญาณ เช่น สัญญาณเสียงพูดสำหรับโทรศัพท์ ซึ่งกำหนดไว้ว่ามีแบนด์วิธได้ไม่เกิน 3.4 kHz เมื่อแปลงเป็นสัญญาณแบบดิจิทัลแล้วส่งด้วยอัตรา 2.048 Mbps อย่างน้อยที่สุดสายส่งที่ใช้ต้องมีผลตอบสนองต่อความถี่ย่าน 2.048 MHz ได้ ก็ทำให้ต้องใช้สายส่งที่ใช้ต้องมีผลตอบสนองต่อความถี่ย่าน 2.048 MHz ได้ ก็ทำให้ต้องใช้สายส่งที่มีราคาแพงขึ้น

- การซิงค์ไครโนเซชัน (Synchronization) ทางด้านรับนั้นต้องมีวงจรสร้างสัญญาณเวลาที่ซิงค์ไครโนเซชันกับทางด้านส่ง สำหรับตรวจจับสัญญาณที่เข้ามาแต่ละบิตไม่ให้ผิดพลาดซึ่งจะต้องรู้จุดเริ่มต้นของขบวนสัญญาณทำให้มีวิธีการออกแบบที่ยุ่งยากมาก

สำหรับคุณสมบัติของสัญญาณแบบดิจิทัลเมื่อทำการวิเคราะห์สัญญาณเชิงความถี่จะพบว่าสัญญาณแบบดิจิทัลนี้จะประกอบไปด้วยสัญญาณไซน์จำนวนมาก โดยจะมีสัญญาณไซน์ที่เป็นความถี่หลัก (Fundamental) จำนวน 1 สัญญาณ และสัญญาณไซน์ที่มีความถี่เท่ากับฮาร์โมนิกคี่ (Odd Harmonic) จนถึงจำนวนนับอนันต์ (Infinite) ซึ่งขนาดของฮาร์โมนิกเหล่านี้จะลดลงในรูปของเอ็กซ์โปเนนเชียล ดังรูปที่ 2.8



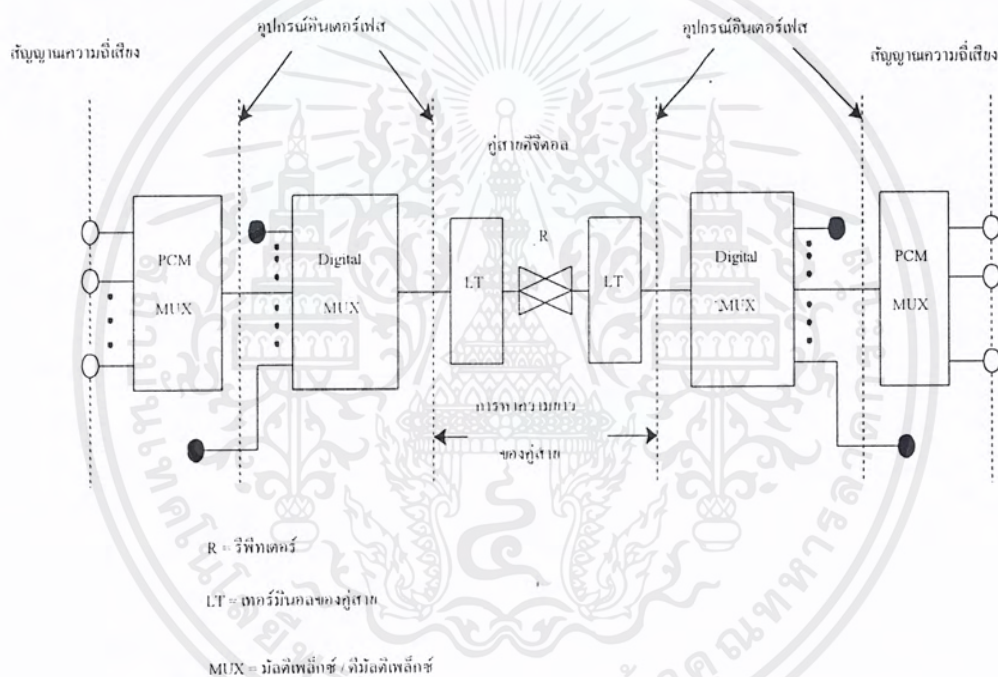
สมการฟูริเยร์ของคลื่นรูปสี่เหลี่ยม : $V(t) = \frac{4}{\pi} \sin(2\pi f_1 t) + \frac{4}{3\pi} \sin(2\pi f_3 t) + \frac{4}{5\pi} \sin(2\pi f_5 t) + \dots$



รูปที่ 2.8 แสดงองค์ประกอบฮาร์โมนิกของสัญญาณแบบดิจิทัล

2.1.4 การนำชุมสายโทรศัพท์แบบดิจิทัลมาใช้กับระบบโครงข่ายแบบดิจิทัล

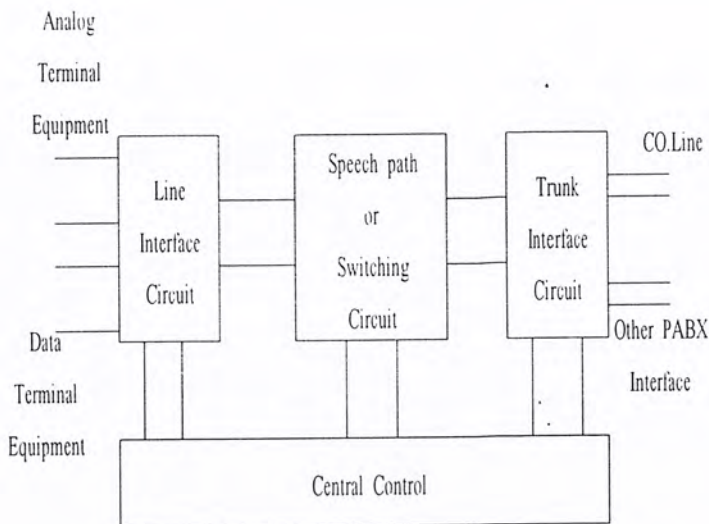
ในช่วง 2 ปีที่ผ่านมา สถาปัตยกรรมและมาตรฐานของระบบโครงข่ายโทรศัพท์แบบดิจิทัลสำหรับการส่งสัญญาณเสียงและข้อมูลได้ถูกกำหนดออกมาอย่างแน่นอนแล้วเป็นต้นว่าโครงข่ายที่เราจัดให้บริการทั่ว ๆ ไป เรียกว่า โครงข่ายร่วมระบบดิจิทัล (Integrated Digital Network : IDN) โดยในส่วนของกรรวมการให้บริการนั้นจะอ้างอิงมาตรฐานทางเทคนิคของระบบดิจิทัลสำหรับการส่งและระบบชุมสายโทรศัพท์ โดยเทคโนโลยีโทรศัพท์ที่นำมาเชื่อมต่อกับโครงข่าย IDN จะมีพื้นฐานในลักษณะของการเข้ารหัส PCM ที่ 64 kbps อันจะเป็นพื้นฐานของการพัฒนาไปสู่ ISDN ในช่องสัญญาณ 64 kbps องค์ประกอบส่วนต่าง ๆ ของ IDN จะแสดงไว้ดังรูปที่ 2.9 โดยใช้วิธีการเข้ารหัสให้กับสัญญาณเสียงรวมไปถึงการมัลติเพล็กซ์สัญญาณและอุปกรณ์ที่ใช้ในหน้าที่ดังกล่าว



รูปที่ 2.9 แสดงการเข้ารหัส PCM และการมัลติเพล็กซ์แบบดิจิทัล

2.2 สถาปัตยกรรมของชุมสายโทรศัพท์ปลายทางระบบดิจิทัล (DPBX Architecture)

ชุมสายโทรศัพท์ปลายทางระบบดิจิทัลถูกพัฒนาขึ้นมาจนถึงยุคของ “ Improve DPABX ” ซึ่งจะให้บริการแก่อุปกรณ์สื่อสารต่าง ๆ ในลักษณะของ “ Integrated Voice and Data ” โดยมีส่วนประกอบหลัก ๆ คือส่วนวงจรเสียงพูดผ่าน (Speech Path Circuit) หรือส่วนวงจรสวิตชิง ส่วนเชื่อมต่อกับทรังก์และอุปกรณ์สื่อสาร (Trunk and Line Interface) และส่วนควบคุมกลาง (Central Control) ดังบล็อกไดอะแกรมในรูปที่ 2.10



รูปที่ 2.10 แสดงบล็อกไดอะแกรมของ DPBX ทั่วไป

จากรูปที่ 2.10 จะแสดงบล็อกไดอะแกรมของ DPBX ทั่วไป ซึ่งจะมีรายละเอียดดังนี้

1. ส่วนเชื่อมต่อกับอุปกรณ์สื่อสารปลายทาง (Terminal Equipment Interface) เป็นส่วนที่รับส่งข่าวสารกับอุปกรณ์สื่อสารปลายทางที่นำมาเชื่อมต่อกับชุมสายโทรศัพท์ทั้งแบบอนาล็อกและแบบข้อมูล เป็นต้นว่า เครื่องโทรศัพท์ เครื่องโทรสารแบบอนาล็อก เครื่องคอมพิวเตอร์ ฯลฯ
2. ส่วนวงจรเชื่อมต่อทรังก์ (Trunk Interface Circuit) เป็นส่วนที่ทำหน้าที่เชื่อมต่อชุมสายโทรศัพท์กับชุมสายโทรศัพท์ท้องถิ่นภายนอกหรือชุมสายโทรศัพท์ปลายทางเครื่องอื่น ๆ เพื่อให้คู่สายสมาชิกภายในสามารถติดต่อสื่อสารกับคู่สายที่อยู่ภายนอกได้
3. ส่วนวงจรเสียงพูดผ่าน (Speech Path Circuit) เป็นส่วนที่ทำการสวิตช์ข่าวสารของอุปกรณ์สื่อสารต่าง ๆ ให้สามารถติดต่อสื่อสารกันได้ สำหรับวิธีสวิตช์แบบต่าง ๆ นี้จะทำการอธิบายรายละเอียดต่อไป
4. ส่วนควบคุมกลาง (Central Control Unit) เป็นส่วนที่จะควบคุมการทำงานทั้งหมดของ DPBX โดยนำเอาหลักการ SPC (Store Program Control) เข้ามาใช้งาน หลักการนี้จะใช้อุปกรณ์จำพวกไมโครโปรเซสเซอร์ประมวลผลข้อมูลจากหน่วยความจำที่ทำการเก็บข้อมูลไว้

สำหรับรายละเอียดของส่วนต่าง ๆ สามารถอธิบายได้ดังนี้

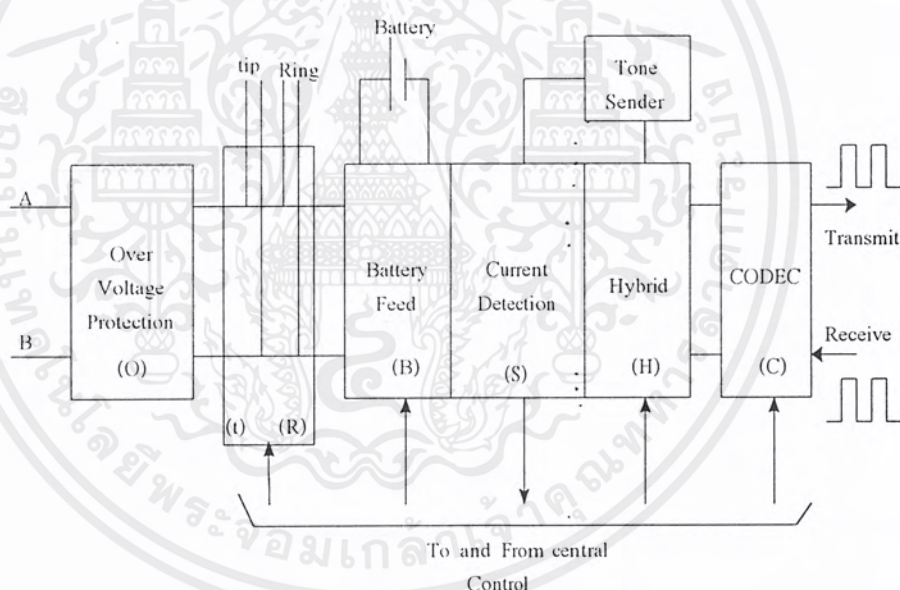
2.2.1 ส่วนเชื่อมต่อกับอุปกรณ์สื่อสารปลายทาง (Subscriber Line Interface Circuit)

ส่วนเชื่อมต่อกับอุปกรณ์สื่อสารปลายทางนี้จะมีชื่อเรียกอีกอย่างหนึ่งว่า วงจรประจำเครื่อง ซึ่งถือได้ว่าเป็นองค์ประกอบที่สำคัญอย่างหนึ่งของชุมสายโทรศัพท์ ในชุมสายโทรศัพท์ที่เป็นระบบเก่า ซึ่งส่วนของสวิตช์เป็นแบบสเปคตริลจะจัดให้ส่วนที่ทำหน้าที่จ่ายไฟเลี้ยงให้กับโทรศัพท์ ส่วนที่ทำหน้าที่จัดส่งสัญญาณเรียกว่าไปถึงควบคุมทดสอบการทำงานอยู่ที่ส่วนหลังของวงจรเสียงพูดผ่านแบบอนาล็อก แต่สำหรับวงจรเสียงพูดผ่านของชุมสายโทรศัพท์ระบบดิจิทัลจะไม่สามารถจัดฟังก์ชันเหล่านั้นไว้หลังส่วนของวงจรเสียงพูดผ่านแบบดิจิทัลได้ด้วยเหตุผลดังนี้

- 1) วงจรเสียงพูดผ่านระบบดิจิทัลจะไม่รับสัญญาณอนาล็อกโดยตรง
- 2) วงจรเสียงพูดผ่านระบบดิจิทัลจะไม่สามารถทนกับสัญญาณที่มีระดับแรงดันสูง ๆ ได้

นอกจากนั้นแล้ววงจรเสียงพูดผ่านระบบดิจิทัลจะมีลักษณะการติดต่อสื่อสารแบบ 4-WIRE ดังนั้น จึงต้องมีวงจรไฮบริด [Hybrid Circuit] สำหรับการเปลี่ยนแปลงลักษณะการสื่อสาร 2-WIRE ไปเป็น 4- WIRE โดยวงจรส่วนนี้จะถูกจัดไว้ก่อนที่จะส่งเข้าไปยังส่วนของวงจรเสียงพูดผ่าน รวมไปถึงวงจรที่ทำหน้าที่เข้ารหัสและถอดรหัส PCM (PCM CODEC) วงจรป้องกันระดับแรงดันไฟฟ้าสูงซึ่งเป็นส่วนที่ทำหน้าที่ป้องกันอุปกรณ์อิเล็กทรอนิกส์ภายใน ก็จะถูกจัดไว้ด้านหน้าของวงจรเสียงพูดผ่านเช่นกัน

หน้าที่ต่าง ๆ ที่กล่าวมาทั้งหมดนั้นจะจัดให้อยู่ในส่วนนี้ และเรียกทั่ว ๆ ไปว่า “BORSCHT FUNCTION” ซึ่งจะเป็นตัวอักษรที่นำหน้าฟังก์ชันนั้น ๆ มาจัดเรียงกันคือ Battery feed Overvoltage protection Ringing Supervision Coder Hybrid Testing ดังลักษณะโครงสร้างในรูปที่ 2.11



รูปที่ 2.11 แสดงโครงสร้างของส่วนเชื่อมต่อกับอุปกรณ์สื่อสารปลายทาง

จากรูปที่ 2.11 สามารถอธิบายรายละเอียดต่าง ๆ ได้ดังนี้

- Overvoltage protection วงจรส่วนนี้จะทำหน้าที่ป้องกันอุปกรณ์อิเล็กทรอนิกส์ที่จัดอยู่หลังวงจรส่วนนี้จากสัญญาณระดับแรงดันไฟฟ้าสูง สัญญาณที่เกิดจากกระแสเหนี่ยวนำของคู่สายโทรศัพท์จากภายนอก

- Ringing Signal Receiver วงจรส่วนนี้จะเป็นส่วนที่รับสัญญาณเรียก (Ringing signal) ที่มีระดับแรงดันไฟฟ้าสูงเพื่อที่จะจ่ายให้กับเครื่องโทรศัพท์ นอกจากนั้นยังทำหน้าที่เชื่อมต่อกับสัญญาณที่ประกอบไปด้วย Trip และ Ring โดยปกติแล้วภาคนี้จะใช้อุปกรณ์รีเลย์อันเนื่องมาจากอุปกรณ์สารกึ่งตัวนำที่จะนำมาใช้ในหน้าที่นี้มีขบวนการออกแบบที่ยุ่งยากมาก

- Battery Feed ส่วนนี้จะเป็นส่วนที่ทำหน้าที่จ่ายไฟเลี้ยงให้กับเครื่องโทรศัพท์และยังทำหน้าที่ควบคุมกำลังไฟฟ้าที่จะจ่ายให้ด้วย อีกหน้าที่หนึ่งสำหรับส่วนนี้ก็คือทำหน้าที่ส่งสัญญาณไลน์รีเวิร์ส (Line Reverse signal) ของคู่สายของเครื่องโทรศัพท์ด้วย

- Current Detection ในส่วนนี้จะทำหน้าที่ควบคุมการทำงานเกี่ยวกับการเรียกหรือการยกเลิกการเรียก โดยทำการตรวจสอบที่ปริมาณกระแสไฟฟ้าในลูปที่เครื่องโทรศัพท์เชื่อมต่อ ซึ่งในปัจจุบันได้นำเอา IC ชนิด LSI มาใช้โดยจะมารวมกับภาค Battery Feed

- Hybrid and Buffer Amplifier สำหรับภาคนี้ จะเป็นส่วนที่ทำหน้าที่เปลี่ยนลักษณะของการติดต่อสื่อสารจาก 2-WIRE เป็น 4-WIRE และจาก 4-WIRE เป็น 2-WIRE นอกจากนั้นยังทำหน้าที่ปรับระดับของสัญญาณอนาล็อกให้เหมาะสมกับสัญญาณจากส่วน CODEC ด้วย

- Tone sender and Detector ในส่วนนี้จะทำหน้าที่รับและส่งสัญญาณความถี่ 12 kHz. และ 16 kHz. ให้กับอุปกรณ์ปลายทางที่สัญญาณพิเศษนี้ สำหรับฟังก์ชันต่าง ๆ เป็นต้นว่า โทรศัพท์สาธารณะ เทลมิเตอร์ ฯลฯ สำหรับสัญญาณไคอัล สัญญาณไม่ว่าง ฯลฯ จะไม่ส่งมาจากภาคนี้แต่จะถูกส่งผ่านส่วนของวงจรเสียงพูดผ่าน

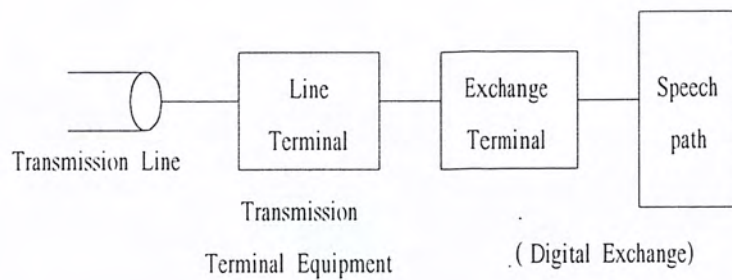
- CODEC สำหรับส่วนนี้จะทำหน้าที่เข้าและถอดสัญญาณอนาล็อกกับสัญญาณดิจิทัลจากส่วนวงจรเสียงพูดผ่าน นอกจากนั้นแล้วส่วนของวงจรกรองความถี่ต่ำผ่าน (LPF) จะถูกจัดให้อยู่ในส่วนนี้เช่นกัน

2.2.2 ส่วนวงจรเชื่อมต่อทรังก์

ส่วนวงจรเชื่อมต่อทรังก์นี้เป็นส่วนที่ทำหน้าที่ในการเชื่อมต่อกับชุมสายโทรศัพท์ตัวอื่น ๆ เพื่อให้ทำให้คู่สายสมาชิกของชุมสายฯ สามารถติดต่อกับคู่สายอื่น ๆ ที่อยู่ต่างชุมสายฯ กันได้โดยมีหลักการที่ใช้ในการเชื่อมต่อดังนี้

- การเชื่อมต่อกับสายส่งสัญญาณระบบดิจิทัล

ในการเชื่อมต่อระหว่างชุมสายโทรศัพท์ระบบดิจิทัลด้วยกันโดยใช้สายส่งสัญญาณระบบดิจิทัลนั้นจะใช้หลักการที่เรียกว่า ดิจิตอลมัลติอินเตอร์เฟส (Digital Multi-Interface) โดยสัญญาณดิจิทัลนี้จะถูกมัลติเพล็กซ์แล้วส่งผ่านสายส่งสัญญาณดิจิทัล ที่ชุมสายโทรศัพท์จะมีอุปกรณ์เชื่อมต่อกับสายส่งคือ LT (Line Terminal) และส่วนที่รับส่งสัญญาณดิจิทัลส่งให้กับส่วนวงจรเสียงพูดผ่านคือ ET (Exchange Terminal) ดังแสดงในรูปที่ 2.12



รูปที่ 2.12 แสดงการเชื่อมต่อแบบดิจิตอลมัลติอินเตอร์เฟส

- การเชื่อมต่อกับสายส่งสัญญาณระบบ FDM

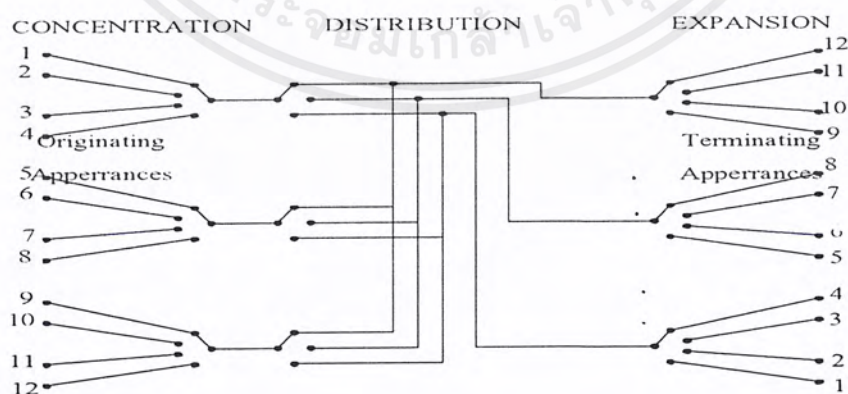
การเชื่อมต่อกับสายส่งสัญญาณระบบนี้จะกระทำได้ 2 วิธีด้วยกัน คือ วิธีแรกจะเป็นการรับส่งสัญญาณ FDM จากสายส่งสัญญาณและแปลงไปเป็นสัญญาณดิจิตอล จากนั้นจึงนำสัญญาณมาจัดการเชื่อมต่อในลักษณะดิจิตอลมัลติอินเตอร์เฟส สำหรับวิธีการที่ 2 เป็นการใชการเชื่อมต่อในลักษณะจัดระดับให้กับสัญญาณเสียง

- การเชื่อมต่อกับวงจรที่ใช้สายส่งแบบโลหะ

การเชื่อมต่อวงจรทั้งนี้ในลักษณะนี้ จะเหมือนกับการเชื่อมต่อที่ใช้ในชุมสายโทรศัพท์ระบบ อนุาล็อกที่เป็นแบบ 6 W – Interface แต่สัญญาณที่ส่งออกมาจะถูกละเปลี่ยนไปเป็นสัญญาณดิจิตอลก่อนแล้วจึงทำการมัลติเพล็กซ์เพื่อส่งให้กับส่วนของวงจรเสียงพูดผ่านของชุมสายโทรศัพท์ต่อไป

2.2.3 ส่วนวงจรเสียงพูดผ่าน (Speech Path Circuit)

ส่วนวงจรเสียงพูดผ่านเป็นส่วนที่จะทำการสวิตซ์ข่าวสารของอุปกรณ์สื่อสารต่าง ๆ จากต้นทางไปยังปลายทางโดยผ่านชุมสายโทรศัพท์ ซึ่งก็คือการจัดการติดต่อสื่อสารระหว่างผู้ใช้นั้นเอง โดยอาจเป็นการสวิตซ์ระหว่างคู่สายโทรศัพท์กับคู่สายโทรศัพท์ การสวิตซ์ระหว่างคู่สายโทรศัพท์กับทั้งรั้วหรือการสวิตซ์ระหว่างทั้งรั้วกับทั้งรั้วด้วยกัน โครงสร้างของวงจรเสียงพูดผ่านทั่วไปจะแสดงดังรูปที่ 2.13

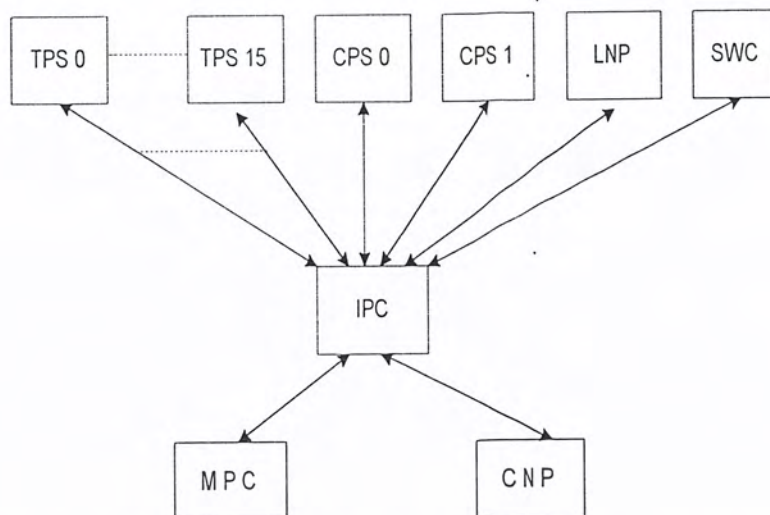


รูปที่ 2.13 แสดงโครงสร้างของส่วนวงจรเสียงพูดผ่านโดยทั่วไป

จากรูปที่ 2.13 ส่วนประกอบส่วนแรกของส่วนวงจรเชิงพหุผ่าน คือ ส่วนคอนเซนเตรเตอร์ (Concentrator Unit) เป็นส่วนที่จะทำการรวมสัญญาณข่าวสารของคู่สายสมาชิกจำนวนมาก ๆ ไปยังด้านอินพุตของส่วนสวิตซ์ซึ่งมีจำนวนช่องสัญญาณน้อยกว่าหลังจากที่สัญญาณข่าวสารถูกคอนเซนเตรเตอร์แล้วจะถูกส่งไปให้กับส่วนดิสทริบิวชัน (Distribution Unit) ส่วนนี้จะเชื่อมต่อสัญญาณข่าวสารไปยังกลุ่มของสวิตซ์ที่ต่ออยู่กับคู่สายสมาชิกปลายทางที่เรียกว่าส่วนเอ็กซ์แพนชัน (Expansion Unit) ส่วนนี้จะสวิตซ์สัญญาณข่าวสารไปยังคู่สายสมาชิกที่สนทนากัน ทำให้อุปกรณ์สื่อสารต้นทางสามารถติดต่อสื่อสารกับอุปกรณ์สื่อสารปลายทางได้ สำหรับเทคนิคของการสวิตซ์ที่ใช้ในชุมสายโทรศัพท์ระบบดิจิทัลจะอธิบายในส่วนต่อไป

2.2.4 ส่วนควบคุมกลาง (Central Control Unit)

พัฒนาการของส่วนควบคุมกลางที่ใช้ควบคุมการทำงานของชุมสายโทรศัพท์เริ่มจากระบบ Manual Control ซึ่งจะใช้คนทำหน้าที่สลับคู่สายและเชื่อมต่อคู่สาย ต่อจากนั้นระบบการควบคุมก็ถูกพัฒนาขึ้นมาเป็นระบบ Progressive Control ที่ใช้ในการควบคุมการทำงานของชุมสายโทรศัพท์ระบบ Step-by-Step และเป็นระบบ Common Control ซึ่งถูกนำมาใช้กับชุมสายโทรศัพท์ระบบ Crossbar ในปัจจุบันนี้ระบบของการควบคุมการทำงานของชุมสายโทรศัพท์จะใช้ หลักการ Store Program Control (SPC) ซึ่งหลักการนี้จะใช้อุปกรณ์ประเภทไมโครโปรเซสเซอร์ทำการประมวลผลข้อมูลที่ถูกเก็บไว้ในหน่วยความจำ จากนั้นจึงส่งข้อมูลไปควบคุมการทำงานของส่วนต่าง ๆ หน้าที่พื้นฐานของส่วนควบคุมกลางจะเป็นการจัดการเกี่ยวกับการประมวลผลการเรียก การตรวจสอบความผิดพลาดต่าง ๆ การปรับปรุงระบบการทำงานของชุมสายโทรศัพท์เป็นต้น ในช่วงแรกที่มีการพัฒนาชุมสายโทรศัพท์ระบบอิเล็กทรอนิกส์นั้นได้นำเอาระบบของส่วนควบคุมที่เป็น SPC คือ ระบบชิงเกล ไมโครโปรเซสเซอร์ ซึ่งเป็นการนำเอาไมโครโปรเซสเซอร์เพียงตัวเดียวมาทำการประมวลผลและควบคุมการทำงานของชุมสายโทรศัพท์เหล่านี้ ได้แก่ PABX ชุมสายโทรศัพท์ขนาดเล็ก เป็นต้น เมื่อชุมสายโทรศัพท์ถูกพัฒนาเข้ามาสู่ระบบดิจิทัลและชุมสายโทรศัพท์มีขนาดใหญ่ขึ้นทำให้ฟังก์ชันต่าง ๆ ที่ควบคุมการทำงานมีเพิ่มมากขึ้น ทำให้การทำงานของไมโครโปรเซสเซอร์ที่ใช้นั้นช้าลง จึงได้มีการนำเอา “ระบบมัลติโปรเซสเซอร์” (Multi Processor System) ซึ่งเอาโปรเซสเซอร์หลายตัวมาทำงานร่วมกัน เป็นต้นว่า ฟังก์ชันของการประมวลผลการเรียก ฟังก์ชันของการประมวลผลสัญญาณ ฯลฯ ซึ่งฟังก์ชันต่าง ๆ เหล่านี้จะใช้โปรเซสเซอร์ที่แตกต่างกันออกไป ทำให้ระบบมีความเชื่อถือสูงรวมไปถึงขนาดของโปรแกรมที่ใช้ของแต่ละโปรเซสเซอร์จะมีขนาดเล็กลง สำหรับโครงสร้างของส่วนควบคุมกลางที่ใช้หลักการตามระบบมัลติโปรเซสเซอร์จะแสดงไว้ดังรูปที่ 2.14



TSP : Trunk signalling Processor

CSP : Common Channel Signalling Processor

IPC : Inter-Processor Communication controller

LNP : Line Control Processor

SWC : Switched Controller

CNP : Call Control Processor

MCP : Master Control Processor

รูปที่ 2.14 แสดงโครงสร้างของส่วนควบคุมระบบมัลติโพรเซสเซอร์

จากรูปที่ 2.14 แสดงโครงสร้างของส่วนควบคุมระบบมัลติโพรเซสเซอร์ จะเห็นได้ว่าหน้าที่ต่าง ๆ จะถูกแยกให้กับโพรเซสเซอร์แต่ละตัว โดยมี IPC จะเป็นโพรเซสเซอร์ที่ควบคุมการติดต่อภายในระหว่างโพรเซสเซอร์ด้วยกัน และจะควบคุมการทำงานจาก MCP อีกชั้นหนึ่ง

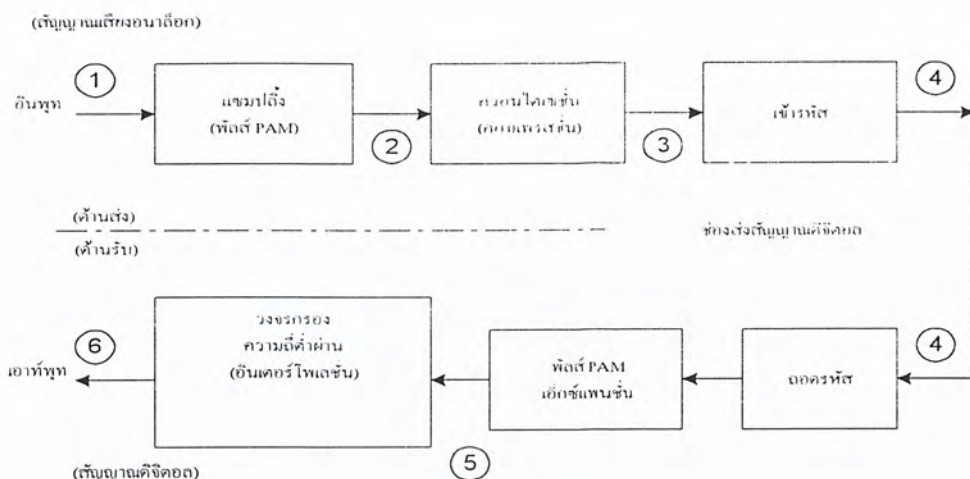
2.3 การเข้ารหัสด้วยหลักการพัลส์โค้ดมอดูเลชัน

2.3.1 การเข้ารหัสของสัญญาณเสียง

ในปัจจุบันระบบ PCM ถูกนำไปใช้อย่างกว้างขวางโดยเฉพาะสำหรับสัญญาณเสียง และในช่วงระยะหลัง ๆ นี้การพัฒนาระบบนี้เพื่อนำไปใช้กับสัญญาณภาพก็มีบทบาทขึ้นด้วย ดังนั้น ในส่วนนี้ตอนแรกจะกล่าวถึงการนำระบบ PCM ไปใช้กับสัญญาณเสียงก่อน ในตอนท้ายจึงจะกล่าวถึงการพัฒนา ระบบ PCM ในรูปแบบต่าง ๆ เพื่อนำไปใช้ทั้งสัญญาณเสียงและสัญญาณภาพ

2.3.2 กระบวนการเข้ารหัสและถอดรหัสของพีซีเอ็ม

รูปที่ 2.15 แสดงขั้นตอนการประมวลสัญญาณเพื่อให้ได้รับ PCM กล่าวอย่างกว้าง ๆ ก็คือการเข้ารหัส (Coding) และการนำสัญญาณไปแปลงกลับซึ่งเรียกว่าการถอดรหัส (Decoding) เพื่อให้ได้สัญญาณเดิมสำหรับรูป 2.16 แสดงลักษณะคลื่นในโดเมนเวลาและสเปกตรัมในโดเมนความถี่ของแต่ละขั้นตอนในกระบวนการนี้ ซึ่งหลักการของแต่ละขั้นตอนจะกล่าวให้ละเอียดดังต่อไปนี้



รูปที่ 2.15 กระบวนการเข้ารหัสและถอดรหัสของระบบ PCM

2.3.3 การแซมปลิง (Sampling)

ตามที่ทราบกันดีแล้วว่าแซมปลิงคือการทำสัญญาณซึ่งมีค่าต่อเนื่องให้เป็นแบบคิสิกซ์ใน ช่วงเวลาที่เท่า ๆ กัน และการที่กล่าวมาแล้วข้างต้นว่า ทฤษฎีการแซมปลิงนั้น ถ้าเก็บแซมเปิลด้วยอัตรา 2 เท่าหรือมากกว่าความถี่สูงสุดของสัญญาณอนาล็อกแล้วจะสามารถทำให้สัญญาณเดิมกลับคืนมาได้ เนื่องจากสัญญาณเสียงที่ใช้ในระบบโทรศัพท์นั้นถูกจำกัดให้มีความถี่ระหว่าง 0.3 - 3.4 kHz ดังนั้นอัตรา การแซมปลิงต่ำสุดจะต้องเท่ากับ 6.8 kHz สำหรับในทางปฏิบัติจะใช้ 8 kHz ก็จะต้องแซมปลิงทุก ๆ 125 μSec ($1/8 \times 10^3$)

การแซมปลิงนี้จะแปลงสัญญาณอนาล็อกให้เป็นขบวนพัลส์ซึ่งเรียกว่า PAM และจะมีผลดีได้จะ ต้องมีเงื่อนไขดังต่อไปนี้

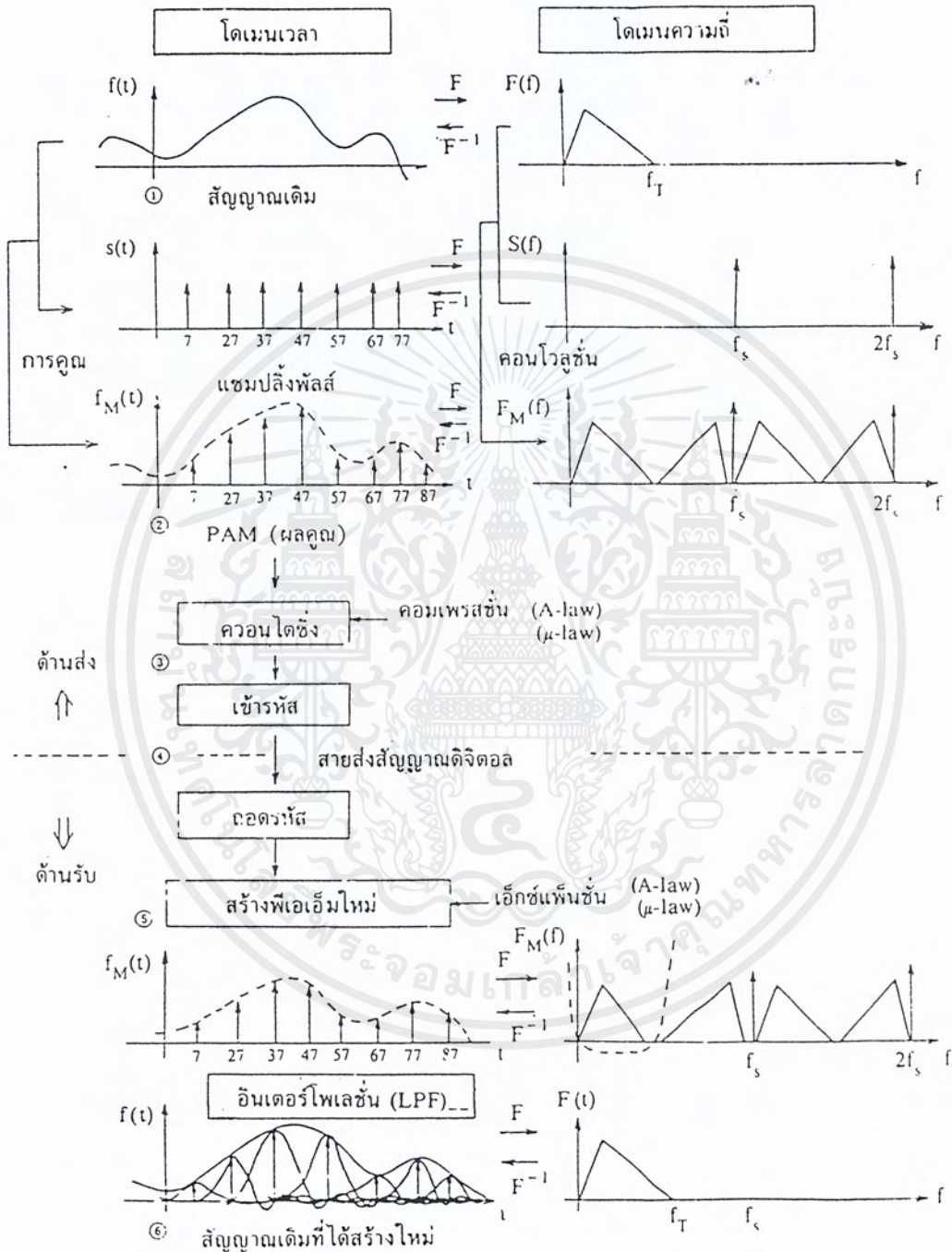
- สัญญาณอินพุตต้องมีมอดูลัสประกอบเกินความถี่สูงสุด f_c
- ขบวนพัลส์ที่ใช้สำหรับแซมปลิงจะต้องเป็นอิมพัลส์ซึ่งมีความกว้าง 0 และมีแอมพลิจูด เป็นอนันต์
- ทางด้านรับจะใช้วงจรกรองความถี่ต่ำในอุดมคติ ซึ่งยอมให้ความถี่ต่ำกว่า f_c ผ่านได้ทั้งหมด แต่อย่างไรก็ตามในทางปฏิบัติ นั้น จะไม่สามารถทำให้เป็นไปตามเงื่อนไขดังกล่าวข้างต้นได้ อย่างสมบูรณ์ เมื่อเป็นเช่นนี้จะเกิดการผิดเพี้ยน ต่าง ๆ ขึ้น คือ

- การผิดเพี้ยนเกิดจากแถบคลื่นซ้อนกัน (Aliasing Distortion)

- ถ้าความถี่สูงสุดของสัญญาณอินพุตเป็น f_c และความถี่ที่ใช้แซมปลิงเป็น f_s เมื่อ $f_s > 2 f_c$ วงจร

กรองความถี่ต่ำทางด้านรับจะขจัดองค์ประกอบความถี่ที่มากกว่า f_c ออกทำให้ง่ายต่อการทำ สัญญาณเดิมให้กลับคืนมาได้ แต่ถ้าสัญญาณอินพุตมีมอดูลัสประกอบความถี่สูงกว่า $f_s/2$ รวมอยู่ด้วยขบวน พัลส์ PAM ที่ได้รับจะมีความถี่สเปกตรัมซ้อนกันระหว่างสัญญาณเดิมกับ LSB จึงเป็นการลำบากที่จะ ทำการให้สัญญาณเดิมกลับคืนมาได้อย่างสมบูรณ์ แม้ว่าวงจรกรองความถี่จะกรองความถี่ที่สูงกว่า f_c

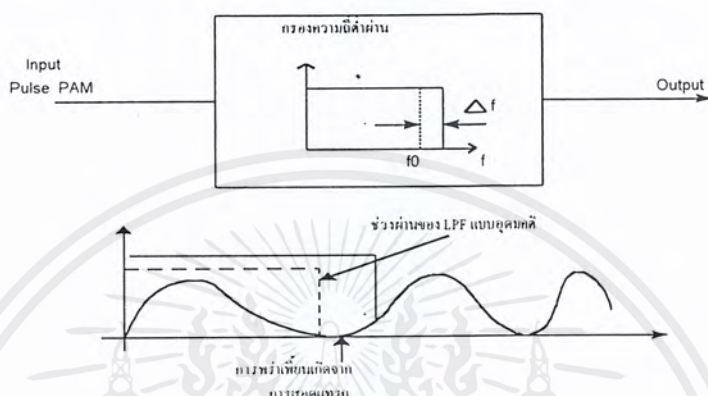
เหลือน้อยสลับกับสัญญาณที่ได้มอดูเลตแล้ว ประสิทธิภาพจะดีกว่า การคิดที่ซับซ้อนจากยกบน
คลื่น ซ้อนกัน



รูปที่ 2.16 กระบวนการเข้ารหัสและถอดรหัส (โดเมนเวลาและโดเมนความถี่)

- การผิดเพี้ยนเกิดจากการสอดแทรก (Interpolation Distortion)

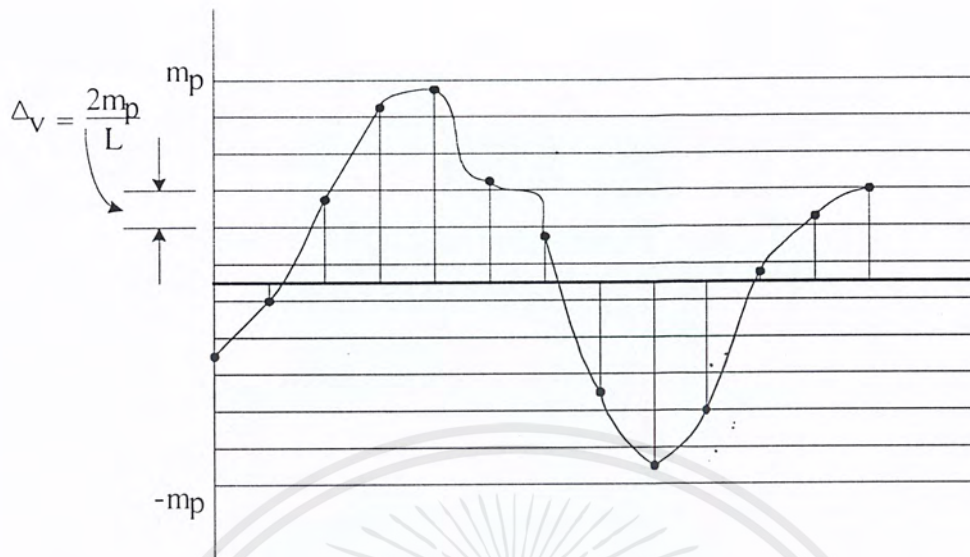
การคิมอดูเลตพัลส์ PAM ทางด้านรับนั้นจะได้ LPE ตามอุดมคติ ดังที่ได้กล่าวมาแล้วข้างต้นว่า ในทางปฏิบัติไม่สามารถจะสร้างวงจรแบบนี้ได้ จึงเพียงแต่สร้างให้มีคุณลักษณะใกล้เคียงกันเท่านั้น ดังนั้นจึงไม่สามารถจะกำจัดความถี่ซึ่งสูงกว่า f_0 และฮาร์โมนิกส์ต่าง ๆ ออกไปได้ตามที่แสดงไว้ใน รูปที่ 2.17 สิ่งดังกล่าวเหล่านี้จะสอดแทรกเข้าไปปนกับสัญญาณที่ได้จากการคิมอดูเลต จึงเป็นผลทำให้เกิดการผิดเพี้ยนซึ่งเรียกว่า การผิดเพี้ยนเกิดจากการสอดแทรก



รูปที่ 2.17 การผิดเพี้ยนเกิดจากการสอดแทรก

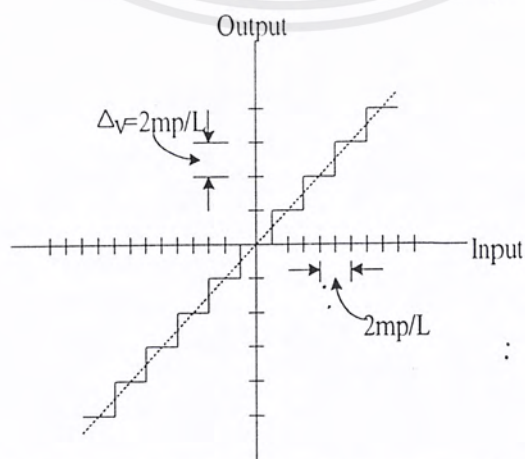
2.3.4 การคอนโโทษสัญญาณ

เพราะว่าค่าตัวอย่างสัญญาณอนาล็อกที่ซึกค่าได้มานั้นจะมีขนาดความแรงที่มีค่าเปลี่ยนแปลงเป็นอนาล็อกด้วย กล่าวคือ จะมีค่าที่เป็นไปได้เป็นจำนวนนับไม่ถ้วน ดังนั้นถ้าจะกำหนดรหัสให้กับค่าตัวอย่างเหล่านี้ทั้งหมดก็จะต้องใช้รหัสจำนวนมหาศาล ซึ่งเป็นไปไม่ได้ในทางปฏิบัติ ดังนั้นจึงต้องมีการลดจำนวนรหัสที่ใช้ลงให้เหมาะสมกับภาวะที่จะใช้งานจริงได้เมื่อความจำเป็นมีดังนี้ จึงจำเป็นที่จะต้องจัดแบ่งค่าความแรงของตัวอย่างสัญญาณออกเป็นกลุ่มเท่าจำนวนรหัสที่ใช้ โดยกำหนดให้ค่าตัวอย่างสัญญาณที่มีความแรงอยู่ในกลุ่มเดียวกันจะมีรหัสเดียวกัน ก็จะทำให้เกิดการจัดแบ่งระดับเป็นระดับสัญญาณดิจิตัลที่มีจำนวนจำกัดขึ้น (ดูรูป 2.21 ประกอบ) กระบวนการที่ทำการปรับค่าของสัญญาณที่เกิดขึ้นได้อย่างต่อเนื่องไปเป็นค่าที่มีระดับเป็นดิจิตัลที่มีจำกัดนี้เราได้อธิบายมาแล้วว่า คือการทำคอนโโทษ ถ้าสัญญาณ $m(t)$ มีค่าของของความแรงอยู่ระหว่าง $(-m_p, m_p)$ หากเราต้องการแบ่งกลุ่มความแรงของค่าตัวอย่างสัญญาณออกเป็น L กลุ่ม เราอาจทำได้โดยการแบ่งช่วงความแรงของสัญญาณออกเป็น L ช่วงเท่ากัน ซึ่งจะได้ความกว้างของแต่ละช่วงเท่ากับ $2m_p/L$ ดังแสดงในรูป 2.18 ค่าตัวอย่างสัญญาณที่มีระดับความแรงอยู่ในช่วงเดียวกันก็จะถือว่าอยู่ในกลุ่มเดียวกัน



รูปที่ 2.18 ค่าตัวอย่างสัญญาณที่ชักค่าออกมาได้ จะถูกประมาณด้วยค่าระดับดิสคริตที่ใกล้ที่สุด

ถ้าเราใช้ระดับความแรงที่กึ่งกลางของแต่ละช่วงเป็นระดับการทำควอนไทซ์ค่าตัวอย่างสัญญาณที่สุ่มได้จะถูกปรับให้มีค่าเท่ากับระดับกึ่งกลางช่วงที่มันบรรจุอยู่ค่าความสัมพันธ์ระหว่างความแรงของสัญญาณที่อินพุตและเอาต์พุตของวงจรควอนไทซ์เซอร์นี้จะมีดังแสดงในรูปที่ 2.19 ค่าความแตกต่างของการปรับค่าตัวอย่างสัญญาณที่ได้กับระดับการทำควอนไทซ์แต่ละระดับนี้ จะมีค่าอยู่ในช่วง $(-m_p/L, m_p/L)$ ค่าความแตกต่างนี้ คือ ค่าความผิดเพี้ยนหรือค่าความคลาดเคลื่อนของการทำควอนไทซ์ ค่าตัวอย่างสัญญาณที่ผ่านการควอนไทซ์แล้วจะถูกเข้ารหัส และส่งไปยังเครื่องรับในรูปกลุ่มของพัลส์ เครื่องรับจะมีวงจรถอดรหัส เพื่อนำค่าตัวอย่างสัญญาณกลับคืนในรูปสัญญาณดิสคริต และวงจรกรองความถี่ต่ำผ่านจะทำการกรองดีเทกต์เอาสัญญาณอนาล็อก $m(t)$ ที่ประมาณเท่ากับสัญญาณข่าวสาร $m(t)$ กลับคืนมา



รูปที่ 2.19 ความสัมพันธ์ระหว่างระดับสัญญาณอินพุต และเอาต์พุตของวงจรควอนไทซ์เซอร์

A จะเชื่อมต่อกับโนด 4 อยู่แล้ว ดังนั้น ในส่วนการเชื่อมโยงต่อไปคือต้องหาเส้นทางที่ว่างที่สามารถเชื่อมโยงไปยัง โนด 6 โดยจะนำเอาข้อมูลที่เป็นเส้นทางระหว่างโนดและความจุของสัญญาณที่ติดต่อกันระหว่างโนดมาทำการประมวลผลเพื่อการเชื่อมต่อระหว่างโนด โดยจะเริ่มจากโนดที่ 4 ทำการเลือกไปยังโนดที่ 5 ที่มีช่องสัญญาณว่างอยู่ (ที่มีการมัลติเพล็กซ์แบบ FDM หรือ TDM) จากนั้นจึงทำการเชื่อมโยงโนดที่ 5 กับโนดที่ 6 ซึ่งจะทำให้อุปกรณ์สื่อสาร A สามารถติดต่อกับอุปกรณ์สื่อสาร E ได้โดยที่โนดที่ 6 กับอุปกรณ์สื่อสาร E จะเชื่อมโยงกันตามปกติเช่นกับอุปกรณ์สื่อสาร A เชื่อมโยงกับโนดที่ 4 หลังจากที่สามารถเชื่อมโยงจากอุปกรณ์สื่อสาร A ถึงอุปกรณ์สื่อสาร E ได้แล้วก็จะมีการตรวจสอบสถานะของอุปกรณ์สื่อสาร E ว่าว่างหรือไม่ว่าง ถ้าอุปกรณ์สื่อสาร E ว่างจะถูกจัดให้เตรียมพร้อมสำหรับการติดต่อสื่อสาร

2. คาดำทรานส์เฟอร์ (Data Transfer)

สัญญาณตอนนี้สามารถที่จะส่งจากอุปกรณ์สื่อสาร A ผ่านตำแหน่งของโนดต่าง ๆ สู่อุปกรณ์สื่อสาร E ได้ สัญญาณที่ส่งนี้อาจเป็นสัญญาณอนาล็อก สัญญาณเสียงแบบดิจิทัลหรือข้อมูลไบนารี ซึ่งจะขึ้นอยู่กับลักษณะของโครงข่าย ถ้าใช้โครงข่าย IDN จะเป็นการส่งข่าวสารเป็นสัญญาณข้อมูลแบบดิจิทัล จากตัวอย่างจะเป็นเส้นทางเชื่อมโยงจากอุปกรณ์สื่อสาร A กับโนดที่ 4 จะสวิตช์ไปเชื่อมโยงกับโนดที่ 5 จากโนดที่ 5 จะสวิตช์ต่อไปยังโนดที่ 6 และสวิตช์ภายในโนดที่ 6 จะต่อไปยังอุปกรณ์สื่อสาร E โดยทั่วไปแล้วการเชื่อมโยงจะเป็นลักษณะของการสื่อสารแบบฟูลดูเพล็กซ์ ซึ่งข่าวสารสามารถส่งได้ 2 ทิศทาง

3. เซอร์กิตดิสคอนเนคท์ (Circuit Disconnect)

หลังจากสิ้นสุดการถ่ายโอนข้อมูล โดยปกติแล้วจะเกิดจากการกระทำจากอุปกรณ์สื่อสารจุดใดจุดหนึ่ง (A หรือ E) สัญญาณการยกเลิกการเชื่อมต่อจะต้องมีการบอกเลิกการติดต่อไปยังโนดที่ 4, 5 และ 6 ที่ใช้เป็นเส้นทางในการส่งสัญญาณ

จากขั้นตอนต่าง ๆ จะเห็นได้ว่าเส้นทางที่เชื่อมต่อจะถูกสร้างขึ้นก่อนที่การส่งข้อมูลจะเริ่มขึ้น ดังนั้นความจุของช่องสัญญาณต้องถูกสำรองไว้ระหว่างแต่ละคู่ของโนดในเส้นทางและการเชื่อมต่อสำหรับประสิทธิภาพในการทำงานของเซอร์กิตสวิตซ์ซึ่งจะไม่ดี เนื่องจากช่องสัญญาณจะถูกจองไว้ตลอดช่วงเวลาติดต่อสื่อสารกันแม้ว่าบางช่วงจะไม่มีมีการติดต่อหรือส่งข้อมูลจึงทำให้การใช้ช่องสัญญาณมีประสิทธิภาพน้อยแต่สำหรับการใช้งานด้านสัญญาณเสียงพูดจะมีประสิทธิภาพที่สูงมากแม้ว่าจะไม่ถึง 100 % ก็ตาม ในส่วนของการส่งข้อมูลจากเครื่องคอมพิวเตอร์จะเกิดการดีเลย์ของสัญญาณ เนื่องจากการส่งข่าวสารผ่านโนดต่าง ๆ ซึ่งสามารถตัดทิ้งได้ นอกจากนั้นแล้วการสร้างวงจรเชื่อมต่อสำหรับแต่ละโนดจะไม่มีผลกระทบต่อสัญญาณข่าวสารที่ส่งด้วย

2.4.2 แมสเสจสวิตซิง (Message Switching)

จากหลักการสวิตซิงแบบแรกที่ได้กล่าวถึงคือ เซอร์กิตสวิตซิงจะเห็นได้ว่าเป็นหลักการที่ง่ายต่อการใช้งานและเหมาะกับการที่ส่งสัญญาณข่าวสารที่ต่อเนื่องกันเป็นต้นว่าสัญญาณเสียงในระบบโทรศัพท์ สัญญาณข้อมูลจากอุปกรณ์เช่นเซอร์กิตของระบบ Telemetry ฯลฯ อย่างไรก็ตามหลักการของเซอร์กิตสวิตซิงนี้ จะมีข้อจำกัดทางการสวิตซิงอันจะทำให้ประสิทธิภาพของการสวิตซิงนั้นลดลง คือ

อุปกรณ์สื่อสารปลายทางที่ติดต่อสื่อสารกันทั้ง 2 ตัว จะต้องวางทั้งคู่ในช่วงเวลาที่ติดต่อกัน ในส่วนนี้จะแนะนำหลักการสวิตชิงอีกอย่างหนึ่งที่เรียกว่า แมสเสจส์สวิตชิง (Message Switching) คำว่า Message นี้จะหมายถึงหน่วยหนึ่งของข้อมูลทางลอจิกที่ส่งผ่านชุมสายฯ เป็นต้นว่า ข้อมูลโทรเลข, ไฟล์ข้อมูล ฯลฯ แมสเสจส์สวิตชิงจะเป็นหลักการที่ไม่ใช้การเชื่อมโยงระหว่างอุปกรณ์สื่อสารปลายทางทั้งสองตลอดเวลาของการติดต่อสื่อสารแต่จะใช้หลักการของการส่งข่าวสารที่ประกอบไปด้วยแอดเดรสของปลายทางโดยข่าวสารจะส่งผ่านโครงข่ายในลักษณะโนดต่อโนดแล้วทำการเก็บข้อมูลไว้ชั่วคราวจากนั้นจึงจะทำการส่งให้กับโนดต่อไป อุปกรณ์ใช้ทำหน้าที่สวิตซ์ที่โนดแต่ละจุดจะใช้เป็นเครื่องคอมพิวเตอร์ทั่ว ๆ ไปที่มีขนาดของหน่วยความจำเพียงพอต่อการเก็บข้อมูลหรือข่าวสารที่ส่งเข้ามายังโนด ซึ่งจะทำให้ข่าวสารนั้นถูกหน่วงเวลาไปทุก ๆ โนด

สำหรับตัวอย่างการทำงานของแมสเสจส์สวิตชิงจะอ้างถึงรูปที่ 2.20 ประกอบคำอธิบาย โดยจะพิจารณาการส่งข่าวสารจากอุปกรณ์สื่อสาร A ไปยังอุปกรณ์สื่อสาร E เริ่มต้นจากการกำหนดแอดเดรสของอุปกรณ์สื่อสาร E ไปกับข่าวสารของอุปกรณ์สื่อสาร A ซึ่งจะส่งไปให้กับโนดที่ 4 ซึ่งอุปกรณ์ที่อยู่ที่โนดที่ 4 จะเก็บข่าวสารนี้แล้วทำการประมวลผลเพื่อหาตำแหน่งที่จะส่งต่อไปอีก ซึ่งก็คือโนดที่ 5 จากนั้นโนดที่ 4 ก็จะจัดการเชื่อมต่อกับโนดที่ 5 และทำการส่งข่าวสารที่มีคำรหัสแอดเดรสของอุปกรณ์สื่อสาร E อยู่อุปกรณ์ที่โนดที่ 5 ก็จะทำงานเช่นเดียวกับโนดที่ 4 โดยเชื่อมต่อกับโนดที่ 6 และอุปกรณ์สื่อสาร E ตามลำดับ ทำให้ข่าวสารจากอุปกรณ์สื่อสาร A สามารถส่งมาถึงกับอุปกรณ์สื่อสาร E ได้รูปแบบของการติดต่อสื่อสารแบบนี้มีชื่อเรียกอีกอย่างหนึ่งว่า Store and Forward Message System

จากรายละเอียดที่ได้ทำอธิบายถึงการทำงานของเซอร์กิตสวิตชิงและแมสเสจส์สวิตชิงในส่วนต่อไปจะกล่าวถึงข้อดีของแมสเสจส์สวิตชิงที่เรียกว่าเซอร์กิตสวิตชิง .

- มีประสิทธิภาพในการใช้คู่สายที่สูงกว่าเมื่อพิจารณาจากหลักการแมสเสจส์สวิตชิงที่สามารถสวิตซ์ข่าวสารได้หลาย ๆ ข่าวสารเมื่อใช้ช่องสัญญาณที่ติดต่อยกเว้นเพียงช่องสัญญาณเดียว
- ไม่จำเป็นต้องใช้การสื่อสารแบบฟูลดูเพล็กซ์เพราะว่าโครงข่ายแบบนี้ สามารถที่จะเก็บข่าวสารไว้ก่อนแล้วจึงส่งข่าวสารนั้นให้กับทางผู้รับ
- เมื่อปริมาณการใช้งานชุมสายฯ มีมากขึ้นเซอร์กิตสวิตชิงอาจไม่สามารถให้บริการบางการเรียกได้ แต่สำหรับแมสเสจส์สวิตชิงจะสามารถให้บริการได้เพียงพอ
- แมสเสจส์สวิตชิงจะสามารถส่งข่าวสารหนึ่งข่าวสารไปยังปลายทางหลาย ๆ จุดได้ และสามารถจัดจำนวนของข่าวสารได้อีก แต่สำหรับเซอร์กิตสวิตชิงจะเป็นเรื่องที่ยุ่งยากพอสมควร
- แมสเสจส์สวิตชิงสามารถที่จะตรวจสอบความผิดพลาดของข่าวสารที่ส่งได้ ทำให้ข่าวสารที่รับได้มีความผิดพลาดน้อยลง

จากรายละเอียดข้างต้นถึงแม้ว่าข้อดีของเมสเสจสวิตชิงจะมีมากกว่าแบบเซอร์กิตสวิตชิง แต่ว่าข้อเสียของเมสเสจสวิตชิงที่เห็นได้ชัดก็คือไม่สามารถที่จะจัดการสวิตช์ในลักษณะเรียลไทม์ (Real Time) ได้คำนวณเวลาที่ใช้ในการสวิตช์โดยผ่านโครงข่ายนั้นจะสัมพันธ์กับระยะทางของการติดต่อ นอกจากนั้นจุดสำคัญอีกจุดหนึ่งก็คือเมสเสจสวิตชิงจะไม่สามารถนำมาจัดการเชื่อมต่อทางสัญญาณเสียงได้

2.4.3 แพ็กเก็ตสวิตชิง (Packet Switching)

แพ็กเก็ตสวิตชิงเป็นหลักการที่รวมเอาข้อดีของเซอร์กิตสวิตชิงและเมสเสจสวิตชิง ในขณะที่แยกเอาข้อเสียของทั้งสองหลักการนั้นออกไป โดยค่าปริมาณการติดต่อสื่อสารนั้นจะขึ้นอยู่กับจำนวนของอุปกรณ์สื่อสารปลายทางที่จัดการบริการแพ็กเก็ตสวิตชิงจะคล้ายกับเมสเสจสวิตชิงเป็นอย่างมาก แต่ข้อแตกต่างที่เห็นได้จากภายนอกก็คือลักษณะของการส่งข้อมูล โดยเมสเสจสวิตชิงจะส่งข่าวสารทั้งหมดและไม่มีการแบ่งข่าวสารเป็นส่วน ๆ แต่สำหรับแพ็กเก็ตสวิตชิงจะทำการส่งข่าวสารแบบแพ็กเก็ต โดยกำหนดความยาวของข่าวสารถ้าจำนวนของข่าวสารมากกว่าขนาดของแพ็กเก็ตก็จะทำการแบ่งออกเป็นหลายแพ็กเก็ตค่าความยาวของแพ็กเก็ตของข่าวสารจะถูกจำกัดด้วยโครงข่าย ซึ่งจะมีค่าสูงสุดอยู่ที่ประมาณ 1000 บิตต่อแพ็กเก็ต สำหรับข้อแตกต่างอื่น ๆ ที่แพ็กเก็ตสวิตชิงแตกต่างไปจากเมสเสจสวิตชิง ก็คือลักษณะของข่าวสารที่ส่งเป็นแพ็กเก็ตจะไม่อยู่ในรูปแบบของไฟล์ นอกจากนั้นแล้วการเก็บแพ็กเก็ตของข่าวสารที่แพ็กเก็ตสวิตชิงจะเก็บชั่วคราวเท่านั้นเพื่อตรวจสอบความผิดพลาดในการส่งข้อมูลแต่ถ้าเป็นเมสเสจสวิตชิงจะใช้เวลามากเพราะต้องรับข้อมูลทั้งหมด

สำหรับตัวอย่างของการส่งข่าวสารเพียงแพ็กเก็ตเดียวของอ้างถึงรูปที่ 2.20 โดยที่แพ็กเก็ตจะประกอบไปด้วยข่าวสารและแอดเดรสของอุปกรณ์ปลายทาง อุปกรณ์ A จะส่งแพ็กเก็ตไปยังโนดที่ 4 ที่โนดนี้จะเก็บข่าวสารได้ชั่วคราวและส่งไปยังโนดที่ 5, 6 และไปยังอุปกรณ์ E ตามลำดับ หลักการนี้จะมีข้อดีกว่าเซอร์กิตสวิตชิง ดังนี้

- มีประสิทธิภาพภายในโครงข่ายมากกว่า เนื่องจากเส้นทางที่ใช้ติดต่อระหว่างโนดถึงโนดเพียงเส้นทางเดียวจะเฉลี่ยการใช้งานให้สามารถรองรับแพ็กเก็ตจำนวนมากได้ตลอดเวลา แพ็กเก็ตจะถูกนำมาเรียงไว้และส่งไปในเส้นทางอย่างรวดเร็ว ซึ่งจะต่างกับเซอร์กิตสวิตชิงที่จะต้องจัดเวลาให้กับเส้นทางระหว่างโนดไว้ก่อนล่วงหน้าโดยใช้ ซิงค์โครไนส์ ไลน์ดิชั่นมัลติเพล็กซ์
- หลักการแพ็กเก็ตสวิตชิงสามารถแปลงอัตราเร็วในการส่งข้อมูลได้ เนื่องจากอุปกรณ์ที่ต้นทางและปลายทางจะมีส่วนที่ทำหน้าที่จัดแพ็กเก็ตให้มีอัตราเร็วที่เหมาะสมอยู่
- การจัดลำดับความสำคัญให้กับแพ็กเก็ต ถ้าโนดที่มีแพ็กเก็ตที่รอคิวสำหรับส่งออกเป็นจำนวนมากแพ็กเก็ตสวิตชิงก็สามารถที่จะส่งแพ็กเก็ตที่มีลำดับความสำคัญที่สูงกว่าไปก่อนได้ ซึ่งจะทำให้แพ็กเก็ตเหล่านี้มีช่วงเวลาเฉลี่ยที่น้อยกว่าแพ็กเก็ตที่มีลำดับความสำคัญน้อยกว่า

ลักษณะการทำงานของแพ็คเก็ตสวิตชิง

ถ้าอุปกรณ์สื่อสารมีขนาดของข่าวสารที่จะส่งผ่านโครงข่ายยาวกว่าขนาดของแพ็คเก็ตแล้ว อุปกรณ์ที่ทำหน้าที่สวิตซิงก็จะทำการแบ่งข่าวสารนั้นออกเป็นแพ็คเก็ตย่อย ๆ ก่อนแล้วจึงค่อยส่งแพ็คเก็ตย่อย ๆ นั้นไปในโครงข่ายที่ละแพ็คเก็ต ซึ่งวิธีการจัดการกับขบวนแพ็คเก็ตย่อย ๆ เหล่านี้มีอยู่ 2 วิธีด้วยกันคือ คาด้าแกรม (Datagram) และ เวอร์ชวลเซอร์กิต (Virtual Circuit)

คาด้าแกรม ในการดำเนินการตามวิธีคาด้าแกรมนี้ แพ็คเก็ตแต่ละแพ็คเก็ตจะเป็นอิสระต่อกันโดยจะไม่มีมีการเปรียบเทียบกับแพ็คเก็ตก่อนหน้านี้ สำหรับตัวอย่างของวิธีนี้จะอ้างถึงรูปที่ 2.20 และจัดให้อุปกรณ์ A มีแพ็คเก็ตที่จะส่งให้กับอุปกรณ์ E อยู่ 3 แพ็คเก็ต โดยอุปกรณ์ A จะส่งแพ็คเก็ต 1-2-3 ไปยังโนดที่ 4 ในแต่ละแพ็คเก็ตนั้นโนดที่ 4 จะต้องตัดสินใจในการที่จะส่งแพ็คเก็ตไปยังโนดต่อไปภายในเส้นทางนั้น โดยจะทำการตรวจสอบปริมาณของค่ากลับแพ็คเก็ตที่เข้าไปยังโนดที่อยู่ในเส้นทางในที่นี้สมมติว่าโนดที่ 4 สามารถตรวจสอบได้ว่าคิวที่เข้าไปยังโนดที่ 5 สั้นกว่าคิวที่เข้าไปยังโนดที่ 7 ดังนั้นโนดที่ 4 จึงส่งแพ็คเก็ตข่าวสารของอุปกรณ์ A ไปให้กับโนดที่ 5 สำหรับแพ็คเก็ตข่าวสารที่ 2-3 ก็จะทำในลักษณะเดียวกัน จากนั้นโนดที่ 5 และโนดที่ 7 ที่ได้รับแพ็คเก็ตข่าวสารก็จะส่งไปยังโนดที่ 6 และส่งไปให้กับอุปกรณ์ E ต่อไป ที่อุปกรณ์ E นี้จะมีส่วนที่ทำการตรวจสอบแพ็คเก็ตข่าวสารว่าครบตามจำนวนที่อุปกรณ์ A ส่งมาหรือไม่ โดยจะให้ข่าวสารแต่ละแพ็คเก็ตเป็นอิสระต่อกันนั่นเอง

เวอร์ชวลเซอร์กิต จะเป็นวิธีที่ทำการวางแผนเส้นทางของการส่งข้อมูลไว้ล่วงหน้าก่อนที่จะทำการส่งแพ็คเก็ตข่าวสารออกไป เป็นต้นว่า อุปกรณ์ A ต้องการที่จะส่งข่าวสารอยู่หนึ่งข้อความหรือมากกว่านั้นไปยังอุปกรณ์ E ในวิธีนี้อุปกรณ์ A จะต้องทำการส่งแพ็คเก็ตพิเศษสำหรับใช้ควบคุมการส่งไปก่อนเป็นการร้องขอให้โนดที่ 4 ทำการเชื่อมต่อไปถึงอุปกรณ์ E ก่อน ซึ่งจะเป็นลักษณะที่โนดที่ 4 ร้องขอไปยังโนดที่ 5 ต่อด้วยโนดที่ 6 อันเป็นจุดสุดท้ายที่จะส่งแพ็คเก็ตไปยังอุปกรณ์ E และถ้าอุปกรณ์ E พร้อมที่จะรับข่าวสารก็จะมีการส่งแพ็คเก็ตเพื่อเป็นการตอบรับการเรียก (Packet Call Accept) ไปที่โนดที่ 6 และส่งผ่านโนดที่ 5-4 และอุปกรณ์ A ซึ่งในขณะนี้ อุปกรณ์ A และอุปกรณ์ E สามารถแลกเปลี่ยนข่าวสารกันได้ตลอดเวลา สำหรับวิธีนี้จะสังเกตได้ว่าจะคล้าย ๆ กับหลักการเซอร์กิตสวิตซิง แต่ว่าเวอร์ชวลเซอร์กิตจะเป็นการเตรียมเส้นทางระหว่างอุปกรณ์ก่อนที่จะทำการส่งข่าวสาร แต่ไม่ใช้การจองเส้นทางไว้ตายตัวเหมือนกับเซอร์กิตสวิตซิง เพราะแพ็คเก็ตก็ยังถูกพักไว้ที่โนดแต่ละโนดและเข้าคิวไว้เพื่อจะรอส่งออกไปยังเอาต์พุตอยู่ สำหรับข้อแตกต่างระหว่างเวอร์ชวลเซอร์กิตกับคาด้าแกรมก็คือในเวอร์ชวลเซอร์กิต โนดจะไม่จำเป็นที่จะต้องตัดสินใจในเรื่องของการเลือกเส้นทางในการส่งแพ็คเก็ตแต่จะทำการสร้างเส้นทางเพียงครั้งเดียวเท่านั้น

ในกรณีที่อุปกรณ์ทั้งสองที่กำลังแลกเปลี่ยนข่าวสารกันอยู่นั้นใช้เวลาเกินกว่าที่กำหนด ซึ่งอาจเกิดขึ้นจากแพ็คเก็ตสวิตซิงบางโนดนั้นเสียขึ้นมาชั่วคราว ซึ่งโนดที่ทำการรับแพ็คเก็ตข่าวสารสามารถที่จะทำการร้องขอให้โนดที่ทำการส่งแพ็คเก็ตมาให้นั้นทำการส่งแพ็คเก็ตมาใหม่อีกครั้งหนึ่งได้ ซึ่งวิธีเวอร์ชวลเซอร์กิตนี้จะจัดให้มีการจัดลำดับของแพ็คเก็ตและการควบคุมความผิดพลาดในการส่งข่าวสารเพื่อให้มีความมั่นใจในข่าวสารที่รับได้ว่ามีความถูกต้องอีกด้วย เช่น ถ้าแพ็คเก็ตที่ส่งจากโนดที่ 4 ไปยัง

โหนดที่ 6 เกิดเสียขึ้นมาก่อนที่จะมาถึงหรือรับแพ็คเก็ตได้แล้วแต่มีความผิดพลาด โหนดที่ 6 ก็สามารรถที่จะร้องขอให้โหนดที่ 4 ส่งแพ็คเก็ตมาให้ใหม่อีกครั้งได้ สำหรับการเปรียบเทียบการทำงานของ แพ็คเก็ตสวิตชิง ทั้งสองวิธีจะแสดงดังตารางที่ 2.1

ตารางที่ 2.1 ตารางแสดงการเปรียบเทียบเวอร์ชวลเซอร์กิตและคาล์วแกรม

	ข้อดีของเวอร์ชวลเซอร์กิต	ข้อดีของคาล์วแกรม
1. การทำงานภายในโครงข่าย	1. สามารถใช้กับการบริการที่ใช้การเชื่อมต่อแบบโอเรียนท์ 2. ลดเวลาในการตัดสินใจในเรื่องเส้นทางสำหรับแพ็คเก็ตที่โหนด โดยจะกระทำในขั้นตอนเซตอัพเท่านั้นดังนั้นในการจ่ายแพ็คเก็ตอาจใช้เวลาเพียงเล็กน้อยเท่านั้น	1. หลีกเลี่ยงเวลาของการคอลเล็คชั่น ซึ่งเป็นข้อดีสำหรับการส่งข้อมูลช่วงสั้น ๆ 2. อาจมีการบายพาสไปยังโหนดอื่น ๆ เมื่อโครงข่ายแออัด ซึ่งเป็นการปรับปรุงสมรรถนะในการแจกจ่ายแพ็คเก็ต 3. มีการปรับปรุงทางการแจกจ่ายแพ็คเก็ต เมื่อโหนดในโครงข่ายเสียหาย
2. การบริการภายนอกโครงข่าย	1. จัดเตรียมการให้บริการเป็นกลุ่มสำหรับผู้ไ้ เป็นต้นว่าการจัดลำดับ (Queue) และการควบคุมความผิดพลาด	1. สนับสนุนการใช้งานที่มีการเชื่อมต่อไม่มากนัก 2. หลีกเลี่ยงช่วงเวลาเซตอัพของการเรียก

จากตารางที่ 2.1 จะเป็นตารางที่สรุปความสัมพันธ์ที่สำคัญของทั้งสองแบบ แต่แบบที่นำมาใช้อย่างแพร่หลายอยู่ทั่วไปคือแบบเวอร์ชวลเซอร์กิต สำหรับแบบคาล์วแกรมมักจะใช้ในโครงข่ายไปรเวทแพ็คเก็ตสวิตชิง (Private Packet Switching Network) แต่ในสภาพการทำงานภายนอกโครงข่ายของคาล์วแกรมและเวอร์ชวลเซอร์กิตจะแตกต่างกันเพียงเล็กน้อย ดังนั้นผู้ที่ทำการเลือกใช้งานโครงข่ายจะต้องพิจารณาองค์ประกอบอื่น ๆ ด้วย เช่น ราคา สมรรถนะของการใช้งาน เป็นต้น

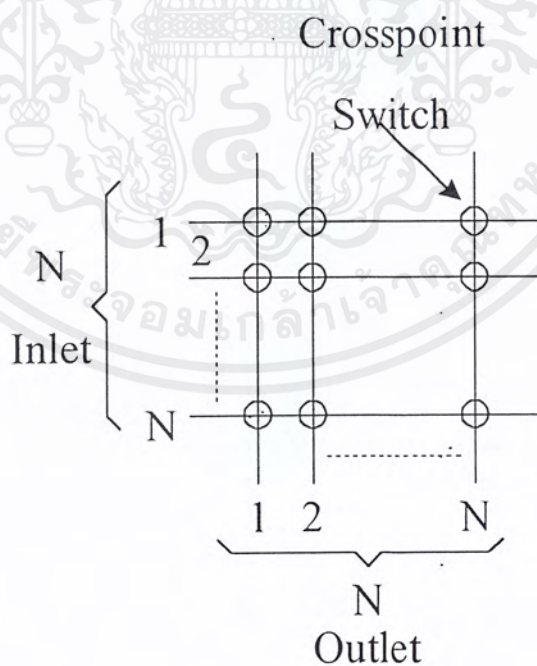
2.5 ทฤษฎีของการสลับช่วงเวลา

2.5.1 สวิตชิงแบบสเปซดิวิชัน (Space – Division Switching)

สวิตชิงแบบสเปซดิวิชันนี้ เดิมได้มีการนำไปใช้งานกับระบบอนาล็อกและต่อมาจึงได้มีการพัฒนาเพื่อให้ใช้กับเทคโนโลยีแบบดิจิทัลได้ หลักการพื้นฐานของสวิตชิงแบบนี้จะมีลักษณะคล้าย ๆ กันทั้งแบบอนาล็อกและแบบดิจิทัล สเปซดิวิชันมีความหมายว่าเส้นทางสำหรับการรับ-ส่ง

สัญญาณข่าวสารที่ได้กำหนดขึ้นมาจะแยกออกจากเส้นทางอื่น ๆ ตามลักษณะทางกายภาพ โดยในแต่ละเส้นทางจะมีจุดต่อที่เรียกว่าสวิตช์ซึ่งจะจัดให้มีการเชื่อมต่อระหว่างปลายทาง 2 จุดเท่านั้น พื้นฐานสำหรับการทำงานของสวิตช์ที่จุดต่อนี้อาจเป็นโลหะหรือสร้างจากเกทสารกึ่งตัวนำ ซึ่งจะสามารถควบคุมให้ทำงานหรือไม่ให้ทำงานก็ได้โดยใช้หน่วยควบคุมในรูปที่ 2.21 จะแสดงครอสบาร์เมทริกซ์อย่างง่ายที่มีคู่สายอินพุตและเอาต์พุตแบบฟูลคูเพิล็กซ์จำนวน N คู่สาย โดยที่เมทริกซ์นี้จะมีอินพุตเท่ากับ N และเอาต์พุต N อุปกรณ์แต่ละตัวจะต่อกับเมทริกซ์โดยผ่านอินพุตหนึ่งและเอาต์พุตหนึ่ง โดยจะสามารถเชื่อมต่อจากคู่สายใด ๆ ไปออกที่เอาต์พุตใดก็ได้ โดยการกำหนดจุดครอสพอยน์ที่สามารถเชื่อมต่อคู่สายที่ต้องการจากส่วนควบคุมการสวิตช์หรือควบคุมจุดครอสพอยน์ให้ทำงาน จากรูปดังกล่าวจะเห็นได้ว่าครอสพอยน์ทั้งหมดมีค่าเป็น $N^2 = N \times N$ สำหรับลักษณะของจุดครอสพอยน์จะมีข้อจำกัดดังต่อไปนี้

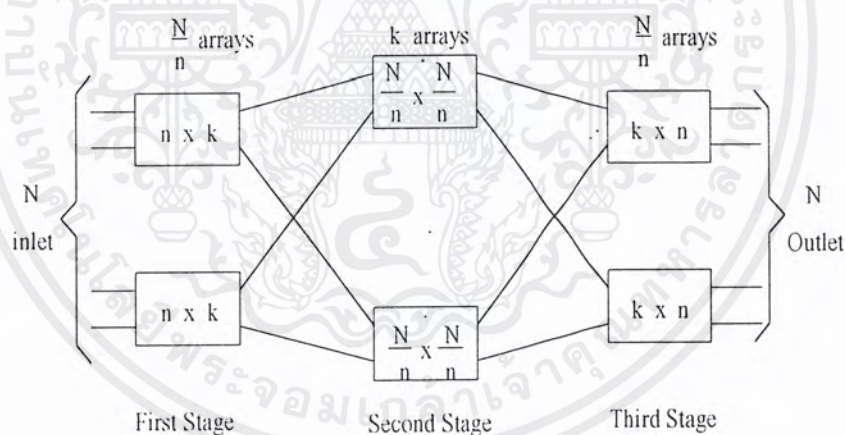
- จำนวนของจุดครอสพอยน์จะมีค่าเท่ากับ N^2 ถ้าค่า N มีค่ามาก ๆ จะทำให้สวิตช์มีราคาค่อนข้างสูงและจะมีผลต่อความสามารถที่จะรองรับการสวิตช์สัญญาณข่าวสาร เมื่อปริมาณการสื่อสารเพิ่มมากขึ้น
- การสูญเสียที่เกิดขึ้นที่จุดครอสพอยน์ จะถือว่ามีความน้อยมากในการเชื่อมต่อระหว่างอุปกรณ์ที่ติดต่อสื่อสารกัน
- ประสิทธิภาพที่ได้จากครอสพอยน์จะน้อยมาก เนื่องจากมีเอาต์พุตเพียงแค่ N แต่จะต้องใช้ครอสพอยน์ถึง N^2 จุด



รูปที่ 2.21 สวิตซ์แบบสเปซดิวิชัน

จากข้อจำกัดดังกล่าวจึงมีการนำเอาระบบสวิตช์ที่เป็นแบบมัลติสเตต (Multi State) มาใช้เพื่อแก้ไขปัญหาดังกล่าว โดยที่ทางด้านคู่สายของอินพุตจำนวน N คู่สาย จะถูกแยกออกเป็น k กลุ่ม (N/n) โดยจัดเป็นกลุ่มละ n คู่สายต่อเข้ากับเมทริกซ์สวิตช์ในสเตตแรกและเอาต์พุตของสเตตแรกจะเป็นอินพุตให้กับสเตตต่อไปจนถึงสเตตสุดท้ายจะมี N เอาต์พุต ดังนั้นในอุปกรณ์แต่ละตัวที่ต่ออยู่กับ คู่สาย อินพุตจะต่อเข้าสู่สเตตแรกและเอาต์พุตจะไปออกที่สเตตสุดท้าย ดังแสดงไว้ดังรูปที่ 2.22 รูปนี้ จะมีการแบ่งสเตตของการทำงานเป็น 3 สเตต โดยเมทริกซ์สวิตช์สเตตที่ 2 จะมีอยู่ k เมทริกซ์ แต่ละเมทริกซ์นั้นจะมี k อินพุตและ k เอาต์พุต การเลือกเส้นทางในการเชื่อมต่อในสเตตที่ 2 จะต้องมีการพิจารณาที่ซับซ้อนกว่าการทำงานของเมทริกซ์แบบ N^2 : โดยที่เอาต์พุตของเมทริกซ์ที่ 2 จำนวน k เส้นทาง ซึ่งมีจำนวนเอาต์พุตเป็น k เอาต์พุต ดังนั้นจึงมีการต่อเอาต์พุตของสเตตที่ 2 เข้ากับอินพุตของเมทริกซ์ที่ 3 การจัดทำลักษณะนี้จะมีข้อดีที่เหนือกว่าแบบเมทริกซ์เดี่ยวอยู่หลายอย่างคือ

- จำนวนจุดเชื่อมต่อของเมทริกซ์สวิตช์จะลดลงและเป็นการใช้จุดเชื่อมต่ออย่างมีประสิทธิภาพ
- มีเส้นทางผ่านในโครงข่ายสำหรับการเชื่อมโยงกับปลายทาง 2 จุดที่ต้องการติดต่อกันมากกว่า 1 เส้นทาง จึงเป็นการเพิ่มความเชื่อถือในการเชื่อมโยงระหว่างปลายทางทั้งสอง

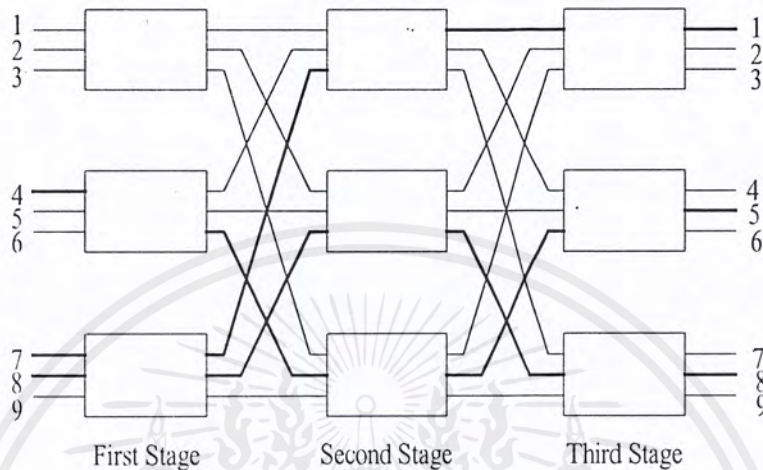


รูปที่ 2.22 รูปแสดงสวิตช์แบบสเปซดิวิชั่นแบบ 3 สเตต

สำหรับโครงข่ายที่เป็นแบบมัลติสเตตจะมีการควบคุมที่ซับซ้อนกว่าโครงข่ายแบบสเตตเดียว โดยโครงข่ายแบบสเตตเดียวจะใช้เกทเพียงเกทเดียวในการสวิตช์แต่สำหรับโครงข่ายที่เป็นแบบมัลติสเตต เส้นทางที่ใช้สำหรับติดต่อนั้นจะต้องมีการเชื่อมต่อผ่านจุดต่าง ๆ ซึ่งจะต้องมีการควบคุมการทำงานของเกทต่าง ๆ ให้สัมพันธ์กันเพื่อที่จะสามารถเชื่อมต่อไปยังปลายทางได้ตามต้องการ

ในการพิจารณาการทำงานของสเปซดิวิชั่นแบบมัลติสเตต อาจเกิดการบล็อกกิ้ง (Blocking) การเชื่อมต่อขึ้นได้จากรูปที่ 2.21 จะแสดงการทำงานแบบครอสบาร์ ซึ่งเป็นเมทริกซ์ที่ไม่เกิดการ

บล็อกกิ้งนั้นคือ เส้นทางที่ต่อจากอินพุตไปยังเอาต์พุตจะสามารถทำได้เสมอ แต่สำหรับแบบมัลติสเตต แสดงไว้ที่รูปที่ 2.23 ซึ่งแสดงถึงเส้นทางที่ใช้งานแบบ 3 สเตต โดยที่ $N=9, n=3$ และ $k=3$ เส้นที่เน้นหนักจะหมายถึงเส้นทางที่ใช้งานแล้ว ในสถานะที่อินพุตคู่สายที่ 9 จะไม่สามารถต่อกับเอาต์พุตคู่สายที่ 4 หรือ 6 แม้ว่าเอาต์พุตของทั้งสองจะว่างอยู่ก็ตาม



รูปที่ 2.23 แสดงตัวอย่างของการบล็อกกิ้งที่เกิดขึ้นในสวิตช์ 3 สเตต

วิธีการแก้ไขการบล็อกกิ้งที่เกิดขึ้นสามารถทำได้โดยการเพิ่มค่าของ k ซึ่งเป็นจำนวนของเอาต์พุตของแต่ละเมทริกซ์สวิตช์ในสเตตที่ 1 และจำนวนของเมทริกซ์สวิตช์ในสเตตที่ 2 และทำให้อัตราการบล็อกกิ้งนี้ลดลง สำหรับรูปที่ 2.24 จะเป็นรูปที่แสดงการเพิ่มค่า k เมื่อทำการพิจารณาจะเห็นว่า ถ้าต้องการสร้างเส้นทางจากอินพุตคู่สาย a ไปยังเอาต์พุตคู่สาย b โอกาสที่จะเกิดการบล็อกกิ้งมากที่สุดก็คือการที่คู่สายทางอินพุตเหลืออยู่เพียง $(n-1)$ คู่สายและคู่สายทางเอาต์พุตเหลืออยู่ $(n-1)$ โดยคู่สายเหล่านั้นจะถูกต่ออยู่กับสวิตช์ที่อยู่ในสเตตกลาง ๆ ระหว่างอินพุตกับเอาต์พุต ดังนั้นสวิตช์ที่อยู่ในส่วนกลางจะมีจำนวนเป็น $(n-1) + (n-1) = 2n-2$ ครอสพอยน์ต์ ซึ่งจะสามารถนำมาใช้สร้างเส้นทางจาก a ไปยัง b ได้ แต่อย่างไรก็ตาม ถ้ามีจำนวนของสวิตช์ในสเตตกลางมากกว่า 1 สเตต การเชื่อมโยงระหว่างสเตตจะต้องคงสภาวะนั้น ๆ ไว้ เพื่อให้การติดต่อสามารถดำเนินไปได้ตลอด ดังนั้นสามารถสรุปได้ว่าโครงข่ายที่มีขนาด 3 สเตตจะไม่เกิดการบล็อกกิ้งขึ้นถ้า

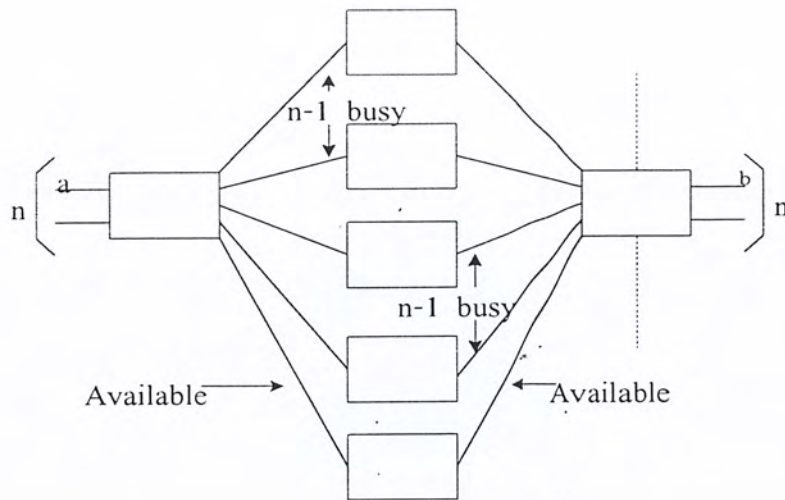
$$k = 2n - 1 \quad \dots\dots\dots (2.1)$$

แต่ถ้าต้องการจะใช้แบบมัลติสเตตที่มีจุดครอสพอยน์ตน้อยกว่าที่ใช้ในแบบสเตตเดียวสามารถที่จะคำนวณหาจำนวนของจุดครอสพอยน์ตทั้งหมดสำหรับรูปที่ 2.25 ที่เป็นแบบ 3 สเตต จากสมการ

$$N_x = 2Nk + k(N/n)^2 \quad \dots\dots\dots (2.2)$$

แทนค่า (2.1) ใน (2.2) จะได้ว่า

$$N_x = 2N(2n-1) + (2n-1)(N/n)^2 \quad \dots\dots\dots (2.3)$$



รูปที่ 2.24 แสดงสวิตช์แบบ 3 สเตจที่ไม่มีการบล็อกกิ้ง

สำหรับในสวิตช์ที่ไม่มีการบล็อกกิ้ง ค่าของ N ที่ใช้จริงจะขึ้นอยู่กับจำนวนของสวิตช์ (N/n) ในสเตจแรกและสเตจที่ 3 เมื่อทำการออฟดิโมสสวิตช์กลุ่มนี้ โดยที่ค่าดีเฟอเรนเชียลของ N_x เมื่อเทียบกับ n แล้วมีค่าเท่ากับ 0 เมื่อกำหนดให้ค่า N มีค่ามาก ๆ ซึ่งผลลัพธ์จะครอบคลุมถึง $n = (N/2)^{1/2}$ เมื่อแทนค่าลงในสมการที่ (2.3) จะได้เป็น

$$N_x = 4N[(2N)^{1/2} - 1] \quad \dots\dots\dots (2.4)$$

จากสมการที่ (2.4) สามารถนำมาคำนวณหาค่าจำนวนของครอสพอยน์ที่ได้ดังตารางที่ 2.2

ตารางที่ 2.2 แสดงจำนวนครอสพอยน์สวิตช์แบบสเปคตริวชันที่ไม่มีการบล็อกกิ้ง

จำนวนคู่สาย	ในสวิตช์แบบ 3 สเตจ	ในสวิตช์แบบสเตจเดียว
128	7,680	16,384
512	63,488	262,141
3,048	516,096	4.2×10^6
8,192	4.2×10^6	6.7×10^7
32,768	3.3×10^7	1×10^9

จากตารางจะเห็นได้ว่าประสิทธิภาพของสวิตช์แบบ 3 สเตจจะดีกว่าแบบสเตจเดียวจากจำนวนคู่สายที่สามารถสวิตช์ได้เท่า ๆ กัน แต่สวิตช์แบบ 3 สเตจจะมีจำนวนของครอสพอยน์สวิตช์ที่น้อยกว่า

2.5.2 สวิตช์แบบไทม์ดิวิชัน (Time - Division Switching)

เทคโนโลยีของสวิตช์เดิมนี้จะเป็นสวิตช์ที่สวิตช์รูปแบบของสัญญาณที่เป็นอนาล็อก ต่อมาจึงได้มีการค้นพบเทคนิคการทำสัญญาณเสียงให้อยู่ในรูปแบบของสัญญาณดิจิทัลและพัฒนาระบบมัลติเพล็กซ์สัญญาณที่เป็นเสียงและข้อมูลในแบบไทม์ดิวิชันมัลติเพล็กซ์ทำให้สามารถส่ง

สัญญาณเสียงและข้อมูลผ่านตัวกลางในรูปแบบของสัญญาณดิจิทัลได้ ซึ่งเป็นการนำไปสู่การเปลี่ยนแปลงชั้นพื้นฐานสำหรับเทคโนโลยีระบบสวิตชิงที่จะเข้ามาแทนที่สเปซดิวิชันสวิตชิง โดยจะใช้ระบบสวิตชิงแบบดิจิทัลไทม์สวิตซ์ที่มีการทำงานในลักษณะของการแบ่งสตรึมของสัญญาณที่มีความเร็วต่ำออกเป็นส่วน ๆ แล้วทำการจัดส่งไปยังสตรึมของสัญญาณที่มีความเร็วที่สูงกว่าภายใต้การควบคุมการทำงานของส่วนลอจิกควบคุม ซึ่งจะทำการจัดส่งให้สล็อตของข้อมูลข่าวสารสามารถส่งผ่านจากอินพุตไปยังเอาต์พุตได้ เทคนิคของไทม์ดิวิชันสามารถอธิบายได้จากแนวคิด 3 ประการด้วยกันคือ

1. สวิตชิงแบบ TDM บัส
2. ไทม์สล็อตอินเตอร์เชนจ์ (TSI : Time Interchange)
3. สวิตชิงแบบไทม์มัลติเพล็กซ์ (TMS : Time Multiplex Switching)

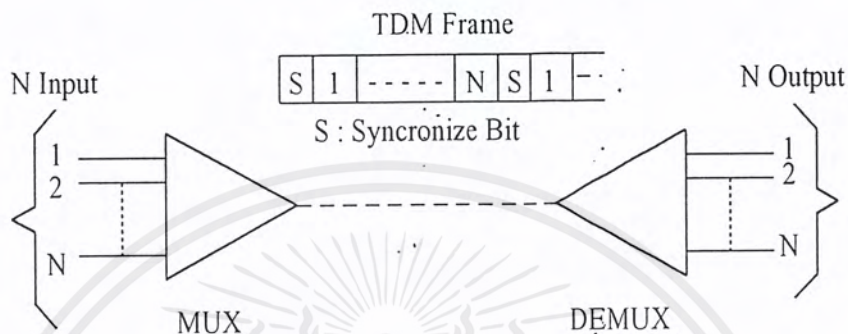
ตารางที่ 2.3 แสดงเทคนิคต่าง ๆ ของสวิตชิง

เทคนิค	รายละเอียด	ความเห็น
1. สเปซสวิตชิง	ใช้การต่อแบบเมทริกซ์ การต่อแต่ละครั้งที่ผ่านสวิตซ์จะใช้การเชื่อมต่อทางกายภาพ	การใช้ทรอสบาร์ จะเป็นการใช้งานไม่มีประสิทธิภาพ สามารถใช้ในการสวิตซ์สัญญาณอนาล็อกและดิจิทัลและจะมีความซับซ้อนน้อย
2. TDM บัส	สัญญาณของกลุ่มสายจะส่งไปที่บัสนช่วงเวลาบนบัสนจะถูกแบ่งออกเป็นสล็อตวงจรที่ใช้ในการติดต่อจะถูกกำหนดลงในสล็อตที่ว่าง	เป็นรูปแบบที่ง่ายที่สุดในไทม์ดิวิชันขนาดของสวิตซ์จะถูกจำกัดจากอัตราของข้อมูลบนบัสน โครงสร้างนี้นำไปใช้ในการสวิตซ์ข่าวสารขนาดเล็ก
3. TSI	สัญญาณจากกลุ่มสายจะส่งให้กับ MUX แบบซิงค์โครไนส์ IDM วงจรที่ใช้ในการติดต่อจะถูกสร้างขึ้นจากการเปลี่ยนไทม์สล็อตภายในเฟรมของส่วน MUX	ขนาดของสวิตซ์จะถูกจำกัดโดยความเร็วของหน่วยความจำควบคุมที่นำไปใช้ในการสร้างเส้นทางในรูปแบบมัลติสเตต
4. TMS	ใช้รูปแบบของสเปซดิวิชันสวิตชิงโดยในแต่ละกลุ่มสายอินพุตจะจัดเป็น TDM สตรึม การสวิตชิงจะใช้การเปลี่ยนแปลงในแต่ละไทม์สล็อต	ใช้ในการเชื่อมโยงกับ TSI เพื่อใช้สร้างสวิตชิงแบบมัลติสเตต แต่ค่าเฉลี่ยจะเพิ่มขึ้นจากการที่ต้องผ่านหลายสเตต แต่ทำให้ค่าความจุสูงขึ้น

1. สวิตชิงแบบ TDM บัส

ในการใช้งานสวิตชิงแบบดิจิทัลส่วนใหญ่จะใช้หลักการของ TDM ดังรูปที่ 2.25 ซึ่งเป็น TDM แบบซิงค์โครไนส์ โดยจะจัดให้บิตสตรึมของสัญญาณข่าวสารที่มีความเร็วต่ำสามารถส่งรวมกันไปในกลุ่มสายเดียวกันที่มีความเร็วสูงกว่า สำหรับสัญญาณที่ส่งเข้ามาจากอินพุตจะถูกแซมปลิงติด ๆ กัน โดยจะ

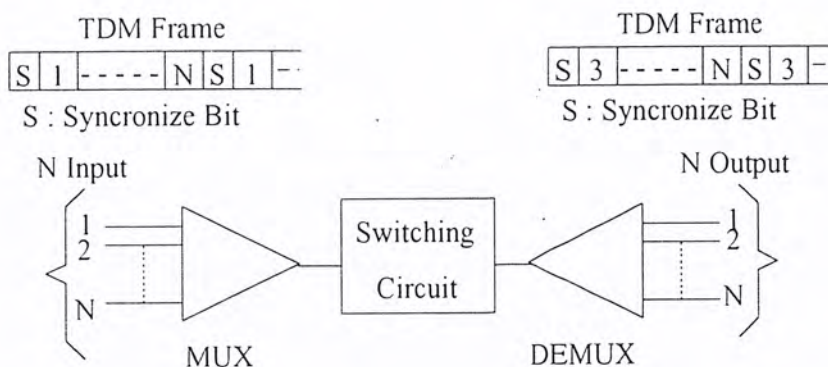
จัดให้เป็นสัญญาณในรูปแบบอนุกรมและแบ่งออกเป็นช่อง ๆ (ช่องสัญญาณ) ลงในเฟรมที่มี N ช่อง พร้อมทั้งสัญญาณซิงค์โครนัสในแต่ละช่องสัญญาณซึ่งจะสามารถส่งได้เป็นบิต, ไบต์และบล็อกที่มีขนาดยาว ๆ สำหรับจุดสำคัญของ TDM แบบนี้ก็คือต้องมีซิงค์โครนัสสำหรับต้นทางและปลายทางของข้อมูลในแต่ละช่องสัญญาณดังนั้นจึงต้องมีการจัดให้แอดเดรสบิตในแต่ละช่องสัญญาณเข้าไปอีกด้วยส่วนหนึ่ง



รูปที่ 2.25 TDM แบบซิงค์โครนัส

ลักษณะของ TDM แบบซิงค์โครนัสจะมีหลักการง่าย ๆ คือ คู่สายอินพุตจะฝากข้อมูลไว้ในบัฟเฟอร์ของทางอินพุต แล้วส่วนของมัลติเพล็กซ์เซอร์ก็จะสแกนไปที่บัฟเฟอร์นั้นตามลำดับแล้วดึงเอาข้อมูลข่าวสารออกมาจากบัฟเฟอร์ ในช่วงเวลาที่คงที่และทำการส่งออกไปยังคู่สายที่จะส่งไปทางด้านรับ การสแกนที่สมบูรณ์ในแต่ละครั้งจะทำให้เกิดข้อมูล 1 เฟรม สำหรับทางด้านรับจะนำเอาข้อมูลในเฟรมที่ได้รับได้มาทำการดีมัลติเพล็กซ์แล้วส่งออกไปให้กับบัฟเฟอร์ของคู่สายทางเอาต์พุต การมัลติเพล็กซ์ระหว่างจุด 2 จุด จะต้องมีการซิงค์โครนัสกันและต้องมีอัตราเร็วของข้อมูลเท่ากับผลบวกของอัตราเร็วของข้อมูลแต่ละคู่สายที่นำเข้ามาต่อ

โดยปกติแล้วที่คู่สายจะมีอัตราการส่งข้อมูลที่สูงกว่าข้อมูลที่ได้รับจากการมัลติเพล็กซ์ เนื่องจากในแต่ละเฟรมจะต้องมีบิตโอเวอร์เฮดด้วยเพื่อใช้ในการซิงค์โครนัส ช่วงเวลาที่อยู่ในเฟรมจะถูกจัดแบ่งให้กับคู่สายทางอินพุตและทางเอาต์พุตที่คงที่ ซึ่งจะถูกกำหนดไว้ก่อนแล้ว ถ้าไม่มีการส่งข้อมูลจากอุปกรณ์ก็จะทำการมัลติเพล็กซ์สัญญาณที่ว่าง ดังนั้นอัตราการถ่ายโอนข้อมูลจริง ๆ อาจมีค่าน้อยกว่าความจุช่องสัญญาณของระบบ

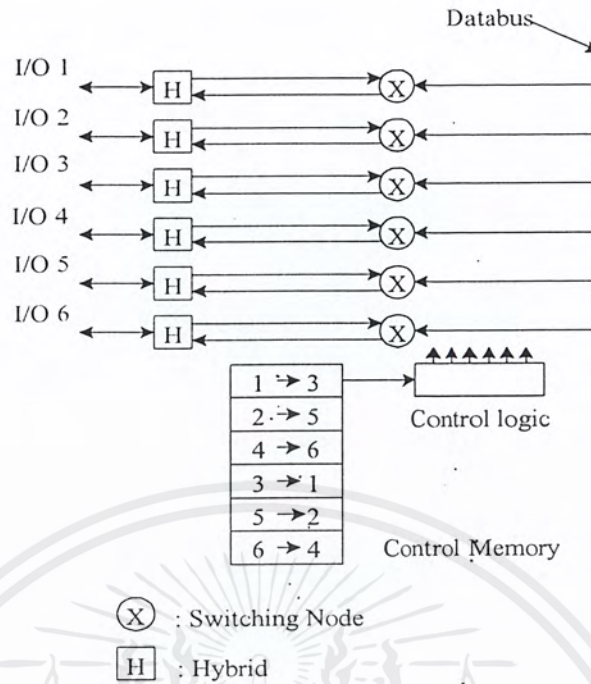


รูปที่ 2.26 แสดงสวิตช์แบบ TDM บัส

จากรูปที่ 2.26 จะแสดงลักษณะของการสวิตช์แบบนี้ โดยอุปกรณ์สื่อสารที่ต่อเข้ากับสวิตช์จะต้องผ่านบัฟเฟอร์ของคู่สาย 2 คู่สาย คู่สายหนึ่งจะเป็นอินพุตส่วนอีกคู่สายหนึ่งจะเป็นเอาต์พุตคู่สายเหล่านี้จะถูกต่อผ่านเกทควบคุมไปยังบัลลิสต์จิตอลที่มีความเร็วสูง ซึ่งแต่ละอินพุตของคู่สายจะถูกจัดให้เป็นช่องสัญญาณ โดยแต่ละช่องสัญญาณจะถูกกำหนดช่วงเวลาที่ใช้ในการส่ง ดังนั้นในช่องเวลาดังกล่าวจะสามารถสวิตช์สัญญาณอินพุตไปยังเอาต์พุตหนึ่งโดยใช้เกทควบคุมการทำงานได้ สำหรับอุปกรณ์ที่ต่ออยู่กับคู่สายทางด้านอินพุตและเอาต์พุตจะต้องทำงานแบบฟูลดิวลิตี้ โดยต้องส่งสัญญาณจากช่องสัญญาณหนึ่งและสามารถรับได้จากอีกช่องสัญญาณหนึ่งพร้อมกัน ลักษณะการทำงานของสวิตช์แบบนี้เรียกว่า สวิตช์แบบ TDM บัส

สำหรับลักษณะของการเกิดการบล็อกกิ้งในสวิตช์แบบนี้ จะไม่สามารถระบุได้ว่าอยู่ในช่วงเวลาใดแต่จะขึ้นอยู่กับค่าความต้องการอัตราใช้งานอัตราเร็วของข้อมูลและจำนวนของการเชื่อมต่อที่สามารถกระทำได้ในเวลาหนึ่งๆ เช่น ระบบมีอุปกรณ์ 200 ตัว ที่ส่งข้อมูลความเร็ว 192 kbps และบัสมีความเร็วเป็น 2 Mbps ดังนั้นครึ่งหนึ่งของอุปกรณ์ทั้งหมดจะสามารถต่อได้ในช่วงเวลาใด ๆ ก็ได้

สวิตช์แบบ TDM บัส จะสามารถจัดการทำงานให้กับคู่สายที่มีอัตราเร็วของข้อมูลแตกต่างกันได้ เช่น คู่สายใช้ความเร็ว 9600 bps สำหรับหนึ่งช่องเวลาของเฟรม ส่วนอีกคู่สายหนึ่งจะมีอัตราเร็วเป็น 19.2 kbps ซึ่งจะใช้สองช่องเวลาของเฟรม ในการส่งข่าวสารในรูปที่ 2.27 เป็นรูปแสดงการควบคุมการสวิตช์ของ TDM บัส โดยเรสมมติให้เวลาของการเดินทางของข้อมูลบนบัสเท่ากับ 0.01 us เวลาของเฟรมที่จะใช้บนบัสเท่ากับ 30.06 us โดยจะแบ่งออกเป็น 6 ช่องเวลา แต่ละช่วงเวลามีค่าเป็น 5.01 us โดยมีหน่วยความจำควบคุมจะทำหน้าที่ควบคุมการทำงานของเกทในแต่ละช่องเวลา ซึ่งในหน่วยความจำควบคุมนี้จะมีอยู่ด้วยกัน 6 เวิร์ด และจะทำการควบคุมในแต่ละรอบผ่านหน่วยความจำด้วยอัตรา 30.06 us ต่อรอบ ในระหว่างช่วงเวลาแรกของแต่ละรอบเกทจะทำงานให้อินพุตที่มาจากอุปกรณ์ที่ 1 เชื่อมต่อไปยังเอาต์พุตของอุปกรณ์ที่ 3 สำหรับเวิร์ดที่เหลืออยู่ที่หน่วยความจำควบคุมก็จะถูกนำมาใช้ในการจัดการเชื่อมต่อระหว่างอุปกรณ์เท่าที่มีข้อมูลอยู่ สามารถอธิบายได้ดังรูปที่ 2.27 จะเป็น การเชื่อมต่อระหว่าง 1 - 3, 2 - 5 และ 4 - 6



รูปที่ 2.27 แสดงการควบคุมการสวิตช์ใน TDM บัส

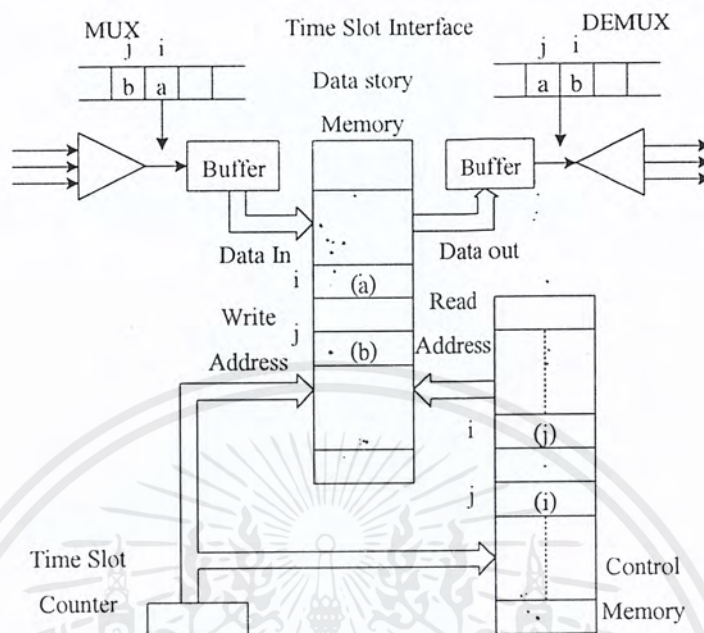
2. สวิตช์แบบ Time Slot Interchange (TSI).

ในรายละเอียดส่วนแรกที่ได้กล่าวถึงหลักการใหม่สวิตช์แบบ TDM บัสจะเห็นได้ว่าการบล็อกก็มีโอกาสที่จะเกิดขึ้นสูงมาก ด้วยหลักการของการสวิตช์แบบ TSI จะสามารถลดโอกาสของการบล็อกได้เป็นอย่างมาก หลักการของ TSI จะแสดงไว้ดังรูปที่ 2.28 ซึ่งแสดง MUX/TSI/DEMUX โดยส่วนแรกจะเป็นส่วน MUX ที่จะทำการมัลติเพล็กซ์สัญญาณเข้าสารก่อน จากนั้นข่าวสารที่อยู่ในรูปแบบขบวนข้อมูลจะถูกเขียนลงบนหน่วยความจำข้อมูล (Data Store Memory) ตามลำดับ สำหรับขั้นตอนต่อไปคือ ส่วน TSI จะเป็นการอ่านข้อมูลจากหน่วยความจำข้อมูลตามตำแหน่งที่กำหนดค่าไว้ในส่วนหน่วยความจำควบคุม (Control Memory) จากรูปที่ 2.28 จะแสดงความสัมพันธ์ระหว่างหน่วยความจำควบคุมและการเชื่อมต่อแบบฟูลคูเพิล็กซ์ ของช่องเวลา i และช่องเวลา j ของขบวนข้อมูล TDM จะเห็นได้ว่าขบวนของสัญญาณ TDM ที่ได้ทางอาทิพูดจะสลับข่าวสารของช่องเวลา i และ j โดย ข่าวสารของช่องเวลา i จะไปอยู่ในช่องเวลา j และข่าวสารที่ช่องเวลา j จะไปอยู่ที่ช่องเวลา i ดังนั้นหน่วยความจำจะถูกอ่าน 2 ครั้งด้วยกันสำหรับการเชื่อมต่อแต่ละช่วงเวลาในแต่ละครั้ง

สำหรับหน่วยความจำที่ใช้ในหลักการ TSI นี้จะต้องใช้ช่วงเวลาสำหรับการอ่านและเขียนข้อมูลซึ่งเราสามารถหาค่าของจำนวนช่องสัญญาณสูงสุดที่สามารถทำการสวิตช์ได้บน Memory Switch ทั่วๆ ไปคือ

$$C = 125 / 2t_c$$

โดยค่า 125 คือ ค่าเวลาของเฟรมมีหน่วยเป็นไมโครวินาที ซึ่งได้จากความถี่ 8 KHz. และ t_c คือค่าเวลาที่ใช้ในการเรียกข้อมูลของหน่วยความจำมีหน่วยเป็น ไมโครวินาที



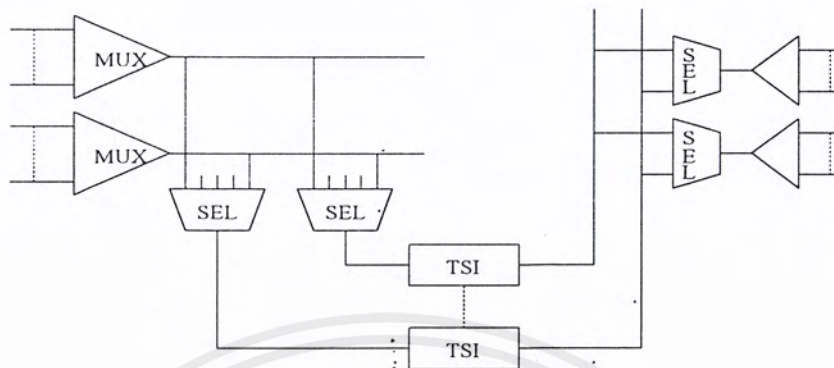
รูปที่ 2.28 แสดงหลักการ TSI

3. สวิตชิงแบบ TMS (Time Multiplex Switching)

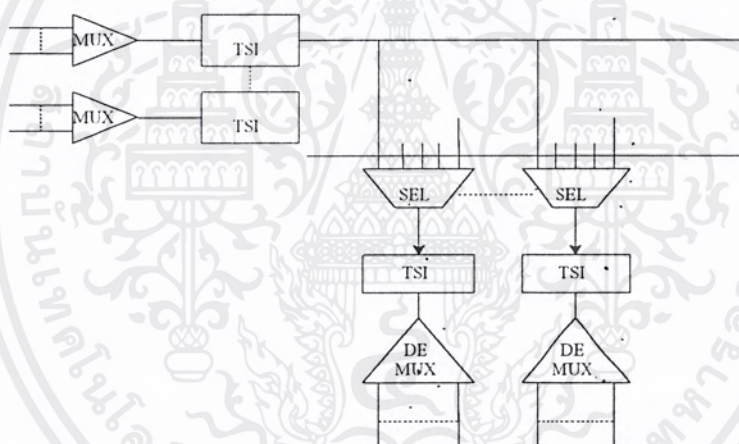
TMS เป็นหลักการของการสวิตชิงที่อาศัยการมัลติเพล็กซ์แบบ TDM โดยที่ขนาดของสวิตช์จะทำการกำหนดได้จากเทอมของจำนวนของการเชื่อมต่อ จากหลักการ TSI จะเห็นได้ว่าขนาดของสวิตช์จะขึ้นอยู่กับความเร็วของการเรียกใช้หน่วยความจำ เป็นต้นว่า เรามีอุปกรณ์ที่จะสวิตช์อยู่ 24 อุปกรณ์ โดยแต่ละตัวจะมีความเร็วในการส่งข้อมูลเป็น 64 kbps ที่ 8 บิต ถ้าเราต้องการที่จะจัดให้อัตราเร็วของข้อมูลมีอัตราเป็น 192,000 bps เราจะต้องหาหน่วยความจำที่มีความเร็วในการเรียกใช้หน่วยความจำเท่ากับ $1 / (192,000 \times 2) = 2.6$ ไมโครวินาที จากส่วน TSI ที่จำนวนของการเชื่อมต่อมีค่าจำกัด และเมื่อเพิ่มขนาดของ TSI ให้มีขนาดใหญ่ขึ้น แต่ค่าความเร็วในการรับข้อมูลของหน่วยความจำมีค่าคงที่ จะทำให้เกิดค่าเฉลี่ยที่ TSI มากขึ้น เพื่อแก้ปัญหานี้จึงต้องมีการมัลติเพล็กซ์ TSI อีกครั้ง โดยที่การต่อช่องสัญญาณของ TDM ชุดหนึ่งกับ TDM อีกชุดหนึ่งจะเป็นการเชื่อมต่อระหว่าง TSI แต่ใน TSI จะสามารถ สับเปลี่ยนชุดของ TDM ได้ เทคนิคที่ว่านี้จะรู้จักในนามของ TMS (Time Multiplex Switching)

โครงข่ายแบบมัลติสเตทนั้นสามารถที่จะสร้างขึ้นจากการใช้ TMS และ TSI โดยชุดของ TMS จะถูกนำมาใช้ในการเลือกช่องสัญญาณจากสตรีมหนึ่งไปยังสตรีมอื่น ๆ โดยใช้วิธีการสวิตช์แบบสเปซสวิตช์ สำหรับ TSI จะใช้การสวิตช์แบบไทม์สวิตช์ ซึ่งจะใช้สัญลักษณ์ T แทนไทม์สวิตช์และ S แทนสเปซสวิตช์ จากรูปที่ 2.32 จะแสดงโครงข่ายแบบมัลติสเตทชนิด 3 สเตท แบบ TST และ STS สำหรับการทำงานของ TMS จะดำเนินการโดยตัวเลือกแบบดิจิทัล (SEL : Digital Selector) ที่จะ

ทำหน้าที่เลือกอินพุตในช่วงเวลาหนึ่งจากช่วงเวลาทั้งหมด ยกเว้นในกรณีที่มีอินพุตเป็นชุดของ TDM แทนที่จะเป็นสัญญาณเดี่ยว



(a) Space - Time - Space Network (STS)



(b) Time-Space-Time Network (TST)

รูปที่ 2.29 แสดงโครงข่ายสวิตซ์แบบมัลติสเตทขนาด 3 สเตท (a) STS (b) TST

สถาปัตยกรรมของการใช้สวิตซ์แบบ STS เส้นทางระหว่างช่องสัญญาณที่เข้าและช่องสัญญาณที่ออกจะมีได้หลายเส้นทางเท่ากับจำนวนตัวอักษรของ TSI แต่เป็นเพียงในเส้นทางเดียวเท่านั้น สำหรับการที่ใช้สวิตซ์ในลักษณะนอนบล็อกกิ้งจำนวนของ TSI จะเป็นสองเท่าของจำนวนสตรีมของ TDM ที่เข้ามาและส่งออก ในกรณีที่มีหลาย ๆ เส้นทางระหว่างช่องสัญญาณทั้งสองภายในโครงข่าย STS อาจทำให้เกิดการบล็อกสัญญาณขึ้น แต่ก็มีทางที่จะหลีกเลี่ยงการบล็อกนี้ก็คือการขยายจำนวนของช่วงเวลาไปยังส่วนที่ว่างอยู่ ซึ่งจะต้องมีอัลกอริทึมสำหรับการกำหนดเส้นทางของสัญญาณจากอินพุตไปยังเอาต์พุตก่อน

2.6 เทคโนโลยีในการสื่อสารข้อมูลที่ใช้ในการออกแบบ

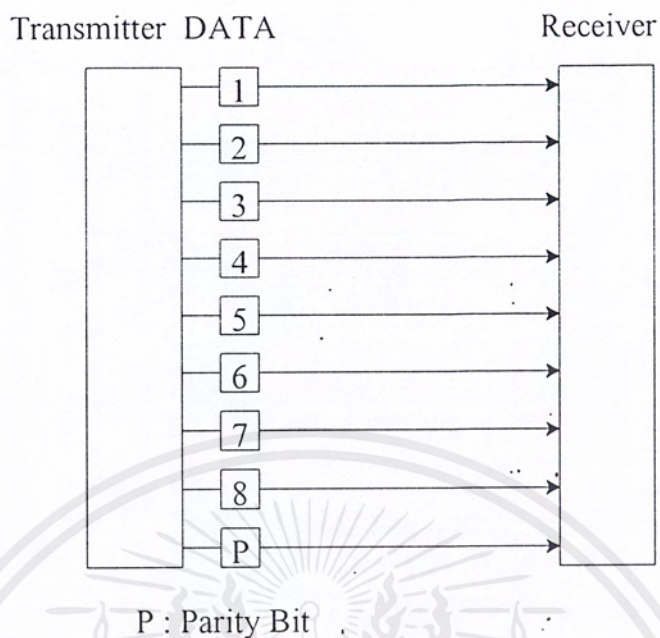
ชมสายโทรศัพท์ปลายทางที่ได้ทำการออกแบบขึ้นนี้ ได้นำเอาเทคโนโลยีของการสื่อสารข้อมูลมาใช้เพื่อให้ประสิทธิภาพของการทำงานของเครื่องเพิ่มมากขึ้นโดยเฉพาะการส่งข้อมูลจากส่วนอุปกรณ์เชื่อมต่อคู่สายไปยังส่วนควบคุมกลางซึ่งใช้มาตรฐานของการเชื่อมต่อระบบ RS422A นอกจากนั้นแล้วการเชื่อมต่อระหว่างเครื่องไมโครคอมพิวเตอร์กับส่วนอุปกรณ์เชื่อมต่อคู่สายนำเอามาตรฐานของการเชื่อมต่อระบบ RS232C ดังนั้น ในส่วนนี้จะขอกล่าวถึงเทคโนโลยีของการสื่อสารข้อมูลในส่วนที่เกี่ยวข้องและที่เป็นพื้นฐานของเทคโนโลยีทางด้านนี้ ผลจากความก้าวหน้าของเทคโนโลยีของการสื่อสารและคอมพิวเตอร์ในระยะไม่กี่ปีที่ผ่านมา ก่อให้เกิดการเปลี่ยนแปลงอย่างใหญ่หลวงต่อวิธีการสื่อสาร โดยเฉพาะอย่างยิ่งการใช้งานคอมพิวเตอร์ ส่วนมากจะมีความจำเป็นเมื่อต้องการประมวลผลทันทีหลังจากป้อนข้อมูลเข้าไปแล้วหรือที่เรียกกันว่า ระบบประมวลผลแบบเรียลไทม์ (Real Time Processing) ในกรณีนี้ส่วนใหญ่จะใช้วิธีการส่งข้อมูลจากอุปกรณ์ต้นทางไปยังคอมพิวเตอร์โดยตรงเพื่อให้ทำการประมวลผลแล้วส่งผลที่ได้ไปให้กับผู้ใช้ผลของการประมวลผลนั้น ลักษณะพิเศษของวิธีนี้คือขั้นตอนการประมวลผลทั้งหมดตั้งแต่ป้อนข้อมูลจนกระทั่งได้รับผลของการประมวลผลจะกระทำโดยคอมพิวเตอร์ โดยที่ไม่มีคนเข้ามาช่วย วิธีการประมวลผลแบบนี้โดยทั่วไปเรียกว่า การประมวลผลแบบออนไลน์ (Online Processing) โดยทั่วไปแล้วระบบทั้งสองจะอยู่บนเครื่องเดียวกันและมีเครื่องคอมพิวเตอร์รวมไปถึงระบบส่งข้อมูลที่สามารถให้ผลของการประมวลผลอย่างรวดเร็วตามเวลาที่กำหนดในที่นี้การสื่อสารข้อมูลจะหมายถึง “การส่งข้อมูลที่จะต้องประมวลผลหรือประมวลผลแล้วโดยคอมพิวเตอร์”

ถ้าหากความหมายทั่วไปแล้วของคำว่า การสื่อสารข้อมูล หมายถึง “วิธีการที่มีประสิทธิภาพที่รวมเอาการประมวลผลและการส่งข้อมูลเข้าด้วยกันโดยวงจรของการสื่อสารเชื่อมโยงระหว่างเครื่องคอมพิวเตอร์กับส่วนอุปกรณ์ส่วนอินพุต/เอาต์พุตที่อยู่ห่างไกล”

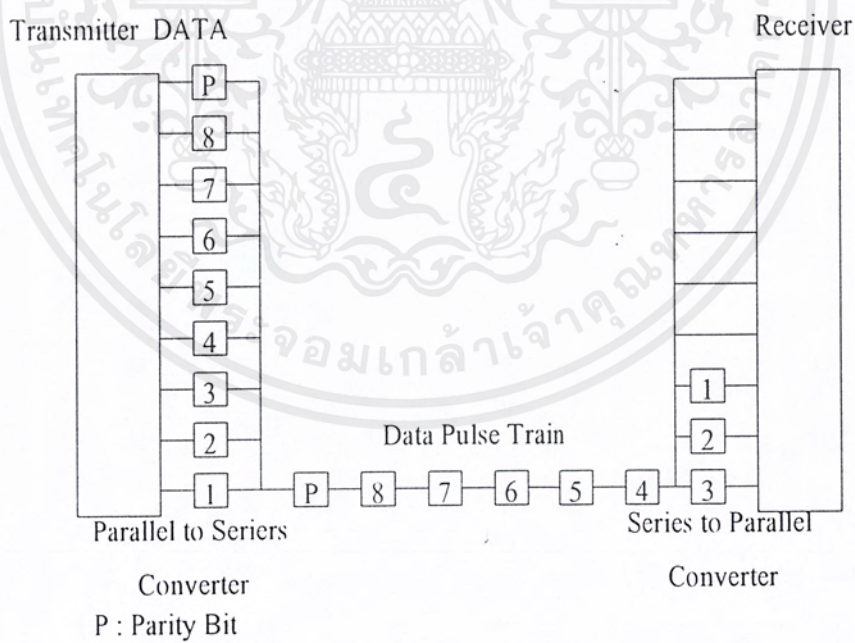
2.6.1 ลักษณะของการสื่อสารข้อมูล

1. การสื่อสารข้อมูลแบบขนาน

ลักษณะของการสื่อสารข้อมูลแบบขนานทำได้โดยการส่งข้อมูลออกมาทีละ 1 ไบต์คือ 8 บิต จากอุปกรณ์ส่งไปยังอุปกรณ์รับ โดยตัวกลางระหว่างอุปกรณ์ทั้งสองจะต้องมีช่องทางสำหรับข้อมูลอย่างน้อย 8 ช่องทาง โดยมากจะเป็นสายขนานมากกว่าจะเป็นตัวกลางชนิดอื่น สำหรับระยะห่างของอุปกรณ์ทั้งสองนั้นไม่ควรเกิน 100 ฟุต เนื่องจากมีสัญญาณสูญหายไปกับความต้านทานของสายนอกจากนั้นแล้วปัญหาของการที่ระดับกราวด์ทางไฟฟ้าที่จุดรับผิดไปจากจุดส่ง ทำให้เกิดการผิดพลาดในการรับสัญญาณลอจิกที่ด้านรับ นอกจากสายที่ใช้สำหรับส่วนของข้อมูลแล้วอาจมีช่องทางของสัญญาณควบคุม อื่น ๆ อีก เป็นต้นว่าบิตที่บอกพาริตีของข้อมูลที่ใช้สำหรับตรวจสอบความผิดพลาดของข้อมูลหรือสัญญาณควบคุมที่ใช้สำหรับการโต้ตอบ จากรายละเอียดที่ผ่านมาจะเห็นได้ว่าการส่งแบบขนานส่วนมากจะใช้ในระยะใกล้ เนื่องจากจะต้องมีช่องทางของข้อมูลไม่น้อยไปกว่า 8 สาย และอุปกรณ์ที่เป็นตัวอย่างของการติดต่อแบบขนานกับเครื่องคอมพิวเตอร์ เช่น เครื่องพิมพ์ (Printer) เป็นต้น สำหรับลักษณะของการสื่อสารแบบนี้จะแสดงไว้ดังรูปที่ 2.30



รูปที่ 2.30 แสดงการส่งข้อมูลแบบขนาน



รูปที่ 2.31 แสดงการส่งข้อมูลแบบอนุกรม

2. การสื่อสารข้อมูลแบบอนุกรม

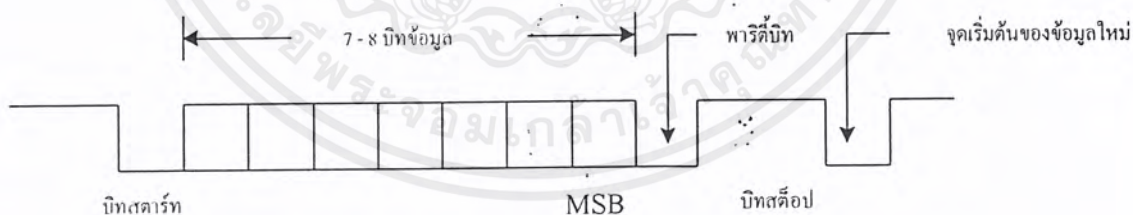
ในการสื่อสารข้อมูลแบบอนุกรม ข้อมูลจะถูกส่งออกมาทีละบิตระหว่างจุดส่งและจุดรับจะเห็นได้ว่าการส่งข้อมูลแบบนี้จะช้ากว่าแบบขนานที่กล่าวถึงข้างต้นอย่างแน่นอน แต่ว่าการสื่อสารในลักษณะนี้จะใช้ช่องทางสำหรับการสื่อสารเพียงช่องทางเดียวหรือเพียงคู่สายเท่านั้น ซึ่งจะใช้ค่าใช้จ่ายที่ถูกกว่าแบบขนานเมื่อทำการส่งข้อมูลที่มีระยะทางไกล ๆ โดยเฉพาะเมื่อเรามีระบบการสื่อสารทางโทรศัพท์ไว้ใช้งานอยู่แล้วย่อมจะเป็นการประหยัดกว่าที่จะใช้การติดต่อสื่อสารทีละ 8 ช่องเพื่อการส่งข้อมูลแบบขนานอย่างแน่นอน

จากรูปที่ 2.31 แสดงให้เห็นถึงการส่งข้อมูลแบบอนุกรม ข้อมูลจากจุดส่งจะถูกเปลี่ยนเป็นอนุกรมเสียก่อนแล้วค่อยทยอยส่งที่บิดไปยังจุดรับ โดยที่จุดรับจะต้องมีอุปกรณ์ที่จะทำการเปลี่ยนแปลงข้อมูลที่ส่งมาทีละบิตให้เป็นข้อมูลแบบขนานซึ่งจะลงตัวพอดี นั่นก็หมายถึงว่าบิตข้อมูล 1 บิตจะถูกส่งมายังบัส ข้อมูลเส้นที่ 1 พอดี การที่จะทำให้การแปลงข้อมูลอนุกรมที่รับเข้ามาทีละบิตให้ลงตัวพอดีนั้นจำเป็นจะต้องมีเทคนิคที่เหมาะสมเพื่อป้องกันการผิดพลาดในการรับข้อมูล เทคนิคที่ว่านี้จะมีอยู่ 2 ลักษณะด้วยกันคือ

- การสื่อสารข้อมูลอนุกรมแบบอะซิงค์ไครน์ส
- การสื่อสารข้อมูลอนุกรมแบบซิงค์ไครน์ส

การสื่อสารข้อมูลอนุกรมแบบอะซิงค์ไครน์ส

การสื่อสารข้อมูลอนุกรมแบบอะซิงค์ไครน์สจะถูกพัฒนามาจากการส่งโทรพิมพ์ในสมัยก่อน ลักษณะของสัญญาณแสดงไว้ดังรูปที่ 2.32 เพื่อการส่งข้อมูลที่ต้องการและสัญญาณที่จัดไว้ในการสื่อสารแบบนี้จะประกอบไปด้วย บิตเริ่มต้น (Start Bit) และบิตสิ้นสุดหรือบิตสตอป (Stop Bit)



รูปที่ 2.32 แสดงรูปแบบของการส่งข้อมูลของการสื่อสารข้อมูลอนุกรมแบบอะซิงค์ไครน์ส

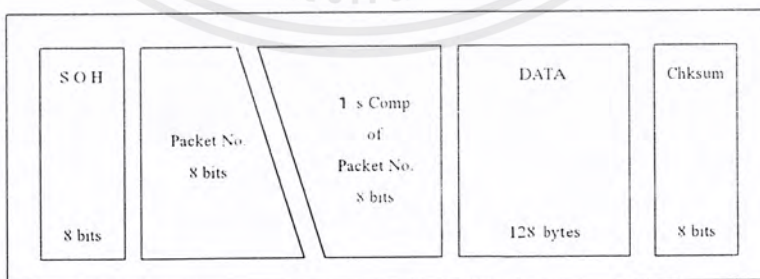
ในสภาวะที่ยังไม่มีการส่งข้อมูล (Idle State) จะมีสัญญาณหรือมีแรงดันไฟฟ้าตลอดเวลา เพื่อความแน่ใจว่าฝ่ายรับยังติดต่อกับฝ่ายส่งอยู่ เมื่อเริ่มทำการส่งข้อมูลสัญญาณของอะซิงค์ไครน์สจะเป็น “0” หนึ่งช่วงสัญญาณนาฬิกา บิตนี้จะเรียกว่า บิตสตาร์ท (Start Bit) ตามหลังของบิตสตาร์ทก็จะเป็นข้อมูลสำหรับ 1 ตัวอักษร ซึ่งอาจมีขนาดตั้งแต่ 5 บิต จนถึง 8 บิต โดยบิตที่มีระดับนัยสำคัญน้อยที่สุด (LSB) จะถูกส่งออกมาก่อนจนถึงบิตที่มีระดับนัยสำคัญมากที่สุด (MSB) ในการเข้ารหัสตัวอักษร

สำหรับการส่งแบบนี้จะนิยมใช้รหัส ASCII โดยปกติจะเป็น 8 บิตต่อ 1 ตัวอักษร หลังจากส่งข้อมูลแล้วจะเป็นพริตตี้บิต ซึ่งอาจใช้หรือไม่ก็ได้ พริตตี้บิตจะทำหน้าที่เป็นตัวตรวจสอบความถูกต้องของสัญญาณที่ได้รับพริตตี้บิตอาจเป็นแบบคู่ (EVEN Parity) หรือแบบคี่ (ODD parity) ซึ่งหมายความว่าถ้าหากเป็นพริตตี้แบบคู่จำนวนบิตที่เป็น “1” ในช่วงบิตข้อมูลกับบิตพริตตี้รวมแล้วต้องเป็นจำนวนคู่ โดยที่ผู้ส่งต้องเป็นผู้ที่จัดให้เองสำหรับทางด้านรับเมื่อรับสัญญาณแล้วก็ทำการตรวจสอบว่าเป็นจริงดังที่กำหนดพริตตี้ไว้หรือไม่ หากเกิดความผิดพลาดก็หมายความว่าสัญญาณที่รับได้นั้นผิดไปจากสถานีส่งที่ส่งออกมา นั่นก็คือต้องผิดเป็นจำนวนคี่เท่านั้น คือผิดไป 1 บิต 3 บิต หรือ 5 บิต พร้อมกันจึงจะสามารถตรวจสอบว่าผิดได้อย่างไรก็ตามโอกาสที่การรับข้อมูลจะผิดที่ละ 2 บิตนั้นเป็นไปได้ยากมากพอสมควร สำหรับองค์ประกอบสุดท้ายของสัญญาณอะซิงค์โครนัสคือบิตสตอปที่มีสถานะเป็น “1” อาจมีความกว้างของบิตเป็น 1, 1.5 หรือ 2 พัลส์ของสัญญาณนาฬิกาก็ได้ แล้วแต่ทางด้านรับและทางด้านส่งจะกำหนดเองให้สัมพันธ์กัน ดังนั้น เราสามารถสรุปได้ว่าการส่งข้อมูลอนุกรมแบบอะซิงค์โครนัส จะต้องเริ่มทำการกำหนดค่าต่าง ๆ ที่จะใช้สำหรับการส่งข้อมูลดังนี้

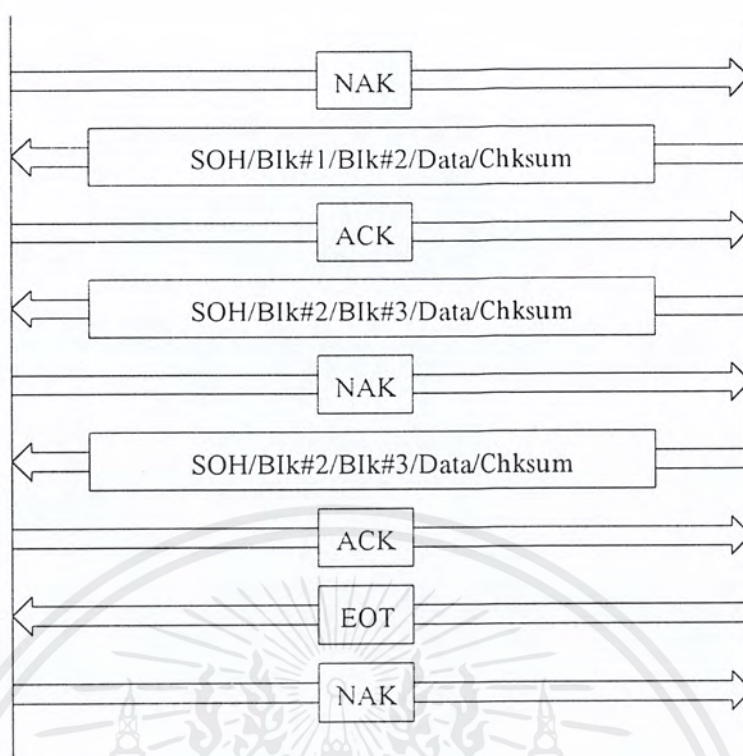
1. ความเร็วในการส่ง
2. ความยาวของข้อมูล 1 ตัวอักษร
3. บิตตรวจสอบ
4. จำนวนบิตสตอปที่ใช้

การใช้ซอฟต์แวร์ในการควบคุมการส่งข้อมูลอนุกรมแบบอะซิงค์โครนัส

สำหรับการควบคุมการส่งข้อมูลระหว่างทางด้านส่งและทางด้านรับมีด้วยกันหลายวิธี ในส่วนนี้จะกล่าวถึงเฉพาะการใช้ซอฟต์แวร์เท่านั้น ซึ่งวิธีการนี้จำเป็นที่จะต้องกำหนดลักษณะของซอฟต์แวร์ให้เหมือนกันทั้งทางด้านส่งและทางด้านรับโดยการใช้ตัวอักษรควบคุมจากตารางของ ASCII สำหรับการควบคุมการส่งข้อมูลที่มีขนาดคงที่ สำหรับซอฟต์แวร์ที่ใช้ในเครื่องไมโครคอมพิวเตอร์ส่วนมากจะเป็นซอฟต์แวร์ที่ใช้มาตรฐานของการสื่อสารข้อมูลที่ชื่อว่า XMODEM ซึ่งจะมีรูปแบบและลักษณะของการทำงานดังรูปที่ 2.33 และ 2.34 ตามลำดับ



รูปที่ 2.33 แสดงรูปแบบของซอฟต์แวร์ XMODEM



รูปที่ 2.34 แสดงลักษณะการทำงานซอฟต์แวร์ XMODEM

จากรูปที่ 2.34 ฝ่ายส่งจะไม่ทำการส่งข้อมูลจนกว่าจะได้รับข้อความ NAK จากด้านรับเมื่อทางด้านส่งได้รับข้อความ NAK แล้ว ก็จะส่งข้อความ SOH ตามด้วยข้อมูลอีก 2 ตัว สำหรับบอกกลุ่มข้อมูลที่ส่งและตามด้วยส่วน 1's complement ของข้อมูลชุดต่อไปที่จะส่งต่อจากนั้นก็จะเป็นข้อมูล 128 ไบต์ ข้อมูลสุดท้ายก็จะเป็นส่วนที่ตรวจสอบความผิดพลาดโดยวิธีการตรวจสอบผลบวก (Checksum) ซึ่งเป็นค่าที่คำนวณมาจากการบวกค่า ASCII ของข้อมูลที่ส่งออกไปทั้งหมด 128 ไบต์ แล้วหารด้วย 255 เศษที่เหลือก็คือค่า Checksum สำหรับทางด้านรับเมื่อแยกเอา SOH และหมายเลขบล็อก (Block Number) ทั้งสองออกไปแล้วก็จะเอาข้อมูลทั้ง 128 ไบต์มารวมกันเพื่อหาค่า Checksum แล้วนำค่าที่ได้จากการคำนวณของทางด้านรับมาเปรียบเทียบกับค่า Checksum ของทางด้านส่ง หากตรงกันก็ถือว่าข้อมูลที่รับได้นั้นถูกต้องจึงส่งสัญญาณ ACK ไปให้ทางด้านส่งจะได้รู้ว่าขณะนี้ได้รับข้อมูลถูกต้องแล้วให้ส่งข้อมูลต่อไปมาได้ แต่ถ้าหากค่า Checksum ไม่ถูกต้อง ทางด้านรับก็จะส่ง NAK ให้ทางด้านส่งเพื่อเป็นการบอกให้รู้ว่าข้อมูลที่รับได้นั้นผิดพลาด ให้ส่งข้อมูลเดิมมาใหม่อีกครั้งทางด้านส่งก็จะส่งข้อมูลชุดเดิมมาให้ทางด้านรับอีกครั้ง การส่งข้อมูลชุดเดิมมาให้ใหม่นี้จะกระทำได้เพียง 9 ครั้งเท่านั้นหากทางด้านส่งยังได้รับแต่ข้อความ NAK ทางด้านส่งก็จะหยุดส่งข้อมูลแสดงว่าตัวกลางของการสื่อสารนั้น ๆ แย่มาก

การที่ซอฟต์แวร์ XMODEM ใช้ตัวเลขบอกกลุ่มข้อมูล 2 ตัว เพื่อให้เกิดความแน่นอนว่าข้อมูลกลุ่มเดียวกันไม่ถูกส่งออกไป 2 ครั้ง ถ้าหากข้อมูลควบคุมการส่งเกิดสูญหายไปในช่วงการส่ง

ทางด้านรับจะตรวจสอบว่ากลุ่มของข้อมูลที่รับเข้ามาเป็นกลุ่มข้อมูลที่ทางด้านรับต้องการหรือไม่ ถ้าหากทางด้านส่งเกิดส่งข้อมูลกลุ่มเก่ามาอีกหรืออาจเกิดจากการตรวจสอบข้อความจาก ACK เป็น NAK ทางด้านรับก็จะรับข้อมูลนั้นแล้วจัดทิ้งไป เมื่อทุกอย่างดำเนินไปอย่างเรียบร้อยบรรทัดสุดท้ายกลุ่มข้อมูลที่จะส่งทางด้านส่งก็จะส่งข้อความ ETX เป็นการบอกกับทางด้านรับว่าหมดข้อมูลที่จะส่งแล้ว ซึ่งถือว่าเป็นการหยุดติดต่อกัน

ข้อดีของซอฟต์แวร์ XMODEM เมื่อใช้ในการรับ – ส่งข้อมูล

1. ใช้ข้อความสำหรับการควบคุมที่มีอยู่ใน ASCII แล้ว
2. สามารถที่จะใช้ภาษาในระดับสูงควบคุมได้เช่น ภาษาซี, ภาษาปาสคาล, ภาษาเบสิก

เป็นต้น

3. ต้องการบัพเฟอร์สำหรับการสื่อสารแค่ 256 ไบต์
4. ระบบบริการข่าวสารด้วยคอมพิวเตอร์ทั่ว ๆ ไปใช้ซอฟต์แวร์ XMODEM

การสื่อสารข้อมูลอนุกรมแบบซิงค์โรนัส

ในการสื่อสารข้อมูลอนุกรมแบบซิงค์โรนัส ข้อมูลจะถูกส่งออกมาเป็นแบบต่อเนื่องไม่มีบิตสตาร์ทหรือบิตสตอปหรือแม้กระทั่งบิตพาริตี ซอฟต์แวร์ที่ใช้สำหรับการสื่อสารแบบนี้จะแตกต่างไปจากซอฟต์แวร์ที่ใช้ในการสื่อสารอนุกรมแบบอะซิงค์โรนัส ซึ่งมีมาตรฐานของการเชื่อมต่อจะกล่าวต่อไป

ซอฟต์แวร์ไบซิงค์ (Bisync Protocol) bisync เป็นซอฟต์แวร์ที่ทางบริษัท IBM กำหนดขึ้นมาโดยย่อมาจาก Binary Synchronous Communication ซึ่งจะเป็นซอฟต์แวร์ในระดับตัวอักษรนั่นก็คือตัวอักษรแต่ละตัวจะมีขอบเขตที่แน่นอน โดยที่แต่ละตัวอักษรจะไม่มีบิตสตาร์ทหรือบิตสตอปเหมือนกับการส่งแบบอะซิงค์โรนัสเลย เมื่อเริ่มส่งข้อมูลทางด้านส่งจะส่งสัญญาณที่เรียกว่า Leading pad character ไปยังด้านรับก่อน สำหรับตัวอักษรนำ (Leading pad character) นี้จะประกอบไปด้วยรหัส “0” และ “1” สลับกันเพื่อให้ทางด้านรับจัดสัญญาณนาฬิกาให้ตรงกัน นอกจากนั้นข้อมูลที่จะส่งออกมาต้องมีตัวอักษร เรียกว่า SYN ตามหลัง PAD มาก่อน และทางด้านส่งจำเป็นต้องบอกความยาวของข้อมูลที่มากับกลุ่มข้อมูลนี้และเครื่องหมายที่จะบอกจุดเริ่มต้นของข้อมูลมาด้วย

ตัวอักษร SYN ในซอฟต์แวร์ Bisync นี้ทำหน้าที่คล้าย ๆ กับบิตสตาร์ทในแบบอะซิงค์โรนัส โดยเป็นตัวที่จะบอกให้ทางด้านรับเตรียมรับข้อมูล ซึ่งสถานะของทางด้านรับแบบนี้จะเรียกว่า “HUNT” ข้อมูลที่ผ่านเข้ามาทุกบิตจะถูกค้นหา SYN ก่อน เมื่อทางด้านรับได้รับ SYN แล้วจึงเริ่มนับบิตที่เข้ามาเพื่อกำหนดจุดเริ่มต้นของข้อมูลและเพื่อป้องกันความผิดพลาดที่จะเกิดจากการส่งข้อมูล สำหรับตัวอักษรที่ใช้ในการควบคุมในการส่งใน Bisync นี้จะแสดงไว้ในตารางที่ 2.4 และโครงสร้างของข้อมูลที่ใช้ซอฟต์แวร์แบบนี้จะแสดงไว้ดังรูปที่ 2.35

ตารางที่ 2.4 แสดงตัวอักษรควบคุมใน Bisync

อักขระ	Hex Value	Dec Value	คำอธิบาย
SYN	32	50	Synchronous Idle
PAD	55	85	Pad เริ่มต้นของเฟรม
PAD	FF	255	Pad ปิดท้ายของเฟรม
DLE	10	16	Data Link Escape
ENQ	2D	45	Enquiry
SOH	01	1	Start of heading
STX	02	2	Start of text
ITB	1F	31	End of Intermediate Block
ETB	26	38	End of transmission Block
ETX	03	3	End of text

P	P	S	S	D	S	TRANSPARENT DATA		D	E	BLOCK	P
A	A	Y	Y	L	T			L	T	CHCCK	A
D	D	N	N	E	X			E	X	CHARECTER	D

P	P	S	S	S	HEADING		D	S	TRANSPARENT DATA		D	S	TRANSPARENT DATA		D	E
A	A	Y	Y	O			L	T			L	Y			L	T
D	D	N	N	H			E	X			E	N			E	X

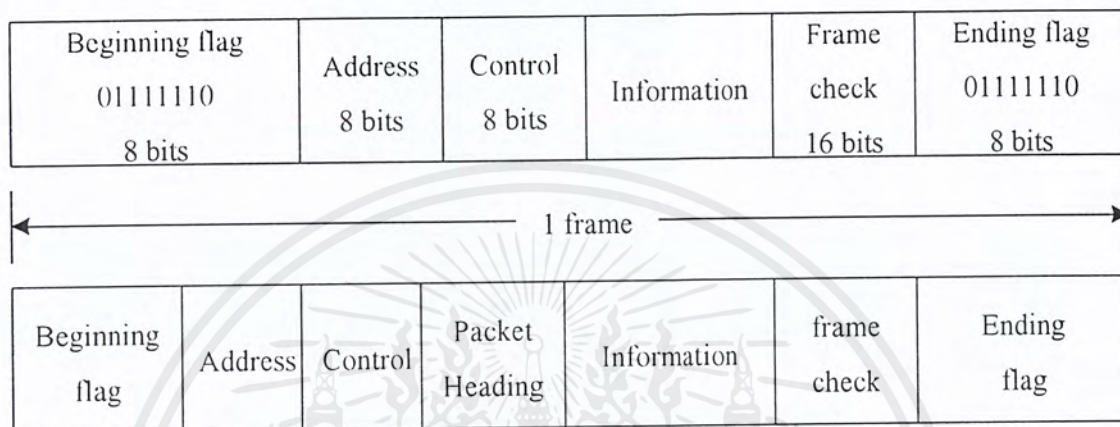
P	P	S	S	S	HEADING		D	S	TRANSPARENT DATA		D	I	B	TRANSPARENT DATA		D	E
A	A	Y	Y	O			L	T			L	T	B			L	T
D	D	N	N	H			E	X			E	B	C			E	B

รูปที่ 2.35 แสดงโครงสร้างของข้อมูลของซอฟต์แวร์ Bisync

ซอฟต์แวร์ SDLC และ HDLC SDLC นี้ย่อมาจาก Synchronous Data Link Control และ HDLC ย่อมาจาก High Level Data Link Control ซอฟต์แวร์ทั้งสองนี้จะใช้การส่งข้อมูลอนุกรมแบบซิงค์ไครนัสซึ่งมีราคาแพงและจะใช้ในงานธุรกิจสำหรับเครื่องระดับเมนเฟรม สำหรับข้อมูลที่ส่งโดย SDLC/HDLC นี้จะเรียกว่า Information field และฟิลด์ดังกล่าวนี้คือรหัสเลขฐานสองที่ถูกส่งต่อเนื่องไปมาแบบอนุกรม โดยที่ขนาดของฟิลด์จะมีค่าตั้งแต่ 0 ไปจนถึงค่าสูงสุดที่หน่วยความจำจะรับได้และใช้ซอฟต์แวร์ Bisync แบบเชิงตัวอักษรซึ่งหมายความว่าไม่มีขอบเขตระหว่างตัวอักษร โดยทางด้านรับจะแยกออกเองเมื่อรับข้อมูลทั้งหมดแล้ว

การต่อเนื่องในข้อมูลใน SDLC/HDLC แตกต่างไปจาก Bisync แต่จะไม่สามารถทำได้ในซอฟต์แวร์ SDLC/HDLC ความต่อเนื่องของข้อมูลจะต่อเนื่องไปจนถึงสิ้นสุด Information field ถ้ามีการหยุดหรือเบรกขึ้นก่อนสิ้นสุดฟิลด์ข้อมูลนี้ถือว่ามีความผิดพลาดขึ้น สำหรับรูปแบบของ SDLC/HDLC ที่ใช้ในการส่งจะแสดงไว้ดังรูปที่ 2.36

SDLC Format



HDLC Format

รูปที่ 2.36 แสดงรูปแบบที่ใช้ในการส่งข้อมูล SDLC/HDLC

แฟล็กเริ่มต้น (Beginning Flag) เป็นตัวอ้างอิงถึงตำแหน่งเริ่มต้นสำหรับฟิลด์แอดเดรสและฟิลด์ควบคุม โดยที่แฟล็กเริ่มต้นจะประกอบด้วย 01011110 ทำนองเดียวกัน แฟล็กท้ายขบวน (Ending Flag) จะเป็นตัวบอกข้อมูล 16 บิตก่อนหน้านี้เป็นการตรวจสอบเฟรม ในขณะเดียวกันถ้าหากเฟรมที่ส่งต่อเนื่องกัน แฟล็กท้ายขบวนจะทำหน้าที่ทั้งแฟล็กเริ่มต้นของเฟรมต่อไปแล้วเป็นแฟล็กท้ายขบวนของเฟรมที่ผ่านมา จะเห็นได้ว่าฮาร์ดแวร์ของซอฟต์แวร์ SDLC/HDLC จะต้องคอยตรวจสอบรูปแบบของข้อมูล 01111110 อยู่เสมอเพราะถือว่าเป็นแฟล็กที่สำคัญเพื่อป้องกันความผิดพลาดของการที่จะตีความข้อมูลว่าเป็นแฟล็ก สำหรับ SDLC/HDLC นี้จะจัดการแทรกบิต “0” เข้าไปในข้อมูลที่ป้อน “1” ที่ต่อเนื่องกันมากกว่า 5 บิต โดยที่ฝ่ายรับจะต้องทำการแยก “0” ที่ทางด้านส่งใส่แทรกเข้าไปอย่างนั้นจึงทำให้ราคาของฮาร์ดแวร์แบบนี้นี้จึงมีราคาแพง

2.6.2 การเชื่อมต่อระบบ RS-232C

มาตรฐานการเชื่อมต่อระบบ RS-232C

มาตรฐานที่ทางสมาคมผู้ผลิตอุปกรณ์อิเล็กทรอนิกส์แห่งสหรัฐอเมริกา (EIA : Electronics Industries Association) ได้กำหนดขึ้นมาเพื่อบรรยายคุณลักษณะของการเชื่อมต่ออุปกรณ์รับส่งข้อมูลปลายทาง (Data Terminal Equipment : DTE) กับอุปกรณ์สื่อสารข้อมูล (Data Communication

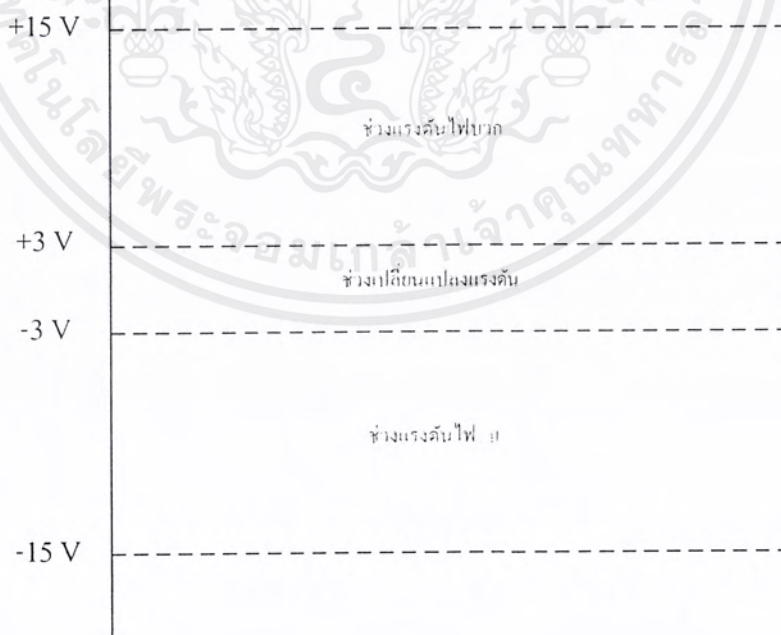
Equipment : DCE) โดย DTE ก็จะหมายถึงเครื่องไมโครคอมพิวเตอร์ ส่วน DCE จะหมายถึงตัวโมเด็ม คุณสมบัติโดยทั่วไปของมาตรฐานนี้ก็คือสามารถเชื่อมต่อการถ่ายโอนข้อมูลด้วยความเร็วตั้งแต่ 110 - 9,600 Baud สำหรับความยาวของสายเชื่อมต่อมาตรฐาน RS-232C นี้จะกำหนดไว้แค่ 50 เมตรเท่านั้นแต่ถือว่าเพียงพอสำหรับการสื่อสารระหว่างเครื่องไมโครคอมพิวเตอร์กับอุปกรณ์รอบนอกอื่น ๆ

ลักษณะของสัญญาณ RS-232C

ลักษณะของสัญญาณ RS-232C นี้จะเป็นการกำหนดช่วงของระดับแรงดันไฟฟ้าเพื่อเป็นการประกันว่าข้อมูลที่ส่งออกไปอย่างถูกต้องและทางด้านรับการรับข้อมูลได้ถูกต้องเช่นกัน ดังนั้นมาตรฐาน RS-232C จึงได้กำหนดค่าดังกล่าวไว้ดังแสดงในตารางที่ 2.5 และรูปที่ 2.37

ตารางที่ 2.5 แสดงมาตรฐานของการใช้แรงดันไฟฟ้าของ RS-232C

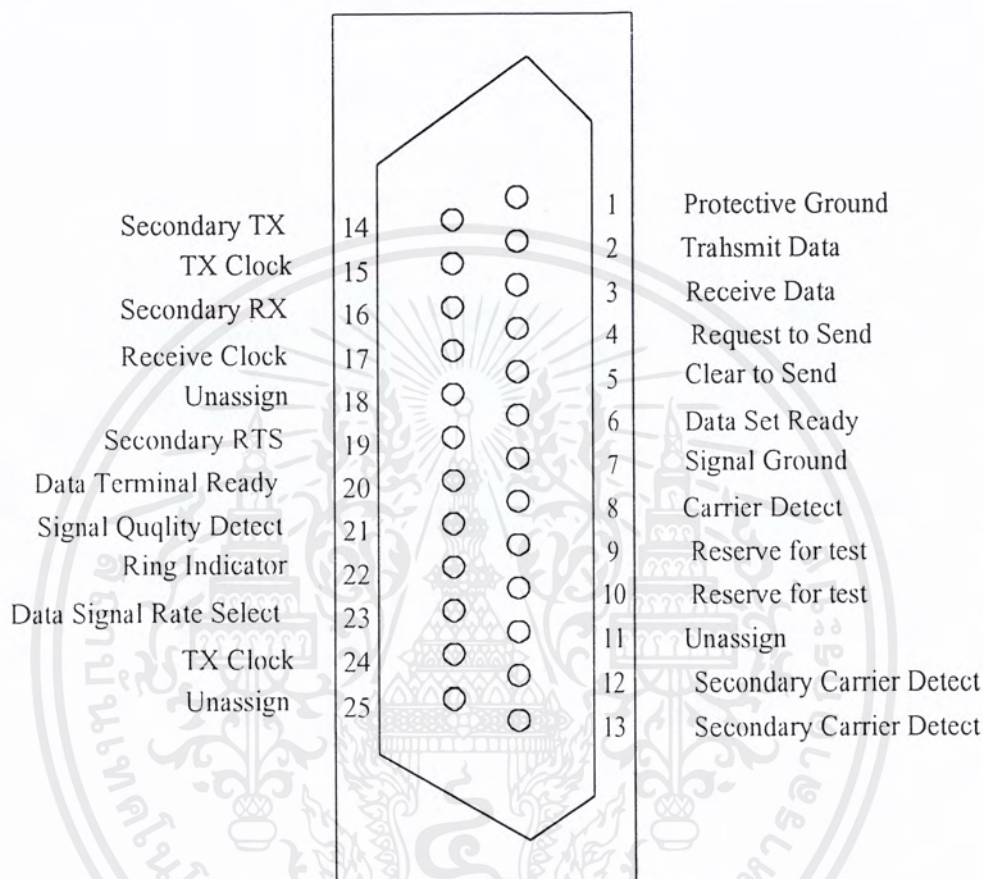
มาตรฐานของการใช้แรงดันไฟฟ้า			
แรงดันไฟฟ้า	สถานภาพทางลอจิก	สถานภาพของสัญญาณ	ฟังก์ชันการควบคุม
ลบ	0	สเปซ	ออฟ
บวก	1	มาร์ค	ออน



รูปที่ 2.37 แสดงช่วงของแรงดันไฟฟ้าที่ใช้ในสัญญาณ RS-232C

การกำหนดจุดสำหรับการเชื่อมต่อของ RS-232C

ในลักษณะทางกายภาพแล้ว มาตรฐานของ RS-232C จะกำหนดคอนเน็คเตอร์เป็นแบบ DB-25 โดยแต่ละขาของคอนเน็คเตอร์นี้จะกำหนดไว้ดังรูปที่ 2.38



รูปที่ 2.38 แสดงลักษณะการต่อของคอนเน็คเตอร์ DB-25

สำหรับขาต่าง ๆ ของ DB-25 สามารถอธิบายรายละเอียดได้ดังนี้

Transmit Data (TD ขาที่ 2) เป็นสัญญาณที่ส่งออกจาก DTE ไปยังโมเด็มหรือ DTE ตัวอื่น ๆ ถ้าไม่สัญญาณออกสถานะของขาจะเป็น "1"

Receive Data (RD ขาที่ 3) เป็นขาอินพุตของสัญญาณที่ส่งไปยัง DTE เมื่อไม่มีสัญญาณรับเข้ามา ขาจะมีสถานะเป็น "1"

Request To Send (RTS ขาที่ 4) ใช้สำหรับส่งสัญญาณจาก DTE ไปยัง DCE เพื่อบอกว่า ต้องการที่จะส่งข้อมูลไปให้กับ DCE แล้ว โดยปกติขานี้จะใช้คู่กับขา CTS (Clear To Send) ซึ่ง DCE จะตรวจสอบความพร้อมของการรับข้อมูลของตัวเองเมื่อได้รับสัญญาณ RTS หากพร้อมที่จะรับ ก็จะส่งสัญญาณควบคุมไปที่ขา CTS

Clear To Send (CTS ขาที่ 5) ดังที่ได้อธิบายที่ขา RTS เมื่อสัญญาณที่ขานี้อยู่ในสภาวะออฟ
 หมายความว่า DCE พร้อมที่จะรับข้อมูล

Data Set Ready (DSR ขาที่ 6) เมื่อสัญญาณที่ขานี้อยู่ในสภาวะออน เป็นการบอกให้ DTE หรือ
 ทางด้านส่งว่า DCE หรือโมเด็มต่อเข้ากับคู่สายโทรศัพท์แล้วเรียบร้อยและเมื่อโมเด็มทำการเรียก
 โทรศัพท์แบบอัตโนมัติก็จะส่งสัญญาณไปยัง DTE ที่ขานี้เช่นกันเพื่อบอกให้ DTE ทราบว่าต่อ
 โทรศัพท์ได้สำเร็จแล้ว

Signal Ground (SG ขาที่ 7) SG ทำหน้าที่เป็นระดับแรงดันอ้างอิงสำหรับทุก ๆ ขาสัญญาณ โดย
 จะมีแรงดันไฟฟ้าเป็น 0 โวลต์ เมื่อเทียบกับขาอื่น ๆ

Carrier Detect (CD ขาที่ 8) โมเด็มจะส่งสัญญาณนี้ไปยัง DTE เพื่อบอกให้ทราบว่าได้รับ
 สัญญาณตอบรับจากโมเด็มของอีกด้านหนึ่งแล้ว นอกจากนั้นสัญญาณนี้จะแสดงผลที่หน้าปัดของโมเด็ม
 อีกด้วย

Data Terminal Ready (DTR ขาที่ 20) DTE จะเปิดสัญญาณที่ขานี้ให้เป็นสภาวะออน เมื่อพร้อม
 ที่จะติดต่อกับโมเด็ม ซึ่งโมเด็มส่วนมากจะไม่ส่งสัญญาณในสถานะต่าง ๆ ให้กับ DTE รู้ถ้า DTE ไม่
 แสดงสถานะออนที่ขา DTR นี้

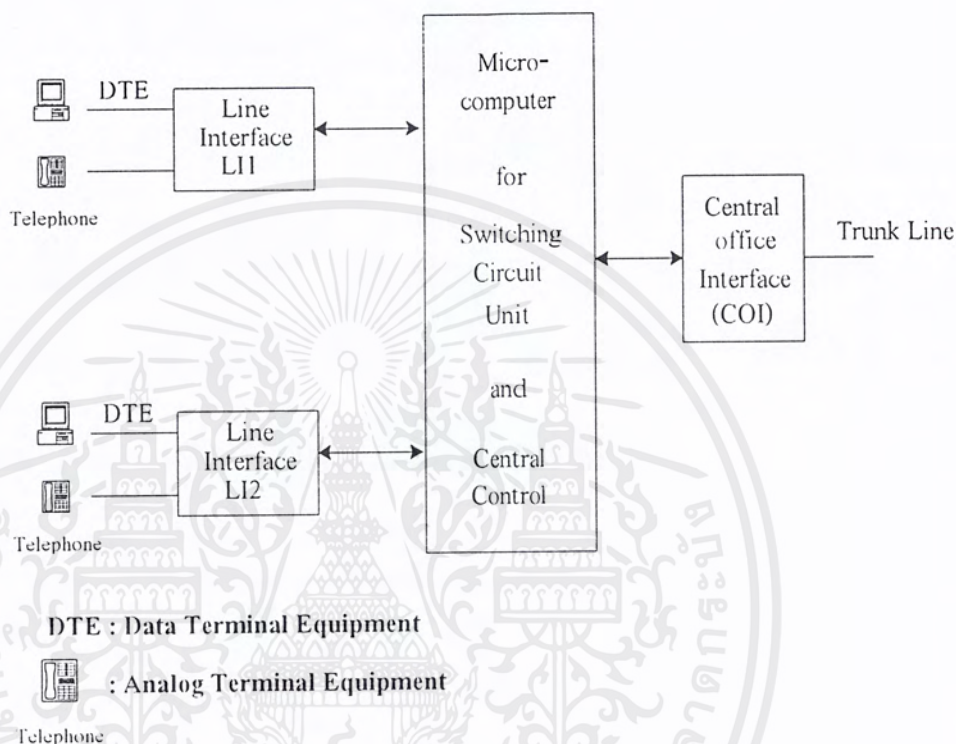
Ring Indicator (RI ขาที่ 22) ขานี้จะเป็นขาที่มีอยู่ในโมเด็มที่มีส่วนของการตอบรับโทรศัพท์แบบ
 อัตโนมัติ ซึ่งจะมีสภาวะออนเมื่อมีสัญญาณเรียกเข้ามา

บทที่ 3

การคำนวณและการสร้าง

การออกแบบส่วนฮาร์ดแวร์

3.1 โครงสร้างของเครื่องชุมสายโทรศัพท์ปลายทางระบบดิจิทัลที่ได้ออกแบบขึ้น

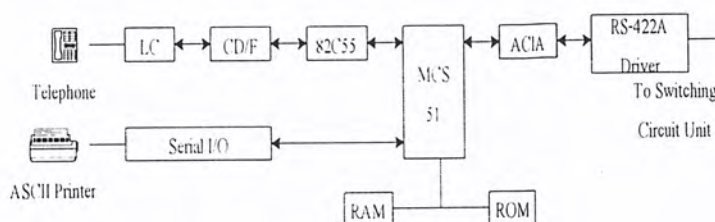


รูปที่ 3.1 แสดงโครงสร้างของเครื่องชุมสายโทรศัพท์ปลายทางระบบดิจิทัลที่ได้ทำการออกแบบขึ้น

จากรูปที่ 3.1 อุปกรณ์สื่อสารปลายทางทั้งแบบอนาล็อกและข้อมูลจะเชื่อมต่อกับชุมสายโทรศัพท์ที่ส่วนอุปกรณ์เชื่อมต่อคู่สายต่าง ๆ (LI) ซึ่งส่วนอุปกรณ์เชื่อมต่อคู่สายนี้จะเป็นส่วนที่ทำหน้าที่รับข่าวสารของอุปกรณ์สื่อสารปลายทางแล้วนำมาจัดช่วงเวลา จากนั้นจะส่งให้กับส่วนควบคุมกลางและส่วนวงจรสวิตซ์ทั้งสองส่วนนี้ ในการออกแบบได้นำเอาเครื่องไมโครคอมพิวเตอร์มาใช้งานคือส่วน Microcomputer for Switching Circuit Unit and Central Control ในรูปที่ 3.1 สำหรับอีกส่วนหนึ่งคือส่วนเชื่อมต่อกับโครงข่ายชุมสายโทรศัพท์ท้องถิ่น (COI) เป็นส่วนที่จัดให้สามารถติดต่อกับคู่สายอื่น ๆ ที่อยู่ในโครงข่ายชุมสายโทรศัพท์ท้องถิ่นได้ สำหรับรายละเอียดในการออกแบบส่วนต่าง ๆ จะอธิบายเป็นส่วน ๆ ต่อไปดังนี้

3.2 การออกแบบส่วนอุปกรณ์เชื่อมต่อคู่สาย (Line Interface)

ส่วนอุปกรณ์เชื่อมต่อคู่สายเป็นส่วนที่ทำหน้าที่เชื่อมต่อกับอุปกรณ์สื่อสารปลายทางกับชุมสายโทรศัพท์ทั้งที่เป็นแบบอนาล็อกและข้อมูล ดังโครงสร้างที่แสดงไว้ในรูปที่ 3.2



รูปที่ 3.2 แสดงโครงสร้างของส่วนอุปกรณ์เชื่อมต่อคู่สาย

จากรูปที่ 3.2 อุปกรณ์สื่อสารปลายทางที่นำมาเชื่อมต่อกับส่วนอุปกรณ์เชื่อมต่อคู่สายจะมี 2 แบบด้วยกัน คือ แบบอนาล็อกและข้อมูล โดยอุปกรณ์สื่อสารปลายทางแบบอนาล็อกนั้นจะเชื่อมต่อกับส่วนของวงจรประจำเครื่องสัญญาณจากวงจรประจำเครื่องที่อยู่ในรูปแบบอนาล็อกจะถูกแปลงเป็นสัญญาณดิจิทัลโดยส่วนของวงจรเข้ารหัส จากนั้นข้อมูลนี้จะถูกส่งให้กับส่วนประมวลผลของส่วนอุปกรณ์เชื่อมต่อคู่สายและจะถูกเก็บไว้ใน RAM เพื่อส่งให้กับส่วนวงจรสวิตซ์ต่อไป สำหรับอุปกรณ์สื่อสารปลายทางแบบข้อมูลนั้นจะเชื่อมต่อกับส่วนของ Serial Input/Output ของส่วนอุปกรณ์เชื่อมต่อคู่สายที่จะรับและส่งข้อมูลให้กับส่วนประมวลผลและข้อมูลนี้จะถูกเก็บไว้ใน RAM เพื่อส่งให้กับส่วนวงจรสวิตซ์เช่นกันสำหรับรายละเอียดของการออกแบบส่วนอุปกรณ์เชื่อมต่อคู่สายสามารถอธิบายได้ดังนี้

3.2.1 ส่วนวงจรประจำเครื่องสำหรับการเชื่อมต่อกับอุปกรณ์สื่อสารปลายทางแบบอนาล็อก

ส่วนวงจรประจำเครื่องเป็นส่วนที่จัดไว้สำหรับให้บริการกับอุปกรณ์สื่อสารปลายทางแบบอนาล็อกซึ่งได้แก่เครื่องโทรศัพท์ในการออกแบบส่วนวงจรประจำเครื่องได้นำเอาไอซีเบอร์ MC3419-IL มาใช้งาน โดยถูกออกแบบมาเพื่อทำงานในหน้าที่วงจรประจำเครื่อง นอกจากนั้นแล้วสถานะของเครื่องโทรศัพท์ก็สามารถตรวจสอบได้ในลักษณะของสัญญาณดิจิทัล ซึ่งทำให้ง่ายต่อการตรวจสอบโดยส่วนประมวลผลของส่วนอุปกรณ์เชื่อมต่อคู่สาย สำหรับคุณสมบัติของวงจรประจำเครื่องที่ทำการออกแบบขึ้นมีดังนี้

V_{EE}	=	- 48 V. ± 6.0 V.
V_{AG}	=	5 V. ± 1.0 V.
Resistive DC. Feed	=	400 Ohm
Maximum Loop Resistance	=	2500 Ohm
Termination Resistance	=	900 Ohm
Current Limit at	=	60 mA
Transmit Gain	=	0 dB.
Receive gain	=	0 dB.

ในการออกแบบจะสมมูลกับอิมพีแดนซ์ 600 Ohm

เมื่อกำหนด $V_{EE} = -48$ V. สามารถนำไปหาอุปกรณ์ในลักษณะ Current Regulator Diode ซึ่ง จะทำการกำหนดกระแสของรูปได้ 60 mA. คือ ไดโอดเบอร์ 1N5303 นอกจากนั้นค่าแรงดันที่ตกคร่อม ไดโอดไม่น้อยกว่า 2.0 V. เราจึงไม่จำเป็นต้องนำมาใช้ประกอบกรคำนวณหาค่า R_i และ R_R ที่ต่อกับขา Tip และ Ring โดยสามารถกำหนดสมการจาก LSI ได้ดังนี้

$$\begin{aligned} R_i = R_R &= 49 \cdot (V_{QE} - 4) \cdot R_F - 600 / V_{QB} \\ &= 49 \cdot (48 - 4) \cdot 400 - 600 / 48 \\ &= 17367 \text{ Ohm} \end{aligned}$$

จากการคำนวณได้ค่า R_i และ R_R เป็น 17367 Ohm จึงเลือกค่าความต้านทานมาตรฐานคือ 17.4 kOhm ค่าความผิดพลาด 1% ส่วนค่าความต้านทานโปรเทคชั่นที่ขา Tip และ Ring จะใช้ค่า 40 Ohm สำหรับค่า C_i และ C_R ที่ทำหน้าที่คงเสถียรภาพในการทำงานจะใช้ค่า 2000 pF ส่วนค่า R_c และ C_c จะคำนวณจาก

$$R_c \cdot C_c = (R_i + 600) \cdot C_i$$

ดังนั้น

$$R_c = 18 \text{ kOhm}$$

$$C_c = 2000 \text{ pF}$$

สำหรับค่าความต้านทานที่จะกำหนดเป็น Maximum Resistance ให้มีค่าเป็น 2500 Ohm คือ ค่า R_{ii} ในการออกแบบจะใช้ค่า 270 kOhm 5% ส่วนการหาค่าของ R_{TX1} , R_{TX2} ซึ่งจะกำหนดจาก Termination Resistance (R_o) จะได้

$$R_o = R_i + R_R + 1200 / 1 + 97K_s$$

$$K_s = R_{TX2} / R_{TX1} + R_{TX2}$$

เมื่อกำหนดค่า $R_o = 900$ Ohm สามารถหาค่า K_s ได้จาก

$$\begin{aligned} K_s &= 1/97 \cdot R_i + R_R + 1200 - 1/R_o \\ &= 1/97 \cdot 17400 + 17400 + 1200 - 1/900 \\ &= 0.402 \\ &= 11361 \text{ Ohm} \end{aligned}$$

สำหรับค่า R ที่ได้จากการคำนวณเราสามารถเลือกค่ามาตรฐานได้คือ 11.3 kOhm 1% และใช้ ค่า C เป็น 1 uF 50 V. เมื่อได้ค่า R, R และ C แล้วทดลองคำนวณกลับจะได้ค่า K และ R เป็น 0.4007 และ Ohm ตามลำดับ

สำหรับค่า Transhybird Reception Gain (G) ที่กำหนดเป็น 0 dB. (A = 1) สามารถคำนวณ ได้จาก R จะได้

$$\begin{aligned} R &= 95 \cdot R \cdot R / (R + R) \cdot G \\ &= (95)(900)(903) / (900 + 903)(1) \\ &= 42821 \text{ Ohm} \end{aligned}$$

สำหรับค่า R ที่ได้จากการคำนวณคือ 42.821 Ohm จึงเลือกค่ามาตรฐานเป็น 43.2 kOhm และเลือกค่า C เป็น 1 uF 50 V.

ส่วนค่า Transhybird Transmission Gain(G) ที่กำหนดเป็น 0 dB. เช่นเดียวกับค่า G จะได้

$$\begin{aligned} R &= (R+R+1200).G / 1.02(1-K) \\ &= (17400+17400+1200).(1) / 1.02(1-0.4007) \\ &= 60070 \text{ Ohm} \end{aligned}$$

ค่า R ที่ใช้มีค่าเป็น 60.4 kOhm

สำหรับค่า Balance Resistor (R) จะเลือกค่าสูงสุดของ Transhybrid rejection ซึ่งมี R = 600 Ohm ดังนั้น

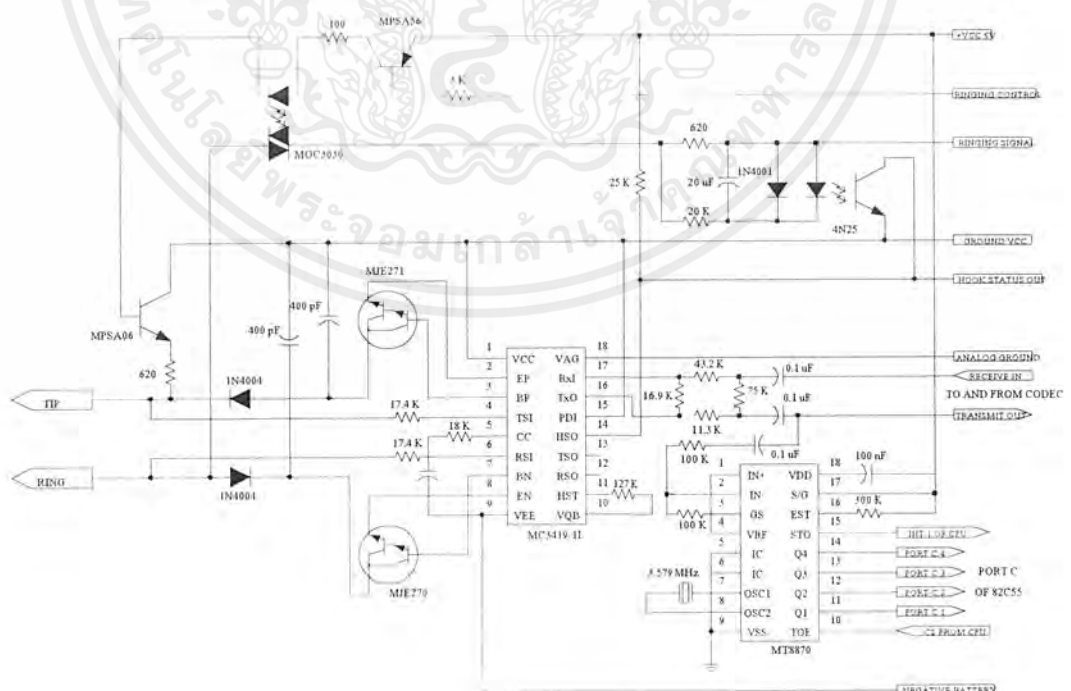
$$\begin{aligned} R &= R.(1+97K5)(R+R) / 97(1-K).R \\ &= (43200).(1+97(0.4007)).(903+600) / 97(1-0.4007)(600) \\ &= 74.216 \text{ kOhm} \end{aligned}$$

ในที่นี้เลือกใช้ค่า R = 75 kOhm

สำหรับอุปกรณ์สุดท้ายที่ทำการคำนวณสำหรับออกแบบวงจรประจำเครื่องคือ R ซึ่งจะมีเอาท์พุทไปต่อกับอุปกรณ์อื่น ๆ อยู่จะได้

$$\begin{aligned} R &= V / I \\ &= 5V / 200 \text{ uA.} \\ &= 25 \text{ kOhm} \end{aligned}$$

สำหรับส่วนวงจรประจำเครื่องที่ได้ออกแบบส่วนประกอบต่าง ๆ และจะมีลักษณะวงจรดังรูป

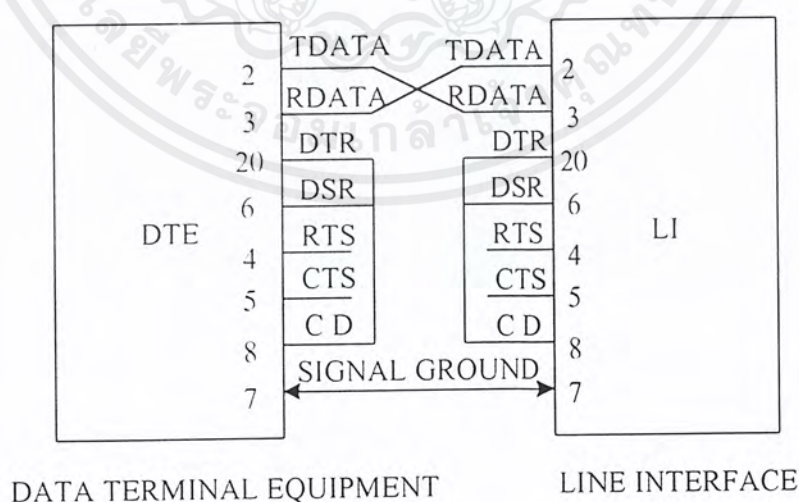


รูปที่ 3.3 แสดงวงจรของส่วนวงจรประจำเครื่องที่ใช้อุปกรณ์ที่ได้จากการคำนวณ

จากรูปที่ 3.3 แสดงวงจรที่นำมาใช้กับส่วนวงจรประจำเครื่องโดยมี ไอซีเบอร์ MC3419-1L เป็นอุปกรณ์หลักที่ทำการต่อกับอุปกรณ์ต่าง ๆ ที่ได้คำนวณไว้ โดยเครื่องโทรศัพท์ที่จะเชื่อมต่ออยู่กับขา Tip และ Ring ซึ่งจะมีค่า Resistance DC Loop เป็น 400 Ohm ค่าพารามอเตอร์นี้จะกำหนดจากค่า R และ R สำหรับ MOC3030 นี้จะถูกควบคุมการจ่ายสัญญาณเรียก (Ringing Signal) ซึ่งนำมาใช้แทนอุปกรณ์ รีเลย์ MOC3030 นี้จะถูกควบคุมการทำงานจากส่วนประมวลผลของส่วนอุปกรณ์เชื่อมต่อคู่สาย ส่วน 4N25 ออปโตทรานซิสเตอร์ ใช้สำหรับตรวจสอบสถานะของเครื่องโทรศัพท์เมื่อติดตั้งเครื่องโทรศัพท์ที่ไห่างจากชุมสายโทรศัพท์มาก ๆ สำหรับการกำหนดอัตราการขยายของการรับและการส่งสัญญาณจะกำหนดจากค่าของ R และ R จากวงจรได้กำหนดค่าอัตราขยายของทั้งสองให้เป็น 1 dB. สำหรับสัญญาณสถานะของเครื่องโทรศัพท์จะตรวจสอบจากขา HSO (Hook Status O/P) ของ ไอซีเบอร์ MC3419-1L ส่วนสัญญาณนาฬิกาหรือสัญญาณเสียงจากเครื่องโทรศัพท์ที่จะต่อกับส่วนวงจรเข้า-ออกรหัสสัญญาณดิจิทัลและวงจรฟิสิกเตอร์จะต่อจากขา RxI (Receive Input) และ TxO (Transmit Output) สำหรับ MT8870 จะเป็นอุปกรณ์ที่ทำหน้าที่ DTMF DECODER ซึ่งจะทำหน้าที่รับสัญญาณ DTMF ที่เป็นสัญญาณหมายเลขจากเครื่องโทรศัพท์โดยจะส่งข้อมูลขนาด 4 บิตเชื่อมต่อกับพอร์ต C (LSB) ของ 82C55 และจะใช้การอินเตอร์รัปต์สำหรับตรวจสอบการกดคีย์

3.2.2 ส่วนเชื่อมต่อกับอุปกรณ์สื่อสารปลายทางแบบข้อมูล

เครื่องชุมสายโทรศัพท์ที่ได้ทำการออกแบบขึ้นนี้จะสามารถให้บริการกับอุปกรณ์สื่อสารปลายทางแบบดิจิทัลได้ โดยอุปกรณ์สื่อสารที่ว่านี้จะหมายถึงเครื่องไมโครคอมพิวเตอร์และจะเชื่อมต่อเข้ากับส่วนอุปกรณ์เชื่อมต่อคู่สายโดยใช้มาตรฐาน RS-232C ที่มีโปรโตคอลเป็น XMODEM ซึ่งอธิบายหลักการไว้ สำหรับลักษณะของการเชื่อมต่อจะแสดงไว้ดังรูป

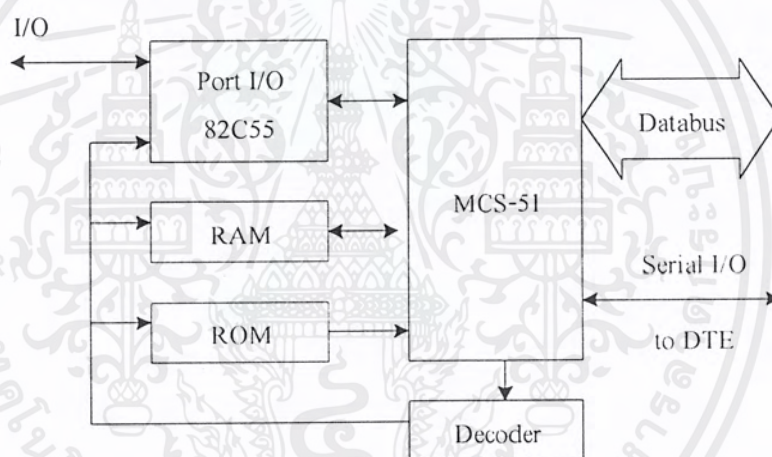


รูปที่ 3.4 แสดงลักษณะการเชื่อมต่อระหว่างเครื่องไมโครคอมพิวเตอร์กับส่วนอุปกรณ์เชื่อมต่อคู่สาย

จากรูปที่ 3.4 แสดงลักษณะการเชื่อมต่อระหว่างเครื่องไมโครคอมพิวเตอร์กับส่วนอุปกรณ์เชื่อมต่อคู่สาย โดยเอาต์พุตของเครื่องไมโครคอมพิวเตอร์จะใช้ที่พอร์ตอนุกรม COM1: สำหรับที่ส่วนเชื่อมต่อกับอุปกรณ์สื่อสารปลายทางแบบดิจิทัลของส่วนอุปกรณ์เชื่อมต่อคู่สายนั้นจะใช้พอร์ตอนุกรมของ ไมโครคอนโทรลเลอร์ MCS-51 โดยจะกำหนดการทำงานในโหมดที่ 3 ซึ่งเป็นการสื่อสารอนุกรม แบบบิตซีริคัลโครนัส

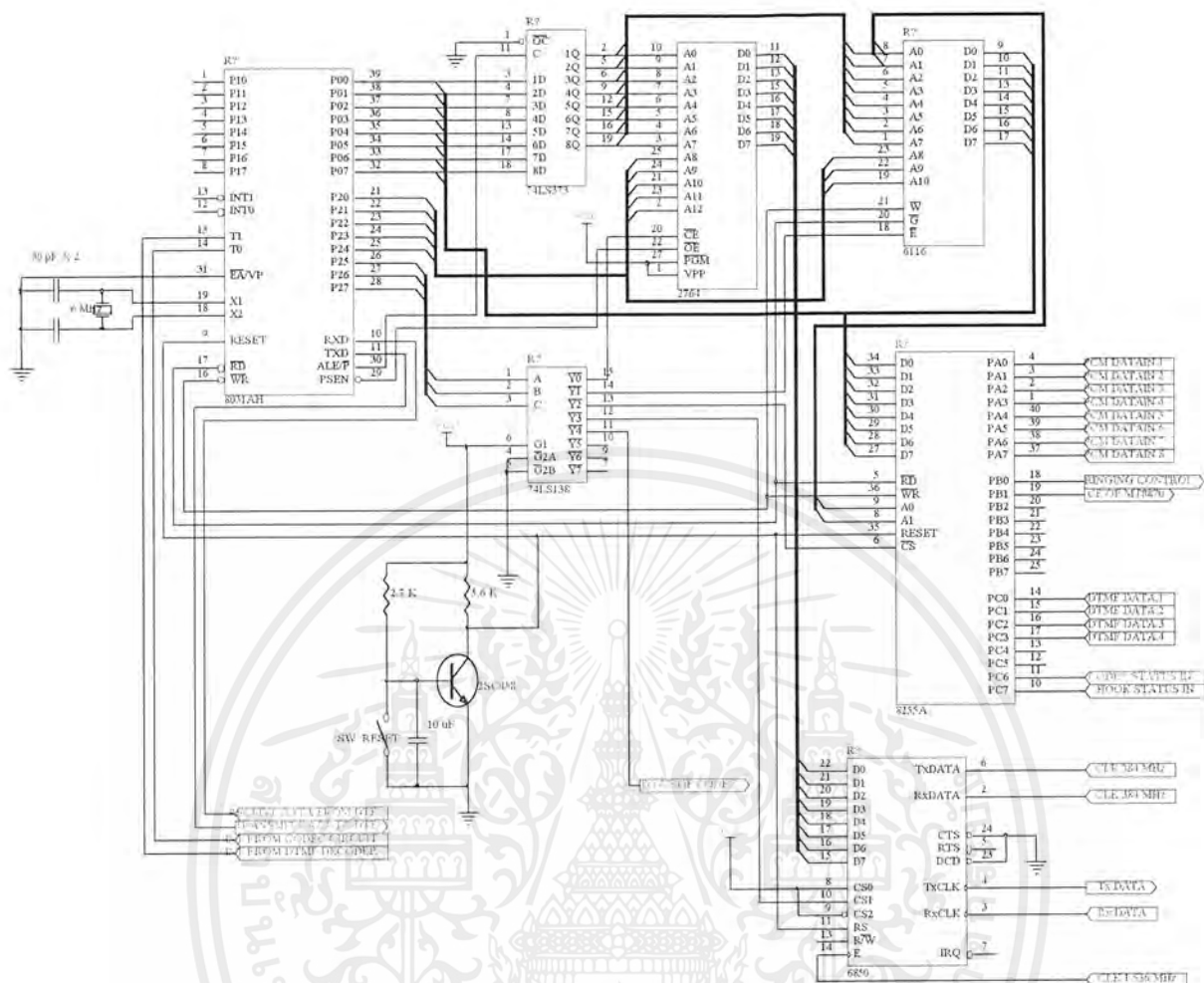
3.2.3 ส่วนประมวลผลสำหรับส่วนอุปกรณ์เชื่อมต่อคู่สาย (Central Processing Unit)

ส่วนประมวลผลเป็นส่วนที่ทำหน้าที่รับข้อมูลจากส่วนต่าง ๆ ของส่วนอุปกรณ์เชื่อมต่อคู่สายมาทำการประมวลผลจากนั้นจึงส่งสัญญาณไปควบคุมการทำงานของส่วนต่าง ๆ ที่สัมพันธ์กับข้อมูลที่รับเข้ามา ซึ่งมีลักษณะของบล็อกไดอะแกรมและวางจดังรูปที่ 3.5 และ รูปที่ 3.6



รูปที่ 3.5 แสดงบล็อกไดอะแกรมของส่วนประมวลผลของส่วนอุปกรณ์เชื่อมต่อคู่สาย

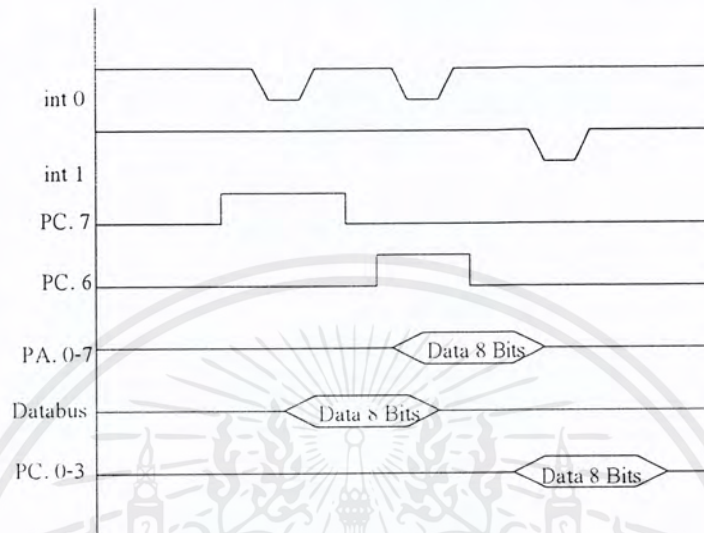
จากรูปที่ 3.5 แสดงบล็อกไดอะแกรมของส่วนประมวลผล ซึ่งจะใช้ไมโครโปรเซสเซอร์ควบคุมการทำงานทั้งหมดไม่ว่าจะเป็นการรับและส่งข้อมูลต่าง ๆ ผ่านพอร์ต I/O การอ่านและเขียนข้อมูลที่ RAM หรือการอ่านข้อมูลที่โปรแกรมม่อนิเตอร์โปรแกรมจาก EPROM ในการออกแบบส่วนนี้ได้นำเอาอุปกรณ์ไมโครคอนโทรลเลอร์ MCS-51 มาใช้งานสำหรับ MCS-51 นี้สามารถนำมาใช้งานที่ความถี่สูงๆ ได้ซึ่งจะเหมาะกับการที่จะใช้เทคนิคการรับและส่งข้อมูลด้วยความเร็วสูงได้ นอกจากนั้นแล้วรูปแบบของคำสั่งของ MCS-51 ไม่ซับซ้อนมากนักทำให้ง่ายต่อการเขียนซอฟต์แวร์



รูปที่ 3.6 แสดงวงจรของส่วนประมวลผลของส่วนอุปกรณ์เชื่อมต่อกับสาย

จากรูปที่ 3.6 แสดงวงจรส่วนประมวลผล โดยมีอุปกรณ์หน่วยความจำอยู่ 2 ส่วน คือ EPROM เบอร์ 2764 ขนาด 8kx8 บิต ซึ่งจะเป็นตัวที่เก็บส่วนมอนิเตอร์โปรแกรมและ RAM เบอร์ 6116 ขนาด 2kx8 บิต เป็นตัวที่เก็บข้อมูลต่าง ๆ เป็นต้นว่าข้อมูลของอุปกรณ์สื่อสารปลายทาง ข้อมูลสถานะของส่วนอุปกรณ์เชื่อมต่อคู่สาย ฯลฯ สำหรับชิปดีโคเดอร์จะใช้ ไอซีเบอร์ 74LS138 เพื่อเลือกอุปกรณ์สนับสนุนทำงานร่วมกับไมโครคอนโทรลเลอร์ สำหรับพอร์ต I/O จะใช้ ไอซีเบอร์ 82C55 โดยจัดให้พอร์ต A เป็นพอร์ตอินพุต เพื่อที่จะรับข้อมูลจากส่วนวงจรเข้า-ถอดรหัสสัญญาณดิจิทัล ส่วนพอร์ต C (LSB) จะจัดให้เป็นพอร์ตอินพุตที่รับสถานะของอุปกรณ์สื่อสารปลายทางที่นำมาเชื่อมต่อกับอุปกรณ์เชื่อมต่อคู่สายทั้งแบบอนาล็อกและดิจิทัล สำหรับพอร์ต B จะจัดให้เป็นพอร์ตเอาต์พุตเพื่อการส่งสัญญาณควบคุมต่าง ๆ ให้กับเครื่องโทรศัพท์ และพอร์ต C (LSB) เป็นพอร์ตที่ใช้สำหรับรับข้อมูล จาก DIMF DECODER MT8870 ในส่วนของการกำหนดจังหวะของการอ่าน ข้อมูลที่ได้จากส่วนวงจรเข้า-ถอดรหัสสัญญาณดิจิทัล รวมทั้งการตรวจสอบสถานะของเครื่องโทรศัพท์จากส่วนวงจรประจำเครื่องนั้น จะใช้เทคนิคการขออินเตอร์รัปต์กับไมโครคอนโทรลเลอร์ MCS-51 ที่ขา Int.0 เมื่อไมโครคอนโทรลเลอร์ตอบรับการขออินเตอร์รัปต์แล้ว ก็จะมีการเช็คสถานะเครื่องโทรศัพท์และสถานะของการอ่านข้อมูลจากส่วนวงจรเข้า

รหัสฯ ว่าส่วนใดเป็นส่วนที่ขออินเตอร์รัปต์แล้วไมโครคอนโทรลเลอร์จะทำงานตามโปรแกรมที่บริการส่วนนั้น ๆ สำหรับ Int.1 จะใช้อ่านข้อมูลจากการกดคีย์ของผู้ใช้จากเครื่องโทรศัพท์ผ่าน MT8870 ส่วนหน้าที่สุดท้ายที่ส่วนประมวลผลนี้คือ การควบคุมการรับและส่งสัญญาณอนุกรม ระหว่างส่วนอุปกรณ์เชื่อมต่อคู่สายกับอุปกรณ์สื่อสารปลายทางแบบดิจิทัลจะอธิบายในส่วนต่อไป สำหรับลักษณะของ



ไทม์มิ่งไคอะแกรมของการทำงานในส่วนนี้จะแสดงไว้ในรูปที่ 3.7

รูปที่ 3.7 แสดงไทม์มิ่งไคอะแกรมการทำงานของ Int.0 และ Int.1

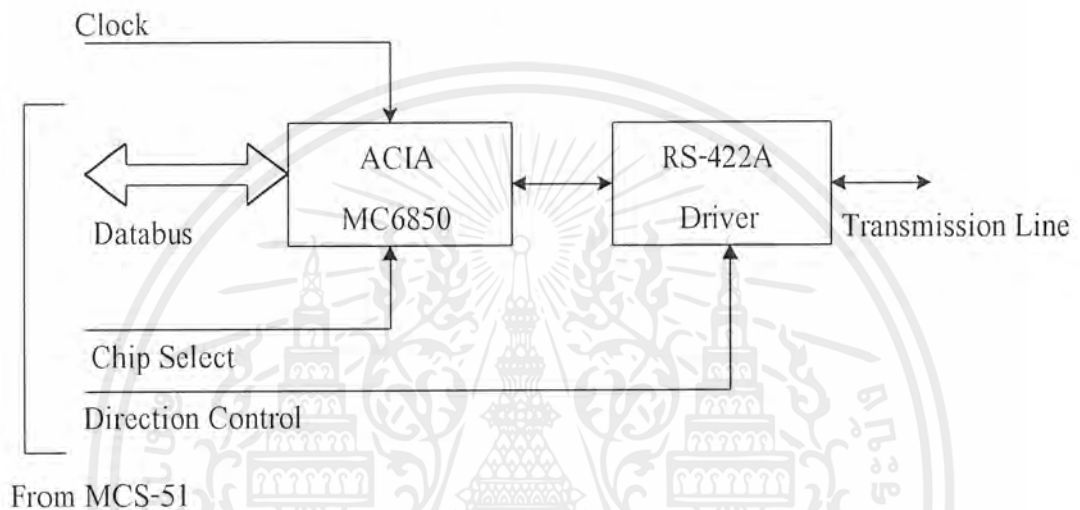
3.2.4 ส่วนวงจรเข้า-ถอดรหัสสัญญาณดิจิทัลและวงจรกรองความถี่ (CODEC&Filter)

ส่วนวงจรเข้า-ถอดรหัสสัญญาณดิจิทัลและวงจรกรองความถี่ (CODEC&Filter) เป็นส่วนที่ทำหน้าที่รับสัญญาณอนาล็อกจากส่วนวงจรประจำเครื่องแล้วทำการเข้ารหัสให้เป็นสัญญาณดิจิทัล และทำหน้าที่รับสัญญาณดิจิทัลจากพอร์ตของส่วนประมวลผลมาแปลงเป็นสัญญาณพัลส์แอมพลิฟิเคชัน (PAM) แล้วส่งให้กับวงจรฟิลเตอร์ชนิดความถี่ต่ำผ่าน (Low-pass Filter) ซึ่งให้เอาต์พุตเป็นสัญญาณอนาล็อกและส่งให้กับส่วนวงจรประจำเครื่องเพื่อที่จะส่งให้กับเครื่องโทรศัพท์ต่อไป

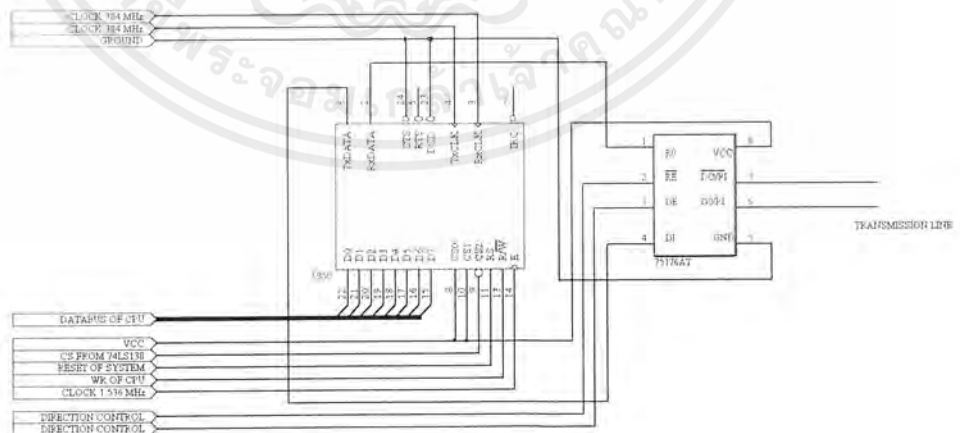
ในการออกแบบส่วนวงจรเข้า-ถอดรหัสสัญญาณดิจิทัลและวงจรกรองความถี่นี้ได้นำเอาไอซีเบอร์ MC14400 ซึ่งเป็น Single Chip PCM CODEC & Filter มาใช้งาน โดยใช้ความถี่ของการแซมปลิงเป็น 8 kHz. โดยการส่งข้อมูลที่ได้อจากการเข้ารหัสไปให้กับส่วนประมวลผลนั้นจะใช้การขออินเตอร์รัปต์ไมโครโปรเซสเซอร์ของส่วนประมวลผลทุก ๆ 125 μ s แต่ว่าสัญญาณดิจิทัลที่ได้จากการเข้ารหัสอยู่ในรูปแบบของสัญญาณอนุกรม ดังนั้นในการออกแบบจึงเลือกใช้ ไอซีเบอร์ 74HCT164 ที่จะเปลี่ยนรูปแบบข้อมูลสัญญาณดิจิทัลจากอนุกรมไปเป็นขนานทำให้สามารถส่งข้อมูลให้กับพอร์ตของส่วนประมวลผลได้ ซึ่งจะส่งทุก ๆ ครั้งที่ขออินเตอร์รัปต์ สำหรับพอร์ตที่รับข้อมูลของส่วนประมวลผลจะใช้ ไอซีเบอร์ 82C55 จากนั้นจึงจะนำข้อมูลไปเก็บไว้ที่หน่วยความจำของส่วนประมวลผลต่อไป ในการรับข้อมูลสัญญาณดิจิทัลที่จะส่งมาจากส่วนประมวลผลที่อยู่ในรูปแบบขนานจะนำเอา ไอซีเบอร์ 74HCT166 ใช้สำหรับการแปลงรูปแบบข้อมูลขนานให้เป็นอนุกรมเพื่อส่งให้กับส่วนวงจรถอดรหัสสัญญาณดิจิทัลซึ่ง

3.2.5 ส่วนเชื่อมต่อกับคู่สายโทรศัพท์

ส่วนเชื่อมต่อกับคู่สายโทรศัพท์เป็นส่วนที่ทำการจัดลักษณะของสัญญาณดิจิทัลที่จะส่งให้กับส่วนวงจรสวิทช์ให้อยู่ในรูปแบบของสัญญาณอนุกรมและเป็นไปตามมาตรฐานการเชื่อมต่อRS-422A ซึ่งจะสามารถส่งสัญญาณที่มีความเร็วสูง ๆ ไปบนคู่สายโทรศัพท์ได้ องค์ประกอบที่สำคัญของส่วนนี้มี 2 อย่างด้วยกันคือ Asynchronous Communication Interface Adapter (ACIA) และ Line Driver ของ RS-422 โดยมีบล็อกไดอะแกรมและวงจรดังรูปที่ 3.9 และรูปที่ 3.10

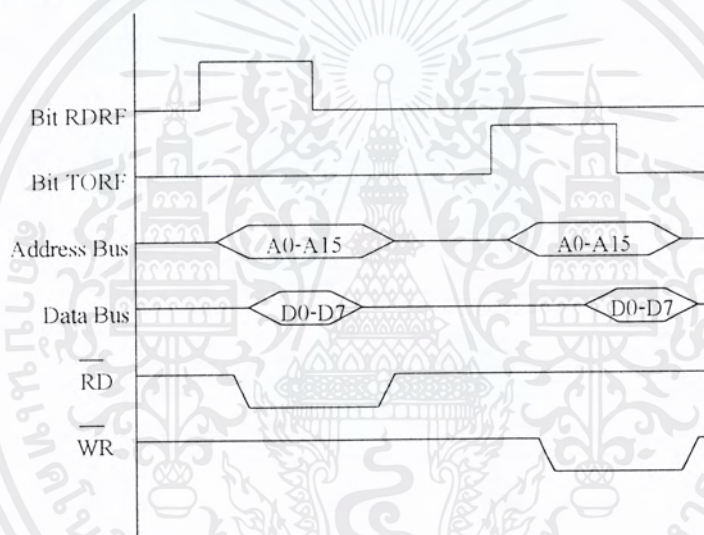


รูปที่ 3.9 แสดงบล็อกไดอะแกรมของส่วนเชื่อมต่อกับคู่สายโทรศัพท์



รูปที่ 3.10 แสดงวงจรของส่วนเชื่อมต่อกับคู่สายโทรศัพท์

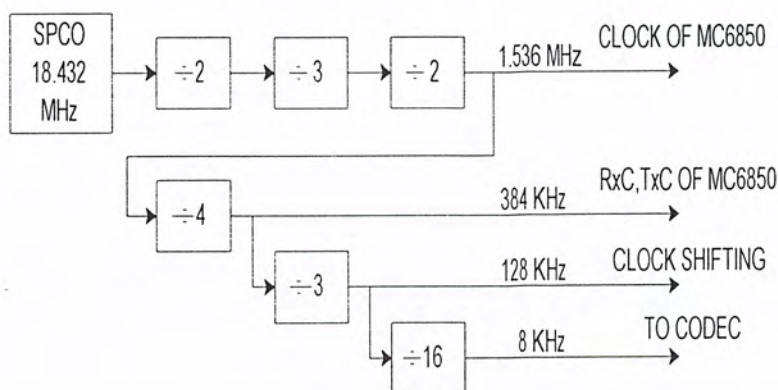
MC6850 เป็นอุปกรณ์ที่รับข้อมูลจากส่วนประมวลผลของส่วนอุปกรณ์เชื่อมต่อคู่สายที่อยู่ในรูปแบบของข้อมูลขนาน 8 บิต แล้วมาแปลงเป็นข้อมูลอนุกรมเพื่อส่งไปบนคู่สายโทรศัพท์โดยผ่าน Line Driver RS 422A ในลักษณะของการสื่อสารข้อมูลอนุกรมแบบอซิงค์โครนัส ในการออกแบบส่วนนี้ได้ นำเอา ไอซีเบอร์ MC6850 ซึ่งสามารถส่งข้อมูลได้ความเร็วสูงสุดถึง 500 kbps ซึ่งเพียงพอต่อการนำมาใช้งาน นอกจากนั้นแล้ว MC6850 ยังสะดวกต่อการนำมาเชื่อมต่อกับ MCS-51 อีกด้วยสำหรับสัญญาณนาฬิกาควบคุมการทำงานได้จากส่วนสร้างสัญญาณนาฬิกาควบคุมการส่งข้อมูล ส่วน RC และ TC ซึ่งเป็นการกำหนดความเร็วในการส่งข้อมูล ก็ได้รับสัญญาณจากส่วนนี้เช่นกัน สำหรับ Line Driver RS422A ซึ่งต่ออยู่กับ RD และ TD ในการออกแบบจะใช้ไอซีที่จัดมาตรฐานไว้แล้วคือ ไอซีเบอร์ 75176AT ดังวงจรรูปที่ 3.10 โดยจะควบคุมทิศทางของ การรับและส่งข้อมูลจากพอร์ต B ของไอซี 82C55 จากส่วนประมวลผลซึ่งจะมีความถูกต้องมากขึ้น ส่วนลักษณะของไทม์มิงโคะแกรมของการรับ-ส่งสัญญาณนี้จะแสดงไว้ในรูปที่ 3.11



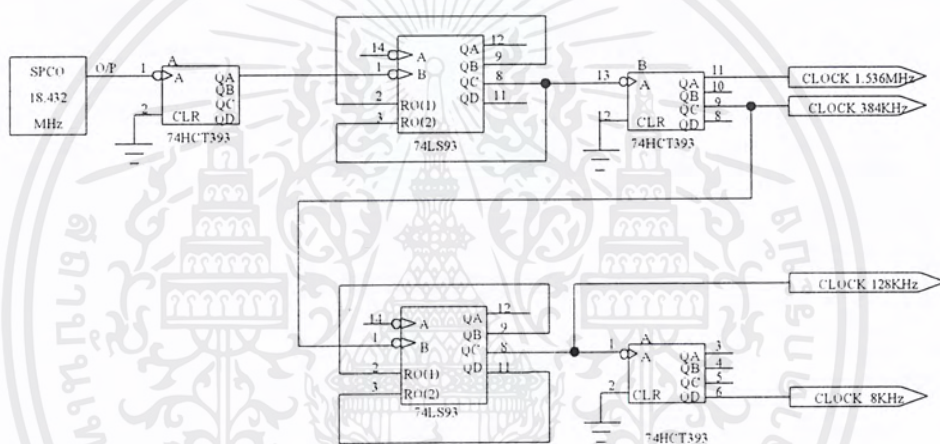
รูปที่ 3.11 แสดงไทม์มิงโคะแกรมของการรับ-ส่งสัญญาณของส่วนเชื่อมต่อคู่สายโทรศัพท์

3.2.6 ส่วนสร้างสัญญาณนาฬิกาเพื่อควบคุมการถ่ายโอนข้อมูล

ส่วนสร้างสัญญาณนาฬิกา เพื่อควบคุมการถ่ายโอนข้อมูลเป็นส่วนที่สร้างสัญญาณนาฬิกาที่มีความถี่ต่าง ๆ เพื่อกำหนดจังหวะในการรับ-ส่งข้อมูล รวมไปถึงจังหวะของการแลกเปลี่ยนสัญญาณอนาล็อกที่อยู่ในส่วนวงจรเข้าและถอดรหัสสัญญาณดิจิทัลๆ โดยจะมีบล็อกโคะแกรมและวงจรแสดงดังรูปที่ 3.12 และรูปที่ 3.13



รูปที่ 3.12 แสดงบล็อกไดอะแกรมของส่วนสร้างสัญญาณนาฬิกาเพื่อควบคุมการถ่ายโอนข้อมูล



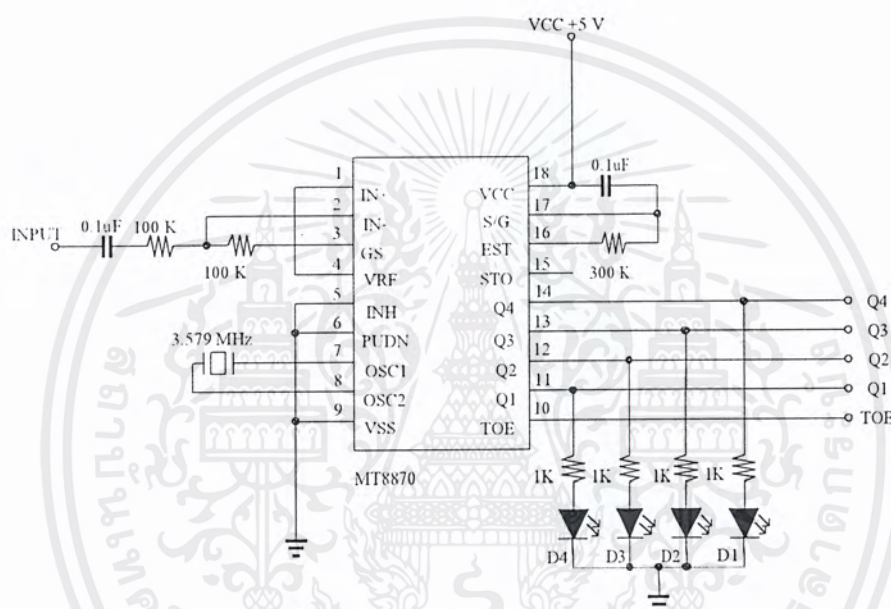
รูปที่ 3.13 แสดงวงจรของส่วนสร้างสัญญาณนาฬิกาเพื่อควบคุมการถ่ายโอนข้อมูล

สำหรับสัญญาณพิก้าที่ใช้ควบคุมการทำงานที่ส่วนอุปกรณ์เชื่อมต่อคู่สายได้แก่ ความถี่ 8 kHz. สำหรับการแชนเปลิ่ง ความถี่สำหรับขับข้อมูลจาก CODEC 128 kHz. ความถี่ของการรับและส่งระหว่างส่วนอุปกรณ์เชื่อมต่อคู่สายกับส่วนวงจรสวิตชิง 384 kHz. และความถี่สำหรับการควบคุมการทำงานของ MC6850 1.536 MHz. ในการออกแบบได้นำเอาความถี่ 18.432 MHz. มาหารเพื่อให้ได้ค่าความถี่ต่าง ๆ ข้างต้นดังบล็อกไดอะแกรมในรูปที่ จากวงจรในรูปที่ SPCO (Single Package Crystal Oscillator) 18.432 MHz. จะถูกหารด้วย 2 จาก ไอซีเบอร์ 74HCT393 เพื่อที่จะจัดลักษณะของสัญญาณให้มีค่า Duty Cycle = 50% โดยจะเหลือความถี่ 9.216 MHz. จากนั้นส่งผ่าน 74LS93 ที่จัดวงจรหาร 3 ไว้ให้ได้ความถี่เอาต์พุต 3.072 MHz. ค่าความถี่นี้เมื่อนำมาหารด้วย 2 ก็จะได้ 1.536 MHz. ซึ่งจะใช้ควบคุมการทำงานของ MC6850 เมื่อนำค่าความถี่ 1.536 MHz. มาหารด้วย 4 จะได้ค่าความถี่เอาต์พุตเป็น 384 kHz. ที่ใช้เป็นตัวความถี่ของการถ่ายโอนข้อมูล สำหรับค่าความถี่ 128 kHz. จะได้จากการนำเอา

ค่าความถี่ 384 kHz. มาหารด้วย 3 ซึ่งเป็นการจัดวางจรร่วมกันระหว่าง 74HCT393 และ 74LS93 สำหรับความถี่สุดท้ายคือค่าความถี่ 8 kHz. จะได้จากค่าความถี่ 128 kHz. หารด้วย 16 ซึ่งนำมาใช้ใน วงจรเข้า-ถอดรหัสสัญญาณดิจิตอล

3.2.7 ส่วนของวงจรถอดสัญญาณ DTMF

วงจรตรวจจับสัญญาณความถี่โทรศัพท์นี้จะใช้ไอซีที่ทำหน้าที่เปลี่ยนสัญญาณความถี่จากการกดปุ่มโทรศัพท์ชนิดกดปุ่ม ให้เป็นสัญญาณทางด้านดิจิตอลในลักษณะไบนารี ซึ่งไอซีตัวนี้จะใช้ไอซีเบอร์ MT8870



รูปที่ 3.14 แสดงวงจรถอดสัญญาณ DTMF

เนื่องจากว่าสัญญาณที่ได้จากการกดหมายเลขแต่ละตัวบนหน้าปัทม์โทรศัพท์จะออกมาเป็น ความถี่คลื่นรูปไซน์ 2 ความถี่ตามลักษณะของโทรศัพท์แบบกดปุ่มในการนำไปใช้งานเราจึงจำเป็นต้อง เปลี่ยนสัญญาณความถี่คลื่นรูปไซน์ ให้เป็นสัญญาณดิจิตอลเสียก่อน ก็คือต้องผ่านสัญญาณความถี่คลื่น รูปไซน์เข้าไปยังวงจรถอดรหัสสัญญาณ DTMF ซึ่งเมื่อมีผู้เรียกเข้ามา ทางภาครับทำการรับคู่สายแล้วส่วน ตอบรับอัตโนมัติจะส่งสัญญาณเสียงตอบรับผู้เรียกเข้ามาเพื่อให้ทำการกดหมายเลขของคู่สายภายใน เมื่อมี การกดหมายเลขของคู่สายภายในที่ได้ออกมาเป็นสัญญาณ DTMF ก็จะมาผ่านภาควงจรถอดรหัสสัญญาณ DTMF เพื่อที่แปลงสัญญาณคลื่นรูปไซน์ไปเป็นสัญญาณดิจิตอล 4 บิต เพื่อที่จะส่งให้ภาคควบคุมระบบ ทำการวิเคราะห์ต่อไป ในวงจรใช้งานจริงจะใช้ ไอซีเบอร์ MT8870 ทำหน้าที่ถอดรหัสความถี่ขอโทรศัพท์ แบบกดปุ่มให้เป็นตัวเลข BCD ขนาด 4 บิต โดยใช้งานร่วมกับคริสตอล 3.579 MHz

จึงมีการต่อไอซีเบอร์ MT8870 ใช้งานจริงดังวงจรรูปที่ 3.14 เมื่อส่วนอินเตอร์เฟสคู่สาย ภายนอกทำการปรับอิมพีแดนซ์ให้เหลือ 600 โอห์ม หรือยกหู สัญญาณ DTMF ก็สามารถผ่านภาคนี้มาได้ คือ จากขั้วพุตขุมิของหม้อแปลง ผ่านเข้ามายังขาอินพุตของไอซี MT8870 ส่วนที่ขาเอาต์พุตของ ไอซี

MT8870 จะส่งต่อไปยังส่วนควบคุมระบบ คือ ขา Q1-Q4 เพื่อให้สามารถวิเคราะห์สัญญาณ BCD ที่ถอดรหัสมาได้ แต่การทำงานของไอซี MT8870 นั้น ก็จะถูกควบคุมด้วยขา 10 (TOE) จะเป็นระดับแรงดันลอจิก “0” ทำให้เอาต์พุตของไอวี MT8870 เป็นไฮซ์อิมพีแดนซ์ (High impedance) ถ้ามีอินพุตเข้ามาเมื่อไอซี MT8870 ถอดรหัสได้แล้วก็จะเป็นการแปลงสถานะทางลอจิกของขา 15 (STO) จากลอจิก “0” ไปเป็น “1” เพื่อบอกให้ส่วนควบคุมระบบทราบแล้วจะได้ส่งค่าลอจิก “1” ออกมาที่ขา 10 (TOE) เพื่อจะได้ปรับสภาพค่าอิมพีแดนซ์ของขาเอาต์พุต (Q1-Q4) ให้ต่ำลงและส่งข้อมูลไปยังส่วนควบคุมระบบต่อไปซึ่งในขณะที่ปกติเอาต์พุตเป็นไฮซ์อิมพีแดนซ์อยู่นั้นจะไม่มีผลต่อการกดคีย์บอร์ดของโทรศัพท์เพราะข้อมูลส่งออกมาไม่ได้

3.2.8 ส่วนวงจรที่สร้างสัญญาณต่างๆ ของโทรศัพท์ที่ใช้ภายในชุมสายโทรศัพท์

การทำงานของชุมสายโทรศัพท์สามารถแบ่งการทำงานออกเป็น ส่วน ๆ ดังนี้

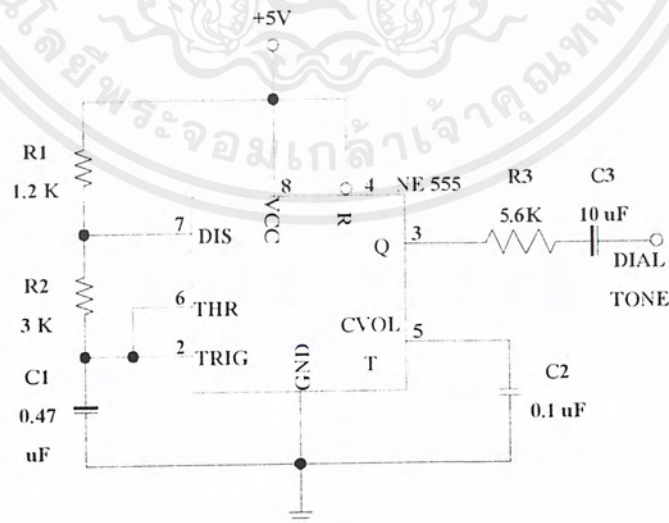
สัญญาณต่างๆ ของโทรศัพท์ที่ใช้ในเครื่องชุมสายนี้ ประกอบด้วยสัญญาณ 4 สัญญาณ คือ สัญญาณให้กดเลขหมาย (Dial Tone) สัญญาณเรียกกลับ (Ring Back Tone) สัญญาณไม่ว่าง (Busy Tone) และสัญญาณกระดิ่ง (Ringing Tone) วงจรต่าง ๆ สามารถสร้างได้ดังนี้

วงจรกำเนิดสัญญาณให้กดเลขหมาย (DIAL TONE)

ใช้ไอซีเบอร์ NE 555 ต่อวงจรในลักษณะวงจรแอสเตเบิล กำหนดความถี่ที่ต้องการประมาณ

425 เฮิรตซ์ R_1 , R_2 และ C_1 เป็นตัวกำหนดค่าความถี่ที่ต้องการ โดยคำนวณค่าความถี่ได้จากสูตร

$$\begin{aligned} f_1 &= \frac{1.443}{(R_1 + 2R_2)C_1} \\ &= \frac{1.443}{[1.3k + 2(16k)] 0.1 \mu F} \\ &= 426 \text{ Hz} \end{aligned}$$



รูปที่ 3.15 วงจรกำเนิดสัญญาณให้กดเลขหมาย (Dial Tone)

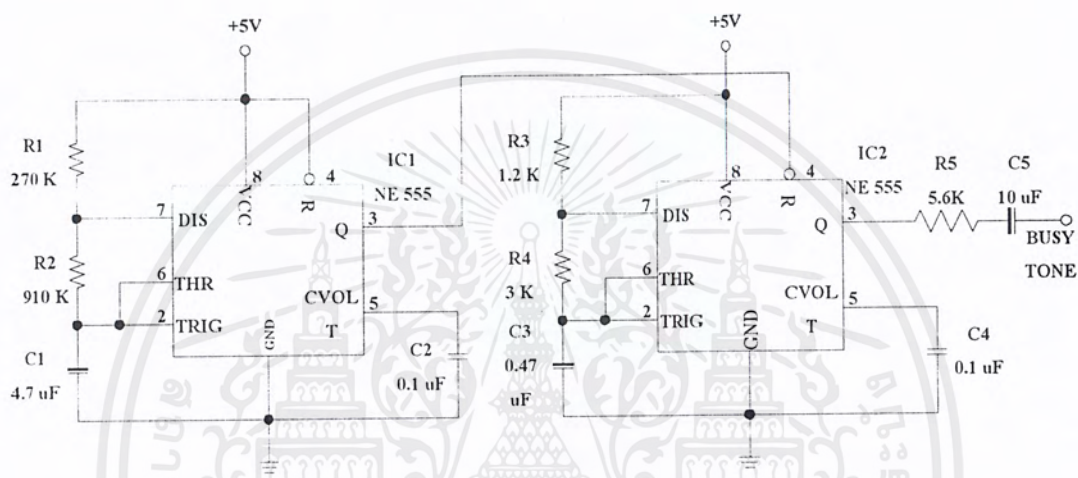
วงจรกำเนิดสัญญาณไม่ว่าง (BUSY TONE)

วงจรกำเนิดสัญญาณไม่ว่างมีความถี่ประมาณ 425 เฮิรตซ์ ติด 0.5 วินาที ดัน 0.5 วินาที โดยใช้ ไอซีเบอร์ NE 555 2 ชุด ชุดแรกไอซีตัวแรกประกอบเป็นวงจรผลิตความถี่ 1 เฮิรตซ์ สำหรับไอซีตัวที่ 2 เป็นวงจรอะอสเตเบิล ผลิตความถี่ประมาณ 425 เฮิรตซ์ โดยควบคุมการทำงานจากไอซีตัวที่ 1 ที่ขา Reset โดยในช่วง T₁ จะผลิตความถี่ 425 เฮิรตซ์ ออกทางเอาต์พุตในช่วง T₀ จะไม่มีความถี่ออกมาทางเอาต์พุต

$$f_t = 1.443 / (R_1 + R_2) C_1$$

$$= 1.443 / (1 \text{ K} + 220 \text{ K}) 3.3 \mu\text{F}$$

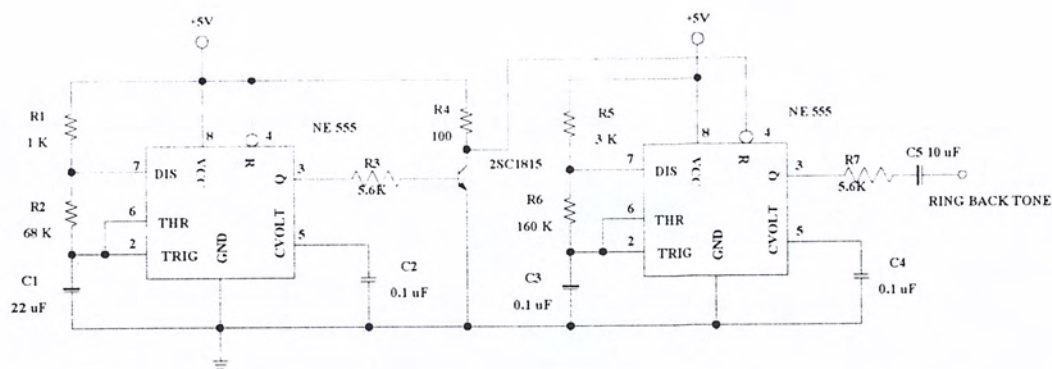
$$= 1 \text{ Hz}$$



รูปที่ 3.16 วงจรกำเนิดสัญญาณไม่ว่าง (Busy Tone)

วงจรกำเนิดสัญญาณเรียกกลับ (RING BACK TONE)

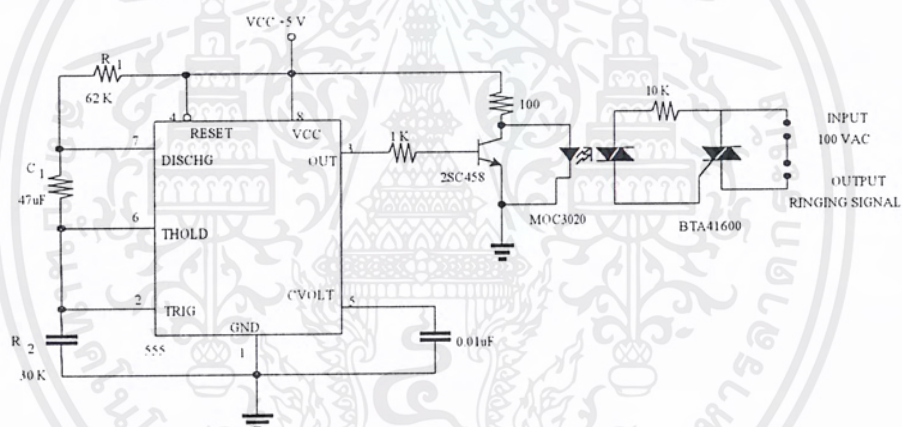
วงจรกำเนิดสัญญาณเรียกกลับ ประกอบด้วยไอซีเบอร์ NE555 จำนวน 2 ชุดแรก ไอซีตัวที่ 1 ประกอบเป็นวงจรผลิตสัญญาณที่มีอัตราการติด (เอาต์พุตมีสภาวะ “1”) นาน 1 วินาที อัตราการดับ (สภาวะ “0”) นาน 3 วินาที สำหรับ ไอซีตัวที่ 2 เป็นวงจรอะอสเตเบิล ผลิตความถี่ประมาณ 425 เฮิรตซ์ โดยควบคุมการทำงานจาก ไอซีตัวแรกที่มา Reset โดยในช่วง T₁ จะผลิตความถี่ 425 เฮิรตซ์ ออกทางเอาต์พุต ในช่วง T₀ จะไม่มีความถี่ออกมาทางเอาต์พุต



รูปที่ 3.17 วงจรกำหนดสัญญาณเรียกกลับ (Ring Back Tone)

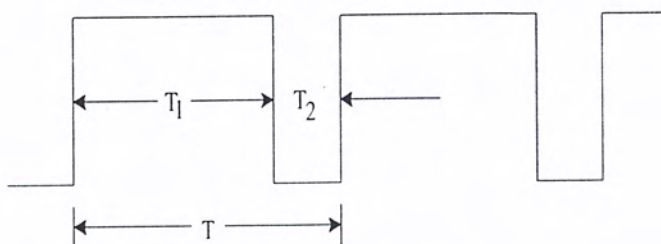
การออกแบบวงจรสร้างสัญญาณเรียก (RINGING SIGNAL)

สำหรับการสร้างสัญญาณเรียก (Ringing Signal) ซึ่งมีระดับแรงดันไฟฟ้าสูงมาก ในการออกแบบจึงนำเอาอุปกรณ์ไทรสเตอร์มาใช้ในการเปิด-ปิดสัญญาณนี้ โดยมีวงจรดังรูปที่ 3.18



รูปที่ 3.18 วงจรกำเนิดสัญญาณเรียก (Ringing Tone)

สำหรับวงจรสร้างสัญญาณเรียกมีการออกแบบดังนี้ คือ จะต้องให้เอาต์พุตของไอซีเบอร์ 555 มีสัญญาณเป็น ดังนี้



รูปที่ 3.19 แสดงรูปเอาต์พุตที่ขา 3 ของไอซีเบอร์ 555

ช่วงเวลาที่คาปาซิเตอร์ชาร์จหรือเอาต์พุตสูง คือ T_1

$$T_1 = 0.693 (R_1 + R_2) C_1$$

ช่วงเวลาที่คาปาซิเตอร์ดิสชาร์จหรือเอาต์พุตต่ำ คือ T_2

$$T_2 = 0.693 (R_2) C_1$$

ค่าความถี่ที่ได้

$$f = 1/T$$

คาบเวลารวม

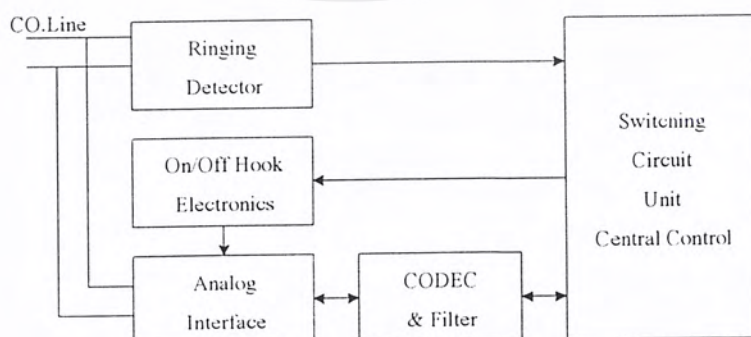
$$T = T_1 + T_2 = 0.693 (R_1 + 2R_2) C_1$$

ในการออกแบบจะกำหนดค่า คาปาซิเตอร์ไว้เท่ากับ 47 ไมโครฟารัด จะได้ค่าความต้านทาน R_1 เท่ากับ 62 K และค่าความต้านทาน R_2 เท่ากับ 30 K ต่ออยู่กับไอซีเบอร์ 555 ทำให้ได้เอาต์พุตเป็นลอจิก “1” เป็นเวลา 3 วินาที และลอจิก “0” เป็นเวลา 1 วินาที จากนั้นจะส่งต่อไปให้กับทรานซิสเตอร์ทำการสวิตช์เพื่อให้ได้เอาต์พุตเป็นลอจิก “1” เป็นเวลา 1 วินาที และลอจิก “0” เป็นเวลา 3 วินาที ซึ่งเป็นจังหวะของการเรียก สัญญาณนี้จะถูกส่งไปยังอุปกรณ์ออปโตไดโอดแอค (Opto Diac) ทำหน้าที่จัดสัญญาณทริกให้กับไตรแอก (Triac) เอาต์พุตที่ได้ของวงจรนี้จะมีค่าที่ 50 เฮิร์ต 100 V_{AC} โดยมีจังหวะการปิดและเปิดเป็น 1 และ 3 วินาทีตามลำดับ

3.3 ส่วนเชื่อมต่อกับโครงข่ายชุมสายโทรศัพท์ท้องถิ่น

(Public Switched Telephone Network Interface)

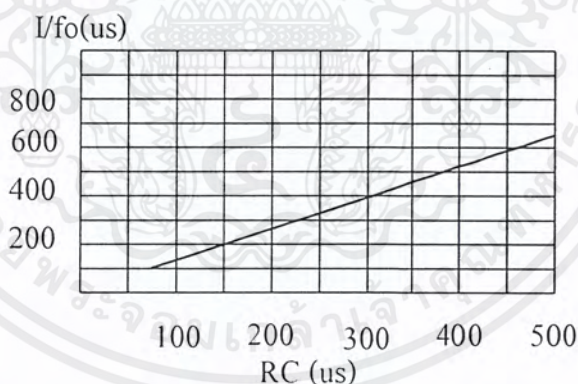
ส่วนเชื่อมต่อกับโครงข่ายชุมสายโทรศัพท์ท้องถิ่นเป็นส่วนประกอบที่สำคัญอย่างหนึ่งที่ทำให้การออกแบบขึ้นเพื่อที่จะให้โมเด็มโทรศัพท์ดังกล่าวสามารถที่จะติดต่อสื่อสารกับคู่สายโทรศัพท์อื่น ๆ ที่อยู่ในโครงข่ายชุมสายโทรศัพท์ท้องถิ่นได้บล็อกไดอะแกรมของส่วนนี้จะแสดงไว้ดัง รูปที่ 3.20



รูปที่ 3.20 แสดงบล็อกไดอะแกรมของส่วนเชื่อมต่อกับโครงข่ายชุมสายโทรศัพท์ท้องถิ่น

จากรูปที่ 3.20 แสดงบล็อกไดอะแกรมของส่วนเชื่อมต่อกับโครงข่ายชุมสายโทรศัพท์ท้องถิ่น ส่วนแรกเป็นส่วนตรวจจับสัญญาณเรียก (Ringing Detector) โดยส่วนนี้จะทำหน้าที่ตรวจสอบว่ามีสัญญาณเรียกเข้ามายังชุมสายโทรศัพท์หรือไม่ ถ้ามีสัญญาณเรียกเข้ามาส่วนตรวจจับสัญญาณเรียกนี้จะส่งสัญญาณไปยังส่วนควบคุมกลางเพื่อบอกให้ทราบว่าขณะนี้มีการเรียกเข้ามายังชุมสาย สำหรับส่วนต่อไปคือส่วนขกและวางแฮนด์เซตทางอิเล็กทรอนิกส์ ในส่วนนี้จะถูกควบคุมจากส่วนควบคุมกลาง เพื่อทำการยกและวางแฮนด์เซตทางอิเล็กทรอนิกส์แทนการยกและวางแฮนด์เซตจริง เมื่อทำการยกแฮนด์เซตแล้วไม่ว่าจะเป็นการยกเพื่อรับสายหรือเพื่อเรียกออกสัญญาณอนาล็อก ก็จะถูกส่งผ่านส่วนเชื่อมต่อสัญญาณอนาล็อกจากคู่สายโทรศัพท์ได้ สำหรับส่วนเชื่อมต่อสัญญาณอนาล็อกจากคู่สายโทรศัพท์จะเป็นส่วนที่ทำหน้าที่คัปปลิงสัญญาณจากคู่สายโทรศัพท์ไปยังส่วนวงจรเข้า-ถอดรหัสสัญญาณดิจิทัลและวงจรกรองความถี่สัญญาณอนาล็อกจะถูกเข้ารหัสเป็นสัญญาณดิจิทัลจากนั้นสัญญาณนี้จะถูกส่งให้กับส่วนวงจรสวิตซ์ต่อไป

ในการออกแบบวงจรส่วนนี้เริ่มจากการออกแบบส่วนตรวจจับสัญญาณเรียกก่อน โดยนำเอาไอซีที่ใช้สำหรับสร้างสัญญาณเรียกของเครื่องโทรศัพท์เบอร์ MC34012 ทำงานร่วมกับไอซี 74LS123, 74LS121 ซึ่งจะได้สัญญาณพัลส์เพื่อส่งให้กับส่วนควบคุมกลาง โดยสัญญาณพัลส์ที่ส่งไปยังส่วนควบคุมกลางจะมี 2 พัลส์ด้วยกัน คือ พัลส์เมื่อมีสัญญาณเรียกเข้ามาและพัลส์เมื่อสัญญาณเรียกหยุดไปในการออกแบบวงจรสนับสนุนของไอซี MC34012 เพื่อกำหนดค่าความถี่ทางเอาต์พุตที่จะส่งไปทริกให้กับ 74LS123 และ 74LS121 ได้จากกราฟรูปที่ 3.21



รูปที่ 3.21 กราฟแสดงความสัมพันธ์ของการหาค่า R และ C สำหรับ MC34012

ในการออกแบบเลือกค่าความถี่เอาต์พุตเป็น 2500 Hz. ($T=400$ uS) และกำหนดค่าของ C เป็น 1000 pF ดังนั้นจะได้ค่า R ดังนี้

$$\begin{aligned}
 R &= 400 \text{ uS} \\
 &= 1000 \text{ pF} \\
 &= 400 \text{ kOhm}
 \end{aligned}$$

หลังจากที่ได้สัญญาณจาก MC34012 เพื่อที่จะไปทริกให้กับ 74LS123 และ 74LS121 ซึ่งทำงานในลักษณะ Monostable Multivibrator โดยกำหนดให้ 74LS123/1 มีช่วง $T_w = 4.5$ วินาที

74LS123/2 มีช่วง $T_W = 1 \mu\text{s}$. และ 74LS121 มีช่วง $T_W = 1 \mu\text{s}$. สำหรับค่า T_W สามารถหาได้จากสมการ

$$T_W = 0.45 (R_T \cdot C_{EXT})$$

สำหรับ 74LS123/1 เมื่อกำหนดค่า $C_{EXT} = 100 \mu\text{F}$ จะได้ค่า $R_T = 100 \text{ k}\Omega$

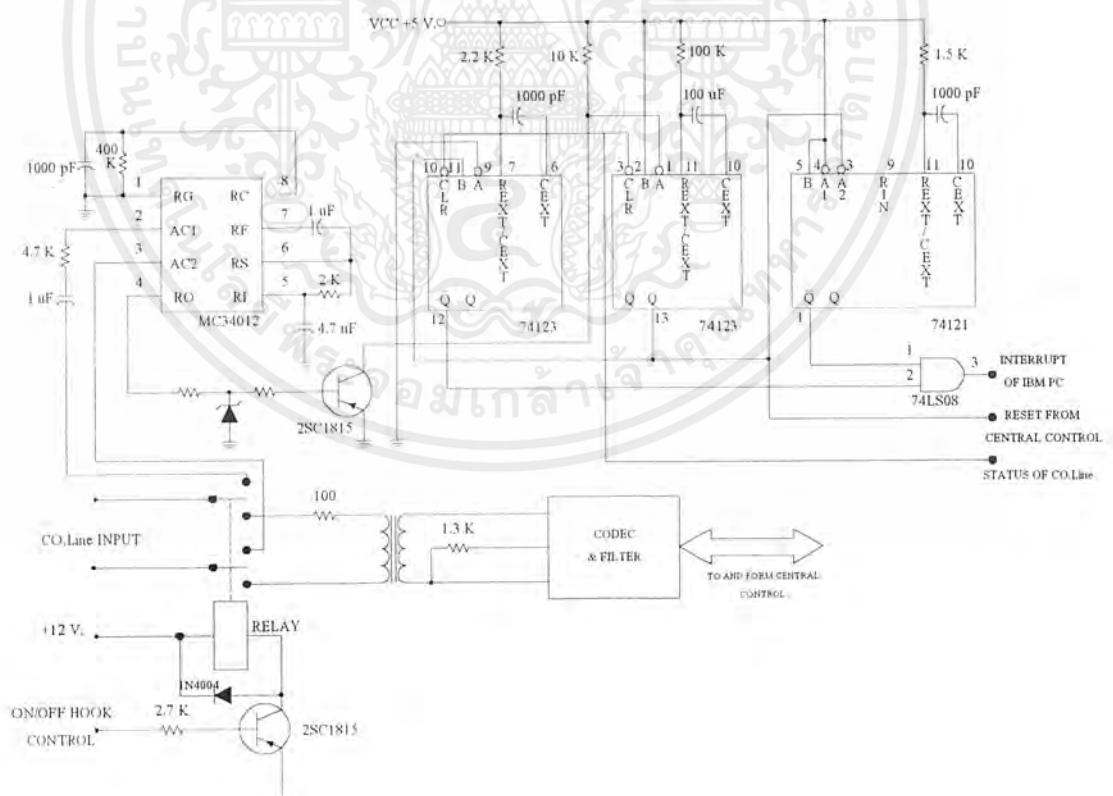
สำหรับ 74LS123/2 เมื่อกำหนดค่า $C_{EXT} = 1000 \text{ pF}$ จะได้ค่า $R_T = 2.2 \text{ k}\Omega$

ส่วนค่า T_W ของ 74LS121 จะกำหนดจาก

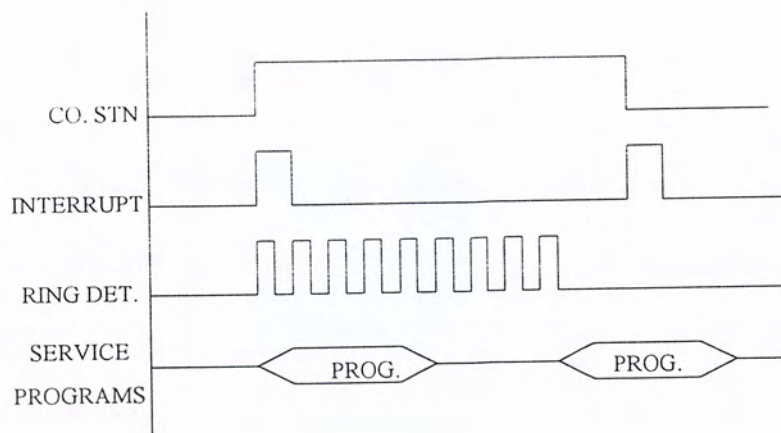
$$T_W = 0.7 (R_T \cdot C_{EXT})$$

ดังนั้นเมื่อกำหนดค่า $C_{EXT} = 1000 \text{ pF}$ จะได้ค่า $R_T = 1.5 \text{ k}\Omega$

การออกแบบส่วนต่อไปคือส่วนเชื่อมต่อสัญญาณอนาล็อกของคู่สายโทรศัพท์ ในส่วนนี้จะใช้หลักการคัปปลิงด้วยทรานส์ฟอร์มเมอร์ โดยกำหนดคิมพีแดนซ์ทางอินพุตและเอาต์พุตเป็น 600Ω สำหรับส่วนยกและวางแฮนด์เซตทางอิเล็กทรอนิกส์จะใช้รีเลย์ 2 คอนแทกต์ ซึ่งจะถูกรวมให้สวิตช์ไปมาระหว่างอินพุตของส่วนตรวจจับสัญญาณเรียกและส่วนเชื่อมต่อสัญญาณอนาล็อกของคู่สายโทรศัพท์ โดยจะถูกควบคุมจากส่วนควบคุมกลาง สำหรับการออกแบบในส่วนของวงจรเข้า-ถอดรหัสสัญญาณดิจิทัลและวงจรรองความถี่จะใช้วงจรเดียวกับส่วนอุปกรณ์เชื่อมต่อคู่สาย สำหรับวงจรของส่วนนี้จะแสดงไว้ดังรูปที่ 3.22



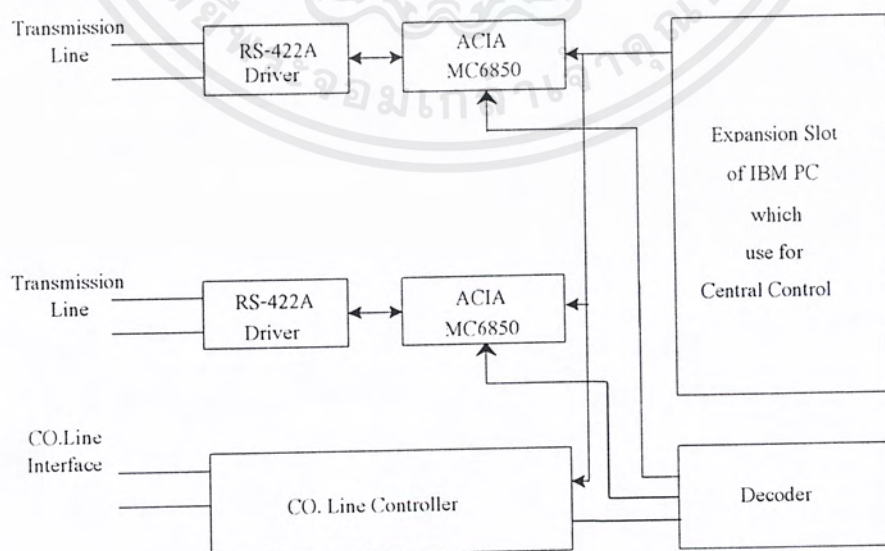
รูปที่ 3.22 แสดงวงจรของส่วนเชื่อมต่อกับโครงข่ายชุมสายโทรศัพท์ท้องถิ่น



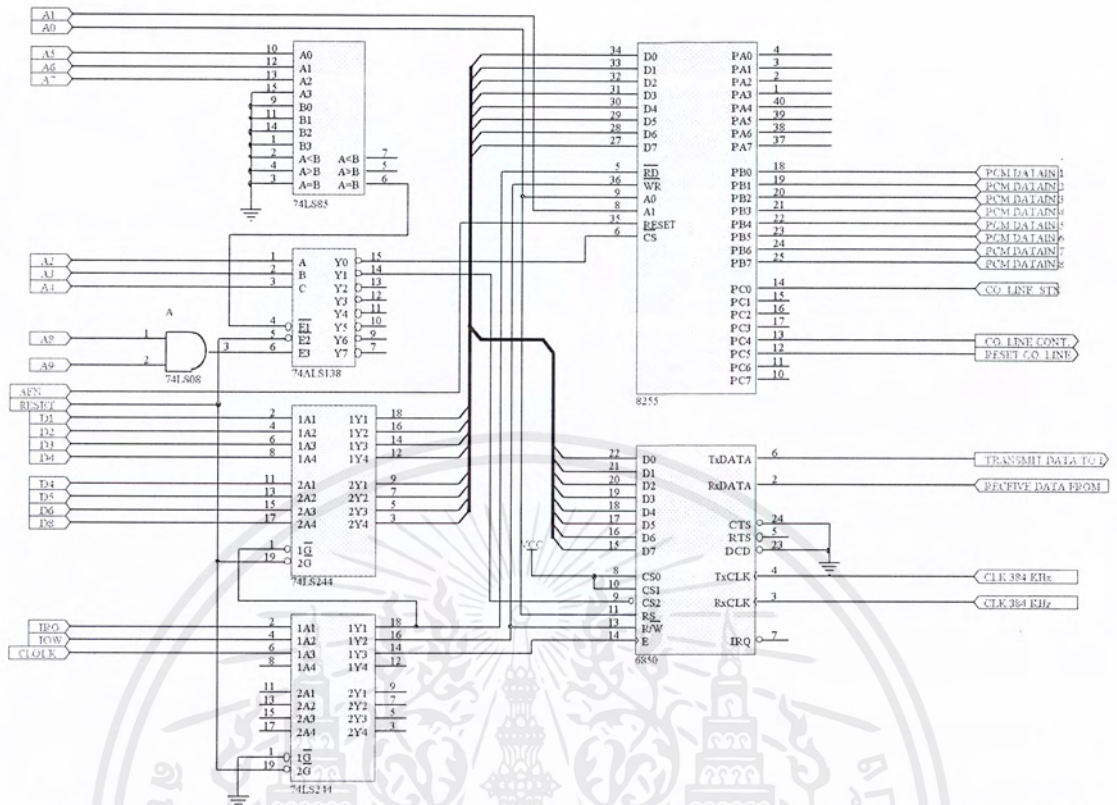
รูปที่ 3.23 แสดงไทม์มิ่งไดอะแกรมของการทำงานในส่วนเชื่อมต่อกับโครงข่ายชุมสายโทรศัพท์ท้องถิ่น

3.4 ส่วนควบคุมกลางของชุมสายโทรศัพท์ที่ได้ออกแบบขึ้น

ส่วนควบคุมกลางของชุมสายโทรศัพท์เป็นส่วนที่ทำหน้าที่รับสัญญาณหรือข้อมูลจากส่วนประกอบต่าง ๆ ของชุมสายโทรศัพท์เป็นต้นว่า ส่วนอุปกรณ์เชื่อมต่อคู่สาย ส่วนเชื่อมต่อกับโครงข่ายชุมสายโทรศัพท์ท้องถิ่น ฯลฯ มาทำการประมวลผลแล้วส่งสัญญาณไปควบคุมและทำงานที่ส่วนต่าง ๆ เช่น การสลับช่วงเวลาของส่วนวงจรสวิตซ์ การรับและวางแฮนด์เซตทางอิเล็กทรอนิกส์ ฯลฯ สำหรับส่วนควบคุมกลางของชุมสายฯ นี้ได้นำเอาเครื่องไมโครคอมพิวเตอร์มาใช้และทำงานร่วมกับไอซีเบอร์ MC6850 รวมทั้งส่วนที่ทำหน้าที่ควบคุมการทำงานของส่วนเชื่อมต่อกับโครงข่ายชุมสายโทรศัพท์ท้องถิ่น ดังบล็อก ไดอะแกรมรูปที่ 3.24



รูปที่ 3.24 แสดงบล็อกไดอะแกรมของส่วนควบคุมกลาง



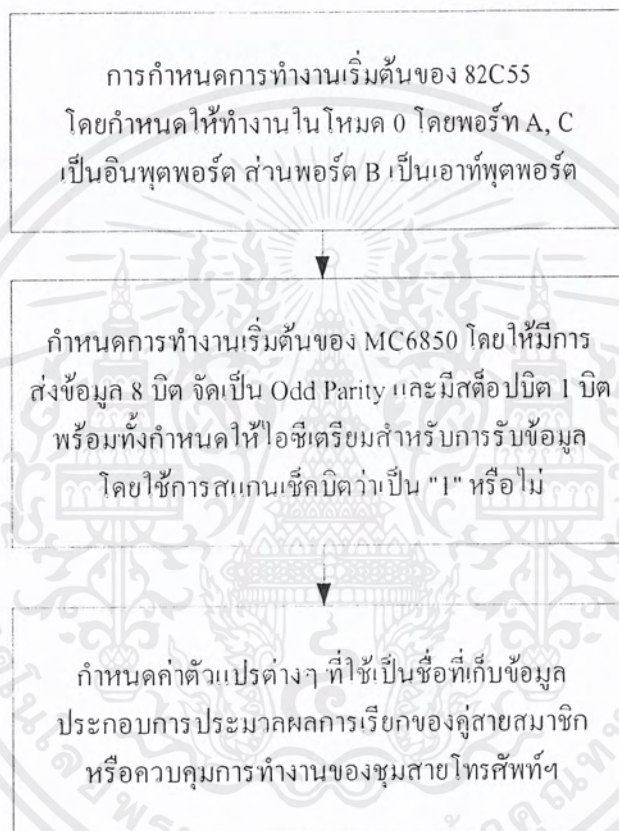
รูปที่ 3.25 แสดงชิปสนับสนุนที่ต่ออยู่กับเครื่องไมโครคอมพิวเตอร์เพื่อทำหน้าที่เป็นส่วนควบคุมกลาง

สำหรับไอซีเบอร์ 74LS244 จะทำหน้าที่เป็น Data Buffer สำหรับ Chip Support ต่าง ๆ ส่วน ไอซีเบอร์ 74LS245 ทำหน้าที่เป็นไดรเวอร์สำหรับสัญญาณควบคุมการเชื่อมต่อของเครื่องไมโครคอมพิวเตอร์

การออกแบบส่วนซอฟต์แวร์

3.5 โปรแกรมสำหรับกำหนดการทำงานเริ่มต้นของส่วนควบคุมกลาง

ในการเขียนซอฟต์แวร์เพื่อควบคุมการทำงานของชุมสายโทรศัพท์ฯ โปรแกรมแรกที่เริ่มเขียนคือ โปรแกรมกำหนดการทำงานเริ่มต้นของเครื่องฯ และกำหนดการทำงานเริ่มต้นของอุปกรณ์สนับสนุนต่าง ๆ ของส่วนควบคุมกลาง นอกจากนั้นแล้วโปรแกรมส่วนนี้จะกำหนดค่าของตัวแปรต่าง ๆ สำหรับขั้นตอนการทำงานของโปรแกรมส่วนนี้จะแสดงไว้ในรูปที่ 3.26



รูปที่ 3.26 แสดงขั้นตอนการทำงานของโปรแกรมสำหรับกำหนดการทำงานเริ่มต้นของเครื่องฯ

สำหรับโปรแกรมนี้จะกำหนดการทำงานเริ่มต้นของฮาร์ดแวร์ของส่วนควบคุมกลางที่ประกอบไปด้วยส่วนควบคุมการเชื่อมต่อกับโครงข่ายโทรศัพท์ท้องถิ่นและส่วนอุปกรณ์เชื่อมต่อคู่สาย โดยส่วนแรกจะกำหนดการทำงานของ 82C55 ให้อยู่ในโหมด 0 โดยพอร์ต A จะกำหนดเป็นอินพุตพอร์ตที่จะรับข้อมูลจากส่วนวงจรเข้าและถอดรหัสสัญญาณดิจิทัลของส่วนเชื่อมต่อกับโครงข่ายโทรศัพท์ท้องถิ่น ส่วนพอร์ต B จะกำหนดให้เป็นเอาต์พุตพอร์ตสำหรับการส่งสัญญาณควบคุมการทำงานของส่วนนี้ไม่ว่าจะเป็นการยกและวางแฮนด์เซตทางอิเล็กทรอนิกส์ การเซต - รีเซตส่วนตรวจจับสัญญาณเรียก

เป็นต้นส่วนอีกพอร์ตหนึ่งของไอซีนี้คือพอร์ต C จะกำหนดให้เป็นอินพุตพอร์ตเพื่อที่จะรับสถานะจากส่วนประกอบต่าง ๆ มาประมวลผล เช่น สถานะคู่สายภายนอก (CO.Line) สถานะของวงจรเข้าและถอดรหัสของสัญญาณดิจิทัล เป็นต้น

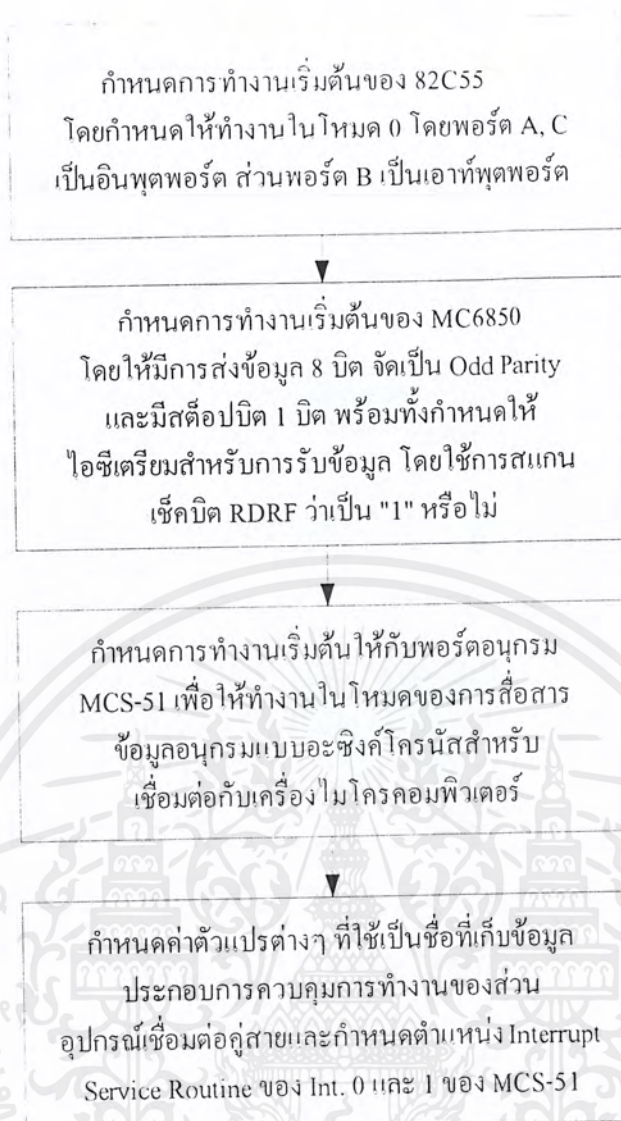
3.6 โปรแกรมสำหรับควบคุมการทำงานของส่วนอุปกรณ์เชื่อมต่อคู่สาย

โปรแกรมที่ใช้สำหรับควบคุมการทำงานของส่วนอุปกรณ์เชื่อมต่อคู่สายนี้จะใช้ภาษาแอสเซมบลีเขียน และเมื่อทำการคอมไพล์เสร็จแล้วก็จะถูกแปลงเป็นข้อมูลเลขฐานสองเพื่อทำการโปรแกรมลงบน EPROM จึงจะสามารถนำไปใช้งานได้ สำหรับโปรแกรมที่ใช้จะมีส่วนประกอบต่างๆ ดังนี้

1. โปรแกรมกำหนดการทำงานเริ่มต้นของส่วนอุปกรณ์เชื่อมต่อคู่สาย
2. โปรแกรมควบคุมการเชื่อมต่อกับอุปกรณ์สื่อสารปลายทางอนาล็อก
3. โปรแกรมการควบคุมการเชื่อมต่อกับอุปกรณ์สื่อสารปลายทางดิจิทัล
4. โปรแกรมควบคุมการเชื่อมต่อกับส่วนควบคุมกลาง

3.6.1 โปรแกรมกำหนดการทำงานเริ่มต้นของส่วนอุปกรณ์เชื่อมต่อคู่สาย

โปรแกรมการกำหนดการทำงานเริ่มต้นของส่วนอุปกรณ์เชื่อมต่อคู่สายเป็นโปรแกรมที่กำหนดลักษณะการทำงานให้อุปกรณ์สนับสนุนที่ใช้ในการประมวลผลกลางของส่วนอุปกรณ์เชื่อมต่อคู่สายโดยจะต้องทำงานสัมพันธ์กับส่วนอื่นๆ สำหรับขั้นตอนการทำงานของโปรแกรมส่วนนี้จะแสดงดังรูปที่ 3.27



รูปที่ 3.27 แสดงขั้นตอนการทำงานของโปรแกรมกำหนดการทำงานเริ่มต้นของส่วนอุปกรณ์เชื่อมต่อ
คู่สาย

จากรูปที่ 3.27 ส่วนแรกของโปรแกรมจะเป็นการกำหนดการทำงานให้กับพอร์ต 82C55 โดยกำหนดให้พอร์ตนี้ทำงานในโหมด 0 เริ่มจากพอร์ต A, C กำหนดเป็นอินพุตพอร์ตโดยพอร์ต A จะรับข้อมูลที่ส่งมาจากวงจรเข้าและถอดรหัสสัญญาณดิจิทัล ส่วนพอร์ต C จะใช้สำหรับรับสัญญาณควบคุมต่างๆ ที่ส่งมาจากอุปกรณ์สื่อสารปลายทางต่างๆ โดยส่วนพอร์ต C (LSB) จะกำหนดให้รับอุปกรณ์ถอดรหัสสัญญาณ DTMF จากเครื่องโทรศัพท์ที่ส่งมาจากส่วนวงจรประจำเครื่อง สำหรับพอร์ต B จะกำหนดเป็นเอาต์พุตพอร์ตที่ใช้สำหรับการส่งสัญญาณควบคุมส่วนต่างๆ ของส่วนอุปกรณ์เชื่อมต่อกับสาย

ขั้นตอนที่ 2 ของโปรแกรมนี้อจะเป็นการกำหนดรูปแบบการทำงานให้กับอุปกรณ์สื่อสารข้อมูลอนุกรมให้รับและส่งข้อมูลขนาด 8 บิต มีพาริตีเช็คแบบคี่และมีสตอปบิต 1 บิต สำหรับการกำหนดข้อมูลนี้จะต้องตรงกันกับส่วนควบคุมกลาง ในขั้นตอนที่ 3 จะเป็นส่วนที่กำหนดการทำงานพอร์ตอนุกรมของ

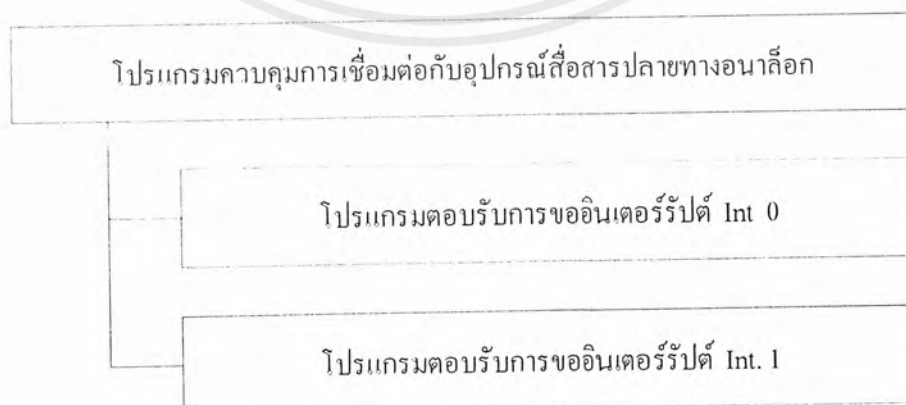
ไมโครคอนโทรลเลอร์ MCS-51 ให้ทำงานในลักษณะของการสื่อสารข้อมูลอนุกรมแบบ อะซิงโครนัส ซึ่งเป็นโหมดที่ 3 การทำงานของโปรแกรมส่วนนี้จะกำหนดไว้สำหรับการเชื่อมต่อกับเครื่องไมโครคอมพิวเตอร์โดยผ่าน RS-232C ดังรายละเอียดทางด้านฮาร์ดแวร์ซึ่งได้กล่าวไว้แล้ว สำหรับส่วนสุดท้ายของโปรแกรมนี้อจะเป็นการกำหนดค่าตัวแปรต่างๆ ที่จะใช้ในโปรแกรมเป็นต้นว่า ตัวแปรที่เก็บหมายเลขของปลายทาง ตัวแปรเก็บข้อมูลที่ส่งมาจากอุปกรณ์สื่อสารปลายทางแบบอนาล็อกและแบบดิจิทัล ฯลฯ ตัวแปรเหล่านี้จะมีการกำหนดค่าเริ่มต้นไว้ก่อนเพื่อป้องกันความผิดพลาดในการทำงานของส่วนอุปกรณ์เชื่อมต่อคู่สาย

3.6.2 โปรแกรมควบคุมการเชื่อมต่อกับอุปกรณ์สื่อสารปลายทางอนาล็อก

โปรแกรมควบคุมการเชื่อมต่อกับอุปกรณ์สื่อสารปลายทางอนาล็อก จะเป็นโปรแกรมที่ทำให้บริการกับเครื่องโทรศัพท์ที่นำมาเชื่อมต่อกับชุมสายโทรศัพท์ จะมีหน้าที่ต่างๆ ดังนี้

1. ควบคุมการส่งสัญญาณ (Signalling) ต่างๆ ที่จะส่งให้ผู้รับรู้ถึงสถานะ ของการติดต่อ
2. รับสถานะของเครื่องโทรศัพท์จากส่วนวงจรประจำเครื่องเข้ามาประมวลผลโดยไมโครคอนโทรลเลอร์
3. รับสัญญาณข้อมูลที่แปลงจากอนาล็อกเป็นดิจิทัลแล้ว จากวงจรเข้าและถอดรหัสสัญญาณดิจิทัลแล้วนำมาเก็บไว้ที่ตัวแปรซึ่งเป็นแอดเดรสหนึ่งบน MCS-51 เพื่อการจัดสัญญาณและส่งออกไปยังส่วนวงจรสวิตซ์ต่อไป

โดยปกติแล้วโปรแกรมที่ควบคุมการทำงานสำหรับส่วนประมวลผลของส่วนอุปกรณ์เชื่อมต่อคู่สาย จะสแกนข้อมูลบิต RDRF ของ ACIR และบิตแสดงการรับข้อมูลของ MCS-51 สำหรับโปรแกรมที่เป็นส่วนควบคุมการเชื่อมต่อกับเครื่องโทรศัพท์จะใช้อินเตอร์รัปต์เป็นส่วนใหญ่ โดยการตรวจสอบการยกหรือวางแฮนด์เซต การส่งข้อมูลจากส่วนวงจรเข้าและถอดรหัสสัญญาณดิจิทัล จะใช้ Int.0 และส่วนโปรแกรมการตอบรับการกดหมายเลขจากแป้นคีย์เครื่องโทรศัพท์จะใช้ Int.1 ดังนั้นส่วนประกอบของโปรแกรมนี้อจะสามารถแยกย่อยได้ 2 ส่วนด้วยกันดังรูปที่ 3.28



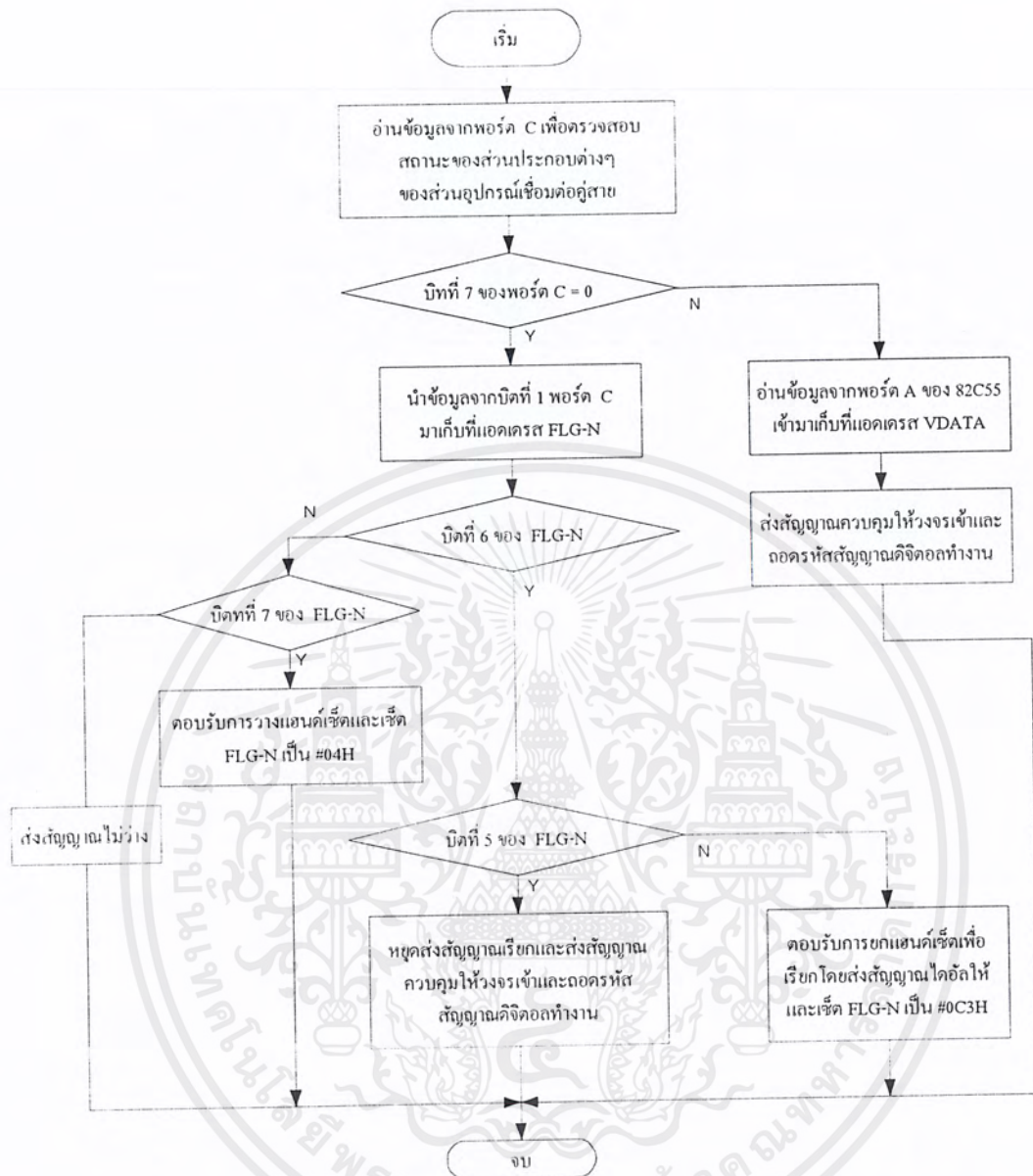
รูปที่ 3.28 แสดงส่วนประกอบต่างๆ ของโปรแกรมการเชื่อมต่อกับอุปกรณ์สื่อสารปลายทางอนาล็อก

ส่วนประกอบส่วนหนึ่งที่สำคัญของโปรแกรมที่ใช้ควบคุมการทำงานก็คือส่วนของแฟล็กซึ่งแสดงสถานะของเครื่องโทรศัพท์จะมีองค์ประกอบดังรูปที่ 3.29

1	2	3	4	5	6	7	8
---	---	---	---	---	---	---	---

1. บิตแสดงสถานะเดิม
2. บิตแสดงสถานะใหม่
3. บิตแสดงว่ามีสัญญาณเรียกที่เครื่องโทรศัพท์
4. สำรองไว้ใช้งานฟังก์ชันพิเศษ
5. สำรองไว้ใช้ในฟังก์ชันพิเศษ
6. บิตแสดงสถานะว่าขณะนี้มีการวางแฮนด์เซ็ทอยู่
7. บิตแสดงสถานะว่าขณะนี้มีการยกแฮนด์เซ็ทอยู่
8. บิตแสดงสถานะว่ายกแฮนด์เซ็ทเพื่อเรียกออก

รูปที่ 3.29 แสดงโครงสร้างของแฟล็กที่ใช้แสดงสถานะของเครื่องโทรศัพท์

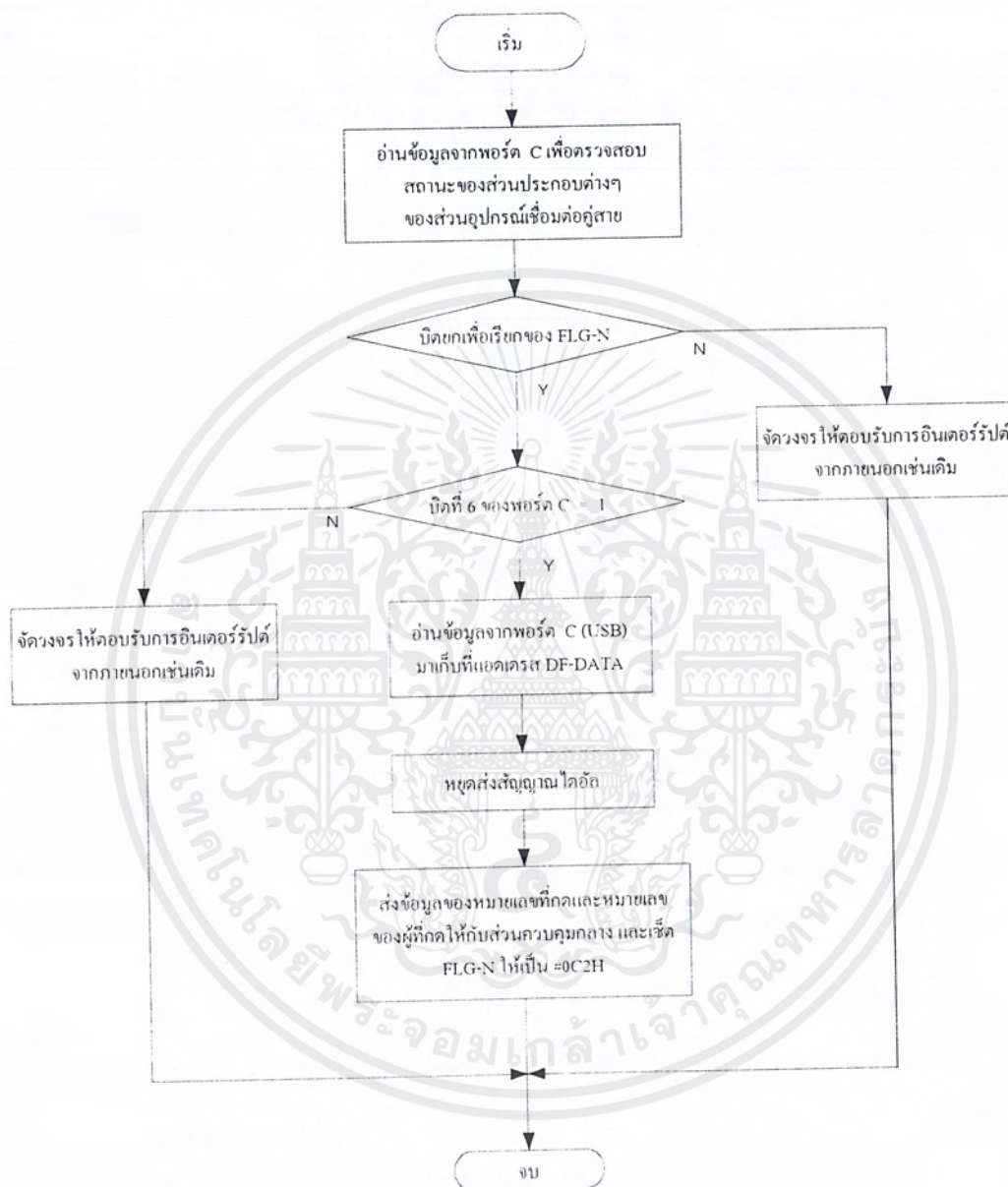


รูปที่ 3.30 แสดงโฟลว์ชาร์ตของโปรแกรมตอบรับการขออินเตอร์รัปต์ Int. 0

จากรูปที่ 3.30 จะแสดงโฟลว์ชาร์ตของโปรแกรมตอบรับการขออินเตอร์รัปต์ INT. 0 จากอุปกรณ์ไมโครคอนโทรลเลอร์ MCS-51 โดยจะอ่านข้อมูลจากพอร์ต C ของ 82C55 จากนั้นก็ทำการตรวจสอบบิตที่ 7 ว่าเป็น “0” หรือไม่ ถ้าไม่แสดงว่าเป็นการขออินเตอร์รัปต์จากส่วนวงจรเข้า-ถอดรหัสสัญญาณคีย์คอลล ไมโครคอนโทรลเลอร์ก็จะอ่านข้อมูลจากวงจรส่วนนี้มาเก็บไว้ที่แอดเดรส VDATA โดยผ่านพอร์ต A และส่งสัญญาณให้ส่วนนี้ทำงานอีกครั้ง แต่ถ้าบิตที่ 7 เป็น “0” แสดงว่าเป็นการขออินเตอร์รัปต์จากส่วนวงจรประจำเครื่องซึ่งเป็นการยกหรือวางแฮนด์เซิร์ด โดยตรวจสอบจากบิตที่ 6 ของ FLG-N ซึ่งเป็นแฟล็กประจำคีย์คอลลสมาชิก แต่ละตัว สำหรับบิตที่ 5 ของ FLG-N จะเป็นบิตที่ชี้

ว่า ผู้ใช้ทำการยกเลิกเช็คเพื่อเรียกออกหรือรับสายที่เรียกเข้ามา
กำหนดคังโพล์ชาร์ต

โดยจะมีการเช็คแฟล็กตามข้อมูลที่



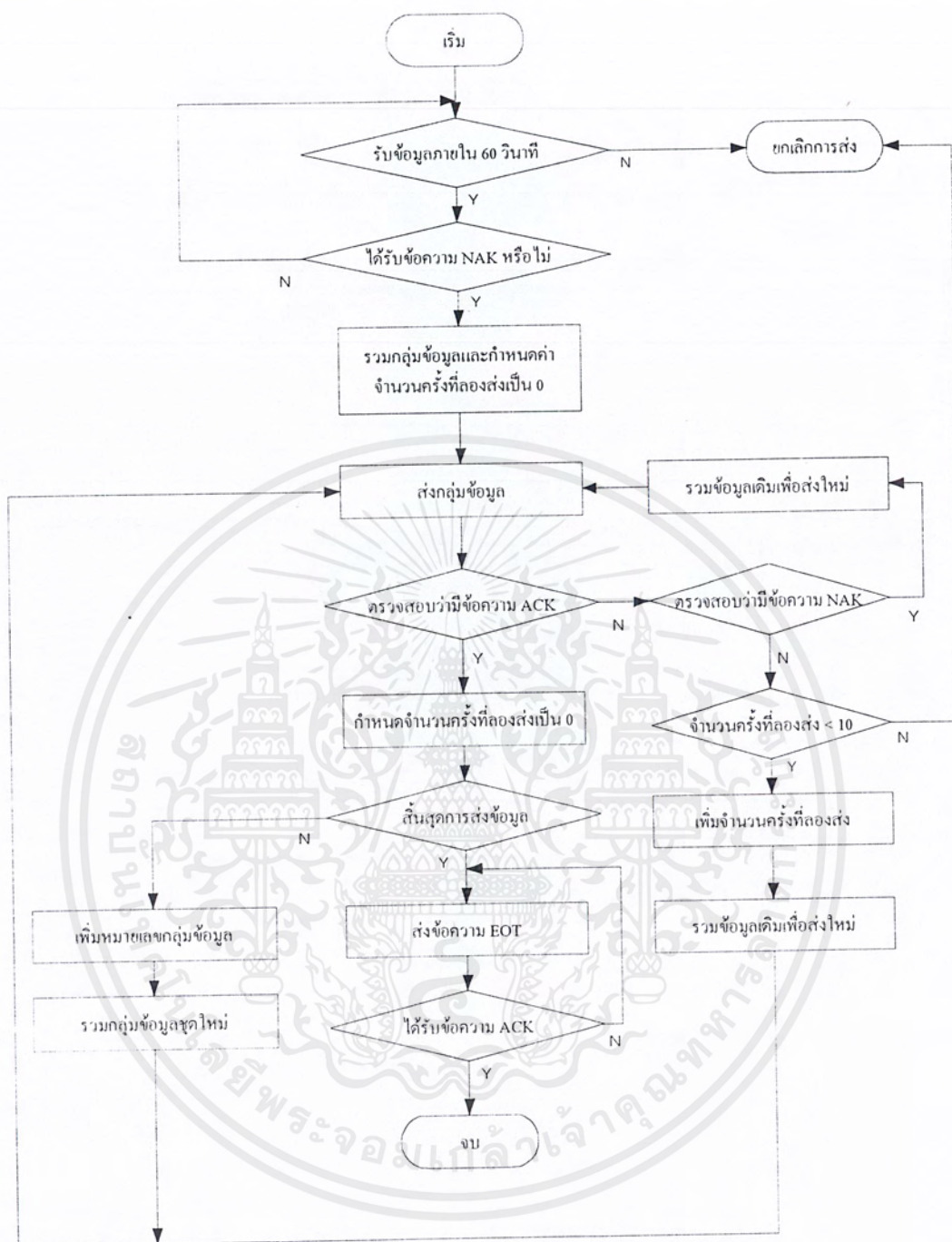
รูปที่ 3.31 แสดงโพล์ชาร์ตของโปรแกรมตอบรับการขออินเตอร์รัปต์ Int. 1

จากรูปที่ 3.31 จะแสดงโฟลว์ชาร์ตของโปรแกรมตอบรับการขออินเทอร์เน็ต Int. 1 ซึ่งจะกำหนดไว้สำหรับการรับข้อมูลที่ถอดรหัสสัญญาณ DTMF เพื่อที่จะรู้ว่าผู้ใช้กดหมายเลขอะไร ต้องการติดต่อสื่อสารกับคู่สายใด โดยข้อมูลจะส่งให้กับส่วนประมวลผลกลางของส่วนอุปกรณ์เชื่อมต่อคู่สายและจัดส่งให้กับส่วนควบคุมกลางเพื่อจัดการเชื่อมต่อต่อไป

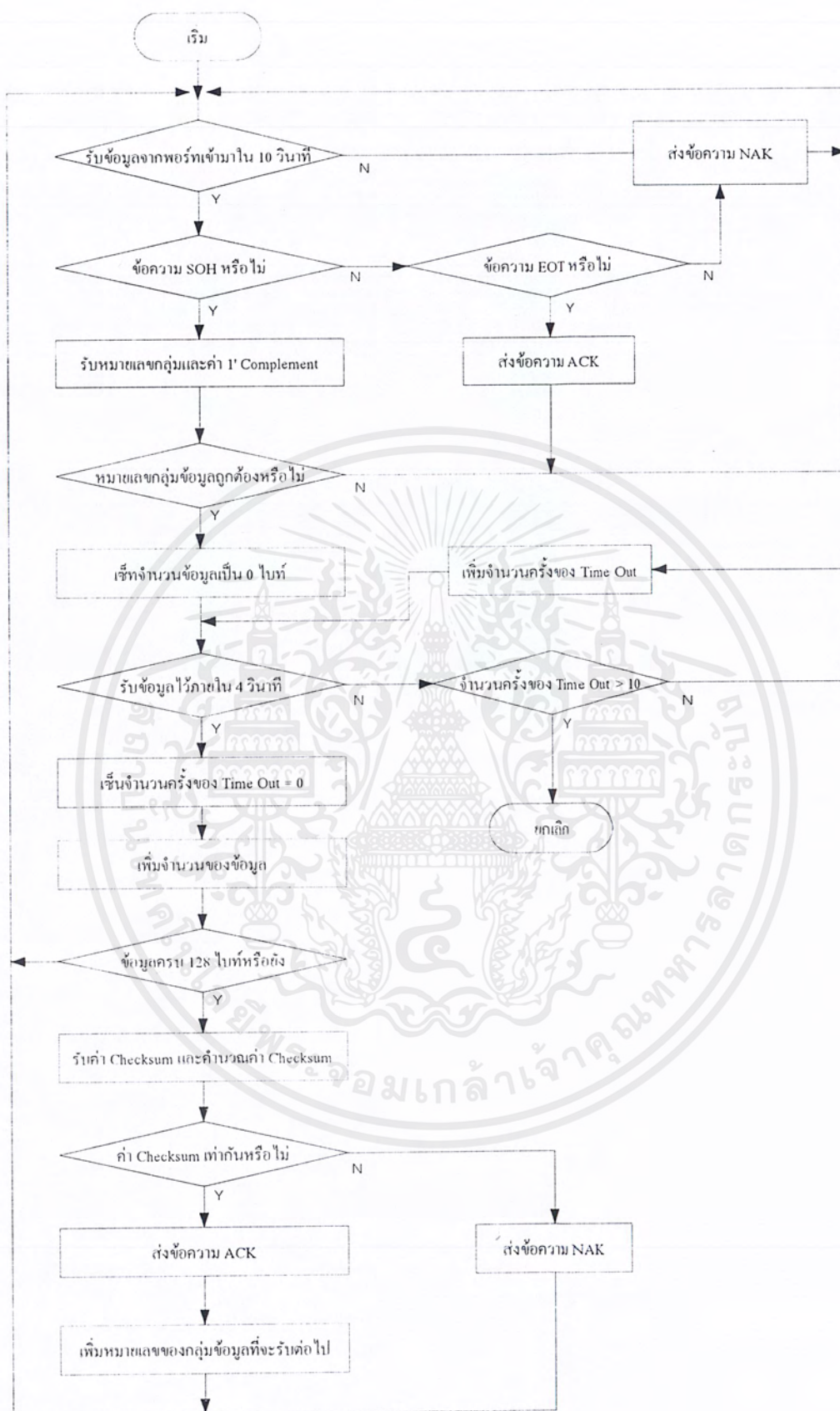
3.6.3 โปรแกรมควบคุมการเชื่อมต่อกับอุปกรณ์สื่อสารปลายทางดิจิทัล

โปรแกรมการควบคุมการเชื่อมต่อกับอุปกรณ์สื่อสารปลายทางดิจิทัล เป็นโปรแกรมให้บริการแก่เครื่องไมโครคอมพิวเตอร์ซึ่งนำมาเชื่อมต่อกับส่วนอุปกรณ์เชื่อมต่อคู่สายตามมาตรฐาน RS-232C โดยการใช้โปรโตคอล XMODEM ซึ่งจะใช้ภาษาแอสเซมบลีเป็นภาษาสำหรับการเขียนโปรแกรม





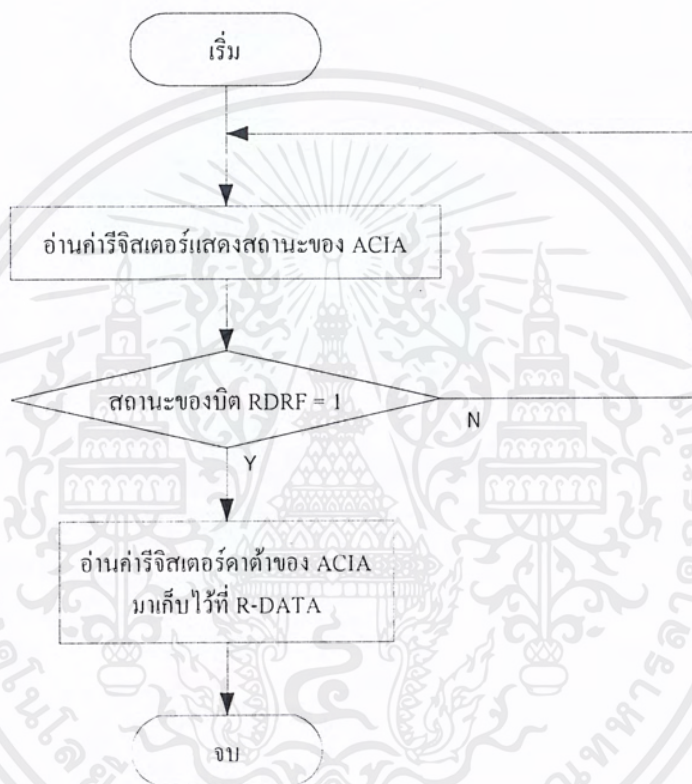
รูปที่ 3.32 แสดงโฟลว์ชาร์ตของทางด้านการส่งที่ส่งจากเครื่องไมโครคอมพิวเตอร์



รูปที่ 3.33 แสดงโพลีชาร์ตของทางด้านรับที่ส่วนอุปกรณ์เชื่อมต่อคู่สาย

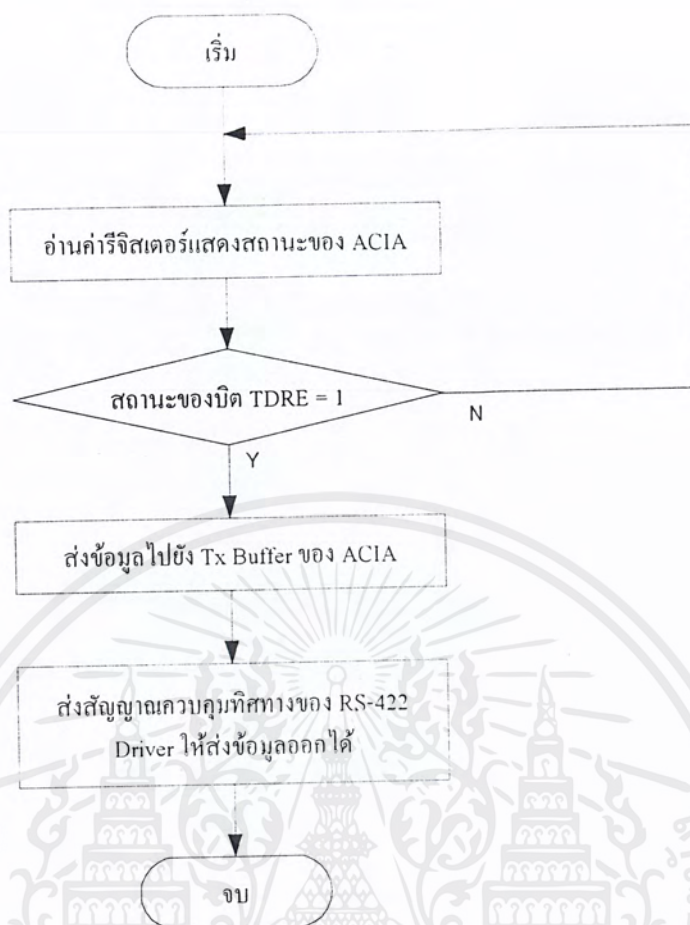
3.6.4 โปรแกรมควบคุมการเชื่อมต่อกับส่วนควบคุมกลาง

โปรแกรมส่วนนี้เป็นโปรแกรมที่ทำงานรับและส่งข้อมูลระหว่างส่วนอุปกรณ์เชื่อมต่อกับสายจากส่วนควบคุมกลางจะผ่านอุปกรณ์นี้ ข้อมูลที่ส่งมาจากส่วนควบคุมกลางจะถูกประมวลผลโดยโปรแกรมนี้ว่าเป็นข้อมูลควบคุมหรือว่าเป็นข้อมูลข่าวสาร นอกนั้นแล้วโปรแกรมนี้ยังมีส่วนควบคุมทิศทางของการรับ - ส่งของอุปกรณ์ RS-422A river (75176AT) อีกด้วย ดังโฟลว์ชาร์ตที่แสดงใน รูปที่ 3.34 และ 3.35 โดยรูปที่ 3.34 จะเป็นส่วนของการรับข้อมูลและรูปที่ 3.35 เป็นส่วนของการส่งข้อมูล



รูปที่ 3.34 แสดงโฟลว์ชาร์ตที่ใช้ในการรับข้อมูล

จากรูปที่ 3.34 จะแสดงโฟลว์ชาร์ตของการรับส่งข้อมูลจากส่วนควบคุมกลางที่ส่งมา โดยจะมีการตรวจสอบบิต RDRF ตลอดเวลาว่าเป็น “1” หรือไม่ และส่วนควบคุมทิศทางของ RS-422A Driver นั้น จะกำหนดให้รับข้อมูลอยู่เสมอ เมื่อบิต RDRF เป็น “1” ไมโครคอนโทรลเลอร์ก็จะทำการอ่านข้อมูลที่อยู่ใน R-DATA แล้วจึงจะทำการประมวลผลต่อไป

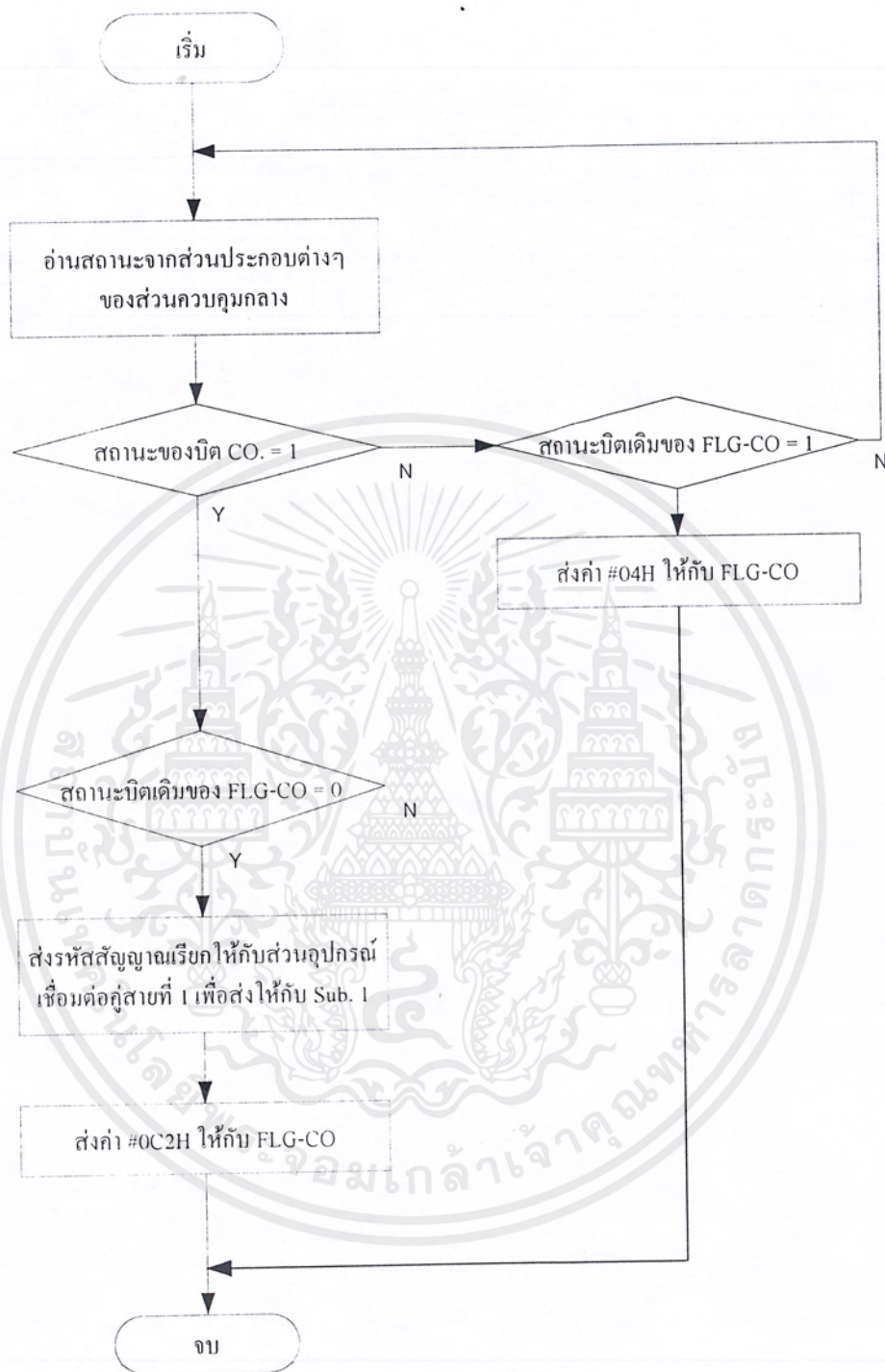


รูปที่ 3.35 แสดงโฟลว์ชาร์ตที่ใช้ในการส่งข้อมูล

จากรูปที่ 3.35 ในการส่งข้อมูลไปยังส่วนประมวลผลกลางนั้นไมโครคอนโทรลเลอร์จะอ่านข้อมูลจากรีจิสเตอร์สถานะของ MC6850 มาก่อน จากนั้นจึงตรวจสอบว่าบิต TDRE เป็น “1” หรือไม่ ซึ่งบิตนี้จะเป็นบิตที่ชี้ว่าบัฟเฟอร์ของ MC6850 ว่างหรือไม่ เมื่อบิต TDRE เป็น “1” ไมโครคอนโทรลเลอร์จะทำการส่งข้อมูลไปให้กับ Tx Buffer และส่งสัญญาณควบคุมทิศทางให้กับ RS-422A Driver เพื่อให้สามารถจัดส่งข้อมูลออกไปยังคู่สายได้ต่อไป

3.7 โปรแกรมสำหรับควบคุมการติดต่อกับโครงข่ายชุมสายโทรศัพท์ท้องถิ่น

โปรแกรมสำหรับควบคุมการติดต่อกับโครงข่ายชุมสายโทรศัพท์ท้องถิ่นนี้ เป็นโปรแกรมที่จะจัดให้ชุมสายโทรศัพท์ที่ได้ออกแบบขึ้นนี้สามารถติดต่อกับคู่สายภายนอกที่ต่ออยู่กับโครงข่ายชุมสายโทรศัพท์ท้องถิ่นได้ หน้าที่ของโปรแกรมนี้นี้มีหลายๆ อย่างด้วยกัน เช่น ควบคุมส่วนยกและวางแฮนด์เซตทางอิเล็กทรอนิกส์การอ่านสถานะของคู่สายภายนอกที่ส่วนตรวจจับสัญญาณเรียก ฯลฯ สำหรับโฟลว์ชาร์ตของโปรแกรมนี้นี้จะแสดงดังรูปที่ 3.36

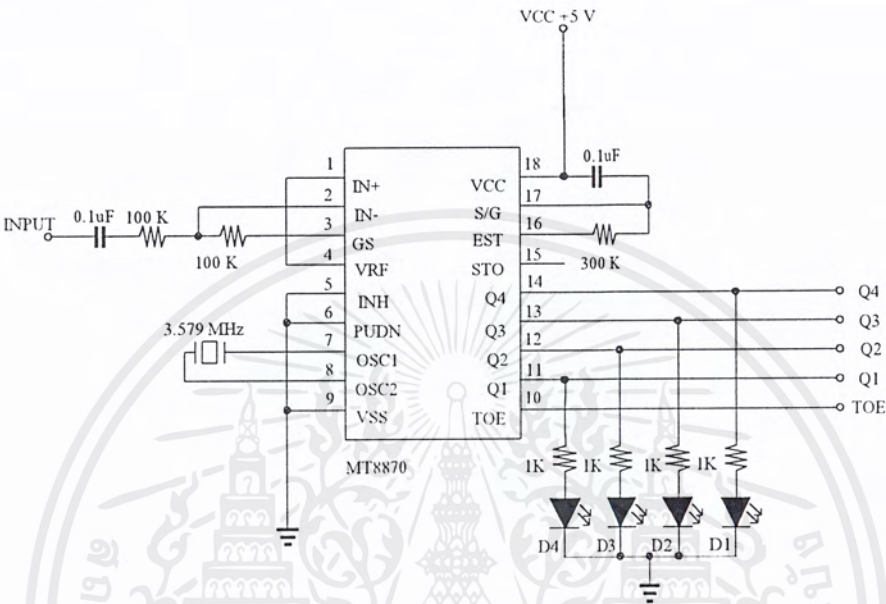


รูปที่ 3.36 แสดงโฟลว์ชาร์ตของโปรแกรมสำหรับควบคุมการติดต่อกับโครงข่ายหมุ่สายโทรศัพท์ท้องถิ่น

บทที่ 4

การทดลองและผลการทดลอง

4.1 วงจรถอดรหัสสัญญาณ DTMF



รูปที่ 4.1 วงจรถอดรหัสสัญญาณ DTMF

วงจรตรวจจับสัญญาณความถี่โทรศัพท์นี้จะใช้ไอซีที่ทำหน้าที่เปลี่ยนสัญญาณความถี่ที่เกิดจากการกดปุ่มโทรศัพท์ชนิดกดปุ่มให้เป็นสัญญาณทางด้านดิจิทัลที่ออกในลักษณะไบนารี จึงใช้ไอซีเบอร์ MT 8870 ซึ่งสามารถทดลองได้ผลการทดลองเป็นดังนี้

ตาราง 4.1 แสดงผลของการกดโทรศัพท์ชนิดกดปุ่มซึ่งวัดสัญญาณจาก LED

หมายเลขโทรศัพท์	D1	D2	D3	D4
1	ดับ	ดับ	ดับ	ติด
2	ดับ	ดับ	ติด	ดับ
3	ดับ	ดับ	ติด	ติด
4	ดับ	ติด	ดับ	ดับ
5	ดับ	ติด	ดับ	ติด
6	ดับ	ติด	ติด	ดับ
7	ดับ	ติด	ติด	ติด
8	ติด	ดับ	ดับ	ดับ
9	ติด	ดับ	ดับ	ติด
0	ติด	ดับ	ติด	ดับ
*	ติด	ดับ	ติด	ติด
#	ติด	ติด	ดับ	ดับ

จากตาราง 4.1 แสดงค่าที่ถอดรหัสได้จาก MT8870 เป็นดังตาราง 4.2

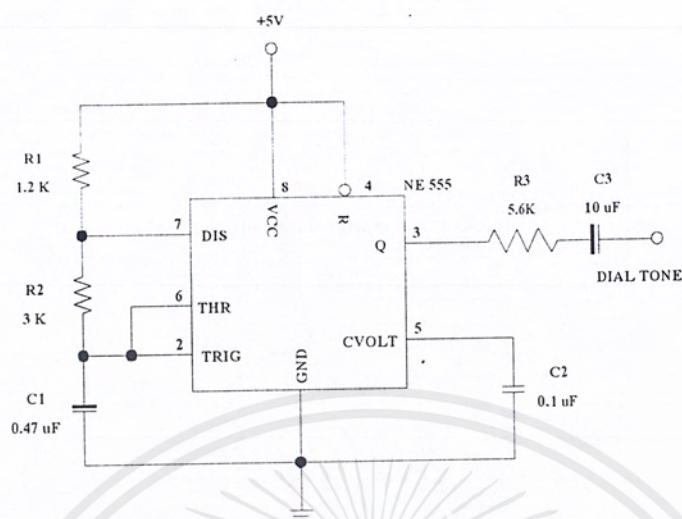
ตาราง 4.2 แสดงค่าที่ถอดรหัสได้จาก MT8870

F_{Low} (Hz)	F_{High} (Hz)	หมายเลข	Q_4	Q_3	Q_2	Q_1
697	1209	1	0	0	0	1
697	1336	2	0	0	1	0
697	1477	3	0	0	1	1
770	1209	4	0	1	0	0
770	1336	5	0	1	0	1
770	1477	6	0	1	1	0
852	1209	7	0	1	1	1
852	1336	8	1	0	0	0
852	1477	9	1	0	0	1
941	1336	0	1	0	1	0
941	1209	*	1	0	1	1
941	1477	#	1	1	0	0

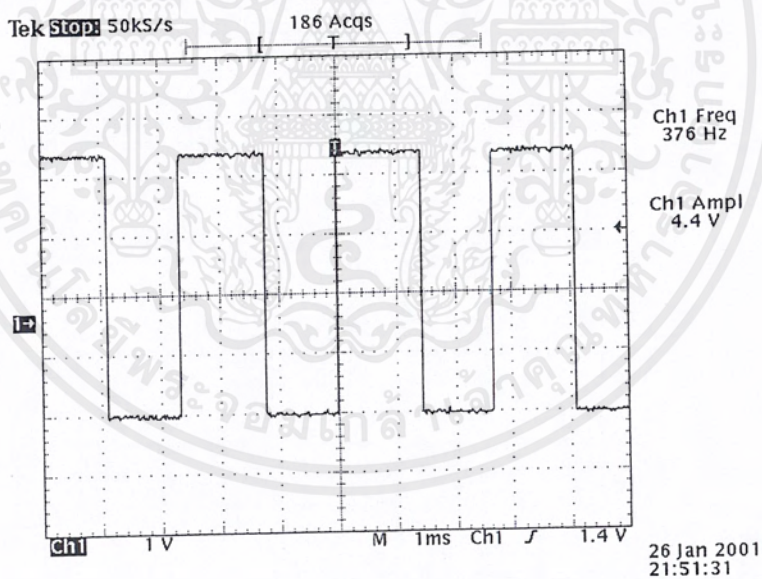
4.2 วงจรสร้างสัญญาณโทรศัพท์ (TONE GENERATOR)

วงจรในส่วนนี้จะป็นวงจรที่กำเนิดสัญญาณต่าง ๆ ที่ใช้ทางโทรศัพท์ คือสัญญาณให้กดเลขหมาย (DIAL TONE) สัญญาณไม่ว่าง (BUSY TONE) สัญญาณเรียกกลับ (RING BACK TONE) และสัญญาณเรียก (RINGING TONE) ซึ่งการทดลองวงจรต่าง ๆ เป็นดังนี้

4.2.1 วงจรกำเนิดสัญญาณให้หมุน (DIAL TONE)

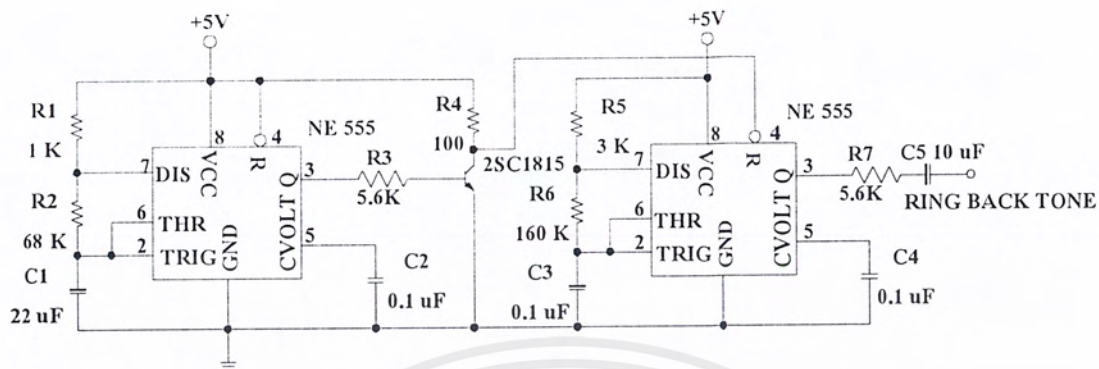


รูปที่ 4.2 แสดงวงจรกำเนิดสัญญาณให้หมุน

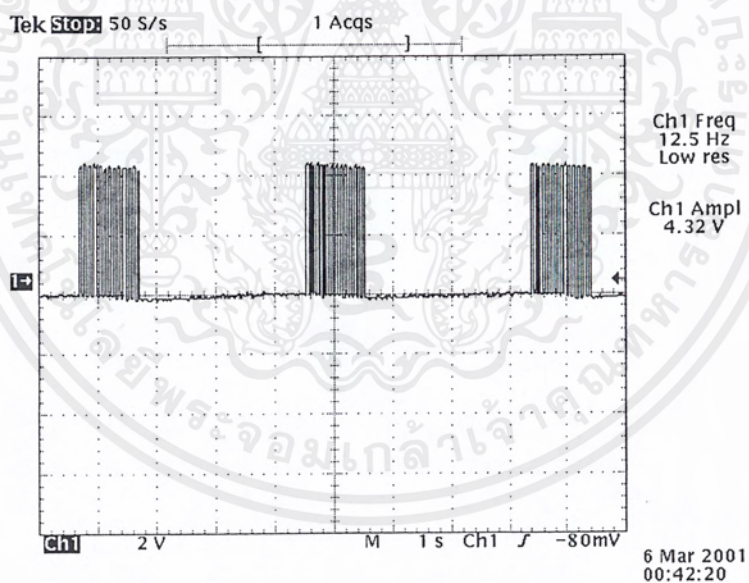


รูปที่ 4.3 แสดงสัญญาณให้หมุน

4.2.3 วงจรกำเนิดสัญญาณเรีบกกลับ (RING BACK TONE)

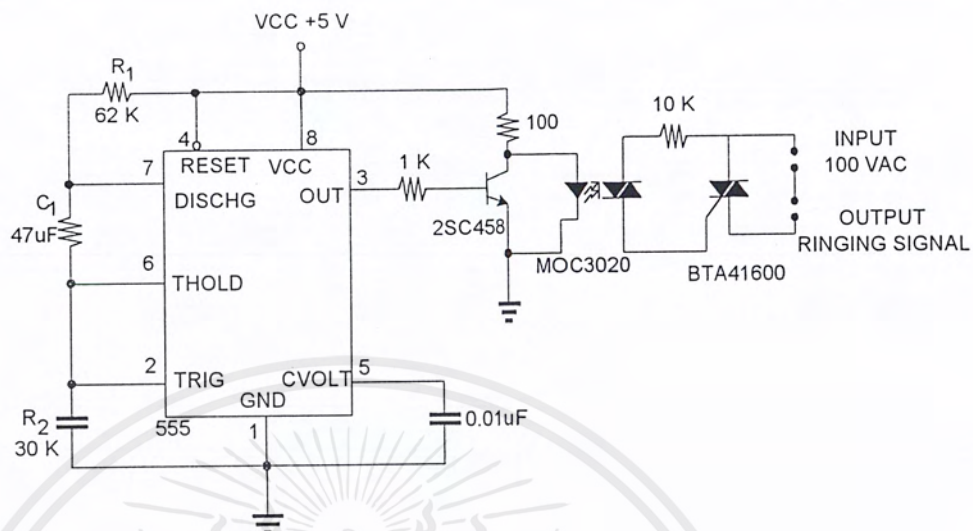


รูปที่ 4.6 แสดงวงจรกำเนิดสัญญาณเรีบกกลับ

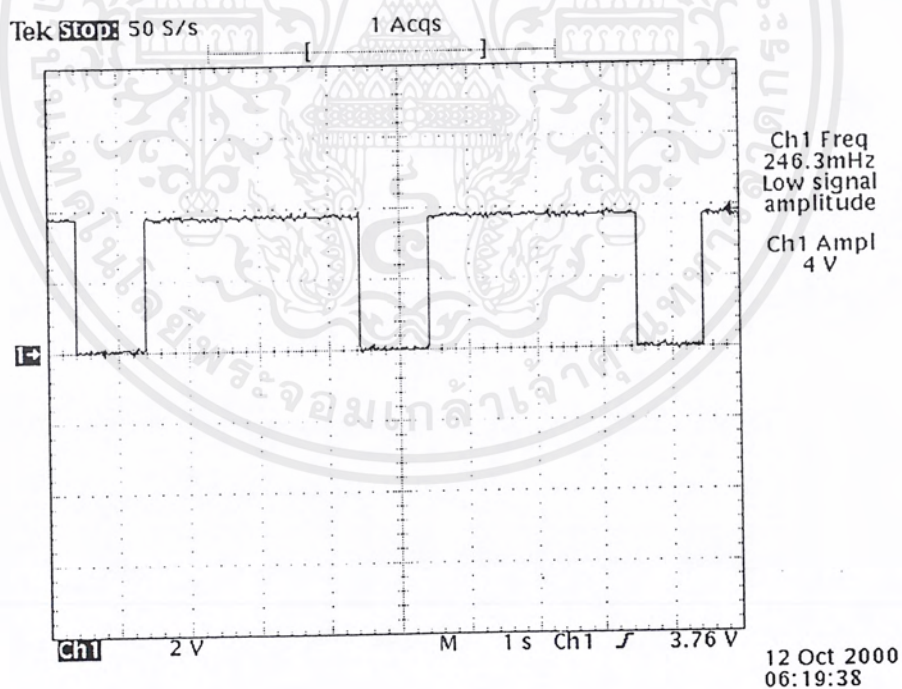


รูปที่ 4.7 แสดงสัญญาณเรีบกกลับ

4.2.4 วงจรกำเนิดสัญญาณเรซิง (RINGING TONE)

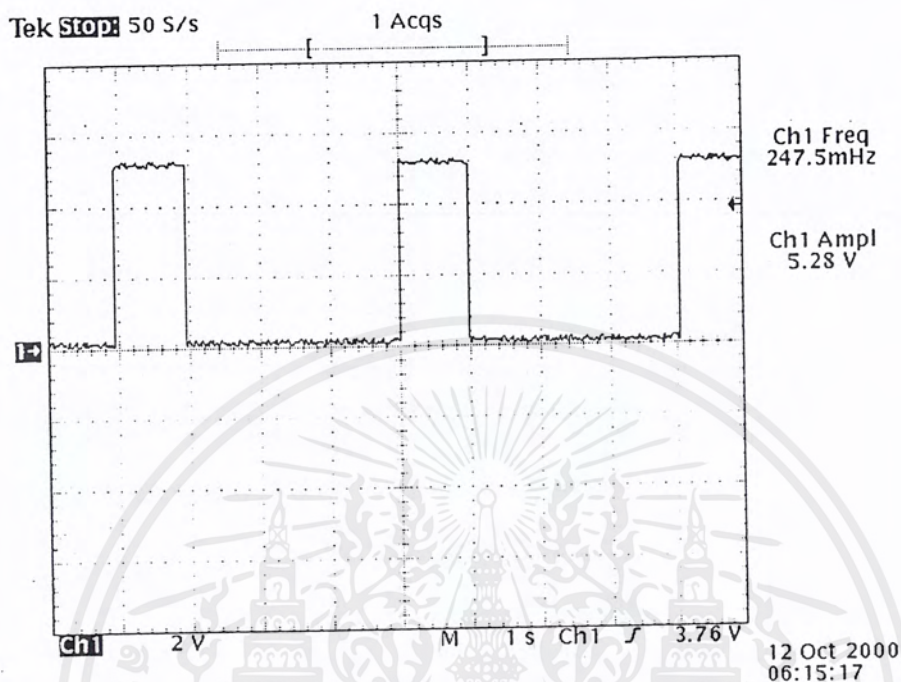


รูปที่ 4.8 แสดงวงจรกำเนิดสัญญาณเรซิง



รูปที่ 4.9 แสดงรูปลอจิก “1” เป็น 3 วินาที และลอจิก “0” เป็น 1 วินาที

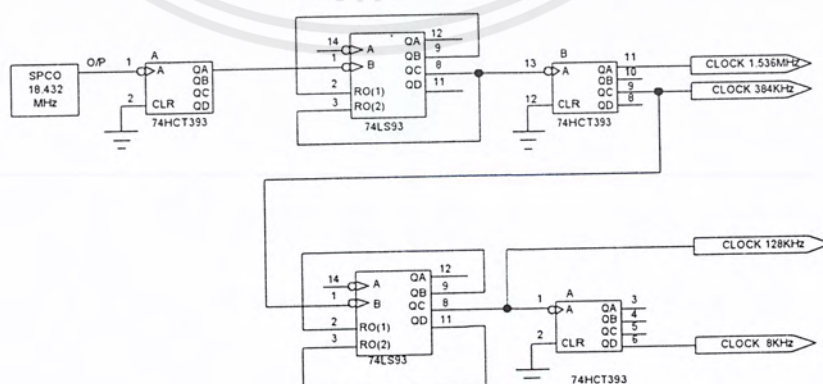
จากสัญญาณในรูปที่ 4.9 จะทำการป้อนให้กับทรานซิสเตอร์เบอร์ 2SC458 เพื่อให้ทรานซิสเตอร์ทำหน้าที่เป็นสวิตช์ ซึ่งจะได้รูปสัญญาณเป็นลอจิก “1” 1 วินาที และลอจิก “0” เป็น 3 วินาที ซึ่งจะเป็นสัญญาณเรียกดังรูปที่ 4.10



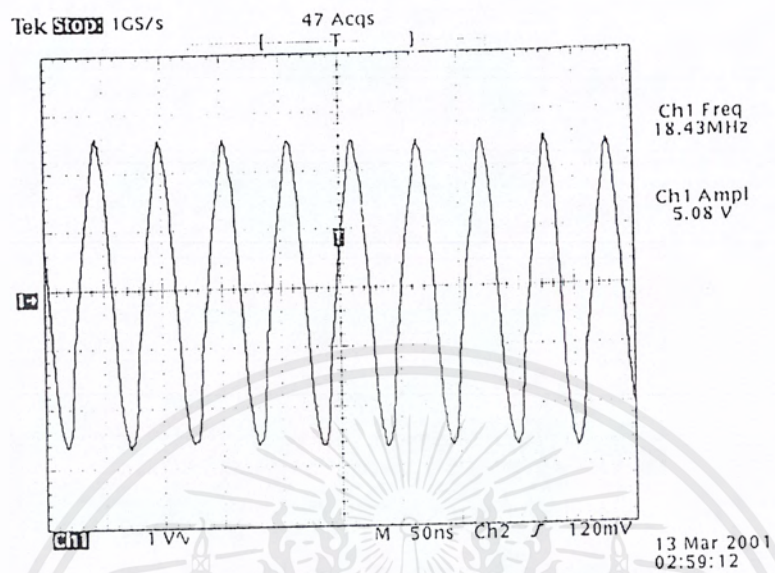
รูปที่ 4.10 แสดงลักษณะของสัญญาณเรียก

4.3 วงจรสร้างสัญญาณนาฬิกา

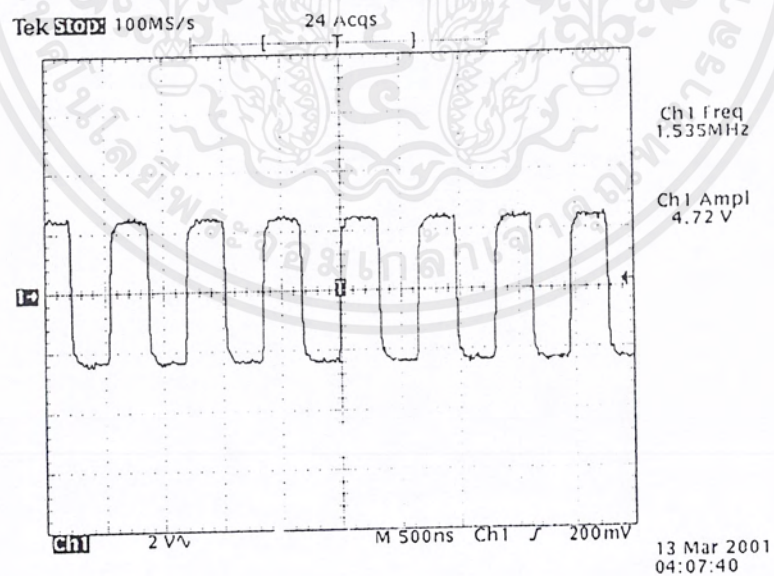
วงจรการสร้างสัญญาณนาฬิกาเพื่อควบคุมการถ่ายโอนข้อมูล ได้แก่ ความถี่ 8 kHz สำหรับการแลกเปลี่ยน ความถี่ 128 kHz สำหรับเป็นความถี่สำหรับซิปข้อมูลจาก CODEC ความถี่ 384 kHz และความถี่ 1.536 MHz ซึ่งจะใช้ SPCO (Single Package Cystal Oscillater) ความถี่ 18.432 MHz มาหารความถี่โดยใช้ ไอซีเบอร์ 74HCT393 และไอซีเบอร์ 74LS93 ซึ่งผลการทดลองเป็นดังต่อไปนี้



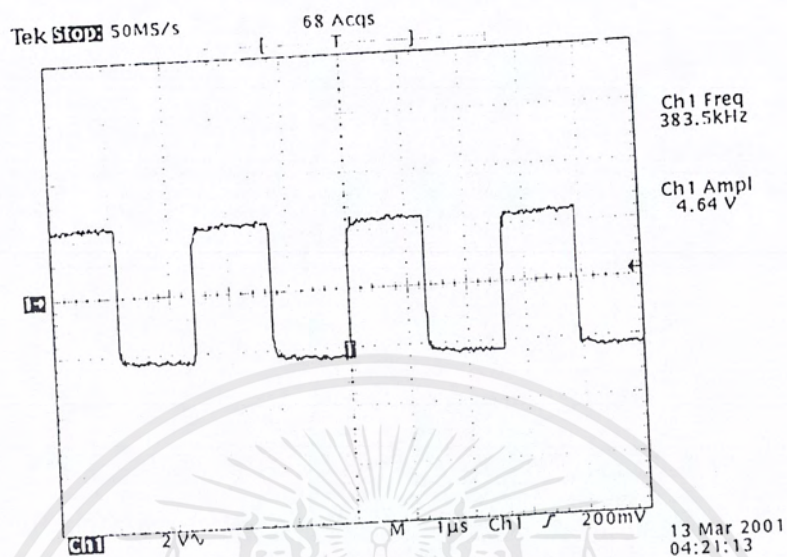
รูปที่ 4.11 วงจรการสร้างสัญญาณนาฬิกา



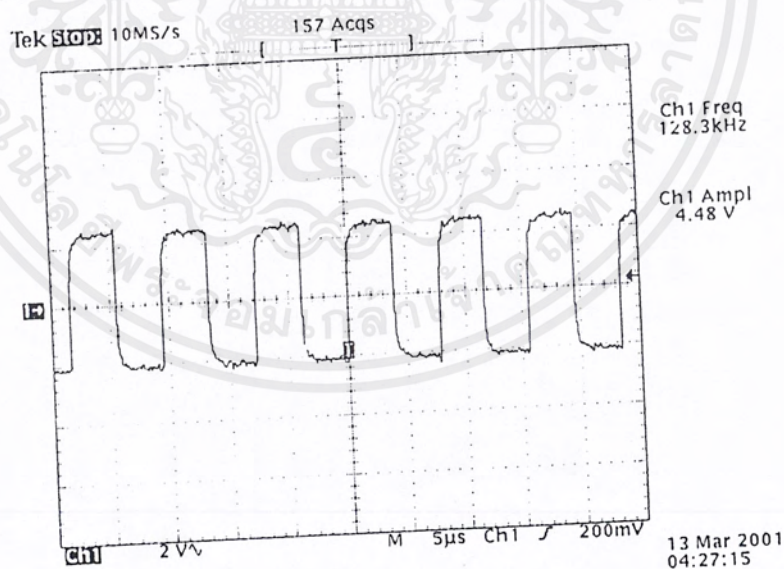
รูปที่ 4.12 สัญญาณที่ขาเอาต์พุตของ Single Pockage Crystal Oscillator ความถี่ 18.432 MHz.



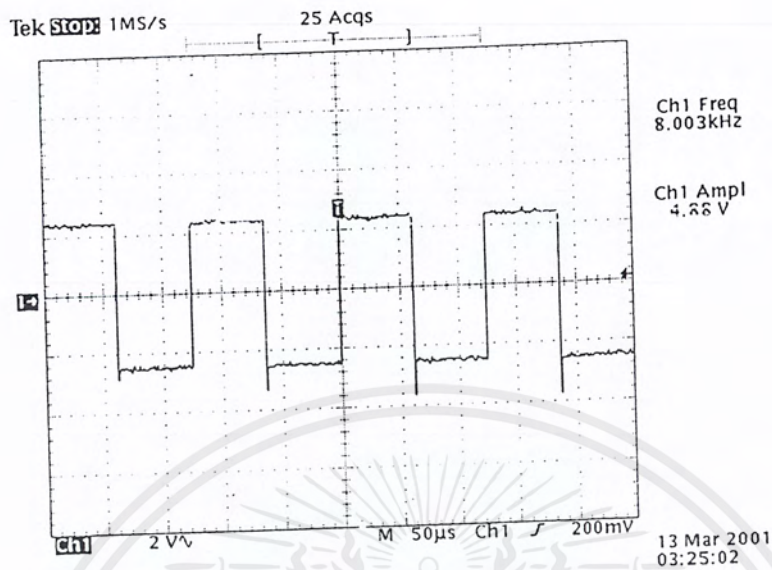
รูปที่ 4.13 สัญญาณนาฬิกาความถี่ 1.536 MHz ใช้ควบคุมการทำงานของไอซีเบอร์ MC6850



รูปที่ 4.14 สัญญาณนาฬิกาความถี่ 384 kHz ใช้เป็นความถี่ในการรับส่งข้อมูลระหว่างคู่สาย

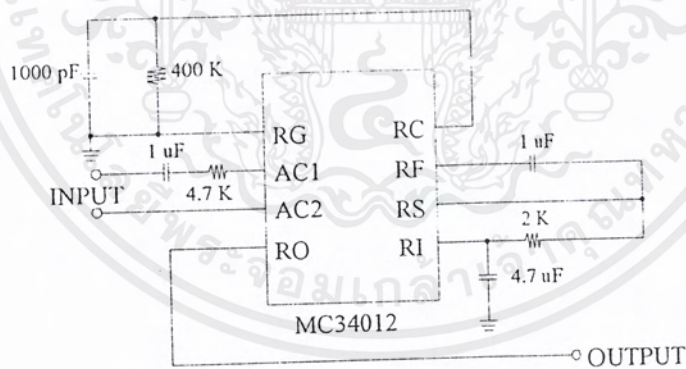


รูปที่ 4.15 สัญญาณนาฬิกาความถี่ 128 kHz ใช้เป็นความถี่ในการถ่ายโอนข้อมูล



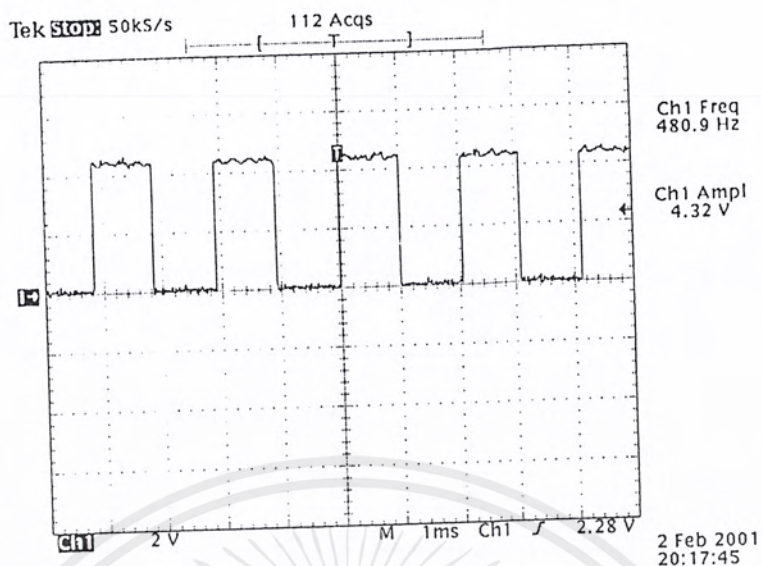
รูปที่ 4.16 สัญญาณนาฬิกาความถี่ 8 kHz ใช้เป็นความถี่สำหรับการแชนเปลิ่ง

4.4 วงจรส่วนตรวจจับสัญญาณเรซก (RINGING SIGNAL DETECT)

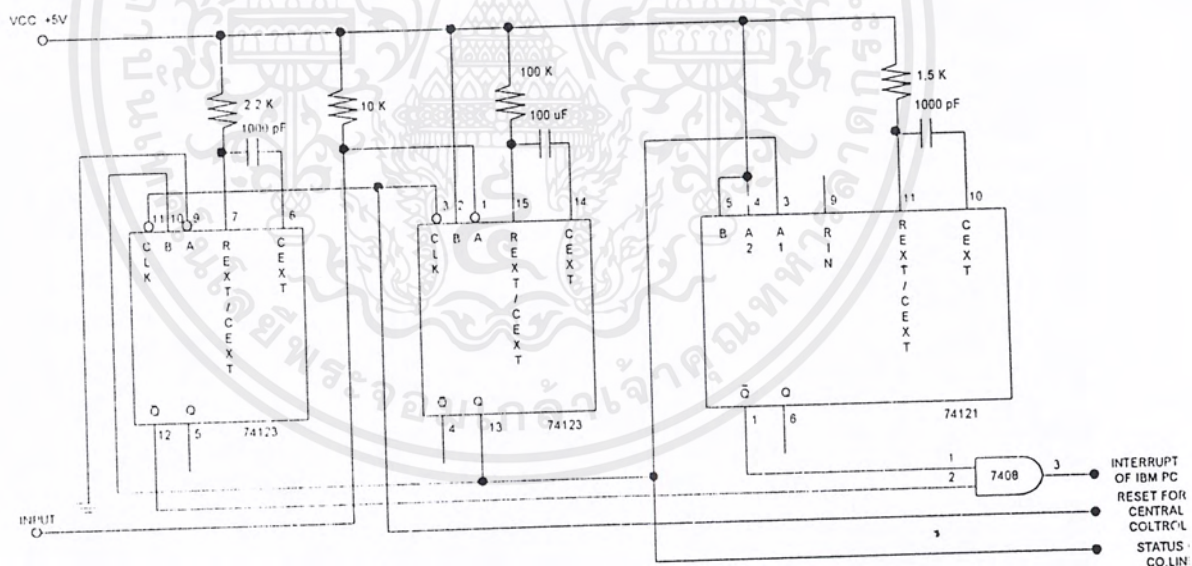


รูปที่ 4.17 วงจรตรวจจับสัญญาณเรซก

วงจรส่วนนี้จะใช้ไอซีที่ใช้สำหรับสร้างสัญญาณเรซกของไมโครคอนโทรลเลอร์ MC34012 เป็นตัวตรวจจับสัญญาณเรซกที่เข้ามา ซึ่งจะจัดให้ทำงานร่วมกับไอซีเบอร์ 74LS123 และ 74LS121 ต่อไปในส่วน
ของ วงจรตรวจจับสัญญาณเรซกเมื่อสัญญาณเรซกเมื่อมีสัญญาณเรซกเข้ามาจะได้สัญญาณเป็นดังรูปที่ 4.18

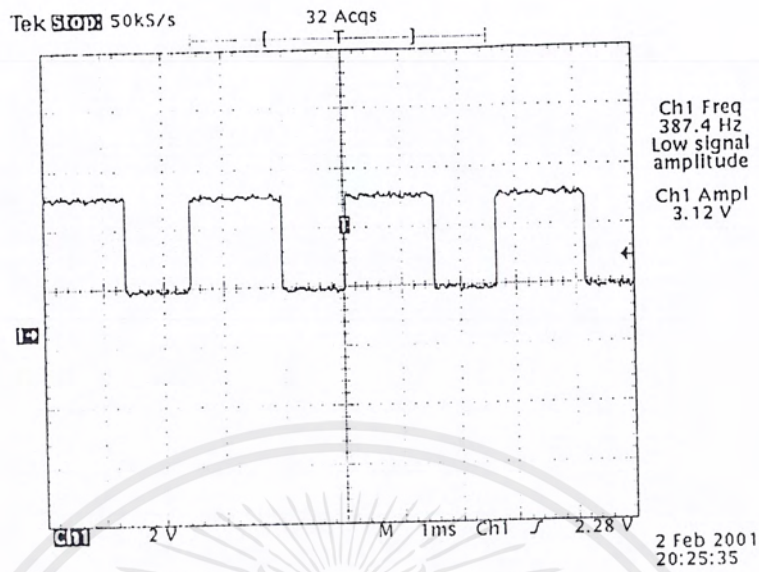


รูปที่ 4.18 แสดงรูปสัญญาณที่ขา 4 ของไอซีเบอร์ MC34012 เป็นสัญญาณ RINGING SIGNAL DETECT ในสถานะเรียกเข้า

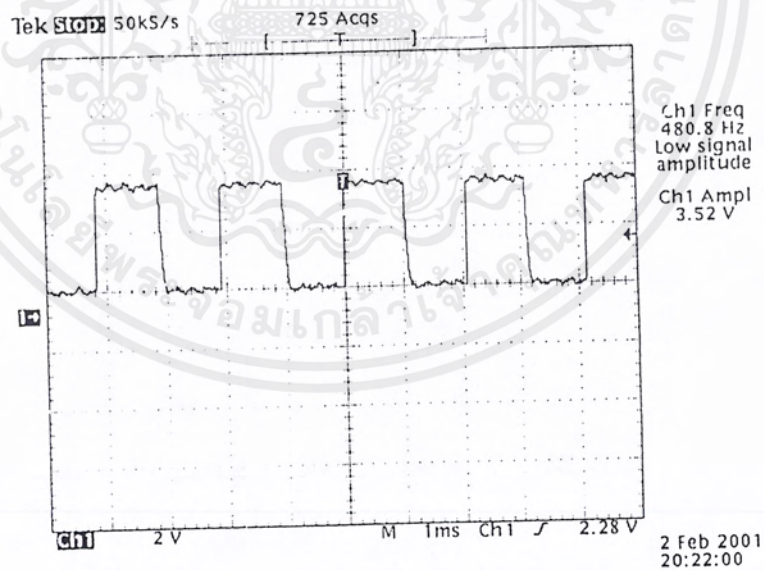


รูปที่ 4.19 แสดงรูปวงจรสร้างสัญญาณให้กับส่วนควบคุมกลาง

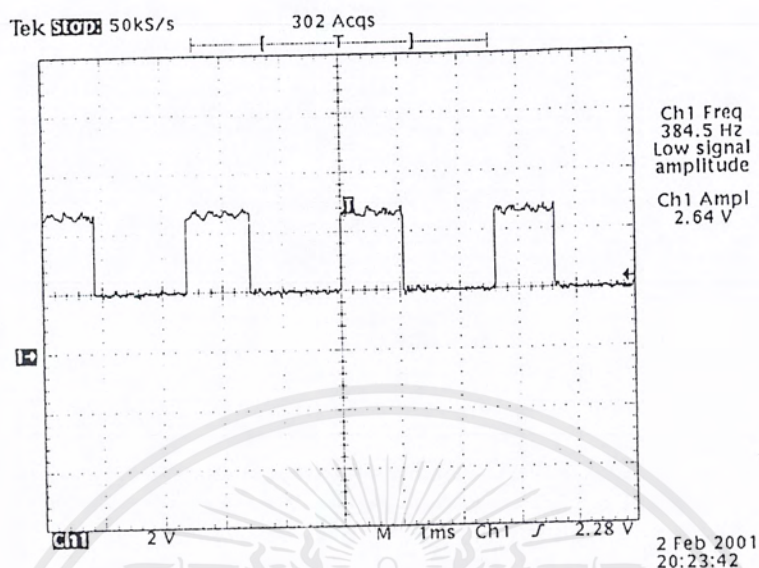
ในส่วนนี้จะทำงานร่วมกับวงจรในรูปที่ 4.17 เพื่อจะได้สัญญาณพัลส์เพื่อส่งให้กับส่วนควบคุมกลาง ซึ่งสัญญาณต่าง ๆ ที่ได้จากการทดลองเป็นดังนี้



รูปที่ 4.20 แสดงรูปสัญญาณที่วัดจากขา 3 ของ ไอซีเบอร์ 74LS08 เป็นสัญญาณ INTERRUPT



รูปที่ 4.21 แสดงรูปสัญญาณที่วัดจากขา 3 ของไอซีเบอร์ 74LS123 เป็นสัญญาณ รีเซ็ตจากส่วนควบคุมกลาง



รูปที่ 4.22 แสดงรูปสัญญาณที่วัดจากขา 3 ของไอซีเบอร์ 74LS121 เป็นสัญญาณ STATUS OF.CO.LINE

4.5 ผลการทดลองของวงจรไมโครคอนโทรลเลอร์เป็นสัญญาณดิจิทัล

ในการทดลองวงจรไมโครคอนโทรลเลอร์จะเปลี่ยนสัญญาณรูปคลื่นไซน์ ความถี่ 1 เฮอร์ตซ์ เข้าทางอินพุต เพื่อที่จะได้เห็นการเปลี่ยนแปลงของสัญญาณอนาล็อกเป็นสัญญาณดิจิทัล จะทำการป้อนแรงดันไฟกระแสตรง ที่มีค่าตั้งแต่ 0 ถึง 5 โวลต์ แล้วทำการวัดค่าแรงดันไฟที่ป้อนทางอินพุต และบันทึกค่าแรงดันไฟนั้นว่าหลังจากที่วงจรทำการแปลงไฟออกมาเป็นรหัสไบนารี 8 บิต โดยใช้ LED เป็นตัวบอกสถานะ "0" คือ LEDดับ สถานะ "1" คือ LED ติด แล้วบันทึกผลการทดลองได้เป็นดังตารางที่ 4.3

ตารางที่ 4.3 แสดงการเปลี่ยนระดับสัญญาณอนาล็อกเป็นสัญญาณดิจิทัล

INPUT (โวลต์)	OUTPUT
0	0000 0000
0.421	0000 0001
0.463	0000 0010
0.487	0000 0011
0.820	0000 1111
2.000	0011 1100
3.000	0110 1101
4.000	1001 1000
5.000	1100 0011
5.284	1111 0000
5.480	1111 1110
5.526	1111 1111

บทที่ 5

บทวิจารณ์และบทสรุป

ปริญญานิพนธ์ฉบับนี้ได้กล่าวถึงการออกแบบและการสร้างเครื่องชุมสายโทรศัพท์ปลายทางระบบดิจิทัลที่นำเอาหลักการของการสลับช่วงเวลา (Time Slot Technique) และการส่งสัญญาณดิจิทัลมาใช้เพื่อจัดการบริการร่วมทางการสื่อสาร (Integrated Services) ได้บนคู่สายเดียวกัน

การทำงานของเครื่องชุมสายโทรศัพท์นี้จะมีอุปกรณ์ปลายทาง 2 แบบ คือ แบบอนาล็อกและแบบข้อมูล โดยอุปกรณ์สื่อสารปลายทางทั้ง 2 แบบ จะส่งข้อมูลไปเก็บในส่วนประมวลผล ซึ่งในส่วนนี้จะใช้การทำงานโดยอุปกรณ์หน่วยความจำ 2 ส่วน คือ EPROM และ RAM โดยที่สัญญาณที่มาจากอุปกรณ์สื่อสารแบบอนาล็อกจะแปลงเป็นสัญญาณดิจิทัลโดยวงจรเข้ารหัสเสียก่อนแล้วจึงเก็บในส่วนประมวลผล เพื่อส่งไปยังส่วนสวิตซ์ต่อไป ซึ่งได้นำเอาเทคนิคของการสลับช่วงเวลามาใช้โดยการควบคุมการทำงานโดยเครื่องไมโครคอมพิวเตอร์เพื่อให้เกิดความถูกต้อง นอกจากนั้นชุมสายโทรศัพท์ที่ได้ออกแบบขึ้นสามารถติดต่อกับชุมสายโทรศัพท์ท้องถิ่นได้ โดยส่วนของวงจรเชื่อมต่อกับชุมสายโทรศัพท์ท้องถิ่นซึ่ง วงจรในส่วนนี้จะเชื่อมต่ออยู่กับส่วนควบคุมกลาง โดยการควบคุมการทำงานของเครื่องไมโครคอมพิวเตอร์เช่นกัน

ปัญหาที่พบในการสร้างคือจะเกิดขึ้นในส่วนของการคำนวณต่างๆ คือค่าที่ได้จากการคำนวณไม่ว่าจะเป็นค่าของความต้านทานหรือค่าของตัวเก็บประจุจะมีค่าความผิดพลาดทำให้ผลการทดลองที่ได้ไม่เป็นไปตามทฤษฎี จึงต้องปรับเปลี่ยนค่าที่คำนวณได้เพื่อให้ผลที่ทดลองเป็นไปตามต้องการ

สำหรับชุมสายโทรศัพท์ที่ได้ออกแบบขึ้นมานี้ สามารถที่จะพัฒนาเข้าไปสู่ระบบรูปแบบของโครงข่ายทางการสื่อสารแบบใหม่ที่เรียกว่า ISDN ได้ โดยพัฒนาส่วนอุปกรณ์เชื่อมต่อกับคู่สายให้สามารถรับสัญญาณข่าวสารปลายทางได้มากขึ้น แล้วทำการจัดช่องสัญญาณให้อยู่ในมาตรฐานของ ISDN ทั้งนี้ เป็นผลมาจากการออกแบบชุมสายโทรศัพท์ได้นำเอาหลักการส่งสัญญาณผ่านสายนำสัญญาณแบบดิจิทัล ซึ่งเป็นลักษณะพื้นฐานของ ISDN อยู่แล้ว



ภาคผนวก

MC34012-1
MC34012-2
MC34012-3

TELEPHONE TONE RINGER

- Complete Telephone Bell Replacement Circuit with Minimum External Components
- On-Chip Diode Bridge and Transient Protection
- Direct Drive for Piezoelectric Transducers
- Base Frequency Options—MC34012-1: 1.0 kHz
MC34012-2: 2.0 kHz
MC34012-3: 500 Hz
- Input Impedance Signature Meets Bell and EIA Standards
- Rejects Rotary Dial Transients

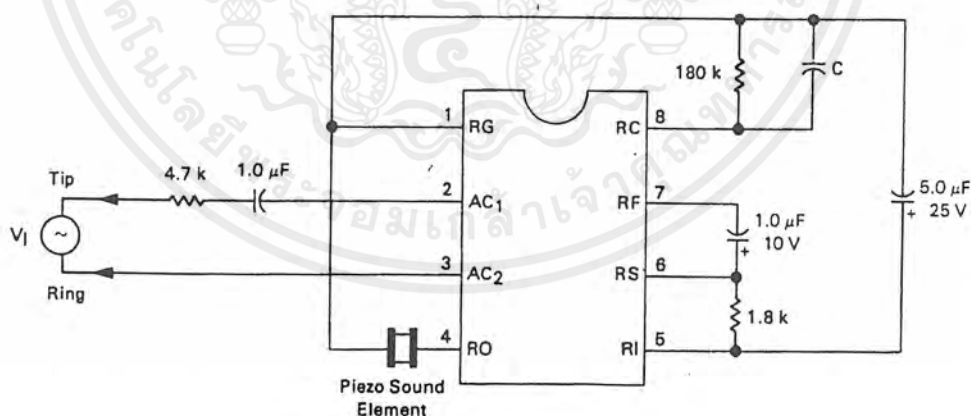
**TELEPHONE
TONE RINGER**

BIPOLAR LINEAR/12L



**PLASTIC PACKAGE
CASE 628**

APPLICATION CIRCUIT



MC34012-1: C = 1000 pF
MC34012-2: C = 500 pF
MC34012-3: C = 2000 pF

APPLICATION CIRCUIT PERFORMANCE

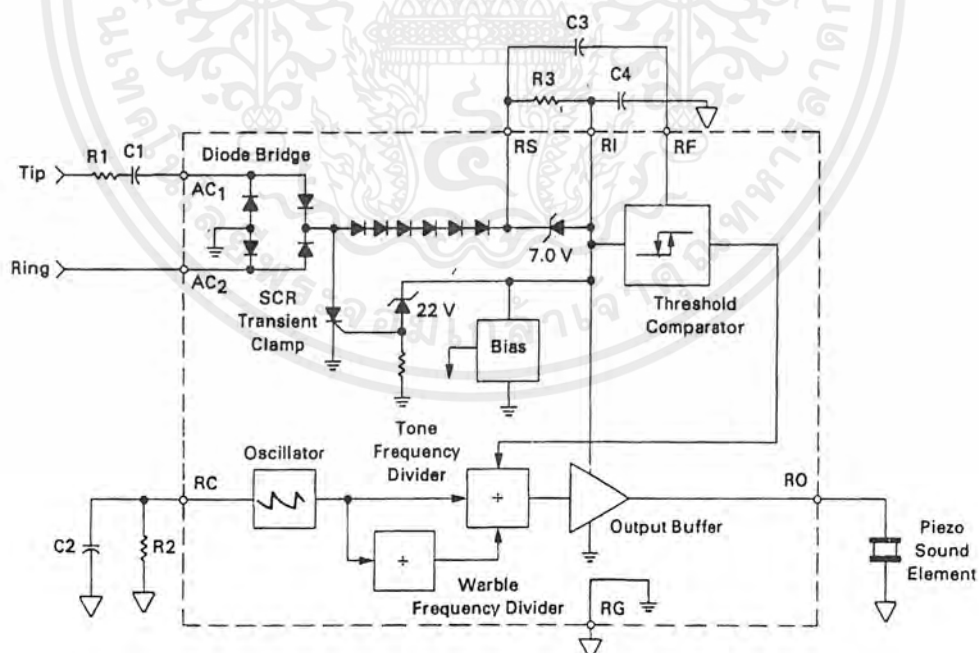
Characteristic	Typical Value	Units
Output Tone Frequencies MC34012-1 MC34012-2 MC34012-3 Warble Frequency	832/1040 1664/2080 416/520 13	Hz
Output Voltage ($V_i \geq 60 V_{rms}$, 20 Hz)	20	V_{p-p}
Output Duty Cycle	50	%
Ringing Start Input Voltage (20 Hz)	36	V_{rms}
Ringing Stop Input Voltage (20 Hz)	28	V_{rms}
Maximum ac Input Voltage (≤ 68 Hz)	160	V_{rms}
Impedance When Ringing $V_i = 40 V_{rms}$, 15 Hz $V_i = 130 V_{rms}$, 23 Hz	20 10	$k\Omega$
Impedance When Not Ringing $V_i = 10 V_{rms}$, 24 Hz $V_i = 2.5 V_{rms}$, 24 Hz $V_i = 10 V_{rms}$, 5.0 Hz $V_i = 3.0 V_{rms}$, 200-3200 Hz	28 >1.0 55 >1.0	$k\Omega$ $M\Omega$ $k\Omega$ $M\Omega$
Maximum Transient Input Voltage ($T < 2.0$ ms)	1500	V

PIN DESCRIPTIONS

Name	Description
AC ₁ , AC ₂	The input terminals to the full-wave diode bridge. The ac ringing signal from the telephone line energizes the ringer through this bridge.
RS	The positive output of diode bridge to which an external current sense resistor is connected.
RI	The positive supply terminal for the oscillator, frequency divider and output buffer circuits.
RF	The terminal for the filter capacitor used in detection of ringing input signals.
RO	The tone ringer output terminal through which the sound element is driven.
RG	The negative output of the diode bridge and the negative supply terminal of the tone generating circuitry.
RC	The oscillator terminal for the external resistor and capacitor which control the tone ringer frequencies.

ELECTRICAL CHARACTERISTICS ($T_A = 25^\circ\text{C}$)

Characteristic	Test	Symbol	Min	Typ	Max	Units
Ringing Start Voltage ($V_{\text{Start}} = V_I$ @ Ring Start) $V_I > 0$ $V_I < 0$	1a	$V_{\text{Start}(+)}$	31	34.5	38	Vdc
	1b	$V_{\text{Start}(-)}$	-31	-34.5	-38	Vdc
	1c	V_{Stop}				Vdc
Ringing Stop Voltage ($V_{\text{Stop}} = V_I$ @ Ring Stop) MC34012-1 MC34012-2 MC34012-3			16	20	25	
			13	18	22	
			16	20	25	
Output Frequencies ($V_I = 50\text{ V}$) MC34012-1 High Tone Low Tone Warble Tone MC34012-2 High Tone Low Tone Warble Tone MC34012-3 High Tone Low Tone Warble Tone	1d	f_H	967	1040	1113	Hz
		f_L	774	832	890	
		f_W	12	13	14	
		f_H	1934	2080	2226	
		f_L	1548	1664	1780	
		f_W	12	13	14	
		f_H	967	1040	1113	
		f_L	774	832	890	
		f_W	24	26	28	
Output Voltage ($V_I = 50\text{ V}$)	6	V_O	19	20	23	V_{p-p}
Output Short-Circuit Current	2	I_O	35	50	80	mA_{p-p}
Input Diode Voltage ($I_I = 1.0\text{ mA}$)	3	V_D	4.6	5.1	5.6	Vdc
Input Voltage—SCR Off ($I_I = 30\text{ mA}$)	4a	V_{off}	37	42	47	Vdc
Input Voltage—SCR On ($I_I = 100\text{ mA}$)	4b	V_{on}	3.2	4.2	6.0	Vdc
Threshold Filter Resistance $R_{\text{RF}} = 2.0\text{ V}/I_{\text{RF}}$	5	R_{RF}	30	50	80	$\text{k}\Omega$

BLOCK DIAGRAM


CIRCUIT DESCRIPTION

The MC34012 Tone Ringer derives its power supply by rectifying the ac ringing signal. It uses this power to activate a tone generator and drive a piezo-ceramic transducer. The tone generation circuitry includes a relaxation oscillator and frequency dividers which produce high and low frequency tones as well as the tone warble frequency. The relaxation oscillator frequency f_o is set by resistor R2 and capacitor C2 connected to pin RC. The oscillator will operate with f_o from 1.0 kHz to 10 kHz with the proper choice of external components (See Figure 1).

The frequency of the tone ringer output signal at pin RO alternates between $f_o/4$ to $f_o/5$. The warble rate at which the frequency changes is $f_o/320$ for the MC34012-1, $f_o/640$ for the MC34012-2, or $f_o/160$ for the MC34012-3. With a 4.0 kHz oscillator frequency, the MC34012-1 produces 800 Hz and 1000 Hz tones with a 12.5 Hz warble rate. The MC34012-2 generates 1600 Hz and 2000 Hz tones with a similar 12.5 Hz warble frequency from an 8.0 Hz oscillator frequency. The MC34012-3 will produce 400 Hz and 500 Hz tones with a 12.5 Hz warble rate from a 2.0 kHz oscillator frequency. The tone ringer output circuit can source or sink 20 mA with an output voltage swing of 20 volts peak-to-peak. Volume control is readily implemented by adding a variable resistance in series with the piezo transducer.

Input signal detection circuitry activates the tone ringer output when the ac line voltage exceeds programmed threshold level. Resistor R3 determines the ringing signal amplitude at which an output signal will be generated at RO. The ac ringing signal is rectified by the internal diode bridge. The rectified input signal

produces a current through R3 which is input at terminal RI. The voltage across resistor R3 is filtered by capacitor C3 at the input to the threshold circuit. When the voltage on capacitor C3 exceeds 1.7 volts, the threshold comparator enables the tone ringer output. Line transients produced by pulse dialing telephones do not charge capacitor C3 sufficiently to activate the tone ringer output.

Capacitors C1 and C4 and resistor R1 determine the 10 volt, 24 Hz signature test impedance. C4 also provides filtering for the output stage power supply to prevent droop in the square wave output signal. Six diodes in series with the rectifying bridge provide the necessary non-linearity for the 2.5 volt, 24 Hz signature tests.

An internal shunt voltage regulator between the RI and RG terminals provides dc voltage to power output stage, oscillator, and frequency dividers. The dc voltage at RI is limited to approximately 22 volts in regulation. To protect the IC from telephone line transients, an SCR is triggered when the regulator current exceeds 50 mA. The SCR diverts current from the shunt regulator and reduces the power dissipation within the IC.

EXTERNAL COMPONENTS

R1	Line input resistor. R1 controls the tone ringer input impedance. It also influences ringing threshold voltage and limits current from line transients. (Range: 2.0 k Ω to 10 k Ω).
C1	Line input capacitor. C1 ac couples the tone ringer to the telephone line and controls ringer input impedance at low frequencies. (Range: 0.4 μ F to 2.0 μ F).
R2	Oscillator resistor. (Range: 150 k Ω to 300 k Ω).
C2	Oscillator capacitor. (Range: 400 pF to 2000 pF).
R3	Input current sense resistor. R3 controls the ringing threshold voltage. Increasing R3 decreases the ring-start voltage. (Range: 0.8 k Ω to 2.0 k Ω).
C3	Ringing threshold filter capacitor. C3 filters the ac voltage across R3 at the input of the ringing threshold comparator. It also provides dialer transient rejection. (Range: 0.5 μ F to 5.0 μ F).
C4	Ringer supply capacitor. C4 filters supply voltage for the tone generating circuits. It also provides an ac current path for the 10 V _{rms} ringer signature impedance. (Range: 1.0 μ F to 10 μ F).

FIGURE 1 — OSCILLATOR PERIOD ($1/f_o$) versus OSCILLATOR R2 C2 PRODUCT

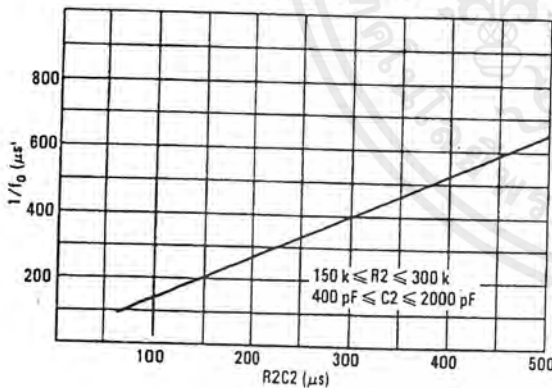


FIGURE 2 — TEST ONE

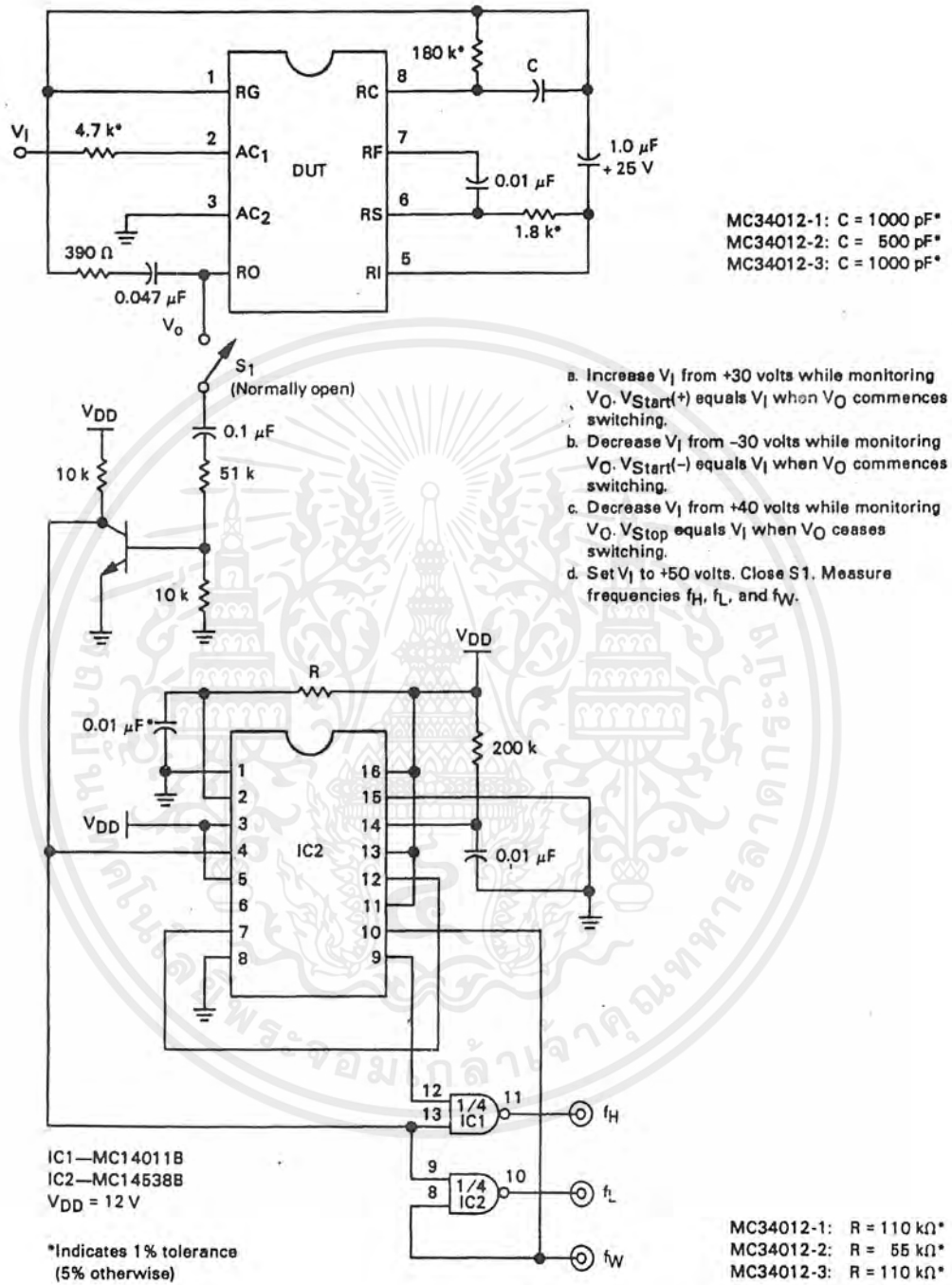


FIGURE 3 — TEST TWO

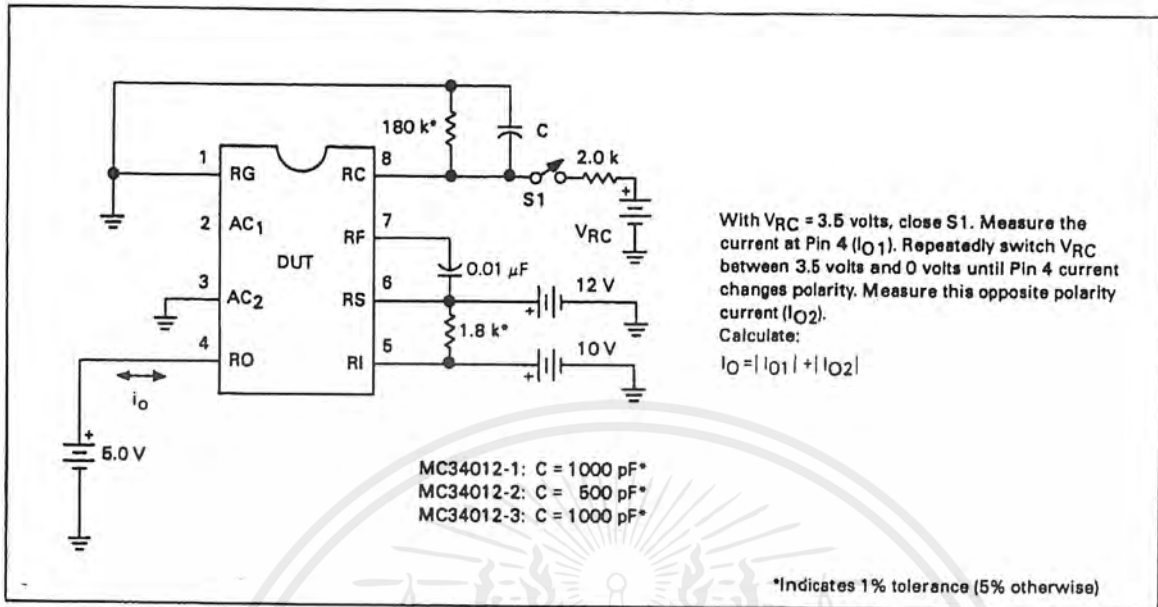


FIGURE 4 — TEST THREE

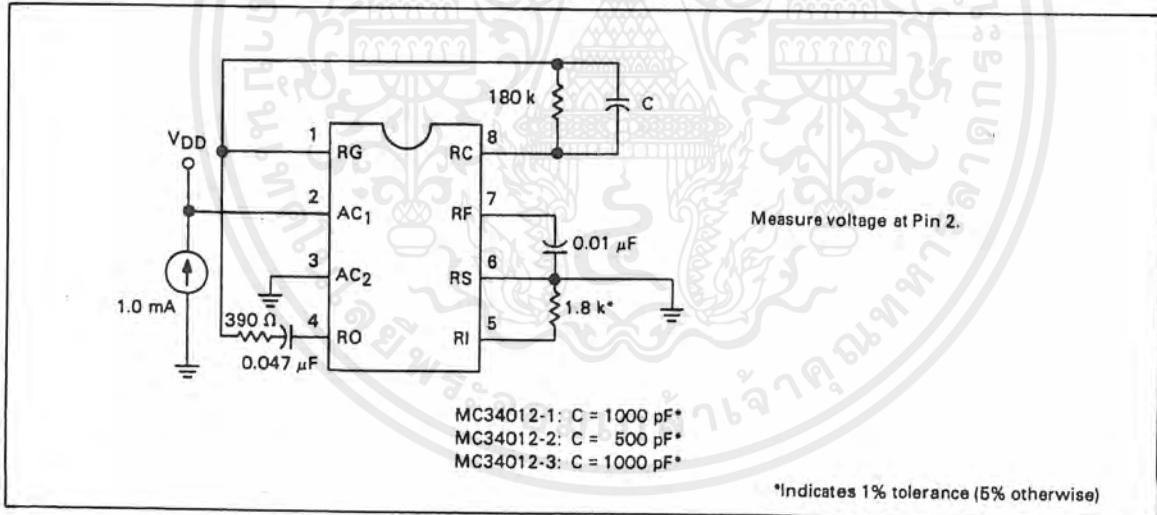
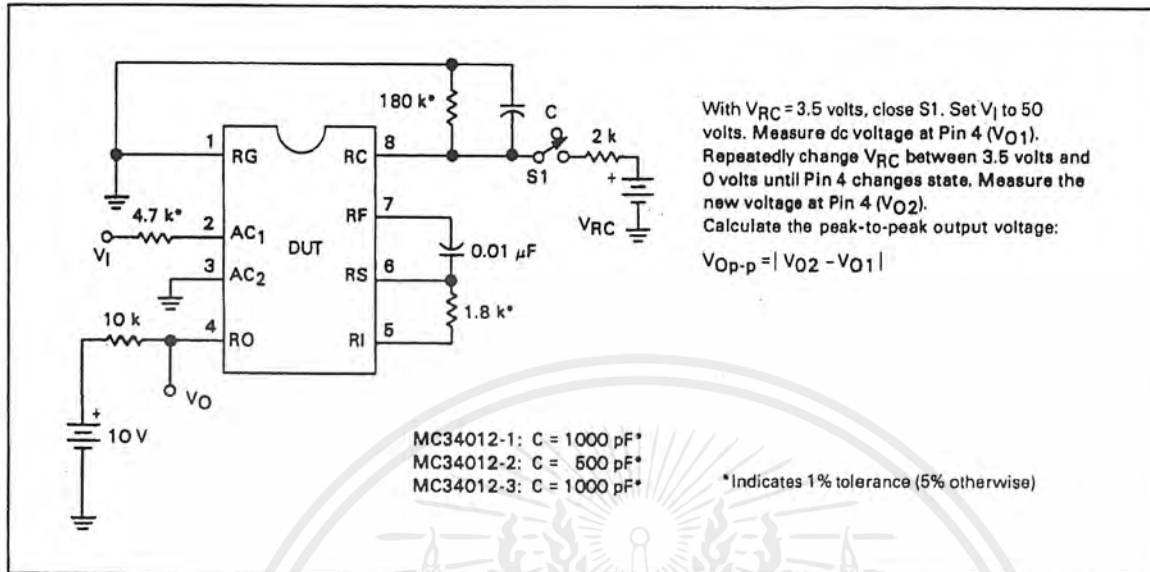


FIGURE 7 — TEST SIX



LM555/NE555

Single Timer

Features

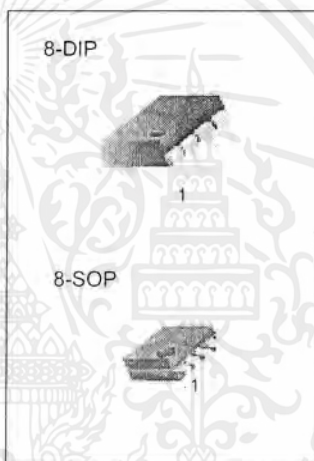
- High Current Drive Capability (200mA)
- Adjustable Duty Cycle
- Temperature Stability of 0.005%/°C
- Timing From μSec To Hours
- Turn Off Time Less Than $2\mu\text{Sec}$

Applications

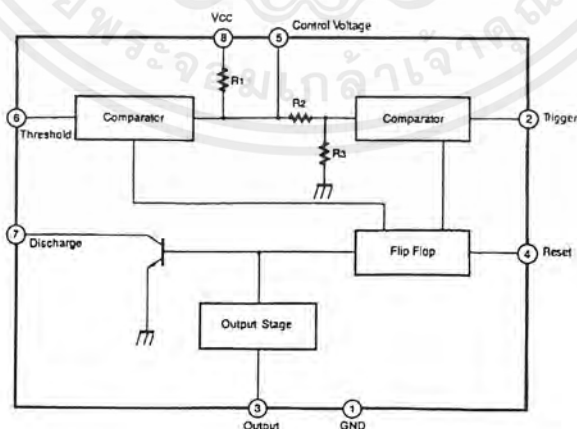
- Precision Timing
- Pulse Generation
- Time Delay Generation
- Sequential Timing

Description

LM555/NE555 is a highly stable controller capable of producing accurate timing pulses. With monostable operation, the time delay is controlled by one external and one capacitor. With astable operation, the frequency and duty cycle are accurately controlled with two external resistors and one capacitor.



Internal Block Diagram



Electrical Characteristics

($T_A = 25^\circ\text{C}$, $V_{CC} = 5 \sim 15\text{V}$, unless otherwise specified)

Parameter	Symbol	Conditions	Min.	Typ.	Max.	Unit
Supply Voltage	V_{CC}		4.5	-	16	V
Supply Current * ¹ (low stable)	I_{CC}	$V_{CC} = 5\text{V}$, $R_L = \infty$	-	3	6	mA
		$V_{CC} = 15\text{V}$, $R_L = \infty$	-	7.5	15	mA
Timing Error * ² (Monostable) Initial Accuracy Drift with Temperature Drift with Supply Voltage	ACCUR $\Delta t/\Delta T$ $\Delta t/\Delta V_{CC}$	$R_A = 1\text{K}\Omega$ to $100\text{K}\Omega$ $C = 0.1\mu\text{F}$	-	1.0 50 0.1	3.0 - 0.5	% ppm/ $^\circ\text{C}$ %/V
Timing Error * ² (astable) Initial Accuracy Drift with Temperature Drift with Supply Voltage	ACCUR $\Delta t/\Delta T$ $\Delta t/\Delta V_{CC}$	$R_A = 1\text{K}\Omega$ to $100\text{K}\Omega$ $C = 0.1\mu\text{F}$	-	2.25 150 0.3	-	% ppm/ $^\circ\text{C}$ %/V
Control Voltage	V_C	$V_{CC} = 15\text{V}$	9.0	10.0	11.0	V
		$V_{CC} = 5\text{V}$	2.6	3.33	4.0	V
Threshold Voltage	V_{TH}	$V_{CC} = 15\text{V}$	-	10.0	-	V
		$V_{CC} = 5\text{V}$	-	3.33	-	V
Threshold Current * ³	I_{TH}	-	-	0.1	0.25	μA
Trigger Voltage	V_{TR}	$V_{CC} = 5\text{V}$	1.1	1.67	2.2	V
		$V_{CC} = 15\text{V}$	4.5	5	5.6	V
Trigger Current	I_{TR}	$V_{TR} = 0\text{V}$	-	0.01	2.0	μA
Reset Voltage	V_{RST}	-	0.4	0.7	1.0	V
Reset Current	I_{RST}	-	-	0.1	0.4	mA
Low Output Voltage	V_{OL}	$V_{CC} = 15\text{V}$ $I_{SINK} = 10\text{mA}$ $I_{SINK} = 50\text{mA}$	-	0.06 0.3	0.25 0.75	V V
		$V_{CC} = 5\text{V}$ $I_{SINK} = 5\text{mA}$	-	0.05	0.35	V
High Output Voltage	V_{OH}	$V_{CC} = 15\text{V}$ $I_{SOURCE} = 200\text{mA}$ $I_{SOURCE} = 100\text{mA}$	12.75	12.5 13.3	-	V V
		$V_{CC} = 5\text{V}$ $I_{SOURCE} = 100\text{mA}$	2.75	3.3	-	V
Rise Time of Output	t_R	-	-	100	-	ns
Fall Time of Output	t_F	-	-	100	-	ns
Discharge Leakage Current	I_{LKG}	-	-	20	100	nA

Notes:

1. Supply current when output is high is typically 1mA less at $V_{CC} = 5\text{V}$
2. Tested at $V_{CC} = 5.0\text{V}$ and $V_{CC} = 15\text{V}$
3. This will determine maximum value of $R_A + R_B$ for 15V operation, the max. total $R = 20\text{M}\Omega$, and for 5V operation the max. total $R = 6.7\text{M}\Omega$

FIGURE 5 — TEST FOUR

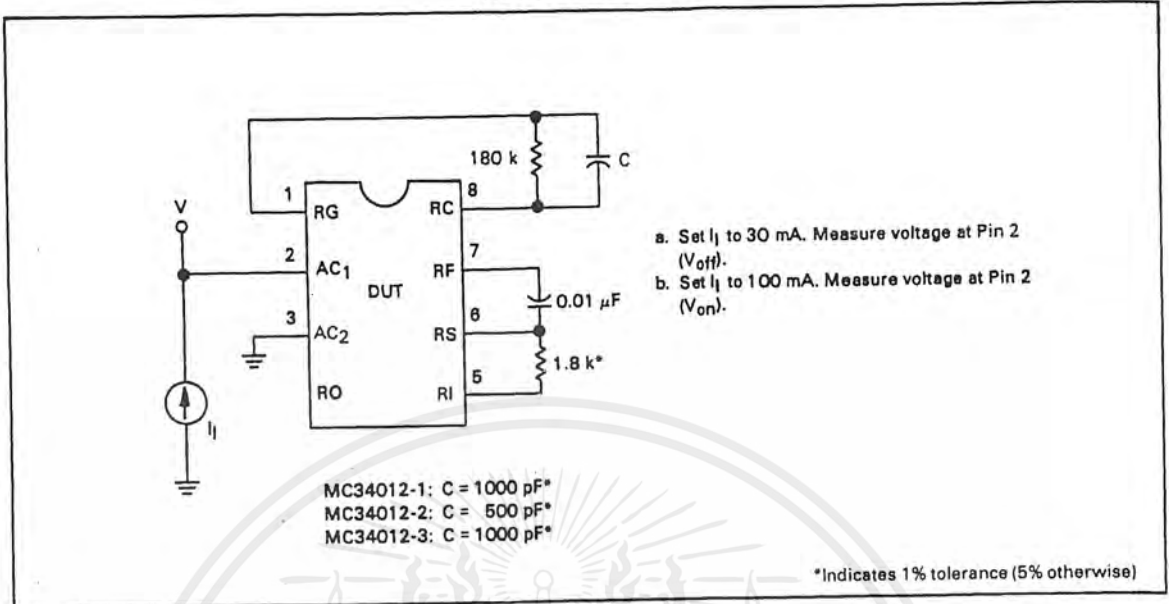
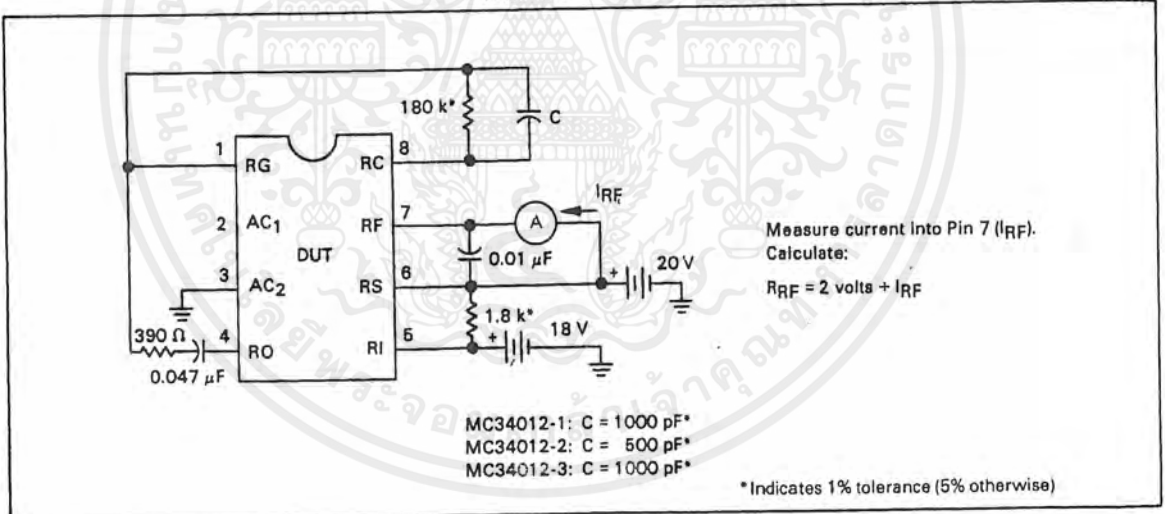


FIGURE 6 — TEST FIVE



Features

- Complete DTMF Receiver
- Low power consumption
- Internal gain setting amplifier
- Adjustable guard time
- Central office quality
- Power-down mode
- Inhibit mode
- Backward compatible with MT8870C/MT8870C-1

ISSUE 5

March 1997

Ordering Information

MT8870DE/DE-1	18 Pin Plastic DIP
MT8870DS/DS-1	18 Pin SOIC
MT8870DN/DN-1	20 Pin SSOP
-40 °C to +85 °C	

Description

The MT8870D/MT8870D-1 is a complete DTMF receiver integrating both the bandsplit filter and digital decoder functions. The filter section uses switched capacitor techniques for high and low group filters; the decoder uses digital counting techniques to detect and decode all 16 DTMF tone-pairs into a 4-bit code. External component count is minimized by on chip provision of a differential input amplifier, clock oscillator and latched three-state bus interface.

Applications

- Receiver system for British Telecom (BT) or CEPT Spec (MT8870D-1)
- Paging systems
- Repeater systems/mobile radio
- Credit card systems
- Remote control
- Personal computers
- Telephone answering machine

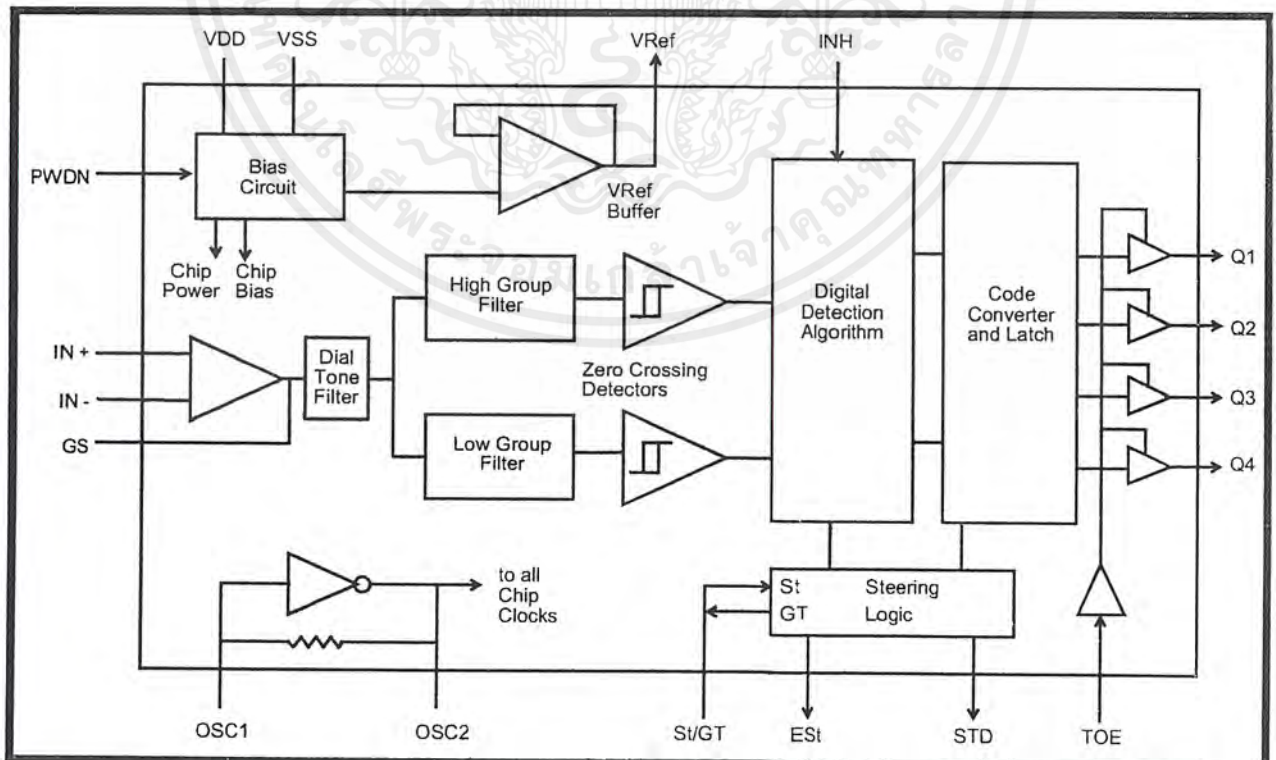


Figure 1 - Functional Block Diagram

Absolute Maximum Ratings (TA = 25°C)

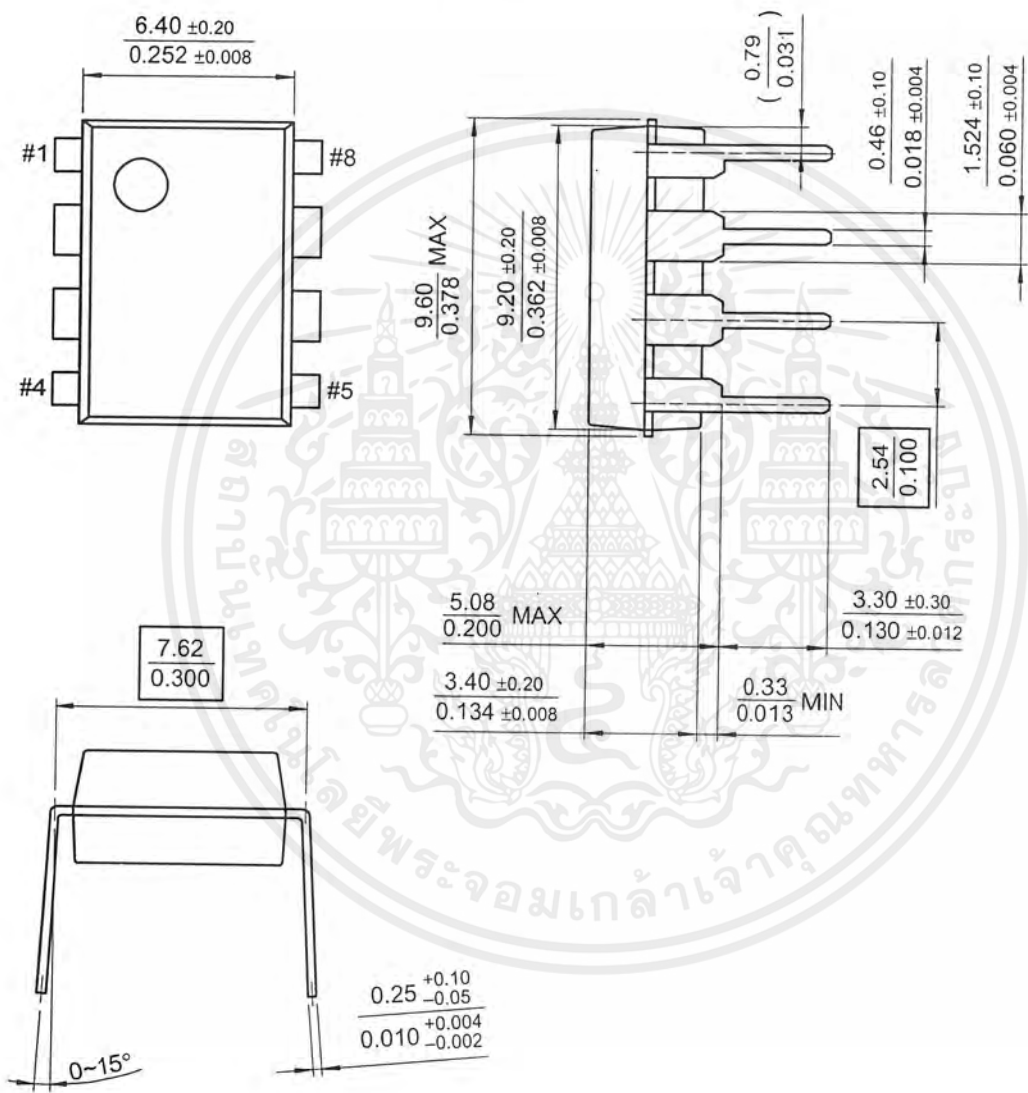
Parameter	Symbol	Value	Unit
Supply Voltage	VCC	16	V
Lead Temperature (soldering 10sec)	TLEAD	300	°C
Power Dissipation	PD	600	mW
Operating Temperature Range LM555/NE555	TOPR	0 ~+ 70	°C
Storage Temperature Range	TSTG	- 65 ~ + 150	°C



Mechanical Dimensions

Package

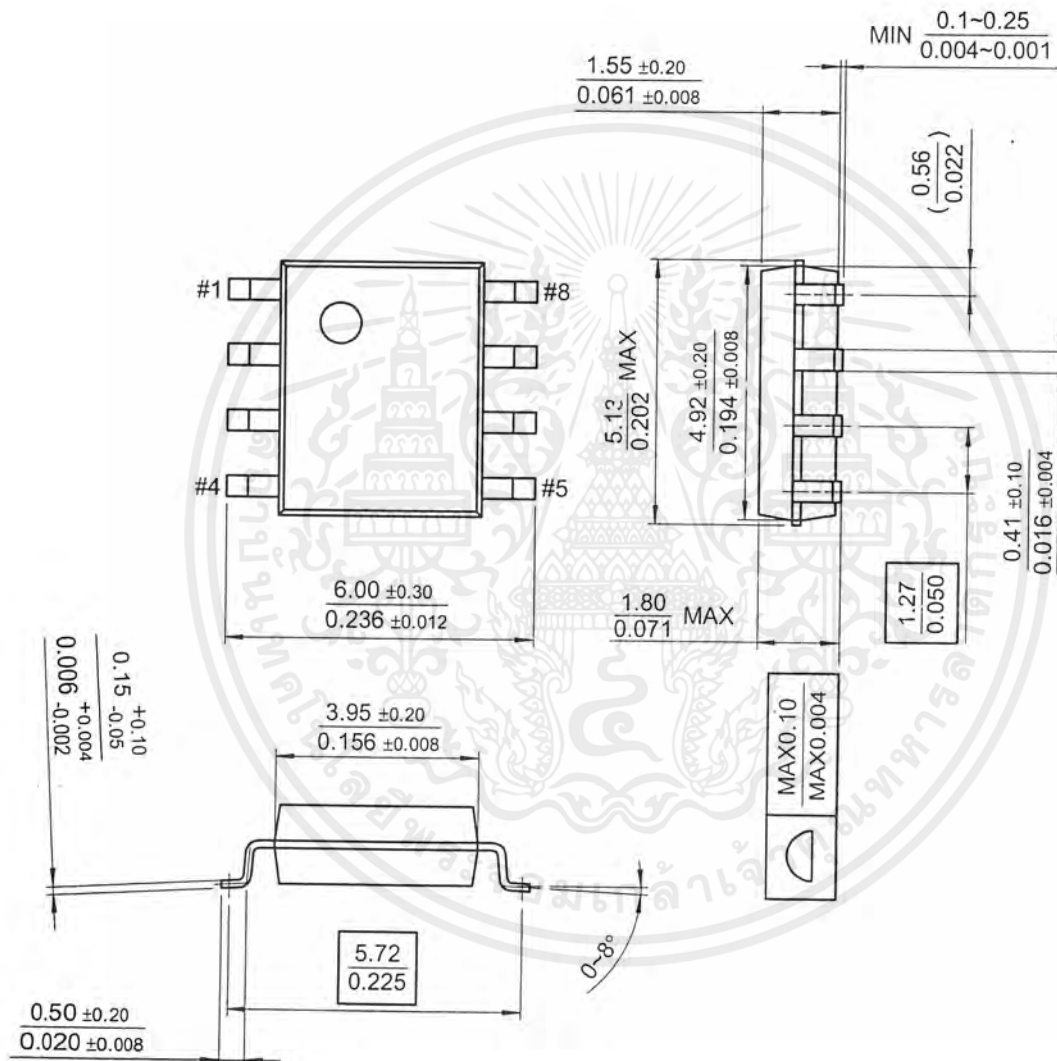
8-DIP



Mechanical Dimensions (Continued)

Package

8-SOP



Ordering Information

Product Number	Package	Operating Temperature
LM555CN	8-DIP	0 ~ +70°C
LM555CM	8-SOP	

Product Number	Package	Operating Temperature
NE555N	8-DIP	0 ~ +70°C





LIFE SUPPORT POLICY

FAIRCHILD'S PRODUCTS ARE NOT AUTHORIZED FOR USE AS CRITICAL COMPONENTS IN LIFE SUPPORT DEVICES OR SYSTEMS WITHOUT THE EXPRESS WRITTEN APPROVAL OF THE PRESIDENT OF FAIRCHILD SEMICONDUCTOR INTERNATIONAL. As used herein:

1. Life support devices or systems are devices or systems which, (a) are intended for surgical implant into the body, or (b) support or sustain life, and (c) whose failure to perform when properly used in accordance with instructions for use provided in the labeling, can be reasonably expected to result in a significant injury of the user.
2. A critical component in any component of a life support device or system whose failure to perform can be reasonably expected to cause the failure of the life support device or system, or to affect its safety or effectiveness.

8255A FUNCTIONAL DESCRIPTION

General

The 8255A is a programmable peripheral interface (PPI) device designed for use in Intel microcomputer systems. Its function is that of a general purposes I/O component to Interface peripheral equipment to the microcomputer system bus. The functional configuration of the 8255A is programmed by the systems software so that normally no external logic is necessary to interface peripheral devices or structures.

Data Bus Buffer

This 3-state bi-directional 8-bit buffer is used to interface the 8255A to the systems data bus. Data is transmitted or received by the buffer upon execution of input or output instructions by the CPU. Control words and status information are also transferred through the data bus buffer.

Read/Write and Control Logic

The function of this block is to manage all of the Internal and External transfers of both Data and Control or Status words. It accepts inputs from the CPU Address and Control bus and in turn, issues commands to both of the Control Groups.

(CS)

Chip Select. A “low” on this input pin enables the communication between the 8255A, and the CPU.

(RD)

Read. A “low” on this Input pin enables the 8255A to send the data or status information to the CPU on the data bus. In essence, it allows the CPU to “read from the 8255A.

(WR)

Write. A. “ low” on the input pin enables the CPU to write data or control words into the 8255A.

(A0 and A1)

Port Select 0 and Port Select 1. The Input signals, in conjunction with the RD and WR Inputs, controls the selection of one of the three ports or the control word registers. They are normally connected to the least significant bits of the address bus (A0 and A1).

8255A BASIC OPERATION

A ₁	A ₀	$\overline{\text{RD}}$	$\overline{\text{WR}}$	$\overline{\text{CS}}$	INPUT OPERATION (READ)
0	0	0	1	0	PORT A – DATA BUS
0	1	0	1	0	PORT B – DATA BUS
1	0	0	1	0	PORT C – DATA BUS
					OUTPUT OPERATION (WRITE)
0	0	1	0	0	DATA BUS – PORT A
0	1	1	0	0	DATA BUS -- PORT B
1	0	1	0	0	DATA BUS – PORT C
1	1	1	0	0	DATA BUS – CONTROL
					DISABLE FUNCTION
X	X	X	X	1	DATA BUS – 3 STATE
1	1	0	1	0	ILLEGAL CONDITION
X	X	1	1	0	DATA BUS – 3 STATE

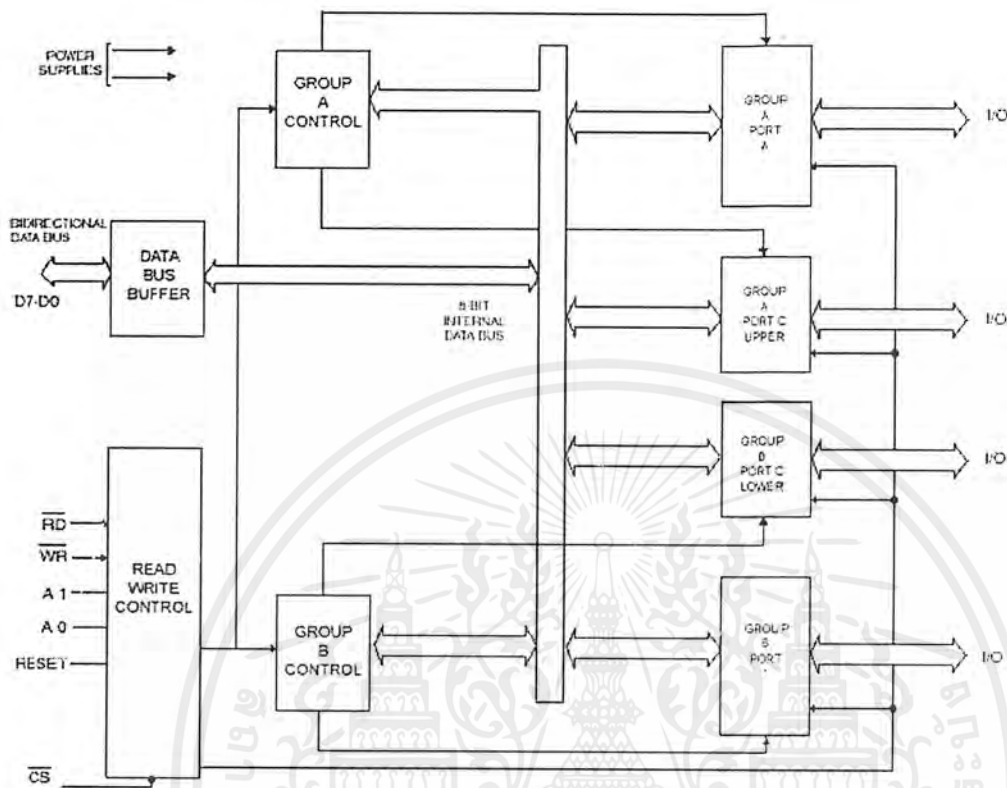


Figure 3. 8255 A Block Diagram Showing Data Bus Buffer and Read/Write Control Logic Functions

(RESET)

Reset. A “high” on this Input clears the control register and all ports (A,B,C) are set to the Input mode.

Group A and Group B Controls

The functional configuration of each port is programmed by the systems software. In essence, the CPU “output” a control word to the 8255A. The control word contains information such as “mode”, bit set”, bit reset”, etc. that Initializes the functional configuration of the 8255A.

Each of the Control blocks (Group A and Group B) accepts commands from the Read/Write Control Logic, receives control words from the internal data bus and issues the proper commands to its associated ports.

Control Group A – Port A and Port C upper (C7 C4)

Control Group B – Port B and Port C lower (C3 C0)

The Control Word Register can only be written into. No.

Read operation of the Control Word Register is allowed.

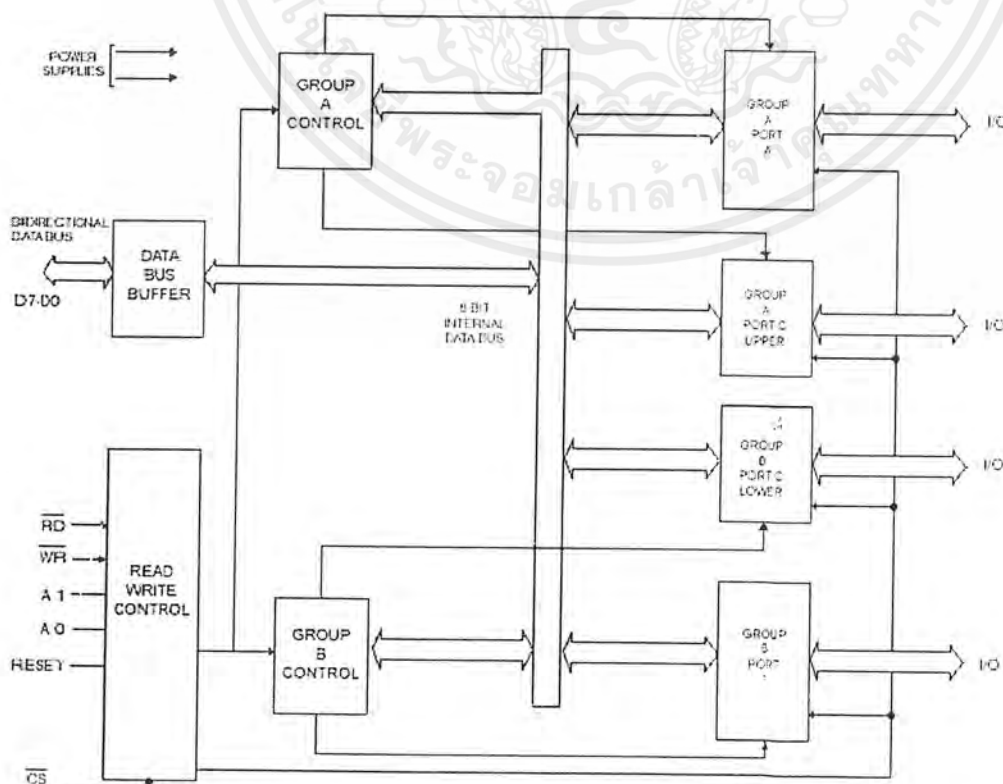
Ports A, B, and C.

The 8255A contains three 8-bit ports (A, B, and C). All can be configured in a wide variety of functional characteristics by the system software but each has its own special features or personally to further enhance the power and flexibility of the 8255A.

Port A. One 8 bit data output latch/buffer and one 8-bit data input latch.

Port B. One 8-bit data output latch/buffer and one 8-bit data input buffer.

Port C. One 8-bit data output latch/buffer and one 8-bit data input buffer (no latch for input). This port can be divided into two 4-bit ports under the mode control. Each 4-bit port contains a 4-bit latch and it can be used for the controls signal outputs and status signal inputs in conjunction with ports A and B.



PIN CONFIGURATION



D ₇ – D ₀	DATA BUS DIRECTIONAL
RESET	RESET INPUT
CS	CHIP SELECT
RD	READ INPUT
WR	WRITE INPUT
A ₀ – A ₁	PORT ADDRESS
PA 7 PA 0	PORT A (BIT)
PB 7 PB 0	PORT B (BIT)
PC 7 PC 0	PORT C (BIT)
V _{cc}	5 VOLTS
GND	0 VOLTS

8255A OPERATIONAL DESCRIPTION

Mode Selection

There are three basic modes of operation that can be selected by the systems software:

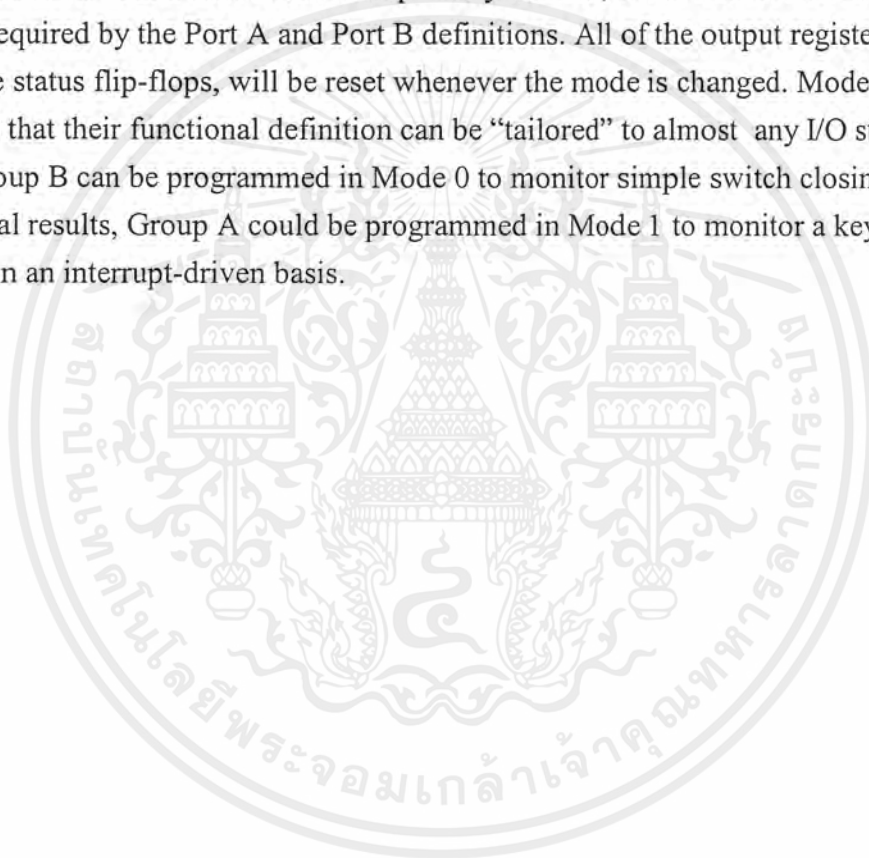
Mode 0 – Basic Input/Output

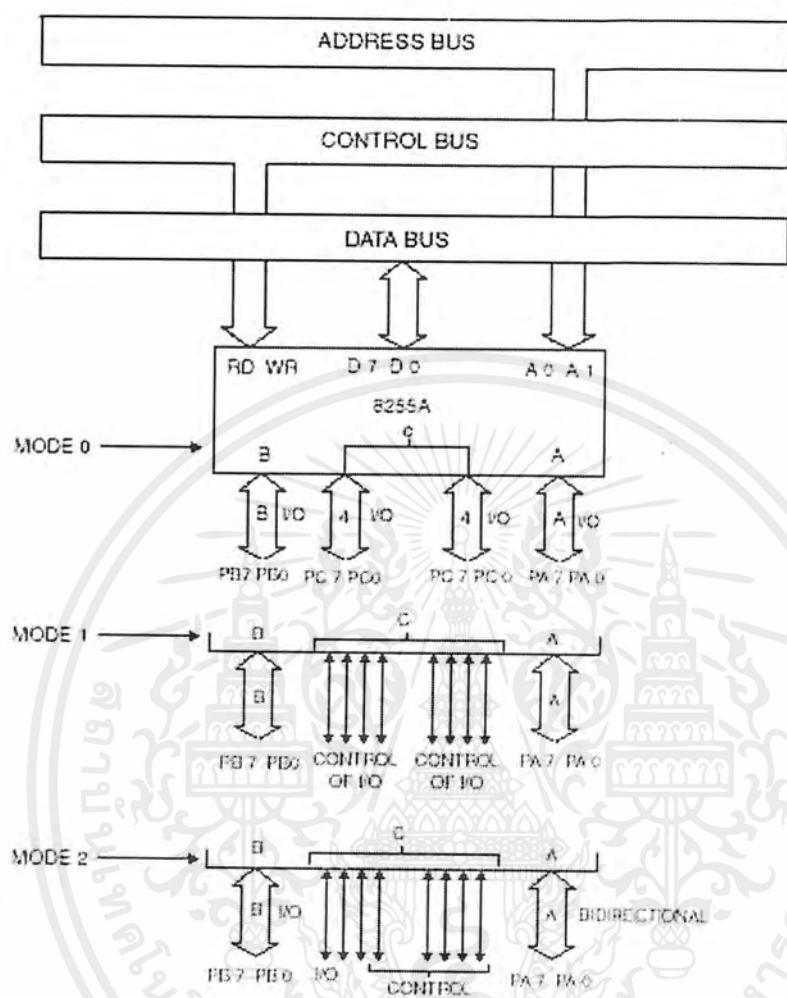
Mode 1 – Strobed Input/Output

Mode 2 – Bi-Directional Bus

When the reset Input goes “high” all ports will be set to the Input mode (i.e., all 24 lines will be in the high Impedance state). After the reset is removed the 8255A can remain in the input mode with no additional Initialization required. During the execution of the systems program any of the other modes may be selected using a single output Instruction. This allows a single 8255A to service a variety of peripheral devices with a simple software maintenance routine.

The modes for Ports A and Port B can be separately defined, while Port C is divided into two portions as required by the Port A and Port B definitions. All of the output registers, including the status flip-flops, will be reset whenever the mode is changed. Modes may be combined so that their functional definition can be “tailored” to almost any I/O structure. For instance; Group B can be programmed in Mode 0 to monitor simple switch closing or display computational results, Group A could be programmed in Mode 1 to monitor a keyboard or tape reader on an interrupt-driven basis.





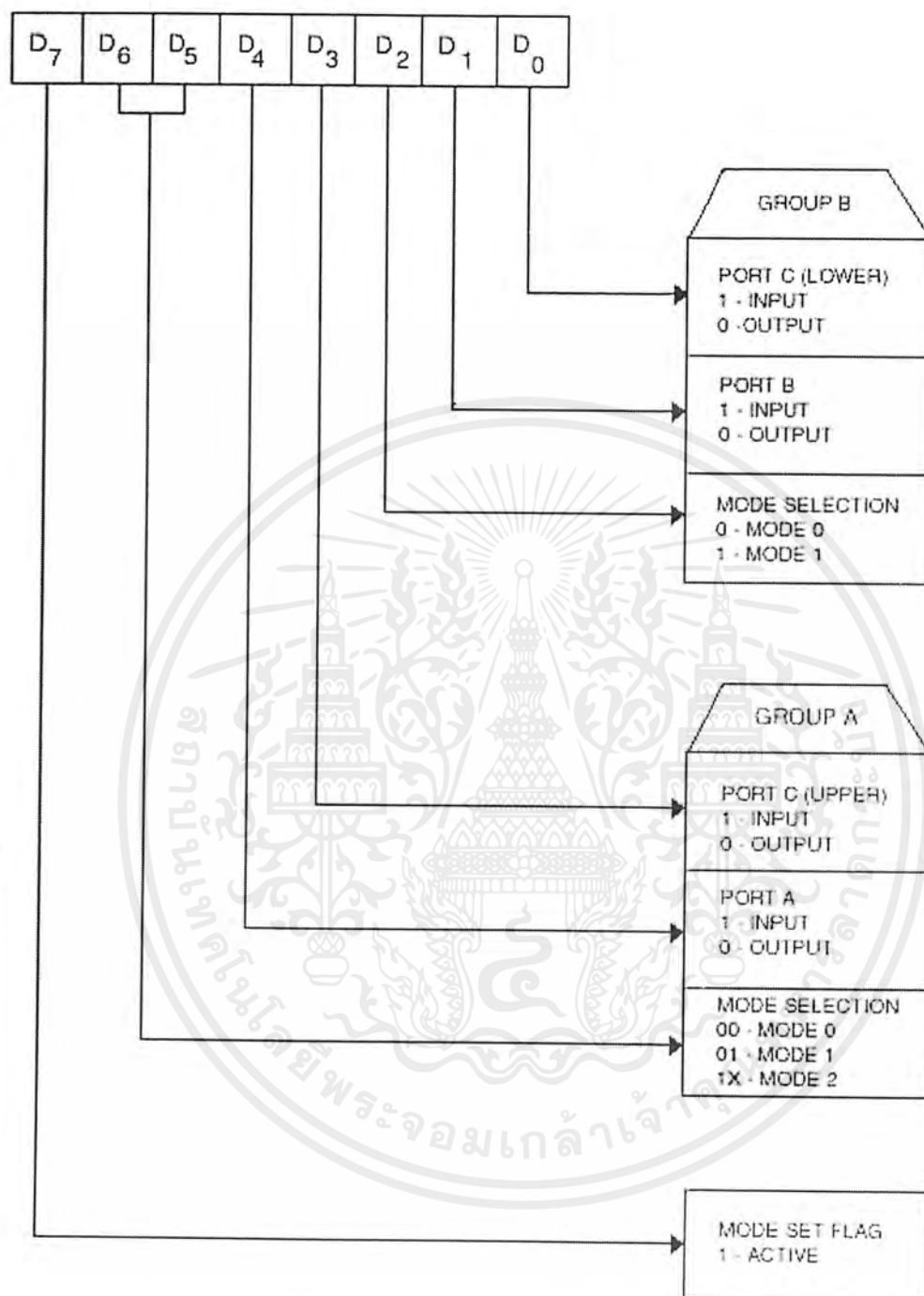


Figure 6. Mode Definition Format

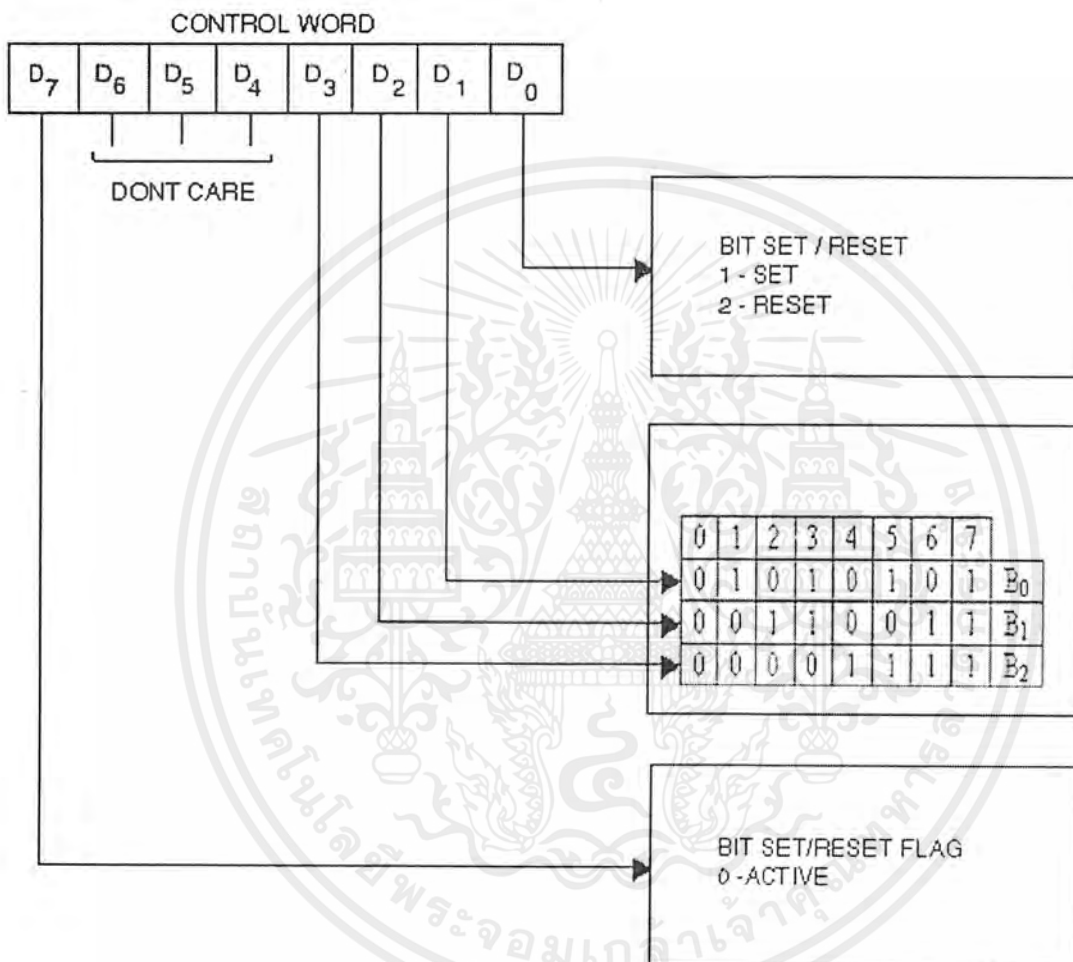
The Mode definitions and possible mode combinations may seem confusing at first but after a cursory review of the complete device operation a simple , logical I/O approach will surface. The design of the 8255A has taken into account things such as efficient PC board layout,

control signal definition vs PC layout and complete functional flexibility to support almost any peripheral device with no use of the available pins.



Single Bit Set/Reset Feature

Any of the eight bits of Port C can be Set or Reset using a single OUT put Instruction. This feature reduces software requirements in Control-based applications.



When Port C is being used as status/control for Port A or B these Bits can be set or reset by using the Bit set/reset operation just as if they were data output port.

Interrupt Control Functions

When the 8255A is programmed to operate in mode 1 or mode 2, control signals are provided that can be used as interrupt request input to the CPU. The interrupt request signal generated from port C, can be inhibited or enabled by setting or resetting the associated INTE flip-flop, using the bit set/reset function of port C.

This function allows the Programmer to disallow or allow a specific I/O device to interrupt the CPU without affecting any other device in the interrupt structure.

INTE flip-flop definition

(BIT-SET) – INTE is SET – Interrupt enable

(BIT-RESET) – INTE is RESET – Interrupt disable

Note: All Mask flip-flops are automatically reset during mode selection and device reset.

Operating Modes

Mode 0 (Basic Input/Output). This functional configuration provides simple input operations for each of the three ports. No “handshaking” is required data is simply written to or read from a specified port.

Mode 0 Basic Functional Definitions:

- Two 8-bit ports and two 4-bit port
- Any port can be input or output.
- Outputs are not latched.
- Inputs are not latched.
- 16 different Input/output configurations are not possible in this Mode.

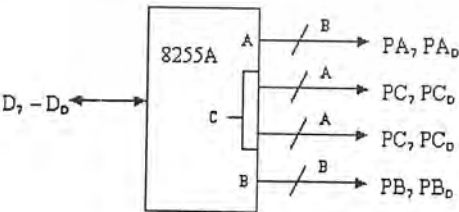
A		B		GROUP A			GROUP B	
D4	D3	D2	D1	PORT A	PORT C (UPPER)	#	PORT B	PORT C (LOWER)
0	0	0	0	OUTPUT	OUTPUT	0	OUTPUT	OUTPUT
0	0	0	1	OUTPUT	OUTPUT	1	OUTPUT	INPUT
0	0	1	0	OUTPUT	OUTPUT	2	INPUT	OUTPUT
0	0	1	1	OUTPUT	OUTPUT	3	INPUT	INPUT
0	1	0	0	OUTPUT	INPUT	4	OUTPUT	OUTPUT
0	1	0	1	OUTPUT	INPUT	5	OUTPUT	INPUT
0	1	1	0	OUTPUT	INPUT	6	INPUT	OUTPUT
0	1	1	1	OUTPUT	INPUT	7	INPUT	INPUT
1	0	0	0	INPUT	OUTPUT	8	OUTPUT	OUTPUT
1	0	0	1	INPUT	OUTPUT	9	OUTPUT	INPUT
1	0	1	0	INPUT	OUTPUT	10	INPUT	OUTPUT
1	0	1	1	INPUT	OUTPUT	11	INPUT	INPUT
1	1	0	0	INPUT	INPUT	12	OUTPUT	OUTPUT
1	1	0	1	INPUT	INPUT	13	OUTPUT	INPUT
1	1	1	0	INPUT	INPUT	14	INPUT	OUTPUT
1	1	1	1	INPUT	INPUT	15	INPUT	INPUT

Mode 0 Configuration

CONTROL WORD = 0

D₇ D₆ D₅ D₄ D₃ D₂ D₁ D₀

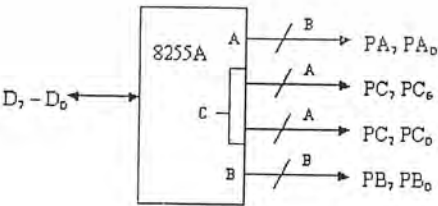
1	0	0	0	0	0	0	0
---	---	---	---	---	---	---	---



CONTROL WORD = 1

D₇ D₆ D₅ D₄ D₃ D₂ D₁ D₀

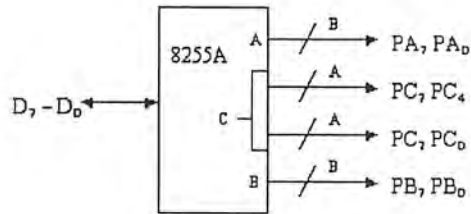
1	0	0	0	0	0	0	1
---	---	---	---	---	---	---	---



CONTROL WORD = 2

D_7 D_6 D_5 D_4 D_3 D_2 D_1 D_0

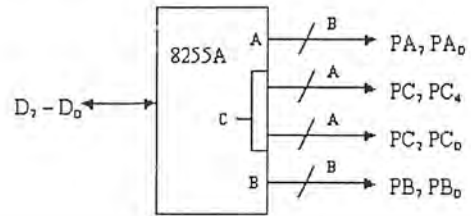
1	0	0	0	0	0	1	0
---	---	---	---	---	---	---	---



CONTROL WORD = 3

D_7 D_6 D_5 D_4 D_3 D_2 D_1 D_0

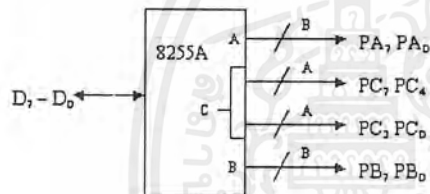
1	0	0	0	0	0	1	1
---	---	---	---	---	---	---	---



CONTROL WORD = 4

D_7 D_6 D_5 D_4 D_3 D_2 D_1 D_0

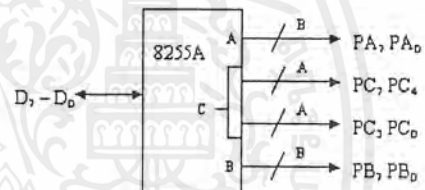
1	0	0	0	1	0	0	0
---	---	---	---	---	---	---	---



CONTROL WORD = 5

D_7 D_6 D_5 D_4 D_3 D_2 D_1 D_0

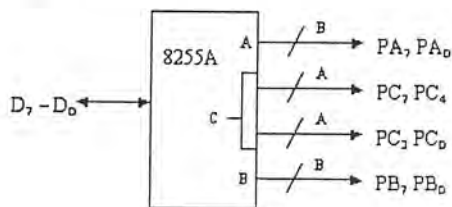
1	0	0	0	1	0	0	1
---	---	---	---	---	---	---	---



CONTROL WORD = 6

D_7 D_6 D_5 D_4 D_3 D_2 D_1 D_0

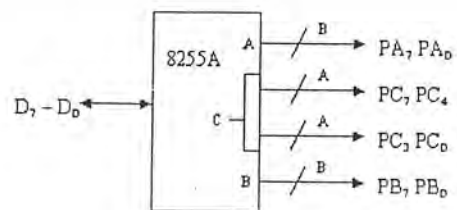
1	0	0	0	1	0	1	0
---	---	---	---	---	---	---	---



CONTROL WORD = 7

D_7 D_6 D_5 D_4 D_3 D_2 D_1 D_0

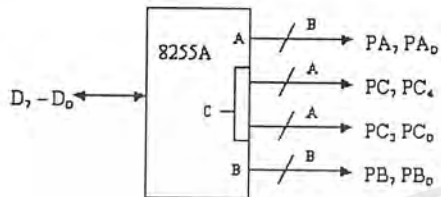
1	0	0	0	1	0	1	1
---	---	---	---	---	---	---	---



CONTROL WORD = 8

$D_7, D_6, D_5, D_4, D_3, D_2, D_1, D_0$

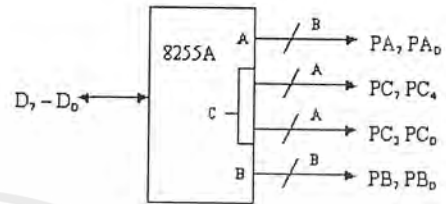
1	0	0	1	0	0	0	0
---	---	---	---	---	---	---	---



CONTROL WORD = 9

$D_7, D_6, D_5, D_4, D_3, D_2, D_1, D_0$

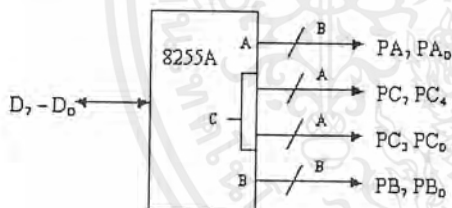
1	0	0	1	0	0	0	1
---	---	---	---	---	---	---	---



CONTROL WORD = 10

$D_7, D_6, D_5, D_4, D_3, D_2, D_1, D_0$

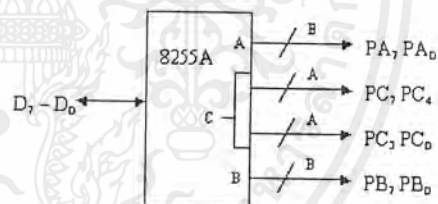
1	0	0	1	0	0	0	1
---	---	---	---	---	---	---	---



CONTROL WORD = 11

$D_7, D_6, D_5, D_4, D_3, D_2, D_1, D_0$

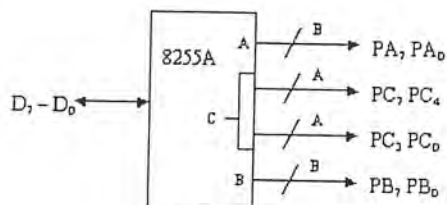
1	0	0	1	0	0	1	1
---	---	---	---	---	---	---	---



CONTROL WORD = 12

$D_7, D_6, D_5, D_4, D_3, D_2, D_1, D_0$

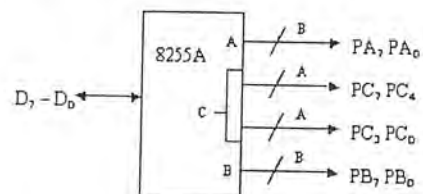
1	0	0	1	1	0	0	0
---	---	---	---	---	---	---	---



CONTROL WORD = 13

$D_7, D_6, D_5, D_4, D_3, D_2, D_1, D_0$

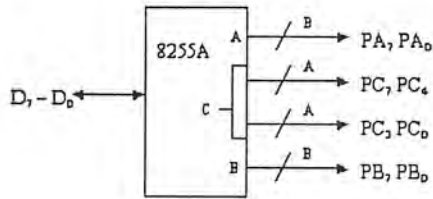
1	0	0	1	1	0	0	1
---	---	---	---	---	---	---	---



CONTROL WORD = 14

D₇ D₆ D₅ D₄ D₃ D₂ D₁ D₀

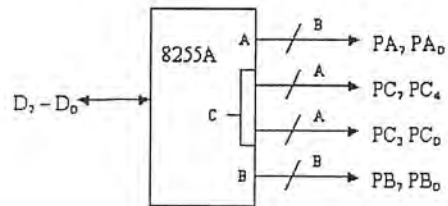
1	0	0	1	1	0	1	0
---	---	---	---	---	---	---	---



CONTROL WORD = 15

D₇ D₆ D₅ D₄ D₃ D₂ D₁ D₀

1	0	0	1	1	0	1	1
---	---	---	---	---	---	---	---



Operating Modes

MODE 1 (Strobed Input/Output). This functional configuration provides a means for transferring I/O data to or from a specified port in conjunction with strobes or “handshaking” signals. In mode 1, port A and Port B use the lines on port C to generate or accept these “handshaking” signals.

Mode 1 Basic Functional Definitions:

- Two groups (Group A and Group B)
- Each group contains one 8-bit data port and one 4-bit control/data port.
- The 8-bit data port can be either Inputs or output
Both inputs and outputs are latched.
- The 4-bit port is used for control and status of the 8-bit data port.

Input Control Signal Definition

STB (Strobe Input). A “ low “ on the input loads data into the input latch.

IBF (Input Buffer Full F/F)

A “high” on this output indicates that the data has been loaded into the input latch. In essence, an acknowledgement.

IBF is set by STB input being low and is reset by the rising edge of the RD input.

INTR (Interrupt Request)

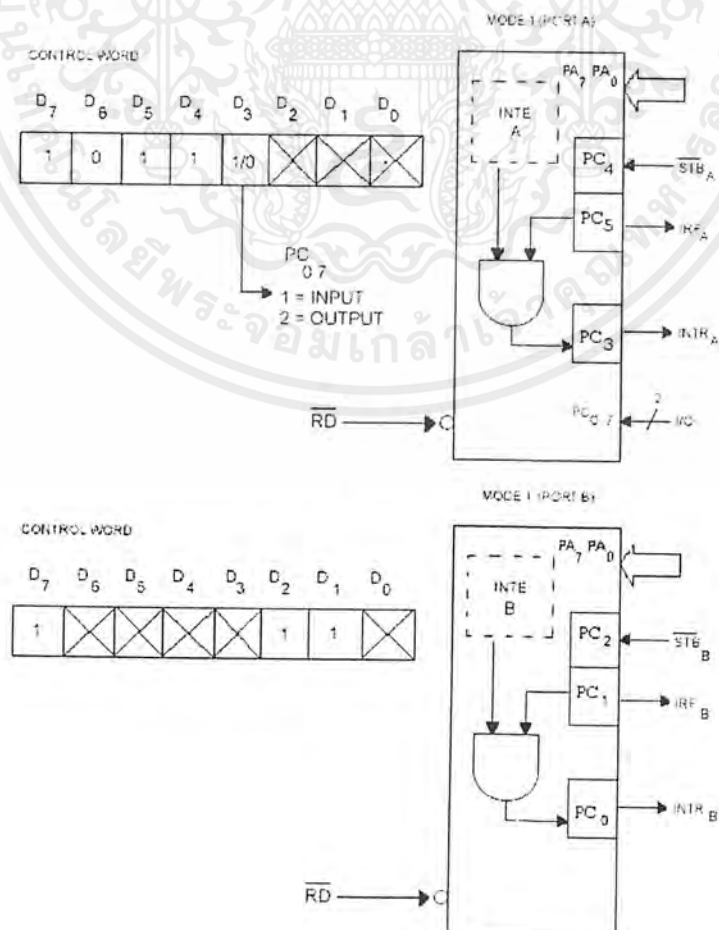
A “high” on this output can be used to interrupt the CPU when an input device is requesting service, INTR is set by the STB is a “one”, IBF is a “one “ and INTE is “one “. It is reset by the falling edge of RD. This procedure allows an input device to request service from the CPU by simply strobing its data into port.

INTE A

Controlled by bit set/reset of PC₄

INTE B

Controlled by set/reset PC₂



Output Control Signal Definition

OBF (Output Buffer Full F/F). The OBF output will go “low” to indicate that the CPU has written data out to the specified port. The OBF F/F will be set by rising edge of the WR input being low.

ACK (Acknowledge Input). A “low” on this input informs the 8255A that the data from port A or port B has been accepted. In essence, a response from the peripheral device indicating that it has received the data output by CPU.

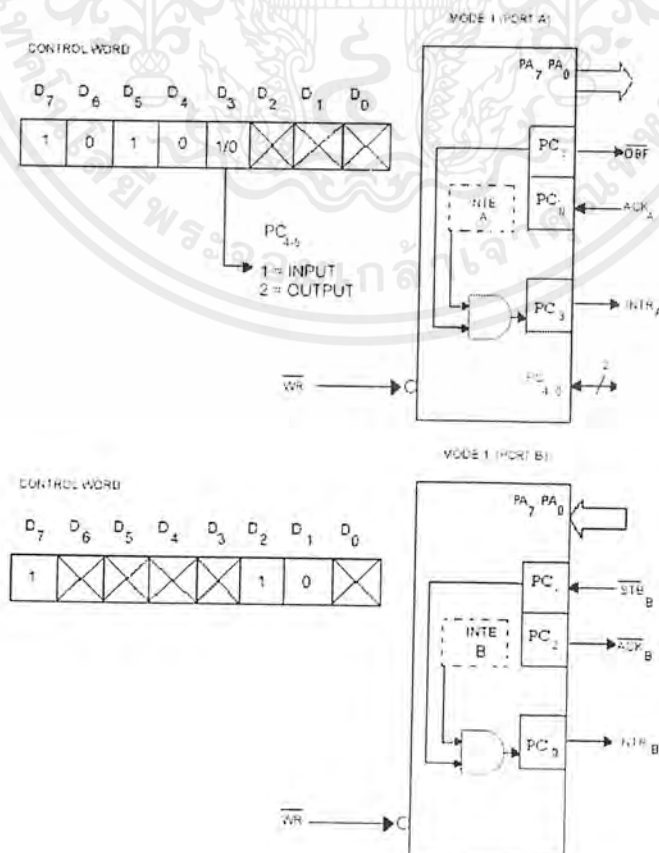
INTR (Interrupt Request). A “high” on the output can be used to interrupt the CPU when an output device has accepted data transmitted by the CPU. INTR is set when ACK is a “one”, OBF is a “one”, and INTE is a “one”. It is reset by the falling edge of WR.

INTE A

Controlled by bit set/reset of PC₆.

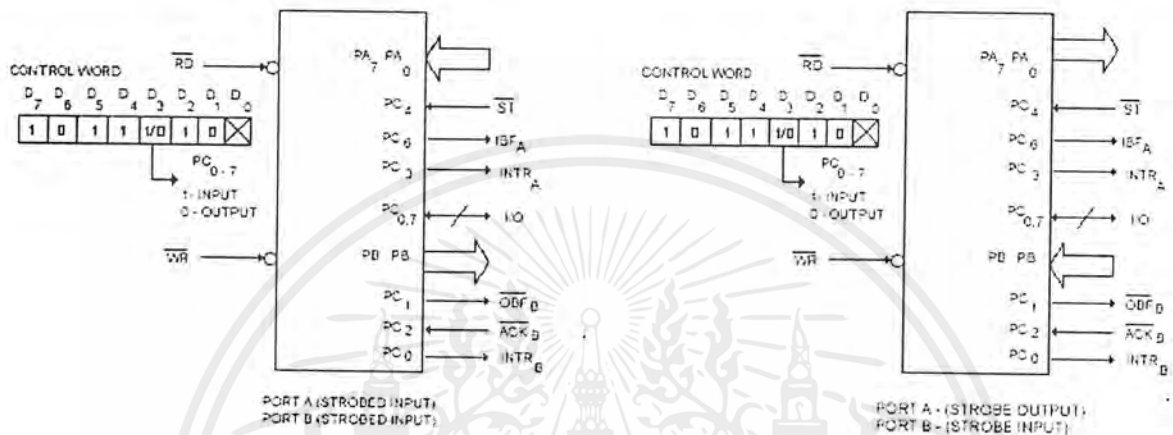
INTE B

Controlled by bit set/reset of PC₂.



Combination of MODE 1

Port A and B can be Individually defined as Input or output in Mode 1 to support a wide variety of strobed I/O application.



Operating Mode

Mode 2 (Strobed Bidirectional Bus I/O). This functional configuration provides a means for communicating with a peripheral device or structure on a single 8-bit bus for both transmitting and receiving data (bi-directional bus I/O). "Handshaking" signals are provided to maintain proper bus flow discipline in a similar manner to MODE.

1. Interrupt generation and enable/disable functions are also available.

MODE 2 Basic Functional Definitions:

- Used in Group A only.
- One 8-bit, bi-directional bus Port (Port A) and a 5-bit control Port (Port C).
- Both Inputs and Outputs are latched.
- The 5-bit control port (Port C) is used for control and status for the 8-bit, bi-directional bus port (Port A).

Bi-directional Bus I/O Control Signal Definition

INTR (Interrupt Request). A high on this output can be used to interrupt the CPU for both input or output operations.

Output Operations

OBF (Output Buffer Full). The OBF output will go “low” to indicate that the CPU has written data out to port A.

ACK (Acknowledge). A “low” on this input enables the tri-state output buffer of port A to send out the data. Otherwise, the output buffer will be in the high impedance state.

INTE 1 (The INTE Flip-Flop Associated with OBF). Controlled by bit set/reset of PC6

Input Operations

STB (Strobe Interrupt)

STB (Strobed Input). A “low” on this input loads data into the input latch.

IBF (Input Buffer Full F/F). A “high” on this output indicates that data has been loaded into the input latch.

INTE 2 (The INTE Flip-Flop Associated with IBF). Controlled by bit set/reset of PC4.

Mode Definition Summary

MODE 0			MODE 1		MODE 2	
	IN	OUT	IN	OUT	GROUP A ONLY	
PA ₀	IN→	OUT	IN	OUT		
PA ₁	IN→	OUT	IN	OUT		
PA ₂	IN→	OUT	IN	OUT		
PA ₃	IN→	OUT	IN	OUT		
PA ₄	IN→	OUT	IN	OUT		
PA ₅	IN→	OUT	IN	OUT		
PA ₆	IN→	OUT	IN	OUT		
PA ₇	IN→	OUT	IN	OUT		
PB ₀	IN	OUT	IN	OUT		
PB ₁	IN	OUT	IN	OUT		
PB ₂	IN	OUT	IN	OUT		
PB ₃	IN	OUT	IN	OUT		
PB ₄	IN	OUT	IN	OUT		
PB ₅	IN	OUT	IN	OUT		
PB ₆	IN	OUT	IN	OUT		
PB ₇	IN	OUT	IN	OUT		
PC ₀	IN	OUT	INTR _B	INTR _B	I/O	
PC ₁	IN	OUT	IBF _B	OBF _B	I/O	
PC ₂	IN	OUT	STB _B	ACK _B	I/O	
PC ₃	IN	OUT	INTR _A	INTR _A	INTR _A	
PC ₄	IN	OUT	STB _A	I/O	STB _A	
PC ₅	IN	OUT	IBF _A	I/O	IBF _A	
PC ₆	IN	OUT	I/O	ACK _A	ACK _A	
PC ₇	IN	OUT	I/O	CBF _A	OBF _A	

Special Mode Combination Considerations

There are several combinations or modes when not all of the bits in Port C are used for control or status. The remaining bits can be used as follows:

If Programmed as Inputs-

All input lines can be accessed during a normal Port C read.

If programmed as Outputs-

Bits in C upper (PC7-PC4) must be individually accessed using the bit set/reset function.

Bits in C lower (PC3_Pco) can be accessed using the bit set/reset function or accessed as a threesome by writing into Port C.

Source Current Capability on Port B and Port C

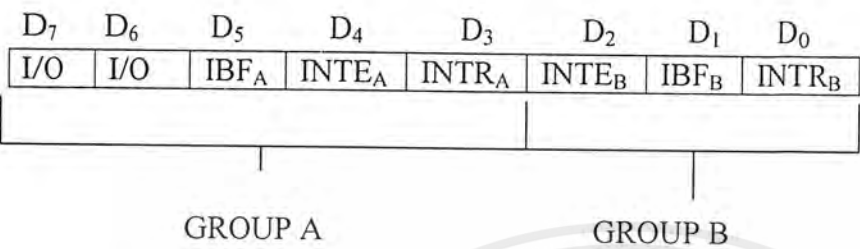
Any set of eight output buffers, selected randomly from Ports B and Ports C can source 1mA at 1.5volts. This feature allows the 8255A to directly drive Darlington type drivers and high-voltage displays that require such source current.

Reading Port C Status

In Mode O, Port C transfers data to or from the peripheral device. When the 8255 is programmed to function in Modes 1 or 2, Port C generates or accepts “hand shaking” signals with the peripheral device. Reading the contents of Port C allows the programmer to test or verify the “status” of each peripheral device and change the program flow accordingly. There is no special instruction to read the status information from Port C. A normal read operation of Port C is executed to perform this function.

Figure 17. MODE 1 STATUS WORD FORMAT

INPUT CONFIGURATION



OUTPUT CONFIGURATION

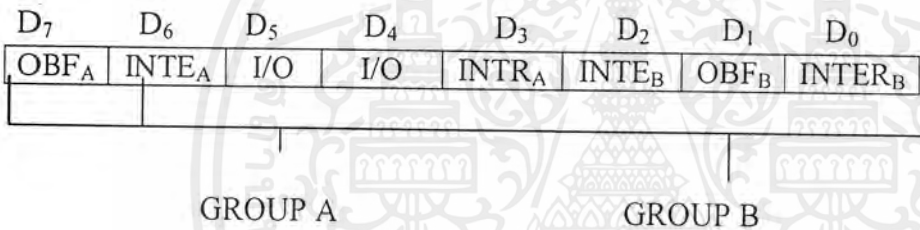
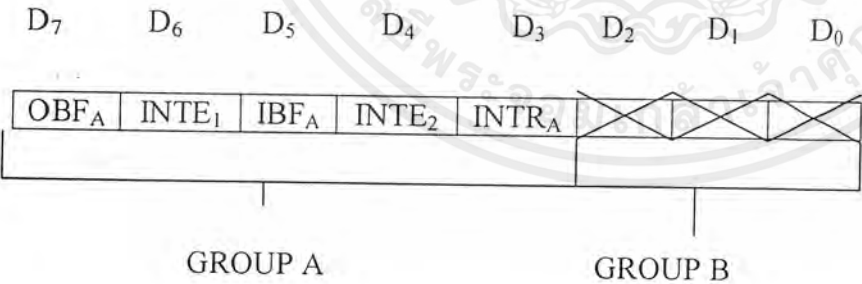


Figure 18. Mode 2 Status Word Format



DEFINE BY MODE 0 MODE 1 SELECTION

Functional Description

The MT8870D/MT8870D-1 monolithic DTMF receiver offers small size, low power consumption and high performance. Its architecture consists of a bandsplit filter section, which separates the high and low group tones, followed by a digital counting section which verifies the frequency and duration of the received tones before passing the corresponding code to the output bus.

Filter Section

Separation of the low-group and high group tones is achieved by applying the DTMF signal to the inputs of two sixth-order switched capacitor bandpass filters, the bandwidths of which correspond to the low and high group frequencies. The filter section also incorporates notches at 350 and 440 Hz for exceptional dial tone rejection (see Figure 3). Each filter output is followed by a single order switched capacitor filter section which smooths the signals prior to limiting. Limiting is performed by high-gain comparators which are provided with hysteresis to prevent detection of unwanted low-level signals. The outputs of the comparators provide full rail logic swings at the frequencies of the incoming DTMF signals.

Decoder Section

Following the filter section is a decoder employing digital counting techniques to determine the frequencies of the incoming tones and to verify that they correspond to standard DTMF frequencies. A complex averaging algorithm protects against tone simulation by extraneous signals such as voice while

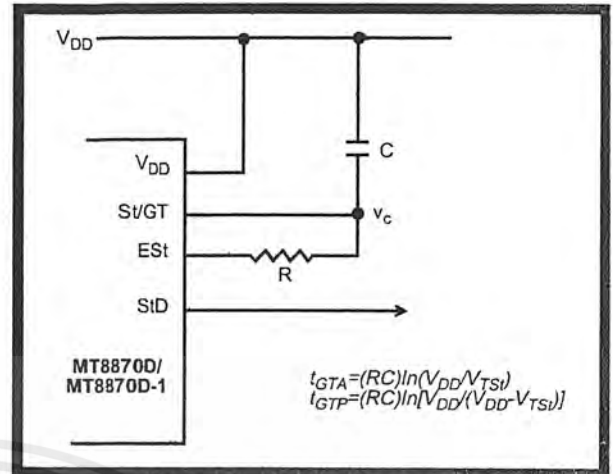


Figure 4 - Basic Steering Circuit

providing tolerance to small frequency deviations and variations. This averaging algorithm has been developed to ensure an optimum combination of immunity to talk-off and tolerance to the presence of interfering frequencies (third tones) and noise. When the detector recognizes the presence of two valid tones (this is referred to as the "signal condition" in some industry specifications) the "Early Steering" (EST) output will go to an active state. Any subsequent loss of signal condition will cause EST to assume an inactive state (see "Steering Circuit").

Steering Circuit

Before registration of a decoded tone pair, the receiver checks for a valid signal duration (referred to as character recognition condition). This check is performed by an external RC time constant driven by EST. A logic high on EST causes v_C (see Figure 4) to rise as the capacitor discharges. Provided signal

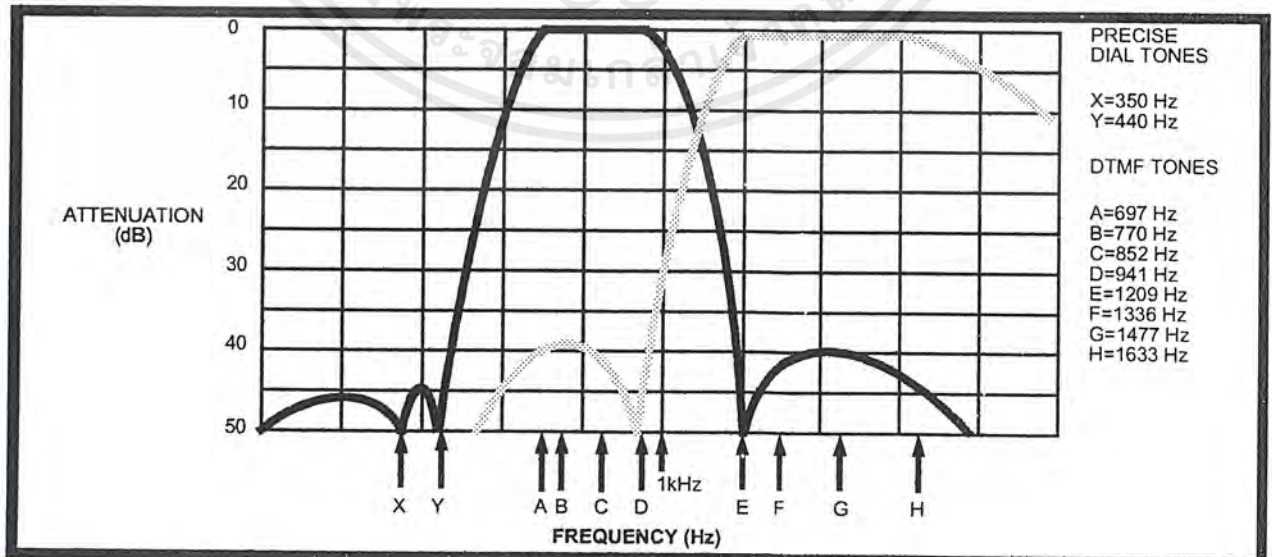


Figure 3 - Filter Response

condition is maintained (ESt remains high) for the validation period (t_{GTP}). v_c reaches the threshold (V_{TSI}) of the steering logic to register the tone pair, latching its corresponding 4-bit code (see Table 1) into the output latch. At this point the GT output is activated and drives v_c to V_{DD} . GT continues to drive high as long as ESt remains high. Finally, after a short delay to allow the output latch to settle, the delayed steering output flag (StD) goes high, signalling that a received tone pair has been registered. The contents of the output latch are made available on the 4-bit output bus by raising the three state control input (TOE) to a logic high. The steering circuit works in reverse to validate the interdigit pause between signals. Thus, as well as rejecting signals too short to be considered valid, the receiver will tolerate signal interruptions (dropout) too short to be considered a valid pause. This facility, together with the capability of selecting the steering time constants externally, allows the designer to tailor performance to meet a wide variety of system requirements.

Guard Time Adjustment

In many situations not requiring selection of tone duration and interdigital pause, the simple steering circuit shown in Figure 4 is applicable. Component values are chosen according to the formula:

$$t_{REC} = t_{DP} + t_{GTP}$$
$$t_{ID} = t_{DA} + t_{GTA}$$

The value of t_{DP} is a device parameter (see Figure 11) and t_{REC} is the minimum signal duration to be recognized by the receiver. A value for C of 0.1 μF is

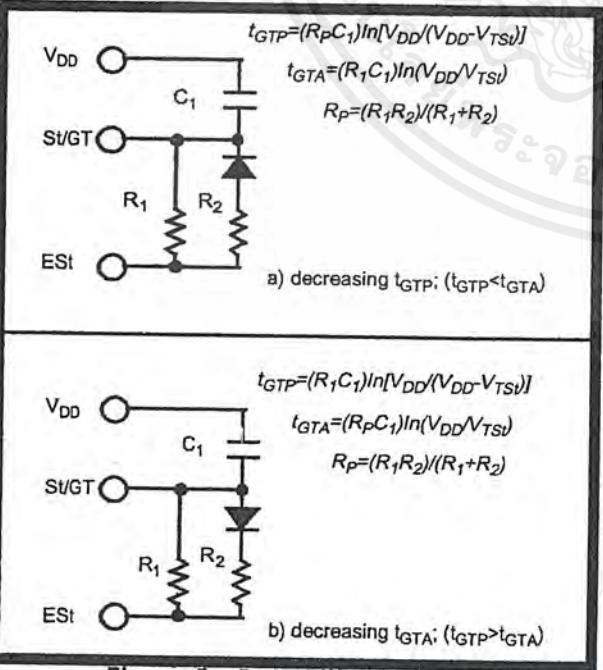


Figure 5 - Guard Time Adjustment

Digit	TOE	INH	ESt	Q ₄	Q ₃	Q ₂	Q ₁
ANY	L	X	H	Z	Z	Z	Z
1	H	X	H	0	0	0	1
2	H	X	H	0	0	1	0
3	H	X	H	0	0	1	1
4	H	X	H	0	1	0	0
5	H	X	H	0	1	0	1
6	H	X	H	0	1	1	0
7	H	X	H	0	1	1	1
8	H	X	H	1	0	0	0
9	H	X	H	1	0	0	1
0	H	X	H	1	0	1	0
*	H	X	H	1	0	1	1
#	H	X	H	1	1	0	0
A	H	L	H	1	1	0	1
B	H	L	H	1	1	1	0
C	H	L	H	1	1	1	1
D	H	L	H	0	0	0	0
A	H	H	L	undetected, the output code will remain the same as the previous detected code			
B	H	H	L				
C	H	H	L				
D	H	H	L				

Table 1. Functional Decode Table

L=LOGIC LOW, H=LOGIC HIGH, Z=HIGH IMPEDANCE
X = DON'T CARE

recommended for most applications, leaving R to be selected by the designer.

Different steering arrangements may be used to select independently the guard times for tone present (t_{GTP}) and tone absent (t_{GTA}). This may be necessary to meet system specifications which place both accept and reject limits on both tone duration and interdigital pause. Guard time adjustment also allows the designer to tailor system parameters such as talk off and noise immunity. Increasing t_{REC} improves talk-off performance since it reduces the probability that tones simulated by speech will maintain signal condition long enough to be registered. Alternatively, a relatively short t_{REC} with a long t_{DO} would be appropriate for extremely noisy environments where fast acquisition time and immunity to tone drop-outs are required. Design information for guard time adjustment is shown in Figure 5.

Power-down and Inhibit Mode

A logic high applied to pin 6 (PWDN) will power down the device to minimize the power consumption in a standby mode. It stops the oscillator and the functions of the filters.

Inhibit mode is enabled by a logic high input to the pin 5 (INH). It inhibits the detection of tones representing characters A, B, C, and D. The output code will remain the same as the previous detected code (see Table 1).

Differential Input Configuration

The input arrangement of the MT8870D/MT8870D-1 provides a differential-input operational amplifier as well as a bias source (V_{Ref}) which is used to bias the inputs at mid-rail. Provision is made for connection of a feedback resistor to the op-amp output (GS) for adjustment of gain. In a single-ended configuration, the input pins are connected as shown in Figure 10 with the op-amp connected for unity gain and V_{Ref} biasing the input at $\frac{1}{2}V_{DD}$. Figure 6 shows the differential configuration, which permits the adjustment of gain with the feedback resistor R_5 .

Crystal Oscillator

The internal clock circuit is completed with the addition of an external 3.579545 MHz crystal and is normally connected as shown in Figure 10 (Single-Ended Input Configuration). However, it is possible to configure several MT8870D/MT8870D-1 devices employing only a single oscillator crystal. The oscillator output of the first device in the chain is coupled through a 30 pF capacitor to the oscillator input (OSC1) of the next device. Subsequent devices are connected in a similar fashion. Refer to Figure 7 for details. The problems associated with unbalanced loading are not a concern with the arrangement shown, i.e., precision balancing capacitors are not required.

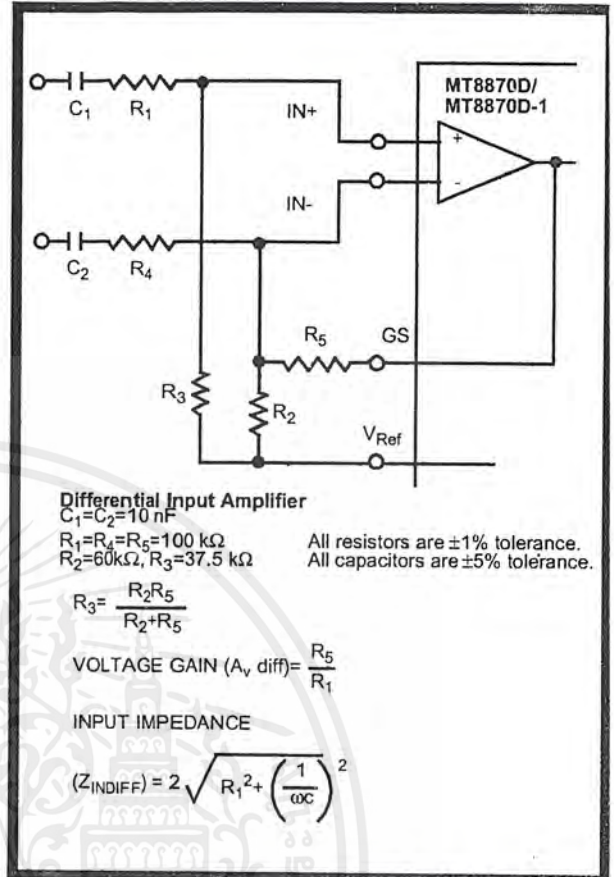


Figure 6 - Differential Input Configuration

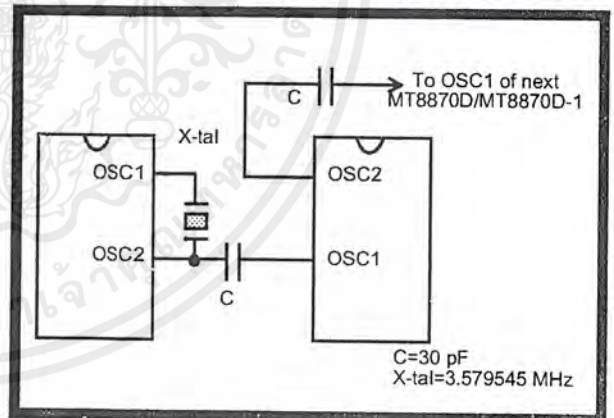


Figure 7 - Oscillator Connection

Parameter	Unit	Resonator
R1	Ohms	10.752
L1	mH	.432
C1	pF	4.984
C0	pF	37.915
Qm	-	896.37
Δf	%	$\pm 0.2\%$

Table 2. Recommended Resonator Specifications

Note: Qm=quality factor of RLC model, i.e., $1/211/R1C1$.

Applications

RECEIVER SYSTEM FOR BRITISH TELECOM
SPEC POR 1151

The circuit shown in Fig. 9 illustrates the use of MT8870D-1 device in a typical receiver system. BT Spec defines the input signals less than -34 dBm as the non-operate level. This condition can be attained by choosing a suitable values of R_1 and R_2 to provide 3 dB attenuation, such that -34 dBm input signal will correspond to -37 dBm at the gain setting pin GS of MT8870D-1. As shown in the diagram, the component values of R_3 and C_2 are the guard time requirements when the total component tolerance is 6%. For better performance, it is recommended to use the non-symmetric guard time circuit in Fig. 8.

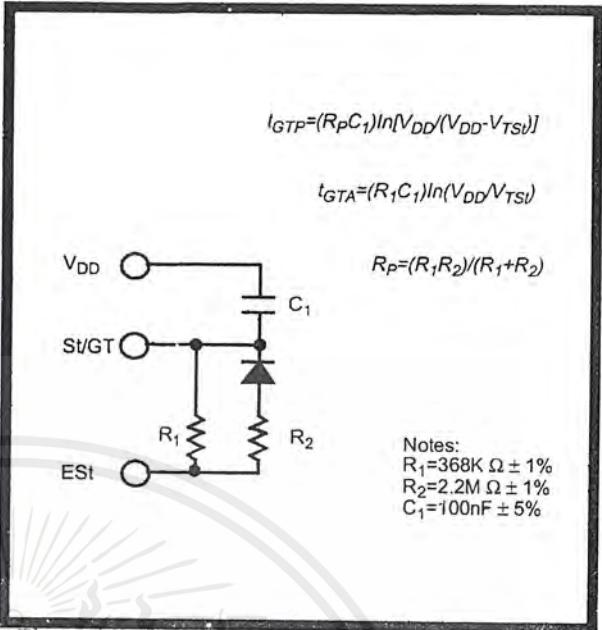


Figure 8 - Non-Symmetric Guard Time Circuit

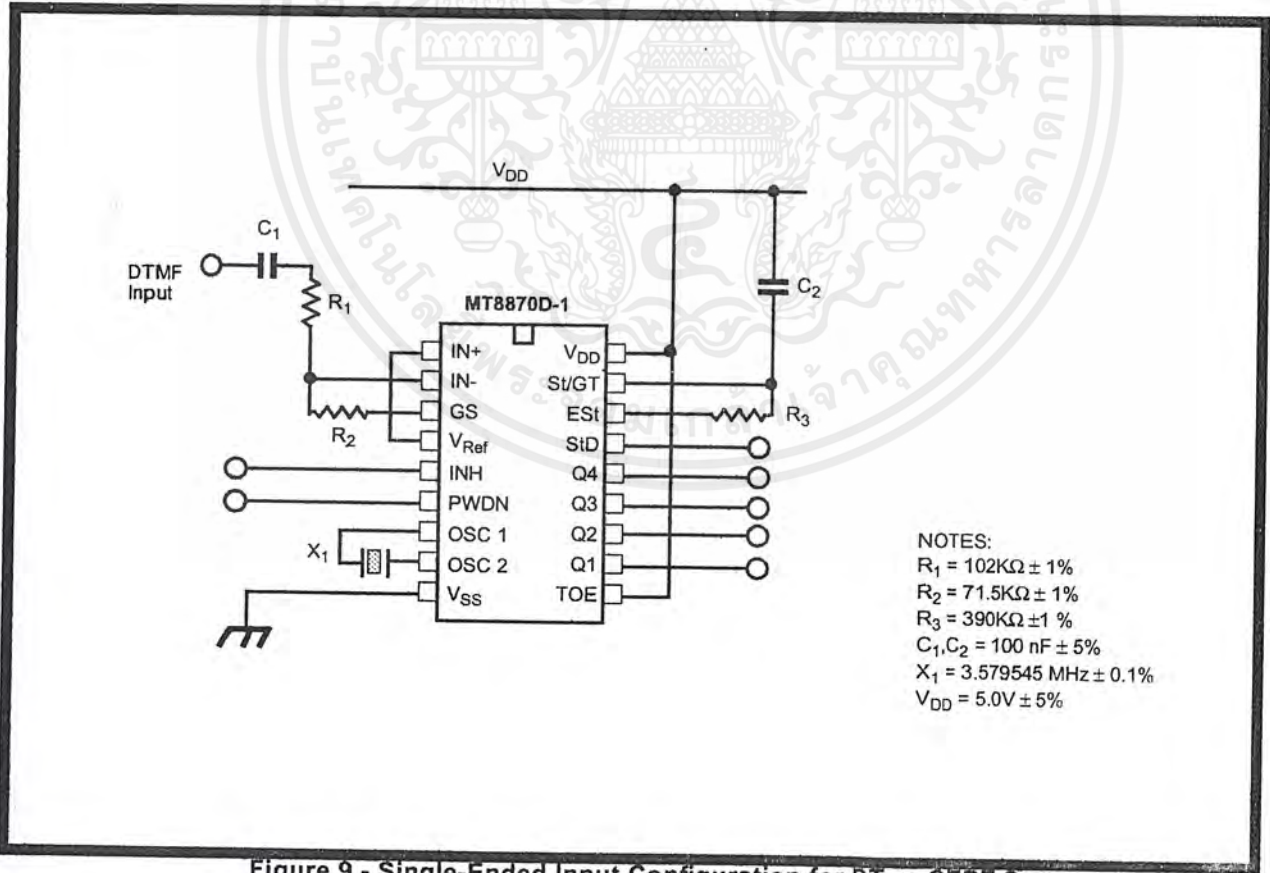


Figure 9 - Single-Ended Input Configuration for BT or CEPT Spec

Absolute Maximum Ratings[†]

	Parameter	Symbol	Min	Max	Units
1	DC Power Supply Voltage	V_{DD}		7	V
2	Voltage on any pin	V_I	$V_{SS}-0.3$	$V_{DD}+0.3$	V
3	Current at any pin (other than supply)	I_I		10	mA
4	Storage temperature	T_{STG}	-65	+150	°C
5	Package power dissipation	P_D		500	mW

[†] Exceeding these values may cause permanent damage. Functional operation under these conditions is not implied. Derate above 75 °C at 16 mW / °C. All leads soldered to board.

Recommended Operating Conditions - Voltages are with respect to ground (V_{SS}) unless otherwise stated.

	Parameter	Sym	Min	Typ [‡]	Max	Units	Test Conditions
1	DC Power Supply Voltage	V_{DD}	4.75	5.0	5.25	V	
2	Operating Temperature	T_O	-40		+85	°C	
3	Crystal/Clock Frequency	fc		3.579545		MHz	
4	Crystal/Clock Freq. Tolerance	Δfc		± 0.1		%	

[‡] Typical figures are at 25°C and are for design aid only: not guaranteed and not subject to production testing.

DC Electrical Characteristics - $V_{DD}=5.0V \pm 5\%$, $V_{SS}=0V$, $-40^\circ C \leq T_O \leq +85^\circ C$, unless otherwise stated.

	Characteristics	Sym	Min	Typ [‡]	Max	Units	Test Conditions
1	SUPPLY	Standby supply current	I_{DDQ}	10	25	μA	PWDN= V_{DD}
2		Operating supply current	I_{DD}	3.0	9.0	mA	
3		Power consumption	P_O	15		mW	fc=3.579545 MHz
4	INPUTS	High level input	V_{IH}	3.5		V	$V_{DD}=5.0V$
5		Low level input voltage	V_{IL}		1.5	V	$V_{DD}=5.0V$
6		Input leakage current	I_{IH}/I_{IL}	0.1		μA	$V_{IN}=V_{SS}$ or V_{DD}
7		Pull up (source) current	I_{SO}	7.5	20	μA	TOE (pin 10)=0, $V_{DD}=5.0V$
8		Pull down (sink) current	I_{SI}	15	45	μA	INH=5.0V, PWDN=5.0V, $V_{DD}=5.0V$
9		Input impedance (IN+, IN-)	R_{IN}	10		M Ω	@ 1 kHz
10		Steering threshold voltage	V_{TSt}	2.2	2.4	V	$V_{DD} = 5.0V$
11	OUTPUTS	Low level output voltage	V_{OL}		$V_{SS}+0.03$	V	No load
12		High level output voltage	V_{OH}	$V_{DD}-0.03$		V	No load
13		Output low (sink) current	I_{OL}	1.0	2.5	mA	$V_{OUT}=0.4 V$
14		Output high (source) current	I_{OH}	0.4	0.8	mA	$V_{OUT}=4.6 V$
15		V_{Ref} output voltage	V_{Ref}	2.3	2.5	V	No load, $V_{DD} = 5.0V$
16		V_{Ref} output resistance	R_{OR}	1		k Ω	

[‡] Typical figures are at 25°C and are for design aid only: not guaranteed and not subject to production testing.

MT8870D/MT8870D-1 ISO²-CMOS

Operating Characteristics - $V_{DD}=5.0V\pm5\%$, $V_{SS}=0V$, $-40^{\circ}C \leq T_O \leq +85^{\circ}C$, unless otherwise stated.
Gain Setting Amplifier

	Characteristics	Sym	Min	Typ [‡]	Max	Units	Test Conditions
1	Input leakage current	I_{IN}			100	nA	$V_{SS} \leq V_{IN} \leq V_{DD}$
2	Input resistance	R_{IN}	10			M Ω	
3	Input offset voltage	V_{OS}			25	mV	
4	Power supply rejection	PSRR	50			dB	1 kHz
5	Common mode rejection	CMRR	40			dB	$0.75 V \leq V_{IN} \leq 4.25 V$ biased at $V_{Ref}=2.5 V$
6	DC open loop voltage gain	A_{VOL}	32			dB	
7	Unity gain bandwidth	f_C	0.30			MHz	
8	Output voltage swing	V_O	4.0			V_{pp}	Load $\geq 100 k\Omega$ to V_{SS} @ GS
9	Maximum capacitive load (GS)	C_L			100	pF	
10	Resistive load (GS)	R_L			50	k Ω	
11	Common mode range	V_{CM}	2.5			V_{pp}	No Load

MT8870D AC Electrical Characteristics - $V_{DD}=5.0V \pm 5\%$, $V_{SS}=0V$, $-40^{\circ}C \leq T_O \leq +85^{\circ}C$, using Test Circuit shown in Figure 10.

	Characteristics	Sym	Min	Typ [‡]	Max	Units	Notes*
1	Valid input signal levels (each tone of composite signal)		-29		+1	dBm	1,2,3,5,6,9
			27.5		869	mV _{RMS}	1,2,3,5,6,9
2	Negative twist accept				8	dB	2,3,6,9,12
3	Positive twist accept				8	dB	2,3,6,9,12
4	Frequency deviation accept		$\pm 1.5\% \pm 2 \text{ Hz}$				2,3,5,9
5	Frequency deviation reject		$\pm 3.5\%$				2,3,5,9
6	Third tone tolerance			-16		dB	2,3,4,5,9,10
7	Noise tolerance			-12		dB	2,3,4,5,7,9,10
8	Dial tone tolerance			+22		dB	2,3,4,5,8,9,11

[‡] Typical figures are at 25 °C and are for design aid only: not guaranteed and not subject to production testing.

* NOTES

1. dBm= decibels above or below a reference power of 1 mW into a 600 ohm load.
2. Digit sequence consists of all DTMF tones.
3. Tone duration= 40 ms, tone pause= 40 ms.
4. Signal condition consists of nominal DTMF frequencies.
5. Both tones in composite signal have an equal amplitude.
6. Tone pair is deviated by $\pm 1.5\% \pm 2 \text{ Hz}$.
7. Bandwidth limited (3 kHz) Gaussian noise.
8. The precise dial tone frequencies are (350 Hz and 440 Hz) $\pm 2\%$.
9. For an error rate of better than 1 in 10,000.
10. Referenced to lowest level frequency component in DTMF signal.
11. Referenced to the minimum valid accept level.
12. Guaranteed by design and characterization.

MT8870D-1 AC Electrical Characteristics - $V_{DD}=5.0V\pm5\%$, $V_{SS}=0V$, $-40^{\circ}C \leq T_O \leq +85^{\circ}C$, using Test Circuit shown in Figure 10.

	Characteristics	Sym	Min	Typ [‡]	Max	Units	Notes*
1	Valid input signal levels (each tone of composite signal)		-31		+1	dBm	Tested at $V_{DD}=5.0V$ 1,2,3,5,6,9
			21.8		869	mV _{RMS}	
2	Input Signal Level Reject		-37			dBm	Tested at $V_{DD}=5.0V$ 1,2,3,5,6,9
			10.9			mV _{RMS}	
3	Negative twist accept				8	dB	2,3,6,9,13
4	Positive twist accept				8	dB	2,3,6,9,13
5	Frequency deviation accept		$\pm 1.5\% \pm 2$ Hz				2,3,5,9
6	Frequency deviation reject		$\pm 3.5\%$				2,3,5,9
7	Third zone tolerance			-18.5		dB	2,3,4,5,9,12
8	Noise tolerance			-12		dB	2,3,4,5,7,9,10
9	Dial tone tolerance			+22		dB	2,3,4,5,8,9,11

[‡] Typical figures are at 25 °C and are for design aid only: not guaranteed and not subject to production testing.

***NOTES**

1. dBm= decibels above or below a reference power of 1 mW into a 600 ohm load.
2. Digit sequence consists of all DTMF tones.
3. Tone duration= 40 ms, tone pause= 40 ms.
4. Signal condition consists of nominal DTMF frequencies.
5. Both tones in composite signal have an equal amplitude.
6. Tone pair is deviated by $\pm 1.5\% \pm 2$ Hz.
7. Bandwidth limited (3 kHz) Gaussian noise.
8. The precise dial tone frequencies are (350 Hz and 440 Hz) $\pm 2\%$.
9. For an error rate of better than 1 in 10,000.
10. Referenced to lowest level frequency component in DTMF signal.
11. Referenced to the minimum valid accept level.
12. Referenced to Fig. 10 input DTMF tone level at -25dBm (-28dBm at GS Pin) interference frequency range between 480-3400Hz.
13. Guaranteed by design and characterization.

MT8870D/MT8870D-1 ISO²-CMOS

AC Electrical Characteristics - $V_{DD}=5.0V\pm5\%$, $V_{SS}=0V$, $-40^{\circ}C \leq T_o \leq +85^{\circ}C$, using Test Circuit shown in Figure 10.

		Characteristics	Sym	Min	Typ [‡]	Max	Units	Conditions
1	T I M I N G	Tone present detect time	t_{DP}	5	11	14	ms	Note 1
2		Tone absent detect time	t_{DA}	0.5	4	8.5	ms	Note 1
3		Tone duration accept	t_{REC}			40	ms	Note 2
4		Tone duration reject	t_{REC}	20			ms	Note 2
5		Interdigit pause accept	t_{ID}			40	ms	Note 2
6		Interdigit pause reject	t_{DO}	20			ms	Note 2
7	O U T P U T S	Propagation delay (St to Q)	t_{PQ}		8	11	μs	TOE= V_{DD}
8		Propagation delay (St to StD)	t_{PSID}		12	16	μs	TOE= V_{DD}
9		Output data set up (Q to StD)	t_{QSID}		3.4		μs	TOE= V_{DD}
10		Propagation delay (TOE to Q ENABLE)	t_{PTE}		50		ns	load of 10 k Ω , 50 pF
11		Propagation delay (TOE to Q DISABLE)	t_{PTD}		300		ns	load of 10 k Ω , 50 pF
12	P D W N	Power-up time	t_{PU}		30		ms	Note 3
13		Power-down time	t_{PD}		20		ms	
14	C L O C K	Crystal/clock frequency	f_C	3.5759	3.5795	3.5831	MHz	
15		Clock input rise time	t_{LHCL}			110	ns	Ext. clock
16		Clock input fall time	t_{HLCL}			110	ns	Ext. clock
17		Clock input duty cycle	DC _{CL}	40	50	60	%	Ext. clock
18		Capacitive load (OSC2)	C_{LO}			30	pF	

[‡] Typical figures are at 25°C and are for design aid only: not guaranteed and not subject to production testing.

*NOTES:

1. Used for guard-time calculation purposes only.
2. These, user adjustable parameters, are not device specifications. The adjustable settings of these minimums and maximums are recommendations based upon network requirements.
3. With valid tone present at input, t_{PU} equals time from PDWN going low until ESt going high.

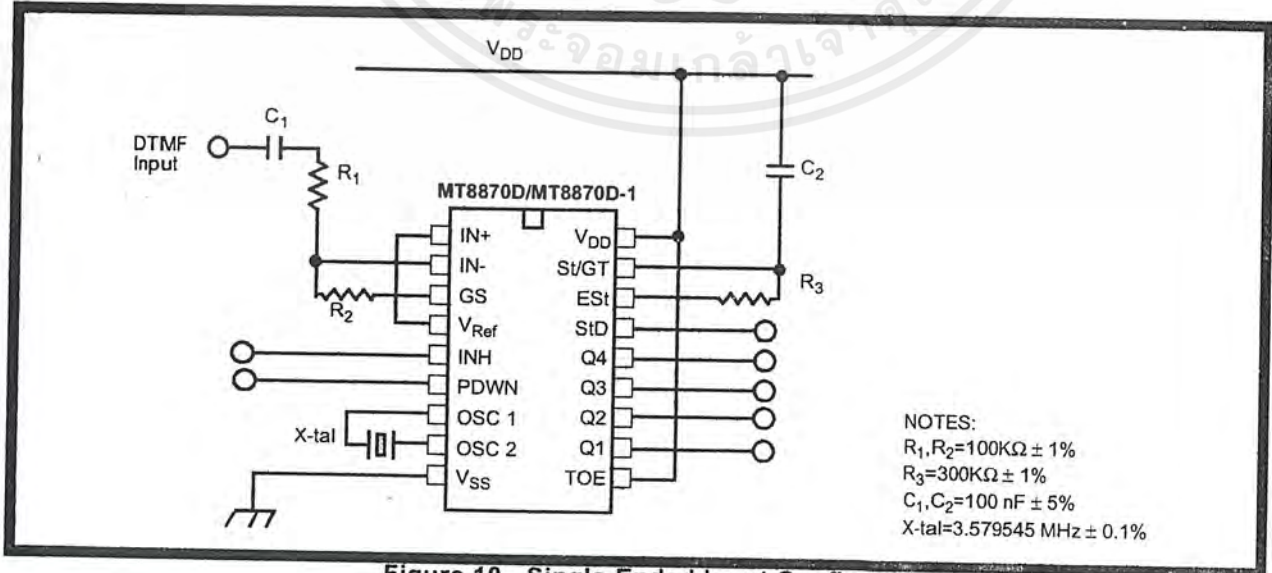
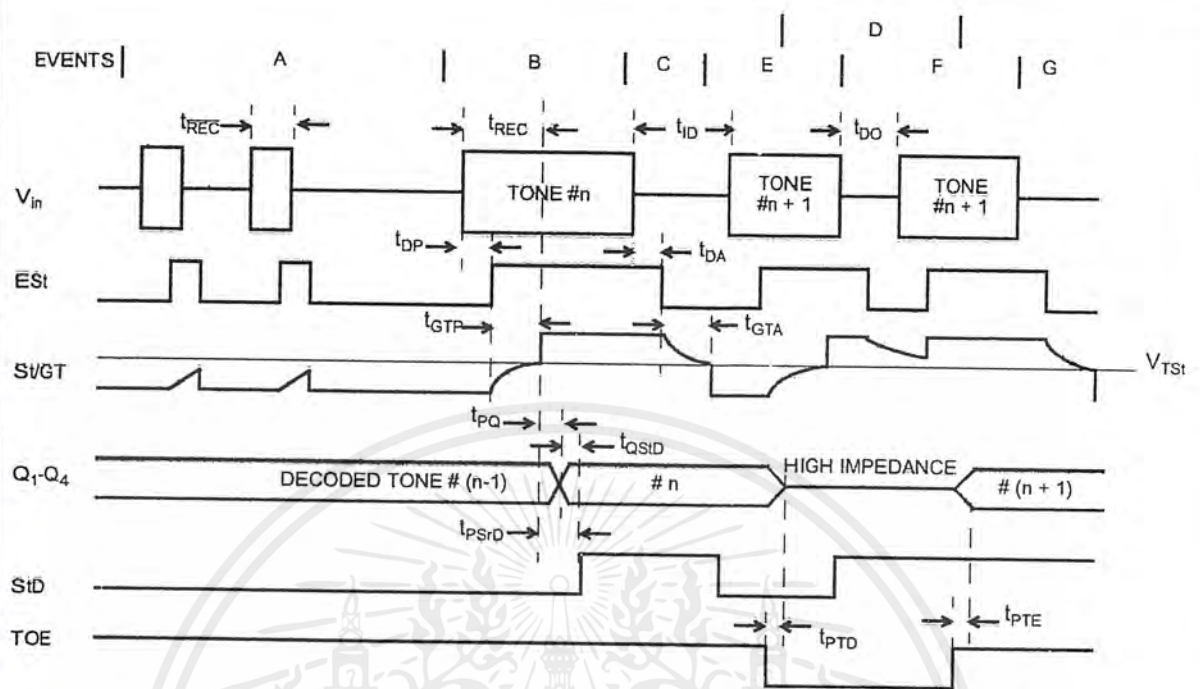


Figure 10 - Single-Ended Input Configuration



EXPLANATION OF EVENTS

- A) TONE BURSTS DETECTED, TONE DURATION INVALID, OUTPUTS NOT UPDATED.
- B) TONE # n DETECTED, TONE DURATION VALID, TONE DECODED AND LATCHED IN OUTPUTS
- C) END OF TONE # n DETECTED, TONE ABSENT DURATION VALID, OUTPUTS REMIAN LATCHED UNTIL NEXT VALID TONE.
- D) OUTPUTS SWITCHED TO HIGH IMPEDANCE STATE.
- E) TONE # $n + 1$ DETECTED, TONE DURATION VALID, TONE DECODED AND LATCHED IN OUTPUTS (CURRENTLY HIGH IMPEDANCE).
- F) ACCEPTABLE DROPOUT OF TONE # $n + 1$, TONE ABSENT DURATION INVALID, OUTPUTS REMAIN LATCHED.
- G) END OF TONE # $n + 1$ DETECTED, TONE ABSENT DURATION VALID, OUTPUTS REMAIN LATCHED UNTIL NEXT VALID TONE.

EXPLANATION OF SYMBOLS

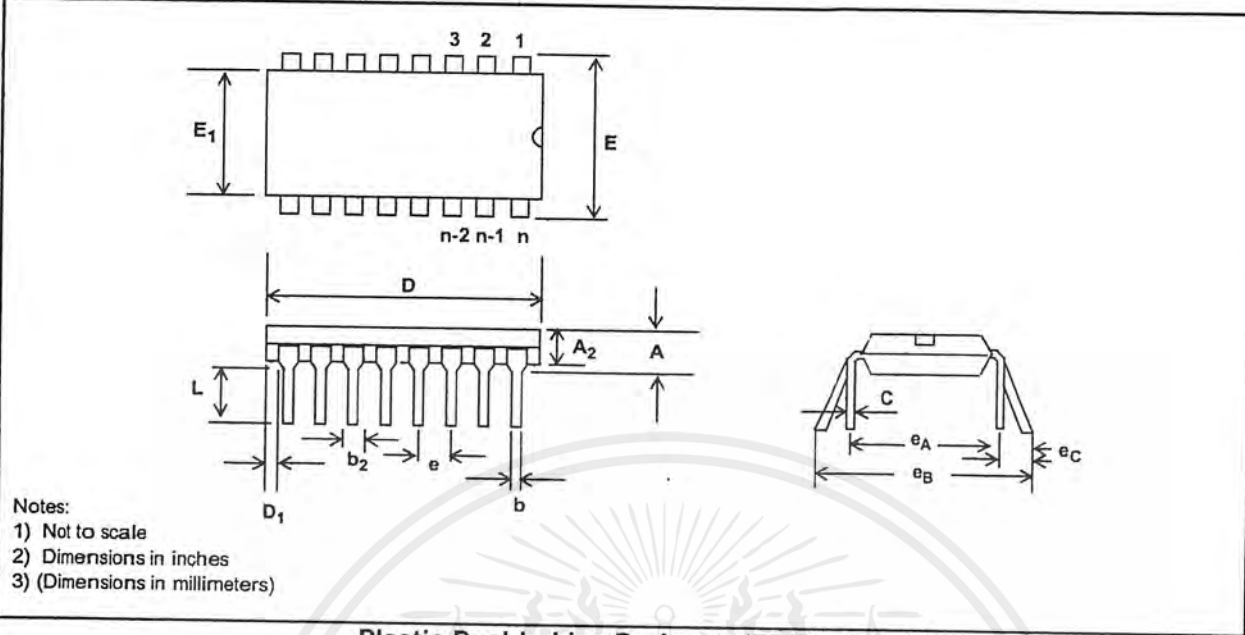
- V_{in} DTMF COMPOSITE INPUT SIGNAL.
- ES_t EARLY STEERING OUTPUT. INDICATES DETECTION OF VALID TONE FREQUENCIES.
- SI/GT STEERING INPUT/GUARD TIME OUTPUT. DRIVES EXTERNAL RC TIMING CIRCUIT.
- Q_1-Q_4 4-BIT DECODED TONE OUTPUT.
- StD DELAYED STEERING OUTPUT. INDICATES THAT VALID FREQUENCIES HAVE BEEN PRESENT/ABSENT FOR THE REQUIRED GUARD TIME THUS CONSTITUTING A VALID SIGNAL.
- TOE TONE OUTPUT ENABLE (INPUT). A LOW LEVEL SHIFTS Q_1-Q_4 TO ITS HIGH IMPEDANCE STATE.
- t_{REC} MAXIMUM DTMF SIGNAL DURATION NOT DETECED AS VALID
- t_{REC} MINIMUM DTMF SIGNAL DURATION REQUIRED FOR VALID RECOGNITION
- t_{ID} MAXIMUM TIME BETWEEN VALID DTMF SIGNALS.
- t_{DO} MAXIMUM ALLOWABLE DROP OUT DURING VALID DTMF SIGNAL.
- t_{DP} TIME TO DETECT THE PRESENCE OF VALID DTMF SIGNALS.
- t_{DA} TIME TO DETECT THE ABSENCE OF VALID DTMF SIGNALS.
- t_{GTP} GUARD TIME, TONE PRESENT.
- t_{GTA} GUARD TIME, TONE ABSENT.

Figure 11 - Timing Diagram

Notes:



Package Outlines

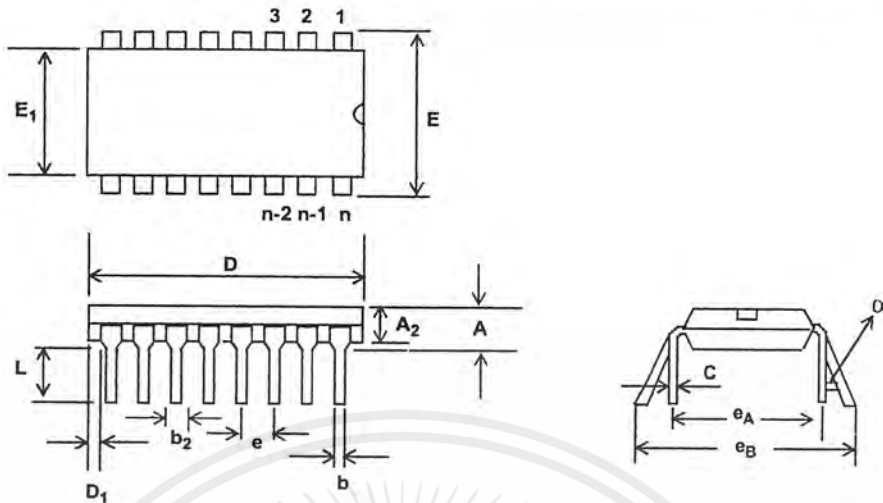


Plastic Dual-In-Line Packages (PDIP) - E Suffix

DIM	8-Pin		16-Pin		18-Pin		20-Pin	
	Plastic		Plastic		Plastic		Plastic	
	Min	Max	Min	Max	Min	Max	Min	Max
A		0.210 (5.33)		0.210 (5.33)		0.210 (5.33)		0.210 (5.33)
A ₂	0.115 (2.92)	0.195 (4.95)	0.115 (2.92)	0.195 (4.95)	0.115 (2.92)	0.195 (4.95)	0.115 (2.92)	0.195 (4.95)
b	0.014 (0.356)	0.022 (0.558)	0.014 (0.356)	0.022 (0.558)	0.014 (0.356)	0.022 (0.558)	0.014 (0.356)	0.022 (0.558)
b ₂	0.045 (1.14)	0.070 (1.77)	0.045 (1.14)	0.070 (1.77)	0.045 (1.14)	0.070 (1.77)	0.045 (1.14)	0.070 (1.77)
C	0.008 (0.203)	0.014 (0.356)	0.008 (0.203)	0.014 (0.356)	0.008 (0.203)	0.014 (0.356)	0.008 (0.203)	0.014 (0.356)
D	0.355 (9.02)	0.400 (10.16)	0.780 (19.81)	0.800 (20.32)	0.880 (22.35)	0.920 (23.37)	0.980 (24.89)	1.060 (26.9)
D ₁	0.005 (0.13)		0.005 (0.13)		0.005 (0.13)		0.005 (0.13)	
E	0.300 (7.62)	0.325 (8.26)	0.300 (7.62)	0.325 (8.26)	0.300 (7.62)	0.325 (8.26)	0.300 (7.62)	0.325 (8.26)
E ₁	0.240 (6.10)	0.280 (7.11)	0.240 (6.10)	0.280 (7.11)	0.240 (6.10)	0.280 (7.11)	0.240 (6.10)	0.280 (7.11)
e	0.100 BSC (2.54)		0.100 BSC (2.54)		0.100 BSC (2.54)		0.100 BSC (2.54)	
e _A	0.300 BSC (7.62)		0.300 BSC (7.62)		0.300 BSC (7.62)		0.300 BSC (7.62)	
L	0.115 (2.92)	0.150 (3.81)	0.115 (2.92)	0.150 (3.81)	0.115 (2.92)	0.150 (3.81)	0.115 (2.92)	0.150 (3.81)
e _B		0.430 (10.92)		0.430 (10.92)		0.430 (10.92)		0.430 (10.92)
e _C	0	0.060 (1.52)	0	0.060 (1.52)	0	0.060 (1.52)	0	0.060 (1.52)

NOTE: Controlling dimensions in parenthesis () are in millimeters.

Package Outlines



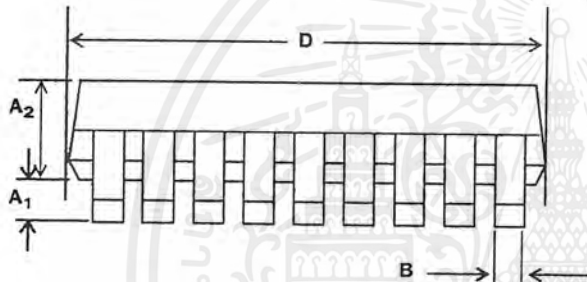
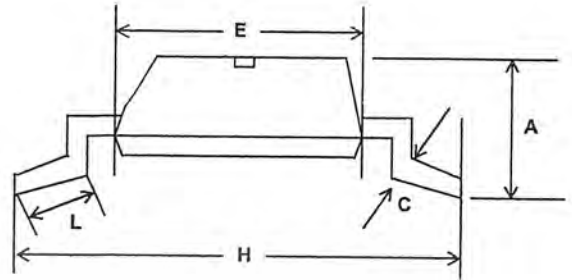
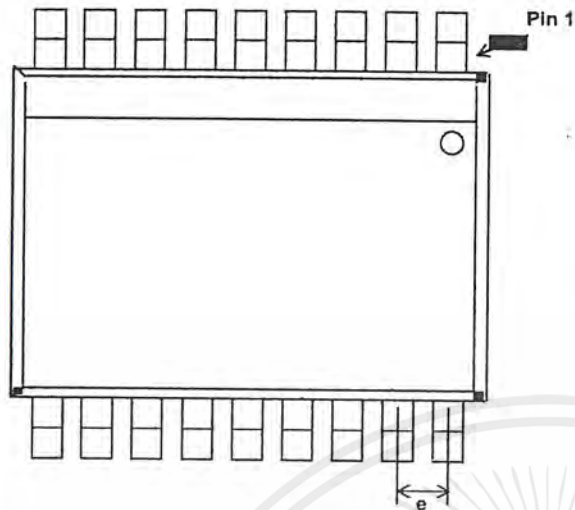
- Notes:
 1) Not to scale
 2) Dimensions in inches
 3) (Dimensions in millimeters)

Plastic Dual-In-Line Packages (PDIP) - E Suffix

DIM	22-Pin		24-Pin		28-Pin		40-Pin	
	Plastic		Plastic		Plastic		Plastic	
	Min	Max	Min	Max	Min	Max	Min	Max
A		0.210 (5.33)		0.250 (6.35)	0.250 (6.35)			0.250 (6.35)
A ₂	0.125 (3.18)	0.195 (4.95)	0.125 (3.18)	0.195 (4.95)	0.125 (3.18)	0.195 (4.95)	0.125 (3.18)	0.195 (4.95)
b	0.014 (0.356)	0.022 (0.558)	0.014 (0.356)	0.022 (0.558)	0.014 (0.356)	0.022 (0.558)	0.014 (0.356)	0.022 (0.558)
b ₂	0.045 (1.15)	0.070 (1.77)	0.030 (0.77)	0.070 (1.77)	0.030 (0.77)	0.070 (1.77)	0.030 (0.77)	0.070 (1.77)
C	0.008 (0.204)	0.015 (0.381)	0.008 (0.204)	0.015 (0.381)	0.008 (0.204)	0.015 (0.381)	0.008 (0.204)	0.015 (0.381)
D	1.050 (26.67)	1.120 (28.44)	1.150 (29.3)	1.290 (32.7)	1.380 (35.1)	1.565 (39.7)	1.980 (50.3)	2.095 (53.2)
D ₁	0.005 (0.13)		0.005 (0.13)		0.005 (0.13)		0.005 (0.13)	
E	0.390 (9.91)	0.430 (10.92)	0.600 (15.24)	0.670 (17.02)	0.600 (15.24)	0.670 (17.02)	0.600 (15.24)	0.670 (17.02)
E			0.290 (7.37)	0.330 (8.38)				
E ₁	0.330 (8.39)	0.380 (9.65)	0.485 (12.32)	0.580 (14.73)	0.485 (12.32)	0.580 (14.73)	0.485 (12.32)	0.580 (14.73)
E ₁			0.246 (6.25)	0.254 (6.45)				
e	0.100 BSC (2.54)		0.100 BSC (2.54)		0.100 BSC (2.54)		0.100 BSC (2.54)	
e _A	0.400 BSC (10.16)		0.600 BSC (15.24)		0.600 BSC (15.24)		0.600 BSC (15.24)	
e _A			0.300 BSC (7.62)					
e _B				0.430 (10.92)				
L	0.115 (2.93)	0.160 (4.06)	0.115 (2.93)	0.200 (5.08)	0.115 (2.93)	0.200 (5.08)	0.115 (2.93)	0.200 (5.08)
α		15°		15°		15°		15°



Shaded areas for 300 Mil Body Width 24 PDIP only

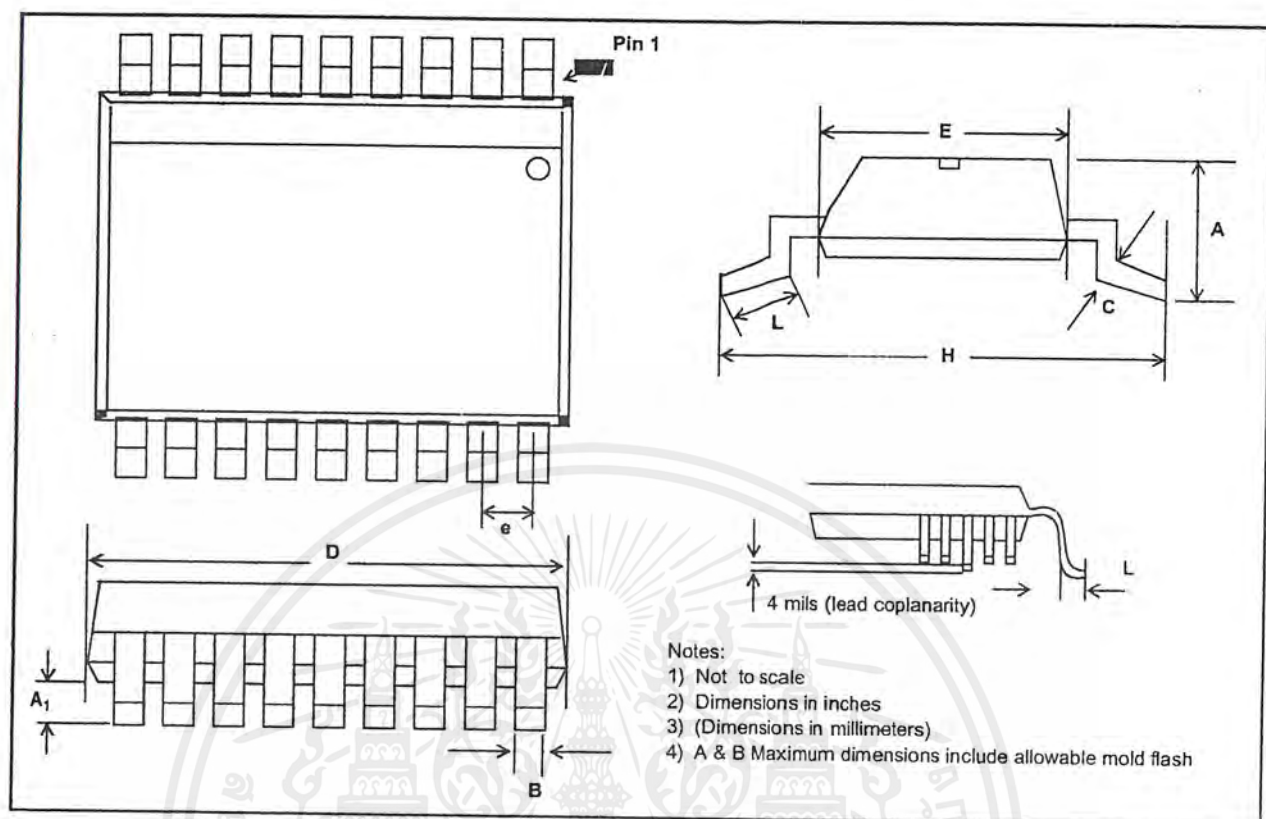


Notes:

- 1) Not to scale
- 2) Dimensions in inches
- 3) (Dimensions in millimeters)
- 4) Ref. JEDEC Standard M0-150/M0118 for 48 Pin
- 5) A & B Maximum dimensions include allowable mold flash

Dim	20-Pin		24-Pin		28-Pin		48-Pin	
	Min	Max	Min	Max	Min	Max	Min	Max
A		0.079 (2)		0.079 (2)		0.079 (2)	0.095 (2.41)	0.110 (2.79)
A ₁	0.002 (0.05)		0.002 (0.05)		0.002 (0.05)		0.008 (0.2)	0.016 (0.406)
B	0.0087 (0.22)	0.013 (0.33)	0.0087 (0.22)	0.013 (0.33)	0.0087 (0.22)	0.013 (0.33)	0.008 (0.2)	0.0135 (0.342)
C		0.008 (0.21)		0.008 (0.21)		0.008 (0.21)		0.010 (0.25)
D	0.27 (6.9)	0.295 (7.5)	0.31 (7.9)	0.33 (8.5)	0.39 (9.9)	0.42 (10.5)	0.62 (15.75)	0.63 (16.00)
E	0.2 (5.0)	0.22 (5.6)	0.2 (5.0)	0.22 (5.6)	0.2 (5.0)	0.22 (5.6)	0.291 (7.39)	0.299 (7.59)
e	0.025 BSC (0.635 BSC)		0.025 BSC (0.635 BSC)		0.025 BSC (0.635 BSC)		0.025 BSC (0.635 BSC)	
A ₂	0.065 (1.65)	0.073 (1.85)	0.065 (1.65)	0.073 (1.85)	0.065 (1.65)	0.073 (1.85)	0.089 (2.26)	0.099 (2.52)
H	0.29 (7.4)	0.32 (8.2)	0.29 (7.4)	0.32 (8.2)	0.29 (7.4)	0.32 (8.2)	0.395 (10.03)	0.42 (10.67)
L	0.022 (0.55)	0.037 (0.95)	0.022 (0.55)	0.037 (0.95)	0.022 (0.55)	0.037 (0.95)	0.02 (0.51)	0.04 (1.02)

Small Shrink Outline Package (SSOP) - N Suffix



DIM	16-Pin		18-Pin		20-Pin		24-Pin		28-Pin	
	Min	Max	Min	Max	Min	Max	Min	Max	Min	Max
A	0.093 (2.35)	0.104 (2.65)	0.093 (2.35)	0.104 (2.65)	0.093 (2.35)	0.104 (2.65)	0.093 (2.35)	0.104 (2.65)	0.093 (2.35)	0.104 (2.65)
A ₁	0.004 (0.10)	0.012 (0.30)	0.004 (0.10)	0.012 (0.30)	0.004 (0.10)	0.012 (0.30)	0.004 (0.10)	0.012 (0.30)	0.004 (0.10)	0.012 (0.30)
B	0.013 (0.33)	0.020 (0.51)	0.013 (0.33)	0.030 (0.51)	0.013 (0.33)	0.020 (0.51)	0.013 (0.33)	0.020 (0.51)	0.013 (0.33)	0.020 (0.51)
C	0.009 (0.231)	0.013 (0.318)	0.009 (0.231)	0.013 (0.318)	0.009 (0.231)	0.013 (0.318)	0.009 (0.231)	0.013 (0.318)	0.009 (0.231)	0.013 (0.318)
D	0.398 (10.1)	0.413 (10.5)	0.447 (11.35)	0.4625 (11.75)	0.496 (12.60)	0.512 (13.00)	0.5985 (15.2)	0.614 (15.6)	0.697 (17.7)	0.7125 (18.1)
E	0.291 (7.40)	0.299 (7.40)	0.291 (7.40)	0.299 (7.40)	0.291 (7.40)	0.299 (7.40)	0.291 (7.40)	0.299 (7.40)	0.291 (7.40)	0.299 (7.40)
e	0.050 BSC (1.27 BSC)		0.050 BSC (1.27 BSC)		0.050 BSC (1.27 BSC)		0.050 BSC (1.27 BSC)		0.050 BSC (1.27 BSC)	
H	0.394 (10.00)	0.419 (10.65)	0.394 (10.00)	0.419 (10.65)	0.394 (10.00)	0.419 (10.65)	0.394 (10.00)	0.419 (10.65)	0.394 (10.00)	0.419 (10.65)
L	0.016 (0.40)	0.050 (1.27)	0.016 (0.40)	0.050 (1.27)	0.016 (0.40)	0.050 (1.27)	0.016 (0.40)	0.050 (1.27)	0.016 (0.40)	0.050 (1.27)

Lead SOIC Package - S Suffix

NOTES: 1. Controlling dimensions in parenthesis () are in millimeters.
 2. Converted inch dimensions are not necessarily exact.



<http://www.mitelsemi.com>

World Headquarters - Canada

Tel: +1 (613) 592 2122

Fax: +1 (613) 592 6909

North America

Tel: +1 (770) 486 0194

Fax: +1 (770) 631 8213

Asia/Pacific

Tel: +65 333 6193

Fax: +65 333 6192

**Europe, Middle East,
and Africa (EMEA)**

Tel: +44 (0) 1793 518528

Fax: +44 (0) 1793 518581

Information relating to products and services furnished herein by Mitel Corporation or its subsidiaries (collectively "Mitel") is believed to be reliable. However, Mitel assumes no liability for errors that may appear in this publication, or for liability otherwise arising from the application or use of any such information, product or service or for any infringement of patents or other intellectual property rights owned by third parties which may result from such application or use. Neither the supply of such information or purchase of product or service conveys any license, either express or implied, under patents or other intellectual property rights owned by Mitel or licensed from third parties by Mitel, whatsoever. Purchasers of products are also hereby notified that the use of product in certain ways or in combination with Mitel, or non-Mitel furnished goods or services may infringe patents or other intellectual property rights owned by Mitel.

This publication is issued to provide information only and (unless agreed by Mitel in writing) may not be used, applied or reproduced for any purpose nor form part of any order or contract nor to be regarded as a representation relating to the products or services concerned. The products, their specifications, services and other information appearing in this publication are subject to change by Mitel without notice. No warranty or guarantee express or implied is made regarding the capability, performance or suitability of any product or service. Information concerning possible methods of use is provided as a guide only and does not constitute any guarantee that such methods of use will be satisfactory in a specific piece of equipment. It is the user's responsibility to fully determine the performance and suitability of any equipment using such information and to ensure that any publication or data used is up to date and has not been superseded. Manufacturing does not necessarily include testing of all functions or parameters. These products are not suitable for use in any medical products whose failure to perform may result in significant injury or death to the user. All products and materials are sold and services provided subject to Mitel's conditions of sale which are available on request.

M Mitel (design) and ST-BUS are registered trademarks of MITEL Corporation
Mitel Semiconductor is an ISO 9001 Registered Company
Copyright 1999 MITEL Corporation
All Rights Reserved
Printed in CANADA

TECHNICAL DOCUMENTATION - NOT FOR RESALE

กิตติกรรมประกาศ

ปริญญานิพนธ์ฉบับนี้สำเร็จลุล่วงไปได้ด้วยดี ก็ด้วยความช่วยเหลือให้คำแนะนำและคำปรึกษาจาก อาจารย์พิเศษ ม่วงนวล ทางคณะผู้จัดทำจึงขอขอบคุณไว้ ณ. ที่นี้ด้วย ขอขอบคุณท่านอาจารย์ภาควิชา วิศวกรรมโทรคมนาคมที่ประสิทธิ์ประสาทความรู้ให้กับศิษย์ในการศึกษาระดับต่าง ๆ และขอขอบคุณ เพื่อน ๆ ทุกคนที่ทำให้กำลังใจในการทำงานครั้งนี้ โดยเฉพาะอย่างยิ่งผู้ร่วมทำปริญญานิพนธ์ที่เสียสละเป็น อย่างมากมาโดยตลอด



บรรณานุกรม

1. ถวิล กิ่งทอง, ระบบชุมสายโทรศัพท์แบบดิจิทัล, สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง. ปี 2535
2. ถวิล กิ่งทอง, เทคโนโลยีการส่งสัญญาณดิจิทัล, สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง. ปี 2527
3. วิวัฒน์ กิรานนท์, วิศวกรรมสื่อสาร, สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง. ปี 2540
4. ประสิทธิ์ ประพัฒน์มงคล, หลักการระบบสื่อสาร, บริษัท ซีเอ็ดดูเคชั่น จำกัด. ปี 2534
5. สมยศ จุณณะปิยะ, การประยุกต์ใช้งานไมโครคอนโทรลเลอร์, สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง. ปี 2543

