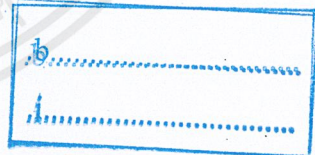


การศึกษาระบบควบคุมแบบฝังตัว



นายพพล นฤนาทดำรงค์
นายบดินทร อุดมเวศย์

เลขหมู่.....
เลขทะเบียน 43945
วัน, เดือน, ปี 18 ต.ค. 2545



โครงการฉบับนี้เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรวิทยาศาสตรบัณฑิต
ภาควิชาฟิสิกส์ประยุกต์
คณะวิทยาศาสตร์
สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง
ปีการศึกษา 2544

A study of Embedded - Control - System



A Special Project Submitted on Partial Fulfillment of the
Requirement For the Degree of Bachelor of Science
Department of Applied Physics
Faculty of Science
King Mongkut's Institute of Technology Ladkrabang
2000

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

หัวข้อโครงการพิเศษ การศึกษาระบบควบคุมแบบฝังตัว
นักศึกษา นายนพพล นฤนาทดำรงค์
 นายบดินทร อุดมเวศย์
อาจารย์ที่ปรึกษา ผศ.ดร.จิติ หนูแก้ว
 อ.วิษณุ เพชรภา
 อ.เบญจพล ตันอู๋

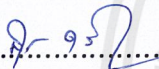
ภาควิชาฟิสิกส์ประยุกต์ คณะวิทยาศาสตร์ สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง
อนุมัติให้นับโครงการฉบับนี้เป็นส่วนหนึ่งของการศึกษาหลักสูตรวิทยาศาสตรบัณฑิต



.....หัวหน้าภาควิชาฟิสิกส์ประยุกต์

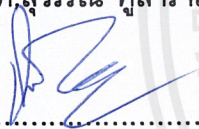
(ผศ. วิษณุ เตชะธิธิระ)

คณะกรรมการโครงการพิเศษ



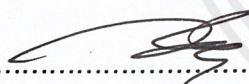
.....ประธานกรรมการ

(รศ.สุวรณ คุสาร์ณ)



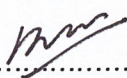
.....กรรมการ

(ผศ.ดร.จิติ หนูแก้ว)



.....กรรมการ

(อ.วิษณุ เพชรภา)



.....กรรมการ

(อ.เบญจพล ตันอู๋)

ลิขสิทธิ์ของภาควิชาฟิสิกส์ประยุกต์ คณะวิทยาศาสตร์
สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

หัวข้อโครงการพิเศษ	การศึกษาระบบควบคุมแบบฝังตัว
นักศึกษา	นายณพพล นฤนาทดำรงค์ นายบดินทร อุดมเวศย์
อาจารย์ที่ปรึกษา	ผศ.ดร.จิตติ หนูแก้ว อ.วิษณุ เพชรภา อ.เบญจพล ต้นอู๋
ภาควิชา	ฟิสิกส์ประยุกต์
ปีการศึกษา	2544

บทคัดย่อ

โครงการพิเศษนี้เป็นการศึกษาระบบควบคุมแบบฝังตัว ซึ่งเป็นระบบควบคุมที่มีขนาดเล็กมีประสิทธิภาพสูง ราคาต่ำ และสามารถปรับการใช้งาน โดยการปรับเปลี่ยนอุปกรณ์อิเล็กทรอนิกส์ และโปรแกรมให้เป็นไปตามต้องการ ได้มีการทดลองประยุกต์ระบบนี้ไปใช้กับเครื่องควบคุมอุณหภูมิสำหรับการฟักไข่ และเครื่องควบคุมการหยุดการทำงานของเครื่องเซิร์ฟเวอร์ (server) ที่มีระบบปฏิบัติการเป็นลินุกซ์ (Linux) ได้อย่างมีประสิทธิภาพ

สำหรับการทดลองเครื่องควบคุมอุณหภูมิสำหรับการฟักไข่ มีอัตราการรอดชีวิต 60% ส่วนเครื่องควบคุมการหยุดการทำงานของเครื่องเซิร์ฟเวอร์ มีความเสถียรภาพอยู่ในระดับหนึ่งเป็นที่น่าพอใจ แต่มีข้อผิดพลาดเนื่องจากการใช้ Relay

Special Project Title	A study of Embedded - Control - System Mr.Nopbhol Naruenatdumrong Mr.Bodinthorn Udomwet
Specoal Project Advisor	Asst.Prof.Dr.Jiti Nukeaw Mr. Wisanu Petchpa Mr.Benchapol Tunhoo
Department	Appiied Physics
Acadamic Year	2001

Abstract

The objective of this special project is to study of embedded-control system. Which one of a low cost, high efficiency, small system and flexibility. This system is adaptive to various kinds of tasks with slight changes of controlled program and electronic devices. The designed system was applied to automatically control a hatcher and shut down system in linux internet server

For temperature-controlled hatcher system,experiment shows survival rate of 60%. In server shut down system stability is in acceptable reliability

กิตติกรรมประกาศ

โครงการพิเศษนี้สำเร็จลุล่วงไปได้ด้วยดีเนื่องด้วยความอนุเคราะห์จากบุคคลหลายๆ ฝ่าย ดังนี้

บิดามารดา และผู้ปกครอง	ผู้ให้กำลังใจและคอยห่วงใยเสมอมา
ผศ.ดร. จิติ หนูแก้ว	ผู้ให้การสั่งสอน, ถ่ายทอดความรู้ ให้คำแนะนำ
ผศ. อนุพงษ์ สรวงประภา	ผู้ให้การสั่งสอน, ถ่ายทอดความรู้ ให้คำแนะนำ และห่วงใยเสมอมา ตลอดจนโอกาสในการทำงาน
ผศ. วิชิต ศิริโชติ	ผู้ถ่ายทอดความรู้ แนวคิด คำแนะนำต่างๆ ตลอดจนให้โอกาสในการทำงานต่างๆ
อ. เบญจพล ตันฐ์ คณาจารย์ทุกท่าน	ผู้ให้ความรู้และคำแนะนำ ผู้ประสิทธิ์ประสาทวิชา ตลอดจนวิทยาการต่างๆ
คุณ สมจิตต์ แสงเจริญ	ผู้ถ่ายทอดความรู้ คำแนะนำต่างๆ ที่มีอาจหาได้ในหนังสือ
คุณ ตัน	ให้ความกรุณาแบ่งขายไข่ไก่เพื่อใช้ในการทดลอง
บริษัท ฟิลิปส์อิเล็กทรอนิกส์(ประเทศไทย) จำกัด เพื่อนๆ ทุกคน	ให้ความกรุณาสนับสนุน IC ในงานชิ้นนี้ คอยให้ความช่วยเหลือตลอดมา

ขอขอบคุณผู้อยู่เบื้องหลังทุกท่าน ที่ไม่ได้เอ่ยชื่อนาม ณ ที่นี้ และ ภาควิชาฟิสิกส์ประยุกต์ สจล.

สารบัญเรื่อง

	หน้า
บทคัดย่อโครงการพิเศษภาษาไทย	ก
บทคัดย่อโครงการพิเศษภาษาอังกฤษ	ข
กิตติกรรมประกาศ	ค
สารบัญเรื่อง	ง
สารบัญรูปภาพ	จ
สารบัญตาราง	ช
บทที่ 1 บทนำ	1
1.1 ที่มาของปัญหา	1
1.2 วัตถุประสงค์ในการทำโครงการพิเศษ	2
1.3 ขอบเขตการทำงาน	2
1.4 ประโยชน์ที่ได้รับ	2
บทที่ 2 ทฤษฎีและหลักการที่เกี่ยวข้อง	3
2.1 คุณลักษณะที่ดีของ embedded system	3
2.2 โครงสร้างของหน่วยประมวลผล	5
2.3 ระบบการควบคุม	25
2.4 องค์ประกอบของระบบควบคุม	26
2.5 ประเภทของการควบคุม	26
บทที่ 3 การดำเนินงานวิจัย	29
3.1 กรณีศึกษาที่ 1	30
3.2 กรณีศึกษาที่ 2	39
บทที่ 4 ผลการทดลองวิจัย	44
บทที่ 5 สรุปผลการทดลองวิจัยและแนวทางในการพัฒนา	53
ภาคผนวก	
เอกสารอ้างอิง	

สารบัญรูปภาพ

	หน้า
รูปที่ 2.1 แสดงการต่อเครือข่ายอย่างง่าย	5
รูปที่ 2.2 แสดงลักษณะการจัดขาและตัวบรรจุถังของ AT90S8535	6
รูปที่ 2.3 บล็อกไดอะแกรมสถาปัตยกรรมแบบ RISC ของ AT90S8535	6
รูปที่ 2.4 โครงสร้างของรีจิสเตอร์ใช้งานทั่วไป	7
รูปที่ 2.5 แสดงรีจิสเตอร์ X, Y และ Z	8
รูปที่ 2.6 บล็อกไดอะแกรมของหน่วยความจำ	9
รูปที่ 2.7 โครงสร้างของวงจรรีเซต	9
รูปที่ 2.8 โครงสร้างของ Serial Peripheral Interface (SPI)	11
รูปที่ 2.9 โครงสร้างของ Universal Asynchronous Receiver and Transmitter (UART)	12
รูปที่ 2.10 บล็อกไดอะแกรมของการเปรียบเทียบสัญญาณอนาล็อก	13
รูปที่ 2.11 บล็อกไดอะแกรมของวงจรแปลงสัญญาณอนาล็อกเป็นดิจิตอล	14
รูปที่ 2.12 โครงสร้างของไทม์เมอร์/เคาน์เตอร์ 0	15
รูปที่ 2.13 โครงสร้างของไทม์เมอร์/เคาน์เตอร์ 1	16
รูปที่ 2.14 โครงสร้างของไทม์เมอร์/เคาน์เตอร์ 2	16
รูปที่ 2.15 ลักษณะการจัดขาและตัวถังบรรจุ	17
รูปที่ 2.16 บล็อกไดอะแกรมสถาปัตยกรรมแบบ RISC ของ AT90S2313	17
รูปที่ 2.17 โครงสร้างของรีจิสเตอร์ใช้งานทั่วไป	18
รูปที่ 2.18 แสดงรีจิสเตอร์ X, Y และ Z	19
รูปที่ 2.19 บล็อกไดอะแกรมของหน่วยความจำ	20
รูปที่ 2.20 โครงสร้างของวงจรรีเซต	21
รูปที่ 2.21 โครงสร้างของ Universal Asynchronous Receiver and Transmitter (UART)	23
รูปที่ 2.22 วงจรเปรียบเทียบสัญญาณอนาล็อก	23
รูปที่ 2.23 ไทม์เมอร์/เคาน์เตอร์ 0 จะมีขนาด 8 บิต	24
รูปที่ 2.24 ไทม์เมอร์/เคาน์เตอร์ 1 จะมีขนาด 16 บิต	25
รูปที่ 2.25 องค์ประกอบของระบบควบคุม	26
รูปที่ 2.26 ระบบควบคุมแบบ Close Loop	27
รูปที่ 2.27 ระบบควบคุมแบบ Start Stop	28

สารบัญรูปภาพ(ต่อ)

	หน้า
รูปที่ 2.28 ระบบควบคุมแบบ Open Loop	28
รูปที่ 3.1 แสดงส่วนของวงจรรีบ DC Motor ด้วย IRF510	31
รูปที่ 3.2 แสดงส่วนของวงจรรีบพัลลัม ด้วย IRF510	32
รูปที่ 3.3 แสดงส่วนของวงจรถมควบคุมหลอดไฟ ด้วย MOC3042	33
รูปที่ 3.4 แสดงส่วนของวงจรถมเซอร์วัดอุณหภูมิ	34
รูปที่ 3.5 แสดงวงจรถมเครื่องควบคุมอุณหภูมิสำหรับฟัดไซ	34
รูปที่ 3.6(ก) แสดงรายละเอียดวงจรถมเครื่องควบคุมอุณหภูมิสำหรับฟัดไซ	36
รูปที่ 3.6(ข) แสดงรายละเอียดวงจรถมเครื่องควบคุมอุณหภูมิสำหรับฟัดไซ(ต่อ)	37
รูปที่ 3.7 แสดงลำดับขั้นการทำงานของเครื่องควบคุมอุณหภูมิอัตโนมัติ สำหรับการฟัดไซ	38
รูปที่ 3.8 แสดงวงจรถมเครื่องควบคุมการหยุดการทำงานของเครื่อง Server	40
รูปที่ 3.9 แสดงการแก้ไขไฟล์ boot.local เพื่อให้รันโปรแกรมทุกครั้งเมื่อเริ่มการทำงาน	41
รูปที่ 3.10 แสดงวงจรถมเครื่องเปิด-ปิดเครื่อง server อัตโนมัติ	42
รูปที่ 3.11 แสดงลำดับขั้นการทำงานของเครื่องควบคุมการหยุดการทำงานของเครื่อง server	43
รูปที่ 4.1 แสดงกราฟความสัมพันธ์ระหว่างอุณหภูมิกับเวลาของระยะฟัดไซวันที่ 16	48
รูปที่ 4.2 แสดงกราฟความสัมพันธ์ระหว่างอุณหภูมิกับเวลาของระยะฟัดไซวันที่ 17	48
รูปที่ 4.3 แสดงกราฟความสัมพันธ์ระหว่างอุณหภูมิกับเวลาของระยะฟัดไซวันที่ 18	49
รูปที่ 4.4 แสดงกราฟความสัมพันธ์ระหว่างอุณหภูมิกับเวลาของระยะฟัดไซวันที่ 19	49
รูปที่ 4.5 แสดงกราฟความสัมพันธ์ระหว่างอุณหภูมิกับเวลาของระยะฟัดไซวันที่ 20	50
รูปที่ 4.6 แสดงกราฟความสัมพันธ์ระหว่างอุณหภูมิกับเวลาของระยะฟัดไซวันที่ 21	50
รูปที่ 4.7 ภาพแสดง process ของโปรแกรมหลังจาก restart เครื่อง	51
รูปที่ 4.8 ภาพแสดงการ shutdown เมื่อไฟดับ	51

สารบัญตาราง

หน้า

ตาราง 4.1 แสดงผลอุณหภูมิจากเครื่องควบคุมอุณหภูมิอัตโนมัติสำหรับฟักไข่

44



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 1 บทนำ

1.1 ความเป็นมาและที่มาของปัญหา

ในการวัดคุมและระบบควบคุมต่างๆ มักจะใช้ตัวตรวจจับวัดปริมาณของสิ่งที่ต้องการจะตรวจสอบ และแสดงผลการวัดที่ได้ออกมาทางจอแสดงผล และให้ผู้ควบคุมเครื่องเป็นผู้ตรวจสอบปริมาณที่วัดได้ว่าเป็นไปตามที่กำหนดไว้หรือไม่ เพื่อที่จะสามารถควบคุมเครื่องใช้นั้นๆ ได้อย่างถูกต้อง แต่การให้มนุษย์เป็นผู้ควบคุมทำให้เกิดข้อผิดพลาดขึ้นได้ จึงนำอุปกรณ์ทางอิเล็กทรอนิกส์มาเป็นตัวควบคุม และตัดสินใจการทำงานแทนมนุษย์ เนื่องจากอุปกรณ์ทางอิเล็กทรอนิกส์มีความแม่นยำ ในอุปกรณ์อิเล็กทรอนิกส์ที่ใช้ในระบบควบคุมนั้นสามารถใช้เป็นระบบอนาลอกหรือระบบดิจิทัลก็ได้ ในระบบอนาลอกมีข้อดีคือวงจรจะทำงานได้อย่างรวดเร็วแต่จะมีปัญหาในเรื่องของสัญญาณรบกวนรวมไปถึงปัญหาในเรื่องของความยืดหยุ่นของวงจร กล่าวคือ วงจรในระบบอนาลอกใดๆ ที่ออกแบบมาให้ทำงานเฉพาะอย่างใดอย่างหนึ่ง ถ้าต้องการปรับเปลี่ยนจุดการทำงานของวงจรอาจจะต้องออกแบบวงจรใหม่ ทำให้เป็นการยุ่งยากและสิ้นเปลืองโดยไม่จำเป็น เนื่องจากปัญหาต่างๆ เหล่านี้วงจรดิจิทัลจึงถูกนำมาแทนที่วงจรมอนาลอกที่มีอยู่เดิม

ข้อดีของวงจรแบบดิจิทัลเมื่อเทียบกับวงจรมอนาลอกคือ มีปัญหาเนื่องจากสัญญาณรบกวนน้อยกว่าเพราะข้อมูลจะถูกแทนด้วยลอจิก 1 หรือ 0 มีความแม่นยำมากกว่าวงจรมอนาลอก การออกแบบวงจรรายกว่าระบบอนาลอก มีการทำงานที่ได้ผลลัพธ์เหมือนวงจรมอนาลอก แต่ก็ยังมีปัญหาอันเนื่องมาจากความไม่ยืดหยุ่นของวงจรรอยู่ ต่อมาจึงได้นำวงจรที่สามารถโปรแกรมการทำงานได้ตามต้องการ ทำให้วงจรในปัจจุบันนี้มีความยืดหยุ่นในการทำงานสูง เพราะถ้าต้องการปรับเปลี่ยนการทำงานของวงจรถือเพียงต่อฮาร์ดแวร์ที่ต้องการเพิ่มเติมและเขียนโปรแกรมใหม่ ตัวอย่างของวงจรดิจิทัลที่สามารถโปรแกรมได้ เช่น เครื่องคอมพิวเตอร์แบบคอมพิวเตอร์ส่วนบุคคล (Personal computer : PC) เป็นต้น

ดังนั้นในการวัดคุมระบบใดๆ ระบบหนึ่ง เราสามารถนำเครื่องคอมพิวเตอร์แบบ PC มาต่อกับตัวตรวจจับ วัดค่าไว้ และสามารถควบคุมตัวแปรของระบบได้ เมื่อต้องการปรับเปลี่ยนปริมาณของสิ่งที่ต้องการวัด หรือต้องการความสามารถในการควบคุมมากขึ้นก็เพียงต่อฮาร์ดแวร์ในส่วนที่

ต้องการ และเขียนโปรแกรมที่เครื่องคอมพิวเตอร์ส่วนบุคคลก็สามารถปรับเปลี่ยนการทำงานได้โดยไม่ต้องออกแบบวงจรใหม่ทั้งหมด ทำให้สะดวกและเป็นการประหยัดเวลามากขึ้น

บางครั้งในการวัดหรือควบคุมที่มีขนาดเล็กการใช้เครื่องคอมพิวเตอร์ส่วนบุคคล อาจดูเป็นการไม่เหมาะสม รวมไปถึงอาจทำให้มีต้นทุนที่สูงขึ้นเกินความจำเป็น ยกตัวอย่างเช่น ต้องการทำอุปกรณ์ที่สามารถวัดอุณหภูมิในห้องเพื่อที่จะควบคุมการทำงานของเครื่องปรับอากาศ จะดูเป็นการไม่เหมาะสมที่ใช้เครื่องคอมพิวเตอร์ส่วนบุคคลหรือฮาร์ดแวร์ที่มีขนาดใหญ่ ดังนั้นในโครงการนี้จึงนำ embedded system ขนาดเล็กมาใช้เพื่อแก้ปัญหาเรื่องขนาดของวงจร และราคาต้นทุน

1.2 วัตถุประสงค์ในการทำโครงการพิเศษ

1. เพื่อการเรียนรู้การทำงานของระบบควบคุมแบบฝังตัว
2. เพื่อการเรียนรู้กลไกการทำงานของไมโครคอนโทรลเลอร์สำหรับใช้ในระบบงานควบคุม
3. เพื่อให้ระบบวัดคุมมีขนาดเล็กลงแต่ยังคงไว้ซึ่งประสิทธิภาพ
4. เพื่อให้เรียนรู้การทำงานที่เป็นระบบรู้จักวิเคราะห์และแก้ไขปัญหาเฉพาะหน้าได้

1.3 ขอบเขตการทำงาน

ในโครงการพิเศษนี้เป็นการศึกษาการทำงานของระบบควบคุมแบบฝังตัวซึ่งแบ่งได้เป็น 2 กรณีด้วยกันในแต่ละกรณีศึกษาการทำงานของไมโครคอนโทรลเลอร์อย่างละ 1 เบอร์

1.4 ประโยชน์ที่ได้รับ

1. มีความรู้ความสามารถในด้านระบบควบคุมแบบฝังตัว
2. มีความรู้ความสามารถในด้านการควบคุมด้วยไมโครคอนโทรลเลอร์
3. รู้จักวิธีการทำงานอย่างเป็นระบบทำงานร่วมกับผู้อื่นวิเคราะห์และแก้ไขปัญหาอย่างมีหลักการและเหตุผล

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 2

ทฤษฎี

embedded system คือ อุปกรณ์ที่มีส่วนประมวลผลที่โปรแกรมได้อยู่เพื่อควบคุมการทำงานของอุปกรณ์นั้นๆ เฉพาะอย่าง แต่จะไม่ใช้คอมพิวเตอร์ที่ใช้งานกันทั่วไป

เครื่องคอมพิวเตอร์ที่ถูกฝังตัวรวมกับฮาร์ดแวร์มีมานานแล้วยกตัวอย่างเช่น Whirlwind เป็นเครื่องคอมพิวเตอร์ที่ออกแบบโดย MIT ในช่วงปลายปี 1940 ถึงต้นปี 1950 และยังเป็นเครื่องคอมพิวเตอร์เครื่องแรกที่ถูกออกแบบมาให้รองรับการทำงานแบบเรียลไทม์ เพื่อใช้ในการควบคุมการจำลองเครื่องบิน CPU ในรุ่นแรกๆ ที่วางจำหน่ายไม่ซับซ้อนมากนักเช่นเบอร์ 4004 ของ Intel จัดได้ว่าเป็น CPU ที่ออกแบบมาสำหรับระบบฝังตัว คือใช้ในเครื่องคิดเลข ซึ่งไม่จัดว่าเป็นคอมพิวเตอร์ที่ใช้งานทั่วไป เพราะมันทำงานเฉพาะอย่างในการคำนวณฟังก์ชันทางคณิตศาสตร์อย่างง่ายๆ ต่อมาทาง Intel จึงได้ผลิต CPU เบอร์ 8088 จัดได้ว่าเป็น CPU ที่สามารถโปรแกรมให้ทำงานต่างๆ ตามต้องการได้ ข้อได้เปรียบของการใช้ระบบที่สามารถโปรแกรมได้เทียบกับฮาร์ดแวร์ธรรมดาคือ ง่ายต่อการออกแบบและหาข้อผิดพลาด และสามารถอัปเดตได้ง่าย

2.1 คุณลักษณะของที่ดีของ embedded system

2.1.1 Complex Algorithm: ต้องมีอัลกอริทึมที่ซับซ้อน เพื่อให้สามารถทำงานได้อย่างรัดกุมและมีข้อผิดพลาดน้อยที่สุด

2.1.2 User Interface: ใช้งานได้ง่าย ผู้ใช้สามารถใช้งานได้โดยไม่ต้องเสียเวลาเรียนรู้ อุปกรณ์มากจนเกินไป

2.1.3 Real Time: สามารถทำงานได้อย่างรวดเร็ว ซึ่งจะทำให้ทำงานผิดพลาดน้อย

2.1.4 Multirate: ต้องสามารถประมวลผลงานหลายอย่างได้พร้อมกัน ในบางกรณีงานบางอย่างต้องการการประมวลผลที่ไม่เท่ากันหน่วยประมวลผลกลางจะต้องมีความสามารถในการประมวลพร้อมกัน โดยที่ประมวลผลที่ความเร็วต่างกันได้

2.1.5 Manufacturing cost: จำนวนของอุปกรณ์และ ราคาของอุปกรณ์ต้องมีความเหมาะสม

2.1.6 Power: ต้องมีความสามารถในการจัดการด้านพลังงาน และกินพลังงานน้อยที่สุด

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

มีหลายทางที่จะออกแบบวงจรถิจิตอลเช่น custom logic, Field Programmable Gate Arrays (FPGA) เป็นต้น แต่ที่ใช้ไมโครโปรเซสเซอร์เพราะ มีประสิทธิภาพสูงในการใช้งานกับวงจรถิจิตอล และง่ายในการออกแบบเพื่อให้ทำงานร่วมกับอุปกรณ์อื่นที่บริษัทเดียวกันผลิต

การใช้ไมโครโปรเซสเซอร์เหมาะสมกว่าการใช้วงจรถิจิตอลที่ออกแบบเอง เพราะมีประสิทธิภาพมากกว่าโดยที่มีราคาต่ำกว่า มี 2 ปัจจัยที่ทำให้การใช้งานบนไมโครโปรเซสเซอร์มีความเร็วกว่าการใช้งานวงจรถิจิตอลทั่วไปคือ

1. ไมโครโปรเซสเซอร์สามารถรันโปรแกรมได้อย่างมีประสิทธิภาพ เช่น โปรเซสเซอร์ RISC (Reduce Instruction Set Computer) รุ่นใหม่สามารถทำงานคำสั่ง 1 คำสั่ง ต่อ 1 สัญญาณนาฬิกา หรือหน่วยประมวลผลที่มีประสิทธิภาพสูงบางตัวสามารถทำงานคำสั่งได้หลายคำสั่งใน 1 สัญญาณนาฬิกา

2. บริษัทผู้ผลิตยอมลงทุนจำนวนมากเพื่อให้หน่วยประมวลผลทำงานได้เร็วมากที่สุดเท่าที่จะทำได้มีเทคโนโลยีในการผลิตที่ดี มีการบริการหลังการขายดี

สำหรับเทคโนโลยีของระบบฝังตัว สามารถแบ่งออกได้เป็น 3 ระดับตามความซับซ้อนในการประมวลผลและลักษณะการใช้งาน คือ

ระบบฝังตัวขนาดเล็ก เป็นระบบฝังตัวที่ใช้ไมโครคอนโทรลเลอร์สำหรับควบคุมอุปกรณ์อิเล็กทรอนิกส์พื้นฐานที่มีการทำงานไม่ซับซ้อนนัก ระบบฝังตัวขนาดกลางที่ใช้ไมโครโพรเซสเซอร์ที่มีความสามารถในการทำงานสูงขึ้นมา และระบบฝังตัวขนาดใหญ่ที่มีความสามารถสูงเหมาะสำหรับการใช้งานที่ต้องการความสามารถในการประมวลผลมากเป็นพิเศษ

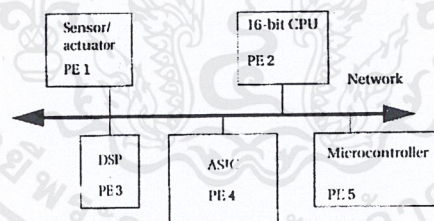
สำหรับระบบฝังตัวขนาดเล็กที่ใช้ไมโครคอนโทรลเลอร์และไมโครคอนโทรลเลอร์ขนาดเล็กนั้นเหมาะสำหรับใช้ในการควบคุมอุปกรณ์อิเล็กทรอนิกส์พื้นฐานที่มีการทำงานไม่ซับซ้อนนัก โดยส่วนใหญ่มักจะเป็นไมโครคอนโทรลเลอร์ที่มีหน่วยความจำ ส่วนติดต่อกับอินพุตและเอาต์พุต รวมทั้งส่วนประกอบที่จำเป็นรวมอยู่ภายในเสร็จสรรพ ทั้งนี้เพื่อความง่ายต่อการพัฒนาวงจร ไมโครคอนโทรลเลอร์เหล่านี้มักจะมีขนาดเล็ก (4 หรือ 8 บิต) มีหน่วยความจำภายในไม่มาก (ประมาณ 10-120 กิโลไบต์) มีพอร์ตอินพุตเอาต์พุตตั้งแต่ 1-4 พอร์ต สามารถติดต่อกับส่วนสื่อสารอนุกรมหรือขนานได้ทันที ตัวอย่างของไมโครคอนโทรลเลอร์เหล่านี้ได้แก่ ไมโครคอนโทรลเลอร์ตระกูล MSC-51, PIC และ Z80 เป็นต้น

ระบบฝังตัวขนาดกลางที่ใช้ไมโครโพรเซสเซอร์ที่มีความสามารถในการทำงานสูงขึ้นมาในส่วนใหญ่จะถูกนำไปใช้งานกับอุปกรณ์อิเล็กทรอนิกส์ที่ต้องการคุณสมบัติพิเศษที่ไมโครคอนโทรลเลอร์หรือไมโครโพรเซสเซอร์ขนาดเล็กไม่สามารถให้ได้ ดังเช่น ต้องการหน่วยความจำที่มี

ขนาดใหญ่ขึ้น ต้องการความเร็วในการทำงานมากขึ้น หรือต้องการสื่อสารกับอุปกรณ์อื่นเป็นต้น ไมโครโพรเซสเซอร์เหล่านี้มักมีขนาด 16 บิต และ 32 บิต ดังเช่น ตระกูล x86 ของบริษัท Intel และ AMD ตระกูล ARM7 ของบริษัท Atmel และ ตระกูล TMS320 ของบริษัท Texas Instrument เป็นต้น ไมโครโพรเซสเซอร์เหล่านี้มักมีคุณสมบัติพิเศษเฉพาะทางเช่น การสื่อสาร หรือการประมวลผลชนิดพิเศษ

ระบบฝังตัวขนาดใหญ่ที่มีความสามารถในการประมวลผลมากเป็นพิเศษ ส่วนใหญ่จะเป็นระบบฝังตัวที่ใช้ไมโครโพรเซสเซอร์ที่ได้รับการออกแบบมาสำหรับประมวลผลเป็นหลัก หรืออาจจะเป็นระบบฝังตัวที่ใช้คอมพิวเตอร์เป็นพื้นฐาน (PC-Based) ระบบฝังตัวประเภทนี้ส่วนใหญ่จะใช้ฮาร์ดแวร์และซอฟต์แวร์ที่มีใช้งานทั่วไป ดังเช่น ไมโครโพรเซสเซอร์ระดับเพนเทียม ที่อาจจะรันระบบปฏิบัติการดอส วินโดวส์ หรือลินุกซ์ เป็นต้น เราสามารถเรียกระบบฝังตัวประเภทนี้ได้อีกแบบว่า Application Specific PC โดยส่วนใหญ่แล้วระบบฝังตัวประเภทนี้มักจะนำไปประยุกต์ใช้งานกับอุปกรณ์สำหรับระบบเครือข่าย ดังเช่น เวกเตอร์ อินเทอร์เน็ต หรือเว็บเซิร์ฟเวอร์ เป็นต้น

ในบางครั้งระบบที่ต้องการควบคุมก็มีขนาดใหญ่ และใน embedded system นี้ก็ได้รับการออกแบบมาเพื่อให้ทำหน้าที่เฉพาะอย่างโดยอย่างหนึ่ง ดังนั้นการที่จะให้การควบคุมระบบมีความสัมพันธ์กันมากที่สุด จึงต้องใช้หลายๆ ตัวเพื่อให้ควบคุมในแต่ละจุด และสามารถรับรู้ได้ซึ่งกันและกัน จึงจะทำให้การควบคุมสัมพันธ์กัน ดังนั้นจึงต้องมีสายส่งข้อมูลระหว่างตัว embedded ซึ่งเรียกว่า “สายเน็ตเวิร์ค”

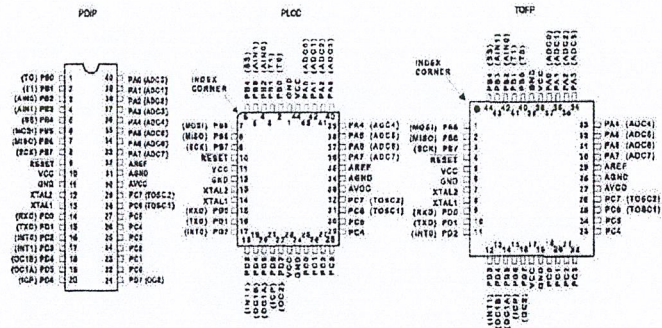


รูปที่ 2.1 การต่อเครือข่ายอย่างง่าย ดังจะเห็นได้ว่า สามารถต่อ CPU แบบต่างๆ กับตัวตรวจจับร่วมกันได้ เพื่อใช้ในการวัดคุมและควบคุมระบบ

2.2 โครงสร้างของหน่วยประมวลผล

สำหรับในโครงการพิเศษนี้ได้ทำการศึกษาระบบควบคุมแบบฝังตัวโดยแบ่งเป็น 2 กรณี ดังนั้นจะมีการนำไมโครคอนโทรลเลอร์ที่ต้องก1ารศึกษาด้วยกันทั้ง 2 เบอร์ คือ AT90S8535 และ AT90S2313

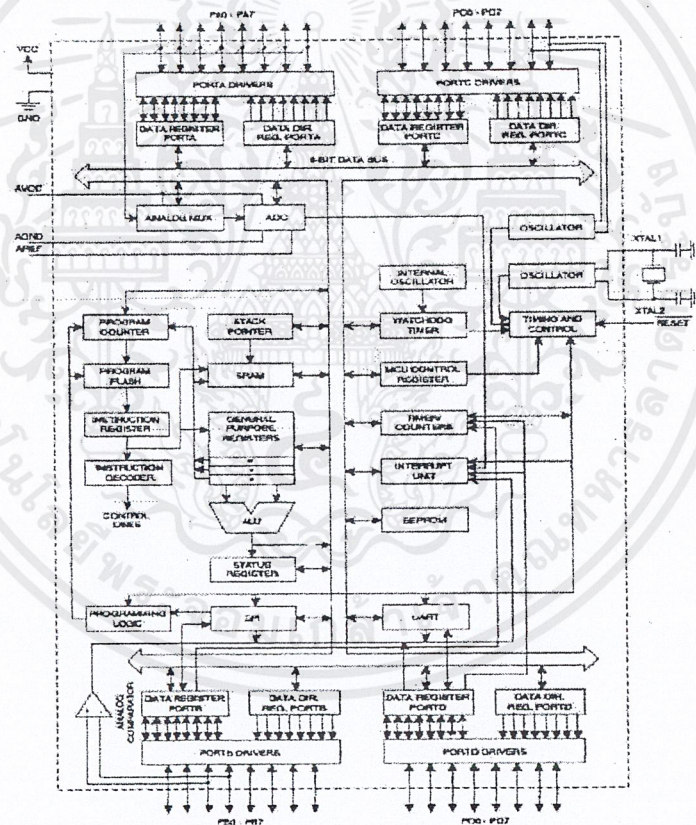
2.2.1 หน่วยประมวลผล เบอร์ AT90S8535



รูปที่ 2.2 ลักษณะการจัดขาและตัวถังบรรจุ

AT90S8535 เป็นไมโครคอนโทรลเลอร์ขนาด 8 บิต

2.2.1.1 ลักษณะทั่วไปของ AT90S8535



รูปที่ 2.3 บล็อกไดอะแกรมสถาปัตยกรรมแบบ RISC ของ AT90S8535

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

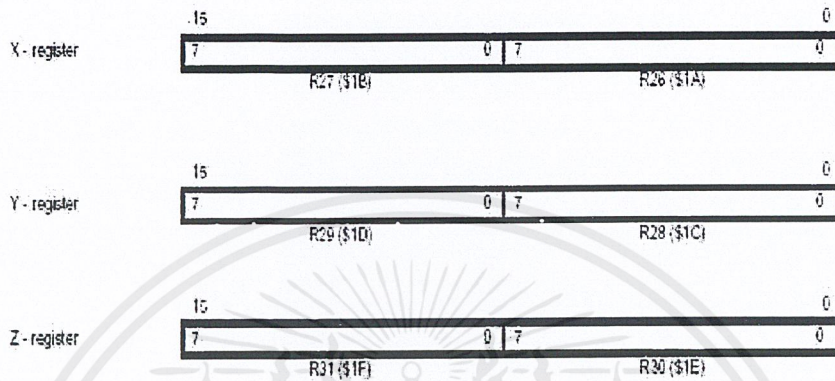
AT90S8535 เป็นไมโครคอนโทรลเลอร์ขนาด 8 บิต ที่มีสถาปัตยกรรมแบบ RISC โดยระบบการทำงานของไมโครคอนโทรลเลอร์จะใช้หลักการออกแบบของฮาร์ดแวร์ ด้วยการแยกระบบบัสของโปรแกรมและข้อมูลออกจากกัน ซึ่งโปรแกรมจะมีการประมวลผลด้วย Single Level Pipelining ซึ่งจะทำให้ CPU สามารถ Fetch และ Execute คำสั่งได้ภายใน 1 คาบเวลาซึ่งทำให้สามารถประมวลคำสั่งได้ 1 MIPS/MHz แสดงโครงสร้างสถาปัตยกรรมแบบ RISC ของ AT90S8535 ภายในประกอบด้วยรีจิสเตอร์ใช้งานทั่วไปขนาด 8 บิต จำนวน 32 ตัว ซึ่งแต่ละตัวจะต่อเข้ากับ ALU โดยตรง และมีพอร์ตที่สามารถทำงานได้ 2 ทิศทาง จำนวน 32 เส้นสัญญาณและระบบไทม์เมอร์ / เคาน์เตอร์ จำนวน 3 ชุด ที่มีโหมดการทำงานเสริมในส่วนของ การสร้างสัญญาณ PWM (Pulse width Modulation) และส่วนของการตรวจจับสัญญาณอินพุตแคปเจอร์ (input capture) มีอุปกรณ์สื่อสารข้อมูลอนุกรมแบบ UART และ SPI และยังมีระบบการแปลงสัญญาณอนาล็อกเป็นดิจิตอล ขนาด 10 บิต จำนวน 8 ช่อง ที่มาพร้อมกับ Microcontroller Unit (MCU) มีส่วนการทำงานของวอตช์ดีด็อกไทม์เมอร์ เพื่อตรวจสอบการทำงานของไมโครคอนโทรลเลอร์ และมีระบบการประหยัดพลังงานอีก 3 ระบบ ALU จะสนับสนุนการกระทางคณิตศาสตร์และลอจิกระหว่าง รีจิสเตอร์กับรีจิสเตอร์หรือระหว่างรีจิสเตอร์กับค่าคงที่ ซึ่งการเรียกใช้รีจิสเตอร์สามารถทำได้โดยการอ้างหน่วยความจำภายในที่ตำแหน่ง \$00-\$1F จำนวน 32 ตำแหน่ง และใน MCU ยังได้จัดแบ่งให้มีรีจิสเตอร์ที่ใช้ควบคุมการทำงานของหน่วยอินพุตและเอาต์พุตต่างๆ อีก 64 ตำแหน่ง โดยสามารถเรียกใช้งานได้โดย การอ้างตำแหน่งหน่วยความจำที่ตำแหน่ง \$20-\$5F

2.2.1.2 รีจิสเตอร์ใช้งานทั่วไป

	7	0	Addr.	
General Purpose Working Registers	R0		\$00	
	R1		\$01	
	R2		\$02	
	...			
	R13		\$0D	
	R14		\$0E	
	R15		\$0F	
	R16		\$10	
	R17		\$11	
	...			
	R26		\$1A	X-register low byte
	R27		\$1B	X-register high byte
	R28		\$1C	Y-register low byte
	R29		\$1D	Y-register high byte
	R30		\$1E	Z-register low byte
	R31		\$1F	Z-register high byte

รูปที่ 2.4 โครงสร้างของรีจิสเตอร์ใช้งานทั่วไป

ในรูปที่ 2.4 แสดงการจัดวางตำแหน่งของรีจิสเตอร์ใช้งานทั่วไปทั้งหมด โดยมีรีจิสเตอร์ที่สามารถนำมาใช้งานเป็นเรจิสเตอร์คู่เพื่อทำเป็นตัวชี้ข้อมูลที่อยู่ในหน่วยความจำ ซึ่งรีจิสเตอร์ในกลุ่มนี้จะใช้ชื่อว่า X, Y และ Z ดังแสดงใน รูปที่ 2.5 โดยในรีจิสเตอร์ R26...R31 นี้สามารถนำมาต่อกันเพื่อทำเป็นรีจิสเตอร์คู่เพื่อใช้งานเป็นตัวชี้ข้อมูลในชื่อของรีจิสเตอร์ X, Y และ Z



รูปที่ 2.5 : แสดงรีจิสเตอร์ X, Y และ Z

2.2.1.3 หน่วยความจำ SRAM

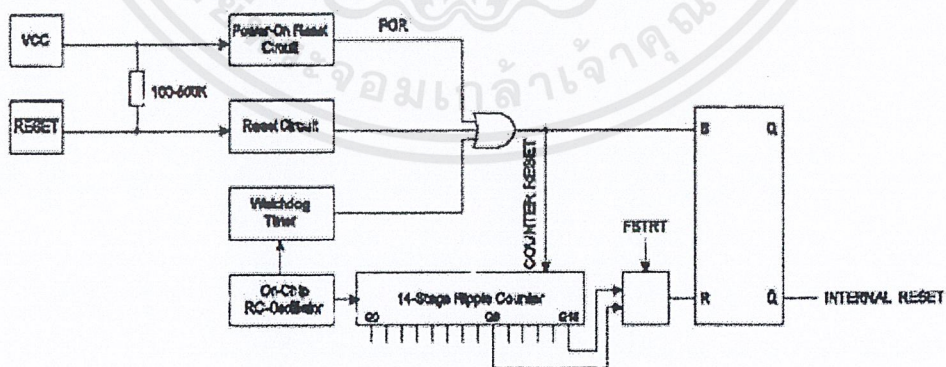
หน่วยความจำภายใน MCU จัดให้มีหน่วยความจำ 608 ตำแหน่ง โดยหน่วยความจำทั้งหมดจะถูกแบ่งออกเป็นพื้นที่ของรีจิสเตอร์ใช้งานทั่วไป รีจิสเตอร์ใช้งานอินพุต/เอาต์พุต และหน่วยความจำภายใน SRAM โดยใน 96 ตำแหน่งแรกจะถูกแบ่งออกเป็นส่วนของรีจิสเตอร์และอีก 512 ตำแหน่งจะถูกจัดไว้เป็นส่วนหนึ่งของหน่วยความจำภายใน SRAM สำหรับการเข้าถึงข้อมูลจะถูกแบ่งออกเป็น 5 ส่วนคือ Direct, Indirect with Displacement, Indirect, Indirect with Pre-Decrement และ Indirect with Post-Increment ดังแสดงโครงสร้างของหน่วยความจำไว้ในรูปที่ 2.6

Register File		Data Address Space
R0		\$0000
R1		\$0001
R2		\$0002
...		...
R29		\$001D
R30		\$001E
R31		\$001F
I/O Registers		
\$00		\$0020
\$01		\$0021
\$02		\$0022
...		...
\$3D		\$005D
\$3E		\$005E
\$3F		\$005F
Internal SRAM		
		\$0060
		\$0061
		...
		\$015E/\$025E
		\$015F/\$025F

รูปที่ 2.6 บล็อกไดอะแกรมของหน่วยความจำ

2.2.1.4 การรีเซ็ตและการอินเทอร์รัปต์

ไมโครคอนโทรลเลอร์ AT90S8535 มีระบบการตอบสนองของสัญญาณอินเทอร์รัปต์จาก 16 แหล่งสัญญาณโดยได้แยกอินเทอร์รัปต์เช็กเตอร์ของแต่ละอินเทอร์รัปต์ออกจากกัน ในการควบคุมการตอบสนองของอินเทอร์รัปต์แต่ละแหล่งสามารถแยกการควบคุมได้จากบิตอีนาเบิลของอินเทอร์รัปต์ทั้งหมดโดยตำแหน่งแรก ๆ ในหน่วยความจำโปรแกรมจะเป็นตำแหน่งที่ถูกใช้เป็นที่ของอินเทอร์รัปต์เวกเตอร์ โดยเริ่มจากอินเทอร์รัปต์ที่มีระดับความสำคัญสูงสุด คือ รีเซ็ต จนถึงอินเทอร์รัปต์ที่มีระดับความสำคัญต่ำสุด รูปที่ 2.7 แสดงโครงสร้างของวงจรรีเซ็ต



รูปที่ 2.7 โครงสร้างของวงจรรีเซ็ต

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สัญญาณรีเซ็ตไมโครคอนโทรลเลอร์ AT90S8535 มีสัญญาณรีเซ็ต 3 แหล่ง คือ

2.2.1.4.1. POWER ON RESET ไมโครคอนโทรลเลอร์จะรีเซ็ตอัตโนมัติเมื่อมีการจ่ายไฟให้กับขา Vcc และ GND

2.2.1.4.2. EXTERNAL RESET ไมโครคอนโทรลเลอร์จะรีเซ็ตเมื่อมีสัญญาณลอจิก LOW เข้ามาที่ขารีเซ็ตเป็นระยะเวลามากกว่า 2 คาบเวลาของสัญญาณนาฬิกาจากคริสตอล

2.2.1.4.3. WATCHDOG RESET

ไมโครคอนโทรลเลอร์จะรีเซ็ตเมื่อถึงครบเวลาของวอตช์ด็อก ในระหว่างที่เกิดการรีเซ็ต รีจิสเตอร์ทั้งหมดจะถูกกำหนดให้อยู่ที่ค่าเริ่มต้นและโปรแกรมจะเริ่มทำงานที่ตำแหน่ง \$0000 โดยคำสั่งที่ตำแหน่ง \$0000 จะต้องเป็นคำสั่ง RJMP แต่ถ้าโปรแกรมไม่มีการกำหนดให้มีการใช้อินเตอร์รัปต์พื้นที่ส่วนที่เป็นอินเตอร์รัปต์เวกเตอร์จะถูกใช้เป็นที่ของโปรแกรม

2.2.1.5 Power On Reset

วงจรของ Power On Reset (POR) ถูกสร้างขึ้นเพื่อให้แน่ใจว่า MCU จะไม่ทำงานถ้าระดับของแรงดันไฟเลี้ยงวงจรยังไม่ถึงระดับที่จะทำให้ระบบการทำงานภายในของ MCU ทำงานได้อย่างถูกต้อง ถ้าต้องการใช้ระบบ Power On Reset ภายใน MCU จะต้องต่อขารีเซ็ต เข้ากับ Vcc หรือ ต่อผ่านความต้านทานพูลอัพค่าประมาณ 100 กิโลโอห์ม ถึง 500 กิโลโอห์ม

2.2.1.6 External Reset

การรีเซ็ตจากภายนอกจะเกิดขึ้นโดยการให้ลอจิก LOW ที่ขา RESET อย่างน้อย 2 คาบเวลาของสัญญาณนาฬิกา ซึ่งเมื่อสัญญาณที่ขอบขาขึ้นของขารีเซ็ตขึ้นถึงระดับแรงดันเทรชโฮลด์ (Threshold Voltage) จะทำให้วงจรหน่วงเวลา (Time Delay) เริ่มทำงาน ซึ่ง CPU จะถูกรีเซ็ต เมื่อคาบเวลาของ Timer Delay มากกว่าคาบเวลา Time-Out

2.2.1.7 Watchdog Reset

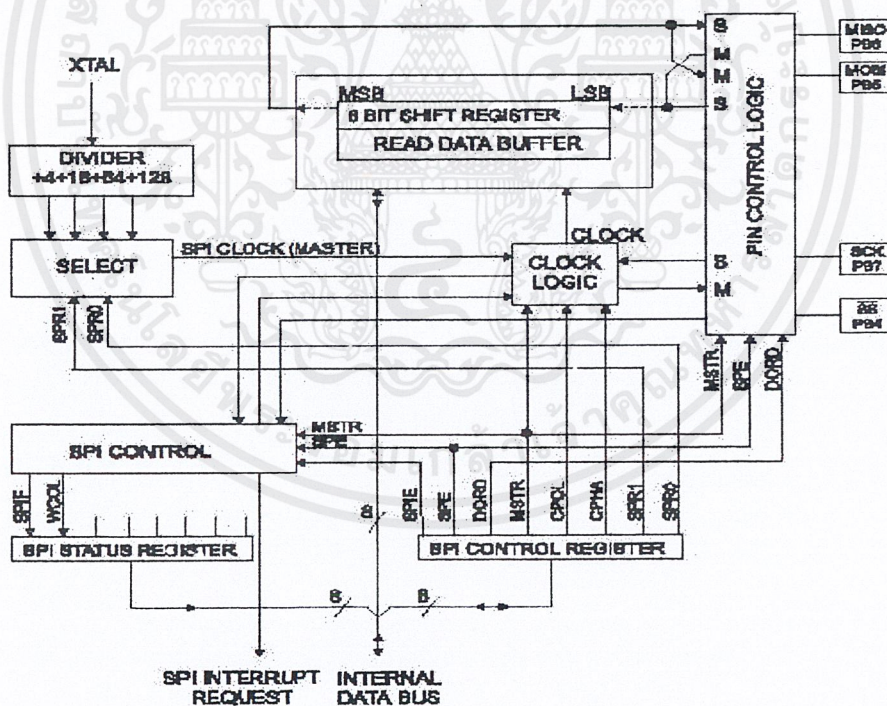
เมื่อ Watchdog TIME-OUT เริ่มกำเนิดสัญญาณพัลส์ที่มีคาบเวลาเท่ากับคาบเวลาของสัญญาณ นาฬิกา โดยในช่วงขอบขาลงของพัลส์จะทำให้ระบบการหน่วงเวลาเริ่มทำงานจนหมดช่วงเวลาของ TIME-OUT จึงจะทำให้ CPU รีเซ็ต

2.2.1.8 การสื่อสารข้อมูลแบบอนุกรม

ภายในไมโครคอนโทรลเลอร์ AT90S8535 มีระบบการสื่อสารแบบอนุกรม 2 แบบ คือ Serial Peripheral Interface (SPI) ซึ่งเป็นระบบการสื่อสารที่ใช้การสื่อสารแบบซิงโครนัส และอีกระบบหนึ่งคือระบบ Universal Asynchronous Receiver and Transmitter (UART) ซึ่งเป็นระบบการสื่อสารที่ใช้การสื่อสารแบบอะซิงโครนัส ดังแสดงโครงสร้างของ SPI ไว้ใน

2.2.1.8.1 Serial Peripheral Interface (SPI) เป็นการอินเทอร์เฟซสัญญาณแบบอนุกรม มีคุณลักษณะดังนี้คือ

- เป็นการสื่อสารแบบฟูลดูเพล็กซ์ที่ใช้สายสัญญาณ 3 เส้นในการส่งถ่ายข้อมูล
- สามารถทำงานเป็นได้ทั้งตัวส่งข้อมูลและตัวรับข้อมูล
- สามารถเลือกได้ว่าจะให้ส่งบิต MSB หรือ LSB ออกก่อน
- มี FLAG แสดงสถานะการส่งข้อมูลสิ้นสุด

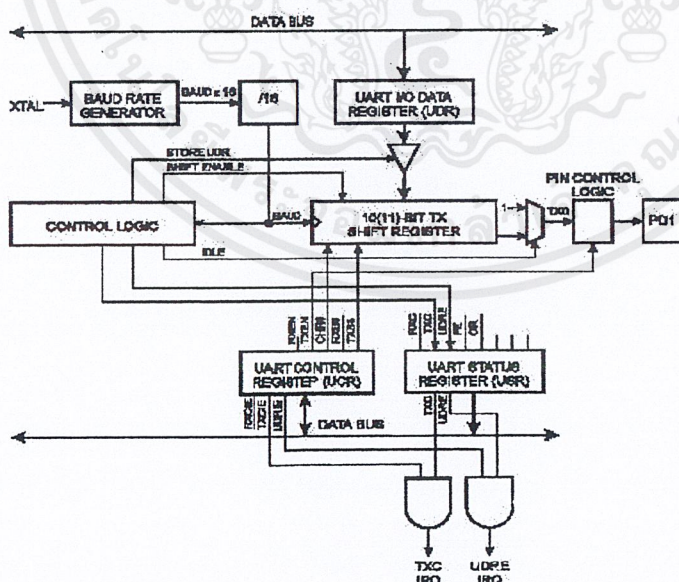


รูปที่ 2.8 โครงสร้างของ Serial Peripheral Interface (SPI)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.2.1.8.2 Universal Asynchronous Receiver and Transmitter (UART) เป็นการอินเทอร์เฟซสัญญาณแบบอะซิงโคร-นัสมี่คุณลักษณะดังนี้คือ

- สามารถเปลี่ยนแปลง BAUD RATE ของการสื่อสารได้หลาย BAUD RATE
- สามารถสื่อสารได้ในอัตรา BAUD RATE ที่สูงในขณะที่ความถี่คริสตอลต่ำ
- สื่อสารข้อมูลได้ทั้ง 8 บิตและ 9 บิต
- มีส่วนของการกำจัดสัญญาณรบกวน (Noise filtering) ที่เกิดขึ้นในสายส่ง
- ตรวจจับความผิดพลาดของการสื่อสารข้อมูลที่เกิดจากข้อมูลที่ถูกส่งเข้ามาก่อนยังไม่ได้ถูกอ่านออกจากบัฟเฟอร์ และมีข้อมูลใหม่เข้ามาทับ (Overrun detection)
- ตรวจจับความผิดพลาดของกรอบข้อมูลผิดพลาด
- ตรวจจับความผิดพลาดของบิตเริ่มต้น
- จัดให้มีการแยกระบบอินเทอร์รัปต์ของการสื่อสารออกเป็น 3 ส่วนคือ อินเทอร์รัปต์ที่เกิดจากการส่งข้อมูล อินเทอร์รัปต์ที่เกิดจากการรับข้อมูล และอินเทอร์รัปต์ที่เกิดจากการไม่มีข้อมูลในรีจิสเตอร์
- มีบัฟเฟอร์ในการเก็บข้อมูลที่จะส่งออกและข้อมูลที่ได้รับเข้า

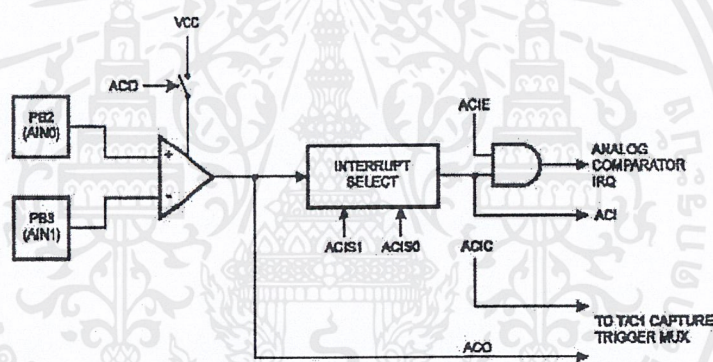


รูปที่ 2.9 โครงสร้าง
ของ Universal
Asynchronous
Receiver and
Transmitter (UART)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.2.1.9 การเปรียบเทียบสัญญาณอนาลอก

วงจรเปรียบเทียบสัญญาณอนาลอกที่มีใน AT90S8535 จะทำหน้าที่เปรียบเทียบสัญญาณอนาลอกที่ขา PB2 (AIN0) และขา PB3 (AIN1) (ระดับสัญญาณไม่เกิน 5 โวลต์) โดยขา PB2 (AIN0) ทำหน้าที่เป็นขาสัญญาณบวก(+) ของวงจรเปรียบเทียบ และขา PB3 (AIN1) ทำหน้าที่เป็นขาสัญญาณลบ(-)ของวงจรเปรียบเทียบ เมื่อระดับสัญญาณที่ขา PB2 (AIN0) มีค่ามากกว่าระดับสัญญาณที่ขา PB3 (AIN1) จะทำให้เอาต์พุตของวงจรเปรียบเทียบมีระดับลอจิก High ซึ่งจะ ทำให้บิต ACO เซตเป็น "1" ซึ่งสัญญาณจากบิต ACO จะถูกนำไปใช้เป็นอินพุตของชุด Input Capture Function ของ Timer/Counter1 สัญญาณที่ออกมาจากเอาต์พุตของวงจรเปรียบเทียบ จะถูกนำไปเป็นสัญญาณกำเนิดอินเตอร์รัปต์ ซึ่งจะเกิดอินเตอร์รัปต์เมื่อสัญญาณที่ขา PB2(AIN0) มีค่ามากกว่าสัญญาณที่ขา PB3 (AIN1) ในรูปที่ 2.10 แสดงบล็อกไดอะแกรมของวงจรเปรียบเทียบสัญญาณอนาลอก



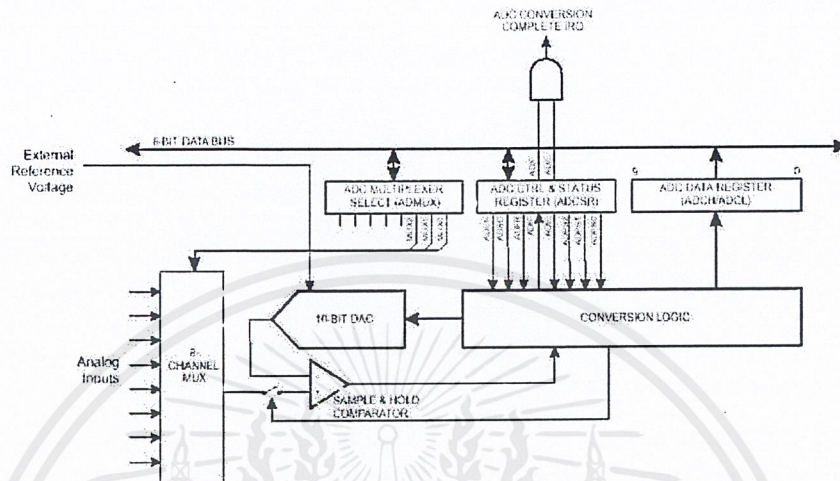
รูปที่ 2.10 บล็อกไดอะแกรมของการเปรียบเทียบสัญญาณอนาลอก

2.2.1.10 การแปลงสัญญาณอนาลอกเป็นดิจิตอล

ในส่วนของวงจรแปลงสัญญาณอนาลอกเป็นดิจิตอลนั้นมีคุณสมบัติเด่นดังต่อไปนี้

- ความละเอียดขนาด 10 บิต
- ความถูกต้อง +/- 1/2 LSB
- ค่าเวลาการแปลงสัญญาณ 65-260 ไมโครวินาที
- แชนเนลอินพุตเป็นแบบมัลติเพล็กซ์

- มีโหมดการแปลงสัญญาณแบบซิงเกิลหรือรันทิม
- มีการอินเตอร์รัปต์บนวงจรแปลงอย่างสมบูรณ์
- ตัดสัญญาณรบกวนเมื่อเข้าสู่โหมด sleep mode



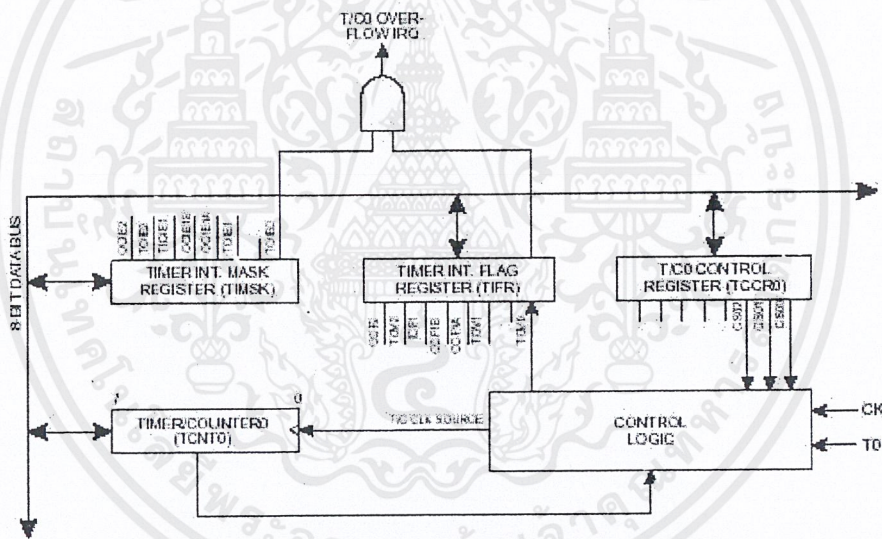
รูปที่ 2.11 บล็อกไดอะแกรมของวงจรแปลงสัญญาณอนาลอกเป็นดิจิตอล

ในรูปที่ 2.11 แสดงบล็อกไดอะแกรมของวงจรแปลงสัญญาณอนาลอกเป็นดิจิตอล (Analog to Digital Converter: ADC) ซึ่ง AT90S8535 ได้จัดให้มีวงจรแปลงสัญญาณอนาลอกเป็นดิจิตอลขนาด 10 บิตจำนวน 8 แชนเนล ซึ่งแต่ละแชนเนลจะรับสัญญาณเข้ามาทางขาของพอร์ต A ในแต่ละขาโดยในระบบจะมีวงจรเทมเปิลและโฮลเพื่อช่วยให้สัญญาณอนาลอก ที่รับเข้ามาแปลงเป็นสัญญาณดิจิตอลมีระดับสัญญาณคงที่ โดยวงจรแปลงสัญญาณอนาลอกเป็นดิจิตอล นี้จะมีแหล่งจ่ายไฟและกราวด์แยกกันต่างหาก จากแหล่งจ่ายไฟของระบบดิจิตอล ซึ่งในการใช้งานจริงไม่ควรให้ความแตกต่างกันเกิน ± 0.3 โวลต์ ซึ่งในการใช้งานจะต้องจ่ายแรงดันไฟอ้างอิงและกราวด์ที่ขา A_{REF} ในช่วงของระดับแรงดัน $A_{VCC} - A_{GND}$ การทำงานในส่วนของการแปลงสัญญาณอนาลอกเป็นดิจิตอลสามารถทำงานได้ 2 โหมดคือ Single Conversion Mode และ 3 Free Running Mode โดยการทำงานแบบ single conversion mode ผู้ใช้ต้องเป็นผู้กำหนดการใช้งานขึ้นเอง แต่ในส่วนของ free running mode วงจรแปลงสัญญาณ ADC จะเป็นตัวจัดการอ่านข้อมูลและเก็บในดาต้ารีจิสเตอร์ ADC ซึ่งบิต ADFR ในรีจิสเตอร์ ADCSR จะเป็นบิตที่ใช้เลือกโหมดการใช้งานของวงจรแปลง ADC

2.2.1.11 ระบบไทม์เมอร์และเคาน์เตอร์

ภายใน AT90S8535 จัดให้มีวงจรไทม์เมอร์/เคาน์เตอร์ 3 ชุด โดยจัดเป็นไทม์เมอร์/เคาน์เตอร์ ขนาด 8 บิต 2 ชุดและไทม์เมอร์/เคาน์เตอร์ ขนาด 16 บิต 1 ชุด โดยไทม์เมอร์/เคาน์เตอร์ 2 สามารถรับสัญญาณนาฬิกาจากภายนอกได้ ซึ่งเป็นส่วนเพิ่มเติมที่จะไทม์เมอร์/เคาน์เตอร์ 2 มาทำเป็น RTC โดยใช้คริสตอลที่มีค่าความถี่เท่ากับ 32.768 กิโลเฮิร์ตซ์ มาเป็นฐานเวลา ไทม์เมอร์/เคาน์เตอร์ 0 และไทม์เมอร์/เคาน์เตอร์ 1 จะใช้วงจรปริสเกลขนาด 10 บิต ร่วมกันส่วนไทม์เมอร์/เคาน์เตอร์ 2 นั้นจะใช้วงจรปริสเกลแยกออกต่างหาก ในรูปที่ 2.12 รูปที่ 2.13 และ รูปที่ 2.14 แสดงบล็อกไดอะแกรมของไทม์เมอร์/เคาน์เตอร์ 0, 1 และ ไทม์เมอร์/เคาน์เตอร์ 2 ตามลำดับ

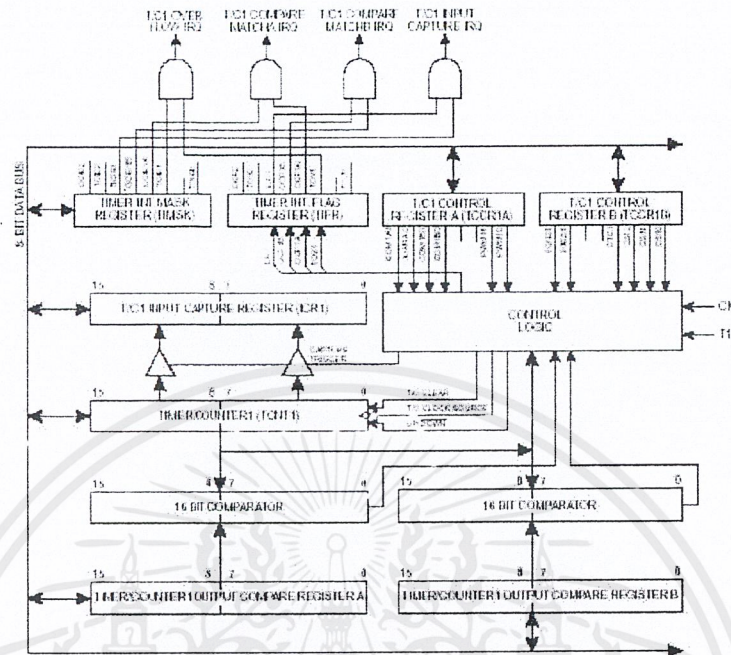
ไทม์เมอร์/เคาน์เตอร์ 0 จะมีขนาด 8 บิตสามารถเลือกสัญญาณนาฬิกาได้จาก CK (สัญญาณนาฬิกาของระบบ) หรือสัญญาณนาฬิกาของระบบที่ถูกลด (Prescaling) หรือสัญญาณนาฬิกาจากภายนอก



รูปที่ 2.12 โครงสร้างของไทม์เมอร์/เคาน์เตอร์ 0

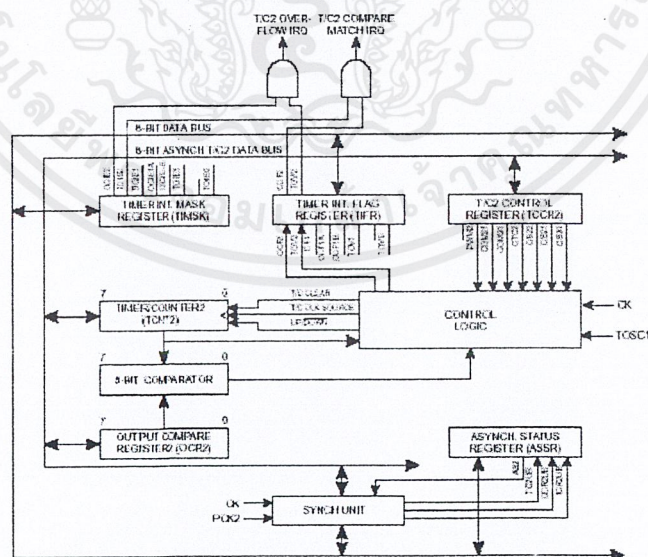
ไทม์เมอร์/เคาน์เตอร์ 1 จะมีขนาด 16 บิตโดยสามารถเลือกสัญญาณนาฬิกาได้จาก CK หรือ สัญญาณที่ได้รับหารจาก CK(Prescaling) ส่วนการใช้งานไทม์เมอร์/เคาน์เตอร์ 1 ในโหมด PWM นั้นจะสามารถเลือกใช้งานได้ขนาด 8, 9 หรือ 10 บิต โดยเอาต์พุตที่ได้จะออกมาที่ขา PD5 (OC1A) และขา PD(OC1B) ซึ่งลักษณะการทำงานนั้นจะนับขึ้นและนับลง โดยจะนับขึ้นจาก 000 ถึงค่าสูงสุด และจะนับจากค่าสูงสุดลงมาที่ 000 แล้วจึงนับขึ้นอีกครั้งเมื่อค่าในไทม์เมอร์/

เคาน์เตอร์ 1 เท่ากับค่าในรีจิสเตอร์ OCR1A หรือ OCR1B จะทำให้ขา PD5 (OC1A) / PD1 (OC1B) เปลี่ยนแปลงตามที่กำหนดในบิต COM1A1/COM1A0 หรือ COM1B1/COM1B0



รูปที่ 2.13 โครงสร้างของไทม์เมอร์/เคาน์เตอร์ 1

ไทม์เมอร์/เคาน์เตอร์ 2 มีขนาด 8 บิต ที่มีส่วนของ input capture, output compare match และ PWM เหมือนกับไทม์เมอร์/เคาน์เตอร์ 1 แต่เพิ่มส่วนของการทำงานแบบซิงโครนัส เคาน์เตอร์เข้ามา



รูปที่ 2.14 โครงสร้างของไทม์เมอร์/เคาน์เตอร์ 2

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.2.2 หน่วยประมวลผล เบอร์ AT90S2313

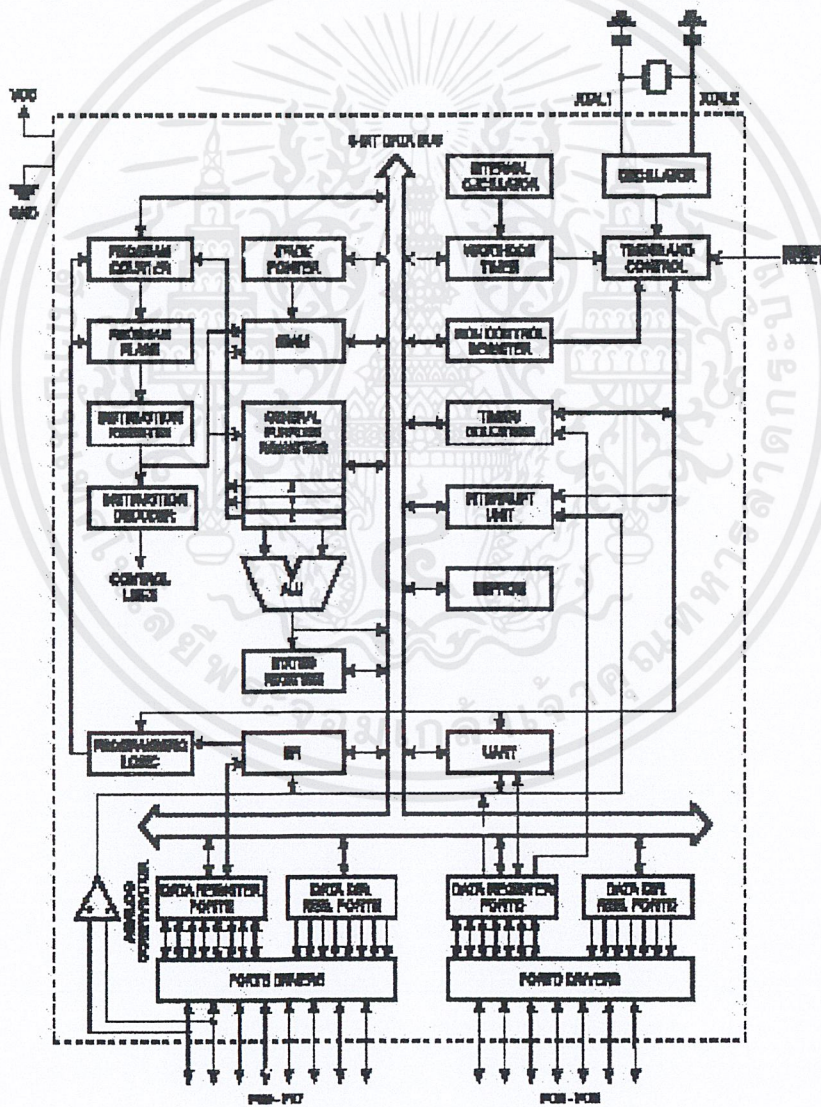
PDIP/SOIC

RESET	1	20	VCC
(RXD) PD0	2	19	PB7 (SCK)
(TXD) PD1	3	18	PB6 (MISO)
XTAL2	4	17	PB5 (MOSI)
XTAL1	5	16	PB4
(INT0) PD2	6	15	PB3 (OC1)
(INT1) PD3	7	14	PB2
(T0) PD4	8	13	PB1 (AIN1)
(T1) PD5	9	12	PB0 (AIN0)
GND	10	11	PD6 (ICP)

รูปที่ 2.15 ลักษณะการจัดขาและตัวถังบรรจุ

AT90S2313 เป็นไมโครคอนโทรลเลอร์ขนาด 8 บิต

2.2.2.1 ลักษณะทั่วไป



รูปที่ 2.16 บล็อกไดอะแกรมสถาปัตยกรรมแบบ RISC ของ AT90S2313

AT90S2313 เป็นไมโครคอนโทรลเลอร์ขนาด 8 บิต ที่มีสถาปัตยกรรมแบบ RISC โดยระบบการทำงานของไมโครคอนโทรลเลอร์จะใช้หลักการออกแบบของฮาร์ดแวร์ ด้วยการแยกระบบบัสของโปรแกรมและข้อมูลออกจากกัน ซึ่งโปรแกรมจะมีการประมวลผลด้วย Single Level Pipelining ซึ่งจะทำให้ CPU สามารถ Fetch และ Execute คำสั่งได้ภายใน 1 คาบเวลาซึ่งทำให้สามารถประมวลคำสั่งได้ 1 MIPS/MHz แสดงโครงสร้างสถาปัตยกรรมแบบ RISC ของ AT90S2313 ภายในประกอบด้วยรีจิสเตอร์ใช้งานทั่วไปขนาด 8 บิต จำนวน 32 ตัว ซึ่งแต่ละตัวจะต่อเข้ากับ ALU โดยตรง และมีพอร์ตที่สามารถทำงานได้ 2 ทิศทาง จำนวน 32 เส้นสัญญาณ และระบบไทม์เมอร์ / เคาน์เตอร์ จำนวน 2 ชุด ซึ่งมีอุปกรณ์สื่อสารข้อมูลอนุกรมแบบ UART มีส่วนการทำงานของวอตช์ด็อกไทม์เมอร์ เพื่อตรวจสอบการทำงานของไมโครคอนโทรลเลอร์ และมีระบบการประหยัดพลังงานอีก 3 ระบบ ALU จะสนับสนุนการกระทางคณิตศาสตร์และลอจิกระหว่าง รีจิสเตอร์กับรีจิสเตอร์ หรือระหว่างรีจิสเตอร์กับค่าคงที่ ซึ่งการเรียกใช้รีจิสเตอร์สามารถกระทำได้โดยการอ้างหน่วยความจำภายในที่ตำแหน่ง \$00-\$1F จำนวน 32 ตำแหน่ง และใน MCU ยังได้จัดแบ่งให้มีรีจิสเตอร์ที่ใช้ควบคุมการทำงานของหน่วยอินพุตและเอาต์พุตต่างๆ อีก 64 ตำแหน่ง โดยสามารถเรียกใช้งานได้โดยการอ้างตำแหน่งหน่วย ความจำที่ตำแหน่ง \$20-\$5F

2.2.2.2 รีจิสเตอร์ใช้งานทั่วไป

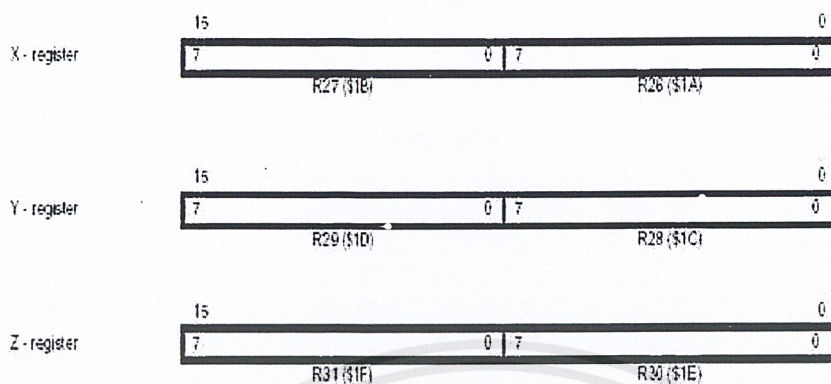
	7	0	Addr.	
	R0		\$00	
	R1		\$01	
	R2		\$02	
	...			
	R13		\$0D	
	R14		\$0E	
	R15		\$0F	
	R16		\$10	
	R17		\$11	
	...			
	R26		\$1A	X-register low byte
	R27		\$1B	X-register high byte
	R28		\$1C	Y-register low byte
	R29		\$1D	Y-register high byte
	R30		\$1E	Z-register low byte
	R31		\$1F	Z-register high byte

General Purpose Working Registers

รูปที่ 2.17 โครงสร้างของรีจิสเตอร์ใช้งานทั่วไป

ในรูปที่ 2.17 แสดงการจัดวางตำแหน่งของรีจิสเตอร์ใช้งานทั่วไปทั้งหมด โดยมีรีจิสเตอร์ที่สามารถนำมาใช้งานเป็นรีจิสเตอร์คู่เพื่อทำเป็นตัวชี้ข้อมูลที่อยู่ในหน่วยความจำ ซึ่งรีจิสเตอร์ใน

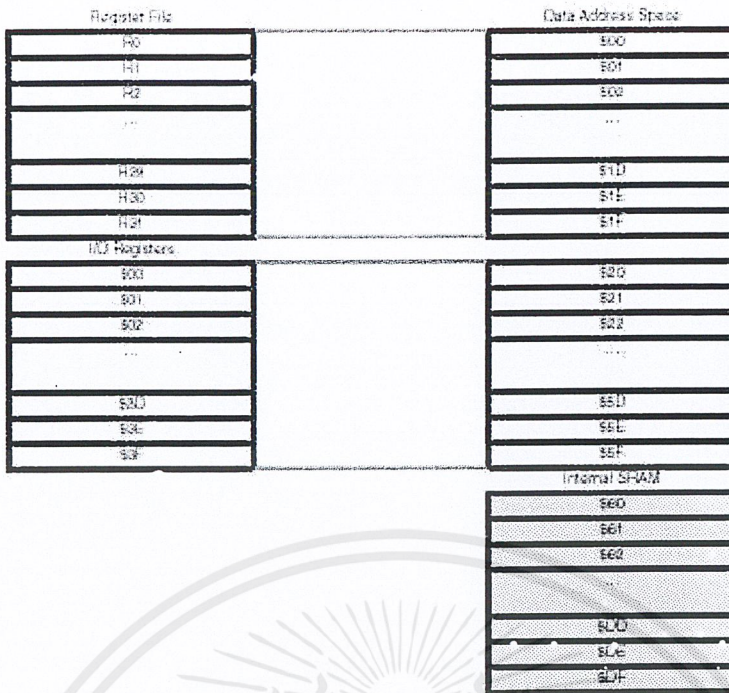
กลุ่มนี้จะใช้ชื่อว่า X, Y และ Z ดังแสดงใน รูปที่ 2.18 โดยในรีจิสเตอร์ R26...R31 นี้สามารถนำมาต่อกันเพื่อทำเป็นรีจิสเตอร์คู่เพื่อใช้งานเป็นตัวชี้ข้อมูลในชื่อของรีจิสเตอร์ X, Y และ Z



รูปที่ 2.18 แสดงรีจิสเตอร์ X, Y และ Z

2.2.2.3 หน่วยความจำ SRAM

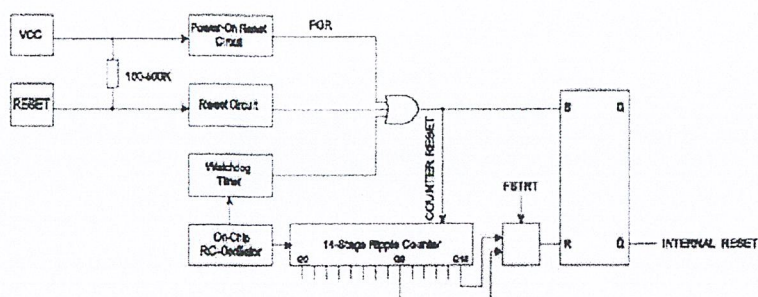
หน่วยความจำภายใน MCU จัดให้มีหน่วยความจำ 224 ตำแหน่ง โดยหน่วยความจำทั้งหมดจะถูกแบ่งออกเป็นพื้นที่ของรีจิสเตอร์ใช้งานทั่วไป รีจิสเตอร์ใช้งานอินพุต/เอาต์พุต และหน่วยความจำภายใน SRAM โดยใน 96 ตำแหน่งแรกจะถูกแบ่งออกเป็นส่วนของรีจิสเตอร์และอีก 128 ตำแหน่งจะถูกจัดไว้เป็นส่วนของหน่วยความจำภายใน SRAM สำหรับการเข้าถึงข้อมูลจะถูกแบ่งออกเป็น 5 ส่วนคือ Direct, Indirect with Displacement, Indirect, Indirect with Pre-Decrement และ Indirect with Post-Increment ดังแสดงโครงสร้างของหน่วยความจำไว้ในรูปที่ 2.19



รูปที่ 2.19 บล็อกไดอะแกรมของหน่วยความจำ

2.2.2.4 การรีเซตและการอินเทอร์รัปต์

ไมโครคอนโทรลเลอร์ AT90S2313 มีระบบการตอบสนองของสัญญาณอินเทอร์รัปต์จาก 16 แหล่งสัญญาณโดยได้แยกอินเทอร์รัปต์เซ็กเตอร์ของแต่ละอินเทอร์รัปต์ออกจากกัน ในการควบคุมการตอบสนองของอินเทอร์รัปต์แต่ละแหล่งสามารถแยกการควบคุมได้จากบิตอินาเบิลของอินเทอร์รัปต์ทั้งหมดโดยตำแหน่งแรก ๆ ในหน่วยความจำโปรแกรมจะเป็นตำแหน่งที่ถูกใช้เป็นที่ของอินเทอร์รัปต์เวกเตอร์ โดยเริ่มจากอินเทอร์รัปต์ที่มีระดับความสำคัญสูงสุด คือ รีเซต จนถึงอินเทอร์รัปต์ที่มีระดับความสำคัญต่ำสุด รูปที่ 2.20 แสดงโครงสร้างของวงจรรีเซต



รูปที่ 2.20 โครงสร้างของวงจรรีเซ็ต

สัญญาณรีเซ็ต ไมโครคอนโทรลเลอร์ AT90S2313 มีสัญญาณรีเซ็ต 3 แหล่ง คือ

2.2.2.4.1. POWER ON RESET ไมโครคอนโทรลเลอร์จะรีเซ็ตอัตโนมัติเมื่อมีการจ่ายไฟให้กับขา Vcc และ GND

2.2.2.4.2. EXTERNAL RESET ไมโครคอนโทรลเลอร์จะรีเซ็ตเมื่อมีสัญญาณลอจิก LOW เข้ามาที่ขา รีเซ็ตเป็นระยะเวลามากกว่า 2 คาบเวลาของสัญญาณนาฬิกาจากคริสตอล

2.2.2.4.3. WATCHDOG RESET ไมโครคอนโทรลเลอร์จะรีเซ็ตเมื่อถึงครบเวลาของวอตช์ด็อก ในระหว่างที่เกิดการรีเซ็ต รีจิสเตอร์ทั้งหมดจะถูกกำหนดให้อยู่ที่ค่าเริ่มต้นและโปรแกรมจะเริ่มทำงานที่ตำแหน่ง \$0000 โดยคำสั่งที่ตำแหน่ง \$0000 จะต้องเป็นคำสั่ง RJMP แต่ถ้าโปรแกรมไม่มีการกำหนดให้มีการใช้อินเตอร์รัปต์พื้นที่ส่วนที่เป็นอินเตอร์รัปต์เวกเตอร์จะถูกใช้เป็นพื้นที่ของโปรแกรม

2.2.2.5 Power On Reset

วงจรรีเซ็ตของ Power On Reset (POR) ถูกสร้างขึ้นเพื่อให้แน่ใจว่า MCU จะไม่ทำงานถ้าระดับของแรงดันไฟเลี้ยงวงจรยังไม่ถึงระดับที่จะทำให้ระบบการทำงานภายในของ MCU ทำงานได้อย่างถูกต้อง ถ้าต้องการใช้ระบบ Power On Reset ภายใน MCU จะต้องต่อขา รีเซ็ต เข้ากับ Vcc หรือต่อผ่านความต้านทานพูลอัปค่าประมาณ 100 กิโลโอห์ม ถึง 500 กิโลโอห์ม

2.2.2.6 External Reset

การรีเซ็ตจากภายนอกจะเกิดขึ้นโดยการให้ลอจิก LOW ที่ขา RESET อย่างน้อย 2 คาบเวลาของสัญญาณนาฬิกา ซึ่งเมื่อสัญญาณที่ขอขา รีเซ็ตขึ้นถึงระดับแรงดันเทรชโวลด์ (Threshold Voltage) จะทำให้วงจรรีเซ็ตเวลา (Time Delay) เริ่มทำงาน ซึ่ง CPU จะถูกรีเซ็ต เมื่อ

เซต เมื่อคาบเวลาของ Timer Delay มากกว่าคาบเวลา Time-Out

2.2.2.7 Watchdog Reset

เมื่อ WTD TIME-OUT เริ่มกำเนิดสัญญาณพัลส์ที่มีคาบเวลาเท่ากับคาบเวลาของสัญญาณนาฬิกา โดยในช่วงขอบขาของพัลส์จะทำให้ระบบการหน่วงเวลาเริ่มทำงานจนหมดช่วงเวลาของ TIME-OUT จึงจะทำให้ CPU รีเซต

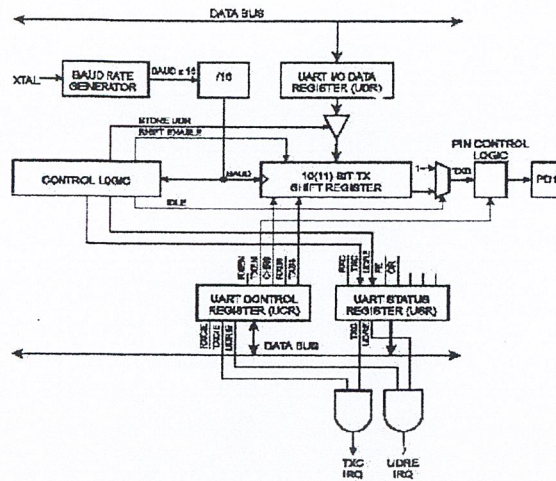
2.2.2.8 การสื่อสารข้อมูลแบบอนุกรม

ภายในไมโครคอนโทรลเลอร์ AT90S2313 มีระบบการสื่อสารแบบอนุกรม 1 แบบ คือระบบหนึ่งคือระบบ Universal Asynchronous Receiver and Transmitter (UART) ซึ่งเป็นระบบการสื่อสารที่ใช้การสื่อสารแบบอะซิงโครนัส

2.2.2.8.1 Universal Asynchronous Receiver and Transmitter (UART) เป็นการอินเทอร์เฟซสัญญาณแบบอะซิงโครนัสมีคุณลักษณะดังนี้คือ

- สามารถเปลี่ยนแปลง BAUD RATE ของการสื่อสารได้หลาย BAUD RATE
- สามารถสื่อสารได้ในอัตรา BAUD RATE ที่สูงในขณะที่ความถี่คริสตอลต่ำ
- สื่อสารข้อมูลได้ทั้ง 8 บิตและ 9 บิต
- มีส่วนของการกำจัดสัญญาณรบกวน (Noise filtering) ที่เกิดขึ้นในสายส่ง
- ตรวจจับความผิดพลาดของการสื่อสารข้อมูลที่เกิดจากข้อมูลที่ถูกส่งเข้ามาก่อนยังไม่ได้ถูกอ่านออกจากบัฟเฟอร์ และมีข้อมูลใหม่เข้ามาทับ (Overrun detection)
- ตรวจจับความผิดพลาดของกรอบข้อมูลผิดพลาด
- ตรวจจับความผิดพลาดของบิตเริ่มต้น
- จัดให้มีการแยกระบบอินเทอร์รัปต์ของการสื่อสารออกเป็น 3 ส่วนคือ อินเทอร์รัปต์ที่เกิดจากการส่งข้อมูล อินเทอร์รัปต์ที่เกิดจากการรับข้อมูล และอินเทอร์รัปต์ที่เกิดจากการไม่มีข้อมูลในรีจิสเตอร์
- มีบัฟเฟอร์ในการเก็บข้อมูลที่จะส่งออกและข้อมูลที่รับเข้า

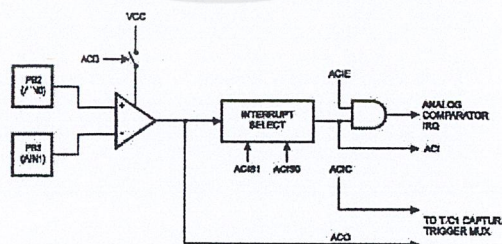
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.21 โครงสร้างของ Universal Asynchronous Receiver and Transmitter (UART)

2.2.2.9 การเปรียบเทียบสัญญาณอนาล็อก

วงจรเปรียบเทียบสัญญาณอนาล็อกที่มีใน AT90S2313 จะทำหน้าที่เปรียบเทียบสัญญาณอนาล็อกที่ขา PB0 (AIN0) และขา PB1 (AIN1) (ระดับสัญญาณไม่เกิน 5 โวลต์) โดยขา PB0 (AIN0) ทำหน้าที่เป็นขาสัญญาณบวก(+) ของวงจรเปรียบเทียบ และขา PB1 (AIN1) ทำหน้าที่เป็นขาสัญญาณลบ(-)ของวงจรเปรียบเทียบ เมื่อระดับสัญญาณที่ขา PB0 (AIN0) มีค่ามากกว่าระดับสัญญาณที่ขา PB1 (AIN1) จะทำให้เอาต์พุตของวงจรเปรียบเทียบมีระดับลอจิก High ซึ่งจะ ทำให้บิต ACO เซตเป็น "1" ซึ่งสัญญาณจากบิต ACO จะถูกนำไปใช้เป็นอินพุตของชุด Input Capture Function ของ Timer/Counter1 สัญญาณที่ออกมาจากเอาต์พุตของวงจรเปรียบเทียบ จะถูกนำไปเป็นสัญญาณกำเนิดอินเตอร์รัปต์ ซึ่งจะเกิดอินเตอร์รัปต์เมื่อสัญญาณที่ขา PB0 (AIN0) มีค่ามากกว่าสัญญาณที่ขา PB1 (AIN1) ในรูปที่ 2.22 แสดงบล็อกไดอะแกรมของวงจรเปรียบเทียบสัญญาณอนาล็อก



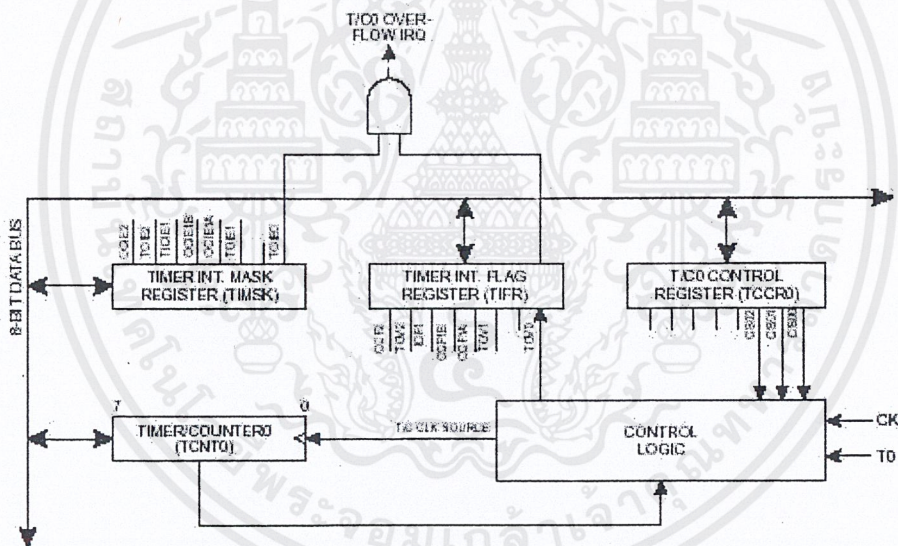
รูปที่ 2.22 วงจรเปรียบเทียบสัญญาณอนาล็อก

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.2.2.10 ระบบไทม์เมอร์และเคาน์เตอร์

ภายใน AT90S2313 จัดให้มีวงจรไทม์เมอร์/เคาน์เตอร์ 2 ชุด โดยจัดเป็นไทม์เมอร์/เคาน์เตอร์ ขนาด 8 บิต 1 ชุดและไทม์เมอร์/เคาน์เตอร์ ขนาด 16 บิต 1 ชุด โดยไทม์เมอร์/เคาน์เตอร์ 1 สามารถรับสัญญาณนาฬิกาจากภายนอกได้ ซึ่งเป็นส่วนเพิ่มเติมที่จะไทม์เมอร์/เคาน์เตอร์ 1 มาทำเป็น RTC โดยใช้คริสตอลที่มีค่าความถี่เท่ากับ 32.768 กิโลเฮิร์ตซ์ มาเป็นฐานเวลา ไทม์เมอร์/เคาน์เตอร์ 0 และไทม์เมอร์/เคาน์เตอร์ 1 จะใช้วงจรปริสเกลขนาด 10 บิต ร่วมกันส่วนไทม์เมอร์/เคาน์เตอร์ 1 นั้นจะใช้วงจรปริสเกลแยกออกต่างหาก ในรูปที่ 2.23 รูปที่ 2.24 แสดงบล็อกไดอะแกรมของไทม์เมอร์/เคาน์เตอร์ 0 และ ไทม์เมอร์/เคาน์เตอร์ 1 ตามลำดับ

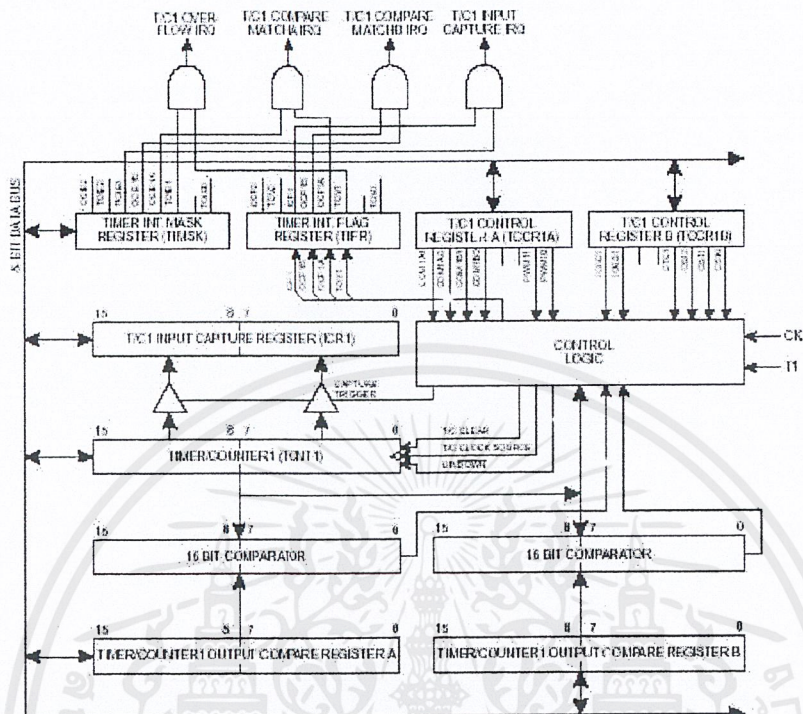
ไทม์เมอร์/เคาน์เตอร์ 0 จะมีขนาด 8 บิต ซึ่งสามารถเลือกสัญญาณนาฬิกาได้จาก CK (สัญญาณนาฬิกาของระบบ) หรือสัญญาณนาฬิกาของระบบที่ถูกหาร (Prescaling) หรือสัญญาณนาฬิกาจากภายนอก



รูปที่ 2.23 ไทม์เมอร์/เคาน์เตอร์ 0 จะมีขนาด 8 บิต

ไทม์เมอร์/เคาน์เตอร์ 1 จะมีขนาด 16 บิตโดยสามารถเลือกสัญญาณนาฬิกาได้จาก CK หรือ สัญญาณที่ได้รับการหารจาก CK(Prescaling) ส่วนการใช้งานไทม์เมอร์/เคาน์เตอร์ 1 ในโหมด PWM นั้นจะสามารถเลือกใช้งานได้ขนาด 8, 9 หรือ 10 บิต โดยเอาต์พุตที่ได้จะออกมาที่ขา PD5 (OC1A) และขา PD(OC1B) ซึ่งลักษณะการทำงานนั้นจะนับขึ้นและนับลง โดยจะนับขึ้นจาก 000 ถึงค่าสูงสุด และจะนับจากค่าสูงสุดลงมาที่ 000 แล้วจึงนับขึ้นอีกครั้งเมื่อค่าในไทม์เมอร์/

เคาน์เตอร์ 1 เท่ากับค่าในรีจิสเตอร์ OCR1A หรือ OCR1B จะทำให้ขา PD5 (OC1A) / PD1 (OC1B) เปลี่ยนแปลงตามที่กำหนดในบิต COM1A1/COM1A0 หรือ COM1B1/COM1B0



รูปที่ 2.24 ไทเมอร์/เคาน์เตอร์ 1 จะมีขนาด 16 บิต

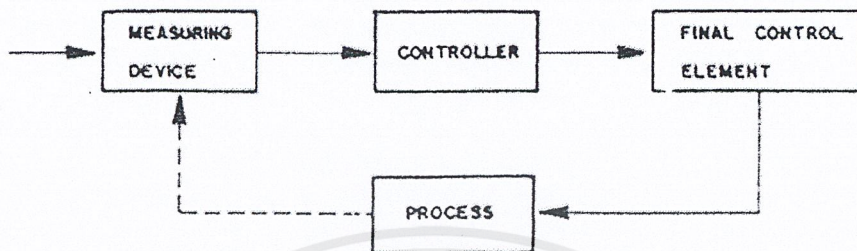
2.3 ระบบการควบคุม

โดยทั่วไปแล้วเป้าหมายของระบบควบคุมต่าง ๆ จะเป็นการควบคุมปริมาณทางฟิสิกส์อัน ได้แก่ อุณหภูมิ ความดัน การเคลื่อนที่ ระดับการไหล เป็นต้น ให้มีค่าใกล้เคียงกับค่าที่เหมาะสมที่สุด แม้ว่าสภาวะการทำงาน และ สภาพแวดล้อมอาจจะมีการเปลี่ยนแปลงตลอดเวลาในยุคนั้น ๆ การควบคุมจึงอาจเป็นแบบง่าย ๆ กล่าวคืออาศัยมนุษย์คอยทำหน้าที่เกี่ยวกับการตรวจวัด การคำนวณและการปรับแต่ง ซึ่งการควบคุมแบบนี้ให้ผลการควบคุมไม่ดีนักมักจะถูกจำกัดอยู่ที่ขีดความสามารถของมนุษย์

ระบบควบคุมอัตโนมัติมากมายหลายรูปแบบ ตั้งแต่แบบง่าย ๆ ไปจนถึงแบบซับซ้อนมาก ๆ การเลือกหรือการพิจารณาขึ้นอยู่กับขีดความสามารถของการควบคุมและราคาอุปกรณ์

2.4 องค์ประกอบของระบบควบคุม

การควบคุมในรูปแบบที่แตกต่างกันออกไปนั้น จะมีองค์ประกอบหลัก ๆ ที่สำคัญคล้ายคลึงกันดังต่อไปนี้



รูปที่ 2.25 องค์ประกอบของระบบควบคุม

2.4.1 MEASURING DEVICE : เป็นอุปกรณ์ที่ให้สัญญาณขาเข้า ซึ่งมีความสัมพันธ์กับขนาดตัวแปรทางฟิสิกส์ ของสิ่งที่เราต้องการวัดหรือสั่งงาน

2.4.2 CONTROLLER : หมายถึงสิ่งที่ทำหน้าที่ออกคำสั่งหรือกำเนิดสัญญาณควบคุมตามเกณฑ์การควบคุมที่กำหนดไว้ล่วงหน้า คำสั่งหรือสัญญาณควบคุมนี้อาจจะเป็นฟังก์ชันกับเวลา หรือฟังก์ชันกับสัญญาณขาเข้าที่ได้รับจากอุปกรณ์วัด

2.4.3 FINAL CONTROL ELEMENT : เป็นอุปกรณ์ที่ทำหน้าที่ปรับสถานะของระบบ ด้วยการเปลี่ยนแปลงค่าตัวแปรปรับระบบ ในการควบคุมส่วนใหญ่ คำสั่งหรือสัญญาณควบคุมจะมีขนาดเล็กใช้พลังงานน้อย ส่วนตัวแปรปรับระบบจะมีขนาดหรือพลังงานมาก

2.4.4 PROCESS : หมายถึงกระบวนการทางฟิสิกส์ที่เราต้องการควบคุมให้มีสถานะตามต้องการ ขณะที่สภาวะการทำงานหรือสภาพแวดล้อมอาจจะเปลี่ยนแปลงตลอดเวลา

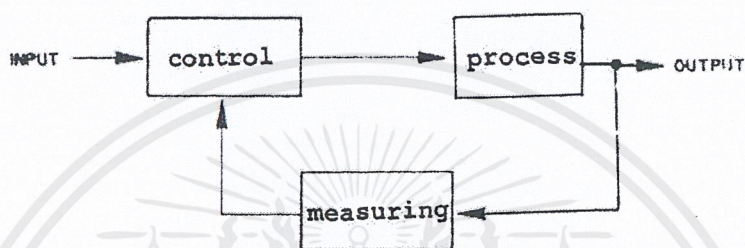
2.5 ประเภทของการควบคุม

กฎเกณฑ์ในการจำแนกประเภทของการควบคุมมีหลายกฎเกณฑ์อาจแบ่งออกได้ตามลักษณะงาน ตามลักษณะสมบัติของค่าเป้าหมาย เป็นต้น เพราะฉะนั้นจึงเป็นการยากที่จะกล่าวอย่างแน่นอนตายตัวว่าการควบคุมมีกี่ประเภท เพื่อที่จะลดความสับสนและให้สอดคล้องกับองค์ประกอบของการควบคุม การแบ่งประเภทของการควบคุมในที่นี้จะแบ่งตามกฎเกณฑ์สองประการคือ

- แบบ Closed Loop
- แบบ Open Loop

2.5.1 ระบบควบคุมแบบ Closed Loop

ระบบควบคุมแบบ Closed Loop เป็นระบบควบคุมแบบหนึ่ง ซึ่งสัญญาณ เอาท์พุทจะมีผลโดยตรงต่อการควบคุม ดังนั้นระบบควบคุมแบบ Closed Loop ก็คือระบบควบคุมแบบป้อนกลับ (Feedback Control) นั่นเองสัญญาณป้อนกลับนี้อาจจะเป็นสัญญาณเอาท์พุทโดยตรง หรือเป็นสัญญาณที่เป็นฟังก์ชันของสัญญาณเอาท์พุท หรือเป็นค่าอนุพันธ์ของสัญญาณเอาท์พุทก็ได้

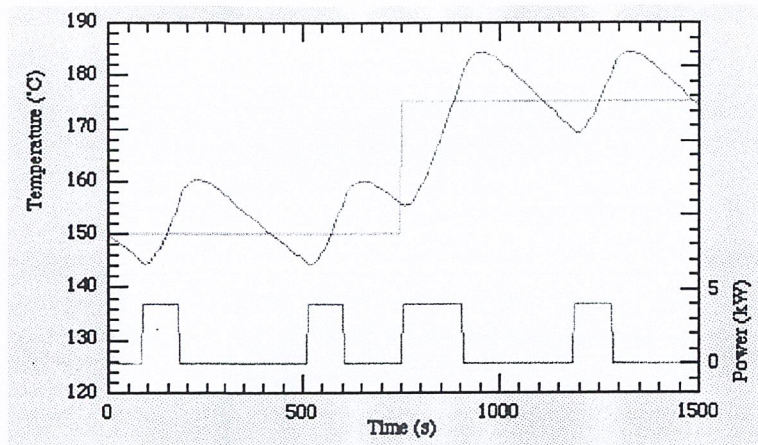


รูปที่ 2.26 ระบบควบคุมแบบ Closed Loop

ระบบควบคุมแบบ Closed Loop นั้นสามารถจะพบเห็นได้ทั่วไปทั้งในงานอุตสาหกรรมหรือตามบ้านเรือน ตัวอย่างของระบบควบคุม Closed Loop ได้แก่ การควบคุมอุณหภูมิ การควบคุมความดัน การควบคุมการไหล ระบบควบคุมกระบวนการตู้เย็นที่ใช้ตามบ้านเรือน เป็นต้น

2.5.1.1 ระบบควบคุมแบบ Start-Stop

เป็นรูปแบบที่ง่ายที่สุดในการควบคุม ใช้หลักการคล้าย ๆ เทอร์โมสแตต ยกตัวอย่างเช่น เทอร์โมสแตตในเครื่องทำความร้อน เมื่ออุณหภูมิต่ำกว่าอุณหภูมิที่ตั้งไว้(อากาศเย็น)เครื่องทำความร้อนจะทำงาน(ทำความร้อน)ด้วยพลังงานสูงสุดที่มีอยู่โดยจะทำงานไปเรื่อย ๆ จนกระทั่งอุณหภูมิสูงกว่าอุณหภูมิที่ตั้งไว้เครื่องจะหยุดทำงานโดยสิ้นเชิง โดยปกติในการควบคุมแบบ start-stop นี้ จะตั้งให้จุดที่เครื่องทำงานและจุดที่เครื่องหยุดทำงานมีค่าต่างกันเล็กน้อย ซึ่งเราเรียกค่าที่ต่างกันเล็กน้อยนี้ว่า hysteresis ที่ต้องตั้งให้จุดทำงานและจุดหยุดการทำงานมีค่าต่างกันเล็กน้อยก็เพื่อป้องกันการสลับเปลี่ยนภาวะการทำงานอย่างรวดเร็วของการทำงาน 2 ภาวะ คือ ทำงานและหยุดทำงาน ซึ่งจะเกิดขึ้นเมื่ออุณหภูมิมีค่าใกล้เคียงกับอุณหภูมิที่ตั้งไว้มันจะทำให้เกิดความเสียหายต่ออุปกรณ์ switching และอุปกรณ์อื่น ๆ ได้ ลักษณะการเปลี่ยนสถานะ, เวลาและอุณหภูมิของการควบคุมแบบ start-stop แสดงดังรูปข้างล่าง



รูปที่ 2.27 ระบบควบคุมแบบ Start-Stop

2.5.2 ระบบควบคุมแบบ Open Loop

เป็นระบบควบคุมที่เอาต์พุตของระบบจะไม่มีผลต่อการควบคุมเลย นั่นคือในกรณีของระบบควบคุมแบบ Open Loop นั้น เอาต์พุตของระบบจะไม่ถูกวัดหรือถูกป้อนกลับเพื่อนำมาเปรียบเทียบกับอินพุต ตัวอย่างของระบบควบคุมแบบ Open Loop ได้แก่ การควบคุมการเปิด – ปิดไฟ การควบคุมสัญญาณไฟโฆษณา การควบคุมสัญญาณไฟจราจร การควบคุมสายพานลำเลียง การควบคุมเครื่องซักผ้า เป็นต้น



รูปที่ 2.28 ระบบควบคุมแบบ Open Loop

ในการควบคุมแบบ Open Loop นั้นเอาต์พุตไม่ได้นำมาเปรียบเทียบกับอินพุต ดังนั้นความเที่ยงตรงของระบบจะขึ้นอยู่กับารปรับเทียบ ในทางปฏิบัติแล้วจะสามารถใช้การควบคุม Open Loop ได้ถ้าทราบถึงความสัมพันธ์ระหว่างอินพุตและเอาต์พุตของระบบ และระบบควบคุมที่ทำงานตามเวลาที่กำหนดไว้ จะเป็นระบบควบคุมแบบ Open Loop

บทที่ 3 การวิจัยและการดำเนิน

ในโครงการพิเศษนี้ได้แบ่งการศึกษาและวิจัยออกเป็น 2 กรณีด้วยกัน คือ

1.เครื่องควบคุมอุณหภูมิอัตโนมัติสำหรับฟักไข่ เนื่องจากเครื่องควบคุมอุณหภูมิอัตโนมัติสำหรับฟักไข่ในปัจจุบันมีราคาแพง ต้องนำเข้ามาจากต่างประเทศ และมีขนาดใหญ่ ซึ่งสำหรับผู้เลี้ยงไก่ขนาดเล็กไม่มีความจำเป็นที่จะต้องใช้เครื่องขนาดใหญ่ และมีราคาแพงมาก

เหตุผลที่เลือกเครื่องควบคุมอุณหภูมิอัตโนมัติสำหรับฟักไข่เป็นกรณีศึกษา

- สามารถนำมาใช้งานได้จริง
- เป็นการลดราคาต้นทุนของผลผลิต
- ศึกษากระบวนการควบคุมการทำงานของเครื่องควบคุมอุณหภูมิอัตโนมัติสำหรับฟักไข่

2.เครื่องควบคุมการ Shut down ของเครื่อง Internet Server เพื่อความปลอดภัยสำหรับเครื่อง server เนื่องจากการติดตั้งเครื่องอินเทอร์เน็ตเซิร์ฟเวอร์ เพื่อประโยชน์ในการศึกษา แต่เนื่องด้วยเสถียรภาพทางไฟฟ้าในสถานที่ทำงานไม่ดีนัก มีเหตุการณ์ไฟดับเกิดขึ้นบ่อยครั้งและบางครั้งก็ใช้ระยะเวลาทำให้ไฟฟ้าสำรองในเครื่องสำรองไฟฟ้า ไม่พอเพียง ทำให้เครื่องหยุดการทำงานอย่างฉับพลัน ซึ่งเกิดเหตุการณ์เช่นนี้บ่อยครั้งทำให้ระบบการทำงานของเครื่องเซิร์ฟเวอร์มีปัญหาตามมา จึงมีแนวคิดที่จะดัดแปลงอุปกรณ์บางอย่างเพื่อให้มีประสิทธิภาพในการทำงานมากขึ้น เพราะเมื่อพิจารณาราคาตามท้องตลาดแล้วพบว่าการที่จะซื้อเครื่องสำรองไฟฟ้าใหม่ซึ่งมีคุณสมบัติที่ตรงกับความต้องการมีราคาประมาณ 3,000 บาทขึ้นไป เมื่อเปรียบเทียบกับการปรับปรุงอุปกรณ์ที่มีอยู่เดิมให้มีประสิทธิภาพสูงขึ้น พบว่าการเครื่องสำรองไฟฟ้าใหม่จะใช้งเงินมากกว่าทำให้สิ้นเปลือง และยังทำให้เกิดขยะเนื่องจากอุปกรณ์เก่าไม่ได้ใช้งาน

เหตุผลที่เลือกเครื่องควบคุมการ Shut down ของเครื่อง Internet Server เป็นกรณีศึกษา

-เป็นการนำเอา embedded system มาประยุกต์ใช้กับสิ่งใกล้ตัวที่เราอาจพบได้ในชีวิตประจำวัน

-เป็นการทำให้อุปกรณ์ที่มีอยู่เดิมมีความสามารถในการทำงานมากขึ้นซึ่งจะเป็นการยืดอายุการใช้งานของอุปกรณ์ไปได้ ช่วยลดขยะเหลือใช้

-เป็นการประหยัดค่าใช้จ่ายโดยไม่ต้องซื้อใหม่

-เป็นการเพิ่มมูลค่าของสิ่งของเหลือใช้ รู้จักการนำของเหลือใช้มาใช้ให้เกิดประโยชน์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เพราะตัวเครื่องจะช่วยในการปิดเครื่อง server อย่างถูกต้องทำให้เครื่อง server ใช้งานได้ระยะเวลานานขึ้น โดยแต่ละกรณีสามารถแบ่งได้เป็น 2 ส่วนใหญ่ๆ โดยส่วนแรกเป็นส่วนของฮาร์ดแวร์ (Hardware) ซึ่งจะประกอบไปด้วยการศึกษาอุปกรณ์ที่นำมาใช้งาน การออกแบบลายวงจร และ ทำการต่อวงจรเพื่อนำมาใช้งาน ในส่วนที่สองจะเป็นส่วนของซอฟต์แวร์ (Software) ซึ่งเป็นการเขียนโปรแกรมเพื่อทำการควบคุมการทำงานของระบบ และอุปกรณ์ต่าง ๆ

3.1 กรณีศึกษาที่ 1 เครื่องควบคุมอุณหภูมิอัตโนมัติสำหรับฟักไข่

3.1.1 การออกแบบฮาร์ดแวร์ (Hardware)

3.1.1.1 การศึกษาอุปกรณ์ที่นำมาใช้งาน

หน่วยประมวลผล

สำหรับเครื่องควบคุมอุณหภูมิอัตโนมัติสำหรับฟักไข่ จะต้องมีการวัดอุณหภูมิตลอดเวลา และจะมีการรับค่าที่ได้มาจากการวัดอุณหภูมิ เพื่อนำค่าอุณหภูมิที่วัดได้ไปวิเคราะห์ว่าอุณหภูมิที่ได้พอเหมาะหรือไม่ เพราะฉะนั้นระบบที่ใช้จำเป็นต้องมีวงจรแปลงสัญญาณ Analog เป็น Digital เพื่อแปลงสัญญาณที่วัดจากเซนเซอร์วัดอุณหภูมิซึ่งวัดเป็น Analog ให้แปลงสัญญาณเป็น Digital เพื่อนำไปวิเคราะห์ผล และเมื่อได้ค่าอุณหภูมิที่แปลงเสร็จแล้วจะต้องนำไปเทียบกับค่าที่กำหนดไว้ในตอนแรก จำเป็นต้องมีวงจรเปรียบเทียบสัญญาณอนาล็อก เพราะฉะนั้นจึงใช้เบอร์ AT90S8535 ของบริษัท Atmel เพราะมีวงจรแปลงสัญญาณ Analog เป็น Digital และ วงจรเปรียบเทียบสัญญาณอนาล็อก อยู่ในตัวอยู่แล้ว ซึ่งสะดวกการใช้งานและเป็นไมโครคอนโทรลเลอร์ขนาดเล็กซึ่งเหมาะสมกับงานที่ทำ

Input / Output

- รับค่าทาง Keypad,เซนเซอร์วัดอุณหภูมิ
- การบอกตำแหน่งของที่วางไข่
- มอเตอร์ DC,
- การแสดงผลออกทางจอ LCD

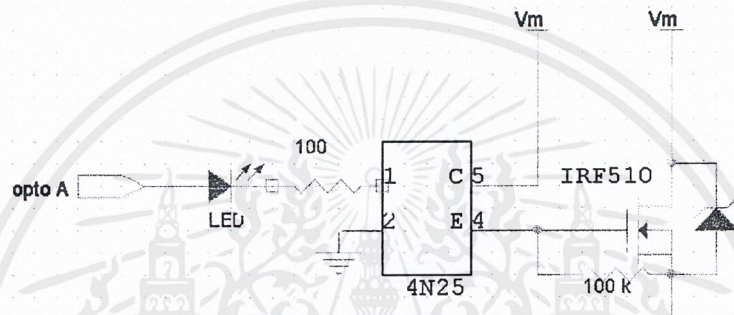
หน่วยความจำ

สำหรับไมโครคอนโทรลเลอร์ขนาด 8 บิตที่นำมาใช้จะมีหน่วยความจำสำหรับโปรแกรมขนาด 8 กิโลไบต์เป็นหน่วยความจำที่มีอยู่ในไมโครคอนโทรลเลอร์ และหน่วยความจำข้อมูลมี 512 ไบต์

3.1.1.2 การออกแบบวงจร

3.1.1.2.1 การควบคุม DC Motor

ในการควบคุมมอเตอร์กระแสตรงจะใช้วงจรควบคุมแบบ H – Bridge ซึ่งสามารถบังคับทิศทางการเคลื่อนที่และความเร็วของมอเตอร์กระแสตรงโดยใช้ขาเอาต์พุตเพียง 2 ขาเท่านั้น ในโครงงานพิเศษนี้ใช้ไอซี MOSFET ชนิด n – channel เบอร์ IRF510 ต่อเป็นวงจร H – Bridge โดยในการทำงานจะต้องให้ MOSFET ที่อยู่ตรงข้าม 2 ตัวทำงานพร้อมกัน เพื่อให้สามารถบังคับทิศทางได้โดยจะมีไอซี 74LS244 ซึ่งทำหน้าที่เป็นบัฟเฟอร์คั่นระหว่าง ไมโครคอนโทรลเลอร์ AT90S8535



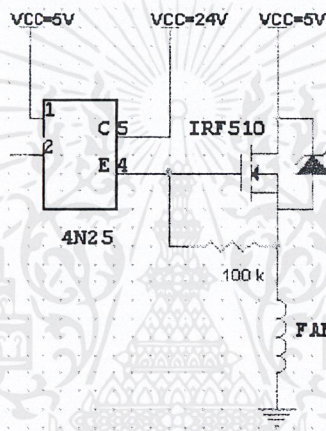
รูปที่ 3.1 แสดงส่วนของวงจรขับ DC Motor ด้วย IRF510

ในวงจรขับจะประกอบด้วยไอซีออปโตคัปเปิล (Opto Couple) เบอร์ 4N25 ทำหน้าที่เป็นตัวกั้นทางแสง โดยมี LED บอกลสถานะต่ออยู่ ถ้าสัญญาณที่ออกจาก 74LS244 เป็น 0 โวลต์ (Low Level) LED จะดับ แต่ถ้าเป็น 5 โวลต์ (High Level) LED จะสว่าง ที่เอาต์พุตของ 4N25 จะต่อกับขาเกตของ IRF510 โดยมีตัวต้านทาน 100 กิโลโอห์ม ต่ออยู่ระหว่างขาเกต (gate) กับขาซอร์ส (source) โดยการทำงานเมื่อเอาต์พุตจาก 74LS244 เป็น 5 โวลต์ จะทำให้เกิดความต่างศักย์คร่อมระหว่างขาเกตกับขาซอร์ส (V_{GS}) ซึ่งจะเป็นช่วงที่ MOSFET ทำงาน ทำให้กระแสสามารถไหลผ่านจากขาเดรนไปยังขาซอร์สมีค่าสูงสุด และเมื่อเอาต์พุตจาก 74LS244 เป็น 0 โวลต์ จะทำให้ความต่างศักย์ที่คร่อมระหว่างขาเกตกับขาซอร์ส (V_{GS}) หายไป ทำให้ไม่มีกระแสไหลจากเดรนไปซอร์ส เป็นช่วงที่หยุดการทำงานกับชุดวงจรขับ ในวงจรขับจะประกอบด้วยไอซีออปโตคัปเปิล (Opto Couple) เบอร์ 4N25 ทำหน้าที่เป็นตัวกั้นทางแสง โดยมี LED บอกลสถานะต่ออยู่ ถ้าสัญญาณที่ออกจาก 74LS244 เป็น 0 โวลต์ (Low Level) LED จะดับ แต่ถ้าเป็น 5 โวลต์ (High Level) LED จะสว่าง ที่เอาต์พุตของ 4N25 จะต่อกับขาเกตของ IRF510 โดยมีตัวต้านทาน 100

กิโลโอห์ม ต่ออยู่ระหว่างขาเกต (gate) กับขาซอร์ส (source) โดยการทำงานเมื่อเอาต์พุตจาก 74LS244 เป็น 5 โวลต์ จะทำให้เกิดความต่างศักย์คร่อมระหว่างขาเกตกับขาซอร์ส(V_{GS}) ซึ่งจะเป็นช่วงที่ MOSFET ทำงาน ทำให้กระแสสามารถไหลผ่านจากขาเดรนไปยังขาซอร์สมีค่าสูงสุด และเมื่อเอาต์พุตจาก 74LS244 เป็น 0 โวลต์ จะทำให้ความต่างศักย์ที่คร่อมระหว่างขาเกตกับขาซอร์ส(V_{GS}) หายไป ทำให้ไม่มีกระแสไหลจากเดรนไปซอร์ส เป็นช่วงที่หยุดการทำงาน

3.1.1.2.2 การควบคุมพัดลม

ในการควบคุมพัดลมจะเหมือนกับการควบคุมมอเตอร์กระแสตรง แต่ไม่ต้องใช้วงจร H – Bridge และควบคุมความเร็วของมอเตอร์กระแสตรงที่มีอยู่ในพัดลมโดยใช้ใช้ขาเอาต์พุตเพียง 2 ขาเท่านั้น ในโครงงานพิเศษนี้ใช้ไอซี MOSFET ชนิด n – channel เบอร์ IRF510 เพื่อบังคับพัดลม



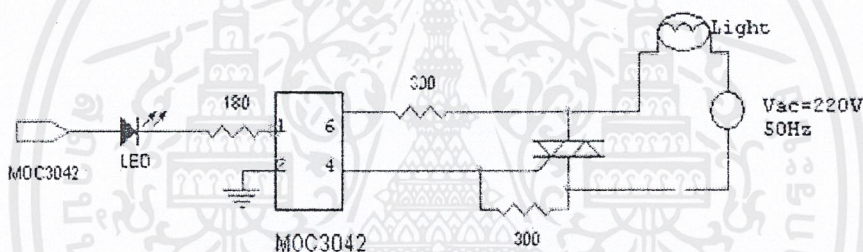
รูปที่ 3.2 แสดงส่วนของวงจรขับพัดลม ด้วย IRF510

ในวงจรขับจะประกอบด้วยไอซีออปโตคัปเปิล (Opto Couple) เบอร์ 4N25 ทำหน้าที่เป็นตัวกั้นทางแสง โดยมี LED บอกลสถานะต่ออยู่ ถ้าสัญญาณที่ออกจาก 74LS244 เป็น 0 โวลต์ (Low Level) LED จะดับ แต่ถ้าเป็น 5 โวลต์ (High Level) LED จะติดสว่าง ที่เอาต์พุตของ 4N25 จะต่อกับขาเกตของ IRF510 โดยมีตัวต้านทาน 100 กิโลโอห์ม ต่ออยู่ระหว่างขาเกต (gate) กับขาซอร์ส (source) โดยการทำงานเมื่อเอาต์พุตจาก 74LS244 เป็น 5 โวลต์ จะทำให้เกิดความต่างศักย์คร่อมระหว่างขาเกตกับขาซอร์ส(V_{GS}) ซึ่งจะเป็นช่วงที่ MOSFET ทำงาน ทำให้กระแสสามารถไหลผ่านจากขาเดรนไปยังขาซอร์สมีค่าสูงสุด และเมื่อเอาต์พุตจาก 74LS244 เป็น 0 โวลต์ จะทำให้ความต่างศักย์ที่คร่อมระหว่างขาเกตกับขาซอร์ส(V_{GS}) หายไป ทำให้ไม่มีกระแสไหลจากเดรนไปซอร์ส เป็นช่วงที่หยุดการทำงาน โดยมีไมโครคอนโทรลเลอร์ AT90S8535 เป็นตัว

ควบคุมการทำงานเปิด-ปิดการทำงานของพัดลม พร้อมชุดวงจรขับ ในวงจรขับจะประกอบด้วยไอซี ออปโตคัปเปิล (Opto Couple) เบอร์ 4N25 ทำหน้าที่เป็นตัวกั้นทางแสง โดยมี LED บอกลสถานะ ต่ออยู่ ถ้าสัญญาณที่ออกจาก 74LS244 เป็น 0 โวลต์ (Low Level) LED จะดับ แต่ถ้าเป็น 5 โวลต์ (High Level) LED จะสว่าง ที่เอาต์พุตของ 4N25 จะต่อกับขาเกตของ IRF510 โดยมีตัวต้านทาน 100 กิโลโอห์มต่ออยู่ระหว่างขาเกต (gate) กับขาซอร์ส (source) โดยการทำงานเมื่อเอาต์พุต จาก 74LS244 เป็น 5 โวลต์ จะทำให้เกิดความต่างศักย์คร่อมระหว่างขาเกตกับขาซอร์ส (V_{GS}) ซึ่งจะเป็นช่วงที่ MOSFET ทำงาน ทำให้กระแสสามารถไหลผ่านจากขาเดรนไปยังขาซอร์สมีค่าสูงสุด และเมื่อเอาต์พุตจาก 74LS244 เป็น 0 โวลต์ จะทำให้ความต่างศักย์ที่คร่อมระหว่างขาเกตกับขาซอร์ส (V_{GS}) หายไป ทำให้ไม่มีกระแสไหลจากเดรนไปซอร์ส เป็นช่วงที่หยุดการทำงาน

3.1.1.2.3 การควบคุมไฟระบบให้ความร้อน

ในการควบคุมระบบให้ความร้อน อุปกรณ์ที่สำคัญมีอยู่ 2 ตัวด้วยกันคือ MOC3042 และ ไตรแอกเพื่อเป็นตัวบังคับเปิด-ปิด ไฟ

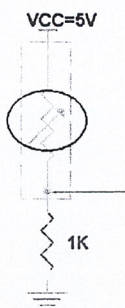


รูปที่ 3.3 แสดงส่วนของวงจรถับไฟ ด้วย MOC3042

ในวงจรขับจะประกอบด้วยไอซีออปโตคัปเปิล (Opto Couple) เบอร์ MOC3042 ทำหน้าที่เป็นตัวกั้นทางแสง โดยมี LED บอกลสถานะต่ออยู่ ถ้าสัญญาณที่ออกจาก AT90S8535 เป็น 0 โวลต์ (Low Level) LED จะดับ แต่ถ้าเป็น 5 โวลต์ (High Level) LED จะสว่าง ที่เอาต์พุตของ MOC3042 โดยเอาต์พุตจะต่อกับตัวต้านทาน 300 โอห์มต่อเข้า แรงดัน 220 โวลต์ และเอาต์พุต เข้าขาเกต (gate) ของไตรแอก BTA16-600 โดยการทำงานเมื่อเอาต์พุตจาก AT90S8535 เป็น 5 โวลต์ จะทำให้ไตรแอกที่อยู่ใน MOC3042 นำกระแส ส่งผลให้ BTA16-600 นำกระแส ทำให้หลอดไฟติด ซึ่งจะเป็นช่วงที่เป็นการทำงาน และเมื่อเอาต์พุตจาก AT90S8535 เป็น 0 โวลต์ และช่วงของไฟสลับลดลงจนกระแสต่ำกว่ากระแสไหลตั้ง จะทำให้ MOC3042 และ BTA16-600 หยุดนำกระแส เป็นช่วงหยุดการทำงาน

3.1.1.2.4 การควบคุมเซนเซอร์วัดอุณหภูมิ

การวัดอุณหภูมิภายในเครื่องจะใช้ตัววัดอุณหภูมิแบบ เทอร์มิสเตอร์ เป็นตัววัดอุณหภูมิ ภายในเครื่อง โดยตัวเทอร์มิสเตอร์จะเป็นตัวต้านทานปรับค่าได้ชนิดหนึ่ง

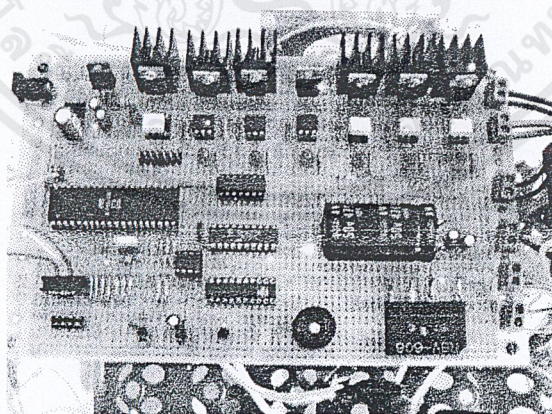


รูปที่ 3.4 แสดงส่วนของวงจรเซนเซอร์วัดอุณหภูมิ

ในวงจรวัดอุณหภูมิจะมีเทอร์มิสเตอร์ทำหน้าที่เป็นตัวตรวจจับอุณหภูมิ โดยคุณสมบัติของเทอร์มิสเตอร์คือเมื่ออุณหภูมิเปลี่ยนแปลงจะทำให้ความต้านทานของเทอร์มิสเตอร์เปลี่ยนแปลงไปด้วย จากวงจรในรูปที่ 3.4 เมื่ออุณหภูมิเปลี่ยนแปลงไปจะทำให้ความต่างศักย์ที่ตกคร่อมตัวต้านทาน 1 กิโลโอห์ม เปลี่ยนแปลงเมื่อเข้าไปต่อกับวงจรแปลงสัญญาณอนาลอกเป็นดิจิตอล ที่อยู่ภายในไมโครคอนโทรลเลอร์ (AT90S8535) ซึ่งจะอ่านค่าที่ได้มาอยู่ในรูปของสัญญาณดิจิตอลแล้วนำไปประมวลผลต่อไป

3.1.1.3 การต่อวงจร และอุปกรณ์ต่างๆ

การต่อวงจรจะนำอุปกรณ์ที่ต้องการใช้งานมาต่อลงบอร์ดให้เรียบร้อย



รูปที่ 3.5 แสดงวงจรเครื่องควบคุมอุณหภูมิสำหรับฟักไข่

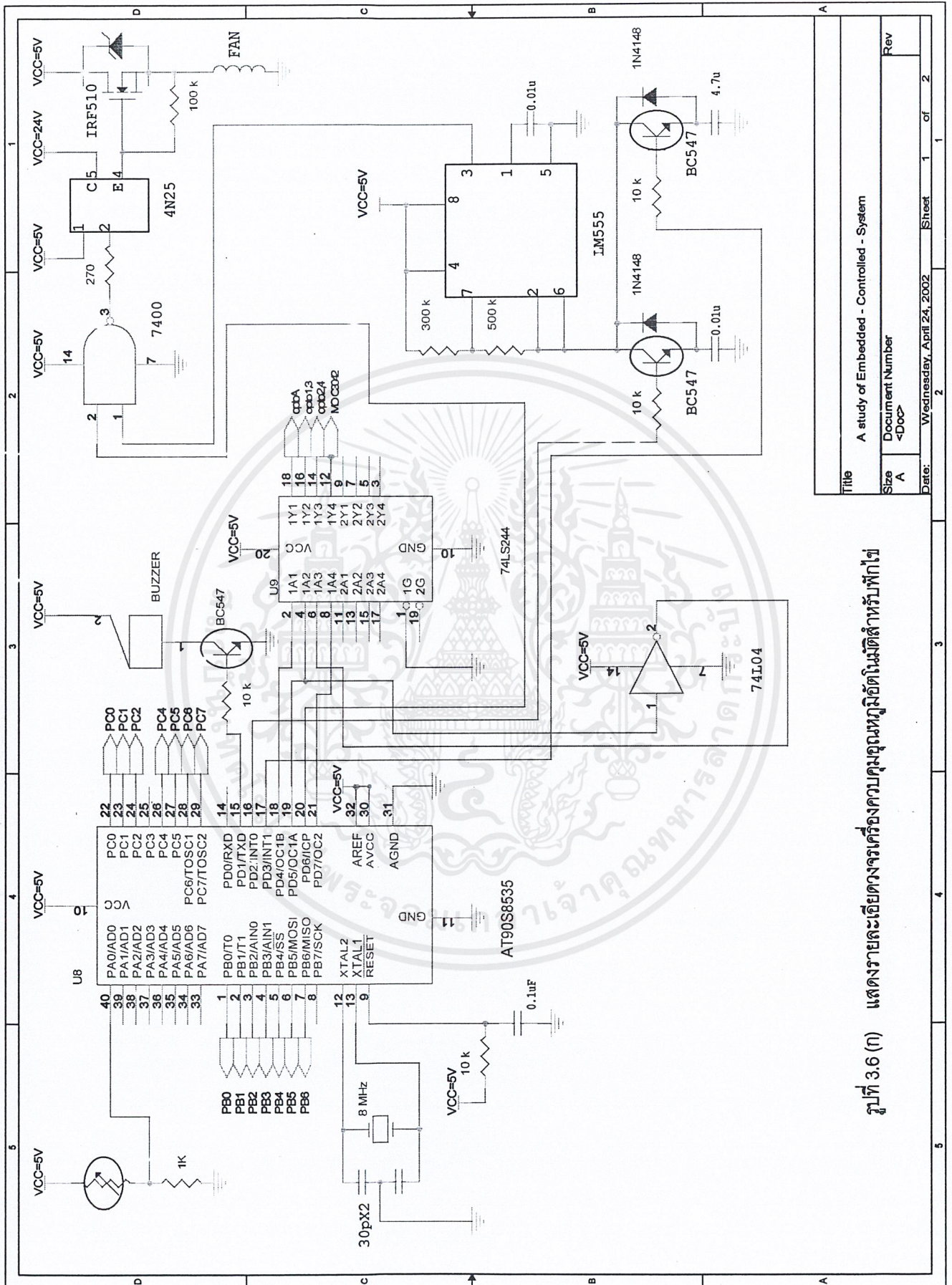
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.1.2 การออกแบบซอฟต์แวร์ (Software)

ในโครงการพิเศษนี้ใช้โปรแกรมภาษา C เพื่อควบคุมการทำงานของเครื่องควบคุมอุณหภูมิอัตโนมัติสำหรับฟักไข่

3.1.2.1 หลักการทำงานของเครื่องควบคุมอุณหภูมิอัตโนมัติสำหรับฟักไข่

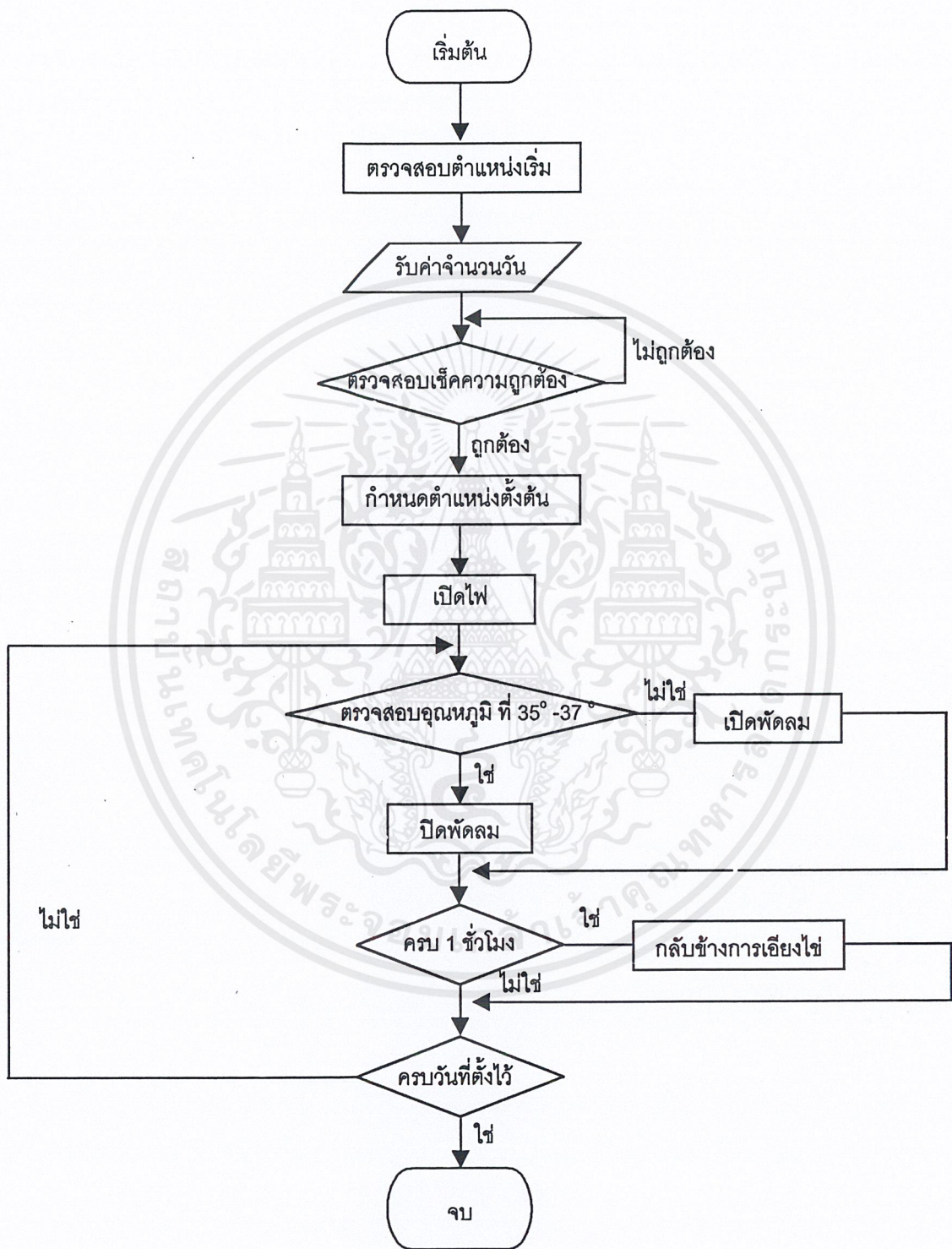
หลักการทำงานของเครื่องควบคุมอุณหภูมิอัตโนมัติสำหรับฟักไข่ เมื่อเปิดเครื่องจะทำการเซ็ทตำแหน่งของแผงไข่ให้พร้อมที่จะทำงาน และหลังจากนั้นทางหน้าจอ LCD จะรอรับค่าทางคีย์บอร์ด โดยกำหนดระยะฟักไข่ว่าจำนวนกี่วัน เมื่อใส่ค่าเรียบร้อยแล้วเครื่องจะเซ็ทตำแหน่งใหม่ อีกรอบโดยครั้งนี้จะวางท่ามุมประมาณ 45°C จากแนวระนาบ ซึ่งเป็นมุมที่ดีที่สุดในการให้ไข่ได้รับแสง จากนั้นหลอดไฟจะติดพร้อมทั้งเซนเซอร์อุณหภูมิจะทำการวัดอุณหภูมิ เมื่ออุณหภูมิในระบบมีค่าสูงขึ้นเกินที่กำหนดพัลลวมทั้ง 2 ตัวจะทำการเปิดเครื่องจนถึงอุณหภูมิค่าหนึ่งพัลลวมจะหยุดการทำงาน เมื่อเวลาผ่านไป 1 ชั่วโมงแผงไข่จะหมุนไปอีกด้านหนึ่งเพื่อให้ไข่อีกด้านหนึ่งได้รับแสง ทำอย่างนี้ตลอดตามเวลาที่กำหนด เมื่อครบเวลาที่กำหนดเครื่องจะแสดงผลว่าทำงานเสร็จแล้ว



Title		A study of Embedded - Controlled - System	
Size	Document Number	Rev	
A	<Doc>		
Date:	Wednesday, April 24, 2002	Sheet	1 of 2

รูปที่ 3.6 (ก) แสดงรายละเอียดวงจรควบคุมความเร็วพัดลมด้วยไมโครคอนโทรลเลอร์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.7 แสดงลำดับขั้นตอนการทำงานของเครื่องควบคุมอุณหภูมิอัตโนมัติ สำหรับการฟักไข่

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.2 กรณีศึกษาที่ 2 เครื่องควบคุมการ Shut down ของเครื่อง Internet Server

3.2.1 การออกแบบฮาร์ดแวร์ (Hardware)

3.2.1.1 การศึกษาอุปกรณ์ที่นำมาใช้งาน

หน่วยประมวลผล

สำหรับเครื่องควบคุมการ Shut down ของเครื่อง Internet Server จะต้องมีการเปรียบเทียบค่าตลอดเวลาเหมือนเหมือนในกรณีศึกษาที่ 1 จึงจำเป็นต้องมีวงจรเปรียบเทียบสัญญาณอนาล็อก และมีการควบคุมน้อยกว่ากรณีศึกษาที่ 1 จึงใช้ไมโครคอนโทรลเลอร์ขนาด 8 บิต นำมาเป็นหน่วยประมวลผล ซึ่งเลือกใช้ไมโครคอนโทรลเลอร์ขนาด 8 บิต เบอร์ AT90S2313 ของบริษัท Atmel เพราะหาซื้อได้ง่ายและมีอุปกรณ์ที่ต้องการอยู่ในตัวอยู่แล้ว

Input / Output

-ส่งค่าออกทาง RS232

หน่วยความจำ

สำหรับไมโครคอนโทรลเลอร์ขนาด 8 บิตที่นำมาใช้จะมีหน่วยความจำ ขนาด 2 กิโลไบต์ เป็นหน่วยความจำที่มีอยู่ในไมโครคอนโทรลเลอร์

3.2.1.2 การออกแบบวงจร

จากวงจรเมื่อป้อนไฟเลี้ยง 9 VAC เข้ามาจะผ่านวงจรบริดจ์เรกติไฟเออร์เพื่อทำให้เป็นกระแสตรงแล้วจะผ่านไดโอด 1N4001 เพื่อป้องกันไฟไหลย้อนกลับ ในกรณีไม่มีไดโอดแล้วไฟดับแล้วตัวเก็บประจุคายประจุออกมาจะทำให้ AT90S2313 เข้าใจว่าไฟยังไม่ได้ดับ ซึ่งจะทำให้การทำงานผิดพลาด หลังจากนั้นจะผ่านรีเลย์ ซึ่งจะมีไว้สับเปลี่ยนไฟเลี้ยงไปใช้ไฟจากแบตเตอรี่เมื่อไฟดับ รีเลย์ตัวที่สองจะทำการเชื่อมวงจรเพื่อให้ UPS ทำงาน

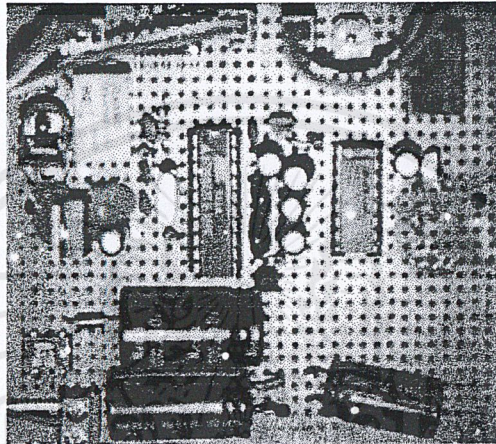
การทำงานจะเริ่มเมื่อไฟดับ จะทำให้ขา INTO ของ AT90S2313 เป็นสถานะ low เกิดการอินเทอร์รัพท์ จะสั่งให้ รีเลย์ 1 ทำงาน โดยใช้ไฟที่เหลืออยู่ในตัวเก็บประจุ C12 เมื่อรีเลย์ 1 ทำงาน จะทำให้เกิดการเปลี่ยนหน้าคอนแทคไปต่อไฟเลี้ยงจากแบตเตอรี่เพื่อให้งจรยังทำงานต่อไปได้ หลังจากนั้นจะทำการเช็คระดับไฟในแบตเตอรี่เทียบกับแรงดันมาตรฐาน ถ้าระดับไฟในแบตเตอรี่ต่ำกว่าแรงดันอ้างอิงมาตรฐาน จะทำการส่งตัว a ไปทาง RS232 เพื่อส่งสัญญาณให้ shutdown เครื่อง แล้วจะสั่งให้ รีเลย์ 2 หยุดทำงานทำให้ UPS ดับ

ไดโอด D3 และ D4 ต่อไว้เพื่อป้องกันแรงดันย้อนกลับอาจทำให้ทรานซิสเตอร์พังได้ วงจรนี้ใช้ไอซี max232 เป็น level converter เพื่อเปลี่ยนแรงดันในมาตรฐาน TTL ให้เป็นไปตามมาตรฐาน RS232 เนื่องจากหาได้ง่ายและมีราคาถูก แต่ต้องต่อตัวเก็บประจุ เมื่อเทียบกับไอซี DS275 ของบริษัท Dallas R6 เป็นตัวต้านทานปรับค่าได้ใช้ในการค่าแรงดันเพื่อให้วงจรสั่ง shutdown ที่

แรงดันแบตเตอรี่ตามต้องการ เนื่องจาก UPS ส่วนใหญ่จะใช้แบตเตอรี่แบบกรดตะกั่วจึงไม่ควรตั้งให้วงจรสั่ง shutdown ที่ไฟในแบตเตอรี่ต่ำกว่า 10V เพราะใกล้ dead point ของเซลล์อาจทำให้เซลล์พังอย่างถาวรได้ การประกอบจะต่อสาย RS 232 เข้าพอร์ตอนุกรมของเครื่อง server ต่อไฟ 9V เข้าวงจร และต่อไฟเลี้ยงจากแบตเตอรี่ด้วย

3.2.1.2 การต่อวงจร และอุปกรณ์ต่างๆ

การต่อวงจรจะนำอุปกรณ์ที่ต้องการใช้งานมาต่อลงบอร์ดให้เรียบร้อย



รูปที่ 3.8 แสดงวงจรเครื่องควบคุมการหยุดการทำงานของเครื่อง Server

3.2.2 การออกแบบซอฟต์แวร์ (Software)

ในโครงการพิเศษนี้ใช้โปรแกรมภาษา C เพื่อควบคุมการทำงานของเครื่องควบคุมการ Shutdown ของเครื่อง Internet Server

3.2.2.1 หลักการทำงานของเครื่องควบคุมการ Shutdown ของเครื่อง Internet Server

เมื่อรันโปรแกรมในเครื่องซึ่งจะรันทุกครั้งที่เครื่องเริ่มทำงาน จะมีโปรเซสของโปรแกรมขึ้นในหน่วยความจำ เมื่อไฟดับ และ แรงดันในแบตเตอรี่ลดลงต่ำกว่าที่ตั้งไว้ อุปกรณ์ที่ติดตั้งอยู่กับ UPS จะทำการส่งตัว a กลับมาที่เครื่อง server ผ่าน serial port เมื่อโปรแกรมตรวจสอบได้ว่าเป็นตัวอักษร "a" จะทำการ shutdown เครื่อง เพื่อให้เครื่องปิดตัวเองอย่างปลอดภัย

```

# script with local commands to be executed from init on system startup
#
# /etc/rc.config
#
# Here you should add things, that should happen directly after booting
# before we're going to the first run level.
#
cd /usr/local/mysql
./bin/safe mysqld --user=mysql --pid-file=/usr/local/mysql/data/.pid --skip-loc$
cd /httpd/bin
./apachectl start
cd /usr/sbin
./aushut

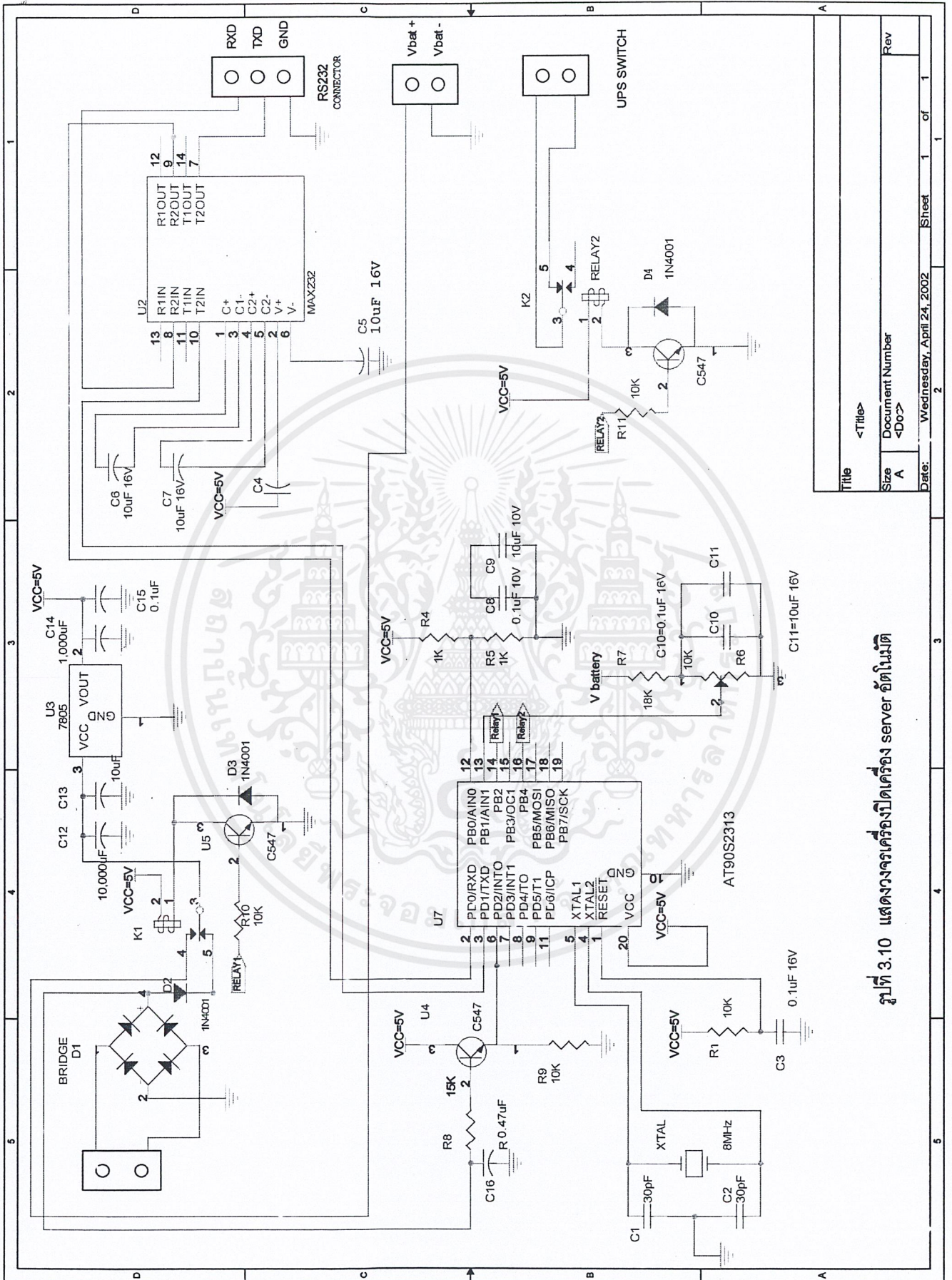
```

Wrote 23 lines

Get Help WriteOut Read File Prev Pg Cut Text Bur Pos
Exit Justify Where is Next Pg UnCut Text To Spell

รูปที่ 3.9 ภาพแสดงการแก้ไขไฟล์ boot.local เพื่อให้รันโปรแกรมทุกครั้งที่เราเริ่มการทำงาน

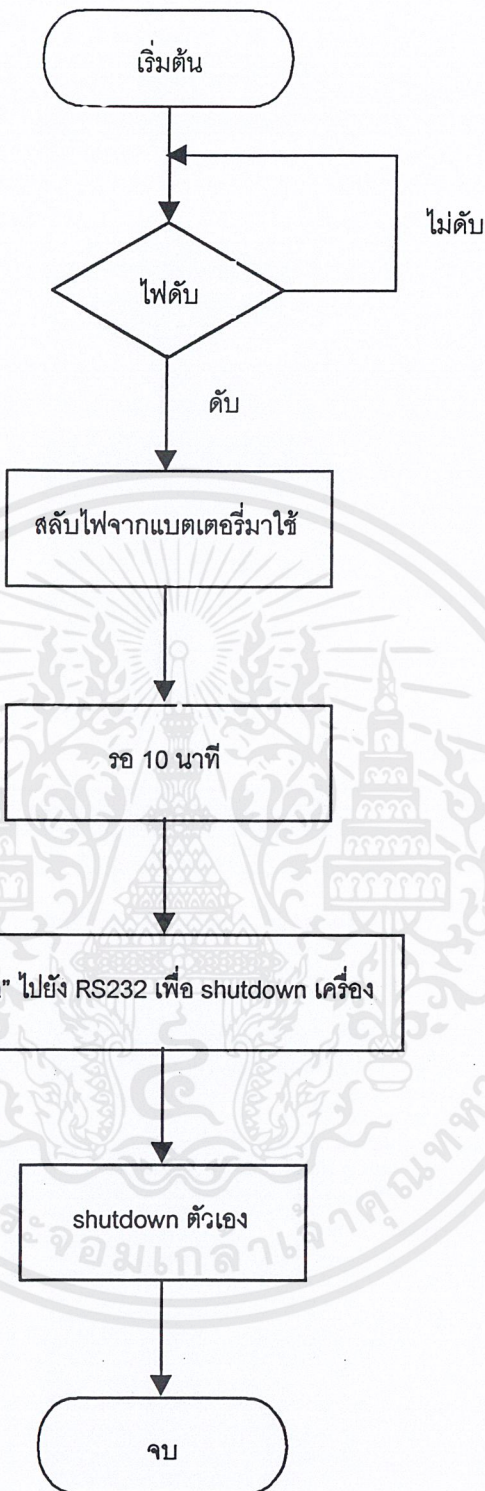
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



Title		<Title>
Size	Document Number	A <Doc>
Date:	Wednesday, April 24, 2002	Sheet 1 of 1
Rev		1

รูปที่ 3.10 แสดงวงจรเครื่องเปิดเครื่อง server อัตโนมัติ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.11 : แสดงลำดับขั้นตอนการทำงานของเครื่องควบคุมการหยุดการทำงานของเครื่อง server

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 4
ผลการวิจัยและวิจารณ์

4.1 ผลที่ได้จากการทำเครื่องควบคุมอุณหภูมิอัตโนมัติสำหรับฟักไข่

4.1.1 ผลการทดลอง

ตารางที่ 4.1 แสดงผลอุณหภูมิจากเครื่องควบคุมอุณหภูมิอัตโนมัติสำหรับฟักไข่

ระยะฟักไข่วันที่ 16		ระยะฟักไข่วันที่ 17		ระยะฟักไข่วันที่ 18	
เวลา	อุณหภูมิ (OC)	เวลา	อุณหภูมิ (OC)	เวลา	อุณหภูมิ (OC)
0:00	-	0:00	36	0:00	37
0:30	-	0:30	37	0:30	37
1:00	-	1:00	36	1:00	37
1:30	-	1:30	37	1:30	37
2:00	-	2:00	37	2:00	37
2:30	-	2:30	34	2:30	37
3:00	-	3:00	36	3:00	37
3:30	-	3:30	36	3:30	36
4:00	-	4:00	36	4:00	37
4:30	-	4:30	37	4:30	37
5:00	-	5:00	37	5:00	37
5:30	-	5:30	37	5:30	36
6:00	-	6:00	36	6:00	37
6:30	-	6:30	36	6:30	37
7:00	-	7:00	36	7:00	37
7:30	-	7:30	36	7:30	36
8:00	-	8:00	37	8:00	36
8:30	-	8:30	37	8:30	37
9:00	-	9:00	37	9:00	37
9:30	-	9:30	37	9:30	37
10:00	-	10:00	37	10:00	37

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ระยะพักไฮวันที่ 16		ระยะพักไฮวันที่ 17		ระยะพักไฮวันที่ 18	
เวลา	อุณหภูมิ (OC)	เวลา	อุณหภูมิ (OC)	เวลา	อุณหภูมิ (OC)
10:30	-	10:30	37	10:30	37
11:00	-	11:00	36	11:00	37
11:30	-	11:30	36	11:30	36
12:00	35	12:00	37	12:00	37
12:30	35	12:30	36	12:30	37
13:00	36	13:00	35	13:00	37
13:30	35	13:30	37	13:30	37
14:00	35	14:00	37	14:00	37
14:30	35	14:30	37	14:30	37
15:00	36	15:00	37	15:00	37
15:30	36	15:30	37	15:30	37
16:00	35	16:00	34	16:00	37
16:30	36	16:30	37	16:30	37
17:00	36	17:00	36	17:00	37
17:30	36	17:30	36	17:30	37
18:00	36	18:00	37	18:00	37
18:30	36	18:30	37	18:30	37
19:00	36	19:00	37	19:00	37
19:30	36	19:30	37	19:30	37
20:00	37	20:00	37	20:00	37
20:30	37	20:30	37	20:30	36
21:00	36	21:00	37	21:00	37
21:30	35	21:30	37	21:30	37
22:00	35	22:00	37	22:00	37
22:30	36	22:30	37	22:30	37
23:00	37	23:00	37	23:00	36
23:30	36	23:30	37	23:30	38

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

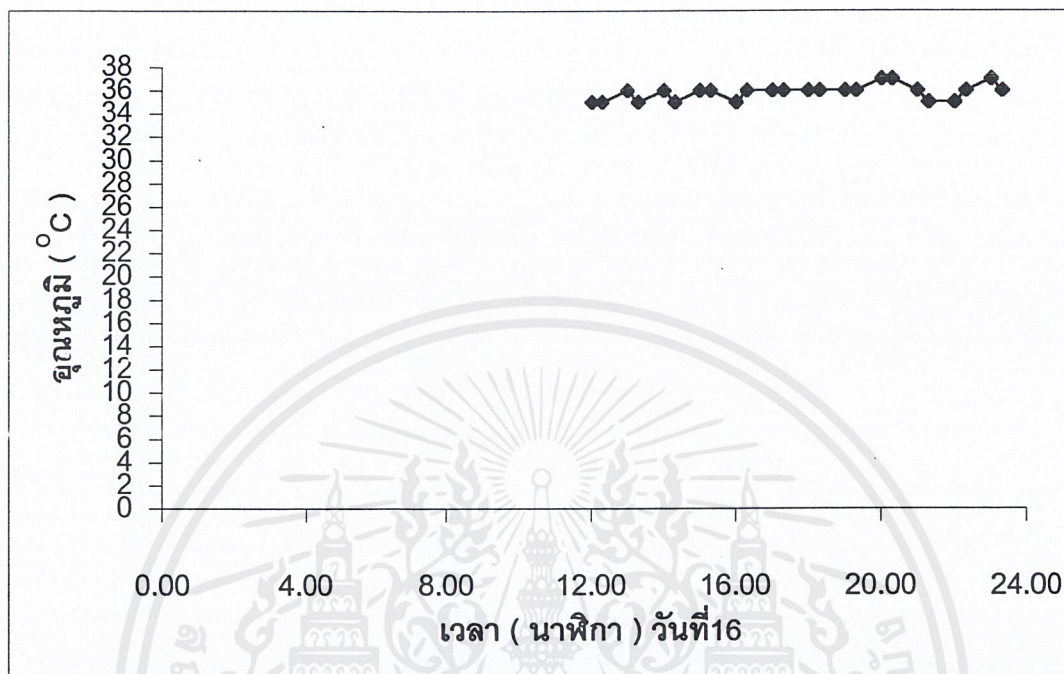
ระยะพักไฮวันที่ 19		ระยะพักไฮวันที่ 20		ระยะพักไฮวันที่ 21	
เวลา	อุณหภูมิ (OC)	เวลา	อุณหภูมิ (OC)	เวลา	อุณหภูมิ (OC)
0:00	37	0:00	36	0:00	36
0:30	36	0:30	37	0:30	36
1:00	37	1:00	36	1:00	37
1:30	37	1:30	37	1:30	36
2:00	36	2:00	37	2:00	36
2:30	37	2:30	37	2:30	37
3:00	36	3:00	37	3:00	36
3:30	36	3:30	37	3:30	37
4:00	37	4:00	36	4:00	37
4:30	37	4:30	36	4:30	37
5:00	36	5:00	35	5:00	37
5:30	36	5:30	36	5:30	36
6:00	36	6:00	36	6:00	36
6:30	36	6:30	36	6:30	36
7:00	36	7:00	37	7:00	37
7:30	37	7:30	37	7:30	36
8:00	36	8:00	37	8:00	36
8:30	36	8:30	37	8:30	37
9:00	36	9:00	37	9:00	36
9:30	36	9:30	36	9:30	36
10:00	36	10:00	37	10:00	37
10:30	36	10:30	38	10:30	36
11:00	36	11:00	37	11:00	37
11:30	36	11:30	36	11:30	37
12:00	36	12:00	37	12:00	37

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

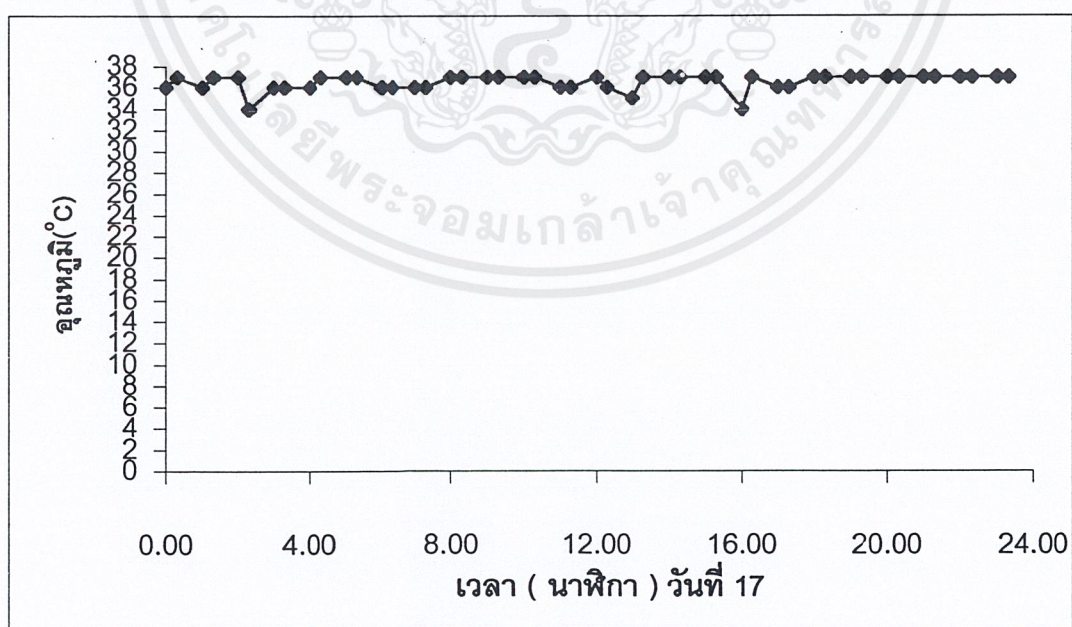
ระยะพักใจวันที่ 19		ระยะพักใจวันที่ 20		ระยะพักใจวันที่ 21	
เวลา	อุณหภูมิ (OC)	เวลา	อุณหภูมิ (OC)	เวลา	อุณหภูมิ (OC)
12:30	36	12:30	36	12:30	37
13:00	36	13:00	36	13:00	36
13:30	36	13:30	36	13:30	36
14:00	36	14:00	37	14:00	37
14:30	36	14:30	37	14:30	36
15:00	37	15:00	37	15:00	37
15:30	36	15:30	37	15:30	36
16:00	36	16:00	37	16:00	36
16:30	36	16:30	37	16:30	36
17:00	36	17:00	37	17:00	37
17:30	37	17:30	36	17:30	37
18:00	36	18:00	36	18:00	37
18:30	37	18:30	36	18:30	36
19:00	36	19:00	37	19:00	36
19:30	36	19:30	37	19:30	36
20:00	36	20:00	37	20:00	37
20:30	37	20:30	37	20:30	37
21:00	36	21:00	36	21:00	37
21:30	36	21:30	36	21:30	37
22:00	37	22:00	36	22:00	37
22:30	37	22:30	36	22:30	37
23:00	36	23:00	36	23:00	36
23:30	36	23:30	36	23:30	37

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

แสดงกราฟความสัมพันธ์ระหว่างอุณหภูมิกับเวลา

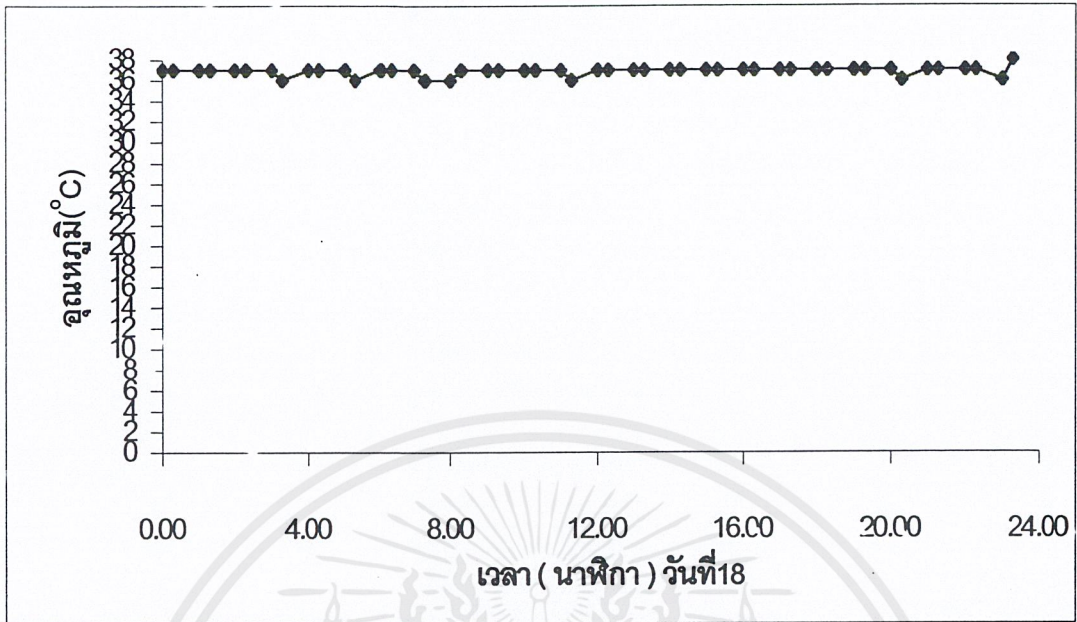


รูปที่ 4.1 แสดงกราฟความสัมพันธ์ระหว่างอุณหภูมิกับเวลาของระยะพักไข่วันที่ 16

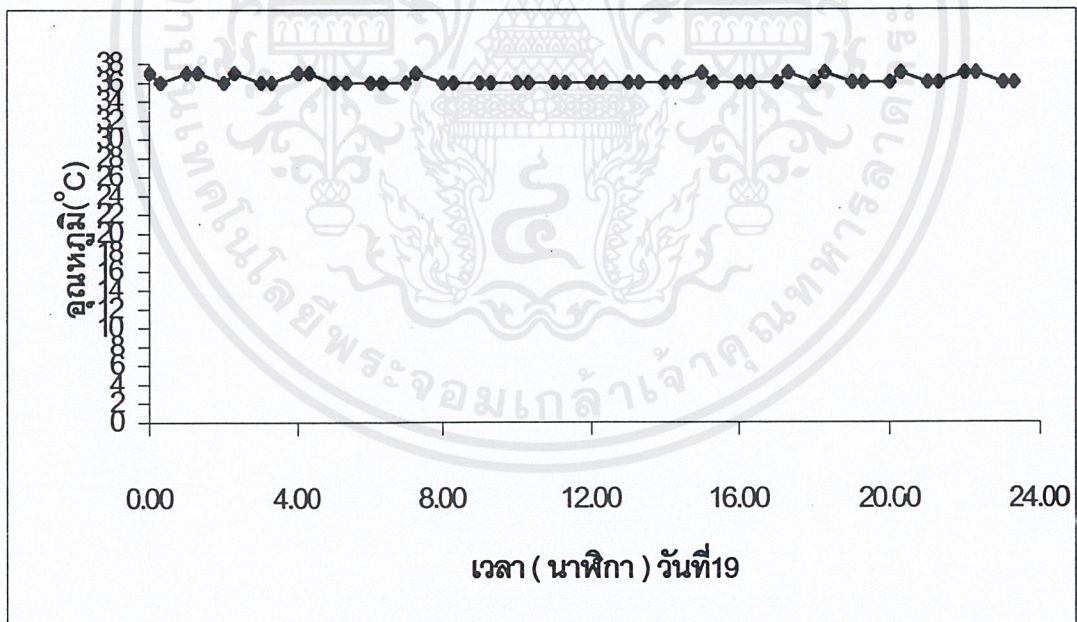


รูปที่ 4.2 แสดงกราฟความสัมพันธ์ระหว่างอุณหภูมิกับเวลาของระยะพักไข่วันที่ 17

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

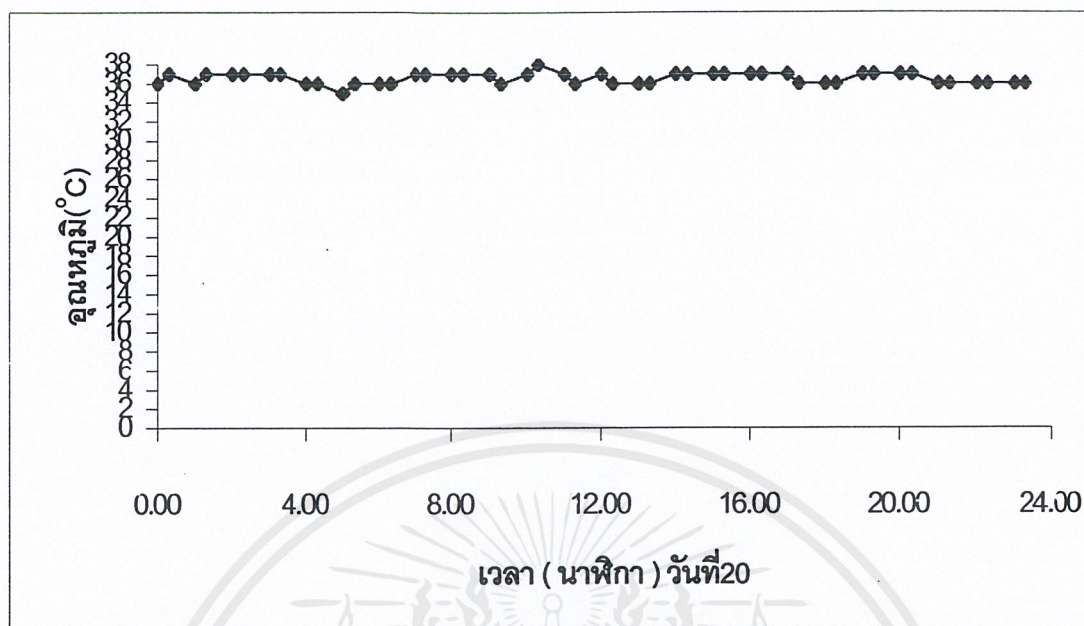


รูปที่ 4.3 แสดงกราฟความสัมพันธ์ระหว่างอุณหภูมิกับเวลาของระยะพักใช้วันที่ 18

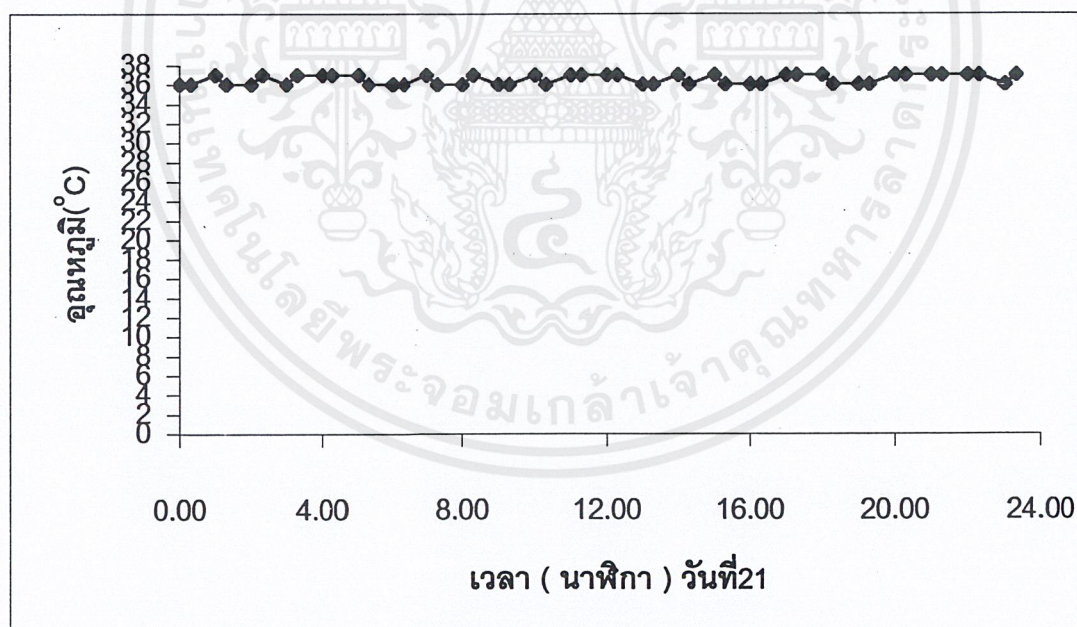


รูปที่ 4.4 แสดงกราฟความสัมพันธ์ระหว่างอุณหภูมิกับเวลาของระยะพักใช้วันที่ 19

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.5 แสดงกราฟความสัมพันธ์ระหว่างอุณหภูมิกับเวลาของระยะพักไข่วันที่ 20



รูปที่ 4.6 แสดงกราฟความสัมพันธ์ระหว่างอุณหภูมิกับเวลาของระยะพักไข่วันที่ 21

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากกราฟที่แสดงมาทั้งหมด จะพบว่าอุณหภูมิที่วัดได้จะอยู่ใน 36-37 °C จะมีบางชั่วโมงเท่านั้นที่อุณหภูมิจะต่ำหรือสูงกว่าค่าที่กำหนดไว้

โดยที่อุณหภูมิสำหรับการปักไผ่อยู่ในช่วง 35°C-40°C และอุณหภูมิที่เหมาะสมที่สุดอยู่ในช่วง 36°C -38°C

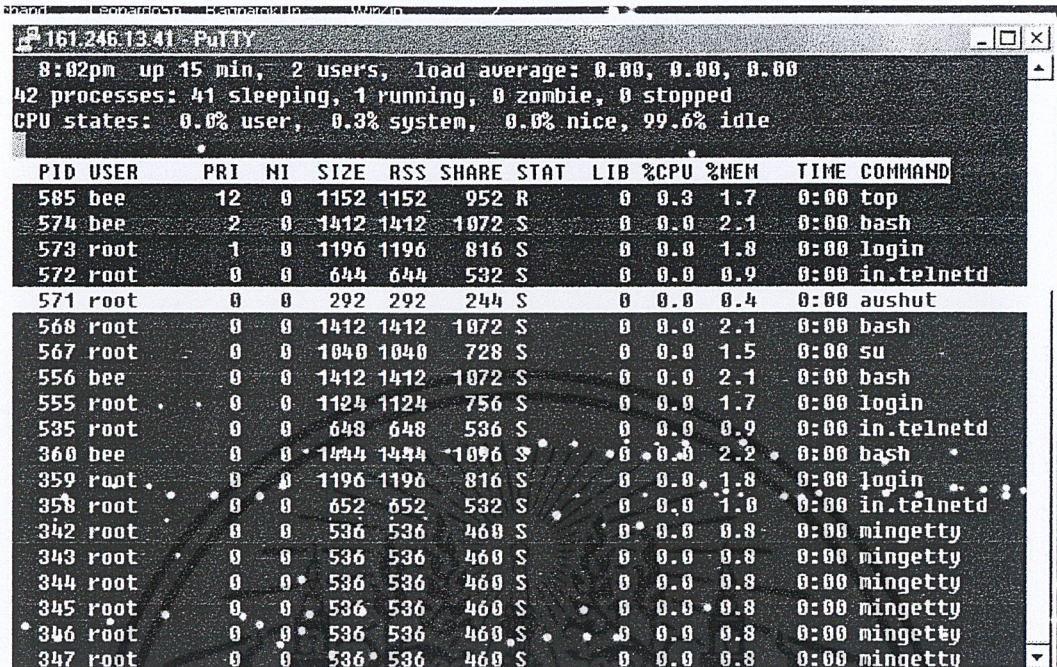
ในการทดลองได้นำไผ่มาทดลองปักด้วยเครื่องที่สร้างขึ้นจำนวน 10 ฟองหลังจากวันที่ 21 แล้วมีไผ่ปักเป็นตัวทั้งสิ้น 6 ตัว ดังนั้นเครื่องที่สร้างขึ้นมีอัตราการรอดชีวิต = 60%



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4.2 ผลที่ได้จากการทำเครื่องควบคุมการ Shutdown ของเครื่อง Internet Server

4.2.1 ผลการทดลอง

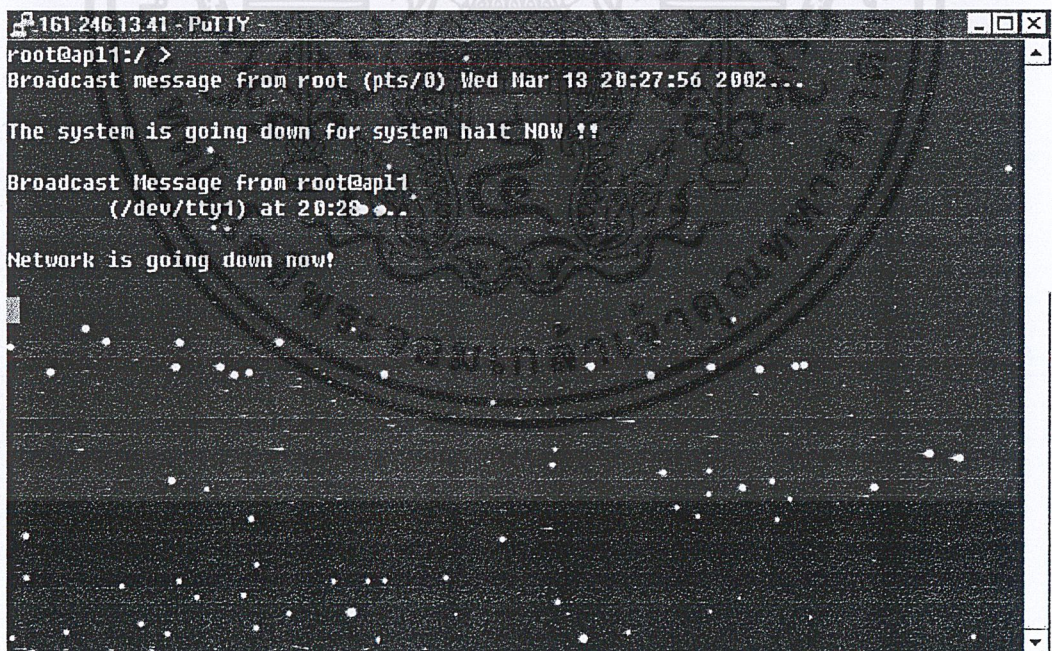


```

161.246.13.41 - PuTTY
0:02pm up 15 min, 2 users, load average: 0.00, 0.00, 0.00
42 processes: 41 sleeping, 1 running, 0 zombie, 0 stopped
CPU states: 0.0% user, 0.3% system, 0.0% nice, 99.6% idle

  PID USER     PRI  NI  SIZE  RSS SHARE STAT   LIB  %CPU  %MEM  TIME COMMAND
  ---  ---     ---  --  ---  ---  -----  ---  ---  ---  ---  ---  ---
 585 bee      12   0  1152 1152   952 R        0  0.3  1.7   0:00 top
 574 bee      2    0  1412 1412  1072 S        0  0.0  2.1   0:00 bash
 573 root     1    0  1196 1196   816 S        0  0.0  1.8   0:00 login
 572 root     0    0   644  644   532 S        0  0.0  0.9   0:00 in.telnetd
 571 root     0    0   292  292   244 S        0  0.0  0.4   0:00 aushut
 568 root     0    0  1412 1412  1072 S        0  0.0  2.1   0:00 bash
 567 root     0    0  1040 1040   728 S        0  0.0  1.5   0:00 su
 556 bee      0    0  1412 1412  1072 S        0  0.0  2.1   0:00 bash
 555 root     0    0  1124 1124   756 S        0  0.0  1.7   0:00 login
 535 root     0    0   648  648   536 S        0  0.0  0.9   0:00 in.telnetd
 360 bee      0    0  1444 1444  1096 S        0  0.0  2.2   0:00 bash
 359 root     0    0  1196 1196   816 S        0  0.0  1.8   0:00 login
 358 root     0    0   652  652   532 S        0  0.0  1.0   0:00 in.telnetd
 342 root     0    0   536  536   460 S        0  0.0  0.8   0:00 mingetty
 343 root     0    0   536  536   460 S        0  0.0  0.8   0:00 mingetty
 344 root     0    0   536  536   460 S        0  0.0  0.8   0:00 mingetty
 345 root     0    0   536  536   460 S        0  0.0  0.8   0:00 mingetty
 346 root     0    0   536  536   460 S        0  0.0  0.8   0:00 mingetty
 347 root     0    0   536  536   460 S        0  0.0  0.8   0:00 mingetty
  
```

รูปที่ 4.7 ภาพแสดง process ของโปรแกรมหลังจาก restart เครื่อง



```

161.246.13.41 - PuTTY
root@ap11: / >
Broadcast message from root (pts/0) Wed Mar 13 20:27:56 2002...

The system is going down for system halt NOW !!

Broadcast Message from root@ap11
(/dev/tty1) at 20:28...

Network is going down now!
  
```

รูปที่ 4.8 ภาพแสดงการ shutdown เมื่อไฟดับ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 5

สรุปผลการทดลอง

5.1 สรุปผลการทดลอง

จากการศึกษาโครงการพิเศษทั้งในกรณีศึกษาที่ 1 ซึ่งเป็นกรณีที่ศึกษาเครื่องควบคุมอุณหภูมิอัตโนมัติสำหรับการพักไข่และกรณีศึกษาที่ 2 ซึ่งเป็นกรณีที่ศึกษาเครื่องควบคุมการ shut down ของเครื่อง Internet Server พบว่าควรเลือกใช้ไมโครคอนโทรลเลอร์ที่เหมาะสมกับการใช้งาน อย่างเช่นในกรณีศึกษาที่ 1 เป็นการทำงานที่จะต้องมีการรับค่าและควบคุมการเปิด-ปิดของพัดลม และจะต้องมีอุปกรณ์อื่นๆอีกหลายชิ้น ดังนั้นจึงจำเป็นที่จะต้องเลือกใช้ไมโครคอนโทรลเลอร์ที่มีคุณสมบัติมากกว่า แต่ในกรณีศึกษาที่ 2 ไม่จำเป็นที่จะต้องเลือกใช้ไมโครคอนโทรลเลอร์เดียวกับในกรณีศึกษาที่ 1 เพื่อเป็นการประหยัดงบประมาณในการทำงาน

ระบบฝังตัวเป็นการนำเอาคอมพิวเตอร์ขนาดจิ๋วมาควบคุม ดูแล และจัดการการทำงานของระบบ ซึ่งอาจเป็นการควบคุมสถานะต่างๆ ของระบบ หรืออาจเป็นการควบคุมการทำงานของอุปกรณ์ต่างๆ ในระบบนั้นๆ ซึ่งคอมพิวเตอร์ขนาดจิ๋วนี้อาจประกอบรวมกันอยู่บนชิพเล็กๆ หรืออาจรวมกันบนบอร์ด PCB ขนาดเล็ก เพื่อให้มีความกะทัดรัด และลดความซับซ้อนของวงจรทำให้ดูแลรักษาได้ง่ายขึ้น ระบบฝังตัวจะประกอบไปด้วยส่วนหลักๆ

5.1.1 ส่วนประมวลผล

เป็นส่วนที่ตัดสินใจการทำงานต่างๆ ตามขั้นตอนที่มนุษย์ได้ตั้งไว้

5.1.2 อินพุท

เป็นส่วนที่ระบบควบคุม จะรับรู้จากภายนอก ซึ่งจะทำให้มันสามารถตัดสินใจได้ว่าควรจะทำอะไรขั้นตอนใดต่อไปเพื่อให้เป็นไปตามความต้องการของผู้ใช้งาน และเพื่อความเหมาะสมในงานนั้นๆ ซึ่งการรับรู้ภายนอกของมันบ้างกรณีต้องมีส่วนที่เรียกว่า ADC (Analog to Digital Converter) เพื่อช่วยในการเปลี่ยนค่าอนาลอกจากโลกภายนอก ให้เป็นค่าดิจิทัลที่มันสามารถรับรู้ได้

5.1.3 เอาท์พุท

เป็นส่วนที่ระบบควบคุม จะใช้ติดต่อภายนอก เพื่อสั่งอุปกรณ์ภายนอกให้ทำงานหรือใช้ในการบอกแจ้งความต้องการของมัน หรือบอกสถานะในการทำงานของมัน ในบางกรณีเราก็ต้องใช้

ส่วนที่เรียกว่า DAC (Digital to Analog Converter) เพื่อเปลี่ยนจากสัญญาณดิจิทัลเป็นสัญญาณอนาล็อก

5.1.4 หน่วยความจำ

เป็นส่วนที่ไว้เก็บข้อมูลการทำงาน เช่นผลลัพธ์ของการทำงานหรือ ขั้นตอนในการทำงานต่างๆ ของ embedded system

ส่วนต่างๆ ที่กล่าวมาแล้ว เป็นส่วนหลักๆ ที่จะมีบน embedded system แต่ในบางครั้งพบว่าไม่เพียงพอในการใช้งาน จึงมีการต่อเข้าไปเพิ่มเติมเพื่อเพิ่มประสิทธิภาพ ซึ่งอาจทำให้มีขนาดใหญ่ขึ้นบ้าง

ในการทำงานบางอย่างจะแบ่งการทำงานออกเป็นส่วนย่อยๆ เพื่อเพิ่มประสิทธิภาพในการทำงานซึ่งต้องมี embedded system หลายๆ จุด และแต่ละส่วนจะต้องมีทำงานสัมพันธ์กัน จึงต้องมีการเพิ่มระบบบัสเข้ามาเพื่อใช้ในการติดต่อสื่อสารระหว่างกัน ระบบบัสที่เราพบได้บ่อยใน embedded system เช่น I²C, CAN, TCP/IP โดย TCP/IP นับวันยิ่งจะมีบทบาทมากขึ้น

ปัจจุบันแนวโน้มการใช้งาน embedded system control จะมีมากขึ้นเนื่องจากข้อดีในหลายๆ ด้าน ใช้งานง่ายและประสิทธิภาพที่เพิ่มขึ้นโดยที่ไม่จำเป็นต้องเพิ่มขนาดของระบบ

5.2 แนวทางพัฒนา

กรณีศึกษาที่ 1 เครื่องควบคุมอุณหภูมิอัตโนมัติสำหรับฟักไข่

เนื่องจากเครื่องควบคุมอุณหภูมิอัตโนมัติสำหรับฟักไข่ที่ทำการทดลองนี้ยังมีขนาดเล็กซึ่งถ้านำมาใช้จริงในทางธุรกิจแล้วยังต้องมีการปรับปรุงตัวต้นแบบของเครื่องควบคุมอุณหภูมิอัตโนมัติสำหรับฟักไข่ให้มีขนาดใหญ่ขึ้นและมีความคงทนมากกว่านี้ และจะต้องเป็นระบบที่ทำงานโดยอัตโนมัติยิ่งขึ้น

กรณี 2 เครื่องปิดเครื่อง server อัตโนมัติ

แนวทางการพัฒนาต่อไป ทำโปรแกรมมอนิเตอร์บนตัว UPS เพื่อที่จะสามารถเข้ามาขอข้อมูลต่างๆ เกี่ยวกับไฟฟ้าได้จากอินเทอร์เน็ต หรือก็คือ remote sensing สามารถแจ้งเตือนผู้ดูแลระบบถึงปัญหาทางไฟฟ้าที่อาจเกิดขึ้น ซึ่งจะมีประโยชน์อย่างมากในการควบคุมการทำงานของเครื่อง server เพื่อลด down time ของเครื่องและเป็นการเพิ่มความน่าเชื่อถือของระบบ

เอกสารอ้างอิง

1. ดุสิต เครื่องงาม, 2542 สิ่งประดิษฐ์ออปโตอิเล็กทรอนิกส์ ฟิสิกส์ เทคโนโลยี และการใช้งาน เล่ม1, หน้า 526-530, จุฬาลงกรณ์มหาวิทยาลัย.
2. พรจิต ประทุมสุวรรณ และคณะ, 2536 ทฤษฎีและการใช้งาน(PL/PLC) Programmable Controller หน้า 9-13, เว็บบอร์ดการพิมพ์.
3. วรวิทย์ วณิชชาติ, 2531 ไมโครคอมพิวเตอร์ หน้า 101-118, สำนักพิมพ์วิบูลย์.
4. Jonathan W.Valvano , 1999 Embedded Microcomputer System , 1st , pp. 1-100, Brooks / Cole.
5. Wayne Wolf , 2001 Computer as Components , 1th, pp. 1-560, Academic Press.



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

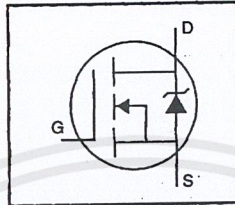
ภาคผนวก



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

HEXFET® Power MOSFET

- Dynamic dv/dt Rating
- Repetitive Avalanche Rated
- 175°C Operating Temperature
- Fast Switching
- Ease of Paralleling
- Simple Drive Requirements



$V_{DSS} = 100V$

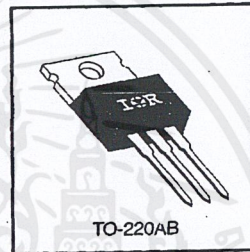
$R_{DS(on)} = 0.54\Omega$

$I_D = 5.6A$

Description

Third Generation HEXFETs from International Rectifier provide the designer with the best combination of fast switching, ruggedized device design, low on-resistance and cost-effectiveness.

The TO-220 package is universally preferred for all commercial-industrial applications at power dissipation levels to approximately 50 watts. The low thermal resistance and low package cost of the TO-220 contribute to its wide acceptance throughout the industry.



DATA SHEETS

Absolute Maximum Ratings

Parameter	Max.	Units
$I_D @ T_C = 25^\circ C$	Continuous Drain Current, $V_{GS} @ 10 V$	5.6
$I_D @ T_C = 100^\circ C$	Continuous Drain Current, $V_{GS} @ 10 V$	4.0
I_{DM}	Pulsed Drain Current ①	20
$P_D @ T_C = 25^\circ C$	Power Dissipation	43
	Linear Derating Factor	0.29
V_{GS}	Gate-to-Source Voltage	± 20
E_{AS}	Single Pulse Avalanche Energy ②	100
I_{AR}	Avalanche Current ①	5.6
E_{AR}	Repetitive Avalanche Energy ①	4.3
dv/dt	Peak Diode Recovery dv/dt ③	5.5
T_J	Operating Junction and Storage Temperature Range	-55 to +175
T_{STG}	Soldering Temperature, for 10 seconds	300 (1.6mm from case)
	Mounting Torque, 6-32 or M3 screw	10 lbf-in (1.1 N·m)


Thermal Resistance

Parameter	Min.	Typ.	Max.	Units
$R_{\theta JC}$	Junction-to-Case	—	3.5	°C/W
$R_{\theta CS}$	Case-to-Sink, Flat, Greased Surface	—	0.50	
$R_{\theta JA}$	Junction-to-Ambient	—	62	


IRF510



Electrical Characteristics @ T_J = 25°C (unless otherwise specified)

	Parameter	Min.	Typ.	Max.	Units	Test Conditions
V _{(BR)DSS}	Drain-to-Source Breakdown Voltage	100	—	—	V	V _{GS} =0V, I _D =250μA
ΔV _{(BR)DSS} /ΔT _J	Breakdown Voltage Temp. Coefficient	—	0.12	—	V/°C	Reference to 25°C, I _D =1mA
R _{DS(on)}	Static Drain-to-Source On-Resistance	—	—	0.54	Ω	V _{GS} =10V, I _D =3.4A ④
V _{GS(th)}	Gate Threshold Voltage	2.0	—	4.0	V	V _{DS} =V _{GS} , I _D =250μA
g _{fs}	Forward Transconductance	1.3	—	—	S	V _{DS} =50V, I _D =3.4A ④
I _{DSS}	Drain-to-Source Leakage Current	—	—	25	μA	V _{DS} =100V, V _{GS} =0V
I _{GSS}	Gate-to-Source Forward Leakage	—	—	100	nA	V _{GS} =20V
	Gate-to-Source Reverse Leakage	—	—	-100	nA	V _{GS} =-20V
Q _g	Total Gate Charge	—	—	8.3	nC	I _D =5.6A
Q _{gs}	Gate-to-Source Charge	—	—	2.3	nC	V _{DS} =80V
Q _{gd}	Gate-to-Drain ("Miller") Charge	—	—	3.3	nC	V _{GS} =10V See Fig. 6 and 13 ④
t _{d(on)}	Turn-On Delay Time	—	6.9	—	ns	V _{DD} =50V
t _r	Rise Time	—	16	—		I _D =5.6A
t _{d(off)}	Turn-Off Delay Time	—	15	—		R _G =24Ω
t _f	Fall Time	—	9.4	—		R _D =8.4Ω See Figure 10 ④
L _D	Internal Drain Inductance	—	4.5	—	nH	Between lead, 6 mm (0.25in.) from package and center of die contact 
L _S	Internal Source Inductance	—	7.5	—	nH	
C _{iss}	Input Capacitance	—	180	—	pF	V _{GS} =0V
C _{oss}	Output Capacitance	—	81	—		V _{DS} =25V
C _{rss}	Reverse Transfer Capacitance	—	15	—		f=1.0MHz See Figure 5

Source-Drain Ratings and Characteristics

	Parameter	Min.	Typ.	Max.	Units	Test Conditions
I _S	Continuous Source Current (Body Diode)	—	—	5.6	A	MOSFET symbol showing the integral reverse p-n junction diode. 
I _{SM}	Pulsed Source Current (Body Diode) ①	—	—	20		
V _{SD}	Diode Forward Voltage	—	—	2.5	V	T _J =25°C, I _S =5.6A, V _{GS} =0V ④
t _{rr}	Reverse Recovery Time	—	100	200	ns	T _J =25°C, I _F =5.6A
Q _{rr}	Reverse Recovery Charge	—	0.44	0.88	μC	di/dt=100A/μs ④
t _{on}	Forward Turn-On Time	Intrinsic turn-on time is negligible (turn-on is dominated by L _S +L _D)				

Notes:

- ① Repetitive rating; pulse width limited by max. junction temperature (See Figure 11)
- ② V_{DD}=25V, starting T_J=25°C, L=4.8mH, R_G=25Ω, I_{AS}=5.6A (See Figure 12)
- ③ I_{SD}≤5.6A, di/dt≤75A/μs, V_{DD}≤V_{(BR)DSS}, T_J≤175°C
- ④ Pulse width ≤ 300 μs; duty cycle ≤2%.

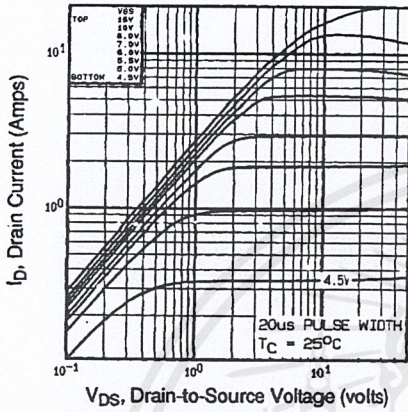


Fig 1. Typical Output Characteristics, $T_C=25^\circ\text{C}$

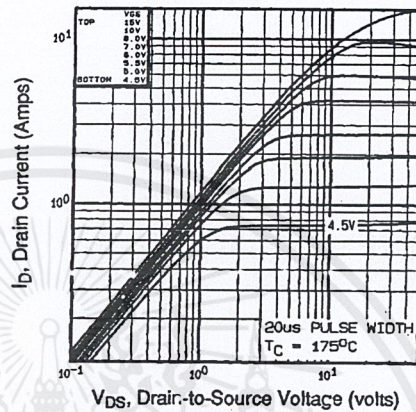


Fig 2. Typical Output Characteristics, $T_C=175^\circ\text{C}$

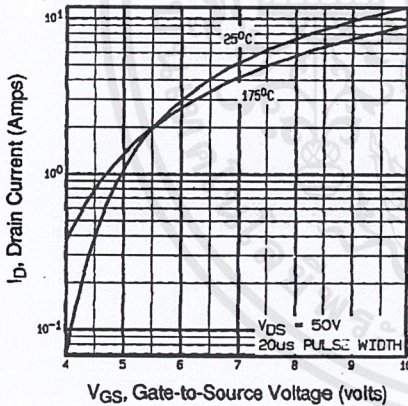


Fig 3. Typical Transfer Characteristics

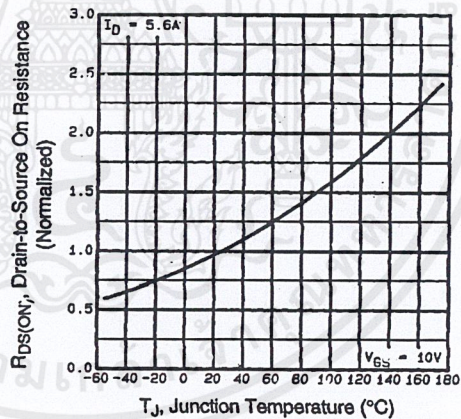


Fig 4. Normalized On-Resistance Vs. Temperature

DATA SHEETS

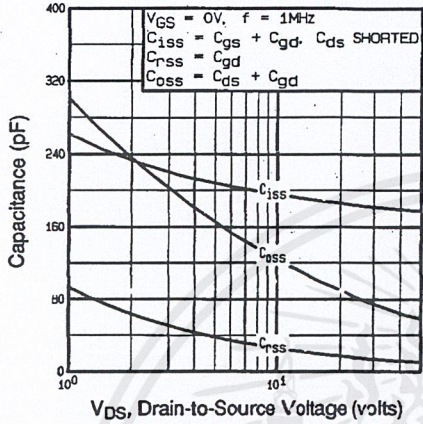


Fig 5. Typical Capacitance Vs. Drain-to-Source Voltage

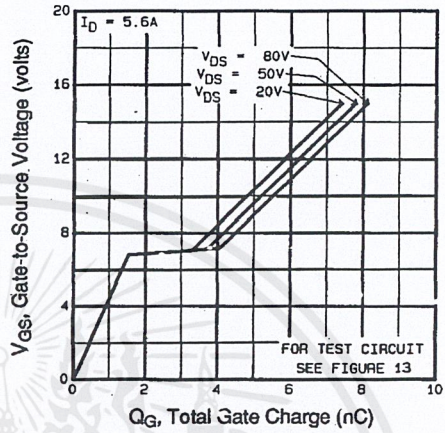


Fig 6. Typical Gate Charge Vs. Gate-to-Source Voltage

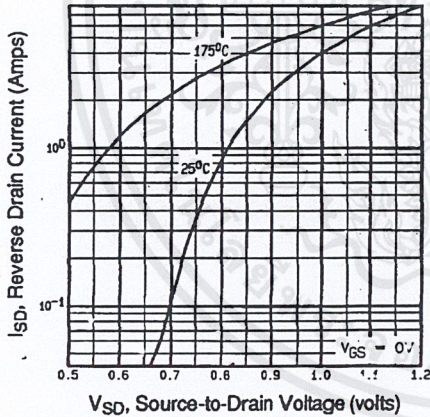


Fig 7. Typical Source-Drain Diode Forward Voltage

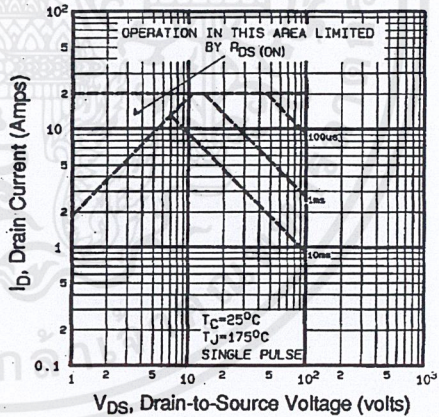


Fig 8. Maximum Safe Operating Area

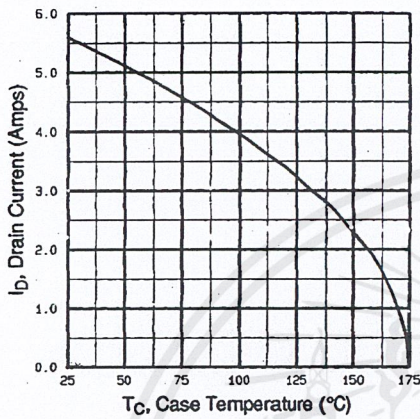


Fig 9. Maximum Drain Current Vs. Case Temperature

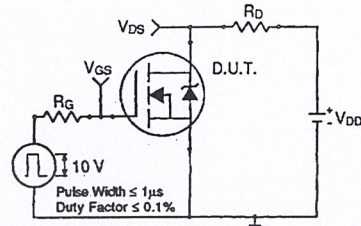


Fig 10a. Switching Time Test Circuit

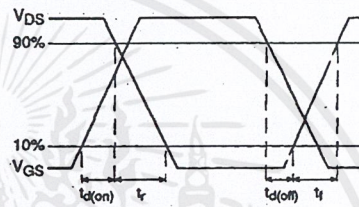


Fig 10b. Switching Time Waveforms

DATA SHEETS

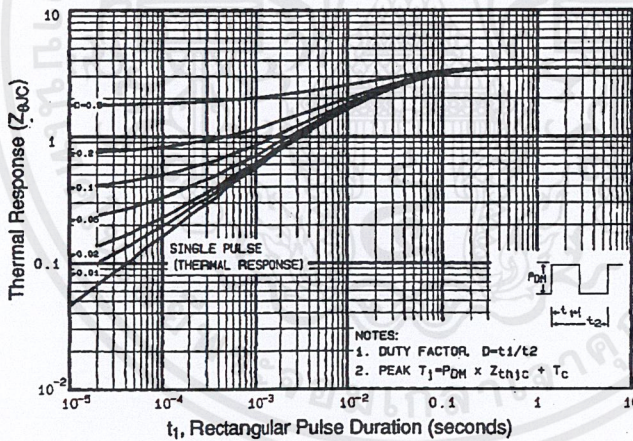


Fig 11. Maximum Effective Transient Thermal Impedance, Junction-to-Case

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

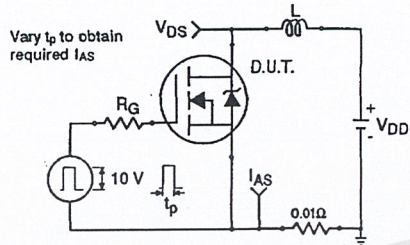


Fig 12a. Unclamped Inductive Test Circuit

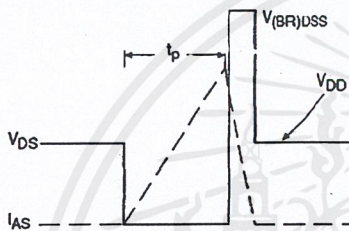


Fig 12b. Unclamped Inductive Waveforms

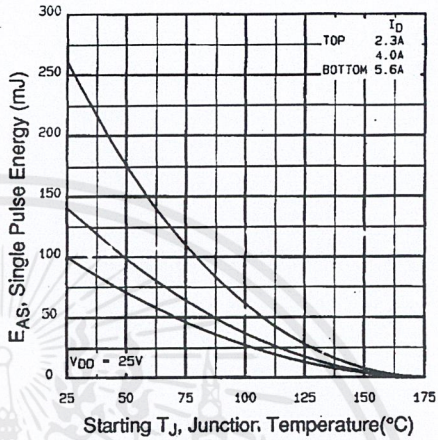


Fig 12c. Maximum Avalanche Energy Vs. Drain Current

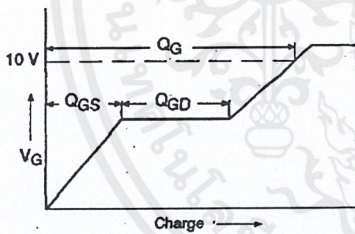


Fig 13a. Basic Gate Charge Waveform

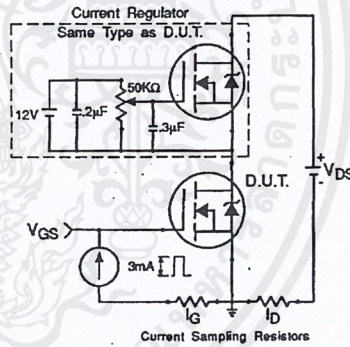


Fig 13b. Gate Charge Test Circuit

Appendix A: Figure 14, Peak Diode Recovery dv/dt Test Circuit – See page 1505

Appendix B: Package Outline Mechanical Drawing – See page 1509

Appendix C: Part Marking Information – See page 1516

Appendix E: Optional Leadforms – See page 1525

International
IR Rectifier

MAXIM

+5V-Powered, Multi-Channel RS-232 Drivers/Receivers

MAX220-MAX249

General Description

The MAX220-MAX249 family of line drivers/receivers is intended for all EIA/TIA-232E and V.28/V.24 communications interfaces, and in particular, for those applications where $\pm 12V$ is not available.

These parts are particularly useful in battery-powered systems, since their low-power shutdown mode reduces power dissipation to less than $5\mu W$. The MAX225, MAX233, MAX235, and MAX245-MAX247 use no external components and are recommended for applications where printed circuit board space is critical.

Applications

Portable Computers
Low-Power Modems
Interface Translation
Battery-Powered HS-232 Systems
Multi-Drop RS-232 Networks

Features

Superior to Bipolar

- ◆ Operate from Single +5V Power Supply (+5V and +12V—MAX231/MAX239)
- ◆ Low-Power Receive Mode in Shutdown (MAX223/MAX242)
- ◆ Meet All EIA/TIA-232E and V.28 Specifications
- ◆ Multiple Drivers and Receivers
- ◆ S-State Driver and Receiver Outputs
- ◆ Open-Line Detection (MAX243)

Ordering Information

PART	TEMP. RANGE	PIN-PACKAGE
MAX220CPE	0°C to +70°C	16 Plastic DIP
MAX220CSE	0°C to +70°C	16 Narrow SO
MAX220CWE	0°C to +70°C	16 Wide SO
MAX220C/D	0°C to +70°C	Dice*
MAX220EPE	-40°C to +85°C	16 Plastic DIP
MAX220ESE	-40°C to +85°C	16 Narrow SO
MAX220EWE	-40°C to +85°C	16 Wide SO
MAX220EJE	-40°C to +85°C	16 CERDIP
MAX220MJE	-55°C to +125°C	16 CERDIP

Ordering information continued at end of data sheet.
*Contact factory for dice specifications.

Selection Table

Part Number	Power Supply (V)	No. of RS-232 Drivers/Rx	No. of Ext. Caps	Nominal Cap. Value (μF)	SHDN & Three-State	Rx Active in SHDN	Data Rate (kbps)	Features
MAX220	+5	2/2	4	4.7/10	No		120	Ultra-low-power, industry-standard pinout
MAX222	+5	2/2	4	0.1	Yes		200	Low-power shutdown
MAX223 (MAX213)	+5	4/5	4	1.0 (0.1)	Yes	✓	120	MAX241 + receivers active in shutdown
MAX225	+5	5/5	0	-	Yes	✓	120	Available in SO
MAX230 (MAX200)	+5	5/0	4	1.0 (0.1)	Yes		120	5 drivers with shutdown
MAX231 (MAX201)	+5 and +7.5 to +13.2	2/2	2	1.0 (0.1)	No		120	Standard +5/+12V or battery supplies; same functions as MAX232
MAX232 (MAX202)	+5	2/2	4	1.0 (0.1)	No		120 (64)	Industry standard
MAX232A	+5	2/2	4	0.1	No		200	Higher slew rate, small caps
MAX233 (MAX203)	+5	2/2	0	-	No		120	No external caps
MAX233A	+5	2/2	0	-	No		200	No external caps, high slew rate
MAX234 (MAX204)	+5	4/0	4	1.0 (0.1)	No		120	Replaces 1488
MAX235 (MAX205)	+5	5/5	0	-	Yes		120	No external caps
MAX236 (MAX206)	+5	4/3	4	1.0 (0.1)	Yes		120	Shutdown, three state
MAX237 (MAX207)	+5	5/3	4	1.0 (0.1)	No		120	Complements IBM PC serial port
MAX238 (MAX208)	+5	4/4	4	1.0 (0.1)	No		120	Replaces 1488 and 1489
MAX239 (MAX209)	+5 and +7.5 to +13.2	3/5	2	1.0 (0.1)	No		120	Standard +5/+12V or battery supplies; single-package solution for IBM PC serial port
MAX240	+5	5/5	4	1.0	Yes		120	DIP or flatpack package
MAX241 (MAX211)	+5	4/5	4	1.0 (0.1)	Yes		120	Complete IBM PC serial port
MAX242	+5	2/2	4	0.1	Yes	✓	200	Separate shutdown and enable
MAX243	+5	2/2	4	0.1	No		200	Open-line detection simplifies cabling
MAX244	+5	8/10	4	1.0	No		120	High slew rate
MAX245	+5	8/10	0	-	Yes	✓	120	High slew rate, int. caps, two shutdown modes
MAX246	+5	8/10	0	-	Yes	✓	120	High slew rate, int. caps, three shutdown modes
MAX247	+5	8/9	0	-	Yes	✓	120	High slew rate, int. caps, nine operating modes
MAX248	+5	8/8	4	1.0	Yes	✓	120	High slew rate, selective half-chip enables
MAX249	+5	6/10	4	1.0	Yes	✓	120	Available in quad flatpack package

MAXIM

Maxim Integrated Products 1

For free samples & the latest literature: <http://www.maxim-ic.com>, or phone 1-800-998-8800

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

+5V-Powered, Multi-Channel RS-232 Drivers/Receivers

ABSOLUTE MAXIMUM RATINGS—MAX220/222/232A/233A/242/243

Supply Voltage (V _{CC}).....	-0.3V to +6V	16-Pin Narrow SO (derate 8.70mW/°C above +70°C).....	696mW
Input Voltages		16-Pin Wide SO (derate 9.52mW/°C above +70°C).....	762mW
T _{IN}	-0.3V to (V _{CC} - 0.3V)	18-Pin Wide SO (derate 9.52mW/°C above +70°C).....	762mW
R _{IN}	±30V	20-Pin Wide SO (derate 10.00mW/°C above +70°C).....	800mW
T _{OUT} (Note 1).....	±15V	20-Pin SSOP (derate 8.00mW/°C above +70°C).....	640mW
Output Voltages		16-Pin CERDIP (derate 10.00mW/°C above +70°C).....	800mW
T _{OUT}	±15V	18-Pin CERDIP (derate 10.53mW/°C above +70°C).....	842mW
R _{OUT}	-0.3V to (V _{CC} + 0.3V)		
Driver/Receiver Output Short Circuited to GND.....	Continuous	Operating Temperature Ranges	
Continuous Power Dissipation (T _A = +70°C)		MAX2_AC_, MAX2_C_.....	0°C to +70°C
16-Pin Plastic DIP (derate 10.53mW/°C above +70°C).....	842mW	MAX2_AE_, MAX2_E_.....	-40°C to +85°C
18-Pin Plastic DIP (derate 11.11mW/°C above +70°C).....	889mW	MAX2_AM_, MAX2_M_.....	-55°C to +125°C
20-Pin Plastic DIP (derate 8.00mW/°C above +70°C).....	440mW	Storage Temperature Range.....	-65°C to +160°C
		Lead Temperature (soldering, 10sec).....	+300°C

Note 1: Input voltage measured with T_{OUT} in high-impedance state, S_{HDN} or V_{CC} = 0V.

Stresses beyond those listed under "Absolute Maximum Ratings" may cause permanent damage to the device. These are stress ratings only, and functional operation of the device at these or any other conditions beyond those indicated in the operational sections of the specifications is not implied. Exposure to absolute maximum rating conditions for extended periods may affect device reliability.

ELECTRICAL CHARACTERISTICS—MAX220/222/232A/233A/242/243

(V_{CC} = +5V ±10%, C1-C4 = 0.1µF, T_A = T_{MIN} to T_{MAX}, unless otherwise noted.)

PARAMETER	CONDITIONS	MIN	TYP	MAX	UNITS
RS-232 TRANSMITTERS					
Output Voltage Swing	All transmitter outputs loaded with 3kΩ to GND	±5	±8		V
Input Logic Threshold Low			1.4	0.8	V
Input Logic Threshold High		2	1.4		V
Logic Pull-Up/Input Current	Normal operation		5	40	µA
	S _{HDN} = 0V, MAX222/242, shutdown		±0.01	±1	
Output Leakage Current	V _{CC} = 5.5V, S _{HDN} = 0V, V _{OUT} = ±15V, MAX222/242		±0.01	±10	µA
	V _{CC} = S _{HDN} = 0V, V _{OUT} = ±15V		±0.01	±10	
Data Rate	Except MAX220, normal operation		200	116	kbits/sec
	MAX220		22	20	
Transmitter Output Resistance	V _{CC} = V ₊ = V ₋ = 0V, V _{OUT} = ±2V	300	10M		Ω
Output Short-Circuit Current	V _{OUT} = 0V	±7	±22		mA
RS-232 RECEIVERS					
RS-232 Input Voltage Operating Range				±30	V
RS-232 Input Threshold Low	V _{CC} = 5V	Except MAX243 R _{2IN}	0.8	1.3	V
		MAX243 R _{2IN} (Note 2)	-3		
RS-232 Input Threshold High	V _{CC} = 5V	Except MAX243 R _{2IN}		1.8	V
		MAX243 R _{2IN} (Note 2)		-0.5	
RS-232 Input Hysteresis	Except MAX243, V _{CC} = 5V, no hyst. in shdn. MAX243		0.2	0.5	V
				1	
RS-232 Input Resistance		3	5	7	kΩ
TTL/CMOS Output Voltage Low	I _{OUT} = 3.2mA		0.2	0.4	V
TTL/CMOS Output Voltage High	I _{OUT} = -1.0mA	3.5	V _{CC} - 0.2		V
TTL/CMOS Output Short-Circuit Current	Sourcing V _{OUT} = GND	-2	-10		mA
	Sinking V _{OUT} = V _{CC}	10	30		
TTL/CMOS Output Leakage Current	S _{HDN} = V _{CC} or EN = V _{CC} (S _{HDN} = 0V for MAX222), 0V ≤ V _{OUT} ≤ V _{CC}		±0.05	±10	µA

+5V-Powered, Multi-Channel RS-232 Drivers/Receivers

MAX220-MAX249

ELECTRICAL CHARACTERISTICS—MAX220/222/232A/233A/242/243 (continued)

(V_{CC} = +5V ±10%, C1-C4 = 0.1µF, T_A = T_{MIN} to T_{MAX}, unless otherwise noted.)

PARAMETER	CONDITIONS		MIN	TYP	MAX	UNITS
EN Input Threshold Low	MAX242			1.4	0.8	V
EN Input Threshold High	MAX242		2.0	1.4		V
POWER SUPPLY						
Operating Supply Voltage			4.5		5.5	V
V _{CC} Supply Current (SHDN = V _{CC}), Figures 5, 6, 9, 19	No load	MAX220		0.5	2	mA
		MAX222/232A/233A/242/243		4	10	
	3kΩ load both inputs	MAX220		12		
		MAX222/232A/233A/242/243		15		
Shutdown Supply Current	MAX222/242	T _A = +25°C		0.1	10	µA
		T _A = 0° to +70°C		2	50	
		T _A = -40° to +85°C		2	50	
		T _A = -55° to +125°C		35	100	
SHDN Input Leakage Current	MAX222/242				±1	µA
SHDN Threshold Low	MAX222/242			1.4	0.8	V
SHDN Threshold High	MAX222/242		2.0	1.4		V
AC CHARACTERISTICS						
Transition Slew Rate	C _L = 50pF to 2500pF, R _L = 3kΩ to 7kΩ, V _{CC} = 5V, T _A = +25°C, measured from +3V to -3V or -3V to +3V	MAX222/232A/233A/242/243	6	12	30	V/µs
		MAX220	1.5	3	30	
Transmitter Propagation Delay TLL to RS-232 (normal operation), Figure 1	t _{PHLT}	MAX222/232A/233A/242/243		1.3	3.5	µs
		MAX220		4	10	
	t _{PLHT}	MAX222/232A/233A/242/243		1.5	3.5	
		MAX220		5	10	
Receiver Propagation Delay RS-232 to TLL (normal operation), Figure 2	t _{PHLR}	MAX222/232A/233A/242/243		0.5	1	µs
		MAX220		0.6	3	
	t _{PLHR}	MAX222/232A/233A/242/243		0.6	1	
		MAX220		0.8	3	
Receiver Propagation Delay RS-232 to TLL (shutdown), Figure 2	t _{PHLS}	MAX242		0.5	10	µs
	t _{PLHS}	MAX242		2.5	10	
Receiver-Output Enable Time, Figure 3	t _{ER}	MAX242		125	500	ns
Receiver-Output Disable Time, Figure 3	t _{DR}	MAX242		160	500	ns
Transmitter-Output Enable Time (SHDN goes high), Figure 4	t _{ET}	MAX222/242, 0.1µF caps (includes charge-pump start-up)		250		µs
Transmitter-Output Disable Time (SHDN goes low), Figure 4	t _{DT}	MAX222/242, 0.1µF caps		600		ns
Transmitter + to - Propagation Delay Difference (normal operation)	t _{PHLT} - t _{PLHT}	MAX222/232A/233A/242/243		300		ns
		MAX220		2000		
Receiver + to - Propagation Delay Difference (normal operation)	t _{PHLR} - t _{PLHR}	MAX222/232A/233A/242/243		100		ns
		MAX220		225		

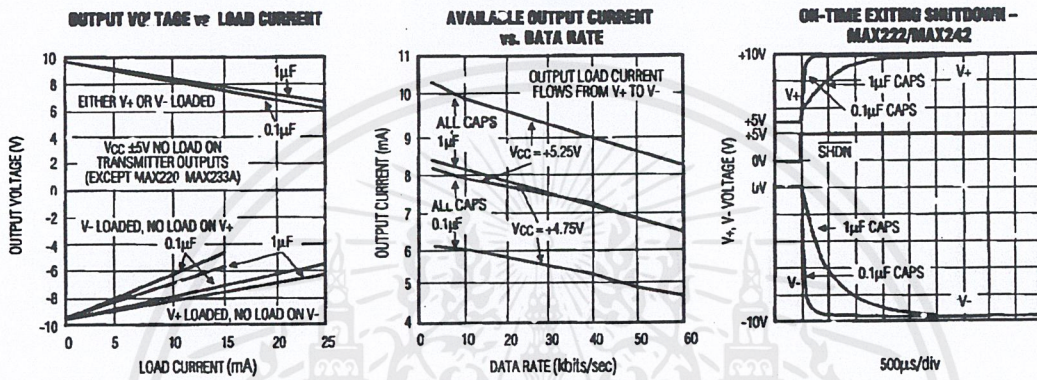
Note 2: MAX243 R2_{OUT} is guaranteed to be low when R2_{IN} is ≥ 0V or is floating.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

+5V-Powered, Multi-Channel RS-232 Drivers/Receivers

Typical Operating Characteristics

MAX220/MAX222/MAX232A/MAX233A/MAX242/MAX243



+5V-Powered, Multi-Channel RS-232 Drivers/Receivers

MAX220-MAX249

ABSOLUTE MAXIMUM RATINGS—MAX223/MAX230-MAX241

V _{CC}	-0.3V to +6V	20-Pin Wide SO (derate 10.00mW/°C above +70°C).....	800mW
V ₊	(V _{CC} - 0.3V) to +14V	24-Pin Wide SO (derate 11.76mW/°C above +70°C).....	941mW
V ₋	+0.3V to -14V	28-Pin Wide SO (derate 12.50mW/°C above +70°C).....	1W
Input Voltages		44-Pin Plastic FP (derate 11.11 mW/°C above +70°C).....	889mW
T _{IN}	-0.3V to (V _{CC} + 0.3V)	14-Pin CERDIP (derate 9.09mW/°C above +70°C).....	727mW
R _{IN}	±30V	16-Pin CERDIP (derate 10.00mW/°C above +70°C).....	800mW
Output Voltages		20-Pin CERDIP (derate 11.11mW/°C above +70°C).....	889mW
T _{OUT}	(V ₊ + 0.3V) to (V ₋ - 0.3V)	24-Pin Narrow CERDIP	
R _{OUT}	-0.3V to (V _{CC} + 0.3V)	(derate 12.50mW/°C above +70°C).....	1W
Short-Circuit Duration, T _{OUT}	Continuous	24-Pin Sidebrazed (derate 20.0mW/°C above +70°C).....	1.6W
Continuous Power Dissipation (T _A = +70°C)		28-Pin SSOP (derate 9.52mW/°C above +70°C).....	762mW
14-Pin Plastic DIP (derate 10.00mW/°C above +70°C).....		Operating Temperature Ranges	
16-Pin Plastic DIP (derate 10.53mW/°C above +70°C).....		MAX2 __ C	0°C to +70°C
20-Pin Plastic DIP (derate 11.11 mW/°C above +70°C).....		MAX2 __ E	-40°C to +85°C
24-Pin Narrow Plastic DIP		MAX2 __ M	-55°C to +125°C
(derate 13.33mW/°C above +70°C).....		Storage Temperature Range.....	-65°C to +160°C
24-Pin Plastic DIP (derate 9.09mW/°C above +70°C).....		Lead Temperature (soldering, 10sec).....	+300°C
16-Pin Wide SO (derate 9.52mW/°C above +70°C).....			

Stresses beyond those listed under "Absolute Maximum Ratings" may cause permanent damage to the device. These are stress ratings only, and functional operation of the device at these or any other conditions beyond those indicated in the operational sections of the specifications is not implied. Exposure to absolute maximum rating conditions for extended periods may affect device reliability.

ELECTRICAL CHARACTERISTICS—MAX223/MAX230-MAX241

(MAX223/230/232/234/236/237/238/240/241 V_{CC} = +5V ±10%, MAX233/MAX235 V_{CC} = 5V ±5%, C1-C4 = 1.0µF MAX231/MAX239 V_{CC} = 5V ±10%, V₊ = 7.5V to 13.2V, T_A = T_{MIN} to T_{MAX}, unless otherwise noted.)

PARAMETER	CONDITIONS	MIN	TYP	MAX	UNITS
Output Voltage Swing	All transmitter outputs loaded with 3kΩ to ground	±5.0	±7.3		V
V _{CC} Power-Supply Current	No load, T _A = +25°C	MAX232/233	5	10	mA
		MAX223/230/234-238/240/241	7	15	
		MAX231/239	.4	1	
V ₊ Power-Supply Current	T _A = +25°C	MAX231	1.8	5	mA
		MAX239	5	15	
Shutdown Supply Current	T _A = +25°C	MAX223	15	50	µA
		MAX230/235/236/240/241	1	10	
Input Logic Threshold Low	T _{IN} , EN, SHDN (MAX223), EN, SHDN (MAX230/235-241)			0.8	V
Input Logic Threshold High	T _{IN}	2.0			V
	EN, SHDN (MAX223), EN, SHDN (MAX230/235/236/240/241)	2.4			
Logic Pull-Up Current	T _{IN} = 0V		1.5	200	µA
Receiver Input Voltage Operating Range		-30		30	V

+5V-Powered, Multi-Channel RS-232 Drivers/Receivers

ELECTRICAL CHARACTERISTICS—MAX223/MAX230-MAX241 (continued)

(MAX223/230/232/234/236/237/238/240/241 $V_{CC} = +5V \pm 10\%$, MAX233/MAX235 $V_{CC} = 5V \pm 5\%$, C1-C4 = 1.0 μ F MAX231/MAX239 $V_{CC} = 5V \pm 10\%$, $V_+ = 7.5V$ to 13.2V, $T_A = T_{MIN}$ to T_{MAX} , unless otherwise noted.)

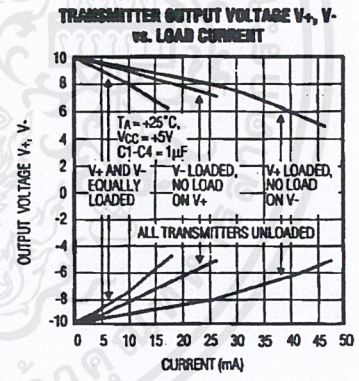
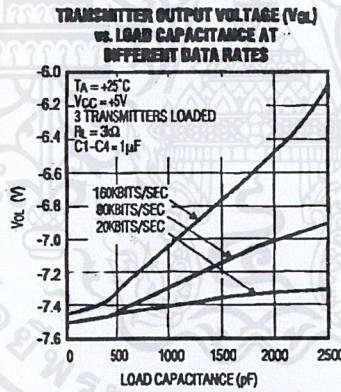
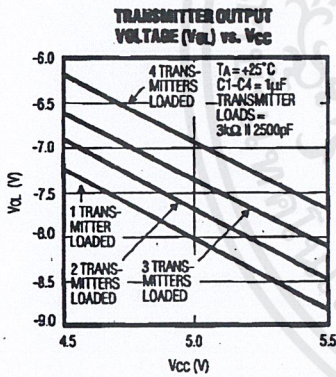
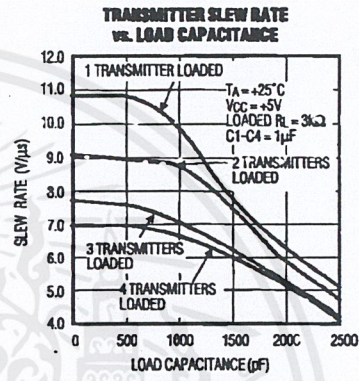
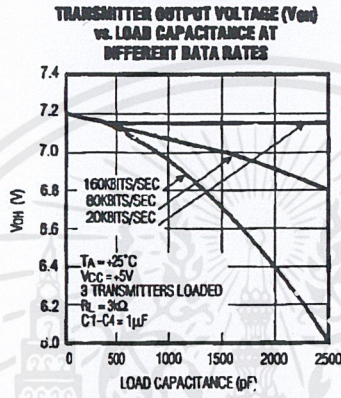
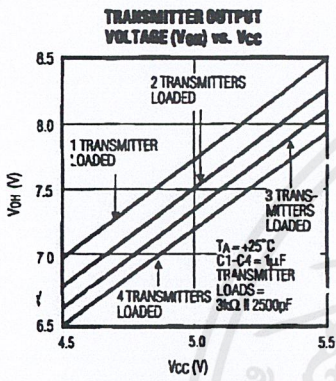
PARAMETER	CONDITIONS		MIN	TYP	MAX	UNITS	
RS-232 Input Threshold Low	$T_A = +25^\circ\text{C}$, $V_{CC} = 5V$	Normal operation SHDN = 5V (MAX223) SHDN = 0V (MAX235/236/240/241)	0.8	1.2		V	
		Shutdown (MAX223) SHDN = 0V, EN = 5V (R4IN, R5IN)	0.6	1.5			
RS-232 Input Threshold High	$T_A = +25^\circ\text{C}$, $V_{CC} = 5V$	Normal operation SHDN = 5V (MAX223) SHDN = 0V (MAX235/236/240/241)		1.7	2.4	V	
		Shutdown (MAX223) SHDN = 0V, EN = 5V (R4IN, R5IN)		1.5	2.4		
RS-232 Input Hysteresis	$V_{CC} = 5V$; no hysteresis in shutdown		0.2	0.5	1.0	V	
RS-232 Input Resistance	$T_A = +25^\circ\text{C}$, $V_{CC} = 5V$		3	5	7	k Ω	
TTL/CMOS Output Voltage Low	$I_{OUT} = 1.6\text{mA}$ (MAX231-233 $I_{OUT} = 3.2\text{mA}$)				0.4	V	
TTL/CMOS Output Voltage High	$I_{OUT} = -1\text{mA}$		3.5	$V_{CC} - 0.4$		V	
TTL/CMOS Output Leakage Current	$0V \leq R_{OUT} \leq V_{CC}$; EN = 0V (MAX223); EN = V_{CC} (MAX235-241)			0.05	± 10	μA	
Receiver Output Enable Time	Normal operation	MAX223		600		ns	
		MAX235/236/239/240/241		400			
Receiver Output Disable Time	Normal operation	MAX223		900		ns	
		MAX235/236/239/240/241		250			
Propagation Delay	RS-232 IN to TTL/CMOS OUT, $C_L = 150\text{pF}$	Normal operation SHDN = 0V (MAX223)	t_{PHLS}		0.5	10	μs
				t_{PLHS}	4	40	
Transition Region Slew Rate	MAX223/MAX230/MAX234-241 $T_A = +25^\circ\text{C}$, $V_{CC} = 5V$, $R_L = 3\text{k}\Omega$ to 7k Ω , $C_L = 50\text{pF}$ to 2500pF, measured from +3V to -3V or -3V to +3V		3	5.1	30	V/ μs	
	MAX231/MAX232/MAX233 $T_A = +25^\circ\text{C}$, $V_{CC} = 5V$, $R_L = 3\text{k}\Omega$ to 7k Ω , $C_L = 50\text{pF}$ to 2500pF, measured from +3V to -3V or -3V to +3V			4	30		
Transmitter Output Resistance	$V_{CC} = V_+ = V_- = 0V$, $V_{OUT} = \pm 2V$		300			Ω	
Transmitter Out Short-Circuit Current			± 10			mA	

+5V-Powered, Multi-Channel RS-232 Drivers/Receivers

Typical Operating Characteristics

MAX220-MAX249

MAX223/MAX230-MAX241



V_+ , V_- WHEN EXITING SHTDWN ($1\mu\text{F}$ CAPACITORS)



*SHUTDOWN POLARITY IS REVERSED FOR THE MAX241

+5V-Powered, Multi-Channel RS-232 Drivers/Receivers

ABSOLUTE MAXIMUM RATINGS—MAX225/MAX244-MAX249

Supply Voltage (V_{CC}).....	-0.3V to +6V	Continuous Power Dissipation ($T_A = +70^\circ\text{C}$)	
Input Voltages		28-Pin Wide SO (derate 12.50mW/°C above +70°C).....	1W
T_{IN} , ENA, ENB, ENR, ENT, ENRA,		40-Pin Plastic DIP (derate 11.11mW/°C above +70°C).....	611mW
ENRB, ENTA, ENTB.....	-0.3V to ($V_{CC} + 0.3V$)	44-Pin PLCC (derate 13.33mW/°C above +70°C).....	1.07W
R_{IN}	$\pm 25V$	Operating Temperature Ranges	
T_{OUT} (Note 3).....	$\pm 15V$	MAX225C_-, MAX24 C_-.....	0°C to +70°C
R_{OUT}	-0.3V to ($V_{CC} + 0.3V$)	MAX225E_-, MAX24 E_-.....	-40°C to +85°C
Short Circuit (one output at a time)		Storage Temperature Range.....	-65°C to +160°C
T_{OUT} to GND.....	Continuous	Lead Temperature (soldering, 10sec).....	+300°C
R_{OUT} to GND.....	Continuous		

Note 3: Input voltage measured with transmitter output in a high-impedance state, shutdown, or $V_{CC} = 0V$.

Stresses beyond those listed under "Absolute Maximum Ratings" may cause permanent damage to the device. These are stress ratings only, and functional operation of the device at these or any other conditions beyond those indicated in the operational sections of the specifications is not implied. Exposure to absolute maximum rating conditions for extended periods may affect device reliability.

ELECTRICAL CHARACTERISTICS—MAX225/MAX244-MAX249

(MAX225 $V_{CC} = 5.0V \pm 5\%$; MAX244-MAX249 $V_{CC} = +5.0V \pm 10\%$, external capacitors C1-C4 = 1 μF , $T_A = T_{MIN}$ to T_{MAX} , unless otherwise noted.)

PARAMETER	CONDITIONS	MIN	TYP	MAX	UNITS	
RS-232 TRANSMITTER						
Input Logic Threshold Low			1.4	0.8	V	
Input Logic Threshold High		2	1.4		V	
Logic Pull-Up/Input Current	Tables 1a-1d	Normal operation		10	50	μA
		Shutdown		± 0.01	± 1	
Data Rate	Tables 1a-1d, normal operation		120	64	kbits/sec	
Output Voltage Swing	All transmitter outputs loaded with 30k to GND	± 5	± 7.5		V	
Output Leakage Current (shutdown)	Tables 1a-1d	ENA, ENB, ENT, ENTA, ENTB = V_{CC} , $V_{OUT} = \pm 15V$		± 0.01	± 25	μA
		$V_{CC} = 0V$, $V_{OUT} = \pm 15V$		± 0.01	± 25	
Transmitter Output Resistance	$V_{CC} = V_+ = V_- = 0V$, $V_{OUT} = \pm 2V$ (Note 4)	300	10M		Ω	
Output Short-Circuit Current	$V_{OUT} = 0V$	± 7	± 30		mA	
RS-232 RECEIVERS						
RS-232 Input Voltage Operating Range				± 25	V	
RS-232 Input Threshold Low	$V_{CC} = 5V$	0.8	1.3		V	
RS-232 Input Threshold High	$V_{CC} = 5V$		1.8	2.4	V	
RS-232 Input Hysteresis	$V_{CC} = 5V$	0.2	0.5	1.0	V	
RS-232 Input Resistance		3	5	7	k Ω	
TTL/CMOS Output Voltage Low	$I_{OUT} = 3.2mA$		0.2	0.4	V	
TTL/CMOS Output Voltage High	$I_{OUT} = -1.0mA$	3.5	$V_{CC} - 0.2$		V	
TTL/CMOS Output Short-Circuit Current:	Sourcing $V_{OUT} = GND$	-2	-10		mA	
	Shrinking $V_{OUT} = V_{CC}$	10	30			
TTL/CMOS Output Leakage Current	Normal operation, outputs disabled, Tables 1A-1D, $0V \leq V_{OUT} \leq V_{CC}$, $ENR_- = V_{CC}$		± 0.05	± 0.10	μA	

+5V-Powered, Multi-Channel RS-232 Drivers/Receivers

MAX220-MAX249

ELECTRICAL CHARACTERISTICS—MAX225/MAX244-MAX249 (continued)

(MAX225 $V_{CC} = 5.0V \pm 5\%$; MAX244-MAX249 $V_{CC} = +5.0V \pm 10\%$, external capacitors $C1-C4 = 1\mu F$, $T_A = T_{MIN}$ to T_{MAX} , unless otherwise noted.)

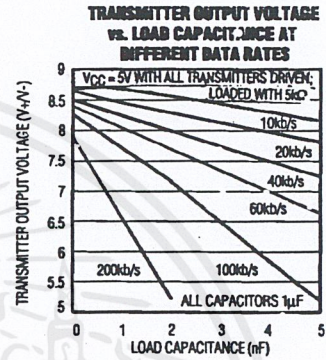
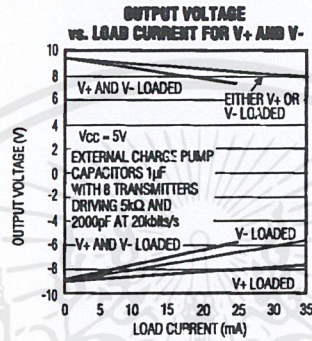
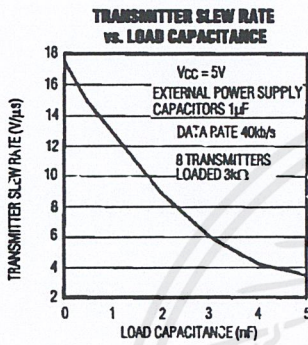
PARAMETER	CONDITIONS	MIN	TYP	MAX	UNITS
POWER SUPPLY AND CONTROL LOGIC					
Operating Supply Voltage	MAX225	4.75		5.25	V
	MAX244-MAX249	4.5		5.5	
V_{CC} Supply Current (normal operation)	No load	MAX225	10	20	mA
		MAX244-MAX249	11	30	
	3k Ω loads on all outputs	MAX225	40		
		MAX244-MAX249	57		
Shutdown Supply Current	$T_A = +25^\circ C$		8	25	μA
	$T_A = T_{MIN}$ to T_{MAX}			50	
Control Input	Leakage current			± 1	μA
	Threshold low		1.4	0.8	V
	Threshold high	2.4	1.4		
AC CHARACTERISTICS					
Transition Slew Rate	$C_L = 50pF$ to $2500pF$, $R_L = 3k\Omega$ to $7k\Omega$, $V_{CC} = 5V$, $T_A = +25^\circ C$, measured from $+3V$ to $-3V$ or $-3V$ to $+3V$	5	10	30	V/ μs
Transmitter Propagation Delay TLL to RS-232 (normal operation), Figure 1	t_{PHLT}		1.3	3.5	μs
	t_{PLHT}		1.5	3.5	
Receiver Propagation Delay TLL to RS-232 (normal operation), Figure 2	t_{PHLR}		0.6	1.5	μs
	t_{PLHR}		0.6	1.5	
Receiver Propagation Delay TLL to RS-232 (low-power mode), Figure 2	t_{PHLS}		0.6	10	μs
	t_{PLHS}		3.0	10	
Transmitter + to - Propagation Delay Difference (normal operation)	$t_{PHLT} - t_{PLHT}$		350		ns
Receiver + to - Propagation Delay Difference (normal operation)	$t_{PHLR} - t_{PLHR}$		350		ns
Receiver-Output Enable Time, Figure 3	t_{ER}		100	500	ns
Receiver-Output Disable Time, Figure 3	t_{DR}		100	500	ns
Transmitter Enable Time	t_{ET}	MAX246-MAX249 (excludes charge-pump start-up)	5		μs
		MAX225/MAX245-MAX249 (includes charge-pump start-up)	10		ms
Transmitter Disable Time, Figure 4	t_{DT}		100		ns

Note 4: The 300 Ω minimum specification complies with EIA/TIA-232E, but the actual resistance when in shutdown mode or $V_{CC} = 0$ is 10M Ω as is implied by the leakage specification.

+5V-Powered, Multi-Channel RS-232 Drivers/Receivers

Typical Operating Characteristics

MAX225/MAX244-MAX249



+5V-Powered, Multi-Channel RS-232 Drivers/Receivers

MAX220-MAX249

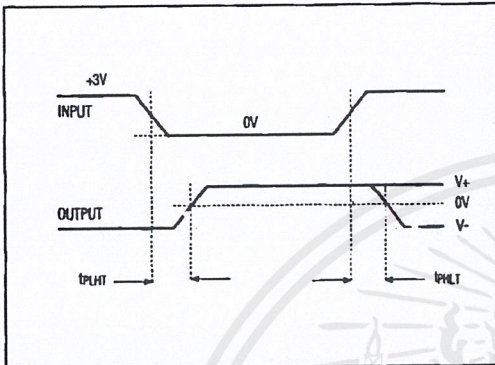


Figure 1. Transmitter Propagation Delay Timing

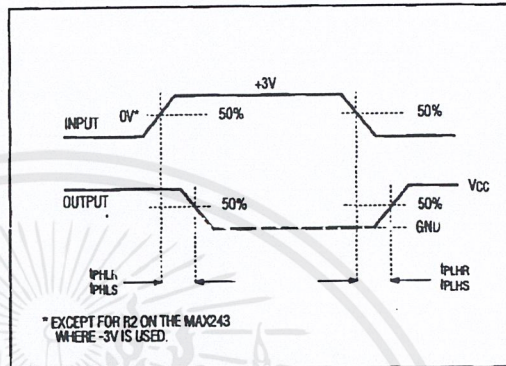


Figure 2. Receiver Propagation Delay Timing

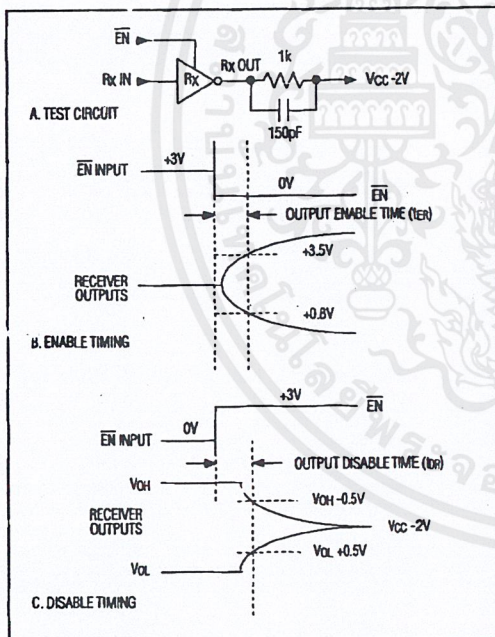


Figure 3. Receiver-Output Enable and Disable Timing

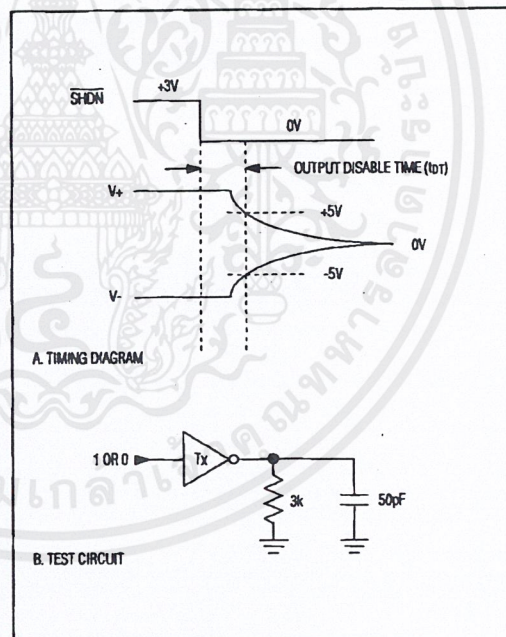


Figure 4. Transmitter-Output Disable Timing

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

+5V-Powered, Multi-Channel RS-232 Drivers/Receivers

Table 1a. MAX225 Control Pin Configurations

ENT	ENR	OPERATION STATUS	TRANSMITTERS	RECEIVERS
0	0	Normal Operation	All Active	All Active
0	1	Normal Operation	All Active	All 3-State
1	0	Shutdown	All 3-State	All Low-Power Receive Mode
1	1	Shutdown	All 3-State	All 3-State

Table 1b. MAX245 Control Pin Configurations

ENT	ENR	OPERATION STATUS	TRANSMITTERS		RECEIVERS	
			TA1-TA4	TB1-TB4	RA1-RA5	RB1-RB5
0	0	Normal Operation	All Active	All Active	All Active	All Active
0	1	Normal Operation	All Active	All Active	RA1-RA4 3-State RA5 Active	RB1-RB4 3-State RB5 Active
1	0	Shutdown	All 3-State	All 3-State	All Low Power Receiver Mode	All Low Power Receiver Mode
1	1	Shutdown	All 3-State	All 3-State	RA1-RA4 3-State RA5 Low-Power Receiver Mode	RB1-RB4 3-State RA5 Low-Power Receiver Mode

Table 1c. MAX246 Control Pin Configurations

ENA	ENB	OPERATION STATUS	TRANSMITTERS		RECEIVERS	
			TA1-TA4	TB1-TB4	RA1-RA5	RB1-RB5
0	0	Normal Operation	All Active	All Active	All Active	All Active
0	1	Normal Operation	All Active	All 3-State	All Active	RB1-RB4 3-State RB5 Active
1	0	Shutdown	All 3-State	All Active	RA1-RA4 3-State RA5 Active	All Active
1	1	Shutdown	All 3-State	All 3-State	RA1-RA4 3-State RA5 Low-Power Receiver Mode	RB1-RB4 3-State RA5 Low-Power Receiver Mode

+5V-Powered, Multi-Channel RS-232 Drivers/Receivers

MAX220-MAX249

Table 1d. MAX247/248/249 Control Pin Configurations

ENTA	ENTB	ENRA	ENRB	OPERATION STATUS	TRANSMITTERS		RECEIVERS		
					MAX247	TA1-TA4	TB1-TB4	RA1-RA4	RB1-RB5
					MAX248	TA1-TA4	TB1-TB4	RA1-RA4	RB1-RB4
					MAX249	TA1-TA3	TB1-TB3	RA1-RA5	RB1-RB5
0	0	0	0	Normal Operation	All Active	All Active	All Active	All Active	
0	0	0	1	Normal Operation	All Active	All Active	All Active	All 3-State, except RB5 stays active on MAX247	
0	0	1	0	Normal Operation	All Active	All Active	All 3-State	All Active	
0	0	1	1	Normal Operation	All Active	All Active	All 3-State	All 3-State, except RB5 stays active on MAX247	
0	1	0	0	Normal Operation	All Active	All 3-State	All Active	All Active	
0	1	0	1	Normal Operation	All Active	All 3-State	All Active	All 3-State, except RB5 stays active on MAX247	
0	1	1	0	Normal Operation	All Active	All 3-State	All 3-State	All Active	
0	1	1	1	Normal Operation	All Active	All 3-State	All 3-State	All 3-State, except RB5 stays active on MAX247	
1	0	0	0	Normal Operation	All 3-State	All Active	All Active	All Active	
1	0	0	1	Normal Operation	All 3-State	All Active	All Active	All 3-State, except RB5 stays active on MAX247	
1	0	1	0	Normal Operation	All 3-State	All Active	All 3-State	All Active	
1	0	1	1	Normal Operation	All 3-State	All Active	All 3-State	All 3-State, except RB5 stays active on MAX247	
1	1	0	0	Shutdown	All 3-State	All 3-State	Low-Power Receive Mode	Low-Power Receive Mode	
1	1	0	1	Shutdown	All 3-State	All 3-State	Low-Power Receive Mode	All 3-State, except RB5 stays active on MAX247	
1	1	1	0	Shutdown	All 3-State	All 3-State	All 3-State	Low-Power Receive Mode	
1	1	1	1	Shutdown	All 3-State	All 3-State	All 3-State	All 3-State, except RB5 stays active or: MAX247	

+5V-Powered, Multi-Channel RS-232 Drivers/Receivers

Detailed Description

The MAX220-MAX249 contain four sections: dual charge-pump DC-DC voltage converters, RS-232 drivers, RS-232 receivers, and receiver and transmitter enable control inputs.

Dual Charge-Pump Voltage Converter

The MAX220-MAX249 have two internal charge-pumps that convert +5V to $\pm 10V$ (unloaded) for RS-232 driver operation. The first converter uses capacitor C1 to double the +5V input to +10V on C3 at the V+ output. The second converter uses capacitor C2 to invert +10V to -10V on C4 at the V- output.

A small amount of power may be drawn from the +10V (V+) and -10V (V-) outputs to power external circuitry (see Typical Operating Characteristics), except on the MAX225 and MAX245-MAX247, where these pins are not available. V+ and V- are not regulated, so the output voltage drops with increasing load current. Do not load V+ and V- to a point that violates the minimum $\pm 5V$ EIA/TIA-232E driver output voltage when sourcing current from V+ and V- to external circuitry.

When using the shutdown feature in the MAX222, MAX225, MAX230, MAX235, MAX236, MAX240, MAX241, and MAX245-MAX249 avoid using V+ and V- to power external circuitry. When these parts are shut down, V- falls to 0V, and V+ falls to +5V. For applications where a +10V external supply is applied to the V+ pin (instead of using the internal charge pump to generate +10V), the C1 capacitor must not be installed and the SHDN pin must be tied to VCC. This is because V+ is internally connected to VCC in shutdown mode.

RS-232 Drivers

The typical driver output voltage swing is $\pm 8V$ when loaded with a nominal 5k Ω RS-232 receiver and VCC = +5V. Output swing is guaranteed to meet the EIA/TIA-232E and V.28 specification, which calls for $\pm 5V$ minimum driver output levels under worst-case conditions. These include a minimum 3k Ω load, VCC = +4.5V, and maximum operating temperature. Unloaded driver output voltage ranges from (V+ -1.3V) to (V- +0.5V).

Input thresholds are both TTL and CMOS compatible. The inputs of unused drivers can be left unconnected since 400k Ω input pull-up resistors to VCC are built-in. The pull-up resistors force the outputs of unused drivers low because all drivers invert. The internal input pull-up resistors typically source 12 μA , except in shutdown mode where the pull-ups are disabled. Driver outputs turn off and enter a high-impedance state—where leakage current is typically microamperes (maximum 25 μA)—when in shutdown mode, in three-state mode, or when device power is removed. Outputs can be driven to $\pm 15V$. The power-supply current typically drops to 8 μA in shutdown mode.

The MAX239 has a receiver 3-state control line, and the MAX223, MAX225, MAX235, MAX236, MAX240, and MAX241 have both a receiver 3-state control line and a low-power shutdown control. The receiver TTL/CMOS outputs are in a high-impedance, 3-state mode whenever the 3-state ENable line is high, and are also high-impedance whenever the shutdown control line is high.

When in low-power shutdown mode, the driver outputs are turned off and their leakage current is less than 1 μA with the driver output pulled to ground. The driver output leakage remains less than 1 μA , even if the transmitter output is backdriven between 0V and (VCC + 6V). Below -0.5V, the transmitter is diode clamped to ground with 1k Ω series impedance. The transmitter is also zener clamped to approximately VCC + 6V, with a series impedance of 1k Ω .

The driver output slew rate is limited to less than 30V/ μs as required by the EIA/TIA-232E and V.28 specifications. Typical slew rates are 24V/ μs unloaded and 10V/ μs loaded with 3 Ω and 2500pF.

RS-232 Receivers

EIA/TIA-232E and V.28 specifications define a voltage level greater than 3V as a logic 0, so all receivers invert. Input thresholds are set at 0.8V and 2.4V, so receivers respond to TTL level inputs as well as EIA/TIA-232E and V.28 levels.

The receiver inputs withstand an input overvoltage up to $\pm 25V$ and provide input terminating resistors with nominal 5k Ω values. The receivers implement Type 1 interpretation of the fault conditions of V.28 and EIA/TIA-232E.

The receiver input hysteresis is typically 0.5V with a guaranteed minimum of 0.2V. This produces clear output transitions with slow-moving input signals, even with moderate amounts of noise and ringing. The receiver propagation delay is typically 600ns and is independent of input swing direction.

Low-Power Receive Mode

The low-power receive-mode feature of the MAX223, MAX242, and MAX245-MAX249 puts the IC into shutdown mode, but still allows it to receive information. This is important for applications where systems are periodically awakened to look for activity. Using low-power receive mode, the system can still receive a signal that will activate it on command and prepare it for communication at faster data rates. This operation conserves system power.

Negative Threshold—MAX243

The MAX243 is pin compatible with the MAX232A, differing only in that RS-232 cable fault protection is removed on one of the two receiver inputs. This means that control lines such as CTS and RTS can either be driven or left floating without interrupting communication. Different cables are not needed to interface with different pieces of equipment.

+5V-Powered, Multi-Channel RS-232 Drivers/Receivers

MAX220-MAX249

The input threshold of the receiver without cable fault protection is -0.8V rather than +1.4V. Its output goes positive only if the input is connected to a control line that is actively driven negative. If not driven, it defaults to the 0 or "OK to send" state. Normally, the MAX243's other receiver (+1.4V threshold) is used for the data line (TD or RD), while the negative threshold receiver is connected to the control line (DTR, DTS, CTS, RTS, etc.).

Other members of the RS-232 family implement the optional cable fault protection as specified by EIA/TIA-232E specifications. This means a receiver output goes high whenever its input is driven negative, left floating, or shorted to ground. The high output tells the serial communications IC to stop sending data. To avoid this, the control lines must either be driven or connected with jumpers to an appropriate positive voltage level.

Shutdown—MAX222-MAX242

On the MAX222, MAX235, MAX236, MAX240, and MAX241, all receivers are disabled during shutdown. On the MAX223 and MAX242, two receivers continue to operate in a reduced power mode when the chip is in shutdown. Under these conditions, the propagation delay increases to about 2.5 μ s for a high-to-low input transition. When in shutdown the receiver acts as a CMOS inverter with no hysteresis. The MAX223 and MAX242 also have a receiver output enable input (EN) that allows receiver output control independent of SHDN. With all other devices, SHDN also disables the receiver outputs.

The MAX225 provides five transmitters and five receivers, while the MAX245 provides ten receivers and eight transmitters. Both devices have separate receiver and transmitter-enable controls. The charge pumps turn off and the devices shut down when a logic high is applied to the ENT input. In this state, the supply current drops to less than 25 μ A and the receivers continue to operate in a low-power receive mode. Driver outputs enter a high-impedance state (three-state mode). On the MAX225, all five receivers are controlled by the ENR input. On the MAX245, eight of the receiver outputs are controlled by the ENR input, while the remaining two receivers (RA5 and RB5) are always active. RA1-RA4 and RB1-RB4 are put in a three-state mode when ENR is a logic high.

Receiver and Transmitter Enable Control Inputs

The MAX225 and MAX245-MAX249 feature transmitter and receiver enable controls.

The receivers have three modes of operation: full-speed receive (normal active), three-state (disabled), and low-power receive (enabled receivers continue to function at lower data rates). The receiver enable inputs control the

full-speed receive and three-state modes. The transmitters have two modes of operation: full-speed transmit (normal active) and three-state (disabled). The transmitter enable inputs also control the shutdown mode. The device enters shutdown mode when all transmitters are disabled. Enabled receivers function in the low-power receive mode when in shutdown.

Tables 1a-1d define the control states. The MAX244 has no control pins and is not included in these tables.

The MAX246 has ten receivers and eight drivers with two control pins, each controlling one side of the device. A logic high at the A-side control input (ENA) causes the four A-side receivers and drivers to go into a three-state mode. Similarly, the B-side control input (ENB) causes the four B-side drivers and receivers to go into a three-state mode. As in the MAX245, one A-side and one B-side receiver (RA5 and RB5) remain active at all times. The entire device is put into shutdown mode when both the A and B sides are disabled (ENA = ENB = +5V).

The MAX247 provides nine receivers and eight drivers with four control pins. The ENRA and ENRB receiver enable inputs each control four receiver outputs. The ENTA and ENTB transmitter enable inputs each control four drivers. The ninth receiver (RB5) is always active. The device enters shutdown mode with a logic high on both ENTA and ENTB.

The MAX248 provides eight receivers and eight drivers with four control pins. The ENRA and ENRB receiver enable inputs each control four receiver outputs. The ENTA and ENTB transmitter enable inputs control four drivers each. This part does not have an always-active receiver. The device enters shutdown mode and transmitters go into a three-state mode with a logic high on both ENTA and ENTB.

The MAX249 provides ten receivers and six drivers with four control pins. The ENRA and ENRB receiver enable inputs each control five receiver outputs. The ENTA and ENTB transmitter enable inputs control three drivers each. There is no always-active receiver. The device enters shutdown mode and transmitters go into a three-state mode with a logic high on both ENTA and ENTB. In shutdown mode, active receivers operate in a low-power receive mode at data rates up to 20kbits/s.

Applications Information

Figures 5 through 25 show pin configurations and typical operating circuits. In applications that are sensitive to power-supply noise, VCC should be decoupled to ground with a capacitor of the same value as C1 and C2 connected as close as possible to the device.

+5V-Powered, Multi-Channel RS-232 Drivers/Receivers

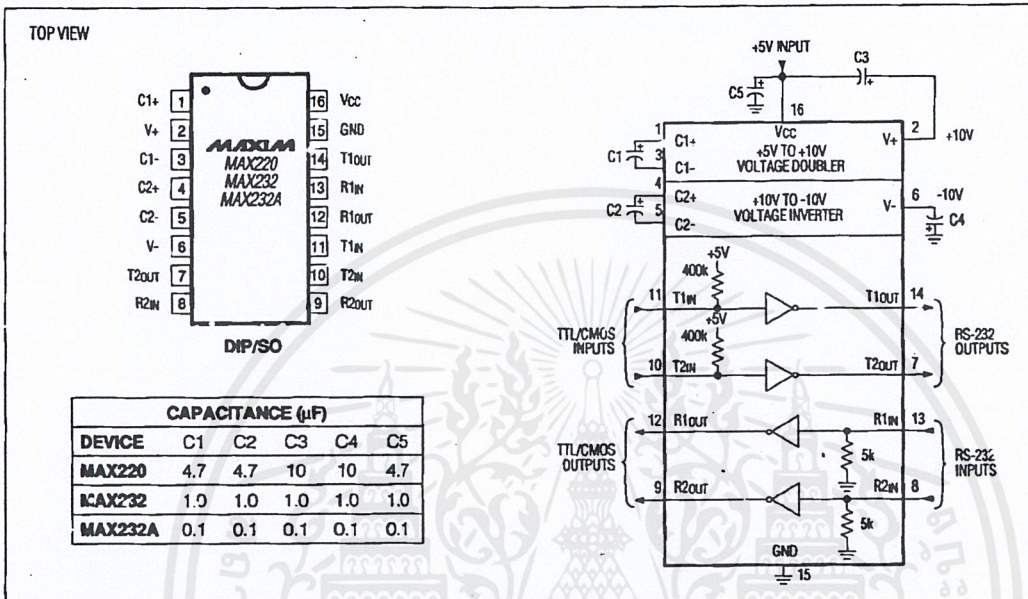


Figure 5. MAX220/232/232A Pin Configuration and Typical Operating Circuit

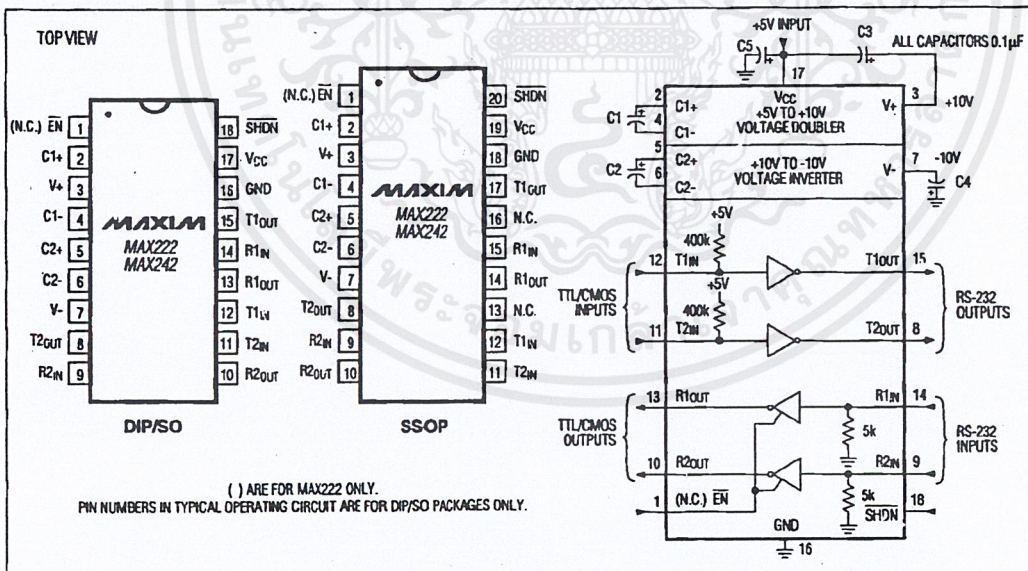


Figure 6. MAX222/MAX242 Pin Configuration and Typical Operating Circuit

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

+5V-Powered, Multi-Channel RS-232 Drivers/Receivers

MAX220-MAX249

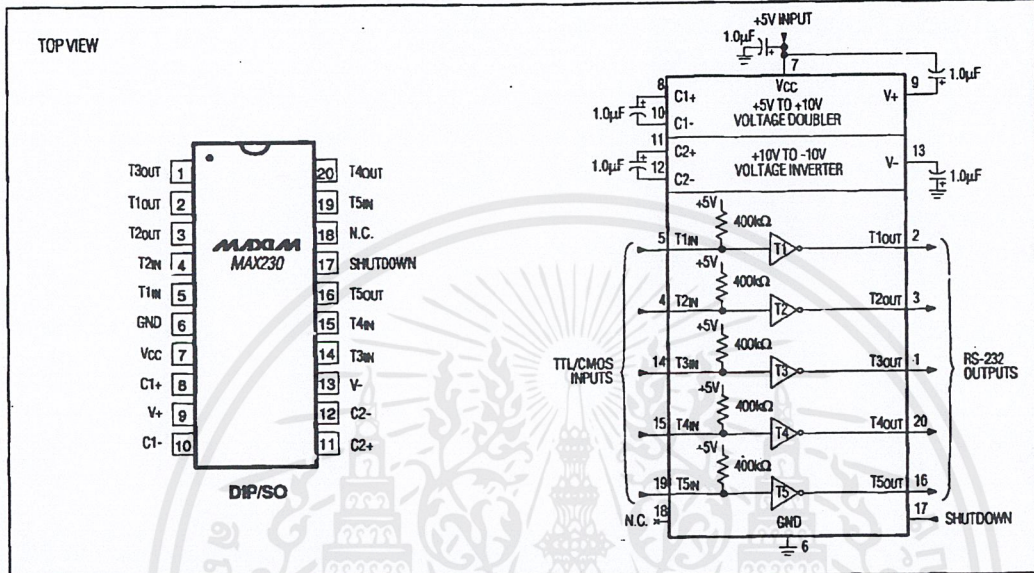


Figure 7. MAX230 Pin Configuration and Typical Operating Circuit

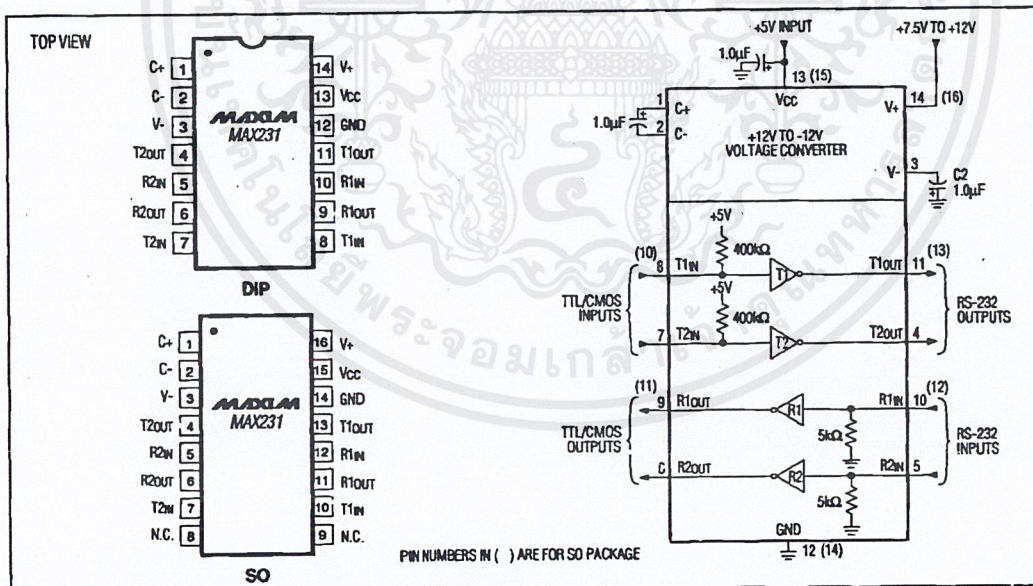


Figure 8. MAX230 Pin Configurations and Typical Operating Circuit

MAXIM

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

+5V-Powered, Multi-Channel RS-232 Drivers/Receivers

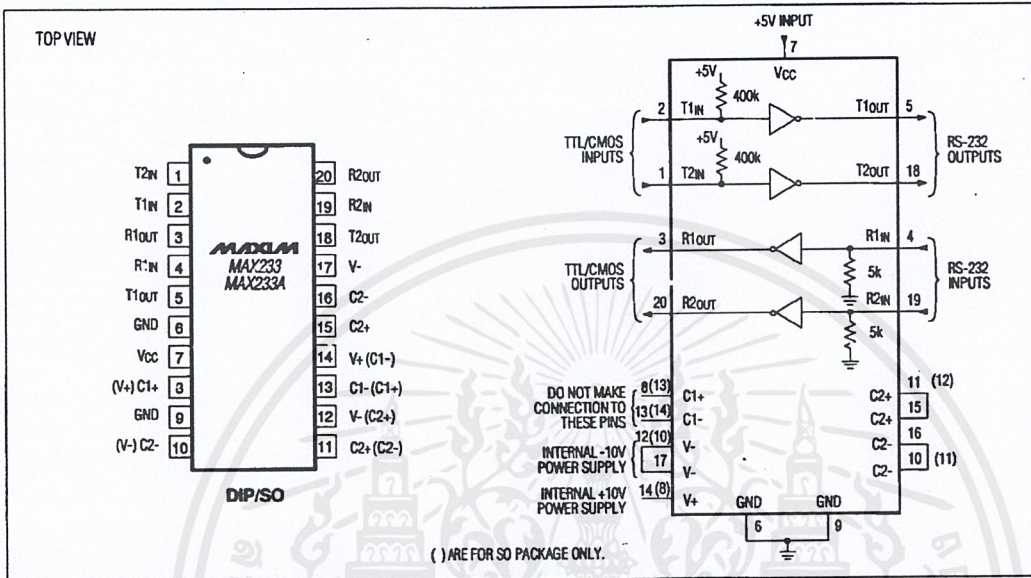


Figure 9. MAX233/MAX233A Pin Configuration and Typical Operating Circuit

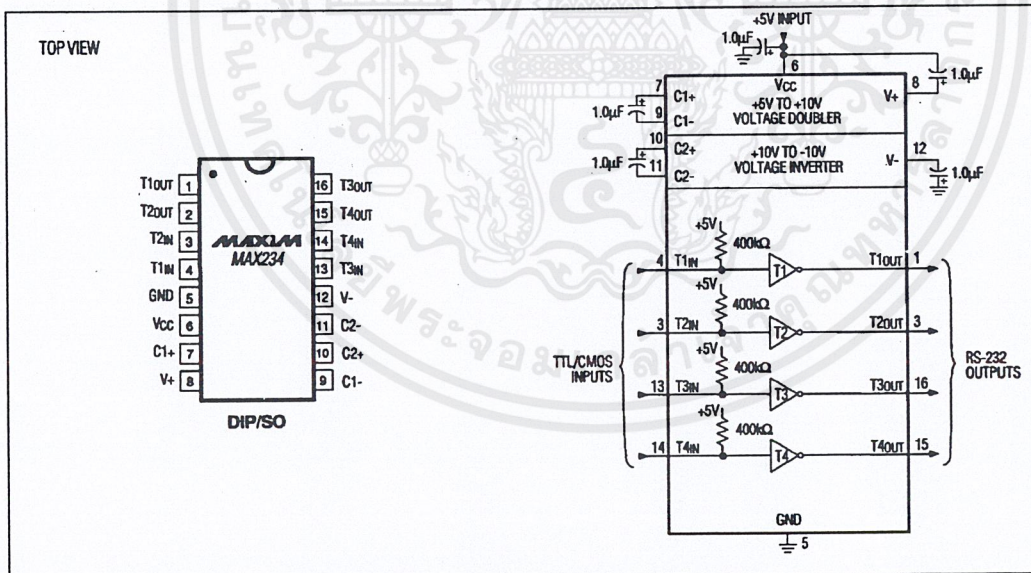


Figure 10. MAX234 Pin Configuration and Typical Operating Circuit

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

**6-PIN DIP ZERO-CROSS
OPTOISOLATORS TRIAC DRIVER OUTPUT
(250/400 VOLT PEAK)**

MOC3031M MOC3032M MOC3033M MOC3041M MOC3042M MOC3043M

DESCRIPTION

The MOC303XM and MOC304XM devices consist of a AlGaAs infrared emitting diode optically coupled to a monolithic silicon detector performing the function of a zero voltage crossing bilateral triac driver.

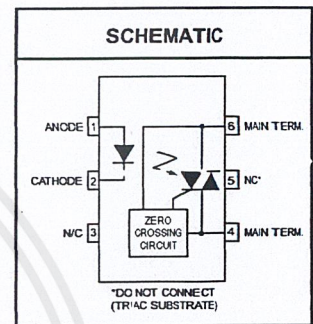
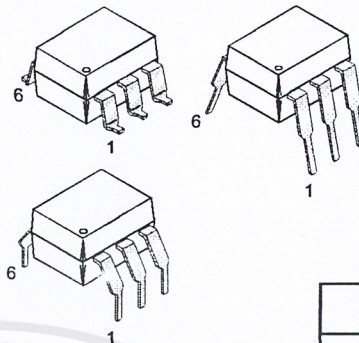
They are designed for use with a triac in the interface of logic systems to equipment powered from 115 VAC lines, such as teletypewriters, CRTs, solid-state relays, industrial controls, printers, motors, solenoids and consumer appliances, etc.

FEATURES

- Simplifies logic control of 115 VAC power
- Zero voltage crossing
- dv/dt of 200C V/μs typical, 1000 V/μs guaranteed
- VDE recognized (File # 94766)
- ordering option V (e.g., MOC3043VM)

APPLICATIONS

- Solenoid/valve controls
- Static power switches
- Temperature controls
- AC motor starters
- Lighting controls
- AC motor drives
- E.M. contactors
- Solid state relays



ABSOLUTE MAXIMUM RATINGS (T_A = 25°C unless otherwise noted)

Parameters	Symbol	Device	Value	Units
TOTAL DEVICE				
Storage Temperature	T _{STG}	All	-40 to +150	°C
Operating Temperature	T _{OPR}	All	-40 to +85	°C
Lead Solder Temperature	T _{SOL}	All	260 for 10 sec	°C
Junction Temperature Range	T _J	All	-40 to +100	°C
Isolation Surge Voltage ⁽¹⁾ (peak AC voltage, 60-Hz, 1 sec duration)	V _{ISO}	All	7500	Vac(pk)
Total Device Power Dissipation @ 25°C Derate above 25°C	P _D	All	250	mW
			2.94	mW/°C
EMITTER				
Continuous Forward Current	I _F	All	60	mA
Reverse Voltage	V _R	All	6	V
Total Power Dissipation 25°C Ambient Derate above 25°C	P _D	All	120	mW
			1.41	mW/°C
DETECTOR				
Off-State Output Terminal Voltage	V _{DRM}	MOC3031M/2M/3M	250	V
		MOC3041M/2M/3M	400	
Peak Repetitive Surge Current (PW = 100 μs, 120 pps)	I _{TSM}	All	1	A
Total Power Dissipation @ 25°C Ambient Derate above 25°C	P _D	All	150	mW
		All	1.76	mW/°C

Note

1. Isolation surge voltage, V_{ISO}, is an internal device dielectric breakdown rating. For this test, Pins 1 and 2 are common, and Pins 4, 5 and 6 are common.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

MOC3031M MOC3032M MOC3033M MOC3041M MOC3042M MOC3043M

ELECTRICAL CHARACTERISTICS ($T_A = 25^\circ\text{C}$ Unless otherwise specified)

INDIVIDUAL COMPONENT CHARACTERISTICS

Parameters	Test Conditions	Symbol	Device	Min	Typ	Max	Units
EMITTER							
Input Forward Voltage	$I_F = 30 \text{ mA}$	V_F	All		1.25	1.5	V
Reverse Leakage Current	$V_R = 6 \text{ V}$	I_R	All		0.01	100	μA
DETECTOR							
Peak Blocking Current, Either Direction	Rated V_{DRM} , $I_F = 0$ (note 1)	I_{DRM1}	All			100	nA
Peak On-State Voltage, Either Direction	$I_{TM} = 100 \text{ mA peak}$, $I_F = 0$	V_{TM}	All		1.8	3	V
Critical Rate of Rise of Off-State Voltage	$I_F = 0$ (figure 9, note 3)	dv/dt	All	1000			V/ μs

TRANSFER CHARACTERISTICS ($T_A = 25^\circ\text{C}$ Unless otherwise specified.)

DC Characteristics	Test Conditions	Symbol	Device	Min	Typ	Max	Units
LED Trigger Current	Main terminal voltage = 3V (note 2)	I_{FT}	MOC3031M/MOC3041M			15	mA
			MOC3032M/MOC3042M			10	
			MOC3033M/MOC3043M			5	
Holding Current, Either Direction		I_H	All		400		μA

ZERO CROSSING CHARACTERISTICS ($T_A = 25^\circ\text{C}$ Unless otherwise specified.)

Characteristics	Test Conditions	Symbol	Device	Min	Typ	Max	Units
Inhibit Voltage	$I_F = \text{rated } I_{FT}$, MT1-MT2 voltage above which device will not trigger off-state	V_{IH}	All			20	V
Leakage in Inhibited State	$I_F = \text{rated } I_F$, rated V_{DRM} , off-state	I_{DRM2}	All			500	μA

Note

1. Test voltage must be applied within dv/dt rating.
2. All devices are guaranteed to trigger at an I_F value less than or equal to max I_{FT} . Therefore, recommended operating I_F lies between max I_{FT} (15 mA for MOC3031M & MOC3041M, 10 mA for MOC3032M & MOC3042M, 5 mA for MOC3033M & MOC3043M) and absolute max I_F (60 mA).
3. This is static dv/dt. See Figure 9 for test circuit. Commutating dv/dt is a function of the load-driving thyristor(s) only.

Figure 1. LED Forward Voltage vs. Forward Current

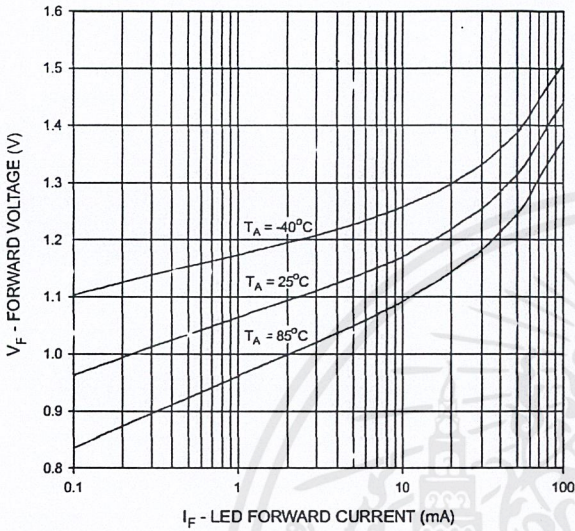


Figure 2. On-State Characteristics

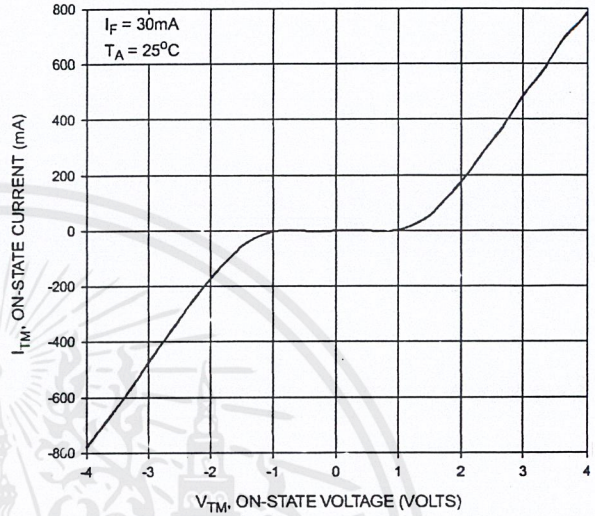


Figure 3. Trigger Current vs. Temperature

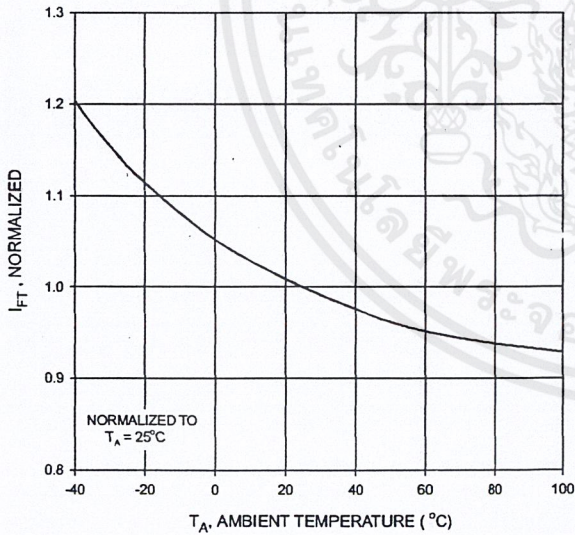
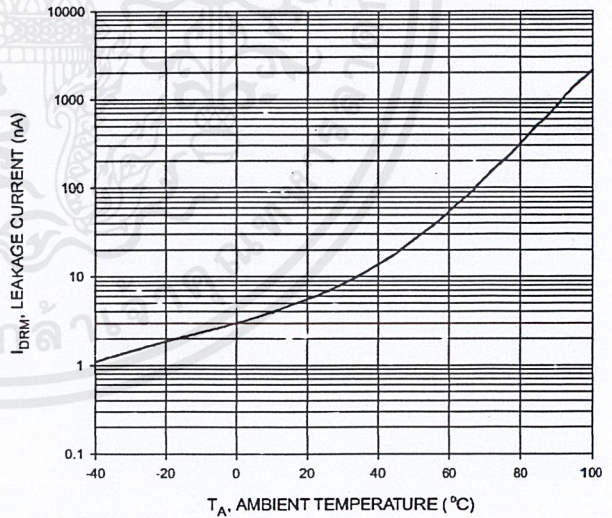


Figure 4. Leakage Current, I_{DRM} vs. Temperature



MOC3031M

MOC3032M

MOC3033M

MOC3041M

MOC3042M

MOC3043M

Figure 5. I_{DRM2} - Leakage in Inhibit State vs. Temperature

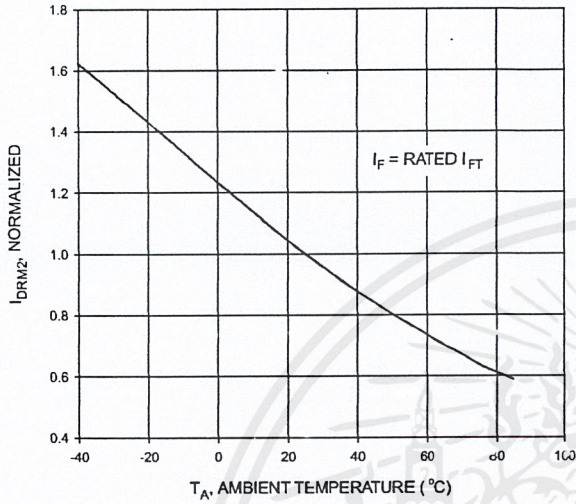


Figure 6. LED Current Required to Trigger vs. LED Pulse Width

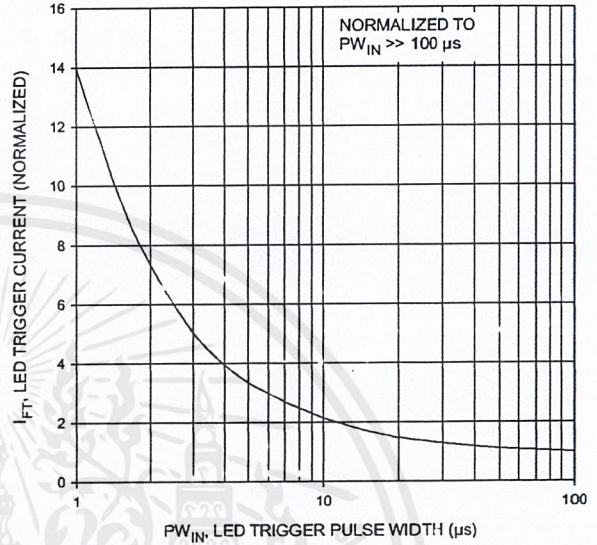


Figure 7. Holding Current, I_H vs. Temperature

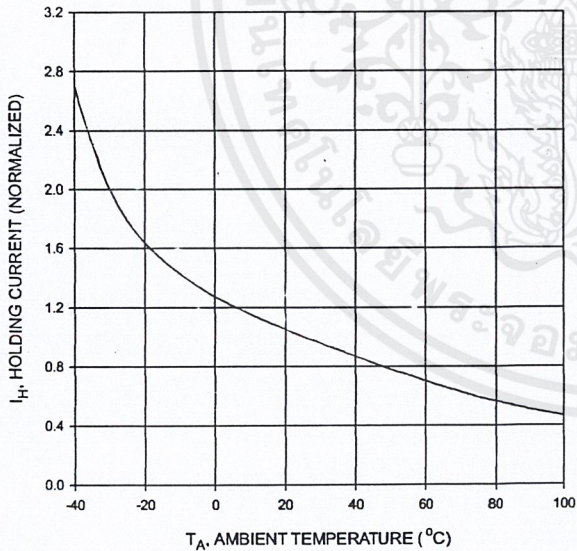
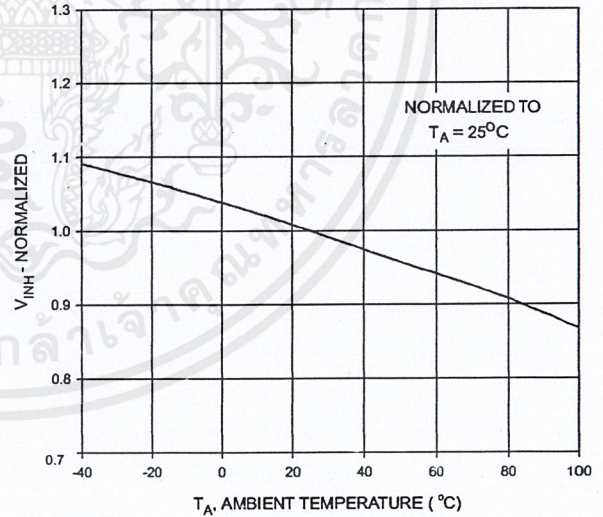


Figure 8. Inhibit Voltage vs. Temperature



MOC3031M MOC3032M MOC3033M MOC3041M MOC3042M MOC3043M

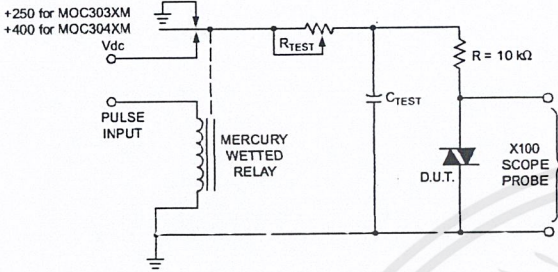


Figure 9. Static dv/dt Test Circuit

1. The mercury wetted relay provides a high speed repeated pulse to the D.U.T.
2. 100x scope probes are used, to allow high speeds and voltages.
3. The worst-case condition for static dv/dt is established by triggering the D.U.T. with a normal LED input current, then removing the current. The variable R_{TEST} allows the dv/dt to be gradually increased until the D.U.T. continues to trigger in response to the applied voltage pulse, even after the LED current has been removed. The dv/dt is then decreased until the D.U.T. stops triggering. τ_{RC} is measured at this point and recorded.

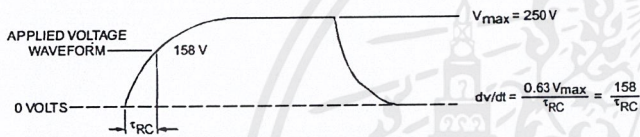


Figure 10. Static dv/dt Test Waveform (MOC3031M, MOC3032M, MOC3033M)

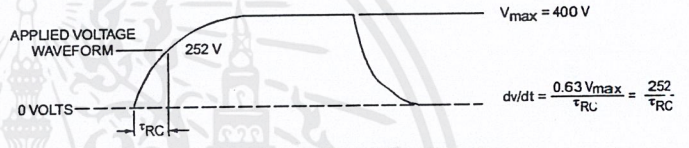
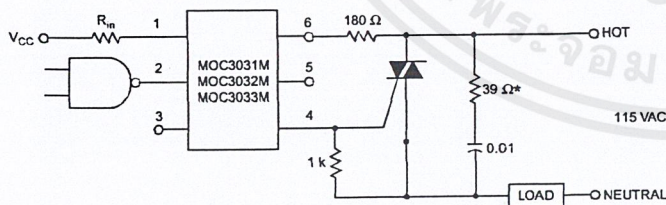


Figure 11. Static dv/dt Test Waveform (MOC3041M, MOC3042M, MOC3043M)

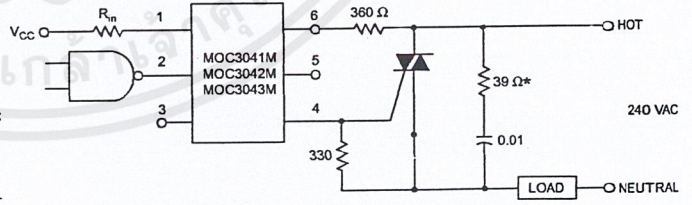
Typical circuit (Fig 12, 13) for use when hot line switching is required. In this circuit the "hot" side of the line is switched and the load connected to the cold or neutral side. The load may be connected to either the neutral or hot line.

R_{in} is calculated so that I_F is equal to the rated I_{FT} of the part, 5 mA for the MOC3033M and MOC3043M, 10 mA for the MOC3032M and MOC3042M, or 15 mA for the MOC3031M and MOC3041M. The 39 ohm resistor and 0.01 μ F capacitor are for snubbing of the triac and may or may not be necessary depending upon the particular triac and load used.



*For highly inductive loads (power factor < 0.5), change this value to 360 ohms.

Figure 12. Hot-Line Switching Application Circuit (MOC3031M, MOC3032M, MOC3033M)



*For highly inductive loads (power factor < 0.5), change this value to 360 ohms.

Figure 13. Hot-Line Switching Application Circuit (MOC3041M, MOC3042M, MOC3043M)

MOC3031M

MOC3032M

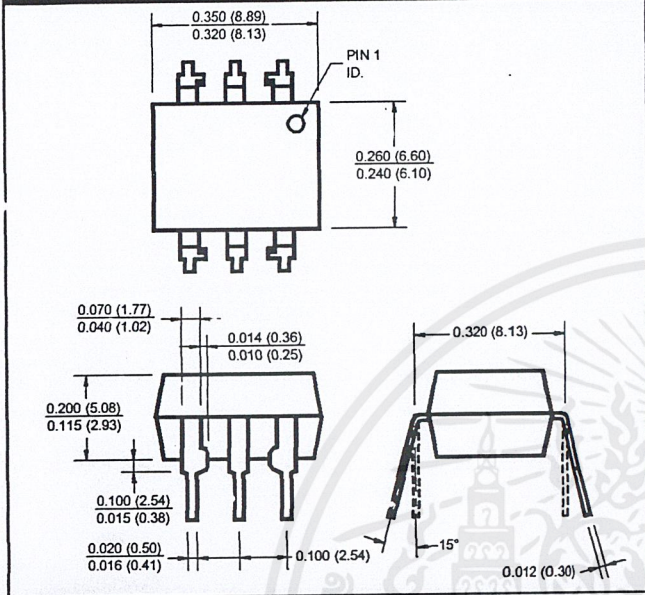
MOC3033M

MOC3041M

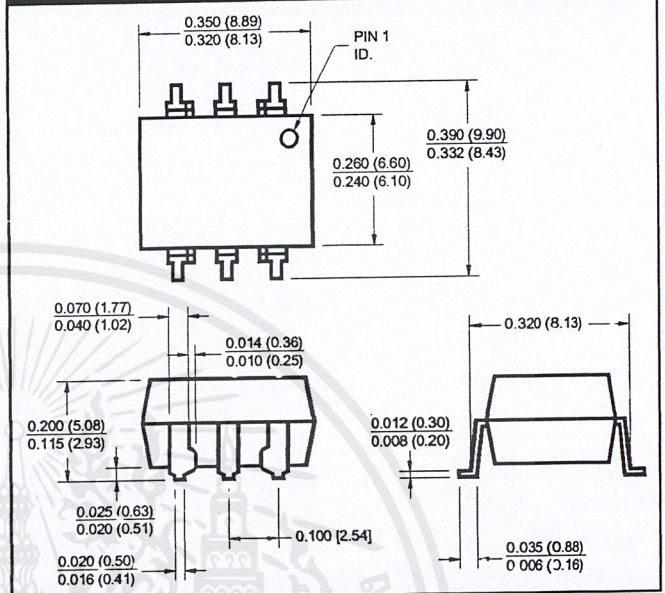
MOC3042M

MOC3043M

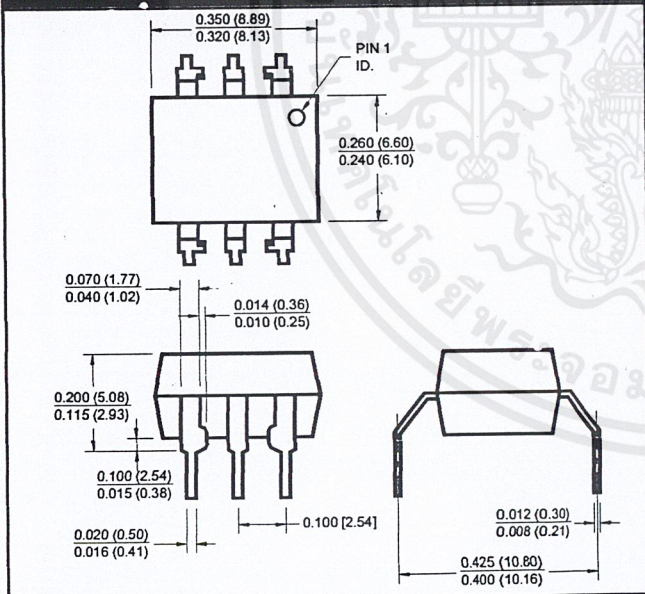
Package Dimensions (Through Hole)



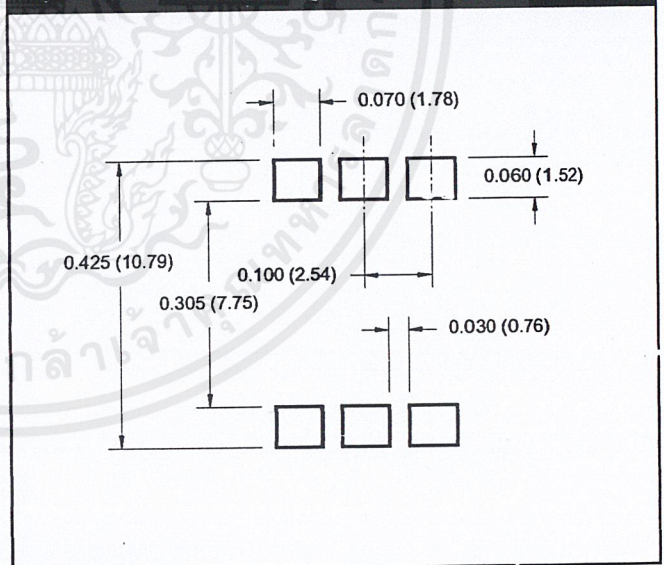
Package Dimensions (Surface Mount)



Package Dimensions (0.4" Lead Spacing)



**Recommended Pad Layout for
Surface Mount Leadform**

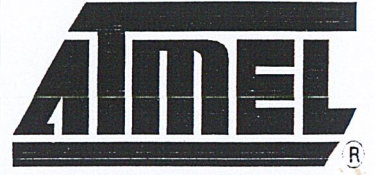


NOTE

All dimensions are in inches (millimeters)

Features

- AVR[®] - High-performance and Low-power RISC Architecture
 - 118 Powerful Instructions – Most Single Clock Cycle Execution
 - 32 x 8 General-purpose Working Registers
 - Up to 8 MIPS Throughput at 8 MHz
- Data and Nonvolatile Program Memories
 - 8K Bytes of In-System Programmable Flash
 - SPI Serial Interface for In-System Programming
 - Endurance: 1,000 Write/Erase Cycles
 - 512 Bytes EEPROM
 - Endurance: 100,000 Write/Erase Cycles
 - 512 Bytes Internal SRAM
 - Programming Lock for Software Security
- Peripheral Features
 - 8-channel, 10-bit ADC
 - Programmable UART
 - Master/Slave SPI Serial Interface
 - Two 8-bit Timer/Counters with Separate Prescaler and Compare Mode
 - One 16-bit Timer/Counter with Separate Prescaler, Compare and Capture Modes and Dual 8-, 9-, or 10-bit PWM
 - Programmable Watchdog Timer with On-chip Oscillator
 - On-chip Analog Comparator
- Special Microcontroller Features
 - Power-on Reset Circuit
 - Real-time Clock (RTC) with Separate Oscillator and Counter Mode
 - External and Internal Interrupt Sources
 - Three Sleep Modes: Idle, Power Save and Power-down
- Power Consumption at 4 MHz, 3V, 20°C
 - Active: 6.4 mA
 - Idle Mode: 1.9 mA
 - Power-down Mode: <1 μ A
- I/O and Packages
 - 32 Programmable I/O Lines
 - 40-lead PDIP, 44-lead PLCC, 44-lead TQFP, and 44-pad MFL
- Operating Voltages
 - V_{CC}: 4.0 - 6.0V AT90S8535
 - V_{CC}: 2.7 - 6.0V AT90LS8535
- Speed Grades:
 - 0 - 8 MHz for the AT90S8535
 - 0 - 4 MHz for the AT90LS8535



8-bit AVR[®] Microcontroller with 8K Bytes In-System Programmable Flash

AT90S8535
AT90LS8535

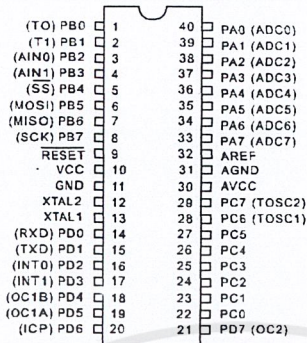
Rev. 1041G-09/01



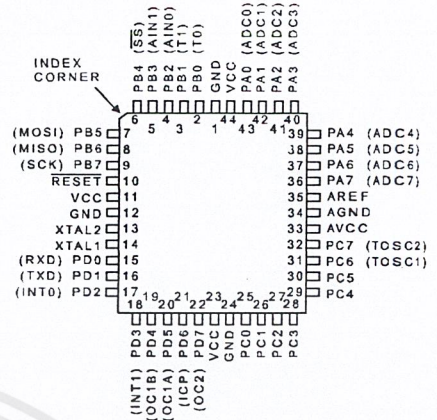
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Pin Configurations

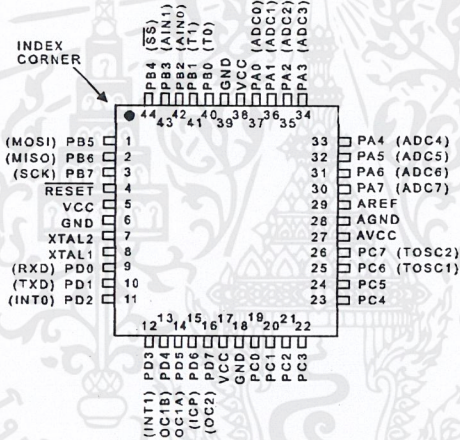
PDIP



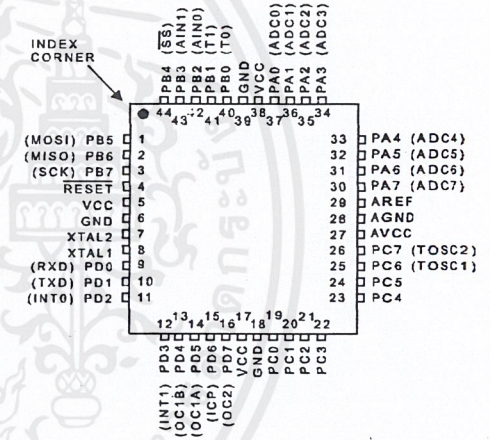
PLCC



TQFP



MLF



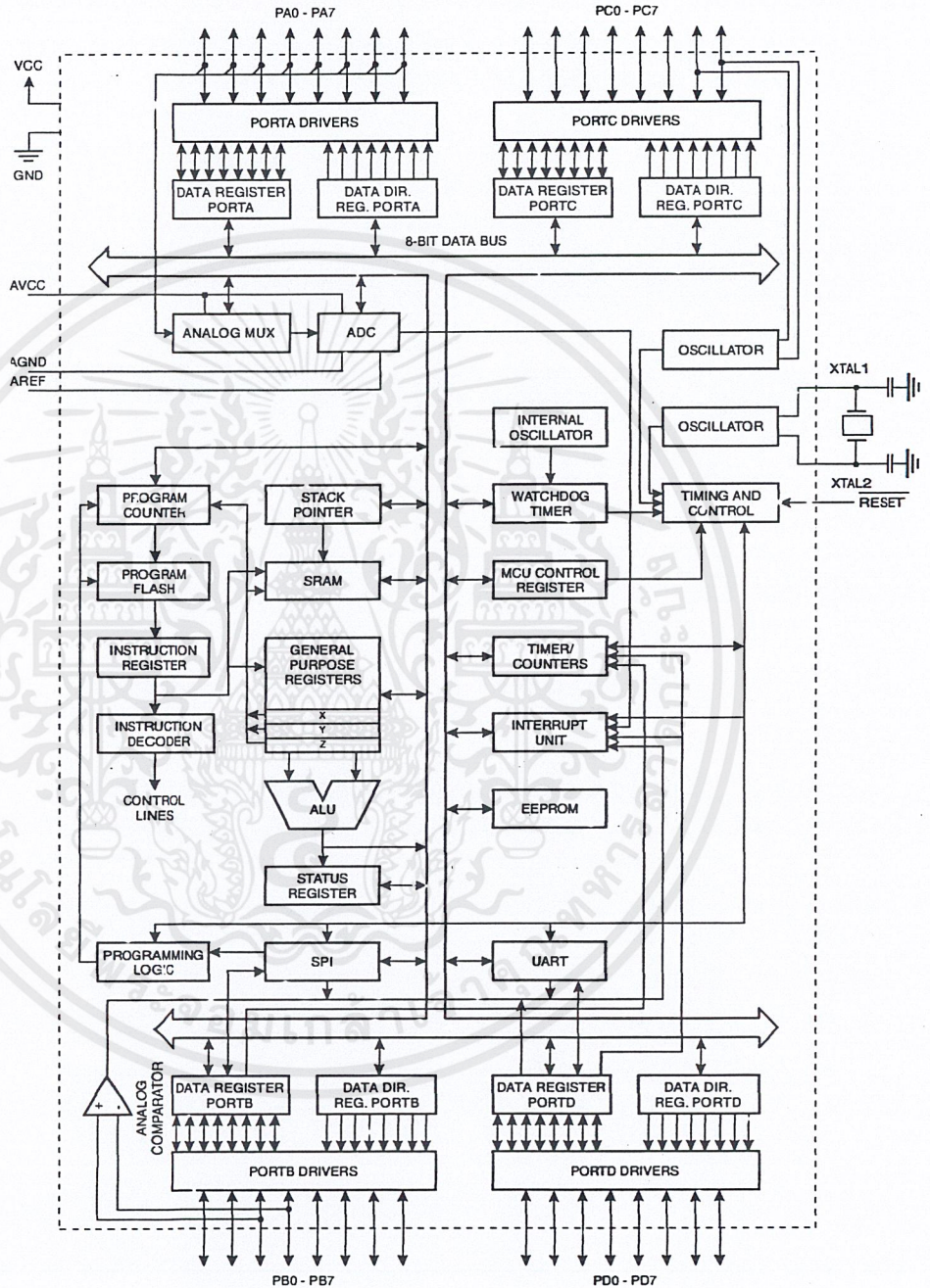
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้คัดลอกเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Description

The AT90S8535 is a low-power CMOS 8-bit microcontroller based on the AVR RISC architecture. By executing powerful instructions in a single clock cycle, the AT90S8535 achieves throughputs approaching 1 MIPS per MHz allowing the system designer to optimize power consumption versus processing speed.

Block Diagram

Figure 1. The AT90S8535 Block Diagram





The AVR core combines a rich instruction set with 32 general-purpose working registers. All the 32 registers are directly connected to the Arithmetic Logic Unit (ALU), allowing two independent registers to be accessed in one single instruction executed in one clock cycle. The resulting architecture is more code efficient while achieving throughputs up to ten times faster than conventional CISC microcontrollers.

The AT90S8535 provides the following features: 8K bytes of In-System Programmable Flash, 512 bytes EEPROM, 512 bytes SRAM, 32 general-purpose I/O lines, 32 general-purpose working registers, Real-time Clock (RTC), three flexible timer/counters with compare modes, internal and external interrupts, a programmable serial UART, 8-channel, 10-bit ADC, programmable Watchdog Timer with internal oscillator, an SPI serial port and three software-selectable power-saving modes. The Idle Mode stops the CPU while allowing the SRAM, timer/counters, SPI port and interrupt system to continue functioning. The Power-down mode saves the register contents but freezes the oscillator, disabling all other chip functions until the next interrupt or hardware reset. In Power Save Mode, the timer oscillator continues to run, allowing the user to maintain a timer base while the rest of the device is sleeping.

The device is manufactured using Atmel's high-density nonvolatile memory technology. The On-chip ISP Flash allows the program memory to be reprogrammed in-system through an SPI serial interface or by a conventional nonvolatile memory programmer. By combining an 8-bit RISC CPU with In-System Programmable Flash on a monolithic chip, the Atmel AT90S8535 is a powerful microcontroller that provides a highly flexible and cost effective solution to many embedded control applications.

The AT90S8535 AVR is supported with a full suite of program and system development tools including: C compilers, macro assemblers, program debugger/simulators, in-circuit emulators and evaluation kits.

Pin Descriptions

VCC	Digital supply voltage.
GND	Digital ground.
Port A (PA7..PA0)	<p>Port A is an 8-bit bi-directional I/O port. Port pins can provide internal pull-up resistors (selected for each bit). The Port A output buffers can sink 20 mA and can drive LED displays directly. When pins PA0 to PA7 are used as inputs and are externally pulled low, they will source current if the internal pull-up resistors are activated.</p> <p>Port A also serves as the analog inputs to the A/D Converter.</p> <p>The Port A pins are tri-stated when a reset condition becomes active, even if the clock is not running.</p>
Port B (PB7..PB0)	<p>Port B is an 8-bit bi-directional I/O port with internal pull-up resistors. The Port B output buffers can sink 20 mA. As inputs, Port B pins that are externally pulled low will source current if the pull-up resistors are activated. Port B also serves the functions of various special features of the AT90S8535 as listed on page 78.</p> <p>The Port B pins are tri-stated when a reset condition becomes active, even if the clock is not running.</p>
Port C (PC7..PC0)	<p>Port C is an 8-bit bi-directional I/O port with internal pull-up resistors. The Port C output buffers can sink 20 mA. As inputs, Port C pins that are externally pulled low will source</p>

current if the pull-up resistors are activated. Two Port C pins can alternatively be used as oscillator for Timer/Counter2.

The Port C pins are tri-stated when a reset condition becomes active, even if the clock is not running.

Port D (PD7..PD0)

Port D is an 8-bit bi-directional I/O port with internal pull-up resistors. The Port D output buffers can sink 20 mA. As inputs, Port D pins that are externally pulled low will source current if the pull-up resistors are activated.

Port D also serves the functions of various special features of the AT90S8535 as listed on page 86.

The Port D pins are tri-stated when a reset condition becomes active, even if the clock is not running.

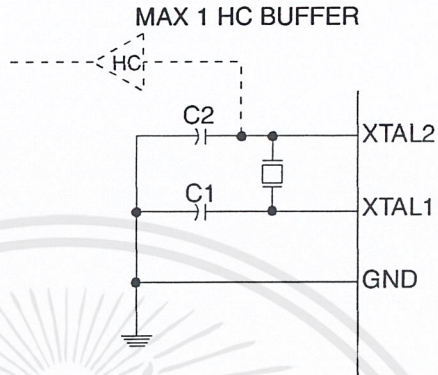
RESET	Reset input. An external reset is generated by a low level on the $\overline{\text{RESET}}$ pin. Reset pulses longer than 50 ns will generate a reset, even if the clock is not running. Shorter pulses are not guaranteed to generate a reset.
XTAL1	Input to the inverting oscillator amplifier and input to the internal clock operating circuit.
XTAL2	Output from the inverting oscillator amplifier.
AVCC	AVCC is the supply voltage pin for Port A and the A/D Converter. If the ADC is not used, this pin must be connected to VCC. If the ADC is used, this pin must be connected to VCC via a low-pass filter. See page 68 for details on operation of the ADC.
AREF	AREF is the analog reference input for the A/D Converter. For ADC operations, a voltage in the range 2V to AV _{CC} must be applied to this pin.
AGND	Analog ground. If the board has a separate analog ground plane, this pin should be connected to this ground plane. Otherwise, connect to GND.

Clock Options

Crystal Oscillator

XTAL1 and XTAL2 are input and output, respectively, of an inverting amplifier which can be configured for use as an on-chip oscillator, as shown in Figure 2. Either a quartz crystal or a ceramic resonator may be used.

Figure 2. Oscillator Connections

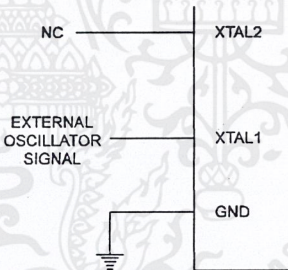


Note: When using the MCU Oscillator as a clock for an external device, an HC buffer should be connected as indicated in the figure.

External Clock

To drive the device from an external clock source, XTAL2 should be left unconnected while XTAL1 is driven as shown in Figure 3.

Figure 3. External Clock Drive Configuration



Timer Oscillator

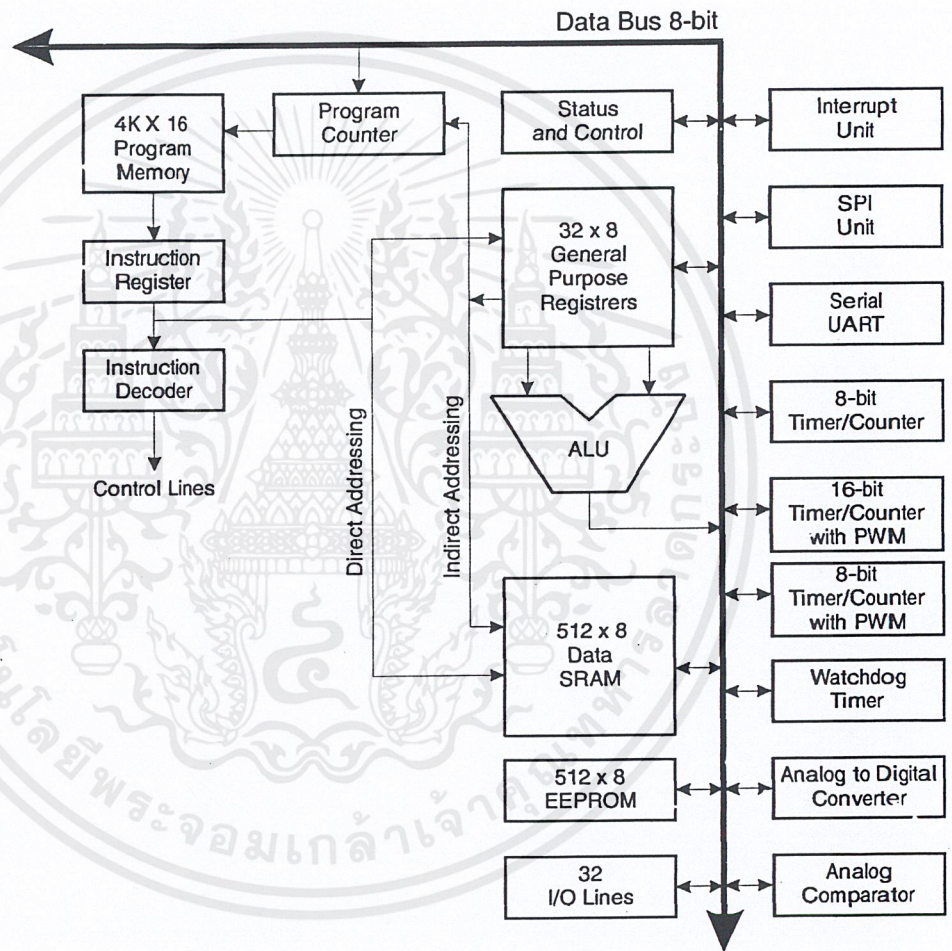
For the Timer Oscillator pins, TOSC1 and TOSC2, the crystal is connected directly between the pins. No external capacitors are needed. The oscillator is optimized for use with a 32,768 Hz watch crystal. Applying an external clock source to TOSC1 is not recommended.

Architectural Overview

The fast-access register file concept contains 32 x 8-bit general-purpose working registers with a single clock cycle access time. This means that during one single clock cycle, one Arithmetic Logic Unit (ALU) operation is executed. Two operands are output from the register file, the operation is executed and the result is stored back in the register file – in one clock cycle.

Six of the 32 registers can be used as three 16-bit indirect address register pointers for Data Space addressing, enabling efficient address calculations. One of the three address pointers is also used as the address pointer for the constant table look-up function. These added function registers are the 16-bit X-register, Y-register, and Z-register.

Figure 4. The AT90S8535 AVR RISC Architecture



The ALU supports arithmetic and logic functions between registers or between a constant and a register. Single register operations are also executed in the ALU. Figure 4 shows the AT90S8535 AVR RISC microcontroller architecture.

In addition to the register operation, the conventional memory addressing modes can be used on the register file as well. This is enabled by the fact that the register file is

assigned the 32 lowermost Data Space addresses (\$00 - \$1F), allowing them to be accessed as though they were ordinary memory locations.

The I/O memory space contains 64 addresses for CPU peripheral functions as Control Registers, Timer/Counters, A/D converters and other I/O functions. The I/O memory can be accessed directly or as the Data Space locations following those of the register file, \$20 - \$5F.

The AVR uses a Harvard architecture concept – with separate memories and buses for program and data. The program memory is executed with a two-stage pipeline. While one instruction is being executed, the next instruction is pre-fetched from the program memory. This concept enables instructions to be executed in every clock cycle. The program memory is in-system downloadable Flash memory.

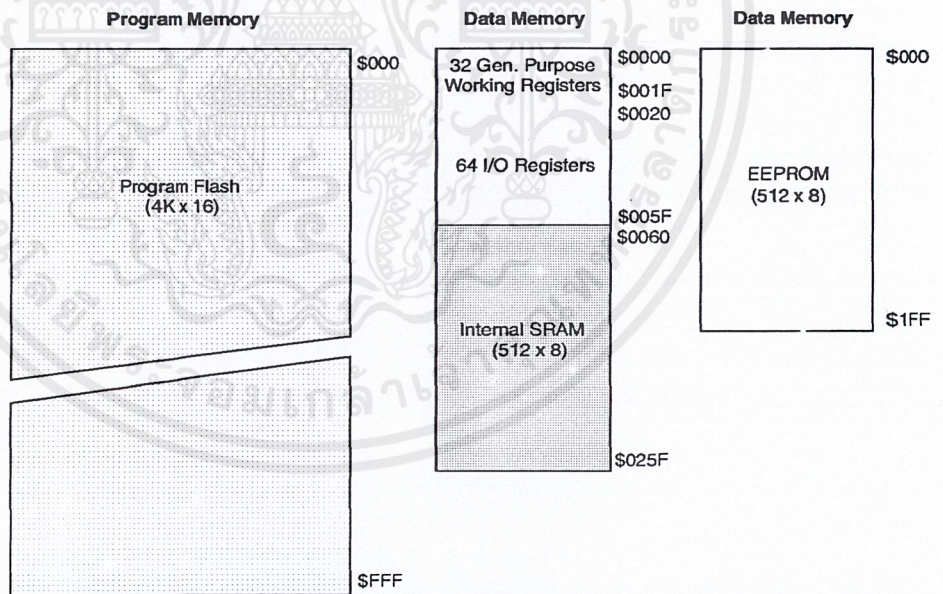
With the relative jump and call instructions, the whole 4K address space is directly accessed. Most AVR instructions have a single 16-bit word format. Every program memory address contains a 16- or 32-bit instruction.

During interrupts and subroutine calls, the return address Program Counter (PC) is stored on the stack. The stack is effectively allocated in the general data SRAM and consequently, the stack size is only limited by the total SRAM size and the usage of the SRAM. All user programs must initialize the SP in the reset routine (before subroutines or interrupts are executed). The 10-bit stack pointer (SP) is read/write-accessible in the I/O space.

The 512 bytes data SRAM can be easily accessed through the five different addressing modes supported in the AVR architecture.

The memory spaces in the AVR architecture are all linear and regular memory maps.

Figure 5. Memory Maps



A flexible interrupt module has its control registers in the I/O space with an additional global interrupt enable bit in the status register. All the different interrupts have a separate interrupt vector in the interrupt vector table at the beginning of the program

memory. The different interrupts have priority in accordance with their interrupt vector position. The lower the interrupt vector address, the higher the priority.

General-purpose Register File

Figure 6 shows the structure of the 32 general-purpose working registers in the CPU.

Figure 6. AVR CPU General-purpose Working Registers

	7	0	Addr.	
General Purpose Working Registers	R0		\$00	
	R1		\$01	
	R2		\$02	
	...			
	R13		\$0D	
	R14		\$0E	
	R15		\$0F	
	R16		\$10	
	R17		\$11	
	...			
	R26		\$1A	X-register low byte
	R27		\$1B	X-register high byte
	R28		\$1C	Y-register low byte
	R29		\$1D	Y-register high byte
	R30		\$1E	Z-register low byte
	R31		\$1F	Z-register high byte

All the register operating instructions in the instruction set have direct and single-cycle access to all registers. The only exception is the five constant arithmetic and logic instructions SBCI, SUBI, CPI, ANDI and ORI between a constant and a register and the LDI instruction for load immediate constant data. These instructions apply to the second half of the registers in the register file (R16..R31). The general SBC, SUB, CP, AND, and OR and all other operations between two registers or on a single register apply to the entire register file.

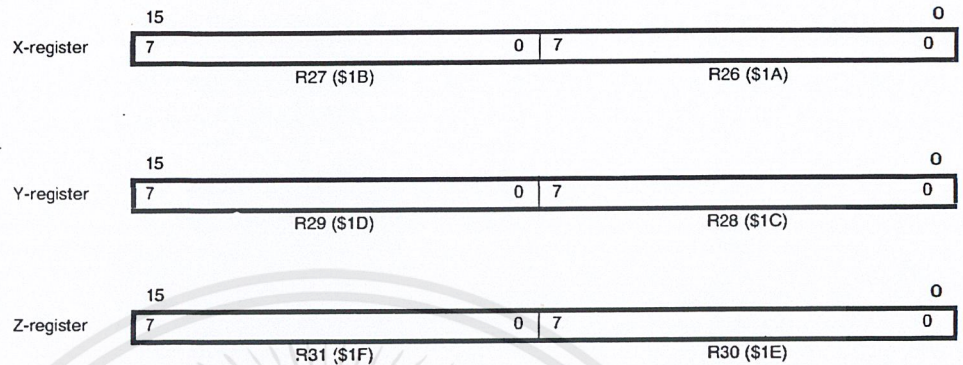
As shown in Figure 6, each register is also assigned a data memory address, mapping them directly into the first 32 locations of the user Data Space. Although not being physically implemented as SRAM locations, this memory organization provides great flexibility in access of the registers, as the X-, Y-, and Z-registers can be set to index any register in the file.



X-register, Y-register and Z-register

The registers R26..R31 have some added functions to their general-purpose usage. These registers are address pointers for indirect addressing of the Data Space. The three indirect address registers, X, Y, and Z, are defined in Figure 7.

Figure 7. X-, Y-, and Z-register



In the different addressing modes, these address registers have functions as fixed displacement, automatic increment and decrement (see the descriptions for the different instructions).

ALU – Arithmetic Logic Unit

The high-performance AVR ALU operates in direct connection with all the 32 general-purpose working registers. Within a single clock cycle, ALU operations between registers in the register file are executed. The ALU operations are divided into three main categories: arithmetic, logical and bit functions.

In-System Programmable Flash Program Memory

The AT90S8535 contains 8K bytes On-chip, In-System Programmable Flash memory for program storage. Since all instructions are 16- or 32-bit words, the Flash is organized as 4K x 16. The Flash memory has an endurance of at least 1000 write/erase cycles. The AT90S8535 Program Counter (PC) is 12 bits wide, thus addressing the 4096 program memory addresses.

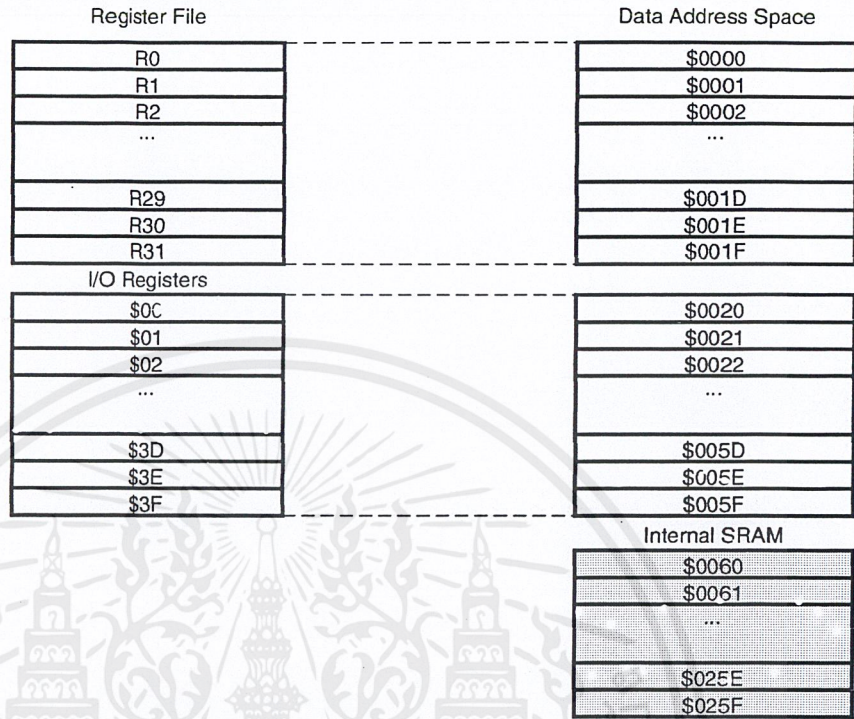
See page 99 for a detailed description on Flash data downloading.

See page 12 for the different program memory addressing modes.

SRAM Data Memory

Figure 8 shows how the AT90S8535 SRAM memory is organized.

Figure 8. SRAM Organization



The lower 608 data memory locations address the Register file, the I/O memory and the internal data SRAM. The first 96 locations address the Register file + I/O memory, and the next 512 locations address the internal data SRAM.

The five different addressing modes for the data memory cover: Direct, Indirect with Displacement, Indirect, Indirect with Pre-decrement and Indirect with Post-increment. In the register file, registers R26 to R31 feature the indirect addressing pointer registers.

The direct addressing reaches the entire data space.

The Indirect with Displacement mode features 63 address locations reached from the base address given by the Y- or Z-registers.

When using register indirect addressing modes with automatic pre-decrement and post-increment, the address registers X, Y, and Z are decremented and incremented.

The 32 general-purpose working registers, 64 I/O registers and the 512 bytes of internal data SRAM in the AT90S8535 are all accessible through all these addressing modes.

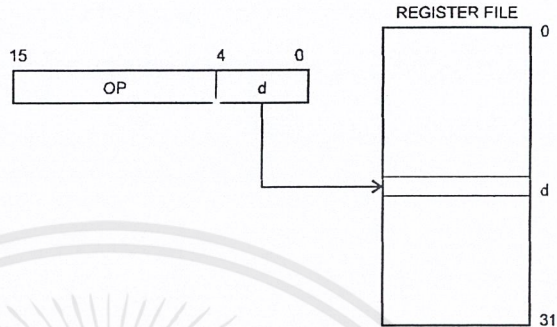
See the next section for a detailed description of the different addressing modes.

Program and Data Addressing Modes

The AT90S8535 AVR RISC microcontroller supports powerful and efficient addressing modes for access to the program memory (Flash) and data memory (SRAM, register file and I/O memory). This section describes the different addressing modes supported by the AVR architecture. In the figures, OP means the operation code part of the instruction word. To simplify, not all figures show the exact location of the addressing bits.

Register Direct, Single Register Rd

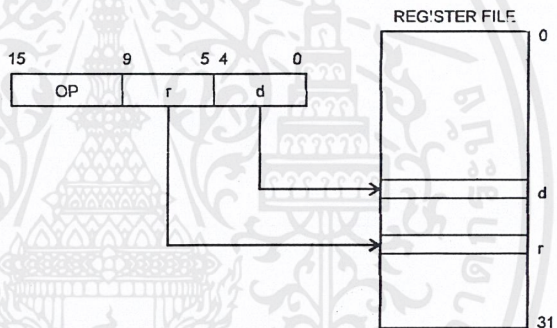
Figure 9. Direct Single Register Addressing



The operand is contained in register d (Rd).

Register Direct, Two Registers Rd And Rr

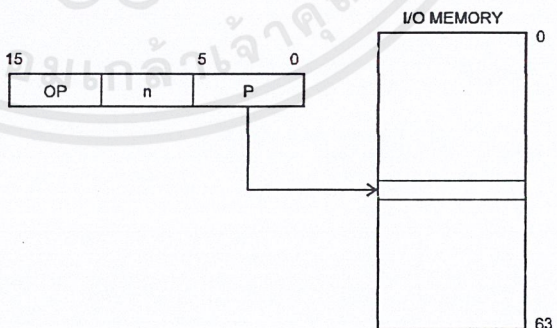
Figure 10. Direct Register Addressing, Two Registers



Operands are contained in register r (Rr) and d (Rd). The result is stored in register d (Rd).

I/O Direct

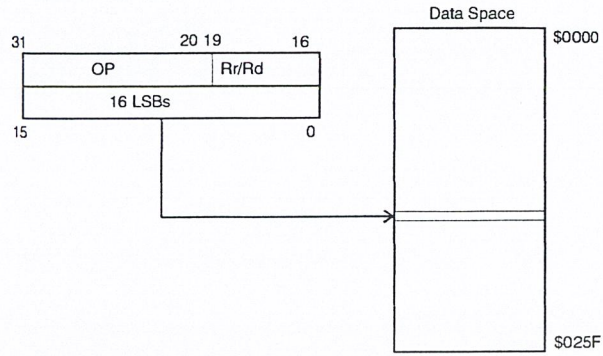
Figure 11. I/O Direct Addressing



Operand address is contained in six bits of the instruction word. n is the destination or source register address.

Data Direct

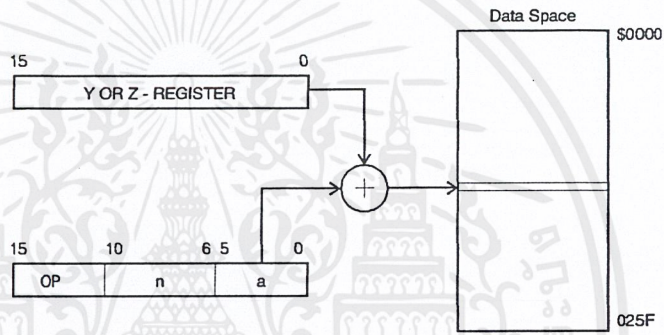
Figure 12. Direct Data Addressing



A 16-bit data address is contained in the 16 LSBs of a 2-word instruction. Rd/Rr specify the destination or source register.

Data Indirect with Displacement

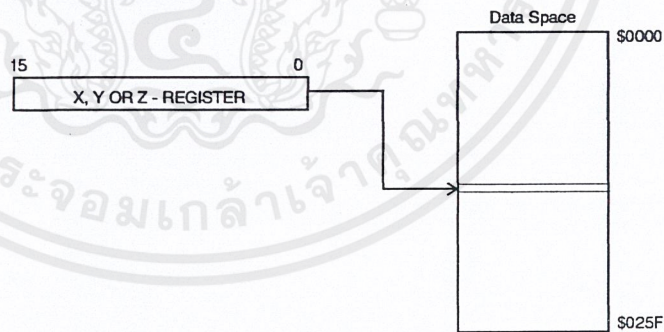
Figure 13. Data Indirect with Displacement



Operand address is the result of the Y- or Z-register contents added to the address contained in six bits of the instruction word.

Data Indirect

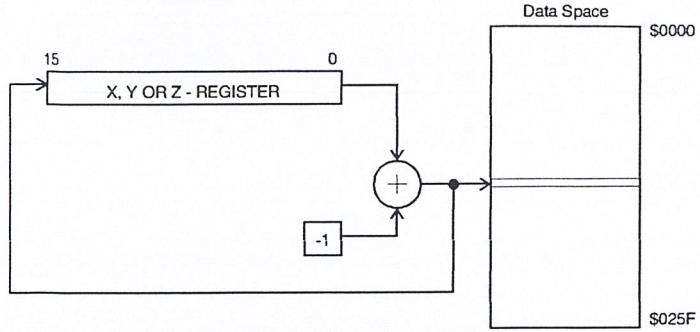
Figure 14. Data Indirect Addressing



Operand address is the contents of the X-, Y-, or the Z-register.

Data Indirect with Pre-decrement

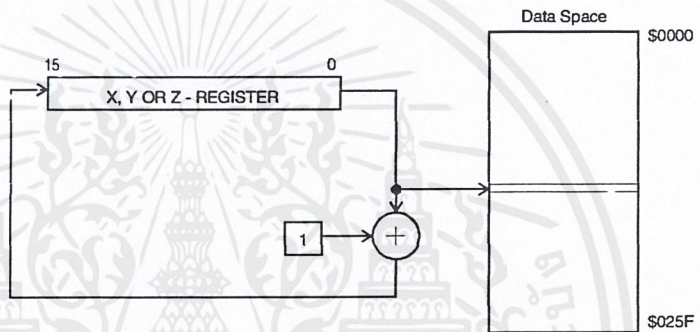
Figure 15. Data Indirect Addressing with Pre-decrement



The X-, Y-, or the Z-register is decremented before the operation. Operand address is the decremented contents of the X-, Y-, or the Z-register.

Data Indirect with Post-increment

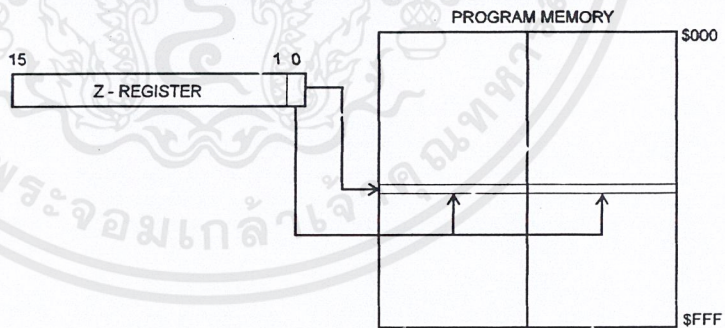
Figure 16. Data Indirect Addressing with Post-increment



The X-, Y-, or the Z-register is incremented after the operation. Operand address is the content of the X-, Y-, or the Z-register prior to incrementing.

Constant Addressing Using the LPM Instruction

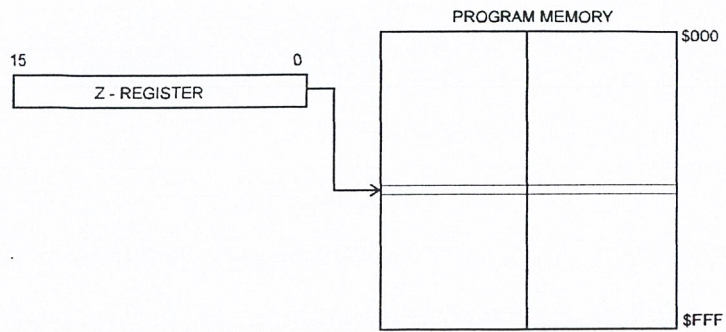
Figure 17. Code Memory Constant Addressing



Constant byte address is specified by the Z-register contents. The 15 MSBs select word address (0 - 4K), the LSB selects low byte if cleared (LSB = 0) or high byte if set (LSB = 1).

Indirect Program Addressing, IJMP and ICALL

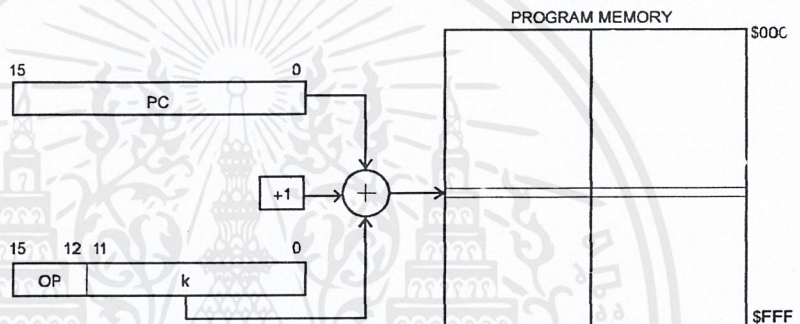
Figure 18. Indirect Program Memory Addressing



Program execution continues at address contained by the Z-register (i.e., the PC is loaded with the contents of the Z-register).

Relative Program Addressing, RJMP and RCALL

Figure 19. Relative Program Memory Addressing



Program execution continues at address $PC + k + 1$. The relative address k is from -2048 to 2047.

EEPROM Data Memory

The AT90S8535 contains 512 bytes of data EEPROM memory. It is organized as a separate data space, in which single bytes can be read and written. The EEPROM has an endurance of at least 100,000 write/erase cycles. The access between the EEPROM and the CPU is described on page 51 specifying the EEPROM address registers, the EEPROM data register and the EEPROM control register.

For the SPI data downloading, see page 99 for a detailed description.

Memory Access Times and Instruction Execution Timing

This section describes the general access timing concepts for instruction execution and internal memory access.

The AVR CPU is driven by the System Clock \emptyset , directly generated from the external clock crystal for the chip. No internal clock division is used.

Figure 20 shows the parallel instruction fetches and instruction executions enabled by the Harvard architecture and the fast-access register file concept. This is the basic pipelining concept to obtain up to 1 MIPS per MHz with the corresponding unique results for functions per cost, functions per clocks and functions per power-unit.

Figure 20. The Parallel Instruction Fetches and Instruction Executions

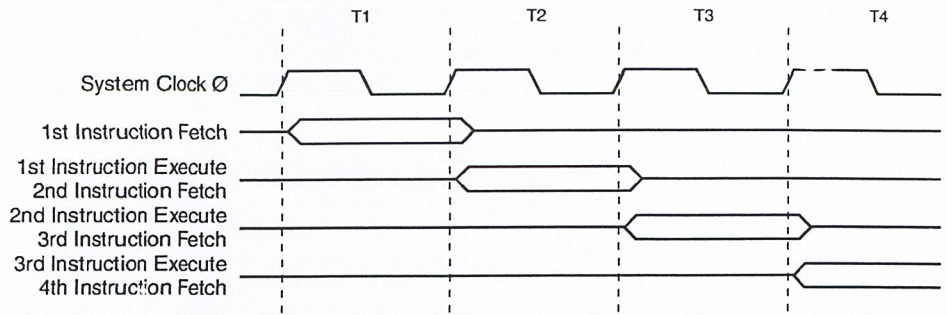
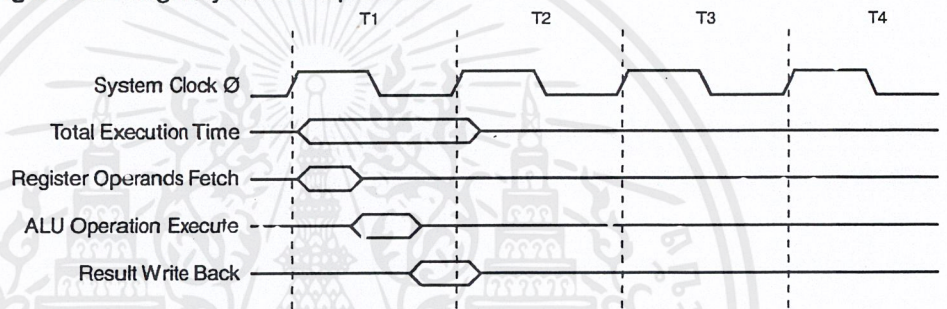


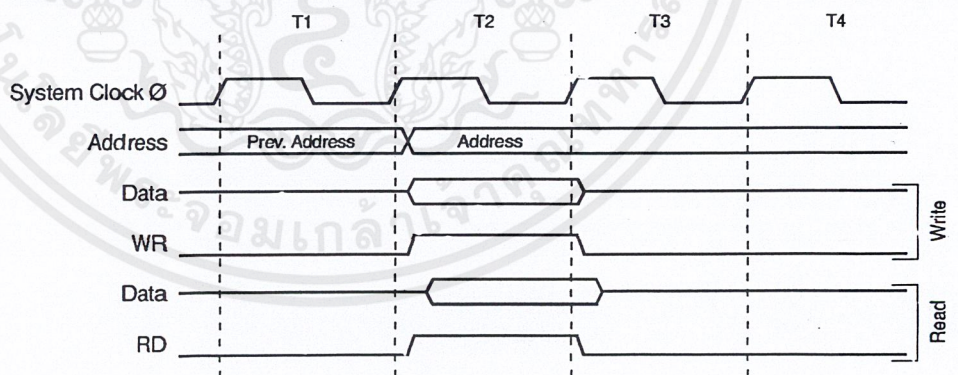
Figure 21 shows the internal timing concept for the register file. In a single clock cycle an ALU operation using two register operands is executed and the result is stored back to the destination register.

Figure 21. Single Cycle ALU Operation



The internal data SRAM access is performed in two System Clock cycles as described in Figure 22.

Figure 22. On-chip Data SRAM Access Cycles



I/O Memory

The I/O space definition of the AT90S8535 is shown in Table 1.

Table 1. AT90S8535 I/O Space

I/O Address (SRAM Address)	Name	Function
\$3F (\$5F)	SREG	Status REGISTER
\$3E (\$5E)	SPH	Stack Pointer High
\$3D (\$5D)	SPL	Stack Pointer Low
\$3B (\$5B)	GIMSK	General Interrupt MaSK register
\$3A (\$5A)	GIFR	General Interrupt Flag Register
\$39 (\$59)	TIMSK	Timer/Counter Interrupt MaSK register
\$38 (\$58)	TIFR	Timer/Counter Interrupt Flag register
\$35 (\$55)	MCUCR	MCU general Control Register
\$34 (\$45)	MCUSR	MCU general Status Register
\$33 (\$53)	TCCR0	Timer/Counter0 Control Register
\$32 (\$52)	TCNT0	Timer/Counter0 (8-bit)
\$2F (\$4F)	TCCR1A	Timer/Counter1 Control Register A
\$2E (\$4E)	TCCR1B	Timer/Counter1 Control Register B
\$2D (\$4D)	TCNT1H	Timer/Counter1 High Byte
\$2C (\$4C)	TCNT1L	Timer/Counter1 Low Byte
\$2B (\$4B)	OCR1AH	Timer/Counter1 Output Compare Register A High Byte
\$2A (\$4A)	OCR1AL	Timer/Counter1 Output Compare Register A Low Byte
\$29 (\$49)	OCR1BH	Timer/Counter1 Output Compare Register B High Byte
\$28 (\$48)	OCR1BL	Timer/Counter1 Output Compare Register B Low Byte
\$27 (\$47)	ICR1H	T/C 1 Input Capture Register High Byte
\$26 (\$46)	ICR1L	T/C 1 Input Capture Register Low Byte
\$25 (\$45)	TCCR2	Timer/Counter2 Control Register
\$24 (\$44)	TCNT2	Timer/Counter2 (8-bit)
\$23 (\$43)	OCR2	Timer/Counter2 Output Compare Register
\$22 (\$42)	ASSR	Asynchronous Mode Status Register
\$21 (\$41)	WDTCP	Watchdog Timer Control Register
\$1F (\$3E)	EEARH	EEPROM Address Register High Byte
\$1E (\$3E)	EEARL	EEPROM Address Register Low Byte
\$1D (\$3D)	EEDR	EEPROM Data Register
\$1C (\$3C)	EECR	EEPROM Control Register
\$1B (\$3B)	PORTA	Data Register, Port A
\$1A (\$3A)	DDRA	Data Direction Register, Port A
\$19 (\$39)	PINA	Input Pins, Port A
\$18 (\$38)	PORTB	Data Register, Port B





Table 1. AT90S8535 I/O Space (Continued)

I/O Address (SRAM Address)	Name	Function
\$17 (\$37)	DDRB	Data Direction Register, Port B
\$16 (\$36)	PINB	Input Pins, Port B
\$15 (\$35)	PORTC	Data Register, Port C
\$14 (\$34)	DDRC	Data Direction Register, Port C
\$13 (\$33)	PINC	Input Pins, Port C
\$12 (\$32)	PORTD	Data Register, Port D
\$11 (\$31)	DDRD	Data Direction Register, Port D
\$10 (\$30)	PIND	Input Pins, Port D
\$0F (\$2F)	SPDR	SPI I/O Data Register
\$0E (\$2E)	SPSR	SPI Status Register
\$0D (\$2D)	SPCR	SPI Control Register
\$0C (\$2C)	UDR	UART I/O Data Register
\$0B (\$2B)	USR	UART Status Register
\$0A (\$2A)	UCR	UART Control Register
\$09 (\$29)	UBRR	UART Baud Rate Register
\$08 (\$28)	ACSR	Analog Comparator Control and Status Register
\$07 (\$27)	ADMUX	ADC Multiplexer Select Register
\$06 (\$26)	ADCSR	ADC Control and Status Register
\$05 (\$25)	ADCH	ADC Data Register High
\$04 (\$24)	ADCL	ADC Data Register Low

Note: Reserved and unused locations are not shown in the table.

All AT90S8535 I/Os and peripherals are placed in the I/O space. The I/O locations are accessed by the IN and OUT instructions transferring data between the 32 general-purpose working registers and the I/O space. I/O registers within the address range \$00 - \$1F are directly bit-accessible using the SBI and CBI instructions. In these registers, the value of single bits can be checked by using the SBIS and SBIC instructions. Refer to the instruction set section for more details. When using the I/O specific commands IN and OUT, the I/O addresses \$00 - \$3F must be used. When addressing I/O registers as SRAM, \$20 must be added to these addresses. All I/O register addresses throughout this document are shown with the SRAM address in parentheses.

For compatibility with future devices, reserved bits should be written to zero if accessed. Reserved I/O memory addresses should never be written.

Some of the status flags are cleared by writing a logical "1" to them. Note that the CBI and SBI instructions will operate on all bits in the I/O register, writing a "1" back into any flag read as set, thus clearing the flag. The CBI and SBI instructions work with registers \$00 to \$1F only.

The I/O and peripherals control registers are explained in the following sections.

Status Register – SREG

The AVR Status Register (SREG) at I/O space location \$3F (\$5F) is defined as:

Bit	7	6	5	4	3	2	1	0	
\$3F (\$5F)	I	T	H	S	V	N	Z	C	SREG
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
Initial Value	0	0	0	0	0	0	0	0	

- **Bit 7 – I: Global Interrupt Enable**

The global interrupt enable bit must be set (one) for the interrupts to be enabled. The individual interrupt enable control is then performed in separate control registers. If the global interrupt enable register is cleared (zero), none of the interrupts are enabled independent of the individual interrupt enable settings. The I-bit is cleared by hardware after an interrupt has occurred and is set by the RETI instruction to enable subsequent interrupts.

- **Bit 6 – T: Bit Copy Storage**

The bit copy instructions BLD (Bit Load) and BST (Bit Store) use the T-bit as source and destination for the operated bit. A bit from a register in the register file can be copied into T by the BST instruction and a bit in T can be copied into a bit in a register in the register file by the BLD instruction.

- **Bit 5 – H: Half-carry Flag**

The half-carry flag H indicates a half-carry in some arithmetic operations. See the Instruction Set description for detailed information

- **Bit 4 – S: Sign Bit, $S = N \oplus V$**

The S-bit is always an exclusive or between the negative flag N and the two's complement overflow flag V. See the Instruction Set description for detailed information.

- **Bit 3 – V: Two's Complement Overflow Flag**

The two's complement overflow flag V supports two's complement arithmetics. See the Instruction Set description for detailed information.

- **Bit 2 – N: Negative Flag**

The negative flag N indicates a negative result from an arithmetical or logical operation. See the Instruction Set description for detailed information.

- **Bit 1 – Z: Zero Flag**

The zero flag Z indicates a zero result from an arithmetical or logic operation. See the Instruction Set description for detailed information.

- **Bit 0 – C: Carry Flag**

The carry flag C indicates a carry in an arithmetical or logical operation. See the Instruction Set description for detailed information.

Note that the Status Register is not automatically stored when entering an interrupt routine and restored when returning from an interrupt routine. This must be handled by software.



Stack Pointer – SP

The AT90S8535 Stack Pointer is implemented as two 8-bit registers in the I/O space locations \$3E (\$5E) and \$3D (\$5D). As the AT90S8535 data memory has \$25F locations, 10 bits are used.

Bit	15	14	13	12	11	10	9	8	
\$3E (\$5E)	–	–	–	–	–	–	SP9	SP8	SPH
\$3D (\$5D)	SP7	SP6	SP5	SP4	SP3	SP2	SP1	SP0	SPL
	7	6	5	4	3	2	1	0	
Read/Write	R	R	R	R	R	R	R/W	R/W	
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
Initial Value	0	0	0	0	0	0	0	0	
	0	0	0	0	0	0	0	0	

The Stack Pointer points to the data SRAM stack area where the Subroutine and Interrupt* stacks are located. This stack space in the data SRAM must be defined by the program before any subroutine calls are executed or interrupts are enabled. The Stack Pointer must be set to point above \$60. The Stack Pointer is decremented by 1 when data is pushed onto the stack with the PUSH instruction and it is decremented by 2 when an address is pushed onto the stack with subroutine calls and interrupts. The Stack Pointer is incremented by 1 when data is popped from the stack with the POP instruction and it is incremented by 2 when an address is popped from the stack with return from subroutine RET or return from interrupt RETI.

Reset and Interrupt Handling

The AT90S8535 provides 16 different interrupt sources. These interrupts and the separate reset vector each have a separate program vector in the program memory space. All interrupts are assigned individual enable bits that must be set (one) together with the I-bit in the Status Register in order to enable the interrupt.

The lowest addresses in the program memory space are automatically defined as the Reset and Interrupt vectors. The complete list of vectors is shown in Table 2. The list also determines the priority levels of the different interrupts. The lower the address, the higher the priority level. RESET has the highest priority, and next is INT0 (the External Interrupt Request 0), etc.

Table 2. Reset and Interrupt Vectors

Vector No.	Program Address	Source	Interrupt Definition
1	\$000	RESET	Hardware Pin, Power-on Reset and Watchdog Reset
2	\$001	INT0	External Interrupt Request 0
3	\$002	INT1	External Interrupt Request 1
4	\$003	TIMER2 COMP	Timer/Counter2 Compare Match
5	\$004	TIMER2 OVF	Timer/Counter2 Overflow
6	\$005	TIMER1 CAPT	Timer/Counter1 Capture Event
7	\$006	TIMER1 COMPA	Timer/Counter1 Compare Match A
8	\$007	TIMER1 COMPB	Timer/Counter1 Compare Match B
9	\$008	TIMER1 OVF	Timer/Counter1 Overflow
10	\$009	TIMER0 OVF	Timer/Counter0 Overflow
11	\$00A	SPI, STC	SPI Serial Transfer Complete
12	\$00B	UART, RX	UART, Rx Complete

Table 2. Reset and Interrupt Vectors (Continued)

Vector No.	Program Address	Source	Interrupt Definition
13	\$00C	UART, UDRE	UART Data Register Empty
14	\$00D	UART, TX	UART, Tx Complete
15	\$00E	ADC	ADC Conversion Complete
16	\$00F	EE_RDY	EEPROM Ready
17	\$010	ANA_COMP	Analog Comparator

The most typical and general program setup for the Reset and Interrupt vector addresses are:

```

Address Labels      Code      Comments
$000                rjmp     RESET      ; Reset Handler
$001                rjmp     EXT_INT0   ; IRQ0 Handler
$002                rjmp     EXT_INT1   ; IRQ1 Handler
$003                rjmp     TIM2_COMP  ; Timer2 Compare Handler
$004                rjmp     TIM2_OVF   ; Timer2 Overflow Handler
$005                rjmp     TIM1_CAPT  ; Timer1 Capture Handler
$006                rjmp     TIM1_COMPA ; Timer1 CompareA Handler
$007                rjmp     TIM1_COMPB ; Timer1 CompareB Handler
$008                rjmp     TIM1_OVF   ; Timer1 Overflow Handler
$009                rjmp     TIM0_OVF   ; Timer0 Overflow Handler
$00a                rjmp     SPI_SPC;    ; SPI Transfer Complete Handler
$00b                rjmp     UART_RXC   ; UART RX Complete Handler
$00c                rjmp     UART_DRE   ; UDR Empty Handler
$00d                rjmp     UART_TXC   ; UART TX Complete Handler
$00e                rjmp     ADC         ; ADC Conversion Complete Interrupt
Handler
$00f                rjmp     EE_RDY     ; EEPROM Ready Handler
$010                rjmp     ANA_COMP   ; Analog Comparator Handler
$011    MAIN:      ldi     r16, high(RAMEND); Main program start
$012                out     SPH,r16
$013                ldi     r16, low(RAMEND) ;
$014                out     SPL,r16
$015                <instr> xxx
--                --                --                --
    
```

Reset Sources

The AT90S8535 has three sources of reset:

- **Power-on Reset.** The MCU is reset when the supply voltage is below the Power-on Reset threshold (V_{POT}).
- **External Reset.** The MCU is reset when a low level is present on the $\overline{\text{RESET}}$ pin for more than 50 ns.
- **Watchdog Reset.** The MCU is reset when the Watchdog timer period expires and the Watchdog is enabled.

During reset, all I/O registers are set to their initial values and the program starts execution from address \$000. The instruction placed in address \$000 must be an RJMP (relative jump) instruction to the reset handling routine. If the program never enables an interrupt source, the interrupt vectors are not used and regular program code can be



placed at these locations. The circuit diagram in Figure 23 shows the reset logic. Table 3 defines the timing and electrical parameters of the reset circuitry.

Figure 23. Reset Logic

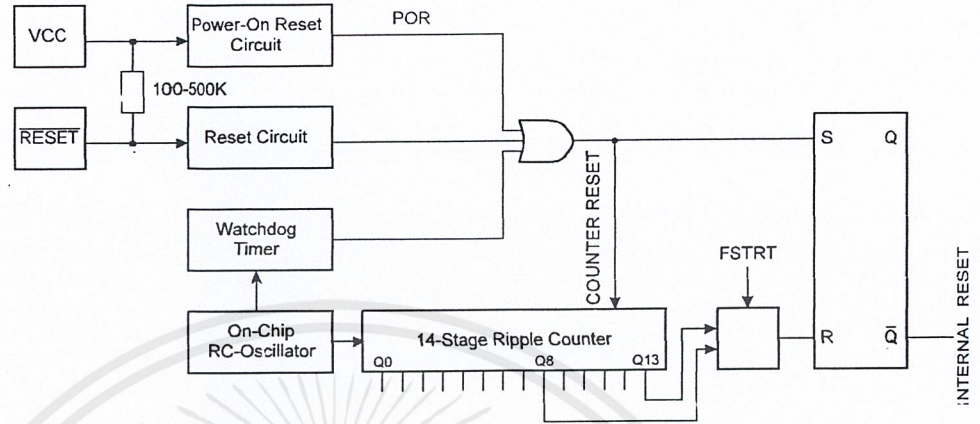


Table 3. Reset Characteristics ($V_{CC} = 5.0V$)

Symbol	Parameter	Min	Typ	Max	Units
$V_{POT}^{(1)}$	Power-on Reset Threshold (rising)	1.0	1.4	1.8	V
	Power-on Reset Threshold (falling)	0.4	0.6	0.8	V
V_{RST}	RESET Pin Threshold Voltage		$0.6 V_{CC}$		V
t_{TOUT}	Reset Delay Time-out Period FSTRT Unprogrammed	11.0	16.0	21.0	ms
t_{TOUT}	Reset Delay Time-out Period FSTRT Programmed	1.0	1.1	1.2	ms

Note: 1. The Power-on Reset will not work unless the supply voltage has been below V_{POT} (falling).

Table 4. Number of Watchdog Oscillator Cycles

FSTRT	Time-out at $V_{CC} = 5V$	Number of WDT Cycles
Programmed	1.1 ms	1K
Unprogrammed	16.0 ms	16K

Power-on Reset

A Power-on Reset (POR) circuit ensures that the device is reset from power-on. As shown in Figure 23, an internal timer clocked from the Watchdog Timer oscillator prevents the MCU from starting until after a certain period after V_{CC} has reached the Power-on Threshold voltage (V_{POT}), regardless of the V_{CC} rise time (see Figure 24).

The user can select the start-up time according to typical oscillator start-up time. The number of WDT oscillator cycles is shown in Table 4. The frequency of the Watchdog oscillator is voltage-dependent as shown in "Typical Characteristics" on page 107.

If the built-in start-up delay is sufficient, \overline{RESET} can be connected to V_{CC} directly or via an external pull-up resistor. By holding the pin low for a period after V_{CC} has been applied, the Power-on Reset period can be extended. Refer to Figure 25 for a timing example of this

Figure 24. MCU Start-up, $\overline{\text{RESET}}$ Tied to V_{CC} .

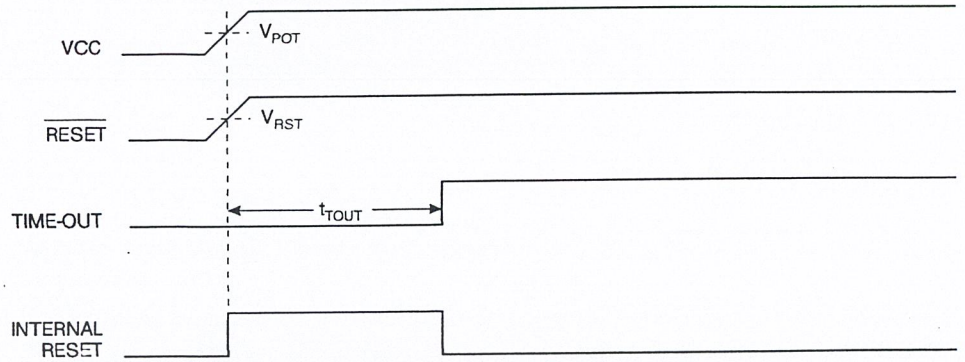
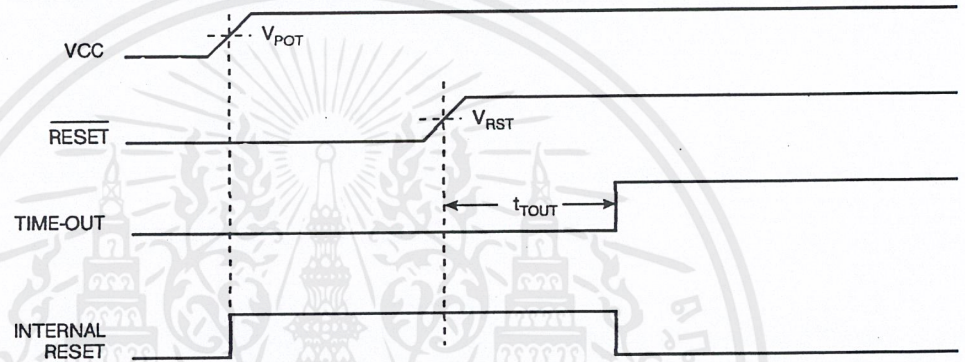


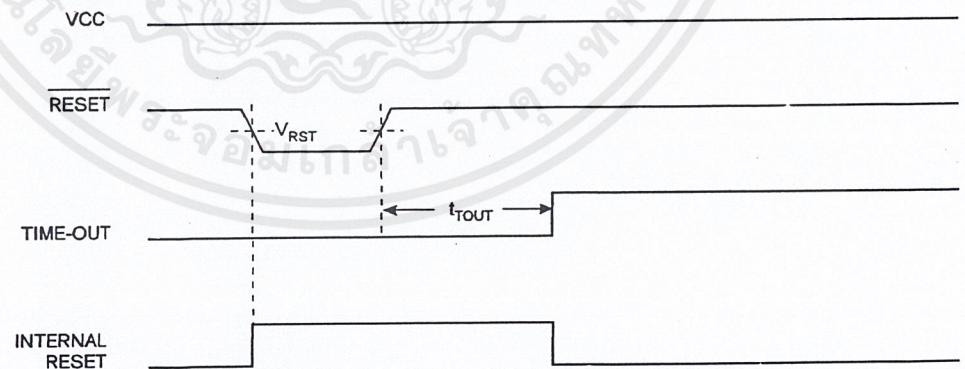
Figure 25. MCU Start-up, $\overline{\text{RESET}}$ Controlled Externally



External Reset

An external reset is generated by a low level on the $\overline{\text{RESET}}$ pin. Reset pulses longer than 50 ns will generate a reset, even if the clock is not running. Shorter pulses are not guaranteed to generate a reset. When the applied signal reaches the Reset Threshold Voltage (V_{RST}) on its positive edge, the delay timer starts the MCU after the Time-out period t_{TOUT} has expired.

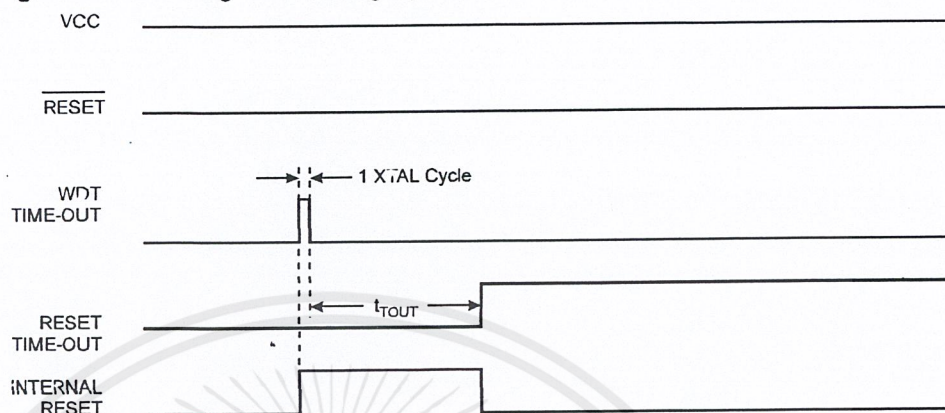
Figure 26. External Reset during Operation



Watchdog Reset

When the Watchdog times out, it will generate a short reset pulse of 1 XTAL cycle duration. On the falling edge of this pulse, the delay timer starts counting the Time-out period t_{TOUT} . Refer to page 49 for details on operation of the Watchdog.

Figure 27. Watchdog Reset during Operation



MCU Status Register – MCUSR

The MCU Status Register provides information on which reset source caused an MCU reset.

Bit	7	6	5	4	3	2	1	0	
\$34 (\$54)	-	-	-	-	-	-	EXTRF	PORF	MCUSR
Read/Write	R	R	R	R	R	R	R/W	R/W	
Initial Value	0	0	0	0	0	0	See Bit Description		

- **Bits 7.2 – Res: Reserved Bits**

These bits are reserved bits in the AT90S8535 and always read as zero.

- **Bit 1 – EXTRF: External Reset Flag**

After a power-on reset, this bit is undefined (X). It can only be set by an External Reset. A Watchdog Reset will leave this bit unchanged. The bit is cleared by writing a logical zero to the bit.

- **Bit 0 – PORF: Power-on Reset Flag**

This bit is only set by a Power-on Reset. A Watchdog Reset or an External Reset will leave this bit unchanged. The bit is cleared by writing a logical zero to the bit.

To summarize, Table 5 shows the value of these two bits after the three modes of reset.

Table 5. PORF and EXTRF Values after Reset

Reset Source	EXTRF	PORF
Power-on Reset	Undefined	1
External Reset	1	Unchanged
Watchdog Reset	Unchanged	Unchanged

To make use of these bits to identify a reset condition, the user software should clear both the PORF and EXTRF bits as early as possible in the program. Checking the PORF and EXTRF values is done before the bits are cleared. If the bit is cleared before an External or Watchdog Reset occurs, the source of reset can be found by using Table 6.

Table 6. Reset Source Identification

EXTRF	PORF	Reset Source
0	0	Watchdog Reset
0	1	Power-on Reset
1	0	External Reset
1	1	Power-on Reset

Interrupt Handling

The AT90S8535 has two 8-bit interrupt mask control registers: GIMSK (General Interrupt Mask register) and TIMSK (Timer/Counter Interrupt Mask register).

When an interrupt occurs, the Global Interrupt Enable I-bit is cleared (zero) and all interrupts are disabled. The user software can set (one) the I-bit to enable nested interrupts. The I-bit is set (one) when a Return from Interrupt instruction (RETI) is executed.

When the Program Counter is vectored to the actual interrupt vector in order to execute the interrupt handling routine, hardware clears the corresponding flag that generated the interrupt. Some of the interrupt flags can also be cleared by writing a logical "1" to the flag bit position(s) to be cleared. If an interrupt condition occurs when the corresponding interrupt enable bit is cleared (zero), the interrupt flag will be set and remembered until the interrupt is enabled or the flag is cleared by software.

If one or more interrupt conditions occur when the global interrupt enable bit is cleared (zero), the corresponding interrupt flag(s) will be set and remembered until the global interrupt enable bit is set (one) and will be executed by order of priority.

Note that external level interrupt does not have a flag and will only be remembered for as long as the interrupt condition is active.

Note that the Status Register is not automatically stored when entering an interrupt routine and restored when returning from an interrupt routine. This must be handled by software.

General Interrupt Mask Register – GIMSK

Bit	7	6	5	4	3	2	1	0	
\$3B (\$5B)	INT1	INT0	-	-	-	-	-	-	GIMSK
Read/Write	R/W	R/W	R	R	R	R	R	R	
Initial Value	0	0	0	0	0	0	0	0	

• Bit 7 – INT1: External Interrupt Request 1 Enable

When the INT1 bit is set (one) and the I-bit in the Status Register (SREG) is set (one), the external pin interrupt is enabled. The Interrupt Sense Control1 bits 1/0 (ISC11 and ISC10) in the MCU general Control Register (MCUCR) define whether the external interrupt is activated on rising or falling edge of the INT1 pin or level sensed. Activity on the pin will cause an interrupt request even if INT1 is configured as an output. The corresponding interrupt of External Interrupt Request 1 is executed from program memory address \$002. See also "External Interrupts."

• Bit 6 – INT0: External Interrupt Request 0 Enable

When the INTO bit is set (one) and the I-bit in the Status Register (SREG) is set (one), the external pin interrupt is enabled. The Interrupt Sense Control0 bits 1/0 (ISC01 and ISC00) in the MCU general Control Register (MCUCR) define whether the external interrupt is activated on rising or falling edge of the INTO pin or level sensed. Activity on the pin will cause an interrupt request even if INTO is configured as an output. The corre-



sponding interrupt of External Interrupt Request 0 is executed from program memory address \$001. See also “External Interrupts.”

- **Bits 5.0 – Res: Reserved Bits**

These bits are reserved bits in the AT90S8535 and always read as zero.

General Interrupt Flag Register – GIFR

Bit	7	6	5	4	3	2	1	0	
\$3A (\$5A)	INTF1	INTF0	–	–	–	–	–	–	GIFR
Read/Write	R/W	R/W	R	R	R	R	R	R	
Initial Value	0	0	0	0	0	0	0	0	

- **Bit 7 – INTF1: External Interrupt Flag1**

When an edge or logical change on the INT1 pin triggers an interrupt request, INTF1 becomes set (one). This flag is always cleared (0) when the pin is configured for low-level interrupts, as the state of a low-level interrupt can be determined by reading the PIN register.

If the I-bit in SREG and the INT1 bit in GIMSK are set (one), the MCU will jump to the interrupt address \$002. For edge and logic change interrupts, this flag is cleared when the interrupt routine is executed. Alternatively, the flag can be cleared by writing a logical “1” to it.

- **Bit 6 – INTF0: External Interrupt Flag0**

When an edge or logical change on the INT0 pin triggers an interrupt request, INTF0 becomes set (one). This flag is always cleared (0) when the pin is configured for low-level interrupts, as the state of a low-level interrupt can be determined by reading the PIN register.

If the I-bit in SREG and the INT0 bit in GIMSK are set (one), the MCU will jump to the interrupt address \$001. For edge and logic change interrupts, this flag is cleared when the interrupt routine is executed. Alternatively, the flag can be cleared by writing a logical “1” to it.

- **Bits 5..0 – Res: Reserved Bits**

These bits are reserved bits in the AT90S8535 and always read as zero.

Timer/Counter Interrupt Mask Register – TIMSK

Bit	7	6	5	4	3	2	1	0	
\$39 (\$59)	OCIE2	TOIE2	TICIE1	OCIE1A	OCIE1B	TOIE1	–	TOIE0	TIMSK
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R	R/W	
Initial Value	0	0	0	0	0	0	0	0	

- **Bit 7 – OCIE2: Timer/Counter2 Output Compare Match Interrupt Enable**

When the OCIE2 bit is set (one) and the I-bit in the Status Register is set (one), the Timer/Counter2 Compare Match interrupt is enabled. The corresponding interrupt (at vector \$003) is executed if a compare match in Timer/Counter2 occurs (i.e., when the OCF2 bit is set in the Timer/Counter Interrupt Flag Register [TIFR]).

- **Bit 6 – TOIE2: Timer/Counter2 Overflow Interrupt Enable**

When the TOIE2 bit is set (one) and the I-bit in the Status Register is set (one), the Timer/Counter2 Overflow interrupt is enabled. The corresponding interrupt (at vector \$004) is executed if an overflow in Timer/Counter2 occurs (i.e., when the TOV2 bit is set in the Timer/Counter Interrupt Flag Register [TIFR]).

• **Bit 5 – TICIE1: Timer/Counter1 Input Capture Interrupt Enable**

When the TICIE1 bit is set (one) and the I-bit in the Status Register is set (one), the Timer/Counter1 Input Capture Event Interrupt is enabled. The corresponding interrupt (at vector \$005) is executed if a capture-triggering event occurs on pin 20, PD6 (ICP) (i.e., when the ICF1 bit is set in the Timer/Counter Interrupt Flag Register [TIFR]).

• **Bit 4 – OCIE1A: Timer/Counter1 Output CompareA Match Interrupt Enable**

When the OCIE1A bit is set (one) and the I-bit in the Status Register is set (one), the Timer/Counter1 CompareA Match interrupt is enabled. The corresponding interrupt (at vector \$006) is executed if a CompareA match in Timer/Counter1 occurs (i.e., when the OCF1A bit is set in the Timer/Counter Interrupt Flag Register [TIFR]).

• **Bit 3 – OCIE1B: Timer/Counter1 Output CompareB Match Interrupt Enable**

When the OCIE1B bit is set (one) and the I-bit in the Status Register is set (one), the Timer/Counter1 CompareB Match interrupt is enabled. The corresponding interrupt (at vector \$007) is executed if a CompareB match in Timer/Counter1 occurs (i.e., when the OCF1B bit is set in the Timer/Counter Interrupt Flag Register [TIFR]).

• **Bit 2 – TOIE1: Timer/Counter1 Overflow Interrupt Enable**

When the TOIE1 bit is set (one) and the I-bit in the Status Register is set (one), the Timer/Counter1 Overflow Interrupt is enabled. The corresponding interrupt (at vector \$008) is executed if an overflow in Timer/Counter1 occurs (i.e., when the TOV1 bit is set in the Timer/Counter Interrupt Flag Register [TIFR]).

• **Bit 1 – Rzs: Reserved Bit**

This bit is a reserved bit in the AT90S8535 and always reads zero.

• **Bit 0 – TOIE0: Timer/Counter0 Overflow Interrupt Enable**

When the TOIE0 bit is set (one) and the I-bit in the Status Register is set (one), the Timer/Counter0 Overflow Interrupt is enabled. The corresponding interrupt (at vector \$009) is executed if an overflow in Timer/Counter0 occurs (i.e., when the TOV0 bit is set in the Timer/Counter Interrupt Flag Register [TIFR]).

Timer/Counter Interrupt Flag Register – TIFR

Bit	7	6	5	4	3	2	1	0	
\$38 (\$58)	OCF2	TOV2	ICF1	OCF1A	OCF1B	TOV1	–	TOV0	TIFR
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R	R/W	
Initial Value	0	0	0	0	0	0	0	0	

• **Bit 7 – OCF2: Output Compare Flag 2**

The OCF2 bit is set (one) when compare match occurs between the Timer/Counter2 and the data in OCR2 (Output Compare Register2). OCF2 is cleared by hardware when executing the corresponding interrupt handling vector. Alternatively, OCF2 is cleared by writing a logical “1” to the flag. When the I-bit in SREG and OCIE2 (Timer/Counter2 Compare Match Interrupt Enable) and the OCF2 are set (one), the Timer/Counter2 Compare Match Interrupt is executed.

• **Bit 6 – TOV2: Timer/Counter2 Overflow Flag**

The TOV2 bit is set (one) when an overflow occurs in Timer/Counter2. TOV2 is cleared by hardware when executing the corresponding interrupt handling vector. Alternatively, TOV2 is cleared by writing a logical “1” to the flag. When the SREG I-bit and TOIE2 (Timer/Counter2 Overflow Interrupt Enable) and TOV2 are set (one), the Timer/Counter2 Overflow Interrupt is executed. In up/down PWM mode, this bit is set when Timer/Counter1 advances from \$0000.



- **Bit 5 – ICF1: Input Capture Flag 1**

The ICF1 bit is set (one) to flag an input capture event, indicating that the Timer/Counter1 value has been transferred to the Input Capture Register (ICR1). ICF1 is cleared by hardware when executing the corresponding interrupt handling vector. Alternatively, ICF1 is cleared by writing a logical “1” to the flag. When the SREG I-bit and TICIE1 (Timer/Counter1 Input Capture Interrupt Enable) and ICF1 are set (one), the Timer/Counter1 Capture Interrupt is executed.

- **Bit 4 – OCF1A: Output Compare Flag 1A**

The OCF1A bit is set (one) when compare match occurs between the Timer/Counter1 and the data in OCR1A (Output Compare Register 1A). OCF1A is cleared by hardware when executing the corresponding interrupt handling vector. Alternatively, OCF1A is cleared by writing a logical “1” to the flag. When the I-bit in SREG and OCIE1A (Timer/Counter1 Compare Match InterruptA Enable) and the OCF1A are set (one), the Timer/Counter1 Compare A Match Interrupt is executed.

- **Bit 3 – OCF1B: Output Compare Flag 1B**

The OCF1B bit is set (one) when compare match occurs between the Timer/Counter1 and the data in OCR1B (Output Compare Register 1B). OCF1B is cleared by hardware when executing the corresponding interrupt handling vector. Alternatively, OCF1B is cleared by writing a logical “1” to the flag. When the I-bit in SREG and OCIE1B (Timer/Counter1 Compare Match InterruptB Enable) and the OCF1B are set (one), the Timer/Counter1 Compare Match B Interrupt is executed.

- **Bit 2 – TOV1: Timer/Counter1 Overflow Flag**

The TOV1 is set (one) when an overflow occurs in Timer/Counter1. TOV1 is cleared by hardware when executing the corresponding interrupt handling vector. Alternatively, TOV1 is cleared by writing a logical “1” to the flag. When the I-bit in SREG and TOIE1 (Timer/Counter1 Overflow Interrupt Enable) and TOV1 are set (one), the Timer/Counter1 Overflow Interrupt is executed. In up/down PWM mode, this bit is set when Timer/Counter1 advances from \$0000.

- **Bit 1 – Res: Reserved Bit**

This bit is a reserved bit in the AT90S8535 and always reads zero.

- **Bit 0 – TOV0: Timer/Counter0 Overflow Flag**

The bit TOV0 is set (one) when an overflow occurs in Timer/Counter0. TOV0 is cleared by hardware when executing the corresponding interrupt handling vector. Alternatively, TOV0 is cleared by writing a logical “1” to the flag. When the SREG I-bit and TOIE0 (Timer/Counter0 Overflow Interrupt Enable) and TOV0 are set (one), the Timer/Counter0 Overflow Interrupt is executed. In up/down PWM mode, this bit is set when Timer/Counter1 advances from \$0000.

External Interrupts

The external interrupts are triggered by the INT1 and INT0 pins. Observe that, if enabled, the interrupts will trigger even if the INT0/INT1 pins are configured as outputs. This feature provides a way of generating a software interrupt. The external interrupts can be triggered by a falling or rising edge or a low level. This is set up as indicated in the specification for the MCU Control Register (MCUCR). When the external interrupt is enabled and is configured as level-triggered, the interrupt will trigger as long as the pin is held low.

The external interrupts are set up as described in the specification for the MCU Control Register (MCUCR).

Interrupt Response Time

The interrupt execution response for all the enabled AVR interrupts is four clock cycles minimum. Four clock cycles after the interrupt flag has been set, the program vector address for the actual interrupt handling routine is executed. During this 4-clock-cycle period, the Program Counter (2 bytes) is pushed onto the stack and the Stack Pointer is decremented by 2. The vector is normally a relative jump to the interrupt routine and this jump takes two clock cycles. If an interrupt occurs during execution of a multi-cycle instruction, this instruction is completed before the interrupt is served.

A return from an interrupt handling routine (same as for a subroutine call routine) takes four clock cycles. During these four clock cycles, the Program Counter (2 bytes) is popped back from the stack, the Stack Pointer is incremented by 2 and the I-flag in SREG is set. When the AVR exits from an interrupt, it will always return to the main program and execute one more instruction before any pending interrupt is served.

MCU Control Register – MCUCR

The MCU Control Register contains control bits for general MCU functions.

Bit	7	6	5	4	3	2	1	0	
\$S35 (\$55)	-	SE	SM1	SM0	ISC11	ISC10	ISC01	ISC00	MCUCR
Read/Write	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
Initial Value	0	0	0	0	0	0	0	0	

• **Bit 7 – Res: Reserved Bit**

This bit is a reserved bit in the AT90S8535 and always reads zero.

• **Bit 6 – SE: Sleep Enable**

The SE bit must be set (one) to make the MCU enter the Sleep Mode when the SLEEP instruction is executed. To avoid the MCU entering the Sleep Mode unless it is the programmer's purpose, it is recommended to set the Sleep Enable (SE) bit just before the execution of the SLEEP instruction.

• **Bits 5, 4 – SM1/SM0: Sleep Mode Select Bits 1 and 0**

These bits select between the three available sleep modes as shown in Table 7.

Table 7. Sleep Mode Select

SM1	SM0	Sleep Mode
0	0	Idle
0	1	Reserved
1	0	Power-down
1	1	Power Save

• **Bits 3, 2 – ISC11, ISC10: Interrupt Sense Control 1 Bits 1 and 0**

The External Interrupt 1 is activated by the external pin INT1 if the SREG I-flag and the corresponding interrupt mask in the GIMSK is set. The level and edges on the external INT1 pin that activate the interrupt are defined in Table 8.



Table 8. Interrupt 1 Sense Control

ISC11	ISC10	Description
0	0	The low level of INT1 generates an interrupt request.
0	1	Reserved
1	0	The falling edge of INT1 generates an interrupt request.
1	1	The rising edge of INT1 generates an interrupt request.

The value on the INT pin is sampled before detecting edges. If edge interrupt is selected, pulses that last longer than one CPU clock period will generate an interrupt. Shorter pulses are not guaranteed to generate an interrupt. If low-level interrupt is selected, the low level must be held until the completion of the currently executing instruction to generate an interrupt. If enabled, a level-triggered interrupt will generate an interrupt request as long as the pin is held low.

• **Bit 1, 0 – ISC01, ISC00: Interrupt Sense Control 0 Bits 1 and 0**

The External Interrupt 0 is activated by the external pin INTO if the SREG I-flag and the corresponding interrupt mask is set. The level and edges on the external INTO pin that activate the interrupt are defined in Table 9.

Table 9. Interrupt 0 Sense Control

ISC01	ISC00	Description
0	0	The low level of INTO generates an interrupt request.
0	1	Reserved
1	0	The falling edge of INTO generates an interrupt request.
1	1	The rising edge of INTO generates an interrupt request.

The value on the INT pin is sampled before detecting edges. If edge interrupt is selected, pulses that last longer than one CPU clock period will generate an interrupt. Shorter pulses are not guaranteed to generate an interrupt. If low-level interrupt is selected, the low level must be held until the completion of the currently executing instruction to generate an interrupt. If enabled, a level-triggered interrupt will generate an interrupt request as long as the pin is held low.

Sleep Modes

To enter any of the three sleep modes, the SE bit in MCUCR must be set (one) and a SLEEP instruction must be executed. The SM0 and SM1 bits in the MCUCR register select which sleep mode (Idle, Power-down or Power Save) will be activated by the SLEEP instruction. See Table 7.

If an enabled interrupt occurs while the MCU is in a sleep mode, the MCU wakes up, executes the interrupt routine and resumes execution from the instruction following SLEEP. The contents of the register file, SRAM and I/O memory are unaltered. If a reset occurs during Sleep Mode, the MCU wakes up and executes from the Reset vector.

Idle Mode

When the SM1/SM0 bits are set to 00, the SLEEP instruction makes the MCU enter the Idle Mode, stopping the CPU but allowing SPI, UARTs, Analog Comparator, ADC, Timer/Counters, Watchdog and the interrupt system to continue operating. This enables the MCU to wake up from external triggered interrupts as well as internal ones like the Timer Overflow and UART Receive Complete interrupts. If wake-up from the Analog

Comparator Interrupt is not required, the Analog Comparator can be powered down by setting the ACD-bit in the Analog Comparator Control and Status Register (ACSR). This will reduce power consumption in Idle Mode. When the MCU wakes up from Idle Mode, the CPU starts program execution immediately.

Power-down Mode

When the SM1/SM0 bits are set to 10, the SLEEP instruction makes the MCU enter the Power-down mode. In this mode, the external oscillator is stopped while the external interrupts and the Watchdog (if enabled) continue operating. Only an external reset, a Watchdog reset (if enabled) or an external level interrupt can wake up the MCU.

Note that when a level-triggered interrupt is used for wake-up from power-down, the low level must be held for a time longer than the reset delay Time-out period t_{TOUT} .

When waking up from Power-down mode, a delay from the wake-up condition occurs until the wake-up becomes effective. This allows the clock to restart and become stable after having been stopped. The wake-up period is equal to the reset period, as shown in Table 3 on page 22.

If the wake-up condition disappears before the MCU wakes up and starts to execute, e.g., a low-level on is not held long enough, the interrupt causing the wake-up will not be executed.

Power Save Mode

When the SM1/SM0 bits are 11, the SLEEP instruction makes the MCU enter the Power Save Mode. This mode is identical to Power-down, with one exception: If Timer/Counter2 is clocked asynchronously, i.e., the AS2 bit in ASSR is set, Timer/Counter2 will run during sleep. In addition to the power-down wake-up sources, the device can also wake up from either a Timer Overflow or Output Compare event from Timer/Counter2 if the corresponding Timer/Counter2 interrupt enable bits are set in TIMSK and the global interrupt enable bit in SREG is set.

When waking up from Power Save Mode by an external interrupt, two instruction cycles are executed before the interrupt flags are updated. When waking up by the asynchronous timer, three instruction cycles are executed before the flags are updated. During these cycles, the processor executes instructions, but the interrupt condition is not readable and the interrupt routine has not started yet.

When waking up from Power Save Mode by an asynchronous timer interrupt, the part will wake up even if global interrupts are disabled. To ensure that the part executes the interrupt routine when waking up, also set the global interrupt enable bit in SREG.

If the asynchronous timer is not clocked asynchronously, Power-down mode is recommended instead of Power Save Mode because the contents of the registers in the asynchronous timer should be considered undefined after wake-up in Power Save Mode, even if AS2 is 0.

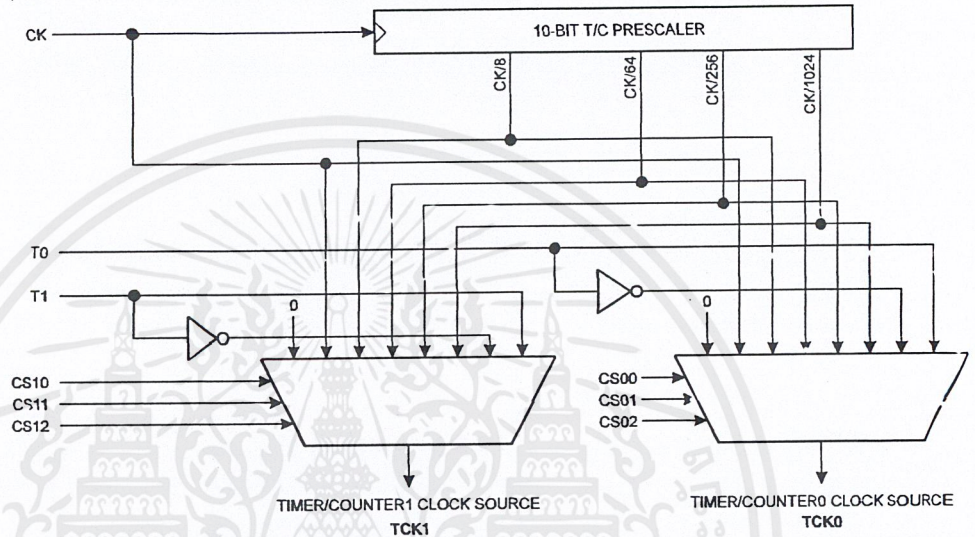


Timer/Counters

The AT90S8535 provides three general-purpose Timer/Counters – two 8-bit T/Cs and one 16-bit T/C. Timer/Counter2 can optionally be asynchronously clocked from an external oscillator. This oscillator is optimized for use with a 32.768 kHz watch crystal, enabling use of Timer/Counter2 as a Real-time Clock (RTC). Timer/Counters 0 and 1 have individual prescaling selection from the same 10-bit prescaling timer. Timer/Counter2 has its own prescaler. These Timer/Counters can either be used as a timer with an internal clock time base or as a counter with an external pin connection that triggers the counting.

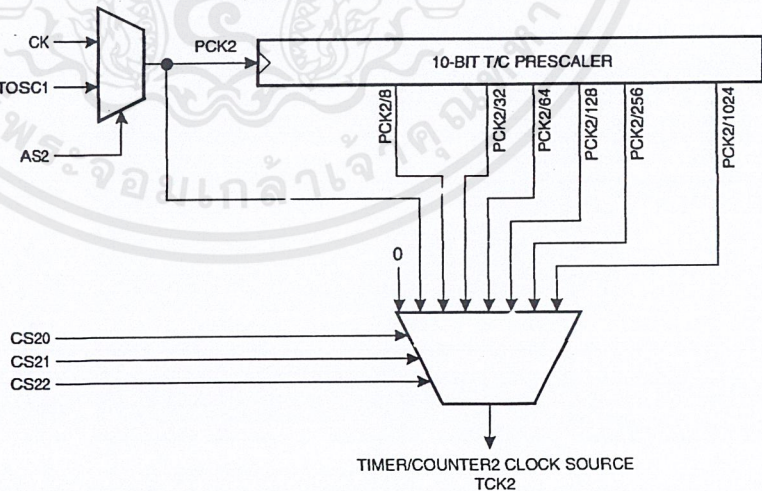
Timer/Counter Prescalers

Figure 28. Prescaler for Timer/Counter0 and 1



For Timer/Counters 0 and 1, the four different prescaled selections are: CK/8, CK/64, CK/256 and CK/1024, where CK is the oscillator clock. For the two Timer/Counters 0 and 1, CK, external source and stop can also be selected as clock sources.

Figure 29. Timer/Counter2 Prescaler



The clock source for Timer/Counter2 prescaler is named PCK2. PCK2 is by default connected to the main system clock (CK). By setting the AS2 bit in ASSR, Timer/Counter2 prescaler is asynchronously clocked from the PC6(TOSC1) pin. This enables use of Timer/Counter2 as a Real-time Clock (RTC). When AS2 is set, pins PC6(TOSC1) and PC7(TOSC2) are disconnected from Port C. A crystal can then be connected between the PC6(TOSC1) and PC7(TOSC2) pins to serve as an independent clock source for Timer/Counter2. The oscillator is optimized for use with a 32.768 kHz crystal. Applying an external clock source to TOSC1 is not recommended.

8-bit Timer/Counter0

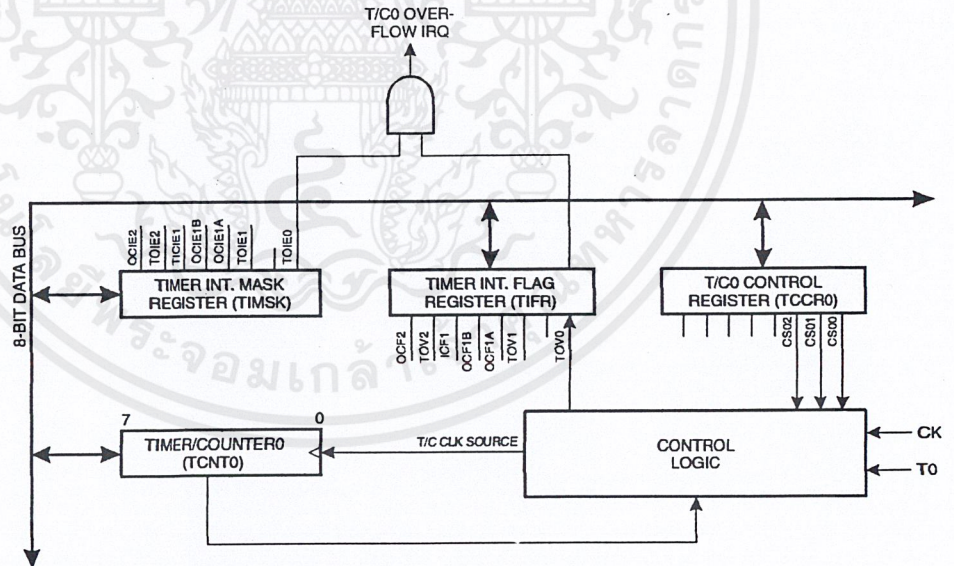
Figure 30 shows the block diagram for Timer/Counter0.

The 8-bit Timer/Counter0 can select clock source from CK, prescaled CK or an external pin. In addition, it can be stopped as described in the specification for the Timer/Counter0 Control Register (TCCR0). The overflow status flag is found in the Timer/Counter Interrupt Flag Register (TIFR). Control signals are found in the Timer/Counter0 Control Register (TCCR0). The interrupt enable/disable settings for Timer/Counter0 are found in the Timer/Counter Interrupt Mask Register (TIMSK).

When Timer/Counter0 is externally clocked, the external signal is synchronized with the oscillator frequency of the CPU. To assure proper sampling of the external clock, the minimum time between two external clock transitions must be at least one internal CPU clock period. The external clock signal is sampled on the rising edge of the internal CPU clock.

The 8-bit Timer/Counter0 features both a high-resolution and a high-accuracy usage with the lower prescaling opportunities. Similarly, the high prescaling opportunities make the Timer/Counter0 useful for lower speed functions or exact timing functions with infrequent actions.

Figure 30. Timer/Counter0 Block Diagram





Timer/Counter0 Control Register – TCCR0

Bit	7	6	5	4	3	2	1	0	
\$33 (\$53)	-	-	-	-	-	CS02	CS01	CS00	TCCR0
Read/Write	R	R	R	R	R	R/W	R/W	R/W	
Initial Value	0	0	0	0	0	0	0	0	

- **Bits 7..3 – Res: Reserved Bits**

These bits are reserved bits in the AT90S8535 and always read zero.

- **Bits 2, 1, 0 – CS02, CS01, CS00: Clock Select0, Bits 2, 1 and 0**

The Clock Select0 bits 2,1 and 0 define the prescaling source of Timer/Counter0.

Table 10. Clock 0 Prescale Select

CS02	CS01	CS00	Description
0	0	0	Stop, Timer/Counter0 is stopped.
0	0	1	CK
0	1	0	CK/8
0	1	1	CK/64
1	0	0	CK/256
1	0	1	CK/1024
1	1	0	External Pin T0, falling edge
1	1	1	External Pin T0, rising edge

The Stop condition provides a Timer Enable/Disable function. The prescaled CK modes are scaled directly from the CK oscillator clock. If the external pin modes are used, the corresponding setup must be performed in the actual Data Direction Control Register (cleared to zero gives an input pin).

Timer Counter 0 – TCNT0

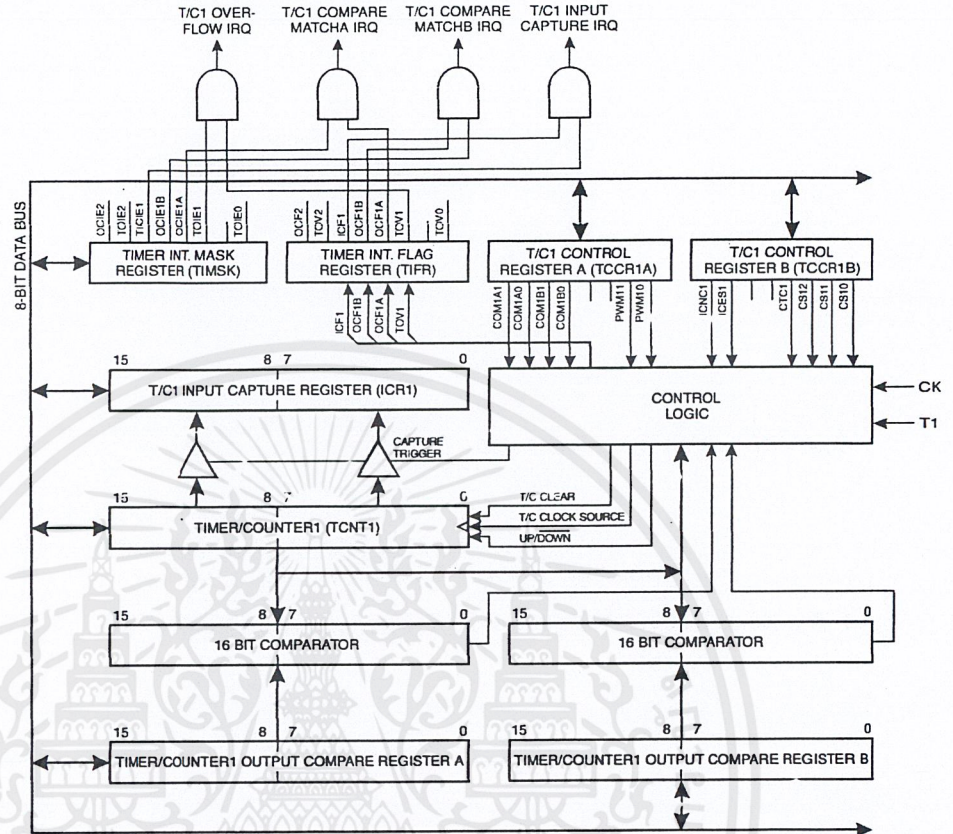
Bit	7	6	5	4	3	2	1	0	
\$32 (\$52)	MSB							LSB	TCNT0
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
Initial Value	0	0	0	0	0	0	0	0	

The Timer/Counter0 is realized as an up-counter with read and write access. If the Timer/Counter0 is written and a clock source is present, the Timer/Counter0 continues counting in the clock cycle following the write operation.

16-bit Timer/Counter1

Figure 31 shows the block diagram for Timer/Counter1.

Figure 31. Timer/Counter1 Block Diagram



The 16-bit Timer/Counter1 can select clock source from CK, prescaled CK or an external pin. In addition, it can be stopped as described in the specification for the Timer/Counter1 Control Registers (TCCR1A and TCCR1B). The different status flags (Overflow, Compare Match and Capture Event) and control signals are found in the Timer/Counter1 Control Registers (TCCR1A and TCCR1B). The interrupt enable/disable settings for Timer/Counter1 are found in the Timer/Counter Interrupt Mask Register (TIMSK).

When Timer/Counter1 is externally clocked, the external signal is synchronized with the oscillator frequency of the CPU. To assure proper sampling of the external clock, the minimum time between two external clock transitions must be at least one internal CPU clock period. The external clock signal is sampled on the rising edge of the internal CPU clock.

The 16-bit Timer/Counter1 features both a high-resolution and a high-accuracy usage with the lower prescaling opportunities. Similarly, the high prescaling opportunities makes the Timer/Counter1 useful for lower speed functions or exact timing functions with infrequent actions.

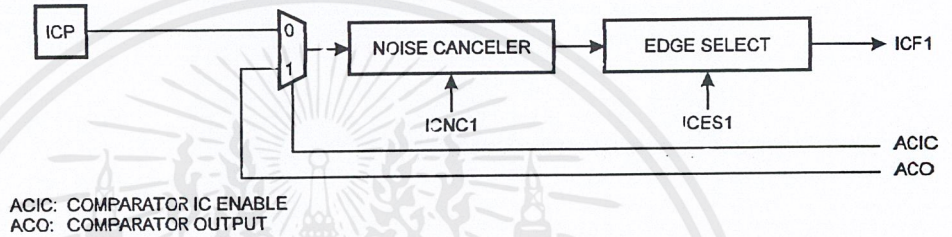
The Timer/Counter1 supports two Output Compare functions using the Output Compare Register 1A and B (OCR1A and OCR1B) as the data sources to be compared to the Timer/Counter1 contents. The Output Compare functions include optional clearing of

the counter on compareA match and actions on the Output Compare pins on both compare matches.

Timer/Counter1 can also be used as an 8-, 9- or 10-bit Pulse Width Modulator. In this mode the counter and the OCR1A/OCR1B registers serve as a dual glitch-free stand-alone PWM with centered pulses. Refer to page 40 for a detailed description of this function.

The Input Capture function of Timer/Counter1 provides a capture of the Timer/Counter1 contents to the Input Capture Register (ICR1), triggered by an external event on the Input Capture Pin (ICP). The actual capture event settings are defined by the Timer/Counter1 Control Register (TCCR1B). In addition, the Analog Comparator can be set to trigger the input capture. Refer to “Analog Comparator” on page 66 for details on this. The ICP pin logic is shown in Figure 32.

Figure 32. ICP Pin Schematic Diagram



If the Noise Canceler function is enabled, the actual trigger condition for the capture event is monitored over four samples and all four must be equal to activate the capture flag. The input pin signal is sampled at XTAL clock frequency.

Timer/Counter1 Control Register A – TCCR1A

Bit	7	6	5	4	3	2	1	0	
\$2F (\$4F)	COM1A1	COM1A0	COM1B1	COM1B0	–	–	PWM11	PWM10	TCCR1A
Read/Write	R/W	R/W	R/W	R/W	R	R	R/W	R/W	
Initial Value	0	0	0	0	0	0	0	0	

• **Bits 7, 6 – COM1A1, COM1A0: Compare Output Mode1A, Bits 1 and 0**

The COM1A1 and COM1A0 control bits determine any output pin action following a compare match in Timer/Counter1. Any output pin actions affect pin OC1A (Output CompareA pin 1). This is an alternative function to an I/O port and the corresponding direction control bit must be set (one) to control an output pin. The control configuration is shown in Table 11.

• **Bits 5, 4 – COM1B1, COM1B0: Compare Output Mode1B, Bits 1 and 0**

The COM1B1 and COM1B0 control bits determine any output pin action following a compare match in Timer/Counter1. Any output pin actions affect pin OC1B (Output CompareB). This is an alternative function to an I/O port and the corresponding direction control bit must be set (one) to control an output pin. The control configuration is given in Table 11.

Table 11. Compare 1 Mode Select

COM1X1	COM1X0	Description
0	0	Timer/Counter1 disconnected from output pin OC1X
0	1	Toggle the OC1X output line.
1	0	Clear the OC1X output line (to zero).
1	1	Set the OC1X output line (to one).

Note: X = A or B.

In PWM mode, these bits have a different function. Refer to Table 15 for a detailed description. When changing the COM1X1/COM1X0 bits, Output Compare Interrupt 1 must be disabled by clearing their Interrupt Enable bits in the TIMSK Register. Otherwise an interrupt can occur when the bits are changed.

• **Bits 3..2 – Res: Reserved Bits**

These bits are reserved bits in the AT90S8535 and always read zero.

• **Bits 1..0 – PWM11, PWM10: Pulse Width Modulator Select Bits**

These bits select PWM operation of Timer/Counter1 as specified in Table 12. This mode is described on page 40.

Table 12. PWM Mode Select

PWM11	PWM10	Description
0	0	PWM operation of Timer/Counter1 is disabled
0	1	Timer/Counter1 is an 8-bit PWM
1	0	Timer/Counter1 is a 9-bit PWM
1	1	Timer/Counter1 is a 10-bit PWM

Timer/Counter1 Control Register B – TCCR1B

Bit	7	6	5	4	3	2	1	0	TCCR1B
\$2E (\$4E)	ICNC1	ICES1	–	–	CTC1	CS12	CS11	CS10	
Read/Write	R/W	R/W	R	R	R/W	R/W	R/W	R/W	
Initial Value	0	0	0	0	0	0	0	0	

• **Bit 7 – ICNC1: Input Capture1 Noise Canceler (4 CKs)**

When the ICNC1 bit is cleared (zero), the Input Capture Trigger Noise Canceler function is disabled. The input capture is triggered at the first rising/falling edge sampled on the ICP (input capture pin) as specified. When the ICNC1 bit is set (one), four successive samples are measured on the ICP (input capture pin), and all samples must be high/low according to the input capture trigger specification in the ICES1 bit. The actual sampling frequency is XTAL clock frequency.

• **Bit 6 – ICES1: Input Capture1 Edge Select**

While the ICES1 bit is cleared (zero), the Timer/Counter1 contents are transferred to the Input Capture Register (ICR1) on the falling edge of the input capture pin (ICP). While the ICES1 bit is set (one), the Timer/Counter1 contents are transferred to the Input Capture Register (ICR1) on the rising edge of the input capture pin (ICP).

• **Bits 5, 4 – Res: Reserved Bits**

These bits are reserved bits in the AT90S8535 and always read zero.



• **Bit 3 – CTC1: Clear Timer/Counter1 on Compare Match**

When the CTC1 control bit is set (one), the Timer/Counter1 is reset to \$0000 in the clock cycle after a compareA match. If the CTC1 control bit is cleared, Timer/Counter1 continues counting and is unaffected by a compare match. Since the compare match is detected in the CPU clock cycle following the match, this function will behave differently when a prescaling higher than 1 is used for the timer. When a prescaling of 1 is used and the compareA register is set to C, the timer will count as follows if CTC1 is set:

... | C-2 | C-1 | C | 0 | 1 | 1 | ...

When the prescaler is set to divide by 8, the timer will count like this:

... | C-2, C-2, C-2, C-2, C-2, C-2, C-2, C-2 | C-1, C-1, C-1, C-1, C-1, C-1, C-1, C-1 | C, 0, 0, 0, 0, 0 | 1, 1, 1, 1, 1, 1, 1, 1 | ...

In PWM mode, this bit has no effect.

• **Bits 2, 1, 0 – CS12, CS11, CS10: Clock Select1, Bits 2, 1 and 0**

The Clock Select1 bits 2, 1 and 0 define the prescaling source of Timer/Counter1.

Table 13. Clock 1 Prescale Select

CS12	CS11	CS10	Description
0	0	0	Stop, the Timer/Counter1 is stopped.
0	0	1	CK
0	1	0	CK/8
0	1	1	CK/64
1	0	0	CK/256
1	0	1	CK/1024
1	1	0	External Pin T1, falling edge
1	1	1	External Pin T1, rising edge

The Stop condition provides a Timer Enable/Disable function. The CK down divided modes are scaled directly from the CK oscillator clock. If the external pin modes are used, the corresponding setup must be performed in the actual Direction Control Register (cleared to zero gives an input pin).

Timer/Counter1 – TCNT1H AND TCNT1L

Bit	15	14	13	12	11	10	9	8	
\$2D (\$4D)	MSB								TCNT1H TCNT1L
\$2C (\$4C)	LSB								
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
Initial Value	0	0	0	0	0	0	0	0	
	0	0	0	0	0	0	0	0	

This 16-bit register contains the prescaled value of the 16-bit Timer/Counter1. To ensure that both the high and low bytes are read and written simultaneously when the CPU accesses these registers, the access is performed using an 8-bit temporary register (TEMP). This temporary register is also used when accessing OCR1A, OCR1B and ICR1. If the main program and also interrupt routines perform access to registers using

TEMP, interrupts must be disabled during access from the main program (and from interrupt routines if interrupts are allowed from within interrupt routines).

- **TCNT1 Timer/Counter1 Write:**
When the CPU writes to the high byte TCNT1H, the written data is placed in the TEMP register. Next, when the CPU writes the low byte TCNT1L, this byte of data is combined with the byte data in the TEMP register, and all 16 bits are written to the TCNT1 Timer/Counter1 register simultaneously. Consequently, the high byte TCNT1H must be accessed first for a full 16-bit register write operation.
- **TCNT1 Timer/Counter1 Read:**
When the CPU reads the low byte TCNT1L, the data of the low byte TCNT1L is sent to the CPU and the data of the high byte TCNT1H is placed in the TEMP register. When the CPU reads the data in the high byte TCNT1H, the CPU receives the data in the TEMP register. Consequently, the low byte TCNT1L must be accessed first for a full 16-bit register read operation.

The Timer/Counter1 is realized as an up or up/down (in PWM mode) counter with read and write access. If Timer/Counter1 is written to and a clock source is selected, the Timer/Counter1 continues counting in the timer clock cycle after it is preset with the written value.

Timer/Counter1 Output Compare Register – OCR1AH AND OCR1AL

Bit	15	14	13	12	11	10	9	8		
\$2B (\$4B)	MSB									OCR1AH
\$2A (\$4A)								LSB	OCR1AL	
	7	6	5	4	3	2	1	0		
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
Initial Value	0	0	0	0	0	0	0	0		

Timer/Counter1 Output Compare Register – OCR1BH AND OCR1BL

Bit	15	14	13	12	11	10	9	8		
\$29 (\$49)	MSB									OCR1BH
\$28 (\$48)								LSB	OCR1BL	
	7	6	5	4	3	2	1	0		
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
Initial Value	0	0	0	0	0	0	0	0		

The output compare registers are 16-bit read/write registers.

The Timer/Counter1 Output Compare registers contain the data to be continuously compared with Timer/Counter1. Actions on compare matches are specified in the Timer/Counter1 Control and Status registers. A compare match only occurs if Timer/Counter1 counts to the OCR value. A software write that sets TCNT1 and OCR1A or OCR1B to the same value does not generate a compare match.

A compare match will set the compare interrupt flag in the CPU clock cycle following the compare event. Writing to PORTD5 and PORTD4 sets the OC1A and OC1B values correspondingly.

Since the Output Compare Registers (OCR1A and OCR1B) are 16-bit registers, a temporary register (TEMP) is used when OCR1A/B are written to ensure that both bytes are updated simultaneously. When the CPU writes the high byte, OCR1AH or OCR1BH, the



data is temporarily stored in the TEMP register. When the CPU writes the low byte, OCR1AL or OCR1BL, the TEMP register is simultaneously written to OCR1AH or OCR1BH. Consequently, the high byte OCR1AH or OCR1BH must be written first for a full 16-bit register write operation.

The TEMP register is also used when accessing TCNT1 and ICR1. If the main program and interrupt routines perform access to registers using TEMP, interrupts must be disabled during access from the main program.

Timer/Counter1 Input Capture Register – ICR1H AND ICR1L

Bit	15	14	13	12	11	10	9	8		
\$27 (\$47)	MSB									ICR1H
\$26 (\$46)								LSB	ICR1L	
	7	6	5	4	3	2	1	0		
Read/Write	R	R	R	R	R	R	R	R		
	R	R	R	R	R	R	R	R		
Initial Value	0	0	0	0	0	0	0	0		
	0	0	0	0	0	0	0	0		

The Input Capture Register is a 16-bit read-only register.

When the rising or falling edge (according to the input capture edge setting [ICES1]) of the signal at the input capture pin (ICP) is detected, the current value of the Timer/Counter1 is transferred to the Input Capture Register (ICR1). At the same time, the input capture flag (ICF1) is set (one).

Since the Input Capture Register (ICR1) is a 16-bit register, a temporary register (TEMP) is used when ICR1 is read to ensure that both bytes are read simultaneously. When the CPU reads the low byte ICR1L, the data is sent to the CPU and the data of the high byte ICR1H is placed in the TEMP register. When the CPU reads the data in the high byte ICR1H, the CPU receives the data in the TEMP register. Consequently, the low-byte ICR1L must be accessed first for a full 16-bit register read operation.

The TEMP register is also used when accessing TCNT1, OCR1A and OCR1B. If the main program and interrupt routines perform access to registers using TEMP, interrupts must be disabled during access from the main program.

Timer/Counter1 In PWM Mode

When the PWM mode is selected, Timer/Counter1, the Output Compare Register1A (OCR1A) and the Output Compare Register1B (OCR1B) form a dual 8-, 9- or 10-bit, free-running, glitch-free and phase-correct PWM with outputs on the PD5(OC1A) and PD4(OC1B) pins. Timer/Counter1 acts as an up/down counter, counting up from \$0000 to TOP (see Table 14), where it turns and counts down again to zero before the cycle is repeated. When the counter value matches the contents of the 10 least significant bits of OCR1A or OCR1B, the PD5(OC1A)/PD4(OC1B) pins are set or cleared according to the settings of the COM1A1/COM1A0 or COM1B1/COM1B0 bits in the Timer/Counter1 Control Register (TCCR1A). Refer to Table 15 for details.

Table 14. Timer TOP Values and PWM Frequency

PWM Resolution	Timer TOP value	Frequency
8-bit	\$00FF (255)	$f_{TCK1}/510$
9-bit	\$01FF (511)	$f_{TCK1}/1022$
10-bit	\$03FF(1023)	$f_{TCK1}/2046$

Note that if the Compare Register contains the TOP value and the prescaler is not in use (CS12..CS10 = 001), the PWM output will not produce any pulse at all, because the up-counting and down-counting values are reached simultaneously. When the prescaler is in use (CS12..CS10 ≠ 001 or 000), the PWM output goes active when the counter reaches TOP value, but the down-counting compare match is not interpreted to be reached before the next time the counter reaches the TOP value, making a one-period PWM pulse.

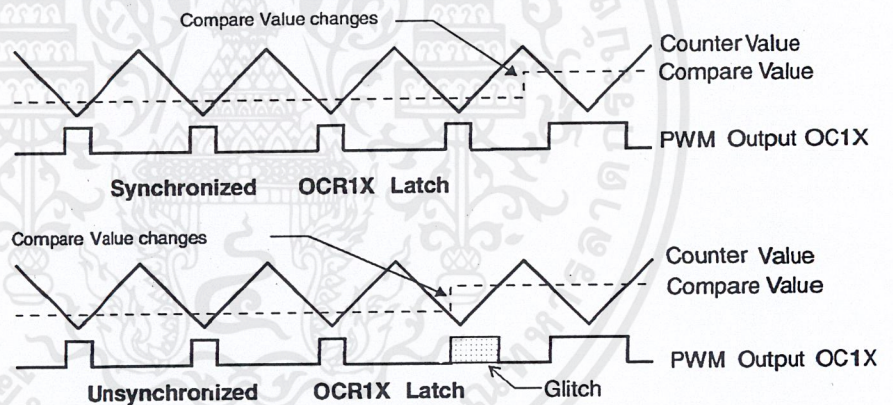
Table 15. Compare1 Mode Select in PWM Mode

COM1X1	COM1X0	Effect on OCX1
0	0	Not connected
0	1	Not connected
1	0	Cleared on compare match, up-counting. Set on compare match, down-counting (non-inverted PWM).
1	1	Cleared on compare match, down-counting. Set on compare match, up-counting (inverted PWM)

Note: X = A or B

Note that in the PWM mode, the 10 least significant OCR1A/OCR1B bits, when written, are transferred to a temporary location. They are latched when Timer/Counter1 reaches the value TOP. This prevents the occurrence of odd-length PWM pulses (glitches) in the event of an unsynchronized OCR1A/OCR1B write. See Figure 33 for an example.

Figure 33. Effects of Unsynchronized OCR1 Latching



Note: X = A or B

During the time between the write and the latch operations, a read from OCR1A or OCR1B will read the contents of the temporary location. This means that the most recently written value always will read out of OCR1A/B.

When the OCR1A/OCR1B contains \$0000 or TOP, the output OC1A/OC1B is updated to low or high on the next compare match according to the settings of COM1A1/COM1A0 or COM1B1/COM1B0. This is shown in Table 16.

Table 16. PWM Outputs OCR1X = \$0000 or TOP

COM1X1	COM1X0	OCR1X	Output OC1X
1	0	\$0000	L
1	0	TOP	H
1	1	\$0000	H
1	1	TOP	L

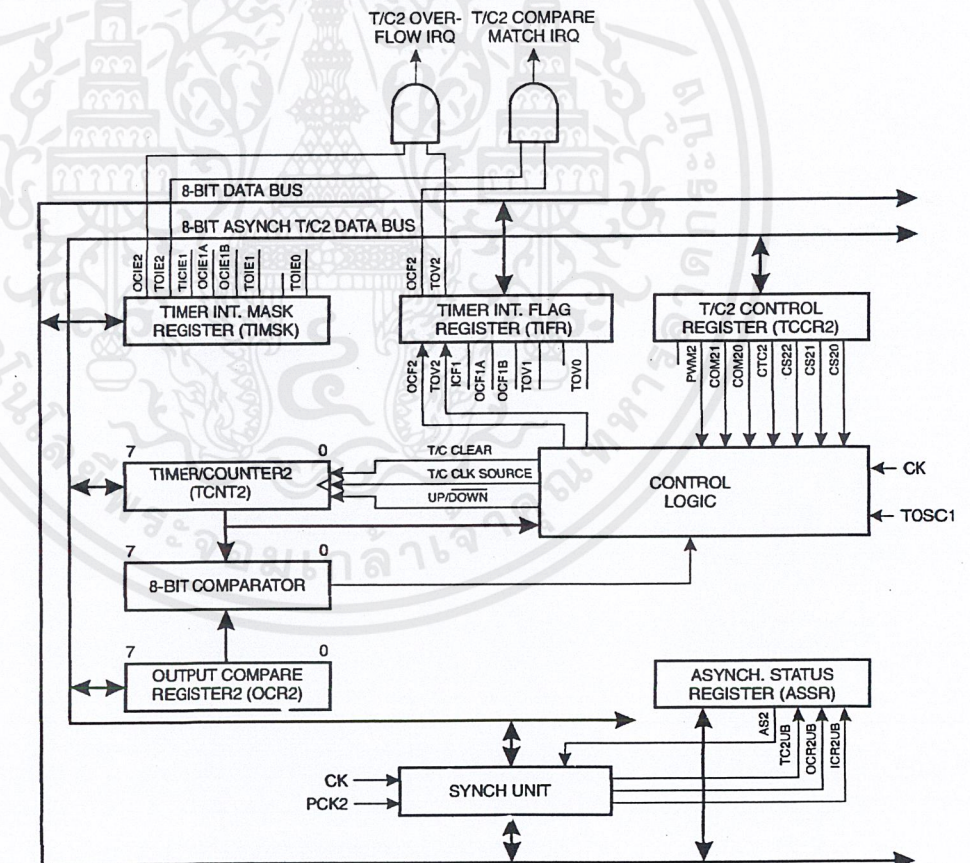
Note: X = A

In PWM mode, the Timer Overflow Flag1 (TOV1) is set when the counter advances from \$0000. Timer Overflow Interrupt1 operates exactly as in normal Timer/Counter mode, i.e., it is executed when TOV1 is set, provided that Timer Overflow Interrupt1 and global interrupts are enabled. This also applies to the Timer Output Compare1 flags and interrupts.

8-bit Timer/Counter2

Figure 34 shows the block diagram for: Timer/Counter2.

Figure 34. Timer/Counter2 Block Diagram



The 8-bit Timer/Counter2 can select clock source from PCK2 or prescaled PCK2. It can also be stopped as described in the specification for the Timer/Counter Control Register (TCCR2).

The different status flags (Overflow and Compare Match) are found in the Timer/Counter Interrupt Flag Register (TIFR). Control signals are found in the Timer/Counter Control Register (TCCR2). The interrupt enable/disable settings are found in the Timer/Counter Interrupt Mask Register (TIMSK).

This module features a high-resolution and a high-accuracy usage with the lower prescaling opportunities. Similarly, the high prescaling opportunities make this unit useful for lower speed functions or exact timing functions with infrequent actions.

The Timer/Counter supports an Output Compare function using the Output Compare Register (OCR2) as the data source to be compared to the Timer/Counter contents. The Output Compare function includes optional clearing of the counter on compare match and action on the Output Compare Pin, PD7(OC2), on compare match. Writing to PORTD7 does not set the OC2 value to a predetermined value.

Timer/Counter2 can also be used as an 8-bit Pulse Width Modulator. In this mode, Timer/Counter2 and the Output Compare Register serve as a glitch-free, stand-alone PWM with centered pulses. Refer to page 45 for a detailed description of this function.

Timer/Counter2 Control Register – TCCR2

Bit	7	6	5	4	3	2	1	0	
\$25 (\$45)	-	PWM2	COM21	COM20	CTC2	CS22	CS21	CS20	TCCR2
Read/Write	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
Initial Value	0	0	0	0	0	0	0	0	

• **Bit 7 – Res: Reserved Bit**

This bit is a reserved bit in the AT90S8535 and always reads as zero.

• **Bit 6 – PWM2: Pulse Width Modulator Enable**

When set (one), this bit enables PWM mode for Timer/Counter2. This mode is described on page 45.

• **Bits 5, 4 – COM21, COM20: Compare Output Mode, Bits 1 and 0**

The COM21 and COM20 control bits determine any output pin action following a compare match in Timer/Counter2. Output pin actions affect pin PD7(OC2). This is an alternative function to an I/O port and the corresponding direction control bit must be set (one) to control an output pin. The control configuration is shown in Table 17.

Table 17. Compare Mode Select

COM21	COM20	Description
0	0	Timer/Counter disconnected from output pin OC2
0	1	Toggle the OC2 output line.
1	0	Clear the OC2 output line (to zero).
1	1	Set the OC2 output line (to one).

Note: In PWM mode, these bits have a different function. Refer to Table 19 for a detailed description.

• **Bit 3 – CTC2: Clear Timer/Counter on Compare Match**

When the CTC2 control bit is set (one), Timer/Counter2 is reset to \$00 in the CPU clock cycle after a compare match. If the control bit is cleared, Timer/Counter2 continues



counting and is unaffected by a compare match. Since the compare match is detected in the CPU clock cycle following the match, this function will behave differently when a prescaling higher than 1 is used for the timer. When a prescaling of 1 is used and the compare2 register is set to C, the timer will count as follows if CTC2 is set:

... | C-2 | C-1 | C | 0 | 1 | 1 | ...

When the prescaler is set to divide by 8, the timer will count like this:

... | C-2, C-2, C-2, C-2, C-2, C-2, C-2, C-2 | C-1, C-1, C-1, C-1, C-1, C-1, C-1, C-1 | C, 0, 0, 0, 0, 0, 0 | 1, 1, 1, ...

In PWM mode, this bit has no effect.

- **Bits 2, 1, 0 – CS22, CS21, CS20: Clock Select Bits 2, 1 and 0**

The Clock Select bits 2, 1 and 0 define the prescaling source of Timer/Counter2.

Table 18. Timer/Counter2 Prescale Select

CS22	CS21	CS20	Description
0	0	0	Timer/Counter2 is stopped.
0	0	1	PCK2
0	1	0	PCK2/ 8
0	1	1	PCK2/ 32
1	0	0	PCK2/ 64
1	0	1	PCK2/128
1	1	0	PCK2/256
1	1	1	PCK2/1024

The Stop condition provides a Timer Enable/Disable function. The prescaled CK modes are scaled directly from the CK oscillator clock.

Timer/Counter2 – TCNT2

Bit	7	6	5	4	3	2	1	0	
\$24 (\$44)	MSB							LSB	TCNT2
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
Initial Value	0	0	0	0	0	0	0	0	

This 8-bit register contains the value of Timer/Counter2.

Timer/Counter2 is realized as an up or up/down (in PWM mode) counter with read and write access. If the Timer/Counter2 is written to and a clock source is selected, it continues counting in the timer clock cycle following the write operation.

Timer/Counter2 Output Compare Register – OCR2

Bit	7	6	5	4	3	2	1	0	
\$23 (\$43)	MSB							LSB	OCR2
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
Initial Value	0	0	0	0	0	0	0	0	

The Output Compare Register is an 8-bit read/write register.

The Timer/Counter Output Compare Register contains the data to be continuously compared with Timer/Counter2. Actions on compare matches are specified in TCCR2. A compare match only occurs if Timer/Counter2 counts to the OCR2 value. A software

write that sets TCNT2 and OCR2 to the same value does not generate a compare match.

A compare match will set the compare interrupt flag in the CPU clock cycle following the compare event.

Timer/Counter2 in PWM Mode

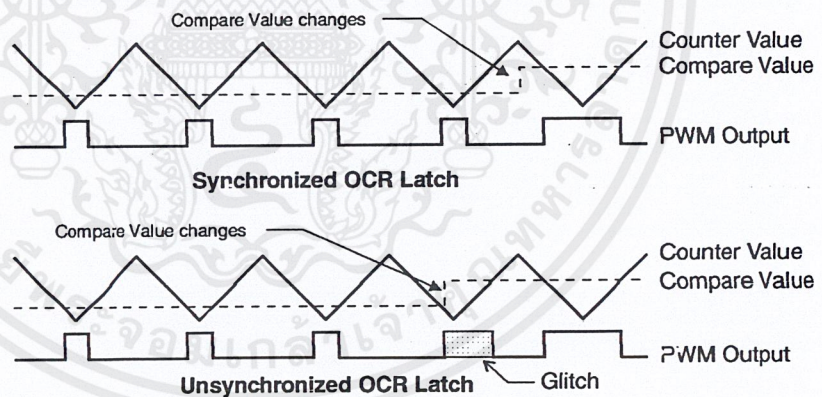
When the PWM mode is selected, Timer/Counter2 and the Output Compare Register (OCR2) form an 8-bit, free-running, glitch-free and phase correct PWM with outputs on the PD7(OC2) pin. Timer/Counter2 acts as an up/down counter, counting up from \$00 to \$FF, where it turns and counts down again to zero before the cycle is repeated. When the counter value matches the contents of the Output Compare Register, the PD7(OC2) pin is set or cleared according to the settings of the COM21/COM20 bits in the Timer/Counter2 Control Register (TCCR2). Refer to Table 19 for details.

Table 19. Compare Mode Select in PWM Mode

COM21	COM20	Effect on Compare Pin
0	0	Not connected
0	1	Not connected
1	0	Cleared on compare match, up-counting. Set on compare match, down-counting (non-inverted PWM).
1	1	Cleared on compare match, down-counting time-out. Set on compare match, up-counting (inverted PWM).

Note that in PWM mode, the Output Compare Register is transferred to a temporary location when written. The value is latched when the Timer/Counter reaches \$FF. This prevents the occurrence of odd-length PWM pulses (glitches) in the event of an unsynchronized OCR2 write. See Figure 35 for an example.

Figure 35. Effects of Unsynchronized OCR Latching



During the time between the write and the latch operation, a read from OCR2 will read the contents of the temporary location. This means that the most recently written value always will read out of OCR2.



When the OCR register (not the temporary register) is updated to \$00 or \$FF, the PWM output changes to low or high immediately according to the settings of COM21/COM20. This is shown in Table 20.

Table 20. PWM Outputs OCR2 = \$00 or \$FF

COM21	COM20	OCR2	Output PWM2
1	0	\$00	L
1	0	\$FF	H
1	1	\$00	H
1	1	\$FF	L

In PWM mode, the Timer Overflow Flag (TOV2) is set when the counter advances from \$00. Timer Overflow Interrupt2 operates exactly as in normal Timer/Counter mode, i.e., it is executed when TOV2 is set, provided that Timer Overflow Interrupt and global interrupts are enabled. This also applies to the Timer Output Compare flag and interrupt.

The frequency of the PWM will be Timer Clock Frequency divided by 510.

Asynchronous Status Register – ASSR

Bit	7	6	5	4	3	2	1	0	
\$22 (\$22)	–	–	–	–	AS2	TCN2UB	OCR2UB	TCR2UB	ASSR
Read/Write	R	R	R	R	R/W	R	R	R	
Initial Value	0	0	0	0	0	0	0	0	

• **Bit 7..4 – Res: Reserved Bits**

These bits are reserved bits in the AT90S8535 and always read as zero.

• **Bit 3 – AS2: Asynchronous Timer/Counter2**

When AS2 is set (one), Timer/Counter2 is clocked from the TOSC1 pin. Pins PC6 and PC7 become connected to a crystal oscillator and cannot be used as general I/O pins. When cleared (zero), Timer/Counter2 is clocked from the internal system clock, CK. When the value of this bit is changed, the contents of TCNT2, OCR2 and TCCR2 might get corrupted.

• **Bit 2 – TCN2UB: Timer/Counter2 Update Busy**

When Timer/Counter2 operates asynchronously and TCNT2 is written, this bit becomes set (one). When TCNT2 has been updated from the temporary storage register, this bit is cleared (zero) by hardware. A logical “0” in this bit indicates that TCNT2 is ready to be updated with a new value.

• **Bit 1 – OCR2UB: Output Compare Register2 Update Busy**

When Timer/Counter2 operates asynchronously and OCR2 is written, this bit becomes set (one). When OCR2 has been updated from the temporary storage register, this bit is cleared (zero) by hardware. A logical “0” in this bit indicates that OCR2 is ready to be updated with a new value.

• **Bit 0 – TCR2UB: Timer/Counter Control Register2 Update Busy**

When Timer/Counter2 operates asynchronously and TCCR2 is written, this bit becomes set (one). When TCCR2 has been updated from the temporary storage register, this bit is cleared (zero) by hardware. A logical “0” in this bit indicates that TCCR2 is ready to be updated with a new value.

If a write is performed to any of the three Timer/Counter2 registers while its Update Busy flag is set (one), the updated value might get corrupted and cause an unintentional interrupt to occur.

The mechanisms for reading TCNT2, OCR2 and TCCR2 are different. When reading TCNT2, the actual timer value is read. When reading OCR2 or TCCR2, the value in the temporary storage register is read.

Asynchronous Operation of Timer/Counter2

When Timer/Counter2 operates asynchronously, some considerations must be taken.

- **Warning:** When switching between asynchronous and synchronous clocking of Timer/Counter2, the timer registers TCNT2, OCR2 and TCCR2 might get corrupted. A safe procedure for switching clock source is:
 1. Disable the Timer/Counter2 interrupts OCIE2 and TOIE2.
 2. Select clock source by setting AS2 as appropriate.
 3. Write new values to TCNT2, OCR2 and TCCR2.
 4. To switch to asynchronous operation: Wait for TCN2UB, OCR2UB and TCR2UB.
 5. Clear the Timer/Counter2 interrupt flags.
 6. Clear the TOV2 and OCF2 flags in TIFR.
 7. Enable interrupts, if needed.
- When writing to one of the registers TCNT2, OCR2 or TCCR2, the value is transferred to a temporary register and latched after two positive edges on TOSC1. The user should not write a new value before the contents of the temporary register have been transferred to their destination. Each of the three mentioned registers have their individual temporary register. For example, writing to TCNT2 does not disturb an OCR2 write in progress. To detect that a transfer to the destination register has taken place, an Asynchronous Status Register (ASSR) has been implemented.
- When entering a Power Save Mode after having written to TCNT2, OCR2 or TCCR2, the user must wait until the written register has been updated if Timer/Counter2 is used to wake up the device. Otherwise, the MCU will go to sleep before the changes have had any effect. This is extremely important if the Output Compare2 interrupt is used to wake up the device; Output Compare is disabled during write to OCR2 or TCNT2. If the write cycle is not finished (i.e., the user goes to sleep before the OCR2UB bit returns to zero), the device will never get a compare match and the MCU will not wake up.
- If Timer/Counter2 is used to wake up the device from Power Save Mode, precautions must be taken if the user wants to re-enter Power Save Mode: The interrupt logic needs one TOSC1 cycle to be reset. If the time between wake up and re-entering Power Save Mode is less than one TOSC1 cycle, the interrupt will not occur and the device will fail to wake up. If the user is in doubt whether the time before re-entering Power Save is sufficient, the following algorithm can be used to ensure that one TOSC1 cycle has elapsed:
 1. Write a value to TCCR2, TCNT2 or OCR2.
 2. Wait until the corresponding Update Busy flag in ASSR returns to zero.
 3. Enter Power Save Mode.
- When the asynchronous operation is selected, the 32 kHz oscillator for Timer/Counter2 is always running, except in Power-down mode. After a power-up reset or wake-up from power-down, the user should be aware of the fact that this oscillator might take as long as one second to stabilize. The user is advised to wait

for at least one second before using Timer/Counter2 after power-up or wake-up from power-down. The content of all Timer/Counter2 registers must be considered lost after a wake-up from power-down due to the unstable clock signal upon start-up, regardless of whether the oscillator is in use or a clock signal is applied to the TOSC pin.

- Description of wake-up from Power Save Mode when the timer is clocked asynchronously: When the interrupt condition is met, the wake-up process is started on the following cycle of the timer clock, that is, the timer is always advanced by at least one before the processor can read the counter value. After wake-up, the MCU is halted for four cycles, it executes the interrupt routine, and resumes execution from the instruction following SLEEP.
- During asynchronous operation, the synchronization of the interrupt flags for the asynchronous timer takes three processor cycles plus one timer cycle. The timer is therefore advanced by at least 1 before the processor can read the timer value causing the setting of the interrupt flag. The output compare pin is changed on the timer clock and is not synchronized to the processor clock.

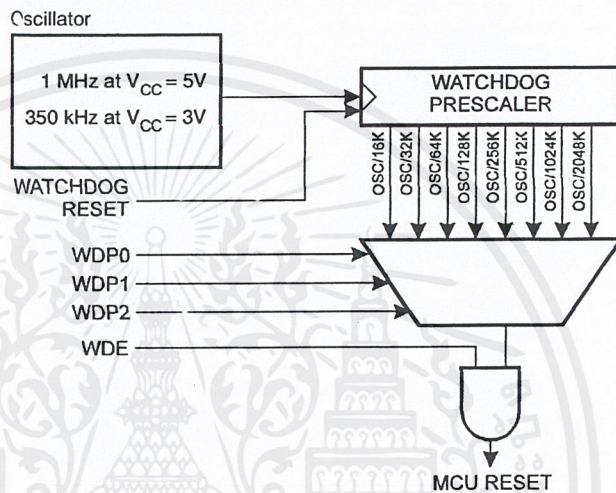


Watchdog Timer

The Watchdog Timer is clocked from a separate On-chip oscillator. By controlling the Watchdog Timer prescaler, the Watchdog reset interval can be adjusted as shown in Table 21. See characterization data for typical values at other V_{CC} levels. The WDR (Watchdog Reset) instruction resets the Watchdog Timer. Eight different clock cycle periods can be selected to determine the reset period. If the reset period expires without another Watchdog reset, the AT90S8535 resets and executes from the reset vector. For timing details on the Watchdog reset, refer to page 22.

To prevent unintentional disabling of the Watchdog, a special turn-off sequence must be followed when the Watchdog is disabled. Refer to the description of the Watchdog Timer Control Register for details.

Figure 36. Watchdog Timer



Watchdog Timer Control Register – WDTCR

Bit	7	6	5	4	3	2	1	0	
\$21 (\$41)	-	-	-	WDTOE	WDE	WDP2	WDP1	WDP0	WDTCR
Read/Write	R	R	R	R/W	R/W	R/W	R/W	R/W	
Initial Value	0	0	0	0	0	0	0	0	

- **Bits 7..5 – Res: Reserved Bits**

These bits are reserved bits in the AT90S8535 and will always read as zero.

- **Bit 4 – WDTOE: Watchdog Turn-off Enable**

This bit must be set (one) when the WDE bit is cleared. Otherwise, the Watchdog will not be disabled. Once set, hardware will clear this bit to zero after four clock cycles. Refer to the description of the WDE bit for a Watchdog disable procedure.

- **Bit 3 – WDE: Watchdog Enable**

When the WDE is set (one) the Watchdog Timer is enabled and if the WDE is cleared (zero) the Watchdog Timer function is disabled. WDE can only be cleared if the WDTOE bit is set (one). To disable an enabled Watchdog Timer, the following procedure must be followed:

1. In the same operation, write a logical “1” to WDTOE and WDE. A logical “1” must be written to WDE even though it is set to “1” before the disable operation starts.
2. Within the next four clock cycles, write a logical “0” to WDE. This disables the Watchdog.

• **Bits 2..0 – WDP2, WDP1, WDP0: Watchdog Timer Prescaler 2, 1 and 0**

The WDP2, WDP1 and WDP0 bits determine the Watchdog Timer prescaling when the Watchdog Timer is enabled. The different prescaling values and their corresponding time-out periods are shown in Table 21.

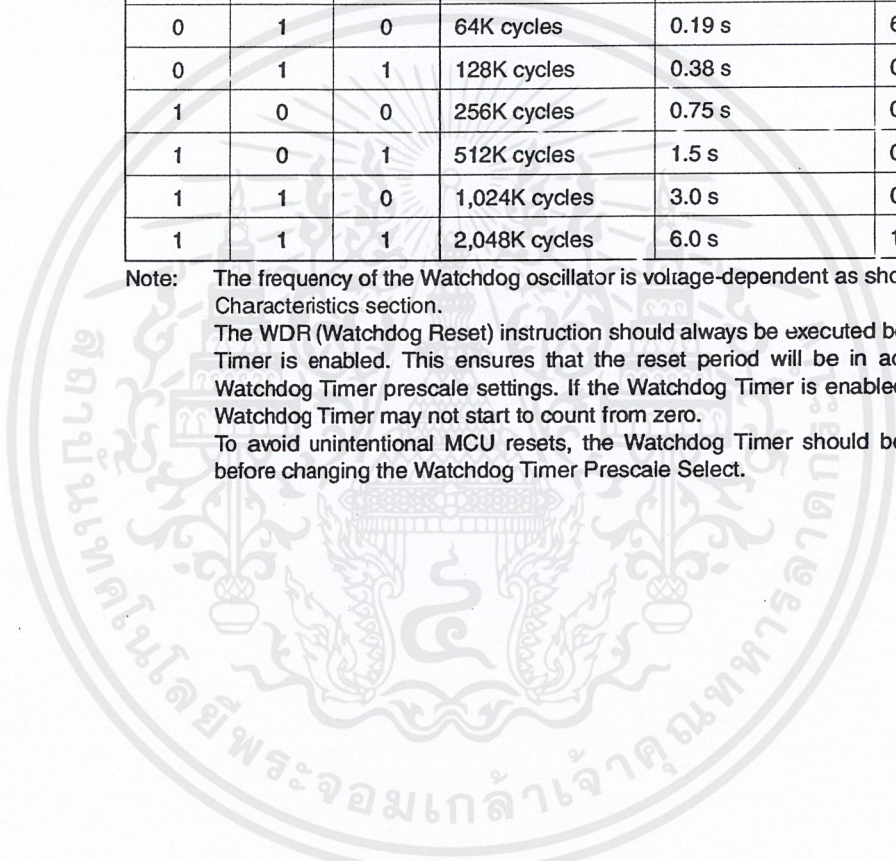
Table 21. Watchdog Timer Prescale Select

WDP2	WDP1	WDP0	Number of WDT Oscillator Cycles	Typical Time-out at V _{CC} = 3.0V	Typical Time-out at V _{CC} = 5.0V
0	0	0	16K cycles	47 ms	15 ms
0	0	1	32K cycles	94 ms	30 ms
0	1	0	64K cycles	0.19 s	60 ms
0	1	1	128K cycles	0.38 s	0.12 s
1	0	0	256K cycles	0.75 s	0.24 s
1	0	1	512K cycles	1.5 s	0.49 s
1	1	0	1,024K cycles	3.0 s	0.97 s
1	1	1	2,048K cycles	6.0 s	1.9 s

Note: The frequency of the Watchdog oscillator is voltage-dependent as shown in the Electrical Characteristics section.

The WDR (Watchdog Reset) instruction should always be executed before the Watchdog Timer is enabled. This ensures that the reset period will be in accordance with the Watchdog Timer prescale settings. If the Watchdog Timer is enabled without reset, the Watchdog Timer may not start to count from zero.

To avoid unintentional MCU resets, the Watchdog Timer should be disabled or reset before changing the Watchdog Timer Prescale Select.



EEPROM Read/Write Access

The EEPROM access registers are accessible in the I/O space.

The write access time is in the range of 2.5 - 4 ms, depending on the V_{CC} voltages. A self-timing function lets the user software detect when the next byte can be written. A special EEPROM Ready interrupt can be set to trigger when the EEPROM is ready to accept new data.

In order to prevent unintentional EEPROM writes, a specific write procedure must be followed. Refer to the description of the EEPROM Control Register for details on this.

When the EEPROM is read, the CPU is halted for four clock cycles before the next instruction is executed. When the EEPROM is written, the CPU is halted for two clock cycles before the next instruction is executed.

EEPROM Address Register – EEARH and EEARL

Bit	15	14	13	12	11	10	9	8	
\$1F (\$3F)	-	-	-	-	-	-	-	EEAR8	EEARH
\$1E (\$3E)	EEAR7	EEAR6	EEAR5	EEAR4	EEAR3	EEAR2	EEAR1	EEAR0	EEARL
	7	6	5	4	3	2	1	0	
Read/Write	R	R	R	R	R	R	R	R/W	
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
Initial Value	0	0	0	0	0	0	0	X	
	X	X	X	X	X	X	X	X	

The EEPROM address registers (EEARH and EEARL) specify the EEPROM address in the 512-byte EEPROM space. The EEPROM data bytes are addressed linearly between 0 and 511.

EEPROM Data Register – EEDR

Bit	7	6	5	4	3	2	1	0	
\$1D (\$3D)	MSB							LSB	EEDR
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
Initial Value	0	0	0	0	0	0	0	0	

• **Bits 7..0 – EEDR7..0: EEPROM Data**

For the EEPROM write operation, the EEDR register contains the data to be written to the EEPROM in the address given by the EEAR register. For the EEPROM read operation, the EEDR contains the data read out from the EEPROM at the address given by EEAR.

EEPROM Control Register – EECR

Bit	7	6	5	4	3	2	1	0	
\$1C (\$3C)	-	-	-	-	EERIF	FEMWE	EEWE	EERE	EECR
Read/Write	R	R	R	R	R/W	R/W	R/W	R/W	
Initial Value	0	0	0	0	0	0	0	0	

• **Bit 7..4 – Res: Reserved Bits**

These bits are reserved bits in the AT90S8535 and will always read as zero.

• **Bit 3 – EERIE: EEPROM Ready Interrupt Enable**

When the I-bit in SREG and EERIE are set (one), the EEPROM Ready Interrupt is enabled. When cleared (zero), the interrupt is disabled. The EEPROM Ready Interrupt generates a constant interrupt when EEWE is cleared (zero).



- **Bit 2 – EEMWE: EEPROM Master Write Enable**

The EEMWE bit determines whether setting EEW to “1” causes the EEPROM to be written. When EEMWE is set (one), setting EEW will write data to the EEPROM at the selected address. If EEMWE is zero, setting EEW will have no effect. When EEMWE has been set (one) by software, hardware clears the bit to zero after four clock cycles. See the description of the EEW bit for a EEPROM write procedure.

- **Bit 1 – EEW: EEPROM Write Enable**

The EEPROM Write Enable signal (EEW) is the write strobe to the EEPROM. When address and data are correctly set up, the EEW bit must be set to write the value into the EEPROM. The EEMWE bit must be set when the logical “1” is written to EEW, otherwise no EEPROM write takes place. The following procedure should be followed when writing the EEPROM (the order of steps 2 and 3 is unessential):

1. Wait until EEW becomes zero.
2. Write new EEPROM address to EEARL and EEARH (optional).
3. Write new EEPROM data to EEDR (optional).
4. Write a logical “1” to the EEMWE bit in EECR (to be able to write a logical “1” to the EEMWE bit, the EEW bit must be written to “0” in the same cycle).
5. Within four clock cycles after setting EEMWE, write a logical “1” to EEW.

Caution: An interrupt between step 4 and step 5 will make the write cycle fail, since the EEPROM Master Write Enable will time-out. If an interrupt routine accessing the EEPROM is interrupting another EEPROM access, the EEAR and EEDR registers will be modified, causing the interrupted EEPROM access to fail. It is recommended to have the global interrupt flag cleared during the four last steps to avoid these problems.

When the write access time (typically 2.5 ms at $V_{CC} = 5V$ or 4 ms at $V_{CC} = 2.7V$) has elapsed, the EEW bit is cleared (zero) by hardware. The user software can poll this bit and wait for a zero before writing the next byte. When EEW has been set, the CPU is halted for two clock cycles before the next instruction is executed.

- **Bit 0 – EERE: EEPROM Read Enable**

The EEPROM Read Enable signal (EERE) is the read strobe to the EEPROM. When the correct address is set up in the EEAR register, the EERE bit must be set. When the EERE bit is cleared (zero) by hardware, requested data is found in the EEDR register. The EEPROM read access takes one instruction and there is no need to poll the EERE bit. When EERE has been set, the CPU is halted for four clock cycles before the next instruction is executed.

The user should poll the EEW bit before starting the read operation. If a write operation is in progress when new data or address is written to the EEPROM I/O registers, the write operation will be interrupted and the result is undefined.

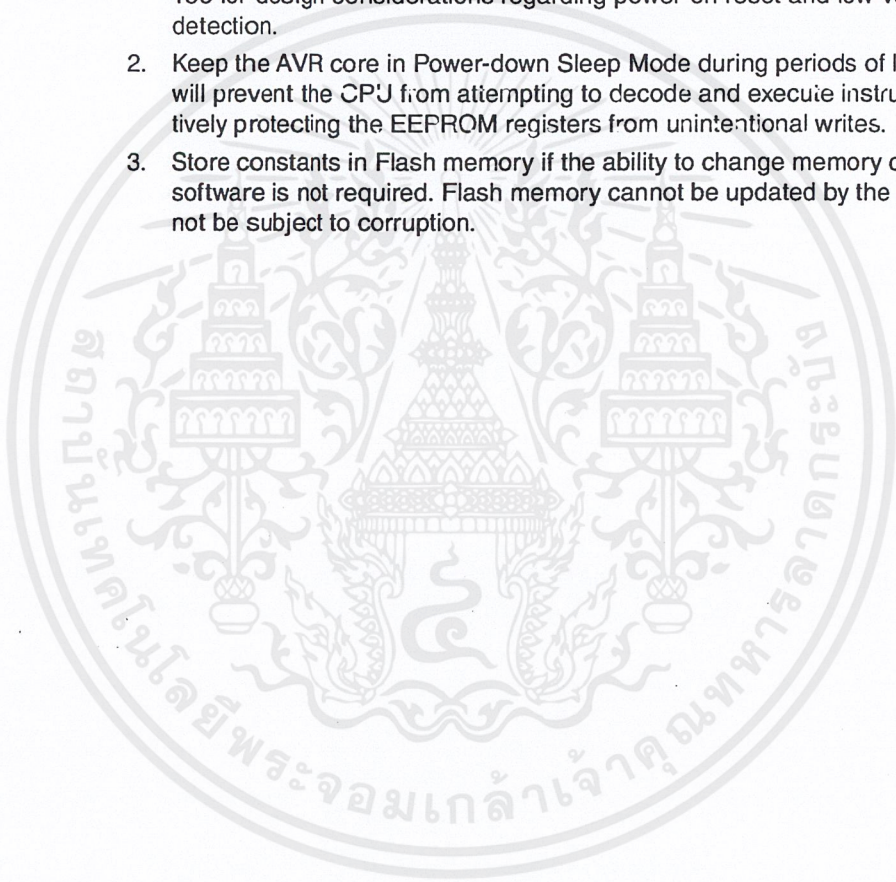
Prevent EEPROM Corruption

During periods of low V_{CC} , the EEPROM data can be corrupted because the supply voltage is too low for the CPU and the EEPROM to operate properly. These issues are the same as for board level systems using the EEPROM and the same design solutions should be applied.

An EEPROM data corruption can be caused by two situations when the voltage is too low. First, a regular write sequence to the EEPROM requires a minimum voltage to operate correctly. Secondly, the CPU itself can execute instructions incorrectly, if the supply voltage for executing instructions is too low.

EEPROM data corruption can easily be avoided by following these design recommendations (one is sufficient):

1. Keep the AVR RESET active (low) during periods of insufficient power supply voltage. This is best done by an external low V_{CC} Reset Protection circuit, often referred to as a Brown-out Detector (BOD). Please refer to application note AVR 180 for design considerations regarding power-on reset and low-voltage detection.
2. Keep the AVR core in Power-down Sleep Mode during periods of low V_{CC} . This will prevent the CPU from attempting to decode and execute instructions, effectively protecting the EEPROM registers from unintentional writes.
3. Store constants in Flash memory if the ability to change memory contents from software is not required. Flash memory cannot be updated by the CPU and will not be subject to corruption.

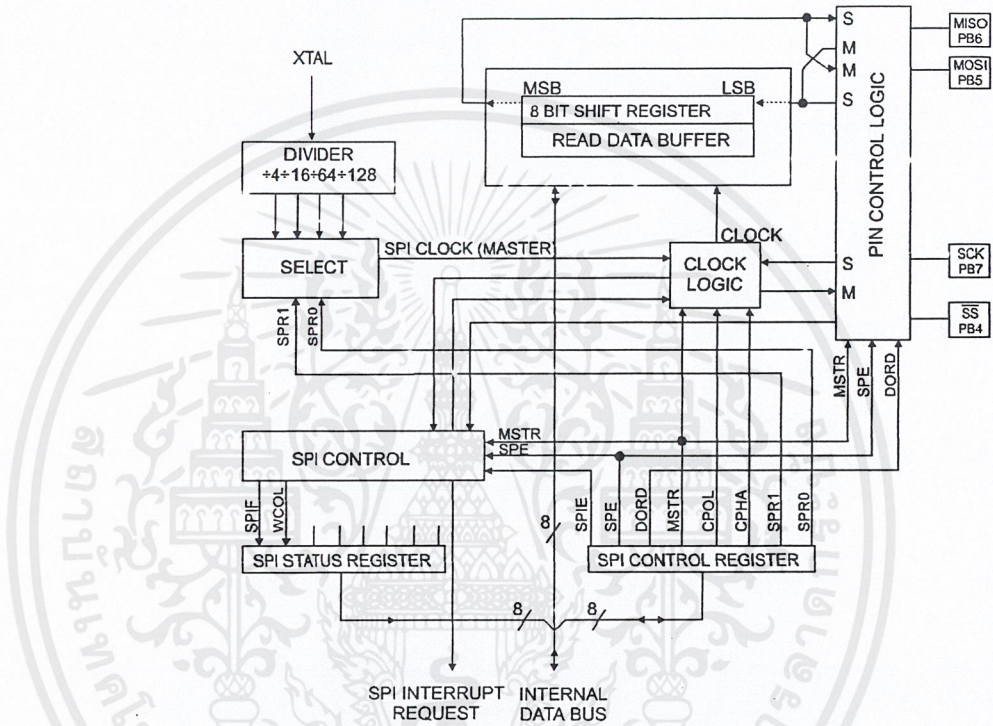


Serial Peripheral Interface – SPI

The Serial Peripheral Interface (SPI) allows high-speed synchronous data transfer between the AT90S8535 and peripheral devices or between several AVR devices. The AT90S8535 SPI features include the following:

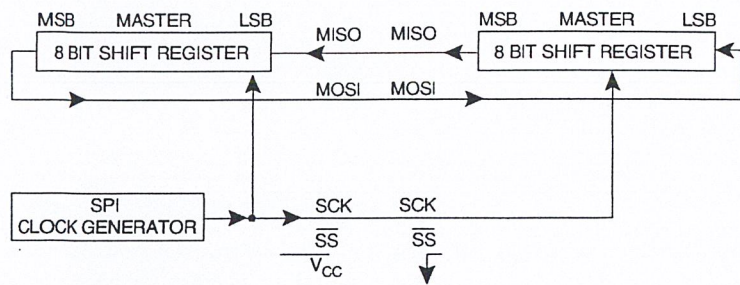
- Full-duplex, 3-wire Synchronous Data Transfer
- Master or Slave Operation
- LSB First or MSB First Data Transfer
- Four Programmable Bit Rates
- End-of-transmission Interrupt Flag
- Write Collision Flag Protection
- Wake-up from Idle Mode

Figure 37. SPI Block Diagram



The interconnection between master and slave CPUs with SPI is shown in Figure 38. The PB7(SCK) pin is the clock output in the Master Mode and is the clock input in the Slave Mode. Writing to the SPI Data Register of the master CPU starts the SPI clock generator and the data written shifts out of the PB5(MOSI) pin and into the PB5(MOSI) pin of the slave CPU. After shifting one byte, the SPI clock generator stops, setting the end-of-transmission flag (SPIF). If the SPI interrupt enable bit (SPIE) in the SPCR register is set, an interrupt is requested. The Slave Select input, PB4(SS), is set low to select an individual slave SPI device. The two shift registers in the master and the slave can be considered as one distributed 16-bit circular shift register. This is shown in Figure 38. When data is shifted from the master to the slave, data is also shifted in the opposite direction, simultaneously. During one shift cycle, data in the master and the slave is interchanged.

Figure 38. SPI Master-slave Interconnection



The system is single-buffered in the transmit direction and double-buffered in the receive direction. This means that bytes to be transmitted cannot be written to the SPI Data Register before the entire shift cycle is completed. When receiving data, however, a received byte must be read from the SPI Data Register before the next byte has been completely shifted in. Otherwise, the first byte is lost.

When the SPI is enabled, the data direction of the MOSI, MISO, SCK and \overline{SS} pins is overridden according to Table 22.

Table 22. SPI Pin Overrides

Pin	Direction, Master SPI	Direction, Slave SPI
MOSI	User Defined	Input
MISO	Input	User Defined
SCK	User Defined	Input
\overline{SS}	User Defined	Input

Note: See "Alternate Functions of Port B" on page 79 for a detailed description of how to define the direction of the user-defined SPI pins.

SS Pin Functionality

When the SPI is configured as a master (MSTR in SPCR is set), the user can determine the direction of the \overline{SS} pin. If \overline{SS} is configured as an output, the pin is a general output pin, which does not affect the SPI system. If \overline{SS} is configured as an input, it must be held high to ensure master SPI operation. If the \overline{SS} pin is driven low by peripheral circuitry when the SPI is configured as master with the \overline{SS} pin defined as an input, the SPI system interprets this as another master selecting the SPI as a slave and starting to send data to it. To avoid bus contention, the SPI system takes the following actions:

1. The MSTR bit in SPCR is cleared and the SPI system becomes a slave. As a result of the SPI becoming a slave, the MOSI and SCK pins become inputs.
2. The SPIF flag in SPSR is set and if the SPI interrupt is enabled and the I-bit in SREG are set, the interrupt routine will be executed.

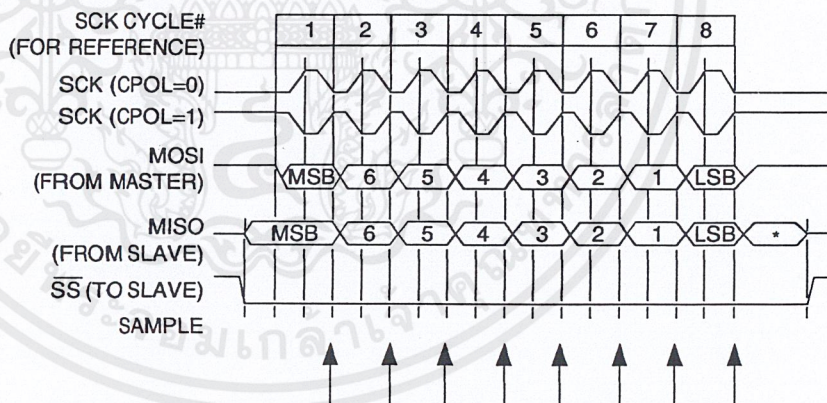
Thus, when interrupt-driven SPI transmission is used in Master Mode and there exists a possibility that \overline{SS} is driven low, the interrupt should always check that the MSTR bit is still set. Once the MSTR bit has been cleared by a slave select, it must be set by the user to re-enable the SPI Master Mode.

When the SPI is configured as a slave, the \overline{SS} pin is always input. When \overline{SS} is held low, the SPI is activated and MISO becomes an output if configured so by the user. All other pins are inputs. When \overline{SS} is driven high, all pins are inputs and the SPI is passive, which means that it will not receive incoming data. Note that the SPI logic will be reset once the \overline{SS} pin is brought high. If the \overline{SS} pin is brought high during a transmission, the SPI will stop sending and receiving immediately and both data received and data sent must be considered as lost.

Data Modes

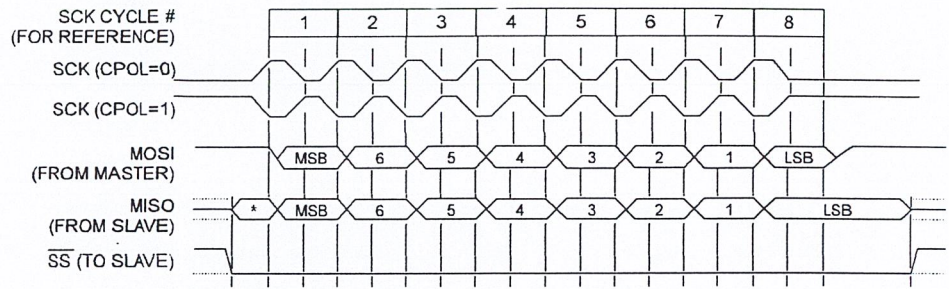
There are four combinations of SCK phase and polarity with respect to serial data, which are determined by control bits CPHA and CPOL. The SPI data transfer formats are shown in Figure 39 and Figure 40.

Figure 39. SPI Transfer Format with CPHA = 0 and DORD = 0



*Not defined but normally MSB of character just received.

Figure 40. SPI Transfer Format with CPHA = 1 and DORD = 0



* Not defined but normally LSB of previously transmitted character

SPI Control Register – SPCR

Bit	7	6	5	4	3	2	1	0	
\$0D (\$2D)	SPCR								
	SPIE	SPE	DORD	MSTR	CPOL	CPHA	SPR1	SPR0	
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
Initial Value	0	0	0	0	0	0	0	0	

• **Bit 7 – SPIE: SPI Interrupt Enable**

This bit causes the SPI interrupt to be executed if SPIF bit in the SPSR register is set and the global interrupts are enabled.

• **Bit 6 – SPE: SPI Enable**

When the SPE bit is set (one), the SPI is enabled. This bit must be set to enable any SPI operations.

• **Bit 5 – DORD: Data Order**

When the DORD bit is set (one), the LSB of the data word is transmitted first.

When the DORD bit is cleared (zero), the MSB of the data word is transmitted first.

• **Bit 4 – MSTR: Master/Slave Select**

This bit selects Master SPI Mode when set (one) and Slave SPI Mode when cleared (zero). If \overline{SS} is configured as an input and is driven low while MSTR is set, MSTR will be cleared and SPIF in SPSR will become set. The user will then have to set MSTR to re-enable SPI Master Mode.

• **Bit 3 – CPOL: Clock Polarity**

When this bit is set (one), SCK is high when idle. When CPOL is cleared (zero), SCK is low when idle. Refer to Figure 39. and Figure 40. for additional information.

• **Bit 2 – CPHA: Clock Phase**

Refer to Figure 40 or Figure 41 for the functionality of this bit.

• **Bits 1,0 – SPR1, SPR0: SPI Clock Rate Select 1 and 0**

These two bits control the SCK rate of the device configured as a master. SPR1 and SPR0 have no effect on the slave. The relationship between SCK and the oscillator clock frequency f_{cl} is shown in Table 23.

Table 23. Relationship between SCK and the Oscillator Frequency

SPR1	SPR0	SCK Frequency
0	0	$f_{cl}/4$
0	1	$f_{cl}/16$
1	0	$f_{cl}/64$
1	1	$f_{cl}/128$

SPI Status Register – SPSR

Bit	7	6	5	4	3	2	1	0	
\$0E (\$2E)	SPIF	WCOL	–	–	–	–	–	–	SPSR
Read/Write	R	R	R	R	R	R	R	R	
Initial Value	0	0	0	0	0	0	0	0	

• **Bit 7 – SPIF: SPI Interrupt Flag**

When a serial transfer is complete, the SPIF bit is set (one) and an interrupt is generated if SPIE in SPCR is set (one) and global interrupts are enabled. If \overline{SS} is an input and is driven low when the SPI is in Master Mode, this will also set the SPIF flag. SPIF is cleared by hardware when executing the corresponding interrupt handling vector. Alternatively, the SPIF bit is cleared by first reading the SPI Status Register with SPIF set (one), then accessing the SPI Data Register (SPDR).

• **Bit 6 – WCOL: Write Collision flag**

The WCOL bit is set if the SPI Data Register (SPDR) is written during a data transfer. The WCOL bit (and the SPIF bit) are cleared (zero) by first reading the SPI Status Register with WCOL set (one) and then accessing the SPI Data Register.

• **Bit 5..0 – Res: Reserved Bits**

These bits are reserved bits in the AT90S8535 and will always read as zero.

The SPI interface on the AT90S8535 is also used for program memory and EEPROM downloading or uploading. See page 99 for serial programming and verification.

SPI Data Register – SPDR

Bit	7	6	5	4	3	2	1	0	
\$0F (\$2F)	MSB							LSB	SPDR
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
Initial Value	X	X	X	X	X	X	X	X	Undefined

The SPI Data Register is a read/write register used for data transfer between the register file and the SPI Shift Register. Writing to the register initiates data transmission. Reading the register causes the Shift Register Receive buffer to be read.

UART

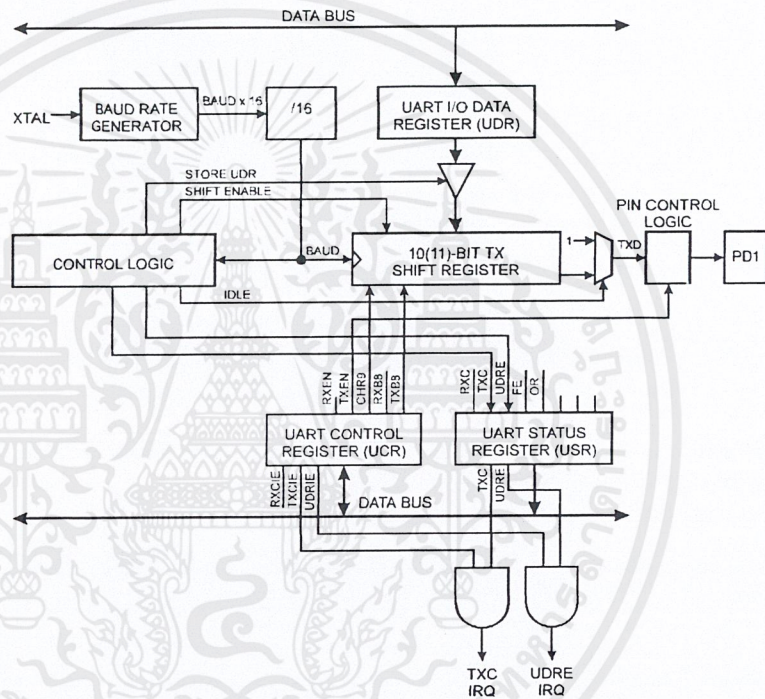
The AT90S8535 features a full duplex (separate receive and transmit registers) Universal Asynchronous Receiver and Transmitter (UART). The main features are:

- Baud Rate Generator that can Generate a Large Number of Baud Rates (bps)
- High Baud Rates at Low XTAL Frequencies
- 8 or 9 Bits Data
- Noise Filtering
- Overrun Detection
- Framing Error Detection
- False Start Bit Detection
- Three Separate Interrupts on TX Complete, TX Data Register Empty and RX Complete
- Buffered Transmit and Receive

Data Transmission

A block schematic of the UART transmitter is shown in Figure 41.

Figure 41. UART Transmitter



Data transmission is initiated by writing the data to be transmitted to the UART I/O Data Register, UDR. Data is transferred from UDR to the Transmit shift register when:

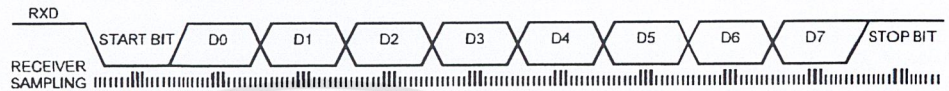
- A new character is written to UDR after the stop bit from the previous character has been shifted out. The shift register is loaded immediately.
- A new character is written to UDR before the stop bit from the previous character has been shifted out. The shift register is loaded when the stop bit of the character currently being transmitted is shifted out.

If the 10(11)-bit Transmitter shift register is empty, data is transferred from UDR to the shift register. The UDRE (UART Data Register Empty) bit in the UART Status Register, USR, is set. When this bit is set (one), the UART is ready to receive the next character. At the same time as the data is transferred from UDR to the 10(11)-bit shift register, bit 0 of the shift register is cleared (start bit) and bit 9 or 10 is set (stop bit). If 9-bit data word

1 denote the first zero-sample. Following the 1-to-0 transition, the receiver samples the RXD pin at samples 8, 9 and 10. If two or more of these three samples are found to be logical "1"s, the start bit is rejected as a noise spike and the receiver starts looking for the next 1-to-0 transition.

If however, a valid start bit is detected, sampling of the data bits following the start bit is performed. These bits are also sampled at samples 8, 9 and 10. The logical value found in at least two of the three samples is taken as the bit value. All bits are shifted into the Transmitter Shift register as they are sampled. Sampling of an incoming character is shown in Figure 43.

Figure 43. Sampling Received Data



When the stop bit enters the receiver, the majority of the three samples must be one to accept the stop bit. If two or more samples are logical "0"s, the Framing Error (FE) flag in the UART Status Register (USR) is set. Before reading the UDR register, the user should always check the FE bit to detect framing errors.

Whether or not a valid stop bit is detected at the end of a character reception cycle, the data is transferred to UDR and the RXC flag in USR is set. UDR is in fact two physically separate registers, one for transmitted data and one for received data. When UDR is read, the Receive Data register is accessed and when UDR is written, the Transmit Data register is accessed. If 9-bit data word is selected (the CHR9 bit in the UART Control Register, UCR is set), the RXB8 bit in UCR is loaded with bit 9 in the Transmit Shift register when data is transferred to UDR.

If, after having received a character, the UDR register has not been read since the last receive, the OverRun (OR) flag in UCR is set. This means that the last data byte shifted into the shift register could not be transferred to UDR and has been lost. The OR bit is buffered and is updated when the valid data byte in UDR is read. Thus, the user should always check the OR bit after reading the UDR register in order to detect any overruns if the baud rate is high or CPU load is high.

When the RXEN bit in the UCR register is cleared (zero), the receiver is disabled. This means that the PD0 pin can be used as a general I/O pin. When RXEN is set, the UART Receiver will be connected to PD0, which is forced to be an input pin regardless of the setting of the DDD0 bit in DDRD. When PD0 is forced to input by the UART, the PORTD0 bit can still be used to control the pull-up resistor on the pin.

When the CHR9 bit in the UCR register is set, transmitted and received characters are 9 bits long, plus start and stop bits. The ninth data bit to be transmitted is the TXB8 bit in UCR register. This bit must be set to the wanted value before a transmission is initiated by writing to the UDR register. The ninth data bit received is the RXB8 bit in the UCR register.

UART Control

UART I/O Data Register – UDR

Bit	7	6	5	4	3	2	1	0	
\$0C (\$2B)	MSB							LSB	UDR
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
Initial Value	0	0	0	0	0	0	0	0	

The UDR register is actually two physically separate registers sharing the same I/O address. When writing to the register, the UART Transmit Data register is written. When reading from UDR, the UART Receive Data register is read.

UART Status Register – USR

Bit	7	6	5	4	3	2	1	0	
\$0B (\$2B)	RXC	TXC	UDRE	FE	OR	–	–	–	USR
Read/Write	R	R/W	R	R	R	R	R	R	
Initial Value	0	0	1	0	0	0	0	0	

The USR register is a read-only register providing information on the UART status.

- **Bit 7 – RXC: UART Receive Complete**

This bit is set (one) when a received character is transferred from the Receiver Shift register to UDR. The bit is set regardless of any detected framing errors. When the RXCIE bit in UCR is set, the UART Receive Complete interrupt will be executed when RXC is set (one). RXC is cleared by reading UDR. When interrupt-driven data reception is used, the UART Receive Complete Interrupt routine must read UDR in order to clear RXC, otherwise a new interrupt will occur once the interrupt routine terminates.

- **Bit 6 – TXC: UART Transmit Complete**

This bit is set (one) when the entire character (including the stop bit) in the Transmit Shift register has been shifted out and no new data has been written to UDR. This flag is especially useful in half-duplex communications interfaces, where a transmitting application must enter receive mode and free the communications bus immediately after completing the transmission.

When the TXCIE bit in UCR is set, setting of TXC causes the UART Transmit Complete interrupt to be executed. TXC is cleared by hardware when executing the corresponding interrupt handling vector. Alternatively, the TXC bit is cleared (zero) by writing a logical “1” to the bit.

- **Bit 5 – UDRE: UART Data Register Empty**

This bit is set (one) when a character written to UDR is transferred to the Transmit Shift register. Setting of this bit indicates that the transmitter is ready to receive a new character for transmission.

When the UDRIE bit in UCR is set, the UART Transmit Complete interrupt to be executed as long as UDRE is set. UDRE is cleared by writing UDR. When interrupt-driven data transmission is used, the UART Data Register Empty Interrupt routine must write UDR in order to clear UDRE, otherwise a new interrupt will occur once the interrupt routine terminates.

UDRE is set (one) during reset to indicate that the transmitter is ready.

- **Bit 4 – FE: Framing Error**

This bit is set if a Framing Error condition is detected, i.e., when the stop bit of an incoming character is zero.

The FE bit is cleared when the stop bit of received data is one.

• **Bit 3 – OR: OverRun**

This bit is set if an Overrun condition is detected, i.e., when a character already present in the UDR register is not read before the next character has been shifted into the Receiver Shift register. The OR bit is buffered, which means that it will be set once the valid data still in UDR is read.

The OR bit is cleared (zero) when data is received and transferred to UDR.

• **Bits 2..0 – Res: Reserved Bits**

These bits are reserved bits in the AT90S8535 and will always read as zero.

UART Control Register – UCR

Bit	7	6	5	4	3	2	1	0	UCR
\$0A (\$2A)	RXCIE	TXCIE	UDRIE	RXEN	TXEN	CHR9	RXB8	TXB8	
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R	W	
Initial Value	0	0	0	0	0	0	1	0	

• **Bit 7 – RXCIE: RX Complete Interrupt Enable**

When this bit is set (one), a setting of the RXC bit in USR will cause the Receive Complete Interrupt routine to be executed provided that global interrupts are enabled.

• **Bit 6 – TXCIE: TX Complete Interrupt Enable**

When this bit is set (one), a setting of the TXC bit in USR will cause the Transmit Complete Interrupt routine to be executed provided that global interrupts are enabled.

• **Bit 5 – UDRIE: UART Data Register Empty Interrupt Enable**

When this bit is set (one), a setting of the UDRE bit in USR will cause the UART Data Register Empty Interrupt routine to be executed provided that global interrupts are enabled.

• **Bit 4 – RXEN: Receiver Enable**

This bit enables the UART receiver when set (one). When the receiver is disabled, the RXC, OR and FE status flags cannot become set. If these flags are set, turning off RXEN does not cause them to be cleared.

• **Bit 3 – TXEN: Transmitter Enable**

This bit enables the UART transmitter when set (one). When disabling the transmitter while transmitting a character, the transmitter is not disabled before the character in the shift register plus any following character in UDR has been completely transmitted.

• **Bit 2 – CHR9: 9 Bit Characters**

When this bit is set (one), transmitted and received characters are 9 bits long, plus start and stop bits. The ninth bit is read and written by using the RXB8 and TXB8 bits in UCR, respectively. The ninth data bit can be used as an extra stop bit or a parity bit.

• **Bit 1 – RXB8: Receive Data Bit 8**

When CHR9 is set (one), RXB8 is the ninth data bit of the received character.

• **Bit 0 – TXB8: Transmit Data Bit 8**

When CHR9 is set (one), TXB8 is the ninth data bit in the character to be transmitted.





Baud Rate Generator

The baud rate generator is a frequency divider which generates baud rates according to the following equation:

$$\text{BAUD} = \frac{f_{\text{CK}}}{16(\text{UBRR} + 1)}$$

- BAUD = Baud rate
- f_{CK} = Crystal clock frequency
- UBRR = Contents of the UART Baud Rate register, UBRR (0 - 255)

For standard crystal frequencies, the most commonly used baud rates can be generated by using the UBRR settings in Table 24. UBRR values that yield an actual baud rate differing less than 2% from the target baud rate are boldface in the table. However, using baud rates that have more than 1% error is not recommended. High error ratings give less noise resistance.

Table 24. UBRR Settings at Various Crystal Frequencies (Examples)

Baud Rate	1 MHz	%Error	1.8432 MHz	%Error	2 MHz	%Error	2.4576 MHz	%Error
2400	UBRR= 25	0.2	UBRR= 47	0.0	UBRR= 51	0.2	UBRR= 63	0.0
4800	UBRR= 12	0.2	UBRR= 23	0.0	UBRR= 25	0.2	UBRR= 31	0.0
9600	UBRR= 6	7.5	UBRR= 11	0.0	UBRR= 12	0.2	UBRR= 15	0.0
14400	UBRR= 3	7.8	UBRR= 7	0.0	UBRR= 8	3.7	UBRR= 10	3.1
19200	UBRR= 2	7.8	UBRR= 5	0.0	UBRR= 6	7.5	UBRR= 7	0.0
28800	UBRR= 1	7.8	UBRR= 3	0.0	UBRR= 3	7.8	UBRR= 4	6.3
38400	UBRR= 1	22.9	UBRR= 2	0.0	UBRR= 2	7.8	UBRR= 3	0.0
57600	UBRR= 0	7.8	UBRR= 1	0.0	UBRR= 1	7.8	UBRR= 2	12.5
76800	UBRR= 0	22.9	UBRR= 1	33.3	UBRR= 1	22.9	UBRR= 1	0.0
115200	UBRR= 0	84.3	UBRR= 0	0.0	UBRR= 0	7.8	UBRR= 0	25.0

Baud Rate	3.2768 MHz	%Error	3.6864 MHz	%Error	4 MHz	%Error	4.608 MHz	%Error
2400	UBRR= 84	0.4	UBRR= 95	0.0	UBRR= 103	0.2	UBRR= 119	0.0
4800	UBRR= 42	0.8	UBRR= 47	0.0	UBRR= 51	0.2	UBRR= 59	0.0
9600	UBRR= 20	1.6	UBRR= 23	0.0	UBRR= 25	0.2	UBRR= 29	0.0
14400	UBRR= 13	1.6	UBRR= 15	0.0	UBRR= 16	2.1	UBRR= 19	0.0
19200	UBRR= 10	3.1	UBRR= 11	0.0	UBRR= 12	0.2	UBRR= 14	0.0
28800	UBRR= 6	1.6	UBRR= 7	0.0	UBRR= 8	3.7	UBRR= 9	0.0
38400	UBRR= 4	6.3	UBRR= 5	0.0	UBRR= 6	7.5	UBRR= 7	6.7
57600	UBRR= 3	12.5	UBRR= 3	0.0	UBRR= 3	7.8	UBRR= 4	0.0
76800	UBRR= 2	12.5	UBRR= 2	0.0	UBRR= 2	7.8	UBRR= 3	6.7
115200	UBRR= 1	12.5	UBRR= 1	0.0	UBRR= 1	7.8	UBRR= 2	20.0

Baud Rate	7.3728 MHz	%Error	8 MHz	%Error	9.216 MHz	%Error	11.059 MHz	%Error
2400	UBRR= 191	0.0	UBRR= 207	0.2	UBRR= 239	0.0	UBRR= 287	-
4800	UBRR= 95	0.0	UBRR= 103	0.2	UBRR= 119	0.0	UBRR= 143	0.0
9600	UBRR= 47	0.0	UBRR= 51	0.2	UBRR= 59	0.0	UBRR= 71	0.0
14400	UBRR= 31	0.0	UBRR= 34	0.8	UBRR= 39	0.0	UBRR= 47	0.0
19200	UBRR= 23	0.0	UBRR= 25	0.2	UBRR= 29	0.0	UBRR= 35	0.0
28800	UBRR= 15	0.0	UBRR= 16	2.1	UBRR= 19	0.0	UBRR= 23	0.0
38400	UBRR= 11	0.0	UBRR= 12	0.2	UBRR= 14	0.0	UBRR= 17	0.0
57600	UBRR= 7	0.0	UBRR= 8	3.7	UBRR= 9	0.0	UBRR= 11	0.0
76800	UBRR= 5	0.0	UBRR= 6	7.5	UBRR= 7	6.7	UBRR= 8	0.0
115200	UBRR= 3	0.0	UBRR= 3	7.8	UBRR= 4	0.0	UBRR= 5	0.0

Note: Maximum baud rate to each frequency.

UART Baud Rate Register – UBRR

Bit	7	6	5	4	3	2	1	0	
\$09 (\$29)	MSB							LSB	UBRR
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
Initial Value	0	0	0	0	0	0	0	0	

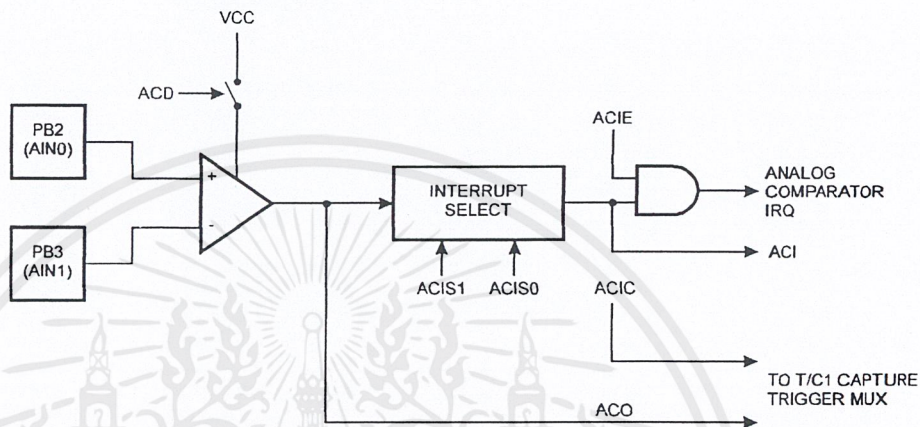
The UBRR register is an 8-bit read/write register that specifies the UART Baud Rate according to the equation on the previous page.



Analog Comparator

The Analog Comparator compares the input values on the positive input PB2 (AIN0) and negative input PB3 (AIN1). When the voltage on the positive input PB2 (AIN0) is higher than the voltage on the negative input PB3 (AIN1), the Analog Comparator Output (ACO) is set (one). The comparator's output can be set to trigger the Timer/Counter1 Input Capture function. In addition, the comparator can trigger a separate interrupt, exclusive to the Analog Comparator. The user can select Interrupt triggering on comparator output rise, fall or toggle. A block diagram of the comparator and its surrounding logic is shown in Figure 44.

Figure 44. Analog Comparator Block Diagram



Analog Comparator Control and Status Register – ACSR

Bit	7	6	5	4	3	2	1	0	
\$08 (\$28)	ACD	–	ACO	ACI	ACIE	ACIC	ACIS1	ACIS0	ACSR
Read/Write	R/W	R	R	R/W	R/W	R/W	R/W	R/W	
Initial Value	0	0	N/A	0	0	0	0	0	

- **Bit 7 – ACD: Analog Comparator Disable**

When this bit is set (one), the power to the Analog Comparator is switched off. This bit can be set at any time to turn off the Analog Comparator. When changing the ACD bit, the Analog Comparator interrupt must be disabled by clearing the ACIE bit in ACSR. Otherwise an interrupt can occur when the bit is changed.

- **Bit 6 – Res: Reserved Bit**

This bit is a reserved bit in the AT90S8535 and will always read as zero.

- **Bit 5 – ACO: Analog Comparator Output**

ACO is directly connected to the comparator output.

- **Bit 4 – ACI: Analog Comparator Interrupt Flag**

This bit is set (one) when a comparator output event triggers the interrupt mode defined by ACI1 and ACI0. The Analog Comparator Interrupt routine is executed if the ACIE bit is set (one) and the I-bit in SREG is set (one). ACI is cleared by hardware when executing the corresponding interrupt handling vector. Alternatively, ACI is cleared by writing a logical “1” to the flag.

- **Bit 3 – ACIE: Analog Comparator Interrupt Enable**

When the ACIE bit is set (one) and the I-bit in the Status Register is set (one), the Analog Comparator interrupt is activated. When cleared (zero), the interrupt is disabled.

• **Bit 2 – ACIC: Analog Comparator Input Capture Enable**

When set (one), this bit enables the Input Capture function in Timer/Counter1 to be triggered by the Analog Comparator. The comparator output is in this case directly connected to the Input Capture front-end logic, making the comparator utilize the noise canceler and edge select features of the Timer/Counter1 Input Capture interrupt. When cleared (zero), no connection between the Analog Comparator and the Input Capture function is given. To make the comparator trigger the Timer/Counter1 Input Capture interrupt, the TICIE1 bit in the Timer Interrupt Mask Register (TIMSK) must be set (one).

• **Bits 1,0 – ACIS1, ACIS0: Analog Comparator Interrupt Mode Select**

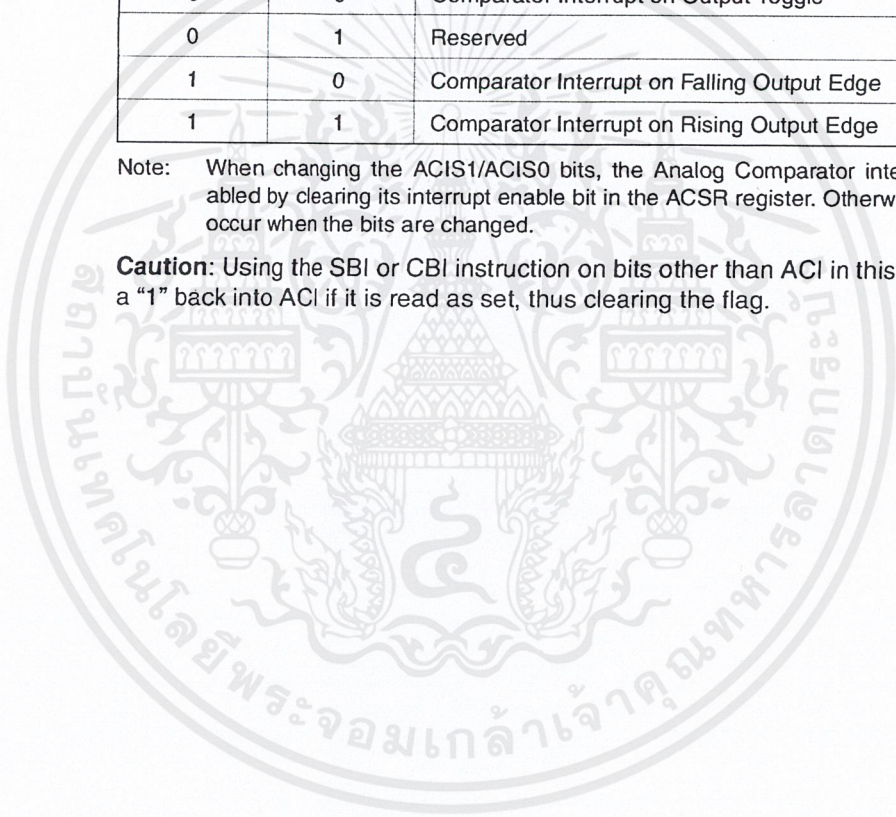
These bits determine which comparator events trigger the Analog Comparator interrupt. The different settings are shown in Table 25.

Table 25. ACIS1/ACIS0 Settings

ACIS1	ACIS0	Interrupt Mode
0	0	Comparator Interrupt on Output Toggle
0	1	Reserved
1	0	Comparator Interrupt on Falling Output Edge
1	1	Comparator Interrupt on Rising Output Edge

Note: When changing the ACIS1/ACIS0 bits, the Analog Comparator interrupt must be disabled by clearing its interrupt enable bit in the ACSR register. Otherwise an interrupt can occur when the bits are changed.

Caution: Using the SBI or CBI instruction on bits other than ACI in this register will write a “1” back into ACI if it is read as set, thus clearing the flag.



Analog-to-Digital Converter

Feature list

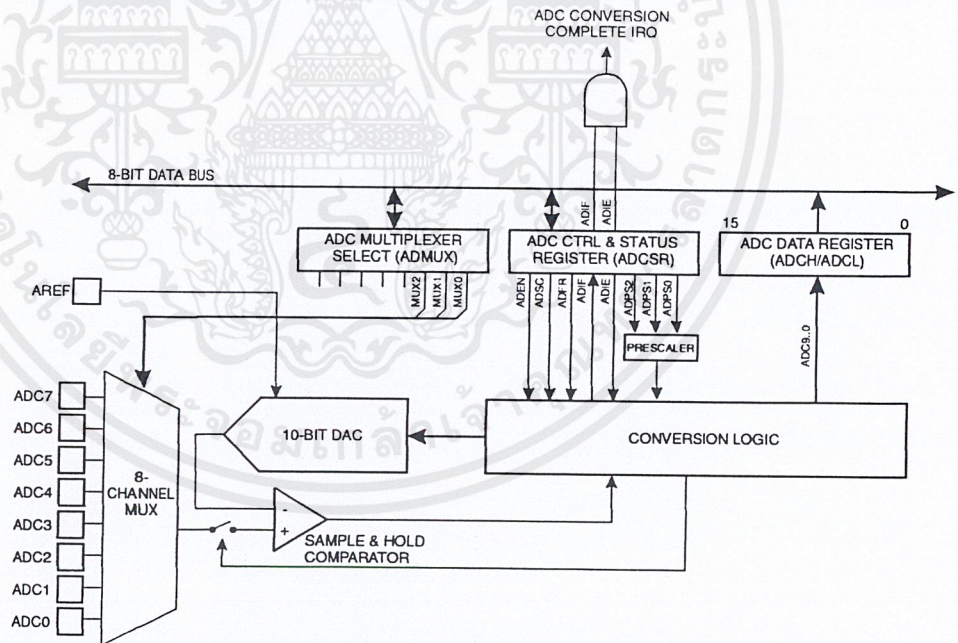
- 10-bit Resolution
- 0.5 LSB Integral Non-linearity
- ± 2 LSB Absolute Accuracy
- 65 - 260 μ s Conversion Time
- Up to 15 kSPS at Maximum Resolution
- 8 Multiplexed Input Channels
- Rail-to-Rail Input Range
- Free Running or Single Conversion Mode
- Interrupt on ADC Conversion Complete
- Sleep Mode Noise Canceler

The AT90S8535 features a 10-bit successive approximation ADC. The ADC is connected to an 8-channel Analog Multiplexer that allows each pin of Port A to be used as an input for the ADC. The ADC contains a Sample and Hold Amplifier that ensures that the input voltage to the ADC is held at a constant level during conversion. A block diagram of the ADC is shown in Figure 45.

The ADC has two separate analog supply voltage pins, AV_{CC} and AGND. AGND must be connected to GND and the voltage on AV_{CC} must not differ more than $\pm 0.3V$ from V_{CC}. See "ADC Noise Canceling Techniques" on page 74 on how to connect these pins.

An external reference voltage must be applied to the AREF pin. This voltage must be in the range 2V - AV_{CC}.

Figure 45. Analog-to-Digital Converter Block Schematic



Operation

The ADC converts an analog input voltage to a 10-bit digital value through successive approximation. The minimum value represents AGND and the maximum value represents the voltage on the AREF pin minus one LSB. The analog input channel is selected by writing to the MUX bits in ADMUX. Any of the eight ADC input pins ADC7..0 can be selected as single-ended inputs to the ADC.

The ADC can operate in two modes – Single Conversion and Free Running. In Single Conversion Mode, each conversion will have to be initiated by the user. In Free Running Mode, the ADC is constantly sampling and updating the ADC Data Register. The ADFR bit in ADCSR selects between the two available modes.

The ADC is enabled by setting the ADC Enable bit, ADEN in ADCSR. Input channel selections will not go into effect until ADEN is set. The ADC does not consume power when ADEN is cleared, so it is recommended to switch off the ADC before entering power-saving sleep modes.

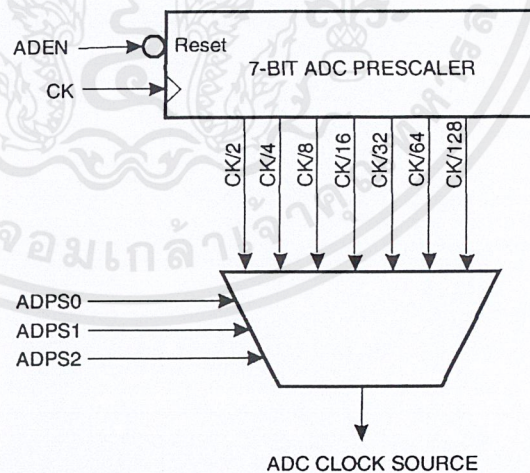
A conversion is started by writing a logical “1” to the ADC Start Conversion bit, ADSC. This bit stays high as long as the conversion is in progress and will be set to zero by hardware when the conversion is completed. If a different data channel is selected while a conversion is in progress, the ADC will finish the current conversion before performing the channel change.

The ADC generates a 10-bit result, which is presented in the ADC data register, ADCH and ADCL. When reading data, ADCL must be read first, then ADCH, to ensure that the content of the data register belongs to the same conversion. Once ADCL is read, ADC access to data register is blocked. This means that if ADCL has been read and a conversion completes before ADCH is read, neither register is updated and the result from the conversion is lost. Then ADCH is read, ADC access to the ADCH and ADCL register is re-enabled.

The ADC has its own interrupt that can be triggered when a conversion completes. When ADC access to the data registers is prohibited between reading of ADCH and ADCL, the interrupt will trigger even if the result is lost.

Prescaling

Figure 46. ADC Prescaler



The successive approximation circuitry requires an input clock frequency between 50 kHz and 200 kHz to achieve maximum resolution. If a resolution of lower than 10 bits is required, the input clock frequency to the ADC can be higher than 200 kHz to achieve a

higher sampling rate. See “ADC Characteristics” on page 75 for more details. The ADC module contains a prescaler, which divides the system clock to an acceptable ADC clock frequency.

The ADPS2..0 bits in ADCSR are used to generate a proper ADC clock input frequency from any CPU frequency above 100 kHz. The prescaler starts counting from the moment the ADC is switched on by setting the ADEN bit in ADCSR. The prescaler keeps running for as long as the ADEN bit is set and is continuously reset when ADEN is low.

When initiating a conversion by setting the ADSC bit in ADCSR, the conversion starts at the following rising edge of the ADC clock cycle.

A normal conversion takes 13 ADC clock cycles. In certain situations, the ADC needs more clock cycles for initialization and to minimize offset errors. Extended conversions take 25 ADC clock cycles and occur as the first conversion after the ADC is switched on (ADEN in ADCSR is set).

The actual sample-and-hold takes place 1.5 ADC clock cycles after the start of a normal conversion and 13.5 ADC clock cycles after the start of an extended conversion. When a conversion is complete, the result is written to the ADC data registers and ADIF is set. In Single Conversion Mode, ADSC is cleared simultaneously. The software may then set ADSC again and a new conversion will be initiated on the first rising ADC clock edge. In Free Running Mode, a new conversion will be started immediately after the conversion completes, while ADSC remains high. Using Free Running Mode and an ADC clock frequency of 200 kHz gives the lowest conversion time with a maximum resolution, 65 μ s, equivalent to 15 kSPS. For a summary of conversion times, see Table 26.

Figure 47. ADC Timing Diagram, Extended Conversion (Single Conversion Mode)

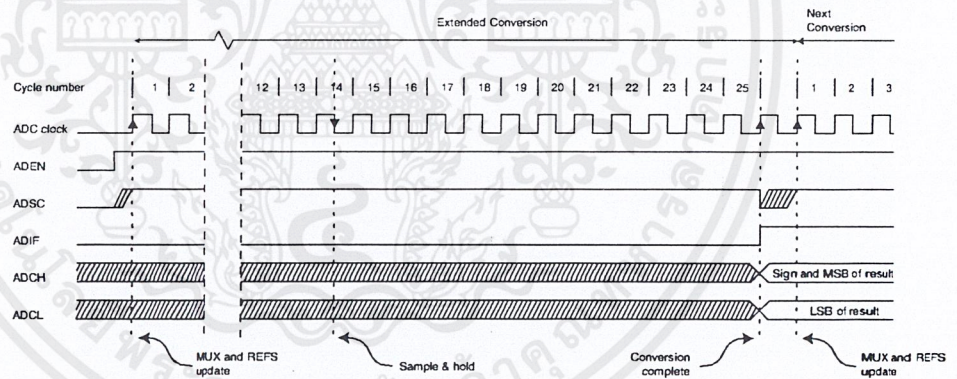


Figure 48. ADC Timing Diagram, Single Conversion

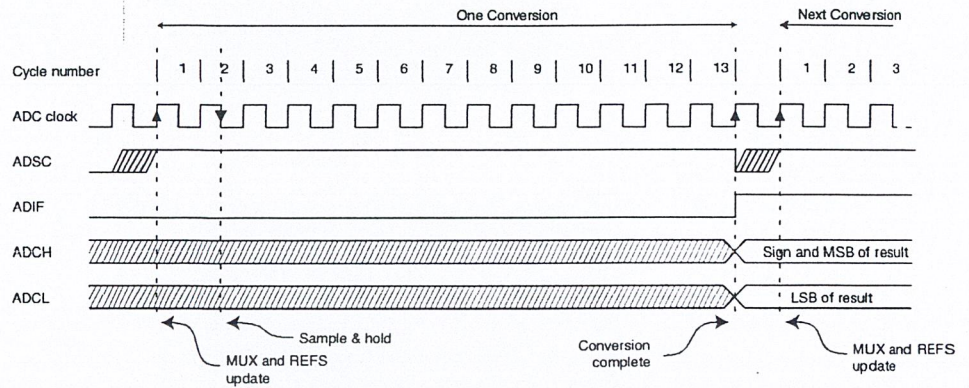


Figure 49. ADC Timing Diagram, Free Running Conversion

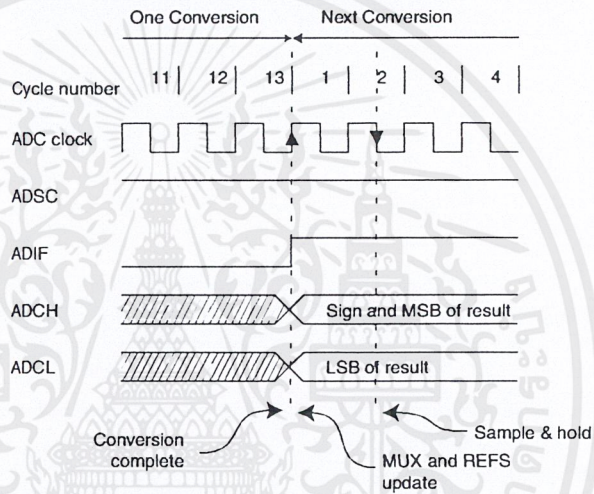


Table 26. ADC Conversion Time

Condition	Sample and Hold (Cycles from Start of Conversion)	Conversion Time (Cycles)	Conversion Time (µs)
Extended Conversion	14	25	125 - 500
Normal Conversion	14	26	130 - 520

ADC Noise Canceler Function

The ADC features a noise canceler that enables conversion during Idle Mode to reduce noise induced from the CPU core. To make use of this feature, the following procedure should be used:

1. Make sure that the ADC is enabled and is not busy converting. Single Conversion Mode must be selected and the ADC conversion complete interrupt must be enabled.

ADEN = 1
 ADSC = 0
 ADFR = 0
 ADIE = 1



- 2: Enter Idle Mode. The ADC will start a conversion once the CPU has been halted.
- 3: If no other interrupts occur before the ADC conversion completes, the ADC interrupt will wake up the MCU and execute the ADC Conversion Complete Interrupt routine.

ADC Multiplexer Select Register – ADMUX

Bit	7	6	5	4	3	2	1	0	
\$07 (\$27)	-	-	-	-	-	MUX2	MUX1	MUX0	ADMUX
Read/Write	R	R	R	R	R	R/W	R/W	R/W	
Initial Value	0	0	0	0	0	0	0	0	

- **Bits 7..3 – Res: Reserved Bits**

These bits are reserved bits in the AT90S8535 and always read as zero.

- **Bits 2..0 – MUX2..MUX0: Analog Channel Select Bits 2-0**

The value of these three bits selects which analog input ADC7..0 is connected to the ADC. See Table 27 for details.

If these bits are changed during a conversion, the change will not go into effect until this conversion is complete (ADIF in ADCSR is set).

Table 27. Input Channel Selections

MUX2.0	Single-ended Input
000	ADC0
001	ADC1
010	ADC2
011	ADC3
100	ADC4
101	ADC5
110	ADC6
111	ADC7

ADC Control and Status Register – ADCSR

Bit	7	6	5	4	3	2	1	0	
\$06 (\$26)	ADEN	ADSC	ADFR	ADIF	ADIE	ADPS2	ADPS1	ADPS0	ADCSR
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
Initial Value	0	0	0	0	0	0	0	0	

- **Bit 7 – ADEN: ADC Enable**

Writing a logical “1” to this bit enables the ADC. By clearing this bit to zero, the ADC is turned off. Turning the ADC off while a conversion is in progress will terminate this conversion.

- **Bit 6 – ADSC: ADC Start Conversion**

In Single Conversion Mode, a logical “1” must be written to this bit to start each conversion. In Free Running Mode, a logical “1” must be written to this bit to start the first conversion. The first time ADSC has been written after the ADC has been enabled or if ADSC is written at the same time as the ADC is enabled, an extended conversion will precede the initiated conversion. This extended conversion performs initialization of the ADC.

ADSC will read as one as long as a conversion is in progress. When the conversion is complete, it returns to zero. When an extended conversion precedes a real conversion, ADSC will stay high until the real conversion completes. Writing a “0” to this bit has no effect.

• **Bit 5 – ADFR: ADC Free Running Select**

When this bit is set (one), the ADC operates in Free Running Mode. In this mode, the ADC samples and updates the data registers continuously. Clearing this bit (zero) will terminate Free Running Mode.

• **Bit 4 – ADIF: ADC Interrupt Flag**

This bit is set (one) when an ADC conversion completes and the data registers are updated. The ADC Conversion Complete interrupt is executed if the ADIE bit and the I-bit in SREG are set (one). ADIF is cleared by hardware when executing the corresponding interrupt handling vector. Alternatively, ADIF is cleared by writing a logical “1” to the flag. Beware that if doing a read-modify-write on ADCSR, a pending interrupt can be disabled. This also applies if the SBI and CBI instructions are used.

• **Bit 3 – ADIE: ADC Interrupt Enable**

When this bit is set (one) and the I-bit in SREG is set (one), the ADC Conversion Complete interrupt is activated.

• **Bits 2..0 – ADPS2..ADPS0: ADC Prescaler Select Bits**

These bits determine the division factor between the XTAL frequency and the input clock to the ADC.

Table 28. ADC Prescaler Selections

ADPS2	ADPS1	ADPS0	Division Factor
0	0	0	2
0	0	1	2
0	1	0	4
0	1	1	8
1	0	0	16
1	0	1	32
1	1	0	64
1	1	1	128

ADC Data Register – ADCL AND ADCH

Bit	15	14	13	12	11	10	9	8	
\$05 (\$25)	–	–	–	–	–	–	ADC9	ADC8	ADCH
\$04 (\$24)	ADC7	ADC6	ADC5	ADC4	ADC3	ADC2	ADC1	ADC0	ADCL
Read/Write	R	R	R	R	R	R	R	R	
Initial Value	0	0	0	0	0	0	0	0	
	0	0	0	0	0	0	0	0	

When an ADC conversion is complete, the result is found in these two registers.

When ADCL is read, the ADC Data Register is not updated until ADCH is read. Consequently, it is essential that both registers are read and that ADCL is read before ADCH.



• **ADC9..0: ADC Conversion result**

These bits represent the result from the conversion. \$000 represents analog ground and \$3FF represents the selected reference voltage minus one LSB.

Scanning Multiple Channels

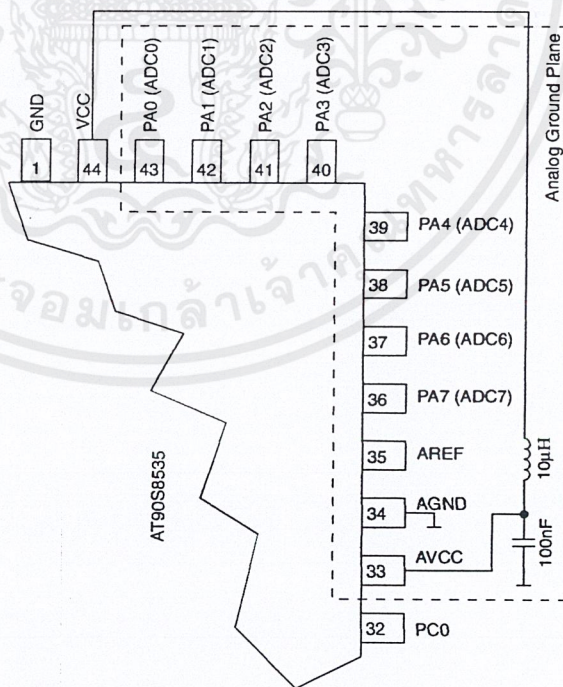
Since change of analog channel always is delayed until a conversion is finished, the Free Running Mode can be used to scan multiple channels without interrupting the converter. Typically, the ADC Conversion Complete interrupt will be used to perform the channel shift. However, the user should take the following fact into consideration: The interrupt triggers once the result is ready to be read. In Free Running Mode, the next conversion will start immediately when the interrupt triggers. If ADMUX is changed after the interrupt triggers, the next conversion has already started and the old setting is used.

ADC Noise Canceling Techniques

Digital circuitry inside and outside the AT90S8535 generates EMI that might affect the accuracy of analog measurements. If conversion accuracy is critical, the noise level can be reduced by applying the following techniques:

1. The analog part of the AT90S8535 and all analog components in the application should have a separate analog ground plane on the PCB. This ground plane is connected to the digital ground plane via a single point on the PCB.
2. Keep analog signal paths as short as possible. Make sure analog tracks run over the analog ground plane and keep them well away from high-speed switching digital tracks.
3. The AV_{CC} pin on the AT90S8535 should be connected to the digital V_{CC} supply via an LC network as shown in Figure 50.
4. Use the ADC noise canceler function to reduce induced noise from the CPU.
5. If some Port A pins are used as digital outputs, it is essential that these do not switch while a conversion is in progress.

Figure 50. ADC Power Connections

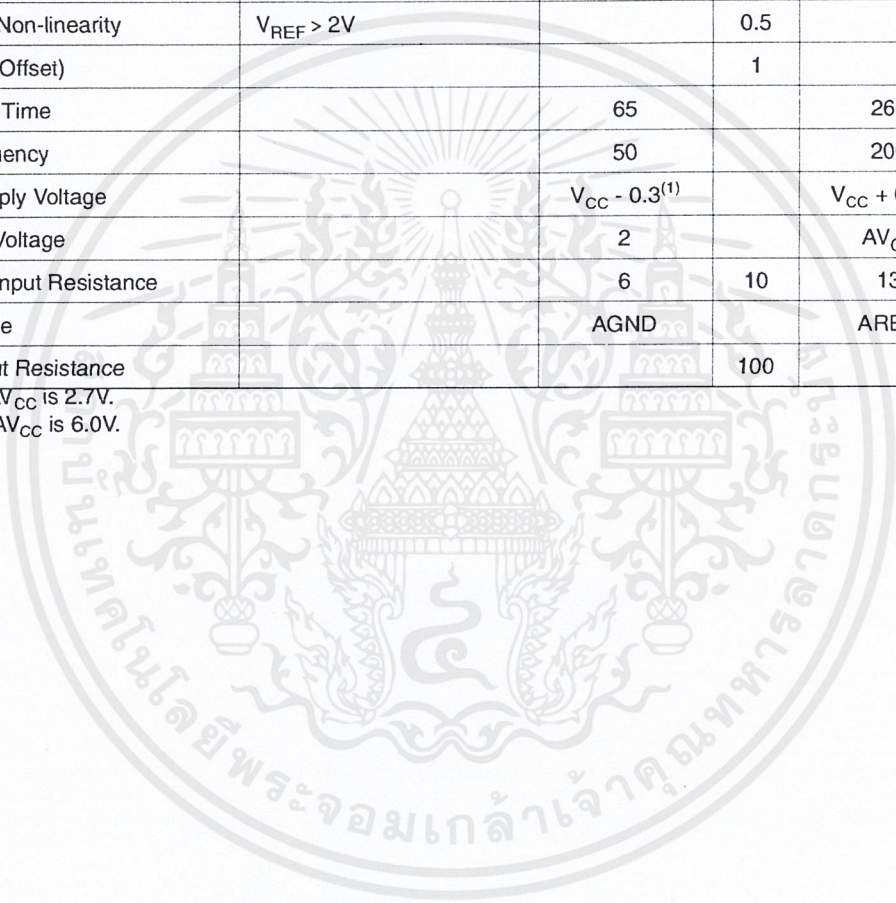


ADC Characteristics

T_A = -40°C to 85°C

Symbol	Parameter	Condition	Min	Typ	Max	Units
	Resolution			10		Bits
	Absolute accuracy	V _{REF} = 4V ADC clock = 200 kHz		1	2	LSB
	Absolute accuracy	V _{REF} = 4V ADC clock = 1 MHz		4		LSB
	Absolute accuracy	V _{REF} = 4V ADC clock = 2 MHz		16		LSB
	Integral Non-linearity	V _{REF} > 2V		0.5		LSB
	Differential Non-linearity	V _{REF} > 2V		0.5		LSB
	Zero Error (Offset)			1		LSB
	Conversion Time		65		260	μs
	Clock Frequency		50		200	kHz
V _{CC}	Analog Supply Voltage		V _{CC} - 0.3 ⁽¹⁾		V _{CC} + 0.3 ⁽²⁾	V
V _{REF}	Reference Voltage		2		V _{CC}	V
R _{REF}	Reference Input Resistance		6	10	13	kΩ
V _{IN}	Input Voltage		AGND		AREF	V
R _{AIN}	Analog Input Resistance			100		MΩ

- Notes: 1. Minimum for V_{CC} is 2.7V.
2. Maximum for V_{CC} is 6.0V.



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้คัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

I/O Ports

All AVR ports have true read-modify-write functionality when used as general digital I/O ports. This means that the direction of one port pin can be changed without unintentionally changing the direction of any other pin with the SBI and CBI instructions. The same applies for changing drive value (if configured as output) or enabling/disabling of pull-up resistors (if configured as input).

Port A

Port A is an 8-bit bi-directional I/O port.

Three I/O memory address locations are allocated for Port A, one each for the Data Register – PORTA, \$1B(\$3B), Data Direction Register – DDRA, \$1A(\$3A) and the Port A Input Pins – PINA, \$19(\$39). The Port A Input Pins address is read-only, while the Data Register and the Data Direction Register are read/write.

All port pins have individually selectable pull-up resistors. The Port A output buffers can sink 20 mA and thus drive LED displays directly. When pins PA0 to PA7 are used as inputs and are externally pulled low, they will source current if the internal pull-up resistors are activated.

Port A has an alternate function as analog inputs for the ADC. If some Port A pins are configured as outputs, it is essential that these do not switch when a conversion is in progress. This might corrupt the result of the conversion.

During Power-down mode, the Schmitt trigger of the digital input is disconnected. This allows analog signals that are close to $V_{CC}/2$ to be present during power-down without causing excessive power consumption.

Port A Data Register – PORTA

Bit	7	6	5	4	3	2	1	0	
\$1B (\$3B)	PORTA7	PORTA6	PORTA5	PORTA4	PORTA3	PORTA2	PORTA1	PORTA0	PORTA
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
Initial Value	0	0	0	0	0	0	0	0	

Port A Data Direction Register – DDRA

Bit	7	6	5	4	3	2	1	0	
\$1A (\$3A)	DDA7	DDA6	DDA5	DDA4	DDA3	DDA2	DDA1	DDA0	DDRA
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
Initial Value	0	0	0	0	0	0	0	0	

Port A Input Pins Address – PINA

Bit	7	6	5	4	3	2	1	0	
\$19 (\$39)	PINA7	PINA6	PINA5	PINA4	PINA3	PINA2	PINA1	PINA0	PINA
Read/Write	R	R	R	R	R	R	R	R	
Initial Value	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	

The Port A Input Pins address (PINA) is not a register; this address enables access to the physical value on each Port A pin. When reading PORTA, the Port A Data Latch is read and when reading PINA, the logical values present on the pins are read.

Port A as General Digital I/O

All eight pins in Port A have equal functionality when used as digital I/O pins.

PA_n, general I/O pin: The DDAn bit in the DDRA register selects the direction of this pin. If DDAn is set (one), PA_n is configured as an output pin. If DDAn is cleared (zero), PA_n is configured as an input pin. If PORTAn is set (one) when the pin is configured as an input pin, the MOS pull-up resistor is activated. To switch the pull-up resistor off, the PORTAn has to be cleared (zero) or the pin has to be configured as an output pin. The port pins are tri-stated when a reset condition becomes active, even if the clock is not running.

Table 29. DDAn Effects on Port A Pins

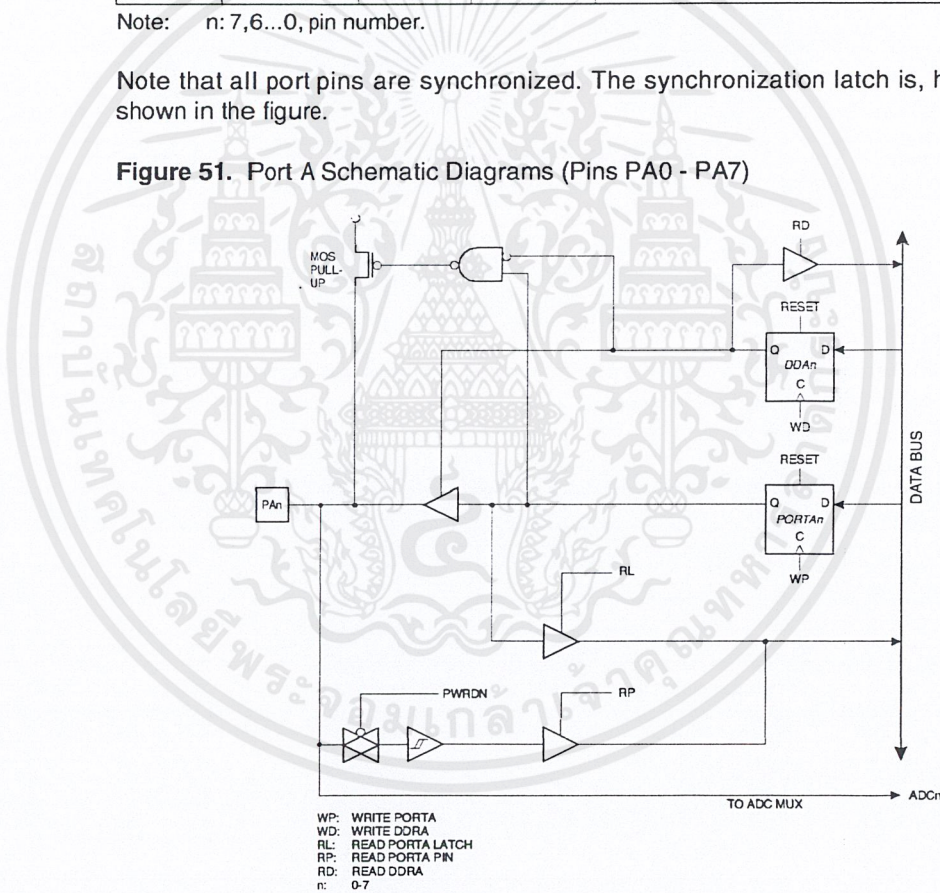
DDAn	PORTAn	I/O	Pull-up	Comment
0	0	Input	No	Tri-state (high-Z)
0	1	Input	Yes	PA _n will source current if ext. pulled low
1	0	Output	No	Push-pull Zero Output
1	1	Output	No	Push-pull One Output

Note: n: 7,6...0, pin number.

Port A Schematics

Note that all port pins are synchronized. The synchronization latch is, however, not shown in the figure.

Figure 51. Port A Schematic Diagrams (Pins PA0 - PA7)



WP: WRITE PORTA
 WD: WRITE DDRA
 RL: READ PORTA LATCH
 RP: READ PORTA PIN
 RD: READ DDRA
 n: 0-7

Port B

Port B is an 8-bit bi-directional I/O port.

Three I/O memory address locations are allocated for the Port B, one each for the Data Register – PORTB, \$18(\$38), Data Direction Register – DDRB, \$17(\$37) and the Port B Input Pins – PINB, \$16(\$36). The Port B Input Pins address is read-only, while the Data Register and the Data Direction Register are read/write.

All port pins have individually selectable pull-up resistors. The Port B output buffers can sink 20 mA and thus drive LED displays directly. When pins PB0 to PB7 are used as inputs and are externally pulled low, they will source current if the internal pull-up resistors are activated.

The Port B pins with alternate functions are shown in Table 30.

Table 30. Port B Pin Alternate Functions

Port Pin	Alternate Functions
PB0	T0 (Timer/Counter0 External Counter Input)
PB1	T1 (Timer/Counter1 External Counter Input)
PB2	AIN0 (Analog Comparator Positive Input)
PB3	AIN1 (Analog Comparator Negative Input)
PB4	SS (SPI Slave Select Input)
PB5	MOSI (SPI Bus Master Output/Slave Input)
PB6	MISO (SPI Bus Master Input/Slave Output)
PB7	SCK (SPI Bus Serial Clock)

When the pins are used for the alternate function, the DDRB and PORTB registers have to be set according to the alternate function description.

Port B Data Register – PORTB

Bit	7	6	5	4	3	2	1	0	
\$18 (\$38)	PORTB7 PORTB6 PORTB5 PORTB4 PORTB3 PORTB2 PORTB1 PORTB0								PORTB
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
Initial Value	0	0	0	0	0	0	0	0	

Port B Data Direction Register – DDRB

Bit	7	6	5	4	3	2	1	0	
\$17 (\$37)	DDB7 DDB6 DDB5 DDB4 DDB3 DDB2 DDB1 DDB0								DDRB
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
Initial Value	0	0	0	0	0	0	0	0	

Port B Input Pins Address – PINB

Bit	7	6	5	4	3	2	1	0	
\$16 (\$36)	PINB7 PINB6 PINB5 PINB4 PINB3 PINB2 PINB1 PINB0								PINB
Read/Write	R	R	R	R	R	R	R	R	
Initial Value	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	

The Port B Input Pins address (PINB) is not a register and this address enables access to the physical value on each Port B pin. When reading PORTB, the Port B Data Latch is read and when reading PINB, the logical values present on the pins are read.

Port B As General Digital I/O

All eight pins in Port B have equal functionality when used as digital I/O pins.

PB_n, general I/O pin: The DDB_n bit in the DDRB register selects the direction of this pin. If DDB_n is set (one), PB_n is configured as an output pin. If DDB_n is cleared (zero), PB_n is configured as an input pin. If PORTB_n is set (one) when the pin is configured as an input pin, the MOS pull-up resistor is activated. To switch the pull-up resistor off, the PORTB_n has to be cleared (zero) or the pin has to be configured as an output pin. The port pins are tri-stated when a reset condition becomes active, even if the clock is not running.

Table 31. DDB_n Effects on Port B Pins

DDB _n	PORTB _n	I/O	Pull-up	Comment
0	0	Input	No	Tri-state (high-Z)
0	1	Input	Yes	PB _n will source current if ext. pulled low
1	0	Output	No	Push-pull Zero Output
1	1	Output	No	Push-pull One Output

Note: n: 7,6...0, pin number.

Alternate Functions of Port B

The alternate pin configuration is as follows:

- **SCK – Port B, Bit 7**

SCK: Master clock output, slave clock input pin for SPI channel. When the SPI is enabled as a slave, this pin is configured as an input regardless of the setting of DDB7. When the SPI is enabled as a master, the data direction of this pin is controlled by DDB7. When the pin is forced to be an input, the pull-up can still be controlled by the PORTB7 bit. See the description of the SPI port for further details.

- **MISO – Port B, Bit 6**

MISO: Master data input, slave data output pin for SPI channel. When the SPI is enabled as a master, this pin is configured as an input regardless of the setting of DDB6. When the SPI is enabled as a slave, the data direction of this pin is controlled by DDB6. When the pin is forced to be an input, the pull-up can still be controlled by the PORTB6 bit. See the description of the SPI port for further details.

- **MOSI – Port B, Bit 5**

MOSI: SPI Master data output, slave data input for SPI channel. When the SPI is enabled as a slave, this pin is configured as an input regardless of the setting of DDB5. When the SPI is enabled as a master, the data direction of this pin is controlled by DDB5. When the pin is forced to be an input, the pull-up can still be controlled by the PORTB5 bit. See the description of the SPI port for further details.

- **\overline{SS} – Port B, Bit 4**

\overline{SS} : Slave port select input. When the SPI is enabled as a slave, this pin is configured as an input regardless of the setting of DDB4. As a slave, the SPI is activated when this pin is driven low. When the SPI is enabled as a master, the data direction of this pin is controlled by DDB4. When the pin is forced to be an input, the pull-up can still be controlled by the PORTB4 bit. See the description of the SPI port for further details.

- **AIN1 – Port B, Bit 3**

AIN1, Analog Comparator Negative Input. When configured as an input (DDB3 is cleared [zero]) and with the internal MOS pull-up resistor switched off (PB3 is cleared [zero]), this pin also serves as the negative input of the on-chip Analog Comparator. During Power-down mode, the Schmitt trigger of the digital input is disconnected. This



allows analog signals that are close to $V_{CC}/2$ to be present during power-down without causing excessive power consumption.

- **AIN0 – Port B, Bit 2**

AIN0, Analog Comparator Positive Input. When configured as an input (DDB2 is cleared [zero]) and with the internal MOS pull-up resistor switched off (PB2 is cleared [zero]), this pin also serves as the positive input of the on-chip Analog Comparator. During Power-down mode, the Schmitt trigger of the digital input is disconnected. This allows analog signals that are close to $V_{CC}/2$ to be present during power-down without causing excessive power consumption.

- **T1 – Port B, Bit 1**

T1, Timer/Counter1 counter source. See the timer description for further details.

- **T0 – Port B, Bit 0**

T0: Timer/Counter0 counter source. See the timer description for further details.

Port B Schematics

Note that all port pins are synchronized. The synchronization latches are, however, not shown in the figures.

Figure 52. Port B Schematic Diagram (Pins PB0 and PB1)

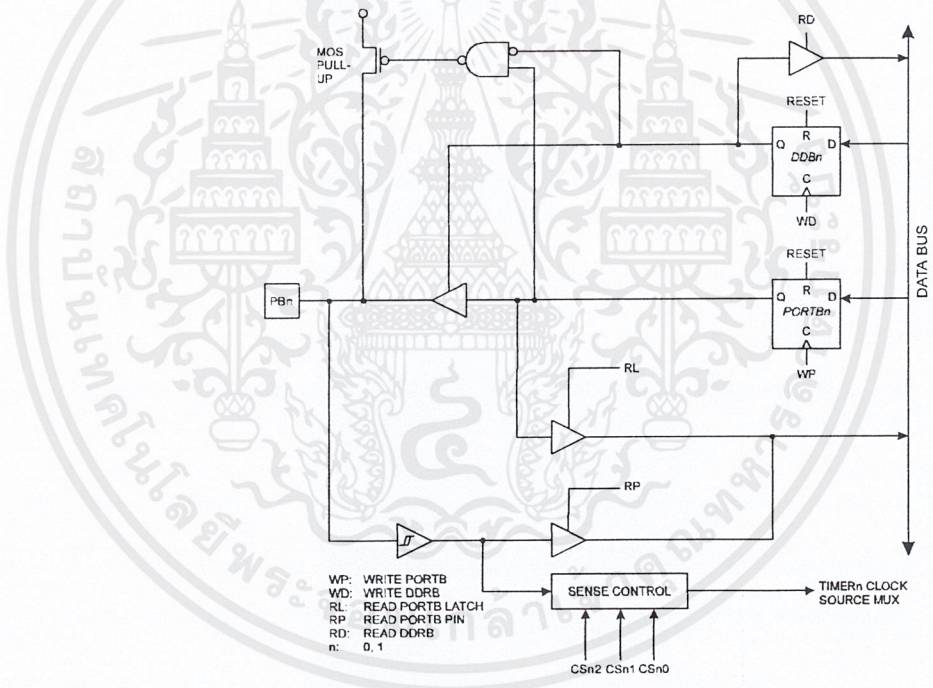


Figure 53. Port B Schematic Diagram (Pins PB2 and PB3)

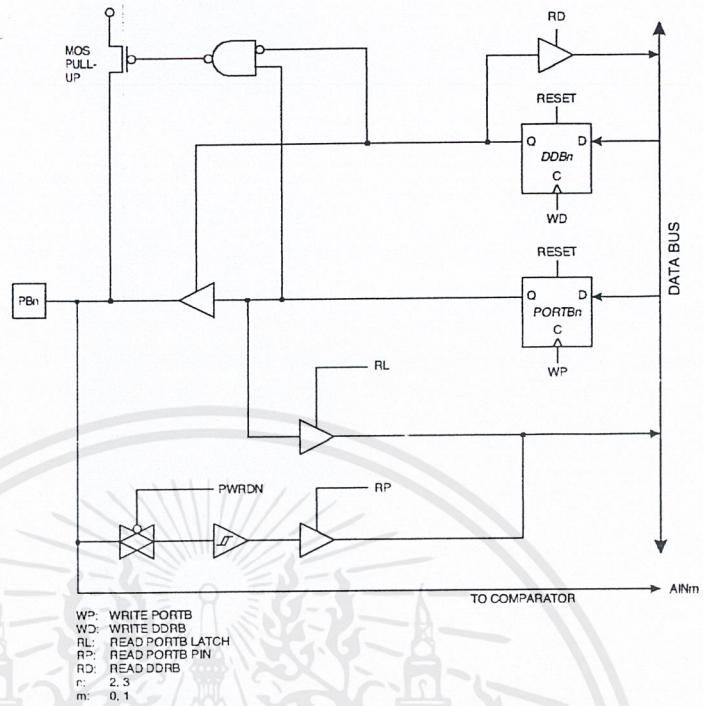


Figure 54. Port B Schematic Diagram (Pin PB4)

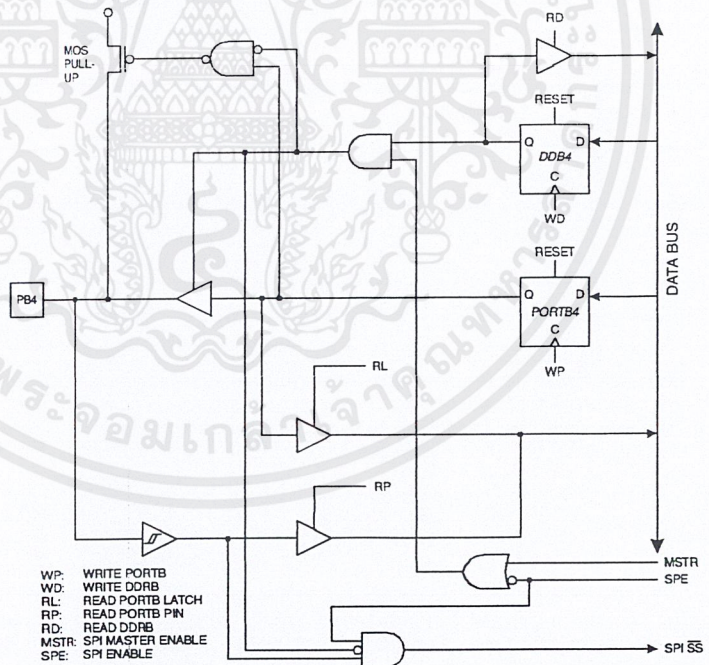


Figure 55. Port B Schematic Diagram (Pin PB5)

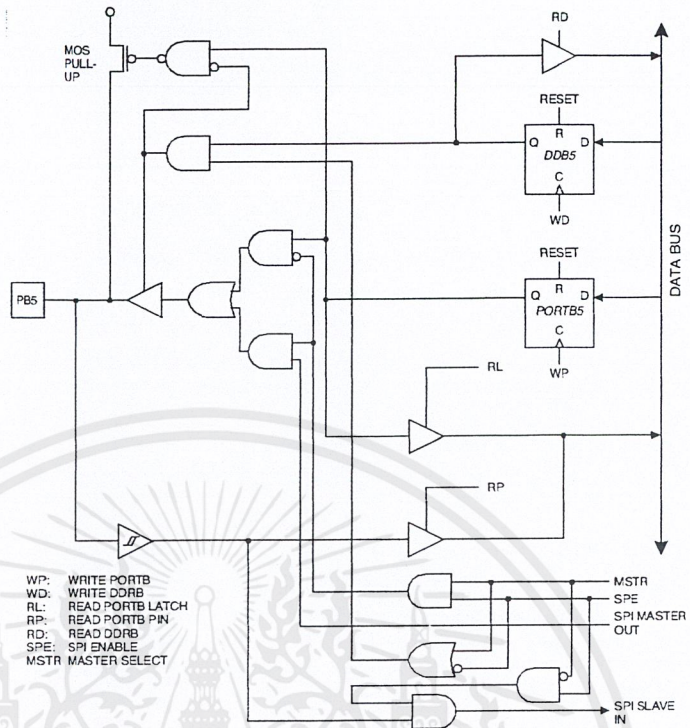


Figure 56. Port B Schematic Diagram (Pin PB6)

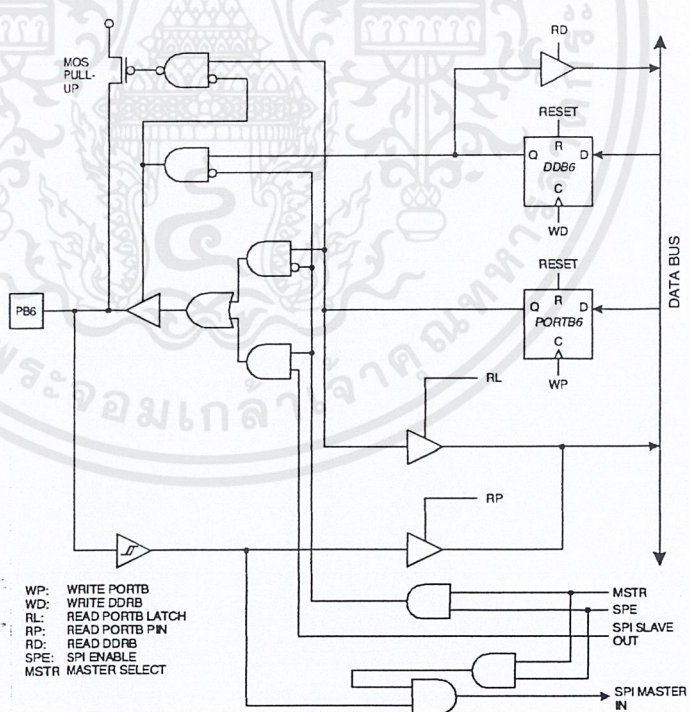
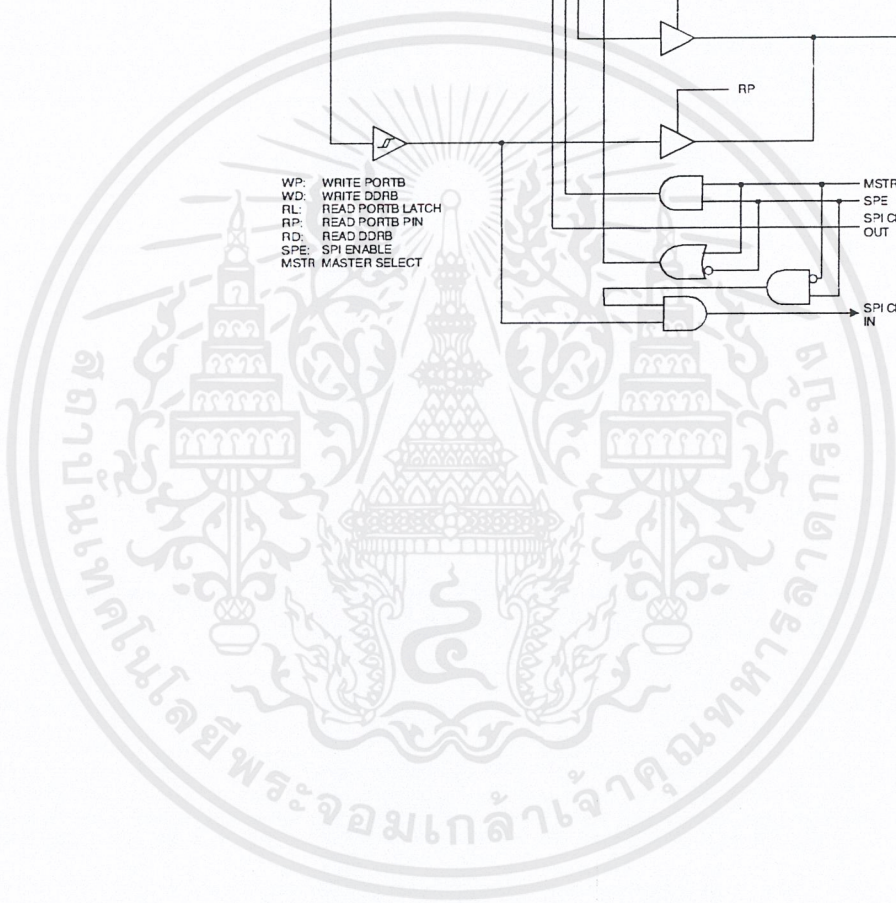
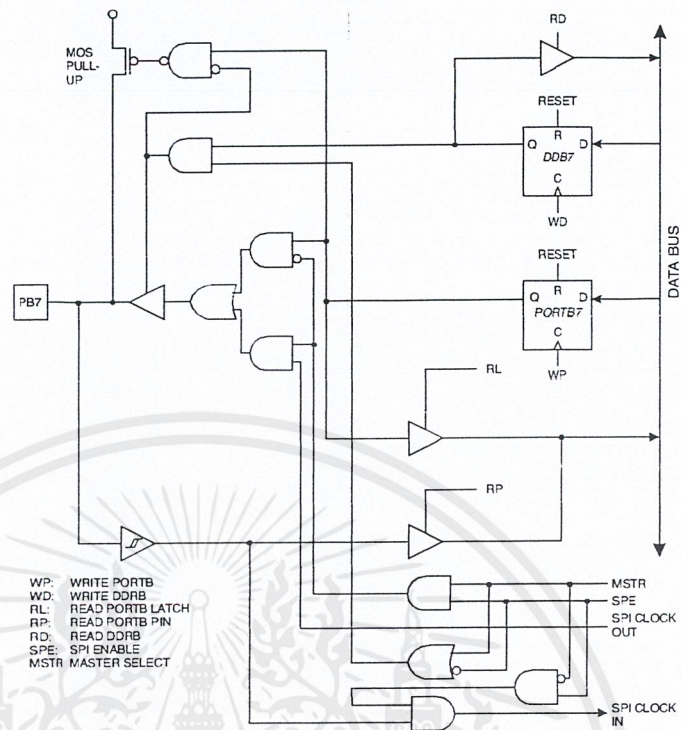


Figure 57. Port B Schematic Diagram (Pin PB7)



Port C

Port C is an 8-bit bi-directional I/O port.

Three I/O memory address locations are allocated for the Port C, one each for the Data Register – PORTC, \$15(\$35), Data Direction Register – DDRC, \$14(\$34) and the Port C Input Pins – PINC, \$13(\$33). The Port C Input Pins address is read-only, while the Data Register and the Data Direction Register are read/write.

All port pins have individually selectable pull-up resistors. The Port C output buffers can sink 20 mA and thus drive LED displays directly. When pins PC0 to PC7 are used as inputs and are externally pulled low, they will source current if the internal pull-up resistors are activated.

Port C Data Register – PORTC

Bit	7	6	5	4	3	2	1	0	
\$15 (\$35)	PORTC7 PORTC6 PORTC5 PORTC4 PORTC3 PORTC2 PORTC1 PORTC0								PORTC
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
Initial Value	0	0	0	0	0	0	0	0	

Port C Data Direction Register – DDRC

Bit	7	6	5	4	3	2	1	0	
\$14 (\$34)	DDC7 DDC6 DDC5 DDC4 DDC3 DDC2 DDC1 DDC0								DDRC
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
Initial Value	0	0	0	0	0	0	0	0	

Port C Input Pins Address – PINC

Bit	7	6	5	4	3	2	1	0	
\$13 (\$33)	PINC7 PINC6 PINC5 PINC4 PINC3 PINC2 PINC1 PINC0								PINC
Read/Write	R	R	R	R	R	R	R	R	
Initial Value	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	

The Port C Input Pins address (PINC) is not a register; this address enables access to the physical value on each Port C pin. When reading PORTC, the Port C Data Latch is read and when reading PINC, the logical values present on the pins are read.

Port C As General Digital I/O

All eight pins in Port C have equal functionality when used as digital I/O pins.

PC_n, general I/O pin: The DDC_n bit in the DDRC register selects the direction of this pin. If DDC_n is set (one), PC_n is configured as an output pin. If DDC_n is cleared (zero), PC_n is configured as an input pin. If PORTC_n is set (one) when the pin is configured as an input pin, the MOS pull-up resistor is activated. To switch the pull-up resistor off, PORTC_n has to be cleared (zero) or the pin has to be configured as an output pin. The port pins are tri-stated when a reset condition becomes active, even if the clock is not running.

Table 32. DDC_n Effects on Port C Pins

DDC _n	PORTC _n	I/O	Pull-up	Comment
0	0	Input	No	Tri-state (high-Z)
0	1	Input	Yes	PC _n will source current if ext. pulled low
1	0	Output	No	Push-pull Zero Output
1	1	Output	No	Push-pull One Output

Note: n: 7...0, pin number

Alternate Functions of Port C

When the AS2 bit in ASSR is set (one) to enable asynchronous clocking of Timer/Counter2, pins PC6 and PC7 are disconnected from the port. In this mode, a crystal oscillator is connected to the pins and the pins cannot be used as I/O pins.

Port C Schematics

Note that all port pins are synchronized. The synchronization latch is, however, not shown in the figure.

Figure 58. Port C Schematic Diagram (Pins PC0 - PC5)

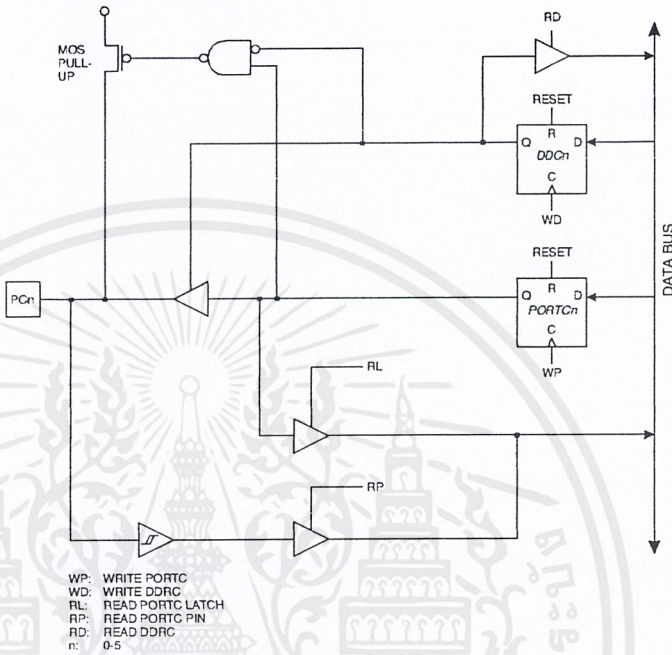


Figure 59. Port C Schematic Diagram (Pins PC6)

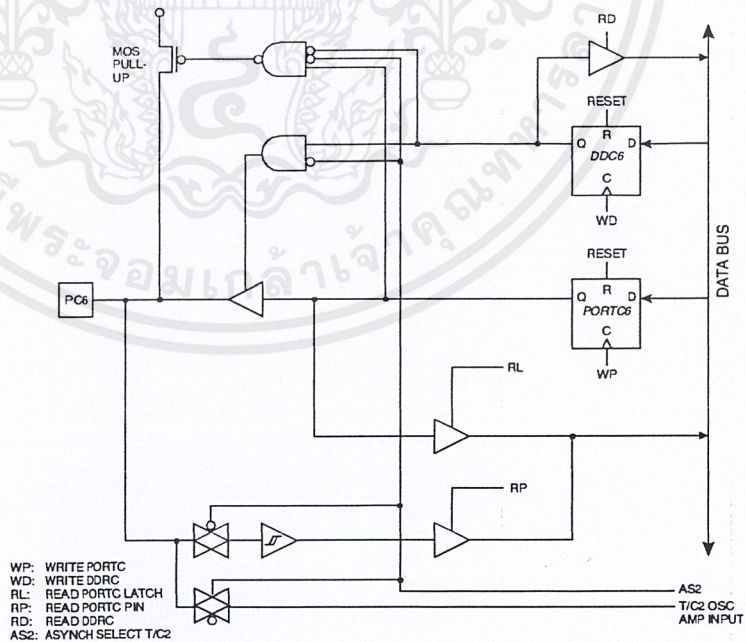
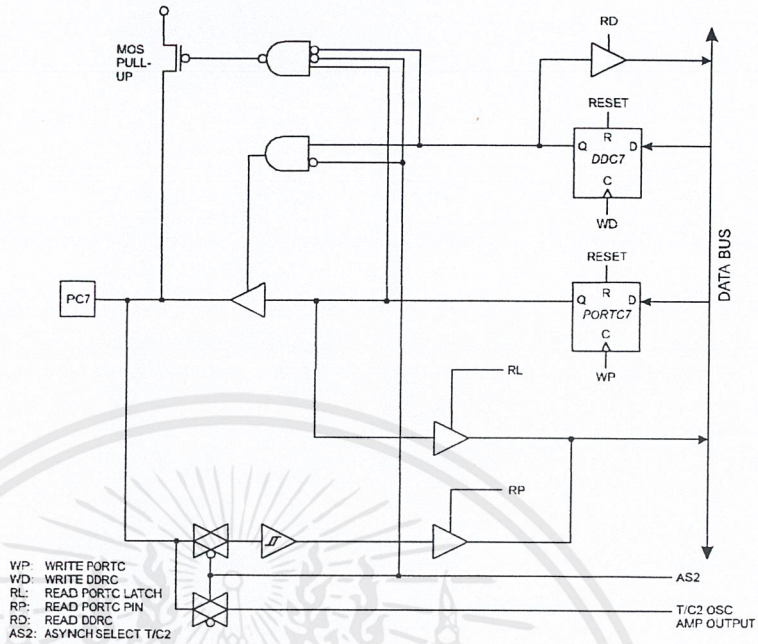


Figure 60. Port C Schematic Diagram (Pins PC7)



Port D

Port D is an 8-bit bi-directional I/O port with internal pull-up resistors.

Three I/O memory address locations are allocated for Port D, one each for the Data Register – PORTD, \$12(\$32), Data Direction Register – DDRD, \$11(\$31) and the Port D Input Pins – PIND, \$10(\$30). The Port D Input Pins address is read-only, while the Data Register and the Data Direction Register are read/write.

The Port D output buffers can sink 20 mA. As inputs, Port D pins that are externally pulled low will source current if the pull-up resistors are activated. Some Port D pins have alternate functions as shown in Table 33.

Table 33. Port D Pin Alternate Functions

Port Pin	Alternate Function
PD0	RXD (UART Input line)
PD1	TXD (UART Output line)
PD2	INT0 (External interrupt 0 input)
PD3	INT1 (External interrupt 1 input)
PD4	OC1B (Timer/Counter1 output compareB match output)
PD5	OC1A (Timer/Counter1 output compareA match output)
PD6	ICP (Timer/Counter1 input capture pin)
PD7	OC2 (Timer/Counter2 output compare match output)

Port D Data Register – PORTD

Bit	7	6	5	4	3	2	1	0	
\$12 (\$32)	PORTD7	PORTD6	PORTD5	PORTD4	PORTD3	PORTD2	PORTD1	PORTD0	PORTD
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
Initial Value	0	0	0	0	0	0	0	0	

Port D Data Direction Register – DDRD

Bit	7	6	5	4	3	2	1	0	
\$11 (\$31)	DDD7	DDD6	DDD5	DDD4	DDD3	DDD2	DDD1	DDD0	DDRD
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
Initial Value	0	0	0	0	0	0	0	0	

Port D Input Pins Address – PIND

Bit	7	6	5	4	3	2	1	0	
\$10 (\$30)	PIND7	PIND6	PIND5	PIND4	PIND3	PIND2	PIND1	PIND0	PIND
Read/Write	R	R	R	R	R	R	R	R	
Initial Value	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	

The Port D Input Pins address (PIND) is not a register; this address enables access to the physical value on each Port D pin. When reading PORTD, the Port D Data Latch is read and when reading PIND, the logical values present on the pins are read.

Port D As General Digital I/O

PDn, general I/O pin: The DDDn bit in the DDRD register selects the direction of this pin. If DDDn is set (one), PDn is configured as an output pin. If DDDn is cleared (zero), PDn is configured as an input pin. If PDn is set (one) when configured as an input pin, the MOS pull-up resistor is activated. To switch the pull-up resistor off, the PDn has to be cleared (zero) or the pin has to be configured as an output pin. The port pins are tri-stated when a reset condition becomes active, even if the clock is not running.

Table 34. DDDn Bits on Port D Pins

DDDn	PORTDn	I/O	Pull-up	Comment
0	0	Input	No	Tri-state (high-Z)
0	1	Input	Yes	PDn will source current if ext. pulled low
1	0	Output	No	Push-pull Zero Output
1	1	Output	No	Push-pull One Output

Note: n: 7,6...0, pin number.

Alternate Functions of Port D

• **OC2 – Port D, Bit 7**

OC2, Timer/Counter2 output compare match output: The PD7 pin can serve as an external output for the Timer/Counter2 output compare. The pin has to be configured as an output (DDD7 set [one]) to serve this function. See the timer description on how to enable this function. The OC2 pin is also the output pin for the PWM mode timer function.

• **ICP – Port D, Bit 6**

ICP – Input Capture Pin: The PD6 pin can act as an input capture pin for Timer/Counter1. The pin has to be configured as an input (DDD6 cleared [zero]) to serve this function. See the timer description on how to enable this function.



- **OC1A – Port D, Bit 5**

OC1A, Output compare matchA output: The PD5 pin can serve as an external output for the Timer/Counter1 output compareA. The pin has to be configured as an output (DDD5 set [one]) to serve this function. See the timer description on how to enable this function. The OC1A pin is also the output pin for the PWM mode timer function.

- **OC1B – Port D, Bit 4**

OC1B, Output compare matchB output: The PD4 pin can serve as an external output for the Timer/Counter1 output compareB. The pin has to be configured as an output (DDD4 set [one]) to serve this function. See the timer description on how to enable this function. The OC1B pin is also the output pin for the PWM mode timer function.

- **INT1 – Port D, Bit 3**

INT1, External Interrupt source 1: The PD3 pin can serve as an external interrupt source to the MCU. See the interrupt description for further details and how to enable the source.

- **INT0 – Port D, Bit 2**

INT0, External Interrupt source 0: The PD2 pin can serve as an external interrupt source to the MCU. See the interrupt description for further details and how to enable the source.

- **TXD – Port D, Bit 1**

Transmit Data (data output pin for the UART). When the UART Transmitter is enabled, this pin is configured as an output, regardless of the value of DDD1.

- **RXD – Port D, Bit 0**

Receive Data (data input pin for the UART). When the UART Receiver is enabled, this pin is configured as an input, regardless of the value of DDD0. When the UART forces this pin to be an input, a logical “1” in PORTD0 will turn on the internal pull-up.

Port D Schematics

Note that all port pins are synchronized. The synchronization latches are, however, not shown in the figures.

Figure 61. Port D Schematic Diagram (Pin PD0)

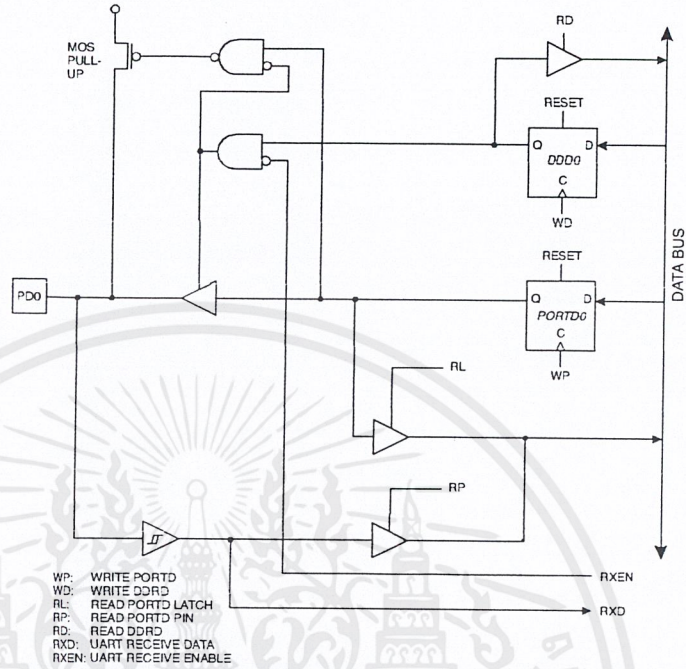


Figure 62. Port D Schematic Diagram (Pin PD1)

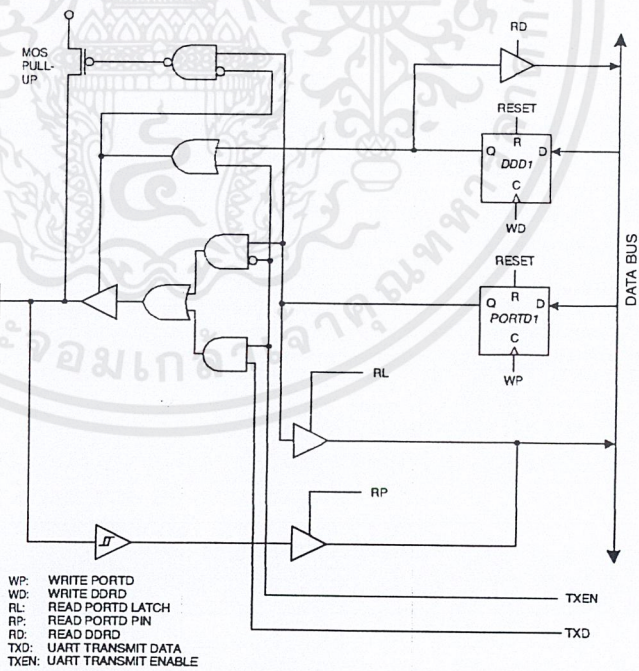


Figure 63. Port D Schematic Diagram (Pins PD2 and PD3)

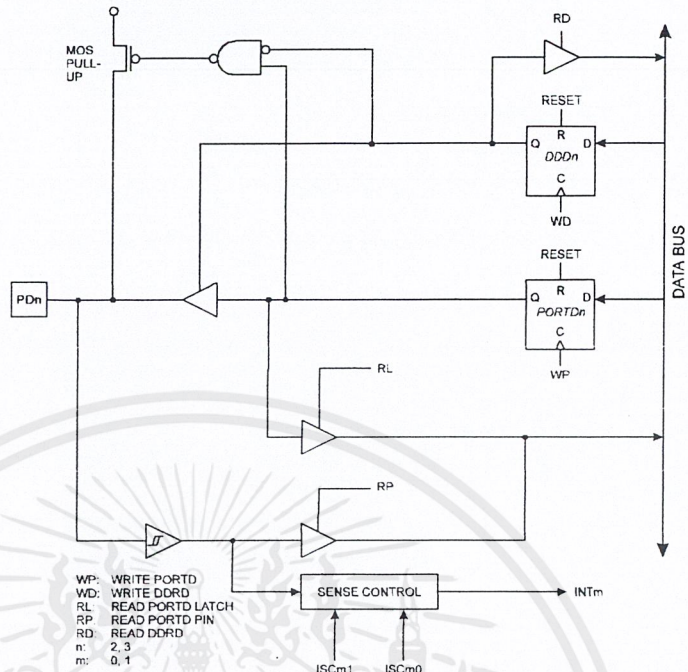


Figure 64. Port D Schematic Diagram (Pins PD4 and PD5)

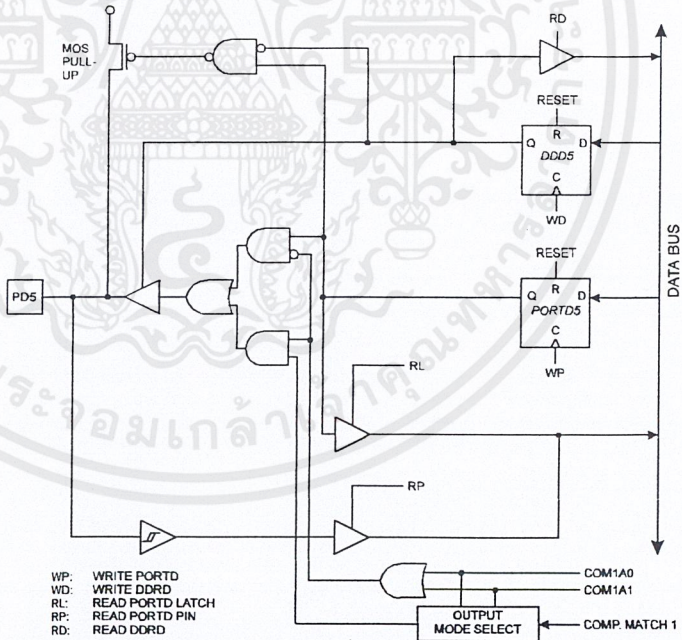


Figure 65. Port D Schematic Diagram (Pin PD6)

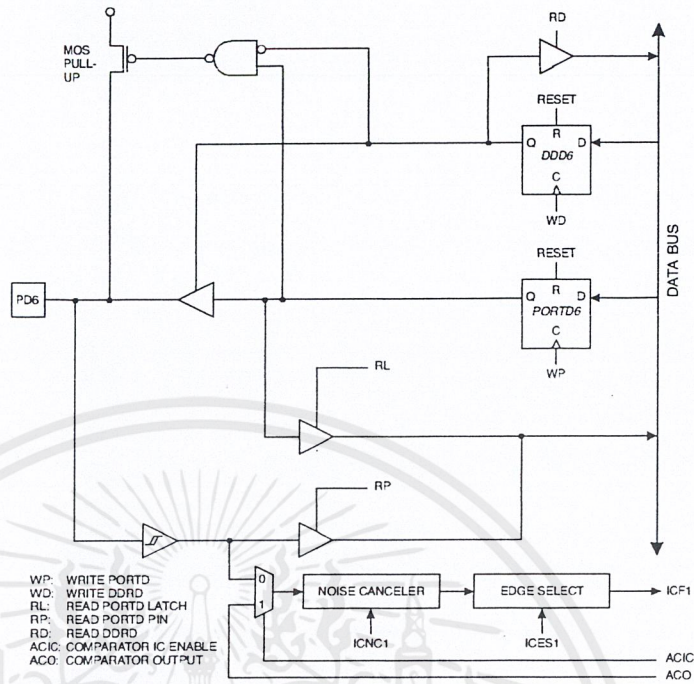
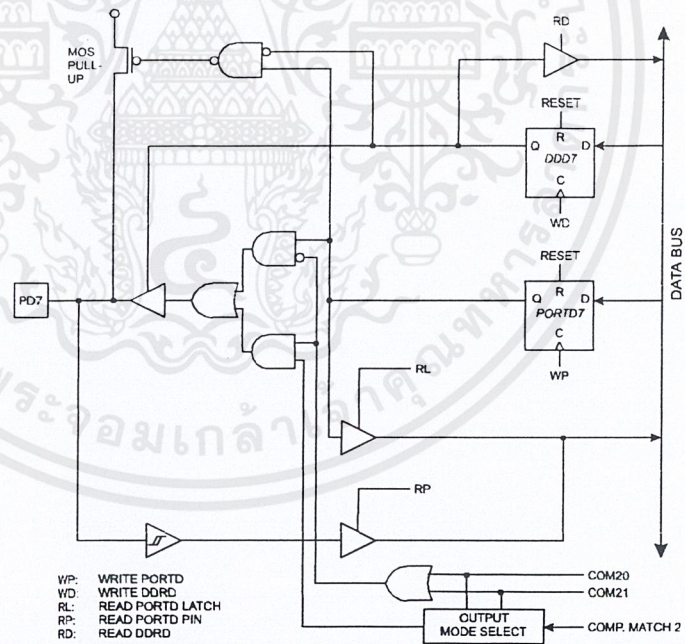


Figure 66. Port D Schematic Diagram (Pin PD7)



Memory Programming

Program and Data Memory Lock Bits

The AT90S8535 MCU provides two Lock bits that can be left unprogrammed (“1”) or can be programmed (“0”) to obtain the additional features listed in Table 35. The Lock bits can only be erased with the Chip Erase command.

Table 35. Lock Bit Protection Modes

Memory Lock Bits			Protection Type
Mode	LB1	LB2	
1	1	1	No memory lock features enabled.
2	0	1	Further programming of the Flash and EEPROM is disabled. ⁽¹⁾
3	0	0	Same as mode 2 and verify is also disabled.

Note: 1. In Parallel Mode, further programming of the Fuse bits is also disabled. Program the Fuse bits before programming the Lock bits.

Fuse Bits

The AT90S8535 has two Fuse bits, SPIEN and FSTRT.

- When the SPIEN Fuse is programmed (“0”), Serial Program and Data Downloading is enabled. Default value is programmed (“0”). The SPIEN Fuse is not accessible in Serial Programming Mode.
- When the FSTRT Fuse is programmed (“0”), the short start-up time is selected. Default value is unprogrammed (“1”).

The status of the Fuse bits is not affected by Chip Erase.

Signature Bytes

All Atmel microcontrollers have a three-byte signature code that identifies the device. This code can be read in both Serial and Parallel modes. The three bytes reside in a separate address space.

1. \$000: \$1E (indicates manufactured by Atmel)
2. \$001: \$93 (indicates 8K bytes Flash memory)
3. \$002: \$03 (indicates AT90S8535 device when signature byte \$001 is \$93)

Note: 1. When both Lock bits are programmed (lock mode 3), the signature bytes cannot be read in Serial Mode. Reading the signature bytes will return: \$00, \$01 and \$02.

Programming the Flash and EEPROM

Atmel's AT90S8535 offers 8K bytes of in-system reprogrammable Flash program memory and 512 bytes of EEPROM data memory.

The AT90S8535 is shipped with the On-chip Flash program and EEPROM data memory arrays in the erased state (i.e., contents = \$FF) and ready to be programmed. This device supports a high-voltage (12V) Parallel Programming Mode and a low-voltage Serial Programming Mode. The +12V is used for programming enable only and no current of significance is drawn by this pin. The Serial Programming Mode provides a convenient way to download program and data into the AT90S8535 inside the user's system.

The program and data memory arrays on the AT90S8535 are programmed byte-by-byte in either programming mode. For the EEPROM, an auto-erase cycle is provided within the self-timed write instruction in the Serial Programming Mode.

During programming, the supply voltage must be in accordance with Table 36.

Table 36. Supply Voltage during Programming

Part	Serial Programming	Parallel Programming
AT90S8535	4.0 - 6.0V	4.5 - 5.5V
AT90LS8535	2.7 - 6.0V	4.5 - 5.5V

Parallel Programming

This section describes how to parallel program and verify Flash program memory, EEPROM data memory, Lock bits and Fuse bits in the AT90S8535.

Signal Names

In this section, some pins of the AT90S8535 are referenced by signal names describing their function during parallel programming. See Figure 67 and Table 37. Pins not described in Table 37 are referenced by pin name.

The XA1/XA0 pins determine the action executed when the XTAL1 pin is given a positive pulse. The bit coding are shown in Table 38.

When pulsing \overline{WR} or \overline{OE} , the command loaded determines the action executed. The command is a byte where the different bits are assigned functions as shown in Table 39.

Figure 67. Parallel Programming

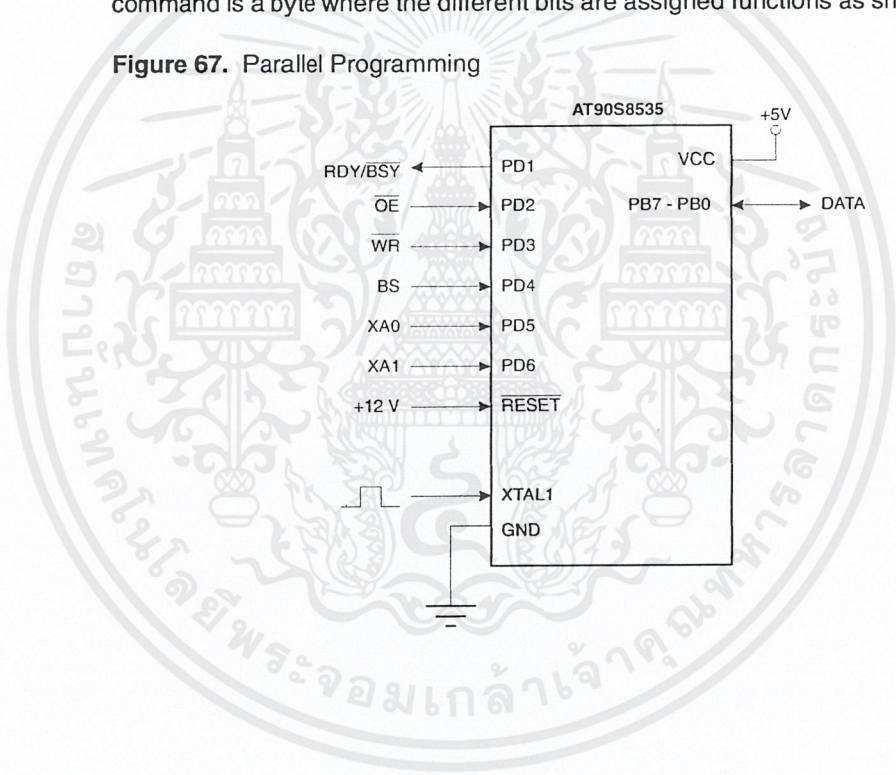


Table 37. Pin Name Mapping

Signal Name in Programming Mode	Pin Name	I/O	Function
RDY/BSY	PD1	O	0: Device is busy programming, 1: Device is ready for new command
\overline{OE}	PD2	I	Output Enable (Active low)
\overline{WR}	PD3	I	Write Pulse (Active low)
BS	PD4	I	Byte Select ("0" selects low byte, "1" selects high byte)
XA0	PD5	I	XTAL Action Bit 0
XA1	PD6	I	XTAL Action Bit 1
DATA	PB7 - 0	I/O	Bi-directional Data Bus (Output when \overline{OE} is low)

Table 38. XA1 and XA0 Coding

XA1	XA0	Action when XTAL1 is Pulsed
0	0	Load Flash or EEPROM Address (high or low address byte determined by BS)
0	1	Load Data (High or low data byte for Flash determined by BS)
1	0	Load Command
1	1	No Action, Idle

Table 39. Command Byte Bit Coding

Command Byte	Command Executed
1000 0000	Chip Erase
0100 0000	Write Fuse Bits
0010 0000	Write Lock Bits
0001 0000	Write Flash
0001 0001	Write EEPROM
0000 1000	Read Signature Bytes
0000 0100	Read Lock and Fuse Bits
0000 0010	Read Flash
0000 0011	Read EEPROM

Enter Programming Mode

The following algorithm puts the device in Parallel Programming Mode:

1. Apply supply voltage according to Table 36, between V_{CC} and GND.
2. Set the \overline{RESET} and BS pin to "0" and wait at least 100 ns.
3. Apply 11.5 - 12.5V to \overline{RESET} . Any activity on BS within 100 ns after +12V has been applied to \overline{RESET} , will cause the device to fail entering programming mode.

Chip Erase

The Chip Erase command will erase the Flash and EEPROM memories and the Lock bits. The Lock bits are not reset until the Flash and EEPROM have been completely erased. The Fuse bits are not changed. Chip Erase must be performed before the Flash or EEPROM is reprogrammed.

Load Command "Chip Erase":

1. Set XA1, XA0 to "10". This enables command loading.
2. Set BS to "0".
3. Set DATA to "1000 0000". This is the command for Chip Erase.
4. Give XTAL1 a positive pulse. This loads the command.
5. Give \overline{WR} a t_{WLWH_CE} -wide negative pulse to execute Chip Erase. See Table 40 for t_{WLWH_CE} value. Chip Erase does not generate any activity on the RDY/BSY pin.

Programming the Flash

A: Load Command "Write Flash"

1. Set XA1, XA0 to "10". This enables command loading.
2. Set BS to "0".
3. Set DATA to "0001 0000". This is the command for Write Flash.
4. Give XTAL1 a positive pulse. This loads the command.

B: Load Address High Byte

1. Set XA1, XA0 to "00". This enables address loading.
2. Set BS to "1". This selects high byte.
3. Set DATA = Address high byte (\$00 - \$0F).
4. Give XTAL1 a positive pulse. This loads the address high byte.

C: Load Address Low Byte

1. Set XA1, XA0 to "00". This enables address loading.
2. Set BS to "0". This selects low byte.
3. Set DATA = Address low byte (\$00 - \$FF).
4. Give XTAL1 a positive pulse. This loads the address low byte.

D: Load Data Low Byte

1. Set XA1, XA0 to "01". This enables data loading.
2. Set DATA = Data low byte (\$00 - \$FF).
3. Give XTAL1 a positive pulse. This loads the data low byte.

E: Write Data Low Byte

1. Set BS to "0". This selects low data.
2. Give \overline{WR} a negative pulse. This starts programming of the data byte. RDY/BSY goes low.
3. Wait until RDY/BSY goes high to program the next byte.

(See Figure 68 for signal waveforms.)

F: Load Data High Byte

1. Set XA1, XA0 to "01". This enables data loading.
2. Set DATA = Data high byte (\$00 - \$FF).
3. Give XTAL1 a positive pulse. This loads the data high byte.

G: Write Data High Byte



1. Set BS to "1". This selects high data.
2. Give \overline{WR} a negative pulse. This starts programming of the data byte. RDY/ \overline{BSY} goes low.
3. Wait until RDY/ \overline{BSY} goes high to program the next byte.

(See Figure 69 for signal waveforms.)

The loaded command and address are retained in the device during programming. For efficient programming, the following should be considered:

- The command needs only be loaded once when writing or reading multiple memory locations.
- Address high byte needs only be loaded before programming a new 256-word page in the Flash.
- Skip writing the data value \$FF, that is, the contents of the entire Flash and EEPROM after a Chip Erase.

These considerations also apply to EEPROM programming and Flash, EEPROM and signature byte reading.

Figure 68. Programming the Flash Waveforms

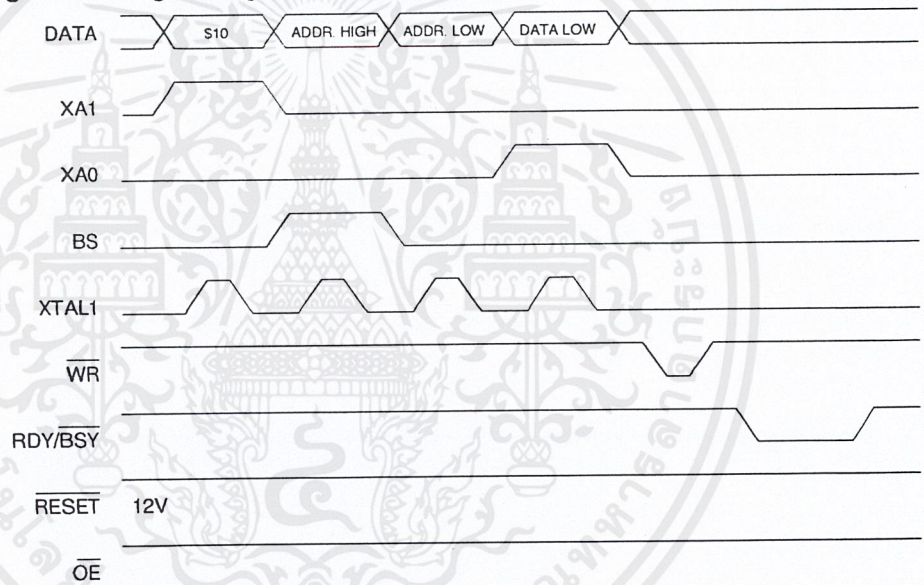
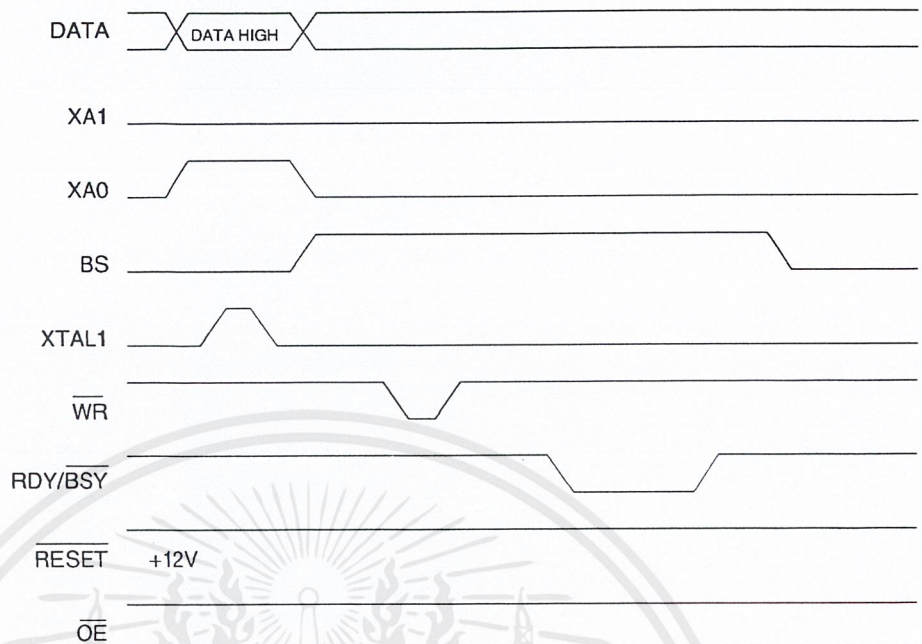


Figure 69. Programming the Flash Waveforms (Continued)



Reading the Flash

The algorithm for reading the Flash memory is as follows (refer to “Programming the Flash” for details on command and address loading):

1. A: Load Command “0000 0010”.
2. B: Load Address High Byte (\$00 - \$0F).
3. C: Load Address Low Byte (\$00 - \$FF).
4. Set \overline{OE} to “0” and BS to “0”. The Flash word low byte can now be read at DATA.
5. Set BS to “1”. The Flash word high byte can now be read from DATA.
6. Set \overline{OE} to “1”.

Programming the EEPROM

The programming algorithm for the EEPROM data memory is as follows (refer to “Programming the Flash” for details on command, address and data loading):

1. A: Load Command “0001 0001”.
2. B: Load Address High Byte (\$00 - \$01).
3. C: Load Address Low Byte (\$00 - \$FF).
4. D: Load Data Low Byte (\$00 - \$FF).
5. E: Write Data Low Byte.

Reading the EEPROM

The algorithm for reading the EEPROM memory is as follows (refer to “Programming the Flash” for details on command and address loading):

1. A: Load Command “0000 0011”.
2. B: Load Address High Byte (\$00 - \$01).
3. C: Load Address Low Byte (\$00 - \$FF).
4. Set \overline{OE} to “0” and BS to “0”. The EEPROM data byte can now be read at DATA.
5. Set \overline{OE} to “1”.



Programming the Fuse Bits

The algorithm for programming the Fuse bits is as follows (refer to “Programming the Flash” for details on command and data loading):

1. A: Load Command “0100 0000”.
2. D: Load Data Low Byte. Bit n = “0” programs and bit n = “1” erases the Fuse bit.
Bit 5 = SPIEN Fuse bit.
Bit 0 = FSTRT Fuse bit.
Bit 7-6,4-1 = “1”. These bits are reserved and should be left unprogrammed (“1”).
3. Give \overline{WR} a t_{WLWH_PFB} -wide negative pulse to execute the programming, t_{WLWH_PFB} is found in Table 40. Programming the Fuse bits does not generate any activity on the RDY/ \overline{BSY} pin.

Programming the Lock Bits

The algorithm for programming the Lock bits is as follows (refer to “Programming the Flash” on page 95 for details on command and data loading):

1. A: Load Command “0010 0000”.
2. D: Load Data Low Byte. Bit n = “0” programs the Lock bit.
Bit 2 = Lock Bit2
Bit 1 = Lock Bit1
Bit 7-3,0 = “1”. These bits are reserved and should be left unprogrammed (“1”).
3. E: Write Data Low Byte.

The Lock bits can only be cleared by executing Chip Erase.

Reading the Fuse and Lock Bits

The algorithm for reading the Fuse and Lock bits is as follows (refer to “Programming the Flash” on page 95 for details on command loading):

1. A: Load Command “0000 0100”.
2. Set \overline{OE} to “0” and BS to “1”. The status of the Fuse and Lock bits can now be read at DATA (“0” means programmed).
Bit 7 = Lock Bit1
Bit 6 = Lock Bit2
Bit 5 = SPIEN Fuse bit
Bit 0 = FSTRT Fuse bit
3. Set \overline{OE} to “1”.
Observe that BS needs to be set to “1”.

Reading the Signature Bytes

The algorithm for reading the signature bytes is as follows (refer to “Programming the Flash” on page 95 for details on command and address loading):

1. A: Load Command “0000 1000”.
2. C: Load Address Low Byte (\$00 - \$02).
Set \overline{OE} to “0” and BS to “0”. The selected signature byte can now be read at DATA.
3. Set \overline{OE} to “1”.

Parallel Programming Characteristics

Figure 70. Parallel Programming Timing

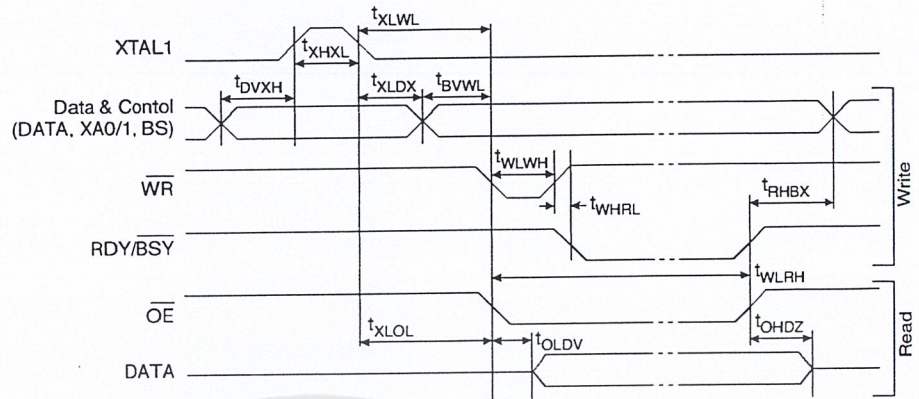


Table 40. Parallel Programming Characteristics, $T_A = 25^\circ\text{C} \pm 10\%$, $V_{CC} = 5\text{V} \pm 10\%$

Symbol	Parameter	Min	Typ	Max	Units
V_{PP}	Programming Enable Voltage	11.5		12.5	V
I_{PP}	Programming Enable Current			250.0	μA
t_{DVXH}	Data and Control Setup before XTAL1 High	67.0			ns
t_{XHL}	XTAL1 Pulse Width High	67.0			ns
t_{XLDX}	Data and Control Hold after XTAL1 Low	67.0			ns
t_{XLWL}	XTAL1 Low to $\overline{\text{WR}}$ Low	67.0			ns
t_{BVWL}	BS Valid to $\overline{\text{WR}}$ Low	67.0			ns
t_{RHBX}	BS Hold after RDY/ $\overline{\text{BSY}}$ High	67.0			ns
t_{WLWH}	$\overline{\text{WR}}$ Pulse Width Low ⁽¹⁾	67.0			ns
t_{WHRL}	$\overline{\text{WR}}$ High to RDY/ $\overline{\text{BSY}}$ Low ⁽²⁾		20.0		ns
t_{WLRH}	$\overline{\text{WR}}$ Low to RDY/ $\overline{\text{BSY}}$ High ⁽²⁾	0.5	0.7	0.9	ms
t_{XLOL}	XTAL1 Low to $\overline{\text{OE}}$ Low	67.0			ns
t_{OLDV}	$\overline{\text{OE}}$ Low to DATA Valid		20.0		ns
t_{OHDZ}	$\overline{\text{OE}}$ High to DATA Tri-stated			20.0	ns
t_{WLWH_CE}	$\overline{\text{WR}}$ Pulse Width Low for Chip Erase	5.0	10.0	15.0	ms
t_{WLWH_PFB}	$\overline{\text{WR}}$ Pulse Width Low for Programming the Fuse Bits	1.0	1.5	1.8	ms

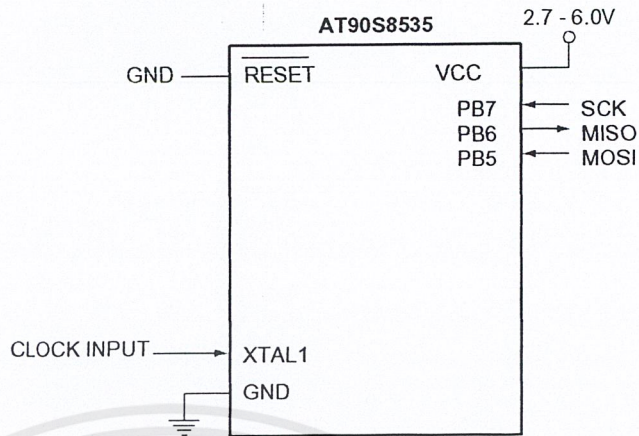
Notes: 1. Use t_{WLWH_CE} for Chip Erase and t_{WLWH_PFB} for programming the Fuse bits.
 2. If t_{WLWH} is held longer than t_{WLRH} , no RDY/ $\overline{\text{BSY}}$ pulse will be seen.

Serial Downloading

Both the Flash and EEPROM memory arrays can be programmed using the serial SPI bus while $\overline{\text{RESET}}$ is pulled to GND. The serial interface consists of pins SCK, MOSI (input) and MISO (output), see Figure 71. After $\overline{\text{RESET}}$ is set low, the Programming Enable instruction needs to be executed first before program/erase operations can be executed.



Figure 71. Serial Programming and Verify



For the EEPROM, an auto-erase cycle is provided within the self-timed write instruction and there is no need to first execute the Chip Erase instruction. The Chip Erase instruction turns the content of every memory location in both the program and EEPROM arrays into \$FF.

The program and EEPROM memory arrays have separate address spaces: \$0000 to \$0FFF for program memory and \$0000 to \$01FF for EEPROM memory.

Either an external clock is supplied at pin XTAL1 or a crystal needs to be connected across pins XTAL1 and XTAL2. The minimum low and high periods for the serial clock (SCK) input are defined as follows:

Low: > 2 XTAL1 clock cycles

High: > 2 XTAL1 clock cycles

When writing serial data to the AT90S8535, data is clocked on the rising edge of SCK.

When reading data from the AT90S8535, data is clocked on the falling edge of SCK. See Figure 72, Figure 73 and Table 43 for timing details.

To program and verify the AT90SS8535 in the Serial Programming Mode, the following sequence is recommended (see 4-byte instruction formats in Table 42):

1. Power-up sequence:

Apply power between V_{CC} and GND while \overline{RESET} and SCK are set to "0". If a crystal is not connected across pins XTAL1 and XTAL2, apply a clock signal to the XTAL1 pin. In some systems, the programmer cannot guarantee that SCK is held low during power-up. In this case, \overline{RESET} must be given a positive pulse of at least two XTAL1 cycles duration after SCK has been set to "0".

2. Wait for at least 20 ms and enable serial programming by sending the Programming Enable serial instruction to the MOSI (PB5) pin.

3. The serial programming instructions will not work if the communication is out of synchronization. When in sync, the second byte (\$53) will echo back when issuing the third byte of the Programming Enable instruction. Whether the echo is correct or not, all four bytes of the instruction must be transmitted. If the \$53 did not echo back, give SCK a positive pulse and issue a new Programming Enable instruction. If the \$53 is not seen within 32 attempts, there is no functional device connected.

Serial Programming Algorithm

4. If a Chip Erase is performed (must be done to erase the Flash), wait t_{WD_ERASE} after the instruction, give \overline{RESET} a positive pulse and start over from step 2. See Table 44 for t_{WD_ERASE} value.
5. The Flash or EEPROM array is programmed one byte at a time by supplying the address and data together with the appropriate Write instruction. An EEPROM memory location is first automatically erased before new data is written. Use Data Polling to detect when the next byte in the Flash or EEPROM can be written. If polling is not used, wait t_{WD_PROG} before transmitting the next instruction. See Table 45 for t_{WD_PROG} value. In an erased device, no \$FFs in the data file(s) needs to be programmed.
6. Any memory location can be verified by using the Read instruction that returns the content at the selected address at the serial output MISO (PB6) pin.
7. At the end of the programming session, \overline{RESET} can be set high to commence normal operation.
8. Power-off sequence (if needed):
 Set XTAL1 to "0" (if a crystal is not used).
 Set \overline{RESET} to "1".
 Turn V_{CC} power off.

Data Polling EEPROM

When a byte is being programmed into the EEPROM, reading the address location being programmed will give the value P1 until the auto-erase is finished and then the value P2. See Table 41 for P1 and P2 values.

At the time the device is ready for a new EEPROM byte, the programmed value will read correctly. This is used to determine when the next byte can be written. This will not work for the values P1 and P2, so when programming these values, the user will have to wait for at least the prescribed time t_{WD_PROG} before programming the next byte. See Table 45 for t_{WD_PROG} value. As a chip-erased device contains \$FF in all locations, programming of addresses that are meant to contain \$FF can be skipped. This does not apply if the EEPROM is reprogrammed without first chip-erasing the device.

Table 41. Read Back Value during EEPROM Polling

Part	P1	P2
AT90S/LS8535	\$00	\$FF

Data Polling Flash

When a byte is being programmed into the Flash, reading the address location being programmed will give the value \$FF. At the time the device is ready for a new byte, the programmed value will read correctly. This is used to determine when the next byte can be written. This will not work for the value \$FF, so when programming this value, the user will have to wait for at least t_{WD_PROG} before programming the next byte. As a chip-erased device contains \$FF in all locations, programming of addresses that are meant to contain \$FF can be skipped.

Figure 72. Serial Programming Waveforms

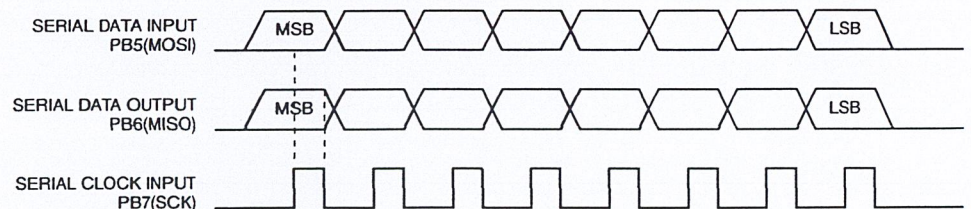


Table 42. Serial Programming Instruction Set

Instruction	Instruction Format				Operation
	Byte 1	Byte 2	Byte 3	Byte4	
Programming Enable	1010 1100	0101 0011	xxxx xxxx	xxxx xxxx	Enable serial programming while RESET is low.
Chip Erase	1010 1100	100x xxxx	xxxx xxxx	xxxx xxxx	Chip Erase Flash and EEPROM memory arrays.
Read Program Memory	0010 H 000	xxxx aaaa	bbbb bbbb	oooo oooo	Read H (high or low) data o from program memory at word address a:b .
Write Program Memory	0100 H 000	xxxx aaaa	bbbb bbbb	iiii iiii	Write H (high or low) data i to program memory at word address a:b .
Read EEPROM Memory	1010 0000	xxxx xxxa	bbbb bbbb	oooo oooo	Read data o from EEPROM memory at address a:b .
Write EEPROM Memory	1100 0000	xxxx xxxa	bbbb bbbb	iiii iiii	Write data i to EEPROM memory at address a:b .
Read Lock and Fuse Bits	0101 1000	xxxx xxxx	xxxx xxxx	12Sx xxxF	Read Lock and Fuse bits. "0" = programmed "1" = unprogrammed
Write Lock Bits	1010 1100	1111 1211	xxxx xxxx	xxxx xxxx	Write Lock bits. Set bits 1,2 = "0" to program Lock bits.
Read Signature Byte	0011 0000	xxxx xxxx	xxxx xxbb	oooo oooo	Read signature byte o at address b . ⁽²⁾
Write FSTRT Fuse	1010 1100	1011 111F	xxxx xxxx	xxxx xxxx	Write FSTRT fuse. Set bit F = "0" to program, "1" to unprogram.

- Notes: 1. **a** = address high bits
b = address low bits
H = 0 – Low byte, 1 – High Byte
o = data out
i = data in
x = don't care
1 = Lock Bit 1
2 = Lock Bit 2
F = FSTRT Fuse
S = SPIEN Fuse
2. The signature bytes are not readable in lock mode 3, i.e., both Lock bits programmed.

Serial Programming Characteristics

Figure 73. Serial Programming Timing

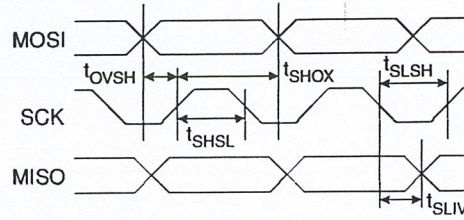


Table 43. Serial Programming Characteristics, $T_A = -40^\circ\text{C}$ to 85°C , $V_{CC} = 2.7 - 6.0\text{V}$ (unless otherwise noted)

Symbol	Parameter	Min	Typ	Max	Units
$1/t_{CLCL}$	Oscillator Frequency ($V_{CC} = 2.7 - 6.0\text{V}$)	0		4.0	MHz
t_{CLCL}	Oscillator Period ($V_{CC} = 2.7 - 4.0\text{V}$)	250.0			ns
$1/t_{CLCL}$	Oscillator Frequency ($V_{CC} = 4.0 - 6.0\text{V}$)	0		8.0	MHz
t_{CLCL}	Oscillator Period ($V_{CC} = 4.0 - 6.0\text{V}$)	125.0			ns
t_{SHSL}	SCK Pulse Width High	$2.0 t_{CLCL}$			ns
t_{SLSH}	SCK Pulse Width Low	$2.0 t_{CLCL}$			ns
t_{OVSH}	MOSI Setup to SCK High	t_{CLCL}			ns
t_{SHOX}	MOSI Hold after SCK High	$2.0 t_{CLCL}$			ns
t_{SLIV}	SCK Low to MISO Valid	10.0	16.0	32.0	ns

Table 44. Minimum Wait Delay after the Chip Erase instruction

Symbol	3.2V	3.6V	4.0V	5.0V
t_{WD_ERASE}	18 ms	14 ms	12 ms	8 ms

Table 45. Minimum Wait Delay after Writing a Flash or EEPROM Location

Symbol	3.2V	3.6V	4.0V	5.0V
t_{WD_PROG}	9 ms	7 ms	6 ms	4 ms



Electrical Characteristics

Absolute Maximum Ratings*

Operating Temperature	-40°C to +105°C
Storage Temperature	-65°C to +150°C
Voltage on Any Pin except $\overline{\text{RESET}}$ with Respect to Ground	-1.0V to $V_{CC} + 0.5V$
Voltage on $\overline{\text{RESET}}$ with Respect to Ground	-1.0V to +13.0V
Maximum Operating Voltage	6.6V
I/O Pin Maximum Current	40.0 mA
Maximum Current V_{CC} and GND (PDIP package)	200.0 mA
Maximum Current V_{CC} and GND (TQFP, PLCC package)	400.0 mA

*NOTICE: Stresses beyond those listed under "Absolute Maximum Ratings" may cause permanent damage to the device. This is a stress rating only and functional operation of the device at these or other conditions beyond those indicated in the operational sections of this specification is not implied. Exposure to absolute maximum rating conditions for extended periods may affect device reliability.

DC Characteristics

$T_A = -40^\circ\text{C}$ to 85°C , $V_{CC} = 2.7V$ to $6.0V$ (unless otherwise noted)

Symbol	Parameter	Condition	Min	Typ	Max	Units
V_{IL}	Input Low Voltage		-0.5		$0.3V_{CC}^{(1)}$	V
V_{IL1}	Input Low Voltage	XTAL	-0.5		$0.2V_{CC}^{(1)}$	V
V_{IH}	Input High Voltage	Except (XTAL, RESET)	$0.6V_{CC}^{(2)}$		$V_{CC} + 0.5$	V
V_{IH1}	Input High Voltage	XTAL	$0.8V_{CC}^{(2)}$		$V_{CC} + 0.5$	V
V_{IH2}	Input High Voltage	RESET	$0.9V_{CC}^{(2)}$		$V_{CC} + 0.5$	V
V_{OL}	Output Low Voltage ⁽³⁾ (Ports A, B, C, D)	$I_{OL} = 20\text{ mA}$, $V_{CC} = 5V$			0.6	V
		$I_{OL} = 10\text{ mA}$, $V_{CC} = 3V$			0.5	V
V_{OH}	Output High Voltage ⁽⁴⁾ (Ports A, B, C, D)	$I_{OH} = -3\text{ mA}$, $V_{CC} = 5V$	4.2			V
		$I_{OH} = -1.5\text{ mA}$, $V_{CC} = 3V$	2.3			V
I_{IL}	Input Leakage Current I/O Pin	$V_{CC} = 6V$, $V_{in} = 0.45V$ (absolute value)			8.0	μA
I_{IH}	Input Leakage Current I/O Pin	$V_{CC} = 6V$, $V_{in} = 6.0V$ (absolute value)			8.0	μA
RRST	Reset Pull-up		100.0		500.0	$k\Omega$
$R_{I/O}$	I/O Pin Pull-up Resistor		35.0		120.0	$k\Omega$
I_{CC}	Power Supply Current	Active 4 MHz, $V_{CC} = 3V$			5.0	mA
		Idle 4 MHz, $V_{CC} = 3V$			3.0	mA
		Power-down, $V_{CC} = 3V$ WDT enabled ⁽⁵⁾			15.0	μA
		Power-down, $V_{CC} = 3V$ WDT disabled ⁽⁵⁾			5.0	μA
		Power Save, $V_{CC} = 3V$ WDT disabled ⁽⁵⁾			15.0	μA

DC Characteristics (Continued)

T_A = -40°C to 85°C, V_{CC} = 2.7V to 6.0V (unless otherwise noted)

Symbol	Parameter	Condition	Min	Typ	Max	Units
V _{ACIO}	Analog Comparator Input Offset Voltage	V _{CC} = 5V V _{in} = V _{CC} /2			40.0	mV
I _{ACLK}	Analog Comparator Input Leakage A	V _{CC} = 5V V _{in} = V _{CC} /2	-50.0		50.0	nA
t _{ACPD}	Analog Comparator Propagation Delay	V _{CC} = 2.7V V _{CC} = 4.0V		750.0 500.0		ns

- Notes:
1. "Max" means the highest value where the pin is guaranteed to be read as low (logical "0").
 2. "Min" means the lowest value where the pin is guaranteed to be read as high (logical "1").
 3. Although each I/O port can sink more than the test conditions (20 mA at V_{CC} = 5V, 10 mA at V_{CC} = 3V) under steady state conditions (non-transient), the following must be observed:
 PDIP Package:
 1] The sum of all I_{OL}, for all ports, should not exceed 200 mA.
 2] The sum of all I_{OL}, for port A0 - A7, should not exceed 100 mA.
 3] The sum of all I_{OL}, for ports B0 - B7, C0 - C7, D0 - D7 and XTAL2, should not exceed 100 mA.
 PLCC and TQFP Packages:
 1] The sum of all I_{OL}, for all ports, should not exceed 400 mA.
 2] The sum of all I_{OL}, for ports A0 - A7, should not exceed 100 mA.
 3] The sum of all I_{OL}, for ports B0 - B3, should not exceed 100 mA.
 4] The sum of all I_{OL}, for ports B4 - B7, should not exceed 100 mA.
 5] The sum of all I_{OL}, for ports C0 - C3, should not exceed 100 mA.
 6] The sum of all I_{OL}, for ports C4 - C7, should not exceed 100 mA.
 7] The sum of all I_{OL}, for ports D0 - D3 and XTAL2, should not exceed 100 mA.
 8] The sum of all I_{OL}, for ports D4 - D7, should not exceed 100 mA.
 If I_{OL} exceeds the test condition, V_{OL} may exceed the related specification. Pins are not guaranteed to sink current greater than the listed test condition.
 4. Although each I/O port can source more than the test conditions (3 mA at V_{CC} = 5V, 1.5 mA at V_{CC} = 3V) under steady state conditions (non-transient), the following must be observed:
 PDIP Package:
 1] The sum of all I_{OH}, for all ports, should not exceed 200 mA.
 2] The sum of all I_{OH}, for port A0 - A7, should not exceed 100 mA.
 3] The sum of all I_{OH}, for ports B0 - B7, C0 - C7, D0 - D7 and XTAL2, should not exceed 100 mA.
 PLCC and TQFP Packages:
 1] The sum of all I_{OH}, for all ports, should not exceed 400 mA.
 2] The sum of all I_{OH}, for ports A0 - A7, should not exceed 100 mA.
 3] The sum of all I_{OH}, for ports B0 - B3, should not exceed 100 mA.
 4] The sum of all I_{OH}, for ports B4 - B7, should not exceed 100 mA.
 5] The sum of all I_{OH}, for ports C0 - C3, should not exceed 100 mA.
 6] The sum of all I_{OH}, for ports C4 - C7, should not exceed 100 mA.
 7] The sum of all I_{OH}, for ports D0 - D3 and XTAL2, should not exceed 100 mA.
 8] The sum of all I_{OH}, for ports D4 - D7, should not exceed 100 mA.
 If I_{OH} exceeds the test condition, V_{OH} may exceed the related specification. Pins are not guaranteed to source current greater than the listed test condition.
 5. Minimum V_{CC} for power-down is 2V.



External Clock Drive Waveforms

Figure 74. External Clock

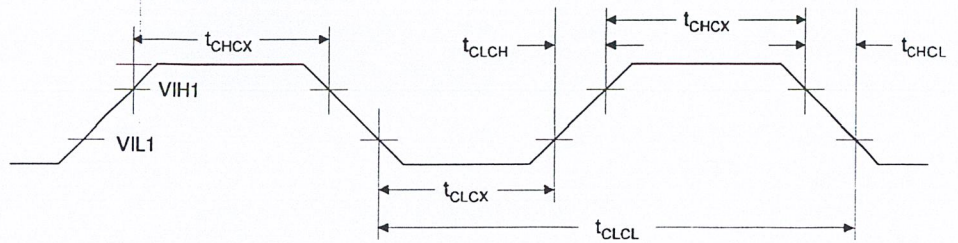


Table 46. External Clock Drive

Symbol	Parameter	$V_{CC} = 2.7V \text{ to } 6.0V$		$V_{CC} = 4.0V \text{ to } 6.0V$		Units
		Min	Max	Min	Max	
$1/t_{CLCL}$	Oscillator Frequency	0	4	0	8.0	MHz
t_{CLCL}	Clock Period	250.0		125.0		ns
t_{CHCX}	High Time	100.0		50.0		ns
t_{CLCX}	Low Time	100.0		50.0		ns
t_{CLCH}	Rise Time		1.6		0.5	μs
t_{CHCL}	Fall Time		1.6		0.5	μs

Typical Characteristics

The following charts show typical behavior. These figures are not tested during manufacturing. All current consumption measurements are performed with all I/O pins configured as inputs and with internal pull-ups enabled. A sine wave generator with rail-to-rail output is used as clock source.

The power consumption in Power-down mode is independent of clock selection.

The current consumption is a function of several factors such as: operating voltage, operating frequency, loading of I/O pins, switching rate of I/O pins, code executed and ambient temperature. The dominating factors are operating voltage and frequency.

The current drawn from capacitive loaded pins may be estimated (for one pin) as $C_L \cdot V_{CC} \cdot f$ where C_L = load capacitance, V_{CC} = operating voltage and f = average switching frequency of I/O pin.

The parts are characterized at frequencies higher than test limits. Parts are not guaranteed to function properly at frequencies higher than the ordering code indicates.

The difference between current consumption in with Watchdog Timer enabled and Power-down mode with Watchdog Timer disabled represents the differential current drawn by the Watchdog Timer.

Figure 75. Active Supply Current vs. Frequency

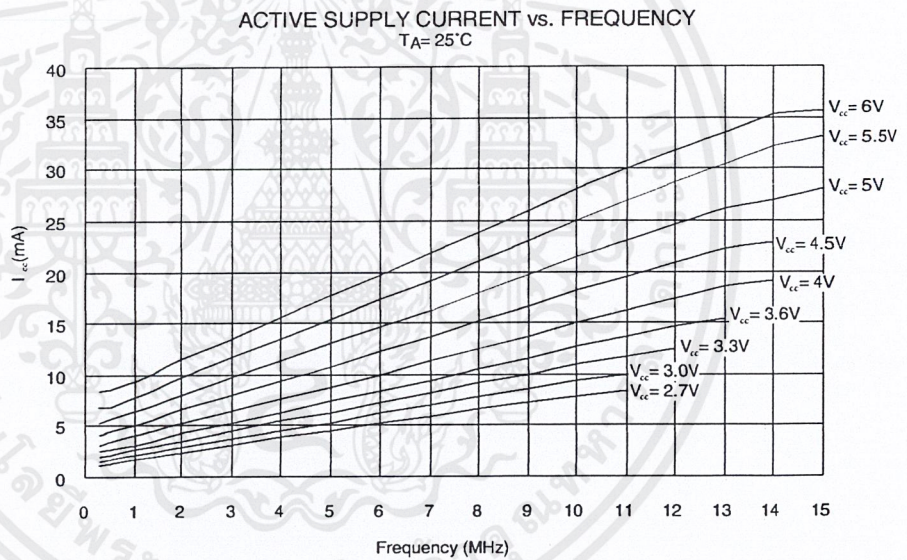


Figure 76. Active Supply Current vs. V_{CC}

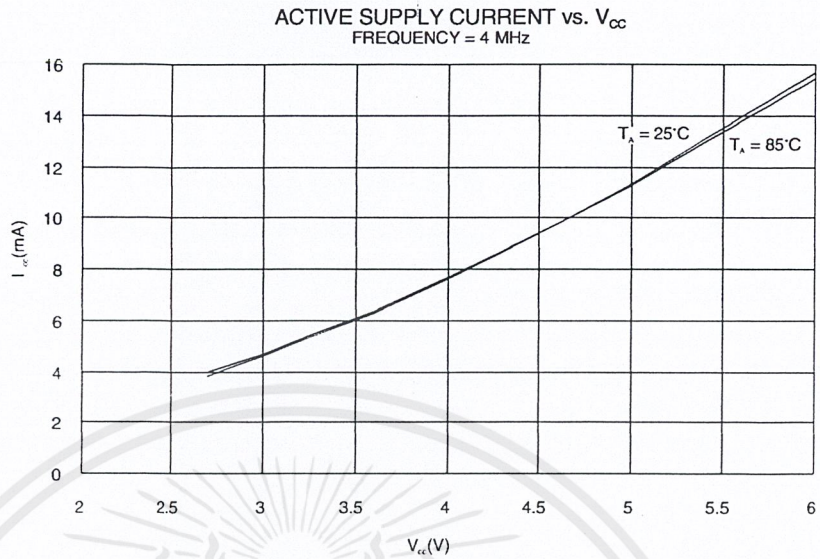


Figure 77. Idle Supply Current vs. Frequency

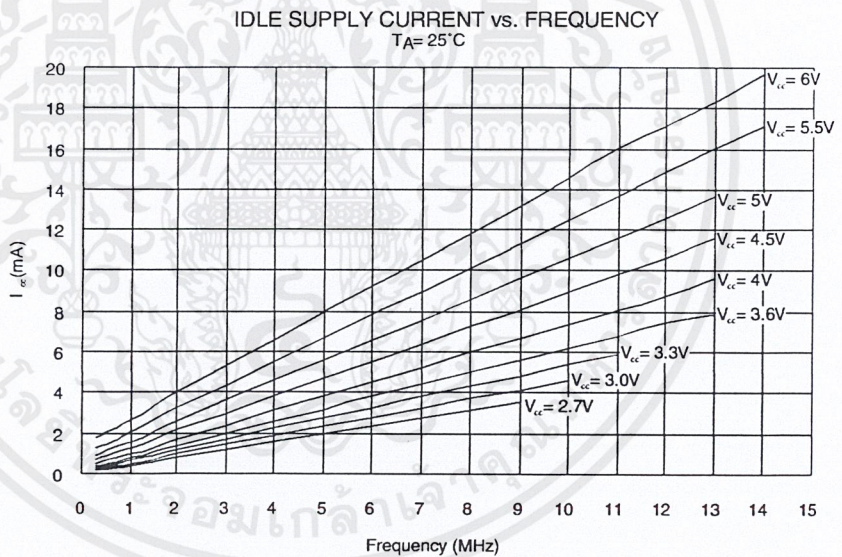


Figure 78. Idle Supply Current vs. V_{CC}

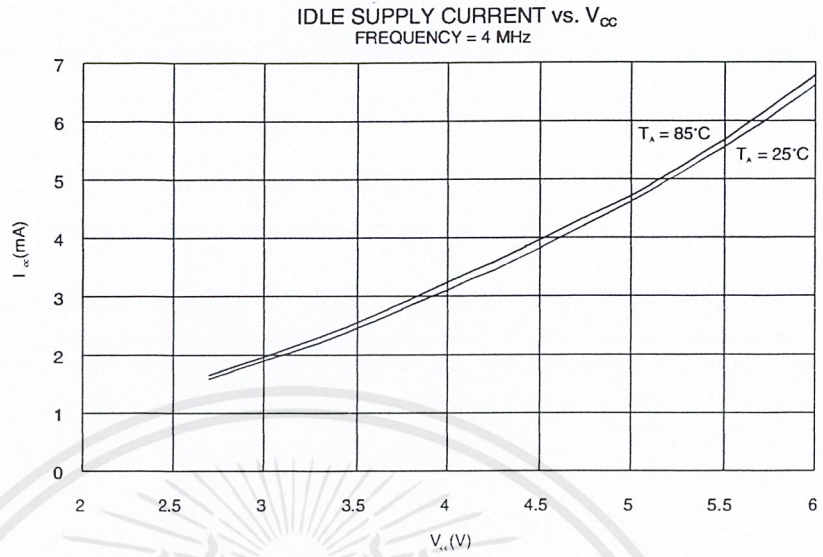


Figure 79. Power-down Supply Current vs. V_{CC}

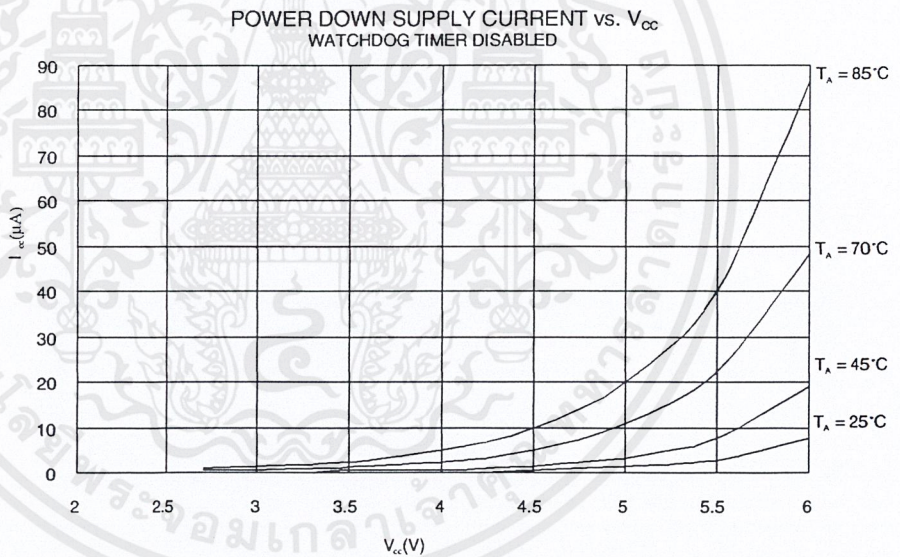


Figure 80. Power-down Supply Current vs. V_{CC}

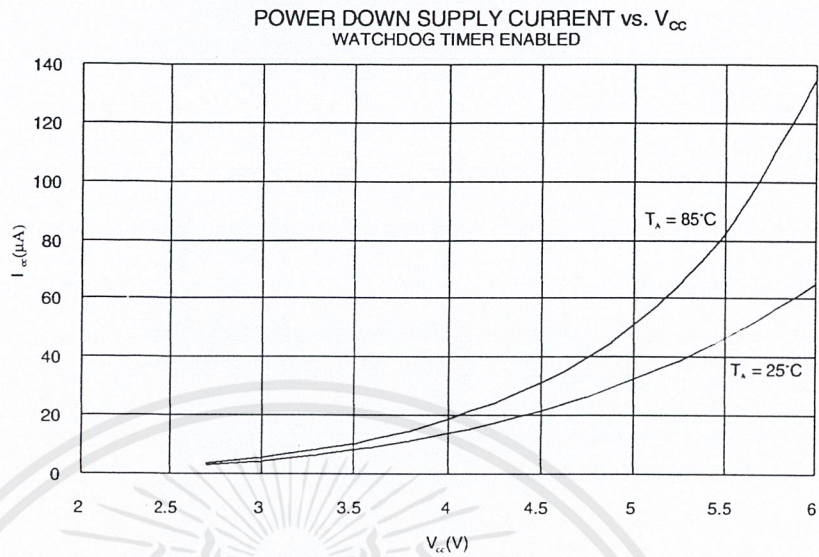


Figure 81. Power Save Supply Current vs. V_{CC}

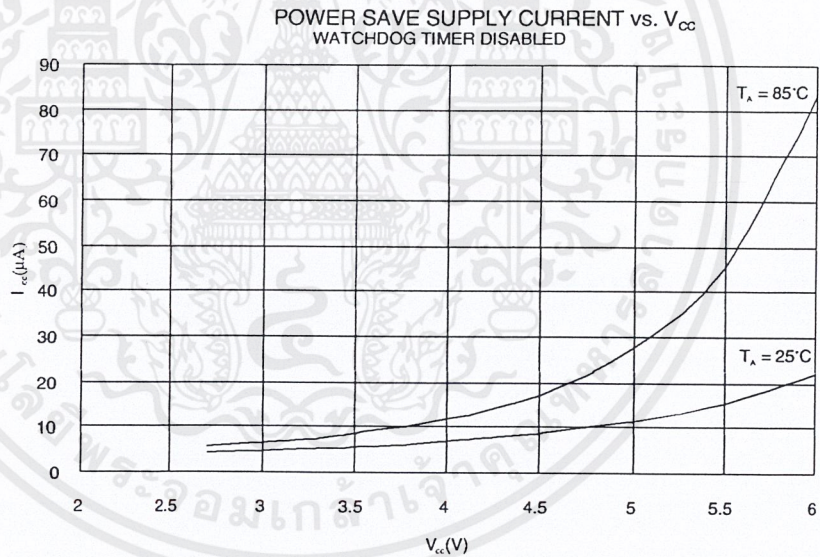
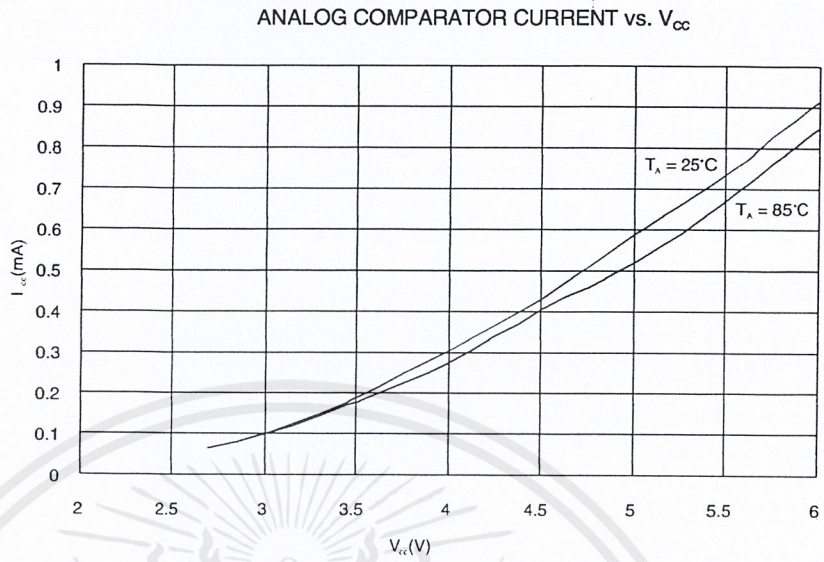


Figure 82. Analog Comparator Current vs. V_{CC}



Note: Analog comparator offset voltage is measured as absolute offset.

Figure 83. Analog Comparator Offset Voltage vs. Common Mode Voltage

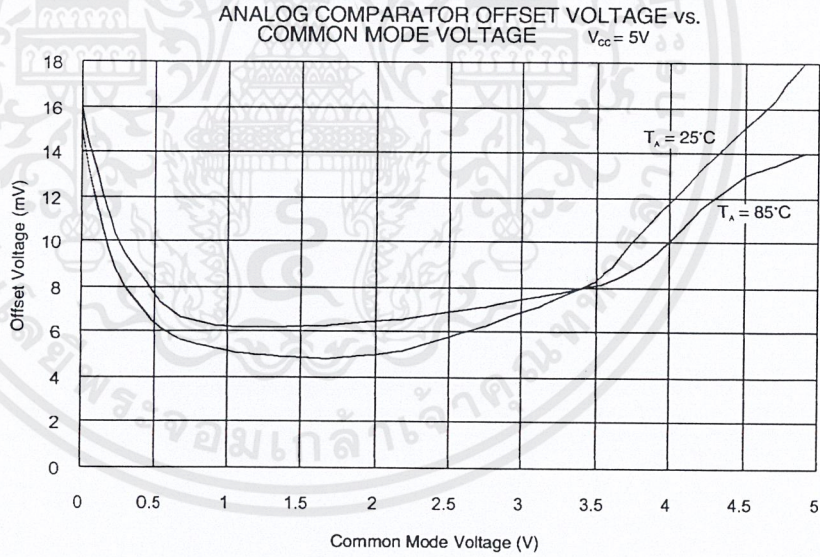


Figure 84. Analog Comparator Offset Voltage vs. Common Mode Voltage

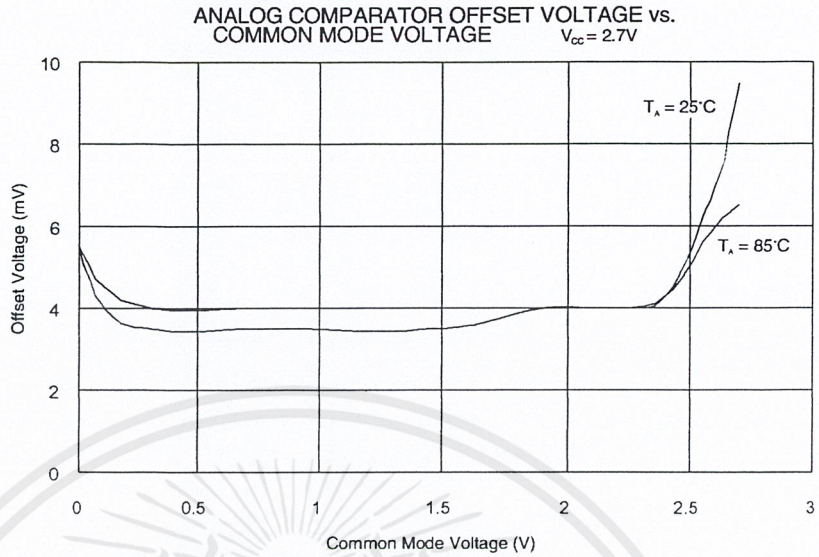


Figure 85. Analog Comparator Input Leakage Current

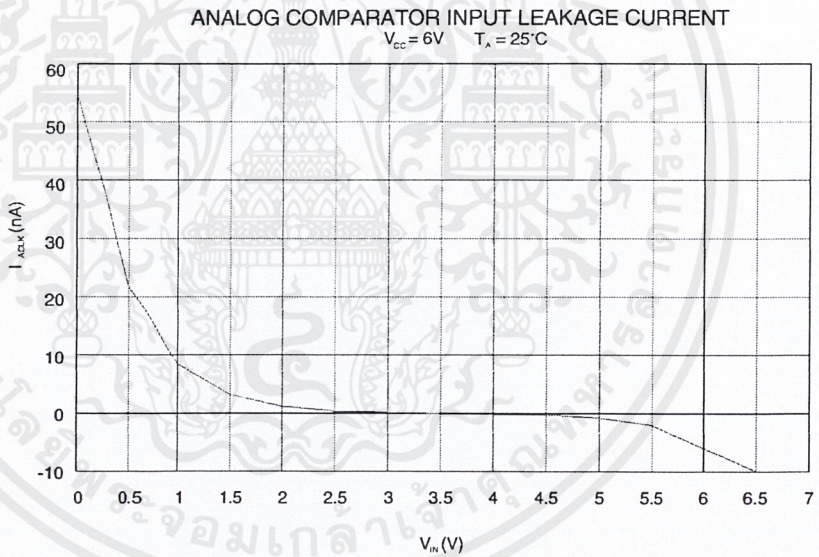
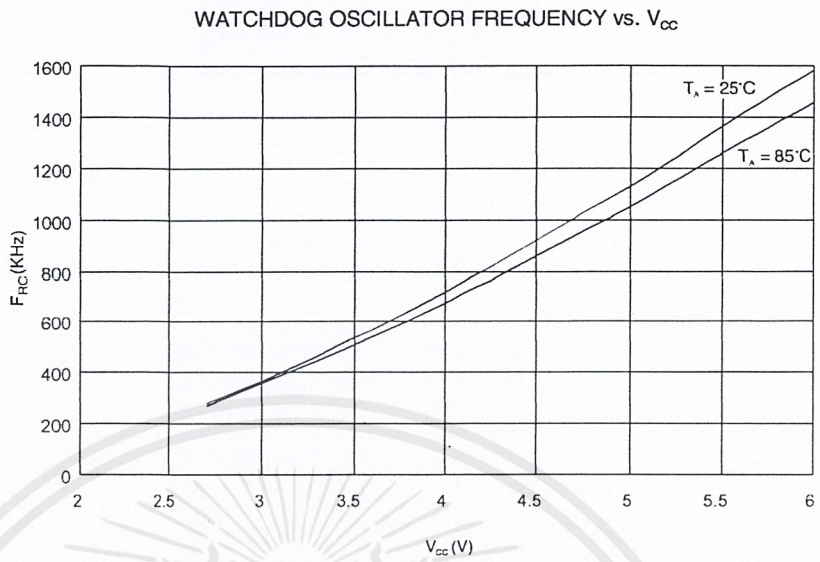


Figure 86. Watchdog Oscillator Frequency vs. V_{CC}



Note: Sink and source capabilities of I/O ports are measured on one pin at a time.

Figure 87. Pull-up Resistor Current vs. Input Voltage

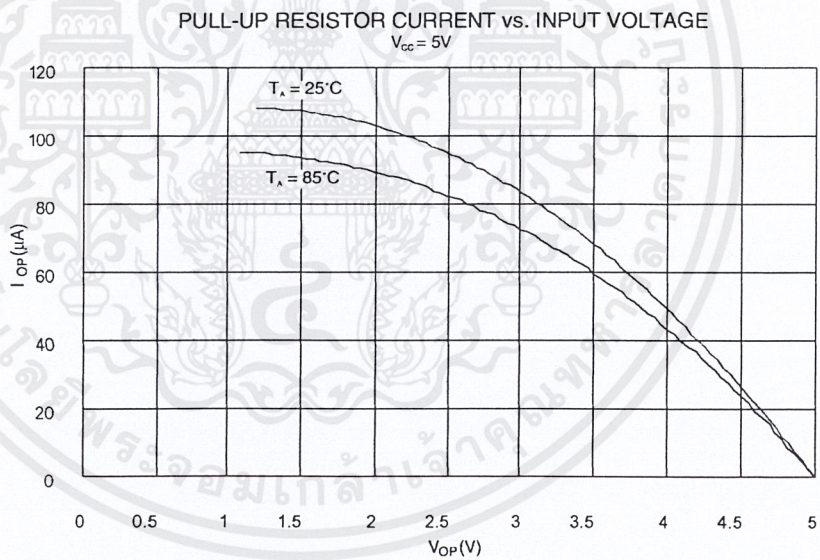


Figure 88. Pull-up Resistor Current vs. Input Voltage

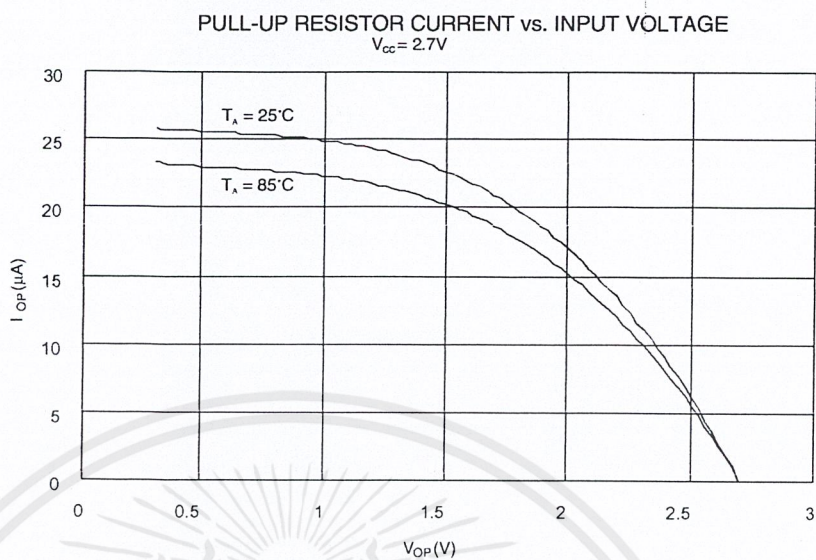


Figure 89. I/O Pin Sink Current vs. Output Voltage

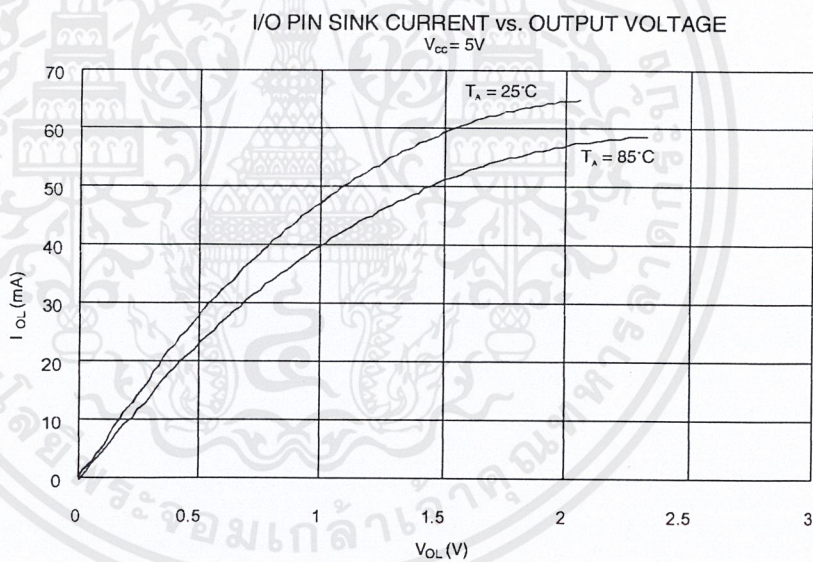


Figure 90. I/O Pin Source Current vs. Output Voltage

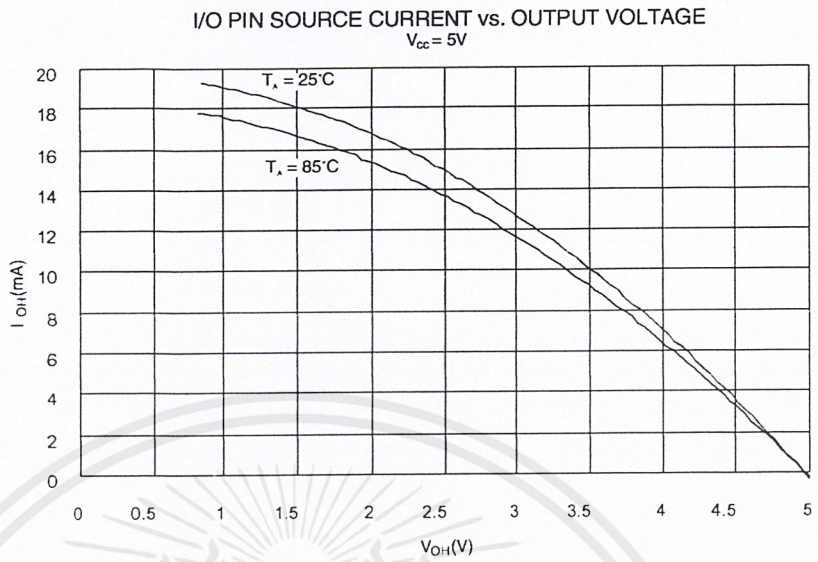


Figure 91. I/O Pin Sink Current vs. Output Voltage

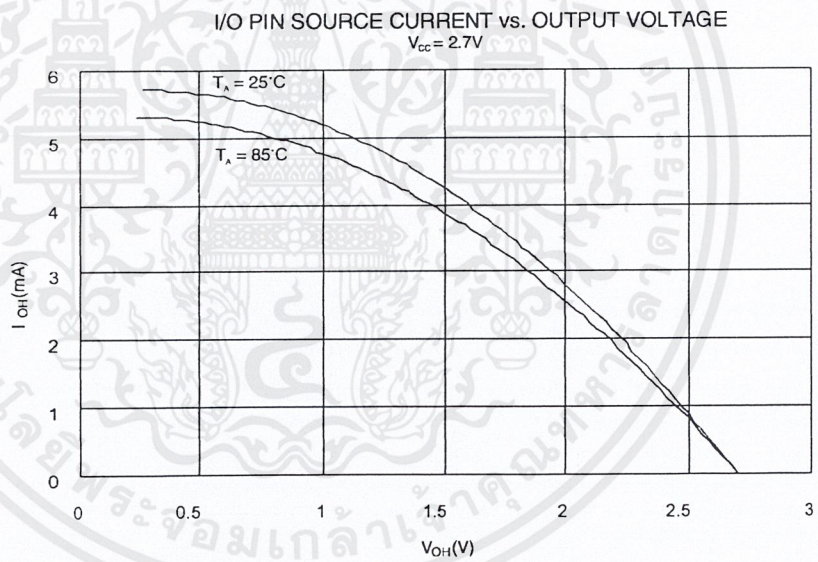


Figure 92. I/O Pin Source Current vs. Output Voltage

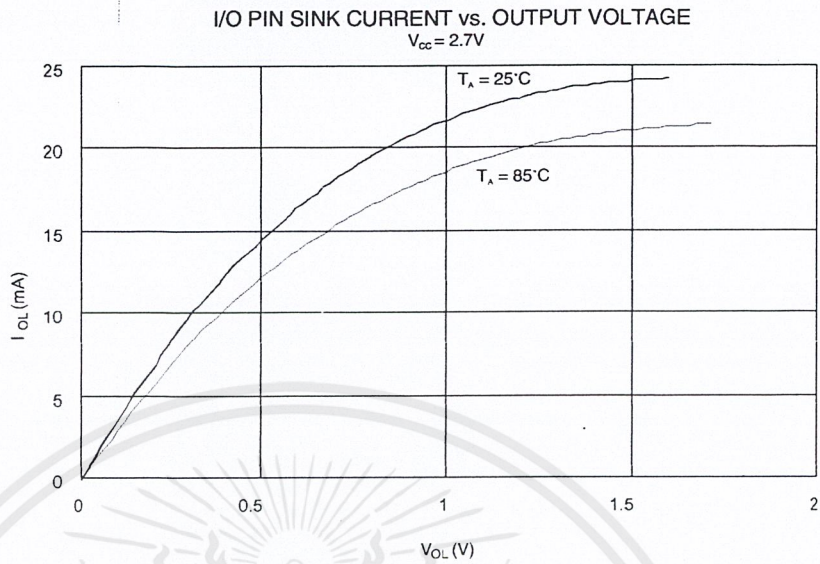


Figure 93. I/O Pin Input Threshold Voltage vs. V_{CC}

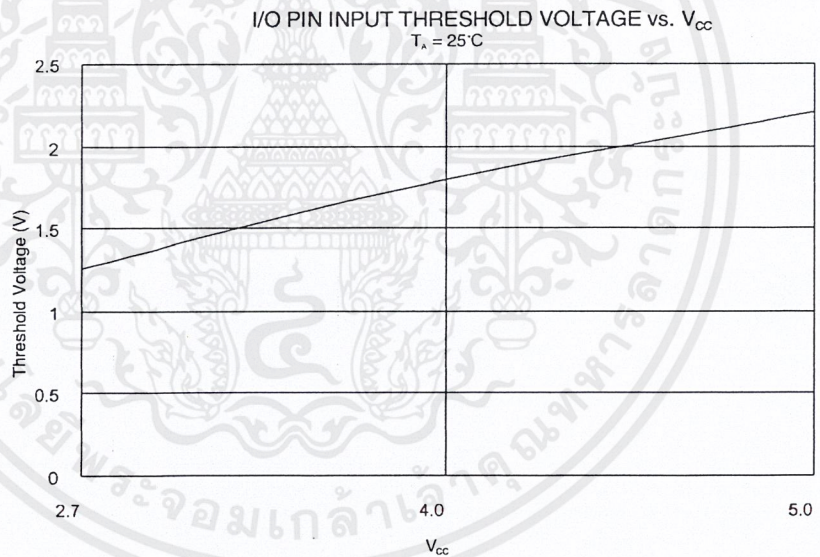
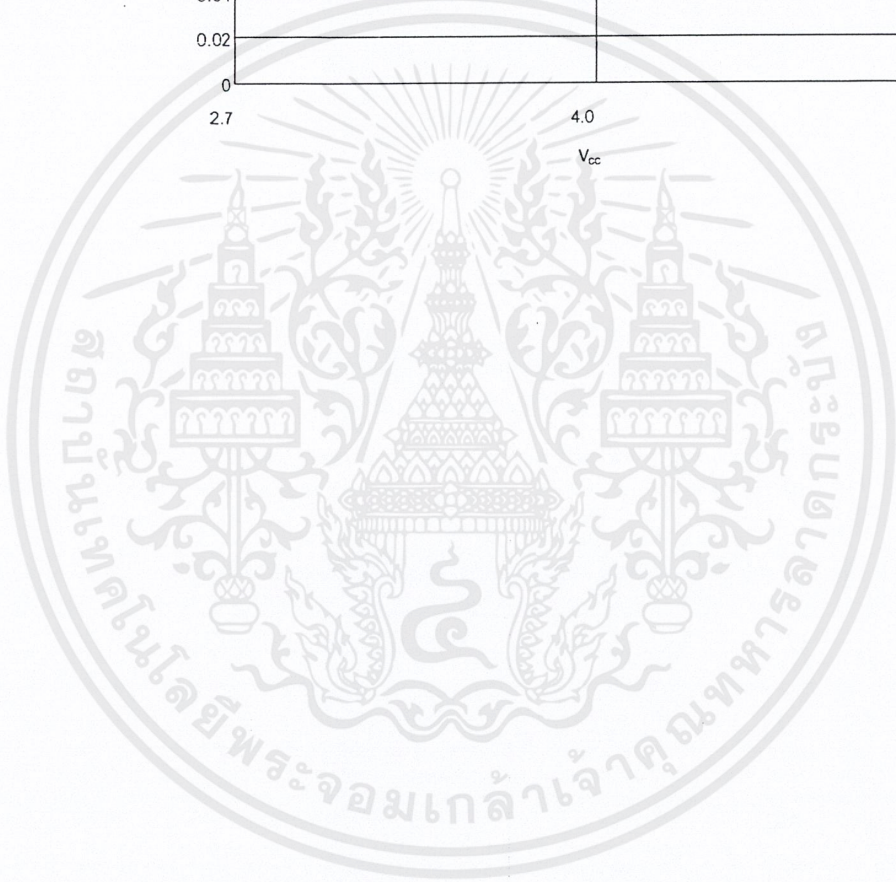
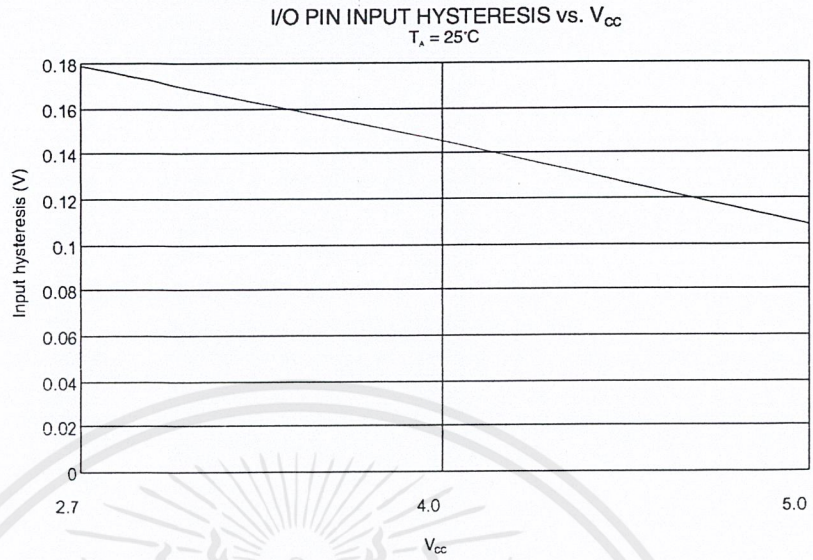


Figure 94. I/O Pin Input Hysteresis vs. V_{CC}





Register Summary

Address	Name	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	Page	
\$3F (\$5F)	SREG	I	T	H	S	V	N	Z	C	page 19	
\$3E (\$5E)	SPH	-	-	-	-	-	-	SP9	SP8	page 20	
\$3D (\$5D)	SPL	SP7	SP6	SP5	SP4	SP3	SP2	SP1	SP0	page 20	
\$3C (\$5C)	Reserved										
\$3B (\$5B)	GIMSK	INT1	INT0	-	-	-	-	-	-	page 25	
\$3A (\$5A)	GIFR	INTF1	INTF0	-	-	-	-	-	-	page 26	
\$39 (\$59)	TIMSK	OCIE2	TOIE2	TICIE1	OCIE1A	OCIE1B	TOIE1	-	TOIE0	page 26	
\$38 (\$58)	TIFR	OCF2	TOV2	ICF1	OCF1A	OCF1B	TOV1	-	TOV0	page 27	
\$37 (\$57)	Reserved										
\$36 (\$56)	Reserved										
\$35 (\$55)	MCUCR	-	SE	SM1	SM0	ISC11	ISC10	ISC01	ISC00	page 29	
\$34 (\$54)	MCUSR	-	-	-	-	-	-	EXTRF	PORF	page 24	
\$33 (\$53)	TCCR0	-	-	-	-	-	CS02	CS01	CS00	page 34	
\$32 (\$52)	TCNT0	Timer/Counter0 (8 Bits)								page 34	
\$31 (\$51)	Reserved										
\$30 (\$50)	Reserved										
\$2F (\$4F)	TCCR1A	COM1A1	COM1A0	COM1B1	COM1B0	-	-	PWM11	PWM10	page 36	
\$2E (\$4E)	TCCR1B	ICNC1	ICES1	-	-	CTC1	CS12	CS11	CS10	page 37	
\$2D (\$4D)	TCNT1H	Timer/Counter1 – Counter Register High Byte								page 38	
\$2C (\$4C)	TCNT1L	Timer/Counter1 – Counter Register Low Byte								page 38	
\$2B (\$4B)	OCR1AH	Timer/Counter1 – Output Compare Register A High Byte								page 39	
\$2A (\$4A)	OCR1AL	Timer/Counter1 – Output Compare Register A Low Byte								page 39	
\$29 (\$49)	OCR1BH	Timer/Counter1 – Output Compare Register B High Byte								page 39	
\$28 (\$48)	OCR1BL	Timer/Counter1 – Output Compare Register B Low Byte								page 39	
\$27 (\$47)	ICR1H	Timer/Counter1 – Input Capture Register High Byte								page 40	
\$26 (\$46)	ICR1L	Timer/Counter1 – Input Capture Register Low Byte								page 40	
\$25 (\$45)	TCCR2	-	PWM2	COM21	COM20	CTC2	CS22	CS21	CS20	page 43	
\$24 (\$44)	TCNT2	Timer/Counter2 (8 Bits)								page 44	
\$23 (\$43)	OCR2	Timer/Counter2 Output Compare Register								page 44	
\$22 (\$42)	ASSR	-	-	-	-	AS2	TCN2UB	OCR2UB	TCR2UB	page 46	
\$21 (\$41)	WDTCR	-	-	-	WDTOE	WDE	WDP2	WDP1	WDP0	page 49	
\$20 (\$40)	Reserved										
\$1F (\$3F)	EEARH									EEAR8	page 51
\$1E (\$3E)	EEARL	EEAR7	EEAR6	EEAR5	EEAR4	EEAR3	EEAR2	EEAR1	EEAR0	page 51	
\$1D (\$3D)	EEDR	EEPROM Data Register								page 51	
\$1C (\$3C)	EECR	-	-	-	-	EERIE	EEMWE	EEWE	EERE	page 51	
\$1B (\$3B)	PORTA	PORTA7	PORTA6	PORTA5	PORTA4	PORTA3	PORTA2	PORTA1	PORTA0	page 76	
\$1A (\$3A)	DDRA	DDA7	DDA6	DDA5	DDA4	DDA3	DDA2	DDA1	DDA0	page 76	
\$19 (\$39)	PINA	PINA7	PINA6	PINA5	PINA4	PINA3	PINA2	PINA1	PINA0	page 76	
\$18 (\$38)	PORTB	PORTB7	PORTB6	PORTB5	PORTB4	PORTB3	PORTB2	PORTB1	PORTB0	page 78	
\$17 (\$37)	DDRB	DDB7	DDB6	DDB5	DDB4	DDB3	DDB2	DDB1	DDB0	page 78	
\$16 (\$36)	PINB	PINB7	PINB6	PINB5	PINB4	PINB3	PINB2	PINB1	PINB0	page 78	
\$15 (\$35)	PORTC	PORTC7	PORTC6	PORTC5	PORTC4	PORTC3	PORTC2	PORTC1	PORTC0	page 84	
\$14 (\$34)	DDRC	DDC7	DDC6	DDC5	DDC4	DDC3	DDC2	DDC1	DDC0	page 84	
\$13 (\$33)	PINC	PINC7	PINC6	PINC5	PINC4	PINC3	PINC2	PINC1	PINC0	page 84	
\$12 (\$32)	PORTD	PORTD7	PORTD6	PORTD5	PORTD4	PORTD3	PORTD2	PORTD1	PORTD0	page 87	
\$11 (\$31)	DDRD	DDD7	DDD6	DDD5	DDD4	DDD3	DDD2	DDD1	DDD0	page 87	
\$10 (\$30)	PIND	PIND7	PIND6	PIND5	PIND4	PIND3	PIND2	PIND1	PIND0	page 87	
\$0F (\$2F)	SPDR	SPI Data Register								page 58	
\$0E (\$2E)	SPSR	SPIF	WCOL	-	-	-	-	-	-	page 58	
\$0D (\$2D)	SPCR	SPIE	SPE	DORD	MSTR	CPOL	CPHA	SPR1	SPR0	page 57	
\$0C (\$2C)	UDR	UART I/O Data Register								page 62	
\$0B (\$2B)	USR	RXC	TXC	UDRE	FE	OR	-	-	-	page 62	
\$0A (\$2A)	UCR	RXCIE	TXCIE	UDRIE	RXEN	TXEN	CHR9	RXB8	TXB8	page 63	
\$09 (\$29)	UBRR	UART Baud Rate Register								page 65	
\$08 (\$28)	ACSR	ACD	-	ACO	ACI	ACIE	ACIC	ACIS1	ACIS0	page 66	
\$07 (\$27)	ADMUX	-	-	-	-	-	MUX2	MUX1	MUX0	page 72	
\$06 (\$26)	ADCSR	ADEN	ADSC	ADFR	ADIF	ADIE	ADPS2	ADPS1	ADPS0	page 72	
\$05 (\$25)	ADCH	-	-	-	-	-	-	ADC9	ADC8	page 73	
\$04 (\$24)	ADCL	ADC7	ADC6	ADC5	ADC4	ADC3	ADC2	ADC1	ADC0	page 73	
\$03 (\$23)	Reserved										
\$02 (\$22)	Reserved										
\$01 (\$21)	Reserved										
\$00 (\$20)	Reserved										

- Notes:
1. For compatibility with future devices, reserved bits should be written to zero if accessed. Reserved I/O memory addresses should never be written.
 2. Some of the status flags are cleared by writing a logical "1" to them. Note that the CBI and SBI instructions will operate on all bits in the I/O register, writing a one back into any flag read as set, thus clearing the flag. The CBI and SBI instructions work with registers \$00 to \$1F only.



Instruction Set Summary

Mnemonic	Operands	Description	Operation	Flags	# Clocks
ARITHMETIC AND LOGIC INSTRUCTIONS					
ADD	Rd, Rr	Add Two Registers	$Rd \leftarrow Rd + Rr$	Z,C,N,V,H	1
ADC	Rd, Rr	Add with Carry Two Registers	$Rd \leftarrow Rd + Rr + C$	Z,C,N,V,H	1
ADIW	Rdl, K	Add Immediate to Word	$Rdh:Rdl \leftarrow Rdh:Rdl + K$	Z,C,N,V,S	2
SUB	Rd, Rr	Subtract Two Registers	$Rd \leftarrow Rd - Rr$	Z,C,N,V,H	1
SUBI	Rd, K	Subtract Constant from Register	$Rd \leftarrow Rd - K$	Z,C,N,V,H	1
SBC	Rd, Rr	Subtract with Carry Two Registers	$Rd \leftarrow Rd - Rr - C$	Z,C,N,V,H	1
SBCI	Rd, K	Subtract with Carry Constant from Reg.	$Rd \leftarrow Rd - K - C$	Z,C,N,V,H	1
SBIW	Rdl, K	Subtract Immediate from Word	$Rdh:Rdl \leftarrow Rdh:Rdl - K$	Z,C,N,V,S	2
AND	Rd, Rr	Logical AND Registers	$Rd \leftarrow Rd \cdot Rr$	Z,N,V	1
ANDI	Rd, K	Logical AND Register and Constant	$Rd \leftarrow Rd \cdot K$	Z,N,V	1
OR	Rd, Rr	Logical OR Registers	$Rd \leftarrow Rd \vee Rr$	Z,N,V	1
ORI	Rd, K	Logical OR Register and Constant	$Rd \leftarrow Rd \vee K$	Z,N,V	1
EOR	Rd, Rr	Exclusive OR Registers	$Rd \leftarrow Rd \oplus Rr$	Z,N,V	1
COM	Rd	One's Complement	$Rd \leftarrow \text{FFF} - Rd$	Z,C,N,V	1
NEG	Rd	Two's Complement	$Rd \leftarrow \text{000} - Rd$	Z,C,N,V,H	1
SBR	Rd, K	Set Bit(s) in Register	$Rd \leftarrow Rd \vee K$	Z,N,V	1
CBR	Rd, K	Clear Bit(s) in Register	$Rd \leftarrow Rd \cdot (\text{FFF} - K)$	Z,N,V	1
INC	Rd	Increment	$Rd \leftarrow Rd + 1$	Z,N,V	1
DEC	Rd	Decrement	$Rd \leftarrow Rd - 1$	Z,N,V	1
TST	Rd	Test for Zero or Minus	$Rd \leftarrow Rd \cdot Rd$	Z,N,V	1
CLR	Rd	Clear Register	$Rd \leftarrow Rd \oplus Rd$	Z,N,V	1
SER	Rd	Set Register	$Rd \leftarrow \text{FFF}$	None	1
BRANCH INSTRUCTIONS					
RJMP	k	Relative Jump	$PC \leftarrow PC + k + 1$	None	2
IJMP		Indirect Jump to (Z)	$PC \leftarrow Z$	None	2
RCALL	k	Relative Subroutine Call	$PC \leftarrow PC + k + 1$	None	3
ICALL		Indirect Call to (Z)	$PC \leftarrow Z$	None	3
RET		Subroutine Return	$PC \leftarrow \text{STACK}$	None	4
RETI		Interrupt Return	$PC \leftarrow \text{STACK}$	I	4
CPSE	Rd, Rr	Compare, Skip if Equal	if $(Rd = Rr)$ $PC \leftarrow PC + 2$ or 3	None	1/2/3
CP	Rd, Rr	Compare	$Rd - Rr$	Z,N,V,C,H	1
CPC	Rd, Rr	Compare with Carry	$Rd - Rr - C$	Z,N,V,C,H	1
CPI	Rd, K	Compare Register with Immediate	$Rd - K$	Z,N,V,C,H	1
SBRC	Rr, b	Skip if Bit in Register Cleared	if $(Rr(b) = 0)$ $PC \leftarrow PC + 2$ or 3	None	1/2/3
SBRS	Rr, b	Skip if Bit in Register is Set	if $(Rr(b) = 1)$ $PC \leftarrow PC + 2$ or 3	None	1/2/3
SBIC	P, b	Skip if Bit in I/O Register Cleared	if $(P(b) = 0)$ $PC \leftarrow PC + 2$ or 3	None	1/2/3
SBIS	P, b	Skip if Bit in I/O Register is Set	if $(P(b) = 1)$ $PC \leftarrow PC + 2$ or 3	None	1/2/3
BRBS	s, k	Branch if Status Flag Set	if $(SREG(s) = 1)$ then $PC \leftarrow PC + k + 1$	None	1/2
BRBC	s, k	Branch if Status Flag Cleared	if $(SREG(s) = 0)$ then $PC \leftarrow PC + k + 1$	None	1/2
BREQ	k	Branch if Equal	if $(Z = 1)$ then $PC \leftarrow PC + k + 1$	None	1/2
BRNE	k	Branch if Not Equal	if $(Z = 0)$ then $PC \leftarrow PC + k + 1$	None	1/2
BRCS	k	Branch if Carry Set	if $(C = 1)$ then $PC \leftarrow PC + k + 1$	None	1/2
BRCC	k	Branch if Carry Cleared	if $(C = 0)$ then $PC \leftarrow PC + k + 1$	None	1/2
BRSH	k	Branch if Same or Higher	if $(C = 0)$ then $PC \leftarrow PC + k + 1$	None	1/2
BRLO	k	Branch if Lower	if $(C = 1)$ then $PC \leftarrow PC + k + 1$	None	1/2
BRMI	k	Branch if Minus	if $(N = 1)$ then $PC \leftarrow PC + k + 1$	None	1/2
BRPL	k	Branch if Plus	if $(N = 0)$ then $PC \leftarrow PC + k + 1$	None	1/2
BRGE	k	Branch if Greater or Equal, Signed	if $(N \oplus V = 0)$ then $PC \leftarrow PC + k + 1$	None	1/2
BRLT	k	Branch if Less Than Zero, Signed	if $(N \oplus V = 1)$ then $PC \leftarrow PC + k + 1$	None	1/2
BRHS	k	Branch if Half-carry Flag Set	if $(H = 1)$ then $PC \leftarrow PC + k + 1$	None	1/2
BRHC	k	Branch if Half-carry Flag Cleared	if $(H = 0)$ then $PC \leftarrow PC + k + 1$	None	1/2
BRTS	k	Branch if T-flag Set	if $(T = 1)$ then $PC \leftarrow PC + k + 1$	None	1/2
BRTC	k	Branch if T-flag Cleared	if $(T = 0)$ then $PC \leftarrow PC + k + 1$	None	1/2
BRVS	k	Branch if Overflow Flag is Set	if $(V = 1)$ then $PC \leftarrow PC + k + 1$	None	1/2
BRVC	k	Branch if Overflow Flag is Cleared	if $(V = 0)$ then $PC \leftarrow PC + k + 1$	None	1/2
BRIE	k	Branch if Interrupt Enabled	if $(I = 1)$ then $PC \leftarrow PC + k + 1$	None	1/2
BRID	k	Branch if Interrupt Disabled	if $(I = 0)$ then $PC \leftarrow PC + k + 1$	None	1/2
DATA TRANSFER INSTRUCTIONS					
MOV	Rd, Rr	Move between Registers	$Rd \leftarrow Rr$	None	1
LDI	Rd, K	Load Immediate	$Rd \leftarrow K$	None	1
LD	Rd, X	Load Indirect	$Rd \leftarrow (X)$	None	2
LD	Rd, X+	Load Indirect and Post-inc.	$Rd \leftarrow (X), X \leftarrow X + 1$	None	2
LD	Rd, -X	Load Indirect and Pre-dec.	$X \leftarrow X - 1, Rd \leftarrow (X)$	None	2

Instruction Set Summary (Continued)

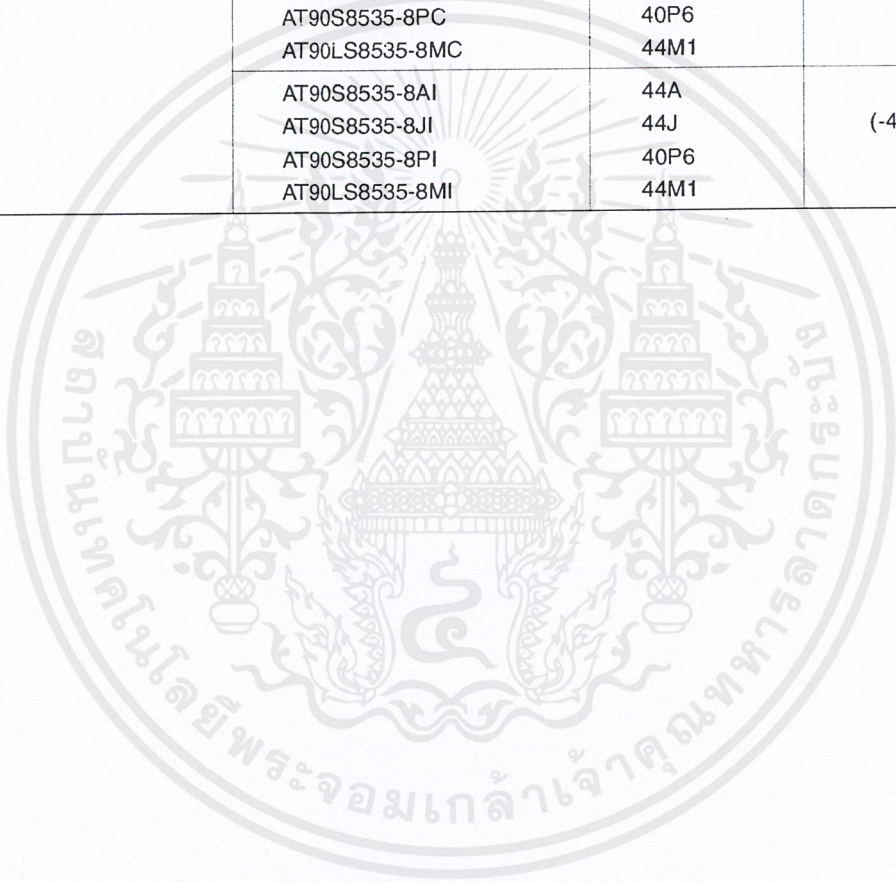
Mnemonic	Operands	Description	Operation	Flags	# Clocks
LD	Rd, Y	Load Indirect	$Rd \leftarrow (Y)$	None	2
LD	Rd, Y+	Load Indirect and Post-inc.	$Rd \leftarrow (Y), Y \leftarrow Y + 1$	None	2
LD	Rd, -Y	Load Indirect and Pre-dec.	$Y \leftarrow Y - 1, Rd \leftarrow (Y)$	None	2
LDD	Rd, Y+q	Load Indirect with Displacement	$Rd \leftarrow (Y + q)$	None	2
LD	Rd, Z	Load Indirect	$Rd \leftarrow (Z)$	None	2
LD	Rd, Z+	Load Indirect and Post-inc.	$Rd \leftarrow (Z), Z \leftarrow Z + 1$	None	2
LD	Rd, -Z	Load Indirect and Pre-dec.	$Z \leftarrow Z - 1, Rd \leftarrow (Z)$	None	2
LDD	Rd, Z+q	Load Indirect with Displacement	$Rd \leftarrow (Z + q)$	None	2
LDS	Rd, k	Load Direct from SRAM	$Rd \leftarrow (k)$	None	2
ST	X, Rr	Store Indirect	$(X) \leftarrow Rr$	None	2
ST	X+, Rr	Store Indirect and Post-inc.	$(X) \leftarrow Rr, X \leftarrow X + 1$	None	2
ST	-X, Rr	Store Indirect and Pre-dec.	$X \leftarrow X - 1, (X) \leftarrow Rr$	None	2
ST	Y, Rr	Store Indirect	$(Y) \leftarrow Rr$	None	2
ST	Y+, Rr	Store Indirect and Post-inc.	$(Y) \leftarrow Rr, Y \leftarrow Y + 1$	None	2
ST	-Y, Rr	Store Indirect and Pre-dec.	$Y \leftarrow Y - 1, (Y) \leftarrow Rr$	None	2
STD	Y+q, Rr	Store Indirect with Displacement	$(Y + q) \leftarrow Rr$	None	2
ST	Z, Rr	Store Indirect	$(Z) \leftarrow Rr$	None	2
ST	Z+, Rr	Store Indirect and Post-inc.	$(Z) \leftarrow Rr, Z \leftarrow Z + 1$	None	2
ST	-Z, Rr	Store Indirect and Pre-dec.	$Z \leftarrow Z - 1, (Z) \leftarrow Rr$	None	2
STD	Z+q, Rr	Store Indirect with Displacement	$(Z + q) \leftarrow Rr$	None	2
STS	k, Rr	Store Direct to SRAM	$(k) \leftarrow Rr$	None	2
LPM		Load Program Memory	$R0 \leftarrow (Z)$	None	3
IN	Rd, P	In Port	$Rd \leftarrow P$	None	1
OUT	P, Rr	Out Port	$P \leftarrow Rr$	None	1
PUSH	Rr	Push Register on Stack	$STACK \leftarrow Rr$	None	2
POP	Rd	Pop Register from Stack	$Rd \leftarrow STACK$	None	2
BIT AND BIT-TEST INSTRUCTIONS					
SBI	P, b	Set Bit in I/O Register	$I/O(P.b) \leftarrow 1$	None	2
CBI	P, b	Clear Bit in I/O Register	$I/O(P.b) \leftarrow 0$	None	2
LSL	Rd	Logical Shift Left	$Rd(n+1) \leftarrow Rd(n), Rd(0) \leftarrow 0$	Z,C,N,V	1
LSR	Rd	Logical Shift Right	$Rd(n) \leftarrow Rd(n+1), Rd(7) \leftarrow 0$	Z,C,N,V	1
ROL	Rd	Rotate Left through Carry	$Rd(0) \leftarrow C, Rd(n+1) \leftarrow Rd(n), C \leftarrow Rd(7)$	Z,C,N,V	1
ROR	Rd	Rotate Right through Carry	$Rd(7) \leftarrow C, Rd(n) \leftarrow Rd(n+1), C \leftarrow Rd(0)$	Z,C,N,V	1
ASR	Rd	Arithmetic Shift Right	$Rd(n) \leftarrow Rd(n+1), n = 0..6$	Z,C,N,V	1
SWAP	Rd	Swap Nibbles	$Rd(3..0) \leftarrow Rd(7..4), Rd(7..4) \leftarrow Rd(3..0)$	None	1
BSET	s	Flag Set	$SREG(s) \leftarrow 1$	SREG(s)	1
BCLR	s	Flag Clear	$SREG(s) \leftarrow 0$	SREG(s)	1
BST	Rr, b	Bit Store from Register to T	$T \leftarrow Rr(b)$	T	1
BLD	Rd, b	Bit Load from T to Register	$Rd(b) \leftarrow T$	None	1
SEC		Set Carry	$C \leftarrow 1$	C	1
CLC		Clear Carry	$C \leftarrow 0$	C	1
SEN		Set Negative Flag	$N \leftarrow 1$	N	1
CLN		Clear Negative Flag	$N \leftarrow 0$	N	1
SEZ		Set Zero Flag	$Z \leftarrow 1$	Z	1
CLZ		Clear Zero Flag	$Z \leftarrow 0$	Z	1
SEI		Global Interrupt Enable	$I \leftarrow 1$	I	1
CLI		Global Interrupt Disable	$I \leftarrow 0$	I	1
SES		Set Signed Test Flag	$S \leftarrow 1$	S	1
CLS		Clear Signed Test Flag	$S \leftarrow 0$	S	1
SEV		Set Two's Complement Overflow	$V \leftarrow 1$	V	1
CLV		Clear Two's Complement Overflow	$V \leftarrow 0$	V	1
SET		Set T in SREG	$T \leftarrow 1$	T	1
CLT		Clear T in SREG	$T \leftarrow 0$	T	1
SEH		Set Half-carry Flag in SREG	$H \leftarrow 1$	H	1
CLH		Clear Half-carry Flag in SREG	$H \leftarrow 0$	H	1
NOP		No Operation		None	1
SLEEP		Sleep	(see specific descr. for Sleep function)	None	1
WDR		Watchdog Reset	(see specific descr. for WDR/timer)	None	1



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้คัดลอกเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Ordering Information

Power Supply	Speed (MHz)	Ordering Code	Package	Operation Range
2.7 - 6.0V	4	AT90LS8535-4AC	44A	Commercial (0°C to 70°C)
		AT90LS8535-4JC	44J	
		AT90LS8535-4PC	40P6	
		AT90LS8535-4MC	44M1	
	4	AT90LS8535-4AI	44A	Industrial (-40°C to 85°C)
		AT90LS8535-4JI	44J	
		AT90LS8535-4PI	40P6	
		AT90LS8535-4MI	44M1	
4.0 - 6.0V	8	AT90S8535-8AC	44A	Commercial (0°C to 70°C)
		AT90S8535-8JC	44J	
		AT90S8535-8PC	40P6	
		AT90LS8535-8MC	44M1	
	8	AT90S8535-8AI	44A	Industrial (-40°C to 85°C)
		AT90S8535-8JI	44J	
		AT90S8535-8PI	40P6	
		AT90LS8535-8MI	44M1	

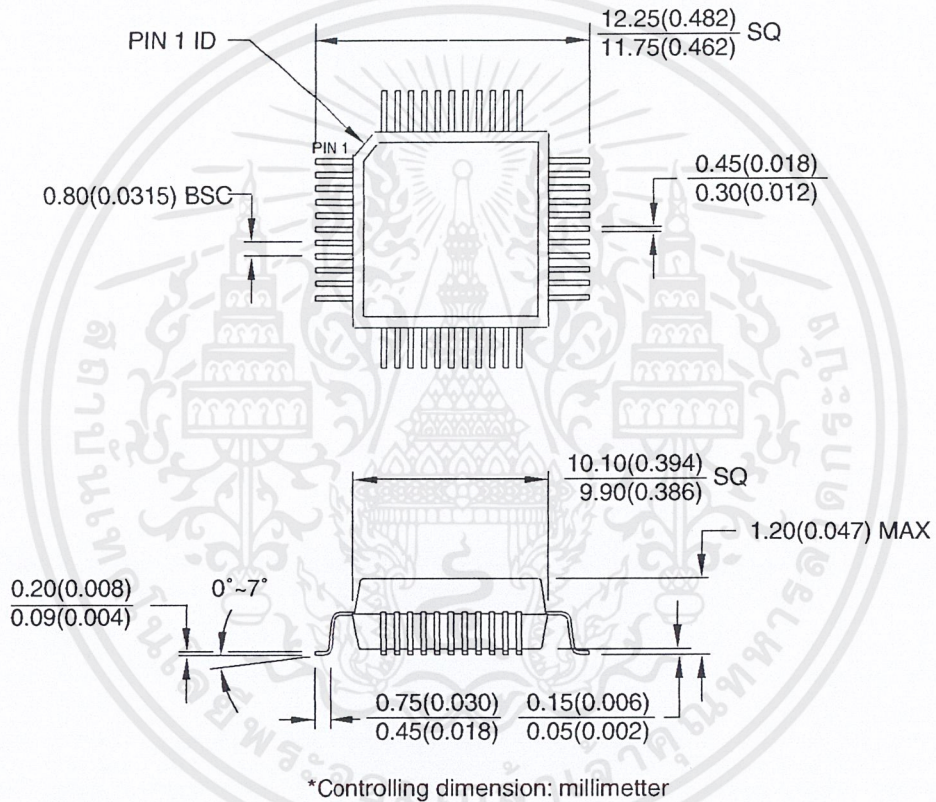


Package Type	
44A	44-lead, Thin (1.0 mm) Plastic Gull Wing Quad Flat Package (TQFP)
44J	44-lead, Plastic J-leaded Chip Carrier (PLCC)
40P6	40-lead, 0.600" Wide, Plastic Dual Inline Package (PDIP)
44M1	44-pad, 7 x 7 x 1.0 mm body, lead pitch 0.50 mm, Micro Lead Frame Package (MLF)

Packaging Information

44A

44-lead, Thin (1.0mm) Plastic Quad Flat Package
 (TQFP), 10x10mm body, 2.0mm footprint, 0.8mm pitch.
 Dimension in Millimeters and (Inches)*
 JEDEC STANDARD MS-026 ACB

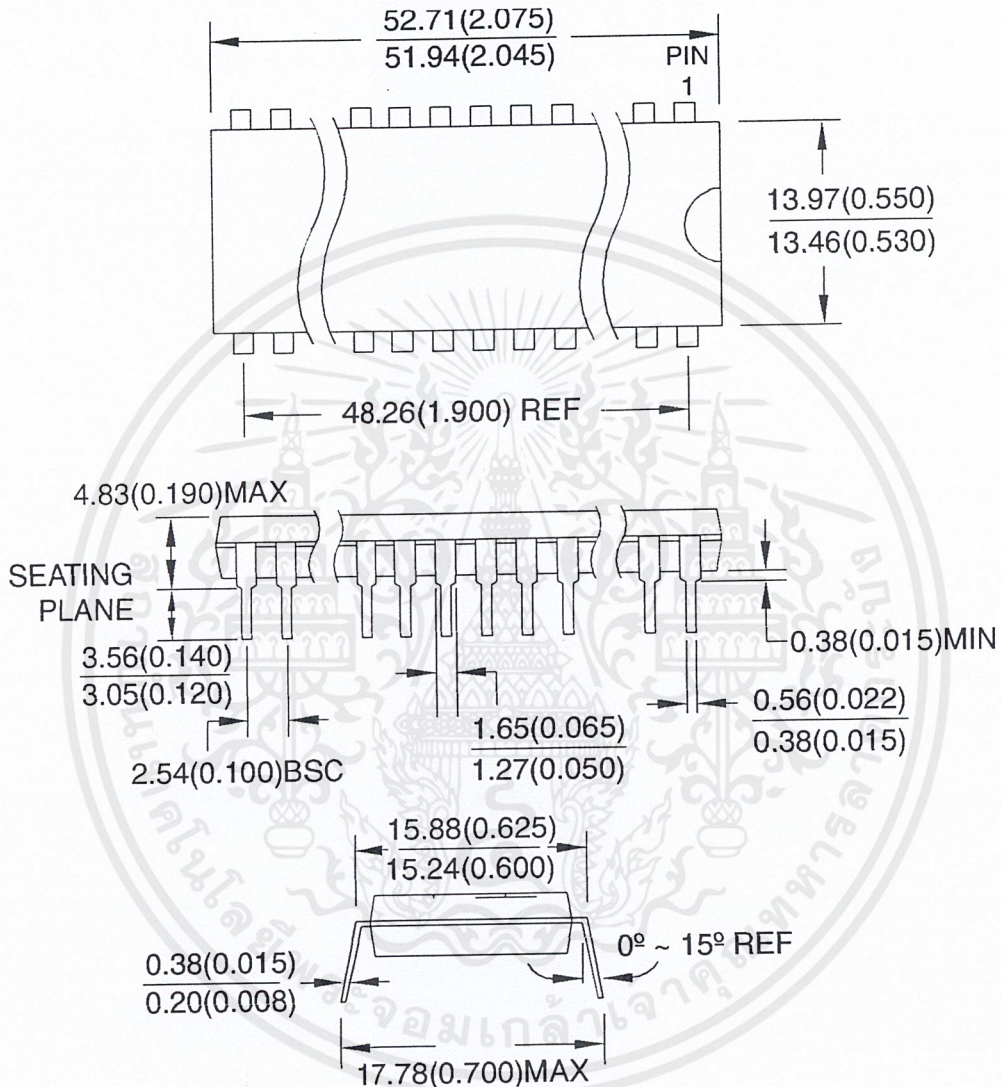


REV. A 04/11/2001



40P6

40-lead, Plastic Dual Inline
 Package (PDIP), 0.600" wide
 Dimension in Millimeters and (Inches)*
 JEDEC STANDARD MS-011 AC



*Controlling dimension: Inches

REV. A 04/11/2001

