สำนักหอสมุดกลาง พระจอมเกล้าลาดกระบัง

# การส่งสัญญาณเสียง 7 ช่องสัญญาณในสายส่งคู่เดียว

# 7 CHANNELS SEQUENTIAL DATA TRANSMISSION VIA A SIGNAL LINE

โดย

นางสาว กานต์มณี กุลวานิช

นางสาว จตุพร เพชรประไพ

ปริญญานิพนธ์นี้เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรปริญญาวิศวกรรมศาสตรบัณฑิต

สาขาวิศวกรรมอิเล็กทรอนิกส์

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

ปีการศึกษา 2542

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

# การส่งสัญญาณเสียง 7 ช่องสัญญาณในสายส่งคู่เดียว

# 7 CHANNELS SEQUENTIAL DATA TRANSMISSION VIA A SIGNAL LINE


โดย

นางสาวภานต์มณี กุลวานิช 39014023

นางสาวจตุพร เพชรประไพ 39014063

อาจารย์ที่ปรึกษา

ผศ.พลผดุง ผดุงกุล


ปริญญานิพนธ์นี้เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรปริญญาวิศวกรรมศาสตรบัณฑิต

สาขาวิศวกรรมอิเล็กทรอนิกส์

คณะวิศวกรรมศาสตร์

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

ปีการศึกษา 2542


เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ปริญญานิพนธ์ปีการศึกษา 2542

ภาควิชาอิเล็กทรอนิกส์

คณะวิศวกรรมศาสตร์ สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

เรื่อง การส่งสัญญาณเสียง 7 ช่องสัญญาณในสายส่งคู่เดียว

(7 Channels Sequential Data Transmission Via a Signal Line)


ผู้จัดทำ

| | | | |
|---|---|---|---|
| 1.นางสาวกานต์มณี | กุลวานิช | เลขประจำตัว | 39014023 |
| 2.นางสาวจตุพร | เพชรประไพ | เลขประจำตัว | 39014063 |

ลงชื่อ.....อาจารย์ที่ปรึกษา

(ผศ.พลผดุง ผดุงกุล)


เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การส่งสัญญาณเสียง 7 ช่องสัญญาณในสายส่งคู่เดียว

7 Channels Sequential Data Transmission Via a Signal Line


| | | | |
|---|---|---|---|
| นางสาวกานต์มณี | กุลวานิช | เลขประจำตัว | 39014023 |
| นางสาวจตุพร | เพชรประไพ | เลขประจำตัว | 39014063 |


โครงงานนี้ได้รับการตรวจสอบแล้ว พร้อมที่จะทำการสอบได้

.....

( ผศ.พลผดุง ผดุงกุล )

อาจารย์ที่ปรึกษา


เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

# การส่งสัญญาณเสียง 7 ช่องสัญญาณในสายส่งคู่เดียว

นางสาวกานต์มณี กุลวานิช
นางสาวจตุพร เพชรประไพ
ผศ.พลผดุง ผดุงกุล (อาจารย์ที่ปรึกษา)
ปีการศึกษา 2542

**บทคัดย่อ**

ปริญญานิพนธ์ฉบับนี้เป็นการศึกษาการส่งสัญญาณเสียง 7 ช่องสัญญาณในสายส่งคู่เดียว โดยทำการแปลงสัญญาณเสียงเป็นข้อมูลดิจิตอล 8 บิทส่งไปในแต่ละช่องสัญญาณด้วยอัตราเร็วในการส่งข้อมูลประมาณ 100 kbits/sec ในการส่งข้อมูลจะทำการแปลงข้อมูลดิจิตอลที่เป็นระดับลอจิกเป็นขนาดความกว้างของพัลซ์สัญญาณส่งไปตามสายนำสัญญาณ โดยมีระบบการส่งข้อมูลดิจิตอลแบบเป็นลำดับและทำการส่งสัญญาณไปแบบดิฟเฟอเรนเชียลโหมด เพื่อลดผลของสัญญาณรบกวนและสามารถส่งสัญญาณไปได้ในระยะทางที่ไกลขึ้นระบบนี้จะประกอบด้วย2ส่วนหลักคือส่วนฮาร์ดแวร์ตัวแม่ทำหน้าที่สร้างสัญญาณเพื่อรองรับข้อมูลทั้ง 7 ช่องสัญญาณและสัญญาณซิงโครไนส์ของระบบในแต่ละรอบการทำงาน และส่วนของฮาร์ดแวร์ตัวลูกซึ่งประกอบด้วย ภาคส่งและภาครับข้อมูลเฉพาะลำดับของช่องสัญญาณที่ถูกกำหนดไว้ ทำให้อุปกรณ์ชุดลูกแต่ละชุดสามารถทำงานได้อย่างเป็นอิสระต่อกัน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

# 7 Channels Sequential Data Transmission Via a Signal Line

Miss.Kanmanee Kulawanich
Miss.Chatuporn Petprapai
Mr. Polpadung Padungkul
1999

**Abstract**

This project describes 7 channels sequential data transmission by converting speech signal to digital signal with 8 bits per channel. Digital data of each channel is transformed from logic level to pulse width signal that is transmitted in a signal line. The system transmits signals using sequential data that uses differential technique to reduce noise and increase transmission length. The system consists of 2 main parts. The first one is the master unit that generates signals that contain all data of 7 channels and synchronization signal every duty cycle of the system. In the part of slave unit, it consists of data impression circuit and data collecting circuit. Each of slave unit can impress or collect only its channel that is set so it can work independently.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

# สารบัญ


| | หน้า |
|---|---|
| บทคัดย่อ | ก |
| Abstract | ข |
| สารบัญ | ค |
| สารบัญรูป | จ |
| **บทที่ 1** บทนำ | 1 |
| **บทที่ 2** ทฤษฎี | 2 |
| การส่งสัญญาณซีเควนเชียล แบบดิฟเฟอเรนเชียล | |
| 2.1 ทฤษฎีการส่งข้อมูลแบบเป็นลำดับ | 2 |
| 2.1.1 ระบบการส่งข้อมูลเป็นลำดับแบบซิงเกิลเอนด์ | 2 |
| 2.1.2 ระบบส่งข้อมูลเป็นลำดับแบบดิฟเฟอเรนเชียล | 2 |
| 2.2 ทฤษฎีของ Data Acquisition and Conversion | 3 |
| 2.2.1 ทฤษฎีการ Sampling | 3 |
| 2.2.2 ทฤษฎีการควอนไตซ์ | 4 |
| 2.2.3 ความละเอียดของควอนไตเซอร์และความผิดพลาด | 4 |
| 2.2.4 รหัสตัวเลขสำหรับการเปลี่ยนข้อมูล | 5 |
| 2.2.5 วงจร Sampling | 5 |
| 2.2.6 วงจรแรงดันอ้างอิง (Voltage Reference Circuit) | 6 |
| 2.2.7 วงจร Digital to Analog Converter (DAC) | 7 |
| 2.2.8 วงจร Analog to Digital Converter (ADC) | 8 |
| 2.3 ทฤษฎีวงจรกรองความถี่ตัดผ่าน | 9 |
| **บทที่ 3** การออกแบบวงจร | 12 |
| 3.1 การทำงานโดยรวมของระบบ | 12 |
| 3.2 ฮาร์ดแวร์ตัวแม่ | 14 |
| 3.3 ฮาร์ดแวร์ตัวลูก | 15 |
| 3.3.1 ภาคส่งข้อมูล | 15 |
| 3.3.2 ภาครับข้อมูล | 18 |


เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

# สารบัญ(ต่อ)


| | หน้า |
|---|---|
| **บทที่ 4** การทดลอง | 21 |
| 4.1 การทดสอบการทำงานของฮาร์ดแวร์ตัวแม่ | 21 |
| 4.1.1 วัตถุประสงค์ | 21 |
| 4.1.2 การทดสอบและผลการทดสอบ | 21 |
| 4.2 การทดสอบการทำงานของฮาร์ดแวร์ตัวลูก | 24 |
| 4.2.1 วงจรภาคส่งข้อมูล | 24 |
| 4.2.2 วงจรภาครับข้อมูล | 26 |
| **บทที่ 5** สรุปผลการทดลอง | 28 |
| 5.1 สรุปผลการทดลอง | 28 |
| 5.1.1 ส่วนของฮาร์ดแวร์ตัวแม่ | 28 |
| 5.1.2 ส่วนของฮาร์ดแวร์ตัวลูก | 28 |
| 5.1.2.1 วงจรภาคส่งข้อมูล | 28 |
| 5.1.2.2 วงจรภาครับข้อมูล | 28 |
| 5.2 ปัญหาและการแก้ไข | 28 |
| 5.2.1 ส่วนของฮาร์ดแวร์ตัวแม่ | 28 |
| 5.2.2 ส่วนของฮาร์ดแวร์ตัวลูกที่ทำหน้าที่อัดและดึงข้อมูล | 29 |
| 5.2.3 การดีเลย์ของสัญญาณ | 29 |
| 5.3 ข้อดีของระบบ | 29 |
| 5.4 ข้อเสนอแนะ | 30 |
| ภาคผนวก | |
| เอกสารอ้างอิง | |
| กิตติกรรมประกาศ | |
| หนังสืออ้างอิง | |


เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

# สารบัญรูป


หน้า

**บทที่2** ทฤษฎี

รูปที่2.1 แสดงลักษณะการส่งสัญญาณซีเควนเชียลแบบเก่า กับแบบดิฟเฟอเรนเชียลที่พัฒนาขึ้น 2

รูปที่ 2.2 แผนภาพแสดงระบบส่งแบบดิฟเฟอเรนเชียลและการตรวจจับสัญญาณ 3

รูปที่2.3 วงจรBandgap Voltage Reference 6

รูปที่2.4 Block Diagram ของDAC 7

รูปที่2.5 วงจร DAC แบบ R-2R Ladder แบบ 4 บิท 8

รูปที่2.6 Block Diagram ของ Sucessive Approximation ADC 9

รูปที่2.7 แสดงคุณสมบัติของวงจรกรองความถี่ต่ำผ่าน 10

รูปที่2.8 Second Order Low Pass Function (a) Loss (b)Pole-Zero 10

**บทที่3** การออกแบบวงจร

รูปที่3.1 แสดง Block Diagram ของระบบโดยรวม 12

รูปที่3.2 วงจร Hardware ตัวแม่ 14

รูปที่3.3 วงจร Driver ในการส่งสัญญาณระหว่าง ฮาร์ดแวร์ตัวแม่ ฮาร์ดแวร์ตัวลูก 15

รูปที่3.4 Block Diagramของวงจรแปลงสัญญาณเสียงเป็นข้อมูลดิจิตอล 16

รูปที่3.5 วงจรขยายที่ให้Gain ค่าสูง 16

รูปที่3.6 แสดง Timing Diagram ของ IC 74HC595 19

รูปที่3.7 Block Diagramของวงจรแปลงข้อมูลดิจิตอลเป็นสัญญาณเสียง 19

**บทที่ 4** การทดลอง

รูปที่ 4.1 แสดงภาพสัญญาณพัลซ์ขนาด 25%ดิวตี้ ไซเคิล ความถี่ 1 MHz 21

รูปที่ 4.2 แสดงพัลซ์ของสัญญาณ 64 ลูกและสัญญาณซิงโครไนซ์ 8 คาบที่ระดับ0V 22

รูปที่ 4.3 แสดงสัญญาณจากเคาท์เตอร์ที่เกิดจากการนับพัลซ์ลูกที่ 253 ของสัญญาณนาฬิกา จากออสซิลเตอร์ตรงกับสัญญาณพัลซ์ลูกที่ 64 ที่สร้างขึ้น 22

รูปที่ 4.4 แสดงสัญลักษณ์ Q จากโมโนสเตเบิลที่นำไปรีเซ็ตเคาท์เตอร์เพื่อสร้างสัญญาณซิงโครไนซ์ขนาด 8 คาบที่ระดับ 0 V 23

รูปที่ 4.5 สัญญาณแบบดิฟเฟอเรนเชียล Q และ $\overline{Q}$ จาก D-Flip Flop 23


เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

# สารบัญรูป(ต่อ)


| | | หน้า |
|---|---|---|
| รูปที่ 4.6 | สัญญาณแบบดิฟเฟอเรนเชียล Q และ $\overline{Q}$จาก D-Flip Flop ที่ถูกขับโดยวงจรไดรฟ์เวอร์เป็นสัญญาณ Line และ $\overline{Line}$ | 24 |
| รูปที่ 4.7 | สัญญาณ $\overline{P=Q}$ ของคอมแพเรเตอร์ ที่ใช้ในการเลือกช่องสัญญาณที่จะได้รับการอัดข้อมูลตามรูปเป็นการเลือกช่องสัญญาณที่ 1 (พัลซ์ลูกที่ 8 ถึง 15) ของ $\overline{Line}$ | 25 |
| รูปที่ 4.8 | แสดงสัญญาณใน Line เมื่อถูกอัดข้อมูลลงในช่องสัญญาณลำดับที่ 1 เทียบกับพัลซ์ของข้อมูล ที่แปลงจากข้อมูลดิจิตอล 8 บิทคือ 1011101 | 25 |
| รูปที่ 4.9 | สัญญาณ $\overline{P=Q}$ ของคอมแพเรเตอร์ที่ใช้ในการเลือกช่องสัญญาณที่จะทำการดึงข้อมูลตามรูปเป็นการดึงข้อมูลจากช่องสัญญาณที่ 1 (พัลซ์ลูกที่8 ถึง 15) ของ $\overline{Line}$ | 26 |
| รูปที่ 4.10 | สัญญาณ $\overline{P=Q}$ ของคอมแพเรเตอร์ใช้ในการเลือกช่องสัญญาณที่จะทำการดึงข้อมูล ตามรูปเป็นข้อมูล 10011101 ที่ดึงได้จากช่องสัญญาณที่ 1 ของ $\overline{Line}$ | 27 |
| รูปที่ 4.11 | สัญญาณข้อมูล 10011101 ที่ดึงได้จากช่องสัญญาณที่ 1 ของสัญญาณใน Line | 27 |


เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

# บทที่ 1
# บทนำ

การส่งสัญญาณข้อมูลจำนวนหลายชุดไปพร้อมกันในระบบเก่าต้องมีจำนวนคู่สายเท่ากับจำนวนชุดข้อมูลที่ต้องการส่งซึ่งมีความสิ้นเปลืองและยุ่งยากในการติดตั้งสายนำสัญญาณอย่างมากปริญญานิพนธ์ฉบับนี้ จึงเป็นการศึกษาเพื่อพัฒนาระบบการส่งสัญญาณข้อมูลเพื่อให้สามารถส่งข้อมูลหลายชุดพร้อมกันในสายส่งเพียงคู่เดียวได้ โดยทำการออกแบบระบบเพื่อส่งข้อมูลเสียง 7 ช่องสัญญาณไปในสายส่งคู่เดียว ประกอบด้วย 2 ส่วนหลักคือส่วนของฮาร์ดแวร์ตัวแม่และส่วนของฮาร์ดแวร์ตัวลูก ซึ่งฮาร์ดแวร์ตัวแม่จะทำหน้าที่สร้างสัญญาณเพื่อรองรับการส่งข้อมูล 8 บิทของแต่ละช่องสัญญาณรวม 7 ช่องสัญญาณและสัญญาณซิงโครไนส์ ทุกรอบการทำงาน ส่วนฮาร์ดแวร์ตัวลูกจะแบ่งเป็น 2 ประเภทคือ วงจรภาคส่งข้อมูลและวงจรภาครับข้อมูล สำหรับวงจรภาคส่งในแต่ละรอบการทำงานจะทำหน้าที่อัดข้อมูลเสียงที่ผ่านการSamplingและแปลงเป็นข้อมูลดิจิตอล 8 บิทลงช่องสัญญาณที่ถูกกำหนดไว้ โดยจะทำการแปลงข้อมูลดิจิตอลที่เป็นระดับลอจิกไปเป็นขนาดความกว้างของพัลซ์สัญญาณ คือระดับลอจิก "0" ถูกแทนด้วยพัลซ์ขนาด 25% ดิวตี้ไซเคิล (Duty Cycle) และระดับลอจิก "1" ถูกแทนด้วยพัลซ์ขนาด 75% ดิวตี้ไซเคิล (Duty Cycle) วงจรภาคส่งแต่ละตัวจึงสามารถอัดข้อมูลลงได้เฉพาะช่องสัญญาณของตนเองเท่านั้น ข้อมูลในแต่ละช่องสัญญาณจึงไม่เกิดการปะปนกัน แต่จะถูกส่งไปอย่างเป็นลำดับที่แน่นอนและเป็นอิสระต่อกัน ในส่วนของวงจรภาครับจะทำหน้าที่ดึงข้อมูลจากช่องสัญญาณที่ต้องการ โดยการกำหนดลำดับของช่องสัญญาณจากการตั้งรหัสภายในวงจรเช่นเดียวกับการเลือกอัดข้อมูลลงช่องสัญญาณของวงจรภาคส่ง

ระบบการส่งข้อมูลจะเป็นแบบดิจิตอลแบบเป็นลำดับ(Squential)ที่พัฒนาขึ้นโดยการส่งแบบดิฟเฟอเรนเชียล (Differential) แทนแบบซิงเกิลเอนด์ (Single End) แบบเก่า ซึ่งมีข้อเสียคือมีการลดทอนของสัญญาณในสายนำสัญญาณเมื่อมีการส่งระยะไกลทำให้การรับสัญญาณเกิดการผิดพลาดได้ง่าย สำหรับการอัดข้อมูลจะเป็นการเปลี่ยนแปลงความกว้างของพัลซ์สัญญาณตามข้อมูลดิจิตอล ในการรับข้อมูลจากสายนำสัญญาณจะเป็นการเปรียบเทียบผลต่างของสัญญาณในสายส่งโดยโวลท์เตจคอมพาราเตอร์ (Voltage Comparator) ซึ่งถึงแม้ว่าสัญญาณที่ส่งมาจะเปลี่ยนแปลงไปแต่ผลที่ได้จากวงจรตรวจจับสัญญาณก็ยังคงได้สัญญาณเหมือนกับสัญญาณต้นทางและยังสามารถป้องกันสัญญาณรบกวนจากภายนอกได้ดี

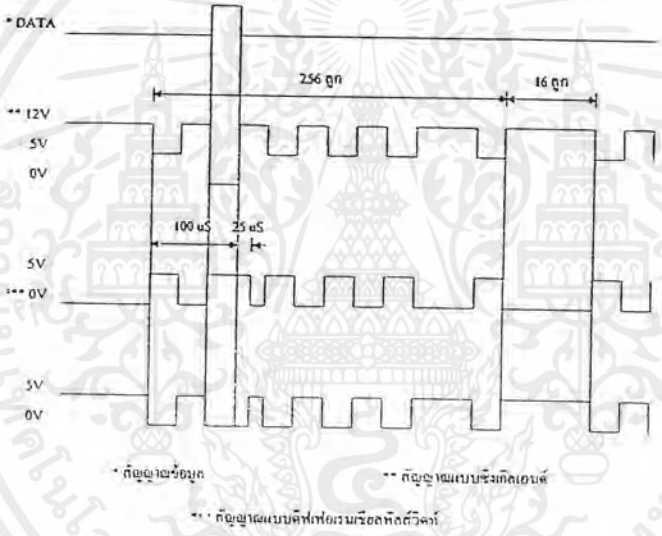
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

# บทที่ 2
# ทฤษฎี

## 2.1 ทฤษฎีการส่งข้อมูลแบบเป็นลำดับ

2.1.1 ระบบการส่งข้อมูลเป็นลำดับแบบซิงเกิลเอนด์

เป็นการส่งสัญญาณ 3 ระดับคือ 12 V, 5V และ 0V ซึ่งเป็นสายส่งสัญญาณนาฬิกาที่ระดับ 12V, 5V และเป็นข้อมูลที่ระดับ 0V โดยมีสายส่งสัญญาณ 2 เส้น คือสายส่งสัญญาณและกราวด์ของระบบซึ่งมีข้อเสียคือในการส่งระยะไกลๆ จะมีการลดทอนของสัญญาณในสายนำสัญญาณทำให้สัญญาณที่ได้รับเกิดความผิดพลาดได้ง่าย



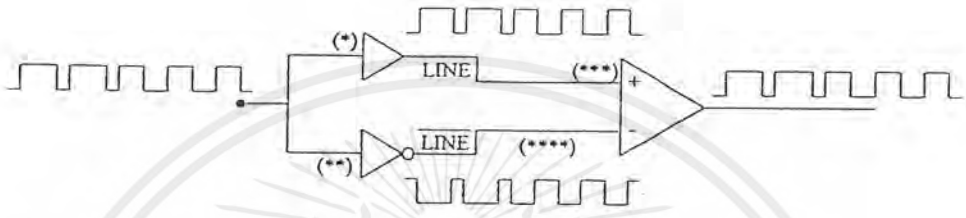

**รูปที่ 2.1** แสดงลักษณะการส่งสัญญาณซีเควนเชียลแบบเก่ากับแบบดิฟเฟอเรนเชียลที่พัฒนาขึ้น

2.1.2 ระบบส่งข้อมูลเป็นลำดับแบบดิฟเฟอเรนเชียล

เป็นการส่งสัญญาณที่พัฒนาขึ้นมาใหม่โดยจะมีการส่งสัญญาณ 2 ระดับ คือ 5V และ 0V ซึ่งจะสร้างสัญญาณที่มีระดับสัญญาณตรงกันข้ามกัน ส่งไปในสายนำสัญญาณ 2 เส้น ในการรับสัญญาณที่ปลายทาง จะใช้วงจรเปรียบเทียบระดับแรงดัน (Voltage Comparator) ซึ่งมีคุณสมบัติเป็นวงจรขยายผลต่างของสัญญาณอินพุทที่มีอัตราขยายค่อนข้างสูงมาก ทำให้ถึงแม้ว่าสัญญาณที่ส่งมาจะถูกลดทอนลงไปมาก ก็ลดทอนลงไปมากก็ยังสามารถให้สัญญาณเอาท์พุทของวงจรที่ตรวจจับได้เหมือนกับสัญญาณรบกวนจากภายนอก ซึ่งมีลักษณะแบบคอมมอนโหมดได้ดี เพราะวงจรเปรียบเทียบแรงดันนี้มีคุณสมบัติในการขจัดสัญญาณคอมมอนโหมด

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ดังนั้นการพัฒนาการส่งข้อมูลแบบซีเควนเชียลแบบดิฟเฟอเรนเชียลนี้ จะสามารถแก้ปัญหาที่เกิดขึ้นในระบบสายส่งสัญญาณระบบเก่าที่ระดับของสัญญาณจะถูกลดทอนเมื่อต่อกับสายนำสัญญาณที่ยาวมาก ๆ ได้ ซึ่งเทคนิคการส่งแบบดิฟเฟอเรนเชียลนี้สามารถนำไปใช้ในการส่งข้อมูลในระยะไกลได้




* วงจรขับสัญญาณแบบบวก ** วงจรขับสัญญาณแบบลบ

*** วงจรเปรียบเทียบระดับสัญญาณ **** สายส่งสัญญาณ

**รูปที่2.2** แผนภาพแสดงระบบส่งแบบดิฟเฟอเรนเชียลและการตรวจจับสัญญาณ

## 2.2 ทฤษฎีของ Data Acquisition and Conversion

เนื่องจากสัญญาณในรูปแบบของดิจิตอล การประมวล เก็บ สื่อสาร และการนำเสนอกระทำได้ง่ายๆ อย่างมีประสิทธิภาพมากกว่าอนาลอก ดังนั้นการเปลี่ยนรูปแบบของสัญญาณ (Conversion) จึงมีความจำเป็นอย่างยิ่ง

ซึ่งในระบบการส่งสัญญาณเสียง 7 ช่องสัญญาณในสายคู่เดียวนี้ สัญญาณเสียงจะถูกเปลี่ยนให้เป็นสัญญาณไฟฟ้าที่มีความต่อเนื่อง (สัญญาณอนาลอก) มีคอนเดนเซอร์ไมโครโฟนเป็นทรานสดิวเซอร์ (Transducer) จากนั้นสัญญาณไฟฟ้าจะถูกปรับให้อยู่ในรูปและขนาดที่เหมาะสมกับระบบก่อนโดยวงจรขยาย (Amplifier) และวงจรความถี่ต่ำผ่าน (Low pass filter) โดยADC (Analog to Digital Converter) จะทำหน้าที่เปลี่ยนรูปแบบของสัญญาณอนาลอกเป็นดิจิตอล เพื่อเป็นข้อมูลของภาคส่ง และภาครับจะแปลงข้อมูลดิจิตอลที่รับมาอยู่ในรูปแบบอนาลอกโดย DAC เพื่อแปลงกลับมาเป็นสัญญาณเสียงแล้วขับออกทางลำโพงต่อไป

### 2.2.1 ทฤษฎีการSampling (Sampling Theory)

ในการSamplingสัญญาณอนาลอกใดๆ หากความถี่ของการSampling fs ไม่สูงพอ หลังการSampling สเปกตรัมบางส่วนของ fs จะซ้อนทับกับสเปกตรัมของสัญญาณอนาลอกซึ่งจะเกิด

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Frequency Folding ทำให้เกิดความเพี้ยนแก่สัญญาณอนาลอก เมื่อสัญญาณถูกเปลี่ยนกลับให้อยู่ในรูปเดิมหลังการSampling นอกจากนี้ผลของการใช้อัตราการSamplingที่ไม่เหมาะสม (ต่ำเกินไป) จะเกิดเป็นสัญญาณความถี่ต่ำกว่าเรียกว่า Aliasing Frequency เมื่อสัญญาณถูกเปลี่ยนกลับมา เช่นเดิมหลังจากการSamplingซึ่ง Aliasing Frequency จะแตกต่างจากความถี่เดิมมาก

ดังนั้นตามทฤษฎีการSamplingควรให้ fs มากกว่า 2 เท่าของสัญญาณอนาลอกเพื่อขจัดการซ้อนทับกันของเสปคตรัมและการเกิด Aliasing Frequency ซึ่งทำได้ 2 วิธีคือ

2.2.1.1 ใช้อัตราการSamplingที่สูงพอ แต่อาจทำได้ยากหากสัญญาณอนาลอกที่จะSampling มีความถี่สูงมาก

2.2.1.2 ทำการกรองความถี่ของสัญญาณอนาลอกก่อนการSampling (Anti Alaising Filter) เพื่อจำกัดแบนด์วิดท์ของสัญญาณที่จะถูกแปลงไม่ให้เกินกว่า fs/2 โดยจะต้องไม่ทำให้เกิดความผิดเพี้ยนของสัญญาณในแบนด์วิดท์ที่ใช้งาน

ในการออกแแบบ Anti Alaising Filter ขึ้นกับ

- ความถี่ที่สูงสุดสนใจ
- อัตราการSampling
- ความละเอียดของการแปลงสัญญาณ

วงจรกรองที่ใช้งานอาจเป็น พาสซีฟฟิลเตอร์ (Passive Filter),แอคทีฟฟิลเตอร์(Active Filter)หรือ สวิตช์ คาปาซิเตอร์ ฟิลเตอร์(Switched Capacitor)ก็ได้

2.2.2 ทฤษฎีการควอนไตซ์ (Quantizing Theory)

การควอนไตซ์เป็นขบวนการที่เปลี่ยนแปลงสัญญาณอนาลอก เป็นสัญญาณที่ไม่ต่อเนื่อง (Discrete Signal) หลังการSamplingโดยผ่านขบวนการเข้ารหัส (Coding)จัดให้สัญญาณที่ไม่ต่อเนื่องนั้นอยู่ในรูปที่ง่ายต่อการประมวลผลและเป็นสัดส่วนกับค่าเต็มเสกล โดยค่าสูงสุดของรหัสดิจิตอลคือทุกบิทเป็น 1 จะเท่ากับสัญญาณอนาลอกเต็มเสกลคูณด้วย$(1-2^{n})$ โดย nเป็นจำนวนบิทของรหัสดิจิตอล และรหัสดิจิตอลแต่ละบิทที่เป็น 1 จะเท่ากับขนาดเต็มเสกลของอนาล อกคูณกับค่าถ่วงน้ำหนักของบิทนั้นๆ หารด้วย $2^{n}$

2.2.3 ความละเอียดของควอนไตเซอร์และความผิดพลาด(Quantizer Resolution and Error)

ในแต่ละสถานะของสัญญาณดิจิตอลเอาท์พุทจะแทนขนาดของสัญญาณอนาลอกค่าใดค่าหนึ่งในช่วงเล็กๆระหว่างจุดแบ่งระดับ ช่วงเล็กๆนี้คือขนาด 1 Analog Quantizing หรือ 1 ควอนตัม (Quantum)หรือ 1 LSB (Least Significant Bit) ของการแปลงสัญญาณ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ค่านี้คำนวณได้จากสมการ $Q = FSR/2^n$

FSR คือช่วงแรงดันเต็มเสกลอนาลอก (Full Scale Range)

n คือจำนวนบิทของรหัสดิจิตอล

จากสมการจะเห็นว่าหากการเปลี่ยนแปลงที่ให้จำนวนบิทมากขนาดของควอนตัมจะลดลง และในกาทำควอนไตซ์จะเกิดQuantizing Error เสมอโดยError คือ 1 ช่วงสัญญาณอนาลอกแปลงเป็นรหัสดิจิตอล 1 สถานะ ซึ่ง Error นี้จะทำการแก้ไขไม่ได้นอกจากการเพิ่มจำนวนบิทของควอนไตเซอร์ให้มากขึ้นและเอาท์พุท Error อาจจะเป็นศูนย์เมื่อสัญญาณอนาลอกเป็นค่าที่จุดกึ่งกลางควอนตัมพอดี

2.2.4 รหัสตัวเลขสำหรับการเปลี่ยนข้อมูล

รหัสตัวเลขที่นิยมนำมาใช้ในระบบเปลี่ยนข้อมูลได้แก่รหัสไบนารีหรือที่เรียกว่าStraight Binary โดยรหัสไบนารีสถานะสูงสุดจะแทนสัญญาณอนาลอก FSR x $(1-2^{-n})$ โวลท์ นอกจากนี้ยังมีการใช้ระบบไบนารีแบบอื่นๆในระบบการแปลงสัญญาณอันได้แก่ Two's Compliment ,BCD, Offset Binary ซึ่งแต่ละชนิดมีข้อดีและความเหมาะสมต่างกันโดยในระบบนี้ใช้หัสตัวเลขแบบ Straight Binaryที่มีมาตรฐานของช่วงแรงดันอินพุทเป็น 0ถึง 5V

2.2.5 วงจรSampling

วงจร Sampling โดยพื้นฐานเป็นอุปกรณ์หรือวงจรเก็บแรงดัน(Voltage Memory)ซึ่งใช้อุปกรณ์ร่วมสำคัญคือตัวเก็บประจุ

วงจร Sampling ในระบบ Data Acquisition นิยมใช้ 2 แบบคือ

2.2.5.1 Sampling Gate วงจรนี้จะอยู่ในสภาวะ High Input Impedance เมื่อไม่มีการSampling และเมื่อมีการSamplingเอาท์พุทจะปรากฏสัญญาณที่ได้รับมาทันที

2.2.5.2 Sampling and Hold (S&H) วงจรนี้จะตัดต่อสวิทช์ในการSamplingช้ากว่าโดยมีลักษณะการทำงานเป็น 2 ขั้นตอนคือ

- ขณะที่ตัดสัญญาณออกวงจรจะ track ตามสัญญาณอินพุทจนกว่าจะมีการSampling สัญญาณใหม่
- hold อินพุทค่าที่ Sampling ครั้งสุดท้ายเก็บไว้ เมื่อเข้าสู่โหมด hold

วงจรSampling Gate นิยมนำมาใช้ในระบบความถี่สูง ส่วนS&Hเหมาะกับงานทั่วไปเพราะมีแบนด์วิดธ์ต่ำกว่า

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.2.6 วงจรแรงดันอ้างอิง (Voltage Reference Circuit)

วงจรแรงดันอ้างอิงเป็นวงจรที่สำคัญวงจรหนึ่งในระบบ Data Acquisition เนื่องจากเป็นส่วนสำคัญในการกำหนดคุณภาพของวงจร DAC หรือ ADC วงจรแรงดันอ้างอิงมีทั้งที่เป็นวงจรอิสระและที่เป็นวงจรรวมอยู่ในวงจร DAC หรือ ADC

2.2.6.1 Basic Voltage Reference

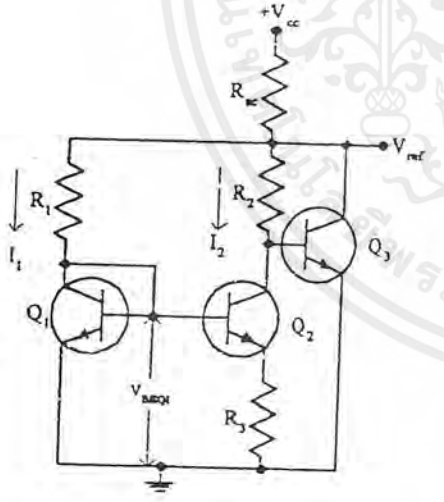
อุปกรณ์ที่นิยมใช้เป็นแหล่งกำเนิดแรงดันอ้างอิงได้แก่ซีเนอร์ไดโอดเป็นวงจรที่ง่ายแต่มีข้อเสียคือ แรงดันมักเปลี่ยนตามอุณหภูมิได้ง่ายและจ่ายกระแสได้จำนวนจำกัดรวมทั้งแรงดันเอาท์พุทจะแปรตามอินพุทจึงมักใช้กับวงจร ADC ที่ไม่ต้องการคุณภาพนัก

2.2.6.2 Precision Voltage Reference

เป็นวงจรแรงดันอ้างอิงที่มีคุณภาพดีกว่าเนื่องจากใช้ออปแอมป์ร่วมกับซีเนอร์ไดโอด ซึ่งนอกจากจะให้แรงดันที่คงที่มากกว่าแล้วยังสามารถปรับแรงดันเอาท์พุทให้ได้มากหรือน้อยกว่าแรงดันซีเนอร์ไดโอดได้อีกด้วย

2.2.6.3 Bandgap Voltage Reference

เป็นวงจรแรงดันอ้างอิงที่ได้รับการออกแบบเพื่อแก้ไขเรื่องสัมประสิทธิ์ทางอุณหภูมิโดยใช้ผลต่างของแรงดันเบส-อิมิตเตอร์ ของทรานซิสเตอร์ 2 ตัวที่ทำงานที่กระแสต่างกัน




$$V_{REF} = V_{BEQ3} + I_2 R_2$$

$$V_{REF} = V_{BEQ3} + \frac{kT_j}{q} \ln \frac{I_1}{I_2}$$

k=Boltzmann'sconstant ($1.3805.10^{-23}$ J/K)

Tj=absolute temperature ของรอยต่อ

q=electron charge ($1.6021 \times 10^{-19}$ C)

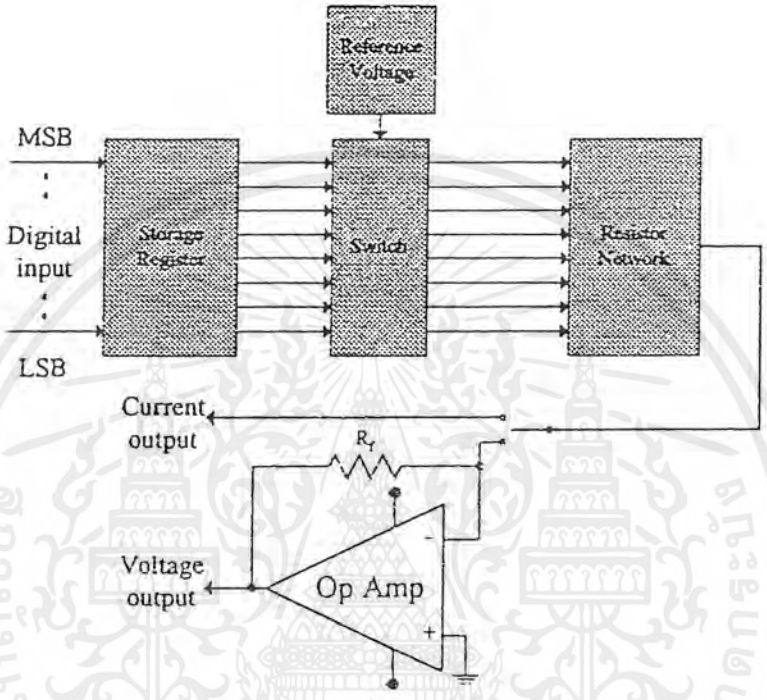
**รูปที่2.3** วงจร Bandgap Voltage Refference พื้นฐาน

วงจรแรงดันอ้างอิงแบบ Bandgap Voltage Refference นี้ได้ถูกสร้างโดยใช้วงจรพื้นฐานในรูปที่ 2.3 และมีจำหน่ายในตัวถังคล้ายทรานซิสเตอร์ เช่น เบอร์ LM 336 ซึ่งสามารถปรับขนาดของ $V_{OUT}$ ได้ ซึ่งวงจรแรงดันอ้างอิงประเภทนี้ได้เป็น$V_{REF}$ของวงจรADC0804 ในระบบนี้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.2.7 วงจร Digital to Analog Converter (DAC)

DACเป็นอุปกรณ์สำคัญที่เชื่อมต่อวงจรดิจิตอลกับวงจรอนาลอกได้และที่สำคัญDAC ยังเป็นส่วนประกอบสำคัญใน ADC ที่ใช้กับอยู่ในปัจจุบัน

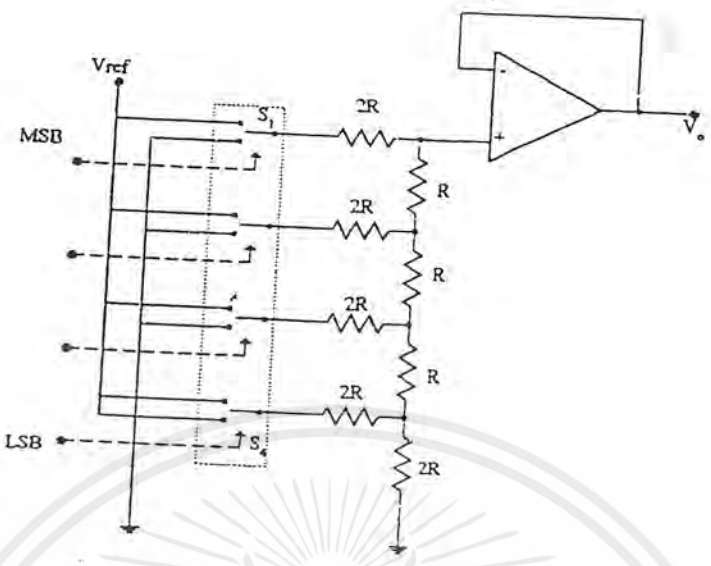



รูปที่2.4 บล็อคไดอะแกรมของ DAC

หัวใจสำคัญของ DAC คืออาเรย์สวิทช์ที่ควบคุมด้วยลอจิกซึ่งมีจำนวน n ชุด เท่ากับจำนวนไบนารีบิทสวิทช์เหล่านี้จะตัดต่อแรงดันอ้างอิงขนาดหนึ่งเข้ากับวงจรอาเรย์รีซิสเตอร์ค่าต่างๆที่ถ่วงน้ำหนักตามรหัสไบนารีเอาท์พุท บัฟเฟอร์ แอมปริไฟเออร์ จะทำหน้าที่เปลี่ยนกระแสที่ถูกถ่วงน้ำหนักโดยวงจรรีซิสเตอร์ให้เป็นแรงดันอนาลอกที่สำคัญต่อกันในDAC บางวงจรมีดิจิตอลรีซิสเตอร์อยู่ในตัวเพื่อแลตช์รหัสอินพุทไว้ในขณะที่ DAC กำลังเปลี่ยนเป็นสัญญาณอนาลอก

DAC ที่ใช้ในระบบนี้เป็นแบบ R-2R Ladder เบอร์ DAC0800 ขนาด 8 บิท ถึงแม้ว่า DAC แบบ Binary Weight จะใช้ค่ารีซิสเตอร์ 4 ค่าก็ตาม แต่ในการผลิต DAC แบบนี้บนชิบ IC เดียวกันเป็นปัญหายุ่งยากในการผลิตการจัดวงจรแบบ R-2R Ladder ที่ใช้ตัวต้านทานเพียง 2 ค่า เป็นรูปแบบที่ดีกว่าดังรูปที่ 2.5

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้




**รูปที่ 2.5** วงจร DAC แบบ R-2R Ladder แบบ 4 บิท

ในวงจรนี้สวิทช์จะตัดต่อให้แรงดันอ้างอิงต่อเข้ากับวงจร Ladder หรือต่อ Ladder ลงกราวด์ที่ขา 2Rจะเห็นได้ว่า Switch Input Resistor (2R) มองเข้าไปจะเห็นคู่ของรีซิสเตอร์ระหว่างจุดต่อ R-2R ที่ติดกัน แรงดันเอาท์พุตจะเพิ่ม-ลดตามรหัสดิจิตอลคือ

$$\Delta V = V_{ref}/(2^n-1)$$

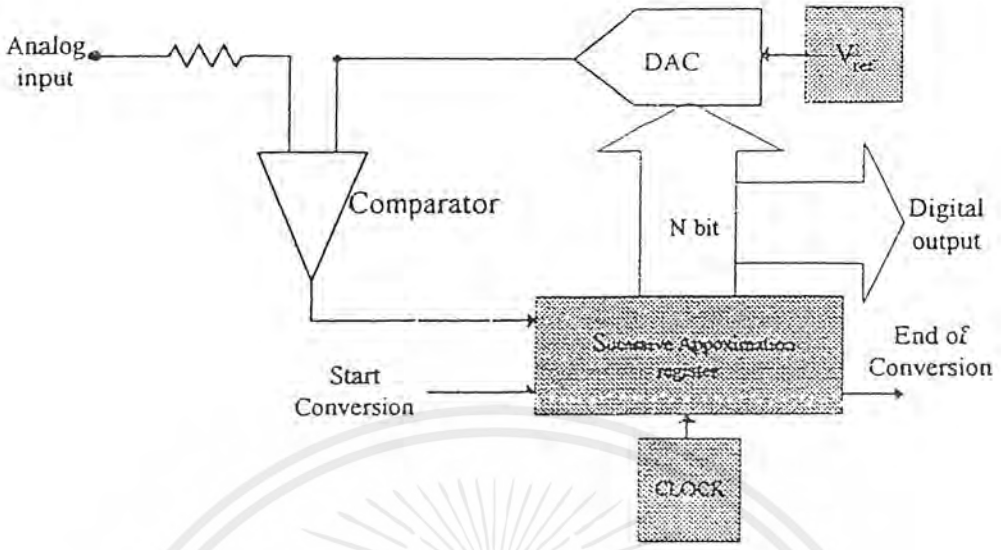
แรงดันที่เอาท์พุทจะเป็นไปตามสมการ

$$V_0 = (V_{ref}/2^n)(8S_4+4S_3+2S_2+S_1) \quad ; S \text{ closed} = 1 \text{ ,} S \text{ open} = 0$$

2.2.8 วงจร Analog to Digital Converter (ADC)

ลักษณะการจัดวงจรADCที่ใช้ในระบบนี้เป็นแบบ Sucessive Approximation วงจร ADC ชนิดนี้ได้รับความนิยมในงานที่ต้องการความเร็วปานกลางและค่อนข้างสูง การจัดวงจรจะคล้ายกันกับแบบเคาท์เตอร์ที่ทำงานในลักษณะการป้อนกลับซึ่ง บล็อกไดอะแกรมในรูปที่ 2.7 แสดงฟังก์ชันต่างๆใน ADC ชนิดนี้ คอมพาเรเตอร์จะคอยเปรียบเทียบเอาท์พุทจาก DAC กับสัญญาณอนาลอกอินพุท Vin เอาท์พุทจะไปควบคุม Sucessive Approximation Register (SAR) ซึ่งเป็นไอซี MSI (Medium Scale Integrated Circuit) ที่ได้รับการออกแบบเป็นพิเศษเพื่อทำหน้าที่นี้โดยเฉพาะ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้




**รูปที่ 2.6** บล็อกไดอะแกรมของ Sucessive Approximation ADC

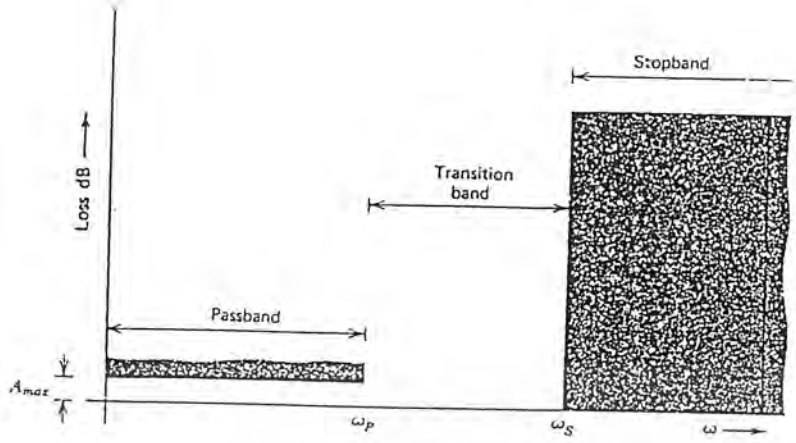
การทำงานของ ADC แบบนี้เปรียบเทียบได้กับการใช้งานของตราชั่ง 2 แขน เมื่อวัตถุที่ต้องการทราบน้ำหนักเสมือนเป็นอินพุทของ ADC และเอาท์พุทที่เป็นดิจิตอลบิท เสมือนเป็นตุ้มน้ำหนักมาตรฐานที่จะวางลงบนจานอีกข้างหนึ่งเมื่อตราชั่งไม่สมดุลจะต้องมีการปรับตุ้มน้ำหนักมาตรฐานจนกว่าจะเกิดสมดุล ในรูปที่ 2.6 คอมพาเรเตอร์จะเป็นตัวตรวจสอบสมดุลดังกล่าวและ SAR จะทำหน้าที่ปรับแต่งดิจิตอลบิท (ตุ้มน้ำหนักมาตรฐาน)

มีข้อจำกัดประการหนึ่งสำหรับการ Conversion คือสัญญาณอนาลอกอินพุทจะต้องคงที่ในช่วงเวลาที่ทำการเปลี่ยนแปลงสัญญาณ โดยเปลี่ยนได้ไม่เกิน ½ LBS ในช่วงสุดท้ายของการเปลี่ยนสัญญาณดิจิตอลเอาท์พุทจะต้องมาขนานกันทุกบิท แต่บางแบบจะให้เอาท์พุทออกมาในลักษณะอนุกรม วงจร ADC แบบนี้สามารถทำงานได้ 2 โหมด คือโหมดที่ทำงานโดยอิสระ (Free Running) และโหมดที่รอคำสั่ง Start Conversion จากภายนอก เวลาที่ใช้ในการเปลี่ยนสัญญาณใช้ n+1 สูกของพัลซ์Clock โดย Clock สูกแรกจะใช้ในการรีเซตรีจิสเตอร์ภายใน สุดท้ายคุณภาพของระบบจะขึ้นอยู่กับคุณภาพDAC ในระบบเป็นอย่างยิ่ง

## 2.3 ทฤษฎีวงจรกรองความถี่ต่ำผ่าน

เป็นวงจรกรองความถี่ที่ยอมให้สัญญาณความถี่ต่ำผ่านโดยมีการลดทอนสัญญาณน้อยที่สุด และจะมีการลดทอนสัญญาณมากที่สุดกับสัญญาณความถี่สูง โดยคุณสมบัติของวงจรจะเป็นดังรูปที่ 2.7

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



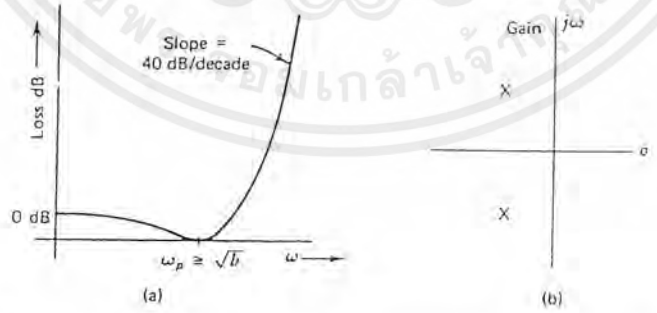

**รูปที่ 2.7** แสดงคุณสมบัติของวงจรกรองความถี่ต่ำผ่าน

วงจรกรองความถี่ต่ำผ่านจะให้สัญญาณผ่านไปได้ใน Pass Band คือช่วงที่สัญญาณผ่านไปได้จาก DC จนถึงจุดความถี่คัทออฟ $\omega p$ โดยยอมให้มีอัตราการลดทอนได้ไม่เกินค่า Amax dB ส่วนความถี่ตั้งแต่ $\omega s$ ซึ่งเป็นความถี่เริ่มต้นของ Stop Band จนถึงความถี่ที่อนันต์ (Infinity)เป็นช่วงหยุดคือช่วงที่ให้สัญญาณผ่านไปน้อยมากโดยมีอัตราการลดทอนไม่ต่ำกว่าค่าAmin dB และช่วงจาก $\omega p$ ถึง $\omega s$ เป็น Transition Band

ทรานสเฟอร์ ฟังก์ชั่น หรือฟังก์ชั่นของอัตราขยาย(Transfer Function or Gain Funtion)ของวงจรกรองความถี่อันดับที่ 2 คือ

$$H(s) = \text{Gain} = Vo(s)/Vin(s) = b/(s^2+as+b) = \omega p^2/[s^2+(\omega p/Qp)\,s+\omega p^2]$$

หรือเขียนในรูปของฟังก์ชั่นการลดทอน(Loss Function) $\text{Loss} = Vin(s)/Vo(s) = (s^2+as+b)/b$




**รูปที่ 2.8** *Second order Low Pass Function* (a) *Loss* (b) *Pole-Zero plot*

จากรูปที่ 2.8 จะเห็นว่าการลดทอนในช่วงความถี่ต่ำมีค่าเข้าใกล้ 0 dB ในขณะที่สัญญาณในช่วงความถี่ที่สูงกว่าความถี่คัทออฟ $\omega p$ ขึ้นไปจะถูกลดทอนเพิ่มขึ้นด้วยอัตรา 40 dB/Decade และวงจรกรองความถี่อันดับที่ 2 จะมีคู่ของ Complex Poles ดังรูป (b)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ในการออกแบบวงจรกรองความถี่ต่ำผ่านโดยใช้ Active Filter มีวิธีการ Approximate หลายวิธีซึ่งแต่ละวิธีมีข้อดีแตกต่างกันไปแต่ในที่นี้จะเปรียบเทียบระหว่างการApproximationแบบChebyshevและButterworth ดังนี้

- ด้านการตอบสนองต่อสัญญาณในช่วง Pass Band

Butterworth Approximation จะให้ Maximally Flat ในช่วง Pass Band นั่นคือแทบจะไม่มี Ripple ใน Pass Band เลยทำให้การตอบสนองของวงจรกรองสามารถตอบสนองได้เกือบเท่ากันตลอดช่วงPass Band ซึ่งต่างกับ Chebyshev Approximationที่ยอมให้มี Ripple ใน Pass Band ได้เพื่อที่จะเพิ่มความชันของอัตราการลดทอนสัญญาณใน Transition Band

- ด้านความชันของการลดทอนสัญญาณ

อันดับของวงจรกรองเดียวกันChebyshev Approximationจะสามารถลดทอนสัญญาณใน Transition Band ได้ดีกว่า ทำให้มีจุดดัทออฟที่คมกว่า Butterworth Approximation

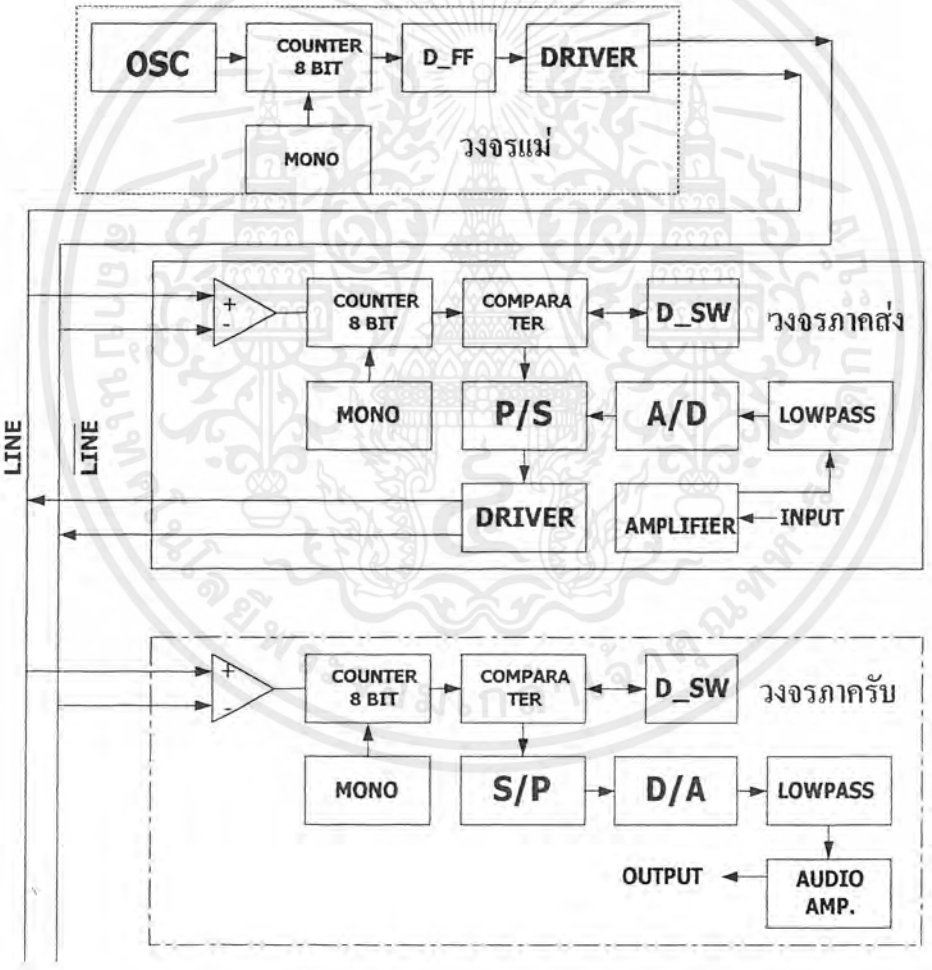
เนื่องจากระบบนี้ต้องการให้มีการตอบสนองความถี่เสียงในช่วง Pass Band ได้ค่อนข้างดีจึงเลือกใช้Approximation แบบ Butterworth

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

# บทที่ 3
# การออกแบบวงจร

## 3.1 การทำงานโดยรวมของระบบ

ระบบนี้ประกอบด้วย 2 ส่วนหลักคือ ส่วนของฮาร์ดแวร์ตัวแม่ และส่วนของฮาร์ดแวร์ตัวลูกซึ่งมี 2 ประเภทคือ วงจรภาคส่งข้อมูลและวงจรภาครับข้อมูล




**รูปที่3.1**แสดงBlock Diagramการทำงานของระบบโดยรวม

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

วงจรตัวแม่สร้างสัญญาณสำหรับรองรับข้อมูลจากวงจรลูก ที่เป็นภาคส่งซึ่งจะทำการอัดข้อมูล 8 บิทลงในช่องสัญญาณลำดับที่กำหนดไว้แน่นอนภายในวงจรภาคส่งแต่ละตัว สำหรับภาครับก็เช่นกันที่สามารถดึงข้อมูลจากช่องสัญญาณที่มีลำดับตรงกับลำดับของวงจรภาครับที่กำหนดไว้เท่านั้น

เนื่องจากระบบนี้เป็นระบบการส่งสัญญาณเสียง ซึ่งเมื่อคิดกรณีที่คุณภาพของเสียงพูดที่ต่ำที่สุดที่สามารถรับฟังได้ จะมีความถี่ของสัญญาณประมาณ 4 kHz จากทฤษฎีของการ Sampling ที่ความถี่ในการ Sampling จะต้องมีค่าอย่างน้อย 2 เท่าของความถี่สัญญาณที่ถูก Sampling ดังนั้นความถี่ของการ Sampling ในระบบนี้ต้องมีค่าอย่างน้อย 8 kHz

เมื่อมีช่องสัญญาณ 7 ช่อง แต่ละช่องจะรับข้อมูล 8 บิท และมีสัญญาณอีกช่องหนึ่งซึ่งเป็นช่องสัญญาณที่ไม่สมบูรณ์เนื่องจากรับข้อมูลได้เพียง 7 บิท คือช่องสัญญาณช่องแรก (บิทที่ 1 ถึง 7) รวมกับช่องสัญญาณซิงโครไนซ์อีก 1 ช่อง รวม 9 ช่องสัญญาณ ดังนั้นความถี่ของสัญญาณ(Signal Line)สำหรับรองรับข้อมูลจะต้องมีค่าอย่างน้อย

Signal Line Frequency= (8kHz * 8บิท )*(9 ช่อง) = 576 kHz

เพื่อให้สามารถที่จะเพิ่มความถี่ของการ Sampling ข้อมูลให้มากกว่า 8 kHz จึงผลิตสัญญาณจากวงจรแม่ที่มีความถี่ 1MHz ทำให้เพิ่มความถี่ของการ Samplingได้เป็น 13.88 kHz ซึ่งจะทำให้คุณภาพของสัญญาณเสียงที่ภาครับดีขึ้น

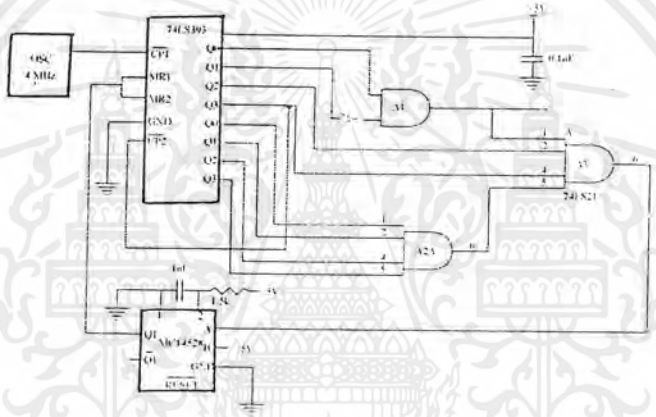
ในการส่งข้อมูลและรับข้อมูลจากแต่ละช่องสัญญาณจะมีลำดับบนสายนำสัญญาณที่แน่นอน โดยช่องสัญญาณที่ 1 เป็นตำแหน่งพัลซ์ลูกที่ 8 ถึง 15 ช่องสัญญาณที่ 2 เป็นตำแหน่งพัลซ์ลูกที่ 16 ถึง 23 ตามลำดับ เช่นนี้ทั้ง 7 ช่องสัญญาณ โดยใน 1 รอบการทำงานจะมีพัลซ์ทั้งหมด 64 ลูก และสัญญาณซิงโครไนซ์ 8 คาบ แต่ละรอบการทำงาน วงจรภาคส่งจึงอัดข้อมูลลงในช่องสัญญาณได้เพียง 1 ครั้ง ที่ตำแหน่งช่องสัญญาณเฉพาะของตัวเองเท่านั้น เมื่อถึงรอบการทำงานใหม่ก็จะอัดข้อมูลใหม่ลงในตำแหน่งช่องสัญญาณเดิมเช่นนี้เรื่อยไป โดยวงจรภาคส่งแต่ละตัวจะทำงานเป็นอิสระต่อกัน

ในการส่งของวงจรภาครับสัญญาณก็จะทำการดึงสัญญาณจากช่องสัญญาณที่ต้องการหรือจากภาคส่งที่ต้องการได้โดยถ้าเลือกที่จะรับสัญญาณจากช่องสัญญาณที่ 1 ก็จะได้สัญญาณเสียงจากภาคส่งตัวที่ 1 ถ้าเลือกที่จะรับสัญญาณจากช่องที่ 2 ก็จะได้สัญญาณเสียงจากภาคส่งตัวที่ 2 เป็นเช่นนี้ทุกช่องสัญญาณ ภาครับสัญญาณ 1 ตัว จะสามารถเลือกรับข้อมูลจากช่องสัญญาณใดก็ได้ และภาครับหลายตัว สามารถเลือกรับสัญญาณเดียวกันได้ ดังนั้นตัวรับสัญญาณจึงมีจำนวนมากหรือน้อยขึ้นกับความต้องการของระบบ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

**3.2 ฮาร์ดแวร์ตัวแม่**

ฮาร์ดแวร์ตัวแม่ จะทำหน้าที่สร้างสัญญาณพัลซ์ดิวตี้ไซเคิล 25 % ความถี่ 1 MHz โดยรับสัญญาณพัลซ์ ดิวตี้ไซเคิล 50 % ความถี่ 4MHz จากออสซิลเลเตอร์ (Oscillator)เข้าสู่เคาท์เตอร์ 8 บิท เมื่อนำสัญญาณจากการนับของเคาท์เตอร์ ขา $Q_0$ และ $\overline{Q}_1$ มาแอนด์กัน จะได้เอาท์พุทเป็นสัญญาณพัลซ์ ดิวตี้ ไซเคิล 25% ความถี่ 1 MHz และสร้างสัญญาณมารีเซ็ตเคาท์เตอร์ทุกๆ พัลซ์ลูกที่ 64 เป็นเวลา 8 คาบ จะทำให้ได้สัญญาณเอาท์พุทเป็นพัลซ์ 64 คาบ และสัญญาณซิงโครไนซ์ 8 คาบ ออกมาอย่างต่อเนื่องในแต่ละรอบการทำงานดังรูปที่3.2

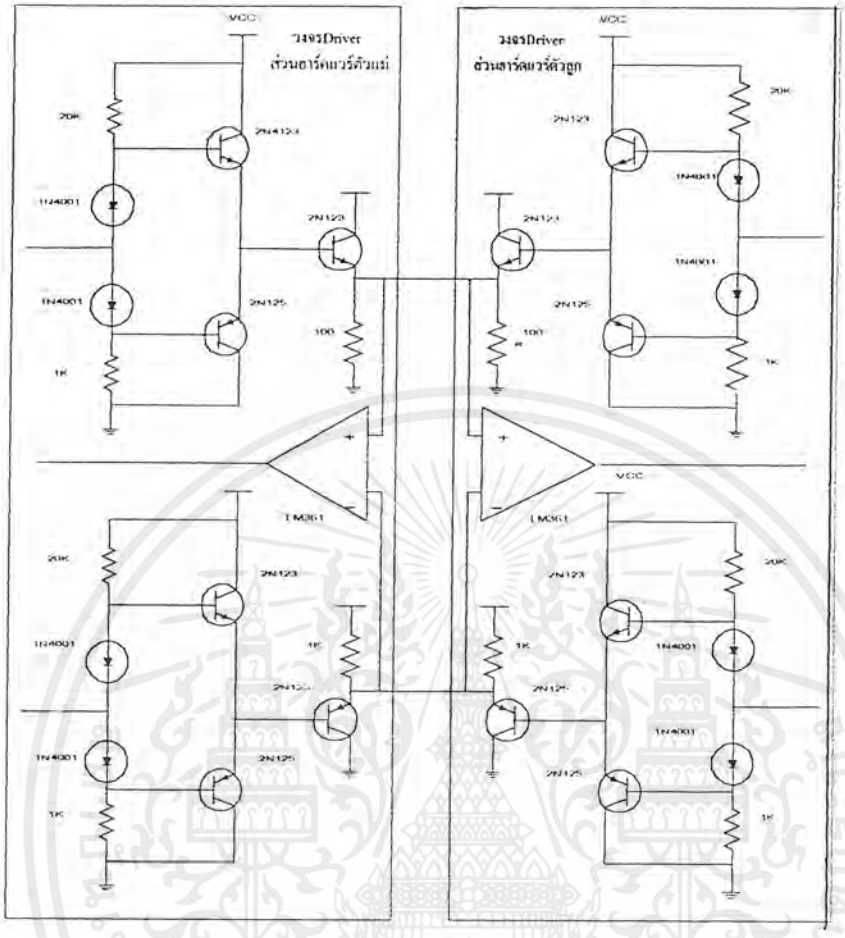


**รูปที่ 3.2** วงจรฮาร์ดแวร์ตัวแม่

จากนั้นสัญญาณจะเข้าสู่ D- Flip Flopทำให้ได้ สัญญาณเอาท์พุทเดิมแยกเป็น Q และ $\overline{Q}$ ป้อนเข้าสู่วงจรไดร์ฟเวอร์ ซึกบวกและซึกลบ ซึ่งจะขับสัญญาณไปในสายนำสัญญาณในลักษณะการส่งแบบดิฟเฟอเรนเชียล

เนื่องจากเราต้องการที่จะส่งสัญญาณผ่านสายนำสัญญาณไปได้ระยะทางไกลจึงทำให้ฮาร์ดแวร์ตัวแม่จะต้องมีส่วนของวงจรไดรฟ์เวอร์ เพื่อทำหน้าที่สร้างกระแสให้เพียงพอ ในส่วนของฮาร์ดแวร์ตัวลูกที่เป็นวงจรภาคส่งข้อมูลก็เช่นเดียวกันที่จะต้องมีวงจรไดรฟ์เวอร์เพื่อที่จะทำการส่งข้องมูลกลับไปที่สายนำสัญญาณซึ่งใช้ร่วมกันระหว่างฮาร์ดแวร์ตัวแม่และฮาร์ดแวร์ตัวลูกซึ่งลักษณะของวงจรไดรฟ์เวอร์จะเป็นดังรูปที่3.3

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้




**รูปที่3.3** วงจรไดรฟ์เวอร์ในการส่งสัญญาณระหว่างฮาร์ดแวร์ตัวแม่กับฮาร์ดแวร์ตัวลูก

**3.3** ฮาร์ดแวร์ตัวลูก

3.3.1ภาคส่งข้อมูล

จะทำหน้าที่แปลงสัญญาณเสียงเป็นข้อมูลดิจิตอล 8 บิท แล้วส่งข้อมูลไปในช่องสัญญาณเฉพาะลำดับของวงจรภาคส่งนั้นประกอบด้วย 3 ส่วนย่อยดังนี้

3.3.1.1วงจรเลือกช่องสัญญาณ

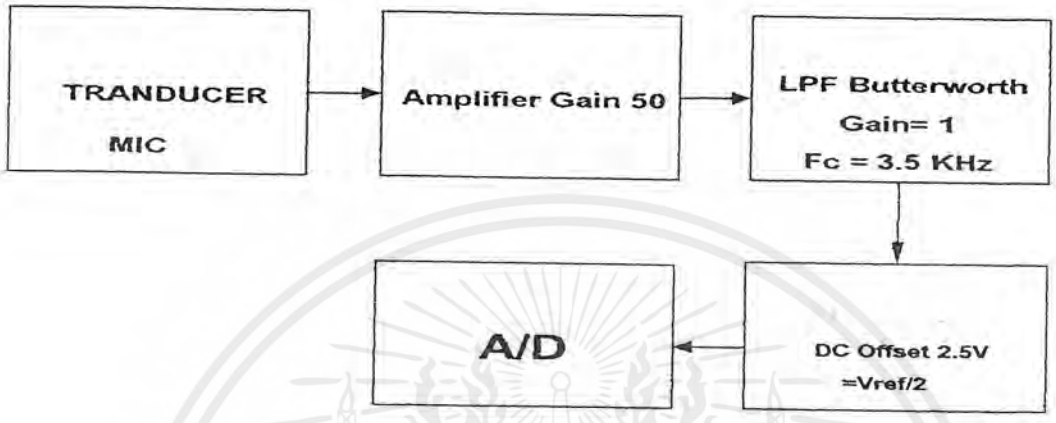
เนื่องจาก พัลซ์ที่ออกมาจากสายนำสัญญาณจากวงจรแม่มีลักษณะ ดิฟเฟอเรนเชียล คือมีสัญญาณ Q และ $\overline{Q}$ เราสามารถดึงสัญญาณมาใช้โดยกราวด์ตัวลูกเป็นอิสระจากตัวแม่โดยใช้สัญญาณ Q และ $\overline{Q}$ จากสายนำสัญญาณเข้าสู่คอมพาเรเตอร์(comparator) จะได้สัญญาณเอาท์พุทที่ออกจากคอมพาเรเตอร์ ที่มีทั้งสัญญาณ Q และ $\overline{Q}$ โดยมีกราวด์ของสัญญาณเป็นกราวด์ของตัวลูก นำสัญญาณ $\overline{Q}$ ป้อนเข้าเคาท์เตอร์ 8 บิท เลือกตำแหน่งของช่องสัญญาณแต่ละช่อง(ช่องละ 8 บิท ) โดยตั้งค่าได้จากการเปรียบเทียบสัญญาณจากเคาท์เตอร์ และ dip – switch ขนาดช่องสัญญาณที่

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ต้องการจะมีคาบเท่ากับ $\overline{P = Q}$ จาก comparator ( 8 บิท ) นำสัญญาณ $\overline{P = Q}$ มาแอนด์ กับสัญญาณที่ป้อนให้กับ เคาท์เตอร์ ก็จะได้ช่องสัญญาณขนาด 8 บิท ที่ต้องการ

3.3.1.2 วงจรแปลงสัญญาณเสียงเป็นข้อมูลดิจิตอล

ประกอบด้วยส่วนต่างๆ ดัง Block Diagram



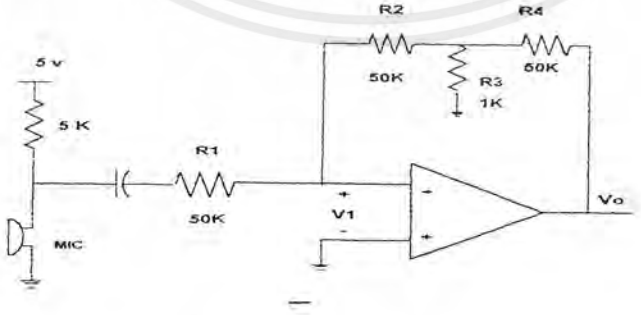

**รูปที่3.4** Block Diagramของวงจรแปลงสัญญาณเสียงเป็นข้อมูลดิจิตอล

- ทรานสดิวเซอร์ (Transducer)

เป็นคอนเดนเซอร์ไมโครโฟน ทำหน้าที่แปลงสัญญาณเสียงให้เป็นสัญญาณทางไฟฟ้าที่มีความต่อเนื่องหรือสัญญาณอนาลอก ในรูปแรงดันไฟฟ้า

- วงจรขยาย (Amplifier)

ทำการขยายสัญญาณไฟฟ้าที่ได้จาก ทรานสดิวเซอร์ ซึ่งมีขนาดเล็กมากด้วย Gain = 50 โดยวงจรขยายดังรูปที่3.5 ซึ่งเป็นวงจรขยายที่ให้ Gain สูงโดยที่ใช้ความต้านทาน feed back ค่าที่ไม่มากทำให้ป้องกันการเกิด ออสซิลเลต(Oscillate) ได้




**รูปที่3.5** วงจรขยายที่ให้Gain ค่าสูง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สำนักหอสมุดกลาง พระจอมเกล้าลาดกระบัง


จากวงจรขยายรูปที่3.5สามารถคำนวนหาGainโดยใช้วิธี Nodal Analysis จะได้

$$Gain = Vo/V1 = (-R_2/R_1)\{1+(R_4/R_2)+(R_4/R_3)\}$$

ดังนั้นเมื่อ $R_1 = R_2 = R_4 = 50$ k Ohm และ $R_3 = 1$k Ohm $\rightarrow$ Gain $\cong 50$

จะเห็นว่าเมื่อ $R_1$ มีค่า $\cong$ 50k Ohm ไม่จำเป็นต้องใช้ $R_{feedback}$ ถึง 2.5 M Ohm เพื่อให้ได้ Gain $\cong 50$ ซึ่งจะทำให้เกิดการออสซิลเลต ได้ แต่ใช้วงจรความต้านทานเสมือนรูปตัวที่มาต่อแทน ซึ่งเป็นข้อดีอย่างยิ่งของวงจรนี้

- วงจรกรองความถี่ต่ำผ่านอันดับที่ 2 (Second Order Low Pass Filter)

ทำการออกแบบวงจรกรองความถี่ต่ำผ่านแบบบัตเตอร์เวอร์ธ (Butterworth) ที่มีความถี่คัทออฟ 3.5 kHz เพื่อจำกัดความถี่ข้อมูลที่จะถูก Sampling โดยวงจร ADC ให้สอดคล้องกับความถี่ Sampling ออกแบบโดยเลือกค่า K parameter ซึ่งขึ้นกับค่าความต้านทานที่ทางเข้าของ Op- Amp ( Input Resistant) ในที่นี้เลือกใช้ Op-Amp เบอร์ LM741 ซึ่งมี $Z_{in}$=1M Ohm จึงเลือกใช้K $\cong$ 40 เมื่อ Gain = 1 และเป็นแบบ Butterworth Low Pass Filter จะได้ค่า R และ C ต่างๆ แต่เมื่อนำไปใช้ในทางปฏิบัติจริง วงจรไม่สามารถให้ ความถี่คัทออฟ = 3.5 k ที่ต้องการได้ จึงต้องมีการปรับแต่งค่า R และ C ต่างๆ ในวงจรโดยการเพิ่มหรือลดค่า เพื่อให้ได้ค่าความถี่คัทออฟที่ต้องการ จะได้ค่า R และ C ดังวงจรรูปที่3.5

- วงจรยกระดับ DC 2.5V

เนื่องจาก ADC จะทำการแปลงสัญญาณอินพุทที่มีขนาด 0-5V ไปเป็นสัญญาณดิจิตอล แต่เนื่องจากสัญญาณอนาลอกที่ออกจากLPFจะเป็นสัญญาณ ACที่ DC Offset = 0 V ดังนั้นหากป้อนเข้าADCโดยตรงจะทำให้ซีกลบของสัญญาณไม่สามาถแปลงได้ จึงต้องมีวงจรยกระดับ DC ให้มีค่าเท่ากับ $V_{Ref}/2$ ของ ADC คือ 2.5 V เพื่อให้ข้อมูลเสียงถูกแปลงไปเป็นข้อมูลดิจิตอลได้อย่างครบถ้วน

- วงจร ADC แบบ Successive Approximation เบอร์ ADC0804

จะทำการแปลงสัญญาณข้อมูลเสียงในรูปสัญญาณทางไฟฟ้าให้เป็นข้อมูลดิจิตอล 8 บิท โดยออกแบบให้ทำงานใน Free Running Mode ซึ่งเป็นการสร้างสัญญาณนาฬิกาภายในของ IC หลังจากการกระตุ้นด้วยขอบขาลงที่ขา $\overline{INT}$ ( Inturrupt) ซึ่งต่อกับขา $\overline{WR}$ (Write) ในครั้งแรกเพื่อเริ่มการแปลงสัญญาณอนาลอก อินพุท เมื่อสิ้นสุดการแปลงข้อมูลทุก 8 บิทภายใน IC ก็จะสร้างพัลซ์แคบๆมาทริกทุกครั้งๆ จนกว่าจะไม่มีการป้อนแรงดันไฟเลี้ยง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้
36884

เนื่องจากเวลาในการแปลงข้อมูล ( Conversion Time ) คือเวลาที่ใช้ในการแปลงสัญญาณอนาลอกอินพุทไปเป็นข้อมูลดิจิตอล 8 บิท ต้องสัมพันธ์กับความถี่ของสัญญาณที่รองรับข้อมูลในระบบจึงต้องออกแบบไม่ให้ เวลาในการแปลงข้อมูล 8 บิท นานกว่า คาบเวลาของช่องสัญญาณหนึ่งๆ ในแต่รอบการทำงาน

ดังนั้น Conversion Time $\geq$ 13.89 kHz

จากข้อมูลใน Data Book ที่ Conversion Time : $T_c \approx 64$ Tclk

ดังนั้น fclk $\approx$ 888.96 kHz

จากสมการคำนวณ fclk = 1/ 1.1RC เมื่อ R = 10k Ohm จะได้ C = 102pFแต่ทางปฏิบัติค่า RและC ที่คำนวณได้นี้ไม่สามารถปรับให้ได้ clock ตามที่ต้องการได้ จึงกำหนดใช้ C = 25pF แล้วปรับค่า R จนกระทั่งได้ fclk ตามต้องการ

3.3.1.3 วงจรอัดข้อมูลดิจิตอลลงช่องสัญญาณที่เลือกได้

ข้อมูลดิจิตอล 8 บิทจาก ADCที่จะอัดลงในช่องสัญญาณจะถูกป้อนเข้าสู่ IC parallel to serial เบอร์74LS166 โดยสัญญาณของข้อมูลจะเป็นค่า "0" และ "1" นำสัญญาณที่ได้จาก วงจรเลือกช่องสัญญาณ ( 8 บิท ของ 1 ช่องสัญญาณ ) ป้อนเข้า IC parallel to serial โดยสัญญาณนี้จะทำหน้าที่เป็น clock shift สัญญาณข้อมูลที่ต้องการอัดลงในสายนำสัญญาณ ถ้าข้อมูลมีค่า "1" output จะมีสถานะ High และ Low เมื่อข้อมูลเท่ากับ "0" นำเอาท์พุทที่ออกจาก parallel to serial มาแอนด์ กับ clock shift จะได้พัลซ์ 25% ดิวตี้ ไซเคิล ถ้าข้อมูลมีค่าเป็น " 1" และ Low ถ้าข้อมูลมีค่าเป็น "0" นำ clock มาทริกซ์ mono ขยายสัญญาณให้มีขนาดเป็น 75% ดิวตี้ ไซเคิล สัญญาณที่ออกจาก monoจะมีทั้งค่าQ และ $\overline{Q}$ นำสัญญาณ Q และ$\overline{Q}$ เข้าสู่วงจรไดรฟ์เวอร์ ตัวลูกซึกบวกและลบ อัดเข้าสู่สายนำสัญญาณ

3.3.2 ภาครับข้อมูล

ทำหน้าที่ดึงข้อมูลดิจิตอล 8 บิท จากช่องสัญญาณในลำดับที่ต้องการแล้วแปลงเป็นสัญญาณในลำดับที่ต้องการแล้วแปลงเป็นสัญญาณเสียงเพื่องส่งออกทางตัวขับเร้า(ลำโพง) ต่อไป ประกอบด้วย 3 ส่วนย่อยคือ

3.3.2.1 วงจรเลือกช่องสัญญาณ

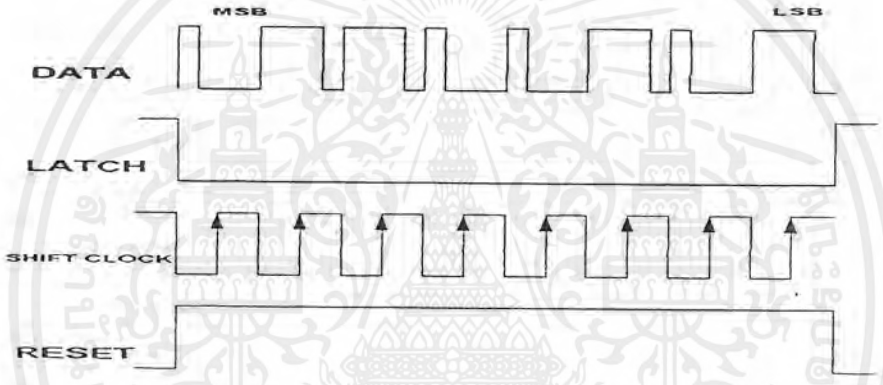
มีหลักการทำงานและการออกแบบเหมือนกับในวงจรภาคส่งข้อมูล

3.3.2.2 วงจรดึงข้อมูลดิจิตอลจากช่องสัญญาณ

เอาท์พุทของวงจรเลือกช่องสัญญาณ จะเป็นข้อมูลดิจิตอล 8 บิท ที่อยู่ในรูปของความกว้างพัลซ์ของสัญญาณ โดยพัลซ์ที่มีความกว้าง 75% จะแทนลอจิก 1 ส่วนพัลซ์ 25% แทนลอจิก 0 โดยในการดึงข้อมูลจะใช้ IC Serial to Parallel เบอร์ 74HC595 ซึ่งได้จากการนำสัญญาณข้อมูลที่ได้จาก

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

วงจรเลือกช่องสัญญาณมาเข้าวงจร Mono Retriggerable ให้เอาท์พุทออกเป็นพัลซ์ 8 ลูก ที่มีดิวตี้ไซเคิล 50% แล้วนำมาผ่านวงจร RC-delay เพื่อให้ขอบขาขึ้นของ shift clock อยู่ที่ตำแหน่งกึ่งกลางของคาบเวลาของสัญญาณพัลซ์ข้อมูล ซึ่งถ้าขอบขาขึ้น shift clock ตรงกับระดับสัญญาณ (level) High ก็จะให้ข้อมูลดิจิตอลบิทนั้นเป็น 1 แต่ถ้าตรงกับระดับสัญญาณ Low ก็จะนับเป็น 0 โดยลำดับขอลพัลซ์สัญญาณจะเรียงจาก MSB ไปถึง LSB ตามลำดับ จาก Block Diagram จะเห็นชัดเจนว่าสัญญาณ shift clock จะตรงกับ Low level ของพัลซ์ 25% จึงทำให้บิทนั้นเป็น 0 และสัญญาณ shift clock จะตรงกับ High level ของพัลซ์ 75% จึงให้บิทนั้นเป็น 1 แสดงให้เห็นดังรูปที่3.6 เมื่อทำการ shift ข้อมูลครบทั้ง 8 บิทแล้วก็ให้ดิจิตอลเอาท์พุทเป็น Parallel ออกมาค้างที่ Latch โดยมีสัญญาณ P=Q เป็น Latch clock แล้วจึงนำข้อมูลดิจิตอลไปแปลงเป็นข้อมูลเสียงต่อไป




**รูปที่3.6** แสดง Timing Diagram ของ IC 74HC595

3.3.2.3 วงจรแปลงข้อมูลดิจิตอลเป็นสัญญาณเสียง

ประกอบด้วยวงจรส่วนต่างๆ ดัง Block Diagram

**รูปที่3.7** Block Diagram ของวงจรแปลงข้อมูลดิจิตอลเป็นสัญญาณเสียง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

- วงจร DAC แบบ R-2R Ladder เบอร์ DAC0800

จะทำการแปลงข้อมูลดิจิตอล 8 บิท ที่ได้จากวงจรดึงข้อมูล ไปเป็นสัญญาณอนาลอก เนื่องจาก DAC มีเอาท์พุทเป็นกระแสที่ไหลเข้าวงจร จึงต่อ Inverting Amplifier เพื่อแปลงสัญญาณเอาท์พุท ให้เป็นแรงดันแต่สัญญาณอนาลอกที่ได้เป็นสัญญาณที่ไม่เรียบมีลักษณะเหมือนขั้นบันได ซึ่งเป็นผลมาจากการที่วงจร DAC มีบิท Resolution เพียง 8 บิท ค่าระดับสัญญาณอนาลอกทางเอาท์พุทจึงไม่ต่อเนื่อง ต้องนำไปผ่านวงจรกรองความถี่ต่ำผ่านต่อไป

- วงจรกรองความถี่ต่ำผ่านอันดับที่ 2

จะทำการปรับสัญญาณอนาลอกที่ได้ให้มีความเรียบและต่อเนื่องมากขึ้น โดยมีความถี่คัทออฟ 3.5kHz เท่ากันกับในวงจรภาคส่ง

- วงจร Power Audio Amplifier IC เบอร์ LM386

เป็นวงจรขยายสัญญาณอนาลอกเอาท์พุทที่ได้ด้วย Gain = 20 แล้วขับผ่านลำโพงต่อไป ซึ่งค่า R และ C ที่ใช้ได้จากส่วน Application Note ของ Data Book

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

# บทที่ 4

# การทดลอง

การทดลองแบ่งออกเป็น 2 ส่วนหลักคือ การทดสอบการทำงานของฮาร์ดแวร์ตัวแม่และการทดสอบการทำงานของฮาร์ดแวร์ตัวลูก

## 4.1 การทดสอบการทำงานของฮาร์ดแวร์ตัวแม่

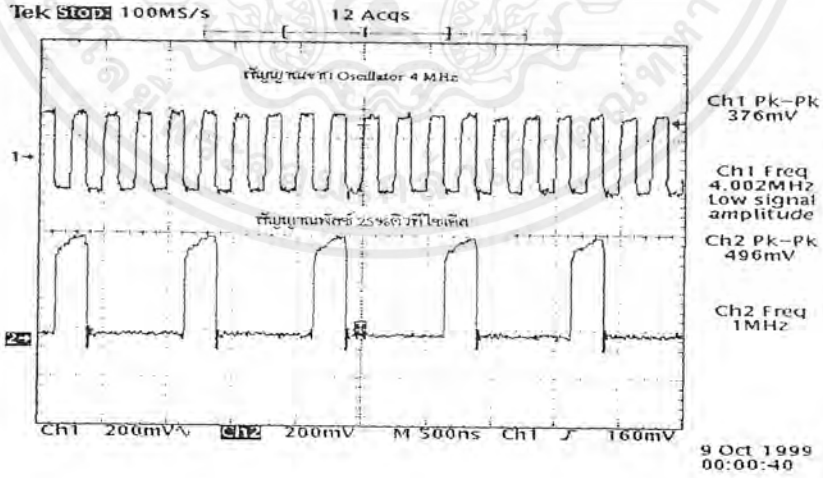
### 4.1.1 วัตถุประสงค์

เพื่อทดสอบว่าในแต่ละรอบการทำงานของฮาร์ดแวร์ตัวแม่สามารถสร้างสัญญาณพัลซ์ขนาด 25% ดิวตี้ ไซคิล (Duty Cycle) ความถี่ 1 MHz สำหรับอัดข้อมูลช่องสัญญาณละ 8 บิทรวม 7 ช่องสัญญาณและสัญญาณซิงโครไนซ์ที่ระดับ 0 V ขนาด 8 คาบได้ โดยมีออสซิลเลเตอร์ (Oscillator) 4 MHz เป็นตัวกำเนิดความถี่

### 4.1.2 การทดสอบและผลการทดสอบ

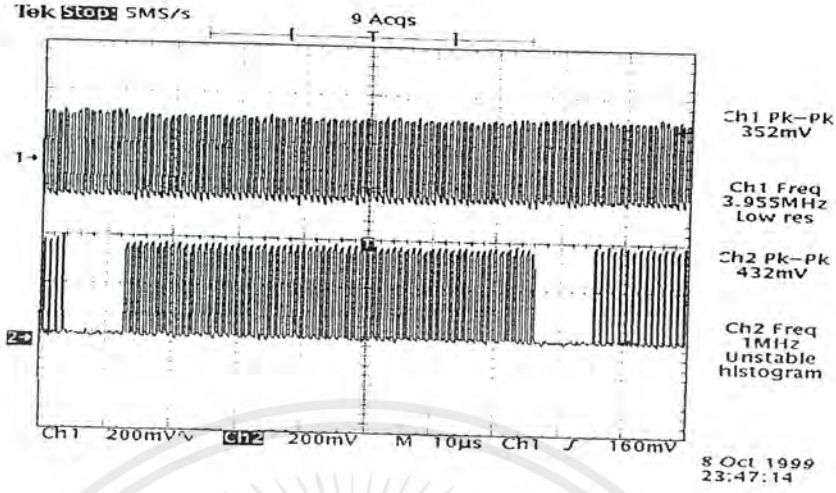
ใช้สตอเรจ ออสซิลโลสโคป (Storage Oscillator) เก็บภาพสัญญาณ ณ จุดต่างๆ เพื่อตรวจสอบการทำงานของวงจรว่าถูกต้องตามหลักการที่ได้ออกแบบไว้หรือไม่ดังนี้

4.1.2.1 สามารถสร้างพัลซ์ของสัญญาณ 64 ลูกสัญญาณซิงโครไนซ์ 8 คาบที่ระดับ 0 V โดยมีความถี่ออสซิลเลเตอร์และมีพัลซ์ขนาด 25% ดิวตี้ ไซเคิล ดังรูปที่4.1 และ 4.2



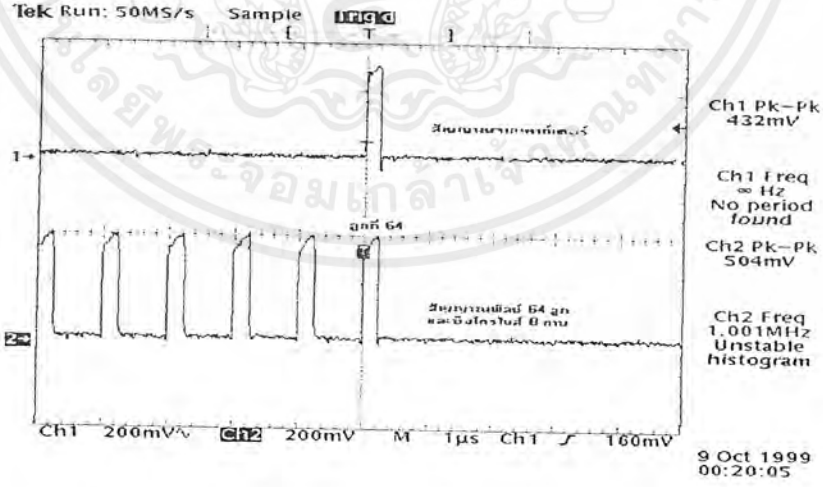

**รูปที่ 4.1** แสดงภาพของสัญญาณพัลซ์ขนาด 25% ดิวตี้ ไซเคิล ความถี่ 1 MHz ที่ฮาร์ดแวร์ตัวแม่สร้างขึ้นเพื่อเทียบกับสัญญาณนาฬิกาจากออสซิลเลเตอร์ความถี่ 4 MHz

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



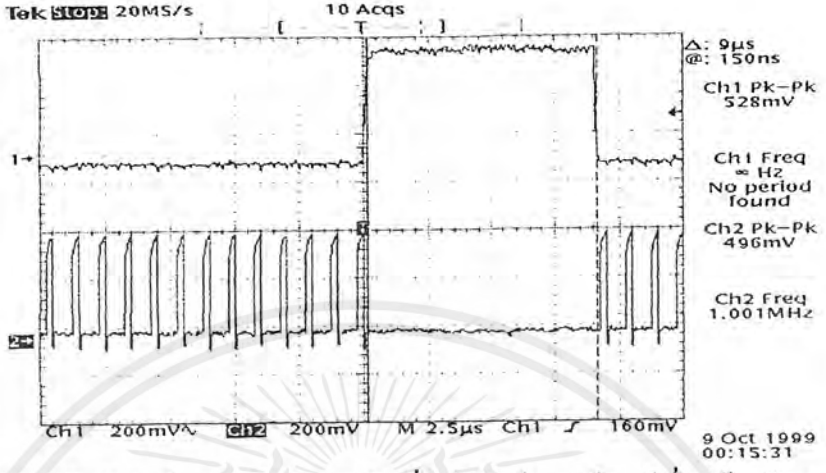

**รูปที่ 4.2** แสดงพัลซ์ของสัญญาณ 64 ลูกและสัญญาณซิงโครไนซ์ 8 คาบที่ระดับ0V

4.1.2.2 สัญญาณจากเคาท์เตอร์ที่เกิดจากการนับพัลซ์ลูกที่ 253 ของสัญญาณนาฬิกาจากออสซิลเลเตอร์ ตรงกับพัลซ์ลูกที่ 64 ของสัญญาณที่ต้องการสร้าง ดังรูปที่4.3 จะนำมาทริก (Trig) โมโนสเตเบิลเพื่อสร้างพัลซ์ที่มีความกว้างคาบที่ต้องการมารีเซ็ตเคาท์เตอร์ ให้เป็นสัญญาณซิงโครไนซ์ที่ระดับ 0V ขนาด 8 คาบ



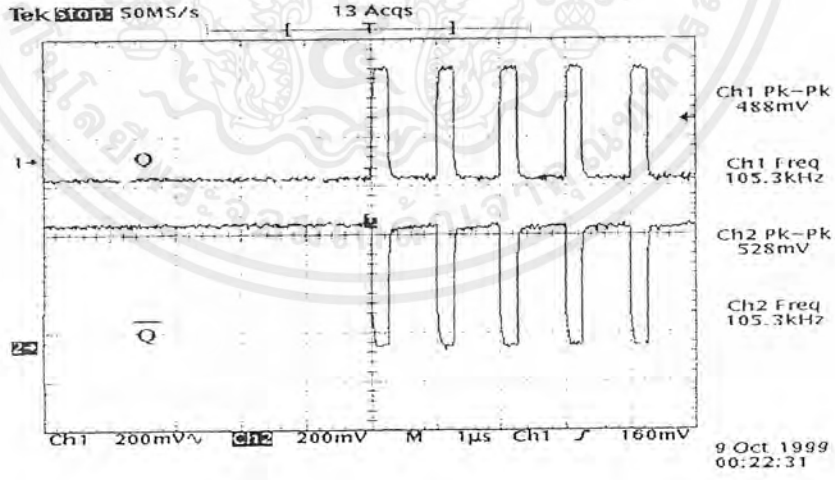

**รูปที่ 4.3** แสดงสัญญาณจากเคาท์เตอร์ที่เกิดจากการนับพัลซ์ลูกที่ 253 ของสัญญาณนาฬิกาจากออสซิลเตอร์ตรงกับสัญญาณพัลซ์ลูกที่ 64 ที่สร้างขึ้น

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้




**รูปที่ 4.4** แสดงสัญลักษณ์ Q จากโมโนสเตเบิลที่นำไปรีเซ็ตเคาท์เตอร์เพื่อสร้างสัญญาณซิงโครไนซ์ขนาด 8 คาบที่ระดับ 0 V

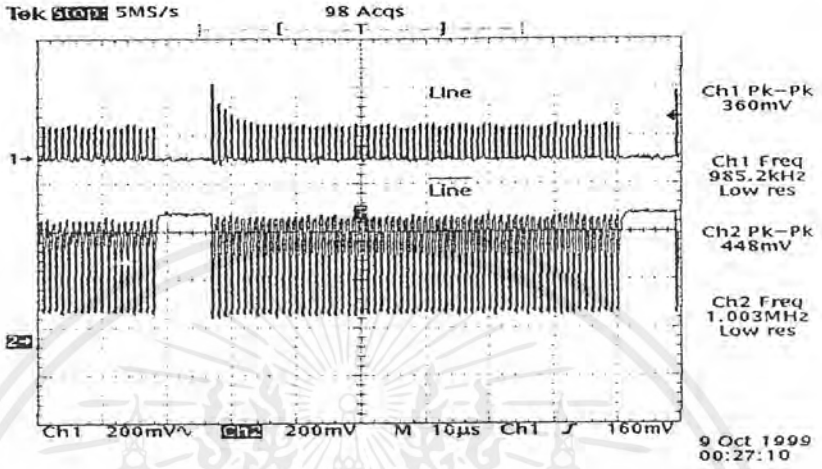
4.1.2.3 สัญญาณที่สร้างจากฮาร์แวร์ตัวแม่จะถูกป้อนให้กับ D-Flip Flop เพื่อให้ได้เป็นสัญญาณแบบดิฟเฟอเรนเชียล Q และ $\overline{Q}$ ซึ่งสามารถขับโดยวงจรไดรฟ์เวอร์ได้ดังรูปที่4.5




**รูปที่ 4.5** สัญญาณแบบดิฟเฟอเรนเชียล Q และ $\overline{Q}$ จาก D-Flip Flop

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4.1.2.4 วงจรไดรฟ์เวอร์ของฮาร์ดแวร์ตัวแม่สามารถขับสัญญาณแบบดิฟเฟอเรนเชียล Q และ $\overline{Q}$ เป็นสัญญาณ Line และ $\overline{Line}$ ได้ดังรูปที่ 4.6




**รูปที่ 4.6** สัญญาณแบบดิฟเฟอเรนเชียล Q และ $\overline{Q}$ จาก D-Flip Flop ที่ถูกขับโดยวงจรไดรฟ์เวอร์เป็นสัญญาณ Line และ $\overline{Line}$

## 4.2 การทดสอบการทำงานของฮาร์ดแวร์ตัวลูก

### 4.2.1 วงจรภาคส่งข้อมูล

#### 4.2.1.1 วัตถุประสงค์

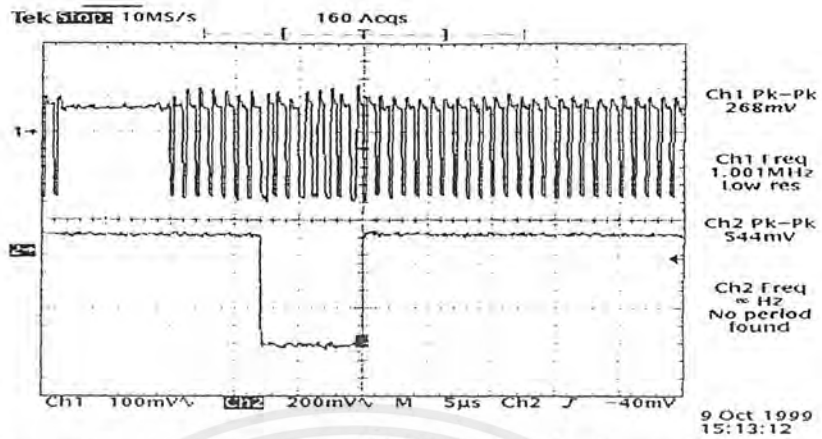
เพื่อทดสอบว่าวงจรภาคส่งข้อมูลสามารถอัดข้อมูลดิจิตอล 8 บิทที่แปลงมาจากสัญญาณเสียงลงในช่องสัญญาณที่ตั้งรหัสไว้ได้ โดยเปลี่ยนแปลงขนาดของพัลซ์สัญญาณเป็น 75% ดิวทีไซเคิล เมื่อเป็นลอจิก 1 และเป็น 25% ดิวทีไซเกิล เมื่อเป็นลอจิก 0

#### 4.2.1.2 การทดสอบและผลการทดสอบ

ใช้สตอเรจ ออสซิลโลสโคป (Storage Oscilloscope) เก็บสัญญาณ ณ จุดต่างๆของวงจรเพื่อตรวจสอบการทำงานของวงจรจะได้ผลดังต่อไปนี้

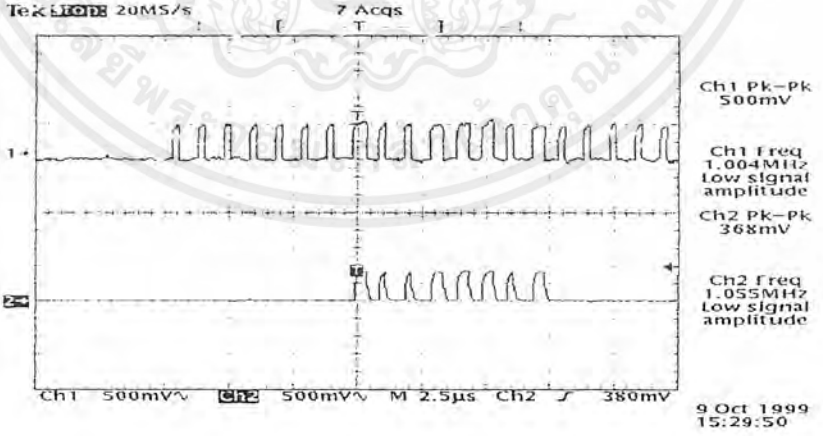
4.2.1.2.1 การเลือกช่องสัญญาณที่จะทำการอัดข้อมูลจะใช้สัญญาณ $\overline{P=Q}$ ของคอมแพเรเตอร์ขนาด 8 บิทเป็นตัวเลือกซึ่งได้จากการตั้งรหัสที่ดิพ สวิตช์ ซึ่งในการทดลองนี้ตั้งรหัสไว้ที่ช่องสัญญาณที่ 1 (พัลซ์ลูกที่ 8 ถึง 15) ดังรูปที่4.7

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้




รูปที่ 4.7 สัญญาณ $\overline{P=Q}$ ของคอมแพเรเตอร์ ที่ใช้ในการเลือกช่องสัญญาณที่จะได้รับการอัดข้อมูลตามรูปเป็นการเลือกช่องสัญญาณที่ 1 (พัลซ์ลูกที่ 8 ถึง 15)ของ $\overline{Line}$

4.2.1.2.2 เมื่อส่งสัญญาณเสียงเข้าไปในวงจรภาคส่งโดยนำสัญญาณเสียงมาแปลงเป็นสัญญาณอนาลอกโดยคอนเดนเซอร์ ไมโครโฟน แล้วนำไปผ่านวงจรกรองความถี่ต่ำผ่านเพื่อให้วงจร A/D แปลงเป็นข้อมูลดิจิตอล 8 บิท จากนั้น IC Parallel To Serial เบอร์ 74LS166 จะทำการแปลงเป็นสัญญาณข้อมูลแบบอนุกรมซึ่งสามารถส่งไปใน Line ได้ซึ่งสัญญาณใน Lineจะมีการเปลี่ยนแปลงขนาดของพัลซ์ เมื่อถูกอัดข้อมูลลงในช่องสัญญาณลำดับที่ 1 ตามที่ตั้งรหัสไว้ในวงจรอัดข้อมูลจะเป็นดังรูป 4.8 แสดงให้เห็นว่าวงจรภาคส่งสามารถส่งข้อมูลเสียงลงในช่องสัญญาณตามที่ออกแบบไว้ได้




รูปที่ 4.8 แสดงสัญญาณใน Line เมื่อถูกอัดข้อมูลลงในช่องสัญญาณลำดับที่ 1 เทียบกับพัลซ์ของข้อมูล ที่แปลงจากข้อมูลดิจิตอล 8 บิทคือ 1011101

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4.2.2 วงจรภาครับข้อมูล

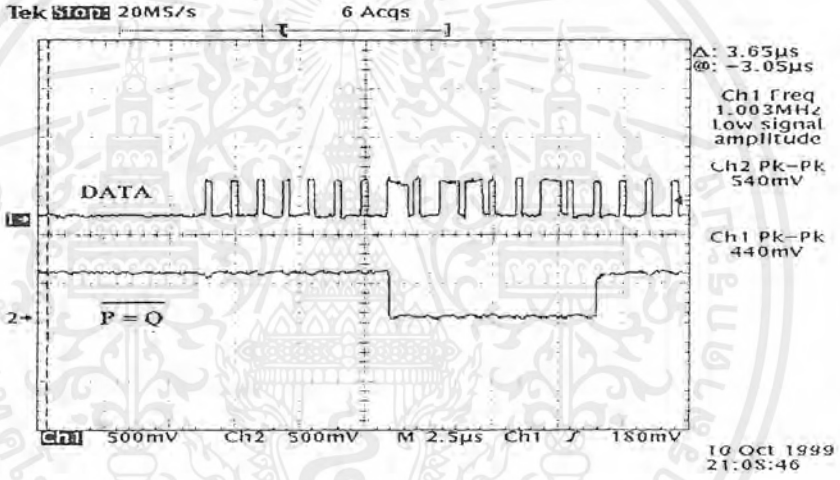
4.2.2.1วัตถุประสงค์

เพื่อทดสอบว่าวงจรภาครับข้อมูลสามารถดึงข้อมูลเสียงจากช่องสัญญาณที่ตั้งรหัสไว้ได้

4.2.2.2 การทดสอบและผลการทดสอบ

ใช้สตอเรจ ออสซิลโลสโคป (Storage Oscilloscope) เก็บภาพสัญญาณ ณ จุดต่างๆเพื่อตรวจสอบการทำงานของวงจรจะได้ผลดังต่อไปนี้

4.2.2.2.1 การเลือกช่องสัญญาณที่จะทำการดึงข้อมูลจะใช้สัญญาณ $\overline{P=Q}$ ของคอมแพเรเตอร์ขนาด 8 บิทเป็นตัวเลือกซึ่งได้จากการตั้งรหัสที่ดิพสวิตช์ดังรูปที่4.9

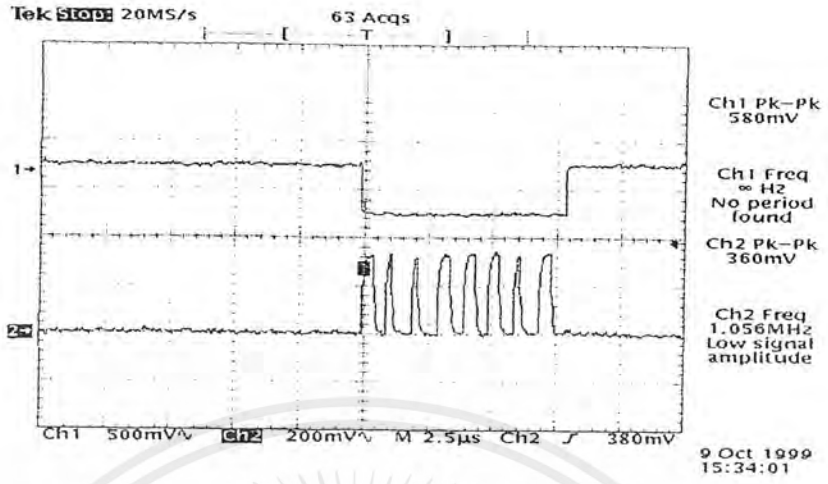



**รูปที่ 4.9** สัญญาณ $\overline{P=Q}$ ของคอมแพเรเตอร์ที่ใช้ในการเลือกช่องสัญญาณที่จะทำการดึงข้อมูลตามรูปเป็นการดึงข้อมูลจากช่องสัญญาณที่ 1 (พัลซ์ลูกที่8 ถึง 15) ของ Line

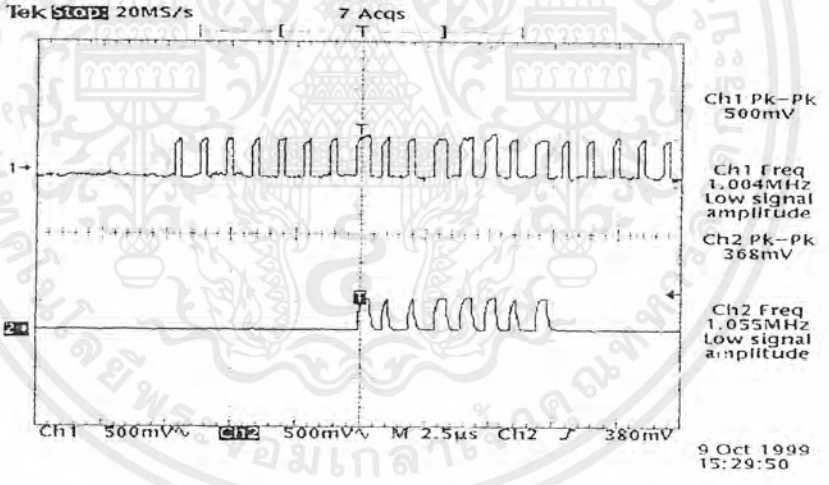
4.2.2.2.2 วงจรภาครับสามารถดึงสัญญาณใน Line ที่ถูกอัดข้อมูลลงในช่องสัญญาณที่ 1 (พัลซ์ลูกที่ 8 ถึง 15) ตามที่ตั้งรหัสไว้ในวงจรภาครับ ดังรูปที่ 4.10 และ 4.11

4.2.2.2.3 เมื่อนำสัญญาณพัลซ์ข้อมูล 8 ลูกที่ได้จากวงจรส่วนดึงข้อมูลมาทำการแปลงเป็นข้อมูลดิจิตอล 8 บิทโดยใช้ IC 74HC595 Serial To Parallel จะได้ข้อมูลดิจิตอล 8 บิทส่งให้วงจร D/A ซึ่งจะแปลงเป็นสัญญาณอนาลอกอีกครั้งหนึ่งแล้วนำไปผ่านวงจรกรองความถี่ต่ำผ่าน และขับสัญญาณเสียงออกลำโพงโดยใช้ IC Power Audio Amplifier เบอร์ LM 386 ซึ่งสัญญาณเสียงที่ได้มีคุณภาพดีพอสมควร

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้




**รูปที่ 4.10** สัญญาณ $\overline{P=Q}$ ของคอมแพเรเตอร์ใช้ในการเลือกช่องสัญญาณที่จะทำการดึงข้อมูล ตามรูปเป็นข้อมูล 10011101 ที่ดึงได้จากช่องสัญญาณที่ 1 ของ Line




**รูปที่ 4.11** สัญญาณข้อมูล 10011101 ที่ดึงได้จากช่องสัญญาณที่ 1 ของสัญญาณใน Line

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

# บทที่ 5
# สรุปผลการทดลอง

## 5.1 สรุปผลการทดลอง

ระบบการส่งสัญญาณเสียง 7 ช่องสัญญาณในสายส่งคู่เดียวที่ได้ทำการออกแบบและทดลองทั้งระบบสำเร็จวัตถุประสงค์ที่ตั้งไว้คือ

5.1.1 ส่วนของฮาร์ดแวร์ตัวแม่

สามารถสร้างสัญญาณพัลซ์ขนาด 25% ดิวตี้ ไซเคิล ความถี่ 1 MHz สำหรับรองรับข้อมูลได้ครบ 7 ช่องสัญญาณ ช่องสัญญาณละ 8 บิท และสัญญาณซิงโครไนส์ที่ระดับ 0 V ขนาด 8 คาบ ได้ในทุกรอบของการทำงาน

5.1.2 ส่วนของฮาร์ดแวร์ตัวลูก

5.1.2.1 วงจรภาคส่งข้อมูล

สามารถเลือกรับข้อมูล 8 บิท แล้วทำการอัดข้อมูลลงในช่องสัญญาณที่ต้องการซึ่งถูกตั้งรหัสไว้โดยดิพสวิทช์ในวงจร ตั้งแต่ช่องสัญญาณที่ 1 ถึง 7 ได้ โดยข้อมูลบิทที่เป็นลอจิก 1 จะถูกแปลงเป็นพัลซ์ขนาด 75% ดิวตี้ ไซเคิล ส่วนบิทที่เป็นลอจิกจะถูกแปลงเป็นพัลซ์ขนาด 25% ดิวตี้ ไซเคิล เพื่อให้วงจรภาครับสามารถตรวจจับข้อมูลได้จากขนาดของพัลซ์ โดยใน 1 รอบการทำงานแต่ละวงจรจะอัดข้อมูลลงเฉพาะช่องสัญญาณที่มีลำดับตรงกับรหัสของตนเองเท่านั้น นั่นคือจะมีการอัดข้อมูลเพียงครั้งเดียวต่อ 1 รอบการทำงาน

5.1.2.2 วงจรภาครับข้อมูล

สามารถเลือกรับข้อมูล 8 บิท จากช่องสัญญาณที่ต้องการได้โดยการตั้งรหัสภายในวงจรให้ตรงกับลำดับของช่องสัญญาณที่ต้องการจะดึงข้อมูลซึ่งพัลซ์ของข้อมูลที่ได้จะเรียงตั้งแต่บิทที่มีนัยสำคัญสูงสุด ( MSB ) ถึง บิทที่มีนัยสำคัญต่ำสุด ( LSB )แล้วแปลงจากข้อมูลดิจิตอล 8 บิทที่รับมาไปเป็นสัญญาณเสียงซึ่งอยู่ในระดับที่รับฟังได้และมีความชัดเจนดีพอสมควร

## 5.2 ปัญหาและการแก้ไข

ปัญหาที่เกิดขึ้นในระหว่างระยะเวลาดำเนินงานมีดังนี้

5.2.1 ส่วนของฮาร์ดแวร์ตัวแม่

เนื่องจากลำดับการนับของเคาท์เตอร์ 8 บิท ไม่สอดคล้องกับการกำหนดช่องสัญญาณสำหรับข้อมูล 8 บิทของระบบ ซึ่งถึงแม้ว่าพัลซ์ของสัญญาณที่รองรับขอมูลได้จะมีถึง 64 คาบเวลา ถ้าแบ่งเป็นช่องสัญญาณละ 8 คาบเวลา ก็ควรจะได้ช่องสัญญาณทั้งหมด 8 ช่อง แต่เพราะเคาท์เตอร์จะเริ่มนับตั้งแต่

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

00000001 ทำให้ช่องสัญญาณมีเพียง 7 คาบเวลาสำหรับพัลซ์ลูกที่ 0 ที่หายไปจะกลายเป็นพัลซ์ลูกที่ 256 ที่เคาท์เตอร์จะนับเป็น 00000000 ทำให้ระบบนี้ส่งสัญญาณข้อมูลได้เพียง 7 ช่องสัญญาณเท่านั้นซึ่งปัญหาที่เกิดขึ้นนี้ไม่สามารถแก้ไขได้เพราะเป็นหลักการทำงานของเคาท์เตอร์เองแต่สามารถนำพัลซ์สัญญาณที่เหลือ 7 ลูกในช่องสัญญาณแรกกับอีก 1 ลูกที่เหลือมาใช้ได้โดยส่งสัญญาณข้อมูลแบบบิทเดียวได้

5.2.2 ส่วนของฮาร์ดแวร์ตัวลูกที่ทำหน้าที่อัดและดึงข้อมูล

จากการที่สัญญาณ $\overline{P = Q}$ มีการดีเลย์ ( delay ) เนื่องจากพร็อบพาเกชั่นดีเลย์ ( propragation delay ) ของอุปกรณ์ภายในวงจรทำให้เกิดการเหลื่อมกันกับสัญญาณข้อมูลแบบอินเวอร์ส ( $\overline{Line}$ ) RC – Delay เพื่อให้สัญญาณ $\overline{Line}$ ตรงกับสัญญาณ $\overline{P = Q}$ เพื่อให้ได้เอาท์พุทที่ถูกต้อง

5.2.3 เนื่องจากการดีเลย์ของสัญญาณมีความสำคัญกับระบบมากเพราะอาจทำให้การทำงานของระบบผิดพลาดได้เช่นการอัดข้อมูลจากฮาร์ดแวร์ตัวลูกลงไปผิดตำแหน่งเนื่องจากกเลย์ของอุปกรณ์ภายในวงจรที่มากเกินไป ดังนั้นในการเลือกอุปกรณ์ต้องคำนึงถึงค่าดีเลย์ไทม์ (delay time )

## 5.3 ข้อดีของระบบ

5.3.1 ระบบนี้ใช้สายส่งเพียงคู่เดียวจึงทำให้มีความสะดวกในการเดินสายส่งสัญญาณและยังมีความคล่องตัวในการติดตั้งอุปกรณ์ชุดลูกอีกด้วย เนื่องจากอุปกรณ์ชุดลูกแต่ละชุดมีความเป็นอิสระต่อกัน และสามารถติดตั้ง ณ ตำแหน่งใดก็ได้ในสายส่ง โดยไม่ต้องเรียงอย่างเป็นลำดับแต่การทำงานของแต่ละชุดจะทำงานตามลำดับตามรหัสที่ตั้งไว้ภายในวงจรโดยดิฟสวิทช์

5.3.2 เนื่องจากระบบการส่งเป็นแบบดิฟเฟอเรนเชียล และใช้คอมแพเรเตอร์ในการรับสัญญาณปลายทางทำให้ปัญหาเรื่องสัญญาณรบกวน ( Noise ) ที่เป็นแบบคอมมอนโหมด (Common Mode ) เช่น EMI ( Electromagnetic Inteference ) ถูกกำจัดไปด้วยคุณสมบัติของคอมแพเรเตอร์ที่สามารถขยายผลต่างของสัญญาณอินพุททั้งสองได้ในอัตราการขยายที่สูงมาก ทำให้สามารถส่งข้อมูลไปได้ในระยะไกล เพราะถึงแม้สัญญาณจะถูกลดทอนไปมากแต่ก็สามารถถูกขยายโดยคอมแพเรเตอร์ที่ปลายทางได้

5.3.3 เนื่องจากเป็นระบบที่ไม่ต้องใช้ไมโครคอนโทรลเลอร์ ความถี่ของสัญญาณที่สร้างขึ้นจึงไม่ถูกจำกัดด้วยความถี่ของ Clock ของไมโครคอนโทรลเลอร์ นอกจากนี้ยังลดความยุ่งยากในการเขียนและพัฒนาโปรแกรมและมีราคาต่ำกว่าด้วย

5.3.4 อุปกรณ์ชุดลูกแต่ละตัวมีความเป็นอิสระต่อกันทั้งวงจรภาครับและภาคส่ง ทำให้สามารถส่งข้อมูลต่างชนิดกันลงในสายนำสัญญาณตัวเดียวกันได้หรือจะรับข้อมูลจากช่องสัญญาณใดก็ได้โดยภาครับมากกว่า 1 ตัวสามารถรับข้อมูลจากช่องสัญญาณเดียวกันได้แต่ถึงแม้ภาคส่งจะเป็นอิสระต่อกันก็ไม่สามารถส่งข้อมูลในช่องสัญญาณเดียวกันพร้อมกันได้ ภาคส่งจึงจะส่งข้อมูลได้เฉพาะช่องสัญญาณ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ของตนเองเท่านั้นและต้องไม่ตรงกับภาคส่งตัวอื่น และเมื่อชุดอุปกรณ์ตัวใดตัวหนึ่งเสียก็ไม่มีผลต่อการทำงานของชุดอื่นเลย

5.3.5 มีความยืดหยุ่นสูงเนื่องจากสามารถตั้งหรือเปลี่ยนแปลงลำดับการทำงานของอุปกรณ์ชุดลูกแต่ละชุดได้ โดยเพียงแต่เปลี่ยนรหัสของดิพ สวิทช์ ที่ตั้งไว้ในวงจรเท่านั้น

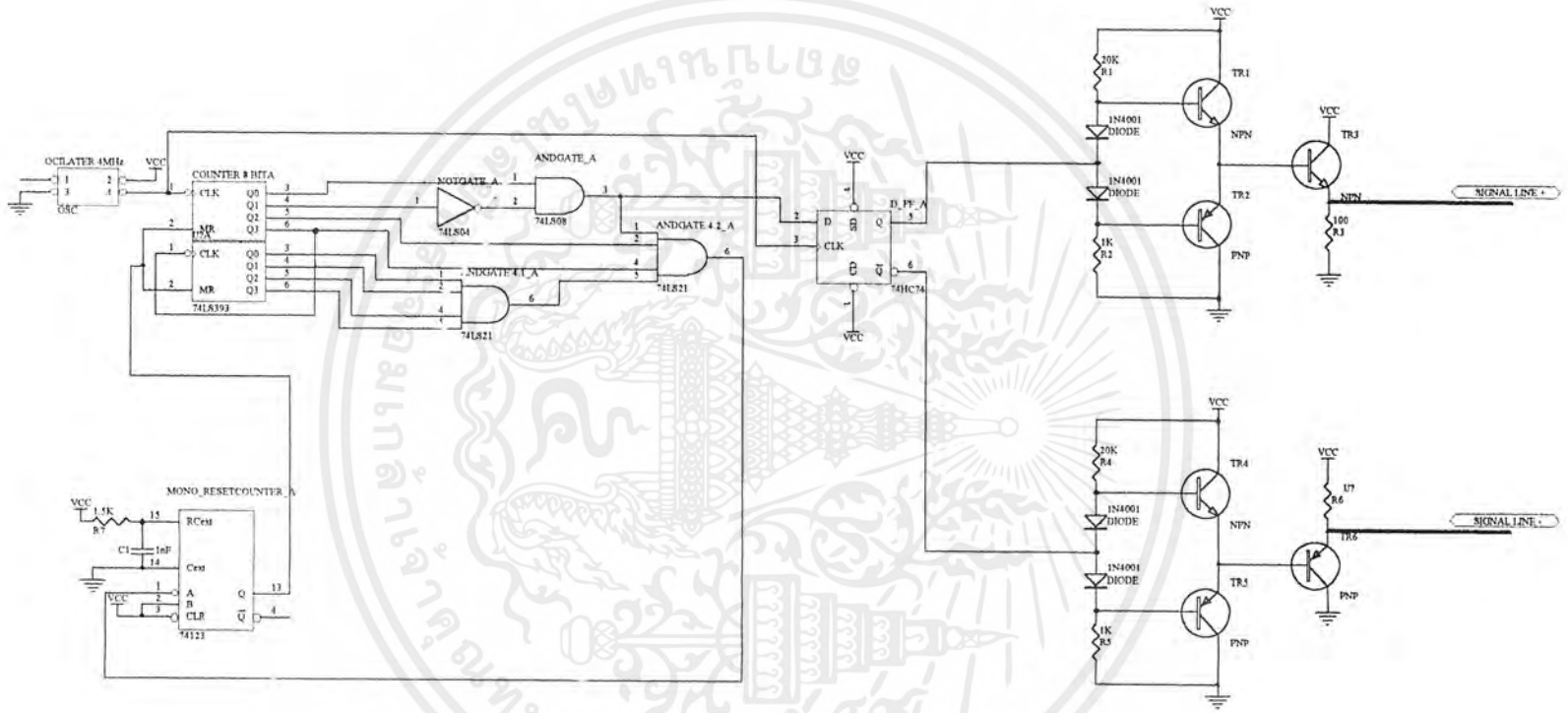
## 5.4 ข้อเสนอแนะ

ระบบนี้สามารถประยุกต์ใช้กับการส่งสัญญาณอนาลอกใด ๆ ที่ต้องการก็ได้ซึ่งไม่จำเป็นต้องเป็นสัญญาณเสียงเสมอไปเพียงแต่Samplingสัญญาณ แล้วแปลงเป็นข้อมูลดิจิตอล8บิทก็สามารถใช้ระบบนี้ได้ เช่น การตรวจจับอุณหภูมิตามจุดต่าง ๆ ภายในโรงงาน แล้วนำข้อมูลที่ได้ไปประมวลผลทำโดยติดตั้งอุปกรณ์ชุดลูกที่เป็นภาคส่งข้อมูลไว้ตามจุดต่าง ๆ ของโรงงาน แล้วให้เซ็นเซอร์ ( sensor ) แปลงค่าอุณหภูมิมาเป็นสัญญาณอนาลอก Samplingและแปลงเป็นข้อมูลดิจิตอลขนาด 8 บิท จากนั้นจึงอัดข้อมูลลงตามช่องสัญญาณที่ตั้งรหัสไว้ ข้อมูลของอุณหภูมิแต่ละจุดในโรงงานก็จะถูกส่งไปตามสายนำสัญญาณ ซึ่งหน่วยประมวลผลกลางสามารถที่จะดึงข้อมูลจากช่องสัญญาณที่ต้องการได้จากภาครับข้อมูล ทำให้สามารถทราบระดับอุณหภูมิ ณ จุดต่าง ๆ ได้ และอาจส่งสัญญาณกลับไปควบคุมอุณหภูมิจุดนั้นได้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

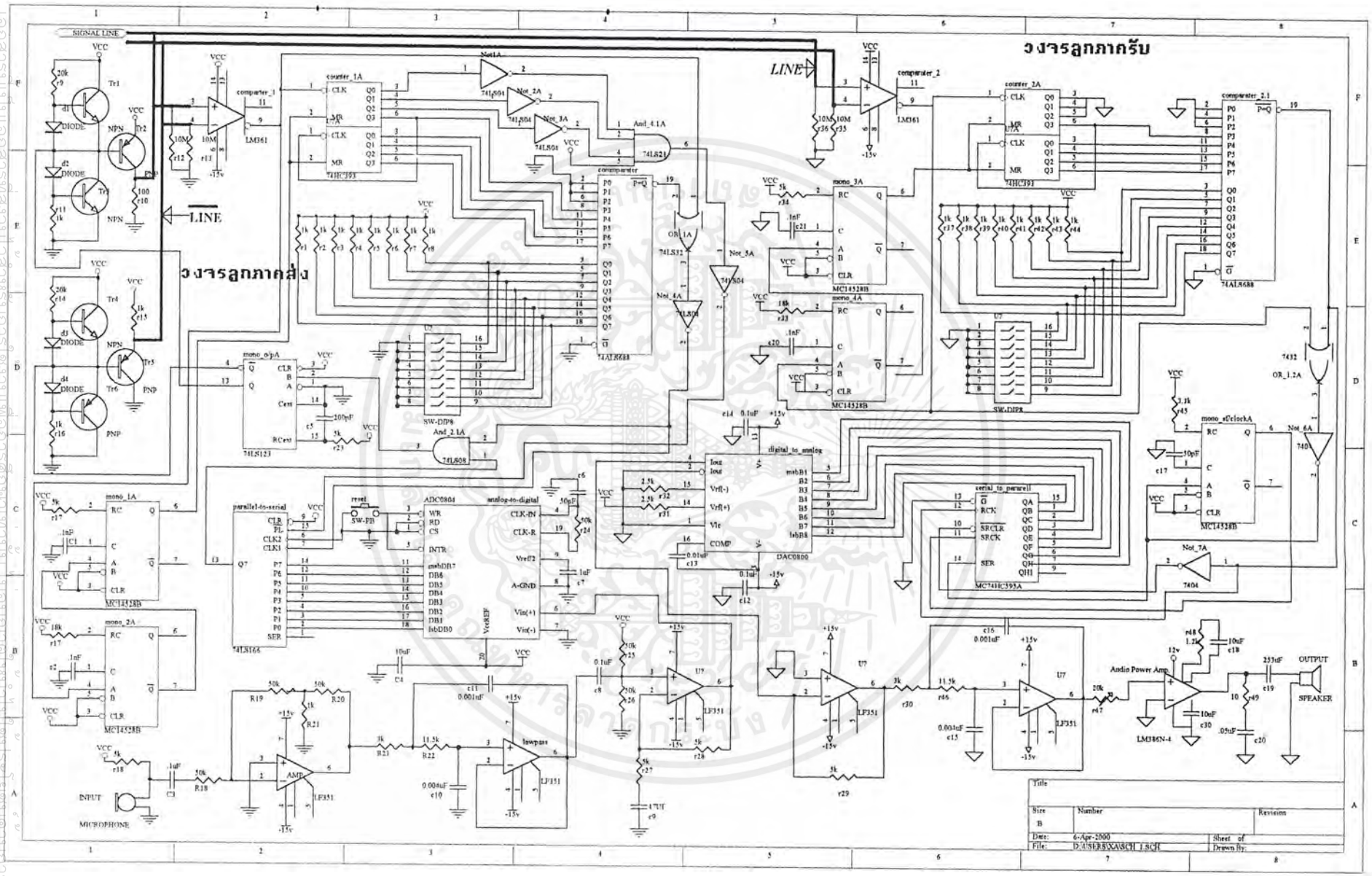
# ภาคผนวก

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้




วงจรแม่

| | | | |
|---|---|---|---|
| Title | | | |
| Size: B | Number | | Revision |
| Date: | 6-Apr-2000 | Sheet of | |
| File: | D:\USERS\NA\MASTER.SCH | Drawn By: | |


วงจรลูกภาคส่ง
วงจรลูกภาครับ
SIGNAL LINE
LINE
LINE
VCC
-15v
Tr1
Tr2
Tr3
Tr4
Tr5
Tr6
NPN
PNP
DIODE
d1
d2
d3
d4
r9
r10
r11
r12
r13
r14
r15
r16
10M
100
1k
20k
LM361
comparater_1
comparater_2
counter_1A
counter_2A
74HC393
comparater
comparater_2.1
74ALS688
Not1A
Not_2A
Not_3A
Not_4A
Not_5A
Not_6A
Not_7A
74LS04
And_4.1A
74LS21
OR_1A
74LS32
OR_1.2A
7432
7404
mono_3A
mono_4A
MC14528B
mono_eClockA
mono_1A
mono_2A
mono_eOpA
74LS123
SW-DIP8
SW-DIP8
74ALS688
And_2.1A
74LS08
parallel-to-serial
74LS165
reset
SW-PB
ADC0804
analog-to-digital
DAC0800
digital_to_analog
serial_to_parallel
MC74HC595A
Audio Power Amp
LM386N-4
SPEAKER
OUTPUT
INPUT
MICROPHONE
AMP
lowpass
LF351
U7
SW-DIP8
Title
Size
B
Number
Revision
Date:
6-Apr-2000
File:
D:\USERS\XA\SCH_1.SCH
Sheet of
Drawn By:

National Semiconductor

# ADC0801/ADC0802/ADC0803/ADC0804/ADC0805
# 8-Bit μP Compatible A/D Converters

## General Description

The ADC0801, ADC0802, ADC0803, ADC0804 and ADC0805 are CMOS 8-bit successive approximation A/D converters that use a differential potentiometric ladder—similar to the 256R products. These converters are designed to allow operation with the NSC800 and INS8080A derivative control bus with TRI-STATE® output latches directly driving the data bus. These A/Ds appear like memory locations or I/O ports to the microprocessor and no interfacing logic is needed.

Differential analog voltage inputs allow increasing the common-mode rejection and offsetting the analog zero input voltage value. In addition, the voltage reference input can be adjusted to allow encoding any smaller analog voltage span to the full 8 bits of resolution.

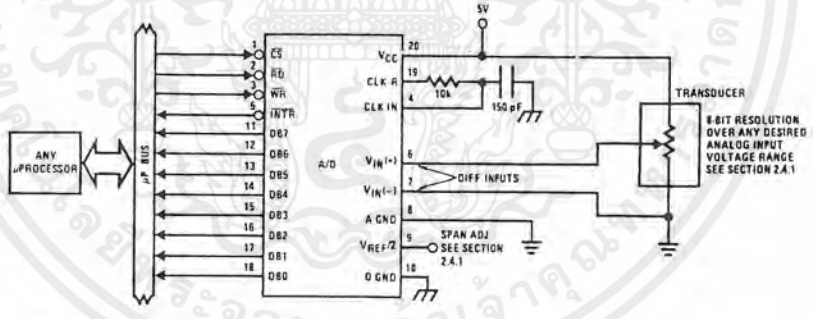
## Features

- Compatible with 8080 μP derivatives—no interfacing logic needed - access time - 135 ns
- Easy interface to all microprocessors, or operates "stand alone"
- Differential analog voltage inputs
- Logic inputs and outputs meet both MOS and TTL voltage level specifications
- Works with 2.5V (LM336) voltage reference
- On-chip clock generator
- 0V to 5V analog input voltage range with single 5V supply
- No zero adjust required
- 0.3" standard width 20-pin DIP package
- 20-pin molded chip carrier or small outline package
- Operates ratiometrically or with 5 $V_{DC}$, 2.5 $V_{DC}$, or analog span adjusted voltage reference

## Key Specifications

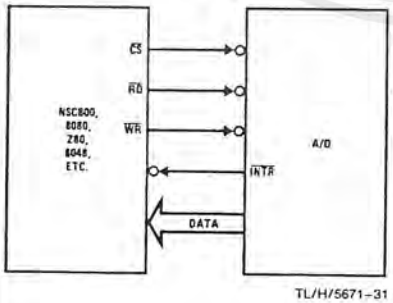
- Resolution: 8 bits
- Total error: ±¼ LSB, ±½ LSB and ±1 LSB
- Conversion time: 100 μs

## Typical Applications




TL/H/5671–1

8080 Interface




TL/H/5671–31

| Part Number | Error Specification (Includes Full-Scale, Zero Error, and Non-Linearity) | | |
|---|---|---|---|
| | Full-Scale Adjusted | $V_{REF}/2 = 2.500\ V_{DC}$ (No Adjustments) | $V_{REF}/2$ = No Connection (No Adjustments) |
| ADC0801 | ±¼ LSB | | |
| ADC0802 | | ±½ LSB | |
| ADC0803 | ±½ LSB | | |
| ADC0804 | | ±1 LSB | |
| ADC0805 | | | ±1 LSB |



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

## Absolute Maximum Ratings (Notes 1 & 2)

**If Military/Aerospace specified devices are required, please contact the National Semiconductor Sales Office/Distributors for availability and specifications.**

| | |
|---|---|
| Supply Voltage ($V_{CC}$) (Note 3) | 6.5V |
| Voltage | |
| Logic Control Inputs | −0.3V to +18V |
| At Other Input and Outputs | −0.3V to ($V_{CC}$ + 0.3V) |
| Lead Temp. (Soldering, 10 seconds) | |
| Dual-In-Line Package (plastic) | 260°C |
| Dual-In-Line Package (ceramic) | 300°C |
| Surface Mount Package | |
| Vapor Phase (60 seconds) | 215°C |
| Infrared (15 seconds) | 220°C |
| Storage Temperature Range | −65°C to +150°C |
| Package Dissipation at $T_A$ = 25°C | 875 mW |
| ESD Susceptibility (Note 10) | 800V |

## Operating Ratings (Notes 1 & 2)

| | |
|---|---|
| Temperature Range | $T_{MIN} \le T_A \le T_{MAX}$ |
| ADC0801/02LJ, ADC0802LJ/883 | $-55°C \le T_A \le +125°C$ |
| ADC0801/02/03/04LCJ | $-40°C \le T_A \le +85°C$ |
| ADC0801/02/03/05LCN | $-40°C \le T_A \le +85°C$ |
| ADC0804LCN | $0°C \le T_A \le +70°C$ |
| ADC0802/03/04LCV | $0°C \le T_A \le +70°C$ |
| ADC0802/03/04LCWM | $0°C \le T_A \le +70°C$ |
| Range of $V_{CC}$ | 4.5 $V_{DC}$ to 6.3 $V_{DC}$ |

## Electrical Characteristics

The following specifications apply for $V_{CC}$ = 5 $V_{DC}$, $T_{MIN} \le T_A \le T_{MAX}$ and $f_{CLK}$ = 640 kHz unless otherwise specified.

| Parameter | Conditions | Min | Typ | Max | Units |
|---|---|---|---|---|---|
| ADC0801: Total Adjusted Error (Note 8) | With Full-Scale Adj. (See Section 2.5.2) | | | ±¼ | LSB |
| ADC0802: Total Unadjusted Error (Note 8) | $V_{REF}/2$ = 2.500 $V_{DC}$ | | | ±½ | LSB |
| ADC0803: Total Adjusted Error (Note 8) | With Full-Scale Adj. (See Section 2.5.2) | | | ±½ | LSB |
| ADC0804: Total Unadjusted Error (Note 8) | $V_{REF}/2$ = 2.500 $V_{DC}$ | | | ±1 | LSB |
| ADC0805: Total Unadjusted Error (Note 8) | $V_{REF}/2$-No Connection | | | ±1 | LSB |
| $V_{REF}/2$ Input Resistance (Pin 9) | ADC0801/02/03/05<br>ADC0804 (Note 9) | 2.5<br>0.75 | 8.0<br>1.1 | | kΩ<br>kΩ |
| Analog Input Voltage Range | (Note 4) V(+) or V(−) | Gnd−0.05 | | $V_{CC}$ + 0.05 | $V_{DC}$ |
| DC Common-Mode Error | Over Analog Input Voltage Range | | ±1/16 | ±⅛ | LSB |
| Power Supply Sensitivity | $V_{CC}$ = 5 $V_{DC}$ ±10% Over Allowed $V_{IN}$(+) and $V_{IN}$(−) Voltage Range (Note 4) | | ±1/16 | ±⅛ | LSB |

## AC Electrical Characteristics

The following specifications apply for $V_{CC}$ = 5 $V_{DC}$ and $T_A$ = 25°C unless otherwise specified.

| Symbol | Parameter | Conditions | Min | Typ | Max | Units |
|---|---|---|---|---|---|---|
| $T_C$ | Conversion Time | $f_{CLK}$ = 640 kHz (Note 6) | 103 | | 114 | μs |
| $T_C$ | Conversion Time | (Note 5, 6) | 66 | | 73 | $1/f_{CLK}$ |
| $f_{CLK}$ | Clock Frequency<br>Clock Duty Cycle | $V_{CC}$ = 5V, (Note 5)<br>(Note 5) | 100<br>40 | 640 | 1460<br>60 | kHz<br>% |
| CR | Conversion Rate in Free-Running Mode | $\overline{INTR}$ tied to $\overline{WR}$ with $\overline{CS}$ = 0 $V_{DC}$, $f_{CLK}$ = 640 kHz | 8770 | | 9708 | conv/s |
| $t_{W(\overline{WR})L}$ | Width of $\overline{WR}$ Input (Start Pulse Width) | $\overline{CS}$ = 0 $V_{DC}$ (Note 7) | 100 | | | ns |
| $t_{ACC}$ | Access Time (Delay from Falling Edge of $\overline{RD}$ to Output Data Valid) | $C_L$ = 100 pF | | 135 | 200 | ns |
| $t_{1H}$, $t_{0H}$ | TRI-STATE Control (Delay from Rising Edge of $\overline{RD}$ to Hi-Z State) | $C_L$ = 10 pF, $R_L$ = 10k (See TRI-STATE Test Circuits) | | 125 | 200 | ns |
| $t_{WI}$, $t_{RI}$ | Delay from Falling Edge of $\overline{WR}$ or $\overline{RD}$ to Reset of $\overline{INTR}$ | | | 300 | 450 | ns |
| $C_{IN}$ | Input Capacitance of Logic Control Inputs | | | 5 | 7.5 | pF |
| $C_{OUT}$ | TRI-STATE Output Capacitance (Data Buffers) | | | 5 | 7.5 | pF |
| **CONTROL INPUTS** [Note: CLK IN (Pin 4) is the input of a Schmitt trigger circuit and is therefore specified separately] | | | | | | |
| $V_{IN}$ (1) | Logical "1" Input Voltage (Except Pin 4 CLK IN) | $V_{CC}$ = 5.25 $V_{DC}$ | 2.0 | | 15 | $V_{DC}$ |



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

## AC Electrical Characteristics (Continued)

The following specifications apply for $V_{CC} = 5V_{DC}$ and $T_{MIN} \leq T_A \leq T_{MAX}$, unless otherwise specified.

| Symbol | Parameter | Conditions | Min | Typ | Max | Units |
|---|---|---|---|---|---|---|
| **CONTROL INPUTS** [Note: CLK IN (Pin 4) is the input of a Schmitt trigger circuit and is therefore specified separately] | | | | | | |
| $V_{IN}$ (0) | Logical "0" Input Voltage (Except Pin 4 CLK IN) | $V_{CC} = 4.75\ V_{DC}$ | | | 0.8 | $V_{DC}$ |
| $I_{IN}$ (1) | Logical "1" Input Current (All Inputs) | $V_{IN} = 5\ V_{DC}$ | | 0.005 | 1 | $\mu A_{DC}$ |
| $I_{IN}$ (0) | Logical "0" Input Current (All Inputs) | $V_{IN} = 0\ V_{DC}$ | −1 | −0.005 | | $\mu A_{DC}$ |
| **CLOCK IN AND CLOCK R** | | | | | | |
| $V_T+$ | CLK IN (Pin 4) Positive Going Threshold Voltage | | 2.7 | 3.1 | 3.5 | $V_{DC}$ |
| $V_T-$ | CLK IN (Pin 4) Negative Going Threshold Voltage | | 1.5 | 1.8 | 2.1 | $V_{DC}$ |
| $V_H$ | CLK IN (Pin 4) Hysteresis $(V_T+)-(V_T-)$ | | 0.6 | 1.3 | 2.0 | $V_{DC}$ |
| $V_{OUT}$ (0) | Logical "0" CLK R Output Voltage | $I_O = 360\ \mu A$<br>$V_{CC} = 4.75\ V_{DC}$ | | | 0.4 | $V_{DC}$ |
| $V_{OUT}$ (1) | Logical "1" CLK R Output Voltage | $I_O = -360\ \mu A$<br>$V_{CC} = 4.75\ V_{DC}$ | 2.4 | | | $V_{DC}$ |
| **DATA OUTPUTS AND $\overline{INTR}$** | | | | | | |
| $V_{OUT}$ (0) | Logical "0" Output Voltage<br>Data Outputs<br>$\overline{INTR}$ Output | <br>$I_{OUT} = 1.6\ mA$, $V_{CC} = 4.75\ V_{DC}$<br>$I_{OUT} = 1.0\ mA$, $V_{CC} = 4.75\ V_{DC}$ | | | <br>0.4<br>0.4 | <br>$V_{DC}$<br>$V_{DC}$ |
| $V_{OUT}$ (1) | Logical "1" Output Voltage | $I_O = -360\ \mu A$, $V_{CC} = 4.75\ V_{DC}$ | 2.4 | | | $V_{DC}$ |
| $V_{OUT}$ (1) | Logical "1" Output Voltage | $I_O = -10\ \mu A$, $V_{CC} = 4.75\ V_{DC}$ | 4.5 | | | $V_{DC}$ |
| $I_{OUT}$ | TRI-STATE Disabled Output Leakage (All Data Buffers) | $V_{OUT} = 0\ V_{DC}$<br>$V_{OUT} = 5\ V_{DC}$ | −3 | | <br>3 | $\mu A_{DC}$<br>$\mu A_{DC}$ |
| $I_{SOURCE}$ | | $V_{OUT}$ Short to Gnd, $T_A = 25°C$ | 4.5 | 6 | | $mA_{DC}$ |
| $I_{SINK}$ | | $V_{OUT}$ Short to $V_{CC}$, $T_A = 25°C$ | 9.0 | 16 | | $mA_{DC}$ |
| **POWER SUPPLY** | | | | | | |
| $I_{CC}$ | Supply Current (Includes Ladder Current)<br><br>ADC0801/02/03/04LCJ/05<br>ADC0804LCN/LCV/LCWM | $f_{CLK} = 640\ kHz$,<br>$V_{REF}/2 = NC$, $T_A = 25°C$<br>and $\overline{CS} = 5V$ | | <br><br>1.1<br>1.9 | <br><br>1.8<br>2.5 | <br><br>mA<br>mA |

**Note 1:** Absolute Maximum Ratings indicate limits beyond which damage to the device may occur. DC and AC electrical specifications do not apply when operating the device beyond its specified operating conditions.

**Note 2:** All voltages are measured with respect to Gnd, unless otherwise specified. The separate A Gnd point should always be wired to the D Gnd.

**Note 3:** A zener diode exists, internally, from $V_{CC}$ to Gnd and has a typical breakdown voltage of 7 $V_{DC}$.

**Note 4:** For $V_{IN}(-) \geq V_{IN}(+)$ the digital output code will be 0000 0000. Two on-chip diodes are tied to each analog input (see block diagram) which will forward conduct for analog input voltages one diode drop below ground or one diode drop greater than the $V_{CC}$ supply. Be careful, during testing at low $V_{CC}$ levels (4.5V), as high level analog inputs (5V) can cause this input diode to conduct–especially at elevated temperatures, and cause errors for analog inputs near full-scale. The spec allows 50 mV forward bias of either diode. This means that as long as the analog $V_{IN}$ does not exceed the supply voltage by more than 50 mV, the output code will be correct. To achieve an absolute 0 $V_{DC}$ to 5 $V_{DC}$ input voltage range will therefore require a minimum supply voltage of 4.950 $V_{DC}$ over temperature variations, initial tolerance and loading.

**Note 5:** Accuracy is guaranteed at $f_{CLK} = 640$ kHz. At higher clock frequencies accuracy can degrade. For lower clock frequencies, the duty cycle limits can be extended so long as the minimum clock high time interval or minimum clock low time interval is no less than 275 ns.

**Note 6:** With an asynchronous start pulse, up to 8 clock periods may be required before the internal clock phases are proper to start the conversion process. The start request is internally latched, see *Figure 2* and section 2.0.

**Note 7:** The $\overline{CS}$ input is assumed to bracket the $\overline{WR}$ strobe input and therefore timing is dependent on the $\overline{WR}$ pulse width. An arbitrarily wide pulse width will hold the converter in a reset mode and the start of conversion is initiated by the low to high transition of the $\overline{WR}$ pulse (see timing diagrams).

**Note 8:** None of these A/Ds requires a zero adjust (see section 2.5.1). To obtain zero code at other analog input voltages see section 2.5 and *Figure 5.*

**Note 9:** The $V_{REF}/2$ pin is the center point of a two-resistor divider connected from $V_{CC}$ to ground. In all versions of the ADC0801, ADC0802, ADC0803, and ADC0805, and in the ADC0804LCJ, each resistor is typically 16 kΩ. In all versions of the ADC0804 except the ADC0804LCJ, each resistor is typically 2.2 kΩ.

**Note 10:** Human body model, 100 pF discharged through a 1.5 kΩ resistor.

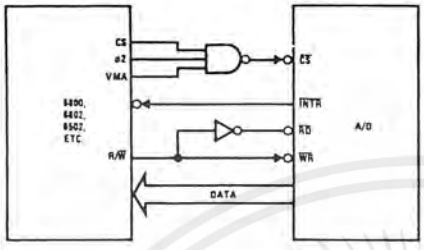




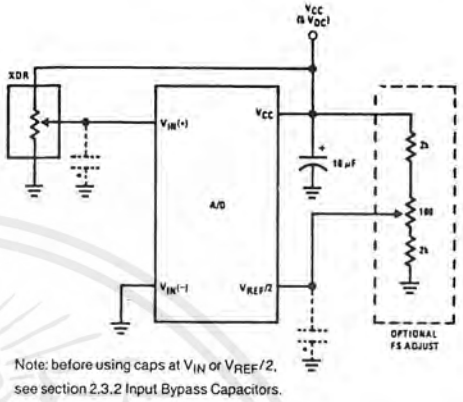
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

## Typical Applications (Continued)

### 6800 Interface

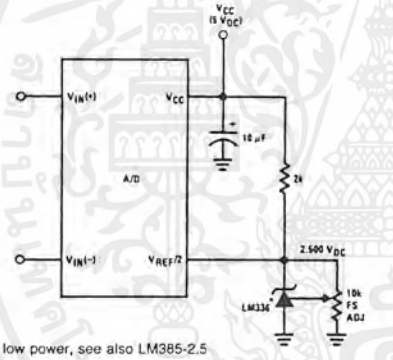



### Ratiometric with Full-Scale Adjust



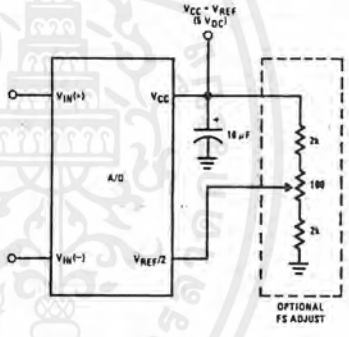

Note: before using caps at $V_{IN}$ or $V_{REF}/2$, see section 2.3.2 Input Bypass Capacitors.

### Absolute with a 2.500V Reference

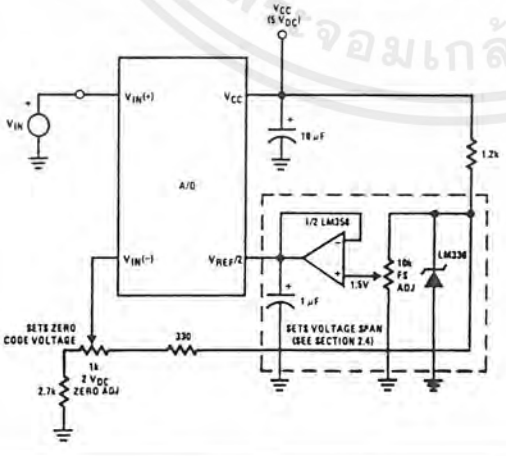



*For low power, see also LM385-2.5

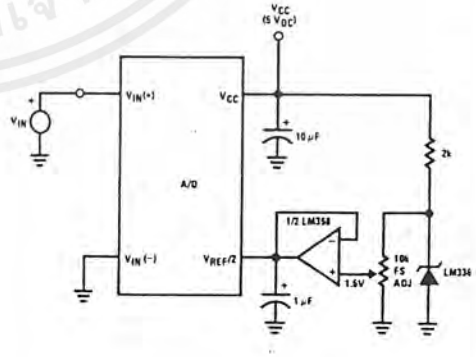
### Absolute with a 5V Reference




### Zero-Shift and Span Adjust: $2V \leq V_{IN} \leq 5V$




### Span Adjust: $0V \leq V_{IN} \leq 3V$



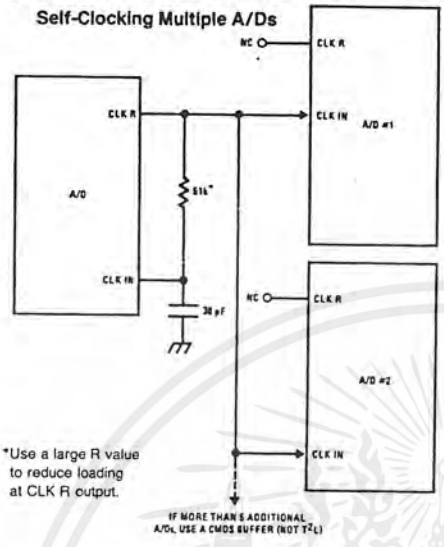

TL/H/5671–5



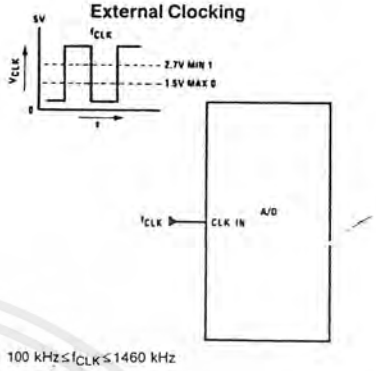
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

## Typical Applications (Continued)

### Self-Clocking Multiple A/Ds

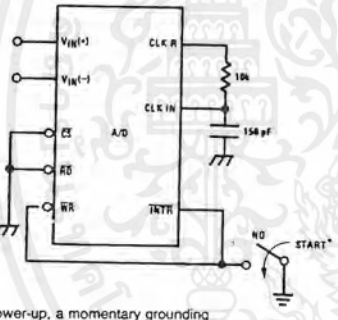



### External Clocking



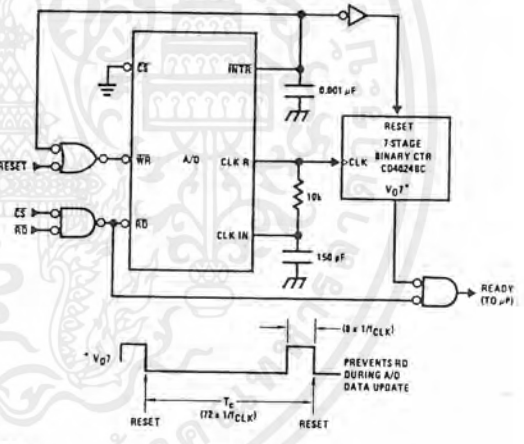

100 kHz ≤ $f_{CLK}$ ≤ 1460 kHz

### Self-Clocking in Free-Running Mode

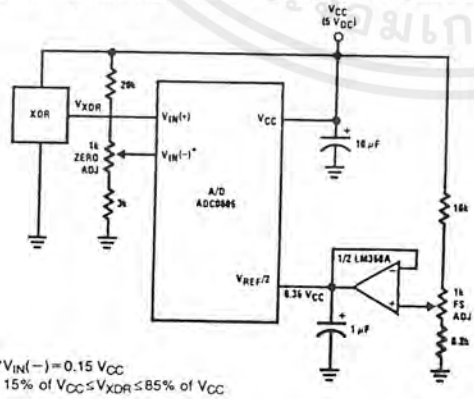



*After power-up, a momentary grounding of the $\overline{WR}$ input is needed to guarantee operation.

### µP Interface for Free-Running A/D

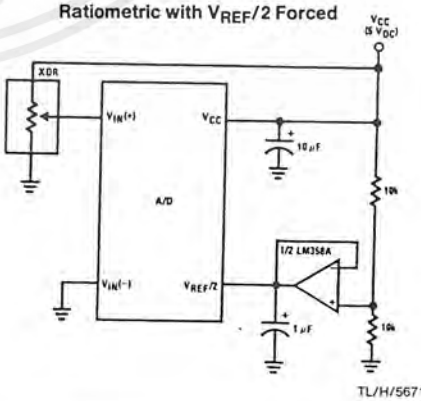



### Operating with "Automotive" Ratiometric Transducers




*$V_{IN}(-) = 0.15\ V_{CC}$
15% of $V_{CC} \leq V_{XDR} \leq 85\%$ of $V_{CC}$

### Ratiometric with $V_{REF}/2$ Forced




TL/H/5671–7



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

## Functional Description (Continued)

### 2.5.3 Adjusting for an Arbitrary Analog Input Voltage Range

If the analog zero voltage of the A/D is shifted away from ground (for example, to accommodate an analog input signal that does not go to ground) this new zero reference should be properly adjusted first. A $V_{IN}(+)$ voltage that equals this desired zero reference plus ½ LSB (where the LSB is calculated for the desired analog span, 1 LSB = analog span/256) is applied to pin 6 and the zero reference voltage at pin 7 should then be adjusted to just obtain the $00_{HEX}$ to $01_{HEX}$ code transition.

The full-scale adjustment should then be made (with the proper $V_{IN}(-)$ voltage applied) by forcing a voltage to the $V_{IN}(+)$ input which is given by:

$$V_{IN}(+) \text{ fs adj} = V_{MAX} - 1.5\left[\frac{(V_{MAX} - V_{MIN})}{256}\right],$$

where:

$V_{MAX}$ = The high end of the analog input range

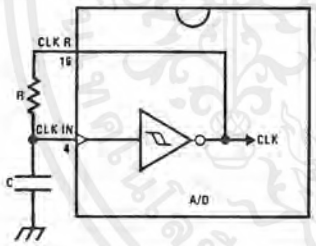
and

$V_{MIN}$ = the low end (the offset zero) of the analog range. (Both are ground referenced.)

The $V_{REF}/2$ (or $V_{CC}$) voltage is then adjusted to provide a code change from $FE_{HEX}$ to $FF_{HEX}$. This completes the adjustment procedure.

### 2.6 Clocking Option

The clock for the A/D can be derived from the CPU clock or an external RC can be added to provide self-clocking. The CLK IN (pin 4) makes use of a Schmitt trigger as shown in *Figure 6*.




$$f_{CLK} \cong \frac{1}{1.1\,RC}$$

$$R \cong 10\ k\Omega$$

TL/H/5671–17

**FIGURE 6. Self-Clocking the A/D**

Heavy capacitive or DC loading of the clock R pin should be avoided as this will disturb normal converter operation. Loads less than 50 pF, such as driving up to 7 A/D converter clock inputs from a single clock R pin of 1 converter, are allowed. For larger clock line loading, a CMOS or low power TTL buffer or PNP input logic should be used to minimize the loading on the clock R pin (do not use a standard TTL buffer).

### 2.7 Restart During a Conversion

If the A/D is restarted ($\overline{CS}$ and $\overline{WR}$ go low and return high) during a conversion, the converter is reset and a new conversion is started. The output data latch is not updated if the conversion in process is not allowed to be completed, therefore the data of the previous conversion remains in this latch. The $\overline{INTR}$ output simply remains at the "1" level.

### 2.8 Continuous Conversions

For operation in the free-running mode an initializing pulse should be used, following power-up, to ensure circuit operation. In this application, the $\overline{CS}$ input is grounded and the $\overline{WR}$ input is tied to the $\overline{INTR}$ output. This $\overline{WR}$ and $\overline{INTR}$ node should be momentarily forced to logic low following a power-up cycle to guarantee operation.

### 2.9 Driving the Data Bus

This MOS A/D, like MOS microprocessors and memories, will require a bus driver when the total capacitance of the data bus gets large. Other circuitry, which is tied to the data bus, will add to the total capacitive loading, even in TRI-STATE (high impedance mode). Backplane bussing also greatly adds to the stray capacitance of the data bus.

There are some alternatives available to the designer to handle this problem. Basically, the capacitive loading of the data bus slows down the response time, even though DC specifications are still met. For systems operating with a relatively slow CPU clock frequency, more time is available in which to establish proper logic levels on the bus and therefore higher capacitive loads can be driven (see typical characteristics curves).

At higher CPU clock frequencies time can be extended for I/O reads (and/or writes) by inserting wait states (8080) or using clock extending circuits (6800).

Finally, if time is short and capacitive loading is high, external bus drivers must be used. These can be TRI-STATE buffers (low power Schottky such as the DM74LS240 series is recommended) or special higher drive current products which are designed as bus drivers. High current bipolar bus drivers with PNP inputs are recommended.

### 2.10 Power Supplies

Noise spikes on the $V_{CC}$ supply line can cause conversion errors as the comparator will respond to this noise. A low inductance tantalum filter capacitor should be used close to the converter $V_{CC}$ pin and values of 1 $\mu$F or greater are recommended. If an unregulated voltage is available in the system, a separate LM340LAZ-5.0, TO-92, 5V voltage regulator for the converter (and other analog circuitry) will greatly reduce digital noise on the $V_{CC}$ supply.

### 2.11 Wiring and Hook-Up Precautions

Standard digital wire wrap sockets are not satisfactory for breadboarding this A/D converter. Sockets on PC boards can be used and all logic signal wires and leads should be grouped and kept as far away as possible from the analog signal leads. Exposed leads to the analog inputs can cause undesired digital noise and hum pickup, therefore shielded leads may be necessary in many applications.



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

## Functional Description (Continued)

A single point analog ground that is separate from the logic ground points should be used. The power supply bypass capacitor and the self-clocking capacitor (if used) should both be returned to digital ground. Any $V_{REF}/2$ bypass capacitors, analog input filter capacitors, or input signal shielding should be returned to the analog ground point. A test for proper grounding is to measure the zero error of the A/D converter. Zero errors in excess of ¼ LSB can usually be traced to improper board layout and wiring (see section 2.5.1 for measuring the zero error).

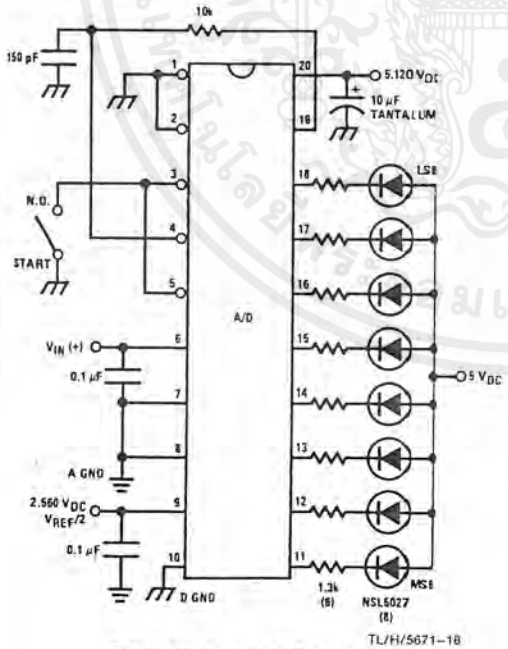
### 3.0 TESTING THE A/D CONVERTER

There are many degrees of complexity associated with testing an A/D converter. One of the simplest tests is to apply a known analog input voltage to the converter and use LEDs to display the resulting digital output code as shown in *Figure 7*.

For ease of testing, the $V_{REF}/2$ (pin 9) should be supplied with 2.560 $V_{DC}$ and a $V_{CC}$ supply voltage of 5.12 $V_{DC}$ should be used. This provides an LSB value of 20 mV.

If a full-scale adjustment is to be made, an analog input voltage of 5.090 $V_{DC}$ (5.120−1½ LSB) should be applied to the $V_{IN}(+)$ pin with the $V_{IN}(-)$ pin grounded. The value of the $V_{REF}/2$ input voltage should then be adjusted until the digital output code is just changing from 1111 1110 to 1111 1111. This value of $V_{REF}/2$ should then be used for all the tests.

The digital output LED display can be decoded by dividing the 8 bits into 2 hex characters, the 4 most significant (MS) and the 4 least significant (LS). Table I shows the fractional binary equivalent of these two 4-bit groups. By adding the voltages obtained from the "VMS" and "VLS" columns in Table I, the nominal value of the digital display (when $V_{REF}/2$ = 2.560V) can be determined. For example, for an output LED display of 1011 0110 or B6 (in hex), the voltage values from the table are 3.520 + 0.120 or 3.640 $V_{DC}$. These voltage values represent the center-values of a perfect A/D converter. The effects of quantization error have to be accounted for in the interpretation of the test results.




TL/H/5671–18

**FIGURE 7. Basic A/D Tester**

For a higher speed test system, or to obtain plotted data, a digital-to-analog converter is needed for the test set-up. An accurate 10-bit DAC can serve as the precision voltage source for the A/D. Errors of the A/D under test can be expressed as either analog voltages or differences in 2 digital words.

A basic A/D tester that uses a DAC and provides the error as an analog output voltage is shown in *Figure 8*. The 2 op amps can be eliminated if a lab DVM with a numerical subtraction feature is available to read the difference voltage, "A−C", directly. The analog input voltage can be supplied by a low frequency ramp generator and an X-Y plotter can be used to provide analog error (Y axis) versus analog input (X axis).

For operation with a microprocessor or a computer-based test system, it is more convenient to present the errors digitally. This can be done with the circuit of *Figure 9*, where the output code transitions can be detected as the 10-bit DAC is incremented. This provides ¼ LSB steps for the 8-bit A/D under test. If the results of this test are automatically plotted with the analog input on the X axis and the error (in LSB's) as the Y axis, a useful transfer function of the A/D under test results. For acceptance testing, the plot is not necessary and the testing speed can be increased by establishing internal limits on the allowed error for each code.

### 4.0 MICROPROCESSOR INTERFACING

To dicuss the interface with 8080A and 6800 microprocessors, a common sample subroutine structure is used. The microprocessor starts the A/D, reads and stores the results of 16 successive conversions, then returns to the user's program. The 16 data bytes are stored in 16 successive memory locations. All Data and Addresses will be given in hexadecimal form. Software and hardware details are provided separately for each type of microprocessor.

#### 4.1 Interfacing 8080 Microprocessor Derivatives (8048, 8085)

This converter has been designed to directly interface with derivatives of the 8080 microprocessor. The A/D can be mapped into memory space (using standard memory address decoding for $\overline{CS}$ and the $\overline{MEMR}$ and $\overline{MEMW}$ strobes) or it can be controlled as an I/O device by using the $\overline{I/O\ R}$ and $\overline{I/O\ W}$ strobes and decoding the address bits A0 → A7 (or address bits A8 → A15 as they will contain the same 8-bit address information) to obtain the $\overline{CS}$ input. Using the I/O space provides 256 additional addresses and may allow a simpler 8-bit address decoder but the data can only be input to the accumulator. To make use of the additional memory reference instructions, the A/D should be mapped into memory space. An example of an A/D in I/O space is shown in *Figure 10*.



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

National Semiconductor

# DAC0800/DAC0801/DAC0802 8-Bit Digital-to-Analog Converters

## General Description

The DAC0800 series are monolithic 8-bit high-speed current-output digital-to-analog converters (DAC) featuring typical settling times of 100 ns. When used as a multiplying DAC, monotonic performance over a 40 to 1 reference current range is possible. The DAC0800 series also features high compliance complementary current outputs to allow differential output voltages of 20 Vp-p with simple resistor loads as shown in *Figure 1*. The reference-to-full-scale current matching of better than ±1 LSB eliminates the need for full-scale trims in most applications while the nonlinearities of better than ±0.1% over temperature minimizes system error accumulations.

The noise immune inputs of the DAC0800 series will accept TTL levels with the logic threshold pin, $V_{LC}$, grounded. Changing the $V_{LC}$ potential will allow direct interface to other logic families. The performance and characteristics of the device are essentially unchanged over the full ±4.5V to ±18V power supply range; power dissipation is only 33 mW with ±5V supplies and is independent of the logic input states.

The DAC0800, DAC0802, DAC0800C, DAC0801C and DAC0802C are a direct replacement for the DAC-08, DAC-08A, DAC-08C, DAC-08E and DAC-08H, respectively.

## Features

- Fast settling output current — 100 ns
- Full scale error — ±1 LSB
- Nonlinearity over temperature — ±0.1%
- Full scale current drift — ±10 ppm/°C
- High output compliance — −10V to +18V
- Complementary current outputs
- Interface directly with TTL, CMOS, PMOS and others
- 2 quadrant wide range multiplying capability
- Wide power supply range — ±4.5V to ±18V
- Low power consumption — 33 mW at ±5V
- Low cost

## Typical Applications

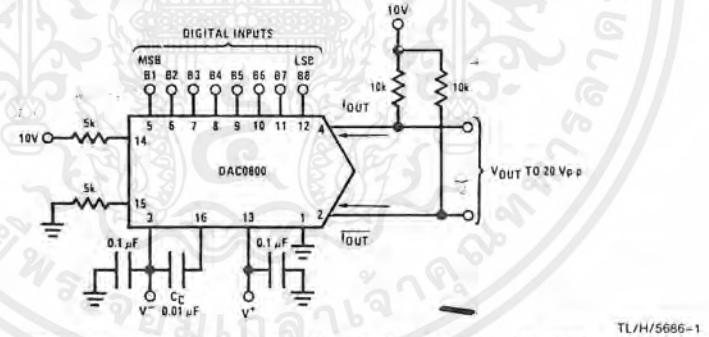



**FIGURE 1. ±20 $V_{P-P}$ Output Digital-to-Analog Converter (Note 4)**

## Ordering Information

| Non-Linearity | Temperature Range | Order Numbers | | | | |
|---|---|---|---|---|---|---|
| | | J Package (J16A)* | | N Package (N16A)* | | SO Package (M16A) |
| ±0.1% FS | 0°C ≤ $T_A$ ≤ +70°C | DAC0802LCJ | DAC-08HQ | DAC0802LCN | DAC-08HP | DAC0802LCM |
| ±0.19% FS | −55°C ≤ $T_A$ ≤ +125°C | DAC0800LJ | DAC-08Q | | | |
| ±0.19% FS | 0°C ≤ $T_A$ ≤ +70°C | DAC0800LCJ | DAC-08EQ | DAC0800LCN | DAC-08EP | DAC0800LCM |
| ±0.39% FS | 0°C ≤ $T_A$ ≤ +70°C | | | DAC0801LCN | DAC-08CP | DAC0801LCM |

*Devices may be ordered by using either order number.



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

## Absolute Maximum Ratings (Note 1)

**If Military/Aerospace specified devices are required, please contact the National Semiconductor Sales Office/Distributors for availability and specifications.**

| | |
|---|---|
| Supply Voltage ($V^+ - V^-$) | ±18V or 36V |
| Power Dissipation (Note 2) | 500 mW |
| Reference Input Differential Voltage (V14 to V15) | $V^-$ to $V^+$ |
| Reference Input Common-Mode Range (V14, V15) | $V^-$ to $V^+$ |
| Reference Input Current | 5 mA |
| Logic Inputs | $V^-$ to $V^-$ plus 36V |
| Analog Current Outputs ($V_S^- = -15V$) | 4.25 mA |
| ESD Susceptibility (Note 3) | TBD V |
| Storage Temperature | −65°C to +150°C |
| Lead Temp. (Soldering, 10 seconds) | |
| Dual-In-Line Package (plastic) | 260°C |
| Dual-In-Line Package (ceramic) | 300°C |
| Surface Mount Package | |
| Vapor Phase (60 seconds) | 215°C |
| Infrared (15 seconds) | 220°C |

## Operating Conditions (Note 1)

| | Min | Max | Units |
|---|---|---|---|
| Temperature ($T_A$) | | | |
| DAC0800L | −55 | +125 | °C |
| DAC0800LC | 0 | +70 | °C |
| DAC0801LC | 0 | +70 | °C |
| DAC0802LC | 0 | +70 | °C |

## Electrical Characteristics

The following specifications apply for $V_S = \pm 15V$, $I_{REF} = 2$ mA and $T_{MIN} \le T_A \le T_{MAX}$ unless otherwise specified. Output characteristics refer to both $I_{OUT}$ and $\overline{I_{OUT}}$.

| Symbol | Parameter | Conditions | DAC0802LC | | | DAC0800L/ DAC0800LC | | | DAC0801LC | | | Units |
|---|---|---|---|---|---|---|---|---|---|---|---|---|
| | | | Min | Typ | Max | Min | Typ | Max | Min | Typ | Max | |
| | Resolution | | 8 | 8 | 8 | 8 | 8 | 8 | 8 | 8 | 8 | Bits |
| | Monotonicity | | 8 | 8 | 8 | 8 | 8 | 8 | 8 | 8 | 8 | Bits |
| | Nonlinearity | | | | ±0.1 | | | ±0.19 | | | ±0.39 | %FS |
| $t_s$ | Settling Time | To ±½ LSB, All Bits Switched "ON" or "OFF", $T_A = 25°C$ | | 100 | 135 | | | | | 100 | 150 | ns |
| | | DAC0800L | | | | | 100 | 135 | | | | ns |
| | | DAC0800LC | | | | | 100 | 150 | | | | ns |
| tPLH, tPHL | Propagation Delay | $T_A = 25°C$ | | | | | | | | | | |
| | Each Bit | | | 35 | 60 | | 35 | 60 | | 35 | 60 | ns |
| | All Bits Switched | | | 35 | 60 | | 35 | 60 | | 35 | 60 | ns |
| $TCI_{FS}$ | Full Scale Tempco | | | ±10 | ±50 | | ±10 | ±50 | | ±10 | ±80 | ppm/°C |
| $V_{OC}$ | Output Voltage Compliance | Full Scale Current Change <½ LSB, $R_{OUT} > 20$ MΩ Typ | −10 | | 18 | −10 | | 18 | −10 | | 18 | V |
| $I_{FS4}$ | Full Scale Current | $V_{REF} = 10.000V$, R14 = 5.000 kΩ R15 = 5.000 kΩ, $T_A = 25°C$ | 1.984 | 1.992 | 2.000 | 1.94 | 1.99 | 2.04 | 1.94 | 1.99 | 2.04 | mA |
| $I_{FSS}$ | Full Scale Symmetry | $I_{FS4} - I_{FS2}$ | | ±0.5 | ±4.0 | | ±1 | ±8.0 | | ±2 | ±16 | μA |
| $I_{ZS}$ | Zero Scale Current | | | 0.1 | 1.0 | | 0.2 | 2.0 | | 0.2 | 4.0 | μA |
| $I_{FSR}$ | Output Current Range | $V^- = -5V$ | 0 | 2.0 | 2.1 | 0 | 2.0 | 2.1 | 0 | 2.0 | 2.1 | mA |
| | | $V^- = -8V$ to $-18V$ | 0 | 2.0 | 4.2 | 0 | 2.0 | 4.2 | 0 | 2.0 | 4.2 | mA |
| | Logic Input Levels | | | | | | | | | | | |
| $V_{IL}$ | Logic "0" | $V_{LC} = 0V$ | | | 0.8 | | | 0.8 | | | 0.8 | V |
| $V_{IH}$ | Logic "1" | | 2.0 | | | 2.0 | | | 2.0 | | | V |
| | Logic Input Current | $V_{LC} = 0V$ | | | | | | | | | | |
| $I_{IL}$ | Logic "0" | $-10V \le V_{IN} \le +0.8V$ | | −2.0 | −10 | | −2.0 | −10 | | −2.0 | −10 | μA |
| $I_{IH}$ | Logic "1" | $2V \le V_{IN} \le +18V$ | | 0.002 | 10 | | 0.002 | 10 | | 0.002 | 10 | μA |
| $V_{IS}$ | Logic Input Swing | $V^- = -15V$ | −10 | | 18 | −10 | | 18 | −10 | | 18 | V |
| $V_{THR}$ | Logic Threshold Range | $V_S = \pm 15V$ | −10 | | 13.5 | −10 | | 13.5 | −10 | | 13.5 | V |
| $I_{15}$ | Reference Bias Current | | | −1.0 | −3.0 | | −1.0 | −3.0 | | −1.0 | −3.0 | μA |
| dI/dt | Reference Input Slew Rate | *(Figure 12)* | 4.0 | 8.0 | | 4.0 | 8.0 | | 4.0 | 8.0 | | mA/μs |
| $PSSI_{FS+}$ | Power Supply Sensitivity | $4.5V \le V+ \le 18V$ | | 0.0001 | 0.01 | | 0.0001 | 0.01 | | 0.0001 | 0.01 | %/% |
| $PSSI_{FS-}$ | | $-4.5V \le V^- \le 18V$ $I_{REF} = 1$mA | | 0.0001 | 0.01 | | 0.0001 | 0.01 | | 0.0001 | 0.01 | %/% |
| | Power Supply Current | $V_S = \pm 5V$, $I_{REF} = 1$ mA | | | | | | | | | | |
| I+ | | | | 2.3 | 3.8 | | 2.3 | 3.8 | | 2.3 | 3.8 | mA |
| I− | | | | −4.3 | −5.8 | | −4.3 | −5.8 | | −4.3 | −5.8 | mA |
| | | $V_S = 5V, -15V$, $I_{REF} = 2$ mA | | | | | | | | | | |
| I+ | | | | 2.4 | 3.8 | | 2.4 | 3.8 | | 2.4 | 3.8 | mA |
| I− | | | | −6.4 | −7.8 | | −6.4 | −7.8 | | −6.4 | −7.8 | mA |
| | | $V_S = \pm 15V$, $I_{REF} = 2$ mA | | | | | | | | | | |
| I+ | | | | 2.5 | 3.8 | | 2.5 | 3.8 | | 2.5 | 3.8 | mA |
| I− | | | | −6.5 | −7.8 | | −6.5 | −7.8 | | −6.5 | −7.8 | mA |



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

## Electrical Characteristics (Continued)

The following specifications apply for $V_S = \pm 15V$, $I_{REF} = 2$ mA and $T_{MIN} \leq T_A \leq T_{MAX}$ unless otherwise specified. Output characteristics refer to both $I_{OUT}$ and $\overline{I_{OUT}}$.

| Symbol | Parameter | Conditions | DAC0802LC | | | DAC0800L/ DAC0800LC | | | DAC0801LC | | | Units |
|---|---|---|---|---|---|---|---|---|---|---|---|---|
| | | | Min | Typ | Max | Min | Typ | Max | Min | Typ | Max | |
| $P_D$ | Power Dissipation | $\pm 5V$, $I_{REF} = 1$ mA | | 33 | 48 | | 33 | 48 | | 33 | 48 | mW |
| | | 5V, −15V, $I_{REF} = 2$ mA | | 108 | 136 | | 108 | 136 | | 108 | 136 | mW |
| | | $\pm 15V$, $I_{REF} = 2$ mA | | 135 | 174 | | 135 | 174 | | 135 | 174 | mW |

**Note 1:** Absolute Maximum Ratings indicate limits beyond which damage to the device may occur. DC and AC electrical specifications do not apply when operating the device beyond its specified operating conditions.

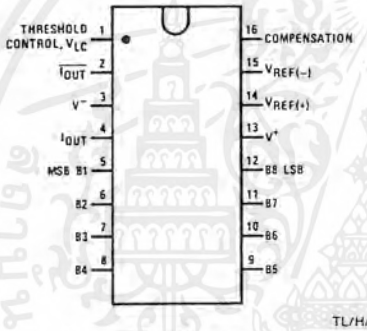
**Note 2:** The maximum junction temperature of the DAC0800, DAC0801 and DAC0802 is 125°C. For operating at elevated temperatures, devices in the Dual-In-Line J package must be derated based on a thermal resistance of 100°C/W, junction-to-ambient, 175°C/W for the molded Dual-In-Line N package and 100°C/W for the Small Outline M package.

**Note 3:** Human body model, 100 pF discharged through a 1.5 kΩ resistor.

**Note 4:** Pin-out numbers for the DAC080X represent the Dual-In-Line package. The Small Outline package pin-out differs from the Dual-In-Line package.

## Connection Diagrams

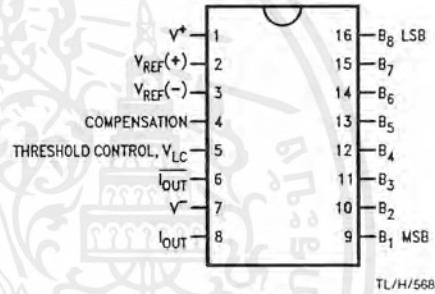
**Dual-In-Line Package**




Top View

TL/H/5686–13

**Small Outline Package**

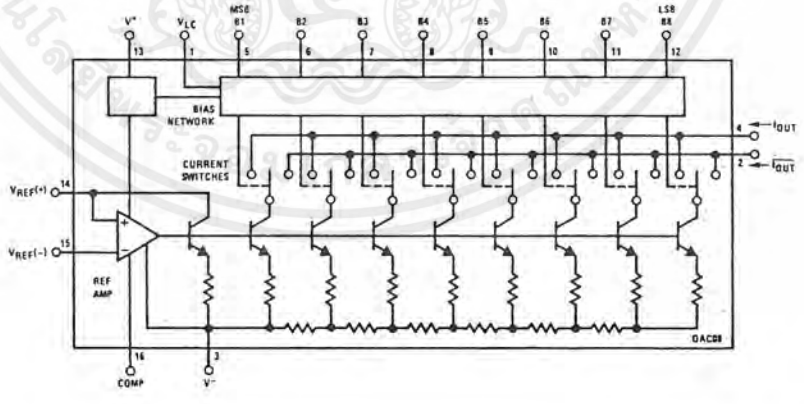



Top View

TL/H/5686–14

See Ordering Information

## Block Diagram (Note 4)



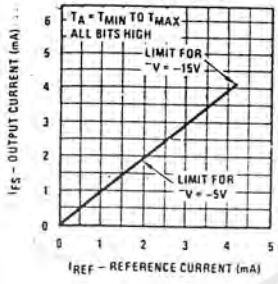

TL/H/5686–2



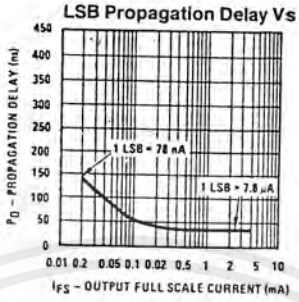
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

## Typical Performance Characteristics

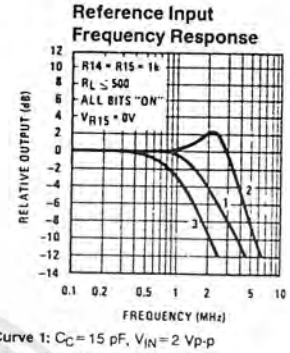
**Full Scale Current vs Reference Current**




**LSB Propagation Delay Vs $I_{FS}$**




**Reference Input Frequency Response**

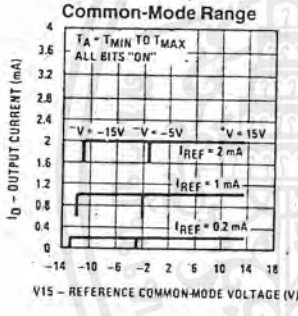



**Curve 1:** $C_C = 15$ pF, $V_{IN} = 2$ Vp-p centered at 1V.

**Curve 2:** $C_C = 15$ pF, $V_{IN} = 50$ mVp-p centered at 200 mV.

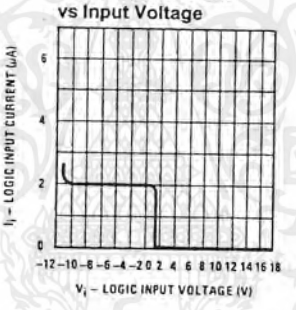
**Curve 3:** $C_C = 0$ pF, $V_{IN} = 100$ mVp-p at 0V and applied through 50 Ω connected to pin 14.2V applied to R14.

**Reference Amp Common-Mode Range**

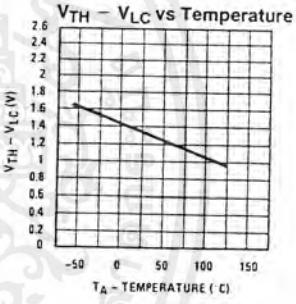



Note. Positive common-mode range is always (V+) − 1.5V

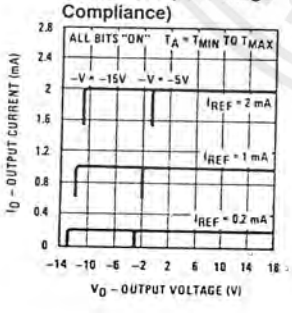
**Logic Input Current vs Input Voltage**



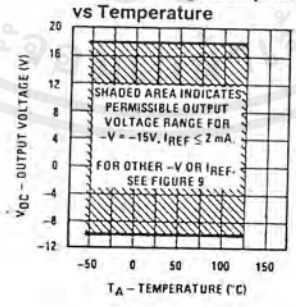

**$V_{TH} - V_{LC}$ vs Temperature**



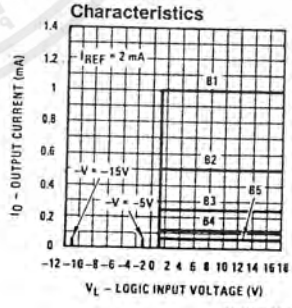

**Output Current vs Output Voltage (Output Voltage Compliance)**




**Output Voltage Compliance vs Temperature**




**Bit Transfer Characteristics**




TL/H/5686-3

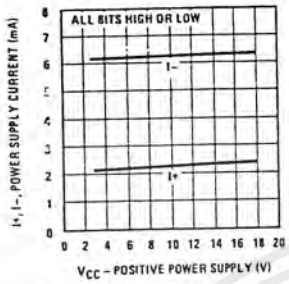
Note. B1–B8 have identical transfer characteristics. Bits are fully switched with less than ½ LSB error, at less than ±100 mV from actual threshold. These switching points are guaranteed to lie between 0.8 and 2V over the operating temperature range ($V_{LC}$ = 0V).



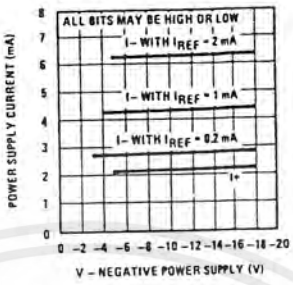
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

## Typical Performance Characteristics (Continued)

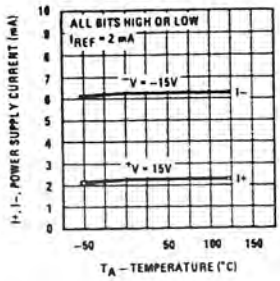
**Power Supply Current vs +V**




**Power Supply Current vs −V**

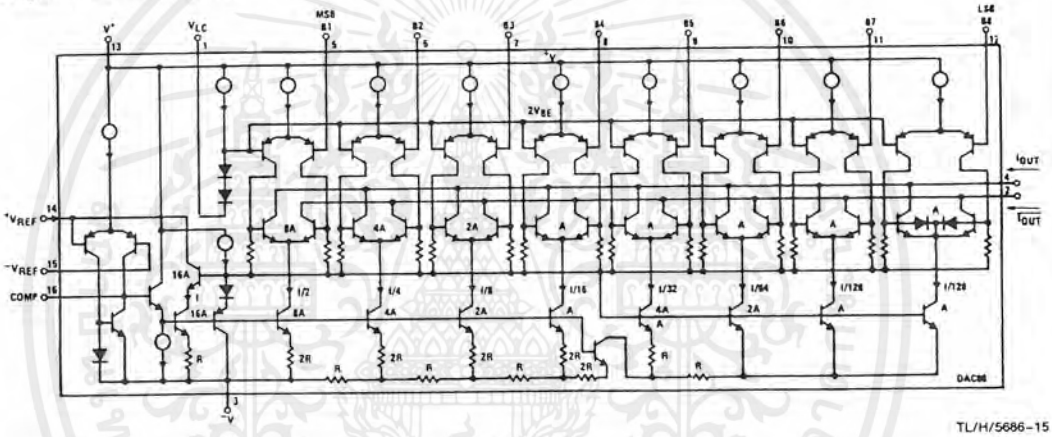



**Power Supply Current vs Temperature**




TL/H/5686–4

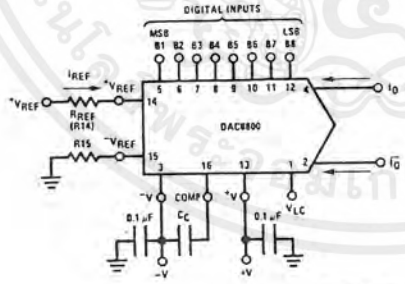
## Equivalent Circuit




TL/H/5686–15

FIGURE 2

## Typical Applications (Continued)




$$I_{FS} \approx \frac{+V_{REF}}{R_{REF}} \times \frac{255}{256}$$

$I_O + \overline{I_O} = I_{FS}$ for all logic states

For fixed reference, TTL operation, typical values are:

$V_{REF} = 10.000V$

$R_{REF} = 5.000k$

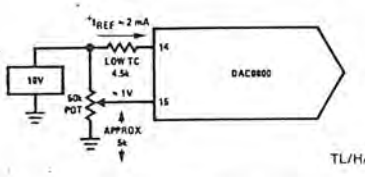
$R15 \approx R_{REF}$

$C_C = 0.01\ \mu F$

$V_{LC} = 0V$ (Ground)

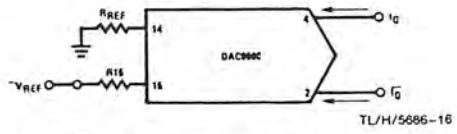
TL/H/5686–5

FIGURE 3. Basic Positive Reference Operation (Note 4)




TL/H/5686–21

FIGURE 4. Recommended Full Scale Adjustment Circuit (Note 4)




TL/H/5686–16

$$I_{FS} \approx \frac{-V_{REF}}{R_{REF}} \times \frac{255}{256}$$

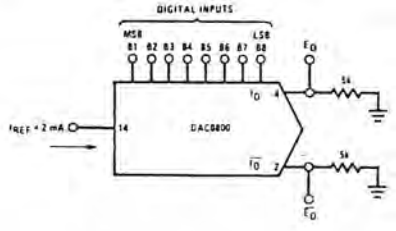
Note. $R_{REF}$ sets $I_{FS}$; R15 is for bias current cancellation

FIGURE 5. Basic Negative Reference Operation (Note 4)



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

## Typical Applications (Continued)




TL/H/5686–17

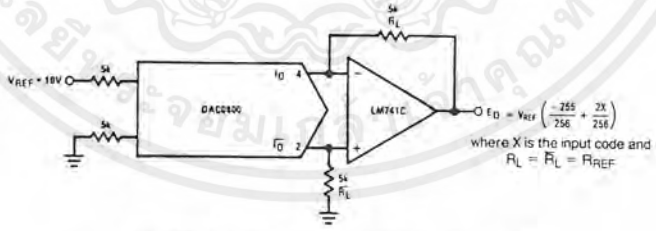
| | B1 | B2 | B3 | B4 | B5 | B6 | B7 | B8 | $I_O$ mA | $\overline{I_O}$ mA | $E_O$ | $\overline{E_O}$ |
|---|---|---|---|---|---|---|---|---|---|---|---|---|
| Full Scale | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1.992 | 0.000 | −9.960 | 0.000 |
| Full Scale − LSB | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 0 | 1.984 | 0.008 | −9.920 | −0.040 |
| Half Scale + LSB | 1 | 0 | 0 | 0 | 0 | 0 | 0 | 1 | 1.008 | 0.984 | −5.040 | −4.920 |
| Half Scale | 1 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 1.000 | 0.992 | −5.000 | −4.960 |
| Half Scale − LSB | 0 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 0.992 | 1.000 | −4.960 | −5.000 |
| Zero Scale + LSB | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 1 | 0.008 | 1.984 | −0.040 | −9.920 |
| Zero Scale | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0.000 | 1.992 | 0.000 | −9.960 |

**FIGURE 6. Basic Unipolar Negative Operation (Note 4)**

TL/H/5686–6

| | B1 | B2 | B3 | B4 | B5 | B6 | B7 | B8 | $E_O$ | $\overline{E_O}$ |
|---|---|---|---|---|---|---|---|---|---|---|
| Pos. Full Scale | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | −9.920 | +10.000 |
| Pos. Full Scale − LSB | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 0 | −9.840 | +9.920 |
| Zero Scale + LSB | 1 | 0 | 0 | 0 | 0 | 0 | 0 | 1 | −0.080 | +0.160 |
| Zero Scale | 1 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0.000 | +0.080 |
| Zero Scale − LSB | 0 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | +0.080 | 0.000 |
| Neg. Full Scale + LSB | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 1 | +9.920 | −9.840 |
| Neg. Full Scale | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | +10.000 | −9.920 |

**FIGURE 7. Basic Bipolar Output Operation (Note 4)**




TL/H/5686–18

If $R_L = \overline{R_L}$ within ±0.05%, output is symmetrical about ground

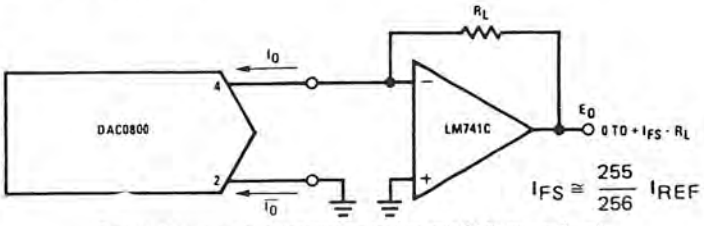
| | B1 | B2 | B3 | B4 | B5 | B6 | B7 | B8 | $E_O$ |
|---|---|---|---|---|---|---|---|---|---|
| Pos. Full Scale | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | +9.960 |
| Pos. Full Scale − LSB | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 0 | +9.880 |
| (+)Zero Scale | 1 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | +0.040 |
| (−)Zero Scale | 0 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | −0.040 |
| Neg. Full Scale + LSB | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 1 | −9.880 |
| Neg. Full Scale | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | −9.960 |

**FIGURE 8. Symmetrical Offset Binary Operation (Note 4)**



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

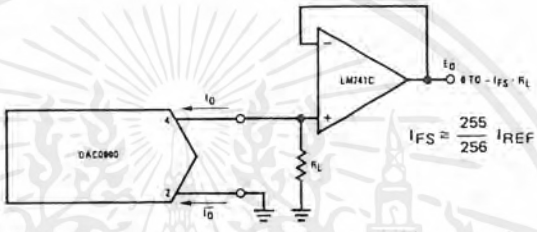
## Typical Applications (Continued)




TL/H/5686–19

For complementary output (operation as negative logic DAC), connect inverting input of op amp to $\overline{I_O}$ (pin 2), connect $I_O$ (pin 4) to ground.

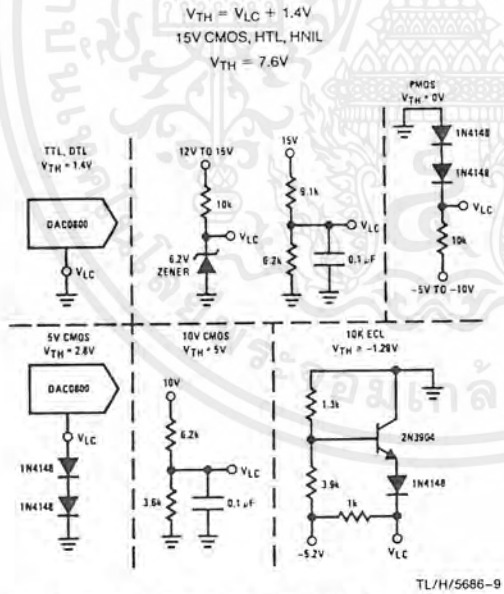
**FIGURE 9. Positive Low Impedance Output Operation (Note 4)**




TL/H/5686–20

For complementary output (operation as a negative logic DAC) connect non-inverting input of op am to $\overline{I_O}$ (pin 2); connect $I_O$ (pin 4) to ground.

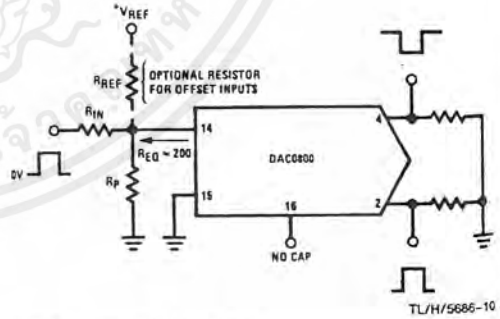
**FIGURE 10. Negative Low Impedance Output Operation (Note 4)**




TL/H/5686–9

Note. Do not exceed negative logic input range of DAC.

**FIGURE 11. Interfacing with Various Logic Families**




TL/H/5686–10

Typical values: $R_{IN} = 5k, +V_{IN} = 10V$

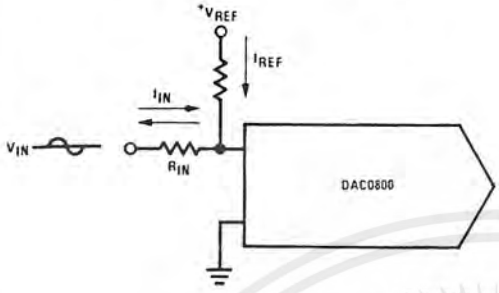
**FIGURE 12. Pulsed Reference Operation (Note 4)**



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

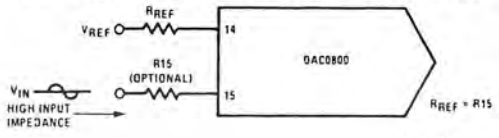
## Typical Applications (Continued)

(a) $I_{REF} \geq$ peak negative swing of $I_{IN}$



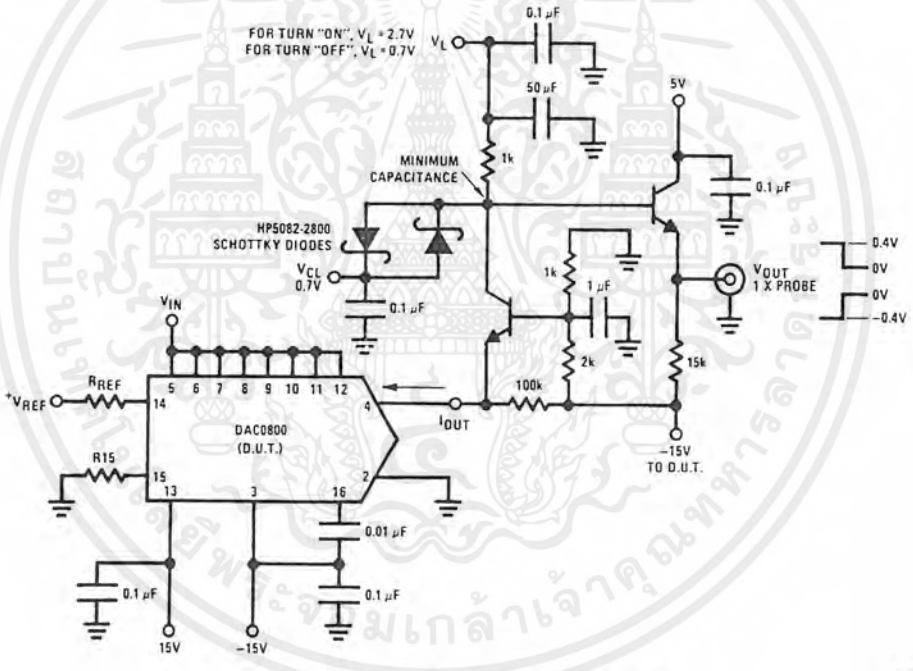

TL/H/5686-11

(b) $+V_{REF}$ must be above peak positive swing of $V_{IN}$




TL/H/5686-12

FIGURE 13. Accommodating Bipolar References (Note 4)



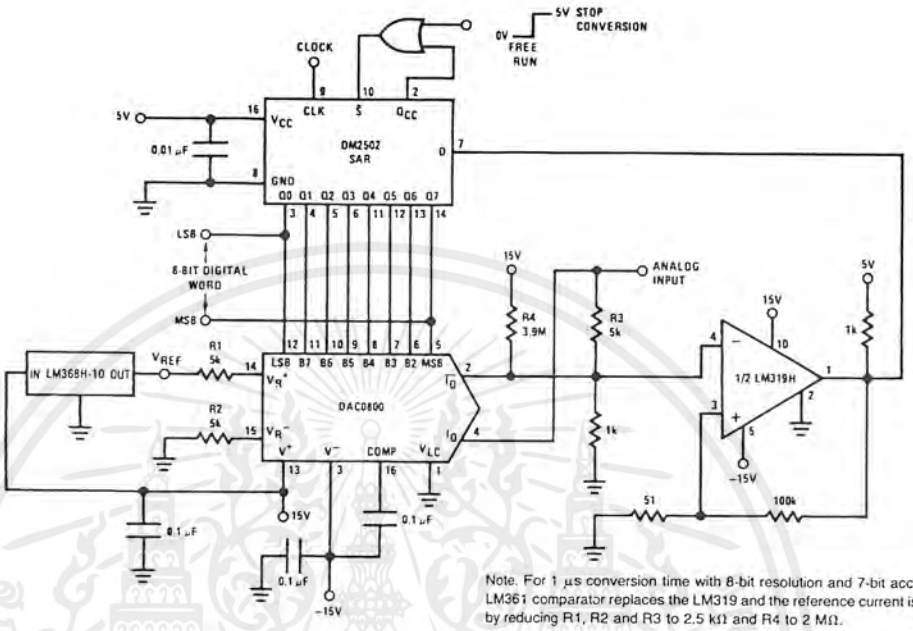

TL/H/5686-7

FIGURE 14. Settling Time Measurement (Note 4)



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

## Typical Applications (Continued)




Note. For 1 μs conversion time with 8-bit resolution and 7-bit accuracy, an LM361 comparator replaces the LM319 and the reference current is doubled by reducing R1, R2 and R3 to 2.5 kΩ and R4 to 2 MΩ.

TL/H/5686–8

**FIGURE 15. A Complete 2 μs Conversion Time, 8-Bit A/D Converter (Note 4)**



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

# กิตติกรรมประกาศ

โครงงานชิ้นนี้สำเร็จลุล่วงลงด้วยดีเนื่องจากตลอดระยะเวลาในการโครงงานชิ้นนี้ ผศ.พลผดุง ผดุงกุล อาจารย์ที่ปรึกษาและอาจารย์ประจำภาควิชาอิเล็กทรอนิกส์ทุกท่านได้กรุณาให้คำปรึกษาและคำแนะนำเมื่อประสบปัญญาข้อข้องใจต่างๆ ที่ไม่สามารถแก้ไขด้วยตนเองได้ตลอดจนเอื้อเฟื้อทางด้านเครื่องและอุปกรณ์การทดลอง นอกจากนี้ยังได้รับความช่วยเหลือจากรุ่นพี่และเพื่อนๆทุกคนทั้งคำแนะนำหนังสือคู่มือและอุปกรณ์ต่างๆ ผู้จัดทำจึงขอขอบพระคุณอาจารย์ทุกท่าน ขอบคุณรุ่นพี่และเพื่อนๆทุกคนมา ณ โอกาสนี้

.....

(นางสาวกานต์มณี กุลวานิช)

.....

(นางสาวจตุพร เพชรประไพ)

ผู้จัดทำ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

# เอกสารอ้างอิง


1. ไพบูลย์ ธานินทร์สุรัตน์และ ผศ.พลผดุง ผดุงกุล, การควบคุมและแสดงผลแบบพัลซ์วิดธ์ดิฟเฟอเรนเชียล ซีเควนเชียลคอนโทรล,การประชุมวิชาการทางวิศวกรรมไฟฟ้า ครั้งที่ 18 ,หน้า 444-447.
2. John L. Hilburn and David E. Johnson, Manual of Active Filter Design, McGraw-Hill Book Company
3. John L. Hilburn and David E. Johnson,Rapid Practical Designs of Active Filters , John Wiley&Sons
4. ภาควิชาอิเล็กทรอนิกส์ สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง, Data Acquisition and Conversion, เอกสารประกอบปฏิบัติการอิเล็กทรอนิกส์ EL 327



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้