สำนักหอสมุดกลาง พระจอมเกล้าลาดกระบัง

เครื่องรับ-เครื่องส่งสัญญาณดิจิตอล 8PSK

8PSK Digital Signal Transmitter And Receiver

โดย

นางสาวมนฤดี พรหมลิขิตชัย

นางสาวมาลิกะ สุธรรมพิทักษ์

เลขหมู่
เลขทะเบียน 42189
วัน, เดือน, ปี 15 พ.ค. 2545

.b.....
.i.....

ปริญญานิพนธ์นี้เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรปริญญาวิศวกรรมศาสตรบัณฑิต

สาขาวิชาวิศวกรรมโทรคมนาคม

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

ปีการศึกษา 2543

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

b11206404

เครื่องรับ-เครื่องส่งสัญญาณดิจิตอล 8PSK

8PSK Digital Signal Transmitter And Receiver

โดย

นางสาวมนฤดี พรหมลิขิตชัย 40010584

นางสาวมาลิกะ สุธรรมพิทักษ์ 40010601

อาจารย์ที่ปรึกษา

อ.สมเกียรติ ฤกษ์วรัญญู

ปริญญานิพนธ์นี้เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรปริญญาวิศวกรรมศาสตรบัณฑิต

สาขาวิชาวิศวกรรมโทรคมนาคม

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

ปีการศึกษา 2543

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ปริญญานิพนธ์ปีการศึกษา 2543

ภาควิชาวิศวกรรมโทรคมนาคม

คณะวิศวกรรมศาสตร์ สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

เรื่อง **เครื่องรับ-เครื่องส่งสัญญาณดิจิตอลแบบ 8-PSK**

8-PSK DIGITAL SIGNAL TRANSMITTER AND RESEIVER

ผู้จัดทำ

1. **น.ส. มนฤดี พรหมลิขิตชัย 40010584**
2. **น.ส. มาลิกะ สุธรรมพิทักษ์ 40010601**

อาจารย์ที่ปรึกษา

(อ. สมเกียรติ ฤกษ์วรัญญู)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เครื่องรับ-เครื่องส่งสัญญาณดิจิตอล 8PSK

8PSK Digital Signal Transmitter And Receiver

โดย นางสาวมนฤดี พรหมลิขิตชัย 40010584

นางสาวมาลิกะ สุธรรมพิทักษ์ 40010601

อาจารย์ที่ปรึกษา อ.สมเกียรติ ฤกษ์วรัญญู

บทคัดย่อ

โครงงานนี้นำเสนอเครื่องรับ-เครื่องส่งสัญญาณดิจิตอล โดยสัญญาณดิจิตอลที่ส่งไปนั้นมีความเร็ว 9600 bps ใช้หลักการมอดูเลทแบบ 8PSK โดยใช้ความถี่ 76.8 KHz แล้วส่งสัญญาณ 8PSK ที่มอดูเลทแล้วไปยังเครื่องรับ โดยผ่านสายนำสัญญาณ และเครื่องรับจะทำการดีมอดูเลทสัญญาณ 8PSK ให้กลับมาเป็นสัญญาณข้อมูลดิจิตอลดังเดิม

ABSTRACT

This project presents transmitter and receiver of digital signal. The transmission rate is 9600 bps, which is modulated by using the 8PSK and transmit the modulated siganl to the receiver by a transmission line. For the digital signal recovery, the receiver demodulates the 8PSK signal.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญ

		หน้า
บทที่ 1	**บทนำ**	1
บทที่ 2	**ทฤษฎีและหลักการ**	3
	2.1 ภาคส่งของระบบ 8PSK	4
	2.1.1 การพิจารณาแถบความถี่ของ 8PSK	6
	2.1.2 ประสิทธิภาพของแถบความถี่	7
	2.2 ภาครับของระบบ 8PSK	9
	2.3 แอคทีฟฟิลเตอร์	10
	2.4 เฟสล็อคลูป	12
	2.4.1 การสังเคราะห์ความถี่ด้วยเฟสล็อคลูป	14
บทที่ 3	**การคำนวณและการสร้าง**	15
	3.1 การออกแบบวงจรทางด้านภาคส่ง	15
	3.1.1 วงจรแยกสัญญาณดิจิตอล	16
	3.1.2 วงจรแปลง 2 บิทเป็น 4 ระดับ	17
	3.1.3 วงจรกำเนิดสัญญาณพาหะ 76.8 kHz	18
	3.1.4 วงจรกำเนิดสัญญาณ ไพล็อททโทน 48 k	19
	3.1.5 วงจรกรองช่วงความถี่	20
	3.1.6 วงจรเลื่อนเฟสสัญญาณพาหะ 90 องศา	21
	3.1.7 วงจรบาลานซ์มอดูเลเตอร์	22
	3.1.8 วงจรรวมสัญญาณมอดูเลท	23
	3.1.9 วงจรกำเนิดสัญญาณข้อมูล	24
	3.2 การออกแบบวงจรทางด้านภาครับ	25
	3.2.1 วงจรกู้สัญญาณนาฬิกา	26
	3.2.2 วงจรกู้สัญญาณพาหะ	27
	3.2.3 วงจรบาลานซ์ดีมอดูเลเตอร์	28
	3.2.4 วงจรแปลงสัญญาณ 4 ระดับเป็น 2 บิท	29
	3.2.5 วงจรรวมสัญญาณดิจิตอล	30
บทที่ 4	**การทดลองและผลการทดลอง**	38
	4.1 จุดประสงค์การทดลอง	38

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญ

		หน้า
บทที่ 4	4.2 การทดลองและผลการทดลองทางด้านภาคส่ง	38
	4.2.1 วงจรกำเนิดสัญญาณข้อมูล	38
	4.2.2 วงจรแปลง 2 บิทเป็น 4 ระดับ	39
	4.2.3 วงจรกำเนิดสัญญาณพาหะ 76.8 kHz	40
	4.2.4 วงจรกำเนิดสัญญาณไพล็อททโทน 48 k	41
	4.2.5 วงจรบาลานซ์มอดูเลเตอร์	42
	4.2.6 วงจรรวมสัญญาณมอดูเลท	43
	4.3 การทดลองและผลการทดลองทางด้านภาครับ	44
	4.3.1 วงจรกรองช่วงความถี่	44
	4.3.2 วงจรกู้สัญญาณนาฬิกา	45
	4.3.3 วงจรกู้สัญญาณพาหะ	46
	4.3.4 วงจรบาลานซ์ดีมอดูเลเตอร์	47
	4.3.5 วงจรแปลง 4 ระดับเป็น 2 บิท	48
บทที่ 5	**บทวิจารณ์และบทสรุป**	52
ภาคผนวก		
หนังสืออ้างอิง		

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญรูป

หน้า

บทที่ 1

รูปที่ 1.1 แสดงบล็อคไดอะแกรมของระบบการสื่อสารอิเล็คทรอนิกส์ 1

บทที่ 2

รูปที่ 2.1 แสดงบล็อคไดอะแกรมของเครื่องส่ง 8PSK มอดูเลเตอร์ 3

รูปที่ 2.2 แสดงระดับของสัญญาณของ PAM 4

รูปที่ 2.3 แสดงเฟสเซอร์ไดอะแกรม ของ 8PSK 5

รูปที่ 2.4 แสดงความสัมพันธ์ของเฟสเอาท์พุตเทียบกับเวลาสำหรับ 8PSK มอดูเลเตอร์ 6

รูปที่ 2.5 แสดงการพิจารณาแถบความถี่ของ 8PSK มอดูเลเตอร์ 6

รูปที่ 2.6 แสดงบล็อคไดอะแกรมเครื่องรับ 8PSK 9

รูปที่ 2.7 แสดงกราฟการตอบสนองความถี่ของวงจรฟิลเตอร์แบบต่างๆ 11

รูปที่ 2.8 แสดงบล็อคไดอะแกรมของวงจรเฟสล็อคลูป 13

รูปที่ 2.9 แสดงโครงสร้างเฟสล็อคลูปสำหรับการสังเคราะห์ความถี่ 14

บทที่ 3

รูปที่ 3.1 แสดงบล็อกไดอะแกรมของวงจรทางด้านภาคส่ง 15

รูปที่ 3.2 วงจรแยกสัญญาณดิจิตอล 16

รูปที่ 3.3 วงจรแปลงสัญญาณ 2บิท เป็น 4 ระดับ 18

รูปที่ 3.4 วงจรกำเนิดสัญญาณพาหะ 76.8 kHz 19

รูปที่ 3.5 วงจรกำเนิดสัญญาณไพล็อทโทน 48 kHz 20

รูปที่ 3.6 วงจร Positive Feedback Band-Pass Filter 21

รูปที่ 3.7 วงจรเลื่อนเฟส 90 องศา 22

รูปที่ 3.8 วงจรบาลานซ์มอดูเลเตอร์ 23

รูปที่ 3.9 วงจรรวมสัญญาณ 24

รูปที่ 3.10 วงจรกำเนิดสัญญาณข้อมูล 24

รูปที่ 3.11 แสดงบล็อคไดอะแกรมของวงจรทางด้านภาครับ 8PSK 25

รูปที่ 3.12 วงจรกรองความถี่ช่วง 72.8-80.8 kHz 26

รูปที่ 3.13 วงจรกู้สัญญาณนาฬิกา 27

รูปที่ 3.14 วงจรกู้สัญญาณพาหะ 28

รูปที่ 3.15 วงจรบาลานซ์ดีมอดูเลเตอร์ 29

เอกสารนี้เป็นเอกสารที่สงวนลิขสิทธิ์ไว้สำหรับใช้เพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญรูป

หน้า

บทที่ 3

รูปที่ 3.16 วงจรแปลงสัญญาณ 4 ระดับเป็น 2 บิท 30

รูปที่ 3.17 วงจรรวมสัญญาณดิจิตอล 31

รูปที่ 3.18 วงจรรวมภาคส่งส่วนที่1 32

รูปที่ 3.19 วงจรรวมภาคส่งส่วนที่2 33

รูปที่ 3.20 วงจรรวมภาคส่งส่วนที่3 34

รูปที่ 3.21 วงจรรวมภาครับส่วนที่1 35

รูปที่ 3.22 วงจรรวมภาครับส่วนที่2 36

รูปที่ 3.23 วงจรรวมภาครับส่วนที่3 37

บทที่ 4

รูปที่ 4.1 แสดงสัญญาณนาฬิกา 9.6kHz เทียบกับสัญญาณที่ได้จากวงจรกำเนิดสัญญาณข้อมูล 111011001010000 38

รูปที่ 4.2 แสดงสัญญาณที่แปลงจาก2บิทเป็น4ระดับ 39

รูปที่ 4.3 แสดงสัญญาณพาหะ 76.8 kHz เทียบกับสัญญาณพาหะ 76.8kHz ที่เลื่อนไป 90 องศา 40

รูปที่ 4.4 แสดงเฟสของสัญญาณพาหะ 76.8 kHz เทียบกับสัญญาณพาหะ 76.8kHz ที่เลื่อนไป 90 องศา 40

รูปที่ 4.5 แสดงสัญญาณไพล็อทโทน 48 kHz 41

รูปที่ 4.6 แสดงสัญญาณจากวงจรบาลานซ์มอดูเลเตอร์เทียบกับสัญญาณ 4 ระดับชุดบิท I กับ C 42

รูปที่ 4.7 แสดงสัญญาณจากวงจรบาลานซ์มอดูเลเตอร์เทียบกับสัญญาณ 4 ระดับชุดบิท Q กับ`C 42

รูปที่ 4.8 แสดงสัญญาณ 8PSK จากเครื่องส่ง 43

รูปที่ 4.9 แสดงสัญญาณ 8PSK จากเครื่องส่งแบบสเปคตรัม 43

รูปที่ 4.10 แสดงสัญญาณเอาท์พุตของวงจรกรองช่วงความถี่ที่ 76.8 kHz เทียบกับสัญญาณอินพุตที่มีหลายความถี่แบบสเปคตัม 44

รูปที่ 4.11 แสดงสัญญาณเอาท์พุตของวงจรกรองช่วงความถี่ที่ 48 kHz เทียบกับสัญญาณอินพุตที่มีหลายความถี่แบบสเปคตัม 44

รูปที่ 4.12 แสดงสัญญาณนาฬิกา 9.6 kHz ที่กู้ได้จากวงจรกู้สัญญาณนาฬิกาทางด้านภาครับเทียบกับสัญญาณนาฬิกา 9.6 kHz ทางด้านภาคส่ง 45

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญรูป

หน้า

บทที่ 4

รูปที่ 4.13 แสดงสัญญาณพาหะ 76.8 kHz ที่ได้จากวงจรกู้สัญญาณพาหะเทียบกับสัญญาณพาหะ 76.8 kHz ทางด้านภาคส่ง 46

รูปที่ 4.14 แสดงสัญญาณที่ออกจากวงจรบาลานซ์ดีมอดูเลเตอร์ทางด้านช่วงสัญญาณ I เทียบกับสัญญาณ 4 ระดับทางด้านภาคส่ง 47

รูปที่ 4.15 แสดงสัญญาณที่ออกจากวงจรบาลานซ์ดีมอดูเลเตอร์ทางด้านช่วงสัญญาณ Q เทียบกับสัญญาณ 4 ระดับทางด้านภาคส่ง 47

รูปที่ 4.16 แสดงสัญญาณ 2 ระดับที่เป็น 1 ในกรณีที่สัญญาณ 4 ระดับมีระดับแรงดันสูงที่สุด 48

รูปที่ 4.17 แสดงสัญญาณ 2 ระดับที่เป็น 1 ในกรณีที่สัญญาณ 4 ระดับมีระดับแรงดันต่ำที่สุดและต่ำเป็นอันดับที่ 2 49

รูปที่ 4.18 แสดงสัญญาณ 2 ระดับที่เป็น 1 ในกรณีที่สัญญาณ 4 ระดับมีระดับแรงดันต่ำที่สุด 49

รูปที่ 4.19 แสดงสัญญาณเอาท์พุตที่เป็นข้อมูลดิจิตอลทางภาครับเทียบกับข้อมูลดิจิตอลทางภาคส่ง 50

รูปที่ 4.20 กราฟแสดงคุณสมบัติวงจรกรองความถี่ 48kHz 51

รูปที่ 4.21 กราฟแสดงคุณสมบัติวงจรกรองความถี่ 75.2-78.4kHz 51

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญตาราง

หน้า

บทที่ 2

ตารางที่ 2.1 แสดงตารางความจริงของ I และ Q ที่เปลี่ยนแปลงได้ทั้ง 4 ระดับ 3
ตารางที่ 2.2 แสดงค่าความจริงของวงจรแปลง 2 ลอจิกเป็น 4 ระดับ 4
ตารางที่ 2.3 แสดงค่าแถบความถี่ที่น้อยที่สุดของรูปแบบการมอดูเลทแบบต่างๆ 7
ตารางที่ 2.4 สรุปข้อแตกต่างของ FSK ,PSK และ QAM 8

บทที่ 3

ตารางที่ 3.1 แสดงการแปลงรหัสจาก Binary Code ไปเป็น Gray Code 17
ตารางที่ 3.2 แสดงระดับการแปลงสัญญาณ 17
ตารางที่ 3.3 แสดงการตรวจจับระดับสัญญาณแล้วแปลงสัญญาณเป็นรหัสเกรย์โค้ด 30

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 1
บทนำ

ช่วงเวลาหลายปีที่ผ่านมาระบบการสื่อสารอิเลคทรอนิกส์ (Electronic Communication) ได้รับความสนใจในด้านการเปลี่ยนแปลงเทคโนโลยีที่พัฒนาขึ้นเรื่อยๆจากระบบการสื่อสารที่ใช้เทคนิคการมอดูเลทแบบอนาลอก(Analog Communication System) เช่น แอมปลิจูดมอดูเลชั่น (AM) , ฟรีเควนซีมอดูเลชั่น (FM) และเฟสมอดูเลชั่น(PM) จะเปลี่ยนไปใช้ระบบการสื่อสารแบบดิจิตอลมากขึ้น ระบบการสื่อสารแบบดิจิตอล (Digital Communication System) จะได้รับประโยชน์มากกว่าระบบอนาล็อก ทั้งในด้านกระบวนการมัลติเพล็กซ์ และการกำจัดสัญญาณรบกวนโดยแท้จริงแล้วระบบการสื่อสารอิเลคทรอนิกส์คือ การส่ง การรับ และขบวนการข่าวสาร โดยใช้วงจรอิเลคทรอนิกส์

รูปที่ 1.1 แสดงบล็อคไดอะแกรมของระบบการสื่อสารอิเลคทรอนิกส์

จากรูปที่ 1.1 ระบบการสื่อสารแบบดิจิตอลประกอบด้วย 3 ส่วนคือ แหล่งกำเนิด, ปลายทางและสื่อกลาง ข่าวสารที่ถูกส่งไปในระบบการสื่อสารจากแหล่งกำเนิดนั้นไม่เหมาะที่จะส่งในรูปต้นกำเนิดเดิม แต่จะต้องแปลงให้เหมาะสมก่อนที่จะส่ง ตัวอย่างเช่น ในระบบการสื่อสารแบบดิจิตอล ข่าวสารที่เป็นอนาล็อกจะถูกแปลงให้อยู่ในรูปดิจิตอลก่อนที่จะทำการส่ง

ในระบบการสื่อสารแบบดิจิตอลนั้นให้ความถูกต้องแม่นยำ มีคุณภาพและปริมาณการใช้งานเพิ่มขึ้นมากกว่าระบบการสื่อสารอนาลอก ทั้งในระบบการส่งสัญญาณหรือข้อมูลต่างๆ เช่น ระบบโทรศัพท์, ระบบการสื่อสารผ่านดาวเทียมภาคพื้นดินหรือ ระบบการสื่อสารดาวเทียมอวกาศ (Aeronutical or Land Mobile Satellite System) เป็นต้น จึงจำเป็นต้องใช้เทคนิคการมอดูเลทสัญญาณดิจิตอลที่ละเอียดซับซ้อน ทำให้ต้องมีการศึกษาค้นคว้าเทคนิคในการมอดูเลทแบบต่างๆ เพื่อพัฒนาให้ทันกับความต้องการของตลาดการสื่อสารที่เป็นอยู่

รูปแบบการมอดูเลทสัญญาณดิจิตอลนั้นมีหลายรูปแบบ เช่น FSK, PSK, BPSK, QPSK, 8PSK, QAM, 8QAM, 16QAM เป็นต้น แต่ในการส่งสัญญาณดิจิตอลนั้นหากเป็นสัญญาณที่มีอัตราเร็วสูงๆ จะมีผลทำให้ขนาดของแบนด์วิธที่กว้างขึ้น ไม่เป็นการประหยัดในการเข้าใช้ช่วงสัญญาณ จึงต้องมีเทคนิคในการลดแบนด์วิธของสัญญาณ ดังนั้นในโครงงานนี้จึงนำเสนอการส่งสัญญาณดิจิตอล 9600 bps โดยใช้วิธีการส่งสัญญาณแบบ 8PSK ซึ่งเป็นการเปลี่ยนแปลงของคลื่นพาหะจะมีการเปลี่ยนแปลงทางเฟสอย่างเดียว มี 8 ตำแหน่งภายใน 1 คาบเวลา ซึ่งทำให้สามารถลดแบนด์วิธลงได้ 3 เท่าของการส่งสัญญาณแบบ PSK

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

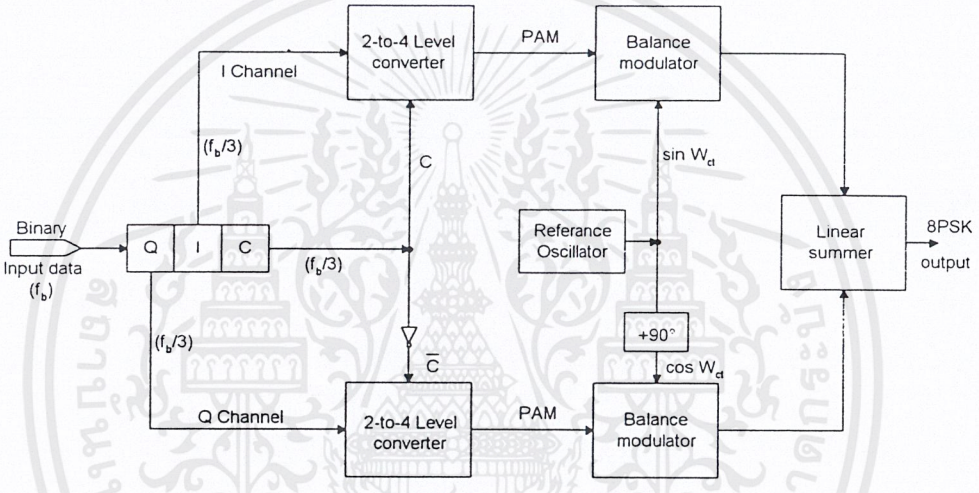
จะทำให้การใช้ช่างสัญญาณมีประสิทธิภาพมากยิ่งขึ้น เพราะสามารถลดขนาดแบนด์วิธของสัญญาณได้ หรือกล่าวอีกนัยหนึ่งคือ สามารถเพิ่มบิทเรทของสัญญาณข้อมูลได้ ในขณะที่มีแบนด์วิธเท่าเดิม

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 2
ทฤษฎีและหลักการ

การมอดูเลทแบบแปดพีเอสเค
(Eight-Phase PSK:8PSK)

8PSK เป็นเทคนิคการเข้ารหัสแบบ M-ary เมื่อ M=8 การมอดูเลทแบบ 8PSK มีเอาท์พุตเฟสเท่ากับ 8 เข้ารหัสที่แตกต่างกัน 8 เฟส ข้อมูลที่เข้ามาจะถูกแบ่งเป็นกลุ่มๆละ 3 bit เรียกว่า ไตรบิท ($2^3 = 8$)



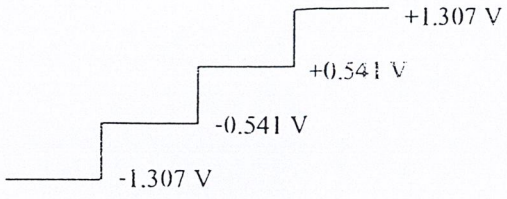
รูปที่ 2.1 แสดงบล็อคไดอะแกรมของเครื่องส่ง 8PSK มอดูเลเตอร์

I	C	Output
0	0	-0.541
0	1	-1.307
1	0	0.541
1	1	1.307

Q	$\overline{C}$	Output
0	0	-0.541
0	1	-1.307
1	0	0.541
1	1	1.307

ตารางที่ 2.1 แสดงตารางความจริงของ I และ Q ที่เปลี่ยนแปลงได้ทั้ง 4 ระดับ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.2 แสดงระดับของสัญญาณของ PAM

2.1 ภาคส่งของระบบ 8PSK

สัญญาณข้อมูลที่เป็นอนุกรมจะถูกแยกเป็นสัญญาณขนาน 3 ช่อง (I หรือ in phase channel, Q หรือ in quadrature channel และ C หรือ control channel) ซึ่งมีบิทเรทของแต่ละช่องสัญญาณคือ $f_b/3$ บิท ในช่อง I และ C จะเข้าไปใน I-channel เข้าสู่วงจรแปลง 2 ลอจิก ไปเป็น 4 ระดับ (2-to-4 level converter) บิท Q และ C จะเข้าไปใน Q-channel เข้าสู่วงจรแปลง 2 ลอจิก ไปเป็น 4 ระดับ วงจรแปลง 2 ลอจิก ไปเป็น 4 ระดับ คือ digital-to-analog converter (DACs) ที่มี 2 บิท อินพุต 4 เอาท์พุตโวลเตจ

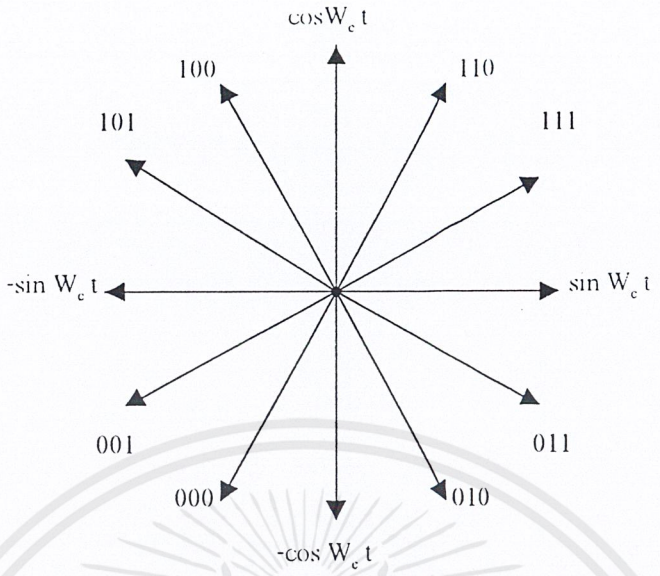
บิท I หรือ บิท Q จะเป็นตัวกำหนดขั้วของเอาท์พุต (ลอจิก 1 = +V และ ลอจิก 0 = -V) ในขณะที่บิท C หรือ C จะกำหนดขนาด(ลอจิก 1 = 1.307V และ ลอจิก 0 = 0.541V)

จากตารางค่าความจริงของวงจรแปลง 2 ลอจิกเป็น 4 ระดับ เพราะว่าบิท C และ C ไม่สามารถที่จะมีสถานะลอจิกเดียวกันได้ สัญญาณเอาท์พุตจาก I และ Q 2-to-4 level converter จะไม่มีขนาดเดียวกัน ถึงแม้ว่าทั้งสองจะมีขั้วเดียวกัน เอาท์พุตของวงจร 2-to-4 level converter คือ สัญญาณ PAM (pulse Amplitude Modulated) เมื่อ M=4

Binary input			8PSK output
Q	I	C	Phase
0	0	0	-112.5°
0	0	1	-157.5°
0	1	0	-67.5°
0	1	1	-22.5°
1	0	0	112.5°
1	0	1	157.5°
1	1	0	67.5°
1	1	1	22.5°

ตารางที่ 2.2 แสดงค่าความจริงของวงจรแปลง 2 ลอจิกเป็น 4 ระดับ

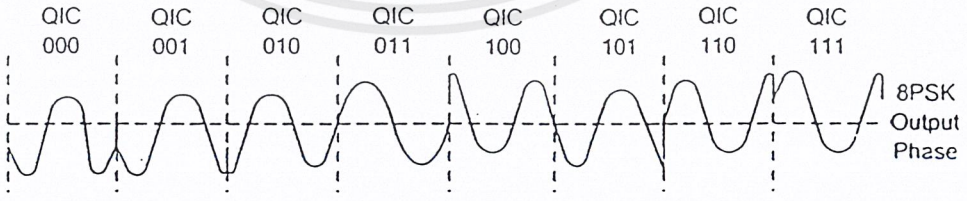
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.3 แสดงเฟสเซอร์ไดอะแกรม ของ 8PSK

จากรูปจะเห็นว่ามุมแต่ละมุมระหว่างเฟสที่ใกล้กันจะต่างกัน 45 ดังนั้นสัญญาณ 8PSK สามารถมรการเลื่อนเฟสได้สูงสุด $\pm$22.5 ในระหว่างการส่งสัญญาณซึ่งยังคงรักษาข้อมูลได้อย่างครบถ้วน ดังนั้นระดับของ PAM คือ 1.307 และ 0.541 เป็นค่าที่สัมพันธ์กัน ซึ่งอัตราส่วนคือ 0.541/1.307 และมีค่าอาคแทนเจนท์ (arctangent) เท่ากับ 22.5 ตัวอย่างเช่นถ้าค่าเพิ่มเป็น 2 เท่าคือ 2.614 และ 1.082 ผลคือมุมเฟสจะไม่เปลี่ยน แม้ว่าค่าขนาดของเฟสเซอร์จะเพิ่มขึ้น (ต้องเพิ่มขึ้นอย่างเหมาะสม)

รหัสไตรบิทระหว่าง 2 เฟสที่อยู่ติดกันจะสามารถเปลี่ยนได้เพียงบิทเดียวเท่านั้น ซึ่งเรียกว่า Gray code หรือบางครั้งเรียกว่า maximum distance code รหัสนี้จะช่วยลดความผิดพลาดที่เกิดจากการส่งข้อมูล

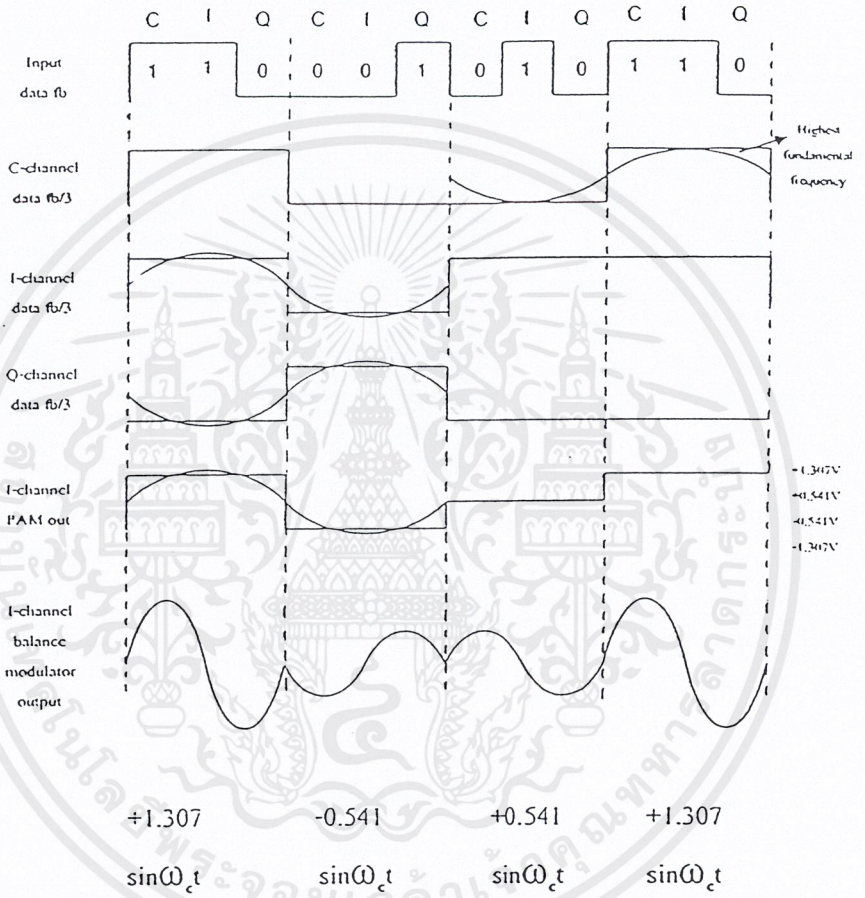


รูปที่ 2.4 แสดงความสัมพันธ์ของเฟสเอาท์พุตเทียบกับเวลาสำหรับ 8PSK มอดูเลเตอร์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.1.1 การพิจารณาแถบความถี่ของ 8PSK

เพราะว่าข้อมูลถูกแบ่งส่งออกเป็น 3 ช่องสัญญาณ บิทเรทในช่องสัญญาณ I,Q หรือ C จะต้องเป็นเอาท์พุตที่ออกมาพร้อมกันในขณะที่ขนานกันอยู่ วงจร 2-to-4 level converter จะทำให้เห็นการเปลี่ยนแปลงของเอาท์พุตที่บิทเรทเท่ากับ $f_b/3$



รูปที่ 2.5 แสดงการพิจารณาแถบความถี่ของ 8PSK มอดูเลเตอร์

จากรูปแสดงความสัมพันธ์ระหว่างข้อมูลอินพุตไบนารี่, ข้อมูลในช่องสัญญาณ I , Q , C , สัญญาณ PAM บนช่องสัญญาณ I และ Q จะเห็นว่าความถี่มูลฐานสูงสุด (highest fundamental frequency) ในช่อง I , Q หรือ C เท่ากับ 1/6 ของบิทเรทของสัญญาณอินพุตไบนารี่ ดังนั้นความถี่มูลฐานสูงสุดในแต่ละสัญญาณ PAM จะเท่ากับ 1/6 ของสัญญาณอินพุตไบนารี่

สำหรับเครื่องมอดูเลท 8PSK จะมีการเปลี่ยนแปลงเฟสทุกๆ 3 บิทของข้อมูลอินพุตที่เข้ามา ดังนั้นอัตราเร็ว (baud) ของ 8PSK เท่ากับ $f_b/3$ ซึ่งเป็นค่าแบนด์วิธต่ำสุด นอกจากนั้นบาลานซ์มอดูเลเตอร์จะทำการมอดูเลต ซึ่งเอาท์พุตได้มาจากสัญญาณพาหะกับสัญญาณ PAM แสดงในรูปสมการทางคณิตศาสตร์ได้ดังนี้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เมื่อ $\omega_c t = 2\pi \frac{f_b}{6} t$ และ $\omega_c t = 2\pi f_c t$

↓ modulating signal ↓ carrier

และ $x = \pm 1.307$ หรือ ± 0.541

ดังนั้น

$$0 = \left(x \sin 2\pi \frac{f_b}{6} t \right) (\sin 2\pi f_c t)$$

$$= \frac{x}{2} \cos 2\pi \left(f_c - \frac{f_b}{6} \right) t - \frac{x}{2} \cos 2\pi \left(f_c + \frac{f_b}{6} \right) t$$

สเปคตรัมความถี่ของสัญญาณเอาท์พุตอยู่ในช่วง $f_c + f_b/6$ และ $f_c - f_b/6$ และค่าแบนด์วิธต่ำสุด (f_N) คือ $\left(f_c + \frac{f_b}{6} \right) - \left(f_c - \frac{f_b}{6} \right) = \frac{2f_b}{6} = \frac{f_b}{3}$

2.1.2 ประสิทธิภาพของแถบความถี่ (Bandwidth Efficiency)

ประสิทธิภาพของแถบความถี่ (หรือความหนาแน่นของข้อมูล) ถูกใช้เปรียบเทียบกับการทำงานของเทคนิคการมอดูเลทกับแบบอื่นๆ สิ่งที่สำคัญคือ อัตราส่วนของบิทเรทในการส่งกับแถบความถี่ที่น้อยที่สุดที่ต้องการ สำหรับการมอดูเลทที่ต้องการความละเอียด ประสิทธิภาพของแถบความถี่มักจะถูกจัดให้เป็น 1 Hz เพื่อทำให้สามารถแยกจำนวนบิทที่สามารถส่งผ่านอุปกรณ์สำหรับแถบความถี่แต่ละเฮิรตซ์ได้ เราสามารถเขียนสมการประสิทธิภาพของแถบความถี่ได้เป็น

ประสิทธิภาพของแถบความถี่ = อัตราเร็วในการส่ง (bps) /แถบความถี่ที่น้อยที่สุด (Hz)

= บิท/ไซเคิล

การหาประสิทธิภาพของแถบความถี่สำหรับการมอดูเลทแบบ BPSK ,QPSK ,8PSK และ 16QAM จากตารางเป็นการแสดงแถบความถี่ที่น้อยที่สุดที่ใช้ส่งสัญญาณที่มีอัตาการส่ง 10 Mbps ด้วยการมอดูเลทแบบต่างๆ ดังตารางที่ 2.3

Modulation Technique	Minimum Bandwidth (MHz)
BPSK	10
QPSK	5
8PSK	3.33
16QAM	2.5

ตารางที่ 2.3 แสดงค่าแถบความถี่ที่น้อยที่สุดของรูปแบบการมอดูเลทแบบต่างๆ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

แทนค่าลงในสมการ จะได้ค่าประสิทธิภาพของแถบความถี่ดังนี้

$$BPSK : BWefficiency = \frac{10Mbps}{10MHz} = \frac{1bps}{Hz} = \frac{1bit}{cycle}$$

$$QPSK : BWefficiency = \frac{10Mbps}{5MHz} = \frac{2bps}{Hz} = \frac{2bit}{cycle}$$

$$8PSK : BWefficiency = \frac{10Mbps}{3.33MHz} = \frac{3bps}{Hz} = \frac{3bit}{cycle}$$

ผลที่ได้แสดงให้เห็นว่า BPSK มีประสิทธิภาพต่ำสุด และ 16QAM มีประสิทธิภาพสูงสุด และ 8PSK ต้องการเพียง 1/3 ของแถบความถี่ที่ใช้ใน BPSK ในอัตราบิทเรทอินพุตที่เท่ากัน และสามารถสรุปข้อแตกต่างของ FSK ,PSK และ QAM ได้ในตารางที่ 2.4

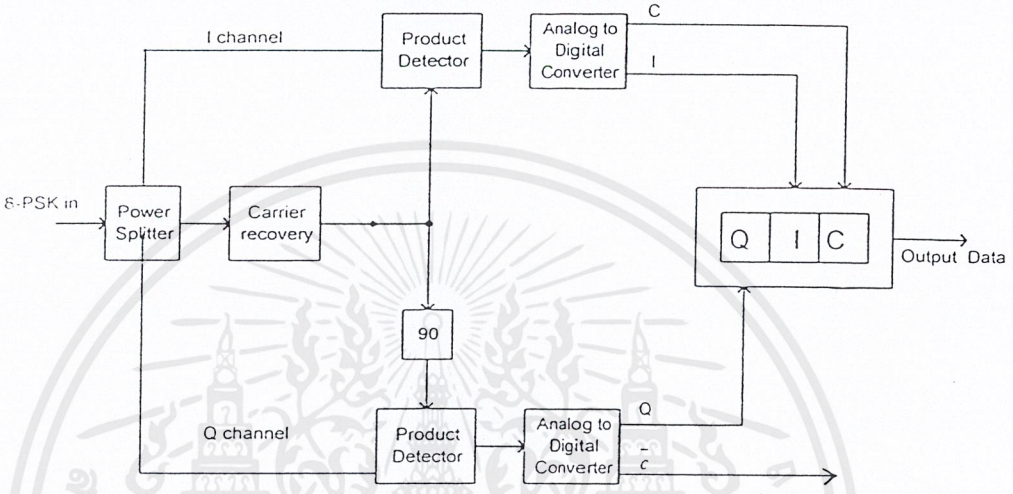
Modulation	Encoding	Bandwidth	Baud	Bandwidth efficiency (bps/Hz)
FSK	Single bit	$\geq f_b$	f_b	≤ 1
BPSK	Single bit	f_b	f_b	1
QPSK	Dibi	$f_b/2$	$f_b/2$	2
8PSK	Tribit	$f_b/3$	$f_b/3$	3
8QAM	Tribit	$f_b/3$	$f_b/3$	3
16PSK	Quadbit	$f_b/4$	$f_b/4$	4
16QAM	Quadbit	$f_b/4$	$f_b/4$	4

ตารางที่ 2.4 สรุปข้อแตกต่างของ FSK ,PSK และ QAM

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.2 ภาครับของระบบ 8-PSK

หลักการของการดีมอดูเลทสัญญาณ 8PSK ดังรูปที่ 2.6 โดยวิธี coherent detectionโดยการใช้คลื่นพาหะอ้างอิง



รูปที่ 2.6 แสดงบล็อคไดอะแกรมเครื่องรับ 8PSK

จากรูปแสดงบล็อคไดอะแกรมของเครื่องรับ 8-PSK เพาเวอร์สปริทเตอร์ (Power Splitter) นำสัญญาณอินพุต 8-PSK ส่งตรงไปยังโพรดัคดีเทคเตอร์ (Product Detector) ของช่อง I และ Q และ วงจรกู้สัญญาณพาหะ (Carrier Recovery) วงจรกู้สัญญาณพาหะจะสร้างสัญญาณอ้างอิงที่เหมือนกับสัญญาณต้นกำเนิดขึ้นมาใหม่ สัญญาณ 8-PSK ที่เข้ามาจะถูกผสมกับสัญญาณพาหะที่สร้างใหม่ดังกล่าวในส่วนของโพรดัคดีเทคเตอร์ทางด้าน I และสัญญาณพาหะที่เลื่อนเฟสไป 90 องศา (Quadrature Carrier) ในโพรดัคดีเทคเตอร์ทางด้าน Q เอาท์พุตของโพรดัคดีเทคเตอร์คือสัญญาณ PAM 4 ระดับ (4-level PAM) ที่ป้อนให้กับวงจร 4-to-2-level analog to digital converter คือบิท I และ C เช่นเดียวกับเอาท์พุตจากช่องสัญญาณ Q ที่ออกจาก 4-to-2-level converter คือบิท Q และ C วงจรขนานเป็นอนุกรม จะรวมบิทคู่ I/C และ Q/C ให้เป็นบิทสัญญาณอนุกรม I,Q และ C ที่เป็นเอาท์พุตข้อมูลต่อเนื่อง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.3 แอคทีฟฟิลเตอร์ (Active Filter)

แอคทีฟฟิลเตอร์เป็นวงจรที่ทำหน้าที่กรองความถี่สัญญาณ ประกอบด้วย ทรานซิสเตอร์ หรือ ไอซี หรือ วงจรเลือกความถี่ (Frequency Selective) จำพวกรีซิสเตอร์ (Resister) กับ คาปาซิเตอร์ (Capacitor) วงจรให้ผ่านความถี่ได้เฉพาะสัญญาณในช่วงความถี่ที่กำหนด ขณะเดียวกันจะขวางกั้น (Block) หรือลดทอนสัญญาณนอกเหนือช่วงความถี่ดังกล่าวมิให้ปรากฏที่เอาท์พุต โดยทั่วไปแล้วฟิลเตอร์แบ่งออกเป็นหลายรูปแบบ ดังนี้

1. ฟิลเตอร์ (Filter) ชนิดอนาล็อก (Analog) หรือดิจิตอล (Digital)
2. ฟิลเตอร์ประเภทแอคทีฟ (Active) หรือ แพสซีฟ (Passive)
3. ฟิลเตอร์ย่านความถี่เสียง (Audio Frequency) หรือ ย่านความถี่วิทยุ (Radio Frequency)

ฟิลเตอร์แบบอนาล็อกออกแบบมาเพื่อใช้กับสัญญาณอนาล็อก ส่วนฟิลเตอร์แบบดิจิตอลใช้งานกับสัญญาณดิจิตอล โดยอาศัยเทคนิคทางอนาล็อกเข้าช่วย ถ้าคำนึงถึงชิ้นส่วนที่นำมาประกอบกันเป็นวงจรฟิลเตอร์แบบออกเป็น แพสซีฟ และ แอคทีฟ ชิ้นส่วนวงจรที่ใช้ในฟิลเตอร์แบบพาสซีฟ ได้แก่ รีซิสเตอร์ คาปาซิเตอร์ และ อินดักเตอร์ (Inductor) ส่วนวงจรกรองความถี่แบบแอคทีฟประกอบด้วยตัวขยายสัญญาณจำพวกทรานซิเตอร์ หรือ ไอซี ในรูปออปแอมป์ รีซิสเตอร์ และคาปาซิสเตอร์ ทำงานร่วมกัน รีซิสเตอร์ คาปาซิสเตอร์ และอินดักเตอร์ ถือได้ว่าเป็นชิ้นส่วนประเภทแพสซีฟ การเลือกใช้ชิ้นส่วนชนิดใดนั้นขึ้นอยู่กับย่านความถี่สัญญาณที่ต้องการให้วงจรฟิลเตอร์ทำงาน ตัวอย่างเช่น วงจรฟิลเตอร์แบบ RC (RC filter) ใช้กับย่านความถี่เสียง หรือในย่านความถี่ต่ำ ในขณะที่วงจรฟิลเตอร์แบบ LC (LC filter) จะใช้ในย่านความถี่วิทยุ หรือย่านความถี่สูง

ข้อดีของแอคทีฟฟิลเตอร์ที่เหนือกว่าแพสซีฟฟิลเตอร์

1. การปรับอัตราขยายและปรับความถี่เป็นอิสระต่อกัน เราสามารถจัดอัตราขยายของออปแอมป์ชดเชย กับอัตราการลดทอนสัญญาณของวงจร RC หรือเพิ่มอัตราการขยาย ของวงจรทั้งหมดด้วยการจัดค่าชิ้นส่วนอุปกรณ์ในส่วนของวงจรขยายออปแอมป์ และการปรับเปลี่ยนความถี่ก็อยู่ที่ค่า RC เท่านั้น

2. ไม่มีปัญหาโหลดดิ้ง (Loading) จากการที่ออปแอมป์มีคุณสมบัติของอินพุตอิมพีแดนซ์สูงและเอาต์พุตอิมพีแดนซ์ต่ำ วงจรแอคทีฟฟิลเตอร์อาศัยออปแอมป์จึงไม่เกิดปัญหาการโหลดดิ้งกับเอาต์พุต และอินพุตของวงจร ณ จุดที่นำแอคทีฟฟิลเตอร์เข้าไปต่อร่วม

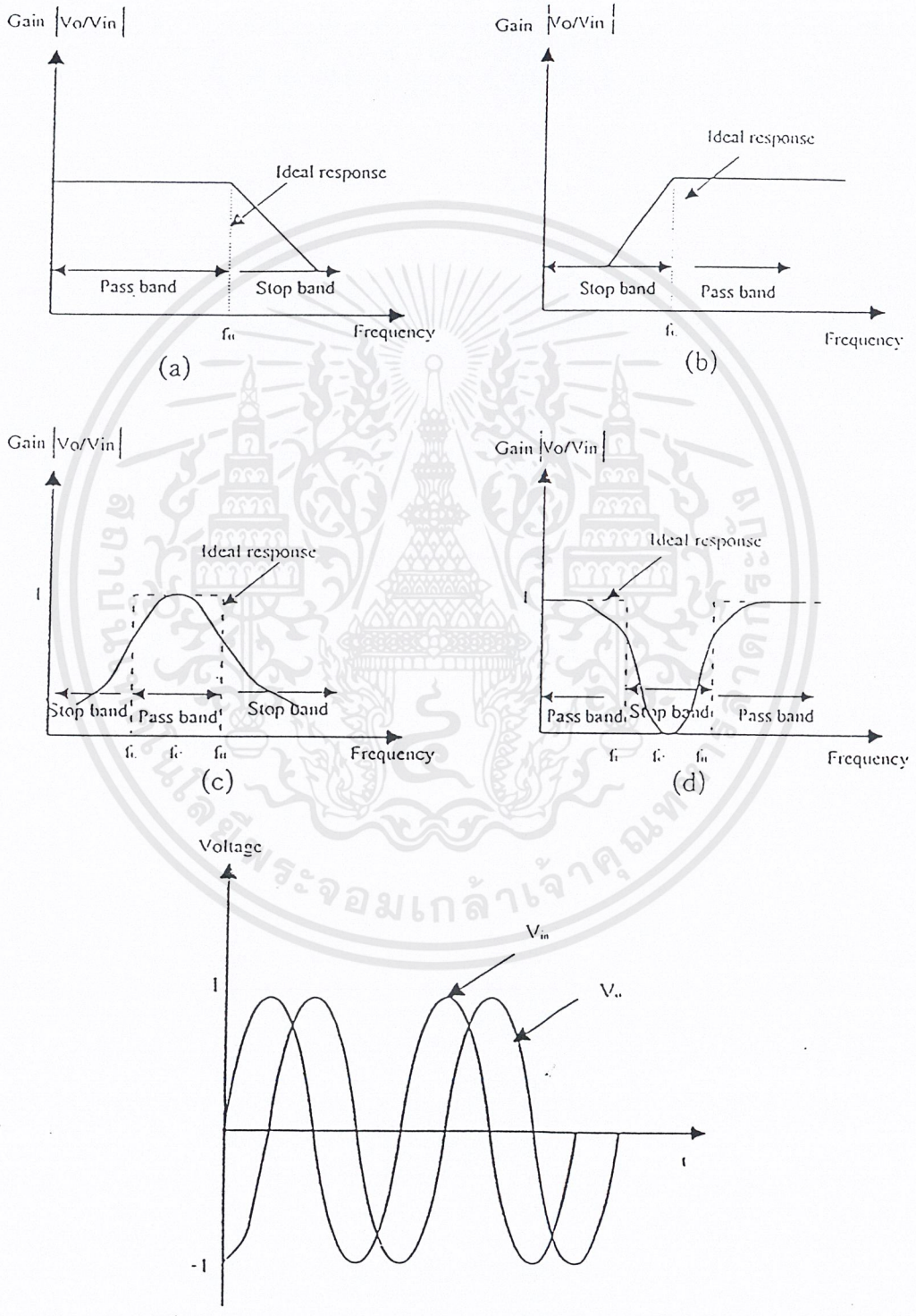
3. ราคาถูกกว่า เนื่องจากแอคทีฟฟิลเตอร์มีราคาถูกว่าแพสซีฟฟิลเตอร์ เพราะไม่ต้องอาศัยอินดักเตอร์ที่มีราคาแพง และใช้ออปแอมป์ซึ่งปัจจุบันราคาถูก

เราแบ่งแอคทีฟฟิลเตอร์ตามลักษณะการทำงานออกเป็น 5 ชนิด

- โลพาสฟิลเตอร์ (Low Pass Filter:LPF)
- ไฮพาสฟิลเตอร์ (High Pass Filter:HPF)
- แบนด์พาสฟิลเตอร์ (Band Pass Filter:BPF)
- แบนด์รีเจคท์ หรือ แบนด์สต็อปฟิลเตอร์ (Band Reject or Band Stop Filter :BSF)
- ออลพาสฟิลเตอร์ (All Pass Filter)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การตอบสนองความถี่ (Frequency Response) ของฟิลเตอร์ทั้ง 5 ชนิด แสดงดังในรูปที่ 2.6 เส้นประ แสดงถึงการตอบสนอง (Response) ที่เป็นอุดมคติในการทฤษฎี ส่วนการตอบสนองในทางปฏิบัติแสดงด้วยเส้นทึบ



รูปที่ 2.7 แสดงกราฟการตอบสนองความถี่ของวงจรฟิลเตอร์แบบต่างๆ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รูปที่2.7(a) แสดงการตอบสนองความถี่ของโลพาสฟิลเตอร์ มีขนาดเกน (gain) คงที่ จากตำแหน่ง 0 Hz ถึงความถี่ไฮคัทออฟ (High cutoff Frequency:f_H) ค่าของแบนด์วิธจึงเท่ากับ f_H ที่ f_H หรือตำแหน่งความถี่ไฮคัทออฟนั้นค่าเกนจะลดลง 3 เดซิเบล (dB) และที่ความถี่มากกว่า f_H นั่นคือ ที่ $f > f_H$ อัตราการขยายหรือเกนของวงจรก็จะลดลงทุกขณะอย่างต่อเนื่อง ตามความถี่สัญญาณอินพุตที่เพิ่มขึ้น ช่วงของความถี่ระหว่าง 0- f_H เราเรียกว่า พาสแบนด์ (Pass Band) ส่วนช่วงความถี่ที่ส่วนกว่า f_H ขึ้นไป ซึ่งเกิดการลดทอนของสัญญาณลงทุกขณะ เราเรียกว่า สต๊อปแบนด์ (Stop Band) จากการตอบสนองที่เป็นอุดมคติในเส้นประ แสดงให้เห็นว่าฟิลเตอร์เป็นอุดมคติ จะมีการลดทอนเป็นศูนย์ตลอดช่วงพาสแบนด์ และมีการลดทอนเป็นอนันต์ในช่วงสต๊อปแบนด์

รูปที่ 2.7 (b) แสดงการตอบสนองความถี่ของไฮพาสฟิลเตอร์ เมื่อ f เป็นความถี่ใดๆ และ f_L เป็นความถี่โลคัทออฟ (Low cutoff Frequency :f_L) แล้วช่วงสต๊อปแบนด์จะอยู่ความถี่ $0< f < f_L$ และช่วงพาสแบนด์อยู่ที่ $f > f_L$

รูปที่2.7(c)แสดงการตอบสนองความถี่ของแบนด์พาสฟิลเตอร์ ช่วงพาสแบนด์อยู่ระหว่างสองความถี่คัทออฟ ได้แก่ ไฮคัทออฟฟรีเควนซี f_H และโลคัทออฟฟรีเควนซี f_L ซึ่งเป็นตำแหน่งเกนลดลง 3 dB และช่วงสต๊อปแบนด์มีช่วงที่ $0 < f < f_L$ กับ $f > f_H$ โดยที่ $f > f_H$ เป็นค่าแบนด์วิธของแบนด์พาสฟิลเตอร์เท่ากับ $f_H - f_L$ และเซ็นเตอร์ฟรีเควนซี (Center Frequency) อยู่ที่ความถี่ f_c ปรากฏที่ตำแหน่งกึ่งกลางช่วงพาสแบนด์เกน (Pass Band Gain) พอดี

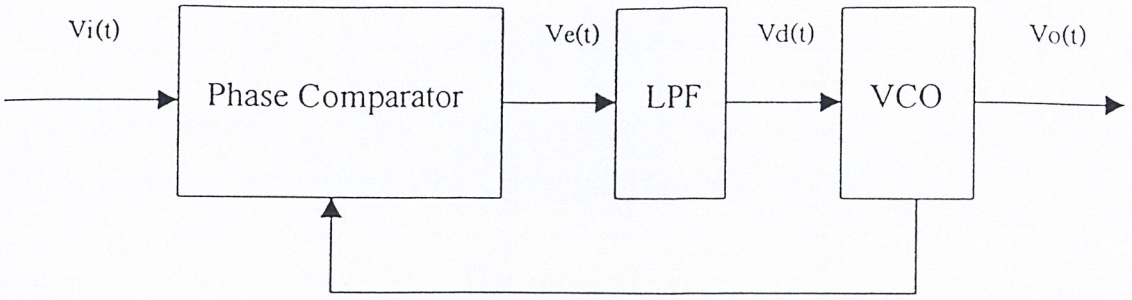
รูปที่2.7(d)แสดงการตอบสนองความถี่ของแบนด์รีเจคฟิลเตอร์ มีกราฟคุณลักษณะตรงกันข้ามกับแบนด์พาสฟิลเตอร์ กล่าวคือ ช่วงสต๊อปแบนด์อยู่ระหว่างความถี่คัทออฟ 2 จุด คือ f_H กับ f_L และช่วงพาสแบนด์อยู่ระหว่างความถี่ $f > f_H$ และ $0 < f < f_L$ อาจเรียกรีเจคฟิลเตอร์ว่า แบนด์สต๊อปฟิลเตอร์หรือแบนด์อลิมิเนชั่นฟิลเตอร์ (Band Elimination Filter) ก็ได้ ค่าแบนด์วิธของสต๊อปแบนด์เท่ากับ $f_H - f_L$ และตำแหน่งกึ่งกลางของช่วงสต๊อปแบนด์เป็นความถี่เซ็นเตอร์ฟรีเควนซี หรือ f

รูปที่ 2.7(e)แสดงเฟสชิป (Phase Shift) ระหว่างอินพุตโวลเตจ (V_{in}) กับเอาท์พุตโวลเตจ (V_o) ของออลพาสฟิลเตอร์ มีคุณสมบัติในการให้สัญญาณทุกความถี่ผ่านได้เท่าๆกัน กล่าวคือ ให้ V_o เท่ากับ V_{in} ในทุกความถี่ โดยปรากฏเฟสชิปขึ้นระหว่าง V_o กับ V_{in} ในบางความถี่ แต่ค่าความถี่สูงสุดซึ่ง V_o กับ V_{in} ยังคงมีเท่ากัน ขึ้นอยู่กับคุณสมบัติยูนิตี้เกนแบนด์วิธ (Unity Gain Bandwidth) ของออปแอมป์ที่ความถี่นี้เฟสชิปเกิดขึ้นระหว่าง V_o กับ V_{in} จะมีค่าสูงสุด

2.4 เฟสล็อคลูป (Phase-Lock Loop:PLL)

วงจรเฟสล็อคลูปประกอบด้วยฟังก์ชั่นบล็อคต่างๆ คือ ส่วนที่เป็นเฟสดีเทคเตอร์ ส่วนวงจรกรองสัญญาณความถี่ต่ำผ่านและวงจรโวลเตจคอนโทรลออสซิลเลเตอร์ (VCO) เราจะอธิบายหลักการพื้นฐานของเฟสล็อคลูปโดยเริ่มพิจารณาจากวงจรลิเนียร์เฟสล็อคลูป แสดงบล็อคไดอะแกรมดังรูปที่ 2.8

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.8 แสดงบล็อกไดอะแกรมของวงจรเฟสล็อคลูป

Lock range

จากคำจำกัดความของ Lock range คือ ความแตกต่างระหว่างความถี่อ้างอิงและความถี่ของ VCO ซึ่งเป็นสาเหตุให้ดิจิตอลเฟสล็อคลูปอยู่ในสภาวะล็อค คือ มีความถี่ตรงกันระหว่างความถี่อ้างอิงและสัญญาณเอาท์พุต เราสมมติว่าดิจิตอลเฟสล็อคลูปยังไม่เข้าสู่สภาวะล็อคในตอนเริ่มต้น และ VCO จะออสซิเลตที่ความถี่กลางของมัน $N\omega_0$ ความถี่อ้างอิงมีความแตกต่างจาก ω_0 เป็นค่า $\Delta\omega$ คือ $\omega_1 = \omega_0 + \Delta\omega$

Pull-in range

สมมติว่า ลิเนียร์เฟสล็อคลูปยังไม่อยู่ในสภาวะล็อค ความถี่ของสัญญาณอ้างอิงเป็น $\omega_1 = \omega_0 + \Delta\omega$ วงจร VCO ออสซิเลตที่ความถี่กลาง ω_0 ดังนั้นสัญญาณ u_d ของวงจรเฟสดีเทคเตอร์ที่มีความถี่ $\Delta\omega$ ซึ่งเป็นสัญญาณไฟสลับ สมมติว่า $\Delta\omega$ มีค่ามากจนกระบวนการล็อคอินไม่เกิดขึ้น และสมมติว่าใช้วงจรกรองสัญญาณแบบ passive lag สัญญาณ u_d จะลดทอนโดยลูปฟิลเตอร์ สัญญาณเอาท์พุต u_f จะเป็นสัญญาณไฟสลับและจะไปมอดูเลทแบบ FM ที่ VCO ในช่วงครึ่งไซเคิลบวกของ u_f ความถี่ของสัญญาณเอาท์พุต ω_2 จะเพิ่มขึ้น และจะลดลงในช่วงครึ่งไซเคิลลบ เนื่องค่าพีคของความถี่เอาท์พุต ω_2 จะไม่เท่ากับความถี่ ω_1 เลย เราก็จะคิดได้ว่าลิเนียร์เฟสล็อคลูปจะไม่เข้าสู่สภาวะล็อค

เราจะเห็นว่าค่า $\Delta\omega$ ระหว่างความถี่อ้างอิง ω_1 และความถี่เอาท์พุต ω_2 ไม่เป็นค่าคงที่ ซึ่งจะแปรผันโดยความถี่ที่ทำการมอดจากสัญญาณเอาท์พุตของ VCO ถ้าความถี่ $\omega_2(t)$ ถูกมอดในทิศทางบวกค่า $\Delta\omega$ จะน้อยลงและเข้าสู่ค่าที่น้อยที่สุด $\Delta\omega_{min}$ ถ้า $\omega_2(t)$ ถูกมอดในทิศทางลบ $\Delta\omega$ จะมีค่าเพิ่มขึ้นจนเข้าถึงค่าสูงสุด $\Delta\omega_{max}$ เพราะว่าค่า $\Delta\omega(t)$ จะมีค่าไม่คงที่ ค่าที่ได้จากการมอดกับ VCO จะเป็นดังนี้ คือ ระยะเวลาของครึ่งไซเคิลที่ $\omega_2(t)$ ถูกมอดในทิศทางบวกจะยาวนานกว่าครึ่งไซเคิลซึ่ง $\omega_2(t)$ ถูกมอดในทางลบ ดังนั้นค่าความถี่เฉลี่ย ω_2 ของ VCO จะมีค่าสูงกว่าที่ไม่มีการมอด ความถี่ของ VCO ก็จะถูกดึงเข้าสู่ทิศทางที่ใกล้กับสัญญาณอ้างอิง

ความไม่สมมาตรของสัญญาณ $\omega_2(t)$ จะขึ้นอยู่กับค่าเฉลี่ยของ $\Delta\omega$ การไม่สมมาตรจะมีมากขึ้น ถ้า $\Delta\omega$ มีค่าลดลง ถ้าค่าเฉลี่ยของ $\omega_2(t)$ ดึงไปในทิศทางที่เข้าใกล้ ω_1 (ซึ่งสมมติว่ามากกว่า ω_2)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

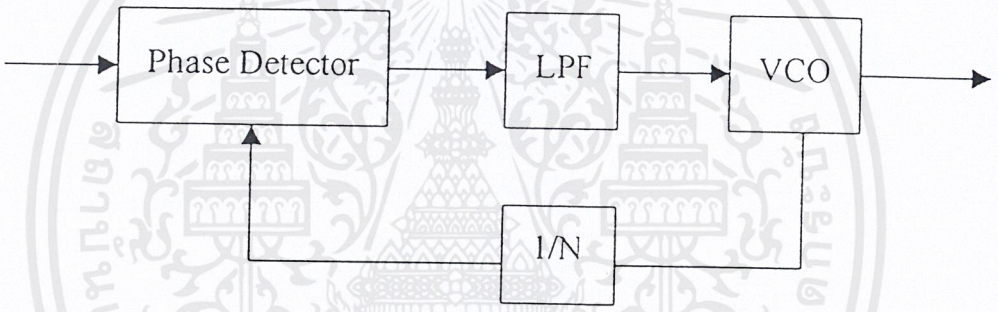
การไม่สมมาตรของสัญญาณ $\omega_2(t)$ จะมีมากขึ้น ซึ่งจะทำให้ ω_2 ถูกดึงไปในทิศทางบวกมากขึ้น กระบวนการนี้จะเกิดขึ้นใหม่เรื่อยๆภายใต้เงื่อนไขที่แน่นอน ดังนั้นความถี่เอาท์พุต ω_2 ก็จะดึงเข้าถึงความถี่อ้างอิง ω_1 ได้ในที่สุด ปรากฏการณ์นี้เราเรียกว่า pull-in process

Pull-out range

ค่า Pull-out range จะเป็นขนาดของช่วงความถี่ที่เราใช้สัญญาณอินพุตอ้างอิง ซึ่งจะทำให้เฟสล็อคลูปเสียการแทร็คกิ้งไป

2.4.1 การสังเคราะห์ความถี่ด้วยเฟสล็อคลูป

การสังเคราะห์ความถี่ด้วยเฟสล็อคลูปเป็นการสร้างความถี่ขึ้นใหม่ด้วยสัญญาณความถี่ที่มาตรฐาน โดยโครงสร้างสำหรับการสังเคราะห์ความถี่แสดงได้ดังรูปที่ 2.8



รูปที่ 2.9 แสดงโครงสร้างเฟสล็อคลูปสำหรับการสังเคราะห์ความถี่

จากรูปที่ 2.8 ส่วนที่เพิ่มมาจากโครงสร้างเฟสล็อคลูปที่ได้กล่าวแล้วคือ วงจรหาร N (1/N) โดยถ้า f_r เป็นสัญญาณอ้างอิงที่มีความถี่คงที่แล้ว ความถี่เอาต์พุตของ VCO จะเท่ากับขนาดของความถี่อ้างอิง (frequency referrence : f_r) คูณกับจำนวนหาร N ซึ่งเขียนได้คือ

$$f_0 = f_r * N$$

หรือกล่าวได้ว่าความถี่เอาต์พุต (f_0)จะเป็นจำนวนเท่าของความถี่อ้างอิง ความถี่ที่ป้อนกลับจากวงจร VCO ที่นำมาเปรียบเทียบกับความถี่อ้างอิงที่เฟสดีเทคเตอร์ (PD) หารด้วยจำนวน N ให้เท่ากับความถี่อ้างอิง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 3

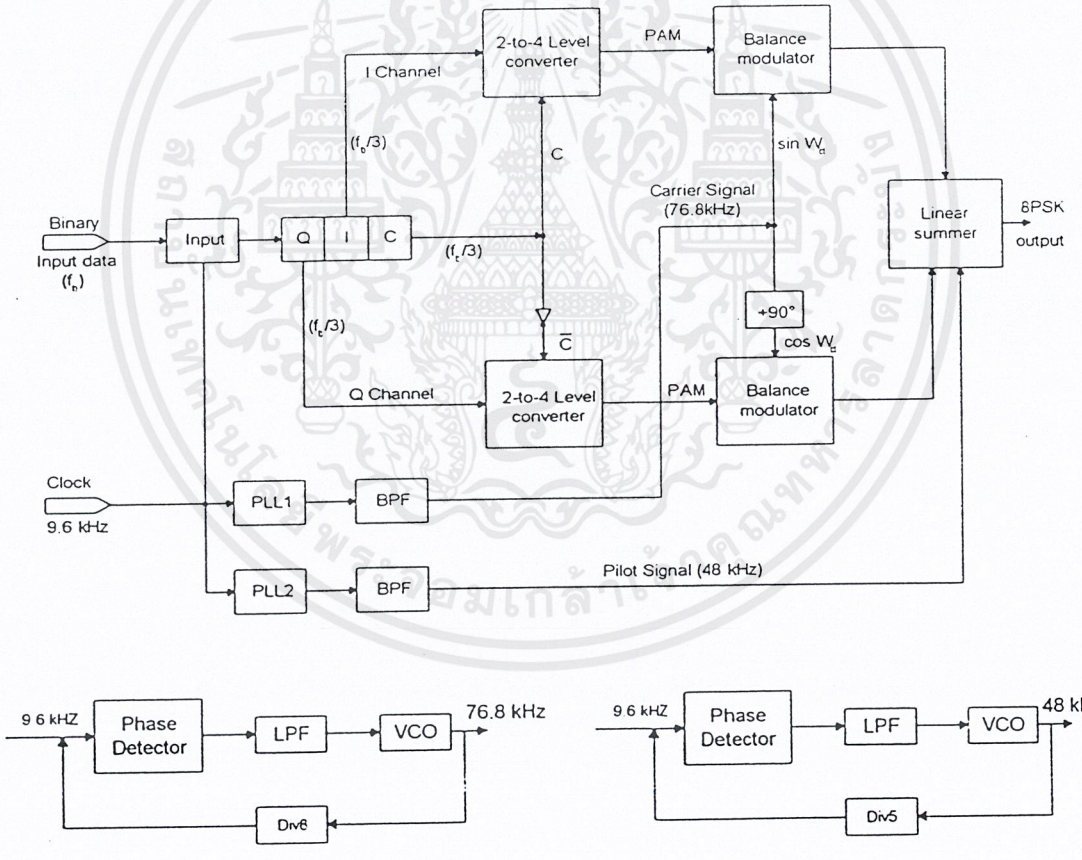
การคำนวณและการสร้าง

3.1 การออกแบบวงจรทางด้านภาคส่ง

ในการออกแบบทางด้านภาส่งนั้นเราต้องเพิ่มเติมบางส่วนเพื่อความสะดวกในการsynchronized เราต้องสร้างสัญญาณนำร่อง (Pilot Signal) และสัญญาณพาหะโดยใช้สัญญาณนาฬิกา9.6kHz ใช้หลักการของเฟสล็อคลูปให้ได้ความถี่คงที่ แล้วทำการส่งไปยังภาครับต่อไป

ในส่วนของวงจรกำเนิดสัญญาณเรานำสัญญาณนาฬิกา 9.6 kHz มาทำเป็นสัญญาณพาหะ 76.8 kHzและทำเป็นสัญญาณนำร่อง 48 kHz

รายละเอียดแต่ละบล็อกไดอะแกรมแสดงดังรูปที่ 3.1



a) PLL1 b) PLL2

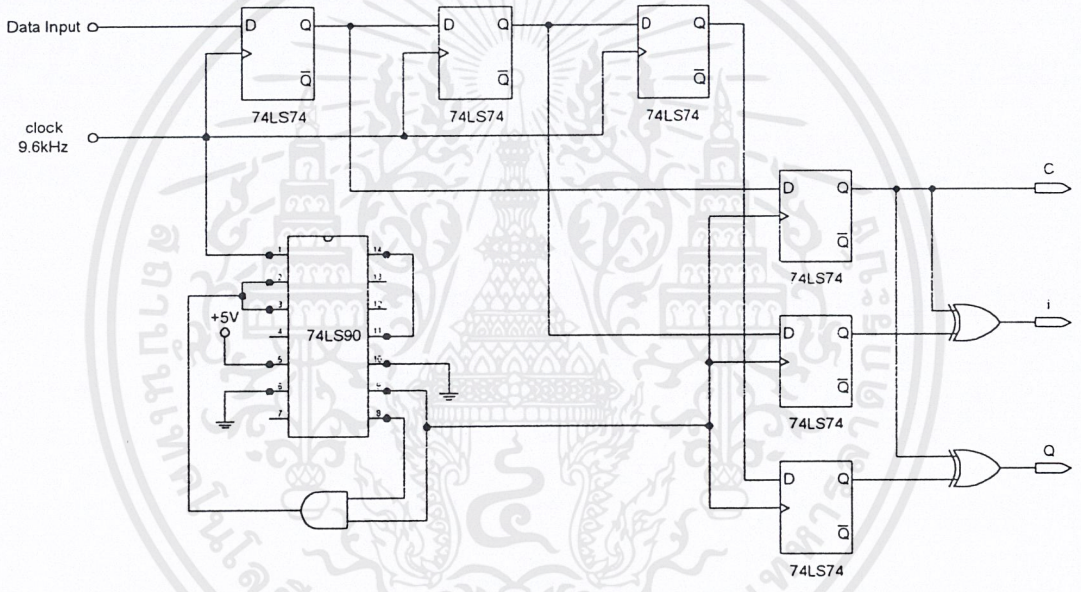
รูปที่ 3.1 แสดงรูปบล็อกไดอะแกรมของวงจรทางด้านภาคส่ง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.1.1 วงจรแยกสัญญาณดิจิตอล

วงจรแยกสัญญาณดิจิตอลทำหน้าที่แบ่งข้อมูลดิจิตอลอินพุตที่เข้ามา ให้ออกมาที่เอาท์พุตทีละ3 บิทพร้อมกัน คือบิท C,I และ Q ซึ่งทั้ง3บิทนี้จะถูกแบ่งออกเป็น 2 ชุด ชุดที่1 มีบิท I,C และชุดที่2 มีบิท Q, $\overline{C}$ ข้อมูลทั้ง2ชุดนี้ จะนำไปเป็นอินพุตให้กับวงจรส่วนต่อไป

จากรูปที่ 3.2 นั้นจะใช้ Dฟลิปฟลอบ และ 74LS90ทำงานร่วมกัน ซึ่งส่วนของ74LS90นั้นจะเป็นวงจรหน่วงเวลา3บิท หรือวงจรหาร3 ที่ช่วยควบคุมจังหวะการรับส่งข้อมูลให้เหมาะสมกัน โดยจะควบคุมให้อินพุตเข้ามาครบ3บิทเสียก่อน แล้วจึงทำการแยกสัญญาณ แนวทางของวงจรแยกสัญญาณดิจิตอลนี้อาศัยหลักการทำงานของวงจร ที่เปลี่ยนสัญญาณข้อมูลจากแบบอนุกรมเป็นแบบขนาน (Serial to Parallel) นั่นเอง



รูปที่ 3.2 วงจรแยกสัญญาณดิจิตอล

ข้อมูลที่ออกมาจากวงจรส่วนนี้มีอยู่ 3 ส่วนคือ บิทบน (Inphase channel) , บิทล่าง (Quadrature channel) และ บิทกลาง (Control channel) ข้อมูลที่ได้ออกมาจะมี3บิท และจะมีการเปลี่ยนแปลงครั้งละ3 บิทพร้อมๆกัน จึงควรออกแบบเพื่อเปลี่ยนแปลงสัญญาณไบนารี่ดังกล่าวให้เป็น Gray Code เสียก่อน ทั้งนี้เพื่อช่วยลดอัตราความผิดพลาดของข้อมูลได้ เพราะว่าบิทข้างเคียงของ Gray Code จะต่างกันเพียง 1 บิทเท่านั้น ดังแสดงในตารางที่ 3.1

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สำนักหอสมุดกลาง พระจอมเกล้าลาดกระบัง

Binary Code	Gray Code
000	000
001	001
010	011
011	010
100	110
101	111
110	101
111	100

ตารางที่ 3.1 แสดงการแปลงรหัสจาก Binary Code ไปเป็น Gray Code

3.1.2 วงจรแปลง 2 บิทเป็น 4 ระดับ

ด้วยสาเหตุที่ว่าโครงงานนี้เป็นการมอดูเลทสัญญาณดิจิตอลกับสัญญาณพาหะที่วงจรบาลานซ์มอดูเลเตอร์ สัญญาณดิจิตอลที่จะนำไปมอดูเลทจะต้องเป็นสัญญาณเส้นเดียว แต่สัญญาณที่เราแยกออกมาเป็นสัญญาณ 2 เส้น(2บิท) จึงต้องมีการแปลงสัญญาณจาก2เส้น ให้เป็นสัญญาณเส้นเดียวซึ่งมีหลายระดับเสียก่อน ในที่นี้ความเปลี่ยนแปลงอันเกิดจากสัญญาณ 2 บิท มีโอกาสเป็นไปได้ 2^2=4 ระดับ และจากข้อกำหนดของไอซีเบอร์ MC1496 ที่กำหนดให้ระดับของสัญญาณอินพุตที่จะนำไปมอดูเลทนั้นมีขนาดไม่เกิน 300 mV_{p-p} จึงได้ทำการกำหนดระดับการแปลงสัญญาณให้เป็นไปดังตารางที่ 3.2 ดังนี้

I	C	Output
0	0	-0.541V
0	1	-1.307V
1	0	0.541V
1	1	1.307V

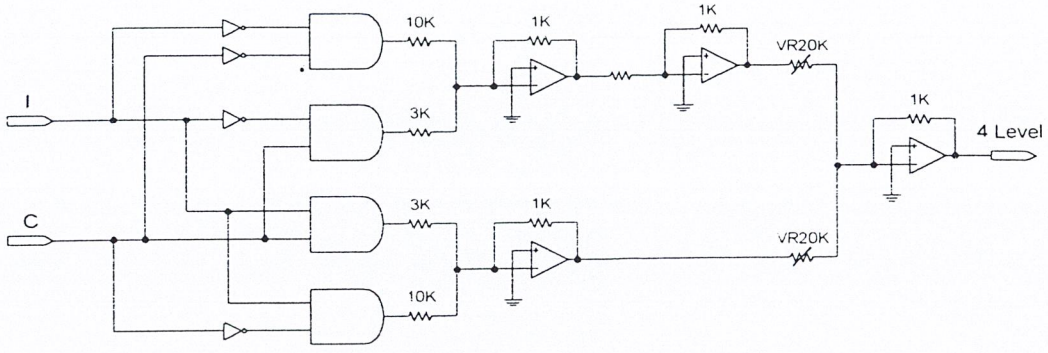
Q	C	Output
0	0	-0.541V
0	1	-1.307V
1	0	0.541V
1	1	1.307V

ตารางที่ 3.2 แสดงระดับการแปลงสัญญาณ

ในส่วนของอุปกรณ์ที่ใช้ในวงจรส่วนนี้จะอาศัย NOT gate และ AND gate ให้ทำหน้าที่แปลงสัญญาณ 2 บิท ให้เป็น4 เอาท์พุต แล้วออปแอมป์จะทำหน้าที่แปลงทั้ง 4 เอาท์พุตให้เป็น 4 ระดับ ดังข้อกำหนดในตารางที่ 3.2 การออกแบบวงจรแปลงสัญญาณดิจิตอล 2 บิทเป็น 4 ระดับ แสดงดังรูปที่3.2

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

42189



รูปที่ 3.3 วงจรแปลงสัญญาณ 2บิท เป็น 4 ระดับ

3.1.3 วงจรกำเนิดสัญญาณพาหะ 76.8 kHz

วงจรในส่วนนี้จะทำหน้าที่กำเนิดสัญญาณไซน์ (sine wave) ความถี่ 76.8 kHz เพื่อใช้เป็นสัญญาณพาหะและนำไปคูณกับสัญญาณหลายระดับที่วงจรบาลานซ์มอดูเลเตอร์ เนื่องจากระบบการส่งสัญญาณดิจิตอลนี้มีหัวใจสำคัญคือการซิงโครไนซ์เซชั่น (synchronization) ที่ทำให้จังหวะการทำงานของอุปกรณ์อิเล็กทรอนิกส์ทั้งในภาคส่งและภาครับมีความสัมพันธ์กันอย่างแม่นยำ ดังนั้นจึงอาศัยสัญญาณนาฬิกาที่ได้จากข้อมูลที่ทำการส่ง ในโครงงานนี้ต้องการส่งข้อมูลความเร็ว 9.6 kbps จึงมีสัญญาณนาฬิกา 9.6 kbps มาใช้อ้างอิงกับสัญญาณพาหะที่มีความถี่ 76.8 kHz โดยใช้วงจรเฟสล็อคลูป (Phase Lock Loop) ช่วยล็อคสัญญาณนาฬิกาและคูณความถี่ให้สูงขึ้น แต่เนื่องจากเราไม่สามารถคูณความถี่ 9.6 kbps ให้เป็น 76.8 kbps ได้โดยตรง จึงอาศัยสัญญาณนาฬิกาของวงจรหารความถี่ซึ่งอยู่ในวงจรแยกสัญญาณดิจิตอล ซึ่งจะมีความถี่ 76.8 kbps และได้เลือกใช้ความถี่สัญญาณนาฬิกา 9.6 kbps ไปคูณกับ8 ซึ่งก็จะได้ความถี่ 9.6*8= 76.8 kbps พอดี

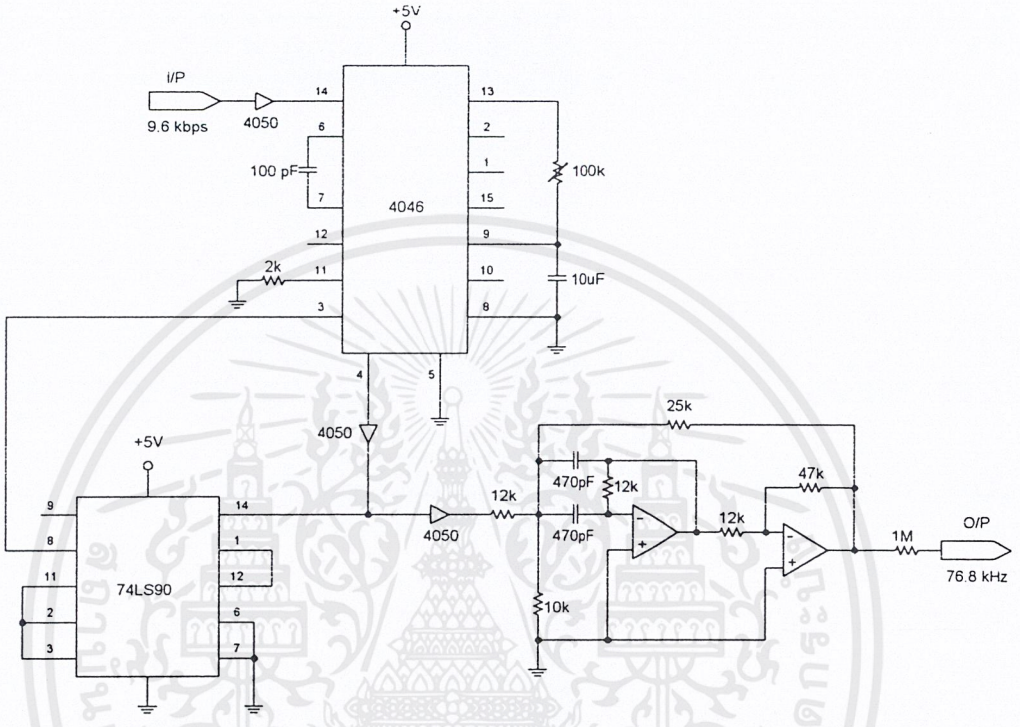
วงจรในส่วนนี้จะใช้ไอซีเฟสล็อคลูปเบอร์ 4046 เพราะมีอุปกรณ์ประกอบภายนอกไม่ยุ่งยาก แต่ช่วงการล็อคความถี่จะกว้างมาก ถึงอย่างไรก็อย่างไรก็ถือว่าไม่ใช่วัตถุประสงค์หลักในการทำโครงงานครั้งนี้เพียงแต่ต้องการทำเป็นวงจรคูณความถี่เท่านั้น

ในส่วนของวงจรหารความถี่ลดลง8เท่านั้นก็เลือกใช้ไอซี 74LS90 เพราะสะดวกในการต่อวงจรและมีความเชื่อถือได้พอสมควร อนึ่งสัญญาณที่ได้จากวงจรในส่วนนี้ ควรเป็นสัญญาณนาฬิกาที่สมบูรณ์แบบจึงได้นำไอซีเบอร์ 4050 มาประกอบร่วมด้วย เพราะจะช่วยทำให้เป็นสัญญาณที่สวยงามมากยิ่งขึ้น

เมื่อสัญญาณนาฬิกาผ่านวงจรเฟสล็อคลูปแล้ว ก็ยังคงเป็นสัญญาณรูปสี่เหลี่ยมอยู่ ซึ่งไม่สามารถนำไปเป็นสัญญาณพาหะได้ เพราะสัญญาณรูปสี่เหลี่ยมนั้นจะประกอบไปด้วยฮาร์โมนิกมากมายไม่เหมาะสมในการนำไปมอดูเลท ดังนั้นจึงใช้วงจรกรองช่วงความถี่ (Band Pass filter) เพื่อทำการกรองเอาความถี่ฮาร์โมนิกที่1 ซึ่งเป็นสัญญาณไซน์เวฟ ที่มีความถี่เท่ากับสัญญาณสี่เหลี่ยม หรืออาจจะกล่าวง่ายๆว่า เป็นการกรองเอาสัญญาณไซน์เวฟออกจากสัญญาณรูปสี่เหลี่ยม (square wave) นั่นเอง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ดังนั้นเราจะได้ความถี่สัญญาณนาฬิกา 76.8 kbps จากการนำสัญญาณนาฬิกาความถี่ 9.6 kbps ผ่านวงจรเฟสล็อคลูป และภายในวงจรเฟสล็อคลูปนั้นมีวงจรหาร8ประกอบอยู่ด้วย รูปวงจรทั้งหมดแสดงดังรูปที่ 3.4



รูปที่ 3.4 วงจรกำเนิดสัญญาณพาหะ 76.8 kHz

3.1.4 วงจรกำเนิดสัญญาณไพล็อทโทน 48 kHz

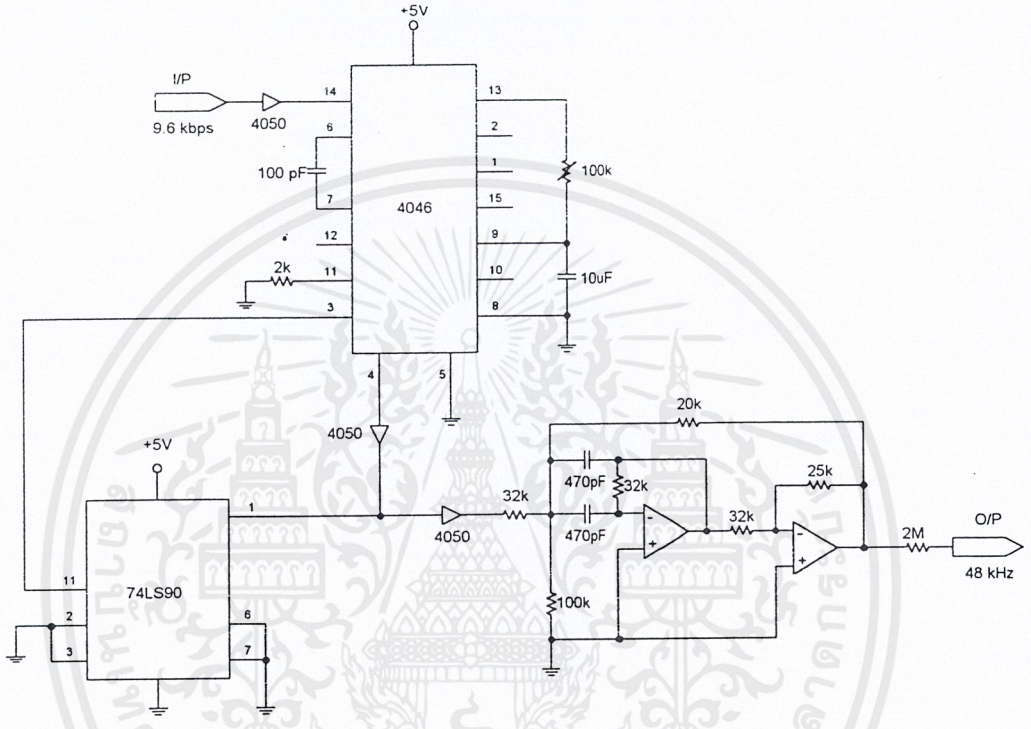
สัญญาณไพล็อทโทนในที่นี้คือ สัญญาณไซน์เวฟที่มีความถี่ใกล้เคียงกันกับสัญญาณพาหะ และมีความสัมพันธ์กับสัญญาณนาฬิกา เพราะอาศัยสัญญาณนาฬิกาคูณความถี่ขึ้นมา โดยใช้หลักการและวิธีการเหมือนกันกับวงจรกำเนิดสัญญาณพาหะนั่นเองโครงงานนี้จะเลือกกำเนิดความถี่ 48 kHz ซึ่งจะอยู่ทางด้านที่มีความถี่ต่ำกว่า(Lower Side Band) ของสเปคตรัมการมอดูเลทในโครงงานนี้ สาเหตุที่เลือกแบบวงจรคูณความถี่ ก็เพื่อจะได้ใช้วงจรหาร5 ภายในเฟสล็อคลูปในส่วนนี้ได้เลย และที่ความถี่ 48kHz นี้เป็นช่วงที่สเปคตรัมอยู่ในตำแหน่งของนัลที่2 (Second-null) พอดี จึงทำให้สามารถหลีกเลี่ยงสัญญาณรบกวนอันอาจจะเกิดจากการมอดูเลทแบบ8PSKนี้ได้ในระดับหนึ่ง

ถ้าหากพิจารณาอีกแง่หนึ่งจะพบว่าเป็นการใช้ช่วงความถี่ที่ไม่ค่อยมีประสิทธิภาพเท่าใดนัก เพราะแทนที่จะวางสัญญาณไพล็อทโทนไว้ตรงนัลแรก (First null) เพื่อเป็นการใช้ช่วงความถี่ที่แคบลงมา อีกแต่จุดประสงค์ในโครงงานนี้ก็เพื่อที่จะศึกษาหลักการ ความเป็นไปได้ และความน่าจะเป็นของความผิดพลาดของการมอดูเลทแบบ8PSK ซึ่งเมื่อเทียบกับการมอดูเลทแบบ BPSK จะได้เป็นแนวทางในการศึกษาพัฒนาระบบการส่งสัญญาณดิจิตอลต่อไป

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับใช้เพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สำหรับวงจรที่ใช้ก็จะเหมือนกันกับวงจรกำเนิดสัญญาณพาหะ 76.8 kHz เกือบทุกอย่าง จะแตกต่างกันตรงวงจรหารความถี่เท่านั้น คือเปลี่ยนจากวงจรหาร8 มาเป็นวงจรหาร5 รวมไปถึงวงจรกรองช่วงความถี่ผ่านที่ใช้ ก็เปลี่ยนความถี่ศูนย์กลางจากเดิมที่ 76.8 kHz ให้กลายเป็น 48kHz แทน

รายละเอียดของวงจรกำเนิดสัญญาณไพล็อทโทน แสดงดังรูปที่ 3.5



รูปที่ 3.5 วงจรกำเนิดสัญญาณไพล็อทโทน 48 kHz

3.1.5 วงจรกรองช่วงความถี่

วงจรกรองช่วงความถี่นี้จะทำหน้าที่คัดเลือกสัญญาณในช่วงความถี่ที่ต้องการให้สามารถผ่านวงจรออกไปได้ โดยที่ไม่ถูกลดทอน หน้าที่ของวงจรกรองช่วงความถี่นี้จะทำหน้าที่กรองเอาสัญญาณไซน์เวฟออกจากสัญญาณรูปสี่เหลี่ยม ภายในส่วนของวงจรกำเนิดสัญญาณพาหะและวงจรกำเนิดสัญญาณไพล็อทโทน และยังช่วยกำจัดสัญญาณรบกวน ที่เกิดจากวงจรข้างเคียงก่อนจะส่งออกไปยังภาครับอีกด้วย

วงจรกรองช่วงความถี่แบ่งเป็น 2 ชนิด คือ narrow band filter และ wide band filter โดยวงจร narrow band filter จะมีค่าแบนด์วิดมากกว่า 0.1 เท่าของความถี่รีโซแนนซ์ ($b < 0.1w_r$) และวงจร wide band filter จะมีค่าแบนด์วิธน้อยกว่า 0.1 เท่าของความถี่รีโซแนนซ์ อัตราส่วนระหว่างความถี่รีโซแนนซ์กับแบนด์วิธเราเรียกว่า Quality factor :Q

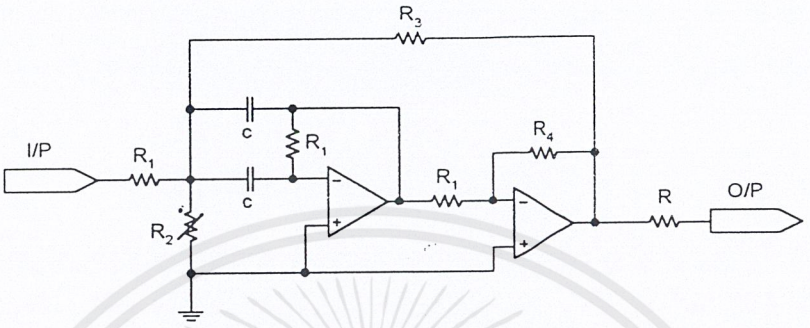
$$B = \frac{W_r}{Q} \tag{3.1}$$

$$Q = \frac{W_r}{B} \tag{3.2}$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

นั่นคือค่า Q ของวงจร narrow band filter จะมีค่ามากกว่า10 และค่า Q ของวงจร wide band filter จะมีค่าน้อยกว่า10

สำหรับวงจรกรองความถี่ย่านผ่านเราใช้วงจร Positive Feedback Filter แสดงดังรูป 3.6



รูปที่ 3.6 วงจร Positive Feedback Band-Pass Filter

การออกแบบเราจะกำหนดค่าความถี่ที่ต้องการ กำหนดค่า Q หรือ BW และเกนที่ต้องการ ขั้นตอนในการออกแบบมีดังนี้

1) เลือกค่าคาปาซิเตอร์ และหาค่า K parameter จากกราฟที่1 (ในภาคผนวก)

2) ใช้ค่า K ที่หาได้จากข้อ 1) มาหาค่าความต้านทานจากกราฟที่2 (ในภาคผนวก) ซึ่งค่าความต้านทานนี้จะขึ้นอยู่กับค่า Q,BW และเกนที่เรากำหนด

3) เลือกค่าความต้านทานให้ตรงตามกราฟที่ได้และทำการสร้างวงจร

จากการออกแบบ

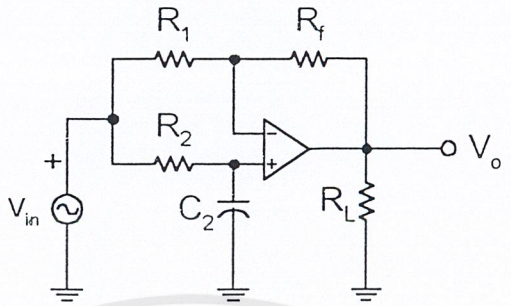
- ที่ความถี่ 76.8 kHz เราจะใช้ค่า Q=20, G=10 เลือกค่า C=470pF ดังนั้นจะได้ค่า K=2.8 จะได้ค่า R_1=12k , R_2=5k , R_3=25k , R_4=47k
- ที่ความถี่ 48 kHz เราจะใช้ค่า Q=40, G=10 เลือกค่า C=470pF ดังนั้นจะได้ค่า K=4 จะได้ค่า R_1=32k , R_2=10k , R_3=38k , R_4=27k

3.1.6 วงจรเลื่อนเฟสสัญญาณพาหะ 90องศา

จากการที่ทำการแยกสัญญาณดิจิตอลออกเป็น 2 ส่วนคือ บิทบนและบิทล่าง เราจึงมีวงจรบาลานซ์มอดูเลเตอร์ 2 วงจร และมีสัญญาณพาหะ 2 ชุด เพื่อที่จะเป็นตัวพาหะนำสัญญาณดิจิตอลออกไป ในโครงงานนี้จะเลือกใช้สัญญาณพาหะที่มีความถี่ตรงกัน แต่มีความต่างเฟสกัน 90 องศา โดยใช้สัญญาณพาหะไซน์เวฟที่ได้จากวงจรกำเนิดสัญญาณพาหะโดยตรง ไปมอดูเลทกับสัญญาณ4ระดับ ที่ทางด้านบิทบน และใช้สัญญาณพาหะโคไซน์เวฟ (cosine wave) ที่ได้จากวงจรเลื่อนเฟสสัญญาณพาหะ 90 องศา ไปมอดูเลทกับสัญญาณ 4ระดับที่อยู่ทางด้านบิทล่าง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ดังนั้นจึงทำการออกแบบวงจรเลื่อนเฟส ดังนี้



รูปที่ 3.7 วงจรเลื่อนเฟส 90 องศา

จารูปที่ 3.7 จะได้ว่า

$$\left|\frac{V_o}{V_{in}}\right| = \frac{\sqrt{1+(2\pi fR_2C_2)}}{\sqrt{1+(2\pi fR_2C_2)}} = 1 \qquad (3.3)$$

$$\phi = -2\tan^{-1}(2\pi fR_2C_2) \qquad (3.4)$$

เมื่อ $\frac{V_o}{V_{in}}$ = Gain ของวงจร

ϕ = Phase Shift ระหว่าง V_o กับ V_{in}

จากสมการที่ 3.4 เมื่อให้ ϕ=90° และ f=76.8kHzจะได้ว่า

$$-90 = 2\tan^{-1}(2\pi*76.8k*R_2C_2) \qquad (3.5)$$

เลือกค่า C_2=0.01μF นำไปแทนในสมการ 3.5 ได้ R_2 = 200 Ω ส่วนค่า R_1 , R_f และ R_L กำหนดให้มีค่าดังต่อไปนี้

$$R_1 = 10\,k$$

$$R_f = 10\,k$$

$$R_L = 1.5\,k$$

3.1.7 วงจรบาลานซ์มอดูเลทเตอร์

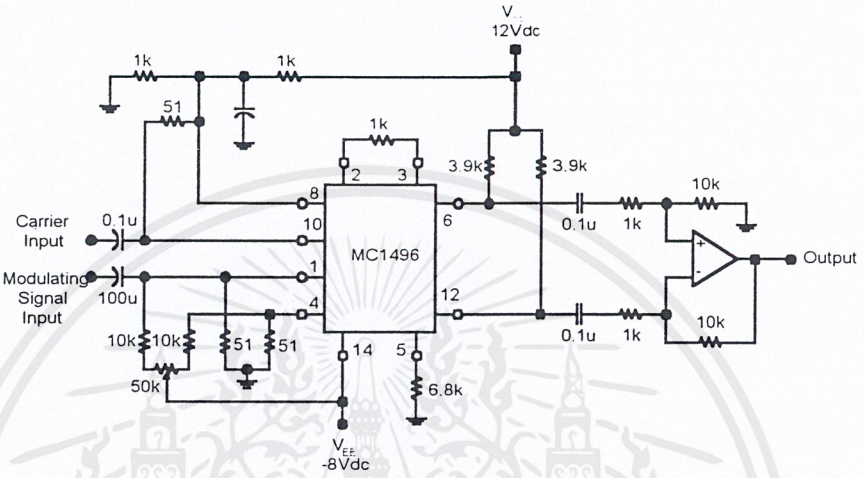
วงจรนี้นับว่าเป็นส่วนที่สำคัญยิ่ง เพราะจะทำหน้าที่คูรสัญญาณพาหะ กับสัญญาณ 4 ระดับออกจากัน โดยวงจรแยกสัญญาณดิจิตอลดังกล่าวคือจะมีทั้งบิทบนและบิทล่าง

วงจรบาลานซ์มอดูเลทเตอร์ทางด้านบิทบน ก็จะทำหน้าที่คูณสัญญาณ 4 ระดับที่มาจากวงจรแยกสัญญาณดิจิตอลทางด้านบิทบน กับสัญญาณพาหะที่ได้รับมาจากวงจรกำเนิดสัญญาณพาหะโดยตรง ส่วนวงจรบาลานซ์มอดูเลทเตอร์ทางด้านบิทล่าง ก็จะทำหน้าที่คูณสัญญาณ 4 ระดับ ที่ได้มาจากวงจรแยก

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้ นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สัญญาณดิจิตอลทางด้านบิทล่าง กับสัญญาณพาหะที่ได้มาจากวงจรกำเนิดสัญญาณพาหะ แล้วผ่านวงจรเลื่อนเฟส 90 องศา

ทั้งนี้รายละเอียดของวงจรบาลานซ์มอดูเลเตอร์ทั้ง 2 วงจรจะเหมือนกันทุกประการดังแสดงในรูปที่ 3.8



รูปที่ 3.8 วงจรบาลานซ์มอดูเลเตอร์

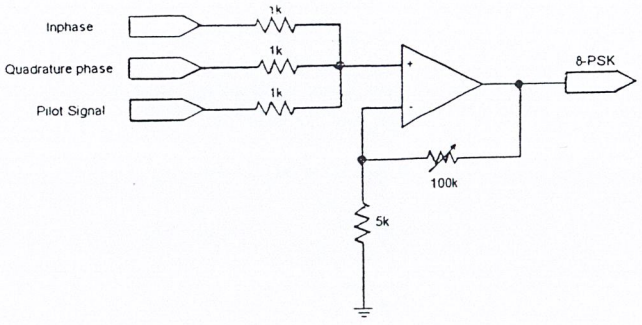
ข้อควรคำนึงในวงจรส่วนนี้คือ ข้อกำหนดของไอซีเบอร์ MC1496 ที่ได้ระบุไว้ว่าขนาดของสัญญาณที่จะนำมามอดูเลทควรมีค่าประมาณ 400 mV_{p-p} และขนาดของสัญญาณพาหะควรมีค่าประมาณ 100 mV_{rms} ดังนั้นสัญญาณทั้งสองก่อนที่จะเข้าไปคูณกัน ต้องผ่านตัวต้านทานปรับค่าได้เสียก่อน เพื่อจะได้ควบคุมระดับสัญญาณทั้งสองให้เป็นไปตามข้อกำหนดดังกล่าว

สัญญาณที่ได้จากวงจรบาลานซ์มอดูเลเตอร์นั้นมีขนาดเล็กมาก จึงต้องผ่านวงจรขยายความแตกต่าง (Differntial Amplifer) โดยอาศัยสัญญาณที่ออกจากขา 6 และขา 12 (สัญญาณที่ขา 6 และขา 12 จะกลับเฟสกันอยู่) ป้อนเข้าที่ขา 2 และขา 3 ของออปแอมป์ตามลำดับ และสามารถกำหนดอัตราขยายจากอัตราส่วนความต้านทานทำนองเดียวกันกับวงจรขยายแบบกลับเฟส (Inverting Amplifer)

3.1.8 วงจรรวมสัญญาณมอดูเลท

เมื่อได้ทำการมอดูเลทสัญญาณทั้งสองส่วนแล้ว ก็ต้องนำมารวมกันแล้วส่งออกไปพร้อมๆกัน วึ่งสัญญาณที่ต้องการส่งไปนั้นจะประกอบด้วยสัญญาณจากวงจรบาลานซ์ ทางด้านบิทบนสัญญาณจากวงจรบาลานซ์มอดูเลเตอร์ ทางด้านสัญญาณไพล็อทโทน และสามสัญญาณจะต้องถูกส่งออกไปพร้อมกันด้วยวงจรขยายรวมสัญญาณ (Summing Amplifier) โดยสัญญาณดังกล่าวจะถูกส่งไปตามสายโคแอกเชียล ดังจะได้แสดงวงจรรวมสัญญาณในรูปที่ 3.9

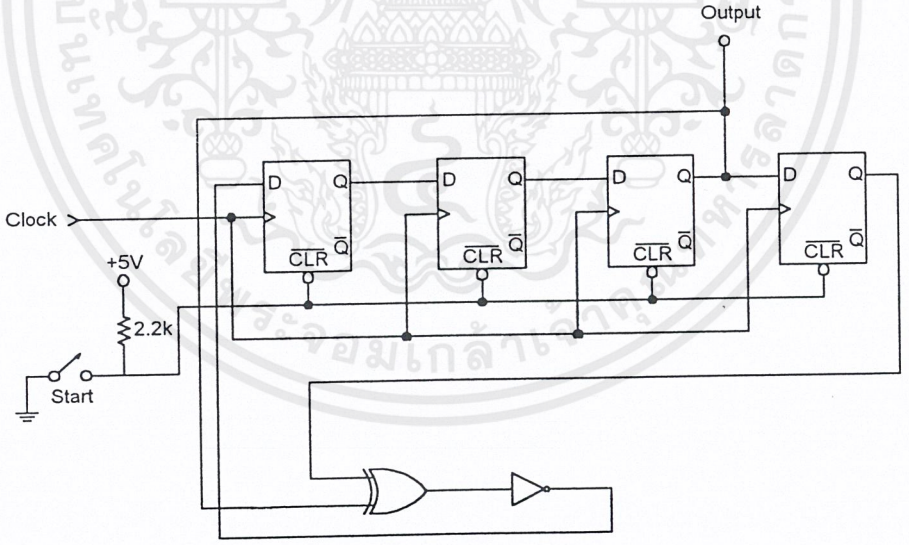
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.9 วงจรรวมสัญญาณ

3.1.9 วงจรกำเนิดสัญญาณข้อมูล

ในโครงงานนี้เราใช้วงจรกำเนิดสัญญาณข้อมูลแบบ Pseudo-Random Sequence Generator รูปวงจรแสดงดังรูปที่ 3.10 ซึ่งจะให้เอาท์พุตออกมาดังนี้ 1110110010100000 เมื่อนำไปป้อนให้กับวงจรแยกสัญญาณดิจิตอล วงจรจะรับข้อมูลเข้าไปทีละ3บิท ทำให้มีข้อมูลที่แตกต่างกัน 5 ค่า คือ 111,011,001,010 และ 000

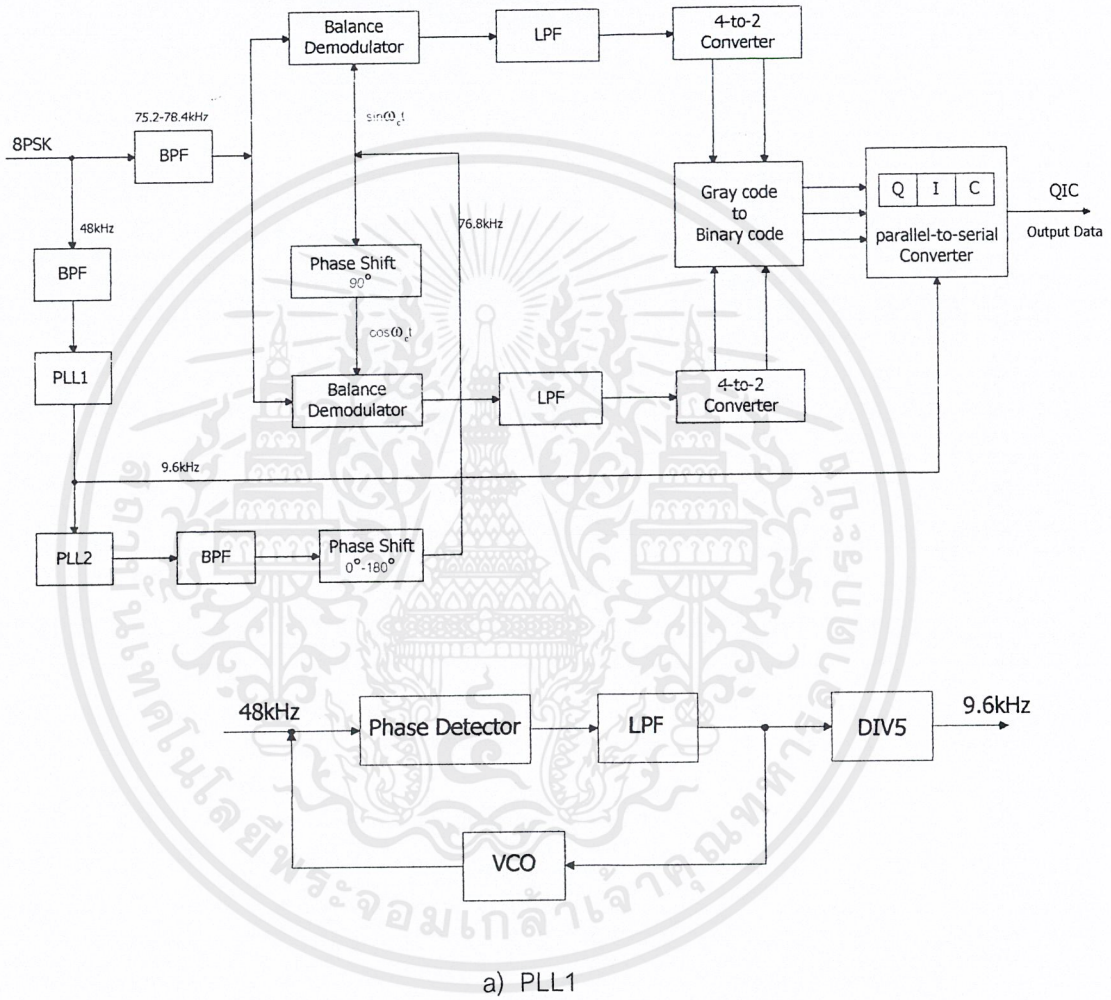


รูปที่ 3.10 วงจรกำเนิดสัญญาณข้อมูล

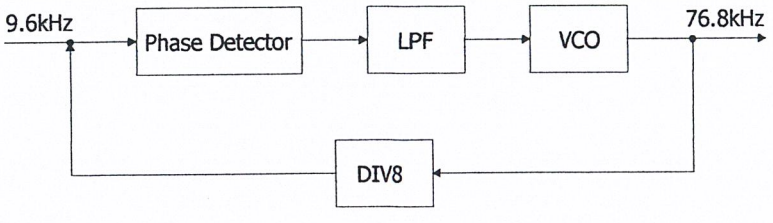
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.2 การออกแบบวงจรทางด้านภาครับ

ในการออกแบบและทดลองวงจรทางด้านภาครับนั้น ต้องมีการเพิ่มเติมบางส่วนจากทฤษฎี เพื่อให้สอดคล้องกับสัญญาณที่ส่งมาจากด้านภาคส่ง ซึ่งสัญญาณที่ส่งมามีความถี่ของสัญญาณนำร่อง 48 kHz ร่วมกับสัญญาณเข้ารหัส ดังนั้นต้องมีวงจรกรองสัญญาณ 2 ส่วนคือ วงจรกรองความถี่ช่วง 75.2-78.4 kHz และวงจรกรองความถี่ 48 kHz ดังแสดงในรูป



a) PLL1



b) PLL2

รูปที่ 3.11 แสดงบล็อคไดอะแกรมของวงจรทางด้านภาครับ 8PSK

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

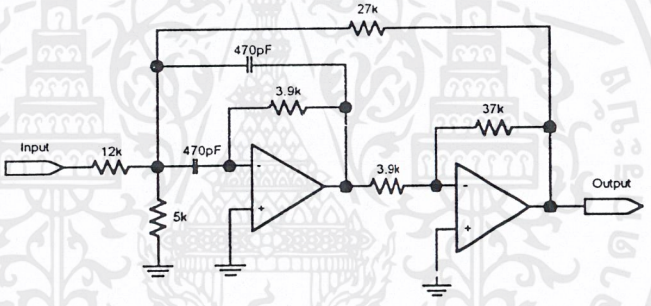
สัญญาณนำร่อง 48 kHz ได้นำมาใช้ในการกู้สัญญาณพาหะ sine wave 76.8 kHz ผ่านวงจรเลื่อนเฟส 90 องศา นำมาทำการดีเทคเตอร์สัญญาณที่เข้ารหัส ผ่าน วงจรกรองความถี่ต่ำผ่าน แล้วนำสัญญาณมาเข้ารหัส Gray Code to Binary Code จากนั้นทำการเลื่อนสัญญาณข้อมูลแบบขนานเป็นอนุกรม ก็จะได้สัญญาณเอาท์พุตออกมา

ส่วนของสัญญาณนาฬิกาได้มาจากการเอาสัญญาณนำร่องมาผ่านวงจรเฟสล็อคลูปได้สัญญาณนาฬิกา 9.6 kHz ใช้ในการเลื่อนข้อมูลออกทางเอาท์พุต

วงจรกรองช่วงความถี่ช่วง 75.2-78.4kHz

สัญญาณที่เข้ารหัสถูกส่งมาตามสายโคแอกเชียล ทางภาครับต้องทำการกรองสัญญาณช่วงความถี่ที่ภาครับต้องการเท่านั้น พร้อมทั้งกำจัดสัญญาณรบกวนได้อีกทางหนึ่งด้วย

ในการออกแบบเราใช้วงจรกรองช่วงความถี่ผ่านแบบป้อนกลับทางบวก 3.12



รูปที่ 3.12 วงจรกรองความถี่ช่วง 75.2-78.4 kHz

3.2.1 วงจรกู้สัญญาณนาฬิกา

สัญญาณ 8 PSK จะถูกส่งมาตามสายโคแอกเชียลเข้ามายังภาครับ ดังนั้นจำเป็นต้องมีวงจรกรองช่วงความถี่ (Band Pass Filter) ในการตรวจรับสัญญาณมอดูเลทในขั้นต้น เพื่อทำหน้าที่คัดเลือกสัญญาณที่สามารถเข้าสู่ภาครับได้ให้อยู่ได้ในเฉพาะช่วงความถี่ที่ต้องการเท่านั้น อีกทั้งยังเป็นการกำจัดสัญญาณรบกวนได้อีกทางหนึ่งด้วย ในที่นี้จะมีวงจรกรองช่วงความถี่ผ่านอยู่ 2 วงจร จะใช้กรองความถี่ของสัญญาณมอดูเลทช่วง 76.8 kHz และใช้กรองความถี่ของสัญญาณไพล็อทโทน 48 kHz ลักษณะรายละเอียดการออกแบบและทดลองวงจรจะคล้ายกับวงจรกรองช่วงความถี่ผ่านของวงจรภาคส่ง

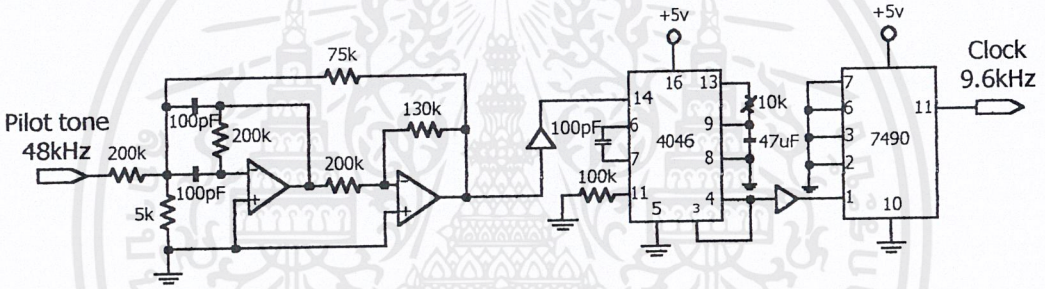
เมื่อสัญญาณไพล็อทโทน 48 kHz ผ่านวงจรกรองช่วงความถี่แล้วจะถูกส่งต่อไปยังวงจรกู้สัญญาณนาฬิกาเพื่อทำการแปลงสัญญาณรูปไซน์ให้เป็นสัญญาณรูปสแควร์เวฟ จากนั้นก็จะผ่านวงจรหาร 5 เพื่อทำให้สัญญาณรูปสแควร์เวฟ 48 kHz มีความถี่ลดลงเหลือ 9.6 kHz ซึ่งมีค่าเท่ากับสัญญาณนาฬิกา 9.6 kHz ที่ภาคส่งพอดี

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เนื่องจากการที่ทางด้านภาคส่งนั้น สัญญาณไพล็อทโทนได้มาจากการอ้างอิงสัญญาณนาฬิกาโดยใช้วงจรเฟสล็อคลูปทำการล็อคสัญญาณเอาไว้ แล้วคูณความถี่ให้สูงขึ้น หลังจากนั้นใช้วงจรกรองช่วงความถี่ช่วยทำให้สัญญาณรูปสแควร์เวฟกลายเป็นสัญญาณไซน์เวฟ และที่ภาครับนั้นเมื่อรับสัญญาณไพล็อทโทนได้ แล้วจะใช้วงจรเฟสล็อคลูปล็อคสัญญาณเอาไว้พร้อมกับแปลงสัญญาณไซน์เวฟให้เป็นสัญญาณรูปสแควร์เวฟจากนั้นก็ใช้วงจรหารความถี่เพื่อให้ความถี่ลดลงเหลือ 9.6 kHz จากนั้นจึงนำสัญญาณที่ได้นี้ไปเข้าวงจรเฟสล็อคลูปเพื่อให้ได้สัญญาณนาฬิกาคือ 9.6 kHz

ดังนั้นจะเห็นได้ว่าการสร้างสัญญาณไพล็อทโทนของทางภาคส่งและสัญญาณนาฬิกาของทางภาครับนั้นจะอาศัยการอ้างอิงและเปรียบเทียบกับสัญญาณที่มีอยู่แล้วในวงจร อีกทั้งยังเป็นสัญญาณตัวเดียวกันอีกด้วย รวมทั้งการใช้วงจรเฟสล็อคลูปซึ่งมีการผลิตความถี่และวงจรเปรียบเทียบเฟสสัญญาณอยู่ภายใน จึงเป็นการทำให้เกิดการซิงค์โครไนซ์ (Synchronization) กันระหว่างภาคส่งและภาครับ

วงจรกู้สัญญาณนาฬิกา (Clock Recovery) แสดงได้ดังในรูปที่ 3.13

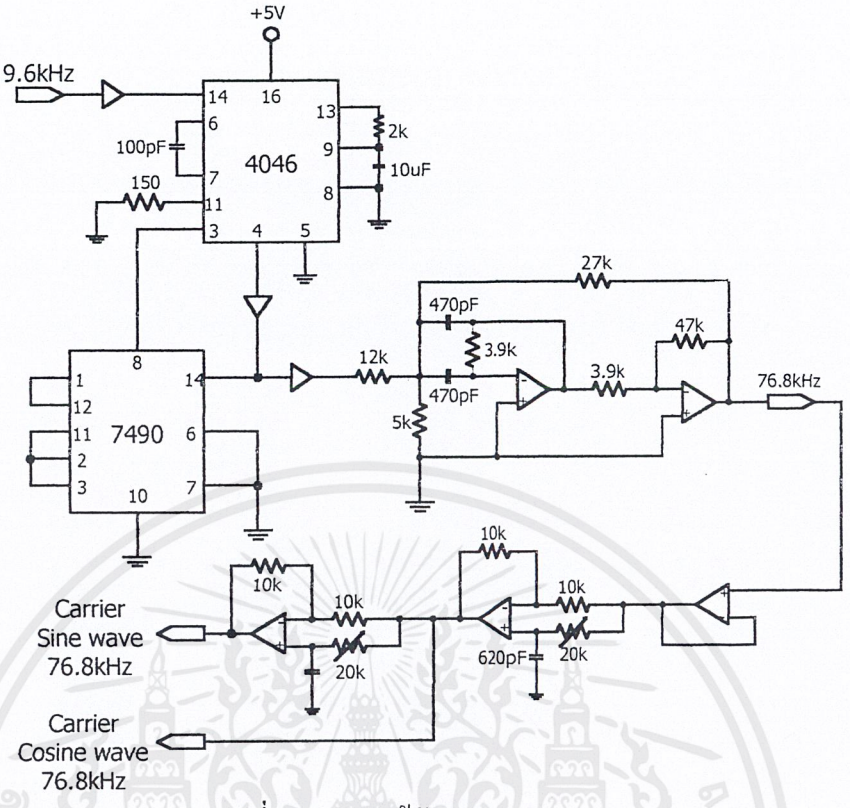


รูปที่ 3.13 วงจรกู้สัญญาณนาฬิกา

3.2.2 วงจรกู้สัญญาณพาหะ

วงจรกู้สัญญาณพาหะ (Carrier Recovery) นั้นจะใช้หลักการและวิธีการเหมือนกันทุกประการกับวงจรกำเนิดสัญญาณพาหะของทางด้านภาคส่ง กล่าวคือจะอาศัยสัญญาณนาฬิกาที่ได้จากวงจรกู้สัญญาณนาฬิกามาใช้เป็นสัญญาณอ้างอิง แล้วคูณความถี่ให้สูงขึ้นโดยใช้วงจรเฟสล็อคลูป จากนั้นก็จะผ่านวงจรกรองช่วงความถี่เพื่อทำการคัดเลือกเฉพาะสัญญาณไซน์เวฟเพื่อนำไปเป็นสัญญาณพาหะสำหรับใช้ในวงจรบาลานซ์ดีมอดูเลเตอร์ต่อไป ดังจะแสดงวงจรกู้สัญญาณพาหะในรูปที่ 3.14

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.14 วงจรกู้สัญญาณพาหะ

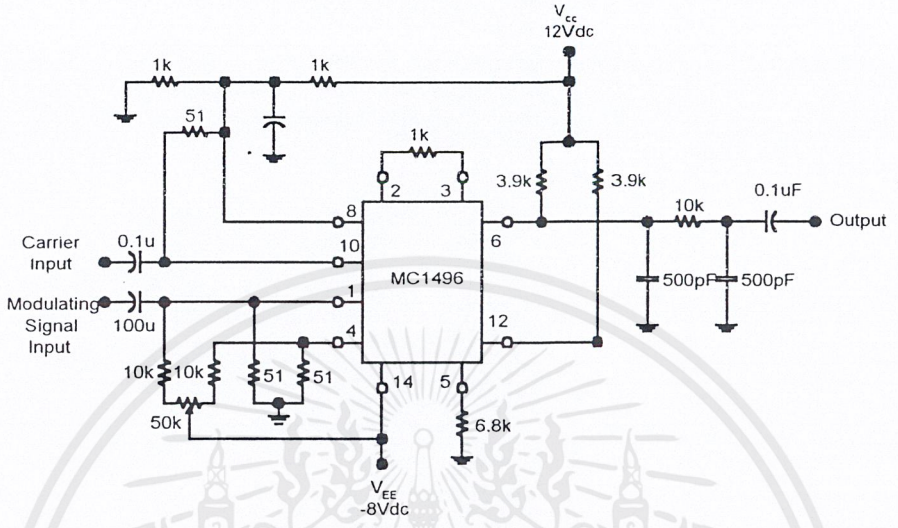
เนื่องจากสัญญาณมอดูเลทที่รับได้นั้นจะประกอบไปด้วยสัญญาณดิจิตอลที่ถูกแบ่งออกเป็น 2 ส่วนและสัญญาณข้อมูล 2 บิทที่ถูกแยกออกมานั้นจะกลายเป็นสัญญาณ 4 ระดับแล้วมอดูเลทกับสัญญาณพาหะ และสัญญาณมอดูเลททางด้านควอดราเจอร์เฟสที่ใช้สัญญาณโคไซน์เป็นสัญญาณพาหะ ในทำนองเดียวกัน ณ ที่ภาครับนี้สัญญาณพาหะก็ต้องมี 2 ชุดด้วย โดยจะใช้สัญญาณไซน์เวฟที่ได้จากวงจรกู้สัญญาณพาหะเพื่อนำไปใช้ในวงจรบาลานซ์ดีมอดูเลเตอร์ของทางด้านอินเฟสและจะใช้สัญญาณโคไซน์ที่ได้มาจากวงจรกู้สัญญาณพาหะแล้วผ่านวงจรเลื่อเฟส 90 องศาเพื่อนำไปใช้ในวงจรบาลานซ์ดีมอดูเลเตอร์ของทางด้านควอดราเจอร์เฟส

3.2.3 วงจรบาลานซ์ดีมอดูเลเตอร์

วงจรบาลานซ์ดีมอดูเลเตอร์ (Balance Demodulator) ที่ภาครับนี้จะเหมือนกันทุกประการกับวงจรบาลานซ์มอดูเลเตอร์ทางด้านภาคส่ง และด้วยเหตุที่ว่าข้อมูลที่ส่งมามี 2 ส่วน ดังนั้นในภาครับก็จะต้องมีวงจรบาลานซ์ดีมอดูเลอตร์ 2 วงจร เพื่อที่จะทำหน้าที่แยกวงจรสัญญาณ 4 ระดับที่ถูกมอดูเลทมากับสัญญาณพาหะ ทั้งทางด้านอินเฟสและทางด้านควอดราเจอร์เฟส โดยอาศัยสัญญาณพาหะจากวงจรกู้สัญญาณโดยตรงคือไซน์เวฟคูณเข้ากับสัญญาณมอดูเลทที่วงจรบาลานซ์ดีมอดูเลเตอร์ทางด้านอินเฟส และสัญญาณพาหะจากวงจรเลื่อนเฟส 90 องศาคือ สัญญาณรูปโคไซน์คูณเข้ากับสัญญาณมอดูเลทที่วงจรบาลานซ์ดีมอดูเลเตอร์ทางด้านควอดราเจอร์เฟส

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ลักษณะและรายละเอียดของวงจรบาลานซ์ดีมอดูเลเตอร์ทั้ง 2 วงจรจะเหมือนกันทุกประการ แสดงได้ดังนี้



รูปที่ 3.15 วงจรบาลานซ์ดีมอดูเลเตอร์

สัญญาณเอาท์พุตของวงจรดีมอดูเลเตอร์ทั้ง 2 วงจรนั้นจะประกอบไปด้วยสัญญาณที่เกิดจากการคูณกันระหว่างสัญญาณมอดูเลทกับสัญญาณพาหะ และผลที่ได้จะมีทั้งสัญญาณความถี่สูงและสัญญาณความถี่ต่ำ ดังนั้นจึงต้องใช้วงจรกรองความถี่ต่ำเพื่อทำหน้าที่ตัดสัญญาณความถี่สูงทิ้งไปเหลือเพียงสัญญาณ 4 ระดับในส่วนของความถี่ต่ำเท่านั้น

3.2.4 วงจรแปลงสัญญาณ 4 ระดับเป็น 2 บิท

เมื่อสัญญาณผ่านวงจรบาลานซ์ดีมอดูเลเตอร์ทางภาครับแล้ว จะมีสัญญาณความถี่ต่ำและเมื่อผ่านขบวนการตัดสินระดับและจัดรูปพัลซ์แล้วจะเป็นสัญญาณ 4 ระดับเหมือนกับสัญญาณก่อนเข้าวงจรบาลานซ์ดีมอดูเลเตอร์ของทางด้านภาคส่ง ดังนั้นเราจำเป็นต้องเปลี่ยนสัญญาณ 4 ระดับดังกล่าวให้เป็นสัญญาณดิจิตอล 2 บิท เพื่อที่จะนั้นไปรวมกันเป็นข้อมูลดิจิตอลส่งออกต่อไป

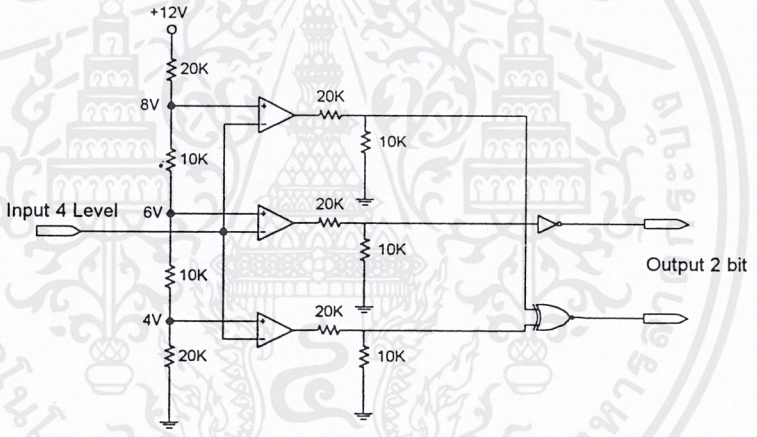
วงจรเปรียบเทียบแรงดันจะอาศัยออปแอมป์ทำหน้าที่ตรวจจับระดับสัญญาณ ทำการตั้งจุดการทำงานของออปแอมป์ไว้ที่ระดับแรงดันต่างๆกัน ดังนี้คือ –1 โวลท์, -0 โวลท์ และ 1 โวลท์ เมื่อสัญญาณเข้ามาออปแอมป์แต่ละตัวจะตรวจสอบเปรียบเทียบความต่างศักย์ระหว่างขากลับขั้วและขาไม่กลับขั้ว แล้วให้เอาท์พุตตามลักษณะสมบัติของตัวมันและที่ขาเอาท์พุตแต่ละตัวจะใช้ตัวต้านทานแบบแรงดันเพื่อที่ต้องการเพียง 5 โวลท์ ในขณะที่สัญญาณเข้ามาต่ำกว่าระดับที่ตั้งไว้ และ 0 โวลท์ ในขณะที่สัญญาณเข้ามาสูงกว่าระดับที่ตั้งไว้ของออปแอมป์ทุกตัว ทั้งนี้เพื่อทำให้สอดคล้องกับอินพุตที่ EX-OR Gate (ไฟเลี้ยงของออปแอมป์จะป้อน +12 โวลท์ เข้าที่ขา 7 และขา 4 ลงกราวน์ ดังนั้นเอาท์พุตของออปแอมป์จะไม่มีโอกาสเป็นไฟลบ)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ดังนั้นเอาท์พุตจากวงจรที่ได้จาก EX-OR Gate แล้วจะเป็นสัญญาณดิจิตอลที่เป็นเกรย์โค้ด ดังตารางที่ 3.3

สัญญาณอินพุต	เอาท์พุตจากเกรย์โค้ด
1.2mV	1 1
0.5mV	1 0
-0.5mV	0 0
-1.2mV	0 1

ตารางที่ 3.3 แสดงการตรวจจับระดับสัญญาณแล้วแปลงสัญญาณเป็นรหัสเกรย์โค้ด



รูปที่ 3.16 วงจรแปลงสัญญาณ 4 ระดับเป็น 2 บิท

3.2.5 วงจรรวมสัญญาณดิจิตอล

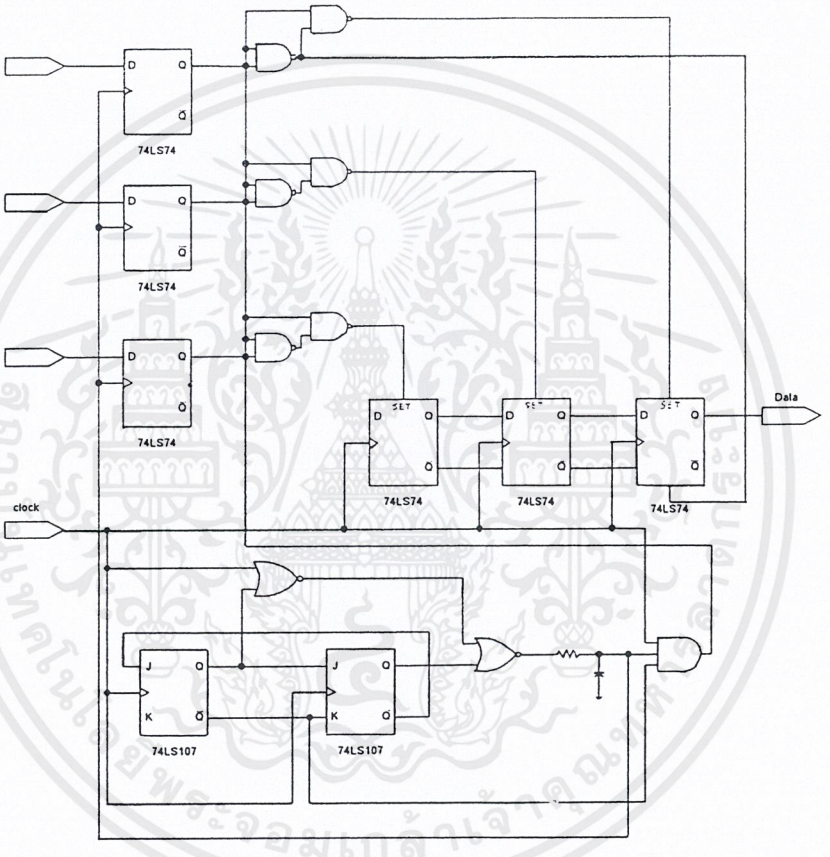
เป็นวงจรที่มีลักษณะและหน้าที่การทำงานตรงกันข้ามกับวงจรแยกสัญญาณดิจิตอลของทางด้านภาคส่ง เพื่อทำหน้าที่รวมสัญญาณดิจิตอลทั้งด้านอินเฟสและควอดราเจอร์เฟส (บิทบนและบิทล่าง) จากสัญญาณดิจิตอลแบบขนานไปเป็นสัญญาณดิจิตอลแบบอนุกรม โดยอาศัยการควบคุมจังหวะการทำงานของฟลิปฟลอปจากสัญญาณนาฬิกาที่ได้จากวงจรกู้สัญญาณนาฬิกา

สัญญาณดิจิตอลที่ได้มาจากภาคส่งในส่วนของวงจรแยกสัญญาณดิจิตอลนั้นจะเป็นรหัสเกรย์โค้ด จึงต้องทำการสัญญาณให้เป็นรหัสไบนารี่ โดยอาศัยหลักการทำงานของ EX-OR Gate เหมือนกับทางด้านภาคส่ง

วงจรหาร 3 หรือวงจรหน่วงเวลา3 บิท ก็จะนำมาใช้อีกเช่นเดิม แต่จะทำหน้าที่พิเศษในการบังคับ D ฟลิปฟลอปชุดแรกให้มีจังหวะพอดีกับความต้องการรับข้อมูลของ D ฟลิปฟลอปชุดที่ 2 เพราะว่าข้อมูล

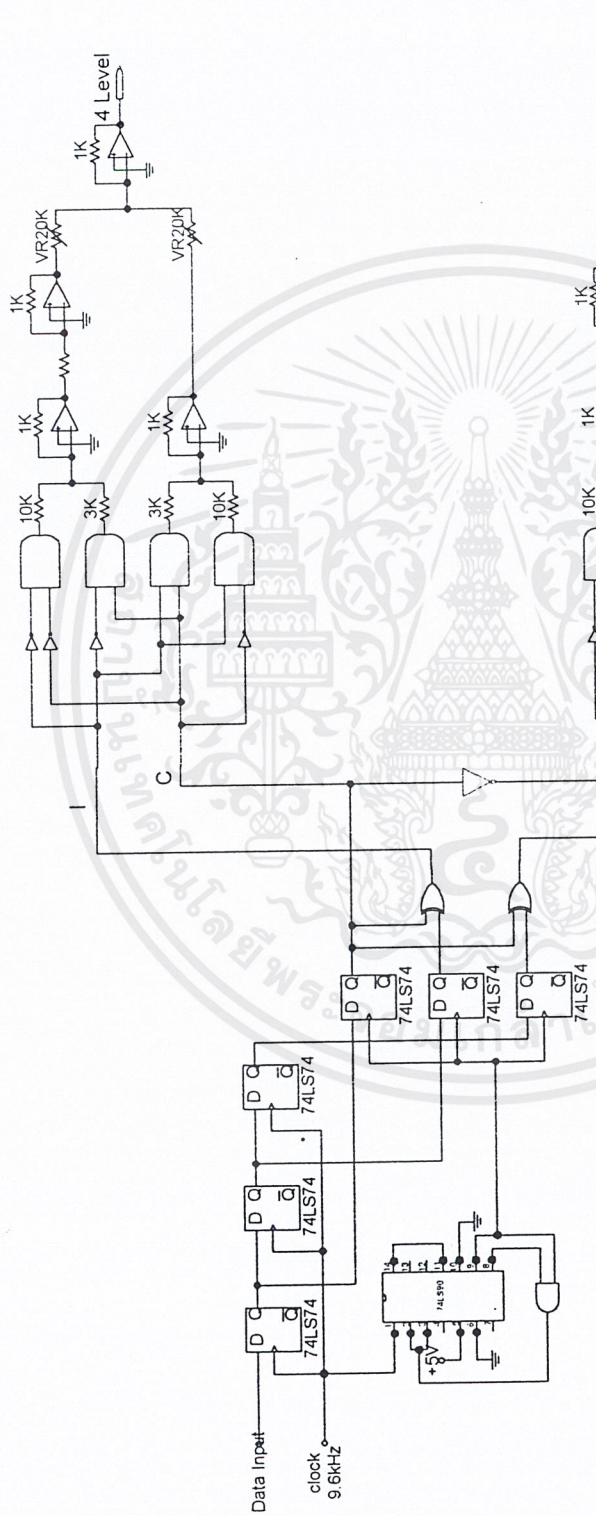
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จาก D ฟลิปฟลอปชุดแรกจะถูกส่งไปบังคับให้ D ฟลิปฟลอปชุดที่ 2 แต่ละตัว เมื่อ D ฟลิปฟลอปชุดที่ 2 รับข้อมูลไปแล้วนั้นการจะใช้เวลาเพียงสัญญาณนาฬิการพัลซ์ลูกเดียวเท่านั้น จึงใช้ NAND Gate แบบ 3 อินพุตเข้ามาช่วยในการบังคับให้ D ฟลิปฟลอปชุดแรกส่งข้อมูลเฉพาะสัญญาณนาฬิกาลูกแรกเท่านั้น (พัลซ์ที่ใช้ควบคุม D ฟลิปฟลอปชุดแรกจะมี 3 ลูก) ซึ่งหลักการดังกล่าวนี้ก็คือหลักการของการแปลงข้อมูลแบบขนานไปเป็นอนุกรมนั่นเอง วงจรที่ได้ทำการออกแบบและทดลองแสดงได้ดังรูปที่ 3.17



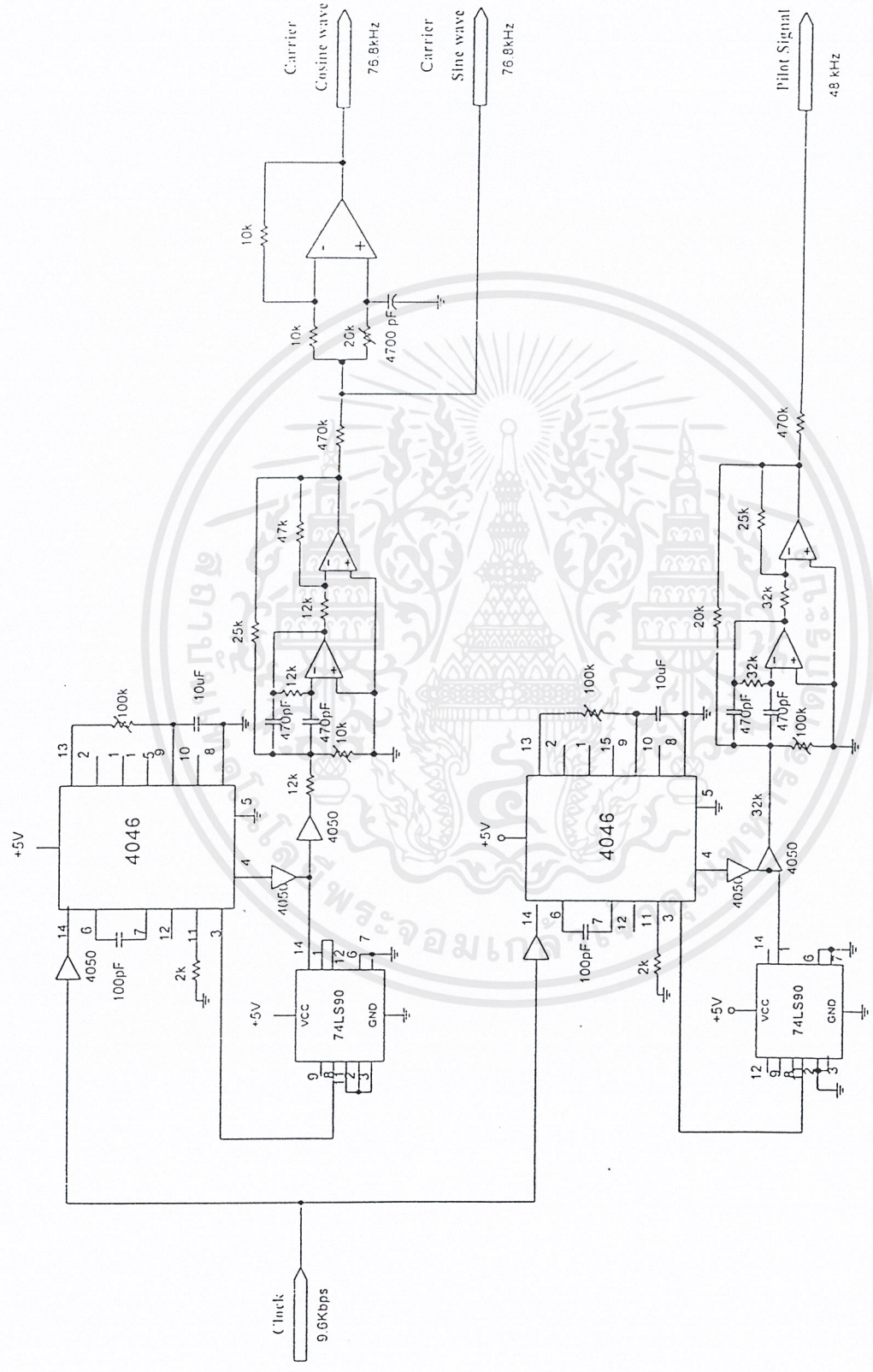
รูปที่ 3.17 วงจรรวมสัญญาณดิจิตอล

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



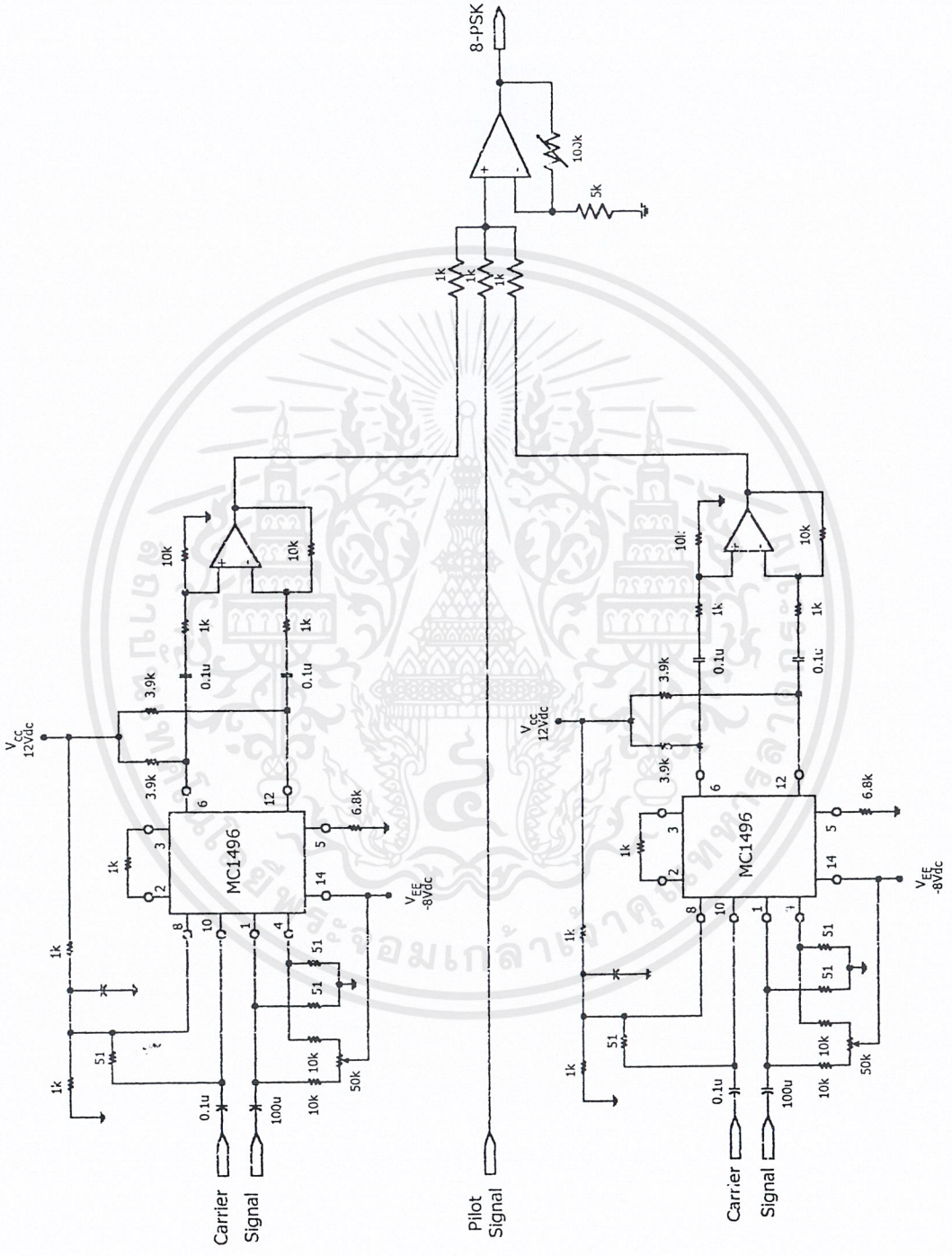
รูปที่ 3.18 วงจรรวมภาคส่งส่วนที่1

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



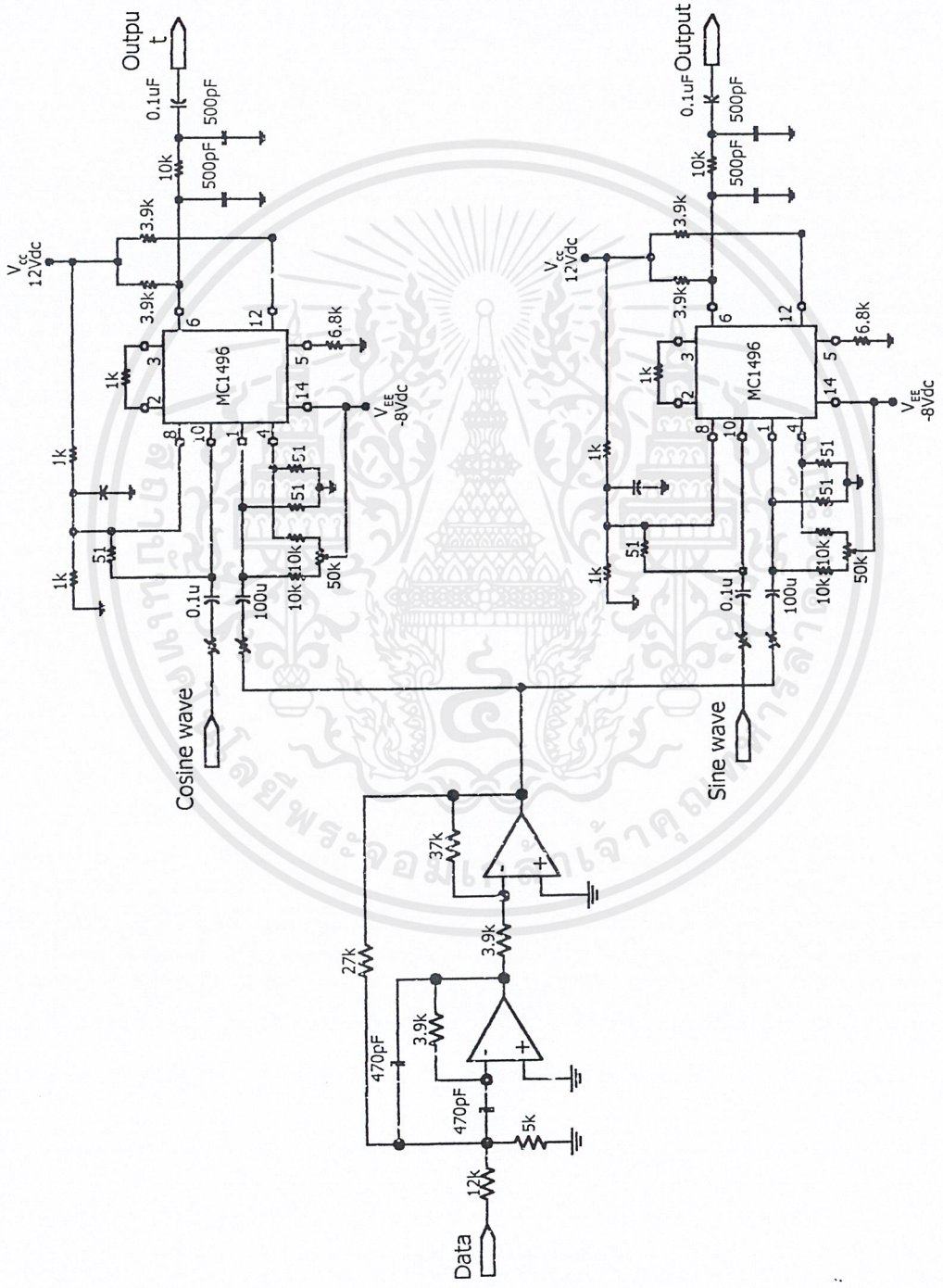
รูปที่ 3.19 วงจรภาคส่งส่วนที่2

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



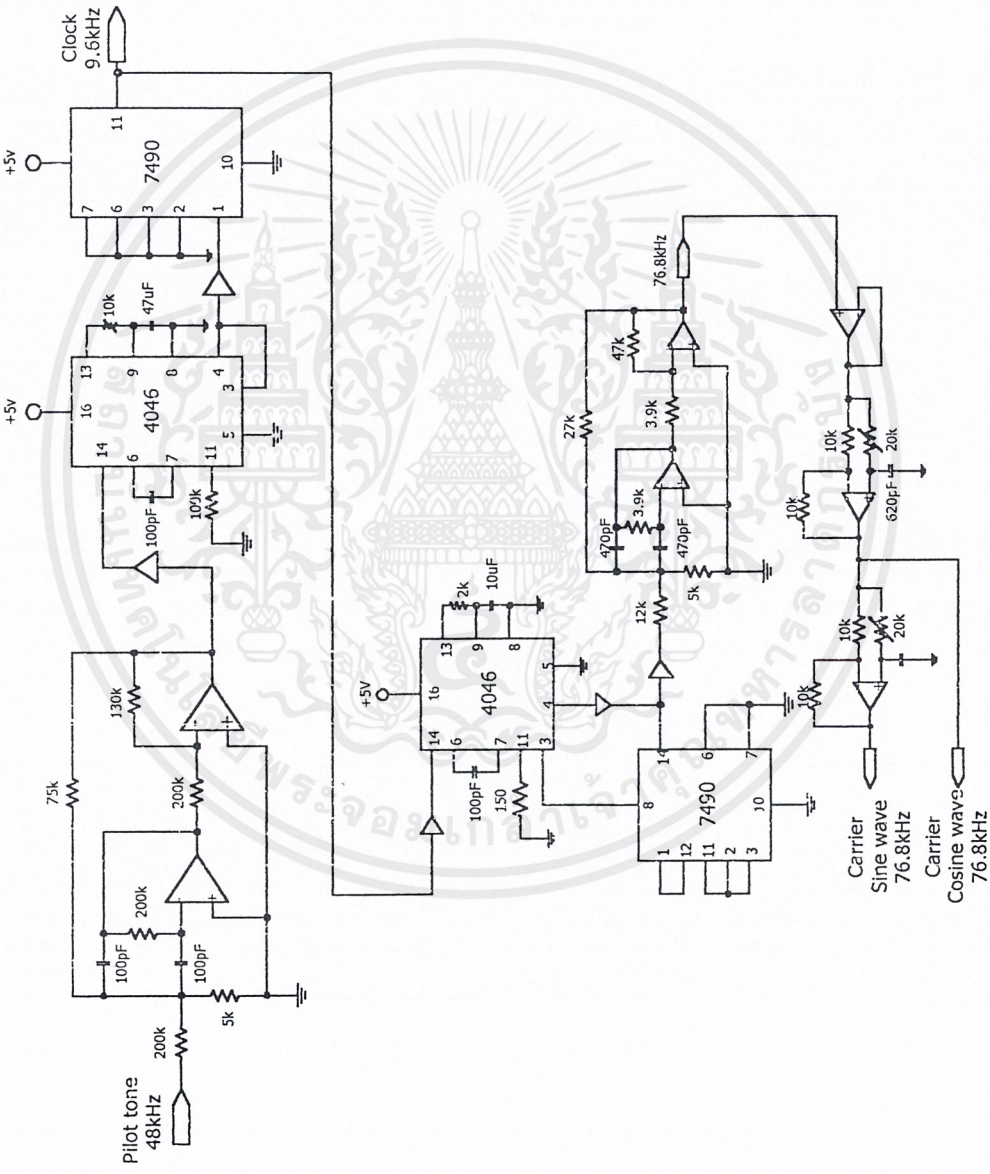
รูปที่ 3.20 วงจรรวมภาคส่งส่วนที่ 3

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



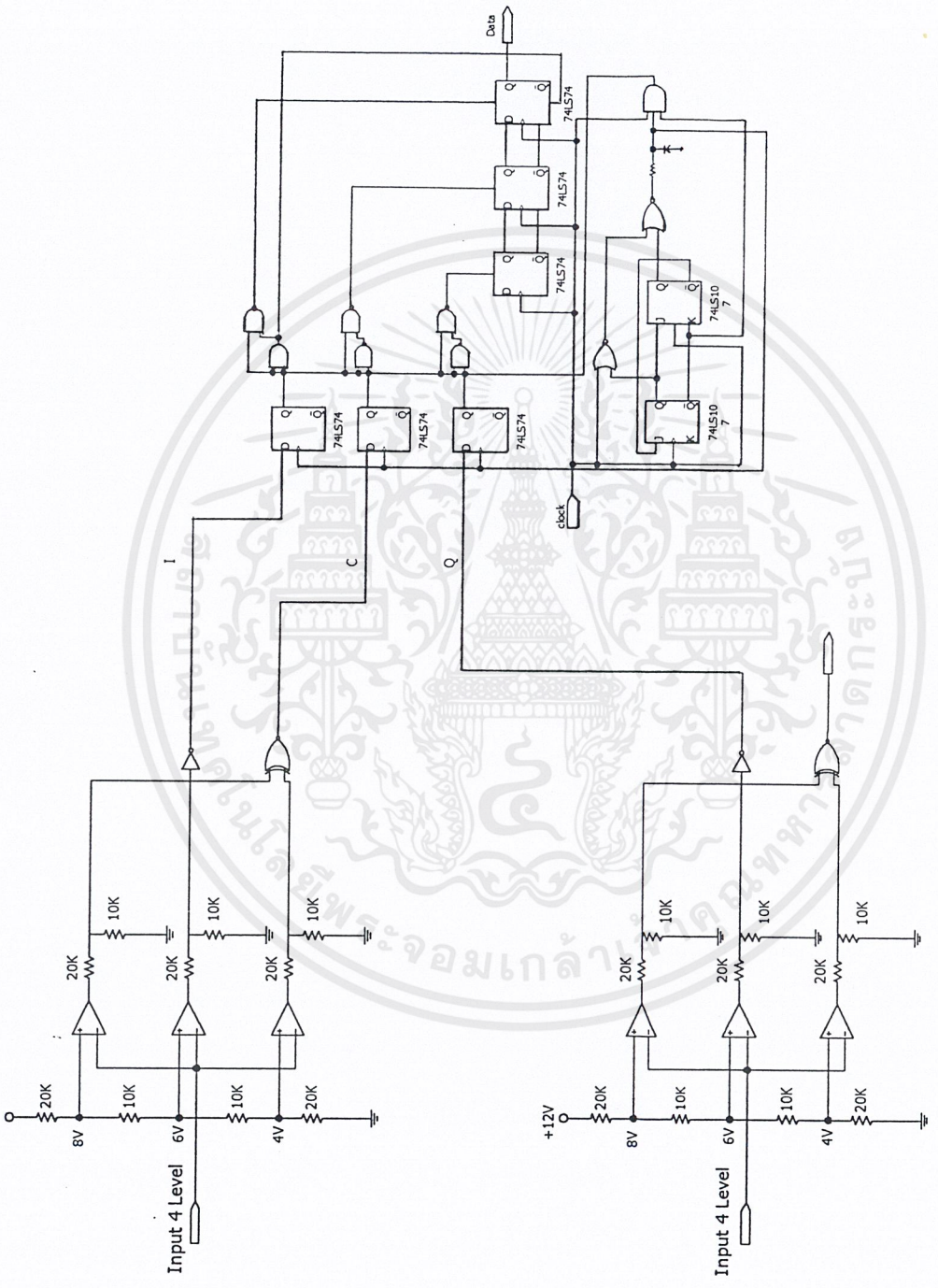
รูปที่ 3.21 วงจรภาครับส่วนที่ 1

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.22 วงจรรวมภาครับส่วนที่ 2

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.23 วงจรรวมภาครับส่วนที่ 3

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 4
การทดลองและผลการทดลอง

4.1 จุดประสงค์การทดลอง

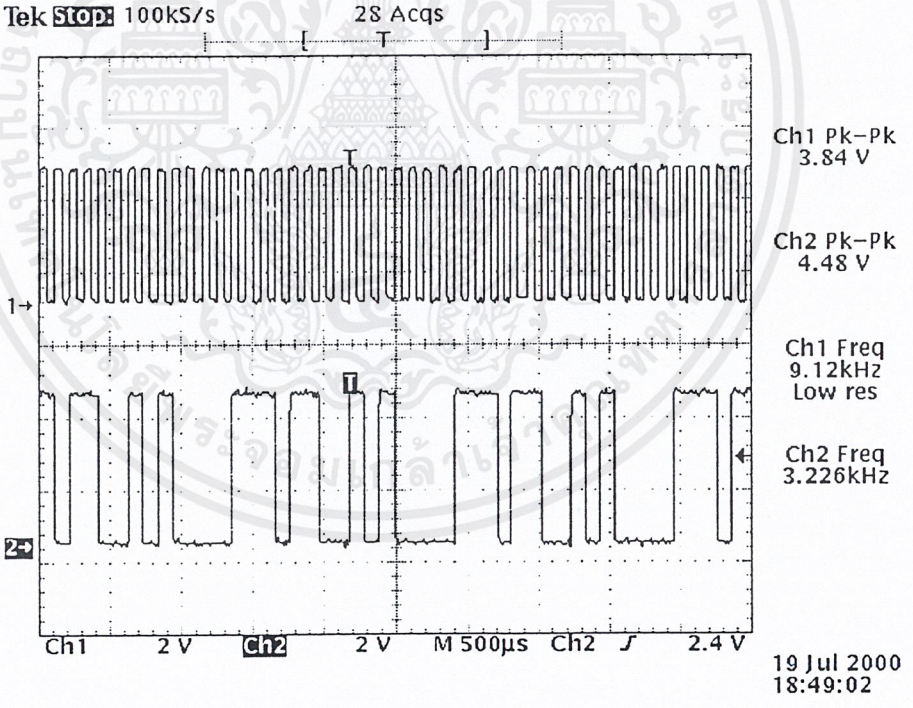
1) เพื่อศึกษารูปแบบการส่งสัญญาณดิจิตอล เพื่อเป็นพื้นฐานในการศึกษารูปแบบอื่นๆต่อไป

2) เพื่อนำเสนอการส่งสัญญาณดิจิตอล อัตราความเร็ว 9.6 kbps โดยส่งสัญญาณแบบ 8PSK ซึ่งสามารถลดแบนด์วิธลงได้ถึง2เท่า ของการส่งสัญญาณแบบPSK ทำให้การใช้ช่องสัญญาณมีประสิทธิภาพมากขึ้น

4.2 การทดลองและผลการทดลองทางด้านภาคส่ง

4.2.1 วงจรกำเนิดสัญญาณข้อมูล

จากวงจรรูปที่ 3.8 ป้อนสัญญาณนาฬิกา 9.6 kHz ให้กับวงจร แล้ววัดสัญญาณเอาท์พุต ซึ่งเป็นบิทข้อมูล ได้ดังรูปที่ 4.1

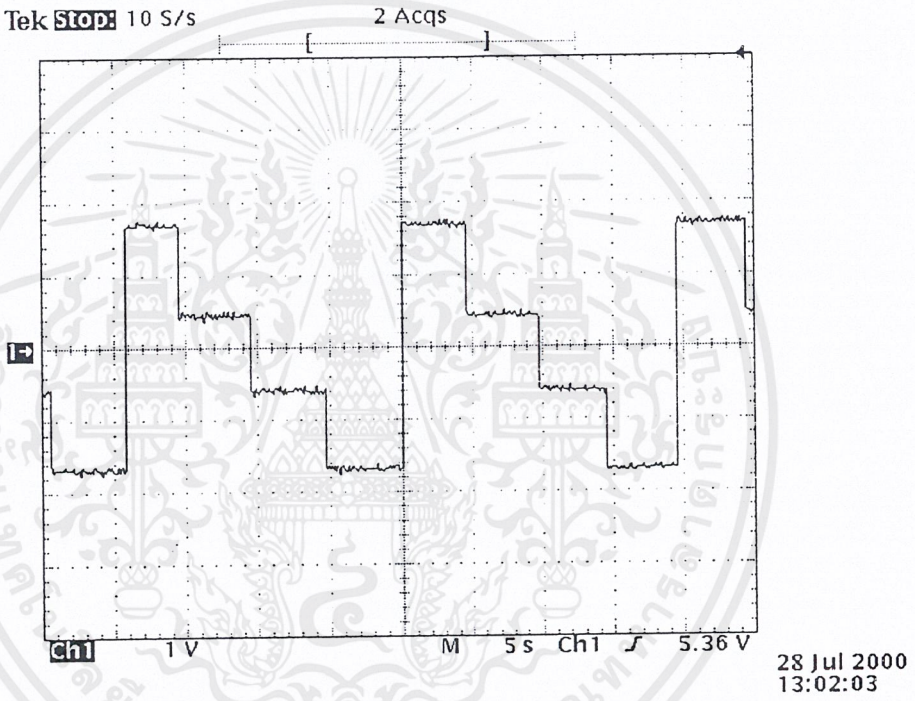


รูปที่ 4.1 แสดงสัญญาณนาฬิกา 9.6kHz เทียบกับสัญญาณที่ได้จากวงจรกำเนิดสัญญาณข้อมูล 111011001010000

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4.2.2 วงจรแปลง 2 บิทเป็น 4ระดับ

จากวงจรรูปที่ 3.3 ป้อนสัญญาณไบนารี่ดังตารางที่ 3.2ให้กับอินพุต แล้ววัดสัญญาณเอาท์พุตออกมาเป็นค่าแรงดันได้ 4 ระดับ ดังรูปที่ 4.2

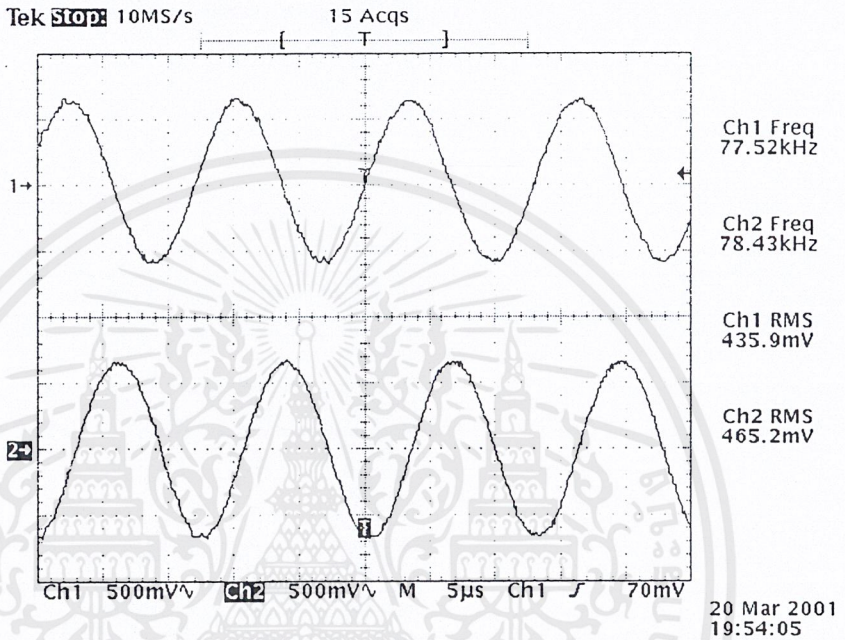


รูปที่ 4.2 แสดงสัญญาณที่แปลงจาก 2 บิทเป็น 4ระดับ

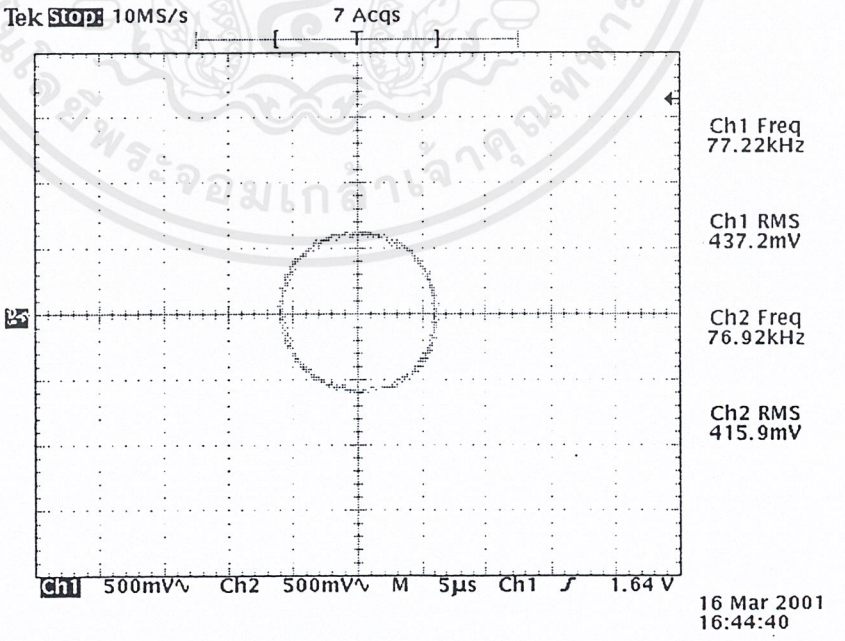
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4.2.3 วงจรกำเนิดสัญญาณพาหะ 76.8 kHz

จากวงจรรูปที่ 3.4 ป้อนสัญญาณ 9.6kHz เข้าที่อินพุต ได้เอาท์พุตเป็นสัญญาณพาหะที่มีความถี่ 76.8 kHz และเอาท์พุตจากวงจรเลื่อนเฟส 90 องศา เมื่อป้อนอินพุตเป็นสัญญาณพาหะที่มีความถี่ 46.8 kHz ดังรูปที่ 4.3 และ 4.4



รูปที่ 4.3 แสดงสัญญาณพาหะ 76.8 kHz เทียบกับสัญญาณพาหะ 76.8kHz ที่เลื่อนไป 90 องศา

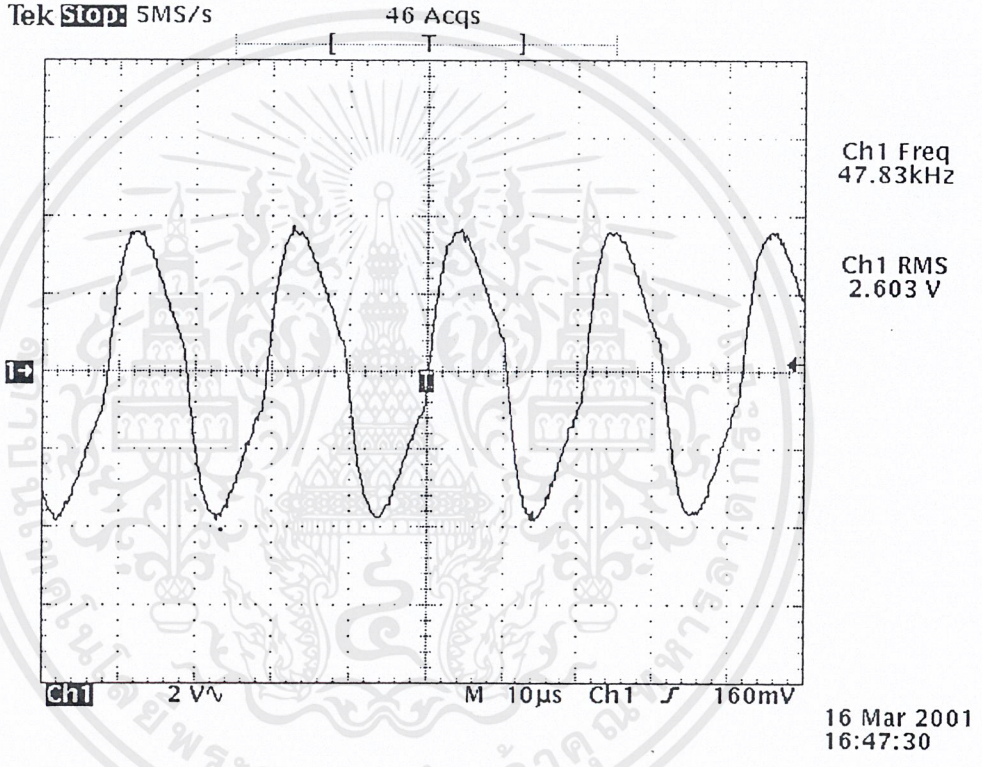


รูปที่ 4.4 แสดงเฟสของสัญญาณพาหะ 76.8 kHz เทียบกับสัญญาณพาหะ 76.8kHz ที่เลื่อนไป 90 องศา

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4.2.4 วงจรกำเนิดสัญญาณไพล็อทโทน 48kHz

จากวงจรรูปที่ 3.5 ป้อนสัญญาณ 9.6kHz เข้าที่อินพุตได้เอาท์พุตเป็นสัญญาณพาหะที่มีความถี่ 48 kHz ดังรูปที่ 4.5

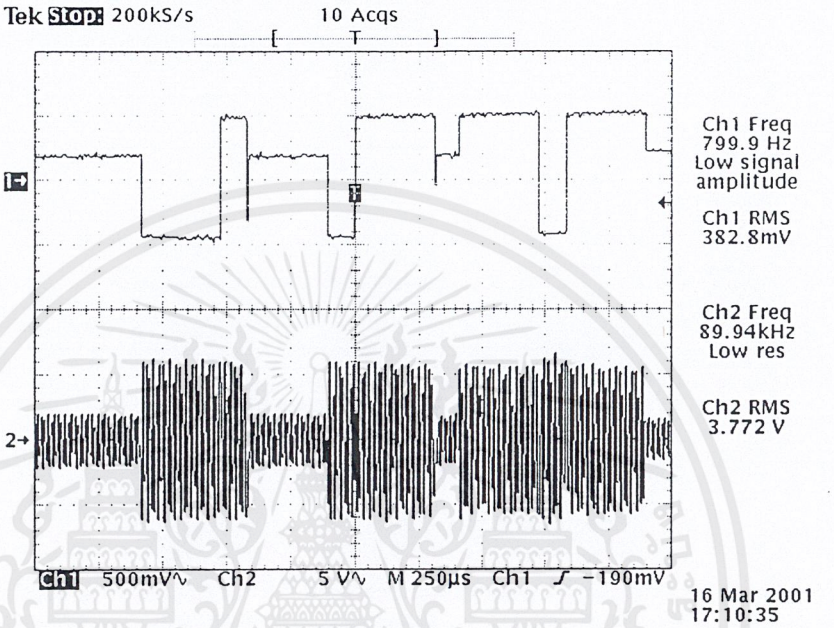


รูปที่ 4.5 แสดงสัญญาณไพล็อทโทน48kHz

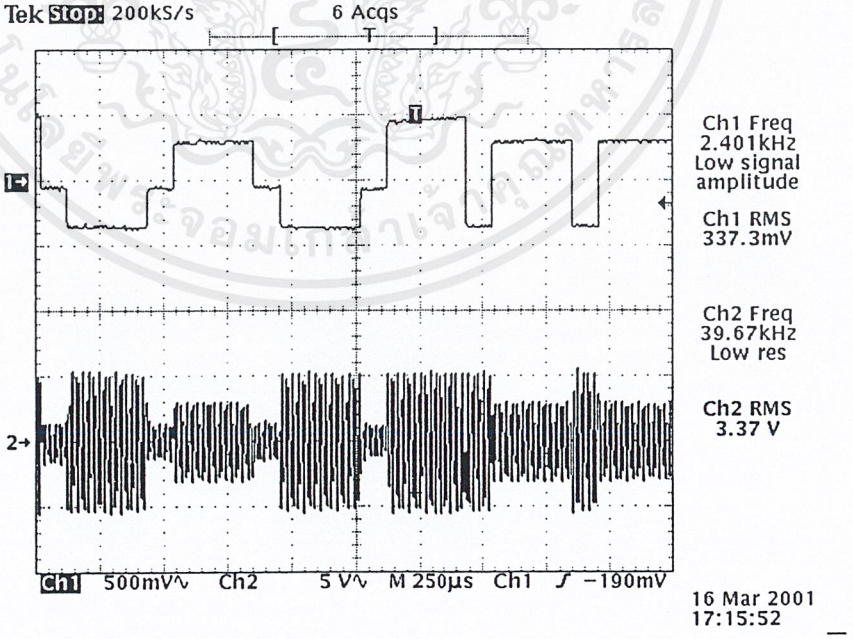
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4.2.5 วงจรบาลานซ์มอดูเลเตอร์

จากรูปที่ 3.8 เมื่อป้อนสัญญาณพาหะ 76.8 kHz และสัญญาณ 4 ระดับเข้าที่อินพุต ได้เอาท์พุตจากวงจรบาลานซ์มอดูเลเตอร์ ดังรูปที่ 4.6 และ 4.7



รูปที่ 4.6 แสดงสัญญาณจากวงจรบาลานซ์มอดูเลเตอร์เทียบกับสัญญาณ 4 ระดับชุดบิท I กับ C

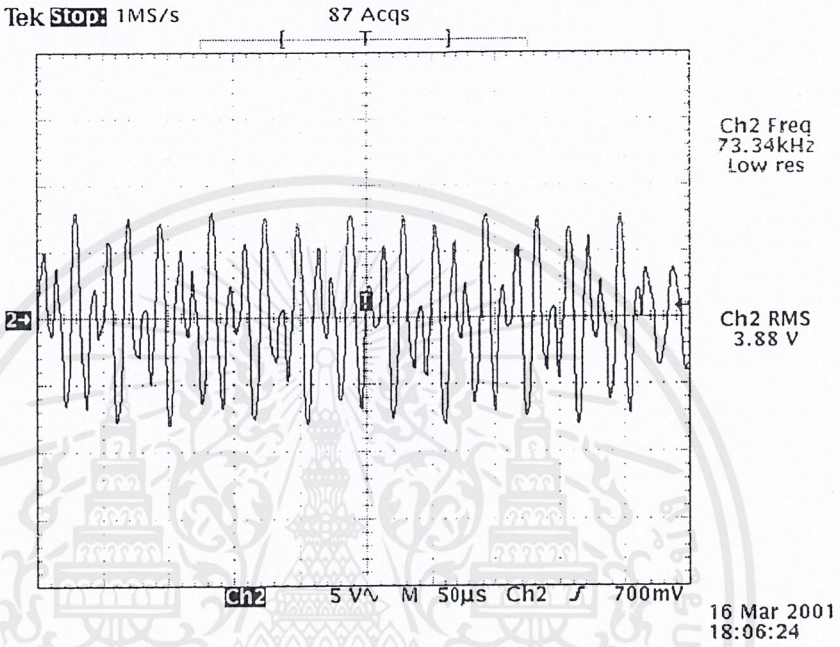


รูปที่ 4.7 แสดงสัญญาณจากวงจรบาลานซ์มอดูเลเตอร์เทียบกับสัญญาณ 4 ระดับชุดบิท Q กับ $\overline{C}$

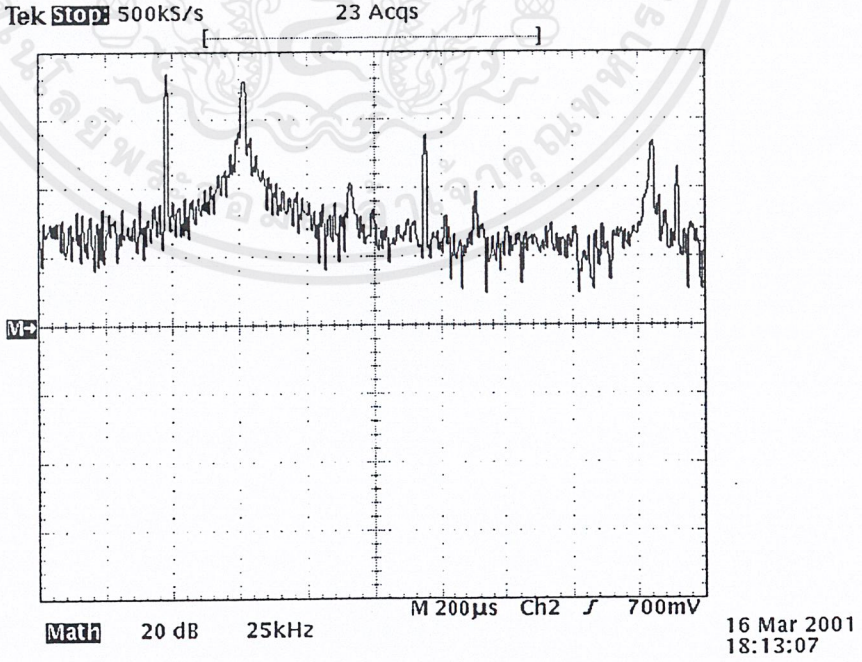
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4.2.6 วงจรรวมสัญญาณมอดูเลท

จากรูปที่ 3.9 ป้อนสัญญาณเอาท์พุตจากวงจรมอดูเลเตอร์ทั้งสองชุดและสัญญาณไพล็อทโทน 48 kHz ได้เอาท์พุตซึ่งเป็นสัญญาณ 8PSK ที่จะส่งผ่านสายโคแอกเชียลไปยังเครื่องรับ ดังรูปที่ 4.8 และ 4.9



รูปที่ 4.8 แสดงสัญญาณ 8PSK จากเครื่องส่ง



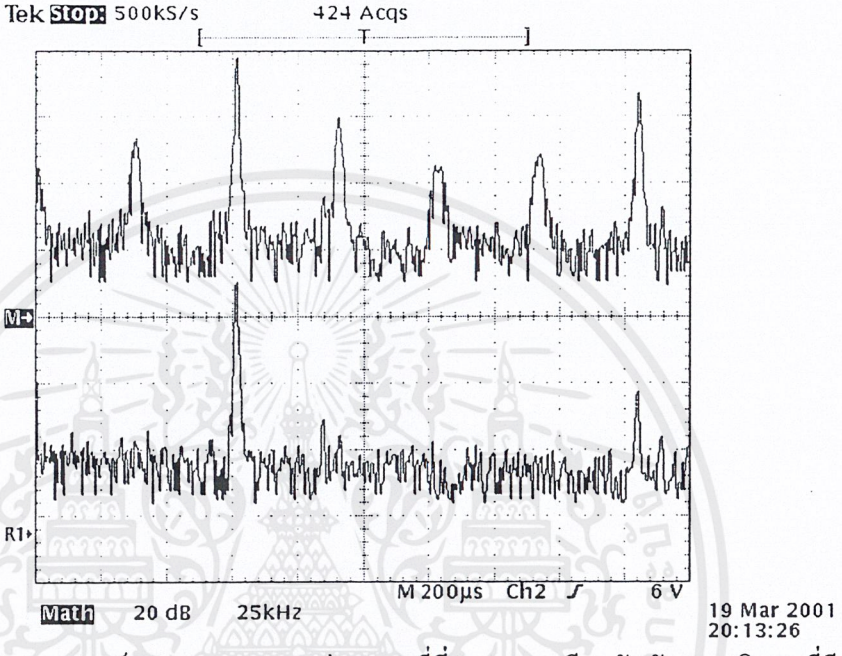
รูปที่ 4.9 แสดงสัญญาณ 8PSK จากเครื่องส่งแบบสเปคตรัม

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

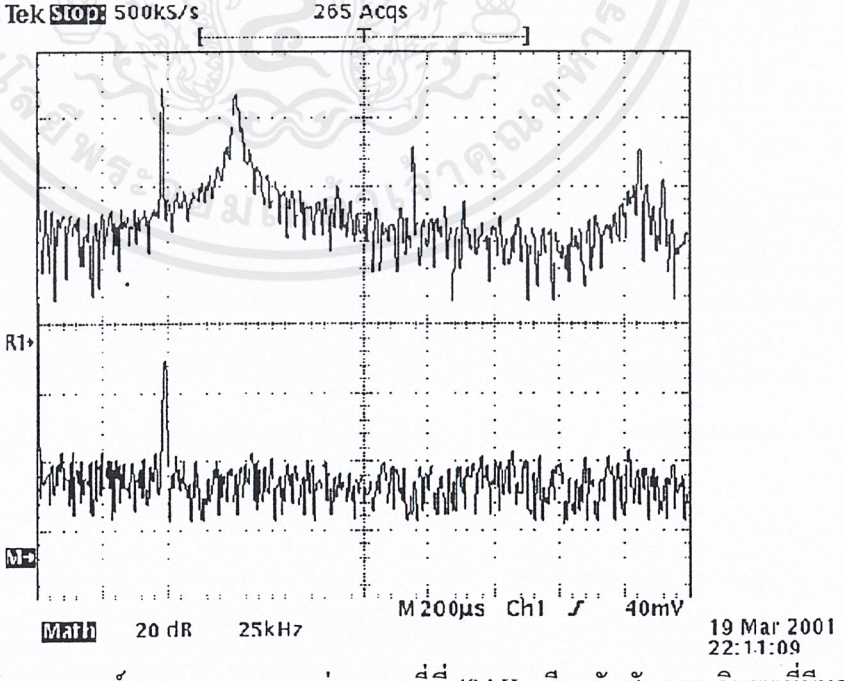
4.3 การทดลองและผลการทดลองทางด้านภาครับ

4.3.1 วงจรกรองช่วงความถี่

วงจรกรองช่วงความถี่นี้เราใช้ทั้งในภาครับและภาคส่ง โดยในโครงงานนี้เราใช้วงจรกรองช่วงความถี่ที่ 2 ความถี่คือ 76.8 kHz และ 48 kHz ดังรูปที่ 4.10 และ 4.11



รูปที่ 4.10 แสดงสัญญาณเอาท์พุตของวงจรกรองช่วงความถี่ที่ 76.8 kHz เทียบกับสัญญาณอินพุตที่มีหลายความถี่แบบสเปคตัม

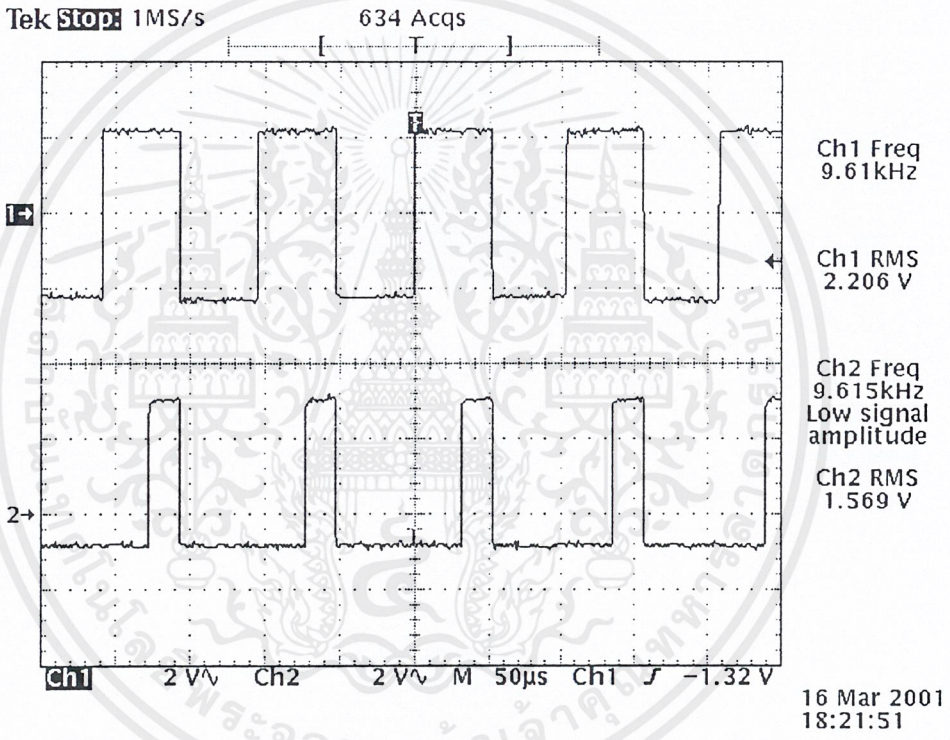


รูปที่ 4.11 แสดงสัญญาณเอาท์พุตของวงจรกรองช่วงความถี่ที่ 48 kHz เทียบกับสัญญาณอินพุตที่มีหลายความถี่แบบสเปคตัม

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4.3.2 วงจรกู้สัญญาณนาฬิกา

จากรูปที่ 3.13 เอาท์พุตจากเครื่องส่ง ผ่านวงจรกรองความถี่ 48 kHz แล้วนำสัญญาณมาป้อนเข้าวงจรกู้สัญญาณนาฬิกา เอาท์พุตที่ได้จากวงจรกู้สัญญาณนาฬิกาจะมีเฟสตรงกับสัญญาณนาฬิกาของทางด้านเครื่องส่ง ดังรูปที่ 4.12

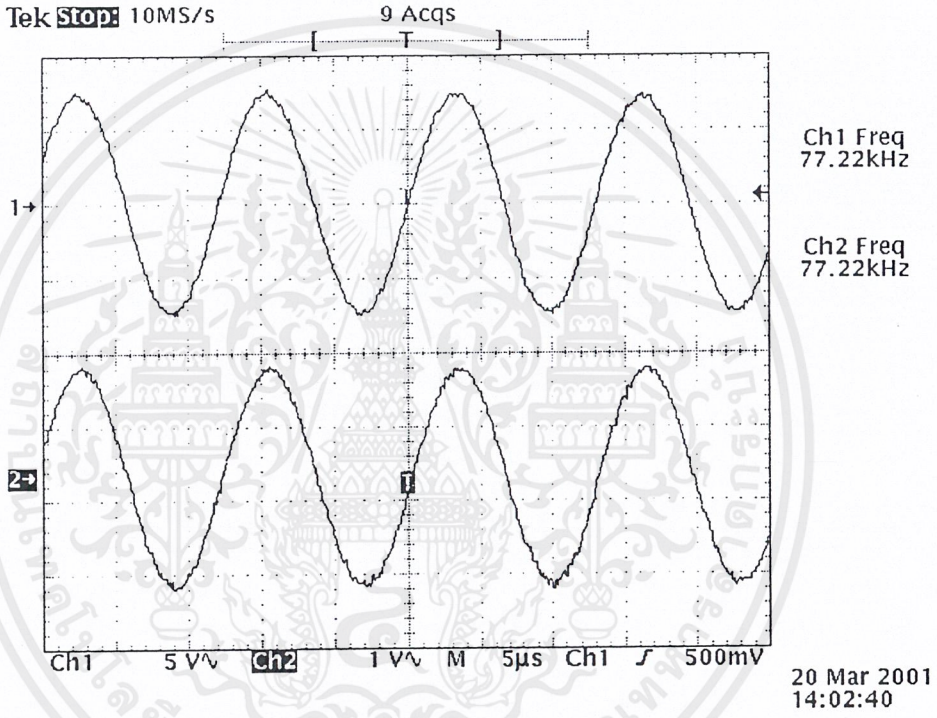


รูปที่ 4.12 แสดงสัญญาณนาฬิกา 9.6 kHz ที่กู้ได้จากวงจรกู้สัญญาณนาฬิกาทางด้านภาครับเทียบกับสัญญาณนาฬิกา 9.6 kHz ทางด้านภาคส่ง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4.3.3 วงจรกู้สัญญาณพาหะ

จากรูปที่ 3.14 ป้อนสัญญาณเอาท์พุตจากวงจรกู้สัญญาณนาฬิกาเข้าวงจรกู้สัญญาณพาหะ จะได้สัญญาณพาหะที่มีความถี่ 76.8 kHz ซึ่งมีเฟสตรงกันกับสัญญาณพาหะทางด้านภาคส่ง ดังรูป 4.13

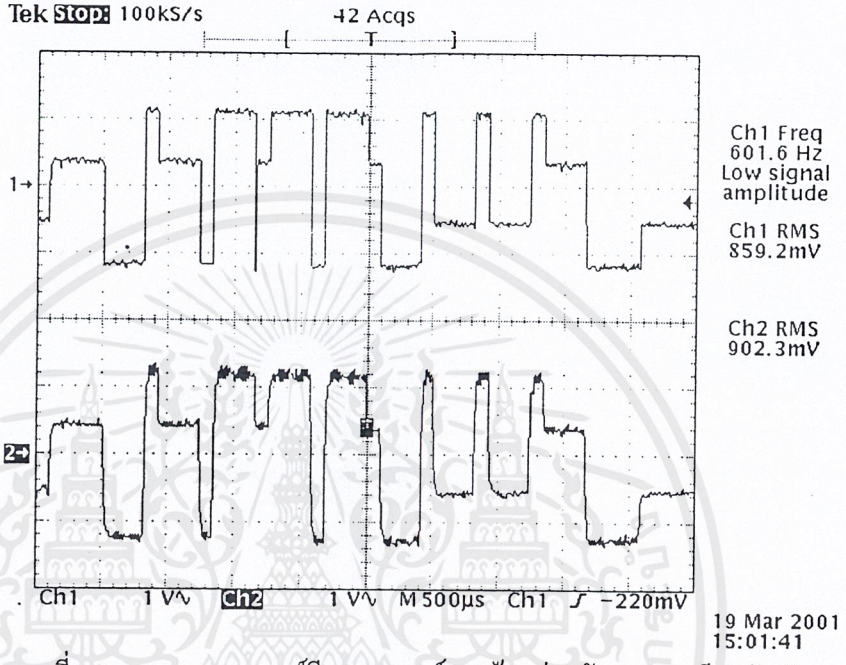


รูปที่ 4.13 แสดงสัญญาณพาหะ 76.8 kHz ที่ได้จากวงจรกู้สัญญาณพาหะเทียบกับสัญญาณพาหะ 76.8 kHz ทางด้านภาคส่ง

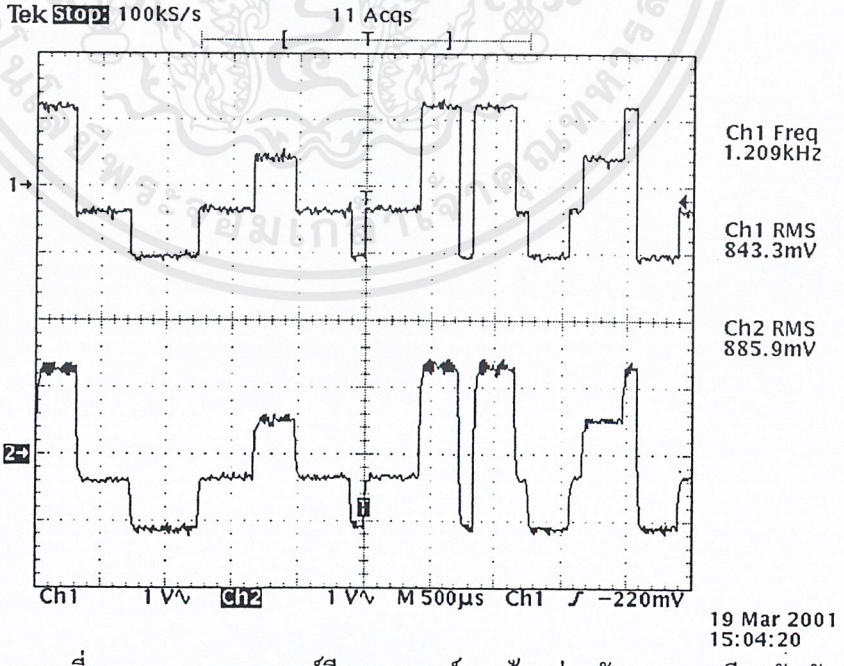
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4.3.4 วงจรบาลานซ์ดีมอดูเลเตอร์

จากรูปที่ 3.15 ป้อนสัญญาณ 8PSK จากเครื่องส่งซึ่งผ่านวงจรกรองช่างความถี่ 72.8-80.8 kHz และสัญญาณเอาท์พุตจากวงจรกู้สัญญาณพาหะ เข้าวงจรบาลานซ์ดีมอดูเลเตอร์ เอาท์พุตที่ได้จะเป็นสัญญาณ 4 ระดับ เหมือนกับทางภาคส่ง ดังรูปที่ 4.14 และ 4.15



รูปที่ 4.14 แสดงสัญญาณที่ออกจากวงจรบาลานซ์ดีมอดูเลเตอร์ทางด้านช่วงสัญญาณ I เทียบกับสัญญาณ 4 ระดับทางด้านภาคส่ง

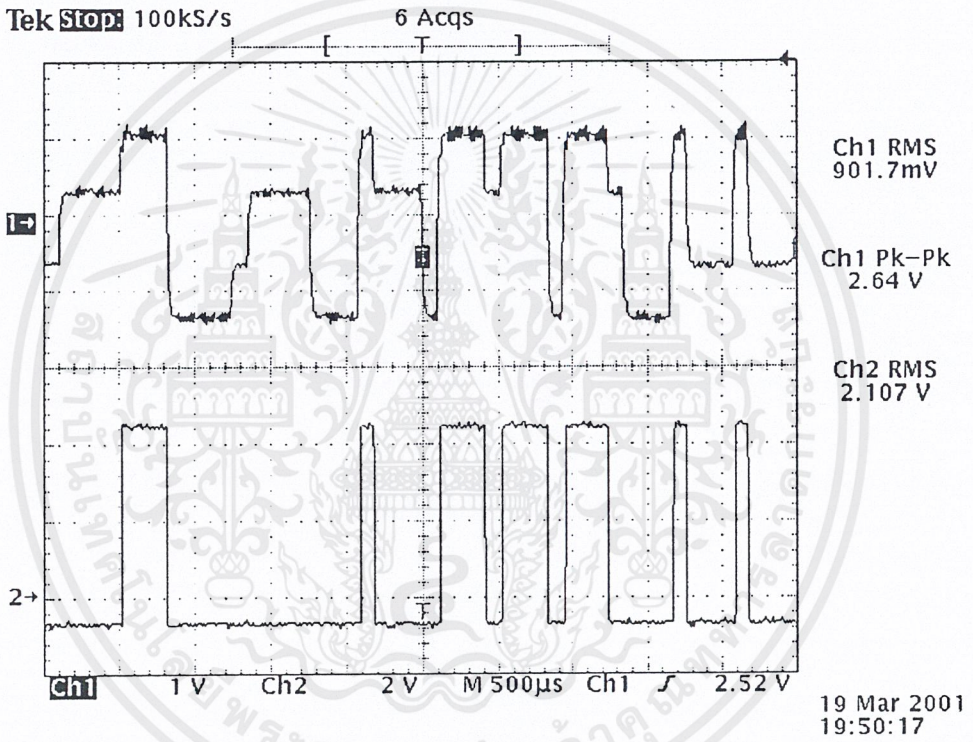


รูปที่ 4.15 แสดงสัญญาณที่ออกจากวงจรบาลานซ์ดีมอดูเลเตอร์ทางด้านช่วงสัญญาณ Q เทียบกับสัญญาณ 4 ระดับทางด้านภาคส่ง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

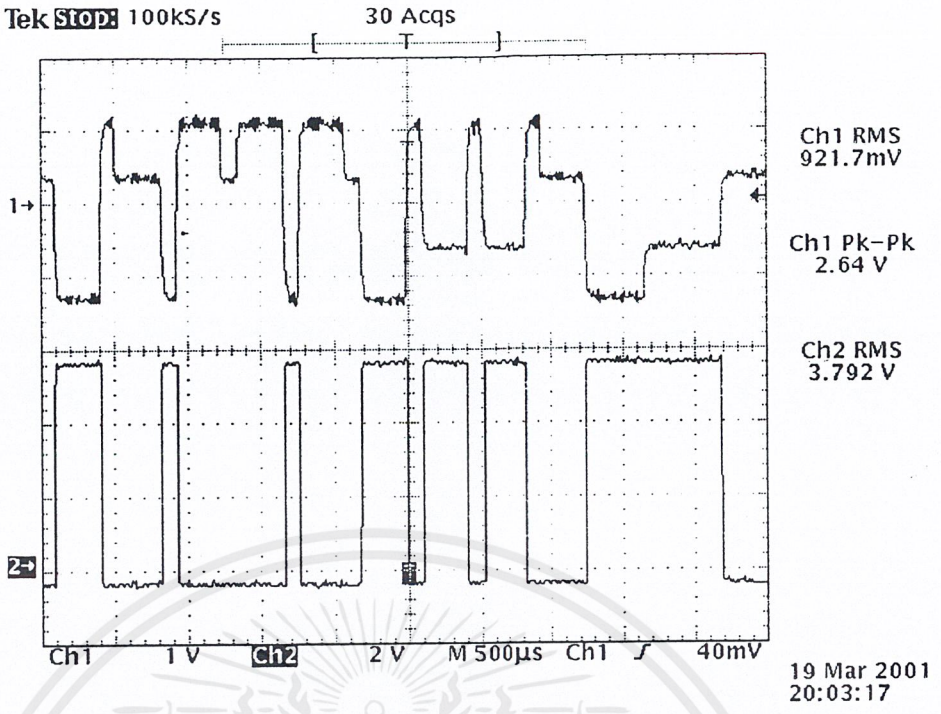
4.3.5 วงจรแปลง 4 ระดับเป็น 2 บิท

จากรูปที่ 3.17 ป้อนสัญญาณ 4 ระดับที่ได้จากวงจรบาลานซ์ดีมอดูเลเตอร์เข้าวงจรแปลง 4 ระดับเป็น 2 บิท โดยวิธีการเทียบบิทจะใช้หลักการเทียบระดับแรงดัน โดยในรูปที่ 4.16 สัญญาณ 2 ระดับนั้นจะเป็น 1 ในกรณีที่สัญญาณ 4 ระดับนั้นมีระดับแรงดันสูงที่สุด ในรูปที่ 4.17 สัญญาณ 2 ระดับนั้นจะเป็น 1 ในกรณีที่สัญญาณ 4 ระดับนั้นมีระดับแรงดันต่ำที่สุดกับต่ำเป็นอันดับที่ 2 และส่วนในรูปที่ 4.18 สัญญาณ 2 ระดับนั้นจะเป็น 1 ในกรณีที่สัญญาณ 4 ระดับนั้นมีระดับแรงดันต่ำที่สุด

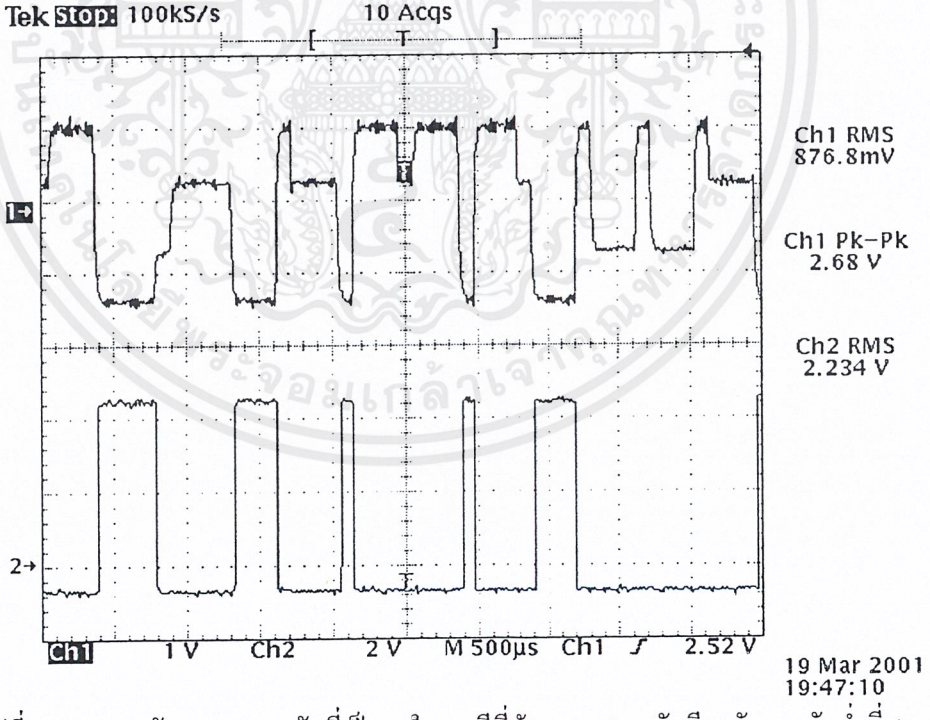


รูปที่ 4.16 แสดงสัญญาณ 2 ระดับที่เป็น 1 ในกรณีที่สัญญาณ 4 ระดับมีระดับแรงดันสูงที่สุด

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

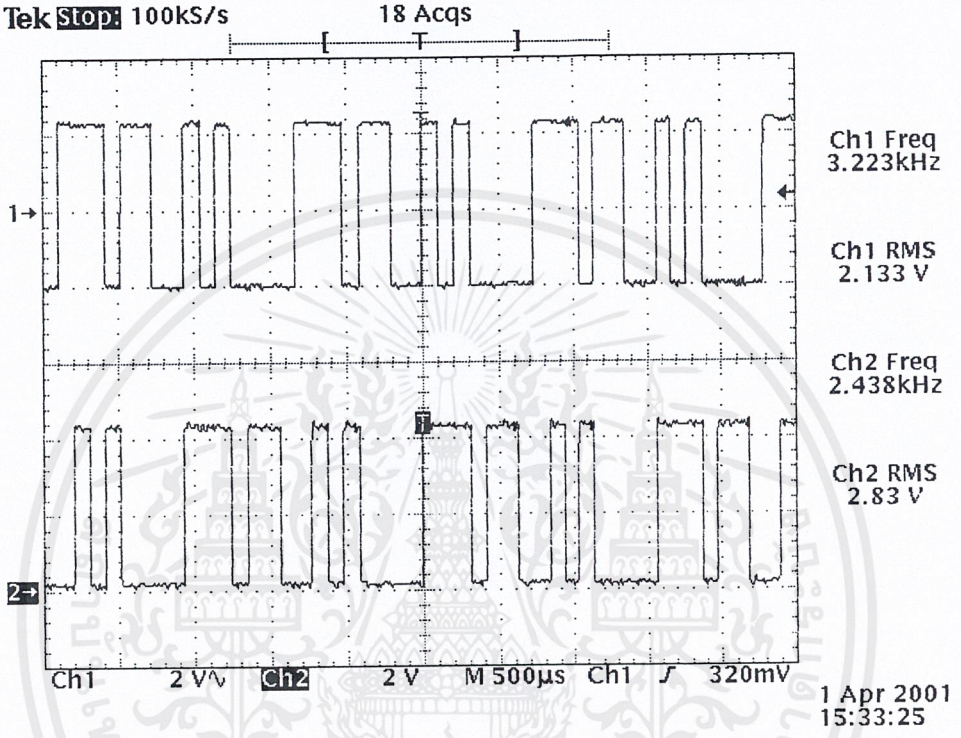


รูปที่ 4.17 แสดงสัญญาณ 2 ระดับที่เป็น 1 ในกรณีที่สัญญาณ 4 ระดับมีระดับแรงดันต่ำที่สุดและต่ำเป็นอันดับที่ 2



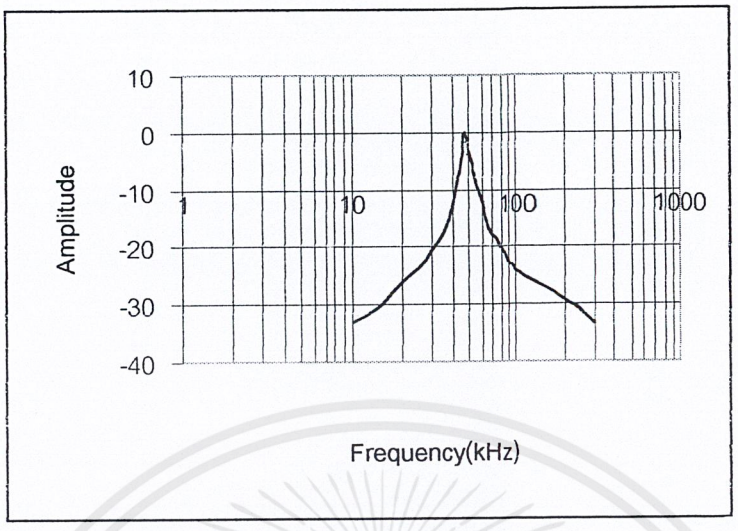
รูปที่ 4.18 แสดงสัญญาณ 2 ระดับที่เป็น 1 ในกรณีที่สัญญาณ 4 ระดับมีระดับแรงดันต่ำที่สุด

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

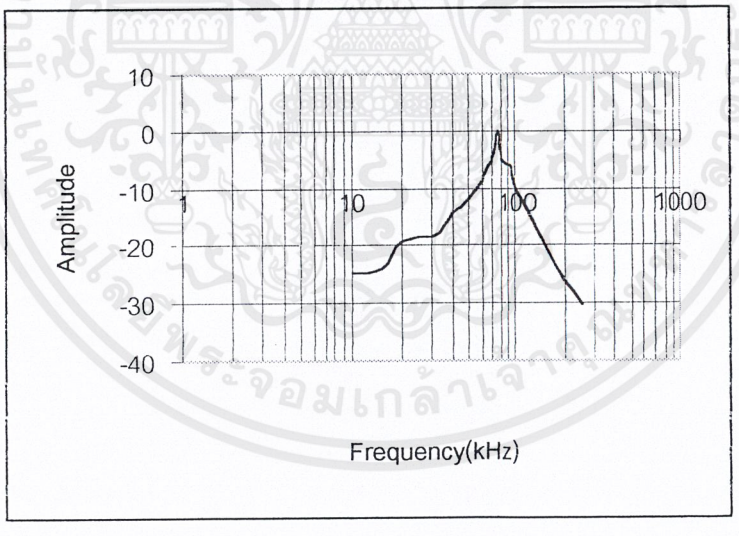


รูปที่ 4.19 แสดงสัญญาณเอาท์พุตที่เป็นข้อมูลดิจิตอลทางภาครับเทียบกับข้อมูลดิจิตอลทางภาคส่ง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.21 กราฟคุณสมบัติวงจรกรองความถี่ผ่าน 48 kHz



รูปที่ 4.21 กราฟคุณสมบัติวงจรกรองความถี่ผ่าน 48 kHz

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 5
บทวิจารณ์และบทสรุป

โครงงานนี้เป็นการศึกษาการมอดูเลทสัญญาณแบบ 8 PSK ซึ่งใช้ในการส่งข้อมูลแบบดิจิตอล ขอบเขตของโครงงานมี 2 ส่วนใหญ่ คือ ทางภาคส่งและภาครับ ซึ่งได้ทำการออกแบบวงจรภาคต่างๆตามทฤษฎีโดยอาศัยวงจรพื้นฐาน บางวงจรนำมาจากคู่มือการใช้งานไอซี และบางวงจรออกแบบเองมาประกอบรวมกันเป็นวงจรในแต่ละภาค

ในการทดลองวงจรในแต่ละภาคอาจมีปัญหาบ้างดังสรุปเป็นข้อเสนอแนะดังนี้

ภาคส่ง

วงจรกำเนิดสัญญาณข้อมูล

เราได้สร้างชุดกำเนิดสัญญาณข้อมูลความเร็ว 9.6 kHz โดยใช้วงจรกำเนิดสัญญาณข้อมูลแบบ Pseudo-Random Sequence Generator แบบนี้ข้อมูลจะวนไปเรื่อยๆ ซึ่งวงจรนี้สามารถทำได้ไม่ยากแต่มีข้อจำกัดในส่วนของข้อมูล

วงจรแปลงอนุกรมเป็นขนาน

ในการออกแบบใช้ D Flip-Flop เบอร์ 74LS74 ทำงานเป็นวงจร Shift Register และมีวงจรหน่วงสัญญาณนาฬิกาเป็น 3 เท่า ข้อมูลแยกเป็น 3 ช่องคือ I C และ Q และถูกแปลงเป็นเกรย์โค้ด เพื่อลดความผิดพลาดของข้อมูลโดยใช้ Exclusive OR Gate ผลการทดลองนี้ไม่มีข้อผิดพลาดตามหลักการทางทฤษฎี

วงจรแปลง 2 บิทเป็น 4 ระดับ

สัญญาณ 3 ช่อง (I C และ Q Channel) จะถูกแบ่งออกเป็น 2 ด้านคือ ด้าน I (ประกอบด้วยบิท I และ C) และด้านQ (ประกอบด้วยบิท Q และ C) ทำการแปลงสัญญาณทั้ง 2 ด้านจากสัญญาณขนาน 2 บิท เป็นสัญญาณอนุกรม 4 ระดับโดยอาศัย NOT Gate และ AND Gate แปลงสัญญาณจาก 2 บิทเป็น 4 ระดับ และปรับค่าระดับโวลท์เตจโดยใช้ Op-Amp ให้ได้ค่าแรงดันแต่ละระดับสัญญาณตามทฤษฎี ซึ่งในการทดลองเราจะปรับให้ได้ใกล้เคียงที่สุด

วงจรกำเนิดสัญญาณพาหะ

ใช้วงจรเฟสล็อคลูป ทำหน้าที่สังเคราะห์ความถี่ 76.8 kHz จากสัญญาณนาฬิกา 9.6 kHz สัญญาณที่ออกจากเฟสล็อคลูปเป็นสัญญาณรูปสี่เหลี่ยม ไม่เหมาะสมที่จะนำมามอดูเลท ต้องนำสัญญาณนี้ผ่านวงจรกรองความถี่ช่วงผ่าน สัญญาณที่ออกมาจะเป็นสัญญาณรูปไซน์ วงจรในส่วนนี้ใช้เวลาทดลองอยู่นานพอสมควร เนื่องจากการสร้างวงจรกรองความถี่ช่วงผ่านให้สามารถกรองความถี่ฮาร์โมนิกแรกเท่านั้น ที่คำนวณกับการต่อจริงไม่เหมือนกันต้องมีการเปลี่ยนค่า R และ C ไปเรื่อยๆจนได้ผลน่าพอใจ

วงจรกำเนิดสัญญาณนำร่อง

ใช้วงจรเฟสล็อคลูปเช่นเดียวกัน วงจรออกแบบคล้ายวงจรกำเนิดสัญญาณพาหะ ต่างกันตรงวงจรหารความถี่ โดยใช้วงจรเฟสล็อคลูปร่วมกับวงจรหาร 5 ก็จะได้สัญญาณนำร่อง 48 kHz ผ่านวงจรกรองความถี่ช่วงผ่านได้สัญญาณรูปไซน์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ทั้งวงจรกำเนิดสัญญาณพาหะและวงจรกำเนิดสัญญาณนำร่อง จะมีปัญหาในการป้อนสัญญาณทั้งสองเข้าไปในวงจรรวม ควรต่อบัฟเฟอร์ก่อนป้อนสัญญาณพาหะและสัญญาณนำร่องเข้าสู่วงจรรวม

วงจรเลื่อนเฟส 90 องศา

เพื่อให้ได้สัญญาณพาหะที่มีการเลื่อนเฟสไป 90 องศา จะใช้วงจรเลื่อนเฟส 90 องศา ปรับเลื่อนเฟสโดยการปรับตัวต้านทานปรับค่าได้ และในการทดลองใช้ X-Y oscilloscope ให้ได้รูปวงกลมพอดีซึ่งหมายถึงเฟสต่างกัน 90 องศา รูปสัญญาณที่ออกจากวงจรเลื่อนเฟส 90 องศามีการผิดเพี้ยนไปเพียงเล็กน้อยเท่านั้นพอที่จะยอมรับได้

วงจรบาลานซ์มอดูเลเตอร์

ใช้วงจรในคู่มือไอซี 1496 โดยก่อนที่จะนำสัญญาณทั้งสองเข้าไอซี 1496 เราจะต้องปรับระดับแรงดันให้ได้ค่าที่เหมาะสมเสียก่อนโดยสัญญาณพาหะมีค่าแรงดันไม่เกิน 400 mV_{rms} และสัญญาณ 4 ระดับมีค่าแรงดันไม่เกิน 70 mV_{rms} การทดลองในวงจรนี้ลำบากพอสมควรเนื่องจากต้องพยายามปรับค่าระดับแรงดันให้ได้น้อยที่สุดโดยเฉพาะสัญญาณ 4 ระดับ ถ้ามีค่ามากเกินไปเมื่อไปถึงวงจรบาลานซ์ดีมอดูเลเตอร์แล้วจะไม่สามารถดีเทกสัญญาณออกมาได้ชัดเจน

วงจรรวมสัญญาณ

ใช้วงจรขยายผลรวมสัญญาณ รวมสัญญาณจากเอาท์พุตจากวงจรมอดูเลเตอร์ทั้งสอง และสัญญาณนำร่อง เอาท์พุตที่ได้จะเป็นผลรวมของสัญญาณทั้งสาม ในส่วนนี้ต้องระวังเกี่ยวกับค่าแรงดันของสัญญาณนำร่องไม่ให้มีค่าสูงเกินไป เนื่องจากเมื่อนำไปรวมกับสัญญาณจากวงจรมอดูเลเตอร์แล้วสัญญาณจากวงจรรวมสัญญาณจะออกมาเฉพาะความถี่นำร่องเท่านั้น

โครงงานนี้ประกอบด้วยส่วนย่อยๆหลายส่วน และการทดลองในแต่ละส่วนก็มิได้ผ่านไปอย่างง่ายดาย เนื่องมีปัญหาเกิดขึ้นมากมายโดยในแต่ละส่วนก็มีปัญหาแตกต่างกันออกไป ดังนั้นจะต้องมีเวลาให้กับโครงงานอย่างมาก

ภาครับ

วงจรกรองช่วงความถี่ผ่านแบ่งเป็น 2 ชุดคือ ชุดแรกกรองช่วงความถี่ 72.8-80.8 kHz และอีกชุดกรองความถี่ 48 kHz ทั้งสองส่วนจะทำในลักษณะเดียวกัน เพียงแต่ปรับตัวต้านทานให้เปลี่ยนไปตามแต่ละความถี่ วงจรนี้สำคัญมากต้องพยายามทำให้มีประสิทธิภาพมากที่สุด เนื่องจากจะนำไปแปลงเป็นความถี่พาหะและสัญญาณนาฬิกา

วงจรกู้สัญญาณนาฬิกา

วงจรในโครงงานนี้ ใช้เพื่อทำงานเป็นวงจรคูณความถี่โดยวงจรใช้เหมือนทางด้านภาคส่งเพียงปรับเปลี่ยนวงจรหารความถี่เพียงเล็กน้อย ในวงจรนี้ต้องป้องกันสัญญาณรบกวนที่จะเข้ามาด้วยมิเช่นนั้นแล้วจะทำให้เกิดการเลื่อนเฟสไปจะส่งผลต่อภาคต่อไปทำงานไม่ถูกต้อง

วงจรกู้สัญญาณพาหะ

ในส่วนนี้จะนำเอาสัญญาณนาฬิการจากวงจรเฟสล็อคลูปทวีคูณให้ได้ความถี่ 76.8 kHz จากนั้นผ่านวงจรกรองความถี่ช่วงผ่าน เพื่อทำให้สัญญาณรูปไซน์ ในส่วนนี้สำคัญมากในเรื่องของเฟสว่าจะต้อง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ตรงกันกับสัญญาณพาหะทางด้านภาคส่ง เพราะถ้าสัญญาณพาหะที่กู้ได้เฟสเลื่อนจะทำให้ไม่สามารถดีมอดูเลทออกมาได้

วงจรบาลานซ์ดีมอดูเลเตอร์

เนื่องจากวงจรคล้ายกับทางด้านภาคส่งกล่าวคือต่างกันตรงที่วงจรบาลานซ์ดีมอดูเลเตอร์นั้นจะต้องมีวงจรกรองความถี่ต่ำผ่านด้วย ดังนั้นในการทดสอบวงจรนั้นคือทำให้เป็นวงจรมอดูเลเตอร์ให้ถูกต้องก่อนแล้วจึงนำมาทดลองทำการดีมอดูเลท จากการทดลองมีปัญหามากในการดีมอดูเลทให้ถูกต้องเนื่องจากเกิดการเลื่อนเฟสของสัญญาณพาหะ

วงจรแปลงสัญญาณ 4 ระดับเป็น 2 บิท

วงจรนี้ขึ้นอยู่กับวงจรบาลานซ์ดีมอดูเลทเป็นอย่างมาก กล่าวคือถ้าสัญญาณเอาท์พุต 4 ระดับ จากวงจรบาลานซ์ดีมอดูเลทได้ออกมาชัดเจนแล้ว การทำงานของวงจรแปลงสัญญาณ 4 ระดับเป็น 2 บิทก็จะง่ายขึ้น แต่ปัญหาที่สำคัญของวงจรนี้คือ ข้อมูลที่ได้ออกมานั้นจะเกิดการ delay ไป

โดยรวมๆแล้ววงจรที่ออกแบบนั้นอาจเกิดปัญหาเล็กๆน้อยๆที่ทำให้ต้องเสียเวลาในการทำงาน แต่โดยส่วนใหญ่แล้ว ปัญหาที่สำคัญคือเรื่องของเฟสที่ต้องตรงกัน ซึ่งเป็นปัญหาที่ต้องให้เวลากับมันเป็นอย่างมาก

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ภาคผนวก

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

National Semiconductor

December 1995

LF351 Wide Bandwidth JFET Input Operational Amplifier

General Description

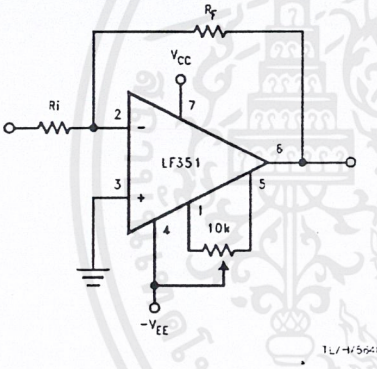
The LF351 is a low cost high speed JFET input operational amplifier with an internally trimmed input offset voltage (BI-FET II™ technology). The device requires a low supply current and yet maintains a large gain bandwidth product and a fast slew rate. In addition, well matched high voltage JFET input devices provide very low input bias and offset currents. The LF351 is pin compatible with the standard LM741 and uses the same offset voltage adjustment circuitry. This feature allows designers to immediately upgrade the overall performance of existing LM741 designs.

The LF351 may be used in applications such as high speed integrators, fast D/A converters, sample-and-hold circuits and many other circuits requiring low input offset voltage, low input bias current, high input impedance, high slew rate and wide bandwidth. The device has low noise and offset voltage drift, but for applications where these requirements are critical, the LF356 is recommended. If maximum supply current is important, however, the LF351 is the better choice.

Features

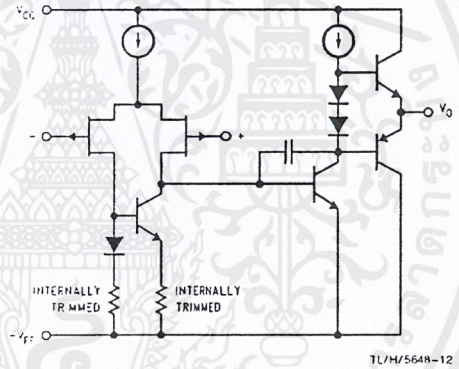
■ Internally trimmed offset voltage	10 mV
■ Low input bias current	50 pA
■ Low input noise voltage	25 nV/$\sqrt{\text{Hz}}$
■ Low input noise current	0.01 pA/$\sqrt{\text{Hz}}$
■ Wide gain bandwidth	4 MHz
■ High slew rate	13 V/μs
■ Low supply current	1.8 mA
■ High input impedance	$10^{12}\Omega$
■ Low total harmonic distortion $A_V = 10$, $R_L = 10k$, $V_O = 20$ Vp-p, BW = 20 Hz–20 kHz	<0.02%
■ Low 1/f noise corner	50 Hz
■ Fast settling time to 0.01%	2 μs

Typical Connection



TL/H/5648–11

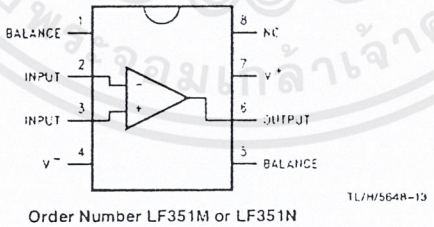
Simplified Schematic



TL/H/5648–12

Connection Diagrams

Dual-In-Line Package



TL/H/5648–13

Order Number LF351M or LF351N
See NS Package Number M08A or N08E

©1995 National Semiconductor Corporation TL/H/5648

RRD-B30M125/Printed in U. S. A.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Absolute Maximum Ratings

If Military/Aerospace specified devices are required, please contact the National Semiconductor Sales Office/Distributors for availability and specifications.

Supply Voltage	± 18V
Power Dissipation (Notes 1 and 6)	670 mW
Operating Temperature Range	0°C to + 70°C
$T_{j(MAX)}$	115°C
Differential Input Voltage	± 30V
Input Voltage Range (Note 2)	± 15V
Output Short Circuit Duration	Continuous
Storage Temperature Range	−65°C to + 150°C
Lead Temp. (Soldering, 10 sec.)	
Metal Can	300°C
DIP	260°C

θ_{jA}	
N Package	120°C/W
M Package	TBD
Soldering Information	
Dual-In-Line Package	
Soldering (10 sec.)	260°C
Small Outline Package	
Vapor Phase (60 sec.)	215°C
Infrared (15 sec.)	220°C

See AN-450 "Surface Mounting Methods and Their Effect on Product Reliability" for other methods of soldering surface mount devices.

ESD rating to be determined.

DC Electrical Characteristics (Note 3)

Symbol	Parameter	Conditions	LF351			Units
			Min	Typ	Max	
V_{OS}	Input Offset Voltage	R_S = 10 kΩ, T_A = 25°C Over Temperature		5	10 13	mV mV
$\Delta V_{OS}/\Delta T$	Average TC of Input Offset Voltage	R_S = 10 kΩ		10		µV/°C
I_{OS}	Input Offset Current	T_j = 25°C, (Notes 3, 4) $T_j \leq$ 70°C		25	100 4	pA nA
I_B	Input Bias Current	T_j = 25°C, (Notes 3, 4) $T_j \leq$ 70°C		50	200 8	pA nA
R_{IN}	Input Resistance	T_j = 25°C		10^{12}		Ω
A_{VOL}	Large Signal Voltage Gain	V_S = ± 15V, T_A = 25°C V_O = ± 10V, R_L = 2 kΩ Over Temperature	25 15	100		V/mV V/mV
V_O	Output Voltage Swing	V_S = ± 15V, R_L = 10 kΩ	± 12	± 13.5		V
V_{CM}	Input Common-Mode Voltage Range	V_S = ± 15V	± 11	+ 15 − 12		V V
CMRR	Common-Mode Rejection Ratio	$R_S \leq$ 10 kΩ	70	100		dB
PSRR	Supply Voltage Rejection Ratio	(Note 5)	70	100		dB
I_S	Supply Current			1.8	3.4	mA

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

AC Electrical Characteristics (Note 3)

Symbol	Parameter	Conditions	LF351			Units
			Min	Typ	Max	
SR	Slew Rate	$V_S = \pm 15V$, $T_A = 25°C$		13		V/μs
GBW	Gain Bandwidth Product	$V_S = \pm 15V$, $T_A = 25°C$		4		MHz
e_n	Equivalent Input Noise Voltage	$T_A = 25°C$, $R_S = 100\Omega$, $f = 1000$ Hz		25		$nV/\sqrt{Hz}$
i_n	Equivalent Input Noise Current	$T_j = 25°C$, $f = 1000$ Hz		0.01		$pA/\sqrt{Hz}$

Note 1: For operating at elevated temperature, the device must be derated based on the thermal resistance, θ_{jA}.

Note 2: Unless otherwise specified the absolute maximum negative input voltage is equal to the negative power supply voltage.

Note 3: These specifications apply for $V_S = \pm 15V$ and $0°C \leq T_A \leq +70°C$. V_{OS}, I_B and I_{OS} are measured at $V_{CM} = 0$.

Note 4: The input bias currents are junction leakage currents which approximately double for every 10°C increase in the junction temperature, T_j. Due to the limited production test time, the input bias currents measured are correlated to junction temperature. In normal operation the junction temperature rises above the ambient temperature as a result of internal power dissipation, P_D. $T_j = T_A + \theta_{jA} P_D$ where θ_{jA} is the thermal resistance from junction to ambient. Use of a heat sink is recommended if input bias current is to be kept to a minimum.

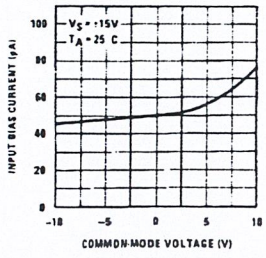
Note 5: Supply voltage rejection ratio is measured for both supply magnitudes increasing or decreasing simultaneously in accordance with common practice. From ±15V to ±5V.

Note 6: Max. Power Dissipation is defined by the package characteristics. Operating the part near the Max. Power Dissipation may cause the part to operate outside guaranteed limits.

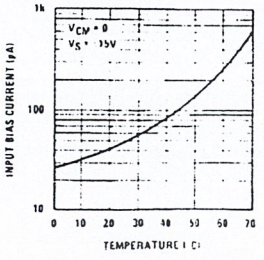
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Typical Performance Characteristics

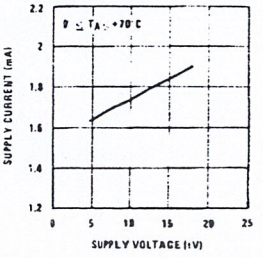
Input Bias Current



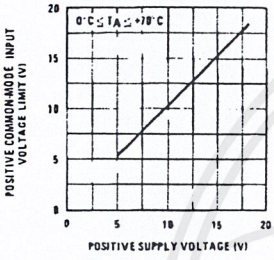
Input Bias Current



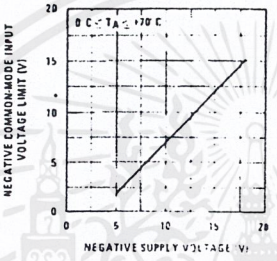
Supply Current



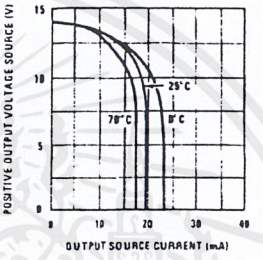
Positive Common-Mode Input Voltage Limit



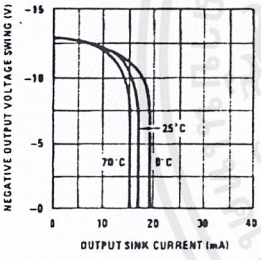
Negative Common-Mode Input Voltage Limit



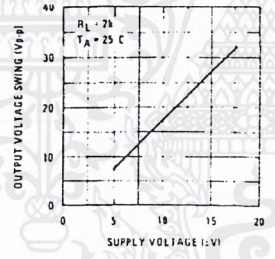
Positive Current Limit



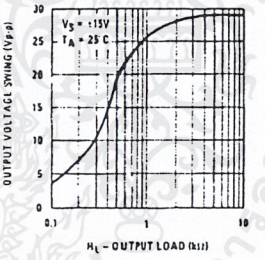
Negative Current Limit



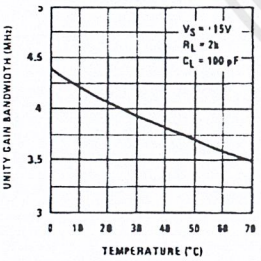
Voltage Swing



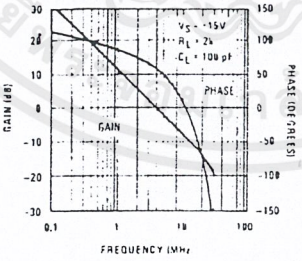
Output Voltage Swing



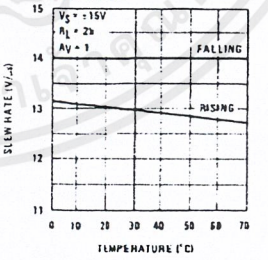
Gain Bandwidth



Bode Plot



Slew Rate

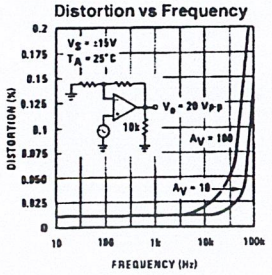


TL/H/5648–2

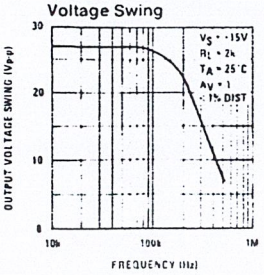
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Typical Performance Characteristics (Continued)

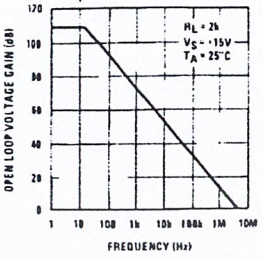
Distortion vs Frequency



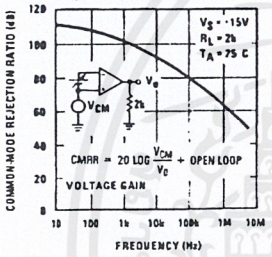
Undistorted Output Voltage Swing



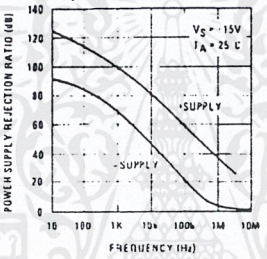
Open Loop Frequency Response



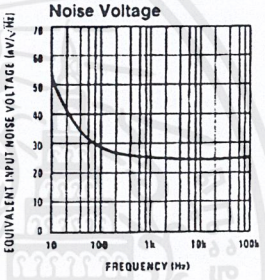
Common-Mode Rejection Ratio



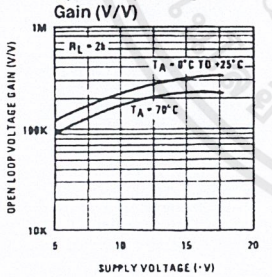
Power Supply Rejection Ratio



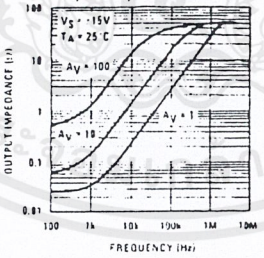
Equivalent Input Noise Voltage



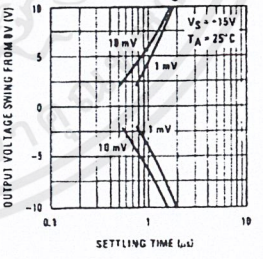
Open Loop Voltage Gain (V/V)



Output Impedance



Inverter Settling Time

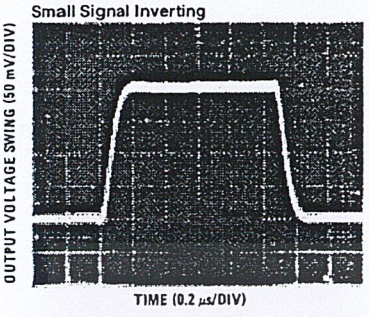


TL/H/5648–3

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

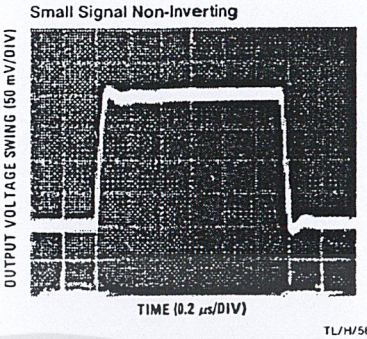
Pulse Response

Small Signal Inverting



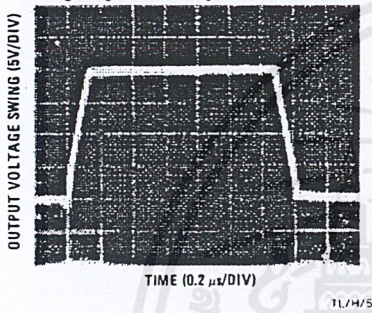
TL/H/5648–4

Small Signal Non-Inverting



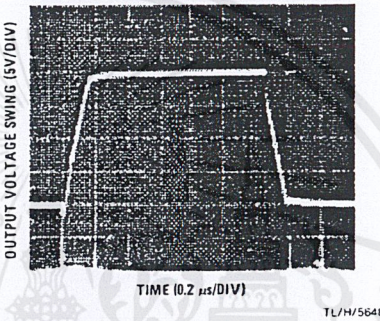
TL/H/5648–5

Large Signal Inverting



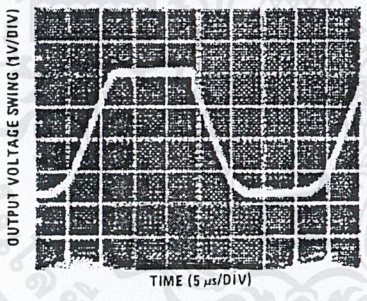
TL/H/5648–6

Large Signal Non-Inverting



TL/H/5648–7

Current Limit ($R_L = 100\Omega$)



TL/H/5648–8

Application Hints

The LF351 is an op amp with an internally trimmed input offset voltage and JFET input devices (BI-FET II™). These JFETs have large reverse breakdown voltages from gate to source and drain eliminating the need for clamps across the inputs. Therefore, large differential input voltages can easily be accommodated without a large increase in input current. The maximum differential input voltage is independent of the supply voltages. However, neither of the input voltages should be allowed to exceed the negative supply as this will cause large currents to flow which can result in a destroyed unit.

Exceeding the negative common-mode limit on either input will force the output to a high state, potentially causing a reversal of phase to the output.

Exceeding the negative common-mode limit on both inputs will force the amplifier output to a high state. In neither case does a latch occur since raising the input back within the

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Application Hints (Continued)

common-mode range again puts the input stage and thus the amplifier in a normal operating mode.

Exceeding the positive common-mode limit on a single input will not change the phase of the output; however, if both inputs exceed the limit, the output of the amplifier will be forced to a high state.

The amplifier will operate with a common-mode input voltage equal to the positive supply; however, the gain bandwidth and slew rate may be decreased in this condition. When the negative common-mode voltage swings to within 3V of the negative supply, an increase in input offset voltage may occur.

The LF351 is biased by a zener reference which allows normal circuit operation on ±4V power supplies. Supply voltages less than these may result in lower gain bandwidth and slew rate.

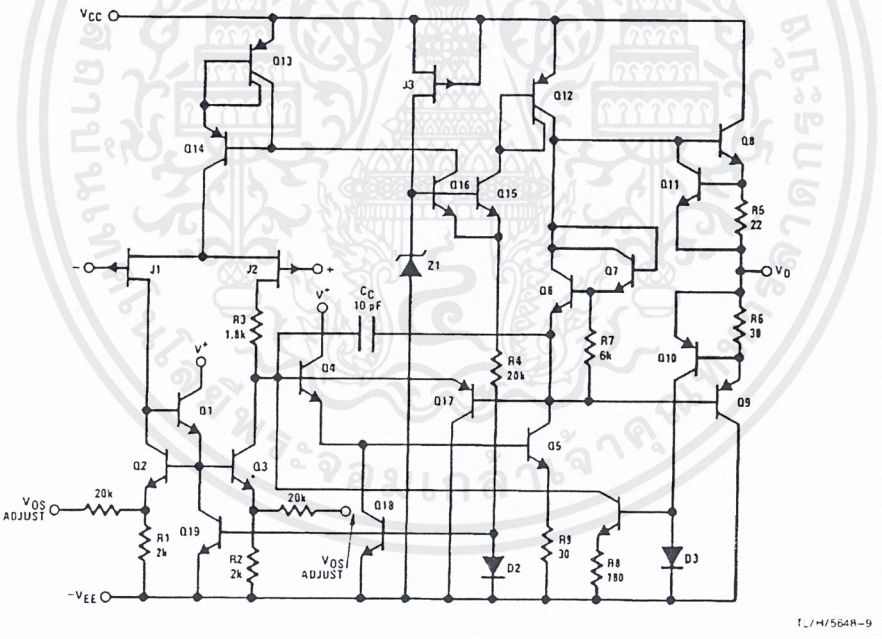
The LF351 will drive a 2 kΩ load resistance to ±10V over the full temperature range of 0°C to +70°C. If the amplifier is forced to drive heavier load currents, however, an increase in input offset voltage may occur on the negative voltage swing and finally reach an active current limit on both positive and negative swings.

Precautions should be taken to ensure that the power supply for the integrated circuit never becomes reversed in polarity or that the unit is not inadvertently installed backwards in a socket as an unlimited current surge through the resulting forward diode within the IC could cause fusing of the internal conductors and result in a destroyed unit.

As with most amplifiers, care should be taken with lead dress, component placement and supply decoupling in order to ensure stability. For example, resistors from the output to an input should be placed with the body close to the input to minimize "pick-up" and maximize the frequency of the feedback pole by minimizing the capacitance from the input to ground.

A feedback pole is created when the feedback around any amplifier is resistive. The parallel resistance and capacitance from the input of the device (usually the inverting input) to AC ground set the frequency of the pole. In many instances the frequency of this pole is much greater than the expected 3 dB frequency of the closed loop gain and consequently there is negligible effect on stability margin. However, if the feedback pole is less than approximately 6 times the expected 3 dB frequency a lead capacitor should be placed from the output to the input of the op amp. The value of the added capacitor should be such that the RC time constant of this capacitor and the resistance it parallels is greater than or equal to the original feedback pole time constant.

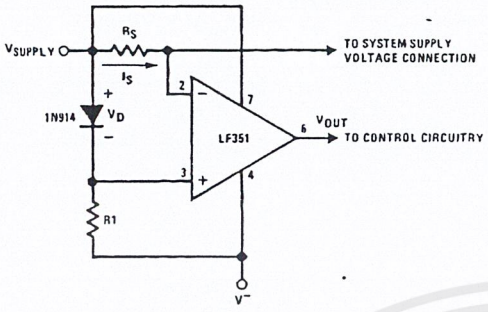
Detailed Schematic



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

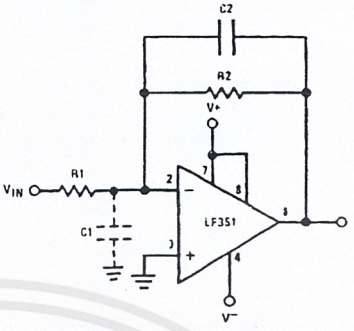
Typical Applications

Supply Current Indicator/Limiter



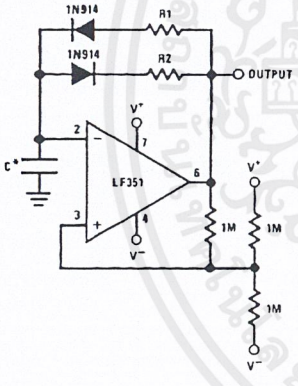
• V_{OUT} switches high when $R_S I_S > V_D$

Hi-Z_{IN} Inverting Amplifier



Parasitic input capacitance C1 ≈ (3 pF for LF351 plus any additional layout capacitance) interacts with feedback elements and creates undesirable high frequency pole. To compensate, add C2 such that: R2C2 ≈ R1C1.

Ultra-Low (or High) Duty Cycle Pulse Generator



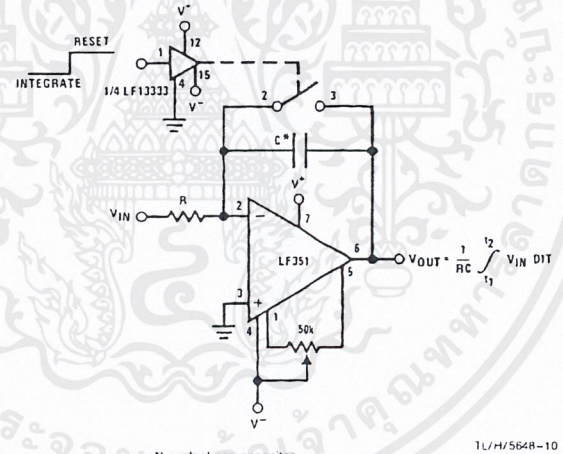
• $t_{OUTPUT\ HIGH} \approx R1C\ ln \frac{4.8 - 2V_S}{4.8 - V_S}$

• $t_{OUTPUT\ LOW} \approx R2C\ ln \frac{2V_S - 7.8}{V_S - 7.8}$

where $V_S = V^+ + |V^-|$

*low leakage capacitor

Long Time Integrator



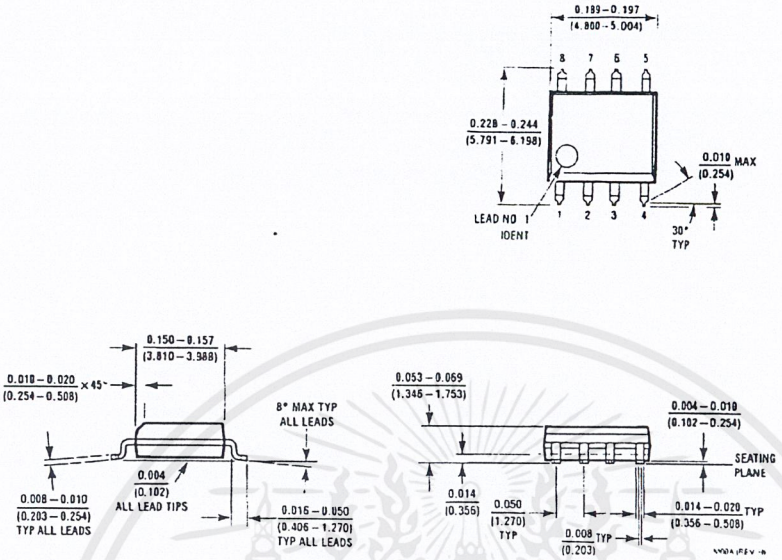
*Low leakage capacitor

• 50k pot used for less sensitive V_{OS} adjust

TL/H/5648–10

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

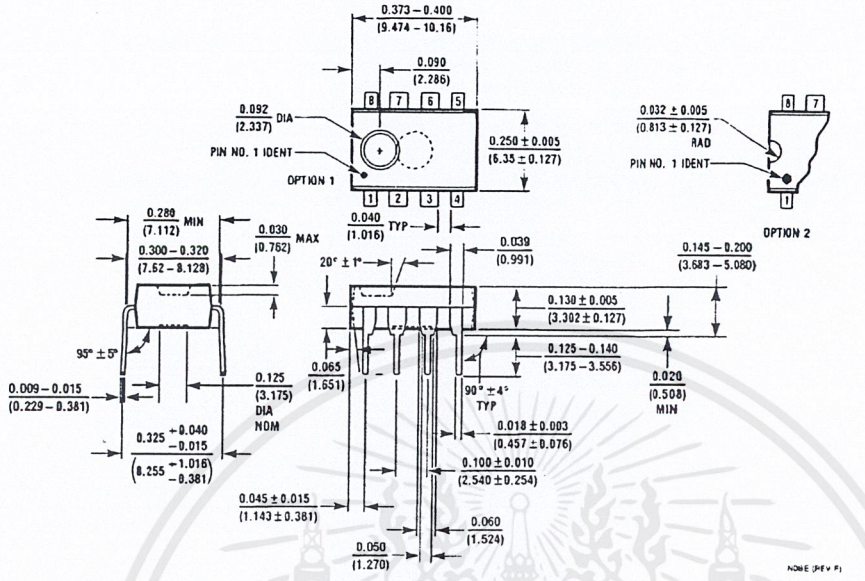
Physical Dimensions inches (millimeters)



SO Package (M)
Order Number LF351M
NS Package Number M08A

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Physical Dimensions inches (millimeters) (Continued)



Molded Dual-In-Line Package (N)
Order Number LF351N
NS Package Number N08E

LIFE SUPPORT POLICY

NATIONAL'S PRODUCTS ARE NOT AUTHORIZED FOR USE AS CRITICAL COMPONENTS IN LIFE SUPPORT DEVICES OR SYSTEMS WITHOUT THE EXPRESS WRITTEN APPROVAL OF THE PRESIDENT OF NATIONAL SEMICONDUCTOR CORPORATION. As used herein:

1. Life support devices or systems are devices or systems which, (a) are intended for surgical implant into the body, or (b) support or sustain life, and whose failure to perform, when properly used in accordance with instructions for use provided in the labeling, can be reasonably expected to result in a significant injury to the user.
2. A critical component is any component of a life support device or system whose failure to perform can be reasonably expected to cause the failure of the life support device or system, or to affect its safety or effectiveness.

National Semiconductor Corporation
1111 West Bardin Road
Arlington, TX 76017
Tel: 1(800) 272-9959
Fax: 1(800) 737-7018

National Semiconductor Europe
Fax: (+49) 0-180-530 85 86
Email: cnjwge@tevm2.nsc.com
Deutsch Tel: (+49) 0-180-530 85 85
English Tel: (+49) 0-180-532 78 32
Français Tel: (+49) 0-180-532 93 58
Italiano Tel: (+49) 0-180-534 16 80

National Semiconductor Hong Kong Ltd.
13th Floor, Straight Block,
Ocean Centre, 5 Canton Rd.
Tsimshatsui, Kowloon
Hong Kong
Tel: (852) 2737-1600
Fax: (852) 2736-9960

National Semiconductor Japan Ltd.
Tel: 81-043-299-2309
Fax: 81-043-299-2408

National does not assume any responsibility for use of any circuitry described, no circuit patent licenses are implied and National reserves the right at any time without notice to change said circuitry and specifications.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

FAIRCHILD
SEMICONDUCTOR TM

October 1987
Revised January 1999

CD4046BC
Micropower Phase-Locked Loop

General Description

The CD4046BC micropower phase-locked loop (PLL) consists of a low power, linear, voltage-controlled oscillator (VCO), a source follower, a zener diode, and two phase comparators. The two phase comparators have a common signal input and a common comparator input. The signal input can be directly coupled for a large voltage signal, or capacitively coupled to the self-biasing amplifier at the signal input for a small voltage signal.

Phase comparator I, an exclusive OR gate, provides a digital error signal (phase comp. I Out) and maintains 90° phase shifts at the VCO center frequency. Between signal input and comparator input (both at 50% duty cycle), it may lock onto the signal input frequencies that are close to harmonics of the VCO center frequency.

Phase comparator II is an edge-controlled digital memory network. It provides a digital error signal (phase comp. II Out) and lock-in signal (phase pulses) to indicate a locked condition and maintains a 0° phase shift between signal input and comparator input.

The linear voltage-controlled oscillator (VCO) produces an output signal (VCO Out) whose frequency is determined by the voltage at the VCO_{IN} input, and the capacitor and resistors connected to pin $C1_A$, $C1_B$, R1 and R2.

The source follower output of the VCO_{IN} (demodulator Out) is used with an external resistor of 10 kΩ or more.

The INHIBIT input, when high, disables the VCO and source follower to minimize standby power consumption. The zener diode is provided for power supply regulation, if necessary.

Features

- Wide supply voltage range: 3.0V to 18V
- Low dynamic power consumption: 70 µW (typ.) at f_o = 10 kHz, V_{DD} = 5V
- VCO frequency: 1.3 MHz (typ.) at V_{DD} = 10V
- Low frequency drift: 0.06%/°C at V_{DD} = 10V with temperature
- High VCO linearity: 1% (typ.)

Applications

- FM demodulator and modulator
- Frequency synthesis and multiplication
- Frequency discrimination
- Data synchronization and conditioning
- Voltage-to-frequency conversion
- Tone decoding
- FSK modulation
- Motor speed control

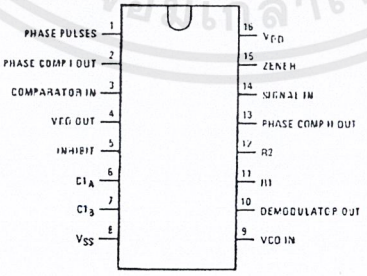
Ordering Code:

Order Number	Package Number	Package Description
CD4046BCM	M16A	16-Lead Small Outline Integrated Circuit (SOIC), JEDEC MS-012, 0.150" Narrow Body
CD4046BCN	N16E	16-Lead Plastic Dual-In-Line Package (PDIP), JEDEC MS-001, 0.300" Wide

Devices also available in Tape and Reel. Specify by appending the suffix letter "X" to the ordering code.

Connection Diagram

Pin Assignments for SOIC and DIP



Top View

© 1999 Fairchild Semiconductor Corporation

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Block Diagram

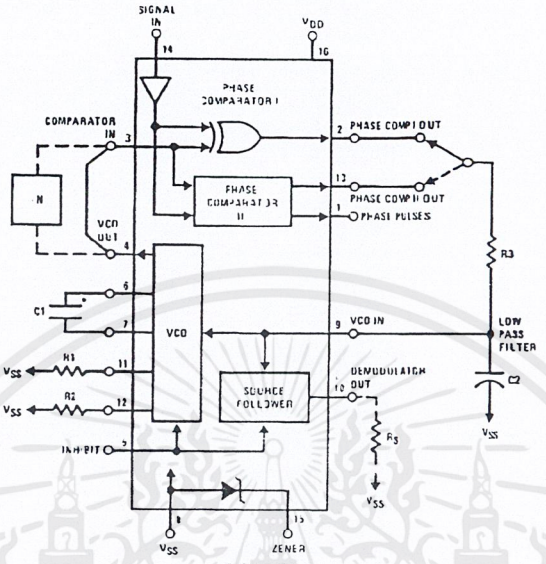


FIGURE 1.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Absolute Maximum Ratings(Note 1)

(Note 2)

DC Supply Voltage (V_{DD})	−0.5 to +18 V_{DC}
Input Voltage (V_{IN})	−0.5 to V_{DD} +0.5 V_{DC}
Storage Temperature Range (T_S)	−65°C to +150°C
Power Dissipation (P_D)	
Dual-In-Line	700 mW
Small Outline	500 mW
Lead Temperature (T_L)	
(Soldering, 10 seconds)	260°C

Recommended Operating Conditions (Note 2)

DC Supply Voltage (V_{DD})	3 to 15 V_{DC}
Input Voltage (V_{IN})	0 to V_{DD} V_{DC}
Operating Temperature Range (T_A)	−40°C to +85°C

Note 1: "Absolute Maximum Ratings" are those values beyond which the safety of the device cannot be guaranteed. They are not meant to imply that the devices should be operated at these limits. The table of "Recommended Operating Conditions" and "Electrical Characteristics" provides conditions for actual device operation.

Note 2: V_{SS} = 0V unless otherwise specified.

DC Electrical Characteristics (Note 2)

Symbol	Parameter	Conditions	−40°C		+25°C			+85°C		Units
			Min	Max	Min	Typ	Max	Min	Max	
I_{DD}	Quiescent Device Current	Pin 5 = V_{DD}, Pin 14 = V_{DD}								
		Pin 3, 9 = V_{SS}								
		V_{DD} = 5V		20		0.005	20		150	µA
		V_{DD} = 10V		40		0.01	40		300	µA
		V_{DD} = 15V		80		0.015	80		600	µA
		Pin 5 = V_{DD}, Pin 14 = Open								
		Pin 3, 9 = V_{SS}								
		V_{DD} = 5V		70		5	55		205	µA
		V_{DD} = 10V		530		20	410		710	µA
		V_{DD} = 15V		1500		50	1200		1800	µA
V_{OL}	LOW Level Output Voltage	V_{DD} = 5V		0.05		0	0.05		0.05	V
		V_{DD} = 10V		0.05		0	0.05		0.05	V
		V_{DD} = 15V		0.05		0	0.05		0.05	V
V_{OH}	HIGH Level Output Voltage	V_{DD} = 5V	4.95		4.95	5		4.95		V
		V_{DD} = 10V	9.95		9.95	10		9.95		V
		V_{DD} = 15V	14.95		14.95	15		14.95		V
V_{IL}	LOW Level Input Voltage	V_{DD} = 5V, V_O = 0.5V or 4.5V		1.5		2.25	1.5		1.5	V
	Comparator and Signal In	V_{DD} = 10V, V_O = 1V or 9V		3.0		4.5	3.0		3.0	V
		V_{DD} = 15V, V_O = 1.5V or 13.5V		4.0		6.25	4.0		4.0	V
V_{IH}	HIGH Level Input Voltage	V_{DD} = 5V, V_O = 0.5V or 4.5V	3.5		3.5	2.75		3.5		V
	Comparator and Signal In	V_{DD} = 10V, V_O = 1V or 9V	7.0		7.0	5.5		7.0		V
		V_{DD} = 15V, V_O = 1.5V or 13.5V	11.0		11.0	8.25		11.0		V
I_{OL}	LOW Level Output Current	V_{DD} = 5V, V_O = 0.4V	0.52		0.44	0.88		0.36		mA
	(Note 4)	V_{DD} = 10V, V_O = 0.5V	1.3		1.1	2.25		0.9		mA
		V_{DD} = 15V, V_O = 1.5V	3.6		3.0	8.8		2.4		mA
I_{OH}	HIGH Level Output Current	V_{DD} = 5V, V_O = 4.6V	−0.52		−0.44	−0.88		−0.36		mA
	(Note 4)	V_{DD} = 10V, V_O = 9.5V	−1.3		−1.1	−2.25		−0.9		mA
		V_{DD} = 15V, V_O = 13.5V	−3.6		−3.0	−8.8		−2.4		mA
I_{IN}	Input Current	All Inputs Except Signal Input								
		V_{DD} = 15V, V_{IN} = 0V		−0.3		-10^{-5}	−0.3		−1.0	µA
		V_{DD} = 15V, V_{IN} = 15V		0.3		10^{-5}	0.3		1.0	µA
C_{IN}	Input Capacitance	Any Input (Note 3)					7.5			pF
P_T	Total Power Dissipation	f_o = 10 kHz, R1 = 1 MΩ								
		R2 = ∞, $C_{XO_{IN}}$ = 50 pF								
		V_{DD} = 5V				0.07				mW
		V_{DD} = 10V				0.6				mW
		V_{DD} = 15V				2.4				mW

Note 3: Capacitance is guaranteed by periodic testing.

Note 4: I_{OH} and I_{OL} are tested one output at a time.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

AC Electrical Characteristics (Note 5)

$T_A = 25°C$, $C_L = 50$ pF

Symbol	Parameter	Conditions	Min	Typ	Max	Units
VCO SECTION						
I_{DD}	Operating Current	f_o = 10 kHz, R1 = 1 MΩ				
		R2 = ∞, VCO_{IN} = V_{DD}/2				
		V_{DD} = 5V		20		μA
		V_{DD} = 10V		90		μA
		V_{DD} = 15V		200		μA
f_{MAX}	Maximum Operating Frequency	C1 = 50 pF, R1 = 10 kΩ,				
		R2 = ∞, VCO_{IN} = V_{DD}				
		V_{DD} = 5V	0.4	0.8		MHz
		V_{DD} = 10V	0.6	1.2		MHz
		V_{DD} = 15V	1.0	1.6		MHz
	Linearity	VCO_{IN} = 2.5V ±0.3V,				
		R1 ≥ 10 kΩ, V_{DD} = 5V		1		%
		VCO_{IN} = 5V ±2.5V				
		R1 ≥ 400 kΩ, V_{DD} = 10V		1		%
		VCO_{IN} = 7.5V ±5V				
		R1 ≥ 1 MΩ, V_{DD} = 15V		1		%
	Temperature-Frequency Stability	%/°C (Note 10)				
	No Frequency Offset, f_{MIN} = 0	R2 = ∞				
		V_{DD} = 5V		0.12–0.24		%/°C
		V_{DD} = 10V		0.04–0.08		%/°C
		V_{DD} = 15V		0.015–0.03		%/°C
	Frequency Offset, $f_{MIN} \neq 0$	V_{DD} = 5V		0.06–0.12		%/°C
		V_{DD} = 10V		0.05–0.1		%/°C
		V_{DD} = 15V		0.03–0.06		%/°C
VCO_{IN}	Input Resistance	V_{DD} = 5V		10^6		MΩ
		V_{DD} = 10V		10^6		MΩ
		V_{DD} = 15V		10^6		MΩ
VCO	Output Duty Cycle	V_{DD} = 5V		50		%
		V_{DD} = 10V		50		%
		V_{DD} = 15V		50		%
t_{THL}	VCO Output Transition Time	V_{DD} = 5V		90	200	ns
t_{THL}		V_{DD} = 10V		50	100	ns
		V_{DD} = 15V		45	80	ns
PHASE COMPARATORS SECTION						
R_{IN}	Input Resistance					
	Signal Input	V_{DD} = 5V	1	3		MΩ
		V_{DD} = 10V	0.2	0.7		MΩ
		V_{DD} = 15V	0.1	0.3		MΩ
	Comparator Input	V_{DD} = 5V		10^6		MΩ
		V_{DD} = 10V		10^6		MΩ
		V_{DD} = 15V		10^6		MΩ
	AC-Coupled Signal Input Voltage Sensitivity	C_{SERIES} = 1000 pF				
		f = 50 kHz				
		V_{DD} = 5V		200	400	mV
		V_{DD} = 10V		400	800	mV
		V_{DD} = 15V		700	1400	mV

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

AC Electrical Characteristics (Continued)

Symbol	Parameter	Conditions	Min	Typ	Max	Units
DEMODULATOR OUTPUT						
VCO_{IN}–V_{DEM}	Offset Voltage	RS ≥ 10 kΩ, V_{DD} = 5V		1.50	2.2	V
		RS ≥ 10 kΩ, V_{DD} = 10V		1.50	2.2	V
		RS ≥ 50 kΩ, V_{DD} = 15V		1.50	2.2	V
	Linearity	RS ≥ 50 kΩ				
		VCO_{IN} = 2.5V ±0.5V, V_{DD} = 5V		0.1		%
		VCO_{IN} = 5V ±2.5V, V_{DD} = 10V		0.6		%
		VCO_{IN} = 7.5V ±5V, V_{DD} = 15V		0.8		%
ZENER DIODE						
V_Z	Zener Diode Voltage	I_Z = 50 µA	6.3	7.0	7.7	V
R_Z	Zener Dynamic Resistance	I_Z = 1 mA		100		Ω

Note 5: AC Parameters are guaranteed by DC correlated testing.

Phase Comparator State Diagrams

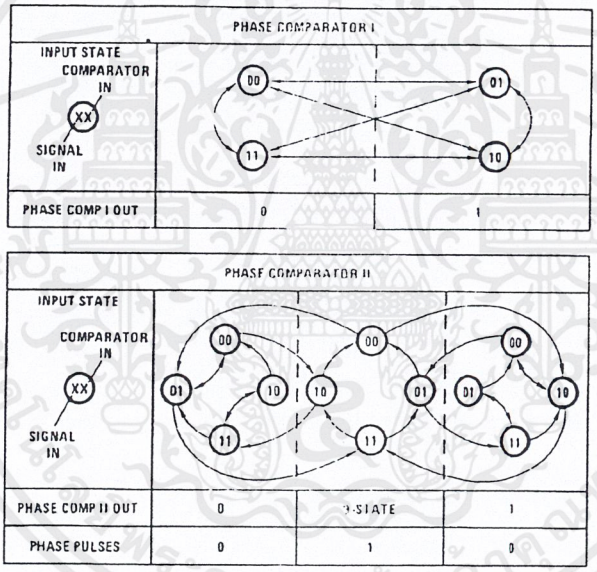


FIGURE 2.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Typical Waveforms

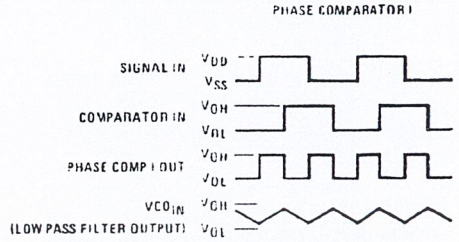


FIGURE 3. Typical Waveform Employing Phase Comparator I in Locked Condition

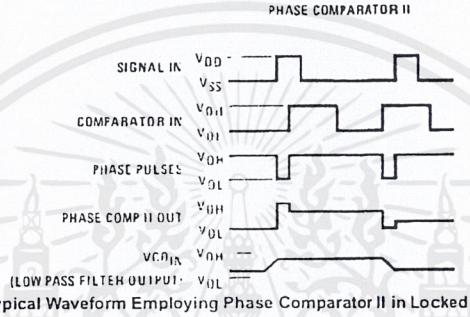


FIGURE 4. Typical Waveform Employing Phase Comparator II in Locked Condition

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Typical Performance Characteristics

Typical Center Frequency vs C1
for R1 = 10 kΩ, 100 kΩ and 1 MΩ

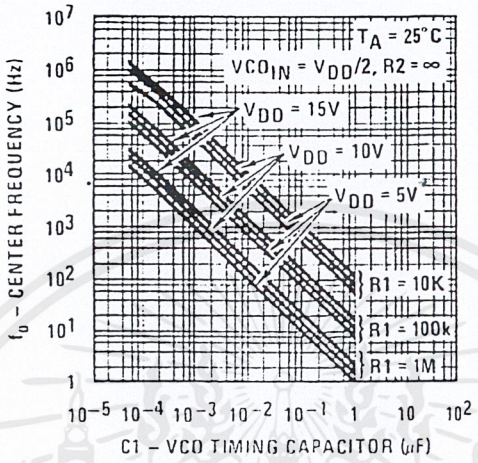


FIGURE 5.

Typical Frequency vs C1
for R2 = 10 kΩ, 100 kΩ and 1 MΩ

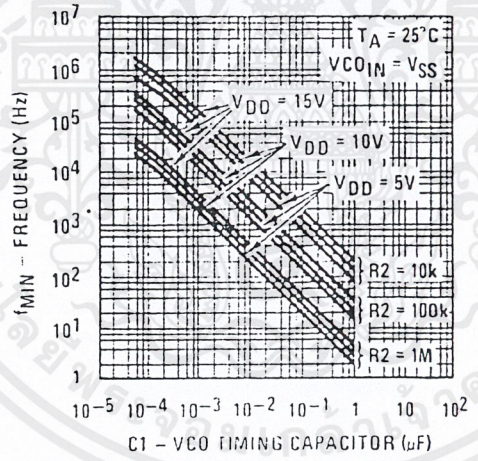


FIGURE 6.

Note: To obtain approximate total power dissipation of PLL system for no signal input: Phase Comparator I, P_D (Total) = P_D (f_o) + P_D (f_{MIN}) + P_D (R_S). Phase Comparator II, P_D (Total) = P_D (f_{MIN}).

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Typical f_{MAX}/f_{MIN} vs R2/R1

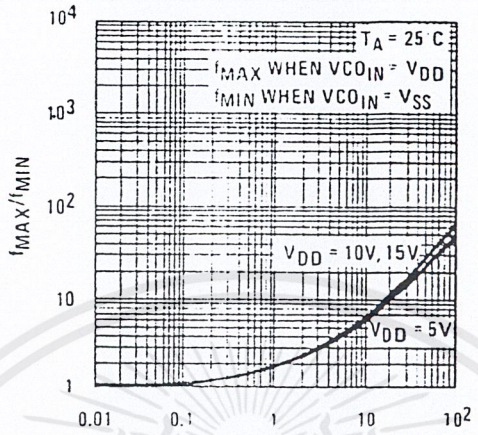


FIGURE 7.

Typical VCO Power Dissipation at Center Frequency vs R1

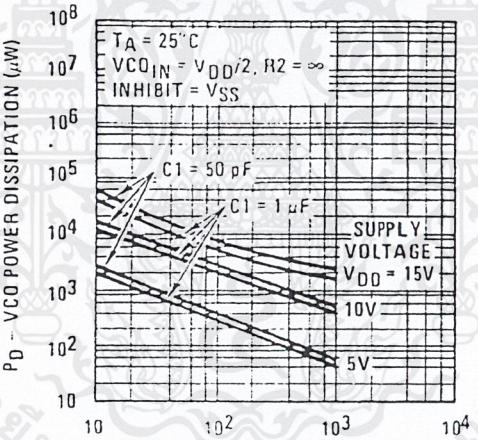


FIGURE 8.

Note: To obtain approximate total power dissipation of PLL system for one signal input: Phase Comparator I, P_D (Total) = P_D (f_A) + P_D (f_{MIN}) + P_D (R_S). Phase Comparator II, P_D (Total) = P_D (f_{MIN}).

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Typical VCO Power Dissipation at f_{MIN} vs R2

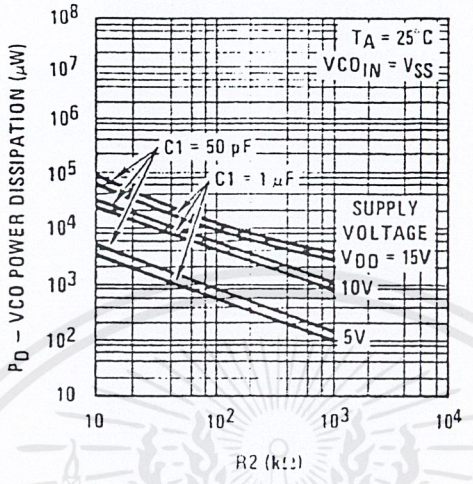


FIGURE 9.

Typical Source Follower Power Dissipation vs R_S

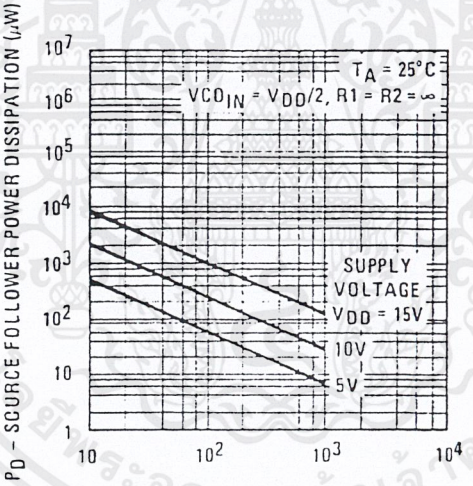


FIGURE 10.

Note: To obtain approximate total power dissipation of PLL system for no signal input: Phase Comparator I, P_D (Total) = P_D (f_o) + P_D (f_{MIN}) + P_D (R_S); Phase Comparator II, P_D (Total) = P_D (f_{MIN}).

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

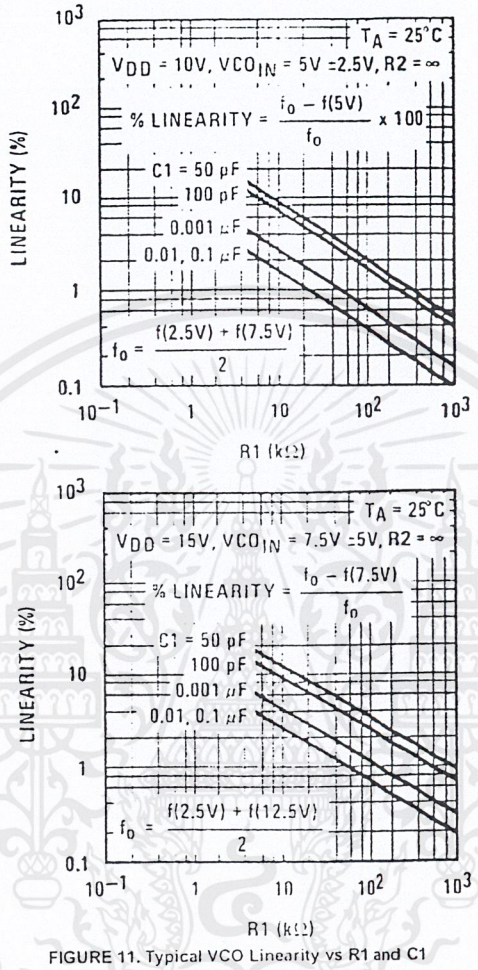


FIGURE 11. Typical VCO Linearity vs R1 and C1

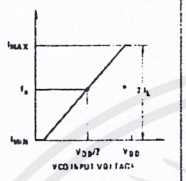
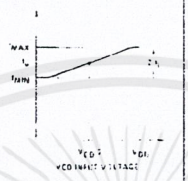
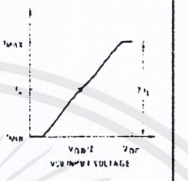
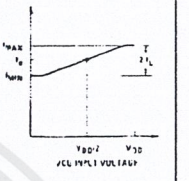
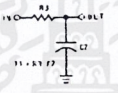
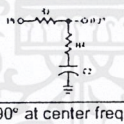
Note: To obtain approximate total power dissipation of PLL system for no signal input: Phase Comparator I, P_D (Total) = P_D (f_o) + P_D (f_{MIN}) + P_D (R_S); Phase Comparator II, P_D (Total) = P_D (f_{MIN}).

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Design Information

This information is a guide for approximating the value of external components for the CD4046B in a phase-locked-loop system. The selected external components must be within the following ranges: R1, R2 ≥ 10 kΩ, R_S ≥ 10 kΩ, C1 ≥ 50 pF.

In addition to the given design information, refer to Figure 5, Figure 6, Figure 7 for R1, R2 and C1 component selections.

Characteristics	Using Phase Comparator I		Using Phase Comparator II	
	VCO Without Offset R2 = ∞	VCO With Offset	VCO Without Offset R2 = ∞	VCO With Offset
VCO Frequency				
For No Signal Input	VCO in PLL system will adjust to center frequency, f_o		VCO in PLL system will adjust to lowest operating frequency, f_{min}	
Frequency Lock Range, $2f_L$	$2f_L$ = full VCO frequency range $2f_L = f_{max} - f_{min}$			
Frequency Capture Range, $2f_C$	 $2f_C \simeq \frac{1}{\pi}\sqrt{\frac{2\pi f_L}{\tau 1}}$			
Loop Filter Component Selection	 For $2f_C$, see Ref.		$f_C = f_L$	
Phase Angle Between Single and Comparator	90° at center frequency (f_o), approximating 0° and 180° at ends of lock range ($2f_L$)		Always 0° in lock	
Locks on Harmonics of Center Frequency	Yes		No	
Signal Input Noise Rejection	High		Low	

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Characteristics	Using Phase Comparator I		Using Phase Comparator II	
	VCO Without Offset $R2 = \infty$	VCO With Offset	VCO Without Offset $R2 = \infty$	VCO With Offset
VCO Component Selection	Given: f_o. Use f_o with Figure 5 to determine R1 and C1.	Given: f_n and f_L. Calculate f_{min} from the equation $f_{min} = f_n - f_L$. Use f_{min} with Figure 6 to determine R2 and C1. Calculate $\frac{f_{max}}{f_{min}}$ from the equation $\frac{f_{max}}{f_{min}} = \frac{f_o - f_L}{f_o - f_L}$. Use $\frac{f_{max}}{f_{min}}$ with Figure 7 to determine ratio R2/R1 to obtain R1.	Given: f_{max}. Calculate f_o from the equation $f_o = \frac{f_{max}}{2}$. Use f_o with Figure 5 to determine R1 and C1.	Given: f_{min} and f_{max}. Use f_{min} with Figure 6 to to determine R2 and C1. Calculate $\frac{f_{max}}{f_{min}}$ Use $\frac{f_{max}}{f_{min}}$ with Figure 7 to determine ratio R2/R1 to obtain R1.

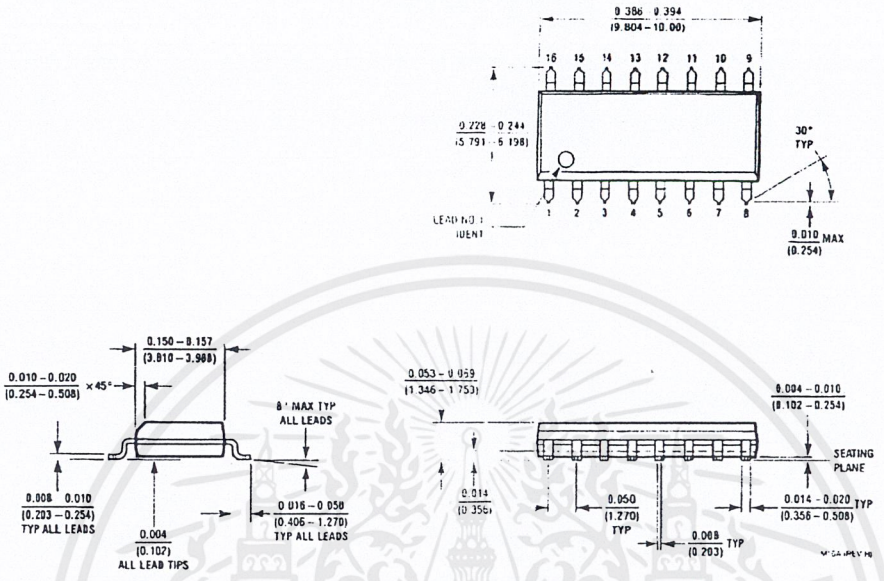
References

G.S. Moschytz, "Miniaturized RC Filters Using Phase-Locked Loop", BSTJ, May, 1965.

Floyd Gardner, "Phaselock Techniques", John Wiley & Sons, 1966.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

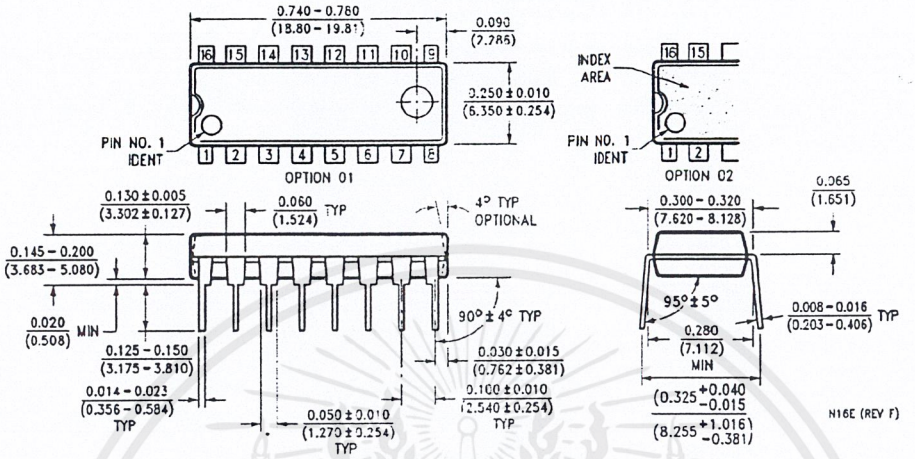
Physical Dimensions inches (millimeters) unless otherwise noted



16-Lead Small Outline Integrated Circuit (SOIC), JEDEC MS-012, 0.150" Narrow Body
Package Number M16A

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Physical Dimensions inches (millimeters) unless otherwise noted (Continued)



16-Lead Plastic Dual-In-Line Package (PDIP), JEDEC MS-001, 0.300" Wide
Package Number N16E

LIFE SUPPORT POLICY

FAIRCHILD'S PRODUCTS ARE NOT AUTHORIZED FOR USE AS CRITICAL COMPONENTS IN LIFE SUPPORT DEVICES OR SYSTEMS WITHOUT THE EXPRESS WRITTEN APPROVAL OF THE PRESIDENT OF FAIRCHILD SEMICONDUCTOR CORPORATION. As used herein:

1. Life support devices or systems are devices or systems which, (a) are intended for surgical implant into the body, or (b) support or sustain life, and (c) whose failure to perform when properly used in accordance with instructions for use provided in the labeling, can be reasonably expected to result in a significant injury to the user.
2. A critical component in any component of a life support device or system whose failure to perform can be reasonably expected to cause the failure of the life support device or system, or to affect its safety or effectiveness.

www.fairchildsemi.com

Fairchild does not assume any responsibility for use of any circuitry described, no circuit patent licenses are implied and Fairchild reserves the right at any time without notice to change said circuitry and specifications.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

National Semiconductor

February 1995

LM1596/LM1496 Balanced Modulator-Demodulator

General Description

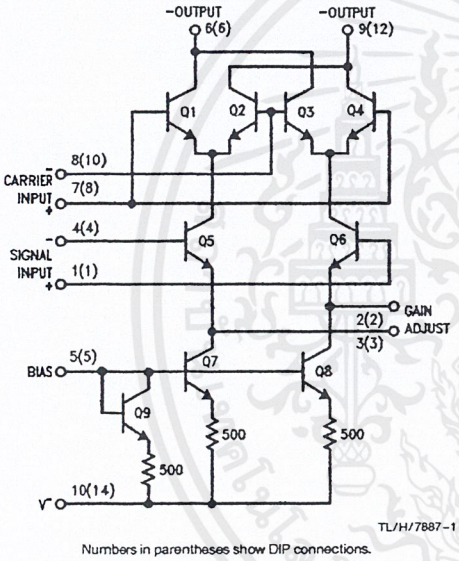
The LM1596/LM1496 are doubled balanced modulator-demodulators which produce an output voltage proportional to the product of an input (signal) voltage and a switching (carrier) signal. Typical applications include suppressed carrier modulation, amplitude modulation, synchronous detection, FM or PM detection, broadband frequency doubling and chopping.

The LM1596 is specified for operation over the −55°C to +125°C military temperature range. The LM1496 is specified for operation over the 0°C to +70°C temperature range.

Features

- Excellent carrier suppression
  - 65 dB typical at 0.5 MHz
  - 50 dB typical at 10 MHz
- Adjustable gain and signal handling
- Fully balanced inputs and outputs
- Low offset and drift
- Wide frequency response up to 100 MHz

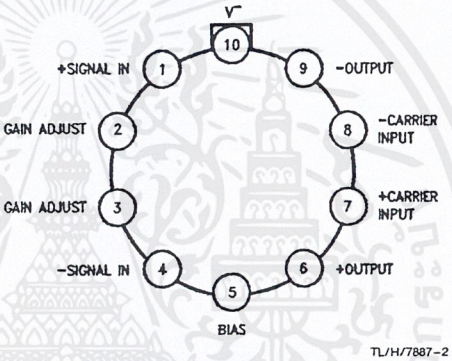
Schematic and Connection Diagrams



TL/H/7887–1

Numbers in parentheses show DIP connections.

Metal Can Package



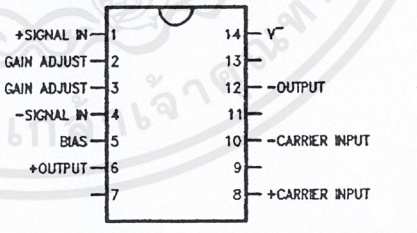
TL/H/7887–2

Top View

Note: Pin 10 is connected electrically to the case through the device substrate.

Order Number LM1496H or LM1596H
See NS Package Number H08C

Dual-In-Line and Small Outline Packages



TL/H/7887–3

Order Number LM1496M or LM1496N
See NS Package Number M14A or N14A

©1995 National Semiconductor Corporation TL/H/7887

RRD-B30M115/Printed in U. S. A.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Absolute Maximum Ratings

If Military/Aerospace specified devices are required, please contact the National Semiconductor Sales Office/Distributors for availability and specifications.

Internal Power Dissipation (Note 1)	500 mW
Applied Voltage (Note 2)	30V
Differential Input Signal ($V_7 - V_8$)	±5.0V
Differential Input Signal ($V_4 - V_1$)	$\pm(5+I_5R_0)$V
Input Signal ($V_2 - V_1$, $V_3 - V_4$)	5.0V
Bias Current (I_5)	12 mA
Operating Temperature Range LM1596	−55°C to +125°C
LM1496	0°C to +70°C
Storage Temperature Range	−65°C to +150°C

Soldering Information

- Dual-In-Line Package
  - Soldering (10 seconds) 260°C
- Small Outline Package
  - Vapor Phase (60 seconds) 215°C
  - Infrared (15 seconds) 220°C

See AN-450 "Surface Mounting Methods and their effects on Product Reliability" for other methods of soldering surface mount devices.

Electrical Characteristics (T_A = 25°C, unless otherwise specified, see test circuit)

Parameter	Conditions	LM1596			LM1496			Units
		Min	Typ	Max	Min	Typ	Max	
Carrier Feedthrough	V_C = 60 mVrms sine wave f_C = 1.0 kHz, offset adjusted		40			40		µVrms
	V_C = 60 mVrms sine wave f_C = 10 kHz, offset adjusted		140			140		µVrms
	V_C = 300 mV_{pp} square wave f_C = 1.0 kHz, offset adjusted		0.04	0.2		0.04	0.2	mVrms
	V_C = 300 mV_{pp} square wave f_C = 1.0 kHz, not offset adjusted		20	100		20	150	mVrms
Carrier Suppression	f_S = 10 kHz, 300 mVrms f_C = 500 kHz, 60 mVrms sine wave offset adjusted	50	65		50	65		dB
	f_S = 10 kHz, 300 mVrms f_C = 10 MHz, 60 mVrms sine wave offset adjusted		50			50		dB
Transadmittance Bandwidth	R_L = 50Ω Carrier Input Port, V_C = 60 mVrms sine wave		300			300		MHz
	f_S = 1.0 kHz, 300 mVrms sine wave Signal Input Port, V_S = 300 mVrms sine wave $V_7 - V_8$ = 0.5Vdc		80			80		MHz
Voltage Gain, Signal Channel	V_S = 100 mVrms, f = 1.0 kHz $V_7 - V_8$ = 0.5 Vdc	2.5	3.5		2.5	3.5		V/V
Input Resistance, Signal Port	f = 5.0 MHz $V_7 - V_8$ = 0.5 Vdc		200			200		kΩ
Input Capacitance, Signal Port	f = 5.0 MHz $V_7 - V_8$ = 0.5 Vdc		2.0			2.0		pF
Single Ended Output Resistance	f = 10 MHz		40			40		kΩ
Single Ended Output Capacitance	f = 10 MHz		5.0			5.0		pF
Input Bias Current	$(I_1 + I_4)/2$		12	25		12	30	µA
Input Bias Current	$(I_7 + I_8)/2$		12	25		12	30	µA
Input Offset Current	$(I_1 - I_4)$		0.7	5.0		0.7	5.0	µA
Input Offset Current	$(I_7 - I_8)$		0.7	5.0		5.0	5.0	µA
Average Temperature Coefficient of Input Offset Current	(−55°C < T_A < +125°C) (0°C < T_A < +70°C)		2.0			2.0		nA/°C nA/°C
Output Offset Current	$(I_6 - I_9)$		14	50		14	60	µA
Average Temperature Coefficient of Output Offset Current	(−55°C < T_A < +125°C) (0°C < T_A < +70°C)		90			90		nA/°C nA/°C

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Electrical Characteristics (T_A = 25°C, unless otherwise specified, see test circuit) (Continued)

Parameter	Conditions	LM1596			LM1496			Units
		Min	Typ	Max	Min	Typ	Max	
Signal Port Common Mode Input Voltage Range	f_S = 1.0 kHz		5.0			5.0		V_{p-p}
Signal Port Common Mode Rejection Ratio	$V_7 - V_8$ = 0.5 Vdc		−85			−85		dB
Common Mode Quiescent Output Voltage			8.0			8.0		Vdc
Differential Output Swing Capability			8.0			8.0		V_{p-p}
Positive Supply Current	$(I_8 + I_9)$		2.0	3.0		2.0	3.0	mA
Negative Supply Current	(I_{10})		3.0	4.0		3.0	4.0	mA
Power Dissipation			33			33		mW

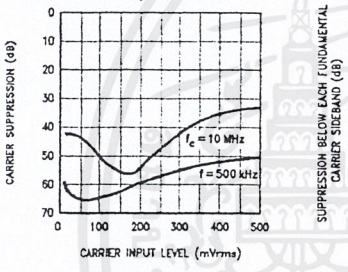
Note 1: LM1596 rating applies to case temperatures to + 125°C; derate linearly at 6.5 mW/°C for ambient temperature above 75°C. LM1496 rating applies to case temperatures to +70°C.

Note 2: Voltage applied between pins 6-7, 8-1, 9-7, 9-8, 7-4, 7-1, 8-4, 6-8, 2-5, 3-5.

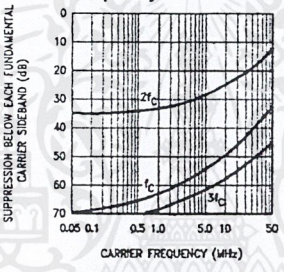
Note 3: Refer to rets1596x drawing for specifications of military LM1596H versions.

Typical Performance Characteristics

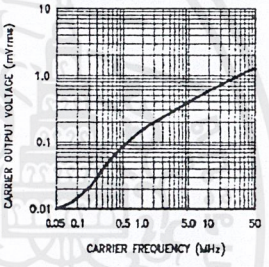
Carrier Suppression vs Carrier Input Level



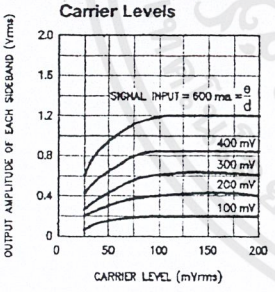
Carrier Suppression vs Frequency



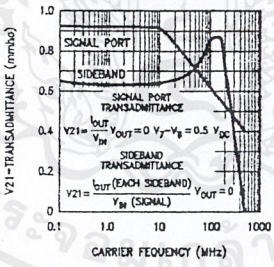
Carrier Feedthrough vs Frequency



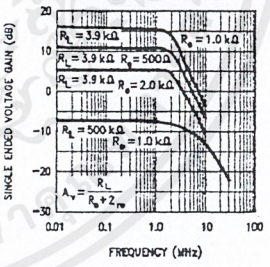
Sideband Output vs Carrier Levels



Sideband and Signal Port Transadmittances vs Frequency



Signal-Port Frequency Response

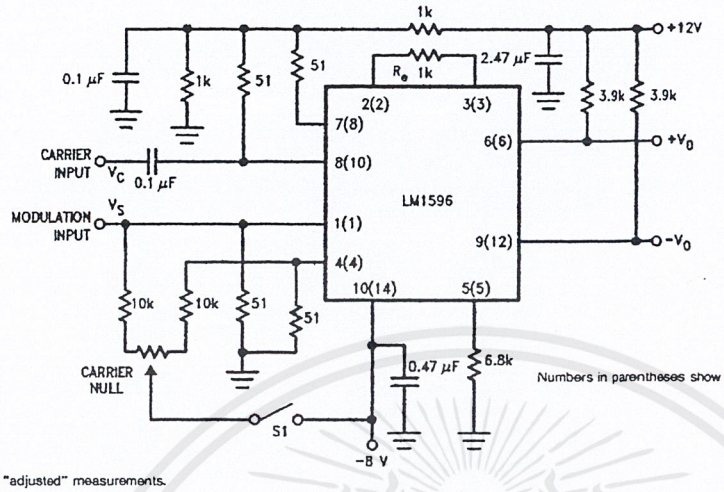


TL/H/7887–5

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Typical Application and Test Circuit

Suppressed Carrier Modulator

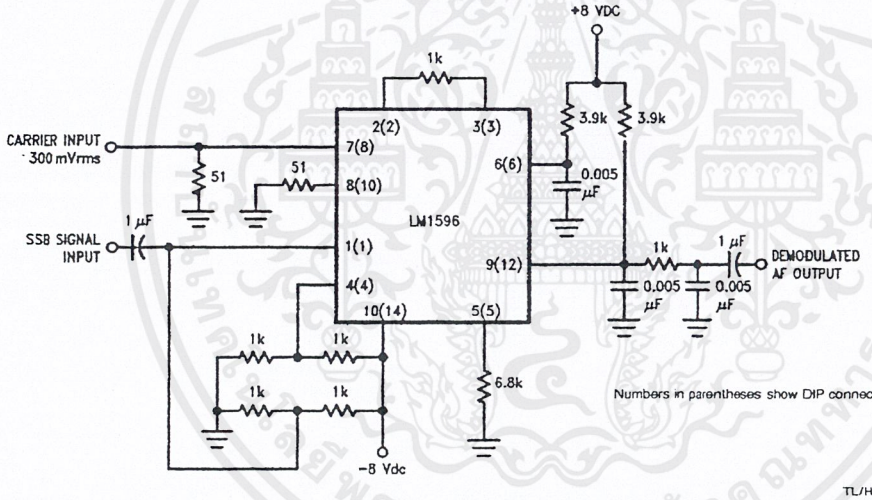


Numbers in parentheses show DIP connections.

Note: S_1 is closed for "adjusted" measurements.

TL/H/7887–4

SSB Product Detector



Numbers in parentheses show DIP connections.

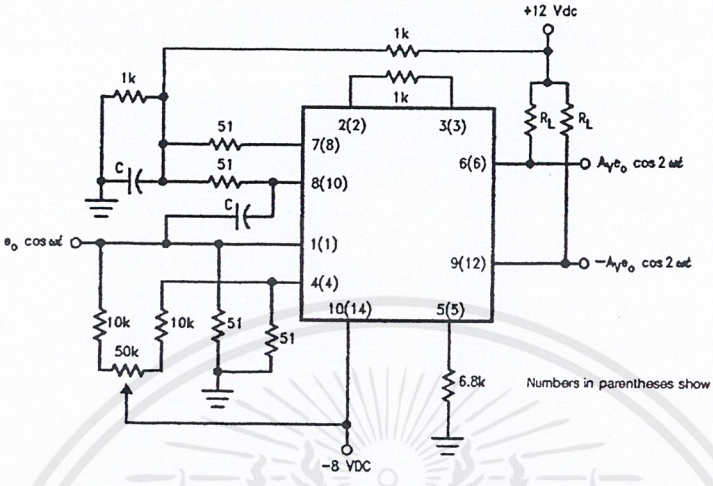
TL/H/7887–6

This figure shows the LM1596 used as a single sideband (SSB) suppressed carrier demodulator (product detector). The carrier signal is applied to the carrier input port with sufficient amplitude for switching operation. A carrier input level of 300 mVrms is optimum. The composite SSB signal is applied to the signal input port with an amplitude of 5.0 to 500 mVrms. All output signal components except the desired demodulated audio are filtered out, so that an offset adjustment is not required. This circuit may also be used as an AM detector by applying composite and carrier signals in the same manner as described for product detector operation.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Typical Applications (Continued)

Broadband Frequency Doubler



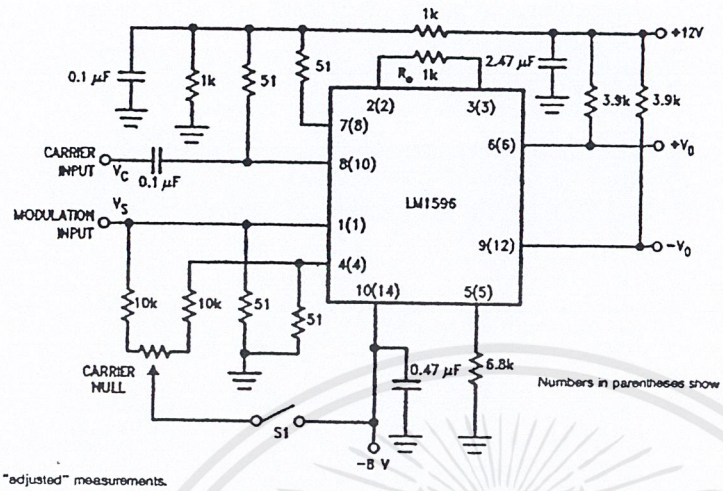
TL/H/7887–7

The frequency doubler circuit shown will double low-level signals with low distortion. The value of C should be chosen for low reactance at the operating frequency. Signal level at the carrier input must be less than 25 mV peak to maintain operation in the linear region of the switching differential amplifier. Levels to 50 mV peak may be used with some distortion of the output waveform. If a larger input signal is available a resistive divider may be used at the carrier input, with full signal applied to the signal input.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Typical Application and Test Circuit

Suppressed Carrier Modulator

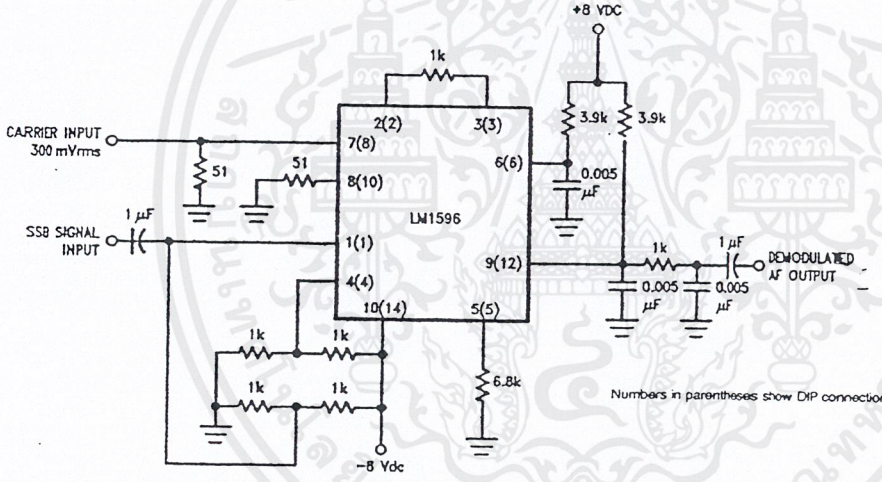


Numbers in parentheses show DIP connections.

Note: S_1 is closed for "adjusted" measurements.

TL/H/7887–4

SSB Product Detector



Numbers in parentheses show DIP connections.

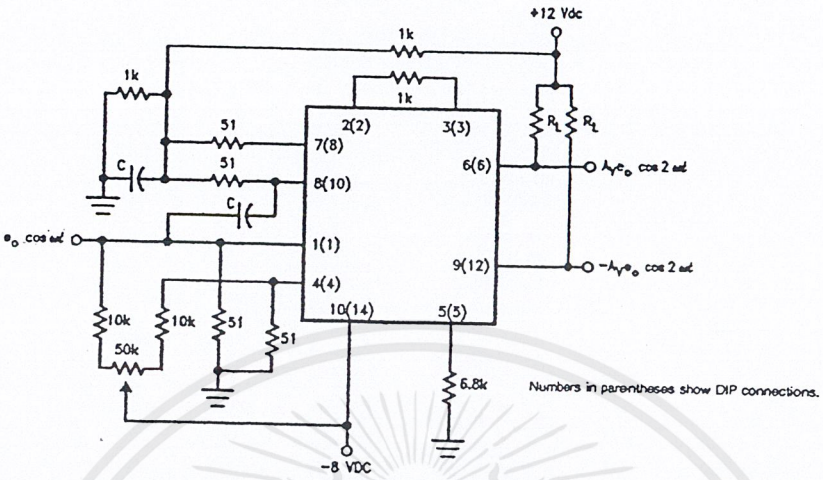
TL/H/7887–6

This figure shows the LM1596 used as a single sideband (SSB) suppressed carrier demodulator (product detector). The carrier signal is applied to the carrier input port with sufficient amplitude for switching operation. A carrier input level of 300 mVrms is optimum. The composite SSB signal is applied to the signal input port with an amplitude of 5.0 to 500 mVrms. All output signal components except the desired demodulated audio are filtered out, so that an offset adjustment is not required. This circuit may also be used as an AM detector by applying composite and carrier signals in the same manner as described for product detector operation.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Typical Applications (Continued)

Broadband Frequency Doubler



Numbers in parentheses show DIP connections.

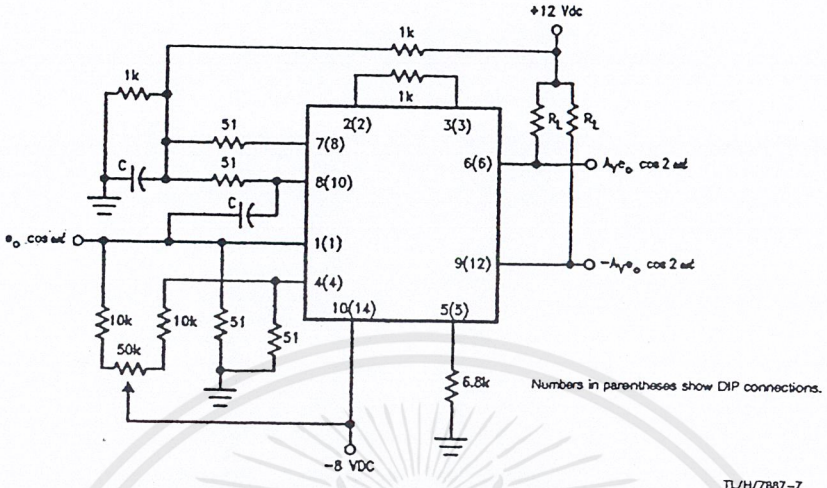
TL/H/7887–7

The frequency doubler circuit shown will double low-level signals with low distortion. The value of C should be chosen for low reactance at the operating frequency. Signal level at the carrier input must be less than 25 mV peak to maintain operation in the linear region of the switching differential amplifier. Levels to 50 mV peak may be used with some distortion of the output waveform. If a larger input signal is available a resistive divider may be used at the carrier input, with full signal applied to the signal input.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Typical Applications (Continued)

Broadband Frequency Doubler



Numbers in parentheses show DIP connections.

TL/H/7887–7

The frequency doubler circuit shown will double low-level signals with low distortion. The value of C should be chosen for low reactance at the operating frequency. Signal level at the carrier input must be less than 25 mV peak to maintain operation in the linear region of the switching differential amplifier. Levels to 50 mV peak may be used with some distortion of the output waveform. If a larger input signal is available a resistive divider may be used at the carrier input, with full signal applied to the signal input.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

หนังสืออ้างอิง

[1] นิกร สุขุตมตันติ, "การออกแบบวงจรอีเล็คทรอนิคส์", คณะวิศวกรรมศาสตร์ สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง, กรุงเทพฯ,2533

[2] Douglas V. Hall , " Digital Circuit And Systems", McGRAW-HALL publishing company,1989

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้