สำนักหอสมุดกลาง พระจอมเกล้าลาดกระบัง

การออกแบบวงจร AFC สำหรับวงจรที่ย่าน TV VHF

ON DESIGN OF AFC FOR TV VHF BAND

โดย

นายพงพนา สีดอกรัก

นายวันชอบ หอมละออ

เลขหมู่.....
เลขทะเบียน 42253
วัน, เดือน, ปี 16 พ.ค. 2545

.b.....
.i.....

ปริญญานิพนธ์นี้เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรปริญญาอุตสาหกรรมศาสตรบัณฑิต

สาขาวิชาเทคโนโลยีอิเล็กทรอนิคส์

ภาควิชาเทคนิคอุตสาหกรรม

คณะวิศวกรรมศาสตร์

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

ปีการศึกษา 2543

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

หัวข้อปริญญานิพนธ์	การออกแบบวงจร AFC สำหรับวงจรที่ย่าน TV VHF
	ON DESIGN OF AFC FOR TV VHF BAND
คณะผู้จัดทำ	นายพงพนา สืดอกรัก รหัส 40103303
	นายวันชอบ หอมละออ รหัส 41013312
อาจารย์ที่ปรึกษา	อาจารย์ดลชัย สุขเจริญผล
ภาควิชา	เทคนิคอุตสาหกรรม
ปีการศึกษา	2543

คณะวิศวกรรมศาสตร์ สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง อนุมัติให้ปริญญานิพนธ์ฉบับนี้เป็นส่วนหนึ่งของการศึกษา ตามหลักสูตรปริญญาอุตสาหกรรมศาสตรบัณฑิต

คณะกรรมการสอบปริญญานิพนธ์

..... ประธานกรรมการ
( )
..... กรรมการ
( )
..... กรรมการ
( )
..... กรรมการ
( )
..... กรรมการ
( )
..... กรรมการ
( )
..... กรรมการ
( )

ลิขสิทธิ์ของคณะวิศวกรรมศาสตร์ สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การออกแบบวงจร AFC สำหรับวงจรที่ย่าน TV VHF

โดย	นายพงพนา สืดอกรัก	รหัส 41013303
	นายวันชอบ หอมละออ	รหัส 41013312
อาจารย์ที่ปรึกษา	อาจารย์ดลชัย สุขเจริญผล	
ปีการศึกษา	2543	

บทคัดย่อ

ในระบบรับสัญญาณ TV เมื่อนำ TV ไปใช้บนรถยนต์ในขณะที่รถยนต์วิ่งด้วยความเร็วต่ำ วงจรซิงโครนัส (Synchronous) ของโทรทัศน์สามารถทำงานได้ คือ ฮอร์ริซอลทอล (Horizontal) และ เวอร์ทิคอล (Vertical) อยู่ในสภาวะล็อก แต่เมื่อรถวิ่งที่ความเร็วเพิ่มขึ้นจะมีผลของ Doppler Frequency ซึ่ง Doppler Effect จะมีผลกับความถี่ของ fc,ฮอร์ริซอลทอลและเวอร์ทิคอล ไม่สามารถอยู่ในสภาวะล็อกโหมด (Lock mode) ได้เนื่องจากดรอปเปลอร์จะมีความถี่มากในช่วง พุลอินเรนจ์ (Pull-in range) และทำให้ผลของภาพที่ปรากฏบนจอล้ม หรือเลื่อนทั้งแนวฮอร์ริซอลทอลและเวอร์ทิคอล ทำให้ไม่สามารถรับภาพได้ตามปกติ

โครงงานนี้เป็นวงจรที่ใช้หลักการของ การควบคุมความถี่อัตโนมัติ (Automatic Frequency Control, AFC) ที่สามารถประมาณค่าความถี่ดอปเปลอร์ เนื่องจากการเคลื่อนที่ของรถยนต์ และนำความถี่ดอปเปลอร์ที่ ได้ไปชดเชยโดยการทำงานร่วมกับ วงจรเฟสล็อกลูป (Phase Lock Loop, PLL)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ON DESIGN OF AFC FOR TV VHF BAND

By	Mr. PONGPANA	SEEDOKRAK	ID. 41013303
	Mr. WANCHOB	HKOMLAOR	ID. 41013312
ADVISER	Mr. DOLCHAI	SOOKCHAROENPHOL	
YEAR	2000		

ABSTACT

In the television adaptation system, when it is turned on the Automobiles while it moves with low speed. The synchronous of television can operate because of horizontal and vertical that are in the locked mode. When it moving with higher speed, the speed will have an effect of Doppler frequency that has influence on the center carrier frequency of the received signal. Both horizontal and vertical are failed in the locked mode because the received signal range over the "pull in range" of synchronization circuit. Then, it makes the picture that show on the monitor disappeared or the picture moves to horizontal and vertical.

In this project is thought by using the principle of "Automatic Frequency Control" (AFC) which can estimate the Doppler frequency. It can estimate because the car moves and the frequency of dropper is operated with in "Phase lock loop" (PLL).

The principle of AFC circuit for estimate the Doppler frequency (frequency offset) is called as "unbalance quadricorrelator or frequency detector" (F.D.D.) and it cooperation witch long loop receiver scheme, And the error voltage from F.D.D. can compensate the local frequency in VCO circuit within local frequency synthesizer.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

กิตติกรรมประกาศ

ปริญญานิพนธ์ฉบับนี้ สำเร็จลุล่วงได้ด้วยความช่วยเหลือเป็นอย่างดีของอาจารย์ ดลชัย สุขเจริญผล ซึ่งเป็นอาจารย์ที่ปรึกษาท่านได้ให้คำชี้แนะและข้อคิดเห็นต่าง ๆ รวมทั้งเครื่องมือ และอุปกรณ์ในการทดลองวิจัยตลอดระยะเวลา 1 ปีเต็ม

ขอกราบขอบพระคุณอาจารย์ทุกท่านที่ได้ประสิทธิ์ ประศาสตร์วิชาความรู้ด้านต่าง ๆ รวมทั้งแนวคิด และคำแนะนำที่ดี ๆ ที่สามารถนำไปใช้ให้เกิดประโยชน์ในภายภาคหน้าได้ ตลอดจนทุกท่านที่มิได้เอ่ยนามในที่นี้ที่ได้ให้ความช่วยเหลือในด้านต่าง ๆ

ขอกราบขอบพระคุณบิดา มารดา อันเป็นที่รักและเคารพยิ่ง ที่ได้ให้กำลังใจ และเงินทุนสนับสนุนทางด้านการศึกษามาโดยตลอด จนสำเร็จการศึกษา ซึ่งถือได้ว่าเป็นจุดที่ประสบความสำเร็จ จุดหนึ่งในชีวิต

สุดท้ายนี้ขอกราบขอบพระคุณ ภาควิชาเทคนิคอุตสาหกรรม คณะวิศวกรรมศาสตร์ สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง ซึ่งเป็นที่ทำการทดลองวิจัย ตลอดจนเจ้าหน้าที่ต่าง ๆ ที่ให้ความช่วยเหลือและคอยอำนวยความสะดวกแก่คณะผู้จัดทำ

ผู้จัดทำ

นาย พงพนา สีดอกรัก

นาย วันชอบ หอมละออ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญ

	หน้า
บทคัดย่อภาษาไทย	ก
บทคัดย่อภาษาอังกฤษ	ข
กิตติกรรมประกาศ	ค
สารบัญรูปภาพ	ง
บทที่ 1. บทนำ	1
บทที่ 2. หลักการทั่วไปของการสังเคราะห์ความถี่	3
2.1 วิธีสังเคราะห์ความถี่	
2.2 หลักการของเฟสล็อกลูปในการสังเคราะห์ความถี่	3
2.2.1 เฟสล็อกลูปโดยตรง	4
2.2.2 เฟสล็อกลูปแบบคูณความถี่	4
2.2.3 เฟสล็อกลูปแบบพรีสเกลเลอร์ (Prescaler)	5
2.2.4 เฟสล็อกลูปแบบพรีสเกลสองโมดูลัส	6
2.2.5 เฟสล็อกลูปแบบมิกซิ่งนอกลูป	7
2.2.6 เฟสล็อกลูปแบบมิกซ์ซิ่งในลูป	8
2.3 คุณสมบัติของวงจรสังเคราะห์ความถี่	8
2.4 เฟสล็อกลูป	9
2.4.1 Acquisition	12
2.4.2 Phase detect	12
2.4.3 VCO	12
2.4.4 พิสัยล็อก (Lock range)	13
2.4.5 พิสัยพูลอิน (Pull In Range)	13
2.4.6 พิสัยการเข้าสู่สภาวะล็อก (Capture Range)	14
2.5 ลูปฟิลเตอร์	15
2.5.1 หน้าที่ของโลว์พาสฟิลเตอร์ในเฟสล็อกลูป	16
2.5.2 ข้อพิจารณาในการออกแบบลูปฟิลเตอร์	16
2.6 วงจรผลิตความถี่ควบคุมด้วยแรงดัน	16
2.7 วงจรควบคุมความถี่อัตโนมัติ	17

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.8 วงจรกรองความถี่ 18
2.8.1 การเกิดการกกระเพื่อมในแถบความถี่ 20
2.8.2 ชนิดของวงจรกรอง 20

บทที่ 3. ลูปโมเดล 25
3.1 Short Loop Model 27
3.2 Long Loop Model 33
3.3 Spit Loop Model 38

บทที่ 4. วงจรสังเคราะห์ความถี่ 43
4.1 วงจรสังเคราะห์ความถี่ 43
4.2 วงจรควบคุมความถี่อัตโนมัติ 45
4.2.1 คุณสมบัติทั่วไปของ NE612A 46
4.2.2 อินพุทของ NE612A 46
4.2.3 เอาท์พุทของ NE612AN 47
4.2.4 ออสซิลเลเตอร์ภายในไอซี 48
4.3 ลูปฟิลเตอร์ 49
4.4 วงจรกรองแถบความถี่ผ่าน 50

บทที่ 5. การออกแบบ 52
5.1 ลูปฟิลเตอร์ (Loop Filter) 52
5.2วงจรกรองแถบความถี่ผ่าน (Bandpass Filter) 53
5.3วงจรกรองแถบความถี่แบบ Active 56
5.4 วงจรเฟสชิฟท์ 57
5.5 วงจรดิฟเฟอเรนชิเอเตอร์ 58
5.6 วงจร Balance Modulator 59
5.7 วงจรรวมสัญญาณ (Summing AMP) 60

บทที่ 6. ผลการทดลองและสรุปข้อเสนอแนะ 62
6.1 ผลจากการวัดค่าความถี่ VCO 62
6.2 รูปสัญญาณที่ได้จากวงจรมิกเซอร์ 64
6.3 รูปสัญญาณจากวงจร Shift Phase 65

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

6.4 รูปสัญญาณจากวงจรดิฟเฟอเรนชิเอเตอร์ 65
6.5 รูปสัญญาณจากวงจรเฟสล็อกลูป (Phase Lock Loop) 65
6.6 ผลเอาท์พุทของวงจร FDD 67
6.7 สรุปและข้อเสนอแนะ 71
เอกสารอ้างอิง
ภาคผนวก

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญรูปภาพ

	หน้า
รูปที่ 2.1 แสดงแผนผังเบื้องต้นของเฟสล็อกลูป	4
รูปที่ 2.2 แสดงการสังเคราะห์ความถี่เฟสล็อกลูปแบบโดยตรง	4
รูปที่ 2.3 แสดงเฟสล็อกลูปแบบคูณความถี่	5
รูปที่ 2.4 แสดงเฟสล็อกลูปแบบพรีสเกลเลอร์	5
รูปที่ 2.5 แสดงพรีสเกลเลอร์แบบสองโมดูลัส	6
รูปที่ 2.6 แสดงมิกซิ่งนอกลูป	8
รูปที่ 2.7 แสดงเฟสล็อกแบบมิกซิ่งในลูป	8
รูปที่ 2.8 บล็อกไดอะแกรมของเฟสล็อกลูป	9
รูปที่ 2.9 เฟสล็อกลูป	11
รูปที่ 2.10 คุณลักษณะการเปลี่ยนแปลงความถี่ของเฟสล็อกลูป	15
รูปที่ 2.11 Block Diagram Unbalanced Quadricorrelator	18
รูปที่ 2.12 การส่งผ่านแถบความถี่	19
รูปที่ 2.13 การเกิดการกระเพื่อมในแถบความถี่	20
รูปที่ 2.14 ตัวอย่างวงจรกรองแบบพาสซีฟ	21
รูปที่ 2.15 ตัวอย่างวงจรกรองแบบแอคทีฟ	22
รูปที่ 3.1 Short loop model	26
รูปที่ 3.2 Long loop model	32
รูปที่ 3.3 Split loop model	37
รูปที่ 4.1 Synthesizer for land mobile radio VHF band	43
รูปที่ 4.2 Prescaler Block Diagram	44
รูปที่ 4.3 รายละเอียดบล็อกไดอะแกรมภายในของ NE612A	46
รูปที่ 4.4 ลักษณะการต่อวงจรทางด้านอินพุท	47
รูปที่ 4.5 ลักษณะการต่อวงจรทางด้านเอาท์พุท	48
รูปที่ 4.6 การต่อวงจรวงจรออสซิลเลเตอร์	48
รูปที่ 4.7 Block Diagram Unbalanced Quadricorrelator	49
รูปที่ 4.8 วงจรFourth Order Multiple Feedback Lowpass filter	50
รูปที่ 5.1 วงจรลูปฟิลเตอร์ของเฟสล็อกลูป	53
รูปที่ 5.2 การเปลี่ยนต้นแบบวงจรกรองความถี่ต่ำผ่านไปเป็นวงจรกรองแถบความถี่ผ่าน	55
รูปที่ 5.3 วงจรกรองแถบความถี่แบบพาสซีฟ	56
รูปที่ 5.4วงจรกรองแถบความถี่ผ่านที่เป็นแบบ Active	57

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รูปที่ 5.5 วงจร Phase Shift 90 57
รูปที่ 5.6 วงจรพื้นฐาน RC ของวงจรดิฟเฟอเรนชิเอเตอร์ 58
รูปที่ 5.7 แสดงการนำออปแอมป์มาใช้ในวงจรดิฟเฟอเรนชิเอเตอร์ 58
รูปที่ 5.8 วงจร Balance Modulator 59
รูปที่ 5.9 วงจรรวมสัญญาณ 60
รูปที่ 6.1 กราฟแสดงผลการทดลอง 62
รูปที่ 6.2 สัญญาณซายน์ที่ได้จากการออสซิเลทของ NE612A ที่ความถี่ต่ำสุด 62
รูปที่ 6.3 สัญญาณซายน์ที่ได้จากการออสซิเลทของ NE612A ที่ความถี่สูงสุด 63
รูปที่ 6.4 มิกเซอร์เอาท์พุทที่ได้จากขา 4 และขา 5 63
รูปที่ 6.5 รูปจากสัญญาณที่มีการเลื่องเฟสไป 90 องศา 64
รูปที่ 6.6 จากวงจรดิฟเฟอเรนชิเอเตอร์ 64
รูปที่ 6.7 รูปสัญญาณของ ϕ_R ช่วงที่เฟสล็อกลูปยังไม่อยู่สภาวะล็อค 65
รูปที่ 6.8 รูปสัญญาณของ ϕ_R ช่วงที่เฟสล็อกลูปอยู่ในสภาวะล็อค 65
รูปที่ 6.9 รูปสัญญาณของϕ_v ช่วงที่เฟสล็อกลูปยังไม่อยู่สภาวะล็อค 66
รูปที่ 6.10 รูปสัญญาณของ ϕ_v ช่วงที่เฟสล็อกลูปอยู่ในสภาวะล็อค 66
รูปที่ 6.11 แรงดันเอาว์พุทของ FDD 68
รูปที่ 6.12 ความถี่เท่ากับ 38.9 MHz ขณะที่ fd = 0Hz 68
รูปที่ 6.13 ความถี่ที่เข้า FDD มีค่าเท่ากับ 1 MHz 69
รูปที่ 6.14 ความถี่เท่ากับ 38.92 MHz ขณะที่ fd = + 1 KHz 69
รูปที่ 6.15 ความถี่เข้าวงจร FDD เท่ากับ 1.001 MHz ที่ fd = + 1 KHz 70
รูปที่ 6.16 ความถี่เท่ากับ 38.88 MHz ขณะที่ fd = - 1 KHz 70
รูปที่ 6.17 ความถี่เข้าวงจร FDD เท่ากับ 0.999 MHz ที่ fd = - 1 KHz 71

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 1
บทนำ

แนวความคิด

ในปัจจุบันได้นำสิ่งที่ให้ความบันเทิงที่เรียกว่า โทรทัศน์ไปติดตั้งบนรถยนต์เมื่อเปิดเครื่องรับโทรทัศน์ในขณะที่รถยนต์อยู่กับที่ก็ยังสามารถรับภาพได้ปรกติ แต่ถ้ารถยนต์มีการเคลื่อนที่ภาพที่รับที่รับได้จะเป็นภาพเลื่อนและล้ม เนื่องจากวงจรซิงโครนัส (Synchronous) ของเครื่องรับโทรทัศน์ไม่ สามารถทำงานได้ เนื่องจากจะเกิดความถี่ดรอปเปลอร์ (Doppler Frequency) รวมอยู่ในสัญญาณโทรทัศน์ด้วย

ในปริญญานิพนธ์จึงได้ศึกษาวงจรที่เกี่ยวกับการควบคุมความถี่อัตโนมัติ (Automatic Frequency Control) และวงจรที่สามารถประมาณค่าความถี่ดรอปเปลอร์ ซึ่งเป็นวงจร Frequency Difference Detectors (F.D.D.) แล้วนำความถี่ดรอปเปลอร์ที่ได้ไปชดเชยที่วงจรเฟสล็อกลูป

วัตถุประสงค์

1. เพื่อศึกษาและเข้าใจการทำงานของระบบสังเคราะห์ความถี่
2. เพื่อศึกษาและเข้าใจการทำงานของวงจรมิกเซอร์ และรูปสัญญาณที่ได้จากการมิกเซอร์กันแล้ว
3.เพื่อศึกษาและเข้าใจการทำงานของวงจรอันบาลานซ์ควอดริคอร์เรลาเตอร์ (Unbalanced Quadricorrelator)
4. สามารถสร้างให้เป็นวงจรต่าง ๆ ตามที่ศึกษาและวัดรูปสัญญาณได้

องค์ประกอบของปริญญานิพนธ์

ปริญญานิพนธ์นี้จะประกอบไปด้วยเนื้อหาต่าง ดังต่อไปนี้

บทที่ 2 หลักการทั่วไปของการสังเคราะห์ความถี่

จะเป็นการอธิบายหลักการทำงานแบบง่าย ๆ ของระบบสังเคราะห์ความถี่ โดยเริ่มจากบล็อกไดอะแกรมลูประบบปิดที่ต้องนำมาใช้ในลูปของเฟสล็อกลูป ซึ่งประกอบไปด้วยบล็อกไดอะแกรมเฟสล็อกลูปในรูปแบบลูปต่าง ๆ ช่วงการล็อกของเฟสล็อกลูป และการนำลูปฟิลเตอร์ VCO ใช้งานร่วมกับเฟสล็อกลูป

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 3 ลูปโมเดล (Loop Model)

เนื้อหาจะเกี่ยวกับลูปทั้ง 3 แบบ ดังนี้ Short loop model, Long loop model, และ Split loop model จะเป็นการหาสมการตามบล็อกไดอะแกรมต่าง ๆ และสมการสุดท้ายจะเป็นค่าไฟดีซีเออเลอร์ไปควบคุมการทำงานของ VCO

บทที่ 4 วงจรสังเคราะห์ความถี่ (Frequency Synthesizer Circuit)

โดยเริ่มเนื้อหาจากวงจรเฟสล็อกลูปซึ่งเป็นไอซีเบอร์ MC145152-2 ต่อร่วมกับพรีสเกลเลอร์เบอร์ MC12017 จากนั้นต่อกับ NE612A ซึ่งเป็นไอซี VCO แบบบาลานซ์มิกเซอร์ และบล็อกไดอะแกรมของอันบาลานซ์ควอดริคอร์เรลาเตอร์ (Unbalanced Quadricorrelator)

บทที่ 5 การออกแบบ

เป็นการออกแบบลูปฟิลเตอร์ วงจรกรองแถบความถี่ผ่านทั้งแบบพาสซีฟ และแบบแอ็คทีฟ วงจรเฟสชิฟ

บทที่ 6 ผลการทดลอง และสรุป

จะเป็นผลการทดลองเป็นรูปสัญญาณตามบล็อกไดอะแกรมต่าง ๆ และสรุปผลจากการทดลอง ข้อเสนอแนะต่าง ๆ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 2

หลักการทั่วไปของการสังเคราะห์ความถี่

ระบบสังเคราะห์ความถี่เครื่องรับส่งวิทยุในปัจจุบัน ส่วนใหญ่นิยมใช้วิธีสังเคราะห์ความถี่แทบทั้งนั้นวงจรที่ทำหน้าที่ สังเคราะห์ความถี่เรียกว่า ซินธีไซเซอร์ (Synthesizers) ซึ่งแปลว่าสังเคราะห์ความถี่ด้วยวิธีสังเคราะห์ความถี่นี้ ทำให้เครื่องรับและเครื่องส่งวิทยุมีการพัฒนาขีดความสามารถขึ้นสามารถโปรแกรมความถี่ ใช้งานได้ เกิดความคล่องตัวในการสื่อสารเป็นอย่างมาก

2.1 วิธีสังเคราะห์ความถี่

วงจรสังเคราะห์ความถี่คือวงจรที่ทำหน้าที่ผลิตสัญญาณความถี่ขนาดพอเหมาะ และขนาดความถี่ตามต้องการ การโปรแกรมสามารถทำได้โดยการตั้งสวิตช์หรือปุ่ม แต่ในปัจจุบันนิยมใช้วิธีสั่งงานด้วยคอมพิวเตอร์ (Computer) ช่วงความถี่ใช้งานของวงจรสังเคราะห์ความถี่จะจำกัดอยู่ในช่วงที่แน่นอนแล้วแต่ การใช้งานและความละเอียดของความถี่ที่เปลี่ยนไปเรียกว่า รีโซลูชั่น (Resolution)

วิธีการสังเคราะห์ความถี่แบ่งออกได้เป็น 2 วิธี คือ

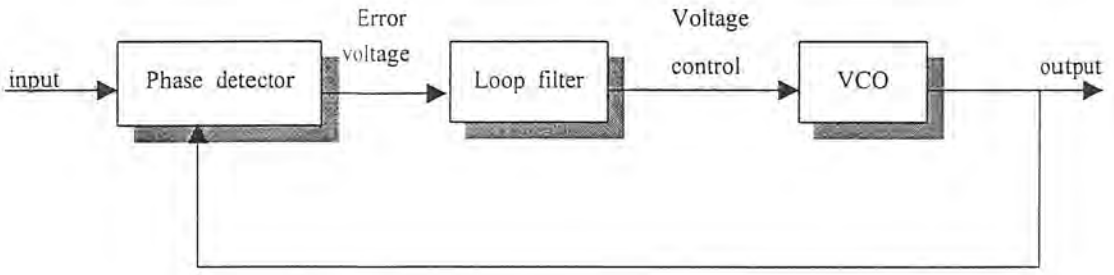
1. วิธีสังเคราะห์โดยตรง (Direct Synthesis) ซึ่งต้องใช้ความถี่หลาย ๆ ค่ามาผสมกันเพื่อให้ ได้ ความถี่ที่ต้องการ โดยปกติใช้ Xtal หลาย ๆ ชุด

2. วิธีสังเคราะห์โดยทางอ้อม (Indirect Synthesis) วิธีการนี้อาศัยหลักการของเฟสล็อกลูป (Phase Lock Loop) โดยการกำเนิดสัญญาณจากวงจรออสซิเลทเตอร์ซึ่งควบคุมความถี่ที่ต้องการโดยปรับแรงดันที่ เรียกว่า VCO (Voltage Control Oscillator) สัญญาณจาก VCO จะถูกป้อนกลับมาเปรียบเทียบกับความถี่อ้างอิง จากนั้นนำความถี่ที่คลาดเคลื่อนแปลงเป็นแรงดัน ไปควบคุมการผลิตความถี่ของ VCO อีกครั้งหนึ่ง

2.2 หลักการของเฟสล็อกลูปในการสังเคราะห์ความถี่

เฟสล็อกลูปเป็นระบบป้อนกลับที่บังคับให้วงจรออสซิลเลทเตอร์มีความถี่หรือเฟสเปลี่ยนแปลงไปตามความถี่หรือเฟสของสัญญาณอ้างอิงภายนอก เฟสล็อกลูปประกอบด้วยภาคสำคัญ 3 ภาคคือ เฟสดีเทคเตอร์ (Phase Detector) ลูปฟิลเตอร์ (Loop Filter) และภาค VCO ดังรูป

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



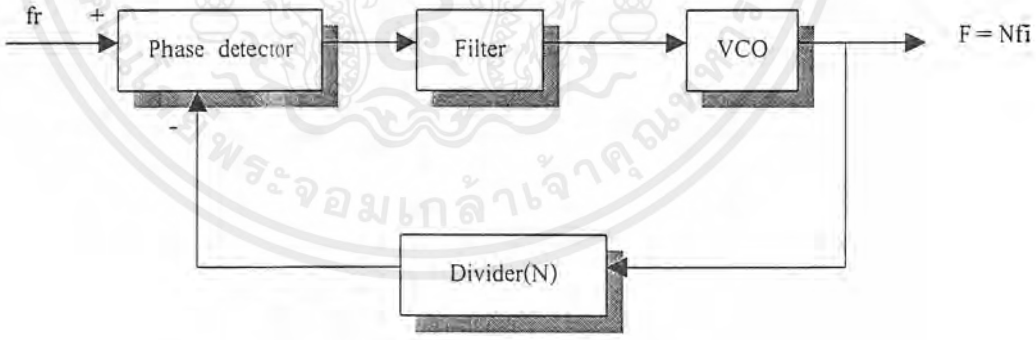
รูปที่ 2.1 แสดงแผนผังเบื้องต้นของเฟสล็อกลูป

สมมุติว่ามีสัญญาณความถี่อ้างอิงภายนอกเป็นสัญญาณรายคาบ (Periodic) เข้ามาที่อินพุทภาคเทียบเฟส ทำหน้าที่เปรียบเทียบเฟสระหว่างสัญญาณอ้างอิงกับสัญญาณอินพุท

การสังเคราะห์ความถี่มีอยู่หลายรูปแบบ ตัวอย่างที่จะกล่าวดังต่อไปนี้เป็นการสังเคราะห์ความถี่ซึ่งมี การกำหนดแต่ละขั้นมีค่าเท่ากับความถี่อ้างอิง (fr)

2.2.1 เฟสล็อกลูปโดยตรง

วิธีการสังเคราะห์แบบนี้ใช้ เฟสล็อกลูปแบบโดยตรงนับว่าเป็นวิธีการที่ง่าย โดยความถี่เอาท์พุทมีค่าเป็น N เท่าของความถี่อ้างอิง ดังรูปที่ 2.2 ในที่นี้ VCO ต้องสามารถทำงานได้ตลอดย่านความถี่เอาท์พุท ซึ่งความถี่อาจขึ้นไปถึง 200 MHz อย่างไรก็ดีวงจรนับที่ทำหน้าที่โปรแกรมเป็นตั้งหาร N นั้นมีราคาแพง เราจึงจำเป็นต้องปรับปรุงวิธีการสังเคราะห์ความถี่เป็นแบบอื่น



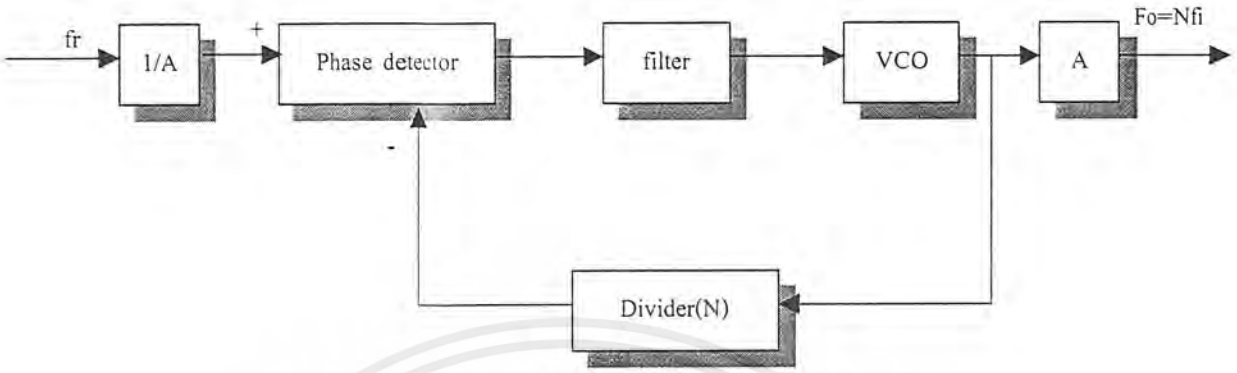
รูปที่ 2.2 แสดงการสังเคราะห์ความถี่เฟสล็อกลูปแบบโดยตรง

2.2.2 เฟสล็อกลูปแบบคูณความถี่

รูปที่ 2.3 เราจะหารความถี่อ้างอิงลง A เท่าก่อนที่จะป้อนให้แก่วงจรเฟสดีเทคเตอร์ และ เอาท์พุทจาก VCO การคูณความถี่ขึ้นไป A เท่า วิธีนี้ช่วยลดความถี่การทำงานของวงจรหาร N ลงแต่

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ก็ทำให้การตอบสนองต่อการเปลี่ยนความถี่ของเฟสล็อกลูปช้าลงเนื่องจากความถี่ที่ใช้ในการเทียบเฟสต่ำลง

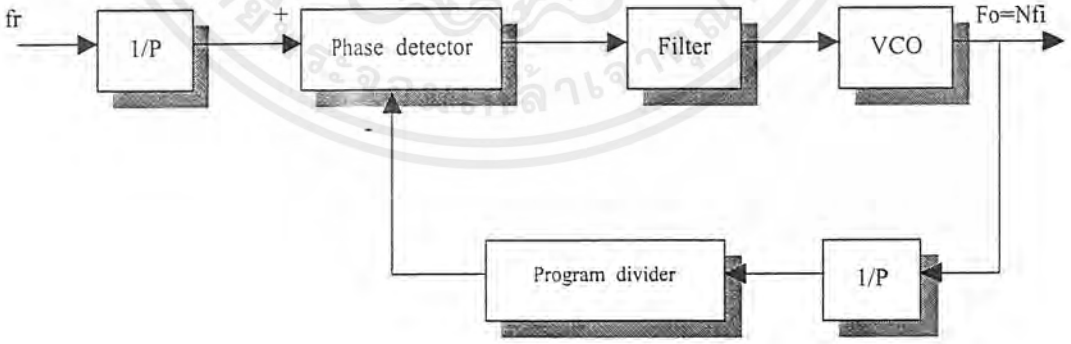


รูปที่ 2.3 แสดงเฟสล็อกลูปแบบคูณความถี่

2.2.3 เฟสล็อกลูปแบบพรีสเกลเลอร์ (Prescaler)

เฟสล็อกลูปในรูปที่ 2.4 ใช้วิธีหารด้วยความถี่อ้างอิงลง P เท่าก่อนที่จะป้อนแก่วงจรเฟสดีเทคเตอร์ และใช้วิธีคูณความถี่ขึ้นไป P เท่าภายในลูปแทนที่จะคูณความถี่ภายนอกลูป ดังเช่น เฟสล็อกลูปแบบคูณความถี่วงจร VCO ในกรณีนี้ต้องทำงานขึ้นไปถึงความถี่ที่ใช้งาน โดยไม่ต้องมีวงจรทวีคูณ (Multiplier)

วงจรนับหาร P เป็นชุดวงจรฟลิปฟลอปธรรมดาซึ่งตัวหารกำหนดไว้ตายตัวและสามารถทำงานที่ความถี่สูงได้ เราเรียกวงจรนี้ว่า วงจรพรีสเกลเลอร์ ส่วนวงจรนับหาร N ซึ่งโปรแกรมตัวหารได้นั้นทำงานที่ ความถี่ต่ำลงเช่นเดียวกับเฟสล็อกลูปในรูปที่ 2.3

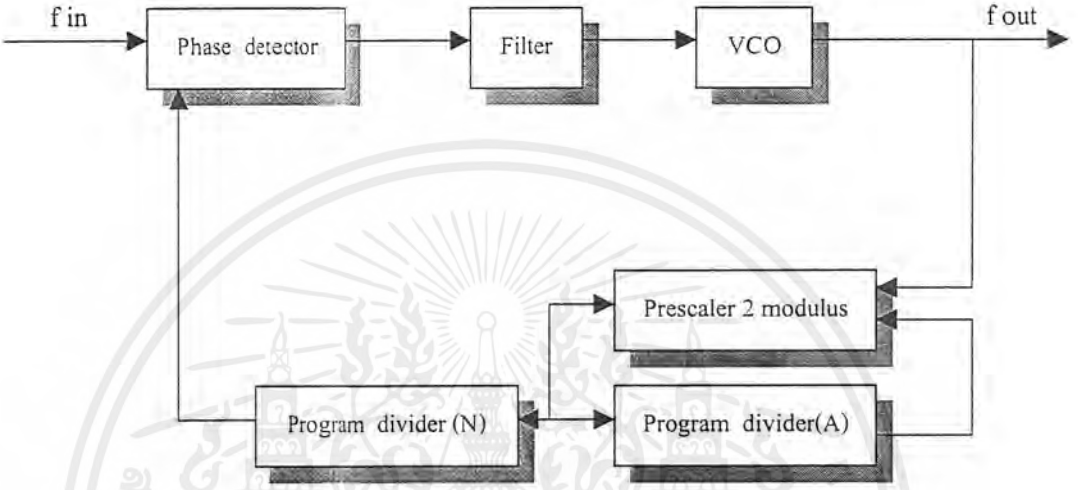


รูปที่ 2.4 แสดงเฟสล็อกลูปแบบพรีสเกลเลอร์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.2.4 เฟสล็อกลูปแบบพรีสเกลสองโมดูลัส (Dual Modulus Prescaler)

เฟสล็อกลูป ในรูปที่ 2.5 ใช้พรีสเกลเลอร์เช่นเดียวกันกับในรูปที่ 2.4 เว้นแต่วงจรพรีสเกลเลอร์นี้ไม่ใช่เป็นวงจรนับหารค่าตายตัว P แต่เป็นวงจรนับหารเปลี่ยนค่าได้ระหว่าง P กับ P+1 เราเรียก พรีสเกลเลอร์สองโมดูลัส (เลือกตัวหาร P ก็ได้ หรือจะเลือก P+1 ก็ได้) วงจรนับหาร N ซึ่งเป็นโปรแกรมตัวหารได้นั้นทำงานที่ความถี่ต่ำลง



รูปที่ 2.5 แสดงพรีสเกลเลอร์แบบสองโมดูลัส

วิธีสังเคราะห์ความถี่แบบที่ใช้วงจรหารสองโมดูลัส

วิธีที่จะทำให้ระบบสังเคราะห์ความถี่ผลิตความถี่สูงมากได้อีกวิธีหนึ่งก็คือ การใช้วงจรหารเป็นแบบวงจรหารสองโมดูลัส (แทนที่จะเป็นวงจรหาร N ธรรมดา ดังที่ได้กล่าวมาในตอนต้น) ส่วนสำคัญของวงจรหารสองโมดูลัสก็คือ ไอซี ตระกูล ECL ซึ่งมีความสามารถในการทำงานที่ความถี่สูงกว่าตระกูล TTL หลายเท่า ไอซี ที่กล่าวถึงนี้จะทำการ หารล่วงหน้า (หรือ Prescale) ก่อน หมายถึง มีการทำงานในลักษณะที่หารได้ 2 ครั้ง ด้วยค่า 2 ค่าสลับกันในตัวไอซีตัวเดียว เรานิยมเรียกไอซีตระกูล ECL ในที่นี้ว่า พรีสเกลเลอร์ชนิดสองโมดูลัส (Dual Modulus Prescaler)

พรีสเกลเลอร์ตัวนี้สามาระหารความถี่ด้วยตัวเลข 2 ตัว ซึ่งต่างกันอยู่ 1 เช่น หาร 10 หรือ 11 เรียกว่า 10/11 พรีสเกลเลอร์ หาร 15 หรือ 16 เรียกว่า 15/16 พรีสเกลเลอร์สังเกตว่าตัวหารทั้งคู่ต่างกันอยู่ 1ค่า

ในตัวอย่างต่อไปนี้เราจะใช้ 10/11 พรีสเกลเลอร์ เอาท์พุทของพรีสเกลเลอร์จะป้อนไปให้แก่ วงจรเคาน์เตอร์ตระกูล TTL 2 ตัว ตัวหนึ่งเป็นเคาน์เตอร์หลัก (Main Counter) สวนอีกตัวหนึ่งเป็นเคาน์เตอร์เสริม (Auxiliary Counter)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ตัวเคาน์เตอร์เสริมจะเป็นตัวบังคับให้พรีสเกลเลอร์หารด้วยตัวหาร (Modulus) ตัวใด คือ หารด้วย 10 หรือหารด้วย 11 เช่น สมมติว่าป้อนข้อมูล (ความถี่) หรือพรีเซตตัวเลขให้เคาน์เตอร์เสริม และในขณะนี้ ECL พรีสเกลเลอร์ใช้ 11 เป็นตัวหาร เมื่อเคาน์เตอร์เสริมหยุดนับ จึงจะส่งคำสั่งไปบังคับให้พรีสเกลเลอร์เปลี่ยนเป็นการหารด้วย 10

ตัวเคาน์เตอร์หลักก็เช่นเดียวกันจะค่อย ๆ นับถอยหลังไปเรื่อย ๆ จนเป็นศูนย์ เมื่อเคาน์เตอร์ทั้งตัวหลักและตัวเสริมนับถึงศูนย์เมื่อใด ทั้งคู่จะถูกพรีเซตด้วยตัวเลขข้อมูล (ความถี่) เนื่องจากเคาน์เตอร์เสริมจะต้องนับถึงศูนย์ก่อน ดังนั้นตัวเลข ที่พรีเซตให้เคาน์เตอร์เสริมจะต้องน้อยกว่าตัวเลขที่พรีเซตให้เคาน์เตอร์หลัก

สมมติว่าตัวเลขที่พรีเซตเป็น M ให้แก่เคาน์เตอร์หลัก และ A ให้แก่เคาน์เตอร์เสริม เริ่มแรกให้พรีสเกลเลอร์อยู่ในสภาวะหาร 11 ซึ่งจะยังคงหารตัวหาร 11 ไปจนกว่าเคาน์เตอร์เสริมจะนับลงเป็นศูนย์เท่ากับ 11 คูณด้วย A ไซเกิล

หลังจากนั้นพรีสเกลเลอร์จะถูกบังคับให้เปลี่ยนตัวหารเป็น 10 (โดยเคาน์เตอร์เสริม) ในขณะนี้เคาน์เตอร์หลักนับผ่าน A ไปแล้ว (พร้อมกันกับเคาน์เตอร์เสริม) เช่นกัน ยังเหลืออยู่อีก (M - A) ไซเกิลก่อนที่นับเป็นศูนย์ นั่นคือจะต้องใช้เวลาในการนับเคาน์เตอร์หลักเป็นศูนย์ต่อไปอีก คิดเป็นจำนวนไซเกิล (ของ VCO) ที่ผ่านไปเท่ากับ 10 คูณด้วย (M - A)

ฉะนั้นรวมเวลาที่ใช้จึงเป็นผลรวมของเวลาทั้งสองข้างต้น คือ

$$\text{VCO ไซเกิล} = 11A + 10(M-A) = 10M+A$$

ความถี่ของ VCO จะเท่ากับ (10M + A) เท่าของความถี่อ้างอิง หรือ

$$F_{synth} = F_{ref} \ (10M + A) \qquad (2.1)$$

ขอให้สังเกตว่า ผลของตัวเลข M มีผลต่อความถี่ F_{synth} มากกว่าตัวเลข A อยู่ 10 เท่า นอกจากนี้ตัวหาร 10(M+A) สามารถหาได้ครบตัวเลขทุกค่า เนื่องจากมีข้อจำกัดตรงที่ M จะต้องมากกว่า (หรือเท่ากับ) A ในที่นี้ตัวหาร (10M+A) จะหารได้ครบทุกค่าถ้าเกิน 90 แต่ถ้าต้องหารน้อยกว่า 90 จะหารได้ไม่ครบทุกตัว ทดลองหาตัวเลข M กับ A ที่ทำให้ตัวหารมีค่า 89 ดูจะพบว่า หาไม่ได้

สมการที่ยกตัวอย่างมาข้างต้นใช้กับพรีสเกลเบอร์แบบ 10/11 ในกรณีที่พรีสเกลเลอร์ชนิดสองโมดูลัส เป็นแบบ P และ (N) ตัวหารจะกลายเป็นดังนี้

ตัวหารของระบบสังเคราะห์ความถี่ $= PM+A$ (2.2)

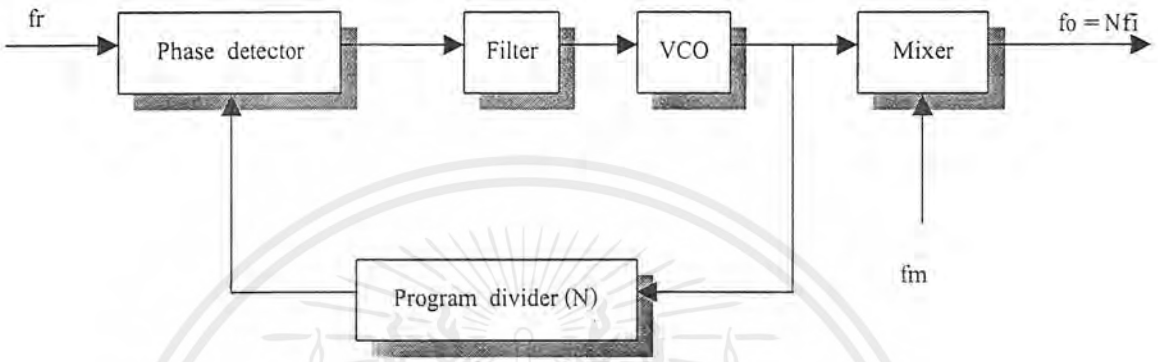
ตัวหารต่ำสุด $= P(P-1)$ (2.3)

ตัวหารสูงสุด $= P M_{max} + A_{max}$ (2.4)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.2.5 เฟสล็อกลูปแบบมิกซิ่งนอกลูป

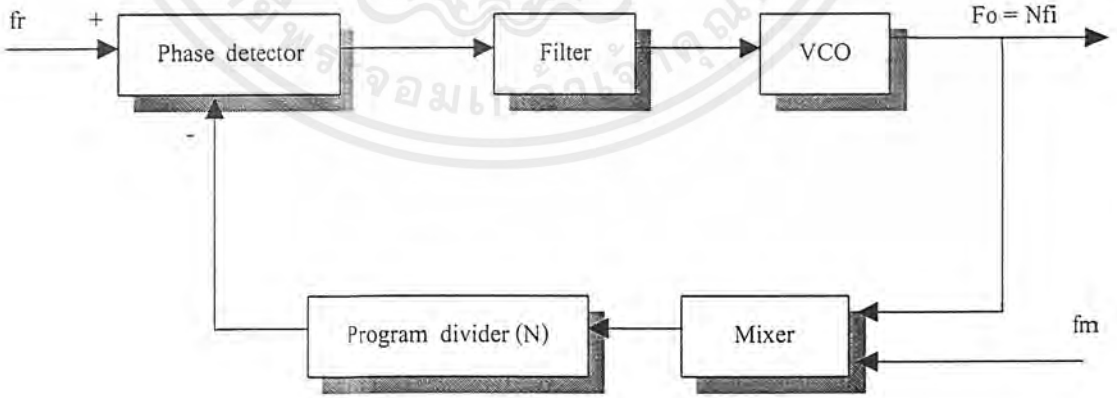
เฟสล็อกลูปในรูปที่ 2.6 อาศัยความถี่อีกความถี่หรือเพื่อผสม (Mixer) กับความถี่สูงขึ้นในที่นี้เราปรับชั้นความถี่ได้แต่ละชั้นเท่ากับความถี่อ้างอิง เท่ากับผลรวมของความถี่เดิมผสมกับความถี่จาก VCO



รูปที่ 2.6 แสดงมิกซิ่งนอกลูป

2.2.6 เฟสล็อกลูปแบบมิกซ์ซิ่งในลูป

จากในรูปที่ 2.7 เป็นการมิกซ์ อีกแบบหนึ่งซึ่งนำการผสมมาใช้ในลูปสัญญาณจาก VCO และความถี่ที่ได้จากการมิกซ์ (fm) จะบีม (Beam) กันได้ความถี่ต่ำลงแล้วจึงป้อนเข้าสู่วงจรนับหาร N ความถี่ เอาท์พุทที่ได้เท่ากับผลรวมของความถี่ที่นำมาผสมกับความถี่ VCO



รูปที่ 2.7 แสดงเฟสล็อกแบบมิกซิ่งในลูป

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.3 คุณสมบัติของวงจรสังเคราะห์ความถี่

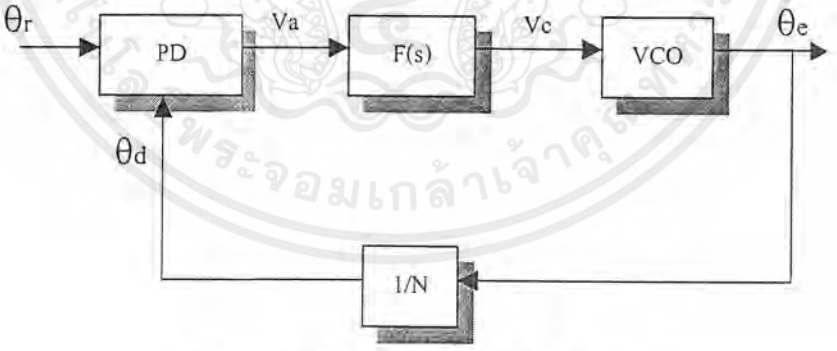
นอกจากวงจรสังเคราะห์ความถี่จะต้องมีคุณสมบัติเกี่ยวกับช่วงความถี่ (Frequency range) ที่จะต้องผลิตและโซลูชั่นระหว่างขั้นแล้ว คุณสมบัติอื่น ๆ ของวงจรสังเคราะห์ความถี่ก็มีความสำคัญสำหรับเครื่องรับ - ส่งวิทยุอีกด้วย

โดยปกติแล้ววงจรสังเคราะห์ความถี่จะสามารถกำเนิดสัญญาณเพียงอย่างเดียว แต่เลือกความถี่ได้ หลายค่าและความละเอียดของความถี่ขึ้นอยู่กับรีโซลูชั่นในขณะที่เราเปลี่ยนค่าความถี่ วงจรสังเคราะห์จะต้อง ล็อกความถี่ได้ในเวลาอันรวดเร็ว นั่นคือช่วงเวลาล็อก (Lock up Time)

วงจรสังเคราะห์ความถี่ที่ดีจะต้องผลิตสัญญาณเพียงความถี่เดียว ปราศจากความถี่แปลกปลอมต่าง ๆ คุณสมบัตินี้เรียกว่าความบริสุทธิ์ของสเปกตรัม (Spectrum Purity) ค่าของฮาโมนิกส์ (Harmonic) และสิ่งแปลกปลอม (Sperious) ต่าง ๆ จะต้องถูกกำจัดให้เหลือน้อยที่สุด ความถี่เที่ยงตรง (Accuracy) และเสถียรภาพ (Stability) ทางความถี่ของวงจรสังเคราะห์ความถี่ขึ้นอยู่กับสัญญาณอ้างอิงซึ่งโดยทั่วไปจะใช้ แร่ Xtal ดังนั้นวงจรสังเคราะห์ความถี่จะมีเสถียรภาพหรือไม่ จึงขึ้นอยู่กับ Xtal Oscillator

2.4 เฟสล็อกลูป (Phase Lock Loop, PLL)

เฟสล็อกลูป (PLL) เป็นระบบป้อนกลับ ซึ่งสัญญาณป้อนกลับนั้นใช้ ล็อกความถี่และเฟสของสัญญาณอินพุท รูปแบบของสัญญาณอินพุท มีความแตกต่างมากมายหลายแบบคลอบคลุมถึงสัญญาณซายน์ และสัญญาณแบบดิจิตอลด้วย บล็อกไดอะแกรมแสดงดังรูปที่ 2.8



รูปที่ 2.8 บล็อกไดอะแกรม ของเฟสล็อกลูป

รูปที่ 2.8 แสดงถึงบล็อกไดอะแกรมของเฟสล็อกลูป สัญญาณเอาท์พุทที่เกิดจาก PD นั้น จะเป็นความแตกต่างระหว่างเฟสของสัญญาณอินพุทที่ได้จากสัญญาณข่าวสาร และสัญญาณที่ได้ จากการป้อนกลับ เอาท์พุทของ PD จะถูกกรองสัญญาณที่เป็นซายน์ด้วย F(s) เพราะฉะนั้นค่าที่ออกมาจะเป็นค่า dc เพียงอย่างเดียวเท่านั้นที่จะสามารถไปควบคุมผลิตความถี่ได้ตามที่ต้องการแล้วหาร

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ด้วยค่า N จากนั้นป้อนกลับไปที่ตัว PD เพื่อไปเปรียบเทียบกับสัญญาณอินพุทที่เข้ามาแรงดันของ Vc (t) จะบังคับให้ VCO เปลี่ยนความถี่โดยตรง โดยลดค่าความแตกต่างระหว่างความถี่อินพุท และ

ความถี่เอาท์พุทจากการหารค่า N ถ้าเฟสจากสัญญาณอินพุททั้งสองมีเฟสที่เท่ากัน VCO ก็จะผลิตความถี่ค่าเดิมออกมาและ ก็จะอยู่ในสภาวะล็อกนั่นคือ

$$f_r = f_d \tag{2.5}$$

และผลหารความถี่คือ

$$f_d = \frac{f_o}{N} \tag{2.6}$$

ความถี่เอาท์พุทคือ

$$f_o = N \cdot f_r \tag{2.7}$$

ถ้าไม่มีบล็อกของตัวหาร N นั่นหมายความว่า ตัวหารมีค่าเท่ากับ 1 ในขณะที่ ลูปอยู่ในสภาวะล็อกนั้นมันจะมีความต่างเฟสเพียงเล็กน้อยมาก ๆ หรือแทบจะไม่มีความต่างเฟสของทั้งสองอินพุทเลย ซึ่งผลของความต่างเฟสนี้จะอยู่ในรูปของค่า dc voltage ที่เฟสดีเทคเตอร์เอาท์พุทซึ่งจะเป็นตัวไปควบคุมให้ VCO ผลิตความถี่เพื่อที่จะสามารถอยู่ในสภาวะล็อกให้ได้

ขณะที่มีการเปลี่ยนแปลงของค่าความถี่และเฟสทางด้านอินพุทแต่ก็ยังสามารถล็อกได้อยู่นั่นเราเรียกช่วงนี้ว่า Lock range ส่วนช่วงของ Capture range จะล็อกได้น้อยกว่าช่วง Lock range

ดังนั้นความถี่ เอาท์พุทของ PLL เป็นหารคูณจำนวนเต็มของความถี่อ้างอิง มันสามารถเปลี่ยนได้ ง่าย ๆ โดยเปลี่ยนตัวหาร N ไอซีจะมีโหมดของตัวหารเป็นโปรแกรมดิจิตอล

โมเดลเชิงเส้นของเฟสล็อกลูป (Linear model of the PLL)

เฟสล็อกลูปเป็นแบบ ไม่เป็นเชิงเส้น เพราะเฟสดีเทคเตอร์เป็นแบบ ไม่เป็นเชิงเส้นมันสามารถมีความเที่ยงตรงได้เช่นเดียวกับอุปกรณ์เชิงเส้น เมื่อความต่างเฟสระหว่างที่อินพุทมีน้อยมากที่ตัวตรวจจับเฟส สำหรับวิเคราะห์เชิงเส้นโดยจะถือว่า เอาท์พุทของเฟสดีเทคเตอร์เป็นฟังก์ชั่นแรงดันที่เป็นเชิงเส้นของความแตกต่างระหว่างอินพุทนั่นคือ

$$V_d = K_d\left(\theta_r - \theta_d\right) \tag{2.8}$$

ที่ θ_r และ θ_d คือเฟสของอินพุทและสัญญาณป้อนกลับโดยลำดับ และ K_d คือเกนของเฟสดีเทคเตอร์ และมีหน่วยเป็น โวลท์ / เรเดียน

$$\Delta\omega = K_o \cdot V_c \tag{2.9}$$

ที่ V_c คือแรงดันอินพุท VCO และ K_o คือเกนของ VCO หน่วยเป็น เรเดียน/วินาที/โวลท์ ความถี่เอาท์พุทคือ

$$\omega_o = \omega_c + \Delta\omega = \omega_c + K_o V_c \tag{2.10}$$

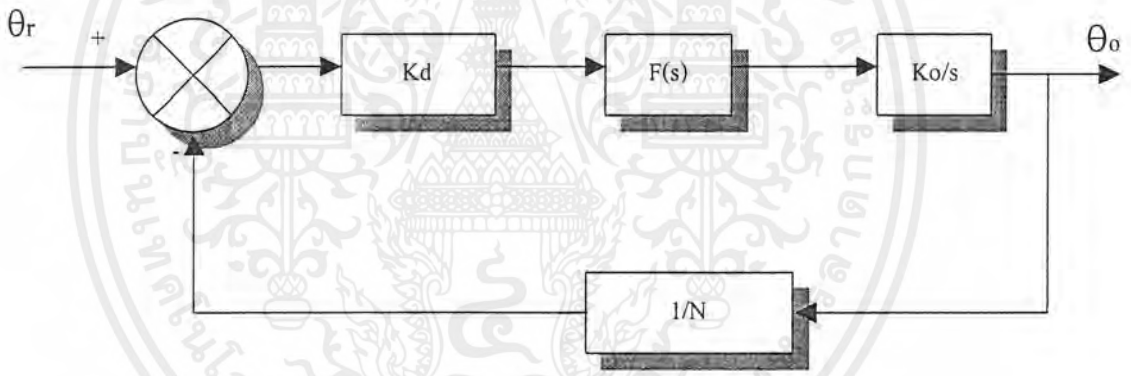
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ที่ ω_c คือความถี่ที่เปลี่ยนแปลงของ VCO ดังนั้น ความถี่คือเวลาที่แยกออกจากเฟส VCO สามารถเขียนได้เป็น

$$\Delta\omega = \frac{d\theta_o}{dt} = K_o \cdot V_C \qquad (2.11)$$

สำหรับรูปร่างของเฟสล็อกลูป วงจรหาร N อยู่ที่เดียวกันโดยส่วนความถี่อิสระเท่ากับ 1/N ซึ่งถือว่า เฟสล็อกลูปสามารถทำงานโดยเป็นเชิงเส้น ดูจากรูปที่ 2.9 ที่ $F(s)$ เป็นทรานส์เฟอร์ฟังก์ชั่นจาก วงจรกรองความถี่ต่ำ เอาท์พุทเฟส $\theta_o(s)$ และ อินพุทเฟส $\theta_r(s)$ มีความสัมพันธ์กับที่ทรานส์เฟอร์ ฟังชั่นคือ

$$\frac{\theta_o}{\theta_r} = \frac{K_d K_o F(s)}{1 + \dfrac{K_d K_o F(s)}{N(s)}} = \frac{G(s)}{1 + G(s)/N} \qquad (2.12)$$



รูปที่ 2.9 เฟสล็อกลูป

ฟังชั่นทรานเฟอร์มีความสัมพันธ์กับอินพุท $f_r(s)$ และคามถี่เอาท์พุท $f_o(s)$ ถ้าไม่ใช้วงจรกรองความถี่ต่ำฟังก์ชั่นทรานเฟอร์ คือ

$$\frac{\theta_o}{\theta_r} = \frac{K_d K_o}{s + K_d K_o / N} = \frac{NK_v}{s + K_v} \qquad (2.13)$$

ซึ่งทรานเฟอร์ฟังก์ชั่นที่เหมือนกันของวงจรความถี่ต่ำต้อง DC gain (N) แบนด์วิดท์เท่ากับ K_v กำหนดเป็นตัวแปรทำให้ดูง่ายขึ้น

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$K_v = \frac{K_d K_o}{N} \qquad (2.14)$$

เฟสล็อกลูปนี้เป็นลูป Order 1 ดังนั้น สามารถอธิบายโดยใช้สมการดิฟเฟอเรนเชียลแบบ order 1 และทั้งหมดเป็นของ type 1 ด้วยสมการคณิตศาสตร์ที่ใช้นี้ แสดงให้เห็นเฟสล็อกลูปคือวงจรกรองความถี่ต่ำ แต่เอาท์พุทเฟสและความถี่แสดงในรูปของความถี่เปลี่ยนแปลง ω_c ที่จริงแล้วเฟสล็อกลูปคือ แบนพาสฟิลเตอร์ จุดสำคัญอยู่ที่ ความถี่ของรูปร่างสัญญาณอินพุทที่เอาท์พุทของเฟสดีเทคเตอร์ เป็นสัญญาณความถี่ต่ำนั่นคือ ถูกกรองด้วยวงจรกรองความถี่ต่ำ มันทำให้ง่ายมากในการทำ Narrow Bandwidth, Low Pass Filters จะมี Q Filter สูงนั่นจะต้องการในประการอื่น ๆ นี้เป็นประโยชน์หลักอันหนึ่งของ เฟสล็อกลูป

2.4.1 Acquisition

ถ้าลูปสามารถล็อกด้วยตัวมันเอง เราเรียกว่า เซลแอคไควซิชั่น (Self - acquisition) และถ้าลูปล็อก โดยอาศัยวงจรเข้ามาช่วย เราเรียกขบวนการนี้ว่า เอ็ดแอคไควซิชั่น (Aided - acquisition) การทำงานของเซลแอคไควซิชั่นจะมีความช้าและไม่น่าเชื่อถือ แม้ว่าวงจรเฟสล็อกลูปจะเป็นอุปกรณ์พิเศษในการติดตามสัญญาณ ซึ่งจะเป็นตัวคอยดูแลความไม่เหมาะสมของ แอคไควซิชั่นดังนั้นในการใช้วงจรแอคไควซิชั่นจึงไม่ใช่เรื่องแปลกอะไรที่เราจะเห็นว่ามีวงจรแอคไควซิชั่นรวมอยู่ถึงครึ่งหนึ่งของวงจรทั้งหมดที่แสดงอยู่ใน เฟสล็อกลูป

สำหรับลูปอันดับ N ที่อยู่ในวงจรอินทิเกรเตอร์ เราสามารถกำหนดให้เป็นอุดมคติ หรือใกล้เคียงอุดมคติ ในแต่ละวงงจรอินทิเกรเตอร์จะมีความสัมพันธ์กันที่สภาวะที่สามารถเปลี่ยนแปลงได้ของลูป เช่น เฟส ความถี่ อัตราความถี่ และอื่น ๆ การที่จะนำลูปเข้าสู่สภาวะล็อกนั้นจำเป็นที่จะต้องปรับแต่งพารามิเตอร์ต่าง ๆ ของวงจร อินทิเกรเตอร์ที่อยู่ในสภาวะเปลี่ยนแปลงได้นั้นให้มีความสัมพันธ์กัน ดังนั้นเราจึงกล่าวได้ว่าเฟสแอคไควซิชั่น ฟรีเควนซี แอคไควซิชั่น จะมีรูปฟอร์มอยู่ในช่วงของ n ในการแอคไควซิชั่นสำหรับลูปที่ n อันดับ แต่การแอคไควซิชั่นทาง
ความถี่จะได้รับความสนใจมาก และที่สภาวะอื่น ๆ ก็ได้รับความสนใจเช่นกัน การแอคไควซิชั่นจะมีลักษณะประจำตัวเป็นแบบ ไม่เป็นเชิงเส้น ดังนั้นเราจะใช้การพิจารณาแบบไม่เป็นเชิงเส้นตลอดและไม่สามารถที่ใช้การประมาณค่าได้ในลักษณะที่เป็นแบบไม่เป็นเชิงเส้น

2.4.2.Phase detect

สำหรับเฟสดีเทคเตอร์ หรือเรียกอีกอย่างได้ว่า เฟสคอมพาเรเตอร์ (Phase Comparator) เป็นอุปกรณ์ที่เปรียบเทียบสัญญาณอ้างอิง หรือเฟสอินพุทกับเฟสเอาท์พุทที่ป้อนกลับจาก VCO จะให้แรงดันเอาท์พุทเป็นแรงดันที่แปรตามค่าความต่างเฟส สำหรับเฟสดีเทคเตอร์สามารถแบ่งออกเป็น 2 ประเภทคือ อนาล็อกเฟสดีเทคเตอร์และดิจิตอลเฟสดีเทคเตอร์ โดย PLL ที่ใช้อนาล็อกเฟสดีเทคเตอร์หรือเรียก ได้ว่า อนาล็อกเฟสล็อคลูป (Analog Phase Locked Loop : APLL) และใน PLL ที่ใช้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

(DPLL) โดยทั่วไปแล้วถ้ากล่าวถึง PLL นั่นหมายถึง อนาล็อกเฟสล็อคลูป สำหรับเฟสดีเทคเตอร์ที่ใช้ในอนาล็อกเฟสล็อคลูปที่ใช้กันมากก็คือ วงจรแบบกิลเลิรด์ (Gibert multiplier) และสำหรับ DPLL มักใช้เฟสดีเทคเตอร์ แบบเฟสฟรีเควนซี่ดีเทคเตอร์ (phase frequency detector : PFD)

2.4.3 VCO

วงจร VCO ซึ่งความถี่ถูกควบคุมด้วยระบบแรงดันไฟฟ้า จากภายนอกระดับแรงดันไฟฟ้าจากวงจรขยายสัญญาณจะล็อคให้ VCO อยู่ทั้งหมด 3 โหมดด้วยกันคือ ฟรีรันนิ่ง (Free running) แค็ปเจอร์ (Capture) และโหมดล็อคอิน (Lock in) หรือแทร็กกิ้ง (Tracking) ถ้าความถี่ (f_o) มีค่าแตกต่างจาก (f_s) มากวงจร PLL จะไม่สามารถถูกทำให้อยู่ในสภาวะล็อคได้ และเมื่อปราศจากการทำงานในสภาวะล็อคอินแล้ววงจร VCO จะกลับกลายเป็นฟรีรันนิ่งออสซิลเลเตอร์ไป

2.4.4 พิสัยล็อก (Lock range)

เป็นพิสัยที่ความถี่ของ VCO ของลูปสามารถติดตามความถี่อินพุท (Tracking) หลังจากลูปต้นล็อคกับสัญญาณอินพุทแล้ว ดังนั้นอาจเรียกพิสัยแทรคกิ้ง (Tracking range) หรือพิสัยโฮล (Hold in range) การหาพิสัยล็อคสูงสุดนั้น หาได้จากการสมมุติว่าความถี่ที่ป้อนเข้าลูปเป็นความถี่สูงสุดของ PLL ทำการล็อคจากสมการ

$$\lim_{t\to\alpha}\theta_e(t) = \lim_{s\to 0} s\,\theta_e(s) \qquad (2.15)$$

ซึ่งเฟสเออเรอร์ของ PLL ที่จำลองระบบในสภาวะที่ค่าของเฟสเออเรอร์มีค่าน้อย ๆ สำหรับเฟสเออเรอร์ที่มีค่ามาก ๆ เขียนได้

$$\lim_{t\to 0}\sin\theta_e(t) = \frac{\Delta\omega_H}{K_o K_d(F_o)} \qquad (2.16)$$

ค่า $\Delta\omega_H$ เป็นค่าพิสัยล็อคซึ่งจะเกิดขึ้นสูงสุดเมื่อมุมของ θ_e เท่ากับ $\pm\pi/2$ หรือฟังก์ชั่น Sin θ_e (t) มีค่าสูงสุดคือ ± 1 ดังนั้น

$$\Delta\omega_H = K_o K_d F(o) \qquad (2.17)$$

หรือจะเท่ากับลูปเกณฑ์ในกรณีของ PLL ที่ใช้วงจรกรองแบบพาสซีฟ และ $\Delta\omega_H$ มีค่าเท่ากับ ∞ กรณี PLL ในวงจรกรองแบบแอคตีฟ

2.4.5 พิสัยพูลอิน (Pull In Range)

เป็นพิสัยที่ PLL สามารถจะล็อคกับสัญญาณอินพุทได้โดยลูปอยู่ในสภาวะเริ่มต้นไม่ได้ล็อคกับความถี่อินพุท ปรากฏการเริ่มล็อคสามารถอธิบายได้โดยสมมุติให้ลูปเปิดออกระหว่างวงจรกรองความถี่ในลูป (loop filter) และ VCO ถ้าที่อินพุทมีความถี่เข้ามา (ω_1) ใกล้ความถี่ VCO (ω_2) เฟสดีเทคเตอร์ซึ่งเป็นอนาล็อคมัลติพลายเออร์ จะให้ผลรวมและผลต่างของความถี่ระหว่างความถี่อินพุทและความถี่เอาท์พุท VCO โดยที่เอาท์พุทของวงจรกรองจะมีเพียงผลต่างของความถี่ซึ่งกำหนดให้เท่ากับ $\Delta\omega_o$ หรือเขียนได้

$$\Delta\omega_o = \frac{d\theta_e(t)}{dt} \qquad (2.18)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ความถี่ $\Delta\omega_o$ จะเป็นสัญญาณอินพุทของ VCO ซึ่งจะมอดดูเลทแบบ FM หรือสัญญาณเอาท์พุทเป็นสัญญาณไซน์ โดยขนาดของความถี่เปลี่ยนแปลงตามเวลา ถ้าระหว่างขบวนการมอดดูเลท ค่าความถี่ของ VCO เคลื่อนเข้าใกล้ความถี่อินพุทดังนั้นค่า $\Delta\omega_o$ จะลดลง ค่า $d\theta_e$ (t)/dt ก็จะลดลงตามมาเช่นกัน ทำให้ผลการเปลี่ยนแปลงแรงดันของเฟสดีเทคเตอร์ทางด้านเอาท์พุท จะช้าลงมาเมื่อเทียบกับเวลา แต่ถ้าระหว่างขบวนการมอดดูเลท ค่าความถี่ของ VCO เคลื่อนจากความถี่อินพุทจะทำให้ค่า $\Delta\omega_o$ เพิ่มมากขึ้น ค่า $d\theta_e$ (t)/dt เพิ่มขึ้นแรงดันเอาท์พุทของเฟสดีเทคเตอร์เปลี่ยนแปลงอย่างรวดเร็วเมื่อเทียบกับเวลาแสดงการเกิดสัญญาณบีทโน๊ตในรูปที่ 2.12

ภายใต้เงื่อนไขดังกล่าวแสดงถึงสัญญาณเฟสดีเทคเตอร์เอาท์พุท ได้ดังรูปสัญญาณบีทโน๊ตที่เป็นลักษณะไม่สมมาตรจะให้ค่าแรงดันดีซีเฉลี่ย ที่ทำให้ความถี่ของ VCO เคลื่อนที่เข้าไปสู่ความถี่อินพุทจนกระทั่งเท่ากันหรือเกิดการล็อคช่วงเวลาที่ PLL ใช้สำหรับการล็อคนี้เรียกว่า "เวลาพูลอิน" (Pull in time) โดยถ้า $\Delta\omega$ มากกว่าค่าของลูปเกณฑ์มาก ๆ แล้ว ($\Delta\omega_o >> K_o$ Kd) ค่าเวลาพูลอินจะประมาณได้คือ

$$T_P = \frac{[\Delta\omega_o]^2}{2\zeta[\omega_n]^3} \qquad (2.19)$$

ซึ่งค่า $\Delta\omega_o$ ที่เป็นความแตกต่างระหว่างความถี่อินพุทและความถี่อิสระของ VCO

2.4.6 พิสัยการเข้าสู่สภาวะล็อก (Capture Range)

นิยามได้ว่า คือ พิสัยความถี่ที่มีศูนย์กลางอยู่ที่ความถี่เริ่มต้นของ VCO (คือความถี่ฟรีรันนิ่งที่ตั้งไว้) ตลอดพิสัยนี้ ลูปสามารถดึงเข้าสู่การล็อคกับสัญญาณอินพุทได้ พิสัยการเข้าสู่ความถี่ใกล้เคียงกับศูนย์กลางของ VCO (f_o) มากน้อยเพียงใด ลูปจึงเข้าสู่ภาวะล็อคได้ Lock in range นี้จะเป็นครึ่งหนึ่งของ Capture range (หรือเทียบกับ F_c)

Capture Range ถือได้ว่าเป็นความถี่ใด ๆ ที่อยู่ภายใน Lock range และขึ้นอยู่กับขอบเขตของ LPF กับอัตราขยายลูปปิด (Close Loop gain) ของระบบซึ่งความสามารถของลูปในการเกาะจับกับสัญญาณอินพุทนี้จะเป็นคุณสมบัติที่แสดงถึงคุณสมบัติการเลือก (Selectivity) ความถี่ของลูปด้วย

เป็นพิสัยที่ PLL สามารถจะล็อคกับความถี่อินพุท โดยสภาพของลูปไม่ได้เริ่มต้นล็อค เช่นเดียวกับพิสัยพูลอิน แต่พิสัยแคปเจอร์นี้ช่วงความถี่จะแคบกว่า โดยผลต่างความถี่อินพุทเข้ามากับความถี่ของ VCO ไม่ทำให้เกิดสัญญาณลักษณะบีทโน๊ตทางเอาท์พุทของเฟสดีเทคเตอร์ หรือกล่าวได้ว่าผลต่างของความถี่สูงสุดของ VCO เอาท์พุทได้จากการมอดดูเลท โดยแรงดันที่ผ่านลูปฟิลเตอร์นี้ได้คือ

$$|\Delta\omega_c| = K_o \, KdF \, |j\Delta\omega| \qquad (2.20)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

โดย $|F(j\Delta\omega)|$ เป็นอัตราการลดทอนของวงจรกรองความถี่ต่างความถี่ที่แตกต่างกันระหว่างความถี่อินพุทและความถี่ของ VCO (ที่เป็นความถี่อิสระ) สำหรับวงจรกรองความถี่แบบพาสซีฟขนาดของแมกนีจูดทรานเฟอร์ฟังก์ชั่นแสดงได้คือ

$$F(j\omega) = \sqrt{\frac{1+(\omega T_2)}{1+(\omega T_1)}} \qquad (2.21)$$

หรือประมาณได้ว่า

$$F(j\omega) = T_2/T_1 \qquad (2.22)$$

ดังนั้น

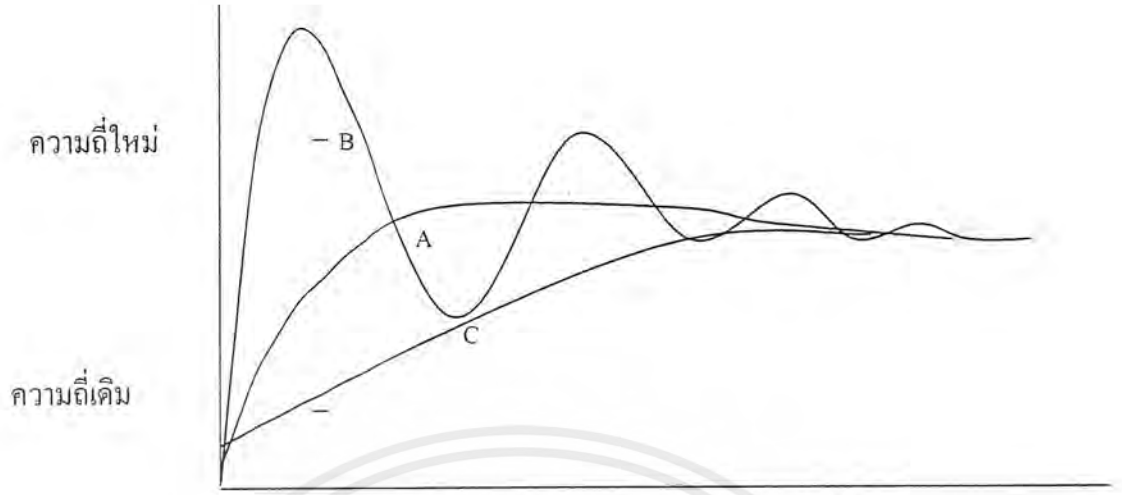
$$\Delta\omega_c = [K_o K d T_2]/T_1 \qquad (1.23)$$

2.5 ลูปฟิลเตอร์ (Loop filter)

ลูปฟิลเตอร์เป็นส่วนหนึ่งในระบบเฟสล็อกลูป หน้าที่ของวงจรนี้ได้แก่ การควบคุมการล็อก แคปเจอร์ แบนด์วิดท์ และการตอบสนองค่าทรานเชี้ยนของลูป สำหรับฟิลเตอร์ในที่นี้ก็คือวงจรชนิดโลว์พาสธรรมดา ทำหน้าที่กรองเอาเฉพาะสัญญาณความถี่ต่ำมาควบคุมความถี่ของ VCO ลูปฟิลเตอร์ เป็นตัวกำหนดคุณสมบัติ การเปลี่ยนแปลงก่อนเข้าสู่สภาวะที่เรียกว่า คุณสมบัติชั่วครู่ (Transient) ถ้าเลือกอัตราการขยายลูป (Loop gain) และค่าคงตัวของลูป (Loop Time Constant) ไม่เหมาะสม ความถี่ของเฟสล็อกจะไม่ล็อกและจะเปลี่ยนแปลงอยู่ตลอดเวลา

ดังนั้นค่าคงตัวเวลาของลูปฟิลเตอร์จะต้องไม่มากเกินไป เพื่อว่าทุกครั้งที่เปลี่ยนความถี่เฟสล็อกลูปจะล็อกได้เร็วโดยไม่มีการสะบัด (Over Shoot) หรือใช้เวลาเปลี่ยนความถี่อย่างรวดเร็ว แต่ค่าคงตัวเวลาก็ ไม่ควรจะน้อยเกินไป จนกระทั้งความถี่สั่นหรือไม่นิ่ง (Jetter) ดูรูปที่ 2.10 ซึ่งแสดงการเปลี่ยนแปลงความถี่ของ VCO จะเห็นว่าเส้นทางการเปลี่ยนแปลงแรงดันมี 3 เส้นทาง เส้นทาง A เป็นเส้นทางคริติคอลแดมป์ (Critical Damp) ใช้เวลาในการเปลี่ยนแปลงเข้าสู่ความถี่ใหม่น้อยที่สุด เส้นทาง B เรียกว่าเส้นทางอันเดอร์แดมป์ (Under Damp) มีการสะบัดกลับเนื่องจากโอเวอร์ชู้ต เส้นทาง C เป็นทางโอเวอร์แดมป์ (Over Damp) ไม่มีโอเวอร์ชู้ตแต่เวลาที่ใช้ในการเข้าสู่ความถี่ใหม่จะช้า

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่2.10 คุณลักษณะการเปลี่ยนแปลงความถี่ของเฟสล็อกลูป

ดังนั้นจะเห็นว่า เส้นทาง A เป็นเส้นทางที่ดีที่สุดในการออกแบบ ค่าคงตัวเวลาของวงจรลูปฟิลเตอร์ เพราะใช้เวลาเปลี่ยนความถี่เร็วและไม่มีโอเวอร์ชู้ต

2.5.1 หน้าที่ของโลว์พาสฟิลเตอร์ในเฟสล็อกลูป

มีหน้าที่ใหญ่ ๆ อยู่ 2 ประการคือ

1. ลดค่าความคลาดเคลื่อนที่เป็นความถี่สูงที่ออกจากวงจรเปรียบเทียบเฟส (Phase Comparator) โดยการใช้คุณสมบัติการนำการกำจัดสัญญาณรบกวนและเป็นตัวทำให้เกิดค่าแรงดันเฉลี่ย (Average DC Voltage) เพื่อนำไปควบคุมวงจร VCO
2. ทำหน้าที่ควบคุมการทำงานของลูปซึ่งขึ้นอยู่กับเงื่อนไขต่าง ๆ ดังนี้
   2.1 แคปเจอร์และล็อกเรนจ์
   2.2 แบนด์วิด
   2.3 การตอบสนองต่อทรานเซียน

เนื่องจากโลว์พาสฟิลเตอร์ลดค่าแรงดันคลาดเคลื่อนของความถี่ระหว่างลูป แล้วยังเป็นตัวควบคุมการแคปเจอร์โดยตรงและคุณสมบัติต่อผลตอบสนองชั่วขณะของเฟสล็อกลูป

การลดช่วงกว้างของฟิลเตอร์ จะส่งผลไปยังการทำงานของระบบคือ

1. ขบวนการแคปเจอร์จะช้าลงและพูลอินไทม์ (Full in time) เพิ่มขึ้น
2. ช่วงแคปเจอร์ลดลง
3. คุณสมบัติทางอินเตอร์พีเรนซ์ (Interferent Rejection) ของเฟสล็อกลูปจะดีขึ้น เพราะค่าแรงดันคลาดเคลื่อนเนื่องจากความถี่ของสัญญาณรบกวนจะลดลงไป

3. ผลตอบสนองชั่วขณะของเฟสล็อกลูปต่อการเปลี่ยนทันทีของสัญญาณเข้าสู่ ช่วงความถี่แคปเจอร์ จะอยู่ในลักษณะภายใต้การแดมป์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สำนักหอสมุดกลาง จุฬาลงกรณ์มหาวิทยาลัย

2.5.2 ข้อพิจารณาในการออกแบบลูปฟิลเตอร์

1. เนื่องจากตัวฟิลเตอร์และอินทิเกรเตอร์ที่ใช้ออปแอมป์ มีฟังก์ชั่นเป็นอินเวอร์ติ้ง ดังนั้น จำเป็นต้องดัดแปลงแก้ไข้การกลับเฟสนี้ก่อน เพื่อให้ค่าแรงดันคลาดเคลื่อน (Error Voltage) จากออสซิเลเตอร์สามารถควบคุม VCO ได้ถูกทิศทางกับความผิดพลาดที่เกิดขึ้น ซึ่งทำได้ง่ายที่สุดโดยการสลับอินพุท f_r และ f_v ที่เฟสดีเทคเตอร์

2. กรณีเฟสดีเทคเตอร์มีเอาท์พุทเป็นดับเบิ้ลเอนด์ $K_d = \frac{V_{dd}}{2}$

3. วงจรแอคตีฟฟิลเตอร์อาจจะเกิดการอิ่มตัว ถ้าลูปเกิดการผิดพลาดเชิงเฟสที่เฟสดีเทคเตอร์มี ขนาดใหญ่พร้อม ๆ กับเกิดทรานเซี้ยนโอเวอร์ชู้ตขึ้นในลูป กรณีนี้จะเกิดขึ้นเฉพาะกับลูปที่ใช้ เฟสดีเทคเตอร์เป็นชนิดดิจิตอล เนื่องจากเอาท์พุทของเฟสดีเทคเตอร์เปลี่ยนแปลงเป็น 0 หรือ 1 ในทันทีทันใด นอกจากนี้ความถี่อินพุทของฟิลเตอร์มักมีค่ามาก

2.6 วงจรผลิตความถี่ความคุมด้วยแรงดัน (Voltage Control Oscillator)

คุณสมบัติของ VCO ที่ใช้ในการล็อกลูป เราพิจารณาได้ดังนี้

1. การเบี่ยงเบนของความถี่ (Frequency Deviation) จุดสูงสุดของแคปเจอร์เรนจ์จะเท่ากับเกนการขยายของลูปเปิด (Open Loop Gain)

2. เสถียรภาพทางความถี่ (Frequency Deviation) การมีเสถียรภาพทางความถี่มีความจำเป็นอย่างยิ่งสำหรับวงจรสังเคราะห์ความถี่ ความไวของการมอดูเลต (Modulation Sensitivity) ควรจะมีค่าสูง

3. การตอบสนอง (Response) VCO ควรมีการตอบสนองสัญญาณได้ดีและไม่ควรให้มีผลต่อคุณสมบัติทางด้านเสถียรภาพของลูป

4. คุณสมบัติของความถี่และแรงดัน (Frequency Voltage Characteristic) VCO จะต้องมีอัตราส่วนของความถี่ต่อแรงดัน (F/V) ที่มีความเป็นเชิงเส้น (linear)

5. Spectral Purity ในการประยุกต์ใช้งาน เช่น การสังเคราะห์ความถี่แบบอนาล็อก วงจรผลิตความถี่ควบคุมโดยแรงดัน ควรมีสัญญาณเอาท์พุทที่บริสุทธิ์ คือถ้าเป็นคลื่นรูปซายน์ควรจะเป็นคลื่นที่คงที่สม่ำเสมอ

ในการออกแบบเฟสล็อกลูป ออสซิเลเตอร์ที่ควบคุมด้วยแรงดันมักจะเป็นส่วนที่จะต้องพิจารณามากที่สุดเพราะว่ามีส่วนลักษณะพิเศษของระบบ อย่างเช่นเสถียรภาพของระบบ และเสถียรภาพของความถี่รวมทั้ง การดีมอดูเลตคลื่นเอฟเอ็มตามปกติแล้วจะขึ้นอยู่กับ VCO เพื่อให้เกิดความคล่องตัวมากที่สุด VCO จะต้องมีคุณสมบัติดังนี้

1. ลักษณะการเปลี่ยนแปลงแรงดันเป็นความถี่เชิงเส้น

2. เสถียรภาพของความถี่ที่ดี

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้
42253

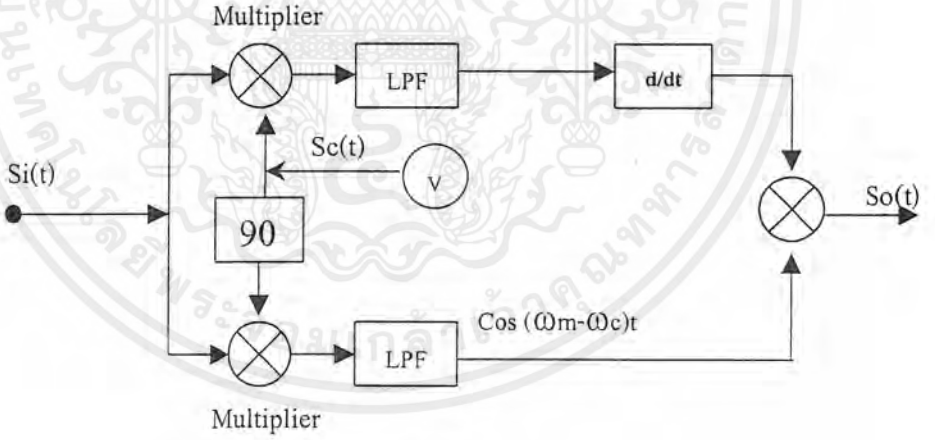
3. สามารถใช้กับความถี่สูงได้
4. อัตราการขยายสูง
5. พิสัยการติดตามกว้าง
6. การตั้งความถี่กระทำได้ง่าย

2.7 วงจรควบคุมความถี่อัตโนมัติ (Automatic Frequency Control: AFC)

วงจรควบคุมความถี่อัตโนมัติ ใช้สำหรับในการรับความถี่สัญญาณ ซึ่งถูกรบกวนด้วยสัญญาณรบกวน สามารถใช้ในการเชื่อมโยงข้อมูลดิจิตอลได้หลายรูปแบบ ในวงจรส่งข้อมูลดิจิตอลบนดาวเทียม เป็นการควบคุมโดยใช้แบบ โคฮีเรนต์ เฟสชิฟ คีอิ้ง เช่น 8PSK หรือแบบ QPSK การมอดูเลตแบบโคฮีเรนต์นี้เฟส ล็อกลูปมีส่วนร่วมในการรับสัญญาณ แต่จะน้อยมากโดยเฉพาะในกรณีที่สัญญาณที่เข้ามาไม่ทราบค่า จึงเป็นเหตุผลให้วงจรควบคุมความถี่อัตโนมัติ (AFC)

ได้รับความนิยมในการที่จะนำมาใช้เพื่อเข้าช่วยวงจรเฟสล็อกลูป ในการรับสัญญาณ ทำให้ระบบทำงานได้อย่างมีประสิทธิภาพมากยิ่งขึ้น

ในที่นี่เราจะกล่าวถึงโครงสร้างของ อันบาลานซ์ควอดริคอร์รีเลเตอร์ (Unbalanced Quadricorrelator) เป็นในลักษณะของการนำเอา เอาท์พุทของวงจรนี้ออกไปควบคุมความถี่ทางด้านอินพุทอีกครั้งหนึ่งโดยอัตโนมัติ ซึ่งแสดงดังรูป



รูปที่ 2.11 Block Diagram Unbalanced Quadricorrelator

จากรูปกำหนดให้

$$S_i(t) = \sqrt{2}\sin\omega_m t \qquad (2.24)$$

$$S_c(t) = \sqrt{2}\sin\omega_c t \qquad (2.25)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เมื่อผ่านวงจร Unbalanced Quadricorrelator จะได้ So (t) เป็น

$$S_o(t) = \frac{1}{2}(\omega_m - \omega_c)[1 + \cos 2(\omega_m - \omega_c)t] \qquad (2.26)$$

จะเห็นว่าค่าที่ได้มีสองเทอมคือ ค่า dc และค่าที่ติดอยู่ในรูปของซายน์ ซึ่งมีความถี่เป็น 2 เท่า เราสามารถนำเอาท์พุทส่วนนี้ไปผ่าน LPF เพื่อกำจัดเทอมหลังออกให้เหลือเฉพาะค่า dc แล้วนำค่านี้ไปใช้ในการควบคุมวงจร VCO ต่อไป

2.8 วงจรกรองความถี่

วงจรฟิลเตอร์หรือวงจรกรองมีบทบาทสำคัญมากในกระบวนการทั้งอนาล็อกและดิจิตอล ใช้สำหรับกำจัดสัญญาณที่ไม่ต้องการออก (เช่น การตัดเสียงฮัมออกในวงจรขยายเสียง) และแยกสัญญาณที่มีความซับซ้อนออกมาเป็นส่วน ๆ เพื่อป้อนเข้าสู่วงจรต่าง ๆ ของระบบต่อไป เมื่อพิจารณาในด้านการใช้งานแล้ววงจรกรองจะถูกใช้งานใน 4 ลักษณะ ได้แก่

1. วงจรกรองความถี่ต่ำผ่าน (Low Pass Filter) จะยอมให้สัญญาณที่มีความถี่ตั้งแต่ 0 เฮิรตซ์ไปจนถึงความถี่ที่กำหนดผ่านวงจรกรองไปได้ ส่วนความถี่ตั้งแต่ความถี่ที่กำหนดขึ้นไปจนถึงความถี่อนันต์จะถูกตัดทิ้งไป

2. วงจรกรองความถี่สูงผ่าน (High Pass Filter) ให้ความถี่ผ่านได้ตั้งแต่ความถี่ที่กำหนด ไปจนถึงความถี่อนันต์ ส่วนความถี่ที่ต่ำกว่าความถี่ที่กำหนดจะถูกกำจัดออกไป

3. วงจรกรองแถบความถี่ผ่าน (Band Pass Filter) เปรียบเสมือนนำวงจรกรองความถี่ต่ำผ่านมาอนุกรมกับวงจรกรองความถี่สูงผ่าน ความถี่ที่สามารถผ่านได้จะต้องอยู่ในช่วงของความถี่ กำหนดและความถี่นอกเหนือจากนั้นจะถูกกำจัดออกไป

4. วงจรกรรองตัดแถบความถี่ (Band Stop Filter) วงจรกรองลักษณะแถบความถี่ผ่านก็คือความถี่ต่ำจนถึงช่วงความถี่สูงที่ถูกกำหนดเอาไว้จะไม่สามารถผ่านได้ แต่ความถี่ที่ต่ำกว่าที่กำหนดและความถี่ที่สูงกว่ากำหนดสามารถผ่านได้นั่นเอง

การสงผ่านของแถบความถี่

ลักษณะการส่งผ่านความถี่ของแถบความถี่ จะเป็นตัวบ่งบอกคุณสมบัติของวงจรกรองถ้าการส่งผ่านมีช่วงแคบ และมีลักษณะชันแสดงว่าวงจรกรองนั้นมีคุณภาพดี แต่ถ้าช่วงการส่งผ่านมีช่วงกว้างและลาดมากแสดงว่า วงจรกรองมีลักษณะการเลือกความถี่ที่เลว ดังนั้น ในการออกแบบจึงควรทำให้ช่วงการส่งผ่านชันและแคบ ให้ใกล้เคียงกับในอุดมคติมากที่สุด รูปที่ 2.12 จะเป็นลักษณะการส่งผ่านความถี่

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รูปที่ 2.12 การส่งผ่านแถบความถี่

ซึ่งตัวที่บอกลักษณะการส่งผ่านก็คือค่า โรลออฟ เป็นตัวแสดงอัตราการลดทอนของสัญญาณต่อจำนวนความถี่ที่เปลี่ยนไป หรืออีกนัยหนึ่งก็คือความชันของการส่งผ่านนั่นเอง มีหน่วยเป็น เดซิเบล/ดีเคด ได้มาจากสูตร

$$rolloff = 20 \log_{10} \frac{V_o}{V_i} \qquad (2.27)$$

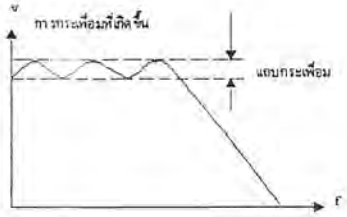
และถ้ามีหน่วยเป็น เดซิเบล/ออกเทฟ ได้มาจากสูตร

$$rolloff = 20 \log_{2} \frac{V_o}{V_i} \qquad (2.28)$$

2.8.1 การเกิดการกกระเพื่อมในแถบความถี่

เนื่องจากวงจรกรองในอุดมคตินั้น จะมีความแรงของสัญญาณเท่ากันตลอดทุกความถี่ที่ยอมให้ผ่าน แต่ในทางปฏิบัติแล้ว จะให้วงจรกรองมีเอาท์พุทระดับเท่ากันตลอดนั้นเป็นไปไม่ได้ เพราะในความถี่บางค่าอาจมีผลกระทบที่ทำให้ค่าอิมพิแดนซ์ของวงจรเปลี่ยนไป การที่วงจรกรองมีความแรงของสัญญาณทางเอาท์พุทไม่เท่ากัน นั้นทำให้เกิดแถบกระเพื่อมขึ้นในแถบความถี่การกระเพื่อมนั้นไม่ได้มีแต่เพียงในแถบความถี่เท่านั้น แต่ยังสามารถเกิดในช่วงตัดแถบความถี่ได้อีกด้วย รูปที่ 2.13 เป็นการแสดงการเกิดการกระเพื่อมในแถบความถี่

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



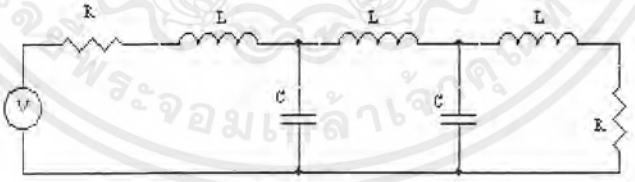
รูปที่ 2.13 การเกิดการกระเพื่อมในแถบความถี่

2.8.2 ชนิดของวงจรกรอง

วงจรกรองความถี่ขั้นพื้นฐานจะมีอยู่ 2 แบบ ได้แก่

1.วงจรกรองแบบพาสซีฟ

วงจรกรองทางพาสซีฟจะประกอบไปด้วยอุปกรณ์ทางพาสซีฟ (Passive Device) เป็นหลัก ได้ แก่ ตัวเก็บประจุและตัวเหนี่ยวนำ (บางครั้งอาจมีตัวต้านทานประกอบร่วมอยู่ด้วย) ดังแสดงในรูปที่ 2.12 เนื่องจากวงจรกรองแบบนี้มีราคาแพง การออกแบบก็ซับซ้อนจึงไม่เป็นที่นิยมนัก ข้อดีของวงจรกรองแบบนี้ก็คือ สามารถตอบสนองความถี่ได้สูงมาก สามารถใช้งานได้ โดยไม่ต้องใช้แหล่งจ่ายไฟใด ๆ ทั้งสิ้น



รูปที่ 2.14 ตัวอย่างวงจรกรองแบบพาสซีฟ

ในความเป็นจริงแล้ว สัญญาณที่ออกมาจากเอาท์พุทของวงจรกรองชนิดนี้จะเกิดการสูญเสีย (Loss) ขึ้นเนื่องจากค่าอิมพีแดนซ์ของวงจร และเมื่อพิจารณาถึงการส่งผ่านของแถบความถี่จะบ่งบอกได้อย่างชัดเจนว่า เป็นวงจรที่มีการส่งผ่านไม่ดีนัก อย่างไรก็ตามสามารถแก้ไขปรับปรุงค่าโรลออฟของวงจรได้โดยเพิ่มอุปกรณ์เข้าไป แต่สิ่งที่จะตามมาก็คือการออกแบบที่ซับซ้อนยุ่งยากมากยิ่งขึ้น

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ในการใช้งานกับความถี่เสียง วงจรกรองชนิดนี้จะมีปัญหาในเรื่องของตัวเหนี่ยวนำที่ใช้ เนื่องจากตัวเหนี่ยวนำจะมีค่าอิมพีแดนซ์ของมัน และมีค่าความต้านทานภายในร่วมอยู่ ซึ่งค่าความต้านทานภายในนี้เอง เป็นตัวทำให้ค่าอิมพีแดนซ์ของตัวเหนี่ยวนำเกิดการคลาดเคลื่อนจากความเป็นจริง (เนื่องด้วยความถี่เสียงจัดได้ว่าอยู่ในย่านความถี่ต่ำ ซึ่งค่าอิมพีแดนซ์ของตัวเหนี่ยวนำจะน้อยมาก ดังนั้นความต้านทานภายในจึงมีผลกระทบอย่างมากในย่านความถี่ต่ำนี้) เพราะฉะนั้นจึงได้กำหนดค่าที่บ่งบอกคุณภาพของวงจรกรองขึ้น นั่นก็คือค่า Q_L (Quality Factor) ที่จะใช้วัดคุณภาพของตัวเหนี่ยวนำในวงจร หรือวัดคุณภาพของวงจรกรองแบบพาสซีฟนี้นั่นเองซึ่งค่า Q_L ได้จาก

$$Q_L = \frac{X_L}{r} \tag{2.29}$$

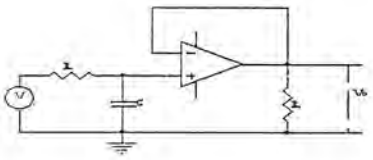
เมื่อ Q_L = ค่าบ่งบอกคุณภาพ (Quality factor)

X_L = ค่าความต้านทานทางไฟสลับ (อิมพีแดนซ์) ของตัวเหนี่ยวนำ

r = ค่าความต้านทานภายในของตัวเหนี่ยวนำ

2. วงจรกรองแบบแอกทีฟ

ก่อนที่จะมาเข้าเรื่องของวงจรกรองแบบแอกทีฟ ขอแนะนำให้รู้จักกับโครงข่าย RC (RC network) เสียก่อน โครงข่ายนี้สามารถนำมาใช้เป็นวงจรอินทีเกรเตอร์ ซึ่งจัดได้ว่าเป็นวงจร กรองประเภทหนึ่งเหมือนกัน จึงนับได้ว่า วงจรอินทีเกรเตอร์เป็นวงจรกรองแบบพาสซีฟ แต่ เนื่องจากการใช้โครงข่าย RC นี้เป็นวงจรกรองจะเกิดการผิดเพี้ยน (Distortion) และการสูญเสียของสัญญาณสูงมาก จึงมีการนำอุปกรณ์ประเภทแอกทีฟ (อุปกรณ์ที่แสดงคุณสมบัติเมื่อมีพลังงานมากระตุ้น เช่น ทรานซิสเตอร์,ไดโอด,ออปแอมป์ เป็นต้น) จำพวกออปแอมป์มาช่วยชดเชยความผิดเพี้ยนของสัญญาณ และยังสามารถเพิ่มอัตราขยายให้แก่วงจรได้ด้วย ตัวอย่างของวงจรแบบแอกทีฟ ได้แสดงไว้ในรูปที่ 2.15



รูปที่ 2.15 ตัวอย่างของวงจรแบบแอคทีฟ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การที่โครงข่าย RC ถูกต่อใช้งานร่วมกับออปแอมป์จึงกลายเป็นวงจรกรองอีกแบบหนึ่ง นั่นคือ วงจรกรองแบบแอกทีฟ (หมายถึงวงจรกรองที่จะทำงานได้ก็ต่อเมื่อมีพลังงานมากระตุ้น ซึ่งก็คือไฟเลี้ยงของออปแอมป์นั่นเอง) หรือเรียกอีกชื่อหนึ่งว่าวงจรกรองชนิด RC (RC filter) ข้อดีของวงจรกรองแบบนี้ก็คือ ปรับแต่งง่าย การออกแบบก็ไม่ซับซ้อน มีเสถียรภาพในการทำงานสูง ขนาดเล็กแถมยังราคาถูก ดังนั้น วงจรกรองแบบแอกทีฟนี้จึงเป็นที่นิยมใช้กันมาก ในปัจจุบันได้มีการ ผลิตวงจรกรองแบบนี้ในรูปของวงจรรวม หรือไอซีที่เรารู้จักกันดีทำให้มีขนาดเล็กลงไปอีก แต่ในทางตรงกันข้าม วงจรกรองแบบแอกทีฟจะตอบสนองความถี่ได้ไม่สูงนักเมื่อเทียบกับ แบบพาสซีฟ นอกจากนี้ยังต้องใช้ไฟเลี้ยงในการทำงาน อย่างไรก็ตามข้อเสียเหล่านี้ก็มิได้เป็นอุปสรรคในการใช้งานนัก

การเลือกใช้ชนิดของวงจรกรองในระบบงานต่าง ๆ

เนื่องจากในระบบงานต่าง ๆ ต้องการใช้คุณสมบัติของวงจรกรองที่แตกต่างกัน ดังนั้น จึงต้องมีวงจรกรองชนิดต่าง ๆ ไว้สำหรับแก้ไขปัญหาเฉพาะในงานแต่ละประเภท เช่น บางประเภทต้องอาศัยการส่งผ่านของแถบความถี่ที่ใช้ระยะเวลาที่สั้น ก็จะเลือกใช้วงจรกรองชนิดชีบีชีฟ (Chebyshev Filter) เพื่อให้ได้ค่าโรลออฟสูง ๆ

งานบางประเภทต้องการความราบเรียบของความถี่มาก ก็จะเลือกใช้วงจรกรองชนิดบัตเตอร์เวิร์ธ (Butterworth Filter) ซึ่งจะให้ความราบเรียบสูงมีแถบกระเพื่อมต่ำ สำหรับในงานที่ต้องการใช้วงจรกรองในลักษณะตัดแถบความถี่ (Band Stop) ก็จะเลือกใช้วงจรกรองชนิดอีเลปติก (Eleptic Filter) ซึ่งจะกำจัดการกระเพื่อมที่เกิดขึ้นในช่วงแถบตัดความถี่ นอกจากนี้ยังมีวงจรกรองชนิดอื่น ๆ อีกมาก ได้แก่วงจรกรองชนิดพาราโบลิก (Porabolic Filter) ชนิดเบสเซล (Bessel Filter) ชนิดกัสเซียน (Guasian Filter) เป็นต้น แต่วงจรกรองที่นิยมใช้กันมากที่สุดมีอยู่ 3 ชนิด ได้แก่ วงจรกรองชนิดบัตเตอร์เวิร์ธ ชนิดชีบีชีฟ และชนิดเบสเซล ซึ่งจะหยิบยกมาพูดถึงในที่นี้

วงจรกรองชนิดบัตเตอร์เวิร์ธ

ลักษณะพิเศษของวงจรกรองชนิดนี้คือ ให้อัตราขยายของสัญญาณเท่ากันทุกความถี่ที่ผ่านได้ ดังนั้น ช่วงกระเพื่อมที่เกิดขึ้นจะมีค่าน้อยมาก นับได้ว่าวงจรกรองชนิดบัตเตอร์เวิร์ธมีความราบเรียบของแถบความถี่สูงที่ในบรรดาวงจรกรองชนิดต่าง ๆ ในทางตรงกันข้าม การส่งผ่านแถบความถี่ของวงจรกรองชนิดนี้ทำได้ไม่ดีนัก แต่สามารถแก้ไขโดยการเพิ่มจำนวนอุปกรณ์เข้าไปอีก

วงจรกรองชนิดชีบีชีฟ

ลักษณะของวงจรชนิดนี้จะมีข้อดีตรง ที่การส่งผ่านของแถบความถี่มีความชันมาก หรือมีค่าโรลออฟสูงมากนั่นเอง แต่ปัญหาที่เกิดขึ้นก็คือมีระดับของช่วงกระเพื่อมสูงกว่า วงจรกรองชนิดใด ๆ จะเห็นว่าวงจรกรองชนิดชีบีชีฟมีช่วงกระเพื่อมสูงสุด และชนิดบัตเตอร์เวิร์ธจะมีช่วง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

กระเพื่อมต่ำสุดจนแทบจะไม่มีเลย ในการส่งผ่านแถบความถี่วงจรกรองนี้ได้ชื่อว่า มีค่าโรลออฟสูงที่สุด ในบรรดาวงจรกรองชนิดอื่น ๆ

วงจรกรองชนิดเบสเซล

ก่อนที่จะกล่าวถึงลักษณะของวงจรกรองชนิดนี้ จะขออธิบายปัญหาอีกลักษณะหนึ่งของวงจรกรอง นั่นก็คือ การผิดเพี้ยนของสัญญาณ เนื่องมาจากการเลื่อนเฟสและหน่วง เปรียบเทียบสัญญาณที่เข้ามาทางอินพุท (Vi) กับสัญญาณที่ออกไปยังเอาท์พุท (Vo) ของวงจรกรอง จะเห็นได้ว่าขณะที่สัญญาณเข้าไปทางอินพุทและออกไปยังเอาท์พุทของวงจรกรองจะเกิดช่วงเวลาหนึ่งเรียกว่าช่วงเวลาหน่วง ช่วงเวลานี้เองที่ทำให้เฟสของสัญญาณเอาท์พุทเลื่อนไปและเกิดความผิดเพี้ยนของรูปคลื่นทางเอาท์พุท สังเกตได้จากช่วงขอบขาขึ้นและขอบขาลงของพัลส์ทางเอาท์พุท จะมีช่วงเวลาในการขึ้น - ลงไม่เท่ากับสัญญาณทางอินพุท ถ้าสัญญาณมีความถี่สูง การผิดเพี้ยนเนื่องจากการเลื่อนเฟสจะมีค่ามากขึ้นตามไปด้วย

ในการใช้งานกับความถี่สูงไม่มากนักการผิดเพี้ยนของสัญญาณ เนื่องจากการเลื่อนเฟสจะน้อย ถ้าการเลื่อนของเฟสนั้นมีช่วงที่เท่ากันตลอดทุกความถี่ ในการใช้งานจะไม่มีปัญหาแต่ถ้าเลื่อนเฟสของวงจรกรองมีช่วงที่ไม่เท่ากัน ก็จะเกิดการผิดเพี้ยนของสัญญาณเนื่องจากการหน่วง (Delay Distortion) ซึ่งจะเป็นปัญหาที่ใหญ่มากในระบบงานสื่อสารข้อมูลทางดิจิตอล เพราะจะทำให้ข้อมูลเกิดการผิดพลาดได้

วงจรกรองชนิดเบสเซลจึงถูกนำมาใช้งาน เพื่อแก้ปัญหาข้างต้นเปรียบเทียบช่วงเวลาหน่วงต่อความถี่ที่เปลี่ยนไปของสัญญาณในวงจรกรองชนิดต่าง ๆ จะเห็นได้ว่า วงจรกรองชนิดเบสเซลจะมีช่วงเวลาหน่วงอย่างสม่ำเสมอ ความผิดเพี้ยนของสัญญาณเนื่องจากการหน่วงจึงไม่เกิดขึ้น

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 3

ลูปโมเดล (Loop Model)

จากทฤษฎีต่าง ๆ ที่กล่าวมาทั้งหมดนี้เราสามารถนำมาเขียนเป็นโมเดลต่าง ๆ เพื่อให้สามารถให้ค่าที่ ออกมาในแต่ละส่วนของ บล็อกไดอะแกรมเป็นค่าที่สามารถป้อนกลับไปยังอินพุท เพื่อควบคุมความถี่ที่เราต้องการ โดยใช้หลักการ ทางคณิตศาสตร์เขามาช่วยในการวิเคราะห์หาผลตอบสนองของโมเดลต่าง ๆ ซึ่งลูปโมเดลมีด้วยกัน 3 แบบ ดังนี้

1. Short Loop model โดยที่สัญญาณ เอาท์พุท ได้จาก Unbalanced Quadricorrelator จะถูกป้อนกลับมาควบคุมในส่วนของ VCO ของตัวมันเอง

2. Long Loop model สัญญาณเอาท์พุท ที่ได้จาก Unbalanced Quadricorrelator จะถูกป้อนกลับมาควบคุมในส่วนของเฟสล็อกลูป โดยจะเพิ่มค่า dc เข้าไปที่ VCO ของเฟสล็อกลูป ส่วน VCO ของ Unbalanced Quadricorrelator จะใช้ คลิสตอลกำเนิดความถี่ให้วงจร Mixer แทน

3. Split Loop model สัญญาณที่ได้จาก Unbalanced Quadricorrelator จะถูกป้อนกลับมาควบคุม VCO ภายในตัวมันเอง และ ยังส่งต่อไปควบคุม VCO ของเฟสล็อกลูปอีกด้วย

ในทางคณิตศาสตร์เราได้ทำการวิเคราะห์ โดยใช้คุณสมบัติของตรีโกณมิติ ซึ่งค่าต่าง ๆ ได้แสดงไว้ ให้เห็นดังต่อไปนี้

จาก Model ทั้งสามกำหนดให้สัญญาณต่าง ๆ เป็นดังนี้

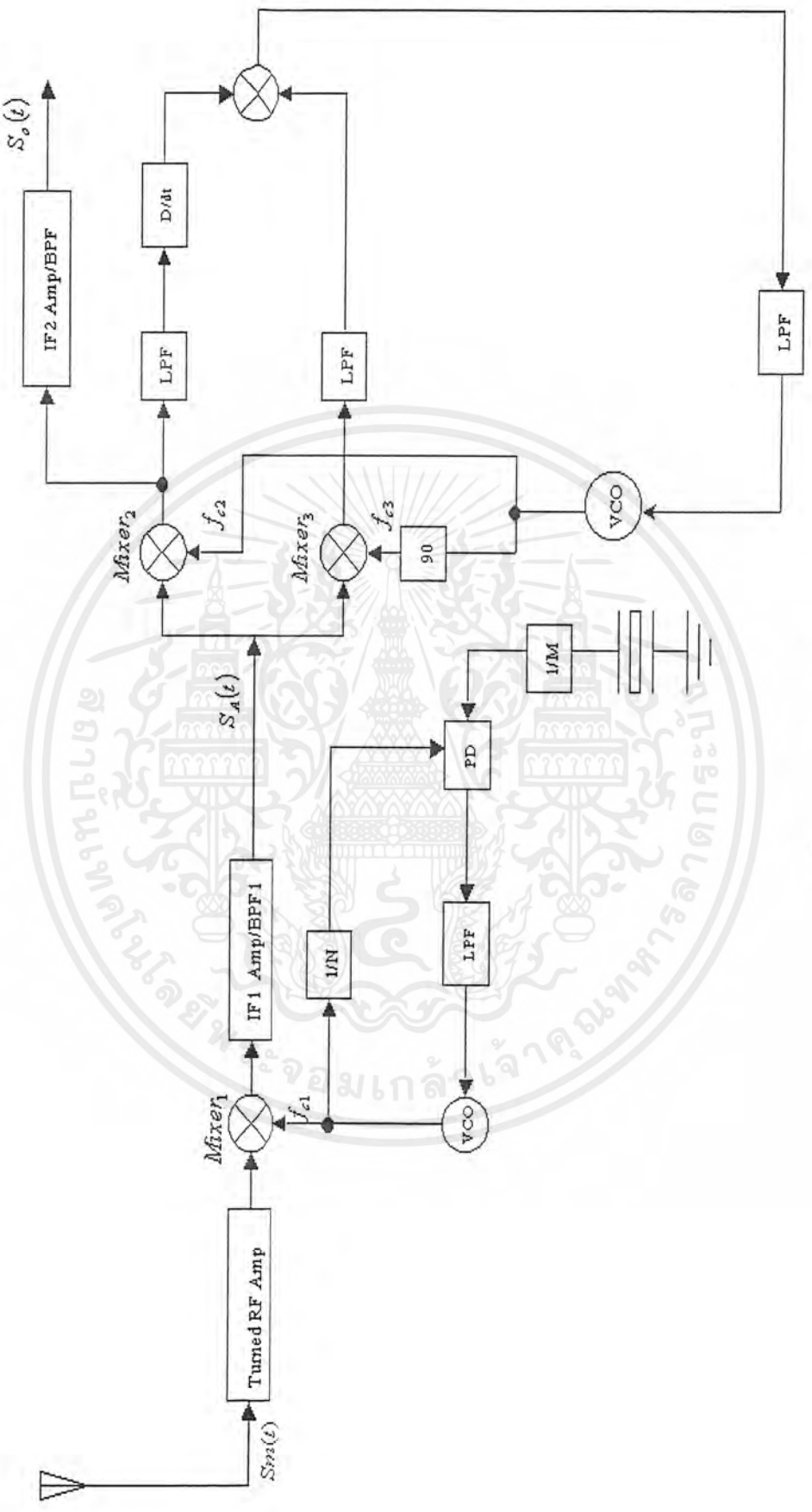
$$S_m(t) = \mathrm{Sin}\omega_m t \tag{3.1}$$

$$S_{c1}(t) = \mathrm{Cos}\omega_{c1} t = f_{c1} \tag{3.2}$$

$$S_{c2}(t) = \mathrm{Sin}\omega_{c2} t = f_{c2} \tag{3.3}$$

$$S_{c3}(t) = \mathrm{Cos}\omega_{c3} t = f_{c3} \tag{3.4}$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.1 Short loop Model

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.1 Short loop model

ขณะที่เครื่องรับอยู่กับที่ เริ่มต้นพิจารณาที่ Short Loop Model สัญญาณที่เข้ามาเป็น $S_m(t)$ ผ่าน วงจร $Mixer_1$ กับสัญญาณ $S_{c1}(t)$ จะได้ดังนี้คือ

$$S_m(t)\cdot S_{c1}(t) = \mathrm{Sin}\omega_m t \cdot \mathrm{Cos}\omega_{c1} t \quad (3.5)$$

$$= 1/2\left[\mathrm{Sin}(\omega_{c1}+\omega_m)t + \mathrm{Sin}(\omega_{c1}-\omega_m)t\right] \quad (3.6)$$

ในส่วนของเทอมผลรวมจะถูกกำจัดโดย BPF_1 และผลต่างจะต้องมีค่าเท่ากับความถี่กลาง (Intermediate Frequency, IF) ผลลัพธ์ที่ได้คือ

$$S_A(t) = 1/2 \,\mathrm{Sin}\, IF_1 t \quad (3.7)$$

เมื่อ $(\omega_{c1}-\omega_m) = IF_1$

พิจารณา $Mixer_2$

$$S_A(t)\cdot S_{c2}(t) = 1/2\left[\mathrm{Sin}(\omega_{c1}-\omega_m)t \cdot \mathrm{Sin}\omega_{c2} t\right] \quad (3.8)$$

$$= 1/4\left[\mathrm{Cos}(\omega_{c2}+\omega_{c1}-\omega_m)t - \mathrm{Cos}(\omega_{c2}-(\omega_{c1}-\omega_m))t\right] \quad (3.9)$$

จาก

$$\omega_{c2} = IF_2 + IF_2 \quad (3.10)$$

$$IF_1 = \omega_{c1} - \omega_m \quad (3.11)$$

ดังนั้น Output จาก $Mixer_2$ จะมีค่าเท่ากับ

$$= 1/4\left[\mathrm{Cos}(IF_1+IF_2+IF_1)t - \mathrm{Cos}(IF_1+IF_2-IF_1)t\right] \quad (3.12)$$

ในส่วนของเทอมผลบวกความถี่สูงจะถูกกำจัดโดย BPF_2 ส่วนที่เหลือจะเป็นสัญญาณที่ติดอยู่ในรูปของสัญญาณที่จะนำไปทำการ modulated ต่อไปซึ่งจะได้เป็น

$$S_o(t) = -1/4 \,\mathrm{Cos}\, IF_2 t \quad (3.13)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

พิจารณาในส่วนของ Unbalance Quadricorrelator สัญญาณที่เข้ามาเป็น $S_A(t)$ แยกเป็นสองทางเพื่อไป Mixer กับสัญญาณ $S_{c2}(t)$ และ $S_{c3}(t)$ โดยใช้วงจร $Mixer_2$ และ $Mixer_3$ ตามลำดับ

$$S_A(t)\cdot S_{c2}(t) = 1/2\left[\mathrm{Sin}(\omega_{c1}-\omega_m)t \cdot \mathrm{Sin}\omega_{c2}t\right] \quad (3.14)$$

$$= 1/4\left[\mathrm{Cos}(\omega_{c2}+\omega_{c1}-\omega_m)t - \mathrm{Cos}(\omega_{c2}-(\omega_{c1}-\omega_m))t\right] \quad (3.15)$$

จาก

$$\omega_{c2} = IF_1 + IF_2 \quad (3.16)$$

$$IF_1 = \omega_{c1} - \omega_m \quad (3.17)$$

ดังนั้น Output จาก $Mixer_2$ จะมีค่าเท่ากับ

$$= 1/4\left[\mathrm{Cos}(IF_1+IF_2+IF_1)t - \mathrm{Cos}(IF_1+IF_2-IF_1)t\right] \quad (3.18)$$

ผ่านวงจร LPF จะได้

$$= -1/4 \mathrm{Cos}\, IF_2 t \quad (3.19)$$

ผ่านวงจร differentiator จะได้

$$= IF_2/4 \mathrm{Sin}\, IF_2 t \quad (3.20)$$

พิจารณา $Mixer_3$ จะได้

$$S_A(t)\cdot S_{c3}(t) = 1/2\left[\mathrm{Sin}(\omega_{c1}-\omega_m)t\cdot \mathrm{Cos}\omega_{c3}t\right] \quad (3.21)$$

$$= 1/4\left[\mathrm{Sin}(\omega_{c3}+\omega_{c1}-\omega_m)t + \mathrm{Sin}(\omega_{c3}-(\omega_{c1}-\omega_m))t\right] \quad (3.22)$$

จาก

$$\omega_{c3} = IF_1 + IF_2 \quad (3.23)$$

$$IF_1 = \omega_{c1} - \omega_m \quad (3.24)$$

ดังนั้น Output จาก $Mixer_3$ จะมีค่าเท่ากับ

$$= 1/4\left[\mathrm{Sin}(IF_1+IF_2+IF_1)t + \mathrm{Sin}(IF_1+IF_2-IF_1)t\right] \quad (3.25)$$

$$= 1/4 \mathrm{Sin}\, IF_2 t \quad (3.26)$$

นำผลลัพธ์จาก (3.20) และ (3.26) มาผ่านวงจรคูณจะได้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$= IF_2/16 \ Sin^2 IF_2t$$

$$= IF_2/32 \ (1\text{-}Cos2 \ IF_2t)$$

$$= IF_2/32$$

เทอมหลังจะถูกกำจัดโดยวงจร LPF เพราะฉะนั้นจะเห็นว่าผลลัพธ์ที่ได้จะเป็นค่า DC เพียงอย่างเดียวซึ่งค่านี้จะนำไปควบคุม VCO ให้ผลิตความถี่ได้ตามที่เราต้องการ แต่ในกรณีที่เครื่องรับอยู่กับที่นั้น ค่า DC นี้จะไม่ทำให้ความถี่ของ VCO เปลี่ยนแปลง

ต่อไปเราจะมาพิจารณาสัญญาณในขณะที่เครื่องรับมีการเคลื่อนที่ ซึ่งสัญญาณทางด้าน Input จะมี การเปลี่ยนแปลงโดยจะมีค่าความถี่เพิ่มเข้ามาให้เป็น ω_d

$$S_m(t) = Sin\ (\omega_m + \omega_d)t \qquad (3.27)$$

ที่ $Mixer_1$ จะได้

$$S_m(t)\cdot S_{c1}(t) = Sin(\omega_m + \omega_d)t \cdot Cos\omega_{c1}t \qquad (3.28)$$

$$= 1/2[\ Sin(\omega_{c1} + \omega_m + \omega_d)t + Sin(\omega_{c1} - \omega_m - \omega_d)t\ ] \qquad (3.29)$$

ในเทอมของผลรวมซึ่งเป็นความถี่สูงจะถูกกำจัดโดย BPF_1 ผลลัพธ์ที่เหลือจะได้เป็น

$$S_A(t) = 1/2\ Sin(\ \omega_{c1} - \omega_m - \omega_d)t \qquad (3.30)$$

$$= 1/2\ Sin(\ IF_1 - \omega_d)t \qquad (3.31)$$

เมื่อ $IF_1 = \omega_{c1} - \omega_m$

เมื่อผ่านเข้ามาในส่วนของ $Mixer_2$ นั่นคือ

$$S_A(t)\cdot S_{c2}(t) = 1/2Sin(\omega_m + \omega_d)t \cdot Cos\ \omega_{c2}t \qquad (3.32)$$

$$= 1/4[Cos\ (\omega_{c2} + IF_1 - \omega_d)t - Cos(\omega_{c2} - IF_1 + \omega_d)t\ ] \qquad (3.33)$$

เมื่อ $\omega_{c2} = IF_1 + IF_2$ จะได้เป็น

$$= 1/2[\ Sin(\omega_{c1} + \omega_m + \omega_d)t + Sin(\omega_{c1} - \omega_m - \omega_d)t\ ] \qquad (3.34)$$

ในเทอมของผลรวมซึ่งเป็นความถี่สูงจะถูกกำจัดโดย BPF_1 ผลลัพธ์ที่เหลือจะได้เป็น

$$S_A(t) = 1/2\ Sin(\ \omega_{c1} - \omega_m - \omega_d) \qquad (3.35)$$

$$= 1/2\ Sin(\ IF_1 - \omega_d)t \qquad \text{เมื่อ } IF_1 = \omega_{c1} - \omega_m \qquad (3.36)$$

เมื่อผ่านเข้ามาในส่วนของ $Mixer_2$ นั่นคือ

$$S_A(t)\cdot S_{c2}(t) = 1/2Sin(\omega_m + \omega_d)t \cdot Cos\ \omega_{c2}t \qquad (3.37)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$= 1/4\left[\text{Cos}\left(\omega_{c2}+IF_1-\omega_d\right)t - \text{Cos}\left(\omega_{c2}-IF_1+\omega_d\right)t\right] \quad (3.38)$$

เมื่อ $\omega_{c2} = IF_1 + IF_2$ จะได้เป็น

$$= 1/4\left[\text{Cos}\left(IF_1+IF_2+IF_1-\omega_d\right)t - \text{Cos}\left(IF_1+IF_2-IF_1+\omega_d\right)t\right] \quad (3.39)$$

ในเทอมของผลรวมความถี่สูงจะถูกกำจัดด้วย BPF_2 จะได้ $S_o(t)$ เป็น

$$S_o(t) = -1/4\text{Cos}\left(IF_2+\omega_d\right)t \quad (3.40)$$

โดยปกติแล้วสัญญาณที่จะทำการ Modulated นั้นจะต้องมีความถี่เท่ากับความถี่กลาง (Intermedate Frequency, IF) แต่ในขณะที่เครื่องรับมีการเคลื่อนที่นั้นได้มีค่าความถี่ ω_d ค่าหนึ่งเพิ่มเข้ามา ซึ่งในส่วนนี้ค่าความถี่ที่เพิ่มเข้ามานั้นจะส่งผลให้วงจร Unbalance Quadricorrelator ทำงานเพื่อส่งสัญญาณ DC ไปให้วงจร VCO ผลิตความถี่เพื่อที่จะสามารถให้สัญญาณเข้าสู่สภาวะล็อกได้ ต่อไปเราจะได้พิจารณาในส่วนของ วงจร Unbalance Quadricorrelator ว่ามีผลแตกต่างกันกับขณะอยู่กับที่อย่างไร ดังสมการต่อไปนี้

พิจารณา $Mixer_2$ จะได้

$$S_A(t)\cdot S_{c2}(t) = 1/2\text{Sin}\left(\omega_m+\omega_d\right)t \cdot \text{Cos}\,\omega_{c2}t$$

$$= 1/4\left[\text{Cos}\left(\omega_{c2}+IF_1-\omega_d\right)t - \text{Cos}\left(\omega_{c2}-IF_1+\omega_d\right)t\right] \quad (3.41)$$

เมื่อ $\omega_{c2} = IF_1 + IF_2$ จะได้เป็น

$$= 1/4\left[\text{Cos}\left(IF_1+IF_2+IF_1-\omega_d\right)t - \text{Cos}\left(IF_1+IF_2-IF_1+\omega_d\right)t\right] \quad (3.42)$$

เมื่อ $\omega_{c2} = IF_1 + IF_2$ จะได้เป็น

$$= 1/4\left[\text{Cos}\left(IF_1+IF_2+IF_1-\omega_d\right)t - \text{Cos}\left(IF_1+IF_2-IF_1+\omega_d\right)t\right] \quad (3.43)$$

ในส่วนของเทอมที่มีความถี่สูงจะถูกกำจัดโดย LPF จะได้

$$= -1/4\text{Cos}\left(IF_2+\omega_d\right)t \quad (3.43)$$

ผ่านวงจร differentiator จะได้

$$= 1/4\left(IF_2+\omega_d\right)\cdot\text{Sin}\left(IF_2+\omega_d\right)t \quad (3.44)$$

พิจารณา $Mixer_3$ จะได้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$S_A(t)\cdot S_{c3}(t) = 1/2\left[\mathrm{Sin}(IF_1-\omega_d)t\cdot \mathrm{Cos}\omega_{c3}t\right] \quad (3.45)$$

$$= 1/4\left[\mathrm{Sin}(\omega_{c3}+IF_1-\omega_d)t + \mathrm{Sin}(\omega_{c3}-IF_1-\omega_d)t\right] \quad (3.46)$$

จาก $\omega_{c2} = IF_1+IF_2$ จะได้

$$= 1/4\left[\mathrm{Sin}(IF_1+IF_2+IF_1-\omega_d)t + \mathrm{Sin}(IF_1+IF_2-IF_1+\omega_d)t\right] \quad (3.47)$$

ในส่วนของเทอมที่มีความถี่สูงจะถูกกำจัดโดย LPF จะได้

$$= 1/4\mathrm{Sin}(IF_2+\omega_d)t \quad (3.48)$$

นำผลลัพธ์จาก (1) และ (2) มาผ่านวงจรคูณจะได้

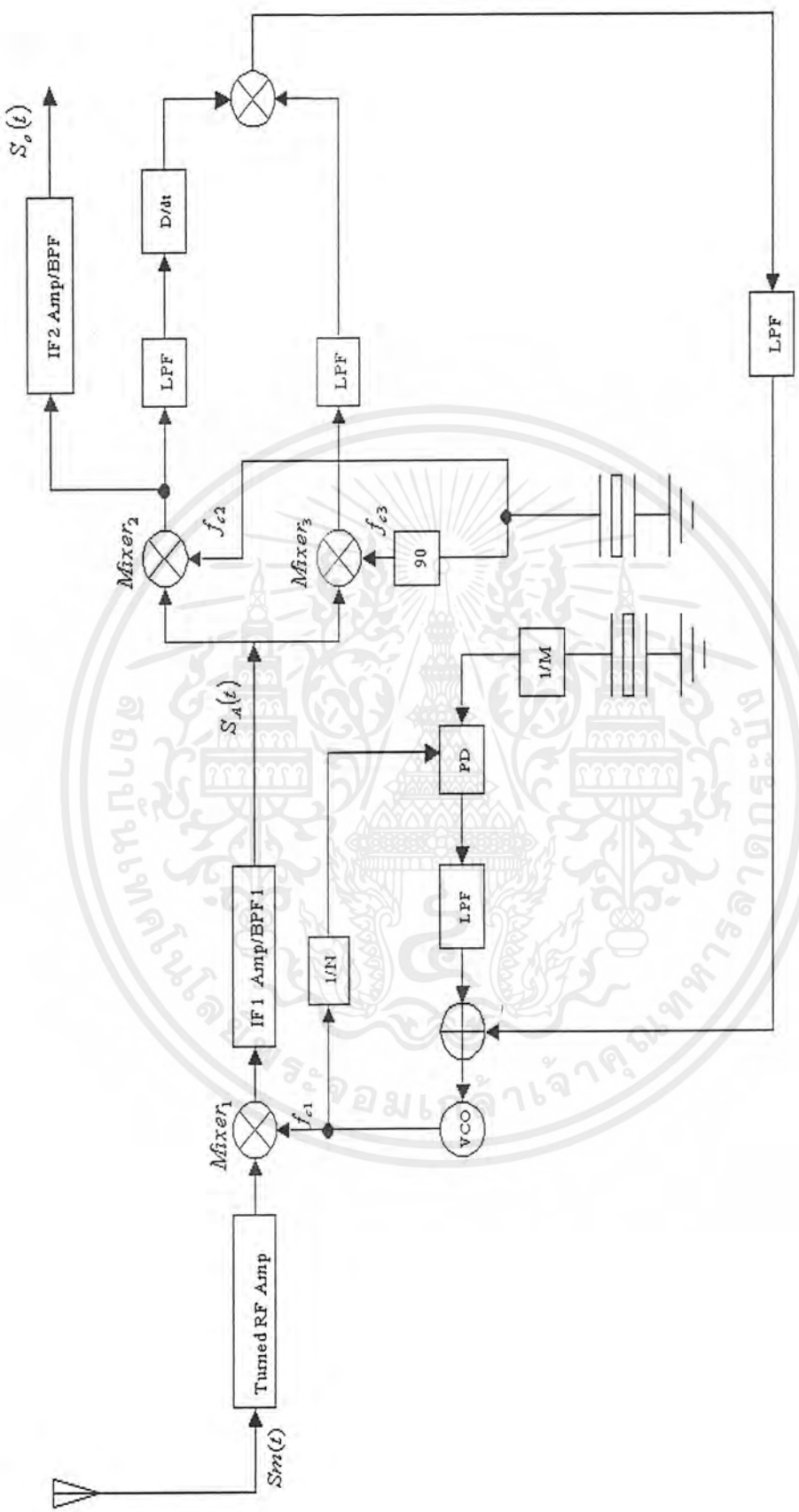
$$= 1/16(IF_2+\omega_d)\left[1/2-1/2\mathrm{Cos}2(IF_2+\omega_d)t\right] \quad (3.49)$$

เทอมหลังซึ่งมีความถี่สูงจะถูกกำจัดโดยวงจร LPF เพราะฉะนั้นจะได้เป็น

$$= (IF_2+\omega_d)/32 \quad (3.50)$$

ค่าที่ได้จะเป็นค่า DC ที่แตกต่างจากสภาวะที่เครื่องรับอยู่กับที่ ซึ่งค่านี้จะไปควบคุมการทำงานของ VCO ให้ผลิตความถี่ตามที่เราต้องการได้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.2 Long loop Model

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.2 Long Loop Model

ขณะที่เครื่องรับอยู่กับที่ เริ่มต้นพิจารณาที่ Long Loop Model สัญญาณที่เข้ามาเป็น $S_m(t)$ ผ่านวงจร $Mixer_1$ กับสัญญาณ $S_{c1}(t)$ จะได้ดังนี้คือ

$$S_m(t)\cdot S_{c1}(t) = \mathrm{Sin}\omega_m t \cdot \mathrm{Cos}\omega_{c1} t \tag{3.51}$$

$$= 1/2\left[\mathrm{Sin}(\omega_{c1}+\omega_m)t + \mathrm{Sin}(\omega_{c1}-\omega_m)t\right] \tag{3.52}$$

ในส่วนของเทอมผลรวมจะถูกกำจัดโดย BPF_1 และผลต่างจะต้องมีค่าเท่ากับความถี่กลาง (Intermedate Frequency, IF) ผลลัพธ์ที่ได้คือ

$$\therefore \quad S_A(t) = 1/2 \sin IF_1 t \tag{3.53}$$

$$\therefore \quad \text{เมื่อ } (\omega_{c1}-\omega_m) = IF_1$$

พิจารณา $Mixer_2$

$$S_A(t)\cdot S_{c2}(t) = 1/2\left[\mathrm{Sin}(\omega_{c1}-\omega_m)t \cdot \mathrm{Sin}\omega_{c2} t\right] \tag{3.54}$$

$$= 1/4\left[\mathrm{Cos}(\omega_{c2}+\omega_{c1}-\omega_m)t - \mathrm{Cos}(\omega_{c2}-(\omega_{c1}-\omega_m))t\right] \tag{3.55}$$

จาก

$$\omega_{c2} = IF_2 + IF_2 \tag{3.56}$$

$$IF_1 = \omega_{c1} - \omega_m \tag{3.57}$$

ดังนั้น Output จาก $Mixer_2$ จะมีค่าเท่ากับ

$$= 1/4\left[\mathrm{Cos}(IF_1+IF_2+IF_1)t - \mathrm{Cos}(IF_1+IF_2-IF_1)t\right] \tag{3.58}$$

ในส่วนของเทอมผลบวกความถี่สูงจะถูกกำจัดโดย BPF_2 ส่วนที่เหลือจะเป็นสัญญาณที่ติดอยู่ในรูปของสัญญาณที่จะนำไปทำการ modulated ต่อไปซึ่งจะได้เป็น

$$S_o(t) = -1/4 \cos IF_2 t \tag{3.59}$$

พิจารณาในส่วนของ Unbalance Quadricorrelator สัญญาณที่เข้ามาเป็น $S_A(t)$ แยกเป็นสองทางเพื่อไป Mixer กับสัญญาณ $S_{c2}(t)$ และ $S_{c3}(t)$ โดยใช้วงจร $Mixer_2$ และ $Mixer_3$ ตามลำดับ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$S_A(t)\cdot S_{c2}(t) = 1/2\left[\mathrm{Sin}(\omega_{c1}-\omega_m)t \cdot \mathrm{Sin}\omega_{c2}t\right] \quad (3.60)$$

$$= 1/4\left[\mathrm{Cos}(\omega_{c2}+\omega_{c1}-\omega_m)t - \mathrm{Cos}(\omega_{c2}-(\omega_{c1}-\omega_m))t\right] \quad (3.61)$$

จาก

$$\omega_{c2} = IF_1 + IF_2 \quad (3.62)$$

$$IF_1 = \omega_{c1} - \omega_m \quad (3.63)$$

ดังนั้น Output จาก Mixer_2 จะมีค่าเท่ากับ

$$= 1/4\left[\mathrm{Cos}(IF_1+IF_2+IF_1)t - \mathrm{Cos}(IF_1+IF_2-IF_1)t\right] \quad (3.64)$$

ผ่านวงจร LPF จะได้

$$= -1/4 \mathrm{Cos}\, IF_2 t \quad (3.65)$$

ผ่านวงจร differentiator จะได้

$$= IF_2/4 \mathrm{Sin}\, IF_2 t \quad (3.66)$$

พิจารณา Mixer_3 จะได้

$$S_A(t)\cdot S_{c3}(t) = 1/2\left[\mathrm{Sin}(\omega_{c1}-\omega_m)t\cdot \mathrm{Cos}\omega_{c3}t\right] \quad (3.67)$$

$$= 1/4\left[\mathrm{Sin}(\omega_{c3}+\omega_{c1}-\omega_m)t + \mathrm{Sin}(\omega_{c3}-(\omega_{c1}-\omega_m))t\right] \quad (3.68)$$

จาก

$$\omega_{c3} = IF_1 + IF_2 \quad (3.69)$$

$$IF_1 = \omega_{c1} - \omega_m \quad (3.70)$$

ดังนั้น Output จาก Mixer_3 จะมีค่าเท่ากับ

$$= 1/4\left[\mathrm{Sin}(IF_1+IF_2+IF_1)t + \mathrm{Sin}(IF_1+IF_2-IF_1)t\right] \quad (3.71)$$

$$= 1/4 \mathrm{Sin}\, IF_2 t \quad (3.72)$$

นำผลลัพธ์จาก (2.66) และ (2.72) มาผ่านวงจรคูณจะได้

$$= IF_2/16 \mathrm{Sin}^2 IF_2 t \quad (3.73)$$

$$= IF_2/32 \left(1-\mathrm{Cos}2\, IF_2 t\right)$$

$$= IF_2/32$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เทอมหลังจะถูกกำจัดโดยวงจร LPF เพราะฉะนั้นจะเห็นว่าผลลัพธ์ที่ได้จะเป็นค่า DC เพียงอย่างเดียวซึ่งค่านี้จะนำไปควบคุม VCO ให้ผลิตความถี่ได้ตามที่เราต้องการ แต่ในกรณีที่เครื่องรับอยู่กับที่นั้น ค่า DC นี้จะไม่ทำให้ความถี่ของ VCO เปลี่ยนแปลง

ต่อไปเราจะมาพิจารณาสัญญาณในขณะที่เครื่องรับมีการเคลื่อนที่ ซึ่งสัญญาณทางด้าน input จะมีการเปลี่ยนแปลงโดยจะมีค่าความถี่เพิ่มเข้ามาให้เป็น ω_d

$$S_m(t) = \text{Sin}\left(\omega_m + \omega_d\right)t \tag{3.74}$$

ที่ Mixer_1 จะได้

$$S_m(t)\cdot S_{c1}(t) = \text{Sin}\left(\omega_m + \omega_d\right)t \cdot \text{Cos}\omega_{c1}t \tag{3.75}$$

$$= 1/2\left[\text{Sin}\left(\omega_{c1} + \omega_m + \omega_d\right)t + \text{Sin}\left(\omega_{c1} - \omega_m - \omega_d\right)t\right] \tag{3.76}$$

ในเทอมของผลรวมซึ่งเป็นความถี่สูงจะถูกกำจัดโดย BPF_1 ผลลัพธ์ที่เหลือจะได้เป็น

$$S_A(t) = 1/2\ \text{Sin}\left(\omega_{c1} - \omega_m - \omega_d\right)t \tag{3.77}$$

$$= 1/2\ \text{Sin}\left(\text{IF}_1 - \omega_d\right)t \tag{3.78}$$

เมื่อ $\text{IF}_1 = \omega_{c1} - \omega_m$ (3.79)

เมื่อผ่านเข้ามาในส่วนของ Mixer_2 นั่นคือ

$$S_A(t)\cdot S_{c2}(t) = 1/2\text{Sin}\left(\omega_m + \omega_d\right)t \cdot \text{Cos}\ \omega_{c2}t \tag{3.80}$$

$$= 1/4\left[\text{Cos}\left(\omega_{c2} + \text{IF}_1 - \omega_d\right)t - \text{Cos}\left(\omega_{c2} - \text{IF}_1 + \omega_d\right)t\right] \tag{3.81}$$

เมื่อ $\omega_{c2} = \text{IF}_1 + \text{IF}_2$ จะได้เป็น

$$= 1/4\left[\text{Cos}\left(\text{IF}_1 + \text{IF}_2 + \text{IF}_1 - \omega_d\right)t - \text{Cos}\left(\text{IF}_1 + \text{IF}_2 - \text{IF}_1 + \omega_d\right)t\right] \tag{3.82}$$

ในเทอมของผลรวมความถี่สูงจะถูกกำจัดด้วย BPF_2 จะได้ $S_0(t)$ เป็น

$$S_0(t) = -1/4\text{Cos}\left(\text{IF}_2 + \omega_d\right)t \tag{3.83}$$

โดยปกติแล้วสัญญาณที่จะทำการ Modulated นั้นจะต้องมีความถี่เท่ากับความถี่กลาง (Intermedate Frequency, IF) แต่ในขณะที่เครื่องรับมีการเคลื่อนที่นั้นได้มีค่าความถี่ ω_d ค่าหนึ่งเพิ่มเข้ามา ซึ่งในส่วนนี้ค่าความถี่ที่เพิ่มเข้ามานั้นจะส่งผลให้วงจร Unbalance Quadricorrelator ทำงานเพื่อส่งสัญญาณ DC ไปให้วงจร VCO ผลิตความถี่เพื่อที่จะสามารถให้สัญญาณเข้าสู่สภาวะล็อกได้ ต่อไปเราจะได้พิจารณาในส่วนของ วงจร Unbalance Quadricorrelator ว่ามีผลแตกต่างกันกับขณะอยู่กับที่อย่างไร ดังสมการต่อไปนี้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

พิจารณา Mixer$_2$ จะได้

$$S_A(t)\cdot S_{c2}(t) = 1/2\mathrm{Sin}(\omega_m+\omega_d)t \cdot \mathrm{Cos}\,\omega_{c2}t \quad (3.84)$$

$$= 1/4\left[\mathrm{Cos}\,(\omega_{c2}+IF_1-\omega_d)t - \mathrm{Cos}(\omega_{c2}-IF_1+\omega_d)t\right] \quad (3.85)$$

เมื่อ $\omega_{c2} = IF_1 + IF_2$ จะได้เป็น

$$= 1/4\left[\mathrm{Cos}\,(IF_1+IF_2+IF_1-\omega_d)t - \mathrm{Cos}(IF_1+IF_2-IF_1+\omega_d)t\right] \quad (3.86)$$

ในส่วนของเทอมที่มีความถี่สูงจะถูกกำจัดโดย LPF จะได้

$$= -1/4\mathrm{Cos}\,(IF_2+\omega_d)t \quad (3.87)$$

ผ่านวงจร differentiator จะได้

$$= 1/4(IF_2+\omega_d)\cdot\mathrm{Sin}\,(IF_2+\omega_d)t \quad (3.88)$$

พิจารณา Mixer$_3$ จะได้

$$S_A(t)\cdot S_{c3}(t) = 1/2\left[\mathrm{Sin}(IF_1-\omega_d)t\cdot\mathrm{Cos}\omega_{c3}t\right] \quad (3.89)$$

$$= 1/4\left[\mathrm{Sin}(\omega_{c3}+IF_1-\omega_d)t + \mathrm{Sin}(\omega_{c3}-IF_1-\omega_d)t\right] \quad (3.90)$$

จาก $\omega_{c2} = IF_1 + IF_2$ จะได้

$$= 1/4\left[\mathrm{Sin}(IF_1+IF_2+IF_1-\omega_d)t + \mathrm{Sin}(IF_1+IF_2-IF_1+\omega_d)t\right] \quad (3.91)$$

ในส่วนของเทอมที่มีความถี่สูงจะถูกกำจัดโดย LPF จะได้

$$= 1/4\mathrm{Sin}\,(IF_2+\omega_d)t \quad (3.92)$$

นำผลลัพธ์จาก (3.88) และ (3.92) มาผ่านวงจรคูณจะได้

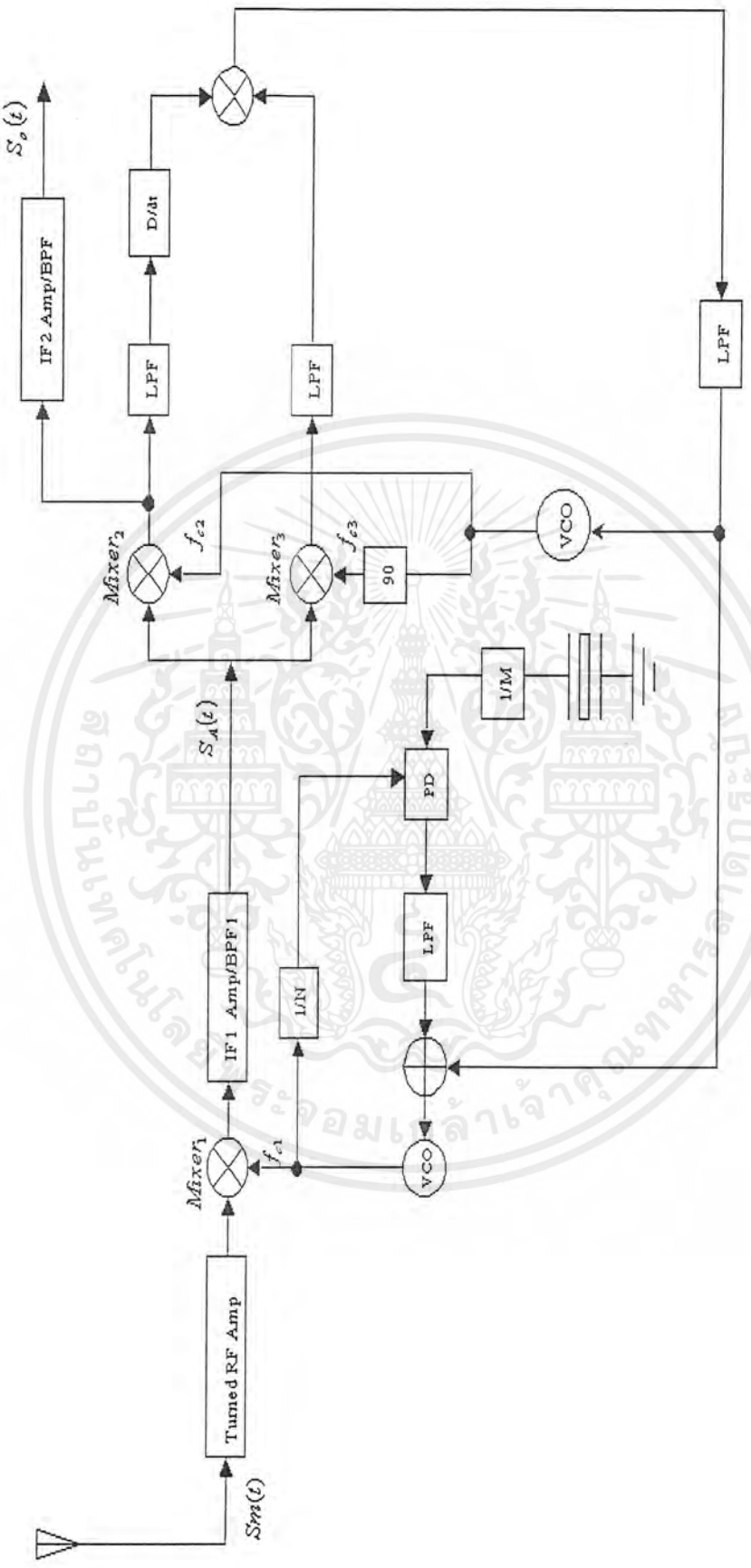
$$= 1/16(IF_2+\omega_d)\left[1/2-1/2\mathrm{Cos}2(IF_2+\omega_d)t\right] \quad (3.93)$$

เทอมหลังซึ่งมีความถี่สูงจะถูกกำจัดโดยวงจร LPF เพราะฉะนั้นจะได้เป็น

$$= (IF_2+\omega_d)/32 \quad (3.94)$$

ค่าที่ได้จะเป็นค่า DC ที่แตกต่างจากสภาวะที่เครื่องรับอยู่กับที่ ซึ่งค่านี้จะไปควบคุมการทำงานของ VCO ให้ผลิตความถี่ตามที่เราต้องการได้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.3 Split loop Model

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.3 Split Loop Model

ขณะที่เครื่องรับอยู่กับที่ เริ่มต้นพิจารณาที่ Split Loop Model สัญญาณที่เข้ามาเป็น $S_m(t)$ ผ่าน วงจร $Mixer_1$ กับสัญญาณ $S_{c1}(t)$ จะได้ดังนี้คือ

$$S_m(t)\cdot S_{c1}(t) = \mathrm{Sin}\omega_m t \cdot \mathrm{Cos}\omega_{c1} t \quad (3.95)$$

$$= 1/2\left[\mathrm{Sin}(\omega_{c1}+\omega_m)t + \mathrm{Sin}(\omega_{c1}-\omega_m)t\right] \quad (3.96)$$

ในส่วนของเทอมผลรวมจะถูกกำจัดโดย BPF_1 และผลต่างจะต้องมีค่าเท่ากับความถี่กลาง (Intermedate Frequency, IF) ผลลัพธ์ที่ได้คือ

$$\therefore \quad S_A(t) = 1/2 \,\mathrm{Sin}\, IF_1 t \quad (3.97)$$

$$\text{เมื่อ} \quad (\omega_{c1}-\omega_m) = IF_1 \quad (3.98)$$

พิจารณา Mixer

$$S_A(t)\cdot S_{c2}(t) = 1/2\left[\mathrm{Sin}(\omega_{c1}-\omega_m)t \cdot \mathrm{Sin}\omega_{c2} t\right] \quad (3.99)$$

$$= 1/4\left[\mathrm{Cos}(\omega_{c2}+\omega_{c1}-\omega_m)t - \mathrm{Cos}(\omega_{c2}-(\omega_{c1}-\omega_m))t\right] \quad (3.100)$$

จาก

$$\omega_{c2} = IF_2 + IF_2 \quad (3.101)$$

$$IF_1 = \omega_{c1} - \omega_m \quad (3.102)$$

ดังนั้น Output จาก $Mixer_2$ จะมีค่าเท่ากับ

$$= 1/4\left[\mathrm{Cos}(IF_1+IF_2+IF_1)t - \mathrm{Cos}(IF_1+IF_2-IF_1)t\right] \quad (3.103)$$

ในส่วนของเทอมผลบวกความถี่สูง จะถูกกำจัดโดย BPF_2 ส่วนที่เหลือจะเป็นสัญญาณที่ติดอยู่ในรูปของสัญญาณที่จะนำไปทำการ modulated ต่อไปซึ่งจะได้เป็น

$$S_a(t) = -1/4 \,\mathrm{Cos}\, IF_2 t \quad (3.104)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

พิจารณาในส่วนของ Unbalance Quadricorrelator สัญญาณที่เข้ามาเป็น $S_A(t)$ แยกเป็นสองทางเพื่อไป Mixer กับสัญญาณ $S_{c2}(t)$ และ $S_{c3}(t)$ โดยใช้วงจร $Mixer_2$ และ $Mixer_3$ ตามลำดับ

$$S_A(t)\cdot S_{c2}(t) = 1/2\left[\mathrm{Sin}(\omega_{c1}-\omega_m)t \cdot \mathrm{Sin}\omega_{c2}t\right] \quad (3.105)$$

$$= 1/4\left[\mathrm{Cos}(\omega_{c2}+\omega_{c1}-\omega_m)t - \mathrm{Cos}(\omega_{c2}-(\omega_{c1}-\omega_m))t\right] \quad (3.106)$$

จาก

$$\omega_{c2} = IF_1 + IF_2 \quad (3.107)$$

$$IF_1 = \omega_{c1} - \omega_m \quad (3.108)$$

ดังนั้น Output จาก $Mixer_2$ จะมีค่าเท่ากับ

$$= 1/4\left[\mathrm{Cos}(IF_1+IF_2+IF_1)t - \mathrm{Cos}(IF_1+IF_2-IF_1)t\right] \quad (3.109)$$

ผ่านวงจร LPF จะได้

$$= -1/4 \mathrm{Cos}\, IF_2 t \quad (3.110)$$

ผ่านวงจร differentiator จะได้

$$= IF_2/4 \mathrm{Sin}\, IF_2 t \quad (3.111)$$

พิจารณา $Mixer_3$ จะได้

$$S_A(t)\cdot S_{c3}(t) = 1/2\left[\mathrm{Sin}(\omega_{c1}-\omega_m)t\cdot \mathrm{Cos}\omega_{c3}t\right] \quad (3.112)$$

$$= 1/4\left[\mathrm{Sin}(\omega_{c3}+\omega_{c1}-\omega_m)t + \mathrm{Sin}(\omega_{c3}-(\omega_{c1}-\omega_m))t\right] \quad (3.113)$$

จาก

$$\omega_{c3} = IF_1 + IF_2 \quad (3.114)$$

$$IF_1 = \omega_{c1} - \omega_m \quad (3.115)$$

ดังนั้น Output จาก $Mixer_3$ จะมีค่าเท่ากับ

$$= 1/4\left[\mathrm{Sin}(IF_1+IF_2+IF_1)t + \mathrm{Sin}(IF_1+IF_2-IF_1)t\right] \quad (3.116)$$

$$= 1/4 \mathrm{Sin}\, IF_2 t \quad (3.117)$$

นำผลลัพธ์จาก (3.111) และ (3.117) มาผ่านวงจรคูณจะได้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$= IF_2/16 \ Sin^2 IF_2t$$

$$= IF_2/32 \ (1 - Cos2 \ IF_2t)$$

$$= IF_2/32$$

เทอมหลังจะถูกกำจัดโดยวงจร LPF เพราะฉะนั้นจะเห็นว่าผลลัพธ์ที่ได้จะเป็นค่า DC เพียงอย่างเดียวซึ่งค่านี้จะนำไปควบคุม VCO ให้ผลิตความถี่ได้ตามที่เราต้องการ แต่ในกรณีที่เครื่องรับอยู่กับที่นั้น ค่า DC นี้จะไม่ทำให้ความถี่ของ VCO เปลี่ยนแปลง

ต่อไปเราจะมาพิจารณาสัญญาณในขณะที่เครื่องรับ มีการเคลื่อนที่ซึ่งสัญญาณทางด้าน Input จะมีการเปลี่ยนแปลงโดยจะมีค่าความถี่เพิ่มเข้ามาให้เป็น ω_d

$$S_m(t) = Sin \ (\omega_m + \omega_d)t \qquad (3.118)$$

ที่ $Mixer_1$ จะได้

$$S_m(t) \cdot S_{c1}(t) = Sin(\omega_m + \omega_d)t \cdot Cos\omega_{c1}t \qquad (3.119)$$

$$= 1/2[\ Sin(\omega_{c1} + \omega_m + \omega_d)t + Sin(\omega_{c1} - \omega_m - \omega_d)t\ ] \qquad (3.120)$$

ในเทอมของผลรวมซึ่งเป็นความถี่สูงจะถูกกำจัดโดย BPF_1 ผลลัพธ์ที่เหลือจะได้เป็น

$$S_A(t) = 1/2 \ Sin(\ \omega_{c1} - \omega_m - \omega_d)t \qquad (3.121)$$

$$= 1/2 \ Sin(\ IF_1 - \omega_d)t \qquad \text{เมื่อ} \quad IF_1 = \omega_{c1} - \omega_m \qquad (3.122)$$

เมื่อผ่านเข้ามาในส่วนของ $Mixer_2$ นั่นคือ

$$S_A(t) \cdot S_{c2}(t) = \tfrac{1}{2} \ Sin(\omega_m + \omega_d)t \cdot Cos \ \omega_{c2}t \qquad (3.123)$$

$$= 1/4[Cos \ (\omega_{c2} + IF_1 - \omega_d)t - Cos(\omega_{c2} - IF_1 + \omega_d)t\ ] \qquad (3.124)$$

เมื่อ $\omega_{c2} = IF_1 + IF_2$ จะได้เป็น

$$= 1/4[Cos \ (\ IF_1 + IF_2 + IF_1 - \omega_d)t - Cos(\ IF_1 + IF_2 - IF_1 + \omega_d)t\ ] \qquad (3.125)$$

ในเทอมของผลรวมความถี่สูงจะถูกกำจัดด้วย BPF_2 จะได้ $S_o(t)$ เป็น

$$S_o(t) = -1/4Cos \ (\ IF_2 + \omega_d)t \qquad (3.127)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

โดยปกติแล้วสัญญาณที่จะทำการ Modulated นั้นจะต้องมีความถี่เท่ากับความถี่กลาง (Intermedate Frequency, IF) แต่ในขณะที่เครื่องรับมีการเคลื่อนที่นั้นได้มีค่าความถี่ ω_d ค่าหนึ่งเพิ่มเข้ามา ซึ่งในส่วนนี้ค่าความถี่ที่เพิ่มเข้ามานั้นจะส่งผลให้วงจร Unbalance Quadricorrelator ทำงานเพื่อส่งสัญญาณ DC ไปให้วงจร VCO ผลิตความถี่เพื่อที่จะสามารถให้สัญญาณเข้าสู่สภาวะล็อกได้ ต่อไปเราจะได้พิจารณาในส่วนของ วงจร Unbalance Quadricorrelator ว่ามีผลแตกต่างกันกับขณะอยู่กับที่อย่างไร ดังสมการต่อไปนี้

พิจารณา $Mixer_2$ จะได้

$$S_A(t)\cdot S_{c2}(t) = 1/2\mathrm{Sin}(\omega_{in}+\omega_d)t \cdot \mathrm{Cos}\,\omega_{c2}t \quad (3.128)$$

$$= 1/4\left[\mathrm{Cos}\,(\omega_{c2}+IF_1-\omega_d)t - \mathrm{Cos}(\omega_{c2}-IF_1+\omega_d)t\right] \quad (3.129)$$

เมื่อ $\omega_{c2} = IF_1+IF_2$ จะได้เป็น

$$= 1/4\left[\mathrm{Cos}\,(IF_1+IF_2+IF_1-\omega_d)t - \mathrm{Cos}(IF_1+IF_2-IF_1+\omega_d)t\right] \quad (3.130)$$

ในส่วนของเทอมที่มีความถี่สูงจะถูกกำจัดโดย LPF จะได้

$$= -1/4\mathrm{Cos}\,(IF_2+\omega_d)t \quad (3.131)$$

ผ่านวงจร differentiator จะได้

$$= 1/4(IF_2+\omega_d)\cdot\mathrm{Sin}\,(IF_2+\omega_d)t \quad (3.132)$$

พิจารณา $Mixer_3$ จะได้

$$S_A(t)\cdot S_{c3}(t) = 1/2\left[\mathrm{Sin}(IF_1-\omega_d)t\cdot\mathrm{Cos}\omega_{c3}t\right] \quad (3.133)$$

$$= 1/4\left[\mathrm{Sin}(\omega_{c3}+IF_1-\omega_d)t + \mathrm{Sin}(\omega_{c3}-IF_1-\omega_d)t\right] \quad (3.134)$$

จาก $\omega_{c2} = IF_1+IF_2$ จะได้

$$= 1/4\left[\mathrm{Sin}(IF_1+IF_2+IF_1-\omega_d)t + \mathrm{Sin}(IF_1+IF_2-IF_1+\omega_d)t\right] \quad (3.135)$$

ในส่วนของเทอมที่มีความถี่สูงจะถูกกำจัดโดย LPF จะได้

$$= 1/4\mathrm{Sin}\,(IF_2+\omega_d)t \quad (3.136)$$

นำผลลัพธ์จาก (3.132) และ (3.136) มาผ่านวงจรคูณจะได้

$$= 1/16(IF_2+\omega_d)\left[1/2-1/2\mathrm{Cos}2(IF_2+\omega_d)t\right] \quad (3.137)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เทอมหลังซึ่งมีความถี่สูงจะถูกกำจัดโดยวงจร LPF เพราะฉะนั้นจะได้เป็น

$$= (IF_2+\omega_J)/32$$

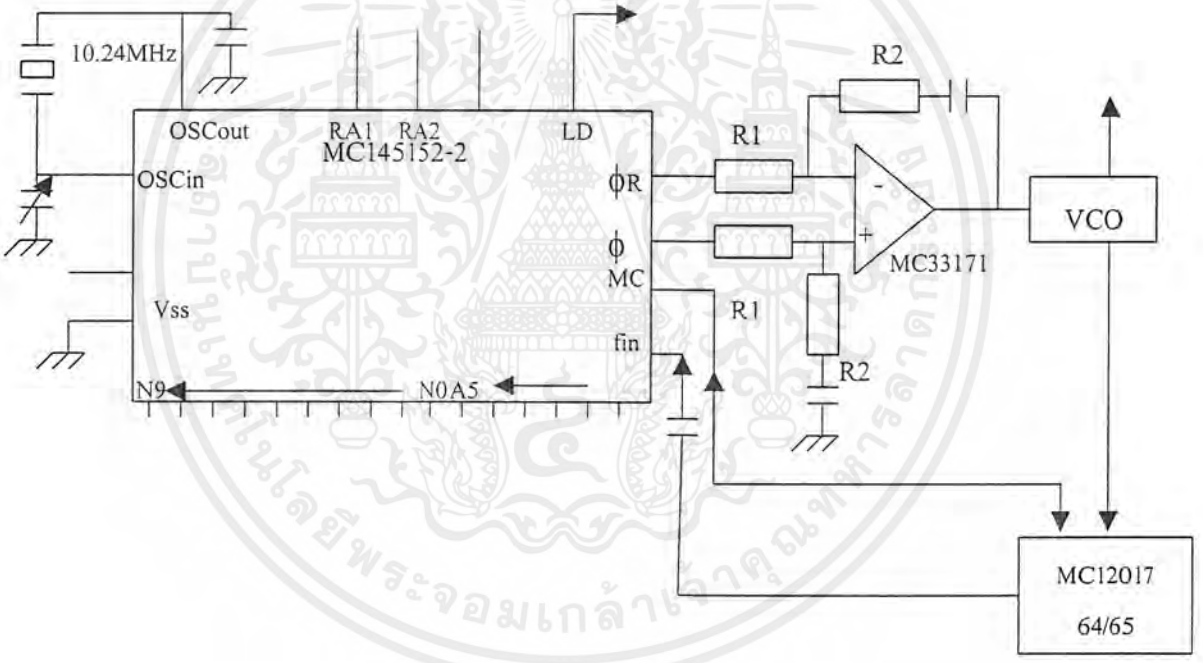
ค่าที่ได้จะเป็นค่า DC ที่แตกต่างจากสภาวะที่เครื่องรับอยู่กับที่ ซึ่งค่านี้จะไปควบคุมการทำงานของ VCO ให้ผลิตความถี่ตามที่เราต้องการได้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 4
วงจรสังเคราะห์ความถี่ (Frequency Synthesizer Circuit)

4.1วงจรเฟสล็อกลูป MC145152-2

หลังจากที่เราได้ศึกษาทฤษฎีต่าง ๆ มาพอสมควรแล้วประกอบกับการที่เราได้เขียนโมเดลขึ้นมาเรียบร้อยแล้วต่อไปเราจะกล่าวถึง วงจรสังเคราะห์ความถี่ ซึ่งเป็นส่วนหนึ่งของวงจรทั้งหมด ในที่นี้เราจะขอกล่าวถึง IC เบอร์ MC145152-2 เป็นไอซี Parallel–Input PLL Frequency Synthesizer interfaces with Dual–Modulus Prescalers โดยอาศัยข้อมูลจาก Data Sheet



รูปที่ 4.1 Synthesizer for land mobile radio VHF band

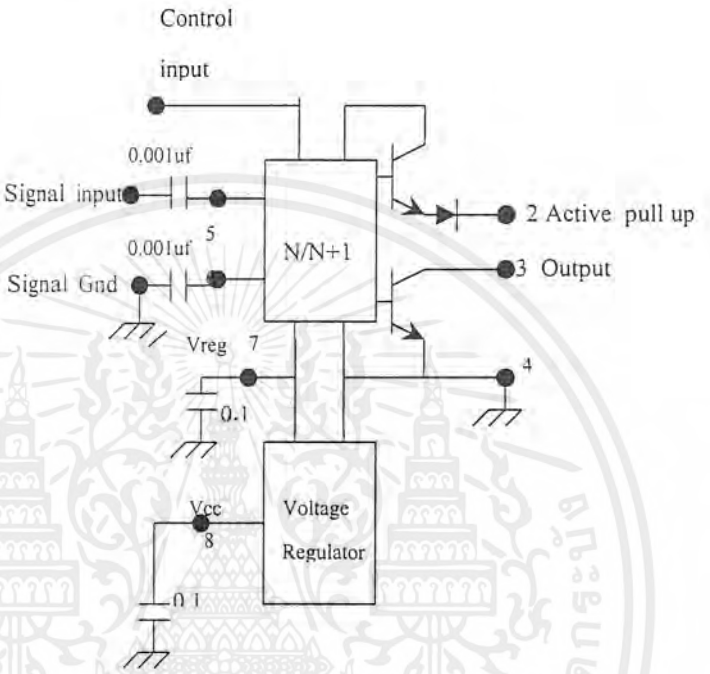
พิจารณาจากรูปของ Data Sheet เป็นวงจรสังเคราะห์ความถี่ สำหรับย่าน VHF ของไอซี เบอร์ MC145152-2 โดยเริ่มต้นพิจารณาดังต่อไปนี้

เป็นไอซีที่สามารถป้อนค่าตัวหารได้ซึ่งมีหาร N และหาร A ทางด้านอินพุทที่ใช้สำหรับโปรแกรมมี ทั้งหมด 16 bits คือ จะแบ่งออกเป็นตัวหาร N 10 bits และตัวหาร A อีก 6 bits ซึ่งความถี่อ้างอิงที่ต่อกับไอซี ใช้คริสตอลค่า 10.24 MHz ที่ขา OSC in และขา OSC out ส่วนที่ขา ϕ R ที่ขา 7 และ ϕ V ที่ขา 8 เป็นเอาท์พุทผ่านเข้าไปในส่วนของ Comparator Low Pass Filter ขา 1 เป็น

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

fin ที่ได้มาจากอุปกรณ์ต่อร่วมคือ MC12017 และขา 9 ก็จะต่อป้อนกลับไปควบคุมที่ MC12017 อีกทีหนึ่ง

ไอซีเบอร์ MC12017 เป็นไอซี Low–Power Two Modulus Prescaler ซึ่งมีตัวหารความถี่สองค่าคือ 64 และ 65 ไอซีสามารถทำงานในช่วงความถี่สูงสุดถึงต่ำสุดคือ 350-225 MHz ตามลำดับ ซึ่งจะมีอุปกรณ์ต่อร่วมภายนอกเป็นไปดังรูป



รูปที่ 4.2 Prescaler Block Diagram

ส่วนสำคัญของวงจรหารแบบนี้คือ มีความสามารถในการทำงานที่ความถี่สูง การทำการหารล่วงหน้าหรือ Prescale ก่อน หมายถึง มีการทำงานในลักษณะที่หารได้ 2 ครั้งด้วยค่า 2 ค่าสลับกันในไอซีตัวเดียวเราเรียกว่า พรีสเกลเลอร์ชนิดสองโมดูลัส (Dual Modulus Prescaler) ตัวหารเสริมจะเป็นตัวบังคับให้ พรีสเกลเลอร์หารด้วยตัวหารตัวใด คือ หารด้วย 64 หรือ 65 เช่น ป้อนข้อมูลหรือ พรีเซตตัวเลขในตัวนับเสริมและในขณะที่ พรีสเกลเลอร์ใช้ 65 เป็นตัวหาร เมื่อเคาน์เตอร์เสริมหยุดนับจึงส่งคำสั่งไปบังคับให้พรีสเกลเลอร์เปลี่ยนตัวหารเป็น 64

ตัวนับหลักก็เช่นเดียวกัน จะค่อย ๆ นับถอยหลังไปเรื่อย ๆ จนเป็นศูนย์ เมื่อตัวนับหลักและตัวนับเสริมนับถึงศูนย์เมื่อใด ทั้งคู่จะถูกพรีเซตด้วยตัวเลขข้อมูล (ความถี่) เนื่องจากตัวนับเสริมจะต้องนับถึงศูนย์ ก่อน ดังนั้นตัวเลขที่พรีเซตให้เคาน์เตอร์เสริมจะต้องน้อยกว่าตัวเลขที่พรีเซตให้เคาน์เตอร์หลัก

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4.2 วงจรควบคุมความถี่อัตโนมัติ (Voltage Control Oscillator Circuit)

วงจรบาลานซ์มิกเซอร์และออสซิลเลเตอร์คู่

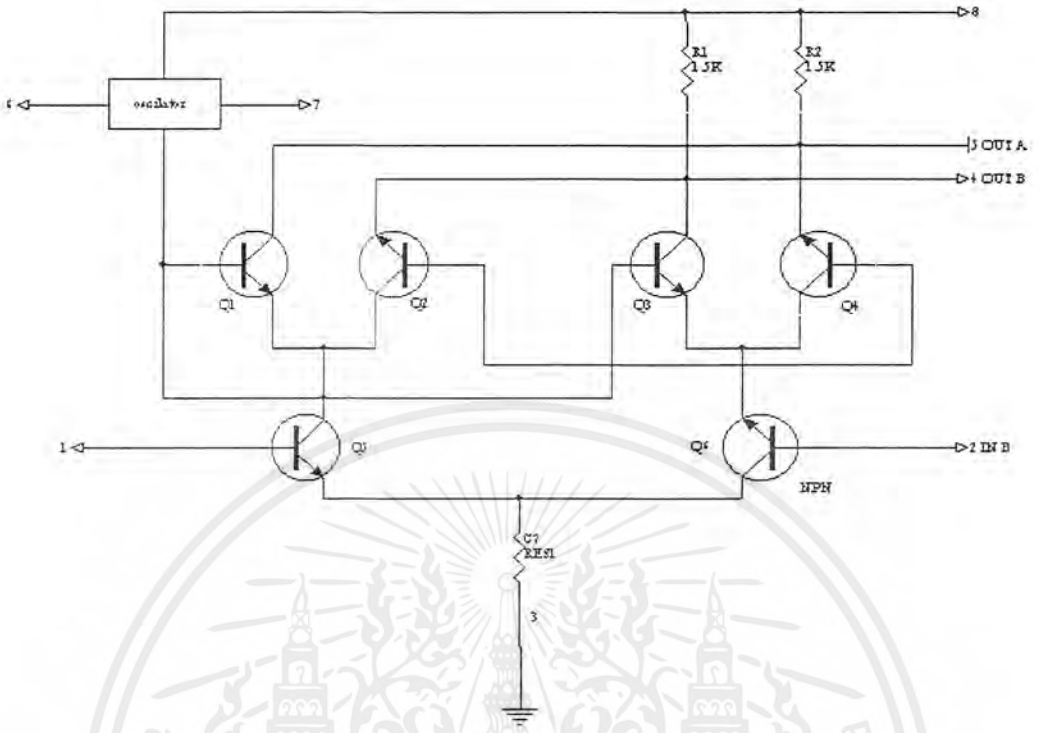
ในโครงงานนี้ได้ใช้ไอซี NE612AN ซึ่งไอซีตัวนี้ถูกสร้างขึ้นมาให้ภายในประกอบไปด้วย ภาคมิกเซอร์ (Mixer) และออสซิลเลเตอร์ความถี่มูลฐาน (Local Oscillator) ดังนั้นอุปกรณ์ตัวนี้จึงสามารถถูกนำมาใช้งานเป็นภาคฟร้อนเอนด์ (Front End) ของเครื่องรับวิทยุได้โดยคุณสมบัติที่เด่นเฉพาะแล้วคือมีการป้องกันสัญญาณรบกวนด้วยตัวเองได้ดี และคุณสมบัติที่พิเศษของการอินเตอร์มอดดูเลชั่น ออร์เดอร์ที่ 3 ทำให้มีค่าน้อยส์ฟิกเกอร์ (Noise Figure) มีค่าเท่ากับ 4.7 เดซิเบล ที่ความถี่อินพุท 45 เมกกะเฮิรตร์ ที่ความถี่ออเดอร์ที่ 3 จะมีการลดทอนสัญญาณ –15 dBm (จะมีการลดโอห์มโดยจะมีหน่วยเป็น mW) ที่แสดงให้เห็นว่ามีการแมตซ์กันทางอินพุท NE612AN นี้มีระดับสัญญาณทางอินพุทประมาณ 12.6 มิลลิโวลต์ที่โหลด 50 โอห์ม หรือ 68 มิลลิโวลต์ที่โหลดอินพุท 1,500 โอห์ม ความไวทางอินพุทเท่ากับ 0.2 ไมโครโวลต์ โดยไม่มี วงจรขยายอาร์เอฟประกอบด้วย

การแปลงและแยกความถี่

จากบล็อคไดอะแกรมภายในตัวไอซีดังแสดงไว้ในรูปที่ 3.3 แสดงให้เห็นส่วนประกอบของวงจรออสซิลเลเตอร์ความถี่มูลฐานภายในไอซีซึ่งทำงานด้วยทรานซิสเตอร์ NPN ที่มีคุณสมบัติขยายความถี่ได้ในย่าน VHF โดยขาเบสต่ออยู่กับขา 6 และขาอิมิตเตอร์ต่ออยู่กับขา 7 ของไอซี แต่ขาคอลเล็คเตอร์ของทรานซิสเตอร์ จะไม่ต่อออกไปเข้ากับอุปกรณ์ภายนอกไอซี แต่จะต่ออยู่กับวงจรขยายบัพเฟอร์ภายใน โดยจะเชื่อมต่อระหว่างขาคอลเล็คเตอร์เข้ากับวงจรบาลานซ์มิกเซอร์คู่ภายในไอซี

วงจรบาลานซ์มิกเซอร์คู่ประกอบด้วยวงจรขยายความแตกต่างที่ประกอบขึ้นมาจากทรานซิสเตอร์คู่สองชุด ชุดแรก Q1, Q2 มี Q5 เป็นตัวจ่ายกระแสซอร์ซให้ และอีกชุดหนึ่งมี Q3, Q4 และ Q6 จ่ายกระแสซอร์ซให้ การต่อวงจรในลักษณะนี้เรียกว่า Gilbert Transconductance Cell การเชื่อมต่อแบบข้ามชุดขยายความแตกต่างของขาคอลเล็คเตอร์ทำให้ได้เอาท์พุตออกมาที่ขา 4 และ 5 ในลักษณะพุชพูล (Push Pull) มีตัวต้านทานต่อแบ่งแรงดันจากแรงไฟบวก (+V) ซึ่งเป็นความต้านทานภายในไอซีมีค่าเท่ากับ 1.5 กิโลโอห์ม และสัญญาณความถี่ออสซิลเลเตอร์จะต่อกับขาเบสของทรานซิสเตอร์หนึ่งในสองตัวของวงจรขยายความแตกต่างทั้งสองชุด

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.3 รายละเอียดบล็อกไดอะแกรมภายในของ NE612A

4.2.1 คุณสมบัติทั่วไปของ NE612A

การสิ้นเปลืองกระแสขณะทำงานต่ำมากเพียง 2.4 มิลลิแอมป์ ขณะทำงานปรกติ

ค่าน้อยส์ฟิกเกอร์ดีที่สุดน้อยกว่า 4.7 เดซิเบลที่ย่านความถี่ 45 เมกกะเฮิรตซ์

ใช้งานได้ในย่านความถี่สูงสุดถึง 500 เมกกะเฮิรตซ์ (อินพุท)

มีการแพร่กระจายกำลังงานต่ำ

มีอุปกรณ์ประกอบร่วมภายนอกน้อยชิ้นนั้นหมายถึงอุปกรณ์จำพวกคริสตอล เซรามิกฟิลเตอร์

มีความไวในการรับสัญญาณดีที่สุด มีอัตราการขยายสัญญาณสูง

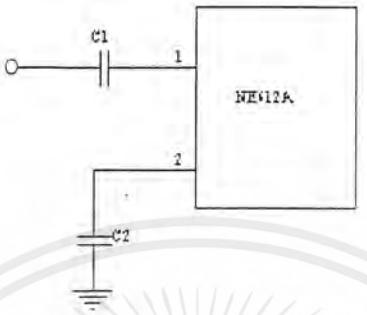
มีวงจรออสซิเลเตอร์ภายใน

4.2.2 อินพุทของ NE612A

ในส่วนวงจรอินพุทของ NE612AN สัญญาณความถี่วิทยุ (RF) จะมาเข้าที่อินพุทขา 1 และขา 2 ของไอซีซึ่งเป็นอินพุทแบบบาลานซ์ ภายในก็จัดวงจรขยายความแตกต่างและผสมความถี่วิทยุ นั่นคือสัญญาณอินพุทที่เป็นความถี่วิทยุจะมาเข้าที่ขา 1,2 ซึ่งเป็นขาเบสของชุดจ่ายกระแสซอร์สให้กับชุดขยายความแตกต่างภายใน โดยเป็นขาเบสของ Q5 และ Q6 ดังแสดงในบล็อคไดอะแกรมภาย

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ในดังรูปที่ 4.3 ซึ่งค่าความต้านทานทางอินพุทกำหนดไว้ที่ 1.5 กิโลโอห์มขนานกับค่าความจุภายใน 3 พิโกฟารัด คิดที่ความถี่อินพุทต่ำ ๆ แต่ถ้าความถี่วิทยุทางอินพุทอยู่ในย่าน VHF ค่าความต้านทานทางอินพุทจะลดลงมาเหลือ 1 กิโลโอห์ม



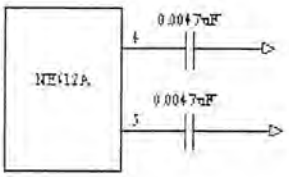
รูปที่ 4.4 ลักษณะการต่อวงจรด้านอินพุท

ในรูปที่ 4.4 เป็นวงจรอินพุทแบบตัวเก็บประจุคับปลิ้งไม่มี วงจรจูนและเป็นแบบไม่บาลานซ์ สัญญาณความถี่วิทยุจะถูกคับปลิ้งผ่าน C1 มาเข้าที่ขา 1 ของ NE612AN (ขา 2 หากเป็นแบบไม่บาลานซ์แล้วจะไม่รับอินพุทแต่จะบายพาสความถี่ที่ไม่ต้องการออกไป) ปกติจัดวงจรแบบนี้จะมีค่าอินพุทอิมพีแดนซ์ต่ำ และเปลี่ยนไปตามช่วงความถี่ใช้งานทางอินพุทระดับความแรงของสัญญาณทางอินพุทจะไม่น้อยกว่า –25 dBm หรือประมาณ 68 มิลลิโวลต์ (180 มิลลิโวลต์) ที่ค่าความต้านทานอินพุท 1.5 กิโลโอห์มสัญญาณที่ขาอินพุทที่ใช้งาน (ขา 1) จะตรงข้ามกันกับอินพุทที่ไม่ได้ใช้งาน (ขา 2) และสัญญาณที่ขา 2 นี้จะถูกส่งผ่านลงกราวด์โดยผ่าน C2 ค่าของ C2 จะเปลี่ยนแปลงตามความถี่ที่ต้องการส่งผ่านมีค่าประมาณ (0.001 ถึง 0.1 ไมโครฟารัด)

4.2.3 เอาท์พุทของ NE612AN

หากย้อนกลับไปดูบล็อกไดอะแกรมภายในของไอซีในรูปที่ 4.3 ที่ผ่านมาก็จะเห็นว่าเอาท์พุทของไอซีออกมาทางขา 4 และ 5 เป็นเอาท์พุทแบบบาลานซ์ ได้จากการคับปลิ้งข้ามชุดรวมของวงจรขยายความแตกต่างภายใน 2 ชุด (Gilbert Transconductance Cell) ทำให้การจัดวงจรทาง เอาท์พุทสามารถจัดได้หลายลักษณะ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

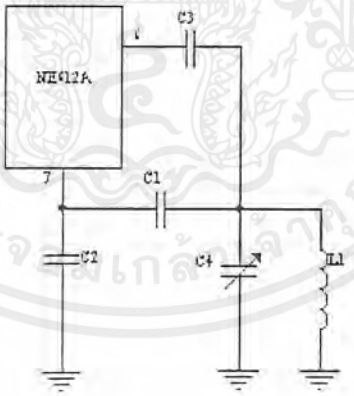


รูปที่ 4.5 ลักษณะการต่อวงจรทางด้านเอาท์พุท

ในรูปที่ 4.5 เป็นการคับปลิ้งสัญญาณเอาท์พุตผ่านตัวเก็บประจุ และเพื่อกั้นแรงดันไฟตรงไม่ให้ออกไปเข้าวงจรในส่วนอื่นต่อไปได้ และมีค่าเอาท์พุทอิมพีแดนซ์สูงประมาณ 1.5 กิโลโอห์ม ซึ่งตัวเก็บประจุที่เลือกใช้จะต้องเป็นค่าที่ทำให้เกิดค่ารีแอกแตนซ์ต่ำ ๆ ที่ความถี่ใช้งาน โดยทั่วไปจะมีค่าประมาณ 0.001 ถึง 0.1 โอห์ม

4.2.4 ออสซิลเลเตอร์ภายในไอซี

สำหรับอุปกรณ์ที่จะนำมาประกอบร่วมกับวงจรออสซิลเลเตอร์ ภายในตัวไอซีจะมีอยู่ 2 ลักษณะที่น่าจะดีที่สุด คือใช้อุปกรณ์ LC หรือ เปียโซคริสตอลเรโซเนเตอร์ ดังรูป



รูปที่ 4.6 การต่อวงจรออสซิเลเตอร์

ในรูปที่ 4.6 จะเป็นวงจรออสซิลเลเตอร์แบบปรับความถี่ได้ (Variable Frequency Oscillator: VFO) จะใช้การป้อนกลับโดยการแท็ปที่จุดต่อของ C1 และ C2 และใช้วาริแคปไดโอดปรับความถี่ โดยค่า C1, C2 นี้สามารถคำนวนหาได้จากสมการ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$C_1 = 100 / \sqrt{F} \qquad \text{.....(1)}$$

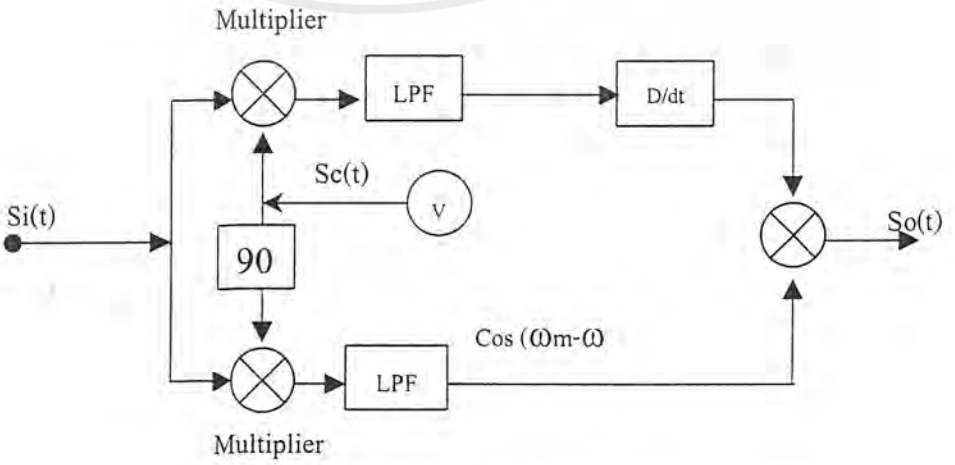
$$C_2 = 1000 / F \qquad \text{.....(2)}$$

โดยที่ค่าของตัวเก็บประจุของ C1 และ C2 จะมีหน่วยเป็นพิโกฟารัด (pF) และค่าความถี่ (F) จะมีหน่วยเป็นเมกกะเฮิรตซ์ (MHz) แต่การคำนวนหาค่าของตัวเก็บประจุจากสมการที่ (1) และ (2) อาจจะทำให้ได้ค่าความจุที่ไม่ตรงกับค่าของตัวเก็บประจุมาตรฐานที่มีจำหน่ายอยู่ และอาจเป็นค่าที่หายาก หรือไม่ได้ผลิตเลยก็เป็นได้ ถ้าหากใส่ค่าตัวเก็บประจุไม่ตรงจะทำให้การออสซิลเลตมีปัญหา อาจมีความถี่ที่เพิ่มขึ้น หรือลดลงไม่คงที่ตลอดเวลา ดังนั้นจึงใช้วาริแคปไดโอดที่ การต่อเข้าไปร่วมกับวงแถบความถี่ผ่าน

4.3 วงจรอันบาลานควอดริรีเลเตอร์

วงจรควบคุมความถี่อัตโนมัติ ใช้สำหรับในการรับความถี่สัญญาณ ซึ่งถูกรบกวนด้วยสัญญาณรบกวน สามารถใช้ในการเชื่อมโยงข้อมูลดิจิตอลได้หลายรูปแบบ ในวงจรส่งข้อมูลดิจิตอลบนดาวเทียม เป็นการควบคุมโดยใช้แบบ โคฮีเรนต์ เฟสชิฟ คีอิ้ง เช่น 8PSK หรือแบบ QPSK การมอดูเลตแบบโคฮีเรนต์นี้ เฟสล็อกลูปมีส่วนร่วมในการรับสัญญาณ แต่จะน้อยมากโดยเฉพาะในกรณีที่สัญญาณที่เข้ามาไม่ทราบค่า จึงเป็นเหตุผลให้วงจรควบคุมความถี่อัตโนมัติ (AFC) ได้รับความนิยมในการจะนำมาใช้เพื่อเข้าช่วยวงจรเฟสล็อกลูป ในการรับสัญญาณ ทำให้ระบบทำงานได้อย่างมีประสิทธิภาพมากยิ่งขึ้น

ในที่นี่เราจะกล่าวถึงโครงสร้างของ อันบาลานซ์ควอดริคอร์รีเลเตอร์ (Unbalanced Quadricorrelator) เป็นในลักษณะของการนำเอา เอาท์พุทของวงจรนี้ออกไปควบคุมความถี่ทางด้านอินพุทอีกครั้งหนึ่งโดย อัตโนมัติ ซึ่งแสดงดังรูป



รูปที่ 4.7 Block Diagram Unbalanced Quadricorrelator

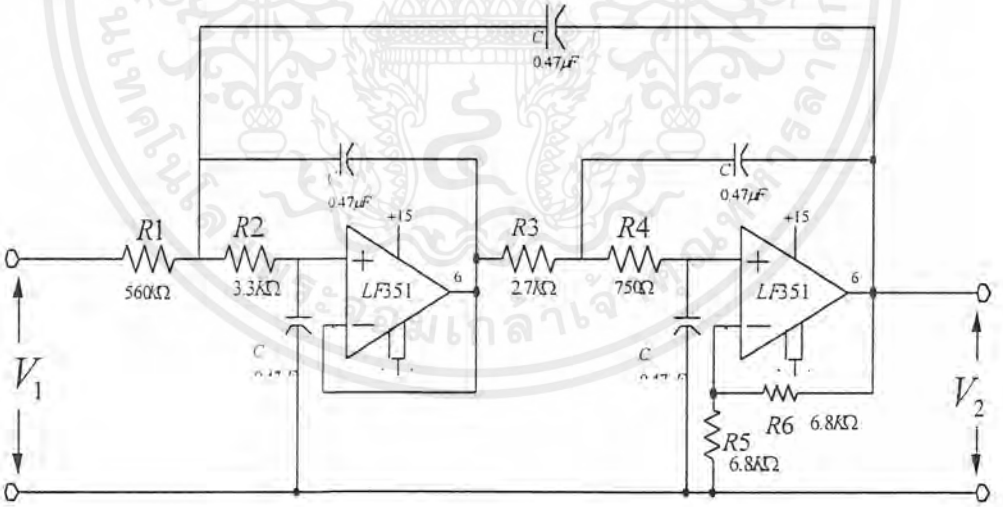
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

วงจรมิกเซอร์ (Mixer)

จากบล็อกไดอะแกรมในส่วนของ มิกเซอร์เราใช้ ไอซี NE612A เพราะว่ามีมิกเซอร์อยู่ภายในแล้วทำการคำนวณค่าของวงจรแท้งค์ใหม่ เพื่อให้ออสซิเลตที่ความถี่ 39.355 เมกกะเฮิรตร์ และเมื่อสัญญาณที่เข้ามาจากวงจรส่วนหน้า คือความถี่ ไอเอฟ คือ 38.9 เมกกะเฮิรตร์ และเมื่อสัญญาณทั้งสองทำการมิกกันแล้วก็จะมีทั้งสัญญาณผลรวมและสัญญาณผลต่าง คือ 78.255 เมกกะเฮิรตร์ และ 455 กิโลเฮิรตร์ ตามลำดับ และเพื่อให้ง่ายต่อการออกแบบวงจรเราจึงเลือกเอาในส่วนของความถี่ผลต่างไว้ แล้วกำจัดความถี่ผลรวมออกไปโดยใช้วงจรกรองความถี่ต่ำผ่านรวมไปถึงวงจรชิฟเฟส และวงจรดิฟเฟอเรนเชียล ดังที่จะกล่าวต่อไปนี้

4.4 วงจรกรองความถี่ต่ำผ่าน (Low pass filter)

จากรูปข้างล่างนี้เป็นวงจร Fourth Order Multiple Feedback Lowpass Filter เป็นวงจรที่มีความสำคัญเพราะว่าใช้เป็นวงจรที่ยอมให้ช่วงของสัญญาณที่เราต้องการผ่านเท่านั้น ซึ่งช่วงที่เราไม่ต้องการมันจะบายพาสสัญญาณลงกราวด์ โดย Gain ของวงจร Fourth Order Multiple Feedback Lowpass Filter ขึ้นอยู่กับค่าของ R_5,R_6 ในขณะที่ High Cutoff Frequency: f_c สามารถกำหนดได้ตามความต้องการที่จะ Cut Off ที่ความถี่ที่เราต้องการโดยการคำนวณค่าอุปกรณ์สามารถทำได้โดยการเปิดดูที่ ตาราง



รูปที่ 4.8 วงจรFourth Order Multiple Feedback Lowpass filter

จากสมการ Transfer function มีค่าดังนี้

$$\frac{V_2}{V_1} = \frac{Gb_0}{S^4 + b_3S^3 + b_2S^2 + b_1S + b_0} \qquad (4.1)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากรูปมีค่า n = 4 จะได้ค่าดังต่อไปนี้

$$b_o = \frac{1}{2R_1R_2R_3R_4} \tag{4.2}$$

$$b_1 = \frac{A}{2R_3R_4} + \frac{B}{2R_1R_2} - \frac{\mu}{2R_2R_3R_4} \tag{4.3}$$

$$b_2 = \frac{1}{R_3R_4} + \frac{1}{2R_1R_2} + \frac{AB}{2} \tag{4.4}$$

$$b_3 = \frac{A}{2} + B \tag{4.5}$$

$$G = \mu \tag{4.6}$$

เมื่อ

$$\mu = 1 + \frac{R_6}{R_5} \tag{4.7}$$

$$A = \frac{1}{R_1} + \frac{2}{R_2} \tag{4.8}$$

$$B = \frac{1}{R_3} + \frac{1}{R_4}(2 - \mu) \tag{4.9}$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 5

การออกแบบ

5.1 ลูปฟิลเตอร์ (Loop Filter)

ลูปฟิลเตอร์ที่ใช้ในวงจรเป็นแบบ Active Filter ทำหน้าที่เป็นตัวเปรียบเทียบความถี่ระหว่าง fv และ fr ที่ส่งมาจากไอซีเบอร์ MC145152-2 และเอาท์พุทของลูปฟิลเตอร์ จะเป็นค่าแรงไฟดีซีที่จ่ายให้กับวงจรแท้งค์ของไอซี NE612A เพื่อออสซิเลทสัญญาณต่อไป ซึ่งมีขั้นตอนการคำนวณค่าต่าง ๆ ดังนี้

กำหนดความถี่อ้างอิง (Reference Frequency)

$$f_{ref} = 20 \text{ KHz}$$

เลือกค่า $\zeta = 0.707$

ωn โดยเลือก $\omega n.t$ จากกราฟการตอบสนองของเฟสล็อกลูป Type 2

กำหนดค่า $\omega n.t = 45$

$t = 1\text{mS}$

จะได้ $$\omega_n = \frac{\omega_n . t}{t}$$

$$= 4500 \text{ rad/s}$$

ช่วงความถี่ที่ใช้คือ 80.57 MHz - 94.74 MHz

$$N_{totel} = \frac{f_{max}}{f_{ref}}$$

$$= \frac{94.74\text{MHZ}}{20\text{KHZ}}$$

$$= 4737$$

$$K_\phi = \frac{V_{DD}}{2\pi}$$

$$= 0.796 \text{ V/rad}$$

$$K_v = 2\pi \frac{\Delta F_{VCO}}{V_{VCO}}$$

$$= 2\pi \frac{(94.74\text{MHZ} - 80.57\text{MHZ})}{(15V - 0V)}$$

$$= 0.945 \times 10^6 \text{ rad/s/v}$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เพื่อความสะดวกในการออกแบบวงจรเราจะกำหนดค่า C และคำนวนหาค่า R_1

$$C = 0.01\,\mu F$$

$$R_1 = \frac{K_\phi K_V}{NC[\omega_n]^2}$$

$$= \frac{0.796 \times 0.945 \times 10^6}{4737 \cdot 0.01 \times 10^{-6}[4500]^2}$$

$$= 800\ \Omega$$

$$\frac{R_1}{2} = 400\,\Omega$$

$$R_2 = \frac{2\zeta}{(\omega_n . C)}$$

$$= \frac{2x\ 0.707}{4500\,x\ 0.01x\ 10^{-6}}$$

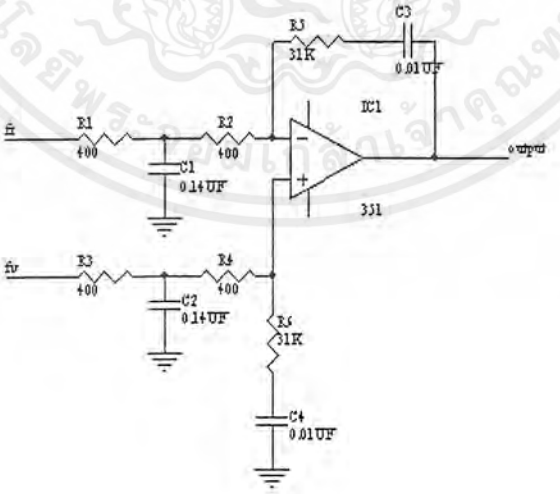
$$= 31K\Omega$$

$$C_c = \frac{1}{2R_1\omega_n}$$

$$= \frac{1}{2 \cdot 800 \cdot 4500}$$

$$= 0.14\,\mu F$$

สำหรับใช้เฟสดีเทคเตอร์ที่เอาท์พุทของเฟสดีเทคเตอร์ เราสามารถต่อกับฟิลเตอร์แบบซัมมิ่งเน็ทเวอร์ค (Summing Network) ดังรูปข้างล่าง



รูปที่ 5.1 วงจรลูปฟิลเตอร์ของเฟสล็อกลูป

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

5.2วงจรกรองแถบความถี่ผ่าน (Bandpass Filter)

หลังจากสัญญาณผ่านวงจรมิกเซอร์มาแล้วสัญญาณที่ออกมาก็จะเป็นความถี่ผลต่างและความถี่ผลรวมที่ 38.9 เมกกะเฮิรตร์ และที่ 149.40 เมกกะเฮิรตร์ ตามลำดับ แต่ในส่วนที่เราต้องการก็คือ สัญญาณที่ 38.9 เมกกะเฮิรตร์ เพราะว่าเป็นความถี่ไอเอฟ ซึ่งจะมีสัญญาณข้อมูลรวมอยู่ด้วยมีความกว้างของแถบความถี่ 7 เมกกะเฮิรตร์ ประกอบไปด้วยสัญญาณภาพและสัญญาณเสียง แต่ในที่นี้เราจะทำการกรองความถี่เฉพาะในช่วงของสัญญาณภาพเท่านั้น คือช่วงความถี่ตั้งแต่ 39.65 เมกกะเฮิรตร์ถึง 43.9 เมกกะเฮิรตร์ มีขั้นตอนการออกแบบดังนี้

ขั้นตอนการออกแบบ

1. แปลงอัตราส่วนแบนด์วิดธ์ (BW/BW_c) ของวงจรกรองแถบความถี่ผ่านในอัตราส่วนความถี่ (f/f_c) ของวงจรกรองความถี่ต่ำผ่าน

2. หาจำนวนอุปกรณ์จากกราฟคุณสมบัติการลดทอนจากค่า f/f_c ในข้อที่ 1 พิจารณาต้นแบบของวงจรกรองความถี่ต่ำผ่าน

3. เปลี่ยนอุปกรณ์จากต้นแบบวงจรกรองความถี่ต่ำผ่านเป็นอุปกรณ์ต้นแบบวงจรกรองแถบความถี่

4. แปลงเป็นค่าอุปกรณ์ที่ใช้งานจริง โดยการปรับอัตราของความถี่และอิมพีแดนซ์จากสูตรที่ 1 ถึง

จากรูปเป็นวงจรต้นแบบวงจรกรองแถบความถี่ผ่าน เราต้องแปลงมาในวงจรที่ใช้งานได้จริงก่อน โดยการใช้การปรับขนาดอัตราของความถี่และอิมพีแดนซ์ เพื่อแปลงค่าในวงจรไปเป็นค่าที่ใช้งานจริงโดยชุดของวงจรเรโซแนนซ์แบบขนานจะมีสูตรดังนี้

$$C = \frac{C_n}{2\pi \cdot R_L B}$$

$$L = \frac{RB}{2\pi f_o^2 L_n}$$

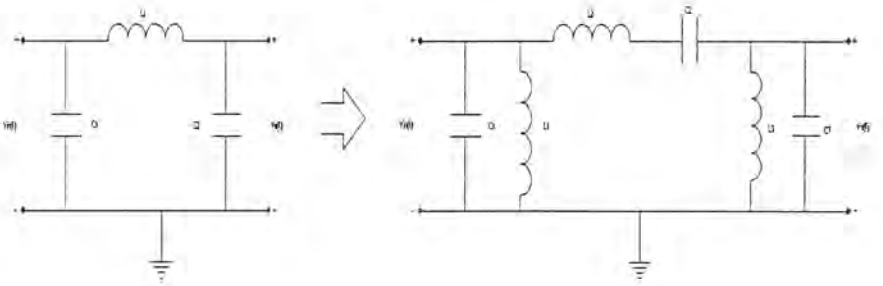
และสำหรับชุดของวงจรเรโซแนนซ์แบบอนุกรมก็จะเป็น

$$C = \frac{B}{2\pi f_o^2 L_n C_n R_L}$$

$$L = \frac{RL_n}{2\pi B}$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$f_o = \sqrt{f_a f_b}$$



รูปที่ 5.2 การเปลี่ยนต้นแบบวงจรกรองความถี่ต่ำผ่านไปเป็นวงจรกรองแถบความถี่ผ่านโดยการใช้การแปลงความถี่

เมื่อ f_a และ f_b คือความถี่ด้านต่ำและด้านสูงของวงจรกรองแถบความถี่ผ่านจากโครงงาน กำหนดให้ f_a = 39.65 เมกกะเฮิรตร์ f_b = 43.9 เมกกะเฮิรตร์ R_S =100 โอห์ม R_L = 200 โอห์ม ทำการออกแบบได้ดังนี้

$$f_o = \sqrt{(39.65 \times 43.9\ )} = 41.72MHz$$

หาค่าต้นแบบวงจรกรองความถี่ต่ำแบบบัตเตอร์เวิร์ด (n=3) จากตารางโดยนำค่าอัตราส่วน R_S/R_L กับ n ที่ได้ไปเปิดตารางจะได้ค่าดังนี้

C_1= 1.244, C_3 = 2.111, L_1 = 0.864

นำค่าต่าง ๆ เหล่านี้มาแทนในสูตรที่ 1 – 4 เพื่อหาค่าใช้งานจริง

$$C_1 = \frac{1.244}{2\pi \cdot 200 \cdot 5 \times 10^6} = 150\rho F$$

$$C_3 = \frac{5 \times 10^6}{2\pi(41.72 \times 10^6)^2 (2.111)(200)} = 1.08\rho F$$

$$C_5 = \frac{0.829}{2\pi(200)(5 \times 10^6)} = 120\rho F$$

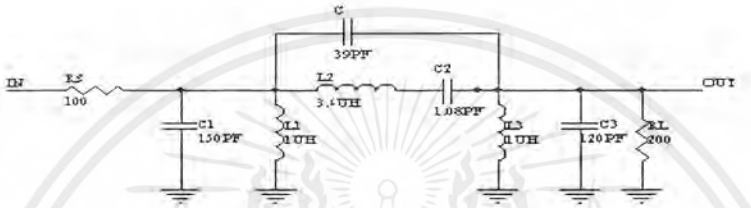
$$L_1 = \frac{(200 \times 5 \times 10^6)}{2\pi(41.72 \times 10^6)^2 (0.864)} = 1\mu H$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$L_2 = \frac{(200 \times 0.576)}{2\pi(5 \times 10^6)} = 3.6\mu H$$

$$L_3 = \frac{(200 \times 5 \times 10^6)}{2\pi(41.72 \times 10^6)^2(0.864)} = 1\mu H$$

จากนั้นนำค่าต่าง ๆ มาต่อจะได้วงจรดังรูป



รูปที่ 5.3 วงจรกรองแถบความถี่แบบพาสซีฟ

5.3วงจรกรองแถบความถี่แบบ Active

ขั้นตอนการออกแบบ

กำหนดให้ $f_c = 455KHz$ เลือกค่า $c = c' = 10\ \rho F\ \ G = 2$

ขั้นที่1. คำนวณค่า K

จากสูตร $K = \frac{100}{f_c c'} = \frac{100}{455 \times 10^3 \times 10 \times 10^{-6}} = 21.99$

ขั้นที่2. ดูตารางที่ 2.55 เพื่อคำนวณค่าอุปกรณ์ของ Resistor โดยนำค่า K = 1.06 ไปคูณจะได้

$R_1 = 0.531 \times 21.99 = 11.68K\Omega$

$R_2 = 3.439 \times 21.99 = 75.62k\Omega$

$R_3 = 2.441 \times 21.99 = 53.68k\Omega$

$R_4 = 0.719 \times 21.99 = 15.81k\Omega$

$R_5 = 6.321 \times 21.99 = 138.99k\Omega$

$R_6 = 6.321 \times 21.99 = 138.99k\Omega$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากค่าอุปกรณ์ที่คำนวณได้จะเห็นว่าตามท้องตลาดไม่มีขายดังนั้นเราจึงใช้ค่าใกล้เคียงโดยมีค่าดังนี้

$R_1 = 12K\Omega$

$R_2 = 75K\Omega$

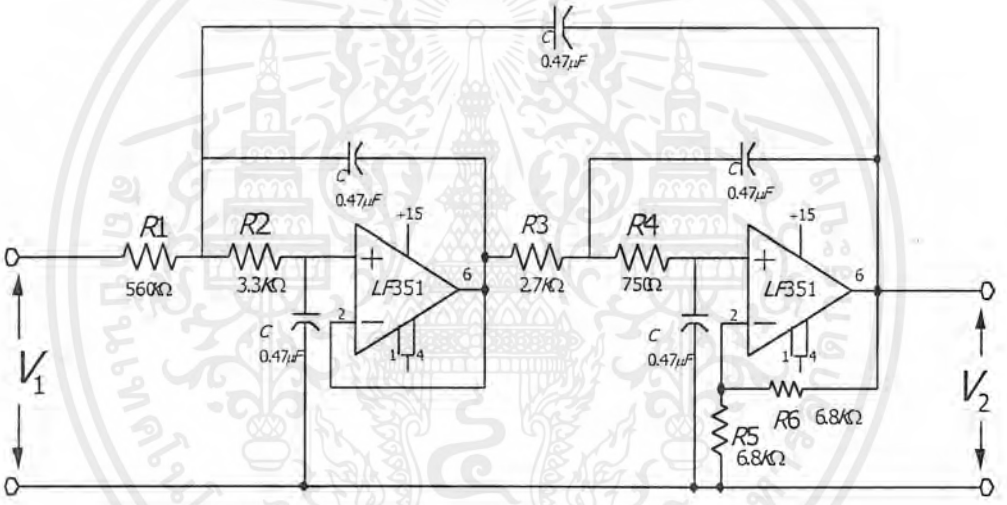
$R_3 = 54K\Omega$

$R_4 = 16K\Omega$

$R_5 = 140K\Omega$

$R_6 = 140K\Omega$

วงจรกรองที่ความถี่ต่ำผ่านนี้จะให้เฉพาะความถี่ผลต่างคือ 455 กิโลเฮิรตร์ ผ่านเท่านั้น ส่วนความถี่ผลร่วมจะถูกกำจัดออกไป

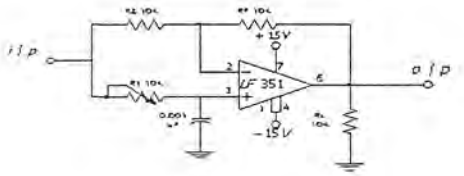


รูปที่ 5.4วงจรกรองแถบความถี่ผ่านที่เป็นแบบ Active

วงจร Phase Shift

เป็นวงจรที่ใช้ในการเลื่อนเฟสสัญญาณ Sine Wave ให้เลื่อนเฟสไป 90° ได้เป็นสัญญาณ Cosine โดยใช้ IC เบอร์ LF351 ต่อ ดังจะเห็นดังรูป

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 5.5 วงจร Phase Shift 90

โดยการเลือกค่าอุปกรณ์สำหรับความถี่ที่ทำงาน

$R_1 = 10k\Omega$

$R_F = 10k\Omega$

$V_R = 10k\Omega$

$R_L = 10k\Omega$

$C = 0.001\mu F$

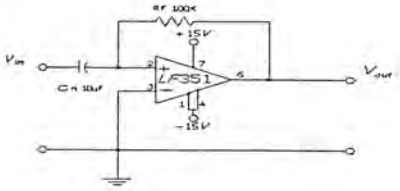
5.5 วงจรดิฟเฟอเรนชิเอเตอร์

รูปที่ 5.6 วงจรพื้นฐาน RC ของวงจรดิฟเฟอเรนชิเอเตอร์

วงจรพื้นฐานแบบ RC ของวงจรดิฟเฟอเรนชิเอเตอร์ จะคล้ายวงจรอินติเกรเตอร์ โดยสลับตำแหน่งของ R และ C เท่านั้น และจะมีหลักการค่อนข้างคล้ายกันอีกด้วย ซึ่งอธิบายได้ดังนี้คือ ในขณะเริ่มต้น แรงดันคร่อมตัวเก็บประจุจะมีค่าเป็นศูนย์ ทำให้แรงดันอินพุททั้งหมดตกคร่อมตัวต้านทาน R เมื่อตัวเก็บประจุถูกชาร์จ กระแสไหลผ่านตัวต้านทานจะค่อย ๆ ลดลง เป็นผลให้ระดับเอาท์พุทลดลงแบบเอ็กโพเนนเชียลตามรูปที่ 5.6 และเมื่อแรงดันอินพุทเป็นศูนย์ ตัวเก็บประจุจะคาย

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ประจุผ่านกราวด์แล้วจึงเข้าสู่ตัวต้านทาน (ขณะนั้นขั้วอินพุททั้งสองถูกลัดวงจร) ฉะนั้น กระแสจะไหลลดลงเรื่อย ๆ เช่นเดียวกับวงจรพาสซีฟทั่วไปแรงดันเอาท์พุทจะต่ำกว่าอินพุทเสมอ



รูปที่ 5.7 แสดงการนำออปแอมป์มาใช้ในวงจรดิฟเฟอเรนชิเอเตอร์

ซึ่งมีขนาดของเอาท์พุทตามสมการ

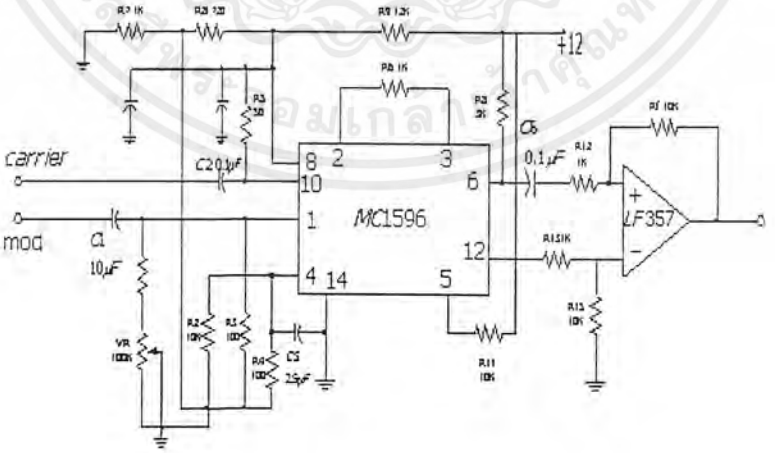
$$V_{out} = -2R_F C_{in} \frac{dV_{in}}{dt}$$

โดยที่ dV_{in} คือการเปลี่ยนแปลงของแรงดันอินพุท และ dt คือ ช่วงเปลี่ยนแปลงของเวลา ที่ $f_{in} = 455kHz$ เราเลือกค่าอุปกรณ์

$$R_F = 100K\Omega$$

$$C = 10\mu F$$

5.6 วงจร Balance Modulator



รูปที่ 5.8 วงจร Balance Modulator

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

วงจร Balanced Modulator หรือเรียกย่อ ๆ ว่า BM นี้จะทำหน้าที่ผสมสัญญาณเบสแบนด์กับคลื่นพาห์ โดยผลลัพธ์ที่ได้จากการผสมจะมีเฉพาะไซด์แบนด์ทั้งสองข้างเท่านั้น โดยสัญญาณพาหะจะถูกกำจัดออกไปในการออกแบบวงจร BM นี้จะใช้ IC เบอร์ MC1596 ทำหน้าที่เป็นตัว Balance Modulator โดยในวงจรจะมีความต้านทานปรับค่า 50 โอห์ม เป็นตัวปรับสมดุลย์ การกำจัด carrier ขึ้นอยู่กับระดับสัญญาณพาห์ที่เหมาะสมอยู่ในช่วง 300 ถึง 500 mV ซึ่งวงจรที่ใช้งานแสดงดังรูปที่ 5.8

การทำงานของวงจร Balance Modulator เหมือนกับวงจรคูณสัญญาณ สมมุติให้สัญญาณคลื่นพาห์ และสัญญาณเบสแบนด์ และจะได้ Output คือ

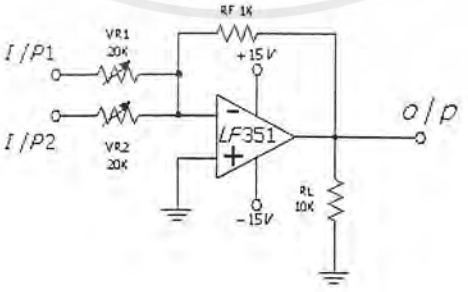
$$V_o = A_c \sin\omega_c t \times A_m \sin\omega_m t = \frac{A_c A_m}{2}\cos(\omega_c - \omega_m)t + \cos(\omega_c + \omega_m)t$$

ส่วนในโครงงานนี้วงจร BM มีอยู่ 3 วงจร ซึ่งมีอยู่ 2 วงจรที่ Modulate ที่ความถี่ของ carrier กับสัญญาณเบสแบนด์ที่ 1.25 *MHz* ทั้งคู่ ส่วนอีกวงจรใช้ Modulate ที่ความถี่ของ carrier กับสัญญาณเบสแบนด์ที่ 200 *Hz* ซึ่ง 3 วงจรนี้จะอยู่ในส่วนของ วงจร FDD (Frequency Difference Detector)

5.7 วงจรรวมสัญญาณ (Summing Amplifier)

วงจรรวมสัญญาณใช้สำหรับการรวมสัญญาณหลาย ๆ ชุดเข้าด้วยกันเพื่อให้เป็นสัญญาณที่ถูกขยายแล้วเพียงชุดเดียว ซึ่งแรงดัน Output หาได้จาก

$$V_o = -\left(\frac{R_F V_1}{R_1} + \frac{R_F V_2}{R_2}\right)$$



รูปที่ 5.9 วงจรรวมสัญญาณ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

โดยที่ V1 คือสัญญาณเอาท์พุทจากวงจร Balance Modulator

V2 คือสัญญาณเอาท์พุทจากวงจร Loop Filter

ในการออกแบบวงจรเราเลือกใช้ $R_F = 1k\Omega$ และ R_1, R_2 ใช้ $V_R = 20k\Omega$ เพื่อให้สามารถปรับ Gain ได้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 6
ผลการทดลองและสรุปข้อเสนอแนะ

6.1 ผลจากการวัดค่าความถี่ VCO

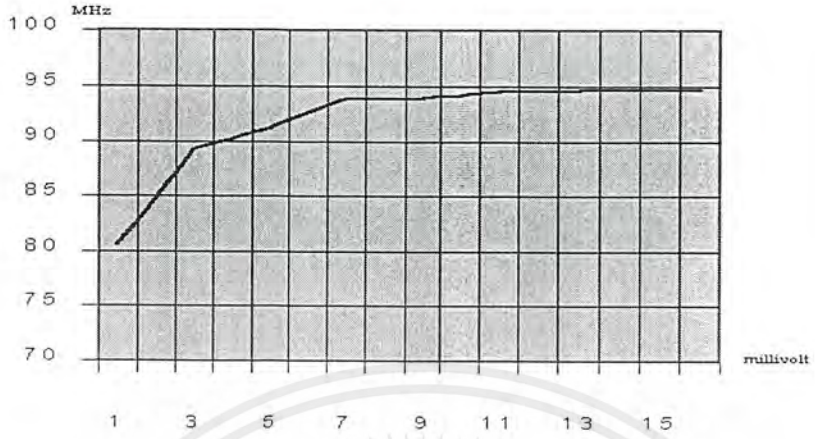
จากการคำนวนที่ได้เป็นค่าที่สามารถตอบสนองที่ความถี่ที่เราต้องการได้ จากนั้นก็ทำการพันขดลวดเพื่อให้ได้ค่าอินดัคแตนซ์ตามที่เราต้องการ แต่ในการทำงานจริงนั้นเราไม่มีเครื่องมือที่มีความละเอียดพอที่จะสามารถวัดค่าอินดัคแตนซ์ที่มีค่าน้อยมาก ๆ ได้ดังนั้นในการทำงานจริงเราจึงมีการเลือกขนาดของลวดให้เหมาะสมแล้วทำการพันแล้ววัดค่าที่ได้ว่าได้ตามต้องการหรือไม่ จากผลการทดลองเราใช้ขดลวดเบอร์ 15 SWG แล้วพันจำนวน 4 รอบ เส้นผ่านศูนย์กลางประมาณ 0.75 เซนติเมตรแล้วต่อขนานกันจำนวน 4 ขดด้วยกัน ซึ่งสามารถให้ผลตามต้องการได้ดังตารางต่อไปนี้

ตารางผลการทดลอง

V input control (Volt)	Amplitude (Milli volt peak to peak)	Frequency output (MHz)
0	118	80.57
2	113	89.32
4	113	91.26
5	113	92.65
6	113	93.77
8	113	93.90
10	113	94.41
12	113	94.57
14	113	94.74
15	113	94.74

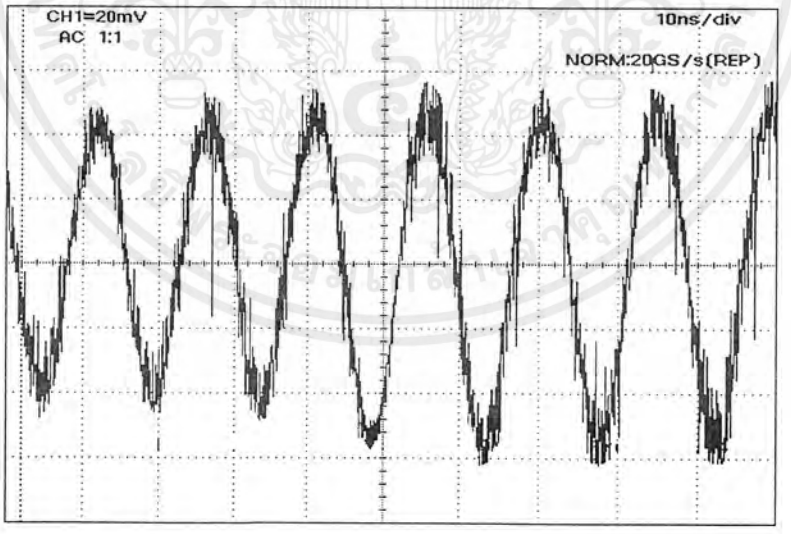
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

กราฟแสดงผลการทดลอง



รูปที่ 6.1 กราฟแสดงผลการทดลอง

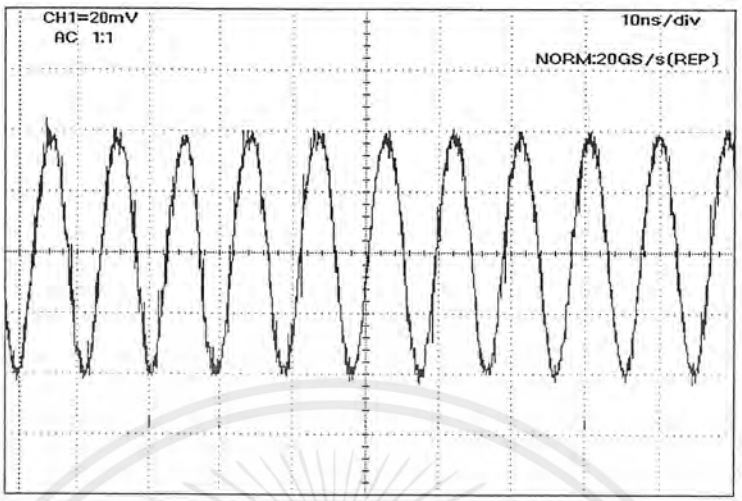
จากการวัดผลการทดลองที่ขา 7 ของไอซี NE612A จะทำการออสซิเลทสัญญาณรูปซายน์ที่ความถี่อยู่ในช่วงที่ได้ตามตารางซึ่งเป็นความถี่เท่าใดนั้น ก็จะขึ้นอยู่กับแรงดันที่ได้รับเข้ามาทางวงจรแท้งค์



รูปที่ 6.2 สัญญาณรูป Sine Waveที่ได้จากวงจรออสซิเลทภายใน IC NE612A ที่ความถี่ 80.57 MHz

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

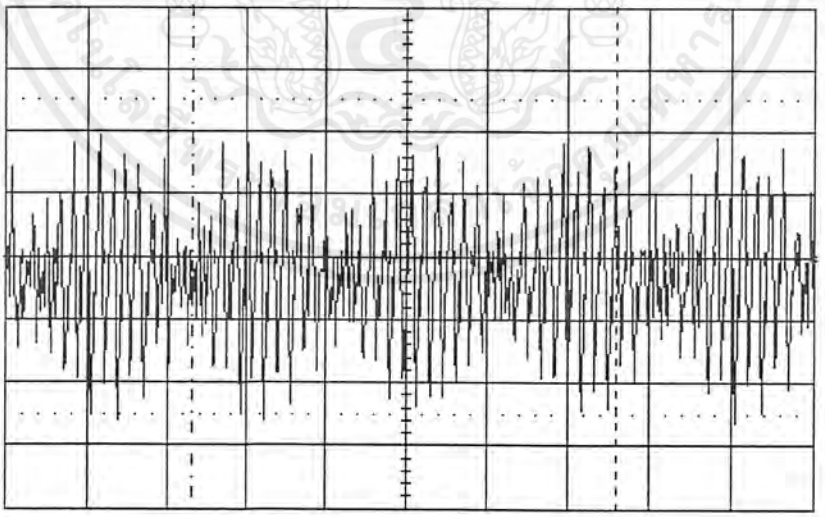
และจากการทดลองวัดที่ขา 7 ที่ป้อนไฟ DC Control 15V จะได้สัญญาณความถี่ที่ความถี่สูงสุดดังรูปข้างล่างนี้



รูปที่ 6.2 สัญญาณรูป Sine Waveที่ได้จากวงจรออสซิเลทภายใน IC NE612A ที่ความถี่ 94.74 MHz

6.2 รูปสัญญาณที่ได้จากวงจรมิกเซอร์

เป็นที่ทราบกันดีแล้วว่า ไอซีเบอร์นี้มีวงจรมิกเซอร์อยู่ภายในดังนั้นเราจึงปรับสัญญาณออสซิเลทให้ ได้ความถี่เท่ากับ 94.15 เมกกะเฮิรตร์ ซึ่งเป็นความถี่โลคอลของ สถานีโทรทัศน์ช่อง 3 จากนั้นก็ทำการป้อนสัญญาณจากฟังชั่นเจนเนอร์เรเตอร์เท่ากับ 55.25 เมกกะเฮิรตร์ ซึ่งเป็นสัญญาณของ



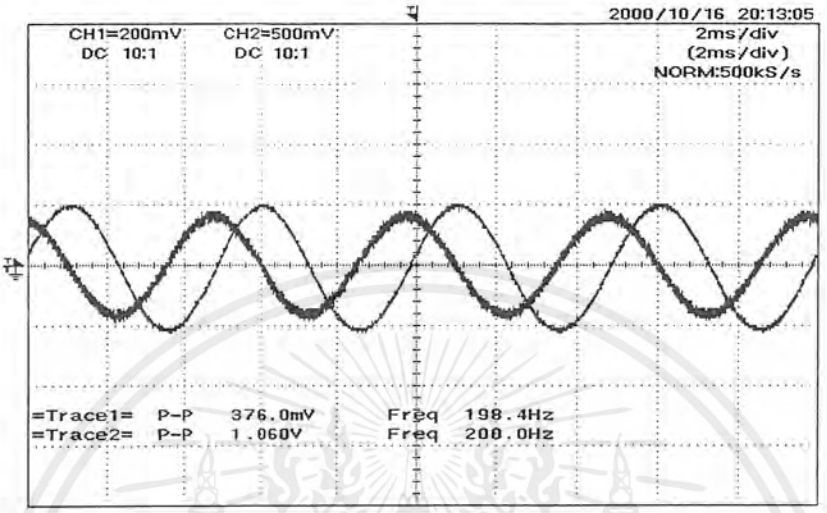
รูปที่ 6.4 มิกเซอร์เอาท์พุทที่ได้จากขา 4 และขา 5

ช่อง 3 เข้าที่ขา 1 และ 2 จากนั้น สัญญาณทั้งสองก็จะทำการมิกซ์กันภายใน เอาท์พุทสามารถวัดได้จากขา 4 และ 5 ซึ่งสัญญาณที่ได้จะเป็นดังรูปที่ 6.4 ดังที่แสดงข้างบน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

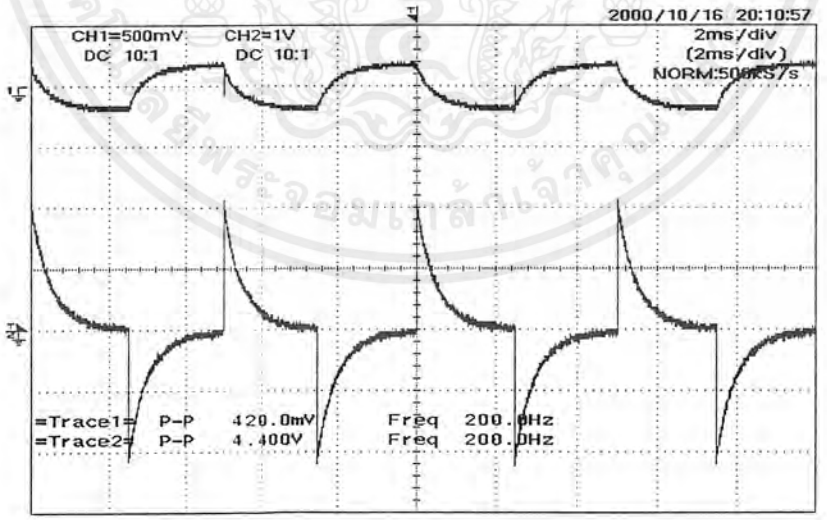
6.3 รูปสัญญาณจากวงจร Shift Phase

เมื่อนำสัญญาณรูป Sin ที่ความถี่ 200 Hz นำมาป้อนเข้ากับวงจร Shift Phase ที่ 90 องศา เมื่อทำการวัดด้วย สโคปโดยวัดเทียบกัน 2 แชลแนลแล้ว ก็จะได้รูปสัญญาณดังข้างล่าง



รูปที่ 6.5 รูปจากสัญญาณที่มีการเลื่อนเฟสไป 90 องศา

6.4 รูปสัญญาณจากวงจรดิฟเฟอเรนชิเอเตอร์



รูปที่ 6.6 จากวงจรดิฟเฟอเรนชิเอเตอร์

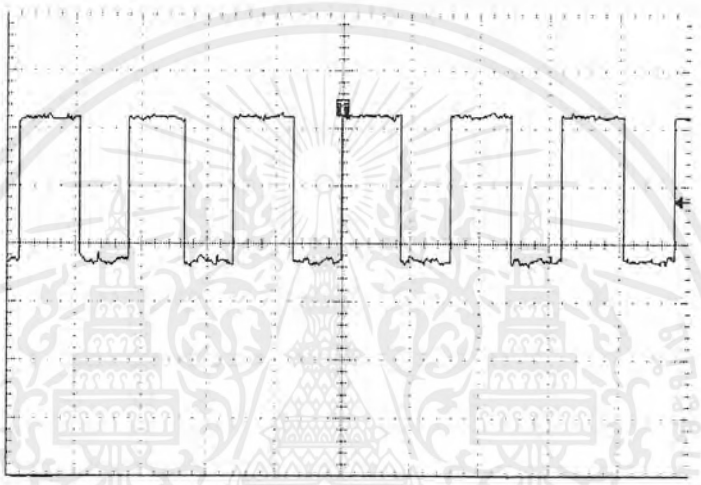
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รูปข้างบนเป็นการนำเอาสัญญาณ Sin มาผ่านวงจรดิฟเฟอเรนชิเอเตอร์ ที่ความถี่ 200Hz ซึ่งสัญญาณรูปด้านบนจะเป็นสัญญาณ Sin ที่ต่อเข้ากับวงจร ส่วนรูปล่างเป็นสัญญาณเอาท์พุทที่ผ่านวงจรดิฟเฟอเรนชิเอเตอร์แล้ว

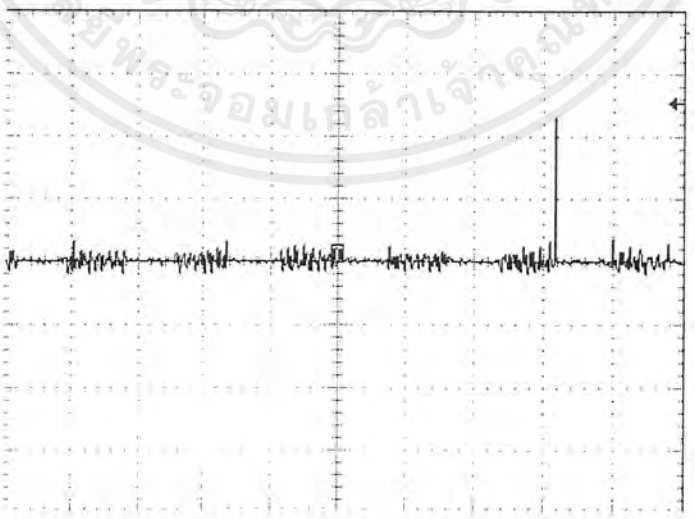
6.5 รูปสัญญาณจากวงจรเฟสล็อกลูป (Phase Lock Loop)

รูปสัญญาณที่ได้วัดจากขาของไอซี MC 145152-2 ซึ่งมีขา ϕ_R และ ϕ_V

สัญญาณ ϕ_R เป็นเอาท์พุทที่วัดที่ขา 7 ของไอซีเบอร์ MC145152-2 โดยผลที่ได้ตามรูปข้างล่างนี้



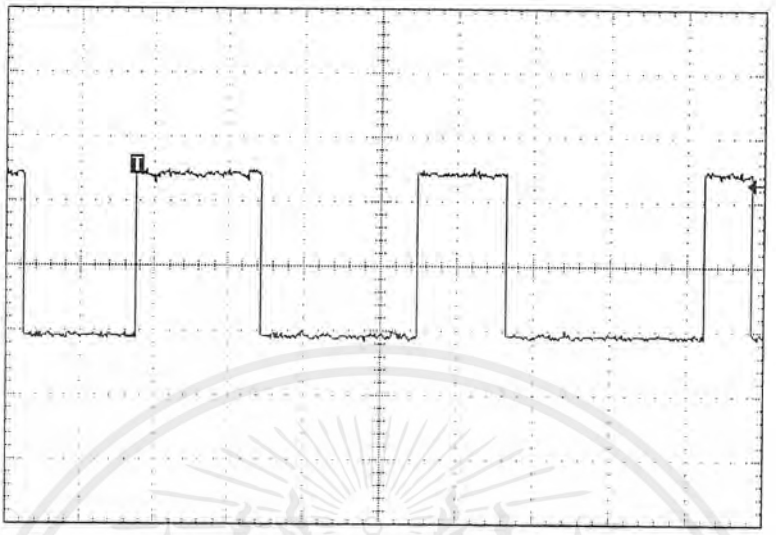
รูปที่ 6.7 รูปสัญญาณของ ϕ_R ช่วงที่เฟสล็อกลูปยังไม่อยู่สภาวะล็อค



รูปที่ 6.8 รูปสัญญาณของ ϕ_R ช่วงที่เฟสล็อกลูปอยู่ในสภาวะล็อค

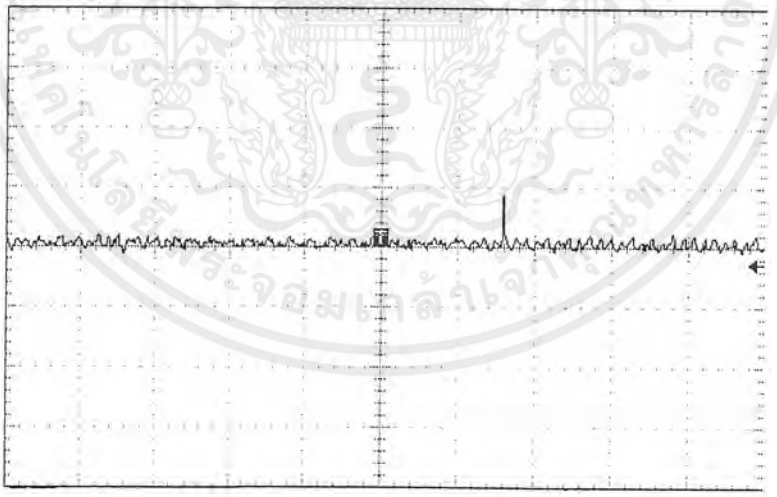
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สัญญาณ ϕ_v เป็นเอาท์พุทที่วัดที่ขา 8 ของไอซีเบอร์ MC145152-2 โดยผลที่ได้ตามรูปข้างล่างนี้



รูปที่ 6.9 รูปสัญญาณของ ϕ_v ช่วงที่เฟสล็อกลูปยังไม่อยู่สภาวะล็อค

ในรูปที่ 6.9 เป็นสัญญาณ ϕ_v ในช่วงที่ยังไม่ล็อคโดยที่สัญญาณพัลซ์ที่เห็นในรูปนี้จะมีความกว้างของพัลซ์ที่เริ่มแคบลง



รูปที่ 6.10 รูปสัญญาณของ ϕ_v ช่วงที่เฟสล็อกลูปอยู่ในสภาวะล็อค

ในรูปที่ 6.10 เป็นสัญญาณของ ϕ_v ในช่วงที่ล็อคซึ่งจะเห็นเป็นรูปพัลซ์ที่แคบจนเป็นเส้นตรงเป็น High Impedance ที่เกิดขึ้นเพื่อชดเชยแรงดันให้เข้าสู่สภาวะล็อค

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

6.6 ผลเอาท์พุทของวงจร FDD

เป็นค่าแรงดันเออร์เรอร์ที่ได้จากการเปรียบเทียบความถี่ที่อินพุทกับความถี่ออสซิลเลเตอร์ โดยมีเงื่อนไขดังต่อไปนี้

ถ้า $f_{in} = f_o$ จะทำให้ $V_{FDD} = 0$

ถ้า $f_{in} < f_o$ จะทำให้ $V_{FDD} = -V$

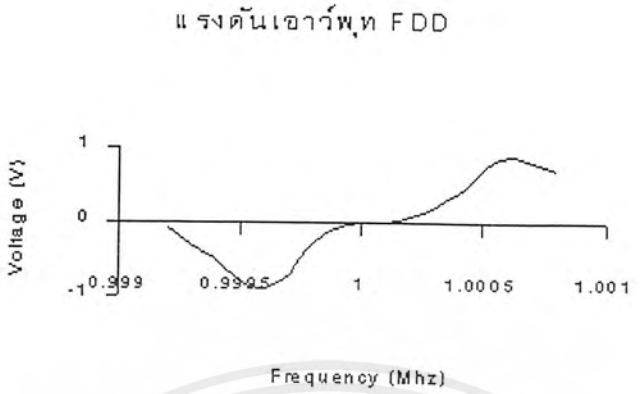
ถ้า $f_{in} > f_o$ จะทำให้ $V_{FDD} = +V$

จากการวัดแรงดันเออเรอร์ที่ได้จากวงจร FDD ได้ตามตารางข้างล่างนี้

f_o (MHz)	f_{in} (MHz)	Voltage (V)
1	0.9992	-0.1
1	0.9993	-0.3
1	0.9994	-0.5
1	0.9995	-0.8
1	0.9996	-0.9
1	0.9997	-0.7
1	0.9998	-0.3
1	0.9999	-0.1
1	1	-0.009
1	1.0001	-0.004
1	1.0002	0.1
1	1.0003	0.2
1	1.0004	0.4
1	1.0005	0.7
1	1.0006	0.9
1	1.0007	0.8
1	1.0008	0.7

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

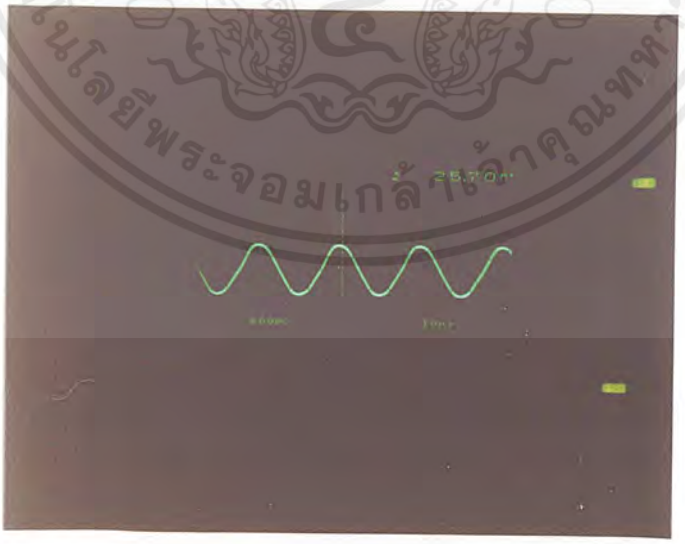
เมื่อเราทำการวัดค่าที่ได้จากวงจรแล้วทำการพล็อตรูปได้ดังรูปต่อไปนี้



รูปที่ 6.11 แรงดันเอาว์พุทของ FDD

จากค่าแรงดันเออเรอร์ที่ออกจากเอาท์พุทของวงจร FDD เมื่อนำมา Summing กับแรงดันที่ได้จากวงจรเฟสล็อกลูปแล้วก็ป้อนให้กับ VCO เพื่อสร้างความถี่มา Mixer กับความถี่ Fin ที่รับเข้ามาก็จะได้ความถี่ของไอเอฟภาพ ซึ่งในการทดลองความถี่ Fin ที่ป้อนเข้ามาเราได้ใช้เป็นสัญญาณ Sin Wave แทนสัญญาณ Composite ของสัญญาณโทรทัศน์ ซึ่งจะได้กรณีการเกิดสภาวะการทำงานของวงจรอยู่ 3 กรณีดังนี้

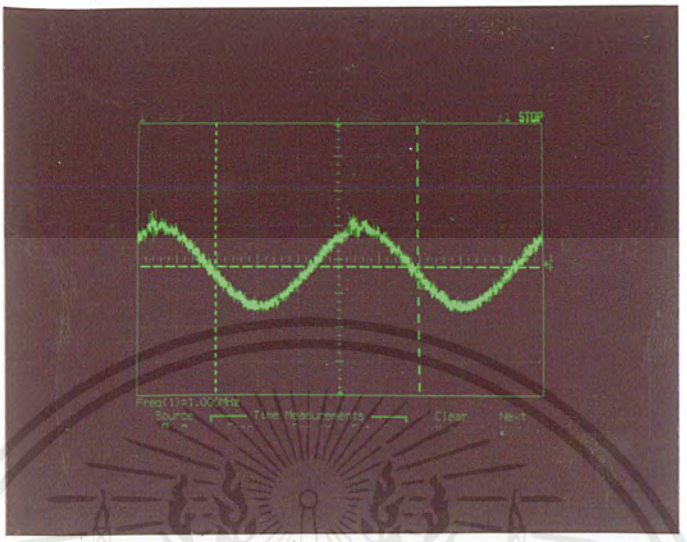
กรณีที่ 1 ที่ Fin ไม่เกิดความถี่ Doppler; fd = 0 Hz



รูปที่ 6.12 ความถี่เท่ากับ 38.9 MHz ขณะที่ fd = 0Hz

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

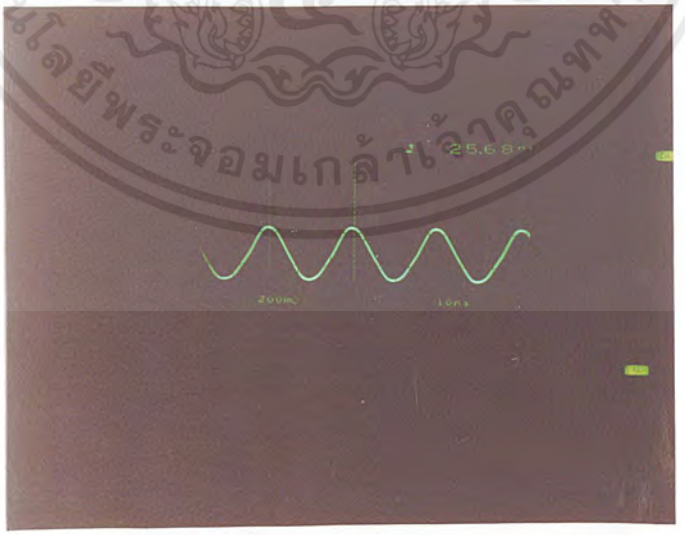
จากรูปที่ 6.12 เมื่อ Fin ที่เข้ามาอยู่สภาวะปรกติไม่มีความถี่ Doppler เข้ามาก็จะได้ค่าความถี่ที่ได้จากการมิกซ์กับความถี่ของ VCO เท่ากับ 38.9 MHz



รูปที่ 6.13 ความถี่ที่เข้า FDD มีค่าเท่ากับ 1 MHz

ความถี่ที่ 38.9 MHz ทำการ Down ความถี่ลงมาก็จะได้ 1 MHz พอดีที่ป้อนเข้าวงจร FDD ในสภาวะนี้จะได้ ดีซีเออเรอร์เท่ากับ 0 โวลท์

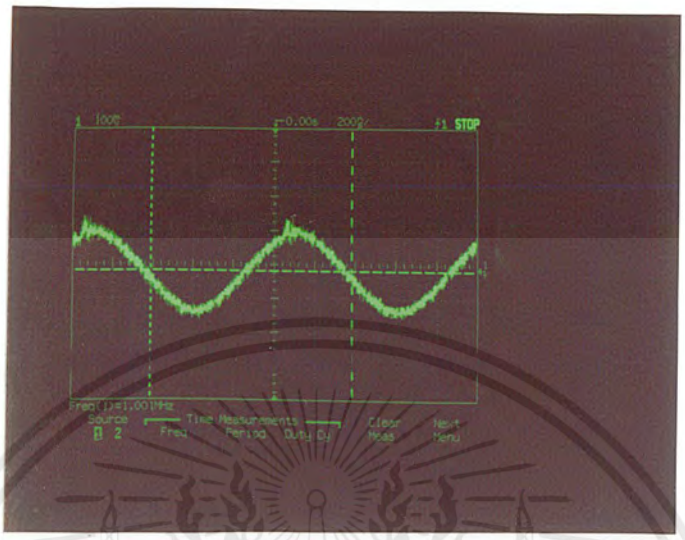
กรณีที่ 2 ที่ Fin เกิดมีความถี่ Doppler; fd = + 1 KHz



รูปที่ 6.14 ความถี่เท่ากับ 38.92 MHz ขณะที่ fd = + 1 KHz

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

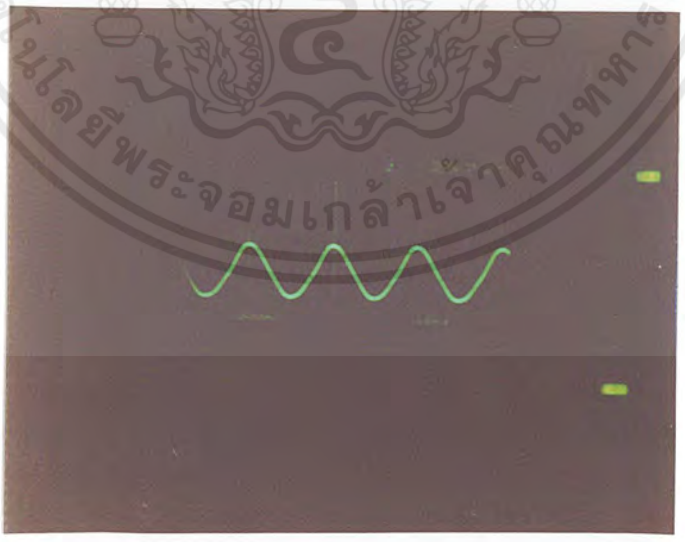
ความถี่ที่ได้จากรูปที่ 6.14 ที่จริงแล้วจะต้องได้เท่ากับ 38.901 MHz ปัญหานี้เกิดเนื่องมาจากสโคปที่ใช้วัดมีความละเอียดไม่พอจึงวัดค่าที่ใกล้เคียงมา



รูปที่ 6.15 ความถี่เข้าวงจร FDD เท่ากับ 1.001 MHz ที่ fd = + 1 KHz

ความถี่เข้าวงจร FDD เท่ากับ 1.001 MHz ในสภาวะนี้วงจร FDD ก็จะได้ ดีซีเออเรอร์ออกมามีค่าบวกเมื่อนำไป Summing กับดีซีของเฟสล็อกลูปแล้วป้อนให้กับ VCO สร้างความถี่เพิ่มขึ้น

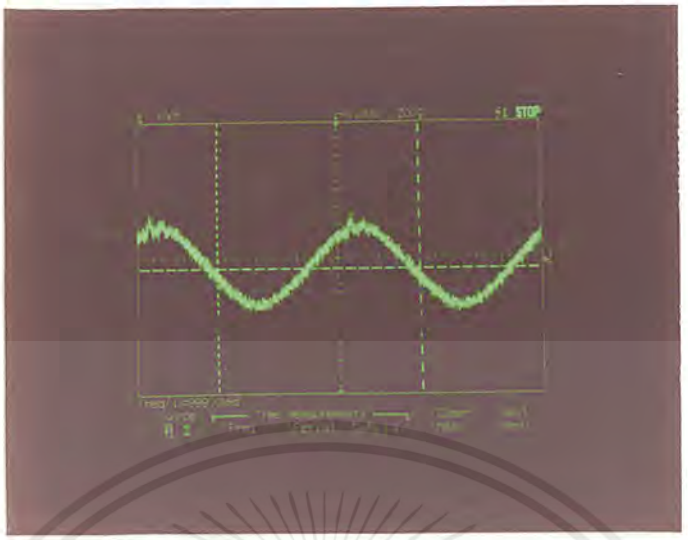
กรณีที่ 3 ที่ Fin เกิดมีความถี่ Doppler; fd = - 1 KHz



รูปที่ 6.16 ความถี่เท่ากับ 38.88 MHz ขณะที่ fd = - 1 KHz

จากรูปที่ 6.16 ที่จริงแล้วจะต้องได้เท่ากับ 38.899 MHz ซึ่งเกิดเนื่องมาจากสโคปที่ใช้วัดมีความละเอียดไม่พอ เหมือนดังรูปที่ 6.14

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 6.17 ความถี่เข้าวงจร FDD เท่ากับ 0.999 MHz ที่ fd = - 1 KHz

ความถี่เข้าวงจร FDD เท่ากับ 0.999 MHz ในสภาวะนี้วงจร FDD ก็จะได้ ดีซีเออเรอร์ออกมามีค่าลบ เมื่อนำไป Summing กับดีซีของเฟสล็อกลูปแล้วป้อนให้กับ VCO สร้างความถี่ ลดลง

6.7 สรุปและข้อเสนอแนะ

จากการทดลองวงจร Balance modulator ที่ใช้ไอซีเบอร์ NE612A ซึ่งได้คำนวณค่าอุปกรณ์ตาม data sheet แล้วนำมาต่อวงจรแล้วมักจะไม่ทำงานนั้น มักมีสาเหตุมาจาก coil ที่ใช้ในวงจรส่วนใหญ่มักคิดว่าใช้แบบ coil สำเร็จรูปที่ใช้ไม่ได้เกิดเนื่องมาจากค่า Q ของ coil มีค่าต่ำจึงไม่สามารถทำงานได้ จะต้องใช้ลวดทองแดงที่มีขนาดของลวดที่โตพอสมควรมาพันเป็น coil จะได้ค่า Q ที่มากจึงจะทำงานตามที่คำนวณไว้ และที่ขาอินพุท 1 และ 2 ก็จะต้องคำนวณค่าอิมพีแดนซ์ให้แมตซ์กับไอซี ถ้าไม่แมตซ์แล้วสัญญาณที่ป้อนจะต้องมีสัญญาณที่แรงมากถึง 2 – 3 Vp-p ซึ่งจริง ๆ แล้วต้องการอินพุทน้อยมาก

ในส่วนของวงจรของเฟสล็อกลูป หลังจากที่ออกจากลูปฟิลเตอร์แล้วจะได้ค่าแรงดันเออเรอร์น้อย ซึ่งวงจรที่ส่วนของ VCO จะต้องมีความไวสูง

และที่วงจร FDD ค่าความถี่ Fin ที่เข้ามาจะต้องมีค่า อัตตราการเปลี่ยนแปลงความถี่ทีละน้อย ๆ ถ้าเปลี่ยนแปลงเร็ว ก็จะไม่เห็นค่าแรงดันเออเรอร์ที่เอาว์พุทที่มีการเปลี่ยนแปลง และค่าแรงดันเอาว์พุทที่ได้ จะมีค่าน้อยมาก มีค่าเป็นมิลลิโวลท์เท่านั้น

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

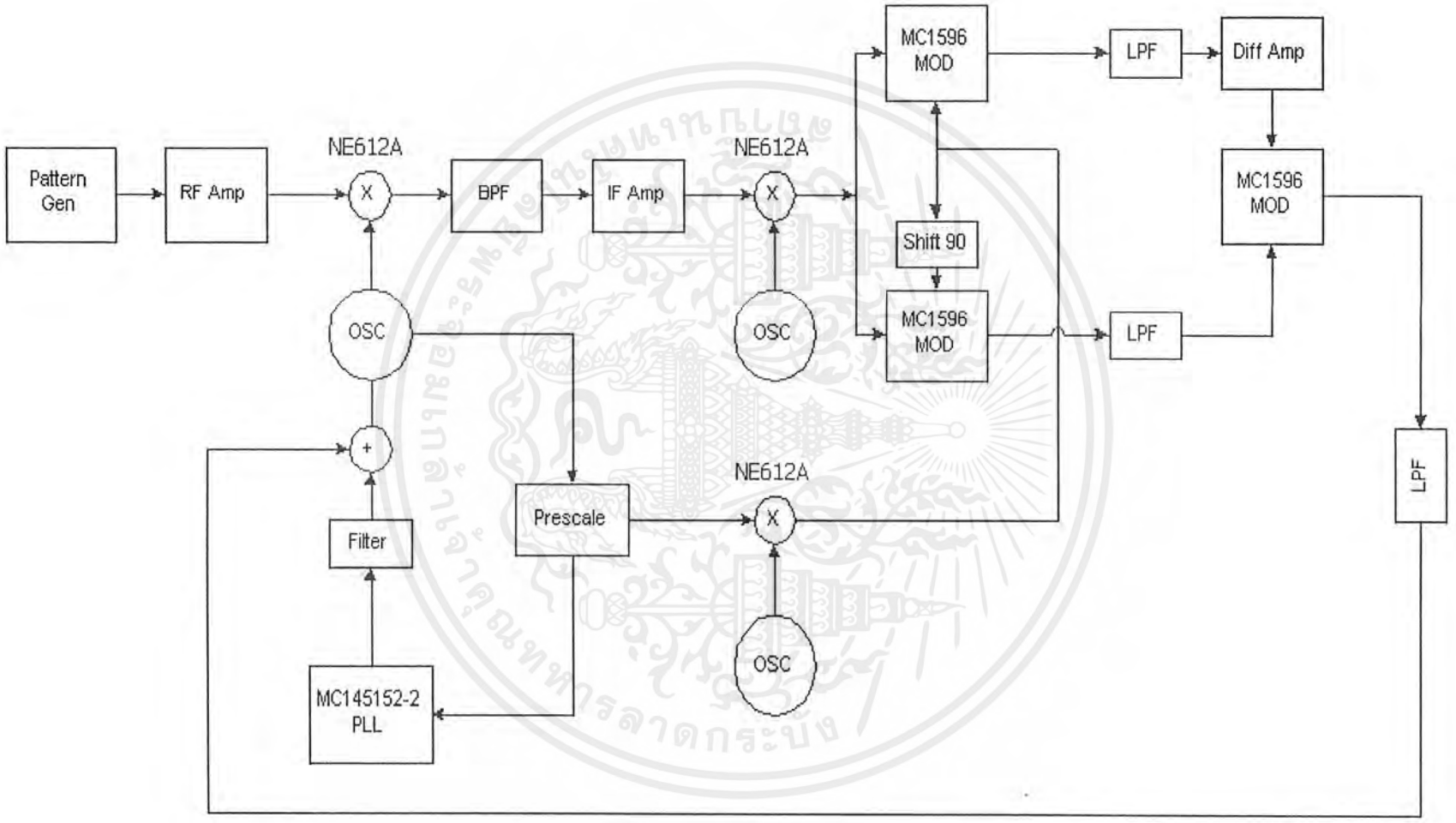
เอกสารอ้างอิง

1. JOHN L. Hilburn and DAVID E.JOHNSON., "MANUAL OF ACTIVE FILTER DESIGN", McGraw – HILL,inc.,1973
2. RAMAKANT A. GATAKWAD., "OP – AMP LINEAR INTEGRATE CIRCUIT".,Prentice – Hall,1988
3. Roland E. Vest, "Phase Lock Loop Theory Design &Application" , 2nd Edition, Newyork, McRowHell
4. Semiconductor Electronic, "วงจรออสซิลเลเตอร์", ฉบับที่ 114, 2/2535
5. โคทม อารียา, "วงจรอิเล็กทรอนิกส์ เล่ม 2" ,ซีเอ็ดยูเคชั่น พ.ศ. 2532
6. พีรศักดิ์ วรสุทโรสถ สิทธิชัย โภโคยอุดม และโตะมิโอ อิวะสะกิ ., "ทฤษฎีการคำนวณวงจรอิเล็กทรอนิกส์", ซีเอ็ดยูเคชั่น,2532

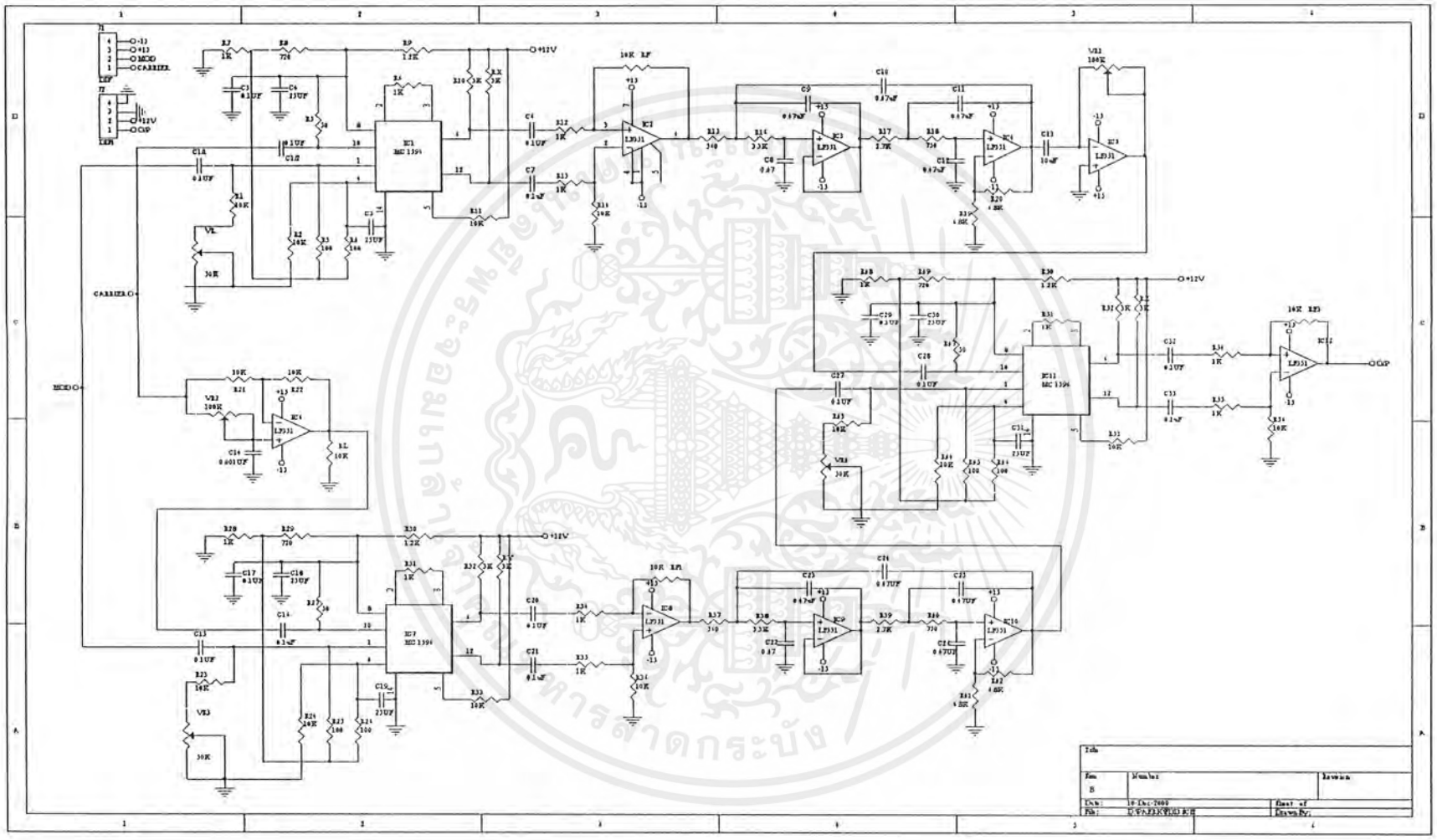
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ภาคผนวก

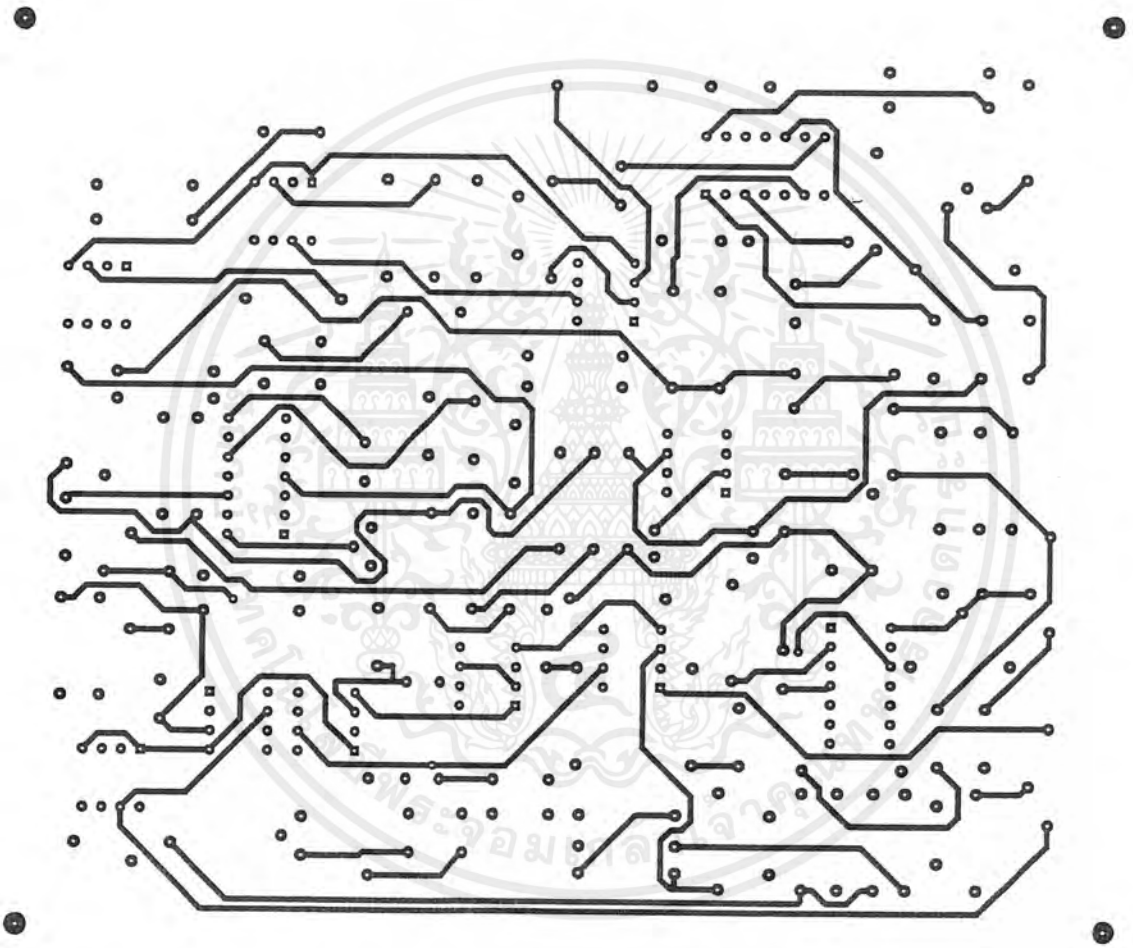
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปบล็อกการทำงานรวม

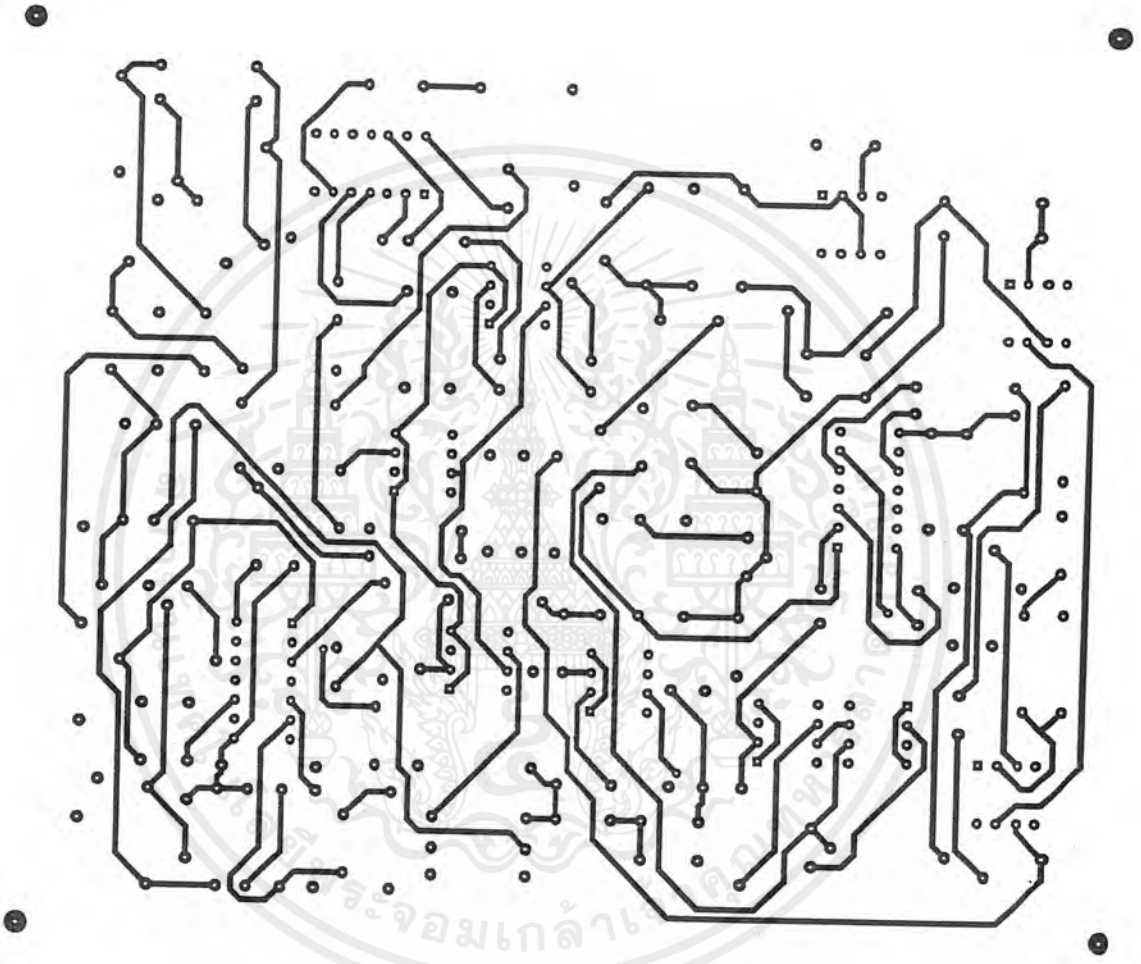


รูปวงจร Frequency Difference Detects



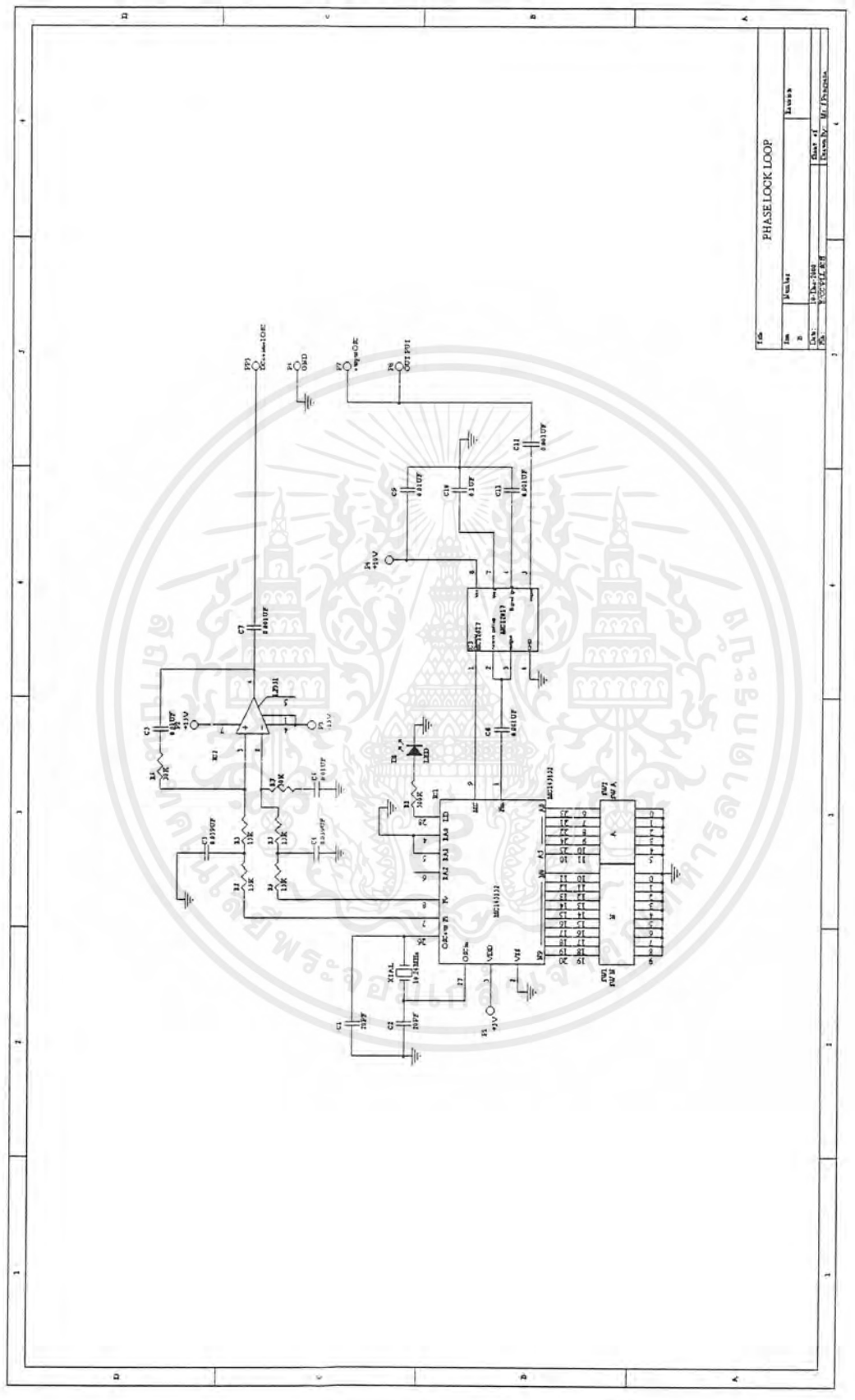
รูปลายปรินท์ของวงจร Frequency Difference Detect (FDD) ด้านบน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



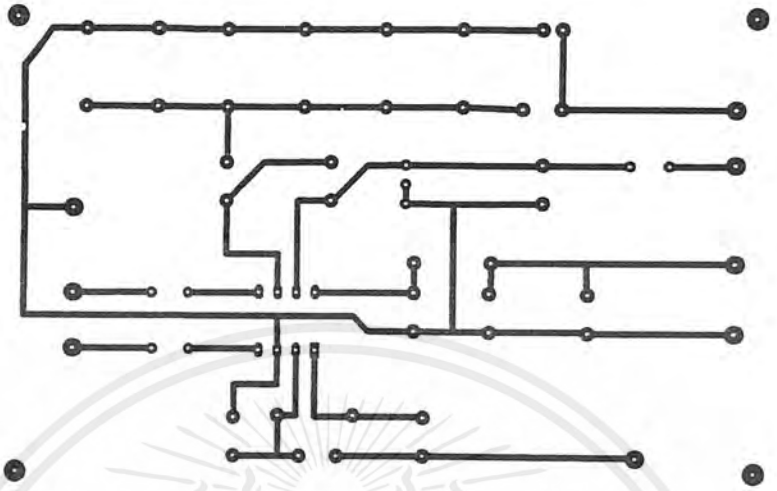
รูปลายปรินท์ของวงจร Frequency Difference Detect (FDD) ด้านล่าง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

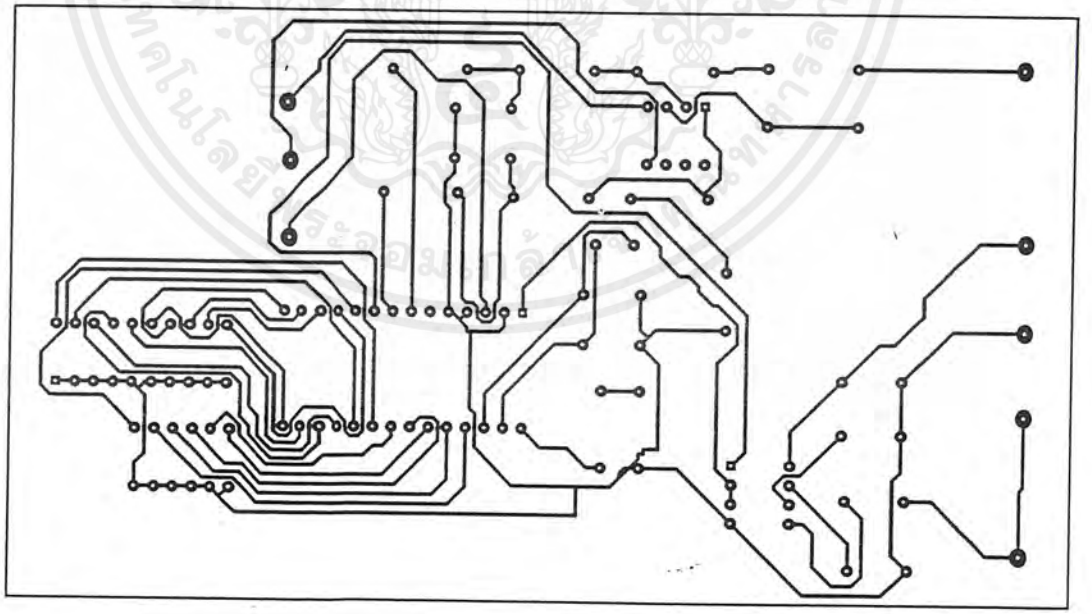


รูปวงจร Phase Lock Loop

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

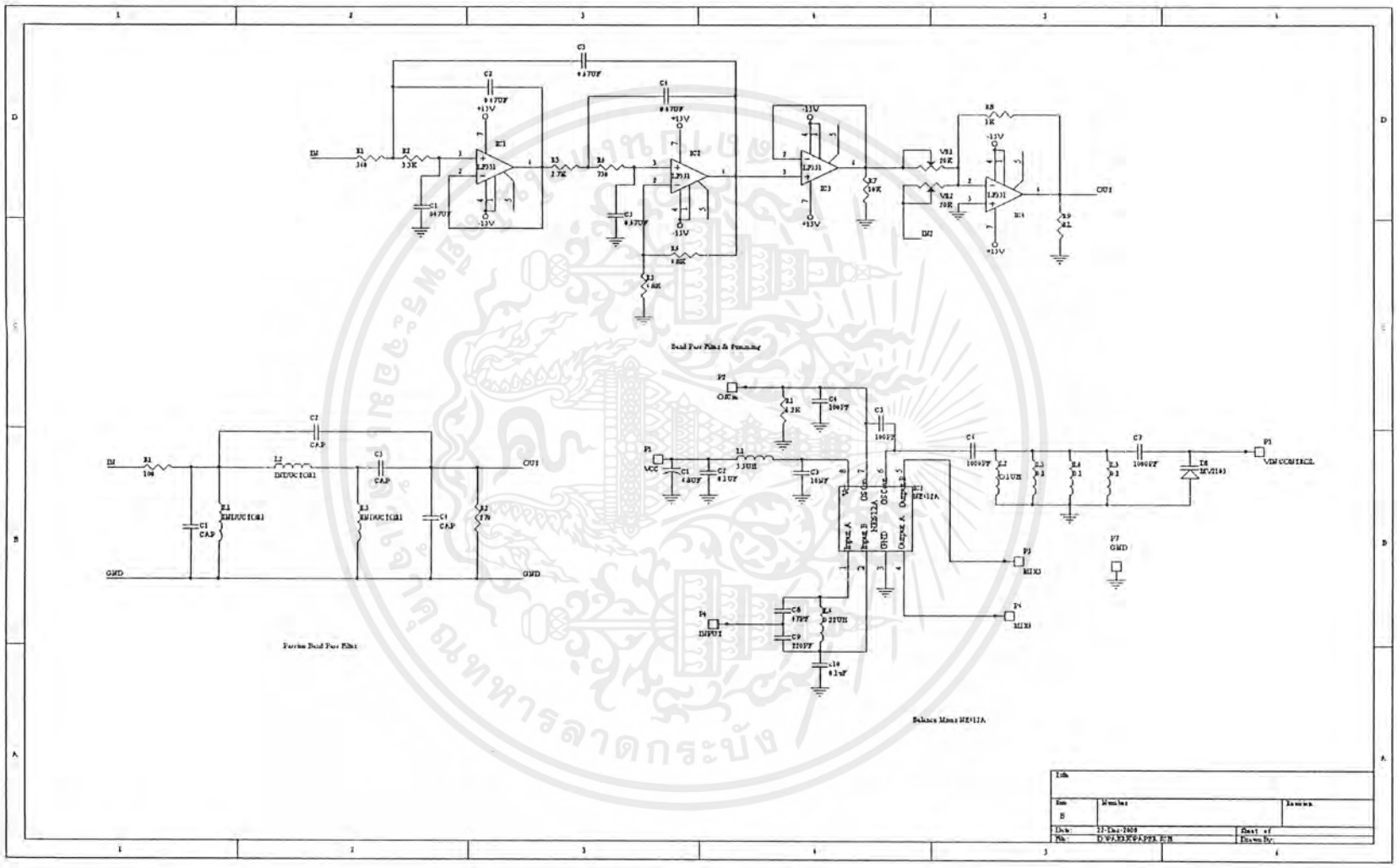


รูปลายปรินท์วงจร Balance Modulator NE612A



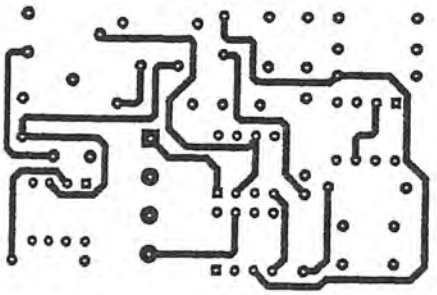
รูปลายปรินท์วงจร Phase Lock Loop

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

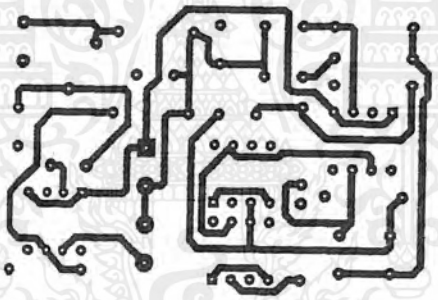


รูปวงจรรวมส่วนต่าง ๆ

ลิขสิทธิ์ของมหาวิทยาลัยราชภัฏราชนครินทร์ ขอสงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น การนำไปใช้ในรูปแบบอื่นๆ ต้องได้รับอนุญาตเป็นลายลักษณ์อักษรจากมหาวิทยาลัยราชภัฏราชนครินทร์ เท่านั้น



รูปลายปรินท์วงจรLow Pass Filter and Summing ด้านบน



รูปลายปรินท์วงจร Low Pass Filter and Summing

รูปลายปรินท์วงจรกรองแถบความถี่ผ่าน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

MOTOROLA
SEMICONDUCTOR
TECHNICAL DATA

LF347
LF351
LF353

2

FAMILY OF BIFET OPERATIONAL AMPLIFIERS
SILICON MONOLITHIC INTEGRATED CIRCUITS

JFET INPUT OPERATIONAL AMPLIFIERS

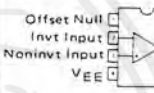
These low cost JFET input operational amplifiers combine two state-of-the-art linear technologies on a single monolithic integrated circuit. Each internally compensated operational amplifier has well matched high voltage JFET input devices for low input offset voltage. The BIFET technology provides wide bandwidths and fast slew rates with low input bias currents, input offset currents, and supply currents.

These devices are available in single, dual and quad operational amplifiers which are pin-compatible with the industry standard MC1741, MC1458, and the MC3403/LM324 bipolar devices.

- Input Offset Voltage of 5.0 mV Max (LF347B)
- Low Input Bias Current – 50 pA
- Low Input Noise Voltage – 16 nV/$\sqrt{Hz}$
- Wide Gain Bandwidth – 4.0 MHz
- High Slew Rate – 13 V/μs
- Low Supply Current – 1.8 mA per Amplifier
- High Input Impedance – 10^{12} Ω
- High Common-Mode and Supply Voltage Rejection Ratios – 100 dB

N SUFFIX
PLASTIC PACKAGE
CASE 626
(LF351, LF353 Only)

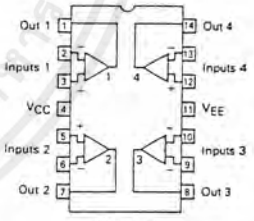
D SUFFIX
PLASTIC PACKAGE
CASE 751
(SO-8)
(LF351, LF353 Only)



LF351
(Top View)

LF353
(Top View)

N SUFFIX
PLASTIC PACKAGE
CASE 646
(LF347 Only)



(Top View)

MAXIMUM RATINGS

Rating	Symbol	Value	Unit
Supply Voltage	V_{CC} V_{EE}	+18 −18	V
Differential Input Voltage	V_{ID}	±30	V
Input Voltage Range (Note 1)	V_{IDR}	±15	V
Output Short Circuit Duration (Note 2)	t_S	Continuous	
Power Dissipation at T_A = +25°C	P_D	900	mW
Derate above T_A = +25°C	$1/\theta JA$	10	mW/°C
Operating Ambient Temperature Range	T_A	0 to +70	°C
Operating Junction Temperature Range	T_J	115	°C
Storage Temperature Range	T_{stg}	−65 to +150	°C

NOTES:

1. Unless otherwise specified, the absolute maximum negative input voltage is limited to the negative power supply.

2. Any amplifier output can be shorted to ground indefinitely. However, if more than one amplifier output is shorted simultaneously, maximum junction temperature ratings may be exceeded.

ORDERING INFORMATION

Function	Device	Package
Single	LF351D	SO-8
Single	LF351N	Plastic DIP
Dual	LF353D	SO-8
Dual	LF353N	Plastic DIP
Quad	LF347BN	Plastic DIP
Quad	LF347N	Plastic DIP

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ELECTRICAL CHARACTERISTICS (V_{CC} = +15 V, V_{EE} = −15 V, T_A = 25°C unless otherwise noted).

Characteristic	Symbol	LF347B			LF347, LF351, LF353			Unit
		Min	Typ	Max	Min	Typ	Max	
Input Offset Voltage ($R_S \leq 10$ k, V_{CM} = 0) T_A = +25°C 0°C ≤ T_A ≤ +70°C	V_{IO}	— —	1.0 —	5.0 8.0	— —	5.0 —	10 13	mV
Average Temperature Coefficient of Input Offset Voltage $R_S \leq 10$ k, 0°C ≤ T_A ≤ +70°C	$\Delta V_{IO}/\Delta T$	—	10	—	—	10	—	μV/°C
Input Offset Current (V_{CM} = 0, Note 3) T_A = +25°C 0°C ≤ T_A ≤ +70°C	I_{IO}	— —	25 —	100 4.0	— —	25 —	100 4.0	pA nA
Input Bias Current (V_{CM} = 0, Note 3) T_A = +25°C 0°C ≤ T_A ≤ +70°C	I_{IB}	— —	50 —	200 8.0	— —	50 —	200 8.0	pA nA
Input Resistance	r_i	—	10^{12}	—	—	10^{12}	—	Ω
Common Mode Input Voltage Range	V_{ICR}	±11	+15 −12	—	±11	+15 −12	—	V
Large-Signal Voltage Gain (V_O = ±10 V, R_L = 2.0 k) T_A = +25°C 0°C ≤ T_A ≤ +70°C	A_{VOL}	50 25	100 —	— —	25 15	100 —	— —	V/mV
Output Voltage Swing (R_L = 10 k)	V_O	±12	±14	—	±12	±14	—	V
Common Mode Rejection Ratio ($R_S \leq 10$ k)	CMRR	80	100	—	70	100	—	dB
Supply Voltage Rejection Ratio ($R_S \leq 10$ k)	PSRR	80	100	—	70	100	—	dB
Supply Current LF347 LF351 LF353	I_D	— — —	7.2 — —	11 — —	— — —	7.2 1.8 3.6	11 3.4 6.5	mA
Slew Rate (A_V = +1)	SR	—	13	—	—	13	—	V/μs
Gain-Bandwidth Product	BWp	—	4.0	—	—	4.0	—	MHz
Equivalent Input Noise Voltage (R_S = 100 Ω, f = 1000 Hz)	e_n	—	24	—	—	24	—	nV/√Hz
Equivalent Input Noise Current (f = 1000 Hz)	i_n	—	0.01	—	—	0.01	—	pA/√Hz
Channel Separation (LF347, LF353) 1.0 Hz ≤ f ≤ 20 kHz (Input Referred)	—	—	−120	—	—	−120	—	dB

For Typical Characteristic Performance Curves, refer to MC34001/34002/34004 data sheet.

NOTES: (continued)

3. Input bias currents of JFET input op amps approximately double for every 10°C rise in junction temperature. To maintain junction temperatures as close to ambient as is possible, pulse techniques are utilized during test.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ポリパナー。

11 – 23 – 99

MC145152-2

Parallel-Input PLL Frequency Synthesizer

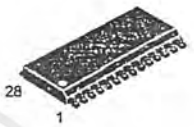
Interfaces with Dual–Modulus Prescalers

The MC145152–2 is programmed by sixteen parallel inputs for the N and A counters and three input lines for the R counter. The device features consist of a reference oscillator, selectable–reference divider, two–output phase detector, 10–bit programmable divide–by–N counter, and 6–bit programmable + A counter.

The MC145152–2 is an improved–performance drop–in replacement for the MC145152–1. Power consumption has decreased and ESD and latch–up performance have improved.

- Operating Temperature Range: – 40 to 85°C
- Low Power Consumption Through Use of CMOS Technology
- 3.0 to 9.0 V Supply Range
- On– or Off–Chip Reference Oscillator Operation
- Lock Detect Signal
- Dual Modulus/Parallel Programming
- 8 User–Selectable ÷ R Values: 8, 64, 128, 256, 512, 1024, 1160, 2048
- ÷ N Range = 3 to 1023, ÷ A Range = 0 to 63
- Chip Complexity: 8000 FETs or 2000 Equivalent Gates
- See Application Note AN980

P SUFFIX
PLASTIC DIP
CASE 710

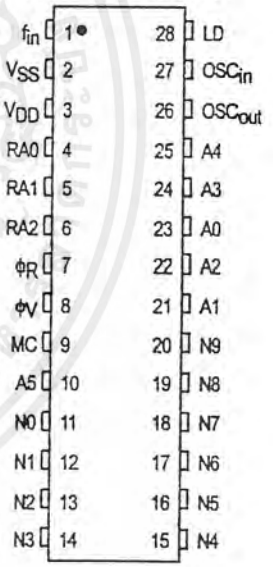


DW SUFFIX
SOG PACKAGE
CASE 751F

ORDERING INFORMATION

MC145152P2	Plastic DIP
MC145152DW2	SOG Package

PIN ASSIGNMENT

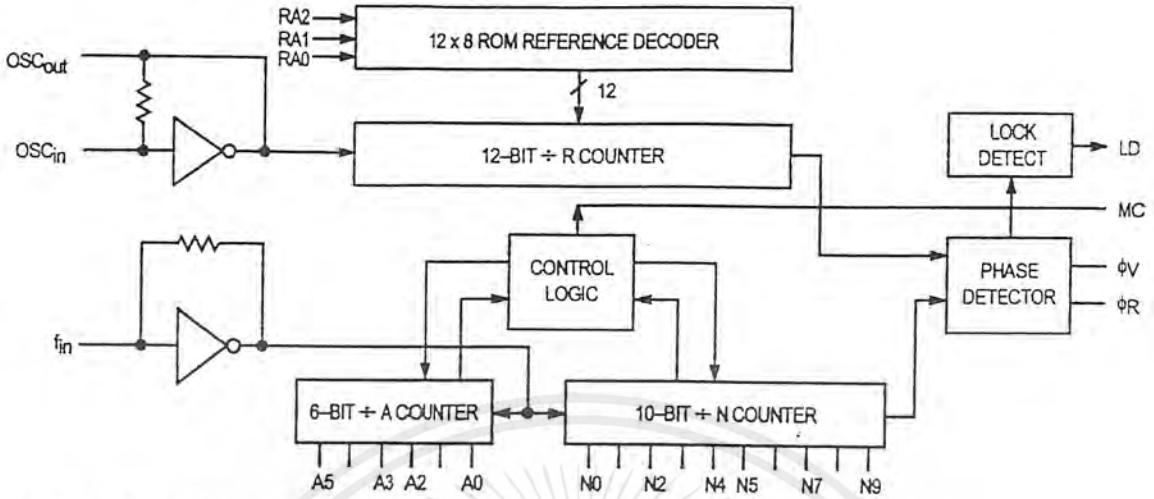


REV 1
8/95

© Motorola, Inc. 1995

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้ง

MC145152–2 BLOCK DIAGRAM



NOTE: N0 – N9, A0 – A5, and RA0 – RA2 have pull–up resistors that are not shown.

PIN DESCRIPTIONS

INPUT PINS

f_{in}
Frequency Input (Pin 1)

Input to the positive edge triggered ÷ N and ÷ A counters. f_{in} is typically derived from a dual–modulus prescaler and is ac coupled into the device. For larger amplitude signals (standard CMOS logic levels) dc coupling may be used.

RA0, RA1, RA2
Reference Address Inputs (Pins 4, 5, 6)

These three inputs establish a code defining one of eight possible divide values for the total reference divider. The total reference divide values are as follows:

Reference Address Code			Total Divide Value
RA2	RA1	RA0	
0	0	0	8
0	0	1	64
0	1	0	128
0	1	1	256
1	0	0	512
1	0	1	1024
1	1	0	1160
1	1	1	2048

N0 – N9
N Counter Programming Inputs (Pins 11 – 20)

The N inputs provide the data that is preset into the ÷ N counter when it reaches the count of 0. N0 is the least significant digit and N9 is the most significant. Pull–up resistors ensure that inputs left open remain at a logic 1 and require only a SPST switch to alter data to the zero state.

A0 – A5
A Counter Programming Inputs (Pins 23, 21, 22, 24, 25, 10)

The A inputs define the number of clock cycles of f_{in} that require a logic 0 on the MC output (see **Dual–Modulus Prescaling** section). The A inputs all have internal pull–up resistors that ensure that inputs left open will remain at a logic 1.

OSC_{in}, OSC_{out}
Reference Oscillator Input/Output (Pins 27, 26)

These pins form an on–chip reference oscillator when connected to terminals of an external parallel resonant crystal. Frequency setting capacitors of appropriate value must be connected from OSC_{in} to ground and OSC_{out} to ground. OSC_{in} may also serve as the input for an externally–generated reference signal. This signal is typically ac coupled to OSC_{in}, but for larger amplitude signals (standard CMOS logic levels) dc coupling may also be used. In the external reference mode, no connection is required to OSC_{out}.

OUTPUT PINS

φR, φV
Phase Detector B Outputs (Pins 7, 8)

These phase detector outputs can be combined externally for a loop–error signal.

If the frequency f_V is greater than f_R or if the phase of f_V is leading, then error information is provided by φV pulsing low. φR remains essentially high.

If the frequency f_V is less than f_R or if the phase of f_V is lagging, then error information is provided by φR pulsing low. φV remains essentially high.

If the frequency of $f_V = f_R$ and both are in phase, then both φV and φR remain high except for a small minimum time period when both pulse low in phase.

MC
Dual–Modulus Prescale Control Output (Pin 9)

Signal generated by the on–chip control logic circuitry for controlling an external dual–modulus prescaler. The MC level will be low at the beginning of a count cycle and will remain low until the ÷ A counter has counted down from its programmed value. At this time, MC goes high and remains high until the ÷ N counter has counted the rest of the way down from its programmed value (N – A additional counts since both ÷ N and ÷ A are counting down during the first

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

portion of the cycle). MC is then set back low, the counters preset to their respective programmed values, and the above sequence repeated. This provides for a total programmable divide value (N_T) = N • P + A where P and P + 1 represent the dual–modulus prescaler divide values respectively for high and low MC levels, N the number programmed into the + N counter, and A the number programmed into the + A counter.

LD
Lock Detector Output (Pin 28)

Essentially a high level when loop is locked (f_R, f_V of same phase and frequency). Pulses low when loop is out of lock.

POWER SUPPLY

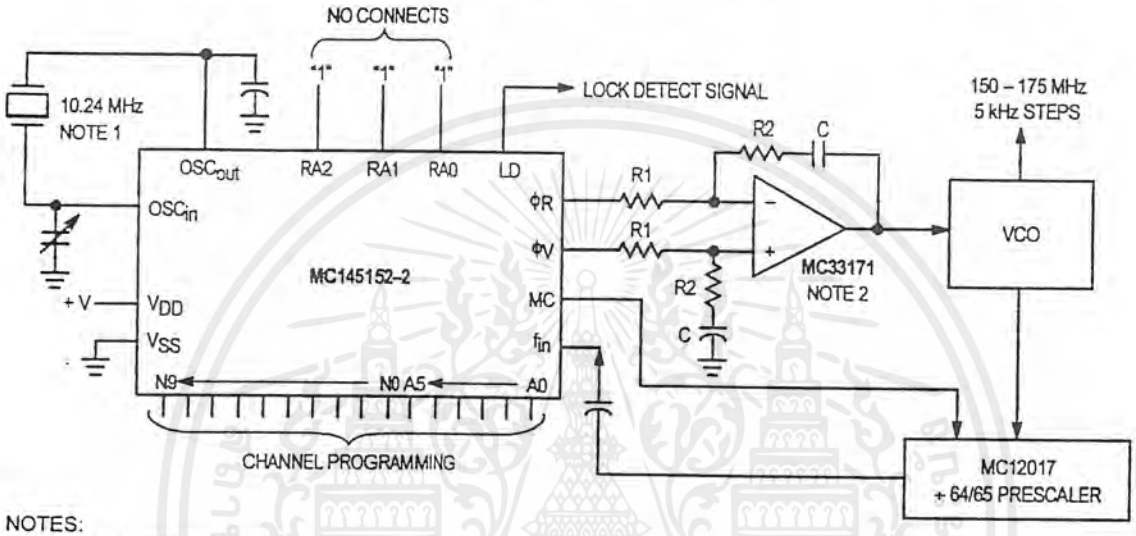
V_{DD}
Positive Power Supply (Pin 3)

The positive power supply potential. This pin may range from + 3 to + 9 V with respect to V_{SS}.

V_{SS}
Negative Power Supply (Pin 2)

The most negative supply potential. This pin is usually ground.

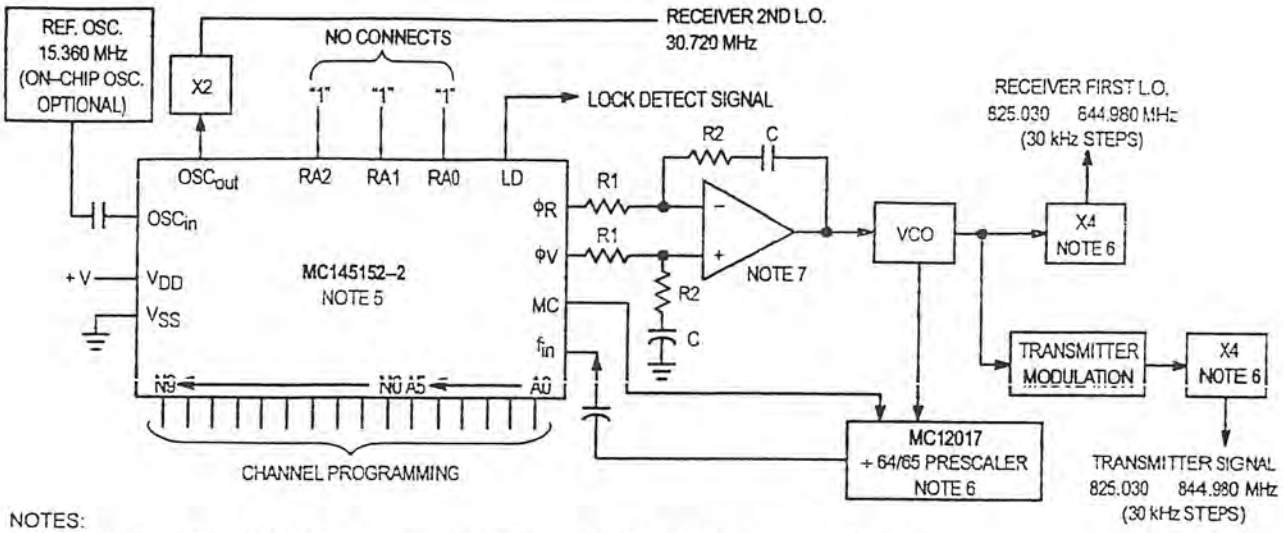
TYPICAL APPLICATIONS



NOTES:
1. Off–chip oscillator optional.
2. The ϕ_R and ϕ_V outputs are fed to an external combiner/loop filter. See the Phase–Locked Loop — Low–Pass Filter Design page for additional information. The ϕ_R and ϕ_V outputs swing rail–to–rail. Therefore, the user should be careful not to exceed the common mode input range of the op amp used in the combiner/loop filter.

Figure 1. Synthesizer for Land Mobile Radio VHF Bands

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



NOTES:

1. Receiver 1st I.F. = 45 MHz, low side injection; Receiver 2nd I.F. = 11.7 MHz, low side injection.
2. Duplex operation with 45 MHz receiver/transmit separation.
3. f_R = 7.5 kHz; ÷ R = 2048.
4. N_{total} = N • 64 + A = 27501 to 28166; N = 429 to 440; A = 0 to 63.
5. MC145158–2 may be used where serial data entry is desired.
6. High frequency prescalers (e.g., MC12018 [520 MHz] and MC12022 [1 GHz]) may be used for higher frequency VCO and f_{ref} implementations.
7. The ϕ_R and ϕ_V outputs are fed to an external combiner/loop filter. See the Phase–Locked Loop — Low–Pass Filter Design page for additional information. The ϕ_R and ϕ_V outputs swing rail–to–rail. Therefore, the user should be careful not to exceed the common mode input range of the op amp used in the combiner/loop filter.

Figure 2. 666–Channel, Computer–Controlled, Mobile Radiotelephone Synthesizer for 800 MHz Cellular Radio Systems

High-Stability 2 GHz Steel Continued on Page 23

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

MOTOROLA
SEMICONDUCTOR
TECHNICAL DATA

MC1496
MC1596

BALANCED MODULATOR/DEMODULATOR

BALANCED MODULATOR/ DEMODULATOR

. . . designed for use where the output voltage is a product of an input voltage (signal) and a switching function (carrier). Typical applications include suppressed carrier and amplitude modulation, synchronous detection, FM detection, phase detection, and chopper applications. See Motorola Application Note AN-531 for additional design information.

- Excellent Carrier Suppression – 65 dB typ @ 0.5 MHz
  – 50 dB typ @ 10 MHz
- Adjustable Gain and Signal Handling
- Balanced Inputs and Outputs
- High Common Mode Rejection – 85 dB typ

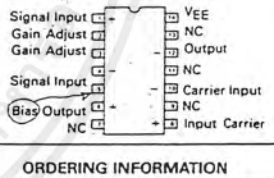
G SUFFIX
METAL PACKAGE
CASE 603

L SUFFIX
CERAMIC PACKAGE
CASE 632

D SUFFIX
PLASTIC PACKAGE
CASE 751A
(SO-14)

P SUFFIX
PLASTIC PACKAGE
CASE 646

PIN ASSIGNMENTS



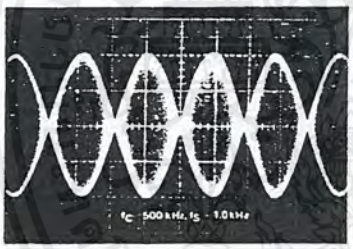


FIGURE 1 – SUPPRESSED CARRIER OUTPUT WAVEFORM

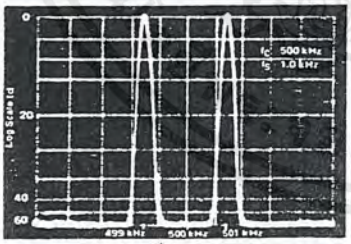


FIGURE 2 – SUPPRESSED CARRIER SPECTRUM

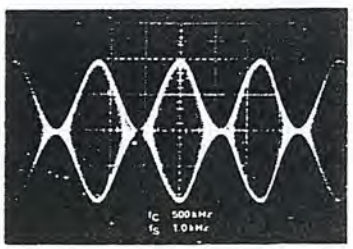
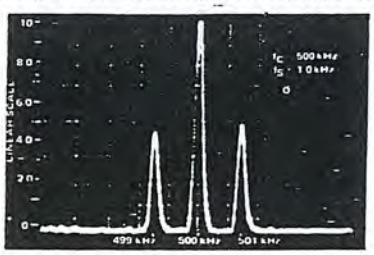


FIGURE 3 – AMPLITUDE MODULATION OUTPUT WAVEFORM

ORDERING INFORMATION

Device	Temperature Range	Package
MC1496D	0°C to +70°C	SO-14
MC1496G		Metal Can
MC1496L		Ceramic DIP
MC1496P		Plastic DIP
MC1596G	–55°C to +125°C	Metal Can
MC1596L		Ceramic DIP

FIGURE 4 – AMPLITUDE-MODULATION SPECTRUM



8

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

MAXIMUM RATINGS* (T_A = +25°C unless otherwise noted)

Rating	Symbol	Value	Unit
Applied Voltage ($V_6 - V_7$, $V_8 - V_1$, $V_9 - V_7$, $V_9 - V_8$, $V_7 - V_4$, $V_7 - V_1$, $V_8 - V_4$, $V_6 - V_8$, $V_2 - V_5$, $V_3 - V_5$)	ΔV	30	Vdc
Differential Input Signal	$V_7 - V_8$ $V_4 - V_1$	+5.0 $\pm(5 + I_5R_e)$	Vdc
Maximum Bias Current	I_5	10	mA
Thermal Resistance, Junction to Air Ceramic Dual In-Line Package Plastic Dual In-Line Package Metal Package	$R_{\theta JA}$	 100 100 160	°C/W
Operating Temperature Range MC1496 MC1596	T_A	 0 to +70 −55 to +125	°C
Storage Temperature Range	T_{stg}	−65 to +150	°C

ELECTRICAL CHARACTERISTICS* (V_{CC} = +12 Vdc, V_{EE} = −8.0 Vdc, I_5 = 1.0 mAdc, R_L = 3.9 kΩ, R_e = 1.0 kΩ, T_A = +25°C, all input and output characteristics are single-ended, unless otherwise noted.)

Characteristic	Fig.	Note	Symbol	MC1596 Min	MC1596 Typ	MC1596 Max	MC1496 Min	MC1496 Typ	MC1496 Max	Unit
Carrier Feedthrough V_C = 60 mV(rms) sine wave and offset adjusted to zero f_C = 1.0 kHz	5	1	V_{CFT}	—	40	—	—	40	—	μV(rms)
f_C = 10 MHz				—	140	—	—	140	—	
V_C = 300 mVp-p square wave: offset adjusted to zero f_C = 1.0 kHz				—	0.04	0.2	—	0.04	0.4	mV(rms)
offset not adjusted f_C = 1.0 kHz				—	20	100	—	20	200	
Carrier Suppression f_S = 10 kHz, 300 mV(rms) f_C = 500 kHz, 60 mV(rms) sine wave	5	2	V_{CS}	50	65	—	40	65	—	dB
f_C = 10 MHz, 60 mV(rms) sine wave				—	50	—	—	50	—	k
Transadmittance Bandwidth (Magnitude) (R_L = 50 ohms) Carrier Input Port, V_C = 60 mV(rms) sine wave f_S = 1.0 kHz, 300 mV(rms) sine wave	8	8	BW_{3dB}	—	300	—	—	300	—	MHz
Signal Input Port, V_S = 300 mV(rms) sine wave $\lvert V_C\rvert$ = 0.5 Vdc				—	80	—	—	80	—	
Signal Gain V_S = 100 mV(rms), f = 1.0 kHz; $\lvert V_C\rvert$ = 0.5 Vdc	10	3	A_{VS}	2.5	3.5	—	2.5	3.5	—	V/V
Single-Ended Input Impedance, Signal Port, f = 5.0 MHz Parallel Input Resistance	6	—	r_{ip}	—	200	—	—	200	—	kΩ
Parallel Input Capacitance			c_{ip}	—	2.0	—	—	2.0	—	pF
Single-Ended Output Impedance, f = 10 MHz Parallel Output Resistance	6	—	r_{op}	—	40	—	—	40	—	kΩ
Parallel Output Capacitance			c_{oo}	—	5.0	—	—	5.0	—	pF
Input Bias Current $I_{bS} = \frac{I_1 + I_4}{2}$; $I_{bC} = \frac{I_7 + I_8}{2}$	7	—	I_{bS}	—	12	25	—	12	30	μA
			I_{bC}	—	12	25	—	12	30	
Input Offset Current $I_{ioS} = I_1 - I_4$; $I_{ioC} = I_7 - I_8$	7	—	$\lvert I_{ioS}\rvert$	—	0.7	5.0	—	0.7	7.0	μA
			$\lvert I_{ioC}\rvert$	—	0.7	5.0	—	0.7	7.0	
Average Temperature Coefficient of Input Offset Current (T_A = −55°C to +125°C)	7	—	$\lvert TC_{Iio}\rvert$	—	2.0	—	—	2.0	—	nA/°C
Output Offset Current ($I_6 - I_9$)	7	—	$\lvert I_{oo}\rvert$	—	14	50	—	14	80	μA
Average Temperature Coefficient of Output Offset Current (T_A = −55°C to +125°C)	7	—	$\lvert TC_{Ioo}\rvert$	—	90	—	—	90	—	nA/°C
Common-Mode Input Swing, Signal Port, f_S = 1.0 kHz	9	4	CMV	—	5.0	—	—	5.0	—	Vp-p
Common-Mode Gain, Signal Port, f_S = 1.0 kHz, $\lvert V_C\rvert$ = 0.5 Vdc	9	—	ACM	—	−85	—	—	−85	—	dB
Common-Mode Quiescent Output Voltage (Pin 6 or Pin 9)	10	—	V_{out}	—	8.0	—	—	8.0	—	Vp-p
Differential Output Voltage Swing Capability	10	—	V_{out}	—	8.0	—	—	8.0	—	Vp-p
Power Supply Current $I_6 + I_9$	7	6	I_{CC}	—	2.0	3.0	—	2.0	4.0	mAdc
I_{10}			I_{EE}	—	3.0	4.0	—	3.0	5.0	
DC Power Dissipation	7	5	P_D	—	33	—	—	33	—	mW

* Pin number references pertain to this device when packaged in a metal can. To ascertain the corresponding pin numbers for plastic or ceramic packaged devices refer to the first page of this specification sheet.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

GENERAL OPERATING INFORMATION*

Carrier Feedthrough

Carrier feedthrough is defined as the output voltage at carrier frequency with only the carrier applied (signal voltage = 0).

Carrier null is achieved by balancing the currents in the differential amplifier by means of a bias trim potentiometer (R_1 of Figure 5).

Carrier Suppression

Carrier suppression is defined as the ratio of each sideband output to carrier output for the carrier and signal voltage levels specified.

Carrier suppression is very dependent on carrier input level, as shown in Figure 22. A low value of the carrier does not fully switch the upper switching devices, and results in lower signal gain, hence lower carrier suppression. A higher than optimum carrier level results in unnecessary device and circuit carrier feedthrough, which again degenerates the suppression figure. The MC1596 has been characterized with a 60 mV(rms) sinewave carrier input signal. This level provides optimum carrier suppression at carrier frequencies in the vicinity of 500 kHz, and is generally recommended for balanced modulator applications.

Carrier feedthrough is independent of signal level, V_S. Thus carrier suppression can be maximized by operating with large signal levels. However, a linear operating mode must be maintained in the signal-input transistor pair — or harmonics of the modulating signal will be generated and appear in the device output as spurious sidebands of the suppressed carrier. This requirement places an upper limit on input-signal amplitude (see Figure 20). Note also that an optimum carrier level is recommended in Figure 22 for good carrier suppression and minimum spurious sideband generation.

At higher frequencies circuit layout is very important in order to minimize carrier feedthrough. Shielding may be necessary in order to prevent capacitive coupling between the carrier input leads and the output leads.

Signal Gain and Maximum Input Level

Signal gain (single-ended) at low frequencies is defined as the voltage gain,

$$A_{VS} = \frac{V_o}{V_S} = \frac{R_L}{R_e + 2r_e} \text{ where } r_e = \frac{26\text{ mV}}{I_5\text{ (mA)}}$$

A constant dc potential is applied to the carrier input terminals to fully switch two of the upper transistors "on" and two transistors "off" (V_C = 0.5 Vdc). This in effect forms a cascode differential amplifier.

Linear operation requires that the signal input be below a critical value determined by R_E and the bias current I_5.

$$V_S \leq I_5 R_E \text{ (Volts peak)}$$

Note that in the test circuit of Figure 10, V_S corresponds to a maximum value of 1 volt peak.

Common Mode Swing

The common-mode swing is the voltage which may be applied to both bases of the signal differential amplifier, without saturating the current sources or without saturating the differential amplifier itself by swinging it into the upper switching devices. This swing is variable depending on the particular circuit and biasing conditions chosen.

Power Dissipation

Power dissipation, P_D, within the integrated circuit package should be calculated as the summation of the voltage-current products at each port, i.e. assuming $V_9 = V_6$, $I_5 = I_6 = I_9$ and ignoring base current, $P_D = 2 I_5 (V_6 - V_{10}) + I_5 (V_5 - V_{10})$ where subscripts refer to pin numbers.

Design Equations

The following is a partial list of design equations needed to operate the circuit with other supply voltages and input conditions.

A. Operating Current

The internal bias currents are set by the conditions at pin 5. Assume:

$$I_5 = I_6 = I_9$$

$$I_B << I_C \text{ for all transistors}$$

then:

$$R_5 = \frac{V - \phi}{I_5} - 500\ \Omega$$

where: R_5 is the resistor between pin 5 and ground

ϕ = 0.75 V at T_A = +25°C

The MC1596 has been characterized for the condition I_5 = 1.0 mA and is the generally recommended value.

B. Common-Mode Quiescent Output Voltage

$$V_6 = V_9 = V^+ - I_5 R_L$$

Biasing

The MC1596 requires three dc bias voltage levels which must be set externally. Guidelines for setting up these three levels include maintaining at least 2 volts collector-base bias on all transistors while not exceeding the voltages given in the absolute maximum rating table;

$$30\text{ Vdc} \geq [(V_6, V_9) - (V_7, V_8)] \geq 2\text{ Vdc}$$

$$30\text{ Vdc} \geq [(V_7, V_8) - (V_1, V_4)] \geq 2.7\text{ Vdc}$$

$$30\text{ Vdc} \geq [(V_1, V_4) - (V_5)] \geq 2.7\text{ Vdc}$$

The foregoing conditions are based on the following approximations:

$$V_6 = V_9,\ V_7 = V_8,\ V_1 = V_4$$

Bias currents flowing into pins 1, 4, 7, and 8 are transistor base currents and can normally be neglected if external bias dividers are designed to carry 1.0 mA or more.

Transadmittance Bandwidth

Carrier transadmittance bandwidth is the 3 dB bandwidth of the device forward transadmittance as defined by:

$$Y_{21C} = \left.\frac{i_o\text{ (each sideband)}}{v_s\text{ (signal)}}\right| V_o = 0$$

Signal transadmittance bandwidth is the 3 dB bandwidth of the device forward transadmittance as defined by:

$$Y_{21S} = \left.\frac{i_o\text{ (signal)}}{v_s\text{ (signal)}}\right| V_c = 0.5\text{ Vdc}, V_o = 0$$

*Pin number references pertain to this device when packaged in a metal can. To ascertain the corresponding pin numbers for plastic or ceramic packaged devices refer to the first page of this specification sheet.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Coupling and Bypass Capacitors C_1 and C_2

Capacitors C_1 and C_2 (Figure 5) should be selected for a reactance of less than 5.0 ohms at the carrier frequency.

Output Signal, V_o

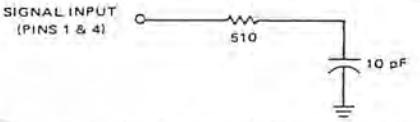
The output signal is taken from pins 6 and 9, either balanced or single-ended. Figure 12 shows the output levels of each of the two output sidebands resulting from variations in both the carrier and modulating signal inputs with a single-ended output connection.

Negative Supply, V_{EE}

V_{EE} should be dc only. The insertion of an RF choke in series with V_{EE} can enhance the stability of the internal current sources.

Signal Port Stability

Under certain values of driving source impedance, oscillation may occur. In this event, an RC suppression network should be connected directly to each input using short leads. This will reduce the Q of the source-tuned circuits that cause the oscillation.



An alternate method for low-frequency applications is to insert a 1 kOhm resistor in series with the inputs, pins 1 and 4. In this case input current drift may cause serious degradation of carrier suppression.

TEST CIRCUITS*

*Pin number references pertain to this device when packaged in a metal can. To ascertain the corresponding pin numbers for plastic or ceramic packaged devices refer to the first page of this specification sheet.

FIGURE 5 – CARRIER REJECTION AND SUPPRESSION

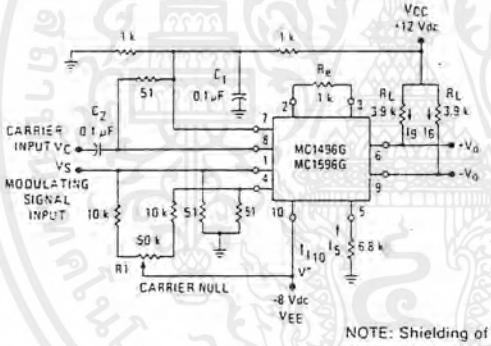
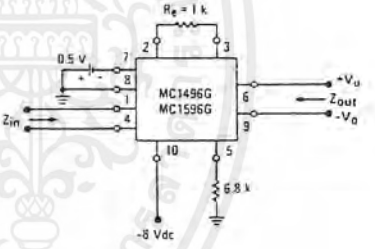


FIGURE 6 – INPUT-OUTPUT IMPEDANCE



NOTE: Shielding of input and output leads may be needed to properly perform these tests.

FIGURE 7 – BIAS AND OFFSET CURRENTS

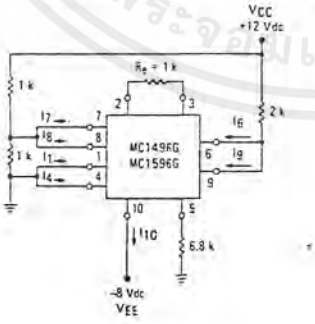
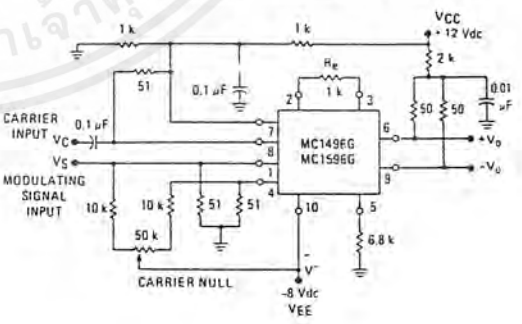


FIGURE 8 – TRANSCONDUCTANCE BANDWIDTH



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

TEST CIRCUITS (continued)

FIGURE 9 – COMMON MODE GAIN

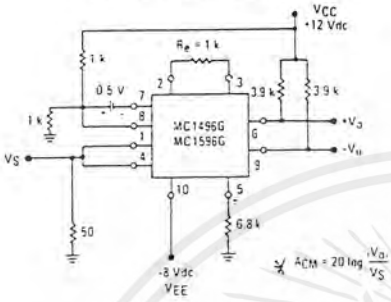
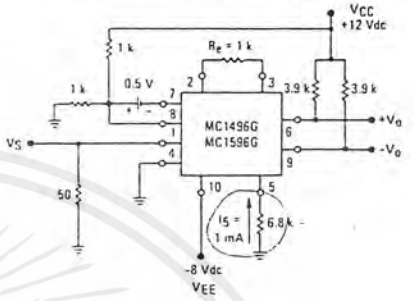


FIGURE 10 – SIGNAL GAIN AND OUTPUT SWING



TYPICAL CHARACTERISTICS

Typical characteristics were obtained with circuit shown in Figure 5, f_C = 500 kHz (sine wave), V_C = 60 mV(rms), f_S = 1 kHz, V_S = 300 mV(rms), T_A = +25°C unless otherwise noted.

FIGURE 11 – SIDEBAND OUTPUT versus CARRIER LEVELS

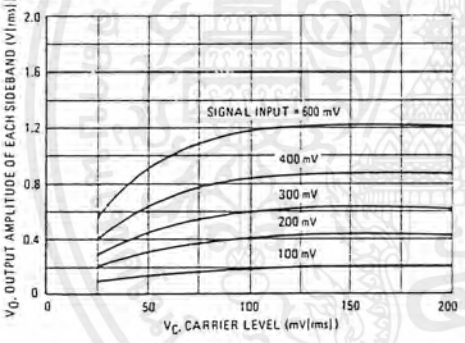


FIGURE 12 – SIGNAL-PORT PARALLEL-EQUIVALENT INPUT RESISTANCE versus FREQUENCY

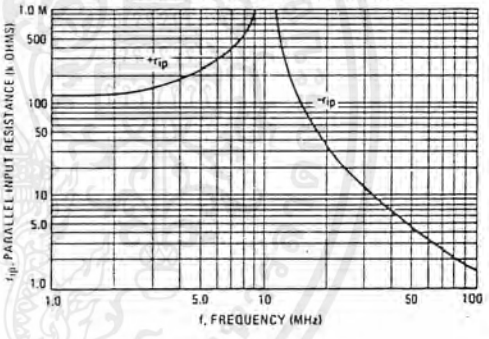


FIGURE 13 – SIGNAL-PORT PARALLEL-EQUIVALENT INPUT CAPACITANCE versus FREQUENCY

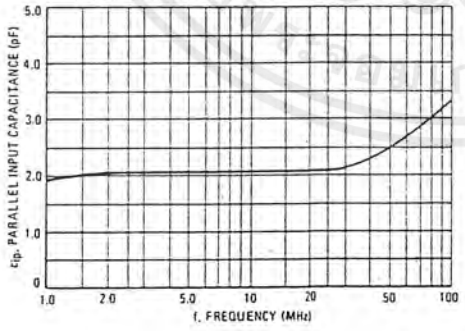
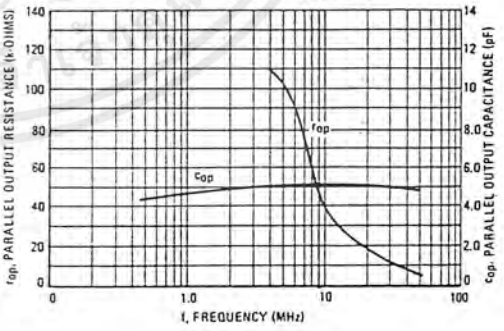


FIGURE 14 – SINGLE-ENDED OUTPUT IMPEDANCE versus FREQUENCY



8

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

TYPICAL CHARACTERISTICS (continued)

Typical characteristics were obtained with circuit shown in Figure 5, f_C = 500 kHz (sine wave), V_C = 60 mV(rms), f_S = 1 kHz, V_S = 300 mV(rms), T_A = +25°C unless otherwise noted.

FIGURE 15 – SIDEBAND AND SIGNAL PORT TRANSADMITTANCES versus FREQUENCY

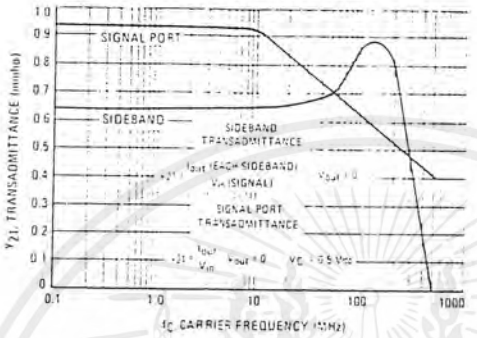


FIGURE 16 – CARRIER SUPPRESSION versus TEMPERATURE

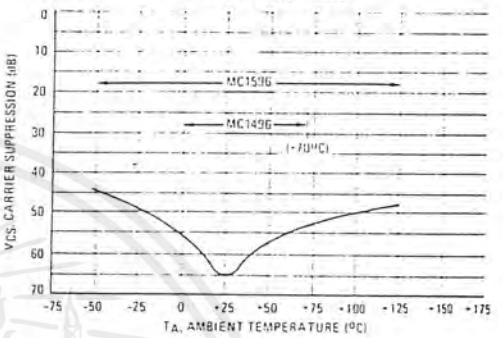


FIGURE 17 – SIGNAL-PORT FREQUENCY RESPONSE

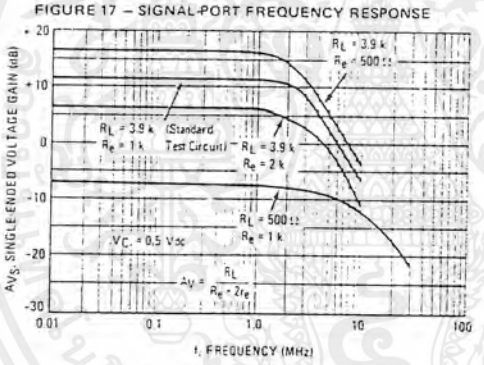


FIGURE 18 – CARRIER SUPPRESSION versus FREQUENCY

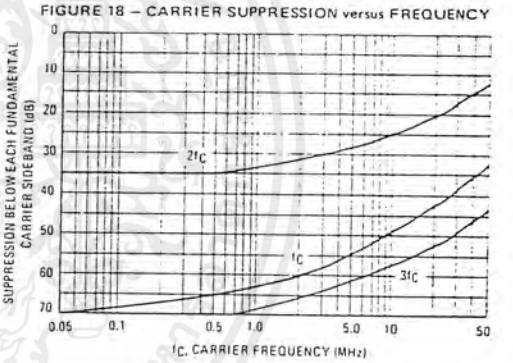


FIGURE 19 – CARRIER FEEDTHROUGH versus FREQUENCY

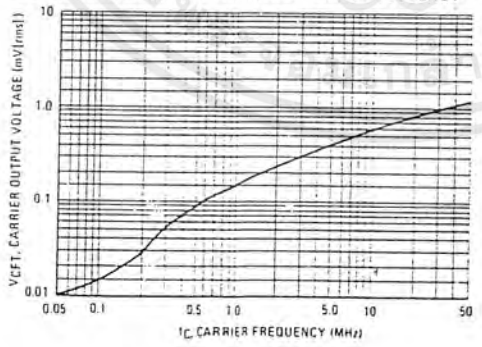
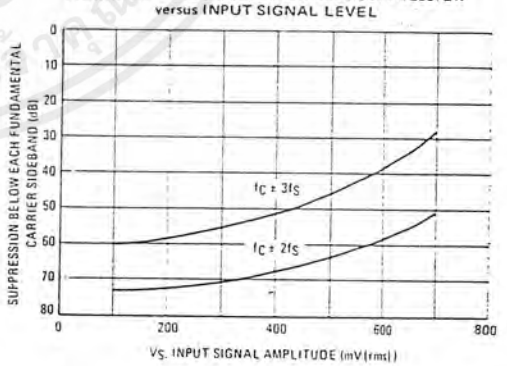


FIGURE 20 – SIDEBAND HARMONIC SUPPRESSION versus INPUT SIGNAL LEVEL



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

TYPICAL CHARACTERISTICS (continued)

FIGURE 21 – SUPPRESSION OF CARRIER HARMONIC SIDEBANDS versus CARRIER FREQUENCY

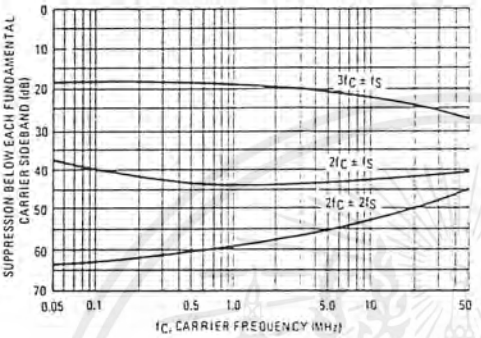
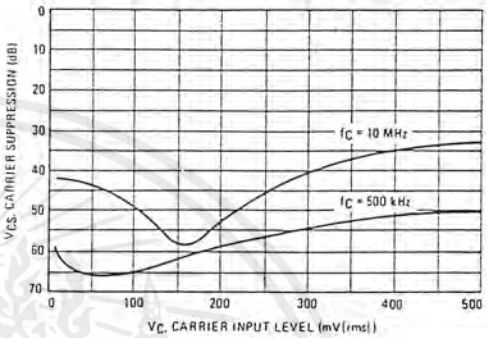


FIGURE 22 – CARRIER SUPPRESSION versus CARRIER INPUT LEVEL



OPERATIONS INFORMATION

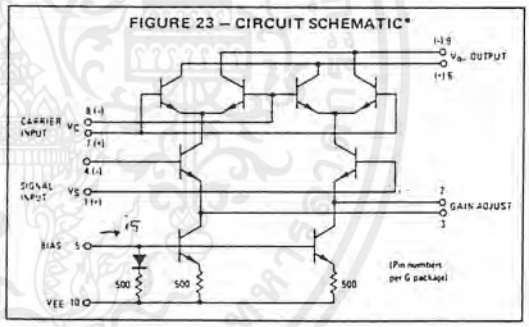
The MC1596/MC1496, a monolithic balanced modulator circuit, is shown in Figure 23.

This circuit consists of an upper quad differential amplifier driven by a standard differential amplifier with dual current sources. The output collectors are cross-coupled so that full-wave balanced multiplication of the two input voltages occurs. That is, the output signal is a constant times the product of the two input signals.

Mathematical analysis of linear ac signal multiplication indicates that the output spectrum will consist of only the sum and difference of the two input frequencies. Thus, the device may be used as a balanced modulator, doubly balanced mixer, product detector, frequency doubler, and other applications requiring these particular output signal characteristics.

The lower differential amplifier has its emitters connected to the package pins so that an external emitter resistance may be used. Also, external load resistors are employed at the device output.

FIGURE 23 – CIRCUIT SCHEMATIC*



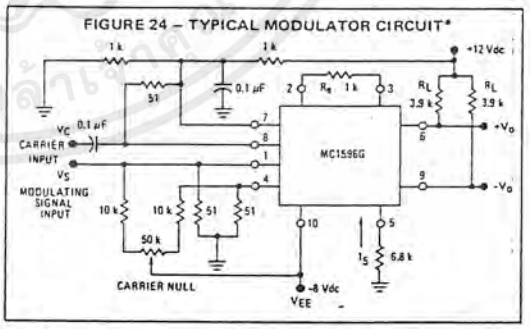
Signal Levels

The upper quad differential amplifier may be operated either in a linear or a saturated mode. The lower differential amplifier is operated in a linear mode for most applications.

For low-level operation at both input ports, the output signal will contain sum and difference frequency components and have an amplitude which is a function of the product of the input signal amplitudes.

For high-level operation at the carrier input port and linear operation at the modulating signal port, the output signal will contain sum and difference frequency components of the modulating signal frequency and the fundamental and odd harmonics of the carrier frequency. The output amplitude will be a constant times the modulating signal amplitude. Any amplitude variations in the carrier signal will not appear in the output.

FIGURE 24 – TYPICAL MODULATOR CIRCUIT*



*Pin number references pertain to this device when packaged in a metal can. To ascertain the corresponding pin numbers for plastic or ceramic packaged devices refer to the first page of this specification sheet.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

OPERATIONS INFORMATION (continued)

The linear signal handling capabilities of a differential amplifier are well defined. With no emitter degeneration, the maximum input voltage for linear operation is approximately 25 mV peak. Since the upper differential amplifier has its emitters internally connected, this voltage applies to the carrier input port for all conditions.

Since the lower differential amplifier has provisions for an external emitter resistance, its linear signal handling range may be adjusted by the user. The maximum input voltage for linear operation may be aproximated from the following expression:

$$V = (I_5)(R_E) \text{ volts peak.}$$

This expression may be used to compute the minimum value of R_E for a given input voltage amplitude.

FIGURE 25 – TABLE 1
VOLTAGE GAIN AND OUTPUT FREQUENCIES

Carrier Input Signal (V_C)	Approximate Voltage Gain	Output Signal Frequency(s)
Low-level dc	$\frac{R_L V_C}{2(R_E + 2r_e)\left(\frac{KT}{q}\right)}$	f_M
High-level dc	$\frac{R_L}{R_E + 2r_e}$	f_M
Low-level ac	$\frac{R_L V_C(rms)}{2\sqrt{2}\left(\frac{KT}{q}\right)(R_E + 2r_e)}$	$f_C \pm f_M$
High-level ac	$\frac{0.637\ R_L}{R_E + 2r_e}$	$f_C \pm f_M$, $3f_C \pm f_M$, $5f_C \pm f_M$, ...

The gain from the modulating signal input port to the output is the MC1596/MC1496 gain parameter which is most often of interest to the designer. This gain has significance only when the lower differential amplifier is operated in a linear mode, but this includes most applications of the device.

As previously mentioned, the upper quad differential amplifier may be operated either in a linear or a saturated mode. Approximate gain expressions have been developed for the MC1596/MC1496 for a low-level modulating signal input and the following carrier input conditions:

1) Low-level dc
2) High-level dc
3) Low-level ac
4) High-level ac

These gains are summarized in Table 1, along with the frequency components contained in the output signal.

NOTES:
1. Low-level Modulating Signal, V_M, assumed in all cases. V_C is Carrier Input Voltage.
2. When the output signal contains multiple frequencies, the gain expression given is for the output amplitude of each of the two desired outputs, $f_C + f_M$ and $f_C - f_M$.
3. All gain expressions are for a single-ended output. For a differential output connection, multiply each expression by two.
4. R_L = Load resistance.
5. R_E = Emitter resistance between pins 2 and 3.
6. r_e = Transistor dynamic emitter resistance, at +25°C:
$$r_e \approx \frac{26\ mV}{I_5\ (mA)}$$
7. K = Boltzmann's Constant, T = temperature in degrees Kelvin, q = the charge on an electron.
$$\frac{KT}{q} \approx 26\ mV \text{ at room temperature}$$

APPLICATIONS INFORMATION

Double sideband suppressed carrier modulation is the basic application of the MC1596/MC1496. The suggested circuit for this application is shown on the front page of this data sheet.

In some applications, it may be necessary to operate the MC1596/MC1496 with a single dc supply voltage instead of dual supplies. Figure 26 shows a balanced modulator designed for operation with a single +12 Vdc supply. Performance of this circuit is similar to that of the dual supply modulator.

AM Modulator

The circuit shown in Figure 27 may be used as an amplitude modulator with a minor modification.

All that is required to shift from suppressed carrier to AM operation is to adjust the carrier null potentiometer for the proper amount of carrier insertion in the output signal.

However, the suppressed carrier null circuitry as shown in Figure 27 does not have sufficient adjustment range. Therefore, the modulator may be modified for AM operation by changing two resistor values in the null circuit as shown in Figure 28.

Product Detector

The MC1596/MC1496 makes an excellent SSB product detector (see Figure 29).

This product detector has a sensitivity of 3.0 microvolts and a dynamic range of 90 dB when operating at an intermediate frequency of 9 MHz.

The detector is broadband for the entire high frequency range. For operation at very low intermediate frequencies down to 50 kHz the 0.1 μF capacitors on pins 7 and 8 should be increased to 1.0 μF. Also, the output filter at pin 9 can be tailored to a specific intermediate frequency and audio amplifier input impedance.

As in all applications of the MC1596/MC1496, the emitter resistance between pins 2 and 3 may be increased or decreased to adjust circuit gain, sensitivity, and dynamic range.

This circuit may also be used as an AM detector by introducing carrier signal at the carrier input and an AM signal at the SSB input.

The carrier signal may be derived from the intermediate frequency signal or generated locally. The carrier signal may be introduced with or without modulation, provided its level is sufficiently high to saturate the upper quad differential amplifier. If the carrier signal is modulated, a 300 mV(rms) input level is recommended.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

APPLICATIONS INFORMATION (continued)

Doubly Balanced Mixer

The MC1596/MC1496 may be used as a doubly balanced mixer with either broadband or tuned narrow band input and output networks.

The local oscillator signal is introduced at the carrier input port with a recommended amplitude of 100 mV(rms).

Figure 30 shows a mixer with a broadband input and a tuned output.

Frequency Doubler

The MC1596/MC1496 will operate as a frequency doubler by introducing the same frequency at both input ports.

Figures 31 and 32 show a broadband frequency doubler and a tuned output very high frequency (VHF) doubler, respectively.

Phase Detection and FM Detection

The MC1596/MC1496 will function as a phase detector. High-level input signals are introduced at both inputs. When both inputs are at the same frequency the MC1596/MC1496 will deliver an output which is a function of the phase difference between the two input signals.

An FM detector may be constructed by using the phase detector principle. A tuned circuit is added at one of the inputs to cause the two input signals to vary in phase as a function of frequency. The MC1596/MC1496 will then provide an output which is a function of the input signal frequency.

TYPICAL APPLICATIONS

Pin number references pertain to this device when packaged in a metal can. To ascertain the corresponding pin numbers for plastic or ceramic packaged devices refer to the first page of this specification sheet.

FIGURE 26 – BALANCED MODULATOR (+12 Vdc SINGLE SUPPLY)

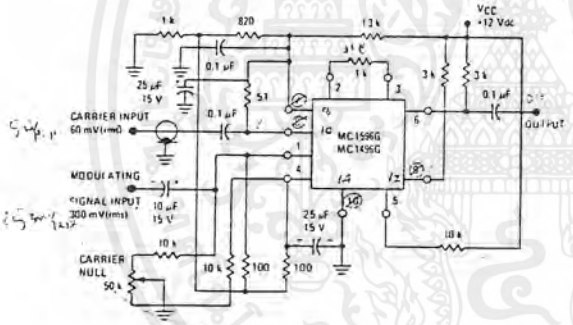


FIGURE 27 – BALANCED MODULATOR-DEMODULATOR

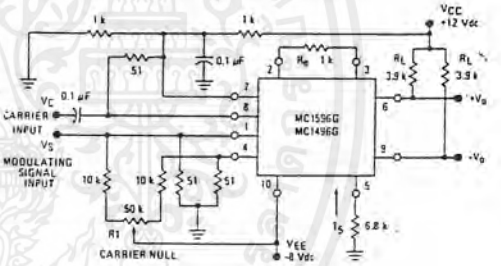


FIGURE 28 – AM MODULATOR CIRCUIT

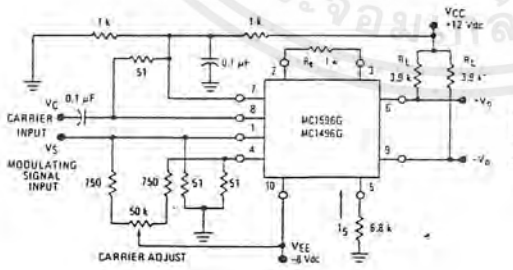
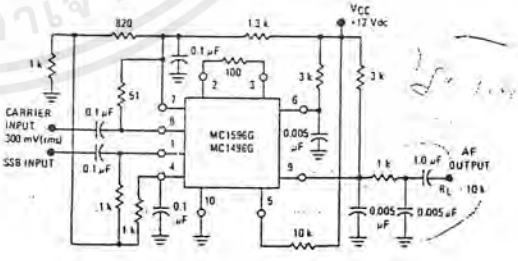


FIGURE 29 – PRODUCT DETECTOR (+12 Vdc SINGLE SUPPLY)



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

TYPICAL APPLICATIONS (continued)

Pin number references pertain to this device when packaged in a metal can. To ascertain the corresponding pin numbers for plastic or ceramic packaged devices refer to the first page of this specification sheet.

FIGURE 30 – DOUBLY BALANCED MIXER
(BROADBAND INPUTS, 9.0 MHz TUNED OUTPUT)

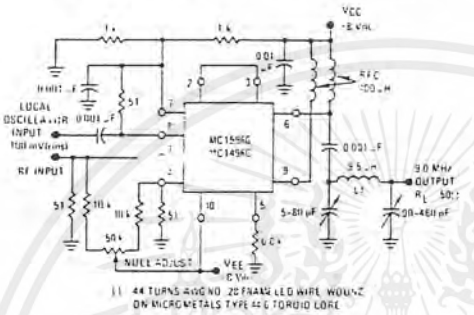


FIGURE 31 – LOW-FREQUENCY DOUBLER

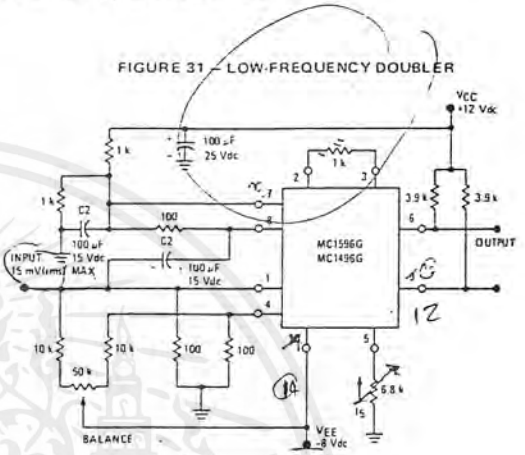
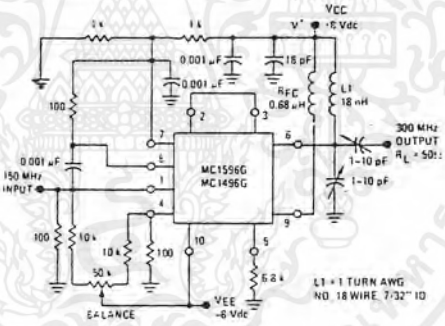
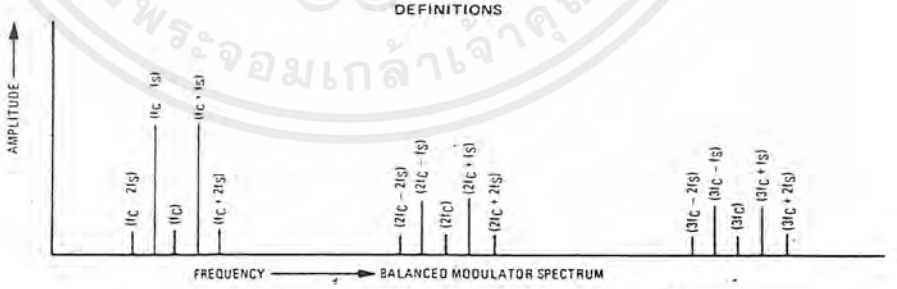


FIGURE 32 – 150 to 300 MHz DOUBLER



DEFINITIONS



f_C CARRIER FUNDAMENTAL
f_S MODULATING SIGNAL
$f_C \pm f_S$ FUNDAMENTAL CARRIER SIDEBANDS
$f_C \pm nf_S$ FUNDAMENTAL CARRIER SIDEBAND HARMONICS
nf_C CARRIER HARMONICS
$nf_C \pm nf_S$ CARRIER HARMONIC SIDEBANDS

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้