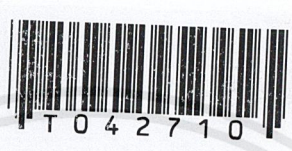
สำนักหอสมุดกลาง พระจอมเกล้าลาดกระบัง

วงจรสังเคราะห์ความถี่ย่าน VHF

VHF FREQUENCY SYNTHESIZER



โดย

นายสุจินต์ วงษ์ชู

นายทวีศักดิ์ อริยชาติ

นายประมวล นวลยาง

เลขหมู่.....
เลขทะเบียน 42710
วัน, เดือน, ปี 7 มิ.ย. 2545

.b.....
.i.....

ปริญญานิพนธ์นี้เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรปริญญาวิศวกรรมศาสตรบัณฑิต

สาขาวิชาอิเล็กทรอนิกส์

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

ปีการศึกษา 2543

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

วงจรสังเคราะห์ความถี่ย่าน VHF

VHF FREQUENCY SYNTHESIZER

โดย

นายสุจินต์ วงษ์ชู 41013196

นายทวีศักดิ์ อริยชาติ 41013171

นายประมวล นวลยาง 41013219

อาจารย์ที่ปรึกษา

ผศ.ประภากร สุวรรณะ

ปริญญานิพนธ์นี้เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรปริญญาวิศวกรรมศาสตรบัณฑิต

สาขาวิชาอิเล็กทรอนิกส์

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

ปีการศึกษา 2543

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รายงานเรื่อง วงจรสังเคราะห์ความถี่ย่าน VHF

VHF FREQUENCY SYNTHESIZER

โดย

นายสุจินต์	วงษ์ชู	41013196
นายทวีศักดิ์	อริยชาติ	41013171
นายประมวล	นวลยาง	41013219

อาจารย์ที่ปรึกษา

ผศ.ประภากร สุวรรณะ

ปริญญานิพนธ์ฉบับนี้ได้ได้ทำการตรวจสอบโดยอาจารย์ที่ปรึกษาแล้ว

ลงชื่อ .....อาจารย์ที่ปรึกษา

(ผศ.ประภากร สุวรรณะ)

11 / เม.ย / 2544

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

วงจรสังเคราะห์ความถี่ย่าน VHF

นายสุจินต์ วงษ์ชู
นายทวีศักดิ์ อริยชาติ
นายประมวล นวลยาง
ผศ.ประภากร สุวรรณะ (อาจารย์ที่ปรึกษา)
ภาคการศึกษาที่ 2 ปีการศึกษา 2543

บทคัดย่อ

เฟสล็อคลูปซินธิไซเซอร์ เป็นวงจรที่ใช้ผลิตความถี่ตามที่ต้องการ โดยการโปรแกรมค่าแบบดิจิตอล โครงงานนี้ได้อธิบายถึงการสร้างและการออกแบบวงจรเฟสล็อคลูปซินธิไซเซอร์ ช่วงความถี่ 30 ถึง 120 เมกกะเฮริตซ์ ซึ่งจะสามารถปรับความถี่ได้ขั้นละ 10 กิโลเฮริตซ์ เฟสล็อคลูปจะใช้ไอซีเบอร์ MC145152-2 ซึ่งมีการควบคุมการหารแบบขนาน โดยในโครงงานนี้จะใช้ไมโครคอนโทลเลอร์เป็นตัวควบคุม และจะต้องใช้วงจรปรีสเกลเลอร์มาใช้ในการหารความถี่ของวีซีโอ เนื่องจากไอซีเฟสล็อคลูปสามารถรับความถี่ได้สูงสุดเพียง 20 เมกกะเฮริตซ์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

VHF FREQUENCY SYNTHESIZER

Mr.Sujin Wongchu

Mr.Taweesak Ariyachad

Mr.Pramual Nualyang

Asst.Prof. Prapakorn Suwanna (Advisor)

2nd Semester,Academic year 2000.

Abstract

A Phase Locked Loop Synthesizer is a circuit used for generating a signal at desired frequencies by digital programming. The thesis describes the design and construction of the PLL Synthesizer of 30 MHz to 120 MHz with resolution of 10 KHz per step. The PLL chip is MC145152-2, parallel input PLL frequency synthesizer. This project uses microcontroller to control the desired frequencies and devided by prescaler circuit to convert vco's frequencies. since the PLL chip can be used with the maximum frequency of 20 MHz.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

กิตติกรรมประกาศ

เนื่องด้วยความสำเร็จของโครงงานนี้ คณะผู้จัดทำขอขอบพระคุณ ผศ. ประภากร สุวรรณะ ซึ่งเป็นอาจารย์ที่ปรึกษาของโครงงานนี้ ที่ได้ให้คำปรึกษา และ คำแนะนำ ตลอดจนเจ้าของตำราที่ที่คณะผู้จัดทำได้นำมาศึกษาอ้างอิงในโครงงานนี้ และผู้มีส่วนให้ความช่วยเหลือ ให้คำแนะนำ จนทำให้โครงงานนี้สำเร็จลุล่วงไปได้ด้วยดี

.....
(สุจินต์ วงษ์ชู)
.....
(ทวีศักดิ์ อริยชาติ)
.....
(ประมวล นวลยาง)

คณะผู้จัดทำ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญชื่อเรื่อง

เรื่อง	หน้า
บทคัดย่อภาษาไทย	I
บทคัดย่อภาษาอังกฤษ	II
กิตติกรรมประกาศ	III
สารบัญชื่อเรื่อง	IV
สารบัญรูปภาพ	VI
สารบัญตาราง	VII
บทที่ 1 บทนำ	1
บทที่ 2 ทฤษฎีหรือหลักการ	2
2.1 ระบบสังเคราะห์ความถี่แบบที่ใช้เฟสล็อคลูป	2
2.1.1 ระบบเฟสล็อคลูป	4
2.1.2 การหาทรานส์เฟอร์ฟังก์ชั่นของระบบเฟสล็อคลูป	11
2.2 วงจรออสซิลเลเตอร์ (oscillator)	12
2.2.1 หลักการของวงจรออซิลเลเตอร์	13
2.2.2วงจรออสซิลเลเตอร์แบบควบคุมความถี่ด้วยแรงดัน (VCO)	15
2.3 พินไดโอด	16
2.4 คุณสมบัติทั่วไปของไมโครคอนโทรลเลอร์ MCS-51	17
2.5 โครงสร้างของไมโครคอนโทรลเลอร์ตระกูล MCS-51	19
2.6 ตำแหน่งขาของ MCS-51	20
2.7 โครงสร้างภายในของ MCS-51	23
2.8 หน่วยความจำสำหรับเก็บโปรแกรม	24
2.9 หน่วยความจำสำหรับเก็บข้อมูล	25
2.10 รีจิสเตอร์ใช้งานเฉพาะ	25
2.11 รีจิสเตอร์สำหรับใช้งานทั่วไป	26
2.12 โครงสร้างพอร์ตของ MCS-51	27
2.13 ไทม์เมอร์/เคาน์เตอร์	27
2.14 พอร์ตสื่อสารข้อมูลแบบอนุกรม	28

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 3 การคำนวณและการสร้าง 29
3.1 การทดลองในส่วนของ VCO 29
3.2 การออกแบบวงจร VCO 30
3.3 พรีสเกลเลอร์แบบสองโมดูลัส 32
3.4 วงจรเปรียบเทียบเฟส 33
3.5 วงจร Loop Filter 36
บทที่ 4 ผลการทดลอง 39
4.1 ระบบสังเคราะห์ความถี่แบบเฟสล็อคลูป 39
4.1.1 วงจรสังเคราะห์ความถี่ 30-60 เมกกะเฮิรตซ์ 39
4.1.2 วงจรสังเคราะห์ความถี่ 60-120 เมกกะเฮิรตซ์ 43
4.2 ผลการวัดสัญญาณที่ Output ของวงจร 48
บทที่ 5 บทสรุปและวิจารณ์ 54
บรรณานุกรม
ภาคผนวก

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญรูปภาพ

	หน้า
รูปที่ 2.1 แสดงบล็อคไดอะแกรมของวงจรสังเคราะห์ความถี่ที่ใช้เฟสล็อคลูป	3
รูปที่ 2.2 แสดงบล็อกไดอะแกรมของวงจรเฟสล็อคลูป	4
รูปที่ 2.3 a ผลต่างเฟสเมื่อความถี่เท่ากัน	5
รูปที่ 2.3 b ผลต่างเฟสเมื่อความถี่อินพุทไม่เท่ากัน	6
รูปที่ 2.4 แสดงบล็อคไดอะแกรมของทรานส์เฟอร์ฟังก์ชั่นของเฟสล็อคลูป	11
รูปที่ 2.5 แสดงวงจร positive feedback	13
รูปที่ 2.6 แสดงการเกิดออสซิลเลท	14
รูปที่ 2.7 แสดงวงจร วีซีโอ	15
รูปที่ 2.8 แสดงโครงสร้างของพินไดโอด	16
รูปที่ 2.9 แสดงตำแหน่งขาของชิปไมโครคอนโทรลเลอร์ตระกูล MCS-51 เบอร์ 8051	20
รูปที่ 2.10 แสดงโครงสร้างของชิปไมโครคอนโทรลเลอร์	24
รูปที่ 2.11 แสดงโครงสร้างและตำแหน่งของรีจิสเตอร์ใช้งานเฉพาะใน MCS-51	26
รูปที่ 3.1 แสดงบล๊อคไดอะแกรม ของระบบสังเคราะห์ความถี่แบบที่ใช้เฟสล็อคลูป	29
รูปที่ 3.2 แสดงวงจรการต่ออุปกรณ์ของ VCO	30
รูปที่ 3.3 แสดงวงจรแท็งค์จูน	30
รูปที่ 3.4 แสดงการต่อวงจร VCO โดยใช้ไอซี MC1648P	32
รูปที่ 3.5 แสดงวงจรหารพรีสเกลเลอร์	33
รูปที่ 3.6 แสดงการเปรียบเทียบความถี่อ้างอิง และความถี่อินพุท	35
รูปที่ 3.7 แสดงวงจร Loop Filter	37
รูปที่ 3.8 แสดงวงจรของ 30-120 MHz Frequency Synthesizer	38
รูปที่ 4.1 กราฟแสดง แรงดันวีซีโอ และ แรงดันเอ้าท์พุทที่ความถี่ 30 – 60 MHz	40
รูปที่ 4.2 กราฟแสดง ความถี่ที่ต้องการ และ ความถี่ที่ได้จากการทดลอง	40
รูปที่ 4.3 แสดงสัญญาณเปรียบเทียบจากวงจรวีซีโอและวงจรฟรีสเกล	41
รูปที่ 4.4 แสดงเอาท์พุทของเฟสเทคเตอร์และสัญญาณที่ขา LD	42
รูปที่ 4.5 กราฟแสดง แรงดันวีซีโอ และ แรงดันเอ้าท์พุทที่ความถี่ 60 – 120 MHz	44
รูปที่ 4.6 กราฟแสดง ความถี่ที่ต้องการ และ ความถี่ที่ได้จากการทดลอง	44
รูปที่ 4.7 แสดงสัญญาณเปรียบเทียบจากวงจร วีซีโอ และวงจรฟรีสเกลเลอร์	45
รูปที่ 4.8 แสดงเอาท์พุทของเฟสดีเทคเตอร์และสัญญาณที่ขา LD	45

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รูปที่ 4.9 แสดงขนาดของเปคตรัมของสัญญาณเอาท์พุทและฮาร์โมนิกส์ที่ความถี่ต่างๆ 47
รูปที่ 4.10 แสดงสัญญาณ Output ที่ความถี่ 30 MHz 48
รูปที่ 4.11 แสดงสเปกตรัมความถี่ของ Output ที่ความถี่ 30 MHz 48
รูปที่ 4.12 แสดงสัญญาณ Output ที่ความถี่ 45 MHz 49
รูปที่ 4.13 แสดงสเปกตรัมความถี่ของ Output ที่ความถี่ 45 MHz 49
รูปที่ 4.14 แสดงสัญญาณ Output ที่ความถี่ 59 MHz 50
รูปที่ 4.15 แสดงสเปกตรัมความถี่ของ Output ที่ความถี่ 59 MHz 50
รูปที่ 4.16 แสดงสัญญาณ Output ที่ความถี่ 60 MHz 51
รูปที่ 4.17 แสดงสเปกตรัมความถี่ของ Output ที่ความถี่ 60 MHz 51
รูปที่ 4.18 แสดงสัญญาณ Output ที่ความถี่ 90 MHz 52
รูปที่ 4.19 แสดงสเปกตรัมความถี่ของ Output ที่ความถี่ 90 MHz 52
รูปที่ 4.20 แสดงสัญญาณ Output ที่ความถี่ 120 MHz 53
รูปที่ 4.21 แสดงสเปกตรัมความถี่ของ Output ที่ความถี่ 120 MHz 53
รูปที่ 5.1 กราฟแสดงค่า %Error และ%Accuracy ที่ความถี่ 30-120 MHz 56

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญตาราง

	หน้า
ตารางที่ 2.1 แสดงการเปรียบเทียบวงจรออสซิลเลเตอร์แบบต่าง ๆ	12
ตารางที่ 4.1 ผลการทดลองวัดค่าแรงไฟ VCO ช่วงความถี่ 30 – 60 เมกกะเฮิรตซ์	39
ตารางที่ 4.2 แสดงผลการออสซอลเลทความถี่ของวีซีโอ 60 – 120 เมกกะเฮิรตซ์	43
ตารางที่ 4.3 แสดงสเปคตรัมของขนาดของสัญญาณเอ้าท์พุทที่ความถี่ต่างๆ	46

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 1
บทนำ

เครื่องรับส่งวิทยุในปัจจุบัน ส่วนใหญ่นิยมใช้วิธีสังเคราะห์ความถี่แทบทั้งสิ้น วงจรที่ทำหน้าที่สังเคราะห์ความถี่เรียกว่า ซินธิไซเซอร์ ซึ่งแปลว่าสังเคราะห์ (ความถี่) วิธีสังเคราะห์ความถี่นี้ทำให้วงการเครื่องรับส่งวิทยุเปลี่ยนโฉมหน้าไปอย่างมาก โดยเฉพาะรูปร่างของตัวเครื่องจะมีปุ่มควบคุมต่าง ๆ มากขึ้น เนื่องจากมีขีดความสามารถเพิ่มขึ้น สามารถโปรแกรมเลือกความถี่ใช้งานได้มาก จึงทำให้เกิดความคล่องตัวในการวางข่ายการสื่อสาร วิธีการสังเคราะห์ความถี่แต่ละแบบมีความซับซ้อนแตกต่างกัน ซึ่งขึ้นอยู่กับช่วงความถี่ (frequency range) และ ช่วงห่างระหว่างขั้น (step size หรือ resolution)

เครื่องกำเนิดสัญญาณ เป็นอุปกรณ์จำเป็นสำหรับการทดลองวงจรทางอิเลคทรอนิกส์ โดยจะกำเนิดสัญญาณอินพุทเพื่อที่จะนำไปใช้ในการทดสอบวงจร เนื่องจากเป็นการยุ่งยากที่จะนำสัญญาณจริง เช่น สัญญาณเสียง สัญญาณภาพ มาป้อนเป็นสัญญาณอินพุทให้แก่วงจรที่เราต้องการทดสอบ ดังนั้นถ้าหากมีอุปกรณ์ที่สามารถเปลี่ยนความถี่และขนาดได้เหมือนกับสัญญาณจริงก็จะทำให้การทดลองสะดวกขึ้น แต่ในปัจจุบันนี้ถ้าหากต้องการนำสัญญาณอินพุทที่มีความถี่สูง ๆ มาป้อนเป็นสัญญาณอินพุทให้แก่วงจรก็จะหาได้ยากเพราะเครื่องกำเนิดสัญญาณโดยทั่วไปสามารถผลิตความถี่ได้ต่ำดังนั้นโครงงานนี้จึงได้ทำการออกแบบเครื่องกำเนิดสัญญาณโดยวิธีสังเคราะห์ความถี่(Synthesized Signal Generator) เนื่องจากวิธีการนี้สามารถกำเนิดความถี่สูงที่มีความเที่ยงตรง ปรับความถี่ได้ง่ายและรวดเร็ว โดยสามารถกำเนิดสัญญาณรูปซายน์ ความถี่ 30-120 เมกะเฮิรตซ์ ซึ่งแบ่งออกเป็นสองช่วง ช่วงแรกคือผลิตความถี่ 30-59.99 เมกะเฮิรตซ์ โดยมีช่วงห่างระหว่างขั้น (step size หรือ resolution) 10 กิโลเฮิรตซ์ ช่วงที่สองผลิตความถี่ 60-120 เมกะเฮิรตซ์ โดยมี ช่วงห่างระหว่างขั้น 10 กิโลเฮิรตซ์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 2
ทฤษฎีหรือหลักการ

2.1 ระบบสังเคราะห์ความถี่แบบที่ใช้เฟสล็อคลูป

เฟสล็อคลูปซินธิไซเซอร์ (Phase lock loop synthesizer) เป็นวงจรสังเคราะห์ความถี่ชนิดโปรแกรมได้ ทำหน้าที่ผลิตสัญญาณความถี่ขนาดพอเหมาะ และให้มีความถี่ตามที่เรากำหนดโดยการประยุกต์ใช้งานของเฟสล็อคลูป ซึ่งเป็นระบบป้อนกลับที่มีการเปลี่ยนความถี่และเฟสของวงจรออสซิลเลเตอร์ตามสัญญาณอินพุทที่ป้อนเข้า

วิธีสังเคราะห์ความถี่สามารถแบ่งออกได้เป็น 2 วิธีคือ

1. วิธีสังเคราะห์โดยตรง (direct synthesis) ซึ่งต้องใช้ความถี่หลายค่ามาผสมกัน เพื่อให้ได้ความถี่ที่ต้องการ โดยปกติต้องใช้แร่บังคับความถี่หลายชุด

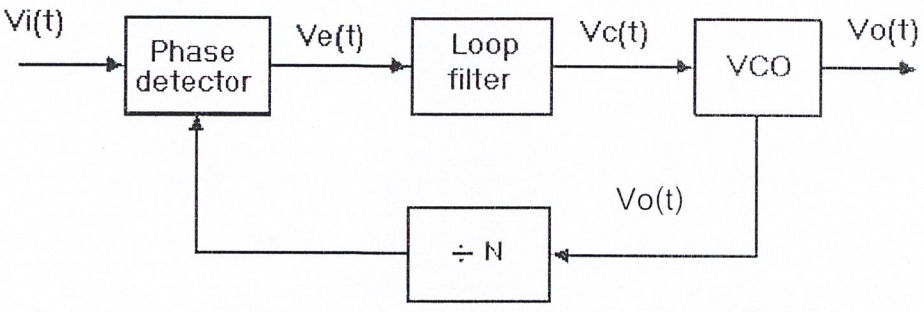
2. วิธีสังเคราะห์โดยอ้อม (indirect synthesis) วิธีนี้อาศัยเฟสล็อกลูป (phase locked loop เรียกย่อว่า PLL)

วิธีสังเคราะห์ความถี่โดยอ้อมหรือวิธีเฟสล็อกลูปนั้น เราอาศัยการกำเนิดสัญญาณจากวงจรออสซิลเลเตอร์ ซึ่งควบคุมความถี่ได้โดยปรับแรงดันที่เรียกว่า วีซีโอ (VCO) สัญญาณจาก วีซีโอ จะถูกป้อนกลับมาเปรียบเทียบกับความถี่อ้างอิงแล้วนำผลลัพธ์ความถี่คลาดเคลื่อนมาแปลงเป็นแรงดัน ไปควบคุมการออสซิลเลตของวีซีโอ (VCO) อีกครั้งหนึ่ง

บล็อคไดอะแกรมเบื้องต้นของเฟสล็อคลูปซินธิไซเซอร์แสดงดังรูปที่ 2.1 ประกอบด้วยส่วนสำคัญ 4 ส่วน ดังนี้

1. ส่วนเปรียบเทียบเฟส (Phase Detector : PD)
2. ลูปฟิลเตอร์ (Loop Filter : LF)
3. วงจรออสซิลเลเตอร์ควบคุมความถี่ด้วยแรงดัน (Voltage Control Oscillator : VCO)
4. วงจรหารความถี่ที่สามารถโปรแกรมได้ (Programmable Divider)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.1 แสดงบล็อคไดอะแกรมของวงจรสังเคราะห์ความถี่ที่ใช้เฟสล็อคลูป

การทำงานคร่าว ๆ สามารถอธิบายได้ดังนี้ ขณะที่ยังไม่มีสัญญาณเข้าไปในระบบ แรงดันควบคุม (control voltage) V_c (t) จะเท่ากับศูนย์ วงจรออสซิลเลเตอร์ควบคุมความถี่ด้วยแรงดัน (วีซีโอ) จะทำงานโดยตั้งความถี่ไว้ที่ f_0 เรียกว่า ความถี่ฟรีรันนิ่ง (free running frequency) ถ้ามีสัญญาณเข้าไปในระบบ เฟสดีเทคเตอร์จะทำการเปรียบเทียบเฟสและความถี่ของสัญญาณอินพุท f_R กับความถี่ของวิซีโอ ถ้าเกิดความแตกต่างของสัญญาณทั้งสองเนื่องจากความถี่ไม่ตรงกัน จะเกิดแรงดันคลาดเคลื่อนออกมา Ve(t) แรงดันคลาดเคลื่อนนี้จะถูกกรองผ่านวงจรลูปฟิลเตอร์ ขยายแล้วป้อนให้กับวีซีโอ ในการนี้แรงดันควบคุม V_c (t) จะไปบังคับความถี่ของ วีซีโอ ให้เปลี่ยนไปในทิศทางที่จะลดความถี่ที่แตกต่างระหว่างความถี่ f_0 กับความถี่ f_R ถ้าความถี่ f_R ใกล้เคียงกับความถี่ f_0 จากการป้อนกลับของเฟสล็อคลูปซึ่งสัญญาณที่ป้อนกลับไปยังลูปฟิลเตอร์จะเป็นความถี่เอาท์พุทของวีซีโอ ที่ถูกหารโดย N จะทำให้วีซีโอซิงโครไนส์หรือ ล็อค (lock) กับสัญญาณอินพุทที่ป้อนเข้ามา ขณะที่ทำการล็อคนั้นความถี่ของ วีซีโอจะเท่ากับความถี่ของสัญญาณอินพุทพอดี

ในสภาวะล็อคความถี่จะได้ว่า

$$f_R = f_d \qquad (2.1)$$

และความถี่ที่ได้จากการหาร

$$f_d = f_0 / N \qquad (2.2)$$

ดังนั้นความถี่ที่เอาท์พุทจะได้เป็น

$$f_0 = Nf_R \qquad (2.3)$$

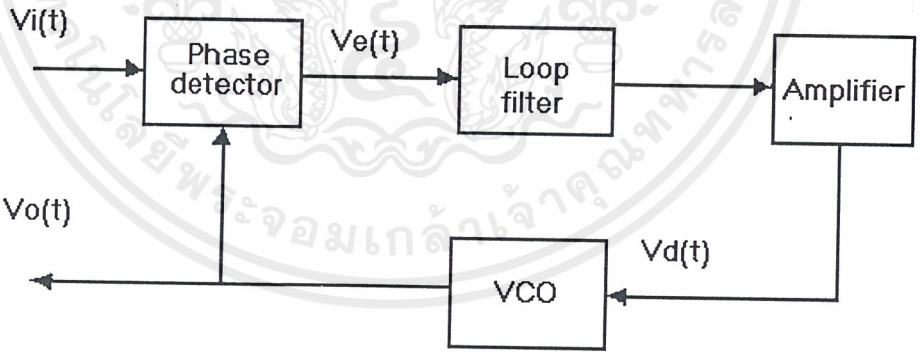
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

แต่ในสภาวะล็อคความถี่ เฟสของสัญญาณทั้งสองจะยังคงต่างกันอยู่ซึ่งมีความจำเป็นต่อการผลิตแรงดันคลาดเคลื่อน Ve (t) ที่จะไปคอยปรับความถี่วีซีโอ จากค่าความถี่ฟรีรันนิ่งให้เท่ากับความถี่ที่เข้ามา ดังนั้นเฟสล็อคลูปจะยังคงรักษาสภาพการล็อคอยู่ การที่ระบบสามารถที่จะปรับตัวได้เองทำให้เฟสล็อคลูปสามารถติดตามการล็อคกับระบบ ซึ่งจะขึ้นอยู่กับแรงดันคลาดเคลื่อน (capture range) , ขอบแบนด์ของฟิลเตอร์และอัตราขยายลูปปิดของระบบทั้งหมดเฟสล็อคลูปที่มีการหารความถี่ชนิดโปรแกรมได้ภายในลูปเป็นวิธีที่เหมาะสำหรับการสังเคราะห์ความถี่ที่มีค่ามากจากความถี่อ้างอิงความถี่เดียว

คุณสมบัติที่ต้องการของวงจรสังเคราะห์ความถี่ จะต้องผลิตสัญญาณความถี่ขนาดพอเหมาะและให้มีความถี่ตามที่เรากำหนด ช่วงความถี่ใช้งานของวงจรสังเคราะห์ความถี่จะจำกัดอยู่ในช่วงที่แน่นอนแล้วแต่การใช้งาน และความละเอียดของความถี่ที่เปลี่ยนแปลงได้ทีละขั้น ซึ่งเรียกว่า รีโซลูชั่น (resolution)

2.1.1 ระบบเฟสล็อคลูป

ระบบเฟสล็อคลูปเบื้องต้นแสดงได้ดังรูปที่ 2.2



รูปที่ 2.2 แสดงบล็อกไดอะแกรมของวงจรเฟสล็อคลูป

แต่ละส่วนมีผลต่อคุณสมบัติและการทำงานของระบบ ซึ่งหน้าที่ของแต่ละส่วนจะได้อธิบายดังนี้

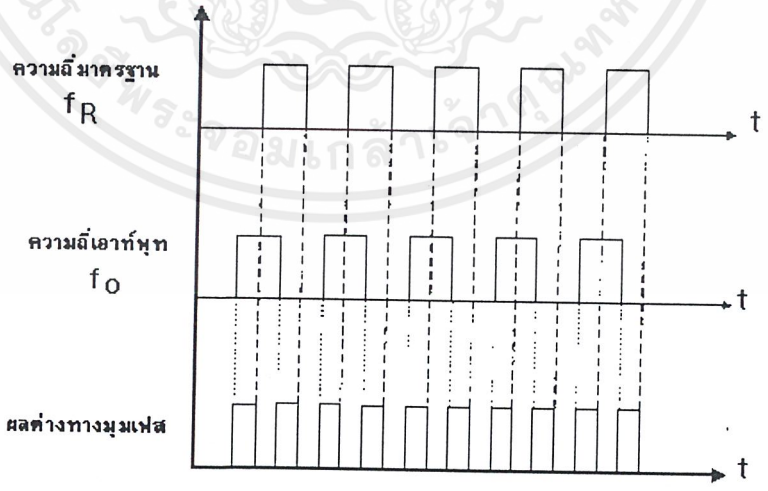
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

1. เฟสดีเทคเตอร์ (Phase detector) ทำหน้าที่เปรียบเทียบเฟสของอินพุทซึ่งจะมีสองผลของเฟสที่ต่างกันเรียกว่า เฟสเออเรอร์ (phase error) เฟสเออเรอร์นี้จะมีค่าน้อยที่สุดเป็นศูนย์ และจะมีค่ามากที่สุดเป็น $\pi/2$ เฟสดีเทคเตอร์จะทำการเปลี่ยนเฟสเออเรอร์นี้ให้กลายเป็นระดับโวลต์เตจด้วยค่า คอนเวอร์ชั่นเกน K_d (volt / radian) ลักษณะการเปรียบเทียบเฟสของอินพุททั้งสองของเฟสดีเทคเตอร์จะได้แสดงดังรูปที่ 2.3 a

2. ลูปฟิลเตอร์ (Loop filter) ทำหน้าที่กรองสัญญาณความถี่สูงที่ออกมาจากเฟสดีเทคเตอร์ เนื่องจากเฟสดีเทคเตอร์ให้เอาท์พุทเป็นสัญญาณดีซีทีมีเอซีโวลต์เตจร่วมมาด้วย สัญญาณความถี่ที่ได้เกิดจากความต่างเฟส ยิ่งต่างเฟสมากความถี่ยิ่งสูง ดังนั้นลูปฟิลเตอร์จึงช่วยกรองเอาสัญญาณความถี่สูง ซึ่งแสดงว่ามีความต่างเฟสมากออก ทำให้ระบบสามารถแคปเจอร์สัญญาณได้ในช่วงหนึ่งและช่วยให้ระบบรักษาการล็อคไว้ได้อีกด้วย

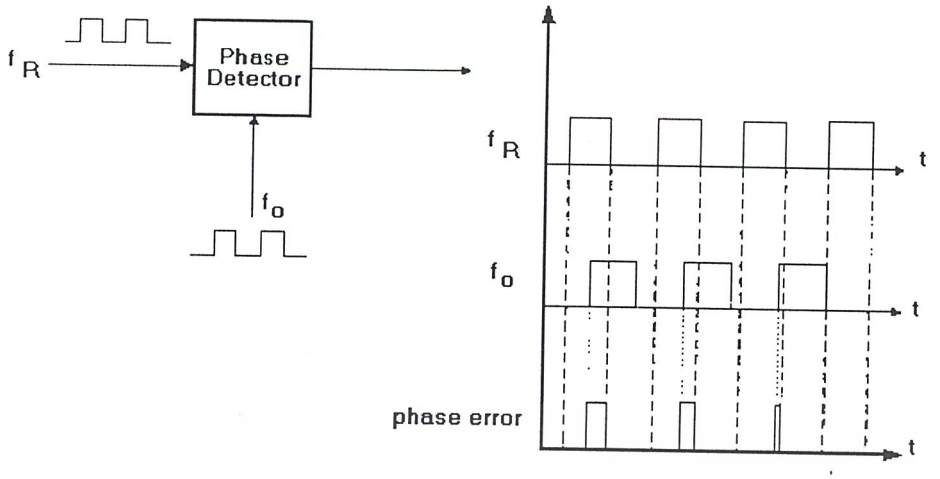
3. วงจรขยายสัญญาณ (amplifier) ใช้ปรับขนาดสัญญาณไฟตรง เพื่อให้การควบคุมดีขึ้น เอาท์พุทของวงจรนี้จะป้อนให้แก่วงจรวีซีโอ

4. วีซีโอ (VCO) จะทำหน้าที่ผลิตสัญญาณความถี่โดยการควบคุมระดับโวลต์เตจอินพุทด้วยคอนเวอร์ชั่นเกน K_d (radian / volt) ระดับโวลต์เตจนี้จะได้จากเอาท์พุทของลูปฟิลเตอร์ ความถี่ที่ล็อคมาจากลูปฟิลเตอร์จะมีผลทำให้เอาท์พุทของวีซีโอเปลี่ยนความถี่ด้วยเช่นกัน



รูปที่ 2.3 a ผลต่างเฟสเมื่อความถี่เท่ากัน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.3 b ผลต่างเฟสเมื่อความถี่อินพุทไม่เท่ากัน

การทำงานของระบบเฟสล็อคลูปสามารถอธิบายอย่างคร่าว ๆ ได้ดังนี้ เฟสดีเทคเตอร์จะเปรียบเทียบเฟสของสัญญาณอินพุท V_i (t) กับความถี่ของ วีซีโอ และทำให้ได้เออเรอร์โวลต์เตจ Ve (t) และกรองผ่านลูปฟิลเตอร์ไปยังคอนโทรลอินพุทของ วีซีโอ รูปของแรงดันควบคุมเพื่อควบคุมความถี่ของ วีซีโอ ตามปกติเมื่อไม่มีสัญญาณอินพุทป้อนให้กับระบบเฟสล็อคลูปเออเรอร์โวลต์เตจที่ผ่านลูปฟิลเตอร์ V_d(t) ในฟีดแบ็คลูปจะมีค่าเป็นศูนย์ วีซีโอ จะทำงานที่ความถี่ศูนย์กลาง $\omega_0 = 2\pi f_0$ ซึ่งเราเรียกว่า ความถี่ฟรีรันนิ่ง ของ วีซีโอ ถ้ามีสัญญาณอินพุทเป็นเอซีป้อนให้กลับระบบเฟสล็อคลูปและสัญญาณดังกล่าวมีความถี่อินพุท $\omega_0 = 2\pi f_R$ ใกล้เคียงกับความถี่ฟรีรันนิ่งพอเพียง การฟีดแบ็คของเฟสล็อคลูป จะทำให้ได้เออเรอร์โวลต์เตจไปขับวีซีโอ ให้มีความถี่ซิงโครไนส์กับความถี่อินพุท ซึ่งแสดงว่าระบบเฟสล็อคลูปมีความถี่เอาท์พุทล็อคกับความถี่ของสัญญาณอินพุท

การทำงานของระบบเฟสล็อคลูปสามารถแบ่งได้เป็น 2 ลักษณะตามคุณสมบัติของลูปดังนี้

ก. เมื่อระบบไม่อยู่ในสภาวะล็อค ($\omega_R \neq \omega_0$)

จากเฟสล็อคลูปในรูปที่ 2.2 เราสมมติสัญญาณ V_i และ V_0 เป็นสัญญาณรูปคลื่นซายน์มีค่าเป็น

$$V_i(t) = E_i \cos(\omega_i t + \theta_i) \qquad (2.4)$$
$$V_0(t) = E_0 \cos(\omega_0 t + \varnothing_0)$$

ถ้าเฟสดีเทคเตอร์มีคุณสมบัติเป็นอนาลอกมัลติพลายเออร์ เราจะได้สัญญาณเอาท์พุทของเฟสดีเทคเตอร์เป็น

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$V_e(t) = K_d \cos[(\omega_i - \omega_0)t + \theta_i - \varnothing_0] + K_d \cos[(\omega_i - \omega_0) + \theta_i + \varnothing_0] \quad (2.5)$$

เมื่อนำสัญญาณผ่านวงจรกรองความถี่ต่ำผ่านจะได้ว่า

$$V_d(t) = K_d \cos[(\omega_i - \omega_0)t + \theta_i - \varnothing_0] \quad (2.6)$$

เนื่องจาก V_i และ V_0 ไม่ซิงโครไนส์กัน ดังนั้นสัญญาณเอาท์พุทของเฟสดีเทคเตอร์ V_d จะเป็นสัญญาณรูปคลื่นซายน์ที่มีแอมปลิจูดสูงสุดเท่ากับ K_d และมีความถี่เชิงมุมเท่ากับความถี่เชิงมุมระหว่างสัญญาณ V_i และ V_0 คือ ω_i และ ω_0 มีค่าแตกต่างกันมาก ดังนั้นโวลต์เตจ V_d จะไม่สามารถผ่านลูปฟิลเตอร์ได้ ทำให้ได้ค่า V_c และการฟีดแบ็คของลูปจะไม่มีผลอะไรคือไม่เกิดการเปลี่ยนแปลงใด ๆ ภายในลูป เอาท์พุทโวลต์เตจของ วีซีโอ จะมีค่าอยู่ที่ความถี่ฟรีรันนิ่ง ดังนั้น ω_0 และ $\varnothing_0$ จะมีค่าเป็นอิสระอย่างสมบูรณ์ต่อ ω_i และ θ_i พูดได้ว่าลูปไม่อยู่ในสภาวะล็อค แต่ถ้า $\omega_i - \omega_0 = \pm\omega$ มีค่าน้อยกว่าแบนด์วิดธ์ของลูปซึ่งกำหนดได้โดยพารามิเตอร์ของลูปและการฟีดแบ็คจะมีผลขับให้ระบบเข้าสู่สภาวะล็อคได้

ข. เมื่อระบบเข้าสู่สภาวะล็อค ($\omega_i = \omega_0$)

ในกรณีที่สัญญาณเอาท์พุท วีซีโอ มีความถี่ซิงโครไนส์กับสัญญาณอินพุท V_i สัญญาณเอาท์พุท V_0 จะมีค่าเป็น

$$V_0 = E_0 \cos(\omega_i t + \psi_0) \quad (2.7)$$

นอกจากนั้นค่าของเฟสของสัญญาณเอาท์พุท จะเป็นลิเนียร์ฟังก์ชั่นกับเวลา ซึ่งมีค่าเป็น

$$\varnothing_0 = (\omega_i - \omega_0)t + \psi_0 \quad (2.8)$$

และสัญญาณเอาท์พุทของเฟสดีเทคเตอร์หรือสัญญาณเออเรอร์จะกลายเป็นสัญญาณดีซี มีค่าเท่ากับ

$$V_d = K_d \cos(\theta_i - \psi_0) \quad (2.9)$$

ลูปฟิลเตอร์จะยอมให้สัญญาณดีซี V_d ผ่านได้และมีค่าเท่ากับ

$$V_d = K_d \cos(\theta_i - \psi_0) \quad (2.10)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

วีซีโอจะเป็นฟรีเควนซีโมดูเลทเตดออสซิลเลเตอร์ ความถี่เชิงมุมที่เปลี่ยนอย่างทันทีทันใดของวีซีโอ (ω_{inst}) จะเป็นลิเนียร์ฟังก์ชั่นกับสัญญาณคอนโทรลอินพุท V_c โดยรอบความถี่เชิงมุมศูนย์กลาง

$$\omega_{inst} = \frac{d(\omega_0 t + \phi_0)}{dt} = \omega_o + K_0 V_d$$

$$\frac{d(\phi_0)}{dt} = K_0 V_d \qquad (2.11)$$

เมื่อ K_0 เป็นคอนเวอร์ชั่นคอนสแตนท์ซึ่งหมายถึงความไวในการมอดูเลชั่นของ วีซีโอ แทนค่าสมการ (2.10) ลงใน (2.11) จะได้

$$\omega_i - \omega_0 = K_d K_0 \cos(\theta_i - \psi_0)$$

$$\psi_0 = \theta_i - \cos^{-1}[(\omega_i - \omega_0)/K_d K_0] \qquad (2.12)$$

ดังนั้นสัญญาณเอาท์พุทของเฟสดีเทคเตอร์ V_d สามารถเขียนได้เป็น

$$V_d = (\omega_i - \omega_0) / K_0 \qquad (2.13)$$

ส่วนประกอบดีซีของเฟสดีเทคเตอร์เอาท์พุท V_d จะผ่านวงจรกรองความถี่ต่ำผ่านไปเป็นคอนโทรลโวลต์เตจให้กับอินพุทของ วีซีโอ

จากสมการ (2.13) จะเห็นได้ชัดเจนว่า สัญญาณดีซี V_d จะไปทำให้ความถี่เชิงมุมของ วีซีโอมีค่าเปลี่ยนไปจากศูนย์กลางของ วีซีโอ คือ ω_0 ไปเท่ากับความถี่เชิงมุมของสัญญาณอินพุท ω_i นั่นคือ

$$\omega_{inst} = \omega_0 + K_0 V_d = \omega_0 + (\omega_i - \omega_0) = \omega_i \qquad (2.14)$$

ถ้าความแตกต่างของความถี่เชิงมุมเริ่มต้น $\omega_i - \omega_0$ มีค่าน้อยกว่าผลคูณของ $K_d K_0$ อย่างมากสมการ (2.13) จะมีค่าเป็น

$$\theta_i - \psi_0 \cong \cos^{-1} 0 = \pi/2 \qquad (2.15)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากสมการ (2.15) หมายความว่าถ้าความถี่ออฟเซทระหว่างสัญญาณอินพุทและสัญญาณ วีซีโอ จะมีค่าน้อยเมื่อลูปไม่อยู่ในสภาวะล็อค และสัญญาณ วีซีโอ จะมีเฟสต่างกับสัญญาณอินพุท 90° เมื่อลูปอยู่ในสภาวะล็อคหรือเฟสควอดดราเจอร์จะสอดคล้องกับ $\omega_i = \omega_0$ ด้วยเหตุผลนี้จึงแทนค่า ψ_0 ด้วยค่าเฟสเอาท์พุท θ_0 ดังนั้น

$$\theta_i = \psi_0 - \pi/2 \qquad (2.16)$$

เอาท์พุทโวลต์เตจของเฟสดีเทคเตอร์เขียนได้ใหม่เป็น

$$\begin{aligned} V_d &= K_d \cos(\theta_i - \psi_0) \\ &= K_d \cos(\theta_i - \theta_0) - \pi/2 \\ &= K_d \sin(\theta_i - \theta_0) \end{aligned} \qquad (2.17)$$

และจากสมการ 2.15 และ 2.16 จะได้ค่าเฟสเออเรอร์เป็น

$$\theta_i - \theta_0 = \sin^{-1}(\omega_i - \omega_0)/ K_d K_0 \qquad (2.18)$$

เมื่อผลต่างของเฟส มีค่าน้อยเพียงพอจะได้ว่า

$$V_d = K_d(\theta_i - \theta_0) \cong K_d \theta_e \qquad (2.19)$$

เมื่อ $\theta_e = \theta_i - \theta_0$ แต่เนื่องจากคุณสมบัติของเฟสดีเทคเตอร์แบบนี้เมื่อลูปเข้าสู่การล็อค สัญญาณของวีซีโอ จะมีเฟสต่างไปจากสัญญาณอินพุท 90° คือ $[\theta_i - (\theta_0 + \pi/2)]$ ลักษณะของเฟสควอดดราเจอร์ ดังนั้น เฟสดีเทคเตอร์จะให้เอาท์พุทโวลต์เตจที่เป็นสัดส่วนกับความต่างเฟสระหว่างสัญญาณอินพุท V_i กับ สัญญาณเอาท์พุทของ วีซีโอ คือ V_0 ในลักษณะของ ควอดดราเจอร์ คือ

$$\begin{aligned} V_d &= K_d[(\theta_i - \theta_0) - \pi/2] \\ &= K_d(\theta_i - \pi/2) \end{aligned} \qquad (2.20)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สัญญาณ V_d นี้จะผ่านลูปฟิลเตอร์ไปป้อนให้กับคอนโทรลอินพุทของ วีซีโอ เพื่อแก้ไขให้ความถี่ของ วีซีโอ เปลี่ยนจาก ω_0 ไปเป็น ω_i และดำรงการล็อคให้คงอยู่จะได้

$$V_d = (\omega_i - \omega_0) / K_0$$

$$\omega_i = \omega_0 + K_0 V_d \qquad (2.21)$$

จากสมการ (1.17) และ (1.18) จะหาค่าของเฟสเออเรอร์ ได้เป็น

$$\theta_i = \pi/2 + [(\omega_i - \omega_0)] / K_d K_0 \qquad (2.22)$$

จากสมการ (2.20) จะสังเกตได้ว่าเมื่อ $\omega_i = \omega_0$ โวลต์เตจเอาท์พุทของ วีซีโอ จะมีเฟสควอดดราเจอร์คือมีเฟสต่างไปจากเฟสของสัญญาณอินพุทโวลต์เตจ 90° เมื่อ ω_i เคลื่อนไปทางสูงกว่า ω_0 มุมของเฟสจะเพิ่มขึ้นจาก 90° ไปสู่ค่าสูงสุด 180° ที่อยู่เหนือสุดของพิกัดการล็อค และถ้า ω_i เคลื่อนไปทางต่ำกว่า ω_0 มุมเฟสจะลดลงจาก 90° ไปสู่ค่า 0° ที่ล่างสุดของพิกัดการล็อค

ถ้าความถี่ของสัญญาณอินพุทเปลี่ยนแปลงไปอย่างช้า ๆ ระบบเฟสล็อคลูปจะสามารถติดตามการเปลี่ยนแปลงและอยู่ในสภาวะล็อคได้โดยจะเพิ่มค่า θ_e ให้มากขึ้นตามเวลา θ_e ที่เพิ่มขึ้นจะถูกเปลี่ยนไปเป็นดีซีเออเรอร์โวลต์เตจ V_d ไปขับให้ความถี่ของ วีซีโอ เลื่อนไปเท่ากับความถี่ของสัญญาณอินพุท โดย V_d จะมีค่าเป็นสัดส่วนโดยตรงกับผลต่างระหว่าง ความถี่สัญญาณอินพุท ω_i กับความถี่ฟรีรันนิ่ง ω_0 ของ วีซีโอ แต่ถ้าจะสามารถแทรคกิ้ง (tracking)ได้นั้นจะต้องมีเฟสเออเรอร์น้อย สมมติว่าระบบเฟสล็อคลูปมีเฟสอินพุทเปลี่ยนแปลงเป็นสเต็ป เท่ากับ $\Delta\omega = \omega_i - \omega_0$ ลูปต้องการคอนโทรลโวลต์เตจเพื่อไปขับ วีซีโอ ให้มีความถี่เลื่อนไปเท่ากับ $\Delta\omega$ ดังนั้น V_C จะมีค่าเป็น

$$V_C = \Delta\omega / K_0 \qquad (2.23)$$

เมื่อลูปเข้าสู่สภาวะคงที่ เมื่อ คืออัตราขยายต่อสัญญาณดีซีของลูปฟิลเตอร์ สัญญาณ จะทำให้ลูปเข้าสู่สภาวะล็อคดังเดิม ดังนั้นเฟสเออเรอร์จะต้องเป็น

$$\theta - \pi/2 = V_d K_d$$

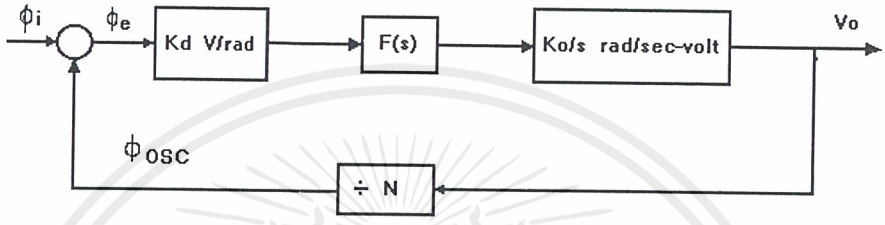
$$= \Delta\omega / K_0 K_d \; F(s) \qquad (2.24)$$

เมื่อเฟสเออเรอร์มีค่าเพิ่มขึ้นลูปจะสามารถปรับตัวเองให้ความถี่เอาท์พุทแทรคตามการเปลี่ยนแปลงของอินพุทได้ดังเดิม

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เมื่อระบบอยู่ในสภาวะล็อค เราสามารถจะวิเคราะห์ระบบเฟสล็อคลูปได้ในลักษณะระบบป้อนกลับที่เป็นลิเนียร์ โดยใช้เทคนิคการวิเคราะห์ระบบป้อนกลับแบบทั่วไปด้วยลาปลาซทรานส์ฟอร์มและสมการดิฟเฟอเรนเชียล

2.1.2 การหาทรานส์เฟอร์ฟังก์ชั่นของระบบเฟสล็อคลูป



รูปที่ 2.4 แสดงบล็อคไดอะแกรมของทรานส์เฟอร์ฟังก์ชั่นของเฟสล็อคลูป

จากรูปที่ 2.4

K_d = ทรานส์เฟอร์ฟังก์ชั่นของเฟสดีเทคเตอร์ (โวลต์/เรเดียน)

F(s) = ทรานส์เฟอร์ฟังก์ชั่นของลูปฟิลเตอร์

K_0 = ทรานส์เฟอร์ฟังก์ชั่นของวีซีโอ (เรเดียน/โวลต์)

ทรานส์เฟอร์ฟังก์ชั่นของลูปปิด (Closed-loop transfer function)

$$T(S) = \frac{G(S)}{1 + G(S)H(S)}$$

$$= \frac{K_v F(S)}{S + K_v F(S)} \qquad (2.25)$$

โดยที่ G(S) = อัตราขยายไปข้างหน้า (Forward Gain)

H(S) = อัตราขยายป้อนกลับ (Feedback Gain)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.2 วงจรออสซิลเลเตอร์ (oscilator)

วงจรออสซิลเลเตอร์ เป็นวงจรพื้นฐานที่สำคัญวงจรหนึ่ง ซึ่งถูกนำมาใช้งานทั้งในระบบสื่อสารเช่นในระบบเครื่องส่ง และ เครื่องรับ ในการกำหนดสัญญาณพาหะ (Carrier frequency) หรือสร้างโลคัลออสซิลเลเตอร์ (Local Oscillator) สำหรับการมิกเซอร์ และการดีเทคสัญญาณ นอกจากนี้ยังนำมาใช้งานในวงจรสร้างสัญญาณเสียง วงจรต้นกำหนดสัญญาณความถี่ต่าง ๆ และเป็นส่วนประกอบย่อยของวงจรอื่น ๆ อีกเป็นจำนวนมาก

วงจรออสซิลเลเตอร์แบ่งออกได้เป็น วงจรออสซิลเลเตอร์คลื่นรูปซายน์ และวงจรออสซิลเลเตอร์ที่ไม่ใช่คลื่นซายน์ เช่น รูปสี่เหลี่ยม พัลส์ เป็นต้น วงจรออสซิลเลเตอร์ส่วนใหญ่จะเป็นคลื่นรูปซายน์ (Sine-wave Oscillator) ซึ่งจะให้กำเนิดสัญญาณคลื่นรูปซายน์ออกมาตลอดเวลา โดยมีขนาดและความถี่คงที่ ชนิดของการออสซิลเลทแบ่งได้จากอุปกรณ์ที่ใช้ ฉะนั้นวงจรออสซิลเลเตอร์คลื่นรูปซายน์จะแบ่งได้เป็น

1. LC Oscillator
2. RC Oscillator
3. Crystal Oscillator

ซึ่งแต่ละแบบจะมีลักษณะการใช้งาน และข้อดี-ข้อเสียที่ต่างกันไป ดูได้จากตารางที่ 2.1

ตารางที่ 2.1 แสดงการเปรียบเทียบวงจรออสซิลเลเตอร์แบบต่าง ๆ

รูปแบบของวงจรออสซิลเตอร์	ข้อดี-ข้อเสีย	ลักษณะการใช้งาน
LC Oscillator	1. ความถี่เปลี่ยนแปลงได้ง่าย 2. เสถียรภาพทางความถี่ไม่ค่อยดี 3. นิยมนำไปใช้งานโดยทั่วไป 4. ใช้ในย่านความถี่สูง	1. ใช้ในเครื่องรับวิทยุ, ทีวีเอฟเอ็ม ฯลฯ 2. ใช้เป็นตัวออสซิเลเตอร์ในการวัดทางด้านความถี่สูง
RC Oscillator	1. ใช้ช่วงความถี่ต่ำ 2. ความถี่สามารถเปลี่ยนแปลงได้ 3. เสถียรภาพของความถี่ไม่ดี	1. ใช้เป็นตัวออสซิลเลเตอร์ในการวัดทางด้านความถี่ต่ำ
Crystal Oscillator	1. เสถียรภาพของความถี่ดีเป็นพิเศษ 2.ใช้ในย่านความถี่สูงการทำให้ความถี่เปลี่ยนแปลงทำได้ยาก	1. ใช้ในเครื่องส่งวิทยุ นาฬิกา เครื่องมือวัดต่าง ๆ ฯลฯ 2. เมื่อนำมาใช้งานร่วมกับวงจรเฟสล็อคลูป จะนำไปใช้งานได้อย่างกว้างขวาง

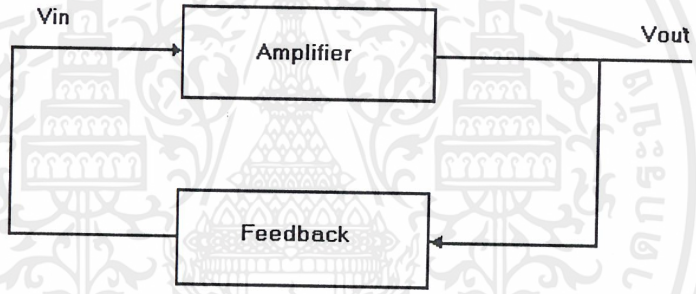
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.2.1 หลักการของวงจรออซิลเลเตอร์

วงจรออสซิลเลเตอร์ คือ วงจรขยายชนิดหนึ่งนั่นเอง แต่เป็นวงจรขยายชนิดป้อนกลับแบบบวก (positive feedback) จะสร้างสัญญาณเอาท์พุทออกมาที่ความถี่ค่าหนึ่ง โดยไม่ต้องการสัญญาณอินพุทดังนั้นอาจกล่าวได้ว่า วงจรออสซิลเลเตอร์ประกอบด้วย 3 ส่วนคือ

1. วงจรขยาย (Amplifier)
2. วงจรป้อนกลับแบบบวก (Positive feeback)
3. วงจรีโซแนนซ์ (Resonance)

โดยที่ Amplifier เป็นวงจรที่สามารถขยายสัญญาณความถี่ที่เราต้องการ positive feedback เป็นวงจรป้อนกลับสัญญาณเพื่อนำมาขยายเพิ่มขึ้น โดยจะต้องเป็นการป้อนกลับแบบบวกและวงจรรีโซแนนซ์เป็นตัวเลือกความถี่



รูปที่ 2.5 แสดงวงจร positive feedback

พิจารณาจากรูป 2.5 แสดงถึงบล็อกไดอะแกรมของ positive feedback เราสามารถหาอัตราขยายแรงดันรวมของวงจรได้ดังนี้

$$A_v = \frac{A}{1 - A\beta} \qquad (2.26)$$

จากสมการจะเห็นว่าถ้าเป็นการป้อนกลับแบบบวกเทอมของ $A\beta$ จะมีค่าเป็นบวก อัตราขยายรวมจองวงจรจะมีค่าเพิ่มขึ้น และถ้าเทอม $A\beta$ อัตราขยายรวมของวงจรจะมีค่าอนันต์ สามารถนำมาอธิบายการเกิดออสซิลเลทของวงจรออสซิลเลเตอร์ได้ว่า ถ้ามีสัญญาณขนาดเล็ก ๆ ป้อนเข้ามาทางอินพุทของวงจรขยาย สัญญาณเอาท์พุทที่ได้จะกลับเฟส 180° แล้วป้อนกลับแบบบวกมาเสริมสัญญาณอินพุทซึ่งมีเฟสเสริมกัน จึงทำให้สัญญาณอินพุทมีขนาดเพิ่มขึ้น สัญญาณเอาท์พุทที่ได้ก็จะมีขนาดใหญ่ตามไปด้วย เมื่อมีการป้อนกลับเสริมอีกก็จะทำให้ได้เอาท์พุทขนาดใหญ่ขึ้นไป

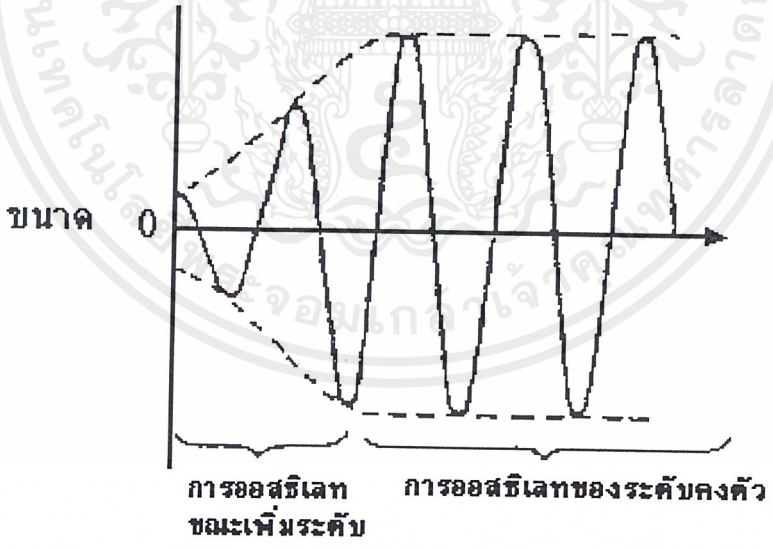
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เรื่อย ๆ นั้นคือ ค่าของ loop gain $A\beta > 1$ เริ่มเกิดการออสซิลเลท โดยปกติการเพิ่มขึ้นของสัญญาณจะถูกจำกัดที่แรงดันค่าหนึ่ง เมื่อ loop gain = 1 ดังนั้นเมื่อเกิดการป้อนกลับก็เสมือนว่าป้อนกลับด้วยค่าแรงดันที่คงที่ วงจรจึงให้เอาท์พุทที่ได้ระดับแรงดันเสมือนกับคงที่คือ การออสซิลเลทอย่างต่อเนื่องนั้นเอง

อาจสรุปเป็นเงื่อนไขการเกิดออสซิลเลทได้ 2 ข้อ ดังนี้

1. อัตราขยายของ loop gain ต้องมีค่ามากกว่าหรือเท่ากับ 1
2. ผลรวมของเฟสภายใน loop ต้องเป็นจำนวนเต็มเท่าของ 2π เรเดียน หรือ $0,360^\circ$ ถ้าเกิดกรณีทั้ง 2 พร้อมกันและวงจรจึงจะเกิดการออสซิลเลท

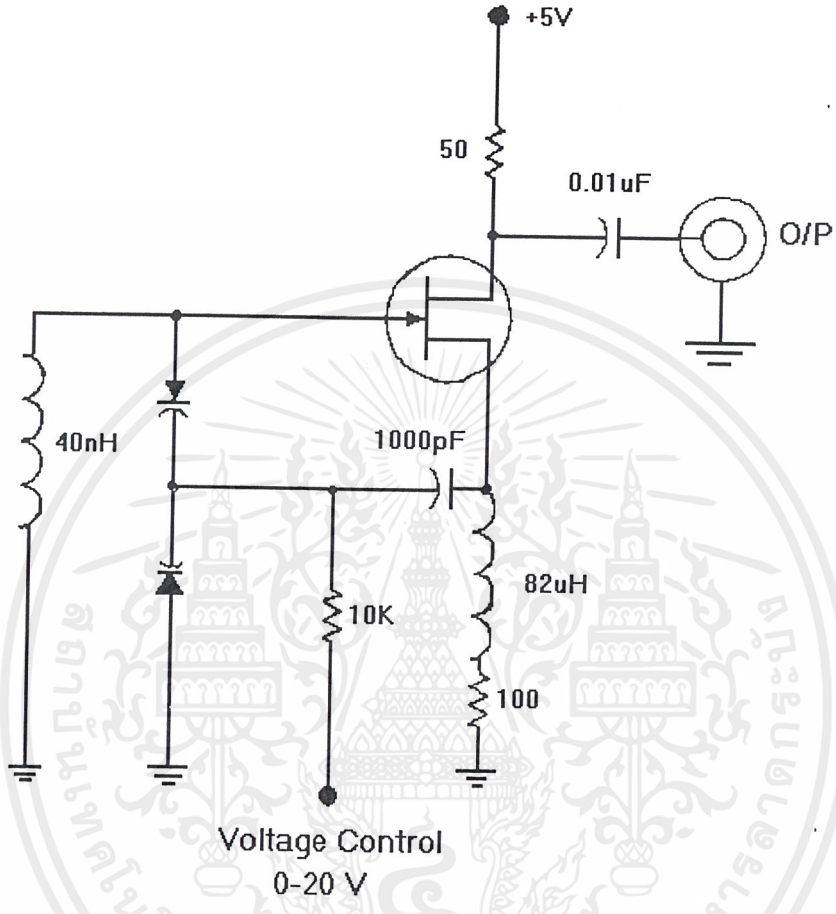
ในวงจรออสซิลเลเตอร์ทั่วไปจะเกิดการออสซิลเลทได้ด้วยตัวเองโดยไม่ต้องมีการป้อนสัญญาณอินพุทเข้าไปเลยไม้แต่น้อย ทั้งนี้เพราะสัญญาณที่ช่วยกระตุ้นให้เกิดการออสซิเลเลทในขณะเริ่มต้นนั้นคือ สัญญาณรบกวนที่มีอยู่ภายในอุปกรณ์นั้นเอง เพียงแต่จะต้องมีการป้อนแรงดันไปเลี้ยงให้กับวงจรตลอดเวลาเท่านั้น



รูปที่ 2.6 แสดงการเกิดออสซิลเลท

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.2.2 วงจรออสซิลเลเตอร์แบบควบคุมความถี่ด้วยแรงดัน (VCO)



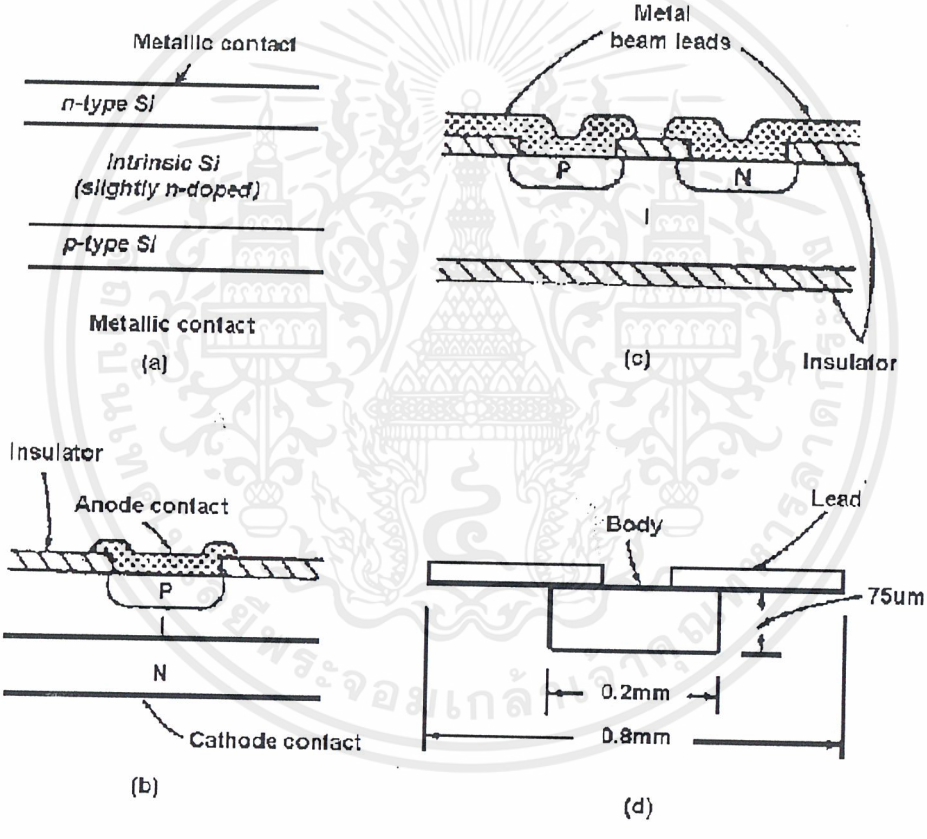
รูปที่ 2.7 แสดงวงจร วีซีโอ

วงจร วีซีโอ (VCO) คือวงจรที่ทำหน้าที่กำเนิดความถี่จะใช้แรงดันไฟตรงไปทำการควบคุมให้อุปกรณ์กำเนิดความถี่ประพฤติตนเป็นอิมพิแดนซ์ที่มีค่าเปลี่ยนแปลงไป และผลิตความถี่ค่าต่าง ๆ ออกมาได้ตามแรงดันที่มาควบคุม เช่น วงจร วีซีโอ ที่ใช้แรงดันไฟตรงมาควบคุมให้วาริแคปประพฤติตนเป็นตัวเก็บประจุ โดยมีค่าเปลี่ยนแปลงได้ตามแรงดันไฟตรงและผลิตความถี่ออกมาได้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.3 พินไดโอด (pin diode)

พินไดโอดเป็นไดโอดที่มีโครสร้าง 3 ส่วน คือชั้น P และ ชั้น N สารกึ่งตัวนำที่ใช้จะเป็นซิลิคอล ส่วนที่ 1 จะเป็นชั้นของสารกึ่งตัวนำที่ใกล้เคียงกับอินทริสิค (intrinsic) คือ ไม่มีทั้งอิเล็กตรอนและโฮลอยู่ภายใน จึงเป็นชั้นที่มีความต้านทานเชิงไฟฟ้าสูงมาก โครงสร้างเป็นดังรูปที่ 2.8 พินไดโอดนี้ในสภาพที่มีไบอัสย้อนกลับ (reverse bias) อิเล็กตรอนที่อยู่ในชั้น N และโฮลที่อยู่ในชั้น P จะถูกดูดเข้าหาอิเล็กโทรด ทำให้เกิดชั้นที่ปลอดจากอิเล็กตรอนและโฮลกว้างขึ้นจากความกว้างของชั้น I ในสภาพไบอัส ย้อนกลับนี้ สัญญาณไมโครเวฟซึ่งมีระดับต่ำเมื่อเทียบกับแรงดันไบอัส ก็จะมองเห็นพินไดโอดเหมือนกับคาปาซิเตอร์ตัวหนึ่ง



รูปที่ 2.8 แสดงโครงสร้างของพินไดโอด

ในกรณีที่มีการไบอัสไปด้านหน้า อิเล็กตรอนในชั้น N และ โฮลในชั้น P จะแพร่เข้าสู่ชั้น I รวมตัวกันสูญหายไปในชั้น I แต่เนื่องจากอายุของอิเล็กตรอนและโฮลในชั้น I จะยาวกว่าคาบของสัญญาณไมโครเวฟมาก ดังนั้นเมื่อมองจากสัญญาณไมโครเวฟก็เห็นเหมือนกับความต้านทานต่อ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สำนักหอสมุดกลาง พระจอมเกล้าลาดกระบัง

อนุกรมอยู่ โดยที่ความต้านทานนี้จะมีค่าเปลี่ยนแปลงไปตามความหนาแน่นของพาหะ ที่มีอยู่ในชั้น I ซึ่งหมายถึงจะเปลี่ยนแปลงไปตามค่าแรงดันไบอัสที่คร่อมขั้นไดโอดอยู่ จากปรากฏการณ์ที่กล่าวมานี้ทำให้พินไดโอดมีค่าอิมพิแดนซ์ที่ควบคุมได้ โดยการเปลี่ยนแปลงค่าแรงดันไบอัส

พินไดโอดมีคุณสมบัติดีหลายๆประการดังนี้คือ

1. มีค่าสเตรย์คาปาซิแตนซ์ต่ำ
2. มีค่าอินดักแตนซ์ต่ำ
3. ทนแรงดันย้อนกลับได้สูง
4. ค่าความต้านทานจะไม่เปลี่ยนแปลงไปตามขนาดของสัญญาณ RF
5. ทำงานเป็นความต้านทานบริสุทธิ์ในย่านความถี่ RF
6. ค่าคามต้านทานที่มองจากสัญญาณ RF จะเปลี่ยนแปลงได้ในช่วงไม่กี่โอห์มจนถึงหลายๆ กิโลโอห์ม เมื่อเปลี่ยนแรงดันไบอัส

จากคุณสมบัติดังกล่าวมาข้างต้นนี้ทำให้พินไดโอดสามารถใช้งานในย่านความถี่ไมโครเวฟ ลักษณะต่อไปนี้คือ ใช้เป็นตัวลดทอนสัญญาณแบบปรับค่าได้ ใช้เป็นสวิตช์และใช้เป็นชิ้นส่วนในวงจรมอดูเลเตอร์ เป็นต้น

2.4 คุณสมบัติทั่วไปของไมโครคอนโทรลเลอร์ MCS-51

คุณสมบัติที่สำคัญ ๆ ของชิปไมโครคอนโทรลเลอร์ตระกูล MCS-51 มีดังนี้

- ใช้แหล่งจ่ายไฟ 5 โวลต์
- มีหน่วยความจำสำหรับเก็บโปรแกรมควบคุมการทำงานอยู่ภายในชิปจำนวน 4 กิโลไบต์ (เบอร์ 8031, 8032 ไม่มีหน่วยความจำส่วนนี้ ส่วนเบอร์ 8052 มีหน่วยความจำส่วนนี้ 8 กิโลไบต์ และสำหรับเบอร์ 83C51FB จะมีหน่วยความจำส่วนนี้รวมทั้งสิ้น 16 กิโลไบต์)
- มีหน่วยความจำสำหรับเก็บข้อมูลทั่วไป (RAM) อยู่ภายในชิปจำนวน 128 ไบต์ (ใน 8031, 8051) หรือ 256 ไบต์ (ในเบอร์ 8032, 8052)
- สามารถใช้หน่วยความจำสำหรับโปรแกรมและข้อมูลที่อยู่ภายนอกชิปได้อย่างละ 64 กิโลไบต์ แยกจากกัน
- คำสั่งส่วนใหญ่ใช้เวลาทำงานเพียง 1 ไมโครวินาที เมื่อใช้คริสตอลความถี่ 12 MHz
- มีพอร์ตที่สามารถรับหรือส่งข้อมูลได้ทั้ง 2 ทิศทาง จำนวน 4 พอร์ต ๆ ละ 8 บิต หรือสามารถใช้งานเป็นพอร์ตขนาด 1 บิตแยกจากัน ทำให้เสมือนมีพอร์ตขนาด 1 บิตใช้งานรวมทั้งสิ้น 32 พอร์ต

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

42710

- รับและส่งข้อมูลแบบอนุกรมได้ในตัวโดยสามารถกำหนดอัตราเร็วในการรับและ ส่งข้อมูล (boud rate) ได้ตั้งแต่ 300 ถึง 375 กิโลบิตต่อวินาที

- จัดลำดับความสำคัญของสัญญาณอินเตอร์รัปต์ได้ 2 ระดับ

- มีริจิสเตอร์สำหรับใช้งานเป็นไทม์เมอร์ หรือเคาน์เตอร์เพื่อนับจำนวนสัญญาณนาฬิกาภายในชิป หรือนับการเปลี่ยนสถานะของสัญญาณภายนอกขนาด 16 บิต จำนวน 2 ตัว เพื่อใช้สำหรับนับจำนวนพัลส์ วัดความกว้างของพัลส์หรือใช้วัดช่วงเวลา (ใน เบอร์ 8052 จะมี 3 ตัว)

- หน่วยความจำสำหรับเก็บข้อมูลภายในบางส่วน สามารถเข้าถึงข้อมูลได้ทั้งระดับไบต์และระดับเพื่อให้การออกแบบโปรแกรมและการควบคุมระบบทำได้ง่ายขึ้น

- มีคำสั่งคูณและหารเลขขนาด 8 บิตในตัวเอง

- สามารถประมวลผลแบบบูลีนเพื่อใช้ในงานควบคุมโดยเฉพาะ

-ใช้โปรแกรมของไมโครคอนโทรลเลอร์ตระกูล MCS-48 (upwardly compatible) ได้

ไมโครคอนโทรลเลอร์ตระกูล MCS-51 เบอร์ที่จัดว่าเป็นเบอร์พื้นฐานในตระกูลนี้คือเบอร์ 8051, 8751 และ 8031 ซึ่งมีจำนวนขาภายนอก 40 ขาเท่ากัน ใช้เวลาและสัญญาณในการปฏิบัติคำสั่งแต่ละคำสั่งเท่ากัน (มีไทม์มิ่งไดอะแกรมเหมือนกัน) ใช้แรงดันไฟฟ้าเท่ากัน สิ่งที่แตกต่างกันระหว่างเบอร์ทั้งสามคือ ขนาดของหน่วยความจำสำหรับเก็บโปรแกรมภายในชิป (on chip program memory) ซึ่งมีไว้เพื่อตอบสนองความต้องการที่ไม่เหมือนกัน ดังจะกล่าวต่อไปดังนี้

- เบอร์ 8751 มีหน่วยความจำสำหรับเก็บโปรแกรมภายในชิปเป็น EPROM (Erasable Programble Read Only Memory) ขนาด 4 กิโลไบต์ ทำให้ สามารถใช้รังสีอัลตราไวโอเลตในการลบโปรแกรมเก่าที่มีอยู่ และบรรจุโปรแกรมใหม่ลงไปได้ทันที ทั้งนี้เพื่อความสะดวกในการแก้ไขหรือปรับปรุงโปรแกรม ไมโครคอนโทรลเลอร์ MCS-51 เบอร์ 8751 มีไว้ใช้งานที่เป็นการพัฒนาเบื้องต้น (prototypeing) ซึ่งจำเป็นต้องทดสอบโปรแกรมเพื่อหาข้อผิดพลาด (bugs) และแก้ไขให้เรียบร้อยก่อนทำการผลิตจริง การแก้ไขโดยการใช้รังสีอัลตราไวโอเลต และการบรรจุโปรแกรมที่แก้ไขใหม่สามารถทำได้ในจำนวนครั้งที่จำกัด ทั้งนี้เพราะหน่วยความจำที่เป็น EPROM เมื่อใช้ไปนาน ๆ จะเกิดการเสื่อมสภาพ ทำให้ไม่สามารถบรรจุโปรแกรมเข้าไปได้

- เบอร์ 8051 หลังจากทดสอบโปรแกรมจนไม่พบข้อผิดพลาดแล้ว จะเป็นช่วงของการผลิตจริง ซึ่งต้องพิจารณาถึงต้นทุนเป็นอันดับแรก ในการผลิตจริงจะใช้ไมโครคอนโทรลเลอร์เบอร์ 8051 ซึ่งมีหน่วยความจำสำหรับเก็บโปรแกรมภายในเป็น ROM (Read Only Memory) ขนาด 4 กิโลไบต์แทน เพราะราคาต่ำกว่ามาก แต่มีข้อจำกัดตรงที่ไม่สามารถแก้ไขโปรแกรมได้บรรจุไปแล้วไม่ว่าจะด้วยวิธีใดก็ตาม

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

- เบอร์ 8031 เบอร์นี้ไม่มีหน่วยความจำสำหรับเก็บโปรแกรมภายในชิป แต่สามารถ ใช้หน่วยความจำเพื่อเก็บโปรแกรมที่อยู่ภายนอกได้มากถึง 64 กิโลไบต์ ซึ่งอาจใช้เป็น ROM, PROM, EPROM ตามความต้องการของผู้ผลิต เบอร์ 8031 นี้มีไว้ใช้ในกรณีที่โปรแกรมมีขนาดเล็กกว่า 4 กิโลไบต์ หรือมากกว่า 4 กิโลไบต์มาก (เบอร์ 8751 และ 8051 จะใช้โปรแกรมจากหน่วยความจำภายนอกได้เองเมื่อโปรแกรมมีความยาวเกิน 4 กิโลไบต์ หรืออาจบังคับให้ไมโครคอนโทรลเลอร์ทั้งสองเบอร์ใช้โปรแกรมจากหน่วยความจำภายนอกเพียงอย่างเดียวด้วยการต่อขา 31 (EA) ลงกราวด์ ทำให้มีคุณสมบัติเหมือนเบอร์ 8031 ที่ไม่มีหน่วยความจำสำหรับเก็บโปรแกรมภายในชิป)

2.5 โครงสร้างของไมโครคอนโทรลเลอร์ตระกูล MCS-51

ไมโครคอนโทรลเลอร์ตระกูล MCS-51 มีสมาชิกในตระกูลหลายเบอร์ด้วยกัน แต่ละเบอร์จะมีคุณสมบัติพิเศษบางอย่างแตกต่างกัน เช่น มีหน่วยความจำภายในสำหรับเก็บโปรแกรมและข้อมูลภายในชิปเพิ่มขึ้น มีวงจรเปลี่ยนค่าสัญญาณแอนะล็อกเป็นดิจิตอลในตัว สามารถรับสัญญาณอินเตอร์รัปต์ได้หลายชนิด ทำกระบวนการ DMA (Direct Memory Access) ได้ในตัว มีรีจิสเตอร์สำหรับใช้เป็นไทม์เมอร์หรือเคาน์เตอร์เพิ่มขึ้น

ไมโครคอนโทรลเลอร์เบอร์ที่นับได้ว่าเป็นเบอร์พื้นฐานสำหรับตระกูล MCS-51 นี้ได้แก่ เบอร์ 8051, 8031, 8751 โดยเบอร์ 8051 จัดเป็นสมาชิกตัวแรกในตระกูล ซึ่งมีหน่วยความจำสำหรับเก็บโปรแกรมภายในชิปเป็น ROM ขนาด 4 กิโลไบต์ และหน่วยความจำสำหรับเก็บข้อมูลทั่วไปภายใน MCS-51 (RAM) เองจำนวน 128 ไบต์ มีพอร์ตขนาด 8 บิต 4 พอร์ตมีรีจิสเตอร์สำหรับใช้เป็นไทม์เมอร์หรือเคาวน์เตอร์ขนาด 16 บิตรวม 2 ตัว รับสัญญาณอินเตอร์รัปต์จากภายนอกได้ 2 ชนิด สามารถรับและส่งข้อมูลแบบอนุกรมผ่านทางพอร์ตสื่อสารข้อมูลแบบอนุกรม มีวงจรออสซิลเลเตอร์เพื่อสร้างสัญญาณนาฬิกาควบคุมการทำงานในตัวเอง ส่วนเบอร์8751 จะมีคุณสมบัติเหมือนเบอร์ 8051 ทุกอย่าง ต่างกันเพียงชนิดของหน่วยความจำสำหรับเก็บโปรแกรมภายในชิปของเบอร์ 8751 จะเป็น EPROM แทนที่จะเป็น ROM ส่วนเบอร์ 8031 จะเหมือนกับเบอร์ 8051 ต่างกันเพียงในเบอร์ 8031 ไม่มีหน่วยความจำสำหรับเก็บโปรแกรมภายในชิปเท่านั้น

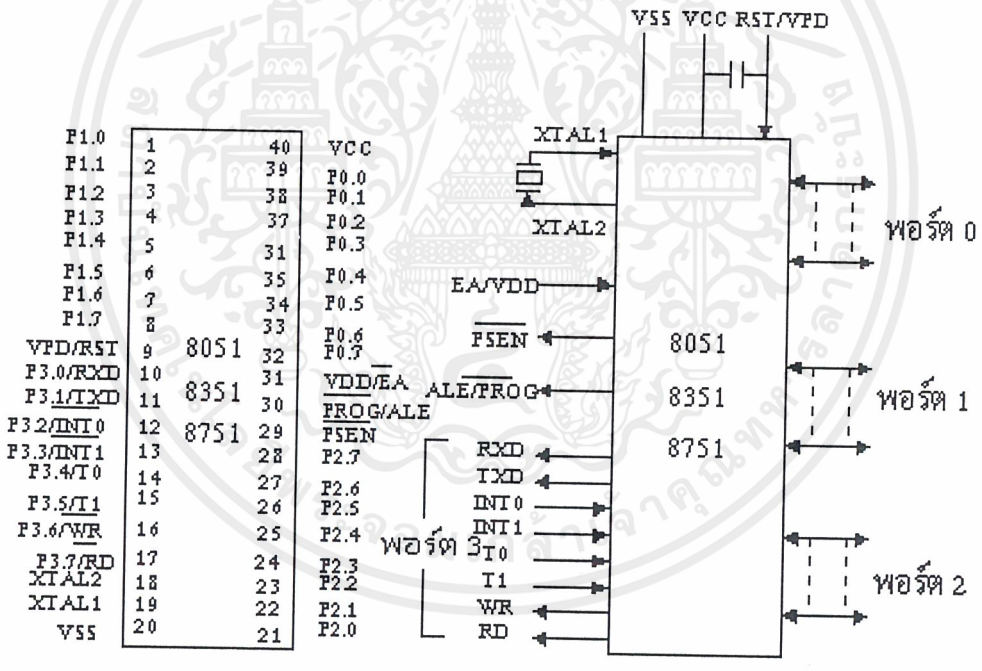
ไมโครคอนโทรลเลอร์ตระกูล MCS-51 ทุกเบอร์ใช้แรงดันไฟเพียง 5 โวลต์ในการทำงาน ส่วนกระแสไฟฟ้าที่ใช้จะแตกต่างกันไปตามชนิดของเทคโนโลยีที่ใช้ในการผลิตเบอร์ของไมโครคอนโทรลเลอร์ตระกูลนี้ที่มีตัวอักษร C อยู่ตรงกลางเบอร์ เช่น 80C31, 80C51 จะเป็นเบอร์ของชิปที่ผลิตโดยอาศัยเทคโนโลยี CHMOS ซึ่งใช้พลังงานในการทำงานน้อยกว่าและสามารถควบคุมการใช้พลังงานของตัวชิปได้จากโปรแกรมเพื่อการประหยัดพลังงานในระบบ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

MCS-51 เป็นตระกูลของไมโครคอนโทรลเลอร์ที่ถูกพัฒนาขึ้นมาจากตระกูล MCS-48 ดังนั้นจึงมีความสามารถเหนือกว่าหลายอย่าง ซึ่งจะไม่กล่าวรายละเอียดไว้ในหนังสือเล่มนี้ แต่จะเปรียบเทียบให้เห็นถึงข้อดีของ MCS-51 เมื่อเทียบกับ MCS-48 ให้เห็นเป็นบางช่วง เช่น ความเร็วในการประมวลผลของ MCS-51 สามารถใช้ความถี่ได้ถึง 12 เมกะเฮิรตซ์ หรือสำหรับบางเบอร์ในตระกูลสามารถใช้ได้ถึง 16 เมกะเฮิรตซ์ ทำให้ช่วงเวลาในการทำงานแต่ละคำสั่งน้อยมาก เมื่อใช้ความถี่ 12 เมกะเฮิรตซ์ คำสั่งที่ใช้เวลาน้อยที่สุดจะใช้เวลาเพียง 1 ไมโครวินาทีส่วนคำสั่งที่ใช้เวลามากที่สุดจะใช้เวลาเพียง 4 ไมโครวินาทีเท่านั้น

2.6 ตำแหน่งขาของ MCS-51

ไมโครคอนโทรลเลอร์ตระกูล MCS-51 ทุกเบอร์จะมีตำแหน่งขาพื้นฐานที่เหมือนกัน ดังแสดง ในรูปที่ 2.9



รูปที่ 2.9 แสดงตำแหน่งขาของชิปไมโครคอนโทรลเลอร์ตระกูล MCS-51 เบอร์ 8051

หน้าที่การใช้งานแต่ละขาของชิปไมโครคอนโทรลเลอร์ในตระกูล MCS-51 มีดังนี้

- ขา Vss (ขา 20) สำหรับต่อลงกราวด์
- ขา Vss (ขา 40) สำหรับต่อแหล่งจ่ายแรงดันกระแสตรงขนาด 5 โวลต์ (DC 5 Volt)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

- ขาพอร์ต 0 (ขา 32-39) มี 8 ขา ใช้เป็นขาสำหรับพอร์ต 0 ขนาด 8 บิต (P0.0-P0.7) แบบ Open Drain Bidirectional พอร์ตนี้สามารถใช้งานเป็นอินพุตเอาต์พุตพอร์ตทั่วไปได้ โดยหากใช้งานเป็นอินพุตพอร์ต ต้องโหลดค่า 1 ไปยังแต่ละบิตของพอร์ตนี้เพื่อบังคับให้ขาอยู่ในสถานะถูกปล่อยลอย (มีสถานะ high impedance) นอกจากใช้งานเป็นอินพุตเอาต์พุตพอร์ตแล้ว พอร์ต 0 ยังใช้ในการติดต่อหน่วยความจำสำหรับเก็บโปรแกรมและข้อมูลภายนอกชิปด้วย โดยส่งค่าแอดเดรสบัสไบต์ต่ำ (A0-A7) และมัลติเพลกซ์กับการรับส่งข้อมูล (D0-D7) จากหน่วยความจำภายนอกในระหว่างการเขียนหรืออ่านข้อมูลโดยมีวงจรพูลอัพภายใน

- ขาพอร์ต 1 (ขา 1-8) มี 8 ขา ใช้เป็นขาสำหรับพอร์ต 1 (P1.0-P1.7) สามารถใช้งานเป็นอินพุตหรือเอาต์พุตพอร์ตทั่วไปได้ หากต้องการใช้งานเป็นอินพุตพอร์ต ต้องโหลดค่า 1 ไปยังแต่ละบิตของพอร์ตนี้ เพื่อให้มีสถานะ high impedance โดยมีวงจรพูลอัพภายใน ขา P1.0, P1.1 ในเบอร์ 8052 จะใช้งานในหน้าที่อย่างอื่นนอกเหนือจากใช้เป็นขาอินพุตเอาต์พุตพอร์ตทั่วไปด้วย

- ขาพอร์ต 2 (ขา 21-28) มี 8 ขา ใช้เป็นขาสำหรับพอร์ต 2 (P2.0-P2.7) ขนาด 8 บิต แบบ Oper Drain Bidirectional พอร์ตนี้สามารถใช้งานเป็นอินพุตเอาต์พุตพอร์ตทั่วไปได้ โดยหากใช้งานเป็นอินพุตพอร์ต ต้องโหลดค่า 1 ไปยังแต่ละบิตของพอร์ตนี้ เพื่อบังคับให้ขาอยู่ในสถานะ high impedance นอกจากจะใช้งานเป็นอินพุตเอาต์พุตพอร์ตทั่วไปแล้ว พอร์ต 2 ยังใช้ในการติดต่อหน่วยความจำสำหรับเก็บโปรแกรมและข้อมูลภายนอกด้วย โดยใช้สำหรับส่งค่าแอดเดรสบัสไบต์สูง (A8-A15) และมีวงจรพูลอัพภายใน

- ขาพอร์ต 3 (ขา 10-17) มี 8 ขา ใช้เป็นขาสำหรับพอร์ต 3 (P3.0-P3.7) สามารถใช้งานเป็นอินพุตเอาต์พุตพอร์ตทั่วไปได้หากต้องการใช้งานเป็นอินพุตพอร์ต ต้องโหลดค่า 1 ไปยังแต่ละบิตของพอร์ตนี้ เพื่อให้มีสถานะ high impedance โดยใช้วงจรพูลอัพภายใน นอกจากนี้ยังใช้งานในหน้าที่พิเศษต่าง ๆ อีกหลายอย่างดังนี้

ขา P3.0 ใช้รับข้อมูลจากภายนอกแบบอนุกรม
ขา P3.1 ใช้ส่งข้อมูลออกไปภายนอกแบบอนุกรม
ขา P3.2 ใช้เป็นอินพุตเพื่อรับสัญญาณอินเตอร์รัปต์ชนิดที่ 0
ขา P3.3 ใช้เป็นอินพุตเพื่อรับสัญญาณอินเตอร์รับปต์ชนิดที่ 1
ขา P3.4 สัญญาณอินพุตให้เคาน์เตอร์ของไทม์เมอร์ 0
ขา P3.5 สัญญาณอินพุตให้เคาน์เตอร์ของไทม์เมอร์ 1
ขา P3.6 ใช้เป็นสัญญาณควบคุมการเขียนข้อมูล ไปยังหน่วยความจำสำหรับเก็บข้อมูล

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ขา P3.7 ใช้เป็นสัญญาณควบคุมการอ่านข้อมูลจากหน่วยความจำสำหรับเก็บข้อมูลภายนอกชิป

การใช้งานพอร์ต 3 ในหน้าที่พิเศษดังกล่าวนี้จะต้องโหลดค่า 1 ไปยังแต่ละบิตที่ต้องการใช้ก่อนทุกครั้ง

- ขา RST (ขา 9) ใช้สำหรับการรีเซตวงจรทุกอย่างภายในชิป เพื่อเริ่มต้นการ ทำงานใหม่ การรีเซตใช้เมื่อเริ่มจ่ายพลังงานหรือเมื่อโปรแกรมเกิดทำงานผิดพลาดเมื่อต้องการรีเซตชิป MCS-51 ขานี้ต้องมีสถานะ 1 เป็นเวลาอย่างน้อย 2 แมชชีนไซเกิลระหว่างที่ออสซิลเลเตอร์ยังทำงานอยู่ โดยต้องต่อตัวต้านทานค่า 8.2 กิโลโอห์มเพื่อทำหน้าที่พูลดาวน์ (รักษาค่าแรงดันไฟฟ้าให้มีสถานะเป็นกราวด์) และเพื่อให้ตัวชิปรีเซตเองเมื่อเริ่มจ่ายพลังงานให้ต่อตัวเก็บประจุขนาด 10 ไมโครฟารัดคร่อมระหว่างขา RST กับ Vcc

- ขา ALE/PROG (ขา 30) เป็นขาสำหรับใช้ส่งสัญญาณออกไปภายนอก เพื่อควบคุม การแลตซ์ค่าแอดเดรสไบต์ต่ำ (address latch enable) จากพอร์ต 0 ในระหว่างการติดต่อหน่วยความจำสำหรับเก็บโปรแกรมหรือข้อมูลภายนอก ปกติเมื่อไม่มีการติดต่อหน่วยความจำภายนอกขานี้จะส่งสัญญาณพัลส์ออกมาด้วยความถี่ 1/8 ของความถี่ออสซิลเตอร์ที่ใช้ตลอดเวลา ดังนั้นเราสามารถใช้ความถี่ที่ได้จากขานี้ ไปใช้งานอย่างอื่นได้ แต่ความถี่ที่ขานี้จะลดลงครึ่งหนึ่งในระหว่างติดต่อกับหน่วยความจำสำหรับเก็บข้อมูลที่อยู่ภายนอกชิป นอกจากนี้ขา ALE ยังใช้สำหรับควบคุมการเขียนโปรแกรมลงไปใน EPROM สำหรับ MCS-51 เบอร์ที่มีหน่วยความจำสำหรับเก็บโปรแกรมภายในชิปเป็น EPROM

- ขา PSEN (ขา 29) ใช้ส่งสัญญาณสโตรบเพื่ออ่านคำสั่งจากโปรแกรมที่เก็บไว้ ในหน่วยความจำภายนอกชิป (program strobe enable) เมื่อชิปทำงานด้วยโปรแกรมจากภายนอกขานี้จะส่งสัญญาณสโตรบสองครั้งในแต่ละแมชชีนไซเกิล แต่ในช่วงการเขียนหรืออ่านข้อมูลกับหน่วยความจำภายนอกหรือเมื่อใช้โปรแกรมจากหน่วยความจำสำหรับเก็บโปรแกรมภายในชิปจะไม่มีสัญญาณออกมาจากขานี้

- ขา EA/Vpp (ขา 31) เป็นขาสำหรับใช้เลือกให้ MIC-51 ทำงานจากโปรแกรม ที่อยู่ภายในหรือภายนอกชิป โดยหากขานี้มีสถานะเป็น 0 หมายถึงให้ใช้โปรแกรม จากหน่วยความจำที่เก็บโปรแกรมภายนอก หากขานี้มีสถานะเป็น 1 หมายถึงบังคับให้ MCS-51 ใช้โปรแกรมจากหน่วยความจำสำหรับเก็บโปรแกรมภายในชิป และสำหรับ MCS-51 ที่มีหน่วยความจำสำหรับเก็บโปรแกรมภายในชิป สามารถเลือกให้ทำงานได้ทั้งจาก

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

โปรแกรมที่เก็บในหน่วยความจำภายในชิปหรือจากโปรแกรมที่เก็บไว้ในหน่วยความจำภายนอกชิปด้วยการต่อขา EA กับไฟเลี้ยงหรือกราวด์

ตามลำดับ ส่วนใน MCS-51 ที่ไม่มีหน่วยความจำสำหรับเก็บโปรแกรมภายในชิป ให้ต่อขานี้ลงกราวด์เสมอ

- ขา XTAL 1 (ขา 19) ใช้ต่อคริสตอลภายนอก โดยเป็นอินพุตเข้าสู่วงจรออสซิลเลเตอร์
- ขา XTAL 2 (ขา 18) ใช้ต่อคริสตอลภายนอก โดยเป็นเอาต์พุตออกจากวงจร ออสซิลเลเตอร์

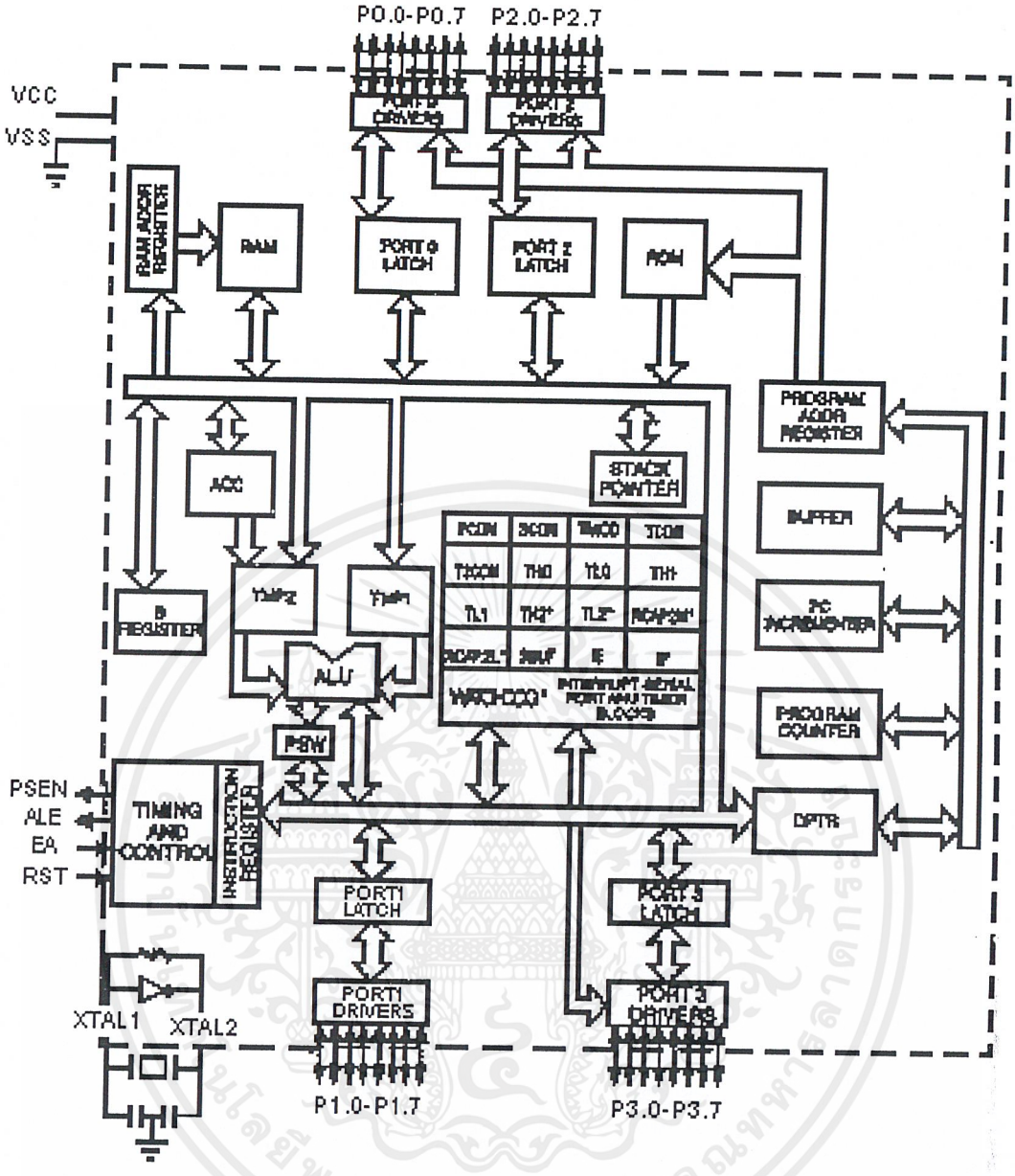
2.7 โครงสร้างภายในของ MCS-51

โครงสร้างภายในของชิปไมโครคอนโทรลเลอร์ตระกูล MCS-51 มีดังแสดงในรูปที่ 2.10 โครงสร้างหน่วยความจำภายใน MCS-51 ไมโครคอนโทรลเลอร์ในตระกูล MCS-51 ทุกเบอร์จะแบ่งหน่วยความจำออกเป็นสองส่วน คือ

- หน่วยความจำสำหรับเก็บโปรแกรม (program memory)
- หน่วยความจำสำหรับเก็บข้อมูล (data memory)

หน่วยความจำสำหรับเก็บโปรแกรม จะใช้เก็บโปรแกรมควบคุมการทำงานของชิป MCS-51 บางเบอร์จะมีหน่วยความจำส่วนนี้อยู่ภายในชิป แต่บางเบอร์จะไม่มี ทำให้ต้องเก็บโปรแกรมไว้ในหน่วยความจำภายนอกทั้งหมด ส่วนหน่วยความจำส่วนที่สองคือ หน่วยความจำสำหรับเก็บข้อมูล ซึ่งใช้สำหรับเก็บข้อมูลระหว่างการทำงาน MCS-51 ทุกเบอร์จะมีหน่วยความจำส่วนนี้อยู่ภายในชิปจำนวนหนึ่ง แต่จะมีจำนวนมากหรือน้อยเท่าใดขึ้นกับเบอร์ของชิป

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.10 แสดงโครงสร้างของชิปไมโครคอนโทรลเลอร์

2.8 หน่วยความจำสำหรับเก็บโปรแกรม

หน่วยความจำสำหรับเก็บโปรแกรมใน MCS-51 จะแบ่งออกเป็น 2 ส่วนคือหน่วยความจำสำหรับเก็บโปรแกรมภายในชิป (internal program memory) และหน่วยความจำสำหรับเก็บโปรแกรมภายนอกชิป (external program memory)ขนาดของหน่วยความจำสำหรับเก็บโปรแกรมภายในชิปมีได้ตั้งแต่ 0,4,8,16 กิโลไบต์ ขึ้นอยู่กับเบอร์ของชิป

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.9 หน่วยความจำสำหรับเก็บข้อมูล

หน่วยความจำสำหรับเก็บข้อมูลของ MCS-51 จะแบ่งออกเป็น 2 ส่วนคือ หน่วยความจำสำหรับเก็บข้อมูลภายในชิป และหน่วยความจำสำหรับเก็บข้อมูลภายนอกชิป หน่วยความจำสำหรับเก็บข้อมูลภายในชิปของ MCS-51 ยังแบ่งออกเป็น 2 ส่วนย่อยดังนี้

- ส่วนที่ใช้เก็บข้อมูลทั่วไป (internal ran)
- ส่วนที่ใช้เป็นรีจิสเตอร์ใช้งานเฉพาะ (special function register)

หน่วยความจำส่วนที่ใช้เก็บข้อมูลทั่วไปภายในชิปเป็นหน่วยความจำสำหรับเก็บข้อมูลที่มีอยู่ภายใน MCS-51 หน่วยความจำส่วนนี้มีไว้สำหรับเก็บข้อมูลในขณะทำงาน ส่วนหน่วยความจำสำหรับเก็บข้อมูลภายในชิปที่ใช้เป็นรีจิสเตอร์ใช้งานเฉพาะเป็นหน่วยความจำสำหรับเก็บข้อมูลภายใน MCS-51 ซึ่งถูกกำหนดให้เป็นรีจิสเตอร์ใช้งานเฉพาะเพื่อควบคุมการทำงานและบอกสถานะของซีพียู

MCS-51 ทุกเบอร์จะมีหน่วยความจำสำหรับเก็บข้อมูลทั่วไปภายในชิปอย่างน้อย 128 ไบต์ ไปจนถึง 256 ไบต์ทั้งนี้ขึ้นกับเบอร์ของชิป หน่วยความจำสำหรับเก็บข้อมูลทั่วไปภายในชิปบริเวณ 128 ไบต์แรกมีชื่อเรียกว่า lower 128 และในบริเวณ 128 ไบต์หลังที่มีเพิ่มในบางเบอร์มีชื่อเรียกว่า upper 128 หน่วยความจำสำหรับเก็บข้อมูลทั่วไปภายในชิปบริเวณ 128 ไบต์หลัง (ตำแหน่ง 80H ขึ้นไป) จะมีตำแหน่งตรงกับหน่วยความจำสำหรับเก็บข้อมูลภายในชิปที่ใช้เป็นรีจิสเตอร์ ใช้งานเฉพาะ (ตำแหน่ง 80H ขึ้นไปเช่นกัน) โดยมีวิธีการเข้าถึงข้อมูลในหน่วยความจำทั้งสองส่วนไม่เหมือนกัน ดังจะได้กล่าวต่อไปในเรื่องของการเข้าถึงข้อมูล

2.10 รีจิสเตอร์ใช้งานเฉพาะ

เนื่องจาก MCS-51 ถูกออกแบบไว้สำหรับใช้ควบคุมระบบโดยเฉพาะ จึงทำให้มีความสามารถเฉพาะตัวหลายอย่าง ซึ่งจำเป็นต้องอาศัยวงจรภายในชิปที่มีเพิ่มขึ้นจากไมโครโปรเซสเซอร์ทั่วไป การควบคุมการทำงานของวงจรภายในไมโครคอนโทรลเลอร์จะกระทำผ่านรีจิสเตอร์ที่ถูกกำหนดหน้าที่ไว้แล้วดังนั้นหากต้องการใช้ MCS-51 ให้มีประสิทธิภาพ จำเป็นต้องทราบหน้าที่การทำงานของรีจิสเตอร์ใช้งานเฉพาะแต่ละตัวให้ละเอียด รีจิสเตอร์ใช้งานเฉพาะทั้งหมดจะอยู่ในหน่วยความจำสำหรับเก็บข้อมูลภายในชิปบริเวณที่ใช้เป็นรีจิสเตอร์ใช้งานเฉพาะดังได้กล่าวมาแล้ว รีจิสเตอร์ใช้งานเฉพาะทั้งหมดใน MCS-51 มีดังแสดงในรูปที่ 2.11

ในส่วนของหน่วยความจำสำหรับเก็บโปรแกรม และหน่วยความจำสำหรับเก็บข้อมูลที่อยู่ภายนอกชิป จะเป็นหน่วยความจำส่วนที่อยู่ภายนอกชิป MCS-51 ซึ่งผู้ใช้ต้องติดตั้งเพิ่มเองการติดต่อระหว่าง MCS-51 กับหน่วยความจำทั้งสองส่วนจะใช้ขา 32 ถึง 39 (พอร์ต 0) เป็นตัวส่งค่าแอดเด

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รสไบต์ต่ำ (A0-A7) และใช้รับส่งข้อมูลกับหน่วยความจำด้วย (ใช้เป็นดาต้าบัส) ส่วนค่าแอดเดรสไบต์สูง (A8-A15) จะใช้ขา 21-28 (พอร์ต 2) ดังนั้นเมื่อพอร์ต 0 และพอร์ต 2 ถูกใช้ในการติดต่อกับหน่วยความจำภายนอก (ทั้งหน่วยความจำสำหรับเก็บโปรแกรมและหน่วยความจำสำหรับเก็บข้อมูล) จะทำให้เหลือพอร์ตสำหรับใช้งานอื่น ๆ น้อยลง

8 ไบต์

F8								FF
F0	B							F7
E8								E7
E0	ACC							EF
D8								DF
D0	PSW							D7
C8	(T2CON)		(RCAP2L)	(RCAP2H)	TL2	TH2		CF
C0								C7
B8	IP							BF
B0	P3							B7
A8	IE							AF
A0	P2							A7
98	SCON	SBUF						9F
90	P1							97
88	TCON	TMOD	TL0	TL1	TH0	TH1		8F
80	P0	SP	DPL	DPL			PCON	87

รูปที่ 2.11 แสดงโครงสร้างและตำแหน่งของรีจิสเตอร์ใช้งานเฉพาะใน MCS-51

2.11 รีจิสเตอร์สำหรับใช้งานทั่วไป

MCS-51 มีรีจิสเตอร์ใช้งานทั่วไปที่ผู้เขียนโปรแกรมสามารถนำมาใช้งานได้คือ รีจิสเตอร์ A, B (อยู่ในหน่วยความจำสำหรับเก็บข้อมูลภายในชิปที่ใช้เป็นรีจิสเตอร์ใช้งานเฉพาะ แต่นับเป็นรีจิสเตอร์ใช้งานทั่วไปเพราะไม่ถูกกำหนดหน้าที่ใช้งานโดยตรง) และรีจิสเตอร์ใช้งานทั่วไป R0-R7 ซึ่งอยู่ในหน่วยความจำสำหรับเก็บข้อมูลทั่วไปภายในชิปบริเวณ 128 ไบต์แรก ดังแสดงในรูปที่ 1.6 รีจิสเตอร์ ใช้งานทั่วไป R0-R7 ใน MCS-51 มีอยู่ด้วยกันทั้งหมด 4 กลุ่ม แต่ละกลุ่มประกอบด้วยรีจิสเตอร์จำนวน 8 ตัว (R0-R7) ซึ่งมีชื่อเรียกเหมือนกัน ดังนั้น จำนวนรีจิสเตอร์ใช้งานทั่วไป R0-R7 ใน MCS-51 จึงมีทั้งหมด 32 ตัว ในการทำงานขณะใด ๆ รีจิสเตอร์ทั้ง 4 กลุ่ม (R0-R7) จะถูกเลือกใช้งานเพียงกลุ่มเดียวเท่านั้น การเลือกใช้งานรีจิสเตอร์ R0-R7 กลุ่มใดกลุ่มหนึ่งใน 4 กลุ่ม กระทำโดยการเซตหรือเคลียรบิต RS0, RS1 ในรีจิสเตอร์ใช้งานเฉพาะ PSW

รีจิสเตอร์ใช้งานทั่วไปทั้ง R0-R7 จะมีอยู่ในกลุ่มรีจิสเตอร์ใช้งานทั่วไปทั้ง 4 กลุ่ม ซึ่งจะถูกเลือกใช้งานเพียงกลุ่มเดียวในขณะใดขณะหนึ่ง ค่าที่เปลี่ยนแปลงไปในรีจิสเตอร์ใช้งานทั่วไปที่ถูกเลือกใช้งานใน ขณะนั้นจะไม่มีผลต่อรีจิสเตอร์ใช้งานทั่วไปที่มีชื่อเดียวกันแต่อยู่คนละกลุ่มเลย โครงสร้างเช่นนี้ทำให้มีความสะดวกในการเขียนโปรแกรมเป็นอันมาก โดยเฉพาะกับการเขียนโปรแกรมที่มีการเรียกใช้โปรแกรมย่อย (subroutine)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.12 โครงสร้างพอร์ตของ MCS-51

MCS-51 ทุกเบอร์จะมีพอร์ตขนาด 8 บิตจำนวน 4 พอร์ต (P0, P1, P2, P3) โดยสามารถกำหนดให้ทำงานแบบพอร์ตขนาดขนาด 8 บิต 4 พอร์ต หรือจะใช้เป็นพอร์ตขนาด 1 บิตได้ถึง 32 พอร์ต ทั้งนี้ผู้ใช้ยังสามารถกำหนดให้แต่ละพอร์ตใช้งานเป็นอินพุตพอร์ตหรือเอาต์พุตพอร์ตอย่างใดอย่างหนึ่งได้อย่างอิสระ

ในกรณีที่ผู้ออกแบบต้องการใช้หน่วยความจำภายนอก ไม่ว่าจะเป็นหน่วยความจำสำหรับเก็บข้อมูลหรือสำหรับโปรแกรม พอร์ต 0 จะถูกกำหนดการใช้งานเป็น ดาต้าบัส และแอดเดรสบัสไบต์ต่ำ ส่วนพอร์ต 2 จะถูกกำหนดการใช้งานเป็นตัวส่งค่าแอดเดรสบัสไบต์สูงและบางส่วนของพอร์ต 3 จะถูกใช้ส่งสัญญาณควบคุมหรือคอนโทรลบัส (สัญญาณที่ใช้ควบคุมการอ่านหรือเขียนข้อมูล) แต่หากหน่วยความจำที่ใช้ภายนอกต้องการไม่ไม่ถึง 64 กิโลไบต์ พอร์ต 2 ที่ใช้เป็นแอดเดรสบัสไบต์สูงจะถูกนำมาใช้ทั้งหมด แต่พอร์ต 0 จะถูกใช้หมดทั้ง 8 เส้นเพราะต้องใช้เป็นดาต้าบัส ส่วนพอร์ต 3 จะนำมาใช้ติดต่อกับหน่วยความจำด้วยหรือไม่นั้น ขึ้นอยู่กับหน่วยความจำที่ใช้ภายนอกว่ามีหน่วยความจำส่วนที่ใช้เก็บข้อมูลด้วยหรือไม่ (ต้องการสัญญาณควบคุมการอ่านหรือเขียนข้อมูลหรือไม่นั่นเอง) ดังนั้นในการออกแบบระบบ หากต้องการใช้หน่วยความจำภายนอกมากขึ้นเพียงใดก็จะยิ่งทำให้เหลือจำนวนพอร์ตที่จะนำมาใช้งานลดลง ในการออกแบบจริงจึงต้องพยายามลดขนาดหน่วยความจำภายนอกให้เหลือน้อยที่สุด

พอร์ต 3 ซึ่งมีขนาด 8 บิต นอกจากจะใช้ส่งสัญญาณสำหรับการอ่านหรือเขียนข้อมูลในการติดต่อกับหน่วยความจำสำหรับเก็บข้อมูลภายนอกชิปแล้ว มันยังถูกใช้เป็นตัวรับสัญญาณอินเตอร์รัปต์ ข้อมูลแบบอนุกรมกับอุปกรณ์ภายนอก (รับและส่งข้อมูลผ่านเข้า RXD,TXD) อีกด้วย

ภายในแต่ละพอร์ตที่ใช้เป็นอินพุตหรือเอาต์พุต ผู้ใช้สามารถกำหนดให้ทำงานเป็นอินพุตหรือเอาต์พุตพอร์ตได้อย่างอิสระ โดยอาศัยการควบคุมจากโปรแกรม ซึ่งสามารถควบคุมให้แต่ละพอร์ตถูกใช้เป็นอินพุตในช่วงเวลาหนึ่ง และเป็นเอาต์พุตในอีกช่วงเวลาหนึ่งได้

2.13 ไทม์เมอร์/เคาน์เตอร์

ใน MCS-51 มีรีจิสเตอร์ใช้งานเฉพาะที่สามารถนับจำนวนสัญญาณนาฬิกาหรือแมชชีนไซเกิลของวงจรออสซิลเลเตอร์ภายใน (ทำงานเป็นไทม์เมอร์) หรือนับจำนวนครั้งของการเปลี่ยนสถานะของสัญญาณภายนอก (นับจำนวนพัลส์ภายนอก) ที่ขา T0, T1 ของพอร์ต 3 (ทำงานเป็นเคาน์เตอร์) รีจิสเตอร์ที่ใช้เป็นไทม์เมอร์หรือเคาน์เตอร์มีขนาด 16 บิตจำนวน 2 ตัว คือรีจิสเตอร์ไทม์เมอร์ 0 และรีจิสเตอร์ไทม์เมอร์ 1 ตามลำดับ (ในเบอร์ 8052 มีรีจิสเตอร์ไทม์เมอร์ 2 เพิ่มให้อีก 1 ตัว) เมื่อต้องการใช้ไทม์เมอร์ 0 หรือไทม์เมอร์ 1 จะต้องโหลดค่าที่ต้องการนับไปไว้ในรีจิสเตอร์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ไทม์เมอร์ 0 หรือรีจิสเตอร์ไทม์เมอร์ 1 และเมื่อนับได้ครบจำนวนที่ตั้งไว้จะมีสัญญาณอินเตอร์รัปต์เพื่อบอกให้ซีพียูทราบ

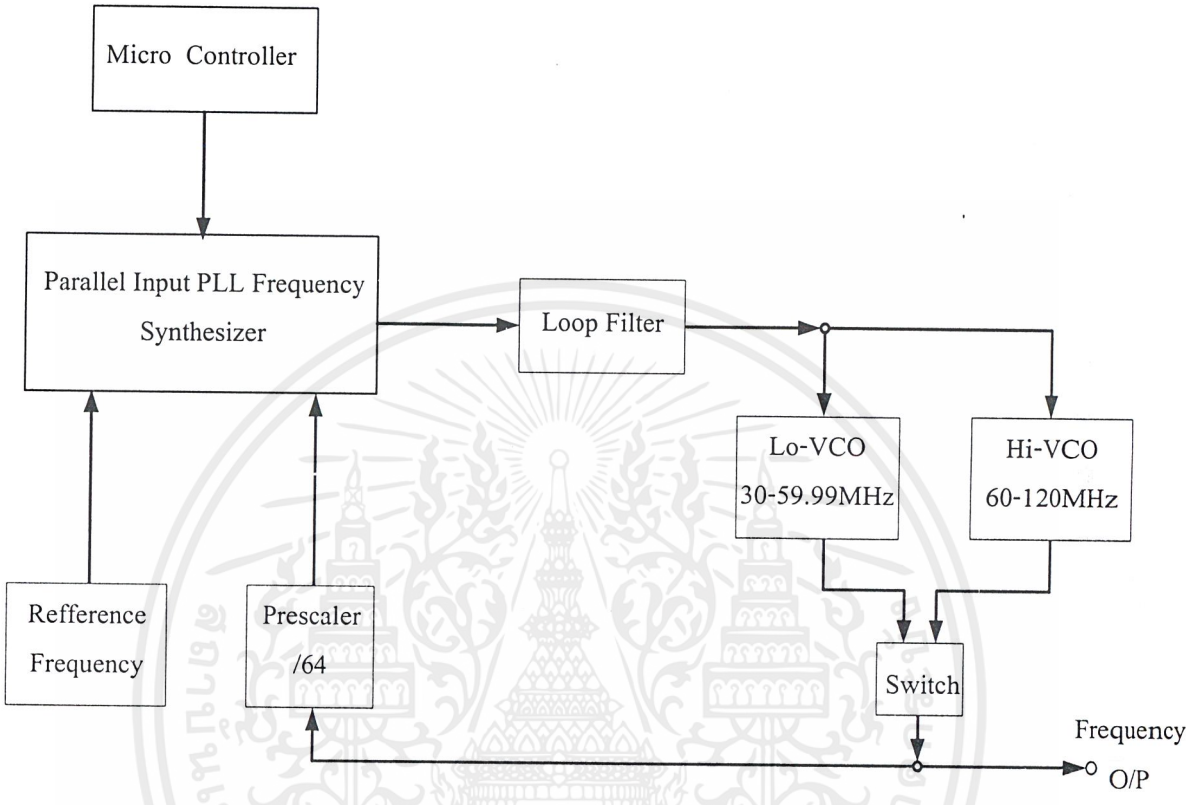
การควบคุมการทำงานของไทม์เมอร์หรือเคาน์เตอร์ สามารถควบคุมได้จากวงจรภายนอก (ควบคุมด้วยสัญญาณที่ขา INT0, INT1) หรือควบคุมจากคำสั่งในโปรแกรม ดังนั้นรีจิสเตอร์ที่ใช้เป็นไทม์เมอร์ใน MCS-51 จะสามารถวัดช่วงห่างของเวลา วัดความกว้างของพัลส์ หรือนับจำนวนครั้งของเหตุการณ์ที่เกิดขึ้นภายนอกที่เปลี่ยนให้อยู่ในรูปของสัญญาณไฟฟ้าแล้ว รวมทั้งใช้กำเนิดสัญญาณอินเตอร์รัปต์ที่มีคาบเวลาแน่นอนได้

2.14 พอร์ตสื่อสารข้อมูลแบบอนุกรม

MCS-51 สามารถรับและส่งข้อมูลแบบอนุกรมได้โดยไม่ต้องพึ่งอุปกรณ์ภายนอกอื่น ๆ แต่อย่างใด ในด้านอัตราเร็วของการรับส่งข้อมูลก็สามารถกำหนดค่าได้ตามความต้องการของผู้ใช้ โดยสามารถเลือกอัตราเร็วในการรับส่งข้อมูล (baud rate) มาตรฐานได้ตั้งแต่ 110, 1.2K, 2.4K, 4.8K, 9.6K 375K ตามมาตรฐาน UART นอกจากนี้ยังสามารถกำหนดการทำงานที่แตกต่างกันได้ถึง 4 รูปแบบ ตามความเหมาะสมในแต่ละงาน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 3
การคำนวณและการสร้าง

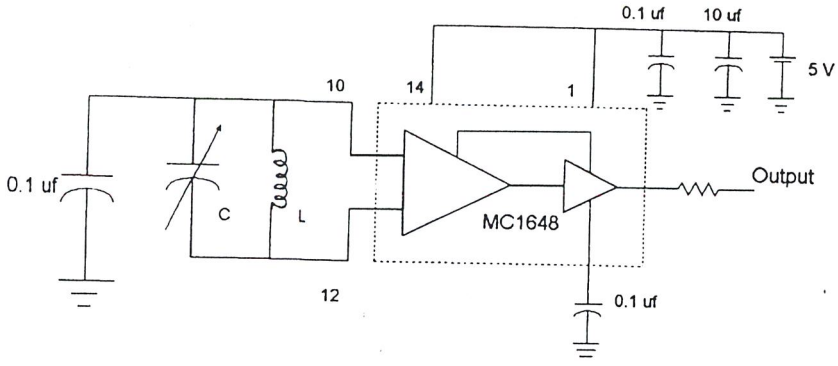


รูปที่ 3.1 แสดงบล๊อคไดอะแกรม ของระบบสังเคราะห์ความถี่แบบที่ใช้เฟสล็อคลูป

3.1 การทดลองในส่วนของ VCO

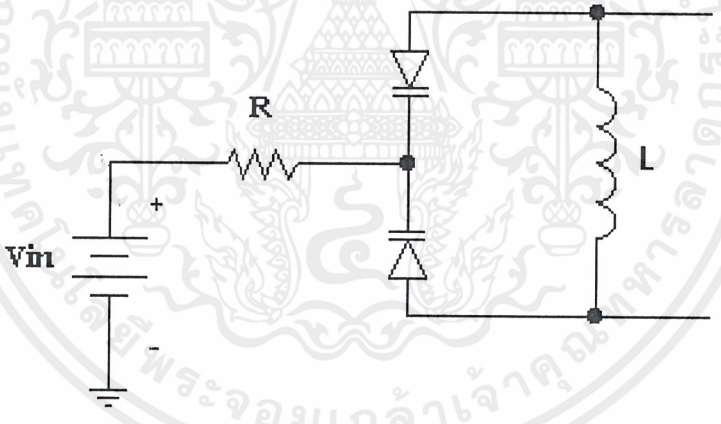
ในส่วนของภาค Voltage Control Oscillator (VCO) เราจะนำไอซีเบอร์ MC1648 ของบริษัทโมโตโรล่า มาทำการประยุกต์ใช้ทำเป็น VCO โดยที่เราจะทำการต่อวงจรแท็งค์แบบขนานเข้าที่อินพุทระหว่างขา 10 และขา 12 ของไอซี MC1648 และทำการจัดไบอัสให้กับวงจรตามรูปที่ 3.2

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.2 แสดงวงจรการต่ออุปกรณ์ของ VCO

ในส่วนของวงจรแทงค์จูนเราใช้ Varicap Diode ซึ่งเป็นตัวเก็บประจุปรับค่าได้ตามแรงไฟกระแสตรง ซึ่งในที่นี้เราจะใช้เบอร์ MV2105 ซึ่งสามารถรับแรงไฟไบอัสกลับ (Reverse Voltage; Vr) ได้ถึง 30 V จากรูป ถ้าเราออกแบบให้ Reverse Voltage อยู่ในช่วง 1.5 – 23 V เราจะได้ค่าความจุของ Varicap Diode ในช่วง 10pF – 60pF จากนั้นจะนำเอา Varicap มาต่อขนานกับอินดัคเตอร์ L เป็นวงจรแท็งค์จูนแบบขนานดังรูปที่ 3.3



รูปที่ 3.3 แสดงวงจรแท็งค์จูน

3.2 การออกแบบวงจร VCO

เราต้องการความถี่เอาท์พุท VCO ในช่วง 30-60 MHz และ 60-120 MHz โดยใช้ไอซีเบอร์ MC1648 เป็นวงจรผลิตความถี่ออสซิเลเตอร์ ความถี่ของวงจรจะได้ตามสมการ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$fo\min = 1/\{2\pi\sqrt{L(Cd\max + Cs)}\} \qquad 3.1$$

เมื่อ Cd = ค่าความจุของวาแรกเตอร์

Cs = ค่าความจุภายในของ MC1648 มีค่าประมาณ 6pF

ช่วงแรก ความถี่ 30-60 MHz

เนื่องจากค่า C ของ Varicap มีค่าอยู่ระหว่าง 15pF – 60pF ดังนั้นจะได้

$$fo = 1/\{2\pi\sqrt{L(Cd + Cs)}\}$$

$$fomin = 30\ MHz$$

$$Cs = 6pF$$

$$Cdmax = 60pF$$

แทนค่าในสมการเพื่อหาค่า L

ได้ L = 426.4 nH

เมื่อแทนค่า L = 426.4 nH และ Cdmin = 10pF จะได้

$$fomax \cong 60\ MHz$$

เราจะเลือกใช้ L ที่ค่าประมาณ 420 nH ซึ่งจะใช้ลวดพันจำนวน 10 รอบ เส้นผ่านศูนย์กลาง 5 มิลลิเมตร และ Varicap เบอร์ MV2109

ช่วงที่สอง ความถี่ 60-120 MHz

$$fo = 1/\{2\pi\sqrt{L(Cd + Cs)}\}$$

$$fomin = 60\ MHz$$

$$Cs = 6pF$$

$$Cdmax = 60pF$$

แทนค่าในสมการเพื่อหาค่า L

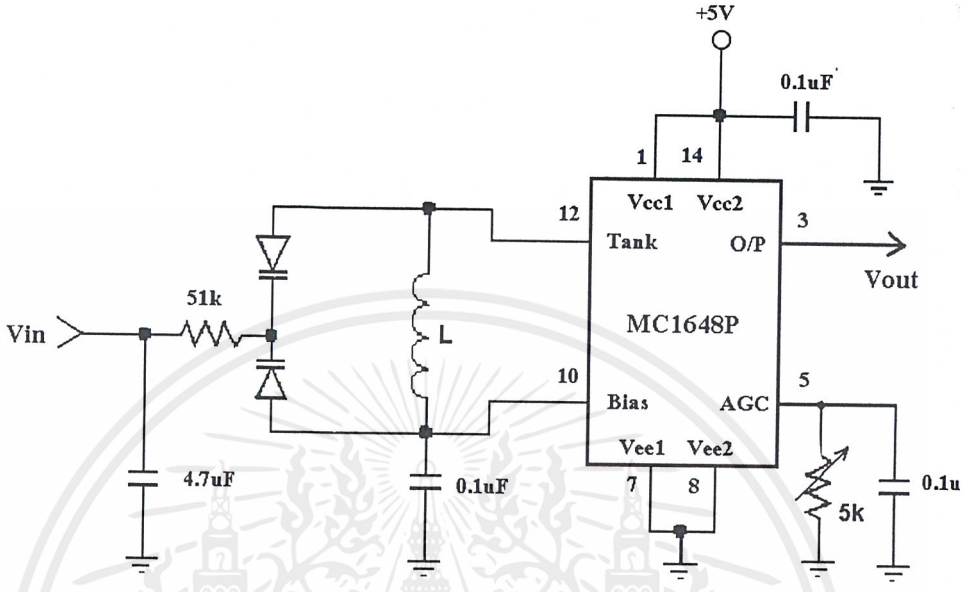
ได้ L = 106.6 nH

เมื่อแทนค่า L = 106.6 nH และ Cdmin = 15pF จะได้

$$fomax \cong 120\ MHz$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เราจะเลือกใช้ L ที่ค่าประมาณ 110 nH ซึ่งจะใช้ลวดพันจำนวน 6 รอบ เส้นผ่านศูนย์กลาง 5 มิลลิเมตร และ Varicap เบอร์ MV2105



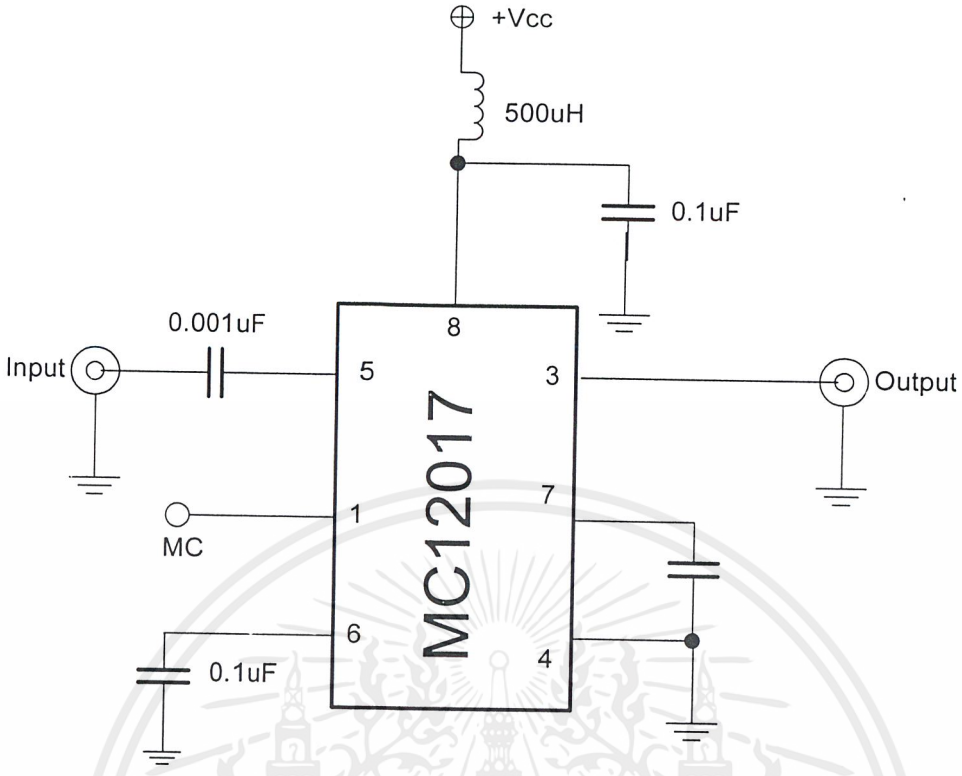
รูปที่ 3.4 แสดงการต่อวงจร VCO โดยใช้ไอซี MC1648P

3.3 พรีสเกลเลอร์แบบสองโมดูลัส

เป็นวิธีที่จะทำให้ระบบสังเคราะห์ความถี่ผลิตความถี่สูงมากได้อีกวิธีหนึ่ง โดยในวงจรนี้จะใช้ไอซีเบอร์ MC12017 ซึ่งจะทำการหารล่วงหน้า(prescale) ก่อน หมายถึงมีการทำงานในลักษณะที่หารได้ 2 ครั้ง ด้วยค่า 2 ค่าสลับกันไปในไอซีตัวเดียว ซึ่งไอซีตันนี้จะหารได้ 2 ค่า คือ 64 และ 65 นิยมเรียกไอซีชนิดนี้ว่า พรีสเกลเลอร์ชนิดสองโมดูลัส (dual modulus prescaler)

จากรูปวงจรให้ป้อนไฟเลี้ยง 5 โวลต์ ให้แก่วงจรโดยต่อเข้าที่ขา V_{CC} ส่วนขา SW จะเป็นตัวเลือกโหมดการการซึ่งเราสามารถเลือกได้โดยใส่สัญญาณ high หรือ low (ดูรายละเอียดใน data sheet) ในวงจรจะเลือกการหาร 64/65 ส่วนขา MC จะต่อกับไอซี 145152-2 เพื่อเป็นตัวโปรแกรมว่าขณะนั้นพรีสเกลเลอร์หารด้วยค่าอะไร (64 หรือ 65) ขา IN (ขา 5) จะนำสัญญาณที่ได้จากวงจรวีซีโอเข้ามาเป็นอินพุทของตัวไอซี โดยสัญญาณที่จะป้อนให้วงจรพรีสเกลเลอร์นั้นควรจะมีกำลังงานอยู่ในช่วงประมาณ –5 dBm ถึง 0 dBm

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.5 แสดงวงจรหารพรีสเกลเลอร์

เอาท์พุทของวงจรพรีสเกลเลอร์ที่ออกมาทางขา OUT ซึ่งจะต่อเข้าไปเป็นอิพุทให้แก่วงจรเปรียบเทียบเฟสต่อไปนั้น จะเป็นสัญญาณรูปสี่เหลี่ยม และมีความถี่เป็นไปตามสมการดังนี้

$f_{out} = f_{in}/n$

n = 64 เมื่อ MC = 0

n = 65 เมื่อ MC = 1

3.4 วงจรเปรียบเทียบเฟส

เป็นวงจรที่ใช้เพื่อเปรียบเทียบเฟสของสัญญาณที่ได้รับจากวงจรวีซีโอ กับเฟสของความถี่ที่อ้างอิงโดยวงจรสังเคราะห์ความถี่จะสามารถผลิตความถี่ได้ตรงตามความถี่ที่เราต้องการก็ต่อเมื่อเฟสของทั้งสองส่วนนี้เท่ากัน ในการทดลองนี้จะใช้ไอซีเบอร์ MC 145152-2 ซึ่งเป็นไอซีที่สามารถโปรแกรมได้ 16 บิท โดย 10 บิทบนจะกำหนดจาก N เคาน์เตอร์ และ 6 บิท ล่างจะกำหนดจาก A เคาน์เตอร์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การออกแบบเรากำหนดให้ภายในไอซีมีความถี่อ้างอิง 10 กิโลเฮิรตซ์ ซึ่งในส่วนของความถี่อ้างอิงนี้จะใช้คริสตอลออสซิลเลเตอร์ 10.24 เมกกะเฮิรตซ์ เป็นตัวอ้างอิง โดยเราจะสามารถหารความถี่ของคริสตอลออสซิลเลเตอร์ ให้มีความถี่เท่ากับความถี่อ้างอิงที่เราต้องการคือ 10 กิโลเฮิรตซ์ ได้โดยการกำหนอค่า RA0, RA1 และ RA2 เป็น 1 0 1 ตามลำดับ ซึ่งจาก data sheet จะเห็นว่าเมื่อเรากำหนดค่า RA0, RA1 ,RA2 ซึ่งจะต่อเข้ากับขา 4,5,6 ของไอซีเป็นค่า 1 0 1 แล้วก็ทำให้เป็น 1024 ดังนั้น เมื่อเรานำไปหารค่าความถี่คริสตอลออสซิลเลเตอร์แล้ว ก็จะทำให้ได้ค่าความถี่อ้างอิงออกที่ขา OSC_{out} (ขา26) มีค่าเท่ากับ 10 กิโลเฮิรตซ์ ตามที่เรากำหนด การที่เราจะโปรแกรมให้วงจรสามารถผลิตความถี่ ที่เราต้องการนั้นสามารถคำนวณได้จากสมการด้านล่าง เมื่อได้ค่า N และ A แล้วก็ต้องทำการแปลงให้เป็นค่าในเลขฐานสองก่อนที่จะป้อนเข้าสู่วงจร

$$Nt = NP + A \qquad (3.2)$$

โดยที่ Nt คือ ความถี่ที่เราต้องการ หารด้วยค่าความถี่อ้างอิง

N คือ ตัวโปรแกรม N0 - N9 = 10 บิท ซึ่งเป็นตัวหารตั้งแต่ 64-1023

A คือ ตัวโปรแกรม A0 - A9 = 6 บิท ซึ่งเป็นตัวหารตั้งแต่ 0-63

P คือ ตัวหารของพรีสเกลเลอร์

ยกตัวอย่างการออกแบบวงจรสังเคราะห์ความถี่ 100 เมกกะเฮิรตซ์ จะได้ค่าต่างๆดังนี้

Nt = 100 เมกกะเฮิรตซ์ / 10 กิโลเฮิรตซ์ = 10000

P = 64

N = 156

A = 16

ค่า N และ A นี้จะป้อนโดยการโปรแกรมจากไมโครคอนโทลเลอร์

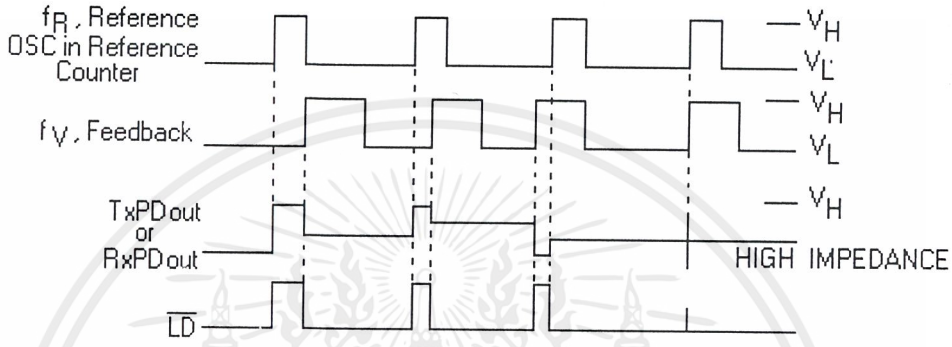
N = 156 = 0 0 1 0 0 1 1 1 0 0

A = 16 = 0 1 0 0 0 0

โดย N จะเป็น10 บิท บน และ A จะเป็น 6 บิท ล่าง ซึ่งมักเรียงกันจะได้เป็น 0 0 1 0 0 1 1 1 0 0 0 1 0 0 0 0 โดยตัวเลขด้านขวามือสุดคือค่า A0 ซึ่งจะต่อเข้าขา 23 ของไอซี และตัวแรกด้านซ้ายมือสุดจะเป็นค่า N9 ซึ่งจะต่อเข้าขา 20 ของไอซี (ซึ่งการนับจะนับจากขวาไปซ้าย โดยเริ่มจาก A0 ไปจนถึง A5 และต่อด้วย N0 จนถึง N9 ตามลำดับ) และป้อนไฟเลี้ยง 5 โวลต์ให้แก่วงจรโดยต่อเข้าขา V_{DD} (ขา3) ส่วนขา V_{SS} (ขา2) จะต่อลงกราวด์ สัญญาณอินพุทจากพรีสเกลเลอร์จะถูกคับปลิ้งเข้ามาทางขา f_{in} (ขา1) สัญญาณอินพุทนี้เสมือนเป็น clock เข้าไปทริกให้หารด้วย N และขา A ϕ_R (ขา17) และขา ϕ_V (ขา8) นั้นจะต่อเข้าเป็นอินพุทของวงจรลูปฟิลเตอร์ ซึ่งถ้าความถี่ f_V มากกว่า f_R หรือถ้าเฟสของ f_V นำอยู่จะทำให้ ϕ_V เป็นสัญญาณระดับต่ำ และ ϕ_R เป็นสัญญาณระดับสูง อีกกรณีหนึ่งถ้า

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ความถี่ f_V น้อยกว่า f_R หรือ เฟสของ f_V ตามอยู่ จะทำให้ ϕ_R เป็นสัญญาณระดับต่ำ และ ϕ_V เป็นสัญญาณระดับสูงและถ้าความถี่ของ f_V เท่ากับ f_R และเฟสตรงกันแล้วจะทำให้ ϕ_V และ ϕ_R เป็นสัญญาณระดับสูงตลอด แต่ก็จะมีช่วงหนึ่งที่เป็นสัญญาณระดับต่ำ คือช่วงทั้ง สองเป็นสัญญาณระดับต่ำพร้อมกัน ซึ่งความต่างเฟสของ ϕ_R และ ϕ_V จะถูกเปลี่ยนเป็นค่าไฟตรงเพื่อส่งไปชดเชยที่วงจรวีซีโอ ให้ผลิตความถี่ได้ตรงตามที่ต้องการ โดยแสดงได้ดังรูปที่ 3.6



รูปที่ 3.6 แสดงการเปรียบเทียบความถี่อ้างอิง และความถี่อินพุท

ส่วนขา MC (ขา9) นั้นจะต่อไปยังวงจรพรีสเกลเลอร์เพื่อนกำหนดว่าขณะนั้นพรีสเกลเลอร์จะต้องหารด้วยค่าอะไร โดยสัญญาณที่ออกจากขา MC จะเป็นสัญญาณ square wave โดยเริ่มต้นจะมีระดับสัญญาณต่ำจนกว่าเคาน์เตอร์ A จะนับลดลงเป็น 0 หลังจากนั้นก็จะเปลี่ยนเป็นสัญญาณระดับสูงจนกว่าเคาน์เตอร์ N จะนับส่วนที่เหลือจากการนับไปพร้อมเคาน์เตอร์ A จนหมด (เพราะว่าขณะที่ A นับลดลง N ก็จะนับลดลงไปด้วย เพราะฉะนั้นเมื่อ A นับลดลงจนเป็น 0 แล้ว N จะต้องนับอีก (N-A) ครั้งจึงเท่ากับ 0) และ MC จะกลับไปเป็นสัญญาณระดับต่ำอีกครั้งเมื่อเคาน์เตอร์ถูกรีเซ็ท ด้วยค่าที่โปรแกรมไว้อีกครั้ง

ขา LD (Lock Detector Output) ขา28 จะเป็นขาที่ใช้ในการตรวจสอบว่าวงจรสังเคราะห์ความถี่สามารถผลิตความถี่ ได้ตรงตามที่เราต้องการหรือไม่ โดยสัญญาณที่ขานี้เป็นสัญญาณระดับสูงก็แสดงว่า f_R และ f_V มีเฟสและความถี่ตรงกันแล้ว นั้นคือวงจรนี้สามารถผลิตความถี่ที่เราต้องการได้อย่างถูกต้องและเที่ยงตรงแล้ว (รายละเอียดของขาต่างของไอซีสามารถดูได้จาก data sheet ท้ายเล่ม)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.5 วงจร Loop Filter

วงจรลูปฟิลเตอร์จะใช้ออปแอมป์เบอร์ TL081 ซึ่งวงจรนี้จะนำเอาสัญญาณ ϕ_R และ ϕ_V จากวงจรเปรียบเทียบเฟสมาเป็นอินพุท โดย ϕ_V ต่อเข้าที่ขา 3 และ ϕ_R ต่อเข้าขา 2 เพื่อทำการเปรียบเทียบเฟสและแปลงค่าความแตกต่างออกมาเป็นแรงดันไฟตรง เพื่อไปควบคุมให้วงจรวีซีโอ สามารถผลิตความถี่ได้ตรงตามที่ต้องการ และวงจรนี้ยังทำหน้าที่เป็นวงจรกรองความถี่ต่ำผ่าน (Low Pass Filter : LPF) อีกด้วย

การคำนวณค่าต่างๆ ที่ต่อในวงจรสามารถคำนวณได้จาก

$$\omega_n = (K_\phi K_{VCO} / NCR_1)^{1/2} \quad (3.3)$$

$$\xi = \omega_n R_2 C / 2 \quad (3.4)$$

โดยที่ $K_\phi = V_{DD} / 2\pi$

$K_{VCO} = 2\pi\Delta f_{VCO} / \Delta V_{VCO}$

โดยกำหนด ω_n = 100 เรเดียน/วินาที

Damping Factor (ξ) = 1

สำหรับวงจรสังเคราะห์ความถี่ 30-60 เมกกะเฮิรตซ์ ได้ค่า

$K_{VCO} = (2\pi x 3 x 10^6) / (23.0 - 1.2)$ เรเดียน/โวลท์

$K_\phi = V_{DD} / 2\pi$

C = 1 ไมโครฟารัด

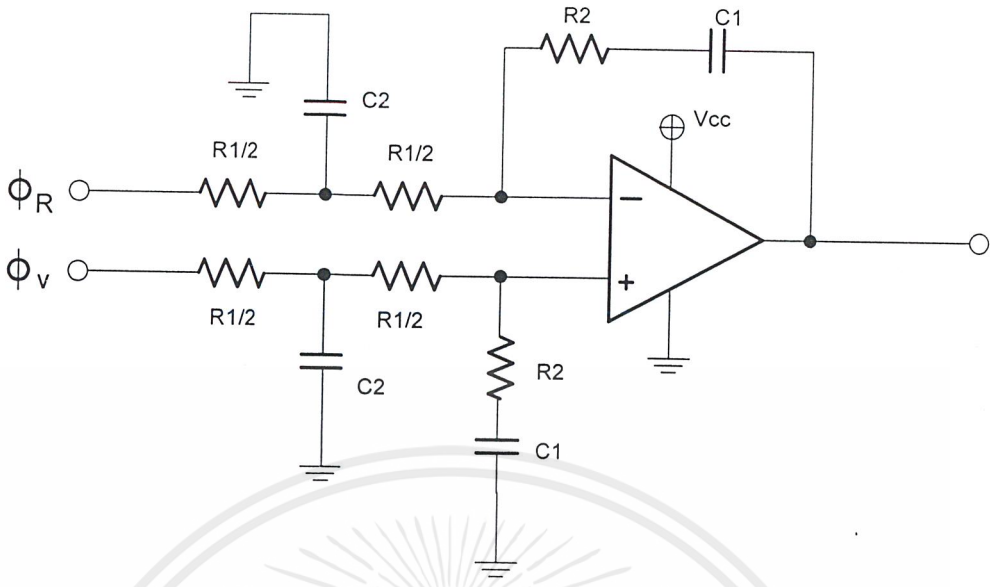
R_1 = 210 กิโลโอห์ม

R_2 = 20 กิโลโอห์ม

N = 6000

สำหรับวงจรสังเคราะห์ความถี่ 60-120 เมกกะเฮิรตซ์ ก็จะได้ค่า R_1, R_2 และ C เท่ากัน

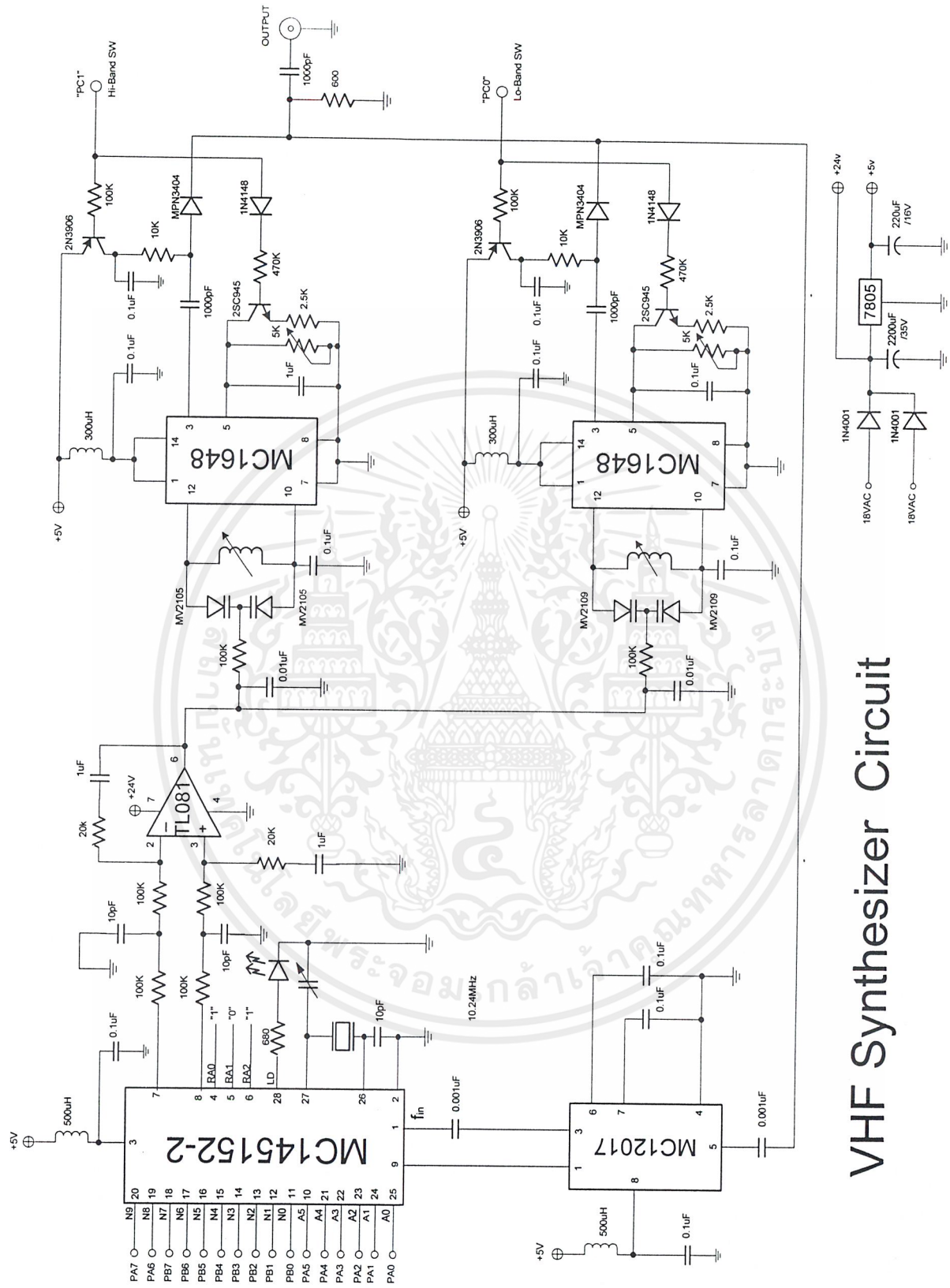
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.7 แสดงวงจร Loop Filter

วงจรลูปฟิลเตอร์ที่ใช้ในโครงงานเป็นแบบดิฟเฟอเรนเชียล โดยจะทำการแบ่งค่า R1 เป็นสองตัว และเพิ่ม C2 ซึ่งเป็นการเพิ่มอันดับของฟิลเตอร์ เพื่อช่วยให้ลูปฟิลเตอร์กรองสัญญาณไฟตรงได้เรียบขึ้น และมีเสถียรภาพดีขึ้น

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.8 แสดงวงจรรวมของ 30-120 MHz Frequency Synthesizer

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 4
ผลการทดลอง

4.1 ระบบสังเคราะห์ความถี่แบบเฟสล็อคลูป

ประกอบด้วยส่วนสำคัญ 4 ส่วนดังนี้

1. วงจรออสซิลเลเตอร์ควบคุมความถี่ด้วยแรงดัน (VCO)
2. วงจรพรีสเกลเลอร์แบบสองโมดูลัส
3. วงจรเปรียบเทียบเฟส
4. วงจรลูปฟิลเตอร์

4.1.1 วงจรสังเคราะห์ความถี่ 30-60 เมกกะเฮิรตซ์

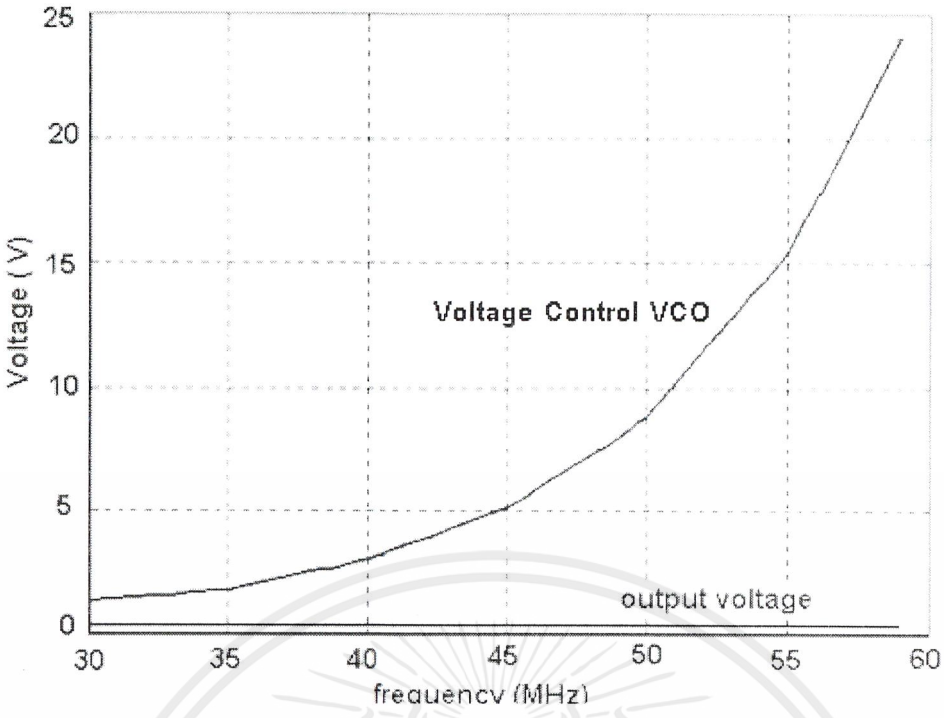
ทำการทดลองโดยการป้อนแรงไฟตรง แล้ววัดความถี่ และขนาดของสัญญาณ

ตารางที่ 4.1 ผลการทดลองวัดค่าแรงไฟ VCO ช่วงความถี่ 30 – 60 เมกกะเฮิรตซ์

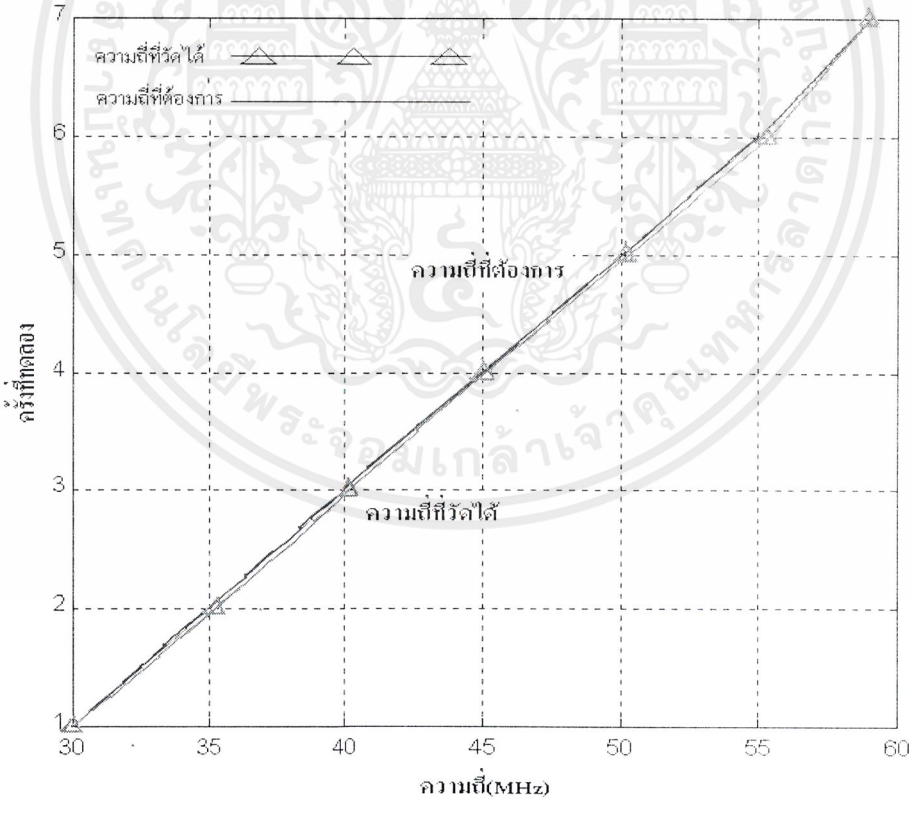
ความถี่ที่ต้องการ(MHz)	แรงดัน ควบคุม VCO(V)	แรงดัน Output(V)	ความถี่ที่วัดได้(MHz)	%Error	%Accuracy
30.00	1.3623	0.390	30.01	0.033	99.967
35.00	1.9408	0.385	35.26	0.743	99.257
40.00	3.0523	0.385	40.17	0.425	99.757
45.00	5.1003	0.376	45.11	0.244	99.756
50.00	8.766	0.395	50.29	0.580	99.420
55.00	15.433	0.376	55.36	0.655	99.345
59.00	24.061	0.376	59.02	0.034	99.966

ทำการทดลองวงจรวีซีโอโดยป้อนแรงดันไฟตรงควบคุมขนาด 1-22 โวลท์เข้าที่วาริแคป วัดผลการทดลองได้ตามตาราง 4.1 จะเห็นว่าวงจรผลิตสัญญาณความถี่เปลี่ยนไปตามขนาดของแรงดันไฟควบคุม ผลจากตารางสามารถนำมาพล็อตกราฟความสัมพันธ์ระหว่างแรงดันไฟตรงควบคุม และ แรงดัน Output กับความถี่ ได้กราฟดังรูปที่ 4.1 และพล็อตกราฟระหว่างความถี่ที่ต้องการกับความถี่ที่วัดได้ดังรูปที่ 4.2

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.1 กราฟแสดง แรงดันวีซีโอ และ แรงดันเอ้าท์พุทที่ความถี่ 30 – 60 MHz



รูปที่ 4.2 กราฟแสดง ความถี่ที่ต้องการ และ ความถี่ที่ได้จากการทดลอง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ค่าความชันของกราฟจะนำไปหาคอนเวอร์ชั่นแกนที่จะนำไปใช้ในการออกแบบวงจรลูปฟิลเตอร์ได้ดังนี้

$$K_{VCO} = 2\pi\Delta f / \Delta V$$

$$= 8.76 \times 10^{6} \text{ เรเดียน/โวลต์}$$

จากนั้นนำเอาท์พุทของวงจรวีซีโอ ต่อเข้ากับวงจรฟรีสเกลเลอร์แบบสองโมดูลัส โดยวงจรฟรีสเกลเลอร์แบบสองโมดูลัสจะหารความถี่ที่ได้จากวงจรวีซีโอด้วยการหาร 64 ได้ค่าเอาท์พุทออกมาเป็นสัญญาณรูปสี่เหลี่ยมที่มีความถี่เป็นดังนี้

$$f_{out} = f_{in} / n$$

โดย f_{in} คือความถี่ที่ได้จากวงจรวีซีโอ

f_{out} คือ ความถี่ที่ได้จากวงจรฟรีสเกลเลอร์

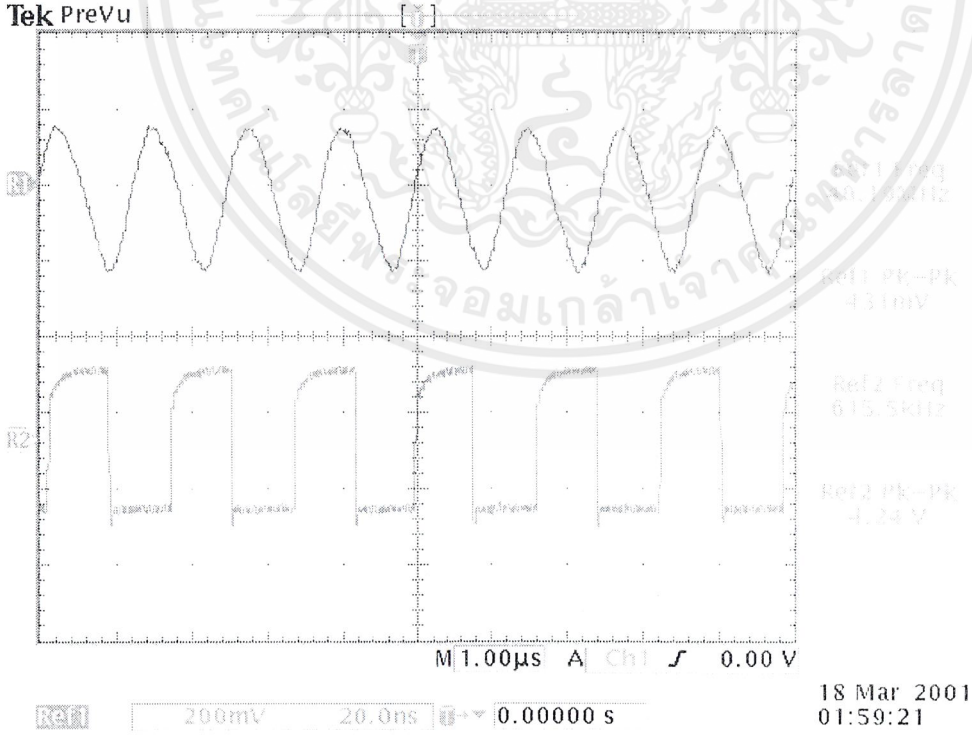
n คือ ตัวหาร, n = 64 เมื่อ MC = 0

n = 65 เมื่อ MC = 1

ถ้า f_{in} = 40 MHz

f_{out} = 40 MHz / 64

= 625 kHz



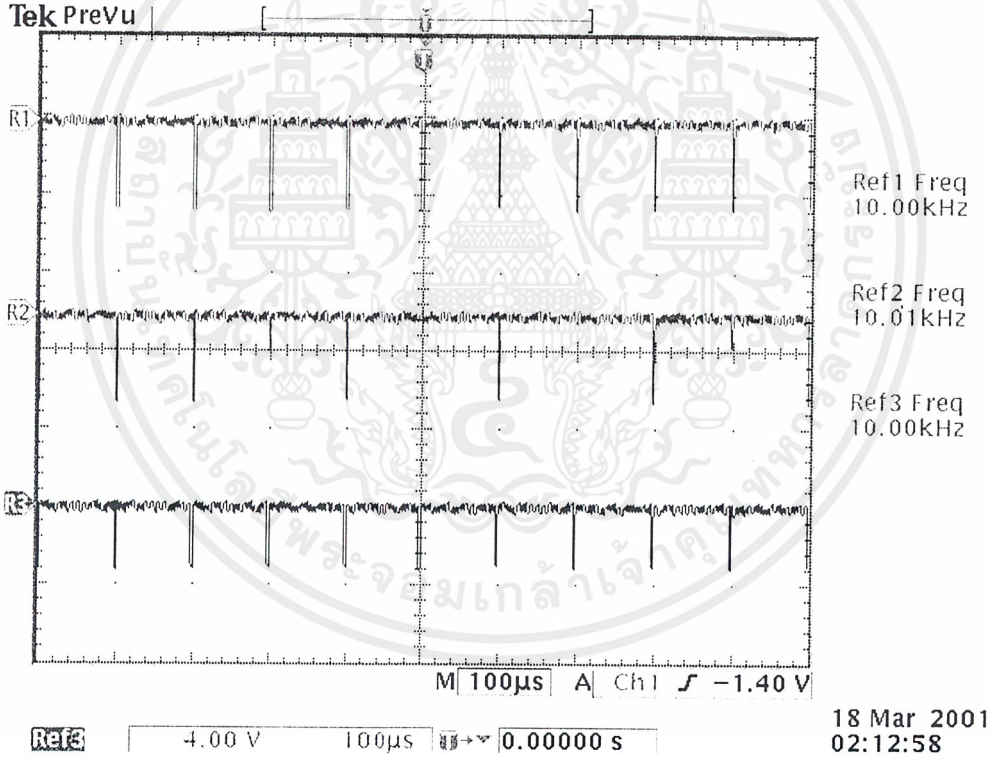
รูปที่ 4.3 แสดงสัญญาณเปรียบเทียบจากวงจรวีซีโอและวงจรฟรีสเกล

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Ref1 คือ สัญญาณเอาท์พุทจากวงจรวีซีโอ

Ref2 คือ สัญญาณเอาท์พุทจากวงจรฟรีสเกลเลอร์

จากนั้นจะนำสัญญาณเอาท์พุทจากวงจรฟรีสเกลเลอร์ต่อเข้ากับวงจรเฟสดีเตอร์ และวงจรลูปฟิลเตอร์ที่โปรแกรมเค้าเคาน์เตอร์ N และค่าเคาน์เตอร์ A ไว้แล้วให้ล็อคที่ความถี่ 40 เมกกะเฮิรตซ์ ซึ่งสามารถตรวจสอบว่าวงจรสังเคราะห์ความถี่อยู่ในสภาพล็อคหรือไม่ โดยถ้าระบบอยู่ในสภาวะล็อค เฟสของสัญญาณอ้างอิง และเฟสของสัญญาณวีซีโอจะต้องเท่ากัน โดยจะดูได้จากสัญญาณ ϕv และ ϕR จะต้องอยู่ในสภาวะ high จะมีเพียงช่วงเวลาสั้น ๆ เท่านั้นที่สัญญาณอยู่ในสภาวะ low และสัญญาณที่ขา LD (Lock Detect) คือขา 28 ของไอซีจะต้องอยู่ในสภาวะ high ด้วย ดังรูปที่ 4.4



รูปที่ 4.4 แสดงเอาท์พุทของเฟสเทคเตอร์และสัญญาณที่ขา LD

Ref1 คือ สัญญาณเอาท์พุท ϕ_R ที่ขา 7

Ref2 คือ สัญญาณเอาท์พุท ϕ_V ที่ขา8

Ref3 คือ สัญญาณที่ขา LD

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4.1.2 วงจรสังเคราะห์ความถี่ 60-120 เมกกะเฮิรตซ์

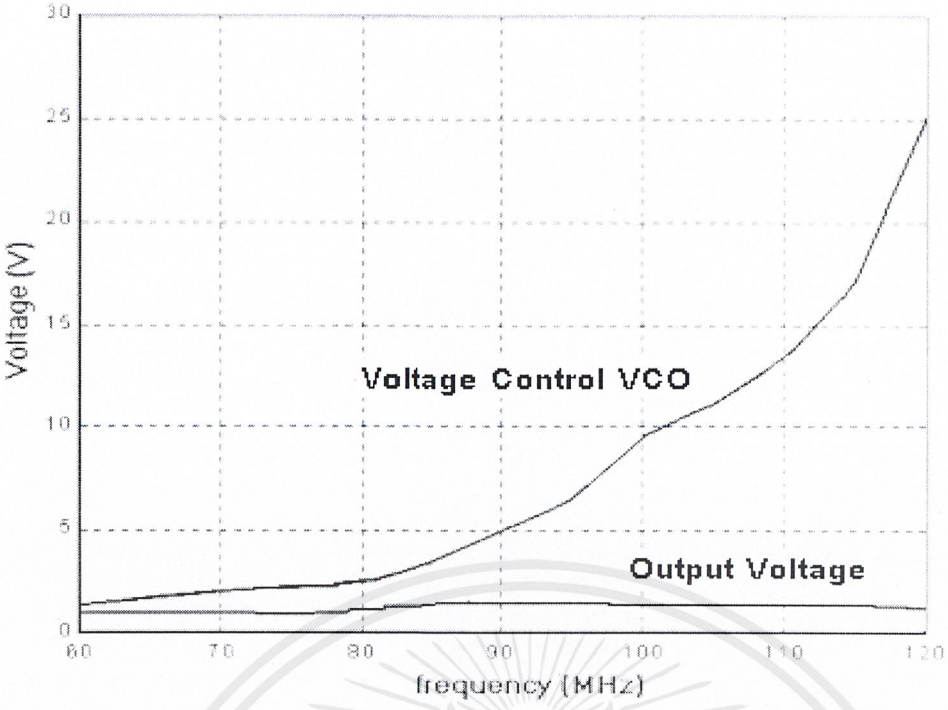
ประกอบด้วยวงจรต่างๆ เหมือนกับวงจรสังเคราะห์ความถี่ 30 – 60 MHz แต่ต่างกันที่วงจรวีซีโอ จะสามารถปรับเปลี่ยนความถี่ได้กว้างกว่า ซึ่งผลการออสซิลเลทความถี่เป็นดังตารางที่ 4.2

ตารางที่ 4.2 แสดงผลการออสซอลเลทความถี่ของวีซีโอ 60 – 120 เมกกะเฮิรตซ์

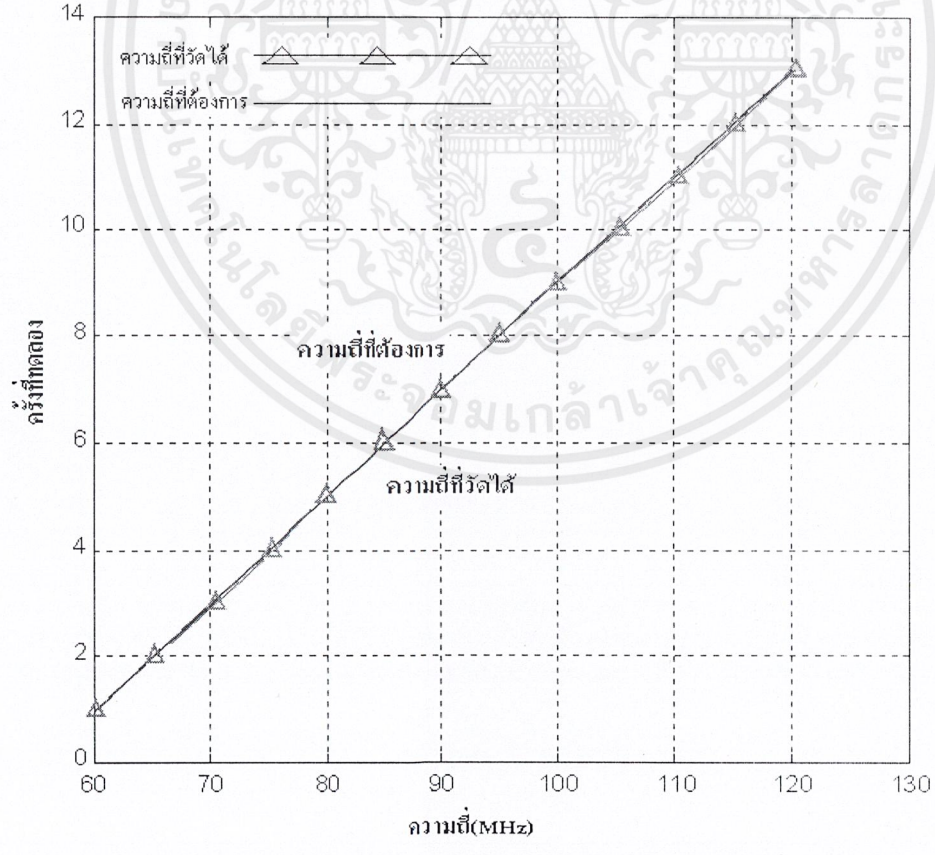
ความถี่ที่ต้องการ(MHz)	แรงดันควบคุม VCO (V)	แรงดัน Output (V)	ความถี่ที่วัดได้ (MHz)	%Error	%Accuracy
60.00	1.3388	0.941	60.17	0.283	99.717
65.00	1.7180	0.971	65.12	0.185	99.815
70.00	2.1514	0.973	70.43	0.614	99.386
75.00	2.1956	0.864	75.19	0.253	99.747
80.00	2.4544	1.14	80.01	0.013	99.987
85.00	3.4700	1.42	85.08	0.094	99.906
90.00	4.9567	1.51	90.14	0.156	99.844
95.00	6.512	1.44	95.00	0.000	100.00
100.00	9.509	1.34	100.00	0.000	100.00
105.00	11.180	1.28	105.5	0.476	99.524
110.00	13.387	1.31	110.2	0.182	99.818
115.00	17.028	1.30	115.2	0.174	99.826
120.00	25.225	1.27	120.3	0.250	99.750

ผลจากตารางที่ 4.2 นำมาพล็อตกราฟความสัมพันธ์ระหว่างแรงดันไฟตรงควบคุมกับความถี่ได้ดังรูปที่ 4.5

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

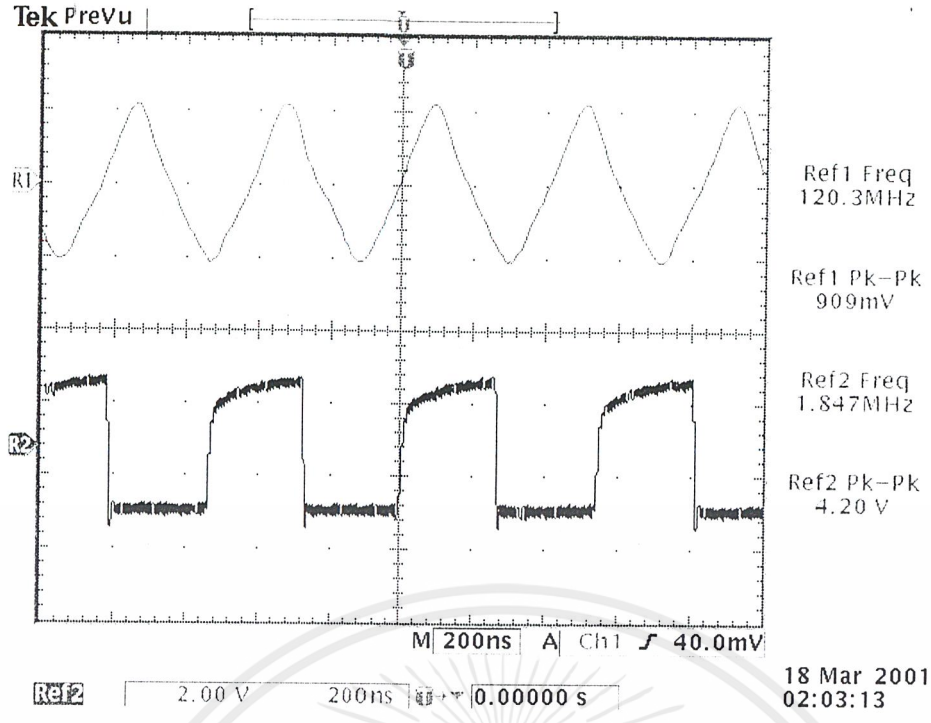


รูปที่ 4.5 กราฟแสดง แรงดันวีซีโอ และ แรงดันเอ้าท์พุทที่ความถี่ 60 – 120 MHz



รูปที่ 4.6 กราฟแสดง ความถี่ที่ต้องการ และ ความถี่ที่ได้จากการทดลอง

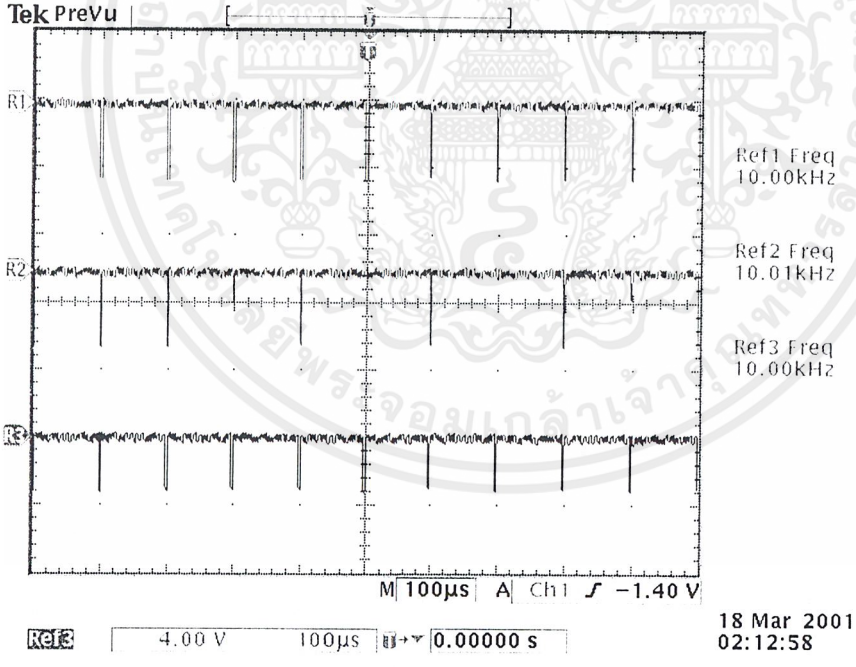
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.7 แสดงสัญญาณเปรียบเทียบจากวงจร วีซีโอ และวงจรฟรีสเกลเลอร์

Ref1 คือ สัญญาณเอาท์พุทจากวงจรวีซีโอ

Ref2 คือ สัญญาณเอาท์พุทจากวงจรฟรีสเกลเลอร์



รูปที่ 4.8 แสดงเอาท์พุทของเฟสดีเทคเตอร์และสัญญาณที่ขา LD

Ref1 คือ สัญญาณเอาท์พุท ϕ_R ที่ขา 7

Ref2 คือ สัญญาณเอาท์พุท ϕ_V ที่ขา8

Ref3 คือ สัญญาณที่ขา LD

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

วงจรลูปฟิลเตอร์จะเปลี่ยนความต่างเฟสเป็นสัญญาณไฟตรงไฟควบคุมวีซีโอ ให้ผลิตความถี่ตรงตามที่ต้องการและคงค่านั้นไว้ได้ตลอด เราสามารถโปรแกรมเปลี่ยนค่าของ N และ A เพื่อให้ความถี่เปลี่ยนได้

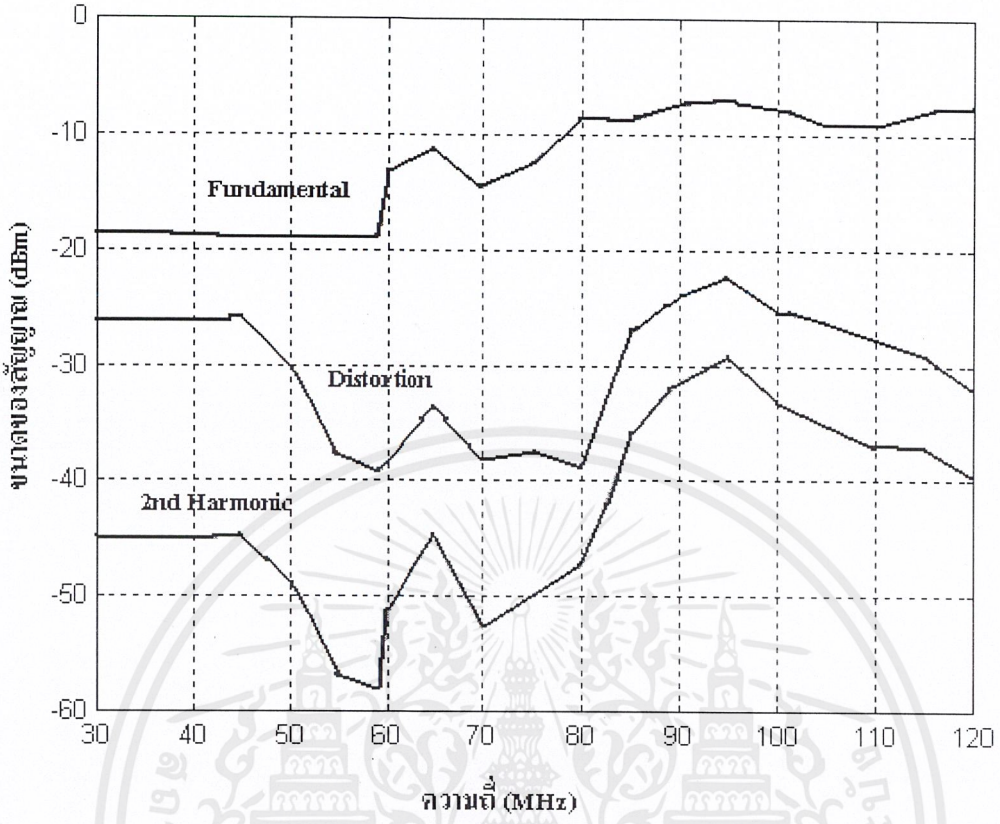
จากรูป 4.8 แสดงถึงสภาวะที่วงจรสังเคราะห์ความถี่อยู่ในสภาวะล็อค ซึ่งหมายความว่าวงจรสังเคราะห์สามารถผลิตความถี่ได้ตรงตามที่โปรแกรมเอาไว้

ทำการวัดสเปคตรัมของสัญญาณเอ้าท์พุทที่ความถี่ต่างๆ และสเปคตรัมของฮาร์โมนิกส์จะได้ผลดังแสดงในตางที่ 4.3 จากนั้นนำค่าที่ได้ไปพล็อตกราฟ จะได้กราฟดังแสดงในรูปที่ 4.9

ตารางที่ 4.3 แสดงสเปคตรัมของขนาดของสัญญาณเอ้าท์พุทที่ความถี่ต่างๆ

ความถี่ที่ทำการวัด (MHz)	สเปคตรัมมูลฐาน (dBm)	ฮาร์โมนิกที่ 2 (dBm)	Distortion (dBm)
30.00	-18.6	-44.8	-26.2
35.00	-18.6	-44.8	-26.2
40.00	-18.8	-45	-26.2
45.00	-19.0	-44.8	-25.8
50.00	-18.8	-49	-30.2
55.00	-19.0	-56.8	-37.8
59.00	-18.8	-58	-39.2
60.00	-13.2	-51.4	-38.2
65.00	-11.2	-44.8	-33.6
70.00	-14.6	-52.8	-38.2
75.00	-12.4	-49.8	-37.4
80.00	-8.6	-47.4	-38.8
85.00	-8.8	-36	-27.2
90.00	-7.4	-31.4	-24.0
95.00	-7.0	-29.4	-22.4
100.00	-7.8	-33.2	-25.4
105.00	-9.2	-35.4	-26.2
110.00	-9.2	-37	-27.8
115.00	-8.0	-37.2	-29.2
120.00	-7.6	-39.8	-32.2

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

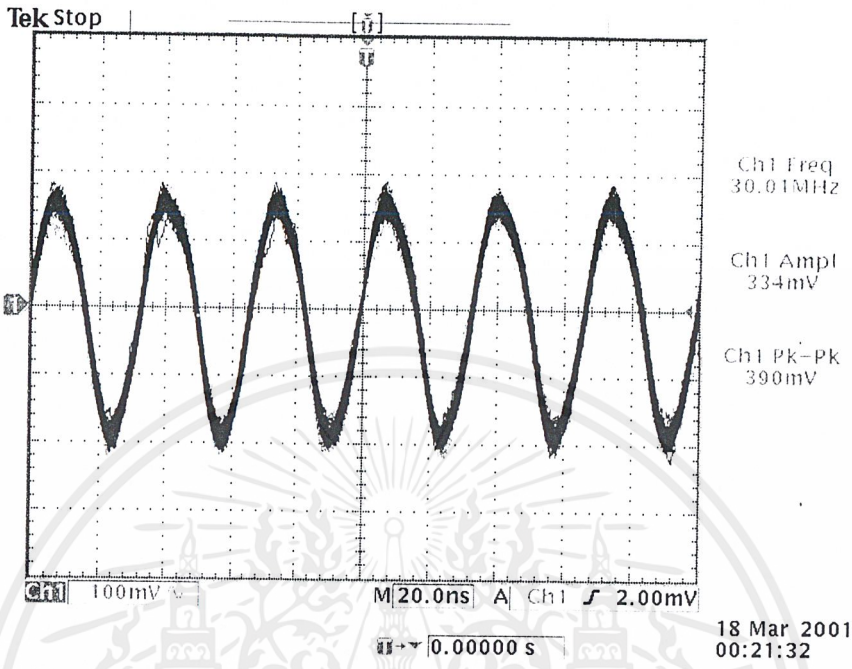


รูปที่ 4.9 แสดงขนาดของเปคตรัมของสัญญาณเอาท์พุทและฮาร์โมนิกส์ที่ความถี่ต่างๆ

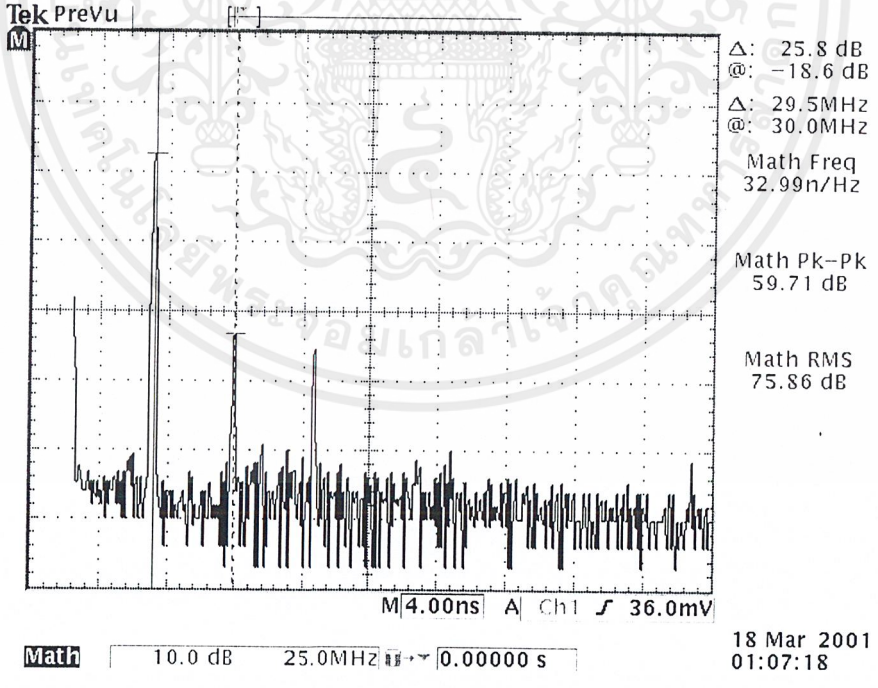
คำว่า **Distortion** ในกราฟที่แสดงนั้น หมายถึง ค่าที่เกิดจากการเปรียบเทียบระดับของสเปคตรัมความถี่สัญญาณที่ 2^{nd} Harmonic เทียบกับ Fundamental กล่าวคือใช่ค่า 2^{nd} Harmonic ลบด้วยค่า Fundamental นั้นเอง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4.2 ผลการวัดสัญญาณที่ Output ของวงจร

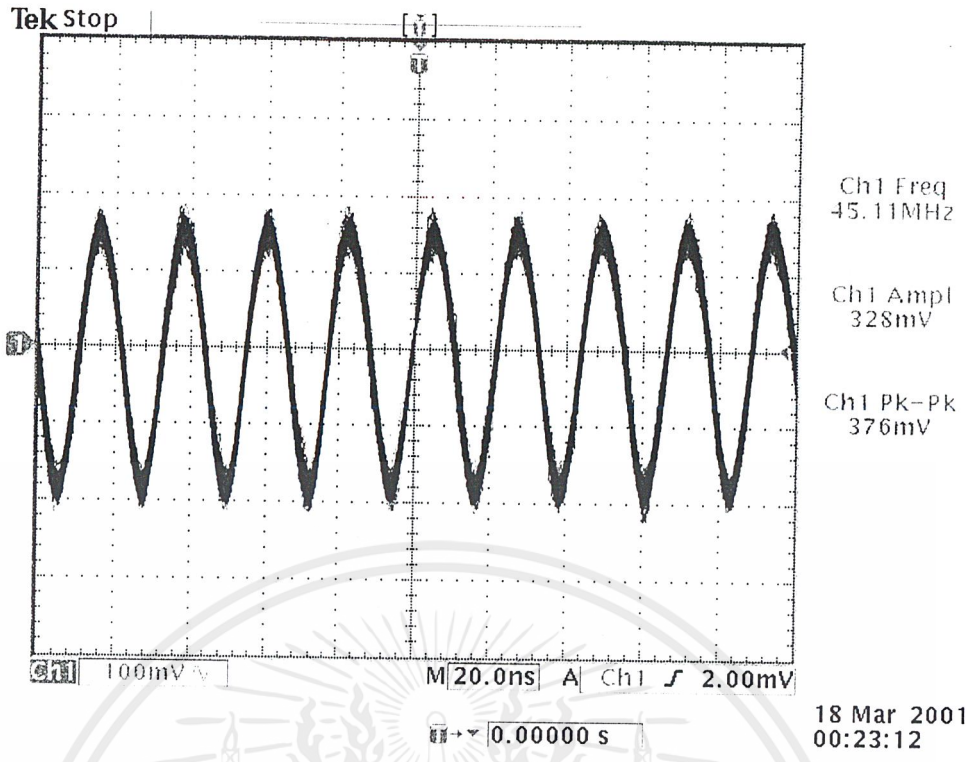


รูปที่ 4.10 แสดงสัญญาณ Output ที่ความถี่ 30 MHz

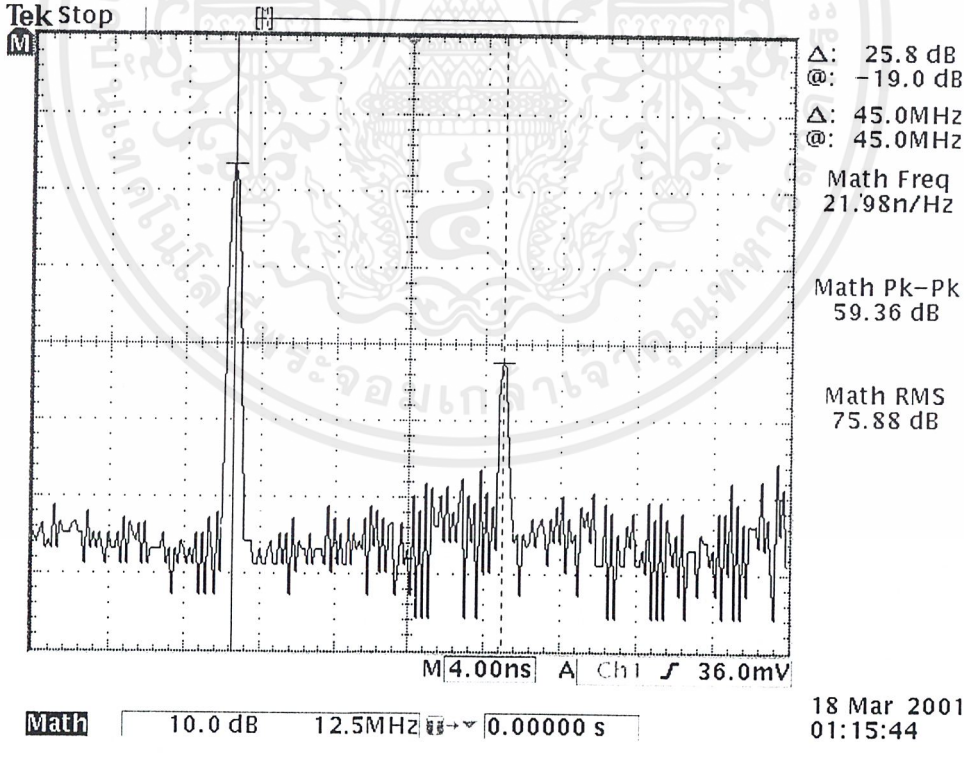


รูปที่ 4.11 แสดงสเปกตรัมความถี่ของ Output ที่ความถี่ 30 MHz

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

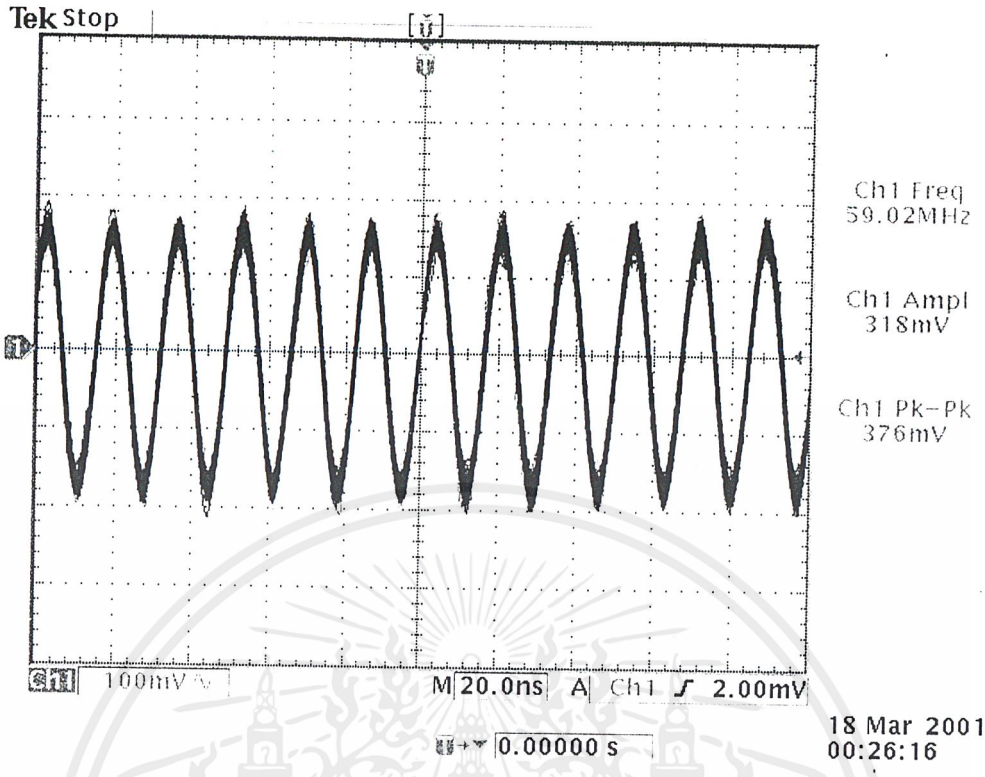


รูปที่ 4.12 แสดงสัญญาณ Output ที่ความถี่ 45 MHz

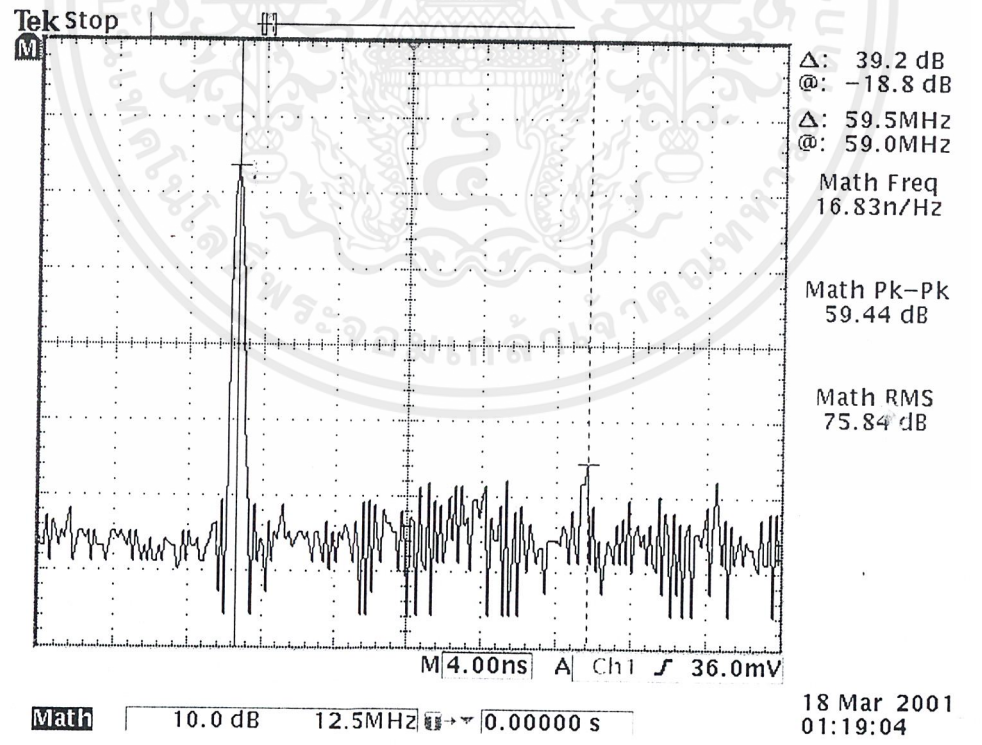


รูปที่ 4.13 แสดงสเปกตรัมความถี่ของ Output ที่ความถี่ 45 MHz

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

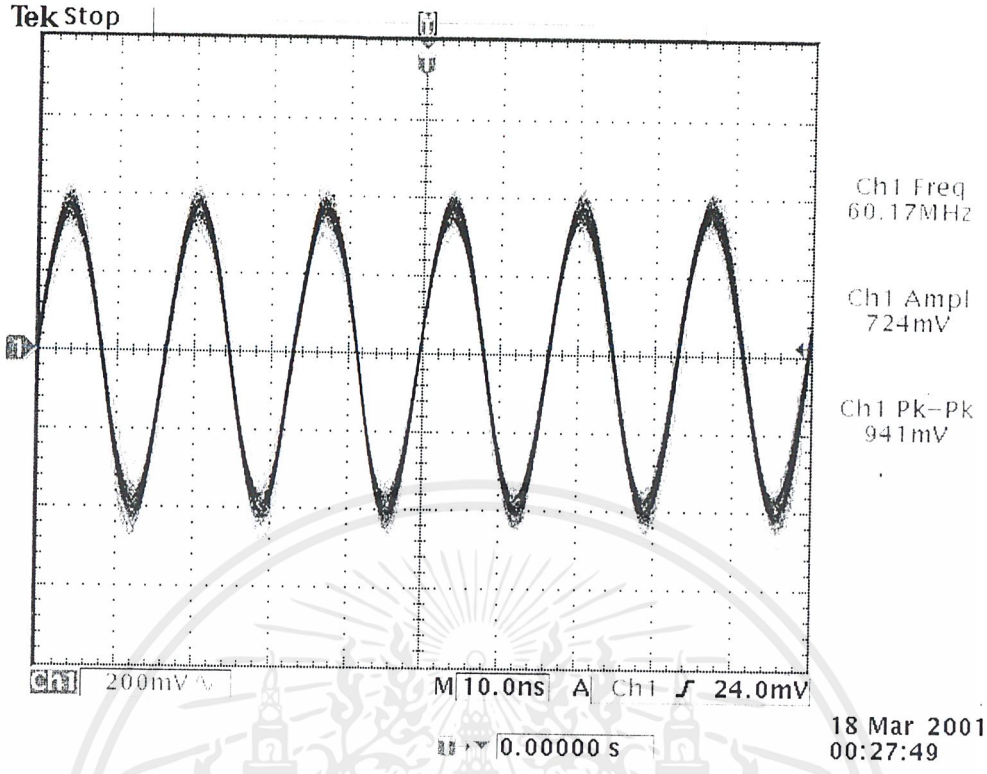


รูปที่ 4.14 แสดงสัญญาณ Output ที่ความถี่ 59 MHz

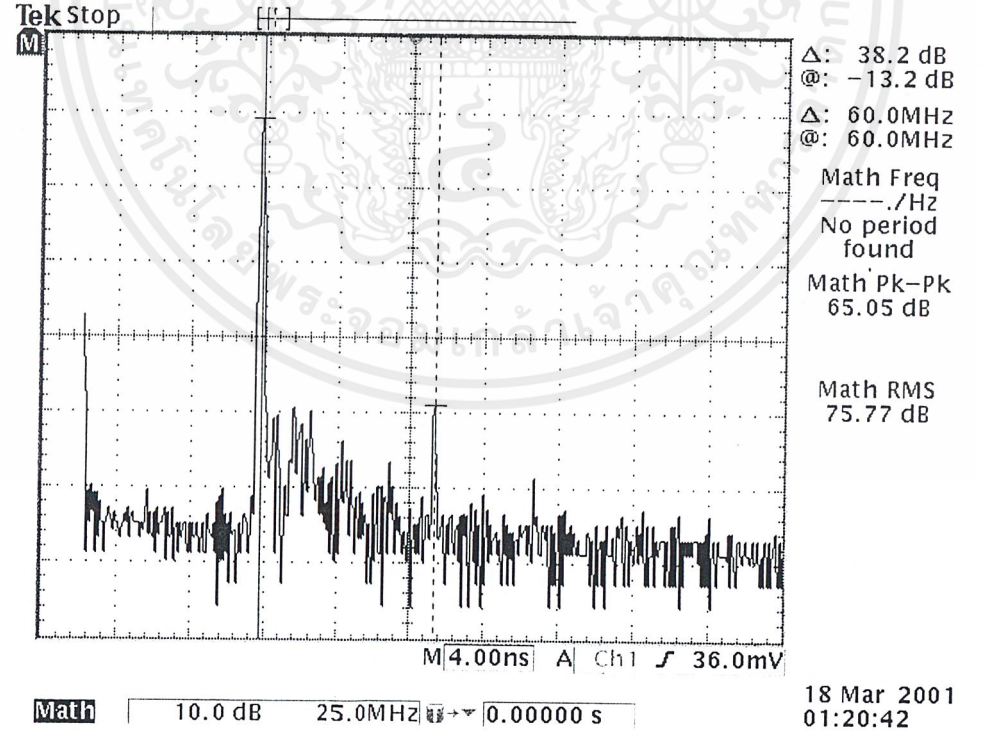


รูปที่ 4.15 แสดงสเปกตรัมความถี่ของ Output ที่ความถี่ 59 MHz

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

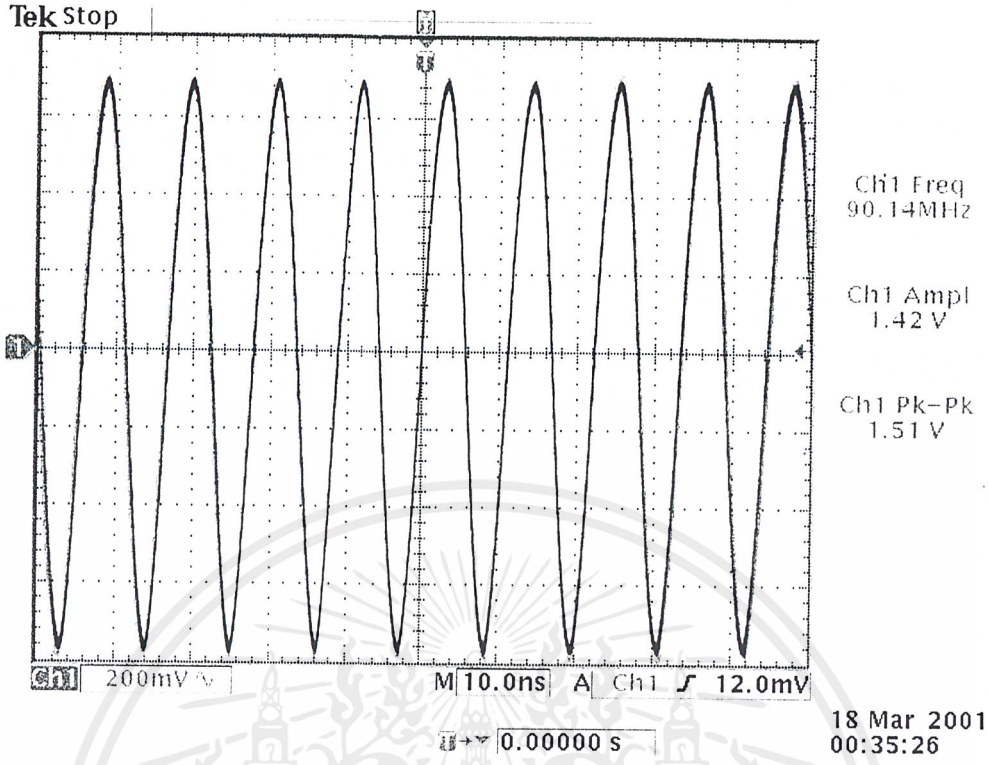


รูปที่ 4.16 แสดงสัญญาณ Output ที่ความถี่ 60 MHz

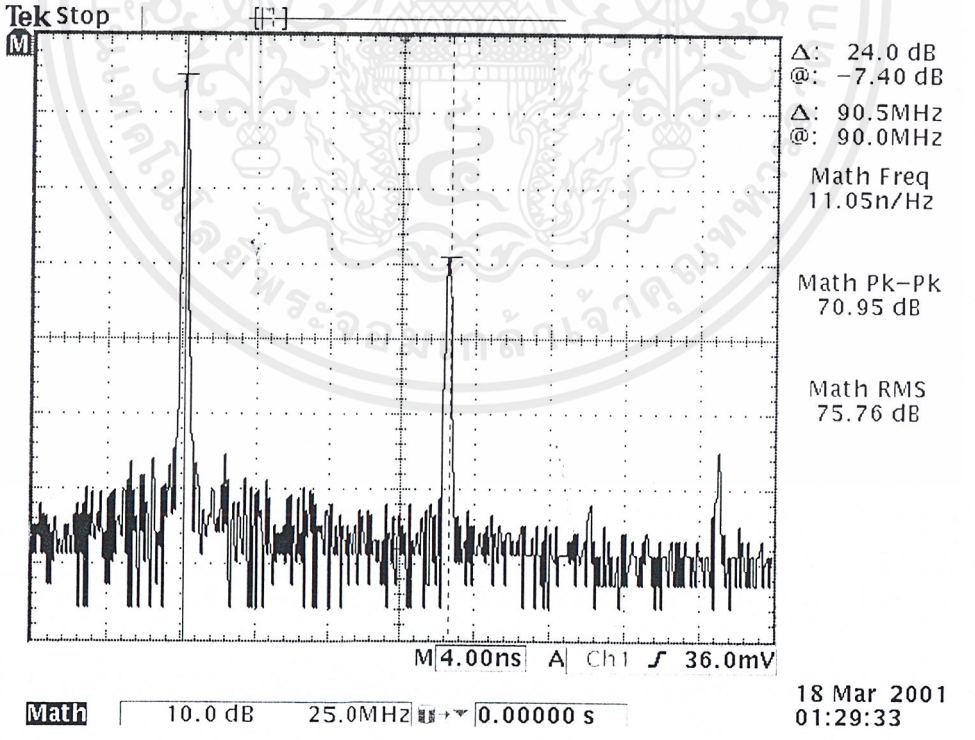


รูปที่ 4.17 แสดงสเปกตรัมความถี่ของ Output ที่ความถี่ 60 MHz

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

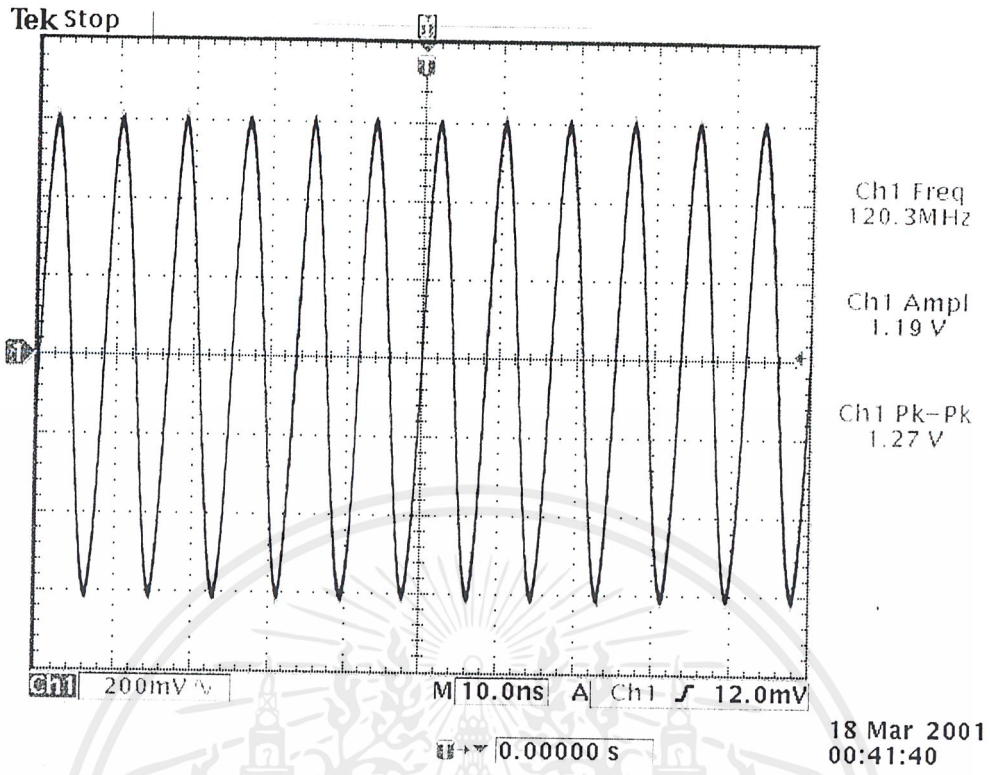


รูปที่ 4.18 แสดงสัญญาณ Output ที่ความถี่ 90 MHz

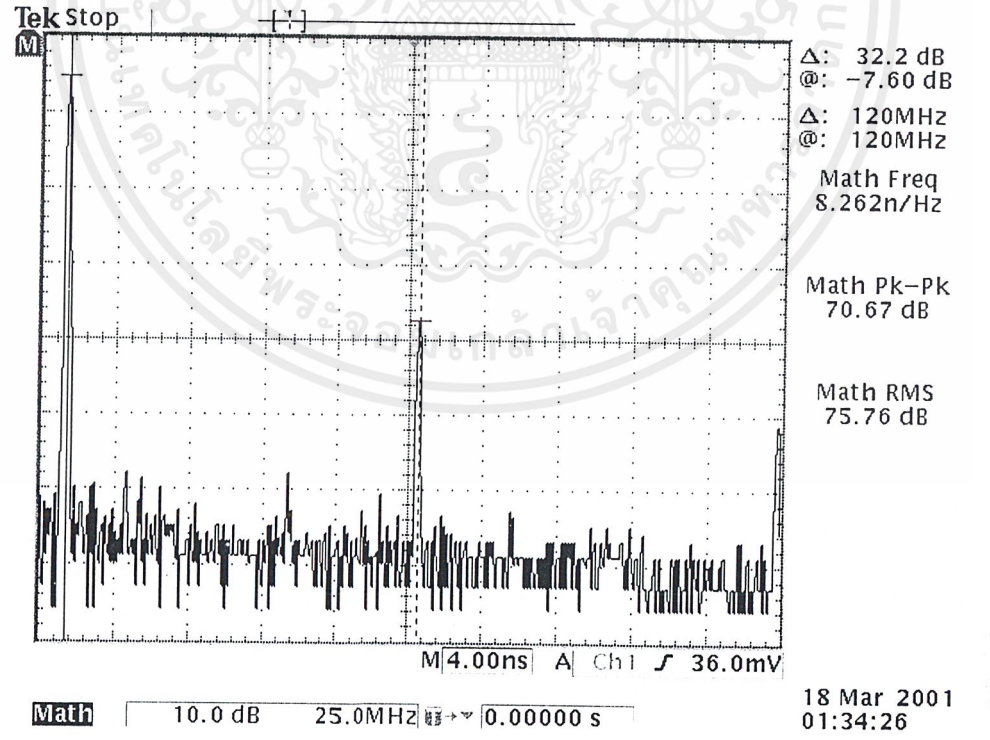


รูปที่ 4.19 แสดงสเปกตรัมความถี่ของ Output ที่ความถี่ 90 MHz

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.20 แสดงสัญญาณ Output ที่ความถี่ 120 MHz



รูปที่ 4.21 แสดงสเปกตรัมความถี่ของ Output ที่ความถี่ 120 MHz

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 5
บทวิจารณ์และบทสรุป

ปริญญานิพนธ์นี้เป็นการออกแบบและสร้างเครื่องกำเนิดสัญญาณโดยวิธีสังเคราะห์ความถี่ โดยนำหลักการของระบบเฟสล็อกลูปมาใช้เพื่อที่จะผลิตความถี่ที่มีความเที่ยงตรง และได้ออกแบบให้เครื่องกำเนิดความถี่สามารถผลิตสัญญาณรูป Sine ได้ ตั้งแต่ 30 – 120 MHz ปรับความถี่ได้ง่ายและรวดเร็ว

ในการออกแบบได้ออกแบบให้มี VCO 2 ชุด ชุดแรกกำเนิดความถี่ในย่าน 30-60 MHz และชุดที่สองกำเนิดความถี่ในย่าน 60-120 MHz ใช้ไอซีเบอร์ MC1648 และใช้ PLL เบอร์ MC 145152-2 ซึ่งควบคุมแบบขนานด้วย MCS-51 ใช้ไอซีเบอร์ MC12017 เป็น Prescaler หาร 64 มีวงจรกรองความถี่ต่ำผ่านแบบ Active Filter โดยใช้ Op – Amp เบอร์ TL 081

เนื่องจากในเทอมแรกได้ใช้ Phase Lock Loop เบอร์ MC 145162 ซึ่งเป็น PLL ที่ควบคุมแบบอนุกรม โดยใช้ไมโครคอนโทลเลอร์ MCS-51 ในการควบคุมและใช้ไอซีเบอร์ MC1648 เป็น VCO ซึ่งใช้ทั้งหมด 2 ชุด โดยชุดแรกทำงานในช่วง 30 – 60 MHz และชุดที่สองทำงานในช่วง 60 – 120 MHz ในการสร้างพบปัญหาหลายอย่างด้วยกัน เช่น ในช่วง 70 –100 MHz ไม่สามารถ Lock ได้ หรือ Lockได้แต่ความถี่ไม่ตรงตามที่ต้องการ และสัญญาณเอาท์พุท ไม่เป็น Sine มีความผิดเพี้ยนมาก และ Voltage ที่ใช้ควบคุม VCO ใช้เพียง 5 V ซึ่งเป็นค่าที่น้อยมาก ถ้าเทียบกับช่วงของความถี่ที่ต้องควบคุม ซึ่งทำให้เกิดปัญหาดังที่กล่าวมาข้างต้น

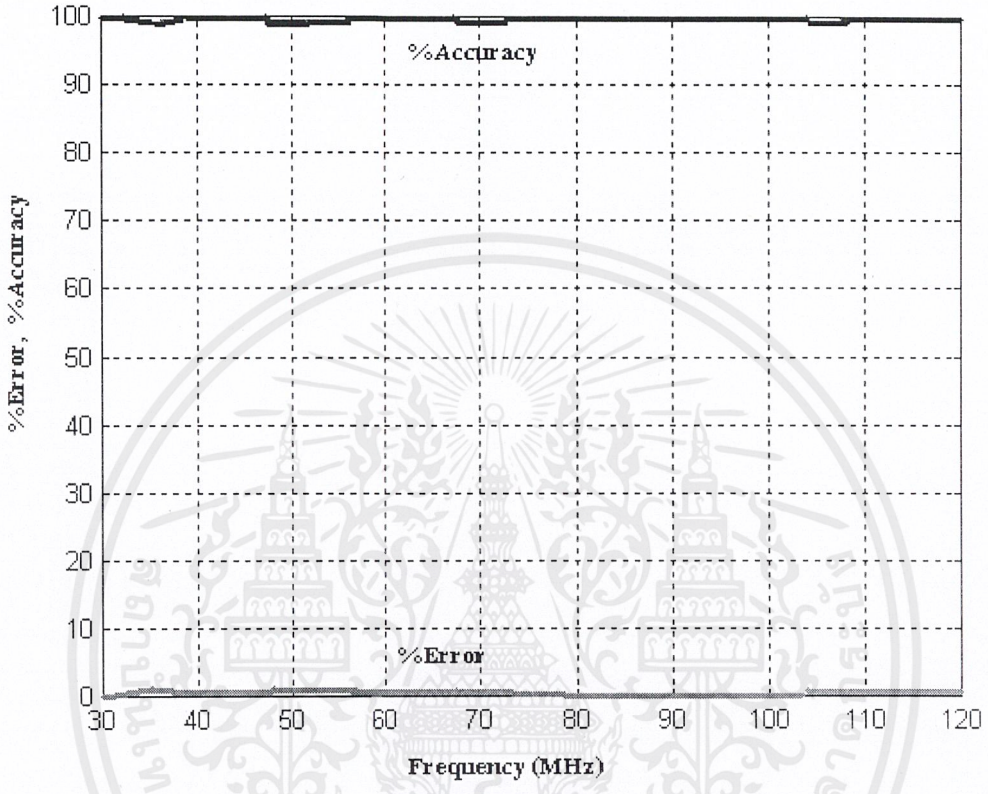
ดังนั้น ในเทอมนี้ จึงได้มีการแก้ไขและปรับปรุงปริญญานิพนธ์ให้ดีขึ้น สิ่งที่แก้ไขก็คือได้เปลี่ยนตัว PLL ใหม่ จากเดิมที่ใช้ MC 145162 มาเป็น MC 145152-2 ซึ่งเป็น PLL ที่ควบคุมแบบขนานและเปลี่ยน Low Pass Filter ซึ่งเดิมใช้แบบ Passive Filter มาเป็นแบบ Active Filter และใช้ MC12017 เป็น Prescaler หาร 64 และส่วนที่ปรับปรุงคือ Voltage ควบคุม VCO ใช้ 1.5-23 V ซึ่งเดิมใช้เพียง 5 V ทำให้สามารถขยายย่านในการควบคุม VCO ให้กว้างขึ้น ทำให้ VCO สามารถผลิตความถี่ออกมาได้ ตลอดย่าน 30 – 120 MHz ตามที่ต้องการได้ แต่กว่าที่จะสามารถทำให้ได้ 30-120 MHz นั้น ยากลำบากมากพอสมควร เพราะว่าในการสร้างวงจรไม่ได้เป็นไปตามทฤษฎีทุกประการ อันดับแรกเราต้องต่อวงจรตามแบบที่คำนวณมาได้ก่อน โดยแยกเป็นวงจรต่าง ๆ แล้วทดลองว่าสามารถให้ผลออกมาตามที่ต้องการหรือไม่ ซึ่งในการแยกทำทีละวงจรนั้นวงจรสามารถทำงานได้ถูก เช่น วงจร VCO สามารถผลิตความถี่ได้ตามย่านที่กำหนดทุกประการ ทดลองโดยการป้อน Voltage Control จาก Power Supply ก่อน แต่ปัญหาที่เกิดขึ้นส่วนมากจะเกิดหลังจาก เมื่อนำวงจรย่อยต่าง ๆ มารวมกันเป็นวงจรสำเร็จ แล้วทดสอบ การทำงาน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ของวงจร ซึ่งผลที่ออกมาไม่สามารถทำงานได้ถูกต้องทุกย่านความถี่คือ ช่วง 30 – 60 MHz จะใช้ได้เพียงช่วง 37 – 60 MHz เท่านั้น และช่วง 60 –120 MHz ใช้ได้เพียง 60 – 97 MHz ซึ่งช่วงที่ใช้ได้นี้สามารถเปลี่ยนแปลงได้ เช่น ถ้าปรับ VCO ให้เริ่มจากสูงสุดลงมา คือปรับเริ่มที่ 120 MHz ให้ใช้ได้แต่ช่วงที่ใช้ไม่ได้ก็เปลี่ยนเป็น 60 – 80 MHz ที่ไม่สามารถ Lock ความถี่ได้ จากการตรวจสอบพบว่าเกิดจาก Voltage ที่ไปควบคุม VCO นั้นเอง เนื่องจากการทดลอง VCO นั้น ช่วงที่สามารถผลิตความถี่ตามที่ต้องการนั้นต้องป้อนไฟประมาณ 1.5 – 23 V ถึงจะสามารถผลิตความถี่ครอบคลุมย่าน ปัญหา คือเราใช้ Op – Amp 741 ในการสร้าง Loop Filter ซึ่งเอาท์พุทของ Loop Filter จะเป็นไฟดีซีไปควบคุมการผลิตความถี่ของ VCO แต่เนื่องจากไอซี LM741 ไม่สามารถลดระดับแรงดันเอาท์พุทให้มาถึงระดับที่ VCO ต้องการได้ คือที่ระดับประมาณ 1.3 – 1.5 V ซึ่ง LM741จะอยู่ที่ระดับ 2.1 V จึงทำการแก้ไขโดยการเปลี่ยน Op – Amp ตัวใหม่ มาเป็น TL 081 ซึ่งระดับแรงดันเอาท์พุทสามารถลดลงได้ต่ำถึงประมาณ 1.3 V ซึ่งทำให้ VCO ผลิตความถี่ในย่านต่ำได้ แต่พอนำมาต่อจริง ๆ ก็ยังเกิดปัญหาอีก คือช่วง 64 – 75 MHz ไม่สามารถ Lock ได้ และช่วงที่ Lock ได้นั้น ในย่าน 30 – 60 MHz Amplitude ของแต่ละความถี่อยู่ในช่วงที่ใกล้เคียงกัน แต่ย่าน 60 – 120 MHz Amplitude ไม่ค่อยคงที่ซึ่งสามารถดูได้จากตารางการทดลอง และในช่วงที่ไม่ได้ก็นำปัญหามาทำการวิเคราะห์ และปรึกษาจากท่านที่มีประสบการณ์ในด้านความถี่ เช่น อาจารย์ที่ปรึกษาได้ให้คำแนะนำหลายอย่าง และได้นำไปปฏิบัติทำให้วงจรดีขึ้นมาบ้างในบางจุดและได้พิจารณาจากกราฟผลการทดลองแล้วลองไปแก้ไขจุดเล็กจุดน้อยก็ทำให้ดีขึ้นเป็นลำดับ จนสามารถทำให้ได้วงจรที่สมบูรณ์และสามารถผลิตความถี่ได้ตามที่ต้องการตลอดย่าน 30 – 120 MHz แต่ Amplitude ก็ยังไม่สามารถควบคุมให้คงที่ได้แต่ก็ดีขึ้นกว่าเดิมพอสมควร

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากตารางที่ 4.1 และตารางที่ 4.2 ในบทที่ 4 ผลการทดลอง สามารถสรุปได้เป็นกราฟ %Error และกราฟ %Accuracy ของเครื่องสังเคราะห์ความถี่ย่าน 30 – 120 MHz



รูปที่ 5.1 กราฟแสดงค่า %Error และค่า %Accuracy ที่ความถี่ 30 – 120 MHz

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บรรณานุกรม

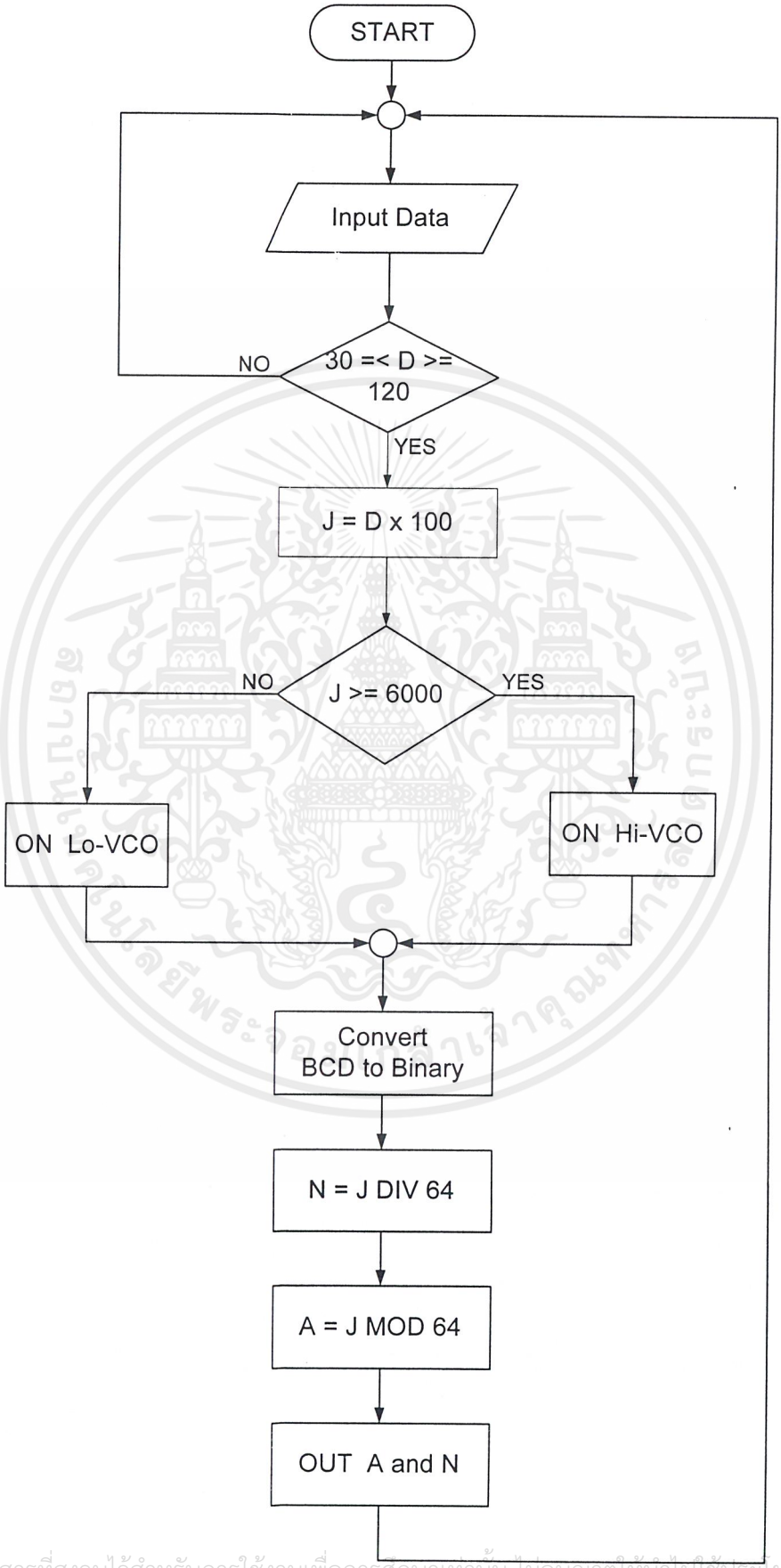
1. สุชาติ กังวารจิตต์, "เครื่องรับส่งวิทยุและระบบวิทยุสื่อสาร", บริษัท ซีเอ็ดยูเคชั่น จำกัด, กรุงเทพฯ, 2536
2. George Kennedy, Bernard Davis, "Electronic Communication System", Fourth Edition, McGraw-Hill, 1993
3. Wayne Tomasi, "Electronic Communication System Fundamental Through Advance", Third Edition, Prentice-Hall International, 1994
4. Website http://www.motorola.com
   http://www.questlink.com

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ภาคผนวก

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

FLOW CHART



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
COUNTDIGIT      EQU   30H
POINTPOS        EQU   31H
DISBUF          EQU   32H;-39H
KEYBUF          EQU   42H;-49H
BUF1            EQU   4AH;
BE_CONV         EQU   4BH;-52H
;FLAG
ONEWAY          EQU   00H
TYPE            EQU   01H
DATA_OUT        EQU   02H
FIRST           EQU   03H
;OUTPUT PIN
CLK             EQU   P1.0
DIN             EQU   P1.1
ADIN            EQU   P1.2
ENB             EQU   P1.3
CONT_DELAY      EQU   P1.4
SEL_OUTPUT      EQU   P1.5
;SYSTEM CALL
CLEAR           EQU   003CH
SCANK           EQU   0099H
;-------------------------------------------------------------------------------
                ORG   8100H
;-------------------------------------------------------------------------------
MAIN:
        CLR     ENB
        CLR     CLK
        CLR     DIN
        CLR     ADIN

        CALL    CLEAR
        SETB    FIRST
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
        MOV     DISBUF+1,#76H
        MOV     DISBUF+2,#79H
        MOV     DISBUF+3,#38H
        MOV     DISBUF+4,#38H
        MOV     DISBUF+5,#3FH

MAIN0:
        CLR     TYPE
        SETB    ONEWAY
        MOV     COUNTDIGIT,#1
        MOV     POINTPOS,#0
        MOV     R0,#KEYBUF
MAIN1:
        PUSH    00H
        CALL    SCANK
        POP     00H

        CJNE    A,#0FFH,MAIN2
        JMP     MAIN1
MAIN2:
        JNB     FIRST,MAIN21
        MOV     DISBUF,#0
        MOV     DISBUF+1,#0
        MOV     DISBUF+2,#0
        MOV     DISBUF+3,#0
        MOV     DISBUF+4,#0
        MOV     DISBUF+5,#0
        MOV     DISBUF+6,#0
        MOV     DISBUF+7,#0
        CLR     FIRST
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
MAIN21:
        CJNE    A,#9,MAIN3
        JMP     MAIN4
MAIN3:  JNC     MAIN6
MAIN4:  MOV     BUF1,A
        MOV     A,COUNTDIGIT
        CJNE    A,#7,MAIN5
        JMP     MAIN1
MAIN5:  MOV     A,BUF1
        MOV     @R0,A
        MOV     A,R0
        CLR     C
        SUBB    A,#16
        MOV     R1,A
        MOV     A,BUF1
        CALL    FIND_SEG
        MOV     @R1,A
        INC     R0
        INC     COUNTDIGIT
        JMP     MAIN1

MAIN6:  CJNE    A,#0AH,MAIN8        ;DOT_KEY(A)
        JBC     ONEWAY,MAIN7
        JMP     MAIN1
MAIN7:  MOV     POINTPOS,COUNTDIGIT
        DEC     POINTPOS
        MOV     A,R0
        CLR     C
        SUBB    A,#17
        MOV     BUF1,A
        MOV     A,R0
        DEC     A
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
        MOV     R1,A
        MOV     A,@R1
        CALL    FIND_SEGX
        MOV     R1,BUF1
        MOV     @R1,A
        JMP     MAIN1

MAIN8:  CJNE    A,#0BH,MAIN14       ;ENTER KEY(B)
        CALL    CLEAR_BE_CONV
        MOV     R0,#KEYBUF
        MOV     A,POINTPOS
        CJNE    A,#1,MAIN9
        MOV     R1,#BE_CONV+2
        JMP     MAIN11
MAIN9:  CJNE    A,#2,MAIN10
        MOV     R1,#BE_CONV+1
        MOV     A,@R0
        CJNE    A,#6,MAIN91
        SETB    TYPE
        JMP     MAIN92
MAIN91: JC      MAIN92
        SETB    TYPE
MAIN92: JMP     MAIN11
MAIN10: CJNE    A,#3,MAIN14
        MOV     R1,#BE_CONV
        SETB    TYPE
MAIN11: MOV     R2,COUNTDIGIT
        DEC     R2
MAIN12:MOV      A,@R0
        MOV     @R1,A
        INC     R0
        INC     R1
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
        DJNZ    R2,MAIN12
        CALL    BCD2BIN
        JNB     TYPE,MAIN13
        CALL    DIVIDE2
MAIN13: CALL    SEND_OUT
        SETB    FIRST
        JMP     MAIN0

MAIN14: JMP     MAIN

;-------------------------------------------------------------------------------------------------
FIND_SEG:
        INC     A
        MOVC    A,@A+PC
        RET
        DB      03FH,06H,5BH,4FH,66H,6DH,7DH,07H,7FH,6FH
;-------------------------------------------------------------------------------------------------
FIND_SEGX:
        INC     A
        MOVC    A,@A+PC
        RET
        DB      0BFH,86H,0DBH,0CFH,0E6H,0EDH,0FDH,087H,0FFH,0EFH
;-------------------------------------------------------------------------------------------------
CLEAR_BE_CONV:
        MOV     R2,#6
        MOV     R0,#BE_CONV
        MOV     A,#0
BECONVLOOP:
        MOV     @R0,A
        INC     R0
        DJNZ    R2,BECONVLOOP
        RET
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
;-------------------------------------------------------------------------------------------------------
BCD2BIN:
        MOV     A,BE_CONV
        MOV     B,#10
        MUL     AB
        MOV     B,A
        MOV     A,BE_CONV+1
        ADD     A,B
        MOV     R2,A

        MOV     B,#10H
        MUL     AB
        MOV     R5,A
        MOV     R6,B
        MOV     R7,#0
        MOV     A,R2
        MOV     B,#27H
        MUL     AB
        ADD     A,R6
        MOV     R6,A
        MOV     A,B
        ADDC    A,R7
        MOV     R7,A

        MOV     A,BE_CONV+2
        MOV     B,#4
        MUL     AB
        MOV     B,#250
        MUL     AB
        CALL    ADD_NUMBER
        MOV     A,BE_CONV+3
        MOV     B,#100
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
        MUL     AB
        CALL    ADD_NUMBER
        MOV     A,BE_CONV+4
        MOV     B,#10
        MUL     AB
        CALL    ADD_NUMBER
        MOV     A,BE_CONV+5
        MOV     B,#0
        CALL    ADD_NUMBER
        RET

ADD_NUMBER:
        ADD     A,R5
        MOV     R5,A
        MOV     A,B
        ADDC    A,R6
        MOV     R6,A
        MOV     A,#0
        ADDC    A,R7
        MOV     R7,A
        RET
;-------------------------------------------------------------------------------------------------
DIVIDE2:
        CLR     C
        MOV     A,R7
        RRC     A
        MOV     R7,A
        MOV     A,R6
        RRC     A
        MOV     R6,A
        MOV     A,R5
        RRC     A
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
        MOV     R5,A
        RET
;-------------------------------------------------------------------------------------------------------------
SEND_OUT:
        MOV     R4,#3AH         ;SEND CONTROL I
        MOV     R3,#00H
        MOV     R2,#80H
        MOV     R1,#32
        CALL    SEND_BITC

        JB      TYPE,SEND_OUT2
        CLR     SEL_OUTPUT              ;SELECT OUTPUT FOR 30-59 MHz
        CLR     CONT_DELAY
        MOV     R4,#94H             ;SEND CONTROL II
        ;CLR    DATA_OUT
        MOV     R1,#8
        CALL    SEND_BITC

        MOV     A,R6                ;SEND DATA I
        MOV     R4,A
        MOV     A,R5
        MOV     R3,A
        MOV     R1,#16
        CLR     DATA_OUT                ;OUT TO DIN
        CALL    SEND_BITD
        RET

SEND_OUT2:

        SETB    SEL_OUTPUT              ;SELECT OUTPUT FOR 60-120 MHz
        SETB    CONT_DELAY
        MOV     R4,#92H             ;SEND CONTROL III
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
        MOV     R1,#8
        CALL    SEND_BITC

        MOV     A,R6            ;SEND DATA I
        MOV     R4,A
        MOV     A,R5
        MOV     R3,A
        MOV     R1,#16
        SETB    DATA_OUT        ;OUT TO ADIN
        CALL    SEND_BITD
        RET

;INPUT = R1(COUNT BIT) , R4:R3:R2 = DATA , DATA_OUT(0=DIN,1=ADIN)

SEND_BITC:
        CLR     CLK
        CLR     ENB
        SETB    ENB             ;SEND_BIT CONTROL

SEND_BITC0:
        MOV     A,R2
        RLC     A
        MOV     R2,A
        MOV     A,R3
        RLC     A
        MOV     R3,A
        MOV     A,R4
        RLC     A
        MOV     R4,A
        MOV     DIN,C
        SETB    CLK
        SETB    CLK
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
        CLR     CLK
        DJNZ    R1,SEND_BITC0
        NOP
        CLR     ENB
        RET

SEND_BITD:
        CLR     ENB             ;SEND_BIT DATA
        CLR     CLK
SEND_BITD0:
        MOV     A,R3
        RLC     A
        MOV     R3,A
        MOV     A,R4
        RLC     A
        MOV     R4,A
        JB      DATA_OUT,SEND_BITD1
        MOV     DIN,C
        JMP     SEND_BITD2
SEND_BITD1:
        MOV     ADIN,C
SEND_BITD2:
        SETB    CLK
        SETB    CLK
        CLR     CLK
        DJNZ    R1,SEND_BITD0
        NOP
        SETB    ENB
        SETB    ENB
        CLR     ENB
        RET
    END
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

MOTOROLA
SEMICONDUCTOR TECHNICAL DATA

Order this document
by MC145151–2/D

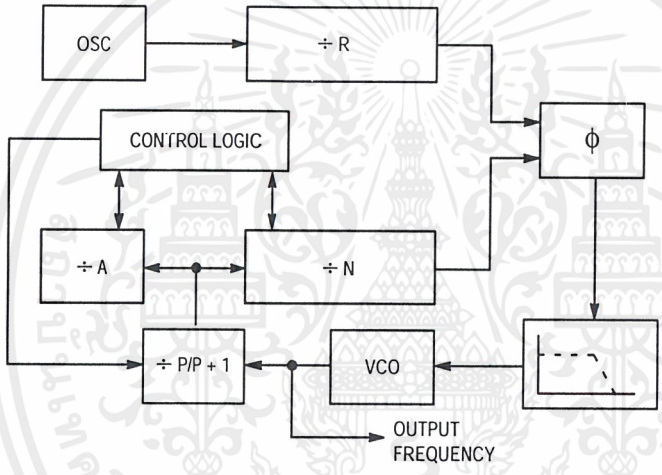
MC145151-2
MC145152-2
MC145155-2
MC145156-2
MC145157-2
MC145158-2

PLL Frequency Synthesizer Family
CMOS

The devices described in this document are typically used as low–power, phase–locked loop frequency synthesizers. When combined with an external low–pass filter and voltage–controlled oscillator, these devices can provide all the remaining functions for a PLL frequency synthesizer operating up to the device's frequency limit. For higher VCO frequency operation, a down mixer or a prescaler can be used between the VCO and the synthesizer IC.

These frequency synthesizer chips can be found in the following and other applications:

CATV
AM/FM Radios
Two–Way Radios
TV Tuning
Scanning Receivers
Amateur Radio



CONTENTS

Page

DEVICE DETAIL SHEETS

MC145151–2 Parallel–Input, Single–Modulus 2
MC145152–2 Parallel–Input, Dual–Modulus 5
MC145157–2 Serial–Input, Single–Modulus 9
MC145158–2 Serial–Input, Dual–Modulus 12

FAMILY CHARACTERISTICS

Maximum Ratings 15
DC Electrical Characteristics 15
AC Electrical Characteristics 17
Timing Requirements 18
Frequency Characteristics 19
Phase Detector/Lock Detector Output Waveforms 19

DESIGN CONSIDERATIONS

Phase–Locked Loop — Low–Pass Filter Design 20
Crystal Oscillator Considerations 21
Dual–Modulus Prescaling 22

REV 4
12/99

© Motorola, Inc. 1999

MOTOROLA

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

MC145152-2

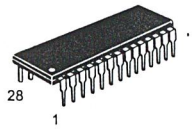
Parallel-Input PLL Frequency Synthesizer

Interfaces with Dual–Modulus Prescalers

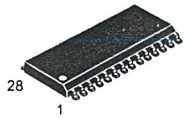
The MC145152–2 is programmed by sixteen parallel inputs for the N and A counters and three input lines for the R counter. The device features consist of a reference oscillator, selectable–reference divider, two–output phase detector, 10–bit programmable divide–by–N counter, and 6–bit programmable ÷ A counter.

The MC145152–2 is an improved–performance drop–in replacement for the MC145152–1. Power consumption has decreased and ESD and latch–up performance have improved.

- Operating Temperature Range: – 40 to 85°C
- Low Power Consumption Through Use of CMOS Technology
- 3.0 to 9.0 V Supply Range
- On– or Off–Chip Reference Oscillator Operation
- Lock Detect Signal
- Dual Modulus/Parallel Programming
- 8 User–Selectable ÷ R Values: 8, 64, 128, 256, 512, 1024, 1160, 2048
- ÷ N Range = 3 to 1023, ÷ A Range = 0 to 63
- Chip Complexity: 8000 FETs or 2000 Equivalent Gates
- See Application Note AN980



P SUFFIX
PLASTIC DIP
CASE 710

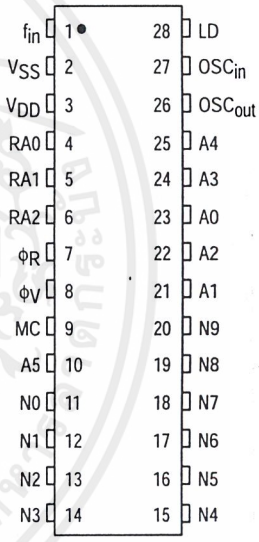


DW SUFFIX
SOG PACKAGE
CASE 751F

ORDERING INFORMATION

MC145152P2	Plastic DIP
MC145152DW2	SOG Package

PIN ASSIGNMENT



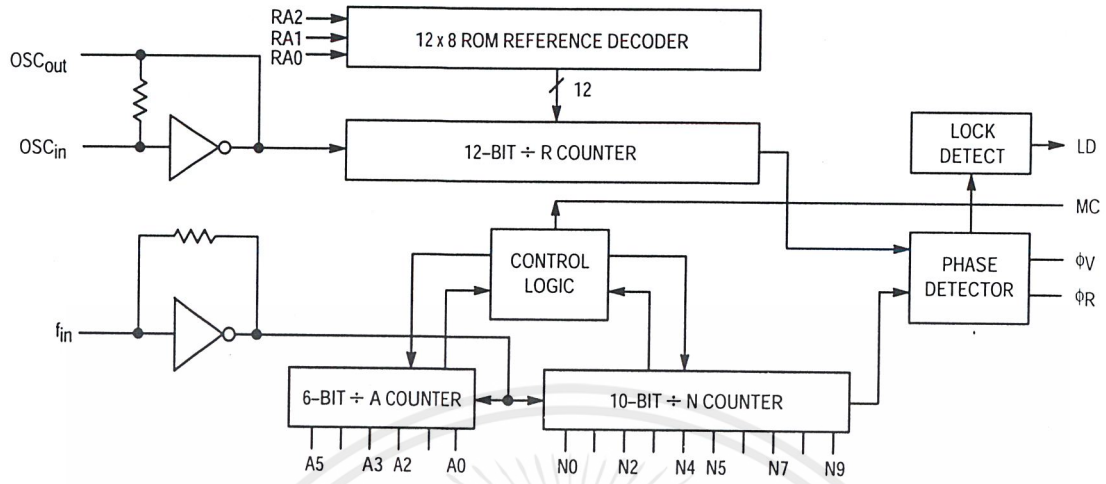
REV 1
8/95

© Motorola, Inc. 1995

MOTOROLA

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

MC145152–2 BLOCK DIAGRAM



NOTE: N0 – N9, A0 – A5, and RA0 – RA2 have pull–up resistors that are not shown.

PIN DESCRIPTIONS

INPUT PINS

f_{in}
Frequency Input (Pin 1)

Input to the positive edge triggered ÷ N and ÷ A counters. f_{in} is typically derived from a dual–modulus prescaler and is ac coupled into the device. For larger amplitude signals (standard CMOS logic levels) dc coupling may be used.

RA0, RA1, RA2
Reference Address Inputs (Pins 4, 5, 6)

These three inputs establish a code defining one of eight possible divide values for the total reference divider. The total reference divide values are as follows:

Reference Address Code			Total Divide Value
RA2	RA1	RA0	
0	0	0	8
0	0	1	64
0	1	0	128
0	1	1	256
1	0	0	512
1	0	1	1024
1	1	0	1160
1	1	1	2048

N0 – N9
N Counter Programming Inputs (Pins 11 – 20)

The N inputs provide the data that is preset into the ÷ N counter when it reaches the count of 0. N0 is the least significant digit and N9 is the most significant. Pull–up resistors ensure that inputs left open remain at a logic 1 and require only a SPST switch to alter data to the zero state.

A0 – A5
A Counter Programming Inputs
(Pins 23, 21, 22, 24, 25, 10)

The A inputs define the number of clock cycles of f_{in} that require a logic 0 on the MC output (see **Dual–Modulus Prescaling** section). The A inputs all have internal pull–up resistors that ensure that inputs left open will remain at a logic 1.

OSC_{in}, OSC_{out}
Reference Oscillator Input/Output (Pins 27, 26)

These pins form an on–chip reference oscillator when connected to terminals of an external parallel resonant crystal. Frequency setting capacitors of appropriate value must be connected from OSC_{in} to ground and OSC_{out} to ground. OSC_{in} may also serve as the input for an externally–generated reference signal. This signal is typically ac coupled to OSC_{in}, but for larger amplitude signals (standard CMOS logic levels) dc coupling may also be used. In the external reference mode, no connection is required to OSC_{out}.

OUTPUT PINS

ϕR, ϕV
Phase Detector B Outputs (Pins 7, 8)

These phase detector outputs can be combined externally for a loop–error signal.

If the frequency f_V is greater than f_R or if the phase of f_V is leading, then error information is provided by ϕV pulsing low. ϕR remains essentially high.

If the frequency f_V is less than f_R or if the phase of f_V is lagging, then error information is provided by ϕR pulsing low. ϕV remains essentially high.

If the frequency of $f_V = f_R$ and both are in phase, then both ϕV and ϕR remain high except for a small minimum time period when both pulse low in phase.

MC
Dual–Modulus Prescale Control Output (Pin 9)

Signal generated by the on–chip control logic circuitry for controlling an external dual–modulus prescaler. The MC level will be low at the beginning of a count cycle and will remain low until the ÷ A counter has counted down from its programmed value. At this time, MC goes high and remains high until the ÷ N counter has counted the rest of the way down from its programmed value (N – A additional counts since both ÷ N and ÷ A are counting down during the first

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

portion of the cycle). MC is then set back low, the counters preset to their respective programmed values, and the above sequence repeated. This provides for a total programmable divide value (N_T) = N • P + A where P and P + 1 represent the dual–modulus prescaler divide values respectively for high and low MC levels, N the number programmed into the ÷ N counter, and A the number programmed into the ÷ A counter.

LD
Lock Detector Output (Pin 28)

Essentially a high level when loop is locked (f_R, f_V of same phase and frequency). Pulses low when loop is out of lock.

POWER SUPPLY

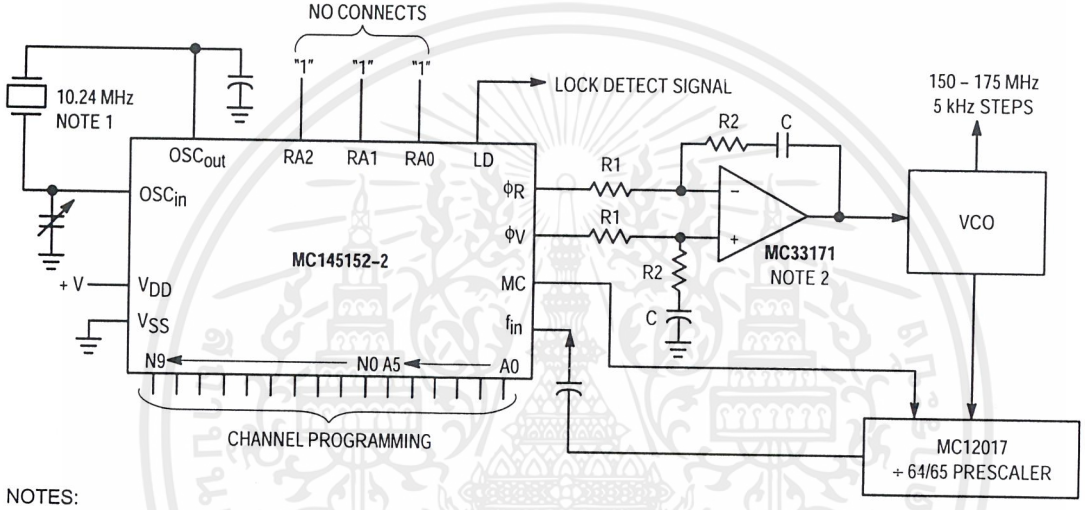
V_{DD}
Positive Power Supply (Pin 3)

The positive power supply potential. This pin may range from + 3 to + 9 V with respect to V_{SS}.

V_{SS}
Negative Power Supply (Pin 2)

The most negative supply potential. This pin is usually ground.

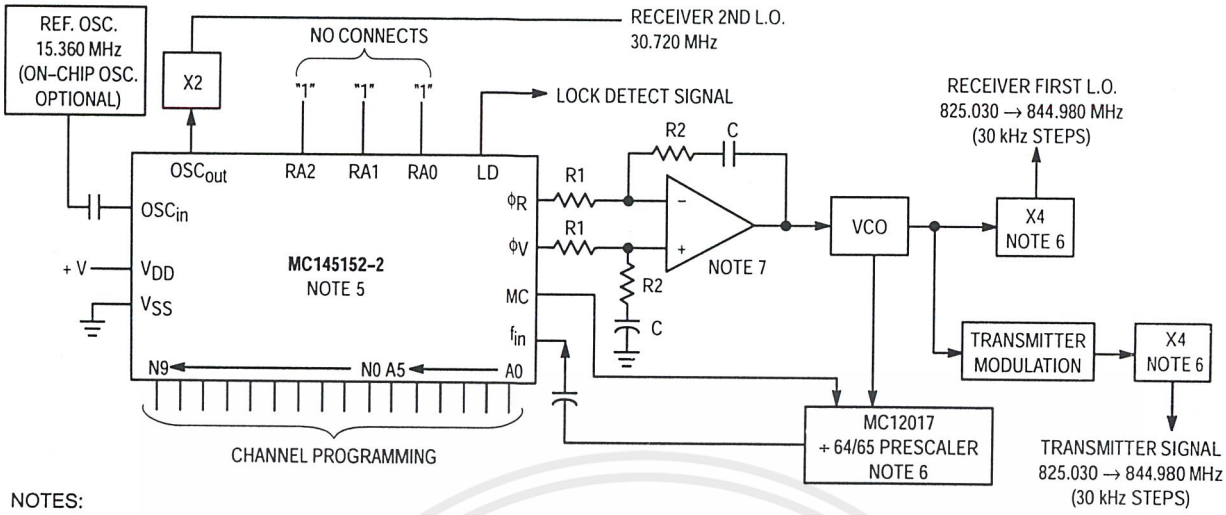
TYPICAL APPLICATIONS



NOTES:
1. Off–chip oscillator optional.
2. The ϕ_R and ϕ_V outputs are fed to an external combiner/loop filter. See the Phase–Locked Loop — Low–Pass Filter Design page for additional information. The ϕ_R and ϕ_V outputs swing rail–to–rail. Therefore, the user should be careful not to exceed the common mode input range of the op amp used in the combiner/loop filter.

Figure 1. Synthesizer for Land Mobile Radio VHF Bands

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ในเชิงพาณิชย์ ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



NOTES:

1. Receiver 1st I.F. = 45 MHz, low side injection; Receiver 2nd I.F. = 11.7 MHz, low side injection.
2. Duplex operation with 45 MHz receiver/transmit separation.
3. f_R = 7.5 kHz; ÷ R = 2048.
4. N_{total} = N •64 + A = 27501 to 28166; N = 429 to 440; A = 0 to 63.
5. MC145158–2 may be used where serial data entry is desired.
6. High frequency prescalers (e.g., MC12018 [520 MHz] and MC12022 [1 GHz]) may be used for higher frequency VCO and f_{ref} implementations.
7. The ϕ_R and ϕ_V outputs are fed to an external combiner/loop filter. See the Phase–Locked Loop — Low–Pass Filter Design page for additional information. The ϕ_R and ϕ_V outputs swing rail–to–rail. Therefore, the user should be careful not to exceed the common mode input range of the op amp used in the combiner/loop filter.

Figure 2. 666–Channel, Computer–Controlled, Mobile Radiotelephone Synthesizer for 800 MHz Cellular Radio Systems

MC145152–2 Data Sheet Continued on Page 15

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

MC14515X–2 FAMILY CHARACTERISTICS AND DESCRIPTIONS

MAXIMUM RATINGS* (Voltages Referenced to V_{SS})

Symbol	Parameter	Value	Unit
V_{DD}	DC Supply Voltage	– 0.5 to + 10.0	V
V_{in}, V_{out}	Input or Output Voltage (DC or Transient) except SW1, SW2	– 0.5 to V_{DD} + 0.5	V
V_{out}	Output Voltage (DC or Transient), SW1, SW2 ($R_{pull-up}$ = 4.7 kΩ)	– 0.5 to + 15	V
I_{in}, I_{out}	Input or Output Current (DC or Transient), per Pin	± 10	mA
I_{DD}, I_{SS}	Supply Current, V_{DD} or V_{SS} Pins	± 30	mA
P_D	Power Dissipation, per Package†	500	mW
T_{stg}	Storage Temperature	– 65 to + 150	°C
T_L	Lead Temperature, 1 mm from Case for 10 seconds	260	°C

* Maximum Ratings are those values beyond which damage to the device may occur. Functional operation should be restricted to the limits in the Electrical Characteristics tables or Pin Descriptions section.

†Power Dissipation Temperature Derating:
Plastic DIP: – 12 mW/°C from 65 to 85°C
SOG Package: – 7 mW/°C from 65 to 85°C

These devices contain protection circuitry to protect against damage due to high static voltages or electric fields. However, precautions must be taken to avoid applications of any voltage higher than maximum rated voltages to these high–impedance circuits. For proper operation, V_{in} and V_{out} should be constrained to the range $V_{SS} \le (V_{in}$ or $V_{out}) \le V_{DD}$ except for SW1 and SW2.

SW1 and SW2 can be tied through external resistors to voltages as high as 15 V, independent of the supply voltage.

Unused inputs must always be tied to an appropriate logic voltage level (e.g., either V_{SS} or V_{DD}), except for inputs with pull–up devices. Unused outputs must be left open.

ELECTRICAL CHARACTERISTICS (Voltages Referenced to V_{SS})

Symbol	Parameter	Test Condition	V_{DD} V	– 40°C		25°C		85°C		Unit
				Min	Max	Min	Max	Min	Max	
V_{DD}	Power Supply Voltage Range		—	3	9	3	9	3	9	V
I_{ss}	Dynamic Supply Current	f_{in} = OSC_{in} = 10 MHz, 1 V p–p ac coupled sine wave R = 128, A = 32, N = 128	3 5 9	— — —	3.5 10 30	— — —	3 7.5 24	— — —	3 7.5 24	mA
I_{SS}	Quiescent Supply Current (not including pull–up current component)	V_{in} = V_{DD} or V_{SS} I_{out} = 0 µA	3 5 9	— — —	800 1200 1600	— — —	800 1200 1600	— — —	1600 2400 3200	µA
V_{in}	Input Voltage — f_{in}, OSC_{in}	Input ac coupled sine wave	—	500	—	500	—	500	—	mV p–p
V_{IL}	Low–Level Input Voltage — f_{in}, OSC_{in}	$V_{out} \ge 2.1$ V Input dc $V_{out} \ge 3.5$ V coupled $V_{out} \ge 6.3$ V square wave	3 5 9	— — —	0 0 0	— — —	0 0 0	— — —	0 0 0	V
V_{IH}	High–Level Input Voltage — f_{in}, OSC_{in}	$V_{out} \le 0.9$ V Input dc $V_{out} \le 1.5$ V coupled $V_{out} \le 2.7$ V square wave	3 5 9	3.0 5.0 9.0	— — —	3.0 5.0 9.0	— — —	3.0 5.0 9.0	— — —	V
V_{IL}	Low–Level Input Voltage — except f_{in}, OSC_{in}		3 5 9	— — —	0.9 1.5 2.7	— — —	0.9 1.5 2.7	— — —	0.9 1.5 2.7	V
V_{IH}	High–Level Input Voltage — except f_{in}, OSC_{in}		3 5 9	2.1 3.5 6.3	— — —	2.1 3.5 6.3	— — —	2.1 3.5 6.3	— — —	V
I_{in}	Input Current (f_{in}, OSC_{in})	V_{in} = V_{DD} or V_{SS}	9	± 2	± 50	± 2	± 25	± 2	± 22	µA
I_{IL}	Input Leakage Current (Data, CLK, ENB — without pull–ups)	V_{in} = V_{SS}	9	—	– 0.3	—	– 0.1	—	– 1.0	µA
I_{IH}	Input Leakage Current (all inputs except f_{in}, OSC_{in})	V_{in} = V_{DD}	9	—	0.3	—	0.1	—	1.0	µA

(continued)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ในเชิงพาณิชย์ ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

DC ELECTRICAL CHARACTERISTICS (continued)

Symbol	Parameter	Test Condition	V_{DD} V	– 40°C		25°C		85°C		Unit
				Min	Max	Min	Max	Min	Max	
I_{IL}	Pull–up Current (all inputs with pull–ups)	$V_{in} = V_{SS}$	9	– 20	– 400	– 20	– 200	– 20	– 170	µA
C_{in}	Input Capacitance		—	—	10	—	10	—	10	pF
V_{OL}	Low–Level Output Voltage — OSC_{out}	$I_{out} \approx 0$ µA $V_{in} = V_{DD}$	3 5 9	— — —	0.9 1.5 2.7	— — —	0.9 1.5 2.7	— — —	0.9 1.5 2.7	V
V_{OH}	High–Level Output Voltage — OSC_{out}	$I_{out} \approx 0$ µA $V_{in} = V_{SS}$	3 5 9	2.1 3.5 6.3	— — —	2.1 3.5 6.3	— — —	2.1 3.5 6.3	— — —	V
V_{OL}	Low–Level Output Voltage — Other Outputs	$I_{out} \approx 0$ µA	3 5 9	— — —	0.05 0.05 0.05	— — —	0.05 0.05 0.05	— — —	0.05 0.05 0.05	V
V_{OH}	High–Level Output Voltage — Other Outputs	$I_{out} \approx 0$ µA	3 5 9	2.95 4.95 8.95	— — —	2.95 4.95 8.95	— — —	2.95 4.95 8.95	— — —	V
$V_{(BR)DSS}$	Drain–to–Source Breakdown Voltage — SW1, SW2	$R_{pull–up} = 4.7$ kΩ	—	15	—	15	—	15	—	V
I_{OL}	Low–Level Sinking Current — MC	$V_{out} = 0.3$ V $V_{out} = 0.4$ V $V_{out} = 0.5$ V	3 5 9	1.30 1.90 3.80	— — —	1.10 1.70 3.30	— — —	0.66 1.08 2.10	— — —	mA
I_{OH}	High–Level Sourcing Current — MC	$V_{out} = 2.7$ V $V_{out} = 4.6$ V $V_{out} = 8.5$ V	3 5 9	– 0.60 – 0.90 – 1.50	— — —	– 0.50 – 0.75 – 1.25	— — —	– 0.30 – 0.50 – 0.80	— — —	mA
I_{OL}	Low–Level Sinking Current — LD	$V_{out} = 0.3$ V $V_{out} = 0.4$ V $V_{out} = 0.5$ V	3 5 9	0.25 0.64 1.30	— — —	0.20 0.51 1.00	— — —	0.15 0.36 0.70	— — —	mA
I_{OH}	High–Level Sourcing Current — LD	$V_{out} = 2.7$ V $V_{out} = 4.6$ V $V_{out} = 8.5$ V	3 5 9	– 0.25 – 0.64 – 1.30	— — —	– 0.20 – 0.51 – 1.00	— — —	– 0.15 – 0.36 – 0.70	— — —	mA
I_{OL}	Low–Level Sinking Current — SW1, SW2	$V_{out} = 0.3$ V $V_{out} = 0.4$ V $V_{out} = 0.5$ V	3 5 9	0.80 1.50 3.50	— — —	0.48 0.90 2.10	— — —	0.24 0.45 1.05	— — —	mA
I_{OL}	Low–Level Sinking Current — Other Outputs	$V_{out} = 0.3$ V $V_{out} = 0.4$ V $V_{out} = 0.5$ V	3 5 9	0.44 0.64 1.30	— — —	0.35 0.51 1.00	— — —	0.22 0.36 0.70	— — —	mA
I_{OH}	High–Level Sourcing Current — Other Outputs	$V_{out} = 2.7$ V $V_{out} = 4.6$ V $V_{out} = 8.5$ V	3 5 9	– 0.44 – 0.64 – 1.30	— — —	– 0.35 – 0.51 – 1.00	— — —	– 0.22 – 0.36 – 0.70	— — —	mA
I_{OZ}	Output Leakage Current — PD_{out}	$V_{out} = V_{DD}$ or V_{SS} Output in Off State	9	—	± 0.3	—	± 0.1	—	± 1.0	µA
I_{OZ}	Output Leakage Current — SW1, SW2	$V_{out} = V_{DD}$ or V_{SS} Output in Off State	9	—	± 0.3	—	± 0.1	—	± 3.0	µA
C_{out}	Output Capacitance — PD_{out}	PD_{out} — Three–State	—	—	10	—	10	—	10	pF

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

AC ELECTRICAL CHARACTERISTICS (C_L = 50 pF, Input $t_r = t_f$ = 10 ns)

Symbol	Parameter	V_{DD} V	Guaranteed Limit 25°C	Guaranteed Limit – 40 to 85°C	Unit
t_{PLH}, t_{PHL}	Maximum Propagation Delay, f_{in} to MC (Figures 1 and 4)	3 5 9	110 60 35	120 70 40	ns
t_{PHL}	Maximum Propagation Delay, ENB to SW1, SW2 (Figures 1 and 5)	3 5 9	160 80 50	180 95 60	ns
t_W	Output Pulse Width, ϕ_R, ϕ_V, and LD with f_R in Phase with f_V (Figures 2 and 4)	3 5 9	25 to 200 20 to 100 10 to 70	25 to 260 20 to 125 10 to 80	ns
t_{TLH}	Maximum Output Transition Time, MC (Figures 3 and 4)	3 5 9	115 60 40	115 75 60	ns
t_{THL}	Maximum Output Transition Time, MC (Figures 3 and 4)	3 5 9	60 34 30	70 45 38	ns
t_{TLH}, t_{THL}	Maximum Output Transition Time, LD (Figures 3 and 4)	3 5 9	180 90 70	200 120 90	ns
t_{TLH}, t_{THL}	Maximum Output Transition Time, Other Outputs (Figures 3 and 4)	3 5 9	160 80 60	175 100 65	ns

SWITCHING WAVEFORMS

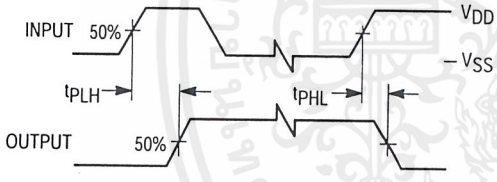
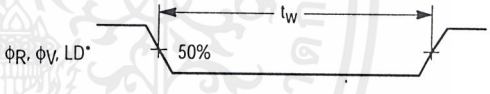


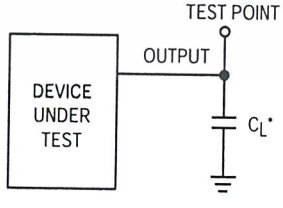
Figure 1.



* f_R in phase with f_V.

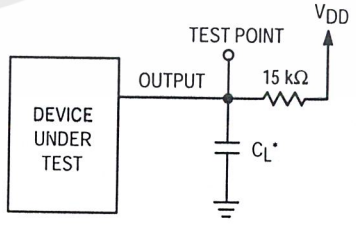
Figure 2.

Figure 3.



* Includes all probe and fixture capacitance.

Figure 4. Test Circuit



* Includes all probe and fixture capacitance.

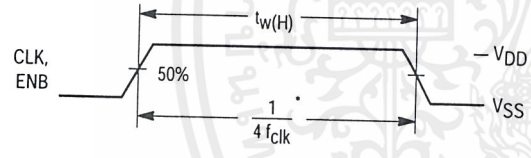
Figure 5. Test Circuit

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

TIMING REQUIREMENTS (Input $t_r = t_f = 10$ ns unless otherwise indicated)

Symbol	Parameter	V_{DD} V	Guaranteed Limit 25°C	Guaranteed Limit – 40 to 85°C	Unit
f_{clk}	Serial Data Clock Frequency, Assuming 25% Duty Cycle NOTE: Refer to CLK $t_{w(H)}$ below (Figure 6)	3 5 9	dc to 5.0 dc to 7.1 dc to 10	dc to 3.5 dc to 7.1 dc to 10	MHz
t_{su}	Minimum Setup Time, Data to CLK (Figure 7)	3 5 9	30 20 18	30 20 18	ns
t_h	Minimum Hold Time, CLK to Data (Figure 7)	3 5 9	40 20 15	40 20 15	ns
t_{su}	Minimum Setup Time, CLK to ENB (Figure 7)	3 5 9	70 32 25	70 32 25	ns
t_{rec}	Minimum Recovery Time, ENB to CLK (Figure 7)	3 5 9	5 10 20	5 10 20	ns
$t_{w(H)}$	Minimum Pulse Width, CLK and ENB (Figure 6)	3 5 9	50 35 25	70 35 25	ns
t_r, t_f	Maximum Input Rise and Fall Times — Any Input (Figure 8)	3 5 9	5 4 2	5 4 2	µs

SWITCHING WAVEFORMS



*Assumes 25% Duty Cycle.

Figure 6.

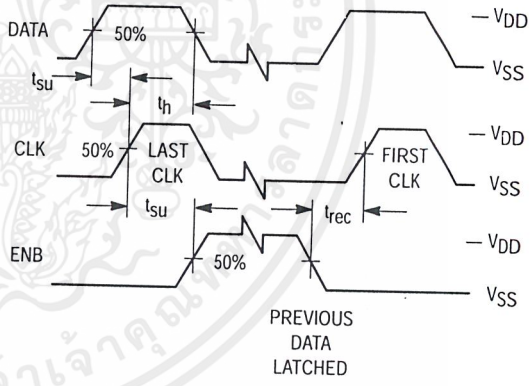


Figure 7.

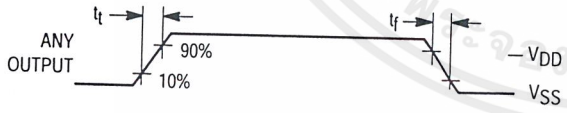


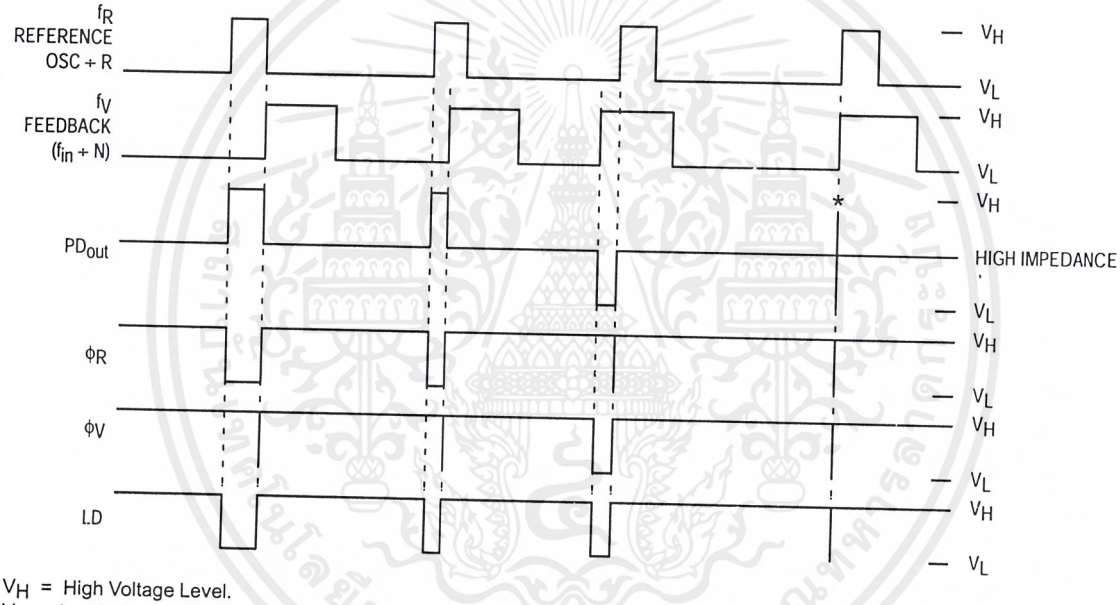
Figure 8.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

FREQUENCY CHARACTERISTICS (Voltages References to V_{SS}, C_L = 50 pF, Input $t_r = t_f$ =10 ns unless otherwise indicated)

Symbol	Parameter	Test Condition	V_{DD} V	– 40°C		25°C		85°C		Unit
				Min	Max	Min	Max	Min	Max	
f_i	Input Frequency (f_{in}, OSC_{in})	R ≥ 8, A ≥ 0, N ≥ 8 V_{in} = 500 mV p–p ac coupled sine wave	3 5 9	— — —	6 15 15	— — —	6 15 15	— — —	6 15 15	MHz
		R ≥ 8, A ≥ 0, N ≥ 8 V_{in} = 1 V p–p ac coupled sine wave	3 5 9	— — —	12 22 25	— — —	12 20 22	— — —	7 20 22	MHz
		R ≥ 8, A ≥ 0, N ≥ 8 V_{in} = V_{DD} to V_{SS} dc coupled square wave	3 5 9	— — —	13 25 25	— — —	12 22 25	— — —	8 22 25	MHz

NOTE: Usually, the PLL's propagation delay from f_{in} to MC plus the setup time of the prescaler determines the upper frequency limit of the system. The upper frequency limit is found with the following formula: $f = P/(t_P + t_{set})$ where f is the upper frequency in Hz, P is the lower of the dual modulus prescaler ratios, t_P is the f_{in} to MC propagation delay in seconds, and t_{set} is the prescaler setup time in seconds. For example, with a 5 V supply, the f_{in} to MC delay is 70 ns. If the MC12028A prescaler is used, the setup time is 16 ns. Thus, if the 64/65 ratio is utilized, the upper frequency limit is $f = P/(t_P + t_{set}) = 64/(70 + 16) = 744$ MHz.



V_H = High Voltage Level.
V_L = Low Voltage Level.
* At this point, when both f_R and f_V are in phase, the output is forced to near mid–supply.
NOTE: The PD_{out} generates error pulses during out–of–lock conditions. When locked in phase and frequency the output is high and the voltage at this pin is determined by the low–pass filter capacitor.

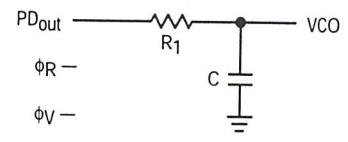
Figure 9. Phase Detector/Lock Detector Output Waveforms

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

DESIGN CONSIDERATIONS

PHASE–LOCKED LOOP — LOW–PASS FILTER DESIGN

A)

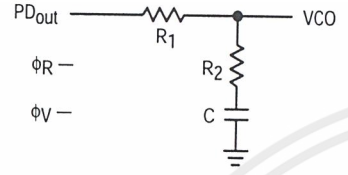


$$\omega_n = \sqrt{\frac{K_\phi K_{VCO}}{NR_1C}}$$

$$\zeta = \frac{N\omega_n}{2K_\phi K_{VCO}}$$

$$F(s) = \frac{1}{R_1sC + 1}$$

B)

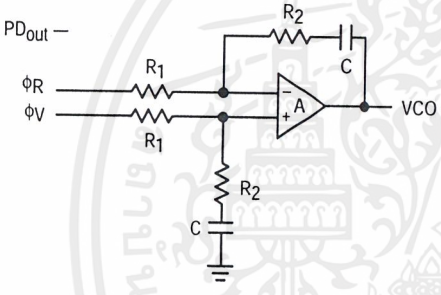


$$\omega_n = \sqrt{\frac{K_\phi K_{VCO}}{NC(R_1 + R_2)}}$$

$$\zeta = 0.5\,\omega_n \left(R_2C + \frac{N}{K_\phi K_{VCO}}\right)$$

$$F(s) = \frac{R_2sC + 1}{(R_1 + R_2)sC + 1}$$

C)



$$\omega_n = \sqrt{\frac{K_\phi K_{VCO}}{NCR_1}}$$

$$\zeta = \frac{\omega_n R_2 C}{2}$$

ASSUMING GAIN A IS VERY LARGE, THEN:

$$F(s) = \frac{R_2sC + 1}{R_1sC}$$

NOTE: Sometimes R_1 is split into two series resistors, each $R_1 \div 2$. A capacitor C_C is then placed from the midpoint to ground to further filter ϕ_V and ϕ_R. The value of C_C should be such that the corner frequency of this network does not significantly affect ω_n. The ϕ_R and ϕ_V outputs swing rail–to–rail. Therefore, the user should be careful not to exceed the common mode input range of the op amp used in the combiner/loop filter.

DEFINITIONS:

N = Total Division Ratio in feedback loop

K_ϕ (Phase Detector Gain) = $V_{DD}/4\pi$ for PD_{out}

K_ϕ (Phase Detector Gain) = $V_{DD}/2\pi$ for ϕ_V and ϕ_R

K_{VCO} (VCO Gain) = $\frac{2\pi\Delta f_{VCO}}{\Delta V_{VCO}}$

for a typical design w_n (Natural Frequency) $\approx \frac{2\pi fr}{10}$ (at phase detector input).

Damping Factor: $\zeta \cong 1$

RECOMMENDED READING:

Gardner, Floyd M., *Phaselock Techniques (second edition).* New York, Wiley–Interscience, 1979.

Manassewitsch, Vadim, *Frequency Synthesizers: Theory and Design (second edition).* New York, Wiley–Interscience, 1980.

Blanchard, Alain, *Phase–Locked Loops: Application to Coherent Receiver Design.* New York, Wiley–Interscience, 1976.

Egan, William F., *Frequency Synthesis by Phase Lock.* New York, Wiley–Interscience, 1981.

Rohde, Ulrich L., *Digital PLL Frequency Synthesizers Theory and Design.* Englewood Cliffs, NJ, Prentice–Hall, 1983.

Berlin, Howard M., *Design of Phase–Locked Loop Circuits, with Experiments.* Indianapolis, Howard W. Sams and Co., 1978.

Kinley, Harold, *The PLL Synthesizer Cookbook.* Blue Ridge Summit, PA, Tab Books, 1980.

AN535, Phase–Locked Loop Design Fundamentals, Motorola Semiconductor Products, Inc., 1970.

AR254, Phase–Locked Loop Design Articles, Motorola Semiconductor Products, Inc., Reprinted with permission from *Electronic Design,* 1987.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

CRYSTAL OSCILLATOR CONSIDERATIONS

The following options may be considered to provide a reference frequency to Motorola's CMOS frequency synthesizers.

Use of a Hybrid Crystal Oscillator

Commercially available temperature–compensated crystal oscillators (TCXOs) or crystal–controlled data clock oscillators provide very stable reference frequencies. An oscillator capable of sinking and sourcing 50 μA at CMOS logic levels may be direct or dc coupled to OSC_{in}. In general, the highest frequency capability is obtained utilizing a direct–coupled square wave having a rail–to–rail (V_{DD} to V_{SS}) voltage swing. If the oscillator does not have CMOS logic levels on the outputs, capacitive or ac coupling to OSC_{in} may be used. OSC_{out}, an unbuffered output, should be left floating.

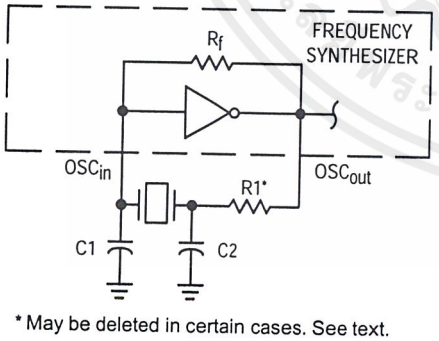
For additional information about TCXOs and data clock oscillators, please consult the latest version of the *eem Electronic Engineers Master Catalog,* the *Gold Book,* or similar publications.

Design an Off–Chip Reference

The user may design an off–chip crystal oscillator using ICs specifically developed for crystal oscillator applications, such as the MC12061 MECL device. The reference signal from the MECL device is ac coupled to OSC_{in}. For large amplitude signals (standard CMOS logic levels), dc coupling is used. OSC_{out}, an unbuffered output, should be left floating. In general, the highest frequency capability is obtained with a direct–coupled square wave having rail–to–rail voltage swing.

Use of the On–Chip Oscillator Circuitry

The on–chip amplifier (a digital inverter) along with an appropriate crystal may be used to provide a reference source frequency. A fundamental mode crystal, parallel resonant at the desired operating frequency, should be connected as shown in Figure 10.



* May be deleted in certain cases. See text.

Figure 10. Pierce Crystal Oscillator Circuit

For V_{DD} = 5.0 V, the crystal should be specified for a loading capacitance, C_L, which does not exceed 32 pF for frequencies to approximately 8.0 MHz, 20 pF for frequencies in the area of 8.0 to 15 MHz, and 10 pF for higher frequencies. These are guidelines that provide a reasonable compromise between IC capacitance, drive capability, swamping variations in stray and IC input/output capacitance, and realistic C_L values. The shunt load capacitance, C_L, presented across the crystal can be estimated to be:

$$C_L = \frac{C_{in}C_{out}}{C_{in} + C_{out}} + C_a + C_o + \frac{C1 \cdot C2}{C1 + C2}$$

where

C_{in} = 5 pF (see Figure 11)
C_{out} = 6 pF (see Figure 11)
C_a = 1 pF (see Figure 11)
C_O = the crystal's holder capacitance (see Figure 12)
C1 and C2 = external capacitors (see Figure 10)

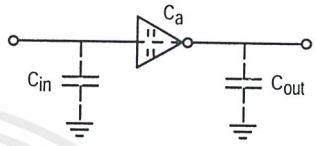
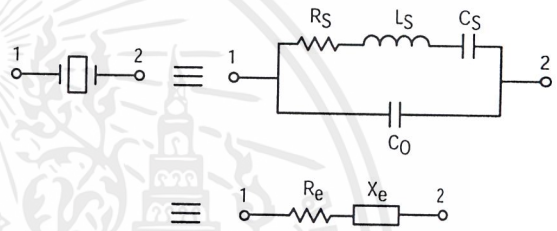


Figure 11. Parasitic Capacitances of the Amplifier



NOTE: Values are supplied by crystal manufacturer (parallel resonant crystal).

Figure 12. Equivalent Crystal Networks

The oscillator can be "trimmed" on–frequency by making a portion or all of C1 variable. The crystal and associated components must be located as close as possible to the OSC_{in} and OSC_{out} pins to minimize distortion, stray capacitance, stray inductance, and startup stabilization time. In some cases, stray capacitance should be added to the value for C_{in} and C_{out}.

Power is dissipated in the effective series resistance of the crystal, R_e, in Figure 12. The drive level specified by the crystal manufacturer is the maximum stress that a crystal can withstand without damage or excessive shift in frequency. R1 in Figure 10 limits the drive level. The use of R1 may not be necessary in some cases (i.e., R1 = 0 Ω).

To verify that the maximum dc supply voltage does not overdrive the crystal, monitor the output frequency as a function of voltage at OSC_{out}. (Care should be taken to minimize loading.) The frequency should increase very slightly as the dc supply voltage is increased. An overdriven crystal will decrease in frequency or become unstable with an increase in supply voltage. The operating supply voltage must be reduced or R1 must be increased in value if the overdriven condition exists. The user should note that the oscillator start–up time is proportional to the value of R1.

Through the process of supplying crystals for use with CMOS inverters, many crystal manufacturers have developed expertise in CMOS oscillator design with crystals. Discussions with such manufacturers can prove very helpful (see Table 1).

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Table 1. Partial List of Crystal Manufacturers

Motorola — Internet Address *http://motorola.com* (Search for resonators)
United States Crystal Corp.
Crystek Crystal
Statek Corp.
Fox Electronics

NOTE: Motorola cannot recommend one supplier over another and in no way suggests that this is a complete listing of crystal manufacturers.

RECOMMENDED READING

Technical Note TN–24, Statek Corp.

Technical Note TN–7, Statek Corp.

E. Hafner, "The Piezoelectric Crystal Unit – Definitions and Method of Measurement", *Proc. IEEE,* Vol. 57, No. 2 Feb., 1969.

D. Kemper, L. Rosine, "Quartz Crystals for Frequency Control", *Electro–Technology,* June, 1969.

P. J. Ottowitz, "A Guide to Crystal Selection", *Electronic Design*, May, 1966.

DUAL–MODULUS PRESCALING

OVERVIEW

The technique of dual–modulus prescaling is well established as a method of achieving high performance frequency synthesizer operation at high frequencies. Basically, the approach allows relatively low–frequency programmable counters to be used as high–frequency programmable counters with speed capability of several hundred MHz. This is possible without the sacrifice in system resolution and performance that results if a fixed (single–modulus) divider is used for the prescaler.

In dual–modulus prescaling, the lower speed counters must be uniquely configured. Special control logic is necessary to select the divide value P or P + 1 in the prescaler for the required amount of time (see modulus control definition). Motorola's dual–modulus frequency synthesizers contain this feature and can be used with a variety of dual–modulus prescalers to allow speed, complexity and cost to be tailored to the system requirements. Prescalers having P, P + 1 divide values in the range of ÷ 3/÷ 4 to ÷ 128/÷ 129 can be controlled by most Motorola frequency synthesizers.

Several dual–modulus prescaler approaches suitable for use with the MC145152–2, MC145156–2, or MC145158–2 are:

MC12009	÷ 5/÷ 6	440 MHz
MC12011	÷ 8/÷ 9	500 MHz
MC12013	÷ 10/÷ 11	500 MHz
MC12015	÷ 32/÷ 33	225 MHz
MC12016	÷ 40/÷ 41	225 MHz
MC12017	÷ 64/÷ 65	225 MHz
MC12018	÷ 128/÷ 129	520 MHz
MC12028A	÷ 32/33 or ÷ 64/65	1.1 GHz
MC12052A	÷ 64/65 or ÷ 128/129	1.1 GHz
MC12054A	÷ 64/65 or ÷ 128/129	2.0 GHz

DESIGN GUIDELINES

The system total divide value, N_{total} (N_T) will be dictated by the application:

$$N_T = \frac{\text{frequency into the prescaler}}{\text{frequency into the phase detector}} = N \bullet P + A$$

N is the number programmed into the ÷ N counter, A is the number programmed into the ÷ A counter, P and P + 1 are the two selectable divide ratios available in the dual–modulus prescalers. To have a range of N_T values in sequence, the ÷ A counter is programmed from zero through P – 1 for a particular value N in the ÷ N counter. N is then incremented to N + 1 and the ÷ A is sequenced from 0 through P – 1 again.

There are minimum and maximum values that can be achieved for N_T. These values are a function of P and the size of the ÷ N and ÷ A counters.

The constraint N ≥ A always applies. If $A_{max} = P - 1$, then $N_{min} \geq P - 1$. Then $N_{Tmin} = (P - 1) P + A$ or $(P - 1) P$ since A is free to assume the value of 0.

$$N_{Tmax} = N_{max} \bullet P + A_{max}$$

To maximize system frequency capability, the dual–modulus prescaler output must go from low to high after each group of P or P + 1 input cycles. The prescaler should divide by P when its modulus control line is high and by P + 1 when its MC is low.

For the maximum frequency into the prescaler (f_{VCOmax}), the value used for P must be large enough such that:

1. f_{VCOmax} divided by P may not exceed the frequency capability of f_{in} (input to the ÷ N and ÷ A counters).
2. The period of f_{VCO} divided by P must be greater than the sum of the times:
   a. Propagation delay through the dual–modulus prescaler.
   b. Prescaler setup or release time relative to its MC signal.
   c. Propagation time from f_{in} to the MC output for the frequency synthesizer device.

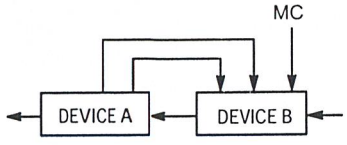
A sometimes useful simplification in the programming code can be achieved by choosing the values for P of 8, 16, 32, or 64. For these cases, the desired value of N_T results when N_T in binary is used as the program code to the ÷ N and ÷ A counters treated in the following manner:

1. Assume the ÷ A counter contains "a" bits where $2^a \geq P$.
2. Always program all higher order ÷ A counter bits above "a" to 0.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3. Assume the ÷ N counter and the ÷ A counter (with all the higher order bits above "a" ignored) combined into a single binary counter of n + a bits in length (n = number of divider stages in the ÷ N counter). The MSB of this "hypothetical" counter is to correspond to the MSB of ÷ N and the LSB is to correspond to the LSB of ÷ A. The system divide value, N_T, now results when the value of N_T in binary is used to program the "new" n + a bit counter.

By using the two devices, several dual–modulus values are achievable (shown in Figure 13).



DEVICE A \ DEVICE B	MC12009	MC12011	MC12013
MC10131	÷ 20/÷ 21	÷ 32/÷ 33	÷ 40/÷ 41
MC10138	÷ 50/÷ 51	÷ 80/÷ 81	÷ 100/÷ 101

NOTE: MC12009, MC12011, and MC12013 are pin equivalent.
MC12015, MC12016, and MC12017 are pin equivalent.

Figure 13. Dual–Modulus Values

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Dual Modulus Prescaler

MC12015
MC12016
MC12017

MECL PLL COMPONENTS

DUAL MODULUS PRESCALER

The MC12015, MC12016 and MC12017 are dual modulus prescalers which will drive divide by 32 and 33, 40 and 41, and 64 and 65, respectively. An internal regulator is provided to allow these devices to be used over a wide range of power–supply voltages. The devices may be operated by applying a supply voltage of 5.0Vdc ±10% at Pin 7, or by applying an unregulated voltage source from 5.5Vdc to 9.5Vdc to Pin 8.

- 225MHz Toggle Frequency
- Low–Power 7.5mA Maximum at 6.8V
- Control Input and Output Are Compatible With Standard CMOS
- Connecting Pins 2 and 3 Allows Driving One TTL Load
- Supply Voltage 4.5V to 9.5V

P SUFFIX
PLASTIC PACKAGE
CASE 626–05

D SUFFIX
PLASTIC SOIC PACKAGE
CASE 751–05

MAXIMUM RATINGS

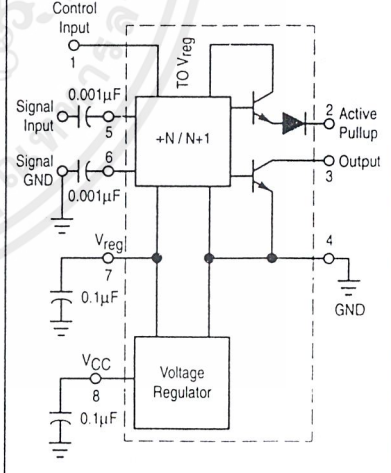
Symbol	Characteristic	Range	Unit
V_{reg}	Regulated Voltage, Pin 7	8.0	Vdc
V_{CC}	Power Supply Voltage, Pin 8	10.0	Vdc
T_A	Operating Temperature Range	–40 to +85	°C
T_{stg}	Storage Temperature Range	–65 to +175	°C

ELECTRICAL CHARACTERISTICS (V_{CC} = 5.5 to 9.5V; V_{reg} = 4.5 to 5.5V; T_A = –40 to +85°C)

Symbol	Characteristic	Min	Typ	Max	Unit
f_{max} f_{min}	Toggle Frequency (Sine Wave Input)	225		 35	MHz
I_{CC}	Supply Current		6.0	7.8	mA
V_{IH}	Control Input HIGH (÷32, 40 or 64)	2.0			V
V_{IL}	Control Input LOW (÷33, 41 or 65)			0.8	V
V_{OH}	Output Voltage HIGH[1] (I_{source} = 50μA)	2.5			V
V_{OL}	Output Voltage LOW[1] (I_{sink} = 2mA)			0.5	V
V_{in}	Input Voltage Sensitivity 35MHz 50–225MHz	 400 200		 800 800	mV_{PP}
t_{PLL}	PLL Response Time (Notes 2 and 3)			t_{out}–70	ns

1. Pin 2 connected to Pin 3
2. t_{PLL} = the period of time the PLL has from the prescaler rising output tranistion (50%) to the modulus control input edge transition (50%) to ensure proper modulus selection
3. t_{out} = period of output waveform

PRESCALER BLOCK DIAGRAM



1. V_{reg} at Pin 7 is not guaranteed to be between 4.5 and 5.5V when V_{CC} is being applied to Pin 8
2. Pin 7 is not to be used as a source of regulated output voltage

© Motorola, Inc. 1996

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Voltage Controlled Oscillator

Consider MC12148 for New Designs

MC1648

VOLTAGE CONTROLLED OSCILLATOR

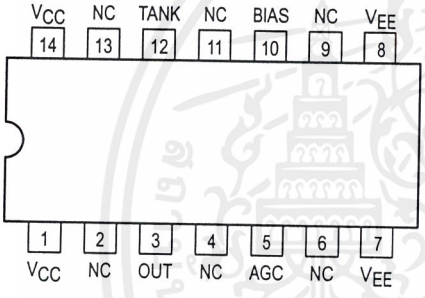
The MC1648 requires an external parallel tank circuit consisting of the inductor (L) and capacitor (C). **For Maximum Performance $Q_L \geq 100$ at Frequency of Operation.**

A varactor diode may be incorporated into the tank circuit to provide a voltage variable input for the oscillator (VCO). The MC1648 was designed for use in the Motorola Phase–Locked Loop shown in Figure 9. This device may also be used in many other applications requiring a fixed or variable frequency clock source of high spectral purity. (See Figure 2)

The MC1648 may be operated from a +5.0Vdc supply or a –5.2Vdc supply, depending upon system requirements.

NOTE: The MC1648 is NOT useable as a crystal oscillator.

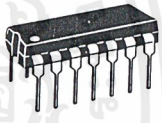
Pinout: 14–Lead Package (Top View)



Pin assignment is for Dual–in–Line Package.
For PLCC pin assignment, see the MC1648 Non–Standard Pin Conversion Table below.

L SUFFIX
14–LEAD CERAMIC PACKAGE
CASE 632–08

Not Recommended for New Designs



P SUFFIX
14–LEAD PLASTIC PACKAGE
CASE 646–06

D SUFFIX
8–PIN PLASTIC SOIC PACKAGE
CASE 751–05

FN SUFFIX
20–LEAD PLCC PACKAGE
CASE 775–02

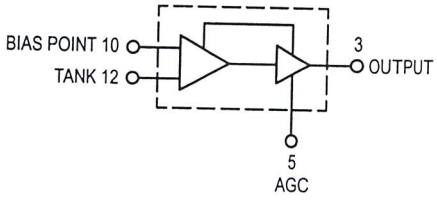
MC1648 NON–STANDARD PIN CONVERSION DATA

Package	TANK	V_{CC}	V_{CC}	OUT	AGC	V_{EE}	V_{EE}	BIAS
8 D	1	2	3	4	5	6	7	8
14 L,P	12	14	1	3	5	7	8	10
20FN	18	20	2	4	8	10	12	14

*NOTE – All unused pins are not connected.

Supply Voltage	GND Pins	Supply Pins
+5.0Vdc	7,8	1,14
–5.2Vdc	1,14	7,8

LOGIC DIAGRAM



- Input Capacitance = 6.0pF (TYP)
- Maximum Series Resistance for L (External Inductance) = 50Ω (TYP)
- Power Dissipation = 150mW (TYP)/Pkg (+5.0Vdc Supply)
- Maximum Output Frequency = 225MHz (TYP)

V_{CC1} = Pin 1
V_{CC2} = Pin 14
V_{EE} = Pin 7

© Motorola, Inc. 1997

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

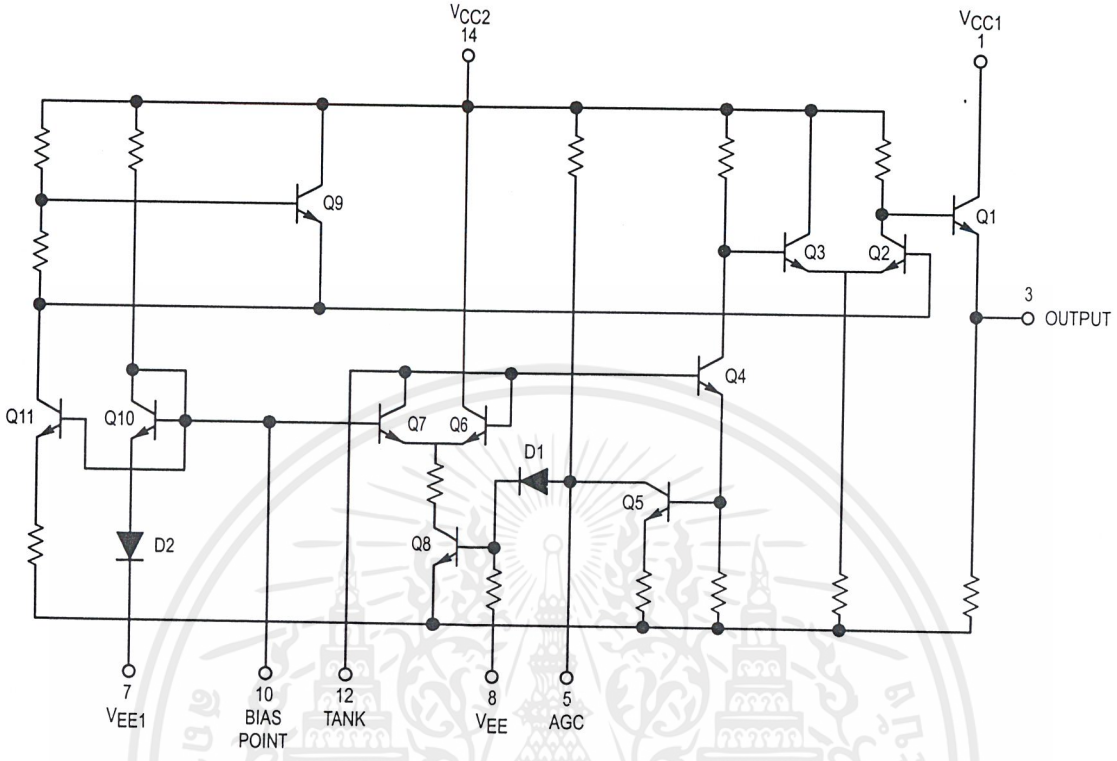


Figure 1. Circuit Schematic

TEST VOLTAGE/CURRENT VALUES

@ Test Temperature	(Volts)			mAdc
	V_{IHmax}	V_{ILmin}	V_{CC}	I_L
MC1648				
–30°C	+2.0	+1.5	+5.0	–5.0
+25°C	+1.85	+1.35	+5.0	–5.0
+85°C	+1.7	+1.2	+5.0	–5.0

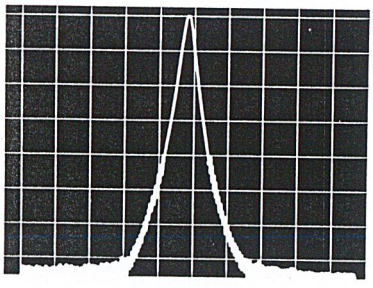
Note: SOIC "D" package guaranteed –30°C to +70°C only

ELECTRICAL CHARACTERISTICS (Supply Voltage = +5.0V)

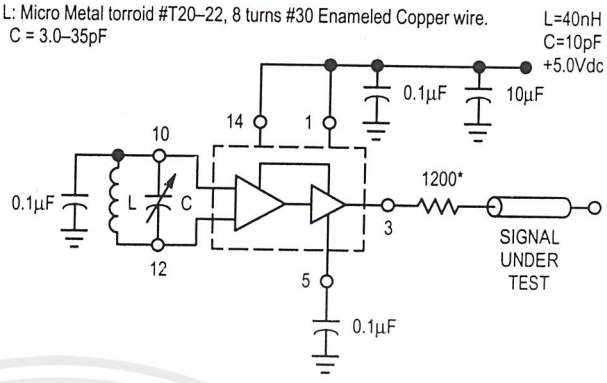
Symbol	Characteristic	–30°C			+25°C			+85°C			Unit	Condition
		Min		Max	Min		Max	Min		Max		
I_E	Power Supply Drain Current	–		–	–		41	–		–	mAdc	Inputs and outputs open
V_{OH}	Logic "1" Output Voltage	3.955		4.185	4.04		4.25	4.11		4.36	Vdc	V_{ILmin} to Pin 12, I_L @ Pin 3
V_{OL}	Logic "0" Output Voltage	3.16		3.4	3.2		3.43	3.22		3.475	Vdc	V_{IHmax} to Pin 12, I_L @ Pin 3
V_{BIAS}[1]	Bias Voltage	1.6		1.9	1.45		1.75	1.3		1.6	Vdc	V_{ILmin} to Pin 12
		Min	Typ	Max	Min	Typ	Max	Min	Typ	Max	Unit	Condition
V_{P-P}	Peak–to–Peak Tank Voltage	–	–	–	–	400	–	–	–	–	mV	See Figure 3
Vdc	Output Duty Cycle	–	–	–	–	50	–	–	–	–	%	
f_{max}[2]	Oscillation Frequency	–	225	–	200	225	–	–	225	–	MHz	

1. This measurement guarantees the dc potential at the bias point for purposes of incorporating a varactor tuning diode at this point.
2. Frequency variation over temperature is a direct function of the ΔC/Δ Temperature and ΔL/Δ Temperature.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



B.W. = 10 kHz
Center Frequency = 100 MHz
Scan Width = 50 kHz/div
Vertical Scale = 10 dB/div



* The 1200 ohm resistor and the scope termination impedance constitute a 25:1 attenuator probe. Coax shall be CT–075–50 or equivalent.

Figure 2. Spectral Purity of Signal Output for 200MHz Testing

TEST VOLTAGE/CURRENT VALUES

@ Test Temperature	(Volts)			mAdc
	V_{IHmax}	V_{ILmin}	V_{EE}	I_L
MC1648				
–30°C	–3.2	–3.7	–5.2	–5.0
+25°C	–3.35	–3.85	–5.2	–5.0
+85°C	–3.5	–4.0	–5.2	–5.0

Note: SOIC "D" package guaranteed –30°C to +70°C only

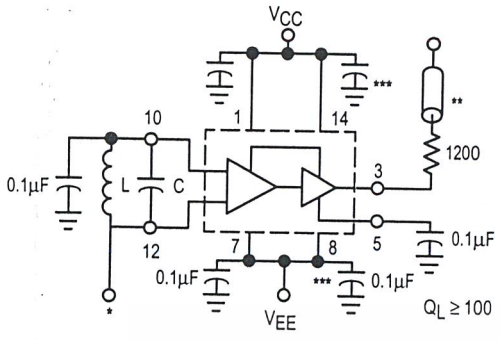
ELECTRICAL CHARACTERISTICS (Supply Voltage = –5.2V)

Symbol	Characteristic	–30°C		+25°C		+85°C		Unit	Condition
		Min	Max	Min	Max	Min	Max		
I_E	Power Supply Drain Current	–	–	–	41	–	–	mAdc	Inputs and outputs open
V_{OH}	Logic "1" Output Voltage	–1.045	–0.815	–0.96	–0.75	–0.89	–0.64	Vdc	V_{ILmin} to Pin 12, I_L @ Pin 3
V_{OL}	Logic "0" Output Voltage	–1.89	–1.65	–1.85	–1.62	–1.83	–1.575	Vdc	V_{IHmax} to Pin 12, I_L @ Pin 3
V_{BIAS}[1]	Bias Voltage	–3.6	–3.3	–3.75	–3.45	–3.9	–3.6	Vdc	V_{ILmin} to Pin 12

		Min	Typ	Max	Min	Typ	Max	Min	Typ	Max	Unit	Condition
V_{P-P}	Peak–to–Peak Tank Voltage	–	–	–	–	400	–	–	–	–	mV	See Figure 3
Vdc	Output Duty Cycle	–	–	–	–	50	–	–	–	–	%	
f_{max}[2]	Oscillation Frequency	–	225	–	200	225	–	–	225	–	MHz	

1. This measurement guarantees the dc potential at the bias point for purposes of incorporating a varactor tuning diode at this point.
2. Frequency variation over temperature is a direct function of the ΔC/Δ Temperature and ΔL/Δ Temperature.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



* Use high impedance probe (>1.0 Megohm must be used).

** The 1200 ohm resistor and the scope termination impedance constitute a 25:1 attenuator probe. Coax shall be CT–070–50 or equivalent.

*** Bypass only that supply opposite ground.

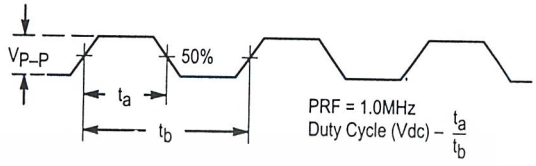


Figure 3. Test Circuit and Waveforms

OPERATING CHARACTERISTICS

Figure 1 illustrates the circuit schematic for the MC1648. The oscillator incorporates positive feedback by coupling the base of transistor Q6 to the collector of Q7. An automatic gain control (AGC) is incorporated to limit the current through the emitter–coupled pair of transistors (Q7 and Q6) and allow optimum frequency response of the oscillator.

In order to maintain the high Q of the oscillator, and provide high spectral purity at the output, transistor Q4 is used to translate the oscillator signal to the output differential pair Q2 and Q3. Q2 and Q3, in conjunction with output transistor Q1, provides a highly buffered output which produces a square wave. Transistors Q9 and Q11 provide the bias drive for the oscillator and output buffer. Figure 2 indicates the high spectral purity of the oscillator output (pin 3).

When operating the oscillator in the voltage controlled mode (Figure 4), it should be noted that the cathode of the varactor diode (D) should be biased at least "2" V_{BE} above V_{EE} (≈1.4V for positive supply operation).

When the MC1648 is used with a constant dc voltage to the varactor diode, the output frequency will vary slightly because of internal noise. This variation is plotted versus operating frequency in Figure 5.

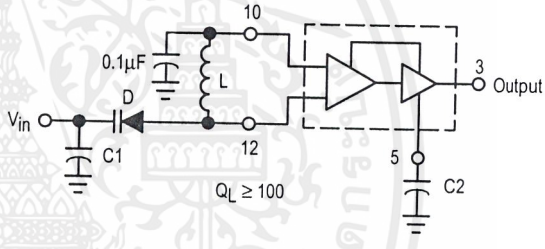
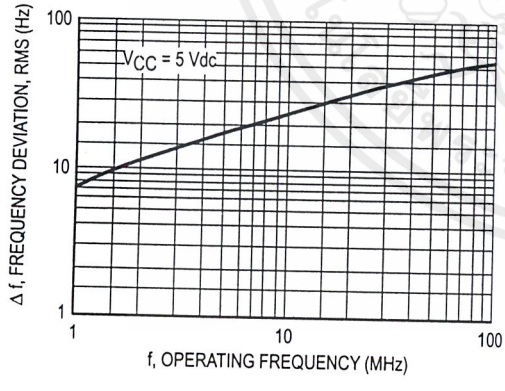
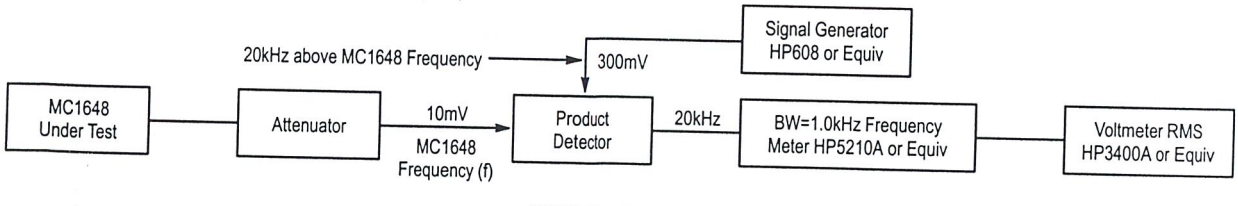


Figure 4. The MC1648 Operating in the Voltage Controlled Mode



Oscillator Tank Components (Circuit of Figure 4)

f MHz	D	L μH
1.0–10	MV2115	100
10–60	MV2115	2.3
60–100	MV2106	0.15



$$\text{Frequency Deviation} = \frac{\text{(HP5210A output voltage) (Full Scale Frequency)}}{\text{1.0Volt}}$$

Figure 5. Noise Deviation Test Circuit and Waveform

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

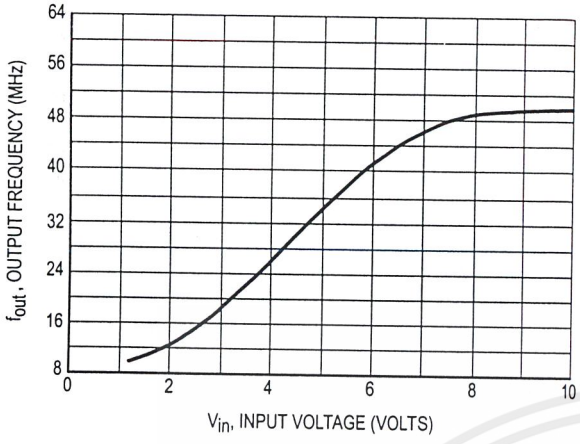
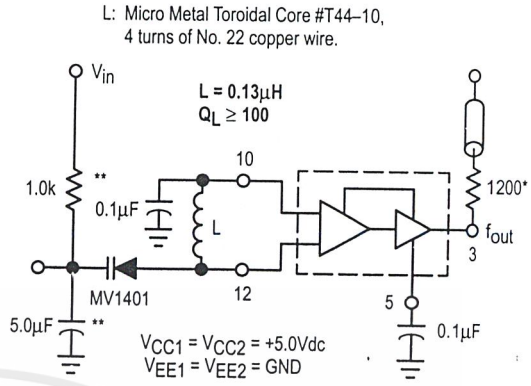


Figure 6



* The 1200 ohm resistor and the scope termination impedance constitute a 25:1 attenuator probe. Coax shall be CT–070–50 or equivalent. NOT used in normal operation.

** Input resistor and cap are for test only. They are NOT necessary for normal operation.

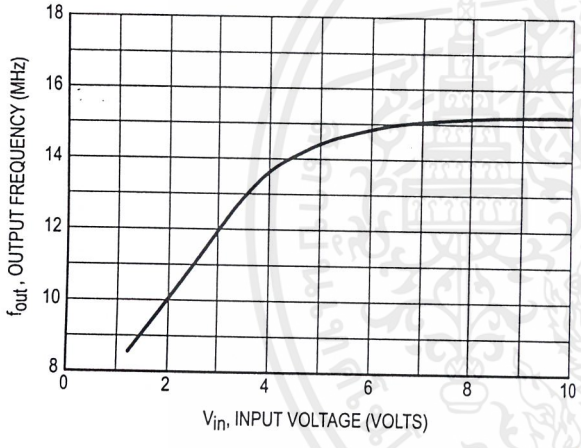
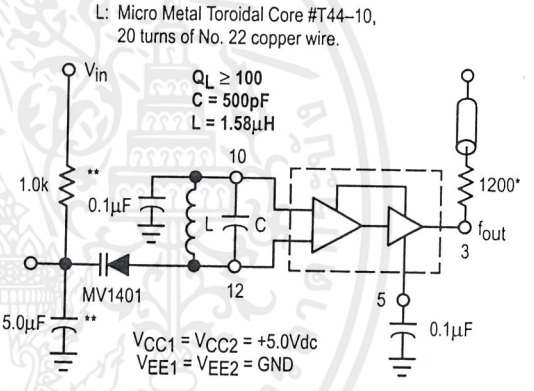


Figure 7



* The 1200 ohm resistor and the scope termination impedance constitute a 25:1 attenuator probe. Coax shall be CT–070–50 or equivalent. NOT used in normal operation.

** Input resistor and cap are for test only. They are NOT necessary for normal operation.

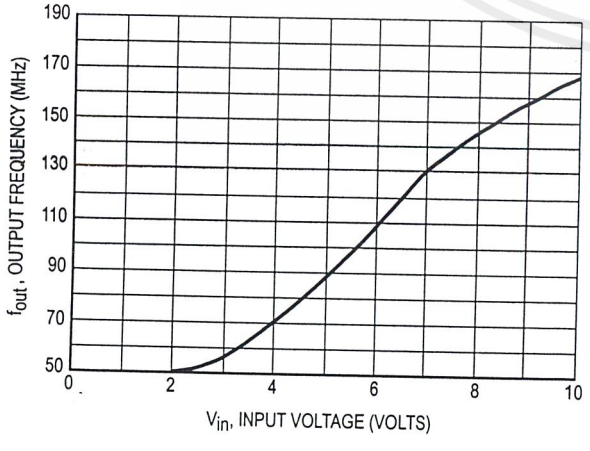
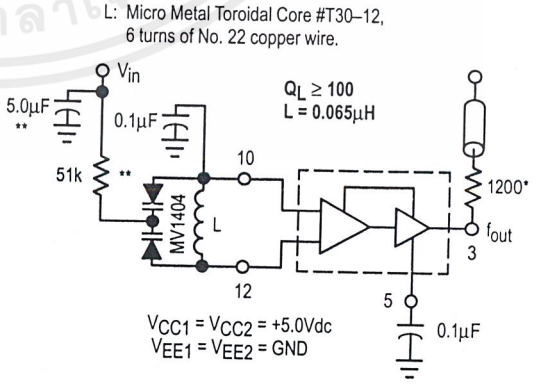


Figure 8



* The 1200 ohm resistor and the scope termination impedance constitute a 25:1 attenuator probe. Coax shall be CT–070–50 or equivalent. NOT used in normal operation.

** Input resistor and cap are for test only. They are NOT necessary for normal operation.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Typical transfer characteristics for the oscillator in the voltage controlled mode are shown in Figure 6, Figure 7 and Figure 8. Figure 6 and Figure 8 show transfer characteristics employing only the capacitance of the varactor diode (plus the input capacitance of the oscillator, 6.0pF typical). Figure 7 illustrates the oscillator operating in a voltage controlled mode with the output frequency range limited. This is achieved by adding a capacitor in parallel with the tank circuit as shown. The 1.0kΩ resistor in Figure 6 and Figure 7 is used to protect the varactor diode during testing. It is not necessary as long as the dc input voltage does not cause the diode to become forward biased. The larger–valued resistor (51kΩ) in Figure 8 is required to provide isolation for the high–impedance junctions of the two varactor diodes.

The tuning range of the oscillator in the voltage controlled mode may be calculated as:

$$\frac{f_{max}}{f_{min}} = \frac{\sqrt{C_D(max) + C_S}}{\sqrt{C_D(min) + C_S}}$$

where $$f_{min} = \frac{1}{2\pi\sqrt{L(C_D(max) + C_S)}}$$

CS = shunt capacitance (input plus external capacitance)

CD = varactor capacitance as a function of bias voltage

Good RF and low–frequency bypassing is necessary on the power supply pins. (See Figure 2)

Capacitors (C1 and C2 of Figure 4) should be used to bypass the AGC point and the VCO input (varactor diode), guaranteeing only dc levels at these points.

For output frequency operation between 1.0MHz and 50MHz a 0.1μF capacitor is sufficient for C1 and C2. At higher frequencies, smaller values of capacitance should be used; at lower frequencies, larger values of capacitance. At high frequencies the value of bypass capacitors depends directly upon the physical layout of the system. All bypassing should be as close to the package pins as possible to minimize unwanted lead inductance.

The peak–to–peak swing of the tank circuit is set internally by the AGC circuitry. Since voltage swing of the tank circuit provides the drive for the output buffer, the AGC potential directly affects the output waveform. If it is desired to have a sine wave at the output of the MC1648, a series resistor is tied from the AGC point to the most negative power potential (ground if +5.0 volt supply is used, –5.2 volts if a negative supply is used) as shown in Figure 10.

At frequencies above 100 MHz typ, it may be desirable to increase the tank circuit peak–to–peak voltage in order to shape the signal at the output of the MC1648. This is accomplished by tying a series resistor (1.0kΩ minimum) from the AGC to the most positive power potential (+5.0 volts if a +5.0 volt supply is used, ground if a –5.2 volt supply is used). Figure 11 illustrates this principle.

APPLICATIONS INFORMATION

The phase locked loop shown in Figure 9 illustrates the use of the MC1648 as a voltage controlled oscillator. The figure illustrates a frequency synthesizer useful in tuners for FM broadcast, general aviation, maritime and landmobile communications, amateur and CB receivers. The system operates from a single +5.0Vdc supply, and requires no internal translations, since all components are compatible.

Frequency generation of this type offers the advantages of single crystal operation, simple channel selection, and elimination of special circuitry to prevent harmonic lockup. Additional features include dc digital switching (preferable over RF switching with a multiple crystal system), and a broad range of tuning (up to 150MHz, the range being set by the varactor diode).

The output frequency of the synthesizer loop is determined by the reference frequency and the number programmed at the programmable counter; $f_{out} = Nf_{ref}$. The channel spacing is equal to frequency (f_{ref}).

For additional information on applications and designs for phase locked–loops and digital frequency synthesizers, see Motorola Brochure BR504/D, Electronic Tuning Address Systems, (ETAS).

Figure 10 shows the MC1648 in the variable frequency mode operating from a +5.0Vdc supply. To obtain a sine wave at the output, a resistor is added from the AGC circuit (pin 5) to V_{EE}.

Figure 11 shows the MC1648 in the variable frequency mode operating from a +5.0Vdc supply. To extend the useful range of the device (maintain a square wave output above 175Mhz), a resistor is added to the AGC circuit at pin 5 (1.0 kohm minimum).

Figure 12 shows the MC1648 operating from +5.0Vdc and +9.0Vdc power supplies. This permits a higher voltage swing and higher output power than is possible from the MECL output (pin 3). Plots of output power versus total collector load resistance at pin 1 are given in Figure 13 and Figure 14 for 100MHz and 10MHz operation. The total collector load includes R in parallel with R_p of L1 and C1 at resonance. The optimum value for R at 100MHz is approximately 850 ohms.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

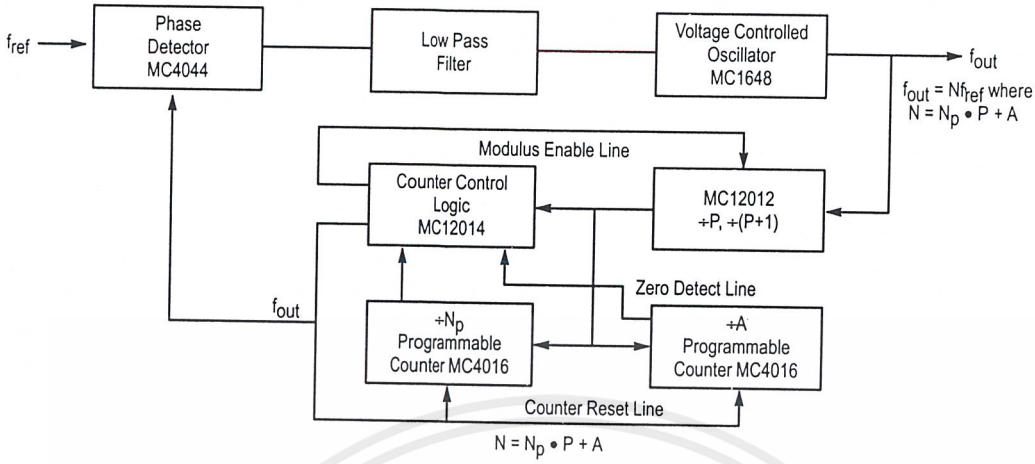


Figure 9. Typical Frequency Synthesizer Application

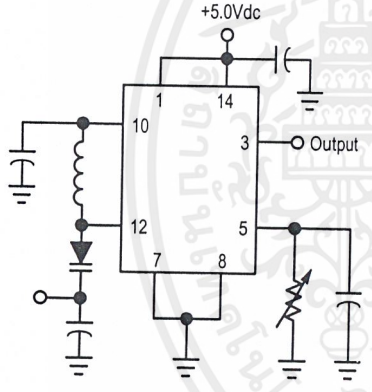


Figure 10. Method of Obtaining a Sine–Wave Output

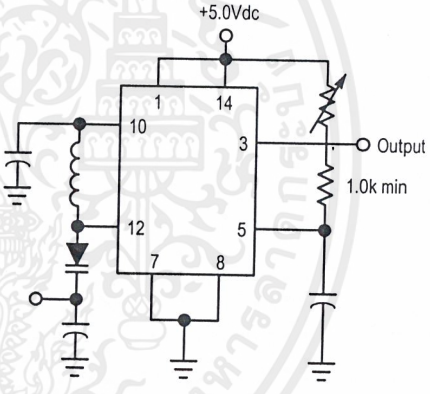


Figure 11. Method of Extending the Useful Range of the MC1648 (Square Wave Output)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

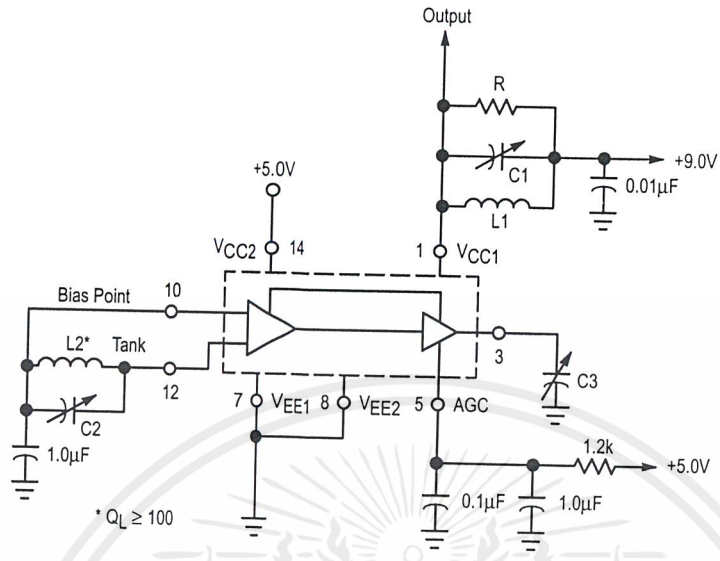
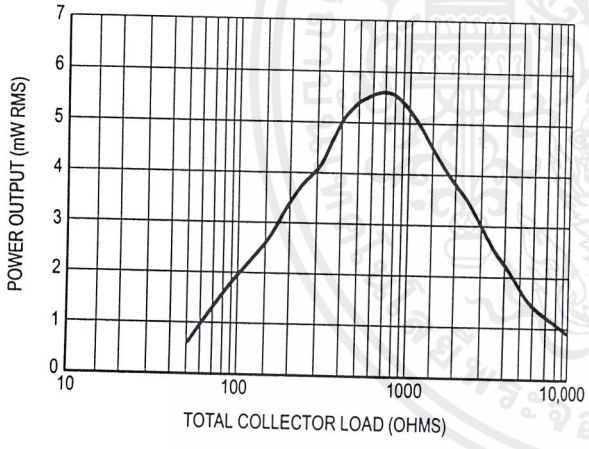
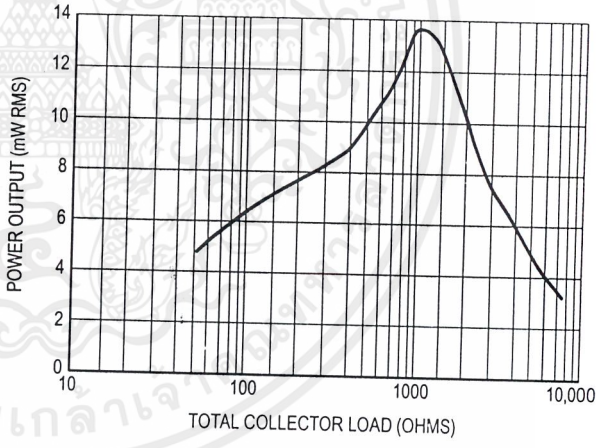


Figure 12. Circuit Used for Collector Output Operation



See test circuit, Figure 12, f = 100MHz
C3 = 3.0–35pF
Collector Tank
L1 = 0.22μH C1 = 1.0–7.0pF
R = 50Ω–10kΩ
RP of L1 and C1 = 11kΩ @ 100MHz Resonance
Oscillator Tank
L2 = 4 turns #20 AWG 3/16" ID
C2 = 1.0–7.0pF

Figure 13. Power Output versus Collector Load



See test circuit, Figure 12, f = 10MHz
C3 = 470pF
Collector Tank
L1 = 2.7μH C1 = 24–200pF
R = 50Ω–10kΩ
RP of L1 and C1 = 6.8kΩ @ 10MHz Resonance
Oscillator Tank
L2 = 2.7μH
C2 = 16–150pF

Figure 14. Power Output versus Collector Load

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

TL081, TL081A, TL081B, TL082, TL082A, TL082B
TL082Y, TL084, TL084A, TL084B, TL084Y
JFET-INPUT OPERATIONAL AMPLIFIERS

SLOS081E – FEBRUARY 1977 – REVISED FEBRUARY 1999

- Low Power Consumption
- Wide Common-Mode and Differential Voltage Ranges
- Low Input Bias and Offset Currents
- Output Short-Circuit Protection
- Low Total Harmonic Distortion . . . 0.003% Typ
- High Input Impedance . . . JFET-Input Stage
- Latch-Up-Free Operation
- High Slew Rate . . . 13 V/μs Typ
- Common-Mode Input Voltage Range Includes V_{CC+}

description

The TL08x JFET-input operational amplifier family is designed to offer a wider selection than any previously developed operational amplifier family. Each of these JFET-input operational amplifiers incorporates well-matched, high-voltage JFET and bipolar transistors in a monolithic integrated circuit. The devices feature high slew rates, low input bias and offset currents, and low offset voltage temperature coefficient. Offset adjustment and external compensation options are available within the TL08x family.

The C-suffix devices are characterized for operation from 0°C to 70°C. The I-suffix devices are characterized for operation from –40°C to 85°C. The Q-suffix devices are characterized for operation from –40°C to 125°C. The M-suffix devices are characterized for operation over the full military temperature range of –55°C to 125°C.

symbols

Please be aware that an important notice concerning availability, standard warranty, and use in critical applications of Texas Instruments semiconductor products and disclaimers thereto appears at the end of this data sheet.

PRODUCTION DATA information is current as of publication date. Products conform to specifications per the terms of Texas Instruments standard warranty. Production processing does not necessarily include testing of all parameters.

Copyright © 1999, Texas Instruments Incorporated

On products compliant to MIL-PRF-38535, all parameters are tested unless otherwise noted. On all other products, production processing does not necessarily include testing of all parameters.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

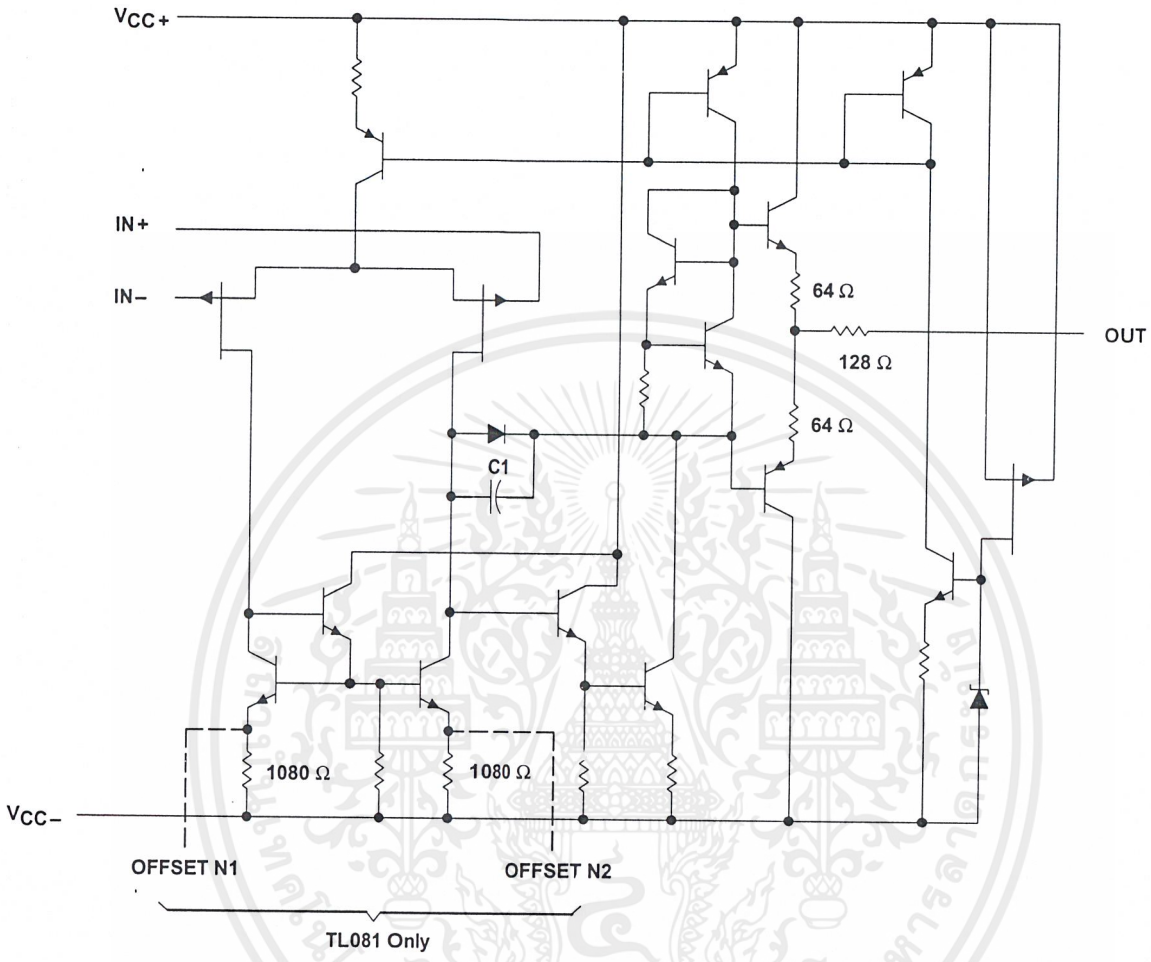
AVAILABLE OPTIONS

T_A	V_{IO}max AT 25°C	PACKAGED DEVICES										CHIP FORM (Y)
		SMALL OUTLINE (D008)	SMALL OUTLINE (D014)	CHIP CARRIER (FK)	CERAMIC DIP (J)	CERAMIC DIP (JG)	PLASTIC DIP (N)	PLASTIC DIP (P)	TSSOP (PW)	FLAT PACK (U)	FLAT PACK (W)	
0°C to 70°C	15 mV	TL081CD	—	—	—	—	—	TL081CP	TL081CPW	—	—	—
	6 mV	TL081ACD						TL081ACP				
	3 mV	TL081BCD						TL081BCP				
	15 mV	TL082CD	—	—	—	—	—	TL082CP	TL082CPW	—	—	TL082Y
	6 mV	TL082ACD						TL082ACP				
	3 mV	TL082BCD						TL082BCP				
	15 mV	—	TL084CD	—	—	—	TL084CN	—	TL084CPW	—	—	TL084Y
	6 mV		TL084ACD				TL084ACN					
	3 mV		TL084BCD				TL084BCN					
–40°C to 85°C	6 mV	TL081ID	—	—	—	—	—	TL081IP	—	—	—	—
	6 mV	TL082ID						TL082IP				
	6 mV	TL084ID	TL084ID				TL084IN					
–40°C to 125°C	9 mV	—	TL084QD	—	—	—	—	—	—	—	—	—
–55°C to 125°C	6 mV	—	—	TL081MFK	—	TL081MJG	—	—	—	TL081MU	—	—
	6 mV			TL082MFK		TL082MJG				TL082MU		
	9 mV			TL084MFK	TL084MJ						TL084MW	

The D package is available taped and reeled. Add R suffix to the device type (e.g., TL081CDR).

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

schematic (each amplifier)



Component values shown are nominal.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

absolute maximum ratings over operating free-air temperature range (unless otherwise noted)†

		TL08_C TL08_AC TL08_BC	TL08_I	TL084Q	TL08_M	UNIT
Supply voltage, V_{CC+} (see Note 1)		18	18	18	18	V
Supply voltage V_{CC-} (see Note 1)		−18	−18	−18	−18	V
Differential input voltage, V_{ID} (see Note 2)		±30	±30	±30	±30	V
Input voltage, V_I (see Notes 1 and 3)		±15	±15	±15	±15	V
Duration of output short circuit (see Note 4)		unlimited	unlimited	unlimited	unlimited	
Continuous total power dissipation		See Dissipation Rating Table				
Operating free-air temperature range, T_A		0 to 70	– 40 to 85	– 40 to 125	– 55 to 125	°C
Storage temperature range, T_{stg}		– 65 to 150	– 65 to 150	– 65 to 150	– 65 to 150	°C
Case temperature for 60 seconds, T_C	FK package				260	°C
Lead temperature 1,6 mm (1/16 inch) from case for 60 seconds	J or JG package				300	°C
Lead temperature 1,6 mm (1/16 inch) from case for 10 seconds	D, N, P, or PW package	260	260	260		°C

† Stresses beyond those listed under "absolute maximum ratings" may cause permanent damage to the device. These are stress ratings only, and functional operation of the device at these or any other conditions beyond those indicated under "recommended operating conditions" is not implied. Exposure to absolute-maximum-rated conditions for extended periods may affect device reliability.

NOTES: 1. All voltage values, except differential voltages, are with respect to the midpoint between V_{CC+} and V_{CC-}.
2. Differential voltages are at IN+ with respect to IN−.
3. The magnitude of the input voltage must never exceed the magnitude of the supply voltage or 15 V, whichever is less.
4. The output may be shorted to ground or to either supply. Temperature and/or supply voltages must be limited to ensure that the dissipation rating is not exceeded.

DISSIPATION RATING TABLE

PACKAGE	$T_A \le 25°C$ POWER RATING	DERATING FACTOR	DERATE ABOVE T_A	$T_A = 70°C$ POWER RATING	$T_A = 85°C$ POWER RATING	$T_A = 125°C$ POWER RATING
D (8 pin)	680 mW	5.8 mW/°C	32°C	460 mW	373 mW	N/A
D (14 pin)	680 mW	7.6 mW/°C	60°C	604 mW	490 mW	186 mW
FK	680 mW	11.0 mW/°C	88°C	680 mW	680 mW	273 mW
J	680 mW	11.0 mW/°C	88°C	680 mW	680 mW	273 mW
JG	680 mW	8.4 mW/°C	69°C	672 mW	546 mW	210 mW
N	680 mW	9.2 mW/°C	76°C	680 mW	597 mW	N/A
P	680 mW	8.0 mW/°C	65°C	640 mW	520 mW	N/A
PW (8 pin)	525 mW	4.2 mW/°C	25°C	336 mW	N/A	N/A
PW (14 pin)	700 mW	5.6 mW/°C	25°C	448 mW	N/A	N/A
U	675 mW	5.4 mW/°C	25°C	432 mW	351 mW	135 mW
W	680 mW	8.0 mW/°C	65°C	640 mW	520 mW	200 mW

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

electrical characteristics, $V_{CC\pm}$ = ±15 V (unless otherwise noted)

PARAMETER		TEST CONDITIONS	T_A†	TL081C TL082C TL084C			TL081AC TL082AC TL084AC			TLO81BC TL082BC TL084BC			TL081I TL082I TL084I			UNIT
				MIN	TYP	MAX	MIN	TYP	MAX	MIN	TYP	MAX	MIN	TYP	MAX	
V_{IO}	Input offset voltage	V_O = 0, R_S = 50 Ω	25°C		3	15		3	6		2	3		3	6	mV
			Full range			20			7.5			5			9	
α_{VIO}	Temperature coefficient of input offset voltage	V_O = 0, R_S = 50 Ω	Full range		18			18			18			18		µV/°C
I_{IO}	Input offset current‡	V_O = 0	25°C		5	200		5	100		5	100		5	100	pA
			Full range			2			2			2			10	nA
I_{IB}	Input bias current‡	V_O = 0	25°C		30	400		30	200		30	200		30	200	pA
			Full range			10			7			7			20	nA
V_{ICR}	Common-mode input voltage range		25°C	±11	−12 to 15		±11	−12 to 15		±11	−12 to 15		±11	−12 to 15		V
V_{OM}	Maximum peak output voltage swing	R_L = 10 kΩ	25°C	±12	±13.5		±12	±13.5		±12	±13.5		±12	±13.5		V
		R_L ≥ 10 kΩ	Full range	±12			±12			±12			±12			
		R_L ≥ 2 kΩ		±10	±12		±10	±12		±10	±12		±10	±12		
A_{VD}	Large-signal differential voltage amplification	V_O = ±10 V, R_L ≥ 2 kΩ	25°C	25	200		50	200		50	200		50	200		V/mV
		V_O = ±10 V, R_L ≥ 2 kΩ	Full range	15			25			25			25			
B_1	Unity-gain bandwidth		25°C		3			3			3			3		MHz
r_i	Input resistance		25°C		10^{12}			10^{12}			10^{12}			10^{12}		Ω
CMRR	Common-mode rejection ratio	V_{IC} = V_{ICR}min, V_O = 0, R_S = 50 Ω	25°C	70	86		75	86		75	86		75	86		dB
k_{SVR}	Supply voltage rejection ratio ($\Delta V_{CC\pm}/\Delta V_{IO}$)	V_{CC} = ±15 V to ±9 V, V_O = 0, R_S = 50 Ω	25°C	70	86		80	86		80	86		80	86		dB
I_{CC}	Supply current (per amplifier)	V_O = 0, No load	25°C		1.4	2.8		1.4	2.8		1.4	2.8		1.4	2.8	mA
V_{O1}/V_{O2}	Crosstalk attenuation	A_{VD} = 100	25°C		120			120			120			120		dB

† All characteristics are measured under open-loop conditions with zero common-mode voltage unless otherwise specified. Full range for T_A is 0°C to 70°C for TL08_C, TL08_AC, TL08_BC and −40°C to 85°C for TL08_I.

‡ Input bias currents of a FET-input operational amplifier are normal junction reverse currents, which are temperature sensitive as shown in Figure 17. Pulse techniques must be used that maintain the junction temperature as close to the ambient temperature as possible.

TEXAS INSTRUMENTS
POST OFFICE BOX 655303 • DALLAS, TEXAS 75265

electrical characteristics, $V_{CC\pm}$ = ±15 V (unless otherwise noted)

PARAMETER		TEST CONDITIONS†	T_A	TL081M, TL082M			TL084Q, TL084M			UNIT
				MIN	TYP	MAX	MIN	TYP	MAX	
V_{IO}	Input offset voltage	V_O = 0, R_S = 50 Ω	25°C		3	6		3	9	mV
			Full range			9			15	
α_{VIO}	Temperature coefficient of input offset voltage	V_O = 0 R_S = 50 Ω	Full range		18			18		µV/°C
I_{IO}	Input offset current‡	V_O = 0	25°C		5	100		5	100	pA
			125°C			20			20	nA
I_{IB}	Input bias current‡	V_O = 0	25°C		30	200		30	200	pA
			125°C			50			50	nA
V_{ICR}	Common-mode input voltage range		25°C	±11	±12 to 15		±11	±12 to 15		V
V_{OM}	Maximum peak output voltage swing	R_L = 10 kΩ	25°C	±12	±13.5		±12	±13.5		V
		R_L ≥ 10 kΩ	Full range	±12			±12			
		R_L ≥ 2 kΩ		±10	±12		±10	±12		
A_{VD}	Large-signal differential voltage amplification	V_O = ±10 V, R_L ≥ 2 kΩ	25°C	25	200		25	200		V/mV
		V_O = ±10 V, R_L ≥ 2 kΩ	Full range	15			15			
B_1	Unity-gain bandwidth		25°C		3			3		MHz
r_i	Input resistance		25°C		10^{12}			10^{12}		Ω
CMRR	Common-mode rejection ratio	V_{IC} = V_{ICR}min, V_O = 0, R_S = 50 Ω	25°C	80	86		80	86		dB
k_{SVR}	Supply voltage rejection ratio ($\Delta V_{CC\pm}/\Delta V_{IO}$)	V_{CC} = ±15 V to ±9 V, V_O = 0, R_S = 50 Ω	25°C	80	86		80	86		dB
I_{CC}	Supply current (per amplifier)	V_O = 0, No load	25°C		1.4	2.8		1.4	2.8	mA
V_{O1}/V_{O2}	Crosstalk attenuation	A_{VD} = 100	25°C		120			120		dB

† All characteristics are measured under open-loop conditions with zero common-mode input voltage unless otherwise specified.
‡ Input bias currents of a FET-input operational amplifier are normal junction reverse currents, which are temperature sensitive as shown in Figure 17. Pulse techniques must be used that maintain the junction temperatures as close to the ambient temperature as is possible.

operating characteristics, $V_{CC\pm}$ = ±15 V, T_A = 25°C (unless otherwise noted)

PARAMETER		TEST CONDITIONS		MIN	TYP	MAX	UNIT
SR	Slew rate at unity gain	V_I = 10 V, R_L = 2 kΩ, C_L = 100 pF, See Figure 1		8*	13		V/µs
		V_I = 10 V, T_A = – 55°C to 125°C, R_L = 2 kΩ, C_L = 100 pF, See Figure 1		5*			
t_r	Rise time	V_I = 20 mV, R_L = 2 kΩ, C_L = 100 pF, See Figure 1			0.05		µs
	Overshoot factor				20%		
V_n	Equivalent input noise voltage	R_S = 20 Ω	f = 1 kHz		18		nV/√Hz
			f = 10 Hz to 10 kHz		4		µV
I_n	Equivalent input noise current	R_S = 20 Ω, f = 1 kHz			0.01		pA/√Hz
THD	Total harmonic distortion	$V_I$rms = 6 V, f = 1 kHz, A_{VD} = 1, R_S ≤ 1 kΩ, R_L ≥ 2 kΩ			0.003%		

*On products compliant to MIL-PRF-38535, this parameter is not production tested.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

electrical characteristics, $V_{CC\pm}$ = ±15 V, T_A = 25°C (unless otherwise noted)

PARAMETER		TEST CONDITIONS†		TL082Y, TL084Y			UNIT
				MIN	TYP	MAX	
V_{IO}	Input offset voltage	V_O = 0,	R_S = 50 Ω		3	15	mV
α_{VIO}	Temperature coefficient of input offset voltage	V_O = 0,	R_S = 50 Ω		18		µV/°C
I_{IO}	Input offset current‡	V_O = 0,			5	200	pA
I_{IB}	Input bias current‡	V_O = 0,			30	400	pA
V_{ICR}	Common-mode input voltage range			±11	−12 to 15		V
V_{OM}	Maximum peak output voltage swing	R_L = 10 kΩ,		±12	±13.5		V
A_{VD}	Large-signal differential voltage amplification	V_O = ±10 V,	$R_L \geq$ 2 kΩ	25	200		V/mV
B_1	Unity-gain bandwidth				3		MHz
r_i	Input resistance				10^{12}		Ω
CMRR	Common-mode rejection ratio	$V_{IC} = V_{ICR}$min, R_S = 50 Ω	V_O = 0,	70 70	86 86		dB
k_{SVR}	Supply voltage rejection ratio ($\Delta V_{CC\pm}/\Delta V_{IO}$)	V_{CC} = ±15 V to ±9 V, V_O = 0,	R_S = 50 Ω	70 70	86 86		dB
I_{CC}	Supply current (per amplifier)	V_O = 0,	No load		1.4	2.8	mA
V_{O1}/V_{O2}	Crosstalk attenuation	A_{VD} = 100			120		dB

† All characteristics are measured under open-loop conditions with zero common-mode voltage unless otherwise specified.
‡ Input bias currents of a FET-input operational amplifier are normal junction reverse currents, which are temperature sensitive as shown in Figure 17. Pulse techniques must be used that maintain the junction temperature as close to the ambient temperature as possible.

operating characteristics, $V_{CC\pm}$ = ±15 V, T_A = 25°C

PARAMETER		TEST CONDITIONS			MIN	TYP	MAX	UNIT
SR	Slew rate at unity gain	V_I = 10 V,	R_L = 2 kΩ, C_L = 100 pF,	See Figure 1	8	13		V/µs
t_r	Rise time	V_I = 20 mV,	R_L = 2 kΩ, C_L = 100 pF,	See Figure 1		0.05		µs
	Overshoot factor					20%		
V_n	Equivalent input noise voltage	R_S = 20 Ω	f = 1 kHz			18		nV/√Hz
			f = 10 Hz to 10 kHz			4		µV
I_n	Equivalent input noise current	R_S = 20 Ω,	f = 1 kHz			0.01		pA/√Hz
THD	Total harmonic distortion	$V_I$rms = 6 V, f = 1 kHz	A_{VD} = 1,	$R_S \leq$ 1 kΩ, $R_L \geq$ 2 kΩ,		0.003%		

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้