

เครื่องส่ง/เครื่องรับแบบดีพีซีเอ็มและเครื่องส่ง/เครื่องรับแบบดีเอ็ม

DPCM TRANSMITTER / RECEIVER AND DM TRANSMITTER / RECEIVER



โดย

นาย กวีวัฒน์ บุญนิตย

นาย กิตติคุณ วรารักษ์ประภักดิ์

เลขหมู่.....

เลขทะเบียน 42206

วัน, เดือน, ปี 15 พ.ค. 2545

b.....

i.....

ปริญญานิพนธ์นี้เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรปริญญาวิศวกรรมศาสตรบัณฑิต

สาขาวิชาวิศวกรรมโทรคมนาคม

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

ปีการศึกษา 2543

612206317

เครื่องส่ง/เครื่องรับแบบดีพีซีเอ็มและเครื่องส่ง/เครื่องรับแบบดีเอ็ม

DPCM TRANSMITTER / RECEIVER AND DM TRANSMITTER / RECEIVER

โดย

นาย กวีวัฒน์ บุญนิตย์ 41013002

นาย กิตติคุณ วรารักษ์ประภักดิ์ 41013003

อาจารย์ที่ปรึกษา

รศ.ดร. กอบชัย เดชหาญ

ปริญญานิพนธ์นี้เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรปริญญาวิศวกรรมศาสตรบัณฑิต

สาขาวิชาวิศวกรรมโทรคมนาคม

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

ปีการศึกษา 2543

ปริญญานิพนธ์ปีการศึกษา 2543

ภาควิชาวิศวกรรมโทรคมนาคม

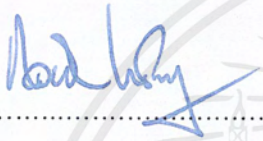
คณะวิศวกรรมศาสตร์ สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

เรื่อง เครื่องส่ง/เครื่องรับแบบดีพีเอ็มและเครื่องส่ง/เครื่องรับแบบดีเอ็ม

DPCM TRANSMITTER / RECEIVER AND DM TRANSMITTER / RECEIVER

ผู้จัดทำ

1. นายกวีวัฒน์ บุญนิตย 41013002
2. นายกิตติคุณ วรารักษ์ประภัทร์ 41013003



(รศ.ดร.กอบชัย เดชหาญ)

อาจารย์ที่ปรึกษา



เครื่องส่ง/เครื่องรับแบบดีพีซีเอ็มและเครื่องส่ง/เครื่องรับแบบดีเอ็ม
DPCM TRANSMITTER / RECEIVER AND DM
TRANSMITTER / RECEIVER

โดย นาย กวีวัฒน์ บุญนิตย์ 41013002
นาย กิตติคุณ วรารักษ์ประภักดิ์ 41013003

อาจารย์ที่ปรึกษา รศ.ดร.กอบชัย เดชหาญ

บทคัดย่อ

ระบบดีพีซีเอ็มได้รับการพัฒนาจากระบบพีซีเอ็ม โดยระบบดีพีซีเอ็มสามารถประหยัดจำนวนบิตที่ใช้รับส่งได้ดีกว่าระบบพีซีเอ็ม เพราะระบบดีพีซีเอ็มจะทำการเปรียบเทียบสัญญาณแซมเปิ้ลที่เข้ามาใหม่กับสัญญาณแซมเปิ้ลที่เข้ามาก่อนหน้านี้ทำให้ระดับการควอนไทซ์ซึ่งลดลง ส่งผลให้สัญญาณที่เข้ารหัสเป็นดิจิทัลมีจำนวนลดลง และดีเอ็มเป็นการส่งสัญญาณดิจิทัลโดยการเข้ารหัสพีซีเอ็ม 1 บิต จากสัญญาณ อนุลอก ดีเอ็มส่งรหัสเพียง 1 บิต แทนค่ารหัสหลายบิตที่ได้จากการแซมเปิ้ลซึ่งรหัส 1 บิต นี้ให้เห็นว่าค่าที่ได้จากการแซมเปิ้ลมีค่ามากหรือน้อยกว่าค่าแซมเปิ้ลก่อนหน้านี้

ABSTRACT

DPCM system is developed from PCM system DPCM system can save amount of digital bits which is used in transmission better than PCM system. Because, it compares the present sample of the signal with the previous sample of the signal so it saves the quantizing level and saves the digital code of the signal. DM uses a single-bit PCM code to achieve digital transmission of analog signals. The DM transmits a representative code of the sample by using only a single bit to transmit. It is simply to indicate whether the sample whether the sample is larger or smaller than the previous sample.

บทที่ 1 บทนำ	1
บทที่ 2 ทฤษฎีและหลักการ	2
2.1 การมอดูเลตแบบรหัสพัลส์	3
2.2 การลดอัตราการใช้สัญญาณข้อมูล และการลดความยุ่งยากของระบบ	5
2.3 การมอดูเลตแบบผลต่างรหัสพัลส์ (DPCM)	6
2.4 การเปรียบเทียบคุณสมบัติของการเข้ารหัสระบบต่าง ๆ	7
2.5 เคล็ดมอดูเลชัน (Delta Modulation:DM)	8
2.5.1 เครื่องส่งสัญญาณดิเอ็ม	8
2.5.2 เครื่องรับดิเอ็ม	10
2.5.3 สโลป โอเวอร์โหลด (slope overload)	10
2.5.4 กราโนลาร์ นอยส์ (Granular Noise)	11
2.6 ทฤษฎีการชักตัวอย่างสัญญาณ	11
2.7 ความผิดพลาดอันเนื่องมาจากอัตราการชักตัวอย่างไม่มากพอ	14
2.8 การจัดระดับการควอนไทซ์	15
2.9 วงจรแฉมเปิดแอนโฮล	17
2.10 วมิตต์ทริกเกอร์	18
2.10.1 การทำงานของวงจรวมิตต์ทริกเกอร์	19
2.11 การแปลงสัญญาณอนาลอกเป็นสัญญาณดิจิตอล	21
2.12 ความผิดพลาดของตัวแปลงสัญญาณ	22
2.13 วงจรแปลงสัญญาณดิจิตอลเป็นอนาลอก	23
2.14 วงจรแปลงสัญญาณแบบขนานเป็นแบบอนุกรม	25
2.15 วงจรแปลงสัญญาณแบบอนุกรมเป็นแบบขนาน	27
2.16 วงจรกรองแบบผ่านต่ำ	29
บทที่ 3 การคำนวณและการสร้าง	32
3.1 หลักการออกแบบวงจรภาคส่ง	32
3.1.1 วงจรกรองแบบผ่านต่ำ	32
3.1.2 วงจรชักตัวอย่างและคงค่า	33
3.1.3 วงจรขั้วระดับสัญญาณ	34
3.1.4 วงจรแปลงสัญญาณอนาลอกเป็นดิจิตอล	35
3.1.5 วงจรแปลงสัญญาณดิจิตอลเป็นอนาลอก	37
3.1.6 วงจรแปลงข้อมูลแบบขนานเป็นอนุกรมของระบบดิจิเอ็ม	38

3.2 หลักการออกแบบวงจรทางด้านภาครับ	39
3.2.1 วงจรแปลงข้อมูลแบบอนุกรมเป็นแบบขนาน	39
3.2.2 วงจรสร้างสัญญาณนาฬิกาให้กับ	41
3.2.3 วงจรถอดรหัส	42
3.2.4 วงจรแปลงสัญญาณดิจิทัลเป็นสัญญาณอนาล็อก	42
3.3 วงจรดีเอ็ม	43
3.4 วงจรเคลด้าคิมมูเลชัน	45
บทที่ 4 การทดลองและผลการทดลอง	53
4.1 การทดลองวงจรดีเอ็มภาคส่ง	53
4.2 ผลการทดลองวงจรดีเอ็มภาคส่ง	54
4.3 การทดลองวงจรดีเอ็มภาครับ	69
4.4 ผลการทดลองวงจรดีเอ็มภาครับ	69
4.5 การทดลองวงจรดีเอ็มและเคลด้าคิมมูเลต	76
4.6 ผลทดลองวงจรดีเอ็มและเคลด้าคิมมูเลต	76
บทที่ 5 สรุปผลการทดลองและวิจารณ์	81
5.1 สรุปผลการทดลอง	81
5.2 วิจารณ์	81
บรรณานุกรม	
ภาคผนวก	

รูปที่ 2.1 แสดงบล็อกไดอะแกรมของพีซีเอ็มและ คีพีซีเอ็ม	3
รูปที่ 2.2 แสดงแผนภาพบล็อกพื้นฐานของระบบพีซีเอ็ม	5
รูปที่ 2.3 บล็อกไดอะแกรมของเครื่องส่งคิเอ็ม	8
รูปที่ 2.4 แสดงการทำงานตามทฤษฎีการเข้ารหัสแบบคิเอ็ม	9
รูปที่ 2.5 บล็อกไดอะแกรมของเครื่องรับคิเอ็ม	10
รูปที่ 2.6 อัตราการเปลี่ยนแปลงของสัญญาณอนาลอกอินพุตกับอัตราการเปลี่ยนแปลงที่ได้จาก วงจรแปลงสัญญาณดิจิทัลเป็นอนาลอก	10
รูปที่ 2.7 กราฟดูอาร์ นี้อยส์	11
รูปที่ 2.8 แสดงการชักตัวอย่างสัญญาณ	13
รูปที่ 2.9 แสดงสเปกตรัมของสัญญาณเบสแบนด์ และสเปกตรัมของสัญญาณชักตัวอย่าง ที่มีอัตราการชักตัวอย่างต่าง ๆ กัน	14
รูปที่ 2.10 แสดงสัญญาณการมอดูเลตแบบแอมพลิจูดของพัลส์	15
รูปที่ 2.11 แสดงการแปลงระดับสัญญาณพีเอเอ็มให้เข้ากับระดับของการควอนไทซ์	16
รูปที่ 2.12 แสดงสัญญาณรบกวนเนื่องจากการควอนไทซ์	16
รูปที่ 2.13 แสดงความสัมพันธ์ระหว่างระยะห่างของระดับ ที่ถูกแบ่งกับสัญญาณ รบกวนเนื่องจากการควอนไทซ์	17
รูปที่ 2.14 แสดงวงจรแรมป์เปิดแอนโฮล	17
รูปที่ 2.15 ตัวอย่างการใช้วงจรสุ่มและคงไว้	18
รูปที่ 2.16 สัญลักษณ์และคุณสมบัติของวงจรมัลติเพล็กซ์	19
รูปที่ 2.17 การใช้เกตธรรมดาทำมัลติเพล็กซ์	20
รูปที่ 2.18 แสดงตัวแปลงสัญญาณอนาลอกเป็นดิจิทัล	21
รูปที่ 2.19 แสดงความผิดพลาดของตัวแปลงสัญญาณ	22
รูปที่ 2.20 แสดงแผนภาพบล็อกของวงจรแปลงสัญญาณดิจิทัลเป็นอนาลอก	23
รูปที่ 2.21 แสดงวงจรแปลงสัญญาณดิจิทัลเป็นอนาลอก อย่างง่ายขนาด 4 บิต	24
รูปที่ 2.22 แสดงวงจรแปลงข้อมูลแบบขนานเป็นแบบอนุกรมขนาด 4 บิต	25
รูปที่ 2.23 แสดงวงจรแปลงข้อมูลแบบขนานเป็นแบบอนุกรมขนาด 8 บิต	26
รูปที่ 2.24 แสดงแผนภาพขาสัญญาณและฟังก์ชันการทำงานของ 74LS165	27
รูปที่ 2.25 แสดงวงจรแปลงข้อมูลแบบอนุกรมเป็นแบบขนานขนาด 4 บิต	28
รูปที่ 2.26 แสดงวงจรแปลงข้อมูลแบบอนุกรมเป็นแบบขนานขนาด 8 บิต	28
รูปที่ 2.27 แสดงแผนภาพของขาสัญญาณ และฟังก์ชันการทำงานของ 74LS164	29
รูปที่ 2.28 วงจรกรองซอลเดินแอนคีย์	30

รูปที่ 3.1 แสดงวงจรกรองแบบต่ำผ่านที่ 4 กิโลเฮิร์ตซ์	33
รูปที่ 3.2 แสดงวงจรชักตัวอย่างและคงค่า	34
รูปที่ 3.3 แสดงวงจรยกระดับสัญญาณ	34
รูปที่ 3.4 แสดงไคอะแกรมเวลาของไอซี ADC0820	35
รูปที่ 3.5 แสดงวงจรแปลงสัญญาณอนาลอกเป็นดิจิตอล	36
รูปที่ 3.6 แสดงวงจรแปลงสัญญาณดิจิตอลเป็นอนาลอก	37
รูปที่ 3.7 แสดงวงจรแปลงข้อมูลแบบขนานเป็นแบบอนุกรม	39
รูปที่ 3.9 แสดงวงจรแปลงข้อมูลแบบอนุกรมเป็นแบบขนาน	40
รูปที่ 3.10 แสดงรูปสัญญาณที่ใช้ควบคุมไอซี 74LS164 เมื่อป้อนอินพุตเป็น "000000"	41
รูปที่ 3.11 แสดงหลักการกู้สัญญาณนาฬิกากลับคืน	41
รูปที่ 3.12 แสดงวงจรสร้างสัญญาณนาฬิกากลับคืน	42
รูปที่ 3.13 แสดงกราฟแสดงสถานะของขาต่าง ๆ ของวงจรกู้สัญญาณนาฬิกา	43
รูปที่ 3.14 วงจรดีเอ็ม	43
รูปที่ 3.15 วงจรเคลด้าคิมอคูเลชั่น	45
รูปที่ 3.16 วงจรรวมดีเอ็มภาคส่ง	47
รูปที่ 3.17 วงจรรวมดีเอ็มภาครับ	48
รูปที่ 3.18 วงจรรวมดีพีซีเอ็มภาคส่ง	49
รูปที่ 3.19 วงจรรวมดีพีซีเอ็มภาครับ	50
รูปที่ 3.20 บล็อกไคอะแกรมดีเอ็ม	51
รูปที่ 3.21 บล็อกไคอะแกรมดีพีซีเอ็ม	52
รูปที่ 4.1 วัดสัญญาณที่จุด TP 1 เทียบกับจุด TP 2 ความถี่อินพุต 500 เฮิร์ตซ์	54
รูปที่ 4.2 วัดสัญญาณที่จุด TP 1 เทียบกับจุด TP 2 ความถี่อินพุต 1 กิโลเฮิร์ตซ์	54
รูปที่ 4.3 วัดสัญญาณที่จุด TP 1 เทียบกับจุด TP 2 ความถี่อินพุต 2.5 กิโลเฮิร์ตซ์	55
รูปที่ 4.4 วัดสัญญาณที่จุด TP 1 เทียบกับจุด TP 2 ความถี่อินพุต 3.4 กิโลเฮิร์ตซ์	55
รูปที่ 4.5 วัดสัญญาณที่จุด TP 1 เทียบกับจุด TP 2 ความถี่อินพุต 4 กิโลเฮิร์ตซ์	56
รูปที่ 4.6 วัดสัญญาณที่จุด TP 1 เทียบกับจุด TP 3 ความถี่อินพุต 500 เฮิร์ตซ์	56
รูปที่ 4.7 วัดสัญญาณที่จุด TP 1 เทียบกับจุด TP 3 ความถี่อินพุต 1 กิโลเฮิร์ตซ์	57
รูปที่ 4.8 วัดสัญญาณที่จุด TP 1 เทียบกับจุด TP 3 ความถี่อินพุต 2.5 กิโลเฮิร์ตซ์	57
รูปที่ 4.9 วัดสัญญาณที่จุด TP 1 เทียบกับจุด TP 3 ความถี่อินพุต 3.4 กิโลเฮิร์ตซ์	58
รูปที่ 4.10 วัดสัญญาณที่จุด TP 1 เทียบกับจุด TP 3 ความถี่อินพุต 4 กิโลเฮิร์ตซ์	58
รูปที่ 4.11 วัดสัญญาณที่จุด TP 1 เทียบกับจุด TP 3 ความถี่อินพุต 500 เฮิร์ตซ์	59
รูปที่ 4.12 วัดสัญญาณที่จุด TP 1 เทียบกับจุด TP 3 ความถี่อินพุต 1 กิโลเฮิร์ตซ์	59

[illegible]

รูปที่ 4.40	สัญญาณอินพุตของคิพีซีเอ็มภาคส่งเทียบกับจุด TP 3 ของภาครับความถี่อินพุต 1 กิโลเฮิร์ตซ์	74
รูปที่ 4.41	สัญญาณอินพุตของคิพีซีเอ็มภาคส่งเทียบกับจุด TP 3 ของภาครับความถี่อินพุต 2.5 กิโลเฮิร์ตซ์	74
รูปที่ 4.42	สัญญาณอินพุตของคิพีซีเอ็มภาคส่งเทียบกับจุด TP 3 ของภาครับความถี่อินพุต 3.4 กิโลเฮิร์ตซ์	75
รูปที่ 4.43	สัญญาณอินพุตของคิพีซีเอ็มภาคส่งเทียบกับจุด TP 3 ของภาครับความถี่อินพุต 4 กิโลเฮิร์ตซ์	75
รูปที่ 4.44	สัญญาณที่เอาต์พุตภาคส่งเทียบกับสัญญาณอินพุตความถี่ 2 กิโลเฮิร์ตซ์	76
รูปที่ 4.45	สัญญาณที่เอาต์พุตภาคส่งเทียบกับสัญญาณอินพุตความถี่ 3.5 กิโลเฮิร์ตซ์	77
รูปที่ 4.46	สัญญาณที่เอาต์พุตภาคส่งเทียบกับสัญญาณอินพุตความถี่ 4.5 กิโลเฮิร์ตซ์	77
รูปที่ 4.47	สัญญาณอินพุตภาคส่งเทียบกับสัญญาณเอาต์พุตภาครับความถี่ 1 กิโลเฮิร์ตซ์	78
รูปที่ 4.48	สัญญาณอินพุตภาคส่งเทียบกับสัญญาณเอาต์พุตภาครับความถี่ 2 กิโลเฮิร์ตซ์	78
รูปที่ 4.49	สัญญาณอินพุตภาคส่งเทียบกับสัญญาณเอาต์พุตภาครับความถี่ 3.5 กิโลเฮิร์ตซ์	79
รูปที่ 4.50	สัญญาณอินพุตภาคส่งเทียบกับสัญญาณเอาต์พุตภาครับความถี่ 4.5 กิโลเฮิร์ตซ์	79
รูปที่ 4.51	สัญญาณอินพุตภาคส่งเทียบกับสัญญาณเอาต์พุตภาครับความถี่ 4.5 กิโลเฮิร์ตซ์	80

สารบัญตาราง

หน้า

ตารางที่ 2.1 แสดงการเปรียบเทียบคุณสมบัติการเข้ารหัสระบบต่าง ๆ	8
ตารางที่ 2.2 แสดงข้อมูลที่ป้อนเข้าและออกจากวงจรรูปที่ 2.22	26
ตารางที่ 3.1 แสดงค่าตัวเก็บประจุสำหรับการใช้ในการคงค่าของไอซี LF 398	33



บทที่ 1

บทนำ

ในปัจจุบันการสื่อสารทางโทรคมนาคมมีความสำคัญต่อการใช้ชีวิตของมนุษย์ในยุคโลกาภิวัตน์เป็นอย่างมาก โดยเฉพาะทางด้านการติดต่อสื่อสาร ระบบของการสื่อสารข้อมูลให้สามารถรองรับปริมาณข้อมูลข่าวสารเป็นจำนวนมากจึงมีความสำคัญอย่างยิ่ง โดยในอดีตนั้นระบบของการสื่อสารเป็นไปในรูปแบบของสัญญาณอนาล็อก (Analog signal) ซึ่งการสื่อสารในระบบอนาล็อก (Analog system) นั้นมีข้อจำกัดอยู่มาก เช่น อัตราเร็วในการรับ – ส่งข้อมูลมีขีดจำกัด สัญญาณรบกวนมีมาก สัญญาณปลายทางมีการจางหายและผิดเพี้ยนจากสัญญาณต้นทาง

จากเหตุผลดังกล่าวจึงได้มีการพัฒนาระบบการสื่อสารข้อมูลจากสัญญาณอนาล็อกมาเป็นสัญญาณดิจิทัล (Digital system) ซึ่งสัญญาณที่ใช้ในการสื่อสารจะเป็นสัญญาณดิจิทัล (Digital signal) ข้อดีของระบบดิจิทัลเมื่อเทียบกับระบบอนาล็อก คือ มีอัตราการรับ – ส่งข้อมูลสูงกว่า สัญญาณรบกวนน้อยกว่า โอกาสเกิดความผิดพลาดน้อยกว่า เพราะข้อมูลที่ทำการส่งมีเพียงสองระดับ คือ “0” และ “1” แต่มีข้อเสีย คือ ต้องใช้ช่องความถี่ (Bandwidth) กว้าง วงจรมีความซับซ้อนและต้องเสียค่าใช้จ่ายสูงกว่าระบบอนาล็อก

สัญญาณที่ใช้ในการสื่อสารส่วนใหญ่มีแหล่งกำเนิดที่เป็นสัญญาณอนาล็อก เช่น เสียงพูด (Voice) หรือสัญญาณภาพ (Video) ทำให้ถูกรบกวนได้ง่าย ดังนั้นจึงต้องมีการแปลงสัญญาณอนาล็อกเป็นสัญญาณดิจิทัลเพื่อลดปัญหาข้างต้น ระบบการสื่อสารข้อมูลแบบมอดูเลตรหัสพัลส์ (Pulse Code Modulation : PCM) เป็นการส่งสัญญาณวิธีหนึ่งที่สามารถช่วยแก้ปัญหาดังกล่าว แต่เมื่อความถี่ใช้สูงขึ้นสัญญาณรบกวนที่เกิดขึ้นจะมากตามไปด้วย ดังนั้นจึงมีการพัฒนาระบบการสื่อสารแบบผลต่างรหัสพัลส์ (Differential Pulse Code Modulation : DPCM) เพื่อเพิ่มประสิทธิภาพในการสื่อสารข้อมูล

ระบบการสื่อสารแบบผลต่างรหัสพัลส์ยังมีข้อเสีย คือ วงจรที่ใช้มีความซับซ้อน ทำให้เสียค่าใช้จ่ายสูง ในบางงานไม่ต้องการประสิทธิภาพที่สูงมากนัก วงจรไม่ซับซ้อนและเสียค่าใช้จ่ายน้อยจึงไม่เหมาะที่จะใช้ระบบการสื่อสารแบบผลต่างรหัสพัลส์ เพื่อแก้ปัญหาดังกล่าวจึงใช้ระบบการสื่อสารแบบเดลต้ามอดูเลชัน (Delta Modulation : DM) ซึ่งเป็นการสื่อสารระบบดิจิทัลเช่นเดียวกับระบบการสื่อสารแบบผลต่างรหัสพัลส์

อนึ่งโครงการนี้จัดทำขึ้นเพื่อศึกษาถึงหลักการ วิธีการของระบบการสื่อสารแบบผลต่างรหัสพัลส์ และระบบการสื่อสารแบบเดลต้ามอดูเลชัน ผลของโครงการนี้สามารถนำไปใช้ประกอบการเรียนของนักศึกษาภาคโทรคมนาคมได้ต่อไป

บทที่ 2

ทฤษฎีและหลักการ

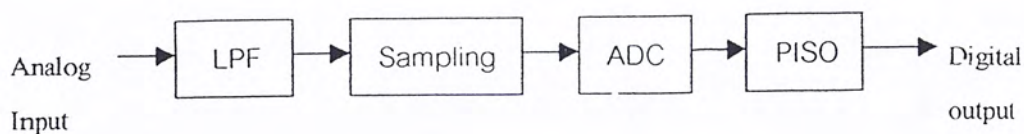
สัญญาณที่ใช้ในการสื่อสารส่วนใหญ่จะมีแหล่งกำเนิดสัญญาณ ที่มีสัญญาณดั้งเดิมเป็นสัญญาณอนาล็อก เช่น เสียงพูด (Voice) หรือสัญญาณภาพ (Video) ทำให้เกิดการรบกวนของสัญญาณเกิดขึ้นได้ง่าย ในกระบวนการส่งสัญญาณข้อมูล ดังนั้นจึงต้องผ่านกระบวนการแปลงสัญญาณอนาล็อกเป็นสัญญาณดิจิทัลเสียก่อน เพื่อลดปัญหาดังกล่าว

การมอดูเลตแบบรหัสพัลส์ (Pulse Code Modulation : PCM) จึงเป็นทางเลือกหนึ่งสำหรับการส่งสัญญาณแบบดิจิทัลที่เสถียรค่าใช้จ่ายน้อย มีความผิดพลาดน้อย สามารถพัฒนาให้มีการรับส่งข้อมูลเร็วยิ่งขึ้น เมื่อพิจารณาจากทฤษฎีการชักตัวอย่างสัญญาณเบื้องต้นแล้ว ทำให้รู้ว่าการส่งสัญญาณอนาล็อกที่มีแบนด์วิดท์จำกัดนั้น อาจไม่จำเป็นที่จะต้องส่งสัญญาณอนาล็อกทั้งหมด ผ่านช่องสัญญาณที่ใช้ในการสื่อสารนั้น โดยต่อเนื่องกันตลอดเวลา ทั้งนี้เพราะอาจทำการชักตัวอย่างของสัญญาณอนาล็อกนั้นได้ โดยทำการเว้นช่วงเวลาของการชักตัวอย่างสัญญาณให้เหมาะสมแล้วจึงส่งสัญญาณที่ได้จากการชักตัวอย่างนั้น ซึ่งเป็นสัญญาณดิจิทัล แทนสัญญาณอนาล็อกนั้นได้

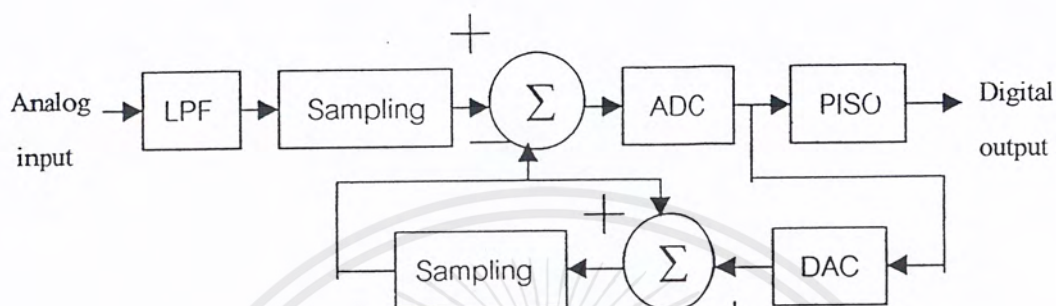
อย่างไรก็ดีไม่ว่าการส่งสัญญาณอนาล็อก หรือเป็นการส่งสัญญาณดิจิทัลที่เกิดขึ้นจากการชักตัวอย่างของสัญญาณอนาล็อกนั้นก็ตาม เมื่อสัญญาณนั้นผ่านช่องสัญญาณ ซึ่งปกติมักจะมีสัญญาณรบกวนเกิดขึ้นอยู่ตามธรรมชาติ สัญญาณทั้งสองแบบนี้ จะถูกรบกวนโดยสัญญาณนั้นได้ง่าย ๆ พอ ๆ กัน ดังนั้นเพื่อเพิ่มภูมิคุ้มกันของสัญญาณรบกวน ให้กับข้อมูลในสัญญาณนั้นมากยิ่งขึ้น อาจทำได้โดยการนำเอาค่าของสัญญาณที่ชักตัวอย่างเอามาได้จากที่เวลาต่าง ๆ นั้น มากำหนดรหัสที่เป็นดิจิทัลให้กับมันแล้ว จึงทำการจัดส่งสัญญาณที่เป็นไปตามรหัสเหล่านั้น ไปในลักษณะของพัลส์แทนการที่จะส่งสัญญาณนั้น ไปกับคลื่นพาห์ที่เป็นรหัสพัลส์ ดังนั้นวิธีการดังกล่าวนี้จึงมีชื่อเรียกว่า “การมอดูเลตแบบรหัสพัลส์”

ตามหลักการของระบบ PCM ที่กล่าวมาแล้วข้างต้น จะมีลักษณะความซ้ำซ้อนกันของข่าวสาร ดังนั้นถ้าไม่สามารถลดความซ้ำซ้อนลงได้ ก็มีโอกาสดังกล่าวนี้จะทำการเข้ารหัสที่จำนวนบิตที่น้อยลง กล่าวคือ แทนที่จะทำการชักตัวอย่างจากสัญญาณอนาล็อกโดยตรง ก็จะมีการชักตัวอย่างจากค่าผลต่างของสัญญาณอนาล็อกในขณะนั้น กับสัญญาณอนาล็อกก่อนหน้านั้น ซึ่งก็หมายถึงจะมีโอกาสเข้ารหัสด้วยจำนวนบิตที่ลดลงได้ จึงได้มีการพัฒนาคุณสมบัติเหล่านี้เป็นจากรูปแบบเดิมเป็นการมอดูเลตแบบผลต่างรหัสพัลส์ (Differential Pulse Code Modulation : DPCM)

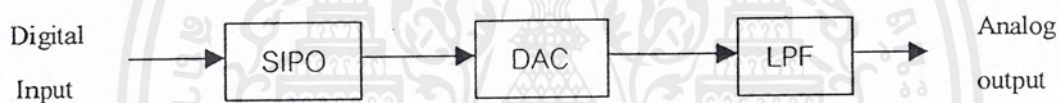
การสื่อสารข้อมูลแบบ DPCM เป็นการสื่อสารข้อมูลแบบดิจิทัลวิธีหนึ่ง ที่พัฒนามาจากการสื่อสารข้อมูลแบบ PCM เพื่อลดสัญญาณอนาล็อกที่มีความซ้ำซ้อนลงไป ทำให้จำนวนบิตที่ส่งข้อมูลน้อยกว่าระบบ PCM ทำให้ใช้เวลาในการส่งเร็วขึ้น เมื่อข้อมูลในการส่งมีจำนวนเท่ากัน



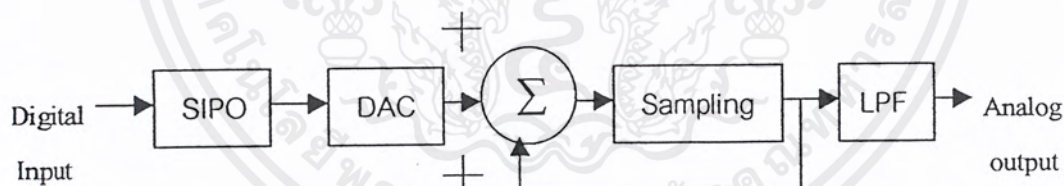
ก. บล็อกไดอะแกรมของเครื่องส่ง PCM



ข. บล็อกไดอะแกรมของเครื่องส่ง DPCM



ค. บล็อกไดอะแกรมของเครื่องรับ PCM



ง. บล็อกไดอะแกรมของเครื่องรับ DPCM

รูป 2.1 แสดง บล็อกไดอะแกรมของ PCM และ DPCM

2.1 การมอดูเลตแบบรหัสพัลส์ (Pulse Code Modulation : PCM)

เมื่อพิจารณาใจความและทำความเข้าใจในทฤษฎีการชักตัวอย่างสัญญาณแล้วนั้น ทำให้รู้ว่าการส่งสัญญาณอนาลอกที่มีแบนด์วิดท์จำกัดนั้น อาจไม่จำเป็นที่จะต้องส่งสัญญาณอนาลอกนั้นทั้งหมดผ่านช่องสัญญาณ ที่ใช้ในการสื่อสารนั้นไปโดยต่อเนื่องกันตลอดเวลาก็ได้ ทั้งนี้เพราะอาจทำการชักตัวอย่างของสัญญาณอนาลอกนั้น โดยเว้นทำการช่วงเวลาของการชักตัวอย่างของสัญญาณที่ได้จากการชักตัวอย่างนั้น ซึ่งเป็นสัญญาณดิจิตัลไปแทนสัญญาณอนาลอกนั้นได้

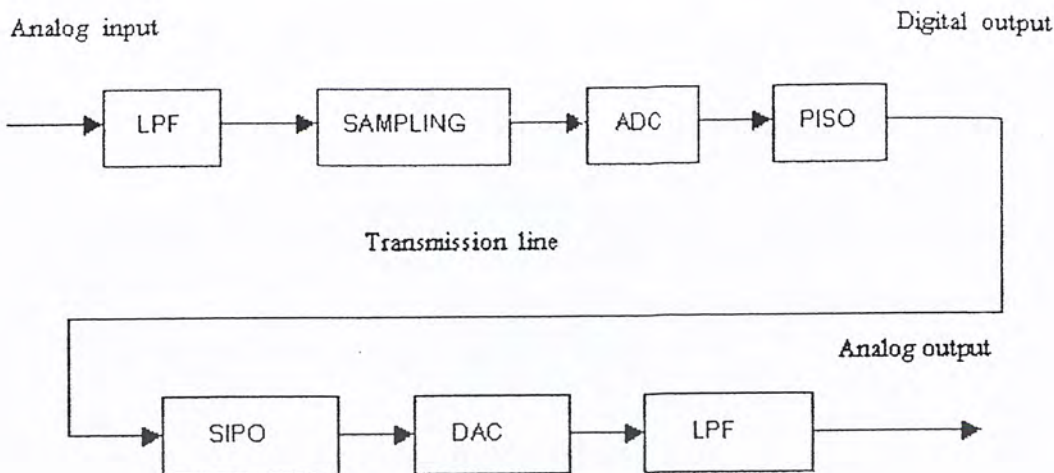
อย่างไรก็ดี ไม่ว่าจะเป็นการส่งสัญญาณอนาล็อก หรือเป็นการส่งสัญญาณดิจิตอลที่เกิดขึ้นจากการชักตัวอย่างของสัญญาณอนาล็อคนั้นก็ตาม เมื่อสัญญาณนั้นผ่านช่องสัญญาณ ซึ่งปกติมักจะมีช่องสัญญาณรบกวนเกิดอยู่ตามธรรมชาติ สัญญาณทั้งสองแบบนี้ ก็จะถูกรบกวนโดยสัญญาณนั้นได้ง่ายพอ ๆ กัน ดังนั้น เพื่อเพิ่มภูมิคุ้มกันต่อสัญญาณรบกวนให้กับข้อมูลในสัญญาณนั้นมากยิ่งขึ้น อาจทำได้โดยการนำเอาค่าของสัญญาณ ที่ชักตัวอย่างเอามาได้จากที่เวลาต่าง ๆ นั้น มากำหนดรหัสเป็นดิจิทัลให้กับสัญญาณที่ทำการชักตัวอย่างแล้ว จึงทำการส่งสัญญาณที่เป็นไปตามรหัสเหล่านั้นไปในลักษณะของพัลส์แทนการที่จะส่งสัญญาณไปกับคลื่นพาห้ที่เป็นรหัสพัลส์ ดังนั้นวิธีการดังกล่าวนี้จึงมีชื่อเรียกว่า “การมอดูเลตแบบรหัสพัลส์”

อย่างไรก็ตาม เนื่องจากค่าของสัญญาณที่ชักตัวอย่างออกมาได้นั้น สามารถมีค่าต่าง ๆ ได้เป็นจำนวนมากจนนับไม่ถ้วน ดังนั้นในทางปฏิบัติจึงไม่สามารถจะกำหนดรหัสให้กับค่าต่าง ๆ เหล่านั้นได้ครบหมดทุกค่า ดังนั้น จึงจำเป็นที่จะต้องมีการประมาณแบ่งค่าของตัวอย่างสัญญาณที่ชักตัวอย่างออกมาได้นั้นไว้เป็นกลุ่ม ๆ โดยจัดให้ค่าของตัวอย่างสัญญาณที่มีค่าใกล้เคียงกันนั้น อยู่ในกลุ่มเดียวกัน และกำหนดให้รหัสของตัวอย่างสัญญาณต่าง ๆ ที่อยู่ในกลุ่มเดียวกัน มีรหัสที่เหมือนกันโดยการกระทำดังนี้ ก็สามารถที่จะจัดให้กลุ่มสัญญาณต่าง ๆ ได้ครบหมดทุกกลุ่ม การที่จะแบ่งสัญญาณทั้งหมด ออกเป็นกี่กลุ่มนั้นจะขึ้นอยู่กับความเหมาะสมว่า จะยินยอมให้เกิดความผิดพลาดของค่าตัวอย่างสัญญาณที่ชักตัวอย่างออกมานั้น มาก - น้อยเท่าไร ยกตัวอย่างเช่นถ้าหากมีสัญญาณอนาล็อกที่มีค่าเปลี่ยนแปลงอยู่ระหว่าง 0 ถึง 5 โวลต์ และต้องการจะกำหนดให้แกค่าของตัวอย่างสัญญาณที่ชักตัวอย่างออกมาได้ โดยยินยอมที่จะให้เกิดค่าผิดพลาดกับค่าของตัวอย่างสัญญาณที่ได้ออกมาเป็น 5 กลุ่ม คือกลุ่มที่ 1 มีค่าของสัญญาณอยู่ระหว่าง 0 ถึง 1 โวลต์ กลุ่มที่ 2 มีค่าของสัญญาณอยู่ระหว่าง 1 ถึง 2 โวลต์ ดังนี้เรื่อยไปจนถึงกลุ่มที่ 5 ซึ่งมีค่าของสัญญาณอยู่ระหว่าง 4 ถึง 5 โวลต์ ก็จะถือว่ารหัสสำหรับสัญญาณกลุ่มต่าง ๆ นั้น เมื่อใช้แปลความหมายแล้ว จะมีค่าเทียบเท่ากับตัวอย่างของสัญญาณที่มีค่าเท่ากับ 0.5, 1.5, 3.5 และ 4.59 ตามลำดับ โดยการกระทำดังนี้แล้ว จะเห็นว่าสามารถกำหนดรหัส ให้กับค่าตัวอย่างสัญญาณที่ชักตัวอย่างออกมาได้ โดยมีความผิดพลาดของการประมาณค่าต่าง ๆ เหล่านั้นอยู่ไม่เกิน 0.5 โวลต์ตามความต้องการ

การประมาณหรือแยกกลุ่มของค่าตัวอย่างสัญญาณที่ชักตัวอย่างออกมาได้ เพื่อที่จะนำไปเข้ารหัสต่อไปดังกล่าวแล้วนี้ มีชื่อเรียกเป็นศัพท์เฉพาะว่า “การควอนไทซ์”

จากที่กล่าวมาแล้วทั้งหมดนี้ รูปที่ 2.1 ได้แสดงแผนภาพบล็อกพื้นฐานของระบบ PCM

ค่าความคลาดเคลื่อนที่เกิดขึ้นจากการทำควอนไทซ์ ให้กับสัญญาณในกลุ่มต่าง ๆ กล่าวคือ ค่าผลต่างของค่าเฉลี่ยของค่าสัญญาณในแต่ละกลุ่ม กับค่าสัญญาณจริงนั้นอาจคิดแปลความอีกนัยหนึ่งได้ว่า คือ ค่าสัญญาณรบกวนที่เกิดจากการทำควอนไทซ์ (Quantization Noise) ทั้งนี้เพราะอาจคิดได้ว่า เมื่อสัญญาณผ่านเข้าไปในวงจรควอนไทซ์แล้วเสมือนกับมีสัญญาณรบกวน ที่มีค่าเท่ากับค่าความคลาดเคลื่อนจากการทำควอนไทซ์นั้นเกิดขึ้นมารบกวนสัญญาณนั้น จึงทำให้สัญญาณผลลัพธ์ (สัญญาณจริงบวกสัญญาณรบกวน) ที่ปรากฏออกมาเป็นสัญญาณเอาต์พุตนั้น มีค่าเท่ากับสัญญาณอินพุตนั้น เมื่อถูกทำการควอนไทซ์แล้ว



รูปที่ 2.2 แสดงแผนภาพบล็อกพื้นฐานของระบบพีซีเอ็ม

สำหรับสัญญาณเสียงมนุษย์ ในทางปฏิบัติที่ใช้กันอยู่ เมื่อแบ่งกลุ่มค่าตัวอย่างสัญญาณที่ซิกคัวอย่างออกมาได้ทั้งหมดเป็น 128 กลุ่มแล้ว จะไม่เกิดความผิดพลาดของการประมาณสัญญาณนั้นมากนัก สัญญาณที่สร้างกลับมาใหม่นั้น จะไม่มีปัญหาเกี่ยวกับคุณภาพเสียงในการรับฟัง ดังนั้นสำหรับกรณีนี้ก็จะต้องใช้รหัสทั้งหมดเป็นจำนวน 128 ตัว หรือกล่าวอีกนัยหนึ่งได้ว่า รหัสที่จะนำมาใช้นั้นจะต้องมีสถานะที่เป็นไปได้ทั้งหมดเป็นจำนวน 128 สถานะ เพราะฉะนั้น จะพบว่ามีปริมาณข้อมูลอยู่ในรหัสชุดมีอยู่เท่ากับ $\log_2(128) = 7$ บิต ทำให้ทราบว่า จะต้องมีการใช้รหัสดิจิทัลที่มีความยาวของรหัสอย่างน้อย 7 บิต จึงสามารถกำหนดใช้เป็นรหัสประจำสัญญาณกลุ่มต่าง ๆ ทั้งหมดได้เพียงพอ

2.2 การลดอัตราการส่งสัญญาณข้อมูล และการลดความยุ่งยากของระบบ

ตามหลักการของระบบพีซีเอ็ม ดังได้กล่าวไปแล้วข้างต้น ถ้าสัญญาณพีซีเอ็มที่ทำการเข้ารหัสด้วยสัญญาณไบนารี 8 บิตนั้น จะต้องการอัตราการส่งสัญญาณดิจิทัลเป็น 16 เท่าของความถี่สูงสุดในเบสแบนด์เป็นอย่างน้อย อย่างไรก็ตามสัญญาณดิจิทัลที่ได้จากการซิกคัวอย่างนั้น ถ้าซิกคัวอย่างที่อยู่ติดกันมักจะมีความสัมพันธ์กัน เช่น มีขนาดใกล้เคียงกัน เป็นต้น ลักษณะนี้จัดเป็นลักษณะที่มีความซ้ำซ้อนกันของข่าวสารดังนั้นถ้าสามารถลดความซ้ำซ้อนกันนี้ลงไปได้ ก็มีโอกาสดังกล่าวที่จะทำการเข้ารหัสด้วยจำนวนบิตที่น้อยลง ซึ่งก็หมายถึงจะสามารถลดอัตราการส่งสัญญาณดิจิทัลลงไปได้ การลดอัตราการส่งสัญญาณดิจิทัลลงไปได้เช่นนี้เท่ากับเป็นการลดค่าใช้จ่ายลงไป โดยเฉพาะถ้าจะเก็บสัญญาณเสียงลงในหน่วยความจำของคอมพิวเตอร์ด้วยแล้วยิ่งจะทำให้มีประโยชน์มากขึ้น เพราะไม่เช่นนั้นแล้ว จะต้องใช้หน่วยความจำถึง 64 กิโลบิต หรือ 8 กิโลไบต์ ในการเก็บสัญญาณเสียงเพียง 1 วินาที ซึ่งจัดว่าเป็นการลงทุนที่สูงมาก ดังนั้นในหัวข้อต่อไปจึงขอกล่าวถึงวิธีมอดูเลต แบบที่พยายามจะลดจำนวนบิตที่ต้องการส่งต่อหนึ่งวินาทีและแบบที่ลดความยุ่งยากของชุดเข้ารหัสและถอดรหัส

2.3 การมอดูเลตแบบผลต่างรหัสพัลส์ (Differential Pulse Code Modulation : DPCM)

เป็นระบบที่ดัดแปลงจากระบบพีซีเอ็ม โดยอาศัยลดความซ้ำซ้อนของสัญญาณเสียงในสัญญาณซีกตัวอย่างดังที่กล่าวมาข้างต้น กล่าวคือแทนที่จะทำการซีกตัวอย่างจากสัญญาณอนาล็อกโดยตรง ก็จะทำการซีกตัวอย่างจากผลต่างของสัญญาณอนาล็อก ในขณะนั้นกับสัญญาณก่อนหน้านั้น ซึ่งจะทำให้ขนาดของสัญญาณที่ซีกตัวอย่างออกมามีขนาดเล็กลง ซึ่งก็หมายถึงจะมีโอกาสเข้ารหัสด้วยจำนวนบิตที่ลดลง เพื่อให้เห็นภาพได้ชัดเจน จะยกตัวอย่างกรณีของสัญญาณรูปไซน์ที่มีความถี่ 800 เฮิรตซ์ ซึ่งเป็นสัญญาณที่บางครั้งใช้เป็น “เสียงทดลอง” ในระบบโทรศัพท์ สมมติให้ช่วงไคนามิคที่สนใจอยู่สามารถเข้ารหัสได้ด้วยระบบพีซีเอ็ม แบบเชิงเส้นได้คลอค่าน เมื่อนำสัญญาณนี้มาเข้ารหัสแบบดิฟเฟอเรนเชียล โดยให้มีขั้นตอนของการควอนไทซ์ คือ q เท่ากับของการเข้ารหัสแบบพีซีเอ็ม ก็จะสามารถคำนวณจำนวนบิตที่จำเป็นต้องใช้ ในการเข้ารหัสสัญญาณซีกตัวอย่างแต่ละสัญญาณ ที่เพิ่งเข้ามา กับสัญญาณก่อนหน้านั้นเล็กน้อยมาแปลงเป็นสัญญาณดิจิทัล ดังนั้นค่าสูงสุดที่จะต้องทำการแปลงเป็นสัญญาณดิจิทัล จะหาได้จากค่าสูงสุดของที่จะต้องทำการแปลงเป็นสัญญาณดิจิทัล จะหาได้จากค่าสูงสุดของอนุพันธ์ของสัญญาณอนาล็อกนั้น ถ้าให้ $x(t)$ เป็นสัญญาณรูปไซน์ความถี่ 800 เฮิรตซ์ $x(t)$ จะเขียนได้เป็น

$$x(t) = A \sin(2 \pi \cdot 800t)$$

ถ้าอนุพันธ์ของ $x(t)$ จะเขียนได้เป็น

$$dx/dt = A \cdot 2 \pi \cdot 800 \cdot \cos(2 \pi \cdot 800t)$$

และเนื่องจากเมื่อทำการซีกตัวอย่างด้วยช่วงเวลาห่าง $\Delta t = 1/8000s$ ดังนั้นค่าสูงสุดของการเปลี่ยนแปลงของ $x(t)$ ในช่วงเวลาดังกล่าวคือ

$$[\Delta x(t)]_{\max} = A \cdot 2 \pi \cdot 800 \cdot \cos(2 \pi \cdot 800t) = 1$$

ซึ่งผลที่ได้จะเป็นดังนี้

$$[\Delta x(t)]_{\max} = A \cdot 2 \pi \cdot 800 \cdot (1/8000) = 0.628A$$

ผลที่ได้นี้แสดงให้เห็นว่า ค่าซีกตัวอย่างสูงสุดที่พบในกรณีของดิฟเฟอเรนเชียลจะเป็น 0.628 เท่าของกรณี พีซีเอ็ม ดังนั้นก็จะสามารถคำนวณจำนวนบิตต่อสัญญาณซีกตัวอย่าง 1 สัญญาณที่ลดลงได้โดยใช้สมการ

$$N = \log_2 M$$

$$M = 2A_{\max} / q$$

เมื่อ

M	:	เป็นจำนวนขั้นทั้งหมดในการควอนไทซ์
Q	:	เป็นขั้นของการควอนไทซ์
N	:	เป็นจำนวนบิตที่ต้องใช้แทนรหัสดิจิทัล
A	:	เป็นระดับสัญญาณสูงสุด

จะได้ว่า

$$\Delta n = \log_2 [(2A/q)/(2 \times 0.628A/q)] = 0.67 \text{ บิต}$$

นั่นคือสามารถจะประหยัด 0.67 บิตต่อสัญญาณสุ่มตัวอย่าง 1 สัญญาณ โดยที่มีค่า SQR (Signal to Quantization Noise Ratio) เท่ากับของกรณี พิชีเอ็ม เพราะขั้นตอนของการ ควอนไทซ์เท่ากัน ในทางปฏิบัตินั้นเนื่องจากสัญญาณเสียงของมนุษย์มีสเปกตรัม ที่บริเวณต่ำกว่า 800 เฮิรตซ์ เป็นส่วนใหญ่ ซึ่งหมายถึง $[\Delta x(t)]_{\max}$ จะมีค่าลดลงกว่าของกรณีความถี่ 800 เฮิรตซ์ เพราะฉะนั้นจำนวนบิตที่จะประหยัดได้ก็จะสูงขึ้น โดยทั่วไปจะสามารถประหยัดได้ 1 บิต ต่อสัญญาณที่ชักตัวอย่าง 1 สัญญาณ

2.4 การเปรียบเทียบคุณสมบัติของการเข้ารหัสระบบต่าง ๆ

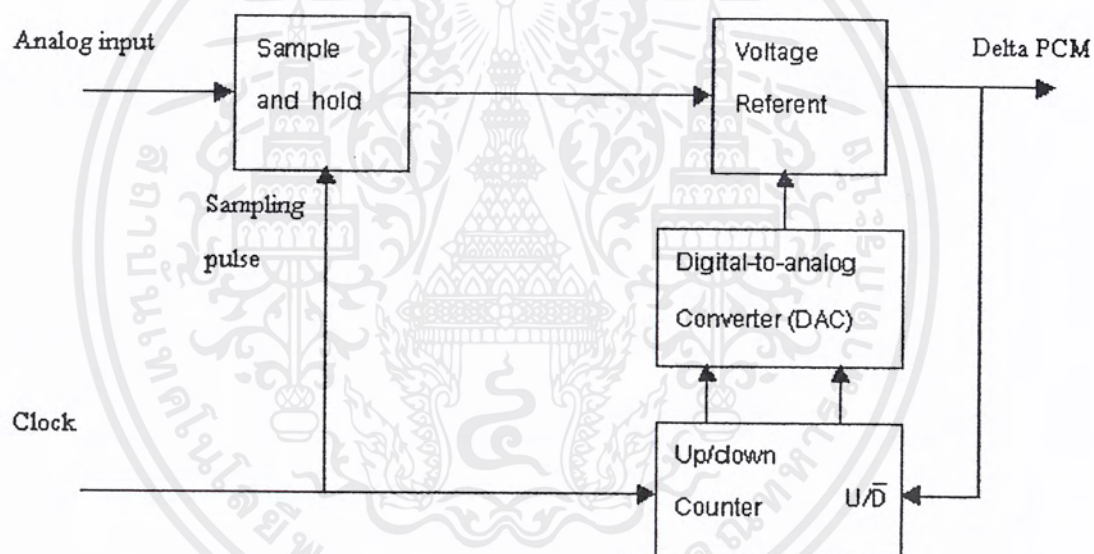
จากที่กล่าวมาข้างต้นทั้งหมดนั้น จะเห็นได้ว่าสัญญาณอนาลอกสามารถที่จะแปลงรูปได้เป็นสัญญาณดิจิทัล เพื่อทำการส่งในรูปสัญญาณดิจิทัลได้ และเนื่องจากสัญญาณเสียงพูดของมนุษย์เป็นสัญญาณอนาลอกที่มีความสำคัญสูงสุด จึงได้เน้นในเรื่องนี้มากที่สุด ดังนั้นในการเปรียบเทียบคุณสมบัติของการเข้ารหัสแบบต่าง ๆ โดยพิจารณาสัญญาณเสียงพูดเป็นหลักนั้น หลักเกณฑ์ในการพิจารณาจะมีหลายประการด้วยกัน หลักเกณฑ์หลัก ๆ ก็คือ คุณภาพของเสียงที่สร้างกลับคืนมาได้กับอัตราการส่งข้อมูลที่ต้องการคุณภาพของเสียงนั้น ก็จะแบ่งได้เป็น 3 ระดับด้วยกัน คือระดับดีมาก ระดับดี และระดับพอใช้ ระดับดีมากคือระดับที่กำหนดเป็นมาตรฐานในระบบสื่อสารโทรศัพท์ที่จะต้องส่งผ่านชุมสายระดับสูงออกไปไกล ๆ ระดับดีนั้นเป็นระดับที่ส่งระยะไกลและมีเสียงชัดเจนสำหรับระดับพอใช้นั้นเป็นระดับที่รับฟังได้เข้าใจ แต่ความชัดเจนและเป็นธรรมชาตินั้นจะด้อยลงไปมาก เมื่อพิจารณาตามหลักเกณฑ์ดังกล่าวนี้ ก็จะพบว่าคุณสมบัติของการเข้ารหัสแต่ละประเภทเป็นดังนี้

จากตารางแสดงการเปรียบเทียบคุณสมบัติของการเข้ารหัสแบบต่าง ๆ ระบบดีพิชชีเอ็ม จัดเป็นระบบอยู่ระดับกลางคือ มีคุณภาพเสียงดีถึงดีมากพอ ๆ กับพิชชีเอ็ม โดยที่ใช้อัตราการชักตัวอย่างเท่ากันกับพิชชีเอ็ม แต่ใช้อัตราการส่งข้อมูลที่ต่ำกว่าพิชชีเอ็มมาก ซึ่งนับว่าเป็นข้อที่น่าสนใจของระบบดีพิชชีเอ็ม ที่ได้นำมาศึกษาและทดลองประกอบวงจร

ระบบเข้ารหัส	คุณภาพเสียง	อัตราการ ชักตัวอย่าง (kHz)	จำนวนบิตต่อค่า ชักตัวอย่าง	อัตราการส่งของ ข้อมูล kb/s
PCM	ดีมาก	8	7 – 8	32 – 48
DPCM	ดี - ดีมาก	8	4 – 6	56 - 64

ตารางที่ 2.1 แสดงการเปรียบเทียบคุณสมบัติการเข้ารหัสระบบต่าง ๆ

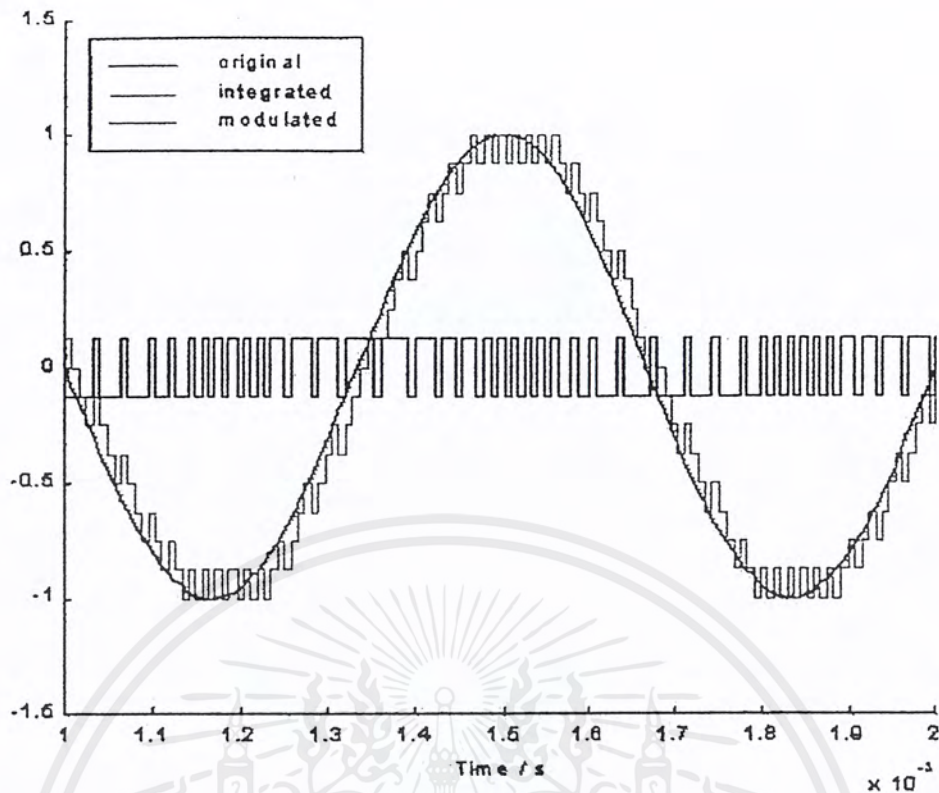
2.5 เอลด้ามอดูเลชัน (Delta Modulation : DM)



รูป 2.3 บล็อกไดอะแกรมของเครื่องส่งดีเอ็ม

2.5.1 เครื่องส่งสัญญาณดีเอ็ม

รูป 2.3 เป็นบล็อกไดอะแกรมของเครื่องส่งดีเอ็ม สัญญาณอนาล็อกที่ป้อนให้แก่เครื่องส่งดีเอ็ม จะถูกแซมเปิ้ลและเปลี่ยนให้อยู่ในรูปสัญญาณพีเอเอ็ม แล้วสัญญาณพีเอเอ็ม จะถูกเปรียบเทียบกับสัญญาณที่ได้จากวงจรแปลงสัญญาณดิจิทัลเป็นอนาล็อก (DAC) ซึ่งเป็นสัญญาณในรูปโวลเตจที่เท่ากับค่าสัญญาณจากการแซมเปิ้ลก่อนหน้านั้น ถูกเก็บไว้ที่อัฟแอนคาวน์เคาน์เตอร์ (up/down counter) ในรูปตัวเลขฐานสอง การที่อัฟแอนคาวน์เคาน์เตอร์จะนับขึ้นหรือนับลงตามค่าสัญญาณแซมเปิ้ลก่อนหน้านั้น ว่ามีค่ามากกว่าหรือน้อยกว่ากระแสแซมเปิ้ล อัฟแอนคาวน์เคาน์เตอร์จะเปลี่ยนแปลงตามค่าที่ได้จากการเปรียบเทียบและมีสัญญาณคล็อกเดียวกับอัตราการเปลี่ยนแซมเปิ้ล



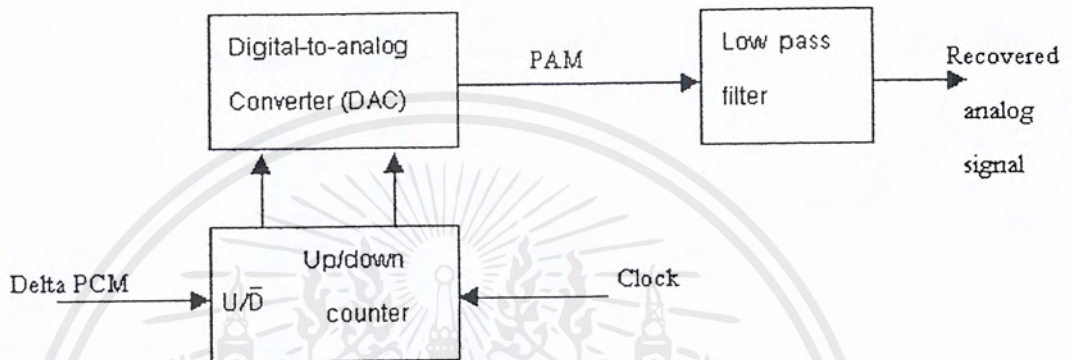
รูปที่ 2.4 แสดงการทำงานตามทฤษฎีการเข้ารหัสแบบเคลด้ามอดูเลชั่น

รูปที่ 2.4 แสดงการทำงานตามทฤษฎีการเข้ารหัสแบบเคลด้ามอดูเลชั่น เริ่มต้นให้ค่าออฟแอนด์คาน์เดอรั่มมีค่าศูนย์ และวงจรแปลงสัญญาณดิจิตอลเป็นอนาลอกให้ค่าเอาต์พุตเป็น 0 โวลต์ด้วยเมื่อค่าแฮมเบิลแรกถูกเปลี่ยนเป็นสัญญาณที่เอเอ็มจะถูกเทียบกับ 0 โวลต์ ค่าเอาต์พุตจากคอมพารเตอรั่มเป็นลอจิก 1 (+V) เพื่อชี้ว่ากระแสแฮมเบิลมีแอมพลิจูดมากกว่าค่าแฮมเบิลก่อนหน้านั้น ออฟแอนด์คาน์เดอรั่มนับเพิ่มขึ้นและให้ลอจิก 1 อีก ถ้ามีสัญญาณคล็อกถัดไป ขณะนี้เอาต์พุตของวงจรแปลงสัญญาณดิจิตอลเป็นอนาลอกจะมีโวลเตจเท่ากับขนาดของสเต็ปไซส์ที่น้อยที่สุด (minimum step size)

อัตราการเปลี่ยนแปลงค่าของขั้นต่าง ๆ จะเท่ากับความถี่ของคล็อกที่ใช้หาค่าแฮมเบิล ออฟแอนด์คาน์เดอรั่มจะมีการนับขึ้น จนกระทั่งผลเอาต์พุตของวงจรแปลงสัญญาณดิจิตอลเป็นอนาลอกมีค่ามากกว่าค่าแฮมเบิลจากสัญญาณอนาลอก หลังจากนั้นออฟแอนด์คาน์เดอรั่มจะเริ่มนับลงเรื่อย ๆ จนผลเอาต์พุตของวงจรแปลงสัญญาณดิจิตอลเป็นอนาลอกมีค่าต่ำกว่าขนาดสัญญาณแฮมเบิล ในสภาวะที่เกิดขึ้นตามทฤษฎีที่แสดงในรูปที่ 2.4 ค่าเอาต์พุตจากวงจรแปลงสัญญาณดิจิตอลเป็นอนาลอกจะเปลี่ยนแปลงไปตามสัญญาณอินพุตในแต่ละครั้งที่ออฟแอนด์คาน์เดอรั่มนับขึ้น จะส่งลอจิก 1 ไปตามสายส่งและทุกครั้งที่ออฟแอนด์คาน์เดอรั่มนับลง ก็จะมีลอจิกเป็น 0 ส่งไปตามสายส่งเช่นกัน

2.5.2 เครื่องรับดีเอ็ม

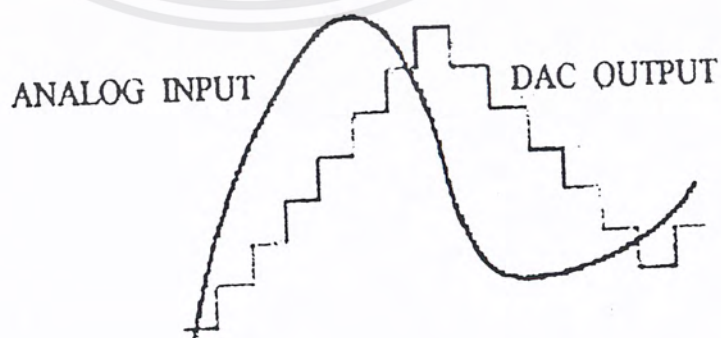
รูปที่ 2.5 แสดงบล็อกไดอะแกรมของเครื่องรับเดลต้าออดิโอ จะเห็นว่าเครื่องรับมีอุปกรณ์ที่คล้ายกับเครื่องส่ง โดยแตกต่างกันที่เครื่องรับไม่มีคอมพาราเตอร์ ด้านรับจะรับลอจิก 1 และลอจิก 0 จากทางด้านส่ง เมื่อเดอโมเดอเรเตอร์ที่ด้านส่งมีการนับขึ้นและนับลงตามลำดับค่าเอาต์พุตของวงจรแปลงสัญญาณดิจิทัลเป็นอนาล็อก ทางด้านรับจะมีค่าเหมือนกันกับค่าเอาต์พุตของวงจรแปลงสัญญาณดิจิทัลเป็นอนาล็อกทางด้านส่ง



รูปที่ 2.5 บล็อกไดอะแกรมของเครื่องรับดีเอ็ม

เนื่องจากเดลต้าออดิโอมีการส่งสัญญาณเพียง 1 บิต ดังนั้นอัตรา (Bit Rate) ของเดลต้าออดิโอจะต่ำกว่าอัตราของระบบพีซีเอ็ม (PCM) และมีปัญหา 2 กรณีในการทำงานแบบเดลต้าออดิโอ คือ สโลป โอเวอร์โหลด (slope overload) และ กราโนลาร์ นอยส์ (granular noise) ซึ่งทั้งสองปัญหามิได้พบในระบบพีซีเอ็ม

2.5.3 สโลป โอเวอร์โหลด (Slope Overload)



รูปที่ 2.6 อัตราการเปลี่ยนแปลงของสัญญาณอนาล็อกอินพุตกับอัตราการเปลี่ยนแปลงที่ได้จากวงจรแปลงสัญญาณดิจิทัลเป็นอนาล็อก

จากรูปที่ 2.6 แสดงให้เห็นว่าสัญญาณอนาล็อกอินพุต มีอัตราการเปลี่ยนแปลงเร็วกว่าอัตราการที่ได้จากการเปลี่ยนแปลงที่ได้จากวงจรแปลงสัญญาณดิจิทัลเป็นอนาล็อก ดังนั้นสโลป (slope) ของสัญญาณอนาล็อกจะมีค่ามากกว่าเซลล์ออดูเลชันจะตามทันเรียกว่า สโลป โอเวอร์โหลด (slope overload) การเพิ่มความถี่ของสัญญาณคล็อกจะช่วยลดโอกาสการเกิดสโลป โอเวอร์โหลด หรืออาจแก้ปัญหาสโลป โอเวอร์โหลดได้โดยการเพิ่มขนาดของสเต็ปค่าสุด (minimum step size)

2.5.4 กราโนลาร์ น้อยส์ (Granular Noise)



รูปที่ 2.7 กราโนลาร์ น้อยส์

จากรูปที่ 2.7 แสดงให้เห็นว่าถ้าสัญญาณอนาล็อกอินพุต มีขนาดเกือบจะเป็นเส้นตรงแต่สัญญาณที่ด้านรับของระบบเซลล์ออดูเลชันมีการเปลี่ยนแปลงไปมาไม่เหมือนกับสัญญาณอินพุต ปัญหาที่เกิดขึ้นเรียกว่ากราโนลาร์ น้อยส์ (granular noise) ซึ่งกราโนลาร์ น้อยส์ที่เกิดขึ้นกับระบบเซลล์ออดูเลชันเปรียบเสมือนควอนไทเซชัน น้อยส์ (quantization noise) ของระบบพีซีเอ็ม การลดกราโนลาร์ น้อยส์ ทำได้โดยลดขนาดของสเต็ปไซด์ (step size)

กราโนลาร์ น้อยส์ มักจะเกิดขึ้นมากกับสัญญาณอนาล็อกที่มีการเปลี่ยนแปลงของสโลป (slope) น้อย ซึ่งเป็นสัญญาณที่มีขนาดในการเปลี่ยนแปลงเพียงเล็กน้อย ส่วนสโลป โอเวอร์โหลด มักจะเกิดกับสัญญาณอนาล็อกที่มีสโลปมากหรือขนาดของสัญญาณเปลี่ยนแปลงอย่างรวดเร็ว

2.6 ทฤษฎีการชักตัวอย่างสัญญาณ (Sampling Theorem)

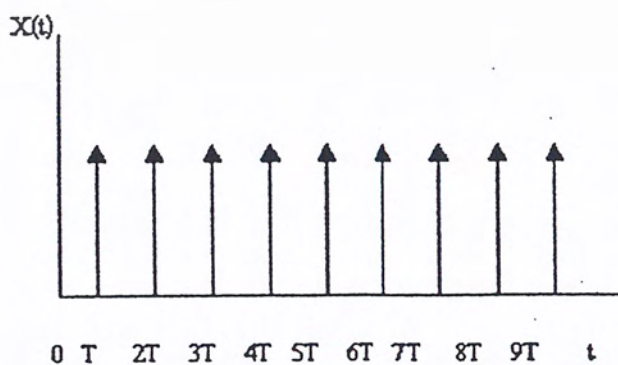
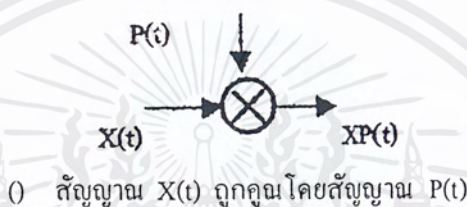
ในการที่จะแปลงสัญญาณอนาล็อกไปเป็นสัญญาณดิจิทัล (Analog to Digital Conversion) ได้นั้น ขั้นตอนที่สำคัญระหว่างกลางคือต้องเปลี่ยนสัญญาณดิจิทัลให้เป็นสัญญาณดิจิตัลต่อหนึ่งในทำนองเดียวกัน ถ้าต้องการจะแปลงสัญญาณดิจิทัลเป็นอนาล็อก (Digital to analog conversion) ก็ต้องเปลี่ยนสัญญาณดิจิทัลให้เป็นดิจิตัลเสียก่อน แล้วจึงทำการเปลี่ยนสัญญาณดิจิตัลนั้นให้เป็นสัญญาณอนาล็อกในที่สุด กฎเกณฑ์สำคัญของเรื่องนี้อยู่ตรงเงื่อนไขที่ใช้ในการเปลี่ยนสัญญาณจากสัญญาณอนาล็อกให้กลายเป็นสัญญาณดิจิตัล โดยที่สัญญาณดิจิตัล ที่เปลี่ยนมาแล้วนั้นสามารถที่จะเปลี่ยนกลับไปเป็นสัญญาณอนาล็อกได้ดังเดิม สิ่งสำคัญที่กล่าวมาข้างต้นนี้ก็คือ “ทฤษฎีการชักตัวอย่างสัญญาณ”

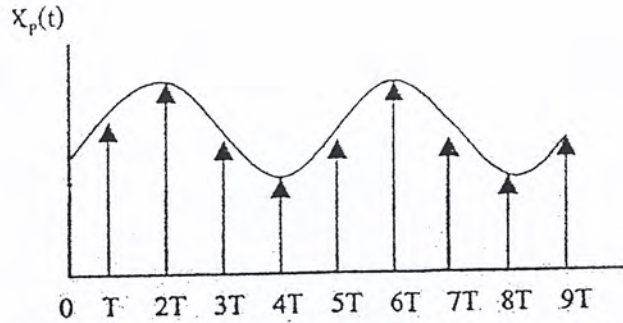
ใจความสำคัญของทฤษฎี คือ สำหรับสัญญาณอนาล็อกที่มีสเปกตรัมอยู่ในย่านความถี่ที่จำกัดโดยมีความถี่สูงสุด คือ f_m นั้น เพียงแต่การอาศัยค่าที่ได้จากการเลือกชักตัวอย่างเอาค่าสัญญาณที่ขณะ

เวลาต่าง ๆ ที่ห่างกันทุก ๆ วินาที มาใช้สร้างสัญญาณใหม่เท่านั้น ก็สามารถที่จะสร้างสัญญาณใหม่ ที่เหมือนกันทุกประการกับสัญญาณอนาลอกเดิมนั้น กลับมาใหม่ได้ เมื่อช่วงเวลา T ที่ใช้ในการชักค่าสัญญาณนั้น มีค่าเท่ากับหรือน้อยกว่า $1/(2 f_b)$ วินาที

จากทฤษฎีการชักตัวอย่างสัญญาณดังกล่าวแล้ว เมื่อกล่าวอีกนัยหนึ่งเพื่อช่วยในการทำความเข้าใจเพิ่มขึ้น จะกล่าวได้ว่า ในการชักตัวอย่างสัญญาณอนาลอกที่มีคุณสมบัติตามเงื่อนไขตามทฤษฎีข้างต้น ถ้าใช้ความถี่ในการชักสัญญาณนั้นเท่ากับ f_s ความถี่ f_s นี้ จะต้องมากกว่าหรืออย่างน้อยที่สุดเท่ากับ 2 เท่าของความถี่สูงสุดที่มีประกอบอยู่ในสัญญาณอนาลอกนั้น กล่าวคือ

$$f_s \geq f_b$$





(ง) สัญญาณมอดูเลต $X_p(t)$ ที่ถูกกำกับแอมพลิจูดโดยสัญญาณ $X(t)$

รูปที่ 2.8 แสดงการซัดตัวอย่างสัญญาณ

สำหรับปัญหาที่ว่า ถ้าหากจะทำการซัดตัวอย่างสัญญาณของสัญญาณเสียง ที่ใช้ในการสื่อสารในโทรศัพท์ ก็ควรใช้ความถี่ในการซัดตัวอย่างสัญญาณเสียงนั้นสักเท่าไร คำตอบของปัญหานี้พิจารณาได้ว่าการสื่อสารโทรศัพท์นั้น สเปกตรัมของสัญญาณเสียงที่ใช้คือ 300 – 3400 เฮิรตซ์ (ปกติแล้ว เสียงที่มนุษย์ได้ยินสเปกตรัมที่กว้างกว่านี้แต่สำหรับเสียงของมนุษย์นั้น ถ้าใช้แบนด์วิดท์ของระบบโทรศัพท์เพียง 300 – 3400 เฮิรตซ์ เท่านั้นก็เพียงพอที่จะทำให้ผู้สนทนาโทรศัพท์นั้นสามารถที่จะจำเสียงและเข้าใจกันได้ ดังนั้นในระบบโทรศัพท์จึงการใช้แบนด์วิดท์ของสัญญาณเสียงเพียงแค่นี้เท่านั้น ทั้งนี้เพื่อความสะดวกและประหยัดในการสร้างอุปกรณ์โทรศัพท์ต่าง ๆ) ดังนั้นความถี่ในการซัดตัวอย่างสัญญาณนี้ ก็จะต้องมีค่าไม่ต่ำกว่า 6800 เฮิรตซ์

สังเกตได้ว่าสัญญาณที่เกิดขึ้น จากผลของการซัดตัวอย่างของสัญญาณนั้น เป็นสัญญาณคิสิกติด ทั้งนี้เพราะว่าสัญญาณที่ได้จากผลของการซัดตัวอย่างนั้น จะเกิดมีค่าขึ้นก็เฉพาะเวลาทำการซัดตัวอย่างสัญญาณนั้น ผ่านวงจรกรองแบบผ่านค่านั้น และเงื่อนไขว่าวงจรกรองแบบผ่านค่านั้น จะต้องมีความถี่จุดตัด (Cut off Frequency : f_c) ไม่ต่ำกว่าความถี่ f_b แต่ต้องไม่สูงเกินความถี่ $(f_s - f_b)$ คือ

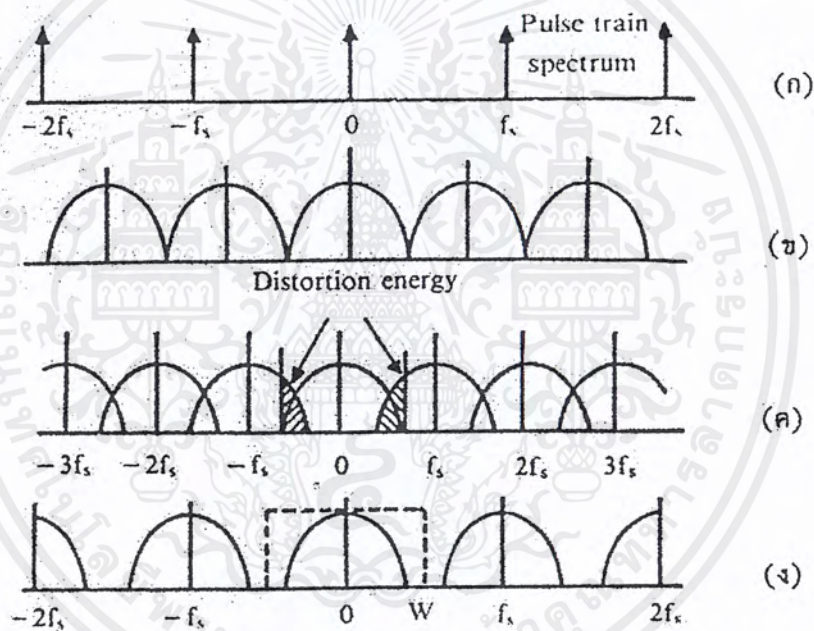
$$f_b < f_c < f_s - f_b$$

จากเงื่อนไขข้างบน พิจารณาเรื่องการซัดตัวอย่างสัญญาณเสียงที่ใช้ในการสื่อสารทางโทรศัพท์ ซึ่งกล่าวไว้ว่าจะต้องใช้ความถี่ในการซัดตัวอย่างสัญญาณไม่ต่ำกว่า 6800 เฮิรตซ์ ในทางปฏิบัติ ถ้าใช้ความถี่ $f_s = 6800$ เฮิรตซ์ พอดี วงจรกรองแบบผ่านค่านั้น ก็ต้องมีคุณสมบัติในตัดแยกความถี่ของสัญญาณที่คมมาก ๆ ซึ่งในทางปฏิบัติแล้วทำไม่ได้ ดังนั้นเพื่อที่จะสร้างวงจรกรองแบบผ่านค่านั้นได้โดยง่าย จึงต้องใช้ f_s ที่มีค่ามากกว่า 6800 เฮิรตซ์ อย่างไรก็ตามถ้าหากใช้ความถี่ในการซัดตัวอย่าง (Sampling Frequency : f_s) ที่มีค่ามากเกินไป ก็จำเป็นต้องทำการซัดตัวอย่างสัญญาณออกมาเป็นจำนวนมาก ซึ่งอาจจะมากเกินไปจนความจำเป็น ดังนั้นในทางปฏิบัติจึงเลือกใช้ค่า f_s ที่สูงกว่า 6800 เฮิรตซ์ แต่ไม่สูงมากเกินไป ซึ่งโดยทั่วไปแล้วจะเลือกใช้ค่า f_s เท่ากับ 8 กิโลเฮิรตซ์

ด้วยเหตุที่การชักตัวอย่างสัญญาณเสียงในระบบโทรศัพท์นิยมใช้ความถี่ $f_s = 8$ กิโลเฮิร์ตซ์ จึงมีคำกล่าวง่าย ๆ ว่า แบนด์วิธของช่องสัญญาณเสียงในระบบโทรศัพท์นั้นเท่ากับ 4 กิโลเฮิร์ตซ์ ซึ่งเป็นค่าโดยประมาณ

2.7 ความผิดพลาดอันเนื่องมาจากอัตราการชักตัวอย่างไม่มากพอ

ถ้าให้สัญญาณอนาลอกมีสเปกตรัมสูงสุดเป็น W ในรูปที่ 2.9 (ก) ซึ่งจะแสดงสเปกตรัมของขบวนอิมพัลส์ ที่มีความถี่เป็น nf_s ส่วนรูปที่ 2.9 (ข) จะแสดงการกระจายของสเปกตรัม กรณีที่ทำการชักตัวอย่างด้วย $f_s = 2W$ แต่รูปที่ 2.9 (ข) ถ้าทำการคิมอดูเลตจะต้องใช้ฟิลเตอร์ที่เป็นแบบอุดมคติ จึงจะสามารถสกัดสเปกตรัมของความถี่ที่อยู่ติดกันได้ แต่เนื่องจากฟิลเตอร์แบบอุดมคตินั้นสร้างไม่ได้ เพราะฉะนั้นจึงไม่อาจป้องกันการรบกวนจากสเปกตรัมที่มีความถี่สูงกว่าได้



รูปที่ 2.9 แสดงสเปกตรัมของสัญญาณเบสแบนด์และสเปกตรัมของสัญญาณชักตัวอย่างที่มีอัตราการชักตัวอย่างต่าง ๆ กัน

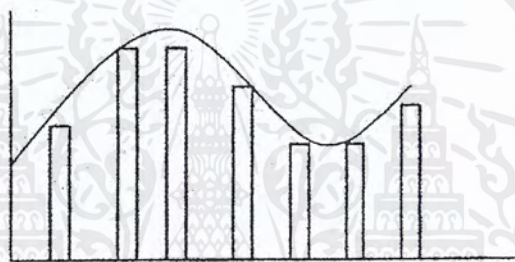
รูปที่ 2.9 (ค) นั้นเป็นกรณีที่ $f_s < 2W$ ลักษณะจะเหมือนกับการใช้ความถี่คลื่นพาห์ที่สูงไม่เพียงพอในการมอดูเลต ซึ่งทำให้สเปกตรัมเกิดการซ้อนทับกัน ในกรณีนี้ถึงแม้จะใช้ฟิลเตอร์แบบอุดมคติ ก็ไม่สามารถสกัดสัญญาณรบกวนระหว่างไซด์แบนด์ได้ ส่วนรูปที่ 2.9 (ง) นั้น $f_s > 2W$ กรณีนี้ลดความยุ่งยากในการใช้ฟิลเตอร์ลง โดยเฉพาะถ้าช่วงการ์ดแบนด์ (Guard Band) คือ $f_s - 2W$ มีขนาดกว้างขึ้น ซึ่งทั่ว ๆ ไป จะทำตามเงื่อนไขดังรูปที่ 2.9 (ง) นี้

เมื่อพิจารณาที่ $f_s < 2W$ ซึ่งทำให้ไซด์แบนด์ของสเปกตรัมมาซ้อนทับกัน ในการมอดูเลตมาได้นั้น เมื่อใช้วงจรกรองแบบผ่านต่ำที่มีแบนด์วิธเป็น $f_s/2$ มาใช้ในการคิมอดูเลตสัญญาณ ก็จะพบว่า

สัญญาณที่มอดูเลตมาได้นั้นจะเกิดการผิดเพี้ยนขึ้น เพราะสเปกตรัมในช่วง $f_s/2$ ถึง W ผ่านฟิลเตอร์ไม่ได้ นอกจากนั้นสเปกตรัมที่เกิดขึ้นในช่วง $f_s - 2W$ กับ $f_s/2$ ที่เกิดการซ้อนทับกันก็ได้ เป็นการเคลื่อนย้ายลักษณะเช่นนี้เรียกว่า การเกิดการเคลื่อนย้าย (Aliasing)

2.8 การจัดระดับการควอนไทซ์ (Quantization level)

เมื่อชักตัวอย่างสัญญาณอนาลอก มาทำการมอดูเลตกับสัญญาณพัลส์แล้ว จะได้สัญญาณการมอดูเลตแบบแอมพลิจูดของพัลส์ (Pulse Amplitude Modulation : PAM) ดังแสดงในรูปที่ 2.10 ก็จะได้สัญญาณที่เป็นระดับออกมา ขึ้นต่อไปสัญญาณ PAM จะถูกส่งผ่านส่วนของการแบ่งขนาดระดับของสัญญาณ ให้เป็นระดับที่ใกล้เคียงกับระดับที่กำหนดแบ่งไว้ เรียกช่วงนี้ว่าการจัดระดับควอนไทซ์ (Quantizing Level) ระยะห่างของระดับที่ถูกแบ่งเรียกว่าควอนไทซ์อินเทอร์วัล (Quantizing Interval)

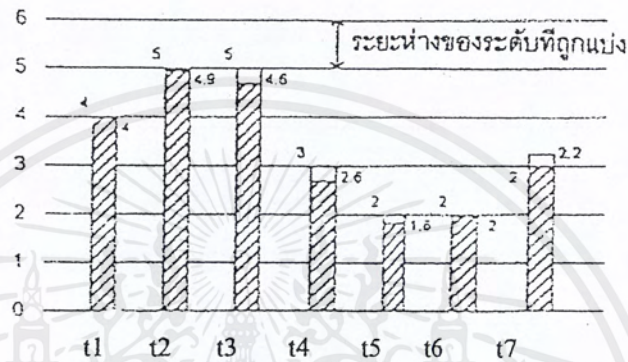
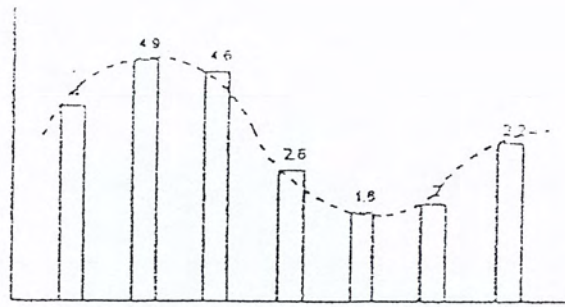


รูปที่ 2.5 แสดงสัญญาณการมอดูเลตแบบแอมพลิจูดของพัลส์

ขนาดของระดับแรงดันของแต่ละสัญญาณที่ชักตัวอย่างในพีเอเอ็ม จะถูกแทนด้วยระดับของการควอนไทซ์ที่ใกล้เคียงกับขนาดของระดับแรงดันไฟฟ้า ดังรูปที่ 2.11

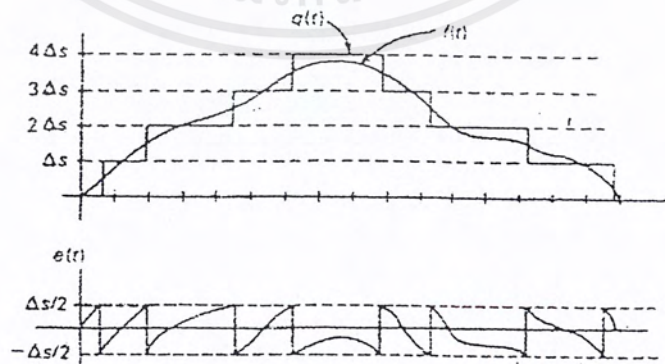
สัญญาณที่ถูกชักตัวอย่างที่เวลา t_2 ซึ่งมีขนาด 4.9 จะถูกแทนด้วยระดับ 5.0 หรือที่เวลา เป็น 17 สัญญาณชักตัวอย่างมีขนาด 2.2 จะถูกแทนด้วยรหัส 2.0 จากผลที่ได้นี้ ก็จะได้ระดับของสัญญาณที่มีช่วงห่างที่แน่นอน ทำให้สามารถที่จะนำระดับสัญญาณไปแปลงเป็นรหัสเลขฐานสองที่สอดคล้องกับแต่ละระดับของสัญญาณพีเอเอ็ม แต่ระดับที่แปลงนี้ จะเป็นค่าประมาณของสัญญาณอนาลอก ดังนั้นจึงทำให้เกิดค่าผิดพลาด ระหว่างสัญญาณทั้งสองทางขนาดของแอมพลิจูด ค่าที่ผิดพลาดนี้เรียกว่าสัญญาณรบกวนเนื่องจากการควอนไทซ์ (Quantizing Noise)

สัญญาณรบกวนเนื่องจากการควอนไทซ์นั้น ขนาดของสัญญาณรบกวนกระจายสม่ำเสมอในช่วงระยะห่างของระดับที่ถูกแบ่ง และไม่ขึ้นกับแอมพลิจูดของสัญญาณอนาลอก นั่นคือระดับของสัญญาณรบกวนจากการแปลงตัวเลขนั้นค่อนข้างคงที่ และเป็นอิสระจากระดับกำลังงานของสัญญาณอนาลอก จะเห็นได้ว่าสัญญาณรบกวนจากการแปลงตัวเลขนี้ เป็นสิ่งที่ไม่สามารถหลีกเลี่ยงได้ โดยการกำหนดให้ช่วงห่างของระดับที่ถูกแบ่งนี้มีช่วงเล็กพอเพียงแล้ว สัญญาณรบกวนจากการแปลงตัวเลข ก็สามารถลดลงสู่ระดับที่เหมาะสมได้ดังรูป 2.12

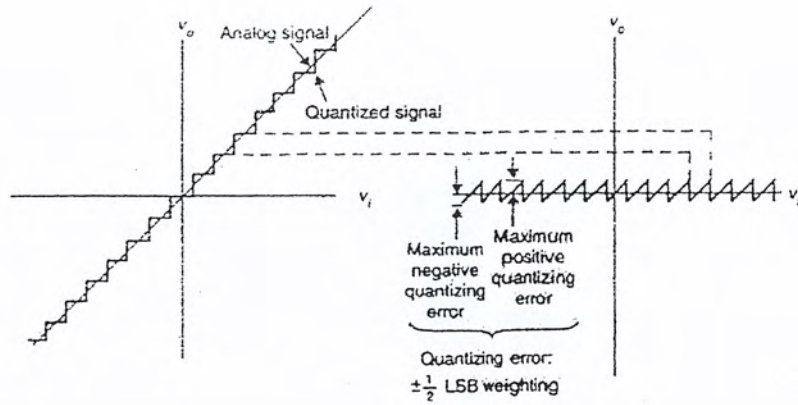


รูปที่ 2.11 แสดงการแปลงระดับสัญญาณเพื่อเอเอ็มให้เข้ากับระดับของการควอนไทซ์

หลังจากผ่านการแปลงเป็นตัวเลขแล้วสัญญาณที่ได้ จะถูกนำไปเข้ารหัสโดยเปลี่ยนเป็นตัวเลขรหัสฐานสอง โดยระดับค่าตัวเลขถูกกำหนดโดยจำนวนบิตของเลขฐานสอง แต่ละค่าสัญญาณที่ได้นี้เรียกว่าพีเอเอ็ม ถ้าสมมติว่าให้การเข้ารหัสต่อหนึ่งค่าเท่ากับ n บิต เราจะมีจำนวนค่าตัวเลขทั้งหมดเท่ากับ 2^n ค่า ดังนั้นถ้าเข้ารหัส 8 บิต ต่อหนึ่งค่าจะทำให้มีระดับค่าตัวเลขทั้งหมด 2^8 ซึ่งเท่ากับ 256 ค่านั่นเอง



รูปที่ 2.12 แสดงสัญญาณรบกวนเนื่องจากการควอนไทซ์

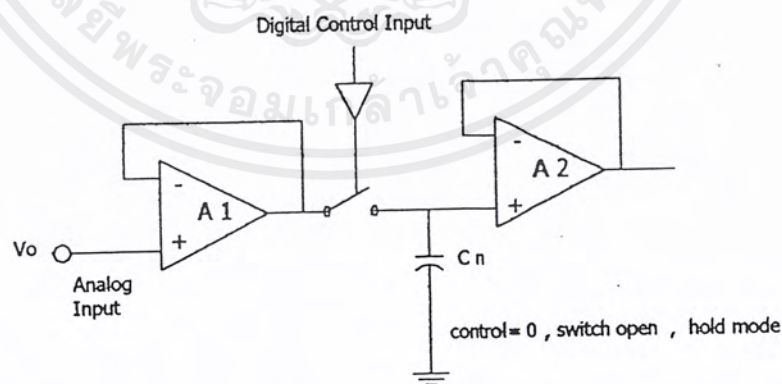


รูปที่ 2.13 แสดงความสัมพันธ์ระหว่างระยะห่างของระดับที่ถูกแบ่งกับสัญญาณรบกวน เนื่องจากการควอนไทซ์

2.9 วงจรแซมเปิลแอนด์โฮลด์

วงจรสุ่มและคงไว้ (Sample and hold) เป็นวงจรที่ทำงานในสองหน้าที่ หน้าที่แรกวงจรจะทำการ “สุ่ม” คือ แรงดันขาออกจะเท่ากับแรงดันเชิงอุปมาขาเข้า หลังจากนั้นวงจรจะทำหน้าที่ “คงไว้” คือ แรงดันขาออกจะคงตัวเท่ากับแรงดันที่สุ่มมา

การต่อสัญญาณที่มีระดับแรงดันเปลี่ยนแปลงแบบอนาล็อกเข้ากับอินพุทของวงจรแปลงสัญญาณอนาล็อกเป็นดิจิทัล (ADC) โดยตรงอาจจะมีผลช่วงเวลาคอนเวอร์ชัน (conversion) ทำให้ระดับสัญญาณเอาต์พุทมีค่าผิดพลาดได้ วงจรแซมเปิลแอนด์โฮลด์จะช่วยให้ระดับแรงดันก่อนผ่านกระบวนการคอนเวอร์ชันของวงจรแปลงสัญญาณอนาล็อกเป็นดิจิทัลมีความเสถียร โดยหลักการของวงจรแซมเปิลแอนด์โฮลด์แสดงได้ดังรูปที่ 2.14



รูปที่ 2.14 แสดงวงจรแซมเปิลแอนด์โฮลด์ (Sample and hold)

วงจรแซมเปิลประกอบด้วย วงจรขยายบัฟเฟอร์ A_1 ที่มีอัตราขยายเป็น 1 ซึ่งจะเป็นอิมพีแดนซ์สูง (high impedance) ของสัญญาณอนาล็อกและมีเอาต์พุทอิมพีแดนซ์ต่ำ (low output impedance) ซึ่งมี

ผลทำให้เกิดการชาร์จประจุที่ C_u อย่างรวดเร็ว ตัวเก็บประจุ C_u จะต่อกับเอาต์พุตของ A_1 ในขณะที่ปิดสวิตช์ เรียกกระบวนการนี้ว่าแซมเปิ้ล (Sample) ซึ่งช่วงที่สวิตช์ปิดจะต้องนานพอที่ C_u จะเก็บประจุได้เท่ากับค่ากระแสที่ได้จากสัญญาณอนาล็อกอินพุต เช่น ถ้าปิดสวิตช์ที่เวลา t_0 เอาต์พุตที่ได้จาก A_1 จะชาร์จประจุให้ C_u อย่างรวดเร็วจน C_u มีศักดาไฟฟ้าเท่ากับ V_0 ในขณะที่เปิดสวิตช์ตัวเก็บประจุ C_u จะรักษาค่าศักดาไฟฟ้าที่ได้จากเอาต์พุตของ A_1 และปล่อยศักดาไฟฟ้านี้ให้แก่ A_2 กระบวนการนี้เรียกว่าโฮลด์ (Hold) ค่าศักดาไฟฟ้าที่ได้จากเอาต์พุตของ A_2 จะเป็นค่าที่ป้อนให้กับวงจรแปลงสัญญาณอนาล็อกเป็นดิจิตอล วงจรขยายบัฟเฟอร์ A_2 มีอัตราขยายเป็น 1 จะมีคุณสมบัติเป็นอินพุตอิมพีแดนซ์สูง (High input impedance) ซึ่งจะไม่คายประจุในช่วงคอนเวอร์ชันของวงจรแปลงสัญญาณอนาล็อกเป็นดิจิตอล ทำให้วงจรแปลงสัญญาณอนาล็อกเป็นดิจิตอลได้รับค่าคิซีโวลเตจอินพุต (dc voltage input, V_0)

เราจะใช้วงจรสุ่มและคงไว้ในหลายกรณี เช่น ในกรณีที่ระบบวัดค่าสัญญาณเชิงอุปมานมีลักษณะเป็นการสุ่มค่ามาอยู่แล้ว คือเป็นพัลส์ ซึ่งมีช่วงสูงเท่ากับค่าของสัญญาณเชิงอุปมานที่ขณะต่าง ๆ เราจะใช้วงจรสุ่มและคงไว้เพื่อสุ่มค่าตรงกลางพัลส์มาคงไว้ ทำให้ได้สัญญาณเชิงอุปมานที่ไม่ขาดช่วงดังรูปที่ 2.15



รูปที่ 2.15 ตัวอย่างการใช้วงจรสุ่มและคงไว้

ในระบบการรับส่งข้อมูลที่ควบคุมโดยคอมพิวเตอร์ แซมเปิ้ลแอนด์โฮลด์สวิตช์อาจควบคุมด้วยสัญญาณดิจิตอลจากเครื่องคอมพิวเตอร์ สัญญาณจากคอมพิวเตอร์จะสั่งให้ปิดสวิตช์เพื่อชาร์จ C_u ด้วยค่าใหม่ที่ถูกแซมเปิ้ลจากอนาล็อกโวลเตจ ช่วงเวลาที่เหลือที่สวิตช์ยังคงปิดอยู่ เรียกว่า แอควิสิชันไทม์ (acquisition time) ซึ่งค่านี้จะขึ้นอยู่กับค่าของ C_u และค่าคุณลักษณะ (characteristic) ของวงจรแซมเปิ้ลแอนด์โฮลด์ วงจรอินทิเกรตแซมปลิงแอนด์โฮลด์ (integrated sampling and hold) ที่ใช้ LF198 จะมีแอควิสิชันไทม์ประมาณ 4 ไมโครวินาที เมื่อใช้ C_u เท่ากับ 1000 พิโคฟารัด และ 20 ไมโครฟารัด เมื่อใช้ C_u เท่ากับ 0.01 ไมโครฟารัด สัญญาณจากคอมพิวเตอร์ควบคุมการเปิดสวิตช์จะทำให้ C_u รักษาการระดับแรงดันนั้นไว้และที่เอาต์พุตของ A_2 จะได้การระดับแรงดันอนาล็อกที่ค่อนข้างคงที่เช่นถ้าใช้ LF198 และใช้ C_u เท่ากับ 1000 พิโคฟารัด จะมีอัตราการคายประจุประมาณ 30 มิลลิโวลต์ต่อวินาที

2.10 ชมิตต์ทริกเกอร์ (Schmitt trigger)

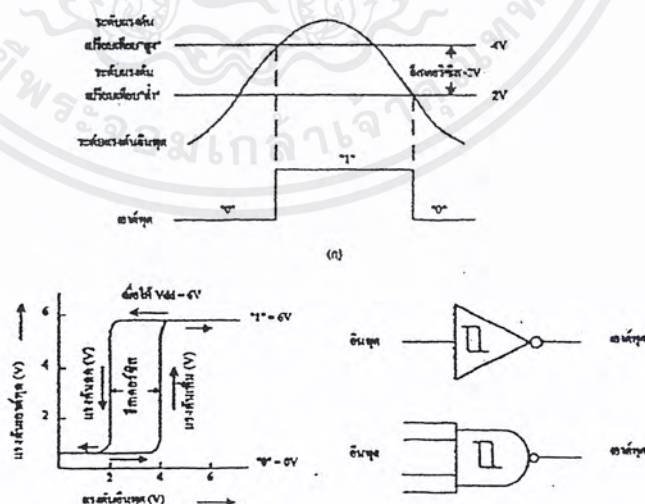
สัญญาณในวงจรดิจิตอลนั้นส่วนใหญ่จะเป็นสัญญาณระดับแรงดันสูงต่ำ หรือเป็นสัญญาณพัลส์ แต่สัญญาณที่นิยมใช้งานมักจะเป็นสัญญาณอนาล็อก ซึ่งรูปร่างของสัญญาณจะแตกต่างกับสัญญาณดิจิตอล

มาก เช่น สัญญาณไซน์ สัญญาณเสียง เป็นต้น ถ้าต้องการให้วงจรดิจิทัลอ่านสัญญาณเหล่านี้หรือป้อนสัญญาณอนาล็อกเหล่านี้เป็นอินพุต จะก่อให้เกิดปัญหาเกี่ยวกับวงจรดิจิทัล เพราะระดับสัญญาณไม่ได้มาตรฐานและการเปลี่ยนแปลงระดับของสัญญาณค่อนข้างช้า วงจรชนิดทรานซิสเตอร์เป็นอีกวงจรหนึ่งที่ใช้ในการแปลงสัญญาณอนาล็อกให้เป็นดิจิทัล 2 ระดับเพื่อให้วงจรดิจิทัลรับสัญญาณอินพุตที่เป็นสัญญาณอนาล็อกได้ มีสัญญาณอนาล็อกหลายชนิดที่วงจรดิจิทัลต้องการจะตรวจเช็คระดับ เช่น สัญญาณแรงดัน กระแส อุณหภูมิ ความดัน น้ำหนัก การเคลื่อนที่ เป็นต้น สัญญาณเหล่านี้จะมาจากตัวตรวจจับที่อยู่รอบนอกวงจร วงจรดิจิทัลต้องการรับสัญญาณเหล่านี้มาประมวลผลภายในและใช้ในการควบคุมอีกทีหนึ่ง

2.10.1 การทำงานของวงจรชนิดทรานซิสเตอร์

วงจรชนิดทรานซิสเตอร์เป็นวงจรที่จะรับสัญญาณอนาล็อกทางอินพุต และจะให้สัญญาณดิจิทัลทางอเอาต์พุต เมื่อแรงดันของสัญญาณค้อย ๆ เพิ่มขึ้นจาก 0 โวลต์จนถึงระดับแรงดันหนึ่งที่กำหนดไว้ วงจรชนิดทรานซิสเตอร์จะให้เอาต์พุตเป็น “1” ทันที ต่อมาเมื่อแรงดันค้อย ๆ ลดลงจนถึงระดับแรงดันอีกระดับหนึ่ง วงจรชนิดทรานซิสเตอร์ก็จะให้เอาต์พุตเป็น “0” ระดับแรงดันสูงกับค่าที่ใช้ในการเปรียบเทียบนี้จะมีค่าไม่เท่ากัน ช่วงห่างระหว่างระดับแรงดันทั้งสองนี้เรียกว่า ฮิสเทอรีซิส (hysteresis)

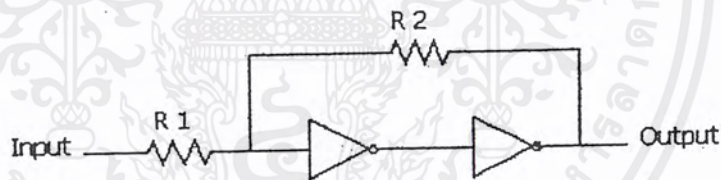
ความสัมพันธ์ของรูปคลื่นทางอินพุตและเอาต์พุตของวงจรชนิดทรานซิสเตอร์ จะแสดงออกในรูปที่ 2.16 (ก) ถ้าให้แหล่งจ่ายไฟ 6 โวลต์ แก่ไอซีซีเอ็มอส (CMOS) ที่เป็นชนิดทรานซิสเตอร์แล้ว ระดับแรงดันเปรียบเทียบสมมติให้เป็น 4 โวลต์ และ 2 โวลต์ตามรูป เมื่อแรงดันอินพุตเพิ่มขึ้นจนถึง 4 โวลต์ จะให้เอาต์พุตเปลี่ยนจาก “0” เป็น “1” ในขณะที่เมื่อแรงดันลดลงจนถึง 2 โวลต์ จะทำให้เอาต์พุตเปลี่ยนกลับเป็น “0” อีกครั้ง ดังรูป 2.16 (ข) เป็นกราฟลักษณะสมบัติของแรงดันอินพุตกับเอาต์พุต จากกราฟนี้จะเห็นช่วงกว้างของแรงดันฮิสเทอรีซิสอย่างชัดเจน ในกรณีนี้มีค่าเป็น 2 โวลต์



รูปที่ 2.16 สัญลักษณ์และคุณสมบัติของวงจรชนิดทรานซิสเตอร์

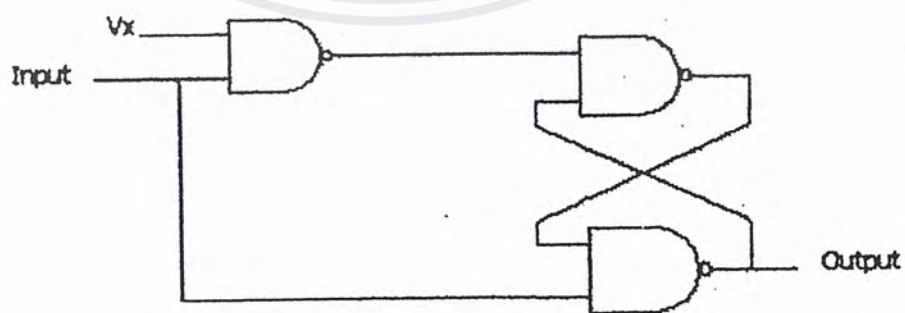
การที่ขมิตต์ทริกเกอร์มีฮิสเทอรีซิสขึ้นเป็นข้อดีมากในการรับสัญญาณอนาล็อก ซึ่งเปลี่ยนค่าก่อนข้างเข้าเป็นอินพุต หากใช้เกตธรรมดาหรือวงจรเปรียบเทียบ (comparator) มารับสัญญาณเหล่านี้จะเกิดปัญหาขึ้นตรงบริเวณที่แรงดันอินพุตมีค่าเข้าใกล้แรงดันเปรียบเทียบถ้าแรงดันเปลี่ยนแปลงเพียงเล็กน้อยก็จะเกิดการเปลี่ยนสถานะของเอาต์พุตทันที ถ้าแรงดันเปลี่ยนช้า หรือขึ้น ๆ ลง ๆ ซึ่งอาจจะเป็นผลของสัญญาณรบกวนจะทำให้เอาต์พุตเปลี่ยนจาก “1” เป็น “0” กลับไปกลับมา มีลักษณะเป็นพัลส์เล็ก ๆ หลาย ๆ ลูก พัลส์เหล่านี้จะเป็นสาเหตุให้วงจรดิจิตอลทำงานผิดพลาดโดยเฉพาะวงจรที่มีฟลิปฟล็อปหรือวงจรนับถ้าใช้ขมิตต์ทริกเกอร์รับสัญญาณเหล่านี้เหตุการณ์แบบนี้จะไม่เกิดขึ้นเมื่อแรงดันถึงระดับที่กำหนดเอาต์พุตจะเปลี่ยนสถานะทันทีและจะค้างอยู่ในสภาวะนั้น แม้แรงดันจะยังขึ้น ๆ ลง ๆ อยู่บริเวณนั้นบ้างเอาต์พุตจะเปลี่ยนสภาวะอีกครั้ง ก็ตอนที่แรงดันลดลงมาถึงอีกระดับหนึ่งเท่านั้น ซึ่งก็ห่างกันเท่ากับฮิสเทอรีซิส

กรณีของไอซีชิโมสนั้น ฮิสเทอรีซิสยังขึ้นอยู่กับแรงดันแหล่งจ่ายไฟด้วย ถ้าหาไอซีที่เป็นขมิตต์ทริกเกอร์ไม่ได้ ก็สามารถนำเกตแบบแนน (NAND gate) หรืออินเวอร์เตอร์มาประกอบทำเป็นวงจรขมิตต์ทริกเกอร์ได้เหมือนกัน วงจรในรูปที่ 2.17 (ก) เป็นการอินเวอร์เตอร์ธรรมดา 2 ตัว มาต่อเป็นขมิตต์ทริกเกอร์ โดยการเลือกค่า R_1 และ R_2 จะสามารถเลือกฮิสเทอรีซิสได้ตามใจชอบ เช่น ถ้าอัตราส่วน $R_2 : R_1$ เป็น 10 : 1 จะได้ฮิสเทอรีซิสประมาณ 5 เปอร์เซ็นต์ของ V_{DD} ถ้าอัตราส่วนเป็น 2 : 1 จะได้ฮิสเทอรีซิสกว้างถึง 40 เปอร์เซ็นต์ V_{DD} อินเวอร์เตอร์ควรเป็นชนิดชิโมสถ้าเป็นที่ที่แอลจะปรับฮิสเทอรีซิสได้ค่อนข้างยาก



$R_2 : R_1$ มากจะทำให้ฮิสเทอรีซิสเล็ก

ก) ใช้อินเวอร์เตอร์



V_x มากจะทำให้ฮิสเทอรีซิสเล็ก

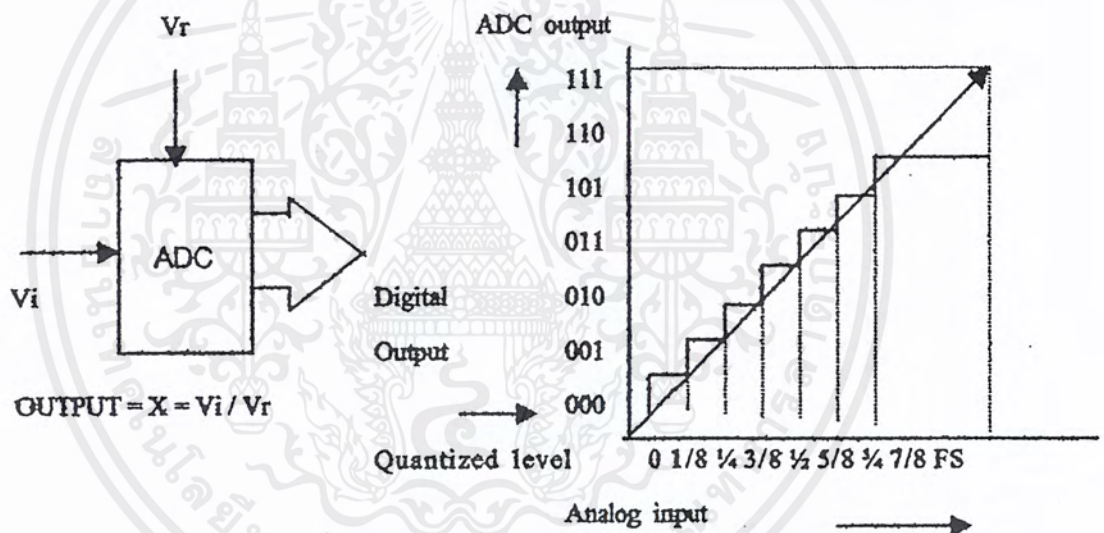
ข) ใช้เกตแนน

รูปที่ 2.17 การใช้เกตธรรมดาทำขมิตต์ทริกเกอร์

สำหรับรูปที่ 2.17 ข) เป็นการใช้แนกเกตมาต่อเป็นขมิตต์ทริกเกอร์ วงจรใช้เกิดหลายตัว การควบคุมขนาดของฮิสเทอรีซิสจะใช้แรงดัน V_x ป้อนเข้าขาอินพุตของแนกเกต ถ้า V_x มีค่า 60 เปอร์เซ็นต์ของ V_{DD} จะทำให้ฮิสเทอรีซิสได้ประมาณ 10 เปอร์เซ็นต์ของ V_{DD} และถ้า V_x มีขนาดเล็กลงเหลือ 52 เปอร์เซ็นต์ของ V_{DD} จะเพิ่มฮิสเทอรีซิสเป็นถึง 30 เปอร์เซ็นต์ของ V_{DD}

2.11 การแปลงสัญญาณอนาลอกเป็นสัญญาณดิจิทัล (Analog to Digital Converter : ADC)

การแปลงสัญญาณอนาลอกเป็นสัญญาณดิจิทัล เป็นการเทียบอัตราส่วนโดยสัญญาณอนาลอกอินพุต (V_i) จะถูกแปลงเป็นศักดาไฟฟ้าคงที่ค่าหนึ่ง (x) ซึ่งเกิดจากการเปรียบเทียบสัญญาณอินพุตกับสัญญาณอ้างอิง (Reference Signal) แล้วนำสัญญาณดิจิทัลมาเข้ารหัสศักดาไฟฟ้า (x) นี้ รูปที่ 2.18 แสดงถึงหลักการนี้



รูปที่ 2.18 แสดงตัวแปลงสัญญาณอนาลอกเป็นดิจิทัล

2.18.1 หลักการพื้นฐาน

2.18.2 คุณสมบัติสำหรับแปลงขนาด 3 บิต

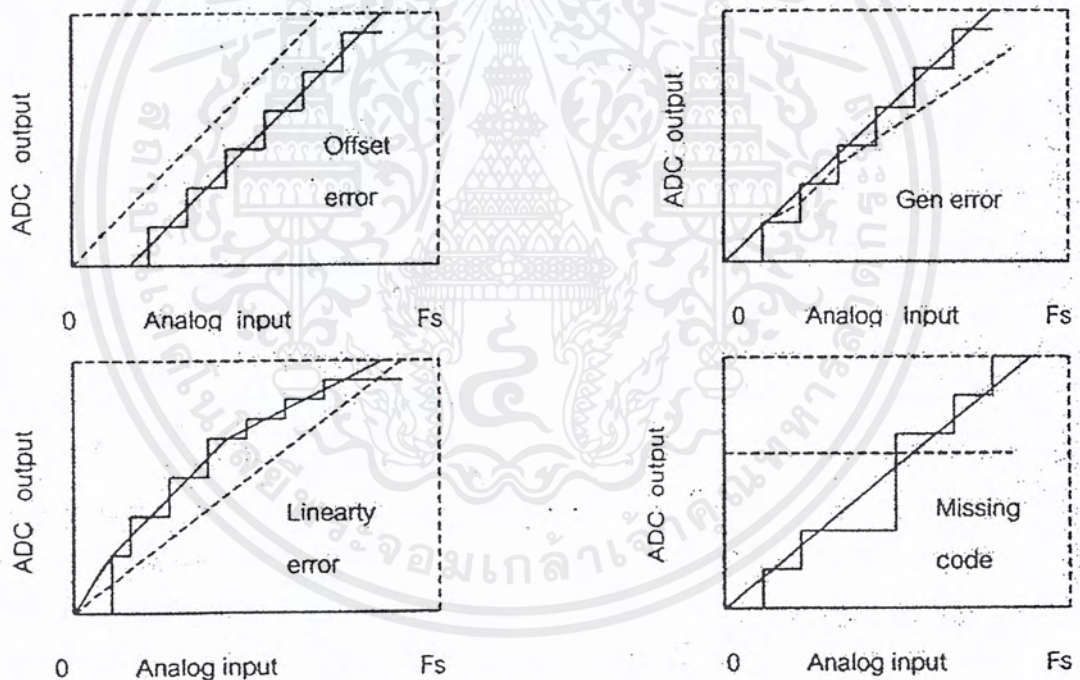
ถ้าเอาต์พุตของตัวแปลงสัญญาณประกอบด้วยรหัสทั้งหมด n บิต จะได้ระดับศักดาไฟฟ้าที่แตกต่างกันทั้งหมด 2^n ระดับ ในการแปลงสัญญาณมีช่วงสัญญาณอินพุตที่ถูกควอนไทซ์แล้ว ได้ค่าศักดาไฟฟ้าเป็นค่าเดียวกันและเรียกว่า ความแตกต่างระหว่างค่าศักดาไฟฟ้ารหัสต่างกัน 1 บิต ทว่าขนาดบิตที่น้อยที่สุด (Least Significant Bit Size) ก็จะสามารถหาคำนิยมบิตน้อยที่สุดได้จาก

$$\text{LSB} = \text{FS}/2^n$$

โดยที่ LSB คือ ขนาดบิตนัยสำคัญน้อยที่สุด
 FS คือ ขนาดสัญญาณอนาล็อกอินพุตที่มีค่าฟูลสเกล
 (Full – Scale Analog Input)
 n คือ จำนวนบิตของตัวแปลงสัญญาณ

สัญญาณอนาล็อกที่มีค่าอยู่ในช่วงควอนไทซ์เดียวกันจะถูกแทนด้วยรหัสดิจิทัลเดียวกัน มักจะเป็นรหัสที่แทนค่ากลางของช่วงศักดาไฟฟ้า เรียกศักดาไฟฟ้าว่าเป็นค่าจุดเริ่มเปลี่ยน (Threshold) เนื่องจากสัญญาณอินพุตแตกต่างจากค่าจุดเริ่มเปลี่ยนไม่เกิน $\pm \frac{1}{2} \text{LSB}$ มีรหัสเดียวกัน ดังนั้นจึงเกิดความผิดพลาดในตัวแปลงสัญญาณทั่ว ๆ ไปไม่เกิน $\pm \frac{1}{2} \text{LSB}$ ความผิดพลาดถูกแก้ไขโดยการเพิ่มจำนวนบิตของตัวแปลงสัญญาณ รูปที่ 2.9 (b) แสดงความสัมพันธ์ตัวแปลงสัญญาณขนาด 3 บิต

2.12 ความผิดพลาดของตัวแปลงสัญญาณ



รูปที่ 2.19 แสดงความผิดพลาดของตัวแปลงสัญญาณ

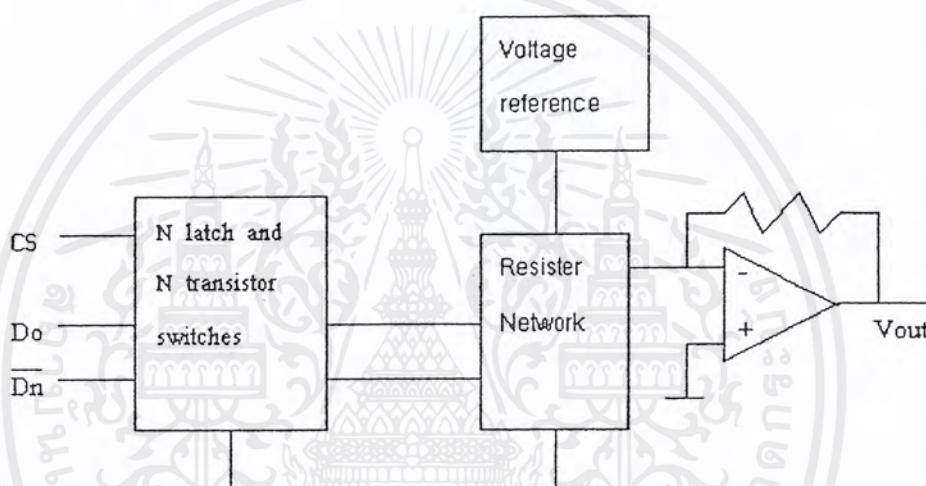
- | | |
|-------------------------------------|--------------------------------|
| (ก) ความผิดพลาดออฟเซต | (ข) ความผิดพลาดของอัตราขยาย |
| (ค) ความผิดพลาดเชิงเส้นแบบอินทิกรัล | (ง) ความผิดพลาดเชิงเส้นแบบต่าง |

ตัวแปลงสัญญาณที่ใช้จริง ๆ จะมีความเบี่ยงเบนจากคุณลักษณะตามรูปแบบที่ 2.18 (b) ออกไปบ้าง เช่น ทรานเฟอร์ฟังก์ชันอาจจะมีการเลื่อนออกจากค่าตามอุดมคติ ความผิดพลาดในลักษณะนี้เรียกว่าความผิดพลาดของออฟเซต (Offset Error) หรือความผิดพลาดศูนย์ (Zero Error) ซึ่งแสดงในรูปที่ 2.19 (ก) ความผิดพลาดเกิดขึ้นจากความชันของทรานสเฟอร์ฟังก์ชันมีค่าต่างไปจากค่าจริงตามอุดมคติ เรียกว่า

ความผิดพลาดความชัน (Slope Error) หรือความผิดพลาดของอัตราขยาย (Gain Error) ตามรูปที่ 2.19 (ข) ความผิดพลาดทั้งสองแบบนี้มีผลน้อยมากและสามารถแก้ไขได้ โดยการปรับแต่งภายใน และในส่วนความผิดพลาดที่แก้ไขได้ยาก ได้แก่ ความผิดพลาดเชิงเส้นแบบอินทิกรัล (Integral Linearity Error) ตามรูปที่ 2.19 (ค) และความผิดพลาดเชิงเส้นแบบผลต่าง (Differential Linearity Error) ตามรูปที่ 2.19 (ง) โดยที่ค่าความผิดพลาดนี้เกิดขึ้นมากกว่า 1 LSB รหัสดิจิทัลที่เอาต์พุตอาจจะมีการหายไป

2.13 วงจรแปลงสัญญาณดิจิทัลเป็นอนาลอก (Digital – to – Analog Converter : DAC)

วงจรแปลงสัญญาณดิจิทัลเป็นอนาลอก หรือ ดีเอชเอ็มถูกนำมาใช้ทำหน้าที่เปลี่ยนสัญญาณอนาลอกให้เป็นสัญญาณดิจิทัล แผนภาพบล็อกจะแสดงดังรูปที่ 2.20



รูปที่ 2.20 แสดงแผนภาพบล็อกของวงจรแปลงสัญญาณดิจิทัลเป็นอนาลอก

รูปที่ 2.20 เป็นแผนภาพบล็อกของวงจรแปลงสัญญาณดิจิทัลเป็นอนาลอก ขนาด n บิต มีวงจรแสดงอยู่ใน n ชุด สำหรับเก็บค่าเลขฐานสองที่ใช้เปลี่ยนสัญญาณอนาลอก เอาต์พุตของแต่ละวงจรแสดงถูกต่อไปควบคุมวงจรทรานซิสเตอร์ ที่ทำหน้าที่เป็นสวิตช์สำหรับเลือกค่าของความต้านทานจากส่วนโครงข่ายตัวต้านทาน (Resister network) เช่นกันเพื่อช่วยให้เกิดแรงดันเอาต์พุตที่เหมาะสม และสอดคล้องกับค่าของ โครงข่ายตัวต้านทาน เอาต์พุตของออปแอมป์จะได้จากการบวกแรงดันที่ได้จากโครงข่ายตัวต้านทาน เข้าด้วยกันนั่นเอง

ในรูปที่ 2.20 จะแสดงแนวความคิดเบื้องต้นในการออกแบบวงจรดีเอชเอ็ม ขนาด 4 บิต จะถูกแสดงไว้ในรีจิสเตอร์ รีจิสเตอร์นี้จะนำไปควบคุมสวิตช์ 4 ตัว สถานะการปิด / เปิดของสวิตช์จะทำให้เกิดความแตกต่างกันได้ 16 ค่า ($2^4 = 16$)

ถ้าให้บิต 3 เป็น 1 นอกนั้นเป็น 0 จะนั้นสวิตช์ที่สอดคล้องกับบิต 3 จะอยู่ในตำแหน่งปิด อันเดียว นอกจากนั้นจะอยู่ในตำแหน่งเปิดทั้งสิ้น จะเขียนไว้ว่า

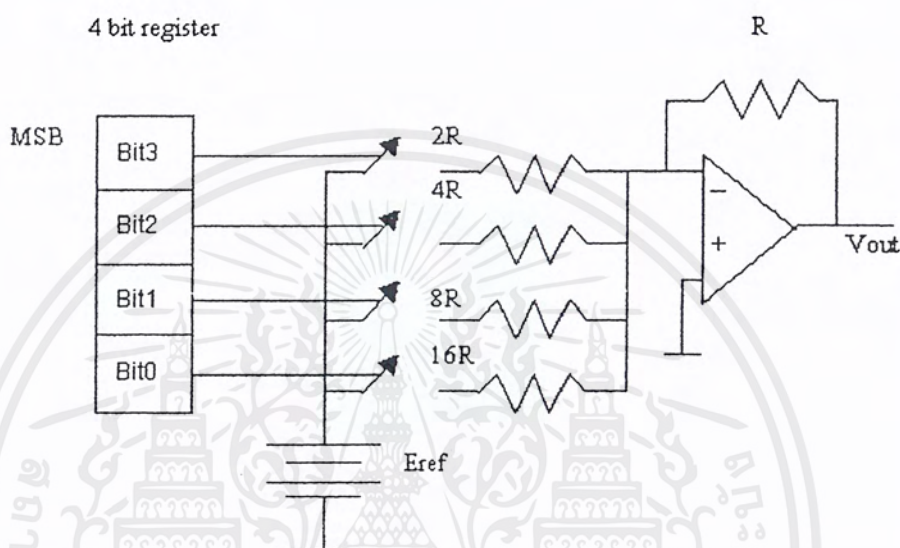
$$E_{out} = R/2R \ E_{ref} = E_{ref}/2$$

ถ้า บิต 1 เช็ทเป็น 1 บิตเดิ�วค่าที่ได้จะเป็น

$$E_{out} = R/8R \ E_{ref} + E_{ref}/8$$

ถ้า บิต 1 และ 3 เป็นลอจิก 1 ทั้งสองบิตจะได้เป็น

$$E_{out} = E_{ref}/2 \ E_{ref} + E_{ref}/8$$



รูปที่ 2.21 แสดงวงจรแปลงสัญญาณดิจิทัลเป็นอนาลอก อย่างง่ายขนาด 4 บิต

จากวงจรนี้ จะเห็นได้ว่าความต้านทานสูงสุดเป็น 16 เท่า ของความต้านทานป้อนกลับจากขาลบไปยังเอาต์พุต ของวงจรแปลงสัญญาณดิจิทัลเป็นอนาลอกที่มีการใช้ค่าความต้านทานในลักษณะนี้ เรียกว่า “Weight Resister Digital – to – Analog Converter” ถ้าใช้ 8 บิต จะเขียนเป็นสมการทั่วไปว่า

$$V_{out} = V_{ref} (b_0/2 + b_1/4 + b_2/8 + b_3/16 + b_4/32 + b_5/64 + b_6/128 + b_7/256)$$

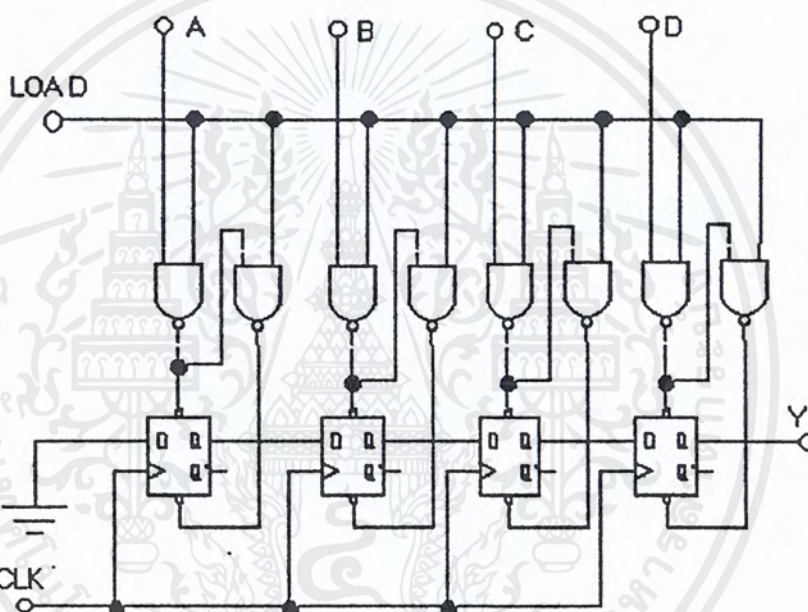
เมื่อ $b_0 \sim b_7$ เป็นค่าบิตที่ควบคุมซึ่งจะเป็น 1 หรือ 0 เท่านั้น ถ้าใช้ $V_{ref} = 10 \text{ V}$ Digital Input เป็น 11010011 จะได้แรงดันเอาต์พุตเมื่อแทนค่าตามสมการข้างต้นจะได้ผลลัพธ์ดังแสดงไว้ในสมการข้างล่างนี้

$$\begin{aligned} V_{out} &= -10 (1/2 + 1/4 + b_2/8 + b_3/16 + b_4/32 + b_5/64 + b_6/128 + b_7/256) \\ &= -8.24 \text{ V} \end{aligned}$$

2.14 วงจรแปลงสัญญาณแบบขนานเป็นแบบอนุกรม

(parallel Input – Serial Output Shift Registers)

วงจรเลื่อนสัญญาณแบบนี้เป็นวงจรที่ใช้การเปลี่ยนข้อมูลแบบขนานเป็นแบบอนุกรมดังแสดงไว้ตามรูปที่ 2.22 หลักการทำงานคือ ต้องทำการเลื่อนข้อมูลแบบขนานเข้าไปเก็บไว้ในรีจิสเตอร์ก่อนเรียกว่าการโหลดข้อมูลที่เข้าไปไว้ในรีจิสเตอร์จากนั้นเมื่อสัญญาณนาฬิกา มา 1 ครั้ง วงจรก็ทำการเลื่อนข้อมูลออกมาทีละ 1 บิต มีสัญญาณนาฬิกาอีกครั้งก็จะทำการเลื่อนข้อมูลออกมาอีก 1 บิตไปเรื่อย ๆ จนครบ 4 บิต จากนั้นก็จะทำการโหลดค่าข้อมูลใหม่แล้วทำการป้อนสัญญาณนาฬิกา เพื่อเลื่อนข้อมูลใหม่อีกครั้งหนึ่ง

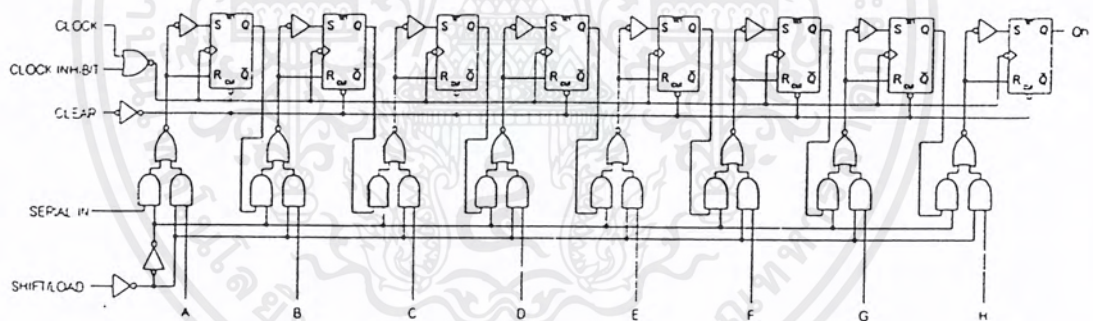


รูปที่ 2.22 แสดงวงจร Parallel Input – Serial Output Shift Registers ขนาด 4 บิต

จากรูปที่ 2.22 จะเห็นว่าเมื่อใช้ดี – ฟลิปฟลอปมาทำเป็นรีจิสเตอร์ตัวเลื่อน โดยจะใช้สัญญาณนาฬิการ่วมกัน จะสังเกตเห็นว่าเมื่อป้อนให้เขา LOAD มีสภาวะลอจิก “1” และป้อนอินพุตเข้าไปที่ขา A, B, C, และ D โดยสมมุติให้ป้อนอินพุตตามตารางที่ 2.3 ข้อมูลจะถูกโหลดเข้าไปในดี – ฟลิปฟลอป โดยข้อมูลที่ได้อาจมาจากสภาวะลอจิกที่ไปทำการสั่งงานให้เขา SET กับ CLR ของดี – ฟลิปฟลอป มีสภาวะลอจิก “1” โดยไม่สนใจอินพุตที่เข้ามาในทางองเดียวกัน ถ้ามีสภาวะลอจิก “0” ไปกระตุ้นที่ขา CLR จะทำให้เอาต์พุตของดี – ฟลิปฟลอปมีสภาวะลอจิกจะผ่าน NAND GATE ออกมาเป็นสภาวะลอจิก “0” เมื่อมีสัญญาณนาฬิกาเข้ามา 1 ครั้ง อินพุตของดี – ฟลิปฟลอปจะถูกเลื่อนไปที่เอาต์พุต Q ส่วนเอาต์พุตของ ดี – ฟลิปฟลอปตัวแรกจะเป็นอินพุตของ ดี – ฟลิปฟลอปตัวที่ 3 ไปเรื่อย ๆ ทีละบิต พอเลื่อนข้อมูลออกไปหมดก็ต้องทำการโหลดค่าใหม่

ตารางที่ 2.2 แสดงข้อมูลที่ป้อนเข้าและออกจากวงจรรูปที่ 2.22

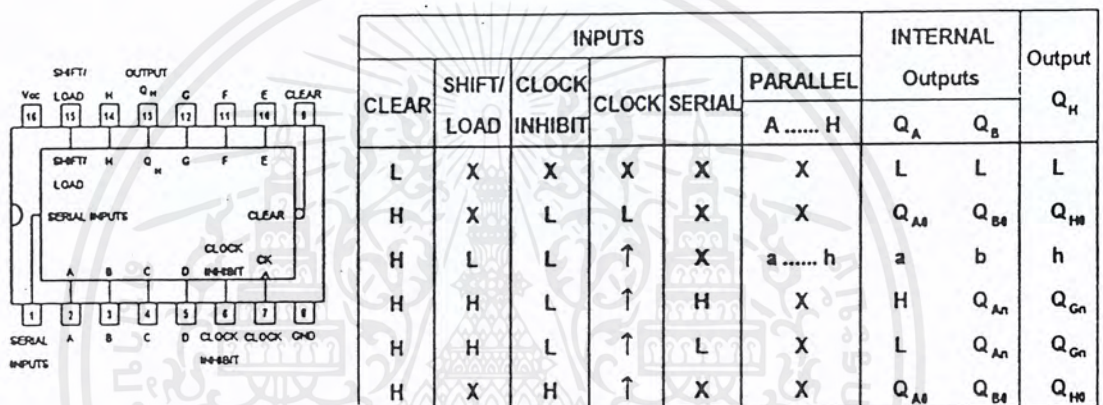
Input						Output				
Load	CLK ที่	A	B	C	D	Q1	Q2	Q3	Q4	Y
1	1	1	0	1	0	1	0	1	0	0
0	2	X	X	X	X	0	1	0	1	1
0	3	X	X	X	X	0	0	1	0	0
0	4	1	0	1	0	0	0	0	1	1
0	5	X	X	X	X	0	0	0	0	0
1	6	1	0	1	0	1	1	0	0	0
0	7	X	X	X	X	0	1	1	0	0
0	8	X	X	X	X	0	0	1	1	1
0	9	1	0	1	0	0	0	0	1	1
0	10	X	X	X	X	0	0	0	0	0



รูปที่ 2.23 แสดงวงจรแปลงข้อมูลแบบขนานเป็นแบบอนุกรมขนาด 8 บิต

วงจรที่ทำหน้าที่เป็นรีจิสเตอร์แบบขนานเข้า – อนุกรมออกได้แก่ ไอซีเบอร์ 74LS165 ซึ่งมีโครงสร้างภายในดังรูปที่ 2.14 และมีแผนภาพขาเข้าสัญญาณ และฟังก์ชันการทำงานดังรูปที่ 2.15 จากโครงสร้างภายในของ 74LS165 ในรูปที่ 2.23 การโหลดข้อมูลเข้าไปจะต้องให้สัญญาณที่ SHIFT/LOAD มีสถานะลอจิกเป็น “0” เมื่อผ่าน NOT GATE แล้วจะทำให้สัญญาณออกมาในสถานะลอจิกเป็น “1” ซึ่งถูกคอปไปยังขาสัญญาณของ AND GATE ข้างขวาทั้ง 8 ตัว ข้อมูลที่ต้องการจะโหลดเข้าไปเก็บไว้ในรีจิสเตอร์ จะคอปเข้าที่จุด A, B, C, D, E, F, และ H ดังนั้นสัญญาณที่ออกมาจาก AND GATE ข้างขวามีค่าเป็น “0” หรือ “1” ขึ้นอยู่กับที่ป้อนเข้ามาจากจุด A ถึง H

มาคู่ที่ขา AND GATE ตัวซ้าย ถ้าให้ขา SHIFT/LOAD มีสถานะลอจิกเป็น “0” เมื่อผ่านมายังอินเวอร์เตอร์ตัวแรกก็จะมีสถานะลอจิกเป็น “1” และเมื่อผ่าน NOT GATE ตัวที่ 2 จะมีสถานะลอจิกกลับเป็น “0” ตลอด เมื่อเอาต์พุตของ AND GATE ทั้งสองตัวมาเข้าที่ขาอินพุตของ NOR GATE เอาต์พุตที่ออกมาจะมีสถานะลอจิกตามเอาต์พุตของ AND GATE ตัวขวาแต่กลับสถานะกัน เมื่อนำสถานะลอจิกที่ได้ไปเข้า โดยที่ผ่านอินเวอร์เตอร์ก่อนเข้าขา S R – S Flipflop ก็จะเป็นดี – ฟลิปฟลอปแบบกลับลอจิก นำเอาต์พุตที่กลับสถานะแล้ว ออกมาจาก NOR GATE มาผ่าน R – S Flipflop ก็จะกลับสถานะอีกทีหนึ่ง ทำให้เอาต์พุตที่ขา Q มีสถานะลอจิกเหมือนกับอินพุต R – S Flipflop ก็จะกลับสถานะอีกทีหนึ่ง ทำให้เอาต์พุตที่ขา Q มีสถานะลอจิกเหมือนกับอินพุตของ R – S Flipflop ตัวที่สอง อย่างนี้ไปเรื่อย ๆ สถานะลอจิกที่ออกมาจาก Q ก็จะเป็นชุดของข้อมูลที่มาเลื่อนออกมาทีละบิต



รูปที่ 2.24 แสดงแผนภาพขาสัญญาณและฟังก์ชันการทำงานของ 74LS165

2.15 วงจรแปลงสัญญาณแบบอนุกรมเป็นแบบขนาน

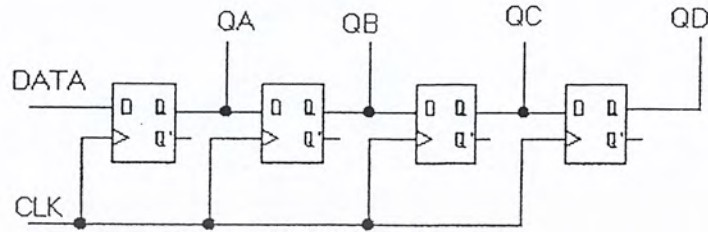
(Serial Input – Parallel Output Shift Registers)

วงจรเลื่อนสัญญาณแบบนี้เป็นวงจรที่เปลี่ยนข้อมูลแบบอนุกรมเป็นขนาน หลักการทำงานของวงจรคือ ต้องป้อนข้อมูลออกไปก่อนแล้วจึงจ่ายสัญญาณนาฬิกา

ในรูปที่ 2.24 จะสังเกตเห็นว่าเมื่อป้อนข้อมูลบิตแรกเข้าไปเมื่อสัญญาณนาฬิกา มา 1 ครั้ง ข้อมูลจะถูกเลื่อนออกไปที่เอาต์พุต ดี – ฟลิปฟลอป เมื่อสัญญาณนาฬิกาครั้งที่ 2 มา โดยที่ข้อมูลใหม่จะถูกเลื่อนออกที่เอาต์พุตของดี – ฟลิปฟลอปตัวแรกส่วนข้อมูลแรกจะถูกเลื่อนไปยัง ดี – ฟลิปฟลอปตัวที่ 2 ไปเรื่อย ๆ จนครบ 4 ครั้ง จากนั้นจึงทำการนำสัญญาณเอาต์พุตที่ขา Q ของดี – ฟลิปฟลอปแต่ละตัวมาใช้งาน จะเห็นว่าจะได้เป็นข้อมูลขนาด 4 บิตออกมา เมื่อเราได้ข้อมูลออกมาแล้วก็จะทำให้สถานะลอจิก “0” ออกมาจึงเป็นการเคลียร์ค่าใน ดี – ฟลิปฟลอปแต่ละตัว

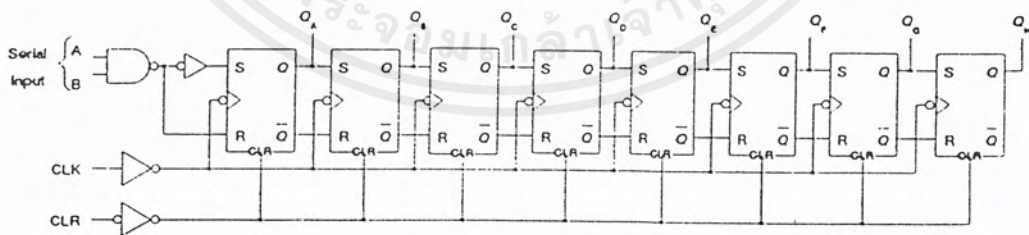
วงจรรวมที่ทำหน้าที่เป็นรีจิสเตอร์แบบอนุกรมเข้า – ขนานออก ได้แก่ไอซีเบอร์ 74LS164 ซึ่งมีโครงสร้างภายในดังรูปที่ 2.16 และมีแผนภาพขาสัญญาณ และฟังก์ชันการทำงานดังรูปที่ 2.17 จากโครงสร้างภายในของ 74LS164 ในรูปที่ 2.15 จะเห็นว่าโครงสร้างภายในนั้นจะประกอบด้วย RS

flipflop ที่มีขาสัญญาณ CLEAR และสัญญาณ Q ของฟลิปฟล็อปทุกตัวจะถูกต่อออกมายังภายนอกวงจรรวม เพื่อสามารถนำไปใช้งานตามแผนภาพขาสัญญาณในรูปที่ 2.25 เมื่อสัญญาณเคลียร์สถานะลอจิก “0” จะทำให้ RS Flipflop ทุกตัวจะถูกเคลียร์ให้ Q และ /Q เป็น “0” และ “1” ตามลำดับ

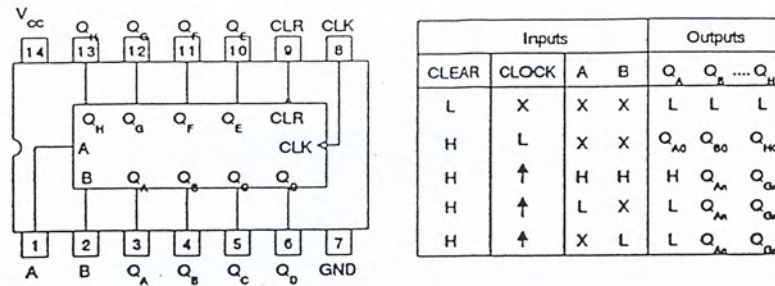


รูปที่ 2.25 แสดงวงจรแปลงข้อมูลแบบอนุกรมเป็นแบบขนานขนาด 4 บิต

ถ้าสถานะลอจิกที่ขา CLEAR เป็น “1” ก็จะมีการทำงานคือ เมื่อสัญญาณนาฬิกาเปลี่ยนจาก “0” เป็น “1” จะเลื่อนข้อมูลที่เข้ามาทางจุด A กับ B ไปทางขวาทีละ 1 บิต และข้อมูลเดิมที่เก็บอยู่ในฟลิปฟล็อปแต่ละตัว จะถูกส่งต่อไปเก็บยังฟลิปฟล็อปตัวที่อยู่ถัดไป จุดสัญญาณ Q ของ RS Flipflop ทุกตัวที่ต่อมายังภายนอกทำให้สามารถดูสัญญาณ หรือข้อมูลซึ่งถูกเลื่อนเข้ามายังวงจรรวม เมื่อเวลาต่าง ๆ กันได้พร้อมกันทีละ 8 บิต คือสัญญาณ $Q_A, Q_B, Q_C, Q_D, Q_E, Q_F, Q_G$ และ Q_H เรียกว่าข้อมูลออกเป็นข้อมูลแบบขนาน (Parallel Data) ประโยชน์ของรีจิสเตอร์แบบนี้ ได้แก่ การสื่อสารข้อมูลดิจิทัลที่ระยะไกลถ้าส่งข้อมูลที่เดียวกันทีละหลาย ๆ บิต (ข้อมูลแบบขนาน) จะต้องเปลี่ยนสายสัญญาณมาก จึงใช้วิธีส่งข้อมูลจากจุดหนึ่งไปยังอีกจุดหนึ่ง เป็นข้อมูลอนุกรมทีละบิตซึ่งใช้สายสัญญาณเพียง 1 เส้น ที่ปลายทางรับข้อมูลก็จะทำการแปลงข้อมูลจากข้อมูลอนุกรมเป็นข้อมูลขนานเช่นเดิม โดยใช้รีจิสเตอร์แบบอนุกรมเข้า-ขนานออก



รูปที่ 2.26 แสดงวงจรแปลงข้อมูลแบบอนุกรมเป็นแบบขนานขนาด 8 บิต



รูปที่ 2.27 แสดงแผนภาพของขาสัญญาณ และฟังก์ชันการทำงานของ 74LS164

2.16 วงจรกรองแบบผ่านต่ำ (Low Pass Filters : LPF)

วงจรกรองแบบผ่านต่ำสามารถแบ่งได้เป็น 3 แบบใหญ่ ๆ คือ

1. วงจรกรองแบบผ่านต่ำแบบบัตเตอร์เวิร์ธ (Butterworth filters)

วงจรกรองความถี่แบบนี้จะมีการตอบสนองทางความถี่ราบเรียบมากที่สุดในช่วงความถี่ที่สามารถผ่านไปได้ ส่วนความถี่ช่วงที่ผ่านไม่ได้จะเกิดการลดทอนสัญญาณสูง

2. วงจรกรองแบบผ่านต่ำแบบเชบิเชฟ (Chebyshev filters)

วงจรกรองความถี่แบบนี้ จะมีการลดทอนสัญญาณลงอย่างรวดเร็วที่สุด แต่ไม่ค่อยนิยมนำใช้กัน เพราะช่วงความถี่ที่ผ่านไปได้มีการตอบสนองที่ไม่ราบเรียบมีลักษณะเป็นริบเบิล (Ripple) ยิ่งมีริบเบิลมากเท่าใด อัตราการลดทอนสัญญาณจะมากขึ้นเท่านั้น

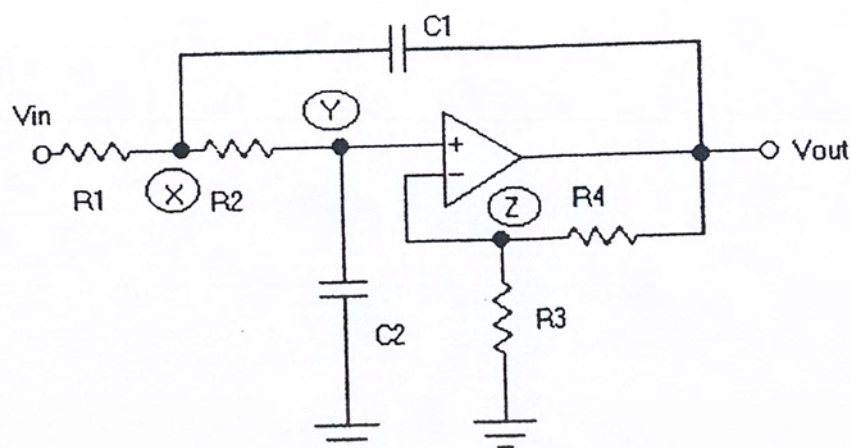
3. วงจรกรองแบบผ่านต่ำแบบเบสเซล (Bessel filters)

วงจรกรองความถี่แบบนี้ จะมีการหน่วงเวลาคงที่สูงสุดในการตอบสนองความถี่ แต่มีอัตราการลดทอนที่แย่ที่สุด คือ ค่อย ๆ ลดลงทีละน้อย

สมการที่ใช้ในการออกแบบวงจรกรองความถี่คือสมการควอดเรติกซ์ (Quadratic Equation) เป็นสมการแสดงความสัมพันธ์ของฟังก์ชันถ่ายโอน (Transfer Function) ซึ่งสมการของวงจรกรองผ่านต่ำเป็นดังนี้

$$T_{LP} = \frac{\omega_0}{S^2 + \frac{\omega_0 S}{Q} + \omega_0^2}$$

วงจรกรองซอลเลนแอนคีย์ (Sallen and Key Filter) ดังในรูปที่ 2.28 มีฟังก์ชันถ่ายโอนเหมือนสมการข้างต้นซึ่งทำการพิสูจน์ได้ดังนี้



รูปที่ 2.28 วงจรกรองซอลเส้นแอนคีย์

ที่โหนด Z

$$\frac{V_z - 0}{R3} + \frac{V_z - V_o}{R4} = 0$$

$$V_z = \frac{R3 \cdot V_o}{R3 + R4}$$

$$V_z = k \cdot V_o$$

$$k = \frac{R3}{R3 + R4}$$

— (1)

ที่โหนด Y

$$\frac{V_y - V_x}{R2} + \frac{V_y}{\frac{1}{SC_2}} = 0$$

$$V_y \left(\frac{1}{R2} + SC_2 \right) = \frac{V_x}{R2}$$

$$V_x = V_y R2 \left(\frac{1}{R2} + SC_2 \right)$$

— (2)

ที่โหนด X

$$\frac{V_x - V_{in}}{R1} + \frac{V_x - V_o}{\frac{1}{SC_1}} + \frac{V_x - V_z}{R2} = 0$$

$$V_x \left(\frac{1}{R1} + SC_1 + \frac{1}{R2} \right) - \frac{V_{in}}{R1} - V_o \cdot SC_1 - \frac{V_z}{R2} = 0$$

— (3)

แทนค่าจาก V_x จาก (2) ลงใน (4)

$$V_r R2 \left(\frac{1}{R2} + SC_2 \right) \left(\frac{1}{R1} + SC_1 + \frac{1}{R2} \right) - V_0 \cdot SC_1 - \frac{V_z}{R2} = \frac{V_{in}}{R1}$$

แทนค่า V_z จาก (1)

$$k \cdot V_0 (1 + SC_2 R2) \left(\frac{1}{R1} + SC_1 + \frac{1}{R2} \right) - V_0 \cdot SC_1 - \frac{kV_0}{R2} = \frac{V_{in}}{R1}$$

$$V_0 \left[(k + kSC_2 R2) \left(\frac{1}{R1} + SC_1 + \frac{1}{R2} \right) - SC_1 - \frac{k}{R2} \right] = \frac{V_{in}}{R1}$$

$$\frac{k}{R1} + \frac{k}{R2} + kSC_1 + \frac{kSC_2 R2}{R1} + \frac{kSC_2 R2}{R2} + kS^2 C_1 C_2 R2 - SC_1 - \frac{k}{R2} = \frac{V_{in}}{V_0 R1}$$

$$S^2 kC_1 C_2 R2 + S \left(kC_1 - C_1 + \frac{kC_2 R2}{R1} + kC_2 \right) + \frac{k}{R1} = \frac{V_{in}}{V_0 R1}$$

$$S^2 kC_1 C_2 R1 R2 + S [R1 C_1 (k-1) + k(C_2 R2 + R1 C_2)] + k = \frac{V_{in}}{V_0}$$

$$\frac{V_0}{V_{in}} = \frac{1}{S^2 kC_1 C_2 R1 R2 + S [R1 C_1 (k-1) + k(C_2 R2 + C_2 R1)] + k}$$

$$\frac{V_0}{V_{in}} = \frac{\frac{1}{kC_1 C_2 R1 R2}}{S^2 + \frac{S [R1 C_1 (k-1) + k(C_2 R2 + C_2 R1)]}{kC_1 C_2 R1 R2} + \frac{1}{C_1 C_2 R1 R2}}$$

$$\frac{V_0}{V_{in}} = \frac{1}{k} \left[\frac{\frac{1}{C_1 C_2 R1 R2}}{S^2 + \frac{S [R1 C_1 (k-1) + k(C_2 R2 + C_2 R1)]}{kC_1 C_2 R1 R2} + \frac{1}{C_1 C_2 R1 R2}} \right]$$

จะเห็นว่าสมการฟังก์ชันถ่ายโอนของวงจรกรองขดลวดแบนด์พาสมีรูปแบบคล้ายกันกับสมการควอดเรติกที่ใช้ออกแบบวงจรกรองผ่านต่ำโดย

$$\omega_0^2 = \frac{1}{C_1 C_2 R1 R2} \quad \text{--- (4)}$$

$$\omega_0 = 2\pi f_c$$

จากสมการที่ (4) สามารถนำมาใช้ออกแบบวงจรกรองผ่านต่ำขดลวดแบนด์พาสได้ โดยการกำหนดค่า C และค่า R ที่เหมาะสม

บทที่ 3

การคำนวณและการสร้าง

การออกแบบวงจรนี้ จะแบ่งชิ้นงานออกเป็น 2 ส่วน คือ

- ชุดวงจรภาคส่ง (Transmitter)
- ชุดวงจรภาครับ (Receiver)

3.1 หลักการออกแบบวงจรภาคส่ง

3.1.1 วงจรกรองแบบผ่านต่ำ

สำหรับปัญญานิพนธ์นี้ได้ออกแบบวงจรกรองแบบผ่านต่ำแบบบัตเตอร์เวิร์ทซึ่งจะมีความถี่ตัดผ่าน (Cut Off Frequency) ที่ 4 กิโลเฮิรตซ์ โดยการคำนวณจากสมการที่ (4)

ในการคำนวณจะทำการกำหนดค่า C ก่อนเพราะค่า C หาได้ยากกว่าค่า R และใช้ตารางที่ 2.3 ในการคำนวณค่าตัวเก็บประจุ

กำหนดค่า $C_1 = C_2 = 0.01 \mu F$ เพราะฉะนั้น

$$R_1 R_2 = \frac{1}{(2\pi f_c)^2 C_1 C_2}$$

$$R_1 R_2 = \frac{1}{(2\pi \times 4000)^2 (0.01 \mu F)^2}$$

$$R_1 R_2 = 15831434.94$$

กำหนดค่า $R_1 = 2.5 K\Omega$

$$R_2 = 15831434.94 / 2500$$

$$R_2 = 6332.574 \approx 6.5 K\Omega$$

อัตราขยาย (A_v) หาได้จากค่า k โดยกำหนดค่า $A_v = 1$

$$k = \frac{R_3}{R_3 + R_4}$$

$$A_v = k = \frac{1000}{1000 + 0} = 1$$

ได้ค่าอุปกรณ์ดังนี้

$$R_1 = 2.5 k\Omega$$

$$R_2 = 6.5 k\Omega$$

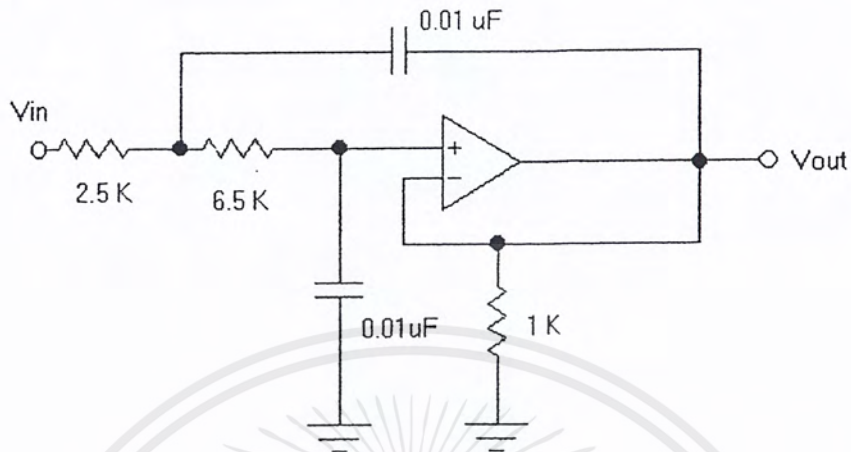
$$R_3 = 1 k\Omega$$

$$R_4 = 0 k\Omega$$

$$C1 = 0.01 \mu F$$

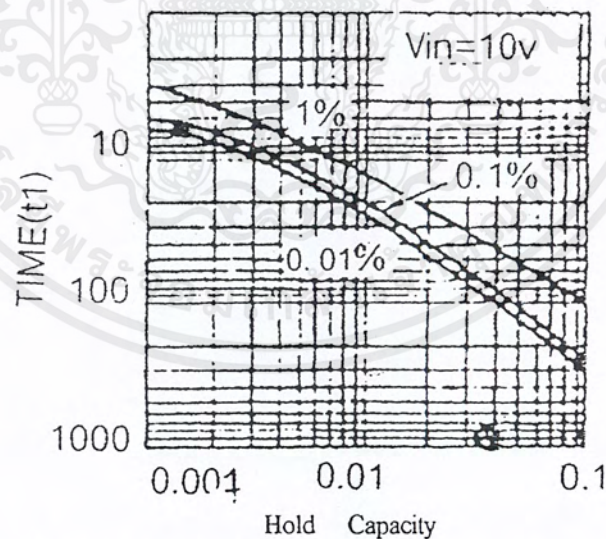
$$C2 = 0.01 \mu F$$

ค่าอุปกรณ์ที่หาได้นำมาต่อวงจรดังรูป



รูปที่ 3.1 แสดงวงจรกรองแบบต่ำผ่านที่ 4 กิโลเฮิรตซ์

3.1.2 วงจรชักตัวอย่างและคงค่า (Sampling And Hold)

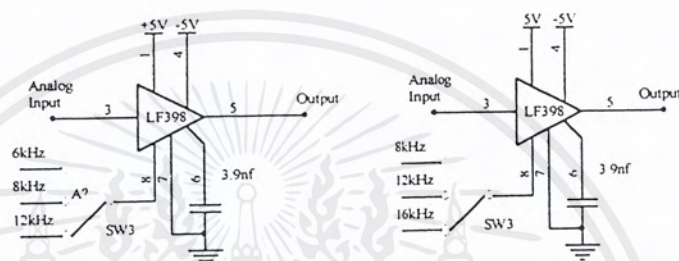


ตารางที่ 3.1 แสดงค่าตัวเก็บประจุสำหรับการคงค่าของไอซี LF398

สำหรับปริณิงานิพนธ์ได้มีการใช้วงจรชักตัวอย่างและคงค่าซึ่งเป็น วงจรรวมเบอร์ LF398 (Monolithic Sampling and Hold) ซึ่งเป็นไอซีขนาด 8 ขา ใช้งานโดยการกำหนดค่าตัวเก็บประจุ (C_h) จากตารางที่ 3.1 แสดงค่าตัวเก็บประจุของวงจรชักตัวอย่างและคงค่าที่เป็นวงจรรวม โดยอัตราการชักตัว

อย่าง ที่ใช้มีค่าเท่ากับ 6 กิโลเฮิร์ตซ์ 8 กิโลเฮิร์ตซ์ และ 12 กิโลเฮิร์ตซ์ ของพีซีเอ็ม และใช้ค่า 8 กิโลเฮิร์ตซ์ 12 กิโลเฮิร์ตซ์ และ 16 กิโลเฮิร์ตซ์ ของดีพีซีเอ็ม เป็นสัญญาณพัลส์แอมป์มีความกว้างพัลส์ 10 ไมโครวินาที ซึ่งเป็นแอสคิซซิงค์ (Acquisition Time) ที่ได้จากวงจรโมโนสเตเบิล ทำการป้อนให้กับขา 8 ของไอซี LF398

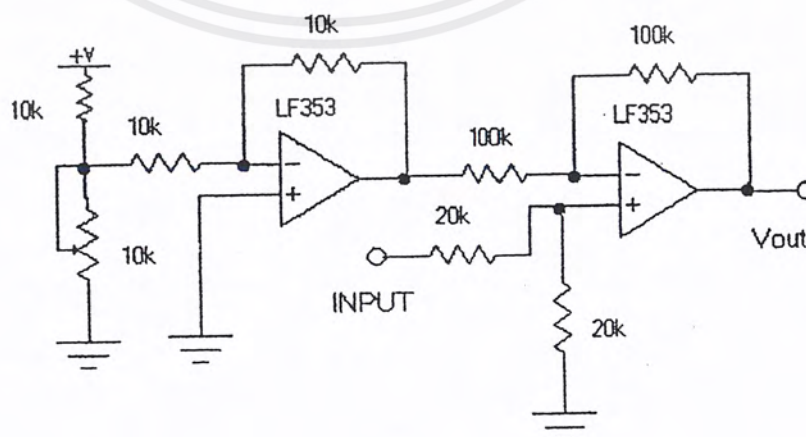
การกำหนดค่าตัวเก็บประจุจากกราฟ โดยการเลือกความแม่นยำ 0.1 เปอร์เซ็นต์ ซึ่งจะได้อัตราเก็บประจุที่มีค่าประมาณ 3.9 นาโนฟารัด สำหรับตัวเก็บประจุในการคงค่าสัญญาณ (Hold) วงจรซีกตัวอย่างและคงค่าดังแสดงในรูปที่ 3.2



รูปที่ 3.2 แสดงวงจรซีกตัวอย่างและคงค่า

3.1.3 วงจรยกระดับสัญญาณ

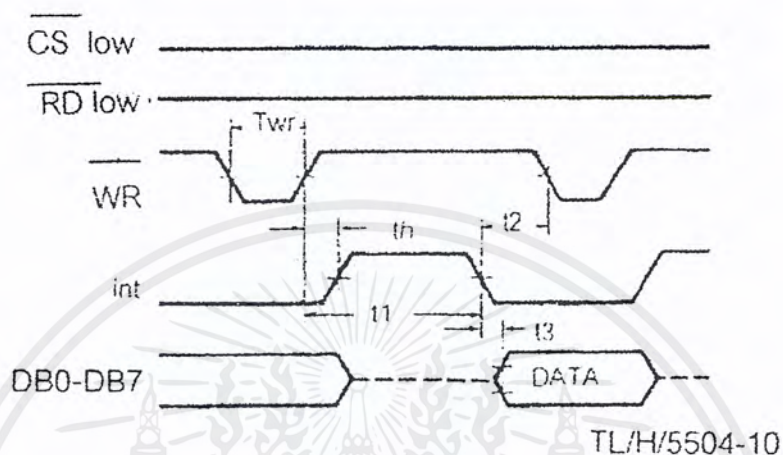
เนื่องจากแปลงสัญญาณอนาลอกเป็นดิจิตอลนั้น ไม่สามารถทำงานได้ในช่วงลบของสัญญาณอนาลอกได้ ดังนั้นจึงต้องมีการเพิ่มในส่วนของวงจรยกระดับสัญญาณขึ้นก่อนที่จะป้อนให้กับวงจรแปลงสัญญาณอนาลอกเป็นดิจิตอล เป็นการแก้ไขข้อผิดพลาดของระบบพีซีเอ็ม โดยที่นำส่วนของวงจรยกระดับสัญญาณเพิ่มเติมในระบบดีพีซีเอ็ม ซึ่งวงจรยกระดับสัญญาณจะแสดงดังรูปที่ 3.3



รูปที่ 3.3 แสดงวงจรยกระดับสัญญาณ

3.1.4 วงจรแปลงสัญญาณอนาลอกเป็นดิจิตอล (Analog to Digital Converter)

ในการออกแบบวงจรแปลงสัญญาณอนาลอกเป็นสัญญาณดิจิตอลนี้ ใช้วงจรรวมเบอร์ ADC0820 (8 – Bit High Speed Up Converter Track/Hold Function) โดยป้อนสถานะลอจิก “1” ให้กับขา MODE ของไอซี จะทำให้สถานะการทำงานของไอซีเป็นแบบทำงานภายในตัวมันเอง (Stand – alone) รูปที่ 3.4



รูปที่ 3.4 แสดงไคอะแกรมเวลาของไอซี ADC0820

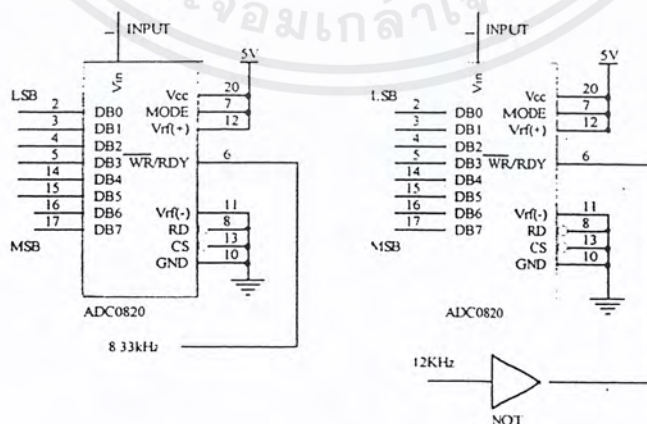
เมื่อป้อนสถานะลอจิก “1” ให้กับขา MODE แล้วให้ขา CS และ RD เป็นสถานะลอจิก “0” ไอซีจะทำการแปลงค่าข้อมูลก็ต่อเมื่อให้ขา WR มีสถานะลอจิก “0” เป็นระยะเวลาอย่างน้อยที่สุด 600 ns จากนั้นเมื่อขา WR มีสถานะลอจิก “1” ไอซีจะเริ่มทำการแปลงค่าข้อมูลโดยช่วงระยะเวลาในการแปลงค่าข้อมูลใหม่อีก 500 ns จะเห็นว่าในการแปลงค่าข้อมูล 1 ครั้งเราจะใช้เวลาทั้งหมดประมาณ $600\text{ ns} + 800\text{ ns} + 500\text{ ns} = 1.9\text{ }\mu\text{S}$ แต่เวลาที่ขา WR จะมีสถานะลอจิกเป็น “0” ต้องใช้เวลาอย่างน้อยที่สุด 600 ns ถ้าน้อยกว่านี้ไอซีก็จะไม่ทำงาน จึงใช้เวลาอย่างน้อยที่สุด $1.2\text{ }\mu\text{S}$ ซึ่งมีค่าเป็น 2 เท่าของค่าที่กำหนดไว้ ดังนั้นใช้เวลาในการแปลงค่าข้อมูลเท่ากับ $1.2\text{ }\mu\text{S} + 800\text{ ns} + 500\text{ ns} = 2.5\text{ }\mu\text{S}$

ในการชักตัวอย่างสัญญาณเสียงนั้นเนื่องจากการสื่อสารโทรศัพท์นั้นสเปกตรัมแบนด์วิดท์ของเสียงที่ใช้ นั่นคือ 300 – 3400 เฮิรตซ์ ปกติเสียงที่มนุษย์ได้ยินมีสเปกตรัมที่กว้างกว่านี้ แต่สำหรับเสียงของมนุษย์นั้น ถ้าใช้แบนด์วิดท์ของระบบโทรศัพท์เพียง 300 – 3400 เฮิรตซ์ เท่านั้นก็เพียงพอที่จะทำให้ผู้สนทนาโทรศัพท์สามารถที่จะจำเสียงและเข้าใจกันได้ ดังนั้นความถี่ที่ใช้ในการชักตัวอย่างสัญญาณก็จะต้องมีค่าไม่ต่ำกว่า 6800 เฮิรตซ์ แต่ถ้าใช้ความถี่ในการชักตัวอย่างเท่ากับ 6800 เฮิรตซ์ พอดี วงจรกรองความถี่ที่ใช้ต้องมีคุณสมบัติในการคัดแยกความถี่ของสัญญาณคมมาก ๆ หรือเป็นอุดมคติซึ่งในทางปฏิบัติไม่สามารถทำได้ ดังนั้นจึงใช้ความถี่ในการชักตัวอย่างสัญญาณที่มีค่ามากกว่า 6800 เฮิรตซ์ แต่ก็ต้องไม่สูงมากเกินไป ในการทดลองจึงเลือกใช้ความถี่ 6 กิโลเฮิรตซ์, 8 กิโลเฮิรตซ์ และ 12 กิโลเฮิรตซ์ ของระบบพีซีเอ็ม ใช้ค่า 8 กิโลเฮิรตซ์, 12 กิโลเฮิรตซ์ และ 16 กิโลเฮิรตซ์ ของระบบดีพีซีเอ็มมาใช้ในการชักตัวอย่างสัญญาณ

ใช้สัญญาณนาฬิกาที่มีความถี่ 8 กิโลเฮิร์ตซ์ ของระบบพีซีเอ็ม และใช้ความถี่ 12 กิโลเฮิร์ตซ์ ของระบบ DPCM แทนสัญญาณที่ขา WR โดยที่ความถี่ 8.33 กิโลเฮิร์ตซ์ จะมีคาบเวลาเท่ากับ $1/8.33 \text{ kHz} = 120 \text{ } \mu\text{s}$ ของระบบพีซีเอ็ม และที่คาบเวลา $1/12 \text{ kHz} = 83.33 \text{ } \mu\text{s}$ สัญญาณขา WR ช่วงสภาวะบวกจะต้องมีคาบเวลาอย่างต่ำ $800 \text{ ns} + 500 \text{ ns} = 1.3 \text{ } \mu\text{s}$ และช่วงสภาวะลบต้องมีคาบเวลาอย่างต่ำเป็น $1.2 \text{ } \mu\text{s}$ ถ้าใช้สัญญาณนาฬิกาที่มีความถี่เท่ากับ $120 \text{ } \mu\text{s}$ ของระบบพีซีเอ็ม และที่คาบเวลา $83.33 \text{ } \mu\text{s}$ ของระบบ DPCM (ช่วงบวก $20 \text{ } \mu\text{s}$ และช่วงลบ $100 \text{ } \mu\text{s}$ ของระบบ PCM และช่วงบวก $10 \text{ } \mu\text{s}$ และช่วงลบ $73.33 \text{ } \mu\text{s}$) จะทำให้ช่วงเวลาที่กำหนดให้กับขา WR อยู่ในช่วงที่ต้องการ

ในการนำสัญญาณนาฬิกาที่มีความถี่ 8 กิโลเฮิร์ตซ์ นำสัญญาณนาฬิกาที่มีความถี่ 500 กิโลเฮิร์ตซ์ จากนั้นนำความถี่ที่ได้ทำการหาร 10 โดยใช้ไอซีเบอร์ 74LS90 จะได้สัญญาณนาฬิกาออกมาที่มีความถี่ 50 กิโลเฮิร์ตซ์ จากนั้นนำความถี่ที่ได้ทำการหาร 6 อีกครั้ง โดยใช้ไอซีเบอร์เดียวกัน ก็จะได้สัญญาณนาฬิกาออกมาที่มีความถี่ 8.33 กิโลเฮิร์ตซ์ ตามที่ต้องการของระบบพีซีเอ็ม และในขณะที่เดียวกันระบบคิพีซีเอ็มในการนำสัญญาณนาฬิกาที่มีความถี่ 12 กิโลเฮิร์ตซ์ นำสัญญาณนาฬิกาที่มีความถี่ 125 กิโลเฮิร์ตซ์ จากนั้นนำความถี่ที่ได้ทำการหาร 10 โดยการใช้อิซีเบอร์ 74LS92 ซึ่งจะได้สัญญาณนาฬิกาออกมาที่มีความถี่ 12.5 กิโลเฮิร์ตซ์ นำสัญญาณที่ได้ไปเข้าวงจรโมโนสเตเบิล เพื่อสร้างพัลส์ที่ได้ให้แคบลง นำสัญญาณพัลส์ช่วงแคบที่ได้ป้อนเข้าที่ขา WR ของไอซี ADC0820 ตัวไอซีก็จะทำงานได้ตามอัตราการชักตัวอย่างที่เราต้องการ

เมื่อทำการป้อนสภาวะลอจิกให้กับขาต่าง ๆ ของไอซี ADC0820 ดังรูปที่ 3.5 แล้ว ผลต่างของสัญญาณที่ได้จากการเปรียบเทียบสัญญาณอินพุตกับสัญญาณค่าการณ โดยนำแรงดันที่ได้ไปเปรียบเทียบแล้วออกมาอยู่ในรูปเลขฐานสองขนาด 8 บิต ในระบบพีซีเอ็ม และ 6 บิต ในระบบคิพีซีเอ็ม โดยบิตที่มีนัยสำคัญสูงสุดอยู่ที่ขา 15 และบิตที่มีนัยสำคัญต่ำสุดอยู่ที่ขา 2 จากนั้นนำค่าที่ได้นี้ส่งไปยังส่วนของการสร้างสัญญาณค่าการณอินพุตและทำการเปรียบเทียบสัญญาณอินพุตกับสัญญาณค่าการณอินพุตค่าที่ได้ถูกป้อนให้กับขา V_{in} ของไอซี ADC0820 ส่งไปยังส่วนของการแปลงข้อมูลแบบขนานให้เป็นแบบอนุกรมต่อไป

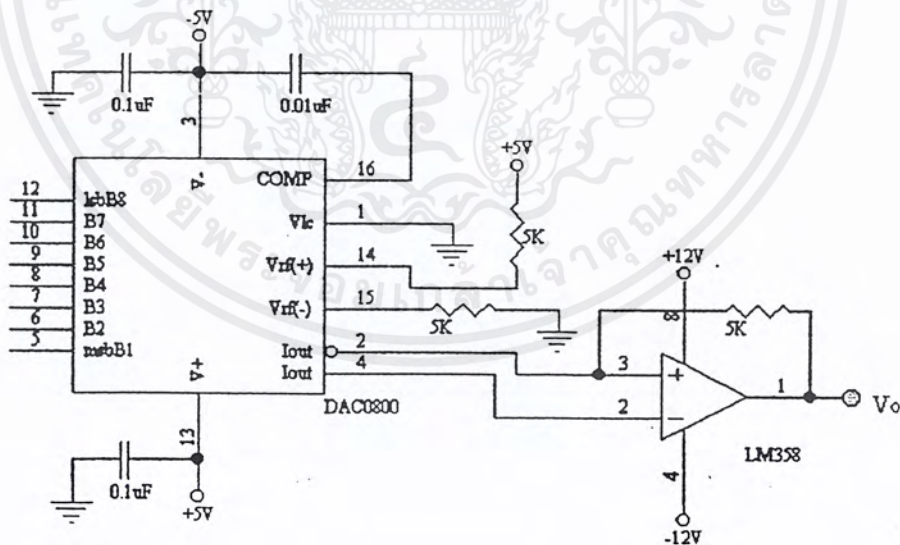


รูปที่ 3.5 แสดงวงจรแปลงสัญญาณอนาลอกเป็นดิจิตอล

3.1.5 วงจรแปลงสัญญาณดิจิทัลเป็นอนาล็อก (Digital to analog Converter)

ในการแปลงสัญญาณดิจิทัลให้กลับไปเป็นสัญญาณอนาล็อกนั้น ใช้ไอซีเบอร์ DAC0800 โดยได้แสดงวงจรตามรูปที่ 3.6 และการทำงานโดยรวมของไอซีเบอร์ DAC0800 และได้อธิบายการทำงานประกอบรูปที่ 3.6

DAC0800 เป็นไอซีที่ใช้ในการแปลงสัญญาณดิจิทัลเป็นสัญญาณอนาล็อกซึ่งใช้หลักการแบบวิธีตัวชี้แหล่งจ่ายกระแส คือ ในตัวไอซีจะประกอบไปด้วยแหล่งจ่ายกระแสที่หลาย ๆ ชุดประกอบกัน แหล่งจ่ายกระแสแต่ละตัวจะมีค่ากระแสมากกว่ากัน 2 เท่า ภายในวงจรตัวชี้แต่ละตัวควบคุมด้วยสัญญาณดิจิทัลแต่ละบิต ตัวชี้จะทำหน้าที่เลือกกระแสจากแหล่งจ่ายกระแสเพื่อให้ไหลออกมาหรือไม่ กระแสที่ไหลออกมาผ่านตัวชี้แต่ละตัวจะถูกรวมเข้าด้วยกัน ขาเบสของทรานซิสเตอร์ทุกตัวในวงจรถูกต่อเข้ากับระดับแรงดันไฟฟ้าอ้างอิง $V_{REF} - V_{REF}$ เมื่อ V_{BE} เป็นแรงดันไฟฟ้าที่ตกคร่อมระหว่างขาเบสกับขาอิมิตเตอร์ของทรานซิสเตอร์กระแสจะไหลออกจากขาอิมิตเตอร์ของทรานซิสเตอร์แบบ NPN ผ่านตัวต้านทานลงมายังล่าง กระแสไหลออกจากอิมิตเตอร์จะมีกระแสไหลเข้าไปทางขาคอลเลกเตอร์ที่อยู่ด้านบน กระแสที่ไหลเข้าไปมีค่าประมาณเท่ากับกระแสที่ไหลออกจากขาอิมิตเตอร์ ทรานซิสเตอร์จึงทำงานเหมือนแหล่งจ่ายกระแส สัญญาณดิจิทัลที่ต้องการแปลงเป็นสัญญาณอนาล็อกจะถูกใช้ในการควบคุมตัวชี้อิเล็กทรอนิกส์ ในวงจรให้ค่าขาคอลเลกเตอร์ของทรานซิสเตอร์แต่ละตัวกับสัญญาณ I_{in} ทางขวา ถ้าสัญญาณดิจิทัลที่เข้ามาเป็นลอจิก “0” จะทำให้ตัวชี้อยู่ในตำแหน่งเปิดวงจร และถ้าสัญญาณมีสถานะลอจิก “1” ก็จะทำให้ตัวชี้อยู่ในตำแหน่งปิดวงจร



รูปที่ 3.6 แสดงวงจรแปลงสัญญาณดิจิทัลเป็นอนาล็อก

การที่ภายในวงจรใช้ตัวชี้ที่ควบคุมด้วยข้อมูลดิจิทัลเป็นตัวกำหนดให้กระแสไหลหรือไม่ จึงเรียกวงจร DAC แบบนี้ว่าเป็นวิธีตัวชี้แหล่งจ่ายกระแส ในวงจรนี้เห็นว่ากระแสที่ขาอิมิตเตอร์แต่ละตัว

ไม่ได้ขึ้นกับค่าแรงดันไฟฟ้าของแต่ละบิต ดังนั้นที่สถานะลอจิก “1” หรือ “0” ของแต่ละบิต อาจมีระดับแรงดันไฟฟ้าแตกต่างกันได้ โดยขอเพียงสามารถบอกเป็นสถานะลอจิก “1” หรือ “0” เพื่อให้ตัวชิพในวงจรทำงาน

การใช้งาน DAC0800 เป็นไปตามรูปที่ 3.6 โดยใช้ข้อมูลเพียง 8 บิตเท่านั้น (D0–D7) ของระบบ PCM และ 6 บิต (D0–D5) เอาต์พุตของ DAC0800 (I_{out} และ $\overline{I_{out}}$) ถูกต่อกับออปแอมป์ LM358 เป็นการรวมสัญญาณ I_{out} กับ $\overline{I_{out}}$ โดย R1 และ R2 เป็นตัวแปลงกระแสให้เป็นแรงดัน ให้ขา 14 ($V_{ref}(+)$) ต่อกับความต้านทาน 5 กิโลโอห์ม และแรงดัน 5 V เพื่อกำหนดให้ I_{ref} เป็น 1 mA ส่วนขา 15 ($V_{ref}(-)$) ต่อกับความต้านทานปรับค่าได้ 5 กิโลโอห์ม เพื่อกระแสฟูลสเกล I_{out} และ $\overline{I_{out}}$

3.1.6 วงจรแปลงข้อมูลแบบขนานเป็นอนุกรมของระบบดิจิทัล

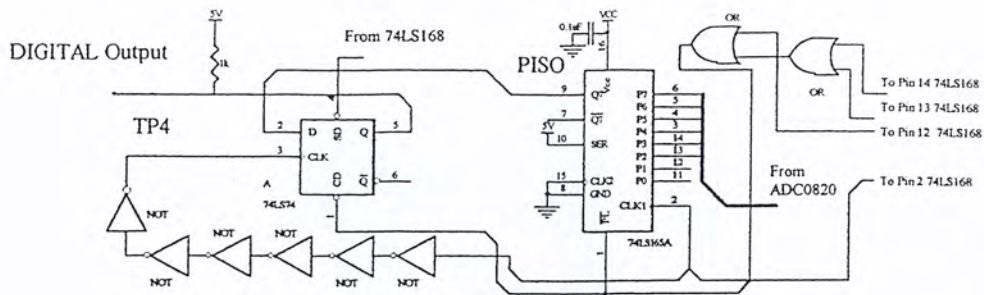
(Parallel Input – Serial Output Shift Register)

การออกแบบวงจรแปลงข้อมูลแบบขนานให้เป็นแบบอนุกรมนี้ ได้ใช้ไอซีเบอร์ 74LS165 (parallel – Load 8 bit Shift Register) ในการส่งข้อมูลออกไปจะส่งออกไปเป็นเฟรม โดยหนึ่งเฟรมจะมี 8 บิต ประกอบด้วยบิตเริ่มต้นและบิตจบอย่างละ 1 บิตและมีบิตข้อมูล 6 บิต

ในรูปที่ 3.7 เป็นวงจรใช้งานในปริิณญาณิพนธ์นี้ โดยไอซีเบอร์ 74LS165 เป็นตัวหลักในการเลื่อนข้อมูล และมีไอซีเบอร์ 74LS169 (Synchronous 4 bit Up/Down Counter) ควบคุมการเลื่อนและโหลดข้อมูล การทำงานเริ่มต้นที่ 74LS169 กำหนดให้เป็นนับขึ้นโดยขา U/D เป็นสถานะลอจิก “1” และให้ค่าอินพุตเริ่มต้นที่ “1000”

เมื่อเป็นสัญญาณนาฬิกา ไอซีเบอร์ 74LS169 จะเริ่มนับจาก “1000” ขณะเดียวกันเอาต์พุตของ OR GATE ที่ต่อกับขา CLR ของดี – ฟลิปฟลอปและขา SH/LD ของ 74LS165 มีสถานะเป็นลอจิก “0” เป็นการกำหนดให้ 74LS165 ทำการโหลดข้อมูลเข้ามา และเป็นการรีเซ็ต ดี – ฟลิปฟลอปให้เอาต์พุต Q มีสถานะลอจิก “0” ซึ่งจะให้เป็นบิตเริ่มต้น เมื่อสัญญาณนาฬิกาถูกต่อไปจะเป็นการเลื่อนข้อมูลออกไป โดยสัญญาณนาฬิกา 1 ลูกข้อมูลจะเลื่อนออกไปหนึ่งบิต และ 74LS169 ก็นับขึ้นไปเรื่อย ๆ ซึ่งไม่มีผลกระทบต่อ ดี – ฟลิปฟลอปและ 74LS165 จนกระทั่ง 74LS169 นับถึง “1111” ทำให้ขา RCO มีสถานะลอจิก “0” และทำให้ ดี – ฟลิปฟลอปรีเซ็ตให้เอาต์พุต Q มีสถานะลอจิก “1” ซึ่งเป็นบิตจบ และในขณะเดียวกัน 74LS169 จะโหลดค่าเริ่มต้นนับใหม่อีกครั้ง และจะกระทำกระบวนการเดิมไปเรื่อย ๆ

จะเห็นว่าเมื่อวงจรเริ่มทำงานข้อมูลบิตแรกที่ส่งออกไปก็คือ บิตเริ่มต้นตามด้วยบิตข้อมูลและจะสิ้นสุดด้วยบิตจบ ซึ่งแต่ละเฟรมจะมี 8 บิต แต่ละบิตจะใช้สัญญาณนาฬิกา 1 ลูก เพราะฉะนั้นในหนึ่งเฟรมจะใช้สัญญาณนาฬิกาทั้งหมด 8 ลูก เมื่อสัญญาณนาฬิกามีความถี่ 500 กิโลเฮิรตซ์ มีคาบเวลาเท่ากับ $2\ \mu\text{s}$ ฉะนั้นข้อมูลหนึ่งเฟรมจะใช้เวลา $16\ \mu\text{s}$



รูปที่ 3.7 แสดงวงจรแปลงข้อมูลแบบขนานเป็นแบบอนุกรม

3.2 หลักการออกแบบวงจรทางด้านภาครับ

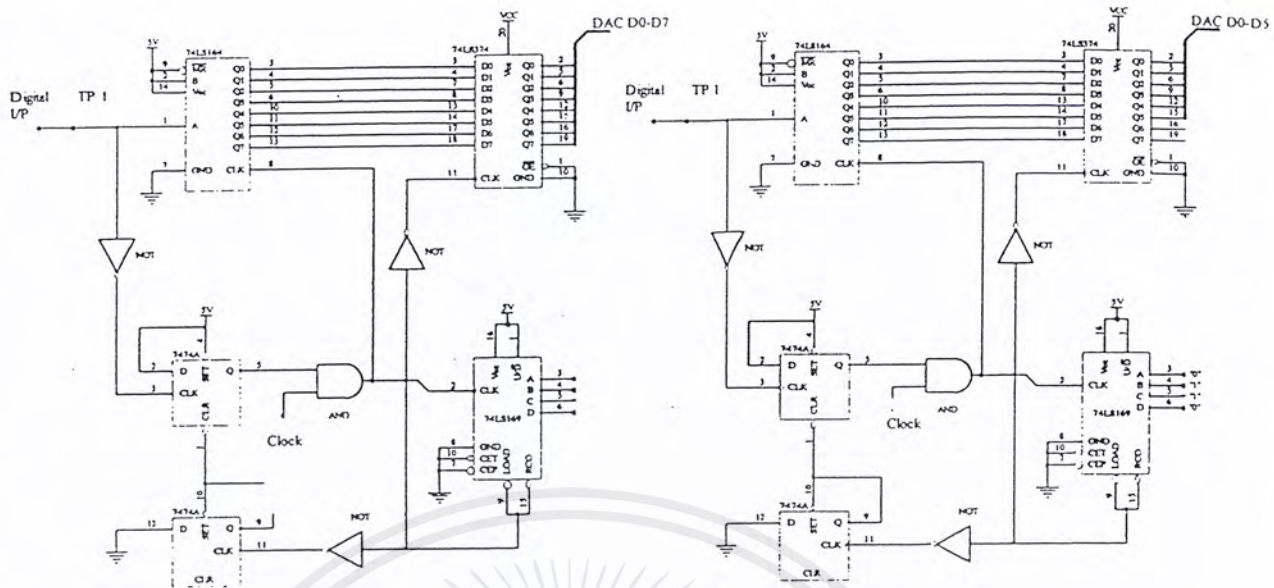
3.2.1 วงจรแปลงข้อมูลแบบอนุกรมเป็นแบบขนาน

(Serial Input – Parallel Output Shift Register)

วงจรแปลงข้อมูลแบบอนุกรมเป็นแบบขนานนี้ ได้ออกแบบโดยการใช้ไอซีเบอร์ 74LS164 (8-bit Parallel Output Serial Shift Register) มาทำการเลื่อนข้อมูลแล้วส่งค่าออกไป แต่ข้อมูลที่เข้ามาเป็นแบบอนุกรมนั้นจะต้องทำการกำจัดบิตเริ่มต้นและบิตจบทิ้งไป โดยใช้ข้อมูลเข้ามามีบิตจบที่สถานะลอจิก “1” แล้วตามด้วยบิตเริ่มต้นที่มีสถานะลอจิก “0” ซึ่งระหว่างตองบิตนี้มีช่วงที่เป็นขอบขาลงมาตรวจตอบว่าตรงไหนเป็นบิตเริ่ม และบิตจบ หรือบิตข้อมูล

ในการออกแบบได้นำข้อมูลอินพุตมาผ่าน NOT GATE เพื่อทำการแปลงให้สภาวะจากบิตจบไปบิตเริ่ม ที่เปรียบเสมือนขอบขาลงของสัญญาณนาฬิกา ให้เป็นขอบขาขึ้นแล้วนำไปที่ขา CLK ของ ดี-ฟลิปฟล็อป โดยที่ขาอินพุตของดี-ฟลิปฟล็อป (ขา D) ค่อกำกับ V_{CC} ซึ่งมีสภาวะลอจิกเป็น “1” ดังรูปที่ 3.9

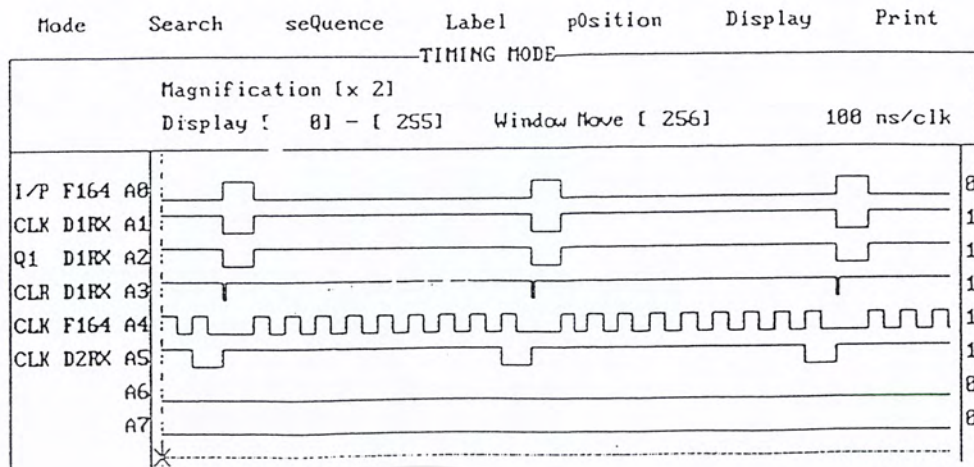
เมื่อข้อมูลที่เปรียบเทียบเหมือนขอมาขึ้นของสัญญาณนาฬิกาเข้ามาที่ขา CLK คี-ฟลิปฟลอปจะทำการเลื่อนข้อมูล "1" จากอินพุตขา D ออกมาที่ขา Q สถานะลอจิก "1" ที่ออกมาจาก ฟลิปฟลอปก็จะเข้าไปที่ AND GATE โดยอินพุต AND GATE อีกขาหนึ่งต่อเข้ากับ OSCILLATOR ทำให้สัญญาณนาฬิกาสามารถผ่านออกไปที่เอาต์พุตของ AND GATE ได้ และไปเลี้ยงไอซี 74LS164 และไอซี 74LS169 ส่งผลให้ไอซี 74LS164 เริ่มทำการเลื่อนบิตข้อมูลเข้ามาและไอซี 74LS169 เริ่มทำการนับโดยไอซี 74LS169 จะทำการนับค่าขึ้นจาก "1000" จนกระทั่งถึง "1111" แล้วนำสถานะ "1111" นี้มาใช้ในการโหลดค่าและนำไปรีเซ็ต คี-ฟลิปฟลอปให้หยุดสัญญาณนาฬิกาไม่ให้เข้ามาโดยนำขา RCO ไปเข้าที่ขา LOAD ของไอซี 74LS169 เพื่อให้ทำการโหลดค่าใหม่ และยังนำไปผ่าน NOT GATE เพื่อที่จะแปลงสถานะลอจิกให้เป็น "1" แล้วนำไปเข้าที่ขา CLK ของคี-ฟลิปฟลอปอีกตัวหนึ่ง โดยที่ขา D ของคี-ฟลิปฟลอป คอยลงกราวด์เพื่อให้มีสถานะลอจิก "0" และขา SET ของ คี-ฟลิปฟลอป ค่อยอยู่กับขา Q ซึ่งเป็นเอาต์พุตของคี-ฟลิปฟลอป ตัวที่ 2 ทำให้สถานะ "0" เพื่อไปเข้า AND GATE มีสถานะลอจิก "0" ทำให้ไอซี 74LS164 และไอซี 74LS169 หยุดทำงาน



รูปที่ 3.9 แสดงวงจรแปลงข้อมูลแบบอนุกรมเป็นแบบขนาน

ในขณะเดียวกันที่ขา Q ของดี-ฟลิปฟล็อป ตัวที่ 2 นั้นต่ออยู่กับขา SET ทำให้เกิดการเซ็ตค่าเอาต์พุตของ ดี-ฟลิปฟล็อปตัวที่ 2 มีค่าออกมาเป็นสถานะลอจิก “1” ทำให้ ดี-ฟลิปฟล็อปตัวแรกหยุดทำการเคลียร์ตัวเอง โดยเอาต์พุตครั้งต่อไปก็จะขึ้นอยู่กับข้อมูลที่เปรียบเสมือนสัญญาณนาฬิกาที่เข้ามาที่ CLK ของดี-ฟลิปฟล็อปตัวแรกหยุดทำการเคลียร์ตัวเอง โดยเอาต์พุตครั้งต่อไปก็จะขึ้นอยู่กับข้อมูลที่เปรียบเสมือนสัญญาณนาฬิกาที่เข้ามาที่ CLK ของดี-ฟลิปฟล็อป ตัวแรก แล้วก็ทำการวนต่อไปเรื่อย ๆ ตัวไอซี 74LS164 ถ้ามีการเปลี่ยนแปลงสถานะลอจิกที่เข้ามาก็จะทำการนำค่าใหม่มาค้างไว้ โดยขา CLK นั้นนำเอาต์พุตของดี-ฟลิปฟล็อปตัวแรกไปทำการผ่าน NOT GATE ก่อนแล้วจึงนำไปเข้าขา CLK ของไอซี 74374 ก็จะทำการค้างข้อมูลทั้งหมดไว้ และจะส่งค่าข้อมูลทั้งหมดนี้ให้กับวงจรแปลงสัญญาณดิจิทัลเป็นสัญญาณอนาล็อกต่อไป

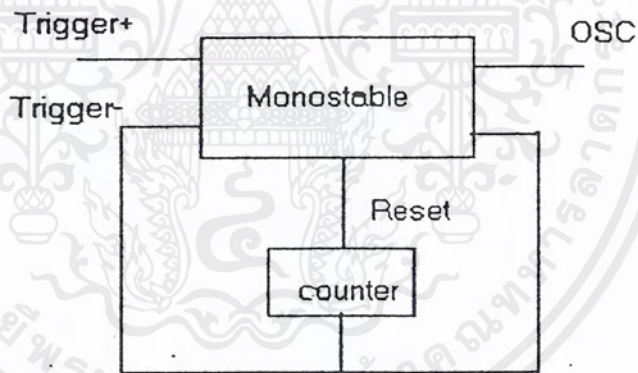
ในรูปที่ 3.10 จะแสดงถึงข้อมูลที่เข้ามาเป็น “000000” พร้อมบิตเริ่มและบิตจบ เส้นที่ 2 แสดงถึงการนำข้อมูลผ่านอินเวอร์เตอร์ แล้วนำช่วงขอบขาขึ้นไปใช้เป็นสัญญาณนาฬิกาของดี ฟลิปฟล็อป ตัวที่ 1 เส้นที่ 3 แสดงถึงเอาต์พุตที่ออกจากดี-ฟลิปฟล็อปตัวที่ 1 จะสังเกตได้ว่าช่วงที่มีสถานะลอจิกเป็น “1” สัญญาณนาฬิกาจะแสดงออกมาตามรูปกราฟเส้นที่ 5 สัญญาณนาฬิกานี้ก็จะนำไปใช้ให้กับไอซี 74LS165 และ 74LS169 ทำงานเมื่อ 74169 นับถึง “1111” ก็จะให้สัญญาณตามกราฟเส้นที่ 6 ซึ่งเป็นขา RCO ก็นำช่วงที่เป็นขอบขาขึ้นนี้ไปใช้เป็นสัญญาณนาฬิกาของดี-ฟลิปฟล็อป ตัวที่ 2 ส่วนกราฟเส้นที่ 4 แสดงถึงการรีเซ็ตค่ากลับคืนของดี-ฟลิปฟล็อป ตัวที่ 2 ส่วนกราฟเส้นที่ 4 แสดงถึงการรีเซ็ตค่ากลับคืนของดี-ฟลิปฟล็อป ตัวที่ 2 และจะสังเกตได้ว่าช่วงที่กราฟนี้มีสถานะลอจิก “0” ขา Q ของดี-ฟลิปฟล็อป ตัวที่ 1 ก็จะให้สถานะลอจิก “0” ออกมาทำให้สัญญาณนาฬิกาหยุดทำงานนั่นเอง



รูปที่ 3.10 แสดงรูปสัญญาณที่ใช้ควบคุมไอซี 74LS164 เมื่อป้อนอินพุตเป็น “000000”

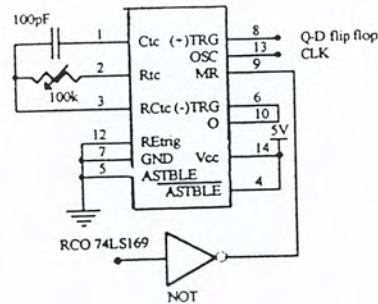
3.2.2 วงจรสร้างสัญญาณนาฬิกาถ่วงคืน

ในการสร้างสัญญาณนาฬิกาถ่วงคืนมานั้น สามารถจะทำได้โดยใช้ไอซีเบอร์ CD4047 (Monostable/Astable Multivibrator) มีหลักการทำงานที่ 3.11



รูปที่ 3.11 แสดงหลักการทำงานของสัญญาณนาฬิกาถ่วงคืน

จะนำขอบขาขึ้นที่มีการเปลี่ยนจากบิตจบไปเป็นบิตเริ่ม มาใช้งานโดยนำสถานะที่ได้มาจากขา Q ของดี – ฟลิปฟลอปตัวแรกมาใช้ ซึ่งจะมีลักษณะของสัญญาณดังรูปที่ 3.13 (กราฟเส้นที่ 3) โดยการนำสัญญาณที่ได้ไปผ่านเข้าวงจรโมโนสเตเบิลที่ขา TRIGGER + จากนั้นวงจรโมโนสเตเบิลจะให้พัลส์ออกมา 1 ลูก นำพัลส์ที่ได้นี้ย้อนกลับไปเข้าวงจรโมโนสเตเบิลทำการทริก ก็จะทำให้พัลส์ออกมาอีก 1 ลูก ดังนั้นวงจรโมโนสเตเบิล ก็จะทำการทริกเรื่อยๆ หรือสร้างพัลส์ออกมาตลอดเวลา



รูปที่ 3.12 แสดงวงจรสร้างสัญญาณนาฬิกาถ่วงคืน

พัลส์ที่ออกมาจากขา Q ทาง Monostable นั้นจะออกมาตลอด จึงต้องทำการรีเซ็ต Monostable เมื่อข้อมูลออกมาครบ 8 บิต ของระบบ PCM และ 6 บิต ของระบบ DPCM เพื่อให้สัญญาณพัลส์ที่ออกมาจากขา Q ทำการหยุดแล้วเริ่มสร้างพัลส์ใหม่ทุก ๆ สถานะการเปลี่ยนแปลงจากบิตจบไปเป็นบิตเริ่ม สัญญาณนาฬิกาที่ออกมาจากขา OSC ก็จะเริ่มใหม่เมื่อข้อมูลผ่านไประบบ 8 บิต และ 8 บิต แล้วตามเหตุที่ทำการรีเซ็ตนี้ เพื่อลดการผิดพลาดของสัญญาณนาฬิกาที่มีการเลื่อนเฟสกับสัญญาณนาฬิกาของภาคส่งมากกว่า 180 องศา เพราะถ้าสัญญาณนาฬิกามีการเลื่อนเฟสกันเกิน 180 องศาแล้ว ข้อมูลที่ออกมาจะเกิดการผิดพลาดขึ้น

3.2.3 วงจรถอดรหัส (Decode)

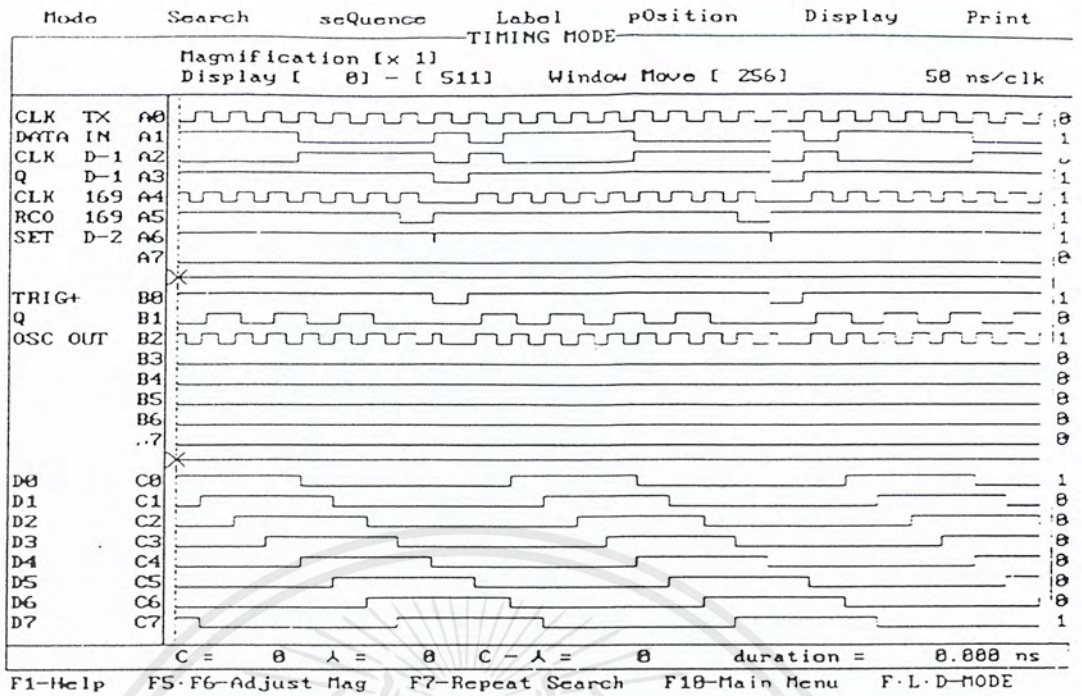
สำหรับวงจรถอดรหัสทางด้านภาครับ จะใช้วงจรแปลงสัญญาณดิจิทัลเป็นอนาลอกและวงจรชักตัวอย่างและคงค่าสัญญาณเช่นเดียวกับภาคส่ง ซึ่งวงจรแสดงดังรูปที่ 3.2

3.2.4 วงจรแปลงสัญญาณดิจิทัลเป็นสัญญาณอนาลอก

(Digital to Analog Converter)

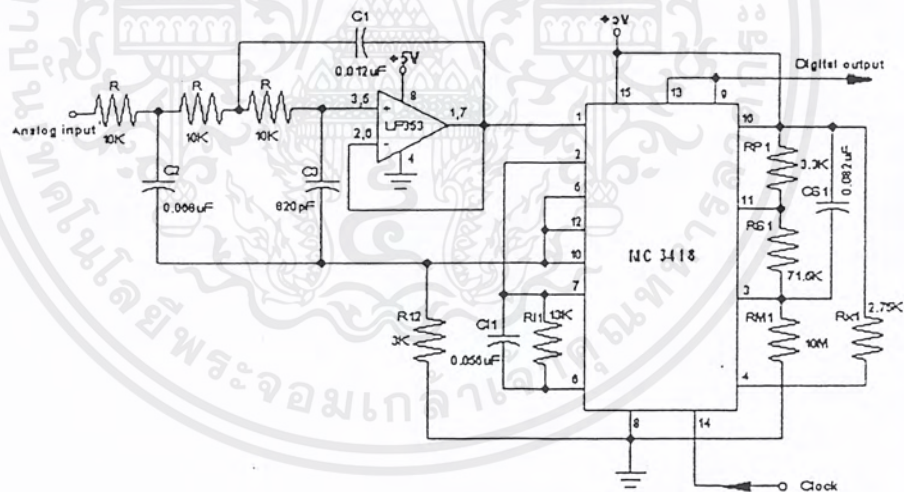
ในการใช้งานวงจรนี้ก็เหมือนกับวงจรในภาคส่ง ซึ่งรายละเอียดของวงจรสามารถดูได้ที่วงจรแปลงสัญญาณดิจิทัลเป็นอนาลอกในรูปที่ 3.6 ซึ่งเหมือนกับภาคส่ง

การทำงานของวงจรได้รับสัญญาณดิจิทัลมาจากวงจรแปลงข้อมูลแบบขนานเป็นแบบอนุกรม ก็จะทำการแปลงสัญญาณดิจิทัลให้เป็นสัญญาณอนาลอก เพื่อนำสัญญาณอนาลอกที่ได้ไปทำการรวมสัญญาณอีกครั้งกับสัญญาณอ้างอิงที่ได้จากการชักตัวอย่างและคงค่าสัญญาณ และนำสัญญาณที่ได้มาผ่านวงจรกรองแบบต่ำผ่าน เพื่อให้สัญญาณที่ภาครับเหมือนกับสัญญาณที่ภาคส่ง



รูปที่ 3.13 แสดงกราฟแสดงสภาวะของขาต่างๆ ของวงจรกู้สัญญาณนาฬิกา

3.3 วงจรดีเอ็ม (Delta Modulation : DM)



รูปที่ 3.14 วงจรดีเอ็ม

จากรูปที่ 3.14 เป็นวงจรเลคตามอดูเลชั่นซึ่งทำหน้าที่ในการแปลงสัญญาณอนาลอกเป็นดิจิทัล ก่อนที่สัญญาณอนาลอกจะถูกมอดูเลตจะต้องผ่านวงจรกรองความถี่ต่ำผ่าน เพื่อกรองความถี่ให้อยู่ในย่านสัญญาณเสียงที่เราต้องการคือ 3.4 กิโลเฮิรตซ์ เมื่อได้สัญญาณเสียงอยู่ในย่านที่ต้องการสัญญาณนี้จะป้อนเป็นอินพุตให้กับวงจรเลคตามอดูเลชั่นซึ่งใช้ไอซีเบอร์ MC 3418 การทำงานของเลคตามอดูเลตจะใช้ R และ C กำหนดคุณสมบัติของวงจร จากข้อกำหนดการใช้งาน (Data Sheet) กำหนดค่าให้ R บาง

ค่าให้ R_i มีค่าอยู่ในช่วง $8\text{ k}\Omega - 13\text{ k}\Omega$ ค่า $R_s \bullet C_s$ กำหนดมีค่า $6\text{ mS} - 50\text{ mS}$ เมื่อใช้กับสัญญาณเสียง ค่า R_x สำหรับปรับลูเกน (Loop Gain) ควรค่าไม่เกิน $5\text{ k}\Omega$ R_p ควรจะน้อยกว่า R_s มาก ๆ

จากวงจรกำหนด $R_i = 13\text{ k}\Omega$, $C_i = 0.056\text{ }\mu\text{F}$ เป็นอาร์ซีอินทิเกรเตอร์ (RC Integrator) ภายนอกของไอซีเบอร์ MC 3418 R_p เป็นพูลอัพรีซิสเตอร์ (Pull up resistor) ให้กับทรานซิสเตอร์ภายในตัวไอซี $R_s = 71.5\text{ k}\Omega$, $R_m = 10\text{ M}\Omega$ กำหนดค่ามินิมัมสเต็ปไซส์ (Minimum Step Size) ให้มีค่าเท่ากับ 7 mV

ในการกำหนดมินิมัมสเต็ปไซส์ เมื่อไม่มีสัญญาณอินพุตสัญญาณที่เอาต์พุตจะเป็นลอจิก “1” และ “0” สลับกันไป และสัญญาณอนาล็อกเอาต์พุตจะเป็นรูปสามเหลี่ยมเล็ก ๆ การเลือกขนาดของสเต็ปไซส์ ต้องเลือกขนาด R_m ขณะที่สัญญาณอินพุต ชุดควบคุมสโลปอัลกอริทึม (Slope algorithm) จะไม่ทำงานสัญญาณเอาต์พุตจะเกิด “1” และ “0” สลับกันดังนั้นแรงดันที่ตกคร่อมตัวเก็บประจุ C_s จะลดลงเป็นศูนย์ อย่างไรก็ตามแรงดันที่ถูกแบ่งระหว่าง R_s และ R_m จะกำหนดค่าแรงดันต่ำสุดที่ตกคร่อมตัวเก็บประจุ C_s ซึ่งแรงดันต้องกำหนดความลาดตามต้องการที่อนาล็อกเอาต์พุตจากสมการกระแสฟิเลเตอร์อินพุต

$$I_i = \frac{V_o}{R_i} + C \frac{dV_o}{dt}$$

ค่าของ V_o มีค่าใกล้กับ $V_{cc}/2$, V_o/R มีค่าน้อยมากสามารถตัดทิ้งได้ทั้งนั้น

$$I_i = C_s \frac{\Delta V_o}{\Delta T}$$

เมื่อ ΔT คือ เวลาของสัญญาณนาฬิกา

ΔV_o คือ ค่าแรงดันพีคทูพีคของเอาต์พุตที่ต้องการ

จากรูปที่ 3.14 กำหนดค่ามินิมัมสเต็ปไซส์ เท่ากับ 7 mV และควบคุมเวลาที่สัญญาณนาฬิกา เท่ากับ $32\text{ }\mu\text{s}$

$$I_i = \frac{0.056\text{ }\mu\text{F} \times 7\text{ mV}}{32\text{ }\mu\text{ sec}} = 12.25\text{ }\mu\text{A}$$

แรงดันบนตัว C_s ซึ่งกำหนดกระแส $12.25\text{ }\mu\text{A}$ จะป้อนตัวกำหนดค่าของ R_x

$$I_i R_x = V_{s_{\text{min}}}$$

$$V_{s_{\min}} = V_{cc} \times \frac{R_s}{R_s + R_{\min}}$$

จากรูปที่ 3.14 กำหนด $R_s = 71.5 \text{ k}\Omega$, $R_m = 10 \text{ M}\Omega$, $V_{cc} = 5 \text{ V}$

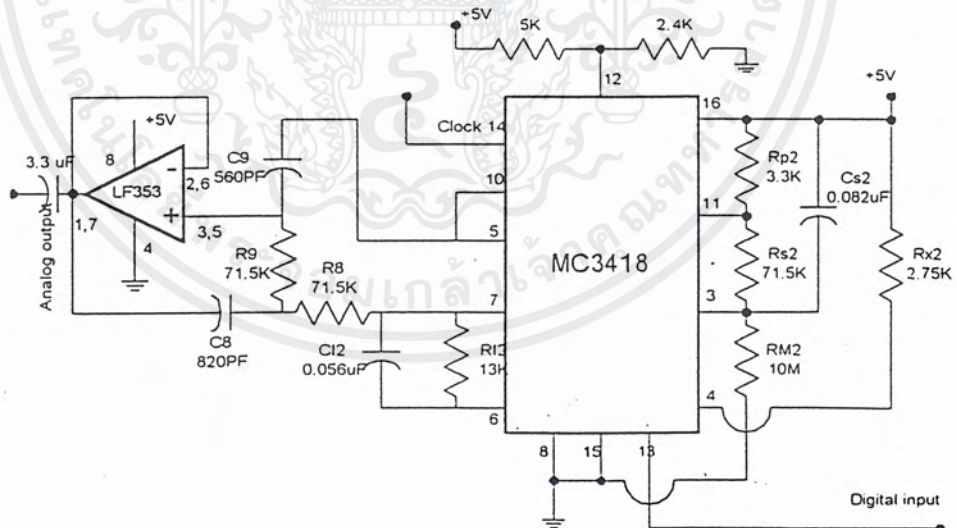
$$V_{s_{\min}} = 5\text{V} \times \frac{71.5\text{K}\Omega}{71.5\text{K}\Omega + 10\text{M}\Omega} = 35.5 \text{ mV}$$

ดังนั้น

$$R_x = \frac{V_{s_{\min}}}{I_i} = \frac{35.5\text{mV}}{12.25\mu\text{A}} = 2.897 \text{ k}\Omega$$

เลือกใช้ $R_x = 2.75 \text{ k}\Omega$

ที่ขา 12 ของ MC 3418 เป็นตัวกำหนดระดับเทรชโฮลด์ (Threshold) ให้กับขา 14 ซึ่งเป็นคล็อกอินพุต และขา 15 เป็นเอนโค้ดหรือดีโค้ด (Encode / Decode) ขา 12 ดิจิตอลเทรชโฮลด์ (Digital Threshold) ถูกต่อไว้กับขา 10 คือ $V_{cc}/2$ reference และขณะทำการเข้ารหัสสัญญาณอนาลอกเป็นดิจิตอลที่ขา 15 ต้องมีระดับแรงดันสูงกว่า 2.5 โวลต์ ขา 14 เป็นคล็อกอินพุตมีระดับสัญญาณลอจิก “1” คือ 5 โวลต์ และ ขา 15 (Encode) ต่อกับ V_{cc} มีค่า 5 โวลต์ ซึ่งทำให้ MC 3418 ต้องมีระดับอ้างอิงเดียวกันกับสัญญาณอนาลอกอินพุตที่ขา 1 จึงต้องต่อไว้กับขา 10 คือ $V_{cc}/2$ ซึ่งเป็นระดับอ้างอิงเดียวกัน



รูปที่ 3.15 วงจรเคลต้าดีมอดูเลชัน

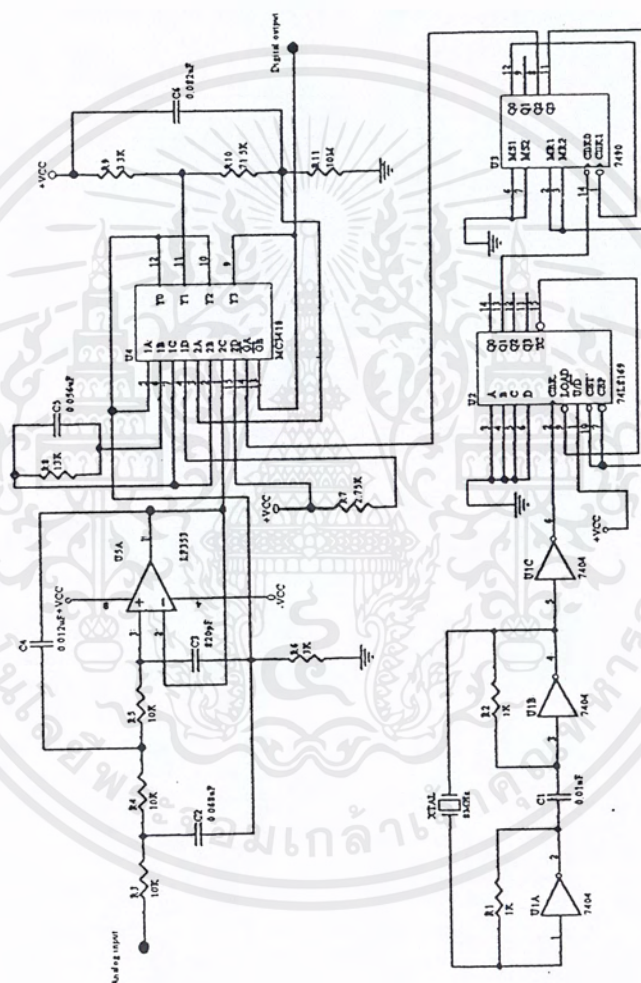
3.4 วงจรเคลต้าดีมอดูเลชัน (Delta Modulation)

วงจรเคลต้าดีมอดูเลชันนี้ จะทำหน้าที่แปลงสัญญาณข้อมูลที่เป็นดิจิตอลให้เป็นสัญญาณข้อมูลอนาลอกเหมือนกับสัญญาณที่ส่งมาจากภาคส่ง การทำงานของวงจรในส่วนนี้แสดงดังรูปที่ 3.15 เริ่มจากการกำหนดคุณสมบัติของวงจรให้เหมือนกันกับที่ภาคส่ง โดยใช้ชิปเบอร์ MC 3418

จากรูปสัญญาณดิจิทัลจะถูกป้อนเป็นอินพุตให้ขา 13 ของ MC 3418 สัญญาณนาฬิกาป้อนให้ขา 14 และขา 12 ของ MC 3418 จะเป็นตัวกำหนดดิจิทัลเทรชโฮลด์ (Digital Threshold) ให้กับขา 13 , 14 และ 15 ที่ขา 12 จะต่อตัวต้านทาน 2 ตัวแบบแบ่งแรงดันให้มีระดับแรงดัน 1.6 โวลท์ ซึ่งเท่ากับครึ่งหนึ่งของสัญญาณดิจิทัลที่รับเข้ามาที่ขา 13 (Digital input) วงจรเคลต้าดีมอดูเลชันจะตัดสินใจว่าระดับสัญญาณดิจิทัลเข้ามายังขา 13 และสัญญาณนาฬิกาเข้ามายังขา 14 ก็จะเกิดขบวนการดีมอดูเลชัน

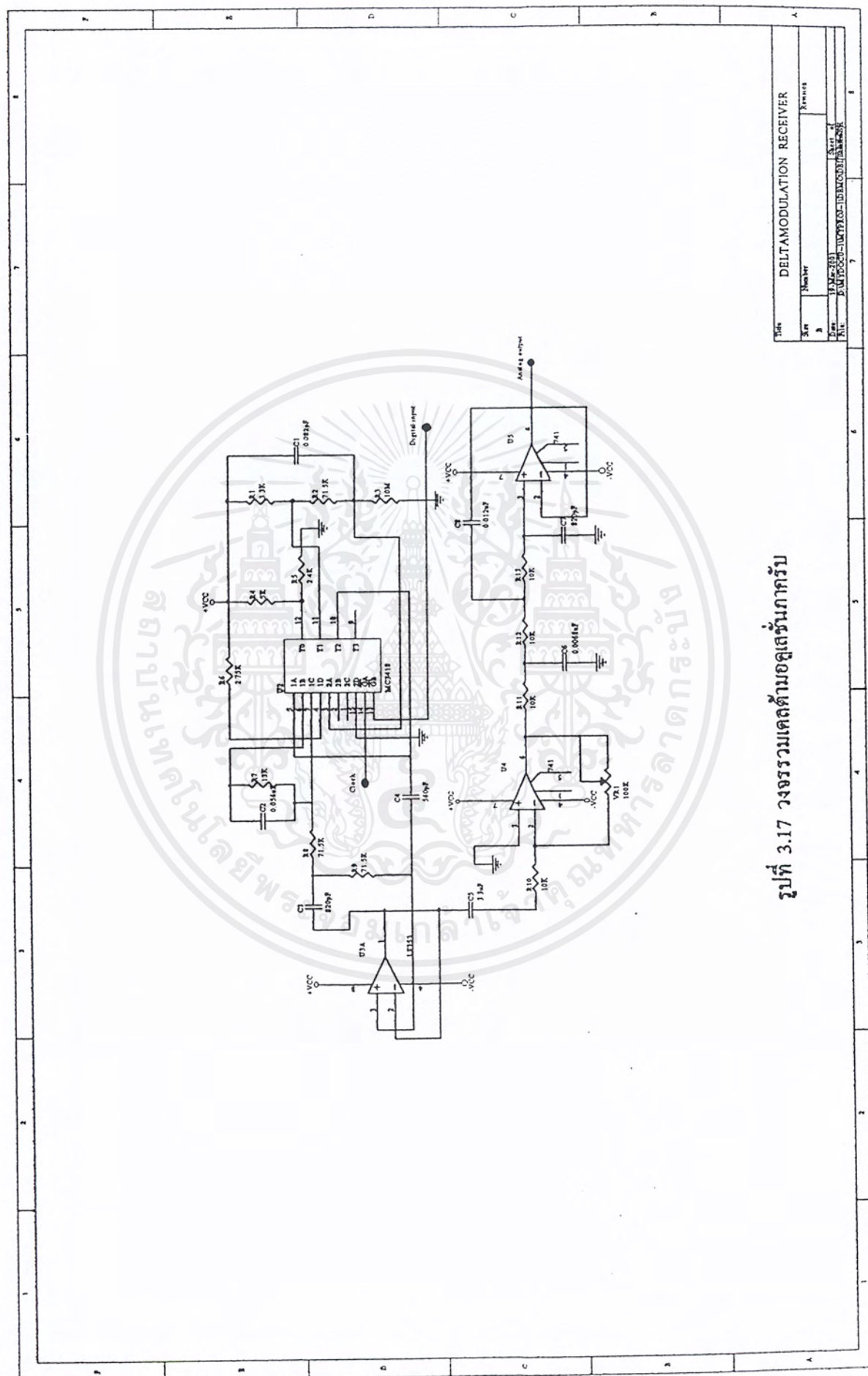
สัญญาณเอาต์พุตจากขา 7 ของ MC 3418 จะเป็นสัญญาณอนาล็อกแล้วแต่ยังมีรูปร่างของสัญญาณไม่ราบเรียบคั่นก จึงต้องต่อวงจรกรองความถี่ต่ำผ่านเพื่อกรองเอาเฉพาะสัญญาณเสียงในย่านความถี่ตั้งแต่ 300 - 3400 เฮิรตซ์ ไปใช้งานต่อไป





รูปที่ 3.16 วงจรรวมเกตต์ด้ามอุณหภูมิกว้าง

Title		DELTA MODULATION TRANSMITTER	
Serial	Number	Revision	
1			
Date	15 Nov 1961		
By	G M WOOD - INVENTOR - REGISTERED		
For	S E T		



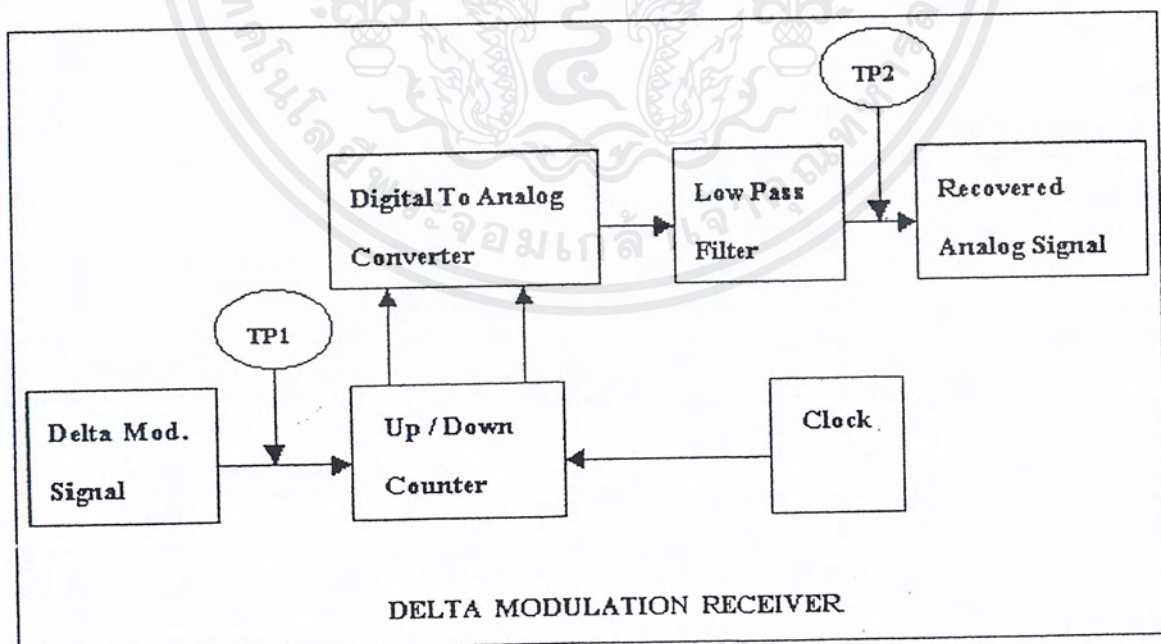
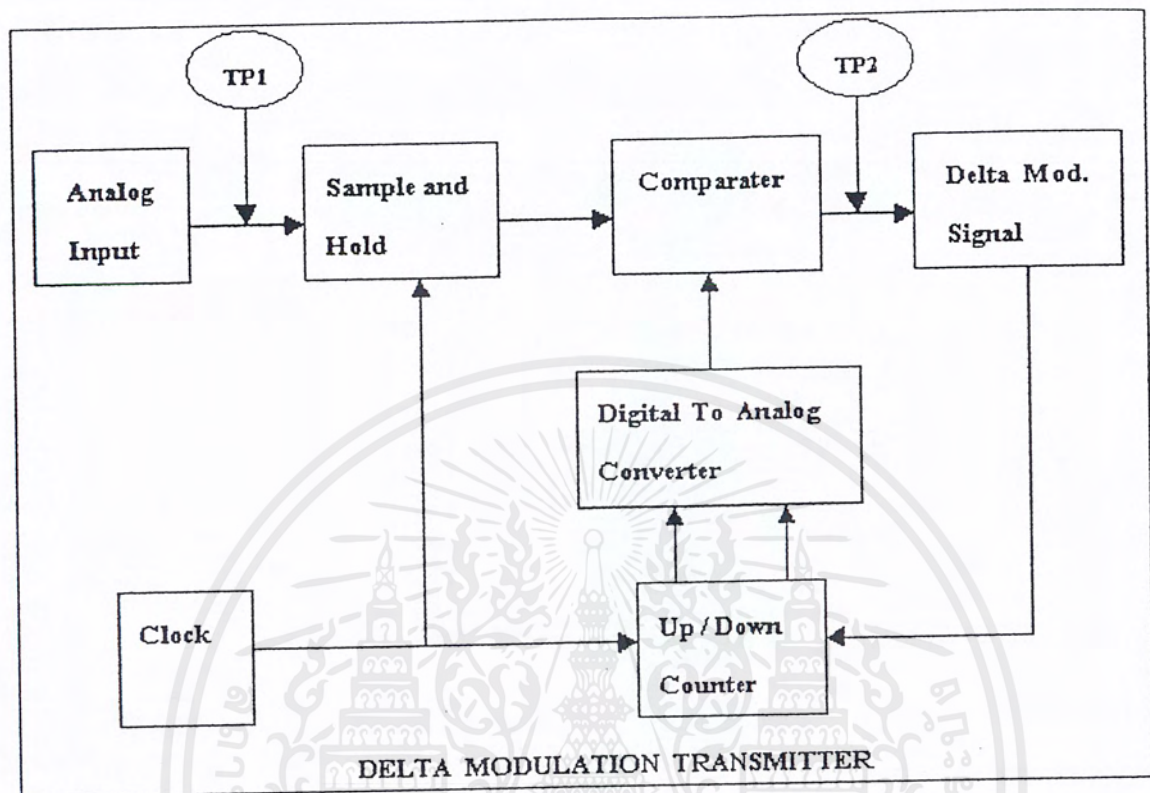
รูปที่ 3.17 วงจรรวมเคลตตามอดูเลชั่นกรับ

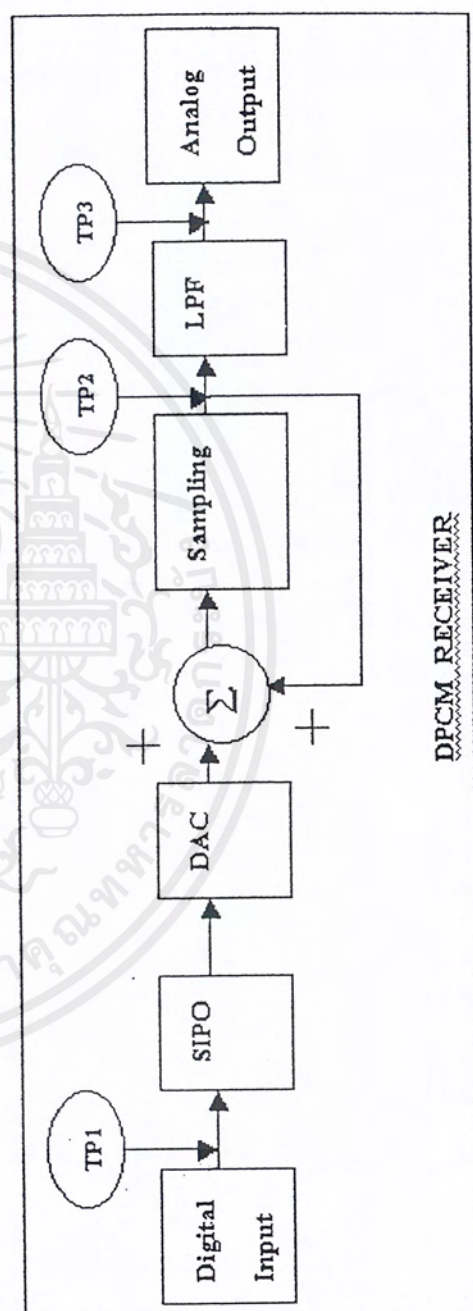
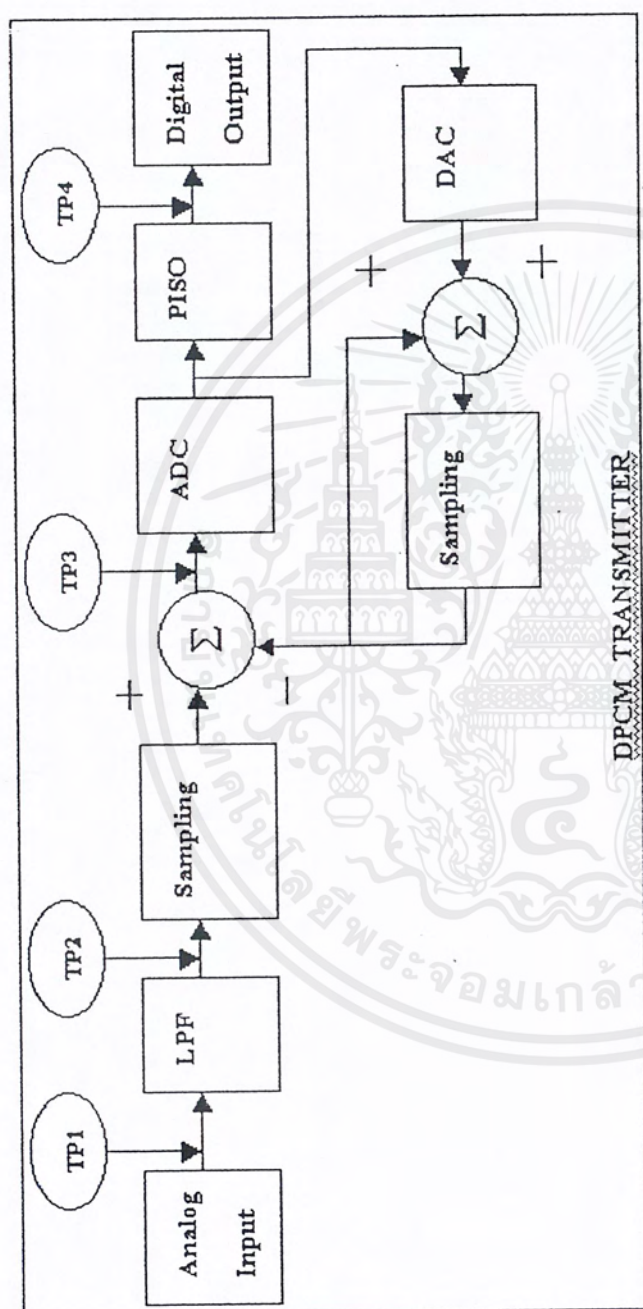
Title DELTAMODULATION RECEIVER

Date / Month / Year

Page 1 of 1

File D:\PROJECTS\DELTA\DELTA.DOC





บทที่ 4

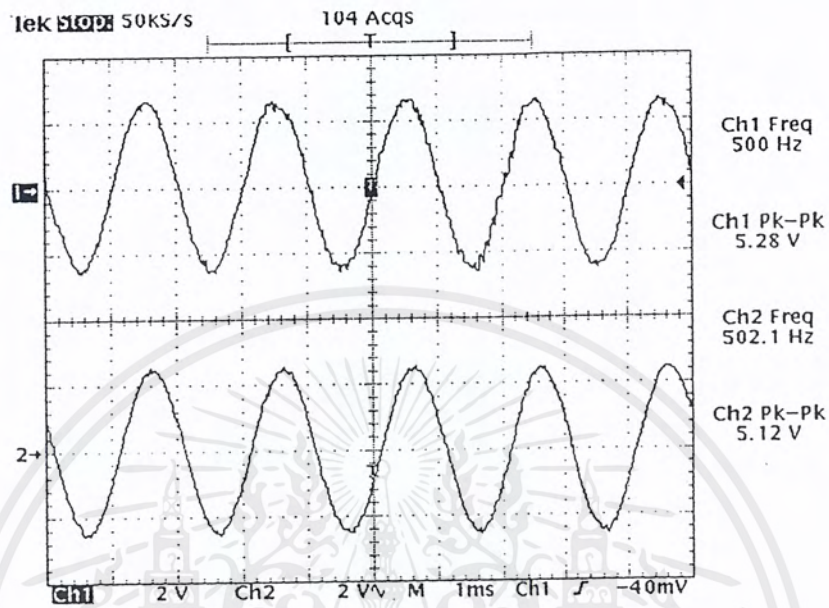
การทดลองและผลการทดลอง

4.1 การทดลองวงจรดีฟิซีเอ็มภาคส่ง

- 4.1.1 จ่ายไฟ $\pm 5 V_{DC}$ ให้แก่วงจร
- 4.1.2 ป้อนสัญญาณอนาล็อกไซน์เวฟ ความถี่ 500 เฮิรตซ์ เข้าอินพุทของวงจร
- 4.1.3 วัดสัญญาณที่จุด TP 1 เทียบกับที่จุด TP 2
- 4.1.4 เปลี่ยนความถี่อินพุทเป็น 2.5 กิโลเฮิรตซ์ , 3.4 กิโลเฮิรตซ์ , และ 4 กิโลเฮิรตซ์
- 4.1.5 ทำการทดลองตามหัวข้อ 4.1.3
- 4.1.6 ป้อนสัญญาณอนาล็อกไซน์เวฟ ความถี่ 500 เฮิรตซ์ เข้าอินพุทของวงจร
- 4.1.7 เลือกความถี่แอมพลิจูดที่ 8 กิโลเฮิรตซ์
- 4.1.8 วัดสัญญาณที่จุด TP3 เทียบกับที่จุด TP1
- 4.1.9 เปลี่ยนความถี่อินพุทเป็น 2.5 กิโลเฮิรตซ์, 3.4 กิโลเฮิรตซ์, และ 4 กิโลเฮิรตซ์
- 4.1.10 เลือกความถี่แอมพลิจูดที่ 12 กิโลเฮิรตซ์
- 4.1.11 วัดสัญญาณที่จุด TP3 เทียบกับที่จุด TP1
- 4.1.12 เลือกความถี่แอมพลิจูดที่ 16 กิโลเฮิรตซ์
- 4.1.13 ทำการทดลองตามหัวข้อ 4.1.9 และ 4.1.11
- 4.1.14 วัดสัญญาณที่จุด TP 4 เทียบกับสัญญาณนาฬิกาความถี่ 500 กิโลเฮิรตซ์ เมื่อป้อนสัญญาณอินพุทเป็นความถี่ 500 เฮิรตซ์ และความถี่แอมพลิจูดเป็น 16 กิโลเฮิรตซ์
- 4.1.15 เปลี่ยนความถี่อินพุทเป็น 1 กิโลเฮิรตซ์, 2.5 กิโลเฮิรตซ์ , 3.4 กิโลเฮิรตซ์ และ 4 กิโลเฮิรตซ์
- 4.1.16 ทำการทดลองตามหัวข้อ 4.1.14
- 4.1.17 ป้อนสัญญาณอนาล็อกไซน์เวฟ ความถี่ 500 เฮิรตซ์ เข้าอินพุทของวงจร
- 4.1.18 วัดสัญญาณที่จุด TP4 เทียบกับที่จุด TP1 ความถี่แอมพลิจูดเป็น 16 กิโลเฮิรตซ์
- 4.1.19 เปลี่ยนความถี่อินพุทเป็น 1 กิโลเฮิรตซ์ , 2.5 กิโลเฮิรตซ์ , 3.4 กิโลเฮิรตซ์ และ 4 กิโลเฮิรตซ์
- 4.1.20 ทำการทดลองตามหัวข้อ 4.1.18

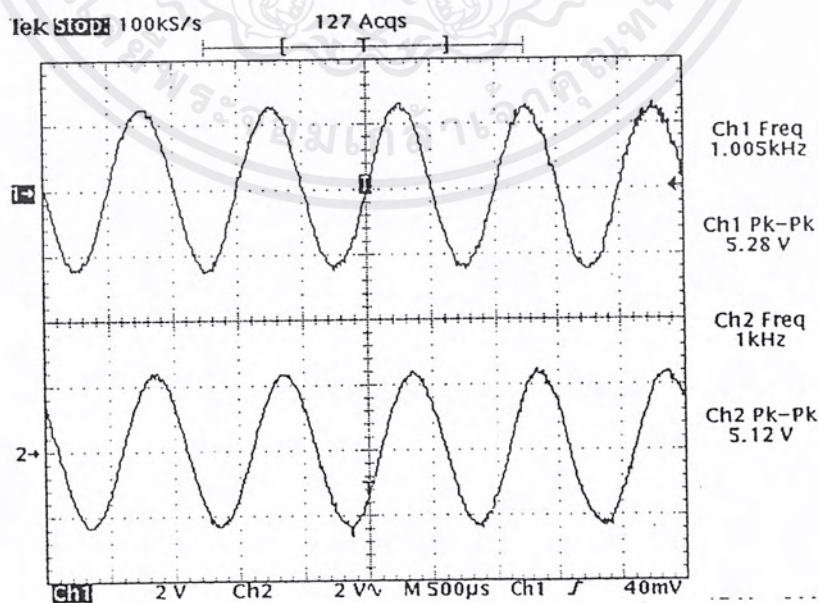
4.2 ผลการทดลองวงจรดีฟิซีเอ็มภาคส่ง

- 4.2.1 สัญญาณที่จุด TP 1 เทียบกับที่จุด TP 2 เมื่อป้อนสัญญาณอนาล็อกไซน์แอมพลิจูด 500 เฮิร์ตซ์ เข้าอินพุตของวงจร



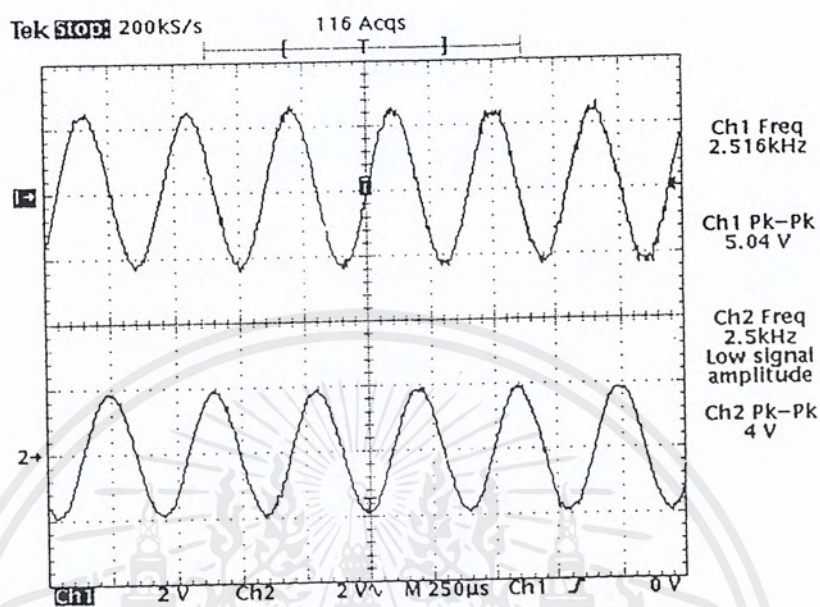
รูปที่ 4.1 วัดสัญญาณที่จุด TP 1 เทียบกับจุด TP 2 ความถี่อินพุต 500 เฮิร์ตซ์

- 4.2.2 สัญญาณที่จุด TP 1 เทียบกับที่จุด TP 2 เมื่อป้อนสัญญาณอนาล็อกไซน์แอมพลิจูด 1 กิโลเฮิร์ตซ์ เข้าอินพุตของวงจร



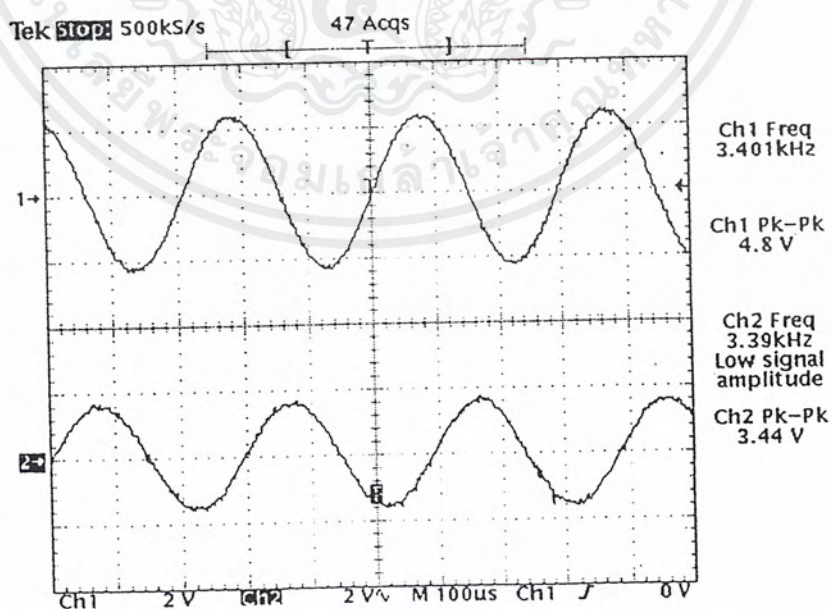
รูปที่ 4.2 วัดสัญญาณที่จุด TP 1 เทียบกับจุด TP 2 ความถี่อินพุต 1 กิโลเฮิร์ตซ์

- 4.2.3 สัญญาณที่จุด TP 1 เทียบกับที่จุด TP 2 เมื่อป้อนสัญญาณอนาล็อกไซน์แอมพลิจูด 2.5 กิโลเฮิร์ตซ์ เข้าอินพุตของวงจร



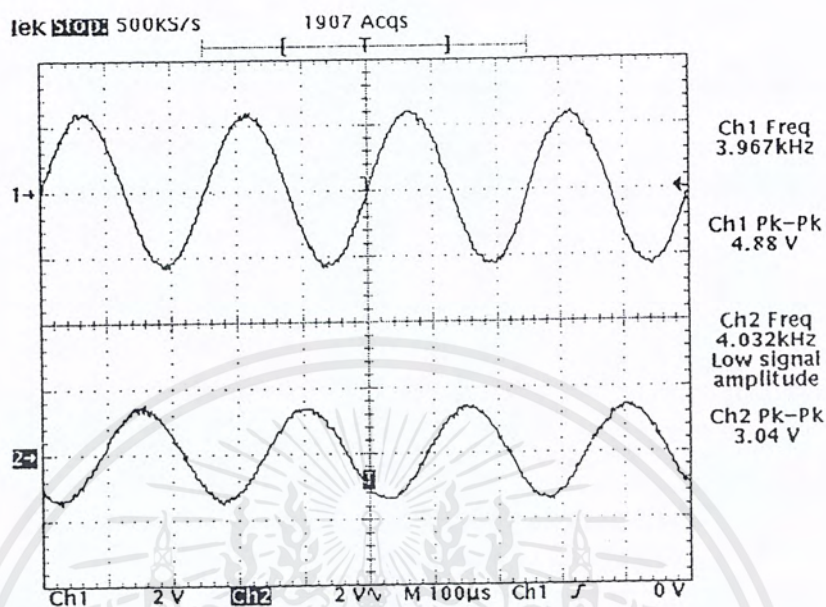
รูปที่ 4.3 วัดสัญญาณที่จุด TP 1 เทียบกับจุด TP 2 ความถี่อินพุต 2.5 กิโลเฮิร์ตซ์

- 4.2.4 สัญญาณที่จุด TP 1 เทียบกับที่จุด TP 2 เมื่อป้อนสัญญาณอนาล็อกไซน์แอมพลิจูด 3.4 กิโลเฮิร์ตซ์ เข้าอินพุตของวงจร



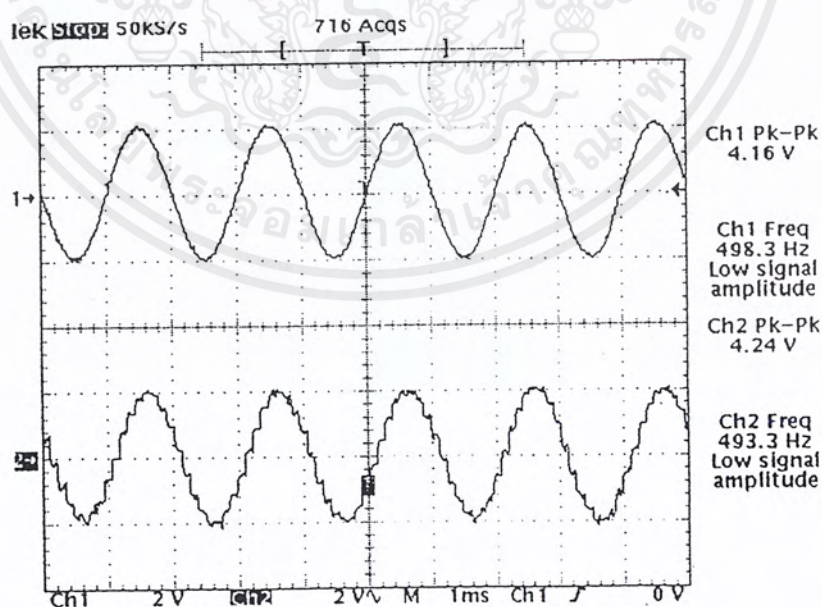
รูปที่ 4.4 วัดสัญญาณที่จุด TP 1 เทียบกับจุด TP 2 ความถี่อินพุต 3.4 กิโลเฮิร์ตซ์

- 4.2.5 สัญญาณที่จุด TP 1 เทียบกับที่จุด TP 2 เมื่อป้อนสัญญาณอนาล็อกไซน์แอมพลิจูด 4 กิโลเฮิร์ตซ์ เข้าอินพุตของวงจร



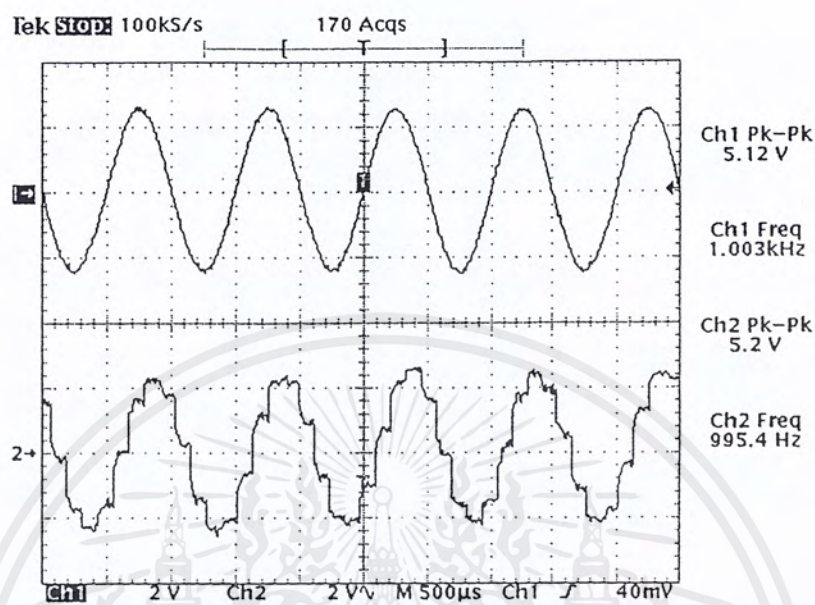
รูปที่ 4.5 วัดสัญญาณที่จุด TP 1 เทียบกับจุด TP 2 ความถี่อินพุต 4 กิโลเฮิร์ตซ์

- 4.2.6 สัญญาณที่จุด TP 1 เทียบกับที่จุด TP 3 เมื่อป้อนสัญญาณอนาล็อกไซน์แอมพลิจูด 500 กิโลเฮิร์ตซ์ เข้าอินพุตของวงจร ความถี่แอมพลิจูดที่ 8 กิโลเฮิร์ตซ์



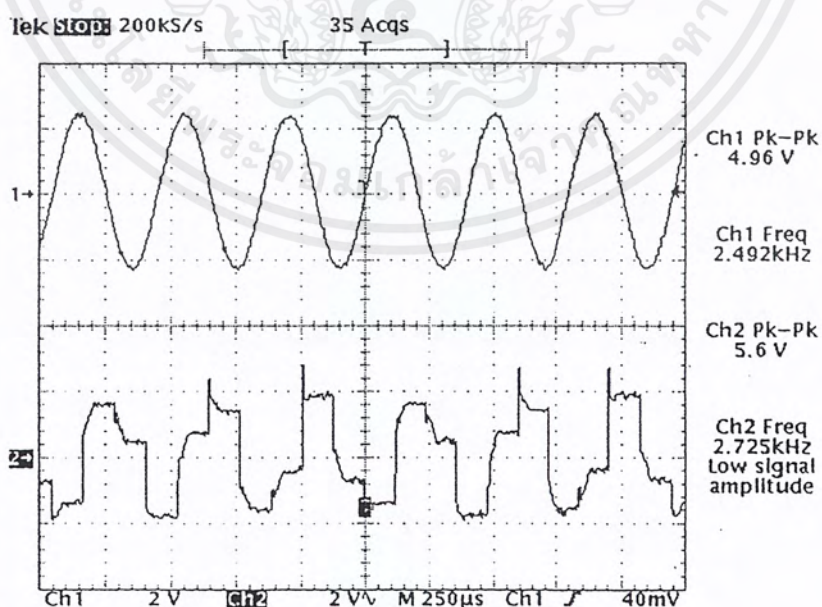
รูปที่ 4.6 วัดสัญญาณที่จุด TP 1 เทียบกับจุด TP 3 ความถี่อินพุต 500 เฮิร์ตซ์

4.2.7 สัญญาณที่จุด TP 1 เทียบกับที่จุด TP 3 เมื่อป้อนสัญญาณอนาล็อกไซน์เวฟ
ความถี่ 1 กิโลเฮิร์ตซ์เข้าอินพุตของวงจร ความถี่แอมพลิจูดที่ 8 กิโลเฮิร์ตซ์



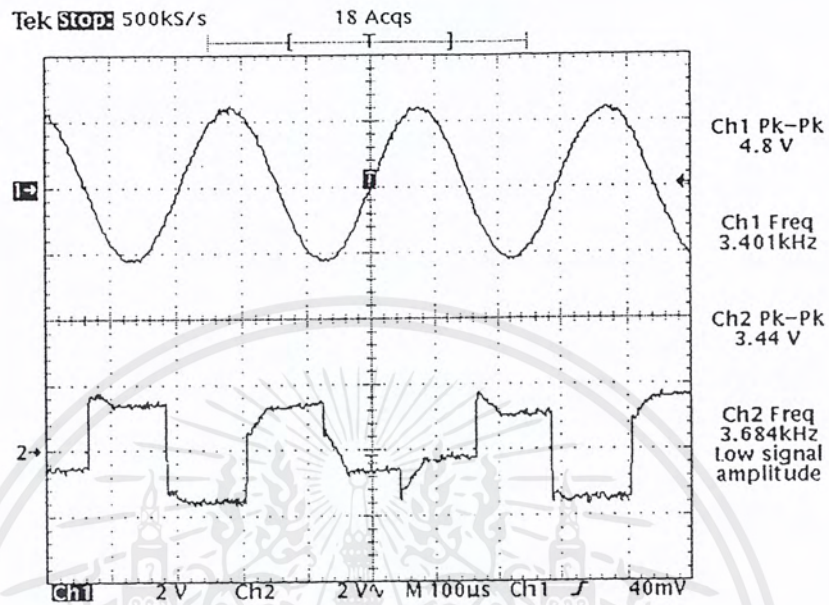
รูปที่ 4.7 วัดสัญญาณที่จุด TP 1 เทียบกับจุด TP 3 ความถี่อินพุต 1 กิโลเฮิร์ตซ์

4.2.8 สัญญาณที่จุด TP 1 เทียบกับที่จุด TP 3 เมื่อป้อนสัญญาณอนาล็อกไซน์เวฟ
ความถี่ 2.5 กิโลเฮิร์ตซ์เข้าอินพุตของวงจร ความถี่แอมพลิจูดที่ 8 กิโลเฮิร์ตซ์



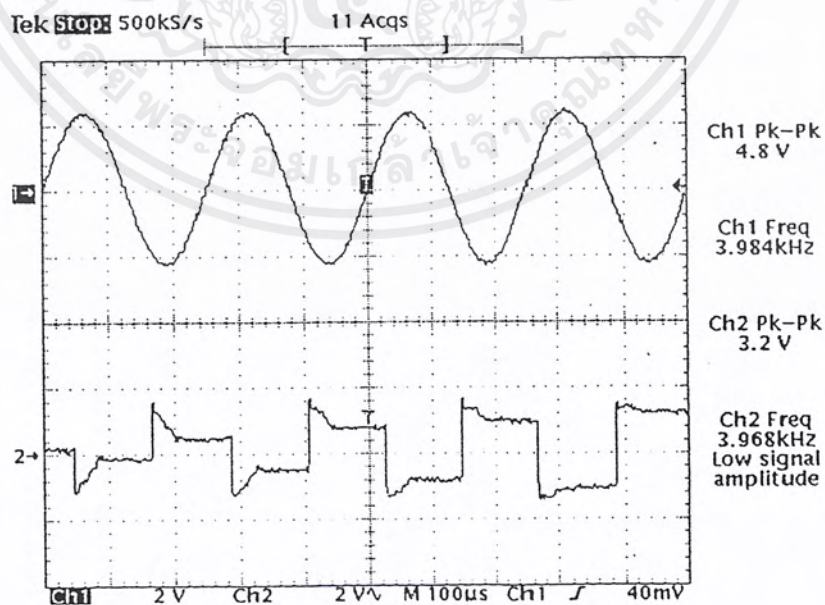
รูปที่ 4.8 วัดสัญญาณที่จุด TP 1 เทียบกับจุด TP 3 ความถี่อินพุต 2.5 กิโลเฮิร์ตซ์

4.2.9 สัญญาณที่จุด TP 1 เทียบกับที่จุด TP 3 เมื่อป้อนสัญญาณอนาล็อกไซน์แอมพลิจูด 3.4 กิโลเฮิร์ตซ์ เข้าอินพุตของวงจร ความถี่แซมปลิงที่ 8 กิโลเฮิร์ตซ์



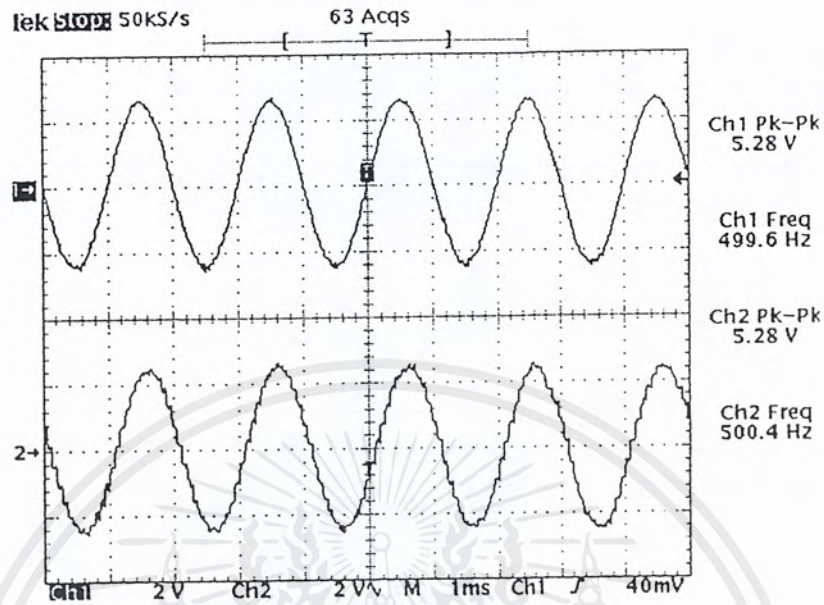
รูปที่ 4.9 วัดสัญญาณที่จุด TP 1 เทียบกับจุด TP 3 ความถี่อินพุต 3.4 กิโลเฮิร์ตซ์

4.2.10 สัญญาณที่จุด TP 1 เทียบกับที่จุด TP 3 เมื่อป้อนสัญญาณอนาล็อกไซน์แอมพลิจูด 4 กิโลเฮิร์ตซ์ เข้าอินพุตของวงจร ความถี่แซมปลิงที่ 8 กิโลเฮิร์ตซ์



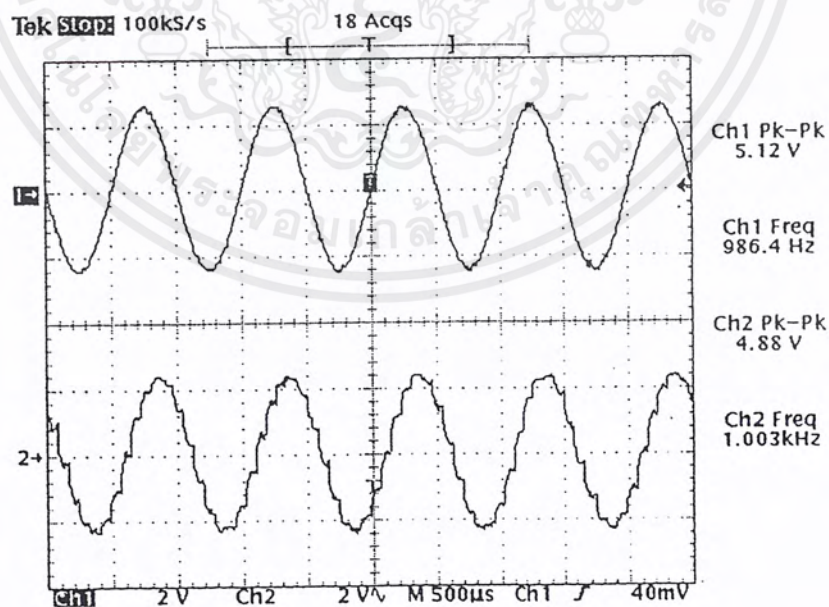
รูปที่ 4.10 วัดสัญญาณที่จุด TP 1 เทียบกับจุด TP 3 ความถี่อินพุต 4 กิโลเฮิร์ตซ์

- 4.2.11 สัญญาณที่จุด TP 1 เทียบกับที่จุด TP 3 เมื่อป้อนสัญญาณอนาล็อกไซน์แอมพลิจูด 500 มิลลิโวลต์เข้าอินพุตของวงจร ความถี่ 500 เฮิรตซ์



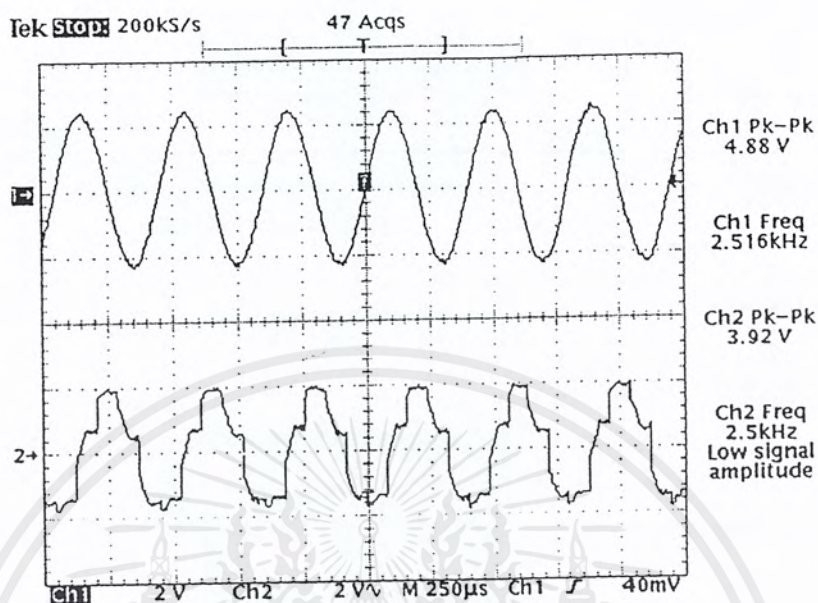
รูปที่ 4.11 วัดสัญญาณที่จุด TP 1 เทียบกับจุด TP 3 ความถี่อินพุต 500 เฮิรตซ์

- 4.2.12 สัญญาณที่จุด TP 1 เทียบกับที่จุด TP 3 เมื่อป้อนสัญญาณอนาล็อกไซน์แอมพลิจูด 1 มิลลิโวลต์เข้าอินพุตของวงจร ความถี่ 1 กิโลเฮิรตซ์



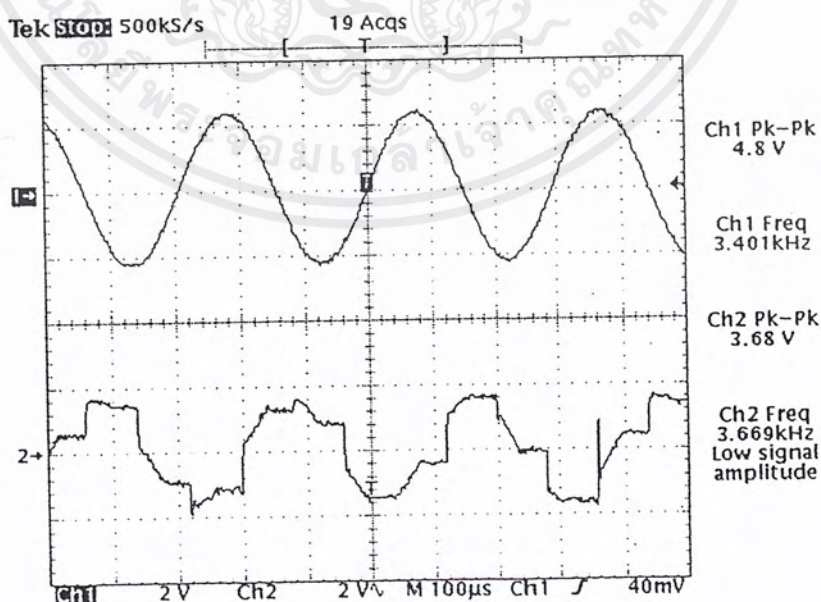
รูปที่ 4.12 วัดสัญญาณที่จุด TP 1 เทียบกับจุด TP 3 ความถี่อินพุต 1 กิโลเฮิรตซ์

4.2.13 สัญญาณที่จุด TP 1 เทียบกับที่จุด TP 3 เมื่อป้อนสัญญาณอนาล็อกไซน์แอมพลิจูด 2.5 กิโลเฮิร์ตซ์เข้าอินพุตของวงจร ความถี่แอมป์ลิงที่ 12 กิโลเฮิร์ตซ์



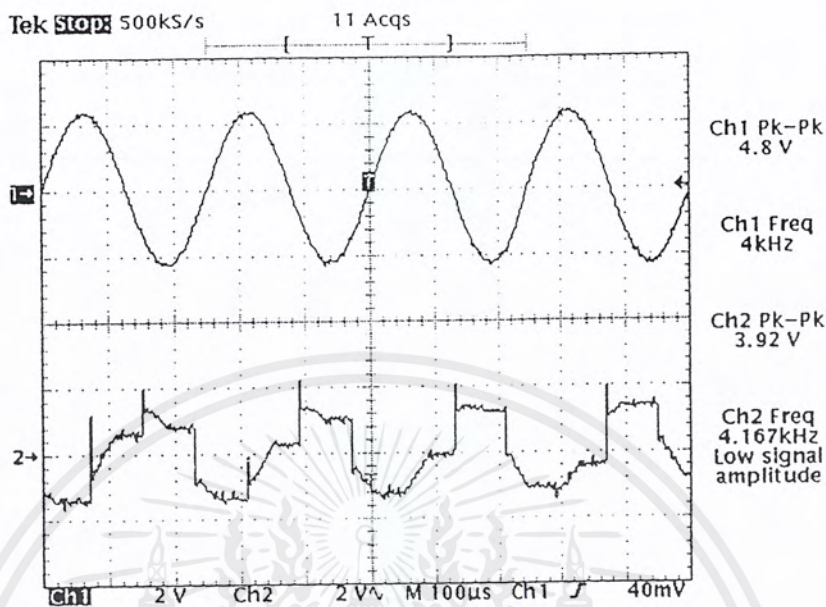
รูปที่ 4.13 วัดสัญญาณที่จุด TP 1 เทียบกับจุด TP 3 ความถี่อินพุต 2.5 กิโลเฮิร์ตซ์

4.2.14 สัญญาณที่จุด TP 1 เทียบกับที่จุด TP 3 เมื่อป้อนสัญญาณอนาล็อกไซน์แอมพลิจูด 3.4 กิโลเฮิร์ตซ์เข้าอินพุตของวงจร ความถี่แอมป์ลิงที่ 12 กิโลเฮิร์ตซ์



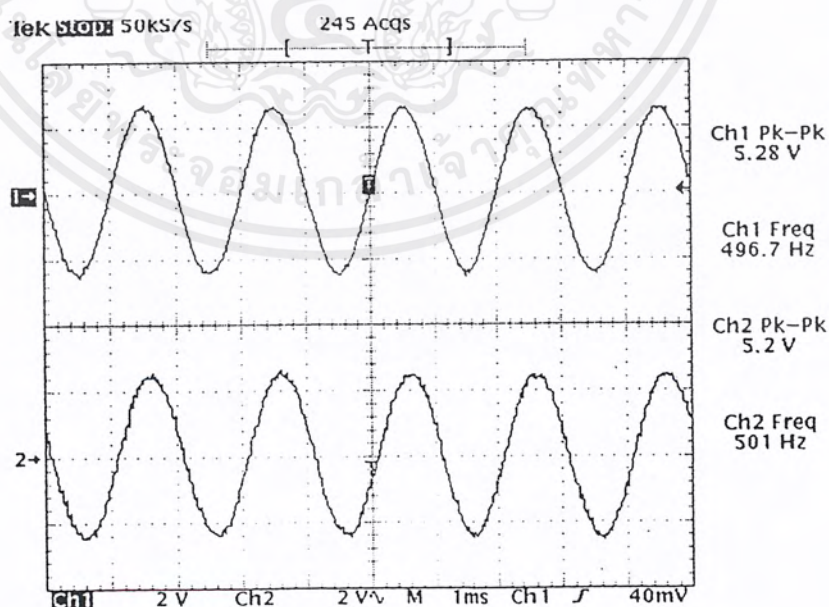
รูปที่ 4.14 วัดสัญญาณที่จุด TP 1 เทียบกับจุด TP 3 ความถี่อินพุต 3.4 กิโลเฮิร์ตซ์

- 4.2.15 สัญญาณที่จุด TP 1 เทียบกับที่จุด TP 3 เมื่อป้อนสัญญาณอนาล็อกไซน์เวฟ ความถี่ 4 กิโลเฮิร์ตซ์เข้าอินพุตของวงจร ความถี่แอมป์ลิ้งที่ 12 กิโลเฮิร์ตซ์



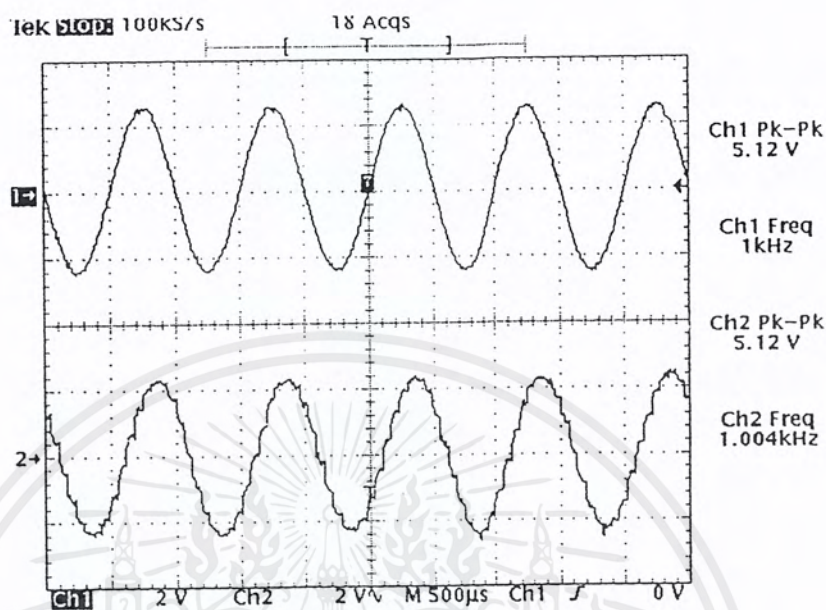
รูปที่ 4.15 วัดสัญญาณที่จุด TP 1 เทียบกับจุด TP 3 ความถี่อินพุต 4 กิโลเฮิร์ตซ์

- 4.2.16 สัญญาณที่จุด TP 1 เทียบกับที่จุด TP 3 เมื่อป้อนสัญญาณอนาล็อกไซน์เวฟ ความถี่ 500 เฮิร์ตซ์เข้าอินพุตของวงจร ความถี่แอมป์ลิ้งที่ 16 กิโลเฮิร์ตซ์



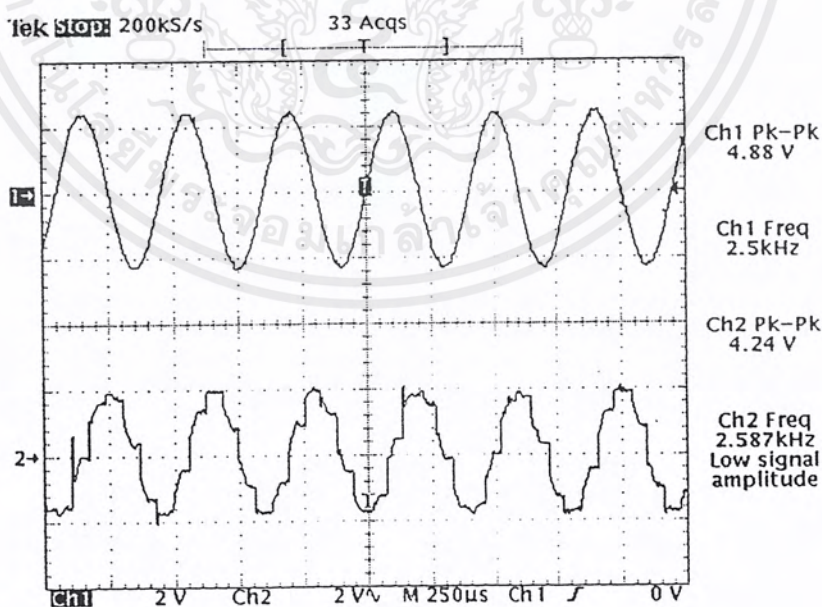
รูปที่ 4.16 วัดสัญญาณที่จุด TP 1 เทียบกับจุด TP 3 ความถี่อินพุต 500 เฮิร์ตซ์

- 4.2.17 สัญญาณที่จุด TP 1 เทียบกับที่จุด TP 3 เมื่อป้อนสัญญาณอนาล็อกไซน์เวฟ
ความถี่ 1 กิโลเฮิร์ตซ์ เข้าอินพุตของวงจร ความถี่แอมป์ลิงที่ 16 กิโลเฮิร์ตซ์



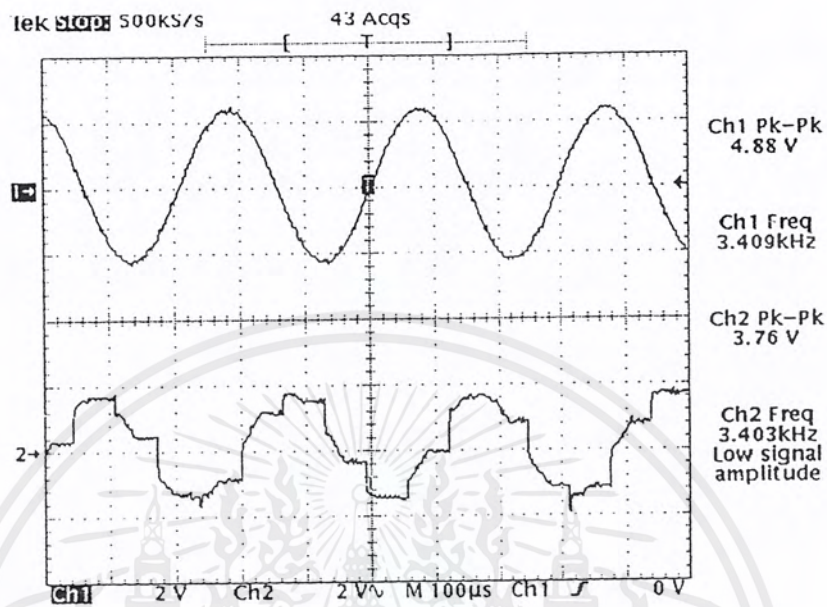
รูปที่ 4.17 วัดสัญญาณที่จุด TP 1 เทียบกับจุด TP 3 ความถี่อินพุต 1 กิโลเฮิร์ตซ์

- 4.2.18 สัญญาณที่จุด TP 1 เทียบกับที่จุด TP 3 เมื่อป้อนสัญญาณอนาล็อกไซน์เวฟ
ความถี่ 2.5 กิโลเฮิร์ตซ์ เข้าอินพุตของวงจร ความถี่แอมป์ลิงที่ 16 กิโลเฮิร์ตซ์



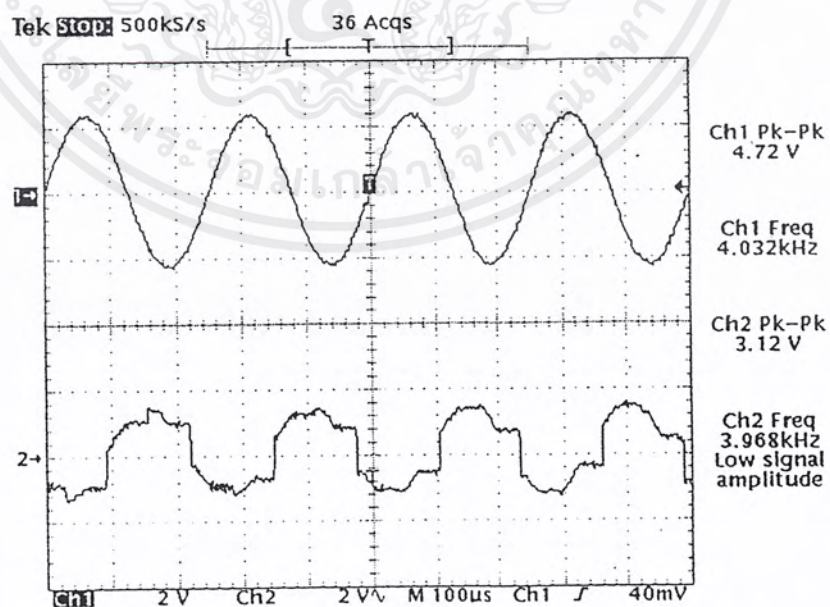
รูปที่ 4.18 วัดสัญญาณที่จุด TP 1 เทียบกับจุด TP 3 ความถี่อินพุต 2.5 กิโลเฮิร์ตซ์

- 4.2.19 สัญญาณที่จุด TP 1 เทียบกับที่จุด TP 3 เมื่อป้อนสัญญาณอนาล็อกไซน์เวฟ ความถี่ 3.4 กิโลเฮิร์ตซ์เข้าอินพุตของวงจร ความถี่แอมป์ลิงที่ 16 กิโลเฮิร์ตซ์



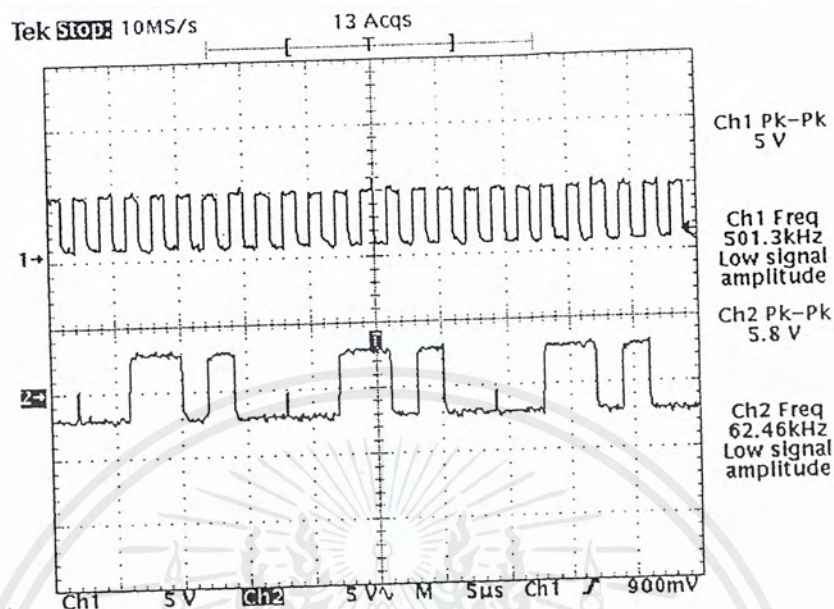
รูปที่ 4.19 วัดสัญญาณที่จุด TP 1 เทียบกับจุด TP 3 ความถี่อินพุต 3.4 กิโลเฮิร์ตซ์

- 4.2.20 สัญญาณที่จุด TP 1 เทียบกับที่จุด TP 3 เมื่อป้อนสัญญาณอนาล็อกไซน์เวฟ ความถี่ 4 กิโลเฮิร์ตซ์เข้าอินพุตของวงจร ความถี่แอมป์ลิงที่ 16 กิโลเฮิร์ตซ์



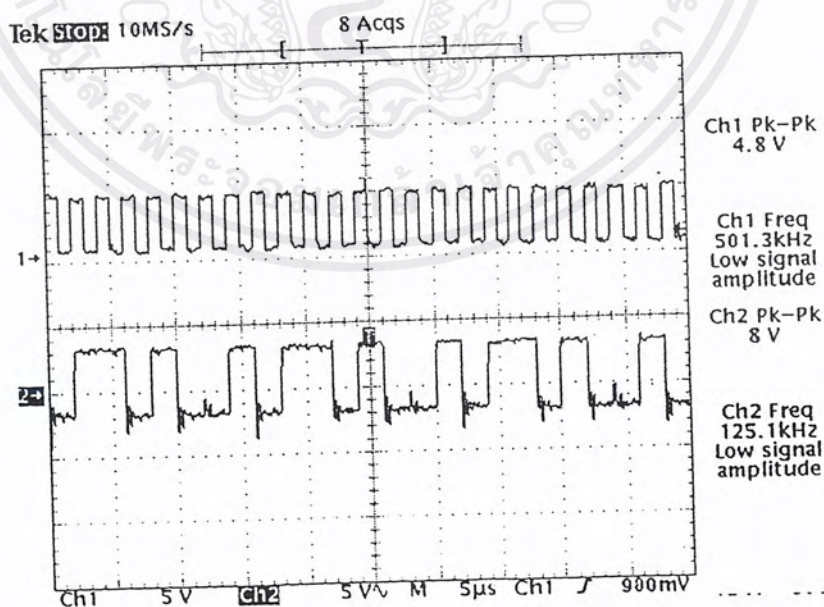
รูปที่ 4.20 วัดสัญญาณที่จุด TP 1 เทียบกับจุด TP 3 ความถี่อินพุต 4 กิโลเฮิร์ตซ์

- 4.2.21 สัญญาณที่จุด TP 4 เทียบกับสัญญาณนาฬิกาความถี่ 500 กิโลเฮิร์ตซ์ เมื่อป้อนสัญญาณอินพุต ความถี่ 500 เฮิร์ตซ์ และความถี่แซมปลิงเป็น 16 กิโลเฮิร์ตซ์



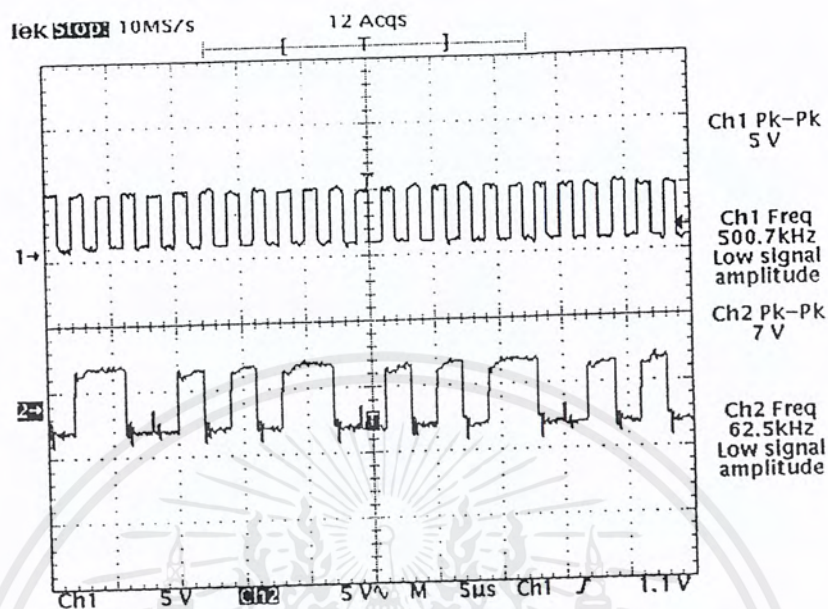
รูปที่ 4.21 สัญญาณที่จุด TP 4 เทียบกับสัญญาณนาฬิกาความถี่ 500 กิโลเฮิร์ตซ์ ความถี่อินพุต 500 เฮิร์ตซ์

- 4.2.22 สัญญาณที่จุด TP 4 เทียบกับสัญญาณนาฬิกาความถี่ 500 กิโลเฮิร์ตซ์ เมื่อป้อนสัญญาณอินพุต ความถี่ 1 กิโลเฮิร์ตซ์ และความถี่แซมปลิงเป็น 16 กิโลเฮิร์ตซ์



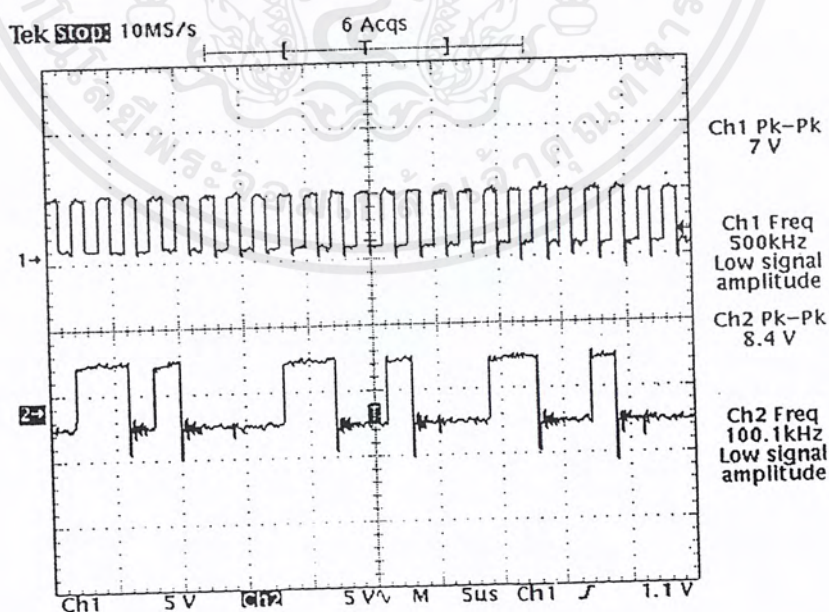
รูปที่ 4.22 สัญญาณที่จุด TP 4 เทียบกับสัญญาณนาฬิกาความถี่ 500 กิโลเฮิร์ตซ์ความถี่อินพุต 1 กิโลเฮิร์ตซ์

- 4.2.23 สัญญาณที่จุด TP 4 เทียบกับสัญญาณนาฬิกาความถี่ 500 กิโลเฮิร์ตซ์ เมื่อป้อนสัญญาณอินพุตความถี่ 2.5 กิโลเฮิร์ตซ์ และความถี่แฉมปลิงเป็น 16 กิโลเฮิร์ตซ์



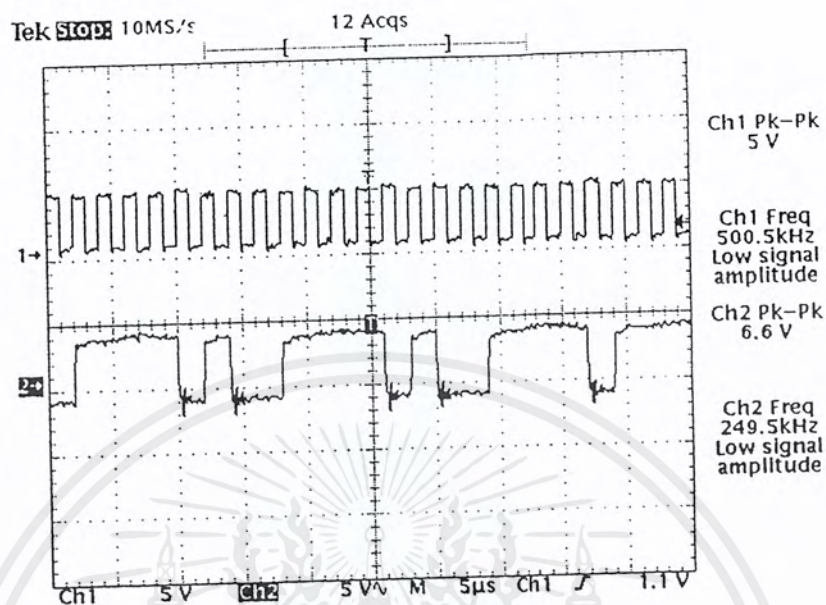
รูปที่ 4.23 สัญญาณที่จุด TP 4 เทียบกับสัญญาณนาฬิกาความถี่ 500 กิโลเฮิร์ตซ์ ความถี่อินพุต 2.5 กิโลเฮิร์ตซ์

- 4.2.24 สัญญาณที่จุด TP 4 เทียบกับสัญญาณนาฬิกาความถี่ 500 กิโลเฮิร์ตซ์ เมื่อป้อนสัญญาณอินพุตความถี่ 3.4 กิโลเฮิร์ตซ์ และความถี่แฉมปลิงเป็น 16 กิโลเฮิร์ตซ์



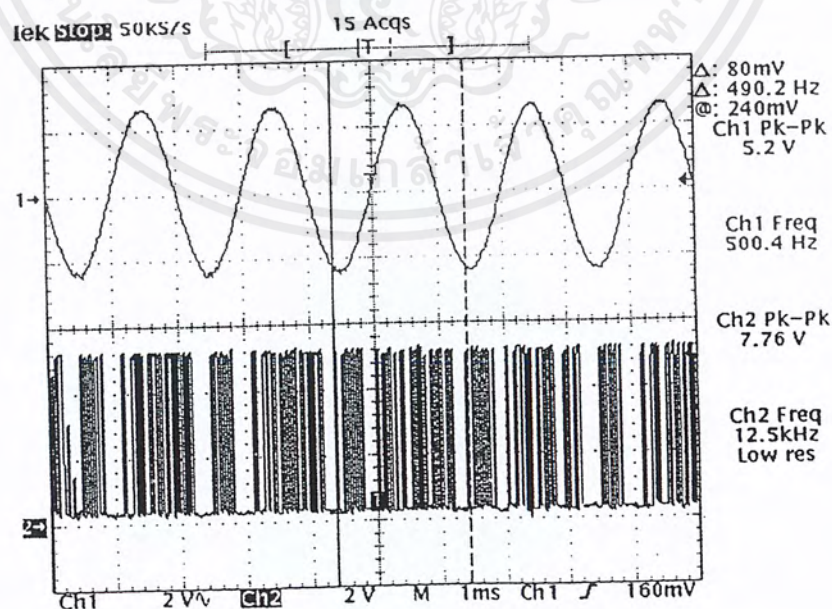
รูปที่ 4.24 สัญญาณที่จุด TP 4 เทียบกับสัญญาณนาฬิกาความถี่ 500 กิโลเฮิร์ตซ์ ความถี่อินพุต 3.4 กิโลเฮิร์ตซ์

- 4.2.25 สัญญาณที่จุด TP 4 เทียบกับสัญญาณนาฬิกาความถี่ 500 กิโลเฮิร์ตซ์ เมื่อป้อนสัญญาณอินพุตความถี่ 4 กิโลเฮิร์ตซ์ และความถี่แฉมปลิงเป็น 16 กิโลเฮิร์ตซ์



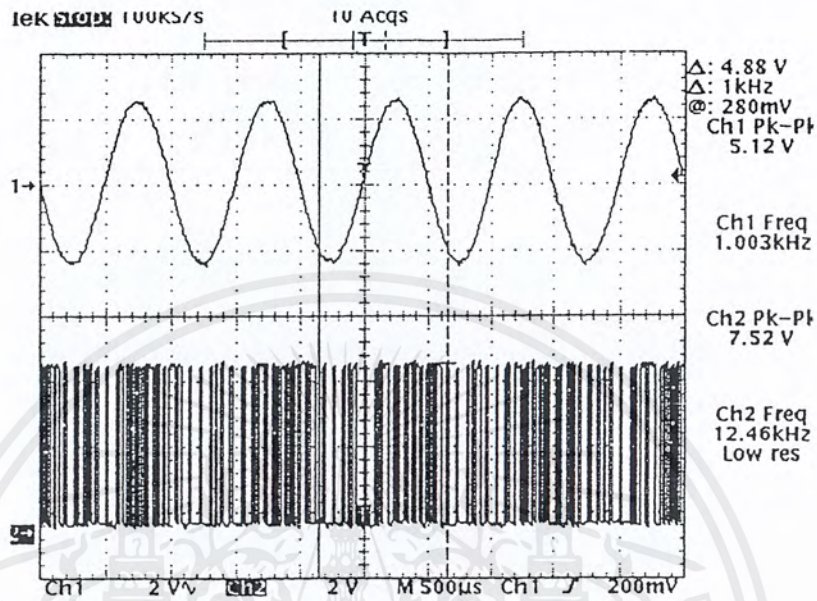
รูปที่ 4.25 สัญญาณที่จุด TP 4 เทียบกับสัญญาณนาฬิกาความถี่ 500 กิโลเฮิร์ตซ์ ความถี่อินพุต 4 กิโลเฮิร์ตซ์

- 4.2.26 สัญญาณที่จุด TP 4 เทียบกับ TP1 เมื่อป้อนสัญญาณอินพุต ความถี่ 500 เฮิร์ตซ์ ความถี่แฉมปลิงเป็น 16 กิโลเฮิร์ตซ์



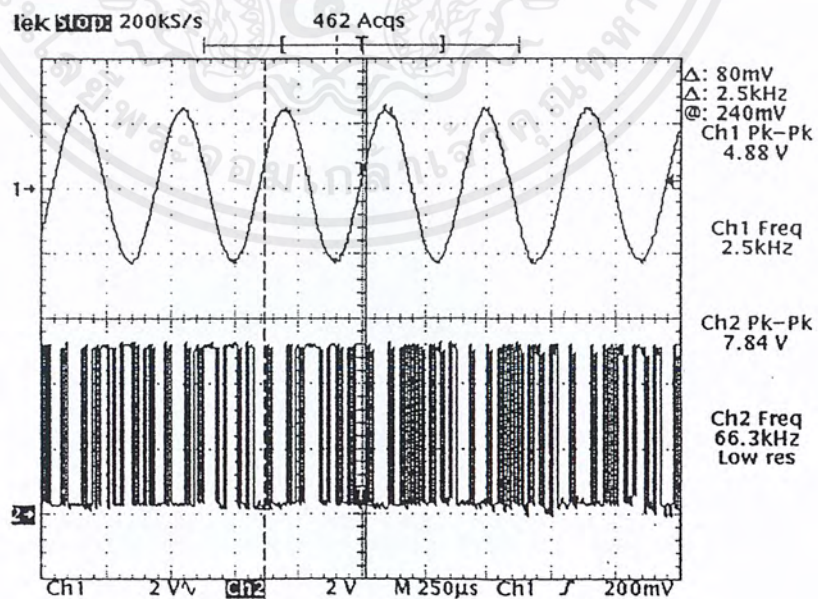
รูปที่ 4.26 สัญญาณที่จุด TP 4 เทียบ เทียบกับ TP1 ความถี่อินพุต 500 เฮิร์ตซ์

- 4.2.27 สัญญาณที่จุด TP 4 เทียบกับ TP1 เมื่อป้อนสัญญาณอินพุต ความถี่ 1 กิโลเฮิร์ตซ์ ความถี่แฉกเป็น 16 กิโลเฮิร์ตซ์



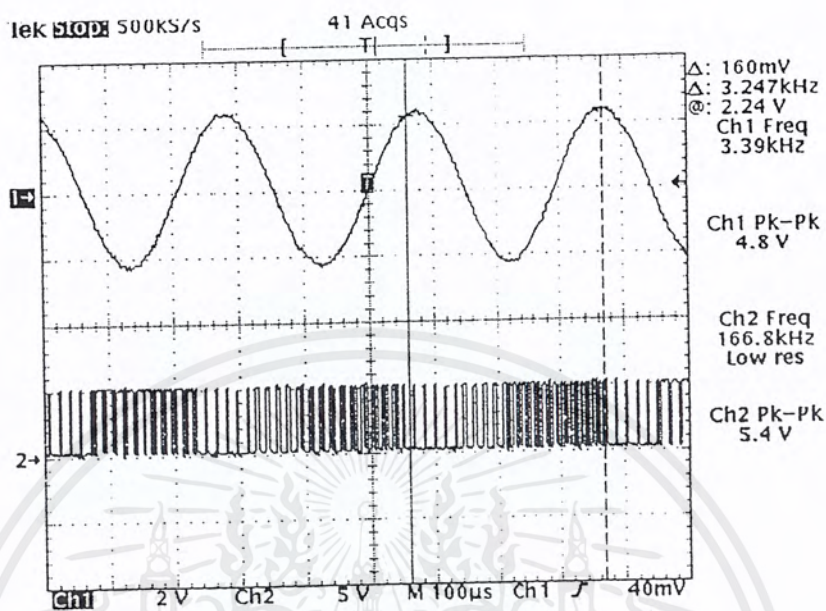
รูปที่ 4.27 สัญญาณที่จุด TP 4 เทียบกับ TP1 ความถี่อินพุต 1 กิโลเฮิร์ตซ์

- 4.2.28 สัญญาณที่จุด TP 4 เทียบกับ TP1 เมื่อป้อนสัญญาณอินพุต ความถี่ 2.5 กิโลเฮิร์ตซ์ ความถี่แฉกเป็น 16 กิโลเฮิร์ตซ์



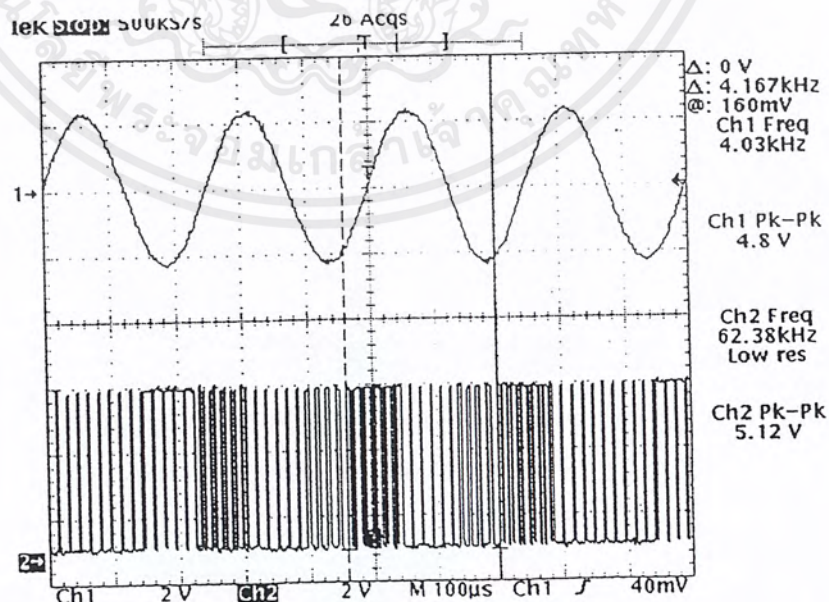
รูปที่ 4.28 สัญญาณที่จุด TP 4 เทียบกับ TP1 ความถี่อินพุต 2.5 กิโลเฮิร์ตซ์

- 4.2.29 สัญญาณที่จุด TP 4 เทียบกับ TP1 เมื่อป้อนสัญญาณอินพุต ความถี่ 3.4 กิโลเฮิร์ตซ์ ความถี่แฉกปลิงเป็น 16 กิโลเฮิร์ตซ์



รูปที่ 4.29 สัญญาณที่จุด TP 4 เทียบ เทียบกับ TP1 ความถี่อินพุต 3.4 กิโลเฮิร์ตซ์

- 4.2.30 สัญญาณที่จุด TP 4 เทียบกับ TP1 เมื่อป้อนสัญญาณอินพุต ความถี่ 4 กิโลเฮิร์ตซ์ ความถี่แฉกปลิงเป็น 16 กิโลเฮิร์ตซ์



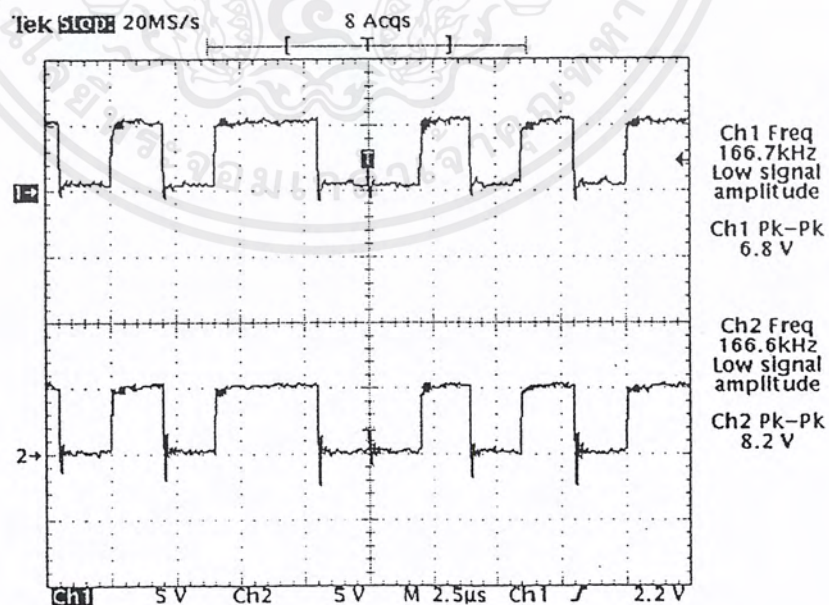
รูปที่ 4.30 สัญญาณที่จุด TP 4 เทียบ เทียบกับ TP1 ความถี่อินพุต 4 กิโลเฮิร์ตซ์

4.3 การทดลองวงจรดีพีซีเอ็มภาครับ

- 4.3.1 จ่ายไฟ $\pm 5\text{ V}_{\text{DC}}$ ให้แก่วงจร
- 4.3.2 ป้อนสัญญาณอนาล็อกไซน์เวฟ ความถี่ 500 เฮิรตซ์ เข้าอินพุตของวงจรดีพีซีเอ็มภาคส่ง
- 4.3.3 ค่อดัชนีของเอาต์พุตของดีพีซีเอ็มภาคส่งผ่านสายโคแอกเชียลเข้าอินพุตดีพีซีเอ็มภาครับ
- 4.3.4 ใช้ความถี่แอมพลิจูดที่ 16 กิโลเฮิรตซ์
- 4.3.5 วัดสัญญาณที่จุด TP 4 ภาคส่งเทียบกับจุด TP 1 ของภาครับ
- 4.3.6 เปลี่ยนความถี่อินพุตเป็น 1 กิโลเฮิรตซ์, 3.4 กิโลเฮิรตซ์ และ 4 กิโลเฮิรตซ์
- 4.3.7 ป้อนสัญญาณอนาล็อกไซน์เวฟ ความถี่ 500 เฮิรตซ์ เข้าอินพุตของวงจรดีพีซีเอ็มภาคส่ง
- 4.3.8 วัดสัญญาณที่อินพุตของวงจรดีพีซีเอ็มภาคส่งเทียบกับ TP 2 ของภาครับ
- 4.3.9 เปลี่ยนความถี่อินพุตเป็น 1 กิโลเฮิรตซ์, 3.4 กิโลเฮิรตซ์ และ 4 กิโลเฮิรตซ์
- 4.3.10 ทำการทดลองตามหัวข้อ 4.3.8
- 4.3.11 ป้อนสัญญาณอนาล็อกไซน์เวฟ ความถี่ 500 เฮิรตซ์ เข้าอินพุตของวงจรดีพีซีเอ็มภาคส่ง
- 4.3.12 วัดสัญญาณที่อินพุตของวงจรดีพีซีเอ็มภาคส่งเทียบกับจุด TP 3 ของภาครับ
- 4.3.13 เปลี่ยนความถี่อินพุตเป็น 1 กิโลเฮิรตซ์, 2.5 กิโลเฮิรตซ์, 3.4 กิโลเฮิรตซ์ และ 4 กิโลเฮิรตซ์
- 4.3.14 ทำการทดลองตามหัวข้อ 4.3.12

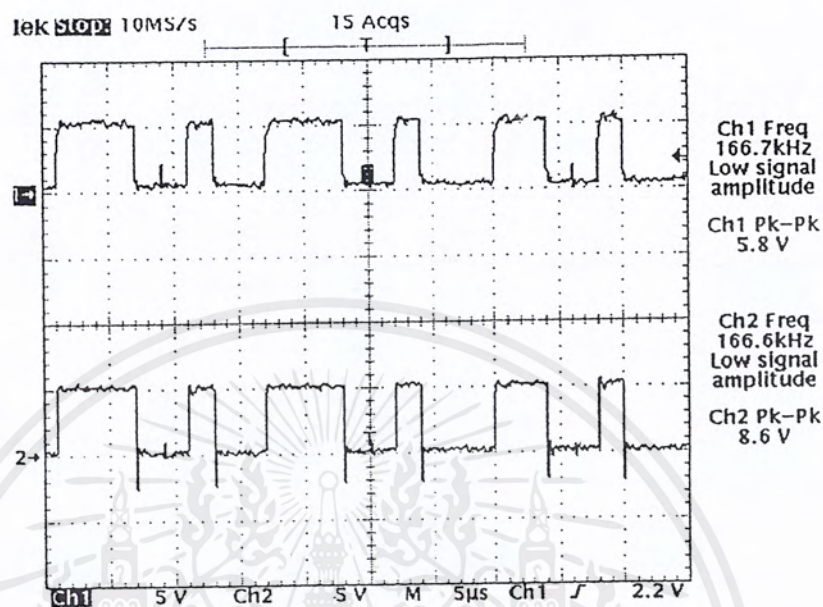
4.4 ผลการทดลองวงจรดีพีซีเอ็มภาครับ

- 4.4.1 เมื่อวัดสัญญาณที่จุด TP 4 ภาคส่งเทียบกับจุด TP 1 ของภาครับ ความถี่อินพุต 500 เฮิรตซ์



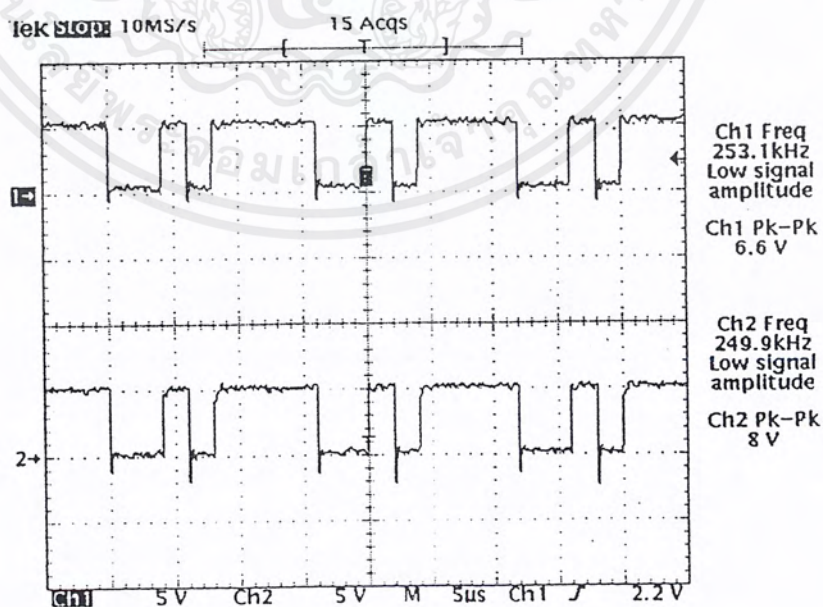
รูปที่ 4.31 สัญญาณที่จุด TP 4 ภาคส่งเทียบกับจุด TP 1 ของภาครับ ความถี่อินพุต 500 เฮิรตซ์

4.4.2 เมื่อวัดสัญญาณที่จุด TP 4 ภาคนั่งเทียบกับจุด TP 1 ของภาครับ ความถี่อินพุต 1 กิโลเฮิร์ตซ์



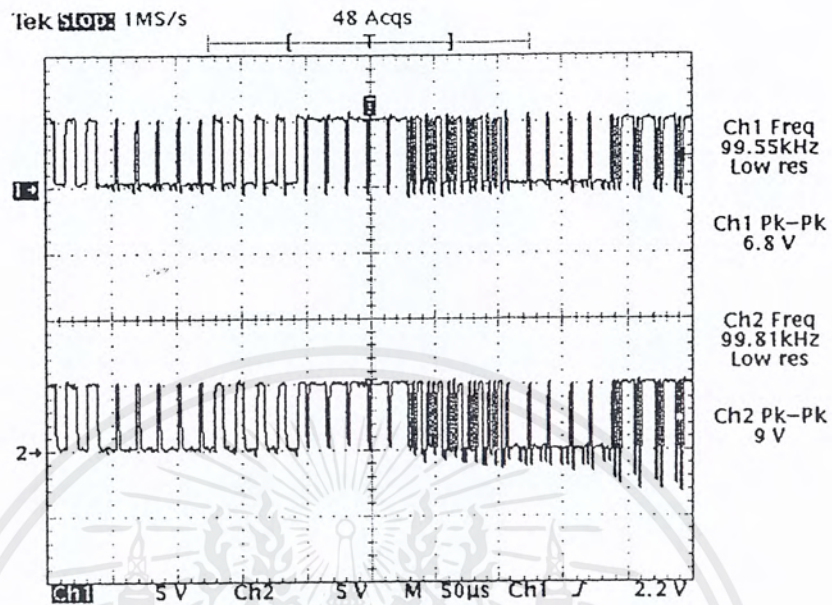
รูปที่ 4.32 สัญญาณที่จุด TP 4 ภาคนั่งเทียบกับจุด TP 1 ของภาครับ ความถี่อินพุต 1 กิโลเฮิร์ตซ์

4.4.3 เมื่อวัดสัญญาณที่จุด TP 4 ภาคนั่งเทียบกับจุด TP 1 ของภาครับ ความถี่อินพุต 3.4 กิโลเฮิร์ตซ์



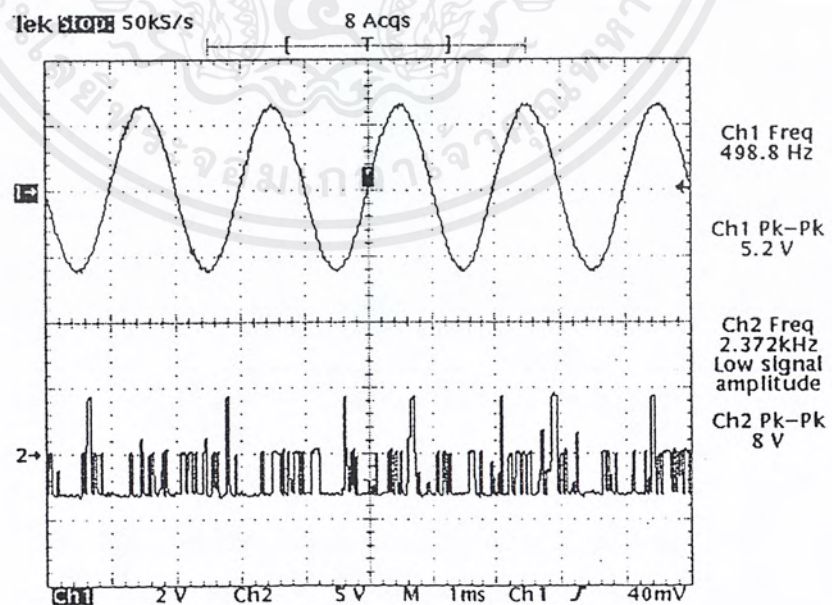
รูปที่ 4.33 สัญญาณที่จุด TP 4 ภาคนั่งเทียบกับจุด TP 1 ของภาครับ ความถี่อินพุต 3.4 กิโลเฮิร์ตซ์

- 4.4.4 เมื่อวัดสัญญาณที่จุด TP 4 ภาดส่งเทียบกับจุด TP 1 ของภากรับ ความถี่อินพุต 4 กิโลเฮิร์ตซ์



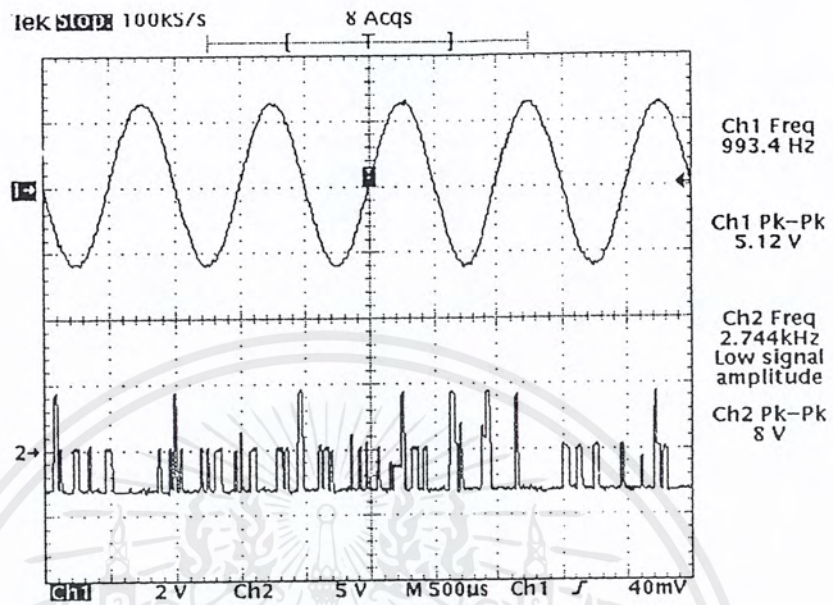
รูปที่ 4.34 สัญญาณที่จุด TP 4 ภาดส่งเทียบกับจุด TP 1 ของภากรับ ความถี่อินพุต 4 กิโลเฮิร์ตซ์

- 4.4.5 วัดสัญญาณที่อินพุตของวงจรพีซีซีเอ็มภาคส่งเทียบกับจุด TP 2 ของภากรับเมื่อความถี่อินพุตเป็น 500 เฮิร์ตซ์



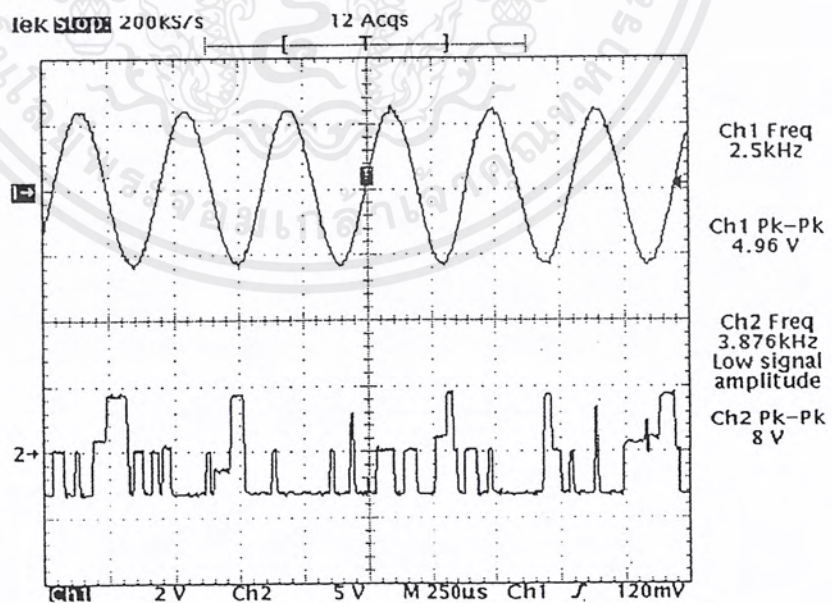
รูปที่ 4.35 สัญญาณที่อินพุตภาคส่งเทียบกับจุด TP 2 ของภากรับความถี่อินพุตเป็น 500 เฮิร์ตซ์

- 4.4.6 วัดสัญญาณที่อินพุทของวงจรคิฟิซีเอ็มภาคส่งเทียบกับจุด TP 2 ของภาครับเมื่อความถี่อินพุทเป็น 1 กิโลเฮิร์ตซ์



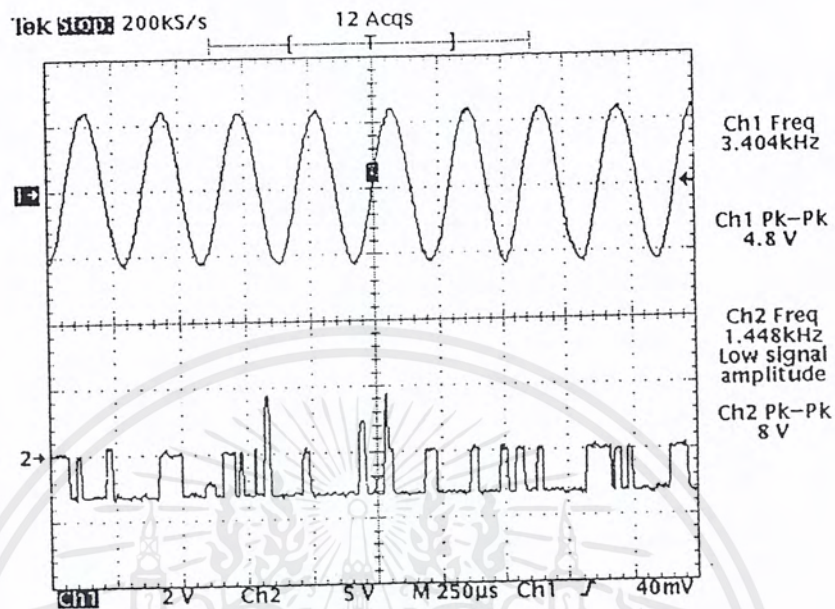
รูปที่ 4.36 สัญญาณที่อินพุทภาคส่งเทียบกับจุด TP 2 ของภาครับความถี่อินพุทเป็น 1 กิโลเฮิร์ตซ์

- 4.4.7 วัดสัญญาณที่อินพุทของวงจรคิฟิซีเอ็มภาคส่งเทียบกับจุด TP 2 ของภาครับเมื่อความถี่อินพุทเป็น 2.5 กิโลเฮิร์ตซ์



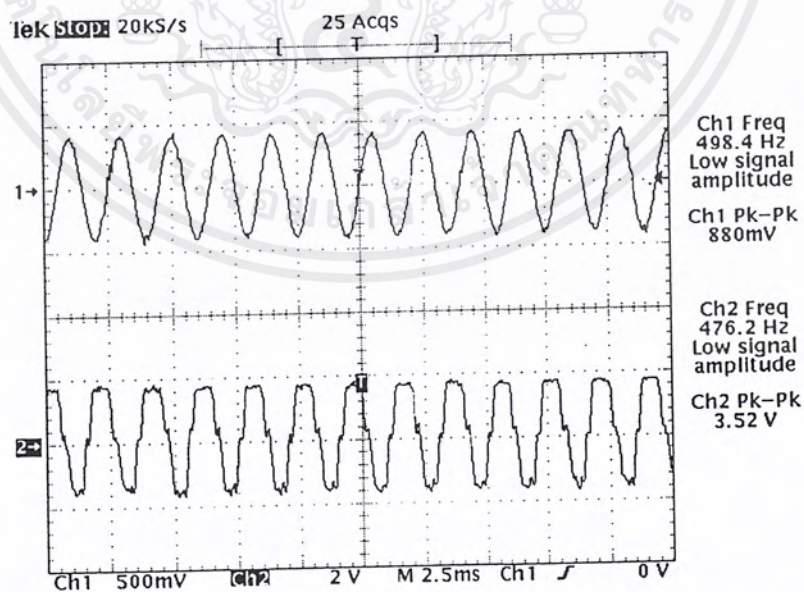
รูปที่ 4.37 สัญญาณที่อินพุทภาคส่งเทียบกับจุด TP 2 ของภาครับความถี่อินพุทเป็น 2.5 กิโลเฮิร์ตซ์

- 4.4.8 วัดสัญญาณที่อินพุทของวงจรคิฟิซีเอ็มภาคส่งเทียบกับจุด TP 2 ของภาครับเมื่อความถี่อินพุทเป็น 3.4 กิโลเฮิร์ตซ์



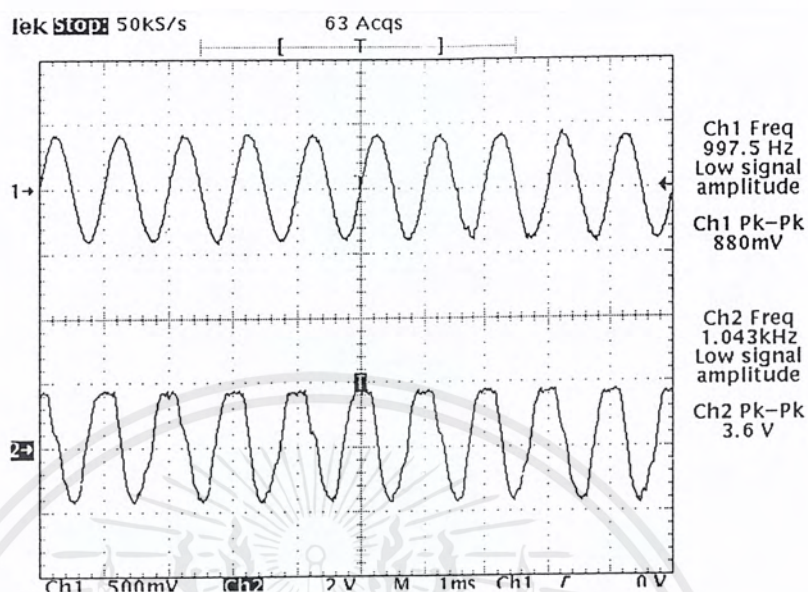
รูปที่ 4.38 สัญญาณที่อินพุทภาคส่งเทียบกับจุด TP 2 ของภาครับความถี่อินพุทเป็น 3.4 กิโลเฮิร์ตซ์

- 4.4.9 วัดสัญญาณที่อินพุทของวงจรคิฟิซีเอ็มภาคส่งเทียบกับจุด TP 3 ของภาครับ ความถี่อินพุท 500 เฮิร์ตซ์



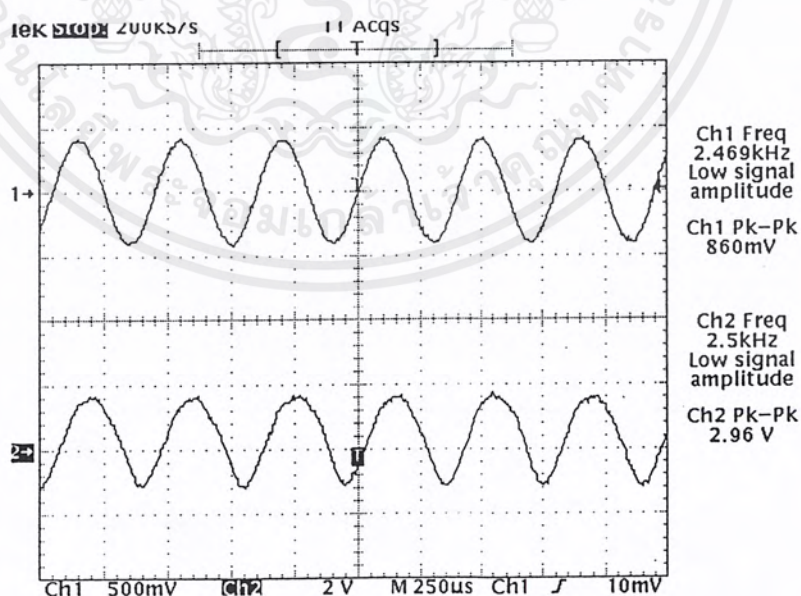
รูปที่ 4.39 สัญญาณอินพุทของคิฟิซีเอ็มภาคส่งเทียบกับจุด TP 3 ของภาครับ ความถี่อินพุท 500 เฮิร์ตซ์

- 4.4.10 วัดสัญญาณที่อินพุตของวงจรดีฟิซั่มภาคส่งเทียบกับ TP 3 ของภาครับ ความถี่อินพุต 1 กิโลเฮิร์ตซ์



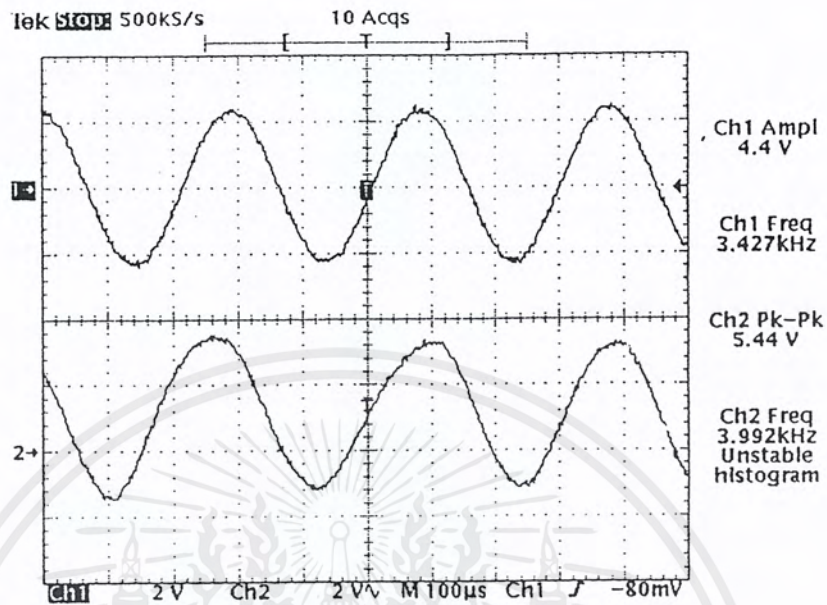
รูปที่ 4.40 สัญญาณอินพุตของดีฟิซั่มภาคส่งเทียบกับจุด TP 3 ของภาครับ ความถี่อินพุต 1 กิโลเฮิร์ตซ์

- 4.4.11 วัดสัญญาณที่อินพุตของวงจรดีฟิซั่มภาคส่งเทียบกับจุด TP 3 ของภาครับความถี่อินพุต 2.5 กิโลเฮิร์ตซ์



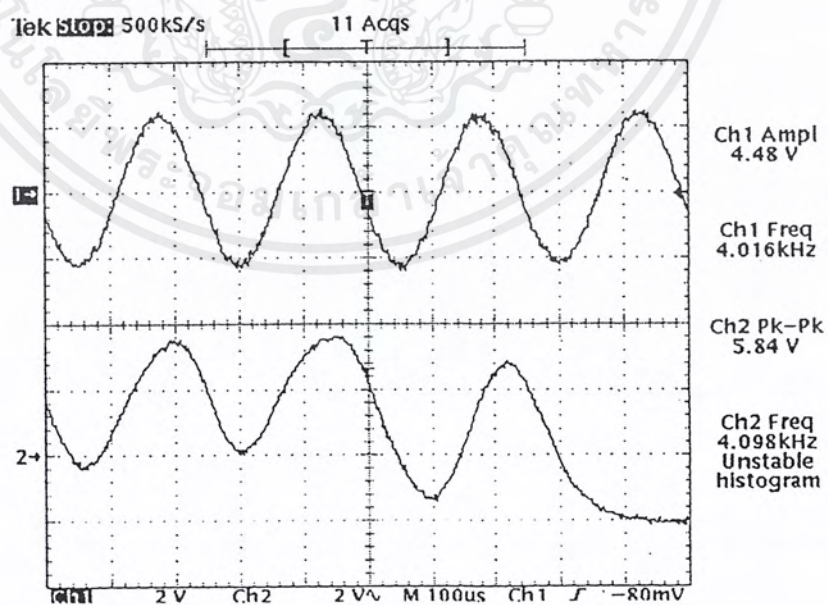
รูปที่ 4.41 สัญญาณอินพุตของดีฟิซั่มภาคส่งเทียบกับจุด TP 3 ของภาครับ ความถี่อินพุต 2.5 กิโลเฮิร์ตซ์

- 4.4.12 วัดสัญญาณที่อินพุทของวงจรคิฟี่ซีเอ็มภาคส่งเทียบกับจุด TP 3 ของภาครับความถี่อินพุท 3.4 กิโลเฮิรตซ์



รูปที่ 4.42 สัญญาณอินพุทของคิฟี่ซีเอ็มภาคส่งเทียบกับจุด TP 3 ของภาครับ ความถี่อินพุท 3.4 กิโลเฮิรตซ์

- 4.4.13 วัดสัญญาณที่อินพุทของวงจรคิฟี่ซีเอ็มภาคส่งเทียบกับจุด TP 3 ของภาครับความถี่อินพุท 4 กิโลเฮิรตซ์



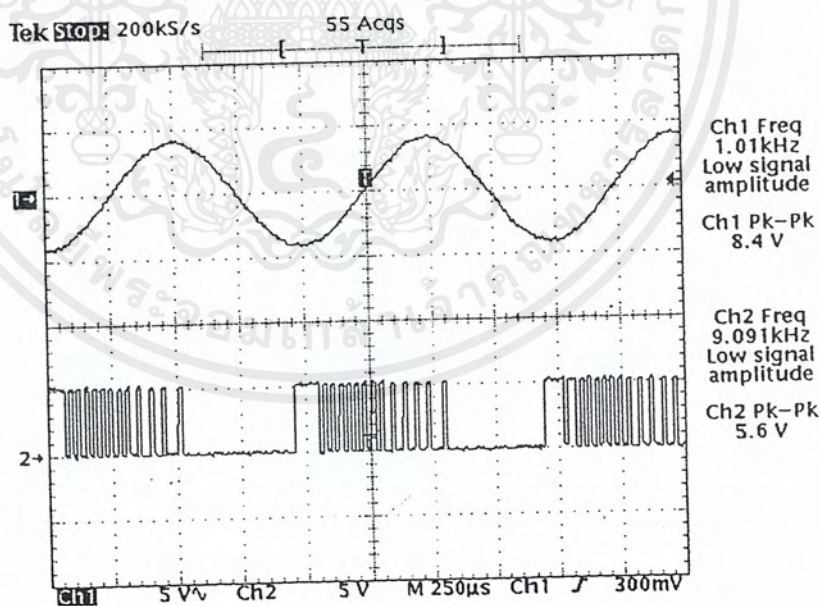
รูปที่ 4.43 สัญญาณอินพุทของคิฟี่ซีเอ็มภาคส่งเทียบกับจุด TP 3 ของภาครับ ความถี่อินพุท 4 กิโลเฮิรตซ์

4.5 การทดลองวงจรเคลต้ามอดูเลตและเคลต้ามอดูเลต

- 4.5.1 จ่ายไฟ $\pm 5\text{ V}_{\text{DC}}$ ให้แก่วงจร
- 4.5.2 ป้อนสัญญาณอนาล็อกไซน์เวฟ ความถี่ 1 กิโลเฮิรตซ์เข้าอินพุทของวงจร
- 4.5.3 วัดสัญญาณที่เอาต์พุตภาคส่งเทียบกับสัญญาณอินพุต
- 4.5.4 เปลี่ยนความถี่อินพุตเป็น 2 กิโลเฮิรตซ์, 3.5 กิโลเฮิรตซ์ และ 4.5 กิโลเฮิรตซ์
- 4.5.5 ทำการทดลองตามหัวข้อ 4.3.3
- 4.5.6 ป้อนสัญญาณอนาล็อกไซน์เวฟ ความถี่ 1 กิโลเฮิรตซ์เข้าอินพุทของวงจร
- 4.5.7 วัดสัญญาณที่อินพุตภาคส่งเทียบกับสัญญาณเอาต์พุตภาครับ
- 4.5.8 เปลี่ยนความถี่อินพุตเป็น 2 กิโลเฮิรตซ์, 3.5 กิโลเฮิรตซ์ และ 4.5 กิโลเฮิรตซ์
- 4.5.9 ทำการทดลองตามหัวข้อ 4.3.7

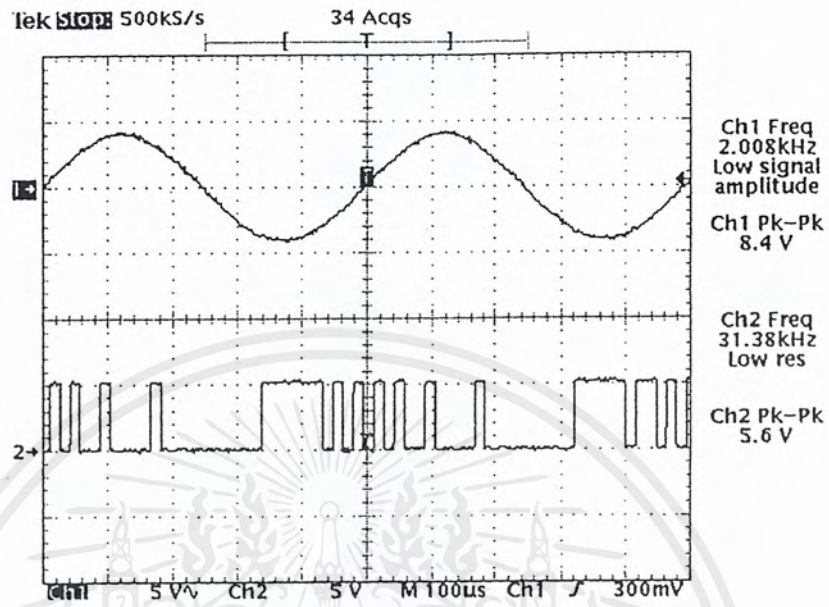
4.6 ผลทดลองวงจรเคลต้ามอดูเลตและเคลต้ามอดูเลต

- 4.6.1 วัดสัญญาณที่เอาต์พุตภาคส่งเทียบกับสัญญาณอินพุตเมื่อสัญญาณอินพุตเป็นอนาล็อกไซน์เวฟ ความถี่ 1 กิโลเฮิรตซ์



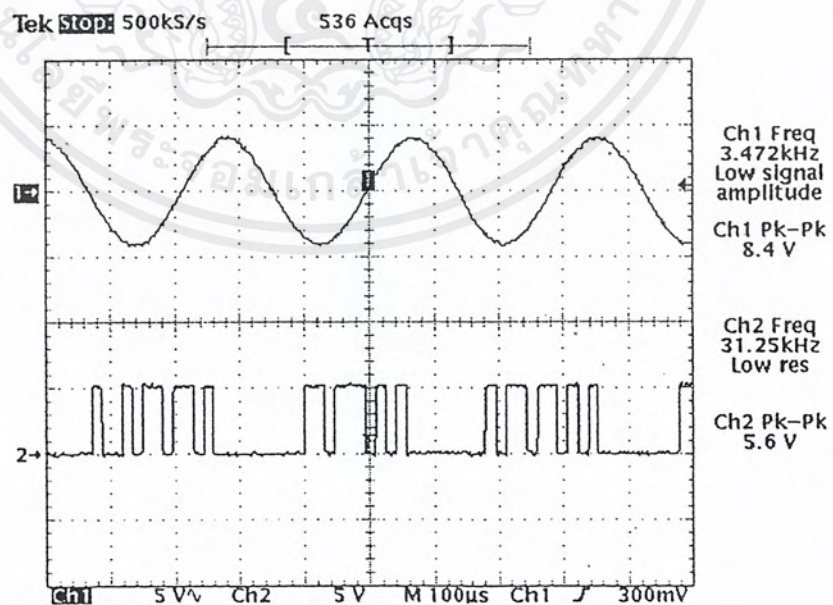
รูปที่ 4.44 สัญญาณที่เอาต์พุตภาคส่งเทียบกับสัญญาณอินพุตความถี่ 1 กิโลเฮิรตซ์

- 4.6.2 วัดสัญญาณที่เอาต์พุตภาคส่งเทียบกับสัญญาณอินพุตเมื่อสัญญาณอินพุตเป็นอนาลอก
ไซน์เวฟ ความถี่ 2 กิโลเฮิรตซ์



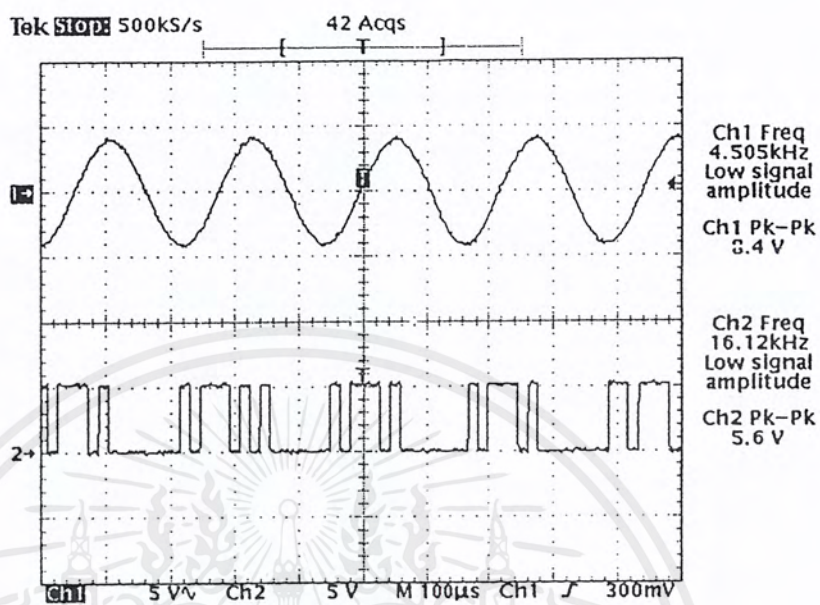
รูปที่ 4.45 สัญญาณที่เอาต์พุตภาคส่งเทียบกับสัญญาณอินพุตความถี่ 2 กิโลเฮิรตซ์

- 4.6.3 วัดสัญญาณที่เอาต์พุตภาคส่งเทียบกับสัญญาณอินพุตเมื่อสัญญาณอินพุตเป็นอนาลอก
ไซน์เวฟ ความถี่ 3.5 กิโลเฮิรตซ์



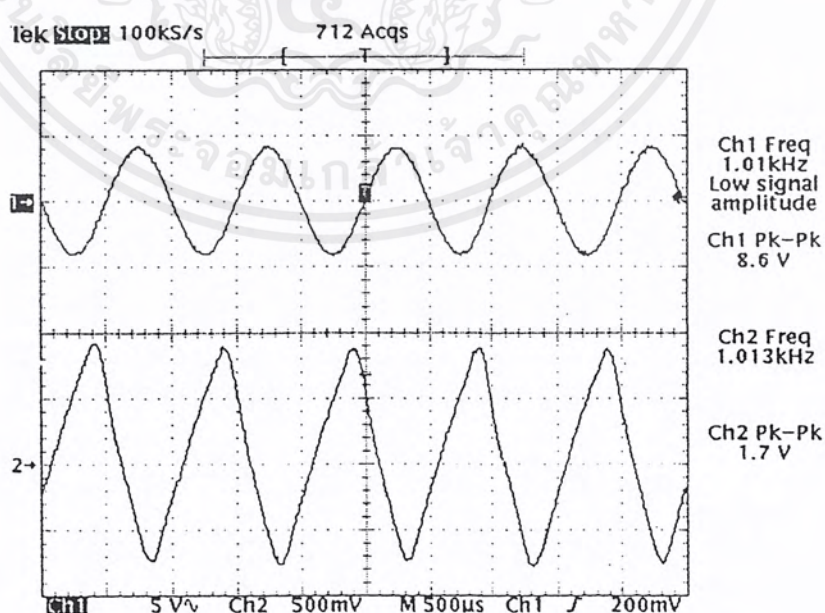
รูปที่ 4.46 สัญญาณที่เอาต์พุตภาคส่งเทียบกับสัญญาณอินพุตความถี่ 3.5 กิโลเฮิรตซ์

- 4.6.4 วัดสัญญาณที่เอาต์พุตภาคส่งเทียบกับสัญญาณอินพุตเมื่อสัญญาณอินพุตเป็นอนาลอก
 ไซน์เวฟ ความถี่ 4.5 กิโลเฮิร์ตซ์



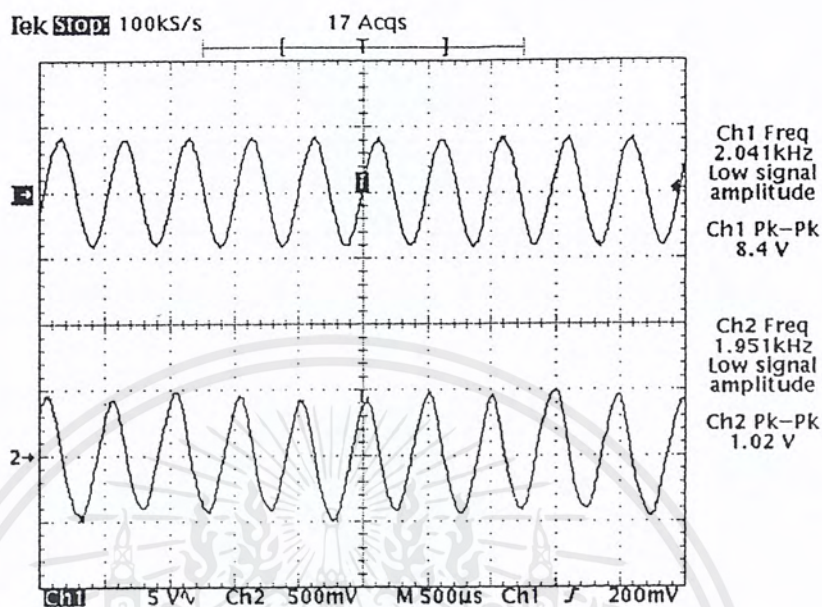
รูปที่ 4.47 สัญญาณที่เอาต์พุตภาคส่งเทียบกับสัญญาณอินพุตความถี่ 4.5 กิโลเฮิร์ตซ์

- 4.6.5 วัดสัญญาณที่อินพุตภาคส่งเทียบกับสัญญาณเอาต์พุตภาครับ เมื่อสัญญาณอินพุตเป็น
 อนาลอกไซน์เวฟ ความถี่ 1 กิโลเฮิร์ตซ์



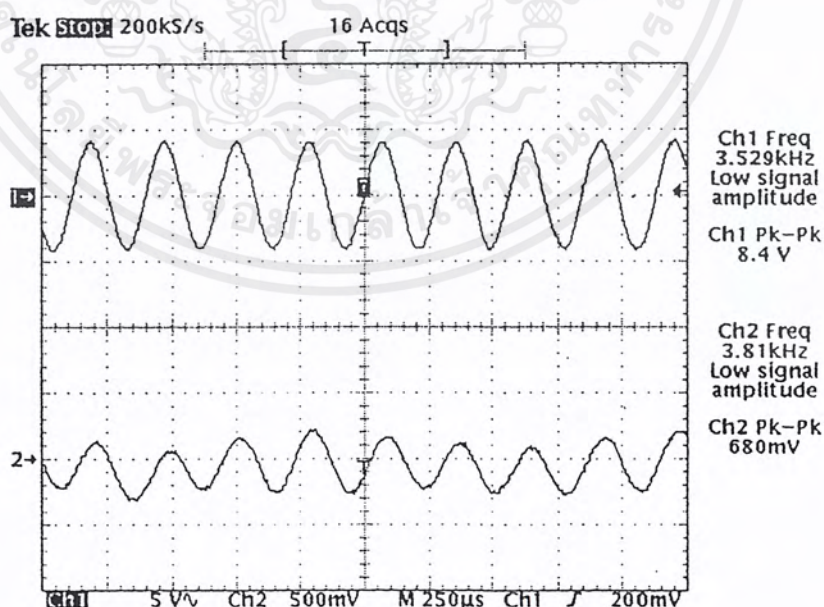
รูปที่ 4.48 สัญญาณอินพุตภาคส่งเทียบกับสัญญาณเอาต์พุตภาครับความถี่ 1 กิโลเฮิร์ตซ์

- 4.6.6 วัดสัญญาณที่อินพุตภาคส่งเทียบกับสัญญาณเอาต์พุตภาครับ เมื่อสัญญาณอินพุตเป็นอนาล็อกไซน์เวฟ ความถี่ 2 กิโลเฮิร์ตซ์



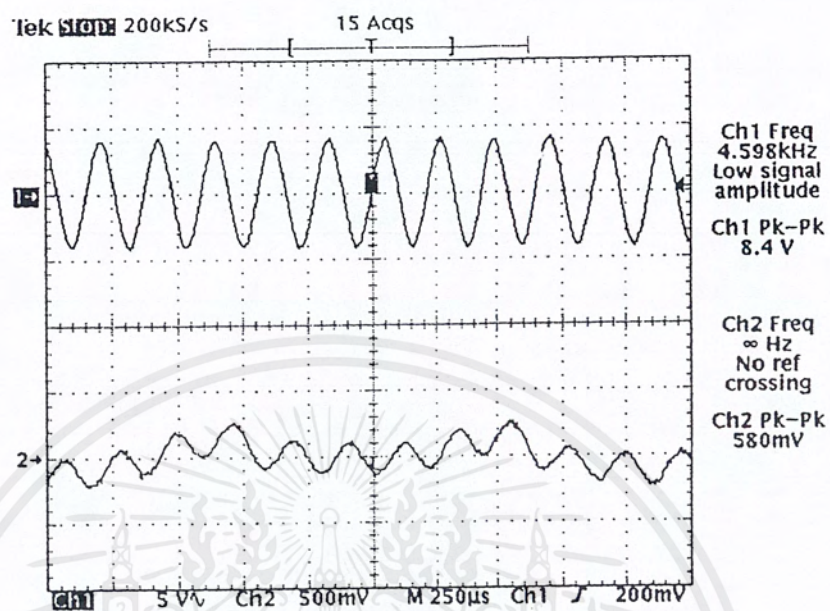
รูปที่ 4.49 สัญญาณอินพุตภาคส่งเทียบกับสัญญาณเอาต์พุตภาครับความถี่ 2 กิโลเฮิร์ตซ์

- 4.6.7 วัดสัญญาณที่เอาต์พุตภาคส่งเทียบกับสัญญาณเอาต์พุตภาครับ เมื่อสัญญาณอินพุตเป็นอนาล็อกไซน์เวฟ ความถี่ 3.5 กิโลเฮิร์ตซ์



รูปที่ 4.50 สัญญาณอินพุตภาคส่งเทียบกับสัญญาณเอาต์พุตภาครับความถี่ 3.5 กิโลเฮิร์ตซ์

- 4.6.8 วัดสัญญาณที่เอาต์พุตภาคส่งเทียบกับสัญญาณเอาต์พุตภาครับ เมื่อสัญญาณอินพุตเป็นอนาล็อกไซน์เวฟ ความถี่ 4.5 กิโลเฮิร์ตซ์



รูปที่ 4.51 สัญญาณอินพุตภาคส่งเทียบกับสัญญาณเอาต์พุตภาครับความถี่ 4.5 กิโลเฮิร์ตซ์

บทที่ 5

สรุปผลการทดลองและวิจารณ์

5.1 สรุปผลการทดลอง

ดีพีซีเอ็ม คือวงจรแปลงสัญญาณจากระบบอนาล็อกไปเป็นระบบดิจิทัล เพื่อให้การสื่อสารเป็นไปได้อย่างสมบูรณ์ และมีประสิทธิภาพสูงสุด หลักการของดีพีซีเอ็มคือการเปรียบเทียบสัญญาณปัจจุบันกับสัญญาณที่เข้ามาก่อนหน้านี้ โดยใช้หลักการว่าสัญญาณที่อยู่ใกล้กันมักจะมีขนาดของสัญญาณที่ใกล้เคียงกัน ซึ่งเมื่อทำการเปรียบเทียบแล้วผลที่ได้คือทำให้ลดจำนวนบิตในการเข้ารหัสสัญญาณเพื่อแปลงอนาล็อกเป็นดิจิทัล ในการออกแบบวงจรดีพีซีเอ็มภาคส่ง เอดีซี 0820 จะทำงานในระดับสัญญาณอินพุตตั้งแต่ 0 - 5 โวลต์ ดังนั้นเอดีซี 0820 จะทำงานอยู่ในช่วงสัญญาณอินพุตเป็นบวกเท่านั้น การทำงานของวงจรดีพีซีเอ็มจึงมีความผิดพลาดสูง เพื่อแก้ไขข้อผิดพลาดที่เกิดขึ้นจึงได้ทำการเพิ่มวงจรระดับสัญญาณอินพุตในช่วงลบทำให้เอดีซี 0820 ทำงานได้ทั้งระดับสัญญาณอินพุตในช่วงบวกและลบได้ ทางด้านวงจรดีพีซีเอ็มภาครับ ปัญหาที่เกิดขึ้นคือสร้างสัญญาณนาฬิกากลับคืนได้ยากมาก ความผิดพลาดในการสร้างสัญญาณนาฬิกากลับคืนส่งผลให้สัญญาณเอาต์พุตของวงจรดีพีซีเอ็มภาครับมีความผิดเพี้ยนสูง ซึ่งสัญญาณนาฬิกาที่ภาครับสร้างขึ้นใหม่ มีความเวลาไม่ตรงกับสัญญาณนาฬิกาเดิมที่สร้างจากภาคส่งทำให้การเลื่อนข้อมูลของไอซี 74LS164 และ 74LS374 เกิดความผิดพลาดเมื่อผ่านวงจรแปลงสัญญาณดิจิทัลเป็นอนาล็อกสัญญาณที่ได้จึงเกิดความผิดเพี้ยนขึ้น ข้อดีของดีพีซีเอ็มคือลดจำนวนบิตในการเข้ารหัสได้ทำให้จำนวนข้อมูลในการส่งสัญญาณมีมากขึ้น เวลาในการส่งข้อมูลจะเพิ่มขึ้น ส่วนข้อเสียคือสร้างสัญญาณนาฬิกากลับคืนได้ยาก และวงจรที่ใช้มีความยุ่งยากซับซ้อน

เคลด้ามอูเลชั่นเป็นระบบในการแปลงสัญญาณจากระบบอนาล็อกไปเป็นระบบดิจิทัล ซึ่งทำได้ง่ายและสะดวกกว่าดีพีซีเอ็ม โดยใช้หลักการเปรียบเทียบสัญญาณปัจจุบันกับสัญญาณที่เข้ามาก่อนหน้านี้ ถ้ามีค่าเป็นบวกจะทำการส่งรหัสบิต “1” ถ้ามีค่าเป็นลบจะทำการส่งรหัสบิต “0” วงจรจะใช้ไอซี MC 3418 ในการมอดูเลตสัญญาณและดีมอดูเลตสัญญาณ วงจรภายในไอซี MC 3418 ประกอบไปด้วยวงจรสุ่มสัญญาณ วงจรเปรียบเทียบสัญญาณ วงจรอินทิเกรต และสัญญาณนาฬิกาที่ใช้ควบคุมเลือกความถี่ 64 กิโลเฮิร์ตซ์ จากการทดลองพบว่าวงจรเคลด้ามอูเลชั่นสามารถใช้เพื่อรับส่งสัญญาณได้ดีในช่วงความถี่ตั้งแต่ 300 - 3400 เฮิร์ตซ์ ซึ่งสอดคล้องกับทฤษฎีที่ออกแบบไว้เพื่อใช้งานในย่านความถี่เสียงของมนุษย์

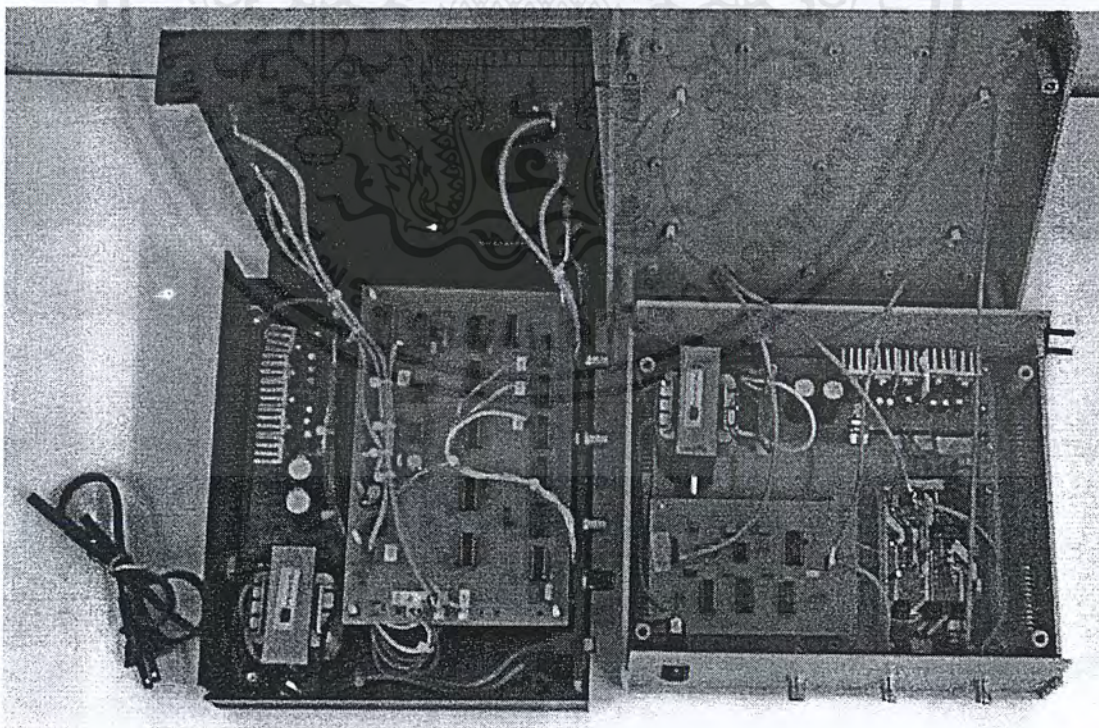
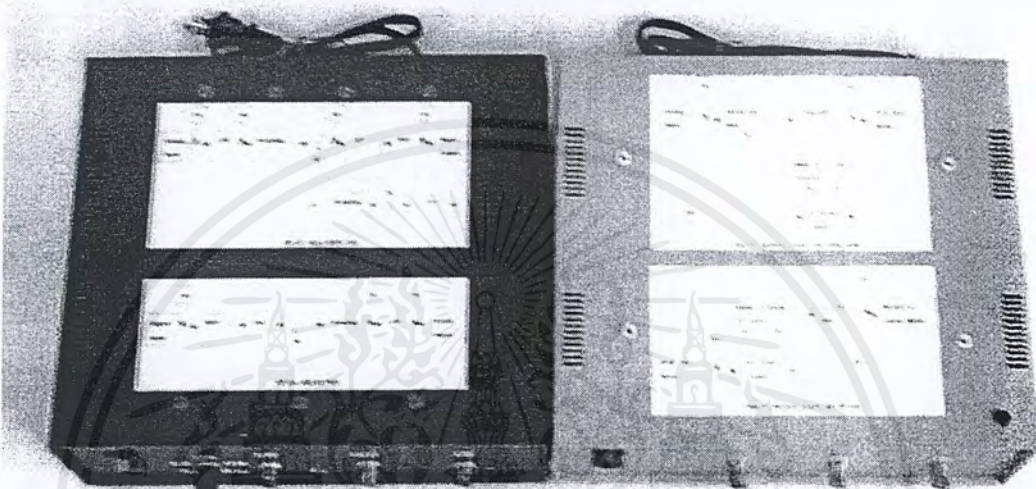
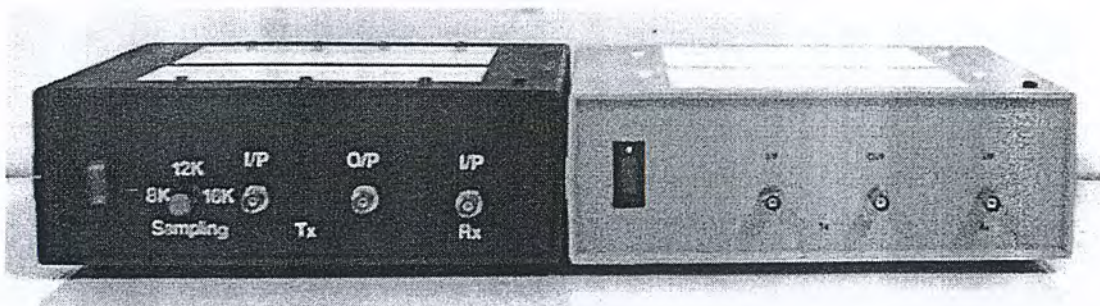
5.2 วิจารณ์

ในการออกแบบดีพีซีเอ็มทำได้ยากเพราะมีการเปรียบเทียบสัญญาณปัจจุบันกับสัญญาณที่เข้ามาก่อนหน้านี้ ทำให้ในภาคส่งต้องมีวงจรแปลงอนาล็อกเป็นดิจิทัล และวงจรแปลงดิจิทัลเป็นอนาล็อกอยู่ร่วมกันความซับซ้อนจึงมีมาก และการสร้างสัญญาณนาฬิกาขึ้นใหม่ที่ภาครับก็ทำได้ยากมาก ซึ่งถ้าสร้างสัญญาณนาฬิกาขึ้นใหม่ไม่สอดคล้องกับทางด้านภาคส่ง จะส่งผลให้เกิดความผิดเพี้ยนในการดีมอดูเลตขึ้นมาก ส่วนสำคัญของวงจรภาครับจึงอยู่ที่วงจรสร้างสัญญาณนาฬิกา

เคล็ดตามอู่เลชั่นมักจะมีปัญหาในเรื่องของสโลปโอเวอร์โหลด ทำให้สัญญาณทางภาครับเมื่อทำการดีมอดูเลชั่นแล้วมีความถี่และเฟสคลาดเคลื่อนไปจากสัญญาณอินพุททางภาคส่ง ซึ่งทำการแก้ไขโดยใช้ ไอซี MC 3418 โดยใช้สัญญาณนาฬิกาความถี่ 64 กิโลเฮิร์ตซ์ควบคุม ทำให้ลดปัญหาของสโลปโอเวอร์โหลดลงได้ รวมทั้งลดความยุ่งยากของวงจรลงได้







เครื่องส่ง/เครื่องรับแบบดีพีซีเอ็มและเครื่องส่ง/เครื่องรับแบบดีเอ็ม

LF198/LF298/LF398, LF198A/LF398A Monolithic Sample-and-Hold Circuits

General Description

The LF198/LF298/LF398 are monolithic sample-and-hold circuits which utilize BI-FET technology to obtain ultra-high dc accuracy with fast acquisition of signal and low droop rate. Operating as a unity gain follower, dc gain accuracy is 0.002% typical and acquisition time is as low as 6 μ s to 0.01%. A bipolar input stage is used to achieve low offset voltage and wide bandwidth. Input offset adjust is accomplished with a single pin, and does not degrade input offset drift. The wide bandwidth allows the LF198 to be included inside the feedback loop of 1 MHz op amps without having stability problems. Input impedance of $10^{10}\Omega$ allows high source impedances to be used without degrading accuracy. P-channel junction FET's are combined with bipolar devices in the output amplifier to give droop rates as low as 5 mV/min with a 1 μ F hold capacitor. The JFET's have much lower noise than MOS devices used in previous designs and do not exhibit high temperature instabilities. The overall design guarantees no feed-through from input to output in the hold mode, even for input signals equal to the supply voltages.

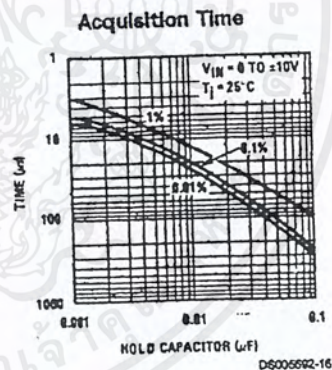
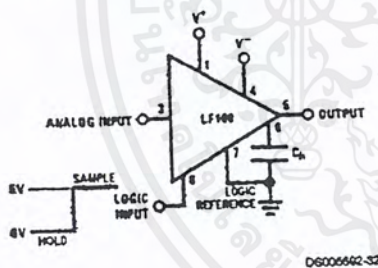
Features

- Operates from ± 5 V to ± 18 V supplies
- Less than 10 μ s acquisition time
- TTL, PMOS, CMOS compatible logic input
- 0.5 mV typical hold step at $C_h = 0.01 \mu$ F
- Low input offset
- 0.002% gain accuracy
- Low output noise in hold mode
- Input characteristics do not change during hold mode
- High supply rejection ratio in sample or hold
- Wide bandwidth
- Space qualified, JM38510

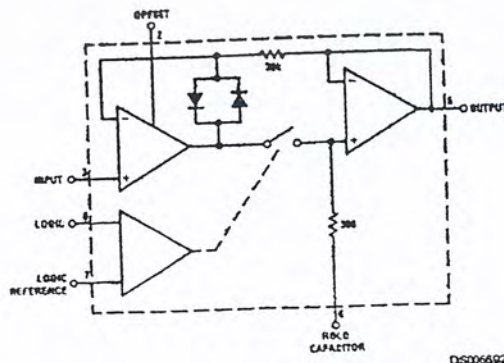
Logic inputs on the LF198 are fully differential with low input current, allowing direct connection to TTL, PMOS, and CMOS. Differential threshold is 1.4V. The LF198 will operate from ± 5 V to ± 18 V supplies.

An "A" version is available with tightened electrical specifications.

Typical Connection and Performance Curve



Functional Diagram



LF198/LF298/LF398, LF198A/LF398A Monolithic Sample-and-Hold Circuits

Absolute Maximum Ratings (Note 1)

If Military/Aerospace specified devices are required, please contact the National Semiconductor Sales Office/Distributors for availability and specifications.

Supply Voltage	±18V
Power Dissipation (Package Limitation) (Note 2)	500 mW
Operating Ambient Temperature Range	
LF198/LF198A	-55°C to +125°C
LF298	-25°C to +85°C
LF398/LF398A	0°C to +70°C
Storage Temperature Range	-65°C to +150°C
Input Voltage	Equal to Supply Voltage
Logic To Logic Reference	
Differential Voltage (Note 3)	+7V, -30V
Output Short Circuit Duration	Indefinite

Hold Capacitor Short

Circuit Duration

10 sec

Lead Temperature (Note 4)

H package (Soldering, 10 sec.)

260°C

N package (Soldering, 10 sec.)

260°C

M package:

Vapor Phase (60 sec.)

215°C

Infrared (15 sec.)

220°C

Thermal Resistance (θ_{JA}) (typicals)

H package 215°C/W (Board mount in still air)

85°C/W (Board mount in

400LF/min air flow)

N package 115°C/W

M package 106°C/W

θ_{JC} (H package, typical) 20°C/W

Electrical Characteristics

The following specifications apply for $-V_S + 3.5V \leq V_{IN} \leq +V_S - 3.5V$, $+V_S = +15V$, $-V_S = -15V$, $T_A = T_J = 25^\circ C$, $C_h = 0.01 \mu F$, $R_L = 10 k\Omega$, LOGIC REFERENCE = 0V, LOGIC HIGH = 2.5V, LOGIC LOW = 0V unless otherwise specified.

Parameter	Conditions	LF198/LF298			LF398			Units
		Min	Typ	Max	Min	Typ	Max	
Input Offset Voltage, (Note 5)	$T_J = 25^\circ C$		1	3		2	7	mV
	Full Temperature Range			5			10	mV
Input Bias Current, (Note 5)	$T_J = 25^\circ C$		5	25		10	50	nA
	Full Temperature Range			75			100	nA
Input Impedance	$T_J = 25^\circ C$		10^{10}			10^{10}		Ω
Gain Error	$T_J = 25^\circ C$, $R_L = 10k$		0.002	0.005		0.004	0.01	%
	Full Temperature Range			0.02			0.02	%
Feedthrough Attenuation Ratio at 1 kHz	$T_J = 25^\circ C$, $C_h = 0.01 \mu F$	86	96		80	90		dB
Output Impedance	$T_J = 25^\circ C$, "HOLD" mode		0.5	2		0.5	4	Ω
	Full Temperature Range			4			6	Ω
"HOLD" Step, (Note 6)	$T_J = 25^\circ C$, $C_h = 0.01 \mu F$, $V_{OUT} = 0$		0.5	2.0		1.0	2.5	mV
Supply Current, (Note 5)	$T_J \geq 25^\circ C$		4.5	5.5		4.5	6.5	mA
Logic and Logic Reference Input Current	$T_J = 25^\circ C$		2	10		2	10	μA
Leakage Current into Hold Capacitor (Note 5)	$T_J = 25^\circ C$, (Note 7) Hold Mode		30	100		30	200	pA
Acquisition Time to 0.1%	$\Delta V_{OUT} = 10V$, $C_h = 1000 pF$ $C_h = 0.01 \mu F$		4			4		μs
			20			20		μs
Hold Capacitor Charging Current	$V_{IN} - V_{OUT} = 2V$		5			5		mA
Supply Voltage Rejection Ratio	$V_{OUT} = 0$	80	110		80	110		dB
Differential Logic Threshold	$T_J = 25^\circ C$	0.8	1.4	2.4	0.8	1.4	2.4	V
Input Offset Voltage, (Note 5)	$T_J = 25^\circ C$		1	1		2	2	mV
	Full Temperature Range			2			3	mV
Input Bias Current, (Note 5)	$T_J = 25^\circ C$		5	25		10	25	nA
	Full Temperature Range			75			50	nA

Electrical Characteristics

The following specifications apply for $-V_S + 3.5V \leq V_{IN} \leq +V_S - 3.5V$, $+V_S = +15V$, $-V_S = -15V$, $T_A = T_J = 25^\circ C$, $C_h = 0.01 \mu F$, $R_L = 10 k\Omega$, LOGIC REFERENCE = $0V$, LOGIC HIGH = $2.5V$, LOGIC LOW = $0V$ unless otherwise specified.

Parameter	Conditions	LF198A			LF393A			Units
		Min	Typ	Max	Min	Typ	Max	
Input Impedance	$T_J = 25^\circ C$		10^{10}			10^{10}		Ω
Gain Error	$T_J = 25^\circ C$, $R_L = 10k$ Full Temperature Range		0.002	0.005 0.01		0.004	0.005 0.01	%
Feedthrough Attenuation Ratio at 1 kHz	$T_J = 25^\circ C$, $C_h = 0.01 \mu F$	86	96		86	90		dB
Output Impedance	$T_J = 25^\circ C$, "HOLD" mode Full Temperature Range		0.5	1 4		0.5	1 6	Ω
"HOLD" Step, (Note 6)	$T_J = 25^\circ C$, $C_h = 0.01 \mu F$, $V_{OUT} = 0$		0.5	1		1.0	1	mV
Supply Current, (Note 5)	$T_J \geq 25^\circ C$		4.5	5.5		4.5	6.5	mA
Logic and Logic Reference Input Current	$T_J = 25^\circ C$		2	10		2	10	μA
Leakage Current into Hold Capacitor (Note 5)	$T_J = 25^\circ C$, (Note 7) Hold Mode		30	100		30	100	pA
Acquisition Time to 0.1%	$\Delta V_{OUT} = 10V$, $C_h = 1000 pF$ $C_h = 0.01 \mu F$		4 20 5	6 25		4 20 5	6 25	μs
Hold Capacitor Charging Current	$V_{IN} - V_{OUT} = 2V$		90	110		90	110	dB
Supply Voltage Rejection Ratio	$V_{OUT} = 0$	0.8	1.4	2.4	0.8	1.4	2.4	V
Differential Logic Threshold	$T_J = 25^\circ C$							

Note 1: "Absolute Maximum Ratings" indicate limits beyond which damage to the device may occur. Operating Ratings indicate conditions for which the device is functional, but do not guarantee specific performance limits.

Note 2: The maximum power dissipation must be derated at elevated temperatures and is dictated by T_{JMAX} , θ_{JA} , and the ambient temperature, T_A . The maximum allowable power dissipation at any temperature is $P_D = (T_{JMAX} - T_A)/\theta_{JA}$, or the number given in the Absolute Maximum Ratings, whichever is lower. The maximum junction temperature, T_{JMAX} , for the LF198/LF198A is $150^\circ C$; for the LF298, $115^\circ C$; and for the LF398/LF398A, $100^\circ C$.

Note 3: Although the differential voltage may not exceed the limits given, the common-mode voltage on the logic pins may be equal to the supply voltages without causing damage to the circuit. For proper logic operation, however, one of the logic pins must always be at least 2V below the positive supply and 3V above the negative supply.

Note 4: See AN-450 "Surface Mounting Methods and their effects on Product Reliability" for other methods of soldering surface mount devices.

Note 5: These parameters guaranteed over a supply voltage range of ± 5 to $\pm 18V$, and an input range of $-V_S + 3.5V \leq V_{IN} \leq +V_S - 3.5V$.

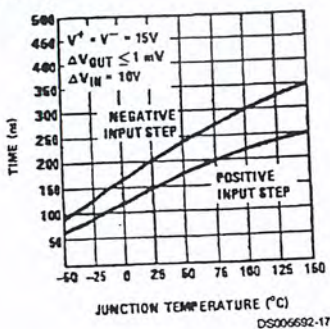
Note 6: Hold step is sensitive to stray capacitive coupling between input logic signals and the hold capacitor. 1 pF, for instance, will create an additional 0.5 mV step with a 5V logic swing and a 0.01 μF hold capacitor. Magnitude of the hold step is inversely proportional to hold capacitor value.

Note 7: Leakage current is measured at a junction temperature of $25^\circ C$. The effects of junction temperature rise due to power dissipation or elevated ambient can be calculated by doubling the $25^\circ C$ value for each $11^\circ C$ increase in chip temperature. Leakage is guaranteed over full input signal range.

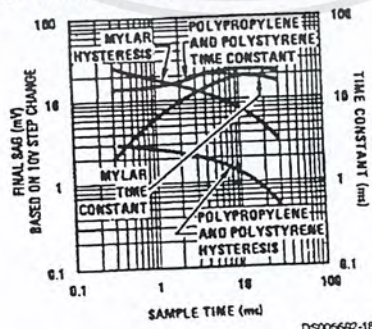
Note 8: A military RETS electrical test specification is available on request. The LF198 may also be procured to Standard Military Drawing #5962-8760801GA or to MIL-STD-38510 part ID JM38510/12501SGA.

Typical Performance Characteristics

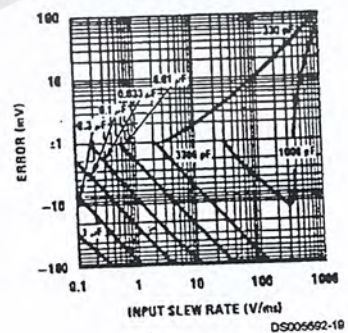
Aperture Time
(Note 9)



Dielectric Absorption
Error in Hold Capacitor



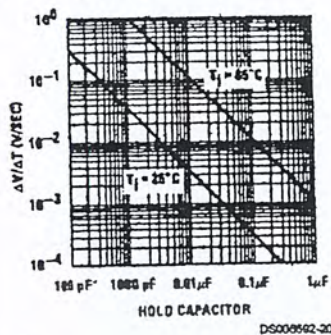
Dynamic Sampling Error



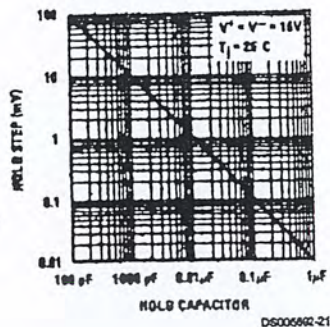
Note 9: See Definition of Terms

Typical Performance Characteristics (Continued)

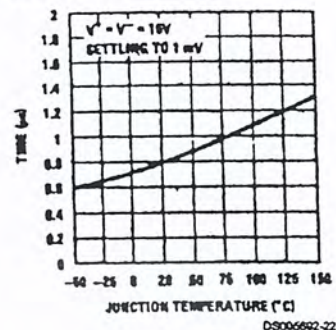
Output Droop Rate



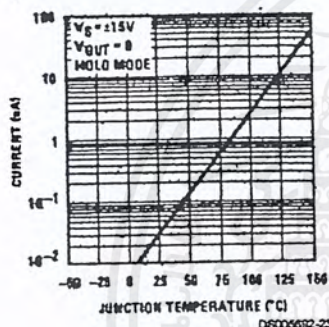
Hold Step



"Hold" Settling Time
(Note 10)



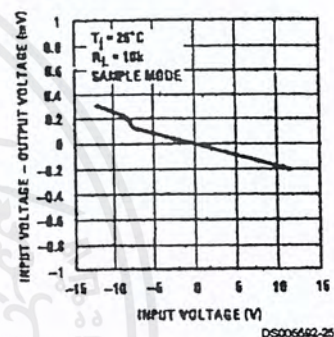
Leakage Current Into Hold Capacitor



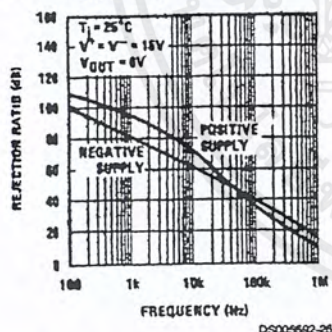
Phase and Gain (Input to Output, Small Signal)



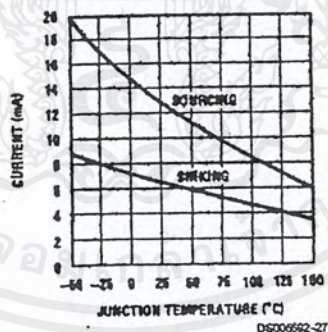
Gain Error



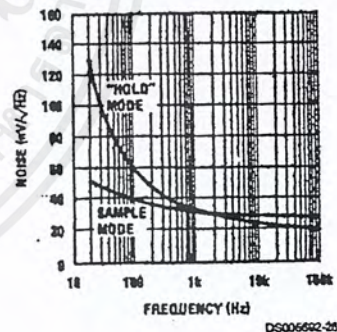
Power Supply Rejection



Output Short Circuit Current



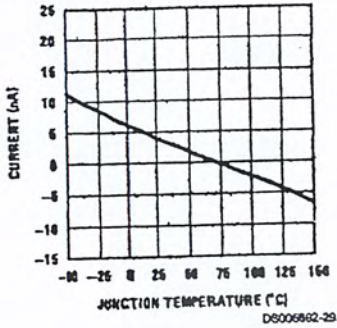
Output Noise



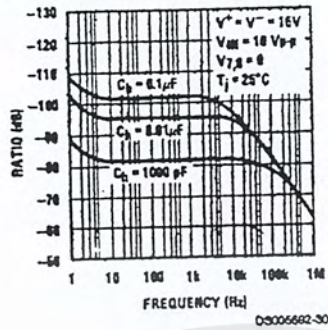
Note 10: See Definition

Typical Performance Characteristics (Continued)

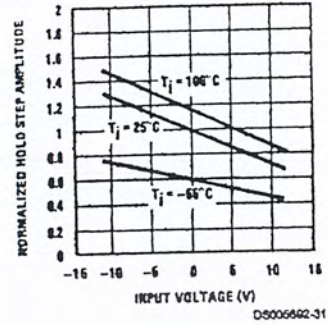
Input Bias Current



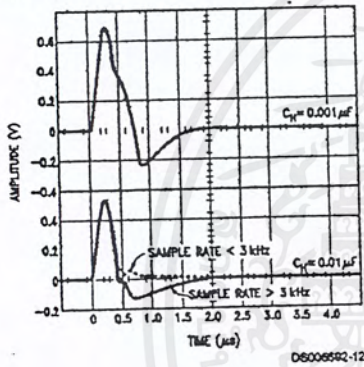
Feedthrough Rejection Ratio (Hold Mode)



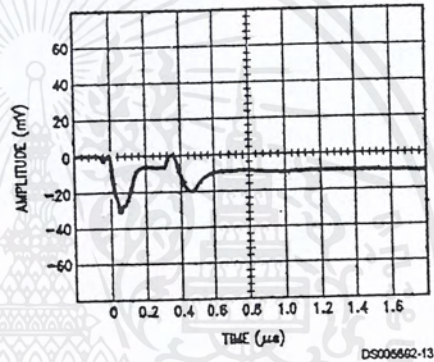
Hold Step vs Input Voltage



Output Transient at Start of Sample Mode

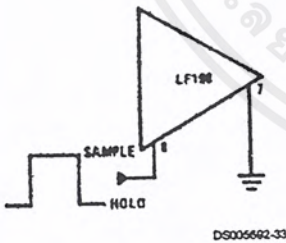


Output Transient at Start of Hold Mode

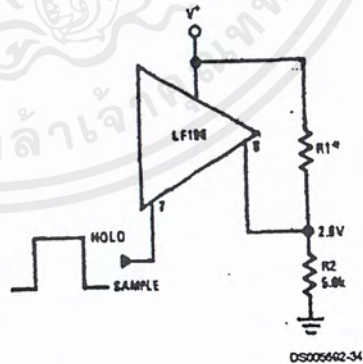


Logic Input Configurations

TTL & CMOS
 $3V \leq V_{Logic} (Hi State) \leq 7V$



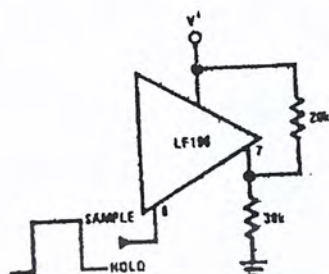
Threshold = 1.4V



Threshold = 1.4V
 *Select for 2.8V at pin 8

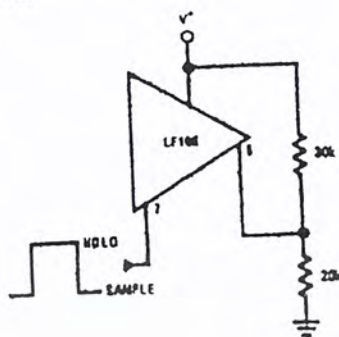
Logic Input Configurations (Continued)

CMOS
 $7V \leq V_{\text{LOGIC}} \text{ (HI State)} \leq 15V$



DS006592-35

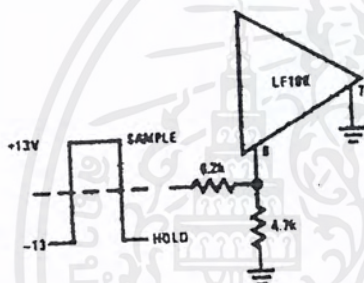
Threshold = $0.6(V^+) + 1.4V$



DS006592-36

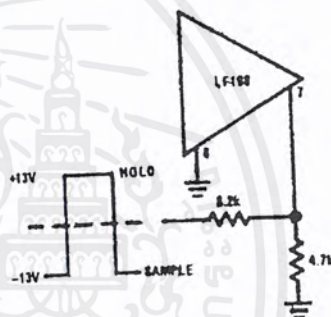
Threshold = $0.6(V^+) - 1.4V$

Op Amp Drive



DS006592-37

Threshold = $-4V$



DS006592-38

Threshold = $-4V$

Application Hints

Hold Capacitor

Hold step, acquisition time, and droop rate are the major trade-offs in the selection of a hold capacitor value. Size and cost may also become important for larger values. Use of the curves included with this data sheet should be helpful in selecting a reasonable value of capacitance. Keep in mind that for fast repulsion rates or tracking fast signals, the capacitor drive currents may cause a significant temperature rise in the LF198.

A significant source of error in an accurate sample and hold circuit is dielectric absorption in the hold capacitor. A mylar cap, for instance, may "sag back" up to 0.2% after a quick change in voltage. A long sample time is required before the circuit can be put back into the hold mode with this type of capacitor. Dielectrics with very low hysteresis are polystyrene, polypropylene, and Teflon. Other types such as mica and polycarbonate are not nearly as good. The advantage of polypropylene over polystyrene is that it extends the maximum ambient temperature from 85°C to 100°C. Most ceramic capacitors are unusable with > 1% hysteresis. Ceramic "NPO" or "COG" capacitors are now available for 125°C operation and also have low dielectric absorption. For more exact data, see the curve *Dielectric Absorption Error*. The hysteresis numbers on the curve are final values, taken after full relaxation. The hysteresis error can be significantly

reduced if the output of the LF198 is digitized quickly after the hold mode is initiated. The hysteresis relaxation time constant in polypropylene, for instance, is 10—50 ms. If A-to-D conversion can be made within 1 ms, hysteresis error will be reduced by a factor of ten.

DC and AC Zeroing

DC zeroing is accomplished by connecting the offset adjust pin to the wiper of a 1 kΩ potentiometer which has one end tied to V^+ and the other end tied through a resistor to ground. The resistor should be selected to give ≈ 0.6 mA through the 1k potentiometer.

AC zeroing (hold step zeroing) can be obtained by adding an inverter with the adjustment pot tied input to output. A 10 pF capacitor from the wiper to the hold capacitor will give ± 4 mV hold step adjustment with a 0.01 μ F hold capacitor and 5V logic supply. For larger logic swings, a smaller capacitor (< 10 pF) may be used.

Logic Rise Time

For proper operation, logic signals into the LF198 must have a minimum dV/dt of 1.0 V/ps. Slower signals will cause excessive hold step. If a R/C network is used in front of the

Application Hints (Continued)

logic input for signal delay, calculate the slope of the waveform at the threshold point to ensure that it is at least $1.0 \text{ V}/\mu\text{s}$.

Sampling Dynamic Signals

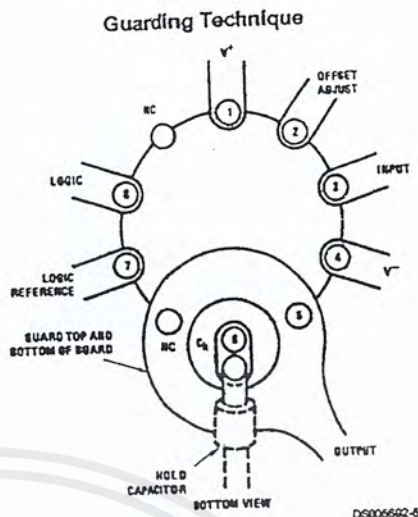
Sample error to moving input signals probably causes more confusion among sample-and-hold users than any other parameter. The primary reason for this is that many users make the assumption that the sample and hold amplifier is truly locked on to the input signal while in the sample mode. In actuality, there are finite phase delays through the circuit creating an input-output differential for fast moving signals. In addition, although the output may have settled, the hold capacitor has an additional lag due to the 300Ω series resistor on the chip. This means that at the moment the "hold" command arrives, the hold capacitor voltage may be somewhat different than the actual analog input. The effect of these delays is opposite to the effect created by delays in the logic which switches the circuit from sample to hold. For example, consider an analog input of 20 Vp-p at 10 kHz . Maximum dV/dt is $0.6 \text{ V}/\mu\text{s}$. With no analog phase delay and 100 ns logic delay, one could expect up to $(0.1 \mu\text{s}) (0.6 \text{ V}/\mu\text{s}) = 60 \text{ mV}$ error if the "hold" signal arrived near maximum dV/dt of the input. A positive-going input would give a $+60 \text{ mV}$ error. Now assume a 1 MHz (3 dB) bandwidth for the overall analog loop. This generates a phase delay of 160 ns . If the hold capacitor sees this exact delay, then error due to analog delay will be $(0.16 \mu\text{s}) (0.6 \text{ V}/\mu\text{s}) = -96 \text{ mV}$. Total output error is $+60 \text{ mV}$ (digital) -96 mV (analog) for a total of -36 mV . To add to the confusion, analog delay is proportioned to hold capacitor value while digital delay remains constant. A family of curves (dynamic sampling error) is included to help estimate errors.

A curve labeled *Aperture Time* has been included for sampling conditions where the input is steady during the sampling period, but may experience a sudden change nearly coincident with the "hold" command. This curve is based on a 1 mV error fed into the output.

A second curve, *Hold Settling Time* indicates the time required for the output to settle to 1 mV after the "hold" command.

Digital Feedthrough

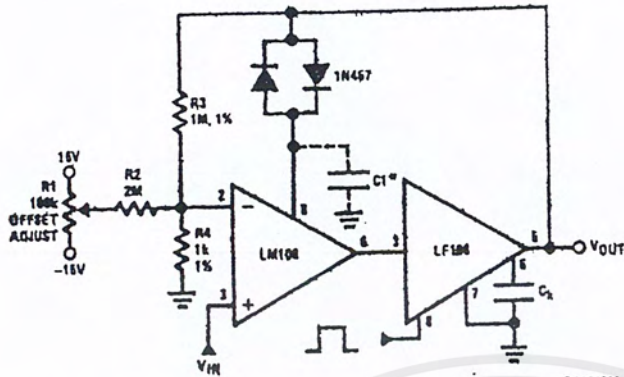
Fast rise time logic signals can cause hold errors by feeding externally into the analog input at the same time the amplifier is put into the hold mode. To minimize this problem, board layout should keep logic lines as far as possible from the analog input and the C_h pin. Grounded guarding traces may also be used around the input line, especially if it is driven from a high impedance source. Reducing high amplitude logic signals to 2.5 V will also help.



Use 10-pin layout. Guard around C_h is tied to output.

Typical Applications

X1000 Sample & Hold

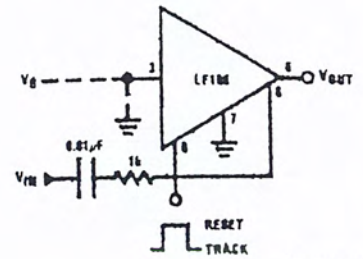


DS006692-39

*For lower gains, the LM108 must be frequency compensated

Use $\approx \frac{100}{A_v}$ pF from comp 2 to ground

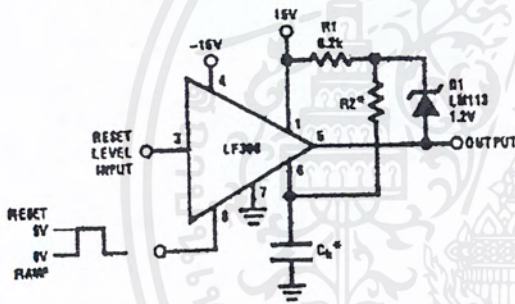
Sample and Difference Circuit
(Output Follows Input in Hold Mode)



DS006692-40

$$V_{OUT} = V_B + \Delta V_{IN}(\text{HOLD MODE})$$

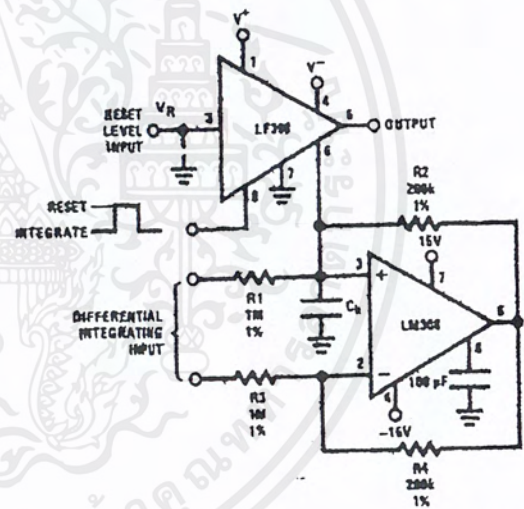
Ramp Generator with Variable Reset Level



DS006692-42

*Select for ramp rate
 $\frac{\Delta V}{\Delta T} = \frac{1.2V}{(R2)(C1)}$
 $R2 \geq 10k$

Integrator with Programmable Reset Level

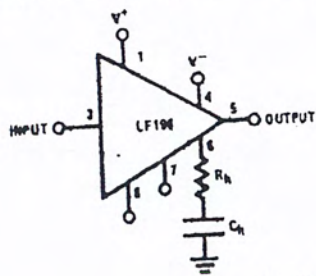


DS006692-43

$$V_{OUT}(\text{Hold Mode}) = \left[\frac{1}{(R1)(C1)} \int_0^t V_{IN} dt \right] + [V_R]$$

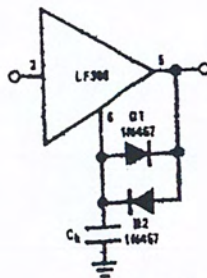
Typical Applications (Continued)

Output Holds at Average of Sampled Input



DS005502-46

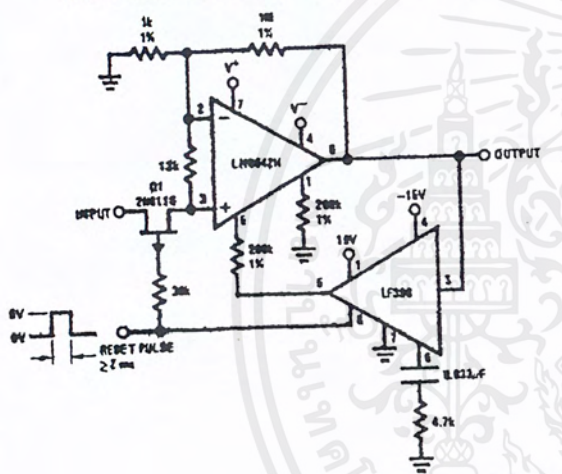
Increased Slew Current



DS005502-47

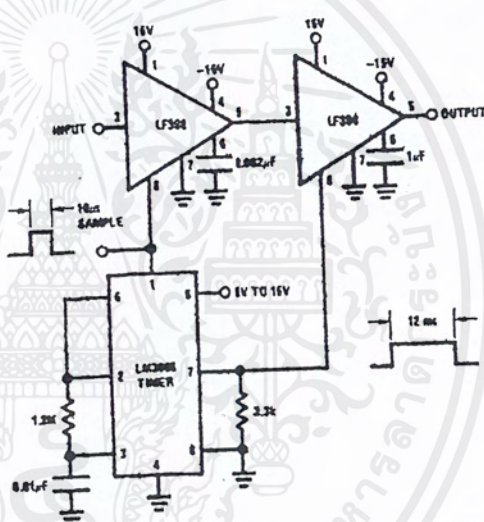
$$\text{Select } (R_h)(C_h) > \frac{1}{2\pi f_{IN}(\text{Min})}$$

Reset Stabilized Amplifier (Gain of 1000)



DS005502-40

Fast Acquisition, Low Droop Sample & Hold



DS005502-50

$$V_{OS} \leq 20 \mu V \text{ (No trim)}$$

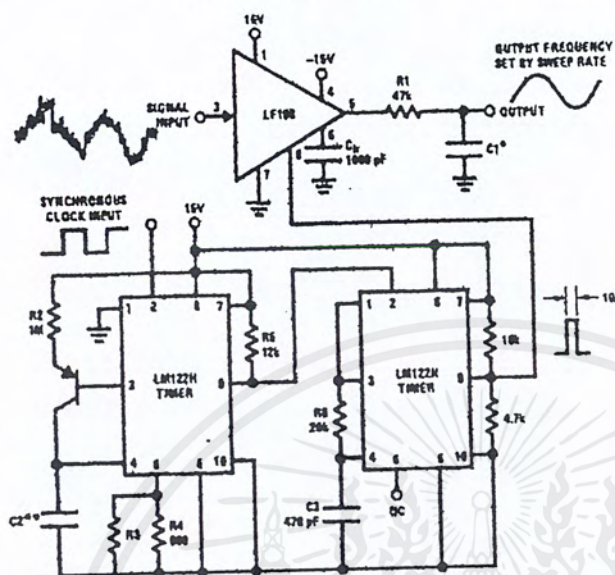
$$Z_{IN} \approx 1 \text{ M}\Omega$$

$$\frac{\Delta V_{OS}}{\Delta t} \approx 30 \mu V/\text{sec}$$

$$\frac{\Delta V_{OS}}{\Delta T} \approx 0.1 \mu V/^{\circ}C$$

Typical Applications (Continued)

Synchronous Correlator for Recovering Signals Below Noise Level



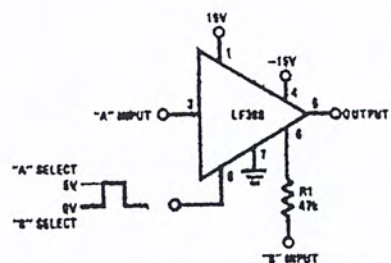
TO SCOPE SWEEP OUTPUT, SCALE R3 TO OBTAIN -8 TO 3V AT PM 6.

*Select C1 to filter lowest frequency component of input noise

**Select C2 @ $\approx 5 \times 10^{-6}/f_{IN}$

DS005692-52

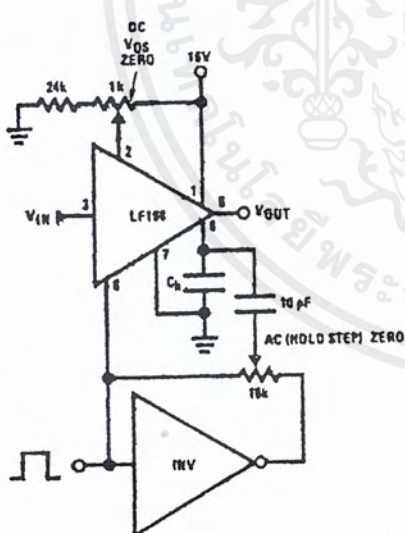
2-Channel Switch



DS005692-53

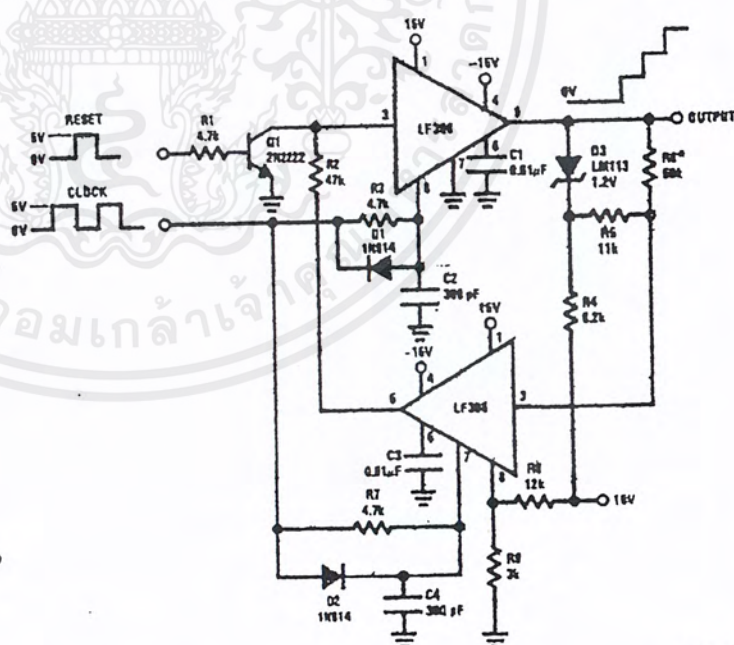
	A	B
Gain	$1 \pm 0.02\%$	$1 \pm 0.2\%$
Z_{IN}	$10^{10}\Omega$	47 k Ω
BW	≈ 1 MHz	≈ 400 kHz
Crosstalk @ 1 kHz	-90 dB	-90 dB
Offset	≤ 6 mV	≤ 75 mV

DC & AC Zeroing



DS005692-59

Staircase Generator



DS005692-55

*Select for step height 50k $\rightarrow \approx 1$ V Step

CMOS Low-Power Monostable/Astable Multivibrator

High Voltage Types (20-Volt Rating)

■ CD4047B consists of a gateable astable multivibrator with logic techniques incorporated to permit positive or negative edge-triggered monostable multivibrator action with retriggering and external counting options.

Inputs include +TRIGGER, -TRIGGER, ASTABLE, ASTABLE, RETRIGGER, and EXTERNAL RESET. Buffered outputs are Q, Q, and OSCILLATOR. In all modes of operation, an external capacitor must be connected between C-Timing and RC-Common terminals, and an external resistor must be connected between the R-Timing and RC-Common terminals.

Astable operation is enabled by a high level on the ASTABLE input or a low level on the ASTABLE input, or both. The period of the square wave at the Q and Q outputs in this mode of operation is a function of the external components employed. "True" input pulses on the ASTABLE input or "Complement" pulses on the ASTABLE input allow the circuit to be used as a gateable multivibrator. The OSCILLATOR output period will be half of the Q terminal output in the astable mode. However, a 50% duty cycle is not guaranteed at this output.

The CD4047B triggers in the monostable mode when a positive-going edge occurs on the +TRIGGER input while the -TRIGGER is held low. Input pulses may be of any duration relative to the output pulse.

If retrigger capability is desired, the RETRIGGER input is pulsed. The retriggerable mode of operation is limited to positive-going edge. The CD4047B will retrigger as long as the RETRIGGER input is high, with or without transitions (See Fig. 34).

An external countdown option can be implemented by coupling "Q" to an external "N" counter and resetting the counter with the trigger pulse. The counter output pulse is fed back to the ASTABLE input and has a duration equal to N times the period of the multivibrator.

A high level on the EXTERNAL RESET input assures no output pulse during an "ON" power condition. This input can also be activated to terminate the output pulse at any time. For monostable operation, whenever V_{DD} is applied, an internal power-on reset circuit will clock the Q output low within one output period (t_{off}).

The CD4047B-Series types are supplied in 14-lead hermetic dual-in-line ceramic packages (D and F suffixes), 14-lead dual-in-line plastic packages (E suffix), and in chip form (H suffix).

Features:

- Low power consumption: special CMOS oscillator configuration
- Monostable (one-shot) or astable (free-running) operation
- True and complemented buffered outputs
- Only one external R and C required
- Buffered inputs
- 100% tested for quiescent current at 20 V
- Standardized, symmetrical output characteristics
- 5-V, 10-V, and 16-V parametric ratings
- Meets all requirements of JEDEC Tentative Standard No. 13B, "Standard Specifications for Description of 'B' Series CMOS Devices"

Monostable Multivibrator Features:

- Positive- or negative-edge trigger
- Output pulse width independent of trigger pulse duration
- Retriggerable option for pulse width expansion
- Internal power-on reset circuit
- Long pulse widths possible using small RC components by means of external counter provision
- Fast recovery time essentially independent of pulse width
- Pulse-width accuracy maintained at duty cycles approaching 100%

Astable Multivibrator Features:

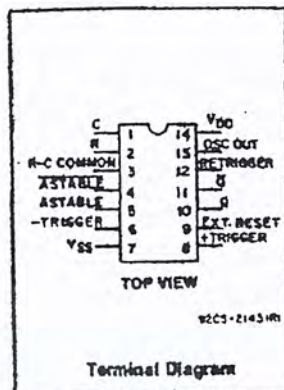
- Free-running or gateable operating modes
- 50% duty cycle

- Oscillator output available
- Good astable frequency stability:
Frequency deviation:
= $\pm 2\% + 0.03\%/^{\circ}\text{C}$ @ 100 kHz
= $\pm 0.5\% + 0.015\%/^{\circ}\text{C}$ @ 10 kHz
(circuits "trimmed" to frequency V_{DD} = 10 V $\pm 10\%$)

Applications:

Digital equipment where low-power dissipation and/or high noise immunity are primary design requirements:

- Envelope detection
- Frequency multiplication
- Frequency division
- Frequency discriminators
- Timing circuits
- Time-delay applications



RECOMMENDED OPERATING CONDITIONS

For maximum reliability, nominal operating conditions should be selected so that operation is always within the following ranges:

CHARACTERISTIC	LIMITS		UNITS
	MIN.	MAX.	
Supply-Voltage Range (For T _A = Full Package-Temperature Range)	3	16	V

NOTE: IF AT 15 V OPERATION A 10 MΩ RESISTOR IS USED THE OPERATING TEMPERATURE SHOULD BE BETWEEN -25°C and 100°C

MAXIMUM RATINGS, Absolute-Maximum Values:

DC SUPPLY-VOLTAGE RANGE (V _{DD})	-0.5V to +20V
Voltages referenced to V _{SS} Terminal	
INPUT VOLTAGE RANGE, ALL INPUTS	-0.5V to V _{DD} + 0.5V
DC INPUT CURRENT, ANY ONE INPUT	±10mA
POWER DISSIPATION PER PACKAGE (P _D):	
For T _A = -55°C to +100°C	500mW
For T _A = +100°C to +125°C	Derate Linearly at 12mW/°C to 200mW
DEVICE DISSIPATION PER OUTPUT TRANSISTOR:	
FOR T _A = FULL PACKAGE-TEMPERATURE RANGE (All Package Types)	100mW
OPERATING-TEMPERATURE RANGE (T _A)	-55°C to +125°C
STORAGE-TEMPERATURE RANGE (T _{stg})	-65°C to +160°C
LEAD TEMPERATURE (DURING SOLDERING):	
At distance 1/16 ± 1/32 inch (1.59 ± 0.79mm) from case for 10s max	+265°C

CD4047B Types

CD4047B FUNCTIONAL TERMINAL CONNECTIONS
NOTE: IN ALL CASES EXTERNAL RESISTOR BETWEEN TERMINALS 2 AND 3▲
EXTERNAL CAPACITOR BETWEEN TERMINALS 1 AND 3▲

FUNCTION	TERMINAL CONNECTIONS			OUTPUT PULSE FROM	OUTPUT PERIOD OR PULSE WIDTH
	TO V _{DD}	TO V _{SS}	INPUT TO		
Astable Multivibrator:					
Free Running	4,5,6,14	7,8,9,12	—	10,11,13	$t_A(10,11) = 4.40 RC$
True Gating	4,6,14	7,8,9,12	5	10,11,13	$t_A(13) = 2.20 RC$
Complement Gating	6,14	5,7,8,9,12	4	10,11,13	
Monostable Multivibrator:					
Positive-Edge Trigger	4,14	5,6,7,9,12	8	10,11	$t_M(10,11) = 2.48 RC$
Negative-Edge Trigger	4,8,14	5,7,9,12	6	10,11	
Retriggerable	4,14	5,6,7,9	8,12	10,11	
External Countdown*	14	5,6,7,8,9,12	—	10,11	

▲ See Text.

* First positive 1/2 cycle pulse-width = 2.48 RC, see Note on Page 3-134.

* Input Pulse to Reset of External Counting Chip Output To Terminal 4

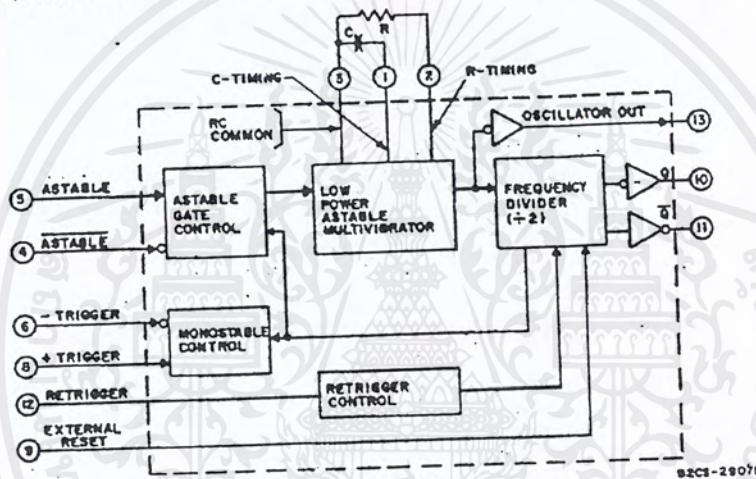


Fig. 1—CD4047B logic block diagram.

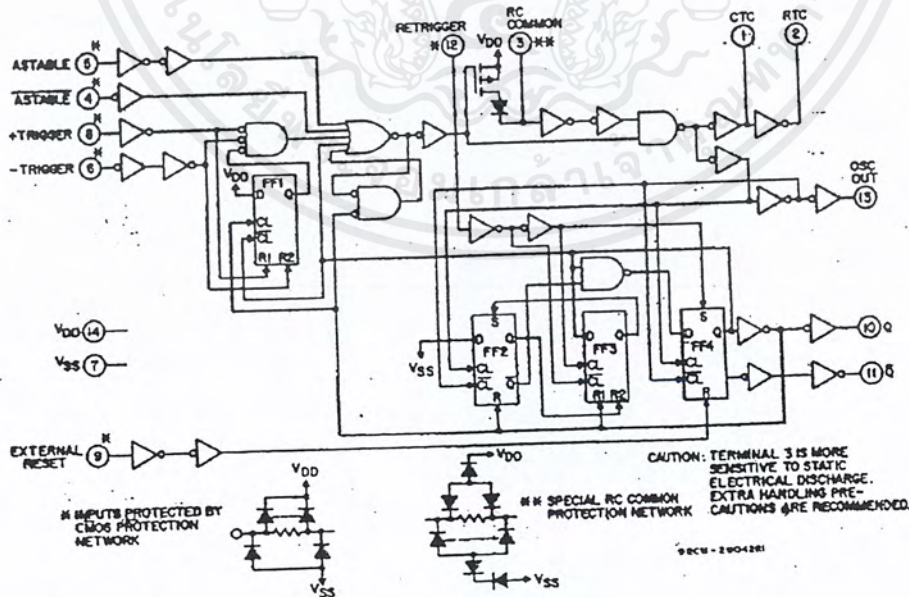


Fig. 2—CD4047B logic diagram.

Absolute Maximum Ratings (Notes 1 & 2)

If Military/Aerospace specified devices are required, contact the National Semiconductor Sales Office/Distributors for availability and specifications.

Supply Voltage (V_{CC})	10V
Logic Control Inputs	$-0.2V$ to $V_{CC} + 0.2V$
Voltage at Other Inputs and Output	$-0.2V$ to $V_{CC} + 0.2V$
Storage Temperature Range	$-65^{\circ}C$ to $+150^{\circ}C$
Package Dissipation at $T_A = 25^{\circ}C$	875 mW
Input Current at Any Pin (Note 5)	1 mA
Package Input Current (Note 5)	4 mA
ESD Susceptibility (Note 9)	1200V

Lead Temp. (Soldering, 10 sec.)

Dual-In-Line Package (plastic)

Dual-In-Line Package (ceramic)

Surface Mount Package

Vapor Phase (60 sec.)

Infrared (15 sec.)

260°C

300°C

215°C

220°C

Operating Ratings (Notes 1 & 2)

Temperature Range	$T_{MIN} \leq T_A \leq T_{MAX}$
ADC0820BD, ADC0820CJ	$-55^{\circ}C \leq T_A \leq +125^{\circ}C$
ADC0820BCD, ADC0820CCJ	$-40^{\circ}C \leq T_A \leq +85^{\circ}C$
ADC0820BCN, ADC0820CCN	$0^{\circ}C \leq T_A \leq +70^{\circ}C$
ADC0820BCV, ADC0820CCV	$0^{\circ}C \leq T_A \leq +70^{\circ}C$
ADC0820BCWM, ADC0820CCWM	$0^{\circ}C \leq T_A \leq +70^{\circ}C$
V_{CC} Range	4.5V to 8V

Converter Characteristics The following specifications apply for RD mode (pin 7 = 0). $V_{CC} = 5V$, $V_{REF}(+) = 5V$, and $V_{REF}(-) = GND$ unless otherwise specified. Boldface limits apply from T_{MIN} to T_{MAX} ; all other limits $T_A = T_j = 25^{\circ}C$.

Parameter	Conditions	ADC0820BD, ADC0820CJ ADC0820BCD, ADC0820CCJ			ADC0820BCN, ADC0820CCN ADC0820BCV, ADC0820CCV ADC0820BCWM, ADC0820CCWM			Limit Units
		Typ (Note 6)	Tested Limit (Note 7)	Design Limit (Note 8)	Typ (Note 6)	Tested Limit (Note 7)	Design Limit (Note 8)	
Resolution			8			8	8	Bits
Total Unadjusted Error (Note 3)	ADC0820BD, BCD ADC0820BCN ADC0820CD, CCD ADC0820CCN		$\pm 1/2$ ± 1			$\pm 1/2$ ± 1	$\pm 1/2$ ± 1	LSB LSB LSB LSB
Minimum Reference Resistance		2.3	1.00		2.3	1.2		k Ω
Maximum Reference Resistance		2.3	6		2.3	5.3	6	k Ω
Maximum $V_{REF}(+)$ Input Voltage			V_{CC}			V_{CC}	V_{CC}	V
Minimum $V_{REF}(-)$ Input Voltage			GND			GND	GND	V
Minimum $V_{REF}(+)$ Input Voltage			$V_{REF}(-)$			$V_{REF}(-)$	$V_{REF}(-)$	V
Maximum $V_{REF}(-)$ Input Voltage			$V_{REF}(+)$			$V_{REF}(+)$	$V_{REF}(+)$	V
Maximum V_{IN} Input Voltage			$V_{CC} + 0.1$			$V_{CC} + 0.1$	$V_{CC} + 0.1$	V
Minimum V_{IN} Input Voltage			GND - 0.1			GND - 0.1	GND - 0.1	V
Maximum Analog Input Leakage Current	$\overline{CS} = V_{CC}$ $V_{IN} = V_{CC}$ $V_{IN} = GND$		3 -3			0.3 -0.3	3 -3	μA μA
Power Supply Sensitivity	$V_{CC} = 5V \pm 5\%$	$\pm 1/16$	$\pm 1/4$		$\pm 1/16$	$\pm 1/4$	$\pm 1/4$	LSB

DC Electrical Characteristics The following specifications apply for $V_{CC} = 5V$, unless otherwise specified.
Boldface limits apply from T_{MIN} to T_{MAX} ; all other limits $T_A = T_J = 25^\circ C$.

Parameter	Conditions	ADC0820BD, ADC0820CJ ADC0820BCD, ADC0820CCJ			ADC0820BCN, ADC0820CCN ADC0820BCV, ADC0820CCV ADC0820BCWM, ADC0820CCWM			Limit Units
		Typ (Note 6)	Tested Limit (Note 7)	Design Limit (Note 8)	Typ (Note 6)	Tested Limit (Note 7)	Design Limit (Note 8)	
$V_{IN(1)}$, Logical "1" Input Voltage	$V_{CC} = 5.25V$ $\overline{CS}, \overline{WR}, \overline{RD}$ Mode		2.0 3.5			2.0 3.5	2.0 3.5	V V
$V_{IN(0)}$, Logical "0" Input Voltage	$V_{CC} = 4.75V$ $\overline{CS}, \overline{WR}, \overline{RD}$ Mode		0.8 1.5			0.8 1.5	0.8 1.5	V V
$I_{IN(1)}$, Logical "1" Input Current	$V_{IN(1)} = 5V; \overline{CS}, \overline{RD}$ $V_{IN(1)} = 5V; \overline{WR}$ $V_{IN(1)} = 5V; \text{Mode}$	0.005 0.1 50	1 3 200		0.005 0.1 50	0.3 170	1 3 200	μA μA μA
$I_{IN(0)}$, Logical "0" Input Current	$V_{IN(0)} = 0V; \overline{CS}, \overline{RD}, \overline{WR}$ Mode	-0.005	-1		-0.005		-1	μA
$V_{OUT(1)}$, Logical "1" Output Voltage	$V_{CC} = 4.75V, I_{OUT} = -360 \mu A$; DB0-DB7, $\overline{OFL}$, INT $V_{CC} = 4.75V, I_{OUT} = -10 \mu A$; DB0-DB7, $\overline{OFL}$, INT		2.4 4.5			2.8 4.6	2.4 4.5	V V
$V_{OUT(0)}$, Logical "0" Output Voltage	$V_{CC} = 4.75V, I_{OUT} = 1.6 \text{ mA}$; DB0-DB7, $\overline{OFL}$, INT, RDY		0.4			0.34	0.4	V
I_{OUT} , TRI-STATE Output Current	$V_{OUT} = 5V; \text{DB0-DB7, RDY}$ $V_{OUT} = 0V; \text{DB0-DB7, RDY}$	0.1 -0.1	3 -3		0.1 -0.1	0.3 -0.3	3 -3	μA μA
I_{SOURCE} , Output Source Current	$V_{OUT} = 0V; \text{DB0-DB7, } \overline{OFL}$ INT	-12 -9	-6 -4.0		-12 -9	-7.2 -5.3	-6 -4.0	mA mA
I_{SINK} , Output Sink Current	$V_{OUT} = 5V; \text{DB0-DB7, } \overline{OFL}$ INT, RDY	14	7		14	8.4	7	mA
I_{CC} , Supply Current	$\overline{CS} = \overline{WR} = \overline{RD} = 0$	7.5	15		7.5	13	15	mA

AC Electrical Characteristics The following specifications apply for $V_{CC} = 5V$, $t_r = t_f = 20 \text{ ns}$, $V_{REF(+)} = 5V$,
 $V_{REF(-)} = 0V$ and $T_A = 25^\circ C$ unless otherwise specified.

Parameter	Conditions	Typ (Note 6)	Tested Limit (Note 7)	Design Limit (Note 8)	Units
t_{CRD} , Conversion Time for RD Mode	Pin 7 = 0, (Figure 2)	1.6		2.5	μs
t_{ACC0} , Access Time (Delay from Falling Edge of $\overline{RD}$ to Output Valid)	Pin 7 = 0, (Figure 2)	$t_{CRD} + 20$		$t_{CRD} + 50$	ns
t_{CWR-RD} , Conversion Time for WR-RD Mode	Pin 7 = V_{CC} ; $t_{WR} = 600 \text{ ns}$, $t_{RD} = 600 \text{ ns}$; (Figures 3a and 3b)			1.52	μs
t_{WR} , Write Time	Min			600	ns
	Max		50		μs
t_{RD} , Read Time	Min			600	ns
t_{ACC1} , Access Time (Delay from Falling Edge of $\overline{RD}$ to Output Valid)	Pin 7 = V_{CC} ; $t_{RD} < t_i$; (Figure 3a) $C_L = 15 \text{ pF}$	190		280	ns
	$C_L = 100 \text{ pF}$	210		320	ns
t_{ACC2} , Access Time (Delay from Falling Edge of $\overline{RD}$ to Output Valid)	Pin 7 = V_{CC} ; $t_{RD} > t_i$; (Figure 3b) $C_L = 15 \text{ pF}$	70		120	ns
	$C_L = 100 \text{ pF}$	90		150	ns

AC Electrical Characteristics (Continued) The following specifications apply for $V_{CC} = 5V$, $t_r = t_f = 20$ ns, $V_{REF}(+) = 5V$, $V_{REF}(-) = 0V$ and $T_A = 25^\circ C$ unless otherwise specified.

Parameter	Conditions	Typ (Note 6)	Tested Limit (Note 7)	Design Limit (Note 8)	Units
t_i , Internal Comparison Time	Pin 7 = V_{CC} ; (Figures 3b and 4) $C_L = 50$ pF	800		1300	ns
t_{1H} , t_{0H} , TRI-STATE Control (Delay from Rising Edge of $\overline{RD}$ to Hi-Z State)	$R_L = 1k$, $C_L = 10$ pF	100		200	ns
t_{INTL} , Delay from Rising Edge of $\overline{WR}$ to Falling Edge of $\overline{INT}$	Pin 7 = V_{CC} , $C_L = 50$ pF $t_{RD} > t_i$; (Figure 3b) $t_{RD} < t_i$; (Figure 3a)	$t_{RD} + 200$		t_i $t_{RD} + 290$	ns ns
t_{INTH} , Delay from Rising Edge of $\overline{RD}$ to Rising Edge of $\overline{INT}$	(Figures 2, 3a and 3b) $C_L = 50$ pF	125		225	ns
t_{INTHWR} , Delay from Rising Edge of $\overline{WR}$ to Rising Edge of $\overline{INT}$	(Figure 4), $C_L = 50$ pF	175		270	ns
t_{RDY} , Delay from $\overline{CS}$ to RDY	(Figure 2), $C_L = 50$ pF, Pin 7 = 0	50		100	ns
t_{OD} , Delay from $\overline{INT}$ to Output Valid	(Figure 4)	20		50	ns
t_{RI} , Delay from $\overline{RD}$ to $\overline{INT}$	Pin 7 = V_{CC} , $t_{RD} < t_i$ (Figure 3a)	200		290	ns
t_p , Delay from End of Conversion to Next Conversion	(Figures 2, 3a, 3b and 4) (Note 4) See Graph			500	ns
Slow Rate, Tracking		0.1			V/ μs
C_{VIN} , Analog Input Capacitance		45			pF
C_{OUT} , Logic Output Capacitance		5			pF
C_{IN} , Logic Input Capacitance		5			pF

Note 1: Absolute Maximum Ratings indicate limits beyond which damage to the device may occur. DC and AC electrical specifications do not apply when operating the device beyond its specified operating conditions.

Note 2: All voltages are measured with respect to the GND pin, unless otherwise specified.

Note 3: Total unadjusted error includes offset, full-scale, and linearity errors.

Note 4: Accuracy may degrade if t_{WR} or t_{RD} is shorter than the minimum value specified. See Accuracy vs t_{WR} and Accuracy vs t_{RD} graphs.

Note 5: When the input voltage (V_{IN}) at any pin exceeds the power supply rails ($V_{IN} < V^-$ or $V_{IN} > V^+$) the absolute value of current at that pin should be limited to 1 mA or less. The 4 mA package input current limits the number of pins that can exceed the power supply boundaries with a 1 mA current limit to four.

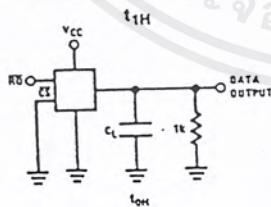
Note 6: Typicals are at $25^\circ C$ and represent most likely parametric norm.

Note 7: Tested limits are guaranteed to National's AOQL (Average Outgoing Quality Level).

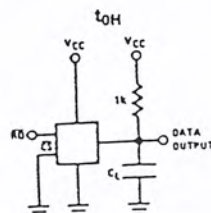
Note 8: Design limits are guaranteed but not 100% tested. These limits are not used to calculate outgoing quality levels.

Note 9: Human body model, 100 pF discharged through a 1.5 k Ω resistor.

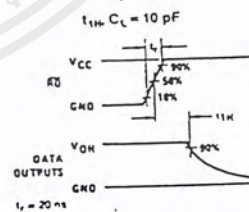
TRI-STATE Test Circuits and Waveforms



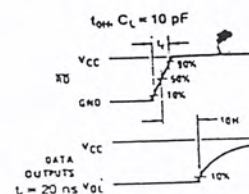
TL/H/5501-3



TL/H/5501-5

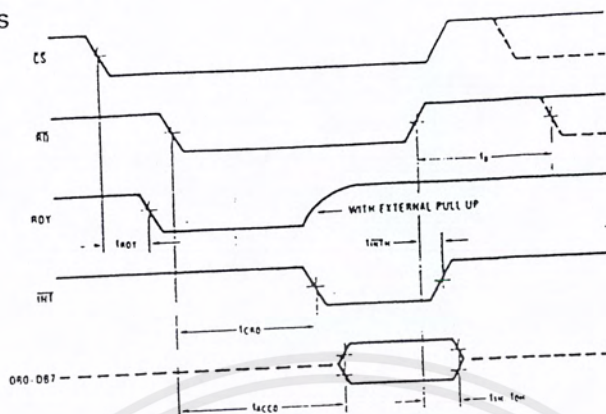


TL/H/5501-4



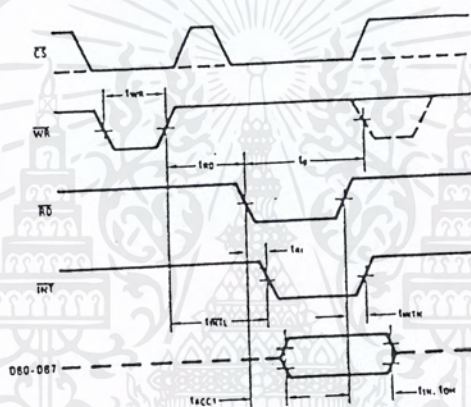
TL/H/5501-6

Timing Diagrams



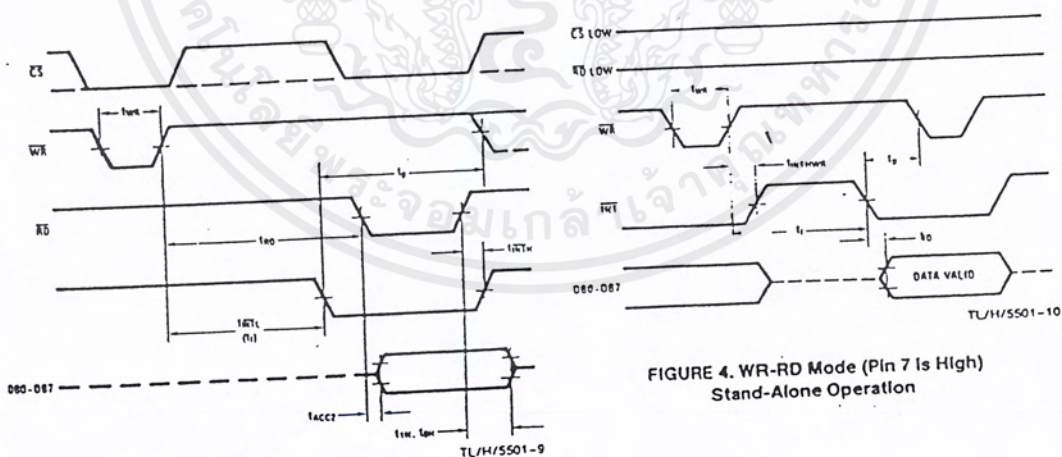
TL/H/5501-7

FIGURE 2. RD Mode (Pin 7 Is Low)



TL/H/5501-8

FIGURE 3a. WR-RD Mode (Pin 7 Is High and $t_{RD} < t_I$)



TL/H/5501-9

FIGURE 3b. WR-RD Mode (Pin 7 Is High and $t_{RD} > t_I$)

FIGURE 4. WR-RD Mode (Pin 7 Is High) Stand-Alone Operation

TL/H/5501-10

Description of Pin Functions

Pin Name	Function
1 V_{IN}	Analog input; range = $GND \leq V_{IN} \leq V_{CC}$
2 DB0	TRI-STATE data output—bit 0 (LSB)
3 DB1	TRI-STATE data output—bit 1
4 DB2	TRI-STATE data output—bit 2
5 DB3	TRI-STATE data output—bit 3
6 $\overline{WR}/RDY$	WR-RD Mode $\overline{WR}$: With $\overline{CS}$ low, the conversion is started on the falling edge of $\overline{WR}$. Approximately 800 ns (the preset internal time out, t_i) after the $\overline{WR}$ rising edge, the result of the conversion will be strobed into the output latch, provided that $\overline{RD}$ does not occur prior to this time out (see Figures 3a and 3b). RD Mode RDY: This is an open drain output (no internal pull-up device). RDY will go low after the falling edge of $\overline{CS}$. RDY will go TRI-STATE when the result of the conversion is strobed into the output latch. It is used to simplify the interface to a micro-processor system (see Figure 2). Mode: Mode selection input—it is internally tied to GND through a 50 μA current source. RD Mode: When mode is low WR-RD Mode: When mode is high
7 Mode	
8 $\overline{RD}$	WR-RD Mode With $\overline{CS}$ low, the TRI-STATE data outputs (DB0-DB7) will be activated when $\overline{RD}$ goes low (see Figure 4). $\overline{RD}$ can also be used to increase the speed of the converter by reading data prior to the preset internal time out (t_i, ~800 ns). If this is done, the data result transferred to output latch is latched after the falling edge of the $\overline{RD}$ (see Figures 3a and 3b). RD Mode With $\overline{CS}$ low, the conversion will start with $\overline{RD}$ going low, also $\overline{RD}$ will enable the TRI-STATE data outputs at the completion of the conversion. RDY going TRI-STATE and $\overline{INT}$ going low indicates the completion of the conversion (see Figure 2).

Pin Name	Function
9 $\overline{INT}$	WR-RD Mode $\overline{INT}$ going low indicates that the conversion is completed and the data result is in the output latch. $\overline{INT}$ will go low, ~800 ns (the preset internal time out, t_i) after the rising edge of $\overline{WR}$ (see Figure 3b); or $\overline{INT}$ will go low after the falling edge of $\overline{RD}$, if $\overline{RD}$ goes low prior to the 800 ns time out (see Figure 3a). $\overline{INT}$ is reset by the rising edge of $\overline{RD}$ or $\overline{CS}$ (see Figures 3a and 3b). RD Mode $\overline{INT}$ going low indicates that the conversion is completed and the data result is in the output latch. $\overline{INT}$ is reset by the rising edge of $\overline{RD}$ or $\overline{CS}$ (see Figure 2).
10 GND	Ground
11 $V_{REF}(-)$	The bottom of resistor ladder, voltage range: $GND \leq V_{REF}(-) \leq V_{REF}(+)$ (Note 5)
12 $V_{REF}(+)$	The top of resistor ladder, voltage range: $V_{REF}(-) \leq V_{REF}(+) \leq V_{CC}$ (Note 5)
13 $\overline{CS}$	$\overline{CS}$ must be low in order for the $\overline{RD}$ or $\overline{WR}$ to be recognized by the converter.
14 DB4	TRI-STATE data output—bit 4
15 DB5	TRI-STATE data output—bit 5
16 DB6	TRI-STATE data output—bit 6
17 DB7	TRI-STATE data output—bit 7 (MSB)
18 $\overline{OFL}$	Overflow output—If the analog input is higher than the $V_{REF}(+)$, $\overline{OFL}$ will be low at the end of conversion. It can be used to cascade 2 or more devices to have more resolution (9, 10-bit). This output is always active and does not go into TRI-STATE as DB0-DB7 do.
19 NC	No connection
20 V_{CC}	Power supply voltage

1.0 Functional Description

1.1 GENERAL OPERATION

The ADC0820 uses two 4-bit flash A/D converters to make an 8-bit measurement (Figure 1). Each flash ADC is made up of 15 comparators which compare the unknown input to a reference ladder to get a 4-bit result. To take a full 8-bit reading, one flash conversion is done to provide the 4 most significant data bits (via the MS flash ADC). Driven by the 4 MSBs, an internal DAC recreates an analog approximation of the input voltage. This analog signal is then subtracted from the input, and the difference voltage is converted by a second 4-bit flash ADC (the LS ADC), providing the 4 least significant bits of the output data word.

The internal DAC is actually a subsection of the MS flash converter. This is accomplished by using the same resistor ladder for the A/D as well as for generating the DAC signal. The DAC output is actually the tap on the resistor ladder which most closely approximates the analog input. In addition, the "sampled-data" comparators used in the ADC0820 provide the ability to compare the magnitudes of several analog signals simultaneously, without using input summing amplifiers. This is especially useful in the LS flash ADC, where the signal to be converted is an analog difference.

1.0 Functional Description (Continued)

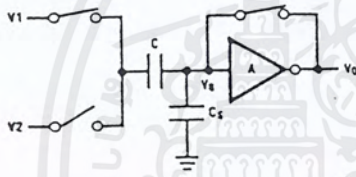
1.2 THE SAMPLED-DATA COMPARATOR

Each comparator in the ADC0820 consists of a CMOS inverter with a capacitively coupled input (Figure 5). Analog switches connect the two comparator inputs to the input capacitor (C) and also connect the inverter's input and output. This device in effect now has one differential input pair. A comparison requires two cycles, one for zeroing the comparator, and another for making the comparison.

In the first cycle, one input switch and the inverter's feedback switch (Figure 5a) are closed. In this interval, C is charged to the connected input (V1) less the inverter's bias voltage (V_B , approximately 1.2V). In the second cycle (Figure 5b), these two switches are opened and the other (V2) input's switch is closed. The input capacitor now subtracts its stored voltage from the second input and the difference is amplified by the inverter's open loop gain. The inverter's input (V_B') becomes

$$V_B' = (V1 - V2) \frac{C}{C + C_S}$$

and the output will go high or low depending on the sign of $V_B' - V_B$.



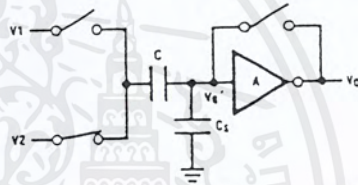
- $V_O = V_B$
- V on $C = V1 - V_B$
- C_S = stray input node capacitor
- V_B = inverter input bias voltage

FIGURE 5a. Zeroing Phase

The actual circuitry used in the ADC0820 is a simple but important expansion of the basic comparator described above. By adding a second capacitor and another set of switches to the input (Figure 6), the scheme can be expanded to make dual differential comparisons. In this circuit, the feedback switch and one input switch on each capacitor (Z switches) are closed in the zeroing cycle. A comparison is then made by connecting the second input on each capacitor and opening all of the other switches (S switches). The change in voltage at the inverter's input, as a result of the change in charge on each input capacitor, will now depend on both input signal differences.

1.3 ARCHITECTURE

In the ADC0820, one bank of 15 comparators is used in each 4-bit flash A/D converter (Figure 7). The MS (most significant) flash ADC also has one additional comparator to detect input overrange. These two sets of comparators operate alternately, with one group in its zeroing cycle while the other is comparing.



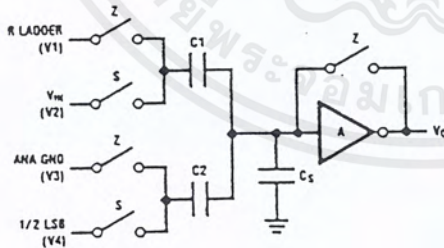
$$V_B' - V_B = (V2 - V1) \frac{C}{C + C_S}$$

$$V_O' = \frac{-A}{C + C_S} [CV2 - CV1]$$

$$V_O' \text{ is dependent on } V2 - V1$$

FIGURE 5b. Compare Phase

FIGURE 5. Sampled-Data Comparator



$$V_O = \frac{-A}{C1 + C2 + C_S} [C1(V2 - V1) + C2(V4 - V3)]$$

$$= \frac{-A}{C1 + C2 + C_S} [\Delta Q_{C1} + \Delta Q_{C2}]$$

FIGURE 6. ADC0820 Comparator (from MS Flash ADC)

Detailed Block Diagram

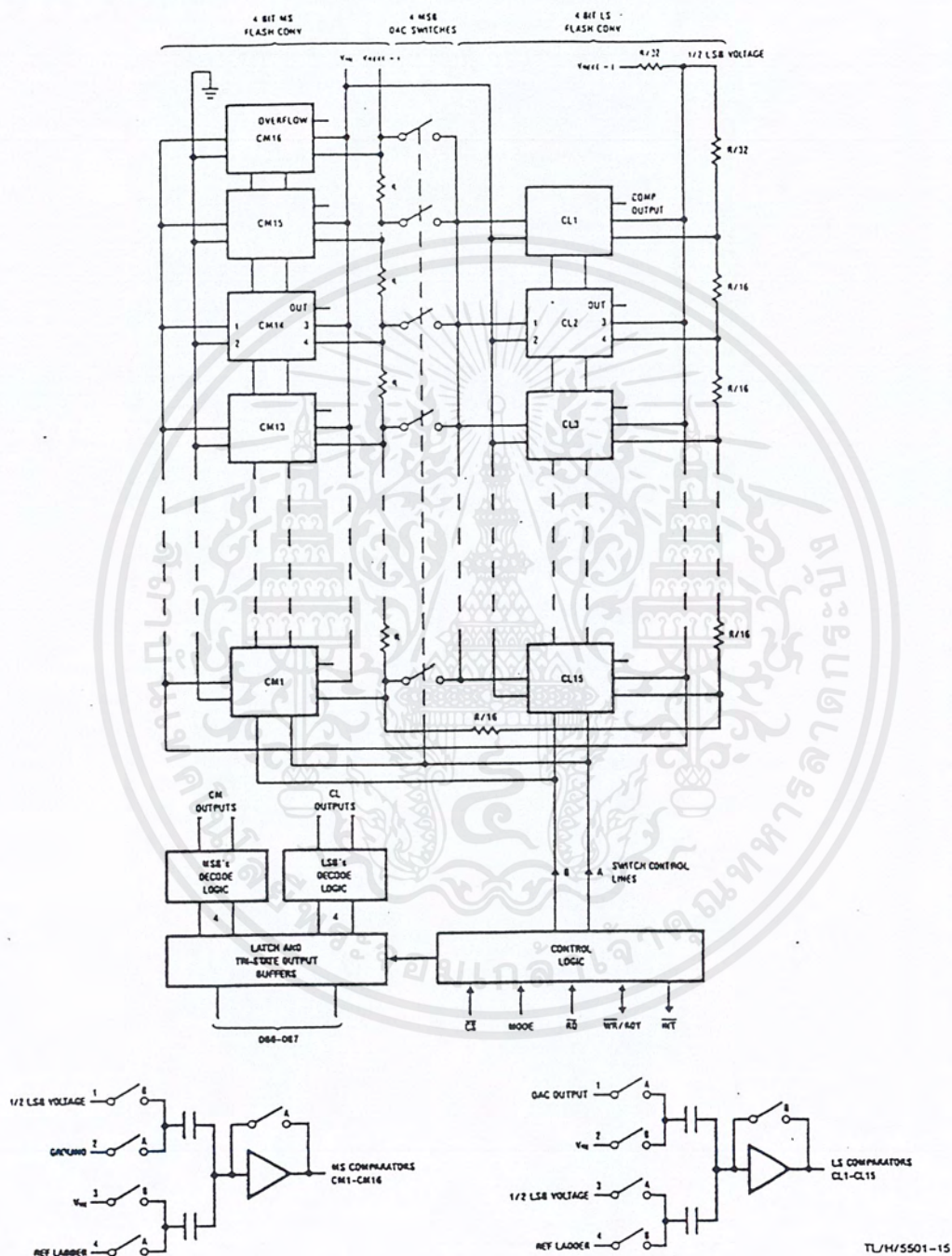


FIGURE 7

TL/H/5501-15

1.0 Functional Description (Continued)

When a typical conversion is started, the $\overline{WR}$ line is brought low. At this instant the MS comparators go from zeroing to comparison mode (Figure 8). When $\overline{WR}$ is returned high after at least 600 ns, the output from the first set of comparators (the first flash) is decoded and latched. At this point the two 4-bit converters change modes and the LS (least significant) flash ADC enters its compare cycle. No less than 600 ns later, the $\overline{RD}$ line may be pulled low to latch the lower 4 data bits and finish the 8-bit conversion. When $\overline{RD}$ goes low, the flash A/Ds change state once again in preparation for the next conversion.

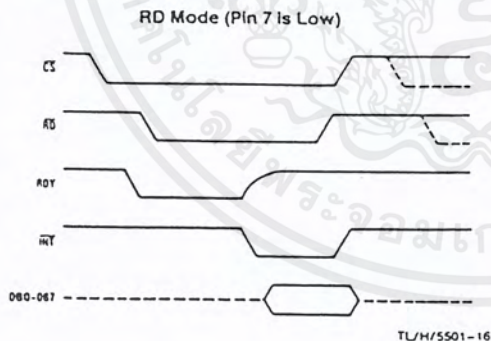
Figure 8 also outlines how the converter's interface timing relates to its analog input (V_{IN}). In WR-RD mode, V_{IN} is measured while $\overline{WR}$ is low. In RD mode, sampling occurs during the first 800 ns of $\overline{RD}$. Because of the input connections to the ADC0820's LS and MS comparators, the converter has the ability to sample V_{IN} at one instant (Section 2.4), despite the fact that two separate 4-bit conversions are being done. More specifically, when $\overline{WR}$ is low the MS flash is in compare mode (connected to V_{IN}), and the LS flash is in zero mode (also connected to V_{IN}). Therefore both flash ADCs sample V_{IN} at the same time.

1.4 DIGITAL INTERFACE

The ADC0820 has two basic interface modes which are selected by strapping the MODE pin high or low.

RD Mode

With the MODE pin grounded, the converter is set to Read mode. In this configuration, a complete conversion is done by pulling $\overline{RD}$ low until output data appears. An $\overline{INT}$ line is provided which goes low at the end of the conversion as well as a $\overline{RDY}$ output which can be used to signal a processor that the converter is busy or can also serve as a system Transfer Acknowledge signal.



When in RD mode, the comparator phases are internally triggered. At the falling edge of $\overline{RD}$, the MS flash converter goes from zero to compare mode and the LS ADC's comparators enter their zero cycle. After 800 ns, data from the MS flash is latched and the LS flash ADC enters compare mode. Following another 800 ns, the lower 4 bits are recovered.

WR then RD Mode

With the MODE pin tied high, the A/D will be set up for the WR-RD mode. Here, a conversion is started with the $\overline{WR}$ input; however, there are two options for reading the output data which relate to interface timing. If an interrupt driven scheme is desired, the user can wait for $\overline{INT}$ to go low before reading the conversion result (Figure 9). $\overline{INT}$ will typically go low 800 ns after $\overline{WR}$'s rising edge. However, if a shorter conversion time is desired, the processor need not wait for $\overline{INT}$ and can exercise a read after only 600 ns (Figure A). If this is done, $\overline{INT}$ will immediately go low and data will appear at the outputs.

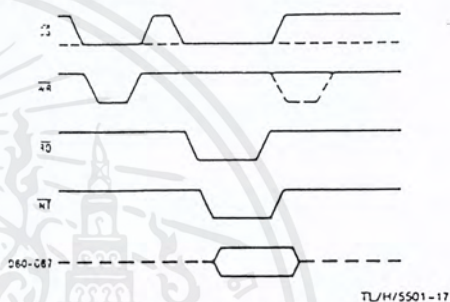


FIGURE A. WR-RD Mode (Pin 7 Is High and $t_{RD} < t_I$)

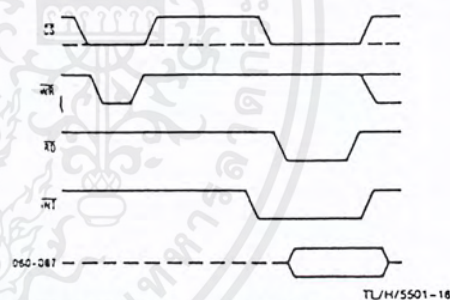
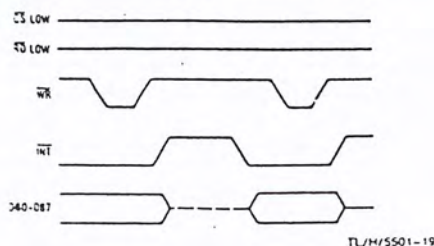


FIGURE B. WR-RD Mode (Pin 7 Is High and $t_{RD} > t_I$)

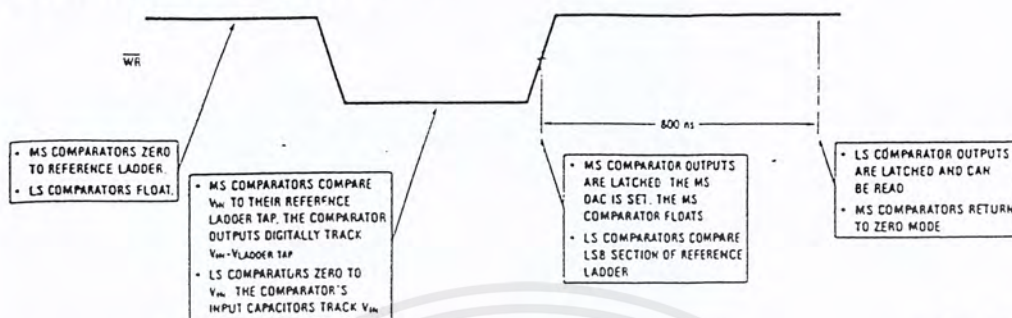
Stand-Alone

For stand-alone operation in WR-RD mode, $\overline{CS}$ and $\overline{RD}$ can be tied low and a conversion can be started with $\overline{WR}$. Data will be valid approximately 800 ns following $\overline{WR}$'s rising edge.

WR-RD Mode (Pin 7 Is High) Stand-Alone Operation



1.0 Functional Description (Continued)



TLH/5501-20

Note: MS means most significant
LS means least significant

FIGURE 8. Operating Sequence (WR-RD Mode)

OTHER INTERFACE CONSIDERATIONS

In order to maintain conversion accuracy, $\overline{WR}$ has a maximum width spec of 50 μ s. When the MS flash ADC's sampled-data comparators (Section 1.2) are in comparison mode ($\overline{WR}$ is low), the input capacitors (C, Figure 6) must hold their charge. Switch leakage and inverter bias current can cause errors if the comparator is left in this phase for too long.

Since the MS flash ADC enters its zeroing phase at the end of a conversion (Section 1.3), a new conversion cannot be started until this phase is complete. The minimum spec for this time (1p, Figures 2, 3a, 3b, and 4) is 500 ns.

2.0 Analog Considerations

2.1 REFERENCE AND INPUT

The two V_{REF} inputs of the ADC0820 are fully differential and define the zero to full-scale input range of the A to D converter. This allows the designer to easily vary the span of the analog input since this range will be equivalent to the voltage difference between $V_{IN}(+)$ and $V_{IN}(-)$. By reducing $V_{REF}(V_{REF} = V_{REF}(+) - V_{REF}(-))$ to less than 5V, the sensitivity of the converter can be increased (i.e., if $V_{REF} = 2V$ then 1 LSB = 7.8 mV). The input/reference arrangement also facilitates ratiometric operation and in many cases the chip power supply can be used for transducer power as well as the V_{REF} source.

This reference flexibility lets the input span not only be varied but also offset from zero. The voltage at $V_{REF}(-)$ sets the input level which produces a digital output of all zeroes. Though V_{IN} is not itself differential, the reference design affords nearly differential-input capability for most measurement applications. Figure 9 shows some of the configurations that are possible.

2.2 INPUT CURRENT

Due to the unique conversion techniques employed by the ADC0820, the analog input behaves somewhat differently than in conventional devices. The A/D's sampled-data comparators take varying amounts of input current depending on which cycle the conversion is in.

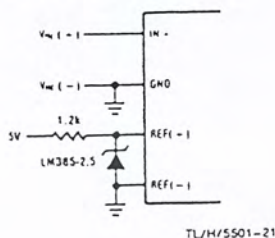
The equivalent input circuit of the ADC0820 is shown in Figure 10a. When a conversion starts ($\overline{WR}$ low, WR-RD mode), all input switches close, connecting V_{IN} to thirty-one 1 pF capacitors. Although the two 4-bit flash circuits are not both in their compare cycle at the same time, V_{IN} still sees all input capacitors at once. This is because the MS flash converter is connected to the input during its compare interval and the LS flash is connected to the input during its zeroing phase (Section 1.3). In other words, the LS ADC uses V_{IN} as its zero-phase input.

The input capacitors must charge to the input voltage through the on resistance of the analog switches (about 5 k Ω to 10 k Ω). In addition, about 12 pF of input stray capacitance must also be charged. For large source resistances, the analog input can be modeled as an RC network as shown in Figure 10b. As R_S increases, it will take longer for the input capacitance to charge.

In RD mode, the input switches are closed for approximately 800 ns at the start of the conversion. In WR-RD mode, the time that the switches are closed to allow this charging is the time that $\overline{WR}$ is low. Since other factors force this time to be at least 600 ns, input time constants of 100 ns can be accommodated without special consideration. Typical total input capacitance values of 45 pF allow R_S to be 1.5 k Ω without lengthening $\overline{WR}$ to give V_{IN} more time to settle.

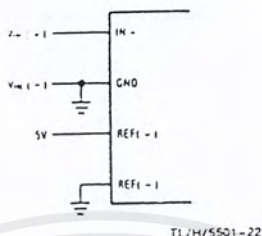
2.0 Analog Considerations (Continued)

External Reference 2.5V Full-Scale



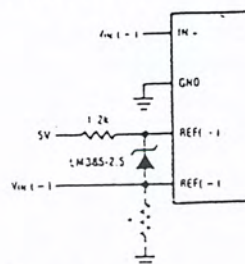
TL/H/5501-21

Power Supply as Reference



TL/H/5501-22

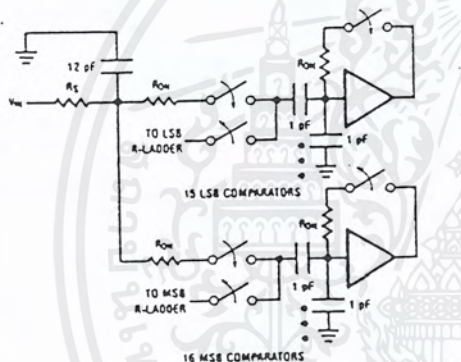
Input Not Referred to GND



* Current path must still exist from $V_{IN}(-)$ to ground

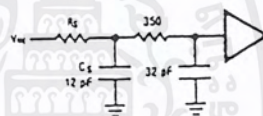
TL/H/5501-23

FIGURE 9. Analog Input Options



TL/H/5501-24

FIGURE 10a



TL/H/5501-25

FIGURE 10b

2.3 INPUT FILTERING

It should be made clear that transients in the analog input signal, caused by charging current flowing into V_{IN} , will not degrade the A/D's performance in most cases. In effect the ADC0820 does not "look" at the input when these transients occur. The comparators' outputs are not latched while $\overline{WR}$ is low, so at least 600 ns will be provided to charge the ADC's input capacitance. It is therefore not necessary to filter out these transients by putting an external cap on the V_{IN} terminal.

2.4 INHERENT SAMPLE-HOLD

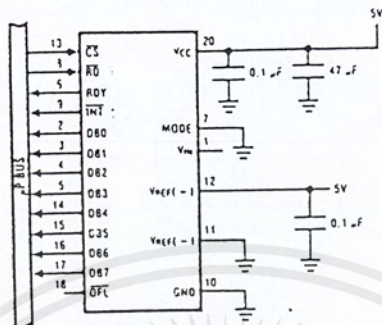
Another benefit of the ADC0820's input mechanism is its ability to measure a variety of high speed signals without the help of an external sample-and-hold. In a conventional SAR type converter, regardless of its speed, the input must remain at least $1/2$ LSB stable throughout the conversion process if full accuracy is to be maintained. Consequently, for many high speed signals, this signal must be externally sampled, and held stationary during the conversion.

Sampled-data comparators, by nature of their input switching, already accomplish this function to a large degree (Section 1.2). Although the conversion time for the ADC0820 is $1.5 \mu s$, the time through which V_{IN} must be $1/2$ LSB stable is much smaller. Since the MS flash ADC uses V_{IN} as its "compare" input and the LS ADC uses V_{IN} as its "zero" input, the ADC0820 only "samples" V_{IN} when $\overline{WR}$ is low (Sections 1.3 and 2.2). Even though the two flashes are not done simultaneously, the analog signal is measured at one instant. The value of V_{IN} approximately 100 ns after the rising edge of $\overline{WR}$ (100 ns due to internal logic prop delay) will be the measured value.

Input signals with slew rates typically below $100 \text{ mV}/\mu s$ can be converted without error. However, because of the input time constants, and charge injection through the opened comparator input switches, faster signals may cause errors. Still, the ADC0820's loss in accuracy for a given increase in signal slope is far less than what would be witnessed in a conventional successive approximation device. An SAR type converter with a conversion time as fast as $1 \mu s$ would still not be able to measure a 5V 1 kHz sine wave without the aid of an external sample-and-hold. The ADC0820, with no such help, can typically measure 5V, 7 kHz waveforms.

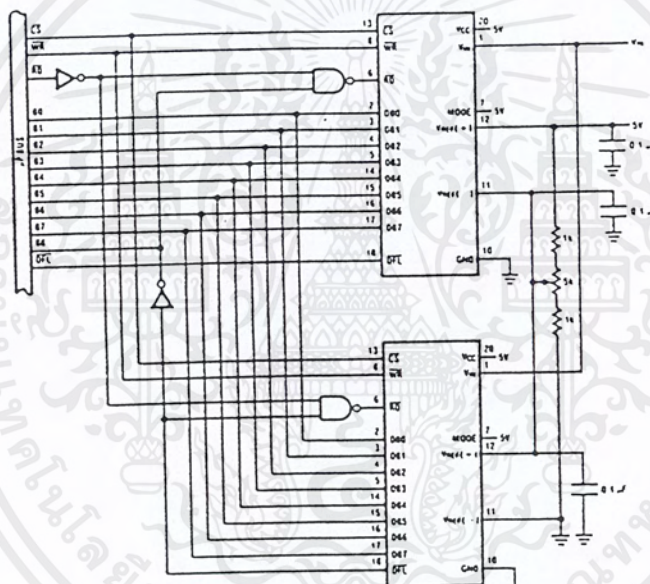
3.0 Typical Applications

8-Bit Resolution Configuration



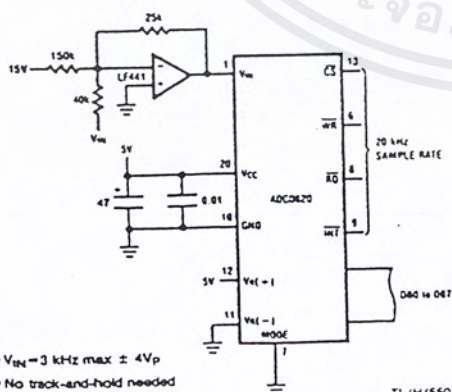
TL/H/5501-26

9-Bit Resolution Configuration



TL/H/5501-27

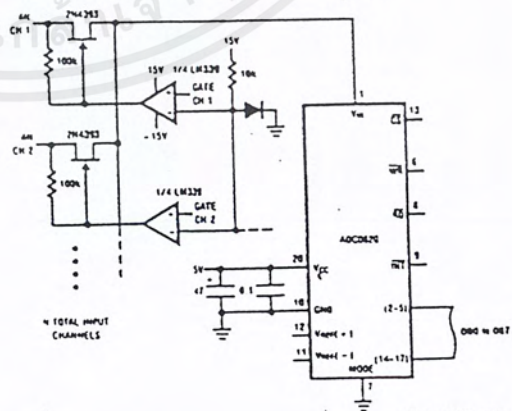
Telecom A/D Converter



TL/H/5501-28

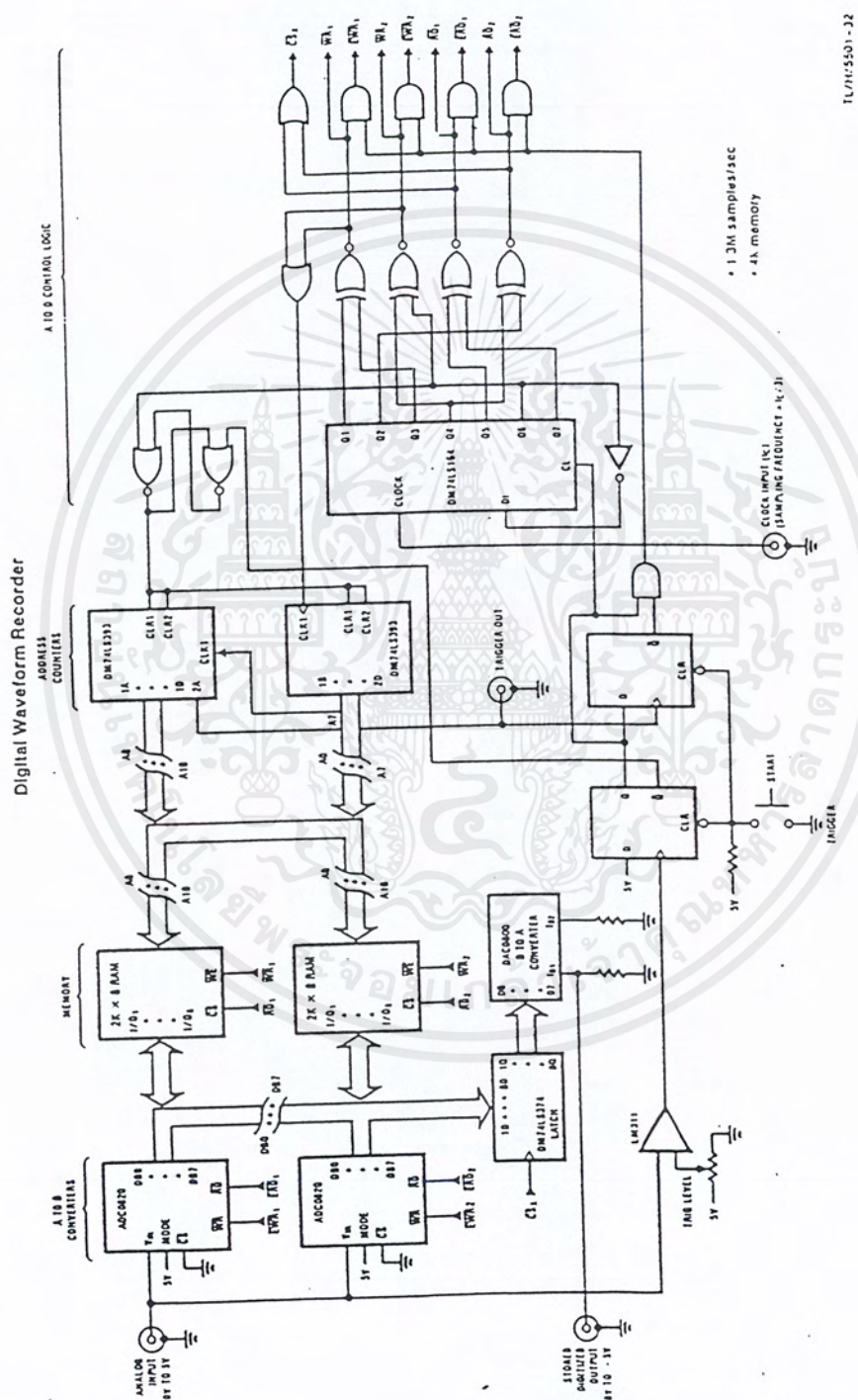
- $V_{IN} = 3 \text{ kHz max } \pm 4 \text{ Vp}$
- No track-and-hold needed
- Low power consumption

Multiple Input Channels



TL/H/5501-29

3.0 Typical Applications (Continued)



Ordering Information

Part Number	Total Unadjusted Error	Package	Temperature Range
ADC0820BD ADC0820BCD ADC0820BCV	$\pm \frac{1}{2}$ LSB	D20A—Cavity DIP	-55°C to +125°C
		D20A—Cavity DIP	-40°C to +80°C
		V20A—Molded Chip Carrier	0°C to +70°C
ADC0820BCM		M20B—Wide Body Small Outline	0°C to +70°C
ADC0820BCN		N20A—Molded DIP	0°C to +70°C
ADC0820CJ ADC0820CCJ ADC0820CCV	± 1 LSB	J20A—Cerdip	-55°C to +125°C
		J20A—Cerdip	-40°C to +85°C
		V20A—Molded Chip Carrier	0°C to +70°C
ADC0820CCM		MJ20B—Wide Body Small Outline	0°C to +70°C
ADC0820CCN		N20A—Molded DIP	0°C to +70°C

DAC0800/DAC0801/DAC0802 8-Bit Digital-to-Analog Converters

General Description

The DAC0800 series are monolithic 8-bit high-speed current-output digital-to-analog converters (DAC) featuring typical settling times of 100 ns. When used as a multiplying DAC, monotonic performance over a 40 to 1 reference current range is possible. The DAC0800 series also features high compliance complementary current outputs to allow differential output voltages of 20 V_{p-p} with simple resistor loads as shown in Figure 1. The reference-to-full-scale current matching of better than ± 1 LSB eliminates the need for full-scale trims in most applications while the nonlinearities of better than $\pm 0.1\%$ over temperature minimizes system error accumulations.

The noise immune inputs of the DAC0800 series will accept TTL levels with the logic threshold pin, V_{LC} , grounded. Changing the V_{LC} potential will allow direct interface to other logic families. The performance and characteristics of the device are essentially unchanged over the full ± 4.5 V to ± 18 V power supply range; power dissipation is only 33 mW with ± 5 V supplies and is independent of the logic input states.

The DAC0800, DAC0802, DAC0800C, DAC0801C and DAC0802C are a direct replacement for the DAC-08, DAC-08A, DAC-08C, DAC-08E and DAC-08H, respectively.

Features

- Fast settling output current 100 ns
- Full scale error ± 1 LSB
- Nonlinearity over temperature $\pm 0.1\%$
- Full scale current drift ± 10 ppm/ $^{\circ}$ C
- High output compliance -10 V to $+18$ V
- Complementary current outputs
- Interface directly with TTL, CMOS, PMOS and others
- 2 quadrant wide range multiplying capability
- Wide power supply range ± 4.5 V to ± 18 V
- Low power consumption 33 mW at ± 5 V
- Low cost

Typical Applications

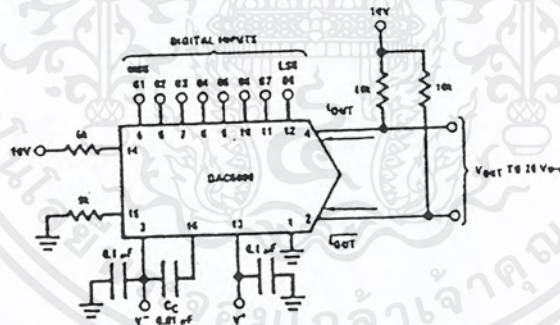


FIGURE 1. ± 20 V_{p-p} Output Digital-to-Analog Converter (Note 4)

TL/H/5696-1

Ordering Information

Ordering Information						
Non-Linearity	Temperature Range	Order Numbers				
		J Package (J16A)*		N Package (N16A)*		SO Package (M16A)
±0.1% FS	0°C ≤ T _A ≤ +70°C	DAC0802LCJ	DAC-08HQ	DAC0802LCN	DAC-08HP	DAC0802LCM
±0.19% FS	−55°C ≤ T _A ≤ +125°C	DAC0800LJ	DAC-08Q	DAC0800LCN	DAC-08EP	DAC0800LCM
±0.19% FS	0°C ≤ T _A ≤ +70°C	DAC0800LCJ	DAC-08EQ			
±0.39% FS	0°C ≤ T _A ≤ +70°C			DAC0801LCN	DAC-08CP	DAC0801LCM

*Devices may be ordered by using either order number.

Absolute Maximum Ratings (Note 1)

If Military/Aerospace specified devices are required, please contact the National Semiconductor Sales Office/Distributors for availability and specifications.

Supply Voltage ($V^+ - V^-$)	$\pm 18V$ or $36V$
Power Dissipation (Note 2)	500 mW
Reference Input Differential Voltage (V_{14} to V_{15})	V^- to V^+
Reference Input Common-Mode Range (V_{14}, V_{15})	V^- to V^+
Reference Input Current	5 mA
Logic Inputs	V^- to V^- plus 36V
Analog Current Outputs ($V_S = -15V$)	4.25 mA
ESD Susceptibility (Note 3)	TBD V
Storage Temperature	$-65^\circ C$ to $+150^\circ C$

Lead Temp. (Soldering, 10 seconds)

Dual-In-Line Package (plastic) 260°C

Dual-In-Line Package (ceramic) 300°C

Surface Mount Package

Vapor Phase (60 seconds) 215°C

Infrared (15 seconds) 220°C

Operating Conditions (Note 1)

	Min	Max	Units
Temperature (T_A)			
DAC0800L	-55	+125	°C
DAC0800LC	0	+70	°C
DAC0801LC	0	+70	°C
DAC0802LC	0	+70	°C

Electrical Characteristics The following specifications apply for $V_S = \pm 15V$, $I_{REF} = 2$ mA and $T_{MIN} \leq T_A \leq T_{MAX}$ unless otherwise specified. Output characteristics refer to both I_{OUT} and I_{OUT} .

Symbol	Parameter	Conditions	DAC0802LC			DAC0800L/ DAC0800LC			DAC0801LC			Units
			Min	Typ	Max	Min	Typ	Max	Min	Typ	Max	
	Resolution		8	8	8	8	8	8	8	8	8	Bits
	Monotonicity											Bits
	Nonlinearity				± 0.1			± 0.19			± 0.39	%FS
t_s	Settling Time	To $\pm 1/2$ LSB, All Bits Switched, "ON" or "OFF", $T_A = 25^\circ C$		100	135					100	150	ns
		DAC0800L					100	135				ns
		DAC0800LC					100	150				ns
t_{PLH} , t_{PHL}	Propagation Delay Each Bit All Bits Switched	$T_A = 25^\circ C$		35	60		35	60		35	60	ns
				35	60		35	60		35	60	ns
TC_{FS}	Full Scale Tempco			± 10	± 50		± 10	± 50		± 10	± 60	ppm/°C
V_{OC}	Output Voltage Compliance	Full Scale Current Change $< 1/4$ LSB, $R_{OUT} > 20$ M Ω Typ	-10		18	-10		18	-10		18	V
I_{FS4}	Full Scale Current	$V_{REF} = 10.000V$, $R_{14} = 5.000$ k Ω , $R_{15} = 5.000$ k Ω , $T_A = 25^\circ C$	1.984	1.992	2.000	1.94	1.99	2.04	1.94	1.99	2.04	mA
I_{FS2}	Full Scale Symmetry	$I_{FS4} - I_{FS2}$		± 0.5	± 4.0		± 1	± 8.0		± 2	± 16	μA
I_{ZS}	Zero Scale Current			0.1	1.0		0.2	2.0		0.2	4.0	μA
I_{FSR}	Output Current Range	$V^- = -5V$ $V^- = -8V$ to $-18V$	0	2.0	2.1	0	2.0	2.1	0	2.0	2.1	mA
			0	2.0	4.2	0	2.0	4.2	0	2.0	4.2	mA
V_{IL} , V_{IH}	Logic Input Levels Logic "0" Logic "1"	$V_{LC} = 0V$	2.0		0.8	2.0		0.8	2.0		0.8	V
I_{L0} , I_{L1}	Logic Input Current Logic "0" Logic "1"	$V_{LC} = 0V$ $-10V \leq V_{IN} \leq +0.8V$ $2V \leq V_{IN} \leq +18V$		-2.0	-10		-2.0	-10		-2.0	-10	μA
				0.002	10		0.002	10		0.002	10	μA
V_{IS}	Logic Input Swing	$V^- = -15V$	-10		18	-10		18	-10		18	V
V_{TH}	Logic Threshold Range	$V_S = \pm 15V$	-10		13.5	-10		13.5	-10		13.5	V
I_{IS}	Reference Bias Current			-1.0	-3.0		-1.0	-3.0		-1.0	-3.0	μA
d/dt	Reference Input Slew Rate (Figure 12)		4.0	8.0		4.0	8.0		4.0	8.0		mA/ μs
PSS_{IFS+}	Power Supply Sensitivity	$4.5V \leq V^+ \leq 18V$		0.0001	0.01		0.0001	0.01		0.0001	0.01	%/%
PSS_{IFS-}		$-4.5V \leq V^- \leq -18V$ $I_{REF} = 1$ mA		0.0001	0.01		0.0001	0.01		0.0001	0.01	%/%
I^+ , I^-	Power Supply Current	$V_S = \pm 5V$, $I_{REF} = 1$ mA		2.3	3.8		2.3	3.8		2.3	3.8	mA
				-4.3	-5.8		-4.3	-5.8		-4.3	-5.8	mA
I^+ , I^-		$V_S = 5V$, $-15V$, $I_{REF} = 2$ mA		2.4	3.8		2.4	3.8		2.4	3.8	mA
				-6.4	-7.8		-6.4	-7.8		-6.4	-7.8	mA
I^+ , I^-		$V_S = \pm 15V$, $I_{REF} = 2$ mA		2.5	3.8		2.5	3.8		2.5	3.8	mA
				-6.5	-7.8		-6.5	-7.8		-6.5	-7.8	mA

Electrical Characteristics (Continued)

The following specifications apply for $V_S = \pm 15V$, $I_{REF} = 2\text{ mA}$ and $T_{MIN} \leq T_A \leq T_{MAX}$ unless otherwise specified. Output characteristics refer to both I_{OUT} and I_{OUT} .

Symbol	Parameter	Conditions	DAC0802LC			DAC0800L/ DAC0800LC			DAC0801LC			Units
			Min	Typ	Max	Min	Typ	Max	Min	Typ	Max	
P_D	Power Dissipation	$\pm 5V$, $I_{REF} = 1\text{ mA}$		33	48		33	48		33	48	mW
		$5V$, $-15V$, $I_{REF} = 2\text{ mA}$		108	136		108	136		108	136	mW
		$\pm 15V$, $I_{REF} = 2\text{ mA}$		135	174		135	174		135	174	mW

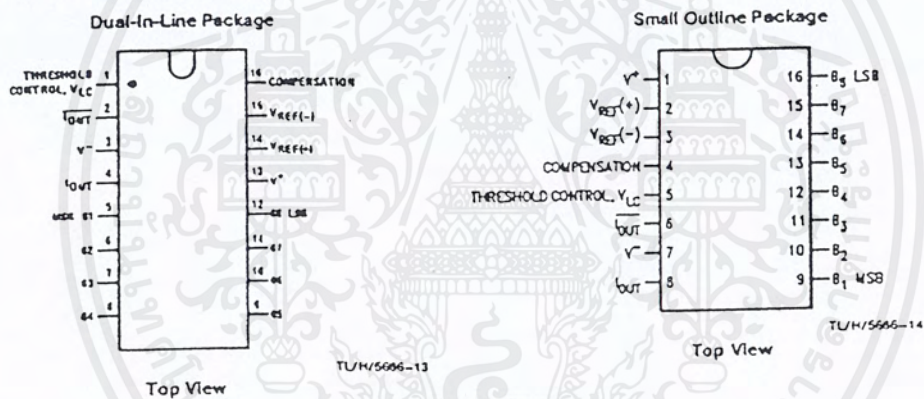
Note 1: Absolute Maximum Ratings indicate limits beyond which damage to the device may occur. DC and AC electrical specifications do not apply when operating the device beyond its specified operating conditions.

Note 2: The maximum junction temperature of the DAC0800, DAC0801 and DAC0802 is 125°C . For operating at elevated temperatures, devices in the Dual-In-Line J package must be derated based on a thermal resistance of 100°C/W , junction-to-ambient, 175°C/W for the molded Dual-In-Line N package and 100°C/W for the Small Outline M package.

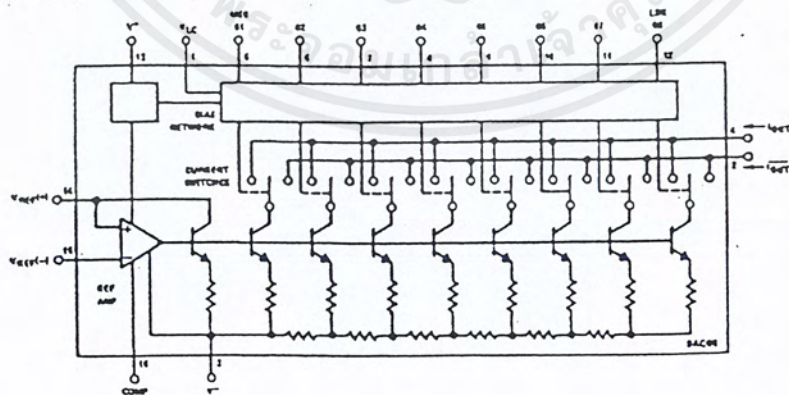
Note 3: Human body model, 100 pF discharged through a $1.5\text{ k}\Omega$ resistor.

Note 4: Pin-out numbers for the DAC080X represent the Dual-In-Line package. The Small Outline package pin-out differs from the Dual-In-Line package.

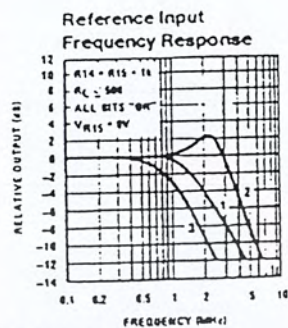
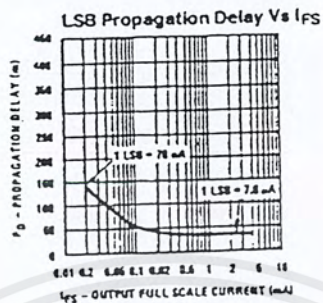
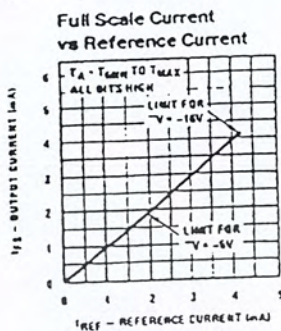
Connection Diagrams



Block Diagram (Note 4)



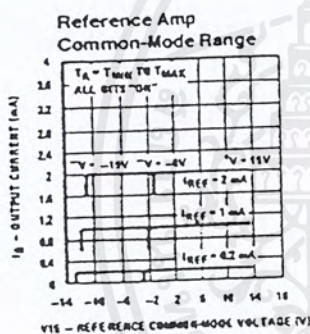
Typical Performance Characteristics



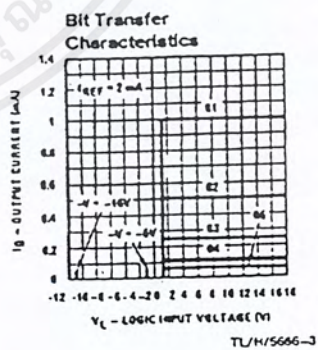
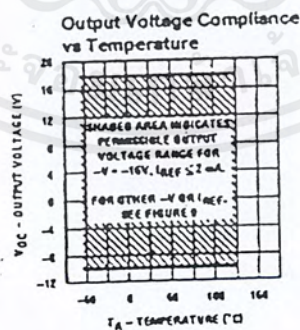
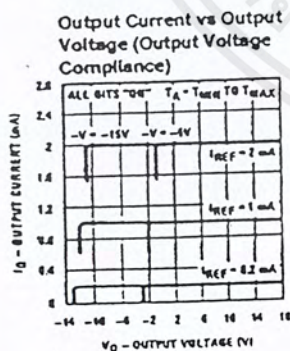
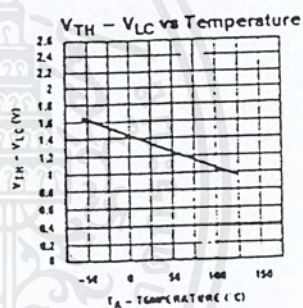
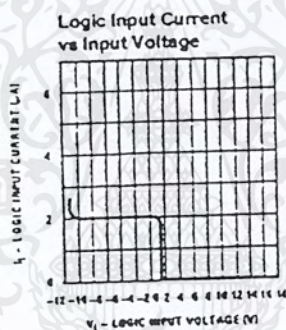
Curve 1: $C_L = 15 \text{ pF}$, $V_{IN} = 2 \text{ Vp-p}$ centered at 1V.

Curve 2: $C_L = 15 \text{ pF}$, $V_{IN} = 50 \text{ mVp-p}$ centered at 200 mV.

Curve 3: $C_L = 0 \text{ pF}$, $V_{IN} = 100 \text{ mVp-p}$ at 0V and applied through 50 Ω connected to pin 14. 2V applied to R14.



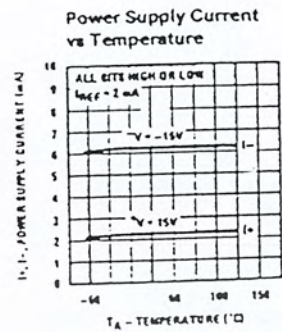
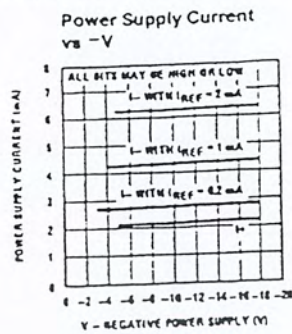
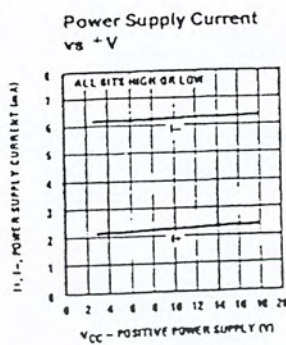
Note: Positive common-mode range is always $(V+) - 1.5V$.



Note: B1-B5 have identical transfer characteristics. Bits are fully switched with less than $1/4$ LSB error, at less than $\pm 100 \text{ mV}$ from actual threshold. These switching points are guaranteed to be between 0.8 and 2V over the operating temperature range ($V_{LC} = 0V$).

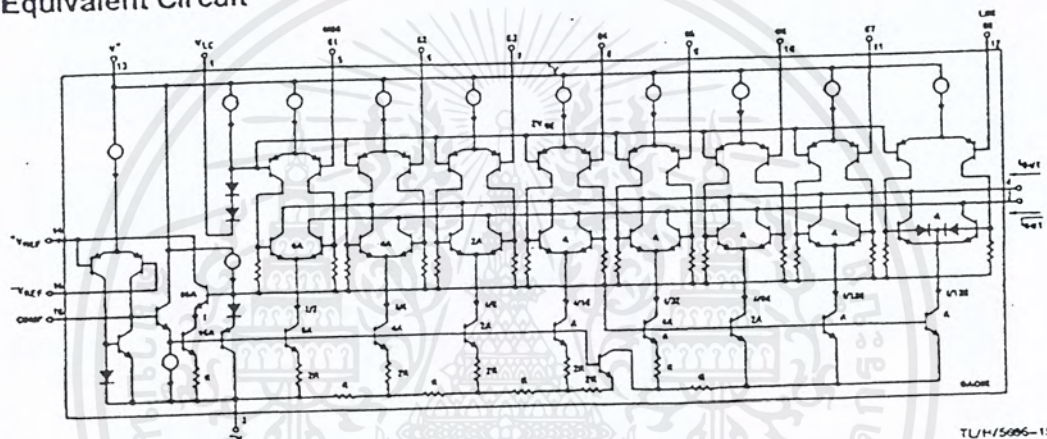
TL/H/5666-3

Typical Performance Characteristics (Continued)



TU/H/5686-4

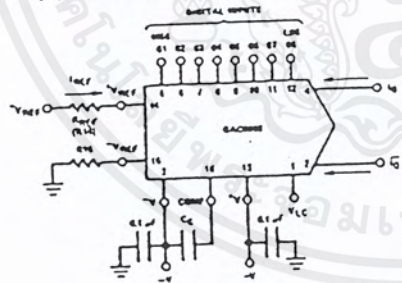
Equivalent Circuit



TU/H/5686-15

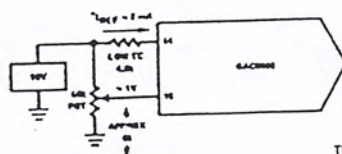
FIGURE 2

Typical Applications (Continued)



TU/H/5686-5

FIGURE 3. Basic Positive Reference Operation (Note 4)



TU/H/5686-21

FIGURE 4. Recommended Full Scale Adjustment Circuit (Note 4)

$$I_{FS} = \frac{+V_{REF}}{R_{REF}} \times \frac{255}{256}$$

$$I_0 + I_1 = I_{FS} \text{ for all logic states}$$

For fixed reference, TTL operation, typical values are:

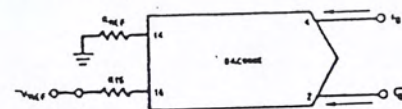
$$V_{REF} = 10.000V$$

$$R_{REF} = 5.000k$$

$$R_{15} = R_{REF}$$

$$C_C = 0.01 \mu F$$

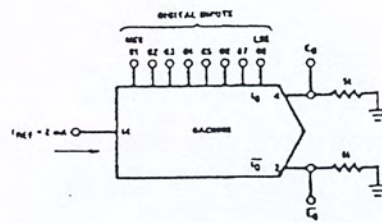
$$V_{LC} = 0V \text{ (Ground)}$$



TU/H/5686-16

FIGURE 5. Basic Negative Reference Operation (Note 4)

Typical Applications (Continued)



TL/H/5086-17

	B1	B2	B3	B4	B5	B6	B7	B8	I_O mA	$\bar{I}_O$ mA	E_O	$\bar{E}_O$
Full Scale	1	1	1	1	1	1	1	1	1.992	0.000	-9.960	0.000
Full Scale - LSB	1	1	1	1	1	1	1	0	1.984	0.008	-9.920	-0.040
Half Scale + LSB	1	0	0	0	0	0	0	1	1.008	0.984	-5.040	-4.920
Half Scale	1	0	0	0	0	0	0	0	1.000	0.992	-5.000	-4.960
Half Scale - LSB	0	1	1	1	1	1	1	1	0.992	1.000	-4.960	-5.000
Zero Scale + LSB	0	0	0	0	0	0	0	1	0.008	1.984	-0.040	-9.920
Zero Scale	0	0	0	0	0	0	0	0	0.000	1.992	0.000	-9.960

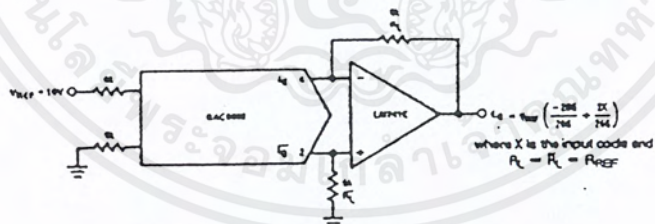
FIGURE 6. Basic Unipolar Negative Operation (Note 4)



TL/H/5086-6

	B1	B2	B3	B4	B5	B6	B7	B8	E_O	$\bar{E}_O$
Pos. Full Scale	1	1	1	1	1	1	1	1	-9.920	+10.000
Pos. Full Scale - LSB	1	1	1	1	1	1	1	0	-9.840	+9.920
Zero Scale + LSB	1	0	0	0	0	0	0	1	-0.080	+0.160
Zero Scale	1	0	0	0	0	0	0	0	0.000	+0.080
Zero Scale - LSB	0	1	1	1	1	1	1	1	+0.080	0.000
Neg. Full Scale + LSB	0	0	0	0	0	0	0	1	+9.920	-9.840
Neg. Full Scale	0	0	0	0	0	0	0	0	+10.000	-9.920

FIGURE 7. Basic Bipolar Output Operation (Note 4)



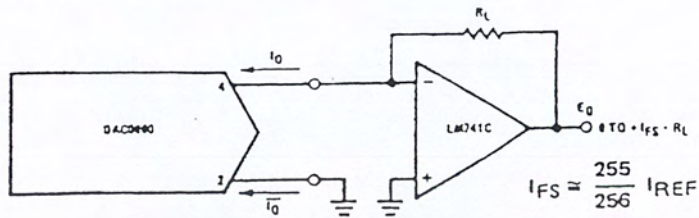
TL/H/5086-16

If $R_L = R_{ref}$ within $\pm 0.05\%$, output is symmetrical about ground

	B1	B2	B3	B4	B5	B6	B7	B8	E_O
Pos. Full Scale	1	1	1	1	1	1	1	1	+9.960
Pos. Full Scale - LSB	1	1	1	1	1	1	1	0	+9.880
(+)Zero Scale	1	0	0	0	0	0	0	0	+0.040
(-)Zero Scale	0	1	1	1	1	1	1	1	-0.040
Neg. Full Scale + LSB	0	0	0	0	0	0	0	1	-9.880
Neg. Full Scale	0	0	0	0	0	0	0	0	-9.960

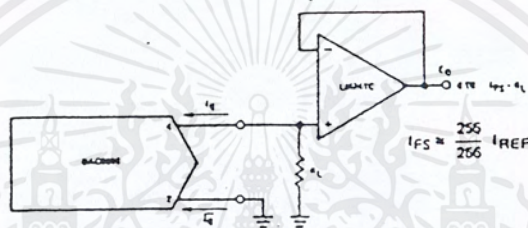
FIGURE 8. Symmetrical Offset Binary Operation (Note 4)

Typical Applications (Continued)



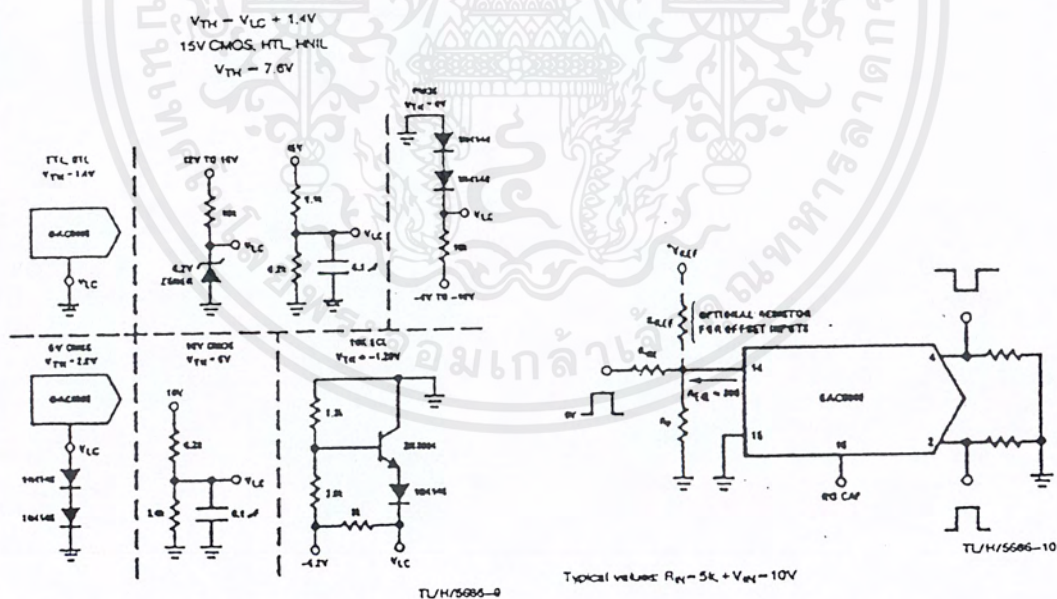
For complementary output (operation as negative logic DAC), connect inverting input of op amp to I_O (pin 2), connect I_O (pin 4) to ground.

FIGURE 9. Positive Low Impedance Output Operation (Note 4)



For complementary output (operation as a negative logic DAC) connect non-inverting input of op amp to I_O (pin 2), connect I_O (pin 4) to ground.

FIGURE 10. Negative Low Impedance Output Operation (Note 4)



Note: Do not exceed negative logic input range of DAC.

FIGURE 11. Interfacing with Various Logic Families

FIGURE 12. Pulsed Reference Operation (Note 4)

Typical Applications (Continued)

(a) $I_{REF} \geq$ peak negative swing of I_{IN}

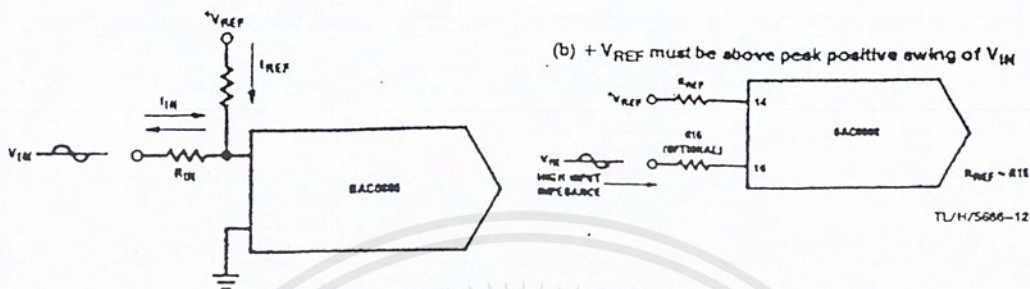


FIGURE 13. Accommodating Bipolar References (Note 4)

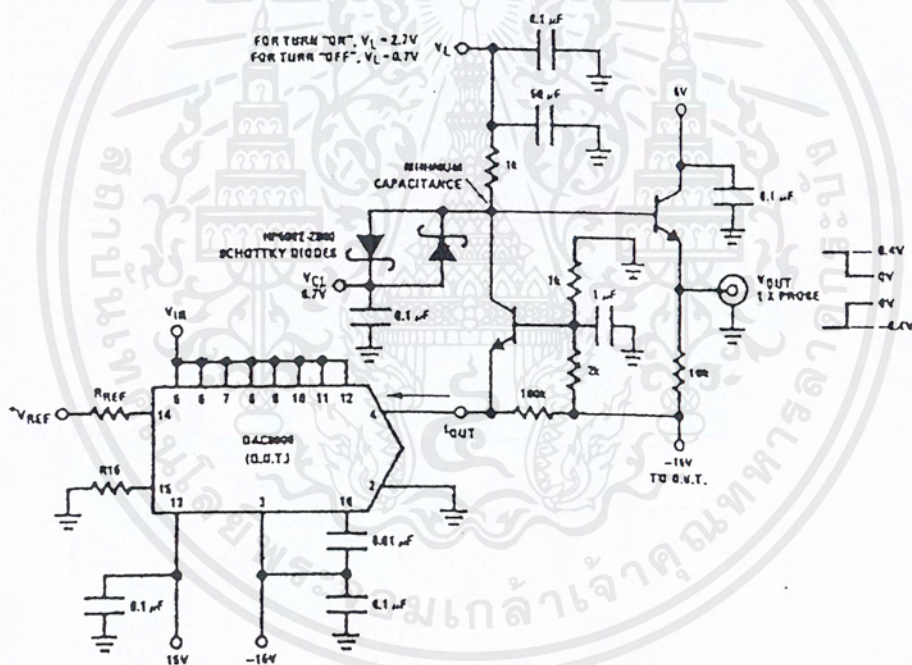
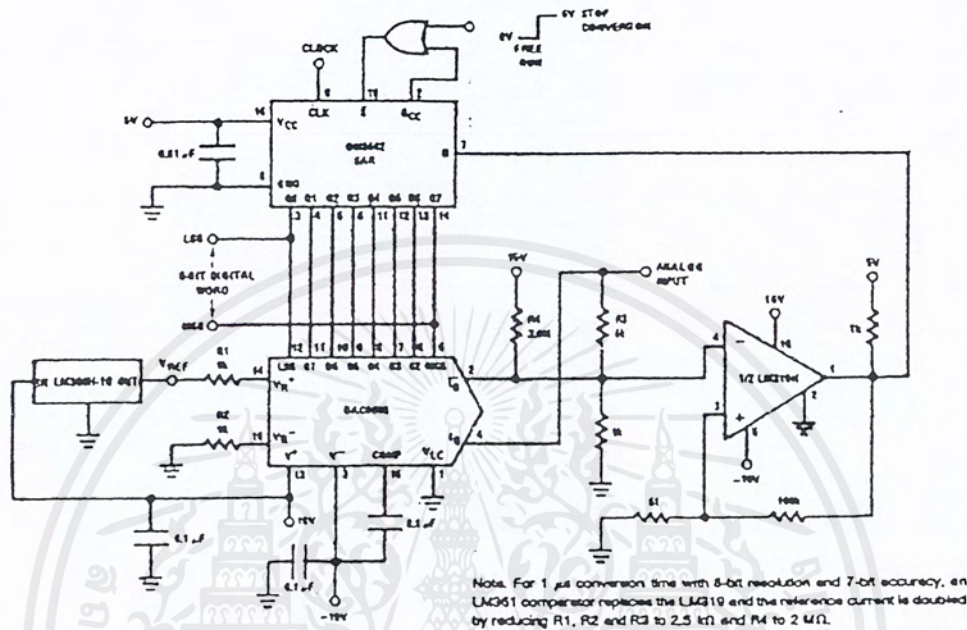


FIGURE 14. Settling Time Measurement (Note 4)

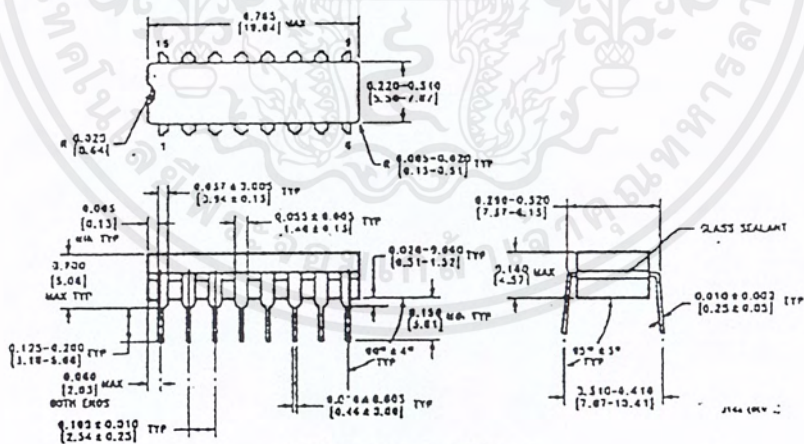
TV/K/6886-7

Typical Applications (Continued)

FIGURE 15. A Complete 2 μ s Conversion Time, 8-Bit A/D Converter (Note 4)

TL/H/6885-8

Physical Dimensions inches (millimeters)



Molded Dual-In-Line Package
Order Numbers DAC0800 or DAC0802
MS Package Number J16A



MOTOROLA

Order this document by MC3418/D

MC3418

Continuously Variable Slope Delta Modulator/Demodulator

Providing a simplified approach to digital speech encoding/decoding, the MC3418 CVSD is designed for military secure communication and commercial telephone applications. A single IC provides both encoding and decoding functions.

- Encode and Decode Functions on the Same Chip with a Digital Input for Selection
- Utilization of Compatible I^2L – Linear Bipolar Technology
- CMOS Compatible Digital Output
- Digital Input Threshold Selectable ($V_{CC}/2$ Reference Provided On-Chip)
- MC3418 has a 4-Bit Algorithm (Commercial Telephone)

CONTINUOUSLY VARIABLE SLOPE DELTA MODULATOR/DEMODULATOR

LASER-TRIMMED IC

SEMICONDUCTOR
TECHNICAL DATA

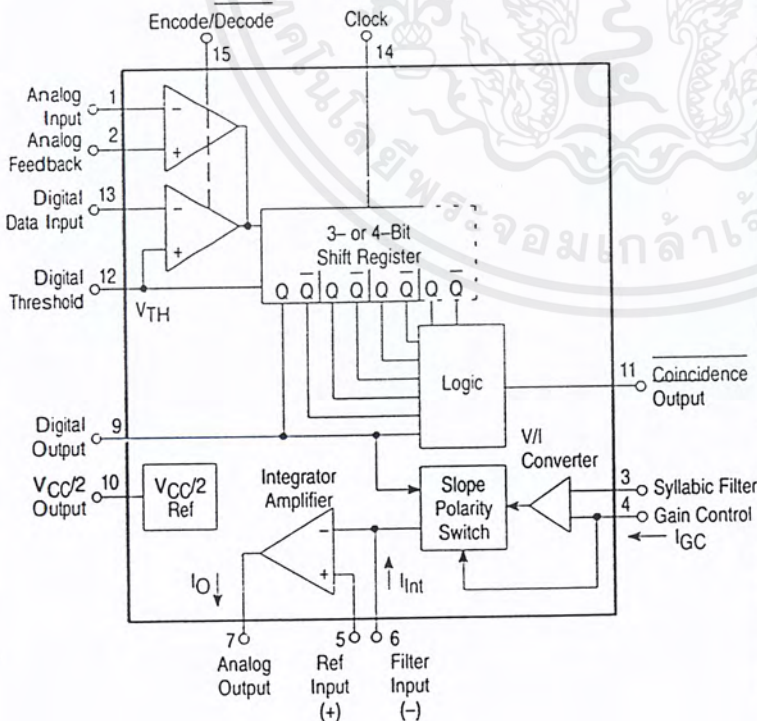


P SUFFIX
PLASTIC PACKAGE
CASE 648



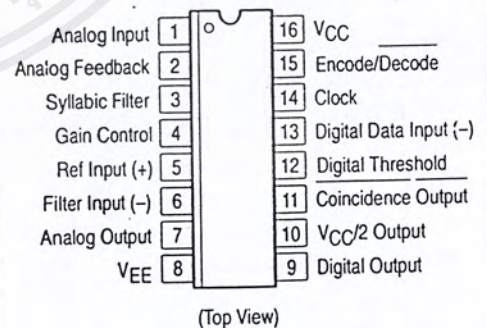
DW SUFFIX
PLASTIC PACKAGE
CASE 751G
(SO-16L)

Representative Block Diagram



This device contains 144 active transistors.

PIN CONNECTIONS



ORDERING INFORMATION

Device	Operating Temperature Range	Package
MC3418DW	$T_A = 0^\circ \text{ to } +70^\circ\text{C}$	SO-16L
MC3418P		Plastic DIP

MC3418

MAXIMUM RATINGS (All voltages referenced to V_{EE} , $T_A = 25^\circ\text{C}$, unless otherwise noted.)

Rating	Symbol	Value	Unit
Power Supply Voltage	V_{CC}	-0.4 to +18	Vdc
Differential Analog Input Voltage	V_{ID}	± 5.0	Vdc
Digital Threshold Voltage	V_{TH}	-0.4 to V_{CC}	Vdc
Logic Input Voltage Clock, Digital Data, Encode/Decode	V_{Logic}	-0.4 to +18	Vdc
Coincidence Output Voltage	$V_{O(Con)}$	-0.4 to +18	Vdc
Syllabic Filter Input Voltage	$V_{I(Syl)}$	-0.4 to V_{CC}	Vdc
Gain Control Input Voltage	$V_{I(GC)}$	-0.4 to V_{CC}	Vdc
Reference Input Voltage	$V_{I(ref)}$	$V_{CC}/2 - 1.0$ to V_{CC}	Vdc
$V_{CC}/2$ Output Current	I_{ref}	-25	mA

NOTE: ESD data available upon request.

ELECTRICAL CHARACTERISTICS ($V_{CC} = 12\text{ V}$, $V_{EE} = \text{Gnd}$, $T_A = 0$ to 70°C , unless otherwise noted.)

Characteristic	Symbol	Min	Typ	Max	Unit
Power Supply Voltage Range (Figure 1)	V_{CCR}	4.75	12	16.5	Vdc
Power Supply Current (Figure 1) @ Idle Channel $V_{CC} = 5.0\text{ V}$ $V_{CC} = 15\text{ V}$	I_{CC}	— —	3.7 6.0	5.5 11	mA
Gain Control Current Range (Figure 2)	I_{GCR}	0.002	—	3.0	mA
Analog Comparator Input Range (Pins 1 and 2) $4.75\text{ V} \leq V_{CC} \leq 16.5\text{ V}$	V_I	1.3	—	$V_{CC} - 1.3$	Vdc
Analog Output Range (Pin 7) $4.75\text{ V} \leq V_{CC} \leq 16.5\text{ V}$, $I_O = \pm 5.0\text{ mA}$	V_O	1.3	—	$V_{CC} - 1.3$	Vdc
Input Bias Currents (Figure 3) Comparator in Active Region Analog Input (I1) Analog Feedback (I2) Syllabic Filter Input (I3) Reference Input (I5)	I_{IB}	— — — —	0.25 0.25 0.06 -0.06	1.0 1.0 0.3 -0.3	μA
Input Offset Current Comparator in Active Region Analog Input/Analog Feedback I1 - I2 (Figure 3) Analog Input/Analog Feedback I5 - I6 (Figure 4)	I_{IO}	— —	0.05 0.01	0.4 0.1	μA
Input Offset Voltage V/I Converter (Pins 3 and 4) (Figure 5)	V_{IO}	—	2.0	6.0	mV
Transconductance V/I Converter, 0 to 3.0 mA Integrator Amplifier, 0 to $\pm 5.0\text{ mA}$ Load	g_m	0.1 1.0	0.3 10	— —	mA/mV
Propagation Delay Times (Note 1) Clock Trigger to Digital Output $C_L = 25\text{ pF}$ to Gnd Clock Trigger to Coincidence Output $C_L = 25\text{ pF}$ to Gnd, $R_L = 4.0\text{ k}\Omega$ to V_{CC}	t_{PLH} t_{PHL} t_{PLH} t_{PHL}	— — — —	1.0 0.8 1.0 0.8	2.5 2.5 3.0 2.0	μs
Coincidence Output Voltage – Low Logic Stage $I_{OL(Con)} = 3.0\text{ mA}$	$V_{OL(Con)}$	—	0.12	0.25	Vdc

NOTES: 1. All propagation delay times measured 50% to 50% from the negative going (from V_{CC} to +0.4 V) edge of the clock.
2. Dynamic total loop offset (ΣV_{offset}) equals V_{IO} (comparator) (Figure 3) minus V_{IOX} (Figure 5). The input offset voltages of the analog comparator and of the integrator amplifier include the effects of input offset current through the input resistors. The slope polarity switch current mismatch appears as an average voltage across the 10 k integrator resistor. The clock frequency is 32 kHz. Idle channel performance is guaranteed if this dynamic total loop offset is less than one-half of the change in integrator output voltage during one clock cycle (ramp step size). Laser trimming is used to ensure good idle channel performance.

MC3418

ELECTRICAL CHARACTERISTICS (continued) ($V_{CC} = 12\text{ V}$, $V_{EE} = \text{Gnd}$, $T_A = 0\text{ to }70^\circ\text{C}$, unless otherwise noted.)

Characteristic	Symbol	Min	Typ	Max	Unit
Coincidence Output Leakage Current – High Logic State $V_{OH} = 15\text{ V}$, $0^\circ\text{C} \leq T_A \leq 70^\circ\text{C}$	$I_{OH}(\text{Con})$	–	0.01	0.5	μA
Applied Digital Threshold Voltage Range (Pin 12)	V_{TH}	1.2	–	$V_{CC} - 2.0$	Vdc
Digital Threshold Input Current $1.2\text{ V} \leq V_{th} \leq V_{CC} - 2.0\text{ V}$ V_{IL} Applied to Pins 13, 14 and 15 V_{IH} Applied to Pins 13, 14 and 15	$I_{I(th)}$	– –	– –10	5.0 –50	μA
Maximum Integrator Amplifier Output Current	I_O	± 5.0	–	–	mA
$V_{CC}/2$ Generator Maximum Output Current (Source Only)	I_{ref}	10	–	–	mA
$V_{CC}/2$ Generator Output Impedance (0 to $-10\text{ m}\Omega$)	z_{ref}	–	3.0	6.0	Ω
$V_{CC}/2$ Generator Tolerance ($4.75\text{ V} \leq V_{CC} \leq 16.5\text{ V}$)	ϵ_r	–	–	± 3.5	%
Logic Input Voltage (Pins 13, 14 and 15) Low Logic State High Logic State	V_{IL} V_{IH}	V_{EE} $V_{th} + 0.4$	– –	$V_{th} - 0.4$ 18	Vdc
Dynamic Total Loop Offset Voltage (Note 2) (Figures 3, 4 and 5) $I_{GC} = 12\text{ }\mu\text{A}$, $V_{CC} = 12\text{ V}$ $T_A = 25^\circ\text{C}$ $0^\circ\text{C} \leq T_A \leq 70^\circ\text{C}$ $I_{GC} = 12\text{ }\mu\text{A}$, $V_{CC} = 5.0\text{ V}$ $T_A = 25^\circ\text{C}$ $0^\circ\text{C} \leq T_A \leq 70^\circ\text{C}$	ΣV_{offset}	– – – –	± 0.5 ± 0.75 ± 1.0 ± 1.3	± 3.0 ± 3.8 ± 3.5 ± 4.3	mV
Digital Output Voltage $I_{OL} = 3.6\text{ mA}$ $I_{OH} = -0.35\text{ mA}$	V_{OL} V_{OH}	– $V_{CC} - 1.0$	0.1 $V_{CC} - 0.2$	0.4 –	Vdc
Syllabic Filter Applied Voltage (Pin 3) (Figure 2)	$V_{I(Syl)}$	3.2	–	V_{CC}	Vdc
Integrating Current (Figure 2) $I_{GC} = 12\text{ }\mu\text{A}$ $I_{GC} = 1.5\text{ mA}$ $I_{GC} = 3.0\text{ mA}$	$ I_{Int} $	8.0 1.42 2.75	10 1.5 3.0	12 1.58 3.25	μA mA mA
Dynamic Integrating Current Match (Figure 6) $I_{GC} = 1.5\text{ mA}$	$V_{O(Ave)}$	–	± 100	± 280	mV
Input Current – High Logic State ($V_{IH} = 18\text{ V}$) Digital Data Input Clock Input Encode/Decode Input	I_{IH}	– – –	– – –	5.0 5.0 5.0	μA
Input Current – Low Logic State ($V_{IL} = 0\text{ V}$) Digital Data Input Clock Input Encode/Decode Input Clock Input, $V_{IL} = 0.4\text{ V}$	I_{IL}	–10 –360 –36 –72	– – – –	– – – –	μA

NOTES: 1. All propagation delay times measured 50% to 50% from the negative going (from V_{CC} to $+0.4\text{ V}$) edge of the clock.
2. Dynamic total loop offset (ΣV_{offset}) equals V_{IO} (comparator) (Figure 3) minus V_{IOX} (Figure 5). The input offset voltages of the analog comparator and of the integrator amplifier include the effects of input offset current through the input resistors. The slope polarity switch current mismatch appears as an average voltage across the 10 k integrator resistor. The clock frequency is 32 kHz. Idle channel performance is guaranteed if this dynamic total loop offset is less than one-half of the change in integrator output voltage during one clock cycle (ramp step size). Laser trimming is used to ensure good idle channel performance.

DEFINITION AND FUNCTION OF PINS

Pin 1 — Analog Input

This is the analog comparator inverting input where the voice signal is applied. It may be ac or dc coupled depending on the application. If the voice signal is to be level shifted to the internal reference voltage, then a bias resistor between Pins 1 and 10 is used. The resistor is used to establish the reference as the new dc average of the ac coupled signal. The analog comparator was designed for low hysteresis (typically less than 0.1 mV) and high gain (typically 70 dB).

Pin 2 — Analog Feedback

This is the noninverting input to the analog signal comparator. In an encoder application it should be connected to the analog output of the encoder circuit. This may be Pin 7 or a low pass filter output connected to Pin 7. In a decode circuit Pin 2 is not used and may be tied to $V_{CC}/2$ at Pin 10 or ground.

The analog input comparator has bias currents of 1.0 μA max, thus the driving impedances at Pins 1 and 2 should be

equal to avoid disturbing the idle channel characteristics of the encoder.

Pin 3 — Syllabic Filter

This is the point at which the syllabic filter voltage is returned to the IC in order to control the integrator step size. It is an NPN input to an op amp. The syllabic filter consists of an RC network between Pins 11 and 3. Typical time constant values of 6.0 to 50 ms are used in voice codecs.

Pin 4 — Gain Control Input

The syllabic filter voltage appears across C_S of the syllabic filter and is the voltage between V_{CC} and Pin 3. The active voltage to current ($V - I$) converter drives Pin 4 to the same voltage at a slew rate of typically $0.5 \text{ V}/\mu\text{s}$. Thus the current injected into Pin 4 (I_{GC}) is the syllabic filter voltage divided by the R_X resistance. Figure 7 shows the relationship between I_{GC} (x-axis) and the integrating current, I_{Int} (y-axis). The discrepancy, which is most significant at very low currents, is due to circuitry within the slope polarity switch which enables trimming to a low total loop offset. The R_X resistor is then varied to adjust the loop gain of the codec, but should be no larger than $5.0 \text{ k}\Omega$ to maintain stability.

Pin 5 — Reference Input

This pin is the noninverting input of the integrator amplifier. It is used to reference the dc level of the output signal. In an encoder circuit it must reference the same voltage as Pin 1 and is tied to Pin 10.

Pin 6 — Filter Input

This inverting op amp input is used to connect the integrator external components. The integrating current (I_{Int}) flows into Pin 6 when the analog input (Pin 1) is high with respect to the analog feedback (Pin 2) in the encode mode or when the digital data input (Pin 13) is high in the decode mode. For the opposite states, I_{Int} flows out of Pin 6. Single integration systems require a capacitor and resistor between Pins 6 and 7. Multipole configurations will have different circuitry. The resistance between Pins 6 and 7 should always be between $8.0 \text{ k}\Omega$ and $13 \text{ k}\Omega$ to maintain good idle channel characteristics.

Pin 7 — Analog Output

This is the integrator op amp output. It is capable of driving a 600Ω load referenced to $V_{CC}/2$ to $+6.0 \text{ dBm}$ and can otherwise be treated as an op amp output. Pins 5, 6 and 7 provide full access to the integrator op amp for designing integration filter networks. The slew rate of the internally compensated integrator op amp is typically $0.5 \text{ V}/\mu\text{s}$. Pin 7 output is current limited for both polarities of current flow at typically 30 mA .

Pin 8 — V_{EE}

The circuit is designed to work in either single or dual power supply applications. Pin 8 is always connected to the most negative supply.

Pin 9 — Digital Output

The digital output provides the results of the delta modulator's conversion. It swings between V_{CC} and V_{EE} and is CMOS or TTL compatible. Pin 9 is inverting with respect to Pin 1 and noninverting with respect to Pin 2. It is clocked on the falling edge of Pin 14. The typical 10% to 90% rise and fall times are 250 ns and 50 ns respectively for $V_{CC} = 12 \text{ V}$ and $C_L = 25 \text{ pF}$ to ground.

Pin 10 — $V_{CC}/2$ Output

An internal low impedance mid-supply reference is provided for use in single supply applications. The internal

regulator is a current source and must be loaded with a resistor to ensure its sinking capability. If a $+6.0 \text{ dBm}$ signal is expected across a 600Ω input bias resistor, then Pin 10 must sink $2.2 \text{ V}/600 \Omega = 3.66 \text{ mA}$. This is possible only if Pin 10 sources 3.66 mA into a resistor normally and will source the difference under peak load. The reference load resistor is chosen accordingly. A $0.1 \mu\text{F}$ bypass capacitor from Pin 10 to V_{EE} is also recommended. The $V_{CC}/2$ reference is capable of sourcing 10 mA and can be used as a reference elsewhere in the system circuitry.

Pin 11 — Coincidence Output

The duty cycle of this pin is proportional to the voltage across C_S . The coincidence output will be low whenever the content of the internal shift register is all 1s or all 0s. The MC3418 contains a 4-bit register. Pin 11 is an open collector NPN device and requires a pull-up resistor. If the syllabic filter is to have equal charge and discharge time constants, the value of R_P should be much less than R_S . In systems requiring different charge and discharge constants, the charging constant is $R_S C_S$ while the decay constant is $(R_S + R_P) C_S$. Thus longer decays are easily achievable. The NPN device should not be required to sink more than 3.0 mA in any configuration. The typical 10% to 90% rise and fall times are 200 ns and 100 ns respectively for $R_L = 4.0 \text{ k}\Omega$ to 12 V and $C_L = 25 \text{ pF}$ to ground.

Pin 12 — Digital Threshold

This input sets the switching threshold for Pins 13, 14 and 15. It is intended to aid in interfacing different logic families without external parts. Often it is connected to the $V_{CC}/2$ reference for CMOS interface or can be biased two diode drops above V_{EE} for TTL interface.

Pin 13 — Digital Data Input

In a decode application, the digital data stream is applied to Pin 13. In an encoder it may be unused or may be used to transmit signaling message under the control of Pin 15. It is an inverting input with respect to Pin 9. When Pins 9 and 13 are connected, a toggle flip-flop is formed and a forced idle channel pattern can be transmitted. The digital data input level should be maintained for $0.5 \mu\text{s}$ before and after the clock trigger for proper clocking.

Pin 14 — Clock Input

The clock input determines the data rate of the codec circuit. A 32 k bit rate requires a 32 kHz clock. The switching threshold of the clock input is set by Pin 12. The shift register circuit toggles on the falling edge of the clock input. The minimum high time for the clock input is 300 ns and minimum low time is 900 ns .

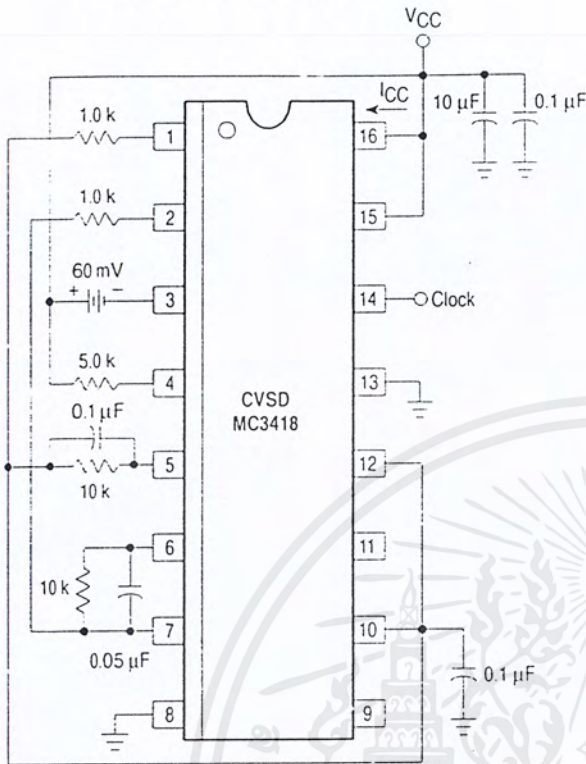
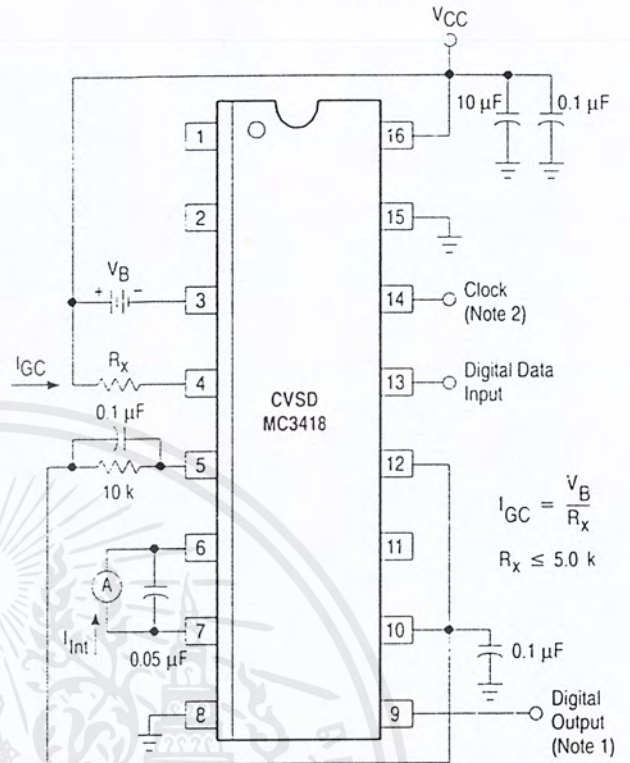
Pin 15 — Encode/Decode

This pin controls the connection of the analog input comparator and the digital input comparator to the internal shift register. If high, the result of the analog comparison will be clocked into the register on the falling edge at Pin 14. If low, the digital input state will be entered. This allows use of the IC as an encoder/decoder or simplex codec without external parts. Furthermore, it allows non-voice patterns to be forced onto the transmission line through Pin 13 in an encoder.

Pin 16 — V_{CC}

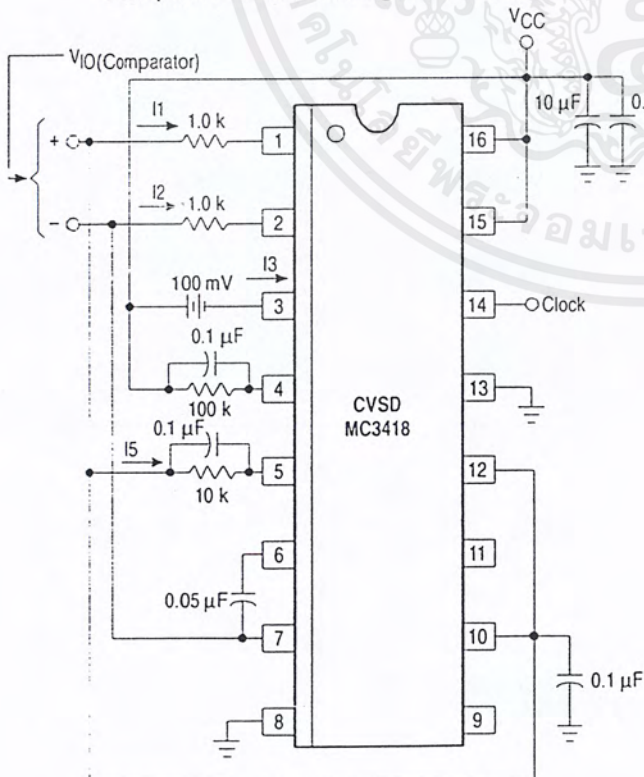
The power supply range is from 4.75 to 16.5 V between Pin V_{CC} and V_{EE} .

Figure 1. Power Supply Current

Figure 2. I_{GCR} – Gain Control Range and I_{Int} – Integrating Current

NOTES: 1. Digital Output = Digital Data Input
 2. For static testing, the clock is only necessary for preconditioning to obtain proper state for a given input.

Figure 3. Input Bias Currents, Analog Comparator Offset Voltage and Current



NOTE: The analog comparator offset voltage is tested under dynamic conditions and therefore must be measured with appropriate filtering.

Figure 4. Integrator Amplifier Offset Voltage and Current

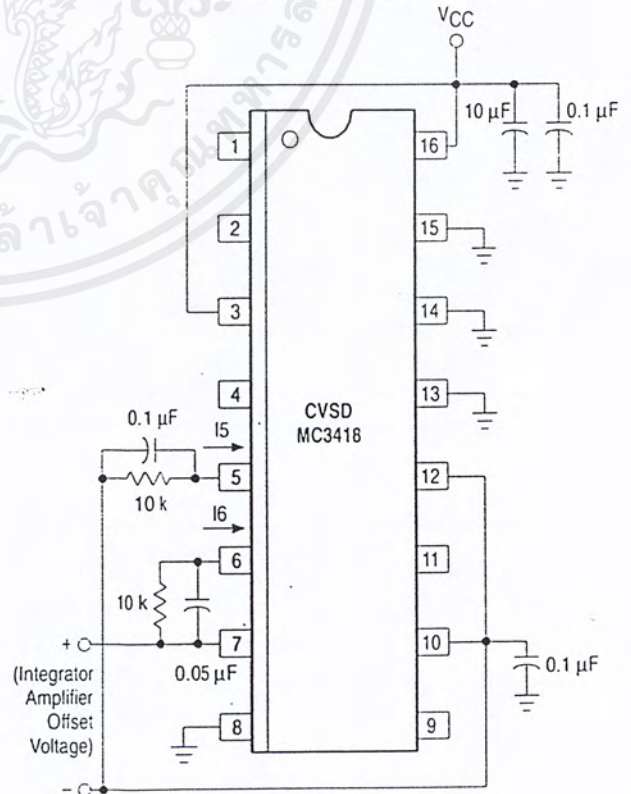
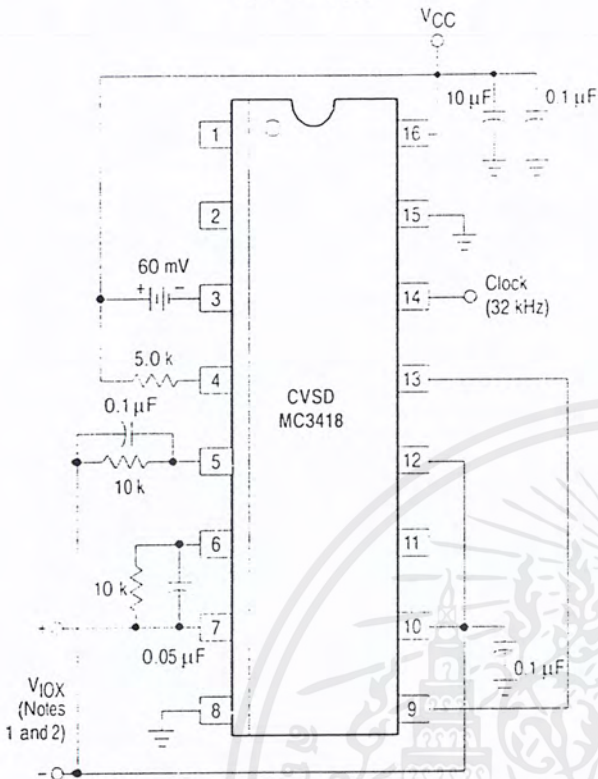
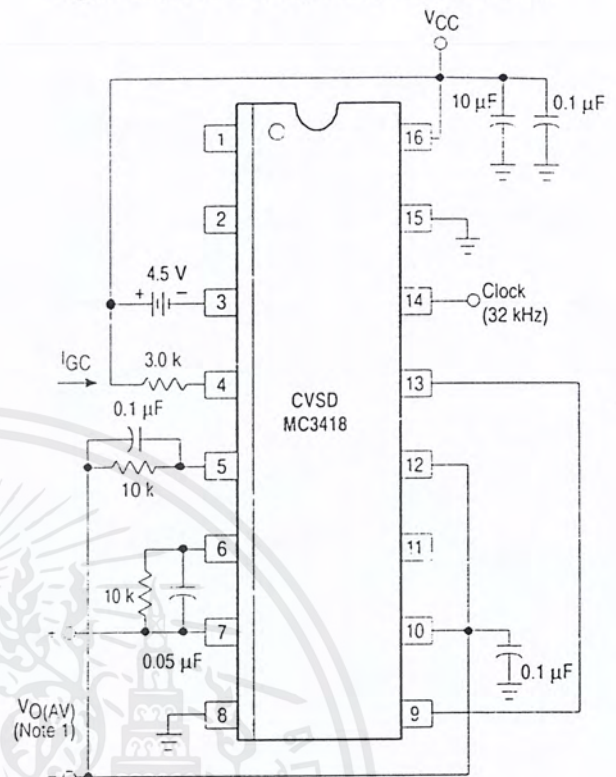


Figure 5. V/I Converter Offset Voltage, V_{IO} and V_{IOX} 

- NOTES: 1. Integrator amplifier offset voltage plus slope polarity switch mismatch.
2. V_{IOX} is the average voltage of the triangular waveform observed at the measurement points.

Figure 6. Dynamic Integrating Current Match



- NOTES: 1. $V_{O(AV)}$ Dynamic Integrating Current Match, is the average voltage of the triangular waveform observed at the measurement points, across 10 kΩ resistor with $I_{GC} = 1.5$ mA.
2. See Note 2 in the Electrical Characteristics table.
3. See Figures 8 and 9.

TYPICAL PERFORMANCE CURVES

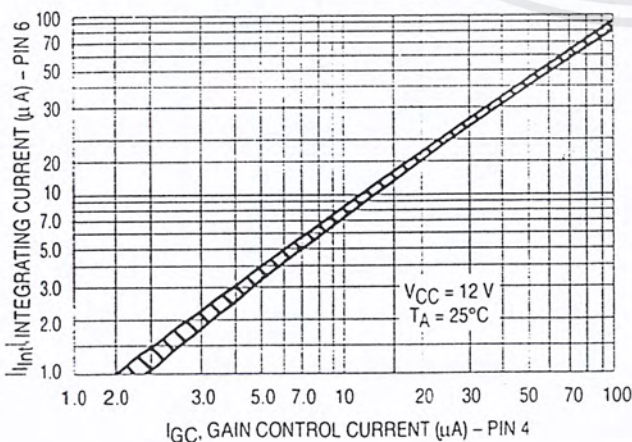
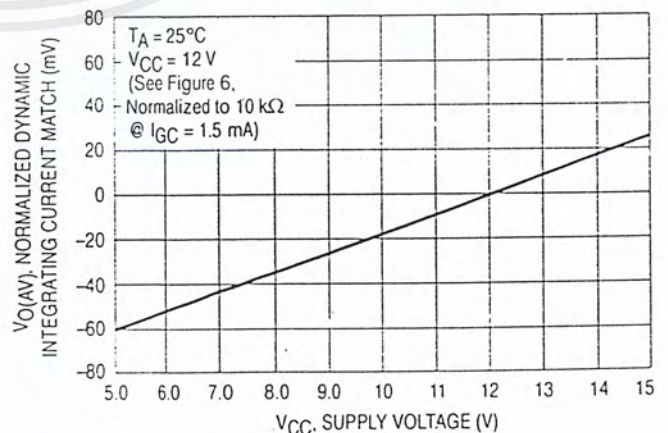
Figure 7. Typical I_{Int} versus I_{GC} (Mean $\pm 2\sigma$)Figure 8. Normalized Dynamic Integrating Current Match versus V_{CC} 

Figure 9. Normalized Dynamic Integrating Current Match versus Clock Frequency

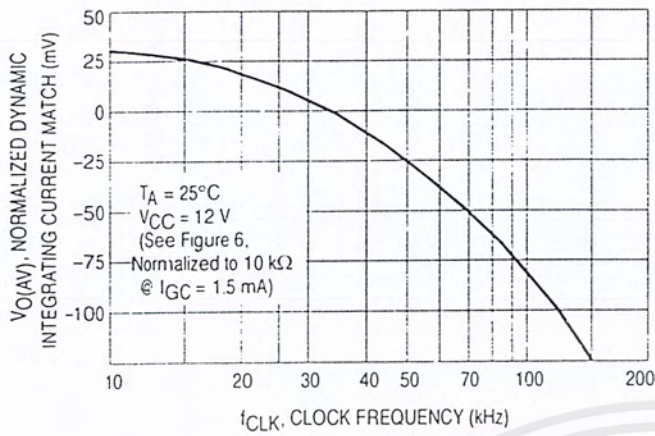


Figure 10. Dynamic Total Loop Offset versus Clock Frequency

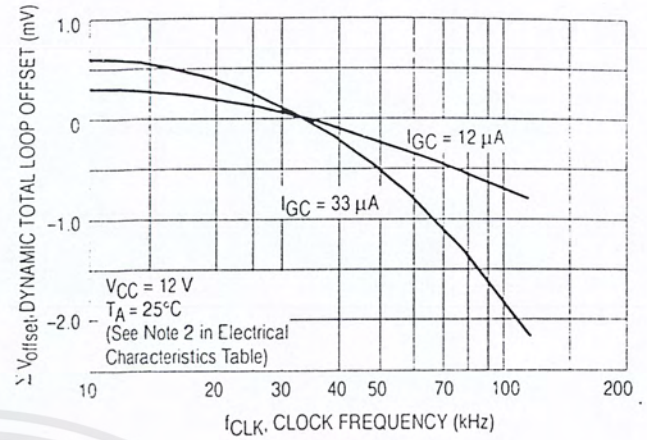


Figure 11. Block Diagram of the CVSD Encoder

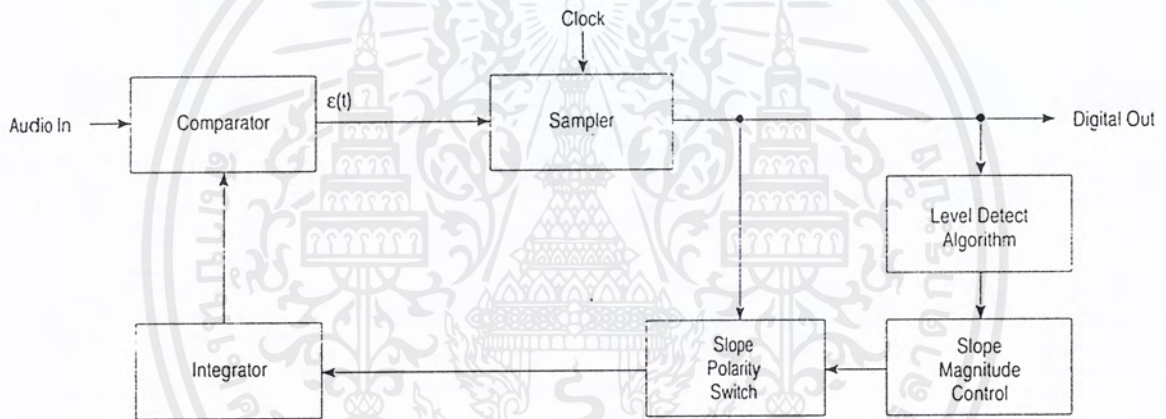


Figure 12. CVSD Waveforms

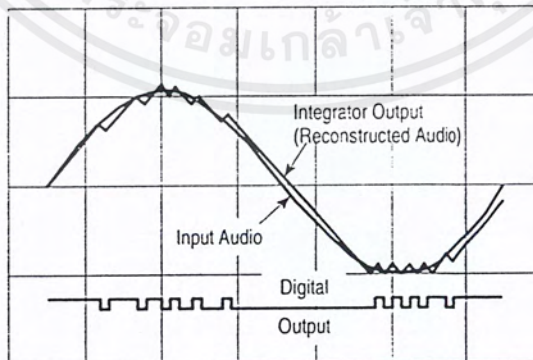


Figure 13. Block Diagram of the CVSD Decoder

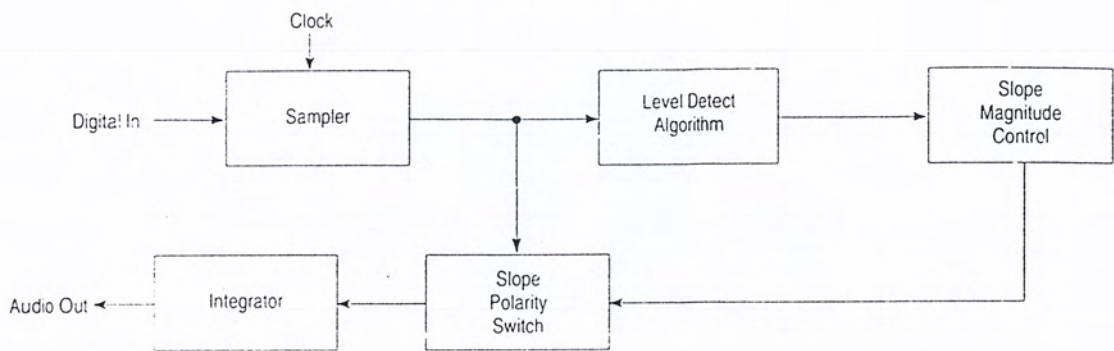
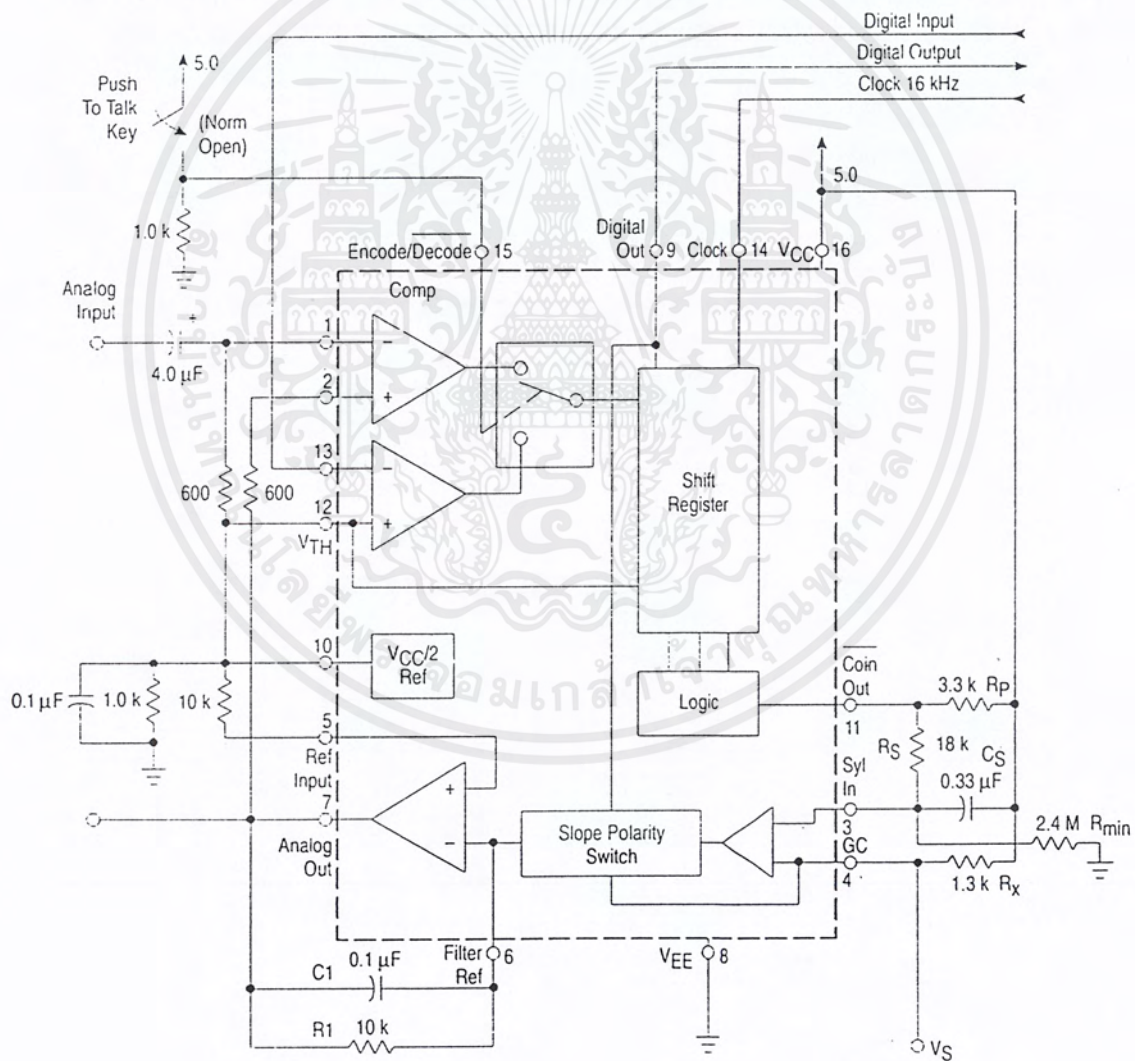


Figure 14. 16 kHz Simplex Voice Codec (Single-Pole Companding and Single Integration)



กิตติกรรมประกาศ

ปริญญานิพนธ์ฉบับนี้ไม่สามารถเสร็จสำเร็จลงได้หากมิได้รับการช่วยเหลือจากท่าน
อาจารย์ กอบชัย เดชหาญและท่านอาจารย์ทุกท่านที่ได้สั่งสอนและอบรมมาตลอดชีวิตในการศึกษาของ
คณะผู้จัดทำ ขอขอบคุณอาจารย์ทุกท่าน นาย มนัส นกเผือก ผู้ให้คำปรึกษา ทุกๆท่าน และบิดา มารดาที่
มอบความรักและกำลังใจให้ลูกเสมอ ทุกท่านล้วนมีส่วนความสำเร็จของปริญญานิพนธ์ฉบับนี้

กวีวัฒน์ บุญนิตย์

กิตติคุณ วรารักษ์ประภัทร์



บรรณานุกรม

- [1] Taub Schilling, "Principle of Communication systems," McGraw –Hill, 1986
- [2] รศ.กฤษฎา วิสวธีรานนท์, เรียนเล่นใช้"ไอซีดีจิตอล," บริษัท ซีเอ็ดดูเคชั่น จำกัด, 2535
- [3] บัณฑิต โรจน์อารยานนท์, "หลักการไฟฟ้าสื่อสาร," สำนักพิมพ์จุฬาลงกรณ์มหาวิทยาลัย , 2534
- [4] ประสิทธิ์ ประพัฒน์มงคล, "หลักการระบบสื่อสาร," สำนักพิมพ์ซีเอ็ด, 2535
- [5] ภาควิชาวิศวกรรมโทรคมนาคม มหาวิทยาลัยเทคโนโลยีมหานคร, "เอกสารประกอบการเรียนการสอนวิชาปฏิบัติการระบบโทรคมนาคม" มหาวิทยาลัยเทคโนโลยีมหานคร , หน้า 55-61 , 2540
- [6] วิวัฒน์ กิรานนท์, "วิศวกรรมการสื่อสาร":สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง, หน้า 249-253, 2540

