

เครื่องส่งและเครื่องรับสัญญาณดิจิทัล 8-PSK

8-PSK transmitter and receiver of digital signal



โดย

นาย ยงยุทธ องค์กรักบิลย์

นาย อภิชาติ ช่วยชู

ปริญญานิพนธ์นี้เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรปริญญาวิศวกรรมศาสตรบัณฑิต

สาขาวิศวกรรมโทรคมนาคม

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

ปีการศึกษา 2544

46440
พ.ศ. 2544

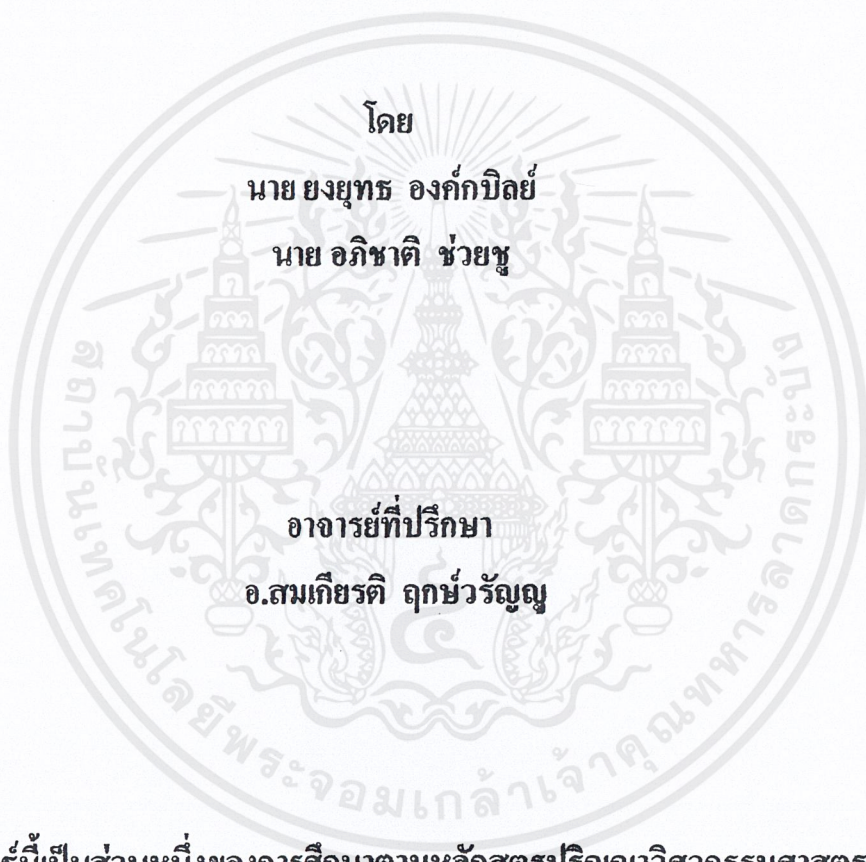
เลขหมู่.....
เลขทะเบียน.....46440
วัน, เดือน, ปี..... 2 เม.ย. 2546

.b.....
.i.....

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านอื่น
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เครื่องส่งและเครื่องรับสัญญาณดิจิทัล 8-PSK

8-PSK transmitter and receiver of digital signal



โดย

นาย ยงยุทธ องค์กรบิลย์

นาย อภิชาติ ช่วยชู

อาจารย์ที่ปรึกษา

อ.สมเกียรติ ฤกษ์วรัญญู

ปริญญานิพนธ์นี้เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรปริญญาวิศวกรรมศาสตรบัณฑิต

สาขาวิชาวิศวกรรมโทรคมนาคม

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

ปีการศึกษา 2544

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ปริญญานิพนธ์ปีการศึกษา 2544

ภาควิชาวิศวกรรมโทรคมนาคม

คณะวิศวกรรมศาสตร์ สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

เรื่อง เครื่องส่งและเครื่องรับสัญญาณดิจิทัล 8-PSK

8-PSK TRANSMITTER AND RECEIVER OF DIGITAL SIGNAL

ผู้จัดทำ

- 1. นาย ยงยุทธ อंकักบิลย์ 42015067
- 2. นาย อภิชาติ ช่วยชู 42015079

อาจารย์ที่ปรึกษา
(อ.สมเกียรติ ฤกษ์วัลบุญ)



เครื่องส่งและเครื่องรับสัญญาณดิจิทัล 8-PSK
8-PSK TRANSMITTER AND RECEIVER
OF DIGITAL SIGNAL

โดย นาย ขงยุทธ อังก์กบิลย์ 42015067
นาย อภิชาติ ชำยชู 42015079

อาจารย์ที่ปรึกษา อ.สมเกียรติ ฤกษ์วัลญญู

บทคัดย่อ

โครงการนี้เป็นการนำเสนอ เครื่องส่งและเครื่องรับสัญญาณดิจิทัล โดยการมอดูเลตทางเฟสแบบ 8-PSK ซึ่งเป็นเทคนิคการมอดูเลตแบบ M-ary encoding technique ที่มี $M=8$ ทำการส่งข้อมูลผ่านสายโคแอกเซียล ด้วยความเร็ว 9600 บิตต่อวินาที จากนั้นสัญญาณจะถูกมอดูเลตกับสัญญาณพาหะ 96 กิโลเฮิร์ตซ์ และใช้สัญญาณร่องความถี่ 9.6 กิโลเฮิร์ตซ์ ส่วนภาครับจะทำการดีมอดูเลตสัญญาณและถอดรหัสเพื่อให้ได้ข้อมูลกลับมา

Abstract

This project is a presentation of transmitter and receiver of digital signal which their phases are modulated by 8 phase. 8-PSK is some sorts of M-ary encoding techniques for $M=8$. Digital data is transmitted and received by coaxial cable with speed around 9600 bits/second, Afterthat a signal is modulated with 96 kHz carrier signal and used 9.6 kHz pilot signal .The receiver demodulates and decode signal for a data recovery.

สารบัญ

	หน้า
บทที่1 บทนำ	1
บทที่2 ทฤษฎีหรือหลักการ	3
2.1 ภาคส่งของระบบ 8-PSK แบบใช้สวิตช์	3
2.1.1 การพิจารณาแถบความถี่ของ 8-PSK	5
2.1.2 ประสิทธิภาพของแถบความถี่	7
2.2 ภาครับสัญญาณ 8-PSK	9
2.3 โครงสร้างของไมโครคอนโทรลเลอร์ตระกูล MCS-51	11
2.4 การจัดการขาต่างๆ ของ MCS-51	12
2.4.1 พอร์ต 0	12
2.4.2 พอร์ต 1	12
2.4.3 พอร์ต 2	12
2.4.4 พอร์ต 3	12
2.4.5 PSEN	13
2.4.6 ALE	13
2.4.7 EA	13
2.4.8 RST	13
2.5 การจัดหน่วยความจำ	14
2.5.1 หน่วยความจำโปรแกรม	14
2.5.2 หน่วยความจำข้อมูล	15
2.6 รีจิสเตอร์ต่างๆที่เกี่ยวข้องกับการใช้งานพอร์ตอนุกรม	15
2.6.1 รีจิสเตอร์ควบคุมไทม์เมอร์	15
2.6.2 รีจิสเตอร์ควบคุมการลatching	15
2.7 อินเตอร์รัพท์	17
2.7.1 ตำแหน่งของอินเตอร์รัพท์	17
2.7.2 การควบคุมใช้งานอินเตอร์รัพท์	18
2.8 มาตรฐานการรับส่งข้อมูลแบบอนุกรม	19
2.8.1 การรับส่งข้อมูลแบบอนุกรมตามมาตรฐาน RS-232C	19
2.8.2 การรับส่งข้อมูลแบบอนุกรมตามมาตรฐาน RS-422A	19
2.8.3 การรับส่งข้อมูลแบบอนุกรมตามมาตรฐาน RS-485	20
2.9 แอคทีฟฟิลเตอร์	21
2.10 เฟสล็อกคัล	22
2.10.1 การสังเคราะห์ความถี่ด้วยเฟสล็อกคัล	23

สารบัญ(ต่อ)

	หน้า
บทที่3 การคำนวณและการสร้าง	24
3.1 การออกแบบวงจรทางด้านภาคส่ง	24
3.1.1 การจัดกลุ่มข้อมูลและควบคุมสวิทช์	24
3.1.2 วงจรกำเนิดสัญญาณพาหะ	27
3.1.3 วงจรกรองช่วงความถี่	28
3.1.4 วงจรควบคุมเฟสและจัดระดับแรงดัน	29
3.1.5 วงจรกำเนิดสัญญาณนำร่อง	30
3.1.6 วงจรรวมสัญญาณ	31
3.2 การออกแบบวงจรทางด้านภาครับ	32
3.2.1 วงจรกู้สัญญาณนาฬิกา	32
3.2.2 วงจรกู้สัญญาณพาหะ	34
3.2.3 วงจรกำจัดสัญญาณนำร่อง	34
3.2.4 วงจรบาลานซ์คิมมอดูเลเตอร์	36
3.2.5 วงจรกรองความถี่ต่ำ	37
3.2.6 วงจรแปลงสัญญาณ 4 ระดับเป็น 2 บิต	38
3.2.7 วงจรรวมสัญญาณดิจิทัล	39
บทที่4 การทดลองและผลการทดลอง	41
4.1 จุดประสงค์ของการทดลอง	41
4.2 การทดลองและผลการทดลองทางด้านภาคส่ง	41
4.2.1 สัญญาณข้อมูลที่ใช้ในการทดลอง	41
4.2.2 สัญญาณที่ใช้ควบคุมสวิทช์เพื่อเลือกสัญญาณ $-0.541 \sin(\omega ct)$	42
4.2.3 สัญญาณที่ใช้ควบคุมสวิทช์เพื่อเลือกสัญญาณ $-1.307 \sin(\omega ct)$	42
4.2.4 สัญญาณที่ใช้ควบคุมสวิทช์เพื่อเลือกสัญญาณ $0.541 \sin(\omega ct)$	43
4.2.5 สัญญาณที่ใช้ควบคุมสวิทช์เพื่อเลือกสัญญาณ $1.307 \sin(\omega ct)$	43
4.2.6 สัญญาณที่ใช้ควบคุมสวิทช์เพื่อเลือกสัญญาณ $-0.541 \cos(\omega ct)$	44
4.2.7 สัญญาณที่ใช้ควบคุมสวิทช์เพื่อเลือกสัญญาณ $-1.307 \cos(\omega ct)$	44
4.2.8 สัญญาณที่ใช้ควบคุมสวิทช์เพื่อเลือกสัญญาณ $0.541 \cos(\omega ct)$	45
4.2.9 สัญญาณที่ใช้ควบคุมสวิทช์เพื่อเลือกสัญญาณ $1.307 \cos(\omega ct)$	45
4.2.10 สัญญาณพาหะ 96 KHz	46

สารบัญ(ต่อ)

	หน้า
4.2.11 สัญญาณพาหะที่เลื่อนเฟส	46
4.2.12 สัญญาณพาหะที่เลื่อนเฟส	47
4.2.13 สัญญาณ 8- PSK	47
4.2.14 สัญญาณ 8- PSK เมื่อรวมกับสัญญาณนำร่อง	49
4.3 การทดลองและผลการทดลองทางด้านภาครับ	50
4.3.1 สัญญาณที่รับได้ที่ภาครับ	50
4.3.2 สัญญาณ 8- PSK ที่รับได้ที่ภาครับ	50
4.3.3 สัญญาณที่ผ่านการคิมอดูเลต	51
4.3.4 สัญญาณที่ผ่านการคิมอดูเลต	51
4.3.5 สัญญาณที่ผ่านวงจรกรองความถี่ต่ำเมื่อใช้สัญญาณ COS (ω_{ct})	52
4.3.6 สัญญาณที่ผ่านวงจรกรองความถี่ต่ำเมื่อใช้สัญญาณ SIN(ω_{ct})	52
4.3.7 สัญญาณ 4 ระดับเป็น 2 บิต	53
4.3.8 สัญญาณดิจิทัล	54
บทที่5 บทสรุปและบทวิจารณ์	55
หนังสืออ้างอิง	56

สารบัญรูป

	หน้า
รูปที่ 1.1 บล็อกไดอะแกรมของระบบการสื่อสารอิเล็กทรอนิกส์	1
รูปที่ 1.2 แสดงบล็อกไดอะแกรมของเครื่องส่ง 8-PSK มอดูเลตแบบใช้สวิตช์ควบคุม	2
รูปที่ 1.3 แสดงบล็อกไดอะแกรมของเครื่องรับ 8-PSK มอดูเลเตอร์	2
รูปที่ 2.1 แสดงบล็อกไดอะแกรมของเครื่องส่ง 8-PSK มอดูเลเตอร์แบบใช้สวิตช์	3
รูปที่ 2.2 แสดงเฟสเซอร์ไดอะแกรม ของ 8-PSK	4
รูปที่ 2.3 แสดงความสัมพันธ์ของเฟสเอตัพุตเทียบกับเวลาสำหรับ 8-PSK มอดูเลเตอร์	5
รูปที่ 2.4 แสดงการพิจารณาแถบความถี่ของ 8-PSK แบบใช้สวิตช์	5
รูปที่ 2.5 แสดงการพิจารณาแถบความถี่ของ 8-PSK มอดูเลเตอร์	6
รูปที่ 2.6 แสดงบล็อกไดอะแกรมของเครื่องรับ 8-PSK	9
รูปที่ 2.7 โครงสร้างภายในของ MCS-51	12
รูปที่ 2.8 ตำแหน่งขาต่าง ๆ ของ 8051	14
รูปที่ 2.9 แสดงบล็อกไดอะแกรมของวงจรเฟสล็อกคูล	22
รูปที่ 2.10 แสดงโครงสร้างเฟสล็อกคูลสำหรับการสังเคราะห์ความถี่	23
รูปที่ 3.1 แสดงรูปแบบบล็อกไดอะแกรมของวงจรทางด้านภาคส่ง	24
รูปที่ 3.2 แสดงวงจรจัดกลุ่มข้อมูลและควบคุมสวิตช์	25
รูปที่ 3.3 ไฟล์ชาร์ตการทำงานของไมโครคอนโทรลเลอร์ MCS-51 เพื่อควบคุมสวิตช์	26
รูปที่ 3.4 วงจรกำเนิดสัญญาณพาหะ	27
รูปที่ 3.5 วงจรกรองช่วงความถี่แบบแบนด์แคป	28
รูปที่ 3.6 วงจร All-Pass Filter ชนิด V_o ถัดจาก V_{in}	29
รูปที่ 3.7 วงจรควบคุมเฟสและระดับแรงดัน	30
รูปที่ 3.8 วงจรกำเนิดสัญญาณนำร่อง	31
รูปที่ 3.9 วงจรรวมสัญญาณ	31
รูปที่ 3.10 แสดงบล็อกไดอะแกรมของวงจรทางด้านภาครับ 8-PSK	32
รูปที่ 3.11 วงจรกู้สัญญาณนาฬิกา	33
รูปที่ 3.12 วงจรกู้สัญญาณพาหะ	34
รูปที่ 3.13 วงจรกำจัดช่วงความถี่แบบแบนด์แคป (Narrow band-reject filter)	35
รูปที่ 3.14 วงจรกำจัดสัญญาณนำร่องออกจากสัญญาณ 8-PSK	36
รูปที่ 3.15 วงจรบาลานซ์ดีมอดูเลเตอร์	37
รูปที่ 3.16 วงจรกรองความถี่ต่ำ	37
รูปที่ 3.17 วงจรกรองความถี่ต่ำที่ใช้งาน	38
รูปที่ 3.18 วงจรแปลงสัญญาณ 4 ระดับเป็น 2 บิต	38
รูปที่ 3.19 วงจรรวมสัญญาณดิจิทัล	39

สารบัญรูป(ต่อ)

หน้า

รูปที่ 3.20	พล็อตชาร์ตการทำงานของไมโครคอนโทรลเลอร์ MCS-51 เพื่อรวมสัญญาณดิจิทัล	40
รูปที่ 4.1	Ch1 แสดงสัญญาณข้อมูลที่ใช้ทดลองส่งเทียบกับ Ch2 แสดงสัญญาณนาฬิกา 9.6 KHz	41
รูปที่ 4.2	Ch1 แสดงสัญญาณที่ใช้ควบคุมสวิตช์เพื่อเลือกสัญญาณ $-0.541 \sin(\omega_{ct})$ เทียบกับ Ch2 แสดงสัญญาณข้อมูล	42
รูปที่ 4.3	Ch1 แสดงสัญญาณที่ใช้ควบคุมสวิตช์เพื่อเลือกสัญญาณ $-1.307 \sin(\omega_{ct})$ เทียบกับ Ch2 แสดงสัญญาณข้อมูล	42
รูปที่ 4.4	Ch1 แสดงสัญญาณที่ใช้ควบคุมสวิตช์เพื่อเลือกสัญญาณ $0.541 \sin(\omega_{ct})$ เทียบกับ Ch2 แสดงสัญญาณข้อมูล	43
รูปที่ 4.5	Ch1 แสดงสัญญาณที่ใช้ควบคุมสวิตช์เพื่อเลือกสัญญาณ $1.307 \sin(\omega_{ct})$ เทียบกับ Ch2 แสดงสัญญาณข้อมูล	43
รูปที่ 4.6	Ch1 แสดงสัญญาณที่ใช้ควบคุมสวิตช์เพื่อเลือกสัญญาณ $-0.541 \cos(\omega_{ct})$ เทียบกับ Ch2 แสดงสัญญาณข้อมูล	44
รูปที่ 4.7	Ch1 แสดงสัญญาณที่ใช้ควบคุมสวิตช์เพื่อเลือกสัญญาณ $-1.307 \cos(\omega_{ct})$ เทียบกับ Ch2 แสดงสัญญาณข้อมูล	44
รูปที่ 4.8	Ch1 แสดงสัญญาณที่ใช้ควบคุมสวิตช์เพื่อเลือกสัญญาณ $0.541 \cos(\omega_{ct})$ เทียบกับ Ch2 แสดงสัญญาณข้อมูล	45
รูปที่ 4.9	Ch1 แสดงสัญญาณที่ใช้ควบคุมสวิตช์เพื่อเลือกสัญญาณ $1.307 \cos(\omega_{ct})$ เทียบกับ Ch2 แสดงสัญญาณข้อมูล	45
รูปที่ 4.10	Ch1 แสดงสัญญาณพาหะ 96 KHz ที่สร้างขึ้นเทียบกับ Ch2 แสดงสัญญาณสี่เหลี่ยม 96 KHz จากเฟลตลอคลูป	46
รูปที่ 4.11	Ch1 แสดงสัญญาณพาหะ 96 KHz เทียบกับ Ch2 แสดงสัญญาณพาหะ 96 KHz ที่เลื่อนเฟสไป 90 องศา	46
รูปที่ 4.12	Ch1 แสดงสัญญาณพาหะ 96 KHz เทียบกับ Ch2 แสดงสัญญาณพาหะ 96 KHz ที่เลื่อนเฟสไป 90 องศา เมื่อวัดแบบ X-Y โหมด	47
รูปที่ 4.13	Ch1 แสดงสัญญาณ 8-PSK เทียบกับ Ch2 แสดงสัญญาณพาหะ 96 KHz	47
รูปที่ 4.14	Ch1 แสดงสัญญาณ 8-PSK เทียบกับ Ch2 แสดงสัญญาณพาหะ 96 KHz	48
รูปที่ 4.15	Ch1 แสดงสัญญาณ 8-PSK เทียบกับ Ch2 แสดงสัญญาณพาหะ 96 KHz เมื่อวัดแบบ X-Y โหมด	48
รูปที่ 4.16	แสดงสัญญาณ 8-PSK เมื่อนำมารวมกับสัญญาณนำร่อง	49
รูปที่ 4.17	แสดงสัญญาณที่รับได้ที่ภาครับ	50
รูปที่ 4.18	Ch1 แสดงสัญญาณ 8-PSK ที่ได้ทางภาคส่งเทียบกับ Ch2 แสดงสัญญาณ 8-PSK ที่ได้ทางภาครับ	50

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้คัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญรูป(ต่อ)

	หน้า
รูปที่ 4.19 แสดงสัญญาณที่ผ่านการคิมอดูเลต	51
รูปที่ 4.20 แสดงสัญญาณที่ผ่านการคิมอดูเลต	51
รูปที่ 4.21 แสดงสัญญาณ 4 ระดับที่กู้ได้ เมื่อใช้สัญญาณพาหะเป็น $\cos(\omega_c t)$	52
รูปที่ 4.22 แสดงสัญญาณ 4 ระดับที่กู้ได้ เมื่อใช้สัญญาณพาหะเป็น $\sin(\omega_c t)$	52
รูปที่ 4.23 Ch1 แสดงสัญญาณบิต I ที่ภาครับ เทียบกับ Ch2 แสดงสัญญาณบิต I ที่ภาคส่ง	53
รูปที่ 4.24 Ch1 แสดงสัญญาณบิต C ที่ภาครับ เทียบกับ Ch2 แสดงสัญญาณบิต C ที่ภาคส่ง	53
รูปที่ 4.25 Ch1 แสดงสัญญาณบิต Q ที่ภาครับ เทียบกับ Ch2 แสดงสัญญาณบิต Q ที่ภาคส่ง	54
รูปที่ 4.26 Ch1 แสดงสัญญาณข้อมูลทางด้านภาครับเทียบกับ Ch2 แสดงสัญญาณข้อมูลทางด้านภาคส่ง	54



สารบัญตาราง

	หน้า
ตารางที่ 2.1 แสดงค่าความจริงของชุดข้อมูลกับสัญญาณ 8-PSK	4
ตารางที่ 2.2 แสดงค่าแถบความถี่ที่น้อยที่สุดของรูปแบบการมอดูเลตแบบต่างๆ	7
ตารางที่ 2.3 สรุปข้อแตกต่างของ PSK และ QAM	8
ตารางที่ 2.4 ไมโคร โปรเซสเซอร์ตระกูล MCS-51 เบอร์ต่าง ๆ	11
ตารางที่ 2.5 บิตและหน้าที่ต่าง ๆ ของพอร์ต 3	13
ตารางที่ 2.6 วิธีสแต็คควบคุมการลดกำลัง	15
ตารางที่ 2.7 วิธีสแต็คควบคุมพอร์ตอนุกรม (SCON)	16
ตารางที่ 2.8 เวกเตอร์อินเตอร์รัพท์	18
ตารางที่ 2.9 การควบคุมการเลือกใช้งานอินเตอร์รัพท์	18



บทที่ 1
บทนำ

ช่วงเวลาหลายปีที่ผ่านมา ระบบการสื่อสารอิเล็กทรอนิกส์ (Electronic Communication) ได้รับความสนใจเป็นอย่างมาก และมีการเปลี่ยนแปลงเทคโนโลยีซึ่งได้มีการพัฒนาขึ้นเรื่อยๆ จากระบบการสื่อสารที่ใช้เทคนิคการมอดูเลตแบบอนาล็อก(Analog Communication System) เช่น แอมพลิจูดมอดูเลชัน (AM) , ฟรีควেনซ์มอดูเลชัน (FM) และเฟสมอดูเลชัน(PM) จะเปลี่ยนไปใช้ระบบการสื่อสารแบบดิจิทัลกันมากขึ้น ระบบการสื่อสารแบบดิจิทัล (Digital Communication System) จะได้รับประโยชน์มากกว่าระบบอนาล็อก ทั้งในด้านการรวมการมัลติเพล็กซ์(Multiplex) และการกำจัดสัญญาณรบกวน โดยแท้จริงแล้วระบบการสื่อสารอิเล็กทรอนิกส์ คือ การส่ง การรับ และขบวนการข่าวสารโดยใช้วงจรอิเล็กทรอนิกส์



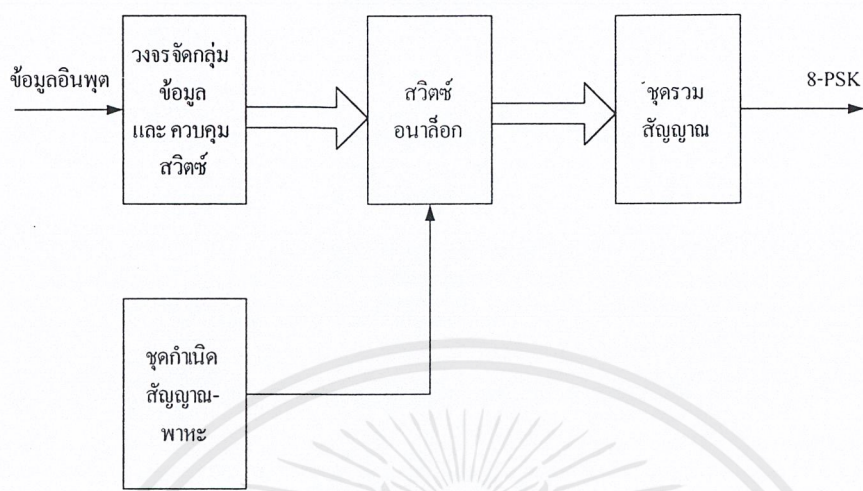
รูปที่ 1.1 บล็อกไดอะแกรมของระบบการสื่อสารอิเล็กทรอนิกส์

จากรูปที่ 1.1 ระบบการสื่อสารแบบดิจิทัลประกอบด้วย 3 ส่วนคือ แหล่งกำเนิด, ปลายทางและตัวกลาง ข่าวสารที่ถูกส่งไปในระบบการสื่อสารจากแหล่งกำเนิดนั้นไม่เหมาะที่จะส่งในรูปแบบของข้อมูลเดิม แต่จะต้องแปลงให้เหมาะสมก่อนที่จะส่ง ตัวอย่างเช่น ในระบบการสื่อสารแบบดิจิทัล ข่าวสารที่เป็นอนาล็อกจะถูกแปลงให้อยู่ในรูปดิจิทัลก่อนที่จะทำการส่ง

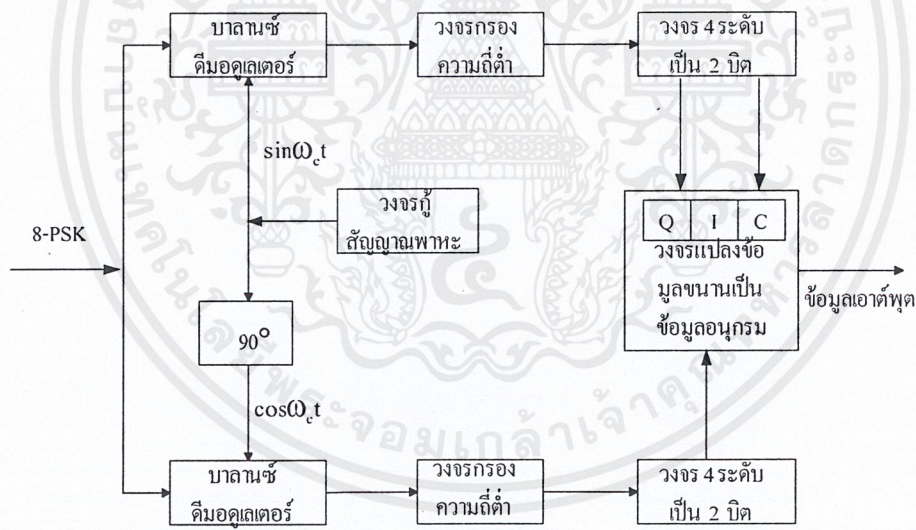
ในระบบการสื่อสารแบบดิจิทัลนั้นให้ความถูกต้องแม่นยำ มีคุณภาพและปริมาณการใช้งานเพิ่มขึ้นมากกว่าระบบการสื่อสารอนาล็อก ทั้งในระบบการส่งสัญญาณหรือข้อมูลต่างๆ เช่น ระบบโทรศัพท์, ระบบการสื่อสารผ่านดาวเทียมภาคพื้นดินหรือระบบการสื่อสารดาวเทียมอวกาศ (Aeronautical or Land Mobile Satellite System) เป็นต้น จึงจำเป็นต้องใช้เทคนิคการมอดูเลตสัญญาณดิจิทัลที่ละเอียดซับซ้อน ทำให้ต้องมีการศึกษาค้นคว้าเทคนิคในการมอดูเลตแบบต่างๆ เพื่อพัฒนาให้ทันกับความต้องการของตลาดการสื่อสารที่เป็นอยู่

รูปแบบการมอดูเลตสัญญาณดิจิทัลนั้นมีหลายรูปแบบ เช่น FSK, PSK, BPSK, QPSK, 8-PSK, QAM, 8-QAM, 16-QAM เป็นต้น แต่ในการส่งสัญญาณดิจิทัลนั้นหากเป็นสัญญาณที่มีอัตราเร็วสูงๆ จะมีผลทำให้ขนาดของแบนด์วิธที่กว้างขึ้น ไม่เป็นการประหยัดในการเข้าใช้ช่วงสัญญาณ จึงต้องมีเทคนิคในการลดแบนด์วิธของสัญญาณ ดังนั้นในโครงการนี้จึงนำเสนอการส่งสัญญาณดิจิทัลที่มีความเร็ว 9600 bps โดยใช้วิธีการส่งสัญญาณแบบ 8-PSK ซึ่งเป็นเทคนิคการเปลี่ยนแปลงของคลื่นพาหะซึ่งจะมีการเปลี่ยนแปลงทางเฟสซึ่งมีการเปลี่ยนแปลงเฟสทั้งหมด 8 ตำแหน่งภายใน 1 คาบเวลา ซึ่งทำให้สามารถลดแบนด์วิธลงได้ 3 เท่าของการส่งสัญญาณแบบ PSK จะทำให้การใช้ช่วงสัญญาณมีประสิทธิภาพมากยิ่งขึ้น

เพราะสามารถลดขนาดของแบนด์วิธของสัญญาณได้หรือกล่าวอีกนัยหนึ่งคือ สามารถเพิ่มบิตเรทของสัญญาณข้อมูลได้ ในขณะที่มีแบนด์วิธเท่าเดิม



รูปที่ 1.2 แสดงบล็อกไดอะแกรมของเครื่องส่ง 8-PSK มอดูเลตแบบใช้สวิตช์ควบคุม



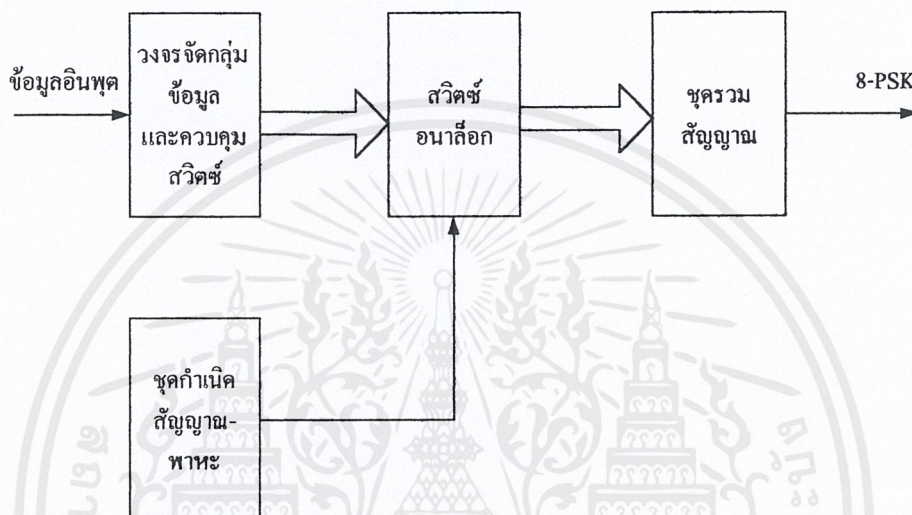
รูปที่ 1.3 แสดงบล็อกไดอะแกรมของเครื่องรับ 8-PSK มอดูเลเตอร์

บทที่ 2 ทฤษฎีและหลักการ

การมอดูเลตแบบ 8-PSK

(Eight-Phase Shift Keying :8PSK)

8-PSK เป็นเทคนิคการเข้ารหัสแบบ M-ary เมื่อ $M=8$ การมอดูเลตแบบ 8-PSK มีเอาต์พุตเฟสเท่ากับ 8 เข้ารหัสที่แตกต่างกัน 8 เฟส ข้อมูลที่เข้ามาจะถูกแบ่งเป็นกลุ่มๆละ 3 บิต เรียกว่า ไตรบิต ($2^3 = 8$)



รูปที่ 2.1 แสดงบล็อกไดอะแกรมของเครื่องส่ง 8-PSK มอดูเลเตอร์แบบใช้สวิตช์

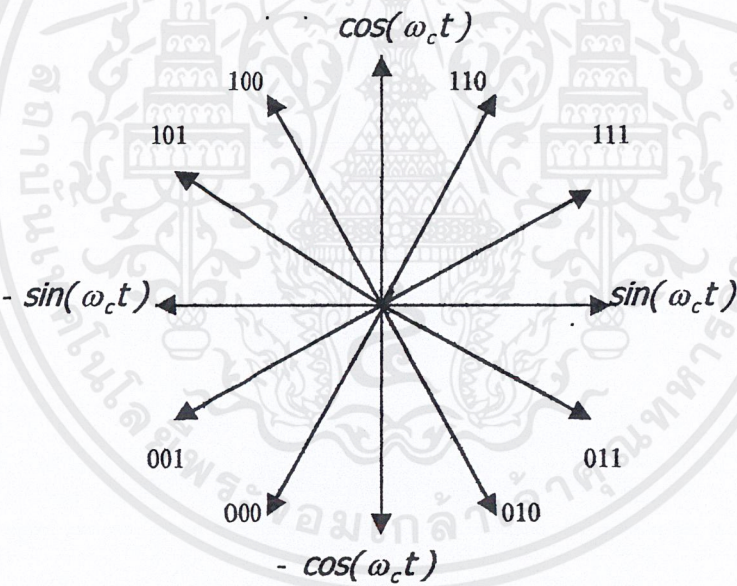
2.1 ภาคส่งของระบบ 8-PSK แบบใช้สวิตช์

สัญญาณข้อมูลที่เป็นอนุกรมที่เข้ามาจะถูกจัดกลุ่มๆ ละ 3 บิต โดยจะใช้ซอฟต์แวร์ในการจัดกลุ่มสัญญาณ ซึ่งจะทำให้ข้อมูลมีความแตกต่างกัน 8 รูปแบบ คือ 000 , 001 , 010 , 011 , 100 , 101 , 110 , 111 ซึ่งสัญญาณที่มีความแตกต่างกัน 8 รูปแบบนี้ จะถูกนำมาควบคุมสวิตช์ โดยสวิตช์ที่ถูกควบคุมจะถูกแบ่งออกเป็น 2 ชุด คือ ชุดที่ต่ออยู่กับสัญญาณพาหะที่เป็นสัญญาณ $\sin(\omega_c t)$ และชุดที่ต่ออยู่กับสัญญาณพาหะที่เป็นสัญญาณ $\cos(\omega_c t)$ ซึ่งสวิตช์ทั้งสองชุดนี้จะมีอยู่ทั้งหมด 8 ตัวซึ่งสวิตช์นี้จะทำงานพร้อมกันทีละ 2 ตัว โดยสวิตช์ทั้ง 2 จะเลือกเอาสัญญาณพาหะที่ป้อนเข้ามาซึ่งมีการควบคุมระดับมารวมกัน ซึ่งจากการแบ่งข้อมูลออกเป็นกลุ่มๆละ 3 บิต ทำให้บิตเรทของสัญญาณคือ $f_s/3$

จากตารางค่าความจริงของชุดข้อมูลกับสัญญาณ 8-PSK จะเห็นว่าเอาต์พุตของสัญญาณแบบ 8-PSK จะได้จากการนำสัญญาณพาหะ $\sin(\omega_c t)$ ที่มีค่าถ่วงน้ำหนักมารวมกับสัญญาณพาหะ $\cos(\omega_c t)$ ที่มีค่าถ่วงน้ำหนักด้วยเช่นกัน เมื่อนำสัญญาณทั้งสองมารวมกันจะได้เป็นสัญญาณเอาต์พุตเป็นสัญญาณพาหะเช่นเดิมแต่จะมีการเปลี่ยนแปลงทางเฟส และขนาดแรงดันก็จะมีขนาดเท่ากันตลอด

ตารางที่ 2.1 แสดงค่าความจริงของชุดข้อมูลกับสัญญาณ 8-PSK

Binary input			$\sin(\omega_c t)$	$\cos(\omega_c t)$	8-PSK output
Q	I	C			Phase
0	0	0	-0.541	-1.307	-112.5°
0	0	1	-1.307	-0.541	-157.5°
0	1	0	0.541	-1.307	-67.5°
0	1	1	1.307	-0.541	-22.5°
1	0	0	-0.541	1.307	+112.5°
1	0	1	-1.307	0.541	+157.5°
1	1	0	0.541	1.307	+67.5°
1	1	1	1.307	0.541	+22.5°

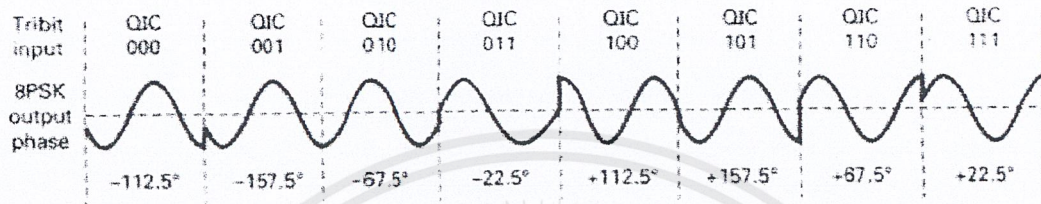


รูปที่ 2.2 แสดงเฟสเซอร์ไดอะแกรม ของ 8-PSK

จากรูปจะเห็นว่ามุมแต่ละมุมระหว่างเฟสที่ใกล้กันจะต่างกัน 45 องศา ดังนั้นสัญญาณ 8-PSK สามารถเลื่อนเฟสได้สูงสุด ± 22.5 องศา ในระหว่างการส่งสัญญาณซึ่งยังคงรักษาข้อมูลได้อย่างครบถ้วน ดังนั้นระดับแรงดันของที่เป็นอินพุตให้สวิตช์ คือ 1.307 และ 0.541 เป็นค่าที่สัมพันธ์กัน ซึ่งอัตราส่วนคือ 0.541/1.307 และมีค่าอาร์คแทนเจนต์ (arctangent) เท่ากับ 22.5 องศา ตัวอย่างเช่นถ้าเพิ่มค่าของแรงดันเป็น

2 เท่าคือ 2.614 และ 1.082 ผลคือมุมเฟสจะไม่เปลี่ยน แม้ว่าค่าขนาดของเฟสเซอร์จะเพิ่มขึ้น (ต้องเพิ่มขึ้นอย่างเหมาะสม)

รหัสไตรบิตระหว่าง 2 เฟสที่อยู่ติดกันจะสามารถเปลี่ยนได้เพียงบิตเดียวเท่านั้น ซึ่งเรียกว่า รหัสเกรย์ (Gray code) หรือบางครั้งเรียกว่า แมกซ์มัมดีสแตนซ์โค้ด (maximum distance code) รหัสนี้จะช่วยลดความผิดพลาดที่เกิดจากการส่งข้อมูล



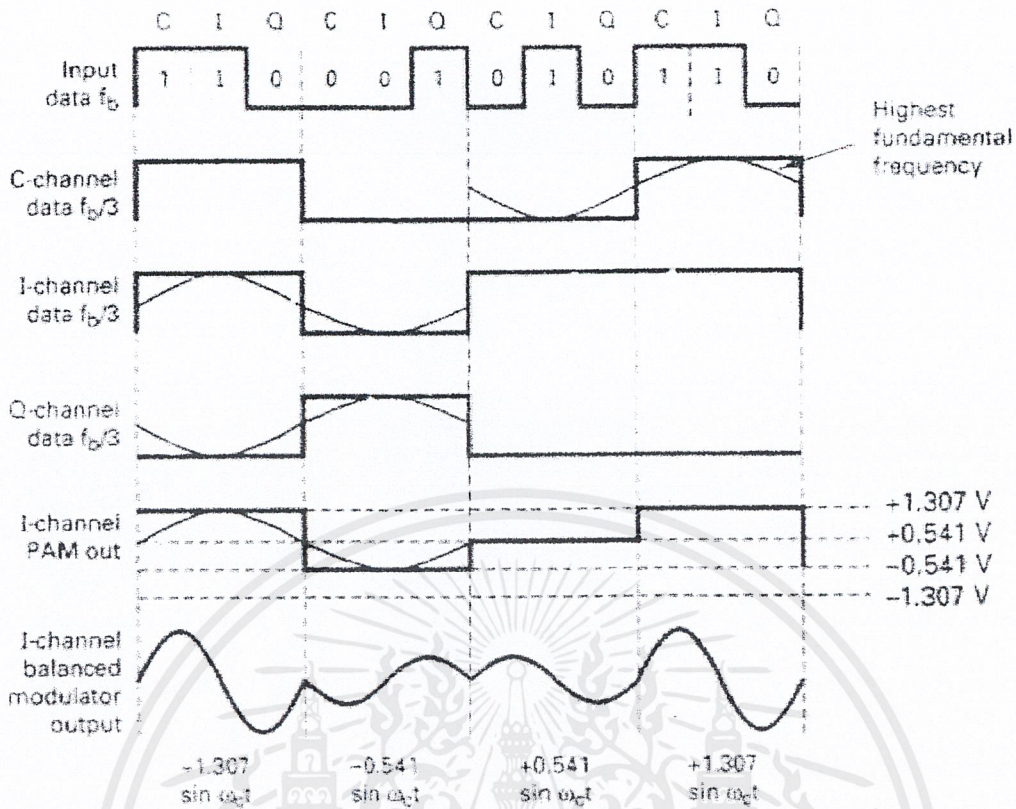
รูปที่ 2.3 แสดงความสัมพันธ์ของเฟสเอาต์พุตเทียบกับเวลาสำหรับ 8-PSK โมดูลเดอเรอร์

2.1.1 การพิจารณาแถบความถี่ของ 8-PSK

เพราะว่าข้อมูลถูกแบ่งออกเป็นกลุ่มๆ ละ 3 บิต ผ่านวงจรควบคุมขนาดแรงดัน แล้วถูกส่งไปพร้อมกัน ดังนั้นเอาต์พุตที่ออกมาจะเป็นสัญญาณ 2 เฟสและแรงดัน 2 ระดับ จะทำให้เห็นการเปลี่ยนแปลงของเอาต์พุตที่บิตเรทเท่ากับ $f_c/3$



รูปที่ 2.4 แสดงการพิจารณาแถบความถี่ของ 8-PSK แบบใช้สวิทช์



รูปที่ 2.5 แสดงการพิจารณาแถบความถี่ของ 8-PSK มอดูเลเตอร์

จากรูปแสดงความสัมพันธ์ระหว่างข้อมูลอินพุตไบนารี, ข้อมูลในช่องสัญญาณ I , Q , C , สัญญาณ PAM บนช่องสัญญาณ I และ Q จะเห็นว่าความถี่มูลฐานสูงสุด (highest fundamental frequency) ในช่อง I , Q หรือ C เท่ากับ 1/6 ของบิตเรตของสัญญาณอินพุตไบนารี ดังนั้นความถี่มูลฐานสูงสุดในแต่ละสัญญาณ PAM จะเท่ากับ 1/6 ของสัญญาณอินพุตไบนารี

สำหรับเครื่องมอดูเลต 8-PSK จะมีการเปลี่ยนแปลงเฟสทุกๆ 3 บิตของข้อมูลอินพุตที่เข้ามา ดังนั้นอัตราเร็ว (baud) ของ 8-PSK เท่ากับ $f_b/3$ ซึ่งเป็นค่าแบนด์วิดธ์ต่ำสุด นอกจากนั้นบาลานซ์มอดูเลเตอร์จะทำการมอดูเลต ซึ่งเอาต์พุตได้มาจากสัญญาณพาหะกับสัญญาณ PAM แสดงในรูปสมการทางคณิตศาสตร์ได้ดังนี้

$$\theta = (X \sin \omega_b t)(\sin \omega_c t)$$

เมื่อ $\omega_b t = 2\pi \frac{f_b}{6} t$; (ข้อมูล)

$\omega_c t = 2\pi f_c t$; (สัญญาณพาหะ)

และ $x = \pm 1.307$

หรือ $= \pm 0.541$

ดังนั้น

$$\begin{aligned}\theta &= \left(X \sin 2\pi \frac{f_b}{6} t \right) (\sin 2\pi f_c t) \\ &= \frac{X}{2} \cos 2\pi \left(f_c - \frac{f_b}{6} \right) t - \frac{X}{2} \cos 2\pi \left(f_c + \frac{f_b}{6} \right) t\end{aligned}$$

สเปกตรัมความถี่ของสัญญาณเอาต์พุตอยู่ในช่วง $f_c + f_b/6$ และ $f_c - f_b/6$ และค่าแบนด์วิธต่ำสุด (f_N) คือ $\left(f_c + \frac{f_b}{6} \right) - \left(f_c - \frac{f_b}{6} \right) = \frac{2f_b}{6} = \frac{f_b}{3}$

2.1.2 ประสิทธิภาพของแถบความถี่ (Bandwidth Efficiency)

ประสิทธิภาพของแถบความถี่ (หรือความหนาแน่นของข้อมูล) ถูกใช้เปรียบเทียบกับการทำงานของเทคนิคการมอดูเลตกับแบบอื่นๆ สิ่งที่สำคัญคือ อัตราส่วนของบิตเรทในการส่งกับแถบความถี่ที่น้อยที่สุดที่ต้องการ สำหรับการมอดูเลตที่ต้องการความละเอียด ประสิทธิภาพของแถบความถี่มักจะถูกจัดให้เป็น 1 Hz เพื่อให้สามารถแยกจำนวนบิตที่สามารถส่งผ่านอุปกรณ์สำหรับแถบความถี่แต่ละเฮิรตซ์ได้ เราสามารถเขียนสมการประสิทธิภาพของแถบความถี่ได้เป็น

$$\begin{aligned}\text{ประสิทธิภาพของแถบความถี่} &= \text{อัตราเร็วในการส่ง (bps) / แถบความถี่ที่น้อยที่สุด (Hz)} \\ &= \text{บิต/ไซเคิล}\end{aligned}$$

การหาประสิทธิภาพของแถบความถี่สำหรับการมอดูเลตแบบ BPSK ,QPSK ,8-PSK และ 16-QAM จากตารางเป็นการแสดงถึงแถบความถี่ที่น้อยที่สุดที่ใช้ส่งสัญญาณที่มีอัตราการส่ง 10 Mbps ด้วยการมอดูเลตแบบต่างๆ ดังตารางที่ 2.2

ตารางที่ 2.2 แสดงค่าแถบความถี่ที่น้อยที่สุดของรูปแบบการมอดูเลตแบบต่างๆ

Modulation Technique	Minimum Bandwidth (MHz)
BPSK	10
QPSK	5
8-PSK	3.33
16-QAM	2.5

แทนค่าลงในสมการ จะได้ค่าประสิทธิภาพของแถบความถี่ดังนี้

$$BPSK : BW_{efficiency} = \frac{10Mbps}{10MHz} = \frac{1bps}{Hz} = \frac{1bit}{cycle}$$

$$QPSK : BW_{efficiency} = \frac{10Mbps}{5MHz} = \frac{2bps}{Hz} = \frac{2bit}{cycle}$$
$$8PSK : BW_{efficiency} = \frac{10Mbps}{3.33MHz} = \frac{3bps}{Hz} = \frac{3bit}{cycle}$$

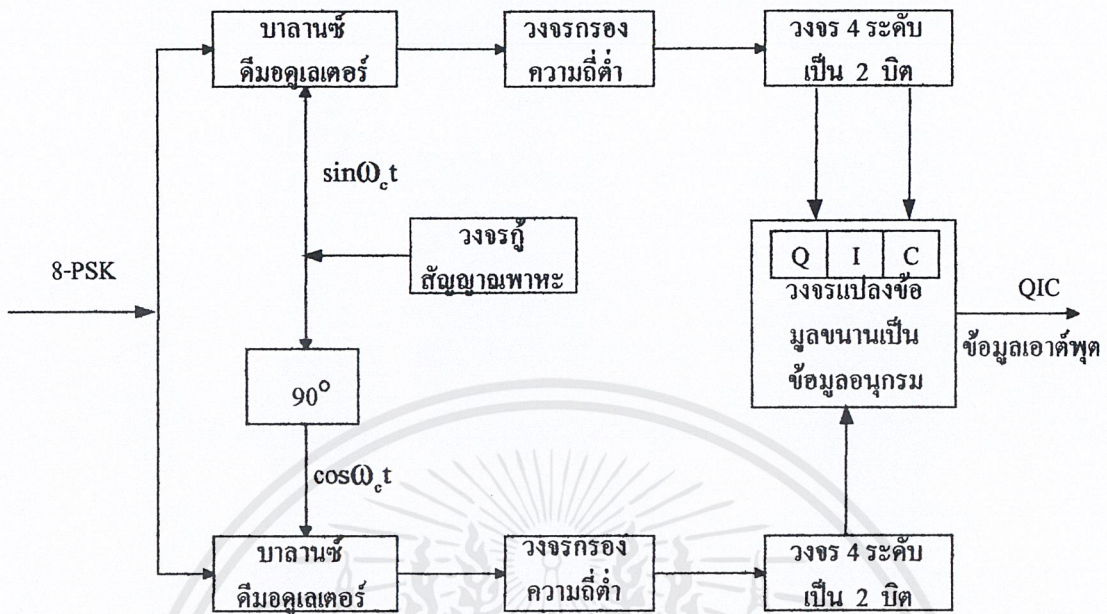
ผลที่ได้แสดงให้เห็นว่า BPSK มีประสิทธิภาพต่ำสุด และ 16-QAM มีประสิทธิภาพสูงสุด และ 8PSK ต้องการเพียง 1/3 ของแถบความถี่ที่ใช้ใน BPSK ในอัตราบิตเรทอินพุตที่เท่ากัน และสามารถสรุปข้อแตกต่างของ PSK และ QAM ได้ในตารางที่ 2.3

ตารางที่ 2.3สรุปข้อแตกต่างของ PSK และ QAM

Modulation	Encoding	Bandwidth	Baud	Bandwidth efficiency(bps/Hz)
BPSK	Single bit	f_b	f_b	1
QPSK	Dibi	$f_b / 2$	$f_b / 2$	2
8-PSK	Tribit	$f_b / 3$	$f_b / 3$	3
8-QAM	Tribit	$f_b / 3$	$f_b / 3$	3
16-PSK	Quadbit	$f_b / 4$	$f_b / 4$	4
16-QAM	Quadbit	$f_b / 4$	$f_b / 4$	4

2.2 ภาครับสัญญาณ 8-PSK

ลักษณะของบล็อกไดอะแกรมของภาครับสัญญาณ 8-PSK จะแสดงดังรูปที่ 2.6



รูปที่ 2.6 แสดงบล็อกไดอะแกรมของเครื่องรับ 8-PSK

จากรูปที่ 2.6 เมื่อรับสัญญาณ 8-PSK เข้ามาจะเข้าภาคแยกสัญญาณ (Power Splitter) เพื่อแยกสัญญาณออกไปที่ I-Channel และ Q-Channel และจะนำสัญญาณส่วนหนึ่งไปเข้ายังวงจรกู้สัญญาณคลื่นพาหะ (Carrier Recovery Circuit) เพื่อกู้สัญญาณคลื่นพาหะ ให้มีความสัมพันธ์กับสัญญาณอินพุตที่เข้ามา เพื่อนำไปใช้ในการดีมอดูเลต

ที่ด้าน I-Channel สัญญาณจะถูกดีมอดูเลตกับคลื่นพาหะที่กู้ได้ ซึ่งจะได้อาต์พุต ออกมาเป็นสัญญาณที่มีระดับแรงดัน 4 ระดับ โดยมีขนาดลดลงครึ่งหนึ่ง ตามข้อมูลที่ส่งมาแต่จะมีความถี่คลื่นพาหะรวมอยู่ด้วย จึงต้องนำสัญญาณนี้ไปผ่านวงจรกรองความถี่ต่ำ จึงจะได้เป็นสัญญาณ PAM 4 ระดับ ออกมาส่วนที่ด้าน Q-Channel ก็จะถูกดีมอดูเลตกับคลื่นพาหะที่กู้ได้เช่นกัน แต่จะเลื่อนเฟสไป 90 องศา ก็จะได้เป็นสัญญาณ PAM 4 ระดับดังสมการดังนี้

$$\begin{aligned}
 \phi_{8-PSK} &= A \sin(\omega_c t + \theta) \\
 \phi_I &= A \sin(\omega_c t + \theta) \sin(\omega_c t) \\
 &= A \{ \sin(\omega_c t) \cos(\theta) \sin(\omega_c t) + \sin(\theta) \cos(\omega_c t) \sin(\omega_c t) \} \\
 &= A \cos(\theta) \sin^2(\omega_c t) + A \sin(\theta) \cos(\omega_c t) \sin(\omega_c t) \\
 &= A \cos(\theta) \left\{ \frac{1 - \cos(2\omega_c t)}{2} \right\} + A \sin(\theta) \frac{\sin(2\omega_c t)}{2} \\
 &= \frac{A \cos(\theta)}{2} - \frac{A \cos(\theta) \cos(2\omega_c t)}{2} + A \sin(\theta) \frac{\sin(2\omega_c t)}{2} \\
 &= \frac{A \cos(\theta)}{2}
 \end{aligned}$$

จากสมการจะเห็นว่า เมื่อนำสัญญาณ 8-PSK ที่รับได้มาคูณกับสัญญาณ $\sin(\omega_c t)$ จะได้เป็นสัญญาณที่มีแอมพลิจูดต่างกัน ซึ่งจะขึ้นอยู่กับค่าเฟสที่ส่งเข้ามา และจะมีความถี่ที่มีค่าเป็นสองเท่าของความถี่คลื่นพาหะเดิมรวมเข้ามาด้วย และเมื่อผ่านวงจรกรองความถี่ต่ำผ่านก็จะได้สัญญาณ PAM ออกมาตามทฤษฎีข้างต้น

ส่วนทางค่าน Q - Channel จะนำเอาสัญญาณอินพุตที่รับเข้ามาคูณกับสัญญาณ $\cos(\omega_c t)$ ก็จะได้ค่าตามสมการดังนี้

$$\begin{aligned}\phi_{8-PSK} &= A \sin(\omega_c t + \theta) \\ \phi_Q &= A \sin(\omega_c t + \theta) \cos(\omega_c t) \\ &= A \{ \sin(\omega_c t) \cos(\theta) \cos(\omega_c t) + \sin(\theta) \cos(\omega_c t) \cos(\omega_c t) \} \\ &= A \cos(\theta) \cos(\omega_c t) \sin(\omega_c t) + A \sin(\theta) \cos^2(\omega_c t) \\ &= A \cos(\theta) \frac{\sin(2\omega_c t)}{2} + A \sin(\theta) \left\{ \frac{1 - \cos(2\omega_c t)}{2} \right\} \\ &= \frac{A \sin(\theta)}{2} - \frac{A \sin(\theta) \cos(2\omega_c t)}{2} + A \cos(\theta) \frac{\sin(2\omega_c t)}{2} \\ &= \frac{A \sin(\theta)}{2}\end{aligned}$$

โดยที่วงจรกรองความถี่ต่ำจะมีความถี่คutoff เท่ากับ $\frac{f_b}{3}$ เพื่อขจัดความถี่คลื่นพาหะออก ก็จะได้สัญญาณแบบ PAM ที่มีลักษณะใกล้เคียงกับภาคส่ง แต่ระดับสัญญาณจะลดลงครึ่งหนึ่ง หรืออาจจะมีค่าลดลงมากกว่านี้ขึ้นอยู่กับ การสูญเสียที่เกิดขึ้นในการรับส่งสัญญาณ เมื่อได้ระดับแรงดัน PAM 4 ระดับแล้วก็จะเข้าสู่วงจรแปลงสัญญาณอนาล็อกเป็นสัญญาณดิจิทัล ซึ่งจะได้ออกมาเป็นสัญญาณคู่ 2 บิต คือ บิต I C และ Q C ซึ่งจะนำมาเข้าสู่วงจรแปลงข้อมูลจากขนานเป็นอนุกรม ก็จะได้ข้อมูลดิจิทัลกลับคืนมา

2.3 โครงสร้างของ ไมโครคอนโทรลเลอร์ตระกูล MCS-51

ไมโครคอนโทรลเลอร์ตระกูล MCS – 51 มีด้วยกันหลายเบอร์ขึ้นกับโครงสร้างภายในของมัน บางเบอร์จะมีหน่วยความจำภายในเป็นแบบรอมบางเบอร์เป็นแบบอีพรอมบางเบอร์มีแรมภายใน 128 ไบต์ บางเบอร์มี 256 ไบต์ เป็นต้น ซึ่งรายละเอียดจะศึกษาได้จากคู่มือของมันโดยตรง และลักษณะของขาต่าง ๆ จะเหมือนกัน คุณสมบัติที่สำคัญของ MCS-51 มีดังนี้

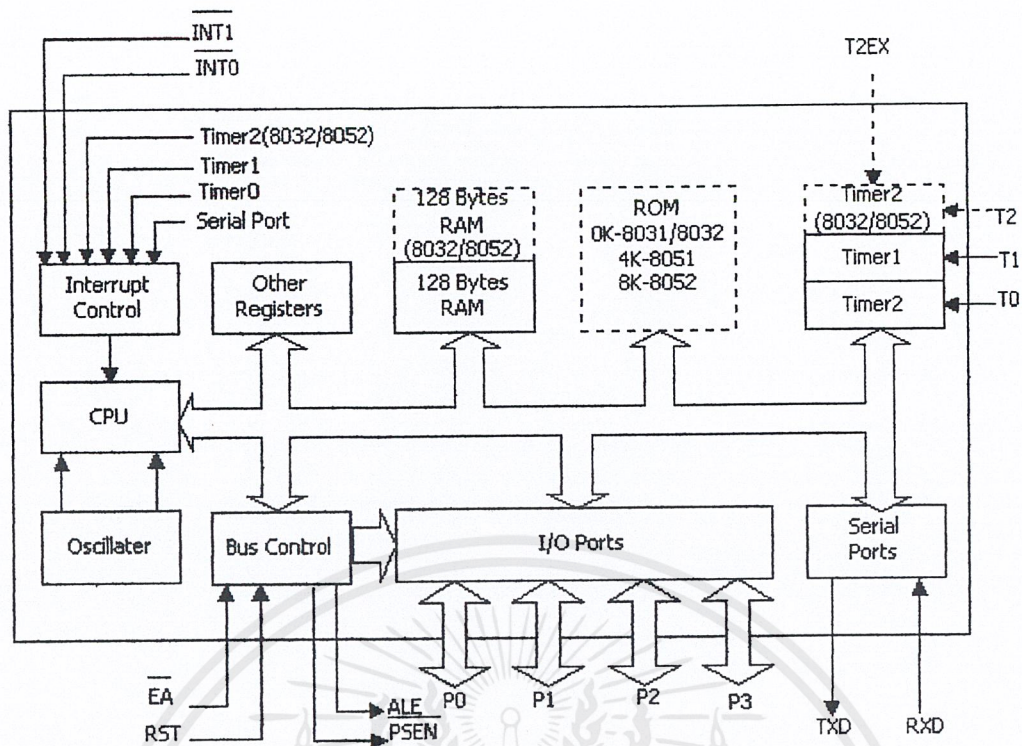
- มีหน่วยความจำรอม 4 กิโลไบต์
- มีหน่วยความจำแรม 128 กิโลไบต์
- มีพอร์ต อินพุต/เอาต์พุต ขนาด 8 บิต 4 พอร์ต
- มีไทม์เมอร์ 16 บิต 2 ตัว
- สามารถอินเตอร์รัพท์ได้ 5 แหล่ง
- มีวงจรรอสซิงเลเตอร์และวงจรมหาพีคาบนชิพ
- มีพอร์ตอนุกรมที่สามารถรับส่งข้อมูลแบบ Full Duplex ความเร็วสูง
- อ้างหน่วยความจำโปรแกรมภายนอกได้ 64 กิโลไบต์
- สามารถประมวลผลทีละบิตได้
- สามารถอ้างหน่วยความจำแบบบิตได้ 210 ตำแหน่ง
- หนึ่งวัฏจักรคำสั่งกินเวลาประมาณ 1 ไมโครวินาที ขณะทำงานด้วย คริสตอล 12 เมกกะเฮิร์ตซ์

ตัวอย่างไมโครคอนโทรลเลอร์ตระกูล MCS-51 และลักษณะต่าง ๆ สามารถแสดงได้ในตารางที่

2.4 สำหรับไดอะแกรมโครงสร้างในรูปที่ 2.7

ตารางที่ 2.4 ไมโครโปรเซสเซอร์ตระกูล MCS-51 เบอร์ต่าง ๆ

เบอร์	หน่วยความจำโปรแกรมบนชิพ	หน่วยความจำข้อมูลบนชิพ	TEMERS
8051	4K ROM	128 bytes	2
8031	-	128 bytes	2
8751	4K EPROM	128 bytes	2
8052	8K ROM	256 bytes	3
8032	-	256 bytes	3
8752	8K EPROM	256 bytes	3



รูปที่ 2.7 โครงสร้างภายในของ MCS-51

2.4 การจัดขาต่าง ๆ ของ MCS-51

ไอซี ไมโครคอนโทรลเลอร์ 8051 โครงสร้าง IC เป็นแบบ DIP มีขาทั้งหมด 40 ขาโดยขาต่าง ๆ จะใช้เป็นขาพอร์ตอินพุต, เอาต์พุต, ขาสัญญาณควบคุม, ขาคำแหน่งหน่วยความจำ และขาข้อมูลดังรูปที่ 2.8

ความหมายของขาต่าง ๆ มีดังนี้

2.4.1 พอร์ต 0 (Port 0)

พอร์ต 0 ได้แก่ที่ 32-39 ของ MCS-51 สามารถใช้เป็นอินพุตเอาต์พุตได้นอกจากนี้ในการติดต่อกับหน่วยความจำภายนอกยังใช้เป็นขาบัสดำแหน่งและบัสข้อมูลอีกด้วย

2.4.2 พอร์ต 1 (Port 1)

พอร์ต 1 ได้แก่ขาที่ 1-8 เป็นพอร์ต 8 บิต สามารถอ้างทีละบิตได้

2.4.3 พอร์ต 2 (Port 2)

พอร์ต 2 ได้แก่ขาที่ 21-28 จะใช้งาน 2 หน้าที คือใช้เป็นพอร์ต 8 บิตกับใช้เป็นขาแอดเดรส 8 บิตในการอ้างหน่วยความจำภายนอก

2.4.4. พอร์ต 3 (Port 3)

พอร์ต 3 ได้แก่ขาที่ 10-17 จะใช้งานสองหน้าที่คือ เป็นพอร์ตอินพุตและเอาต์พุตและใช้เป็นขาควบคุมต่าง ๆ ดังตารางที่ 2.5

ตารางที่ 2.5 บิตและหน้าที่ต่าง ๆ ของพอร์ต 3

บิต	ชื่อ	หน้าที่พิเศษ
P3.0	RXD	ใช้รับข้อมูลทางพอร์ตอนุกรม
P3.1	TXD	ใช้ส่งข้อมูลทางพอร์ตอนุกรม
P3.2	INT0	อินเทอร์รัพท์ภายนอกหมายเลข 0
P3.3	INT1	อินเทอร์รัพท์ภายนอกหมายเลข 1
P3.4	T0	ตัวจับเวลา / ตัวนับ ตัวที่ 0
P3.5	T1	ตัวจับเวลา / ตัวนับ ตัวที่ 1
P3.6	WR	สัญญาณเขียนข้อมูลหน่วยความจำภายนอก
P3.7	RD	สัญญาณอ่านข้อมูลหน่วยความจำภายนอก

2.4.5. PSEN (Program Store Enable)

ขา PSEN เป็นขาที่ส่งสัญญาณออกคือขา 29 ขานี้จะแอคทีฟเมื่อ MCS-51 ต้องการอ่านโค้ดโปรแกรมภายนอก โดยปกติถ้าหน่วยความจำภายนอกเป็นอีพรอมขา PSEN จะต่อกับขาเอาต์พุตโอ้ณาเบิล (Output Enable;OE)ของอีพรอม

2.4.6. ALE (Address Latch Enable)

เนื่องจากพอร์ต 0 สามารถใช้เป็นขาอ้างตำแหน่ง และขาข้อมูล MCS-51 จะมีขา ALE ได้แก่ขา 30 ขานี้จะใช้มัลติเพล็กซ์สัญญาณตำแหน่งของพอร์ต 0 ในการใช้งานระบบ MCS-51 นั้น จะต้องมีอุปกรณ์มาต่อกับพอร์ต 0 ที่ทำหน้าที่แลตช์ (Latch) สัญญาณตำแหน่ง เมื่อ MCS-51 ต้องการติดต่อกับหน่วยความจำภายนอก MCS-51 จะส่งสัญญาณตำแหน่ง ออกมาก่อนทางพอร์ต 0 จากนั้นจะส่งสัญญาณ ALE มาแลตช์อุปกรณ์ภายนอก ให้เก็บค่าสัญญาณตำแหน่งของพอร์ต 0 ไว้เพื่อใช้พอร์ต 0 เป็นสัญญาณข้อมูลต่อไป

2.4.7. EA (External Access)

ขา EA ได้แก่ขาที่ 31 ถ้าขานี้เป็นลอจิก “1” จะใช้กับเบอร์ 8051/ 8052 เพื่อบอกว่าให้อ่านโปรแกรมจากหน่วยความจำโปรแกรมภายใน แต่ถ้าเป็นลอจิก “0” จะบอกให้ MCS-51 ทำโปรแกรมโดย อ่านจากหน่วยความจำโปรแกรมภายนอก (ถ้าขา EA เป็น “0” ขา PSEN จะแอคทีฟ) ถ้าหารเป็นเบอร์ 8031 หรือ 8032 ขา EA จะเป็น “0” เสมอ เพราะว่าไม่มีโปรแกรมหน่วยความจำภายใน แต่ถ้าใช้เบอร์ 8051 /8052 ซึ่งมีหน่วยความจำโปรแกรมภายในและให้ขา EA เป็น “0” ซึ่งจะอ่านโปรแกรมจากอีพรอมภายนอกแทน

2.4.8. RST (Reset)

ขา RST ได้แก่ขา 9 จะใช้ในการรีเซต MCS-51 โดยจะให้ขานี้เป็นลอจิก “1” อย่างน้อย 2 วงรอบเมทรีนจึงจะรีเซตระบบได้

P1.0	1	40	VCC
P1.1	2	39	P0.0(AD0)
P1.1	3	38	P0.1(AD1)
P1.3	4	37	P0.2(AD2)
P1.4	5	36	P0.3(AD3)
P1.5	6	35	P0.4(AD4)
P1.6	7	34	P0.5(AD5)
P1.7	8	33	P0.6(AD6)
RST	9	32	P0.7(AD7)
(RXD)P3.0	10	31	EA/VPP
(TXD)P3.1	11	30	ALE/PROG
(INT0)P3.2	12	29	PSDN
(INT1)P3.3	13	28	P2.7(A15)
(T0)P3.4	14	27	P2.6(A14)
(T1)P3.5	15	26	P2.5(A13)
(WR)P3.6	16	25	P2.4(A12)
(RD)P3.7	17	24	P2.3(A11)
XTAL2	18	23	P2.2(A10)
XTAL1	19	22	P2.1(A9)
GND	20	21	P2.0(A8)

รูปที่ 2.8 ตำแหน่งขาต่าง ๆ ของ 8051

2.5 การจัดหน่วยความจำ

ในไมโครคอนโทรลเลอร์ตระกูล MCS-51 แบ่งชนิดหรือหน้าที่ของหน่วยความจำออกเป็น 2 ส่วนคือหน่วยความจำโปรแกรม (Program Memory) และหน่วยความจำข้อมูล (Data Memory)

หน่วยความจำโปรแกรมจะใช้สำหรับเก็บ โปรแกรมควบคุมการทำงานของไมโครคอนโทรลเลอร์ซึ่งบางเบอร์จะมีหน่วยความจำในส่วนนี้อยู่ภายในตัวโดยอาจจะมีขนาดไม่เท่ากันหรือเป็นหน่วยความจำต่างชนิดกัน เช่น บางเบอร์เป็น ROM และบางเบอร์อาจเป็น EPROM และบางเบอร์อาจไม่มีหน่วยความจำนี้เลย โปรแกรมการทำงานจะถูกเก็บไว้ยังหน่วยโปรแกรมภายนอกทั้งหมด

สำหรับหน่วยความจำข้อมูลจะใช้สำหรับเก็บข้อมูลหรือค่าตัวแปรต่างๆ จากการทำงานของโปรแกรม ซึ่งใน MCS-51 ทุกเบอร์จะมีหน่วยความจำในส่วนนี้อยู่จำนวนหนึ่งแต่อาจมีขนาดมากน้อยต่างกันไปในแต่ละเบอร์สำหรับการจัดโครงสร้างของหน่วยความจำทั้งในส่วนของหน่วยความจำโปรแกรมและหน่วยความจำข้อมูลแสดงไว้ดังรูปที่ 2.8

2.5.1 หน่วยความจำโปรแกรม

หน่วยความจำโปรแกรมสามารถแบ่งออกได้เป็น 2 ส่วนคือ หน่วยความจำโปรแกรมภายในและหน่วยความจำโปรแกรมภายนอก หน่วยความจำโปรแกรมภายในจะถูกเลือกใช้งานถ้าขาสัญญาณ EA มีค่าเป็น 1 โดยจะถูกใช้งานในช่วงแอดเดรส 0-0FFFH (หรือช่วงแอดเดรส 0-1FFFH ในเบอร์ 8052) นอก

เนื่องจากช่วงแอดเดรสนี้จะใช้หน่วยความจำโปรแกรมภายนอกทั้งหมด ในกรณีตรงกันข้ามถ้าสัญญาณ EA มีค่าเป็น 0 ในช่วงแอดเดรส 0-0FFFH (หรือช่วงแอดเดรส 0-1FFFH ในเบอร์ 8052) จะถูกใช้จากหน่วยความจำภายนอกหรือกล่าวได้ว่าถ้าสัญญาณ EA มีค่าเป็น 0 จะเป็นการเลือกใช้หน่วยความจำโปรแกรมภายนอกทั้งหมดตลอดช่วงแอดเดรส

2.5.2 หน่วยความจำข้อมูล

หน่วยความจำข้อมูลสามารถแบ่งออกได้เป็น 2 ส่วนคือ หน่วยความจำข้อมูลภายในและหน่วยความจำข้อมูลภายนอก สำหรับหน่วยความจำข้อมูลภายในยังแบ่งออกได้เป็น 2 ส่วนย่อยคือ ส่วนที่ใช้เก็บข้อมูลทั่วไปและส่วนที่ใช้เป็นรีจิสเตอร์หน้าที่พิเศษหรือ SFR (Special Function Register) โดยส่วนที่ใช้เก็บข้อมูลทั่วไปจะถูกใช้สำหรับเก็บข้อมูลหรือค่าตัวแปรต่างๆ จากการทำงานของโปรแกรม ส่วนรีจิสเตอร์หน้าที่พิเศษจะถูกใช้งานเป็นรีจิสเตอร์ควบคุมการทำงานและบอกสถานะการทำงานของไมโครคอนโทรลเลอร์

2.6 รีจิสเตอร์ต่างๆที่เกี่ยวข้องในการใช้งานพอร์ตอนุกรม

2.6.1 รีจิสเตอร์ควบคุมไทม์เมอร์ เนื่องจากว่า การใช้งานพอร์ตอนุกรมนั้นมีสิ่งที่จะต้องคำนึงถึงคือ อัตราการรับส่งข้อมูลหรือเรียกว่า อัตราบอด (Buad Rate) จริงๆแล้ว ก็คือจังหวะการเลื่อนข้อมูลเข้าหรือออกจาก MCS-51 ได้จากไทม์เมอร์ 1 โดยทำงานในโหมด 2 คือ โหมดค่ากลับอัตโนมัติ ดังนั้นรีจิสเตอร์ที่ต้องทำการ โปรแกรม มีดังนี้

- TMOD ตำแหน่ง 89H ทำหน้าที่เลือกโหมดของไทม์เมอร์
- TCON ตำแหน่ง 88Hทำหน้าที่เริ่มต้นการสร้างอัตราบอด
- TH1 ตำแหน่ง 8DH ทำหน้าที่ใส่ข้อมูลการนับของไทม์เมอร์ 1 เพื่อสร้างอัตราบอดตามต้องการ

2.6.2 รีจิสเตอร์ควบคุมการลัดกำลัง เนื่องจากการสร้างอัตราบอดนั้นจะต้องนำบิตในรีจิสเตอร์ PCON มาใช้ในการคำนวณข้อมูลของ TH1 ดังนั้นรีจิสเตอร์ที่ใช้ก็คือ

- PCON ตำแหน่ง 87H ทำหน้าที่ในการคำนวณข้อมูลที่จะใส่ในรีจิสเตอร์ TH1 ซึ่งมีรายละเอียดดังนี้

ตารางที่ 2.6 รีจิสเตอร์ควบคุมการลัดกำลัง

7	6	5	4	3	2	1	0
SMOD	-	-	-	GF1	GF0	PD	IDL

SMOD คือบิตที่ใช้สำหรับเปลี่ยนแปลงแก้ไขอัตราการส่งข้อมูลแบบอนุกรม โดยใช้โปรแกรมเซทให้เป็น 1 เป็นการเพิ่มการส่งขึ้นเท่าตัว เมื่อใช้ไทม์เมอร์ 1 เข้าช่วยถ้าเลือกให้การรับส่งข้อมูลในโหมด 1,2 และ 3 แต่ถ้าเคลียร์เป็น 0 จะใช้ไทม์เมอร์ 1 ตามปกติที่เป็นอยู่ตามการกำหนดในช่วงเริ่มต้นของโปรแกรม

GF1 คือแฟล็กใช้งานทั่วไป กำหนดโดยผู้ใช้ไม่เกี่ยวข้องกับการควบคุมใดๆทั้งสิ้น เซทหรือเคลียร์โดยโปรแกรม

GF0 คือแฟล็กใช้งานทั่วไป กำหนดโดยผู้ใช้เช่นกัน

PD คือบิตที่แสดงการลดลงของกำลังไฟ (Power down) เช็ทเป็น 1 โดยโปรแกรมเพื่อเข้าสู่โหมดของการลดกำลังของกำลังไฟ ใช้ในไมโครโปรเซสเซอร์ที่เป็นแบบ CHMOS เท่านั้น

IDL คือบิตที่แสดงในโหมดไอดีล (Idle) เช็ทเป็น 1 โดยโปรแกรม เพื่อเข้าไอดีลโหมดในไมโครโปรเซสเซอร์ที่เป็นแบบ CHMOS เท่านั้น

หมายเหตุ รีจิสเตอร์ PCON ไม่สามารถทำการอ้างอิงแบบบิตแอดเดรสได้

2.6.3 รีจิสเตอร์ควบคุมการอินเตอร์รัพท์ เนื่องจากว่า MCS-51 สามารถใช้งานพอร์ตอนุกรมในลักษณะของการอินเตอร์รัพท์ได้ จึงมีรีจิสเตอร์ที่เกี่ยวข้องดังนี้

- IE ตำแหน่ง A8H ทำหน้าที่ขอมให้เกิดการอินเตอร์รัพท์จากพอร์ตอนุกรมได้หรือไม่
- IP ตำแหน่ง B8H ทำหน้าที่จัดลำดับความสำคัญของการอินเตอร์รัพท์

2.6.4 รีจิสเตอร์ควบคุมพอร์ตอนุกรม (SCON) การใช้งานพอร์ตอนุกรมจะขึ้นอยู่กับรีจิสเตอร์โดยตรงคือ

- SBUF ตำแหน่ง 99H ทำหน้าที่เป็นบัฟเฟอร์การรับหรือส่งข้อมูลของพอร์ตอนุกรม
- SCON ตำแหน่ง 98H ทำหน้าที่ควบคุมและกำหนดโหมดการใช้งานพอร์ตอนุกรมทั้งหมดซึ่งมีรายละเอียดของบิตต่างๆดังนี้

ตารางที่ 2.7 รีจิสเตอร์ควบคุมพอร์ตอนุกรม (SCON)

7	6	5	4	3	2	1	0
SM0	SM1	SM2	REN	TB8	RB8	TI	RI

SM0คือโหมดของพอร์ตอนุกรมบิต 0 ทำการเช็ทหรือเคลียร์ โดยการโปรแกรมสั่งงาน
SM1คือโหมดของพอร์ตอนุกรมบิต1ทำการเช็ทหรือเคลียร์โดยการโปรแกรมสั่งงานเช่นกันรายละเอียดมีดังนี้

SM0	SM1	โหมด	รายละเอียด
0	0	0	รีจิสเตอร์แบบเลื่อนบิต ; อัตราการส่ง = f/12
0	1	1	UART ชนิด 8 บิต ; อัตราการส่งเปลี่ยนแปลงได้
1	0	2	UART ชนิด 9บิต ; อัตราการส่ง = f/32 หรือ f/64
1	1	3	UART ชนิด 9 บิต ; อัตราการส่งเปลี่ยนแปลงได้

SM2คือจะใช้เป็นบิตแสดงการติดต่อระหว่างไมโครโปรเซสเซอร์หลายตัว (Multi processor Communication) การเช็ทและเคลียร์โดยโปรแกรมควบคุมในกรณีนี้จะใช้เฉพาะโหมด 2 และ 3 เมื่อบิตนี้ถูกเช็ทเป็น 1 การอินเตอร์รัพท์จะเกิดขึ้น ถ้าข้อมูลที่ได้รับเข้ามามีบิต 9 เป็น 1 ในทำนองกลับกัน ถ้าข้อมูลในบิตที่รับเข้ามาเป็น 0 การอินเตอร์รัพท์จะไม่เกิดขึ้น เมื่อใช้งานในโหมด 1 สัญญาณอินเตอร์รัพท์จะเกิดขึ้นเมื่อได้รับบิตหยุดที่ถูกต้องแล้วเท่านั้นแต่ถ้าใช้ในโหมด 0 บิตนี้จะถูกเคลียร์ให้เป็น 0

REN คือบิตอินทิเกรตการรับ บิตนี้จะถูกเซตเป็น 1 เมื่อต้องการรับสัญญาณอนุกรมและจะถูกเคลียร์ให้เป็น 0 เมื่อไม่ต้องการรับสัญญาณอนุกรม

TB8 คือจะใช้เลือกว่าจะให้ส่งบิต 8 หรือไม่ใช่ สำหรับข้อมูลในโหมด 2 หรือ 3 บิตหยุดในโหมด 1 ส่วนในโหมด 0 ไม่ใช้งานบิตนี้

RB8 คือจะใช้เลือกว่าจะให้รับบิต 8 หรือไม่ใช่ สำหรับกรณีรับข้อมูลในโหมด 2 หรือ 3 บิตหยุดในโหมด 1 ส่วนในโหมด 0 จะไม่ใช้งานในบิตนี้

TI คือแฟล็กอินเตอร์รัพท์เมื่อส่งข้อมูลในโหมด 0 จะถูกเซตเป็น 1 หลังจากส่งบิต 7 ออกไปแล้วในโหมดอื่นๆจะเซตเป็น 1 เมื่อบิตหยุดเริ่มส่งออกการเคลียร์บิตนี้จะทำได้โดยการใช้โปรแกรม

RI คือแฟล็กอินเตอร์รัพท์เมื่อรับข้อมูลในโหมด 0 จะถูกเซตเป็น 1 หลังจากรับบิต 7 เข้ามาแล้วในโหมดอื่นๆจะเซตเป็น 1 เมื่อรับบิตหยุดได้ครั้งหนึ่ง

หมายเหตุ การอ้างอิงแบบบิตแอดเดรสของรีจิสเตอร์นี้ คือ SCON.0-SCON.7

2.7 อินเตอร์รัพท์

ในการประยุกต์ใช้งานไมโครโปรเซสเซอร์ ฟังก์ชันอันหนึ่งที่สำคัญคือ การอินเตอร์รัพท์ (Interrupt) ซึ่งก็คือ การขัดจังหวะการทำงานของโปรแกรมหลัก ให้โปรแกรมหลักหยุดชั่วคราว แล้วกระโดดไปทำงานโปรแกรมบริการอินเตอร์รัพท์ (ISR = Interrupt Service Routine) เมื่อทำงานส่วน ISR เสร็จเรียบร้อยแล้วโปรแกรมจะกลับไปทำงานโปรแกรมหลักต่อไปเหตุผลสำคัญที่ต้องมีการใช้การอินเตอร์รัพท์ เนื่องจากขณะที่มีการใช้อุปกรณ์ต่อพ่วง (Peripheral Device) หลายอุปกรณ์ไมโครโปรเซสเซอร์ จะเสียเวลาส่วนหนึ่งในการตรวจสอบอุปกรณ์เหล่านั้น ว่าต้องการใช้งานหรือไม่ ซึ่งเทคนิคการใช้วิธีการอินเตอร์รัพท์ จะช่วยลดเวลาการทำงานลงได้

เมื่อเกิดการอินเตอร์รัพท์ที่เวลาใดๆ จะทำให้การทำงานหลักของโปรแกรมหยุดไป แล้วกระโดดไปทำงานของโปรแกรมบริการอินเตอร์รัพท์ (ISR) สำหรับ MCS-51 จะมีแหล่งของการอินเตอร์รัพท์อยู่ 5 แหล่งดังนี้ TIMER 0 , TIMER 1 , SERIAL ซึ่งทั้ง 3 แหล่งนี้เกิดจากภายในและ INT0 , INT1 ซึ่งทั้ง 2 แหล่งนี้เกิดจากภายนอก สำหรับอินเตอร์รัพท์จากภายในจะได้แก่ไทม์เมอร์ 0 ,ไทม์เมอร์ 1 และพอร์ตอนุกรม โดยการตรวจสอบการเกิดอินเตอร์รัพท์จากแฟล็กโอเวอร์โฟลว์คือTF1,TF0 ส่วนพอร์ตอนุกรมจะตรวจสอบจาก TI หรือ RI การเกิดอินเตอร์รัพท์จากภายนอกใช้สัญญาณ INT0 และ INT1 ขาสัญญาณนี้จะทำงานที่ลอจิก "0"การอินเตอร์รัพท์ทั้งหมดจะถูกควบคุมโดยโปรแกรมผ่านทางอินเตอร์รัพท์อินทิเกรต รีจิสเตอร์ อินเตอร์รัพท์ไพอริตีรีจิสเตอร์ (รีจิสเตอร์ IP: Interrupt Priority) และรีจิสเตอร์ควบคุมไทม์เมอร์ (TCON:Timer Control)

2.7.1 ตำแหน่งของอินเตอร์รัพท์

ตำแหน่งของอินเตอร์รัพท์ (Vector Interrupt) คือตำแหน่งต่อไปที่โปรแกรมจะไปทำงานหลังจากการเกิดอินเตอร์รัพท์ซึ่งถูกกำหนดแน่นอนไว้ดังแสดงในตารางที่ 2.4

ตารางที่ 2.8 เวกเตอร์อินเตอร์รัพท์

อินเตอร์รัพท์	ตำแหน่ง
Interrupt External 0 (INT0)	0003H
Timer 0 Overflow (TF0)	000BH
Interrupt External 1 (INT1)	0013H
Timer 1 Overflow (TF1)	001BH
Serial Port (TI+RI)	0023H
Timer 2 Overflow (TF2+EXF2)	002BH

2.7.2 การควบคุมใช้งานอินเตอร์รัพท์

การควบคุมการเลือกใช้งานอินเตอร์รัพท์จากแหล่งจ่ายต่างๆจะกระทำผ่านรีจิสเตอร์ IE (Interrupt Enable) ซึ่งทำหน้าที่ยอมรับการเกิดอินเตอร์รัพท์จากแหล่งต่างๆประกอบด้วยข้อมูล 8 บิตที่ตำแหน่งข้อมูล A8H ซึ่งสามารถอ้างอิงแบบบิตได้ประกอบด้วย

ตารางที่ 2.9 การควบคุมการเลือกใช้งานอินเตอร์รัพท์

7	6	5	4	3	2	1	0	
EA	-	ET2	ES	ET1	EX1	ET0	EX0	

บิต	สัญลักษณ์	รายละเอียด
7	EA	บิตแสดงการยอมให้มีการเกิดอินเตอร์รัพท์ ถ้า EA=1 แสดงว่าต้องการให้อินเตอร์รัพท์ ถ้า EA=0 แสดงว่าไม่ต้องการให้อินเตอร์รัพท์
6	-	ไม่ใช้งาน
5	ET2	ถ้าเซตบิตนี้ (ET2=1) แสดงว่าต้องการให้มีการอินเตอร์รัพท์เนื่องมาจากไทม์เมอร์ 2 ถ้าเคลียร์บิตนี้ (ET2=0) แสดงว่าไม่ต้องการให้มีอินเตอร์รัพท์เนื่องมาจากไทม์เมอร์ 2
4	ES	ถ้าเซตบิตนี้ (ES=1) แสดงว่าต้องการให้มีการอินเตอร์รัพท์เนื่องมาจากพอร์ตอนุกรม ถ้าเคลียร์บิตนี้ (ES=0) แสดงว่าไม่ต้องการให้มี อินเตอร์รัพท์เนื่องมาจากพอร์ตอนุกรม
3	ET1	ถ้าเซตบิตนี้ (ET1=1) แสดงว่าต้องการให้มีการอินเตอร์รัพท์เนื่องมาจากไทม์เมอร์ 1 ถ้าเคลียร์บิตนี้ (ET1=0) แสดงว่าไม่ต้องการให้มีอินเตอร์รัพท์เนื่องมาจากไทม์เมอร์ 1

2	EX1	ถ้าเช็ทบิตนี้ (EX1=1) แสดงว่าให้มีอินเตอร์รัฟท์จากภายนอกผ่านขา INT1 (ขา13) ถ้าเคลียร์บิตนี้ (EX1=0) แสดงว่าไม่ให้มีอินเตอร์รัฟท์จากภายนอกผ่านขา INT1
0	1	ET0 ถ้าเช็ทบิตนี้ (ET0=1) แสดงว่าให้มีอินเตอร์รัฟท์เนื่องมาจากไทม์เมอร์ 0 ถ้าเคลียร์บิตนี้ (ET0=0) แสดงว่าไม่ให้มีอินเตอร์รัฟท์เนื่องมาจากไทม์เมอร์ 0
0	EX0	ถ้าเช็ทบิตนี้ (EX0=1) แสดงว่าให้มีอินเตอร์รัฟท์จากภายนอกผ่านขา INTO (ขา12) ถ้าเคลียร์บิตนี้ (EX1=0) แสดงว่าไม่ให้มีอินเตอร์รัฟท์จากภายนอกผ่านขา INTO

การกำหนดให้โปรแกรมสามารถอินเตอร์รัฟท์ได้นั้น กำหนดโดยรีจิสเตอร์ IE คือต้องเช็ทบิตที่ 7 เป็นลอจิก 1 และบิตอื่นๆที่ยอมให้เกิดอินเตอร์รัฟท์ตั้งนั้นรีจิสเตอร์ IE ถือว่าเป็นจุดเริ่มต้นในการกำหนดเพื่อจัดการเกี่ยวกับอินเตอร์รัฟท์ หลังจากเช็ทค่าให้กับรีจิสเตอร์ IE ให้ตรงกับความต้องการแล้ว ตัวโปรแกรมหลักก็สามารถทำงานอื่นโดยไม่ต้องวนซ้ำคสภาวะ เมื่อใดที่เกิดอินเตอร์รัฟท์โปรแกรมหลักจะหยุดทำงานเพื่อจะกระโดดไปทำงานที่ตำแหน่งบริการ อินเตอร์รัฟท์จากแหล่งนั้นๆดังแสดงในตารางที่ 2.9

2.8 มาตรฐานการรับส่งข้อมูลแบบอนุกรม

2.8.1 การรับส่งข้อมูลแบบอนุกรมตามมาตรฐาน RS-232C

การรับส่งข้อมูลแบบอนุกรมที่มีการใช้งานอยู่ในปัจจุบัน ได้มีการกำหนดมาตรฐานในการรับส่งข้อมูลไว้หลายแบบด้วยกัน เพื่อที่จะทำให้อุปกรณ์ที่ผลิตจากผู้ผลิตที่แตกต่างกันสามารถทำงานร่วมกันได้ มาตรฐานการรับส่งข้อมูลที่ได้รับการนิยมนับเป็นอันมากคือ การรับส่งข้อมูลแบบอนุกรมตามมาตรฐาน RS-232C ซึ่งมาตรฐานนี้เป็นมาตรฐานที่ใช้ในเครื่องไมโครคอมพิวเตอร์ มาตรฐาน RS-232C ในเบื้องต้นได้มีการออกแบบมาเพื่อใช้สำหรับการเชื่อมต่อกับ โมเด็ม (MODEM, Modulator/Demodulator) ซึ่งเป็นอุปกรณ์ที่ใช้ในการสื่อสารระหว่างคอมพิวเตอร์ผ่านทางสายโทรศัพท์ และอัตราการรับส่งข้อมูลถูกจำกัดให้มีค่าค่อนข้างต่ำ มาตรฐาน RS-232C นี้ได้มีการออกแบบให้มีโครงสร้างในการรับส่งข้อมูลแบบจุดต่อจุดเท่านั้น (Point to point)

2.8.2 การรับส่งข้อมูลแบบอนุกรมตามมาตรฐาน RS-422A

ในการออกแบบระบบการรับส่งข้อมูลจากที่ผ่านมาจนถึงปัจจุบัน ได้มีความพยายามที่จะออกแบบให้ระบบการรับส่งข้อมูลมีความรวดเร็วมากยิ่งขึ้นและมีระยะทางที่เพิ่มมากขึ้น ซึ่งมาตรฐาน RS-232C ได้ออกแบบมาเพื่อใช้กับโมเด็มเท่านั้น จึงไม่ได้คำนึงถึงความเร็วและระยะทางในการรับส่ง แต่ในปัจจุบันได้มีการออกแบบมาตรฐานในการรับส่งข้อมูลขึ้นมาใหม่ที่มีความรวดเร็วและมีระยะทางในการรับส่งที่เพิ่มมากขึ้น มาตรฐานนี้คือ มาตรฐาน RS-422A ใช้หลักการในการรับส่งข้อมูลแบบดิฟเฟอเรนเชียล การรับส่งข้อมูลแบบดิฟเฟอเรนเชียลมีหลักการคือ สัญญาณที่รับส่งจะเป็นการเปรียบเทียบกันระหว่างสายสัญญาณสองเส้นซึ่งจะต่างกับมาตรฐาน RS-232C คือสัญญาณทุกสัญญาณจะเปรียบเทียบกับกราวด์

ในการรับส่งข้อมูลในระยะทางไกล ๆ สัญญาณจะถูกลดทอนลงไป และเมื่อสัญญาณถูกลดทอนลงไปถึงจุด ๆ หนึ่งสัญญาณก็จะผิดเพี้ยนไปจากความเป็นจริงทำให้การรับส่งข้อมูลเกิดการผิดพลาด แต่สำหรับสัญญาณแบบดิฟเฟอเรนเชียลแล้วการลดทอนของสัญญาณจะลดทอนลงไปที่สองเส้นสัญญาณด้วยค่าที่เท่ากันหรือใกล้เคียงกัน และความแตกต่างของสัญญาณทั้งสองเส้นจากตัวส่งไปยังตัวรับก็ยังมีค่าคงที่หรือเปลี่ยนแปลงเล็กน้อย จึงทำให้การลดทอนของสัญญาณอันเนื่องมาจากการรับส่งข้อมูลในระยะทางไกล ๆ มีผลต่อสัญญาณแบบดิฟเฟอเรนเชียลน้อยกว่า

2.8.3 การรับส่งข้อมูลแบบอนุกรมตามมาตรฐาน RS-485

จากมาตรฐานที่ผ่านมา คือ มาตรฐาน RS-232C นั้นเป็นมาตรฐานในการรับส่งข้อมูลแบบจุดต่อจุดหรืออุปกรณ์ (Point to point) ส่วนมาตรฐาน RS-422A นั้นเป็นมาตรฐานที่พัฒนามาจาก RS-232C ที่มีความเร็วและมีระยะทางไกลมากขึ้นอัตราการสื่อสารเพิ่มขึ้นแต่ก็ยังเป็นการรับส่งข้อมูลแบบอุปกรณ์หนึ่งตัวไปยังอุปกรณ์อื่น ๆ ได้สูงสุด 32 ตัว และไม่สามารถส่งข้อมูลย้อนกลับจากอุปกรณ์ทั้ง 32 ตัวได้ หรือกล่าวได้ว่าเป็นการสื่อสารข้อมูลแบบการรับหรือการส่งทางเดียว (Simplex) จึงได้มีการออกแบบมาตรฐานในการรับส่งข้อมูลขึ้นมาใหม่เพื่อที่จะสามารถรับส่งข้อมูลได้สองทิศทางในสายสัญญาณเพียงคู่เดียว มาตรฐานที่ว่านี้ คือ การรับส่งข้อมูลแบบอนุกรมตามมาตรฐาน RS-485 ซึ่งเป็นมาตรฐานที่อาศัยหลักการแบบดิฟเฟอเรนเชียลเช่นเดียวกัน RS-422A แต่สามารถที่จะรับส่งข้อมูลระหว่างอุปกรณ์ทั้งการรับการส่งได้สูงสุด 32 ตัว หรืออาจจะกล่าวได้ว่า มาตรฐาน RS-485 นี้เป็นมาตรฐานในการรับส่งข้อมูลแบบหลายจุด (Multipoint)

2.9 แอคทีฟฟิลเตอร์ (Active Filter)

แอคทีฟฟิลเตอร์เป็นวงจรที่ทำหน้าที่กรองความถี่สัญญาณประกอบด้วย ทรานซิสเตอร์ หรือ ไอซี หรือ วงจรเลือกความถี่ (Frequency Selective) จำพวกรีซิสเตอร์ (Resistor) กับ คาปาซิเตอร์ (Capacitor) วงจรให้ผ่านความถี่ได้เฉพาะสัญญาณในช่วงความถี่ที่กำหนด ขณะเดียวกันจะขวางกั้น (Block) หรือลดทอนสัญญาณนอกเหนือช่วงความถี่ดังกล่าวมิให้ปรากฏที่เอาต์พุต โดยทั่วไปแล้วฟิลเตอร์แบ่งออกเป็นหลายรูปแบบ ดังนี้

1. ฟิลเตอร์ (Filter) ชนิดอนาล็อก (Analog) หรือดิจิทัล (Digital)
2. ฟิลเตอร์ประเภทแอคทีฟ (Active) หรือ พาสซีฟ (Passive)
3. ฟิลเตอร์ย่านความถี่เสียง (Audio Frequency) หรือ ย่านความถี่วิทยุ (Radio Frequency)

ฟิลเตอร์แบบอนาล็อกออกแบบมาเพื่อใช้กับสัญญาณอนาล็อก ส่วนฟิลเตอร์แบบดิจิทัลใช้งานกับสัญญาณดิจิทัล โดยอาศัยเทคนิคทางอนาล็อกเข้ามาช่วย ถ้าคำนึงถึงชิ้นส่วนที่นำมาประกอบกันเป็นวงจร ฟิลเตอร์แบบออกเป็น พาสซีฟ และ แอคทีฟ ชิ้นส่วนวงจรที่ใช้ในฟิลเตอร์แบบพาสซีฟ ได้แก่ รีซิสเตอร์ คาปาซิเตอร์ และ อินดักเตอร์ (Inductor) ส่วนวงจรกรองความถี่แบบแอคทีฟประกอบด้วยตัวขยายสัญญาณจำพวกทรานซิสเตอร์ หรือ ไอซี ในรูปออปแอมป์ ทำงานร่วมกันกับ รีซิสเตอร์ คาปาซิเตอร์ และ อินดักเตอร์ ถือได้ว่าเป็นชิ้นส่วนประเภทพาสซีฟ การเลือกใช้ชิ้นส่วนชนิดใดนั้นขึ้นอยู่กับย่านความถี่สัญญาณที่ต้องการให้วงจรฟิลเตอร์ทำงาน ตัวอย่างเช่น วงจรฟิลเตอร์แบบ RC (RC filter) ใช้กับย่านความถี่เสียง หรือในย่านความถี่ต่ำ ในขณะที่วงจรฟิลเตอร์แบบ LC (LC filter) จะใช้ในย่านความถี่วิทยุ หรือย่านความถี่สูง

ข้อดีของแอคทีฟฟิลเตอร์ที่เหนือกว่าพาสซีฟฟิลเตอร์

1. การปรับอัตราขยายและปรับความถี่เป็นอิสระต่อกัน เราสามารถจัดอัตราขยายของออปแอมป์ชุดเดียวกับอัตราการลดทอนสัญญาณของวงจร RC หรือเพิ่มอัตราการขยาย ของวงจรทั้งหมดด้วยการจัดค่าชิ้นส่วนอุปกรณ์ในส่วนของวงจรขยายออปแอมป์ และการปรับเปลี่ยนความถี่ก็อยู่ที่ค่า RC เท่านั้น
2. ไม่มีปัญหาโหลดคั้ง (Loading) จากการที่ออปแอมป์มีคุณสมบัติของอินพุตอิมพีแดนซ์สูง และเอาต์พุตอิมพีแดนซ์ต่ำ วงจรแอคทีฟฟิลเตอร์อาศัยออปแอมป์จึงไม่เกิดปัญหาการโหลดคั้งกับเอาต์พุต และอินพุตของวงจร ณ จุดที่นำแอคทีฟฟิลเตอร์เข้าไปต่อร่วม
3. ราคาถูกกว่า เนื่องจากแอคทีฟฟิลเตอร์มีราคาถูกกว่าพาสซีฟฟิลเตอร์ เพราะ ไม่ต้องอาศัยอินดักเตอร์ที่มีราคาแพง และใช้ออปแอมป์ซึ่งปัจจุบันราคาถูก

เราแบ่งแอคทีฟฟิลเตอร์ตามลักษณะการทำงานออกเป็น 5 ชนิด

- . โลพาสฟิลเตอร์ (Low Pass Filter:LPF)
- . ไฮพาสฟิลเตอร์ (High Pass Filter:HPF)
- . แบนด์พาสฟิลเตอร์ (Band Pass Filter:BPF)
- . แบนด์รีเจกต์ หรือ แบนด์สต็อปฟิลเตอร์ (Band Reject or Band Stop Filter :BSF)

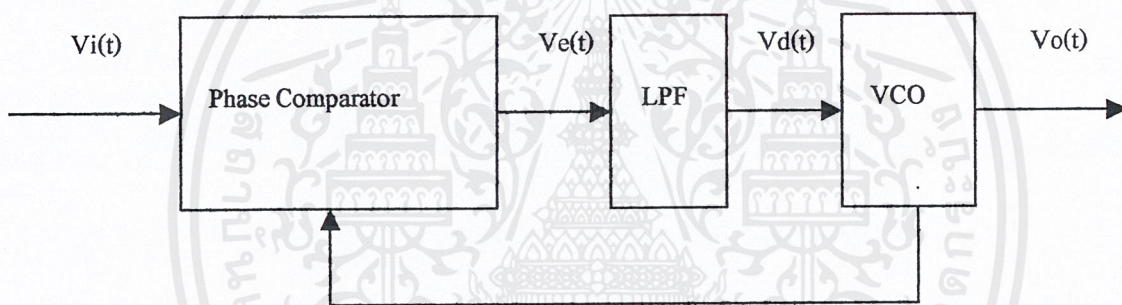
ออลพาสฟิลเตอร์ (All Pass Filter)

2.10 เฟสล็อกคูล (Phase-Lock Loop: PLL)

วงจรเฟสล็อกคูลประกอบด้วยฟังก์ชันบล็อกต่างๆ คือ ส่วนที่เป็นเฟสดีเทคเตอร์ ส่วนวงจรกรองสัญญาณความถี่ต่ำผ่านและวงจรไวเลตเจคอนโทรลอสซิลเลเตอร์ (VCO) เราจะอธิบายหลักการพื้นฐานของเฟสล็อกคูลโดยเริ่มพิจารณาจากวงจรลิเนียร์เฟสล็อกคูล แสดงบล็อกไดอะแกรมดังรูปที่ 2.9

Lock range

จากคำจำกัดความของ Lock range คือ ความแตกต่างระหว่างความถี่อ้างอิงและความถี่ของ VCO ซึ่งเป็นสาเหตุให้จិតอลเฟสล็อกคูลอยู่ในสภาวะล็อก คือ มีความถี่ตรงกันระหว่างความถี่อ้างอิงและสัญญาณเอาต์พุต เราสมมติว่าจิตอลเฟสล็อกคูลยังไม่เข้าสู่สภาวะล็อกในตอนเริ่มต้น และ VCO จะออกซิเลทที่ความถี่กลางของมัน $N\omega_0$ ความถี่อ้างอิงมีความแตกต่างจาก ω_0 เป็นค่า $\Delta\omega$ คือ $\omega_1 = \omega_0 + \Delta\omega$



รูปที่ 2.9 แสดงบล็อกไดอะแกรมของวงจรเฟสล็อกคูล

Pull-in range

สมมติว่า ลิเนียร์เฟสล็อกคูลยังไม่อยู่ในสภาวะล็อก ความถี่ของสัญญาณอ้างอิงเป็น $\omega_1 = \omega_0 + \Delta\omega$ วงจร VCO ออกซิเลทที่ความถี่กลาง ω_0 ดังนั้นสัญญาณ u_r ของวงจรเฟสดีเทคเตอร์ที่มีความถี่ $\Delta\omega$ ซึ่งเป็นสัญญาณไฟสลับ สมมติว่า $\Delta\omega$ มีค่ามากจนกระบวนการล็อกอินไม่เกิดขึ้น และสมมติว่าใช้วงจรกรองสัญญาณแบบ passive lag สัญญาณ u_r จะลดทอนโดยรูปฟิลเตอร์ สัญญาณเอาต์พุต u_r จะเป็นสัญญาณไฟสลับและจะไม่มอดูเลตแบบ FM ที่ VCO ในช่วงครึ่งไซเคิลบวกของ u_r ความถี่ของสัญญาณเอาต์พุต ω_2 จะเพิ่มขึ้น และจะลดลงในช่วงครึ่งไซเคิลลบ เนื่องจากค่าพิคของความถี่เอาต์พุต ω_2 จะไม่เท่ากับ ω_1 เลย เราที่จะคิดได้ว่าลิเนียร์เฟสล็อกคูลจะไม่เข้าสู่สภาวะล็อก

เราจะเห็นว่าค่า $\Delta\omega$ ระหว่างความถี่อ้างอิง ω_1 และความถี่เอาต์พุต ω_2 ไม่เป็นค่าคงที่ ซึ่งจะแปรผันโดยความถี่ที่ทำการมอดูเลตจากสัญญาณเอาต์พุตของ VCO ถ้าความถี่ $\omega_2(t)$ ถูกมอดูเลตในทิศทางบวก ค่า $\Delta\omega$ จะน้อยลงและเข้าสู่ค่าที่น้อยที่สุด $\Delta\omega_{\min}$ ถ้า $\omega_2(t)$ ถูกมอดูเลตในทิศทางลบ $\Delta\omega$ จะมีค่า

เพิ่มขึ้นจนเข้าถึงค่าสูงสุด $\Delta\omega_{\max}$ เพราะค่า $\Delta\omega(t)$ จะมีค่าไม่คงที่ ค่าที่ได้จากการมอดกับ VCO จะเป็นดังนี้คือ ระยะเวลาของครึ่งไซเคิลที่ $\omega_2(t)$ ถูกมอดในทิศทางบวกจะยาวนานกว่าครึ่งไซเคิลซึ่ง $\omega_2(t)$ ถูกมอดในทางลบ ดังนั้นค่าความถี่เฉลี่ย ω_2 ของ VCO จะมีค่าสูงกว่าที่ไม่มีมอด ความถี่ของ VCO ก็จะถูกดึงเข้าสู่ทิศทางที่ใกล้กับสัญญาณอ้างอิง

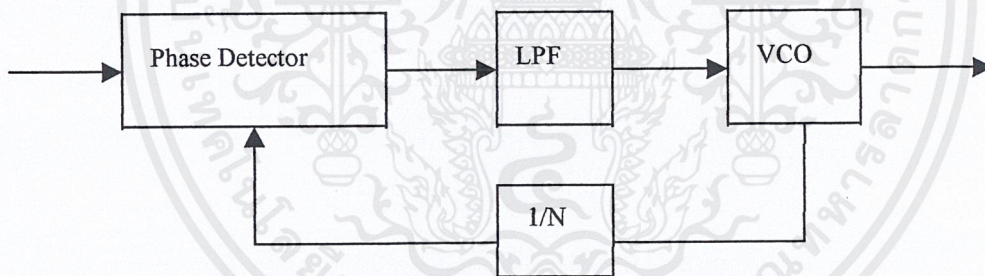
ความไม่สมมาตรของสัญญาณ $\omega_2(t)$ จะขึ้นอยู่กับค่าเฉลี่ยของ $\Delta\omega$ การไม่สมมาตรจะมีมากขึ้น ถ้า $\Delta\omega$ มีค่าลดลง ถ้าค่าเฉลี่ยของ $\omega_2(t)$ ดิ่งไปในทิศทางที่เข้าใกล้ ω_1 (ซึ่งสมมติว่ามากกว่า ω_2) การไม่สมมาตรของสัญญาณ $\omega_2(t)$ จะมีมากขึ้น ซึ่งจะทำให้ ω_2 ถูกดึงไปในทิศทางบวกมากขึ้น กระบวนการนี้จะเกิดขึ้นใหม่เรื่อยๆภายใต้เงื่อนไขที่แน่นอน ดังนั้นความถี่เอาต์พุต ω_2 ก็จะดึงเข้าถึงความถี่อ้างอิง ω_1 ได้ในที่สุด ปรากฏการณ์นี้เราเรียกว่า pull-in process

Pull-out range

ค่า Pull-out range จะเป็นขนาดของช่วงความถี่ที่เราใช้สัญญาณอินพุตอ้างอิง ซึ่งจะทำให้เฟสลื่นหลุดเสียการแตร็คกิ้งไป

2.10.1 การสังเคราะห์ความถี่ด้วยเฟสล็อกคัล

การสังเคราะห์ความถี่ด้วยเฟสล็อกคัลเป็นการสร้างความถี่ขึ้นใหม่ด้วยสัญญาณความถี่ที่มาตรฐาน โดยโครงสร้างสำหรับการสังเคราะห์ความถี่แสดงได้ดังรูปที่ 2.10



รูปที่ 2.10 แสดงโครงสร้างเฟสล็อกคัลสำหรับการสังเคราะห์ความถี่

จากรูปที่ 2.10 ส่วนที่เพิ่มมาจากโครงสร้างเฟสล็อกคัลที่ได้กล่าวแล้วคือ วงจรหาร N ($1/N$) โดยถ้า f_r เป็นสัญญาณอ้างอิงที่มีความถี่ที่แล้ว ความถี่เอาต์พุตของ VCO จะเท่ากับขนาดของความถี่อ้างอิง (frequency reference : f_r) คูณกับจำนวนหาร N ซึ่งเขียนได้คือ

$$f_0 = f_r * N$$

หรือกล่าวได้ว่าความถี่เอาต์พุต (f_0) จะเป็นจำนวนเท่าของความถี่อ้างอิง ความถี่ที่ป้อนกลับจากวงจร VCO ที่นำมาเปรียบเทียบกับความถี่อ้างอิงที่เฟสดีเทคเตอร์ (PD) หารด้วยจำนวน N ให้เท่ากับความถี่อ้างอิง

บทที่ 3

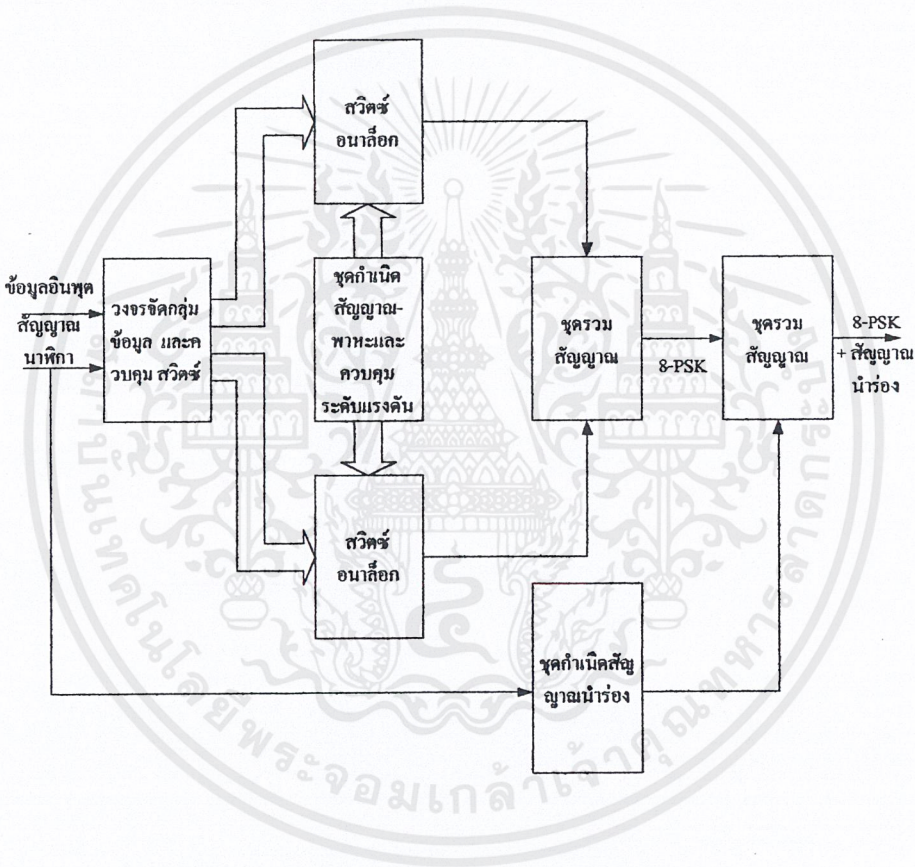
การคำนวณและการสร้าง

3.1 การออกแบบวงจรทางด้านภาคส่ง

ในการออกแบบทางด้านภาคส่งนั้นเราต้องเพิ่มเติมบางส่วนเพื่อความสะดวกในการซิงโครไนซ์ (Synchronized) เราต้องสร้างสัญญาณนำร่อง (Pilot Signal) และสัญญาณพาหะโดยใช้สัญญาณนาฬิกา 9.6KHz ใช้หลักการของเฟสล็อกคัลให้มีความถี่คงที่ แล้วทำการส่งไปยังภาครับต่อไป

ในส่วนของวงจรกำเนิดสัญญาณเรานำสัญญาณนาฬิกา 9.6 KHz มาทำเป็นสัญญาณพาหะ 96 KHz และทำเป็นสัญญาณนำร่อง 9.6 KHz

รายละเอียดแต่ละบล็อกโคอะแกรมแสดงดังรูปที่ 3.1



รูปที่ 3.1 แสดงรูปบล็อกโคอะแกรมของวงจรทางด้านภาคส่ง

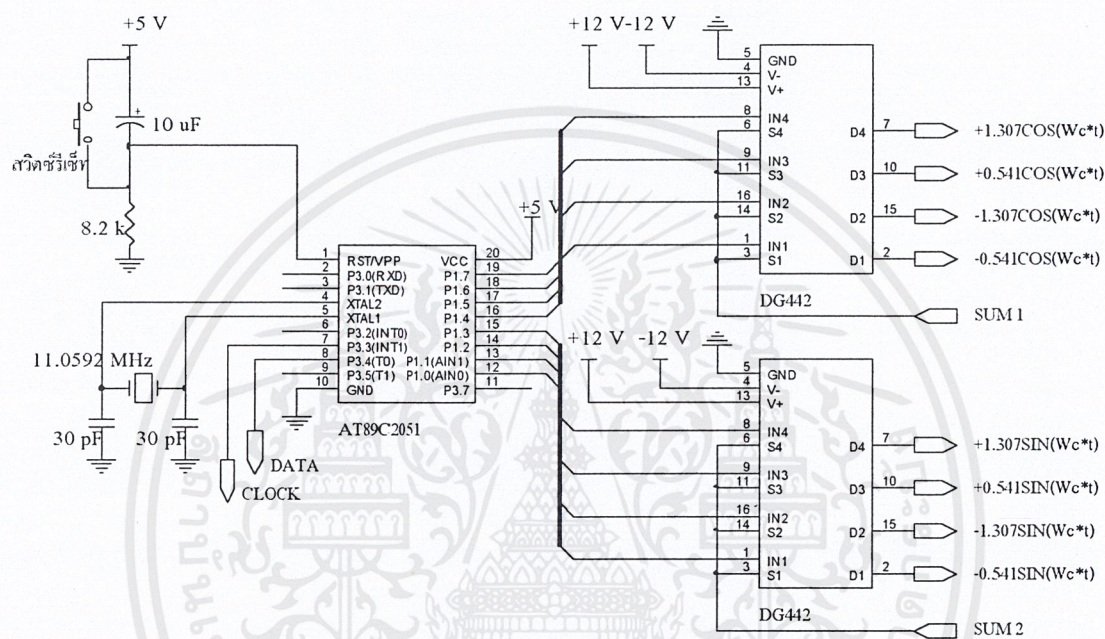
3.1.1 วงจรจัดกลุ่มข้อมูลและควบคุมสวิตช์

ในโครงงานนี้เราเลือกใช้ไมโครคอนโทรลเลอร์เบอร์ 89C2051 ใช้ควบคุมสวิตช์ ซึ่งมีหน่วยความจำสำหรับข้อมูลอยู่ในตัวขนาด 2 กิโลไบต์ มีพอร์ตอินพุต/เอาต์พุตที่ใช้ในการควบคุม 2 พอร์ต โดยสามารถออกแบบการควบคุมพื้นฐานของไมโครคอนโทรลเลอร์ได้ดังนี้

-สัญญาณนาฬิกาไมโครคอนโทรลเลอร์เบอร์89C2051 ซึ่งเป็นไมโครคอนโทรลเลอร์ตระกูล MCS-51 จะใช้ความถี่ในการทำงานตั้งแต่ 1-24 เมกกะเฮิร์ตซ์ส่วน โครงงานนี้ใช้ คริตดอลความถี่ 11.0592 เมกกะเฮิร์ตซ์ ต่อเข้ากับขา 4 (X-TAL2) และขา 5 (X-TAL1) ของไอซีเบอร์ 89C2051

-การรีเซ็ตเพื่อเริ่มต้นการทำงาน เงื่อนไขของการรีเซ็ตคือ ให้สัญญาณลอจิก"1" ที่ขา 9 (RST) ของไอซีเบอร์ 89C2051 ใ้เวลาอย่างน้อย 2 วงรอบเมกซีน

-การเลือกใช้หน่วยความจำภายในไมโครคอนโทรลเลอร์ตระกูล MCS-51 เบอร์ 89C2051 หน่วยความจำภายในขนาด 2 กิโลไบต์โดยต้องต่อขา EA ต่อกับ Vcc ของไอซีเบอร์ 89C2051



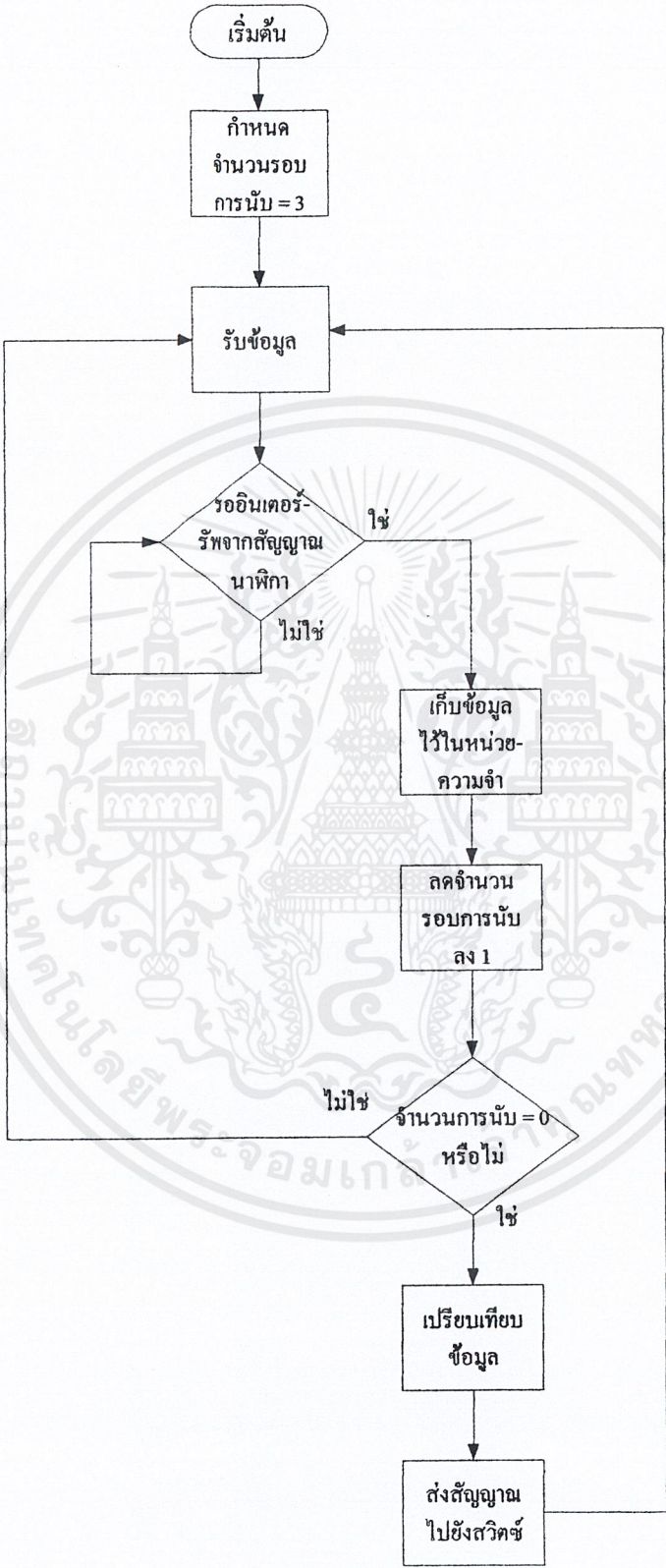
รูปที่ 3.2 แสดงวงจรจัดกลุ่มข้อมูลและควบคุมสวิตช์

วงจรสวิตช์จะใช้สวิตช์อนาล็อกเบอร์ DG442 ซึ่งเป็นสวิตช์ตัวหนึ่งจะประกอบด้วยสวิตช์ภายใน 4 ชุด ดังนั้นเราจึงเลือกใช้ DG442 จำนวน 2 ตัวจะทำให้ได้สวิตช์ทั้งหมด 8 ชุด เพื่อที่จะไปเลือกแรงดันและส่งออกเอาต์พุตตามสัญญาณอินพุตที่เข้ามา

การทำงานของสวิตช์อนาล็อกเบอร์ DG442 นี้จะทำงานที่ลอจิก 1 ดังนั้นจึงต้องทำการส่งลอจิก 1 มายังตัวสวิตช์ โดยสวิตช์ทั้งสองตัวจะทำงานที่ละ 1 ชุดเพื่อที่เลือกแรงดันอ้างอิง 2 ชุดแล้วนำไปรวมกันกลายเป็นสัญญาณ 8-PSK แล้วนำไปรวมกับสัญญาณนำร่องส่งออกเอาต์พุต

หลักการทำงานของวงจรรูปที่ 3.2 คือ เมื่อข้อมูลเข้ามายังไมโครคอนโทรลเลอร์ พร้อมกับสัญญาณนาฬิกา ไมโครคอนโทรลเลอร์ก็จะทำการรออินเตอร์รัพท์จากสัญญาณนาฬิกา โดยเมื่อเกิดการอินเตอร์รัพท์เกิดขึ้น ไมโครคอนโทรลเลอร์ ก็จะทำการเก็บข้อมูลไว้ในหน่วยความจำภายใน พร้อมกับเช็คว่าข้อมูลที่รับเข้ามามี 3 บิตหรือยังถ้าเกิดยังไม่ครบก็กลับไปรับและเก็บข้อมูลในหน่วยความจำต่อ

ไป แต่ถ้าเกิดครบ 3 บิตแล้ว ก็จะทำการเปรียบเทียบข้อมูลทั้ง 3 บิต พร้อมทั้งสั่งให้สวิทช์ทำงานดังแสดง
โฟลว์ชาร์ตการทำงานได้ดังรูปที่ 3.3

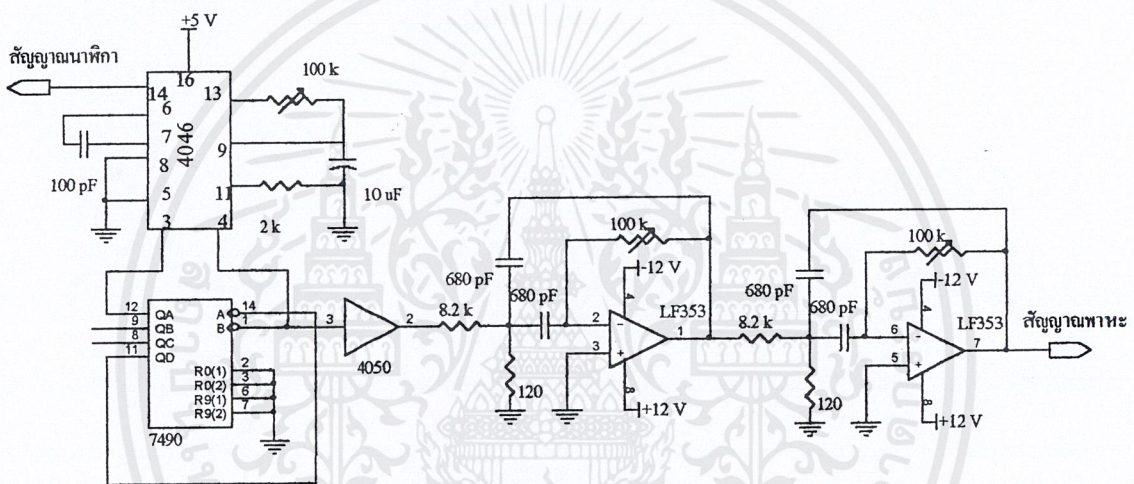


รูปที่ 3.3 โฟลว์ชาร์ตการทำงานของไมโครคอนโทรลเลอร์ MCS-51 เพื่อควบคุมสวิทช์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.1.2 วงจรกำเนิดสัญญาณพาหะ

วงจรในส่วนนี้จะทำหน้าที่กำเนิดสัญญาณไซน์ (sine wave) ความถี่ 96 KHz เพื่อใช้เป็นสัญญาณพาหะ เนื่องจากระบบการส่งสัญญาณดิจิทัลนี้มีหัวใจสำคัญคือการซิงโครไนซ์เซชัน (synchronization) ที่ทำให้จังหวะการทำงานของอุปกรณ์อิเล็กทรอนิกส์ทั้งในภาคส่งและภาครับมีความสัมพันธ์กันอย่างแม่นยำ ดังนั้นจึงอาศัยสัญญาณนาฬิกาที่ได้จากข้อมูลทำการส่ง ในโครงงานนี้ต้องการส่งข้อมูลความเร็ว 9.6kbps จึงมีสัญญาณนาฬิกา 9.6 kbps มาใช้อ้างอิงกับสัญญาณพาหะที่มีความถี่ 96 KHz โดยใช้วงจรเฟสล็อกคัล (Phase Lock Loop) ช่วยล็อกสัญญาณนาฬิกาและคูณความถี่ให้สูงขึ้น แต่เนื่องจากเราไม่สามารถคูณความถี่ 9.6 KHz ให้เป็น 96 KHz ได้โดยตรง จึงอาศัยสัญญาณนาฬิกาของวงจรหารความถี่ซึ่งอยู่ในวงจรแยกสัญญาณดิจิทัล ซึ่งจะมีค่าความถี่ 96 KHz และได้เลือกใช้ความถี่สัญญาณนาฬิกา 9.6 KHz ไปคูณกับ 10 ซึ่งก็จะได้ความถี่ $9.6 \times 10 = 96 \text{ KHz}$ พอดี



รูปที่ 3.4 วงจรกำเนิดสัญญาณพาหะ

วงจรในส่วนนี้จะใช้ไอซีเฟสล็อกคัลเบอร์ 4046 เพราะมีอุปกรณ์ประกอบภายนอกไม่ยุ่งยาก แต่ช่วงการล็อกความถี่จะกว้างมาก ถึงอย่างไรก็ถือว่าไม่ใช่ตัวอุปกรณ์หลักในการทำโครงงานครั้งนี้ เพียงแต่ต้องการทำเป็นวงจรคูณความถี่เท่านั้น

ในส่วนของวงจรหารความถี่ลดลง 10 เท่านี้ก็เลือกใช้ไอซี 74LS90 เพราะสะดวกในการต่อวงจร และมีความเชื่อถือได้พอสมควร อนึ่งสัญญาณที่ได้จากวงจรในส่วนนี้ ควรเป็นสัญญาณนาฬิกาที่สมบูรณ์แบบจึงได้นำไอซีเบอร์ 4050 มาประกอบรวมด้วย เพราะจะช่วยทำให้เป็นสัญญาณที่สวยงามมากยิ่งขึ้น

เมื่อสัญญาณนาฬิกาผ่านวงจรเฟสล็อกคัลแล้ว ก็ยังคงเป็นสัญญาณรูปสี่เหลี่ยมอยู่ ซึ่งไม่สามารถนำไปเป็นสัญญาณพาหะได้ เพราะสัญญาณรูปสี่เหลี่ยมมันจะประกอบไปด้วยฮาร์โมนิกมากมายไม่เหมาะสมในการนำไปมอดูเลต ดังนั้นจึงใช้วงจรกรองช่วงความถี่ (Band Pass filter) เพื่อทำการกรองเอาความถี่

ฮาร์โมนิกที่ 1 ซึ่งเป็นสัญญาณไซน์เวฟ ที่มีความถี่เท่ากับสัญญาณสี่เหลี่ยม หรืออาจจะกล่าวง่ายๆว่า เป็นการกรองเอาสัญญาณไซน์เวฟออกจากสัญญาณรูปสี่เหลี่ยม (square wave) นั่นเอง

ดังนั้นเราจะได้ความถี่สัญญาณนาฬิกา 96 KHz จากการนำสัญญาณนาฬิกาความถี่ 9.6 KHz ผ่าน วงจรเฟสล็อกคูล และภายในวงจรเฟสล็อกคูลนั้นมีวงจรหาร 10 ประกอบอยู่ด้วย รูปวงจรทั้งหมดแสดงดัง รูปที่ 3.4

3.1.3 วงจรกรองช่วงความถี่

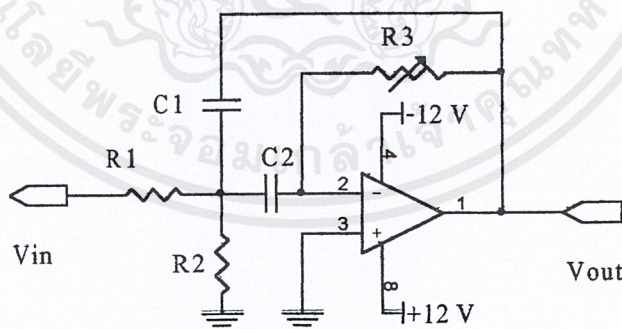
วงจรกรองช่วงความถี่นี้จะทำหน้าที่คัดเลือกสัญญาณในช่วงความถี่ที่ต้องการให้สามารถผ่านวงจรออกไปได้ โดยที่ไม่ถูกลดทอน หน้าที่ของวงจรกรองช่วงความถี่นี้จะทำหน้าที่กรองเอาสัญญาณไซน์เวฟออกจากสัญญาณรูปสี่เหลี่ยม ภายในส่วนของวงจรถูกกำเนิดสัญญาณพาหะและวงจรถูกกำเนิดสัญญาณนำร่อง และยังช่วยกำจัดสัญญาณรบกวน ที่เกิดจากวงจรข้างเคียงก่อนจะส่งออกไปยังภาครับอีกด้วย

วงจรกรองช่วงความถี่แบ่งเป็น 2 ชนิด คือ วงจรกรองช่วงความถี่แบบแบนด์แคป (narrow band filter) และวงจรกรองช่วงความถี่แบบแบนด์กว้าง (wide band filter) โดยวงจรกรองช่วงความถี่แบบแบนด์แคป จะมีค่าแบนด์วิธมากกว่า 0.1 เท่าของความถี่รีโซแนนซ์ ($b < 0.1\omega_p$) และวงจรกรองช่วงความถี่แบบแบนด์กว้าง จะมีค่าแบนด์วิธน้อยกว่า 0.1 เท่าของความถี่รีโซแนนซ์ อัตราส่วนระหว่างความถี่รีโซแนนซ์กับแบนด์วิธเราเรียกว่าควอลิตี้ (Quality factor : Q)

$$B = \frac{W_r}{Q} \quad (3.1)$$

$$Q = \frac{W_r}{B} \quad (3.2)$$

นั่นคือค่า Q ของวงจรกรองช่วงความถี่แบบแบนด์แคป จะมีค่ามากกว่า 10 และค่า Q ของวงจรกรองช่วงความถี่แบบแบนด์กว้างสำหรับวงจรกรองความถี่ย่านผ่านเราใช้วงจรกรองช่วงความถี่แบบแบนด์แคป (Multiple-feedback narrow band-pass filter) แสดงดังรูปที่ 3.5



รูปที่ 3.5 วงจรกรองช่วงความถี่แบบแบนด์แคป

ขั้นตอนในการออกแบบวงจรกรองช่วงความถี่แบบแบนด์แคป

1). เลือกค่าคาปาซิเตอร์ $C_1 = C_2 = C$ (3.3)

2). หาค่า $R_1 = \frac{Q}{2\pi f_C C A_F}$ (3.4)

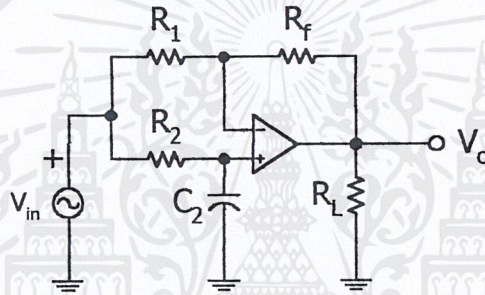
3). หาค่า $R_2 = \frac{Q}{2\pi f_c C_A (2Q^2 - A_F)}$ (3.5)

4). หาค่า $R_3 = \frac{Q}{\pi f_c C}$ (3.6)

โดยค่าอัตราขยายที่ความถี่กลาง $A_F = \frac{R_3}{2R_1}$

3.1.4 วงจรควบคุมเฟสและระดับแรงดัน

ในส่วนนี้จะใช้วงจรเลื่อนเฟสสัญญาณพาหะไป 90 องศา จำนวน 3 ครั้ง โดยอาศัยหลักการของวงจร All-Pass Filter ชนิด V_o ถัดหลัง V_{in} และจะใช้ตัวต้านทานแบบปรับค่าได้ทำการควบคุมระดับแรงดันเพื่อที่จะนำสัญญาณที่ได้ไปป้อนให้กับสวิตช์เพื่อที่เลือกสัญญาณออกเอาท์พุทต่อไป ซึ่งมีรายละเอียดดังต่อไปนี้



รูปที่ 3.6 วงจร All-Pass Filter ชนิด V_o ถัดหลัง V_{in}

จากรูปที่ 3.6 จะได้ว่า

$$\left| \frac{V_o}{V_{in}} \right| = \frac{\sqrt{1 + (2\pi f R_2 C_2)^2}}{\sqrt{1 + (2\pi f R_2 C_2)^2}} = 1 \quad (3.7)$$

$$\phi = -2 \tan^{-1}(2\pi f R_2 C_2) \quad (3.8)$$

เมื่อ $\frac{V_o}{V_{in}} =$ อัตราขยายของวงจร

$\phi =$ ความต่างเฟส (Phase Shift) ระหว่าง V_o กับ V_{in}

จากสมการที่ 3.8 เมื่อให้ $\phi = -90^\circ$ และ $f = 96 \text{ kHz}$ จะได้ว่า

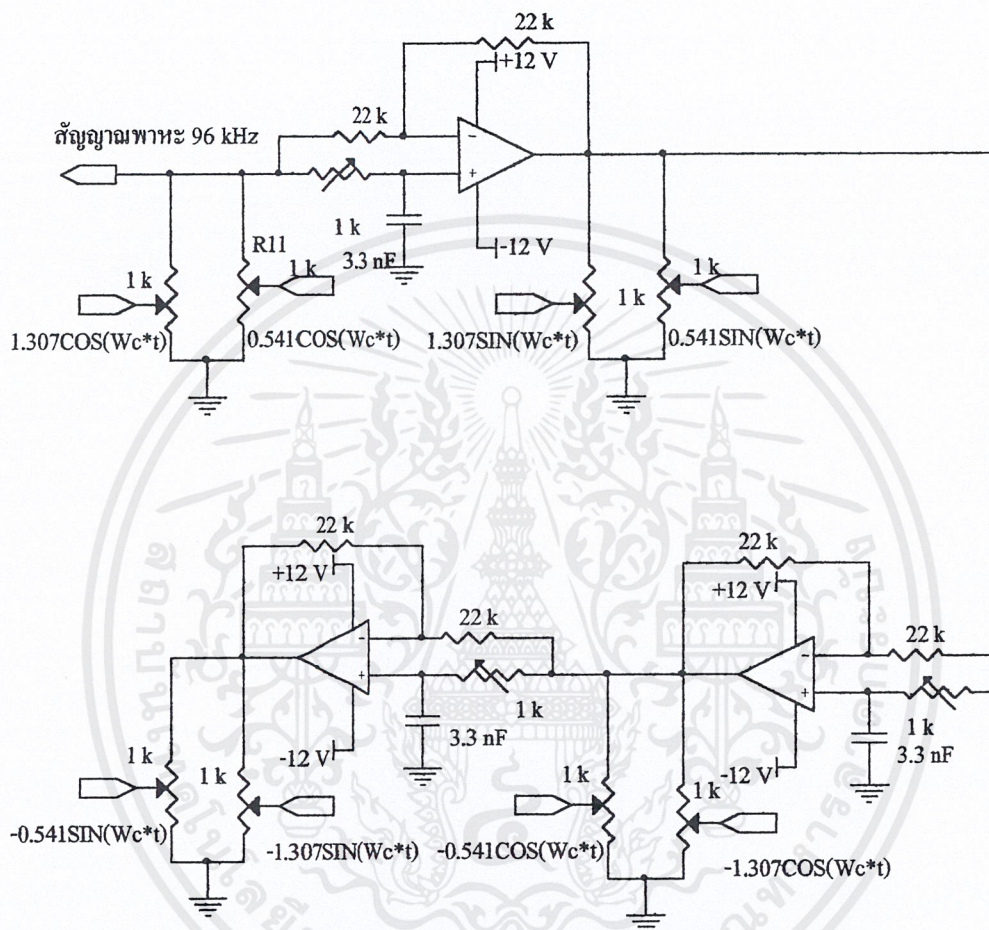
$$-90 = -2 \tan^{-1}(2\pi * 96k * R_2 C_2) \quad (3.9)$$

เลือกค่า $C_2 = 3.3 \text{ nF}$ นำไปแทนในสมการ 3.9 ได้ $R_2 = 502 \Omega$ ซึ่งจะใช้เป็นตัวต้านทานแบบปรับค่าได้ $R_2 = 1 \text{ k}\Omega$ ส่วนค่า R_1 และ R_f กำหนดให้มีค่าดังต่อไปนี้

$$R_1 = 22 \text{ k}\Omega$$

$$R_f = 22 \text{ k}\Omega$$

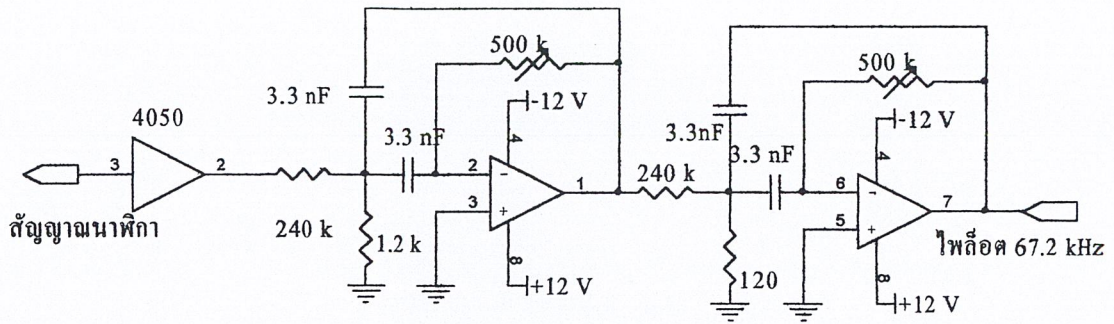
ซึ่งจะได้วงจรรวมดังรูปที่ 3.7



รูปที่ 3.7 วงจรควบคุมเฟสและระดับแรงดัน

3.1.5 วงจรกำเนิดสัญญาณร่อง

สัญญาณร่องในที่นี้คือ สัญญาณซายน์เวฟที่ใช้ส่งไปพร้อมกับสัญญาณ 8-PSK เพื่อที่ทางด้านภาครับสามารถกู้สัญญาณนาฬิกา และสัญญาณพาหะกลับคืนมาได้ เพราะฉะนั้นจะต้องมีความสัมพันธ์กับสัญญาณนาฬิกา โครงงานนี้จะเลือกกำเนิดความถี่ 9.6 KHz ซึ่งจะอยู่ทางด้านที่มีความถี่ต่ำกว่า (Lower Side Band) ของสเปกตรัมการมอดูเลตในโครงงานนี้

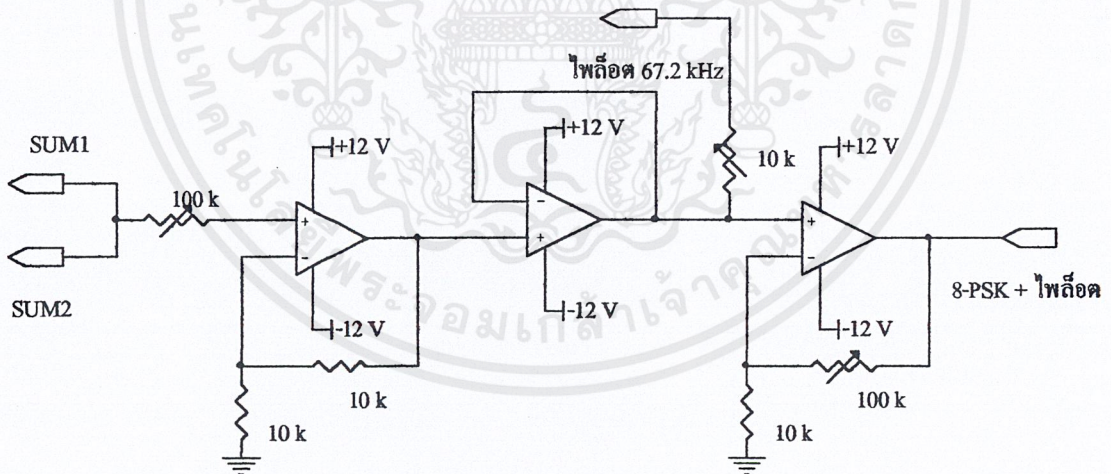


รูปที่ 3.8 วงจรกำเนิดสัญญาณนำร่อง

สำหรับวงจรที่ใช้ก็จะคล้ายกันกับวงจรกำเนิดสัญญาณพาหะ 96 KHz เกือบทุกอย่าง จะแตกต่างกันตรงวงจรหาความถี่เท่านั้น โดยเปลี่ยนเป็นการนำสัญญาณนาฬิกามากรองความถี่โดยวงจรกรองช่วงความถี่ผ่านที่ใช้ จะใช้ความถี่ศูนย์กลางที่ 9.6 KHz รายละเอียดของวงจรกำเนิดสัญญาณนำร่อง แสดงดังรูปที่ 3.8

3.1.6 วงจรรวมสัญญาณ

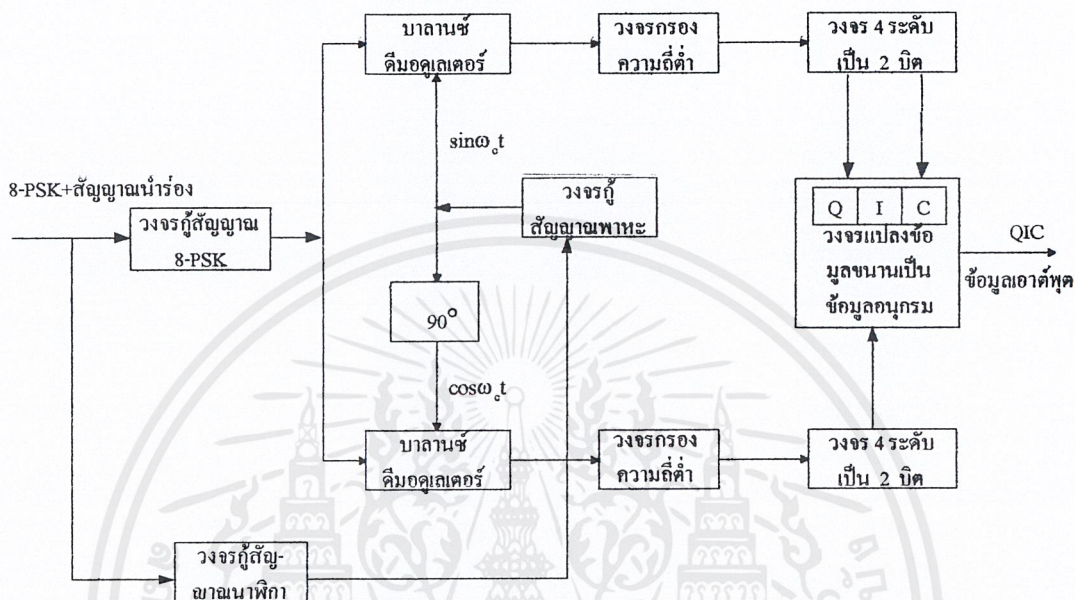
สัญญาณ 8-PSK ที่ได้จากการมอดูเลต แบบใช้สวิตช์ก่อนที่จะส่งไปจะต้องนำสัญญาณดังกล่าวมารวมกับสัญญาณนำร่องแล้วเข้าวงจรขยายสัญญาณเพื่อที่จะส่งออกไป โดยวงจรรวมสัญญาณดังกล่าวแสดงได้ดังรูปที่ 3.9



รูปที่ 3.9 วงจรรวมสัญญาณ

3.2 การออกแบบวงจรทางด้านภาครับ

ในการออกแบบและทดลองวงจรทางด้านภาคนั้น ต้องมีการเพิ่มเติมบางส่วนจากทฤษฎี เพื่อให้สอดคล้องกับสัญญาณที่ส่งมาจากด้านภาคส่ง ซึ่งสัญญาณที่ส่งมามีความถี่ของสัญญาณนำร่อง 9.6 KHz ร่วมกับสัญญาณเข้ารหัส ดังนั้นต้องมีวงจรกรองสัญญาณ 2 ส่วนคือ วงจรกรองความถี่ช่วง 96 KHz และวงจรกรองความถี่ 9.6 KHz ดังแสดงในรูปที่ 3.10



รูปที่ 3.10 แสดงบล็อกไดอะแกรมของวงจรทางด้านภาครับ 8-PSK

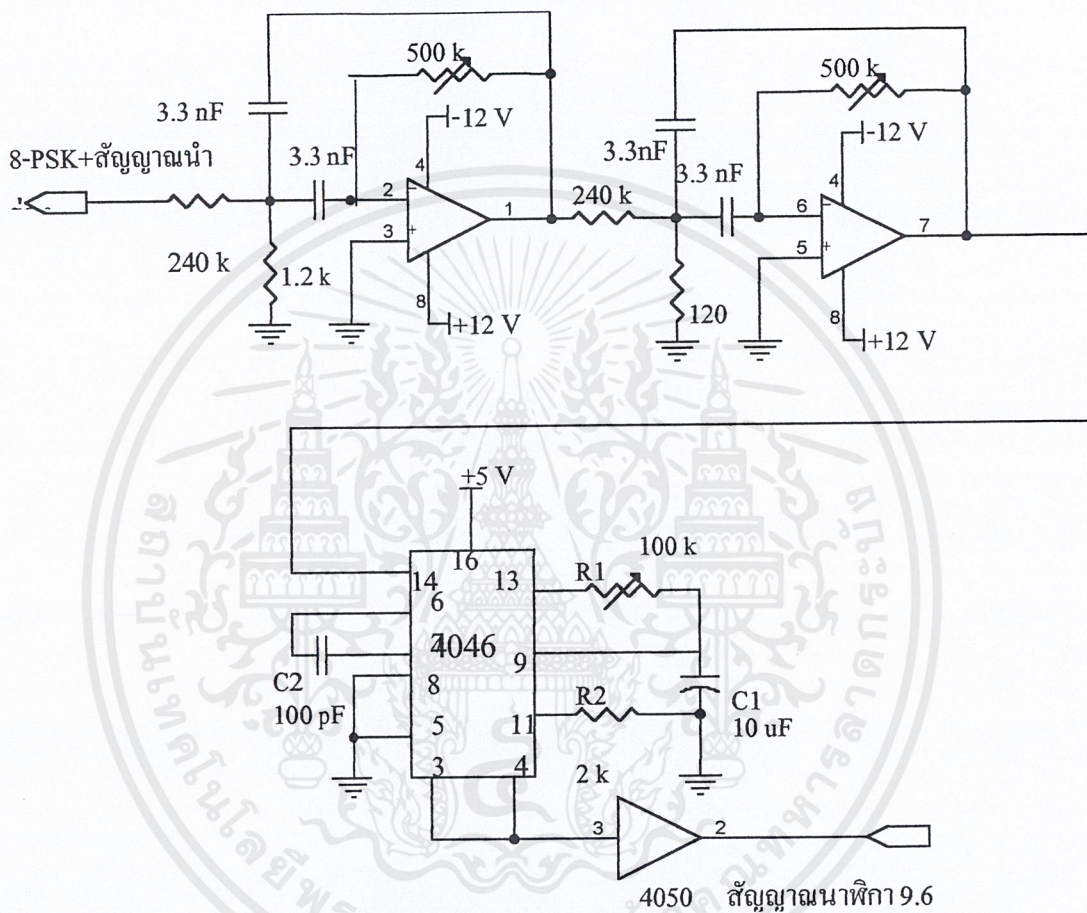
สัญญาณนำร่อง 9.6 KHz ได้นำมาใช้ในการกู้สัญญาณนาฬิกา 9.6 KHz และนำสัญญาณนาฬิกาไปกู้สัญญาณพาหะ 96 KHz ผ่านวงจรเลื่อนเฟส 90 องศา นำมาทำการดีเทคเตอร์สัญญาณที่รับเข้า ผ่านวงจรกรองความถี่ต่ำผ่าน แล้วนำสัญญาณมาทำการเลื่อนสัญญาณข้อมูลแบบขนานเป็นอนุกรม ก็จะได้สัญญาณเอาต์พุตออกมา

ส่วนของสัญญาณนาฬิกาได้มาจากการเอาสัญญาณนำร่องมาผ่านวงจรมอดูเลชันได้สัญญาณนาฬิกา 9.6 KHz ใช้ในการเลื่อนข้อมูลออกจากเอาต์พุต

3.2.1 วงจรกู้สัญญาณนาฬิกา

สัญญาณ 8-PSK จะถูกส่งมาตามสายโคแอกเซียลเข้ามายังภาคนั้น ดังนั้นจำเป็นต้องมีวงจรกรองช่วงความถี่ (Band Pass Filter) ในการตรวจรับสัญญาณมอดูเลตในขั้นต้น เพื่อทำหน้าที่คัดเลือกสัญญาณที่สามารถเข้าสู่ภาคนั้นได้ให้อยู่ได้ในเฉพาะช่วงความถี่ที่ต้องการเท่านั้น อีกทั้งยังเป็นการกำจัดสัญญาณรบกวนได้อีกทางหนึ่งด้วย ในที่นี้จะมียังมีวงจรกรองช่วงความถี่ผ่าน 2 ครั้ง เพื่อที่จะได้สัญญาณนำร่อง ลักษณะรายละเอียดการออกแบบและทดลองวงจรจะคล้ายกับวงจรกรองช่วงความถี่ผ่านของวงจรภาคส่ง

เมื่อสัญญาณนำร่อง 9.6 KHz ผ่านวงจรกรองช่วงความถี่แล้วจะถูกส่งต่อไปยังวงจรกู้สัญญาณนาฬิกาเพื่อทำการแปลงสัญญาณรูปซายน์ให้เป็นสัญญาณรูปสี่เหลี่ยม ซึ่งจะทำได้สัญญาณนาฬิกากลับมา เนื่องจากการที่ทางด้านภาคส่งนั้น สัญญาณนำร่องได้มาจากการอ้างอิงสัญญาณนาฬิกาโดยใช้วงจรเฟสล็อกคู่ทำการล็อกสัญญาณเอาไว้ หลังจากนั้นใช้วงจรกรองช่วงความถี่ช่วยทำให้สัญญาณรูปสี่เหลี่ยมกลายเป็นสัญญาณซายน์เวฟ และที่ภาครับนั้นเมื่อรับสัญญาณนำร่องได้ แล้วจะใช้วงจรเฟสล็อกคู่ล็อกสัญญาณเอาไว้พร้อมกับแปลงสัญญาณซายน์เวฟให้เป็นสัญญาณรูปสี่เหลี่ยมซึ่งจะได้เป็นสัญญาณนาฬิกา 9.6 KHz



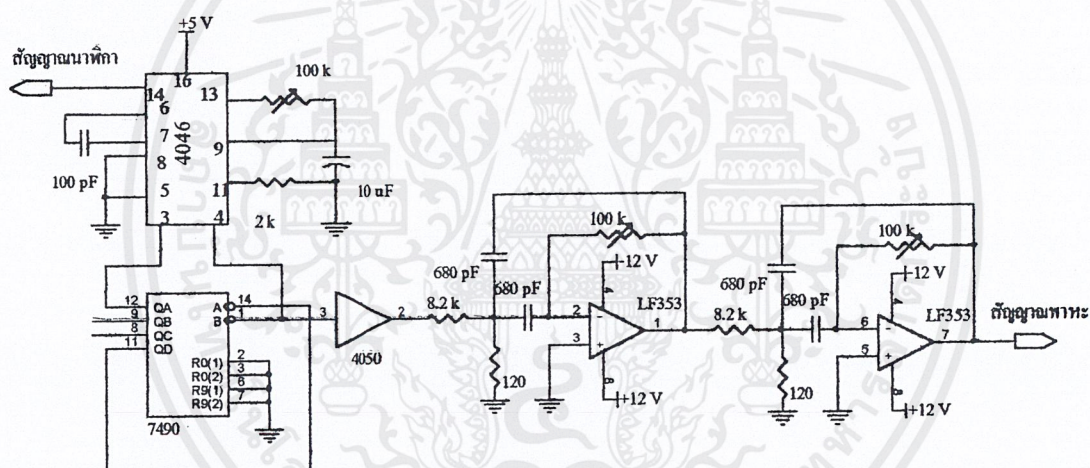
รูปที่ 3.11 วงจรกู้สัญญาณนาฬิกา

ดังนั้นจะเห็นได้ว่าการสร้างสัญญาณนำร่องของทางภาคส่งและสัญญาณนาฬิกาของทางภาครับนั้นจะอาศัยการอ้างอิงและเปรียบเทียบกับสัญญาณที่มีอยู่แล้วในวงจร อีกทั้งยังเป็นสัญญาณตัวเดียวกันอีกด้วย รวมทั้งการใช้วงจรเฟสล็อกคู่ซึ่งมีการผลิตความถี่และวงจรเปรียบเทียบเฟสสัญญาณอยู่ภายใน จึงเป็นการทำให้เกิดการซิงค์โครไนซ์ (Synchronization) กันระหว่างภาคส่งและภาครับ วงจรกู้สัญญาณนาฬิกา (Clock Recovery) แสดงได้ดังในรูปที่ 3.11

3.2.2 วงจรกู้สัญญาณพาหะ

วงจรกู้สัญญาณพาหะ (Carrier Recovery) นั้นจะใช้หลักการและวิธีการเหมือนกันทุกประการกับ วงจรกำเนิดสัญญาณพาหะของทางด้านภาคส่ง กล่าวคือจะอาศัยสัญญาณนาฬิกาที่ได้จากวงจรกู้สัญญาณ นาฬิกามาใช้เป็นสัญญาณอ้างอิง แล้วคูณความถี่ให้สูงขึ้นโดยใช้วงจรเฟสล็อกคูล จากนั้นก็จะผ่านวงจร ร่องช่วงความถี่เพื่อทำการคัดเลือกเฉพาะสัญญาณชาแนลเฟสเพื่อนำไปเป็นสัญญาณพาหะ สำหรับใช้ในวง จรบาลานซ์ดีมอดูเลเตอร์ต่อไป ดังจะแสดงวงจรกู้สัญญาณพาหะในรูปที่ 3.12

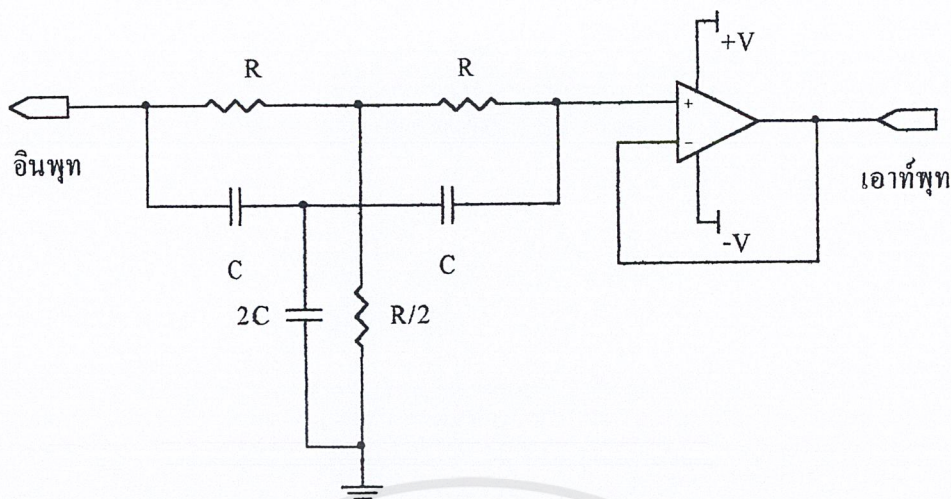
เนื่องจากสัญญาณมอดูเลตที่รับได้นั้นจะประกอบไปด้วยสัญญาณดิจิทัลที่ถูกแบ่งออกเป็น 2 ส่วนและสัญญาณข้อมูล 2 บิตที่ถูกแยกออกมานั้นจะกลายเป็นสัญญาณ 4 ระดับแล้วมอดูเลตกับสัญญาณ พาหะ และสัญญาณมอดูเลตทางด้านควอคราเจอร์เฟสที่ใช้สัญญาณ โคซายน์เป็นสัญญาณพาหะ ในทำนอง เดียวกัน ณ ที่ภาครับนี้สัญญาณพาหะก็ต้องมี 2 ชุดด้วย โดยจะใช้สัญญาณชาแนลเฟสที่ได้จากวงจรกู้ สัญญาณพาหะเพื่อนำไปใช้ในวงจรบาลานซ์ดีมอดูเลเตอร์ของทางด้านอินเฟสและจะใช้สัญญาณ โคซายน์ ที่ได้จากวงจรกู้สัญญาณพาหะแล้วผ่านวงจรเลื่อเฟส 90 องศา เพื่อนำไปใช้ในวงจรบาลานซ์ดีมอดูเล ตอร์ของทางด้านควอคราเจอร์เฟส



รูปที่ 3.12 วงจรกู้สัญญาณพาหะ

3.2.3 วงจรกำจัดสัญญาณรบกวน

สัญญาณที่เข้ารหัสถูกส่งมาตามสายโคแอกเซียล ทางภาครับต้องทำการกำจัดสัญญาณรบกวน ออกจากสัญญาณ 8-PSK เพื่อนำสัญญาณดังกล่าวไปผ่านวงจรดีมอดูเลตเพื่อกู้ข้อมูลกลับมาต่อไป ในการออกแบบเราใช้วงจรกำจัดช่วงความถี่ (Band-reject filters) เพื่อกำจัดสัญญาณรบกวนที่รวมมากับ สัญญาณ 8-PSK ทางด้านภาคส่งออกไป ซึ่งในโครงงานนี้จะใช้วงจรกำจัดช่วงความถี่แบบแบนด์แคบ (Narrow band-reject filter) แสดงดังรูปที่ 3.13



รูปที่ 3.13 วงจรกำจัดช่วงความถี่แบบแบนด์แคบ (Narrow band-reject filter)

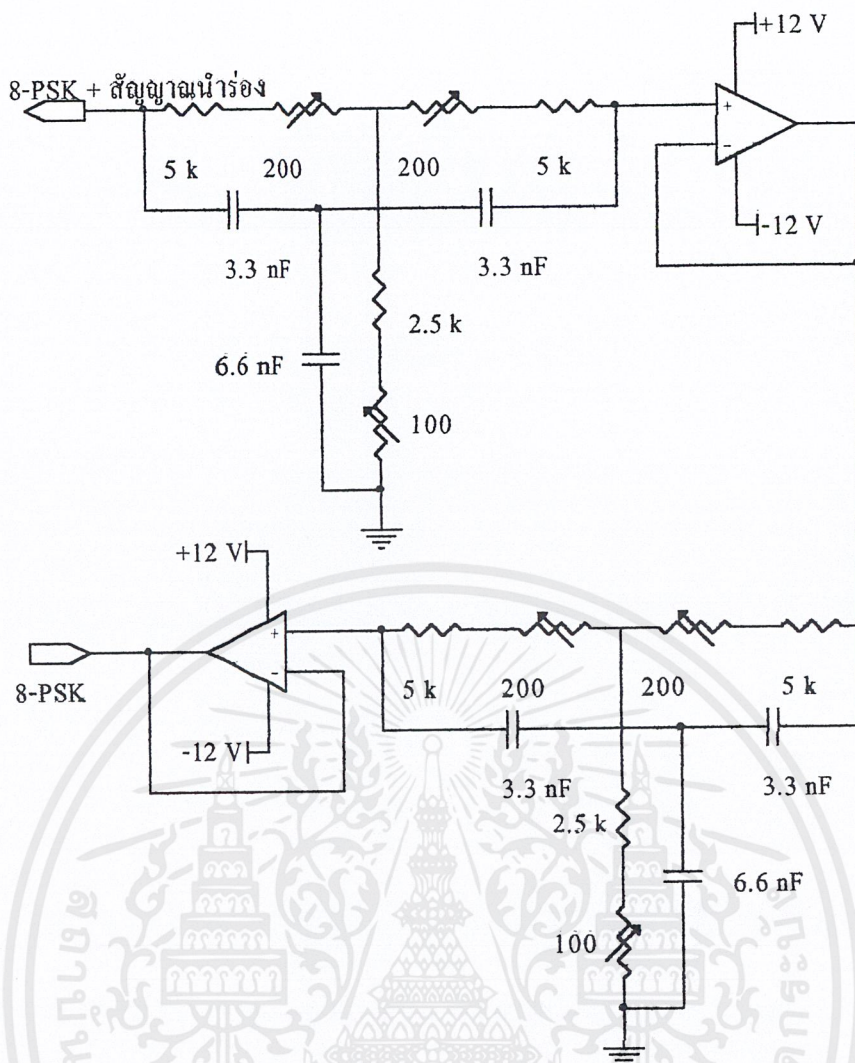
จากวงจรรูปที่ 3.13 จะเป็นวงจรกำจัดช่วงความถี่แบบแบนด์แคบ (Narrow band-reject filter) หรือเรียกอีกอย่างว่า Notch filter ซึ่งเป็นการต่อวงจรแบบทวินทีเน็ตเวิร์ค (Twin-T network) โดยความถี่กลางที่ถูกกำจัดออกไปจะสามารถหาได้จากสมการที่ 3.10

$$f_N = \frac{1}{2\pi RC} \quad (3.10)$$

ขั้นตอนในการออกแบบวงจรกำจัดช่วงความถี่แบบแบนด์แคบที่ความถี่กลางเท่ากับ 9.6 KHz

- 1). เลือกค่าคาปาซิเตอร์ $C = 3.3nF$
- 2). เลือกค่าคาปาซิเตอร์ $2C$ โดยการนำค่าคาปาซิเตอร์มาคูณกัน
- 3). หาค่าความต้านทานจาก $R = \frac{1}{2\pi f_N C}$ จะได้ $R = 5023\Omega$

ดังนั้นจึงเลือกใช้ความต้านทานแบบปรับค่า 200Ω ได้ต่ออนุกรมกับความต้านทาน $5k\Omega$ และค่าความต้านทาน $R/2$ จะใช้ค่าความต้านทานแบบปรับค่า 100Ω ได้ต่ออนุกรมกับความต้านทาน $2.5k\Omega$ ซึ่งวงจรรวมจะแสดงได้ดังรูปที่ 3.14



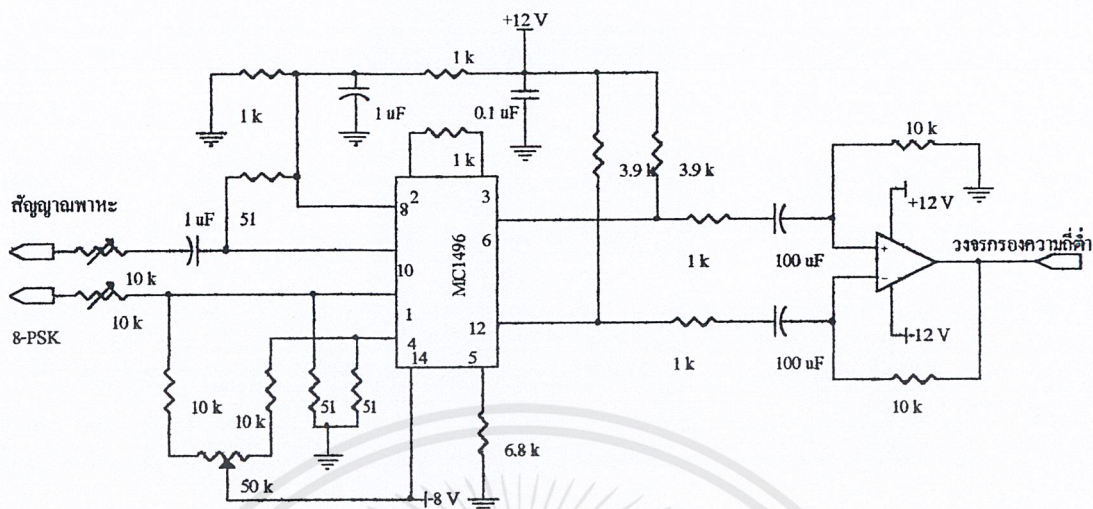
รูปที่ 3.14 วงจรกำจัดสัญญาณนำร่องออกจากสัญญาณ 8-PSK

3.2.4 วงจรบาลานซ์ดีมอดูเลเตอร์

วงจรบาลานซ์ดีมอดูเลเตอร์ (Balance Demodulator) ที่ภาครับนี้ จะมีวงจรบาลานซ์ดีมอดูเลเตอร์ 2 วงจร เพื่อที่จะทำหน้าที่แยกวงจรสัญญาณ 4 ระดับที่ถูกมอดูเลตตามกับสัญญาณพาหะ ทั้งทางด้านอินเฟสและทางด้านควอดราเจอร์เฟส โดยอาศัยสัญญาณพาหะจากวงจรกู้สัญญาณโดยตรงคือชายน์เวฟ คูณเข้ากับสัญญาณมอดูเลตที่วงจรบาลานซ์ดีมอดูเลเตอร์ทางด้านอินเฟส และสัญญาณพาหะจากวงจรเลื่อนเฟส 90 องศา คือ สัญญาณรูปโคไซน์ คูณเข้ากับสัญญาณมอดูเลตที่วงจรบาลานซ์ดีมอดูเลเตอร์ทางด้านควอดราเจอร์เฟส

สัญญาณเอาต์พุตของวงจรดีมอดูเลเตอร์ทั้ง 2 วงจรนั้นจะประกอบไปด้วยสัญญาณที่เกิดจากการคูณกันระหว่างสัญญาณมอดูเลตกับสัญญาณพาหะ และผลที่ได้จะมีทั้งสัญญาณความถี่สูงและสัญญาณความถี่ต่ำ ดังนั้นจึงต้องใช้วงจรกรองความถี่ต่ำเพื่อทำหน้าที่ตัดสัญญาณความถี่สูงทิ้งไปเหลือเพียงสัญญาณ 4 ระดับในส่วนของความถี่ต่ำเท่านั้น

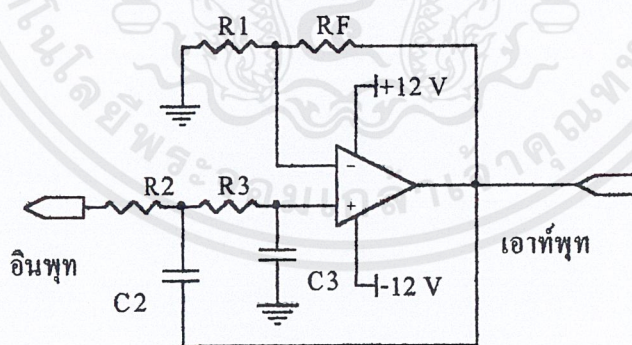
ลักษณะและรายละเอียดของวงจรบาลานซ์มอดูเลเตอร์ทั้ง 2 วงจรจะเหมือนกันทุกประการ แสดงได้ดังนี้



รูปที่ 3.15 วงจรบาลานซ์มอดูเลเตอร์

3.2.5 วงจรกรองความถี่ต่ำ (Low pass filter)

เป็นวงจรที่ทำหน้าที่ในการให้เฉพาะความถี่ต่ำที่ต่ำกว่าความถี่คัทออฟผ่านไป เนื่องจากสัญญาณที่ผ่านการมอดูเลเตอร์นั้นจะประกอบไปด้วยความถี่สูงรวมมากับสัญญาณ 4 ระดับ ดังนั้นในส่วนภาครับนี้เราจะนำมาใช้ในการกรองความถี่ต่ำซึ่งเป็นสัญญาณ 4 ระดับที่ผ่านมาจากวงจรมอดูเลเตอร์ให้ผ่านไป



รูปที่ 3.16 วงจรกรองความถี่ต่ำ

จากรูปเป็นวงจรกรองความถี่ต่ำแบบบัตเตอร์เวิร์ท (Low pass Butterworth filter) ซึ่งเป็นวงจรอันดับ 2 ที่มีความชันเท่ากับ -40dB/decade โดยที่อัตราขยายของวงจรกำหนดได้จากค่า $R1$ และ RF และความถี่คัทออฟ (f_H) สามารถคำนวณได้จาก $R2, R3, C2, C3$ ตามสมการที่ 3.11

โดยความถึคัทออฟ

$$f_H = \frac{1}{2\pi\sqrt{R_2 R_3 C_2 C_3}} \quad (3.11)$$

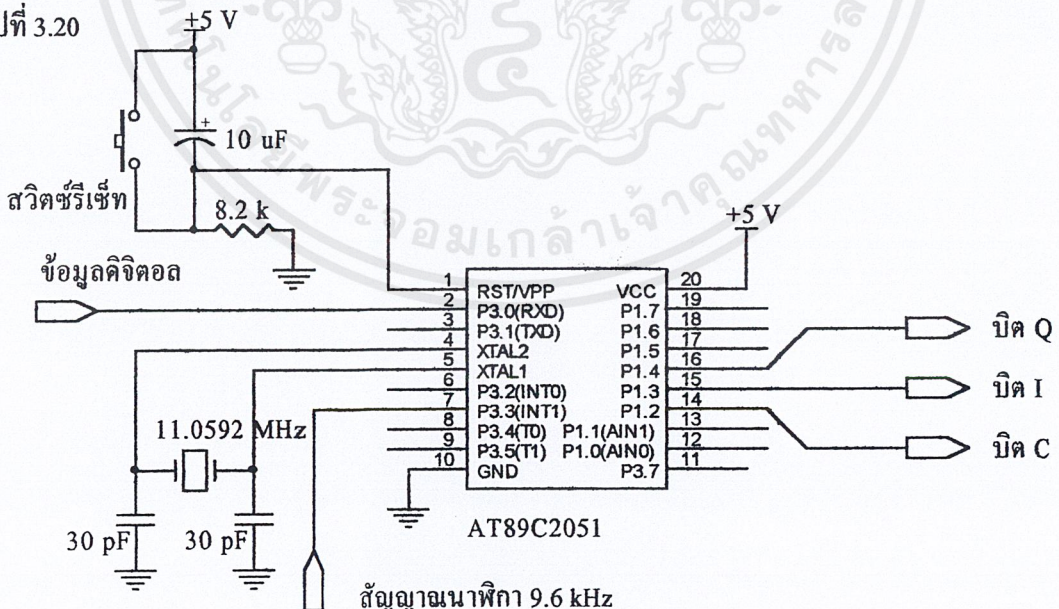
เมื่อสัญญาณผ่านวงจรบานซ์ติมอดูเลเตอร์ทางภาครับแล้ว จะมีสัญญาณความถี่ต่ำรวมมากับสัญญาณความถี่สูงและเมื่อผ่านวงจรกรองความถี่ต่ำก็จะได้สัญญาณ 4 ระดับ ดังนั้นเราจึงต้องแปลงสัญญาณ 4 ระดับดังกล่าวเป็นสัญญาณดิจิทัล โดยสัญญาณที่ผ่านวงจรกรองความถี่ต่ำที่เข้ามาก็จะทำการเพิ่มอัตราการขยายโดยอาศัยออปแอมป์ จากนั้นก็จะนำสัญญาณดังกล่าวมาเข้าสู่วงจรแอมป์ (Absolute value circuit) เพื่อที่จะทำสัญญาณดังกล่าวให้มีอยู่เฉพาะด้านบวก จากนั้นก็ทำสัญญาณดังกล่าวมาทำให้เป็นแรงดันไฟตรง ซึ่งแรงดันไฟตรงดังกล่าวจะมีค่าอยู่ระหว่างแรงดันคั่นสูงสุดของสัญญาณ 4 ระดับ จากนั้นก็นำแรงดันไฟตรงดังกล่าวไปเป็นแรงดันอ้างอิงให้กับวงจรเปรียบเทียบระดับสำหรับสัญญาณซีกบวก ส่วนทางด้านซีกลบเราก็จะนำสัญญาณไฟตรงดังกล่าวมาทำการขยายแบบกลับขั้วที่มีค่าการขยายเท่ากับ 1 ซึ่งจะทำให้ได้แรงดันไฟตรงด้านลบเพื่อที่จะนำสัญญาณไฟตรงดังกล่าวเข้าสู่วงจรเปรียบเทียบระดับทางด้านลบ

จากการใช้วงจรแอมป์โซลูท ดังกล่าวจะช่วยป้องกันในกรณีที่รับสัญญาณเข้ามาได้น้อย เพราะจุดเปรียบเทียบระดับสัญญาณดังกล่าวจะเปลี่ยนตามสัญญาณแรงดันที่เข้ามา

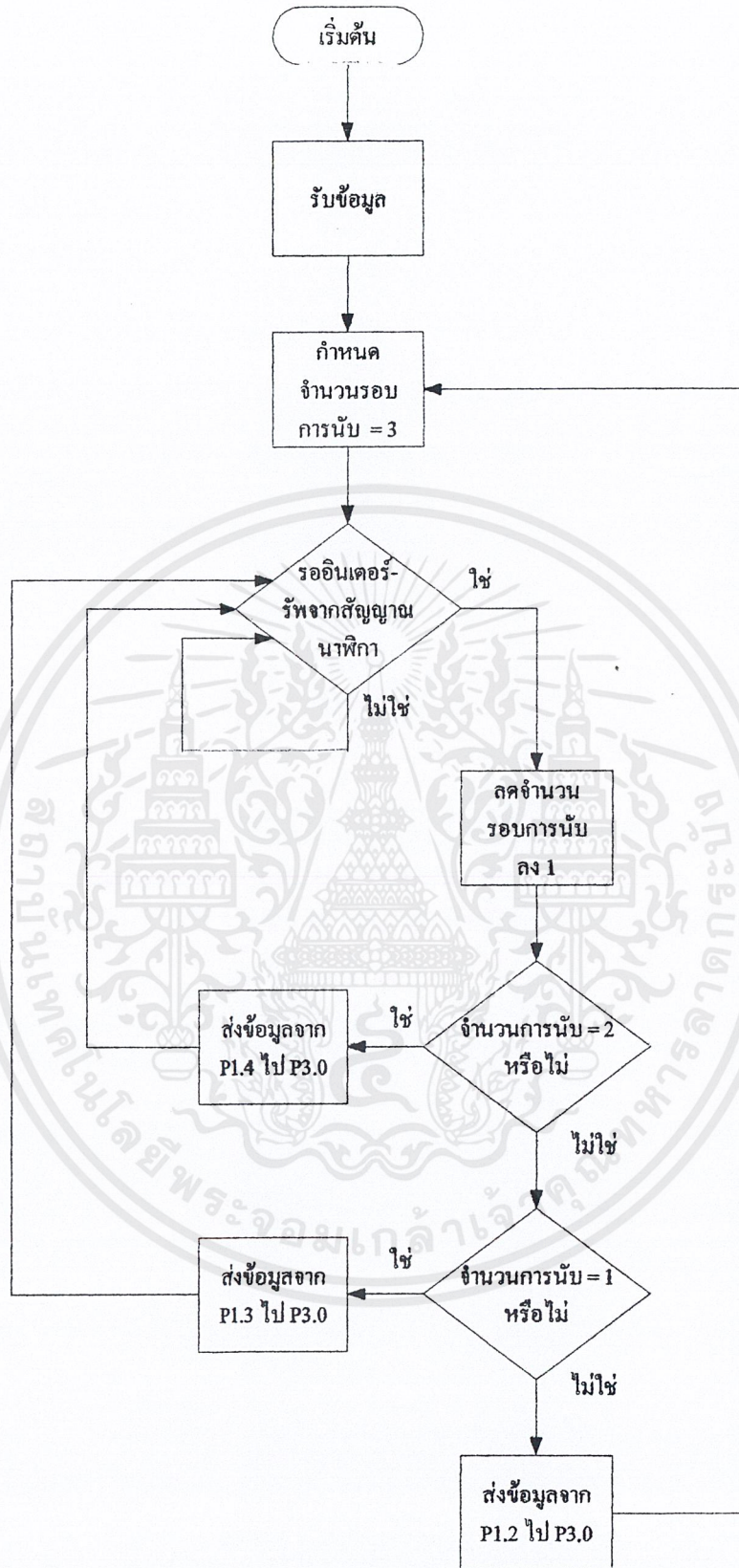
เนื่องจากสัญญาณที่เข้ามามีทั้งด้านบวกและด้านลบ ดังนั้นออปแอมป์ที่ใช้จึงต้องใช้ไฟเลี้ยงทั้งด้านบวกและด้านลบ เพราะฉะนั้น เอาต์พุตที่ได้จากการเปรียบเทียบจึงมีทั้งด้านบวกและด้านลบ แต่สัญญาณดิจิทัลที่ต้องการคือ 5 V สำหรับลอจิก 1 และ 0 V สำหรับลอจิก 0 ดังนั้นเราจึงนำสัญญาณดังกล่าวมาต่อกับบัพเฟอร์ เบอร์ 4050 เพื่อที่จะได้สัญญาณออกมามีเฉพาะ 5 V และ 0 V

3.2.7 วงจรรวมสัญญาณดิจิทัล

เป็นวงจรที่มีลักษณะและหน้าที่การทำงานตรงกันข้ามกับวงจรแยกสัญญาณดิจิทัลของทางด้านภาคส่ง จากสัญญาณดิจิทัลแบบขนานไปเป็นสัญญาณดิจิทัลแบบอนุกรม โดยอาศัยไมโครคอนโทรลเลอร์และสัญญาณนาฬิกา ซึ่งไฟลิวชาร์ตการทำงานในการรวมสัญญาณดิจิทัลแสดงได้ดังรูปที่ 3.20



รูปที่ 3.19 วงจรรวมสัญญาณดิจิทัล



รูปที่ 3.20 ไฟล์ชาร์ตการทำงานของไมโครคอนโทรลเลอร์ MCS-51 เพื่อรวมสัญญาณดิจิทัล

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 4

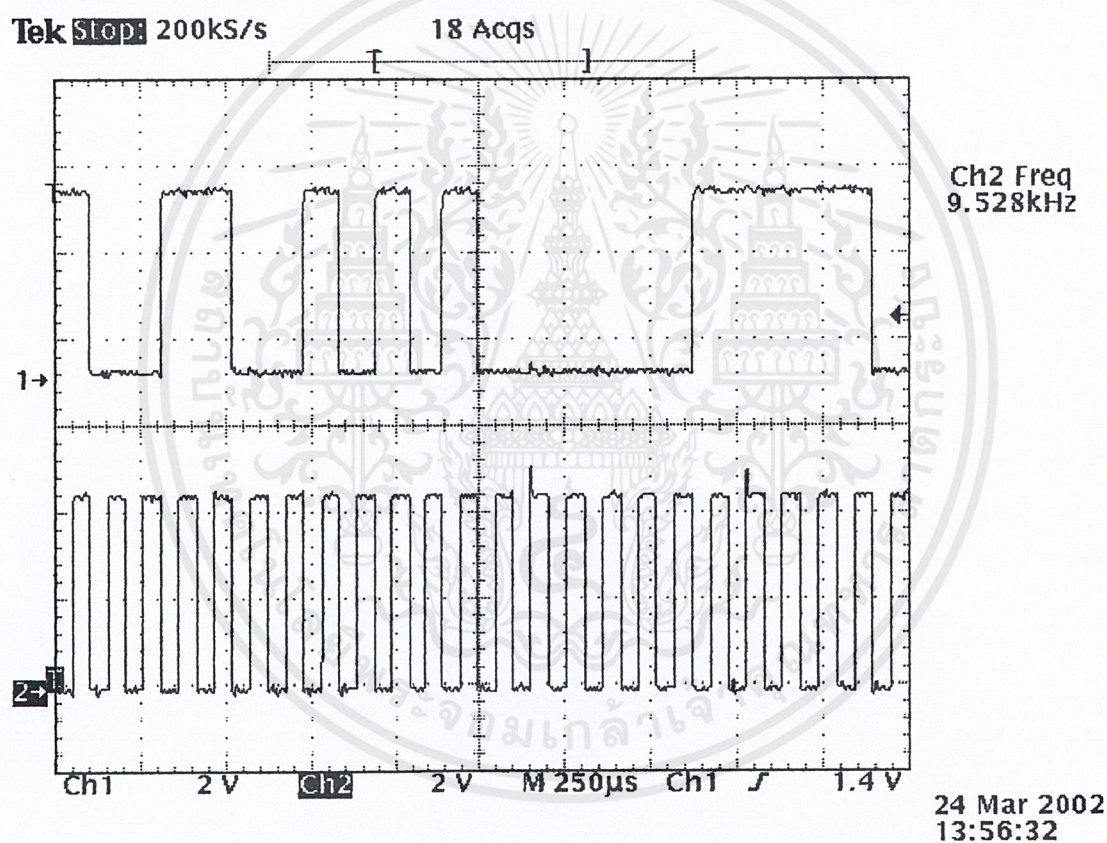
การทดลองและผลการทดลอง

4.1 จุดประสงค์การทดลอง

- 1) เพื่อศึกษารูปแบบการส่งสัญญาณดิจิทัล เพื่อเป็นพื้นฐานในการศึกษารูปแบบอื่นๆต่อไป
- 2) เพื่อนำเสนอการส่งสัญญาณดิจิทัล อัตราความเร็ว 9.6 kbps โดยส่งสัญญาณแบบ 8-PSK ซึ่ง สามารถลดแบนด์วิดธ์ได้ถึง 3 เท่า ของการส่งสัญญาณแบบ PSK ทำให้การใช้ช่องสัญญาณมีประสิทธิภาพมากขึ้น

4.2 การทดลองและผลการทดลองทางด้านภาคส่ง

4.2.1 สัญญาณข้อมูลที่ใช้ทดลอง

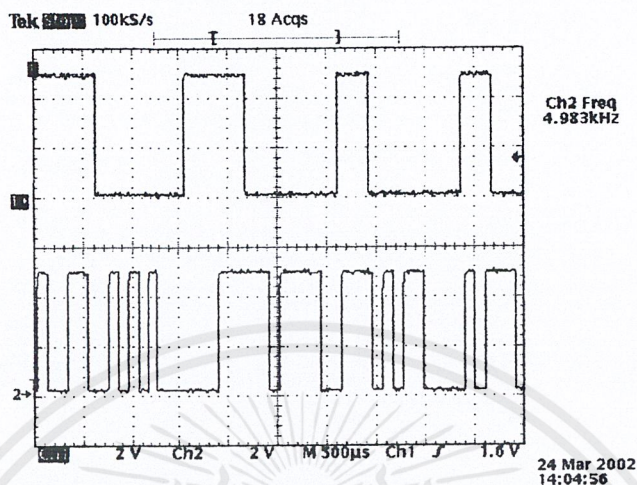


รูปที่ 4.1 Ch1 แสดงสัญญาณข้อมูลที่ใช้ทดลองส่งเทียบกับ

Ch2 แสดงสัญญาณนาฬิกา 9.6 KHz

4.2.2 สัญญาณที่ใช้ควบคุมสวิตช์เพื่อเลือกสัญญาณ $-0.541 \sin(\omega_c t)$

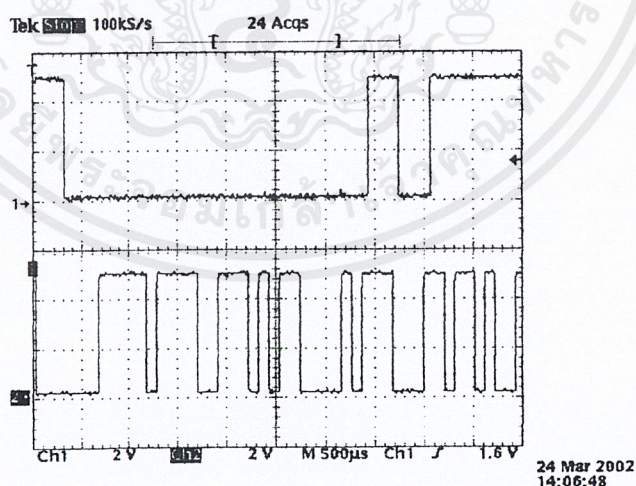
จากรูปที่ 3.2 เมื่อป้อนสัญญาณข้อมูลเข้าที่ขา 8 ของไมโครคอนโทรลเลอร์ และป้อนสัญญาณนาฬิกา 9.6 KHz แล้วทำการวัดสัญญาณที่ขา 12 ของไมโครคอนโทรลเลอร์



รูปที่ 4.2 Ch1 แสดงสัญญาณที่ใช้ควบคุมสวิตช์เพื่อเลือกสัญญาณ $-0.541 \sin(\omega_c t)$ เทียบกับ Ch2 แสดงสัญญาณข้อมูล

4.2.3 สัญญาณที่ใช้ควบคุมสวิตช์เพื่อเลือกสัญญาณ $-1.307 \sin(\omega_c t)$

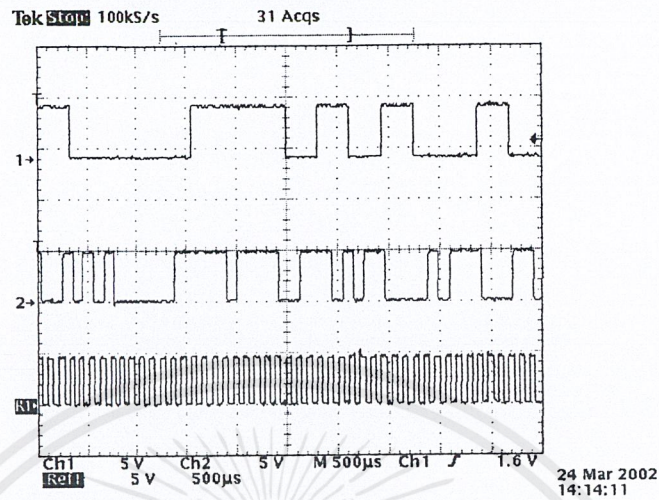
จากรูปที่ 3.2 เมื่อป้อนสัญญาณข้อมูลเข้าที่ขา 8 ของไมโครคอนโทรลเลอร์ และป้อนสัญญาณนาฬิกา 9.6 KHz แล้วทำการวัดสัญญาณที่ขา 13 ของไมโครคอนโทรลเลอร์



รูปที่ 4.3 Ch1 แสดงสัญญาณที่ใช้ควบคุมสวิตช์เพื่อเลือกสัญญาณ $-1.307 \sin(\omega_c t)$ เทียบกับ Ch2 แสดงสัญญาณข้อมูล

4.2.4 สัญญาณที่ใช้ควบคุมสวิตช์เพื่อเลือกสัญญาณ $0.541 \sin(\omega_c t)$

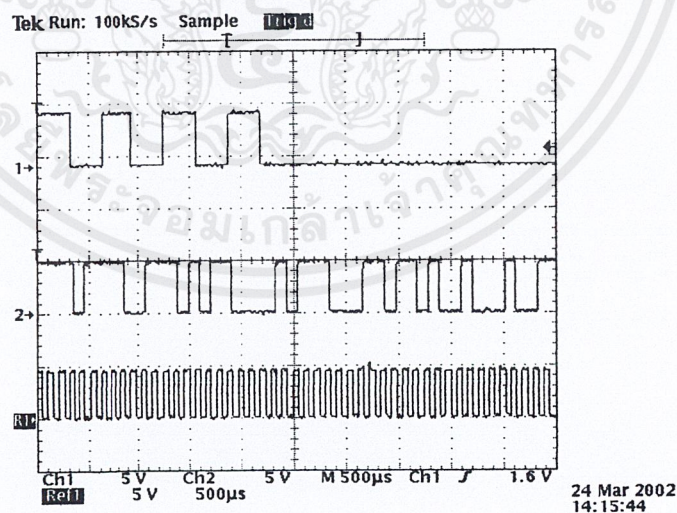
จากรูปที่ 3.2 เมื่อป้อนสัญญาณข้อมูลเข้าที่ขา 8 ของไมโครคอนโทรลเลอร์ และป้อนสัญญาณนาฬิกา 9.6 KHz แล้วทำการวัดสัญญาณที่ขา 14 ของไมโครคอนโทรลเลอร์



รูปที่ 4.4 Ch1 แสดงสัญญาณที่ใช้ควบคุมสวิตช์เพื่อเลือกสัญญาณ $0.541 \sin(\omega_c t)$ เทียบกับ Ch2 แสดงสัญญาณข้อมูล

4.2.5 สัญญาณที่ใช้ควบคุมสวิตช์เพื่อเลือกสัญญาณ $1.307 \sin(\omega_c t)$

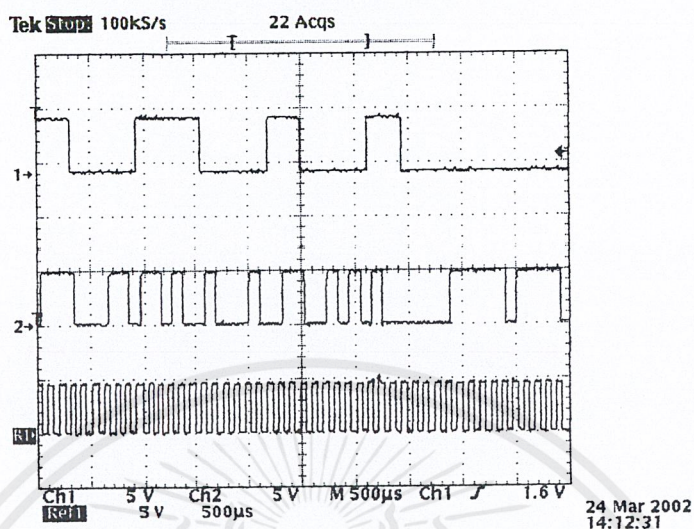
จากรูปที่ 3.2 เมื่อป้อนสัญญาณข้อมูลเข้าที่ขา 8 ของไมโครคอนโทรลเลอร์ และป้อนสัญญาณนาฬิกา 9.6 KHz แล้วทำการวัดสัญญาณที่ขา 15 ของไมโครคอนโทรลเลอร์



รูปที่ 4.5 Ch1 แสดงสัญญาณที่ใช้ควบคุมสวิตช์เพื่อเลือกสัญญาณ $1.307 \sin(\omega_c t)$ เทียบกับ Ch2 แสดงสัญญาณข้อมูล

4.2.6 สัญญาณที่ใช้ควบคุมสวิตช์เพื่อเลือกสัญญาณ $-0.541 \sin(\omega_c t)$

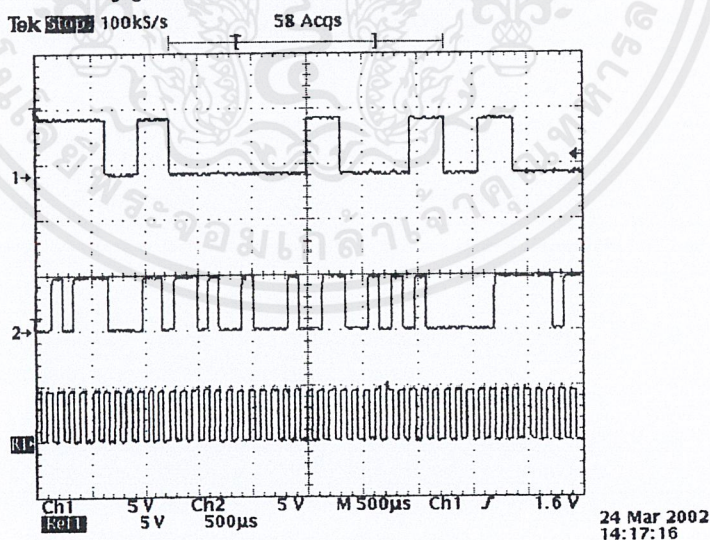
จากรูปที่ 3.2 เมื่อป้อนสัญญาณข้อมูลเข้าที่ขา 8 ของไมโครคอนโทรลเลอร์ และป้อนสัญญาณนาฬิกา 9.6 KHz แล้วทำการวัดสัญญาณที่ขา 16 ของไมโครคอนโทรลเลอร์



รูปที่ 4.6 Ch1 แสดงสัญญาณที่ใช้ควบคุมสวิตช์เพื่อเลือกสัญญาณ $0.541 \sin(\omega_c t)$ เทียบกับ Ch2 แสดงสัญญาณข้อมูล

4.2.7 สัญญาณที่ใช้ควบคุมสวิตช์เพื่อเลือกสัญญาณ $-1.307 \cos(\omega_c t)$

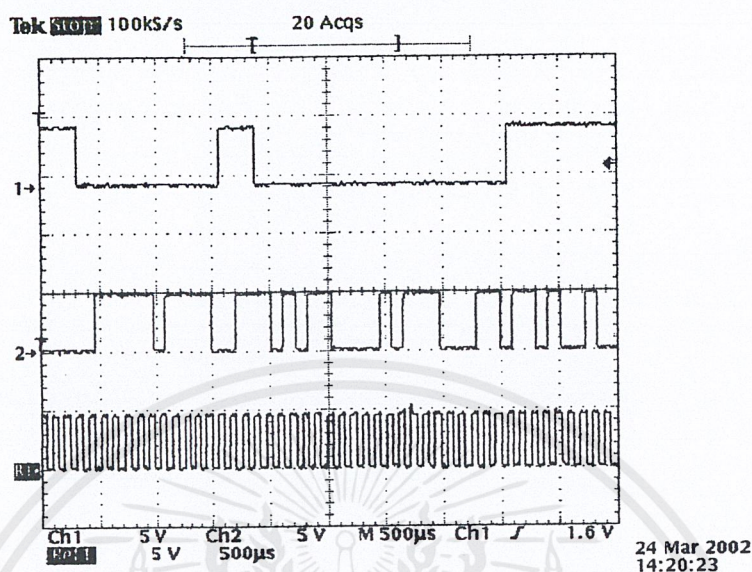
จากรูปที่ 3.2 เมื่อป้อนสัญญาณข้อมูลเข้าที่ขา 8 ของไมโครคอนโทรลเลอร์ และป้อนสัญญาณนาฬิกา 9.6 KHz แล้วทำการวัดสัญญาณที่ขา 17 ของไมโครคอนโทรลเลอร์



รูปที่ 4.7 Ch1 แสดงสัญญาณที่ใช้ควบคุมสวิตช์เพื่อเลือกสัญญาณ $-1.307 \cos(\omega_c t)$ เทียบกับ Ch2 แสดงสัญญาณข้อมูล

4.2.8 สัญญาณที่ใช้ควบคุมสวิตช์เพื่อเลือกสัญญาณ $0.541 \cos(\omega_c t)$

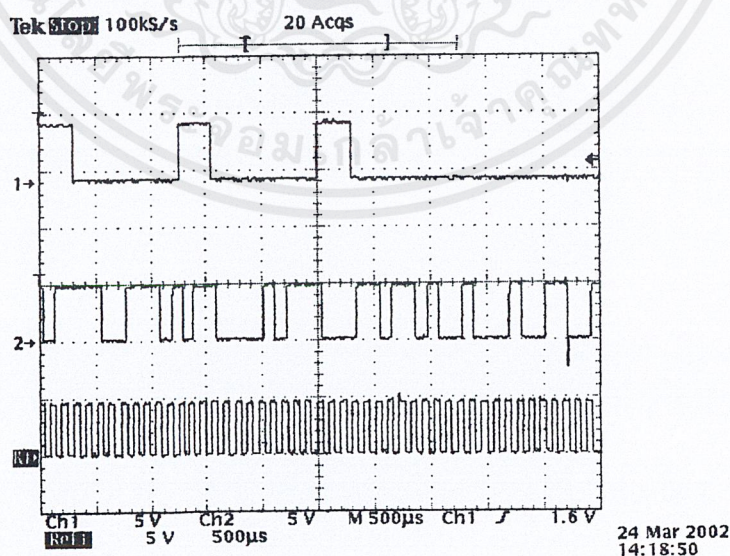
จากรูปที่ 3.2 เมื่อป้อนสัญญาณข้อมูลเข้าที่ขา 8 ของไมโครคอนโทรลเลอร์ และป้อนสัญญาณนาฬิกา 9.6 KHz แล้วทำการวัดสัญญาณที่ขา 18 ของไมโครคอนโทรลเลอร์



รูปที่ 4.8 Ch1 แสดงสัญญาณที่ใช้ควบคุมสวิตช์เพื่อเลือกสัญญาณ $0.541 \cos(\omega_c t)$ เทียบกับ Ch2 แสดงสัญญาณข้อมูล

4.2.9 สัญญาณที่ใช้ควบคุมสวิตช์เพื่อเลือกสัญญาณ $1.307 \cos(\omega_c t)$

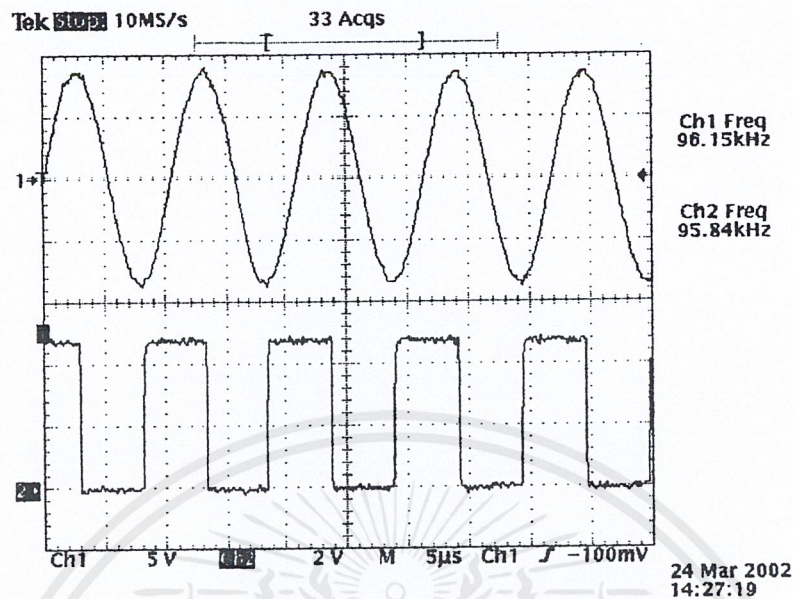
จากรูปที่ 3.2 เมื่อป้อนสัญญาณข้อมูลเข้าที่ขา 8 ของไมโครคอนโทรลเลอร์ และป้อนสัญญาณนาฬิกา 9.6 KHz แล้วทำการวัดสัญญาณที่ขา 19 ของไมโครคอนโทรลเลอร์



รูปที่ 4.9 Ch1 แสดงสัญญาณที่ใช้ควบคุมสวิตช์เพื่อเลือกสัญญาณ $1.307 \cos(\omega_c t)$ เทียบกับ Ch2 แสดงสัญญาณข้อมูล

4.2.10 สัญญาณพาหะ 96 KHz

จากรูปที่ 3.4 เมื่อป้อนสัญญาณนาฬิกา 9.6 KHz เข้าที่อินพุต และทำการสัญญาณที่เอาต์พุต

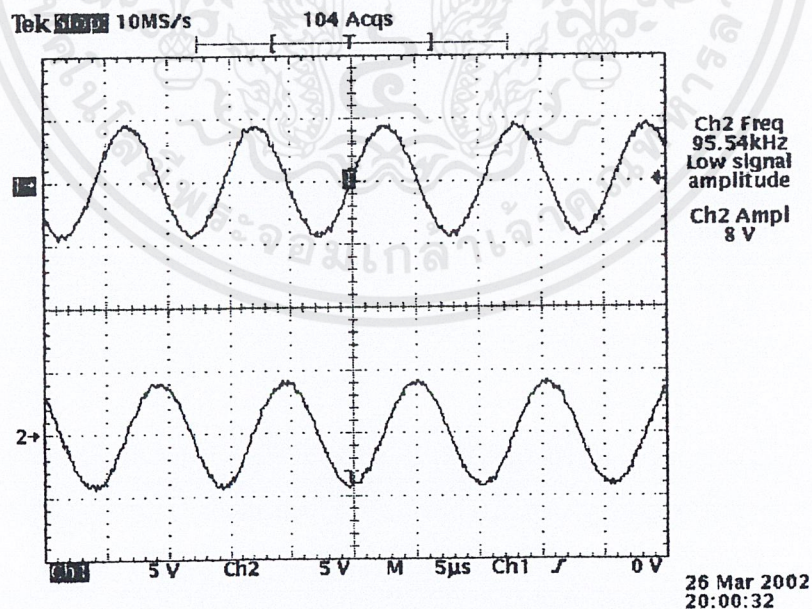


รูปที่ 4.10 Ch1 แสดงสัญญาณพาหะ 96 KHz ที่สร้างขึ้นเทียบกับ

Ch2 แสดงสัญญาณสี่เหลี่ยม 96 KHz จากเฟสล็อกลูป

4.1.11 สัญญาณพาหะที่เลื่อนเฟส

เมื่อนำสัญญาณพาหะที่สร้างได้ไปผ่านวงจรที่ 3.7 แล้วทำการปรับตัวต้านทานแล้วทำการวัดสัญญาณที่เอาต์พุต

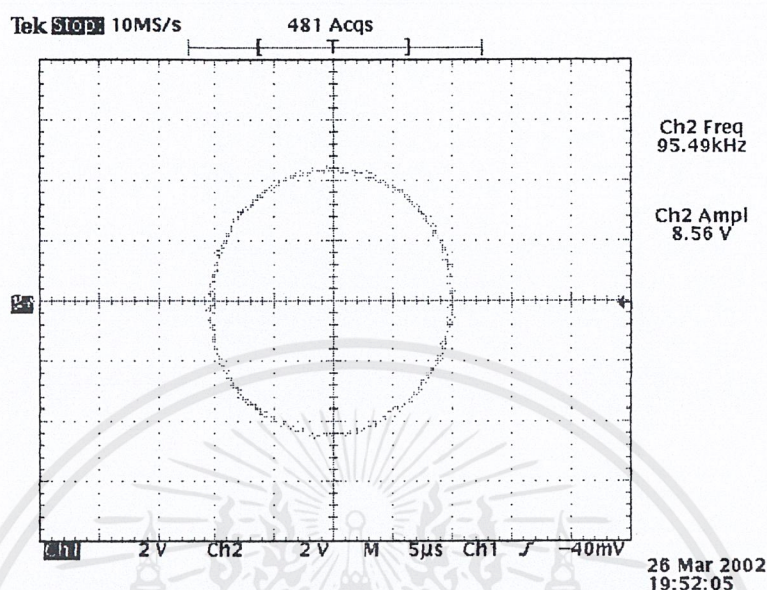


รูปที่ 4.11 Ch1 แสดงสัญญาณพาหะ 96 KHz เทียบกับ

Ch2 แสดงสัญญาณพาหะ 96 KHz ที่เลื่อนเฟสไป 90 องศา

4.1.12 สัญญาณพาหะที่เลื่อนเฟส

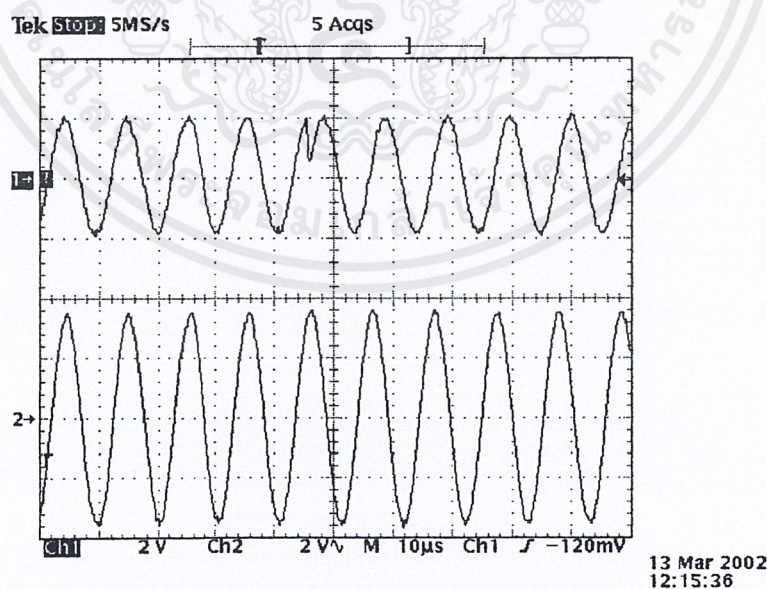
เมื่อนำสัญญาณพาหะที่สร้างได้ไปผ่านวงจรที่ 3.7 แล้วทำการปรับตัวต้านทานแล้วทำการวัดสัญญาณที่เอาต์พุต



รูปที่ 4.12 Ch1 แสดงสัญญาณพาหะ 96 KHz เทียบกับ
Ch2 แสดงสัญญาณพาหะ 96 KHz ที่เลื่อนเฟสไป 90 องศา เมื่อวัดแบบ X-Y โหมด

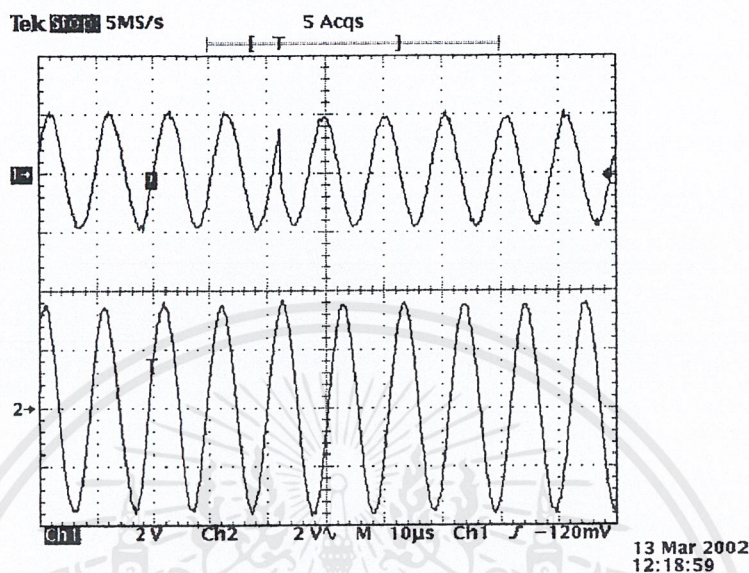
4.1.13 สัญญาณ 8-PSK

เมื่อนำสัญญาณเอาต์พุตจากไอซี DG442 มาผ่านวงจรรวมสัญญาณแล้วทำการวัดสัญญาณที่เอาต์พุต



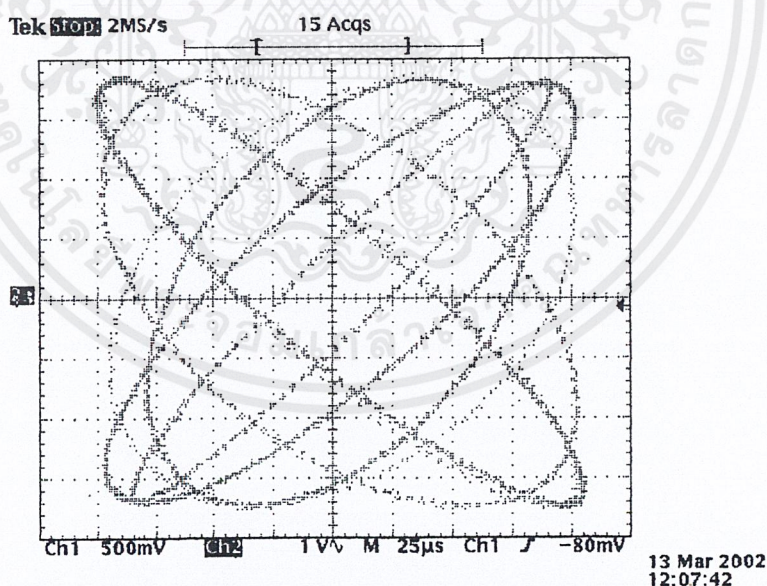
รูปที่ 4.13 Ch1 แสดงสัญญาณ 8-PSK เทียบกับ
Ch2 แสดงสัญญาณพาหะ 96 KHz

เมื่อนำสัญญาณเอาต์พุตจากไอซี DG442 มาผ่านวงจรรวมสัญญาณแล้วทำการวัด
สัญญาณที่เอาต์พุต



รูปที่ 4.14 Ch1 แสดงสัญญาณ 8-PSK เทียบกับ

Ch2 แสดงสัญญาณพาหะ 96 KHz

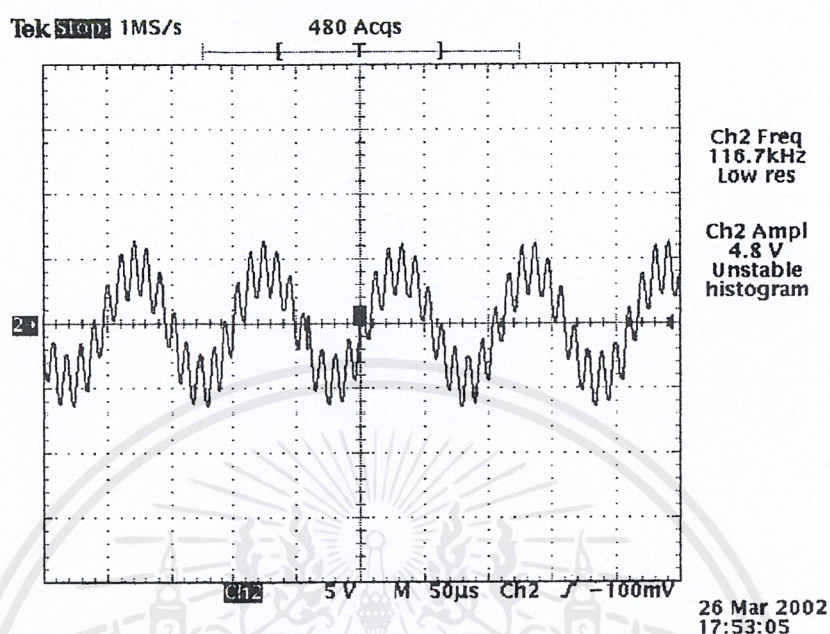


รูปที่ 4.15 Ch1 แสดงสัญญาณ 8-PSK เทียบกับ

Ch2 แสดงสัญญาณพาหะ 96 KHz เมื่อวัดแบบ X-Y โหมด

4.1.14 สัญญาณ 8-PSK เมื่อรวมกับสัญญาณนำร่อง

จากวงจรรูปที่ 3.9 เมื่อนำสัญญาณ 8-PSK มารวมกับสัญญาณนำร่อง

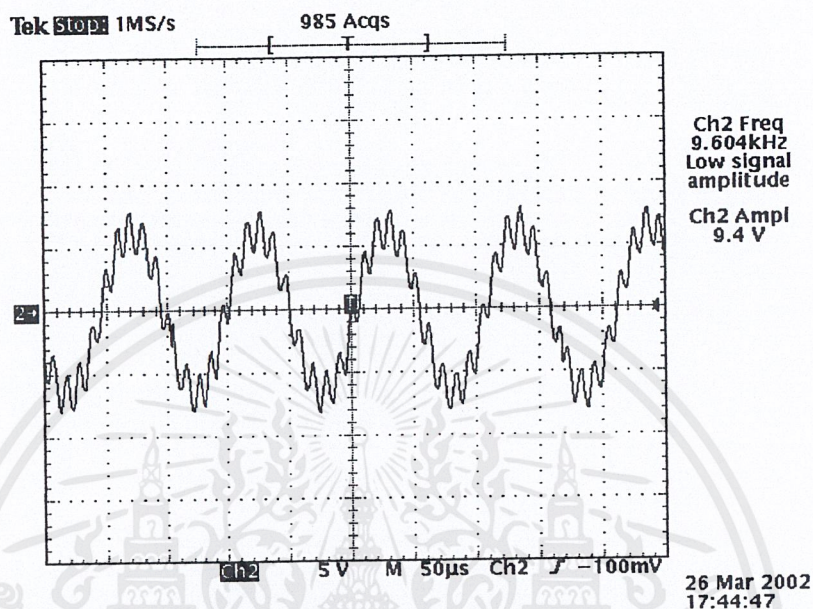


รูปที่ 4.16 แสดงสัญญาณ 8-PSK เมื่อนำมารวมกับสัญญาณนำร่อง

4.3 การทดลองและผลการทดลองทางด้านภาครับ

4.3.1 สัญญาณที่รับได้ที่ภาครับ

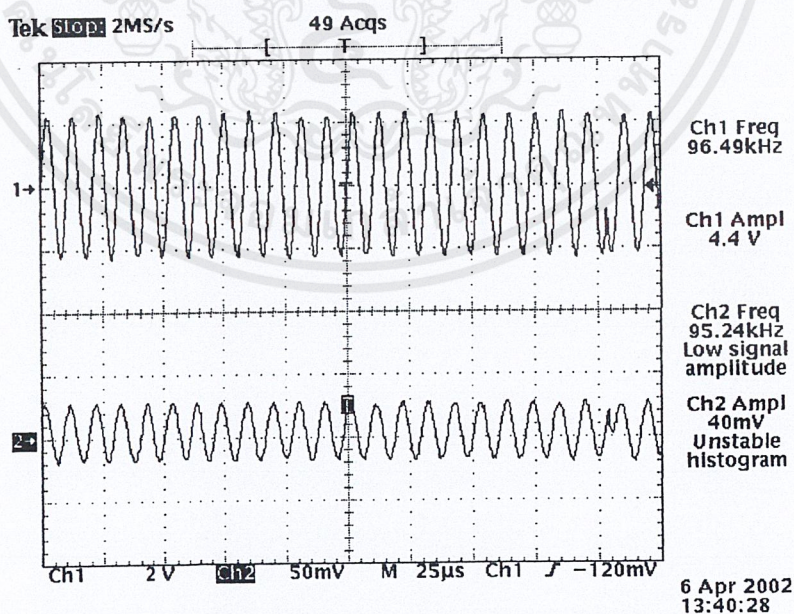
เมื่อทำการส่งสัญญาณที่มอดูเลทแล้วผ่านสายโคแอกเซียลและทำการวัดสัญญาณที่รับได้ที่ภาค
รับ



รูปที่ 4.17 แสดงสัญญาณที่รับได้ที่ภาครับ

4.3.2 สัญญาณ 8-PSK ที่รับได้ทางภาครับ

เมื่อนำสัญญาณจากรูปที่ได้จากรูปที่ 4.17 ผ่านวงจรกำจัดสัญญาณรบกวนในรูปที่ 3.14 จะได้
สัญญาณดังนี้

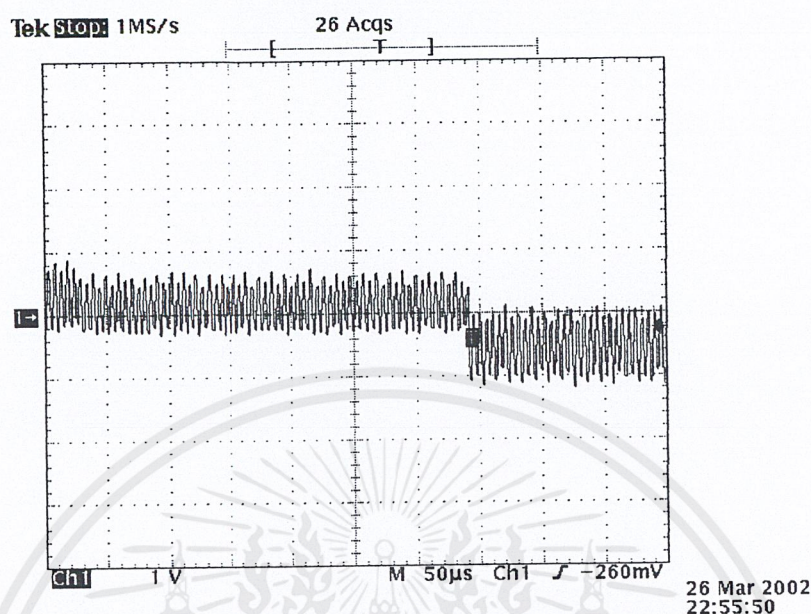


รูปที่ 4.18 ch1 แสดงสัญญาณ 8-PSK ที่ได้ทางภาคส่งเทียบกับ

ch2 แสดงสัญญาณ 8-PSK ที่ได้ทางภาครับ

4.3.3 สัญญาณที่ผ่านการคิมอดูเลต

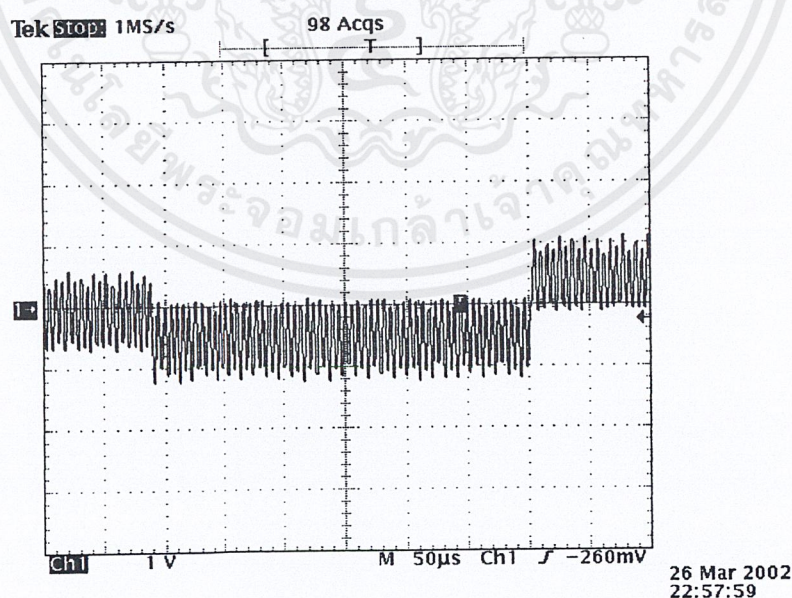
เมื่อนำสัญญาณ 8-PSK ที่รับได้เข้าสู่วงจรคิมอดูเลตรูปที่ 3.15 และป้อนสัญญาณพาหะเป็น $\cos(\omega_c t)$ และทำการขยายสัญญาณจะได้สัญญาณดังรูปที่ 4.19



รูปที่ 4.19 แสดงสัญญาณที่ผ่านการคิมอดูเลต

4.3.4 สัญญาณที่ผ่านการคิมอดูเลต

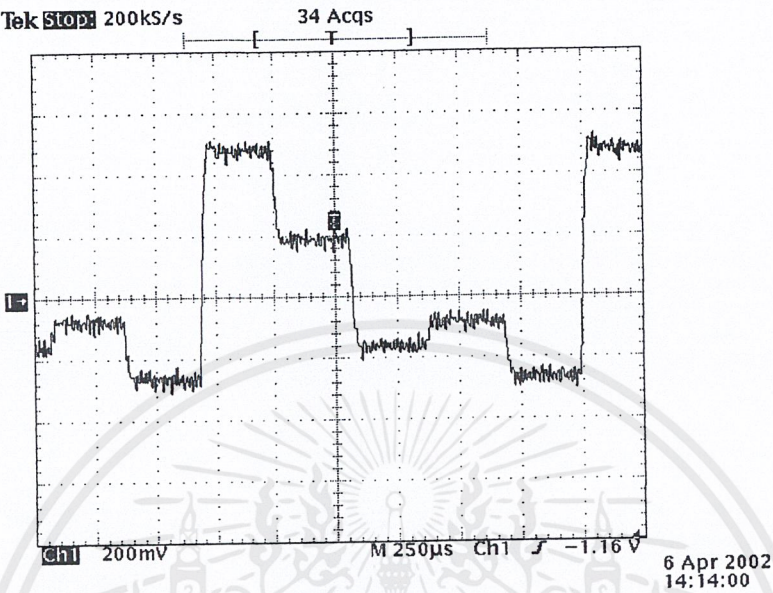
เมื่อนำสัญญาณ 8-PSK ที่รับได้เข้าสู่วงจรคิมอดูเลตรูปที่ 3.15 และป้อนสัญญาณพาหะเป็น $\sin(\omega_c t)$ และทำการขยายสัญญาณจะได้สัญญาณดังรูปที่ 4.20



รูปที่ 4.20 แสดงสัญญาณที่ผ่านการคิมอดูเลต

4.3.5 สัญญาณที่ผ่านวงจรกรองความถี่ต่ำเมื่อใช้สัญญาณ $\cos(\omega_c t)$

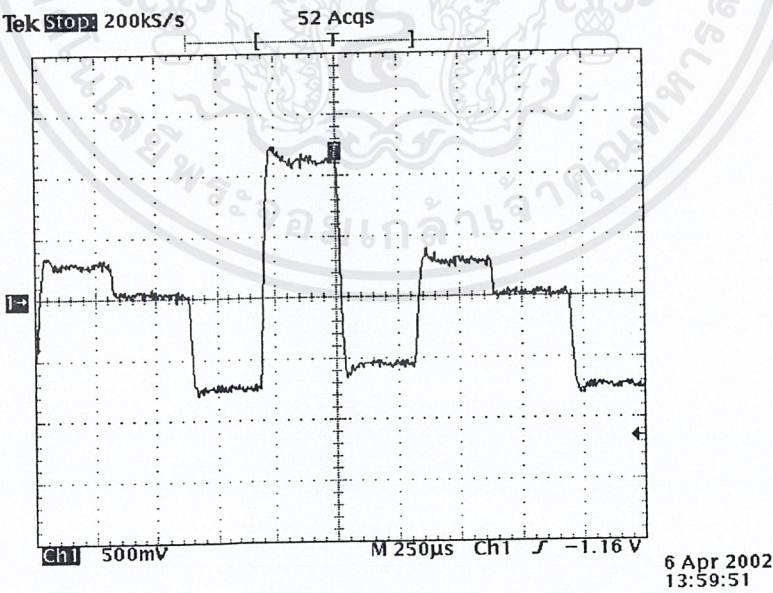
เมื่อนำสัญญาณที่ผ่านการมอดูเลตมาผ่านวงจรกรองความถี่ต่ำจะได้เอาต์พุตดังรูปที่ 4.21



รูปที่ 4.21 แสดงสัญญาณ 4 ระดับที่กู้ได้ เมื่อใช้สัญญาณพาหะเป็น $\cos(\omega_c t)$

4.3.6 สัญญาณที่ผ่านวงจรกรองความถี่ต่ำเมื่อใช้สัญญาณ $\sin(\omega_c t)$

เมื่อนำสัญญาณที่ผ่านการมอดูเลตมาผ่านวงจรกรองความถี่ต่ำจะได้เอาต์พุตดังรูปที่ 4.22

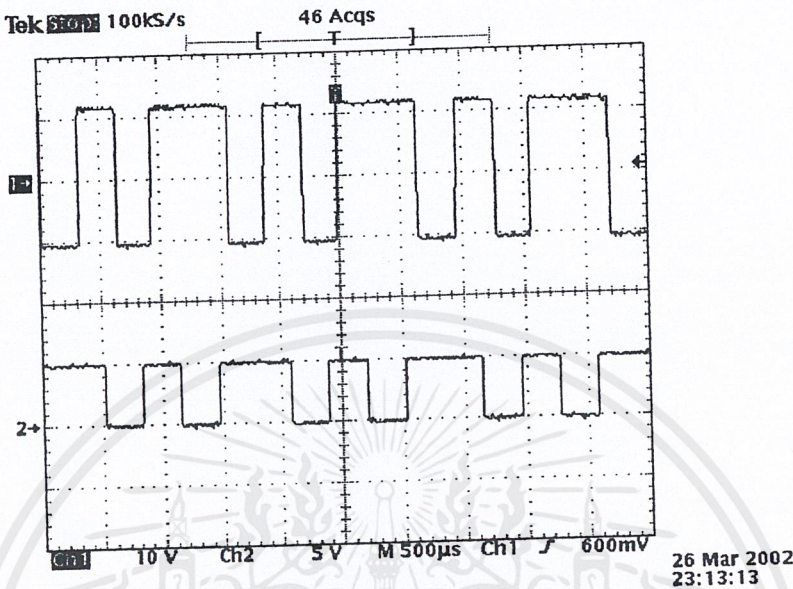


รูปที่ 4.22 แสดงสัญญาณ 4 ระดับที่กู้ได้ เมื่อใช้สัญญาณพาหะเป็น $\sin(\omega_c t)$

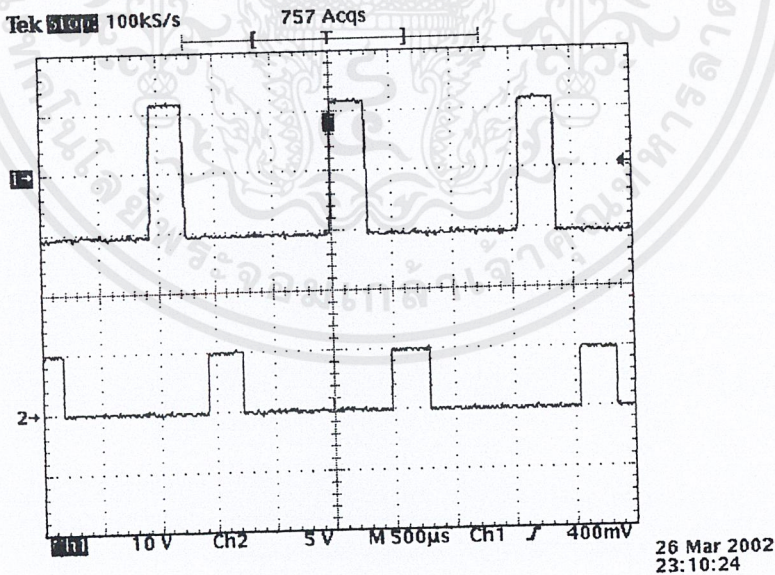
4.3.7 วงแปลงสัญญาณ 4 ระดับเป็น 2 บิต

เมื่อนำสัญญาณ 4 ระดับที่รู้ได้มาผ่านวงแปลงสัญญาณ 4 ระดับเป็น 2 บิต จะได้เอาต์พุตดัง

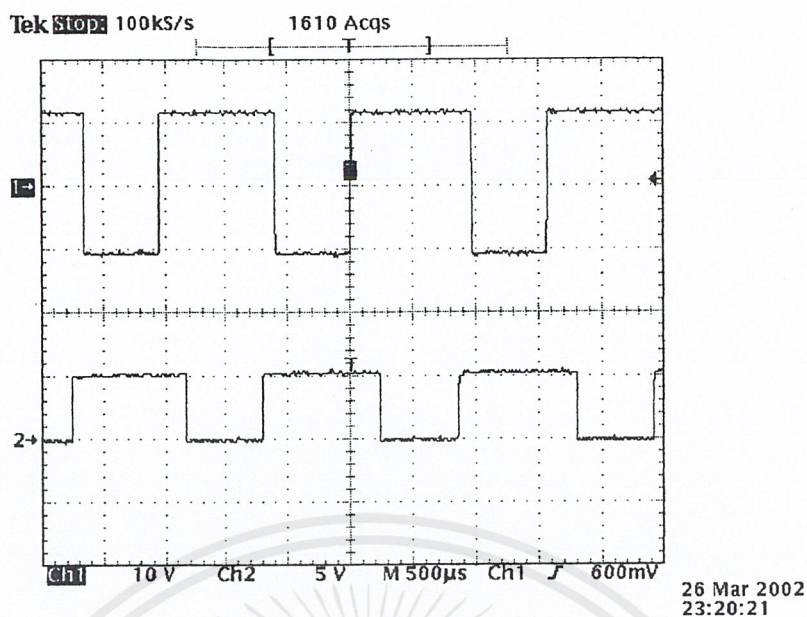
รูปที่ 4.23



รูปที่ 4.23 Ch1 แสดงสัญญาณบิต I ที่ภาครับเทียบกับ
Ch2 แสดงสัญญาณบิต I ที่ภาคส่ง



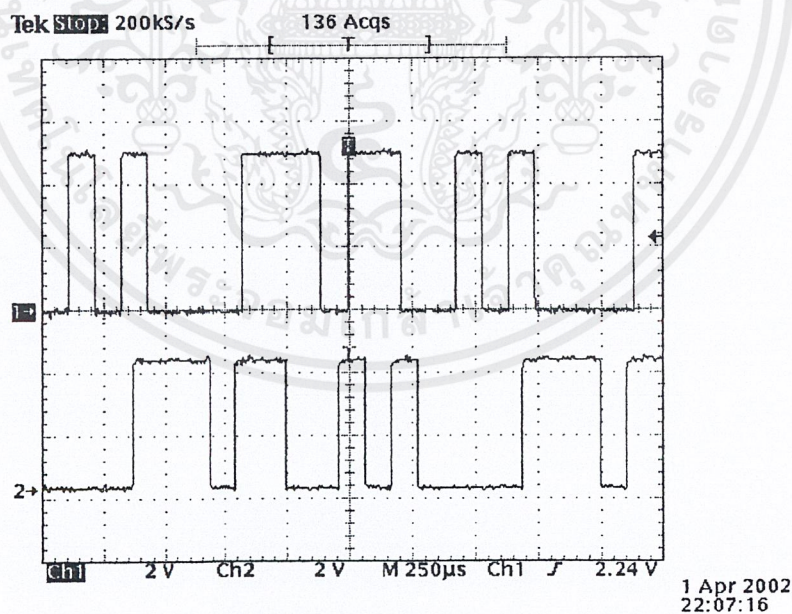
รูปที่ 4.24 Ch1 แสดงสัญญาณบิต C ที่ภาครับเทียบกับ
Ch2 แสดงสัญญาณบิต C ที่ภาคส่ง



รูปที่ 4.25 Ch1 แสดงสัญญาณบิต Q ที่ภาครับเทียบกับ
Ch2 แสดงสัญญาณบิต Q ที่ภาคส่ง

4.3.8 วงจรรวมสัญญาณดิจิทัล

เมื่อนำสัญญาณดิจิทัล 3 บิตมารวมกันจะได้เอาต์พุตดังรูป



รูปที่ 4.26 Ch1 แสดงสัญญาณข้อมูลทางด้านภาครับเทียบกับ
Ch2 แสดงสัญญาณข้อมูลทางด้านภาคส่ง

บทที่ 5

บทสรุปและบทวิจารณ์

ในส่วนของโครงการนี้ซึ่งเป็นโครงการที่เกี่ยวกับความถี่ ดังนั้นในการเลือกใช้งานความถี่เป็นสิ่งที่สำคัญมาก ส่วนในเรื่องของชิ้นงานนั้นได้มีการประยุกต์ใช้ไมโครคอนโทรลเลอร์ในการแยกบิตข้อมูล รวมบิตข้อมูล สร้างสัญญาณนาฬิกาและยังใช้สวิตช์อนาล็อกในการมอดูเลตแทนการใช้ ไอซีบาลานซ์มอดูเลเตอร์ MC-1496 ซึ่งทำให้ในส่วนของภาคส่งมีขนาดเล็กลงอีกและได้ผลดีเป็นที่น่าพอใจ ในส่วนของภาครับวงจรที่ทำหน้าที่กรองสัญญาณนั้นยังไม่สามารถทำได้ดีพอ อันเนื่องมาจากค่าอุปกรณ์ต่างที่ทำการคำนวณได้ในทางทฤษฎีนั้น ส่วนใหญ่จะนำมาใช้ในทางปฏิบัติได้ไม่ดีนักซึ่งทำให้คุณภาพในการกรองสัญญาณยัง ไม่ดีเพียงพอ ส่วนในส่วนต่างๆที่เหลือของภาครับนั้นสามารถทำงานได้ดีเป็นที่น่าพอใจ



หนังสืออ้างอิง

รศ. กฤษดา วิสวธีรานนท์. เรียน/เล่น/ใช้ ไอซีดีจิตอล. กรุงเทพฯ : บริษัท ซีเอ็ดดูเคชั่น จำกัด , 2536

ธัญชาติ พึ่งแสงโชติช่วง, วรรณแสงฉาย และ คงนัฐ รัตนรังสรรค์. Digital System Design . กรุงเทพฯ : มหาวิทยาลัยเทคโนโลยีมหานคร , 2542 .

Wayne Tomasi . Advanced Electronic Communications System , 3rd ed . New Jersey : Prentice-Hall , Inc. , 1994





เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

0000	ORG 0000H
0000 02 00 90	LJMP MAIN
0013	ORG 0013H
0013 78 0c	MOV R0,#0CH
0015 d8 fe	QQQ: DJNZ R0,QQQ
0017 a2 b4	MOV C,P3.4
0019 33	RLC A
001a d9 6f	DJNZ R1,RRR
001c a2 e0	MOV C,ACC.0
001e 92 b0	MOV P3.0,C
0020 b3	CPL C
0021 92 b7	MOV P3.7,C
0023 a2 e1	MOV C,ACC.1
0025 92 b1	MOV P3.1,C
0027 a2 e2	MOV C,ACC.2
0029 92 b2	MOV P3.2,C
002b 54 07	ANL A,#07H
002d b4 00 0b	CJNE A,#00H,AA
0030 78 05	MOV R0,#05H
0032 00	NOP
0033 d8 fe	DE: DJNZ R0,DE
0035 75 90 21	MOV P1,#21H
0038 02 00 89	LJMP RR
003b b4 01 0b	AA: CJNE A,#01H,BB
003e 78 04	MOV R0,#04H
0040 00	NOP
0041 d8 fe	DEL: DJNZ R0,DEL
0043 75 90 12	MOV P1,#12H
0046 02 00 89	LJMP RR
0049 b4 02 0b	BB: CJNE A,#02H,CC
004c 78 03	MOV R0,#03H
004e 00	NOP
004f d8 fe	DELA: DJNZ R0,DELA

ภาคผนวกที่ 1 โปรแกรมจัดกลุ่มข้อมูลและควบคุมสวิตช์

0051	75 90 24		MOV P1,#24H
0054	02 00 89		LJMP RR
0057	b4 03 0b	CC:	CJNE A,#03H,DD
005a	78 02		MOV R0,#02H
005c	00		NOP
005d	d8 fe	DELAY:	DJNZ R0,DELAY
005f	75 90 18		MOV P1,#18H
0062	02 00 89		LJMP RR
0065	b4 04 0a	DD:	CJNE A,#04H,EE
0068	00		NOP
0069	00		NOP
006a	00		NOP
006b	00		NOP
006c	75 90 81		MOV P1,#81H
006f	02 00 89		LJMP RR
0072	b4 05 08	EE:	CJNE A,#05H,FF
0075	00		NOP
0076	00		NOP
0077	75 90 42		MOV P1,#42H
007a	02 00 89		LJMP RR
007d	b4 06 06	FF:	CJNE A,#06H,GG
0080	75 90 84		MOV P1,#84H
0083	02 00 89		LJMP RR
0086	75 90 48	GG:	MOV P1,#48H
0089	79 03	RR:	MOV R1,#03H
008b	32	RRR:	RETI
0090			ORG 0090H
0090	75 a8 84	MAIN:	MOV IE,#84H
0093	79 03		MOV R1,#03H
0095	d2 b4		SETB P3.4
0097	d2 8a		SETB IT1
0099	80 fe		SJMP \$
0000			END

ภาคผนวกที่ 1 โปรแกรมจัดกลุ่มข้อมูลและควบคุมสวิทช์ (ต่อ)


```

0000          ORG 0000H
0000 02 00 50          LJMP MAIN
0013          ORG 0013H
0013 19              DEC R1
0014 b9 02 0a          CJNE R1,#02H,AAA
0017 7a 32              MOV R2,#32H
0019 da fe          QQQ: DJNZ R2,QQQ
001b a2 04              MOV C,04H
001d 92 b0              MOV P3.0,C
001f 01 3a              AJMP CCC
0021 b9 01 0a          AAA: CJNE R1,#01H,BBB
0024 7a 31              MOV R2,#31H
0026 da fe          ZZZ: DJNZ R2,ZZZ
0028 a2 03              MOV C,03H
002a 92 b0              MOV P3.0,C
002c 01 3a              AJMP CCC
002e 7a 30          BBB: MOV R2,#30H
0030 da fe          KKK: DJNZ R2,KKK
0032 a2 02              MOV C,02H
0034 92 b0              MOV P3.0,C
0036 79 03              MOV R1,#03H
0038 a6 90              MOV @R0,P1
003a 32              CCC: RETI
0050          ORG 0050H
0050 75 a8 84          MAIN: MOV IE,#84H
0053 79 03              MOV R1,#03H
0055 78 20              MOV R0,#20H
0057 d2 94              SETB P1.4
0059 d2 93              SETB P1.3
005b d2 92              SETB P1.2
005d d2 8a              SETB IT1
005f 80 fe              SJMP $
0000          END

```

ภาคผนวกที่ 2 โปรแกรมการแปลงบิตขนาน 2 บิต เป็นข้อมูลอนุกรม

MAXIM

Improved, Quad, SPST Analog Switches

General Description

Maxim's redesigned DG411/DG412/DG413 analog switches now feature low on-resistance matching between switches (3Ω max) and guaranteed on-resistance flatness over the signal range ($\Delta 4\Omega$ max). These low on-resistance switches conduct equally well in either direction. They guarantee low charge injection, low power consumption, and an ESD tolerance of 2000V minimum per Method 3015.7. The new design offers lower off leakage current over temperature (less than 5nA at +85°C).

The DG411/DG412/DG413 are quad, single-pole/single-throw (SPST) analog switches. The DG411 is normally closed (NC), and the DG412 is normally open (NO). The DG413 has two NC switches and two NO switches. Switching times are less than 150ns max for t_{ON} and less than 100ns max for t_{OFF} . These devices operate from a single +10V to +30V supply, or bipolar $\pm 4.5V$ to $\pm 20V$ supplies. Maxim's improved DG411/DG412/DG413 are fabricated with a 44V silicon-gate process.

Applications

Sample-and-Hold Circuits Communication Systems
Test Equipment Battery-Operated Systems
Heads-Up Displays PBX, PABX
Guidance & Control Systems Audio Signal Routing
Military Radios

New Features

- ◆ Plug-In Upgrade for Industry-Standard DG411/DG412/DG413
- ◆ Improved $r_{DS(ON)}$ Match Between Channels (3Ω max)
- ◆ Guaranteed $r_{FLAT(ON)}$ Over Signal Range ($\Delta 4\Omega$)
- ◆ Improved Charge Injection (10pC max)
- ◆ Improved Off Leakage Current Over Temperature (<5nA at +85°C)
- ◆ Withstand Electrostatic Discharge (2000V min) per Method 3015.7

Existing Features

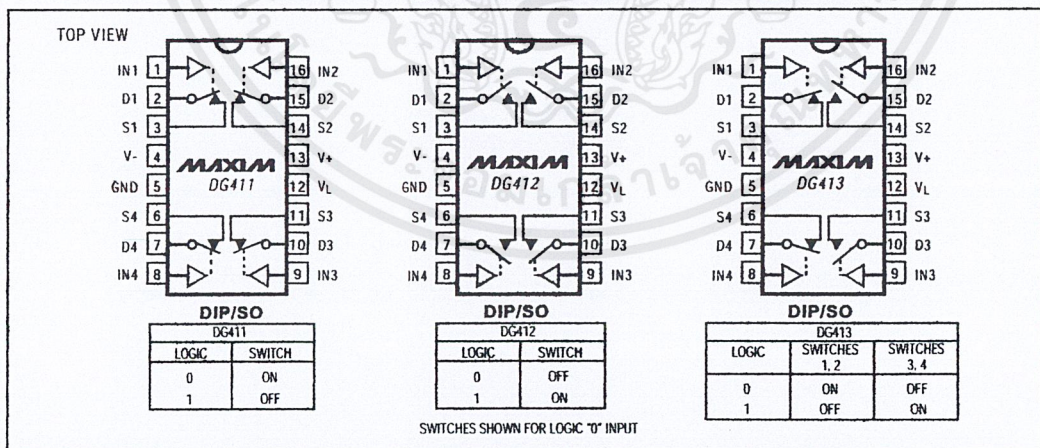
- ◆ Low $r_{DS(ON)}$ (35Ω max)
- ◆ Single-Supply Operation +10V to +30V
- ◆ Bipolar-Supply Operation $\pm 4.5V$ to $\pm 20V$
- ◆ Low Power Consumption ($35\mu W$ max)
- ◆ Rail-to-Rail Signal Handling
- ◆ TTL/CMOS-Logic Compatible

Ordering Information

PART	TEMP. RANGE	PIN-PACKAGE
DG411CJ	0°C to +70°C	16 Plastic DIP
DG411CY	0°C to +70°C	16 Narrow SO
DG411C/D	0°C to +70°C	Dice*

Ordering Information continued at end of data sheet.
*Contact factory for dice specifications.

Pin Configurations/Functional Diagrams/Truth Tables



MAXIM

Maxim Integrated Products 1

Call toll free 1-800-998-8800 for free samples or literature.

DG411/DG412/DG413

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Improved, Quad,
SPST Analog Switches

ABSOLUTE MAXIMUM RATINGS

Voltage Referenced to V-
V+44V
GND25V
VL(GND -0.3V) to (V+ +0.3V)
Digital Inputs, VS, VD (Note 1).....(V- -2V) to (V+ +2V) or 30mA
(whichever occurs first)
Continuous Current (any terminal).....30mA
Peak Current
(pulsed at 1ms, 10% duty cycle max)100mA

Continuous Power Dissipation (TA = +70°C)
16-Pin Plastic DIP (derate 10.53mW/°C above +70°C) .842mW
16-Pin Narrow SO (derate 8.70mW/°C above +70°C) ..696mW
16-Pin CERDIP (derate 10.00mW/°C above +70°C)800mW
Operating Temperature Ranges
DG41_C_0°C to +70°C
DG41_D_-40°C to +85°C
DG41_AK_-55°C to +125°C
Storage Temperature Range-65°C to +150°C
Lead Temperature (soldering, 10sec)+300°C

Note 1: Signals on S, D, or IN exceeding V+ or V- are clamped by internal diodes. Limit forward current to maximum current rating.

Stresses beyond those listed under "Absolute Maximum Ratings" may cause permanent damage to the device. These are stress ratings only, and functional operation of the device at these or any other conditions beyond those indicated in the operational sections of the specifications is not implied. Exposure to absolute maximum rating conditions for extended periods may affect device reliability.

ELECTRICAL CHARACTERISTICS—Dual Supplies

(V+ = 15V, V- = -15V, VL = 5V, GND = 0V, VINH = 2.4V, VINL = 0.8V, TA = TMIN to TMAX, unless otherwise noted.)

PARAMETER	SYMBOL	CONDITIONS			MIN	TYP (Note 2)	MAX	UNITS
SWITCH								
Analog Signal Range	VANALOG	(Note 3)			-15		15	V
Drain-Source On-Resistance	rDS(ON)	V+ = 13.5V, V- = -13.5V, VD = ±8.5V, IS = -10mA	TA = +25°C	C, D	17		45	Ω
				A	17		30	
			TA = TMIN to TMAX				45	
On-Resistance Match Between Channels (Note 4)	ΔrDS(ON)	V+ = 15V, V- = -15V, VD = ±10V, IS = -10mA	TA = +25°C				3	Ω
			TA = TMIN to TMAX				5	
On-Resistance Flatness (Note 4)	rFLAT(ON)	V+ = 15V, V- = -15V, VD = ±5V, 0V, IS = -10mA	TA = +25°C				4	Ω
			TA = TMIN to TMAX				6	
Source-Off Leakage Current (Note 7)	IS(OFF)	V+ = 16.5V, V- = -16.5V, VD = ±15.5V, VS = ±15.5V	TA = +25°C	C, D, A	-0.25	-0.10	0.25	nA
			TA = TMIN to TMAX	C, D	-5		5	
				A	-10		10	
Drain-Off Leakage Current (Note 7)	ID(OFF)	V+ = 16.5V, V- = -16.5V, VD = ±15.5V, VS = ±15.5V	TA = +25°C	C, D, A	-0.25	-0.10	0.25	nA
			TA = TMIN to TMAX	C, D	-5		5	
				A	-10		10	
Drain-On Leakage Current (Note 7)	ID(ON) + IS(ON)	V+ = 16.5V, V- = -16.5V, VD = ±15.5V, VS = ±15.5V	TA = +25°C	C, D, A	-0.4	-0.1	0.4	nA
			TA = TMIN to TMAX	C, D	-20		20	
				A	-40		40	

Improved, Quad,
SPST Analog Switches

ELECTRICAL CHARACTERISTICS—Dual Supplies (continued)

(V+ = 15V, V- = -15V, VL = 5V, GND = 0V, VINH = 2.4V, VINL = 0.8V, TA = TMIN to TMAX, unless otherwise noted.)

PARAMETER	SYMBOL	CONDITIONS		MIN	TYP (Note 2)	MAX	UNITS
INPUT							
Input Current with Input Voltage High	I _{INH}	I _N = 2.4V, all others = 0.8V		-0.500	0.005	0.500	μA
Input Current with Input Voltage Low	I _{INL}	I _N = 0.8V, all others = 2.4V		-0.500	0.005	0.500	μA
SUPPLY							
Power-Supply Range				±4.5		±20.0	V
Positive Supply Current	I ⁺	All channels on or off, V ⁺ = 16.5V, V ⁻ = -16.5V, V _{IN} = 0V or 5V	T _A = +25°C	-1	0.0001	1	μA
			T _A = T _{MIN} to T _{MAX}	-5		5	
Negative Supply Current	I ⁻	All channels on or off, V ⁺ = 16.5V, V ⁻ = -16.5V, V _{IN} = 0V or 5V	T _A = +25°C	-1	-0.0001	1	μA
			T _A = T _{MIN} to T _{MAX}	-5		5	
Logic Supply Current	I _L	All channels on or off, V ⁺ = 16.5V, V ⁻ = -16.5V, V _{IN} = 0V or 5V	T _A = +25°C	-1	0.0001	1	μA
			T _A = T _{MIN} to T _{MAX}	-5		5	
Ground Current	I _{GND}	All channels on or off, V ⁺ = 16.5V, V ⁻ = -16.5V, V _{IN} = 0V or 5V	T _A = +25°C	-1	-0.0001	1	μA
			T _A = T _{MIN} to T _{MAX}	-5		5	
DYNAMIC							
Turn-On Time	t _{ON}	V _D = ±10V, Figure 2	T _A = +25°C		110	175	ns
			T _A = T _{MIN} to T _{MAX}			220	
Turn-Off Time	t _{OFF}	V _D = ±10V, Figure 2	T _A = +25°C		100	145	ns
			T _A = T _{MIN} to T _{MAX}			160	
Break-Before-Make Time Delay	t _D	DG413 only, R _L = 300Ω, C _L = 35pF, Figure 3	T _A = +25°C		25		ns
Charge Injection (Note 3)	Q	C _L = 1.0nF, V _{GEN} = 0V, R _{GEN} = 0Ω, Figure 4	T _A = +25°C		5	10	pC
Off Isolation (Note 5)	OIRR	R _L = 50Ω, C _L = 5pF, f = 1MHz, Figure 5	T _A = +25°C		68		dB
Crosstalk (Note 6)		R _L = 50Ω, C _L = 5pF, f = 1MHz, Figure 6	T _A = +25°C		85		dB
Source-Off Capacitance	C _{S(OFF)}	f = 1MHz, Figure 7	T _A = +25°C		9		pF
Drain-Off Capacitance	C _{D(OFF)}	f = 1MHz, Figure 7	T _A = +25°C		9		pF
Drain-On Capacitance	C _{D(ON)} + C _{S(ON)}	f = 1MHz, Figure 8	T _A = +25°C		35		pF

Improved, Quad,
SPST Analog Switches

ELECTRICAL CHARACTERISTICS—Single Supply

(V+ = 12V, V- = 0V, VL = 5V, GND = 0V, VINH = 2.4V, VINL = 0.8V, TA = TMIN to TMAX, unless otherwise noted.)

PARAMETER	SYMBOL	CONDITIONS		MIN	TYP (Note 2)	MAX	UNITS
SWITCH							
Analog Signal Range	VANALOG	(Note 3)		0		12	V
Drain-Source On Resistance	rDS(ON)	V+ = 10.8V, VD = 3.8V, IS = -10mA	TA = +25°C	40	80	Ω	
			TA = TMIN to TMAX		100		
SUPPLY							
Positive Supply Current	I+	All channels on or off, V+ = 13.2V, VIN = 0V or 5V	TA = +25°C	-1	0.0001	1	μA
			TA = TMAX	-5		5	
Negative Supply Current	I-	All channels on or off, V+ = 13.2V, VIN = 0V or 5V	TA = +25°C	-1	0.0001	1	μA
			TA = TMAX	-5		5	
Logic Supply Current	IL	All channels on or off, VL = 5.25V, VIN = 0V or 5V	TA = +25°C	-1	0.0001	1	μA
			TA = TMAX	-5		5	
Ground Current	IGND	All channels on or off, VL = 5.25V, VIN = 0V or 5V	TA = +25°C	-1	-0.0001	1	μA
			TA = TMAX	-5		5	
DYNAMIC							
Turn-On Time	tON	VS = 8V, Figure 2	TA = +25°C		175	250	ns
			TA = TMIN to TMAX			315	
Turn-Off Time	tOFF	VS = 8V, Figure 2	TA = +25°C		95	125	ns
			TA = TMIN to TMAX			140	
Break-Before-Make Time Delay	tD	DG413 only, RL = 300Ω, CL = 35pF, Figure 3	TA = +25°C		25		ns
Charge Injection (Note 3)	Q	CL = 1.0nF, VGEN = 0V, RGEN = 0V, Figure 8	TA = +25°C		5	10	pC

Note 2: The algebraic convention, where the most negative value is a minimum and the most positive value a maximum, is used in this data sheet.

Note 3: Guaranteed by design.

Note 4: ΔRON = ΔRON max - ΔRON min. On-resistance match between channels and flatness are guaranteed only with bipolar-supply operation. Flatness is defined as the difference between the maximum and minimum value of on resistance as measured at the extremes of the specified analog signal range.

Note 5: Off Isolation = 20 log (Vp/Vs), Vp = output, Vs = input to off switch. See Figure 5.

Note 6: Between any two switches. See Figure 6.

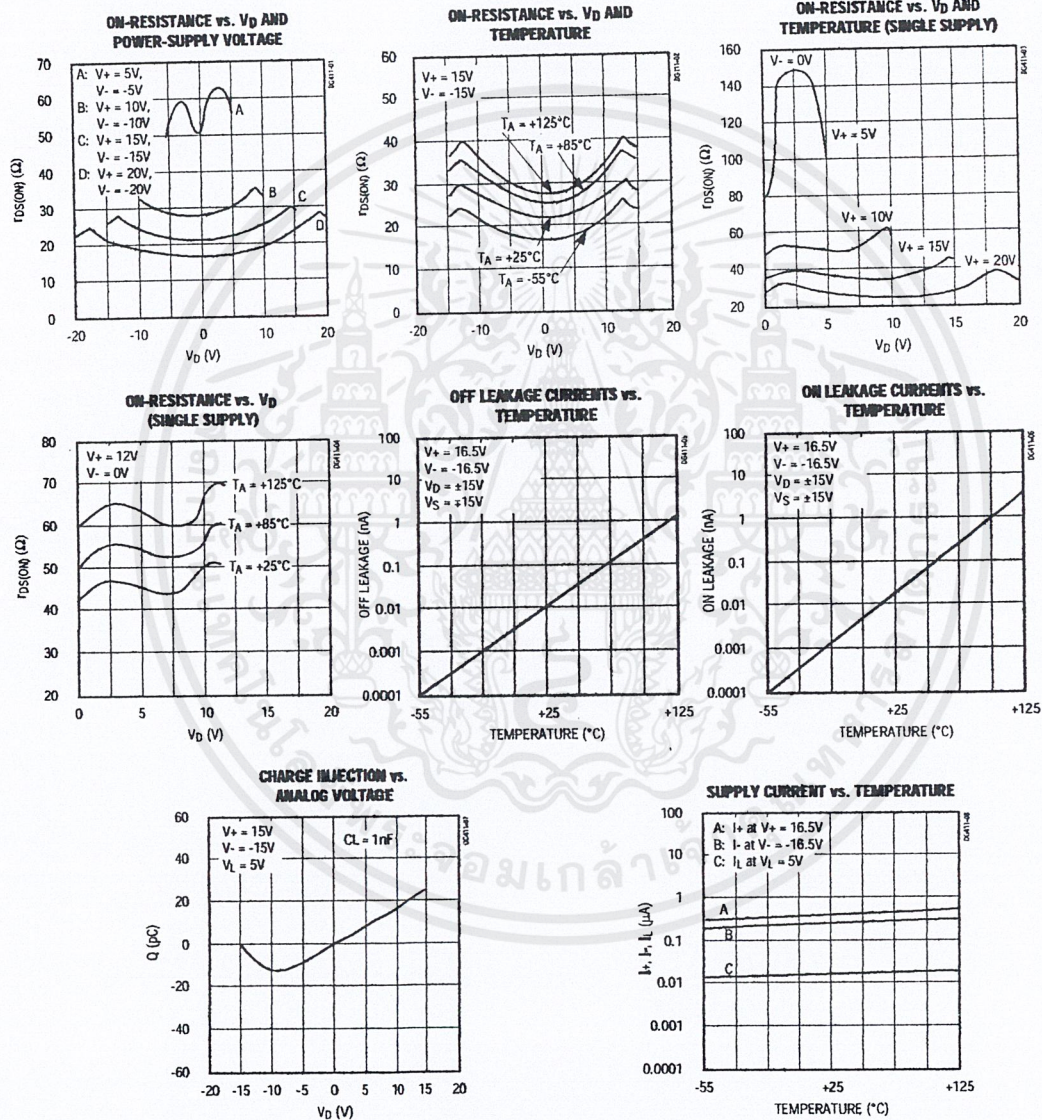
Note 7: Leakage parameters IS(OFF), ID(OFF), and ID(ON) are 100% tested at the maximum rated hot temperature and guaranteed by correlation at +25°C.

Improved, Quad, SPST Analog Switches

Typical Operating Characteristics

($T_A = +25^\circ\text{C}$, unless otherwise noted.)

DG411/DG412/DG413



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Improved, Quad, SPST Analog Switches

Pin Description

PIN	NAME	FUNCTION
1, 16, 9, 8	IN1-IN4	Inputs
2, 15, 10, 7	D1-D4	Analog-Switch Drain Terminal
3, 14, 11, 6	S1-S4	Analog-Switch Source Terminal
4	V-	Negative Supply-Voltage Input
5	GND	Ground
12	V _L	Logic Supply Voltage
13	V+	Positive Supply-Voltage Input—connected to substrate

Applications Information

Operation with Supply Voltages Other Than 15V

Using supply voltages other than 15V will reduce the analog signal range. The DG411/DG412/DG413 switches operate with $\pm 4.5\text{V}$ to $\pm 20\text{V}$ bipolar supplies or with a $+10\text{V}$ to $+30\text{V}$ single supply; connect V- to 0V when operating with a single supply. Also, all device types can operate with unbalanced supplies such as $+24\text{V}$ and -5V . V_L must be connected to $+5\text{V}$ to be TTL compatible, or to V+ for CMOS-logic level inputs. The *Typical Operating Characteristics* graphs show typical on-resistance with $\pm 15\text{V}$, $\pm 10\text{V}$, and $\pm 5\text{V}$ supplies. (Switching times increase by a factor of two or more for operation at $\pm 5\text{V}$.)

Overvoltage Protection

Proper power-supply sequencing is recommended for all CMOS devices. Do not exceed the absolute maximum ratings because stresses beyond the listed ratings may cause permanent damage to the devices. Always sequence V+ on first, followed by V_L, V-, and logic inputs. If power-supply sequencing is not possible, add two small, external signal diodes in series with supply pins for overvoltage protection (Figure 1).

Adding diodes reduces the analog signal range to 1V below V+ and 1V below V-, without affecting low switch resistance and low leakage characteristics. Device operation is unchanged, and the difference between V+ and V- should not exceed $+44\text{V}$.

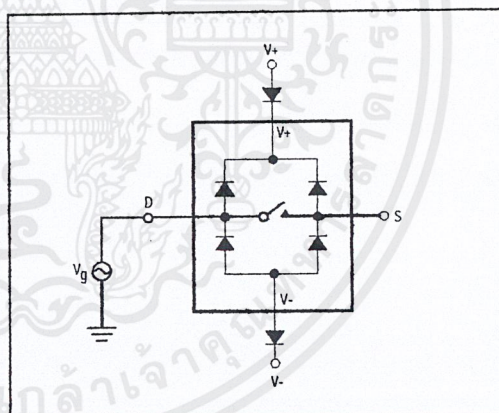


Figure 1. Overvoltage Protection Using External Blocking Diodes

Improved, Quad, SPST Analog Switches

Timing Diagrams/Test Circuits

DG411/DG412/DG413

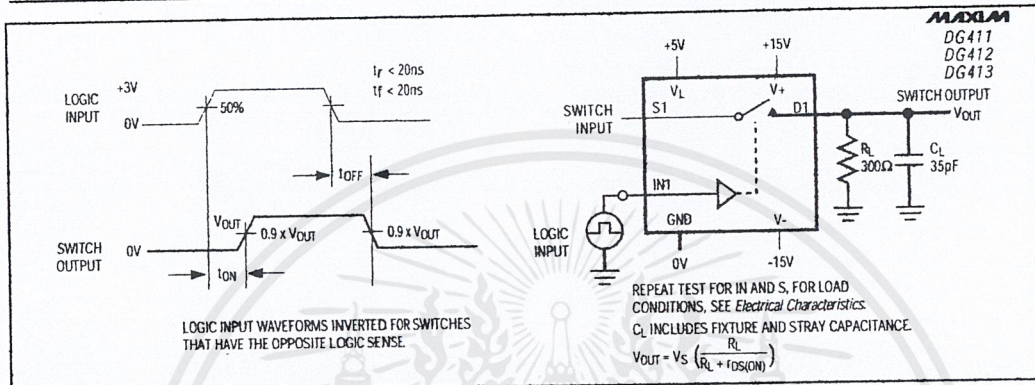


Figure 2. Switching-Time

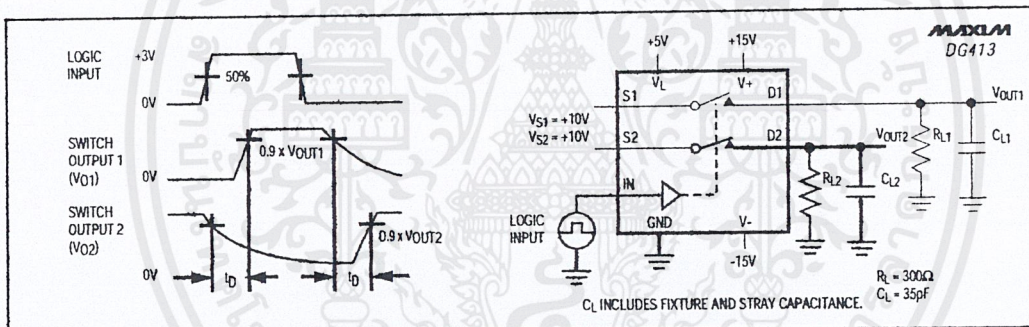


Figure 3. DG413 Break-Before-Make

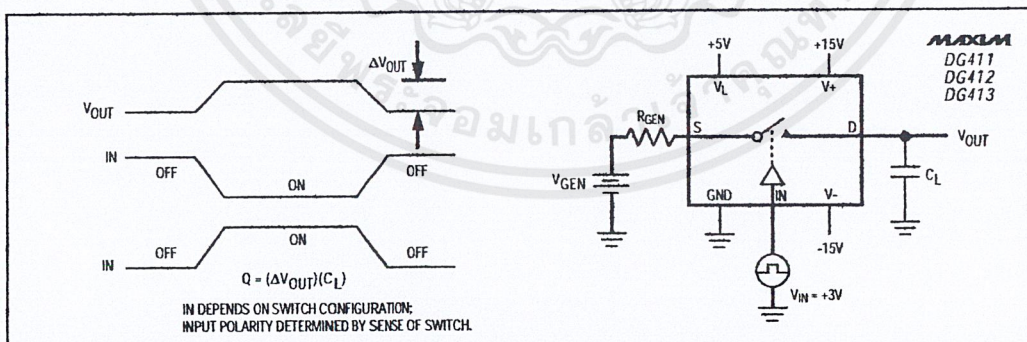


Figure 4. Charge-Injection

MAXIM

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Improved, Quad, SPST Analog Switches

Timing Diagrams/Test Circuits (continued)

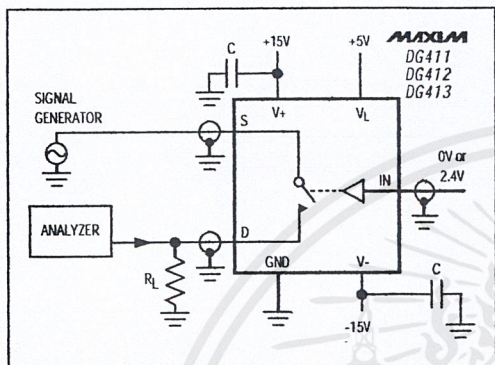


Figure 5. Off-Isolation

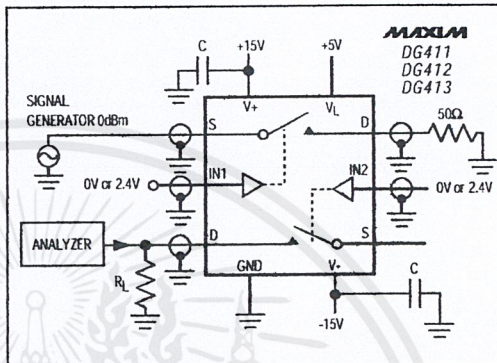


Figure 6. Crosstalk

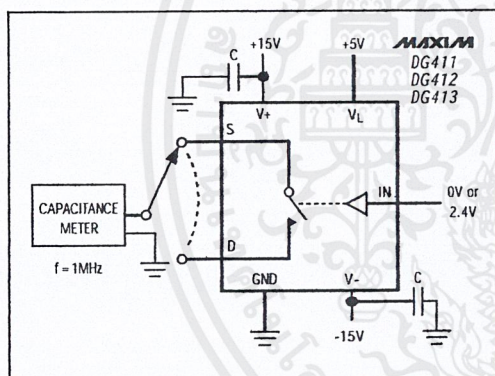


Figure 7. Channel-Off Capacitance

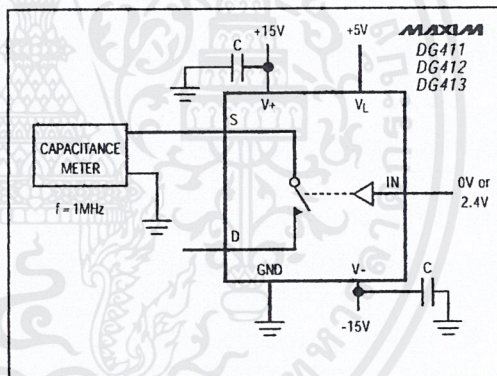


Figure 8. Channel-On Capacitance

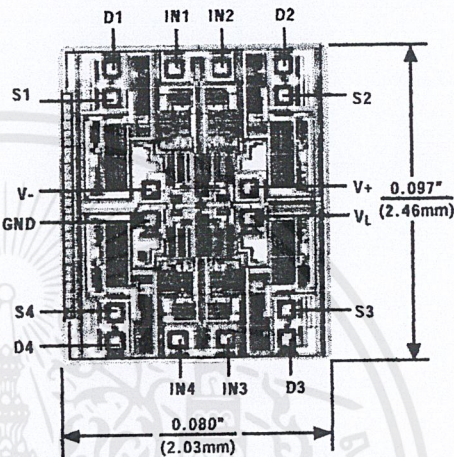
Improved, Quad, SPST Analog Switches

Ordering Information (continued)

PART	TEMP. RANGE	PIN-PACKAGE
DG411DJ	-40°C to +85°C	16 Plastic DIP
DG411DY	-40°C to +85°C	16 Narrow SO
DG411DK	-40°C to +85°C	16 CERDIP
DG411AK	-55°C to +125°C	16 CERDIP**
DG412CJ	0°C to +70°C	16 Plastic DIP
DG412CY	0°C to +70°C	16 Narrow SO
DG412C/D	0°C to +70°C	Dice*
DG412DJ	-40°C to +85°C	16 Plastic DIP
DG412DY	-40°C to +85°C	16 Narrow SO
DG412DK	-40°C to +85°C	16 CERDIP
DG412AK	-55°C to +125°C	16 CERDIP**
DG413CJ	0°C to +70°C	16 Plastic DIP
DG413CY	0°C to +70°C	16 Narrow SO
DG413C/D	0°C to +70°C	Dice*
DG413DJ	-40°C to +85°C	16 Plastic DIP
DG413DY	-40°C to +85°C	16 Narrow SO
DG413DK	-40°C to +85°C	16 CERDIP
DG413AK	-55°C to +125°C	16 CERDIP**

* Contact factory for dice specifications.
 **Contact factory for availability and processing to MIL-STD-883B.

Chip Topography

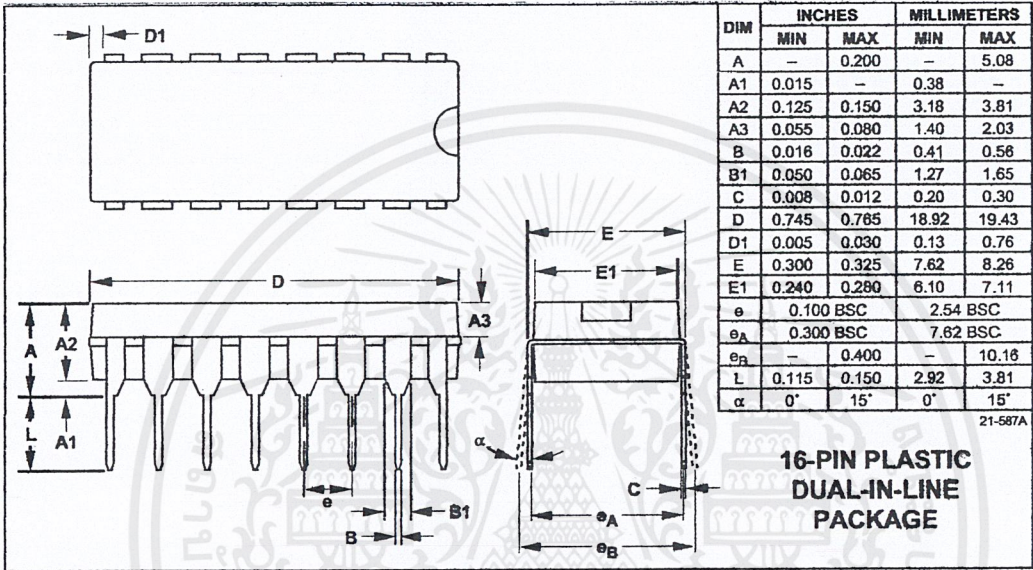


TRANSISTOR COUNT: 136
 SUBSTRATE CONNECTED TO V+

DG411/DG412/DG413

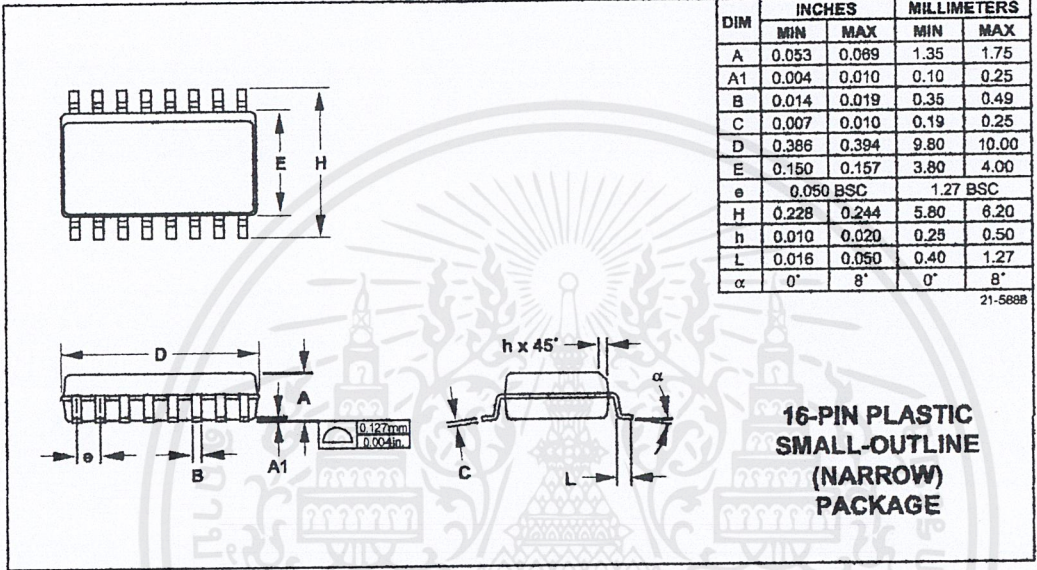
Improved, Quad,
SPST Analog Switches

Package Information



Improved, Quad,
SPST Analog Switches

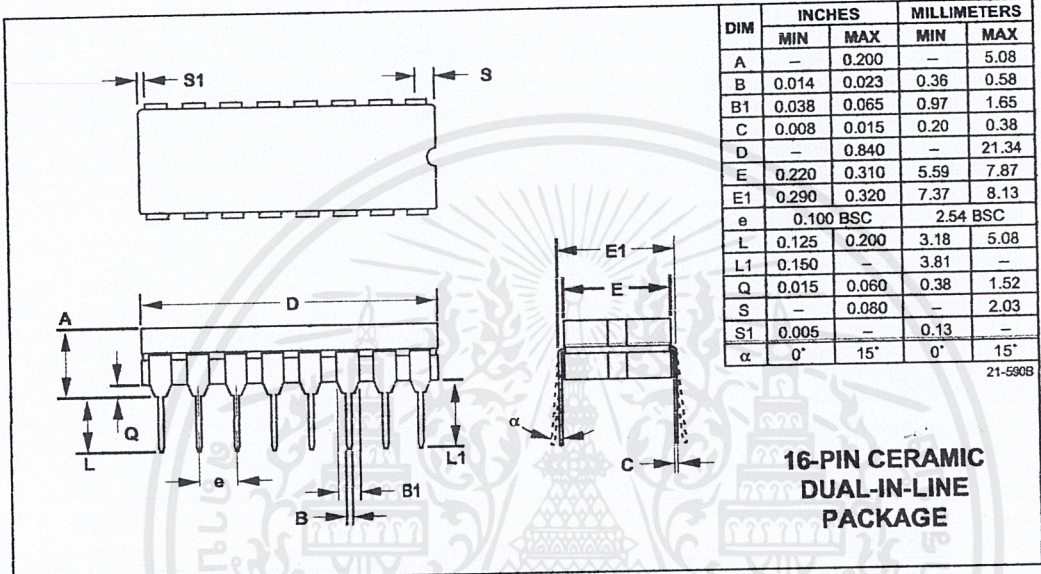
Package Information (continued)



DG411/DG412/DG413

Improved, Quad,
SPST Analog Switches

Package Information (continued)



Maxim cannot assume responsibility for use of any circuitry other than circuitry entirely embodied in a Maxim product. No circuit patent licenses are implied. Maxim reserves the right to change the circuitry and specifications without notice at any time.

12 Maxim Integrated Products, 120 San Gabriel Drive, Sunnyvale, CA 94086 (408) 737-7600

© 1995 Maxim Integrated Products Printed USA MAXIM is a registered trademark of Maxim Integrated Products.