สำนักหอสมุดกลาง พระจอมเกล้าลาดกระบัง

เครื่องส่ง FM สเตอริโอมัลติเพล็กซ์

FM STEREO MULTIPLEX TRANSMITTER

T 046468

โดย

นาย นิพัฒน์ เอกธรรมจิต 41014307

นาย สุพิชชา สุงาม 41014481

ปริญญานิพนธ์นี้เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรปริญญาวิศวกรรมศาสตรบัณฑิต

สาขาวิชาวิศวกรรมโทรคมนาคม

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

ปีการศึกษา 2544

เลขหมู่.....
เลขทะเบียน 46468
วัน, เดือน, ปี - 2 เม.ย. 2546

.b.....
.i.....

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เครื่องส่ง FM สเตอริโอมัลติเพล็กซ์

FM STEREO MULTIPLEX TRANSMITTER

โดย

นาย นิพัฒน์ เอกธรรมจิต 41014307

นาย สุพิชชา สุงาม 41014481

ปริญญานิพนธ์นี้เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรปริญญาวิศวกรรมศาสตรบัณฑิต

สาขาวิชาวิศวกรรมโทรคมนาคม

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

ปีการศึกษา 2544

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ปริญญานิพนธ์ปีการศึกษา 2544

ภาควิชาวิศวกรรมโทรคมนาคม

คณะวิศวกรรมศาสตร์ สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

เรื่อง **เครื่องส่ง FM สเตอริโอมัลติเพล็กซ์**

FM STEREO MULTIPLEX TRANSMITTER

ผู้จัดทำ

1. นาย นิพัฒน์ เอกธรรมจิต **41014307**

2. นายสุพิชชา สุงาม **41014481**

.....อาจารย์ที่ปรึกษา

(รศ. นิภา ลีลารุจิ)

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เครื่องส่ง FM สเตอริโอมัลติเพล็กซ์

FM STEREO MULTIPLEX TRANSMITTER

โดย นิพัฒน์ เอกธรรมจิต 41014307

สุพิชชา สุงาม 41014481

อาจารย์ที่ปรึกษา รศ. นิภา ลีลารุจิ

บทคัดย่อ

ในปัจจุบันระบบ FM มีการใช้กันมากในประเทศไทย ซึ่งโครงงานนี้เป็นการศึกษาการทำงานของเครื่องส่งสัญญาณในย่านความถี่ 88MHz โดยใช้หลักการของ FM สเตอริโอมัลติเพล็กซ์ ในการส่งสัญญาณ ซึ่งใช้ระบบ Frequency Synthesizer เป็นตัวสร้างสัญญาณ carrier

Abstract

Present FM system is widely used in Thailand . This paper presents a stereo multiplex FM transmitter at frequency of 88 MHz and frequency systhesizer system is used for construct carrier signal.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญ

บทคัดย่อ

สารบัญ

บทที่ 1 บทนำ 1

บทที่ 2 ทฤษฎีและหลักการเครื่องส่งเอฟเอ็มสเตอริโอมัลติเพล็กซ์ 2

2.1 การส่งวิทยุกระจายเสียง 2

2.2 การมอดูเลต 3

2.3 ระบบวิทยุอย่างง่าย 4

2.4 การมอดูเลตทางความถี่ 5

2.5 ดัชนีการมอดูเลต 6

2.6 ไซด์แบนด์ FM 7

2.7 แบนด์วิดท์ของสัญญาณ FM 9

2.8 สัญญาณ SCA 10

2.9 พรีเอ็มฟาสิสและดีเอ็มฟาสิส 11

2.10 บาลานซ์มอดูเลเตอร์ 13

2.10.1 BM ชนิด FET คู่ 14

2.10.2 BM ชนิดใช้ไดโอดต่อเป็นวง 15

2.10.3 BM ชนิดใช้ไอซี 17

2.11 ระบบ FM สเตอริโอ 19

2.12 เครื่องส่งสเตอริโอ 20

2.13 รูปคลื่นของสัญญาณสเตอริโอมัลติเพล็กซ์ 21

2.14 วิธีสังเคราะห์ความถี่ 24

2.15 เฟสล็อกลูป 26

2.16 การใช้เฟสล็อกลูปในการสังเคราะห์ความถี่ 27

2.17 คุณสมบัติของวงจรสังเคราะห์ความถี่ 28

2.18 ลูปฟิลเตอร์ (LOOP FILTER) 29

2.18.1 วงจรโลพาสฟิลเตอร์ (LPF) 30

2.18.2 ข้อพิจารณาในการออกแบบลูปฟิลเตอร์ 31

2.19 วงจรผลิตความถี่ควบคุมด้วยแรงดัน (Voltage control oscillator – VCO) 35

บทที่ 3 การคำนวณและการสร้าง 37

บทที่ 4 การทดลองและผลการทดลอง 51

1.ป้อนสัญญาณไซน์ 1 kHz 2 V_{p-p} อินพุตและวัดสัญญาณเอาต์พุต 51

2.แสดงสัญญาณเอาต์พุตที่ผ่าน Subtractor และ Mixer 52

3 แสดงสัญญาณไพล็อต 19 kHz และพาหะรอง 38 kHz 53

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4.แสดงสัญญาณเมื่อผ่าน Comparator 54
5. แสดงสัญญาณในส่วนของ Lowpass Filter 55
6. แสดงรูปสัญญาณที่มอดูเลต 56
7. แสดงของสัญญาณในส่วนของแบนด์พาสฟิลเตอร์ 57
8. แสดงสัญญาณของภาคสเตอริโอมัลติเพล็กซ์ 58
9. วัดสัญญาณความถี่อ้างอิง 10.24 MHz 60
10. วัดสัญญาณ control Prescaler 60
11. วัดสัญญาณความถี่จาก VCO 61
บทที่ 5 สรุปผลการทดลองและวิจารณ์ 62
ภาคผนวก
- บล็อกไดอะแกรมของเครื่องส่งเอฟเอ็มสเตอริโอมัลติเพล็กซ์
- บล็อกไดอะแกรมของ Frequency Synthesizer
หนังสืออ้างอิง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญรูปภาพ

รูปภาพ	หน้า
รูปที่ 2.1 แสดงช่องความถี่ของสัญญาณวิทยุกระจายเสียง	3
รูปที่ 2.2 แผนผังแสดงภาคเครื่องส่งและเครื่องรับ	4
รูปที่ 2.3 การมอดูเลตทางความถี่	6
รูปที่ 2.4 กราฟแสดงแอมพลิจูดของพาหะและไซด์แบนด์ในระบบ FM	8
ตารางที่ 2.1 แสดงการกระจายคลื่นพาหะและไซด์แบนด์ที่ดัชนีการมอดูเลตค่าต่างๆ	9
รูปที่ 2.5 รูปคลื่น FM ในเชิงความถี่ ที่ค่าดัชนีการมอดูเลตต่างๆ	9
รูปที่ 2.6 สเปกตรัมของระบบ FM สเตอริโอมัลติเพล็กซ์	11
รูปที่ 2.7 เปรียบเทียบแอมพลิจูดของสัญญาณที่เข้ามอดูเลตกับสัญญาณรบกวน	12
รูปที่ 2.8 แสดงขบวนการพรีเอ็มฟาสิสที่เครื่องส่งและดีเอ็มฟาสิสที่เครื่องรับ	12
รูปที่ 2.9 กรรมวิธีของพรีเอ็มฟาสิส	13
รูปที่ 2.10 บาลานซ์มอดูเลเตอร์ ใช้ FET คู่	14
รูปที่ 2.11 ริงบาลานว์มอดูเลเตอร์	15
รูปที่ 2.12 หลักการทำงานของริงมอดูเลเตอร์	15
รูปที่ 2.13 แสดงการทำงานของริงมอดูเลเตอร์เมื่อป้อนสัญญาณออดิโอเข้าไปมอดูเลต	16
รูปที่ 2.14 รูปคลื่นต่าง ๆ ในวงจรทรานซิสเตอร์	17
รูปที่ 2.15 บาลานซ์ทรานซิสเตอร์ที่ใช้วงจรดิฟเฟอเรนเชียล	18
รูปที่ 2.16 ไอซีที่ใช้เป็นบาลานซ์มอดูเลเตอร์	19
รูปที่ 2.17 แสดงสเปกตรัมของสัญญาณในระบบสเตอริโอมัลติเพล็กซ์	20
รูปที่ 2.18 เครื่องส่งสเตอริโอมัลติเพล็กซ์	21
รูปที่ 2.19 แสดงรูปคลื่นของสัญญาณสเตอริโอมัลติเพล็กซ์ต่างๆ	22
รูปที่ 2.20 แสดงรูปคลื่นต่างๆ ของสัญญาณสเตอริโอมัลติเพล็กซ์	23
รูปที่ 2.21 ตัวอย่างวิธีสังเคราะห์ความถี่โดยตรง	25
รูปที่ 2.22 แผนผังของเฟสล็อกลูป	26
รูปที่ 2.23 แผงผังของหน่วยสังเคราะห์ความถี่	27
รูปที่ 2.24 เฟสนอยส์ ปรากฏเป็นความถี่แปลกปลอมในบริเวณใกล้ๆ กับความถี่เอาต์พุต	28
รูปที่ 2.25 แสดงโลพาสฟิลเตอร์อันดับ 1 โดยใช้ R-C	30
รูปที่ 2.26 วงจร แลก-ลีด อันดับหนึ่ง	30
รูปที่ 2.27 วงจรแอคทีฟฟิลเตอร์	31
รูปที่2.28 วิธีแก้ทรานเซี้ยนด้วย R1-Cc	32
รูปที่ 2.29 วิธีแก้ทรานเซี้ยนด้วย R2-Cc	32
รูปที่ 2.30 แสดงรูปคลื่นเอาท์พุทของเฟสดีเทคเตอร์และอินทิเกรเตอร์	33
รูปที่ 2.31 วงจรโลพาสฟิลเตอร์อันดับ 2 โดยใช้ออปแอมป์	34

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รูปที่ 2.32 วงจร LPF อันดับ 2 34
รูปที่ 2.33 วงจรฟิลเตอร์และซัมมิ่งเนทเวอร์ค 35
รูปที่ 3.1 แสดง Block Diagram ของวงจร FM สเตอริโอมัลติเพล็กซ์ 37
รูปที่ 3.2 แสดงรูปวงจรสเตอริโอมัลติเพล็กซ์ที่ใช้งานจริง 38
รูปที่ 3.3 แสดงรูปวงจร 555 TIMER 39
รูปที่ 3.4 แสดงรูปวงจร D-Flipflop 39
รูปที่ 3.5 แสดงรูปวงจรลบ 40
รูปที่ 3.6 แสดงรูปวงจรบวก 40
รูปที่ 3.7 แสดงรูปวงจรมอดูเลเตอร์ 41
รูปที่ 3.8 รูปแสดงวงจร frequency synthesizer 42
รูปที่ 3.9 วงจรเรโซแนนท์แบบขนาน 43
รูปที 3.10 วงจรใช้งานเมื่อนำวงจรเรโซแนนท์แบบขนานทำงานร่วมกับ ไอซีเบอร์ MC เบอร์ 1648 44
รูปที่ 3.11 วงจรใช้งาน 45
รูปที่ 3.12 Low Pass Filter 46
รูปที่ 3.13 การแทนทรานซิสเตอร์โดยบล็อกสี่เหลี่ยม 48
รูปที่ 3.14 แสดงวงจรแมตชิ่งที่ใช้ในการปรับอิมพีแดนซ์ 49
รูปที่ 3.15 วงจร RF Amplifier 50
รูปที่ 4.1 แสดงอินพุตและเอาต์พุตของ L แชนแนล 51
รูปที่ 4.2 แสดงสัญญาณอินพุตในส่วนของ Subtractor และ Mixer 52
รูปที่ 4.3 แสดงสัญญาณเอาต์พุตที่ผ่าน Subtractor และ Mixer 52
รูปที่ 4.4 แสดงเอาต์พุตเมื่อผ่านบัพเฟอร์ของ Mixer 53
รูปที่ 4.5 แสดงส่วนของสัญญาณพาหะรอง 38 kHz 53
รูปที่ 4.6 แสดงส่วนของสัญญาณไพล็อต 19 kHz 54
รูปที่ 4.7 แสดงสัญญาณอินพุตและเอาต์พุตเมื่อผ่าน Comparator 54
รูปที่ 4.8 แสดงสัญญาณเมื่อผ่าน Lowpass Filter ลำดับแรก 55
รูปที่ 4.9 แสดงสัญญาณเมื่อผ่าน Lowpass Filter ครั้งที่2 55
รูปที่ 4.10 แสดงเอาต์พุตของ Lowpass Filter หลังจากผ่านบัพเฟอร์ 56
รูปที่ 4.11 แสดงเอาต์พุตของการมอดูเลต 56
รูปที่ 4.12 แสดงอินพุตและเอาต์พุตของส่วนแบนด์พาสครั้งที่1 57
รูปที่ 4.13 แสดงอินพุตและเอาต์พุตของส่วนแบนด์พาสครั้งที่ 2 57
รูปที่ 4.14 แสดงเอาต์พุตหลังจากผ่านบัฟเฟอร์ของแบนด์พาสฟิลเตอร์ 58
รูปที่ 4.15แสดงสัญญาณเอาต์พุตของภาคสเตอริโอมัลติเพล็กซ์เมื่อใส่สัญญาณความถี่ 1 kHz 58
รูปที่4.16แสดงสัญญาณเอาต์พุตของภาคสเตอริโอมัลติเพล็กซ์เมื่อใส่สัญญาณความถี่ 2 kHz 59

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รูปที่ 4.17 แสดงสัญญาณเอาต์พุตของภาคสเตอริโอมัลติเพล็กซ์เมื่อใส่สัญญาณความถี่ 1 kHzและ 2kHz 59
รูปที่ 4.18 แสดงสัญญาณความถี่อ้างอิง 10.24 MHz จากคริสตัล ออสซิลเลเตอร์ 60
รูปที่ 4.19 แสดงสัญญาณ control Prescaler 10kHz ที่เป็นสัญญาณอ้างอิง 60
รูปที่ 4.20 แสดงสัญญาณความถี่จาก VCO 88 MHz ที่ใช้เป็นสัญญาณพาหะ 61

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญตาราง

หน้า

ตารางที่ 2.1 แสดงการกระจายคลื่นพาหะและไซด์แบนด์ที่ดัชนีการมอดูเลตค่าต่างๆ 9

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่1

บทนำ

ในปัจจุบัน FM สเตอริโอมัลติเพล็กซ์ ได้ถูกนำมาใช้งานอย่างกว้างขวางในการส่งวิทยุกระจายเสียงในประเทศไทย เนื่องจากระบบ FM สเตอริโอมัลติเพล็กซ์ มีข้อดีในเรื่องของสัญญาณรบกวนต่ำกว่าระบบAM และเสียงที่รับได้จากลำโพงทั้งซ้ายและขวาจะมีคุณภาพเสียงที่สูงขึ้น

ในโครงงานชิ้นนี้ จะเป็นการศึกษาและทดลองเกี่ยวกับระบบ FM สเตอริโอมัลติเพล็กซ์ โดยจะทดลองที่ความถี่ 88 MHz ซึ่งในระบบ FM ในสมัยก่อนจะใช้แร่เป็นตัวสร้างสัญญาณ carrier ซึ่งจะทำให้ลำบากในการหาแร่ที่สามารถผลิตความถี่ที่ต้องการ ในโครงงานชิ้นนี้จะใช้ระบบ frequency systhesizer ซึ่งมีความยืดหยุ่นมากกว่าใช้แร่ในการผลิตสัญญาณ carrier ซึ่งจะมีหลักการดังนี้คือ

1.1)ส่วน stereo multiplex

จะนำสัญญาณ L+R ,สัญญาณ L-R ที่ modulate กับสัญญาณ sub carrier 38 kHz และสัญญาณไพล็อต 19 kHz มารวมกันส่งไปที่ส่วน frequency synthesizer

1.2)ส่วน frequency systhesizer

จะใช้หลักการของ phase lock loop ซึ่งจะประกอบด้วย dual modulas prescaler และ VCO เป็นตัวผลิตสัญญาณ carrierที่ต้องการ ซึ่ง VCO นั้นจะผลิตความถี่ตามความแรงของสัญญาณ DC ที่เข้ามาที่ อินพุต ซึ่งเมื่อรับสัญญาณมาจากส่วน stereo multiplex นั้นระดับความแรงของสัญญาณจะทำให้ VCO ผลิตความถี่ออกมาซึ่งเมื่อรวมกับสัญญาณ carrier 88 MHz แล้วจะทำให้ได้สัญญาณซึ่งเป็น FM ตามต้องการ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 2
ทฤษฎีและหลักการ

2.1 การส่งวิทยุกระจายเสียง

วิทยุกระจายเสียงที่สำคัญ ๆในประเทศไทยมี 2ระบบ คือระบบวิทยุ AM และระบบวิทยุ FM (บางสถานีเป็น FM ธรรมดาและบางสถานีเป็น FM สเตอริโอมัลติเพล็กซ์) ซึ่งสถานีส่งวิทยุก็มีอยู่นับร้อยสถานี คณะกรรมการบริหารวิทยุกระจายเสียงและโทรทัศน์ได้วางระเบียบการส่งกระจายเสียงไว้เพื่อป้องกันมิให้เกิดการรบกวนระหว่างกัน โดยยึดถือหลักวิชาการและมาตรฐานสากล

ในระบบ FM จะใช้ย่านความถี่ตั้งแต่ 88 ถึง 108 เมกะเฮิรตซ์ คลื่น FM ของแต่ละสถานีมีแบนด์วิดท์ (bandwidth)ได้ไม่เกิน 200 กิโลเฮิรตซ์ ความเที่ยงตรงของความถี่พาหะต้องผิดพลาดไม่เกิน 20 ส่วน ในล้านส่วน ((20/1,000,000) = 0.00002) คลื่นแปลกปลอมที่เล็ดลอดจากเครื่องส่งต้องมีค่าไม่เกิน 1 มิลลิวัตต์ (หรือต่ำกว่าคลื่นพาหะไม่น้อยกว่า 60 เดซิเบล)

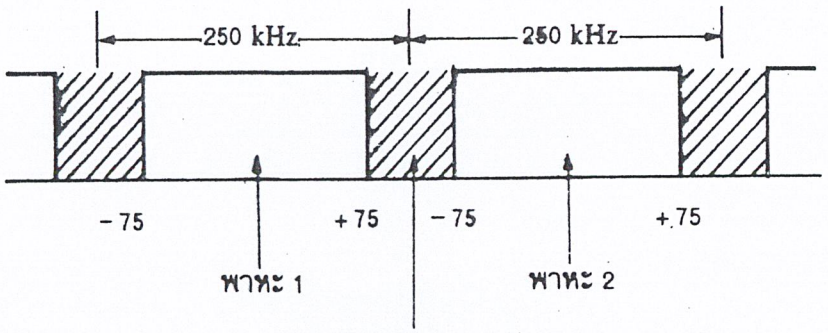
สำหรับมอดูเลเตอร์ FM จะต้องมีวงจรป้องกันโอเวอร์มอด โดยสัญญาณเสียงที่ใช้มอดูเลตมีความถี่อยู่ในช่วงระหว่าง 50 ถึง 15,000 เฮิรตซ์

สัญญาณ FM ต้องมีการเบี่ยงเบน (deviation) ไม่เกิน $\pm$ 75 กิโลเฮิรตซ์ ดูรูปที่ 2.1 สังเกตว่ามีการ์ดแบนด์(guardband) คั่นระหว่างช่องสถานี เพื่อป้องกันการรบกวนข้ามช่องอีกด้วย

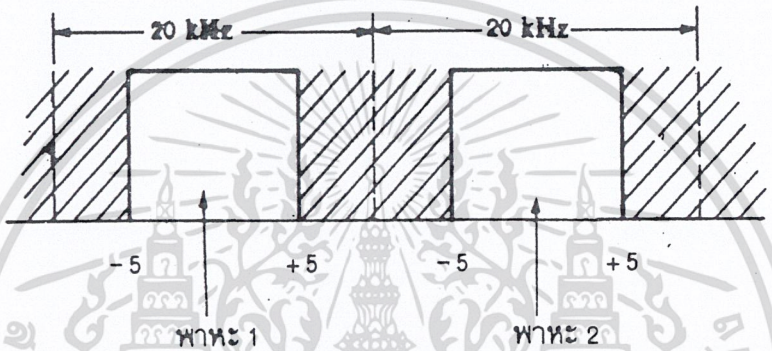
สำหรับในระบบ AM จะใช้ย่านความถี่ 535 ถึง 1605 กิโลเฮิรตซ์ คลื่น AM ของแต่ละสถานีต้องมีแบนด์วิดท์ไม่เกิน 20 กิโลเฮิรตซ์ และคลื่นพาหะมีความเที่ยงตรงดีกว่า 10 เฮิรตซ์ (ผิดพลาดไม่เกิน 10 เฮิรตซ์) สำหรับเครื่องส่งที่มีกำลังส่งตั้งแต่ 50 กิโลวัตต์ลงมา คลื่นแปลกปลอมจะเล็ดลอดออกจากเครื่องส่งต้องมีค่าไม่เกิน 50 มิลลิวัตต์ หรือต่ำกว่าคลื่นพาหะ ไม่น้อยกว่า 40 เดซิเบล ส่วนเครื่องส่งที่มีกำลังส่งสูงกว่า 50 กิโลวัตต์ขึ้นไปความแรงของความถี่แปลกปลอมต้องไม่เกิน 50 มิลลิวัตต์ (หรือต่ำกว่าคลื่นพาหะไม่น้อยกว่า 60 เดซิเบล)

สำหรับมอดูเลเตอร์ AM จะต้องมีวงจรป้องกันโอเวอร์มอดด้วย (เนื่องจากแบนด์วิดท์ของแต่ละสถานีมีขีดจำกัด) สัญญาณเสียงที่ใช้มอดูเลตจึงมีความถี่ไม่เกิน 10 กิโลเฮิรตซ์ (ส่วนใหญ่จะจำกัดไว้ที่ 5 กิโลเฮิรตซ์)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



(ก)



(ข)

รูปที่ 2.1 แสดงช่องความถี่ของสถานีวิทยุกระจายเสียง

2.2 การมอดูเลต

ในขบวนการมอดูเลต เราใช้คลื่นรูปไซน์ที่มีความถี่สูงเป็นพาหะ แล้วเปลี่ยนแปลงคุณสมบัติบางอย่างของพาหะด้วยสัญญาณข่าวสาร โดยทั่วไปสัญญาณข่าวสารได้แก่ สัญญาณออดิโอ (หรือเสียงพูด) สัญญาณภาพ หรือข่าวสารอื่นๆ การเปลี่ยนแปลงคุณสมบัติของคลื่นพาหะนี้เราเรียกว่า การมอดูเลต

คลื่นรูปไซน์ที่เราใช้เป็นพาหะนั้น เราสามารถเขียนสมการทางคณิตศาสตร์แทนได้ดังนี้

$$e = A \sin(\omega t + \emptyset)$$

ในที่นี้ e คือค่าแรงดัน (หรือกระแส) ของคลื่นพาหะใด ๆ

A คือแอมพลิจูด (หรือขนาด) สูงสุดของคลื่นพาหะ

ω คือความถี่เชิงมุม = $2\pi f$

t คือเวลา

$\emptyset$ คือเฟส หรือมุมทางไฟฟ้า

f คือความถี่

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากสมการข้างต้นจะเห็นว่า คุณสมบัติประจำตัวของคลื่น (รูปไซน์) ที่สำคัญจะมีอยู่ 3 ประการซึ่งเราสามารถเปลี่ยนแปลงหรือมอดูเลตได้คือ แอมพลิจูด (A) ความถี่เชิงมุม (ω) หรือความถี่ (f) และเฟส ($\emptyset$)

การมอดูเลตให้กับคลื่นพาหะแบ่งออกได้เป็น 3 แบบ คือ

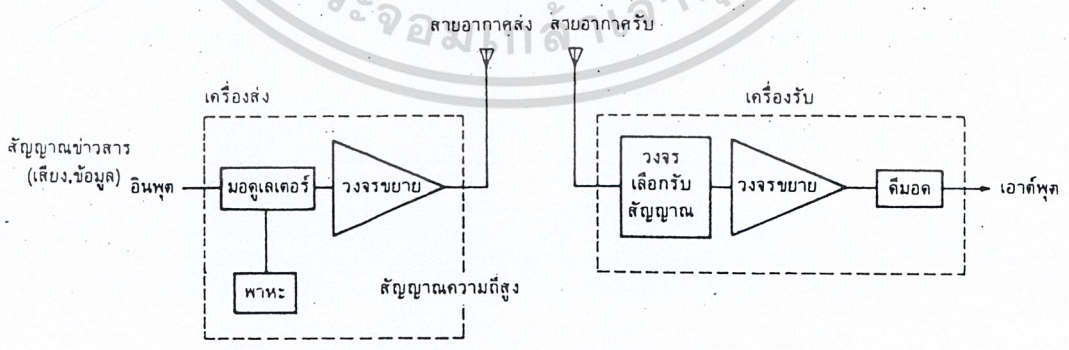
1. มอดูเลตทางแอมพลิจูด (amplitude modulation เรียกชื่อย่อว่า AM)
2. มอดูเลตทางความถี่ (frequency modulation เรียกย่อว่า FM)
3. มอดูเลตทางเฟส (phase modulation เรียกย่อว่า PM หรือ Ø M)

ในทางปฏิบัติสัญญาณ FM กับสัญญาณ PM จะคล้ายคลึงกันมาก บางทีเราเรียกรวม ๆ ทั้ง FM และ PM ว่า การมอดูเลตเชิงมุม (angel modulation) กล่าวโดยสรุป การมอดูเลตแบ่งออกเป็นจริงๆ 2 แบบใหญ่ๆ คือ AM กับ FM (หรือ PM)

2.3 ระบบวิทยุอย่างง่าย

ระบบวิทยุโดยทั่วไปมักจะมีรูปแบบคล้ายคลึงกับรูป 2.2 ในที่นี้เราแสดงไว้เฉพาะการติดต่อทางเดียวจากเครื่องส่งไปยังเครื่องรับเท่านั้น จะเห็นว่าประกอบด้วยส่วนสำคัญ คือ เครื่องส่ง เครื่องรับ สายอากาศ และสัญญาณข่าวสาร (เช่น เสียงพูดจากไมโครโฟน) ถูกป้อนเข้าที่อินพุตทำให้เกิดเอาต์พุตเป็นคลื่นที่ได้รับการมอดูเลต แล้วแผ่กระจายออกจากสายอากาศส่งไปยังเครื่องรับ คลื่นที่รับได้จากสายอากาศรับจะถูกแปลงโดยเครื่องรับ เพื่อให้สัญญาณข่าวสารกลับคืนออกมา (เช่น เป็นเสียงพูดออกทางลำโพง)

ที่เครื่องส่ง สัญญาณข่าวสารและสัญญาณพาหะความถี่สูงจะถูกส่งไปยังวงจรมอดูเลตซึ่งทำหน้าที่มอดูเลตสัญญาณข่าวสารลงบนสัญญาณพาหะความถี่สูง สัญญาณพาหะที่ถูกมอดูเลตแล้วจะต้องไปผ่านการขยายให้มีกำลังมากขึ้น แล้วจึงป้อนแก่สายอากาศส่ง เพื่อให้สามารถส่งไปได้ไกลโดยที่เครื่องรับสามารถรับได้ชัดเจน คลื่นจากเครื่องส่งนี้จะแผ่กระจายออกจากสายอากาศส่งโดยมีทิศทางมุ่งไปยังเครื่องรับ



รูปที่ 2.2 แผนผังแสดงภาคเครื่องส่งและเครื่องรับ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ที่เครื่องรับ คลื่นที่ส่งมาจะรับได้โดยสายอากาศรับ เครื่องรับจะเลือกรับเฉพาะคลื่นที่ต้องการเท่านั้น แล้วขยายคลื่นนั้นมีกำลังแรงขึ้นเพื่อป้อนให้วงจรดีมอดูเลต (หรือดีมอด) ทำหน้าที่แปลงคลื่นพาหะที่ถูกมอดูเลตกลับมากขึ้นเพื่อให้สัญญาณข่าวสารที่ต้องการตามเดิม

ข้อสังเกตในระบบวิทยุก็คือ ถ้ามีเครื่องส่งหลายเครื่องอยู่ในพื้นที่ใกล้เคียงกัน เราจะต้องใช้ความถี่คนละความถี่ มิฉะนั้นสัญญาณที่เครื่องรับจะสับสน (รับสัญญาณรบกวนหรือแซงกัน) เราสามารถใช้ความถี่เครื่องส่งซ้ำกันได้ก็ต่อเมื่อเครื่องส่งแต่ละเครื่องอยู่ห่างไกลกันและไม่ทำให้เกิดการรบกวน ทั้งนี้เพราะคลื่นวิทยุจะมีความแรงลดลงที่ระยะห่างไกลจากเครื่องส่งมากขึ้น

2.4 การมอดูเลตทางความถี่

รูปคลื่นของสัญญาณ FM เกิดจากสัญญาณมอดูเลต ดังรูปที่ 2.3 (ก) เช่นสัญญาณเสียงซึ่งเป็นข่าวสารเข้าไปมอดูเลตลงบนสัญญาณพาหะดังรูป 2.3 (ข) สัญญาณพาหะหลังจากมอดูเลตแล้วในรูปที่ 2.3(ค) เป็นสัญญาณ FM จะเห็นว่าที่เวลา t_0 สัญญาณ FM อยู่ที่ความถี่กลางเมื่อสัญญาณที่เข้ามามอดูเลตมีค่าทางบวกสูงสุด ความถี่ของพาหะจะเพิ่มขึ้นสูงสุด นั่นคือสัญญาณมอดูเลตถึงจุดสุดยอด (สัญญาณมอดูเลตมีขนาดสูงสุดนั่นเอง) ที่เวลา t_1

ที่เวลา t_2 สัญญาณมอดูเลตลดลงเป็นศูนย์ ความถี่ของพาหะก็จะลดลงมาที่ความถี่กลางดังเดิมหลังจากเวลาสัญญาณมอดูเลตมีค่าตกลงต่ำกว่าศูนย์กลายเป็นลบ พาหะจะมีความถี่ลดลงต่ำกว่าความถี่กลาง และเมื่อเวลาสัญญาณมอดูเลตกลับเป็นศูนย์อีกครั้งหนึ่ง ความถี่ของพาหะก็จะกลับมายังความถี่กลางดังเดิมเช่นกัน ในช่วงเวลา t_4 ถึง t_8 ก็จะซ้ำแบบเดิมเรื่อยๆไป สรุปแล้วความถี่ของพาหะจะเปลี่ยนแปลงไปตามแอมพลิจูดของสัญญาณมอดูเลต และพาหะยังคงอยู่ที่ความถี่กลางเมื่อสัญญาณมอดูเลตเป็นศูนย์

ช่วงความถี่ที่พาหะเบี่ยงเบนไปจากความถี่กลางเรียกว่า *ความถี่เบี่ยงเบน (frequency deviation)* หรือ ดีวิเอชั่น ตัวอย่างเช่น พาหะมีความถี่ 100 เมกะเฮิรตซ์ ลดลงต่ำสุดเป็น 99.9 เมกะเฮิรตซ์ และเพิ่มขึ้นสูงสุดเป็น 100.1 เมกะเฮิรตซ์ สลับไปมาเช่นนี้ หมายความว่าช่วงความถี่เบี่ยงเบนเท่ากับ ± 0.1 เมกะเฮิรตซ์ หรือ $\pm$ 100 กิโลเฮิรตซ์

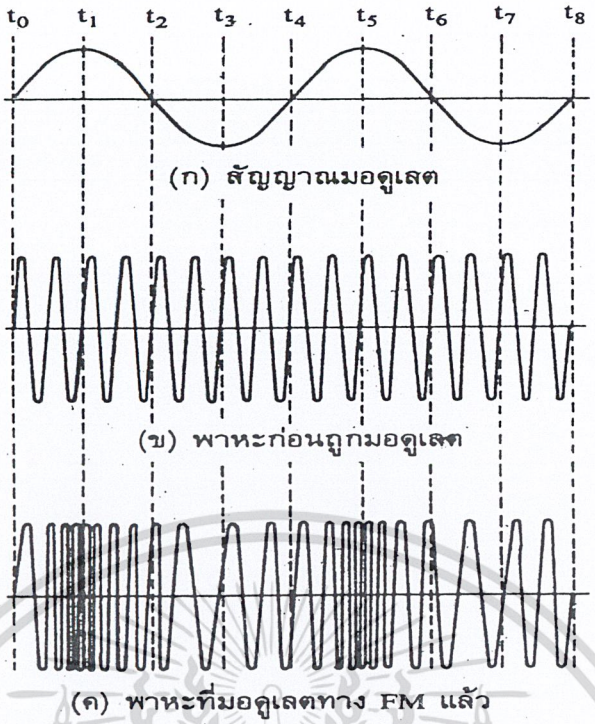
รูปแบบทั่วไปของสมการ FM

สมการของคลื่นพาหะคือ $X_c(t) = X_c * COS(\omega_c t)$

และสัญญาณที่มอดูเลตคือ $X_m(t) = \beta * SIN(\omega_c t)$

จะได้สมการ FM คือ $X(t) = X_c * COS(\omega_c t + \beta * SIN(\omega_c t))$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.3 การมอดูเลตทางความถี่

กล่าวโดยสรุป สัญญาณ FM มีคุณสมบัติที่สำคัญดังนี้

1. มีแอมพลิจูดคงที่ตลอด แต่ความถี่เปลี่ยนตามสัญญาณที่เข้ามามอดูเลต
2. อัตราการเบี่ยงเบนความถี่ของสัญญาณพาหะมีค่าเท่ากับความถี่ของสัญญาณที่เข้ามอดูเลต
3. ช่วงความถี่เบี่ยงเบน (หรือดีวิเอชั่น) เป็นสัดส่วนกับแอมพลิจูดของสัญญาณที่เข้ามอดูเลต

2.5 ดัชนีการมอดูเลต

ในระบบ AM ปริมาณการมอดูเลต เรานิยมวัดเป็นเปอร์เซ็นต์การมอดูเลต ซึ่งดูได้จากการเปลี่ยนแปลงของแอมพลิจูดหรือกรอบคลื่น AM ทั้งด้านต่ำสุดและสูงสุด แต่ในระบบ FM เราวัดเปอร์เซ็นต์การมอดูเลตโดยดูจากการเปลี่ยนแปลงความถี่ ซึ่งเรานิยมเรียกชื่อเสียใหม่ว่า ดัชนีการมอดูเลต ลองพิจารณาความหมายของดัชนีการมอดูเลตต่อไปนี้

$$m = f_d/f_m \qquad \text{(ของระบบ FM)}$$

ในที่นี้ f_d คือช่วงความถี่เบี่ยงเบน

f_m คือความถี่ของสัญญาณที่เข้ามอดูเลต

ค่าตัวเลขของดัชนีการมอดูเลตจะมีค่าสูง (แตกต่างจากเปอร์เซ็นต์การมอดูเลตซึ่งเมื่อคิดเป็นอัตราส่วนจะได้อยู่ระหว่าง 0 ถึง 1) ตัวอย่างเช่น ในระบบวิทยุกระจายเสียง FM เรากำหนดให้ความถี่เบี่ยงเบน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ของระบบสูงสุดไว้เท่ากับ 75 กิโลเฮิรตซ์ สมมุติว่าเราใช้สัญญาณเสียง 1 กิโลเฮิรตซ์มอดูเลตให้เกิดความถี่เบี่ยงเบนเต็มที่ ค่าดัชนีการมอดูเลตจะเป็น

$$m = 75 \text{ kHz} / 1 \text{ kHz} = 75$$

สังเกตว่า ค่าดัชนีการมอดูเลตในระบบ FM ขึ้นอยู่กับความถี่ของสัญญาณเสียงที่เข้ามอดูเลตในทางปฏิบัตินิยมวัดเป็นอัตราส่วนการเบี่ยงเบน (deviation ratio) ซึ่งเป็นอัตราส่วนระหว่างความถี่เบี่ยงเบน (ของระบบ) สูงสุด (f_{dmax}) ต่อความถี่สูงสุดของสัญญาณที่เข้ามอดูเลต ($f_{m\ max}$) ในระบบกระจายเสียง FM ค่าอัตราการเบี่ยงเบน (Δ) จะเท่ากับ

$$\Delta = f_{dmax} / f_{m\ max}$$

$$= 75 \text{ kHz} / 15 \text{ kHz} = 5$$

ในระบบ AM เมื่อเพิ่มแอมพลิจูดของสัญญาณที่เข้ามอดูเลตเพื่อให้เปอร์เซ็นต์การมอดูเลตสูงขึ้น การเปลี่ยนแปลงแอมพลิจูด (กรอบคลื่น) ของพาหะจะเปลี่ยนแปลงมากขึ้น แต่ในระบบ FM เมื่อเพิ่มแอมพลิจูดของสัญญาณที่เข้ามอดูเลตสูงขึ้น การเบี่ยงเบนความถี่ของพาหะจะเบี่ยงเบนได้มากขึ้น ในระบบกระจายเสียงวิทยุFM กำหนดให้ความถี่เบี่ยงเบนของระบบเต็มที่ไม่เกิน 75 กิโลเฮิรตซ์ ถ้าเรามอดูเลตทำให้ความถี่ของพาหะเบี่ยงเบนไปเท่ากับ 75 กิโลเฮิรตซ์ แสดงว่าเรามอดูเลตเต็มที่ 100 เปอร์เซ็นต์ ซึ่งเราเขียนเป็นสมการได้ดังนี้

$$\text{เปอร์เซ็นต์การมอดูเลต} = f_d / f_{m\ max} \times 100$$

ในที่นี้ f_d คือ ความถี่เบี่ยงเบน เนื่องจากสัญญาณที่เข้ามอดูเลต

f_{dmax} คือความถี่เบี่ยงเบนสูงสุดของระบบ

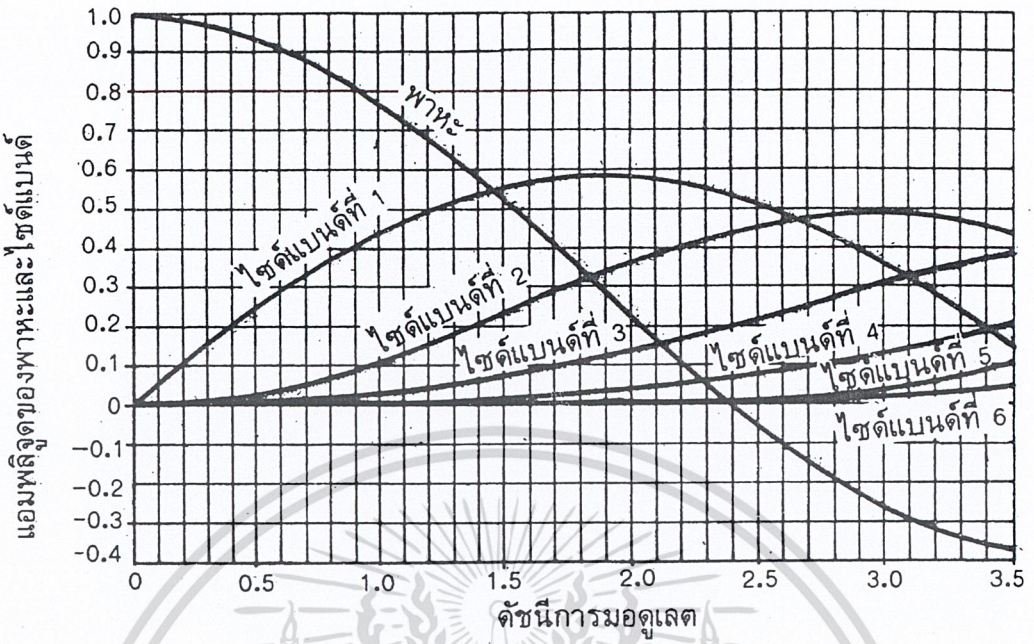
2.6 ไซด์แบนด์ FM

ความแตกต่างของระบบ AM กับ FM ที่เห็นได้ชัดก็คือไซด์แบนด์ ในระบบ AM ถ้าเรามอดูเลตด้วยสัญญาณรูปซายน์จะเกิดไซด์แบนด์จำนวน 2ตัว คือ USB กับ LSB แต่ในระบบ FM ถ้าเรามอดูเลตด้วยสัญญาณรูปซายน์จะเกิดไซด์แบนด์จำนวนนับอนันต์ เนื่องจากการเบี่ยงเบนของความถี่พาหะทำให้เกิดความถี่เพิ่มขึ้นอีกมากมาย ความจริงแล้วไซด์แบนด์ที่อยู่ห่างจากความถี่กลางมากๆมักมีแอมพลิจูดเล็กมากจนไม่ต้องคำนึงถึง

ในระบบ AM ไซด์แบนด์อาจเสริมหรือหักล้างจากพาหะที่มีแอมพลิจูดคงที่ ซึ่งมีผลให้กรอบคลื่นของพาหะเปลี่ยนแปลง แต่ในระบบ FM สัญญาณ FM จะรักษาแอมพลิจูดไว้คงที่เสมอ ซึ่งหมายความว่ากำลังของคลื่นพาหะย่อมกระจายไปอยู่ในไซด์แบนด์ ความสัมพันธ์ของพาหะกับไซด์แบนด์ในระบบ FM ขึ้นอยู่กับดัชนีการมอดูเลต เนื่องจากดัชนีการมอดูเลตเป็นตัวกำหนดของไซด์แบนด์ที่สำคัญ และแอมพลิจูดของพาหะกับไซด์แบนด์ต่างๆ

ในรูปที่ 2.4 แสดงกราฟแอมพลิจูดของคลื่นพาหะกับไซด์แบนด์ที่ดัชนีการมอดูเลตค่าต่างๆ จะเห็นว่าเมื่อดัชนีการมอดูเลตเป็นศูนย์จะมีแต่คลื่นพาหะอย่างเดียว (เท่ากับ 1 หน่วย) คลื่นไซด์แบนด์เป็นศูนย์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.4 กราฟแสดงแอมพลิจูดของพาหะและไซด์แบนด์ในระบบ FM

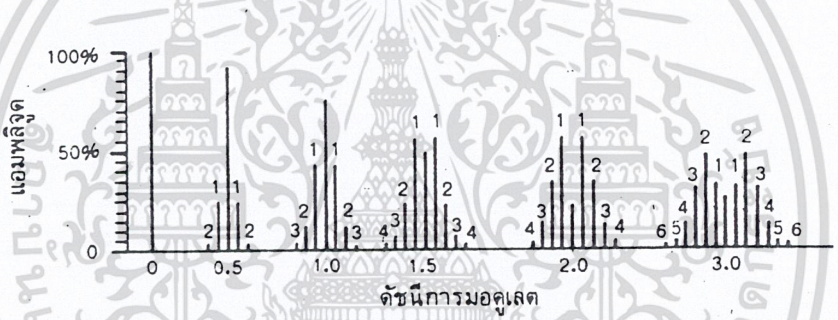
เมื่อดัชนีการมอดูเลตเพิ่มขึ้น จำนวนไซด์แบนด์จะเพิ่มขึ้น แอมพลิจูดของไซด์แบนด์ก็จะใหญ่ขึ้น แต่แอมพลิจูดของพาหะกลับเล็กลงจนกระทั่งดัชนีการมอดูเลตเท่ากับ 2.4 คลื่นพาหะจะเป็นศูนย์ ตอนนี้กำลังของคลื่น FM จะไปอยู่ในไซด์แบนด์ทั้งสิ้น เมื่อดัชนีการมอดูเลตเพิ่มขึ้นอีก คลื่นพาหะก็จะมีค่าเพิ่มขึ้นอีก (เป็นค่าลบแสดงว่าเฟสตรงกันข้ามกับตอนแรก เช่น เมื่อดัชนีการมอดูเลตเป็น 3.1 แอมพลิจูดของพาหะจะเท่ากับ –0.3 หน่วย) สังเกตว่าจุดที่คลื่นพาหะเป็นศูนย์นั้นมีอยู่หลายจุด

กราฟในรูปที่ 2.4 เขียนได้เป็นตารางดังแสดงในตารางที่ 2.1 เพื่อให้ดูง่ายขึ้น ในที่นี้เราตัดไซด์แบนด์ที่มีแอมพลิจูดน้อยกว่า 1 เปอร์เซ็นต์ของพาหะเดิม (ก่อนมอดูเลต) ออกไปโดยไม่คำนึงถึง เช่น เมื่อดัชนีการมอดูเลตเท่ากับ 0.5 แอมพลิจูดของพาหะจะเท่ากับ0.94 หน่วย ไซด์แบนด์คู่แรกมีแอมพลิจูดเท่ากับ 0.24 หน่วย ไซด์แบนด์คู่ที่สองถัดไปมีแอมพลิจูดเท่ากับ 0.03 หน่วย ไซด์แบนด์อื่นนอกจากนี้มีแอมพลิจูดน้อยจนสามารถตัดทิ้งไปได้ เมื่อดัชนีการมอดูเลตสูงขึ้น การกระจายคลื่นไซด์แบนด์จะเป็นดังรูปที่ 2.5

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ตารางที่ 2.1 แสดงการกระจายคลื่นพาหะและไซด์แบนด์ที่ดัชนีการมอดูเลตค่าต่าง ๆ

ดัชนีการมอดูเลต	พาหะ	ไซด์แบนด์คู่ที่															
		1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16
0.00	1.00	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
0.25	0.98	0.12	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
0.5	0.94	0.24	0.03	—	—	—	—	—	—	—	—	—	—	—	—	—	—
1.0	0.77	0.44	0.11	0.02	—	—	—	—	—	—	—	—	—	—	—	—	—
1.5	0.51	0.56	0.23	0.06	0.01	—	—	—	—	—	—	—	—	—	—	—	—
2.0	0.22	0.58	0.35	0.13	0.03	—	—	—	—	—	—	—	—	—	—	—	—
2.5	-0.05	0.50	0.45	0.22	0.07	0.02	—	—	—	—	—	—	—	—	—	—	—
3.0	-0.26	0.34	0.49	0.31	0.13	0.04	0.01	—	—	—	—	—	—	—	—	—	—
4.0	-0.40	-0.07	0.36	0.43	0.28	0.13	0.05	0.02	—	—	—	—	—	—	—	—	—
5.0	-0.18	-0.33	0.05	0.36	0.39	0.26	0.13	0.05	0.02	—	—	—	—	—	—	—	—
6.0	0.15	0.28	-0.24	0.11	0.36	0.36	0.25	0.13	0.06	0.02	—	—	—	—	—	—	—
7.0	0.30	0.00	-0.30	-0.17	0.16	0.35	0.34	0.23	0.13	0.06	0.02	—	—	—	—	—	—
8.0	0.17	0.23	-0.11	-0.29	-0.10	0.19	0.34	0.32	0.22	0.13	0.06	0.03	—	—	—	—	—
9.0	-0.09	0.24	0.14	-0.18	-0.27	-0.06	0.20	0.33	0.30	0.21	0.12	0.06	0.03	0.01	—	—	—
10.0	-0.25	0.04	0.25	0.06	-0.22	-0.23	-0.01	0.22	0.31	0.29	0.20	0.12	0.06	0.03	0.01	—	—
12.0	-0.05	-0.22	-0.08	0.20	0.18	-0.07	-0.24	-0.17	0.05	0.23	0.30	0.27	0.20	0.12	0.07	0.03	0.01
15.0	-0.01	0.21	0.04	0.19	-0.12	0.13	0.21	0.03	-0.17	-0.22	-0.09	0.10	0.24	0.28	0.25	0.18	0.12



รูปที่ 2.5 รูปคลื่น FM ในเชิงความถี่ ที่ค่าดัชนีการมอดูเลตเท่ากับ 0,0.5, 1, 1.5, 2.0,3.0 ตามลำดับ

2.7 แบนด์วิดท์ของสัญญาณ FM

ในระบบ FM จำนวนไซด์แบนด์และแอมพลิจูดของไซด์แบนด์ขึ้นอยู่กับค่าดัชนีการมอดูเลต โดยความถี่ของไซด์แบนด์มีค่าสัมพันธ์กับความถี่ของสัญญาณที่เข้ามอดูเลต กล่าวคือ ไซด์แบนด์คู่แรกมีความถี่เท่ากับ $f_c \pm f_m$ ไซด์แบนด์คู่ที่สองมีความถี่เท่ากับ $f_c \pm 2f_m$,... ฯลฯ ฉะนั้นแบนด์วิดท์ของคลื่น FM ต้องคลอบคลุมจำนวนไซด์แบนด์ที่สำคัญทุกตัว นั่นคือ แบนด์วิดท์ขึ้นอยู่กับดัชนีการมอดูเลตและความถี่ของสัญญาณที่เข้ามอดูเลตแต่ดัชนีการมอดูเลตเท่ากับ f_d/f_m ดังนั้นถ้าเราทราบความถี่เบี่ยงเบนและความถี่ของสัญญาณมอดูเลตเราก็สามารถคำนวณหาแบนด์วิดท์ได้

ตัวอย่างเช่น ความถี่ของสัญญาณเสียงที่เข้ามอดูเลตเท่ากับ 3 กิโลเฮิรตซ์ ความถี่เบี่ยงเบนเท่ากับ 18 กิโลเฮิรตซ์ เราคำนวณค่าดัชนีการมอดูเลตได้ดังนี้

$$m = f_d/f_m$$

$$= 18\text{kHz}/3\text{kHz} = 6$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

นำค่า m = 6 ไปหาไซด์แบนด์สำคัญที่พิจารณาได้จากตารางที่ 2.1 จะเห็นว่าเมื่อดัชนีการมอดูเลต เท่ากับ 6 จำนวนไซด์แบนด์จะมีอยู่ 9 คู่ เราจึงคำนวณหาแบนด์วิดท์ได้ดังนี้

$$BW = f_m \times \text{จำนวนไซด์แบนด์} \times 2$$
$$= 3 \text{ kHz} \times 9 \times 2$$
$$= 54 \text{ kHz}$$

ความจริงแล้วในทางปฏิบัตินิยมใช้สูตรคำนวณแบนด์วิดท์แบบประมาณจากค่า f_{dmax} และ $f_{m\,max}$ เลย ไม่ต้องเสียเวลานับจำนวนไซด์แบนด์ ดังนี้

$$BW = 2 (m + 1) f_{m\,max}$$

หรือ $BW = 2 (f_{dmax} + f_{m\,max})$ เมื่อ $m = f_{dmax} / f_{m\,max}$

จากตัวอย่างดังกล่าวเราคำนวณได้ว่า $BW = 2 \times (6 + 1) \times 3$

$$= 42 \text{ kHz}$$

หรือ $BW = 2 \times (18 + 3)$

$$= 42 \text{ kHz}$$

เสมือนกับว่าเราพิจารณาใช้จำนวนไซด์แบนด์เพียง 7 คู่ เมื่อเทียบกับการคำนวณในตอนต้น

2.8 สัญญาณ SCA

สัญญาณอีกสัญญาณหนึ่งซึ่งสามารถมัลติเพล็กซ์ลงบนพาหะ FM ได้อีกคือสัญญาณ SCA (ย่อมาจาก subsidiary communication authorization เป็นชื่อองค์กรที่ให้บริการด้านบันเทิง แต่ประเทศไทยเรายังไม่มีระบบ SCA ส่วนมากสัญญาณ SCA ที่ส่งจะเป็นสัญญาณเสียงเพลงอย่างเดียวไม่มีโฆษณาหรือประกาศ ผู้ที่จะรับฟังสัญญาณ SCAจะต้องเสียค่าบริการหรือสมาชิก) สัญญาณ SCA นี้ส่งมาพร้อมกับการกระจายเสียง FM เว้นแต่ว่ามอดูเลตลงบนพาหะรองพิเศษอีกตัวหนึ่ง สัญญาณพาหะรองสำหรับ SCA นี้อาจจะใช้ค่าความถี่ใดความถี่หนึ่งในช่วง 20 ถึง 75 กิโลเฮิรตซ์ ถ้าสถานีส่งสัญญาณสเตอริโอด้วย พาหะรองสำหรับ SCA จะต้องหนีเลยขึ้นไปอยู่ในช่วง 53 ถึง 75 กิโลเฮิรตซ์ ความถี่มาตรฐานที่ใช้คือ 67 กิโลเฮิรตซ์

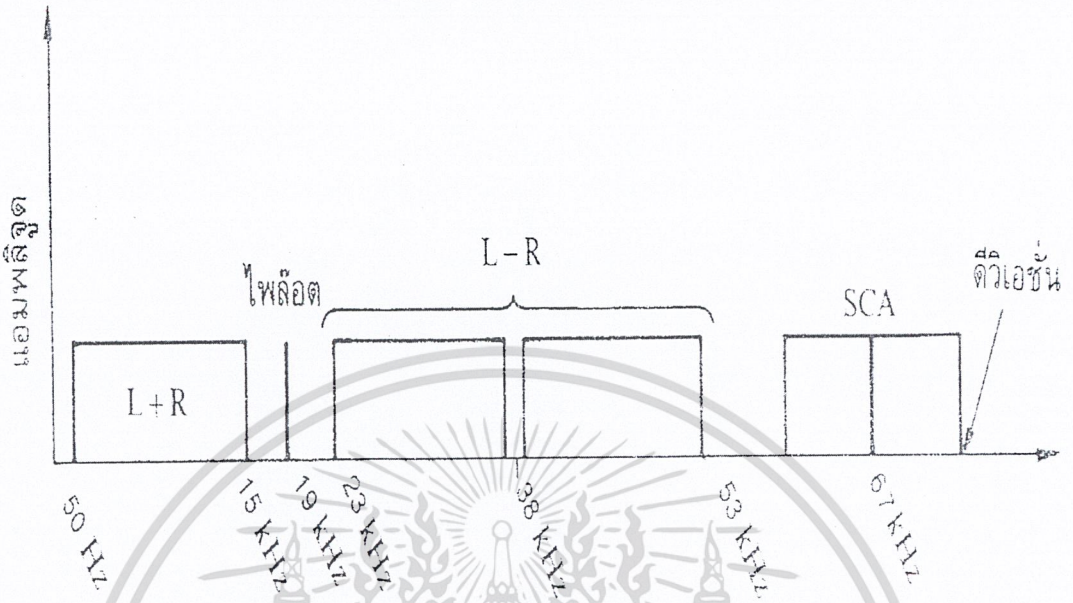
พาหะรอง SCA จะมอดูเลตแบบ FM โดยมีความถี่เบี่ยงเบนไป $\pm$7.5 กิโลเฮิรตซ์ ย่านความถี่ของสัญญาณมัลติเพล็กซ์ทั้งหมด (ในกรณีที่มี SCA) จะเป็นดังรูปที่ 2.6 สัญญาณ SCA และสัญญาณไพล็อต 19 กิโลเฮิรตซ์ จะมอดูเลตเพียงสัญญาณละ 10 เปอร์เซ็นต์ ดังนั้นจึงเหลือให้สัญญาณ (L+R) กับ (L-R) อีก 80 เปอร์เซ็นต์

รายการที่กระจายเสียงในระบบ SCA จะเป็นรายการอะไรก็ได้ แต่โดยทั่วไปมักจะเป็นรายการเพลง (back ground music) หรือรายการพิเศษสำหรับผู้ฟังเฉพาะกลุ่ม เช่น รายการอ่านหนังสือให้คนตาบอดฟัง หรืออาจจะเป็นการส่งภาพโทรทัศน์แบบสแกนช้า (slow scan TV หรือ SSTV) สำหรับคนหูหนวกนอกจากนี้ยังอาจใช้เป็นช่องสัญญาณในการติดต่อสื่อสารระหว่างห้องส่งกับสถานีส่งซึ่งแยกกันอยู่

เครื่องรับ SCA สามรถใช้ร่วมกับเครื่องส่ง FM ธรรมดาได้เพียงแต่เพิ่มชุดฟิลเตอร์ชนิดแบนด์พาสเพื่อกรองเอาสัญญาณ SCA ความถี่ 67 กิโลเฮิรตซ์ออกมาแล้วดีมอดด้วยวงจรเฟสล็อกลูปซึ่งจูนไว้ที่

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ความถี่ 67 กิโลเฮิรตซ์ สัญญาณที่ได้จะถูกขยายไปยังลำโพงหรือเอาต์พุตอื่น โดยผู้ฟังสามารถเลือกฟังรายการหลักหรือรายการ SCA อย่างใดอย่างหนึ่ง หรือจะฟังพร้อมๆ กันทั้ง 2รายการก็ได้



รูปที่ 2.6 สเปกตรัมของระบบ FM สเตอริโอมัลติเพล็กซ์ซึ่งมีสัญญาณ SCA

2.9 พรีเอ็มฟาสิสและดีเอ็มฟาสิส

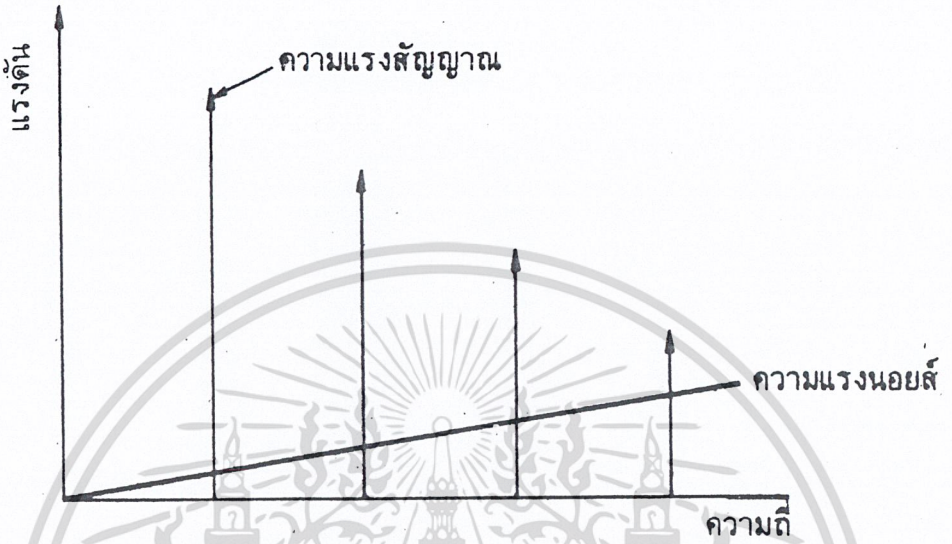
รูปคลื่นส่วนใหญ่จะประกอบด้วยองค์ประกอบฮาร์มอนิกมากมาย และทางด้านความถี่สูงมักจะมีแอมพลิจูดต่ำๆ ตัวอย่างเช่น เสียงพูดซึ่งอยู่ในย่านความถี่ประมาณ 20-20,000 เฮิรตซ์ แต่เสียงพูดทั่วไปมักจะอยู่ที่ช่วง 500 เฮิรตซ์ สำหรับผู้ชาย และ 800 เฮิรตซ์ สำหรับผู้หญิง เป็นต้น แต่นอยส์ในระบบ FM จะเป็นตรงกันข้าม คือ นอยส์ FM จะมีแอมพลิจูดสูงขึ้นเป็นสัดส่วนกับความถี่ ดังนั้นถ้าเราเขียนรูปเทียบกันดังรูปที่ 2.7 จะเห็นว่าที่ความถี่ด้านสูงจะมีนอยส์รบกวนมากกว่าด้านต่ำ วิธีแก้ไขให้คุณภาพสัญญาณทางคานความถี่สูงดีขึ้นก็โดยใช้วิธีการยกระดับหรือเน้น (emphasis) สัญญาณให้มีแอมพลิจูดสูงขึ้นในย่านความถี่ด้านสูง กรรมวิธีนี้เรียกว่า พรีเอ็มฟาสิส (pre-emphasis)

ในรูปที่ 2.8 สัญญาณมอดูเลตจะผ่านขบวนการพรีเอ็มฟาสิสที่เครื่องส่งเพื่อให้สัญญาณความถี่สูงเน้นแรงขึ้น แล้วจึงมอดูเลตที่เครื่องส่งอากาศออกต่อไป ทำให้สัญญาณความถี่สูงมีความแรงขึ้นจนนอยส์รบกวนได้ยาก เมื่อคลื่นมาถึงเครื่องรับและหลังจากการทำดีมอดแล้ว เราจะต้องคืนสัญญาณที่เน้นความถี่สูงให้เหมือนเดิม ดังนั้นจึงต้องมีวงจรกดความถี่สูงซึ่งจัดทอนความแรงทางด้านความถี่สูงลง กรรมวิธีนี้เรียกว่า ดีเอ็มฟาสิส (de-emphasis)

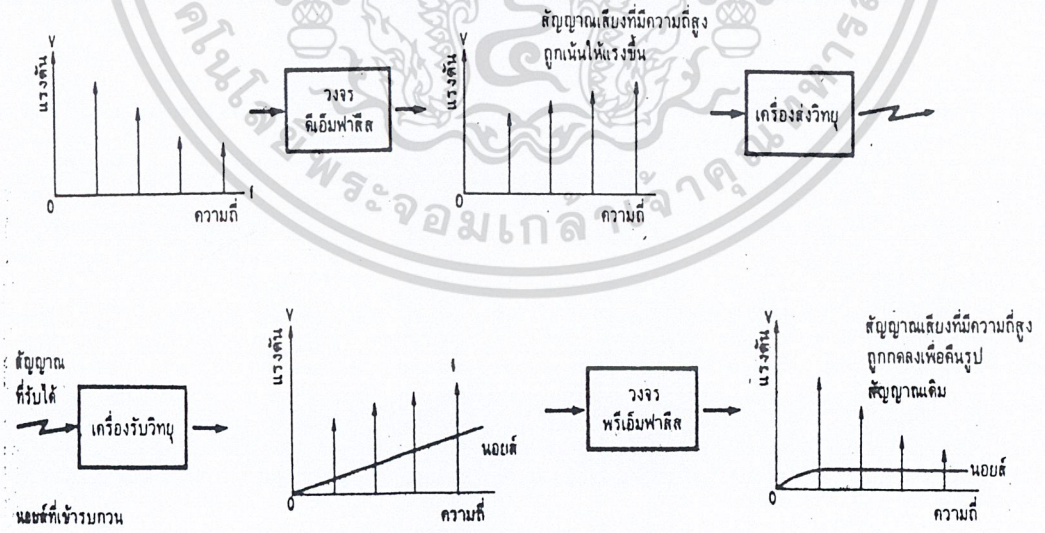
วงจรที่ใช้ในกรรมวิธีพีเอ็มฟาสิสและดีเอ็มฟาสิสก็คือวงจรฟิลเตอร์นั่นเอง คุณสมบัติของฟิลเตอร์ในตอนพรีเอ็มฟาสิสกับดีเอ็มฟาสิสจะต้องเป็นตรงข้ามกัน ในระบบกระจายเสียง FM โดยมากเรากำหนดคุณสมบัติของวงจรฟิลเตอร์ (ทั้งพรีเอ็มฟาสิสและดีเอ็มฟาสิส) เป็นค่าคงตัวเวลา (time constant) เท่ากับ 75

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ไมโครวินาที ซึ่งแอมพลิจูดจะค่อยๆ เพิ่มขึ้น (พรีเอ็มฟาสิส) หรือลดลง (ดีเอ็มฟาสิส) ตั้งแต่ความถี่ 2122 เฮิรตซ์ เป็นต้นไป ดังรูปที่ 2.9

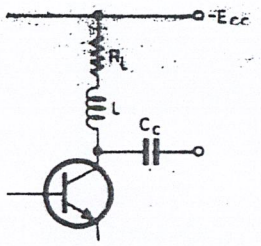


รูปที่ 2.7 เปรียบเทียบแอมพลิจูดของสัญญาณที่เข้ามอดูเลตกับนอยส์

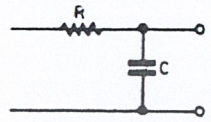


รูปที่ 2.8 แสดงขบวนการพรีเอ็มฟาสิสที่เครื่องส่ง และดีเอ็มฟาสิสที่เครื่องรับ

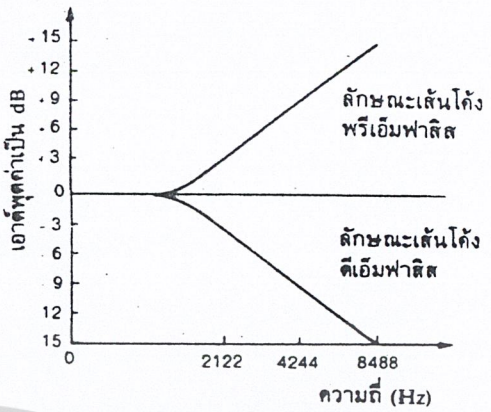
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



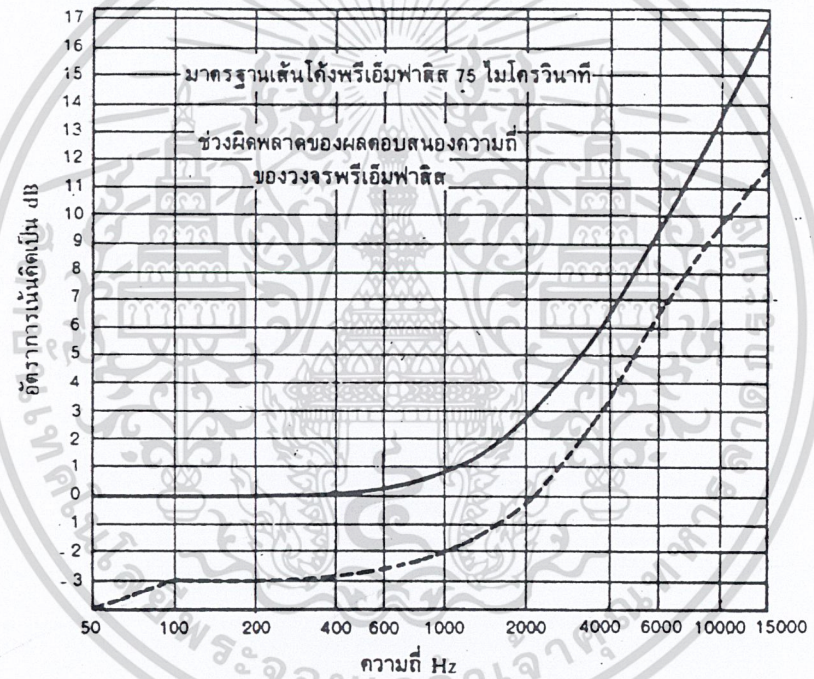
ก) ตัวอย่างวงจรพรีเอ็มฟาสิส



(ข) ดีเอ็มฟาสิส



(ค) ลักษณะเส้นโค้งพริเอ็มฟาสิส



(ง) แสดงกราฟมาตรฐานพรีเอ็มฟาสิส 75 μS

รูปที่ 2.9 กรรมวิธีของพีเอ็มฟาสิส

สำหรับในระบบวิทยุสื่อสารโมบายล์ เรากำหนดคุณสมบัติของวงจรฟิลเตอร์เป็นแบบความชันของเส้นโค้ง ผลตอบสนองความถี่เป็น 6 เดซิเบลต่อออกเตฟ (dB/octave) ในช่วงความถี่ 300 เฮิรตซ์ ถึง 3000 เฮิรตซ์

2.10 บาลานซ์มอดูเลเตอร์

เนื่องจาก AM ไม่มีข่าวสารปนอยู่ในคลื่นพาหะ เราจึงสามารถกำจัดหรือเอาคลื่นพาหะออกก่อนที่จะทำการส่งออกอากาศ วงจรที่ทำหน้าที่นี้เรียกว่า วงจรบาลานซ์มอดูเลเตอร์ (balanced modulator หรือ

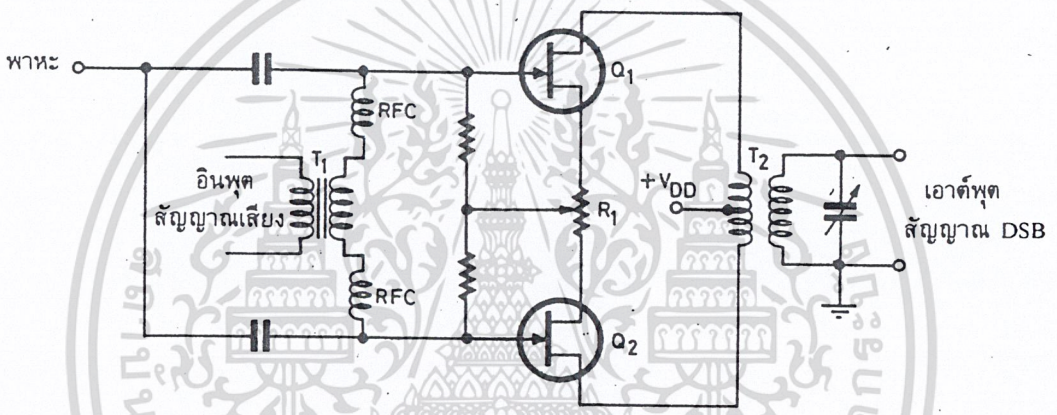
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เขียนย่อว่า BM) วงจร BM นี้จะผสมสัญญาณเสียงกับสัญญาณพาหะและผลลัพธ์ที่ได้จากวงจร BM เรียกว่าสัญญาณ AMDSBSC (ย่อมาจาก amplitude modulate ,double sideband ,suppressed carrier)

วงจร BM มีอยู่หลายแบบ แต่ละแบบมีข้อดีและข้อเสียประจำตัวของมัน ต่อไปเราจะพิจารณาวงจรแบบต่างๆ

2.10.1 BM ชนิดใช้ FET คู่

รูปที่ 2.10 แสดงวงจร BM อย่างง่าย อินพุต RF ป้อนเข้าที่เกตของ Q_1 และ Q_2 พร้อมๆ กัน (เฟสตรงกัน) ทำให้กระแสเดรน (drain) ไหลผ่านขดไพมารี่ของหม้อแปลง T_2 ทำให้เอาต์พุตเนื่องจากสัญญาณ RF หักล้างกัน คลื่นพาหะ RF จึงเป็นศูนย์ โพเทนชิโอมิเตอร์ R_1 เป็นตัวปรับสมดุล (balance) เพื่อชดเชยผลแตกต่างระหว่าง FET ทั้งสอง วิธีปรับ R_1 ให้วัดเอาต์พุต RF (ขณะไม่ป้อนสัญญาณเสียง) แล้วค่อย ๆ ปรับค่า R_1 จนกระทั่งเอาต์พุตลดต่ำสุดหรือเป็นศูนย์



รูปที่ 2.10 บาลานซ์มอดูเลเตอร์ ใช้ FET คู่

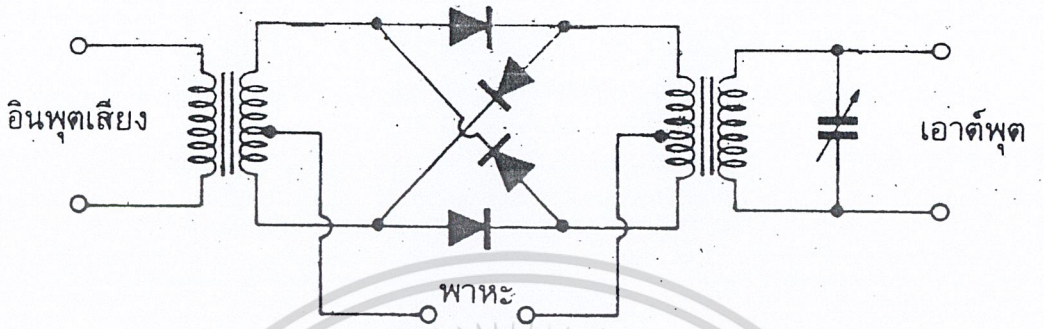
เมื่อป้อนสัญญาณเสียงผ่านหม้อแปลง T_1 เข้าสู่เกตของ Q_1 และ Q_2 สัญญาณที่เกต Q_1 จะมีเฟสตรงข้ามกับสัญญาณที่เกต Q_2 ฉะนั้นสัญญาณเสียงจะมองเห็นวงจร BM ทำงานแบบพุชพูล การผสมกันระหว่างสัญญาณเสียงและสัญญาณพาหะ RF บังเกิดขึ้นที่ FET แต่ละตัว ไซด์แบนด์ผลลัพธ์ซึ่งปรากฏคร่อมขดไพรมารี่ของหม้อแปลง T_2 จะเสริมกันในสัญญาณพุชพูลแล้วส่งออกไปยังเอาต์พุต สำหรับสัญญาณพาหะจะหักล้างกันที่ขดไพรมารี่ ทำให้ไม่มีเอาต์พุต สำหรับสัญญาณเสียงนั้นถูกกรองทิ้งไปเพราะวงจรแทงค์ (หม้อแปลง RF กับ

อย่างไรก็ตามสัญญาณพาหะ C ปรับค่าได้) จูนไว้ที่ความถี่พาหะ เอาต์พุตที่ปรากฏจึงเป็นสัญญาณ AMDSBSC อาจเล็ดลอดไปสู่เอาต์พุตได้ เมื่อ FET ทั้งสองมีลักษณะสมบัติ (characteristic) แตกต่างกัน (เรียกอีกอย่างหนึ่งว่าไม่แมตซ์กัน) เราสามารถปรับสมดุลได้ที่ R_1 นอกจากนี้เราอาจจะปรับจุดกลาง (center tap) ของหม้อแปลง T_2 ด้วยก็ได้ ในทางปฏิบัติวงจร BM ชนิดนี้กำจัดพาหะออกไปได้ถึง 60 เดซิเบล ต่ำกว่าสัญญาณไซด์แบนด์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

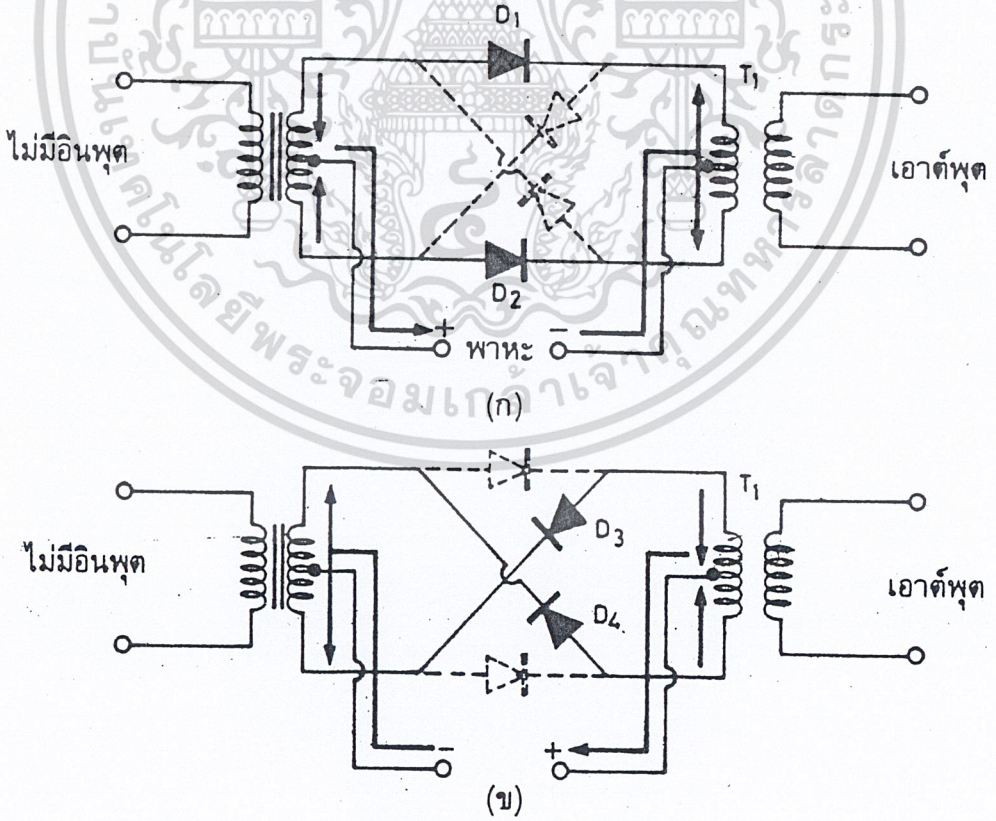
2.10.2 BM ชนิดใช้ไดโอดต่อเป็นวง

วงจร BM ชนิดไดโอดต่อกันเป็นวง (ring) นี้บางทีเรียกว่า ริงมอดูเลเตอร์ (ring modulator) รูปที่ 2.11 ไดโอดทั้ง 4 ตัว จะต้องเลือกให้แมตช์กันเพื่อให้กำจัดพาหะได้หมดสิ้น



รูปที่ 2.11 ริงบาลานซ์มอดูเลเตอร์

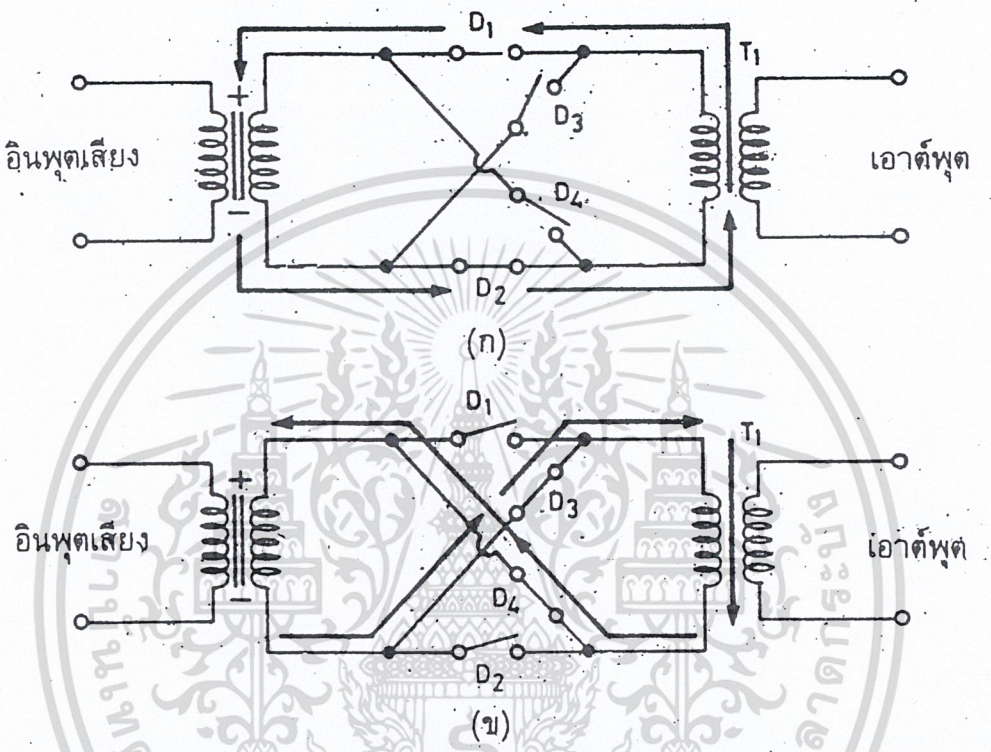
รูปที่ 2.12 (ก) แสดงการทำงานของวงจร เมื่อมีสัญญาณ (กระแส) RF ตามทิศทางที่แสดงไว้ D_1 กับ D_2 ก็จะนำกระแสไหลสวนทางกันในหม้อแปลง T_1 ทำให้ไม่มีเอาต์พุต เมื่อกระแส RF กลับขั้ว D_3 กับ D_4 นำกระแส กระแส RF ก็ยังไหลสวนทางกันในหม้อแปลง T_1 อีก ดังรูปที่ 2.12 (ข) เอาต์พุตก็เป็นศูนย์



รูปที่ 2.12 หลักการทำงานของริงมอดูเลเตอร์ (ในสภาวะที่ป้อน RF อย่างเดียว)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เมื่อป้อนสัญญาณเสียง (รูปที่ 2.13 (ก)) ไดโอดD_1 กับ D_2 จะนำกระแสตามสัญญาณ RF (ในที่นี้เราได้ละเว้นสัญญาณ RF ออกไปเพื่อให้เข้าใจได้ง่ายขึ้น และไดโอดเขียนแทนด้วยสวิตซ์ธรรมดา) สัญญาณเสียงจะไหลผ่านหม้อแปลง T_1 ตามทิศทางที่แสดงไว้ เมื่อสัญญาณ RF กลับขั้ว D_3 กับ D_4 นำกระแส (รูปที่ 2.13 (ข)) สัญญาณ T_1 ก็กลับขั้วด้วย ฉะนั้นสัญญาณเสียงที่ปรากฏที่หม้อแปลง T_1 จะกลับขั้วไปมาอยู่ตลอดเวลาตามจังหวะของสัญญาณ RF



รูปที่ 2.13 แสดงการทำงานของริงมอดูเลเตอร์เมื่อป้อนสัญญาณออดิโอเข้าไปมอดูเลต

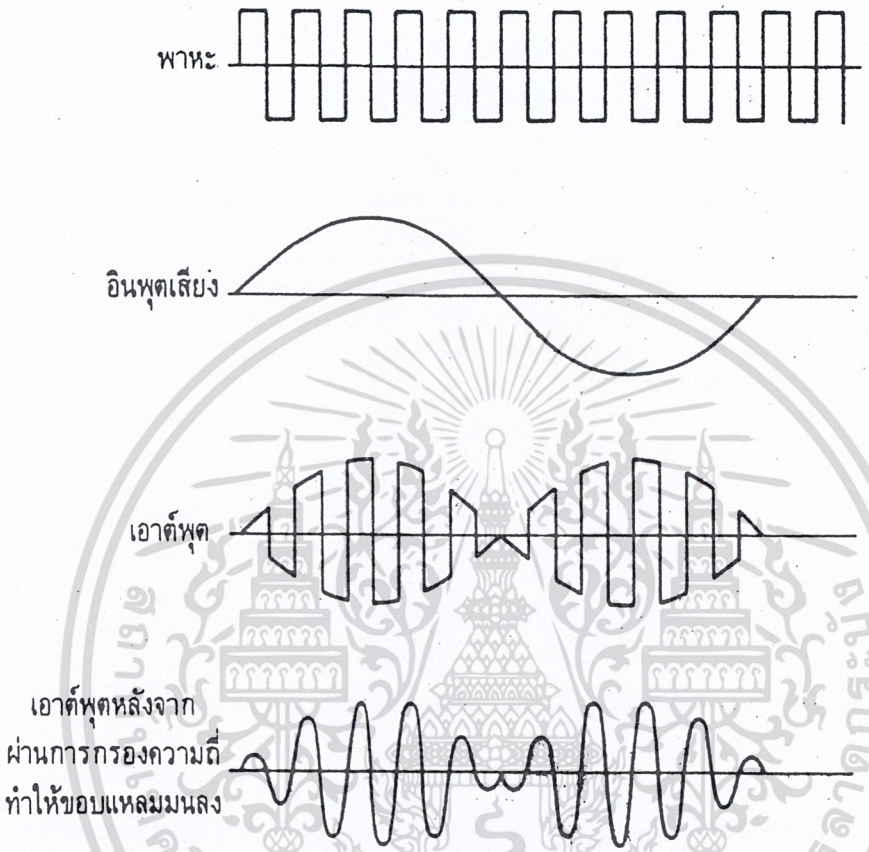
รูปคลื่นของสัญญาณ ณ จุด ต่างๆ แสดงในรูปที่ 2.14 ในที่นี้เราเขียนสัญญาณ RF เป็นรูปสี่เหลี่ยมเพื่อแสดงการสวิตซ์ของไดโอด สังเกตว่าทุกครั้งที่สัญญาณ RF เป็นลบ เอาต์พุตจะสลับขั้วด้วย นอกจากนี้กรอบคลื่นของสัญญาณเอาต์พุตจะมีลักษณะด้านบนและล่าง (บวกและลบ) เหมือนภาพสะท้อนกระจก ซึ่งแตกต่างจากกรอบคลื่นของสัญญาณ AM ธรรมดา สัญญาณ AMDSBSC นี้ ประกอบก้วยไซด์แบนด์ 2 ข้างเท่านั้นเพราะพาหะถูกกำจัดออกไปแล้ว

อาจจะสงสัยว่าไซด์แบนด์เกิดขึ้นได้อย่างไร ในเมื่อไดโอดก็เพียงแต่ถูกสวิตซ์ให้ ON และ OFF ธรรมดา ๆ เท่านั้น คำตอบก็คือ ไดโอดเป็นอุปกรณ์ต้านทานที่ไม่มีลิเนียร์ การผสมสัญญาณแบบไม่ลิเนียร์จะก่อให้เกิดไซด์แบนด์ขึ้น และในกรณีนี้สัญญาณพาหะหักล้างกันเอง จึงไม่ปรากฏที่เอาต์พุต

วงจรริงมอดูเลเตอร์นี้ได้รับความนิยมอย่างมาก เนื่องจากมีช่วงความถี่ใช้งานกว้าง และกำจัดพาหะออกได้ดียิ่ง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สำนักหอสมุดกลาง_พระจอมเกล้าลาดกระบัง

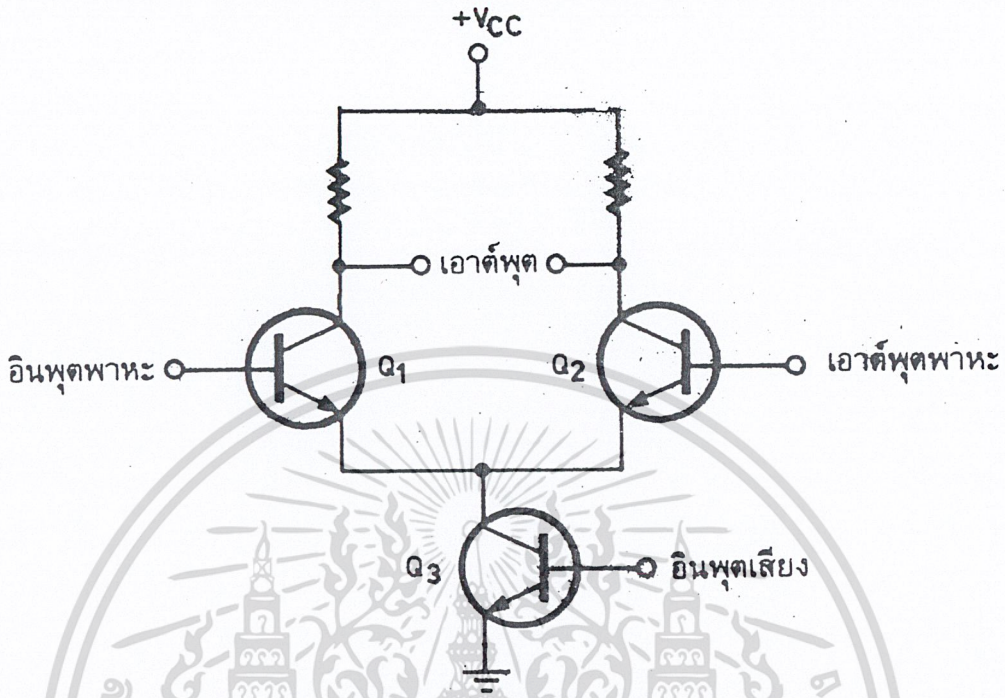


รูปที่ 2.14 รูปคลื่นต่างๆ ในวงจรทรานซิสเตอร์

2.10.3 BM ชนิดใช้ไอซี

วงจรอีกแบบหนึ่งที่เหมาะที่จะนำมาใช้เป็น BM ก็คือ วงจรดิฟเฟอเรนเชียล (รูปที่ 2.15) Q_3 เป็นแหล่งจ่ายกระแสให้แก่ Q_1 กับ Q_2 ถ้าสัญญาณ RF ป้อนให้แก่ Q_1 และ Q_2 มีเฟสตรงกัน กระแสไหลในทรานซิสเตอร์ทั้งคู่ก็จะเท่ากัน และไม่มีแรงดันผลต่างเกิดขึ้นที่เอาต์พุต สภาวะนี้เป็นการกำจัดโหมดร่วม (common mode rejection) ของวงจร พาหะจึงหักล้างกันเองหมดไป

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้
46468



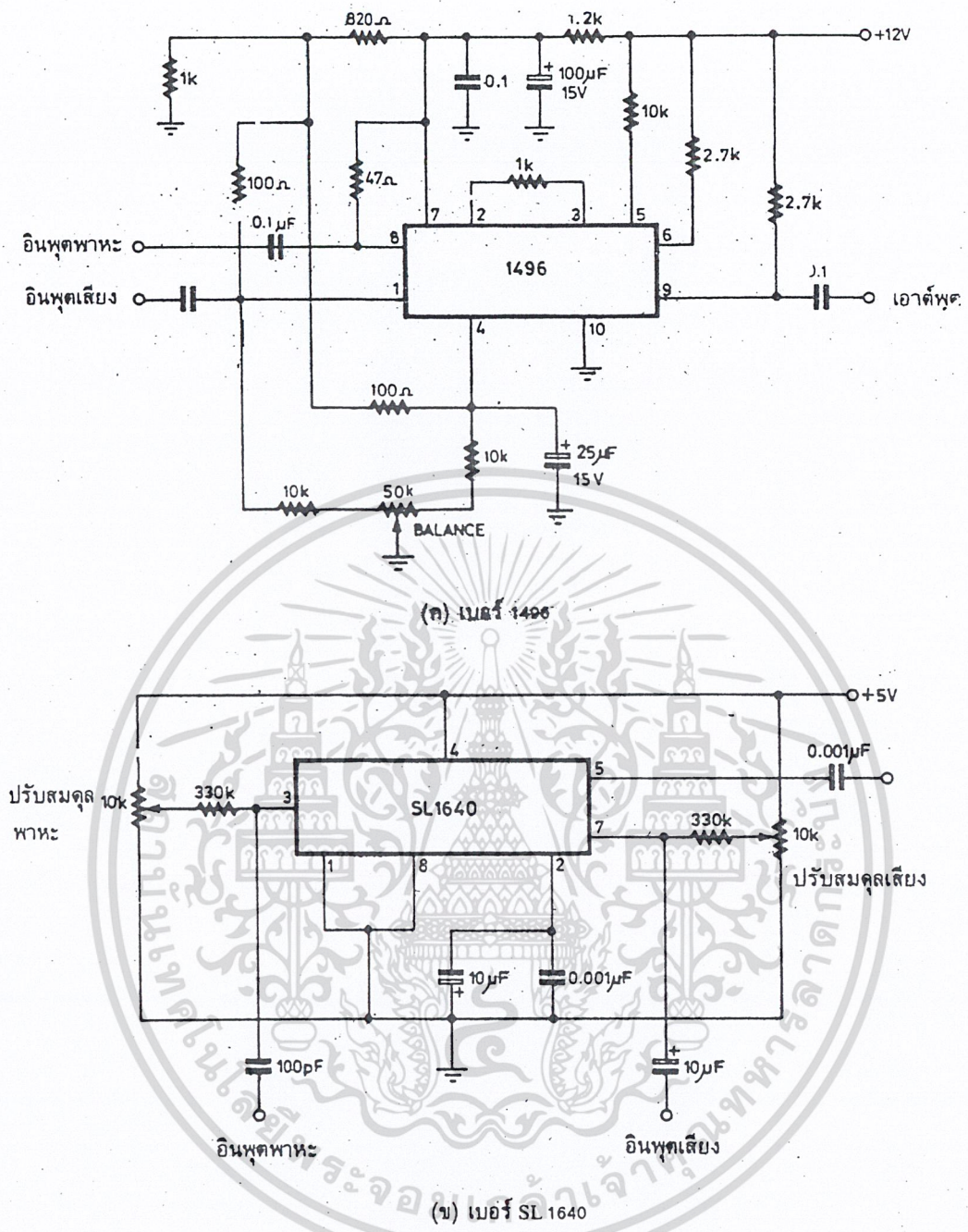
รูปที่ 2.15 บาลานซ์ทรานซิสเตอร์ที่ใช้วงจรดิฟเฟอเรนเชียล

เมื่อป้อนสัญญาณเสียงที่เบสของ Q_3 สมดุลของวงจรจะเสียไป ทำให้สัญญาณเสียง และ RF เกิดการผสมกันขึ้นที่ Q_1 กับ Q_2 การผสมแบบนอนลิเนียร์นี้ทำให้เกิดไซด์แบนด์ขึ้นที่เอาต์พุต อย่างไรก็ตาม พาหะก็ยังเป็นศูนย์เช่นเดิม เนื่องจากสัญญาณโหมดร่วมถูกกำจัดออกไปตามที่อธบายมาในตอนต้น

วงจรดิฟเฟอเรนเชียลที่ดีต้องใช้ทรานซิสเตอร์ที่แมตช์กันอย่างสนิท จึงนิยมทำเป็นไอซี ในรูปที่ 2.16 เป็นไอซีที่ออกแบบเพื่อใช้งานเป็นวงจร BM โดยเฉพาะ รูปที่ 2.16 (ก) คือไอซีเบอร์ 1496 ซึ่งผลิตโดยโมโตโรล่า (Motorola) เนชั่นแนล (National) และซิกเนติกซ์ (Signetics) วงจรนี้ก็ใช้หลักการวงจรดิฟเฟอเรนเชียลที่กล่าวมาแล้ว การกำจัดพาหะสูงถึง 65 เดซิเบล (ที่ความถี่ 500 กิโลเฮิรตซ์)

รูปที่ 2.16 (ข) เป็นไอซีอีกเบอร์หนึ่ง ผลิตโดยเพลสซีย์ (Plessey) เป็นเบอร์ SL 1640 ใช้หลักการดิฟเฟอเรนเชียลเช่นกัน มีข้อดีตรงที่ใช้อุปกรณ์ภายนอกน้อย กำจัดพาหะได้ 40 เดซิเบล (ที่ 30 เมกะเฮิรตซ์)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

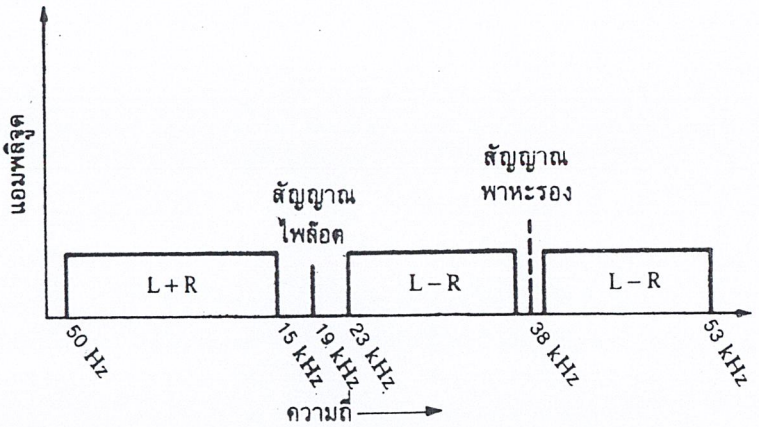


รูปที่ 2.16 ไอซีที่ใช้เป็นบาลานซ์มอดูเลเตอร์

2.11 ระบบ FM สเตอริโอ

เนื่องจากระบบ FM สเตริโอจะต้องออกแบบให้เครื่องรับระบบ FM ธรรมดา(โมโน) สามาถรับสัญญาณได้ตามปกติ เรียกว่าออกแบบให้คอมแพติเบิล (compatible) ดังนั้นเครื่องส่งจะต้องส่งข่าวสารทั้งช่องซ้ายและช่องขวามาทั้งคู่ โดยคงย่านความถี่ของสัญญาณเสียง (50 เฮิรตซ์ถึง 15 กิโลเฮิรตซ์) ตามปกติเอาไว้ สัญญาณนี้เรียกว่าสัญญาณ (L+R) นอกจากนี้ในระบบ FM สเตอริโอจะต้องส่งสัญญาณ(L-R)มา

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.17 แสดงสเปกตรัมของสัญญาณในระบบสเตอริโอมัลติเพล็กซ์

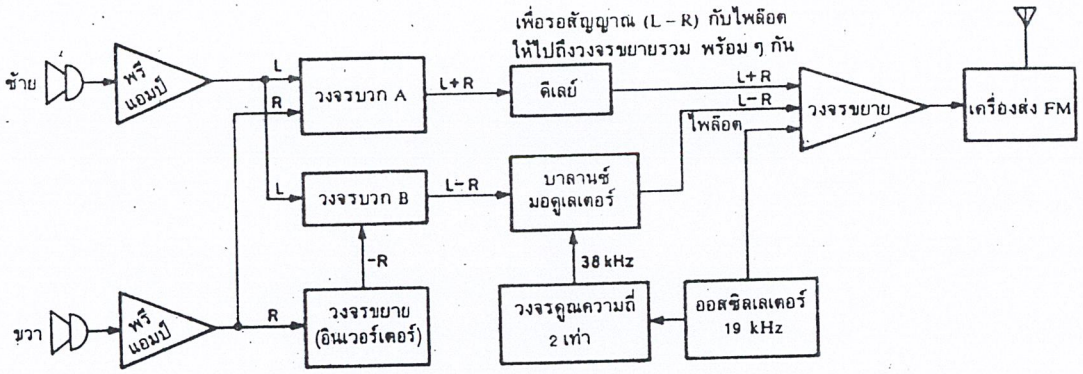
ด้วย สัญญาณ (L-R) นี้จะผ่านการมอดูเลตแบบ AMDSBSC มาก่อน เนื่องจากการดีมอดสัญญาณ DSB ค่อนข้างยุ่งยาก ดังนั้นเครื่องส่งจำเป็นต้องส่งพาหะไพล็อต (pilot carrier) มาด้วย เพื่อช่วยในการซิงก์ (synchronize) กับพาหะรอง (subcarrier) ที่เครื่องส่งความถี่ของไพล็อตเท่ากับ 19 กิโลเฮิรตซ์ ซึ่งเท่ากับครึ่งหนึ่งของพาหะรอง 38 กิโลเฮิรตซ์พอดี กรรมวิธีที่นำเอาสัญญาณ 2 ชนิด คือ (L+R) กับ (L-R)มาส่งไปพร้อมกัน โดยใช้พาหะหลักร่วมกันนี้เรียกว่า การมัลติเพล็กซ์ (multiplex)

กล่าวโดยสรุปจากรูปที่ 2.17 สัญญาณที่เกิดจากการมัลติเพล็กซ์จะประกอบด้วยสัญญาณ (L+R) สัญญาณไพล็อต 19 กิโลเฮิรตซ์ และสัญญาณพาหะรอง (L-R) 38 กิโลเฮิรตซ์ ซึ่งเป็น DSB เครื่องรับ FM โมโนธรรมดาจะรับได้แต่เฉพาะสัญญาณ (L+R) ในช่วงความถี่ประมาณ 50 เฮิรตซ์ ถึง 15 กิโลเฮิรตซ์เท่านั้น สัญญาณเสียงที่ออกจากลำโพงจะเป็นสัญญาณรวมทั้งแชนเนลซ้ายและขวาไม่มีการแยกเสียงเป็นสเตอริโอ (stereo separation) สำหรับเครื่องรับ FM สเตอริโอจะรับเอาสัญญาณทั้งหมดมาผ่านขบวนการดีมัลติเพล็กซ์ (demultiplex) ซึ่งเป็นขบวนการตรงข้ามกับการมัลติเพล็กซ์เพื่อแยกสัญญาณเสียงออกเป็นแชนเนลซ้ายและขวา

2.12 เครื่องส่งสเตอริโอ

ในรูปที่ 2.18 แสดงแผนผังของเครื่องส่งระบบสเตอริโอมัลติเพล็กซ์ สัญญาณจากไมโครโฟนแชนเนลซ้าย (L) และขวา(R) จะผ่านวงจรขยายแล้วนำมาป้อนแก่วงจรบวก A เกิดเป็นสัญญาณ (L+R) สำหรับสัญญาณ (R) อีกทางหนึ่งจะผ่านวงจรอินเวอร์เตอร์ (วงจรขยายธรรมดา) เพื่อกลับเฟสให้เป็น (-R) แล้วป้อนเข้าวงจรบวก B เพื่อบวกกับสัญญาณ L เกิดเป็นสัญญาณ (L-R) ส่วนสัญญาณ R อีกทางหนึ่งจะเข้าสู่วงจรบวก A เพื่อบวกกับ L เกิดเป็นสัญญาณ (L+R)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.18 เครื่องส่งสเตอริโอมัลติเพล็กซ์

สัญญาณ (L-R) จะป้อนไปให้วงจรบาลานซ์มอดูเลเตอร์ (BM) โดยใช้พาหะรอง 38 กิโลเฮิรตซ์ พาหะรองนี้กำเนิดจากออสซิลเลเตอร์ 19 กิโลเฮิรตซ์ แล้วคูณความถี่ขึ้นมา 2 เท่า โดยวงจรคูณความถี่ เอาต์พุตที่ได้จาก BM จะเป็นสัญญาณ DSB ของ (L-R) สัญญาณนี้จะผ่านการขยายแล้วป้อนไปให้แก่ภาคส่งเช่นเดียวกับสัญญาณ (L+R) ซึ่งจะต้องหน่วงเวลาไว้เล็กน้อยเพื่อชดเชยเวลาที่สัญญาณ (L-R) ต้องเสียไปในการมอดูเลต ทำให้สัญญาณทั้ง (L+R) และ (L-R) มาถึงภาคส่งพร้อมกัน นอกจากนี้สัญญาณไพล็อตความถี่ 19 กิโลเฮิรตซ์จากออสซิลเลเตอร์ก็ป้อนให้ภาคส่งด้วยเช่นกัน สัญญาณทั้งหมดนี้จะมอดดูเลตแบบ FM(โดยใช้พาหะหลักร่วมกัน)

มาตรฐานวิทยุกระจายเสียง FM กำหนดไว้ว่า ความถี่เบี่ยงเบนจะต้องเท่ากับ ±75 กิโลเฮิรตซ์ไม่ว่าจะเป็นโมโนหรือสเตอริโอ ดังนั้นในระบบสเตอริโอสัญญาณเสียงจะต้องลดเปอร์เซ็นต์การมอดูเลตลงไปเล็กน้อยเนื่องจากเราต้องมอดูเลตสัญญาณไพล็อต 19 กิโลเฮิรตซ์ลงไปด้วย สัญญาณไพล็อตนี้จะมอดูเลตไว้ 10 เปอร์เซ็นต์ ของความถี่เบี่ยงเบนสูงสุด ±75 กิโลเฮิรตซ์ หรือ ±75 กิโลเฮิรตซ์×10 เปอร์เซ็นต์ = ±7.5 กิโลเฮิรตซ์ ฉะนั้นสัญญาณเสียงที่เข้ามอดูเลตจึงมอดูเลตลดลงไปอีก 90 เปอร์เซ็นต์ หรือ ±75 กิโลเฮิรตซ์× 90 เปอร์เซ็นต์ = ±67.5 กิโลเฮิรตซ์ ปริมาณการมอดูเลต 90 เปอร์เซ็นต์กับ 100 เปอร์เซ็นต์ ผิดกันเพียง 10 เปอร์เซ็นต์เท่านั้น ผู้ฟังจะสังเกตไม่ออกว่าความดังลดลง

สังเกตว่า ในส่วนที่จะเข้ามอดูเลต 90 เปอร์เซ็นต์ของสัญญาณเสียงนี้ ยังจะต้องแบ่งอีกเป็น 2 ส่วน สำหรับ (L+R) กับ (L-R) เท่าๆ กันอีก แต่ความจริงไม่เป็นเช่นนั้น เพราะสัญญาณ (L+R) กับ (L-R)รวมกันจะไม่ทำให้ความถี่เบี่ยงเบนเพิ่มขึ้นเป็น 2 เท่า เนื่องจากเมื่อสัญญาณ (L+R) มีค่ามากสัญญาณ (L-R) จะมีค่าน้อยและในทางกลับกันเมื่อสัญญาณ (L+R) มีค่าน้อยสัญญาณ (L-R) จะกลับมีค่ามาก ดังนั้นการเบี่ยงเบนความถี่จะไม่มีโอกาสเกินได้

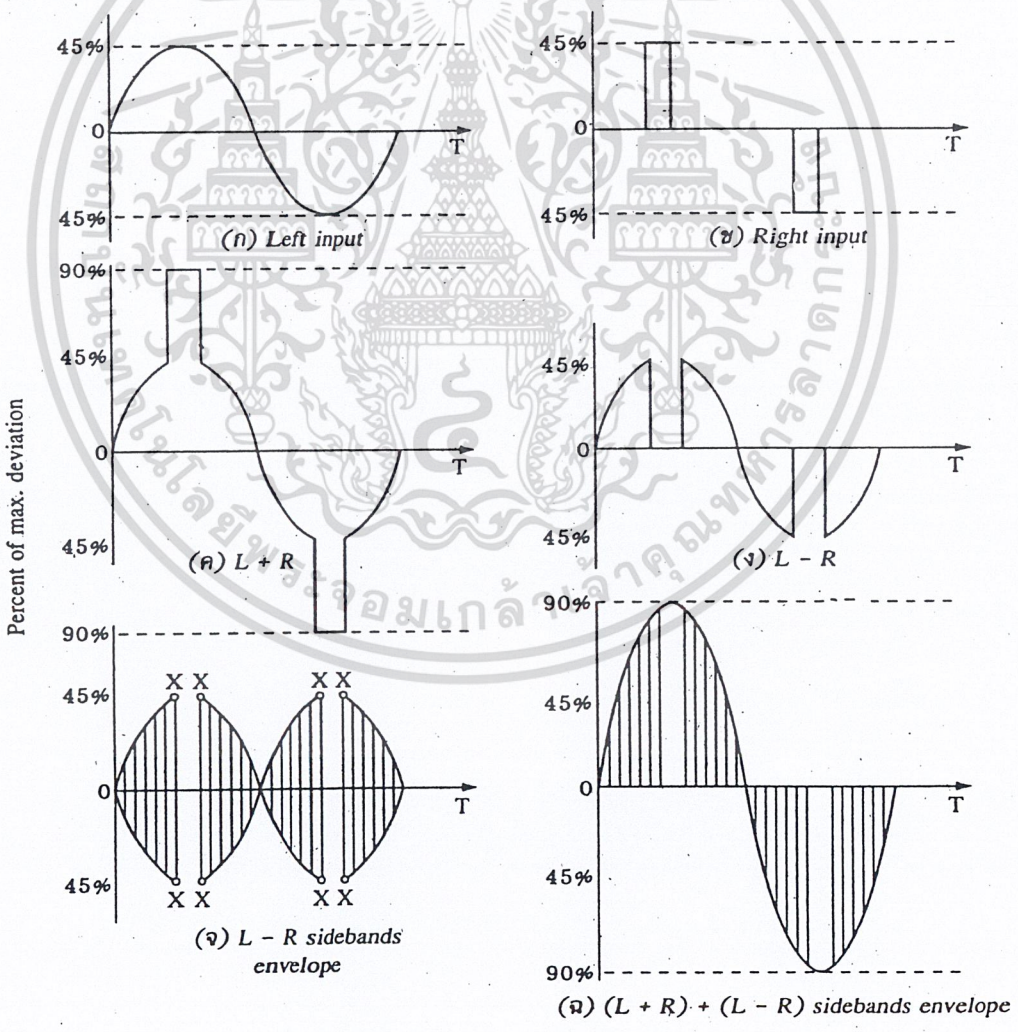
2.13 รูปคลื่นของสัญญาณสเตอริโอมัลติเพล็กซ์

เพื่อให้เข้าใจวิธีการกำเนิดสัญญาณสเตอริโอมัลติเพล็กซ์ได้ง่ายขึ้น สมมุติให้สัญญาณเสียงจากไมโครโฟนซ้าย (L) เป็นคลื่นรูปไซน์ และสัญญาณด้านขวา (R) เป็นคลื่นรูปสี่เหลี่ยมหรือรูปพัลส์ ที่มีความถี่ใดความถี่หนึ่งในย่านความถี่ของเสียง ดังแสดงในรูปที่ 2.19

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ในรูปที่ 2.19 (ก) และ (ข) เป็นสัญญาณซ้าย (L) และขวา (R) ที่มีแอมพลิจูดค่ายอดของสัญญาณไปทำให้ความถี่เบี่ยงเบนสูงสุดของคลื่นพาหะเปลี่ยนแปลงไปเท่ากับ 45 เปอร์เซ็นต์ของการเบี่ยงเบนสูงสุด (75 กิโลเฮิรตซ์) เมื่อนำสัญญาณซ้าย (L) และขวา (R) มารวมกันก็จะได้เป็นสัญญาณ L+R ดังรูปที่ 2.19 (ค) ซึ่งเป็นแชนเนลหลัก เมื่อนำไปมอดูเลตกับคลื่นพาหะแล้วจะทำให้คลื่นพาหะมีความถี่เบี่ยงเบนสูงสุดไปเท่ากับ 90 เปอร์เซ็นต์

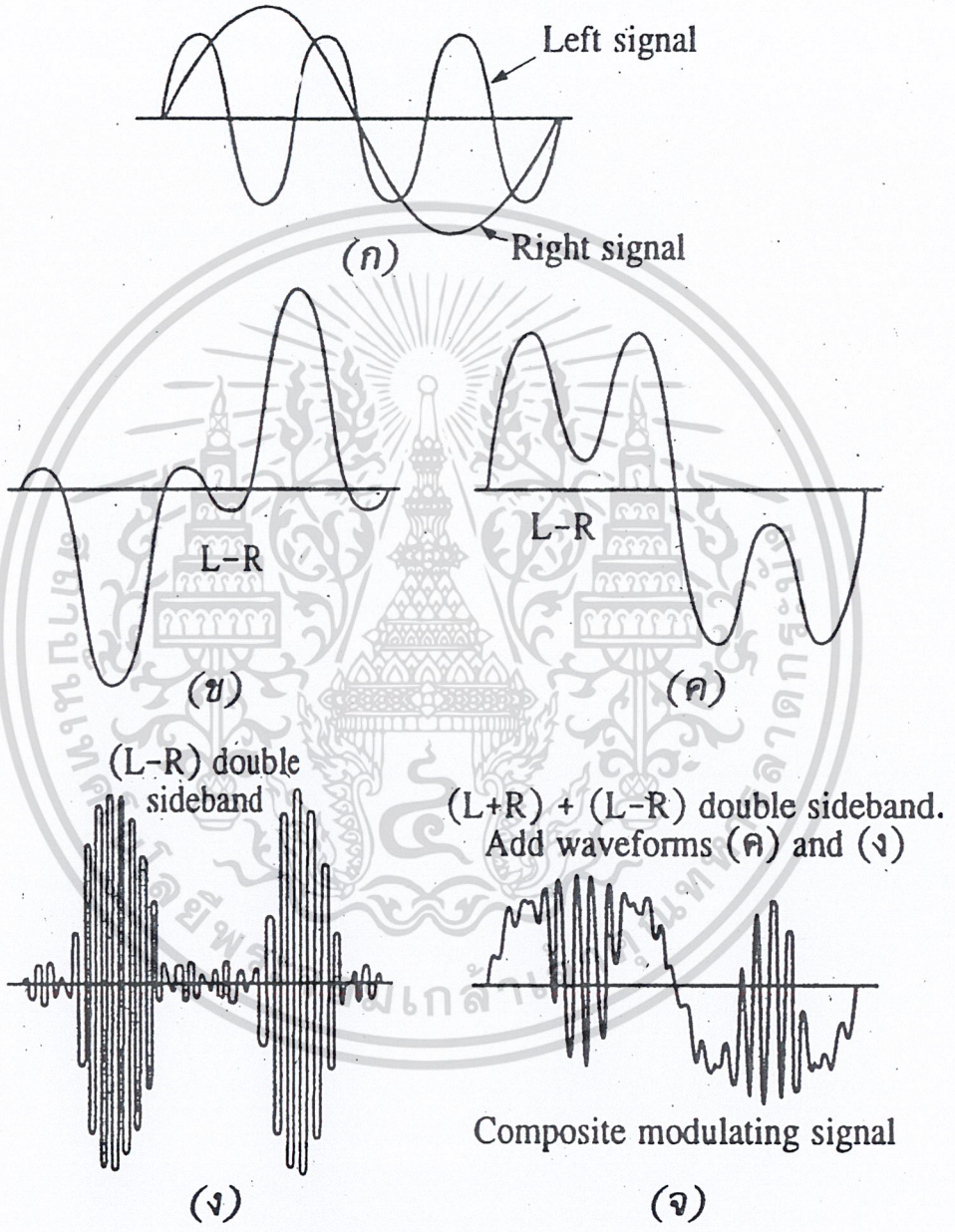
ส่วนในรูปที่ 2.19 (ง) เป็นการรวมสัญญาณซ้าย (L) และขวา (R) ที่ถูกกลับเฟสไป 180 องศา ก็จะกลายเป็นสัญญาณ L – R แล้วนำไปมอดูเลตกับคลื่นพาหะย่อยความถี่ 38 กิโลเฮิรตซ์ แบบ AM กำจัดคลื่นพาหะ โดยใช้วงจรบาลานซ์มอดูเลเตอร์ ก็จะได้สัญญาณเป็น (L-R) DSB ดังรูปที่ 2.19 (จ) และเมื่อนำไปมอดูเลตกับคลื่นพาหะจะทำให้คลื่นพาหะมีความถี่เบี่ยงเบนไปเท่ากับ 45 เปอร์เซ็นต์ เมื่อนำเอาสัญญาณรูปที่2.19(ค)กับรูปที่2.19 (จ) มารวมกันก็จะเกิดเป็นสัญญาณรวมหรือสัญญาณสเตอริโอมัลติเพล็กซ์ ดังรูปที่ 2.19 (ฉ) แต่จริง ๆแล้วต้องรวมเอาความถี่ไพล็อต 19 กิโลเฮิรตซ์ หรือสัญญาณ SCA เข้าไปด้วย และเมื่อนำไปมอดูเลตกับคลื่นพาหะหลักแล้วจะทำให้คลื่นพาหะมีความถี่เบี่ยงเบนไปเท่ากับ 100 เปอร์เซ็นต์



รูปที่ 2.19 แสดงรูปคลื่นของสัญญาณสเตอริโอมัลติเพล็กซ์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ส่วนรูปคลื่นสัญญาณซ้าย (L) และขวา (R) ที่เป็นคลื่นรูปไซน์ทั้งคู่ โดยความถี่ของสัญญาณซ้าย (L) มีค่าเป็น 3 เท่า ของสัญญาณขวา (R) ดังแสดงในรูป 2.20



รูปที่ 2.20 แสดงรูปคลื่นต่าง ๆของสัญญาณสเตอริโอมัลติเพล็กซ์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.14 วิธีสังเคราะห์ความถี่

เครื่องรับส่งวิทยุในปัจจุบันส่วนใหญ่นิยมใช้วิธีสังเคราะห์ความถี่แทบทั้งสิ้น วงจรที่ทำหน้าที่สังเคราะห์ความถี่เรียกว่า ซินธิไซเซอร์ ซึ่งแปลว่าสังเคราะห์ (ความถี่) วิธีสังเคราะห์ความถี่นี้ทำให้วงการเครื่องรับส่งวิทยุเปลี่ยนโฉมหน้าไปอย่างมาก โดยเฉพาะรูปร่างของตัวเครื่องจะมีปุ่มควบคุมต่างๆมากขึ้น เนื่องจากมีขีดความสามารถเพิ่มขึ้น สามารถโปรแกรมเลือกความถี่ใช้งานได้มาก จึงทำให้เกิดความคล่องตัวในการวางข่ายการสื่อสาร

ความจริงหลักการสังเคราะห์ความถี่ได้คิดค้นกันมาตั้งแต่ปี พ.ศ. 2475 แล้ว และได้พัฒนามาโดยลำดับ แต่เริ่มแพร่หลายกันจริงๆ ก็เมื่อประมาณปี พ.ศ. 2513 เนื่องจากเทคโนโลยีการผลิตไอซีช่วยให้การออกแบบใช้งานมีความสะดวกสะบายมากกว่าแต่ก่อน

วงการแรกที่นำระบบสังเคราะห์ความถี่มาใช้ก็คือ วงการทหาร(military) และกิจการเดินอากาศ (aviation) แล้วจึงค่อยๆนำมาใช้ในวงการเครื่องวิทยุสื่อสารทั่วๆไปตามลำดับ

วิธีการสังเคราะห์ความถี่แต่ละแบบมีความซับซ้อนต่างกัน ซึ่งขึ้นอยู่กับช่วงความถี่ (frequency range) ช่วงห่างระหว่างขั้น (step size หรือ resolution) ในที่นี้จะขออธิบายเฉพาะการสังเคราะห์ความถี่ที่ใช้ในเครื่องรับส่งวิทยุทั่วไป

ความจริงวงจรสังเคราะห์ความถี่ก็คือ วงจรที่ทำหน้าที่ผลิตสัญญาณความถี่ขนาดพอเหมาะ และให้มีความถี่ตามที่เรากำหนด (คือสั่งหรือโปรแกรมได้) การโปรแกรมสามารถทำได้โดยการตั้งสวิตซ์หรือกดปุ่ม แต่ในปัจจุบันนิยมสั่งงานด้วยคอมพิวเตอร์

ช่วงความถี่ใช้งานของวงจรสังเคราะห์ความถี่จะจำกัดอยู่ในช่วงความถี่ที่แน่นอน แล้วแต่การใช้งาน และความละเอียดของความถี่ที่เปลี่ยนได้ทีละขั้น เรียกว่า เรโซลูชั่น (resolution)

วิธีสังเคราะห์ความถี่สามารถแบ่งออกได้เป็น 2 วิธี

1. วิธีสังเคราะห์โดยตรง (direct synthesis) ซึ่งต้องใช้ความถี่หลายค่ามาผสมกัน เพื่อให้ได้ความถี่ที่ต้องการ โดยปกติต้องใช้แร่บังคับความถี่หลายชุด

2. วิธีสังเคราะห์โดยอ้อม (indirect synthesis) วิธีนี้อาศัยเฟสล็อกลูป (phase locked loop เรียกย่อว่า PLL)

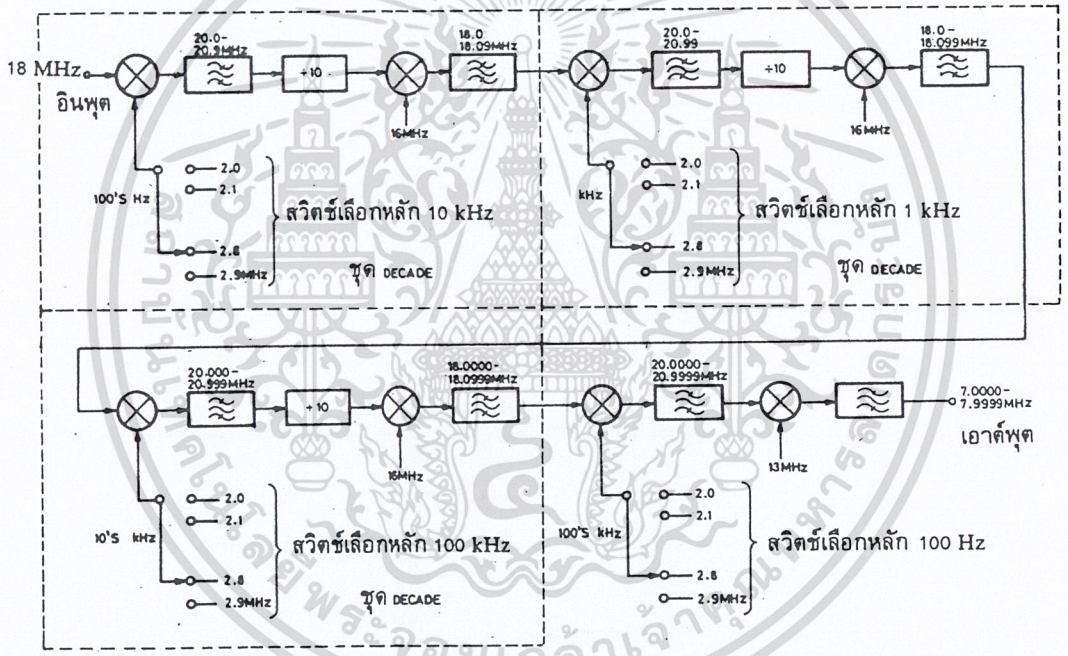
รูปที่ 2.21 แสดงวิธีการสังเคราะห์ความถี่โดยตรง ในที่นี้เราต้องการให้เอาต์พุตมีความถี่อยู่ระหว่าง 7 ถึง 8 เมกะเฮิรตซ์ และเรโซลูชั่น 1000 เฮิรตซ์ นั่นคือเราต้องสามารถตั้งความถี่ได้ดังนี้ คือ7.0000 ,7.0001 , 7.0002,.....ขึ้นไปจนถึง 7.9999 เมกะเฮิรตซ์ สังเกตว่าเราใช้ความถี่หลัก 10 ความถี่คือ 2.0 , 2.1 ,..... ถึง 2.9 เมกะเฮิรตซ์ เป็นตัวกำเนิดความถี่ ความถี่หลักดังกล่าวนี้สามารถผลิตมาจากการผสมสัญญาณ 100 เฮิรตซ์ และพาหะ 2 เมกะเฮิรตซ์ จะเห็นว่าสวิตซ์เลือกความถี่ทั้ง 10 ความถี่นี้ ก็คือสวิตซ์ตั้งโปรแกรมเลือกความถี่ที่ต้องการ จากรูปจะเห็นว่ามี 4 ตัว ตัวหนึ่งเลือกความถี่ขั้นละ 1,000 เฮิรตซ์ ตัวถัดไปเลือกขั้นละ 1 กิโลเฮิรตซ์ ต่อไป 10 กิโลเฮิรตซ์ และ 100 กิโลเฮิรตซ์ตามลำดับ

นอกจากความถี่หลัก 10 ความถี่ดังกล่าวแล้ว เราต้องอาศัยการผสมกับความถี่อื่นอีกด้วย จากรูปเราใช้ความถี่ 18 เมกะเฮิรตซ์ผสมกับความถี่ใดความถี่หนึ่งในความถี่หลักทั้งสิบความถี่ ผลรวมของการผสมจะผ่านฟิลเตอร์กรองเอาเฉพาะความถี่ย่าน 20 ถึง 20.9 เมกะเฮิรตซ์ แล้วผ่านการหารด้วยสิบที่วงจร

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เคาน์เตอร์ เพื่อผสมกับความถี่ 16 เมกะเฮิรตซ์ แล้วกรองเอาเฉพาะที่เป็นความถี่ในย่าน 18 เมกะเฮิรตซ์ตามเดิม สังเกตว่าเอาต์พุตจากชุดนี้เราสามารถสังเคราะห์ความถี่ได้ระหว่าง 18.00 ,18.01,....ถึง 18.09 เมกะเฮิรตซ์

เอาต์พุตจากชุดแรกนี้ เมื่อป้อนเข้าชุดต่อไปก็จะเอาสัญญาณความถี่ระหว่าง 18.00 ถึง 18.09 เมกะเฮิรตซ์ไปผสมกับความถี่หลัก 2.0 ถึง 2.9 เมกะเฮิรตซ์อีก ซึ่งเราเลือกหรือโปรแกรมได้โดยการปิดสวิตซ์ จากนั้นก็ผ่านการกรองและหารสิบแล้วผสมกับสัญญาณ 16 เมกะเฮิรตซ์ เอาต์พุตของชุดที่สอง(จุด A ก็จะตั้งความถี่ได้ระหว่าง 18.000,18.001,.....,18.099 เมกะเฮิรตซ์) เมื่อเราทำการผสมคลื่นเช่นนี้อีกครั้ง เราก็สังเคราะห์ความถี่ได้ระหว่าง 18.000,18.0001,..... ถึง 18.0999 เมกะเฮิรตซ์ ในชุดสุดท้ายเราทำแตกต่างจากเดิมโดยเมื่อผสมกับสัญญาณ 2.0 ถึง 2.9 เมกะเฮิรตซ์แล้ว เราก็นำไปผ่านการกรองเอาแต่เฉพาะสัญญาณระหว่าง 20 ถึง 20.9999 เมกะเฮิรตซ์ และผสมกับสัญญาณ 13 เมกะเฮิรตซ์ ก็จะได้เอาต์พุตเป็น 7.0000 ถึง 7.9999 เมกะเฮิรตซ์ตามต้องการ



รูปที่ 2.21 ตัวอย่างวิธีสังเคราะห์ความถี่โดยตรง (ตำแหน่งของสวิตซ์ที่แสดงจะให้ความถี่เอาต์พุตเท่ากับ 7.8888 MHz)

สังเกตว่าชุดผสมและหารความถี่ส่วนใหญ่ (ที่เขียนว่า DECADE) จะซ้ำๆกัน อย่างไรก็ดีวิธีสังเคราะห์ความถี่โดยตรงไม่ค่อยเป็นที่นิยมนัก เพราะความสิ้นเปลืองแร่ และต้องใช้การผสมคลื่นหลายๆครั้ง

วิธีสังเคราะห์ความถี่โดยอ้อมหรือวิธีเฟสล็อกลูปนั้น เราอาศัยการกำเนิดสัญญาณจากวงจรออสซิลเลเตอร์ ซึ่งควบคุมความถี่ได้โดยปรับแรงดันที่เรียกว่า VCO สัญญาณ VCO จะถูกป้อนกลับมาเปรียบเทียบ

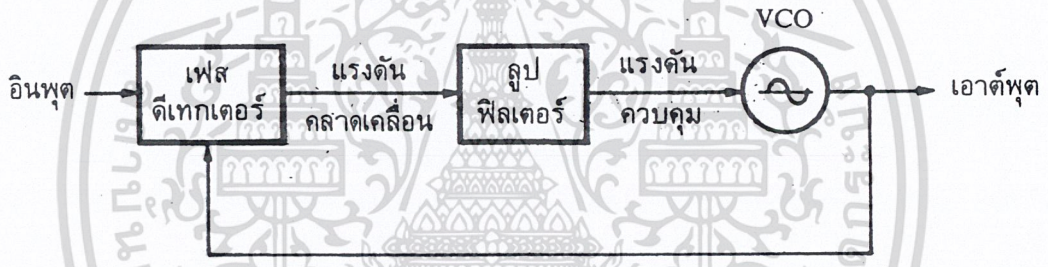
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

กับความถี่อ้างอิงแล้วนำผลลัพธ์ความถี่คลาดเคลื่อนมาแปลงเป็นแรงดัน ไปควบคุมการออสซิลเลตของ VCO อีกครั้งหนึ่ง

2.15 เฟสล็อกลูป

เฟสล็อกลูปเป็นระบบป้อนกลับที่บังคับให้วงจรออสซิลเลเตอร์มีความถี่หรือเฟสเปลี่ยนแปลงไปตามความถี่หรือเฟสของสัญญาณอ้างอิงภายนอก เฟสล็อกลูปประกอบด้วยภาคสำคัญ 3 ภาค คือ ภาคเทียบเฟสหรือเฟสดีเทกเตอร์ (phase detector) ภาคลูปฟิลเตอร์ (loop filter) และภาค VCO ดูรูปที่ 2.22 ในที่นี้สมมุติว่าเราต่อเอาต์พุตจากวงจร VCO

สมมุติว่ามีสัญญาณความถี่อ้างอิงภายนอกเป็นสัญญาณรายคาบ (periodic) เข้ามาที่อินพุต ภาคเทียบเฟสทำหน้าที่เปรียบเทียบเฟสระหว่างสัญญาณอ้างอิงกับสัญญาณจาก VCO เอาต์พุตที่ได้จากภาคเฟสดีเทกเตอร์จะเป็นแรงดันที่มีแอมพลิจูดเป็นสัดส่วนกับผลต่างในเฟสของสัญญาณทั้งสองที่ทำการเปรียบเทียบ แรงดันผลต่างนี้ป้อนไปให้วงจรลูปฟิลเตอร์ซึ่งเป็นฟิลเตอร์ชนิดโลพาสกรองเอาแต่เฉพาะความถี่ต่างๆที่ต้องการ เพื่อส่งไปควบคุมการออสซิลเลตของ VCO ต่อไป



รูปที่ 2.22 แผนผังของเฟสล็อกลูป

เมื่อลูปอยู่ในภาวะล็อก (lock) ความถี่ของ VCO จะเท่ากับความถี่ของสัญญาณอินพุตพอดี อาจจะมีเฟสแตกต่างไป แต่ค่าเฟสที่แตกต่างนั้นจะมีค่าคงที่ (constant phase difference) ในกรณีที่มีเฟสไม่ตรงกัน ภาคดีเทกเตอร์จะจ่ายแรงดันคลาดเคลื่อน (error voltage) ไปควบคุมการทำงานของ VCO เพื่อมิให้เฟสคลาดเคลื่อนจนกว่าจะเข้าสู่สภาวะล็อก เอาต์พุตของ VCO จึงมีแอมพลิจูดคงที่เสมอ แต่ความถี่จะเปลี่ยนแปลงตามความถี่ของสัญญาณอินพุต

เราสามารถนำเฟสล็อกลูปไปใช้สังเคราะห์ (หรือผลิต) ความถี่ที่มีความเที่ยงตรงและเสถียรภาพเทียบเท่าสัญญาณอ้างอิงได้ วงจรนี้เรียกว่า วงจรสังเคราะห์ความถี่ ระบบสังเคราะห์ความถี่จะช่วยให้เราสามารถสังเคราะห์สัญญาณเอาต์พุต (จาก VCO)ให้มีความถี่ตามต้องการได้หลายความถี่ โดยมีความเที่ยงตรงและเสถียรภาพสูงเทียบเท่าคริสตอลออสซิลเลเตอร์

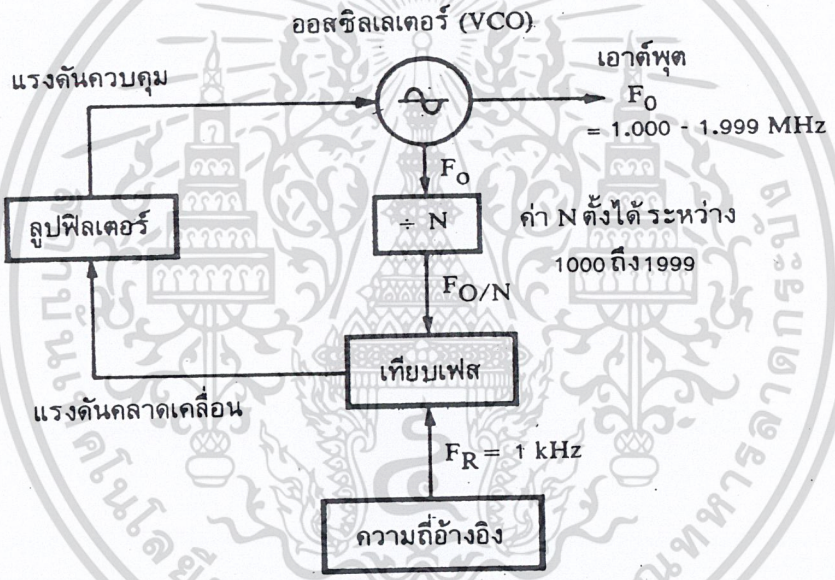
ความจริงเฟสล็อกลูปยังมีประโยชน์อื่นอีก เช่น ในการดีมอดสัญญาณ FM (หรือ PM) เนื่องจากเอาต์พุตของเฟสดีเทกเตอร์มีค่าสัมพันธ์กับการเปลี่ยนเฟสของคลื่นพาหะ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.16 การใช้เฟสล็อกลูปในการสังเคราะห์ความถี่

ไม่ว่าระบบสังเคราะห์ความถี่จะมีความซับซ้อนเพียงใด เมื่อพิจารณาลึกลงไปแล้วจะพบว่ามีเฟสล็อกลูปเป็นหัวใจในการสังเคราะห์เสมอ รูปที่ 2.23 เป็นตัวอย่างของระบบสังเคราะห์ความถี่อย่างง่าย ประกอบด้วย 5 ภาค คือภาค VCO เป็นออสซิลเลเตอร์กำเนิดสัญญาณเอาต์พุตของระบบสังเคราะห์ความถี่ ภาคหาร N ทำหน้าที่หารความถี่แบบตั้งโปรแกรมให้หารด้วยค่าตัวเลขตามต้องการได้ (programmable divider) ภาคกำเนิดความถี่อ้างอิง คริสตอลออสซิลเลเตอร์หรือสัญญาณอื่นๆ (reference generator) ภาคเทียบเฟสและลูปฟิลเตอร์ซึ่งทำหน้าที่กรองเอาเฉพาะความถี่ต่ำไปใช้

แผงผังในรูปที่ 2.23 จะเห็นว่า สัญญาณอินพุตของภาคเทียบเฟสมาจาก 2 แหล่งคือ จาก VCO มีความถี่เท่ากับ F_O/N จากสัญญาณอ้างอิงมีความถี่เท่ากับ F_R เอาต์พุตจากการเปรียบเทียบก็คือผลต่างระหว่างสัญญาณ F_O/N กับ F_R ซึ่งจะกรองเฉพาะความถี่ต่ำเท่านั้น เพื่อบังคับการออสซิลเลตของวงจร VCO ให้ทำการปรับแก้ความถี่ (หรือเฟส) ให้ตรง จนกว่าความถี่ของสัญญาณทั้งสองจะเท่ากัน



รูปที่ 2.23 แผงผังของหน่วยสังเคราะห์ความถี่

ในสภาวะล็อก (lock) ความถี่ของ VCO เมื่อผ่านวงจรหาร N จะเท่ากับความถี่อ้างอิง นั่นคือ

$$F_O = NF_R$$

(คำนวณ จาก $F_O/N = F_R$ ที่วงจรเทียบเฟส)

กล่าวอีกนัยหนึ่งว่า เอาต์พุตจะมีความถี่เป็น N เท่าของความถี่อ้างอิง สมมุติว่า F_R = 1 กิโลเฮิรตซ์ N=1000 จะได้ว่า F_O= 1 เมกะเฮิรตซ์ ถ้า N เพิ่มทีละ 1 เป็น 1001,1002,1003,..... ค่า F_Oจะเพิ่มทีละ 1 กิโลเฮิรตซ์ ไปเรื่อยๆ เป็น 1.001,1.002,1.003.....เมกะเฮิรตซ์ตามลำดับ

ขอให้สังเกตว่า เฟสล็อกลูปดังกล่าว สามารถผลิตความถี่ได้แต่เฉพาะในช่วงความถี่ที่วงจร VCO และวงจรหาร N สามารถทำงานได้เท่านั้น และตัวเลขในการหาร(คือN) ย่อมเป็นเลขจำนวนเต็มเสมอ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

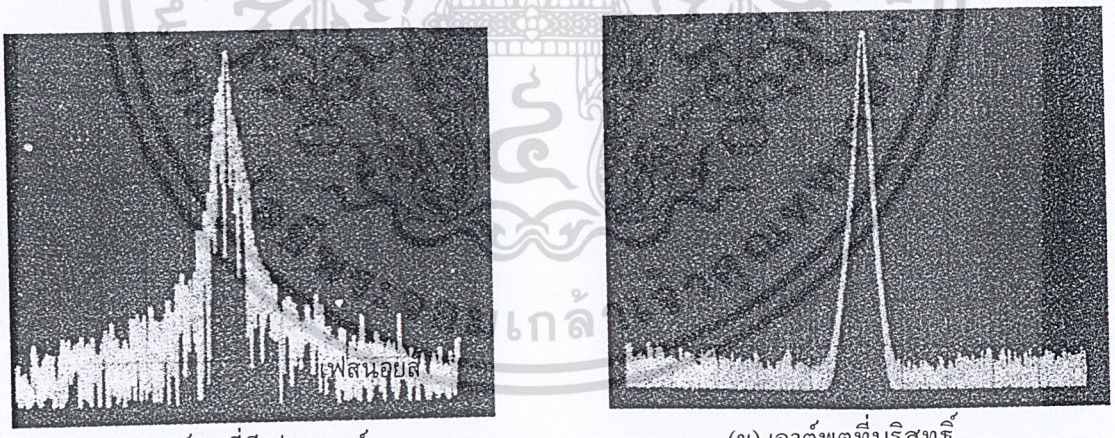
2.17 คุณสมบัติของวงจรสังเคราะห์ความถี่

นอกจากวงจรสังเคราะห์ความถี่จะต้องมีคุณสมบัติเกี่ยวกับช่วงความถี่ (frequency range) ที่ต้องผลิตและเรโซลูชั่นระหว่างขั้นแล้ว คุณสมบัติอื่นๆ ของวงจรสังเคราะห์ความถี่ก็มีความสำคัญสำหรับเครื่องรับส่งวิทยุอีกด้วย ดังจะได้อธิบายต่อไปนี้

โดยปกติวงจรสังเคราะห์ความถี่จะสามารถกำเนิดสัญญาณเพียงสัญญาณเดียว แต่เลือกความถี่ได้หลายค่า (ในช่วงความถี่ใช้งาน) และมีความละเอียดของความถี่ขึ้นอยู่กับเรโซลูชั่น ในกรณีที่เราเปลี่ยนความถี่จากค่าหนึ่งไปยังอีกค่าหนึ่ง วงจรสังเคราะห์ความถี่จะเปลี่ยนตามได้เร็วทันที กล่าวอีกอย่างหนึ่งคือ ล็อกความถี่ได้ในเวลาอันรวดเร็ว นั่นคือ ช่วงล็อกเวลา (lock-up time) สั้น คุณสมบัติการล็อกความถี่ใหม่ได้รวดเร็วนั้นมีความจำเป็นอย่างยิ่งสำหรับเครื่องรับส่งวิทยุ โดยเฉพาะในระหว่างการเปลี่ยนจากสภาวะส่ง(รับ) มาเป็นสภาวะรับ(ส่ง) หรือในกรณีการสแกนความถี่

วงจรสังเคราะห์ความถี่ที่ดีจะต้องผลิตสัญญาณความถี่เดียว โดยปราศจากความถี่แปลกปลอมต่างๆ คุณสมบัตินี้เรียกว่า ความบริสุทธิ์ของสเปกตรัม (spectrum purity) นั่นคือความถี่ฮาร์มอนิกและสปิวเรียสต่างๆ จะต้องถูกกำจัดให้เหลือน้อยที่สุด นอกจากนี้นอยส์จากวงจรออสซิลเลเตอร์ จะทำให้วงจรสังเคราะห์ความถี่มีความถี่ไม่บริสุทธิ์ ไม่ใช่เพียงความถี่เดียว (ดูรูปที่ 2.24) ในช่วงเวลาใกล้เคียงกับความถี่ที่ต้องการ นอยส์ดังกล่าวเรียกว่า เฟสนอยส์ (phase noise)

ความเที่ยงตรง (accuracy) และเสถียรภาพ (stability) ทางความถี่ของวงจรสังเคราะห์ความถี่ขึ้นอยู่กับสัญญาณอ้างอิง โดยทั่วไปสัญญาณอ้างอิงมักจะเป็นวงจรออสซิลเลเตอร์ชนิดใช้แร่บังคับความถี่ ฉะนั้นวงจรสังเคราะห์ความถี่จะมีเสถียรภาพและความเที่ยงตรงทางความถี่เทียบเท่ากับคริสตอลออสซิลเลเตอร์



(ก) เอาต์พุตที่มีเฟสนอยส์ (ข) เอาต์พุตที่บริสุทธิ์

รูปที่ 2.24 เฟสนอยส์ ปรากฏเป็นความถี่แปลกปลอมในบริเวณใกล้ๆ กับความถี่เอาต์พุต

วงจรสังเคราะห์ความถี่ที่ใช้กับเครื่องรับส่งวิทยุในย่านความถี่ HF (3 ถึง 30 เมกะเฮิรตซ์) ค่อนข้างมีความซับซ้อน เพราะการใช้งานในย่านความถี่นี้ เราต้องการเรโซลูชั่นละเอียดถึง 1000 เฮิรตซ์ เป็นอย่างน้อย บางเครื่องทำได้ละเอียดถึง 10 เฮิรตซ์ นอกจากนี้ช่วงความถี่ 3 ถึง 30 เมกะเฮิรตซ์ ค่อนข้างกว้างมาก

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

วงจรสังเคราะห์ความถี่ที่ครอบคลุมช่วงความถี่กว้างๆ และมีเรโซลูชั่นละเอียดอย่างนี้ จะต้องออกแบบเป็นพิเศษเพื่อให้มีคุณสมบัตินอยส์ที่ดี และช่วงเวลาล็อกสั้นรวดเร็ว โดยทั่วไปอัตราส่วนความถี่สูงสุดและต่ำสุดระหว่างช่วงความถี่ใช้งานจะมีค่าไม่เกิน 2 เท่า ในกรณีที่อัตราส่วนเกิน 2 เท่าเราต้องใช้วงจร VCO หลายชุดแล้วมีสวิตซ์เลือกเพื่อป้องกันการล็อกความถี่ฮาร์มอนิก และเพื่อให้ได้คุณสมบัตินอยส์ที่ดีสำหรับช่วงเวลาล็อกอันรวดเร็วนั้น เราทำได้โดยใช้ลูปซ้อนกันหลายลูป (multiple loop)

2.18 ลูปฟิลเตอร์ (LOOP FILTER)

ลูปฟิลเตอร์เป็นส่วนสำคัญอีกส่วนหนึ่งในระบบเฟสล็อกลูป หน้าที่ของวงจรนี้ได้แก่ การควบคุมการล็อก แคปเจอร์ แบนด์วิดท์ และการตอบสนองค่าทรานเชี้ยนของลูป สำหรับลูปฟิลเตอร์ในที่นี้คือวงจรชนิดโลพาสธรรมดา ทำหน้าที่กรองเอาเฉพาะสัญญาณความถี่ต่ำมาควบคุมความถี่ของ VCO ลูปฟิลเตอร์เป็นตัวกำหนดคุณสมบัติการเปลี่ยนแปลงก่อนเข้าสู่สภาวะล็อกที่เรียกว่า คุณสมบัติชั่วครู่ (Transient) ถ้าเลือกอัตราการขยายลูป (Loop Gain) และค่าคงตัวของลูป (Loop Time Constant) ไม่เหมาะสม ความถี่ของเฟสล็อกลูปจะไม่ล็อกและจะเปลี่ยนแปลงอยู่ตลอดเวลา

ดังนั้น ค่าคงตัวเวลาของลูปฟิลเตอร์จะต้องไม่มากเกินไป เพื่อว่าทุกครั้งที่เปลี่ยนความถี่เฟสล็อกลูปจะล็อกได้เร็ว โดยไม่มีการสะบัด (Over Shoot) หรือใช้เวลาเปลี่ยนความถี่อย่างรวดเร็วแต่ค่าคงตัวเวลาก็ไม่ควรน้อยเกินไปจนกระทั่งความถี่สั่นหรือไม่นิ่ง

หน้าที่ของโลพาสฟิลเตอร์ในเฟสล็อกลูป มีหน้าที่ใหญ่ๆ อยู่ 2 ประการ คือ

1. ลดค่าความคลาดเคลื่อนที่เป็นความถี่สูงที่ออกจากวงจรเปรียบเทียบเฟส (Phase Comparator) โดยการใช้คุณสมบัติการจำกัดสัญญาณรบกวนและเป็นตัวทำให้เกิดค่าแรงดันเฉลี่ย (Average DC Voltage) เพื่อนำไปควบคุมวงจร VCO
2. ทำหน้าที่ควบคุมการทำงานของเฟสล็อกลูป ซึ่งขึ้นอยู่กับเงื่อนไขต่างๆ ดังนี้
   - 2.1 แคปเจอร์และล็อกเรนจ์
   - 2.2 แบนด์วิดท์
   - 2.3 การตอบสนองต่อทรานเชี้ยน

เนื่องจากโลพาสฟิลเตอร์ลดค่าแรงดันคลาดเคลื่อนของความถี่ระหว่างลูปแล้วยังเป็นตัวควบการแคปเจอร์โดยตรงและคุณสมบัติต่อผลตอบสนองชั่วขณะของเฟสล็อกลูป

การลดช่วงกว้างของฟิลเตอร์ จะส่งผลไปยังการทำงานของระบบคือ

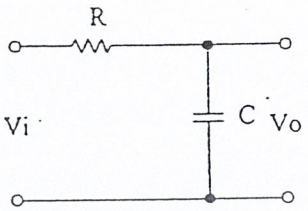
1. ขบวนการแคปเจอร์จะช้าลงและฟูลอินไทม์ (Full in Time) เพิ่มขึ้น
2. ช่วงแคปเจอร์จะลดลง
3. คุณสมบัติทางอินเตอร์เฟอเรนซ์ (Interference Rejection) ของเฟสล็อกลูปจะดีขึ้น เพราะค่าแรงดันคลาดเคลื่อนเนื่องจากความถี่ของสัญญาณรบกวนจะถูกลดลงไป
4. ผลตอบสนองชั่วขณะของเฟสล็อกลูปต่อการเปลี่ยนทันทีของสัญญาณเข้าสู่ช่วงความถี่ แคปเจอร์จะอยู่ในลักษณะภายใต้การแดมป์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.18.1 วงจรโลพาสฟิลเตอร์ (LPF)

ในระบบเฟสล็อกลูปจะมี โลพาสฟิลเตอร์ เป็นส่วนประกอบอยู่เสมอ เราจะกล่าวถึงวงจรโลพาสฟิลเตอร์ที่นิยมใช้กันมีอยู่ 3 แบบดังนี้

2.18.1.1 วงจรกรองความถี่ต่ำอันดับ 1 แบบ R-C



รูปที่ 2.25 แสดงโลพาสฟิลเตอร์อันดับ 1 โดยใช้ R-C

รูปที่ 2.25 โดยทั่วไปจะต่ออยู่ระหว่างเฟสดีเทคเตอร์กับ VCO ค่าของความถี่คัทออฟ (cutoff frequency W_{LPF} สามารถหาได้จากสมการ

$$W_{LPF} = 1/RC \qquad \text{Rad/Sec}$$

ค่าความถี่ธรรมชาติของลูป (Loop Natural Frequency, Wn) สามารถหาได้จากความถี่คัทออฟของวงจรกรองความถี่ โดยสมการ

$$Wn = (Kd*Kv* W_{LPF})^{1/2}$$

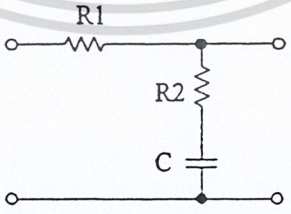
เมื่อ Kd คอนเวอร์ชันเกน (Convertion Gain) ของเฟสดีเทคเตอร์ หน่วย (Volt/sec)

Kv คอนเวอร์ชันเกนของ VCO หน่วย (Rad/Sec/Volt)

เราสามารถหาค่าแดมปิ้งแฟคเตอร์จากสมการ

$$\zeta = N*Wn/(2Kd*Kv)$$

2.18.1.2 วงจรกรองความถี่ต่ำแบบ แลก-ลีด (Lag-Lead Circuit) ดังแสดงในรูป 2.26



รูปที่ 2.26 วงจร แลก-ลีด อันดับหนึ่ง

ค่าความถี่คัทออฟสำหรับวงจรกรองความถี่ชนิดนี้หาได้จากสมการ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$W_{LPF} = 1/(R1+R2)C$$

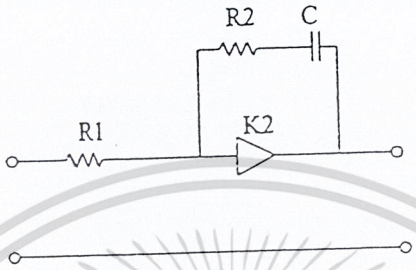
และความถี่ธรรมชาติหาได้จากสมการ

$$Wn = (Kd*Kv / [N*C*(R1+R2)]^{1/2}$$

และแดมปิ้งแฟคเตอร์หาได้จากสมการ

$$\zeta = 0.5\ Wn\ (R2*C+N) / (Kd*Kv)$$

2.18.1.3 วงจรพาสซีฟแบบ แลก-ลีด เราสามารถนำมาสร้างเป็นวงจรแอคทีฟฟิลเตอร์



รูปที่ 2.27 วงจรแอคทีฟฟิลเตอร์

ความถี่คัทออฟหาได้จากสมการ

$$W_{LPF} = 1/R1 * C \qquad \text{(Rad/Sec)}$$

ค่าของลูปความถี่ธรรมชาติ

$$Wn = [(Kd * Kv) / (N*C*R1)]^{1/2}$$

แดมปิ้งแฟคเตอร์ หาจากสมการ

$$\zeta = (Wn*R2*C) / 2$$

2.18.2 ข้อพิจารณาในการออกแบบลูปฟิลเตอร์

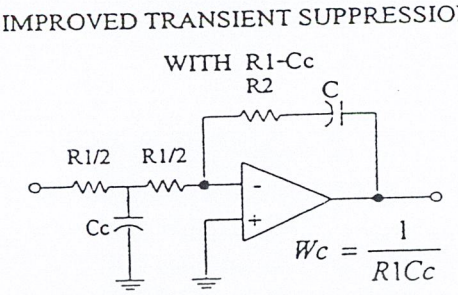
2.18.2.1 เนื่องจากตัวฟิลเตอร์และอินทิเกรเตอร์ที่ใช้ออปแอมป์ มีฟังก์ชั่นเป็นอินเวอร์ติ้ง ดังนั้นจำเป็นต้องดัดแปลงแก้ไขการกลับเฟสนี้ก่อน เพื่อให้ค่าแรงดันคลาดเคลื่อน (Error Voltage) จากออสซิลเลเตอร์ สามารถควบคุม VCO ได้ถูกทิศทางกับความผิดพลาดที่เกิดขึ้น ซึ่งทำให้ง่ายที่สุดโดยการสลับอินพุท Fr และ Fv ที่เฟสดีเทคเตอร์

2.18.2.2 กรณีเฟสดีเทคเตอร์มีเอาท์พุทเป็นดับเบิ้ลเอนด์ Kd = Vdd / 2

2.18.2.3 วงจรแอคทีฟฟิลเตอร์อาจจะเกิดการอิ่มตัว ถ้าลูปเกิดการผิดพลาดเชิงเฟสที่เฟสดีเทคเตอร์มีขนาดใหญ่พร้อมๆกับเกิดทรานเซี้ยนโอเวอร์ชู๊ตขึ้นในลูป กรณีนี้จะเกิดขึ้นเฉพาะกับลูปที่ใช้เฟสดีเทคเตอร์เป็นชนิดดิจิตอล เนื่องจากเอาท์พุทของเฟสดีเทคเตอร์เปลี่ยนแปลงเป็น 0 หรือ 1 ในทันทีทันใด นอกจากนี้ความถี่อินพุทของฟิลเตอร์มักจะมีค่ามาก ดังนั้นถ้าอัตราส่วนของ R1/R2 มากกว่า 10 ความถี่นี้จะถูกขยายด้วยอัตราส่วนของ R1/R2 ถ้าสามารถทำได้ควรให้อัตราส่วนนี้มีค่าน้อยที่สุด

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

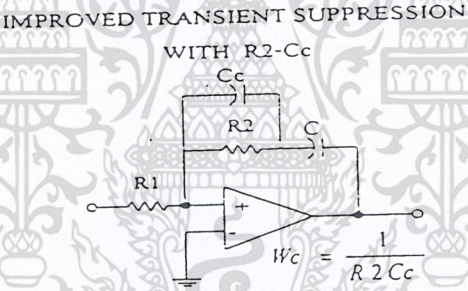
วิธีแก้ไขการอิ่มตัวของออปแอมป์ทำได้โดยการเพิ่มโลพาสฟิลเตอร์ก่อนวงจรอินทิเกรเตอร์ ดังรูปที่ 2.28



รูปที่2.28 วิธีแก้ทรานเซี้ยนด้วย R1-Cc

เมื่อ RS<<R1/2:Rs คือ เอาท์พุทอิมพีแดนซ์ของเฟสดีเทคเตอร์

Wc =4/R1*Cc



รูปที่ 2.29 วิธีแก้ทรานเซี้ยนด้วย R2-Cc

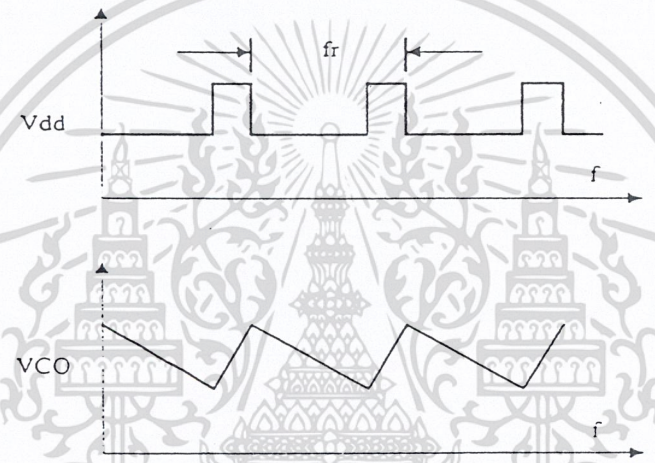
เมื่อ Wc=1/R2*Cc

จากรูป 2.28 สามารถคำนวณความถี่คัทออฟได้จาก 4/R1*Cc ถ้าเฟสดีเทคเตอร์เป็นดิจิตอลเนื่องจากมีความต้านทานเอาท์พุทต่ำ ความถี่คัทออฟของวงจรที่เพิ่มขึ้น ถ้าเป็นไปได้ควรจะมากกว่าความถี่ธรรมชาติ 5 –10 เท่า เนื่องจากโพลที่เกิดจากวงจรที่เพิ่มขึ้น ถ้าอยู่ใกล้ความถี่ธรรมชาติ จะทำให้ลูปเกิดโอเวอร์ชู๊ตมากขึ้น และผลพลอยได้ของฟิลเตอร์ที่เพิ่มขึ้น จะทำให้ความถี่อ้างอิง (Wr) ถูกลดทอนลงด้วยแรงดันที่ไปควบคุม VCO ควรเป็นแรงดันดีซีอย่างเดียว ส่วนประกอบของแรงดันที่ไม่ใช่ ดีซีจะทำให้เอาท์พุทของ VCO มีการมอดูเลตด้วยแรงดันที่ไม่ใช่ดีซี สำหรับแรงดันที่มาควบคุม VCO ส่วนประกอบที่ไม่ใช่ส่วนใหญ่จะมาจากความถี่อ้างอิงและน้อยส์ต่างๆ ในวงจรแอคทีฟฟิลเตอร์จะเพิ่มน้อยส์ลง ไปในแรงดันดีซีด้วย ดังนั้นวงจรขยายที่ใช้ฟิลเตอร์ควรมีคุณสมบัติในเรื่อง สัญญาณรบกวนที่สร้างขึ้นภายในตัวเอง ทางที่ดีควรใช้ชนิดที่มีสัญญาณรบกวนต่ำที่สุดเท่าที่จะทำได้ และกระแสไบอัสอินพุทก็ควรน้อยที่สุด เนื่องจากถ้าวงจรดึงกระแสจำนวนหนึ่ง จาก

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เฟสดีเทคเตอร์ จะทำให้ความผิดพลาดเชิงเฟส เมื่ออยู่ในสภาวะสงบมีค่ามากกว่าศูนย์มาก กรณีที่ใช้ฟิลเตอร์แบบพาสซีฟฟิลเตอร์ ก็จะมีค่าผิดพลาดในสภาวะสงบ (steady state error) มากกว่าแอคทีฟฟิลเตอร์เพราะพาสซีฟฟิลเตอร์จะดึงกระแสโหลดมากกว่าแอคทีฟฟิลเตอร์ อย่างไรก็ตามพาสซีฟฟิลเตอร์ไม่เพิ่มน้อยส์เข้าไปในลูปเหมือนแอคทีฟและ R1 ของวงจรพาสซีฟสามารถแบ่งออกเป็น R1/2 แล้วใช้ Cc เพิ่มขึ้นได้เช่นเดียวกับวงจรในรูปที่ 2.29 และใช้วิธีการคำนวณความถี่คัทออฟแบบเดียวกัน

2.18.2.4 แรงดันที่ใช้ควบคุม VCO ควรมีส่วนประกอบที่ไม่ใช่เอซีน้อยที่สุด ส่วนประกอบที่ไม่ใช่ดีซีจะทำให้ความถี่เอาท์พุทของ VCO เกิดเอาท์พุทที่ไม่ต้องการ (Sperious Output) เป็นไซด์แบนด์ของความถี่อ้างอิงควรถูกกำจัดไปให้มากที่สุด



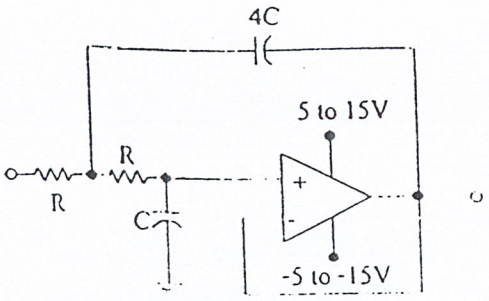
รูปที่ 2.30 แสดงรูปคลื่นเอาท์พุทของเฟสดีเทคเตอร์และอินทิเกรเตอร์

รูปคลื่นจากรูปที่ 2.30 ทำให้เกิดไซด์แบนด์ที่สัมพันธ์กับแคเรียร์ (Carrier) ของ VCO ที่สามารถคาดคะเนโดยประมาณได้จาก

$$(\text{Sideband/Carrier}) = (V*Kv) / (2*Wr)$$

เมื่อ V คือค่าแรงดันยอด (Peak Value) ของความถี่อ้างอิงที่อินพุทของ VCO

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.31 วงจรโลพาสฟิลเตอร์อันดับ 2 โดยใช้ออปแอมป์

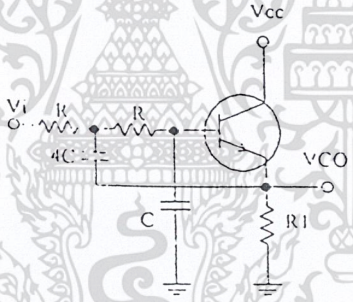
$$Wc = 0.636/RC$$

ให้เลือกค่า R

$$1K \leq R < 1M$$

ให้เลือกค่า C

$$C = 0.5 / (Wc*R)$$

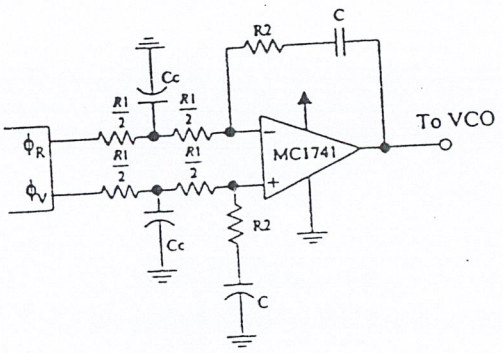


รูปที่ 2.32 วงจร LPF อันดับ 2

โดยใช้ทรานซิสเตอร์ต่อแบบ (Emitter Follower) ถ้าเอาท์พุทมีค่าน้อยกว่า Vcc อยู่ 0.1 v วงจรจะมีความไวต่อสัญญาณรบกวนจากแหล่งจ่าย Vcc

สำหรับในการใช้เฟสดีเทคเตอร์ที่เอาท์พุทของเฟสดีเทคเตอร์ เราสามารถต่อกับฟิลเตอร์ แบบซัมมิ่งเนทเวอร์ค (Summig Network)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.33 วงจรฟิลเตอร์และซัมมิ่งเนทเวอร์ค

ความสามารถในการลดไซด์แบนด์ โดยประมาณของวงจรในรูป คือ

$$dB = 40 \log (Wc/Wr)$$

สำหรับพาสซีฟฟิลเตอร์คือ

$$dB = 20 \log (Wc/Wr)$$

2.18.2.5 สำหรับเฟสดีเทคเตอร์ที่เป็นวงจรชนิด CMOS ขานอนอินเวอร์ติ้งของออปแอมป์ต้องไบอัสได้ที่ ½ (Vdd) ส่วนเฟสดีเทคเตอร์ต้องดูจากคุณสมบัติของเฟสดีเทคเตอร์แต่ละเบอร์

2.19 วงจรผลิดความถี่ควบคุมด้วยแรงดัน (Voltage control oscillator – VCO)

คุณสมบัติหลักของ VCO ที่ใช้ในเฟสล็อกลูป เราพิจารณาได้ดังนี้

2.19.1 การเบี่ยงเบนความถี่ (Frequency Deviation) จุดสูงสุดของเคปเจอร์เรนจ์จะเท่ากับเกนการขยายของลูปเปิด (Open Loop Gain)

2.19.2 เสถียรภาพทางความถี่ (Frequency Stability) การมีเสถียรภาพทางความถี่มีความจำเป็นอย่างยิ่งสำหรับวงจรสังเคราะห์ความถี่ ความไวของการมอดูเลต (Modulation Sensitivity) ควรจะมีค่าสูง

2.19.3 การตอบสนอง (Response) VCO ควรมีการตอบสนองสัญญาณได้ดีและไม่ควรให้มีผลต่อคุณสมบัติทางด้านเสถียรภาพของลูป

2.19.4 คุณสมบัติของความถี่และแรงดัน (Frequency Voltage Characteristic) VCO จะต้องมีอัตราส่วนของความถี่ต่อแรงดัน (F/V) ที่มีความเป็นเชิงเส้น (linear)

2.19.5 Spectral Purity ในการประยุกต์ใช้งาน เช่น การสังเคราะห์ความถี่แบบอนาลอก วงจรผลิตความถี่ควบคุมโดยแรงดันควรจะมีสัญญาณเอาท์พุทที่บริสุทธิ์คือ ถ้าเป็นคลื่นรูปซายน์ควรจะเป็นคลื่นที่คงที่สม่ำเสมอ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ในการออกแบบเฟสล็อกลูปออสซิลเลเตอร์ที่ควบคุมด้วยแรงดันมักจะเป็นส่วนที่จะต้องพิจารณามากที่สุด เพราะว่ามีลักษณะพิเศษของระบบอย่างเช่นเสถียรภาพของระบบและเสถียรภาพของความถี่รวมทั้งการดีมอดูเลตคลื่นเอฟเอ็มตามปกติแล้วจะขึ้นอยู่กับ VCO เพื่อให้เกิดความคล่องตัวมากที่สุด VCO จะต้องมีคุณสมบัติดังนี้

2.19.6 ลักษณะการเปลี่ยนแรงดันเป็นความถี่เชิงเส้น

2.19.7 เสถียรภาพของความถี่ที่ดี

2.19.8 สามารถใช้กับความถี่สูงได้

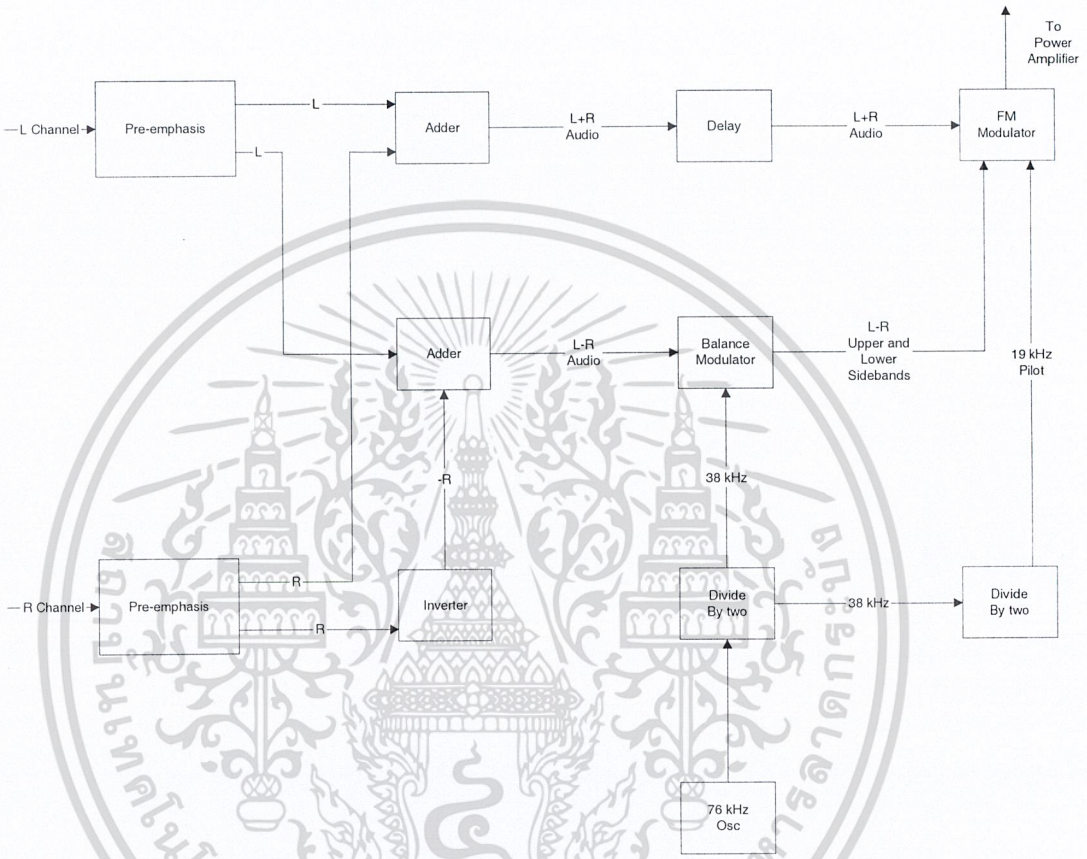
2.19.9 อัตราการขยายสูง

2.19.10 พิสัยการติดตามกว้าง

2.19.11 การตั้งความถี่กระทำได้ง่าย

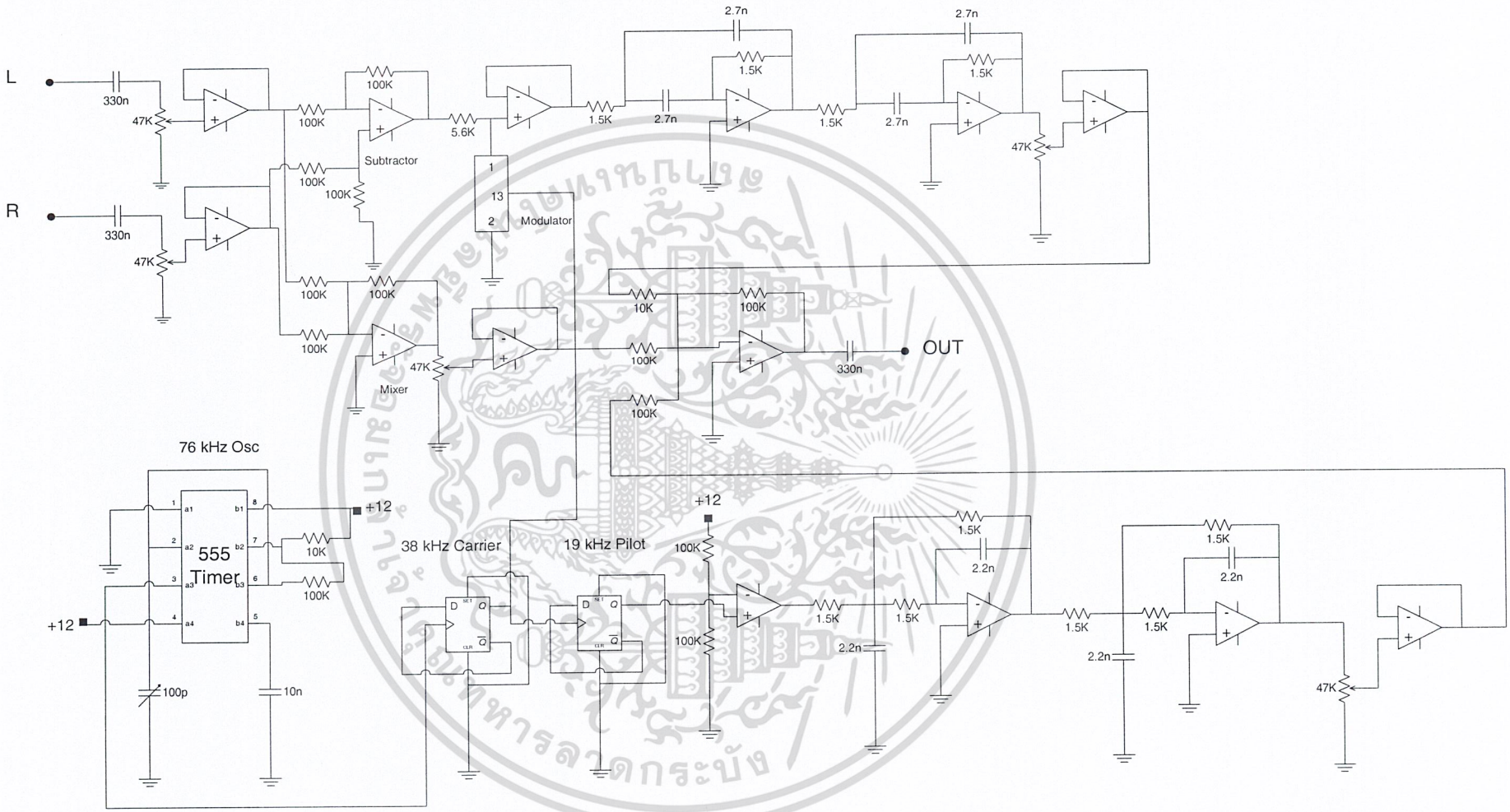
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 3
การคำนวณและการสร้าง



รูปที่ 3.1 แสดง Block Diagram ของวงจร FM สเตอริโอมัลติเพล็กซ์

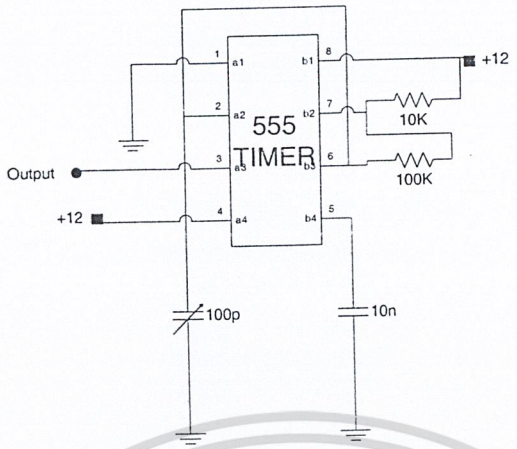
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.2 แสดงรูปวงจรสเตอริโอมัลติเพล็กซ์ที่ใช้งานจริง

ขั้นตอนการสร้าง

3.1 ส่วนสร้างสัญญาณไพล็อต



รูปที่ 3.3 แสดงรูปวงจร 555 Timer

3.1.1 สร้างสัญญาณความถี่ 76 กิโลเฮิรตซ์ จาก IC เบอร์ 555 TIMER ซึ่งสามารถคำนวณโดยใช้สูตรหาความถี่ที่ออสซิลเลตเพื่อหาค่า C

$$f_{osc} = (1 / T) = (1.44 / (R_A + 2R_B)C)$$

f_{osc} คือความถี่ที่ออสซิลเลต

T คือคาบเวลาของสัญญาณ

R_A คือความต้านทานที่ต่อระหว่างขา 7 กับขา 8

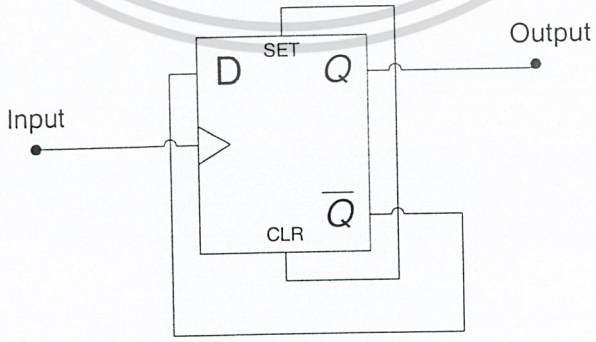
R_B คือความต้านทานที่ต่อระหว่างขา 6 กับขา 7

C คือค่าตัวเก็บประจุที่ปรับค่าได้ในวงจร 555 TIMER

แทนค่าจากวงจร

$$76\ kHz = 1.44 / (10k+2(100k))C$$

$$C = 0.902\ pF$$



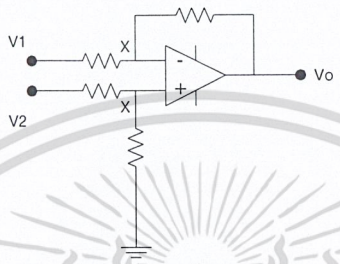
รูปที่ 3.4 แสดงรูปวงจรD-Flipflop

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.1.2 แล้วนำสัญญาณความถี่ 76 kHz ที่สร้างมาจาก 555 TIMER ไปผ่าน D-Flipflop ที่ทำหน้าที่เป็นวงจรหารความถี่ จะทำให้ความถี่ลดลงเหลือ 38 kHz ซึ่งจะได้เป็นความถี่ของ SubCarrier ที่จะนำไปมอดูเลตกับสัญญาณ L-R ต่อไป

3.1.3 นำสัญญาณ SubCarrier ความถี่ 38 kHz ไปผ่าน D-Flipflop อีกครั้งจะทำให้ความถี่ลดลงเหลือ 19 kHz ซึ่งเป็นสัญญาณไพล็อต

3.2 ส่วนสร้างสัญญาณ L-R และ L+R



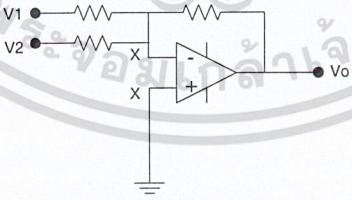
รูปที่ 3.5 แสดงรูปวงจรลบ

3.2.1 นำสัญญาณเสียงทางแชนแนล L และ แชนแนล R มาเข้าวงจรลบซึ่งจะได้เอาท์พุตเป็นสัญญาณ L-R ตามทฤษฎีดังนี้

$$(X-V1)/R + (X-Vo)/R = 0$$

$$(X-V2)/R + (X-0)/R = 0$$

จะได้ $X=V2/2$ ซึ่งทำให้ $Vo=V2-V1$



รูปที่ 3.6 แสดงรูปวงจรบวก

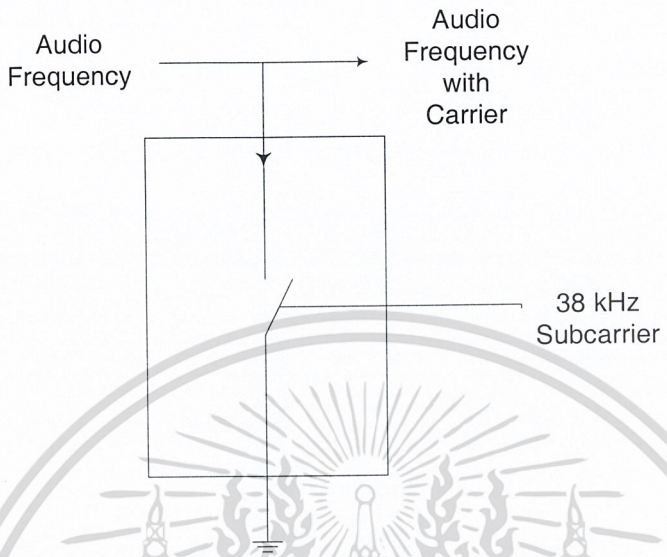
3.2.2 นำสัญญาณเสียงทางแชนแนล L และ แชนแนล R มาเข้าวงจรบวกซึ่งจะได้เอาท์พุตเป็นสัญญาณ L+R ตามทฤษฎีดังนี้

$$(X-V1)/R + (X-V2)/R + (X-Vo)/R = 0$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

แต่ X=0 จึงทำให้ Vo= -(V1+V2)

3.3 ส่วนมอดูเลตสัญญาณ L-R และ SubCarrier



รูปที่ 3.7 แสดงรูปวงจรมอดูเลเตอร์

3.3.1 นำสัญญาณ L-R มาเข้าที่วงจรมอดูเลตสัญญาณซึ่งจะมอดูเลตกับสัญญาณ SubCarrier 38 kHz ทำให้ได้เป็นสัญญาณ SubCarrier ที่มีขนาดเปลี่ยนแปลงตามสัญญาณ L-R

3.4 ส่วนสร้างสัญญาณคอมโพสิต

3.4.1 นำสัญญาณ L-R ที่มอดูเลตกับ SubCarrier แล้ว,สัญญาณ L+R และ สัญญาณ ไพล็อต มาเข้าที่วงจรบวกจะทำให้ได้เป็นสัญญาณคอมโพสิตที่นำไปมอดูเลตทางเอฟเอ็มต่อไป

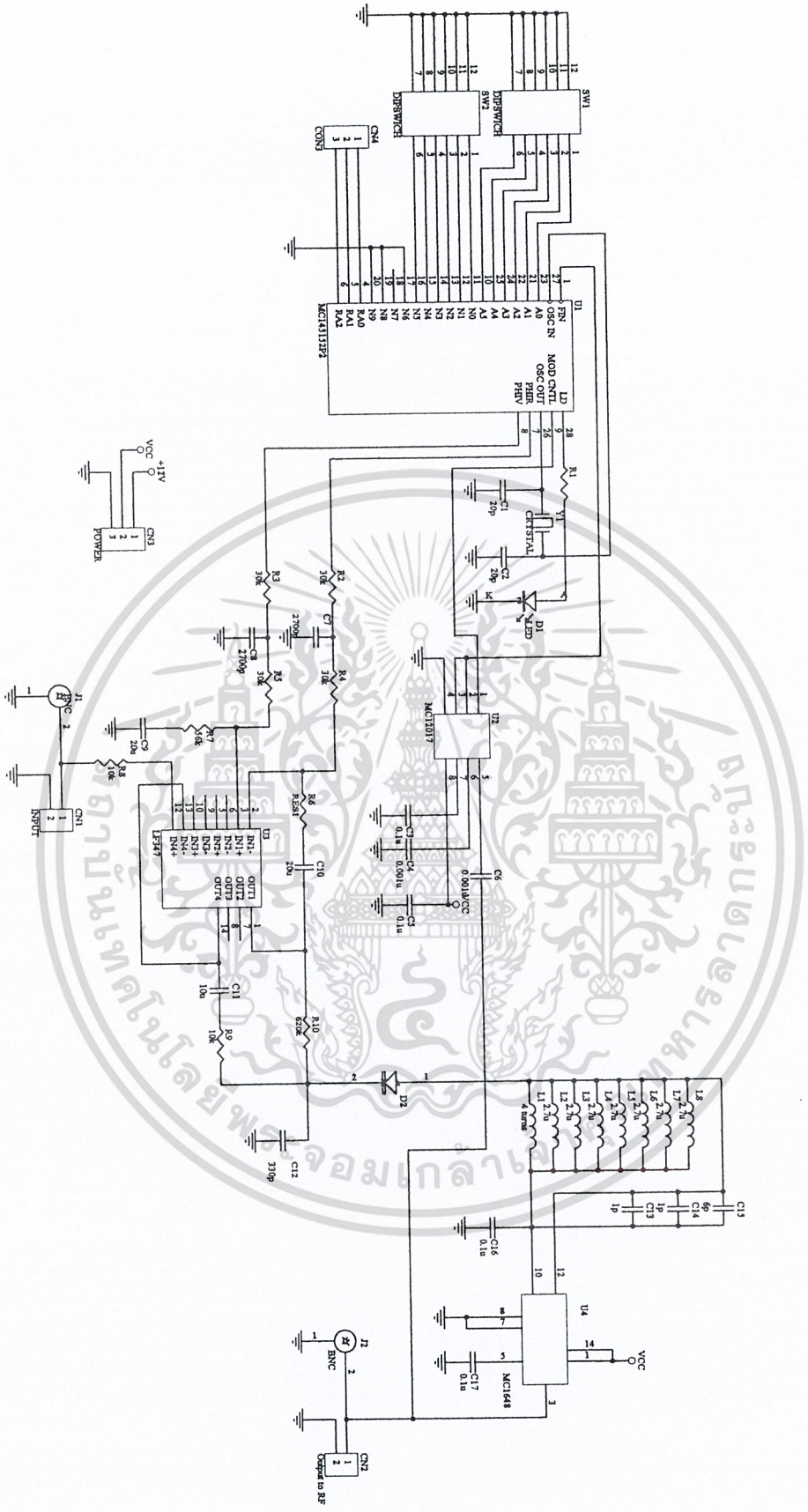
3.5 ภาค Frequency Synthesizer

ในโครงงานนี้ได้นำ Phase Lock Loop มาใช้งานเป็นตัวสร้างสัญญาณพาหะ ในการออกแบบวงจร Phase Lock Loop ต้องพิจารณาดังต่อไปนี้

1. VCO
2. Loop Filter

ซึ่งวงจรที่ใช้งานแสดงในรูปที่ 3.8

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



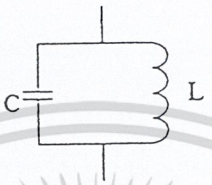
รูปที่ 3.8 รูปแสดงวงจร frequency synthesizer

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รูปที่ 3.8 รูปแสดงวงจร frequency synthesizer

3.6 การออกแบบวงจร VCO

สำหรับการออกแบบวงจร Voltage Control Oscillator เราจะนำ ไอซีเบอร์ MC 1648 มาทำการประยุกต์ใช้เป็นวงจร VCO เนื่องจากไอซีจะให้คุณสมบัติเป็นวงจรผลิตความถี่สูง สามารถผลิตความถี่ได้สูงสุดถึง 225 MHz โดยค่าความถี่ในการผลิตสัญญาณจะถูกกำหนดขึ้นโดยวงจรเรโซแนนท์แบบขนานดังรูป 3.9

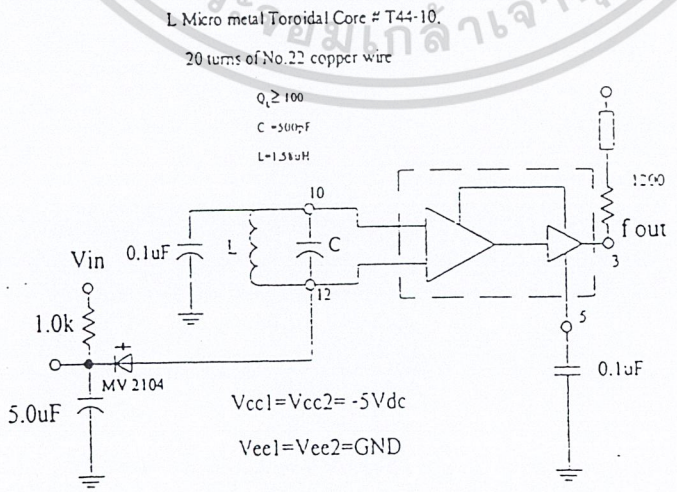


รูปที่ 3.9 วงจรเรโซแนนท์แบบขนาน

จากรูป ค่าความถี่เรโซแนนท์จะมีค่าเท่ากับ

$$f = 1/2\pi(LC)^{1/2}$$

จะเห็นได้ว่าการเปลี่ยนแปลงความถี่ทำได้โดยการเปลี่ยนค่าของ L หรือ C แต่เนื่องจากการเปลี่ยนแปลงค่า C กระทำได้สะดวกกว่าจึงได้มีการนำอุปกรณ์วาเรคเตอร์ไดโอดมาใช้งานซึ่งให้คุณสมบัติเป็นตัวเก็บประจุ โดยค่าความจุไฟฟ้าจะมีค่าเปลี่ยนแปลงแรงดัน V_{dc}



รูปที่ 3.10 วงจรใช้งานเมื่อนำวงจรเรโซแนนท์แบบขนานทำงานร่วมกับ ไอซีเบอร์ MC เบอร์ 1648

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.7 คุณสมบัติของวาเรคเตอร์เบอร์ MV 2105

จากข้อมูลคุณสมบัติของวาเรคเตอร์มีค่า tuning ratio คือ 2.5 ถึง 1 โดยทำให้มีค่าความจุไฟฟ้าประมาณ 6 pF ที่แรงดันไบอัสกลับมีค่าเปลี่ยนแปลงแรงดันอยู่ระหว่าง 2 ถึง 30 V

เมื่อให้ C_r = อัตราส่วนของค่าคาปาซิแตนท์ (Capacitance Ratio)

$C_{v\,min}$ = ค่าความจุต่ำสุดของวาเรคเตอร์

$C_{v\,max}$ = ค่าความจุสูงสุดของวาเรคเตอร์

ρ = ค่าเอกซ์โพเนนของค่าคาปาซิแตนท์

จะได้ $C_r = C_{v\,min} / C_{v\,max}$

$= (V_{max} / V_{min})^{\rho}$

เลือก tuning ratio = 2.6

$C_r = 2.6 = (30/2)^{\rho}$

$\text{Log}(2.6) = \rho \log(15)$

$\rho = 0.3528$

ที่แรงดัน 4 โวลท์ วาเรคเตอร์จะมีค่าความจุไฟฟ้าเท่ากับ 12 pF และใช้งานแรงดันไบอัสกลับสูงสุดถึง 9 โวลท์ จะได้(แทนค่าในสมการ C_r)

$15pF / C_{v\,max} = (9/4)^{0.3528}$

$C_{v\,max} = 11.268$

ค่าความจุไฟฟ้าของวาเรคเตอร์ที่แรงดันไบอัสกลับสูงสุด = 11.268 pF

ค่า $C_{v\,min}$ จะได้

$C_r = C_{v\,min} / C_{v\,max}$

$2.6 = C_{v\,min} / 7\ pF$

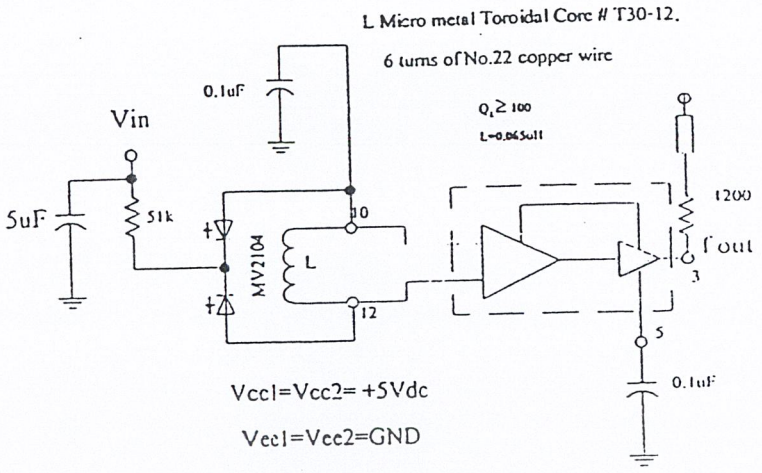
$C_{v\,min} = 18.2\ pF$

เพราะฉะนั้น $C_{v\,max} = 11.268$ pF

$C_{v\,min} = 18.2$ pF

จากวงจรใช้งาน เราต้องการความถี่เอาท์พุทของ VCO ในช่วงความถี่ 88-108 MHz แต่เนื่องจาก ไอซี MC 1648 จะมีค่าปาซิแตนท์ทางอินพุทประมาณ 6 pF ดังนั้นสามารถเขียนเป็นวงจรเรโซแนนท์ได้เป็นดังรูปที่ 3.11

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.11 วงจรใช้งาน

จะได้สมการ คือ

$$f_o = 1/2\pi[L(C_d + C_s)]^{1/2}$$

เมื่อ C_d = ค่าความจุไฟฟ้าของวาเรคเตอร์

C_s = ค่าความจุไฟฟ้าภายในไอซี มีค่าประมาณ 6 pF

ที่ f = 88 MHz

$$C = 1/(2\pi f)^2(L)$$

$$= 1/(2\pi x88x10^6)^2 (163 \times 10^{-9})$$

$$= 20.067 \text{ pF}$$

ที่ f = 100 MHz

$$C = 1/(2\pi f)^2(L)$$

$$= 1/(2\pi x100x10^6)^2 (47 \times 10^{-9})$$

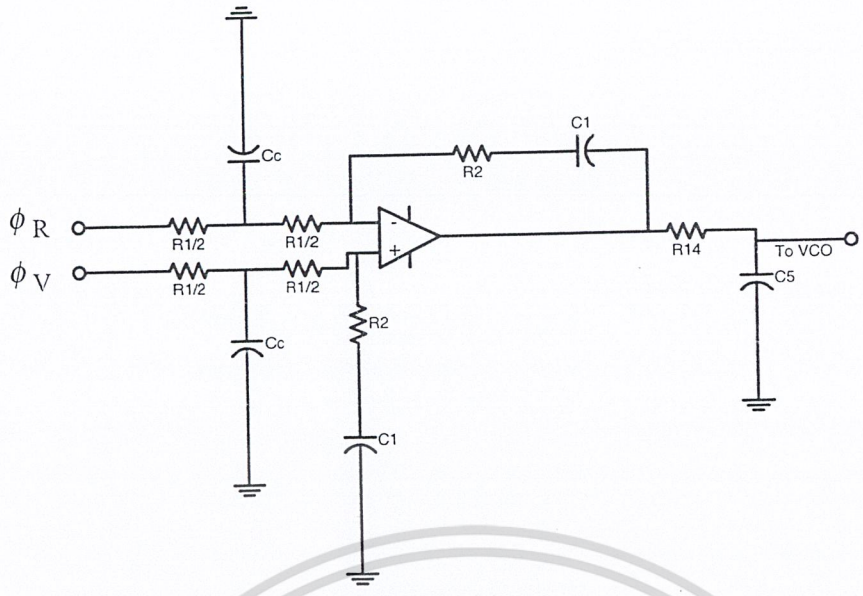
$$= 13.323 \text{ pF}$$

จะเห็นได้ว่าถ้าใช้ค่า L ประมาณ 163 nH กับวาเรคเตอร์ ไอซีสามารถผลิตความถี่ได้ครอบคลุมได้ตลอดย่านความถี่ที่ใช้งาน (ช่วง 88 ถึง 108 MHz)

3.8 การออกแบบ Loop Filter

จากวงจรดังรูป เป็นวงจรกรองความถี่ต่ำแบบ double-ended phase detector ซึ่งใช้สัญญาณอินพุทที่ได้จากวงจรเปรียบเทียบเฟสเป็นแบบ Φ_R และ Φ_V ทำงานร่วมกับออปแอมป์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.12 Low Pass Filter

กำหนดค่า damping factor = 0.707

C1 = 20 μF

ความถี่อ้างอิง f_r = 10 kHz

แรงดันที่ให้กับวงจร V_{DD} = +5V

จากผลการทดลองวงจร VCO จะได้คุณสมบัติ คือ

จากสมการ $W_n = [(K\Phi K_{vco}) / (N*C1*R1)]^{1/2}$

ค่า damping factor $\zeta = (W_n*R2*C1) /2$

เมื่อ $K\Phi = V_{DD}/2\pi$

$= 5/2\pi$

$= 0.79577$ V/Rad

$W_n = 2\pi f_r/50$

$= 2\pi*10*10^3/50$

$= 1,256.63706$ Rad/Sec

$K_{vco} = 2\pi\Delta f_{vco}/\Delta V_{vco}$

$= 2\pi*(89.29-67.34) / (8.73-1.31)$

$= 1.859 \times 10^7$ Rad/Sec

ความถี่เฉลี่ยของ VCO = (89.29+67.34) / 2

= 78.31 MHz

ดังนั้น ค่า N ที่ใช้หาร = f_o/f_r

= 78.31 MHz / 10 kHz

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$= 7831.5$

จากสมการ $W_n = [(K\Phi K_{vco}) / (N*C1*R1)]^{1/2}$

ดังนั้น $R1 = (K\Phi K_{vco}) / (N*C1*W_n^2)$

$= (0.796x1.859x10^7) / [(1256.6)^2 (7831.5)(20x10^{-9})]$

$= 59.8\ k\Omega$

$R2 = 2\zeta / W_n C1$

$= 2*0.707 / [1256.63706*20*10^{-9}]$

$= 56.26\ k\Omega$

$W_b = Wn[1+2\zeta^2 + (2+4\zeta^2+4\zeta^4)^{1/2}]^{1/2}$

$= 2586$ Rad/Sec

$W_{rc} = 10(2586)$

$= 25860$ Rad/Sec

$C_C = 4/R1W_{rc}$

$= 2586$ PF

$C5 = 1/ W_{rc}R14$

$= 1/ (25860x120k)$

$= 322$ PF

3.9 ภาค RF Amplifier

วงจร RF Amplifier เป็นวงจรที่ทำหน้าที่ขยายสัญญาณให้ส่งออกอากาศได้แรงขึ้น

การออกแบบวงจร RF Amplifier

ทรานซิสเตอร์ความถี่สูง พิจารณาทรานซิสเตอร์ที่ถูกออกแบบมาใช้ในวงจรขยายคอมมอนอิมิเตอร์ในรูปที่ 3.13 ก จะแสดงการแทนทรานซิสเตอร์ด้วยบล็อกอันหนึ่ง โดยมีอินพุทเข้าทางขาเบส และเอาท์พุทออกที่ขาคอลเล็กเตอร์ จากบล็อกดังกล่าวอาจแทนได้โดยตัวต้านทาน Rs ต่ออนุกรมอยู่กับรีแอกแตนท์ Xs ตามรูปที่ 3.13 ข ซึ่งค่าของ Xs จะเป็นบวกหากเป็นตัวเหนี่ยวนำและเป็นลบหากเป็นตัวเก็บประจุ หน่วยของรีแอกแตนท์ จะอยู่ในรูปของโอห์มไม่ใช่ เฮนรี หรือ ฟารัด หากต้องการพิจารณาค่าของอินพุทและเอาท์พุทอิมพีแดนซ์สามารถพิจารณาโดยการนำตัวต้านทานและค่ารีแอกแตนท์มาขนานกัน ดังรูปที่ 3.13 ข ซึ่งสรุปเป็นสูตรได้ดังนี้

$$R_s = (R_\rho X_\rho^2) / (R_\rho^2 + X_\rho^2)$$

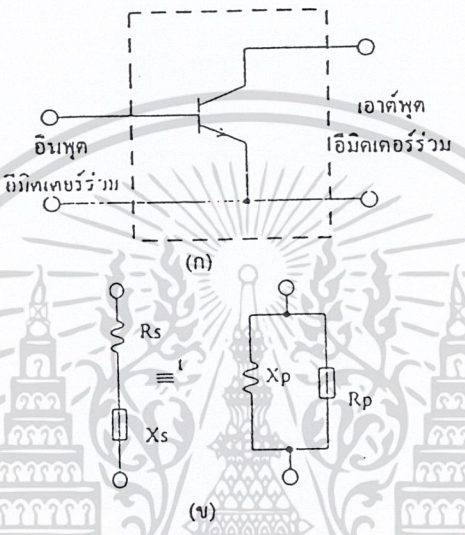
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$X_S = (R_\rho^2 X_\rho) / (R_\rho^2 + X_\rho^2)$$

$$R_\rho = (R_S^2 + X_S^2) / R_S$$

$$X_\rho = (R_S^2 + X_S^2) / X_S$$

โดย Rs และ Xs เป็นค่าความต้านทานและค่ารีแอกแตนท์เมื่อต่ออนุกรม R_ρ และ X_ρ เป็นค่าความต้านทานและค่ารีแอกแตนท์ เมื่อต่อขนาน ปกติจะเขียนความสัมพันธ์ของค่าอิมพีแดนซ์ในรูปจำนวนเชิงซ้อน ซึ่งมีค่า j เข้ามาเกี่ยวข้องโดยมีความหมายแสดงถึงแรงดันและกระแสต่างเฟสกัน 90 องศา



รูปที่ 3.13 การแทนทรานซิสเตอร์โดยบล็อกสี่เหลี่ยม

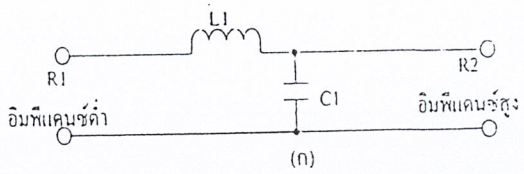
การแมตชิ่ง ในการส่งผ่านสัญญาณระหว่างวงจรมักพบปัญหาเกี่ยวกับอิมพีแดนซ์ไม่เหมาะสมหรือ ไม่แมตซ์ รูปที่ 3.13 เป็นวงจรแมตชิ่งที่สามารถใช้เพื่อช่วยในการจัดอิมพีแดนซ์ให้เหมาะสมการคำนวณค่าของอุปกรณ์ต่างๆใช้สูตรที่อยู่ติดกับรูป

ค่าของ X_{L1} คือค่าความต้านทานทางไฟสลับ (รีแอกแตนท์) ของวงจรแมตชิ่งซึ่งตามรูปที่ 3.14 ก ถึง 3.14 ค จะเพิ่มขึ้นหากความต้านทาน R1 ต่อกับตัวเก็บประจุ และจะลดลงหากต่อกับตัวเหนี่ยวนำ สำหรับในรูป (ง) ค่าของ X_{L1} จะถูกกำหนดโดยค่าของรีแอกแตนท์ที่ต่อร่วมกับ R1 และค่า X_{L1} จะถูกกำหนดโดยค่ารีแอกแตนท์ที่ต่ออยู่กับ R2 ค่าของรีแอกแตนท์สามารถแปลงกลับเป็นค่าของตัวเก็บประจุหรือตัวเหนี่ยวนำได้ โดยใช้สูตรคำนวณดังนี้

$$L = X_L / (2\pi f)$$

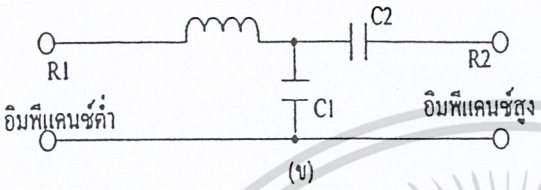
$$C = 1/2\pi f X_c$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



$$X_{L1} = QR_1, \qquad R_2 = R_1(1+Q^2)$$

$$X_{C1} = \frac{R_1^2 + X_L^2}{X_{L1}}$$

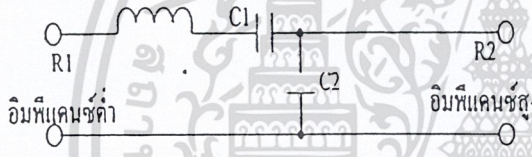


$$B = R_1(1+Q^2)$$

$$A = \sqrt{\left(\frac{B}{R_2}\right) - 1}$$

$$X_{L1} = QR_1 \qquad X_{C2} = AR_2$$

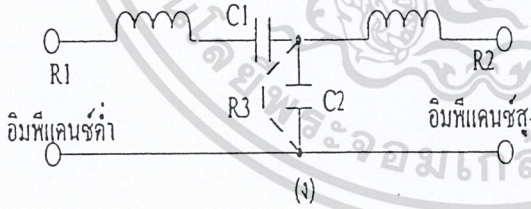
$$X_{C1} = \frac{B}{Q - A}$$



$$X_{C1} = QR_1$$

$$X_{L1} = X_{C1} + \frac{R_1 R_2}{X_{C2}}$$

$$X_{C2} = R_2\sqrt{\left(\frac{R_1}{R_2 - R_1}\right)}$$



$$R_3 = R_1(1 - Q_2^2)$$

$$X_{Ca} = R_3\sqrt{\left(\frac{R_1}{R_3 - R_1}\right)}$$

$$X_{L2} = Q_2 R_2 \qquad X_{C1} = Q_1 R_1$$

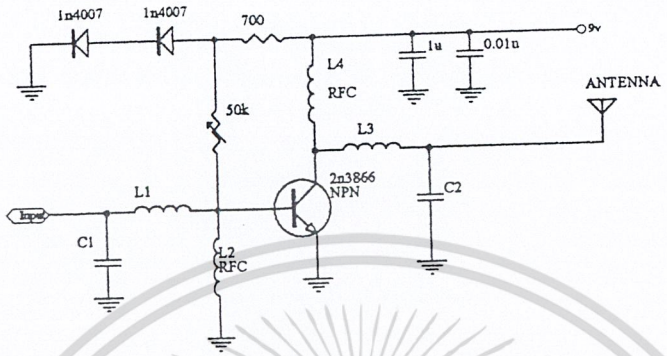
$$X_{cb} = \frac{R_2^2 + X_{L2}^2}{X_{L2}} \qquad C_2 = C_a + C_b$$

$$X_{L1} = X_{C1} + \frac{R_1 R_3}{X_{Ca}}$$

รูปที่ 3.14 แสดงวงจรแมตชิ่งที่ใช้ในการปรับอิมพีแดนซ์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ซึ่งวงจรที่ใช้งานแสดงในรูปที่ 3.15 ซึ่งทางด้าน input เป็นวงจร matching กับ ภาค Frequency Synthesizer ส่วนด้าน output เป็นวงจร Matching กับ สายอากาศ



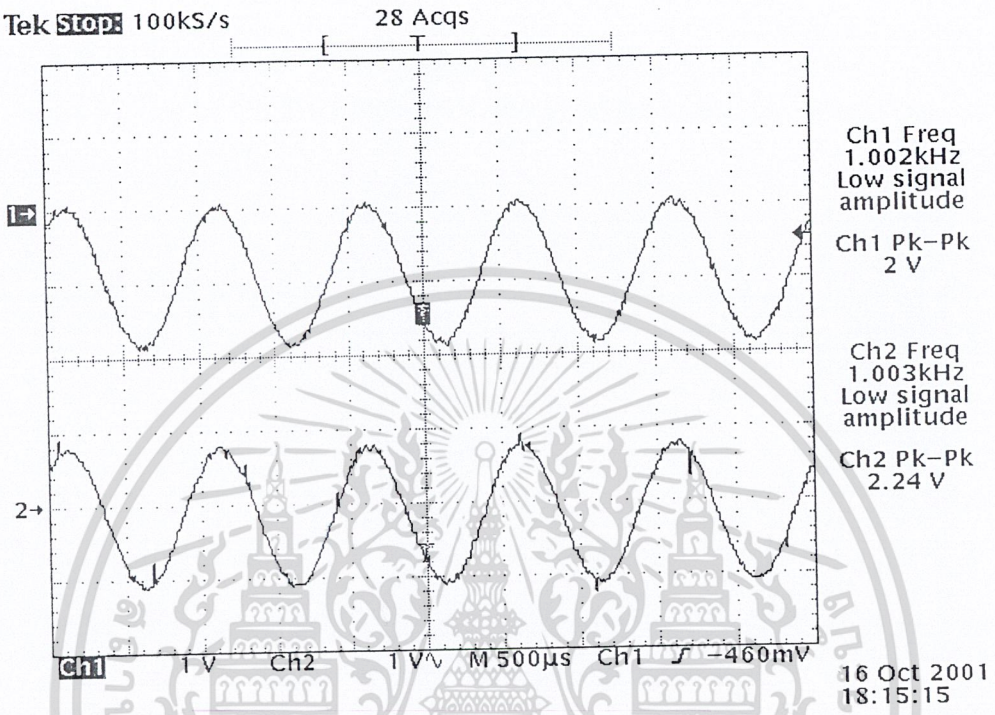
รูปที่ 3.15 วงจร RF Amplifier

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 4

การทดลองและผลการทดลอง

1.ป้อนสัญญาณไซน์ 1 kHz 2 V_{P-P} ที่อินพุตและวัดสัญญาณเอาต์พุตที่แชนเนล L หรือ R จะได้สัญญาณดังรูป

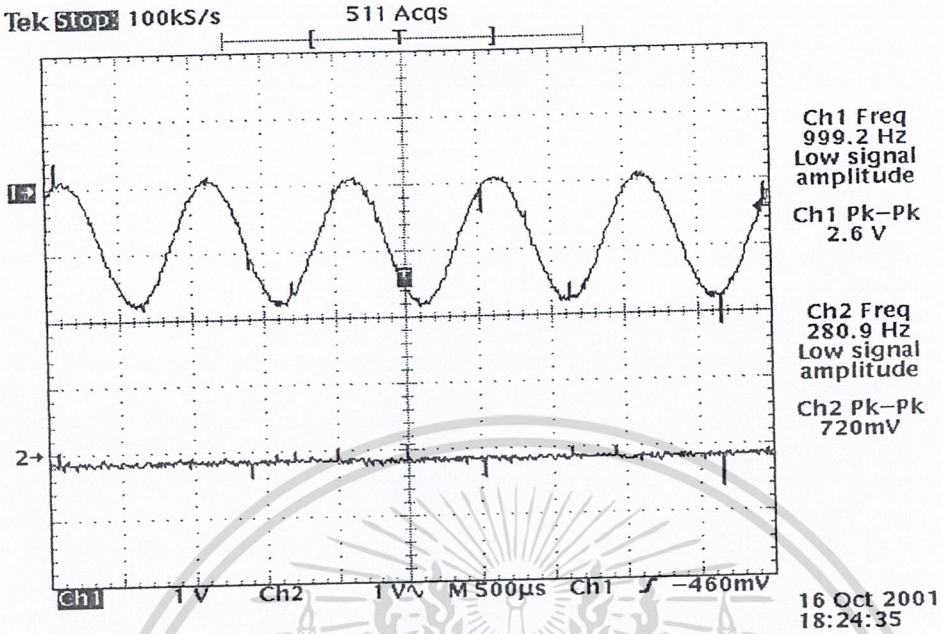


รูปที่ 4.1 แสดงอินพุตและเอาต์พุตของ L แชนเนล

เมื่อป้อนอินพุตด้วยสัญญาณไซน์ 1 kHz 2 V_{P-P} (รูปบน) หลังจากนั้นทำการวัดสัญญาณที่ได้จากเอาต์พุตของ L แชนเนล โดยทำการปรับค่าความต้านทานให้ไม่มีการขยาย ซึ่งจะได้ค่าเอาต์พุตออกมาเป็นสัญญาณตัวเดิม(รูปบน)

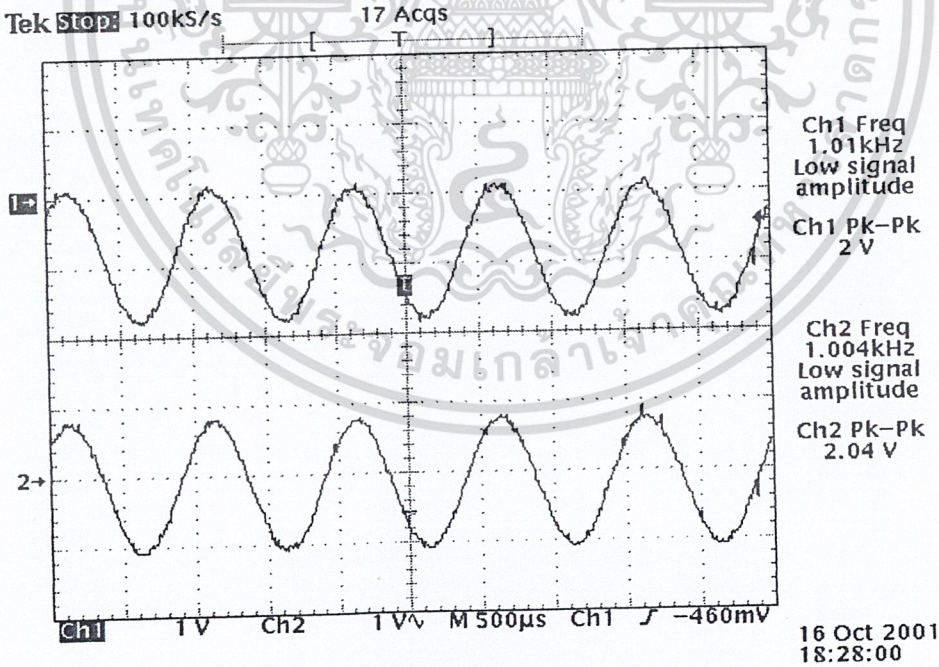
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.แสดงสัญญาณเอาต์พุตที่ผ่าน Subtractor และ Mixer



รูปที่ 4.2 แสดงสัญญาณอินพุตในส่วนของ Subtractor และ Mixer

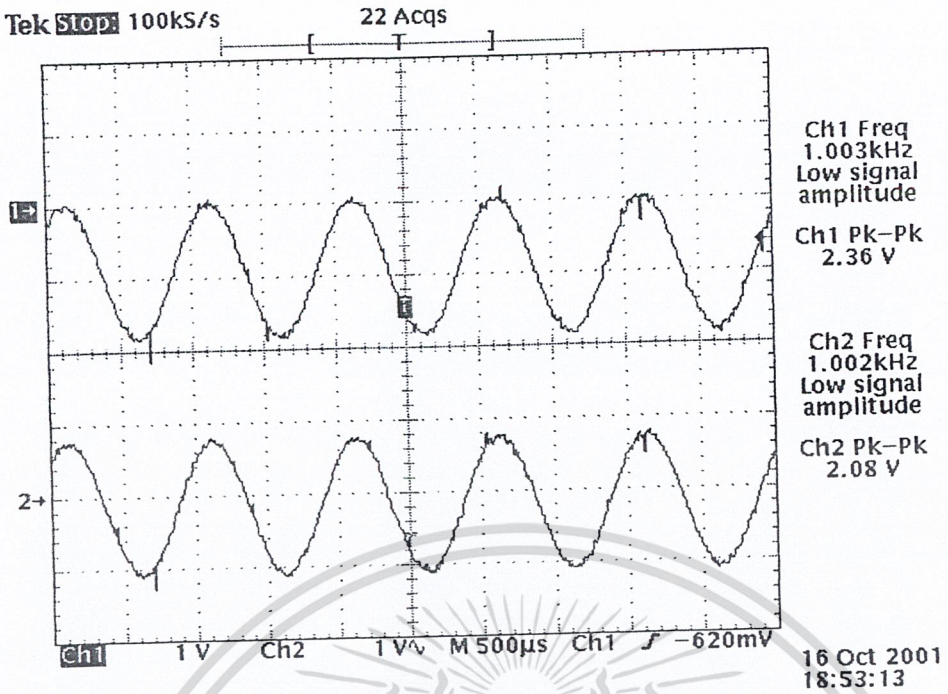
สัญญาณอินพุต(รูปบน)เป็นสัญญาณเอาต์พุตที่มาจาก L แชนเนล ส่วนสัญญาณอินพุต(รูปล่าง)เป็นสัญญาณเอาต์พุตที่ได้จาก R แชนแนล



รูปที่ 4.3 แสดงสัญญาณเอาต์พุตที่ผ่าน Subtractor และ Mixer

สัญญาณที่ได้ในรูปบนเป็นสัญญาณของ Subtractor โดยที่เอาต์พุตของสัญญาณ Subtractor ได้มาจากการรวมสัญญาณ L-R จากรูปที่ 4.2 ส่วนสัญญาณในรูปข้างล่างเป็นสัญญาณของ Mixer โดยสัญญาณเอาต์พุตของ Mixer ได้จากการรวมสัญญาณของ L+R จากรูปที่ 4.2 เช่นกัน

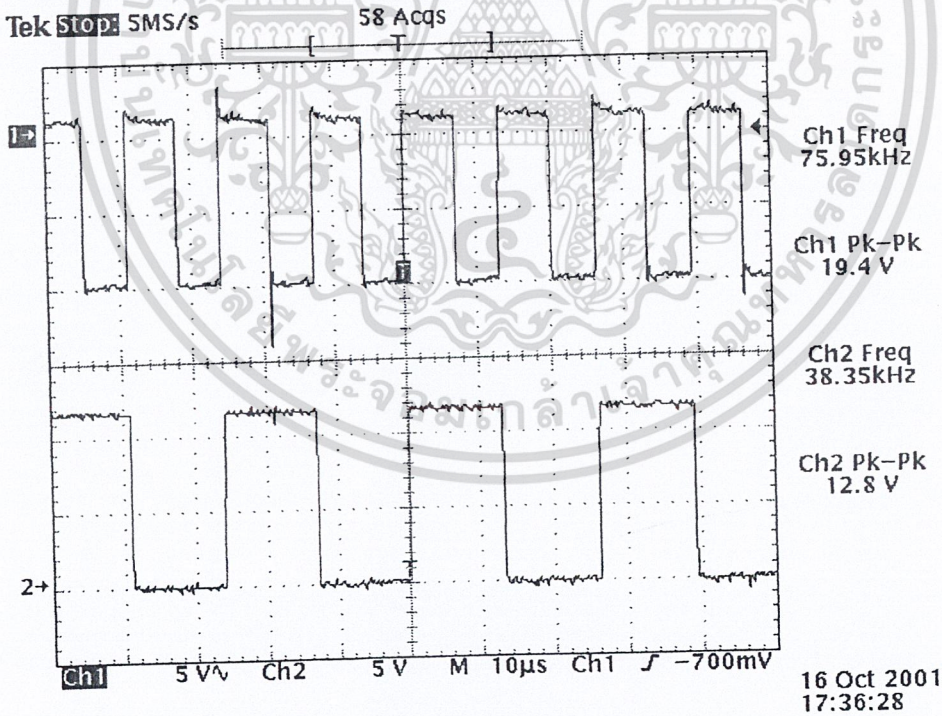
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.4 แสดงเอาต์พุตเมื่อผ่านบัฟเฟอร์ของ Mixer

เอาต์พุตของส่วน Mixer เมื่อผ่าน บัฟเฟอร์จะคงระดับสัญญาณของ Mixer

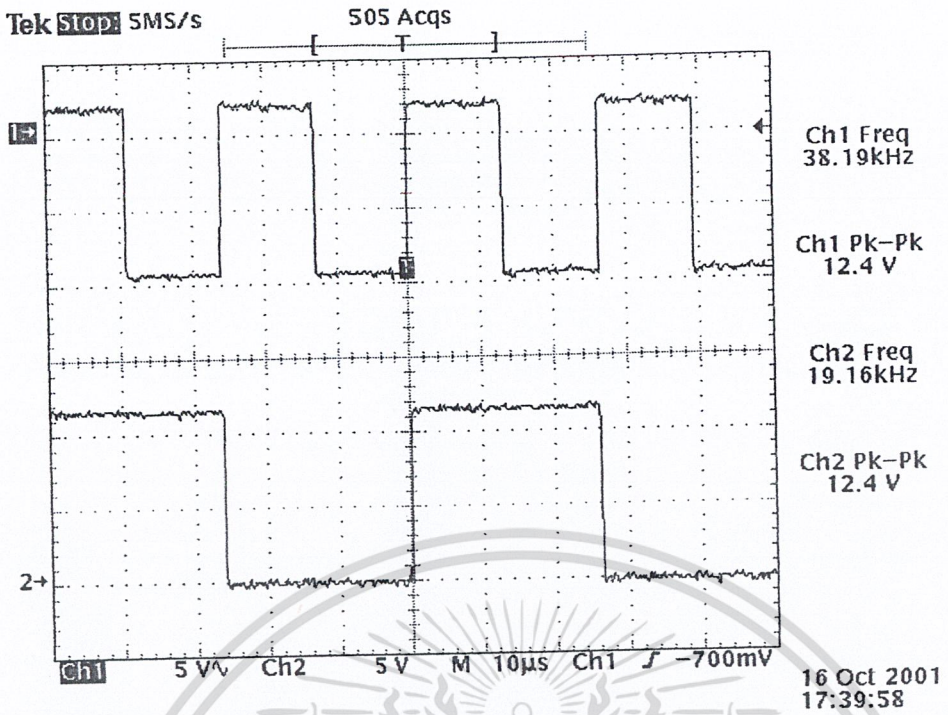
3 แสดงสัญญาณไพล็อต 19 kHz และพาหะรอง 38 kHz



รูปที่ 4.5 แสดงส่วนของสัญญาณพาหะรอง 38 kHz

จากวงจร 555 TIMER จะได้สัญญาณความถี่ 76 kHz จากวงจรกำเนิดความถี่ ผ่าน Dfipflop ซึ่งจะทำการหารความถี่เหลือ 38 kHz ซึ่งจะได้สัญญาณดังรูปที่ 4.5(รูปล่าง) ซึ่งสัญญาณที่ได้นี้จะนำไปมอดดูเลตกับสัญญาณ L-R (รูปที่ 4.4 รูปบน)

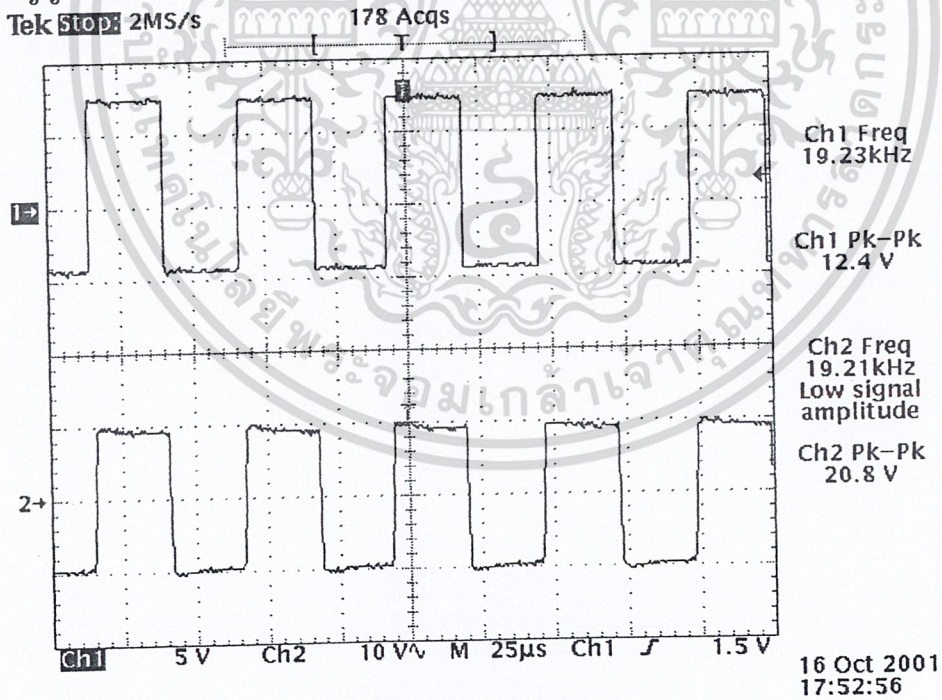
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.6 แสดงส่วนของสัญญาณไพล็อต 19 kHz

สัญญาณพาหะรอง 38 kHz (รูปบน) เมื่อผ่านวงจรหารความถี่อีกครั้งจะได้เอาต์พุตของวงจรหารความถี่สุดท้ายออกมาคือ สัญญาณไพล็อต 19 kHz (รูปล่าง)

4.แสดงสัญญาณเมื่อผ่าน Comparator

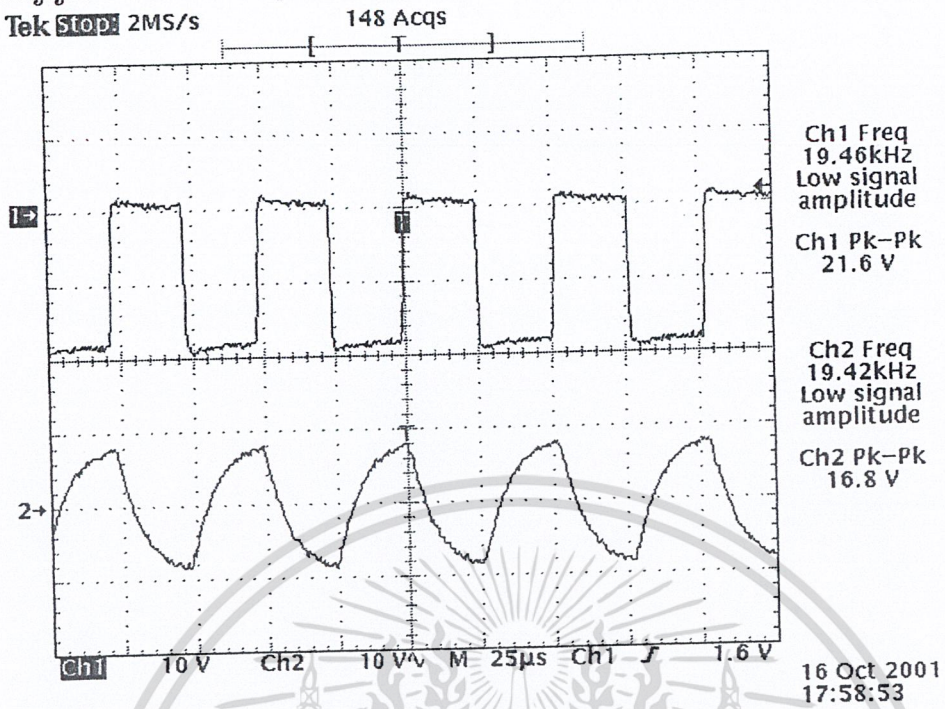


รูปที่ 4.7 แสดงสัญญาณอินพุตและเอาต์พุตเมื่อผ่าน Comparator

สัญญาณไพล็อต 19 kHz (รูปบน) ซึ่งเป็นอินพุตของ Comparator จะได้เอาต์พุตออกมาเป็นสัญญาณในรูปด้านล่างซึ่ง Comparator จะเปรียบเทียบกับ V_{ref} 6 โวลต์

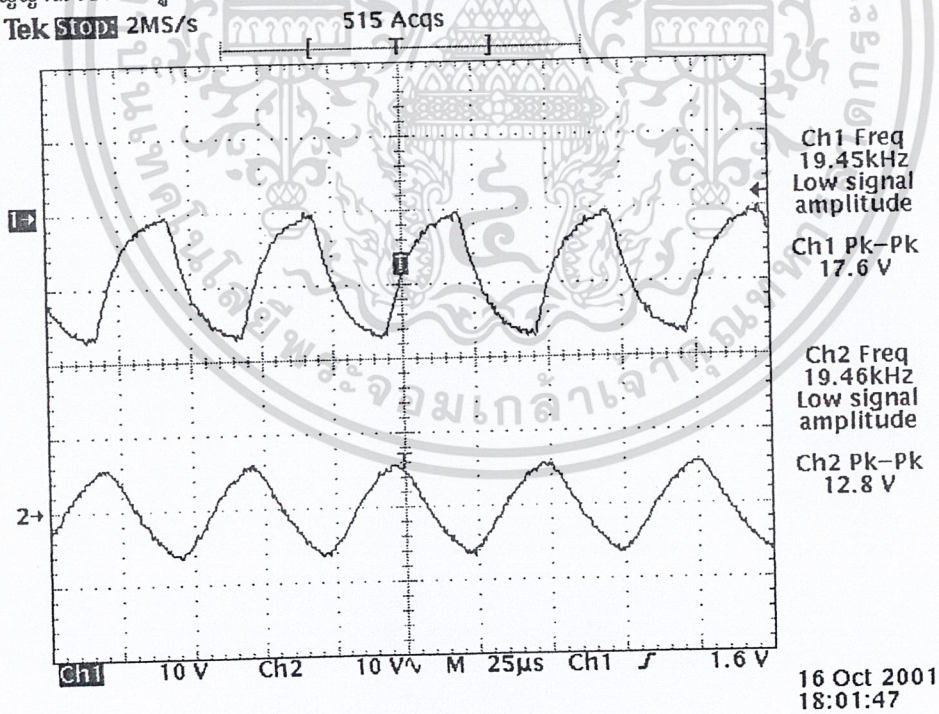
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

5. แสดงสัญญาณในส่วนของ Lowpass Filter



รูปที่ 4.8 แสดงสัญญาณเมื่อผ่าน Lowpass Filter ลำดับแรก

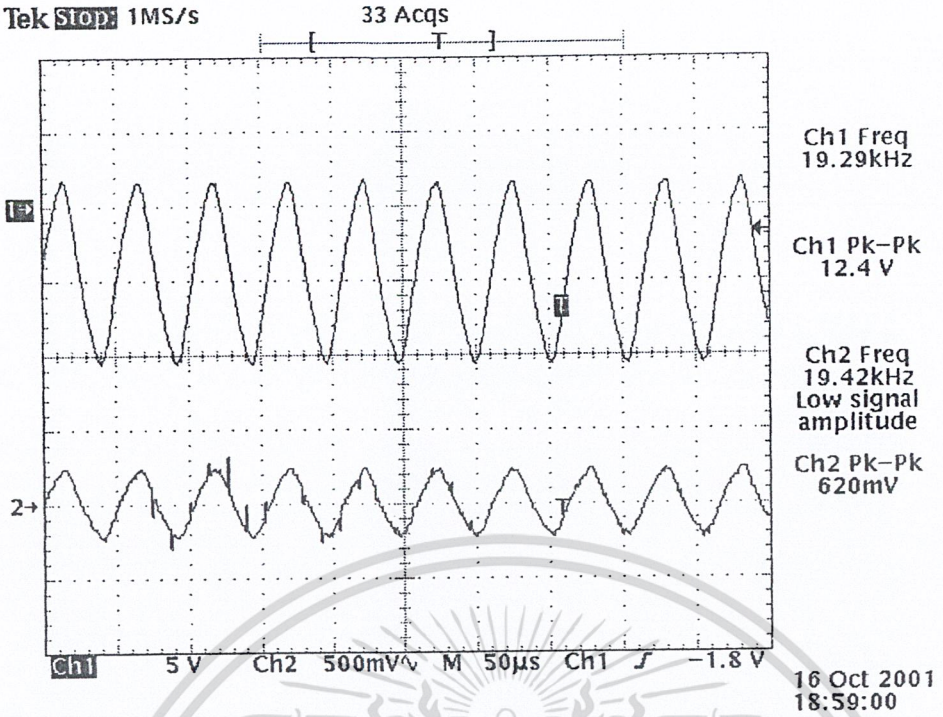
เมื่อสัญญาณอินพุตซึ่งมาจาก Comparator (รูปที่ 4.7 รูปบน) ผ่าน Lowpass filter ตัวแรก จะทำให้เราได้สัญญาณไซน์ที่มีรูปร่างเพี้ยนออกมาดังแสดงในรูปที่4.7(รูปล่าง)



รูปที่ 4.9 แสดงสัญญาณเมื่อผ่าน Lowpass Filter ครั้งที่2

จากรูปที่ 4.8 เมื่อสัญญาณเอาต์พุตซึ่งเป็นสัญญาณไซน์ที่มีรูปร่างเพี้ยนจาก Lowpass filter ตัวแรก (รูปบน) ผ่าน Lowpass filter ตัวที่ 2 จะได้เอาต์พุตเป็นสัญญาณรูปไซน์ที่ดีขึ้นแสดงดังรูปที่ 4.8 รูปล่าง

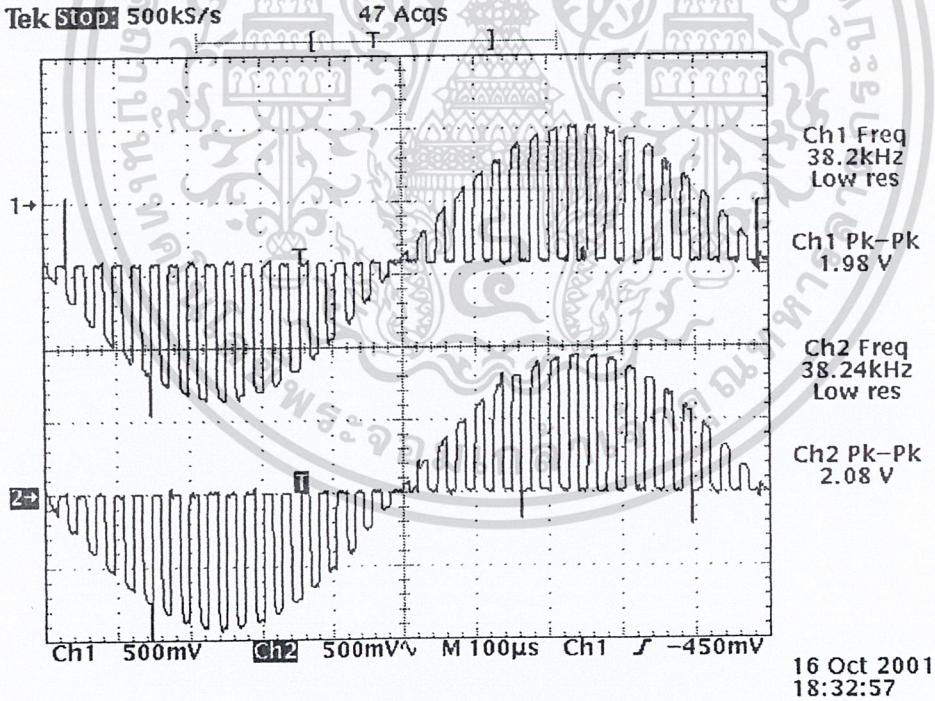
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.10 แสดงเอาต์พุตของ Lowpass Filter หลังจากผ่านบัฟเฟอร์

เมื่อสัญญาณเอาต์พุตในส่วนของ Lowpass Filter ผ่านบัฟเฟอร์จะทำให้คงระดับสัญญาณไว้

6. แสดงรูปสัญญาณที่มอดูเลต

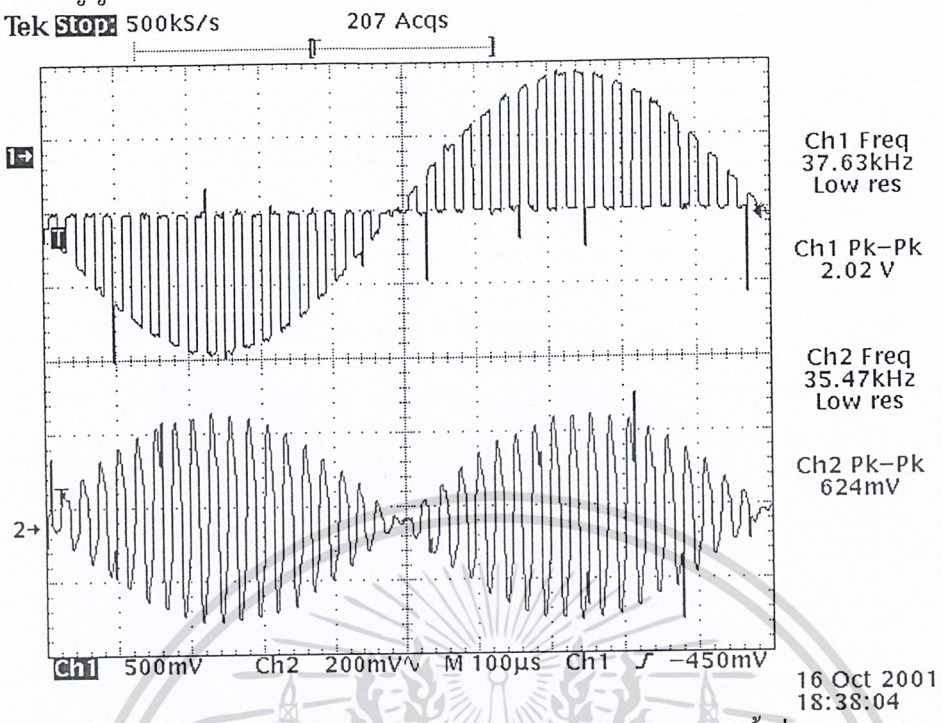


รูปที่ 4.11 แสดงเอาต์พุตของการมอดูเลต

เมื่อนำสัญญาณ Subtractor มามอดูเลตกับสัญญาณพาหะรอง 38 kHz จะได้เป็นสัญญาณดังรูปที่ 4.11 รูปบนและเมื่อผ่านบัฟเฟอร์จะทำให้คงระดับสัญญาณไว้ดังรูปที่ 4.11 รูปล่าง

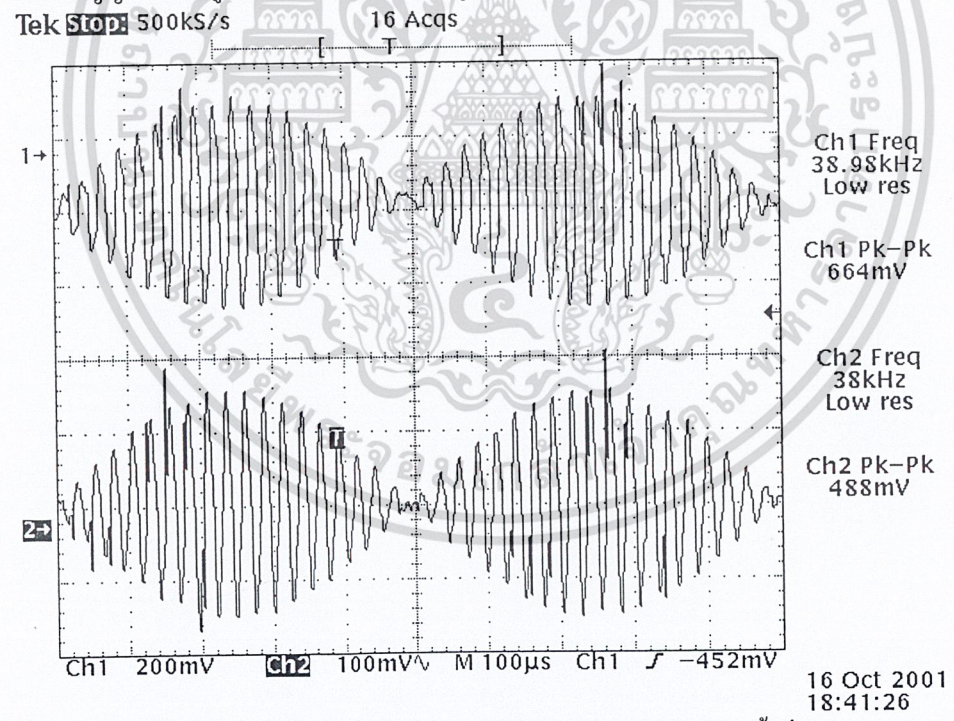
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

7. แสดงของสัญญาณในส่วนของแบนด์พาสฟิลเตอร์



รูปที่ 4.12 แสดงอินพุตและเอาต์พุตของส่วนแบนด์พาสครั้งที่1

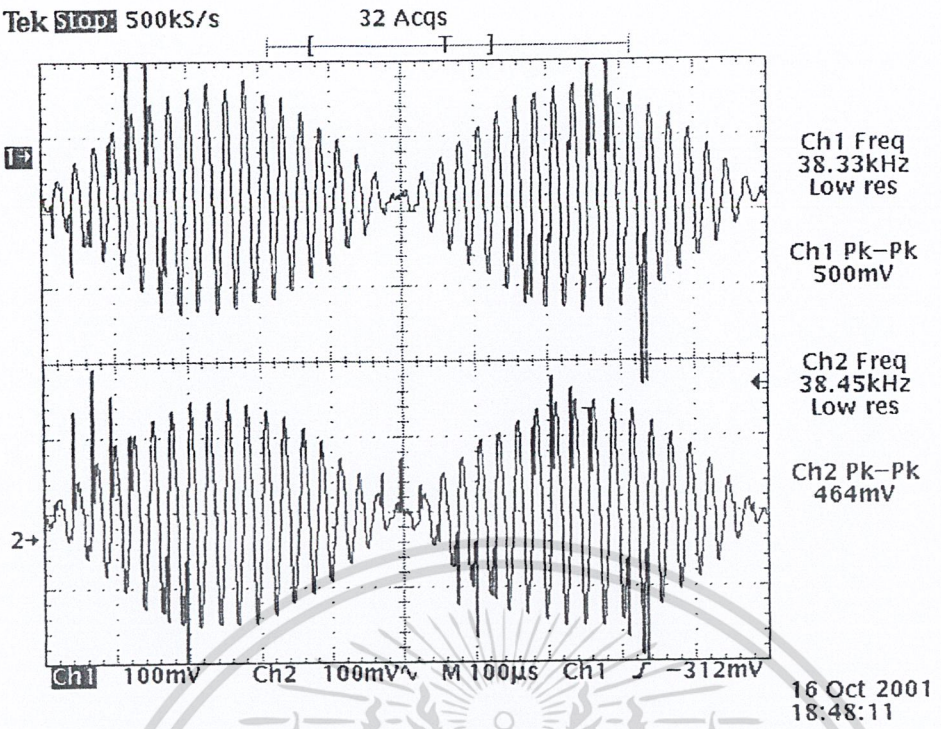
เมื่อนำสัญญาณที่มอดูเลตมาผ่านแบนด์พาส(รูปบน)จะได้สัญญาณดังรูปที่4.12 รูปล่าง



รูปที่ 4.13 แสดงอินพุตและเอาต์พุตของส่วนแบนด์พาสครั้งที่ 2

เมื่อนำสัญญาณมาผ่านแบนด์พาสครั้งที่ 2 จะได้เป็นสัญญาณดังรูปที่ 4.13 รูปล่าง

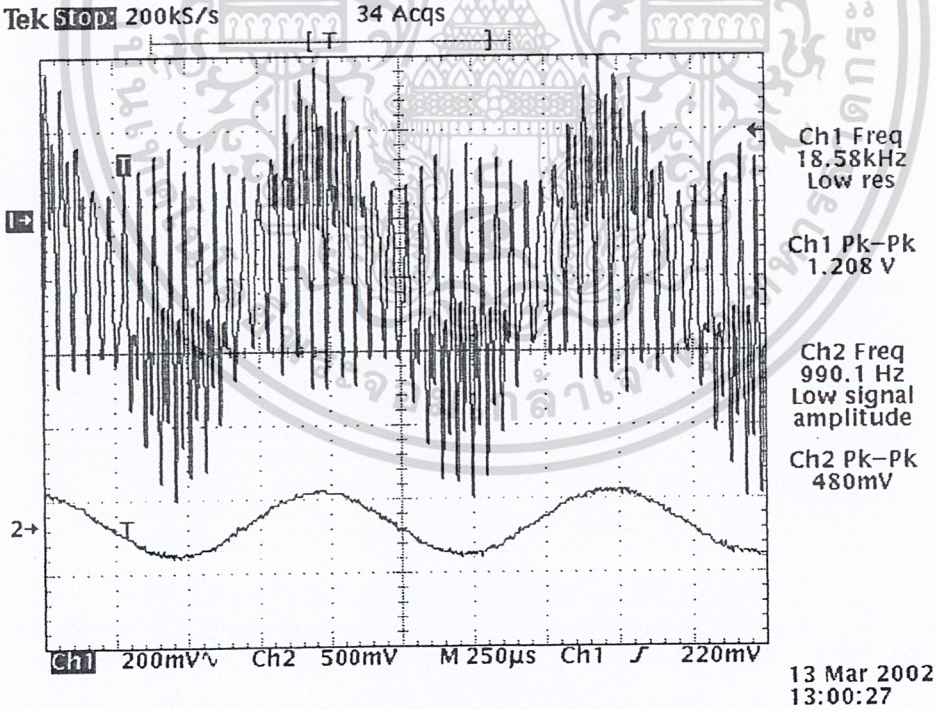
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.14 แสดงเอาต์พุตหลังจากผ่านบัฟเฟอร์ของแบนด์พาสฟิลเตอร์

ส่วนรูปที่4.14 แสดงเอาต์พุตของแบนด์พาสฟิลเตอร์(รูปบน)หลังจากผ่านบัฟเฟอร์(รูปล่าง)

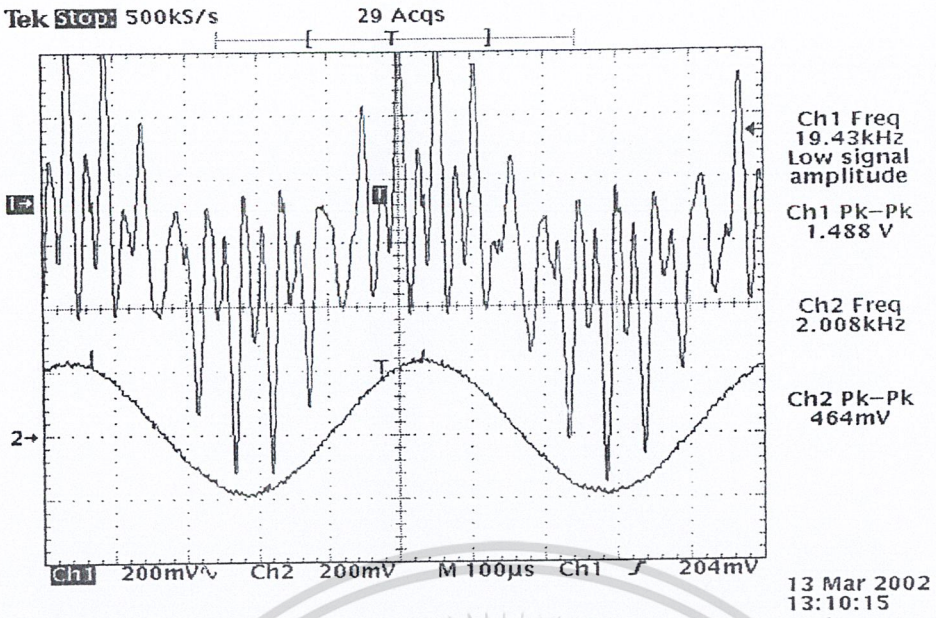
8. แสดงสัญญาณของภาคสเตอริโอมัลติเพล็กซ์



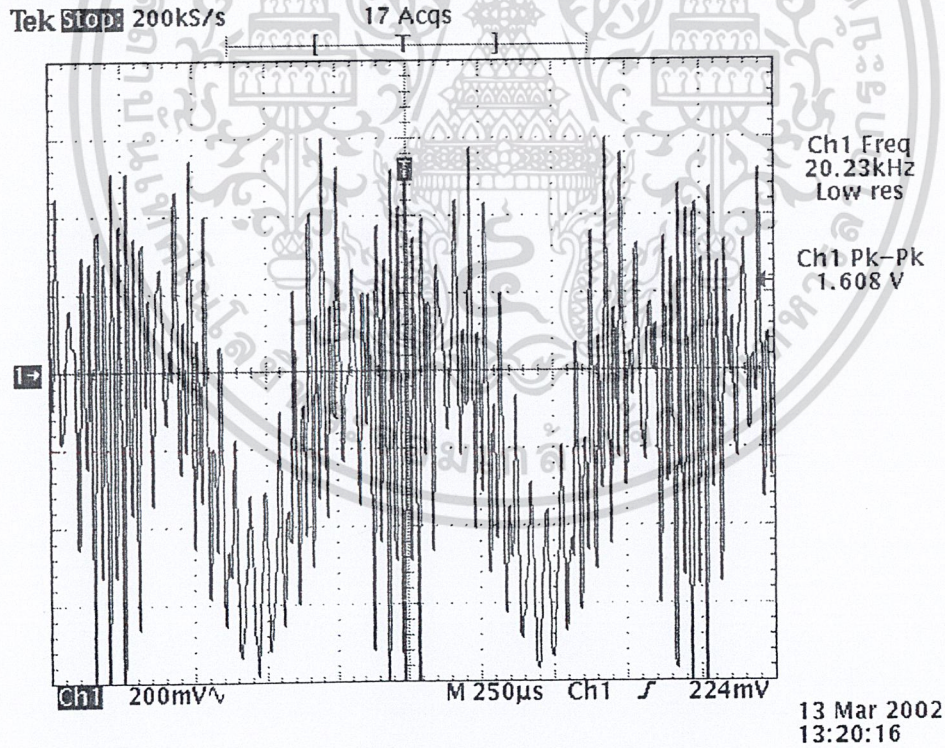
รูปที่ 4.15แสดงสัญญาณเอาต์พุตของภาคสเตอริโอมัลติเพล็กซ์เมื่อใส่สัญญาณความถี่ 1 kHz

เมื่อใส่สัญญาณความถี่ 1 kHz(รูปล่าง)และนำสัญญาณไพล็อต 19 kHz มารวมกับสัญญาณ L-R ที่มอดูเลตที่ผ่านแบนด์พาสและสัญญาณ L+R แล้วจะได้สัญญาณคอมโพสิท(รูปบน)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่4.16แสดงสัญญาณเอาต์พุตของภาคสเตอริโอมัลติเพล็กซ์เมื่อใส่สัญญาณความถี่ 2 kHz(รูปล่าง) เมื่อใส่สัญญาณความถี่ 2 kHzและนำสัญญาณไพล็อต 19 kHz มารวมกับสัญญาณ L-R ที่มอดูเลตที่ผ่านแบนค์พาสและสัญญาณ L+R แล้วจะได้สัญญาณคอมโพสิท(รูปบน)

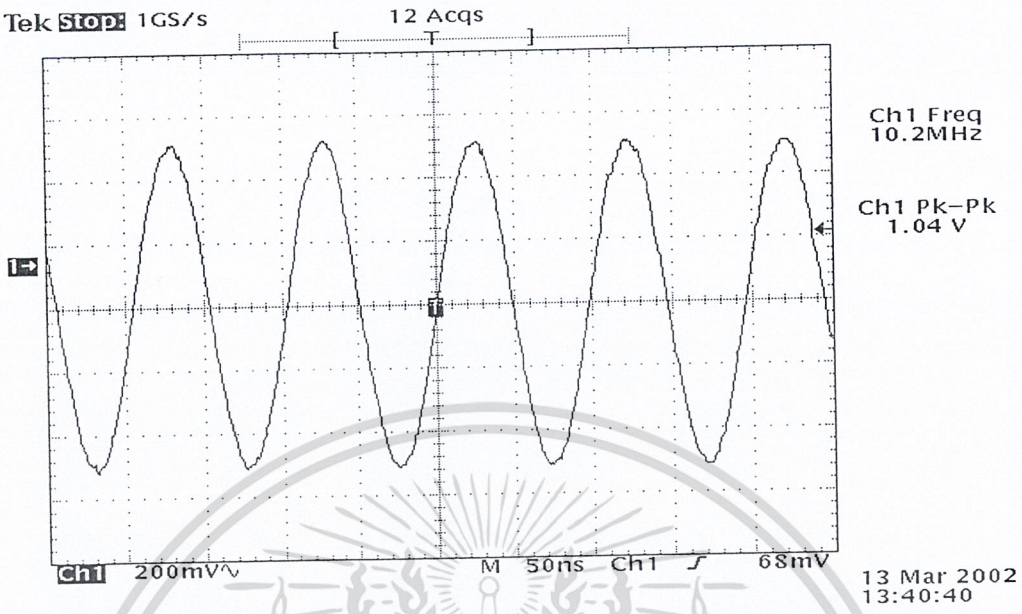


รูปที่ 4.17 แสดงสัญญาณเอาต์พุตของภาคสเตอริโอมัลติเพล็กซ์เมื่อใส่สัญญาณความถี่ 1 kHzและ 2kHz เมื่อใส่สัญญาณความถี่ 1และ 2 kHz และนำสัญญาณไพล็อต 19 kHz มารวมกับสัญญาณ L-R ที่มอดูเลตที่ผ่านแบนค์พาสและสัญญาณ L+R แล้วจะได้สัญญาณคอมโพสิทดังรูปที่ 4.17

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ภาค Phase Lock Loop

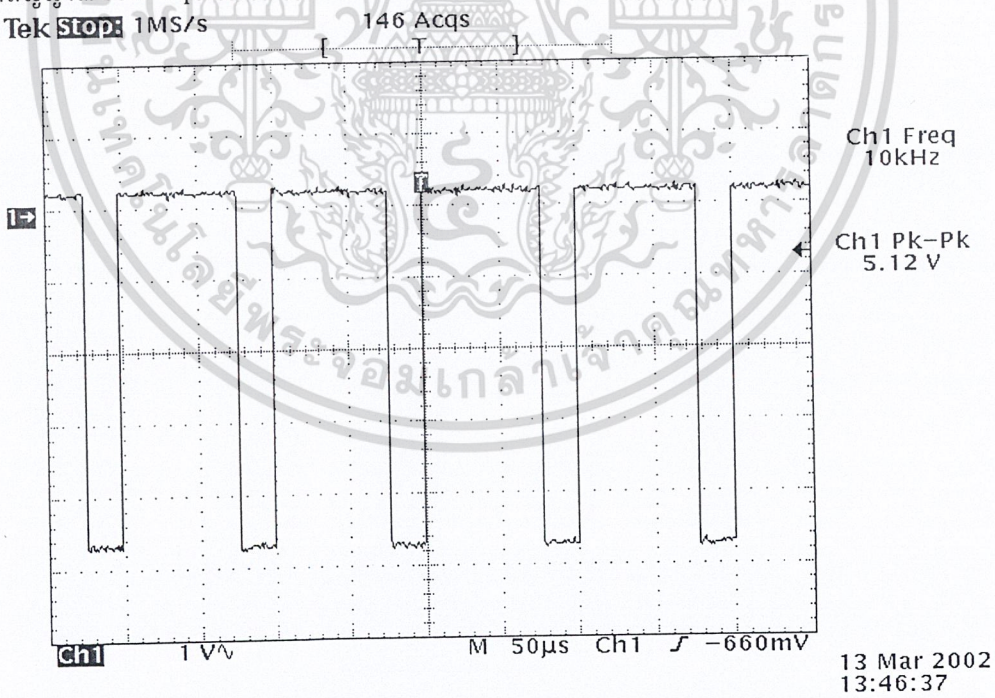
9. วัดสัญญาณอ้างอิง 10 .24 MHz



รูปที่ 4.18 แสดงสัญญาณความถี่อ้างอิง 10.24 MHz จากคริสตอลออสซิลเลเตอร์

สัญญารที่วัดได้จากเอาต์พุตของ วงจร TIMER 555 จะได้สัญญาณไซน์ที่มีความถี่ 10.24 MHz

10.วัดสัญญาณ control prescaler

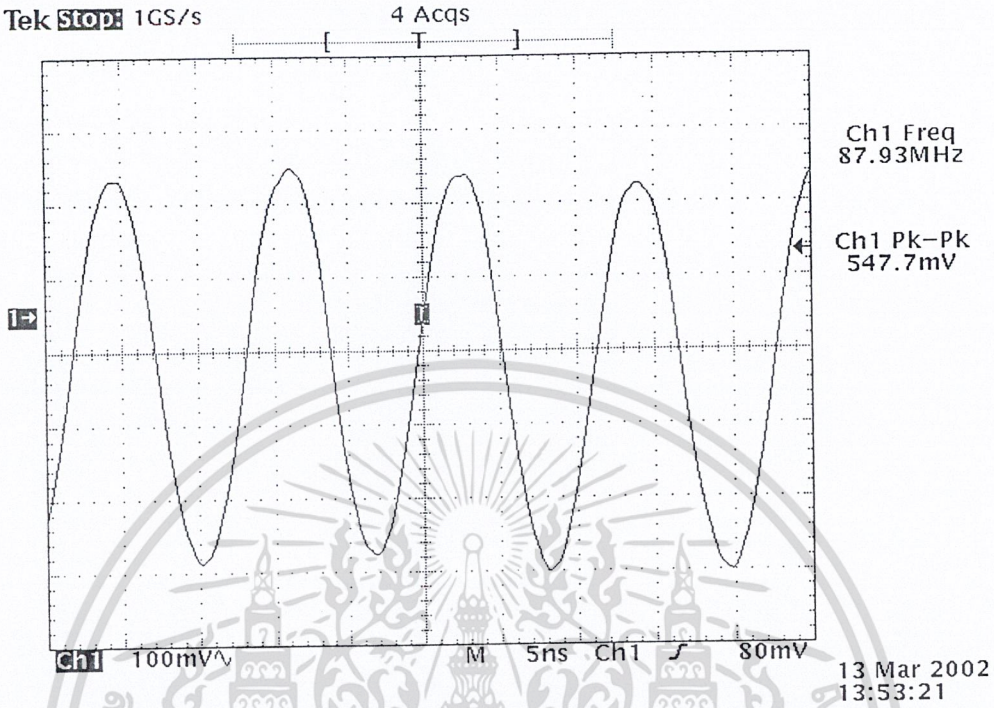


รูปที่ 4.19 แสดงสัญญาณ control prescaler 10 kHz ที่เป็นสัญญาณอ้างอิง

สัญญาณ control prescaler 10 kHz ซึ่งเป็นสัญญาณอ้างอิงซึ่งมาจากความถี่ 10.24 MHz แล้วหารด้วย 1024 ซึ่งสัญญาณ control prescaler จะเป็นสัญญาณ pulse ดังรูป 4.19

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

11 วัดสัญญาณความถี่จาก VCO



รูปที่ 4.20 แสดงสัญญาณจากความถี่จาก VCO 88 MHz ที่ใช้เป็นสัญญาณพาหะ

เมื่อวัดสัญญาณเอาต์พุตที่ออกมาจากส่วนของ VCO จะได้สัญญาณเอาต์พุตที่ออกมาเป็นรูปของสัญญาณไซน์ที่ความถี่ 88 MHz

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 5
บทวิจารณ์และบทสรุป

สรุปผลการทดลอง

วงจรสเตอริโอมัลติเพล็กซ์

วงจรสเตอริโอมัลติเพล็กซ์ที่ใช้ทดลองนี้ จะทำโดยการนำสัญญาณ L+R,สัญญาณ L-R ที่มอดูเลตกับความถี่ 38 kHz และสัญญาณไพล็อต 19 kHz มารวมกัน ซึ่งจากการทดลองเราสามารถสร้างสัญญาณต่าง ๆ ได้ใกล้เคียงกับทฤษฎี ซึ่งอาจมีสัญญาณรบกวนจากกระแสไฟ DC บ้าง แต่สามารถแก้ไขได้ ซึ่งเมื่อนำรูปสัญญาณที่ได้จากการทดลองไปเปรียบเทียบกับรูปสัญญาณตามทฤษฎี จะเห็นว่าผลที่ได้จะใกล้เคียงตามทฤษฎี ซึ่งสามารถสรุปได้ว่า การทดลองนี้ตรงตามทฤษฎี

วงจรเฟสล็อกลูป

ในการสร้างความถี่อ้างอิงต้องใช้คริสตัลเป็นตัวกำหนดความถี่ 10.24 MHz ซึ่งมีความเที่ยงตรงสูง แล้วจึงนำมาทำการหารด้วย 1024 จึงได้ความถี่ 10 KHz ส่วนวงจรหารความถี่สามารถตั้งค่า N และ A ได้ ซึ่งทำให้สามารถกำหนดความถี่ใช้งานได้ และส่วนของ Loop Filter ควรคำนวณให้ค่าของ RC ต่างๆสามารถทำงานได้สอดคล้องกับส่วนวงจร VCO และควรทำให้ค่าแรงดันที่ออกมาจาก Loop Filter กระเพื่อมน้อยที่สุดเพราะจะทำให้ค่าความถี่ที่ออกมาไม่นิ่งเท่าที่ควร

วงจร Voltage Control Oscillator

การคำนวณค่า L ที่ต่ออยู่กับ วงจรแคป ควรให้มีค่าความผิดพลาดน้อยที่สุดเนื่องจาก จะทำให้ไม่ได้ค่าความถี่ที่ต้องการหรือมีความผิดเพี้ยนของสัญญาณ

วงจร RF Amplifier

การคำนวณค่า Matching ควรทำให้ค่า Input Impedance และ Output Impedance ใกล้เคียงกันมากที่สุด ซึ่งจะทำให้มีค่าอัตราการขยายสูงสุด

วิเคราะห์ผลการทดลอง

วงจรสเตอริโอมัลติเพล็กซ์

ในการทดลองนี้มีข้อผิดพลาดหลายประการ คือวงจรมีการรบกวนจากกระแสไฟ DC ซึ่งต้องนำตัวเก็บประจุมากรอง เพื่อลดการรบกวน และสัญญาณที่ออกมาจากไอซี 555 TIMER ซึ่งเป็นสัญญาณ 76 kHz ซึ่งจะมีค่าไม่เท่ากับ 76 kHz พอดี ซึ่งเกิดจากตัวเก็บประจุที่ปรับค่าได้หรือเรียกว่า Trimmer ที่ใช้นั้น ไม่สามารถปรับให้ได้ค่าที่ต้องการพอดี จึงทำให้เกิดความผิดพลาดขึ้น ส่วนสัญญาณรบกวนอื่นๆ ก็เกิดจากการที่ใช้สายไฟต่อเชื่อมยาวเกินไปทำให้เกิดเป็นสัญญาณรบกวนขึ้น และสัญญาณรบกวนนี้อาจจะเกิดมาจากโฟโตบอร์ด แต่ก็อยู่ในขั้นที่ยอมรับได้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

วงจรเฟสล็อกลูป

ค่าแรงดันที่ออกมาจาก Loop Filter มีการกระเพื่อมมาก ถึงแม้ว่าจะทำการแก้ไขแล้ว ก็ยังมีการกระเพื่อม แต่ก็สามารถยอมรับได้ ซึ่งมีผลกระทบต่อความถี่ที่ใช้งานจะไม่คงที่เท่าที่ควร

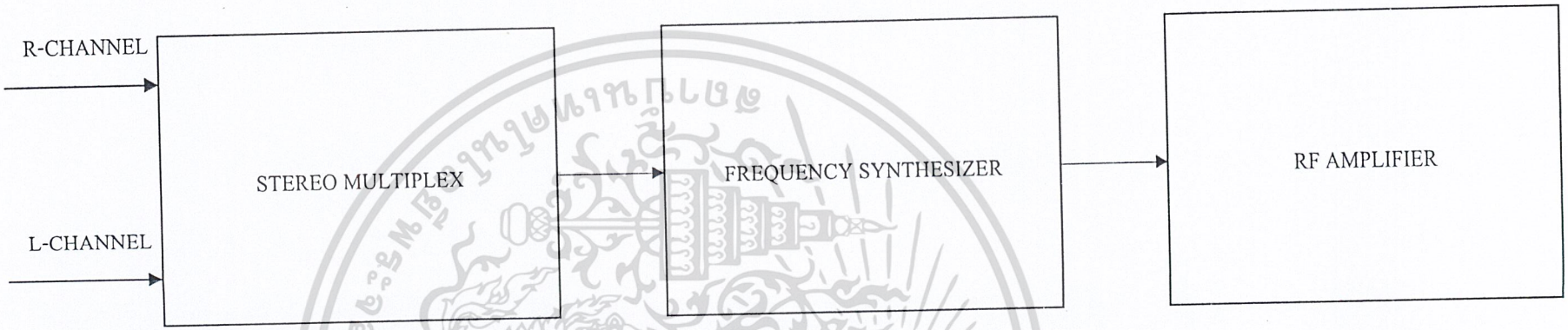
วงจร Voltage Control Oscillator

ค่า L ที่ใช้งานเนื่องจากใช้ L แทนอากาศ ซึ่งค่าที่ได้จะไม่ได้ค่าตรงตามที่คำนวณทุกประการ แต่ก็ได้ค่าที่ใกล้เคียงทำให้ค่าของความถี่และรูปสัญญาณมีจุดผิดเพี้ยนเล็กน้อย

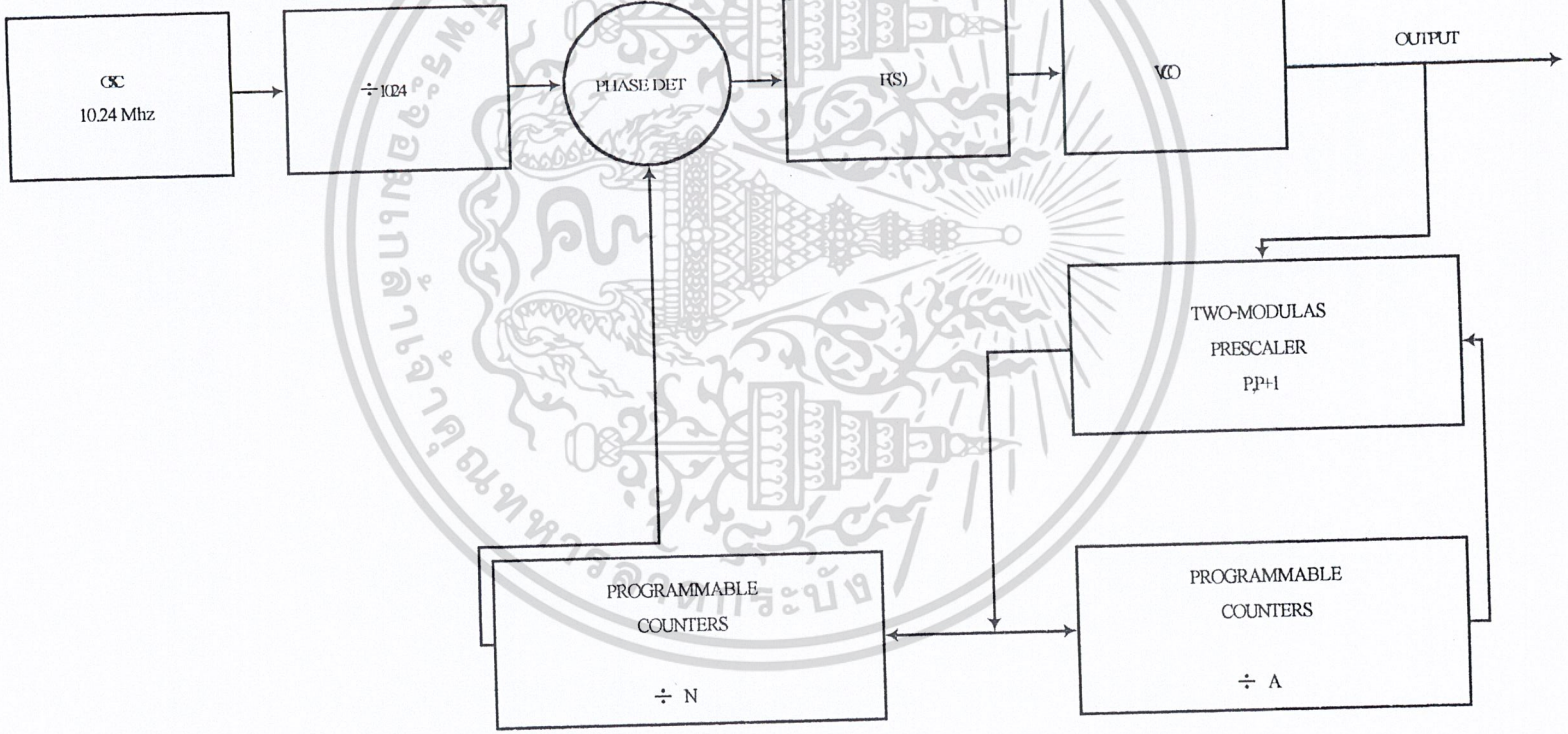
วงจร RF Amplifier

ควรทำให้มีกราวด์ครอบคลุมพื้นที่มากที่สุด แต่ค่า LC ที่คำนวณกับการใช้งานมีความแตกต่างกันบ้าง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 1 Block Diagram ของเครื่องส่ง เอฟเอ็มสเตอริโอมัลติเพล็กซ์



รูปที่ 2 Block Diagram ของ Frequency SyntheSizer

หนังสืออ้างอิง

1. สุชาติ กังวารจิตต์ "เครื่องรับส่งวิทยุและระบบวิทยุสื่อสาร":ซีเอ็ดยูเคชั่น,2541

2. น.ท.วิโรจน์ แก้วจันทร์ "ทฤษฎีเครื่องส่งวิทยุ" : ฝ่ายวิชาการ บริษัท สกายบุ๊กส์ จำกัด,2543 หน้า 193-194

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

National Semiconductor

June 1992

CD4066BM/CD4066BC Quad Bilateral Switch

General Description

The CD4066BM/CD4066BC is a quad bilateral switch intended for the transmission or multiplexing of analog or digital signals. It is pin-for-pin compatible with CD4016BM/CD4016BC, but has a much lower "ON" resistance, and "ON" resistance is relatively constant over the input-signal range.

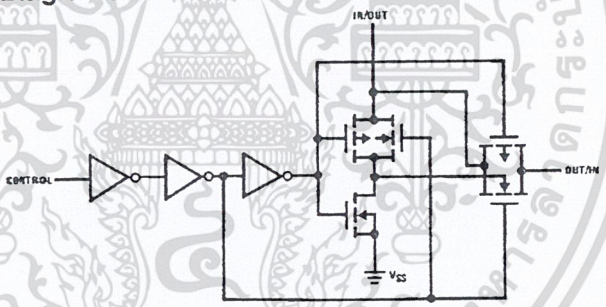
Features

- Wide supply voltage range — 3V to 15V
- High noise immunity — 0.45 V_{DD} (typ.)
- Wide range of digital and analog switching — ±7.5 V_{PEAK}
- "ON" resistance for 15V operation — 80Ω
- Matched "ON" resistance over 15V signal input — ΔR_{ON} = 5Ω (typ.)
- "ON" resistance flat over peak-to-peak signal range
- High "ON"/"OFF" output voltage ratio — 65 dB (typ.) @ f_{is} = 10 kHz, R_L = 10 kΩ
- High degree linearity — 0.1% distortion (typ.) @ f_{is} = 1 kHz, V_{is} = $5V_{p-p}$, $V_{DD} - V_{SS}$ = 10V, R_L = 10 kΩ
- Extremely low "OFF" switch leakage — 0.1 nA (typ.) @ $V_{DD} - V_{SS}$ = 10V, T_A = 25°C
- Extremely high control input impedance — 10^{12}Ω (typ.)
- Low crosstalk between switches — −50 dB (typ.) @ f_{is} = 0.9 MHz, R_L = 1 kΩ
- Frequency response, switch "ON" — 40 MHz (typ.)

Applications

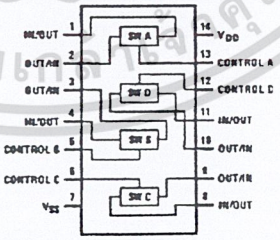
- Analog signal switching/multiplexing
  - Signal gating
  - Squelch control
  - Chopper
  - Modulator/Demodulator
  - Commutating switch
- Digital signal switching/multiplexing
- CMOS logic implementation
- Analog-to-digital/digital-to-analog conversion
- Digital control of frequency, impedance, phase, and analog-signal-gain

Schematic and Connection Diagrams



Order Number CD4066B

Dual-In-Line Package



TL/F/5665–1

Top View

© 1995 National Semiconductor Corporation TL/F/5665

RRD-B30M105/Printed in U. S. A.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Absolute Maximum Ratings (Notes 1 & 2)

If Military/Aerospace specified devices are required, please contact the National Semiconductor Sales Office/Distributors for availability and specifications.

Supply Voltage (V_{DD})	−0.5V to +18V
Input Voltage (V_{IN})	−0.5V to V_{DD} +0.5V
Storage Temperature Range (T_S)	−65°C to +150°C
Power Dissipation (P_D)	
Dual-In-Line	700 mW
Small Outline	500 mW
Lead Temperature (T_L) (Soldering, 10 seconds)	300°C

Recommended Operating Conditions (Note 2)

Supply Voltage (V_{DD})	3V to 15V
Input Voltage (V_{IN})	0V to V_{DD}
Operating Temperature Range (T_A)	
CD4066BM	−55°C to +125°C
CD4066BC	−40°C to +85°C

DC Electrical Characteristics CD4066BM (Note 2)

Symbol	Parameter	Conditions	−55°C		+25°C			+125°C		Units
			Min	Max	Min	Typ	Max	Min	Max	
I_{DD}	Quiescent Device Current	V_{DD} = 5V		0.25		0.01	0.25		7.5	μA
		V_{DD} = 10V		0.5		0.01	0.5		15	μA
		V_{DD} = 15V		1.0		0.01	1.0		30	μA
SIGNAL INPUTS AND OUTPUTS										
R_{ON}	"ON" Resistance	R_L = 10 kΩ to $\frac{V_{DD}-V_{SS}}{2}$								
		$V_C = V_{DI}$ $V_{IS} = V_{SS}$ to V_{DD}								
		V_{DD} = 5V		800		270	1050		1300	Ω
		V_{DD} = 10V		310		120	400		550	Ω
		V_{DD} = 15V		200		80	240		320	Ω
ΔR_{ON}	Δ"ON" Resistance Between any 2 of 4 Switches	R_L = 10 kΩ to $\frac{V_{DD}-V_{SS}}{2}$								
		$V_C = V_{DD}$, $V_{IS} = V_{SS}$ to V_{DD}								
		V_{DD} = 10V				10				Ω
		V_{DD} = 15V				5				Ω
I_{IS}	Input or Output Leakage Switch "OFF"	V_C = 0		±50		±0.1	±50		±500	nA
		V_{IS} = 15V and 0V,								
		V_{OS} = 0V and 15V								
CONTROL INPUTS										
V_{ILC}	Low Level Input Voltage	$V_{IS} = V_{SS}$ and V_{DD}								
		$V_{OS} = V_{DD}$ and V_{SS}								
		I_{IS} = ±10 μA								
		V_{DD} = 5V		1.5		2.25	1.5		1.5	V
		V_{DD} = 10V		3.0		4.5	3.0		3.0	V
		V_{DD} = 15V		4.0		6.75	4.0		4.0	V
V_{IHC}	High Level Input Voltage	V_{DD} = 5V	3.5		3.5	2.75		3.5		V
		V_{DD} = 10V (see note 6)	7.0		7.0	5.5		7.0		V
		V_{DD} = 15V	11.0		11.0	8.25		11.0		V
I_{IN}	Input Current	$V_{DD} - V_{SS}$ = 15V		±0.1		$\pm 10^{-5}$	±0.1		±1.0	μA
		$V_{DD} \geq V_{IS} \geq V_{SS}$								
		$V_{DD} \geq V_C \geq V_{SS}$								

DC Electrical Characteristics CD4066BC (Note 2)

Symbol	Parameter	Conditions	−40°C		+25°C			+85°C		Units
			Min	Max	Min	Typ	Max	Min	Max	
I_{DD}	Quiescent Device Current	V_{DD} = 5V		1.0		0.01	1.0		7.5	μA
		V_{DD} = 10V		2.0		0.01	2.0		15	μA
		V_{DD} = 15V		4.0		0.01	4.0		30	μA

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

DC Electrical Characteristics (Continued) CD4066BC (Note 2)

Symbol	Parameter	Conditions	−40°C		+25°C			+85°C		Units
			Min	Max	Min	Typ	Max	Min	Max	
SIGNAL INPUTS AND OUTPUTS										
R_{ON}	"ON" Resistance	$R_L = 10\ k\Omega$ to $\frac{V_{DD}-V_{SS}}{2}$ $V_C = V_{DD}$, V_{SS} to V_{DD}								
		$V_{DD} = 5V$		850		270	1050		1200	Ω
		$V_{DD} = 10V$		330		120	400		520	Ω
		$V_{DD} = 15V$		210		80	240		300	Ω
ΔR_{ON}	Δ"ON" Resistance Between Any 2 of 4 Switches	$R_L = 10\ k\Omega$ to $\frac{V_{DD}-V_{SS}}{2}$ $V_{CC} = V_{DD}$, $V_{IS} = V_{SS}$ to V_{DD}								
		$V_{DD} = 10V$				10				Ω
		$V_{DD} = 15V$				5				Ω
I_{IS}	Input or Output Leakage Switch "OFF"	$V_C = 0$		±50		±0.1	±50		±200	nA
CONTROL INPUTS										
V_{ILC}	Low Level Input Voltage	$V_{IS} = V_{SS}$ and V_{DD} $V_{OS} = V_{DD}$ and V_{SS} $I_{IS} = \pm 10\mu A$								
		$V_{DD} = 5V$		1.5		2.25	1.5		1.5	V
		$V_{DD} = 10V$		3.0		4.5	3.0		3.0	V
		$V_{DD} = 15V$		4.0		6.75	4.0		4.0	V
V_{IHC}	High Level Input Voltage	$V_{DD} = 5V$	3.5		3.5	2.75		3.5		V
		$V_{DD} = 10V$ (See note 6)	7.0		7.0	5.5		7.0		V
		$V_{DD} = 15V$	11.0		11.0	8.25		11.0		V
I_{IN}	Input Current	$V_{DD} - V_{SS} = 15V$ $V_{DD} \geq V_{IS} \geq V_{SS}$ $V_{DD} \geq V_C \geq V_{SS}$		±0.3		$\pm 10^{-5}$	±0.3		±1.0	μA

AC Electrical Characteristics* $T_A = 25°C$, $t_r = t_f = 20$ ns and $V_{SS} = 0V$ unless otherwise noted

Symbol	Parameter	Conditions	Min	Typ	Max	Units
t_{PHL}, t_{PLH}	Propagation Delay Time Signal Input to Signal Output	$V_C = V_{DD}$, $C_L = 50$ pF, (*Figure 1*) $R_L = 200k$				
		$V_{DD} = 5V$		25	55	ns
		$V_{DD} = 10V$		15	35	ns
		$V_{DD} = 15V$		10	25	ns
t_{PZH}, t_{PZL}	Propagation Delay Time Control Input to Signal Output High Impedance to Logical Level	$R_L = 1.0\ k\Omega$, $C_L = 50$ pF, (*Figures 2* and *3*)				
		$V_{DD} = 5V$			125	ns
		$V_{DD} = 10V$			60	ns
		$V_{DD} = 15V$			50	ns
t_{PHZ}, t_{PLZ}	Propagation Delay Time Control Input to Signal Output Logical Level to High Impedance	$R_L = 1.0\ k\Omega$, $C_L = 50$ pF, (*Figures 2* and *3*)				
		$V_{DD} = 5V$			125	ns
		$V_{DD} = 10V$			60	ns
		$V_{DD} = 15V$			50	ns
	Sine Wave Distortion	$V_C = V_{DD} = 5V$, $V_{SS} = -5V$ $R_L = 10\ k\Omega$, $V_{IS} = 5V_{p-p}$, $f = 1$ kHz, (*Figure 4*)		0.1		%
	Frequency Response-Switch "ON" (Frequency at −3 dB)	$V_C = V_{DD} = 5V$, $V_{SS} = -5V$, $R_L = 1\ k\Omega$, $V_{IS} = 5V_{p-p}$, $20\ \text{Log}_{10}\ V_{OS}/V_{OS}$ (1 kHz) − dB, (*Figure 4*)		40		MHz

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

AC Electrical Characteristics* (Continued) $T_A = 25°C$, $t_r = t_f = 20$ ns and $V_{SS} = 0V$ unless otherwise noted

Symbol	Parameter	Conditions	Min	Typ	Max	Units
	Feedthrough — Switch "OFF" (Frequency at −50 dB)	$V_{DD} = 5.0V$, $V_{CC} = V_{SS} = -5.0V$, $R_L = 1\ k\Omega$, $V_{IS} = 5.0V_{P-P}$, 20 Log_{10}, $V_{OS}/V_{IS} = -50$ dB, *(Figure 4)*		1.25		
	Crosstalk Between Any Two Switches (Frequency at −50 dB)	$V_{DD} = V_{C(A)} = 5.0V$; $V_{SS} = V_{C(B)} = 5.0V$, R_L 1 kΩ, $V_{IS(A)} = 5.0\ V_{P-P}$, 20 Log_{10}, $V_{OS(B)}/V_{IS(A)} = -50$ dB *(Figure 5)*		0.9		MHz
	Crosstalk; Control Input to Signal Output	$V_{DD} = 10V$, $R_L = 10\ k\Omega$, $R_{IN} = 1.0\ k\Omega$, $V_{CC} = 10V$ Square Wave, $C_L = 50$ pF *(Figure 6)*		150		mV_{P-P}
	Maximum Control Input	$R_L = 1.0\ k\Omega$, $C_L = 50$ pF, *(Figure 7)* $V_{OS(f)} = \frac{1}{2} V_{OS}$(1.0 kHz)				
		$V_{DD} = 5.0V$		6.0		MHz
		$V_{DD} = 10V$		8.0		MHz
		$V_{DD} = 15V$		8.5		MHz
C_{IS}	Signal Input Capacitance			8.0		pF
C_{OS}	Signal Output Capacitance	$V_{DD} = 10V$		8.0		pF
C_{IOS}	Feedthrough Capacitance	$V_C = 0V$		0.5		pF
C_{IN}	Control Input Capacitance			5.0	7.5	pF

*AC Parameters are guaranteed by DC correlated testing.

Note 1: "Absolute Maximum Ratings" are those values beyond which the safety of the device cannot be guaranteed. They are not meant to imply that the devices should be operated at these limits. The tables of "Recommended Operating Conditions" and "Electrical Characteristics" provide conditions for actual device operation.

Note 2: $V_{SS} = 0V$ unless otherwise specified.

Note 3: These devices should not be connected to circuits with the power "ON".

Note 4: In all cases, there is approximately 5 pF of probe and jig capacitance in the output; however, this capacitance is included in C_L wherever it is specified.

Note 5: V_{IS} is the voltage at the in/out pin and V_{OS} is the voltage at the out/in pin. V_C is the voltage at the control input.

Note 6: Conditions for V_{IL}-C: a) $V_{IS} = V_{DD}$, I_{OS} = standard B series I_{OH} b) $V_{IS} = 0V$, I_{OL} = standard B series I_{OL}.

AC Test Circuits and Switching Time Waveforms

FIGURE 1. t_{PHL}, t_{PLH} Propagation Delay Time Signal Input to Signal Output

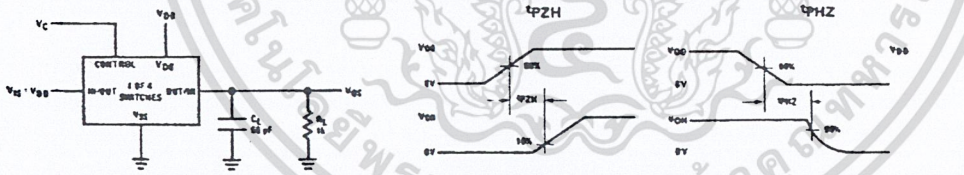
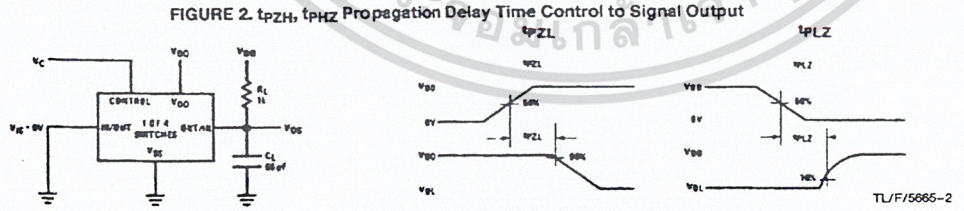


FIGURE 2. t_{PZH}, t_{PHZ} Propagation Delay Time Control to Signal Output



TL/F/5665–2

FIGURE 3. t_{PZL}, t_{PLZ} Propagtion Delay Time Control to Signal Output

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

AC Test Circuits and Switching Time Waveforms (Continued)

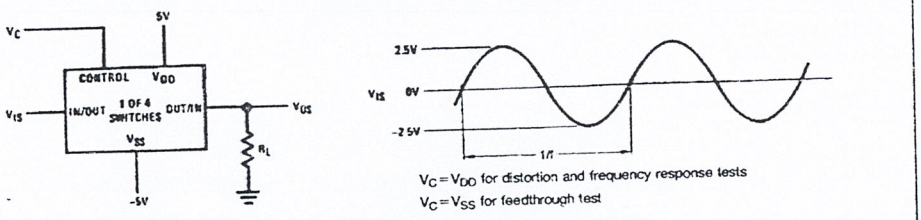


FIGURE 4. Sine Wave Distortion, Frequency Response and Feedthrough

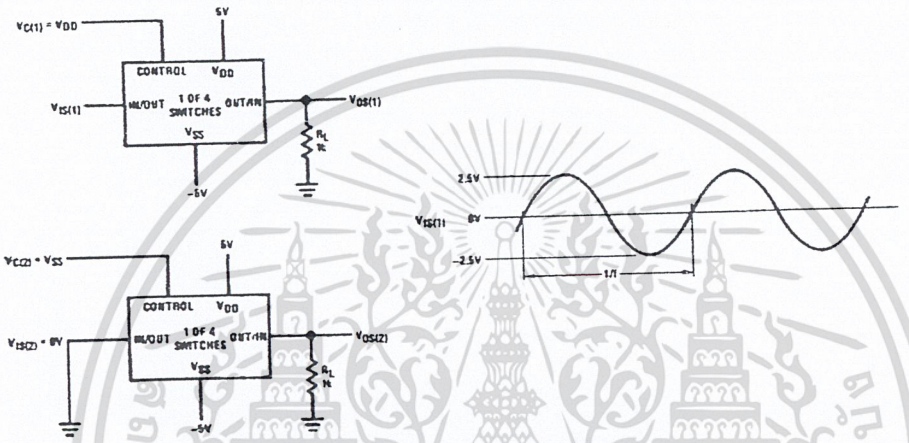


FIGURE 5. Crosstalk Between Any Two Switches

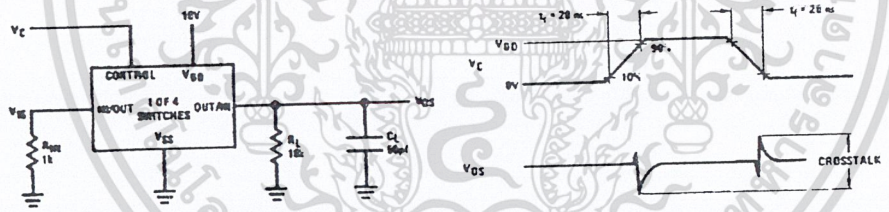


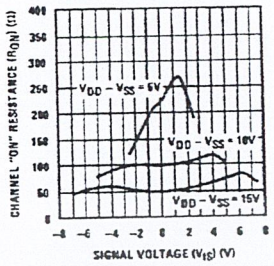
FIGURE 6. Crosstalk: Control Input to Signal Output

FIGURE 7. Maximum Control Input Frequency

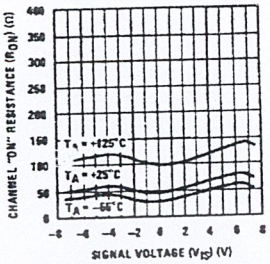
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Typical Performance Characteristics

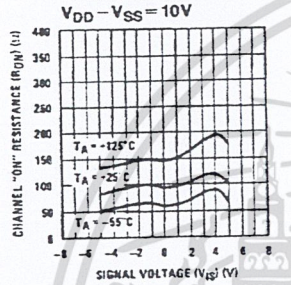
"ON" Resistance vs Signal Voltage for $T_A = 25°C$



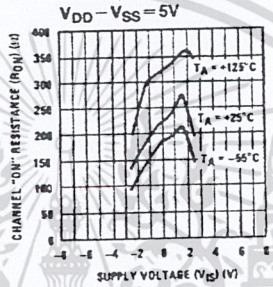
"ON" Resistance as a Function of Temperature for $V_{DD} - V_{SS} = 15V$



"ON" Resistance as a Function of Temperature for $V_{DD} - V_{SS} = 10V$



"ON" Resistance as a Function of Temperature for $V_{DD} - V_{SS} = 5V$



TL/F/5665–4

Special Considerations

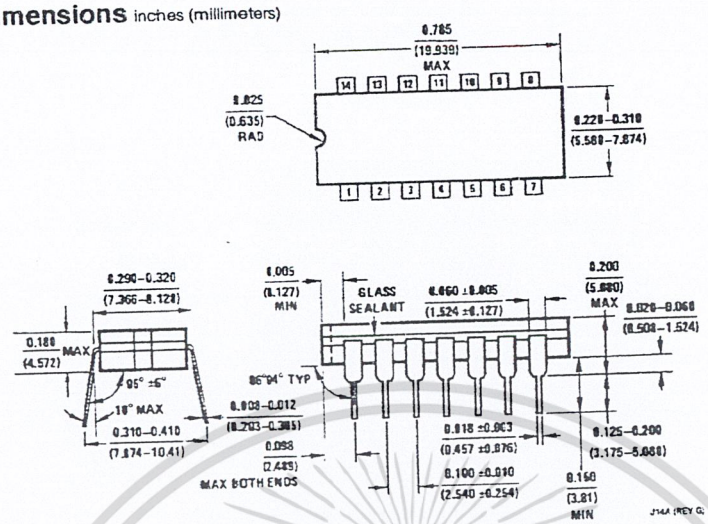
In applications where separate power sources are used to drive V_{DD} and the signal input, the V_{DD} current capability should exceed V_{DD}/R_L (R_L = effective external load of the 4 CD4066BM/CD4066BC bilateral switches). This provision avoids any permanent current flow or clamp action of the V_{DD} supply when power is applied or removed from CD4066BM/CD4066BC.

In certain applications, the external load-resistor current may include both V_{DD} and signal-line components. To avoid drawing V_{DD} current when switch current flows into terminals 1, 4, 8 or 11, the voltage drop across the bidirectional switch must not exceed 0.6V at $T_A \leq 25°C$, or 0.4V at $T_A > 25°C$ (calculated from R_{ON} values shown).

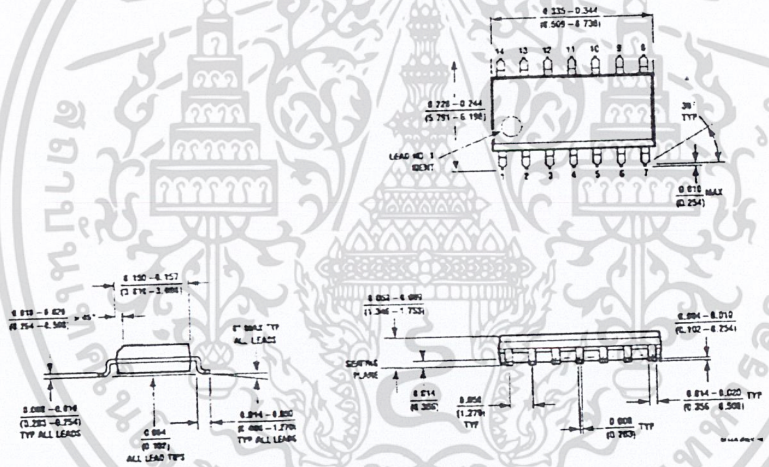
No V_{DD} current will flow through R_L if the switch current flows into terminals 2, 3, 9 or 10.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Physical Dimensions inches (millimeters)



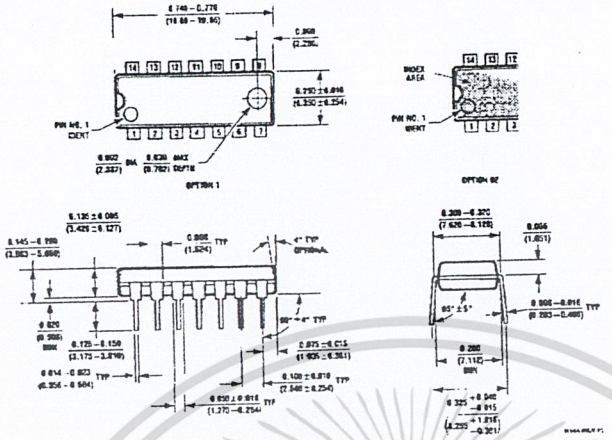
Cerdip (J)
Order Number CD4066BMJ or CD4066BCJ
NS Package Number J14A



S.O. Package (M)
Order Number CD4066BCM
NS Package Number M14A

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Physical Dimensions inches (millimeters) (Continued)



Dual-In-Line Package (N)
Order Number CD4066BMN or CD4066BCN
NS Package Number N14A

LIFE SUPPORT POLICY

NATIONAL'S PRODUCTS ARE NOT AUTHORIZED FOR USE AS CRITICAL COMPONENTS IN LIFE SUPPORT DEVICES OR SYSTEMS WITHOUT THE EXPRESS WRITTEN APPROVAL OF THE PRESIDENT OF NATIONAL SEMICONDUCTOR CORPORATION. As used herein:

1. Life support devices or systems are devices or systems which, (a) are intended for surgical implant into the body, or (b) support or sustain life, and whose failure to perform, when properly used in accordance with instructions for use provided in the labeling, can be reasonably expected to result in a significant injury to the user.
2. A critical component is any component of a life support device or system whose failure to perform can be reasonably expected to cause the failure of the life support device or system, or to affect its safety or effectiveness.

National Semiconductor Corporation
1111 West Bardin Road
Arlington, TX 76017
Tel: 1(800) 272-9959
Fax: 1(800) 737-7018

National Semiconductor Europe
Fax: (+49) 0-180-530 85 86
Email: cnjwge@tevm2.nsc.com
Deutsch Tel: (+49) 0-180-530 85 85
English Tel: (+49) 0-180-532 78 32
Français Tel: (+49) 0-180-532 93 58
Italiano Tel: (+49) 0-180-534 16 80

National Semiconductor Hong Kong Ltd.
13th Floor, Straight Block,
Ocean Centre, 5 Canton Rd.
Tsimshatsui, Kowloon
Hong Kong
Tel: (852) 2737-1600
Fax: (852) 2736-9960

National Semiconductor Japan Ltd.
Tel: 81-043-299-2309
Fax: 81-043-299-2408

National does not assume any responsibility for use of any circuitry described, no circuit patent licenses are implied and National reserves the right at any time without notice to change said circuitry and specifications.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

National Semiconductor

February 1988

CD4013BM/CD4013BC Dual D Flip-Flop

General Description

The CD4013B dual D flip-flop is a monolithic complementary MOS (CMOS) integrated circuit constructed with N- and P-channel enhancement mode transistors. Each flip-flop has independent data, set, reset, and clock inputs and "Q" and "$\overline{Q}$" outputs. These devices can be used for shift register applications, and by connecting "$\overline{Q}$" output to the data input, for counter and toggle applications. The logic level present at the "D" input is transferred to the Q output during the positive-going transition of the clock pulse. Setting or resetting is independent of the clock and is accomplished by a high level on the set or reset line respectively.

Features

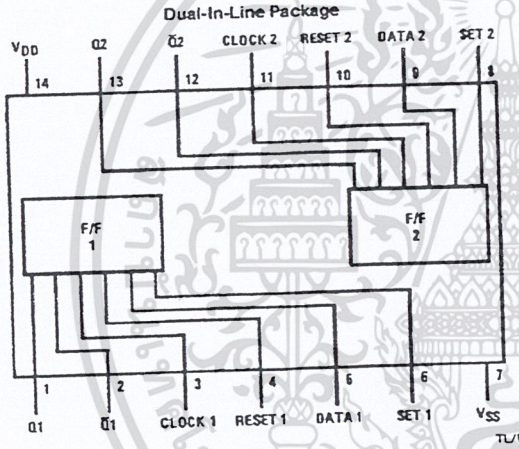
- Wide supply voltage range — 3.0V to 15V
- High noise immunity — 0.45 V_{DD} (typ.)
- Low power TTL compatibility — fan out of 2 driving 74L or 1 driving 74LS

Applications

- Automotive
- Data terminals
- Instrumentation
- Medical electronics
- Alarm system
- Industrial electronics
- Remote metering
- Computers

Connection Diagram

Dual-In-Line Package



Order Number CD4013B

Top View

Truth Table

CL↑	D	R	S	Q	$\overline{Q}$
⌐	0	0	0	0	1
⌐	1	0	0	1	0
¬	x	0	0	Q	$\overline{Q}$
x	x	1	0	0	1
x	x	0	1	1	0
x	x	1	1	1	1

No change
↑ = Level change
x = Don't care case

© 1995 National Semiconductor Corporation TL/F/5946

RRD-B30M105/Printed in U. S. A.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Absolute Maximum Ratings (Notes 1 & 2)

If Military/Aerospace specified devices are required, please contact the National Semiconductor Sales Office/Distributors for availability and specifications.

DC Supply Voltage (V_{DD})	$-0.5\ V_{DC}$ to $+18\ V_{DC}$
Input Voltage (V_{IN})	$-0.5\ V_{DC}$ to $V_{DD}+0.5\ V_{DC}$
Storage Temp. Range (T_S)	$-65°C$ to $+150°C$
Power Dissipation (P_D)	
Dual-In-Line	700 mW
Small Outline	500 mW
Lead Temperature (T_L) (Soldering, 10 seconds)	260°C

Recommended Operating Conditions (Note 2)

DC Supply Voltage (V_{DD})	$+3\ V_{DC}$ to $+15\ V_{DC}$
Input Voltage (V_{IN})	$0\ V_{DC}$ to $V_{DD}\ V_{DC}$
Operating Temperature Range (T_A)	
CD4013BM	$-55°C$ to $+125°C$
CD4013BC	$-40°C$ to $+85°C$

DC Electrical Characteristics CD4013BM (Note 2)

Symbol	Parameter	Conditions	−55°C		+25°C			+125°C		Units
			Min	Max	Min	Typ	Max	Min	Max	
I_{DD}	Quiescent Device Current	$V_{DD}=5V, V_{IN}=V_{DD}$ or V_{SS}		1.0			1.0		30	μA
		$V_{DD}=10V, V_{IN}=V_{DD}$ or V_{SS}		2.0			2.0		60	μA
		$V_{DD}=15V, V_{IN}=V_{DD}$ or V_{SS}		4.0			4.0		120	μA
V_{OL}	Low Level Output Voltage	$\|I_O\|<1.0\ \mu A$								
		$V_{DD}=5V$		0.05			0.05		0.05	V
		$V_{DD}=10V$		0.05			0.05		0.05	V
		$V_{DD}=15V$		0.05			0.05		0.05	V
V_{OH}	High Level Output Voltage	$\|I_O\|<1.0\ \mu A$								
		$V_{DD}=5V$	4.95		4.95			4.95		V
		$V_{DD}=10V$	9.95		9.95			9.95		V
		$V_{DD}=15V$	14.95		14.95			14.95		V
V_{IL}	Low Level Input Voltage	$\|I_O\|<1.0\ \mu A$								
		$V_{DD}=5V, V_O=0.5V$ or $4.5V$		1.5			1.5		1.5	V
		$V_{DD}=10V, V_O=1.0V$ or $9.0V$		3.0			3.0		3.0	V
		$V_{DD}=15V, V_O=1.5V$ or $13.5V$		4.0			4.0		4.0	V
V_{IH}	High Level Input Voltage	$\|I_O\|<1.0\ \mu A$								
		$V_{DD}=5V, V_O=0.5V$ or $4.5V$	3.5		3.5			3.5		V
		$V_{DD}=10V, V_O=1.0V$ or $9.0V$	7.0		7.0			7.0		V
		$V_{DD}=15V, V_O=1.5V$ or $13.5V$	11.0		11.0			11.0		V
I_{OL}	Low Level Output Current (Note 3)	$V_{DD}=5V, V_O=0.4V$	0.64		0.51	0.88		0.36		mA
		$V_{DD}=10V, V_O=0.5V$	1.6		1.3	2.25		0.9		mA
		$V_{DD}=15V, V_O=1.5V$	4.2		3.4	8.8		2.4		mA
I_{OH}	High Level Output Current (Note 3)	$V_{DD}=5V, V_O=4.6V$	−0.64		−0.51	−0.88		−0.36		mA
		$V_{DD}=10V, V_O=9.5V$	−1.6		−1.3	−2.25		−0.9		mA
		$V_{DD}=15V, V_O=13.5V$	−4.2		−3.4	−8.8		−2.4		mA
I_{IN}	Input Current	$V_{DD}=15V, V_{IN}=0V$		−0.1		-10^{-5}	−0.1		−1.0	μA
		$V_{DD}=15V, V_{IN}=15V$		0.1		10^{-5}	0.1		1.0	μA

DC Electrical Characteristics CD4013BC (Note 2)

Symbol	Parameter	Conditions	−40°C		+25°C			+85°C		Units
			Min	Max	Min	Typ	Max	Min	Max	
I_{DD}	Quiescent Device Current	$V_{DD}=5V, V_{IN}=V_{DD}$ or V_{SS}		4.0			4.0		30	μA
		$V_{DD}=10V, V_{IN}=V_{DD}$ or V_{SS}		8.0			8.0		60	μA
		$V_{DD}=15V, V_{IN}=V_{DD}$ or V_{SS}		16.0			16.0		120	μA
V_{OL}	Low Level Output Voltage	$\|I_O\|<1.0\ \mu A$								
		$V_{DD}=5V$		0.05			0.05		0.05	V
		$V_{DD}=10V$		0.05			0.05		0.05	V
		$V_{DD}=15V$		0.05			0.05		0.05	V
V_{OH}	High Level Output Voltage	$\|I_O\|<1.0\ \mu A$								
		$V_{DD}=5V$	4.95		4.95			4.95		V
		$V_{DD}=10V$	9.95		9.95			9.95		V
		$V_{DD}=15V$	14.95		14.95			14.95		V
V_{IL}	Low Level Input Voltage	$\|I_O\|<1.0\ \mu A$								
		$V_{DD}=5V, V_O=0.5V$ or $4.5V$		1.5			1.5		1.5	V
		$V_{DD}=10V, V_O=1.0V$ or $9.0V$		3.0			3.0		3.0	V
		$V_{DD}=15V, V_O=1.5V$ or $13.5V$		4.0			4.0		4.0	V

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

DC Electrical Characteristics CD4013BC (Note 2) (Continued)

Symbol	Parameter	Conditions	−40°C		+25°C			+85°C		Units
			Min	Max	Min	Typ	Max	Min	Max	
V_{IH}	High Level Input Voltage	$\|I_O\| < 1.0\ \mu A$								
		$V_{DD} = 5V, V_O = 0.5V$ or $4.5V$	3.5		3.5			3.5		V
		$V_{DD} = 10V, V_O = 1.0V$ or $9.0V$	7.0		7.0			7.0		V
		$V_{DD} = 15V, V_O = 1.5V$ or $13.5V$	11.0		11.0			11.0		V
I_{OL}	Low Level Output Current (Note 3)	$V_{DD} = 5V, V_O = 0.4V$	0.52		0.44	0.88		0.36		mA
		$V_{DD} = 10V, V_O = 0.5V$	1.3		1.1	2.25		0.9		mA
		$V_{DD} = 15V, V_O = 1.5V$	3.6		3.0	8.8		2.4		mA
I_{OH}	High Level Output Current (Note 3)	$V_{DD} = 5V, V_O = 4.6V$	−0.52		−0.44	−0.88		−0.36		mA
		$V_{DD} = 10V, V_O = 9.5V$	−1.3		−1.1	−2.25		−0.9		mA
		$V_{DD} = 15V, V_O = 13.5V$	−3.6		−3.0	−8.8		−2.4		mA
I_{IN}	Input Current	$V_{DD} = 15V, V_{IN} = 0V$		−0.3		-10^{-5}	−0.3		−1.0	μA
		$V_{DD} = 15V, V_{IN} = 15V$		0.3		10^{-5}	0.3		1.0	μA

Note 1: "Absolute Maximum Ratings" are those values beyond which the safety of the device cannot be guaranteed, they are not meant to imply that the devices should be operated at these limits. The tables of "Recommended Operating Conditions" and "Electrical Characteristics" provide conditions for actual device operation.

Note 2: $V_{SS} = 0V$ unless otherwise specified.

Note 3: I_{OH} and I_{OL} are measured one output at a time.

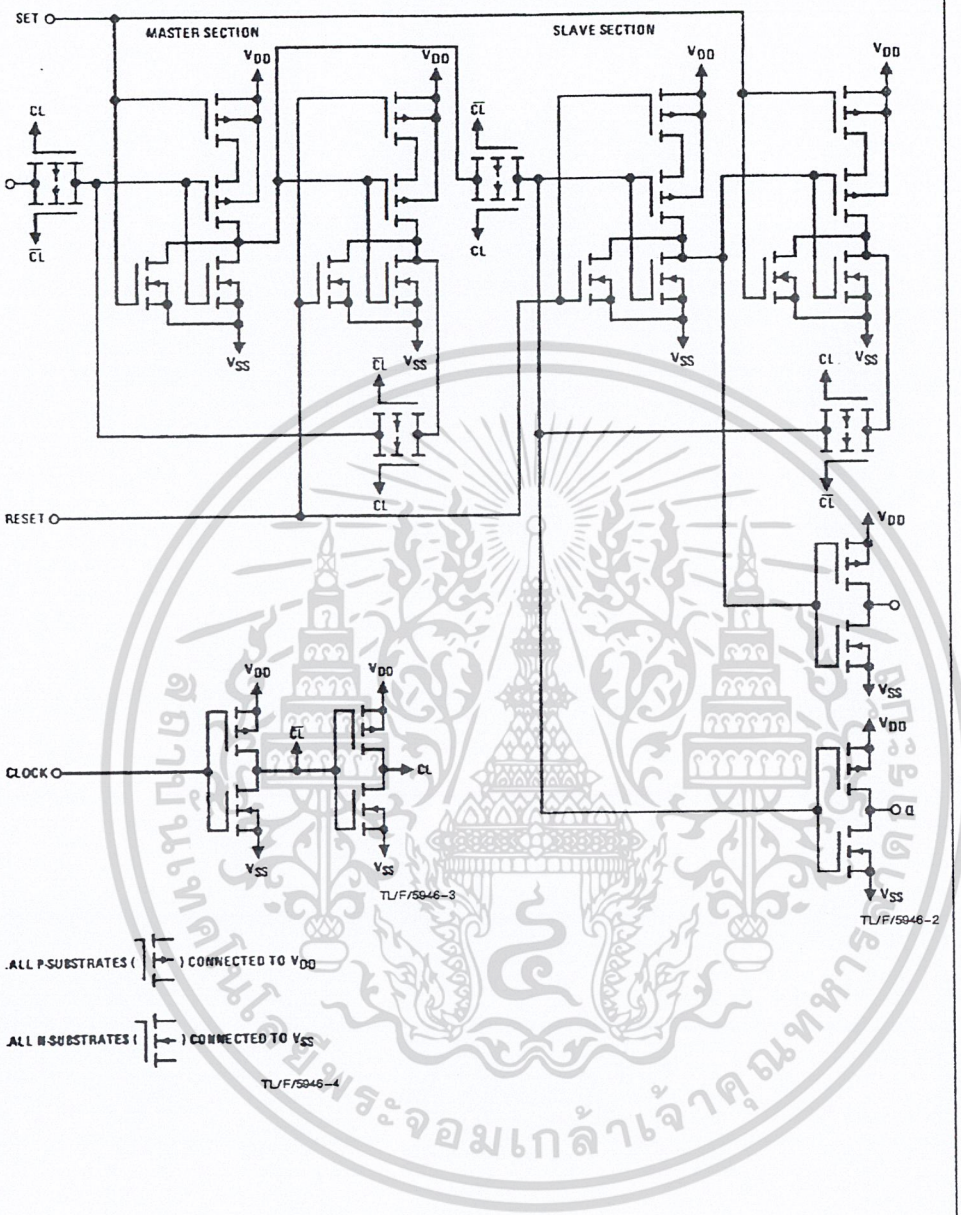
AC Electrical Characteristics* $T_A = 25°C, C_L = 50\ pF, R_L = 200k$, unless otherwise noted

Symbol	Parameter	Conditions	Min	Typ	Max	Units
CLOCK OPERATION						
t_{PHL}, t_{PLH}	Propagation Delay Time	$V_{DD} = 5V$		200	350	ns
		$V_{DD} = 10V$		80	160	ns
		$V_{DD} = 15V$		65	120	ns
t_{THL}, t_{TLH}	Transition Time	$V_{DD} = 5V$		100	200	ns
		$V_{DD} = 10V$		50	100	ns
		$V_{DD} = 15V$		40	80	ns
t_{WL}, t_{WH}	Minimum Clock Pulse Width	$V_{DD} = 5V$		100	200	ns
		$V_{DD} = 10V$		40	80	ns
		$V_{DD} = 15V$		32	65	ns
t_{RCL}, t_{FCL}	Maximum Clock Rise and Fall Time	$V_{DD} = 5V$			15	μs
		$V_{DD} = 10V$			10	μs
		$V_{DD} = 15V$			5	μs
t_{SU}	Minimum Set-Up Time	$V_{DD} = 5V$		20	40	ns
		$V_{DD} = 10V$		15	30	ns
		$V_{DD} = 15V$		12	25	ns
f_{CL}	Maximum Clock Frequency	$V_{DD} = 5V$	2.5	5		MHz
		$V_{DD} = 10V$	6.2	12.5		MHz
		$V_{DD} = 15V$	7.6	15.5		MHz
SET AND RESET OPERATION						
$t_{PHL(R)}$, $t_{PLH(S)}$	Propagation Delay Time	$V_{DD} = 5V$		150	300	ns
		$V_{DD} = 10V$		65	130	ns
		$V_{DD} = 15V$		45	90	ns
$t_{WH(R)}$, $t_{WH(S)}$	Minimum Set and Reset Pulse Width	$V_{DD} = 5V$		90	180	ns
		$V_{DD} = 10V$		40	80	ns
		$V_{DD} = 15V$		25	50	ns
C_{IN}	Average Input Capacitance	Any Input		5	7.5	pF

*AC Parameters are guaranteed by DC correlated testing.

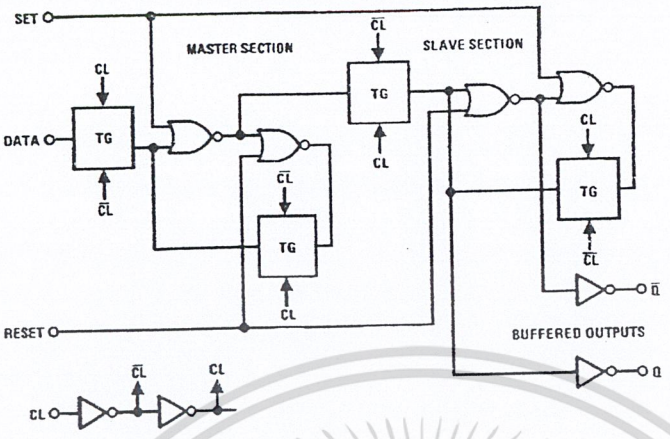
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Schematic Diagram

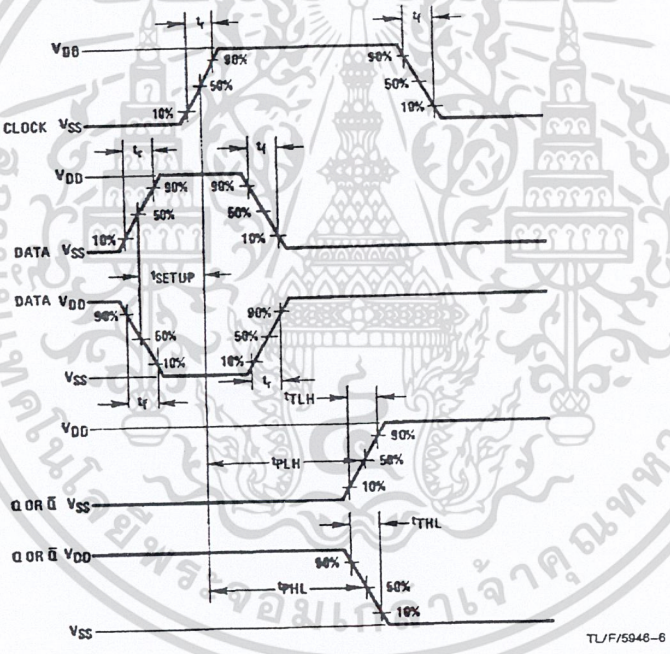


เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Logic Diagram

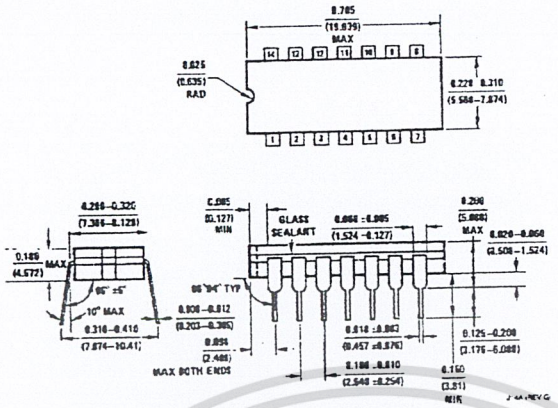


Switching Time Waveforms

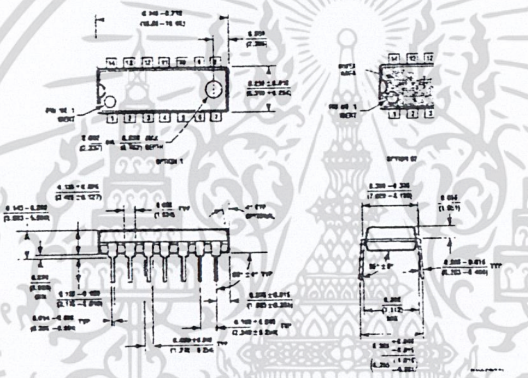


เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Physical Dimensions inches (millimeters)



Ceramic Dual-In-Line Package (J)
Order Number CD4013BMJ or CD4013BCJ
NS Package Number J14A



Molded Dual-In-Line Package (N)
Order Number CD4013BMN or CD4013BCN
NS Package Number N14A

LIFE SUPPORT POLICY

NATIONAL'S PRODUCTS ARE NOT AUTHORIZED FOR USE AS CRITICAL COMPONENTS IN LIFE SUPPORT DEVICES OR SYSTEMS WITHOUT THE EXPRESS WRITTEN APPROVAL OF THE PRESIDENT OF NATIONAL SEMICONDUCTOR CORPORATION. As used herein:

1. Life support devices or systems are devices or systems which, (a) are intended for surgical implant into the body, or (b) support or sustain life, and whose failure to perform, when properly used in accordance with instructions for use provided in the labeling, can be reasonably expected to result in a significant injury to the user.
2. A critical component is any component of a life support device or system whose failure to perform can be reasonably expected to cause the failure of the life support device or system, or to affect its safety or effectiveness.

National Semiconductor Corporation
1111 West Bardin Road
Arlington, TX 76017
Tel: 1(800) 272-9959
Fax: 1(800) 737-7018

National Semiconductor Europe
Fax: (+49) 0-180-530 85 86
Email: cnjwge@tevm2.nsc.com
Deutsch Tel: (+49) 0-180-530 85 85
English Tel: (+49) 0-180-532 78 32
Français Tel: (+49) 0-180-532 93 58
Italiano Tel: (+49) 0-180-534 16 80

National Semiconductor Hong Kong Ltd.
13th Floor, Straight Block,
Ocean Centre, 5 Canton Rd.
Tsimshatsui, Kowloon
Hong Kong
Tel: (852) 2737-1600
Fax: (852) 2736-9960

National Semiconductor Japan Ltd.
Tel: 81-043-299-2309
Fax: 81-043-299-2408

National does not assume any responsibility for use of any circuitry described, no circuit patent licenses are implied and National reserves the right at any time without notice to change said circuitry and specifications.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

February 2000

National Semiconductor

LM555
Timer

General Description

The LM555 is a highly stable device for generating accurate time delays or oscillation. Additional terminals are provided for triggering or resetting if desired. In the time delay mode of operation, the time is precisely controlled by one external resistor and capacitor. For astable operation as an oscillator, the free running frequency and duty cycle are accurately controlled with two external resistors and one capacitor. The circuit may be triggered and reset on falling waveforms, and the output circuit can source or sink up to 200mA or drive TTL circuits.

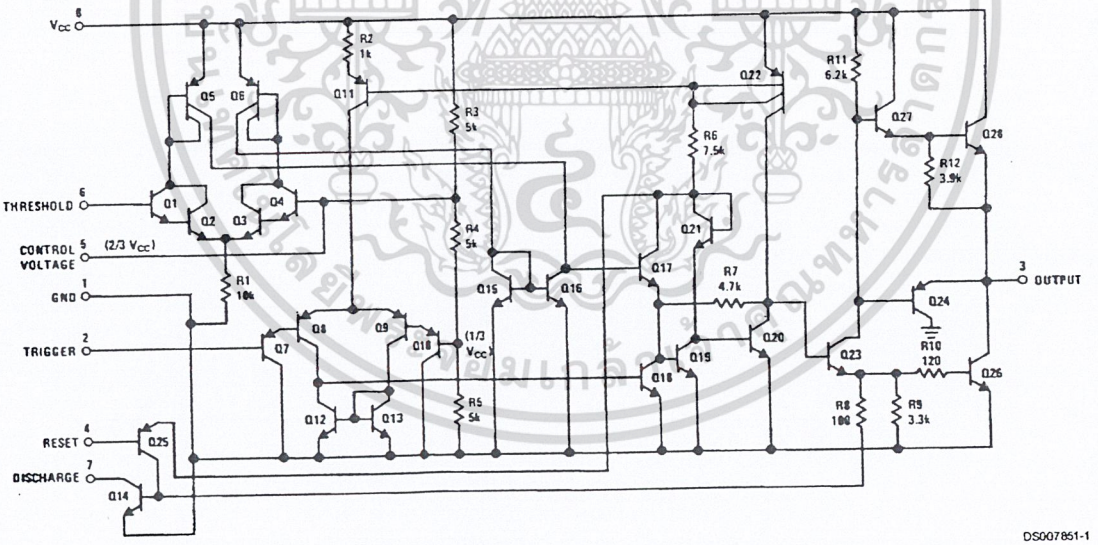
Features

- Direct replacement for SE555/NE555
- Timing from microseconds through hours
- Operates in both astable and monostable modes
- Adjustable duty cycle
- Output can source or sink 200 mA
- Output and supply TTL compatible
- Temperature stability better than 0.005% per °C
- Normally on and normally off output
- Available in 8-pin MSOP package

Applications

- Precision timing
- Pulse generation
- Sequential timing
- Time delay generation
- Pulse width modulation
- Pulse position modulation
- Linear ramp generator

Schematic Diagram

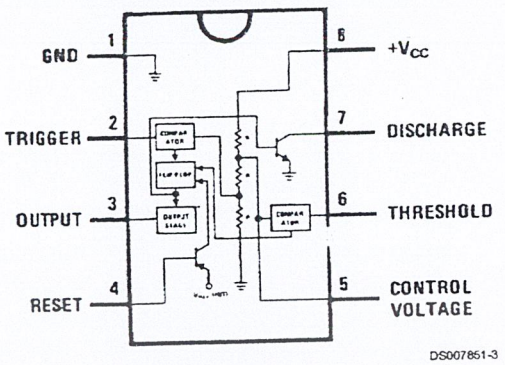


© 2000 National Semiconductor Corporation

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Connection Diagram

Dual-In-Line, Small Outline and Molded Mini Small Outline Packages



DS007851-3

Top View

Ordering Information

Package	Part Number	Package Marking	Media Transport	NSC Drawing
8-Pin SOIC	LM555CM	LM555CM	Rails	M08A
	LM555CMX	LM555CM	2.5k Units Tape and Reel	
8-Pin MSOP	LM555CMM	Z55	1k Units Tape and Reel	MUA08A
	LM555CMMX	Z55	3.5k Units Tape and Reel	
8-Pin MDIP	LM555CN	LM555CN	Rails	N08E

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Absolute Maximum Ratings (Note 2)

If Military/Aerospace specified devices are required, please contact the National Semiconductor Sales Office/ Distributors for availability and specifications.

Supply Voltage	+18V
Power Dissipation (Note 3)	
LM555CM, LM555CN	1180 mW
LM555CMM	613 mW
Operating Temperature Ranges	
LM555C	0°C to +70°C
Storage Temperature Range	−65°C to +150°C

Soldering Information	
Dual-In-Line Package	
Soldering (10 Seconds)	260°C
Small Outline Packages	
(SOIC and MSOP)	
Vapor Phase (60 Seconds)	215°C
Infrared (15 Seconds)	220°C

See AN-450 "Surface Mounting Methods and Their Effect on Product Reliability" for other methods of soldering surface mount devices.

Electrical Characteristics (Notes 1, 2)

(T_A = 25°C, V_{CC} = +5V to +15V, unless othewise specified)

Parameter	Conditions	Limits LM555C			Units
		Min	Typ	Max	
Supply Voltage		4.5		16	V
Supply Current	V_{CC} = 5V, R_L = ∞ V_{CC} = 15V, R_L = ∞ (Low State) (Note 4)		3 10	6 15	mA
Timing Error, Monostable					
Initial Accuracy			1		%
Drift with Temperature	R_A = 1k to 100kΩ, C = 0.1µF, (Note 5)		50		ppm/°C
Accuracy over Temperature			1.5		%
Drift with Supply			0.1		%/V
Timing Error, Astable					
Initial Accuracy			2.25		%
Drift with Temperature	R_A, R_B = 1k to 100kΩ, C = 0.1µF, (Note 5)		150		ppm/°C
Accuracy over Temperature			3.0		%
Drift with Supply			0.30		%/V
Threshold Voltage			0.667		x V_{CC}
Trigger Voltage	V_{CC} = 15V V_{CC} = 5V		5 1.67		V V
Trigger Current			0.5	0.9	µA
Reset Voltage		0.4	0.5	1	V
Reset Current			0.1	0.4	mA
Threshold Current	(Note 6)		0.1	0.25	µA
Control Voltage Level	V_{CC} = 15V V_{CC} = 5V	9 2.6	10 3.33	11 4	V
Pin 7 Leakage Output High			1	100	nA
Pin 7 Sat (Note 7)					
Output Low	V_{CC} = 15V, I_7 = 15mA		180		mV
Output Low	V_{CC} = 4.5V, I_7 = 4.5mA		80	200	mV

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Electrical Characteristics (Notes 1, 2) (Continued)

(T_A = 25°C, V_{CC} = +5V to +15V, unless othewise specified)

Parameter	Conditions	Limits			Units
		LM555C			
		Min	Typ	Max	
Output Voltage Drop (Low)	V_{CC} = 15V				
	I_{SINK} = 10mA		0.1	0.25	V
	I_{SINK} = 50mA		0.4	0.75	V
	I_{SINK} = 100mA		2	2.5	V
	I_{SINK} = 200mA		2.5		V
	V_{CC} = 5V				
	I_{SINK} = 8mA				V
	I_{SINK} = 5mA		0.25	0.35	V
Output Voltage Drop (High)	I_{SOURCE} = 200mA, V_{CC} = 15V		12.5		V
	I_{SOURCE} = 100mA, V_{CC} = 15V	12.75	13.3		V
	V_{CC} = 5V	2.75	3.3		V
Rise Time of Output			100		ns
Fall Time of Output			100		ns

Note 1: All voltages are measured with respect to the ground pin, unless otherwise specified.

Note 2: Absolute Maximum Ratings indicate limits beyond which damage to the device may occur. Operating Ratings indicate conditions for which the device is functional, but do not guarantee specific performance limits. Electrical Characteristics state DC and AC electrical specifications under particular test conditions which guarantee specific performance limits. This assumes that the device is within the Operating Ratings. Specifications are not guaranteed for parameters where no limit is given, however, the typical value is a good indication of device performance.

Note 3: For operating at elevated temperatures the device must be derated above 25°C based on a +150°C maximum junction temperature and a thermal resistance of 106°C/W (DIP), 170°C/W (S0-8), and 204°C/W (MSOP) junction to ambient.

Note 4: Supply current when output high typically 1 mA less at V_{CC} = 5V.

Note 5: Tested at V_{CC} = 5V and V_{CC} = 15V.

Note 6: This will determine the maximum value of $R_A + R_B$ for 15V operation. The maximum total ($R_A + R_B$) is 20MΩ.

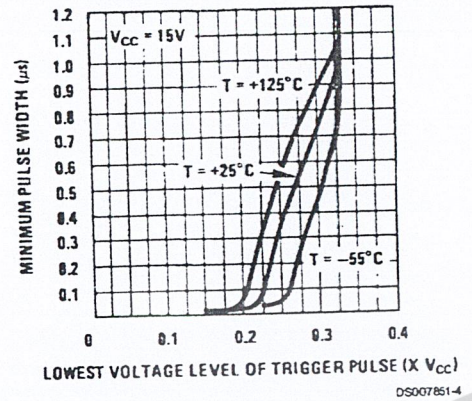
Note 7: No protection against excessive pin 7 current is necessary providing the package dissipation rating will not be exceeded.

Note 8: Refer to RETS555X drawing of military LM555H and LM555J versions for specifications.

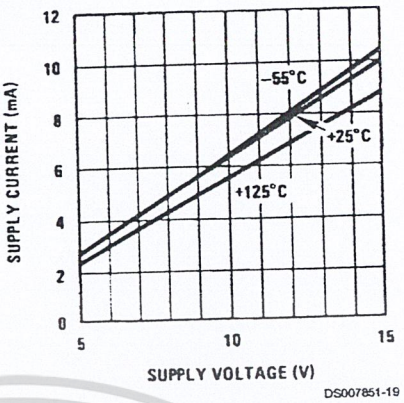
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Typical Performance Characteristics

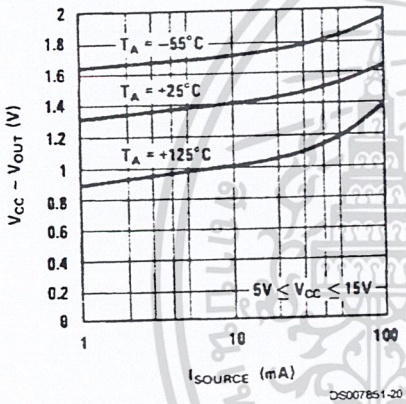
Minimuim Pulse Width Required for Triggering



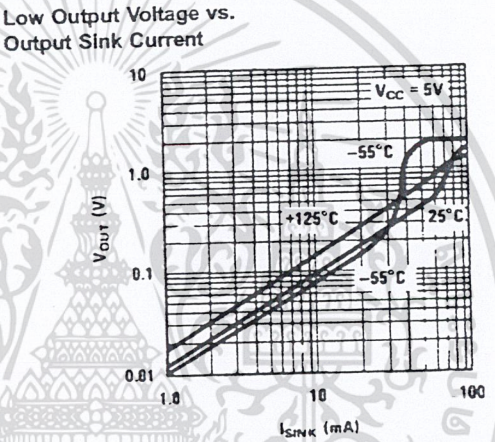
Supply Current vs. Supply Voltage



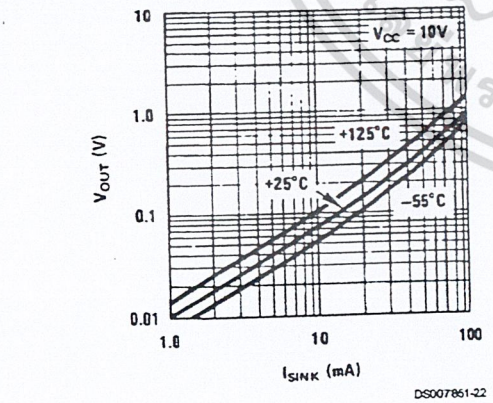
High Output Voltage vs. Output Source Current



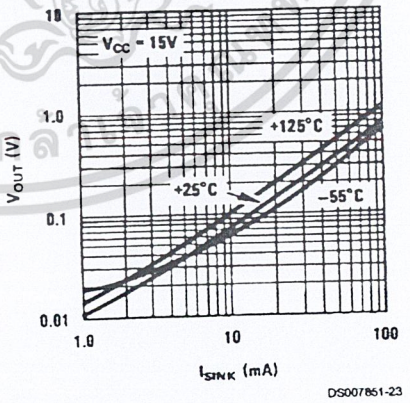
Low Output Voltage vs. Output Sink Current



Low Output Voltage vs. Output Sink Current



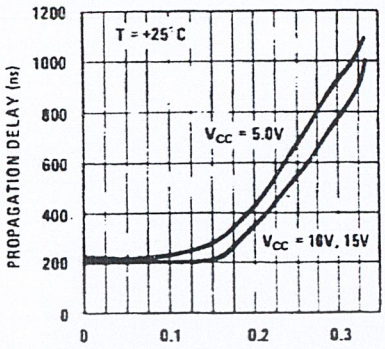
Low Output Voltage vs. Output Sink Current



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

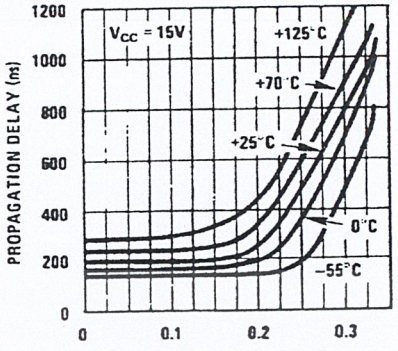
Typical Performance Characteristics (Continued)

Output Propagation Delay vs. Voltage Level of Trigger Pulse



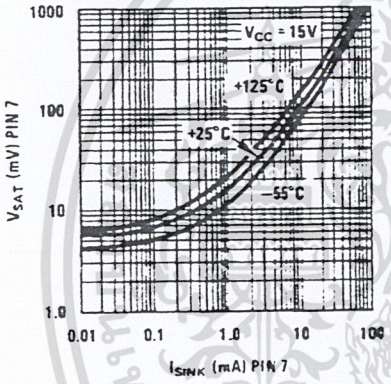
DS007851-24

Output Propagation Delay vs. Voltage Level of Trigger Pulse



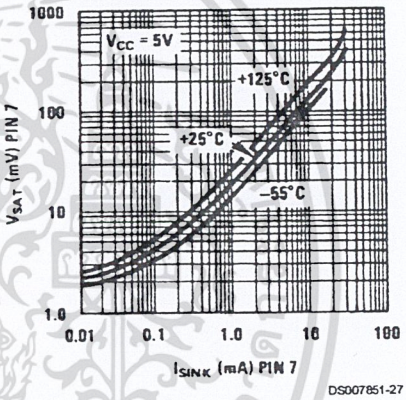
DS007851-25

Discharge Transistor (Pin 7) Voltage vs. Sink Current



DS007851-26

Discharge Transistor (Pin 7) Voltage vs. Sink Current



DS007851-27

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

August 2000

National Semiconductor

LF147/LF347
Wide Bandwidth Quad JFET Input Operational Amplifiers

General Description

The LF147 is a low cost, high speed quad JFET input operational amplifier with an internally trimmed input offset voltage (BI-FET II™ technology). The device requires a low supply current and yet maintains a large gain bandwidth product and a fast slew rate. In addition, well matched high voltage JFET input devices provide very low input bias and offset currents. The LF147 is pin compatible with the standard LM148. This feature allows designers to immediately upgrade the overall performance of existing LF148 and LM124 designs.

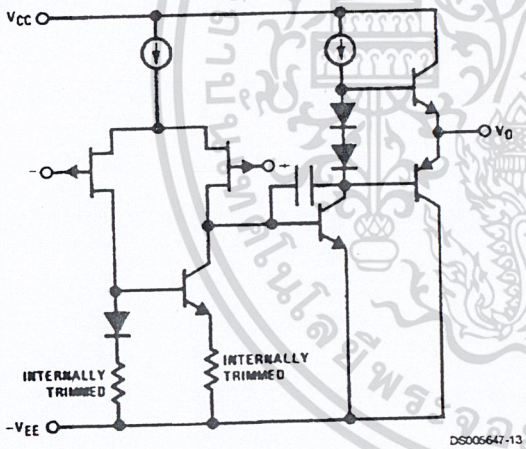
The LF147 may be used in applications such as high speed integrators, fast D/A converters, sample-and-hold circuits and many other circuits requiring low input offset voltage, low input bias current, high input impedance, high slew rate and wide bandwidth. The device has low noise and offset voltage drift.

Features

■ Internally trimmed offset voltage:	5 mV max
■ Low input bias current:	50 pA
■ Low input noise current:	0.01 pA/□Hz
■ Wide gain bandwidth:	4 MHz
■ High slew rate:	13 V/μs
■ Low supply current:	7.2 mA
■ High input impedance:	10^{12}□
■ Low total harmonic distortion:	□0.02%
■ Low 1/f noise corner:	50 Hz
■ Fast settling time to 0.01%:	2 μs

Simplified Schematic

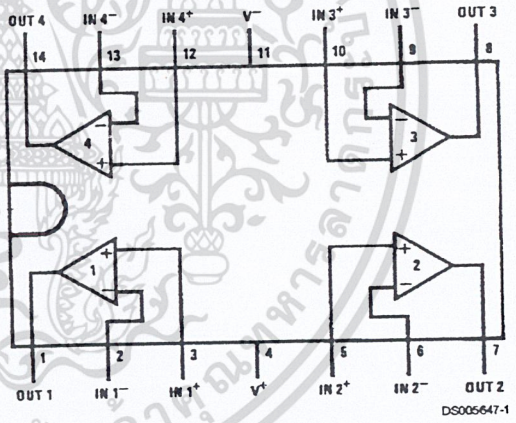
¼ Quad



DS005647-13

Connection Diagram

Dual-In-Line Package



DS005647-1

Note 1: LF147 available as per JM38510/11906.

Top View
Order Number LF147J, LF147J-SMD, LF347M, LF347BN, LF347N, LF147J/883, or JL147 BCA (Note 1)
See NS Package Number J14A, M14A or N14A

BI-FET II™ is a trademark of National Semiconductor Corporation.

© 2000 National Semiconductor Corporation

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Absolute Maximum Ratings (Note 2)

If Military/Aerospace specified devices are required, please contact the National Semiconductor Sales Office/ Distributors for availability and specifications.

	LF147	LF347B/LF347
Supply Voltage	±22V	±18V
Differential Input Voltage	±38V	±30V
Input Voltage Range (Note 3)	±19V	±15V
Output Short Circuit Duration (Note 4)	Continuous	Continuous
Power Dissipation (Notes 5, 11)	900 mW	1000 mW
T_j max	150°C	150°C
θ_{jA}		
Ceramic DIP (J) Package		70°C/W
Plastic DIP (N) Package		75°C/W
Surface Mount Narrow (M)		100°C/W
Surface Mount Wide (WM)		85°C/W
Operating Temperature Range	(Note 6)	(Note 6)
Storage Temperature Range	$-65°C \le T_A \le 150°C$	
Lead Temperature (Soldering, 10 sec.)	260°C	260°C
Soldering Information		
Dual-In-Line Package Soldering (10 seconds)		260°C
Small Outline Package		
Vapor Phase (60 seconds)		215°C
Infrared (15 seconds)		220°C

See AN-450 "Surface Mounting Methods and Their Effect on Product Reliability" for other methods of soldering surface mount devices.

ESD Tolerance (Note 12) 900V

DC Electrical Characteristics (Note 7)

Symbol	Parameter	Conditions	LF147			LF347B			LF347			Units
			Min	Typ	Max	Min	Typ	Max	Min	Typ	Max	
V_{OS}	Input Offset Voltage	R_S=10 kΩ, T_A=25°C		1	5		3	5		5	10	mV
		Over Temperature			8			7			13	mV
$\Delta V_{OS}/\Delta T$	Average TC of Input Offset Voltage	R_S=10 kΩ		10			10			10		µV/°C
I_{OS}	Input Offset Current	T_j=25°C, (Notes 7, 8)		25	100		25	100		25	100	pA
		Over Temperature			25			4			4	nA
I_B	Input Bias Current	T_j=25°C, (Notes 7, 8)		50	200		50	200		50	200	pA
		Over Temperature			50			8			8	nA
R_{IN}	Input Resistance	T_j=25°C		10^{12}			10^{12}			10^{12}		Ω
A_{VOL}	Large Signal Voltage Gain	V_S=±15V, T_A=25°C	50	100		50	100		25	100		V/mV
		V_O=±10V, R_L=2 kΩ										
		Over Temperature	25			25			15			V/mV
V_O	Output Voltage Swing	V_S=±15V, R_L=10 kΩ	±12	±13.5		±12	±13.5		±12	±13.5		V
V_{CM}	Input Common-Mode Voltage Range	V_S=±15V	±11	+15		±11	+15		±11	+15		V
				−12			−12			−12		V
CMRR	Common-Mode Rejection Ratio	R_S≤10 kΩ	80	100		80	100		70	100		dB
PSRR	Supply Voltage Rejection Ratio	(Note 9)	80	100		80	100		70	100		dB
I_S	Supply Current			7.2	11		7.2	11		7.2	11	mA

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

AC Electrical Characteristics (Note 7)

Symbol	Parameter	Conditions	LF147			LF347B			LF347			Units
			Min	Typ	Max	Min	Typ	Max	Min	Typ	Max	
	Amplifier to Amplifier Coupling	T_A=25°C, f=1 Hz–20 kHz (Input Referred)		−120			−120			−120		dB
SR	Slew Rate	V_S=±15V, T_A=25°C	8	13		8	13		8	13		V/μs
GBW	Gain-Bandwidth Product	V_S=±15V, T_A=25°C	2.2	4		2.2	4		2.2	4		MHz
e_n	Equivalent Input Noise Voltage	T_A=25°C, R_S=100Ω, f=1000 Hz		20			20			20		$nV/\sqrt{Hz}$
i_n	Equivalent Input Noise Current	T_j=25°C, f=1000 Hz		0.01			0.01			0.01		$pA/\sqrt{Hz}$
THD	Total Harmonic Distortion	A_V=+10, R_L=10k, V_O=20 Vp-p, BW=20 Hz–20 kHz		<0.02			<0.02			<0.02		%

Note 2: Absolute Maximum Ratings indicate limits beyond which damage to the device may occur. Operating Ratings indicate conditions for which the device is functional, but do not guarantee specific performance limits.

Note 3: Unless otherwise specified the absolute maximum negative input voltage is equal to the negative power supply voltage.

Note 4: Any of the amplifier outputs can be shorted to ground indefinitely, however, more than one should not be simultaneously shorted as the maximum junction temperature will be exceeded.

Note 5: For operating at elevated temperature, these devices must be derated based on a thermal resistance of θ_{jA}.

Note 6: The LF147 is available in the military temperature range −55°C≤T_A≤125°C, while the LF347B and the LF347 are available in the commercial temperature range 0°C≤T_A≤70°C. Junction temperature can rise to T_j max = 150°C.

Note 7: Unless otherwise specified the specifications apply over the full temperature range and for V_S=±20V for the LF147 and for V_S=±15V for the LF347B/LF347. V_{OS}, I_B, and I_{OS} are measured at V_{CM}=0.

Note 8: The input bias currents are junction leakage currents which approximately double for every 10°C increase in the junction temperature, T_j. Due to limited production test time, the input bias currents measured are correlated to junction temperature. In normal operation the junction temperature rises above the ambient temperature as a result of internal power dissipation, P_D. T_j=T_A+θ_{jA} P_D where θ_{jA} is the thermal resistance from junction to ambient. Use of a heat sink is recommended if input bias current is to be kept to a minimum.

Note 9: Supply voltage rejection ratio is measured for both supply magnitudes increasing or decreasing simultaneously in accordance with common practice from V_S = ± 5V to ±15V for the LF347 and LF347B and from V_S = ±20V to ±5V for the LF147.

Note 10: Refer to RETS147X for LF147D and LF147J military specifications.

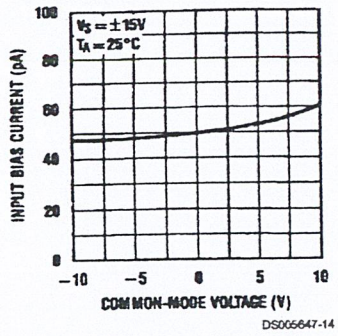
Note 11: Max. Power Dissipation is defined by the package characteristics. Operating the part near the Max. Power Dissipation may cause the part to operate outside guaranteed limits.

Note 12: Human body model, 1.5 kΩ in series with 100 pF.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

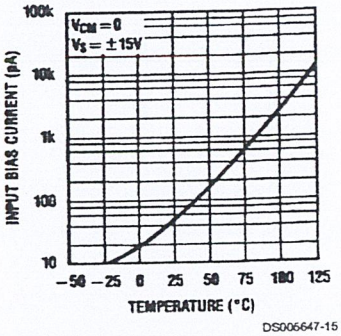
Typical Performance Characteristics

Input Bias Current



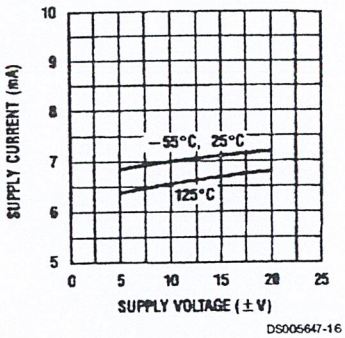
DS005647-14

Input Bias Current



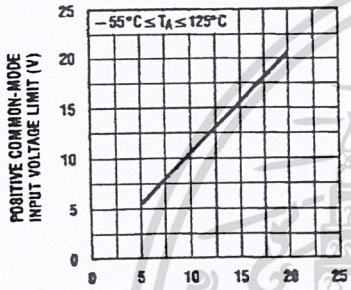
DS005647-15

Supply Current



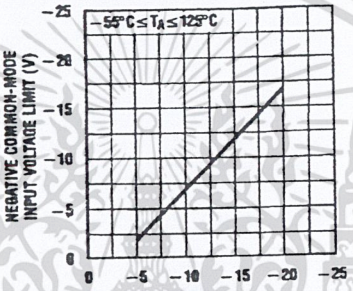
DS005647-16

Positive Common-Mode Input Voltage Limit



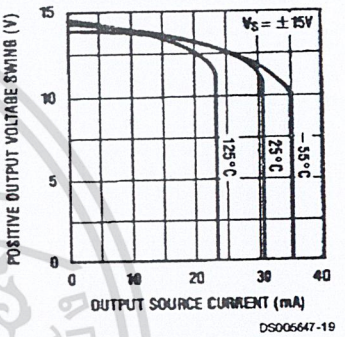
DS005647-17

Negative Common-Mode Input Voltage Limit



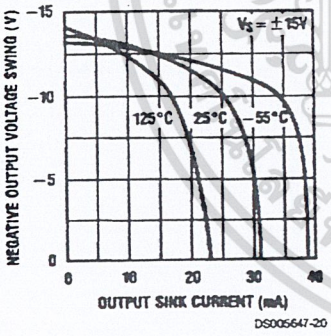
DS005647-18

Positive Current Limit



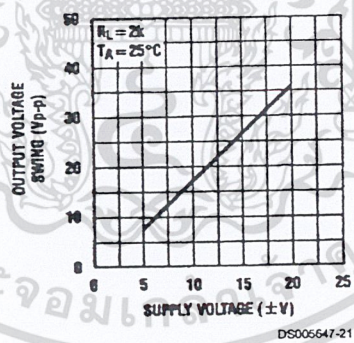
DS005647-19

Negative Current Limit



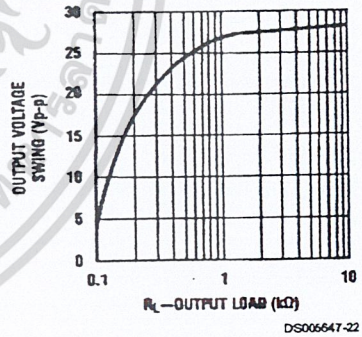
DS005647-20

Output Voltage Swing



DS005647-21

Output Voltage Swing

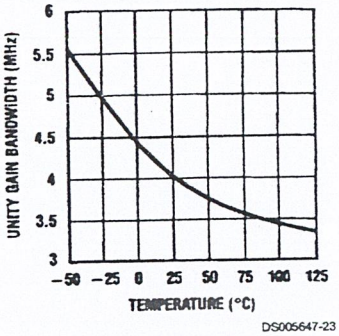


DS005647-22

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

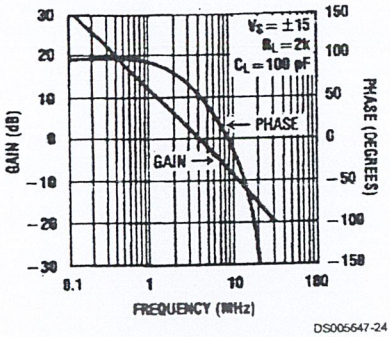
Typical Performance Characteristics (Continued)

Gain Bandwidth



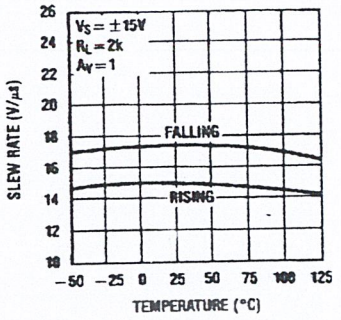
DS005647-23

Bode Plot



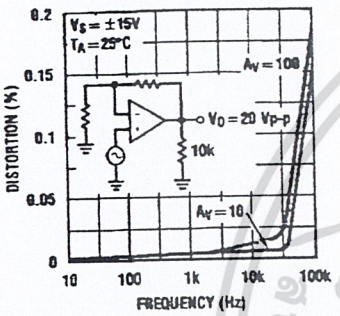
DS005647-24

Slew Rate



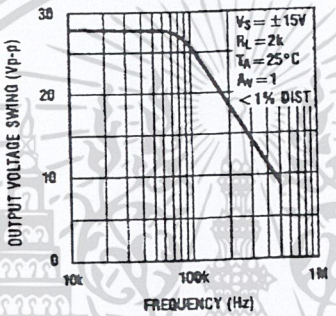
DS005647-25

Distortion vs Frequency



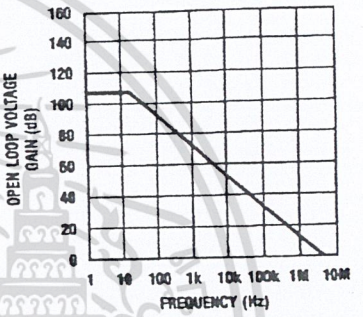
DS005647-26

Undistorted Output Voltage Swing



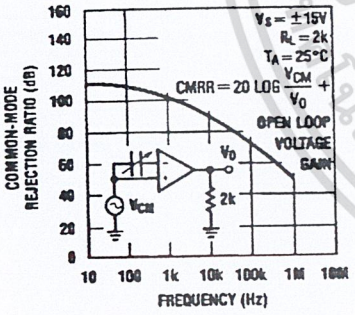
DS005647-27

Open Loop Frequency Response



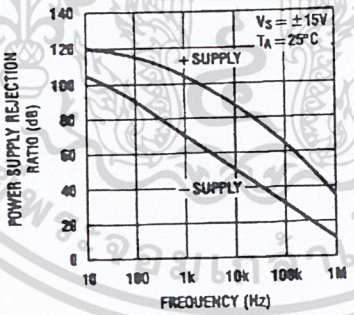
DS005647-28

Common-Mode Rejection Ratio



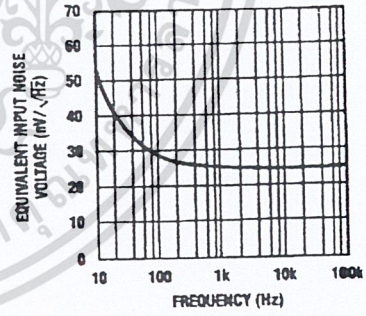
DS005647-29

Power Supply Rejection Ratio



DS005647-30

Equivalent Input Noise Voltage

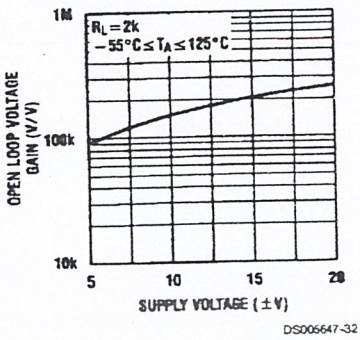


DS005647-31

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

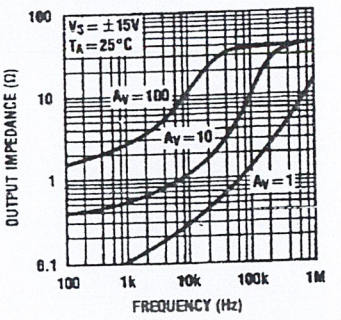
Typical Performance Characteristics (Continued)

Open Loop Voltage Gain



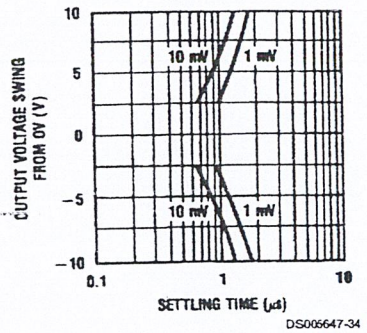
DS005647-32

Output Impedance



DS005647-33

Inverter Settling Time



DS005647-34

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

MC145152-2

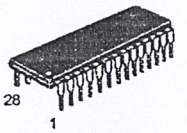
Parallel-Input PLL Frequency Synthesizer

Interfaces with Dual–Modulus Prescalers

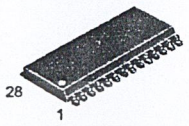
The MC145152–2 is programmed by sixteen parallel inputs for the N and A counters and three input lines for the R counter. The device features consist of a reference oscillator, selectable–reference divider, two–output phase detector, 10–bit programmable divide–by–N counter, and 6–bit programmable ÷ A counter.

The MC145152–2 is an improved–performance drop–in replacement for the MC145152–1. Power consumption has decreased and ESD and latch–up performance have improved.

- Operating Temperature Range: – 40 to 85°C
- Low Power Consumption Through Use of CMOS Technology
- 3.0 to 9.0 V Supply Range
- On– or Off–Chip Reference Oscillator Operation
- Lock Detect Signal
- Dual Modulus/Parallel Programming
- 8 User–Selectable ÷ R Values: 8, 64, 128, 256, 512, 1024, 1160, 2048
- ÷ N Range = 3 to 1023, ÷ A Range = 0 to 63
- Chip Complexity: 8000 FETs or 2000 Equivalent Gates
- See Application Note AN980



P SUFFIX
PLASTIC DIP
CASE 710

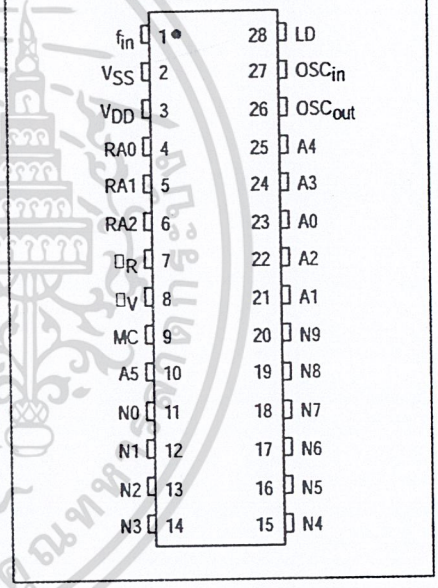


DW SUFFIX
SOG PACKAGE
CASE 751F

ORDERING INFORMATION

MC145152P2	Plastic DIP
MC145152DW2	SOG Package

PIN ASSIGNMENT

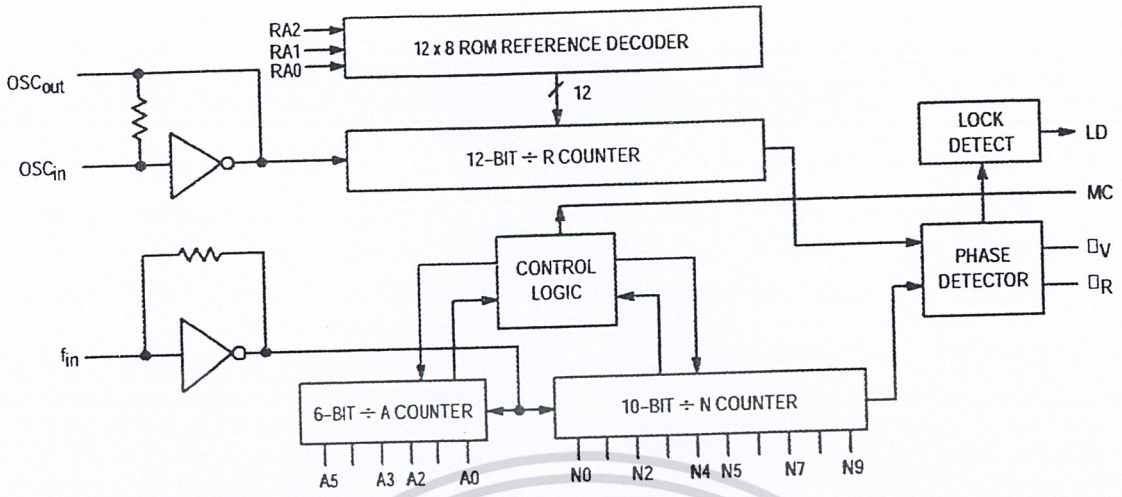


REV 1
8/95

© Motorola, Inc. 1995

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

MC145152–2 BLOCK DIAGRAM



NOTE: N0 – N9, A0 – A5, and RA0 – RA2 have pull–up resistors that are not shown.

PIN DESCRIPTIONS

INPUT PINS

f_{in}
Frequency Input (Pin 1)

Input to the positive edge triggered ÷ N and ÷ A counters. f_{in} is typically derived from a dual–modulus prescaler and is ac coupled into the device. For larger amplitude signals (standard CMOS logic levels) dc coupling may be used.

RA0, RA1, RA2
Reference Address Inputs (Pins 4, 5, 6)

These three inputs establish a code defining one of eight possible divide values for the total reference divider. The total reference divide values are as follows:

Reference Address Code			Total Divide Value
RA2	RA1	RA0	
0	0	0	8
0	0	1	64
0	1	0	128
0	1	1	256
1	0	0	512
1	0	1	1024
1	1	0	1160
1	1	1	2048

N0 – N9
N Counter Programming Inputs (Pins 11 – 20)

The N inputs provide the data that is preset into the ÷ N counter when it reaches the count of 0. N0 is the least significant digit and N9 is the most significant. Pull–up resistors ensure that inputs left open remain at a logic 1 and require only a SPST switch to alter data to the zero state.

A0 – A5
A Counter Programming Inputs
(Pins 23, 21, 22, 24, 25, 10)

The A inputs define the number of clock cycles of f_{in} that require a logic 0 on the MC output (see **Dual–Modulus Prescaling** section). The A inputs all have internal pull–up resistors that ensure that inputs left open will remain at a logic 1.

OSC_{in}, OSC_{out}
Reference Oscillator Input/Output (Pins 27, 26)

These pins form an on–chip reference oscillator when connected to terminals of an external parallel resonant crystal. Frequency setting capacitors of appropriate value must be connected from OSC_{in} to ground and OSC_{out} to ground. OSC_{in} may also serve as the input for an externally–generated reference signal. This signal is typically ac coupled to OSC_{in}, but for larger amplitude signals (standard CMOS logic levels) dc coupling may also be used. In the external reference mode, no connection is required to OSC_{out}.

OUTPUT PINS

□R, □V
Phase Detector B Outputs (Pins 7, 8)

These phase detector outputs can be combined externally for a loop–error signal.

If the frequency f_V is greater than f_R or if the phase of f_V is leading, then error information is provided by □V pulsing low. □R remains essentially high.

If the frequency f_V is less than f_R or if the phase of f_V is lagging, then error information is provided by □R pulsing low. □V remains essentially high.

If the frequency of $f_V = f_R$ and both are in phase, then both □V and □R remain high except for a small minimum time period when both pulse low in phase.

MC
Dual–Modulus Prescale Control Output (Pin 9)

Signal generated by the on–chip control logic circuitry for controlling an external dual–modulus prescaler. The MC level will be low at the beginning of a count cycle and will remain low until the ÷ A counter has counted down from its programmed value. At this time, MC goes high and remains high until the ÷ N counter has counted the rest of the way down from its programmed value (N – A additional counts since both ÷ N and ÷ A are counting down during the first

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

portion of the cycle). MC is then set back low, the counters preset to their respective programmed values, and the above sequence repeated. This provides for a total programmable divide value (N_T) = N • P + A where P and P + 1 represent the dual–modulus prescaler divide values respectively for high and low MC levels, N the number programmed into the ÷ N counter, and A the number programmed into the ÷ A counter.

LD
Lock Detector Output (Pin 28)

Essentially a high level when loop is locked (f_R, f_V of same phase and frequency). Pulses low when loop is out of lock.

POWER SUPPLY

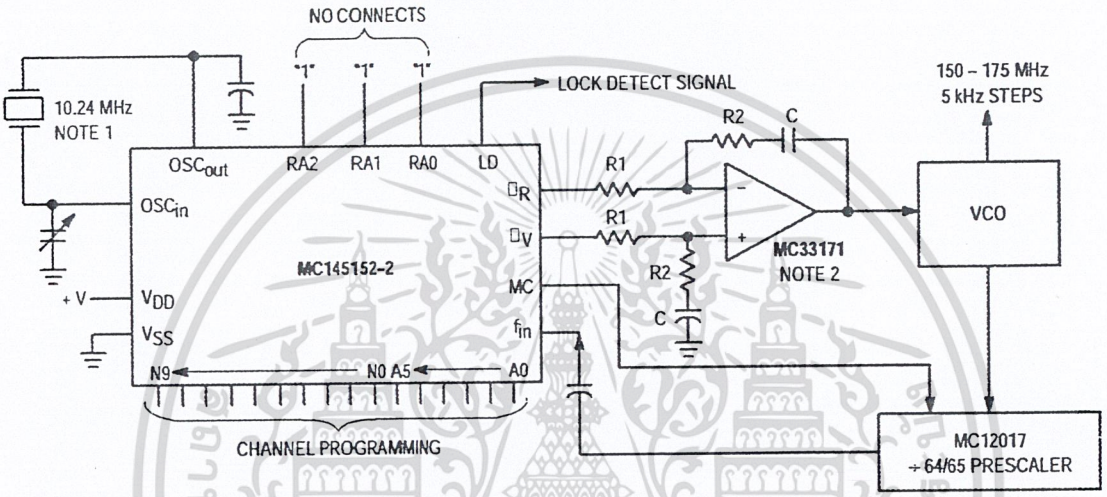
V_{DD}
Positive Power Supply (Pin 3)

The positive power supply potential. This pin may range from + 3 to + 9 V with respect to V_{SS}.

V_{SS}
Negative Power Supply (Pin 2)

The most negative supply potential. This pin is usually ground.

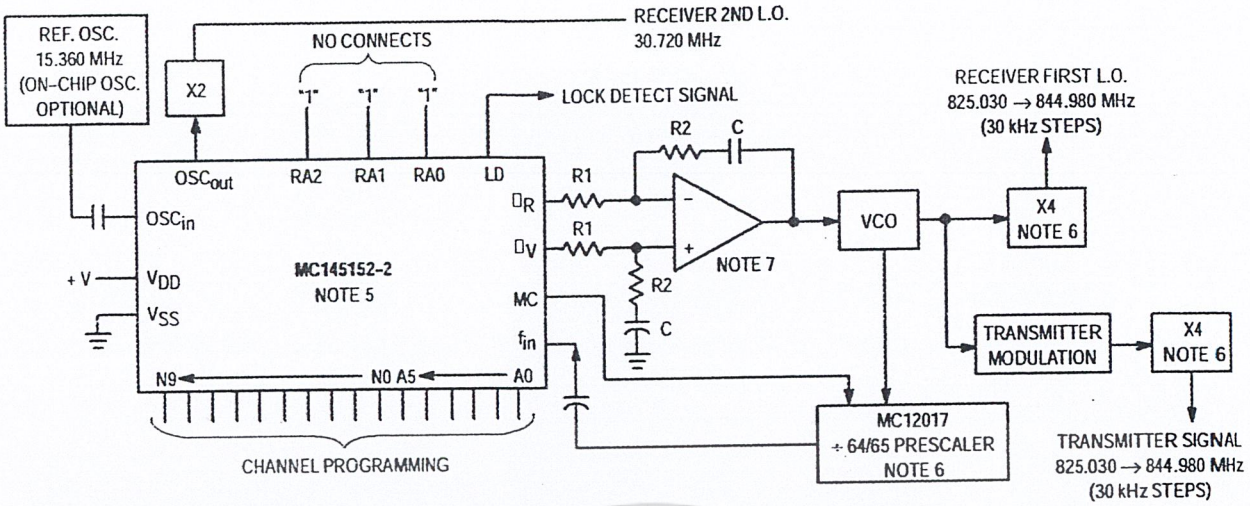
TYPICAL APPLICATIONS



NOTES:
1. Off–chip oscillator optional.
2. The $\square_R$ and $\square_V$ outputs are fed to an external combiner/loop filter. See the Phase–Locked Loop — Low–Pass Filter Design page for additional information. The $\square_R$ and $\square_V$ outputs swing rail–to–rail. Therefore, the user should be careful not to exceed the common mode input range of the op amp used in the combiner/loop filter.

Figure 1. Synthesizer for Land Mobile Radio VHF Bands

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



NOTES:

1. Receiver 1st I.F. = 45 MHz, low side injection; Receiver 2nd I.F. = 11.7 MHz, low side injection.
2. Duplex operation with 45 MHz receiver/transmit separation.
3. f_R = 7.5 kHz; ÷ R = 2048.
4. N_{total} = N • 64 + A = 27501 to 28166; N = 429 to 440; A = 0 to 63.
5. MC145158–2 may be used where serial data entry is desired.
6. High frequency prescalers (e.g., MC12018 [520 MHz] and MC12022 [1 GHz]) may be used for higher frequency VCO and f_{ref} implementations.
7. The $\square_R$ and $\square_V$ outputs are fed to an external combiner/loop filter. See the Phase–Locked Loop — Low–Pass Filter Design page for additional information. The $\square_R$ and $\square_V$ outputs swing rail–to–rail. Therefore, the user should be careful not to exceed the common mode input range of the op amp used in the combiner/loop filter.

Figure 2. 666–Channel, Computer–Controlled, Mobile Radiotelephone Synthesizer for 800 MHz Cellular Radio Systems

MC145152–2 Data Sheet Continued on Page 15

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Voltage Controlled Oscillator

Consider MC12148 for New Designs

MC1648

VOLTAGE CONTROLLED OSCILLATOR

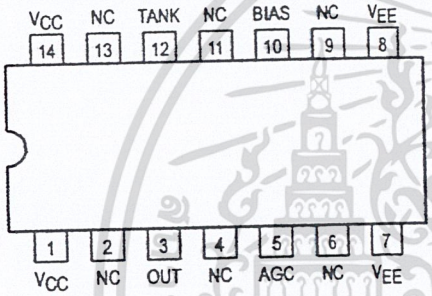
The MC1648 requires an external parallel tank circuit consisting of the inductor (L) and capacitor (C). **For Maximum Performance $Q_L \geq 100$ at Frequency of Operation.**

A varactor diode may be incorporated into the tank circuit to provide a voltage variable input for the oscillator (VCO). The MC1648 was designed for use in the Motorola Phase–Locked Loop shown in Figure 9. This device may also be used in many other applications requiring a fixed or variable frequency clock source of high spectral purity. (See Figure 2)

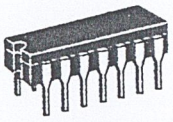
The MC1648 may be operated from a +5.0Vdc supply or a –5.2Vdc supply, depending upon system requirements.

NOTE: The MC1648 is NOT useable as a crystal oscillator.

Pinout: 14–Lead Package (Top View)



Pin assignment is for Dual–in–Line Package.
For PLCC pin assignment, see the MC1648 Non–Standard Pin Conversion Table below.



L SUFFIX
14–LEAD CERAMIC PACKAGE
CASE 632–08

Not Recommended for New Designs

P SUFFIX
14–LEAD PLASTIC PACKAGE
CASE 646–06

D SUFFIX
8–PIN PLASTIC SOIC PACKAGE
CASE 751–05

FN SUFFIX
20–LEAD PLCC PACKAGE
CASE 775–02

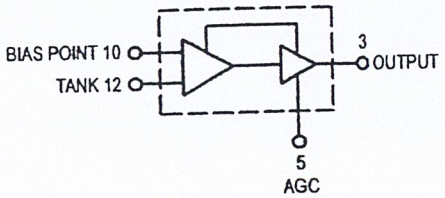
MC1648 NON–STANDARD PIN CONVERSION DATA

Package	TANK	V_{CC}	V_{CC}	OUT	AGC	V_{EE}	V_{EE}	BIAS
8 D	1	2	3	4	5	6	7	8
14 L,P	12	14	1	3	5	7	8	10
20FN	18	20	2	4	8	10	12	14

*NOTE – All unused pins are not connected.

Supply Voltage	GND Pins	Supply Pins
+5.0Vdc	7,8	1,14
–5.2Vdc	1,14	7,8

LOGIC DIAGRAM



- Input Capacitance = 6.0pF (TYP)
- Maximum Series Resistance for L (External Inductance) = 50Ω (TYP)
- Power Dissipation = 150mW (TYP)/Pkg (+5.0Vdc Supply)
- Maximum Output Frequency = 225MHz (TYP)

V_{CC1} = Pin 1
V_{CC2} = Pin 14
V_{EE} = Pin 7

© Motorola, Inc. 1997

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

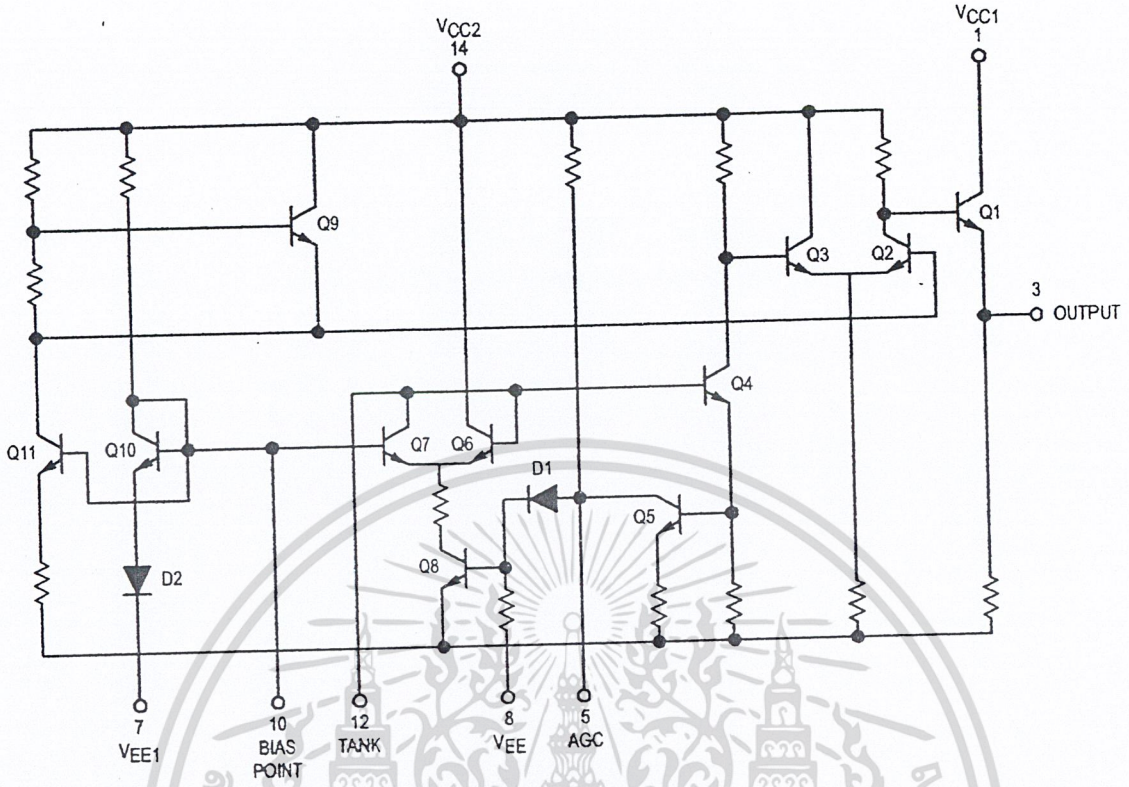


Figure 1. Circuit Schematic

TEST VOLTAGE/CURRENT VALUES

@ Test Temperature	(Volts)			mAdc
	V_{IHmax}	V_{ILmin}	V_{CC}	I_L
MC1648				
–30°C	+2.0	+1.5	+5.0	–5.0
+25°C	+1.85	+1.35	+5.0	–5.0
+85°C	+1.7	+1.2	+5.0	–5.0

Note: SOIC "D" package guaranteed –30°C to +70°C only

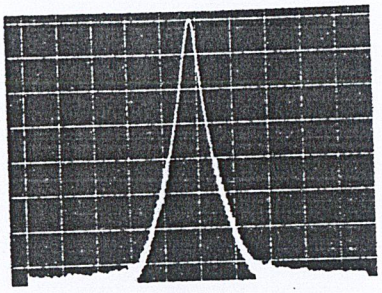
ELECTRICAL CHARACTERISTICS (Supply Voltage = +5.0V)

Symbol	Characteristic	–30°C		+25°C		+85°C		Unit	Condition
		Min	Max	Min	Max	Min	Max		
I_E	Power Supply Drain Current	–	–	–	41	–	–	mAdc	Inputs and outputs open
V_{OH}	Logic "1" Output Voltage	3.955	4.185	4.04	4.25	4.11	4.36	Vdc	V_{ILmin} to Pin 12, I_L @ Pin 3
V_{OL}	Logic "0" Output Voltage	3.16	3.4	3.2	3.43	3.22	3.475	Vdc	V_{IHmax} to Pin 12, I_L @ Pin 3
V_{BIAS}[1]	Bias Voltage	1.6	1.9	1.45	1.75	1.3	1.6	Vdc	V_{ILmin} to Pin 12

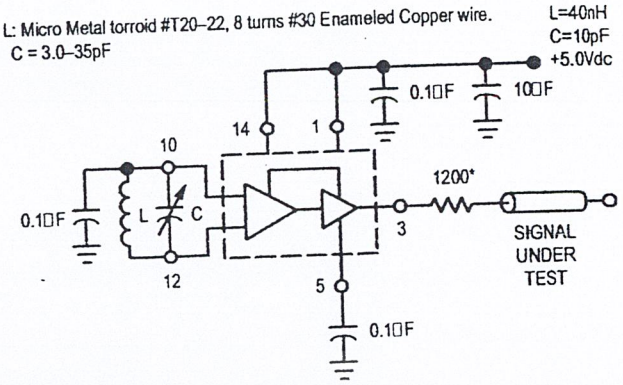
		Min	Typ	Max	Min	Typ	Max	Min	Typ	Max	Unit	Condition
V_{P-P}	Peak–to–Peak Tank Voltage	–	–	–	–	400	–	–	–	–	mV	See Figure 3
Vdc	Output Duty Cycle	–	–	–	–	50	–	–	–	–	%	
f_{max}[2]	Oscillation Frequency	–	225	–	200	225	–	–	225	–	MHz	

1. This measurement guarantees the dc potential at the bias point for purposes of incorporating a varactor tuning diode at this point.
2. Frequency variation over temperature is a direct function of the □C/□ Temperature and □L/□ Temperature.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



B.W. = 10 kHz
Center Frequency = 100 MHz
Scan Width = 50 kHz/div
Vertical Scale = 10 dB/div



* The 1200 ohm resistor and the scope termination impedance constitute a 25:1 attenuator probe. Coax shall be CT–075–50 or equivalent.

Figure 2. Spectral Purity of Signal Output for 200MHz Testing

TEST VOLTAGE/CURRENT VALUES

@ Test Temperature	(Volts) V_{IHmax}	(Volts) V_{ILmin}	(Volts) V_{EE}	mAdc I_L
MC1648				
–30°C	–3.2	–3.7	–5.2	–5.0
+25°C	–3.35	–3.85	–5.2	–5.0
+85°C	–3.5	–4.0	–5.2	–5.0

Note: SOIC "D" package guaranteed –30°C to +70°C only

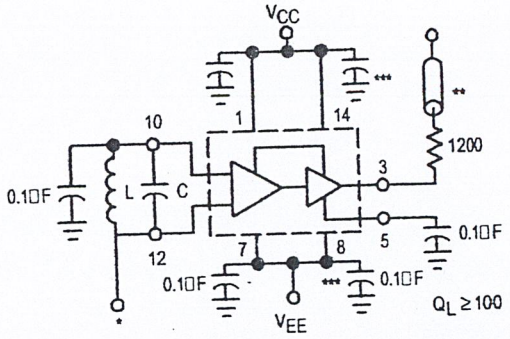
ELECTRICAL CHARACTERISTICS (Supply Voltage = –5.2V)

Symbol	Characteristic	–30°C Min	–30°C Max	+25°C Min	+25°C Max	+85°C Min	+85°C Max	Unit	Condition
I_E	Power Supply Drain Current	–	–	–	41	–	–	mAdc	Inputs and outputs open
V_{OH}	Logic "1" Output Voltage	–1.045	–0.815	–0.96	–0.75	–0.89	–0.64	Vdc	V_{ILmin} to Pin 12, I_L @ Pin 3
V_{OL}	Logic "0" Output Voltage	–1.89	–1.65	–1.85	–1.62	–1.83	–1.575	Vdc	V_{IHmax} to Pin 12, I_L @ Pin 3
V_{BIAS}[1]	Bias Voltage	–3.6	–3.3	–3.75	–3.45	–3.9	–3.6	Vdc	V_{ILmin} to Pin 12

		Min	Typ	Max	Min	Typ	Max	Min	Typ	Max	Unit	Condition
V_{P-P}	Peak–to–Peak Tank Voltage	–	–	–	–	400	–	–	–	–	mV	See Figure 3
Vdc	Output Duty Cycle	–	–	–	–	50	–	–	–	–	%	
f_{max}[2]	Oscillation Frequency	–	225	–	200	225	–	–	225	–	MHz	

1. This measurement guarantees the dc potential at the bias point for purposes of incorporating a varactor tuning diode at this point.
2. Frequency variation over temperature is a direct function of the □C/□ Temperature and □L/□ Temperature.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



* Use high impedance probe (>1.0 Megohm must be used).

** The 1200 ohm resistor and the scope termination impedance constitute a 25:1 attenuator probe. Coax shall be CT–070–50 or equivalent.

*** Bypass only that supply opposite ground.

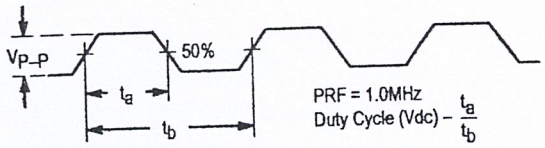


Figure 3. Test Circuit and Waveforms

OPERATING CHARACTERISTICS

Figure 1 illustrates the circuit schematic for the MC1648. The oscillator incorporates positive feedback by coupling the base of transistor Q6 to the collector of Q7. An automatic gain control (AGC) is incorporated to limit the current through the emitter–coupled pair of transistors (Q7 and Q6) and allow optimum frequency response of the oscillator.

In order to maintain the high Q of the oscillator, and provide high spectral purity at the output, transistor Q4 is used to translate the oscillator signal to the output differential pair Q2 and Q3. Q2 and Q3, in conjunction with output transistor Q1, provides a highly buffered output which produces a square wave. Transistors Q9 and Q11 provide the bias drive for the oscillator and output buffer. Figure 2 indicates the high spectral purity of the oscillator output (pin 3).

When operating the oscillator in the voltage controlled mode (Figure 4), it should be noted that the cathode of the varactor diode (D) should be biased at least "2" V_{BE} above V_{EE} (≈1.4V for positive supply operation).

When the MC1648 is used with a constant dc voltage to the varactor diode, the output frequency will vary slightly because of internal noise. This variation is plotted versus operating frequency in Figure 5.

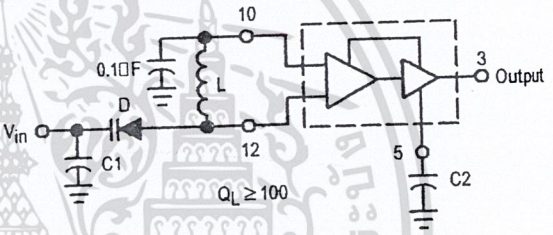
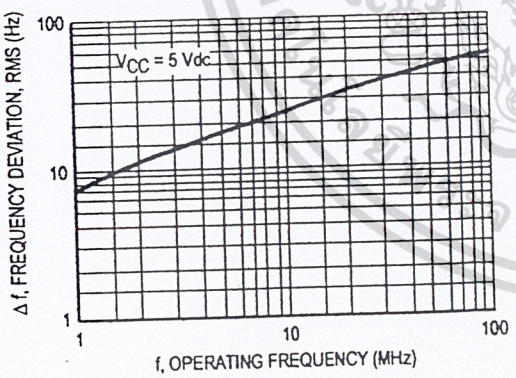
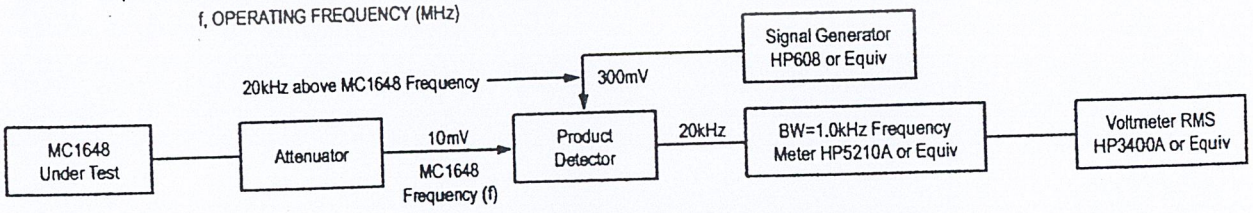


Figure 4. The MC1648 Operating in the Voltage Controlled Mode



Oscillator Tank Components (Circuit of Figure 4)

f MHz	D	L □H
1.0–10	MV2115	100
10–60	MV2115	2.3
60–100	MV2106	0.15



$$\text{Frequency Deviation} = \frac{\text{(HP5210A output voltage) (Full Scale Frequency)}}{\text{1.0Volt}}$$

Figure 5. Noise Deviation Test Circuit and Waveform

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

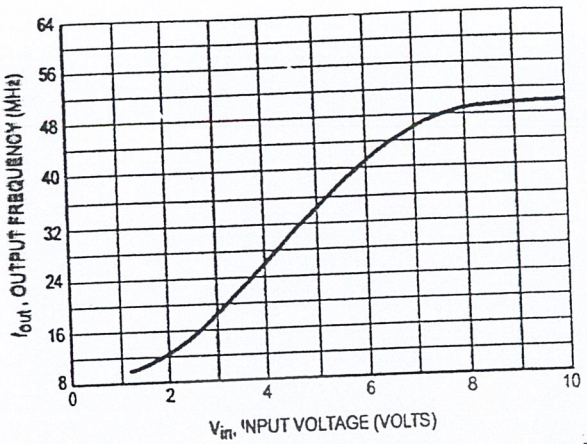
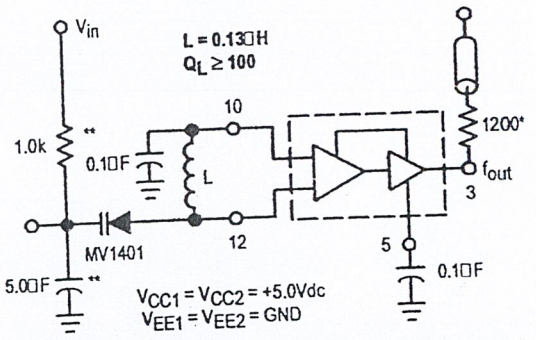


Figure 6

L: Micro Metal Toroidal Core #T44–10,
4 turns of No. 22 copper wire.



* The 1200 ohm resistor and the scope termination impedance constitute a 25:1 attenuator probe. Coax shall be CT–070–50 or equivalent. NOT used in normal operation.

** Input resistor and cap are for test only. They are NOT necessary for normal operation.

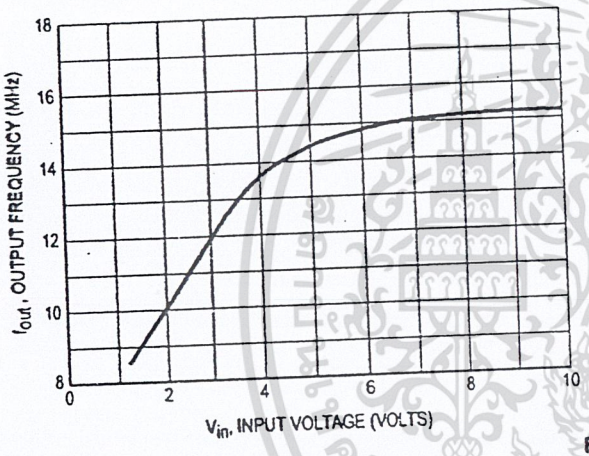
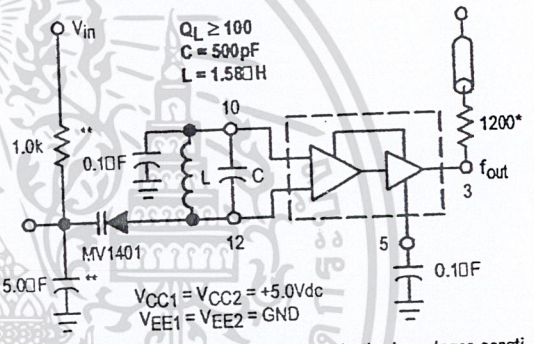


Figure 7

L: Micro Metal Toroidal Core #T44–10,
20 turns of No. 22 copper wire.



* The 1200 ohm resistor and the scope termination impedance constitute a 25:1 attenuator probe. Coax shall be CT–070–50 or equivalent. NOT used in normal operation.

** Input resistor and cap are for test only. They are NOT necessary for normal operation.

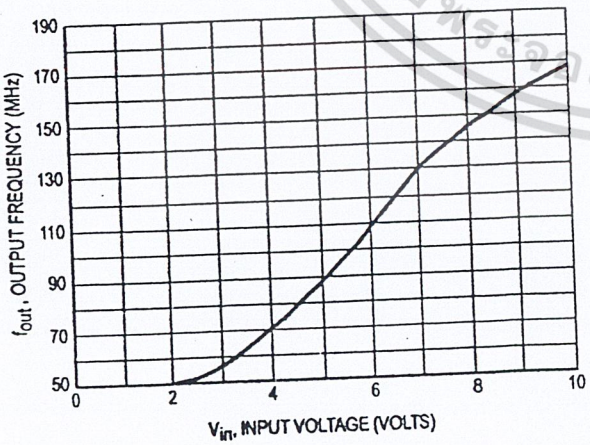
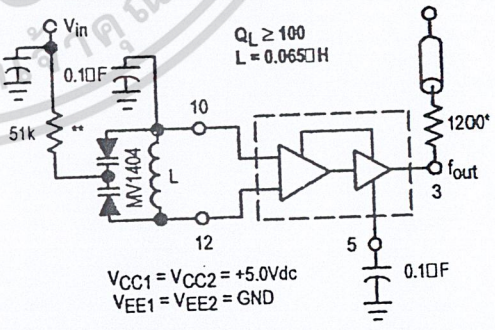


Figure 8

L: Micro Metal Toroidal Core #T30–12,
6 turns of No. 22 copper wire.



* The 1200 ohm resistor and the scope termination impedance constitute a 25:1 attenuator probe. Coax shall be CT–070–50 or equivalent. NOT used in normal operation.

** Input resistor and cap are for test only. They are NOT necessary for normal operation.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Typical transfer characteristics for the oscillator in the voltage controlled mode are shown in Figure 6, Figure 7 and Figure 8. Figure 6 and Figure 8 show transfer characteristics employing only the capacitance of the varactor diode (plus the input capacitance of the oscillator, 6.0pF typical). Figure 7 illustrates the oscillator operating in a voltage controlled mode with the output frequency range limited. This is achieved by adding a capacitor in parallel with the tank circuit as shown. The 1.0kΩ resistor in Figure 6 and Figure 7 is used to protect the varactor diode during testing. It is not necessary as long as the dc input voltage does not cause the diode to become forward biased. The larger–valued resistor (51kΩ) in Figure 8 is required to provide isolation for the high–impedance junctions of the two varactor diodes.

The tuning range of the oscillator in the voltage controlled mode may be calculated as:

$$\frac{f_{max}}{f_{min}} = \frac{\sqrt{C_D(max) + C_S}}{\sqrt{C_D(min) + C_S}}$$

where $$f_{min} = \frac{1}{2\pi\sqrt{L(C_D(max) + C_S)}}$$

CS = shunt capacitance (input plus external capacitance)

CD = varactor capacitance as a function of bias voltage

Good RF and low–frequency bypassing is necessary on the power supply pins. (See Figure 2)

Capacitors (C1 and C2 of Figure 4) should be used to bypass the AGC point and the VCO input (varactor diode), guaranteeing only dc levels at these points.

For output frequency operation between 1.0MHz and 50MHz a 0.1μF capacitor is sufficient for C1 and C2. At higher frequencies, smaller values of capacitance should be used; at lower frequencies, larger values of capacitance. At high frequencies the value of bypass capacitors depends directly upon the physical layout of the system. All bypassing should be as close to the package pins as possible to minimize unwanted lead inductance.

The peak–to–peak swing of the tank circuit is set internally by the AGC circuitry. Since voltage swing of the tank circuit provides the drive for the output buffer, the AGC potential directly affects the output waveform. If it is desired to have a sine wave at the output of the MC1648, a series resistor is tied from the AGC point to the most negative power potential (ground if +5.0 volt supply is used, –5.2 volts if a negative supply is used) as shown in Figure 10.

At frequencies above 100 MHz typ, it may be desirable to increase the tank circuit peak–to–peak voltage in order to shape the signal at the output of the MC1648. This is accomplished by tying a series resistor (1.0kΩ minimum) from the AGC to the most positive power potential (+5.0 volts if a +5.0 volt supply is used, ground if a –5.2 volt supply is used). Figure 11 illustrates this principle.

APPLICATIONS INFORMATION

The phase locked loop shown in Figure 9 illustrates the use of the MC1648 as a voltage controlled oscillator. The figure illustrates a frequency synthesizer useful in tuners for FM broadcast, general aviation, maritime and landmobile communications, amateur and CB receivers. The system operates from a single +5.0Vdc supply, and requires no internal translations, since all components are compatible.

Frequency generation of this type offers the advantages of single crystal operation, simple channel selection, and elimination of special circuitry to prevent harmonic lockup. Additional features include dc digital switching (preferable over RF switching with a multiple crystal system), and a broad range of tuning (up to 150MHz, the range being set by the varactor diode).

The output frequency of the synthesizer loop is determined by the reference frequency and the number programmed at the programmable counter; $f_{out} = Nf_{ref}$. The channel spacing is equal to frequency (f_{ref}).

For additional information on applications and designs for phase locked–loops and digital frequency synthesizers, see Motorola Brochure BR504/D, Electronic Tuning Address Systems, (ETAS).

Figure 10 shows the MC1648 in the variable frequency mode operating from a +5.0Vdc supply. To obtain a sine wave at the output, a resistor is added from the AGC circuit (pin 5) to V_{EE}.

Figure 11 shows the MC1648 in the variable frequency mode operating from a +5.0Vdc supply. To extend the useful range of the device (maintain a square wave output above 175Mhz), a resistor is added to the AGC circuit at pin 5 (1.0 kohm minimum).

Figure 12 shows the MC1648 operating from +5.0Vdc and +9.0Vdc power supplies. This permits a higher voltage swing and higher output power than is possible from the MECL output (pin 3). Plots of output power versus total collector load resistance at pin 1 are given in Figure 13 and Figure 14 for 100MHz and 10MHz operation. The total collector load includes R in parallel with R_p of L1 and C1 at resonance. The optimum value for R at 100MHz is approximately 850 ohms.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้