สำนักหอสมุดกลาง พระจอมเกล้าลาดกระบัง

ทฤษฎีและการประยุกต์ใช้งานการเข้า และถอดรหัสสัญญาณแบบเดลตา-ซิกมา

DELTA–SIGMA MODULATION AND DEMODULATION THEORY AND APPLICATIONS

T046452

โดย

นายวรัญชัย เขมสถิตย์อนันต์

นายอธิศ คูประเสริฐ

นายอรรถกร ทองเนื้องาม

ปริญญานิพนธ์นี้เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรปริญญาวิศวกรรมศาสตรบัณฑิต

สาขาวิชาวิศวกรรมโทรคมนาคม

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

ปีการศึกษา 2544

เลขหมู่.....
เลขทะเบียน 46452
วัน, เดือน, ปี 2 เม.ย. 2546

.b.....
.i.....

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ทฤษฎีและการประยุกต์ใช้งานการเข้า และถอดรหัสสัญญาณแบบเดลตา-ซิกมา

DELTA–SIGMA MODULATION AND DEMODULATION THEORY AND APPLICATIONS

โดย

นายวรัญชัย เขมสถิตย์อนันต์ 41014367

นายอธิศ คูประเสริฐ 41014509

นายอรรถกร ทองเนื้องาม 41014525

อาจารย์ที่ปรึกษา

อ.อัครพล ตรีรัตน์

รศ.ดร.กอบชัย เดชหาญ

รศ.ดร.จเร สุรวัฒน์ปัญญา

ปริญญานิพนธ์นี้เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรปริญญาวิศวกรรมศาสตรบัณฑิต

สาขาวิชาวิศวกรรมโทรคมนาคม

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

ปีการศึกษา 2544

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ปริญญานิพนธ์ปีการศึกษา 2544

ภาควิชาวิศวกรรมโทรคมนาคม

คณะวิศวกรรมศาสตร์ สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

เรื่อง **ทฤษฎีและการประยุกต์ใช้งานการเข้า และถอดรหัสสัญญาณแบบเดลตา-ซิกมา**

DELTA–SIGMA MODULATION AND DEMODULATION THEORY AND APPLICATIONS

ผู้จัดทำ

นายวรัญชัย เขมสถิตย์อนันต์ 41014367

นายอธิศ คูประเสริฐ 41014509

นายอรรถกร ทองเนื้องาม 41014525

..... อาจารย์ที่ปรึกษา

(อ.อัครพล ตรีรัตน์)

..... อาจารย์ที่ปรึกษา

(รศ.ดร.กอบชัย เดชหาญ)

..... อาจารย์ที่ปรึกษา

(รศ.ดร.จเร สุรวัฒน์ปัญญา)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ทฤษฎีและการประยุกต์ใช้งานการเข้าและถอดรหัสสัญญาณแบบ เดลตา–ซิกมา

DELTA – SIGMA MODULATION AND DEMODULATION THEORY AND APPLICATIONS

โดย นายวรัญชัย เขมสถิตย์อนันต์ 41014367

นายอธิศ คูประเสริฐ 41014509

นายอรรถกร ทองเนื้องาม 41014525

อาจารย์ที่ปรึกษา อ.อัครพล ตรีรัตน์

รศ.ดร.กอบชัย เดชหาญ

รศ.ดร.จเร สุรวัฒน์ปัญญา

บทคัดย่อ

ในปัจจุบันการสื่อสารแบบดิจิตอลได้รับความนิยมอย่างมาก เนื่องจากมีประสิทธิภาพในการส่งข้อมูลสูง สามารถส่งข้อมูลได้รวดเร็ว และมีสัญญาณรบกวนต่ำ โดยในโครงงานนี้จะทำการเข้ารหัสสัญญาณแบบเดลตา–ซิกมา ซึ่งจะประกอบไปด้วยอนาลอกมอดูเลชั่นและดิจิตอลฟิลเตอร์

ABSTRACT

The digital communication is very popular because of its high efficiency and high speed rate over the transmission . This projects studies the signal encoder by using Delta–Sigma methodology. It consist of analog modulation and digital filter.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญ

	หน้า
บทที่ 1 บทนำ	1
บทที่ 2 ทฤษฎีหรือหลักการ	2
2.1 ทฤษฎีพื้นฐานของการแปลงสัญญาณอนาลอกเป็นสัญญาณดิจิตอล	2
2.1.1 การสุ่มและคงค่าสัญญาณ	2
2.1.2 การซ้อนทับกันของสเปคตรัม	3
2.1.3 ทฤษฎีของการควอนไตซ์	4
2.1.4 ค่าความละเอียด และความผิดพลาดจากการควอนไตซ์	6
2.1.5 รหัสตัวเลขสำหรับการเปลี่ยนข้อมูล	6
2.1.6 วงจรดิจิตอลทูอนาลอกคอนเวอร์เตอร์	7
2.1.7 ดิจิตอลฟิลเตอร์ (Digital filter)	10
2.2 องค์ประพื้นฐานของ การแปลงสัญญาณแบบเดลตา-ซิกมา (Delta-Sigma ADC)	12
2.2.1 องค์ประกอบของการแปลงสัญญาณแบบเดลตา-ซิกมา	12
2.2.2 การวิเคราะห์การแปลงสัญญาณแบบเดลตา-ซิกมา ใน Time domain	13
2.2.3 การวิเคราะห์การแปลงสัญญาณแบบเดลตา-ซิกมา ใน Frequency Domain	14
2.3 การแปลงสัญญาณแบบเดลตา-ซิกมา โดยการใช้วงจรควบคุมความถี่ด้วยแรงดันทางไฟฟ้า	19
2.3.1 การอธิบายวงจรของระบบ(Circuit Configuration)	22
2.4 การประยุกต์ใช้งานการเข้ารหัสแบบเดลตา – ซิกมา	23
2.4.1 ไอซี CS4216 (16- Bit Stereo Audio Codec)	23
2.4.1.1ฟังก์ชั่นการทำงาน	23
2.4.1.2 โหมดต่างๆในไอซี CS4216	26
2.4.2 ไอซี CS5521/23	32
2.4.2.1 ฟังก์ชั่นการทำงาน	33
2.5 ไมโครคอนโทรลเลอร์ MCS-51	42
2.5.1 คุณสมบัติทั่วไปของไมโครคอนโทรลเลอร์ MCS- 51	42
2.5.2 โครงสร้างภายนอก ของ MCS-51	42
2.5.3 โครงสร้างภายในของ MCS-51	43
2.5.4 การจัดสรรหน่วยความจำบน MCS-51 บอร์ด	45
บทที่ 3 การคำนวณและการสร้าง	47
3.1 ส่วนประกอบของวงจรเดลตา-ซิกมา	47
3.2 ขาต่างๆภายในไอซี CS5525	50
3.3 การโปรแกรมค่าภายในไมโครคอนโทรลเลอร์	52

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

หน้า

บทที่ 4 การทดลองและผลการทดลอง 53

4.1 ทำการทดลองป้อนสัญญาณอินพุทแต่ละแบบเพื่อสังเกตความแตกต่างของสัญญาณเอาท์พุทที่ได้ 53

4.1.1 ทำการป้อนสัญญาณอินพุทรูปไซน์ ขนาด 1 V ความถี่ 4 KHz 53

4.1.2 ทำการป้อนสัญญาณอินพุทรูปสี่เหลี่ยม ขนาด 1 V ความถี่ 4 KHz 54

4.1.3 ทำการป้อนสัญญาณอินพุทแบบ random ขนาด 1 V ความถี่ 4 KHz 54

4.2 ทำการทดลองเปลี่ยนค่า Oversampling Ratio 55

4.2.1 ทำการทดลองโดยใช้ค่า oversampling ratio เท่ากับ 8 55

4.2.2 ทำการทดลองโดยใช้ค่า oversampling ratio เท่ากับ 16 55

4.2.3 ทำการทดลองโดยใช้ค่า oversampling ratio เท่ากับ 32 56

4.2.4 ทำการทดลองโดยใช้ค่า oversampling ratio เท่ากับ 64 56

4.3 ทำการทดลองวัดค่าสัญญาณที่จุดต่างๆ 56

4.3.1 ทำการวัดค่าสัญญาณที่ได้จากการนำสัญญาณอินพุท มาลบกับสัญญาณเอาท์พุทที่ได้ 57

4.3.2 ทำการวัดค่าสัญญาณที่เอาท์พุทของวงจรอินทิเกรเตอร์ และเอาท์พุทของวงจร 1 บิต ควอนไตซ์ 57

4.3.3 ทำการวัดค่าสัญญาณเอาท์พุท ที่ออกจากวงจรอินทิเกรเตอร์, วงจร 1 บิตควอนไตซ์ และเอาท์พุทที่ออกจากวงจรZero-Order Hold 58

4.4 ทำการทดลองวัดค่าสัญญาณที่ออกจาก FIR Filter 59

4.4.1ทำการทดลองโดยทำการต่อ FIR filter 3 block มาต่อรวมเข้าด้วยกัน 59

4.4.2 ทำการทดลองโดยการเปลี่ยนค่า decimation factor ใน FIR filter ตัวสุดท้าย 60

4.5 ทำการทดลองวัดค่าข้อมูลที่ได้จากจอ LCD โดยทำการป้อนค่าอินพุทเป็นแรงดันไฟตรง 0V, 2V และ 4V 61

4.6 ทำการทดลองวัดค่าข้อมูลที่ได้จากจอ LCD เมื่อทำการป้อนค่าอินพุทเป็นแรงดันไฟตรงค่าต่างๆ 62

บทที่ 5 สรุปและวิจารณ์ผลการทดลอง 64

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญภาพ

หน้า

รูปที่ 2.1 การสุ่มสัญญาณ 2

รูปที่ 2.2 แสดงการเกิดฟรีเควนซี่ โฟลดิ้ง (Frequency folding) 3

รูปที่ 2.3 การเกิดเอเลียส ฟรีเควนซี่ (Alias frequency) จากการสุ่มด้วยความถี่ต่ำกว่า 2เท่าของความถี่สัญญาณอินพุทรูปไซน์ 4

รูปที่ 2.4 ทรานสเฟอร์ฟังก์ชั่นของการควอนไตซ์ 3 บิต ตามทฤษฎี 5

รูปที่ 2.5 ทรานสเฟอร์ฟังก์ชั่นของ อนาลอกทูดิจิตอลแบบ 3 บิตที่ใช้รหัสออฟเซตไบนารี 7

รูปที่ 2.6 ทรานสเฟอร์ฟังชั่นของ ดิจิตอลทูอนาลอกคอนเวอร์เตอร์แบบ 3 บิต ตามทฤษฎี 7

รูปที่ 2.7 บล็อคไดอะแกรมของดิจิตอลทูอนาลอกคอนเวอร์เตอร์ 8

รูปที่ 2.8 ดิจิตอลทูอนาลอกคอนเวอร์เตอร์ แบบ Binary weight ladder 9

รูปที่ 2.9 ดิจิตอลทูอนาลอกคอนเวอร์เตอร์ แบบ R-2R ladder 9

รูปที่ 2.10 แสดงให้เห็นข้อมูลที่ได้จากการแซมปลิ้งสำหรับ ดิจิตอลฟิลเตอร์ 10

รูปที่ 2.11 บล็อกไดอะแกรมของ วงจรกรองความถี่อันดับที่ N แบบ FIR 11

รูปที่ 2.12 บล็อคไดอะแกรมของ ฟิลเตอร์ IIR 11

รูปที่ 2.13 เดลตาซิกมา อนาลอกทูดิจิตอลคอนเวอร์เตอร์ 12

รูปที่ 2.14 การเข้ารหัสสัญญาณอันดับที่ 1 แบบเดลตาซิกมา 13

รูปที่ 2.15 ลักษณะของสัญญาณอินพุทและเอาท์พุทของการควอนไตซ์ 6 ระดับ 14

รูปที่ 2.16 สัญญาณอินพุท,เอาท์พุทและความผิดพลาดของการแปลงสัญญาณอนาลอกเป็นดิจิตอล 15

รูปที่ 2.17 สเปกตรัมเอาท์พุทของควอนไตซ์แบบ 8 บิต โดยการป้อนอินพุทเป็นสัญญาณไซน์ 15

รูปที่ 2.18 โมเดลของอนาลอกมอดูเลเตอร์ 16

รูปที่ 2.19 การวิเคราะห์สเปกตรัมของเดลตาซิกมา 17

รูปที่ 2.20 การจัดรูปนอยซ์ในการเข้ารหัสอันดับที่1 18

รูปที่ 2.21 วงจรควอนไตซ์โดยใช้วงจรควบคุมความถี่ด้วยแรงดัน 19

รูปที่ 2.22 บล็อคไดอะแกรมของ วงจรแปลงสัญญาณอนาลอกเป็นดิจิตอลโดยใช้วงจรควบคุมความถี่ด้วยแรงดัน 21

รูปที่ 2.23 แผนผังแสดงวงจรของ gm-C อินทิเกรเตอร์และวงจรแปลงสัญญาณดิจิตอลเป็นอนาลอกแบบป้อนกลับ 22

รูปที่ 2.24 แสดงรูปแบบการต่อไอซี CS4216 24

รูปที่ 2.25 แสดงรูปแบบของข้อมูลอินพุทในโหมดอนุกรมที่ 1, 2, 3 25

รูปที่ 2.26 แสดงรูปแบบของข้อมูลเอาท์พุทในโหมดอนุกรมที่ 1, 2, 3 26

รูปที่ 2.27 แสดงบิต/เฟรมของ โหมด SM1 และ SM2 28

รูปที่ 2.28 แสดงสัญญาณออดิโอของ พอร์ตอนุกรมของโหมด SM4 28

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

หน้า

รูปที่ 2.29 แสดงการคอนโทรลพอร์ตอนุกรม 32
รูปที่ 2.30 แสดงวงจรภายในไอซี CS5521/23 32
รูปที่ 2.31 แสดงช่วงเวลาในการอ่าน และการเขียนข้อมูลจากรีจิสเตอร์ในพอร์ตอนุกรม 35
รูปที่ 2.32 แสดงส่วนประกอบของมัลติเพล็กเซอร์ 39
รูปที่ 2.33 แสดงผลตอบสนองของวงจรฟิลเตอร์ 40
รูปที่ 3.1 แสดงบล็อคไดอะแกรมของเดลตา-ซิกมา มอดูเลชั่น ใน MATLAB 47
รูปที่ 3.2 แสดงการต่อวงจรโดยใช้ไอซี CS5525 49
รูปที่ 3.3 แสดงขาต่างๆภายในไอซี CS5525 50
รูปที่ 4.1.1 แสดงสัญญาณที่ได้จากการการป้อนสัญญาณอินพุทรูปไซน์ 53
รูปที่ 4.1.2 แสดงสัญญาณที่ได้จากการการป้อนสัญญาณอินพุทรูปสี่เหลี่ยม 54
รูปที่ 4.1.3 แสดงสัญญาณที่ได้จากการป้อนสัญญาณอินพุทแบบ random 54
รูปที่ 4.2.1 แสดงสัญญาณที่ได้จากการใช้ค่า oversampling ratio เท่ากับ 8 55
รูปที่4.2.2 แสดงสัญญาณที่ได้จากการใช้ค่า oversampling ratio เท่ากับ 16 55
รูปที่4.2.3 แสดงสัญญาณที่ได้จากการใช้ค่า oversampling ratio เท่ากับ 32 56
รูปที่4.2.4 แสดงสัญญาณที่ได้จากการใช้ค่า oversampling ratio เท่ากับ 64 56
รูปที่ 4.3.1 แสดงสัญญาณที่ได้จากการนำสัญญาณอินพุท มาลบกับสัญญาณเอาท์พุท 57
รูปที่ 4.3.2 แสดงสัญญาณที่เอาท์พุทของวงจรอินทิเกรเตอร์ และเอาท์พุทของวงจร 1 บิต ควอนไตซ์ 57
รูปที่4.3.3 แสดงสัญญาณที่เอาท์พุทของวงจรอินทิเกรเตอร์ ,เอาท์พุทวงจร 1 bit quantizer และ
เอาท์พุทที่ออกจากวงจร Zero-Order Hold 58
รูปที่ 4.4.1 แสดงสัญญาณที่ได้จากวงจร FIR Filter แต่ละ block 59
รูปที่ 4.4.2 แสดงสัญญาณที่ได้จากวงจรFIR Filterแต่ละ blockเมื่อทำการเปลี่ยนค่าdecimation factor 60
รูปที่ 4.5.1 แสดงข้อมูลที่ได้จากการป้อนแรงดันไฟตรง 0 V 61
รูปที่ 4.5.2 แสดงข้อมูลที่ได้จากการป้อนแรงดันไฟตรง 2 V 61
รูปที่ 4.5.3 แสดงข้อมูลที่ได้จากการป้อนแรงดันไฟตรง 4 V 62

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญตาราง

	หน้า
ตารางที่ 1	13
ตารางที่ 2 แสดงความแตกต่างระหว่างโหมดอนุกรมในโหมดต่างๆ	26
ตารางที่ 3 แสดงตัวอย่างการใช้ความถี่ในการแซมปลิ้งของ SM1	27
ตารางที่ 4 แสดงการเลือกการใช้งานโหมด SM4	29
ตารางที่ 5 แสดงการเซตค่าความถี่ ที่ใช้ในการแซมปลิ้ง ของ master โหมด	29
ตารางที่ 6 แสดงการเลือกบิต/เฟรม และไทม์สลอท	30
ตารางที่ 7 แสดงการเลือกความถี่ที่ใช้ในการแซมปลิ้งของ slave โหมด	31
ตาราง ที่ 8 แสดงค่าบิตต่างๆในคอมมานด์ไบต์	34
ตารางที่ 9 แสดงค่าบิตต่างๆ CSRs	36
ตารางที่ 10 แสดงค่าบิตต่างๆในคอนฟิกเจเรชั่น รีจิสเตอร์	37
ตารางที่ 11 แสดงการเซตบิต และตำแหน่งของลอจิกคอล ชันแนล	38
ตารางที่ 12 แสดงค่าบิทต่างๆของเอาท์พุท	42
ตารางที่ 13 แสดงค่าอินพุทที่มีค่าแรงดันต่างๆ กับเอาท์พุทที่ได้จากจอ LCD	62
ตารางที่ 14 แสดงค่าอินพุทที่มีค่าแรงดันต่างๆ กับเอาท์พุทที่คำนวณได้	63

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 1
บทนำ

แต่เดิมเรานิยมใช้ระบบการประมวลผลสัญญาณในรูปแบบระบบสัญญาณอนาลอก ซึ่งมีข้อดีคือ ราคาถูกและออกแบบได้ง่ายแต่มีข้อจำกัดอยู่ที่ประสิทธิภาพและความแม่นยำในการประมวลผลน้อย ดังนั้นจึงได้มีการพัฒนาระบบการประมวลผลสัญญาณเชิงเลขหรือระบบดิจิตอล ขึ้นมาเนื่องจากระบบการประมวลผลสัญญาณเชิงเลขจะให้ความแม่นยำในการคำนวณและประสิทธิภาพดีกว่าระบบการประมวลผลสัญญาณอนาลอก จึงมีการนำระบบนี้ไปใช้กันอย่างกว้างขวางและได้เริ่มเข้ามาทดแทนระบบการประมวลผลแบบอนาลอก กันมากขึ้น

การนำสัญญาณอนาลอกไปประมวลผลในลักษณะการประมวลผลสัญญาณเชิงเวลาเต็มหน่วย (Discrete time signal) จะต้องทำการเปลี่ยนสัญญาณอนาลอกให้เป็นสัญญาณเชิงเลข(Analog to Digital Converter (A/D)) ก่อน ซึ่งวิธีการเปลี่ยนสัญญาณอนาลอกให้เป็นสัญญาณดิจิตอลนั้นสามารถทำได้หลายวิธี ซึ่งแต่ละวิธีก็จะมีข้อดีและข้อเสียแตกต่างกันไป

ในโครงงานนี้จะทำการแปลงสัญญาณสัญญาณอนาลอกให้เป็นสัญญาณดิจิตอลโดยใช้วิธีเดลตา-ซิกมา ซึ่งมีหลักการคือ การใช้เทคนิคการโอเวอร์แซมปลิ้ง (Oversampling) และ นอยส์เชพปิ้ง (Noise Shaping) ซึ่งเป็นวิธีการกำจัดนอยส์ในสัญญาณเบสแบนด์ และในส่วนสุดท้ายของวงจรจะเป็นส่วนของดิจิตอลโลพาสฟิลเตอร์ ซึ่งมีหน้าที่ในการกำจัดนอยส์ และดาวแซมปลิ้ง (Down Sampling) โดยการทำให้สัญญาณที่ถูกสุ่มมีอัตราช้าลงจนเท่ากับไนควิสต์เรท (Nyquis rate) ทำให้สัญญาณที่ได้มีแบนด์วิดธ์ต่ำ แต่มีคุณภาพของสัญญาณสูง

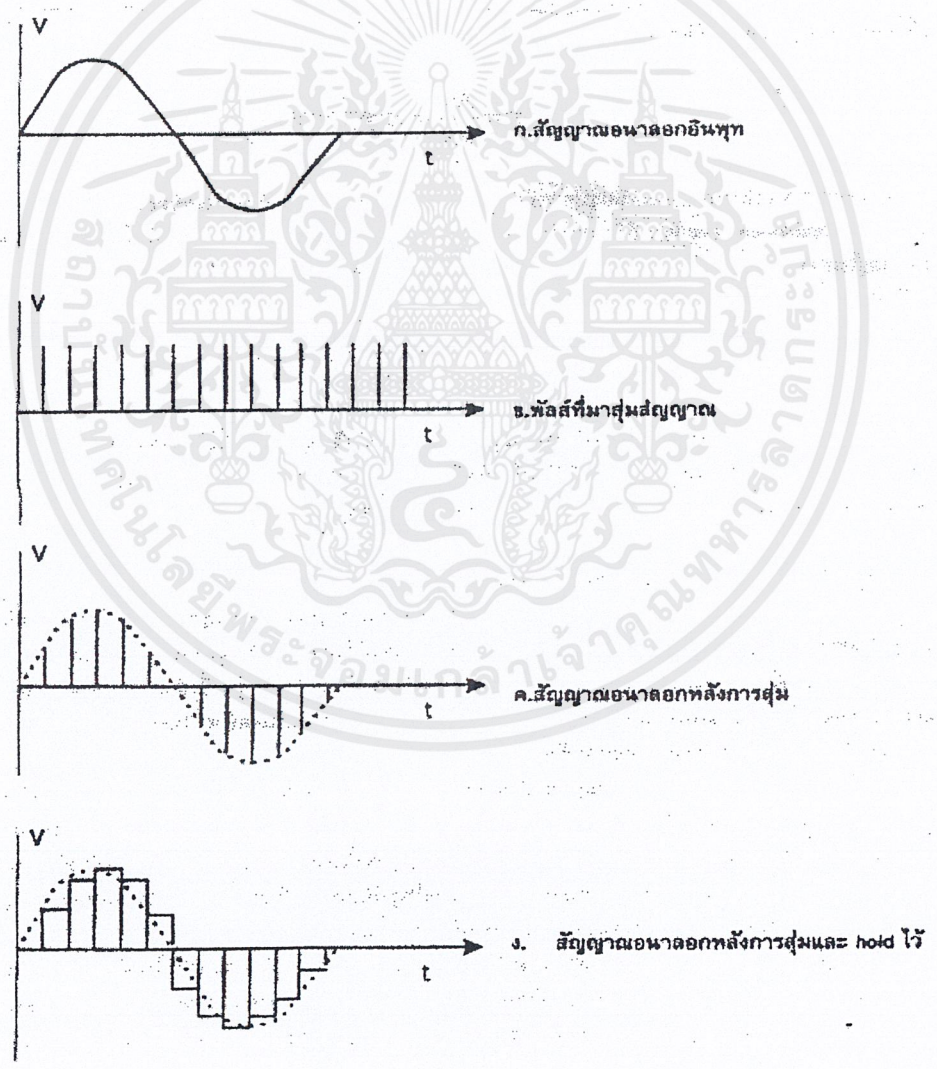
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 2
ทฤษฎีหรือหลักการ

2.1 ทฤษฎีพื้นฐานของการแปลงสัญญาณอนาลอกเป็นสัญญาณดิจิตอล

2.1.1 การสุ่ม และคงค่าสัญญาณ (Sample and Hold และ Aperture error)

วงจรสุ่ม และคงค่าสัญญาณ(sample and hold) จะทำการสุ่ม (sampling) สัญญาณอินพุท และนำสัญญาณ ที่สุ่มนั้นมาเก็บ(hold)ไว้ในช่วงเวลาหนึ่งได้ ซึ่งส่วนใหญ่จะใช้การประจุแรงดันนั้นไว้ในตัวเก็บประจุที่รั่วไหลต่ำ Aperture time ของการสุ่ม และคงค่าสัญญาณ คือเวลาตั้งแต่เริ่มสุ่มสัญญาณจนเก็บประจุค่าแรงดันจนถึงค่าที่สุ่ม ซึ่งสำหรับการสุ่ม และคงค่าสัญญาณ แล้ว Aperture time ขึ้นอยู่กับ แบนด์วิดธ์ และ switching time ของอุปกรณ์แอคทีฟ ที่ใช้ในวงจรซึ่งหาและสร้างได้ง่ายและราคาถูกกว่าการสร้าง ADC ความเร็วสูง



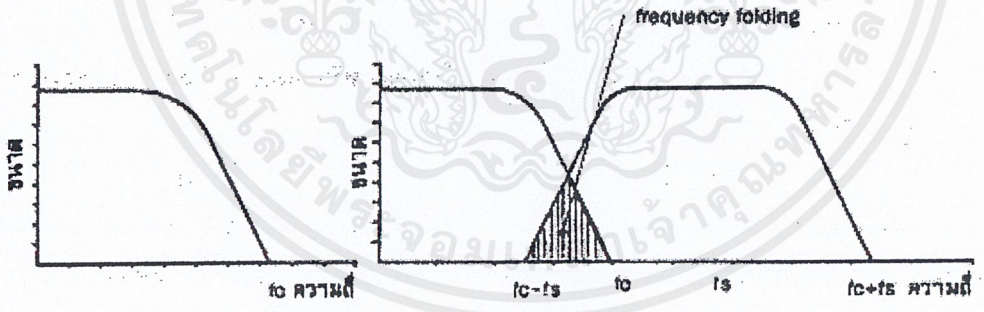
รูปที่ 2.1 การสุ่มสัญญาณ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ในการสุ่มสัญญาณอนาลอกจะถูกสุ่มเป็นระยะๆ คงที่ตามรูปที่ 2.1 ค การสุ่มจะเป็นการตัดต่อสัญญาณอนาลอกในช่วงเวลาอันสั้นด้วยสวิทช์ที่ทำงานด้วยความเร็วสูง ผลของการสุ่มสัญญาณด้วยความเร็วจะเสมือนกับการคูณขบวนสัญญาณพัลส์แคบๆกับสัญญาณอนาลอกซึ่งจะได้เป็นสัญญาณที่มอดูเลทระหว่างขบวนพัลส์กับสัญญาณอนาลอก โดยเสมือนว่า สัญญาณอนาลอกจะมาขี่บนขบวนพัลส์ดังแสดงในรูปที่ 2.1 ค ถ้าหากสัญญาณอนาลอกที่ถูกสุ่มถูกค้างค่าไว้จนกว่าสัญญาณค่าใหม่ถูกสุ่มเข้ามาซึ่งจะได้ลักษณะของเอาท์พุทที่แสดงในรูปที่ 2.1 ง มีปัญหาที่ว่าอัตรการสุ่มสัญญาณนั้นควรมีขนาดเท่าใดจึงจะไม่ทำให้ข้อมูลสูญเสียไปเมื่อสัญญาณนั้นถูกเปลี่ยนกลับมาเช่นเดิม คำตอบก็คือ ขึ้นอยู่กับความถี่ของสัญญาณอนาลอก ทฤษฎีของการสุ่มกล่าวไว้ว่า "ถ้าสัญญาณต่อเนื่องซึ่งมีความถี่และฮาร์โมนิคไม่เกิน f_c จะถูกสุ่มด้วยอัตรการสุ่มไม่น้อยกว่า $2f_c$ แล้วสัญญาณดังกล่าวจะสามารถเปลี่ยนกลับมาได้อย่างเดิมโดยไม่สูญเสียรายละเอียดหรือผิดเพี้ยนไป"

2.1.2 การซ้อนทับกันของสเปคตรัม (Frequency folding and Aliasing)

จากทฤษฎีของการสุ่มสามารถอธิบายด้วยลักษณะรูปสเปคตรัมของสัญญาณในรูปที่ 2.2 รูป 2.2 ก แสดงให้เห็นสเปคตรัมของสัญญาณที่ถูกสุ่มซึ่งแบนด์วิดธ์ไม่เกิน f_c ในขณะที่สัญญาณนี้จะถูกสุ่มด้วยความถี่ f_s ขบวนการมอดูเลชั่นจะทำให้แถบสเปคตรัมของสัญญาณสุ่มขยายกว้างออก f_s จาก เป็น $2f_s$ $3f_s$ ..... ได้เป็นดังรูป 2.2 ข ถ้าความถี่ของสัญญาณสุ่ม f_s ไม่สูงพอ หลังจากการสุ่มสเปคตรัมบางส่วนของ f_s จะเกิดการซ้อนกลับสเปคตรัมของสัญญาณซึ่งเรียกว่าการซ้อนทับกันของสเปคตรัมหากเป็นเช่นนี้ ก็จะทำให้เกิดความเพี้ยนแก่สัญญาณอนาลอกจากการซ้อนทับกันของสเปคตรัม เมื่อสัญญาณถูกเปลี่ยนกลับให้อยู่ในรูปเดิม และถ้าเลื่อนความถี่ของการสุ่มให้สูงขึ้นจนโอกาสการซ้อนทับของสเปคตรัมหมดไป($f_s - f_c = f_c$) และการเปลี่ยนกลับของสัญญาณหลังจากถูกสุ่มก็ยังคงเหมือนเดิมได้



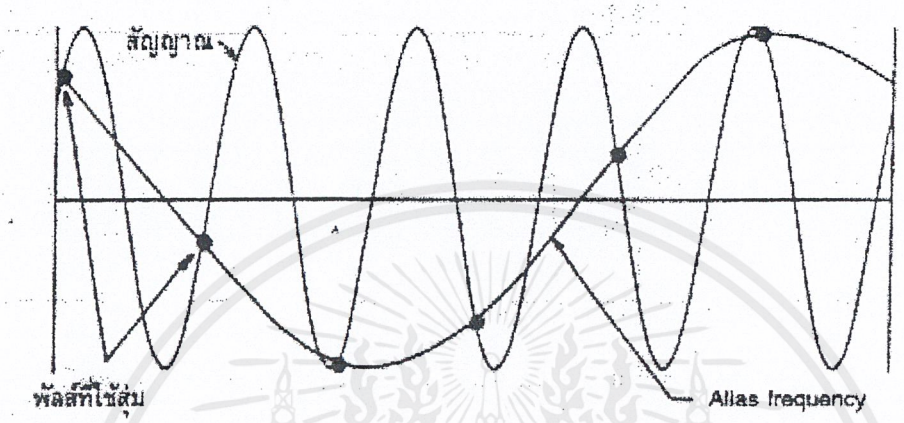
(ก) (ข)

รูปที่ 2.2 แสดงการเกิดการซ้อนทับกันของสเปคตรัม
ก. แสดงสเปคตัมของสัญญาณอนาลอกที่จะถูกสุ่ม
ข. สเปคตัมหลังจากการสุ่ม เกิดการซ้อนทับกันของสเปคตรัม

ทฤษฎีการสุ่มที่ว่าให้ $f_s > 2f_c$ นั้นก็เพื่อการขจัดการซ้อนกันของสเปคตรัมซึ่งทำได้ 2 วิธี วิธีหนึ่งด้วยการใช้อัตราการสุ่มที่สูงพอดังกล่าว และอีกวิธีหนึ่งคือการทำการฟิลเตอร์ความถี่ของสัญญาณอนาลอก

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ก่อนการสุ่ม(Antialiasing filters) เพื่อกำจัดแบนด์วิดธ์ของสัญญาณที่จะถูกแปลงให้ไม่เกินไปกว่า $f_s/2$ ในทางปฏิบัติแล้วจะยังคงเกิดการซ้อนทับกันของสเปคตรัม ได้เสมอจากส่วนฮาร์โมนิคของสัญญาณรวมทั้งสเปคตรัมของสัญญาณรบกวนที่ยังคงอยู่แม้ว่าทำการฟิลเตอร์มาก่อนหน้าแล้วก็ตาม การกำจัดการซ้อนกันของสเปคตรัม ดังนี้ วิธีที่จะลดผลของเอเลียสซิ่ง(aliasing) ก็คือนอกจากใช้ฟิลเตอร์ฮาร์โมนิคสูงๆ ของสัญญาณแล้วพยายามให้การสุ่มสัญญาณเป็นไปอย่างรวดเร็วมากที่สุดซึ่งปกติจะสูงกว่าความถี่ต่ำสุดตามทฤษฎีการแซมปลิ้ง คือ $2f_n$ เสมอ



รูปที่ 2.3 การเกิดเอเลียสซิ่ง ฟิลเตอร์จากการสุ่มด้วยความถี่ต่ำกว่า 2 เท่าของความถี่สัญญาณอินพุทรูปไซน์

ผลของการใช้อัตราการสุ่มที่ไม่เหมาะสมจะเกิดเป็นสัญญาณความถี่ต่ำกว่าเรียกเอเลียสซิ่ง ฟิลเตอร์เมื่อสัญญาณถูกเปลี่ยนกลับมาเช่นเดิมหลังจากถูกสุ่มแล้วแสดงในรูปที่2.3จะเห็นว่าความถี่เอเลียสซิ่งอาจจะแตกต่างจากความถี่เดิมไปมาก

เอเลียสซิ่ง ฟิลเตอร์จะช่วยลดสัญญาณในแถบความถี่ที่ทำให้เกิดเอเลียสซิ่งฟรีเควนซี่ในขณะที่ต้องไม่ทำให้เกิดความผิดเพี้ยนของสัญญาณในแบนด์ที่ใช้งานและไม่ลดความแน่นอนในการวัดโดยรวมอีกด้วยในการใช้ เอเลียสซิ่ง ฟิลเตอร์ปริมาณการขจัดความถี่สูงนั้นขึ้นอยู่กับ :

- ความถี่สูงสุดที่สนใจ
- อัตราการสุ่ม และ
- ความละเอียดของการแปลงสัญญาณ

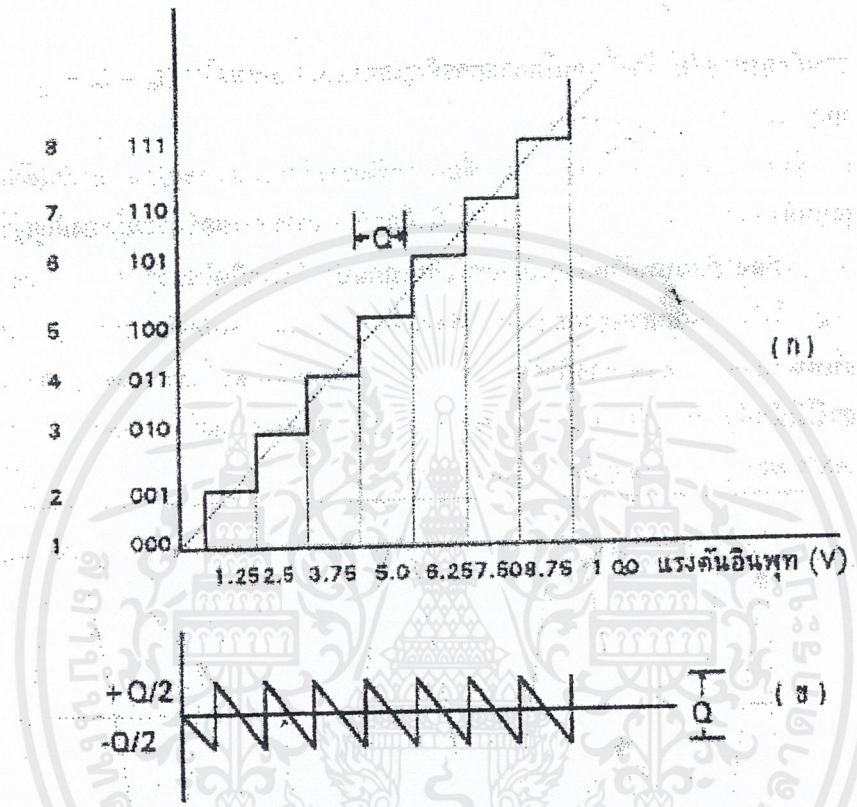
ฟิลเตอร์ที่ใช้อาจจะเป็น พาสซีฟฟิลเตอร์ แอคทีฟฟิลเตอร์ หรือ switched capacitor ฟิลเตอร์

2.1.3 ทฤษฎีของการควอนไตซ์

การควอนไตซ์เป็นขบวนการที่เปลี่ยนแปลงสัญญาณอนาลอกเป็นสัญญาณที่ไม่ต่อเนื่อง (discrete signal) หลังการสุ่ม โดยผ่านขบวนการเข้ารหัส (Coding) จัดให้สัญญาณที่ไม่ต่อเนื่องนั้นอยู่ในรูป

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ที่ง่ายต่อการประมวณผลและเป็นสัดส่วนสัมพันธ์กับสัญญาณอนาลอก เช่น ในรูปของรหัสไบนารี (Binary) เป็นต้น หากนำเอาขนาดของสัญญาณอนาลอกและรหัสดิจิตอลที่ได้จากการควอนไตซ์เขียนกราฟก็จะได้กราฟแสดงการควอนไตซ์ทรานสเฟอร์ฟังก์ชั่นดังในรูปที่ 2.4 ในรูปกราฟแสดงให้เห็นถึงความสัมพันธ์กันระหว่างสัญญาณอนาลอกที่ขนาดอยู่ระหว่าง 0 ถึง +10 โวลท์ ถูกการควอนไตซ์ และเข้ารหัสเป็นรหัสไบนารี 3 บิต ได้ 8 ระดับ จาก 000 ถึง 111 เนื่องจากระบบไบนารี รหัสดิจิตอลแต่ละค่าจะแทนขนาดของสัญญาณอนาลอกแต่ละค่าที่เป็นสัดส่วนกับค่าเต็มสเกล โดยค่าสูง



รูปที่ 2.4 ทรานสเฟอร์ฟังก์ชันของการควอนไตซ์ 3 บิต ตามทฤษฎี

สุดของรหัสดิจิตอลคือ ทุกบิตเป็น 1 จะเท่ากับสัญญาณอนาลอกเต็มสเกลคูณด้วย ($1-2^{-n}$) โดย n เป็นจำนวนบิทของรหัสดิจิตอล และรหัสดิจิตอลแต่ละบิตที่เป็น 1 จะเท่ากับขนาดเต็มสเกลของอนาลอกคูณกับค่าน้ำหนักของรหัสชนิดนั้นหารด้วย 2^n ตัวอย่างเช่น ค่าเต็มสเกลของสัญญาณอนาลอกเป็น 10 โวลท์ รหัส 1011 จะแทนขนาดของสัญญาณอนาลอกอินพุท

$$V_{input} = (Rs/2^n)\{(1\times2^3)+(0\times2^2)+(1\times2^1)+(1\times2^0)\}$$
$$= (10/2^4)\{(1\times2^3)+(0\times2^2)+(1\times2^1)+(1\times2^0)\}$$

จุดสำคัญที่เกี่ยวกับกราฟทรานสเฟอร์ฟังก์ชั่นในรูปที่ 2.4 อันแรกได้แก่ความละเอียด(resolution) ของการควอนไตซ์ ซึ่งกำหนดได้จากจำนวนบิทของรหัสดิจิตอล หรือจากกราฟคือขนาดกว้างของ ขั้นระดับ (step) ทางแกนอนาลอกอินพุทว่าเป็นสัดส่วนเท่าใดระหว่างค่าเต็มสเกลอนาลอกกับค่า 2^n

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จำนวนสถานะเอาท์พุทกำหนดได้จากจำนวนบิตคือเท่ากับ 2^n สถานะ ตัวอย่างกรณี ADC 8 บิต ควอนไตซ์จะให้เอาท์พุท256 สถานะ และ 12 บิตให้ 4096 สถานะต่อค่าเต็มสเกลของอนาลอก ในไดอะแกรม แสดง ทรานสเฟอร์ฟังก์ชั่น จะเห็นจุดแบ่ง ระดับ(Decision point หรือ Treshhold level) สัญญาณอนาลอกจะมี จำนวน $2^n - 1$ จุดที่อยู่ที่ 0.625 , 1.875 , 3.125 , 4.375 , 5.625 , 6.875 และ 8.125 โวลท์ ระหว่างจุดดังกล่าวเป็น สัญญาณอนาลอกซึ่งแปลงเป็นรหัสดิจิตอล 1 สถานะ ดังนั้นค่าเหล่านี้จะต้องปรับให้ถูกต้องมากที่สุดเพื่อ แปลงขนาดของอนาลอกให้ตรงกับค่าที่ทำการควอนไตซ์ แรงดันที่ 1.25 , 2.50 , 3.75 , 5.0 , 6.25 , 7.2 และ 8.75 โวลท์ เป็นจุดกึ่งกลางในช่วงของสัญญาณอนาลอกที่แสดงสถานะเอาท์พุทดิจิตอลฟังก์ชั่นที่มีลักษณะเป็น ขั้นบันไดนี้สามารถประมาณเป็นเส้นตรงได้โดยการโยงเส้นระหว่างจุดเริ่มและจุดปลาย ณ จุดกึ่งกลางของ รหัสดิจิตอลสถานะสุดท้าย สังเกตว่า ในทางทฤษฎีแล้วเส้นตรงนี้จะต้องผ่านจุดกึ่งกลางของทุกระดับดิจิตอล

2.1.4 ค่าความละเอียด และความผิดพลาดจากการควอนไตซ์ (Quantizer Resolution and Error)

ในแต่ละสถานะ ของสัญญาณดิจิตอลเอาท์พุท จะแทนขนาดของ สัญญาณอนาลอกค่าใดค่าหนึ่งในช่วงเล็กๆระหว่างจุดแบ่งระดับ เรียกช่วงเล็กๆ นี้ว่าเป็นขนาดหนึ่งอนาลอก ควอนไตซ์เซชั่น (Analog Quantization) หรือหนึ่ง ควอนตัม (Quantum) หรือ 1 LSB (Least Significant Bit) ของการแปลงสัญญาณ ตัวอย่างในรูปที่ 2.4 ก ควอนตัม คือ 1.25 โวลท์ ค่านี้ได้จากการคำนวณจาก

$$Q = FSR/2^n$$

FSR คือ ช่วงเต็มสเกลของแรงดันอนาลอก (Full Scale Range)

n คือ จำนวนบิทของรหัสดิจิตอล

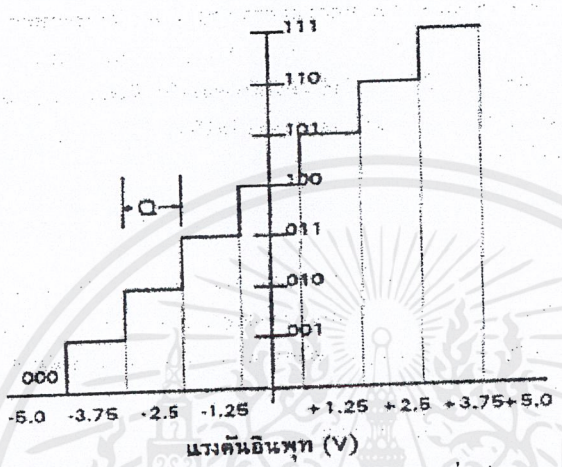
จากสมการจะเห็นว่า หากการแปลงที่ให้จำนวนบิตมากขนาดของควอนตัมก็จะลดลงและถ้าให้สัญญาณอินพุทของควอนไตเซอร์ กวาดไปตลอดช่วงของ สัญญาณอนาลอก ก็จะเห็นช่วงของ ผลต่างของอนาลอกอินพุทและดิจิตอลเอาท์พุทเป็นช่วงซึ่งพล็อตได้เป็น รูปฟันเลื่อย ดังรูป 2.4 ข เรียกความผิดพลาดจากการควอนไตซ์ ซึ่งค่าความผิดพลาดนั้นก็คือ 1 ช่วงสัญญาณอนาลอกแปลงเป็นรหัสดิจิตอล 1 สถานะ ดังกล่าวมาแล้วนั่นเอง ค่าความผิดพลาดนี้เป็นธรรมชาติของการควอนไตซ์ ซึ่งทำการแก้ไขไม่ได้ นอกจากการเพิ่มจำนวนบิทของควอนไตเซอร์ให้มากขึ้น และเอาท์พุท ค่าความผิดพลาดจะอยู่ระหว่าง 0 ถึง Q/2 ค่าความผิดพลาดอาจจะเป็นศูนย์ เมื่อสัญญาณอนาลอกอยู่ที่ค่าที่จุดกึ่งกลางของควอนตัมพอดี ลักษณะฟังก์ชั่นของค่าความผิดพลาด จะสามารถ พิจารณาเป็นสัญญาณรบกวนทางอินพุท ซึ่งมีค่าเป็น $Q\ v_{p-p}$ และค่าเฉลี่ยเป็น ศูนย์ ค่า rms (Root Mean Square) เป็น $Q/2\sqrt{3}$ ซึ่งจะได้จากการวิเคราะห์รูปคลื่นฟันเลื่อย

2.1.5 รหัสตัวเลขสำหรับการเปลี่ยนข้อมูล

รหัสตัวเลขที่นิยมนำมาใช้ในระบบเปลี่ยนข้อมูลได้แก่รหัสไบนารีหรือที่เรียกว่า Straight binary โดยที่รหัสไบนารีสถานะสูงสุดจะแทนสัญญาณอนาลอก FSR× ($1-2^n$) โวลท์ ตัวอย่างเช่น หากสัญญาณอนาลอกเต็มสเกล (FSR) เท่ากับ 20 โวลท์ สำหรับ ADC ขนาด 12 บิทรหัส 1111 1111 1111 จะแทนสัญญาณอนาลอกขนาด $20 \times (1- 2^{12})$ หรือ 19.9951171 โวลท์ นอกจากรหัสไบนารีธรรมดาดังกล่าว ยังมีการใช้ระบบไบนารีแบบอื่นๆในระบบการแปลงสัญญาณได้แก่ ออฟเซ็ทไบนารี , Two's complement ,

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

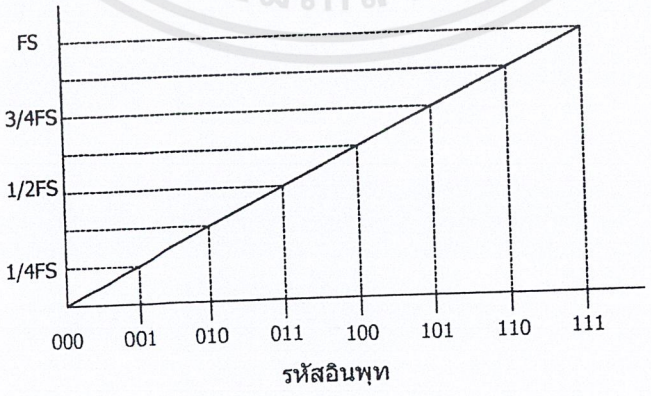
BCD ซึ่งแต่ละชนิดมีข้อดีและความเหมาะสมต่างกัน ตัวอย่างเช่น ระบบ BCD เหมาะสำหรับการแสดงเป็นตัวเลขหน้าปัทม์ หรือต่อเข้ากับดิจิตอลมิเตอร์ รหัส Two's complement เหมาะสำหรับการคำนวณทางคณิตศาสตร์ลอจิก และสำหรับระบบออฟเซ็ทไบนารีนั้นเหมาะสำหรับการแปลงสัญญาณอินพุทที่มีทั้งช่วงบวกและลบ ในรูปที่ 2.5 แสดงทรานสเฟอร์ฟังก์ชั่น ของ ADC 3 บิท ที่ใช้รหัสออฟเซ็ทไบนารี นอกจากมาตรฐานของการใช้รหัสตัวเลขแล้วยังมีมาตรฐานของการเลือก ช่วงขนาดของแรงดันอินพุท สำหรับ ADC คือ หากเป็นสัญญาณช่วงบวก หรือ ลบ อย่างเดียวจะใช้ 0 ถึง 5 โวลท์ หรือ 0 ถึง 10 โวลท์ แต่ถ้าเป็นช่วงลบจะใช้ -2.5 โวลท์ , -5 โวลท์ , -10 โวลท์เป็นมาตรฐาน



รูปที่ 2.5 Transfer function ของ ADC 3 บิทที่ใช้รหัสออฟเซ็ทไบนารี

2.1.6 วงจร Digital to Analog Convertor (DAC)

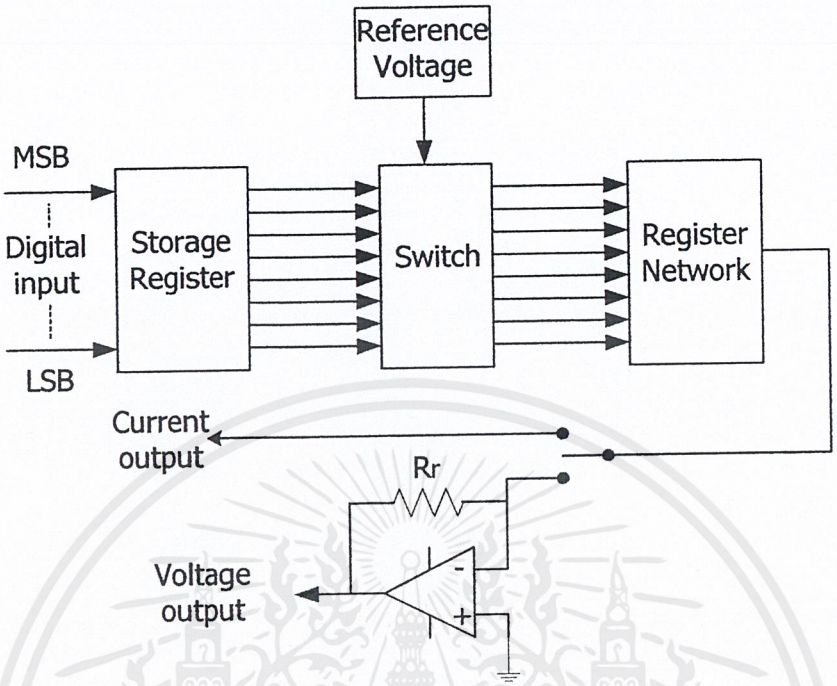
DAC นับเป็นอุปกรณ์สำคัญที่ทำให้ดิจิตอลคอมพิวเตอร์เชื่อมโยงกับอุปกรณ์หรือวงจรอนาลอกอื่นๆ ตัวอย่างการใช้งาน DAC คือระบบแสดงผลบนจอภาพ ระบบสังเคราะห์เสียง เป็นต้น และที่สำคัญ ยังเป็นส่วนประกอบสำคัญใน ADC ที่ใช้กันอยู่ ในปัจจุบัน ในรูปที่ 2.6 แสดงภาพทรานสเฟอร์ฟังชั่นของ DAC 3 บิต จะเห็นว่ารหัสดิจิตอลอินพุท 1 คำ จะแปลงเป็นแรงดันอนาลอก 1 ค่า ลักษณะการจัดวงจร DAC เป็นลักษณะดังรูปที่ 2.6



รูปที่ 2.6 ทรานสเฟอร์ฟังชั่นของ DAC 3 บิต ตามทฤษฎี

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

หัวใจสำคัญของ DAC คือ อาเรย์สวิทช์ที่ควบคุมด้วยลอจิกซึ่งมีจำนวน n ชุด เท่ากับจำนวนไบนารีบิตสวิทช์เหล่านี้จะตัดต่อแรงดันอ้างอิงขนาดหนึ่งเข้ากับวงจรอาเรย์รีซิสเตอร์ค่าต่างๆที่ weight ตามรหัส ไบนารี



รูปที่ 2.7 บล็อคไดอะแกรมของ DAC

เอาท์พุท บัฟเฟอร์แอมปริไฟเออร์จะทำหน้าที่เปลี่ยนกระแสที่ถูก weight โดยวงจรรีซิสเตอร์ให้เป็นแรงดัน อนาลอกที่สัมพันธ์ต่อกัน ใน DAC บางวงจรมี digital register อยู่ในตัวเพื่อ latch รหัสอินพุทไว้ในขณะที่ DAC กำลังทำการเปลี่ยนเป็นสัญญาณอนาลอก

2.1.6.1 DAC แบบ Binary weight ladder

การจัดวงจร Binary weight ladder มีลักษณะตามรูปที่ 8 สวิทช์ s_1- s_4 จะถูกควบคุมปิด\เปิดด้วยรหัสดิจิตอลเพื่อ ตัด/ต่อ แรงดันอ้างอิงเข้ากับวงจรรีซิสเตอร์ที่มีค่า R , 2R, 4R,....(2^n) R ตัวอย่างในกรณี DAC แบบ 4 บิตใช้รีซิสเตอร์เป็น 10k, 20k, 40k และ 80k เป็นต้น

ค่ารีซิสเตอร์ที่ weight ค่าตามรหัสดิจิตอลที่เพิ่มขึ้นจะทำให้กระแสผ่านรีซีสเตอร์เข้าไปรวมกันก่อนเข้าออปแอมป์ลดลงด้วยแฟคเตอร์ 2 ตามค่า R ที่เพิ่มขึ้น เช่น หากแรงดันอ้างอิงเป็น 10 โวลท์ในตัวอย่างนี้ กระแสที่ผ่านตัวต้านทานจะเป็น 1.0 , 0.5, 0.25 และ 0.125 mA ตามลำดับ

$$V_o = (V_{ref}/2^{N-1})(8S_4 + 4S_3 + 2S_2 + S_1) \text{ ; S close = 1, S open = 0}$$

2.1.6.2 DAC แบบ R-2R ladder

ถึงแม้ว่า DAC แบบ Binary weight ladder จะใช้ค่ารีซิสเตอร์เพียง 4 ค่าก็ตาม แต่ในการผลิต DAC แบบนี้บนชิปไอซีเดี่ยวก็ยังเป็นปัญหายุ่งยากในหารผลิตอยู่ดี รูปแบบที่ดีกว่า คือการจัดวงจรแบบ R-2R

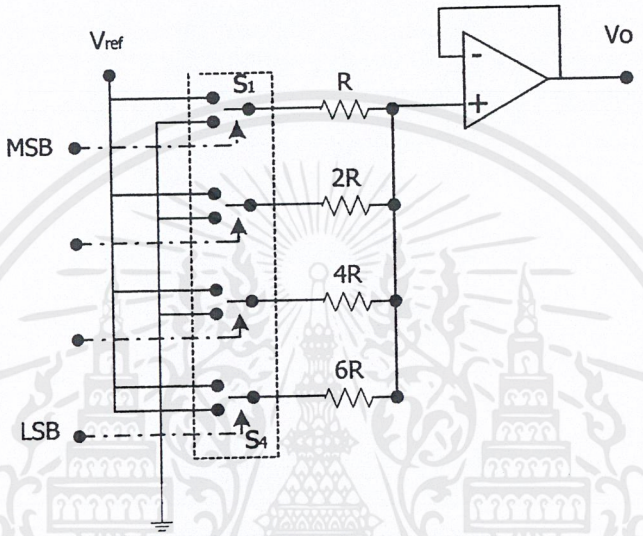
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ที่ใช้ตัวต้านทานเพียง 2 ค่า ดังรูปที่ 2.9 ในวงจรนี้สวิทช์จะตัดต่อแรงดันอ้างอิงต่อเข้ากับวงจร Ladder หรือต่อ Ladder ลงกราวด์ที่ขา 2R จะเห็นได้ว่า switch input resister (2R) มองเข้าไปจะเห็นคู่ของรีซิสเตอร์ ระหว่างจุดต่อ R-2R ที่ติดกัน แรงดันเอาท์พุทจะเพิ่มลดตามรหัสดิจิตอลคือ

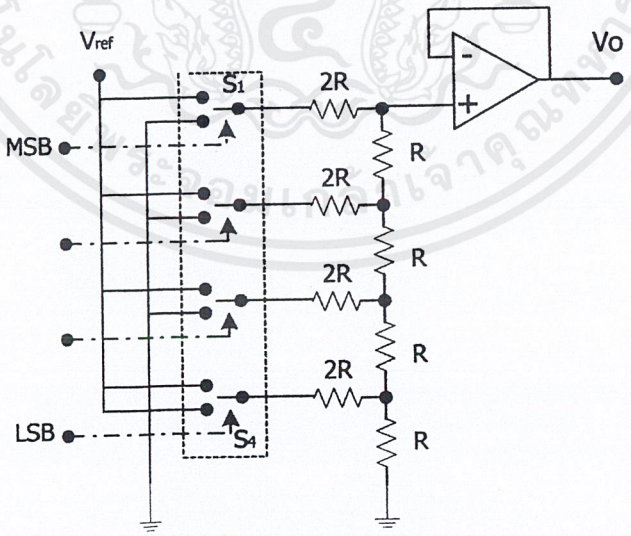
$$\Delta V = V_{ref}/(2^{N-1})$$

แรงดันที่เอาท์พุทจะเป็นไปตามสมการ

$$V_o = (V_{ref}/2^N)(8S_4 + 4S_3 + 2S_2 + S_1) \text{ ; S close = 1, S open = 0}$$



รูปที่ 2.8 DAC แบบ Binary weight ladder

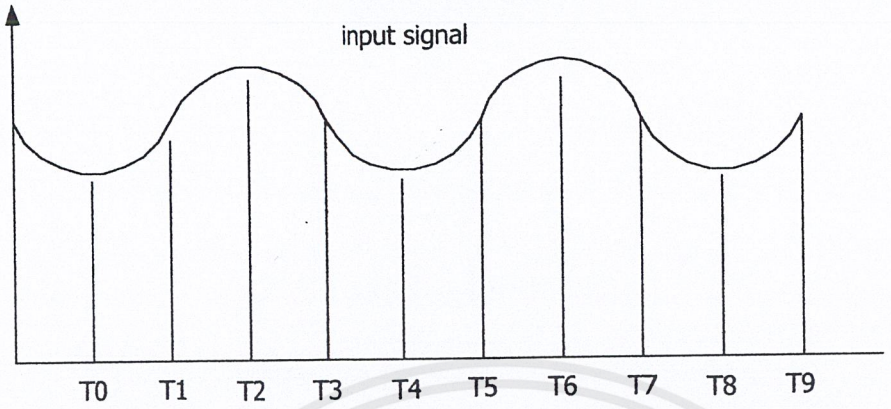


รูปที่ 2.9 DAC แบบ R-2R ladder

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.1.7 ดิจิตอลฟิลเตอร์ (Digital filter)

ดิจิตอลฟิลเตอร์ต่างกับอนาลอกฟิลเตอร์ตรงที่ อนาลอกฟิลเตอร์ทำงานกับสัญญาณที่เข้ามาอย่างต่อเนื่องแต่ดิจิตอลฟิลเตอร์ถูกใช้งานกับสัญญาณที่ถูกแซมปลิ้งแล้ว ดังรูปที่ 2.10



รูปที่ 2.10 แสดงให้เห็นข้อมูลที่ได้จากการแซมปลิ้งสำหรับ ดิจิตอลฟิลเตอร์

จากรูปที่ 2.10 เป็นรูปพัลส์ ที่ได้จากการแซมปลิ้ง และเตรียมส่งไปสู่วงจรดิจิตอลฟิลเตอร์ โดยการนำพัลส์มาคูณกับค่าสัมประสิทธิ์ต่างๆ แล้วนำมารวมกันเพื่อ จัดให้เข้ารูปแบบของ impulse response ดังเช่น อนาลอกฟิลเตอร์ (เช่น Butterworth , Bessel , Chebyshep) ให้เป็นโลว์พาส (low pass) , แบนด์พาส (band pass) หรือไฮพาสฟิลเตอร์ (high pass filter) แต่ต่างกับดิจิตอลฟิลเตอร์

ดิจิตอลฟิลเตอร์ ที่ใช้กับองค์ประกอบ หน่วงเวลา (delay elements) ใส่ไว้ตลอดทั้งช่วงการคูณและการรวมสัญญาณ

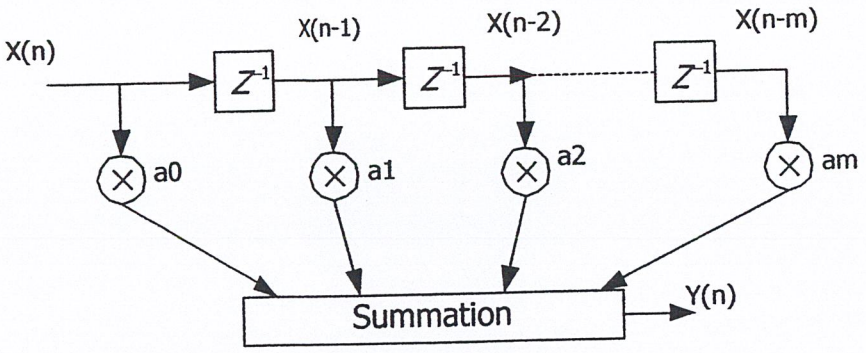
มีเทคนิคหลายอย่างที่ใช้สร้างดิจิตอลฟิลเตอร์ ในการเลือกมาใช้ต้องคำนึงถึงความสมบูรณ์และประสิทธิภาพ (ปริมาณของ ripple ใน pass band และปริมาณของ group delays) Pass band rippleจะถูกลดลงโดยการเพิ่มจำนวนของ filter taps (delay elements) Group delay เป็นปริมาณของเวลาที่ใช้ในการเปลี่ยนแปลงสัญญาณอินพุทไปเป็นสัญญาณเอาท์พุท จะต้องเป็นปฏิภาคตามกันระหว่างปริมาณของ Group delay จำนวนของการแซมปลิ้งที่ทำให้ได้เอาท์พุทที่สมบูรณ์ ปัญหาหลักของการใช้งาน ดิจิตอลฟิลเตอร์ก็คือ round- off error ซึ่งมาจากการกระทำต่างๆในคณิตศาสตร์ในระบบ round – off error ลดลงได้โดยเพิ่มความยาวของสัมประสิทธิ์ delta- sigma Aid ส่วนใหญ่ใช้วงจรดิจิตอลฟิลเตอร์ชนิดโปรแกรมได้ จึงมีส่วนช่วยในการประยุกต์ใช้งานหลายด้าน (เช่นเครื่องมือวัด หรืองานทางด้านระบบเสียง)

2.1. 7.1 การเปรียบเทียบ ดิจิตอลฟิลเตอร์

ดิจิตอลฟิลเตอร์พื้นฐานมี สองชนิด คือ finite impulse response (FIR) และ infinite impulse response (IIR) รูปที่ 2.11 เป็น FIR filter ที่รู้จักกันในนาม nonrecursive และสัญญาณพัลส์อินพุทจะหยุดเมื่อเปลี่ยนให้สัญญาณเอาท์พุทออกมาเมื่อครบจำนวนของ delays

$$\text{FIR filter } y(n) = \sum_{K=0}^{M-1} a(n)x(n-k)$$

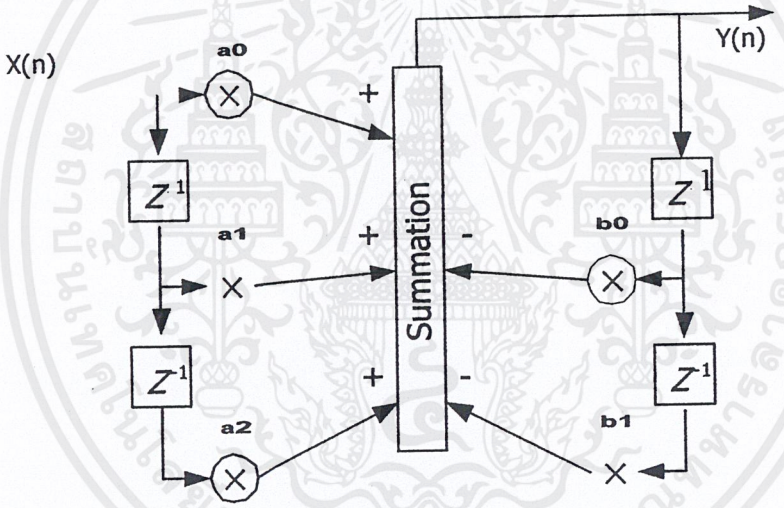
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.11 บล็อกไดอะแกรมของ N th-order FIR filter

ส่วน IIR filter (ดังรูปที่ 2.12) มีส่วนการป้อนกลับด้วย IIR นี้ รู้จักกันในนาม recusive สัญญาณอินพุทจะได้รับการตอบสนองจาก IIR filter ตลอดเวลาเนื่องจากมีส่วนของการป้อนกลับคอยควบคุมสัญญาณเอาท์พุทให้เป็นไปตามอินพุท สมการของ IIR filter

$$y(n) = \sum_{K=0}^{M-1} a(n)x(n-k) - \sum_{K=0}^{N-1} b(n)y(n-k)$$



รูปที่ 2.12 บล็อกไดอะแกรมของ IIR filter

คุณลักษณะทั่วไปของ FIR filter

1. ไม่มีสภาวะที่แน่นอน เนื่องจากไม่มี pole (feed back terms)
2. ไม่สามารถจัดการกับความผิดพลาดได้ เนื่องจากสัญญาณอินพุทจะหยุดชั่วคราวทำให้ระบบไม่ตอบสนองอินพุทขณะนั้น(เพราะไม่มี feed back)ดังนั้นจึงไม่ต้องการค่าสัมประสิทธิ์ที่ใหญ่ดังเช่นIIR filter
3. วิเคราะห์ง่าย
4. ต้องการจำนวนของสัมประสิทธิ์มากกว่า IIR filter เนื่องจากมี ใช้แบนด์วิดธ์แคบกว่า IIR ที่ใช้แบนด์วิดธ์ แคบก็เพราะใช้การทำ multiplication หรือ filter tab เป็นจำนวนมากกว่าเนื่องจากการไม่มี pole หรือส่วนป้อนกลับ ทำให้การ roll – off ถูกจำกัด

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

5. ใช้ แบนด์วิดธ์แคบก็เพราะใช้การทำ multiplication หรือ filter tab เป็นจำนวนมากกว่าเนื่องจากการไม่มี pole หรือส่วนป้อนกลับ ทำให้การ roll – off ถูกจำกัด
6. สามารถเพิ่มประสิทธิภาพของการทำ decimation เพื่อลดการคำนวณในแต่ละแซมเปิ้ล

คุณลักษณะทั่วไปของ IIR filter

1. มีส่วนของการป้อนกลับ เนื่องจากมี pole มีการทำ roll – off ได้สูงกว่า
2. การคำนวณต้องสมบูรณ์มากกว่า FIR filter เพราะ ต้องใช้ข้อมูลเก่าของเอาท์พุทในทุกๆ การแซมเปิ้ลให้การทำ decimation เป็นไปไม่ได้และต้องใช้แซมเปิ้ลต่ำกว่า FIR
3. ต้องมีการดูแลอย่างดีเพื่อให้แน่ใจว่า ระบบยังคงมีเสถียรภาพตลอดทุกสภาวะ เนื่องมาจากมีส่วนของการป้อนกลับ

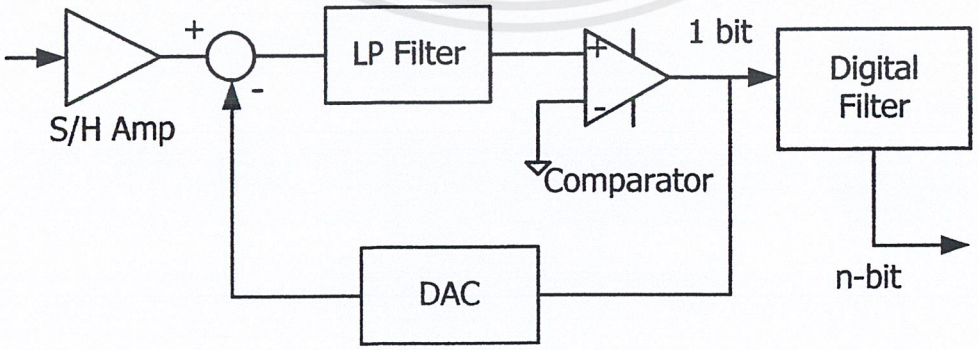
2.2 องค์ประพื้นฐานของการแปลงสัญญาณแบบเดลตา-ซิกมา (Delta-Sigma ADC)

2.2.1 องค์ประกอบของการแปลงสัญญาณแบบเดลตา-ซิกมา (Delta-Sigma ADC)

การแปลงสัญญาณแบบเดลตา-ซิกมาจะประกอบไปด้วยองค์ประกอบพื้นฐาน 2 ส่วน คือ

1. อนาลอกมอดูเลชั่น
2. ดิจิตอลฟิลเตอร์

พิจารณาวงจร Delta-Sigma ADC ดังรูปที่ 2.13 สัญญาณอนาลอกอินพุท ที่เข้ามาที่ส่วนของอนาลอกมอดูเลเตอร์ จะถูกแซมปลิ้งด้วยค่าความถี่ที่มีค่าสูงกว่าแบนด์วิดธ์ของสัญญาณอินพุทมากๆ จากนั้นสัญญาณที่ได้จากการโอเวอร์แซมปลิ้งจะถูกนำไปเปรียบเทียบกับสัญญาณที่ถูกป้อนกลับผ่าน DAC สัญญาณที่ได้จะถูกป้อนเข้าสู่วงจรลูปฟิลเตอร์ (LP Filter) และคอมพาเลเตอร์ (Comparator) ตามลำดับ ค่าเอาท์พุทของอนาลอกมอดูเลเตอร์ ที่ออกจากคอมพาเลเตอร์จะเป็นสัญญาณดิจิตอล 1 บิต ที่มีอัตราการส่งผ่านข้อมูลสูง จากนั้นสัญญาณดิจิตอล 1 บิตจะถูกป้อนเข้าเป็นอินพุทของดิจิตอลฟิลเตอร์ ซึ่งจะทำการเปลี่ยนสัญญาณดิจิตอล 1 บิตให้เป็นสัญญาณดิจิตอล n บิต ที่มีประสิทธิภาพสูงขึ้น

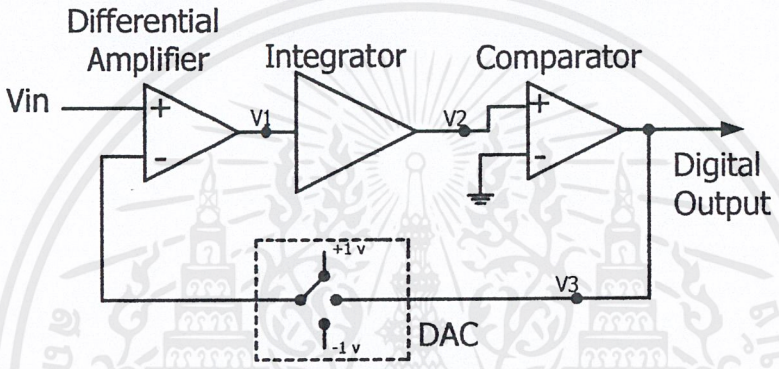


รูปที่ 2.13 การแปลงสัญญาณแบบเดลตา-ซิกมา

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.2.2 การวิเคราะห์การแปลงสัญญาณแบบเดลตา-ซิกมา ใน Time domain

พิจารณาวงจรแปลงสัญญาณแบบเดลตา-ซิกมา อันดับที่ 1 ดังรูปที่ 2.14 โดยค่าอินพุทสูงสุด-ต่ำสุด คือ +1,-1 v กำหนด node 3 node คือ V_1 , V_2 และ V_3 โดยที่เอาท์พุทของคอมพาเลเตอร์ คือ V_3ซึ่งเป็นเอาท์พุทของ ลูป และจะถูกป้อนกลับไปยังวงจร DAC ที่ Differential Amplifier สัญญาณอนาลอกอินพุทที่เข้ามาจะถูกเปรียบเทียบกับสัญญาณอนาลอกที่ได้จาก DAC โดยค่าแรงดันที่ได้จะออกมาที่ V_1ซึ่งเป็นอินพุทของวงจรอินทิเกรเตอร์ (Integrator) โดยวงจรอินทิเกรเตอร์จะทำตัวเสมือนวงจรรวมสัญญาณอนาลอก คือจะทำการบวกค่าแรงดันที่ V_2เข้ากับแรงดันที่ V_1 ซึ่งจะทำให้ได้ค่าแรงดันใหม่ที่ V_2จากนั้นแรงดันที่ V_2จะถูกป้อนเข้าวงจรคอมพาเลเตอร์ ซึ่งสัญญาณที่ node ที่ V_2จะถูกเทียบกับแรงดันอ้างอิง โดยถ้าค่าแรงดันที่ V_2มีค่าสูงกว่าแรงดันอ้างอิงเอาท์พุทที่ node V_3จะมีค่าเป็น +1 v และถ้าค่าแรงดันที่ V_2มีค่าน้อยกว่าแรงดันอ้างอิง ค่าเอาท์พุทที่ node 3 จะมีค่าเป็น –1 v กระบวนการนี้จะเกิดขึ้นในทุกๆรอบของสัญญาณนาฬิกา



รูปที่ 2.14 การเข้ารหัสสัญญาณอันดับที่ 1 แบบเดลตาซิกมา

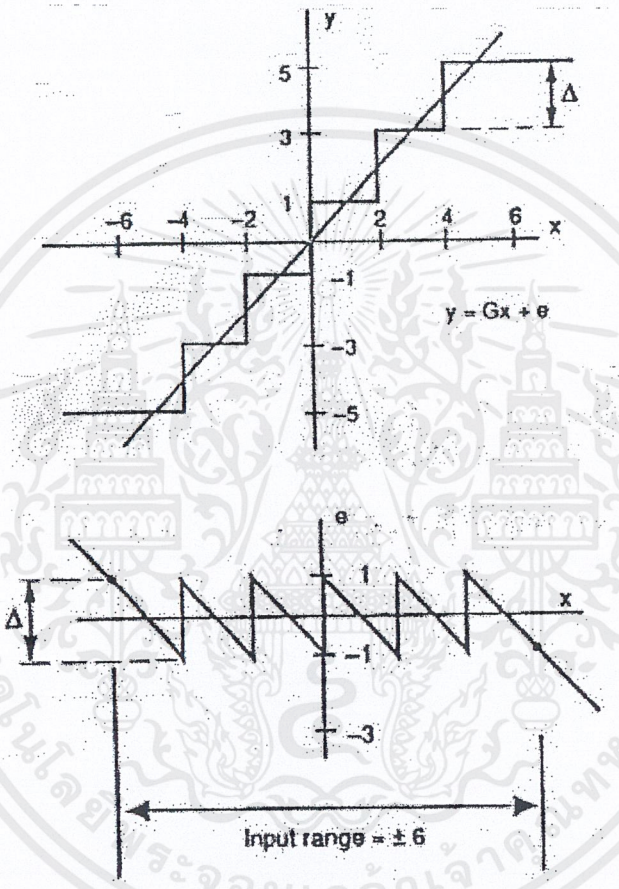
Clock Period	V_1	V_2	V_3	Period Avg
0	0	0	0	
1	0.6	0.6	1	
2	-0.4	0.2	1	
3	-0.4	-0.2	-1	0.6
4	1.6	1.4	1	
5	-0.4	1	1	
6	-0.4	0.6	1	
7	-0.4	0.2	1	
8	-0.4	-0.2	-1	

ตารางที่ 1

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

พิจารณาตารางที่ 2.1 เซตค่าเริ่มต้นทุก node เป็น 0 กำหนดสัญญาณอนาลอกอินพุท มีค่าประมาณ 0.6 v โดยทุก Node จะมีค่าสัญญาณเหมือนกันที่รอบสัญญาณนาฬิกาลูกที่ 2 และ 7 คาบของสัญญาณจะอยู่ในช่วงรอบสัญญาณนาฬิกาลูกที่ 2 ถึง 6 จนกว่าสัญญาณอินพุทอนาลอกที่เข้ามาจะเกิดการเปลี่ยนแปลง และค่าเฉลี่ยของสัญญาณเอาท์พุทที่ได้จากการมอดูเลทที่ node V_3จะอยู่ระหว่างคาบของสัญญาณซึ่งมีค่าเท่ากับ 0.6 v

2.2.3 การวิเคราะห์การแปลงสัญญาณแบบเดลตา-ซิกมา ใน Frequency Domain



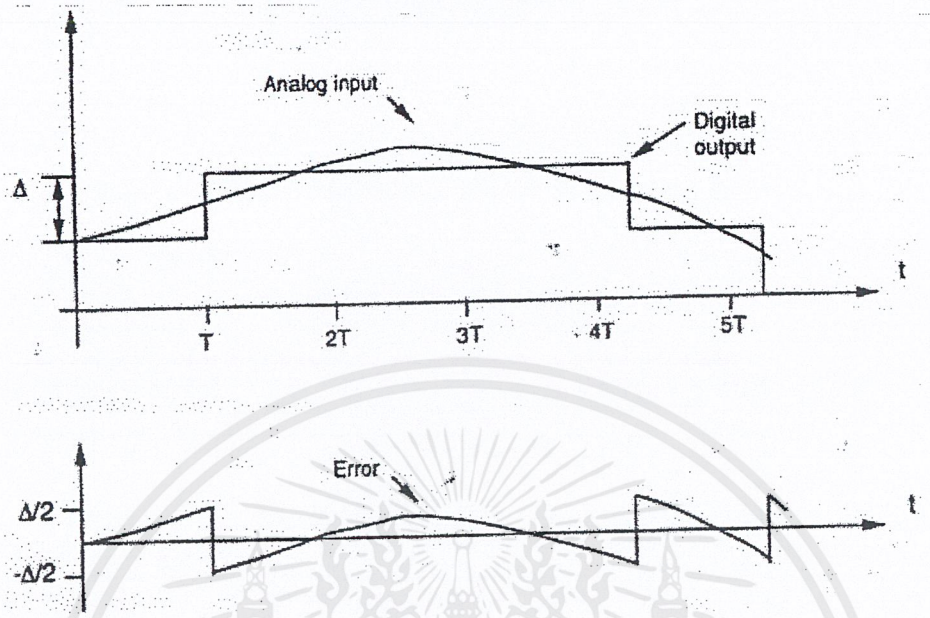
รูปที่ 2.15 ลักษณะของสัญญาณอินพุทและเอาท์พุทของการควอนไตซ์ 6 ระดับ

2.2.3.1 ความผิดพลาดเนื่องจากการควอนไตซ์

จากรูปที่ 2.15 แสดงค่าอินพุทและเอาท์พุทของการควอนไตซ์ สัญญาณ 6 ระดับ โดยค่า x คือค่าอินพุทที่มีค่าแอมปลิจูดที่ต่อเนื่อง และ y คือค่าเอาท์พุทที่เกิดจากการควอนไตซ์ โดยมีสมการที่แสดงค่าความผิดพลาด คือ $e = y - x$ จากสมการจะเห็นว่า $|e| \leq 1$ ในขณะที่ $|x| \leq 6$ ซึ่งในช่วงที่ $|e| \leq 6$ จะเป็นช่วงที่เป็นเชิงเส้นของคอนเวอร์เตอร์ (converter) ในทางปฏิบัติค่าขอบเขตของ $|e|$ จะมีผล ถ้าค่าอินพุท x มีค่าเข้าใกล้ค่าคงที่ ระหว่างกระบวนการควอนไตซ์

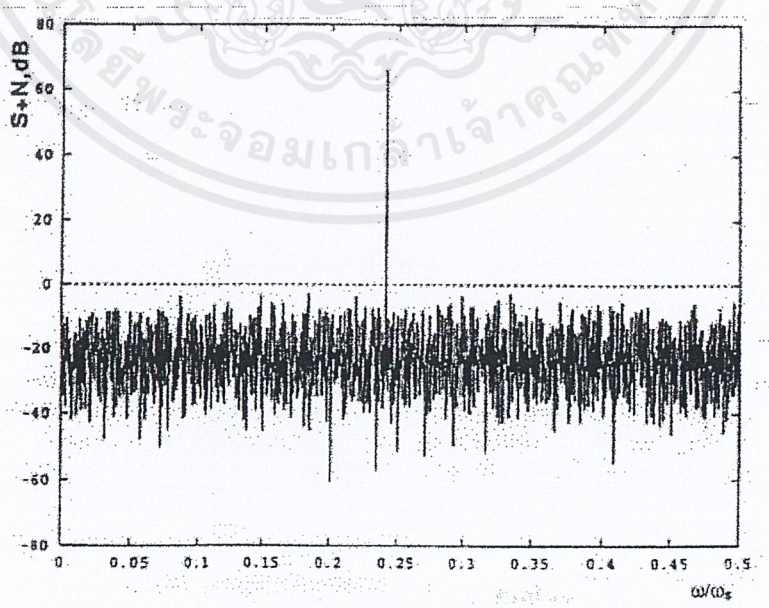
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากรูปที่ 2.16 แสดงผลที่เกิดขึ้นเมื่อค่า x เปลี่ยนแปลงกับเวลา ถ้าทำการควอนไตซ์ที่ t = T, 2T... โดยที่ระหว่างค่า kT และค่า (k+1)T สามารถที่จะเกิดสมการ $|e(t)| = |y(t) - x(t)| > \Delta/2$ ได้ ซึ่งค่า Δ คือ ระดับช่องว่างของสเตปของการควอนไตซ์ (Level spacing on quantization step of the quantizer)



รูปที่ 2.16 สัญญาณอินพุท,เอาท์พุทและความผิดพลาดของการแปลงสัญญาณอนาลอกเป็นดิจิตอล

ถ้าค่า$|\ x(t)\ |$มีค่าไม่คงที่มีการเปลี่ยนแปลงตลอดเวลา สามารถแทนด้วย สมการ$e(t) = y(t) - x(t)$ โดยใช้การควอนไตซ์ ในรูปที่ 2.16 เราสมมุติให้ e(t) คือค่านอยส์ (Noise) ที่เกิดขึ้นจากการ ควอนไตซ์โดยมีแอมปลิจูดอยู่ระหว่าง $-\Delta/2$ และ $\Delta/2$



รูปที่ 2.17 สเปกตรัมเอาท์พุทของควอนไตซ์แบบ 8 บิต โดยการป้อนอินพุทเป็นสัญญาณไซน์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากรูปที่ 2.17 แสดงค่าเอาท์พุทสเปคตรัม แบบ 8 บิต (256 - Level) ที่ได้จากการควอนไตซ์ สัญญาณอินพุทไซน์ โดยสเปคตรัมที่ค่า $\omega = 0.24\omega_s$ คือค่าของสเปคตรัมที่แทนสัญญาณ x|t| และสเปคตรัมที่ล้อมรอบคือค่าสเปคตรัมของความผิดพลาดที่เกิดจากการควอนไตซ์ (Quantization Error)

จากค่า e|t| ที่มีค่าอยู่ระหว่าง $-\Delta/2$ และ $\Delta/2$ ทำให้หาสมการของ e ได้คือ

$$e_{rms} = \Delta/\sqrt{12}$$

ดังนั้น จากค่าความหนาแน่นของสเปคตรัม E(t) ที่มีลักษณะเป็นรูปแบบเดียวกัน ทำให้ได้ค่าความหนาแน่นของสเปคตรัมที่ด้านใดด้านหนึ่ง เป็น

$$e(t) = e_{rms}\sqrt{2}/f_s \qquad \text{.....(2.1)}$$

กำหนดให้แบนด์วิดธ์ของสัญญาณมีค่าอยู่ระหว่าง 0 ถึง f_0 ดังนั้นค่าของ นอยส์เพาวเวอร์ (Noise Power)ที่เกิดขึ้นภายในแบนด์วิดธ์ของสัญญาณจะมีค่า เป็น

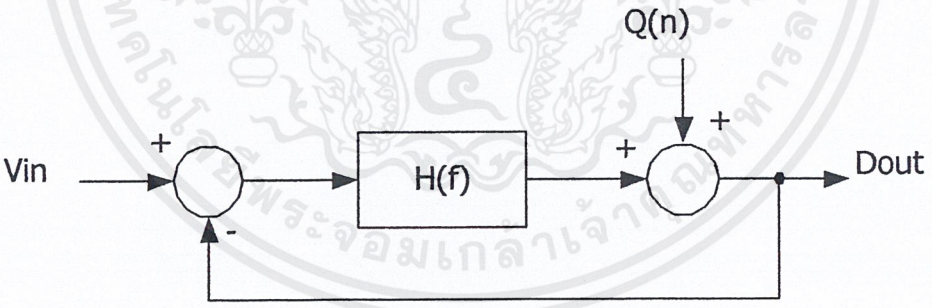
$$f_o e^2 = e^2_{rms}\, 2f_0/f_s = \Delta/12(ORS)$$

เมื่อ OSR คือค่า Oversampling Ratio มีค่าเท่ากับ $f_s/2f_0$

ดังนั้น จากสมการเราสามารถที่จะลดค่านอยส์ ที่เกิดขึ้นภายในแบนด์วิดธ์ของสัญญาณได้ โดยค่านอยส์ที่เกิดขึ้นจะลดลง 3 dB ทุกๆการเพิ่มค่า ORS เป็น2 เท่า จากค่าที่ได้ทำให้เราสามารถเพิ่มค่า SNR ภายในแบนด์วิดธ์ของสัญญาณได้โดยการเพิ่มค่าของ f_s

2.2.3.2 Noise Shaping

อนาลอกฟิลเตอร์ในส่วนของมอดูเลเตอร์ลูป จะทำการลดความหนาแน่นของนอยส์ ในส่วนของช่วงความถี่ที่เราต้องการ โดยการลดค่าสเปคตรัมของความผิดพลาดเนื่องจากการควอนไตซ์



รูปที่ 2.18 โมเดลของอนาลอกมอดูเลเตอร์

พิจารณารูปที่ 2.18 แสดงมอดูเลเตอร์ลูป โดยที่คอมพาเลเตอร์แสดงค่าเป็น (quantization) noise source และอนาลอกฟิลเตอร์ แสดงด้วยวงจรอินทิเกรเตอร์ ซึ่งกำหนดให้มีค่าผลตอบสนองเป็น H(f) ถ้าให้สัญญาณ อนาลอกอินพุทที่เข้ามามีค่าเท่ากับศูนย์ จะได้สมการเป็น

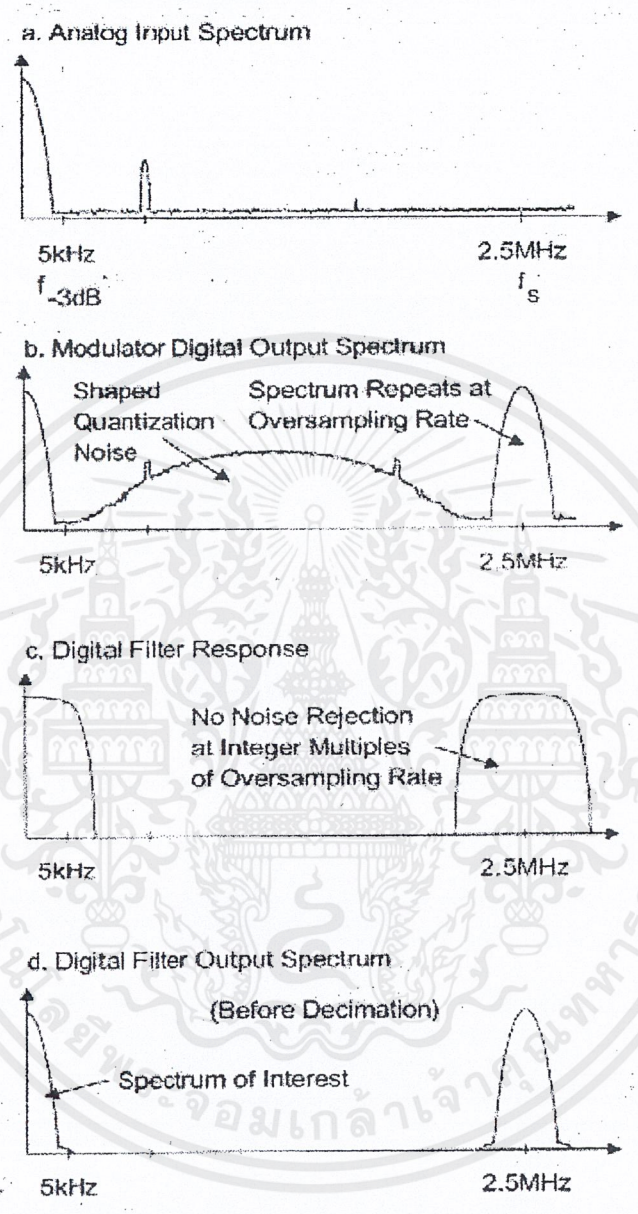
$$D_{out} = Q(n) - H(f)D_{out}$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สำนักหอสมุดกลาง พระจอมเกล้าลาดกระบัง

$$D_{out} = Q(n) / 1+H(f)$$

จากสมการจะพบว่า เราสามารถจะลดค่าค่าความผิดพลาดในการควอนไตซ์ ที่เอาท์พุท ได้โดยการเพิ่ม open loop gain ของอินทิเกรเตอร์



รูปที่ 2.19 การวิเคราะห์สเปกตรัมของเดลตา-ซิกมา

จากรูปที่ 2.19 ผลของอินทิเกรเตอร์จะเป็นตัวผลักให้ค่าค่าความผิดพลาดในการควอนไตซ์ ออกนอกค่าแบนด์วิดธ์ที่เราต้องการ โดยจะถูกผลักเข้าไปที่ช่วงสัญญาณที่มีความถี่สูง โดยเราสามารถนำค่าความผิดพลาดในการควอนไตซ์ ที่ช่วงความถี่สูงออกได้โดยการใช้ ดิจิตอลโลพาสฟิลเตอร์ ซึ่งจะไม่มีผลต่อสเปคตรัมของสัญญาณความถี่ที่เราต้องการ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้
46452

จากรูปที่ 2.18 สามารถพิจารณาในรูปของ z-transform โดยกำหนดให้สัญญาณอินพุท มีค่าเป็น X(z) ,ค่าความผิดพลาดในการควอนไตซ์ มีค่าเป็น E(z), สัญญาณเอาท์พุทมีค่าเป็น Y(z) และ อินทิเกรเตอร์ มีค่าเป็น H_{inte} ให้เท่ากับสมการที่ (2.2)

$$H_{inte} = \frac{z^{-1}}{1 - z^{-1}} \qquad .....(2.2)$$

จะได้สมการที่ (2.3) คือ

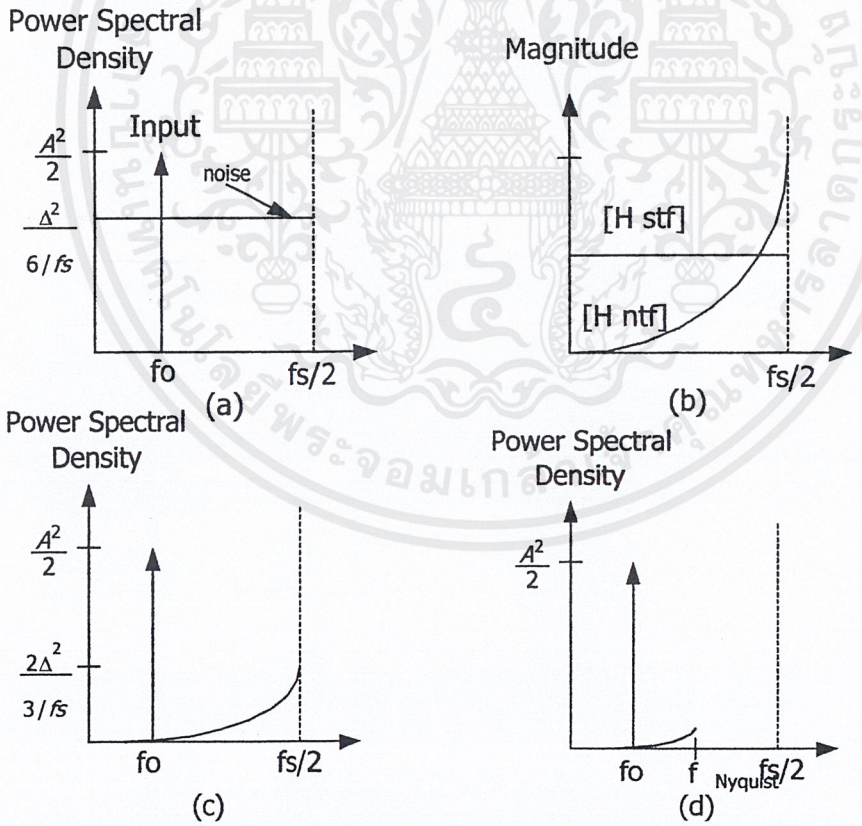
$$Y(z) = \frac{H_{inte}}{1 + H_{inte}} X(z) + \frac{1}{1 + H_{inte}} E(z) \qquad .....(2.3)$$

$$= H_{stf} X(z) + H_{ntf} E(z)$$

$$= (z^{-1})X(z) + (1 - z^{-1})E(z)$$

พิจารณาสมการที่ (3) กำหนดให้ [H_{stf}] คือ signal transfer functions มีค่าเท่ากับ z^{-1} และ [H_{ntf}] คือ นอยส์ทรานสเฟอร์ฟังก์ชั่น มีค่าเท่ากับ $1 - z^{-1}$ โดยแทน z ด้วย $e^{\frac{2\pi f}{f_s}}$ กำหนดให้ [H_{stf}] = 1 และ [H_{ntf}] = $2\sin\left(\frac{\pi f}{f_s}\right)$, โดย $\frac{f_s}{2} \geq f \geq 0$ จะได้สมการของ output power spectral density เป็น

$$S_Y(f) = |H_{stf}|^2 S_X(f) + |H_{ntf}|^2 S_E(f)$$



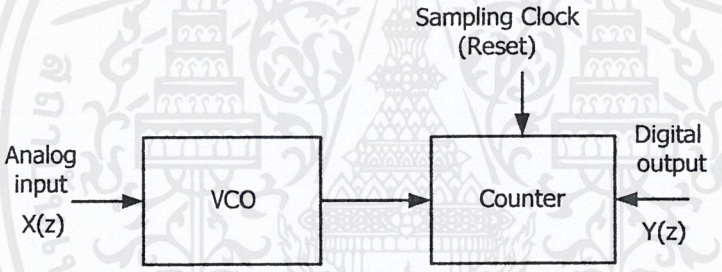
รูปที่ 2.20 การจัดรูปนอยส์ในการเข้ารหัสอันดับที่1 (a) อินพุทสเปคตรัม , (b) [H_{stf}] และ [H_{ntf}] , (c) เอาท์พุทสเปคตรัม , (d) ดาวแซมปลิ้งเข้าสู่ความถี่ไนควิสต์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

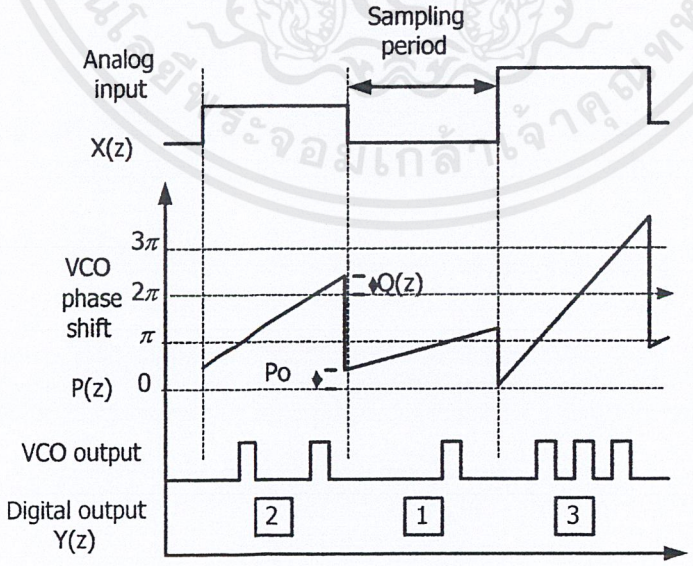
พิจารณารูปที่ 2.20 ค่าของนอยส์สเปคตรัมจะถูกกำจัดโดยมอดูเลเตอร์ และค่าความผิดพลาดเนื่องจากการควอนไตซ์ จะมีค่าน้อยมากที่ความถี่ต่ำ สำหรับมอดูเลเตอร์ที่มีอันดับสูงๆจะทำให้ค่า noise shaping มีค่าเพิ่มขึ้นตามไปด้วย

2.3 การแปลงสัญญาณแบบเดลตา-ซิกมา โดยการใช้วงจรควบคุมความถี่ด้วยแรงดันทางไฟฟ้า (Delta Sigma Analog-to-Digital Converters Using a Voltage–Controlled Oscillator as a Multibit Quantizer)

เป็นการแปลงสัญญาณอนาลอกให้เป็น สัญญาณดิจิตอลแบบเดลตา-ซิกมา โดยจะมีการนำ Voltage Controlled Oscillator (VCO) มาใช้ประโยชน์ ซึ่ง VCO จะถูกนำมาใช้ประโยชน์ร่วมกับ วงจรนับพัลซ์ ทำให้กลายเป็นวงจรควอนไตซ์ที่มีความเร็วสูง วิธีการที่จะทำให้แบนด์วิดธ์ ของสัญญาณขยายออกได้นั้นสามารถทำได้โดยการเพิ่มความถี่ในการโอเวอร์แซมปลิ้ง อย่างไรก็ตาม วิธีการเพิ่ม ความถี่ในการโอเวอร์แซมปลิ้งนี้ จะไม่สามารถกระทำได้ง่ายนัก เนื่องจากมันจะถูกจำกัดโดยความสามารถของอุปกรณ์และการสูญเสียของพลังงานที่ใช้ แต่ถ้าหาก signal bandwidth (f_b) ถูกทำให้ขยายออกด้วยค่าความถี่ในการโอเวอร์แซมปลิ้ง ที่จำกัดแล้ว จะไปทำให้ค่า Signal to Noise Ratio (SNR) มีค่าลดลง เนื่องจากการลดลงของโอเวอร์แซมปลิ้ง วิธีการที่สามารถใช้แก้ปัญหานี้ก็คือการเพิ่มความละเอียดของการควอนไตซ์ หรือการเพิ่มจำนวน order ของ noise shaping filters



(a) บล็อคไดอะแกรมของการควอนไตซ์โดยใช้ VCO



(b) รูปแบบของสัญญาณที่ได้

รูปที่ 2.21 การควอนไตซ์โดยใช้ VCO

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การใช้ Multibit Quantization นั้นจะต้องใช้วงจรที่มีขนาดใหญ่และจะเกิดการสูญเสียของพลังงาน มาก เนื่องจากการนำเอา Flash ADC มาใช้ และส่วนของ feedback Digital to Analog Converters (DAC) ยังต้องการวงจรที่มีความเป็นเชิงเส้นที่สูง ส่วนวิธีการเพิ่มจำนวน order ของ noise shaping ให้สูงขึ้นจะทำให้เกิดปัญหาเนื่องจากเสถียรภาพของระบบจะลดลงซึ่งจะไปทำให้ค่า SNR ถูกจำกัด

แต่วิธีที่จะใช้ต่อไปนี้จะแตกต่างจากเทคนิคการทำเดลตา-ซิกมา ทั่วๆไป โดยจะเป็นการนำข้อมูลที่อยู่ใน time Domain มาใช้ประโยชน์ เช่น ความกว้างของพัลส์, เฟส, ความถี่ โดยข้อมูลที่อยู่ใน time-domain สามารถที่จะทำการประมวลผลได้โดยใช้อุปกรณ์ CMOS ซึ่งลักษณะของมัน จะทำงานที่ไฟเลี้ยงต่ำ และมีการสูญเสียพลังงานที่ต่ำกว่าสิ่งที่ได้จากวงจรอนาลอก ทั่วๆไป

สิ่งสำคัญในการประมวลผลเชิงอนาลอกในแกนเวลา คือ Voltage Controlled Oscillator (VCO) ตัว VCO จะทำงานเหมือนกับวงจร ลอจิกใน Voltage Domain เนื่องจาก มันจะผลิตไบนารีพัลส์ออกมา แต่มันจะทำงานเหมือนวงจร Analog for voltage to time conversion ในแกนเวลา เนื่องจาก pulseของเอาท์พุท จะถูกควบคุมโดยค่าของแรงดันที่ป้อนเข้ามาจากอินพุท โดยในที่นี้เราจะนำ VCO มาใช้ประโยชน์เป็นตัวควอนไตซ์ ตัวหนึ่ง สำหรับการวิเคราะห์การทำงานของ VCO นั้นจะทำได้โดยการใช้ Z transform ซึ่งส่วนประกอบของ VCO ควอนไตซ์นั้น จะประกอบไปด้วย VCO และ วงจรนับเลข นับเลขฐานสอง ซึ่งจะใช้สัญญาณนาฬิกาที่ใช้ในการแซมปลิ้งเป็นตัวรีเซตดังแสดงในรูป 2.21(a)

VCO จะผลิตพัลส์ ออกมาเมื่อค่าของเฟส ภายในของมันมีค่าถึง πn เมื่อ n เป็นจำนวนเต็ม ดังแสดงในรูป 2.21(b) โดยเราสามารถแสดงความสัมพันธ์ได้ดังนี้

$$P(z) = G_n X(z) + P_o \qquad \text{.....(2.4)}$$

เมื่อ $P(z)$ คือ internal phase shift

G_n คือ gain constant

P_o คือ initial phase

โดยพัลส์ ของ VCO ที่ผลิตออกมาจะถูกนับในช่วงระยะเวลา 1 คาบของการแซมปลิ้ง $(1/f_{os})$ ซึ่งวงจรนับจะถูกรีเซต ในแต่ละคาบเวลาของการแซมปลิ้ง สำหรับ phase shift ที่เหลือเมื่อสิ้น 1 คาบของการแซมปลิ้ง จะกลายไปเป็น ความผิดพลาดเนื่องจากการควอนไตซ์ Q(z) แสดงได้ดังสมการ

$$Q(z) = P(z) - 2\pi Y(z) \qquad \text{.....(2.5)}$$

ซึ่ง Q(z) จะกลายไปเป็น initial phase shift สำหรับคาบของการแซมปลิ้ง ถัดไป

$$P_o = Z^{-1}Q(z) \qquad \text{.....(2.6)}$$

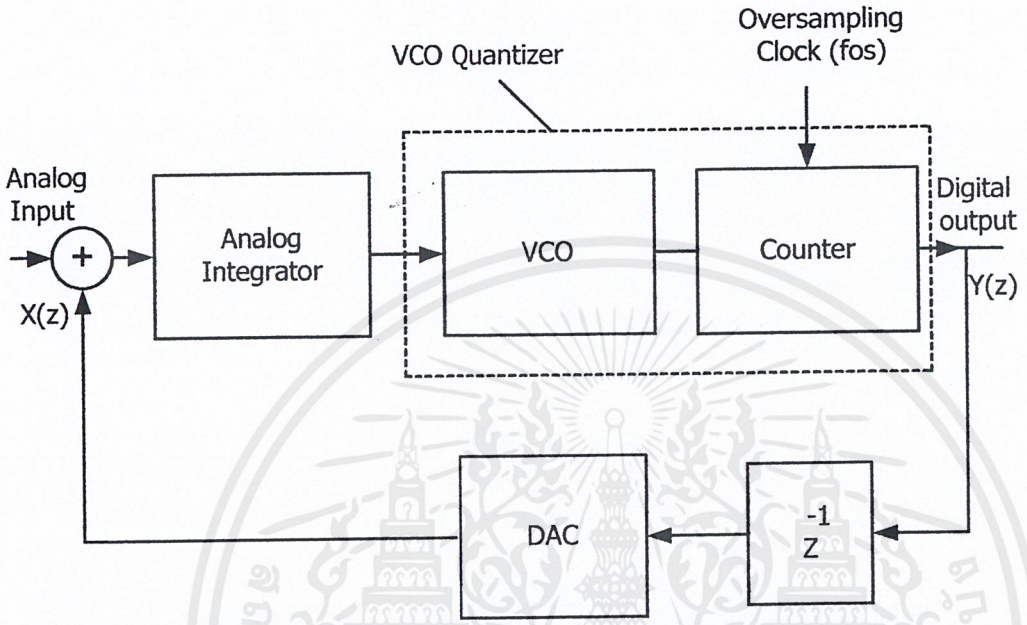
จากสมการที่ (2.4)-(2.6) เราจะได้ transfer characteristics ของ VCO ควอนไตซ์ ดังนี้

$$Y(z) = (1/2\pi)[G_n X(z) + (1- z^{-1})Q(z)] \qquad \text{.....(2.7)}$$

จากสมการ (2.7) เราจะได้ว่าความผิดพลาดเนื่องจากการควอนไตซ์ Q(z) จะถูกทำให้เปลี่ยนแปลงโดย first order high-pass filter ดังนั้น VCO จะมี ฟังก์ชั่นของ การเข้ารหัสสัญญาณอันดับที่ 1 แบบเดลตาซิกมา

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ถ้าความถี่ของ VCO ที่ ออกแบบออกมา มีค่าไม่เกินกว่า ความถี่ที่ใช้ในการแซมปลิ้ง การนับของ Y(z) จะมีค่าเป็น 0 หรือ 1 และความละเอียดของการควอนไตซ์ จะเป็น 1 บิต แต่สำหรับในกรณีนี้ เนื่องจากความถี่โอเวอร์แซมปลิ้ง (f_{os}) จะถูกประมาณให้เท่ากับความถี่สูงสุดของ VCO (f..) ถ้าความถี่สูงสุดของ VCO (f_{vm}) อยู่ในช่วง $(2^{bq} - 2)f_{os} < f_{vm} < (2^{bq} - 1)f_{os}$ และจำนวนบิทของวงจรนับคือ bq (=2,3,...) วงจร multibit (bq bit) quantizer นี้เราจะสามารถทำได้จริง



รูปที่ 2.22 บล็อคไดอะแกรมของ VCO-DS-ADC.

ในรูปที่ 2.22 เป็นการแสดงบล็อคไดอะแกรมของของการเข้ารหัสสัญญาณแบบเดลตา-ซิกมาโดยการนำ VCO ควอนไตซ์มาใช้ ซึ่งถูกเรียกว่า VCO – digital signal(DS) – ADC ซึ่งจากรูปจะพบว่าก่อนหน้าภาค VCO ควอนไตซ์จะมีส่วนของ first order analog integrator อยู่ก่อน ถ้าอินทิเกรเตอร์ที่ใช้นั้นเป็นแบบอุดมคติ เราจะได้ transfer characteristics ของคอนเวอร์เตอร์ เป็นดังนี้

$$Y(z) = (1/2\pi)[G_n X(z) + (1 - z^{-1})^2 Q(z)] \quad .....(2.8)$$

จากสมการนี้แสดงให้เห็นว่า VCO DS – ADC จะเป็น second order noise shaping characteristics ซึ่งการนำ multibit quantizer และ feedback DAC ค่า SNR จะมีค่าที่สูงขึ้น

สำหรับวิธีการคำนวณหาค่า SNR ของ multibit VCO-DS-ADC จะ สามารถหาค่าได้เหมือนกับวิธีของ DS-ADC ค่าของ noise power ของ second order DS-ADC (P_e) โดย $P_e = \Delta^2\pi^4/60M^3$ และ ac power ของคลื่น sine (P_s) ซึ่ง $Ps = \Delta^2 2^{2bq}/8$ โดย Δ คือ quantization level spacing M คือ oversampling ratio ($f_{os}/2f_b$) และ bq คือ ความละเอียดของการควอนไตซ์ ดังนั้นเราจะได้ค่า signal to noise ratio มากที่สุดจาก

$$SNR_{max}\,(dB) = 50\log M + 6.02bq - 11.1 \quad .....(2.9)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

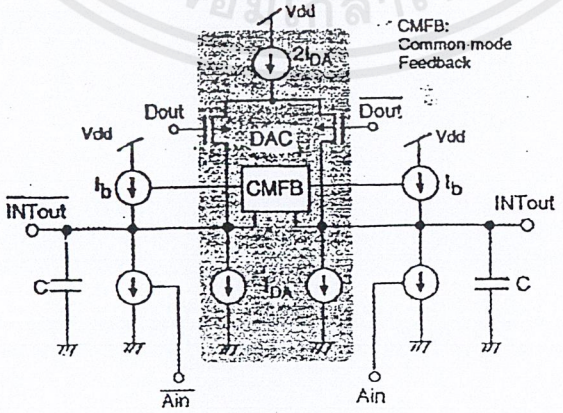
แต่สำหรับ VCO-DS-ADC ค่า input signal swing มากที่สุด คือ $(2^{bq} - 1)\Delta$ และค่าของ noise power จะเหมือนกับในกรณีของ DS-ADC ดังนั้น ค่า SNR ที่มากที่สุดที่เป็นไปได้คือ

$$SNR_{max}(dB) = 50\log M + 20\log(2^{bq} - 1) - 17.2 \quad .....(2.10)$$

เราสามารถหาค่า SNR performance ของ VCO– DS –ADC ได้โดยใช้ discrete time – functional simulator ของ digital signal processing ส่วนการ simulate analog integrator ที่มีความต่อเนื่องทางเวลา จะถูกประมาณค่าโดยการคูณด้วย simulation system clock และ หารด้วยคาบเวลาของการแซมปลิ้ง

2.3.1 การอธิบายวงจรของระบบ(Circuit Configuration)

voltage to frequency conversion gain ของ VCO ควรจะมากที่สุดเท่าที่จะเป็นไปได้ เพราะมันจะเป็นตัวกำหนด อัตราการขยายของเดลตา-ซิกมาลูป อีกทั้งเรายังต้องการ conversion gain ที่มีความเป็นเชิงเส้นที่สูง เนื่องจากมันจะไปมีผลกระทบต่อ SNR characteristics ในส่วนของวงจรอนาลอกอินทิเกรเตอร์ ที่ใช้สำหรับการทำ noise shaping สามารถใช้วงจร RC circuit หรืออาจจะใช้วงจร gm-C อินทิเกรเตอร์ ก็ได้ วิธีการใช้ RC อินทิเกรเตอร์ จะไม่มีความซับซ้อน และจะมีการสูญเสียพลังงานที่ต่ำ อย่างไรก็ตามวงจร RC อินทิเกรเตอร์ จะไม่ให้อัตราการขยายแม้ว่าจะอยู่ในช่วงของความถี่ต่ำ ส่วนวงจร gm-C อินทิเกรเตอร์ จะให้ integration characteristics ของ อัตราการขยายที่สูงที่ความถี่ต่ำแต่ว่ามันก็จะใช้พลังงานที่มากกว่าวงจร RC อินทิเกรเตอร์เพื่อที่จะป้อนกลับค่าที่ได้จากการควอนไตซ์ไปสู่ อนาลอกอินทิเกรเตอร์ เราต้องการ digital to analog converters (DAC) ที่มีความเร็วสูงซึ่งทำงานที่ ความถี่โอเวอร์แซมปลิ้ง (f_{os}) วงจร DAC นั้นต้องการวงจรที่มีความเป็นเชิงเส้นที่สูงเนื่องจากความไม่เป็นเชิงเส้นของวงจรจะทำให้เกิด harmonic distortion และไปลดค่า SNR เพื่อที่จะให้ได้วงจรที่มีความเป็นเชิงเส้นสูงจึงควรที่จะใช้ 1-บิต DAC ซึ่งจะมีเอาท์พุทเพียงแค่ 2 ค่า คือ 0,1 และมีความเป็นเชิงเส้นในตัวมันเองอยู่แล้ว แม้ว่าเราจะใช้ multibit quantizer แต่เราก็สามารถใช้ digital processing เพื่อที่จะลดจำนวนบิตให้เหลือเพียง 1 บิต เราสามารถหาค่า SNR characteristics จากสมการ (9) และ (10) โดยการแทนค่า M และ บิต quantizer (bq) ลงในสมการ วงจร feedback DAC อาจสามารถสร้างได้โดยใช้ voltage – mode analog swiches สำหรับการใช้ RC อินทิเกรเตอร์ แต่จะใช้ current switches ถ้าหากใช้ gm-C integrator รูปที่ 2.23 จะเป็นการแสดงวงจร gm-C integrator และ feedback DAC



รูปที่ 2.23 แสดงวงจรของ gm-C อินทิเกรเตอร์และวงจรแปลงสัญญาณดิจิตอลเป็นอนาลอก

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

วงจรนับอาจจะก่อให้เกิดการทำงานที่ผิดพลาดได้ เนื่องจากการเกิด meta-stable state ของ flip flop ที่ซึ่ง single pulse จะถูกนับ 2 ครั้งหรือไม่ถูกนับเลย เนื่องจากการนับที่ผิดพลาดจะไปลดค่า SNR ความสัมพันธ์ระหว่าง SNR และอัตราการนับที่ผิดพลาดจะถูกตรวจสอบด้วย functional simulation เพื่อที่จะป้องกันการนับที่ผิดพลาด การนำวิธีการนับแบบ gray code มาใช้จะได้ผลที่ดีกว่า เนื่องจากการเปลี่ยนของ node voltage จะเกิดขึ้นเพียงแค่ครั้งเดียวและการนับที่ผิดพลาดก็จะทำให้ถูกต้องได้ง่ายขึ้น

อย่างไรก็ตาม low power digital filter สำหรับการ decimation และวงจร anti-aliasing จะมีความจำเป็นที่จะต้องใช้ในการ transform pulse density modulation (PDM) signal ไปเป็น binary digital signals

การออกแบบ chip จะต้องกระทำด้วยความระมัดระวังเนื่องจากอาจจะไปมีผลทำให้ค่า SNR มีค่าลดลงโดยการเกิด jitter ของ sampling clock

2.4 การประยุกต์ใช้งานการเข้ารหัสแบบเดลตา - ซิกมา

2.4.1 ไอซี CS4216 (16- Bit Stereo Audio Codec)

มีคุณสมบัติ คือ

1. เป็นไอซี ซีมอส สเตอร์ริโอออดิโอ(CMOS STERIO AUDIO)มี 4 อินพุทออดิโอและ 2 เอาท์พุทออดิโอ โดยใช้การมอดูเลตแบบเดลตา-ซิกมา ซึ่งมีทั้ง A/D และ D/A อยู่ในไอซีนี้ สามารถโปรแกรมอัตราการขยายอินพุท และเอาท์พุท attenuation ได้
2. ใช้ความถี่ในการแซมปลิ้งได้ตั้งแต่ 4 KHz ถึง 50 KHz
3. มีอัตราการโอเวอร์แซมปลิ้งเป็น 64 เท่า
4. เอาท์พุทที่ได้จะเป็นแบบอนุกรม โดยมี อัตราการส่งข้อมูลสูงสุด 50 KHz ต่อชันแนล(channel)

2.4.1.1ฟังก์ชั่นการทำงาน

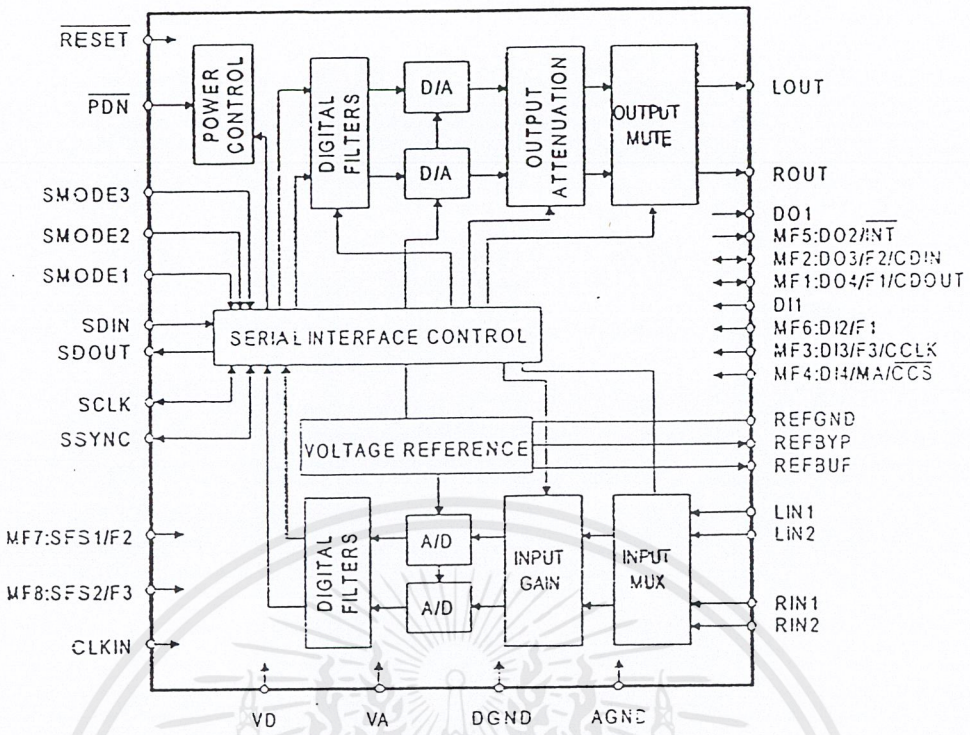
- สัญญาณอนาลอกอินพุทและเอาท์พุท

รูปที่ 2.24 แสดงรูปแบบการต่อไอซี CS4216 โดยอินพุท LIN1 หรือ LIN2 และ RIN1 หรือ RIN2 จะถูกเลือกโดยตัวมัลติเพล็กเซอร์ สัญญาณอนาลอกอินพุทที่ไม่ถูกเลือกจะอยู่ในสถานะอินพุทอิมพิแดนซ์สูง ซึ่งจะถูกต่อกับขา AGND สัญญาณอินพุทที่เข้ามาจะถูกนำไปไบอัสให้กับ REFBUF ซึ่งสัญญาณเอาท์พุทที่ได้จาก REFBUF จะถูกนำไปใช้ในการยกระดับสัญญาณอินพุทให้มีจุดศูนย์กลางอยู่รอบ 0

- Offset Calibration

ค่าออฟเซตโวลท์เตท (offset voltage) ที่อยู่ในสัญญาณอินพุทและเอาท์พุท จะถูกทำให้ลดลงโดยการคาริเบลชั่น (caribration) โดยออฟเซตคาริเบลชั่น จะเกิดขึ้นหลังจากเกิดสภาวะพาวเวอร์ ดาวน์(power down) หรือเกิดการรีเซตซึ่งระหว่างที่เกิดการคาริเบลชั่น ค่าเอาท์พุทดาต้าจาก ADCs และ DACs ทั้งหมดจะถูกเซตให้เป็น 0 หลังจากเกิดสภาวะพาวเวอร์ ดาวน์ ขา RESET จะอยู่ในสถานะ low อย่างน้อย 50 ms เพื่อทำการตั้งค่าแรงดันอ้างอิง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.24 แสดงรูปแบบการต่อไอซี CS4216

- การขยายสัญญาณอินพุท และการปรับระดับของเอาท์พุท

ค่าการขยายสัญญาณอินพุทสามารถปรับค่าได้จากโปรแกรมภายใน โดยสามารถปรับค่าได้ตั้งแต่ 0 dBถึง +22.5 dB และค่าเอาท์พุท attenuation สามารถปรับค่าได้จากโปรแกรมภายในเช่นกัน สามารถปรับค่าได้ตั้งแต่ 0 dBถึง –46.5 dB

- Muting and the ADC Valid Counter

mute ฟังก์ชันจะถูกใช้เมื่อไม่มีค่าเอาท์พุทออกจากชันแนล ซึ่งเป็นกระบวนการควบคุมผลตอบสนอง เพื่อลดระดับค่าสัญญาณก่อนกระบวนการ muting โดยเอาท์พุทจะถูก muted ก่อนการเปลี่ยนความถี่ที่ใช้ในการแซมปลิ้ง สัญญาณข้อมูลจะประกอบด้วย valid data ซึ่งจะเป็นตัวกำหนด A/D converter โดยจะเป็น false จนกระทั่งสัญญาณ นาฬิกาจำนวนหนึ่งผ่านไปหลังจากการรีเซต

- ขาสัญญาณดิจิตอลอินพุท/เอาท์พุทแบบขนาน (Parallel Digital Input/Output pins)

สัญญาณดิจิตอลอินพุทแบบขนานที่ส่งเข้าไปจะมีผลต่อการประมวณผลของสัญญาณเอาท์พุทแบบอนุกรม และสัญญาณดิจิตอลเอาท์พุทแบบขนาน ที่ออกมาจะนำไปใช้ในการควบคุมอุปกรณ์ภายนอก ซึ่งใช้สัญญาณอินพุทเป็นแบบอนุกรม

- รีเซตโหมด และพาวเวอร์ดาวน์โหมด (Reset and Power Down Modes)

สัญญาณรีเซตจะอยู่ในสถานะต่ำ อย่างน้อย 50 ms หลังจากเกิดสภาวะพาวเวอร์ดาวน์โดยจะเกิดการรีเซต เมื่อมีการเข้ารหัสหรือถอดรหัส หรือมีการเปลี่ยนแปลงความถี่ที่ใช้ในการแซมปลิ้ง ในช่วงของการรีเซต สัญญาณดิจิตอลเอาท์พุท ที่ได้จะอยู่ในสถานะต่ำ โดยการรีเซตจะทำให้ข้อมูลในรีจิสเตอร์เป็น 0 ทั้งหมด โหมด Hard power down จะเกิดขึ้นโดยการเซตค่าที่ขา PDN ให้เป็นสถานะต่ำ ซึ่งจะทำให้สัญญาณ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

อนาลอกอินพุทถูกขับเข้าไปที่ REFBUF ทำให้สัญญาณลดลงจนเป็น 0 สัญญาณดิจิตอลเอาท์พุทจะถูกเซต ให้อยู่ในสถานะต่ำ และจะเปลี่ยนเป็นสภาวะอิมพีแดนซ์สูง หลังจากออกจากสภาวะพาวเวอร์ดาวน์ขา RESET จะอยู่ในสถานะต่ำ อย่างน้อย 50 ms เพื่อทำการตั้งค่าแรงดันอ้างอิง ก่อนการคาริเบลชั่นจะเริ่มขึ้น

โหมด Soft power down จะเกิดขึ้นโดยการกำหนดให้อยู่ใน slave โหมด โดยการลดความถี่ของ SCLK ให้มีค่าต่ำกว่า CLKIN/12 ซึ่งใน Soft power down สัญญาณอนาลอกเอาท์พุทที่ได้จะ muted

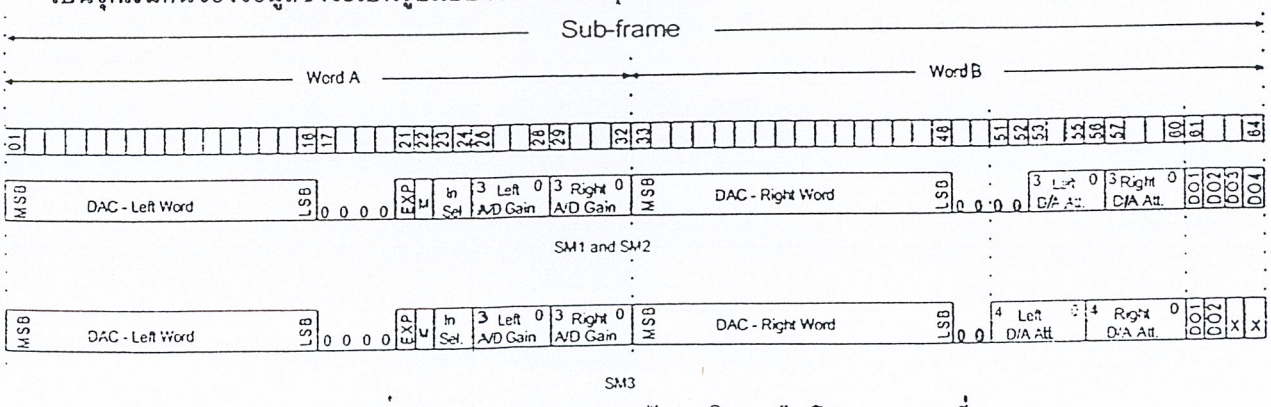
- Audio Serial Interface

ในโหมดอนุกรม(serial modes) ที่ 1, 2 และ3 จะประกอบด้วยขาสัญญาณ 4 ขา คือ SDOUT , SDIN, SCLK และ SSYNC โดย

- SDIN จะใช้ในการส่งสัญญาณอินพุทของ D/A converters และ คอนโทรลบิต
- SDOUT จะใช้ในการส่งสัญญาณเอาท์พุทของ A/D converters และสเตตัสบิต
- SCLK จะเป็นสัญญาณนาฬิกาที่ใช้ภายในไอซี
- SSYNC จะเป็นตัวกำหนดจุดเริ่มต้นของเฟรม(Frame) หรือซับ-เฟรม(Sub-Frame) โดยที่ SCLK และ SSYNC จะต้องซิงโครนัส(Synchronous) กับสัญญาณนาฬิกาหลัก ในโหมดอนุกรมที่ 4 จะคล้ายกับโหมดที่ 3 แต่จะไม่มีคอนโทรลบิต สำหรับในโหมดอนุกรมที่ 4 ในส่วนของคอนโทรลบิตจะถูกแยกออกมาต่างหากโดยการคอนโทรลพอร์ต ดังนั้นใน ส่วนของออดิโอพอร์ต จะมีเพียงแค่ข้อมูลออดิโอเท่านั้น ซึ่งจะเป็นการลดจำนวนบิตของออดิโอพอร์ต จาก 64 บิต ให้เหลือเพียง 32 บิต

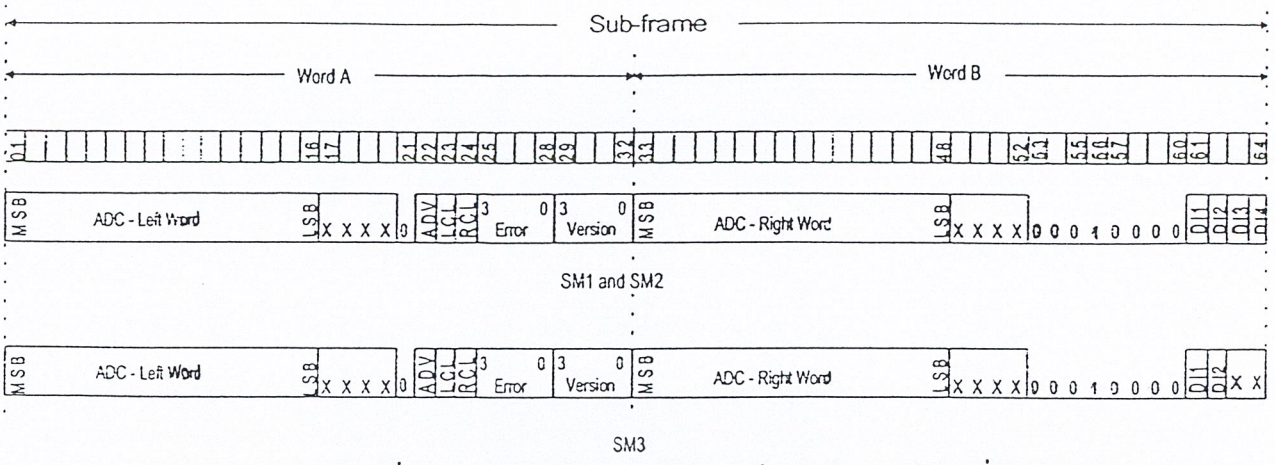
- รูปแบบของข้อมูลอนุกรม(Serial Data Format)

ในโหมดอนุกรมที่ 1, 2, 3 ในส่วนของซับ-เฟรมจะประกอบด้วยบิตทั้งหมด 64 บิต ซึ่งจะมี 2ช่วง คือ ช่วงของค่าออดิโอ 2 ช่วงๆละ 16 บิต และ control fields 2 ช่วงๆละ 16 บิต แต่สำหรับโหมดอนุกรมที่ 4 ใน 1 ซับ-เฟรมจะมีเพียง 32 บิต และจะประกอบด้วย 2 ช่วง ของค่าออดิโอ ช่วงละ16 บิต ส่วนตัวควบคุมข้อมูลจะถูกโหลดเข้าไปในพอร์ตที่อยู่แยกออกมาต่างหาก ค่าของข้อมูลที่เป็นออดิโอจะมี MSB เป็นจุดเริ่มต้นของข้อมูลซึ่งจะเป็นรูปแบบของ 2's complement



รูปที่ 2.25 แสดงรูปแบบของข้อมูลอินพุทในโหมดอนุกรมที่ 1, 2, 3

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.26 แสดงรูปแบบของข้อมูลเอาท์พุทในโหมดอนุกรมที่ 1, 2, 3

2.4.1.2 โหมดต่างๆในไอซี CS4216

ไอซี CS4216 นี้ประกอบด้วยโหมดอนุกรม [Serial Mode (SM4)] โหมดซึ่งจะถูกเลือกโดยการเซตค่าของ SMODE1, SMODE2, SMODE3 โดยทั้ง 4 โหมดนี้จะใช้ค่า CLKIN, SCLK และ SSYNC ซึ่งได้จากแหล่งกำเนิดสัญญาณนาฬิกาเดียวกัน

ตารางที่ 1 แสดงความแตกต่างระหว่างโหมดอนุกรมในโหมดต่างๆ โดย 3 ช่องแรกจะเป็นตัวกำหนดการเลือกโหมด ช่อง "SCLK Bit Center" จะเป็นตัวกำหนดค่า SCLK ว่ามีค่าขึ้นหรือลง ที่จุดกึ่งกลางบิต ช่อง "Sub-Frame Width" จะเป็นตัวกำหนดจำนวนบิตที่อยู่ในซับ-เฟรม จากตารางที่ 2 จะพบว่าโหมด SM 4 จะแตกต่างจากโหมดอื่นๆ โดยการแยกคอนโทรลดาต้าออกจากออดิโอดาต้า

ในโหมด SM1 และ SM2 จะใช้ 256 บิต/เฟรม ซึ่งจะใช้ซับ-เฟรม ทั้งหมด 4 ซับ-เฟรม แต่ในโหมด SM3 และ SM4 จำนวนบิต/เฟรมจะถูกกำหนดโดยการโปรแกรม สัญญาณ SCLK และSSYNC ในโหมด SM1 และ SM2 จะได้มาจากการป้อนจากภายนอกไอซี ส่วนในโหมด SM3 และ SM4 สามารถที่จะสร้างสัญญาณนี้จากภายในตัวไอซีได้ โดยในทุกโหมดสัญญาณ SCLK และ SSYNC จะต้องซิงโครนัสกับสัญญาณนาฬิกาหลัก ในช่องสุดท้าย "Master Frequency" จะถูกนำไปใช้ในการเข้ารหัส-ถอดรหัสสัญญาณ

SMODE PINS			Serial	SCLK Bit	Sub-frame	Bits per	SCLK &	Master
3	2	1	Mode	Center	Width	Frame (BPF)	SSYNC	Frequency
0	0	0	SM1	Rising	64 bits	256	Slave	CLKIN = 512×Fs
0	0	1	SM2	Rising	64 bits	256	Slave	SCLK = 256×Fs
0	1	0	SM3	Falling	64 bits	64/128/256	Master/Slave	CLKIN/SCLK = 256×Fs
0	1	1	Factory Test mode					
1	x	x	SM4	Falling	32 bits	32/64/128†	Master/Slave	CLKIN = 256×Fs

†Contains audio data only. Control information is entered through a separate serial port.

ตารางที่ 2 แสดงความแตกต่างระหว่างโหมดอนุกรมในโหมดต่างๆ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

- โหมดอนุกรมโหมดที่ 1 (SM1)

SM1 จะเป็น slave โหมดทำการเลือกโหมด SM1 โดยการเซตค่า SMODE1 = SMODE2 = SMODE3 = 0 สัญญาณ SCLK และ SSYNC จะต้องซิงโครนัสกับสัญญาณนาฬิกาหลัก ในโหมดนี้สัญญาณ SSYNC จะอยู่ในสถานะต่ำ ในช่วง 1 คาบของ SCLK หลังจากนั้นจะเปลี่ยนสถานะเป็นสูง ในช่วง 2 คาบต่อมาของ SCLK ซึ่งจะเป็นตัวบอกการเริ่มต้นของเฟรม โดยบิตแรกของเฟรมจะเริ่มต้นที่ขอบขาขึ้นของสัญญาณ SSYNC

รูปที่ 2.25 และ 2.26 แสดงรูปแบบข้อมูลในโหมด SM1 ในโหมดนี้ ค่าอัตราส่วนของสัญญาณนาฬิกา 2 สัญญาณ คือ สัญญาณ CLKINและSCLK จะถูกนำไปใช้ในการเลือกความถี่ที่ใช้ในการแซมปลิ้ง ค่า CLKIN จะมีค่าเป็น $5212 \times Fs_{max}$ ซึ่ง Fs_{max} คืออัตราการแซมปลิ้งสูงสุด และ SCLK จะต้องเป็นสัญญาณภายนอกที่ได้จาก CLKIN/N ในการเข้ารหัส-ถอดรหัสสัญญาณจะใช้ค่าอัตราส่วนระหว่าง CLKIN และ SCLK เป็นตัวกำหนดค่าความถี่ที่ใช้ในการแซมปลิ้ง ตารางที่ 3 แสดงตัวอย่างการใช้ความถี่ในการแซมปลิ้งของ SM1

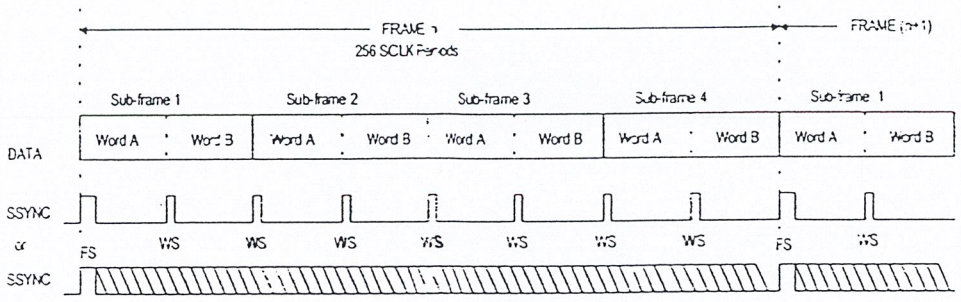
Sample Rate kHz	SCLK MHz	CLKIN MHz	N
48	12.288	24.576	2
32	8.192	24.576	3
24	6.144	24.576	4
19.2	4.9152	24.576	5
16	4.096	24.576	6
12	3.072	24.576	8
9.6	2.4576	24.576	10
8	2.048	24.576	12
7.2	1.843	22.116	12
44.1	11.2896	22.5792	2

ตารางที่ 3 แสดงตัวอย่างการใช้ความถี่ในการแซมปลิ้งของ SM1

- โหมดอนุกรมโหมดที่ 2 (SM2)

การเลือกโหมด SM2 โดยการเซตค่า ค่า SMODE3 = SMODE2 = 0 และ SMODE1 = 1 โดยโหมดนี้จะคล้ายกับโหมด SM1 แต่จะต่างกันที่ SCLK จะถูกกำหนดไว้ที่ $256 \times Fs$ และจะถูกใช้เป็นสัญญาณนาฬิกาหลักแทน CLKIN ในโหมดนี้การเข้ารหัส-ถอดรหัส 1 เฟรม จะประกอบด้วย 4 ซับ-เฟรม โดยแต่ละซับ-เฟรมจะประกอบด้วย 64 บิต และใน 1 เฟรมจะประกอบด้วยบิต 256 บิต โดยมีรูปแบบคล้ายกับโหมด SM1 ดังแสดงในรูปที่ 2.27

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



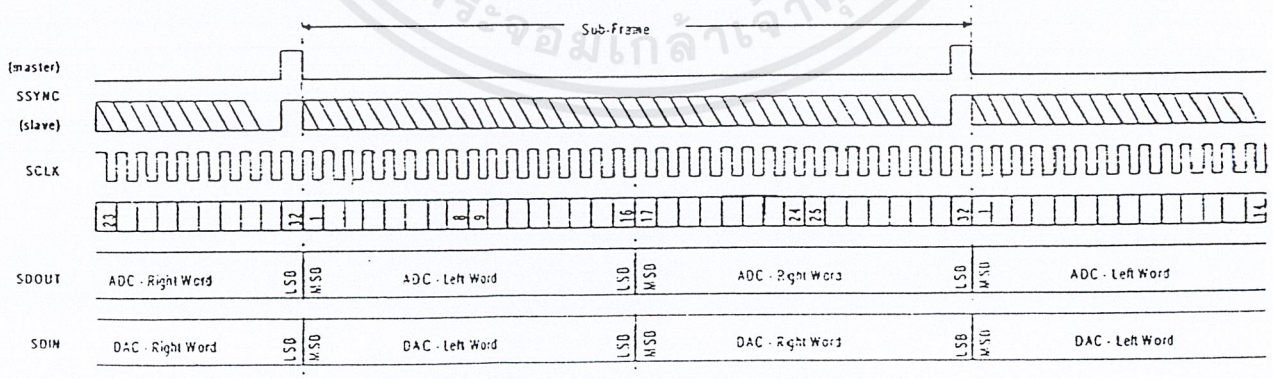
รูปที่ 2.27 แสดงบิต/เฟรมของ โหมด SM1 และ SM2

- โหมดอนุกรมโหมดที่ 3 (SM3)

การเลือกโหมด SM3 โดยการเซ9ค่า SMODE3 = 0, SMODE2 = 1 และ SMODE1 = 0 โดยโหมดนี้จะถูกออกแบบมาให้ง่ายต่อกระบวนการ DSP และยังเพิ่มฟังก์ชันพิเศษในการทำงาน ค่าสัญญาณนาฬิกาหลัก CLKIN จะมีค่าเป็น 256× Fs_{max} ตัวอย่างเช่น ถ้าให้ความถี่สูงสุดที่ใช้ในการแซมปลิ้ง เท่ากับ 48 KHz จะได้ว่าสัญญาณนาฬิกาหลักเท่ากับ 12.288 MHz โดยสัญญาณ SCLK และ SSYNC จะต้องซิงโครนัสกับสัญญาณ CLKIN

- โหมดอนุกรมโหมดที่ 4 (SM4)

โดยในโหมดนี้จะกำหนดขา ของมัลติฟังก์ชั่น (multifunction) MF5 : $\overline{\text{INT}}$ ให้เป็น ขาอินเตอร์รัปต์แบบ open – collector โดยขา MF5 นี้จะทำการต่อกับความต้านทานแบบ pull up และจะถูกเซตไปอยู่ในสถานะต่ำ เมื่อเกิดการเปลี่ยนแปลงของสเตตัสบิต การอินเตอร์รัปต์อาจจะถูกแทนได้โดยการเซตที่บิต MSK ในพอร์ตคอนโทรลข้อมูลอนุกรม ทำให้ขา MF5 ถูกรีเซตโดยการอ่านค่าในพอร์ตควบคุม



รูปที่ 2.28 แสดงสัญญาณออดิโอของ พอร์ตอนุกรมของโหมด SM4

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

- Master sub – mode (SM4)

การใช้โหมดนี้ สัญญาณ SSYNC และ SCLK จะได้มาจากตัว CS4216 เอง ในช่วงที่เกิดพาวเวอร์ ดาวน์ สัญญาณ SSYNC และ SCLK จะถูกทำให้มีค่าอิมพีแดนซ์สูง และเมื่อถึงช่วงการรีเซต ทั้ง 2 สัญญาณจะมีสถานะเป็นต่ำ สำหรับโหมดนี้สามารถแบ่งลักษณะการใช้งานได้เป็น 2 แบบ คือ การใช้บิต/เฟรม 32 บิต หรือการใช้บิต/เฟรม 64 บิท แสดงดังตารางที่ 4 โดยจะทำการเลือกการใช้งานที่ขา SMODE1 และ SMODE2 โดยเมื่อทำการเซต SMODE1 และ SMODE2 = 0 จะเป็นการเลือกใช้งานแบบ 1 เฟรม = 1 ซับ-เฟรม = 32บิตโดยในโหมดนี้จะสามารถใช้ตัวเข้า – ถอดรหัสได้เพียงตัวเดียวในการส่งสัญญาณออดิโอ ซึ่ง 16 บิตแรกจะเป็นสัญญาณจากชันแนลทางด้านซ้าย และอีก 16 บิตจะเป็นสัญญาณจากชันแนลทางด้านขวา และเมื่อทำการเซตค่า SMODE1 และ SMODE2 = 1 จะเป็นการเลือกใช้งานแบบ 1 เฟรม = 64 บิต ซึ่งสามารถใช้ตัวเข้า – ถอดรหัสได้ 2 ตัวในการส่งสัญญาณออดิโอ SMODE2 จะเป็นขาที่ใช้เลือกไทม์สลอท (Timeslot) โดยเฉพาะถ้า SMODE2 = 0 ตัวเข้า – ถอดรหัสจะเลือกใช้งานไทม์สลอทที่ 1 ซึ่งจะเป็น 32 บิตแรก แต่ถ้า SMODE2 = 1 ตัวเข้า – ถอดรหัสจะเลือกใช้งานไทม์สลอทที่ 2 ซึ่งจะเป็น 32 บิตต่อมา

SMODE1	SMODE2	SM4, Sub-Mode
0	0	Master, 32 BPF
0	1	Slave, 128/64/32 BPF
1	0	Master, 64 BPF, TS1
1	1	Master, 64 BPF, TS2

ตารางที่ 4 แสดงการเลือกการใช้งานโหมด SM4

โหมดนี้จะกำหนดขามัลติฟังก์ชั่น MF6 : F1 , MF7 : F2 และ MF8 : F3 จะใช้ในการเลือกความถี่ที่ใช้ในการแซมปลิ้ง ดังแสดงในตารางที่ 5 ตารางนี้จะแสดงค่าความถี่ที่ใช้ในการแซมปลิ้ง โดยการเซตค่าต่างๆในตาราง โดยในตารางจะใช้ค่าความถี่ของ CLKIN ในการกำหนดค่าต่างๆ 2 ค่า คือ 12.285 MHz และ 11.2896 MHz เราอาจใช้ CLKIN ค่าความถี่อื่นได้ โดยความสัมพันธ์ของค่า ความถี่ที่ใช้ในการแซมปลิ้งจะเท่ากับ CLKIN/N ตัวเข้า - ถอดรหัสจะถูกรีเซตเมื่อมีการเปลี่ยนความถี่ที่ใช้ในการแซมปลิ้ง

MF6: F1	MF7: F2	MF8: F3	N	Fs (kHz) with CLKIN	
				12.288 MHz	11.2896 MHz
0	0	0	256	48.00	44.10
0	0	1	384	32.00	29.40
0	1	0	512	24.00	22.05
0	1	1	640	19.20	17.64
1	0	0	768	16.00	14.70
1	0	1	1024	12.00	11.025
1	1	0	1280	9.60	8.82
1	1	1	1536	8.00	7.35

ตารางที่ 5 แสดงการเซตค่าความถี่ ที่ใช้ในการแซมปลิ้ง ของ master โหมด

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

- Slave Sub – Mode (SM4)

ในการใช้งานโหมดนี้ จะทำการเลือกการใช้งานโดยการเซตที่ขา SMODE1 = 0 และ SMODE2 = 1 โดยโหมดนี้จะต้องผลิตสัญญาณ SSYNC และ SCLK เป็นอินพุทเข้าไปใน CS4216 โดยทั้ง 2 สัญญาณ จะต้องได้มาจากสัญญาณ CLKIN

เนื่องจาก CS4216 จะไม่สามารถควบคุมความสัมพันธ์ทางเฟส (Phase relationship) ของสัญญาณ SSYNC และ SCLK กับสัญญาณ CLKIN ได้ ทำให้ในการใช้งานโหมดนี้จะเกิดสัญญาณรบกวนได้มากกว่าใน Master โหมด สำหรับการเซตค่าความถี่ที่ใช้ในการแซมปลิ้ง จะทำการเซตค่าความถี่ที่ใช้ในการแซมปลิ้งตามอัตราส่วนของ SCLK ต่อ CLKIN ดังนั้นถ้าทำการเซตค่าความถี่ CLKIN ค่าความถี่ที่ใช้ในการแซมปลิ้งจะถูกเลือกโดยการเปลี่ยนความถี่ของ SCLK

การใช้งาน SM4 นี้จะสามารถใช้งานตัวเข้ารหัส – ถอดรหัสได้ 4 ตัวบนพอร์ตอนุกรมของสัญญาณออดิโอเดียวกัน ตารางที่ 6 จะแสดงรายละเอียดของการเซตขามัลติฟังก์ชั่น ว่าเราต้องการจะใช้งานเป็นแบบ 32, 64 หรือ 128 บิต/เฟรม

MF6: F1	MF7: SFS1	MF8: SFS2	Bits Per Frame (BPF)	Time Slot (TS)
0	0	0	32	1
0	0	1	Reserved	
0	1	0	64	1
0	1	1	64	2
1	0	0	128	1
1	1	0	128	2
1	0	1	128	3
1	1	1	128	4

ตารางที่ 6 แสดงการเลือกบิต/เฟรม และไทม์สลอท

เนื่องจากแต่ละตัวของ การเข้ารหัส - ถอดรหัส จะต้องการ 1 ชับ - เฟรม ซึ่งจะมี 32 บิต เพราะฉะนั้นหากเราต้องการ 64 บิต/เฟรม ก็จะต้องใช้ตัวเข้ารหัส – ถอดรหัส 2 ตัวมาใช้ มาใช้พอร์ตอนุกรมของสัญญาณออดิโอเดียวกัน ในทำนองเดียวกันหากเราจะใช้งาน 128 บิต/เฟรม ก็ต้องใช้ ตัวเข้ารหัส – ถอดรหัส ถึง 4ตัว มาใช้บน พอร์ตอนุกรมของสัญญาณออดิโอเดียวกัน

เมื่อมีการใช้ พอร์ตอนุกรมของสัญญาณออดิโอ มากกว่า 1 ตัว บนบัส (Bus) จะต้องมีขาที่ใช้ในการเลือกว่าต้องการที่จะใช้ไทม์- สลอท โดยเฉพาะ ซึ่งขาที่ทำหน้าที่ นี้ก็คือ MF8 : SFS 2 ขา ซึ่งจะเป็นขาที่ใช้เลือกไทม์- สลอท เมื่ออยู่ใน 64 บิต/เฟรม โหมดแต่ถ้าหากเป็น การใช้งาน 128 บิต/เฟรม โหมด MF8 : SFS2 และ MF7 : SFS1 จะใช้เลือกไทม์สลอท ดังแสดงในตารางที่ 7

ในการใช้งานSM4- slave mode ความถี่ของสัญญาณ SCLK ที่เข้ามา จะสัมพันธ์กับ CLKIN โดย CS4216 จะเป็นตัวกำหนดอัตราส่วน SCLK to CLKIN จะเป็นอัตราส่วนของความถี่ซึ่งจะใช้ เป็นตัว

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

กำหนดความถี่ที่ใช้ในการแซมปลิ้ง ของตัวเข้ารหัส - ถอดรหัส โดยสัญญาณ SCLK จะต้องเท่ากับ CLKIN หารด้วย ตัวเลขในตาราง ซึ่งจะขึ้นกับว่า เราจะใช้ บิต/เฟรม เป็นเท่าไร ตัวอย่างเช่น ให้เป็นการใช้งาน 32 บิต/เฟรม และ CLKIN = 11.2896 MHz ถ้าเราต้องการ ใช้ความถี่ในการแซมปลิ้งเป็น 11.025KHz สัญญาณ SCLK ต้องเท่ากับ CLKIN หารด้วย 32 หรือ 352.8 KHz

SCLK to CLKIN Ratio			Fs (kHz) with CLKIN 12.288 MHz	Fs (kHz) with CLKIN 11.2896 MHz
BPF 128	BPF 64	BPF 32		
2	4	8	48.00	44.10
3	6	12	32.00	29.40
4	8	16	24.00	22.05
5	10	20	19.20	17.64
6	12	24	16.00	14.70
8	16	32	12.00	11.025
10	20	40	9.60	8.82
12	24	48	8.00	7.35

ตารางที่ 7 แสดงการเลือกความถี่ที่ใช้ในการแซมปลิ้งของ slave โหมด

- การควบคุมพอร์ตอนุกรม (SM4)

โหมดอนุกรมโหมดที่ 4 จะแยกส่วนของข้อมูลออดิโอ ออกมา ต่างหากจากข้อมูลที่ใช้ควบคุม ต่างๆ เช่น อัตราการขยาย , อัตราการลดทอน ซึ่งค่าพวกนี้ จะไม่มีการเปลี่ยนแปลงบ่อยนักจะทำให้โหมดนี้ จะสามารถลดแบนด์วิดธ์ที่ต้องการลงได้

ข้อมูลที่เกี่ยวกับการควบคุมจะถูกนำเข้าไปในพอร์ทที่แยกออกมาต่างหากซึ่ง พอร์ตสามารถที่จะอซิงโครนัส (asynchronous) กับพอร์ตของข้อมูลออดิโอได้ และจะถูก update เมื่อต้องการเปลี่ยนข้อมูลที่ใช้ในการควบคุมหลังจากการรีเซต หรือพอร์ตควบคุมพาวเวอร์ ดาวน์ จะต้องถูกเขียนเพื่อที่จะกำหนดค่าเริ่มแรกให้มัน ค่า พอร์ตจะเข้าไปเขียนหรืออ่าน ค่าบิตที่ใช้ในการควบคุม การ initial write เราเรียกว่า dummy write เนื่องจาก ข้อมูลจะถูกยกเลิกไปโดย ตัวเข้ารหัส - ถอดรหัส การเขียนครั้งที่ 2 จะทำเพื่อกำหนดรูปแบบของตัวเข้ารหัส - ถอดรหัสที่ต้องการ หลังจากนั้นพอร์ตที่ใช้ในการควบคุมจะต้องมีการเขียนก็เมื่อ ต้องการที่จะเปลี่ยนแปลง

เมื่อพอร์ตที่ใช้ใน การควบคุมที่ใช้อซิงโครนัส กับพอร์ตของข้อมูลออดิโอ ค่าสัญญาณรบกวน อาจจะถูกทำให้แย่ลงเนื่องจาก สัญญาณรบกวนจากอซิงโครนัสดิจิตอล

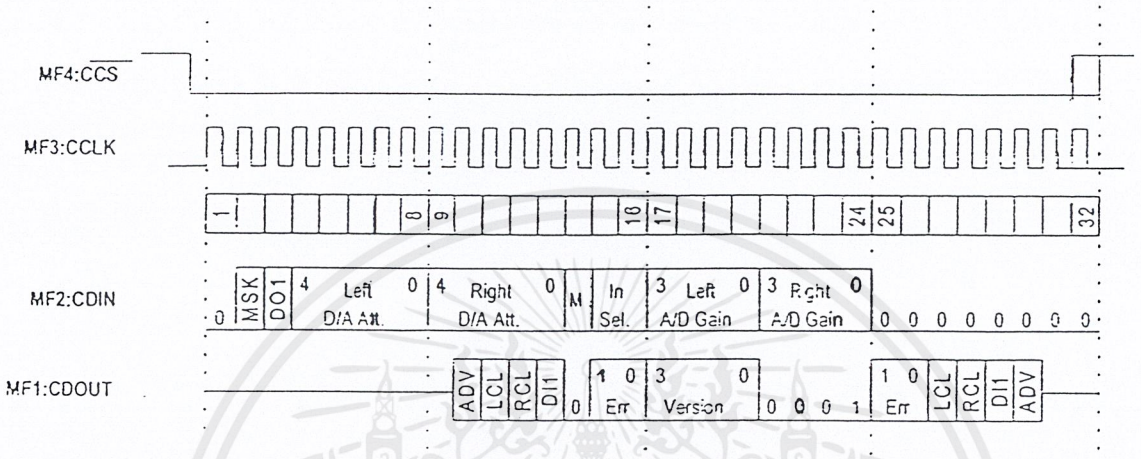
ด้วยเหตุที่ ข้อมูลที่ใช้ในการควบคุมไม่ได้เข้าไปอยู่ในออดิโอเฟรม จึงต้องมีการเพิ่มขาอินเตอร์รัปต์ ขึ้นมาซึ่งก็คือขา MF5 : $\overline{\text{INT}}$ โดยจะมีสถานะต่ำ เมื่อข้อมูลที่ใช้บอก สถานะเปลี่ยนแปลง (status change)

จากรูปที่ 2.29 เป็นการแสดงรูปแบบ ของพอร์ตอนุกรม ที่ใช้ในการควบคุมข้อมูลโดยพอร์ตควบคุม จะใช้ขา มัลติฟังก์ชั่น ขาหนึ่งเป็น chip select line , MF4 : $\overline{\text{CCS}}$ ซึ่งจะต้องอยู่ในสถานะต่ำ เพื่อที่จะนำ ข้อมูลที่ใช้ในการควบคุมเข้าไป แม้ว่าจะมีเพียง 23 บิตเท่านั้น ที่ใช้ประโยชน์ได้ สำหรับ MF2 : CDIN แต่

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ก็จะต้องเขียนทั้งหมดอย่างน้อย 31 บิต โดยปราศจาก toggling ของ MF4 : $\overline{CCS}$ แล้วจะมีเพียง 31 บิต แรกเท่านั้นที่ใช้งานได้

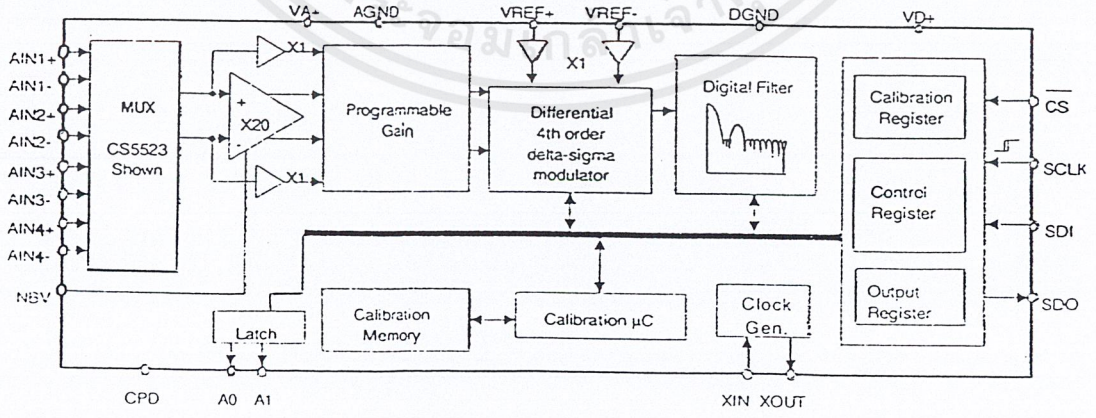
MF1 : CDOUT จะประกอบไปด้วย ข้อมูลแสดงสถานะ (status information) ซึ่งจะเป็นเอาท์พุทที่อยู่บนขอบขาขึ้น ของ MF3 : CCLK โดยข้อมูลแสดงสถานะ จะซ้ำกลับที่จุดสิ้นสุดของเฟรม (บิตที่ 25 ถึง บิตที่ 30) เพื่อที่จะยอมให้ simple 8 bit shift และ latch register สามารถเก็บค่า ข้อมูลแสดงสถานะ ที่สำคัญไว้ โดยใช้ขอบขาขึ้นของ MF4 : $\overline{CCS}$ ที่ latch control



รูปที่ 2.29 แสดงการคอนโทรลพอร์ตอนุกรม

2.4.2ไอซี CS5521/23 (2 or 4 –Channel 16-Bit Buffered ΔΣ Multi – Range ADC)

คุณสมบัติของไอซี CS5521/23 เป็นไอซี ΔΣ A/D converters ให้เอาท์พุท 16 บิต โดยมีอินพุท 2 หรือ 4 ชันแนล ภายในประกอบด้วยวงจรมัลติเพล็กเซอร์(multiplexer) , วงจรขยายสัญญาณ , วงจร PGA (Programmable gain amplifier) , วงจรเดลตา-ซิกมา 4th order , ดิจิตอลฟิลเตอร์ และวงจรคาลิเบรชั่น (Calibration) ดังแสดงในรูปที่ 2.30



รูปที่ 2.30 แสดงวงจรภายในไอซี CS5521/23

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ไอซีนี้ถูกออกแบบมาให้ทำงานกับแหล่งจ่ายไฟ +5V โดยสามารถป้อนอินพุทที่แตกต่างกันได้หลายแบบ และให้ค่าเอาท์พุทได้ทั้งแบบไบโพลาร์(Bipolar) และยูนิโพลาร์(Unipolar)

2.4.2.1 ฟังก์ชั่นการทำงาน

- การเข้าสู่ระบบ (System Initialization)

เมื่อทำการป้อนพลังงานให้กับไอซี ตัวไอซีจะอยู่ในช่วงของการรีเซต (Reset) จนกระทั่งออสซิลเตอร์(Oscillator) และเคาน์เตอร์- ไทม์เมอร์(counter – timer) เริ่มทำงาน โดยออสซิลเตอร์จะใช้เวลาประมาณ 400 – 600 ms ในการเริ่มทำงานส่วน เคาน์เตอร์ – ไทม์เมอร์จะทำการนับสัญญาณนาฬิกา ที่ออกจากออสซิลเลเตอร์จำนวน 2006 รอบ เพื่อทำการเช็คการทำงานของออสซิลเลเตอร์ โดยระหว่างที่ทำการนับสัญญาณนี้ลอจิก(logic) ที่อยู่ในพอร์ตอนุกรมจะถูกรีเซต และค่า RV(Reset Valid) บิต ที่อยู่ในคอนฟิกเจอเรชั่นรีจิสเตอร์(configuration register) จะถูกเซตค่าให้บอกถึงสถานะว่าอยู่ในสภาวะรีเซต หลังจากการรีเซตค่าต่างๆภายในรีจิสเตอร์(register) จะถูกเซตค่า และเข้าสู่คอมมานด์โหมด(command mode)คำสั่ง เพื่อรอรับคำสั่งที่จะป้อนให้ต่อไป

- พอร์ตอนุกรม (Serial Port)

ในไอซีนี้ส่วนที่เป็นพอร์ตอนุกรม จะใช้ไมโครคอนโทรลเลอร์(microcontroller) ซึ่งจะประกอบไปด้วยคอมมานด์ รีจิสเตอร์ (command register) , คอนฟิกเจอเรชั่น รีจิสเตอร์และ อัตราการขยายและออฟเซต รีจิสเตอร์(gain and offset register) สำหรับในแต่ละอินพุทชันแนล โดยในพอร์ตอนุกรม สามารถที่จะโปรแกรมเรียงลำดับการทำงานของแต่ละชันแนลได้โดยมีชันแนลในการแปลงสัญญาณถึง 8 ชันแนล โดยจะทำการเซตค่าที่ ชันแนล-เซตอัพ รีจิสเตอร์[channel – setup registers (CSRs)] ซึ่งจะประกอบด้วยการเลือกโหมด และชันแนลที่ใช้ในการแปลงสัญญาณ ซึ่งการเสร็จสิ้นการแปลงสัญญาณ data FIFO จะถูกเก็บเป็นข้อมูล 16 บิต

ในพอร์ตอนุกรม จะมีโหมดการทำงานอยู่ 2 โหมด คือ โหมดของคำสั่งและ โหมดของข้อมูล หลังจากระบบเริ่มต้นการทำงานหรือ ทำการรีเซตค่า พอร์ตอนุกรมจะเข้าสู่ โหมดของข้อมูลเพื่อรอคำสั่งที่จะป้อนเข้ามา แสดงดังตารางที่ 8 เมื่อพอร์ตอนุกรมได้รับคำสั่ง ในคำสั่งจะประกอบด้วยคำสั่งอ่านข้อมูล หรือเขียนข้อมูลในรีจิสเตอร์ คำสั่งทำการคอนเวอร์ชั่น (conversion) หรือ คาลิเบรชั่น หรือ เป็น NULL command ถ้าคำสั่งที่เข้ามาเป็นคำสั่งอื่นนอกเหนือจากนี้ พอร์ตอนุกรมจะเข้าสู่โหมดของข้อมูล ซึ่งในโหมดของข้อมูล นี้ค่ารีจิสเตอร์ภายในคือ CSRs หรือ CDF จะถูกอ่านทำการอ่าน หรือเขียนข้อมูล หลังจากทำการส่งข้อมูลแล้ว พอร์ตอนุกรมจะยังคงอยู่ที่โหมดของข้อมูล หรือกลับไปที่โหมดของคำสั่ง จะขึ้นอยู่กับค่า LP(loop), MC (multiple conversion) และ RC(Read convert) ในคอนฟิกเจอเรชั่น รีจิสเตอร์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Command Register

D7(MSB)	D6	D5	D4	D3	D2	D1	D0
CB	NU	CSB1	CSB0	R/$\overline{W}$	RSB2	RSB1	RSB0

BIT	NAME	VALUE	FUNCTION
D7	Command Bit, CB	0 1	Must be logic 0 for these commands. See Table 2.
D6	Not Used, NU	0	Must always be logic zero.
D5-D4	Channel Select Bits, CSB1-CSB0	00 . . 11	CSB1-CSB0 provide the address of one of the four physical channels. These bits are used to access the calibration registers associated with respective channels. Note: These bits are ignored when reading the data register.
D3	Read/$\overline{\text{Write}}$, R/$\overline{W}$	0 1	Write to selected register. Read from selected register.
D2-D0	Register Select Bit, RSB2-RSB0	000 001 010 011 100 101 110 111	Reserved Offset Register Gain Register Configuration Register Conversion Data FIFO (read only) Channel Set-up Registers - register is 48-bits long for CS5521 - register is 96-bits long for CS5523 Reserved Reserved

Table 1. Command-Set with MSB=0

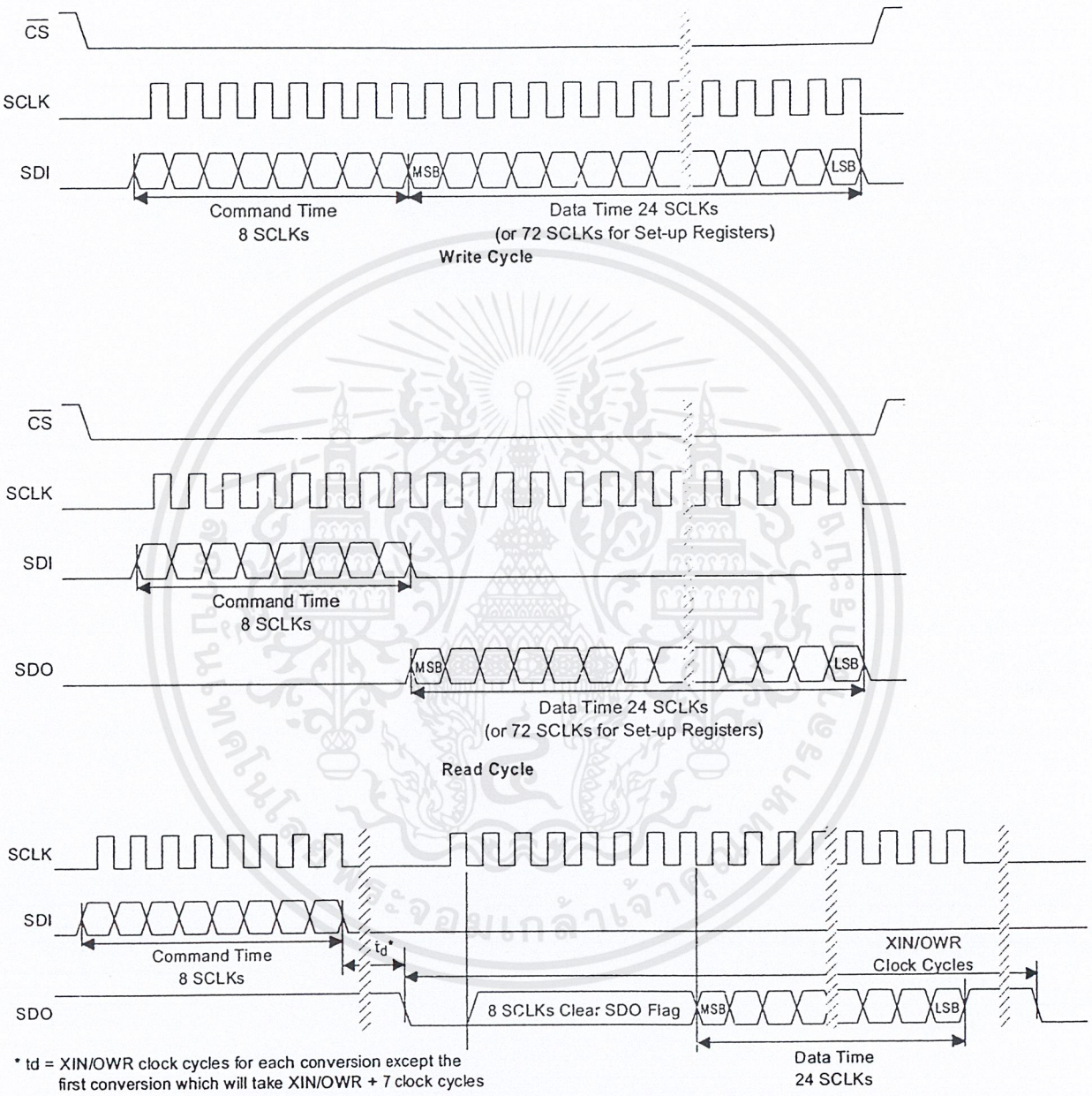
D7(MSB)	D6	D5	D4	D3	D2	D1	D0
CB	NU	CPB2	CPB1	CPB0	CC2	CC1	CC0

BIT	NAME	VALUE	FUNCTION
D7	Command Bit, CB	0 1	See Table 1. Must be logic 1 for these commands.
D6	Not Used, NU	0	Must always be logic zero.
D5-D3	Channel Pointer Bits, CPB2-CPB0	000 . . 111	These bits are used as pointers to the logical channels. Note: The MC bit, must be logic 0 for these bits to take effect. When MC = 1, these bits are ignored. The LP, MC, and RC bits in the configuration register are ignored during calibration.
D2-D0	Conversion/Calibration Bits, CC2-CC0	000 001 010 011 100 101 110 111	Normal Conversion Self-Offset Calibration Self-Gain Calibration Reserved Reserved System-Offset Calibration System-Gain Calibration Reserved

Table 2. Command-Set with MSB=1

ตารางที่ 8 แสดงค่าบิตต่างๆในคอมมานด์ไบต์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.31 แสดงช่วงเวลาในการอ่าน และการเขียนข้อมูลจากรีจิสเตอร์ในพอร์ตอนุกรม

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Channel-Setup Registers

CSR (Channel-Setup Register)

#1	LC (Log. Channel) 1 Bits <47:36>	LC 2 Bits <35:24>
#2	LC 3 Bits <23:12>	LC 4 Bits <11:0>

CS5521

CSR

#1	LC 1 Bits <95:84>	LC 2 Bits <83:72>
#4	LC 7 Bits <23:12>	LC 8 Bits <11:0>

CS5523

D23(MSB)	D22	D21	D20	D19	D18	D17	D16	D15	D14	D13	D12
A1	A0	NU	CS1	CS0	WR2	WR1	WR0	G2	G1	G0	U/$\overline{B}$

D11	D10	D9	D8	D7	D6	D5	D4	D3	D2	D1	D0
A1	A0	NU	CS1	CS0	WR2	WR1	WR0	G2	G1	G0	U/$\overline{B}$

BIT	NAME	VALUE		FUNCTION
D23/D11- D22/D10	Latch Outputs, A1-A0	00	*R	Latch Output Pins A1-A0 mimic D23/D11-D22/D10 register bits.
D21/D9	Not Used, NU	0	R	Must always be logic zero.
D20/D8-. D19/D7	Channel Select, CS1- CS0	00 01 10 11	R	Select physical channel 1. Select physical channel 2. Select physical channel 3. Select physical channel 4.
D18/D6- D16/D4	Word Rate, WR2-WR0	000 001 010 011 100 101 110 111	R	15.0 Hz (2180 XIN cycles). 30.0 Hz (1092 XIN cycles). 61.6 Hz (532 XIN cycles). 84.5 Hz (388 XIN cycles). 101.1 Hz (324 XIN cycles). 1.88 Hz (17444 XIN cycles). 3.76 Hz (8724 XIN cycles). 7.51 Hz (4364 XIN cycles).
D15/D3- D13/D1	Gain Bits, G2-G0	000 001 010 011 100 101 110 111	R	100 mV (assumes VREF Differential = 2.5 V) 55 mV 25 mV 1.0 V 5.0 V 2.5 V Not used. Not used.
D12/D0	Unipolar/Bipolar, U/$\overline{B}$	0 1	R	Bipolar measurement mode. Unipolar measurement mode.

* R indicates the bit value after the part is reset

ตารางที่ 9 แสดงค่าบิตต่างๆ CSRs

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Configuration Register

D23(MSB)	D22	D21	D20	D19	D18	D17	D16	D15	D14	D13	D12
A3	A2	A1	A0	NU	CFS	NU	LPM	WR2	WR1	WR0	U/$\overline{B}$

D11	D10	D9	D8	D7	D6	D5	D4	D3	D2	D1	D0
G2	G1	G0	PD	RS	RV	PF	PSS	DF	CC2	CC1	CC0

BIT	NAME	VALUE		FUNCTION
D23-D20	Latch Outputs, A3-A0	0000	R*	Latch Output Pins A3-A0 mimic the D23-D20 Register bits.
D19	Not Used, NU	0	R	Must always be logic 0.
D18	Chop Frequency Select, CFS	0 1	R	256 Hz Amplifier chop frequency 32768 Hz Amplifier chop frequency
D17	Not Used, NU	0	R	Must always be logic 0.
D16	Low Power Mode, LPM	0 1	R	Normal Mode Reduced Power mode
D15-D13	Word Rate, WR2-0 Note: For XIN = 32.768kHz	000 001 010 011 100 101 110 111	R	15.0 Hz (2182 XIN cycles) 30.1 Hz (1090 XIN cycles) 60.0 Hz (546 XIN cycles) 123.2 Hz (266 XIN cycles) 168.9 Hz (194 XIN cycles) 202.3 Hz (162 XIN cycles) 3.76 Hz (8722 XIN cycles) 7.51 Hz (4362 XIN cycles)
D12	Unipolar/$\overline{\text{Bipolar}}$, U/$\overline{B}$	0 1	R	Bipolar Measurement mode Unipolar Measurement mode
D11-D9	Gain Bits, G2-G0	000 001 010 011 100 101 110/111	R	100 mV (assumes VREF = 2.5V) 55 mV 25 mV 1 V 5.0 V 2.5 V Not Used.
D8	Pump Disable, PD	0 1	R	Charge Pump Enabled For PD = 1, the CPD pin goes to a Hi-Z output state.
D7	Reset System, RS	0 1	R	Normal Operation Activate a Reset cycle. To return to Normal Operation write bit to zero.
D6	Reset Valid , RV	0 1	 R	No reset has occurred or bit has been cleared (read only). Valid Reset has occurred. (Cleared when read.)
D5	Port Flag, PF	0 1	R	Port Flag mode inactive Port Flag mode active
D4	Power Save Select, PSS	0 1	R	Standby Mode (Oscillator active, allows quick power-up) Sleep Mode (Oscillator inactive)
D3	Done Flag, DF	0 1	R	Done Flag bit is cleared (read only). Calibration or Conversion cycle completed (read only).
D2-D0	Calibration Control Bits, CC2-CC0	000 001 010 011 100 101 110 111	R	Normal Operation (no calibration) Offset -- Self-Calibration Gain -- Self-Calibration Offset Self-Calibration followed by Gain Self-Calibration Not used. Offset -- System Calibration Gain -- System Calibration Not Used.

* R indicates the bit value after the part is reset

ตารางที่ 10 แสดงค่าบิตต่างๆในคอนฟิกเจเรชั่น รีจิสเตอร์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

- การเชื่อมต่อกันของพอร์ตอนุกรม (Serial Port Interface)

ไอซี CS5521/23 จะประกอบด้วยขาคอนโทรล(control) 4 ขา คือ $\overline{CS}$, SCLK , SDI , SDO

- $\overline{CS}$, Chip Select เป็นขาคอนโทรลที่ใช้ในการเข้าสู่พอร์ตอนุกรม โดยถ้าขา $\overline{CS}$ อยู่ในสถานะต่ำ จะสามารถทำการส่งข้อมูลผ่านพอร์ตอนุกรมได้
- SCLK , Serial Clock เป็นขาของสัญญาณนาฬิกาที่ใช้ในการควบคุมการส่งข้อมูลเข้า – ออกจาก ADC ในพอร์ตอนุกรม โดยขา $\overline{CS}$ จะต้องอยู่ในสถานะต่ำ ก่อนที่ SCLKจะถูกส่งออกไป
- SDI , Serial Data In เป็นขาที่ใช้ในการส่งข้อมูลที่ใช้ในการแปลงสัญญาณ
- SDO , Serial Data Out เป็นขาที่ใช้ในการส่งข้อมูลเอาท์พุทที่ได้จากการแปลงสัญญาณ โดยค่า SDO จะอยู่ ในสภาวะความต้านทานสูง ในช่วงที่ $\overline{CS}$ มีค่าเป็น 1

- Channel- Setup Registers (CSRs)

ตารางที่ 9 แสดงค่าต่างๆ ใน CSRs โดยใน CS5521 จะมี 2 CSRs และใน CS5523 จะมี 4 CSRs ในแต่ละ CSR จะประกอบด้วย 2 ลอจิกคอล ชันแนล (logical channel) โดยผู้ใช้สามารถโปรแกรมการใช้งานในแต่ละชันแนลได้ ในการโปรแกรม CSRs จะใช้ 12 บิต ในแต่ละ ลอจิกคอล ชันแนล ตัวอย่างเช่น ต้องการกำหนดค่าใน CSR#2 ใน CS5521 บิทที่ 12 ถึง 23 จะเป็นข้อมูลใน ลอจิกคอล ชันแนล ที่ 3 ส่วนบิตที่ 0 ถึง 11 จะเป็นข้อมูลใน ลอจิกคอล ชันแนล ที่ 4

- Convertion Protocal

ในการแปลงสัญญาณแบบ single และ multiple conversion เราจะทำการเซตค่าที่คอมมานด์ไบต์ โดยทำการเซตบิต MSB = 1 และ CC2 – CC0 = "000" โดยจะเป็นการแปลงสัญญาณ และให้ผลของข้อมูลออก ซึ่งขึ้นอยู่กับการกำหนดค่า MC, LP, และ RC บิตที่อยู่ใน คอนฟิกเจอเรชั่น รีจิสเตอร์ ซึ่งค่าต่างๆแสดงในตารางที่ 10

- การใช้ค่าพอยท์เตอร์ในคอมมานด์ไบต์ (Use of Pointers in Command Byte)

ในช่วงที่เข้าสู่การคาลิเบรชั่น (CB = 1 และค่าของ CC2-CC0 = 0) หรือเข้าสู่การคอนเวอร์ชั่น (CB=1, MC = 0 , CC0-CC2 = 0)บิตในคอมมานด์ไบต์จะถูกใช้เป็นตัวบอกตำแหน่งของลอจิกคอล ชันแนล ใน CSRs

CPB2-CPB0	CSR Address	Logical Channel
000	CSR #1	1st
001	CSR #1	2nd
010	CSR #2	3rd
011	CSR #2	4th
100	CSR #3	5th
101	CSR #3	6th
110	CSR#4	7th
111	CSR #4	8th

ตารางที่ 11 แสดงการเซตบิต และตำแหน่งของลอจิกคอล ชันแนล

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

- Calibration Protocal

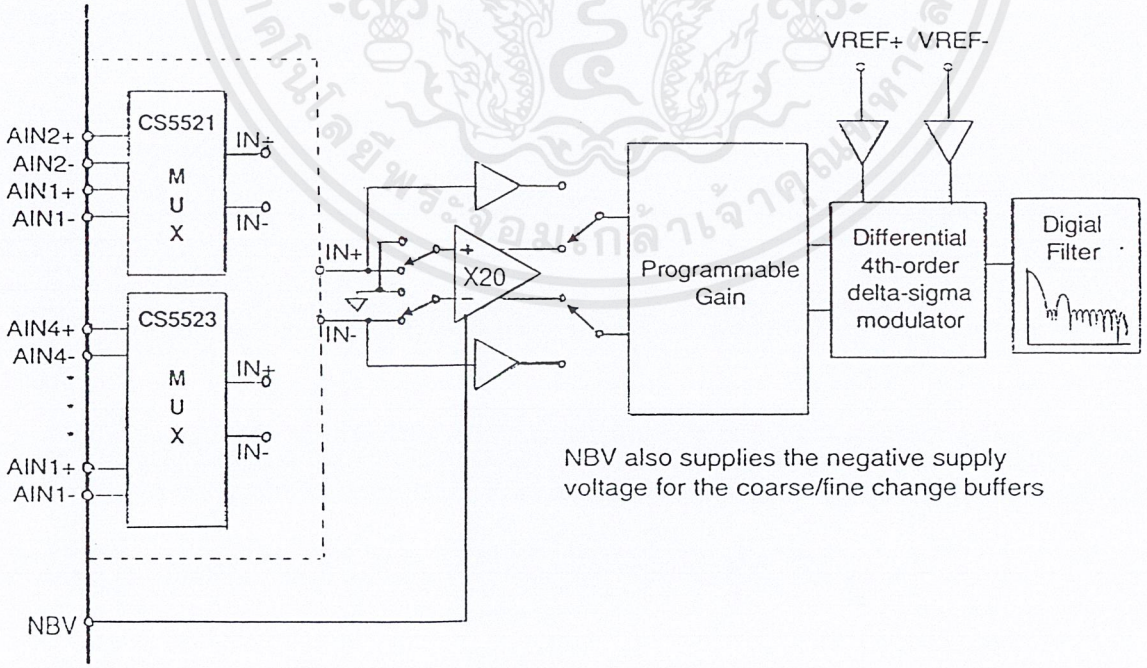
ในการเข้าการคาลิเบรชั่นจะต้องทำการเซตค่าที่คอมมานด์ไบต์โดยให้ MSB = 1 เซตค่าพอยท์เตอร์บิต(CPB2 - CPB0) เพื่อทำการแสดงตำแหน่งของลอจิกคอล ชันแนล ที่จะทำการคาลิเบรท (calibrate) และทำการเซตบิต CC2 – CC0 เพื่อทำการเลือกประเภทของการคาลิเบรชั่น ในการเซตค่านี้เพื่อเข้าสู่การคาลิเบรชั่น ต้องทำการเซตค่าที่ CSRs ก่อนเพราะว่าค่าต่างๆใน CSRs จะเป็นตำแหน่งองพอยท์เตอร์บิตในคอมมานด์ไบต์ ค่าหนึ่งค่าใน CSRs ที่เป็นตัวกำหนดการคาลิเบรชั่น สามารถแสดงได้ด้วยค่า 1 คอมมานด์ไบต์ เมื่อทำการคาลิเบรชั่นเสร็จสิ้น ค่าของ SDO จะตกลง และผลของมันจะถูกเก็บในค่าอัตราการขยาย หรือค่าออฟเซตในรีจิสเตอร์

- การคาลิเบรชั่น

ฟังก์ชั่นในการคาลิเบรชั่นจะมีฟังก์ชั่นในการทำงานอยู่ 5 ฟังก์ชั่น รวมทั้ง self calibration และ system cabrition โดยหลังจากทำการรีเซ็ทค่าแล้วจะเข้าสู่ฟังก์ชั่นของการคอนเวอร์เตอร์ ซึ่งสามารถทำงานได้โดยไม่มีการคาลิเบรท ซึ่งในกรณีนี้ฟังก์ชั่นในคอนเวอร์เตอร์จะทำการเซ็ทค่าเริ่มต้นให้กับตัวรีจิสเตอร์เอง (โดยจะทำการเซตค่าให้มีอัตราการขยาย = 1 และให้ค่าออฟเซต = 0.0)

- สัญญาณอนาลอกอินพุท

รูปที่ 2.32 แสดงส่วนประกอบมัลติเพล็กเซอร์ ซึ่งประกอบด้วยวงจรมัลติเพล็กเซอร์ วงจรแอมปลิไฟเออร์ และ Programmable gain โดยวงจรแอมปลิไฟเออร์จะใช้พลังงานที่ได้จากขา +VA และขา NBV (Negative Bias Voltage) ในการไบอัส โดยค่า NBV สามารถทำการไบอัสโวลท์เตทได้ระหว่าง –1.8 V และ –2.5 V หรือทำการต่อลงกราวด์ ในการเลือกการทำงานในโหมดต่างๆค่า NBV จะขึ้นกับสัญญาณอินพุทที่ทำการป้อนเข้ามา



รูปที่ 2.32 แสดงส่วนประกอบของมัลติเพล็กเซอร์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สำหรับสัญญาณอินพุทที่มีขนาดอยู่ในช่วง 25 mv , 55 mv และ 100 mv จะ ถูกขยายสัญญาณโดยวงจรแอมปลิไฟเออร์ ซึ่งขา NBV จะถูกไบอัสด้วยค่า –1.8 ถึง –2.5 ซึ่งถ้าขา NBV ถูกไบอัสด้วยค่านี้ สัญญาณอินพุท AIN+ และ AIN- จะต้องมีค่าอยู่ระหว่าง –0.15 V และ 0.95 V โดย NBV จะต่อลงกราวด์เมื่อสัญญาณอินพุท AIN+ และ AIN- มีค่าอยู่ระหว่าง 1.85 V และ 2.56 V

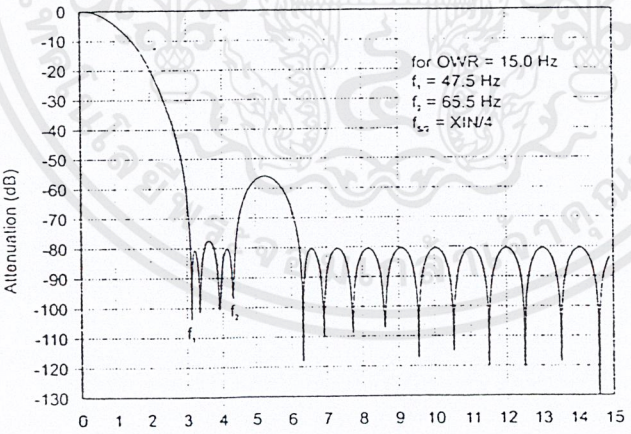
สำหรับสัญญาณอินพุทที่มีขนาดอยู่ในช่วง 1V , 2.5 V และ 5V จะผ่านวงจรแอมปลิไฟเออร์แล้วเข้าสู่ Program Gain

- แรงดันอ้างอิง (Voltage Reference)

ไอซีนี้จะทำงานโดยใช้ค่า 2.5 V เป็นแรงดันอ้างอิง ระหว่างขา VREF+ และ VREF- สำหรับค่าแรงดันที่เป็น single-end ค่าแรงดันอ้างอิงจะถูกต่อเป็นอินพุทเข้าที่ขา VREF+ และที่ขา VREF- จะต่อลงกราวด์ ค่าแรงดันที่แตกต่างกันระหว่าง VREF+ และ VREF- จะมีค่าตั้งแต่ 1 V ถึง VA+ โดยค่า VREF+ จะมีค่าได้ไม่เกิน VA+ และ VREF- จะมีค่าได้ไม่ต่ำกว่า NBV

- ดิจิตอลฟิลเตอร์

ในไอซี CS5521/23 จะประกอบด้วยดิจิตอลฟิลเตอร์แบบ 8 เฟส ซึ่งจะเป็นตัวเซตอัตราการส่งผ่านข้อมูลเอาท์พุท โดยค่าอัตราการส่งผ่านข้อมูลเอาท์พุทนี้ จะมีความสัมพันธ์กับค่า XIN ฟิลเตอร์แต่ละตัวจะมีขนาดของผลตอบสนองคล้ายกันโดยแสดงในรูปที่2.33ฟิลเตอร์จะให้ค่าที่แน่นอนในทุกๆการคอนเวอร์ชั่นและให้ค่าการลดทอนที่ต่ำกว่า 80 dB



รูปที่ 2.33 แสดงผลตอบสนองของวงจรฟิลเตอร์

- รหัสของสัญญาณเอาท์พุท (Output Coding)

สัญญาณเอาท์พุทที่ได้จะอยู่ในรูปของสัญญาณไบนารี(Binary) โดยจะทำงานในโหมดของไบนารี และจะทำงานในโหมดของไบโพลาร์ เมื่อเป็น 2 's complement สัญญาณเอาท์พุทที่ได้จากการคอนเวอร์ชั่นจะมีจำนวนบิท 24 บิต หรือมีความยาว 3 ไบต์ แสดงดังตารางที่ 8 โดย 2 ไบต์แรกจะเป็นข้อมูล

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เอาท์พุท ไบต์สุดท้ายจะประกอบด้วยลอจิก 1 จำนวน 3 บิต ลอจิก 0 อีก 1 บิต และตามด้วยบิต Channel Indicator (CI1 และ CI0) , Oscillation Detect(OD) และ Overrange Flag(OF)

- บิต OF จะมีค่าเป็นลอจิก 1 เมื่อสัญญาณอินพุทเป็น

1. มีค่าเป็นบวกมากเกินกว่าค่าสเกลที่กำหนดไว้
2. มีค่าต่ำกว่า 0 ในกรณีที่เป็นยูนิโพลาร์โหมด
3. มีค่าเป็นลบมากเกินกว่าค่าสเกลที่กำหนดไว้ในกรณีที่เป็นไบโพลาร์โหมด

บิต OF จะมีค่าเป็นลอจิก 0 เมื่อการคอนเวอร์ชั่น ไม่อยู่ในเงื่อนไขทั้ง 3 ข้อนี้

- บิต OD จะถูกเซตเป็นลอจิก 1 เมื่อมีการตรวจพบเงื่อนไขการออสซิลเลทของมอดูเลเตอร์ โดยกรณีนี้จะไม่เกิดขึ้นเมื่ออยู่ในการทำงานแบบปกติ แต่จะเกิดขึ้นเมื่อสัญญาณอินพุทมีขนาดเกินกว่าขอบเขตที่กำหนดไว้ โดยบิต OF จะมีค่าเป็นลอจิก 0 เมื่อตัวมอดูเลเตอร์กลับมาทำงานแบบปกติ
- บิต CI1 และ CI0 จะเป็นตัวแสดงค่าของ Sampled Physical Channel (00 = PC1 , 01 = PC2 , 10 = PC3 และ 11 = PC4)

- ตัวกำเนิดสัญญาณนาฬิกา (Clock Generator)

ในไอซีนี้จะมีเกต (gate) อยู่ภายในไอซี โดยสามารถต่อกับคริสตอล(Crystal)จากภายนอก เพื่อใช้แบ่งสัญญาณนาฬิกาให้กับภายในไอซี โดยไอซีนี้ถูกออกแบบมาให้ใช้ความถี่ได้ตั้งแต่ 32.768 KHz ถึง 100 KHz

- อัตราการส่งผ่านข้อมูลเอาท์พุท (Output Word Rate)

สามารถทำการเซตค่าอัตรา word rate ได้โดยการเซตที่บิท WR2 – WR0 ใน CSRs ดังแสดงในตารางที่ 12 โดยค่าอัตรา word rate จะมีความสัมพันธ์กับค่าของสัญญาณนาฬิกา XIN

Output Conversion Data (16 bits + flags)

D23	D22	D21	D20	D19	D18	D17	D16	D15	D14	D13	D12	D11	D10	D9	D8	D7	D6	D5	D4	D3	D2	D1	D0
MSB	14	13	12	11	10	9	8	7	6	5	4	3	2	1	LSB	1	1	1	0	CI1	CI0	OD	OF

Unipolar Input Voltage	Offset Binary	Bipolar Input Voltage	Two's Complement
>(VFS-1.5 LSB)	FFFF	>(VFS-1.5 LSB)	7FFF
VFS-1.5 LSB	FFFF ----- FFFE	VFS-1.5 LSB	7FFF ----- 7FFE
VFS/2-0.5 LSB	8000 ----- 7FFF	-0.5 LSB	0000 ----- FFFF
+0.5 LSB	0001 ----- 0000	-VFS+0.5 LSB	8001 ----- 8000
<(+0.5 LSB)	0000	<(-VFS+0.5 LSB)	8000

ตารางที่ 12 แสดงค่าบิทต่างๆของเอาท์พุท

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.5 ไมโครคอนโทรลเลอร์ MCS-51

2.5.1 คุณสมบัติทั่วไปของไมโครคอนโทรลเลอร์ MCS- 51

คุณสมบัติทั่วไปที่สำคัญของไมโครคอนโทรเลอร์ตระกูล MCS -51 ,ดังนี้

- เป็นไมโครคอนโทรลเลอร์ ขนาด 8 บิต
- มีวงจรออสซิลเลเตอร์และวงจรผลิตสัญญาณนาฬิกาภายในไอซี
- มีขาสัญญาณอินพุตจำนวน 32 บิต
- สามารถเชื่อมต่อหน่วยความจำข้อมูลภายนอก (external data memory) โดยอ้างตำแหน่งแอดเดรสได้ถึง 64 K
- มีหน่วยความจำโปรแกรมภายในตัว (on-chip pro-gram memory) ขนาด 4K โดยเฉพาะเบอร์ 8052 จะมีหน่วยความจำในส่วนนี้ถึง 8K สำหรับเบอร์ 831 และM 8032 จะไม่มีหน่วยความจำในส่วนนี้
- มีหน่วยความมูลภายในตัว (on-chip data memory)ขนาด 128 ไบต์ โดยเฉพาะเบอร์ 8032 และ 8052 จะมีหน่วยความจำในส่วนนี้ถึง 256 ไบต์
- หน่วยความจำข้อมูลภายในบางส่วนสามารถเข้าถึงข้อมูลระดับบิตได้ด้วย ทำให้การควบคุมหรือการตรวจสอบสถานะบิตทำได้ง่าย ส่งผลการเขียนโปรแกรมทำได้ง่ายมากขึ้น
- มีไทเมอร์ / เคาน์เตอร์ (time-counter)ขนาด 16 บิตจำนวน 2ตัว โดยเฉพาะเบอร์ 8032 หรือ 8052 จะมีไทเมอร์ / เคาร์เตอร์จำนวน 3 ตัว
- การอินเตอร์รัปต์สามารถทำได้จาก5แหล่งกำเนิดโดยเฉพาะเบอร์ 8032 และ 8052 จะทำการอินเตอร์รัปต์ได้ จาก 6 แหล่งกำเนิดโดยการอินเตอร์รัปต์ยังสามารถจัดระดับความสำคัญได้เป็น 2 ระดับ
- มีพอร์ตสื่อสารอนุกรมภายในตัวเอง ซึ่งทำงานเป็นแบบฟลูดูเพล็กซ์ (full duplex)
- มีคำสั่งในการคำนวณทางคณิตศาสตร์และทางตรรกศาสตร์
- คำสั่งโดยส่วนใหญ่ใช้เวลาทำการเพียง 1 ไมโครวินาที เมื่อใช้ คริสตอลความถี่ 12 เมกะเฮริตซ์
- ต้องการแหล่งจ่ายไฟ 5 โวลต์เพียงชุดเดียว

2.5.2 โครงสร้างภายนอก ของ MCS-51

ไมโครคอนโทรเลอร์ตระกูล MCS- 51 ทุกเบอร์จะมีตำแหน่งขาพื้นฐานที่เหมือนกัน คือ

- ขา V_{CC} เป็นขาป้อนแรงดันไฟเลี้ยง + 5 โวลต์
- ขา V_{SS} เป็นขากราวด์
- ขาพอร์ต O (Port O) มี 8 ขาได้แก่ $P_{0.0}$ - $P_{0.7}$ เป็นขาพอร์ตอินพุตเอาต์พุตแบบ 2 ทิศทาง สำหรับใช้งานทั่วไป โดยถ้าใช้งานเป็นอินพุตพอร์ตเหล่า ค่า 1 ไปยังพอร์ตแต่ละบิตของพอร์ตเพื่อกำหนดให้ขาพอร์ตเหล่านั้นอยู่ในสถานะปล่อยลอย ซึ่งในสถานะนี้เองที่สามารถนำมาใช้เป็นพอร์ตอินพุตอิมพีแดนซ์สูงได้ นอกจากพอร์ตนี้ใช้งานเป็นพอร์ตอินพุตเอาต์พุตแล้วมันยังถูกใช้งานในการติดต่อกับหน่วยความจำภายนอกด้วย โดยทำหน้านที่ในการกำหนดตำแหน่งแอดเดรสไบต์ต่ำ (A_0-A_7) ซึ่งจะใช้งานเป็นแบบมัลติเพล็กซ์กับการรับส่งข้อมูลขนาด 8 บิต (D_0- D_7)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

- ขาพอร์ต 1 (Port 1) มี 8 ขา ได้แก่ $P_{1.0}$-$P_{2.7}$ เป็นขาพอร์ตอินพุตเอาต์พุตพอร์ตแบบ 2 ทิศทาง สำหรับใช้งานทั่วไป โดยถ้าใช้งานเป็นอินพุตพอร์ตต้องทำการเขียน ค่า 1 ค่า ไปยังแตเละบิตของพอร์ต เพื่อกำหนดให้เป็นพอร์ตอินพุต นอกจากนี้สำหรับเบอร์ 8032 และ 8052 ขาพอร์ต $P_{1.0}$ และ $P_{1.1}$ จะถูกนำมาใช้เป็นขาT2 และ T2EX ตามลำดับด้วย

- ขาพอร์ต 2 (Port2) มี 8 ขาได้แก่ ขา $P_{2.0}$-$P_{2.7}$ เป็นขาพอร์ตอินพุตเอาต์พุตแบบ 2ทิศทาง สำหรับใช้งานทั่วไป โดยถ้าใช้ถ้าใช้งานเป็นอินพุตพอร์ตต้องทำการเขียนค่า 1 ไปยังแต่ละบิตของพอร์ต เพื่อกำหนดให้เป็นพอร์ตอินพุต นอกจากพอร์ตนี้จะใช้งานเป็นพอร์ตอินพุตเอาต์พุตแล้วมันยังถูกใช้งานในการติดต่อกับหน่วยความจำภายนอกด้วย โดยทำหน้าที่ในการกำหนดตำแหน่งแอดเดรสไบต์สูง (A8 -A_{15})

- ขาพอร์ต 3 (Port 3)มี8 ขา ได้แก่ P 3.0- P 3.7 เป็นขาพอร์ตอินพุตเอาต์พุตแบบ 2 ทิศทาง สำหรับใช้งานทั่วไป โดยถ้ามใช้งานเป็นอินพุตพอร์ต ต้องทำการเขียนค่า 1 ไปยังแต่ละบิตของพอร์ต เพื่อกำหนดให้เป็นพอร์ตอินพุต นอกจากพอร์ตนี้จะใช้เป็นพอร์ตอินพุตเอาต์พุตแล้วมันยังถูกใช้งานในหน้าที่พิเศษ

- ขารีเซต(RST)ใช้สำหรับการรีเซตการทำงานของไมโครคอนโทรลเลอร์ โดยการรีเซตต้องคงสถานะเป็น1 อย่างน้อย 2 แมชีนไซเกิล ในขณะที่ออสซิลเตอร์ยังทำงานอยู่

- ขา ALE/ $\overline{\text{PROG}}$ เป็นขาสัญญาณเพื่อทำหน้าที่ควบคุมการแลตช์(latch) ค่าตำแหน่งแอดเดรสไบส์ต่ำ(ad-dress Latch Enable) เมื่อต้องการติดต่อกับหน่วยความจำภายนอก นอกจากนี้ขานี้ยังทำหน้าที่แนอินพุตรับพัลส์ในการโปรแกรม (Program pulse input)ในส่วนของหน่วยความจำ EPROM สำหรับไมโครคอนโทรลเลอร์ ในตระกูล MCS-51 ที่มีหน่วยความจำโปรแกรมภายในเป็น EPROM

- ขา $\overline{\text{PSEN}}$(Program Store Enable) ทำหน้าที่เป็นสัญญาณสโตรบเพื่ออ่านคำสั่งจากหน่วยความจำโปรแกรมภายนอก เมื่อไมโครคอนโทรลเลอร์ประมวลผลคำสั่งจากหน่วยความจำภายนอก ขานี้จะส่งสัญญาณสโตรบจำนวน 2 ครั้งในแต่ละแมชชีนไซเกิล แต่ในขณะที่ติดต่อกับหน่วยความจำภายนอกจะไม่มีการส่งสัญญาณสโตรบแต่อย่างใด

- ขา $\overline{\text{EA}}$ / VPP (Extermal Access enable / VPP) เป็นขาสำหรับการเลือกใช้หน่วยความจำโปรแกรมจากภายในหรือจากภายนอก โดยถ้ามีสถานะเป็น 0 จะหมายถึงให้ไมโครคอนเทรลเลอร์รับคำสั่งจากหน่วยความจำภายนอกที่ตำแหน่งแอดเดาส 0-0FFFH (0-1 FFFH ถ้าเป็นเบอร์ 8052) อย่างไรก็ถ้าบิตป้องกัน (security bit) ในหน่วยความจำEPROM ถูกโปรแกรมไว้ ไมโครคอนโทรลเลอร์จะไม่รับคำสั่งจากหน่วยความจำภายนอกเลย นอกจากนี้ขานี้ยังทำหน้าที่รับแรงดันไฟสำหรับการโปรแกรม (V PP) ขนาด 21 โวลต์ เพื่อใช้ในระหว่างโปรแกรม EPROM

- ขาXTAL 1และขา XTAL2เป็นขาอินพุตและเอาต์พุตของวงจรอินเวอร์ติ้งออสซิลเลเตอร์แอมปลิไฟเออร์ (inverting oscllator amplifier) สำหรับใช้ต่อร่วมกับคริสตอล ภายนอก

2.5.3 โครงสร้างภายในของ MCS-51

โครงสร้างภายในของไมโครคอนโทรลเลอร์ตระกูล MCS-51 แสดงดังในรูปที่ 2.2 โดยส่วนที่มีเครื่องหมายดอกจัน(*) จะมีเฉพาะในเบอร์ 8032 และ 8052 เท่านั้น

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

- การจัดหน่วยความจำ

ในไมโครคอนโทรลเลอร์ตระกูล MCS-51 แบ่งชนิดหรือหน้าที่ของหน่วยความจำออกเป็น 2 ส่วนคือหน่วยความจำโปรแกรม (program memory) และหน่วยความจำข้อมูล (data memory)

หน่วยความจำโปรแกรมจะใช้สำหรับเก็บโปรแกรมควบคุมการทำงานของไมโครคอนโทรลเลอร์ ซึ่งบางเบอร์จะมีหน่วยความจำในส่วนนี้อยู่ภายในตัว โดยอาจจะมีขนาดไม่เท่ากันหรือเป็นหน่วยความจำในส่วนนี้เลย โปรแกรมการทำงานจะถูกเก็บไว้ยังหน่วยความทรงจำโปรแกรมภายนอกทั้งหมด

สำหรับหน่วยความจำข้อมูลจะใช้เก็บข้อมูลหรือค่าตัวแปรต่างๆ จากการทำงานของโปรแกรมซึ่งใน MCS-51 ทุกเบอร์จะมีหน่วยความจำในส่วนนี้อยู่จำนวนหนึ่ง แต่อาจมีขนาดมากน้ายต่างกันไปในแต่ละเบอร์สำหรับการจัดโครงสร้างของหน่วยความจำ ทั้งในส่วนของหน่วยความจำโปรแกรมและหน่วยความจำข้อมูล

- หน่วยความจำโปรแกรม

หน่วยความจำโปรแกรมสามารถแบ่งออกได้เป็น2ส่วนคือ หน่วยความจำโปรแกรมและหน่วยความจำโปรแกรม หน่วยความจำโปรแกรมภายในจะถูกใช้งานถ้าขาสัญญาณถ้าขาสัญญาณEA มีค่าเป็น 1 โดยจะถูกใช้งานถ้าขาสัญญาณ EA มีค่าเป็น 1 โดยจะถูกใช้งานในช่วงแอดเดรส 0-0FFFH (หรือช่วงแอดเดรส0-1FFFH ในเบอร์ 8052) นอกเหนือจากช่วงแอดเดรสนี้จะใช่หน่วยความจำโปรแกรมภายนอกทั้งหมด ในกรณีตรงกันข้ามถ้าขาสัญญาณ EA มีค่าเป็น 0 ในช่วง แอดเดรส 0-0FFFH(หรือช่วงสัญญาณ 0-1 FFFH ในเบอร์ 8052) จะถูกใช้จากหน่วยความจำภายนอก หรือกล่าวได้ว่าถ้าขาสัญญาณ EA มีค่าเป็น 0 จะเป็นการเลือกใช้หน่วยความจำโปรแกรมภายนอกทั้งหมดตลอดช่วงแอดเดรส

- หน่วยความจำข้อมูล

หน่วยความจำข้อมูลสามารถแบ่งออกได้เป็น 2 ส่วน คือหน่วยความจำข้อมูลภายในและหน่วยความจำข้อมูลภายนอก สำหรับหน่วยความจำข้อมูลภายในข้อมูลยังแบ่งออกได้เป็น 2ส่วนย่อยคือส่วนที่ใช้เก็บข้อมูลทั่วไปและหน่วยที่ใช้เป็นรีจิสเตอร์หน้าที่พิเศษหรือ SFR (Special Function Register) โดยส่วนที่ใช้เก็บข้อมูลทั่วไปจะถูกใช้สำหรับเก็บข้อมูลหรือคาตัวแปรต่างๆ จากการทำงานของโปรแกรม ส่วนรีจิสเตอร์หน้าที่พิเศษจะถูกใช้งานเป็นรีจิสเตอร์ควบคุมการทำงานและบอกสถานะของไมโครคอนโทรลเลอร์

ไมโครคอนโทรลเลอร์ตระกูล MCS-51 ทุกเบอร์จะมีหน่วยความจำข้อมูลภายในขนาด 158 ไบต์เป็นอย่างน้อย และบางเบอร์อาจมีถึงขนาด 256 ไบต์

- รีจีสเตอร์

รีจิสเตอร์หน้าที่พิเศษ(SFR) มีบทบาทอย่างมากในการควบคุมการทำงานของไมโครคอนโทรลเลอร์และทำให้การเขียนโปรแกรมสามารถทำได้สะดวกมากขึ้น รีจิสเตอร์หน้าที่พิเศษที่สำคัญคือการควบคุมการทำงานในส่วนต่างๆ ภายในไมโครคอนโทรลเลอร์และทำหน้าที่แสดงสถานะการทำงาน ซึ่งในรีจิสเตอร์หน้าที่พิเศษบางตัวยังสามารถเข้าถึงในระดับบิต (bit addressable)ด้วย

รีจิสเตอร์ใช้งานทั่วไปมีไว้สำหรับให้ผู้เขียนโปรแกรมสามารถนำข้อมูลไปพักไว้ชั่วคราวหรือใช้งานทั่วไปได้ตามต้องการซึ่งรีจิสเตอร์ใช้งานทั่วไปนี้มีอยู่ด้วยกัน 8 ตัวคือรีจิสเตอร์R_0- R7โดยรีจิสเตอร์ทั้ง 8ตัวถูกจัดให้อยู่รวมกันและมีให้เลือกใช้ถึง 4 แบงค์ (bank)นั่นคือมีรีจิสเตอร์ใช้งานทั่วไปถึง 32ตัวให้ใช้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

งาน เพียงแต่การเลือกใช้รีจิสเตอร์ R_0- R7 ในแบงค์ใดแบงค์หนึ่งจะถูกกำหนดจากบิต RSO , RS1 ในรีจิสเตอร์หน้าที่พิเศษ PSW ดังนั้นการเลือกใช้จึงเลือกได้เพียงแบงค์เดียวในขณะใดขณะหนึ่ง อย่างไรก็ตามค่าข้อมูลที่เก็บไว้ในรีจิสเตอร์ที่มีชื่อเดียวแต่อยู่คนละแบงค์จะไม่มีผลซึ่งกันและกันเลย ทำให้ผู้เขียนโปรแกรมใช้งานรีจิสเตอร์ทั้วไปได้ทั้ง 32 ตัว อย่างเต็มที่และไม่ยุ่งยากในการเขียนโปรแกรม

การ ใช้ งาน รีจิสเตอร์ โดยปกติ ไมโครคอนโทรเลอร์ตระกูล MCS - 51 จะทำการประมวลผลข้อมูล ครั้งละ 1 ไบต์ ซึ่งกระทำกีบรีจิสเตอร์ภายในที่รีจิสเตอร์แต่ละตัวเก็บข้อมูลได้ขนาด 1 ไบต์เช่นกัน เช่นรีจิสเตอร์ A ซึ่งเป็นอแกคิวมูเลเตอร์ (ac-cumulator) ทำหน้าที่เป็นรีจิสเตอร์กลางสำหรับการคำนวณทางคณิตศาสตร์หรือทางลอจิกของตัวกระทำ 2 ตัว ตัวอย่างเช่น ถ้าต้องการบวกค่า 10 กับข้อมูลตัวหนึ่งให้ทำการโหลดข้อมูลไปเก็บไว้ในรีจิสเตอร์ A ก่อน จากนั้นให้ใช้คำสั่งนำค่า 10 ไปบวกกับA ผลที่ได้จากการบวกข้อมูลและค่า 10 จะถูกเก็บไว้ในรีจิสเตอร์ A นอกจากรีจิสเตอร์ A ทำการบวกด้วยการกำหนดค่าโดยตรงแล้ว มันยังทำการคำนวณร่วมกับรีจิสเตอร์ขนาด 8 บิตตัวอื่น ๆ ได้อีกด้วย

ทั้งไมโครโปรเซสเซอร์และไมโครคอนโทรลเลอร์จะมีรีจิสเตอร์สำหรับใช้งานในคำสั่งพิเศษ โดยผู้เขียนโปรแกรมอาจกำหนดขึ้นได้เอง โดยที่กำหนดให้อยู่ในตอแหน่งแอดเดรสพิเศษ ในที่นี้มีค่ามากกว่า 07FHขึ้นไป ตัวอย่างเช่นแอกคิวเตอร์ถูกกำหนดให้ใช้หน่วยความจำภายในที่0E0Hรีจิสเตอร์เหน่านี้เรียกว่า รีจิสเตอร์หน้าที่พิเศษ (spe- cial function registers หรือ SFR_S) จำนวนของรีจิสเตอร์พิเศษอาจจะมีไม่เท่ากันในไมโครคอนโทรลเลอร์แต่ละเบอร์ ในตระกูล MCS-51 ขึ้นอยู่กับคำสั่งที่ทำการตั้งค่าไว้ เพราะริจิสเตอร์พิเศษเหล่านี้ถูกรวมอยู่หรือใช้พื้นที่ในส่วนของหน่วยความจำภายในของไมโครคอนโทรลเลอร์ ซึ่งหน่วยความจำภายในหรือแรมภายในจะมีขนาดไม่เท่ากันในแต่ละเบอร์

นอกจากรีจิสเตอร์พิเศษหรือ SFR แล้วยังมีรีจิสเตอร์ สำหรับใช้ในงานทั่งไปอีก 8 ตัว คือ รีจิสเตอร์ R 0ถึงR 7 รีจิสเตอร์ ทั้ง 8 ตัว ถูกบรรจุอยู่ภายในแรมภายในไมโครคอนโทรลเลอร์ในรูปของแบงค์ (bank) และใช้สำหรับเก็บข้อมูลชั่วคราวระหว่างการประมวลผล ในที่นี้จะใช้รีจิสเตอร์เฉพาะแบงค์ศูนย์เท่านั้น และหลังจากรีเซตระบบทุกครั้งรีจิสเตอร์ที่แบงค์ศูนย์จะถูกเลือกโดยอัตโนมัติ

2.5.4 การจัดสรรหน่วยความจำบน MCS-51 บอร์ด

ไมโครคอนโทรลเลอร์แต่ละเบอร์ในตระกูล MCS-51 มีขนาดของหน่วยความจำไม่เท่ากัน ทำให้การจัดสรรพื้นที่ในหน่วยความจำสำหรับเก็บโปรแกรมและข้อมูลที่แตกต่างกัน

- หน่วยความจำสำหรับเก็บโปรแกรม

หน่วยความจำสำหรับเก็บโปรแกรมสามารถขยายได้สูงถึง 64 กิโลไบต์มีหน้าที่เก็บคำสั่งต่างๆ สำหรับไมโครคอนโทรลเลอร์ มันสามารถใช้เก็บตารางข้อมูลและค่าคงที่ได้ในการใช้งาน ในที่นี้จะใช้งานไมโครคอนโทรลเลอร์โดยใช้หน่วยความจำโปรแกรมภายนอกเท่านั้น ที่ขา 31 หรือค่า EA (external access enable) จึงถูกต่อลงกราวด์ไว้เพื่อกำหนดให้ไม่ใช้งานหน่วยความจำโปรแกรมภายในที่มีอยู่แล้ว และเมื่อไมโครคอนโทรลเลอร์ต้องการติดต่อกับหน่วยความจำโปรแกรมภายนอกมันจะส่งสัญญาณลอจิก Low ที่ ขา29 หรือขา PSEN ออกมา

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

หน่วยความจำโปรแกรมไม่จำเป็นเสมอไปว่าต้องเป็นรอมหรืออีพรอม เช่นเดียวกับตำแหน่งแอดเดรสที่ว่างแต่ละแอดเดรส อาจอยู่ในรูปของหน่วยความจำหรือเป็นตำแหน่งของพอร์ตอินพุตเอาต์พุตก็ได้ หน่วยความจำโปรแกรมในที่นี้ถูกแบ่งออกเป็น 2 ช่วงดังนี้ คือช่วงแอดเดรสต่ำ 00000H ถึง 04000H เป็นอีพรอมIC $_5$ และช่วงแอดเดรสจาก 04000H ถึง 08000H เป็นหน่วยความจำแรม IC $_6$ ของระบบ คำสั่งต่างๆ จะถูกป้อนให้ไปเก็บไว้และทำการประมวลผลจากที่แรมนี้

- หน่วยความจำสำหรับเก็บข้อมูล

ไมโครคอนโทรลเลอร์ตระกูล MCS-51 สามารถทำการอ่านและเขียนข้อมูลจากหน่วยความจำข้อมูลที่มีขนาดสูงสุดได้ 64 กิโลไบต์ หน่วยความจำในส่วนนี้ทำหน้าที่เก็บข้อมูลใช้งานจำนวนมากเป็นส่วนใหญ่ ซึ่งในบางครั้งอาจเรียกได้ว่าแรมบน MCS-51 บอร์ด หรือ IC 6 เป็นผู้ทำหน้าที่นี้ หน่วยความจำข้อมูลบนบอร์ด MCS-51 กำหนดให้มีตำแหน่งใช้งาน ตั้งแต่ 04000H ถึง 08000H ซึ่งตามที่กล่าวมาแล้วหน่วยความจำสำหรับเก็บโปรแกรมโดยใช้แรมถูกกำหนดให้เริ่มต้นที่ตำแหน่ง 04000H เป็นต้นไป นั่นคือ โปรแกรมทดลองหรือโปรแกรมที่ดาวน์โหลดจากคอมพิวเตอร์จะต้องเริ่มประมวลผลที่ตำแหน่ง 04000H ขึ้นไปเสมอ

การประยุกต์ใช้งานไมโครคอนโทรลเลอร์ส่วนใหญ่แล้วสามารถทำงานได้โดยไม่ต้องใช้หน่วยความจำข้อมูลมากเท่าใดนัก ทำให้เมื่อต้องการใช่หน่วยความจำก็อาศัยแรมภายในที่มีอยู่แล้วมากกว่าที่จะใช้แรมที่อยู่ภายนอกขนาดของแรมภายในมีขนาด 128 ไบต์ สำหรับไมโครคอนเทรลเลอร์เบอร์ 8031 และ 8051 และมีขนาด 256 ไบต์สำหรับเบอร์ 8032 และ 8052 แต่ในที่นี้จะใช้แรมภายในนี้สูงสุดไม่เกิน 128 ไบต์ ดังนั้นจึงไม่มีปัญหาไม่ว่าผู้อ่านจะใช้ไมโครคอนโทรลเลอร์เบอร์ใดมาทำการศึกษา

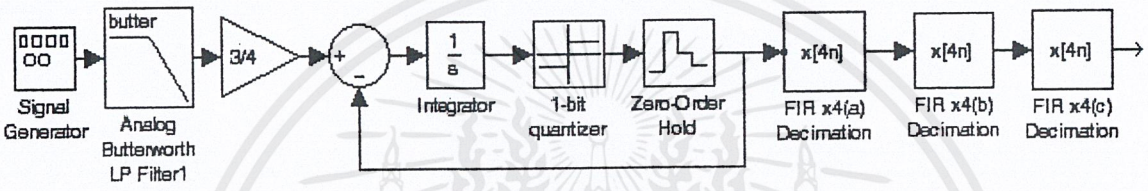
ในส่วนของแรมภายในประกอบด้วยรีจิสเตอร์ของไมโครคอนโทรลเลอร์ หน่วยความจำสแต็คสำหรับใช้งานและจัดการระบบภายในซับรูทีนก็อยู่ในส่วนของแรมภายในด้วย ดังนั้นขนาดของหน่วยความจำภายในที่ผู้เขียนโปรแกรมใช้งานได้จริงจึงน้อยกว่า 128 ไบต์ ในช่วงแอดเดรสระหว่าง 20H ถึง 22FH เรียกว่าบิตอแดเดรสเอเบิล(bit addressable range) ในส่วนนี้ใช้งานในการจัดแจงหรือโยกย้ายถ่ายเทบิตข้อมูลของคำสั่งไปยัง แอดเดรส , เปลี่ยนหรือเรียก ใช้บิตใดบิตหนึ่ง ส่วนประกอบสุดท้ายที่ใช้แรมภายในก็ คือ โปรแกรมมอนิเตอร์ซึ่งบรรจุอยู่ในอีพรอม ซึ่งการประมวลผลในส่วนนี้ต้องใช้งานแรมภายในบางส่วนด้วยเช่นกัน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 3
การคำนวณและการสร้าง

ในโครงงานนี้จะทำการแปลงสัญญาณอนาลอกเป็นดิจิตอลด้วยวิธีเดลตา – ซิกมา มอดูเลชั่น โดยแบ่งการทดลองออกเป็น 2 ตอน คือ

ตอนที่ 1 พิจารณาหลักการทำงานของการแปลงสัญญาณ แบบเดลตา-ซิกมา โดยการใช้โปรแกรม simulink ที่มีอยู่ในโปรแกรม MATLAB มาทำการตรวจสอบสัญญาณที่ได้จากแต่ละส่วนของบล็อคไดอะแกรมของเดลตา-ซิกมาดังแสดงในรูปที่ 3.1



รูปที่ 3.1 แสดงบล็อคไดอะแกรมของเดลตา-ซิกมา มอดูเลชั่น ใน MATLAB

3.1 ส่วนประกอบของวงจรเดลตา-ซิกมา

โดยใน การทดลอง จะทำการป้อน สัญญาณจาก แหล่งกำเนิดสัญญาณซึ่งจะ สามารถทดสอบด้วยการป้อนสัญญาณรูปแบบต่างๆ ได้ อีกทั้งการพิจารณาการทำงานในส่วนของวงจรเดลตา-ซิกมานั้นยังสามารถที่จะเปลี่ยนแปลงค่าพารามิเตอร์ต่างๆ ที่มีอยู่ในแต่ละวงจรนั้นๆได้ ซึ่งแต่ละวงจรจะมีหน้าที่และการกำหนดค่าต่างๆได้ดังนี้

3.1.1 วงจร Analog butterworth LP Filter

วงจรนี้จะทำหน้าที่ในการกรองความถี่สูงทิ้งไป อีกทั้งยังจะเป็นการช่วยลดสัญญาณในแถบความถี่ที่ทำให้เกิดเอเลียสซิ่ง ฟรีเควนซี่ด้วยซึ่งสัญญาณที่ผ่านการกรองแล้วจะถูกส่งไปยังวงจรหาความแตกต่างระหว่างสัญญาณอนาลอกที่ป้อนเข้ามากับสัญญาณอนาลอกที่ถูกป้อนกลับมา

3.1.2 วงจรอินทิเกรเตอร์

วงจรนี้จะทำหน้าที่เป็นเหมือนวงจรรวมสัญญาณอนาลอก โดยอินทิเกรเตอร์จะเป็นตัวเลื่อนค่า สัญญาณรบกวนเนื่องจากการควอนไตซ์ ออกไปนอกช่วงความถี่ที่เราใช้งาน โดยจะถูกเลื่อนเข้าไปในช่วงความถี่สูงซึ่งเราจะสามารถกรองเอาค่าสัญญาณรบกวนเนื่องจากการควอนไตซ์นี้ออกไปได้โดย

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การใช้ดิจิตอลโลพาสฟิลเตอร์กรองออก ซึ่งสัญญาณที่ได้จากวงจรอินทิเกรเตอร์นี้จะเป็นพื้นที่ใต้กราฟของสัญญาณความแตกต่างที่เข้ามา

3.1.3 วงจร 1- บิต ควอนไตเซอร์

วงจรนี้จะทำการควอนไตซ์สัญญาณที่ได้จากวงจรอินทิเกรเตอร์ สัญญาณที่ได้จากวงจรนี้จะเป็นสัญญาณดิจิตอล 1 บิตที่มีอัตราการส่งผ่านข้อมูลสูง โดยถ้าสัญญาณอินพุทที่เข้ามามีขนาดมากกว่า 0 สัญญาณที่ได้จะมีค่าเป็น 1 แต่หากสัญญาณอินพุทที่เข้ามามีค่าต่ำกว่า 0 แล้วสัญญาณที่ออกมาจะมีค่าเป็น –1แต่หากสัญญาณอินพุทที่เข้ามามีค่าเท่ากับ 0 แล้วสัญญาณที่ได้ออกมาก็จะมีค่าเท่ากับ 0

3.1.4 วงจร Zero-Order Hold

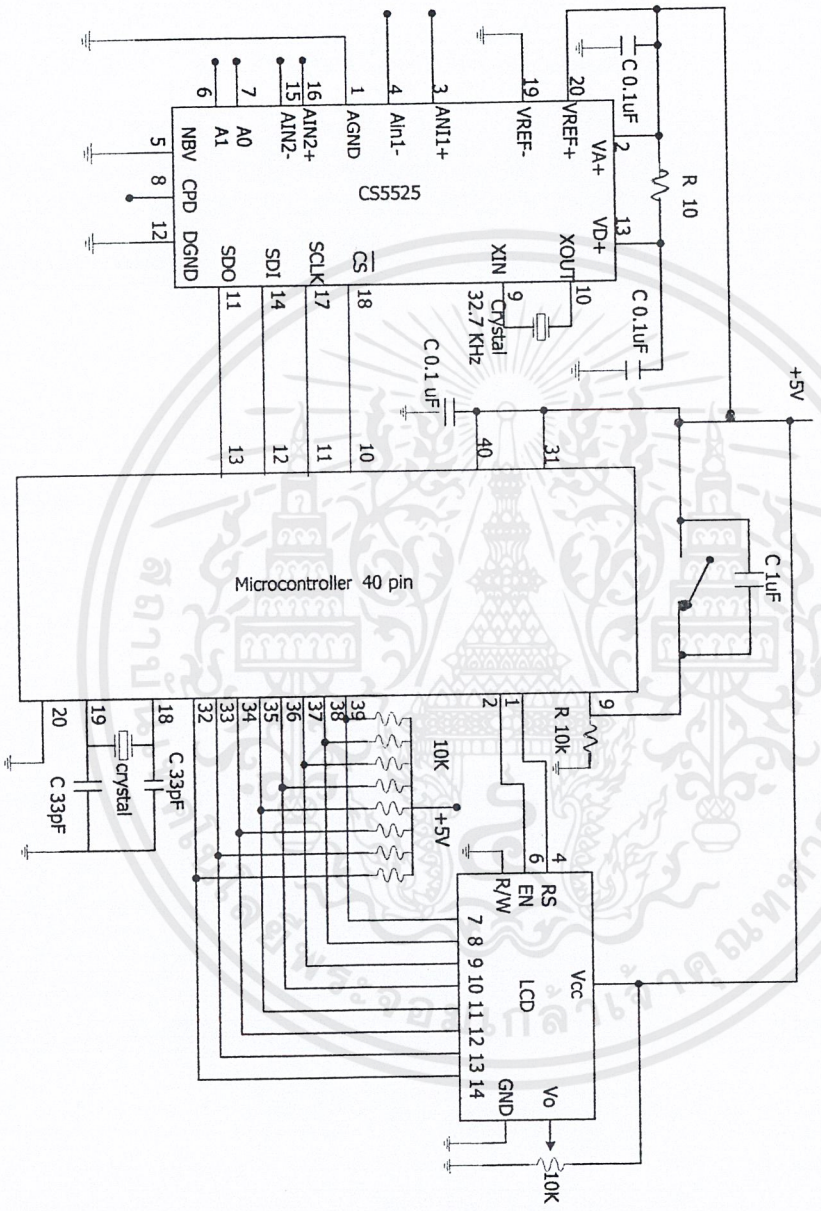
วงจรนี้จะทำหน้าที่เป็นวงจรสุ่ม และคงค่าซึ่งจะทำงานตามค่าอัตราการแซมปลิ้งที่กำหนด โดยสัญญาณเอาท์พุทที่ได้จะถูกป้อนกลับไปหาค่าความแตกต่างกับสัญญาณอินพุทที่เข้ามาโดยวงจรหาค่าความแตกต่าง นั่นคือการกำหนดความถี่ของการแซมปลิ้ง สามารถทำการกำหนดได้จากส่วนของ zero-order hold นี้

3.1.5 วงจร FIR digital filter

วงจรนี้จะทำหน้าที่ในการกรองสัญญาณสัญญาณรบกวนเนื่องจากการควอนไตซ์ ที่ถูกเลื่อนมาอยู่นอกแบนด์ความถี่ที่ใช้งาน อีกทั้งยังจะทำการเปลี่ยนสัญญาณดิจิตอล 1 บิตให้เป็นสัญญาณดิจิตอล n บิตที่มีประสิทธิภาพสูงขึ้น ซึ่งการกำหนดค่าพารามิเตอร์ต่างๆ ภายใน จะสามารถกำหนดได้เช่น การกำหนด order ของ filter หรือ decimation factor ซึ่งdecimation factor นี้จะต้องกำหนดโดยให้มีค่าสัมพันธ์กับค่าของอัตรการแซมปลิ้งที่ถูกกำหนดในส่วนของ zero-order hold เพื่อที่จะทำให้อัตราการแซมปลิ้งลดลงเหลือค่าตามที่ต้องการ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

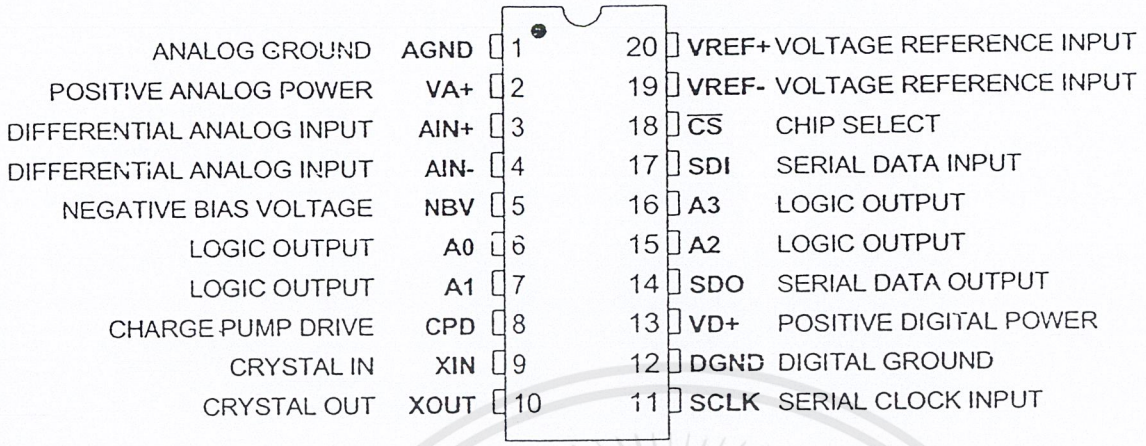
ตอนที่ 2 จะทำการแปลงสัญญาณอนาลอกเป็นดิจิตอลด้วยวิธีเดลตา–ซิกมา มอดูเลชั่น โดยใช้ไอซีเบอร์ CS5525 โดยทำการต่อวงจรดังรูปที่ 3.2



รูปที่ 3.2 แสดงการต่อวงจรโดยใช้ไอซี CS5525

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.2 ขาต่างๆภายในไอซี CS5525



รูปที่ 3.3 แสดงขาต่างๆภายในไอซี CS5525

- ตัวกำเนิดสัญญาณนาฬิกา

XIN; XOUT – Crystal IN; Crystal Out.

- ขานี้จะมีเกทเชื่อมต่ออยู่ภายใน และสามารถใช้กับคริสตอลเพื่อใช้ในการให้สัญญาณนาฬิกากับอุปกรณ์ตัวอื่น

- ตัวควบคุมและ ส่ง - รับข้อมูล

$\overline{\text{CS}}$ -- Chip Select.

- เมื่อ $\overline{\text{CS}}$ อยู่ในสถานะต่ำ ที่พอร์อนุกรมจะยอมรับสัญญาณ SCLK เมื่อ $\overline{\text{CS}}$ อยู่ในสถานะสูง จะให้เอาท์พุทที่มีอิมพีแดนซ์สูง โดยค่า $\overline{\text{CS}}$ จะเปลี่ยนเมื่อ SCLK = 0

SDI – Serial Data Input.

- จะเป็นขาอินพุทของพอร์ทอนุกรม โดยข้อมูลจากขานี้จะถูกกำหนดอัตราการส่งโดยค่าของ SCLK

SDO – Serial Data Output.

- จะเป็นขาเอาท์พุทของพอร์ทอนุกรม โดยจะมีอิมพีแดนซ์สูงเมื่อขา $\overline{\text{CS}}$ มีสถานะเป็น 1

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

SCLK – Serial Clock Input.

- ค่าสัญญาณที่ขานี้จะเป็นตัวกำหนดอัตราการส่งข้อมูลอินพุท/เอาท์พุท ของขา SDI /SDO และสัญญาณที่ขา SCLK จะถูกยอมรับเมื่อ $\overline{CS}$ มีสถานะต่ำ

A0 , A1, A2, A3 – Logic Output.

- ค่าลอจิกของ A0 – A3 จะแทนค่าบิตของ D20 – D23 ของ CSRs โดยถ้าลอจิกเอาท์พุทเป็น 0 = AGND และถ้าลอจิกเอาท์พุทเป็น 1 = VA+

- ตัววัด และอ้างอิงสัญญาณอินพุท

AIN+ , AIN- -- Differential Analog Input.

- ขาของอินพุทต่างๆที่อยู่ในไอซี

VREF+ , VREF- -- Voltage Reference Input.

- เป็นขาอินพุทที่ใช้ป้อนแรงดันอ้างอิงสำหรับการมอดูเลเตอร์

NBV – Negative Bias Voltage.

- เป็นขาอินพุทสำหรับป้อนแรงดันที่เป็นลบสำหรับวงจรขยายสัญญาณ โดยสามารถจะต่อลง AGND ได้ถ้าขนาดอินพุท AIN+ และ AIN- มีจุดศูนย์กลางรอบ 2.5 V

CPD -- Charge Pump Drive.

- เป็นขาที่ให้ค่าเอาท์พุทเป็นสัญญาณสี่เหลี่ยม ใช้ในการจ่ายพลังงานให้กับ charge pump

- ขาที่ใช้ป้อนพลังงาน

VA+ -- Positive Analog Power.

- ใช้ในการป้อนแรงดัน โดยปกติจะใช้ +5 V

VD+ -- Positive Digital Power.

- ใช้ในการป้อนแรงดัน โดยปกติจะใช้ +5 V

AGND -- Analog Ground.

- ใช้เป็นกราวด์ของสัญญาณอนาลอก

DGND – Digital Ground.

- ใช้เป็นกราวด์ของสัญญาณดิจิตอล

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.3 การโปรแกรมค่าภายในไมโครคอนโทรลเลอร์

1.กำหนดขาของสัญญาณที่อินเตอร์เฟสระหว่างไอซี CS5525 และ ไมโครคอนโทรลเลอร์ คือ สัญญาณ CS, SDI, SDO และ SCLK ที่พอร์ต P3.0, P3.1, P3.2 และ P3.3 ของตัวไมโครคอนโทรลเลอร์ ตามลำดับ และกำหนดขาสัญญาณของ LCD คือ RS และ EN ที่ พอร์ต P1.0 และ P1.1ตามลำดับ ส่วน สัญญาณ LCD Output กำหนดให้ใช้พอร์ต P0

2. กำหนดค่าแอดเดรส ให้กับตัวแปรต่างๆที่ใช้ในการโปรแกรม

3.ทำการตั้งค่าการทำงานของ LCD โดยจะทำการแสดงการทำงานโดยการป้อนค่าคำสั่งที่ขา14 ถึงขา 7 ของตัว LCD

4. ทำการตั้งค่าการทำงานของตัวไอซี CS5525 โดยการป้อนสัญญาณนาฬิกาจำนวน 2024 ลูก เพื่อเริ่มต้นการทำงานให้กับออสซิลเลเตอร์ และรีเซตตัวไอซี

5. ทำการเก็บค่าข้อมูลจำนวน 3 ไบต์ ไว้ในตัวแปร 3 ตัว

6. ทำการโปรแกรมค่าข้อมูล 3 ไบต์ ไปยังคอนฟิกเจอเรชั่น รีจิสเตอร์ ซึ่งอยู่ภายในตัวไอซี โดยก่อนจะส่งข้อมูลไปต้องทำการส่งคอมมานด์ไบต์ไปก่อน 1 ไบต์ เพื่อบอกว่าจะทำการเขียนค่าลงในคอนฟิกเจอเรชั่น รีจิสเตอร์

7. ทำการคาลิเบรชั่น โดยทำการกำหนดค่าของการออฟเซต และอัตราการขยายสัญญาณ

8. หลังจากทำการคาลิเบรชั่นเสร็จแล้ว จะทำการคอนเวอร์ชั่นโดยการส่งค่าคอมมานด์ไบต์ เพื่อบอกให้ตัวไอซี CS5525 เริ่มทำการคอนเวอร์ชั่น

9. ทำการโปรแกรมให้รอจนกระทั่งสัญญาณ SDO เปลี่ยนค่าจาก 1 ไป 0 ซึ่งหมายความว่าได้ทำการคอนเวอร์ชั่นเสร็จแล้ว จากนั้นจะทำการส่งสัญญาณ จำนวน 8 ลูก เพื่อเคลียร์ค่าแฟลกของ SDO

10. ทำการรับข้อมูลเอาท์พุทจากขาสัญญาณSDOโดยจะทำการรับข้อมูลที่ได้จากการคอนเวอร์ชั่น จำนวน 3 ไบต์

11. นำค่าข้อมูลที่ได้ไปเก็บในบัฟเฟอร์ ของ LCD เพื่อทำการแสดงผลทางหน้าจอ LCD เป็นเลขฐาน 16

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

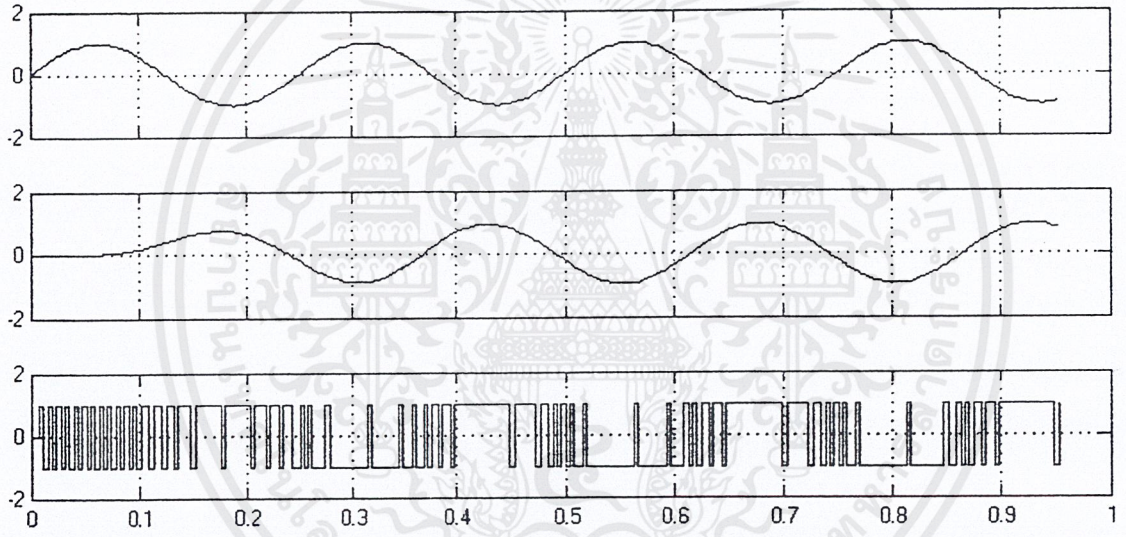
บทที่ 4

การทดลองและผลการทดลอง

ในการทดลองเรื่อง เดลตา-ซิกมา มอดดูเลชั่น นี้ จะทำการทดลองโดยแบ่งการทดลองออกเป็น 2 ตอน คือ **ตอนที่ 1** ทำการจำลองวงจร จาก simulink ในโปรแกรม MATLAB โดยจำลองวงจรตามรูปที่ 3.1 ทำการทดลองดังนี้

4.1 ทำการทดลองป้อนสัญญาณอินพุทแต่ละแบบเพื่อสังเกตความแตกต่างของสัญญาณเอาท์พุทที่ได้

4.1.1 ทำการป้อนสัญญาณอินพุทรูปไซน์ ขนาด 1 V ความถี่ 4 KHz



รูปที่ 4.1.1 แสดงสัญญาณที่ได้จากการการป้อนสัญญาณอินพุทรูปไซน์

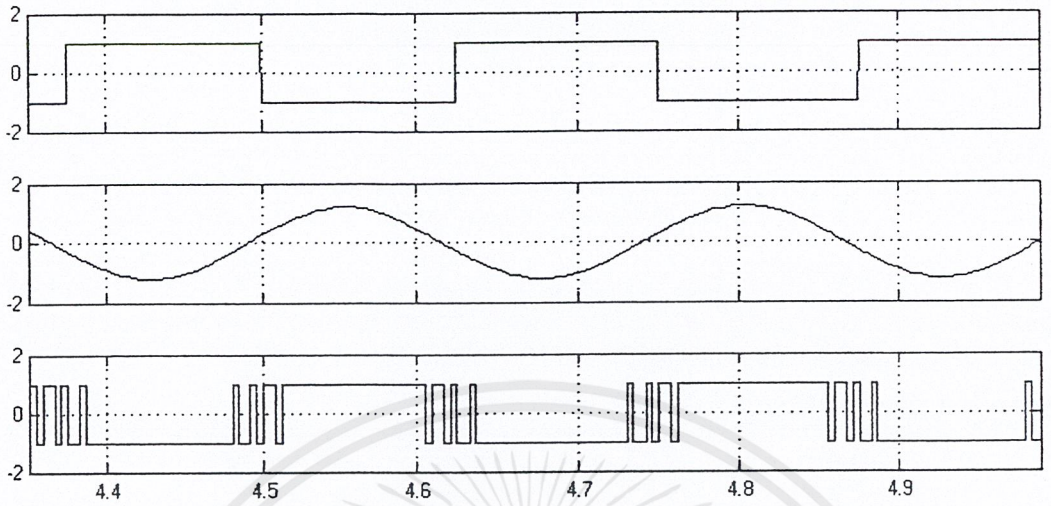
รูปบนแสดงสัญญาณอินพุทรูปไซน์

รูปกลางแสดงเอาท์พุทที่ออกจาก Butterworth Lowpass Filter

รูปล่างแสดงเอาท์พุทของวงจร 1st–order Delta-Sigma Modulator

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4.1.2 ทำการป้อนสัญญาณอินพุทรูปสี่เหลี่ยม ขนาด 1 V ความถี่ 4 KHz



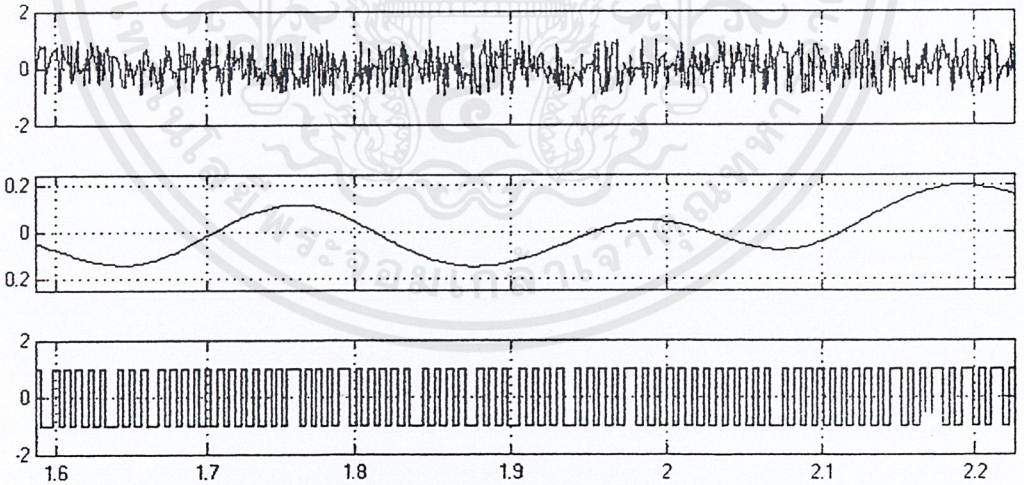
รูปที่ 4.1.2 แสดงสัญญาณที่ได้จากการการป้อนสัญญาณอินพุทรูปสี่เหลี่ยม

รูปบนแสดงสัญญาณอินพุทรูปสี่เหลี่ยม

รูปกลางแสดงเอาท์พุทที่ออกจาก Butterworth Lowpass Filter

รูปล่างแสดงเอาท์พุทของวงจร 1st–order Delta-Sigma Modulator

4.1.3 ทำการป้อนสัญญาณอินพุทแบบ random ขนาด 1 V ความถี่ 4 KHz



รูปที่ 4.1.3 แสดงสัญญาณที่ได้จากการป้อนสัญญาณอินพุทแบบ random

รูปบนแสดงสัญญาณอินพุทรูป random

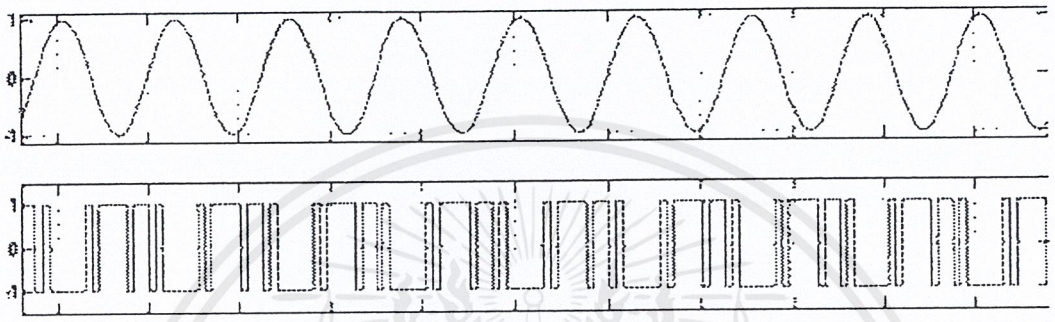
รูปกลางแสดงเอาท์พุทที่ออกจาก Butterworth Lowpass Filter

รูปล่างแสดงเอาท์พุทของวงจร 1st–order Delta-Sigma Modulator

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

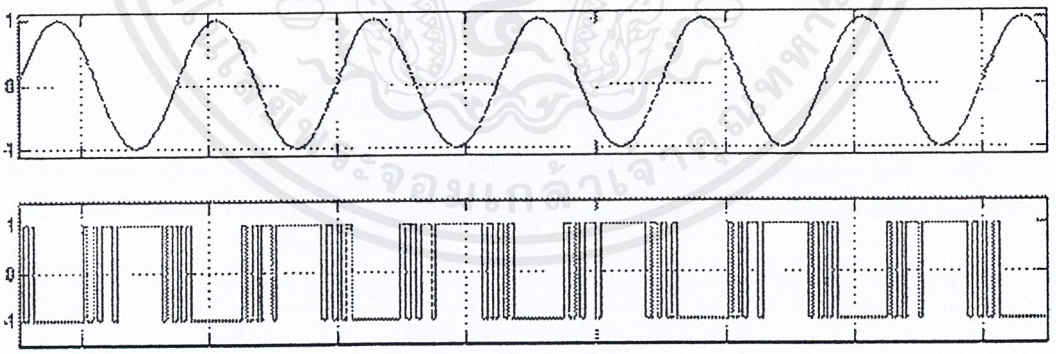
4.2 ทำการทดลองเปลี่ยนค่า Oversampling Ratio โดยป้อนสัญญาณอินพุทเป็นสัญญาณไซน์ ขนาด 1 V ความถี่ 4 KHz จากการทดลองเราจะพบว่ายิ่งเราเพิ่ม oversampling ratio มากขึ้นเท่าไร ความละเอียดของสัญญาณดิจิตอลเอาท์พุทก็จะมากขึ้นเท่านั้น

4.2.1 ทำการทดลองโดยใช้ค่า oversampling ratio เท่ากับ 8



รูปที่ 4.2.1 แสดงสัญญาณที่ได้จากการใช้ค่า oversampling ratio เท่ากับ 8
รูปบนแสดงสัญญาณอินพุทรูปไซน์
รูปล่างแสดงเอาท์พุทของวงจร 1st–order Delta-Sigma Modulator

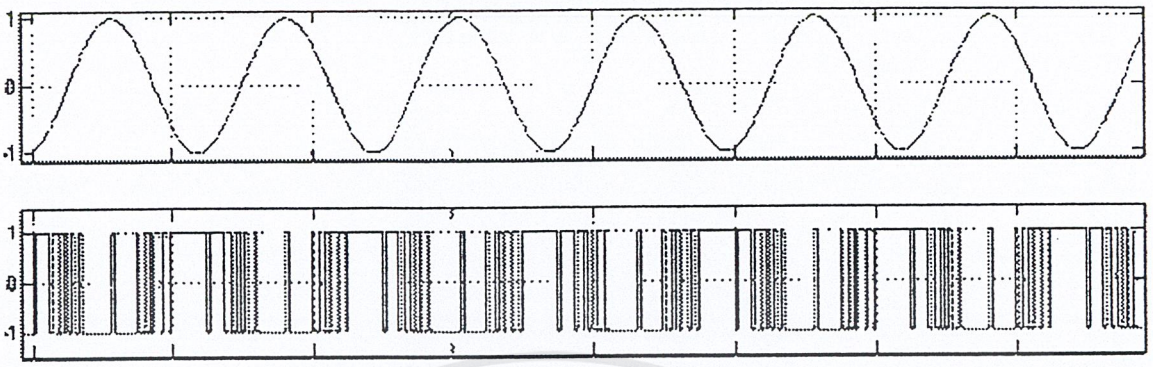
4.2.2 ทำการทดลองโดยใช้ค่า oversampling ratio เท่ากับ 16



รูปที่4.2.2 แสดงสัญญาณที่ได้จากการใช้ค่า oversampling ratio เท่ากับ 16
รูปบนแสดงสัญญาณอินพุทรูปไซน์
รูปล่างแสดงเอาท์พุทของวงจร 1st–order Delta-Sigma Modulator

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4.2.3 ทำการทดลองโดยใช้ค่า oversampling ratio เท่ากับ 32

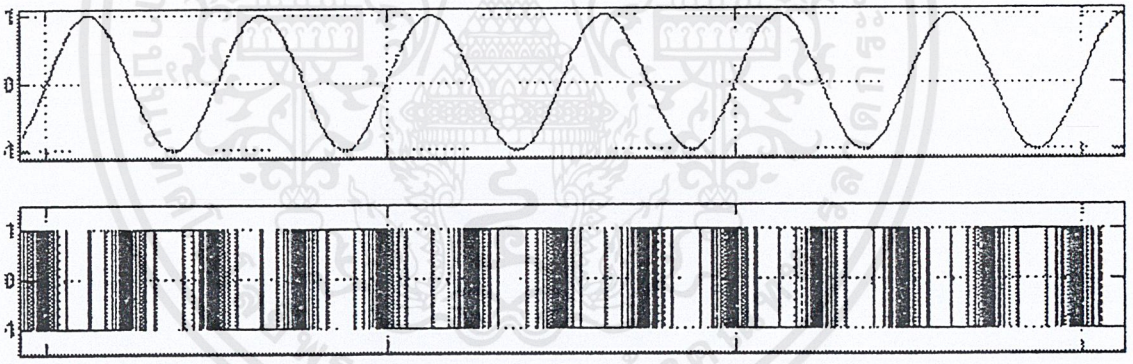


รูปที่4.2.3 แสดงสัญญาณที่ได้จากการใช้ค่า oversampling ratio เท่ากับ 32

รูปบนแสดงสัญญาณอินพุทรูปไซน์

รูปล่างแสดงเอาท์พุทของวงจร 1st–order Delta-Sigma Modulator

4.2.4 ทำการทดลองโดยใช้ค่า oversampling ratio เท่ากับ 64



รูปที่4.2.4 แสดงสัญญาณที่ได้จากการใช้ค่า oversampling ratio เท่ากับ 64

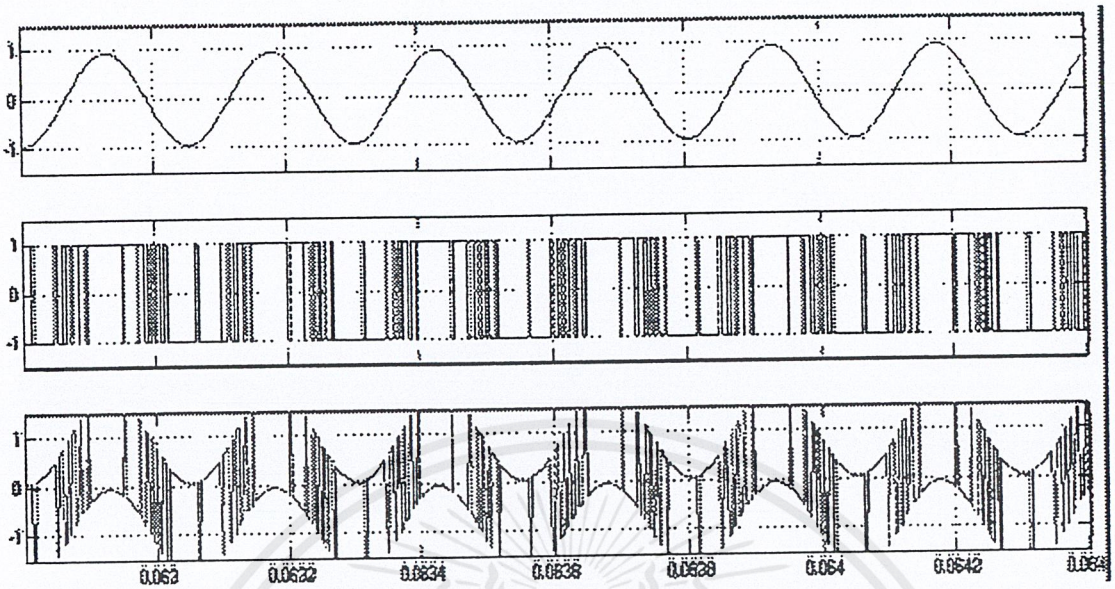
รูปบนแสดงสัญญาณอินพุทรูปไซน์

รูปล่างแสดงเอาท์พุทของวงจร 1st–order Delta-Sigma Modulator

4.3 ทำการทดลองวัดค่าสัญญาณที่จุดต่างๆโดยป้อนสัญญาณอินพุทเป็นสัญญาณไซน์ ขนาด 1 V ความถี่ 4 KHz โดยใช้ค่า oversampling ratio เท่ากับ 32

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4.3.1 ทำการวัดค่าสัญญาณที่ได้จากการนำสัญญาณอินพุท มาลบกับสัญญาณเอาท์พุทที่ได้



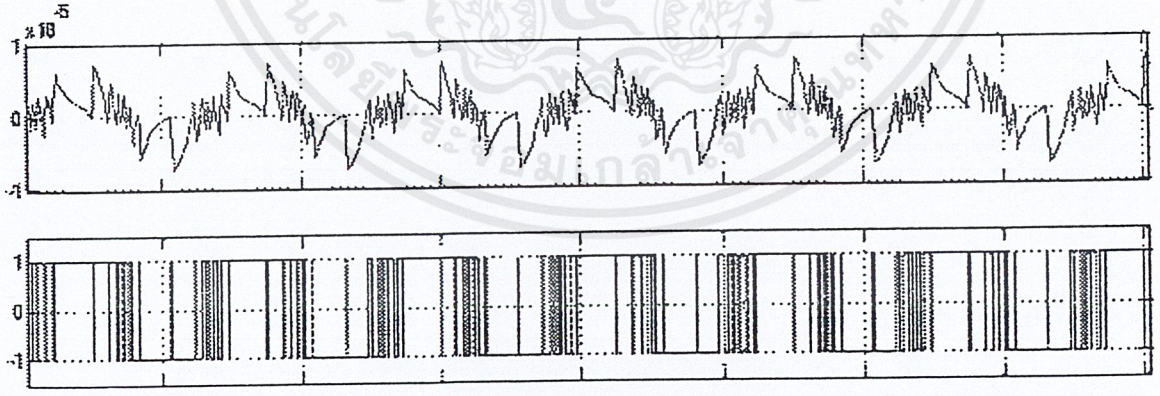
รูปที่ 4.3.1 แสดงสัญญาณที่ได้จากการนำสัญญาณอินพุท มาลบกับสัญญาณเอาท์พุท

รูปบนแสดงสัญญาณอินพุทรูปไซน์

รูปกลางแสดงเอาท์พุทของวงจร 1st–order Delta-Sigma Modulator รูปแสดง

รูปล่างแสดงเอาท์พุทที่ได้จากการลบกัน

4.3.2 ทำการวัดค่าสัญญาณที่เอาท์พุทของวงจรอินทิเกรเตอร์ และเอาท์พุทของวงจร 1 บิต ควอนไตซ์



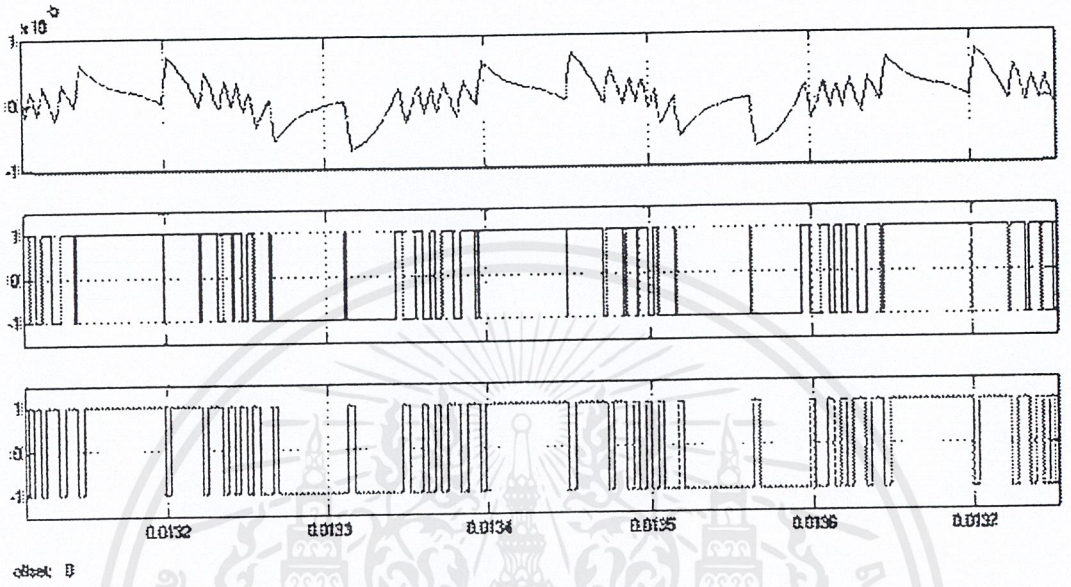
รูปที่ 4.3.2 แสดงสัญญาณที่เอาท์พุทของวงจรอินทิเกรเตอร์ และเอาท์พุทของวงจร 1 bit quantizer

รูปบนแสดงเอาท์พุทของวงจรอินทิเกรเตอร์

รูปล่างแสดงเอาท์พุทที่ได้จากวงจร 1 bit quantizer

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4.3.3 ทำการวัดค่าสัญญาณเอาท์พุท ที่ออกจากวงจรอินทิเกรเตอร์ , วงจร 1 บิต ควอนไตซ์ และเอาท์พุทที่ออกจากวงจรZero-Order Hold



รูปที่4.3.3 แสดงสัญญาณที่เอาท์พุทของวงจรอินทิเกรเตอร์ ,เอาท์พุทวงจร 1 bit quantizer และเอาท์พุทที่ออกจากวงจร Zero-Order Hold

รูปบนแสดงเอาท์พุทที่ได้จากวงจรอินทิเกรเตอร์

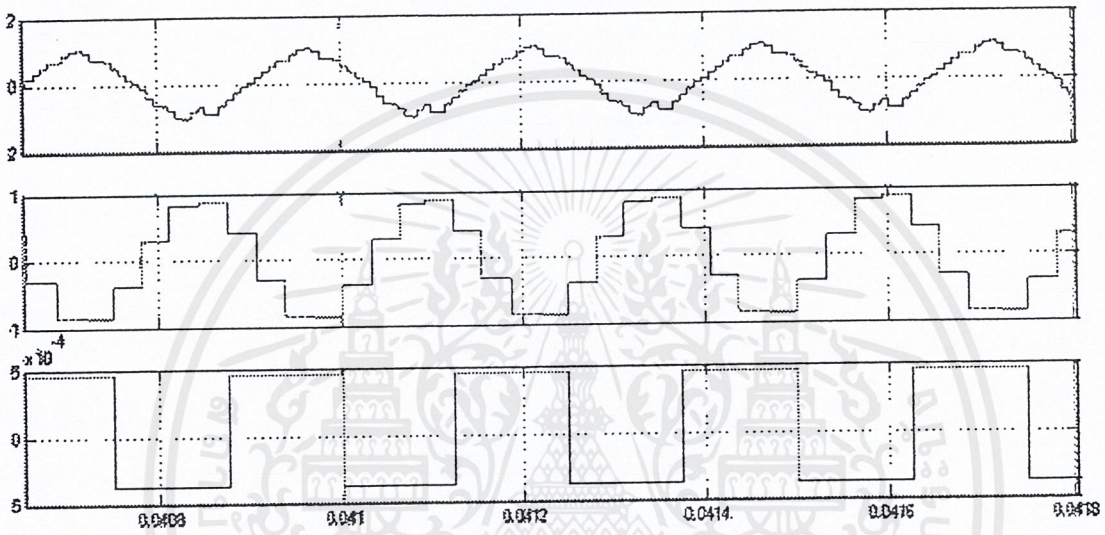
รูปกลางแสดงเอาท์พุทที่ได้จากวงจร 1 bit quantizer

รูปล่างแสดงเอาท์พุทที่ได้จากวงจร Zero-Order Hold

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4.4 ทำการทดลองวัดค่าสัญญาณที่ออกจาก FIR Filter

4.4.1 ทำการทดลองโดยใช้ค่าสัญญาณที่ป้อนเข้าไปเป็นสัญญาณเดิม แต่เปลี่ยนค่า oversampling ratio เป็น 64 แทน ทำการต่อ FIR filter 3 block มาต่อรวมเข้าด้วยกัน แต่ละ block มี decimation factor เท่ากับ 4 เราจะพบว่าสัญญาณที่ผ่าน FIR filter แต่ละตัวจะมี rate ที่น้อยลง



รูปที่ 4.4.1 แสดงสัญญาณที่ได้จากวงจร FIR Filter แต่ละ block

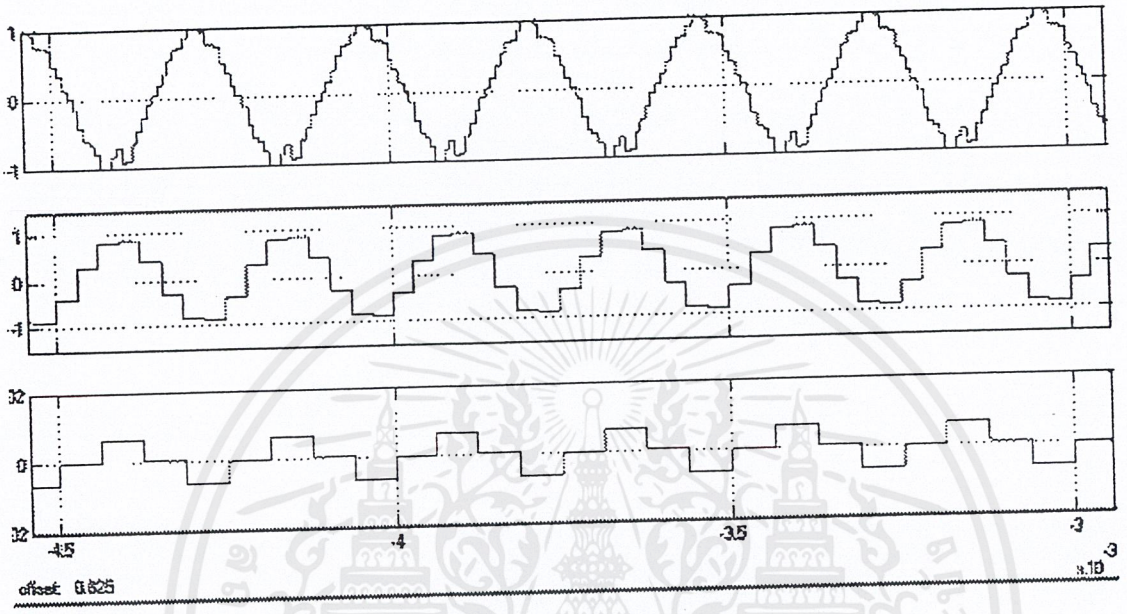
รูปบนแสดงเอาท์พุทที่ได้จากวงจร FIR filter block แรก

รูปกลางแสดงเอาท์พุทที่ได้จากวงจร FIR Filter block ที่สอง

รูปล่างแสดงเอาท์พุทที่ได้จากวงจร FIR filter block ที่สาม

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4.4.2 ทำการทดลองโดยการเปลี่ยนค่า decimation factor ใน FIR filter ตัวสุดท้ายให้กลายเป็น 2 จะพบว่าสัญญาณที่ได้จะไม่ใช่สัญญาณดิจิตอลที่มี 2 ระดับ เนื่องจากการ down sampling เพื่อลด rate ลง แต่ค่าที่ได้จะมีค่าลดลงไม่ถึง Nyquist rate



รูปที่ 4.4.2 แสดงสัญญาณที่ได้จากวงจร FIR Filter แต่ละ block เมื่อทำการเปลี่ยนค่า decimation factor

รูปบนแสดงเอาท์พุทที่ได้จากวงจร FIR filter block แรก

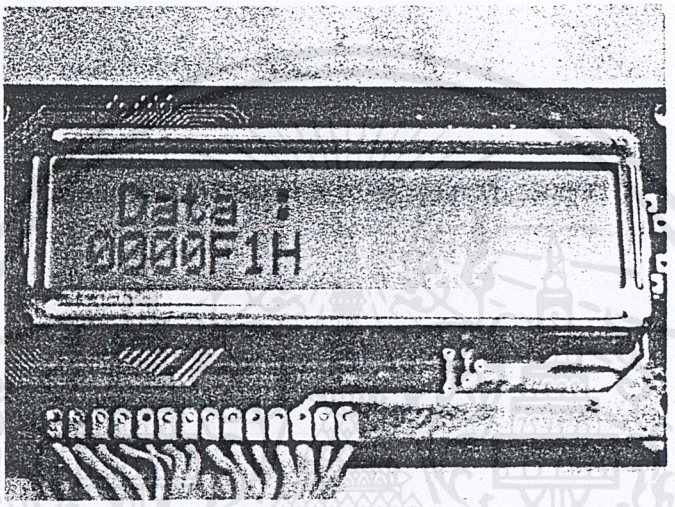
รูปกลางแสดงเอาท์พุทที่ได้จากวงจร FIR Filter block ที่สอง

รูปล่างแสดงเอาท์พุทที่ได้จากวงจร FIR filter block ที่สาม

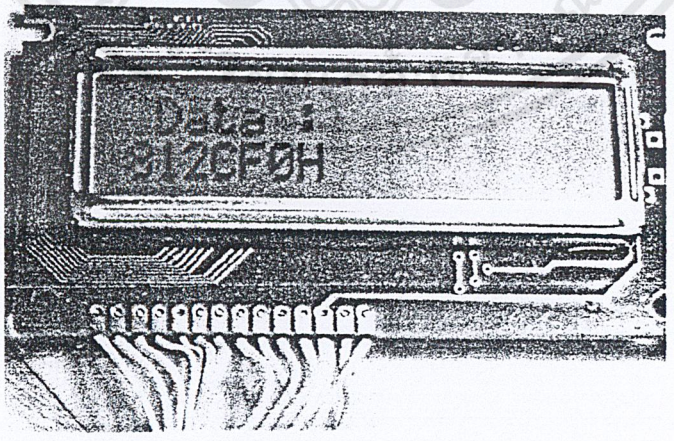
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ตอนที่ 2 ทำการทดลองโดยใช้ไอซีเบอร์ CS5525 ทำการทดลองโดยทำการต่อวงจรตามรูปที่ 3.2 แล้วทำการทดลองดังนี้

4.5 ทำการทดลองวัดค่าข้อมูลที่ได้จากจอ LCD โดยทำการป้อนค่าอินพุทเป็นแรงดันไฟตรง 0V, 2V และ 4V ตามลำดับ ซึ่งให้เอาท์พุทเป็นเลขฐานสิบหก โดย 4 บิต แรกแสดงข้อมูลเอาท์พุทที่ได้ บิตที่ 5 จะมีค่าเป็น F เสมอ และบิตสุดท้ายจะแสดงถึงการเกิด Overrange Flagโดยถ้ามีค่าเป็น 1 จะแสดงถึงการป้อนขนาดของอินพุทที่มีค่าไม่อยู่ภายใต้ขอบเขตที่กำหนดไว้

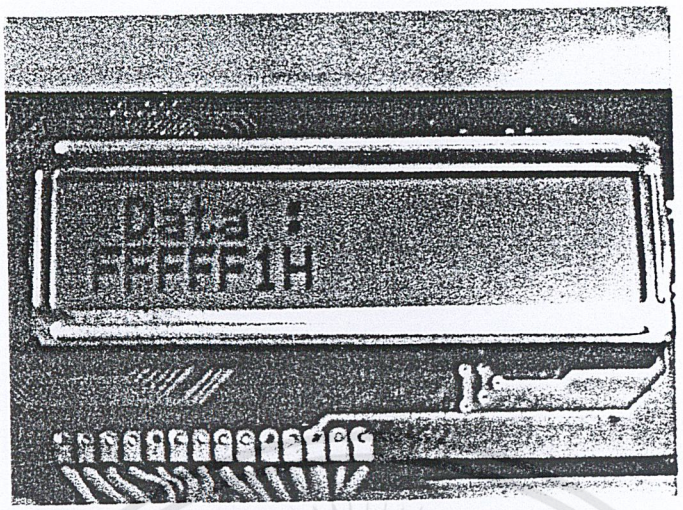


รูปที่ 4.5.1 แสดงข้อมูลที่ได้จากการป้อนแรงดันไฟตรง 0 V



รูปที่ 4.5.2 แสดงข้อมูลที่ได้จากการป้อนแรงดันไฟตรง 2 V

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.5.3 แสดงข้อมูลที่ได้จากการป้อนแรงดันไฟตรง 4 V

4.6 ทำการทดลองวัดค่าข้อมูลที่ได้จากจอ LCD เมื่อทำการป้อนค่าอินพุทเป็นแรงดันไฟตรง ค่าต่างๆ ตาม ตาราง เปรียบเทียบกับค่าข้อมูลเอาท์พุทที่คำนวณได้

ค่าแรงดันอินพุท ที่ทำการป้อน	ค่าข้อมูลเอาท์พุทที่ได้จาก LCD MSB LSB	Overrange Flag
0.0 V	0 0 0 0	1
0.4 V	1 7 F 9	0
0.8 V	3 3 1 6	0
1.2 V	4 D 6 B	0
1.6 V	6 6 D 0	0
2.0 V	8 0 C 1	0
2.4 V	9 9 3 3	0
2.8 V	B 4 1 8	0
3.2 V	C C 8 D	0
3.6 V	E 6 7 1	0
4.0 V	F F F F	1

ตารางที่ 13 แสดงค่าอินพุทที่มีค่าแรงดันต่างๆ กับเอาท์พุทที่ได้จากจอ LCD

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ค่าแรงดันอินพุท ที่ทำการป้อน	ค่าข้อมูลเอาท์พุทที่ได้จาก LCD MSB LSB	Overrange Flag
0.0 V	0 0 0 0	1
0.4 V	1 9 9 9	0
0.8 V	3 3 3 3	0
1.2 V	4 C C C	0
1.6 V	6 6 6 6	0
2.0 V	8 0 0 0	0
2.4 V	9 9 9 9	0
2.8 V	B 3 3 3	0
3.2 V	C C C C	0
3.6 V	E 6 6 6	0
4.0 V	F F F F	1

ตารางที่ 14 แสดงค่าอินพุทที่มีค่าแรงดันต่างๆ กับเอาท์พุทที่คำนวณได้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 5
สรุปและวิจารณ์ผลการทดลอง

โครงงานชิ้นนี้เป็นการศึกษาและทดลองการแปลงสัญญาณอนาลอกเป็นสัญญาณดิจิตอล (Analog to Digital Converters (ADC)) แบบเดลตา-ซิกมา ซึ่งการเข้ารหัสสัญญาณแบบนี้มีลักษณะพิเศษคือ การทำการแซมปลิ้งสัญญาณที่ความถี่สูงมากกว่าไนควิสต์ เรต (Nyquist rate)ของสัญญาณมากๆ ซึ่งจะวัดได้จาก อัตราส่วนของการโอเวอร์แซมปลิ้ง (OSR) และการแปลงสัญญาณแบบเดลตา-ซิกมานี้จะมีการเลื่อนสัญญาณรบกวนที่เกิดจากการควอนไตซ์ ไปอยู่ในย่านความถี่สูงที่อยู่นอกย่านความถี่ที่เราสนใจ แล้วใช้วงจรโลว์พาสดิจิตอลฟิลเตอร์ (lowpass digital filter) เพื่อทำการกรองสัญญาณรบกวนนั้นทิ้งไป

ในการทดลองแปลงสัญญาณในโครงงานชิ้นนี้จะใช้ IC เบอร์ CS5525 มาประยุกต์ใช้ในการแปลงสัญญาณซึ่งสัญญาณดิจิตอลที่ได้จะเป็นแบบมัลติบิต โดยทำการเขียนโปรแกรมควบคุมการทำงานผ่านไมโครคอนโทรลเลอร์ ผ่านทางสัญญาณต่างๆที่ใช้ควบคุมไอซี แล้วทำการแสดงผลสัญญาณดิจิตอลที่ได้ผ่านทางจอแสดงผล โดยจะแสดงผลเป็นเลขฐาน 16

ในการเก็บผลการทดลองจะทำการป้อนค่าสัญญาณเป็นสัญญาณไฟตรงเพื่อที่จะสะดวกต่อการบันทึกผล โดยทำการป้อนไฟตั้งแต่ 0 – 4 V แล้วบันทึกผล ปัญหาที่พบในการทดลองก็คือเนื่องจากไอซีเบอร์ CS5525 นี้จะเป็นการแปลงสัญญาณแบบมัลติบิตและยังมีความไวสูงมาก เมื่อทำการป้อนค่าสัญญาณไฟตรงจากแหล่งจ่ายไฟจะพบว่าค่าที่แสดงบนหน้าจอแสดงผลนั้นจะเปลี่ยนแปลงตลอดเวลา เนื่องจากขีดจำกัดของแหล่งจ่ายไฟที่ไม่สามารถจ่ายไฟให้มีสัญญาณเรียบจริงๆได้ ทำให้การบันทึกผลจะต้องใช้การกดสวิทช์ค้างไว้เพื่อทำการหยุดค่าที่แสดงบนหน้าจอแสดงผล ซึ่งจะทำให้ค่าที่ได้นั้นมีการคลาดเคลื่อนไปจากความเป็นจริง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

หนังสืออ้างอิง

- "The Architecture of Delta – Sigma Data Converters Using aVoltage- Controlled Oscillator as a Multibit Quantizer" ,IEEE TRANSCATIONS ON CIRCUIT AND SYSTEM-II : ANALOG AND DIGITAL SIGNAL PROCESSING , VOL.46 , NO. 7 JULY 1999
- Gabor C. Temes , "Delta – Sigma Data Converters" , Department of Electrical and Engineering, Oregon State University , Corvallis
- T. Cataltepe, G.C. Teme, and L.E. Larson , "Digitally correctcd multi-bit delta -sigma data converters" IEEE Proc. ISCAS'89 pp. 647-650, May 1989
- J. Candy and G. Temes, Eds. ," Oversampling Delta-Sigma data converters" Piscataway , NJ : IEEE ,1992
- A. Iwan, N. Skimura, M. Nagata, and T. Morie , "An architure of Delta – Sigma A/D converters Using a Voltage- Controlled Oscillator as a Multibit Quantizer" In Proc. IEEE Int. Symp. Circuits and System, May 1998

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ภาคผนวก

Source Code

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
lcd_out                 equ   p0
lcd_rs                  bit   p1.0
lcd_en                  bit   p1.1
ucw_cs                  equ   p3.0
ucw_clk                 equ   p3.3
ucw_di                  equ   p3.1
ucw_do                  equ   p3.2

;=========================================================================

lcd_bk_buffer           equ   10h
lcd_bk_addr       equ   30h
lcd_bk_data       equ   31h

cs5526_dat0       equ   32h          ; Buffer bit 0-7
cs5526_dat1       equ   33h          ; Buffer bit 8-15
cs5526_dat2       equ   34h          ; Buffer bit 16-23

param_1                 equ   35h
param_2                 equ   36h
param_3                 equ   37h

;=========================================================================

                org   0000h
                mov   sp,#40h
                mov   p0,#11111111b
                mov   p1,#11111111b
                mov   p2,#11111111b
                mov   p3,#01100110b
; LCD 16x1
                acall lcd_initial
                acall lcd_on

; CS5526 Initial => Unipolar, 5V Range
                acall cs5526_initial
                mov   cs5526_dat2,#00000000b
                mov   cs5526_dat1,#10111001b
                mov   cs5526_dat0,#00000000b
                acall cs5526_outconfig
                acall cs5526_calibrate

;-------------------------------------------------------------------------

loop:           acall lcd_bk_print
;     '0123456789ABCDEF'
                db    ' Data : xxxxxxH '
                acall cs5526_acquire
                mov   lcd_bk_addr,#8
                mov   lcd_bk_data,cs5526_dat2
                acall lcd_bk_wrbcd
                mov   lcd_bk_addr,#10
                mov   lcd_bk_data,cs5526_dat1
                acall lcd_bk_wrbcd
                mov   lcd_bk_addr,#12
                mov   lcd_bk_data,cs5526_dat0
                acall lcd_bk_wrbcd
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
                acall lcd_flip
                sjmp  loop
;\\\\\\\\\\\\\\\\\\\\\\\\\\\\\\\\\\\\\\\\\\\\\\\\\\\\\\\\\\\\\\\\\\\\\\\\\\\\
; CS5526 20 bit A/D on Microwire Bus Interface group module
;/////////////////////////////////////////////////////////////////////////

; Uses            Delay time group module
;
; Variable  cs5526_dat0  => cs5526 data buffer bit 0-7
;           cs5526_dat1  => cs5526 data buffer bit 8-15
;           cs5526_dat2  => cs5526 data buffer bit 16-23
; Pointer   ucw_di       => MCS-51 pin connect to DI Pin
;           ucw_do       => MCS-51 pin connect to DO Pin
;           ucw_clk      => MCS-51 pin connect to CLK Pin
;           ucw_cs       => MCS-51 pin connect to CS Pin

;-------------------------------------------------------------------------
; CS5526 Initialize chip and Serial port
cs5526_initial:         push  acc
                push  00h
                push  01h
                clr   ucw_cs
                clr   ucw_clk

; Delay 2048 SCLK Cycles, to allow time for Oscilltor start-up and
; power on reset
                mov   r0,#16              ; Set counter
cs5526_initial_1: mov   r1,#128
cs5526_initial_2: setb  ucw_clk           ; Send Clock
                clr   ucw_clk
                djnz  r1,cs5526_initial_2
                djnz  r0,cs5526_initial_1

; Reset Serial Port on CS5525/6/9
                setb  ucw_di
                mov   r0,#255             ; Set counter
cs5526_initial_3: setb  ucw_clk           ; Send Clock
                clr   ucw_clk
                djnz  r1,cs5526_initial_3
                clr   ucw_di              ; clear LSB bit
                setb  ucw_clk             ; Send Clock
                clr   ucw_clk

                setb  ucw_cs
                pop   01h
                pop   00h
                pop   acc
                ret

;-------------------------------------------------------------------------
; CS5526 Self-offset calibration
cs5526_calibrate: push  acc

; Send command Self calibration
                lcall cs5526_getconfig
                mov   a,cs5526_dat0
                orl   a,#00000011b
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
                mov   cs5526_dat0,a
                lcall cs5526_outconfig

                ; Read Configuration Register until DF Bit is
Asserted
cs5526_cal_wait:  lcall cs5526_getconfig
                mov   a,cs5526_dat0
                jz    acc.3,cs5526_cal_wait
                lcall cs5526_getgain    ; Deasserts DF Bit

                pop   acc
                ret

;-------------------------------------------------------------------------
; CS5526 Acquire conversion
cs5526_acquire:         push  acc
                push  00h

                ; Read configuration register to prevent Previously
set Bits
                ; from being Altered
                lcall cs5526_getconfig  ; Read configuration Register
                mov   a,cs5526_dat0     ; Assert Port Flag Bit
                setb  acc.5
                mov   cs5526_dat0,a
                lcall cs5526_outconfig  ; Actually Send Commands

                ; Acquire a Conversion
                clr   ucw_cs
                mov   a,#11000000b      ; Transfer Command to
CS5525/6/9
                lcall cs5526_out

                ; Toggle SDO
                mov   r0,#8             ; Set counter
                clr   ucw_di            ; Clear SDI
                jb    ucw_do,$          ; Poll SDO
cs5526_acquire_1: setb  ucw_clk         ; Send Clock
                clr   ucw_clk
                djnz  r0,cs5526_acquire_1

                ; Receive Data Conversion
                lcall cs5526_get
                mov   cs5526_dat2,a
                lcall cs5526_get
                mov   cs5526_dat1,a
                lcall cs5526_get
                mov   cs5526_dat0,a

                setb  ucw_cs
                pop   00h
                pop   acc
                ret

;-------------------------------------------------------------------------
; CS5526 get Offset Register
; Return          cs5526_dat2,cs5526_dat1,cs5526_dat0 => data 24 bit
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
cs5526_getoffset: mov   param_1,#10010000b      ; Get Offset command
                  lcall cs5526_getdat
                  ret

;-------------------------------------------------------------------------
; CS5526 get Gain Register
; Return          cs5526_dat2,cs5526_dat1,cs5526_dat0 => data 24 bit
cs5526_getgain:         mov   param_1,#10010010b      ; Get Gain
command
                  lcall cs5526_getdat
                  ret

;-------------------------------------------------------------------------
; CS5526 get Configuration Register
; Return          cs5526_dat2,cs5526_dat1,cs5526_dat0 => data 24 bit
cs5526_getconfig: mov   param_1,#10010100b      ; Get Configuration
command
                  lcall cs5526_getdat
                  ret

;-------------------------------------------------------------------------
; CS5526 out Offset Register
; Parameter       cs5526_dat2,cs5526_dat1,cs5526_dat0 => data 24 bit
cs5526_outoffset: mov   param_1,#10000000b      ; Out Offset command
                  lcall cs5526_outdat
                  ret

;-------------------------------------------------------------------------
; CS5526 out Gain Register
; Parameter       cs5526_dat2,cs5526_dat1,cs5526_dat0 => data 24 bit
cs5526_outgain:         mov   param_1,#10000010b      ; Out Gain
command
                  lcall cs5526_outdat
                  ret

;-------------------------------------------------------------------------
; CS5526 out Configuration Register
; Parameter       cs5526_dat2,cs5526_dat1,cs5526_dat0 => data 24 bit
cs5526_outconfig: mov   param_1,#10000100b      ; Out Configuration
command
                  lcall cs5526_outdat
                  ret

;-------------------------------------------------------------------------
; CS5526 get data
; Parameter       param_1 => Command byte
; Return          cs5526_dat2,cs5526_dat1,cs5526_dat0 => data 24 bit
cs5526_getdat:          push  acc
                  push  00h
                  clr   ucw_cs

                  ; Send Command
                  mov   a,param_1         ; set Command 8 bit to buffer
                  lcall cs5526_out

                  ; Get data 24 bit
                  lcall cs5526_get
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
                mov   cs5526_dat2,a
                lcall cs5526_get
                mov   cs5526_dat1,a
                lcall cs5526_get
                mov   cs5526_dat0,a

                setb  ucw_cs
                pop   00h
                pop   acc
                ret

cs5526_get:     mov   r0,#8             ; Set loop counter
                clr   ucw_clk           ; Clear Clock
cs5526_get_loop: mov  c,ucw_do          ; Move bit to carry
                rlc   a                 ; Rotate accumulator
                setb  ucw_clk           ; Send Clock
                clr   ucw_clk
                djnz  r0,cs5526_get_loop
                ret

;-------------------------------------------------------------------------
; CS5526 out data
; Parameter     param_1 => Command byte
;               cs5526_dat2,cs5526_dat1,cs5526_dat0 => data 24 bit
cs5526_outdat:      push  acc
                push  00h
                clr   ucw_cs

                ; Send Command
                mov   a,param_1         ; set Command 8 bit to buffer
                lcall cs5526_out

                ; Out data 24 bit
                mov   a,cs5526_dat2     ; Set data to buffer
                lcall cs5526_out
                mov   a,cs5526_dat1     ; Set data to buffer
                lcall cs5526_out
                mov   a,cs5526_dat0     ; Set data to buffer
                lcall cs5526_out

                setb  ucw_cs
                pop   00h
                pop   acc
                ret

cs5526_out:     mov   r0,#8             ; Set loop counter
                clr   ucw_clk           ; Clear Clock
cs5526_out_loop: rlc  a                 ; Rotate accumulator
                mov   ucw_di,c          ; Transmit through C bit
                setb  ucw_clk           ; Send Clock
                clr   ucw_clk
                djnz  r0,cs5526_out_loop
                clr   ucw_di            ; Clear SDI
                ret

;\\\\\\\\\\\\\\\\\\\\\\\\\\\\\\\\\\\\\\\\\\\\\\\\\\\\\\\\\\\\\\\\\\\\\\\\\\\\\\\\
; LCD Group module => For text LCD 16x1
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
;////////////////////////////////////////////////////////////////////
;
; Uses            Deley time group module
;
; Global var      param_1,param_2
; Variable  lcd_bk_addr =>    LCD back buffer address
;           lcd_bk_data =>    LCD back buffer data
; Pointer   lcd_bk_buffer     =>    LCD back buffer (use memory 16
byte)
;           lcd_out           =>    LCD Data bus port
;           lcd_rs            =>    MCS-51 pin connect to LCD rs pin
;           lcd_en            =>    MCS-51 pin connect to LCD en pin
; Hardware  LCD 16x1
;
; Memory mep for LCD 16x1
;           C01 C02 C03 C04 C05 C06 C07 C08 C09 C10 C11 C12 C13 C14 C15
C16
;     R01    00  01  02  03  04  05  06  07  40  41  42  43  44  45  46
47
;

;-------------------------------------------------------------------
; LCD Initialize module
lcd_initial:          lcall delay_100ms       ; Delay 100 ms
                      clr   lcd_rs            ; Clear LCD_RS Pin

                      mov   lcd_out,#00111000b    ; 8 bit Mode
                      lcall lcd_clk               ; Pluse LCD Clock
                      lcall delay_10ms            ; Delay 10 ms
                      mov   lcd_out,#00111000b    ; 8 bit Mode
                      lcall lcd_clk               ; Pluse LCD Clock

                      lcall lcd_off               ; Display Off
                      lcall lcd_clr               ; Clear Display

                      mov   lcd_out,#00000110b    ; Entry Mode
                      lcall lcd_clk               ; Pluse LCD Clock

                      lcall lcd_home          ; Return Home Display
                      lcall lcd_clr
                      ret

;-------------------------------------------------------------------
; LCD command module
; Parameter       param_1 => LCD command
lcd_command:            clr   lcd_rs                  ; Clear LCD_RS
Pin
                      mov   lcd_out,param_1         ; Send command to data
bus
                      lcall lcd_clk                 ; Pluse LCD Clock
                      ret

;-------------------------------------------------------------------
; LCD Clear Display module
lcd_clr:              mov   param_1,#00000001b      ; Entry Mode
                      lcall lcd_command       ; call LCD command module
                      ret
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
;-----------------------------------------------------------------------
; LCD Return home module
lcd_home:          mov   param_1,#00000010b       ; Return Home
                   lcall lcd_command        ; call LCD command module
                   ret

;-----------------------------------------------------------------------
; LCD Display Off module
lcd_off:           mov   param_1,#00001000b       ; Display Off
                   lcall lcd_command        ; call LCD command module
                   ret

;-----------------------------------------------------------------------
; LCD Display On module
lcd_on:                  mov   param_1,#00001100b       ; Display On
                   lcall lcd_command        ; call LCD command module
                   ret

;-----------------------------------------------------------------------
; LCD Display cursor and blink module
lcd_cur_blink:           mov   param_1,#00001111b       ; Display Cursor
and Blink
                   lcall lcd_command        ; call LCD command module
                   ret

;-----------------------------------------------------------------------
; LCD Left Shift Display module
lcd_lshf:          mov   param_1,#00011000b       ; Left Shift Display
                   lcall lcd_command        ; call LCD command module
                   ret

;-----------------------------------------------------------------------
; LCD Right Shift Display module
lcd_rshf:          mov   param_1,#00011100b       ; Right Shift Display
                   lcall lcd_command        ; call LCD command module
                   ret

;-----------------------------------------------------------------------

; LCD Left Shift Cursor module
lcd_cur_lshf:            mov   param_1,#00010000b       ; Left Shift
Cursor
                   lcall lcd_command        ; call LCD command module
                   ret

;-----------------------------------------------------------------------
; LCD Right Shift Cursor module
lcd_cur_rshf:            mov   param_1,#00010100b       ; Right Shift
Cursor
                   lcall lcd_command        ; call LCD command module
                   ret

;-----------------------------------------------------------------------
; Set LCD Address module
; Parameter        param_1 => LCD address
lcd_set_addr:            push  acc
                   mov   a,param_1          ; Move LCD_ADDR to ACC.
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
                setb  acc.7             ; Set bit ACC.7
                mov   param_1,a         ; Set address command
                lcall lcd_command       ; call LCD command module
                pop   acc
                ret

;-------------------------------------------------------------------------
; Write Charector to LCD in current LCD address module
; Parameter     param_1 => Data charector
lcd_wrchar:     setb  lcd_rs                    ; Set LCD_RS Pin
                mov   lcd_out,param_1           ; Send data to data bus
                lcall lcd_clk                   ; Pluse LCD Clock
                ret

;-------------------------------------------------------------------------
; LCD Clock module
; reamrk        Send pulse clock to LCD_EN
lcd_clk:        setb  lcd_en                    ; Send rising eage
                lcall delay_1ms         ; Delay 2 ms
                lcall delay_1ms
                clr   lcd_en                    ; Send falling edge
                lcall delay_1ms         ; Delay 2 ms
                lcall delay_1ms
                ret

;-------------------------------------------------------------------------
; LCD set cursor position module
; Parameter     param_1 => position x (Column) => 0-15
lcd_cur_setpos:     push  acc
                mov   a,param_1         ; Get column
                cjne  a,#8,$+3          ; Check column
                jc    lcd_cur_setpos_1  ; if Column >= 8 then
                add   a,#38h                    ; Add address more 38h
(40h-47h)
lcd_cur_setpos_1: mov   param_1,a       ; Call LCD set address module
                lcall lcd_set_addr
                pop   acc
                ret

;-------------------------------------------------------------------------
; LCD Flip data in Back buffer to LCD data module
lcd_flip:       push  00h               ; push r0
                push  01h               ; push r1
                mov   r1,#lcd_bk_buffer ; Set LCD back buffer pointer

                ; << First 8 byte >>
                mov   r0,#8             ; Set counter
                mov   param_1,#00h              ; Set LCD address
(First 8 bytes)
                lcall lcd_set_addr              ; call Set address
module
lcd_flip_1:     mov   param_1,@r1       ; Move data to LCD data
buffer
                lcall lcd_wrchar        ; call LCD write charector
module
                inc   r1                ; Increase pointer
                djnz  r0,lcd_flip_1             ; Loop r0
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
                ; << Last 8 byte >>
                mov   r0,#8             ; Set counter
                mov   param_1,#40h              ; Set LCD address (Last
8 bytes)
                lcall lcd_set_addr              ; call Set address
module
lcd_flip_2:     mov   param_1,@r1       ; Move data to LCD data
buffer
                lcall lcd_wrchar        ; call LCD write charector
module
                inc   r1                ; Increase pointer
                djnz  r0,lcd_flip_2             ; Loop r0
                pop   01h               ; pop r1
                pop   00h               ; pop r0
                ret

;-------------------------------------------------------------------------
; LCD Back buffer write char module
; Parameter     lcd_bk_addr =>    LCD back buffer address
;               lcd_bk_data =>    Data charector
lcd_bk_wrchar:          push  acc
                push  00h               ; push r0
                mov   a,#lcd_bk_buffer  ; Get back buffer address
                add   a,lcd_bk_addr             ; Calculate write
address
                mov   r0,a              ; Set address pointer
                mov   @r0,lcd_bk_data           ; Write charector to
LCD back buffer
                inc   lcd_bk_addr       ; Increase LCD back buffer
address
                pop   00h               ; pop r0
                pop   acc
                ret

;-------------------------------------------------------------------------
; LCD Back buffer write number module
; Parameter     lcd_bk_addr =>    LCD back buffer address
;               lcd_bk_data =>    Number (0-15)
; remark        write in HEX (0h-Fh)
lcd_bk_wrnum:           push  acc
                mov   a,lcd_bk_data             ; Get data
                add   a,#30h                    ; Convert to ASCII 0-9
code
                cjne  a,#3Ah,lcd_bk_wrnum_1     ; Check A-F ?
lcd_bk_wrnum_1:         jc    lcd_bk_wrnum_2
                add   a,#07h                    ; Convert to ASCII A-F
code
lcd_bk_wrnum_2:         mov   lcd_bk_data,a
                lcall lcd_bk_wrchar             ; call LCD back buffer
write char. module
                pop   acc
                ret

;-------------------------------------------------------------------------
; LCD Back buffer write BCD number module
; Parameter     lcd_bk_addr =>    LCD back buffer address
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
;                   lcd_bk_data =>    Number (00-99)
lcd_bk_wrbcd:             push  acc
                    push  b
                    mov   a,lcd_bk_data           ; Get data
                    mov   b,a                ; Copy to B
                    anl   a,#0F0h                 ; Get higher 4 bit
                    swap  a                  ; Swap nipple
                    mov   lcd_bk_data,a           ; Write LCD
                    lcall lcd_bk_wrnum
                    mov   a,b                ; Restore value
                    anl   a,#00Fh                 ; Get lower 4 bit
                    mov   lcd_bk_data,a           ; Write LCD
                    lcall lcd_bk_wrnum
                    pop   b
                    pop   acc
                    ret

;-------------------------------------------------------------------------
; LCD Back buffer write line module
; Parameter         DPTR => Pointer to text (16 charectors)
lcd_bk_wrline:            push  acc
                    push  00h                ; push r0
                    push  01h                ; push r1
                    mov   r0,#16                  ; Set counter
                    mov   r1,#lcd_bk_buffer ; Set back buffer pointer
lcd_bk_wrline_1:    mov   a,#00h                  ; Get text from program
memory
                    movc  a,@a+dptr
                    mov   @r1,a              ; Set text to back buffer
                    inc   dptr               ; Increase pointer
                    inc   r1                 ; Increase pointer
                    djnz  r0,lcd_bk_wrline_1      ; Loop r0
                    pop   01h                ; pop r1
                    pop   00h                ; pop r0
                    pop   acc
                    ret

;-------------------------------------------------------------------------
; LCD Back buffer print line module
; Remark            Data which want print to Back buffer must below call
module
;                   with this format
;
;                   acall lcd_bk_print            ; Call module
;                   db    '0123456789ABCDEF'      ; Data 16 byte
;
lcd_bk_print:             pop   dph
                    pop   dpl
                    acall lcd_bk_wrline
                    push  dpl
                    push  dph
                    ret

;-------------------------------------------------------------------------
; LCD Back buffer clear module
lcd_bk_clr:         push  00h                ; push r0
                    push  01h                ; push r1
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
                mov   r0,#16                    ; Set counter
                mov   r1,#lcd_bk_buffer ; Set address pointer
lcd_bk_clr_1:         mov   @r1,#' '            ; Set blank charector
to back buffer
                inc   r1                ; Increase pointer
                djnz  r0,lcd_bk_clr_1         ; Loop
                pop   01h               ; pop r1
                pop   00h               ; pop r0
                ret

;\\\\\\\\\\\\\\\\\\\\\\\\\\\\\\\\\\\\\\\\\\\\\\\\\\\\\\\\\\\\\\\\\\\\\\\\\\\\\\\\\\\
; Delay time Group module -
;////////////////////////////////////////////////////////////////////////////
;
; Hardware        XTAL 11.059 MHz

;---------------------------------------------------------------------------
; Delay time 1 ms module
; Use stack : 1 byte
delay_1ms:      push  07h               ; push r7
                mov   r7,#0E6h          ; Each loop = 1 ms
delay_1ms_1:          nop                       ; Delay
                nop
                djnz  r7,delay_1ms_1          ; Loop r7
                pop   07h               ; pop r7
                ret

;---------------------------------------------------------------------------
; Delay time 10 ms module
; Use stack : 2 byte (internal 1, sub module 1)
delay_10ms:     push  07h               ; push r7
                mov   r7,#10                  ; Do 10 times
delay_10ms_1:         acall delay_1ms                 ; Call Delay 1 ms
module
                djnz  r7,delay_10ms_1         ; Loop r7
                pop   07h               ; pop r7
                ret
;---------------------------------------------------------------------------
; Delay time 100 ms module
; Use stack : 2 byte (internal 1, sub module 1)
delay_100ms:          push  07h                 ; push r7
                mov   r7,#100                 ; Do 100 times
delay_100ms_1:        acall delay_1ms           ; Call Delay 1 ms
module
                djnz  r7,delay_100ms_1  ; Loop r7
                pop   07h               ; pop r7
                ret
;---------------------------------------------------------------------------
; Delay time 1 s module
delay_1s:       push  07h               ; push r7
                mov   r7,#10                  ; Do 10 times
delay_1s_1:     lcall delay_100ms       ; Call delay 100 ms module
                djnz  r7,delay_1s_1           ; Loop r7
                pop   07h               ; pop r7
                ret
                end
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

A DIVISION OF CIRRUS LOGIC

CS5525
CS5526

16-Bit/20-Bit Multi-Range ADC with 4-Bit Latch

Features

- Delta-Sigma A/D Converter
  - Linearity Error: 0.0015%FS
  - Noise Free Resolution: 18-bits
- Bipolar/Unipolar Input Ranges
  - 25 mV, 55 mV, 100 mV, 1 V, 2.5 V and 5 V
- Chopper Stabilized Instrumentation Amplifier
- On-Chip Charge Pump Drive Circuitry
- 4-Bit Output Latch
- Simple three-wire serial interface
  - SPI™ and Microwire™ Compatible
  - Schmitt Trigger on Serial Clock (SCLK)
- Programmable Output Word Rates
  - 3.76 Hz to 202Hz (XIN = 32.768 kHz)
  - 11.47 Hz to 616 Hz (XIN = 100 kHz)
- Output Settles in One Conversion Cycle
- Simultaneous 50/60 Hz Noise Rejection
- System and Self-Calibration with Read/Write Registers
- Single +5 V Analog Supply
  +3.0 V or +5 V Digital Supply
- Low Power Mode Consumption: 4 mW
  - 1.8 mW in 1 V, 2.5 V, and 5 V Input Ranges

General Description

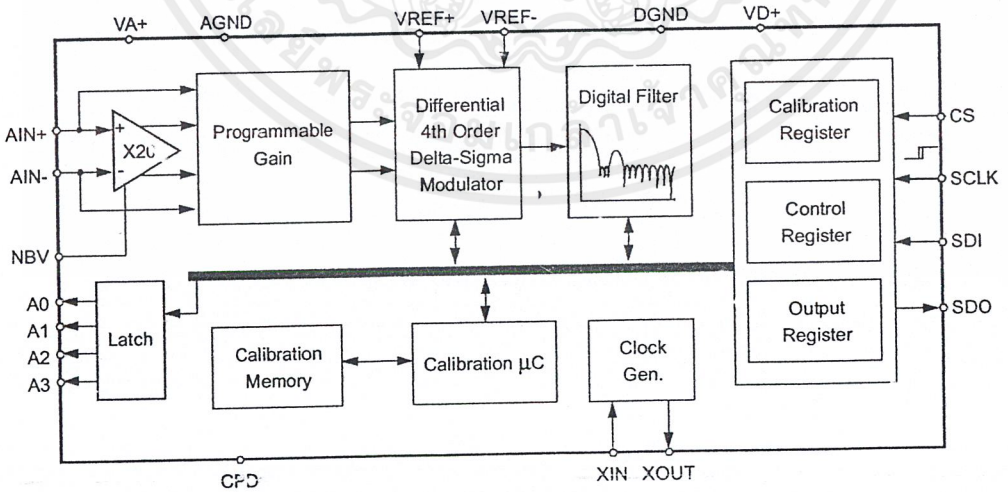
The 16-bit CS5525 and the 20-bit CS5526 are highly integrated ΔΣ A/D converters which include an instrumentation amplifier, a PGA (programmable gain amplifier), eight digital filters, and self and system calibration circuitry.

The converters are designed to provide their own negative supply which enables their on-chip instrumentation amplifiers to measure bipolar ground-referenced signals ≤±100 mV. By directly supplying NBV with -2.5 V and with VA+ at 5 V, ±2.5 V signals (with respect to ground) can be measured.

The digital filters provide programmable output update rates between 3.76 Hz to 202 Hz (XIN = 32.768 kHz). Output word rates can be increased by approximately 3X by using XIN = 100 kHz. Each filter is designed to settle to full accuracy for its output update rate in one conversion cycle. The filters with word rates of 15 Hz or less (XIN = 32.768 kHz) reject both 50 and 60 Hz (±3 Hz) line interference simultaneously.

Low power, single conversion settling time, programmable output rates, and the ability to handle negative input signals make these single supply products ideal solutions for isolated and non-isolated applications.

ORDERING INFORMATION
See page 26.



Cirrus Logic, Inc.
Crystal Semiconductor Products Division
P.O. Box 17847, Austin, Texas 78760
(512) 445 7222 FAX: (512) 445 7581
http://www.crystal.com

Copyright © Cirrus Logic, Inc. 1998
(All Rights Reserved)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ANALOG CHARACTERISTICS (T_A = 25 °C; VA+, VD+ = 5 V ±5%; VREF+ = 2.5 V, VREF- = AGND, NBV = -2.1 V, FCLK = 32.768 kHz, OWR (Output Word Rate) = 15 Hz, Bipolar Mode, Input Range = ±100 mV; See Notes 1 and 2.)

Parameter		CS5525 Min	CS5525 Typ	CS5525 Max	CS5526 Min	CS5526 Typ	CS5526 Max	Unit
Accuracy								
Linearity Error		-	±0.0015	±0.003	-	±0.0007	±0.0015	%FS
No Missing Codes		16	-	-	20	-	-	Bits
Bipolar Offset	(Note 3)	-	±1	±2	-	±16	±32	LSB
Unipolar Offset	(Note 3)	-	±2	±4	-	±32	±64	LSB
Offset Drift	(Notes 3 and 4)	-	20	-	-	20	-	nV/°C
Bipolar Gain Error		-	±8	±31	-	±8	±31	ppm
Unipolar Gain Error		-	±16	±62	-	±16	±62	ppm
Gain Drift	(Note 4)	-	1	3	-	1	3	ppm/°C
Voltage Reference Input								
Range	(VREF+) - (VREF-)	1	2.5	3.0	1	2.5	3.0	V
Common Mode Rejection	dc	-	110	-	-	110	-	dB
	50, 60 Hz	-	130	-	-	130	-	dB
Input Capacitance		-	16	-	-	16	-	pF
CVF Current	(Note 5)	-	0.6	-	-	0.6	-	µA/V

Notes:
1. Applies after system calibration at any temperature within -40 °C ~ +85 °C.
2. Specifications guaranteed by design, characterization, and/or test.
3. Specification applies to the device only and does not include any effects by external parasitic thermocouples. LSB = LSB_{16} for the CS5525, and LSB_{20} for the CS5526.
4. Drift over specified temperature range after calibration at power-up at 25 °C.
5. See the section of the data sheet which discusses input models on page 15.

RMS NOISE (Notes 6 and 7)

Output Rate (Hz)	-3 dB Filter Frequency	Input Range, (Bipolar/Unipolar Mode) 25 mV	55 mV	100 mV	1 V	2.5 V	5 V
3.76	3.27	90 nV	90 nV	130 nV	1.0 µV	2.0 µV	4.0 µV
7.51	6.55	110 nV	130 nV	190 nV	1.5 µV	3.0 µV	7 µV
15.0	12.7	170 nV	200 nV	250 nV	2.0 µV	5.0 µV	10 µV
30.1	25.4	250 nV	300 nV	500 nV	4.0 µV	10 µV	15 µV
60.0	50.4	500 nV	1.0 µV	1.5 µV	15 µV	45 µV	85 µV
123.2 (Note 8)	103.6	2.0 µV	4.0 µV	8.0 µV	72 µV	190 µV	350 µV
168.9 (Note 8)	141.3	10 µV	20.0 µV	30 µV	340 µV	900 µV	2.0 mV
202.3 (Note 8)	169.2	30 µV	55 µV	105 µV	1.1 mV	2.4 mV	5.3 mV

Notes:
6. Wideband noise aliased into the baseband. Referred to the input. Typical values shown for 25 °C.
7. For Peak-to-Peak Noise multiply by 6.6 for all ranges and output rates.
8. For input ranges <100 mV and output word rates >60 Hz, 32.768 kHz chopping frequency is used.

Specifications are subject to change without notice.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ANALOG CHARACTERISTICS (Continued)

Parameter			Min	Typ	Max	Unit
Analog Input						
Common Mode + Signal on AIN+ or AIN-		Bipolar/Unipolar Mode				
NBV = -1.8 to -2.5 V	Range = 25 mV, 55 mV, or 100 mV		-0.150	-	0.950	V
	Range = 1 V, 2.5 V, or 5 V		NBV	-	VA+	V
NBV = AGND	Range = 25 mV, 55 mV, or 100 mV		1.85	-	2.65	V
	Range = 1 V, 2.5 V, or 5 V		0.0	-	VA+	V
Common Mode Rejection	dc		-	120	-	dB
	50, 60 Hz		-	120	-	dB
Input Capacitance			-	10	-	pF
CVF Current on AIN+ or AIN-		(Note 5)				
	Range = 25 mV, 55 mV, or 100 mV		-	100	300	pA
	Range = 1 V, 2.5 V, or 5 V		-	1.2	-	µA/V
System Calibration Specifications						
Full Scale Calibration Range		Bipolar/Unipolar Mode (Note 9)				
	25 mV		17.5	-	32.5	mV
	55 mV		38.5	-	71.5	mV
	100 mV		70	-	105	mV
	1 V		0.70	-	1.30	V
	2.5 V		1.75	-	3.25	V
	5 V		3.50	-	VA+	V
Offset Calibration Range		Bipolar/Unipolar Mode				
	25 mV		-	-	±12.5	mV
	55 mV		-	-	±27.5	mV
	100 mV	(Note 10)	-	-	±50	mV
	1 V		-	-	±0.5	V
	2.5 V		-	-	±1.25	V
	5 V		-	-	±2.50	V
Power Supplies						
DC Power Supply Currents (Normal Mode)		I_{A+}	-	1.3	1.7	mA
		I_{D+}	-	15	30	µA
		I_{NBV}	-	400	550	µA
Power Consumption	Normal Mode	(Note 11)	-	7.5	10	mW
	Low Power Mode		-	4.0	6.5	mW
	Standby		-	1.2	-	mW
	Sleep		-	500	-	µW
Power Supply Rejection	dc Positive Supplies		-	95	-	dB
	dc NBV		-	110	-	dB

Notes: 9. The minimum Full Scale Calibration Range (FSCR) is limited by the maximum allowed gain register value (with margin). The maximum FSCR is limited by the ΔΣ modulator's 1's density range.

10. The maximum full scale signal can be limited by saturation of circuitry within the internal signal path.

11. All outputs unloaded. All input CMOS levels.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

5 V DIGITAL CHARACTERISTICS (T_A = 25 °C; VA+, VD+ = 5 V ±5%; GND = 0; See Notes 2 and 12.))

Parameter		Symbol	Min	Typ	Max	Unit
High-Level Input Voltage	All Pins Except XIN and SCLK	V_{IH}	0.6 VD+	-	-	V
	XIN		3.5	-	VD+	V
	SCLK		(VD+) - 0.45	-	-	V
Low-Level Input Voltage	All Pins Except XIN and SCLK	V_{IL}	-	-	0.8	V
	XIN		0.0	-	1.5	V
	SCLK		-	-	0.6	V
High-Level Output Voltage		V_{OH}				
	All Pins Except CPD and SDO (Note 13)		(VA+) - 1.0	-	-	V
	CPD, I_{out} = -4.0 mA		(VD+) - 1.0	-	-	V
	SDO, I_{out} = -5.0 mA		(VD+) - 1.0	-	-	V
Low-Level Output Voltage		V_{OL}				
	All Pins Except CPD and SDO, I_{out} = 1.6 mA		-	-	0.4	V
	CPD, I_{out} = 2 mA		-	-	0.4	V
	SDO, I_{out} = 5.0 mA		-	-	0.4	V
Input Leakage Current		I_{in}	-	±1	±10	µA
3-State Leakage Current		I_{OZ}	-	-	±10	µA
Digital Output Pin Capacitance		C_{out}	-	9	-	pF

Notes: 12. All measurements performed under static conditions.

13. I_{out} = -100 µA unless stated otherwise. (V_{OH} = 2.4 V @ I_{out} = -40 µA.)

3.0 V DIGITAL CHARACTERISTICS (T_A = 25 °C; VA+ = 5 V ±5%; VD+ = 3.0 V ±10%; GND = 0; See Notes 2 and 12.))

Parameter		Symbol	Min	Typ	Max	Unit
High-Level Input Voltage	All Pins Except XIN and SCLK	V_{IH}	0.6 VD+	-	-	V
	XIN		0.54 VA+	-	VD+	V
	SCLK		(VD+) - 0.45	-	-	V
Low-Level Input Voltage	All Pins Except XIN and SCLK	V_{IL}	-	-	0.16 VD+	V
	XIN		0.0	-	1.5	V
	SCLK		-	-	0.6	V
High-Level Output Voltage		V_{OH}				
	All Pins Except CPD and SDO, I_{out} = -400 µA		(VA+) - 0.3	-	-	V
	CPD, I_{out} = -4.0 mA		(VD+) - 1.0	-	-	V
	SDO, I_{out} = -5.0 mA		(VD+) - 1.0	-	-	V
Low-Level Output Voltage		V_{OL}				
	All Pins Except CPD and SDO, I_{out} = 400 µA		-	-	0.3	V
	CPD, I_{out} = 2 mA		-	-	0.4	V
	SDO, I_{out} = 5.0 mA		-	-	0.4	V
Input Leakage Current		I_{in}	-	±1	±10	µA
3-State Leakage Current		I_{OZ}	-	-	±10	µA
Digital Output Pin Capacitance		C_{out}	-	9	-	pF

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

DYNAMIC CHARACTERISTICS

Parameter	Symbol	Ratio	Unit
Modulator Sampling Frequency	f_s	XIN/2	Hz
Filter Settling Time to 1/2 LSB (Full Scale Step)	t_s	$1/f_{out}$	s

RECOMMENDED OPERATING CONDITIONS (AGND, DGND = 0 V; See Note 14.))

Parameter		Symbol	Min	Typ	Max	Unit
DC Power Supplies	Positive Digital	VD+	2.7	5.0	5.25	V
	Positive Analog	VA+	4.75	5.0	5.25	V
Analog Reference Voltage	(VREF+) - (VREF-)	$VRef_{diff}$	1.0	2.5	3.0	V
Negative Bias Voltage		NBV	-1.8	-2.1	-2.5	V

Notes: 14. All voltages with respect to ground.

ABSOLUTE MAXIMUM RATINGS (AGND, DGND = 0 V; See Note 14.)

Parameter		Symbol	Min	Max	Unit
DC Power Supplies	(Note 15)				
	Positive Digital	VD+	-0.3	+6.0	V
	Positive Analog	VA+	-0.3	+6.0	V
Negative Bias Voltage	Negative Potential	NBV	+0.3	-3.0	V
Input Current, Any Pin Except Supplies	(Note 16 and 17)	I_{IN}	-	±10	mA
Output Current		I_{OUT}	-	±25	mA
Power Dissipation	(Note 18)	PDN	-	500	mW
Analog Input Voltage	VREF pins	V_{INR}	-0.3	(VA+) + 0.3	V
	AIN Pins	V_{INA}	NBV - 0.3	(VA+) + 0.3	V
Digital Input Voltage		V_{IND}	-0.3	(VD+) + 0.3	V
Ambient Operating Temperature		T_A	-40	85	°C
Storage Temperature		T_{stg}	-65	150	°C

Notes: 15. No pin should go more negative than NBV - 0.3 V.

16. Applies to all pins including continuous overvoltage conditions at the analog input (AIN) pins.

17. Transient current of up to 100 mA will not cause SCR latch-up. Maximum input current for a power supply pin is ±50 mA.

18. Total power dissipation, including all input currents and output currents.

WARNING: Operation at or beyond these limits may result in permanent damage to the device. Normal operation is not guaranteed at these extremes.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

SWITCHING CHARACTERISTICS (T_A = 25 °C; VA+ = 5 V ±5%; VD+ = 3.0 V ±10% or 5 V ±5%; Input Levels: Logic 0 = 0 V, Logic 1 = VD+; C_L = 50 pF.))

Parameter		Symbol	Min	Typ	Max	Unit
Master Clock Frequency	(Note 19)	XIN				
	Internal Clock		30	32.768	36	kHz
	External Clock		30	32.768	100	
Master Clock Duty Cycle			40	-	60	%
Rise Times	(Note 20)	t_{rise}				
	Any Digital Input Except SCLK		-	-	1.0	µs
	SCLK		-	-	100	µs
	Any Digital Output		-	50	-	ns
Fall Times	(Note 20)	t_{fall}				
	Any Digital Input Except SCLK		-	-	1.0	µs
	SCLK		-	-	100	µs
	Any Digital Output		-	50	-	ns
Start-up						
Oscillator Start-up Time	XTAL = 32.768 kHz (Note 21)	t_{ost}	-	500	-	ms
Power-on Reset Period		t_{por}	-	1003	-	XIN cycles
Serial Port Timing						
Serial Clock Frequency		SCLK	0	-	2	MHz
SCLK Falling to $\overline{CS}$ Falling for continuous running SCLK	(Note 22)	t_0	100	-	-	ns
Serial Clock	Pulse Width High	t_1	250	-	-	ns
	Pulse Width Low	t_2	250	-	-	ns
SDI Write Timing						
$\overline{CS}$ Enable to Valid Latch Clock		t_3	50	-	-	ns
Data Set-up Time prior to SCLK rising		t_4	50	-	-	ns
Data Hold Time After SCLK Rising		t_5	100	-	-	ns
SCLK Falling Prior to $\overline{CS}$ Disable		t_6	100	-	-	ns
SDO Read Timing						
$\overline{CS}$ to Data Valid		t_7	-	-	150	ns
SCLK Falling to New Data Bit		t_8	-	-	150	ns
$\overline{CS}$ Rising to SDO Hi-Z		t_9	-	-	150	ns

Notes: 19. Device parameters are specified with a 32.768 kHz clock; however, clocks up to 100 kHz can be used for increased throughput.

20. Specified using 10% and 90% points on waveform of interest. Output loaded with 50 pF.

21. Oscillator start-up time varies with crystal parameters. This specification does not apply when using an external clock source.

22. Applicable when SCLK is continuously running.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

SWITCHING CHARACTERISTICS (T_A = 25 °C; VA+ = 5 V ±5%; VD+ = 3.0 V ±10% or 5 V ±5%; Input Levels: Logic 0 = 0 V, Logic 1 = VD+; C_L = 50 pF.))

Parameter	Symbol	Min	Typ	Max	Unit
Master Clock Frequency (Note 19)	XIN				
Internal Clock		30	32.768	36	kHz
External Clock		30	32.768	100	
Master Clock Duty Cycle		40	-	60	%
Rise Times (Note 20)	t_{rise}				
Any Digital Input Except SCLK		-	-	1.0	µs
SCLK		-	-	100	µs
Any Digital Output		-	50	-	ns
Fall Times (Note 20)	t_{fall}				
Any Digital Input Except SCLK		-	-	1.0	µs
SCLK		-	-	100	µs
Any Digital Output		-	50	-	ns
Start-up					
Oscillator Start-up Time XTAL = 32.768 kHz (Note 21)	t_{ost}	-	500	-	ms
Power-on Reset Period	t_{por}	-	1003	-	XIN cycles
Serial Port Timing					
Serial Clock Frequency	SCLK	0	-	2	MHz
SCLK Falling to $\overline{CS}$ Falling for continuous running SCLK (Note 22)	t_0	100	-	-	ns
Serial Clock Pulse Width High	t_1	250	-	-	ns
Pulse Width Low	t_2	250	-	-	ns
SDI Write Timing					
$\overline{CS}$ Enable to Valid Latch Clock	t_3	50	-	-	ns
Data Set-up Time prior to SCLK rising	t_4	50	-	-	ns
Data Hold Time After SCLK Rising	t_5	100	-	-	ns
SCLK Falling Prior to $\overline{CS}$ Disable	t_6	100	-	-	ns
SDO Read Timing					
$\overline{CS}$ to Data Valid	t_7	-	-	150	ns
SCLK Falling to New Data Bit	t_8	-	-	150	ns
$\overline{CS}$ Rising to SDO Hi-Z	t_9	-	-	150	ns

Notes: 19. Device parameters are specified with a 32.768 kHz clock; however, clocks up to 100 kHz can be used for increased throughput.

20. Specified using 10% and 90% points on waveform of interest. Output loaded with 50 pF.

21. Oscillator start-up time varies with crystal parameters. This specification does not apply when using an external clock source.

22. Applicable when SCLK is continuously running.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

GENERAL DESCRIPTION

The CS5525 and CS5526 are 16-bit and 20-bit pin compatible converters which include a chopper-stabilized instrumentation amplifier input, and an on-chip programmable gain amplifier. They are both optimized for measuring low-level unipolar or bipolar signals in process control and medical applications.

The CS5525/26 also include a fourth order delta-sigma modulator, a calibration microcontroller, eight digital filters, a 4-bit analog latch, and a serial port. The digital filters provide any one of eight different output update rates.

The CS5525/26 include a CPD (Charge Pump Drive) output (shown in Figure 1). CPD provides a negative bias voltage to the on-chip instrumentation amplifier when used with a combination of external diodes and capacitors. This enables the CS5525/26 to measure negative voltages with respect to ground, making the converters ideal for thermocouple temperature measurements.

Theory of Operation

The CS5525/26 A/D converters are designed to operate from a single +5 V analog supply and provide several different input ranges. See the ***Analog Characteristics*** section on page 3 for details.

Figure 1 illustrates the CS5525/26 connected to generate their own negative bias supply using the on-chip CPD (Charge Pump Drive). This enables the CS5525/26 to measure ground referenced signals with magnitudes down to NBV (Negative Bias Voltage, approximately -2.1 V in this example). Figure 2 illustrates a charge pump circuit when the converters are powered from a +3.0 V digital supply. Alternatively, the negative bias supply can be generated from a negative supply voltage or a resistive divider as illustrated in Figure 3.

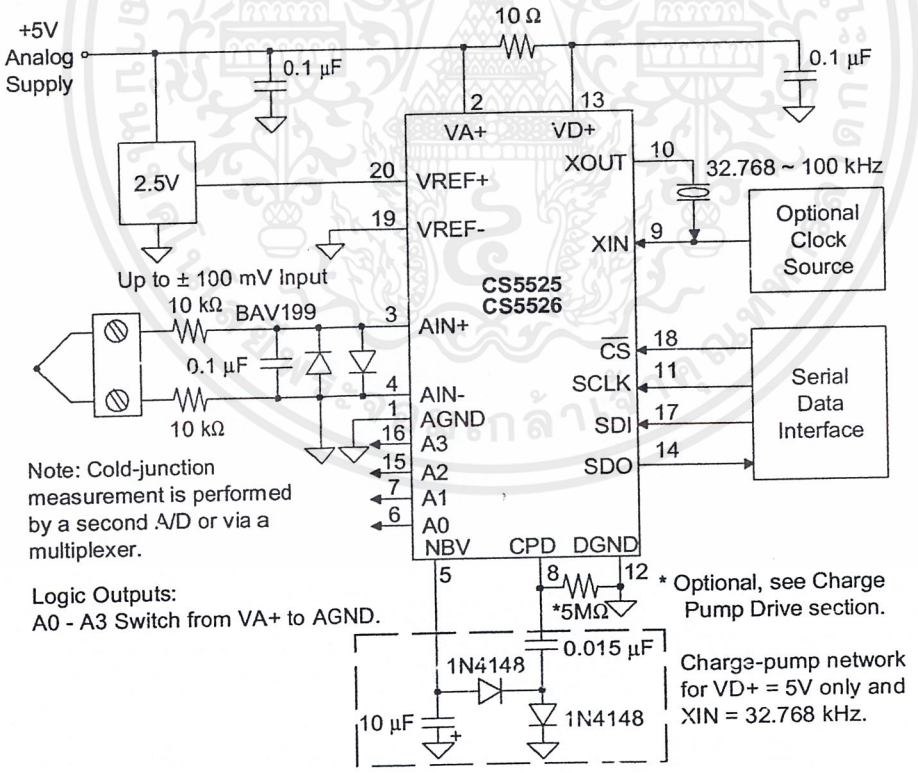


Figure 1. CS5525/26 Configured to use on-chip charge pump to supply NBV.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Figure 4 illustrates the CS5525/26 connected to measure ground referenced unipolar signals of a positive polarity using the 1 V, 2.5 V, and 5 V input voltage ranges on the converter. For the 25 mV, 55 mV, and 100 mV ranges the signal must have a common mode near +2.5 V (NBV = 0V).

The CS5525/26 are optimized for the measurement of thermocouple outputs, but they are also well suited for the measurement of ratiometric bridge transducer outputs. Figure 5 illustrates the CS5525/26 connected to measure the output of a ratiometric differential bridge transducer while operating from a single +5 V supply.

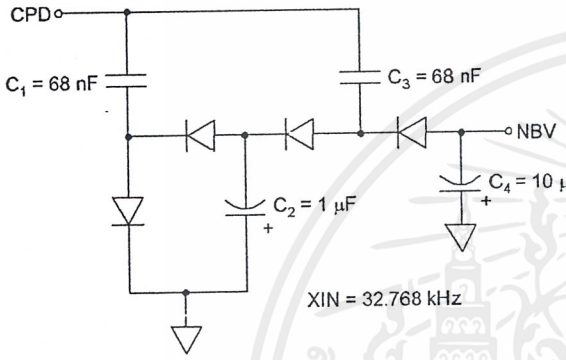


Figure 2. Charge Pump Drive Circuit for VD+ = 3 V.

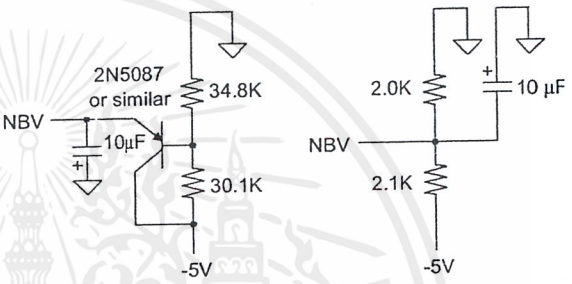


Figure 3. Alternate NBV Circuits.

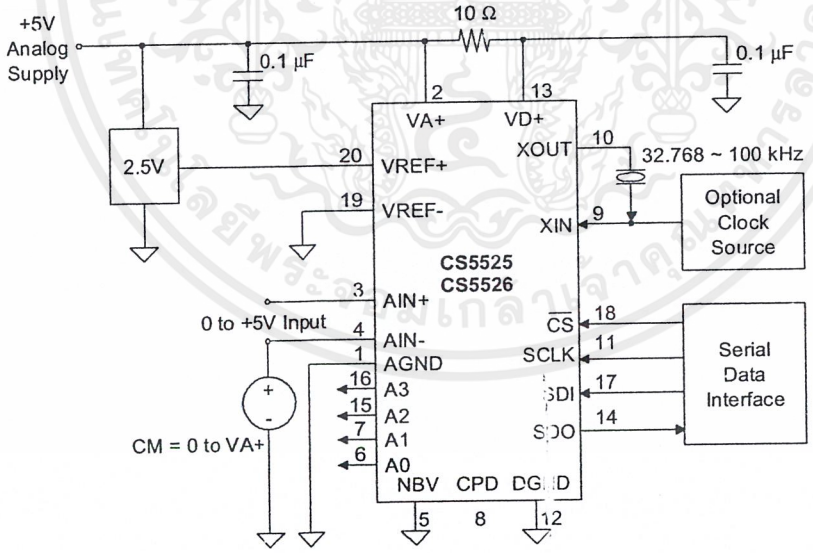


Figure 4. CS5525/26 Configured for ground-referenced Unipolar Signals.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

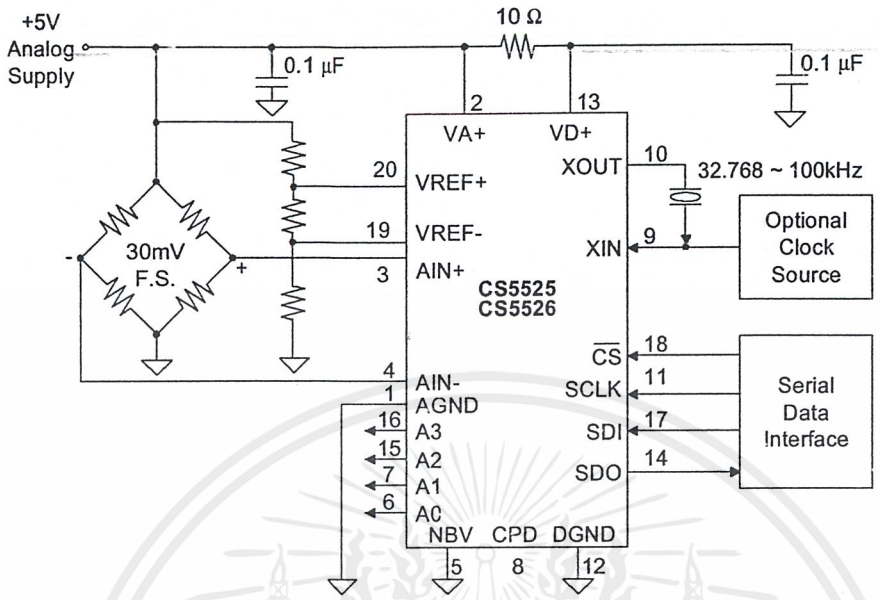


Figure 5. CS5525/26 Configured for Single Supply Bridge Measurement.

System Initialization

When power to the CS5525/26 is applied, they are held in a reset condition until their 32.768 kHz oscillators have started and their start-up counter-timer elapses. Due to the high Q of a 32.768 kHz crystal, the oscillators take 400-600 ms to start. The converter's counter-timer counts no more than 1024 oscillator clock cycles to make sure the oscillator is fully stable. During this time-out period the serial port logic is reset and the RV (Reset Valid) bit in the configuration register is set. A reset can be initiated at any time by writing a logic 1 to the RS (Reset System) bit in the configuration register. This automatically sets the RV bit until the RS bit is written to logic 0, and the configuration register is read. After a reset, the on-chip registers are initialized to the following states and the converters are ready to perform conversions.

configuration register:	000040(H)
offset register:	000000(H)
gain register:	800000(H)

Command Operation

The CS5525/26 include a microcontroller with five registers used to control the converter. Each register is 24-bits in length except the 8-bit command register (command, configuration, offset, gain, and conversion data). After a system initialization or reset, the serial port is initialized to the command mode and the converter stays in this mode until a valid 8-bit command is received (the first 8-bits into the serial port). Table 1 lists all the valid commands. Once a valid 8-bit command (a read or a write command word) is received and interpreted by the command register, the serial port enters the data mode. In data mode the next 24 serial clock pulses shift data either into or out of the serial port (72 serial clock pulses are needed if set-up register is selected). See Table 2 for configuring the CS5525/26.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Reading/Writing On-Chip Registers

The CS5525/26's offset, gain, and configuration registers are read/writable while the conversion data register is read only.

To perform a read from a specific register, the R/$\overline{W}$ bit of the command word must be a logic 1. The SC, CC, and PS/$\overline{R}$ bits must be logic 0 and the CB (MSB) bit must be a logic 1. The register to be written is selected with the RSB2-RSB0 bits of the command word.

To perform a write to a specific register, the R/$\overline{W}$ bit of the command word must be a logic 0. The SC, CC, and PS/R bits must be logic 0 and the CB (MSB) bit must be a logic 1. The register to be written is selected with the RSB2-RSB0 bits of the command word. Figure 6 illustrates the serial sequence necessary to write to, or read from the serial port.

If the Set-up Registers are chosen with the RSB2-RSB0 bits, the registers are read or written in the following sequence: Offset, Gain and Configuration. This is accomplished by following one 8-bit command word with three 24-bit data words for a total of 72 data bits.

Command Register

D7(MSB)	D6	D5	D4	D3	D2	D1	D0
CB	SC	CC	R/$\overline{W}$	RSB2	RSB1	RSB0	PS/$\overline{R}$

BIT	NAME	VALUE	FUNCTION
D7	Command Bit, CB	0 1	Null command (no operation). All command bits, including CB must be 0. Logic 1 for executable commands.
D6	Single Conversion, SC	0 1	Single Conversion not active. Perform a conversion.
D5	Continuous Conversions, CC	0 1	Continuous Conversions not active. Perform conversions continuously.
D4	Read/$\overline{\text{Write}}$, R/$\overline{W}$	0 1	Write to selected register. Read from selected register.
D3-D1	Register Select Bit, RSB2-RSB0	000 001 010 011 100 101 110 111	Offset Register Gain Register Configuration Register Conversion Data Register (read only) Set-up Registers (Offset, Gain, Configuration) Reserved Reserved Reserved
D0	Power Save/$\overline{\text{Run}}$, PS/$\overline{R}$	0 1	Run Power Save

Table 1. Command Set

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Configuration Register

D23(MSB)	D22	D21	D20	D19	D18	D17	D16	D15	D14	D13	D12
A3	A2	A1	A0	NU	CFS	NU	LPM	WR2	WR1	WR0	U/$\overline{B}$

D11	D10	D9	D8	D7	D6	D5	D4	D3	D2	D1	D0
G2	G1	G0	PD	RS	RV	PF	PSS	DF	CC2	CC1	CC0

BIT	NAME	VALUE		FUNCTION
D23-D20	Latch Outputs, A3-A0	0000	R*	Latch Output Pins A3-A0 mimic the D23-D20 Register bits.
D19	Not Used, NU	0	R	Must always be logic 0.
D18	Chop Frequency Select, CFS	0 1	R	256 Hz Amplifier chop frequency 32768 Hz Amplifier chop frequency
D17	Not Used, NU	0	R	Must always be logic 0.
D16	Low Power Mode, LPM	0 1	R	Normal Mode Reduced Power mode
D15-D13	Word Rate, WR2-0 Note: For XIN = 32.768kHz	000 001 010 011 100 101 110 111	R	15.0 Hz (2182 XIN cycles) 30.1 Hz (1090 XIN cycles) 60.0 Hz (546 XIN cycles) 123.2 Hz (266 XIN cycles) 168.9 Hz (194 XIN cycles) 202.3 Hz (162 XIN cycles) 3.76 Hz (8722 XIN cycles) 7.51 Hz (4362 XIN cycles)
D12	Unipolar/$\overline{\text{Bipolar}}$, U/$\overline{B}$	0 1	R	Bipolar Measurement mode Unipolar Measurement mode
D11-D9	Gain Bits, G2-G0	000 001 010 011 100 101 110/111	R	100 mV (assumes VREF = 2.5V) 55 mV 25 mV 1 V 5.0 V 2.5 V Not Used.
D8	Pump Disable, PD	0 1	R	Charge Pump Enabled For PD = 1, the CPD pin goes to a Hi-Z output state.
D7	Reset System, RS	0 1	R	Normal Operation Activate a Reset cycle. To return to Normal Operation write bit to zero.
D6	Reset Valid , RV	0 1	 R	No reset has occurred or bit has been cleared (read only). Valid Reset has occurred. (Cleared when read.)
D5	Port Flag, PF	0 1	R	Port Flag mode inactive Port Flag mode active
D4	Power Save Select, PSS	0 1	R	Standby Mode (Oscillator active, allows quick power-up) Sleep Mode (Oscillator inactive)
D3	Done Flag, DF	0 1	R	Done Flag bit is cleared (read only). Calibration or Conversion cycle completed (read only).
D2-D0	Calibration Control Bits, CC2-CC0	000 001 010 011 100 101 110 111	R	Normal Operation (no calibration) Offset -- Self-Calibration Gain -- Self-Calibration Offset Self-Calibration followed by Gain Self-Calibration Not used. Offset -- System Calibration Gain -- System Calibration Not Used.

* R indicates the bit value after the part is reset

Table 2. Configuration Register

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

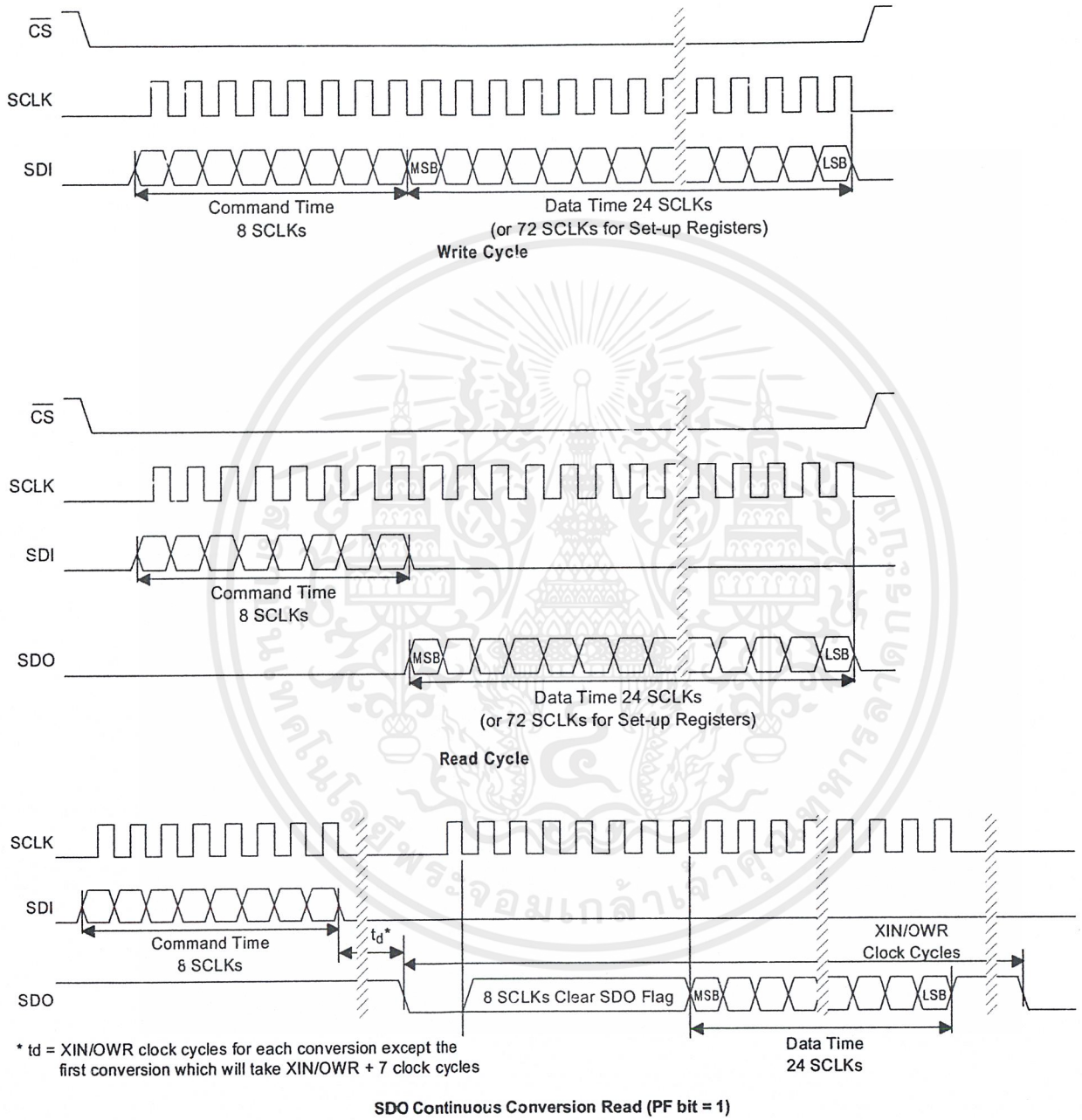


Figure 6. Command and Data Word Timing.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Analog Input

Figure 7 illustrates a block diagram of the analog input signal path inside the CS5525/26. The front end consists of a chopper-stabilized instrumentation amplifier with 20X gain and a programmable gain section. The instrumentation amplifier is powered from VA+ and from the NBV (Negative Bias Voltage) pin allowing the CS5525/26 to be operated in either of two analog input configurations. The NBV pin can be biased to a negative voltage between -1.8 V and -2.5 V, or tied to AGND. The choice of the operating mode for the NBV voltage depends upon the input signal and its common mode voltage.

For the 25 mV, 55 mV, and 100 mV input ranges, the input signals to AIN+ and AIN- are amplified by the 20X instrumentation amplifier. For ground referenced signals with magnitudes less then 100 mV, the NBV pin should be biased with -1.8 V to -2.5 V. If NBV is tied between -1.8 V and -2.5 V, the (Common Mode + Signal) input on AIN+ and AIN- must stay between -0.150 V and 0.950 V to ensure proper operation. Alternatively, NBV can be tied to AGND where the input (Common Mode + Signal) on AIN+ and AIN- must stay between 1.85 V and 2.65 V to ensure that the amplifier operates properly.

For the 1 V, 2.5 V, and 5 V input ranges, the instrumentation amplifier is bypassed and the input signals are directly connected to the Programmable Gain block. With NBV tied between -1.8 V and -2.5 V, the (Common Mode + Signal) input on AIN+ and AIN- must stay between NBV and VA+. Alternatively, NBV can be tied to AGND where the input (Common Mode + Signal) on AIN+ and AIN- pins can span the entire range between AGND and VA+.

The CS5525/26 can accommodate full scale ranges other than 25 mV, 55 mV, 100 mV, 1 V, 2.5 V and 5 V by performing a system calibration within the limits specified. See the **Calibration** section for more details. Another way to change the full scale range is to increase or to decrease the voltage reference to other than 2.5 V. See the **Voltage Reference** section for more details.

Three factors set the operating limits for the input span. They include: instrumentation amplifier saturation, modulator 1's density, and a lower reference voltage. When the 25 mV, 55 mV or 100 mV range is selected, the input signal (including the common mode voltage and the amplifier offset voltage) must not cause the 20X amplifier to saturate in either its input stage or output stage. To prevent saturation the absolute voltages on AIN+ and AIN- must stay within the limits specified (refer to the '***Analog Input***' table on page 3). Additionally, the differential output voltage of the amplifier must not exceed 2.8 V. The equation

$$ABS(VIN + VOS) \times 20 = 2.8\ V$$

defines the differential output limit, where

$$VIN = (AIN+) - (AIN-)$$

is the differential input voltage and VOS is the absolute maximum offset voltage for the instrumentation amplifier (VOS will not exceed 40 mV). If the

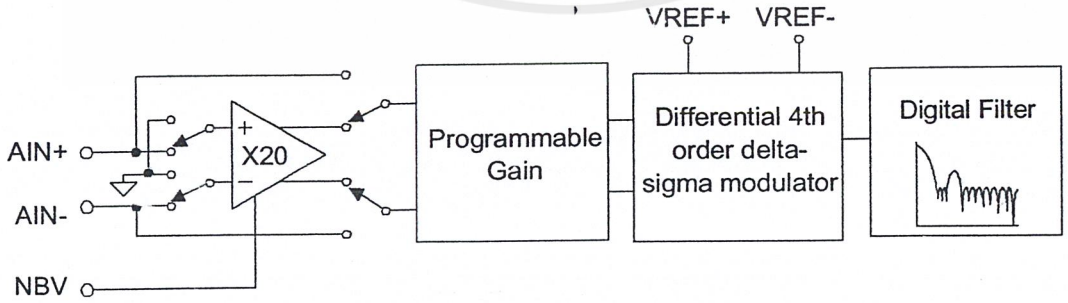


Figure 7. Block Diagram of Analog Signal Path

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Input Range[1]	Max. Differential Output 20X Amplifier	VREF	Gain Factor	Δ-Σ Nominal[1] Differential Input	Δ-Σ[1] Max. Input
± 25 mV	2.8 V [2]	2.5V	5	± 0.5 V	± 0.75 V
± 55 mV	2.8 V [2]	2.5V	2.272727...	± 1.1 V	± 1.65 V
± 100 mV	2.8 V [2]	2.5V	1.25	± 2.0 V	± 3.0 V
± 1.0 V	-	2.5V	2.5	± 1.0 V	± 1.5 V
± 2.5 V	-	2.5V	1.0	± 2.5 V	± 5.0 V
± 5.0 V	-	2.5V	0.5	± 5.0 V	0V, VA+

Note: 1. The converter's actual input range, the delta-sigma's nominal full scale input, and the delta-sigma's maximum full scale input all scale directly with the value of the voltage reference. The values in the table assume a 2.5 V VREF voltage.

Table 3. Relationship between Full Scale Input, Gain Factors, and Internal Analog Signal Limitations

differential output voltage from the amplifier exceeds 2.8 V, the amplifier may saturate, which will cause a measurement error.

The input voltage into the modulator must not cause the modulator to exceed a low of 20 percent or a high of 80 percent 1's density. The nominal full scale input span of the modulator (from 30 percent to 70 percent 1's density) is determined by the VREF voltage divided by the Gain Factor. See Table 3 to determine if the CS5525/26 are being used properly. For example, in the 55 mV range to determine the nominal input voltage to the modulator, divide VREF (2.5 V) by the Gain Factor (2.2727).

When a smaller voltage reference is used, the resulting code widths are smaller causing the converter output codes to exhibit more changing codes for a fixed amount of noise. Table 3 is based upon a VREF = 2.5 V. For other values of VREF, the values in Table 3 must be scaled accordingly.

Figure's 8 and 9 illustrate the input models for the AIN and VREF pins. The dynamic input current for each of the pins can be determined from the models shown and is dependent upon the setting of the CFS (Chop Frequency Select) bit. The effective input impedance for the AIN+ and AIN- pins remains constant for the three low level measurement ranges (25 mV, 55 mV, and 100 mV). The input current is lowest with the CFS bit cleared to logic 0.

Note: Residual noise appears in the converter's baseband for output word rates greater than 60 Hz if CFS is logic 0. By setting CFS to logic 1, the amplifier's chop frequency chops at 32768 Hz eliminating the residual noise, but increasing the current. Note that C=48pF is for input current modeling only. For physical input capacitance see 'Input Capacitance' specification under 'Analog Characteristics' on page 3.

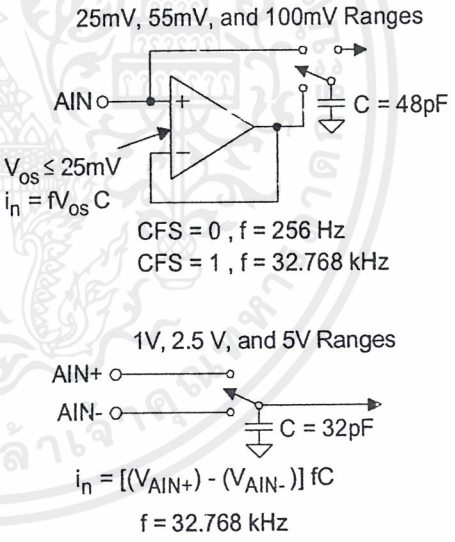


Figure 8. Input models for AIN+ and AIN- pins

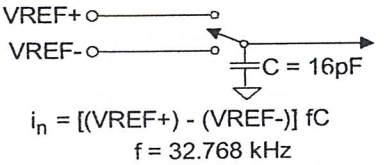


Figure 9. Input model for VREF+ and VREF- pins.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Charge Pump Drive

The CPD (Charge Pump Drive) pin of the converters can be used with external components (shown in Figure 1) to develop an appropriate negative bias voltage for the NBV pin. When CPD is used to generate the NBV, the NBV voltage is regulated with an internal regulator loop referenced to VA+. Therefore, any change on VA+ results in a proportional change on NBV. With VA+ = 5 V, NBV's regulation is set proportional to VA+ at approximately -2.1 V.

Figure 3 illustrates a means of supplying NBV voltage from a -5 V supply. For ground based signals with the instrumentation amplifier engaged (when in the 25mV, 55mV, or 100mV ranges), the voltage on the NBV pin should at no time be less negative than -1.8 V or more negative than -2.5 V. To prevent excessive voltage stress to the chip the NBV voltage should not be more negative than -3.0 V.

The components in Figure 1 are the preferred components for the CPD filter. However, smaller capacitors can be used with acceptable results. The 10 µF ensures very low ripple on NBV. Intrinsic safety requirements prohibit the use of electrolytic capacitors. In this case, two 0.47 µF ceramic capacitors in parallel can be used.

The CPD pin itself is a tri-state output and enters tri-state whenever the converters are placed into the Sleep Mode, Standby Mode, or when the charge pump is disabled (when the Pump Disable bit, bit D8 in the configuration register, is set). Once in tri-state, the digital current can increase if this CPD output floats near 1/2 digital supply. To ensure the CPD pin stays near ground and to minimize the digital current, add a 5MΩ resistor between it and DGND (see Figure 1). If the resistor is left out, the digital supply current may increase from 2 µA to 10 µA.

Voltage Reference

The CS5525/26 are specified for operation with a 2.5 V reference voltage between the VREF+ and VREF- pins of the devices. For a single-ended reference voltage, such as the LT1019-2.5, the reference's output is connected to the VREF+ pin of the CS5525/26. The ground reference for the LT1019-2.5 is connected to the VREF- pin.

The differential voltage between the VREF+ and VREF- can be any voltage from 1.0 V up to 3.0 V, however, the VREF- pin can not go below analog ground.

Calibration

The CS5525/26 offer five different calibration functions including self calibration and system calibration. However, after the CS5525/26 are reset, they can perform measurements without being calibrated. In this case, the converters will utilize the initialized values of the on-chip registers (Gain = 1.0, Offset = 0.0) to calculate output words for the ±100 mV range. Any initial offset and gain errors in the internal circuitry of the chips will remain.

The gain and offset registers, which are used for both self and system calibration, are used to set the zero and full-scale points of the converter's transfer function. One LSB in the offset register is 2^{-24} proportion of the input span (bipolar span is 2 times the unipolar span). The MSB in the offset register determines if the offset to be trimmed is positive or negative (0 positive, 1 negative). The converters can typically trim ±50 percent of the input span. The gain register spans from 0 to $(2 - 2^{-23})$. The decimal equivalent meaning of the gain register is

$$D = b_0 2^0 + b_1 2^{-1} + b_2 2^{-2} + \ldots + b_N 2^{-N} = \sum_{i=0}^{N} b_i 2^{-i}$$

where the binary numbers have a value of either zero or one (b_0 corresponds to the MSB). Refer to Table 4 for details.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Offset Register

	MSB											LSB
Register	Sign	2^{-2}	2^{-3}	2^{-4}	2^{-5}	2^{-6}	2^{-19}	2^{-20}	2^{-21}	2^{-22}	2^{-23}	2^{-24}
Reset (R)	0	0	0	0	0	0	0	0	0	0	0	0

One LSB represents 2^{-24} proportion of the input span (bipolar span is 2 times unipolar span)
Offset and data word bits align by MSB (bit MSB-4 of offset register changes bit MSB-4 of data)

Gain Register

	MSB											LSB
Register	2^{0}	2^{-1}	2^{-2}	2^{-3}	2^{-4}	2^{-5}	2^{-18}	2^{-19}	2^{-20}	2^{-21}	2^{-22}	2^{-23}
Reset (R)	1	0	0	0	0	0	0	0	0	0	0	0

The gain register span is from 0 to ($2-2^{-23}$). After Reset the MSB = 1, all other bits are 0.

Table 4. Offset and Gain Registers

The offset and gain calibration steps each take one conversion cycle to complete. At the end of the calibration step, the calibration control bits will be set back to logic 0, and the DF (Done Flag) bit will be set to a logic 1. For the combination self-calibration (CC2-CC0= 011; offset followed by gain), the calibration will take two conversion cycles to complete and will set the DF bit after the gain calibration is completed. The DF bit will be cleared any time the data register, the offset register, the gain register, or the setup register is read. Reading the configuration register alone will not clear the DF bit.

Self Calibration

The CS5525/26 offer both self offset and self gain calibrations. For the self-calibration of offset in the 25 mV, 55 mV, and 100 mv ranges, the converter internally ties the inputs of the instrumentation amplifier together and routes them to the AIN- pin as shown in Figure 10. For proper self-calibration of offset to occur in the 25 mV, 55 mV, and 100 mV ranges, the AIN- pin must be at the proper common-mode-voltage (i.e. AIN- = 0V, NBV must be between -1.8 V to -2.5 V). For self-calibration of offset in the 1.0 V, 2.5 V, and 5 V ranges, the inputs of the modulator are connected together and then routed to the VREF- pin as shown in Figure 11.

For self-calibration of gain, the differential inputs of the modulator are connected to VREF+ and

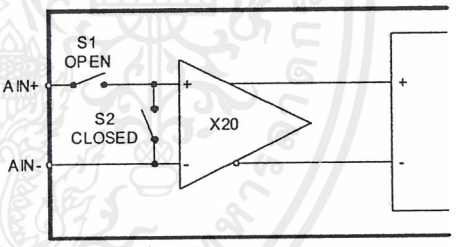


Figure 10. Self Calibration of Offset (Low Ranges).

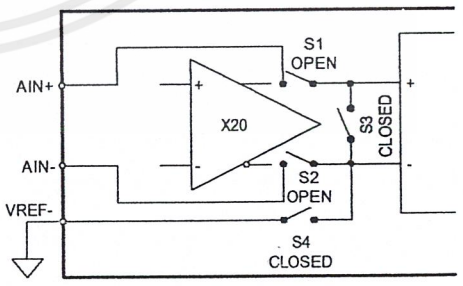


Figure 11. Self Calibration of Offset (High Ranges).

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

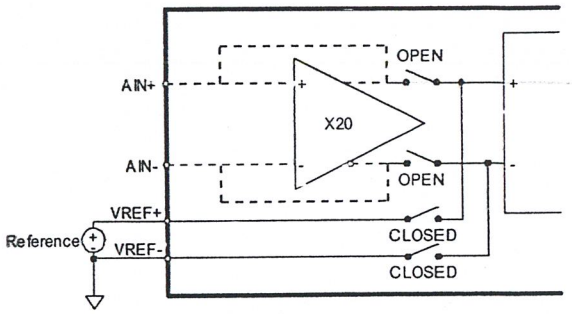


Figure 12. Self Calibration of Gain (All Ranges).

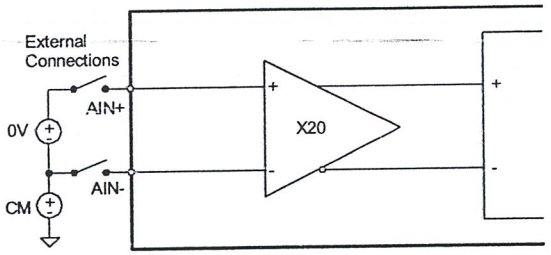


Figure 13. System Calibration of Offset (Low Ranges).

VREF- as shown in Figure 12. For any input range other than the 2.5 V range, the modulator gain error can not be completely calibrated out. This is due to the lack of an accurate full scale voltage internal to the chips. The 2.5 V range is an exception because the external reference voltage is 2.5 V nominal and is used as the full scale voltage. In addition, when self-calibration of gain is performed in the 25 mV, 55 mV, and 100 mV input ranges, the instrumentation amplifier's gain is not calibrated. These two factors can leave the converters with a gain error of up to ±20% after self-calibration of gain. Therefore, a system gain is required to get better accuracy, except for the 2.5 V range.

System Calibration

For the system calibration functions, the user must supply the converters calibration signals which represent ground and full scale. When a system offset calibration is performed, a ground reference signal must be applied to the converter. See Figures 13 and 14. As shown in Figures 15 and 16, the user must input a signal representing the positive full scale point to perform a system gain calibration. In either case, the calibration signals must be within the specified calibration limits for each specific calibration step (refer to the System Calibration Specifications).

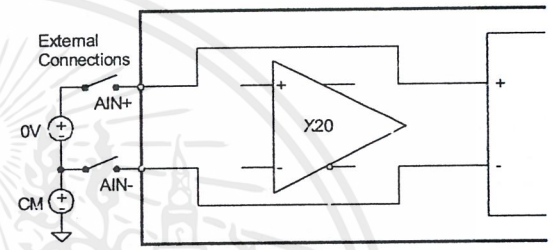


Figure 14. System Calibration of Offset (High Ranges).

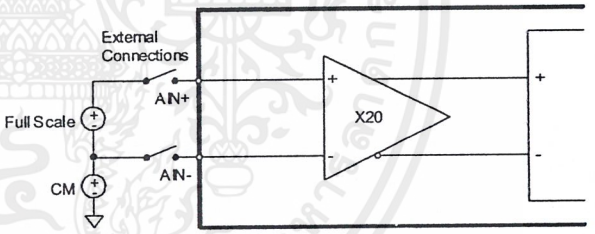


Figure 15. System Calibration of Gain (Low Ranges)

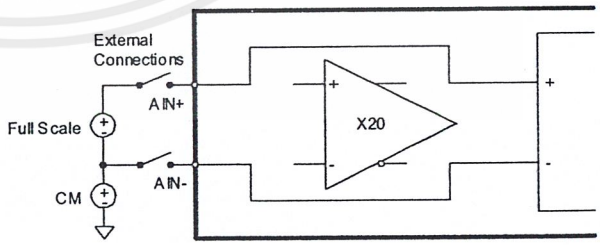


Figure 16. System Calibration of Gain (High Ranges).

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Assuming a system can provide two known voltages, equations can allow the user to manually compute the calibration register's values based on two uncalibrated conversions. The offset and gain calibration registers are used to adjust a typical conversion as follows:

$$Rc = (Ru + Co>>4) * Cg / 2^{23}.$$

Calibration can be performed using the following equations:

$$Co = (Rc0/G - Ru0) << 4$$

$$Cg = 2^{23} * G$$

$$\text{where } G = (Rc1 - Rc0)/(Ru1-Ru0).$$

Note: *Uncalibrated conversions imply that the gain and offset registers are at default {gain register = 0x800000 (Hex) and offset register = 0x000000 (Hex)}.*

The variables are defined below.

V0	=	First calibration voltage
V1	=	Second calibration voltage (greater than V0)
Ru	=	Result of any uncalibrated conversion
Ru0	=	Result of uncalibrated conversion V0 (20-bit integer or 2's complement)
Ru1	=	Result of uncalibrated conversion of V1 (20-bit integer or 2's complement)
Rc	=	Result of any conversion
Rc0	=	Desired calibration result of converting V0 (20-bit integer or 2's complement)
Rc1	=	Desired calibration result of converting V1 (20-bit integer or 2's complement)
Co	=	Offset calibration register value (24-bit 2's complement)
Cg	=	Gain calibration register value (24-bit integer)
>>	=	The shift right operator (e.g. x >>2 is x shifted right 2 bits)
<<	=	The shift left operator (e.g. x<<2 is x shifted left 2 bits)

Note: *The shift operators are used here to align the decimal points of words of various lengths. Data to the right of the decimal point may be used in the calculations shown. For the CS5525 all conversion results (Ru, Rc...) are 16 bits instead of 20 bits. To get the equations to work correctly pad the 16 bit results with four zeros (on the right).*

Calibration Tips

Calibration steps are performed at the output word rate selected by the WR2-WR0 bits of the configuration register. Since higher word rates result in conversion words with more peak-to-peak noise, calibration should be performed at lower output word rates. Also, to minimize digital noise near the devices, the user should wait for each calibration step to be completed before reading or writing to the serial port.

For maximum accuracy, calibrations should be performed for offset and gain for each gain setting (selected by changing the G2-G0 bits of the configuration register). And if factory calibration is performed using the system calibration capabilities of the CS5525/26, the offset and gain register contents can be read by the system microcontroller and recorded in EEPROM. These same calibration words can then be uploaded into the offset and gain registers of the converters when power is first applied to the system, or when the gain range is changed.

Two final tips include two ways to determine when calibration is complete: 1) wait for SDO to fall. It falls to logic 0 if the PF (Port Flag) bit of the configuration register is set to logic 1; or 2) poll the DF (Done Flag) bit in the configuration register which is set at completion of calibration. Whichever method is used, the calibration control bits (CC2-CC0) will return to logic 0 upon completion of any calibration.

Limitations in Calibration Range

System calibration can be limited by signal headroom in the analog signal path inside the chip as discussed under the ***Analog Input*** section of this data sheet. System calibration can also be limited by the intrinsic gain errors of the instrumentation amplifier and the modulator. For gain calibrations

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

the input signal can be reduced to the point in which the gain register reaches its upper limit of 2.0 (decimal) [FFFFFF Hex] (this is most likely to occur with an input signal approximately 1/2 the nominal range). Alternatively, the input signal can be increased to a point in which the modulator reaches its one's density upper limit of 80% (this is most likely to occur with an input signal approximately 1.5 times the nominal range). Also, for full scale inputs larger than the nominal full scale value of the range selected, there is some voltage at which the various internal circuits may saturate due to limited amplifier headroom (this is most likely to occur on the 100 mV range setting when NBV = -1.8 V).

Analog Output Latch Pins

The A3-A0 pins of the converters mimic the D23-D20 bits of the configuration register. A3-A0 can be used to control multiplexers and other logic functions outside the converter. The outputs can sink or source at least 1 mA, but it is recommended to limit drive currents to less than 20 µA to reduce self-heating of the chip. These outputs are powered from VA+, hence, their output voltage for a logic 1 will be limited to the VA+ voltage.

Serial Port Interface

The CS5525/26 serial interface consist of four pins, SCLK, SDO, SDI, and $\overline{CS}$. The $\overline{CS}$ pin must be held low (logic 0) before SCLK transitions can be recognized by the port logic. The SDO output will be held at high impedance any time $\overline{CS}$ is a logic 1.

If the $\overline{CS}$ pin is tied low, the port can function as a three wire interface.

The SCLK input is designed with a Schmitt-trigger input to allow an optoisolator with slower rise and fall times to directly drive the pin.

The SDO output is capable of sinking or sourcing up to 5 mA to directly drive an optoisolator LED. SDO will have less than a 400 mV loss in the drive voltage when sinking or sourcing 5 mA.

Serial Port Initialization

The serial port is initialized to the command mode whenever a power-on reset is performed inside the converter, when the port initialization sequence is completed, or whenever a command byte, data word sequence is completed. The port initialization sequence involves clocking 15 (or more) bytes of all 1's, followed by one byte with the following bit contents (11111110). This sequence places the chips in the command mode where it waits for a valid command.

Performing Conversions (With PF bit = 0)

Setting the SC (Single Conversion) bit of the command word to a logic 1 with the CB bit = 1, all other command bits = 0, the CS5525/CS5526 will perform one conversion. At the completion of the conversion the DF (Done Flag) bit of the configuration register will be set to a logic 1. The user can read the configuration register to determine if the DF bit is set. If DF has been set, a command can be issued to read the conversion data register to obtain the conversion data word. The DF bit of the configuration register will be cleared to logic 0 when the data register, the gain register, the offset register, or the set-up registers are read. Reading only the configuration register will not clear the DF flag bit.

If an SC command is issued to the converters while they are performing a conversion, the filter will restart a convolution cycle to perform a new conversion.

Performing Conversions (With PF bit = 1)

Setting the PF bit of the configuration register to a logic 1 enables the SDO output pin to behave as a flag signal whenever conversions are completed. This eliminates the need for the user to read the DF flag bit of the configuration register to determine if the conversion data word is available.

If the SC (Single Conversion) command is issued (SC = 1, CB= 1, all other command bits = 0) the SDO pin will go low at the completion of a conver-

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

sion. The user would then issue 8 SCLKs (with SDI = logic 0) to clear the SDO flag. Upon the falling edge of the 8th SCLK, the SDO pin will present the first bit (MSB) of the conversion word. 24 SCLKs (high, then low) are required to read the conversion word from the port. The user must not give an explicit command to read the conversion data register when the PF bit is set to logic 1. The data conversion word must be read before a new command can be entered (if the SC command is used with PF = 1).

If the CC (Continuous Conversion) command is issued (CC = 1, CB =1, all other command bits = 0) the SDO pin will go low at the completion of a conversion. The user would then issue 8 SCLKs (with SDI = logic 0) to clear the SDO flag. Upon the falling edge of the 8th SCLK, the SDO pin will present the first bit (MSB) of the conversion word. 24 SCLKs (high, then low) are required to read the conversion word from the port. The user must not give an explicit command to read the conversion data register when the PF bit is set to logic 1. When operating in the continuous conversion mode, the user need not read every conversion. If the user does nothing after SDO falls, SDO will rise one XIN clock cycle before the next conversion word is available and then fall again to signal that another conversion word is available. If the user begins to clear the SDO flag and read the conversion data, this action must be finished before the conversion cycle which is occurring in the background is complete if the user wants to be able to read the new conversion data.

To exit the continuous conversion mode, issue any valid command to the SDI input when the SDO flag falls. If a CC command is issued to the converter while it is performing a conversion, the filter will restart a convolution cycle to perform a new conversion.

Output Word Rate Selection

The WR2-WR0 bits of the configuration register set the output conversion word rate of the converters as shown in Table 2. The word rates indicated in the table assume a master clock of 32.768 kHz. Upon reset the converters are set to operate with an output word rate of 15.0 Hz.

Clock Generator

The CS5525/26 include a gate which can be connected with an external crystal to provide the master clock for the chips. They are designed to operate using a low-cost 32.768 kHz "tuning fork" type crystal. One lead of the crystal should be connected to XIN and the other to XOUT. Lead lengths should be minimized to reduce stray capacitance.

The converters will operate with an external (CMOS compatible) clock with frequencies up to three times the typical crystal frequency of 32.768 kHz. Figure 17 details the converter's performance at increased clock rates.

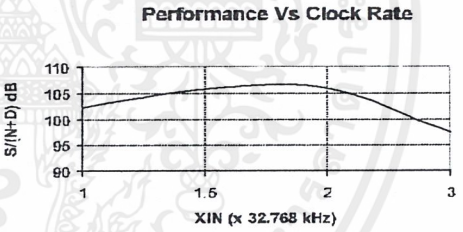


Figure 17. High Speed Clock Performance

The 32.768 kHz crystal is normally specified as a time-keeping crystal with tight specifications for both initial frequency and for drift over temperature. To maintain excellent frequency stability, these crystals are specified only over limited operating temperature ranges (i.e. -10 °C to +60 °C). However, applications with the CS5525/26 don't generally require such tight tolerances. When 32.768 kHz surface mount crystals are used, it is recommended that protection components, an external resistor and capacitor as shown in Figure 18, be used.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

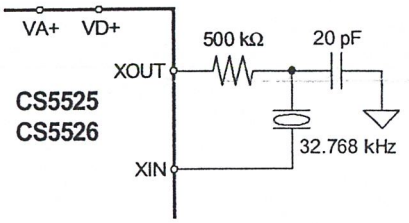


Figure 18. Surface Mount Crystal Connection Diagram

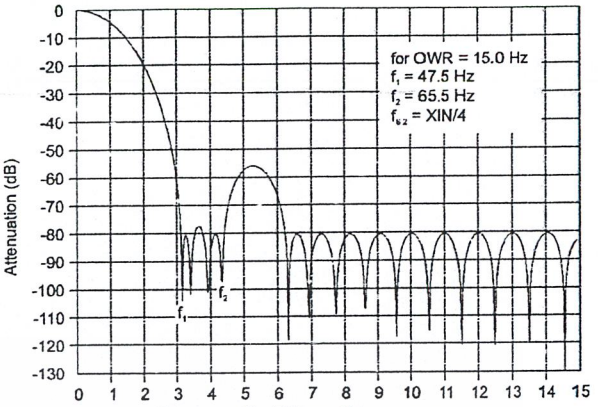


Figure 19. Filter Response
(Normalized to Output Word Rate = 1)

Digital Filter

The CS5525/26 have eight different linear phase digital filters which set the output word rates (OWRs) as stated in Table 2. These rates assume that XIN is 32.768 kHz. Each of the filters has a magnitude response similar to that shown in Figure 19. The filters are optimized to settle to full accuracy every conversion and yield better than 80 dB rejection for both 50 and 60 Hz with output word rates at or below 15.0 Hz.

The converter's digital filters scale with XIN. For example with an output word rate of 15 Hz, the filter's corner frequency is typically 12.7 Hz. If XIN is increased to 64.536 kHz the OWR doubles and the filter's corner frequency moves to 25.4 Hz.

Output Coding

The CS5525/26 output data in binary format when operating in unipolar mode and in two's complement when operating in bipolar mode.

The output conversion word is 24 bits, or three bytes long, as shown in Table 5. The MSB is output first followed by the rest of the data bits in descending order. For the CS5525 the last byte is composed of bits D7-D4, which are always logic 1; D3-D2, which are always logic 0; and bits D1-D0 which are the two flag bits. For the CS5526 the last byte includes data bits D7-D4, D3-D2 which are always logic 0 and the two flag bits.

The OF (Overrange Flag) bit is set to a logic 1 any time the input signal is: 1) more positive than positive full scale, 2) more negative than zero (unipolar mode), 3) more negative than negative full scale (bipolar mode). It is cleared back to logic 0 whenever a conversion word occurs which is not overranged.

The OD (Oscillation Detect) bit is set to a logic 1 any time that an oscillatory condition is detected in the modulator. This does not occur under normal operating conditions, but may occur whenever the input

Output Conversion Data CS5525 (16 bits + flags)

D23	D22	D21	D20	D19	D18	D17	D16	D15	D14	D13	D12	D11	D10	D9	D8	D7	D6	D5	D4	D3	D2	D1	D0
MSB	14	13	12	11	10	9	8	7	6	5	4	3	2	1	LSB	1	1	1	1	0	0	OD	OF

Output Conversion Data CS5526 (20 bits + flags)

D23	D22	D21	D20	D19	D18	D17	D16	D15	D14	D13	D12	D11	D10	D9	D8	D7	D6	D5	D4	D3	D2	D1	D0
MSB	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	LSB	0	0	OD	OF

Table 5. Data Conversion Word

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

CS5525 16-Bit Output Coding

Unipolar Input Voltage	Offset Binary	Bipolar Input Voltage	Two's Complement
>(VFS-1.5 LSB)	FFFF	>(VFS-1.5 LSB)	7FFF
VFS-1.5 LSB	FFFF ---- FFFE	VFS-1.5 LSB	7FFF ---- 7FFE
VFS/2-0.5 LSB	8000 ---- 7FFF	-0.5 LSB	0000 ---- FFFF
+0.5 LSB	0001 ---- 0000	-VFS+0.5 LSB	8001 ---- 8000
<(+0.5 LSB)	0000	<(-VFS+0.5 LSB)	8000

CS5526 20-Bit Output Coding

Unipolar Input Voltage	Offset Binary	Bipolar Input Voltage	Two's Complement
>(VFS-1.5 LSB)	FFFFF	>(VFS-1.5 LSB)	7FFFF
VFS-1.5 LSB	FFFFF ---- FFFFE	VFS-1.5 LSB	7FFFF ---- 7FFFE
VFS/2-0.5 LSB	80000 ---- 7FFFF	-0.5 LSB	00000 ---- FFFFF
+0.5 LSB	00001 ---- 00000	-VFS+0.5 LSB	80001 ---- 80000
<(+0.5 LSB)	00000	<(-VFS+0.5 LSB)	80000

Note: VFS in the table equals the voltage between ground and full scale for any of the unipolar gain ranges, or the voltage between ± full scale for any of the bipolar gain ranges. See text about error flags under overrange conditions.

Table 6. 5525/26 Output Coding

to the converters is extremely overranged. If the OD bit is set, the conversion data bits can be completely erroneous. The OD flag bit will be cleared to logic 0 when the modulator becomes stable. Table 6 illustrates the output coding for the CS5525/26.

Power Consumption

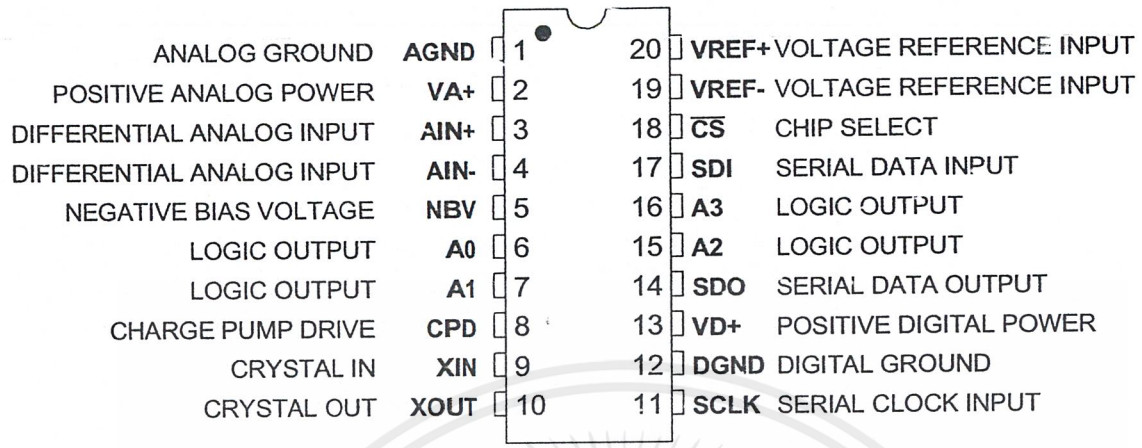
The CS5525/26 accommodate four power consumption modes: normal, low power, standby, and sleep. The normal mode, the default mode, is entered after a power-on-reset and typically consumes 7.5 mW. The low power mode is an alternate mode that reduces the consumed power to 4 mW. It is entered by setting bit D16 (the low power mode bit) in the configuration register to logic 1. Since the converter's noise performance improves with increased power consumption, slightly degraded noise or linearity performance should be expected in the low power mode. The final two modes are referred to as the power save modes. They power down most of the analog portion of the chips and stop filter convolutions. The power save modes are entered whenever the PS/$\overline{R}$ bit and the CB bit of the command word are set to logic 1. The particular power save mode entered depends on state of bit D4 (the Power Save Select bit) in the configuration register. If D4 is logic 0, the converters enters the standby mode reducing the power consumption to 1.2mW. The standby mode leaves the oscillator and the on-chip bias generator running. This allows the converters to quickly return to the normal or low power mode once the PS/$\overline{R}$ bit is set back to a logic 1. If D4 in the configuration register and CB and PS/$\overline{R}$ in the command word are set to logic 1, the sleep mode is entered reducing the consumed power to less than 500 µW. Since the sleep mode disables the oscillator, approximately a 500ms oscillator start-up delay period is required before returning to the normal or low power mode.

PCB Layout

The CS5525/26 should be placed entirely over an analog ground plane with both the AGND and DGND pins of the device connected to the analog plane. Place the analog-digital plane split immediately adjacent to the digital portion of the chip.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

PIN DESCRIPTIONS



Clock Generator

XIN; XOUT - Crystal In; Crystal Out, Pins 9, 10.

A gate inside the chip is connected to these pins and can be used with a crystal to provide the master clock for the device. Alternatively, an external (CMOS compatible) clock can be supplied into the XIN pin to provide the master clock for the device.

Control Pins and Serial Data I/O

$\overline{CS}$ - Chip Select, Pin 18.

When active low, the port will recognize SCLK. When high the SDO pin will output a high impedance state. $\overline{CS}$ should be changed when SCLK = 0.

SDI - Serial Data Input, Pin 17.

SDI is the input pin of the serial input port. Data will be input at a rate determined by SCLK.

SDO - Serial Data Output, Pin 14.

SDO is the serial data output. It will output a high impedance state if $\overline{CS}$ = 1.

SCLK - Serial Clock Input, Pin 11.

A clock signal on this pin determines the input/output rate of the data for the SDI/SDO pins respectively. This input is a Schmitt trigger to allow for slow rise time signals. The SCLK pin will recognize clocks only when $\overline{CS}$ is low.

A0, A1, A2, A3 - Logic Outputs, Pin 6, 7, 15, 16.

The logic states of A0-A3 mimic the states of the D20-D23 bits of the configuration register. Logic Output 0 = AGND, and Logic Output 1 = VA+.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Measurement and Reference Inputs

AIN+, AIN- - Differential Analog Input, Pins 3, 4.

Differential input pins into the device.

VREF+, VREF- - Voltage Reference Input, Pins 20, 19.

Fully differential inputs which establish the voltage reference for the on-chip modulator.

NBV - Negative Bias Voltage, Pin 5.

Input pin to supply the negative supply voltage for the 20X gain instrumentation amplifier. May be tied to AGND if AIN+ and AIN- inputs are centered around +2.5 V; or it may be tied to a negative supply voltage (-2.1 V typical) to allow the amplifier to handle low level signals more negative than ground.

CPD - Charge Pump Drive, Pin 8.

Square wave output used to provide energy for the charge pump.

Power Supply Connections

VA+ - Positive Analog Power, Pin 2.

Positive analog supply voltage. Nominally +5 V.

VD+ - Positive Digital Power, Pin 13.

Positive digital supply voltage. Nominally +3.0 V or +5 V.

AGND - Analog Ground, Pin 1.

Analog Ground.

DGND - Digital Ground, Pin 12.

Digital Ground.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

SPECIFICATION DEFINITIONS

Linearity Error

The deviation of a code from a straight line which connects the two endpoints of the A/D Converter transfer function. One endpoint is located 1/2 LSB below the first code transition and the other endpoint is located 1/2 LSB beyond the code transition to all ones. Units in percent of full-scale.

Differential Nonlinearity

The deviation of a code's width from the ideal width. Units in LSBs.

Full Scale Error

The deviation of the last code transition from the ideal [{(VREF+) - (VREF-)} - 3/2 LSB]. Units are in LSBs.

Unipolar Offset

The deviation of the first code transition from the ideal (1/2 LSB above the voltage on the AIN- pin.). When in unipolar mode (U/$\overline{B}$ bit = 1). Units are in LSBs.

Bipolar Offset

The deviation of the mid-scale transition (111...111 to 000...000) from the ideal (1/2 LSB below the voltage on the AIN- pin). When in bipolar mode (U/$\overline{B}$ bit = 0). Units are in LSBs.

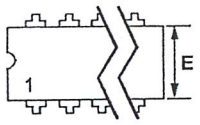
ORDERING GUIDE

Model Number	Linearity Error (Max)	Temperature Range	Package
CS5525-AP	±0.003%	-40°C to +85°C	20-pin 0.3" Plastic DIP
CS5525-AS	±0.003%	-40°C to +85°C	20-pin 0.2" Plastic SSOP
CS5526-BP	±0.0015%	-40°C to +85°C	20-pin 0.3" Plastic DIP
CS5526-BS	±0.0015%	-40°C to +85°C	20-pin 0.2" Plastic SSOP

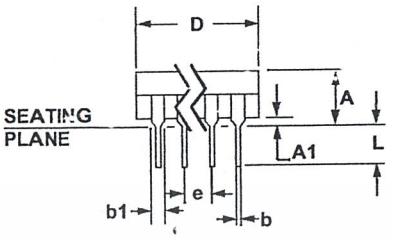
SPI™ is a trademark of Motorola Inc., Microwire™ is a trademark of National Semiconductor Corp.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

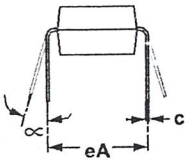
20 PIN PLASTIC (PDIP) PACKAGE DRAWING



TOP VIEW



BOTTOM VIEW



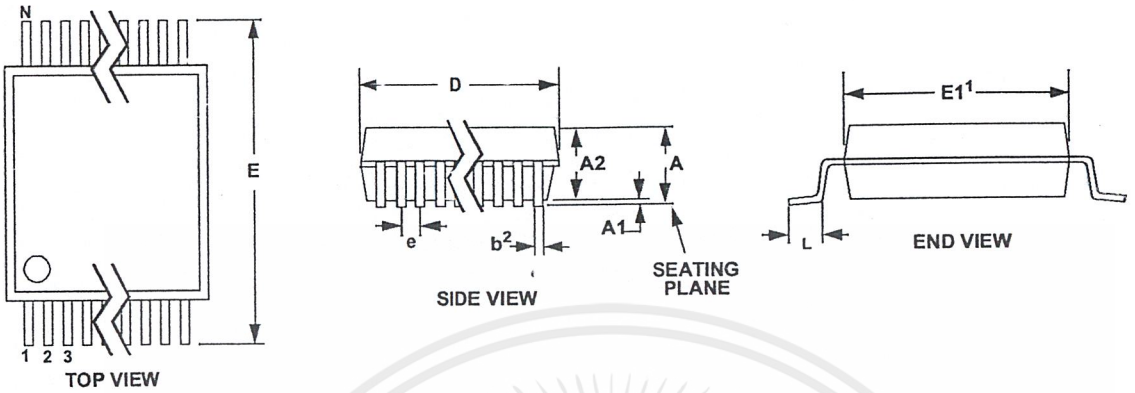
SIDE VIEW

	INCHES		MILLIMETERS	
DIM	MIN	MAX	MIN	MAX
A	0.155	0.180	3.94	4.57
A1	0.020	0.040	0.51	1.02
b	0.015	0.022	0.38	0.56
b1	0.050	0.065	1.27	1.65
c	0.008	0.015	0.20	0.38
D	0.960	1.040	24.38	26.42
E	0.240	0.260	6.10	6.60
e	0.095	0.105	2.41	2.67
eA	0.300	0.325	7.62	8.25
L	0.125	0.150	3.18	3.81
∝	0°	15°	0°	15°

Notes:
1. Positional tolerance of leads shall be within 0.25 mm (0.010 in.) at maximum material condition, in relation to seating plane and each other.
2. Dimension eA to center of leads when formed parallel.
3. Dimension E does not inciude mold flash.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

20 PIN SSOP PACKAGE DRAWING



	INCHES		MILLIMETERS		NOTE
DIM	MIN	MAX	MIN	MAX	
A	--	0.084	--	2.13	
A1	0.002	0.010	0.05	0.25	
A2	0.064	0.074	1.62	1.88	
b	0.009	0.015	0.22	0.38	2,3
D	0.272	0.295	6.90	7.50	1
E	0.291	0.323	7.40	8.20	
E1	0.197	0.220	5.00	5.60	1
e	0.024	0.027	0.61	0.69	
L	0.025	0.040	0.63	1.03	
∝	0°	8°	0°	8°	

Notes:
1. "D" and "E1" are reference datums and do not included mold flash or protrusions, but do include mold mismatch and are measured at the parting line, mold flash or protrusions shall not exceed 0.20 mm per side.
2. Dimension "b" does not include dambar protrusion/intrusion. Allowable dambar protrusion shall be 0.13 mm total in excess of "b" dimension at maximum material condition. Dambar intrusion shall not reduce dimension "b" by more than 0.07 mm at least material condition.
3. These dimensions apply to the flat section of the lead between 0.10 and 0.25 mm from lead tips.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้