สำนักหอสมุดกลาง พระจอมเกล้าลาดกระบัง

วีดีโอวอลล์

Video Wall

โดย

นาย วิชาญ แก็บพิมาย

นาย วุฒิกร ประกอบทอง

นาย สันต์ศิริ ชีวินโรจนวิทย์

เลขหมู่.....
เลขทะเบียน 46261
วัน, เดือน, ปี 21 ส.ค. 2546

.b.....
.i.....

ปริญญานิพนธ์นี้เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรปริญญาวิศวกรรมศาสตรบัณฑิต

สาขาวิชาวิศวกรรมอิเล็กทรอนิกส์

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

ปีการศึกษา 2544

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

วีดีโอวอลล์

Video Wall

โดย

นาย วิชาญ แก็บพิมาย	รหัสประจำตัว	41014385
นาย วุฒิกร ประกอบทอง	รหัสประจำตัว	41014401
นาย สันต์ศิริ ชีวินโรจนวิทย์	รหัสประจำตัว	41014454

อาจารย์ที่ปรึกษา

อาจารย์ พลผดุง ผดุงกุล

ปริญญานิพนธ์สำหรับปริญญาวิศวกรรมศาสตรบัณฑิต

สาขาวิชาวิศวกรรมอิเล็กทรอนิกส์

คณะวิศวกรรมศาสตร์

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

ปีการศึกษา 2544

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ปริญญานิพนธ์ ปีการศึกษา 2544

ภาควิชาวิศวกรรมอิเล็กทรอนิกส์

คณะวิศวกรรมศาสตร์ สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

เรื่อง วีดีโอวอลล์

ผู้จัดทำ

นาย วิชาญ	แก็บพิมาย	รหัสประจำตัว 41014385
นาย วุฒิกร	ประกอบทอง	รหัสประจำตัว 41014401
นาย สันต์ศิริ	ชีวินโรจนวิทย์	รหัสประจำตัว 41014454

.....

(ผ.ศ. พลผดุง ผดุงกุล)

อาจารย์ที่ปรึกษา

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

วีดีโอวอลล์

Video Wall

นาย วิชาญ แก็บพิมาย รหัสประจำตัว 41014385

นาย วุฒิกร ประกอบทอง รหัสประจำตัว 41014401

นาย สันต์ศิริ ชีวินโรจนวิทย์ รหัสประจำตัว 41014454

โครงงานได้รับการตรวจสอบแล้ว พร้อมที่จะทำการสอบได้

.....

(ผ.ศ. พลผดุง ผดุงกุล)

อาจารย์ที่ปรึกษา

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

กิตติกรรมประกาศ

การที่โครงงานนี้ได้สำเร็จลุล่วงไปได้ด้วยดี ผู้จัดทำต้องขอขอบพระคุณ อาจารย์ พลผดุง ผดุงกุล อาจารย์ที่ปรึกษา ที่ให้คำแนะนำและแนวทางที่เป็นประโยชน์ต่อการทำโครงงานนี้ จนการทำโครงงานครั้งนี้สำเร็จลุล่วงไปได้

และขอขอบคุณพี่ๆ และเพื่อนๆ ที่มีส่วนช่วยทั้งใจด้านคำแนะนำและความสะดวกต่างๆจึงทำให้โครงงานนี้สำเร็จไปได้ด้วยดี

นาย วิชาญ แก็บพิมาย

นาย วุฒิกร ประกอบทอง

นาย สันต์ศิริ ชีวินโรจนวิทย์

ผู้จัดทำ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

วีดีโอวอลล์

นายวิชาญ แก็บพิมาย
นาย วุฒิกร ประกอบทอง
นาย สันต์ศิริ ชีวินโรจนวิทย์
ผ.ศ. พลผดุง ผดุงกุล (อาจารย์ที่ปรึกษา)
ปีการศึกษา 2544

บทคัดย่อ

ในยุคปัจจุบันซึ่งเป็นยุคแห่งข้อมูลข่าวสาร สื่อนับว่ามีความสำคัญต่อชีวิตประจำวันของเรามากขึ้น เนื่องจากสื่อก็คือวิธีการต่างๆที่ข้อมูลจะถูกส่งมาถึงผู้รับสารให้ได้รับทราบและเข้าใจในข่าวสารนั้นๆ ดังนั้น หากเราได้ใช้และรับสื่อที่เหมาะสมแล้ว ก็ทำให้เราเข้าใจในวัตถุประสงค์และรายละเอียดของข่าวสารที่ผู้ส่งต้องการจะส่งถึงเรา อีกทั้งยังทำให้การส่งข่าวสารเป็นไปด้วยความสะดวก รวดเร็ว และมีประสิทธิภาพอีกด้วย

โทรทัศน์เป็นสื่อประเภทหนึ่ง ที่มีการใช้กันอย่างแพร่หลายและเป็นสื่อที่สำคัญ และมีประสิทธิภาพอันหนึ่ง เนื่องจากผู้รับจะได้รับทั้งข้อมูลทางด้านเสียงและภาพในเวลาเดียวกัน

โครงงานนี้เป็นการศึกษาถึงสัญญาณวีดีโอ โดยนำสัญญาณนั้นมาประมวลผลโดยการแปลงสัญญาณจากอนาลอกเป็นดิจิตอล และนำค่าที่ได้ไปจัดเก็บใจหน่วยความจำ จากนั้นก็จะทำการเลือกข้อมูลเพียงบางส่วนของภาพจริงนำมาแปลงจารสัญญาณดิจิตอลเป็นสัญญาณอนาลอกเพื่อนำไปแสดงบนหน้าจอโทรทัศน์ โดยระบบทั้งหมดนี้จะใช้ไมโครคอลโพรเซสเซอร์เป็นตัวควบคุม

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Video Wall

Mr. Vichan Gabpimine
Mr. Vutikorn Prakobtong
Mr. Sansiri Cheevinrojanawit
Assist.Prof. Polpadung Phadungkul(Advisor)
Acadamic Year 2001, First Semester

Abstract

Nowadays , the information and media have been growing their importance significantly and therefore inevitably affecting our everyday life. As the media is the way that the messages is transmitted to us. So the more appropriate and effective the media is , the more accurate and reliable the messages are.

Television is one type of media that is effective and has been used widespread. As it has an advantage that the receiver can perceive the data and the picture simultaneously.

This project is mainly concerned in studying of the video signal which was first transformed into the digital signal. Then we stroed the acquired data by using RAM. In the taking-out process , we selected some parts of the data to be transformed into the analog signal and then be displayed on the television set. And the main system is controlled by microprocessor.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญ

	หน้า
กิตติกรรมประกาศ	I
บทคัดย่อ	II
Abstract	III
สารบัญ	Iv
สารบัญรูป	vI
บทที่ 1 บทนำ	1
บทที่ 2 หลักการทำงานของ ADC และ DAC	2
ADC...	
1. วงจรเปรียบเทียบขนาน หรือ แฟลช	2
2. วงจร A/D ที่ใช้การอินทิเกรต	3
2.1 แบบสโลปเดี่ยวหรือแบบแรมป์	3
2.2 แบบสโลปคู่	4
2.3 แบบชาร์จบาลานซ์	4
2.4 แบบเคลต้า	5
3. วงจร A/D ที่ใช้วงจรนับและวงจร D/A ประกอบกัน	5
3.1 แบบวงจรนับเดี่ยว	5
3.2 แบบแทรคกิ้ง	5
4. วงจร A/D ที่ใช้การประมาณค่า	5
วงจรแปลงสัญญาณดิจิตอลเป็นอนาลอก	6
1. วงจร DAC แบบBinary weight ladder	7
บทที่ 3 ไมโครคอนโทรลเลอร์ MCS-51	9
1. โครงสร้างภายในของ MCS-51	9
2. คุณสมบัติที่สำคัญของ MCS-51	10
3. การจัดขาต่างๆของ MCS-51	10
4. ส่วนประกอบหลักของ MCS-51	13
5. ระบบอินเทอร์รัพท์ของ MCS-51	14

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

	หน้า
บทที่ 4 ทฤษฎีโดยย่อเกี่ยวกับโทรทัศน์	16
1. สัญญาณภาพ	16
2. เครื่องส่งและเครื่องรับโทรทัศน์	19
3. สถานีโทรทัศน์จำเป็นต้องส่งสัญญาณอะไรบ้าง	20
บทที่ 5 ลักษณะของโครงงานและการออกแบบระบบ	24
บทที่ 6 การทดลองและผลการทดลอง	30
บทที่ 7 สรุปผลการทดลองและแนวทางการะประยุกต์	37
ภาคผนวก	
บรรณานุกรม	

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญรูป

หน้า

บทที่ 2

รูปที่2.1 แสดงวิธีการพื้นฐานของ A/D 2

รูปที่2.2 วงจรของแฟลช A/D Converter 3

รูปที่2.3 วงจร Single Slope A/D Converter 3

รูปที่2.4 วงจร Dual Slope A/D Converter 4

รูปที่2.5 วงจร A/D แบบ Successive Approximation 6

รูปที่2.6 แสดง Block Diagram ของ DAC 7

รูปที่2.7 วงจร D/A แบบ Binaly Weight Ladder 7

บทที่ 3

รูปที่3.1 แสดงโครงสร้างภายในของ MCS-51 9

รูปที่3.2 แสดงขาต่างๆ ของ 8051 10

รูปที่3.3 ขาของ MCS-51 ที่ใช้ต่อกับ XTAL 13

บทที่4

รูปที่4.1 การเคลื่อนที่หักเหของลำอิเล็กตรอนในจังหวะที่ถูกต้อง
ทั้งในแนวนอน และแนวตั้งของจอหลอดภาพ 16

รูปที่4.2 การหักเหของลำอิเล็กตรอน โดยอาศัยสนามแม่เหล็กเข้าช่วยเหลือ 16

รูปที่4.3 การสะแกน2ครั้งสำหรับภาพนิ่งแต่ละภาพ โดยแบ่ง 1 เฟรม
ออกเป็น 2 ฟิลด์ 18

รูปที่4.4 ผลของสัญญาณซิงค์ที่ทำให้ความถี่ของเครื่องส่งและเครื่องรับ
เท่ากันตลอดเวลา 19

รูปที่4.5 สัญญาณซิงค์ในแนวนอน 21

รูปที่4.6 สัญญาณอีควัลไลซิ่งกับสัญญาณซิงค์ในแนวตั้ง 21

รูปที่4.7 รูปร่างของสัญญาณ โทรทัศน์ที่เกิดจากภาพขาวสลับดำเป็นแถบๆ 22

บทที่ 5

รูปที่5.1 แสดงลักษณะของวีดีโอวอลล์ในเมตริกซ์ 2x2 24

รูปที่5.2 แสดงส่วนต่างๆ ของภาพสัมพันธ์กับการกดคีย์บอร์ด 25

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

หน้า

รูปที่5.3 แผนผังแสดงการทำงานของระบบ 25

บทที่ 6

รูปที่ 6.1 แสดงสัญญาณอินพุท 30

รูปที่ 6.2 แสดงสัญญาณอินพุทเทียบกับHorizontal sync 30

รูปที่ 6.3 แสดงสัญญาณVertical syncเทียบกับOdd/Even 31

รูปที่ 6.4 แสดงสัญญาณHorizontal sync เทียบกับโมโนสเตเบิ้ล8μsec 31

รูปที่ 6.5 แสดงสัญญาณHorizontal sync เทียบกับโมโนสเตเบิ้ล2μsec 32

รูปที่ 6.6 แสดงสัญญาณ โมโนสเตเบิ้ล 8 μsecเทียบกับ 2 μsec 32

รูปที่ 6.7 แสดงสัญญาณจากCmparatorเทียบกับสัญญาณจากขารีเซทของ
เคาท์เตอร์ 33

รูปที่ 6.8 แสดงสัญญาณจากขาPEเทียบกับสัญญาณจากขารีเซทของเคาท์เตอร์ 33

รูปที่ 6.9 แสดงสัญญาณอินพุทเทียบกับสัญญาณจากขารีเซทของเคาท์เตอร์ 34

รูปที่ 6.10 แสดงสัญญาณภาพที่เอาท์พุท 34

รูปที่ 6.11 แสดงสัญญาณภาพที่เอาท์พุทเทียบกับสัญญาณจาก
analog switch 35

รูปที่ 6.12 แสดงสัญญาณ R/W เทียบกับ Vertical sync 35

รูปที่ 6.13 แสดงสัญญาณ R/W ของหน่วยความจำสองชุดที่ต่างกัน 36

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 1
บทนำ

สัญญาณต่าง ๆ ที่เราพบเห็นและคุ้นเคยในชีวิตประจำวันล้วนแล้วแต่อยู่ในรูปของสัญญาณ อนาลอก (Analog Signal) ซึ่งแต่เดิมการเอาสัญญาณดังกล่าวมาประมวลผล (Process) เพื่อให้มีรูปแบบที่เหมาะสมจะกระทำในรูปแบบอนาลอก แต่เมื่อเทคนิคและอุปกรณ์การประมวลผลสัญญาณดิจิตอลได้มีการพัฒนาขึ้นมาและพบว่า การประมวลผล เก็บ สื่อสาร และการนำเสนอในรูปแบบดิจิตอลกระทำได้ง่ายและมีประสิทธิภาพกว่า ดังนั้นการเปลี่ยนแปลงสัญญาณอนาลอกให้เป็นข้อมูลทางดิจิตอลจึงได้มีความจำเป็นขึ้นมา

ในปัจจุบัน เครื่องรับโทรทัศน์ได้เข้ามามีบทบาทในการดำรงชีวิตประจำวันเป็นอย่างมาก ทั้งให้ความบันเทิง ข่าวสาร ข้อมูลต่าง ๆ และเป็นสื่อที่มีความได้เปรียบกว่าสื่ออื่น ๆ มาก เนื่องจากสามารถแสดงภาพที่เหมือนจริงและมีการเคลื่อนไหวได้ เป็นการน่าสนใจอย่างมากที่จะนำสื่อชนิดนี้มาศึกษา ในการประมวลผล จัดเก็บข้อมูล และสื่อสาร เพื่อเพิ่มทักษะ และพื้นฐานความรู้ความเข้าใจในการที่จะนำไปประยุกต์ใช้งานต่อ ๆ ไป

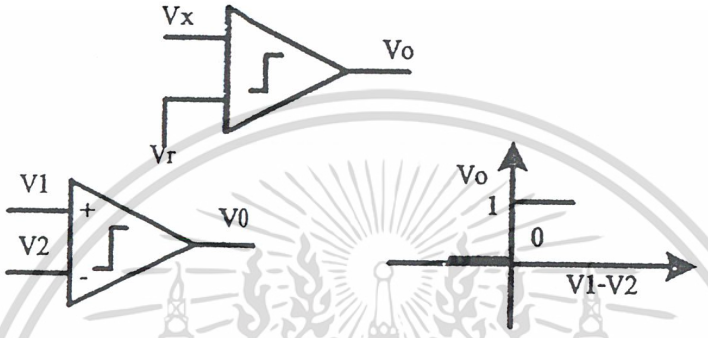
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 2

หลักการทำงานของ ADC และ DAC

วงจรแปลงสัญญาณอนาลอกเป็นดิจิตอล (ADC)

หลักการทำงานพื้นฐานอย่างง่าย ๆ ของการทำงานของวงจรแบบนี้ แสดงได้ดังรูป



รูปที่ 2.1 แสดงวิธีการพื้นฐานของ A/D

แรงดันอินพุทที่ไม่ทราบค่า Vx จะต่อเข้ากับขาอินพุทหนึ่งของอนาลอกคอมพาราเตอร์ และแรงดันอ้างอิงที่ขนาดแปรตามเวลา Vr ต่อเข้ากับอินพุทอีกขาหนึ่งของคอมพาราเตอร์ซึ่งจะทำงานโดยถ้าแรงดันอินพุท V1 มากกว่าอินพุท V2 แล้วแรงดันเอาท์พุทจะเป็นลอจิก 1 ถ้าอินพุท V1 น้อยกว่า V2 แล้วเอาท์พุทจะเป็นศูนย์ วิธีในการแปลงข้อมูลคือ แรงดันอ้างอิงจะถูกแปรค่าจนกระทั่งรู้ค่าแรงดันอินพุทที่ผิดพลาดไม่เกิน Quantization error ของคอนเวอร์เตอร์

1. แบบใช้วงจรเปรียบเทียบขนานหรือ "แฟลช"

(Parallel Comparator Simultaneous "Flash" A/D Converter)

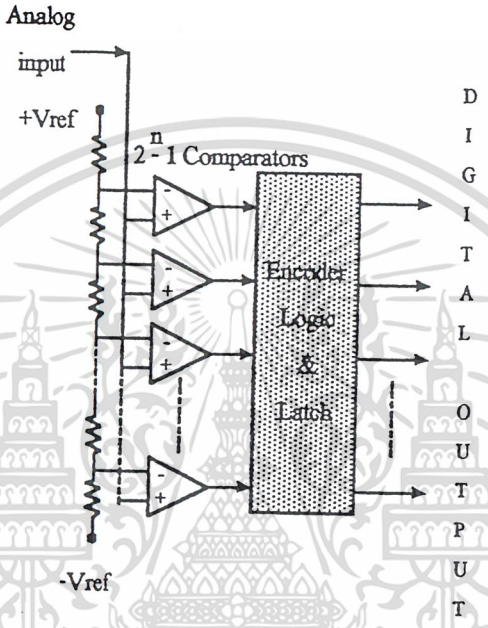
วงจร A/D แบบนี้ใช้หลักการง่าย ๆ อีกทั้งยังเป็นวิธีที่รวดเร็วที่สุด คือใช้วงจรเปรียบเทียบที่ต่อขนานกันดังรูป ซึ่งประกอบด้วยออปแอมป์ที่ต่อเป็นวงจรเปรียบเทียบ และตัวต้านทานที่ต่อไว้เพื่อแบ่งแรงดันที่ขาอินพุทแบบกลับ (Inverting) ให้มีขนาดต่าง ๆ กัน จากหลักการของวงจรเปรียบเทียบทั่วไป เมื่อแรงดันที่ขาอินพุทแบบไม่กลับ (Non-inverting) มีค่าสูงกว่าที่ขาอินพุทแบบกลับเอาท์พุทจะได้แรงดันค่าสูง

เมื่อต้องการวงจรที่มีความละเอียดสูงขึ้น จำเป็นต้องใช้วงจรเปรียบเทียบเพิ่มขึ้น เช่น ถ้าต้องการความละเอียด 3 บิต ต้องใช้วงจรเปรียบเทียบ 7 ตัว และถ้าต้องการความละเอียด 4 บิต ก็ต้องใช้วงจรเปรียบเทียบ 15 ตัว (16 ระดับ) โดยหาจำนวนวงจรเปรียบเทียบได้จาก 2^N-1 เมื่อ N แทนจำนวนบิตหรือความละเอียดที่ต้องการ จะเห็นได้ว่า ที่ความละเอียด 8 บิต ต้องใช้วงจรเปรียบเทียบ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

มากถึง 255 ตัว ซึ่งเป็นข้อเสียของวงจร A/D แบบนี้ และข้อเสียอีกประการหนึ่งคือ เอาท์พุทที่ไม่ได้เป็นเลขฐานสองต้องมีวงจรเพิ่มเติมไปทำการเข้ารหัส

ส่วนข้อดีของวงจร A/D ขนานนี้คือมีความเร็วในการทำงานสูงมาก บางครั้งจึงเรียกวงจร A/D แบบนี้ว่า "แฟลช" (Flash Type A/D Converter) โดยใช้เวลาในการแปลงได้ถึงระดับนาโนวินาทีเลยทีเดียว



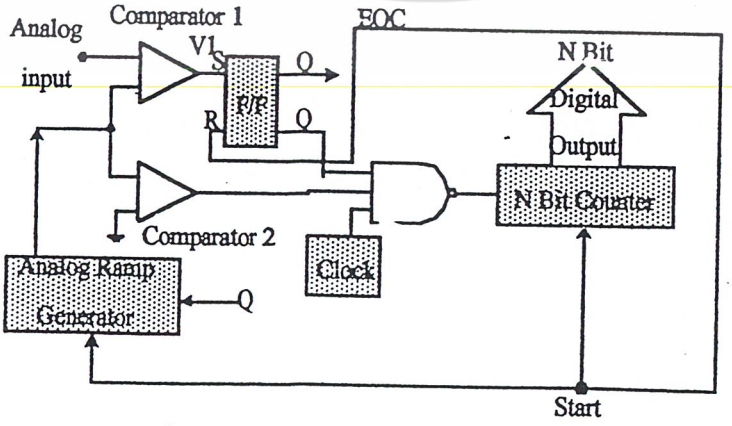
รูปที่ 2.2 วงจรของแฟลช A/D Converter

2. วงจร A/D ที่ใช้การอินทิเกรต

วงจร A/D ที่ใช้หลักการนี้มีอยู่ด้วยกัน 4 แบบ คือ

2.1 แบบสโลปเดี่ยวหรือแบบแรมป์ (Single Ramp หรือ Single slope A/D Converter)

วงจร A/D แบบนี้แสดงไว้ดังรูปด้านล่าง ซึ่งประกอบด้วยวงจรกำเนิดสัญญาณแรมป์ วงจรเปรียบเทียบ วงจรนับ BCD หรือ วงจรนับเลขฐานสอง

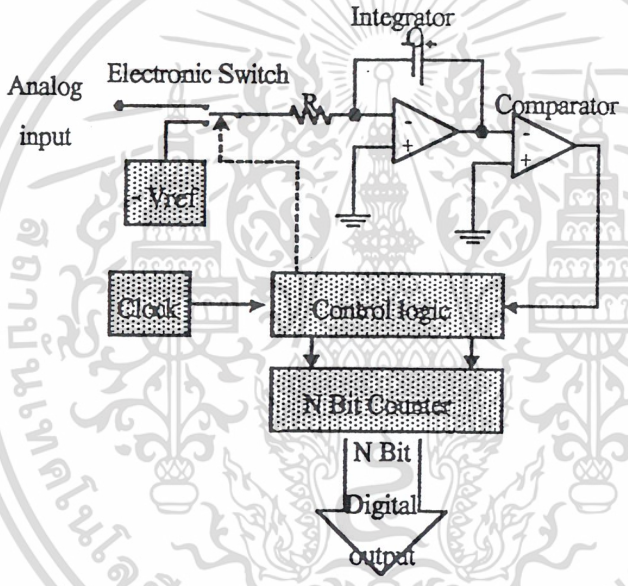


รูปที่ 2.3 วงจร Single Slope A/D Converter

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เมื่อเริ่มทำการเปลี่ยนสัญญาณ สัญญาณแรมป์และวงจรนับจะถูกรีเซตให้เป็น 0 แรงดัน อนาลอกจะถูกป้อนไปยังวงจรเปรียบเทียบทางขาอินพุทแบบไม่กลับ (Non-inverting) เมื่อแรงดันอินพุทที่ขานี้เป็นบวกมากกว่าขาอินพุทแบบกลับ (Inverting) วงจรเปรียบเทียบจะให้เอาท์พุทเป็น " High " ทำให้แอนด์เกทปล่อยสัญญาณนาฬิกาไปยังวงจรนับได้ และทำให้เริ่มเกิดสัญญาณแรมป์ สัญญาณแรมป์จะมีแรงดันเป็นบวกมากขึ้นเรื่อย ๆ จนมากกว่าระดับแรงอินพุทและเอาท์พุทของวงจรนับก็จะกลายเป็น " Low " ทำให้แอนด์เกทถูกปิด จึงไม่มีสัญญาณผ่านไปให้วงจรนับ วงจรนับจะหยุดนับและเก็บค่าไว้ที่วงจรแลช จากนั้นจึงทำการรีเซตวงจรนับและวงจรกำเนิดสัญญาณแรมป์

2.2 แบบสโลปคู่ (Dual Slope A/D Converter)



รูปที่ 2.4 วงจร Dual Slope A/D Cnoverter

วงจรส่วนใหญ่จะคล้ายกับแบบสโลปเดี่ยวแต่มีสวิตซ์ที่อินพุทเพิ่มขึ้นเพื่อทำการเลือกระหว่างแรงดันอินพุทกับแรงดันอ้างอิง ข้อดีที่เหนือกว่าสโลปเดี่ยวคือ ค่าที่ได้ไม่ขึ้นกับความถี่ของรอบการทำงาน มีความถูกต้องสูง ราคาถูก และมีเสถียรภาพทางด้านอุณหภูมิดี แต่มีข้อเสียคือความเร็วในการทำงานต่ำ

2.3 แบบชาร์จบาลานซ์ (Charge Balance A/D Converter)

วงจร A/D แบบนี้ใช้วงจรคล้ายกับแบบสโลปคู่ แต่แทนที่จะให้อินพุทสวิตซ์ไปมาระหว่างแรงดันที่ไม่รู้ค่ากับแรงดันอ้างอิง ก็ทำการแทรกพัลส์ของกระแสอ้างอิงมาตรง ๆ ที่จุดรวมของวงจรอินทิเกรเตอร์ในช่วงเวลาที่คงที่ โดยที่จำนวนของพัลส์จะเป็นสัดส่วนโดยตรงกับแรงดันอินพุท

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ที่ไม่รู้ค่า ประโยชน์ของเทคนิคนี้ก็คือ แรงดันตกคร่อมตัวเก็บประจุของวงจรอินทิเกรเตอร์จะมีค่าใกล้เคียงศูนย์โวลท์ ดังนั้นจึงไม่เกิดความผิดพลาดจากผลของกระแสรั่วไหล A/D แบบนี้จึงมีความถูกต้องสูงกว่าแบบสโลปคู่

2.4 แบบเดลต้า (Delta-Sigma)

วงจรแบบนี้แสดงดังรูปที่ 2.4 เมื่อมีแรงดันอินพุทป้อนเข้าไปที่วงจรอินทิเกรเตอร์เอาท์พุทที่ได้จะไปเข้าวงจรเปรียบเทียบเพื่อทำการเปรียบเทียบกับแรงดันคงที่ (จากรูป คือ กราวด์) พัลส์ของกระแสที่ได้ขึ้นอยู่กับเอาท์พุทของวงจรเปรียบเทียบ โดยสวิตซ์ที่ทำขึ้นจากเฟตจะควบคุมให้กระแสเข้าไปยังจุดที่รวมหรือลงกราวด์ไป ส่วนวงจรนับจะนับจำนวนพัลส์ด้วยหลักการที่คล้ายกัน

3. วงจร A/D ที่ใช้วงจรนับและวงจร D/A ประกอบกัน

3.1 แบบวงจรนับเดี่ยว (Single Counter)

แท้ที่จริงแล้วสัญญาณแรมป์เชิงเส้นอาจประกอบขึ้นด้วยสัญญาณขั้นบันไดเล็ก ๆ จำนวนมากที่เกิดจากการต่อเอาท์พุทของวงจรนับเข้ากับวงจรแปลง D/A โดยขนาดของขั้นบันไดแต่ละขั้นขึ้นอยู่กับจำนวนบิตหรือความละเอียดของวงจร D/A นั้น ๆ

3.2 แบบแทรกกิ้ง (Tracking A/D Converter)

การทำงานจะคล้ายกับแบบใช้วงจรนับเดี่ยว แต่การนับจะไม่ได้เริ่มจากศูนย์แต่จะทำการนับขึ้นหรือนับลงจากค่าล่าสุดไปยังค่าใหม่แล้วแต่ว่าแรงดันอินพุทในรอบใหม่มีค่าสูงกว่าหรือต่ำกว่าค่าที่แล้ว ข้อดีของ A/D แบบนี้ คือ ทำงานได้เร็วขึ้น

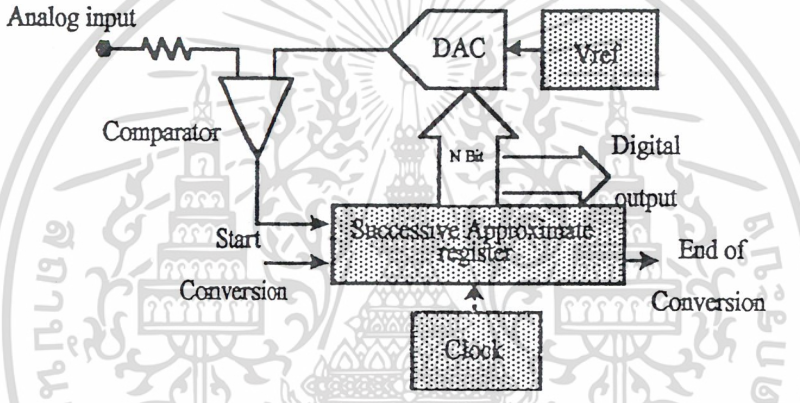
4. วงจร A/D ที่ใช้การประมาณค่า (Successive Approximation A/D Converter)

วงจร A/D แบบนี้มีข้อดีคือ ได้เปรียบทางด้านความละเอียด เพราะความละเอียด N บิต สามารถกำหนดได้จากค่าสัญญาณนาฬิกา N ลูก เช่น ถ้าเราต้องการความละเอียด 8 บิต จะต้องการพัลส์ของสัญญาณนาฬิกา 8 ลูก ในขณะที่ใช้แบบวงจรนับต้องใช้ถึง 256 ลูก วงจร Successive Approximation นี้แสดงได้ดังรูป ซึ่งหัวใจของวงจรก็คือ Successive Approximation Register (SAR) เช่นเบอร์ MC 14549 ที่มีการทำงานดังต่อไปนี้

เมื่อเริ่มทำการเปลี่ยนสัญญาณ พัลส์ลูกแรกจะทำการส่งบิตที่มีนัยสำคัญสูงสุดไปยัง D/A เบอร์ MC 1408 โดย SAR จะรอสัญญาณจากวงจรเปรียบเทียบ LM 319 ซึ่งทำการตรวจสอบว่าเอาท์พุทของวงจร D/A มากกว่าหรือน้อยกว่าแรงดันอินพุท Vin ถ้าเอาท์พุทของวงจรเปรียบเทียบมีระดับ " high " เอาท์พุทของ D/A จึงต่ำกว่า Vin ของ SAR ก็จะทำการเก็บบิตที่มีนัยสำคัญสูงสุดไว้ของ SAR ก็จะทำการรีเซตบิตที่มีนัยสูงสุดนั้น

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

พัลส์ลูกต่อมาก็ทำเช่นเดียวกัน โดยบิตที่ได้คือ บิตที่มีนัยสำคัญรองลงมา SAR ทำงานแบบนี้ไปจนถึงบิตที่มีนัยสำคัญต่ำสุด แต่ละบิตใช้สัญญาณนาฬิกาลูกเดียวจนครบทุกบิต จากนั้น SAR ก็จะทำการส่งสัญญาณ EOC (End of Cnoversion) ออกไป สัญญาณ EOC เป็นตัวบอกว่าสายสัญญาณเอาท์พุทที่ขนานกันมาทุกเส้นมีข้อมูลดิจิตอลของสัญญาณอินพุทครบถ้วนแล้ว ถ้าสัญญาณ EOC ถูกต่อไปยังอินพุทที่เป็นจุดเริ่มการเปลี่ยนสัญญาณ การเปลี่ยนสัญญาณก็จะเกิดขึ้นอย่างต่อเนื่อง วงจร A/D ชนิดนี้นิยมนำมาใช้งานกันอย่างแพร่หลายเนื่องจากทำงานได้เร็วและมีความละเอียดสูง



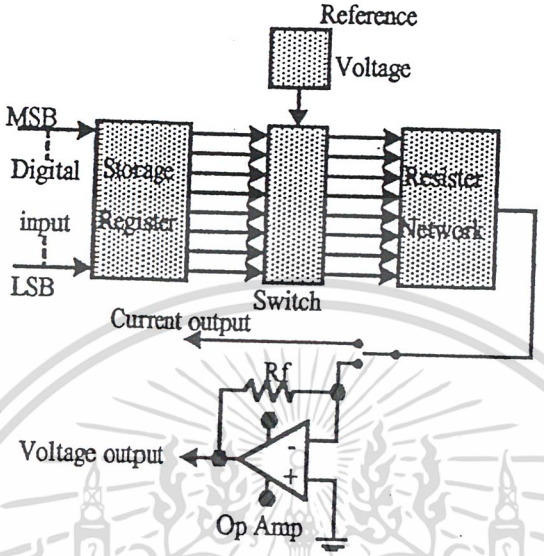
รูปที่ 2.5 วงจร A/D แบบ Successive Approximation

วงจรแปลงสัญญาณดิจิตอลเป็นอนาลอก (DAC)

เป็นวงจรที่แปลงสัญญาณที่ไม่ต่อเนื่อง (Digital) เป็นสัญญาณที่ต่อเนื่อง (Analog) และที่สำคัญ DAC ยังเป็นส่วนประกอบสำคัญใน ADC ที่ใช้กันอยู่ในปัจจุบัน ดังรูปที่ 1.6 แสดง Block Diagram ของ DAC แบบเบื้องต้น

หัวใจสำคัญของ DAC คือ อาเรย์สวิตซ์ที่ควบคุมด้วยลอจิกที่มีจำนวน n ชุด เท่ากับจำนวนไบนารีบิต สวิตซ์เหล่านี้จะตัดต่อแรงดันอ้างอิงขนาดหนึ่งเข้ากับวงจรอาเรย์รีซีสเตอร์ค่าต่าง ๆ ที่ weight ตามรหัสไบนารีเอาท์พุท และบัฟเฟอร์แอมปลิไฟเออร์จะทำหน้าที่เปลี่ยนกระแสที่ถูก weight โดยวงจรรีซีสเตอร์ให้เป็นแรงดันอนาลอกที่สัมพันธ์ต่อกัน ใน DAC บางวงจรมี digital resistor อยู่ในตัวเพื่อ latch รหัสอินพุทไว้ในขณะที่ DAC กำลังเปลี่ยนสัญญาณเป็นอนาลอก

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

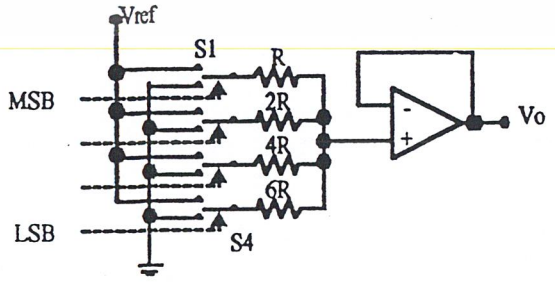


รูปที่ 2.6 แสดง Block Diagram ของ DAC

วงจร DAC มีอยู่หลายแบบด้วยกัน เช่น

1. วงจร DAC แบบ Binary weight ladder

การจัดวงจร Binary weight ladder มีลักษณะตามรูปด้านล่าง สวิตช์ S1-S4 จะถูกควบคุมเปิด/ปิด ด้วยรหัสดิจิตอลเพื่อ ตัด/ต่อ แรงดันอ้างอิงเข้ากับวงจรรีซิสเตอร์ที่มีค่า R,2R,4R,...,(2)R ตัวอย่างในกรณี DAC แบบ 4 บิตใช้รีซิสเตอร์เป็น 10k,20k,40k และ 80k ดังรูป



รูปที่ 2.7 วงจร D/A แบบ Binary Weight Ladder

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ค่ารีซีสเตอร์ที่ weight ค่าตามรหัสดิจิตอลที่เพิ่มขึ้นจะทำให้กระแสผ่านรีซีสเตอร์เข้าไปรวมกัน ก่อนเข้าออปแอมป์ลดลงด้วยแฟคเตอร์ 2 ตามค่า R ที่เพิ่มขึ้น ออปแอมป์ที่เอาท์พุทจะทำหน้าที่เปลี่ยนกระแสรวมให้เป็นแรงดันเอาท์พุท

$$V_0 = (V_{ref} /2)(8S1+4S3+2S2+S1) \qquad S\ Close=1,\ S\ Open=0$$

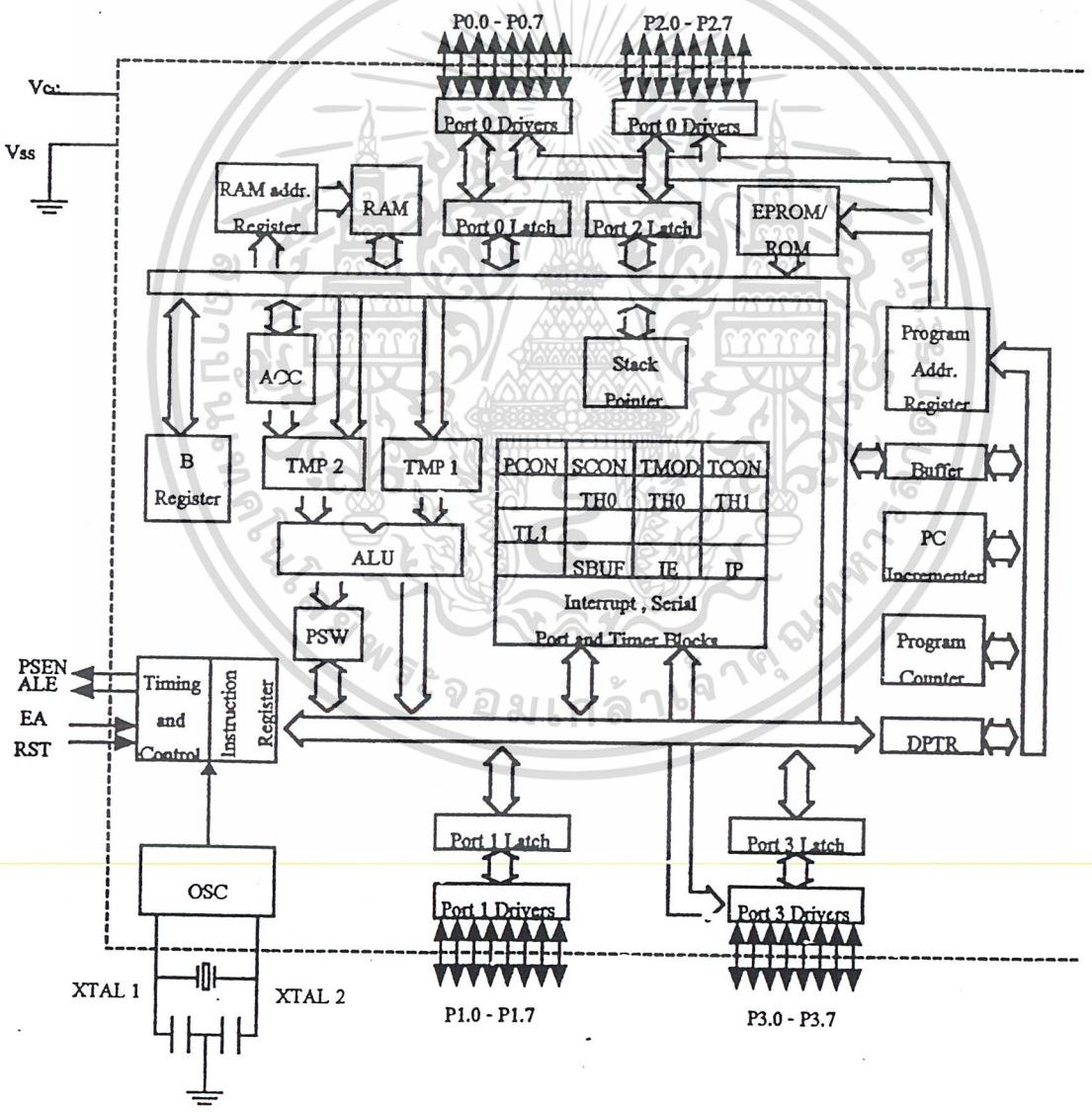
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 3

ไมโครคอนโทรลเลอร์ MCS-51

1. โครงสร้างภายในของ MCS-51

ภายใน MCS-51 ประกอบด้วยเกทต่าง ๆ ซึ่งจะถูกออกแบบให้มีหน้าที่ในการทำงานต่าง ๆ เช่น วงจรถอดรหัสคำสั่ง วงจรสร้างสัญญาณนาฬิกา ซึ่งโครงสร้างภายในของตัว MCS-51 จะประกอบด้วยส่วนย่อย ๆ ดังรูป



รูปที่3.1 แสดงโครงสร้างภายในของ MCS-51

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2. คุณสมบัติที่สำคัญของ MCS-51

ไมโครคอนโทรลเลอร์ตระกูล MCS-51 มีด้วยกันหลายเบอร์ขึ้นกับโครงสร้างภายในของมัน บางเบอร์จะมีหน่วยความจำภายในเป็นแบบ ROM บางเบอร์เป็นแบบ EPROM บางเบอร์มี RAM ภายใน 128 ไบต์ บางเบอร์มี 256 ไบต์ เป็นต้น ซึ่งรายละเอียดจะศึกษาได้จากคู่มือของมันโดยตรง และลักษณะของขาต่าง ๆ จะเหมือนกัน คุณสมบัติที่สำคัญมีดังนี้

-มีหน่วยความจำ ROM 4 กิโลไบต์

-มีหน่วยความจำ RAM 128 ไบต์

-มีพอร์ท I/O ขนาด 8 บิต 4 พอร์ท

-มีไทม์เมอร์ 16 บิต 2 ตัว

-สามารถอินเทอร์รัพท์ได้ 5 แหล่ง

-มีวงจรออสซิลเลเตอร์และวงจรนาฬิกาบนชิพ

-มีพอร์ทอนุกรมที่สามารถรับส่งข้อมูลแบบ Full Duplex ความเร็วสูง

-อ้างหน่วยความจำโปรแกรมภายนอกได้ 64 K

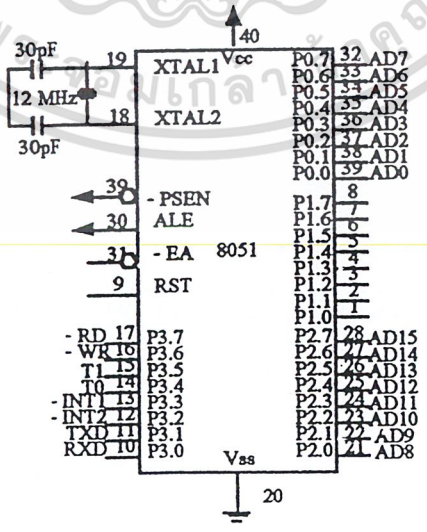
-อ้างหน่วยความจำข้อมูลภายนอกได้ 64 K

-สามารถประมวลผลทีละบิตได้

-สามารถอ้างหน่วยความจำแบบบิตได้ 210 ตำแหน่ง

-หนึ่งวัฏจักรคำสั่งกินเวลาประมาณ 1 ไมโครวินาที ขณะทำงานด้วย Clock 12 MHz

3. การจัดขาต่าง ๆ ของ MCS-51



รูปที่ 3.2 แสดงขาต่างๆของ 8051

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ไมโครคอนโทรลเลอร์ 8051 โครงสร้าง IC เป็นแบบ DIP มีขาทั้งหมด 40 ขาโดยขาต่าง ๆ จะใช้เป็นขาพอร์ทอินพุท เอาท์พุท ขาสัญญาณควบคุม ขาตำแหน่งหน่วยความจำ และขาข้อมูล ดังรูปที่ 3.2

ความหมายของขาต่าง ๆ มีดังนี้

1.พอร์ท 0

ได้แก่ ขาที่ 32-39 ของ MCS-51 สามารถใช้เป็นอินพุท เอาท์พุท ได้นอกจากนี้ในการติดต่อกับหน่วยความจำภายนอกยังใช้เป็นขาแอดเดรสบัสและดาต้าบัสอีกด้วย

2.พอร์ท 1

ได้แก่ ขาที่ 1-8 เป็นพอร์ท 8 บิต สามารถอ้างทีละบิตได้ คือ P1.0 ,P1.1,...

3.พอร์ท 2

ได้แก่ ขาที่ 21-28 จะใช้งาน 2 หน้าที่ คือใช้เป็นพอร์ท 8 บิตกับที่ใช้เป็นขาแอนเดรส 8 บิต ในการอ้างหน่วยความจำภายนอก

4.พอร์ท 3

ได้แก่ ขาที่ 10-17 ใช้งาน 2 หน้าที่ คือ เป็นพอร์ทอินพุท และเอาท์พุท และใช้เป็นขาควบคุมต่าง ๆ ดังตาราง

บิต	ชื่อ	หน้าที่พิเศษ
P3.0	RXD	ใช้รับข้อมูลทางพอร์ทอนุกรม
P3.1	TXD	ใช้ส่งข้อมูลทางพอร์ทอนุกรม
P3.2	INT_0	อินเทอร์รัพท์ภายนอกหมายเลข 0
P3.3	INT_1	อินเทอร์รัพท์ภายนอกหมายเลข 1
P3.4	T_0	ตัวจับเวลา / ตัวนับ ตัวที่ 0
P3.5	T_1	ตัวจับเวลา / ตัวนับ ตัวที่ 1
P3.6	WR	สัญญาณเขียนข้อมูลหน่วยความจำภายนอก
P3.7	RD	สัญญาณอ่านข้อมูลหน่วยความจำภายนอก

5. PSEN (Program store Enable)

ขา PSEN เป็นขาที่ส่งสัญญาณออกคือ ขา 29 ขานี้จะแอคทีฟเมื่อ MCS-51 ต้องการอ่านโค้ดโปรแกรมภายนอก โดยปกติถ้าหน่วยความจำภายนอกเป็น EPROM ขา PSEN จะต่อกับขาเอาท์พุท Enable (OE) ของ EPROM

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

6. ALE (Address Latch Enable)

เนื่องจากพอร์ท 0 สามารถใช้เป็นขาอ้างอิงตำแหน่ง และขาข้อมูล MCS-51 จะมีขา ALE ได้แก่ขา 30 ขานี้จะใช้ Multiplex สัญญาณ Adress Bus ของพอร์ท 0 ในการใช้งานระบบ MCS-51 นั้น จะต้องมีอุปกรณ์มาต่อกับพอร์ท 0 ที่ทำหน้าที่ Latch สัญญาณ Address Bus เมื่อ MCS-51 ต้องการติดต่อหน่วยความจำภายนอก MCS-51 จะส่งสัญญาณ Address Bus ออกมาก่อนทางพอร์ท 0 จากนั้นจะส่งสัญญาณ ALE มา Latch อุปกรณ์ภายนอก ให้เก็บค่า Address Bus ของพอร์ท 0 ไว้เพื่อใช้พอร์ท 0 เป็น Data Bus ต่อไป

7. EA (External Access)

ขา EA ได้แก่ขาที่ 31 ถ้าขานี้เป็นลอจิก 1 จะใช้กับเบอร์ 8051/8052 เพื่อบอกว่าให้อ่านโปรแกรมจากหน่วยความจำโปรแกรมภายใน แต่ถ้าเป็นลอจิก 0 จะบอกว่าให้ MCS-51 ทำโปรแกรมโดยอ่านจากหน่วยความจำโปรแกรมภายนอก (ถ้าขา EA เป็น 0 ขา PSEN จะแอคทีฟ) ถ้าหากเป็นเบอร์ 8031 หรือ 8032 ขา EA จะเป็น 0 เสมอ เพราะว่าไม่มีโปรแกรมหน่วยความจำภายใน แต่ถ้าใช้เบอร์ 8051/8052 ซึ่งมีหน่วยความจำโปรแกรมภายในและให้ขา EA เป็น 0 ซึ่งจะ Disable ROM ภายในและจะอ่านโปรแกรมจาก EPROM ภายนอกแทน

8. RST (Reset)

ขา RST ได้แก่ขา 9 จะใช้ในการรีเซต MCS-51 โดยจะให้ขานี้เป็นลอจิก 1 อย่างน้อย 2 แมชชีนไซเคิล จึงจะรีเซตระบบได้

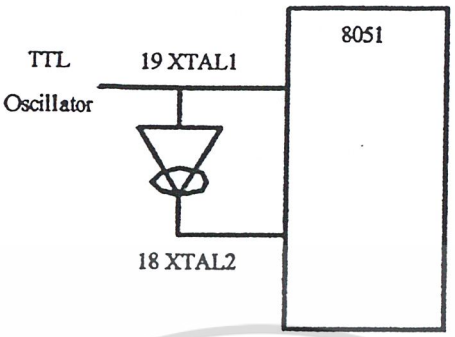
9. ความถี่สัญญาณนาฬิกาบนชิพ (On-chip Oscillator Inputs)

เป็นวงจรออสซิลเลเตอร์บนชิพ ได้แก่ ขา 18-19 โดยต่อคริสตัลเข้ากับขานี้ โดยปกติมักจะใช้คริสตัลความถี่ 12 MHz กับตัวเก็บประจุหรืออาจใช้สัญญาณนาฬิกาจาก TTL Clock Source ต่อกับ XTAL1 และ XTAL2 ดังรูปที่ 3.3

10. Power Connections

ใน MCS-51 จะใช้แหล่งจ่ายไฟ 5 V ต่อเข้ากับขา Vcc (ขา 40) ส่วนขา Vss (ขา 20) จะต่อลงกราวด์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.3 ขาของ MCS-51 ที่ใช้ต่อกับ XTAL

4. 8051 ประกอบด้วย 3 ส่วนหลัก คือ

4.1 ตัวประมวลผล (CPU-Central Processing Unit)

วงจรส่วนใหญ่ทำหน้าที่สร้างสัญญาณควบคุมในการติดต่อส่วนอื่น ๆ เรียกว่า วงจรควบคุม (Control Unit) สัญญาณที่สร้างจากวงจรควบคุม ได้แก่ สัญญาณสำหรับการติดต่อกับหน่วยความจำ อุปกรณ์รับข้อมูลเข้าหรือส่งข้อมูลออกจากตัว 8051 ซึ่งส่วนควบคุมการขัดจังหวะ (Interrupt Control) และส่วนควบคุมบัส (Bus Control) ก็เป็นส่วนหนึ่งของวงจรควบคุมด้วย การสร้างสัญญาณควบคุมจากส่วน ซีพียูนี้ จะทำการสร้างสัญญาณโดยการถอดรหัสจากคำสั่งตามที่มีการกำหนดไว้ และสัญญาณที่สร้างขึ้นมานี้จะนำมาอ้างอิงกับสัญญาณนาฬิกาที่สร้างจากวงจรออสซิลเลเตอร์ เพื่อให้ทุก ๆ ส่วนในวงจรทำงานประสานกันอย่างถูกต้อง

4.2 หน่วยความจำ (Memory)

ในระบบของไมโครคอนโทรลเลอร์ 8051 จำเป็นต้องมีหน่วยความจำซึ่งประกอบด้วย

1. หน่วยความจำโปรแกรม

หน่วยความจำโปรแกรมของ 8051 เป็นบริเวณหน่วยความจำสำหรับเก็บข้อมูลและคำสั่งใช้งานต่าง ๆซึ่งแม้ว่าจะไม่มีการจ่ายกระแสไฟฟ้าให้กับระบบ ข้อมูลเหล่านี้ก็ยังคงไม่สูญหาย

2. หน่วยความจำข้อมูล

หน่วยความจำข้อมูลมีหน้าที่สำหรับเก็บข้อมูล หรือตัวแปรที่เกิดขึ้นในขณะที่กำลังประมวลผลโปรแกรมไว้ชั่วคราว โดยพื้นฐานแล้วหน่วยความจำข้อมูลจัดเป็นหน่วยความจำ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

RAM แบบสแตติก ดังนั้นเมื่อไม่มีการจ่ายไฟให้กับระบบก็จะมีผลทำให้ข้อมูลที่จัดเก็บไว้ภายในหน่วยความจำนี้สูญหายไป

4.3 พอร์ทอินพุท / เอาท์พุทของ 8051

เป็นส่วนที่ใช้ส่งข้อมูลเข้าหรือออกจาก 8051 ทำให้ 8051 ติดต่อกับอุปกรณ์ภายนอกได้ ซึ่งได้แก่

4.3.1 อินพุท / เอาท์พุทพอร์ท

ทำหน้าที่เป็นส่วนที่รับ-ส่งข้อมูล ซึ่งเป็นสัญญาณดิจิตอลเข้าหรือออกจากตัว MCS-51 โดยมีทั้งหมด 4 พอร์ท แต่ละพอร์ทจะรับ-ส่งข้อมูลได้ 8 บิต มี P0, P1, P2 และ P3 บางพอร์ทจะทำงาน
มากกว่า 1 อย่างได้ แต่จะใช้วิธีการทำงานตามลำดับ โดยการควบคุมจากสัญญาณควบคุมที่ถอดรหัสมาจากแต่ละคำสั่งที่ให้คอมพิวเตอร์ทำงานและสัญญาณทั้งหมดจะอ้างอิงสัญญาณนาฬิกา

4.3.2 ไทม์เมอร์ 0 และไทม์เมอร์ 1

เป็นวงจรนับที่สามารถกำหนดให้ทำการนับจำนวนไซเคิลของสัญญาณที่ต่อจากภายนอก 8051 หรือจำนวนไซเคิลของสัญญาณนาฬิกาภายใน 8051 ก็ได้ค่าจากการนับ ซึ่งจะถูกอ่านหรือตั้งค่าเริ่มต้นของการนับได้โดยซีพียู

4.3.3 พอร์ทอนุกรม (Serial Port)

ซีพียู จะอ่านและเขียนข้อมูลกับพอร์ทอนุกรมเป็นแบบ 8 บิต แต่ข้อมูลจะถูกส่งออกจาก 8051 เรียงไปทีละบิตออกจากขา TXD และการรับข้อมูลเข้า ก็จะรับเข้ามาทีละบิตทางขา RXD แล้วจัดเรียงใหม่เป็น 8 บิต เพื่อให้ซีพียูอ่านไปใช้งานต่อไป

8051 มีพอร์ทให้ใช้งานได้หลายแบบ ทำให้สะดวกต่อการนำไปใช้งาน โดยจะต้องเขียนโปรแกรมมาควบคุม

5. ระบบอินเทอร์รัพท์ของ 8051

การติดต่อระหว่างไมโครคอนโทรลเลอร์กับอุปกรณ์ภายนอกมักจะทำโดยการตรวจสอบสภาวะของสัญญาณติดต่อระหว่างกัน การอินเทอร์รัพท์เป็นวิธีการหนึ่งที่นิยมนำมาใช้กับไมโครคอนโทรลเลอร์เพื่อสามารถจัดการตอบรับหรือบริการกับอุปกรณ์ต่าง ๆ ให้เป็นไปได้อย่างรวดเร็ว

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ไมโครคอนโทรลเลอร์ 8051 สามารถเกิดการอินเทอร์รัพท์ โดยการจำแนกตามแหล่งที่มาของสัญญาณ (Signal Source) ของสัญญาณอินเทอร์รัพท์นั้น ๆ ได้แก่

5.1 สัญญาณอินเทอร์รัพท์ภายนอก (External Interrupt)

การตรวจสอบสัญญาณที่เข้ามาอินเทอร์รัพท์นี้ จะสามารถกำหนดให้มีการตรวจสอบในลักษณะเมื่อได้มีการเปลี่ยนแปลงสัญญาณไปแล้ว หรือในช่วงเวลาขณะเริ่มมีการเปลี่ยนแปลงสัญญาณจากลอจิกสูงไปต่ำ

5.2 สัญญาณอินเทอร์รัพท์ภายใน (Internal Interrupt)

แหล่งกำเนิดสัญญาณนี้จะเป็นวงจรภายในของไมโครคอนโทรลเลอร์เอง เช่น วงจรนับ วงจรจับเวลา วงจรเชื่อมต่อสัญญาณอนุกรม เป็นต้น

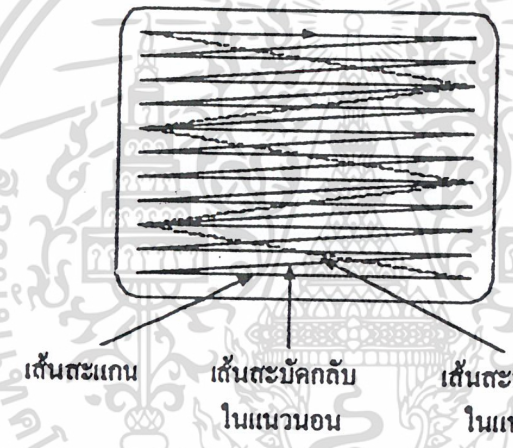
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 4
ทฤษฎีโดยย่อเกี่ยวกับโทรทัศน์

1. สัญญาณภาพ

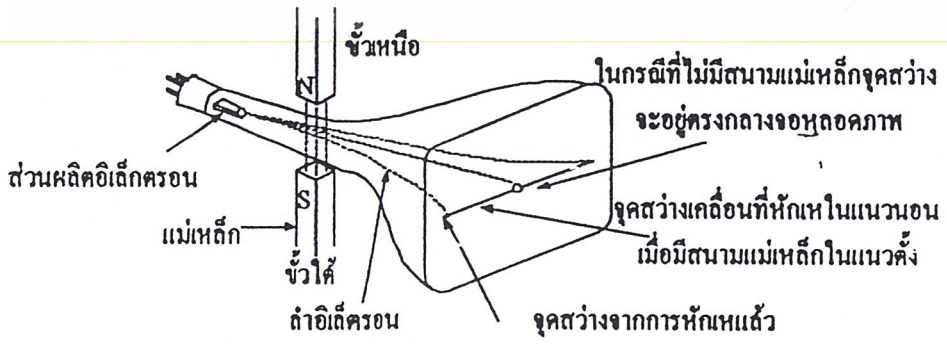
1.1 การสแกนวิธีและการหักเหของลำอิเล็กตรอน

ภายในหลอดภาพของเครื่องรับโทรทัศน์ อิเล็กตรอนที่หลุดออกมาจากแคโทด และถูกดึงดูดให้วิ่งเป็นลำไปกระทบแอโนด หรือจอหลอดภาพ ซึ่งฉาบวัสดุเรืองแสงบางชนิดเอาไว้ จะทำให้มองเห็นเป็นจุดสว่างขึ้นที่จอการสแกน ก็คือการทำให้จุดสว่างนี้เคลื่อนที่ไปในจังหวะที่ถูกต้องทั้งในแนวนอนและแนวตั้งของจอหลอดภาพ โดยอาศัยความเข้มสนามแม่เหล็กเข้าช่วยเหลือตามที่แสดงไว้ในรูปที่ 4.1 และ 4.2



รูปที่ 4.1 การเคลื่อนที่หักเหของลำอิเล็กตรอนในจังหวะที่ถูกต้องทั้งในแนวนอน และแนวตั้งของจอหลอดภาพ

กล่าวคือ ในขณะที่ไม่มีสนามแม่เหล็ก ลำอิเล็กตรอนก็จะวิ่งไปกระทบจอหลอดภาพตรงกลางโดยไม่ถูกหักเห แต่หากต้องการเบนลำอิเล็กตรอนไปทางซ้ายมือตามแนวนอน ก็จำเป็นต้องใช้สนามแม่เหล็กที่มีขั้วเหนือ-ใต้อยู่ในแนวตั้งตามรูปที่ 4.2



รูปที่ 4.2 การหักเหของลำอิเล็กตรอน โดยอาศัยสนามแม่เหล็กเข้าช่วยเหลือ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สำนักหอสมุดกลาง พระจอมเกล้าลาดกระบัง

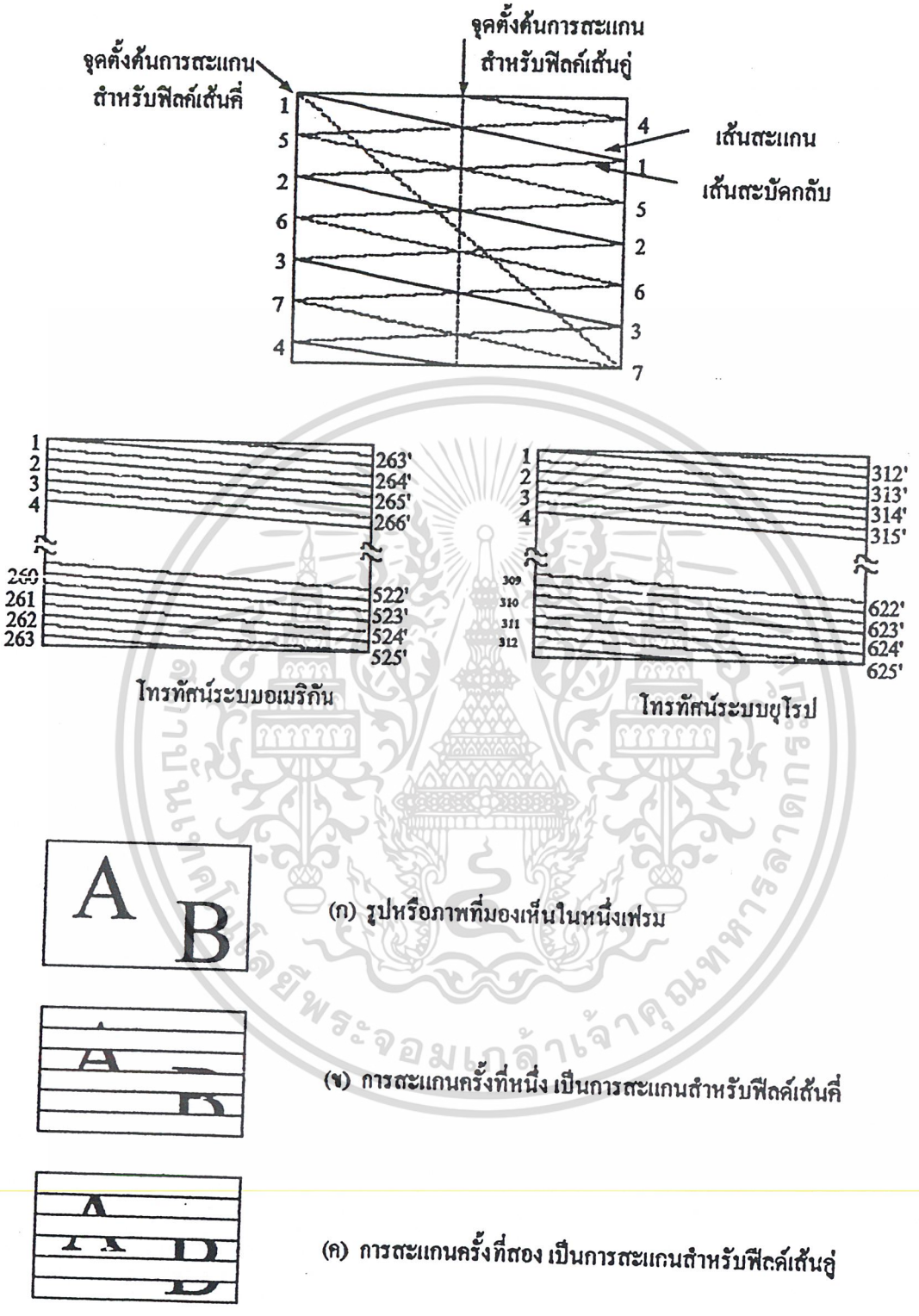
หากกลับขั้วแม่เหล็กนี้ ลำอิเล็กตรอนก็จะถูกเบนทางขวามือในแนวนอนของจอหลอดภาพ การที่ลำอิเล็กตรอนถูกทำให้เบนไปทางขวามือ หรือทางซ้ายมือของจอนี้ จำทำให้เห็นเป็นจุดสว่างเคลื่อนที่ไปทางเดียวกันด้วย ในทำนองเดียวกัน หากมีขั้วแม่เหล็กในแนวนอน ลำอิเล็กตรอนหรือจุดสว่างก็จะถูกเบนไปในทางแนวตั้งของจอหลอดภาพ ดังนั้น เพื่อช่วยในการหักเหลำอิเล็กตรอนในทิศทางที่ต้องการ จึงนิยมใช้สนามแม่เหล็กทั้งในแนวนอนและในแนวตั้งร่วมกัน 2 สนาม

การสแกนจะเริ่มต้นขึ้นโดยการทำให้จุดสว่างเคลื่อนที่จากซ้ายมือด้านบนของจอไปทางขวามือในแนวนอน ซึ่งเมื่อไปถึงตำแหน่งขวาสุด ก็จะถูกเบนต่ำลงเล็กน้อย แล้วก็จะกลับไปตั้งต้นใหม่ทางซ้ายมือเพื่อเคลื่อนที่มาทางขวามือในแนวนอนอีก เป็นเช่นนี้เรื่อย ๆ จนกระทั่งจุดสว่างไปถึงตำแหน่งขวามือล่างสุดของหลอดภาพ ก็เป็นอันเสร็จสิ้นการสแกนภาพนิ่งภาพหนึ่ง ซึ่งเรียกว่าเฟรมหนึ่ง หลังจากนั้นลำอิเล็กตรอนจะกลับไปตั้งต้นใหม่ทางด้านซ้ายมือของจอหลอดภาพอีกเพื่อสแกนภาพนิ่งอันดับต่อไป อย่างไรก็ตาม เพื่อลดอาการกระพริบของภาพการสแกนภาพนิ่งแต่ละภาพจึงมักนิยมจัดทำ 2 ครั้งในแบบของการสแกนไขว้กัน โดยกำหนดให้ภาพนิ่ง 1 เฟรม ประกอบด้วยภาพนิ่ง 2 ฟิลด์ จึงกลับไปตั้งต้นใหม่ทางซ้ายมือบนสุดของจอ แล้วเริ่มต้นสแกนภาพนิ่งฟิลด์เส้นคู่ต่อไปจนถึงตำแหน่งขวามือล่างสุด หลังจากนั้น ก็จะเริ่มต้นการสแกนภาพนิ่งฟิลด์เส้นคี่ในทำนองเดียวกัน สำหรับโทรทัศน์ระบบอเมริกันจะใช้เส้นสแกนแนวนอน 525 เส้น และภาพนิ่งแต่ละฟิลด์ จะมีเส้นสแกนแนวนอน 262 $^{1}/_{2}$ เส้น โดยภาพนิ่งแต่ละภาพนี้จะเกิดขึ้นภายในระยะเวลา 1/30 วินาที ในทำนองเดียวกัน โทรทัศน์ระบบยุโรปจะใช้เส้นสแกนแนวนอน 625 เส้นต่อ 1 ภาพ และ 25 ภาพต่อวินาที ภาพนิ่งแต่ละภาพหรือแต่ละเฟรม จะประกอบด้วยเส้นสแกนแนวนอน 625 เส้น และภาพนิ่งแต่ละฟิลด์ จะมีเส้นสแกนแนวนอน 312 $^{1}/_{2}$ เส้น

เนื่องจากการสแกนภาพนิ่งที่กล่าวมานี้ กระทำติดต่อกันไปเรื่อย ๆ โดยมีจำนวนเส้นต่อภาพ และจำนวนภาพต่อ 1 วินาที ตามแต่ชนิดของระบบโทรทัศน์ที่ใช้ ภาพที่มาปรากฏบนจอหลอดภาพเครื่องรับโทรทัศน์ จึงมีผลเหมือนกับการฉายภาพนิ่ง ซึ่งแต่ละภาพแตกต่างกันบ้างเล็กน้อย เป็นจำนวนหลาย ๆ ภาพต่อ 1 วินาที และด้วยคุณลักษณะพิเศษของสายตาเกี่ยวกับ Persistence of Vision (การเห็นภาพติดตา) นี้ จึงทำให้มองเห็นภาพบนจอหลอดภาพเครื่องรับโทรทัศน์เป็นภาพที่เคลื่อนที่เคลื่อนไหวติดต่อกันไปตลอดเวลา

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

46261



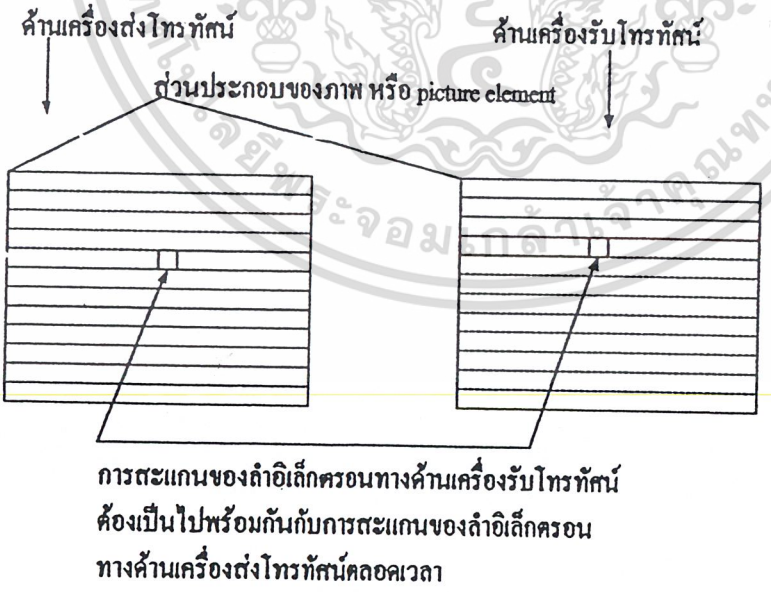
รูปที่ 4.3 การสแกน 2 ครั้งสำหรับภาพนิ่งแต่ละภาพ โดยแบ่ง 1 เฟรม ออกเป็น 2 ฟิลด์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2. เครื่องส่งและเครื่องรับโทรทัศน์

เครื่องส่งและเครื่องรับโทรทัศน์ จำเป็นต้องมีการสแกนทางแนวนอน และการสแกนทางแนวตั้งพร้อมกัน จึงจะมีภาพเกิดขึ้นที่เครื่องรับโทรทัศน์ ภาพที่ปรากฏขึ้นบนจอหลอดภาพ จำเป็นต้องอาศัยวงจรของการหักเหทางแนวนอนและวงจรของการหักเหทางแนวตั้ง

ซึ่งแต่ละวงจรจะมีกระแสรูปฟันเลื่อยไหลผ่านทางด้านกล้องโทรทัศน์ ก็จำเป็นต้องอาศัยความถี่ทั้งสองช่วยทำให้เกิดสัญญาณทางไฟฟ้าเช่นเดียวกัน ความถี่ทางวงจรของการหักเหทางแนวนอน และวงจรของการหักเหทางแนวตั้งที่ใช้ในเครื่องส่งโทรทัศน์และเครื่องรับโทรทัศน์ จะต้องเท่ากันตลอดเวลา จึงจะทำให้เกิดภาพขึ้นที่ทางเครื่องรับโทรทัศน์ ด้วยเหตุนี้ จึงจำเป็นต้องมีวิธีที่ทำให้ความถี่ของวงจรดังกล่าวทางเครื่องส่งและทางเครื่องรับโทรทัศน์เท่ากันทุกขณะ ดังรูปที่ 3.4 โดยสถานีโทรทัศน์ต้องส่งสัญญาณชนิดหนึ่งที่เรียกว่า สัญญาณซิงค์ ไปพร้อมกับสัญญาณภาพและสัญญาณเสียงตามรายละเอียดที่จะกล่าวถึงในหัวข้อถัดไป สัญญาณซิงค์นี้จะช่วยทำให้ความถี่ในวงจรของการหักเหทางแนวนอน และแนวตั้งในเครื่องส่งและเครื่องรับโทรทัศน์เท่ากันเพื่อทำให้เกิดภาพที่จอหลอดภาพของเครื่องรับโทรทัศน์ตลอดเวลาได้



รูปที่ 4.4 ผลของสัญญาณซิงค์ที่ทำให้ความถี่ของเครื่องส่งและเครื่องรับเท่ากันตลอดเวลา

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3. สถานีโทรทัศน์จำเป็นต้องส่งสัญญาณอะไรบ้าง

เพื่อทำให้เกิดผลสมความมุ่งหมาย สถานีโทรทัศน์ที่ส่งภาพขาว-ดำ จำเป็นต้องส่งสัญญาณหลายอย่าง ได้แก่

-สัญญาณเสียง

-สัญญาณภาพ

-สัญญาณแบล้งค์กิ้ง

-สัญญาณซิงค์

-สัญญาณอิควัลไลซิ่ง

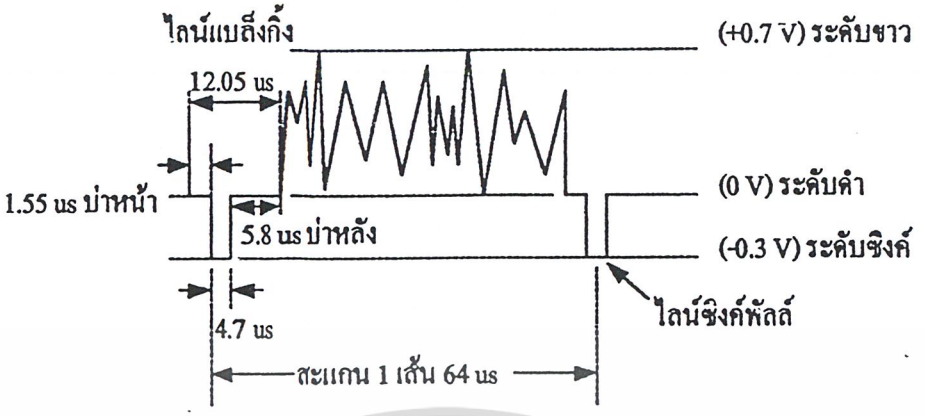
สัญญาณเสียงมีคลื่นพาหะของตัวเองโดยเฉพาะ ส่วนสัญญาณภาพและสัญญาณอื่น ๆ นั้นจะรวมเป็นรูปแบบเดียวกัน เรียกว่าสัญญาณภาพรวม แล้วใช้คลื่นพาหะของภาพเป็นตัวพาออกอากาศรวมกับคลื่นพาหะเสียงไปยังเครื่องรับโทรทัศน์ เหตุผลและความจำเป็นในการใช้สัญญาณต่าง ๆ มีดังนี้

1. สัญญาณภาพ และสัญญาณเสียง เป็นสัญญาณที่ใช้เพื่อทำให้เกิดภาพและเสียงเครื่องรับโทรทัศน์ตามต้องการ

2. สัญญาณแบลงค์กิ้ง เป็นสัญญาณที่ใช้เพื่อลบเส้นสแกนสะบัดกลับทั้งในแนวนอนและในแนวตั้ง มิให้สังเกตเป็นได้ชัดทางจอหลอดภาพ

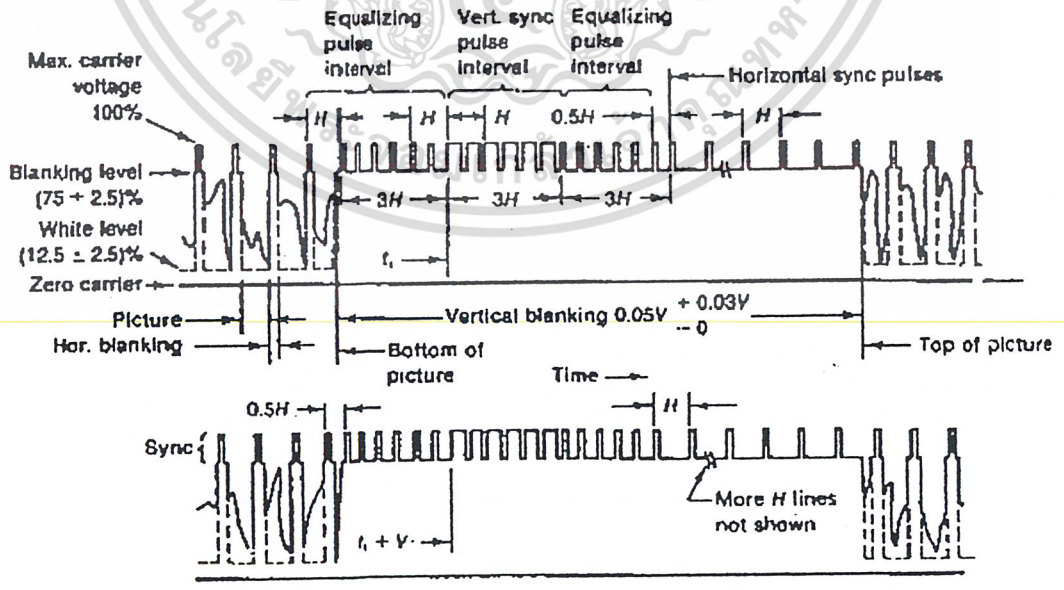
3. สัญญาณซิงค์ เป็นสัญญาณที่ใช้เพื่อช่วยทำให้วงจรของการหักเหทางแนวนอนและแนวตั้งในเครื่องส่งกับเครื่องรับโทรทัศน์มีความถี่ตรงกันตลอดเวลา เนื่องจากว่าความถี่ของสัญญาณซิงค์มีค่าเท่ากับความถี่ของสัญญาณแบลงค์กิ้งพอดี จึงจำเป็นต้องป้องกันการรบกวนที่อาจเกิดขึ้นโดยจำเป็นต้องกำหนดขนาดของซิงค์พัลส์ให้น้อยกว่าขนาดของแบลงค์กิ้งพัลส์ นอกจากนี้ยังใช้วิธีส่งซิงค์พัลส์เหล่านี้ปนกับแบลงค์กิ้งพัลส์อีกด้วย โดยให้ฐานของซิงค์พัลส์อยู่ทับขอบบนของแบลงค์กิ้งพัลส์อีกชั้นหนึ่ง เมื่อจัดขอบเขตความต่างศักย์ในระดับสูงสุดของแบลงค์กิ้งพัลส์เป็นระดับดำมืดจนมองไม่เห็นแล้ว ระดับของซิงค์พัลส์ที่อยู่บนยอดสูงสุดของแบลงค์กิ้งพัลส์ก็จะเป็นระดับมืดสนิท และไม่ทำให้เกิดการรบกวนภาพที่จอหลอดภาพแต่อย่างใด

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.5 สัญญาณซิงค์ในแนวนอน

4. สัญญาณอีควัลไลซิ่ง เป็นสัญญาณที่ใช้เพื่อช่วยให้สัญญาณซิงค์ทางแนวตั้ง ยังคงมีรูปร่างดีเหมือนเดิมหลังจากแยกออกมาจากสัญญาณซิงค์ทางแนวนอนแล้ว นอกจากนี้ยังช่วยทำให้การสแกนแบบไขว้กันเป็นโดยเรียบร้อยสม่ำเสมอ รวมทั้งสัญญาณซิงค์ทางแนวนอนก็ไม่ขาดหายไปในช่วงเวลาของสัญญาณซิงค์ทางแนวตั้งอีกด้วย ขนาดของพัลส์ที่กล่าวถึงนี้จะเท่ากับสัญญาณซิงค์ทางแนวตั้ง หรือประมาณ 3 เท่า ของขนาดสัญญาณซิงค์ทางแนวนอน และยังนิยมแบ่งพัลส์นี้ออกเป็น 6 พัลส์เล็ก ๆ ด้วยกันเพื่อทำให้เกิดสัญญาณซิงค์ทางแนวนอนครั้งหนึ่งในทุก ๆ 2 ครั้งที่มีพัลส์เล็ก ๆ นี้ นอกจากนี้ ยังนิยมแบ่งสัญญาณซิงค์ทางแนวตั้งออกเป็นพัลส์เล็ก ๆ เช่นเดียวกัน

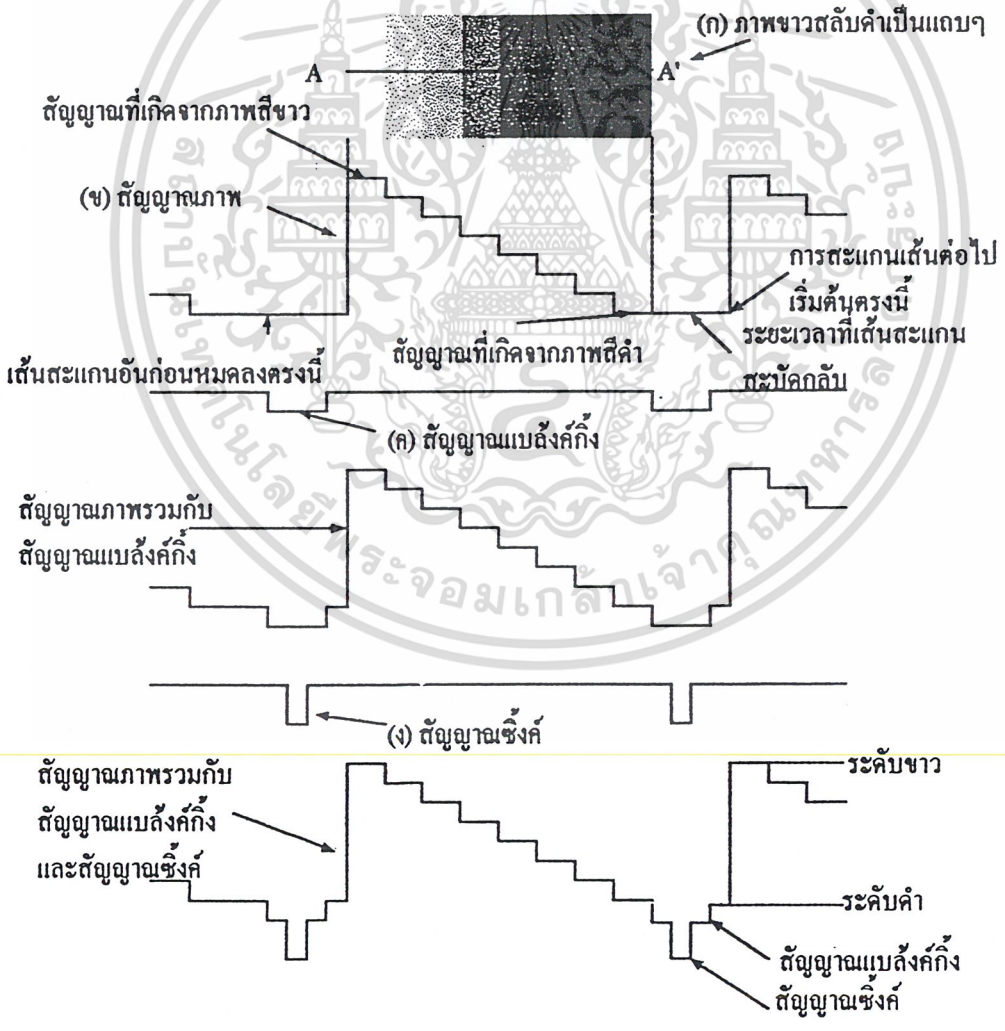


รูปที่ 4.6 สัญญาณอีควัลไลซิ่งกับสัญญาณซิงค์ในแนวตั้ง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สัญญาณโทรทัศน์ที่มีสัญญาณภาพรวมกับสัญญาณอื่น ๆ หลายอย่างมีชื่อเรียกว่า สัญญาณภาพรวม

รูปที่ 4.7 แสดงภาพขาวสลับดำ ซึ่งเริ่มจากสีขาว สีดำจาง ๆ และสีดำสนิทเป็นแถบ ๆ กล้องโทรทัศน์จะเปลี่ยนภาพนี้ให้เป็นสัญญาณทางไฟฟ้าชนิดหนึ่ง ซึ่งเมื่อรวมกับสัญญาณแบลงค์กิ้งและสัญญาณซิงค์แล้ว ก็จะได้สัญญาณภาพรวมตามที่แสดงไว้ ภาพแต่ละชนิดจะให้สัญญาณทางไฟฟ้าที่มีความถี่สูง ต่ำ แตกต่างกัน สำหรับโทรทัศน์ระบบอเมริกันความถี่สูงสุดของภาพไม่เกิน 4 MHz และสำหรับโทรทัศน์ระบบยุโรป ความถี่สูงสุดนี้จะไม่เกิน 5 MHz ซึ่งภาพที่เกิดจากสัญญาณ โทรทัศน์ความถี่สูงย่อมละเอียดกว่า หรือมีจุดดำอันเป็นส่วนประกอบของภาพมากกว่าภาพของสัญญาณโทรทัศน์ที่มีความถี่ต่ำ



รูปที่ 4.7 รูปร่างของสัญญาณโทรทัศน์ที่เกิดจากภาพขาวสลับดำเป็นแถบ ๆ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เมื่อเครื่องรับโทรทัศน์รับเอาสัญญาณโทรทัศน์มาได้แล้ว ก็จะมีการแยกเอาสัญญาณต่าง ๆ

ตามที่กล่าวถึงนี้ไปให้วงจรซึ่งทำหน้าที่ต่าง ๆ กัน เพื่อทำให้เกิดภาพและเสียงตามต้องการ สัญญาณเสียงก็จะผ่านไปยังวงจรเสียง สัญญาณภาพและสัญญาณแบลงค์กิ้งก็จะตรงไปยังแคโทดหรือกริดของหลอดภาพ ส่วนสัญญาณซิงค์นั้น เมื่อแยกออกจากสัญญาณภาพรวมแล้ว ก็จะผ่านไปยังวงจรแยกซิงก์ วงจรของการหักเหทางแนวนอน และวงจรของการหักเหทางแนวตั้ง

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 5
ลักษณะของโครงงานและการออกแบบระบบ

ลักษณะของโครงงาน

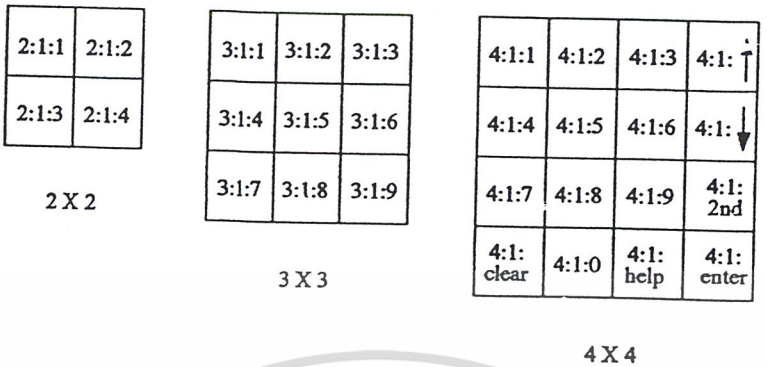
โครงงานนี้จะเป็นการศึกษาถึงสัญญาณวีดีโอ โดยการนำสัญญาณวีดีโอมาแปลงเป็นสัญญาณดิจิตอล แล้วนำไปประมวลผลโดยการจัดเก็บในแรม จากนั้นจะทำการนำสัญญาณออกมาแสดงบนหน้าจอโทรทัศน์ โดยการสั่งงานผ่านทางคีย์บอร์ดเพื่อเลือกว่าจะนำส่วนใดของภาพออกมาแสดงดังรูปที่ 5.1 โดยหมายรวมถึงการเลือกเมตริกซ์ของภาพด้วย

รูปที่ 5.1 แสดงลักษณะของวีดีโอวอลล์ในเมตริกซ์ 2x2

การออกแบบระบบ

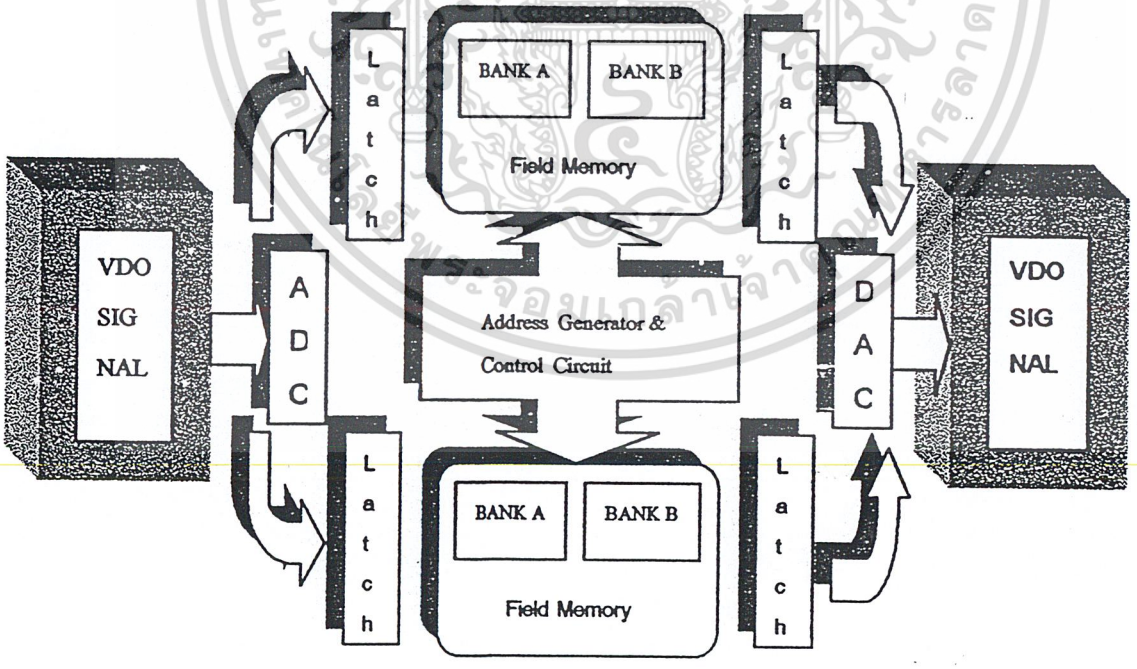
ระบบที่ได้ทำการออกแบบไว้สามารถเลือกเมตริกซ์ได้ 3 แบบ คือ เมตริกซ์ 2x2 , เมตริกซ์ 3x3 และ เมตริกซ์ 4x4 ซึ่งส่วนของภาพที่แสดงตามเมตริกซ์ต่าง ๆ ได้แสดงการกดไว้ดังรูปที่ 5.2

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 5.2 แสดงส่วนต่าง ๆ ของภาพสัมพันธ์กับการกดคีย์บอร์ด

ในระบบที่ได้ออกแบบและทดลองสร้างนี้ สามารถแบ่งคร่าว ๆ ได้เป็น 3 ส่วนใหญ่ ๆ คือ ส่วนแปลงสัญญาณข้อมูล หน่วยความจำ และส่วนสร้างสัญญาณควบคุมระบบ ซึ่งมีแผนผังการทำงาน ดังรูปที่ 5.3 และมีรายละเอียดดังนี้



รูปที่ 5.3 แผนผังแสดงการทำงานของระบบ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

1. วงจรส่วนแปลงสัญญาณข้อมูล

เป็นส่วนที่สำคัญเพื่อที่จะนำข้อมูลเชิงอุปมานมาแปลงเป็นข้อมูลเชิงเลขเพื่อเก็บไว้ในหน่วยความจำและเพื่อให้สามารถแสดงผล ตรวจสอบคุณภาพของข้อมูลที่จัดเก็บได้จึงต้องมีการแปลงกลับเพื่อให้กลายเป็นสัญญาณอนาลอกกลับไปแสดงผล ส่วนการแปลงข้อมูลสัญญาณนี้แบ่งย่อยได้เป็น 2 ส่วนคือ

1.1 วงจรแปลงข้อมูลเชิงอุปมานเป็นข้อมูลเชิงเลข ในการแปลงสัญญาณข้อมูลนั้นมีวิธีการมากมายแตกต่างกัน ซึ่งแต่ละเทคนิคก็มีข้อดี-ข้อเสียแตกต่างกันไป แล้วแต่การนำไปใช้งาน เมื่อพิจารณารวมไปถึงเรื่องคุณสมบัติของสัญญาณ เพื่อเลือกใช้การแปลงที่เหมาะสมแล้ว สำหรับสัญญาณวีดีโอจะมีความกว้างแถบในช่วง 0-4 เมกกะเฮิร์ท และตามทฤษฎีการสุ่มนั้นความถี่ที่ใช้ในการสุ่มข้อมูลต้องมากกว่าหรือเท่ากับสองเท่าของความถี่สูงสุดของสัญญาณ ซึ่งถ้าความถี่ในการสุ่มสูง การแปลงสัญญาณก็จะยิ่งผิดพลาดน้อยลง ในที่นี้จึงเลือกความถี่ในการสุ่มข้อมูลเป็น 10 เมกกะเฮิร์ท และทำการเก็บข้อมูลแบบ 8 บิต จึงเลือกใช้วงจรรวมเบอร์ CA3318 ของบริษัท Harris ซึ่งเป็นตัวแปลงสัญญาณเชิงอุปมานเป็นสัญญาณเชิงตัวเลขแบบแฟลช (Flash) ที่สามารถแปลงข้อมูลด้วยความเร็วสูงสุด ซึ่ง CA3318 จะทำการแปลงสัญญาณข้อมูลให้แล้วเสร็จภายในครึ่งสัญญาณนาฬิกา

สิ่งที่สำคัญในการแปลงข้อมูลให้ถูกต้องนั้น คือการกำหนดระดับแรงดันอ้างอิงสำหรับการแปลงข้อมูลให้คงที่มากที่สุด ในการสร้างวงจรระดับแรงดันอ้างอิงนี้ให้กับ CA3318 นี้ได้เลือกใช้วงจรเบอร์ LM336-2.5 เป็นตัวรักษาระดับแรงดัน เพื่อปรับแรงดันอ้างอิงให้มีค่าเท่ากับ 2.5 โวลต์ จากนั้นแรงดันอ้างอิงนี้จะถูกต่อผ่านวงจรโครงข่ายแบ่งแรงดัน ซึ่งประกอบขึ้นจากตัวต้านทาน 100 โอห์ม ค่าผิดพลาด 1% เพื่อแบ่งแรงดันให้มีค่าเป็น 0.25, 0.5, 0.75 และ 1 เท่าของแรงดันอ้างอิงเพื่อจ่ายให้กับวงจรค้างค่าข้อมูล และ CA3318 ต่อไป

1.2 วงจรแปลงข้อมูลเชิงเลขเป็นสัญญาณเชิงอุปมาน เพื่อที่จะนำสัญญาณที่ได้ออกแสดงผลตามที่ต้องการ และตรวจสอบข้อมูลเชิงตัวเลขที่ถูกจัดเก็บไว้ วิธีที่ง่ายที่สุดคือ การแปลงข้อมูลเชิงเลขนี้ให้กลับเป็นข้อมูลเชิงอุปมาซึ่งสามารถแสดงผลได้ง่าย ซึ่งถ้าข้อมูลที่จัดเก็บถูกต้องก็จะได้สัญญาณข้อมูลที่แปลงกลับมาใกล้เคียงกับสัญญาณข้อมูลเดิม ในที่นี้จึงดึงข้อมูลที่จัดเก็บออกจากหน่วยความจำ และทำการต่อผ่านวงจรค้างค่าข้อมูล c ที่จะนำมาสัญญาณเข้าวงจรรวมเบอร์ CA3318 ของบริษัท Harris เช่นกัน ซึ่งเป็นตัวแปลงสัญญาณเชิงตัวเลขเป็นสัญญาณเชิงอุปมานแบบ R-2R ความถี่สูง และได้ถูกออกแบบมาให้ใช้งานคู่กับ CA3318 อยู่แล้ว ซึ่งใช้เวลาในการ

เอกสารนี้เป็นเอกสารที่สงวนสิทธิ์ไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

แปลงข้อมูล (Settling time) ในการแปลงสัญญาณข้อมูลเพียง 20 นาโนวินาที สิ่งสำคัญในการแปลงสัญญาณข้อมูลก็คือ ระดับแรงดันอ้างอิงในการแปลงค่าข้อมูลเช่นเดียวกับวงจรแปลงสัญญาณเชิงอุปมานเป็นสัญญาณเชิงตัวเลข ซึ่งต้องมีค่าเท่ากัน ดังนั้นจึงใช้วงจรสร้างระดับแรงดันอ้างอิงเบอร์ LM336-2.5 เพื่อสร้างระดับแรงดันอ้างอิงเช่นเดียวกัน

2. วงจรหน่วยความจำ

สำหรับส่วนนี้สิ่งที่สำคัญที่สุดที่ต้องพิจารณาคือ ขนาดหน่วยความจำที่เหมาะสมกับสัญญาณข้อมูลที่ต้องการจัดเก็บ นั่นก็คือ ข้อมูลที่ได้จากการแปลงสัญญาณวีดีโอเป็นข้อมูลเชิงเลขแล้วว่ามีจำนวนข้อมูลเท่าใด

สัญญาณวีดีโอมีหลายระบบด้วยกัน ในที่นี้จะอ้างถึงระบบ PAL (Phase Alternating Line) เป็นหลัก เนื่องจากเป็นระบบที่ได้รับความนิยมในประเทศไทย ซึ่งในระบบ PAL นั้นใน 1 ภาพ จะมีการกวาดสัญญาณ 625 เส้นในแนวขวาง ซึ่งแบ่งเป็น 2 ส่วนคือ สนามคี่ (Odd Field) และสนามคู่ (Even field) และแต่ละเส้นใช้เวลาในการกวาดประมาณ 64 ไมโครวินาที แต่ในที่นี้เราจะใช้เวลาในการกวาดประมาณ 52 ไมโครวินาที ซึ่งเป็นเวลาของส่วนของภาพจริงๆใจแต่ละเส้น เพื่อจะได้ประหยัดแรม และความถี่ในการสุ่มคือ 10 เมกกะเฮิร์ซ ใน 1 ฟิลด์จะมี 313 เส้นแต่เพื่อเป็นการประหยัดแรมเราจะใช้แค่ 252 เส้น ดังนั้นใน 1 ฟิลด์จะมีการสุ่มเก็บข้อมูลเป็น

$52 \times 10^{-6} \times 10^{7} \times 252 = 131040$ ไบท์

คิดเป็น 131040 / 1024 = 127.96 กิโลไบท์

ดังนั้นจึงเรียกใช้หน่วยความจำความเร็วสูงเบอร์ HM628128 ซึ่งมีขนาดหน่วยความจำ 128 กิโลไบท์

เพราะฉะนั้นต้องใช้ HM628128 จำนวน 1 ตัว ต่อ 1 ฟิลด์ แต่เราต้องการเก็บข้อมูลทั้งภาพซึ่งมีด้วยกันทั้งหมด 2 ฟิลด์ จึงต้องใช้ HM628128 ทั้งสิ้น 2 ตัว

ในการขยายภาพในวีดีโอวอลล์ 1 ฟิลด์ของภาพแต่ละส่วนที่ขยายต้องการทั้งเส้นคู่และเส้นคี่ของฟิลด์ ก่อนหน้านี้ ดังนั้นจึงต้องมีหน่วยความจำสำหรับรองรับข้อมูลตรงนี้ไว้ด้วย รวมหน่วยความจำทั้งหมดเป็น 2 แบงค์ เพื่อให้ได้ภาพที่สมบูรณ์ที่สุด ดังนั้นเราจะใช้หน่วยความจำ 2 แบงค์ เพื่อสลับกันเขียนอ่านข้อมูล 2 ชุดนี้ ซึ่งจะใช้แรมทั้งหมด 4 ตัว

เนื่องจากเวลาในการเปลี่ยนค่าข้อมูลแต่ละครั้งมีค่าประมาณ 100 นาโนวินาที จะเห็นได้ว่าเป็นช่วงเวลาที่สั้นมาก จึงต้องใช้หน่วยความจำความเร็วสูง และจากการพิจารณาพบว่าหน่วยความจำแรมแบบพลวัต (Dynamic Ram) มีความยุ่งยากในการใช้งาน ถึงแม้ว่าจะมีราคาต่อความจุถูก

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

กว่าก็ตาม เนื่องจากต้องมีขั้นตอนการรีเฟรชข้อมูล ซึ่งต้องใช้เวลาเท่ากับการอ่านเขียนหนึ่งครั้ง แม้ว่าในหน่วยความจำแรมแบบพลวัตรุ่นใหม่จะมีการรีเฟรชแบบซ่อน(Hidden) ได้ก็ตาม แต่ก็ยังต้องเสียเวลาไปอีกประมาณครึ่งหนึ่งของเวลาในการอ่านเขียนปกติ ดังนั้นจึงเลือกใช้หน่วยความจำแรมแบบสถิตย์แทน

ในปัจจุบันแม้ว่าจะมีการผลิตหน่วยความจำแบบสถิตย์ความเร็วสูงมากๆออกมาแล้วแต่ก็ไม่สามารถหาซื้อได้ในประเทศ อีกทั้งยังมีราคาสูงมากอีกด้วย หน่วยความจำแบบสถิตย์ความเร็วสูงที่พอจะหาได้และราคาไม่แพงนักคือ เบอร์ HM628128 ซึ่งมีขนาดหน่วยความจำ 128 กิโลไบท์ เป็นหน่วยความจำหลักของระบบ แต่จากข้อมูลเฉพาะของหน่วยความจำ HM628128 นั้นจะต้องใช้เวลาในการบันทึกเป็น 70 นาโนวินาที ซึ่งจะช้ากว่าการเปลี่ยนแปลงข้อมูลของระบบเมื่อเราจะต้องการ sampling ที่ความถี่สูงกว่านี้(10MHz –15MHz) เพื่อแก้ไขข้อจำกัดนี้จึงได้ออกแบบส่วนของหน่วยความจำให้ทำงานแบบสลับพื้นที่การจัดเก็บ (Bank Switching) โดยจะต้องมีวงจรค้างค่าสัญญาณสำคัญต่างๆที่จำเป็นในการอ่านเขียนไว้อย่างน้อยก็จนกว่าจะครบเวลาการทำงานของหน่วยความจำ แล้วจึงเปลี่ยนค่า และในขณะที่ค้างค่าสัญญาณของชุดแรกอยู่นั้น ระบบจะย้ายไปติดต่ากับกลุ่มหน่วยความจำอีกชุดหนึ่งทำให้เพิ่มเวลาในการอ่านเขียนหน่วยความจำได้เป็น 2 เท่าของช่วงเวลาเดิม สัญญาณที่สำคัญได้แก่สัญญาณตำแหน่งหน่วยความจำ และสัญญาณ ข้อมูลที่ต้องการอ่านเขียน ซึ่งสัญญาณเหล่านี้จะต่อเข้ากับวงจรรวมเบอร์ 74F244 ซึ่งทำหน้าที่เป็นวงจรค้างค่าตำแหน่งหน่วยความจำคี่ และอีกชุดก็จะถูกติดต่อเมื่อเป็นตำแหน่งหน่วยความจำคู่โดยลักษณะของการจัดวงจรหน่วยความจำทั้ง 2 ชุดนี้จะเหมือนกันทั้งหมด แตกต่างเฉพาะจังหวะของสัญญาณอ่าน-เขียน หน่วยความจำเท่านั้น

3. วงจรสร้างสัญญาณควบคุม

วงจรส่วนนี้จะประกอบด้วยวงจรสร้างค่าตำแหน่งหน่วยความจำ และวงจรสร้างสัญญาณควบคุมการอ่านเขียนข้อมูล โดยจะใช้ไมโครโพรเซสเซอร์ 2 ตัวในการควบคุม โดยตัวหนึ่งจะทำหน้าที่ใจการเขียนข้อมูลเพียงอย่างเดียว ส่วนอีกตัวหนึ่งก็จะทำการอ่านข้อมูลเพียงอย่างเดียวและสามารถเลือกลักษณะของการแสดงภาพได้จากคีย์บอร์ดที่เรากำหนดฟังก์ชั่นไว้แล้ว

3.1 วงจรสร้างค่าตำแหน่งหน่วยความจำ เพื่อสร้างสัญญาณนาฬิกาของระบบและค่าตำแหน่งของหน่วยความจำที่รวดเร็วเพียงพอ จึงใช้ชุดกำเนิดสัญญาณนาฬิกาความถี่ 10 เมกกะเฮิร์ท ผ่านเข้า 74F244 เพื่อช่วยจ่ายกระแสแล้วจะถูกต่อเข้า 74F163 สำหรับการเขียนข้อมูล และจะใช้การเลือกความถี่ของสัญญาณนาฬิกาที่สร้างจากวงจรรวมเบอร์ 74F4017 ในการอ่านข้อมูลโดยผ่านการสั่งงานจากไมโครโพรเซสเซอร์ ซึ่งชุดกำหนดตำแหน่งการเก็บและการอ่านข้อมูลนี้จะ รีเซท

เอกสารนี้เป็นเอกสารที่สงวนลิขสิทธิ์สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ตัวเองทุกครั้งเมื่อจบภาพในแต่ละเส้น โดยใช้วงจร Comparator เบอร์ 74HC688 โดยเมื่อค่าที่วงจรเคาท์เตอร์ตรงกับค่าของ Comparator ซึ่งเป็นค่าตำแหน่งของภาพใน 1 เส้น เราจะนำ output ของComparator ไปเข้า Flip Flop เบอร์ 74HC74 แล้วนำ output ของ Flip Flop ไปเข้าขารีเซ็ทของเคาท์เตอร์ 74F163 ทุกตัวก็จะทำให้ค่าสัญญาณตำแหน่งหน่วยความจำ เริ่มต้นวิ่งใหม่ทุกครั้งเมื่อค่าที่เคาท์เตอร์ตรงกับค่าที่ Comparator โดยที่ขา PE ของเคาท์เตอร์จะต่อเชื่อมกับ output ของโมโนสเตเบิ้ล 2 ตัวต่อกัน โดยโมโนสเตเบิ้ลจะสร้างพัลส์เมื่อมีสัญญาณ Horizontal sync เข้ามา

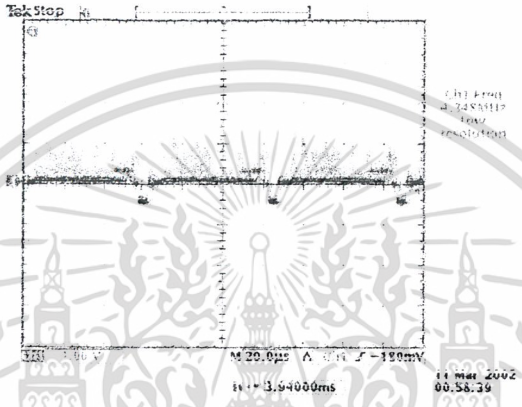
3.2 **วงจรสร้างสัญญาณควบคุมการอ่าน – เขียนข้อมูล** เนื่องจากใช้หน่วยความจำหลายชุดด้วยกันจึงจำเป็นต้องใช้ข้อมูลที่ถูกต้อง แม่นยำและรวดเร็วเพียงพอที่จะตอบสนองต่อระบบ การอ่านและเขียนจากที่ออกแบบไว้จะทำการเขียนและอ่านข้อมูลเฉพาะสนามคู่หรือสนามคี่เพียงอย่างเดียว เมื่อสัญญาณภาพที่เราไปจัดเก็บในแรม ได้ถูกนำออกมาโดยผ่าน D/A แล้ว สัญญาณนั้นจะเป็นสัญญาณภาพเพียงอย่างเดียว ซึ่งไม่สามารถทำให้เกิดภาพที่หน้าจอโทรทัศน์ได้ ดังนั้นเราจึงต้องทำการเพิ่มสัญญาณซิงค์เข้าไป ซึ่งในขั้นตอนนี้เราจะใช้อนาลอกสวิทซ์มาเป็นตัวรวมสัญญาณ โดยจะระดับแรงดันอ้างอิง ประมาณ 0.7 V มาเข้าที่อินพุทขาหนึ่ง และสัญญาณภาพที่แปลงมาจาก D/A มาเข้าที่อินพุทอีกขาหนึ่ง และจะใช้สัญญาณคอมโพสิทซิงค์เป็นตัวควบคุม

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

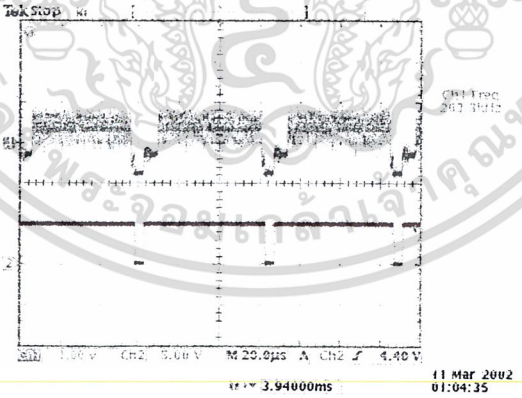
บทที่ 6

การทดลองและผลการทดลอง

ในขั้นตอนของการทดลองนั้น เรามีการทดลองโดยทดสอบการทำงานของวงจร โดยให้ วงจรทำงานจริง จากนั้นก็วัดสัญญาณต่างๆว่าถูกต้องหรือไม่ ซึ่งถ้าวงจรทำงานถูกต้องภาพสัญญาณต่างๆจะออกมาตามที่เราได้ออกแบบไว้ โดยได้วัดสัญญาณที่จุดต่างๆไว้ดังนี้



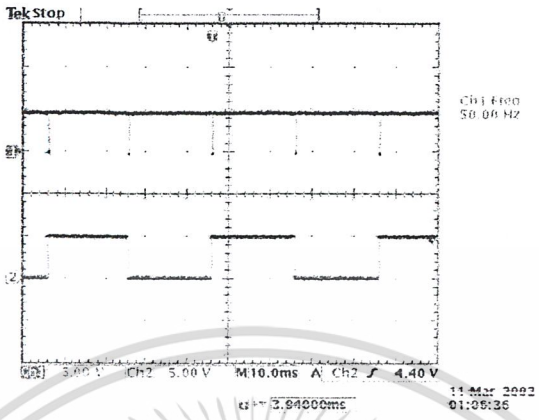
รูปที่ 6.1 แสดงสัญญาณอินพุท



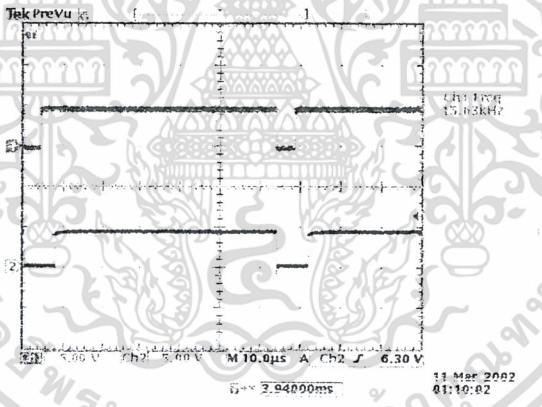
รูปที่ 6.2 แสดงสัญญาณอินพุท เทียบกับ

Horizontal sync

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

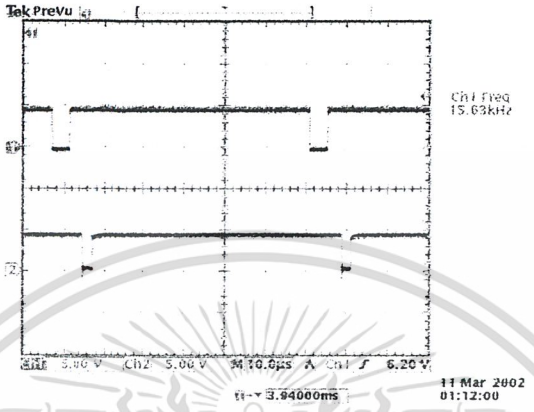


รูปที่ 6.3 แสดงสัญญาณ Vertical sync
เทียบกับ Odd/Even

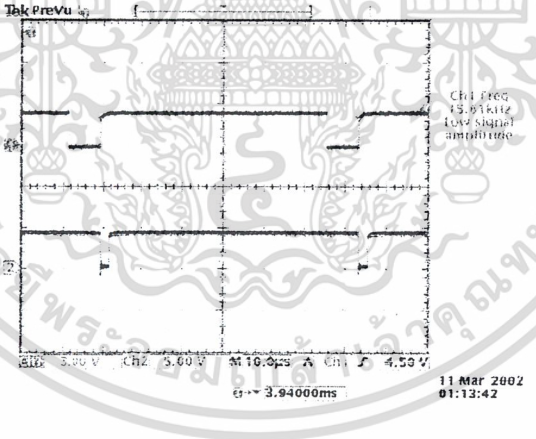


รูปที่ 6.4 แสดงสัญญาณ Horizontal sync
เทียบกับสัญญาณจากโมโนสเตเบิ้ล 8 µsec

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

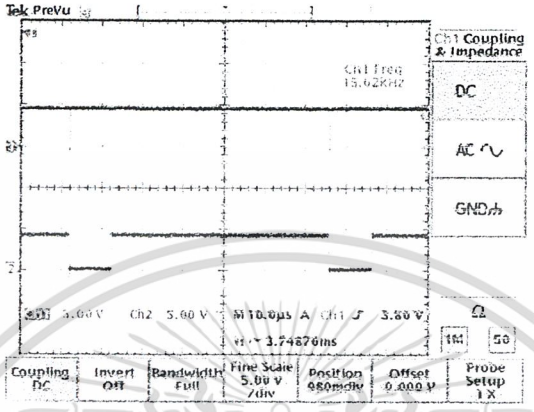


รูปที่ 6.5 แสดงสัญญาณ Horizontal sync
เทียบกับสัญญาณจากโมโนสเตเบิ้ล 2 µsec

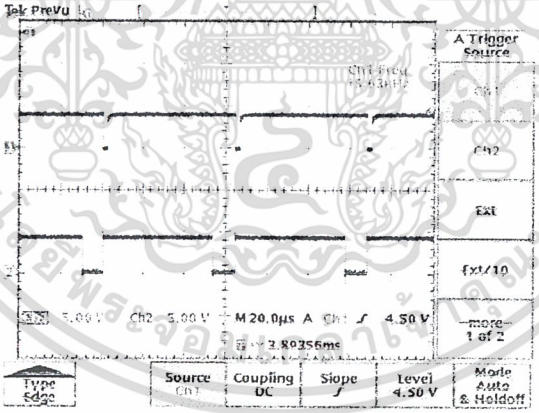


รูปที่ 6.6 แสดงสัญญาณจากโมโนสเตเบิ้ล 8 µsec
เทียบกับ โมโนสเตเบิ้ล 2 µsec

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

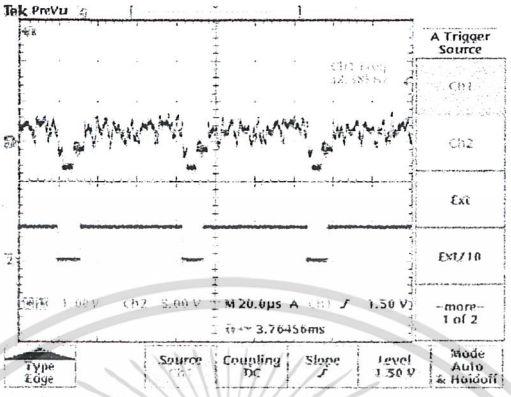


รูปที่ 6.7 แสดงสัญญาณจาก Comparator
เทียบกับสัญญาณ ขารีเซทของเคาท์เตอร์

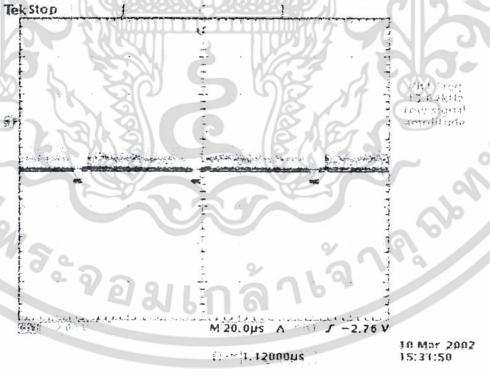


รูปที่ 6.8 แสดงสัญญาณที่ขา PE
เทียบกับสัญญาณที่ขารีเซทของเคาท์เตอร์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

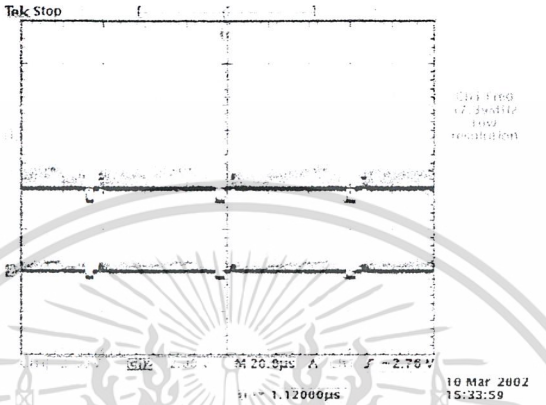


รูปที่ 6.9 แสดงสัญญาณอินพุท
เทียบกับสัญญาณที่ขาริเซทของเคาท์เตอร์

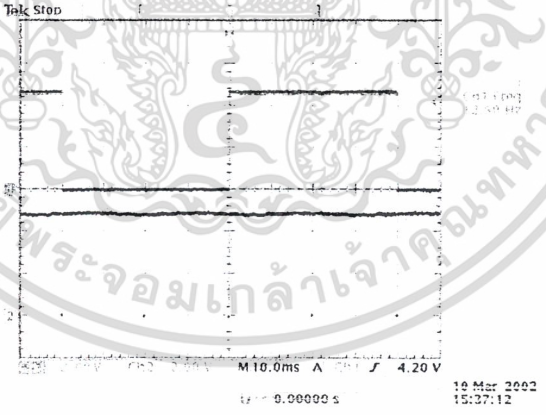


รูปที่ 6.10 แสดงสัญญาณเอาท์พุท

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

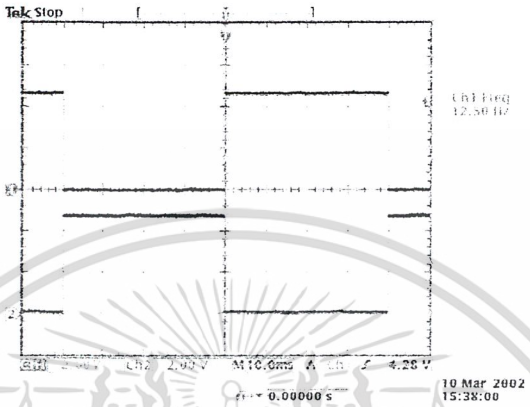


รูปที่ 6.11 แสดงสัญญาณเอาท์พุทเทียบกับสัญญาณ
เอาท์พุทที่ออกจาก analog switch



รูปที่ 6.12 แสดงสัญญาณ R/W เทียบกับสัญญาณ
Vertical sync

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 6.13 แสดงสัญญาณ R/W ของหน่วยความจำสองชุดที่ต่างกัน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 7

สรุปผลการทดลอง

จากผลการทดลองพบว่าวงจรสามารถทำงานได้ถูกต้องตามที่ได้ออกแบบไว้ แต่ในทำการทดลองได้พบปัญหาที่เกิดขึ้นบางประการซึ่งก็ได้แก้ไขตามกรณีดังต่อไปนี้

1. เนื่องจากในความเป็นจริงเราต้องใช้แรม 128 กิโลไบท์ 8ตัว โดย 1 ฟิลล์ใช้ 2 ตัว แต่เราได้ทำการเก็บเฉพาะส่วนที่เป็นภาพเท่านั้นและเก็บฟิลล์ละ252เส้นเท่านั้นจากความจริงต้องเก็บ 313 เส้น ทำให้เราประหยัดแรมลงได้ โดยใช้แรมแค่ 4 ตัว ทำให้ความละเอียดจะลดลงนิดหน่อยแต่ไม่มาก

2. ในการเปลี่ยนเมตริกซ์หรือการเปลี่ยนการแสดงผลให้ออกส่วนต่างๆของภาพ จะต้องทำการรีเซตระบบให้เริ่มทำงานใหม่ทุกครั้ง เหตุผลที่ไม่ทำให้ระบบสามารถควมคุมการเปลี่ยนส่วนการแสดงผลได้ทันทีนั้น เนื่องจากจะทำให้ภาพเกิดความเสียหายเช่นเดียวกัน

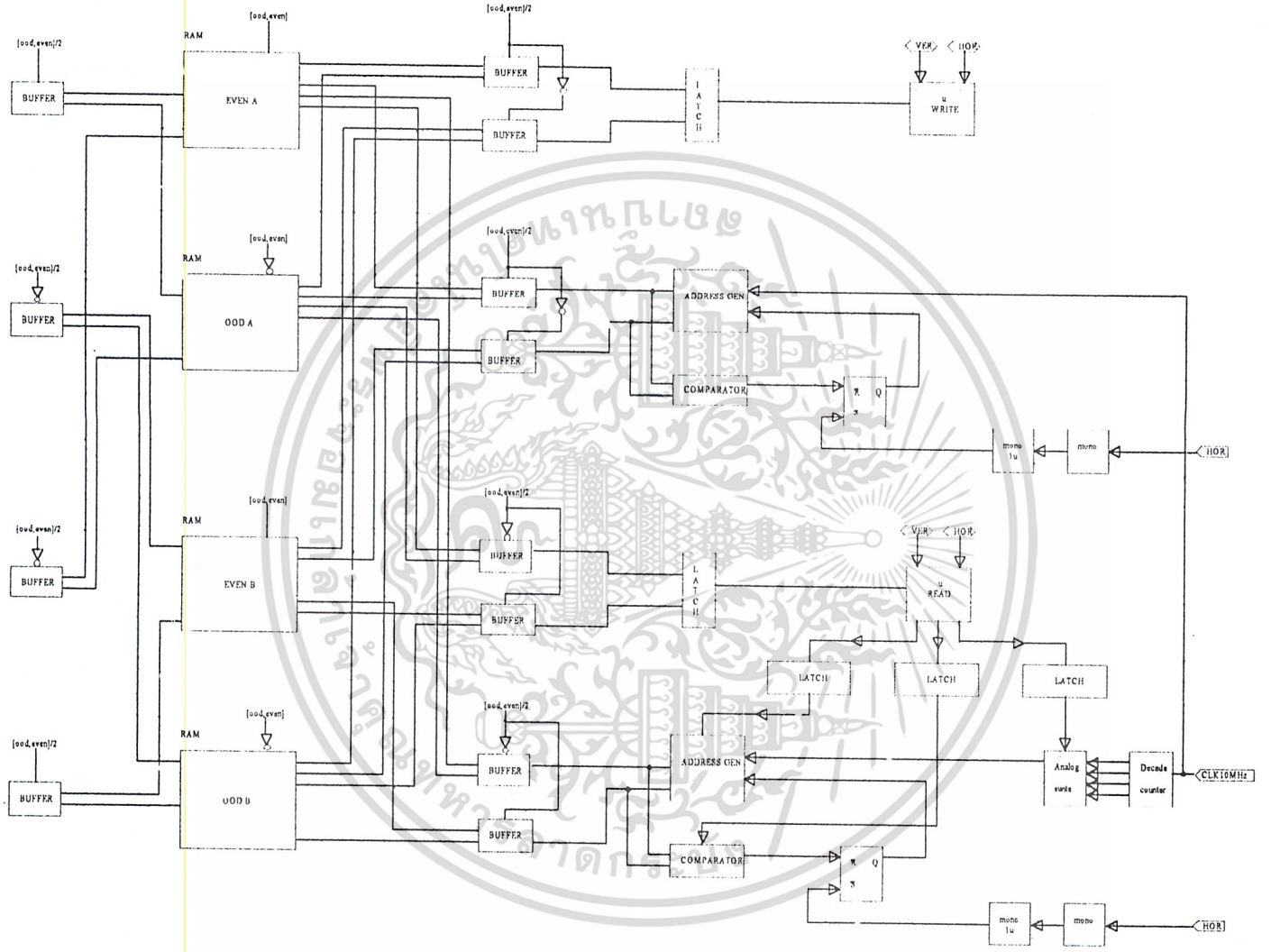
แนวทางในการประยุกต์

สามารถที่จะประยุกต์ไปใช้เพื่อให้เกิดเป็นภาพสีได้โดยใช้ระบบนี้ถึง 3 ชุด คือชุดของสัญญาณ R G และ B และเพิ่มส่วนที่แปลงสัญญาณระหว่างสัญญาณภาพและสัญญาณ R G B

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

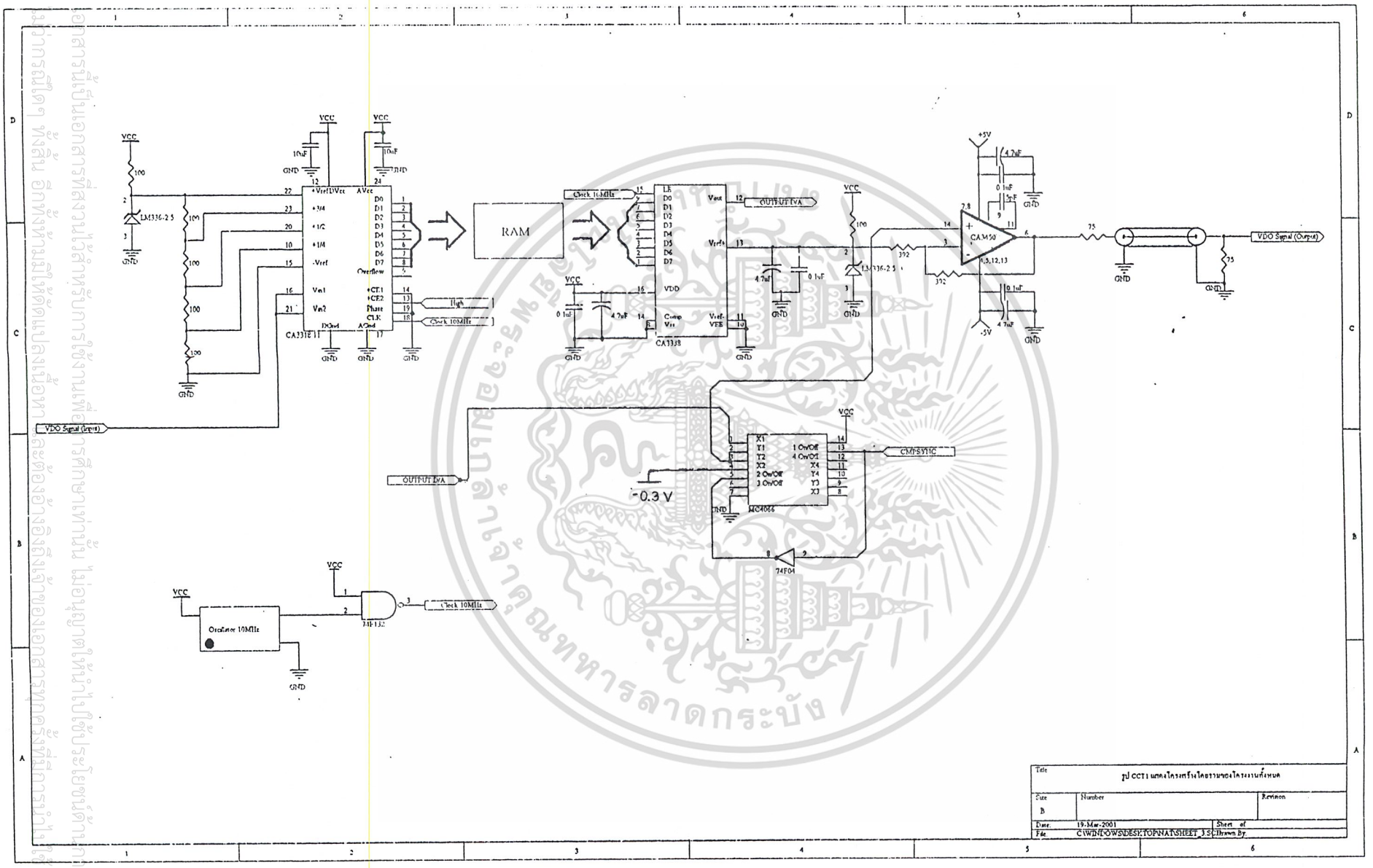
ภาคผนวก

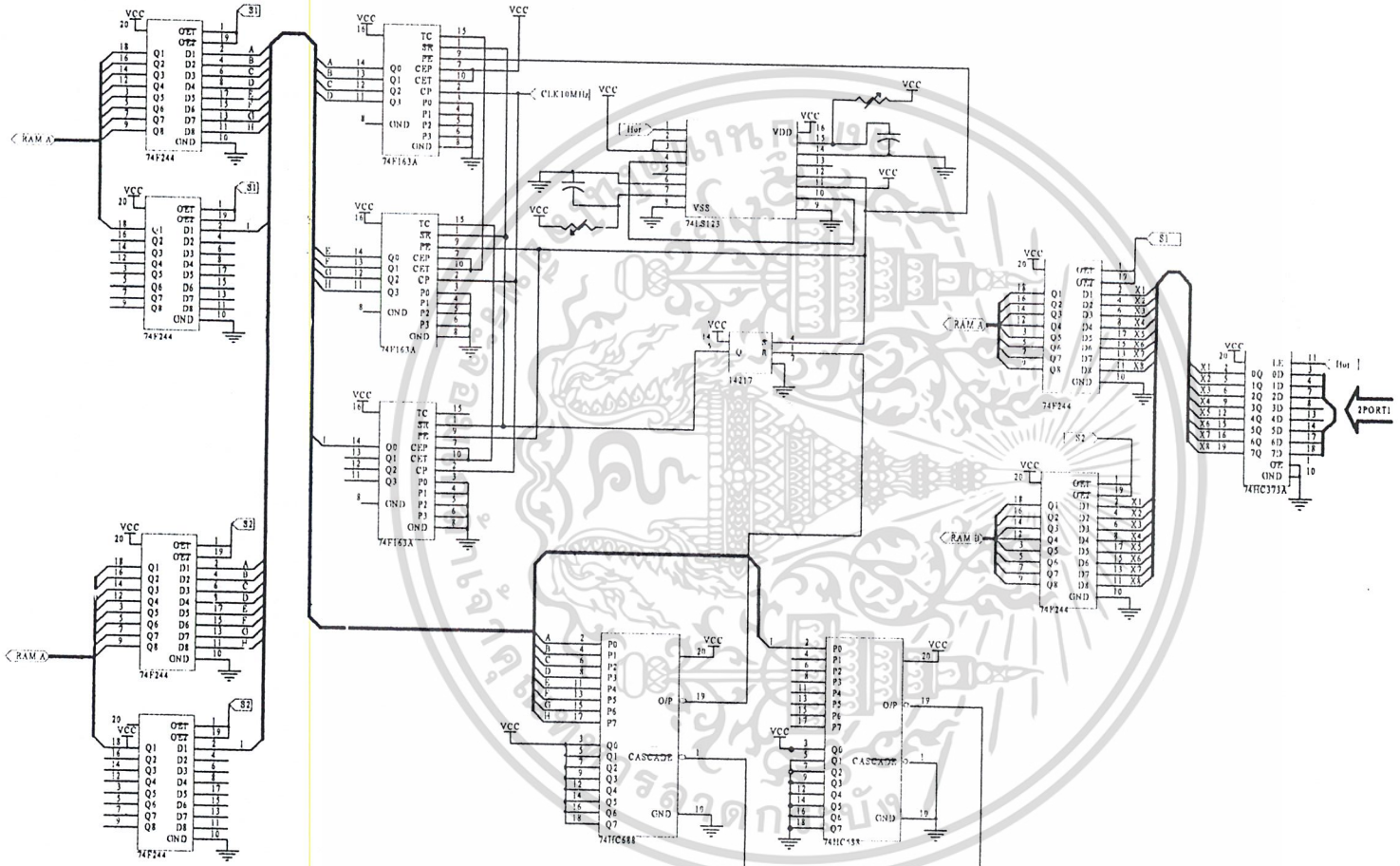
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

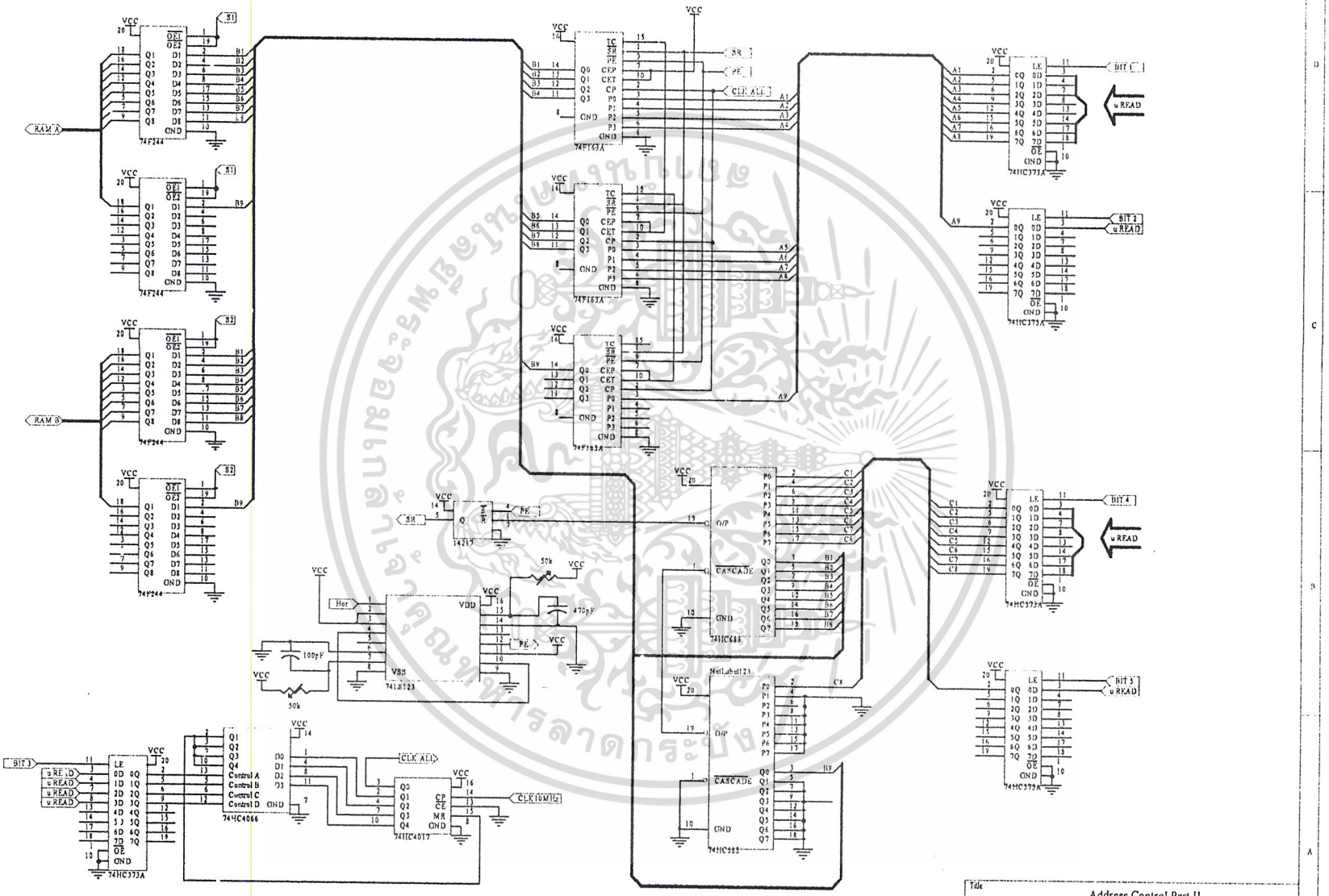


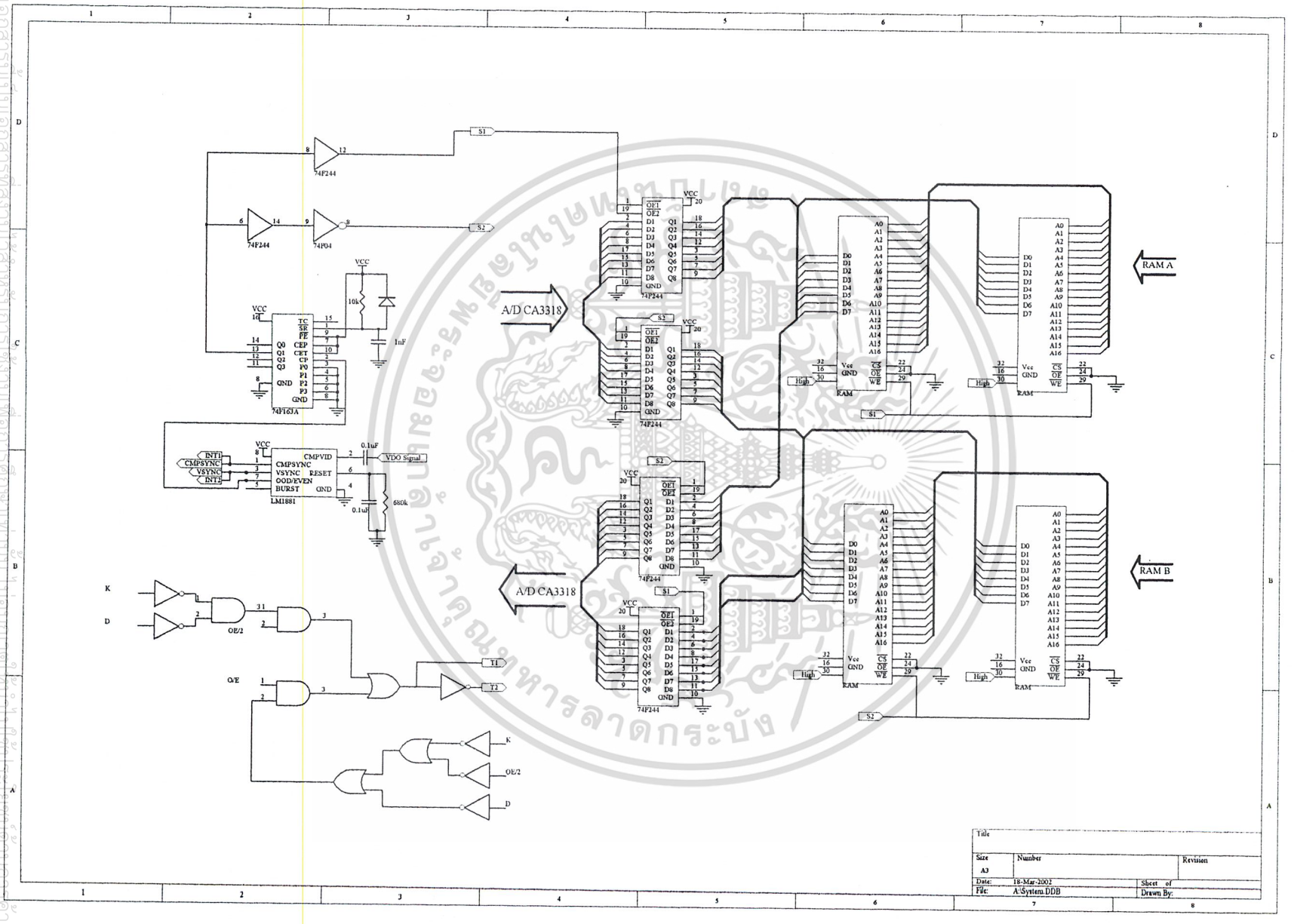
Title	Flowshart Of System	
Size A3	Number	Revision
Date 13-Oct-2001	Sheet of	
File A:\ergo\System.DDB	Drawn By:	

ลิขสิทธิ์ของจุฬาลงกรณ์มหาวิทยาลัย ห้ามมิให้นำไปใช้ในการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น

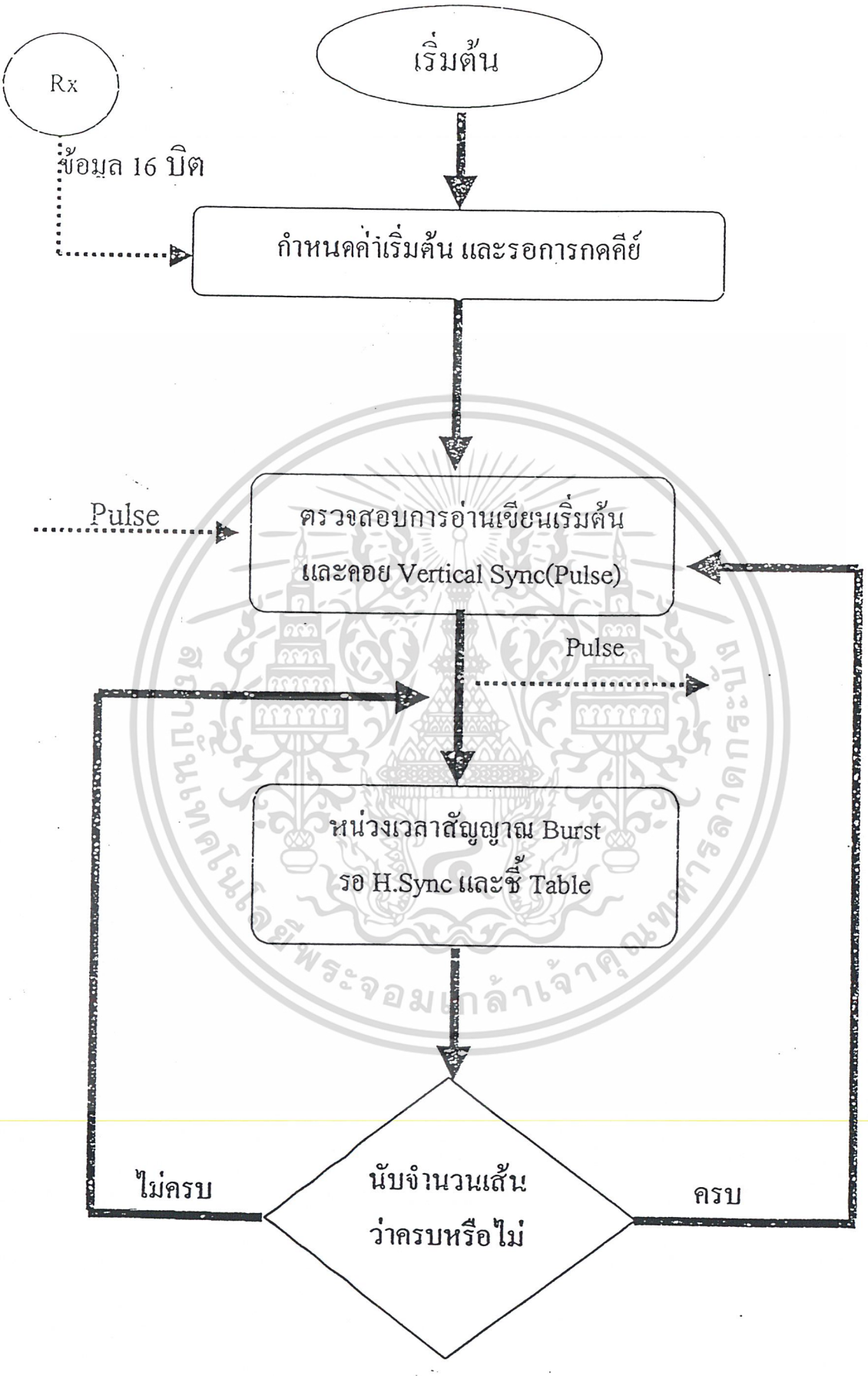

VCC
GND
LM336-2.5
CA3318E
RAM
CA3338
MC4066
74F04
74F132
CA3450
OUTPUT D/A
-0.3 V
VDO Signal (Input)
VDO Signal (Output)
CMPSYNC
Clock 10MHz
Oscillator 10MHz
+5V
-5V
Title
รูป CCT1 แสดงโครงสร้างโดยรวมของโครงงานทั้งหมด
Size
B
Number
Revison
Date: 19-Mar-2001
Sheet of
File: C:\WINDOWS\DESKTOP\NAT\SHEET_3.SCH
Drawn By:


RAM A
RAM B
CLK10MHz
Hor
2PORT1
Addres Control Part I
Size
A3
Number
Revision
Date
15-Oct-2001
Sheet of
File
A:\erp\System.DDB
Drawn By:


RAM A
RAM B
S1
S2
S3
B1
B2
B3
B4
B5
B6
B7
B8
B9
74F244
74F163A
74HC373A
74HC4066
74HC4017
74HC688
74HC688
74LS123
74LS17
SR
PE
CLR_ALL
BIT 1
BIT 2
BIT 3
BIT 4
BIT 5
uREAD
CLK(10MHz)
CLK ALL
Hor
VDD
VSS
50k
470pF
100pF
CASCADE
Control A
Control B
Control C
Control D
Title
Address Control Part II
Size
A3
Number
Revision
Date
17-Oct-2001
Sheet of
File
A:\vrc\System.DDB
Drawn By

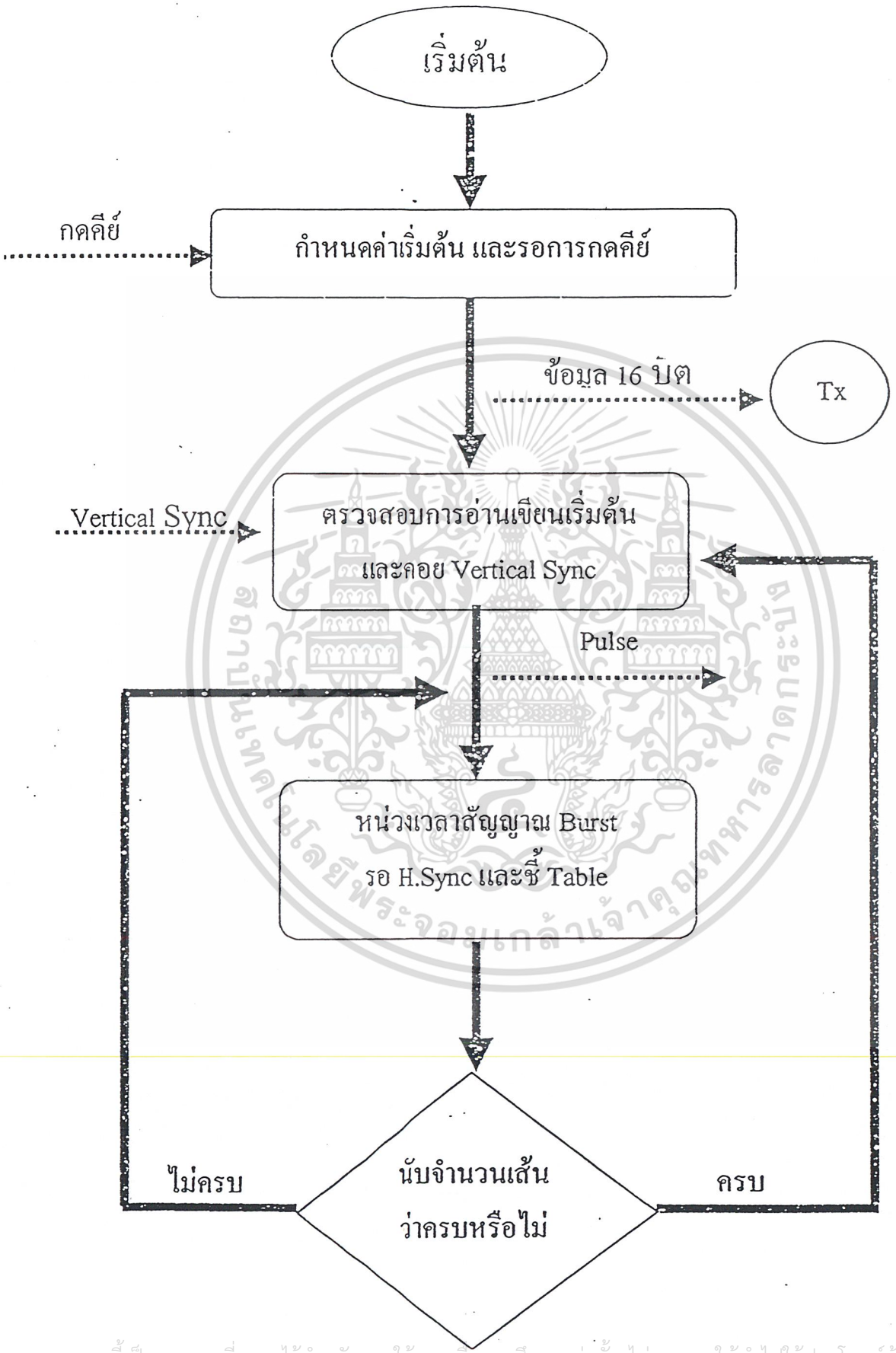


ลิขสิทธิ์ของจุฬาลงกรณ์มหาวิทยาลัย ไม่อนุญาตให้ทำซ้ำ ดัดแปลง หรือเผยแพร่ในรูปแบบใดๆ ก่อนได้รับอนุญาต



รูป แสดง Flow Chart ของไมโครโปรเซสเซอร์ตัวลูก

เอกสารนี้เป็นเอกสาร[illegible]ใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รูป แสดง Flow Chart ของไมโครโปรเซสเซอร์ตัวแม่

บรรณานุกรม

1. ธีรวัฒน์ ประกอบผล , " การประยุกต์ใช้งานไมโครคอนโทรลเลอร์ " , สมาคมส่งเสริมเทคโนโลยี (ไทย-ญี่ปุ่น)
2. ผ.ศ. พลผดุง ผดุงกุล , " ปฏิบัติการไฟฟ้าอิเล็กทรอนิกส์ 3 " , ภาควิชาอิเล็กทรอนิกส์ คณะวิศวกรรมศาสตร์ สจล.
3. ศาสตราจารย์ บุญชัย แน่นหนา , " ตำราโทรทัศน์สี " , มหาวิทยาลัยศรีนครินทรวิโรฒ , กทม . 11 , สำนักพิมพ์โอเดียนสโตร์
4. K.F. Ibrahim เรียบเรียงโดย บุญชัค เนติศักดิ์ , " หลักการทำงานเครื่องรับโทรทัศน์ยุคใหม่ " , บริษัท ซีเอ็ดยูเคชั่น จำกัด (มหาชน)
5. " ANT-31PJ V 2.0 " , SILA RESEARCH , 20 หน้า

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

HARRIS Semiconductor

CA3318

CMOS Video Speed, 8-Bit, Flash A/D Converter

August 1997

Features

- CMOS Low Power with SOS Speed (Typ)..... 150mW
- Parallel Conversion Technique
- 15MHz Sampling Rate (Conversion Time)..... 67ns
- 8-Bit Latched Three-State Output with Overflow Bit
- Accuracy (Typ)..... ±1 LSB
- Single Supply Voltage..... 4V to 7.5V
- 2 Units in Series Allow 9-Bit Output
- 2 Units in Parallel Allow 30MHz Sampling Rate

Applications

- TV Video Digitizing (Industrial/Security/Broadcast)
- High Speed A/D Conversion
- Ultrasound Signature Analysis
- Transient Signal Analysis
- High Energy Physics Research
- General-Purpose Hybrid ADCs
- Optical Character Recognition
- Radar Pulse Analysis
- Motion Signature Analysis
- µP Data Acquisition Systems

Description

The CA3318 is a CMOS parallel (FLASH) analog-to-digital converter designed for applications demanding both low power consumption and high speed digitization.

The CA3318 operates over a wide full scale input voltage range of 4V up to 7.5V with maximum power consumption depending upon the clock frequency selected. When operated from a 5V supply at a clock frequency of 15MHz, the typical power consumption of the CA3318 is 150mW.

The intrinsic high conversion rate makes the CA3318 ideally suited for digitizing high speed signals. The overflow bit makes possible the connection of two or more CA3318s in series to increase the resolution of the conversion system. A series connection of two CA3318s may be used to produce a 9-bit high speed converter. Operation of two CA3318s in parallel doubles the conversion speed (i.e., increases the sampling rate from 15MHz to 30MHz).

256 paralleled auto balanced voltage comparators measure the input voltage with respect to a known reference to produce the parallel bit outputs in the CA3318.

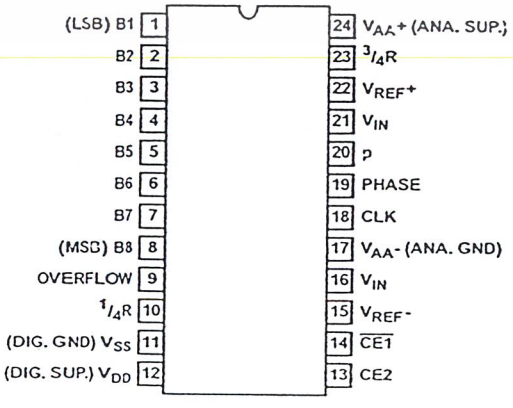
255 comparators are required to quantize all input voltage levels in this 8-bit converter, and the additional comparator is required for the overflow bit.

Ordering Information

PART NUMBER	LINEARITY (INL, DNL)	SAMPLING RATE	TEMP. RANGE (°C)	PACKAGE	PKG. NO.
CA3318CE	±1.5 LSB	15MHz (67ns)	-40 to 85	24 Ld PDIP	E24.6
CA3318CM	±1.5 LSB	15MHz (67ns)	-40 to 85	24 Ld SOIC	M24.3
CA3318CD	±1.5 LSB	15MHz (67ns)	-40 to 85	24 Ld SBDIP	D24.6

Pinout

CA3318
(PDIP, SBDIP, SOIC)
TOP VIEW



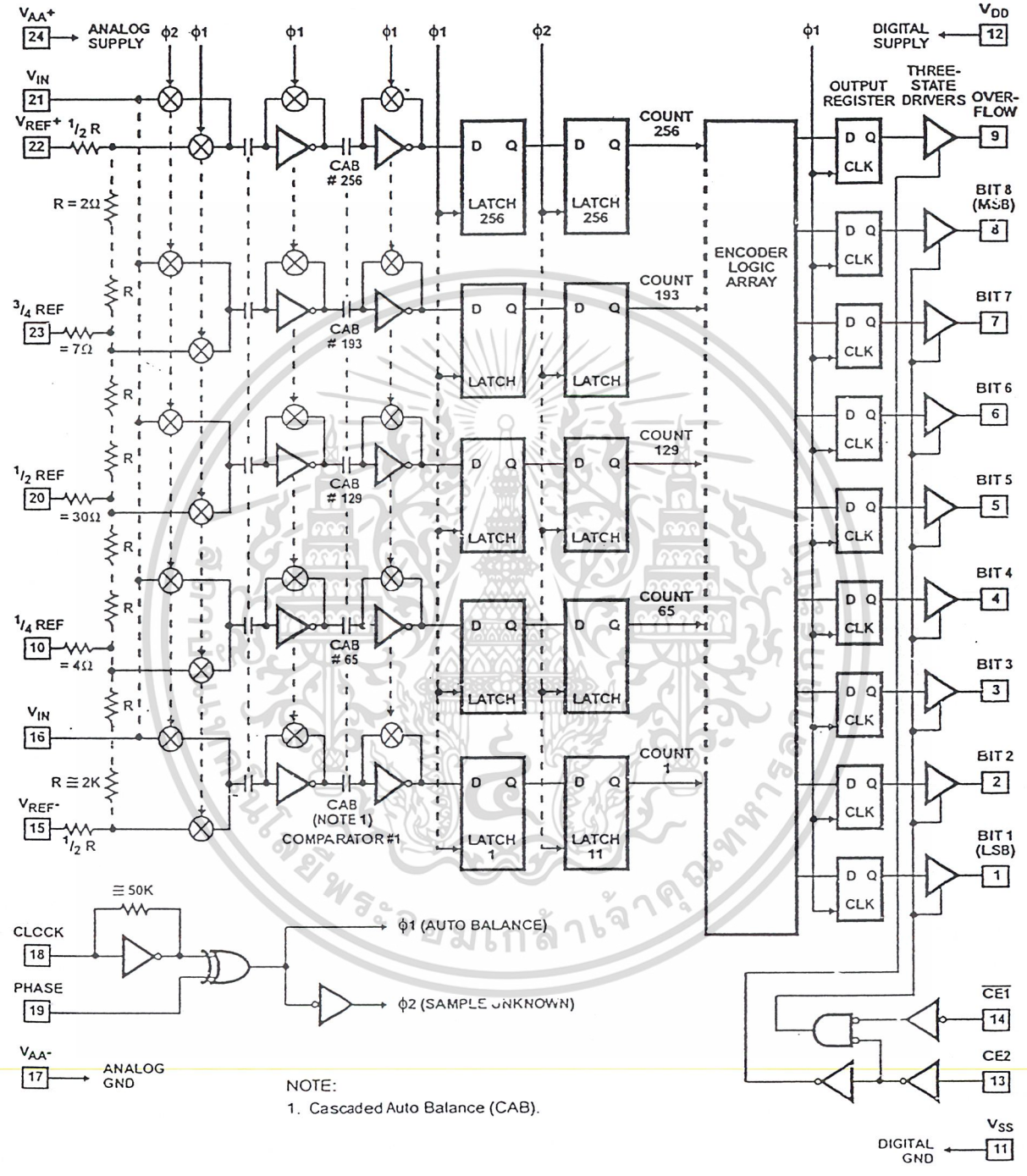
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

CAUTION: These devices are sensitive to electrostatic discharge. Users should follow proper IC Handling Procedures.

Copyright © Harris Corporation 1997

File Number 3103.1

Functional Block Diagram



NOTE:

1. Cascaded Auto Balance (CAB).

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Absolute Maximum Ratings

DC Supply Voltage Range (V_{DD} or V_{AA}+) ..... -0.5V to +8V
(Referenced to V_{SS} or V_{AA}- Terminal, Whichever is More Negative)
Input Voltage Range
CE2 and $\overline{CE1}$ ..... V_{AA}- -0.5V to V_{DD} + 0.5V
Clock, Phase, V_{REF}-, $^1/_2$ Ref..... V_{AA}- -0.5V to V_{AA}+ + 0.5V
Clock, Phase, V_{REF}-, $^1/_4$ Ref..... V_{SS}- -0.5V to V_{DD} + 0.5V
V_{IN}, $^3/_4$ REF, V_{REF}+ ..... V_{AA}- -0.5V to V_{AA}- + 7.5V
Output Voltage Range,..... V_{SS} - 0.5V to V_{DD} + 0.5V
Bits 1-8, Overflow (Outputs Off)
DC Input Current ..... ±20mA
Clock, Phase, $\overline{CE1}$, CE2, V_{IN}, Bits 1-8, Overflow

Thermal Information

Thermal Resistance (Typical, Note 1)	θ_{JA} (°C/W)	θ_{JC} (°C/W)
SBDIP Package	60	22
PDIP Package	60	N/A
SOIC Package	75	N/A

Maximum Junction Temperature
Ceramic Package ..... 175°C
Plastic Packages ..... 150°C
Maximum Storage Temperature Range ..... -65°C to 150°C
Maximum Lead Temperature (Soldering 10s)..... 265°C
(SOIC - Lead Tips Only)

Operating Conditions

Operating Voltage Range (V_{DD} or V_{AA}+)... 4V (Min) to 7.5V (Max)
Recommended V_{AA}+ Operating Range..... V_{DD} ±1V
Recommended V_{AA}- Operating Range ..... V_{SS} ±1V
Operating Temperature Range (T_A) ..... -40°C to 85°C

CAUTION: Stresses above those listed in "Absolute Maximum Ratings" may cause permanent damage to the device. This is a stress only rating and operation of the device at these or any other conditions above those indicated in the operational sections of this specification is not implied.

NOTE:

1. θ_{JA} is measured with the component mounted on an evaluation PC board in free air.

Electrical Specifications

At 25°C, V_{AA}+ = V_{DD} = 5V, V_{REF}+ = 6.4V, V_{REF}- = V_{AA}- = V_{SS}, CLK = 15MHz, All Reference Points Adjusted, Unless Otherwise Specified

PARAMETER	TEST CONDITIONS	MIN	TYP	MAX	UNITS
SYSTEM PERFORMANCE					
Resolution		8	-	-	Bits
Integral Linearity Error		-	-	±1.5	LSB
Differential Linearity Error		-	-	+1, -0.8	LSB
Offset Error, Unadjusted	V_{IN} = V_{REF}- + $^1/_2$ LSB	-0.5	4.5	6.4	LSB
Gain Error Unadjusted	V_{IN} = V_{REF}+ - $^1/_2$ LSB	-1.5	0	1.5	LSB
DYNAMIC CHARACTERISTICS					
Maximum Input Bandwidth	(Note 1) CA3318	2.5	5.0	-	MHz
Maximum Conversion Speed	CLK = Square Wave	15	17	-	MSPS
Signal to Noise Ratio (SNR) $=\frac{RMS\,Signal}{RMS\,Noise}$	f_S = 15MHz, f_{IN} = 100kHz	-	47	-	dB
	f_S = 15MHz, f_{IN} = 4MHz	-	43	-	dB
Signal to Noise Ratio (SINAD) $=\frac{RMS\,Signal}{RMS\,Noise+Distortion}$	f_S = 15MHz, f_{IN} = 100kHz	-	45	-	dB
	f_S = 15MHz, f_{IN} = 4MHz	-	35	-	dB
Total Harmonic Distortion, THD	f_S = 15MHz, f_{IN} = 100kHz	-	-46	-	dBc
	f_S = 15MHz, f_{IN} = 4MHz	-	-36	-	dBc
Effective Number of Bits (ENOB)	f_S = 15MHz, f_{IN} = 100kHz	-	7.2	-	Bits
	f_S = 15MHz, f_{IN} = 4MHz	-	5.5	-	Bits
Differential Gain Error	Unadjusted	-	2	-	%
Differential Phase Error	Unadjusted	-	1	-	%
ANALOG INPUTS					
Full Scale Range, V_{IN} and (V_{REF}+) - (V_{REF}-)	Notes 2, 4	4	-	7	V
Input Capacitance, V_{IN}		-	30	-	pF
Input Current, V_{IN}, (See Text)	V_{IN} = 5V, V_{REF}+ = 5V	-	-	3.5	mA
REFERENCE INPUTS					
Ladder Impedance		270	500	800	Ω

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Electrical Specifications

At 25°C, $V_{AA}+ = V_{DD} = 5V$, $V_{REF}+ = 6.4V$, $V_{REF}- = V_{AA}- = V_{SS}$, CLK = 15MHz, All Reference Points Adjusted, Unless Otherwise Specified **(Continued)**

PARAMETER	TEST CONDITIONS	MIN	TYP	MAX	UNITS
DIGITAL INPUTS					
Low Level Input Voltage, V_{OL}					
$\overline{CE1}$, CE2	Note 4	-	-	$0.2V_{DD}$	V
Phase, CLK	Note 4	-	-	$0.2V_{AA}$	V
High Level Input Voltage, V_{IN}					
$\overline{CE1}$, CE2	Note 4	$0.7V_{DD}$	-	-	V
Phase, CLK	Note 4	$0.7V_{AA}$	-	-	V
Input Leakage Current, I_I (Except CLK Input)	Note 3	-	±0.2	±5	µA
Input Capacitance, C_I		-	3	-	pF
DIGITAL OUTPUTS					
Output Low (Sink) Current	$V_O = 0.4V$	4	10	-	mA
Output High (Source) Current	$V_O = 4.5V$	-4	-6	-	mA
Three-State Output Off-State Leakage Current, I_{OZ}		-	±0.2	±5	µA
Output Capacitance, C_O		-	4	-	pF
TIMING CHARACTERISTICS					
Auto Balance Time (ϕ1)		33	-	∞	ns
Sample Time (ϕ2)	Note 4	25	-	500	ns
Aperture Delay		-	15	-	ns
Aperture Jitter		-	100	-	ps
Data Valid Time, t_D	Note 4	-	50	65	ns
Data Hold Time, t_H	Note 4	25	40	-	ns
Output Enable Time, t_{EN}		-	18	-	ns
Output Disable Time, t_{DIS}		-	18	-	ns
POWER SUPPLY CHARACTERISTICS					
Device Current ($I_{DD} + I_A$) (Excludes I_{REF})	Continuous Conversion (Note 4)	-	30	60	mA
	Auto Balance (ϕ1)	-	30	60	mA

NOTES:

1. A full scale sine wave input of greater than $f_{CLOCK}/2$ or the specified input bandwidth (whichever is less) may cause an erroneous code. The -3dB bandwidth for frequency response purposes is greater than 30MHz.
2. V_{IN} (Full Scale) or $V_{REF}+$ should not exceed $V_{AA}+ + 1.5V$ for accuracy.
3. The clock input is a CMOS inverter with a 50kΩ feedback resistor and may be AC coupled with $1V_{P-P}$ minimum source.
4. Parameter not tested, but guaranteed by design or characterization.

Timing Waveforms

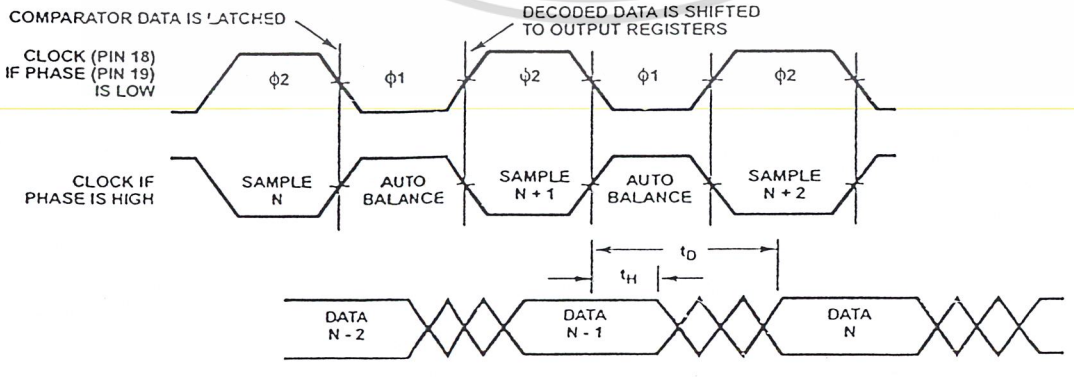


FIGURE 1. INPUT TO OUTPUT TIMING DIAGRAM

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Timing Waveforms (Continued)

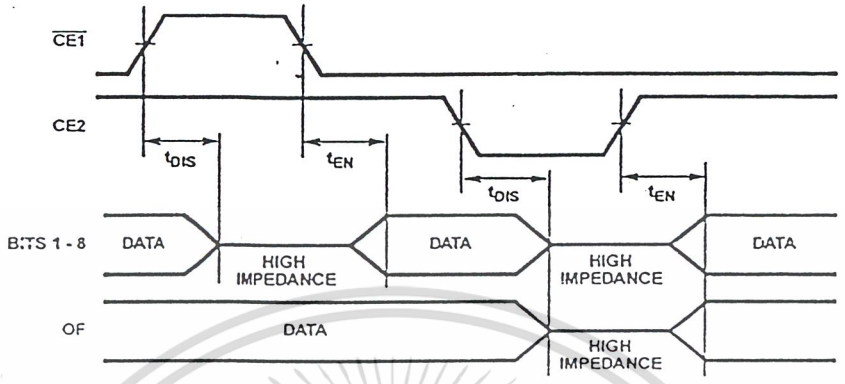


FIGURE 2. OUTPUT ENABLE TIMING DIAGRAM

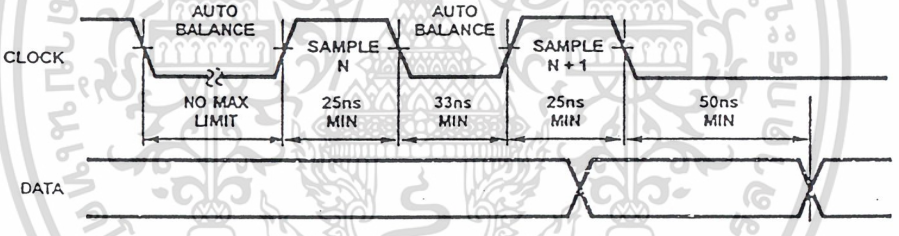


FIGURE 3A. STANDBY IN INDEFINITE AUTO BALANCE (SHOWN WITH PHASE = LOW)

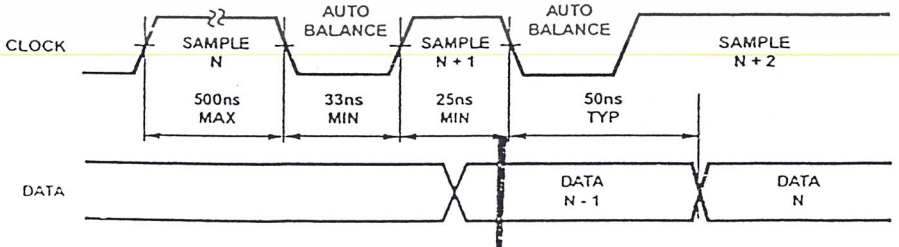


FIGURE 3B. STANDBY IN SAMPLE (SHOWN WITH PHASE = LOW)

FIGURE 3. PULSE MODE OPERATION

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Typical Performance Curves

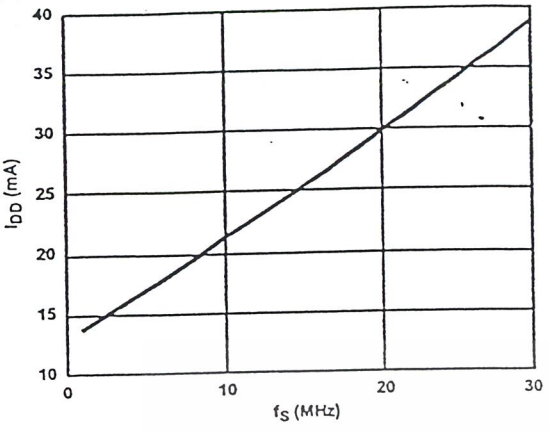


FIGURE 4. DEVICE CURRENT vs SAMPLE FREQUENCY

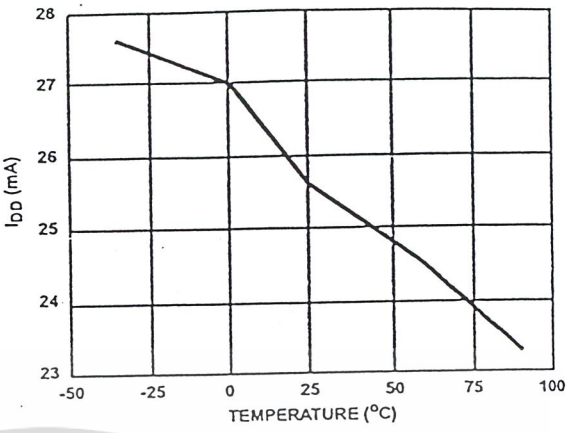


FIGURE 5. DEVICE CURRENT vs TEMPERATURE

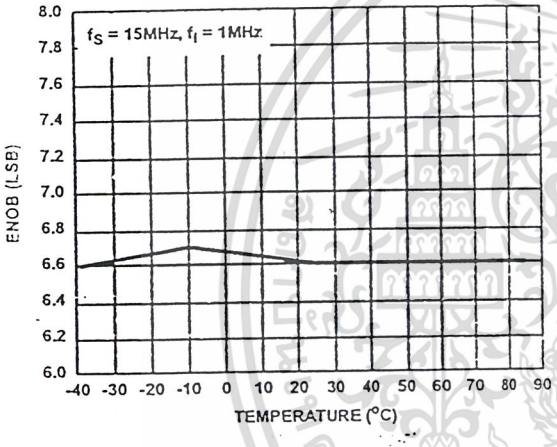


FIGURE 6. ENOB vs TEMPERATURE

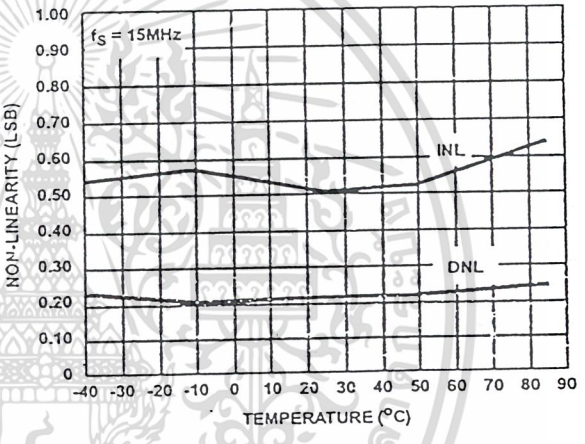


FIGURE 7. NON-LINEARITY vs TEMPERATURE

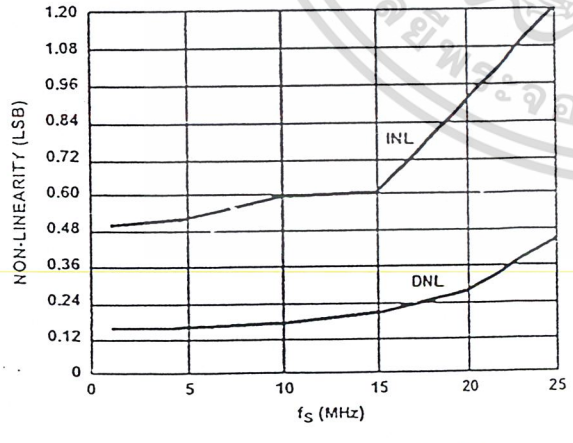


FIGURE 8. NON-LINEARITY vs SAMPLE FREQUENCY

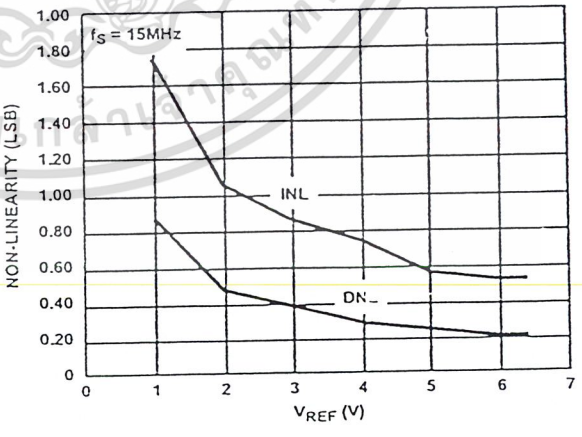


FIGURE 9. NON-LINEARITY vs REFERENCE VOLTAGE

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Typical Performance Curves (Continued)

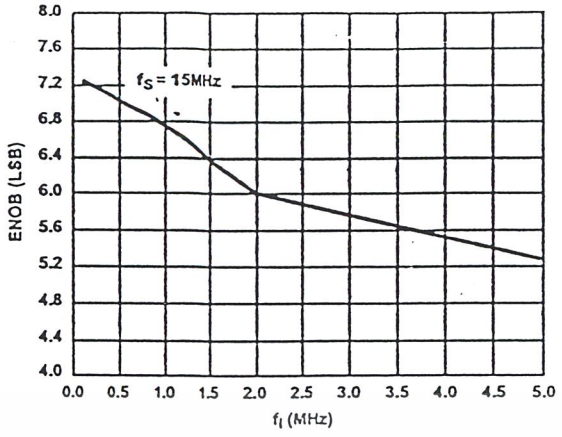


FIGURE 10. ENOB vs INPUT FREQUENCY

Pin Descriptions

PIN	NAME	DESCRIPTION	
1	B1	Bit 1 (LSB)	Output Data Bits (High = True)
2	B2	Bit 2	
3	B3	Bit 3	
4	B4	Bit 4	
5	B5	Bit 5	
6	B6	Bit 6	
7	B7	Bit 7	
8	B8	Bit 8 (MSB)	
9	OF	Overflow	
10	$^1/_4$ R	Reference Ladder $^1/_4$ Point	
11	V_{SS}	Digital Ground	
12	V_{DD}	Digital Power Supply, +5V	
13	CE2	Three-State Output Enable Input, Active Low, See Truth Table.	
14	$\overline{CE1}$	Three-State Output Enable Input Active High. See Truth Table.	
15	V_{REF}-	Reference Voltage Negative Input	
16	V_{IN}	Analog Signal Input	
17	V_{AA}-	Analog Ground	
18	CLK	Clock Input	
19	PHASE	Sample clock phase control input. When PHASE is low, "Sample Unknown" occurs when the clock is low and "Auto Balance" occurs when the clock is high (see text).	
20	$^1/_2$ R	Reference Ladder Midpoint	
21	V_{IN}	Analog Signal Input	
22	V_{REF}+	Reference Voltage Positive Input	
23	$^3/_4$ R	Reference Ladder $^3/_4$ Point	
24	V_{AA}+	Analog Power Supply, +5V	

CHIP ENABLE TRUTH TABLE

$\overline{CE1}$	CE2	B1 - B8	OF
0	1	Valid	Valid
1	1	Three-State	Valid
X	0	Three-State	Three-State

X = Don't Care

Theory of Operation

A sequential parallel technique is used by the CA3318 converter to obtain its high speed operation. The sequence consists of the "Auto-Balance" phase, ϕ1, and the "Sample Unknown" phase, ϕ2. (Refer to the circuit diagram.) Each conversion takes one clock cycle (see Note). With the phase control (pin 19) high, the "Auto-Balance" (ϕ1) occurs during the high period of the clock cycle, and the "Sample Unknown" (ϕ2) occurs during the low period of the clock cycle.

NOTE: The device requires only a single phase clock The terminology of ϕ1 and ϕ2 refers to the high and low periods of the same clock.

During the "Auto-Balance" phase, a transmission switch is used to connect each of the first set of 256 commutating capacitors to their associated ladder reference tap. Those tap voltages will be as follows:

$$V_{TAP}(N) = [(N/256)\,V_{REF}] - (1/512)\,V_{REF}]$$
$$= [(2N - 1)/512]\,V_{REF},$$

Where:

V_{TAP} (n) = reference ladder tap voltage at point n,

V_{REF} = voltage across V_{REF}- to V_{REF}+,

N = tap number (1 through 256).

The other side of these capacitors are connected to single-stage amplifiers whose outputs are shorted to their inputs by switches. This balances the amplifiers at their intrinsic trip points, which is approximately $(V_{AA}+ - V_{AA}-)/2$. The first set of capacitors now charges to their associated tap voltages.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

At the same time a second set of commutating capacitors and amplifiers is also auto-balanced. The balancing of the second-stage amplifier at its intrinsic trip point removes any tracking differences between the first and second amplifier stages. The cascaded auto-balance (CAB) technique, used here, increases comparator sensitivity and temperature tracking.

In the "Sample Unknown" phase, all ladder tap switches and comparator shorting switches are opened. At the same time V_{IN} is switched to the first set of commutating capacitors. Since the other end of the capacitors are now looking into an effectively open circuit, any input voltage that differs from the previous tap voltage will appear as a voltage shift at the comparator amplifiers. All comparators that had tap voltages greater than V_{IN} will go to a "high" state at their outputs. All comparators that had tap voltages lower than V_{IN} will go to a "low" state.

The status of all these comparator amplifiers is AC coupled through the second-stage comparator and stored at the end of this phase ($\phi 2$) by a latching amplifier stage. The latch feeds a second latching stage, triggered at the end of $\phi 1$. This delay allows comparators extra settling time. The status of the comparators is decoded by a 256 to 9-bit decoder array, and the results are clocked into a storage register at the end of the next $\phi 2$.

A 3-stage buffer is used at the output of the 9 storage registers which are controlled by two chip-enable signals. $\overline{CE1}$ will independently disable B1 through B6 when it is in a high state. CE2 will independently disable B1 through B8 and the OF buffers when it is in the low state.

To facilitate usage of this device, a phase control input is provided which can effectively complement the clock as it enters the chip.

Continuous-Clock Operation

One complete conversion cycle can be traced through the CA3318 via the following steps. (Refer to timing diagram.) With the phase control in a "low" state, the rising edge of the clock input will start a "sample" phase. During this entire "high" state of the clock, the comparators will track the input voltage and the first-stage latches will track the comparator outputs. At the falling edge of the clock, all 256 comparator outputs are captured by the 256 latches. This ends the "sample" phase and starts the "auto-balance" phase for the comparators. During this "low" state of the clock, the output of the latches settles and is captured by a second row of latches when the clock returns high. The second-stage latch output propagates through the decode array, and a 9-bit code appears at the D inputs of the output registers. On the next falling edge of the clock, this 9-bit code is shifted into the output registers and appears with time delay t_D as valid data at the output of the three-state drivers. This also marks the end of the next "sample" phase, thereby repeating the conversion process for this next cycle.

Pulse-Mode Operation

The CA3318 needs two of the same polarity clock edges to complete a conversion cycle: If, for instance, a negative going clock edge ends sample "N", then data "N" will appear after the next negative going edge. Because of this requirement, and because there is a maximum sample time of 500ns (due to capacitor droop), most pulse or intermittent sample applications will require double clock pulsing.

If an indefinite standby state is desired, standby should be in auto-balance, and the operation would be as in Figure 3A.

If the standby state is known to last less than 500ns and lowest average power is desired, then operation could be as in Figure 3B.

Increased Accuracy

In most cases the accuracy of the CA3318 should be sufficient without any adjustments. In applications where accuracy is of utmost importance, five adjustments can be made to obtain better accuracy, i.e., offset trim; gain trim; and $^1/_4$, $^1/_2$ and $^3/_4$ point trim.

Offset Trim

In general, offset correction can be done in the preamp circuitry by introducing a DC shift to V_{IN} or by the offset trim of the op amp. When this is not possible the V_{REF}- input can be adjusted to produce an offset trim. The theoretical input voltage to produce the first transition is $^1/_2$ LSB. The equation is as follows:

$$V_{IN} \text{ (0 to 1 transition)} = {}^1/_2 \text{ LSB} = {}^1/_2 (V_{REF}/256)$$
$$= V_{REF}/512.$$

If V_{IN} for the first transition is less than the theoretical, then a single-turn 50Ω pot connected between V_{REF}- and ground will accomplish the adjustment. Set V_{IN} to 1/2 LSB and trim the pot until the 0-to-1 transition occurs.

If V_{IN} for the first transition is greater than the theoretical, then the 50Ω pot should be connected between V_{REF}- and a negative voltage of about 2 LSBs. The trim procedure is as stated previously.

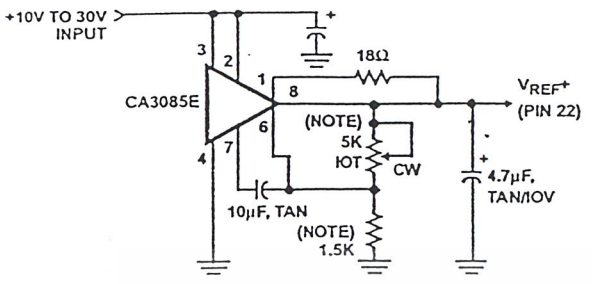
Gain Trim

In general, the gain trim can also be done in the preamp circuitry by introducing a gain adjustment for the op amp. When this is not possible, then a gain adjustment circuit should be made to adjust the reference voltage. To perform this trim, V_{IN} should be set to the 255 to overflow transition. That voltage is $^1/_3$ LSB less than V_{REF}+ and is calculated as follows:

$$V_{IN} \text{ (255 to 256 transition)} = V_{REF} - V_{REF}/512$$
$$= V_{REF}(511/512).$$

To perform the gain trim, first do the offset trim and then apply the required V_{IN} for the 255 to overflow transition. Now adjust V_{REF}+ until that transition occurs on the outputs.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

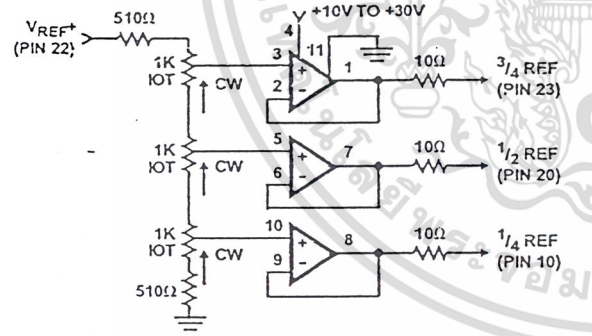


NOTE: Bypass $V_{REF}+$ to analog GND near A/D with 0.1µF ceramic cap. Parts noted should have low temperature drift.

FIGURE 11. TYPICAL VOLTAGE REFERENCE SOURCE FOR DRIVING $V_{REF}+$ INPUT

$^1/_4$ Point Trims

The $^1/_4$, $^1/_2$ and $^3/_4$ points on the reference ladder are brought out for linearity adjusting or if the user wishes to create a nonlinear transfer function. The $^1/_4$ points can be driven by the reference drivers shown (Figure 12) or by 2-K pots connected between $V_{REF}+$ and $V_{REF}-$. The $^1/_2$ (mid-) point should be set first by applying an input of 257/512 x (V_{REF}) and adjusting for an output changing from 128 to 129. Similarly the $^1/_4$ and $^3/_4$ points can be set with inputs of 129/512 and 385/512 x (V_{REF}) and adjusting for counts of 192 to 193 and 64 to 65. (Note that the points are actually $^1/_4$, $^1/_2$ and $^3/_4$ of full scale +1 LSB.)



NOTES:

1. All Op Amps = $^3/_4$ CA324E.
2. Bypass all reference points to analog ground near A/D with 0.1µF ceramic caps.
3. Adjust $V_{REF}+$ first, then $^1/_3$, $^3/_4$ and $^1/_4$ points.

FIGURE 12. TYPICAL $^1/_4$ POINT DRIVERS FOR ADJUSTING LINEARITY (USE FOR MAXIMUM LINEARITY)

9-Bit Resolution

To obtain 9-bit resolution, two CA3318s can be wired together. Necessary ingredients include an open-ended ladder network, an overflow indicator, three-state outputs, and chip-enable controls - all of which are available on the CA3318.

The first step for connecting a 9-bit circuit is to totem-pole the ladder networks, as illustrated in Figure 13. Since the absolute resistance value of each ladder may vary, external trim of the mid-reference voltage may be required.

The overflow output of the lower device now becomes the ninth bit. When it goes high, all counts must come from the upper device. When it goes low, all counts must come from the lower device. This is done simply by connecting the lower overflow signal to the CE1 control of the lower A/D converter and the CE2 control of the upper A/D converter. The three-state outputs of the two devices (bits 1 through 8) are now connected in parallel to complete the circuitry. The complete circuit for a 9-bit A/D converter is shown in Figure 13.

Grounding/Bypassing

The analog and digital supply grounds of a system should be kept separate and only-connected at the A/D. This keeps digital ground noise out of the analog data to be converted. Reference drivers, input amps, reference taps, and the V_{AA} supply should be bypassed at the A/D to the analog side of the ground. See Figure 15 for a block diagram of this concept. All capacitors shown should be low impedance 0.1µF ceramics and should be mounted as close to the A/D as possible. If $V_{AA}+$ is derived from V_{DD}, a small (10Ω resistor or inductor and additional filtering (4.7µF tantalum) may be used to keep digital noise out of the analog system.

Input Loading

The CA3318 outputs a current pulse to the V_{IN} terminal at the start of every sample period. This is due to capacitor charging and switch feedthrough and varies with input voltage and sampling rate. The signal source must be capable of recovering from the pulse before the end of the sample period to guarantee a valid signal for the A/D to convert. Suitable high speed amplifiers include the HA-5033, HA-2542; and CA3450. Figure 16 is an example of an amplifier which recovers fast enough for sampling at 15MHz.

Output Loading

The CMOS digital output stage, although capable of driving large loads, will reflect these loads into the local ground. It is recommended that a local QMOS buffer such as CD74HC541 E be used to isolate capacitive loads.

Definitions

Dynamic Performance Definitions

Fast Fourier Transform (FFT) techniques are used to evaluate the dynamic performance of the converter. A low distortion sine wave is applied to the input, it is sampled, and the output is stored in RAM. The data is then transformed into the frequency domain with a 4096 point FFT and analyzed to evaluate the dynamic performance of the A/D. The sine wave input to the part is -0.5dB down from fullscale for all these tests.

Signal-to-Noise (SNR)

SNR is the measured RMS signal to RMS noise at a specified input and sampling frequency. The noise is the RMS sum of all of the spectral components except the fundamental and the first five harmonics.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Signal-to-Noise + Distortion Ratio (SINAD)

SINAD is the measured RMS signal to RMS sum of all other spectral components below the Nyquist frequency excluding DC.

Effective Number of Bits (ENOB)

The effective number of bits (ENOB) is derived from the SINAD data. ENOB is calculated from:

$$ENOB = (SINAD - 1.76 + V_{CORR})/6.02,$$

where: $V_{CORR} = 0.5dB$.

Total Harmonic Distortion (THD)

THD is the ratio of the RMS sum of the first 5 harmonic components to the RMS value of the measured input signal.

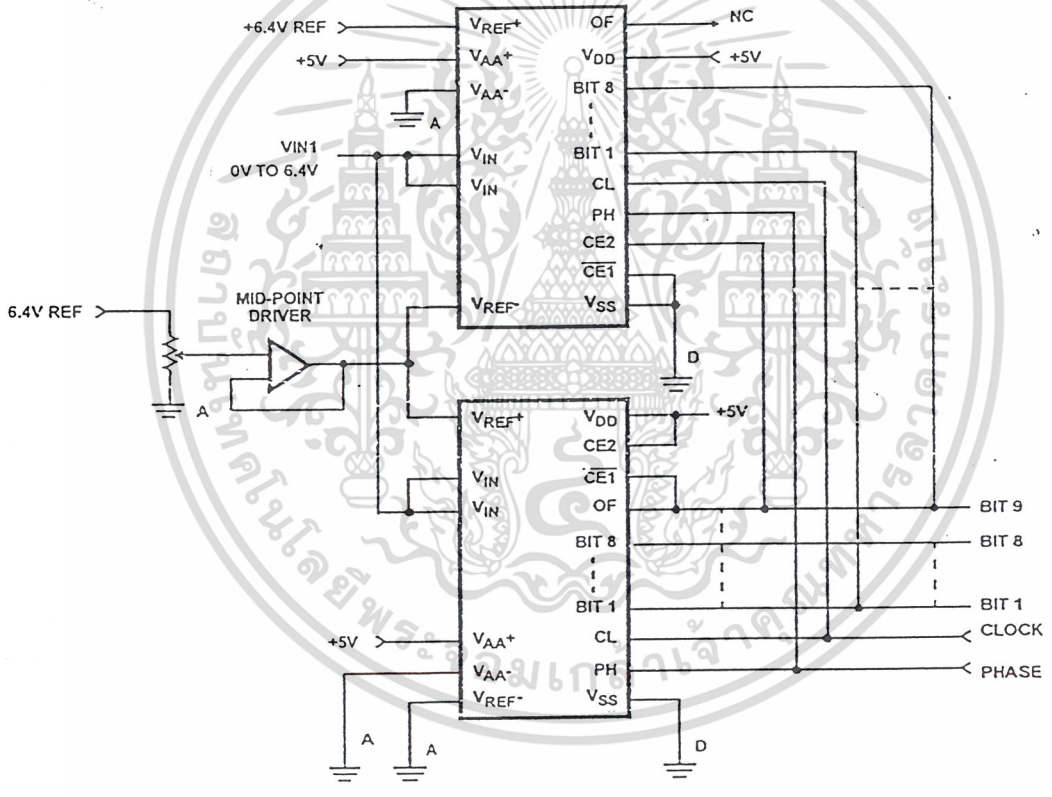


FIGURE 13. USING TWO CA3318s FOR 9-BIT RESOLUTION

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

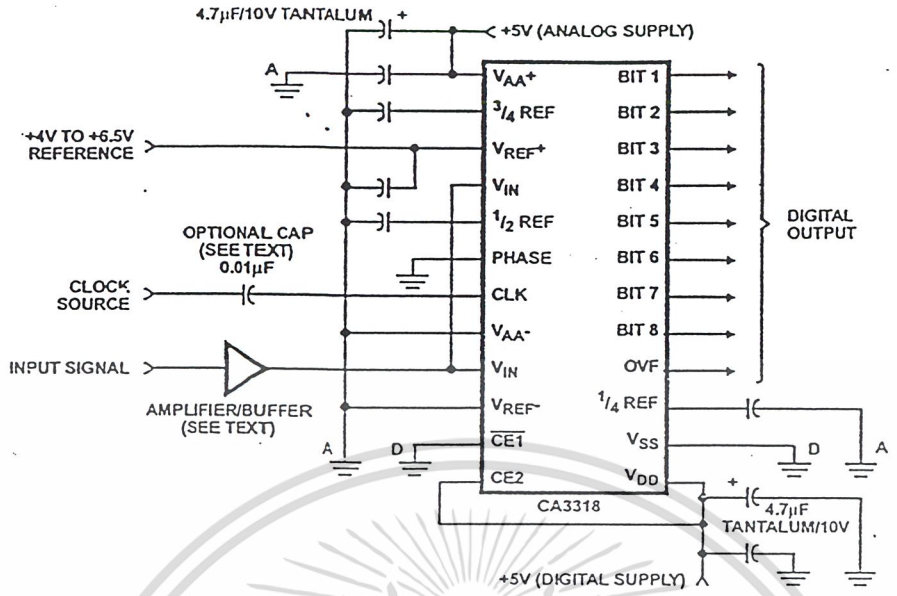


FIGURE 14. TYPICAL CIRCUIT CONFIGURATION FOR THE CA3318 WITH NO LINEARITY ADJUST

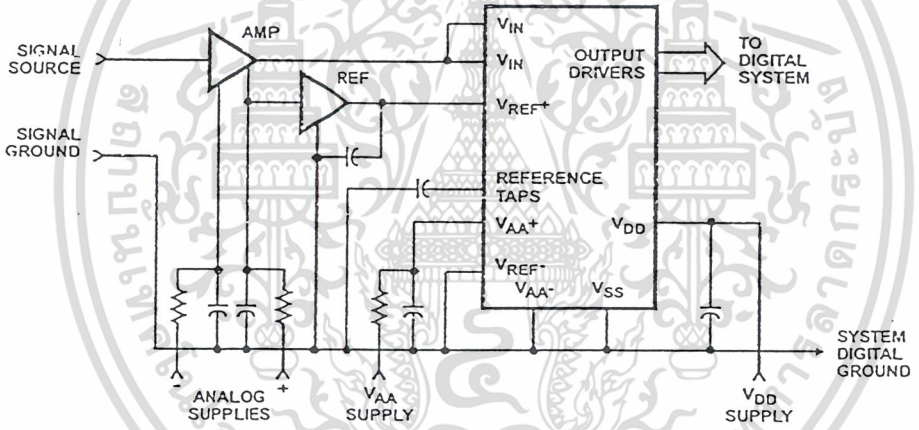
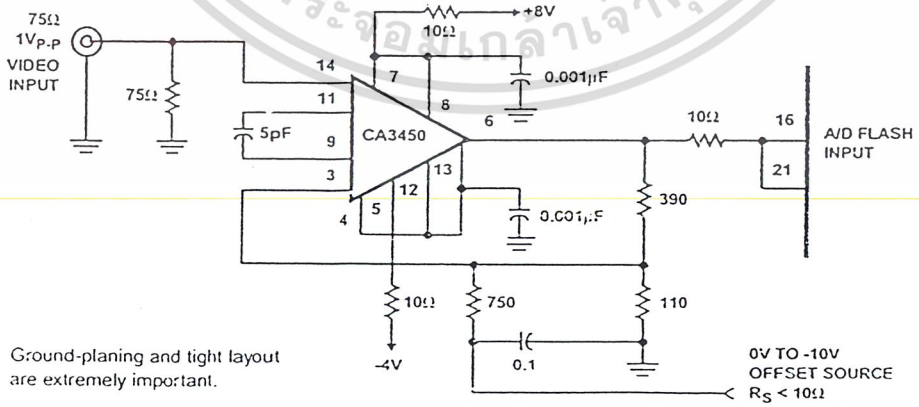


FIGURE 15. TYPICAL SYSTEM GROUNDING/BYPASSING



NOTE: Ground-planing and tight layout are extremely important.

FIGURE 16. TYPICAL HIGH BANDWIDTH AMPLIFIER FOR DRIVING THE CA3318

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

TABLE 1. OUTPUT CODE TABLE

CODE DESCRIPTION	(NOTE 1) INPUT VOLTAGE		BINARY OUTPUT CODE									DECIMAL COUNT
	V_{REF} 6.40V (V)	V_{REF} 5.12V (V)	OF	MSB B8	B7	B6	B5	B4	B3	B2	LSB B1	
Zero	0.00	0.00	0	0	0	0	0	0	0	0	0	0
1 LSB	0.025	0.02	0	0	0	0	0	0	0	0	1	1
2 LSB	0.05	0.04	0	0	0	0	0	0	0	1	0	2
•	•	•					•					•
•	•	•					•					•
•	•	•					•					•
1/4 Full Scale	1.60	1.28	0	0	1	0	0	0	0	0	0	64
•	•	•					•					•
•	•	•					•					•
•	•	•					•					•
1/2 Full Scale - 1 LSB	3.175	2.54	0	0	1	1	1	1	1	1	1	127
1/2 Full Scale	3.20	2.56	0	1	0	0	0	0	0	0	0	128
1/2 Full Scale + 1 LSB	3.225	2.58	0	1	0	0	0	0	0	0	1	129
•	•	•					•					•
•	•	•					•					•
•	•	•					•					•
3/4 Full Scale	4.80	3.84	0	1	1	0	0	0	0	0	0	192
•	•	•					•					•
•	•	•					•					•
•	•	•					•					•
Full Scale - 1 LSB	6.35	5.08	0	1	1	1	1	1	1	1	0	254
Full Scale	6.375	5.10	0	1	1	1	1	1	1	1	1	255
Over Flow	6.40	5.12	1	1	1	1	1	1	1	1	1	511

NOTE: 1. The voltages listed above are the ideal centers of each output code shown as a function of its associated reference voltage.

Reducing Power

Most power is consumed while in the auto-balance state. When operating at lower than 15MHz clock speed, power can be reduced by stretching the sample ($\phi 2$) time. The constraints are a minimum balance time ($\phi 1$) of 33ns, and a maximum sample time of 500ns. Longer sample times cause droop in the auto-balance capacitors. Power can also be reduced in the reference string by switching the reference on only during auto-balance.

Clock Input

The Clock and Phase inputs feed buffers referenced to $V_{AA}+$ and $V_{AA}-$. Phase should be tied to one of those two potentials, while the clock (if DC coupled) should be driven at least from 0.2 to 0.7 x ($V_{AA}+$ - $V_{AA}-$). The clock may also be AC coupled with at least a $1V_{P-P}$ swing. This allows TTL drive levels or 5V QMOS levels when $V_{AA}+$ is greater than 5V.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

HARRIS SEMICONDUCTOR

CA3338, CA3338A

CMOS Video Speed, 8-Bit, 50 MSPS, R2R D/A Converters

August 1997

Features

- CMOS/SOS Low Power
- R2R Output, Segmented for Low "Glitch"
- CMOS/TTL Compatible Inputs
- Fast Settling: (Typ) to $^1/_2$ LSB 20ns
- Feedthrough Latch for Clocked or Unclocked Use
- Accuracy (Typ) ..... ±0.5 LSB
- Data Complement Control
- High Update Rate (Typ) 50MHz
- Unipolar or Bipolar Operation

Applications

- TV/Video Display
- High Speed Oscilloscope Display
- Digital Waveform Generator
- Direct Digital Synthesis

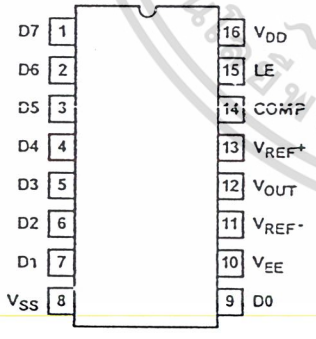
Description

The CA3338 family are CMOS/SOS high speed R2R voltage output digital-to-analog converters. They can operate from a single +5V supply, at video speeds, and can produce "rail-to-rail" output swings. Internal level shifters and a pin for an optional second supply provide for an output range below digital ground. The data complement control allows the inversion of input data while the latch enable control provides either feedthrough or latched operation. Both ends of the R2R ladder network are available externally and may be modulated for gain or offset adjustments. In addition, "glitch" energy has been kept very low by segmenting and thermometer encoding of the upper 3 bits.

The CA3338 is manufactured on a sapphire substrate to give low dynamic power dissipation, low output capacitance, and inherent latch-up resistance.

Pinout

CA3338, CA3338A
(PDIP, SBDIP, SOIC)
TOP VIEW



Ordering Information

PART NUMBER	LINEARITY (INL, DNL)	TEMP. RANGE (°C)	PACKAGE	PKG. NO.
CA3338E	±1.0 LSB	-40 to 85	16 Ld PDIP	E16.3
CA3338AE	±0.75 LSB	-40 to 85	16 Ld PDIP	E16.3
CA3338D	±1.0 LSB	-55 to 125	16 Ld SBDIP	D16.3
CA3338AD	±0.75 LSB	-55 to 125	16 Ld SBDIP	D16.3
CA3338M	±1.0 LSB	-40 to 85	16 Ld SOIC	M16.3
CA3338AM	±0.75 LSB	-40 to 85	16 Ld SOIC	M16.3

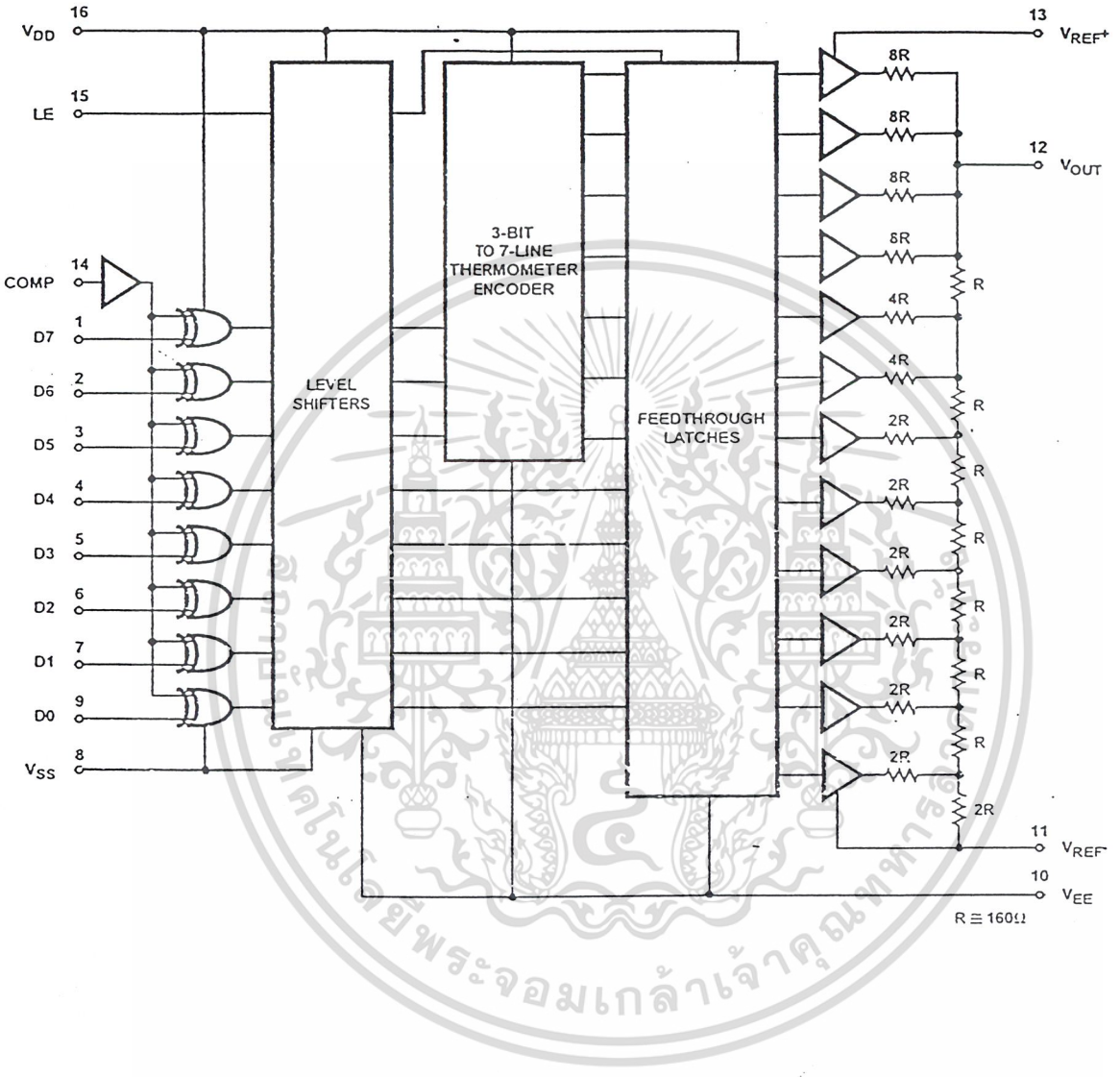
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

CAUTION: These devices are sensitive to electrostatic discharge. Users should follow proper IC Handling Procedures.

Copyright © Harris Corporation 1997

File Number 1850.2

Functional Diagram



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Absolute Maximum Ratings

DC Supply-Voltage Range . . . . . -0.5V to +8V
(V_{DD} - V_{SS} or V_{DD} - V_{EE}, Whichever is Greater)
Input Voltage Range
Digital Inputs (LE, COMP D0 - D7) . . . . V_{SS} - 0.5V to V_{DD} + 0.5V
Analog Pins (V_{REF}^+, V_{REF}^-, V_{OUT}) . . . . V_{DD} - 8V to V_{DD} + 0.5V
DC Input Current
Digital Inputs (LE, COMP, D0 - D7) . . . . . ±20mA
Recommended Supply Voltage Range . . . . . 4.5V to 7.5V

Thermal Information

Thermal Resistance (Typical, Note 1)	θ_{JA} (°C/W)	θ_{JC} (°C/W)
SBDIP Package	75	24
PDIP Package	100	N/A
SOIC Package	100	N/A

Maximum Junction Temperature
Ceramic Package . . . . . 175°C
Plastic Packages . . . . . 150°C
Maximum Storage Temperature Range, T_{STG} . . . . . -65°C to 150°C
Maximum Lead Temperature (Soldering 10s) . . . . . 300°C
(SOIC - Lead Tips Only)

Operating Conditions

Temperature Range (T_A)
Ceramic Package, D suffix . . . . . -55°C to 125°C
Plastic Package, E suffix, M suffix . . . . . -40°C to 85°C

CAUTION: Stresses above those listed in "Absolute Maximum Ratings" may cause permanent damage to the device. This is a stress only rating and operation of the device at these or any other conditions above those indicated in the operational sections of this specification is not implied.

NOTE:

1. θ_{JA} is measured with the component mounted on an evaluation PC board in free air.

Electrical Specifications

T_A = 25°C, V_{DD} = 5V, V_{REF}^+ = 4.608V, V_{SS} = V_{EE} = V_{REF}^- = GND, LE Clocked at 20MHz, $R_L \geq 1 M\Omega$, Unless Otherwise Specified

PARAMETER	TEST CONDITIONS	MIN	TYP	MAX	UNITS
ACCURACY					
Resolution		8	-	-	Bits
Integral Linearity Error	See Figure 4				
CA3338		-	-	±1	LSB
CA3338A		-	-	±0.75	LSB
Differential Linearity Error	See Figure 4				
CA3338		-	-	±0.75	LSB
CA3338A		-	-	±0.5	LSB
Gain Error	Input Code = FF_{HEX}, See Figure 3				
CA3338		-	-	±0.75	LSB
CA3338A		-	-	±0.5	LSB
Offset Error	Input Code = 00_{HEX}, See Figure 3	-	-	±0.25	LSB
DIGITAL INPUT TIMING					
Update Rate	To Maintain $^1/_2$ LSB Settling	DC	50	-	MHz
Update Rate	V_{REF}^- = V_{EE} = -2.5V, V_{REF}^+ = +2.5V	DC	20	-	MHz
Set Up Time t_{SU1}	For Low Glitch	-	-2	-	ns
Set Up Time t_{SU2}	For Data Store	-	8	-	ns
Hold Time t_H	For Data Store	-	5	-	ns
Latch Pulse Width t_W	For Data Store	-	5	-	ns
Latch Pulse Width t_W	V_{REF}^- = V_{EE} = -2.5V, V_{REF}^+ = +2.5V	-	25	-	ns
OUTPUT PARAMETERS	R_L Adjusted for $1V_{P-P}$ Output				
Output Delay t_{D1}	From LE Edge	-	25	-	ns
Output Delay t_{D2}	From Data Changing	-	22	-	ns
Rise Time t_r	10% to 90% of Output	-	4	-	ns
Settling Time t_S	10% to Settling to $^1/_2$ LSB	-	20	-	ns
Output Impedance	V_{REF}^+ = 6V, V_{DD} = 6V	120	160	200	Ω
Glitch Area		-	150	-	pV/s
Glitch Area	V_{REF}^- = V_{EE} = -2.5V, V_{REF}^+ = +2.5V	-	250	-	pV/s

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Electrical Specifications $T_A = 25^oC$, $V_{DD} = 5V$, $V_{REF}+ = 4.608V$, $V_{SS} = V_{EE} = V_{REF}- = GND$, LE Clocked at 20MHz, $R_L \geq 1 M\Omega$, Unless Otherwise Specified (Continued)

PARAMETER	TEST CONDITIONS	MIN	TYP	MAX	UNITS
REFERENCE VOLTAGE					
$V_{REF}+$ Range	(+) Full Scale, Note 1	$V_{REF}- + 3$	-	V_{DD}	V
$V_{REF}-$ Range	(-) Full Scale, Note 1	V_{EE}	-	$V_{REF}+ - 3$	V
$V_{REF}+$ Input Current	$V_{REF}+ = 6V$, $V_{DD} = 6V$	-	40	50	mA
SUPPLY VOLTAGE					
Static I_{DD} or I_{EE}	LE = Low, D0 - D7 = High	-	100	220	µA
	LE = Low, D0 - D7 = Low	-	-	100	µA
Dynamic I_{DD} or I_{EE}	V_{OUT} = 10MHz, 0V to 5V Square Wave	-	20	-	mA
Dynamic I_{DD} or I_{EE}	V_{OUT} = 10MHz, ±2.5V Square Wave	-	25	-	mA
V_{DD} Rejection	50kHz Sine Wave Applied	-	3	-	mV/V
V_{EE} Rejection	50kHz Sine Wave Applied	-	1	-	mV/V
DIGITAL INPUTS D0 - D7, LE, COMP					
High Level Input Voltage	Note 1	2	-	-	V
Low Level Input Voltage	Note 1	-	-	0.8	V
Leakage Current		-	±1	±5	µA
Capacitance		-	5	-	pF
TEMPERATURE COEFFICIENTS					
Output Impedance		-	200	-	ppm/°C

NOTE:

1. Parameter not tested, but guaranteed by design or characterization.

Pin Descriptions

PIN	NAME	DESCRIPTION
1	D7	Most Significant Bit
2	D6	Input
3	D5	Data
4	D4	Bits
5	D3	(High = True)
6	D2	
7	D1	
8	V_{SS}	Digital Ground
9	D_0	Least Significant Bit, Input Data Bit
10	V_{EE}	Analog Ground
11	$V_{REF}-$	Reference Voltage Negative Input
12	V_{OUT}	Analog Output
13	$V_{REF}+$	Reference Voltage Positive Input
14	COMP	Data Complement Control Input, Active High
15	LE	Latch Enable Input, Active Low
16	V_{DD}	Digital Power Supply, +5V

Digital Signal Path

The digital inputs (LE, COMP, and D0 - D7) are of TTL compatible HCT High Speed CMOS design: the loading is essentially capacitive and the logic threshold is typically 1.5V.

The 8 data bits, D0 (weighted 2^0) through D7 (weighted 2^7), are applied to Exclusive OR gates (see Functional Diagram). The COMP (data complement) control provides the second input to the gates: if COMP is high, the data bits will be inverted as they pass through.

The input data and the LE (latch enable) signals are next applied to a level shifter. The inputs, operating between the levels of V_{DD} and V_{SS}, are shifted to operate between V_{DD} and V_{EE}. V_{EE} optionally at ground or at a negative voltage, will be discussed under bipolar operation. All further logic elements except the output drivers operate from the V_{DD} and V_{EE} supplies.

The upper 3 bits of data, D5 through D7, are input to a 3-to-7 line bar graph encoder. The encoder outputs and D0 through D4 are applied to a feedthrough latch, which is controlled by LE (latch enable).

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

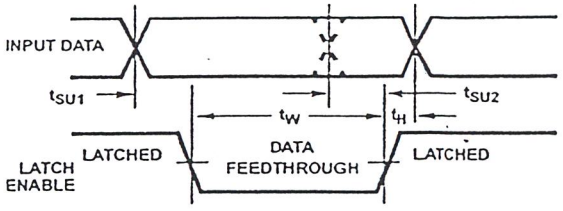


FIGURE 1. DATA TO LATCH ENABLE TIMING

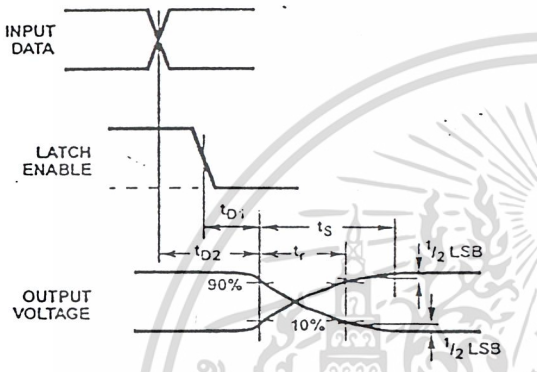


FIGURE 2. DATA AND LATCH ENABLE TO OUTPUT TIMING

Latch Operation

Data is fed from input to output while LE is low: LE should be tied low for non-clocked operation.

Non-clocked operation or changing data while LE is low is not recommended for applications requiring low output "glitch" energy: there is no guarantee of the simultaneous changing of input data or the equal propagation delay of all bits through the converter. Several parameters are given if the converter is to be used in either of these modes: t_{D2} gives the delay from the input changing to the output changing (10%), while t_{SU2} and t_H give the set up and hold times (referred to LE rising edge) needed to latch data. See Figures 1 and 2.

Clocked operation is needed for low "glitch" energy use. Data must meet the given t_{SU1} set up time to the LE falling edge, and the t_H hold time from the LE rising edge. The delay to the output changing, t_{D1}, is now referred to the LE falling edge.

There is no need for a square wave LE clock; LE must only meet the minimum t_W pulse width for successful latch operation. Generally, output timing (desired accuracy of settling) sets the upper limit of usable clock frequency.

Output Structure

The latches feed data to a row of high current CMOS drivers, which in turn feed a modified R2R ladder network.

The "N" channel (pull down) transistor of each driver plus the bottom "2R" resistor are returned to V_{REF}- this is the (-) full-scale reference. The "P" channel (pull up) transistor of each driver is returned to V_{REF}+, the (+) full-scale reference.

In unipolar operation, V_{REF}- would typically be returned to analog ground, but may be raised above ground (see specifications). There is substantial code dependent current that flows from V_{REF}+ to V_{REF}- (see V_{REF}+ input current in specifications), so V_{REF}- should have a low impedance path to ground.

In bipolar operation, V_{REF}- would be returned to a negative voltage (the maximum voltage rating to V_{DD} must be observed). V_{EE}, which supplies the gate potential for the output drivers, must be returned to a point at least as negative as V_{REF}-. Note that the maximum clocking speed decreases when the bipolar mode is used.

Static Characteristics

The ideal 8-bit D/A would have an output equal to V_{REF}- with an input code of 00_{HEX} (zero scale output), and an output equal to 255/256 of V_{REF}+ (referred to V_{REF}-) with an input code of FF_{HEX} (full scale output). The difference between the ideal and actual values of these two parameters are the OFFSET and GAIN errors, respectively; see Figure 3.

If the code into an 8-bit D/A is changed by 1 count, the output should change by 1/255 (full scale output - zero scale output). A deviation from this step size is a differential linearity error, see Figure 4. Note that the error is expressed in fractions of the ideal step size (usually called an LSB). Also note that if the (-) differential linearity error is less (in absolute numbers) than 1 LSB, the device is monotonic. (The output will always increase for increasing code or decrease for decreasing code).

If the code into an 8-bit D/A is at any value, say "N", the output voltage should be N/255 of the full scale output (referred to the zero scale output). Any deviation from that output is an integral linearity error, usually expressed in LSBs. See Figure 4.

Note that OFFSET and GAIN errors do not affect integral linearity, as the linearity is referenced to actual zero and full scale outputs, not ideal. Absolute accuracy would have to also take these errors into account.

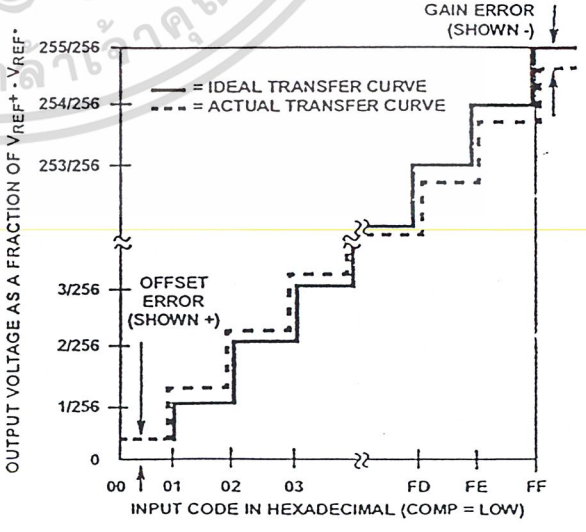


FIGURE 3. D/A OFFSET AND GAIN ERROR

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

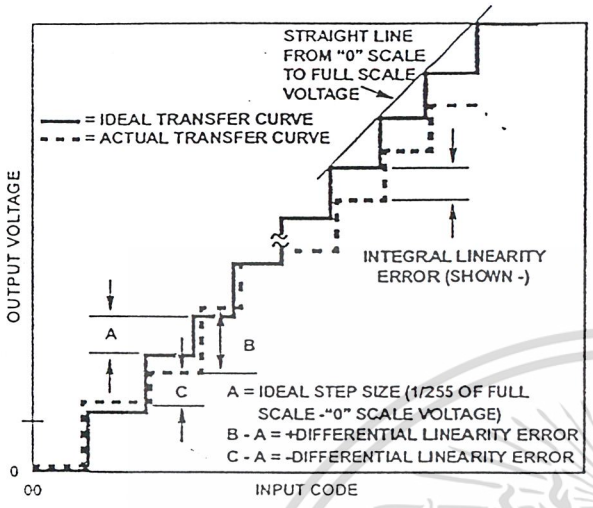


FIGURE 4. D/A INTEGRAL AND DIFFERENTIAL LINEARITY ERROR

Dynamic Characteristics

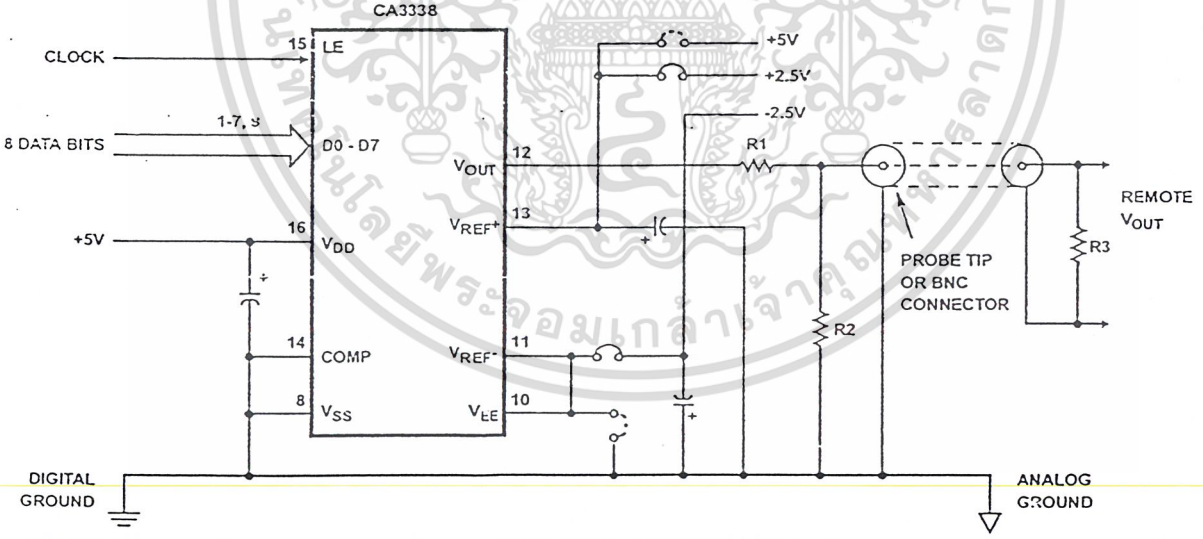
Keeping the full-scale range ($V_{REF}+ - V_{REF}-$) as high as possible gives the best linearity and lowest "glitch" energy (referred to 1V). This provides the best "P" and "N" channel gate drives (hence saturation resistance) and propagation delays. The $V_{REF}+$ (and $V_{REF}-$ if bipolar) terminal should be well bypassed as near the chip as possible.

"Glitch" energy is defined as a spurious voltage that occurs as the output is changed from one voltage to another. In a binary input converter, it is usually highest at the most significant bit transition ($7F_{HEX}$ to 80_{HEX} for an 8 bit device), and can be measured by displaying the output as the input code alternates around that point. The "glitch" energy is the area between the actual output display and an ideal one LSB step voltage (subtracting negative area from positive), at either the positive or negative-going step. It is usually expressed in pV/s.

The CA3338 uses a modified R2R ladder, where the 3 most significant bits drive a bar graph decoder and 7 equally weighted resistors. This makes the "glitch" energy at each $^1/_8$ scale transition ($1F_{HEX}$ to 20_{HEX}, $3F_{HEX}$ to 40_{HEX}, etc.) essentially equal, and far less than the MSB transition would otherwise display.

For the purpose of comparison to other converters, the output should be resistively divided to 1V full scale. Figure 5 shows a typical hook-up for checking "glitch" energy or settling time.

The settling time of the A/D is mainly a function of the output resistance (approximately 160Ω in parallel with the load resistance) and the load plus internal chip capacitance. Both "glitch" energy and settling time measurements require very good circuit and probe grounding: a probe tip connector such as Tektronix part number 131-0258-00 is recommended.



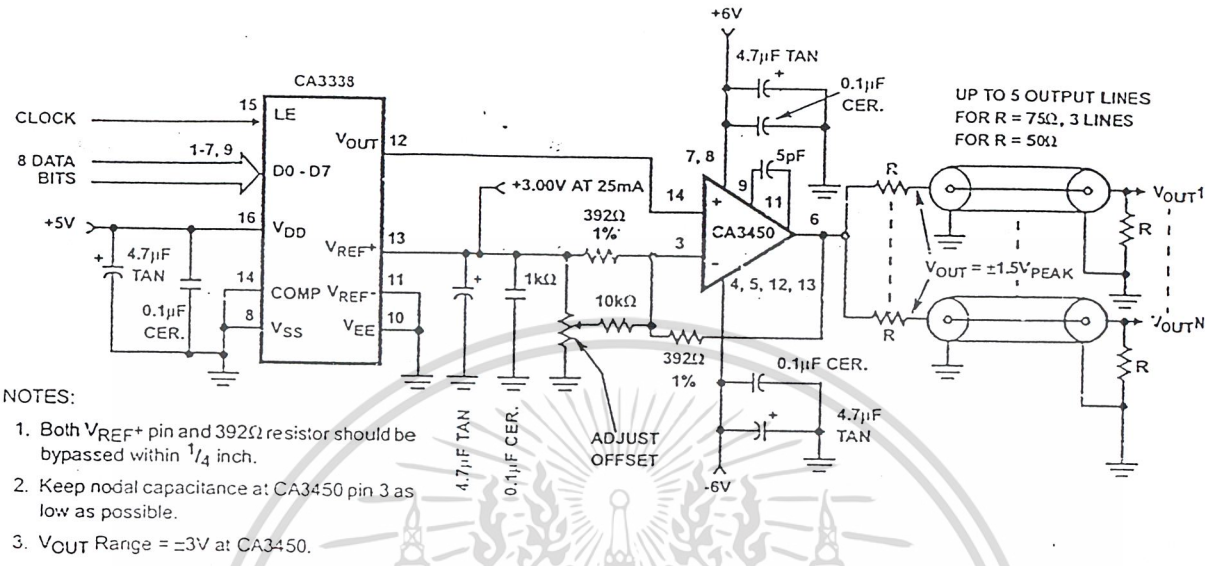
FUNCTION	CONNECTOR	R1	R2	R3	V_{OUT} (P-P)
Oscilloscope Display	Probe Tip	82Ω	62Ω	N/C	1V
Match 93Ω Cable	BNC	75	160	93	1V
Match 75Ω Cable	BNC	18	130	75	1V
Match 50Ω Cable	BNC	Short	75	50	0 79V

NOTES:

2. $V_{OUT(P-P)}$ is approximate, and will vary as R_{OUT} of D/A varies.
3. All drawn capacitors are 0.1µF multilayer ceramic/4.7µF tantalum.
4. Dashed connections are for unipolar operation. Solid connection are for bipolar operation.

FIGURE 5. CA3338 DYNAMIC TEST CIRCUIT

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



NOTES:

1. Both V_{REF}+ pin and 392Ω resistor should be bypassed within $^1/_4$ inch.
2. Keep nodal capacitance at CA3450 pin 3 as low as possible.
3. V_{OUT} Range = ±3V at CA3450.

FIGURE 6. CA3338 AND CA3450 FOR DRIVING MULTIPLE COAXIAL LINES

TABLE 1. OUTPUT VOLTAGE vs INPUT CODE AND V_{REF}

V_{REF}+	5.12V	5.00V	4.608V	2.56V	2.50V
V_{REF}-	0	0	0	-2.56V	-2.50V
STEP SIZE	0.0200V	0.0195V	0.0180V	0.0200V	0.0195V
Input Code					
11111111_2 = FF_{HEX}	5.1000V	4.9805V	4.5900V	2.5400V	2.4805V
11111110_2 = FE-HEX	5.0800	4.9610	4.5720	2.5200	2.4610
.					
.					
.					
10000001_2 = 81_{HEX}	2.5800	2.5195	2.3220	0.0200	0.0195
10000000_2 = 80_{HEX}	2.5600	2.5000	2.3040	0.0000	0.0000
01111111_2 = $7F_{HEX}$	2.5400	2.4805	2.2860	-0.0200	-0.0195
.					
.					
.					
00000001_2 = 01_{HEX}	0.0200	0.0195	0.0180	-2.5400	-2.4805
00000000_2 = 00_{HEX}	0.0000	0.0000	0.0000	-2.5600	-2.5000

Applications

The output of the CA3338 can be resistively divided to match a doubly terminated 50Ω or 75Ω line, although peak-to-peak swings of less than 1V may result. The output magnitude will also vary with the converter's output impedance. Figure 5 shows such an application. Note that because of the HCT input structure, the CA3338 could be operated up to +7.5V V_{DD} and V_{REF}+ supplies and still accept 0V to 5V CMOS input voltages.

If larger voltage swings or better accuracy is desired, a high speed output buffer, such as the HA-5033, HA-2542, or CA3450, can be employed. Figure 6 shows a typical application, with the output capable of driving ±2V into multiple 50Ω terminated lines.

Operating and Handling Considerations

HANDLING

All inputs and outputs of CMOS devices have a network for electrostatic protection during handling. Recommended handling practices for CMOS devices are described in AN6525, "Guide to Better Handling and Operation of CMOS Integrated Circuits."

OPERATING

Operating Voltage

During operation near the maximum supply voltage limit, care should be taken to avoid or suppress power supply turn-on and turn-off transients, power supply ripple, or ground noise; any of these conditions must not cause the absolute maximum ratings to be exceeded.

Input Signals

To prevent damage to the input protection circuit, input signals should never be greater than V_{DD} nor less than V_{SS}. Input currents must not exceed 20mA even when the power supply is off.

Unused Inputs

A connection must be provided at every input terminal. All unused input terminals must be connected to either V_{CC} or GND, whichever is appropriate.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

HARRIS SEMICONDUCTOR

HARRIS · RCA · GE · INTERSIL

Operational Amplifiers

CA3450

May 1990

Video Line Driver, High-Speed Operational Amplifiers

Features:

- *High open loop gain at video frequencies: A_{OL} = > 40 dB at f = 5 MHz*
- *Power bandwidth of 10 MHz; $A_{Closed\ Loop}$ = 5; V_O = ±3.5 V*
- *Slew rate of 330 V/µsec ($A_V \geq 10$) at full load*
- *f_T = 220 MHz; C_C = 5pF with a load of 50 ohm || 20 pF || 1 MΩ (scope input)*
- *V_{OUT} = ±4.1 V into 75 Ω*
- *Offset null terminals*

Applications:

- *Video line driver*
- *High-frequency unity gain buffer*
- *Pulse amplifier*
- *High-speed comparator*
- *High-frequency oscillator and video amplifiers*
- *Driver for A/Ds in video applications: 10 MHz BW*

The CA3450* is a large signal video line driver and high speed operational amplifier capable of driving 50 ohm transmission lines and flash A/Ds. The uncompensated unity gain crossing occurs at 230 MHz without load. It can operate dual or single supplies of ±7.25 V or 14.5 V, respectively. The CA3450 can be compensated with a single capacitor network. It has output drive capability of 75 mA SINK or SOURCE. The CA3450 is capable of driving Flash A/D's in video or high-speed instrumentation (accurate) applications with bandwidth up to 10 MHz. Offset voltage nulling terminals are also available.

The CA3450 is available in a 16-lead dual-in-line plastic package (E suffix).

*Formerly RCA Development Type No. TA11371A.

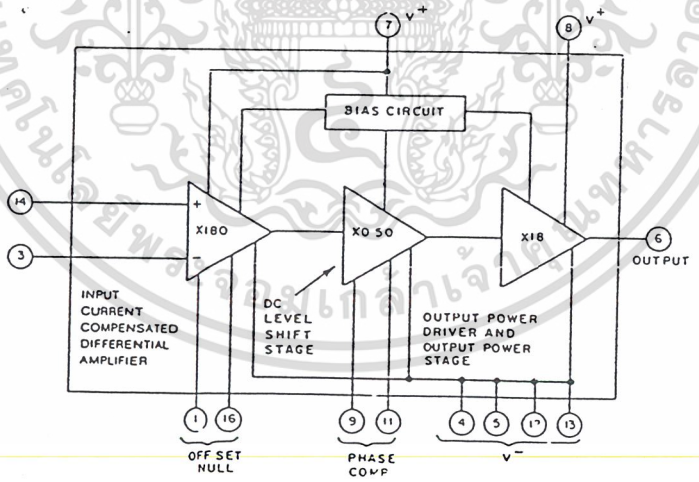


Figure 1 - Block diagram of the CA3450.

Copyright © Harris Corporation 1990

File Number 1732

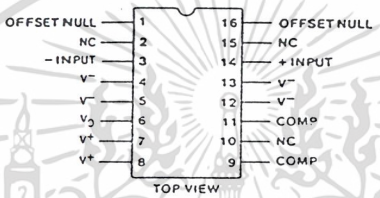
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

MAXIMUM RATINGS, *Absolute-Maximum Values*

DC SUPPLY VOLTAGE (BETWEEN V+ AND V- TERMINAL) ..... 14.5 V
DIFFERENTIAL INPUT VOLTAGE ..... ±5 V
DEVICE DISSIPATION:
- Up to 55°C ..... 1.5 W
- Above 55°C ..... Derate linearly at 16.6 mW/°C

OUTPUT CURRENT (SINK OR SOURCE) ..... 100 mA
TEMPERATURE RANGE
- Operating ..... -40°C to 85°C
- Storage ..... -55°C to 150°C

MAXIMUM JUNCTION TEMPERATURE ..... 150°C
MAXIMUM THERMAL RESISTANCE
- Junction to Air (θJ-A) ..... 60°C/W
- Junction to Case (θJ-C) ..... 12°C/W
- To pins 4, 5, 12, 13 at seat



TERMINAL ASSIGNMENT

ELECTRICAL CHARACTERISTICS, *At T_A = 25°C, C_C = 5 pF, V+, V- = 6 V**

CHARACTERISTICS	CONDITIONS		LIMITS MIN.	LIMITS TYP.	LIMITS MAX.	UNITS
STATIC						
Input Offset Voltage, $\|V_{IO}\|$	T_A = 25°C		—	8	20	mV
	T_A = -40°C to 85°C		—	10	35	
Input Bias Current, $\|I_{IB}\|$	T_A = 25°C		—	100	400	nA
Input Offset Current, $\|I_{IO}\|$	T_A = 25°C		—	50	200	
Open Loop DC Gain, A_{OL}	V_{OUT} = ±2.5 V; R_L = 50 Ω	-40°C to 85°C	55	—	—	
		25°C	60	70	—	
Power Supply Rejection Ratio, P_{SRR}	ΔV = ±1 V		55	65	—	dB
Common-Mode Rejection Ratio, C_{MRR}	V_{ICR} = ±3.5 V		50	60	—	
Common-Mode Input Range, V_{ICR}	T_A = -40°C to 85°C		±3.0	—	—	V
	T_A = 25°C		±3.5	±3.7	—	
Supply current I	T_A = -40°C to 85°C		—	—	50	mA
	T_A = 25°C		—	30	40	

*All test are performed with ± 6 volts at the terminals of the device.

A 10 ohm, ¼ watt supply decoupling resistor is shown in all application circuits of this device. The resistor serves two purpose, first provides a means of decoupling the IC directly at its terminal without introducing additional supply resonance due to parallel connected capacitors. Secondly, it also provides protection for the device in event of a substained short circuit applied directly to the output terminals.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ELECTRICAL CHARACTERISTICS, *At T_A = 25°C, C_C = 5 pF, V+, V- = 6 V**

CHARACTERISTICS	CONDITIONS		LIMITS MIN.	LIMITS TYP.	LIMITS MAX.	UNITS
DYNAMIC						
-3 dB Bandwidth A_V = 1 (See Figure 3) C_C = 5 pF	No Load		—	200	—	MHz
	R_L = 1 MΩ‖20 pF		—	190	—	
	R_L = 50 Ohms‖20 pF		—	185	—	
Bandwidth (Unity Gain Crossing) A_V = Open Loop C_C = 0 (See Figure 2)	No Load		210	230	—	
	R_L = 20 pF‖1 MΩ		180	200	—	
	R_L = 50 Ohms‖20 pF		180	220	—	
Bandwidth (Unity Gain Crossing) $A_V \geq 10$, C_C = 0 pF $R_{Feedback}$ = 450 Ω $R_{Pin\ 3-G}$ = 50 Ω (See Figure 3)	No Load		200	210	—	
	50 Ω		175	190	—	
	1 M‖20 pF		180	195	—	
	50 Ω‖1 M‖20 pF		170	188	—	
Transient Response, Overshoot	A_V = 1, C_C = 5 pF	R_L = 50 Ω‖20 pF	—	30	—	%
		No Load	—	20	—	
	$A_V \geq 10$, C_C = 0 pF, R_L = 50 Ω‖20 pF		—	10	—	
Settling Time (See Figure 6)	2 Volt Step R_L = 50 Ω‖20 pF	A_V = -1, C_C = 5 pF, 0.1%, 10 Bits	—	35	—	ns
		A_V = 1, C_C = 5 pF, 0.1%, 10 Bits	—	50	—	
		A_V = 10, C_C = 0 pF, 0.1%, 10 Bits	—	35	—	
		A_V = 10, C_C = 0 pF, 1.0%, 7 Bits	—	25	—	
Slew Rate, SR (See Figure 3)	A_V = 1, C_C = 5 pF	No Load	—	220	—	V/μs
		R_L = 50 Ω‖20 pF	—	160	—	
	$A_V \geq 10$, C_C = 0 pF	No Load	370	440	—	
		R_L = 50 Ω‖20 pF	300	330	—	
Power Bandwidth PBW (MHz) PBW = SR/Ω Vpp	A_V = 5, C_C = 5 pF V_{OUT} = ±3.5 V	No Load	—	10	—	MHz
		R_L = 50 Ω‖20 pF	—	7.2	—	
	A_V > 10, C_C = 0 pF V_{OUT} = ±2.0 V	No Load	29	35	—	
		R_L = 50 Ω‖20 pF	24	26	—	
Input Noise Voltage e_n	f = 1 KHz		—	12	—	$nV\sqrt{Hz}$
Differential Gain	See Figure 15		—	0.6	—	%
Differential Phase			—	0.3	—	Degrees
I_{OUT}	Into +4 V or -4 V		60	75	60	mA
Output Voltage Swing into 75 Ohms	V_{OM^+}		3.9	+4.1	—	V
	V_{OM^-}		-3.9	-4.1	—	
Input Capacitance, C_I	f = 1 MHz		—	2.2	—	pF
Input Resistance, R_I			—	1	—	MΩ
Output Resistance, R_{OUT}	See Figure 13, A = 1, 30 MHz		—	4	—	Ω

*All test are performed with ±6 volts at the terminals of the device.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

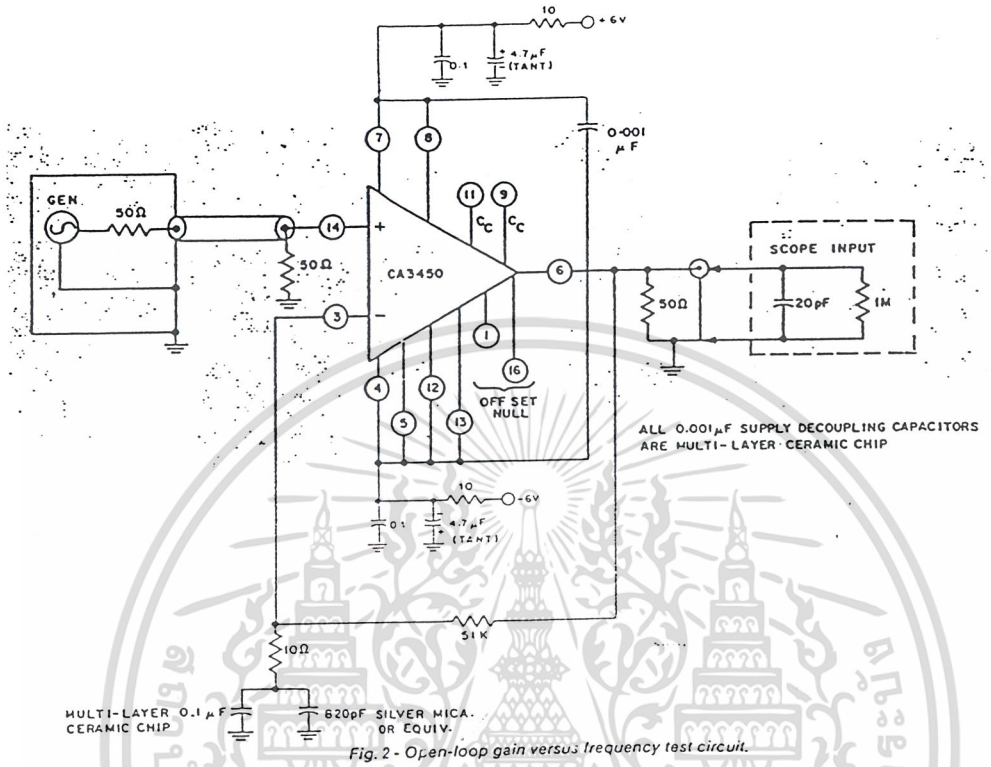


Fig. 2 - Open-loop gain versus frequency test circuit.

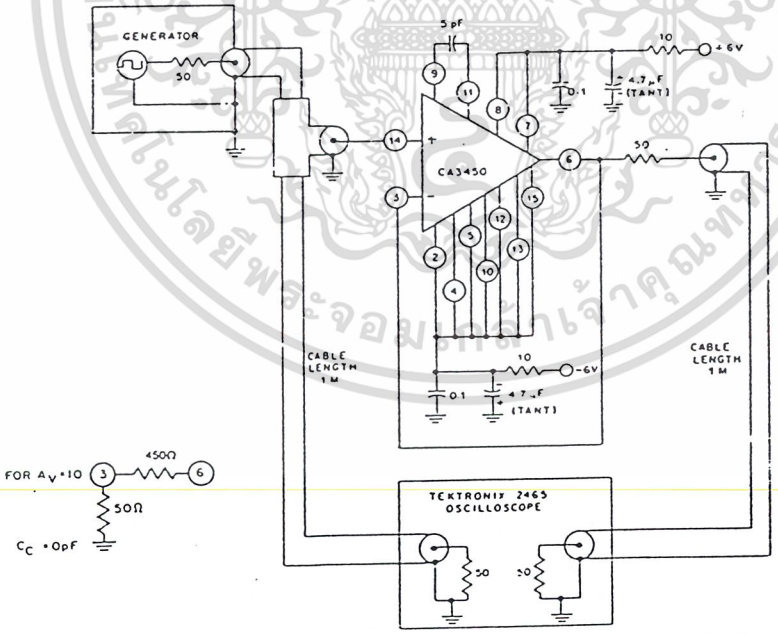


Fig. 3 - Unity-gain and X10 non-inverting amplifier/and slew rate test circuit.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Transient Response Waveforms

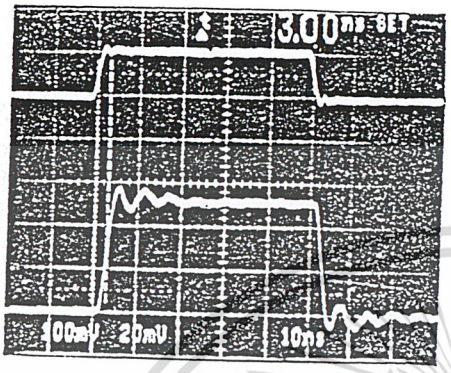


Figure 4 – Transient-response waveform.

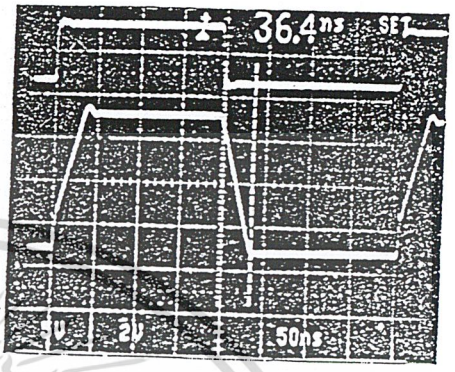


Figure 5 – Slew-rate waveform.

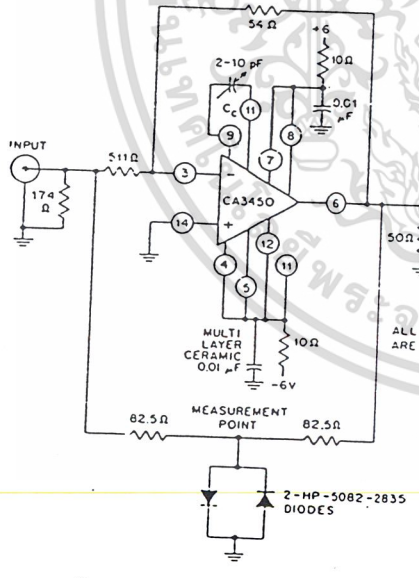


Figure 6 – Circuit used to measure settling time.

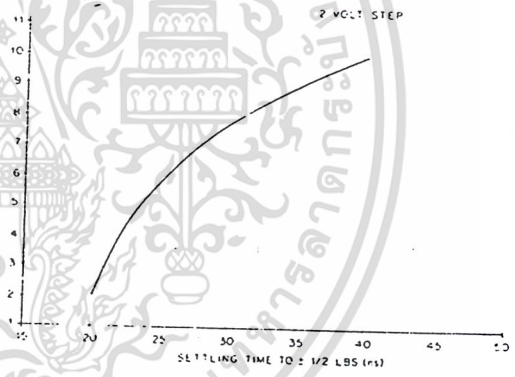


Figure 7 – Accuracy in bits as a function of settling time.

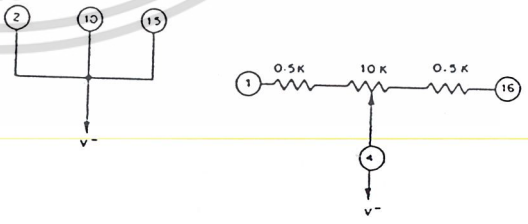


Figure 8 – Nulling circuit for the CA3450.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Typical Performance Curves

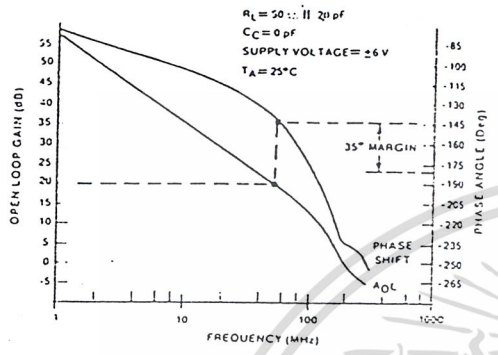


Figure 9 -Bode plot for the CA3450.

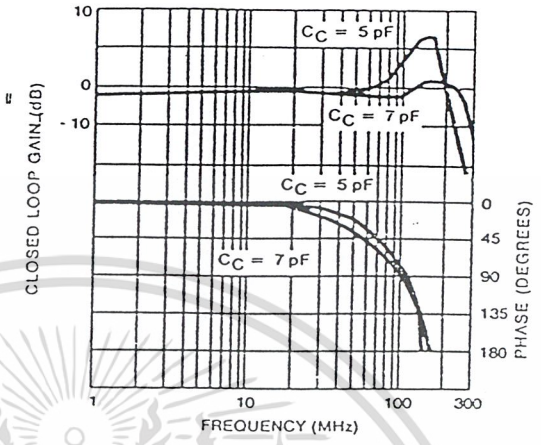


Figure 10 - Closed loop gain and phase vs frequency. (A_V = 1)

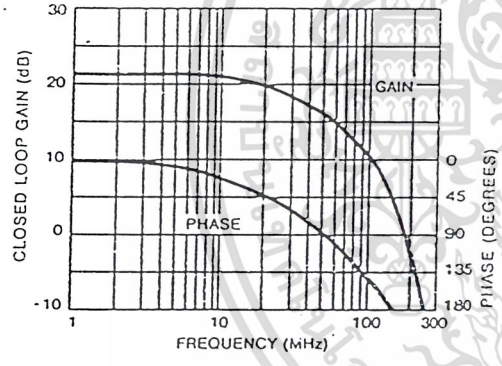


Figure 11 - Closed loop gain and phase vs frequency. (A_V = 10)

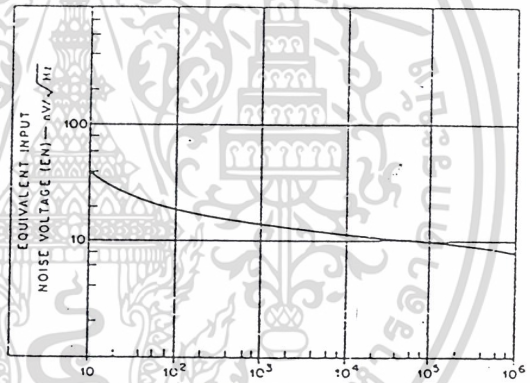


Figure 12 - Curve showing the equivalent input noise "e_n" of the op amp.

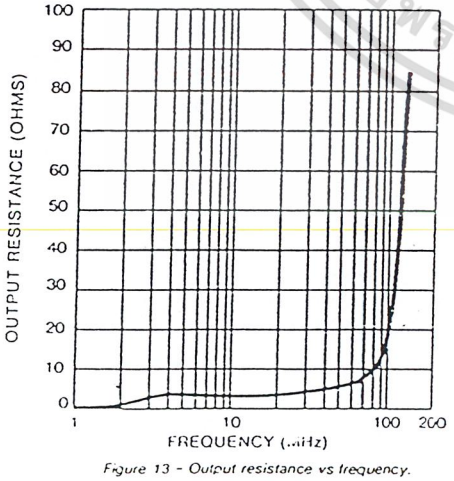


Figure 13 - Output resistance vs frequency.

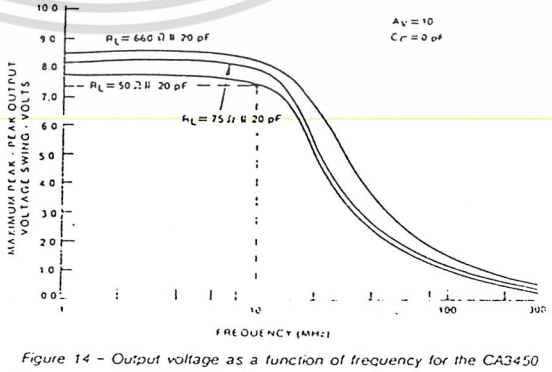


Figure 14 - Output voltage as a function of frequency for the CA3450 under various loads.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

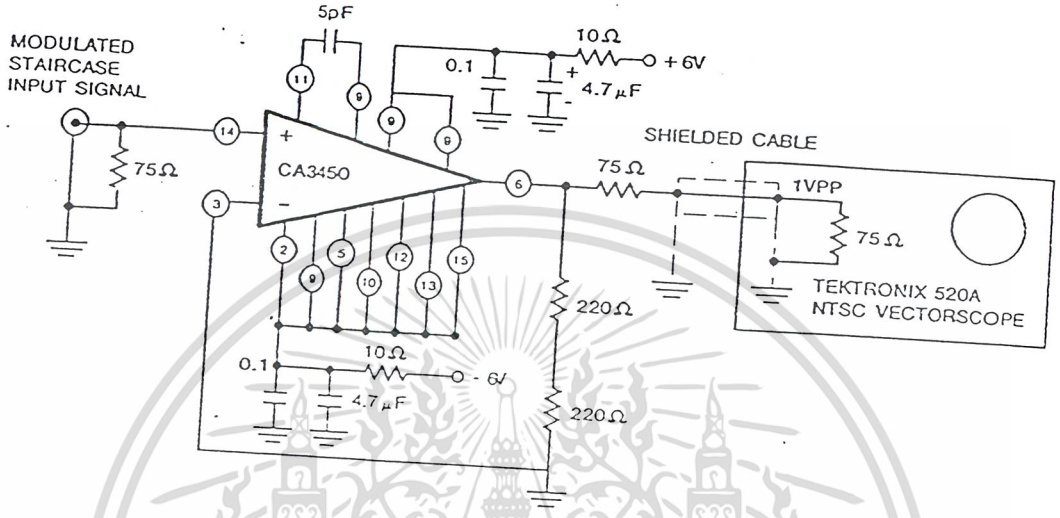


Figure 15 - Configuration used to measure differential gain and phase.

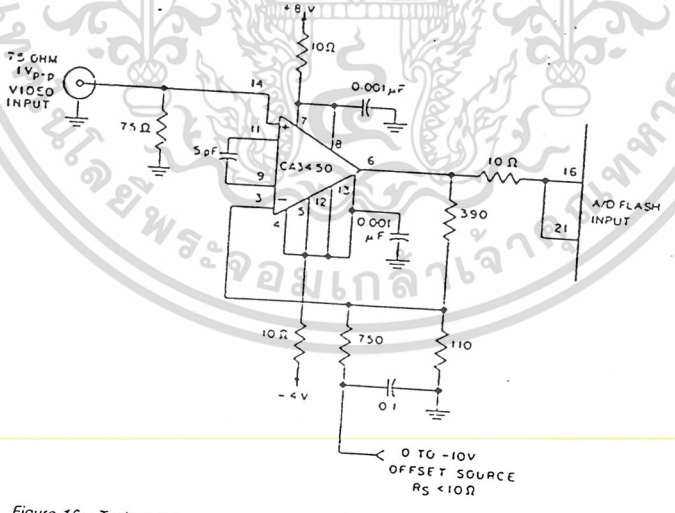


Figure 16 - Typical high-bandwidth X5 amplifier for driving the CA3318 Flash A/D.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

National Semiconductor

LM1881 Video Sync Separator

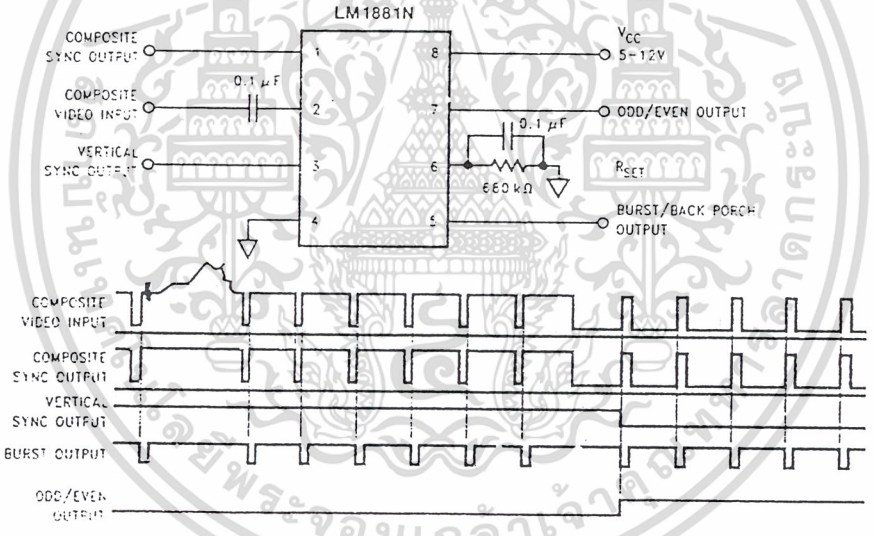
General Description

The LM1881 Video sync separator extracts timing information including composite and vertical sync, burst/back porch timing, and odd/even field information from standard negative going sync NTSC, PAL*, and SECAM video signals with amplitude from 0.5V to 2V p-p. The integrated circuit is also capable of providing sync separation for non-standard, faster horizontal rate video signals. The vertical output is produced on the rising edge of the first serration in the vertical sync period. A default vertical output is produced after a time delay if the rising edge mentioned above does not occur within the externally set delay period, such as might be the case for a non-standard video signal.

Features

- AC coupled composite input signal
- >10 kΩ input resistance
- <10 mA power supply drain current
- Composite sync and vertical outputs
- Odd/even field output
- Burst gate/back porch output
- Horizontal scan rates to 150 kHz
- Edge triggered vertical output
- Default triggered vertical output for non-standard video signal (video games-home computers)

Connection Diagram



Order Number LM1881M or LM1881N
See NS Package Number M08A or N08E

*PAL in this datasheet refers to European broadcast TV standard "Phase Alternating Line", and not to Programmable Array Logic

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Absolute Maximum Ratings

If Military/Aerospace specified devices are required, please contact the National Semiconductor Sales Office/Distributors for availability and specifications.

Supply Voltage	13.2V
Input Voltage	3 Vpp (V_{CC} = 5V) 6 Vpp (V_{CC} ≥ 8V)
Output Sink Currents; Pins 1, 3, 5	5 mA
Output Sink Current; Pin 7	2 mA
Package Dissipation (Note 1)	1100 mW
Operating Temperature Range	0°C − 70°C
Storage Temperature Range	−65°C to +150°C
ESD Susceptibility (Note 2)	2 kV
Soldering Information	
Dual-In-Line Package (10 sec.)	260°C
Small Outline Package	
Vapor Phase (60 sec.)	215°C
Infrared (15 sec.)	220°C

See AN-450 "Surface Mounting Methods and their Effect on Product Reliability" for other methods of soldering surface mount devices.

Electrical Characteristics

V_{CC} = 5V; Rset = 680 kΩ; T_A = 25°C; Unless otherwise specified

Parameter	Conditions		Typ	Tested Limit (Note 3)	Design Limit (Note 4)	Units (Limits)
Supply Current	Outputs at Logic 1	V_{CC} = 5V	5.2	10		mAmax
		V_{CC} = 12V	5.5	12		mAmax
DC Input Voltage	Pin 2		1.5	1.3		Vmin
				1.8		Vmax
Input Threshold Voltage	Note 5		70	55		mVmin
				85		mVmax
Input Discharge Current	Pin 2; V_{IN} = 2V		11	6		µAmin
				16		µAmax
Input Clamp Charge Current	Pin 2, V_{IN} = 1V		0.8	0.2		mAmin
R_{SET} Pin Reference Voltage	Pin 6; Note 6		1.22	1.10		Vmin
				1.35		Vmax
Composite Sync. & Vertical Outputs	I_{OUT} = 40 µA; Logic 1	V_{CC} = 5V	4.5	4.0		Vmin
		V_{CC} = 12V		11.0		Vmin
	I_{OUT} = 1.6 mA Logic 1	V_{CC} = 5V	3.6	2.4		Vmin
		V_{CC} = 12V		10.0		Vmin
Burst Gate & Odd/Even Outputs	I_{OUT} = 40 µA; Logic 1	V_{CC} = 5V	4.5	4.0		Vmin
		V_{CC} = 12V		11.0		Vmin
Composite Sync. Output	I_{OUT} = −1.6 mA; Logic 0; Pin 1		0.2	0.8		Vmax
Vertical Sync. Output	I_{OUT} = −1.6 mA; Logic 0; Pin 3		0.2	0.8		Vmax
Burst Gate Output	I_{OUT} = −1.6 mA; Logic 0; Pin 5		0.2	0.8		Vmax
Odd/Even Output	I_{OUT} = −1.6 mA; Logic 0; Pin 7		0.2	0.8		Vmax
Vertical Sync Width			230	190		µsmin
				300		µsmax
Burst Gate Width	2.7 kΩ from Pin 5 to V_{CC}		4	2.5		µsmin
				4.7		µsmax
Vertical Default Time	Note 7		65	32		µsmin
				90		µsmax

Note 1: For operation in ambient temperatures above 25°C, the device must be derated based on a 150°C maximum junction temperature and a package thermal resistance of 110° C/W, junction to ambient.

Note 2: ESD susceptibility test uses the "human body model, 100 pF discharged through a 1.5 kΩ resistor."

Note 3: Typicals are at T_J = 25°C and represent the most likely parametric norm.

Note 4: Tested Limits are guaranteed to National's AOQL (Average Outgoing Quality Level).

Note 5: Relative difference between the input clamp voltage and the minimum input voltage which produces a horizontal output pulse.

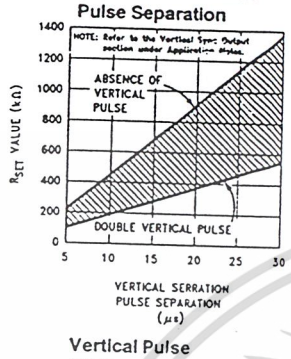
Note 6: Careful attention should be made to prevent parasitic capacitance coupling from any output pin (Pins 1, 3, 5, and 7) to the R_{SET} pin (Pin 6).

Note 7: Delay time between the start of vertical sync (at input) and the vertical output pulse.

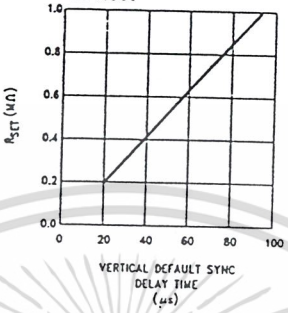
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Typical Performance Characteristics

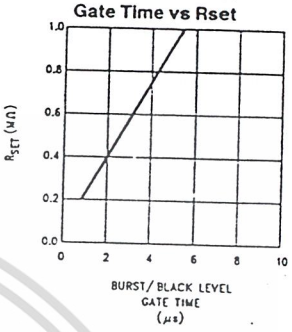
R_{set} Value Selection vs Vertical Serration Pulse Separation



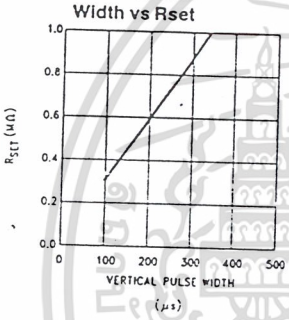
Vertical Default Sync Delay Time vs Rset



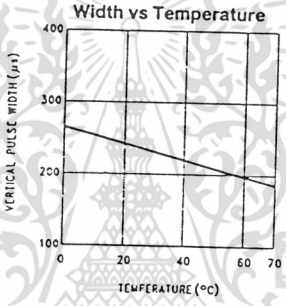
Burst/Black Level Gate Time vs Rset



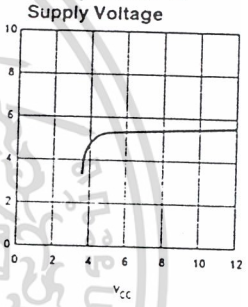
Vertical Pulse Width vs Rset



Vertical Pulse Width vs Temperature



Supply Current vs Supply Voltage



TL/H/9150–2

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Application Notes

The LM1881 is designed to strip the synchronization signals from composite video sources that are in, or similar to, the N.T.S.C. format. Input signals with positive polarity video (increasing signal voltage signifies increasing scene brightness) from 0.5V (p-p) to 2V (p-p) can be accommodated. The LM1881 operates from a single supply voltage between 5V DC and 12V DC. The only required external components beside power supply and set current decoupling are the input coupling capacitor and a single resistor that sets internal current levels, allowing the LM1881 to be adjusted for source signals with line scan frequencies differing from 15.734 kHz. Four major sync signals are available from the I/C: composite sync including both horizontal and vertical scan timing information; a vertical sync pulse; a burst gate or back porch clamp pulse; and an odd/even output. The odd/even output level identifies which video field of an interlaced video source is present at the input. The outputs from the LM1881 can be used to gen-lock video camera/VTR signals with graphics sources, provide identification of video fields for memory storage, recover suppressed or contaminated sync signals, and provide timing references for the extraction of coded or uncoded data on specific video scan lines.

To better understand the LM1881 timing information and the type of signals that are used, refer to *Figure 2(a–e)* which shows a portion of the composite video signal from the end of one field through the beginning of the next field.

COMPOSITE SYNC OUTPUT

The composite sync output, *Figure 2(b)*, is simply a reproduction of the signal waveform below the composite video black level, with the video completely removed. This is obtained by clamping the video signal sync tips to 1.5V DC at Pin 2 and using a comparator threshold set just above this voltage to strip the sync signal, which is then buffered out to Pin 1. The threshold separation from the clamped sync tip is nominally 70 mV which means that for the minimum input level of 0.5V (p-p), the clipping level is close to the halfway point on the sync pulse amplitude (shown by the dashed line on *Figure 2(a)*). This threshold separation is independent of the signal amplitude, therefore, for a 2V (p-p) input the clipping level occurs at 11% of the sync pulse amplitude. The charging current for the input coupling capacitor is 0.8 mA, whereas the discharge current is only 11 μA, typically. This allows relatively small capacitor values to be used—0.1 μF is generally recommended.

Normally the signal source for the LM1881 is assumed to be clean and relatively noise-free, but some sources may have excessive video peaking, causing high frequency video and chroma components to extend below the black level reference. Some video discs keep the chroma burst pulse present throughout the vertical blanking period so that the burst actually appears on the sync tips for three line periods instead of at black level. A clean composite sync signal can be generated from these sources by filtering the input signal. When the source impedance is low, typically 75Ω, a 620Ω resistor in series with the source and a 510 pF capacitor to ground will form a low pass filter with a corner frequency of 500 kHz. This bandwidth is more than sufficient to pass the sync pulse portion of the waveform; however, any subcarrier content in the signal will be attenuated by almost 18 dB, effectively taking it below the comparator threshold. Filtering will also help if the source is contaminated with thermal noise. The output waveforms will become delayed from between 40 ns to as much as 200 ns due to th This much delay will not usually be significant but contribute to the sync delay produced by any additio nal processing. Since the original video may also u processing, the need for time delay correction will d on the total system, not just the sync stripper.

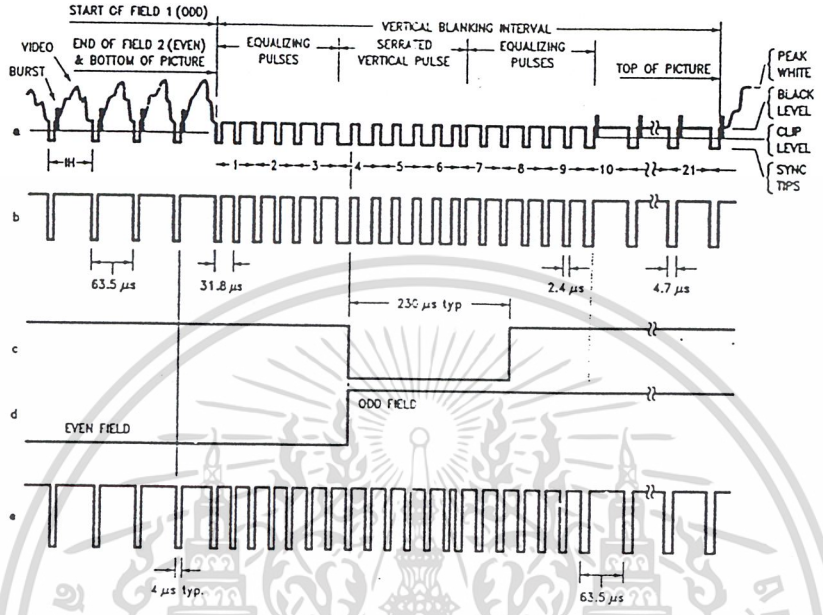
VERTICAL SYNC OUTPUT

A vertical sync output is derived by internally integrat composite sync waveform *(Figure 3)*. To understa generation of the vertical sync pulse, refer to the low hand section *Figure 3*. Note that there are two compa in the section. One comparator has an internally gen voltage reference called V_1 going to one of its input other comparator has an internally generated voltage called V_2 going to one of its inputs. Both compa have a common input at their noninverting input c from the internal integrator. The internal integrator is for integrating the composite sync signal. This signal c from the input side of the composite sync buffer ar positive going sync pulses. The capacitor to the inte is internal to the LM1881. The capacitor charge cur set by the value of the external resistor R_{set}. The out the integrator is going to be at a low voltage durin normal horizontal lines because the integrator has a short time to charge the capacitor, which is during the zontal sync period. The equalization pulses will kee output voltage of the integrator at about the same below the V_1. During the vertical sync period the n going positive pulses shown in *Figure 2* is called the s tion pulse. The wide negative portion of the vertica period is called the vertical sync pulse. At the start o vertical sync period, before the first Serration pulse oc the integrator now charges the capacitor to a much h voltage. At the first serration pulse the integrator o should be between V_1 and V_2. This would give a high at the output of the comparator with V_1 as one of its i This high is clocked into the "D" flip-flop by the fa ng of the serration pulse (remember the sync signal is inv in this section of the LM1881). The "Q" output of the flip-flop goes through the OR gate, and sets the R S flop. The output of the R/S flip-flop enables the os oscillator and also clocks the ODD/EVEN "D" flip-flo ODD/EVEN field pulse operation is covered in the nex tion. The output of the oscillator goes to a divide by 8 c thus resetting the R/S flip-flop after 8 cycles of the os tor. The frequency of the oscillator is established by internal capacitor going to the oscillator and the exte R_{set}. The "$\overline{Q}$" output of the R/S flip-flop goes to c nd s the actual vertical sync output of the LM1881. By clo the "D" flip-flop at the start of the first serration p means that the vertical sync output pulse starts at the in time and lasts for eight cycles of the internal oscil shown in *Figure 2*.

How R_{set} affects the integrator and the internal osc shown under the Typical Performance Characteristics first graph is "R_{set} Value Selection vs Vertical Se Pulse Separation". For this graph to be valid, the ver sync pulse should last for at least 85% of the horizonta line (47% of a full horizontal line). A vertical sync pulse any standard should meet this requirement; both NTSC PAL do meet this requirement (the serration pulses remainder of the period, 10% to 15% of the horizo

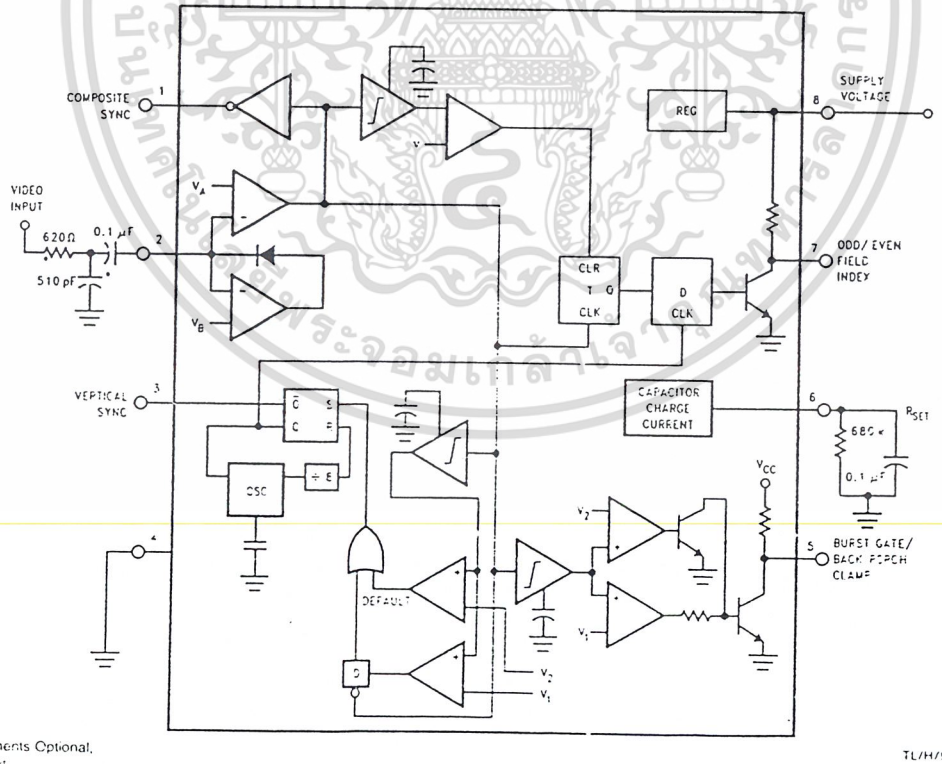
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Application Notes (Continued)



TL/H/9150–3

FIGURE 2. (a) Composite Video; (b) Composite Sync; (c) Vertical Output Pulse; (d) Odd/Even Field Index; (e) Burst Gate/Back Porch Clamp



*Components Optional, See Text

TL/H/9150–4

FIGURE 3

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Application Notes (Continued)

half line). Remember this pulse is a positive pulse at the integrator but negative in *Figure 2*. This graph shows how long it takes the integrator to charge its internal capacitor above V_1.

WITH R_{set} too large the charging current of the integrator will be too small to charge the capacitor above V_1, thus there will be no vertical synch output pulse. As mentioned above, R_{set} also sets the frequency of the internal oscillator. If the oscillator runs too fast its eight cycles will be shorter than the vertical sync portion of the composite sync. Under this condition another vertical sync pulse can be generated on one of the later serration pulses after the divide by 8 circuit resets the R/S flip-flop. The first graph also shows the minimum R_{set} necessary to prevent a double vertical pulse, assuming that the serration pulses last for only three full horizontal line periods (six serration pulses for NTSC). The actual pulse width of the vertical sync pulse is shown in the "Vertical Pulse Width vs R_{set}" graph. Using NTSC as an example, lets see how these two graphs relate to each other. The Horizontal line is 64 μs long, or 32 μs for a horizontal half line. Now round this off to 30 μs. In the "R_{set} Value Selection vs Vertical Serration Pulse Separation" graph the minimum resistor value for 30 μs serration pulse separation is about 550 kΩ. Going to the "Vertical Pulse Width vs R_{set}" graph one can see that 550 kΩ gives a vertical pulse width of about 180 μs, the total time for the vertical sync period of NTSC (3 horizontal lines). A 550 kΩ will set the internal oscillator to a frequency such that eight cycles gives a time of 180 μs, just long enough to prevent a double vertical sync pulse at the vertical sync output of the LM1881.

The LM1881 also generates a default vertical sync pulse when the vertical sync period is unusually long and has no serration pulses. With a very long vertical sync time the integrator has time to charge its internal capacitor above the voltage level V_2. Since there is no falling edge at the end of a serration pulse to clock the "D" flip-flop, the only high signal going to the OR gate is from the default comparator when output of the integrator reaches V_2. At this time the R/S flip-flop is toggled by the default comparator, starting the vertical sync pulse at pin 3 of the LM1881. If the default vertical sync period ends before the end of the input vertical sync period, then the falling edge of the vertical sync (positive pulse at the "D" flip-flop) will clock the high output from the comparator with V_1 as a reference input. This will retrigger the oscillator, generating a second vertical sync output pulse. The "Vertical Default Sync Delay Time vs R_{set}" graph shows the relationship between the R_{set} value and the delay time from the start of the vertical sync period before the default vertical sync pulse is generated. Using the NTSC example again the smallest resistor for R_{set} is 500 kΩ. The vertical default time delay is about 50 μs, much longer than the 30 μs serration pulse spacing.

A common question is how can one calculate the required R_{set} with a video timing standard that has no serration pulses during the vertical blanking. If the default vertical sync is to be used this is a very easy task. Use the "Vertical Default Sync Delay Time vs R_{set}" graph to select the necessary R_{set} to give the desired delay time for the vertical sync output signal. If a second pulse is undesirable, then check the "Vertical Pulse Width vs R_{set}" graph to make sure the vertical output pulse will extend beyond the end of the input vertical sync period. In most systems the end of the vertical sync period may be very accurate. In this case the preferred design may be to start the vertical sync pulse at the end of the vertical sync period, similar to starting the vertical sync pulse after the first serration pulse. A VGA standard is to be used as an example to show how this is done. In this standard a horizontal line is 32 μs long. The vertical sync period is two horizontal lines long, or 64 μs. The vertical default sync delay time must be longer than the vertical sync period of 64 μs. In this case R_{set} must be larger than 680 kΩ. R_{set} must still be small enough for the output of the integrator to reach V_1 before the end of the vertical period of the input pulse. The first graph can be used to confirm that R_{set} is small enough for the integrator. Instead of using the vertical serration pulse separation, use the actual pulse width of the vertical sync period, or 64 μs in this example. This graph is linear, meaning that a value as large as 2.7 MΩ can be used for R_{set} (twice the value as the maximum at 30 μs). Due to leakage currents it is advisable to keep the value of R_{set} under 2.0 MΩ. In this example a value of 1.0 MΩ is selected, well above the minimum of 680 kΩ. With this value for R_{set} the pulse width of the vertical sync output pulse of the LM1881 is about 340 μs.

ODD/EVEN FIELD PULSE

An unusual feature of LM1881 is an output level from Pin 7 that identifies the video field present at the input to the LM1881. This can be useful in frame memory storage applications or in extracting test signals that occur only in alternate fields. For a composite video signal that is interlaced, one of the two fields that make up each video frame or picture must have a half horizontal scan line period at the end of the vertical scan—i.e., at the bottom of the picture. This is called the "odd field" or "field 1". The "even field" or "field 2" has a complete horizontal scan line at the end of the field. An odd field starts on the leading edge of the first equalizing pulse, whereas the even field starts on the leading edge of the second equalizing pulse of the vertical retrace interval. *Figure 2(a)* shows the end of the even field and the start of the odd field.

To detect the odd/even fields the LM1881 again integrates the composite sync waveform *(Figure 3)*. A capacitor is charged during the period between sync pulses and discharged when the sync pulse is present. The period between normal horizontal sync pulses is enough to allow the capacitor voltage to reach a threshold level of a comparator that clears a flipflop which is also being clocked by the sync waveform. When the vertical interval is reached, the shorter integration time between equalizing pulses prevents this

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Application Notes (Continued)

threshold from being reached and the Q output of the flip-flop is toggled with each equalizing pulse. Since the half line period at the end of the odd field will have the same effect as an equalizing pulse period, the Q output will have a different polarity on successive fields. Thus by comparing the Q polarity with the vertical output pulse, an odd/even field index is generated. Pin 7 remains low during the even field and high during the odd field.

BURST/BACKPORCH OUTPUT PULSE

In a composite video signal, the chroma burst is located on the backporch of the horizontal blanking period. This period, approximately 4.8 μs long, is also the black level reference for the subsequent video scan line. The LM1881 generates a pulse at Pin 5 that can be used either to retrieve the chroma burst from the composite video signal (thus providing a subcarrier synchronizing signal) or as a clamp for the DC restoration of the video waveform. This output is obtained simply by charging an internal capacitor starting on the trailing edge of the horizontal sync pulses. Simultaneously the output of Pin 5 is pulled low and held until the capacitor charge circuit times out—4 μs later. A shorter output burst gate pulse can be derived by differentiating the burst output using a series C-R network. This may be necessary in applications which require high horizontal scan rates in combination with normal (60–120 Hz) vertical scan rates.

APPLICATIONS

Apart from extracting a composite sync signal free of video information, the LM1881 outputs allow a number of interesting applications to be developed. As mentioned above, the burst gate/backporch clamp pulse allows DC restoration of the original video waveform for display or remodulation on an R.F. carrier, and retrieval of the color burst for color synchronization and decoding into R.G.B. components. For frame memory storage applications, the odd/even field level allows identification of the appropriate field ensuring the correct read or write sequence. The vertical pulse output is particularly useful since it begins at a precise time—the rising edge of the first vertical serration in the sync waveform. This means that individual lines within the vertical blanking period (or anywhere in the active scan line period) can easily be extracted by counting the required number of transitions in the composite sync waveform following the start of the vertical output pulse.

The vertical blanking interval is proving popular as a means to transmit data which will not appear on a normal T.V. receiver screen. Data can be inserted beginning with line 10 (the first horizontal scan line on which the color burst appears) through to line 21. Usually lines 10 through 13 are not used which leaves lines 14 through 21 for inserting signals, which may be different from field to field. In the U.S., line 19 is normally reserved for a vertical interval reference signal (VIRS) and line 21 is reserved for closed caption data for the hearing impaired. The remaining lines are used in a number of ways. Lines 17 and 18 are frequently used during studio processing to add and delete vertical interval test signals (VITS) while lines 14 through 18 and line 20 can be used for Videotex/Teletext data. Several institutions are proposing to transmit financial data on line 17 and cable systems use the available lines in the vertical interval to send decoding data for descrambler terminals.

Since the vertical output pulse from the LM1881 coincides with the leading edge of the first vertical serration, sixteen positive or negative transitions later will be the start of line 14 in either field. At this point simple counters can be used to select the desired line(s) for insertion or deletion of data.

VIDEO LINE SELECTOR

The circuit in *Figure 4* puts out a single video line according to the binary coded information applied to line select bits b0–b7. A line is selected by adding two to the desired line number, converting to a binary equivalent and applying the result to the line select inputs. The falling edge of the LM1881's vertical pulse is used to load the appropriate number into the counters (MM74C193N) and to set a start count latch using two NAND gates. Composite sync transitions are counted using the borrow out of the desired number of counters. The final borrow out pulse is used to turn on the analog switch (CD4066BC) during the desired line. The falling edge of this signal also resets the start count latch, thereby terminating the counting.

The circuit, as shown, will provide a single line output for each field in an interlaced video system (television) or a single line output in each frame for a non-interlaced video system (computer monitor). When a particular line in only one field of an interlaced video signal is desired, the odd/even field index output must be used instead of the vertical output pulse (invert the field index output to select the odd field). A single counter is needed for selecting lines 3 to 14; two counters are needed for selecting lines 15 to 253; and three counters will work for up to 2046 lines. An output buffer is required to drive low impedance loads.

MULTIPLE CONTIGUOUS VIDEO LINE SELECTOR WITH BLACK LEVEL RESTORATION

The circuit in *Figure 5* will select a number of adjoining lines starting with the line selected as in the previous example. Additional counters can be added as described previously for either higher starting line numbers or an increased number of contiguous output lines. The back porch pulse output of the LM1881 is used to gate the video input's black level through a low pass filter (10 kΩ, 10 μF) providing black level restoration at the video output when the output selected line(s) is not being gated through.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Typical Applications

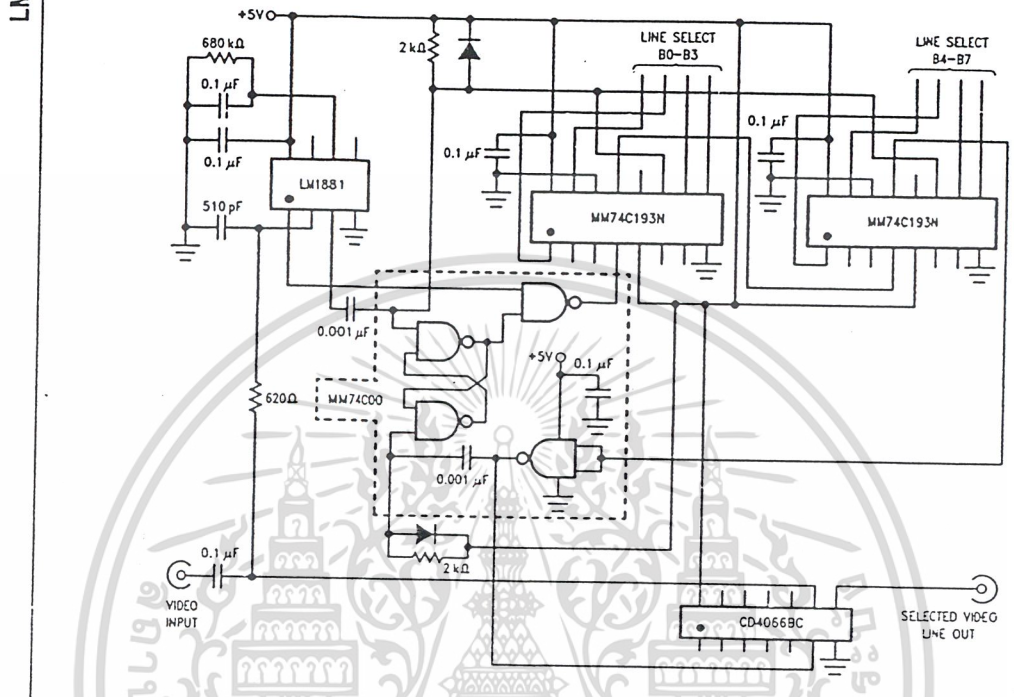


FIGURE 4. Video Line Selector

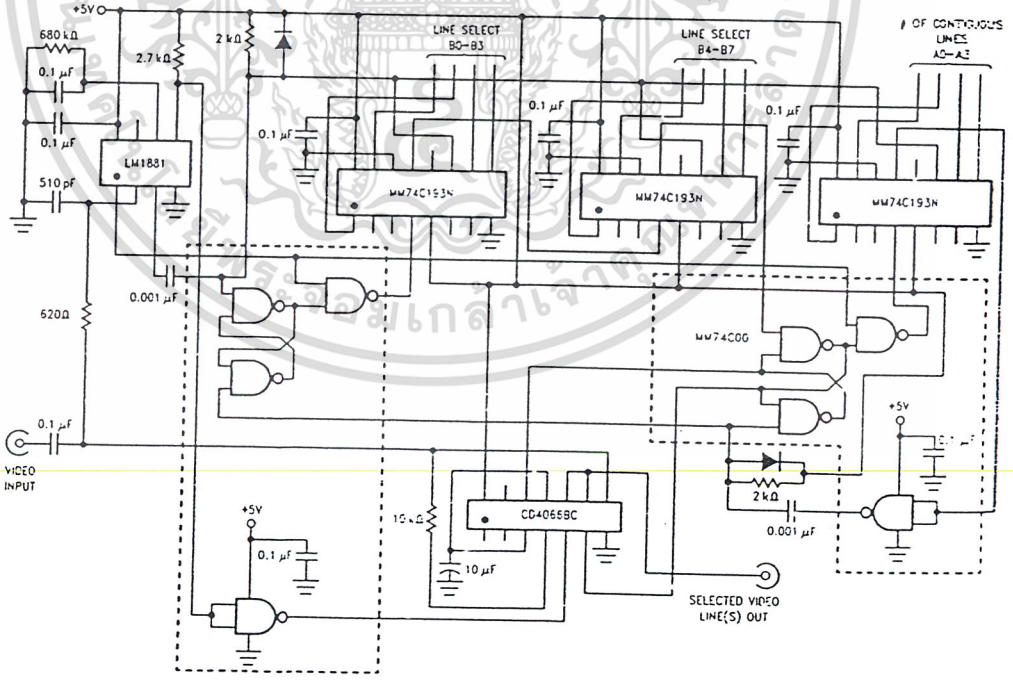


FIGURE 5. Multiple Contiguous Video Line Selector With Black Level Restoration

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

HM628128DI Series

1 M SRAM (128-kword × 8-bit)

HITACHI

ADE-203-999A (Z)
Preliminary
Rev. 0.1
Jul. 8, 1999

Description

The Hitachi HM628128DI Series is 1-Mbit static RAM organized 131,072-kword × 8-bit. HM628128DI Series has realized higher density, higher performance and low power consumption by employing Hi-CMOS process technology. The HM628128DI Series offers low power standby power dissipation; therefore, it is suitable for battery backup systems. It has package variations of standard 32-pin plastic DIP, standard 32-pin plastic SOP.

Features

- Single 5 V supply: 5 V ± 10%
- Access time: 70 ns (max)
- Power dissipation
  - — Active: 30 mW/MHz (typ)
  - — Standby: 10 µW (typ)
- Completely static memory.
  - — No clock or timing strobe required
- Equal access and cycle times
- Common data input and output
  - — Three state output
- Directly TTL compatible all inputs
- Battery backup operation
  - -- 2 chip selection for battery backup
- Temperature range: −40 to +85°C

Preliminary: The specification of this device are subject to change without notice. Please contact your nearest Hitachi's Sales Dept. regarding specification.

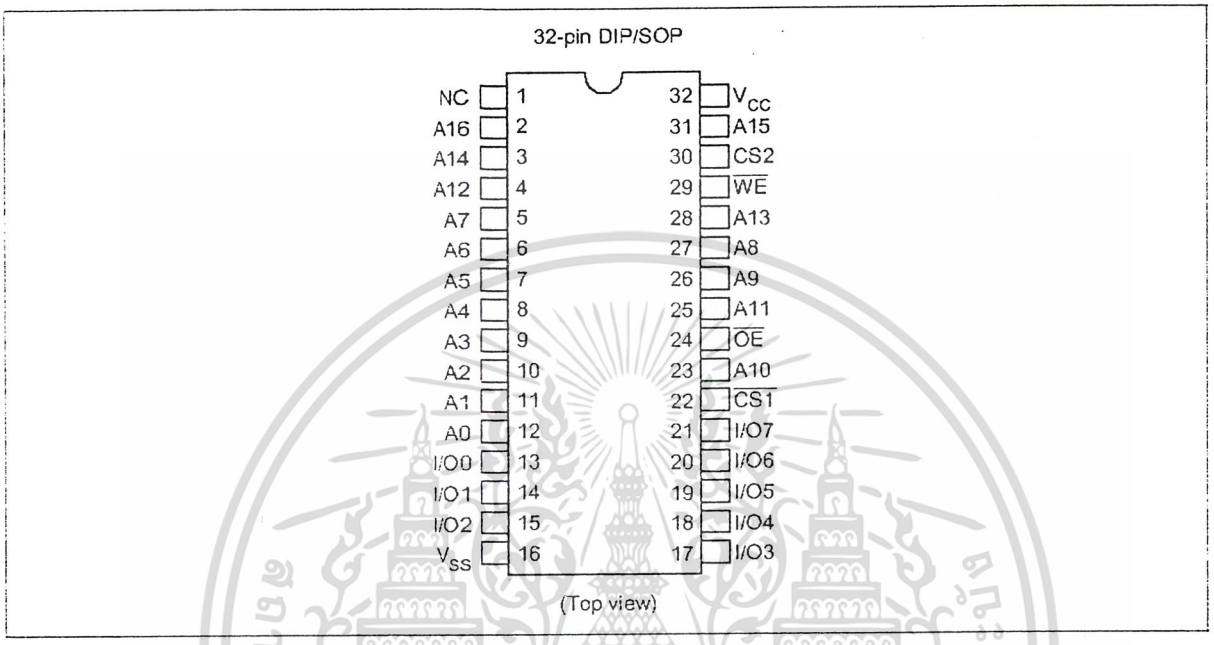
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Ordering Information

Type No.	Access time	Package
HM628128DLPI-7	70 ns	600-mil 32-pin plastic DIP (DP-32)
HM628128DLFPI-7	70 ns	525-mil 32-pin plastic SOP (FP-32D)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Pin Arrangement

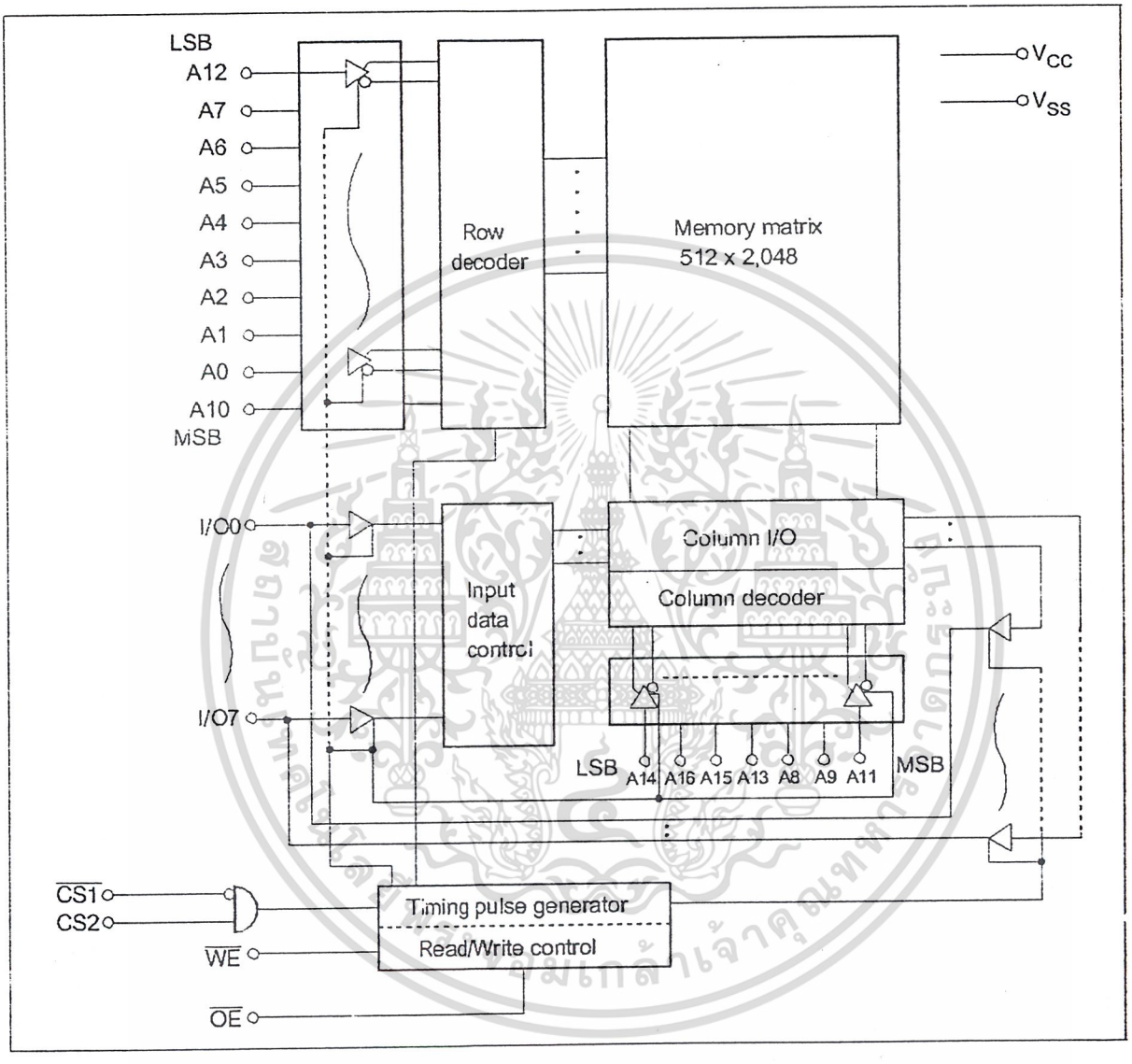


Pin Description

Pin name	Function
A0 to A16	Address input
I/O0 to I/O7	Data input/output
$\overline{CS1}$	Chip select 1
CS2	Chip select 2
$\overline{WE}$	Write enable
$\overline{OE}$	Output enable
V_{CC}	Power supply
V_{SS}	Ground
NC	No connection

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Block Diagram



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Operation Table

$\overline{CS1}$	CS2	$\overline{WE}$	$\overline{OE}$	I/O	Operation
H	×	×	×	High-Z	Standby
×	L	×	×	High-Z	Standby
L	H	H	L	Dout	Read
L	H	L	H	Din	Write
L	H	L	L	Din	Write
L	H	H	H	High-Z	Output disable

Note: H: V_{IH}, L: V_{IL}, ×: V_{IH} or V_{IL}

Absolute Maximum Ratings

Parameter	Symbol	Value	Unit
Power supply voltage relative to V_{SS}	V_{CC}	−0.5 to +7.0	V
Terminal voltage on any pin relative to V_{SS}	V_T	−0.5[*1] to V_{CC} + 0.3[*2]	V
Power dissipation	P_T	1.0	W
Storage temperature range	Tstg	−55 to +125	°C
Storage temperature range under bias	Tbias	−40 to +85	°C

Notes: 1. V_T min: −1.5 V for pulse half-width ≤ 30 ns
2. Maximum voltage is +7.0 V

DC Operating Conditions

Parameter	Symbol	Min	Typ	Max	Unit	Note
Supply voltage	V_{CC}	4.5	5.0	5.5	V	
	V_{SS}	0	0	0	V	
Input high voltage	V_{IH}	2.4	—	V_{CC} + 0.3	V	
Input low voltage	V_{IL}	−0.3	—	0.6	V	1
Ambient temperature range	Ta	−40	—	85	°C	

Note: 1. V_{IL} min: −1.5 V for pulse half-width ≤ 30 ns

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อ[illegible] HITACHI [illegible]างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

DC Characteristics

Parameter	Symbol	Min	Typ*1	Max	Unit	Test conditions
Input leakage current	$\|I_{LI}\|$	—	—	1	µA	Vin = V_{SS} to V_{CC}
Output leakage current	$\|I_{LO}\|$	—	—	1	µA	$\overline{CS1}$ = V_{IH} or CS2 = V_{IL} or $\overline{OE}$ = V_{IH} or $\overline{WE}$ = V_{IL}, $V_{I/O}$ = V_{SS} to V_{CC}
Operating current	I_{CC}	—	—	15	mA	$\overline{CS1}$ = V_{IL}, CS2 = V_{IH}, others = V_{IH}/V_{IL}, $I_{I/O}$ = 0 mA
Average operating current	I_{CC1}	—	—	60	mA	Min cycle, duty = 100% $I_{I/O}$ = 0 mA, $\overline{CS1}$ = V_{IL}, CS2 = V_{IH}, Others = V_{IH}/V_{IL}
	I_{CC2}	—	6	20	mA	Cycle time = 1 µs, duty = 100%, $I_{I/O}$ = 0 mA, $\overline{CS1}$ ≤ 0.2 V, CS2 ≥ V_{CC} – 0.2 V, V_{IH} ≥ V_{CC} – 0.2 V, V_{IL} ≤ 0.2 V
Standby current	I_{SB}	—	—	2	mA	(1) $\overline{CS1}$ = V_{IH}, CS2 = V_{IH}, or (2) CS2 = V_{IL}
	I_{SB1}*2	—	2	100	µA	0 V ≤ Vin (1) 0 V ≤ CS2 ≤ 0.2 V or (2) $\overline{CS1}$ ≥ V_{CC} – 0.2 V, CS2 ≥ V_{CC} – 0.2 V
Output high voltage	V_{OH}	2.4	—	—	V	I_{OH} = –1 mA
Output low voltage	V_{OL}	—	—	0.4	V	I_{OL} = 2.1 mA

Notes: 1. Typical values are at V_{CC} = 5.0 V, Ta = +25°C and specified loading, and not guaranteed.
2. This characteristics is guaranteed only for L-version.

Capacitance (Ta = +25°C, f = 1 MHz)

Parameter	Symbol	Typ	Max	Unit	Test conditions	Note
Input capacitance	Cin	—	8	pF	Vin = 0 V	1
Input/output capacitance	$C_{I/O}$	—	10	pF	$V_{I/O}$ = 0 V	1

Note: 1. This parameter is sampled and not 100% tested.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

AC Characteristics (Ta = –40 to +85°C, V_{CC} = 5.0 V ± 10%, unless otherwise noted.)

Test Conditions

- Input pulse levels: V_{IL} = 0.6 V, V_{IH} = 2.4 V
- Input rise and fall time: 5 ns
- Input timing reference levels: 1.5 V
- Output timing reference level: 1.5 V
- Output load: 1 TTL Gate+ CL (100 pF) (Including scope and jig)

Read Cycle

		HM628128DI			
		-7			
Parameter	Symbol	Min	Max	Unit	Notes
Read cycle time	t_{RC}	70	—	ns	
Address access time	t_{AA}	—	70	ns	
Chip select access time	t_{ACS1}	—	70	ns	
	t_{ACS2}	—	70	ns	
Output enable to output valid	t_{OE}	—	35	ns	
Output hold from address change	t_{OH}	10	—	ns	
Chip selection to output in low-Z	t_{CLZ1}	10	—	ns	2, 3
	t_{CLZ2}	10	—	ns	2, 3
Output enable to output in low-Z	t_{OLZ}	5	—	ns	2, 3
Chip deselection to output in high-Z	t_{CHZ1}	0	25	ns	1, 2, 3
	t_{CHZ2}	0	25	ns	1, 2, 3
Output disable to output in high-Z	t_{OHZ}	0	25	ns	1, 2, 3

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Write Cycle

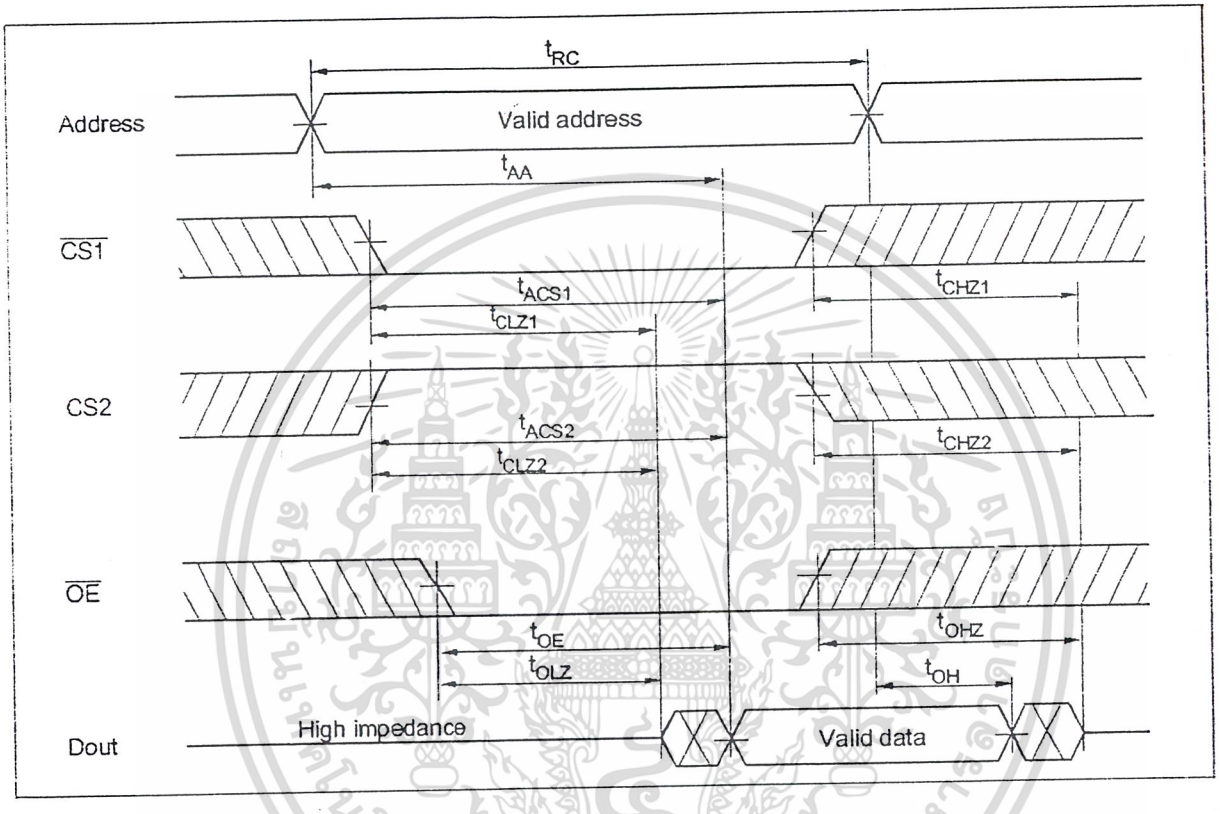
		HM628128DI			
		-7			
Parameter	Symbol	Min	Max	Unit	Notes
Write cycle time	t_{WC}	70	—	ns	
Address valid to end of write	t_{AW}	60	—	ns	
Chip selection to end of write	t_{CW}	60	—	ns	5
Write pulse width	t_{WP}	50	—	ns	4, 13
Address setup time	t_{AS}	0	—	ns	6
Write recovery time	t_{WR}	0	—	ns	7
Data to write time overlap	t_{DW}	30	—	ns	
Data hold from write time	t_{DH}	0	—	ns	
Output active from output in high-Z	t_{OW}	5	—	ns	2
Output disable to output in high-Z	t_{OHZ}	0	25	ns	1, 2, 8
$\overline{WE}$ to output in high-Z	t_{WHZ}	0	25	ns	1, 2, 8

Notes:
1. t_{CHZ}, t_{OHZ} and t_{WHZ} are defined as the time at which the outputs achieve the open circuit conditions and are not referred to output voltage levels.
2. This parameter is sampled and not 100% tested.
3. At any given temperature and voltage condition, t_{HZ} max is less than t_{LZ} min both for a given device and from device to device.
4. A write occurs during the overlap (t_{WP}) of a low $\overline{CS1}$, a high CS2, and a low $\overline{WE}$. A write begins at the latest transition among $\overline{CS1}$ going low, CS2 going high, and $\overline{WE}$ going low. A write ends at the earliest transition among $\overline{CS1}$ going high, CS2 going low, and $\overline{WE}$ going high. t_{WP} is measured from the beginning of write to the end of write.
5. t_{CW} is measured from $\overline{CS1}$ going low or CS2 going high to the end of write.
6. t_{AS} is measured from the address valid to the beginning of write.
7. t_{WR} is measured from the earlier of $\overline{WE}$ or $\overline{CS1}$ going high or CS2 going low to the end of write cycle.
8. During this period, I/O pins are in the output state; therefore, the input signals of the opposite phase to the outputs must not be applied.
9. If the $\overline{CS1}$ goes low or CS2 going high simultaneously with $\overline{WE}$ going low or after $\overline{WE}$ going low, the output remain in a high impedance state.
10. Dout is the same phase of the write data of this write cycle.
11. Dout is the read data of next address.
12. If $\overline{CS1}$ is low and CS2 high during this period, I/O pins are in the output state. Therefore, the input signals of the opposite phase to the outputs must not be applied to them.
13. In the write cycle with $\overline{OE}$ low fixed, t_{WP} must satisfy the following equation to avoid a problem of data bus contention. $t_{WP} \geq t_{DW}$ min + t_{WHZ} max

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

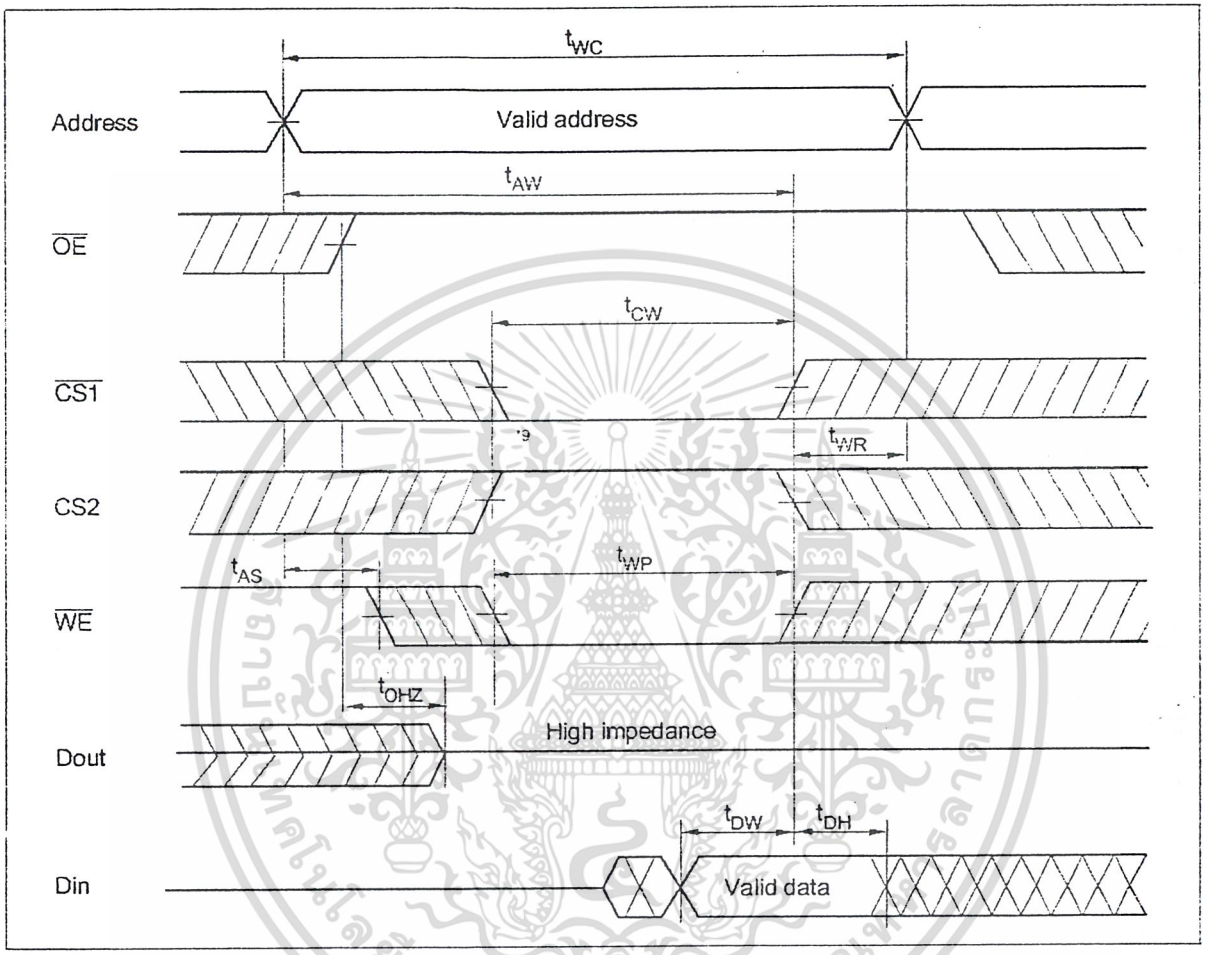
Timing Waveforms

Read Cycle ($\overline{WE}$ = V_{IH})



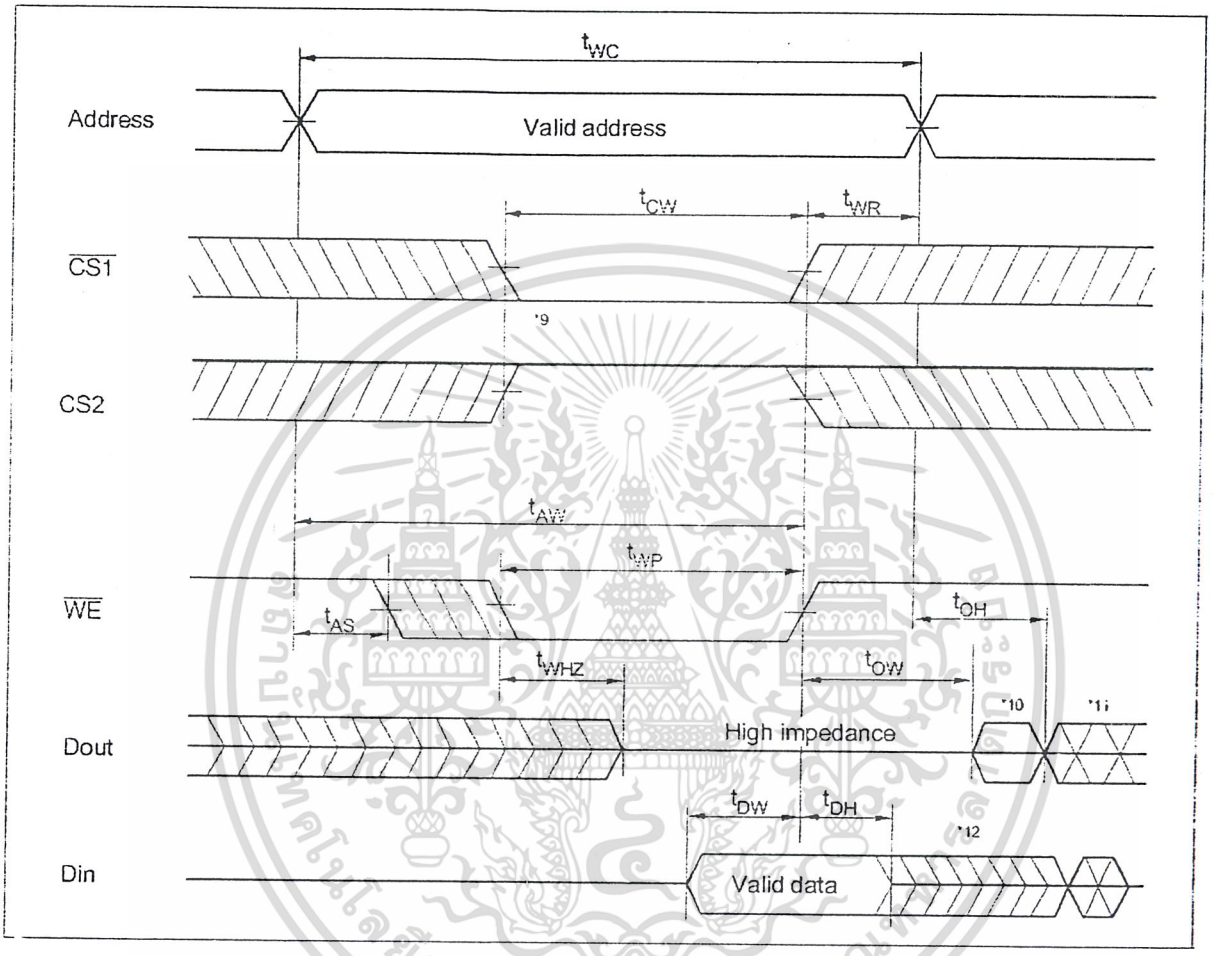
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Write Cycle (1) ($\overline{OE}$ Clock)



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Write Cycle (2) ($\overline{OE}$ = V_{IL})



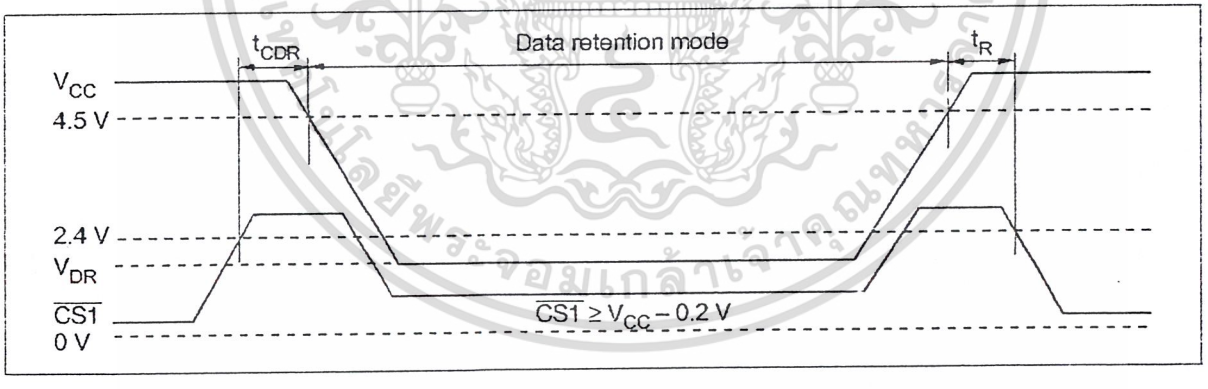
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Low V_{CC} Data Retention Characteristics (Ta = –40 to +85°C)

Parameter	Symbol	Min	Typ*3	Max	Unit	Test conditions*2
V_{CC} for data retention	V_{DR}	2.0	—	—	V	Vin ≥ 0V (1) 0 V ≤ CS2 ≤ 0.2 V or (2) CS2 ≥ V_{CC} – 0.2 V $\overline{CS1}$ ≥ V_{CC} – 0.2 V
Data retention current	I_{CCDR}*1	—	1.0	50	µA	V_{CC} = 3.0 V, Vin ≥ 0 V (1) 0 V ≤ CS2 ≤ 0.2 V or (2) CS2 ≥ V_{CC} – 0.2 V, $\overline{CS1}$ ≥ V_{CC} – 0.2 V
Chip deselect to data retention time	t_{CDR}	0	—	—	ns	See retention waveform
Operation recovery time	t_R	t_{RC}*4	—	—	ns	

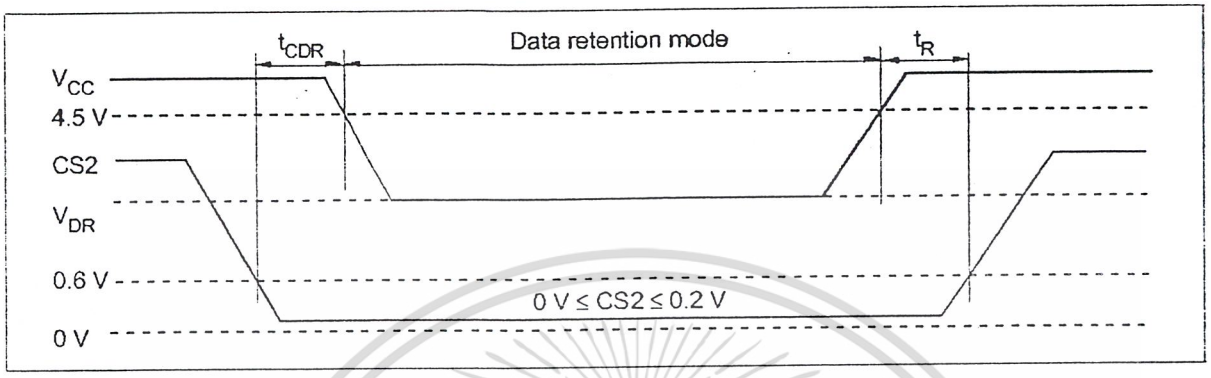
Notes: 1. This characteristic is guaranteed only for L-version, 30 µA max. at Ta = –40 to +40°C.
2. CS2 controls address buffer, $\overline{WE}$ buffer, $\overline{CS1}$ buffer, $\overline{OE}$ buffer, and Din buffer. If CS2 controls data retention mode, Vin levels (address, $\overline{WE}$, $\overline{OE}$, $\overline{CS1}$, I/O) can be in the high impedance state. If $\overline{CS1}$ controls data retention mode, CS2 must be CS2 ≥ V_{CC} – 0.2 V or 0 V ≤ CS2 ≤ 0.2 V. The other input levels (address, $\overline{WE}$, $\overline{OE}$, I/O) can be in the high impedance state.
3. Typical values are at V_{CC} = 3.0 V, Ta = +25°C and specified loading, and not guaranteed.
4. t_{RC} = read cycle time.

Low V_{CC} Data Retention Timing Waveform (1) ($\overline{CS1}$ Controlled)



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Low V_{CC} Data Retention Timing Waveform (2) (CS2 Controlled)



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Cautions

1. Hitachi neither warrants nor grants licenses of any rights of Hitachi's or any third party's patent, copyright, trademark, or other intellectual property rights for information contained in this document. Hitachi bears no responsibility for problems that may arise with third party's rights, including intellectual property rights, in connection with use of the information contained in this document.
2. Products and product specifications may be subject to change without notice. Confirm that you have received the latest product standards or specifications before final design, purchase or use.
3. Hitachi makes every attempt to ensure that its products are of high quality and reliability. However, contact Hitachi's sales office before using the product in an application that demands especially high quality and reliability or where its failure or malfunction may directly threaten human life or cause risk of bodily injury, such as aerospace, aeronautics, nuclear power, combustion control, transportation, traffic, safety equipment or medical equipment for life support.
4. Design your application so that the product is used within the ranges guaranteed by Hitachi particularly for maximum rating, operating supply voltage range, heat radiation characteristics, installation conditions and other characteristics. Hitachi bears no responsibility for failure or damage when used beyond the guaranteed ranges. Even within the guaranteed ranges, consider normally foreseeable failure rates or failure modes in semiconductor devices and employ systemic measures such as fail-safes, so that the equipment incorporating Hitachi product does not cause bodily injury, fire or other consequential damage due to operation of the Hitachi product.
5. This product is not designed to be radiation resistant.
6. No one is permitted to reproduce or duplicate, in any form, the whole or part of this document without written approval from Hitachi.
7. Contact Hitachi's sales office for any questions regarding this document or Hitachi semiconductor products.

HITACHI

Hitachi, Ltd.
Semiconductor & Integrated Circuits.
Nippon Bldg., 2-6-2, Ohte-machi, Chiyoda-ku, Tokyo 100-0004, Japan
Tel: Tokyo (03) 3270-2111 Fax: (03) 3270-5109

URL
NorthAmerica : http:semiconductor.hitachi.com/
Europe : http://www.hitachi-eu.com/hel/ecg
Asia (Singapore) : http://www.has.hitachi.com.sg/grp3/sicd/index.htm
Asia (Taiwan) : http://www.hitachi.com.tw/E/Product/SICD_Frame.htm
Asia (HongKong) : http://www.hitachi.com.hk/eng/bo/grp3/index.htm
Japan : http://www.hitachi.co.jp/Sicd/indx.htm

For further information write to:

Hitachi Semiconductor (America) Inc.
179 East Tasman Drive,
San Jose,CA 95134
Tel: <1> (408) 433-1990
Fax: <1>(408) 433-0223

Hitachi Europe GmbH
Electronic components Group
Domacher Straße 3
D-85622 Feldkirchen, Munich
Germany
Tel: <49> (89) 9 9180-0
Fax: <49> (89) 9 29 30 00

Hitachi Europe Ltd.
Electronic Components Group.
Whitebrook Park
Lower Cookham Road
Maidenhead
Berkshire SL6 8YA, United Kingdom
Tel: <44> (1628) 585000
Fax: <44> (1628) 778322

Hitachi Asia Pte. Ltd.
16 Collyer Quay #20-00
Hitachi Tower
Singapore 049318
Tel: 535-2100
Fax: 535-1533

Hitachi Asia Ltd.
Taipei Branch Office
3F, Hung Kuo Building. No.167,
Tun-Hwa North Road, Taipei (105)
Tel: <886> (2) 2718-3666
Fax: <886> (2) 2718-8180

Hitachi Asia (Hong Kong) Ltd.
Group III (Electronic Components)
7/F., North Tower, World Finance Centre,
Harbour City, Canton Road, Tsim Sha Tsui,
Kowloon, Hong Kong
Tel: <852> (2) 735 9218
Fax: <852> (2) 730 0281
Telex: 40815 HITEC HX

Copyright © Hitachi, Ltd., 1998. All rights reserved. Printed in Japan.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้