สำนักหอสมุดกลาง พระจอมเกล้าลาดกระบัง

การออกแบบวงจรกรองโดยใช้ทรานส์คอนดัคเตอร์และตัวเก็บประจุ

Gm-C FILTER IC DESIGN

โดย

นายอาทิตย์ ชิณโชติ

นายเสกสรรค์ ธิมากุล

เลขหมู่.....
เลขทะเบียน 46206
วัน, เดือน, ปี 21 ธ.ค. 2546

.b.....
.i.....

ปริญญานิพนธ์นี้เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรปริญญาวิศวกรรมศาสตร์บัณฑิต

สาขาวิชาอิเล็กทรอนิกส์

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

ปีการศึกษา 2544

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การออกแบบวงจรกรองโดยใช้ทรานส์คอนดัคเตอร์และตัวเก็บประจุ
Gm-C FILTER IC DESIGN

โดย

นายอาทิตย์ ชิณโชติ เลขประจำตัว 42015206
นายเสกสรรค์ ธิมากุล เลขประจำตัว 42515753

อาจารย์ที่ปรึกษา

ผศ.ดร. วรากร เกษมสุวรรณ์

ปริญญานิพนธ์สำหรับปริญญาวิศวกรรมศาสตร์บัณฑิต
สาขาวิชาอิเล็กทรอนิกส์
คณะวิศวกรรมศาสตร์
สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง
ปีการศึกษา 2544

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ปริญญานิพนธ์ปีการศึกษา 2544

ภาควิชาอิเล็กทรอนิกส์

คณะวิศวกรรมศาสตร์ สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

เรื่อง การออกแบบวงจรกรองโดยใช้ทรานส์คอนดัคเตอร์และตัวเก็บประจุ
(Gm-C FILTER IC DESIGN)

ผู้จัดทำ

นายอาทิตย์ ชิณโชติ

นายเสกสรรค์ ธิมากุล

วร เกษมสุวรรณ์ อาจารย์ที่ปรึกษา

(ผศ.ดร.วรากร เกษมสุวรรณ์)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ปริญญานิพนธ์เรื่อง การออกแบบวงจรกรองโดยใช้ทรานส์คอนดัคเตอร์และตัวเก็บประจุ
Gm – C FILTER IC DESIGN

ผู้จัดทำ นายอาทิตย์ ชิณโชติ เลขประจำตัว 42015206
นายเสกสรรค์ ธิมากุล เลขประจำตัว 42515753

โครงงานนี้ได้รับการตรวจสอบแล้ว พร้อมที่จะทำการสอบได้

(ผู้ช่วยศาสตราจารย์ ดร.วรากร เกษมสุวรรณ์)
อาจารย์ที่ปรึกษา

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การออกแบบวงจรกรองโดยใช้ทรานซ์คอนดัคเตอร์และตัวเก็บประจุ
(Gm – C Filter IC Design)

นาย อาทิตย์ ชิณโชติ
นาย เสกสรรค์ ธิมากุล

อาจารย์ที่ปรึกษา
ผศ.ดร.วรากร เกษมสุวรรณ์
ปีการศึกษา 2544

บทคัดย่อ

ในรายงานนี้ได้นำเสนอการออกแบบวงจรกรองความถี่ต่ำ (Lowpass Filter) ซึ่งมีความถี่ต่ำคัดออฟ ที่ 2 KHz โดยใช้ตัวทรานส์คอนดัคเตอร์ (OTA) และตัวเก็บประจุ (Capacitor) โดยรู้จักตัวกรองชนิดนี้ว่า Gm-C Filter ในการทำโครงงานนี้ได้แบ่งออกเป็น 3 ส่วน ส่วนแรกเป็นการศึกษาวงจรฟิลเตอร์แบบต่างๆ การออกวงจรที่เป็นพาสซีพฟิลเตอร์ และแปลงเป็นวงจรฟิลเตอร์ที่ใช้อุปกรณ์ประเภทแอคทีฟ (Active) โดยใช้เทคนิคของ SFG (Signal Flow Graph) ส่วนที่สองเป็นการแปลงวงจร Single ended มาเป็น Fully Balance ในขณะเดียวกันก็ได้มุ่งเน้นไปที่การศึกษาและทำการออกแบบวงจรภายในของ OTA โดยใช้เทคโนโลยีของ Cmos Transistor 0.5 ไมครอน ของบริษัท Alcatel ส่วนสุดท้ายเป็นการออกแบบเลย์เอาท์ (Lay Out) ของวงจรฟิลเตอร์ที่ได้ทำการออกแบบไว้แล้วในตอนต้น โดยได้คำนึงถึงการสร้าง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Gm – C Filter IC Design

Mr. Arethit Chinnachot

Mr. Sekson Timakul

Advisor

Asst.Prof. Dr. Varakorn Kasemsuwan

Academic Year 2001

Abstract

This project presents a design of Low pass filter integrated circuit with cut off frequency of 2 kHz using operational transconductance amplifiers (OTA) and capacitors.
This type of filter is known as Gm-C filter. The project is divided into three parts. The first part is to study the basic concept of filter circuit and to design passive filter, which will then be transformed to active filter using transconductance amplifier. The obtained filter is single ended and based on signal flow graph techniques. Second part is to transform the obtained single ended low pass filter to differential ended filter. The model parameters used throughout this project is 0.5-micrometer CMOS technology (ALCATEL Ltd). The last part is to do the practical layout design for the whole circuit.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

กิตติกรรมประกาศ

ในการจัดทำโครงงาน การออกแบบวงจรกรองโดยใช้ทรานส์คอนดัคเตอร์นี้ คณะผู้จัดทำได้รับความรู้ คำแนะนำอย่างดียิ่ง และตลอดจนการดูแลเอาใจใส่ ให้คำปรึกษา เกี่ยวกับโครงงานอย่างสม่ำเสมอจาก ผศ. ดร.วรากร เกษมสุวรรณ์ อาจารย์ที่ปรึกษาโครงงาน ซึ่งคณะผู้จัดทำต้องขอขอบพระคุณอย่างสูง ไว้ ณ โอกาสนี้ด้วย และขอน้อมรับข้อผิดพลาดทั้งหลายที่เกิดขึ้น เพื่อแก้ไขในโอกาสต่อไป

คณะผู้จัดทำ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญ

บทคัดย่อ		I
Abstract		II
กิตติกรรมประกาศ		III
บทที่1	บทนำ	1
	ผังแนวทางการดำเนินโครงงาน	2
บทที่2	วงจรฟิลเตอร์	4
	2.1 ทฤษฎีพื้นฐานของวงจรฟิลเตอร์	4
	2.2 รูปแบบพื้นฐานของวงจรฟิลเตอร์	4
	2.3 พื้นฐานของฟิลเตอร์โดยพิจารณาจาก Second order	5
	2.3.1 Low pass filter	5
	2.3.2 High pass filter	7
	2.3.3 Band pass filter	8
	2.3.4 Band reject filter	9
	2.4 เปรียบเทียบข้อแตกต่างระหว่าง Passive Filter และ Active Filter	10
บทที่3	การออกแบบวงจรพาสซีฟ ฟิลเตอร์	11
	3.1 หลักการออกแบบเบื้องต้น	11
	3.1.1 การออกแบบวงจร Filter	11
	3.1.2 การออกแบบพื้นฐานโดยวิธี Ladder network	11
	3.2 การออกแบบวงจรฟิลเตอร์โดยการเปิดตาราง	16
	3.2.1 ข้อกำหนดในการออกแบบ	16
	3.2.2 การออกแบบ Passive Filter แบบ Elliptic Function	18
บทที่4	การออกแบบวงจรแอคทีฟฟิลเตอร์	21
	4.1 Operational Transconductance Amplifier	21
	4.1.1 ทรานส์คอนดัคเตอร์ในทางปฏิบัติ	22
	4.1.2 ผลกระทบที่เป็นข้อจำกัดของอินทริเกรเตอร์	22

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4.2 การแปลงวงจรด้วยเทคนิค SFG 25
4.3 การลดจำนวนของอุปกรณ์ที่เป็นแอคทีฟในวงจรฟิลเตอร์ 27
4.4 Gm-C Filter Fully Balance 34

บทที่5 การออกแบบ Gm-C Filter และการจำลองการทำงาน 38
5.1 แหล่งจ่ายกระแส 38
5.2 แหล่งจ่ายแรงดัน 39
5.3 การสร้างตัวต้านทานภายในวงจร 40
5.4 วงจรขยายความนำ 41
5.5 การออกแบบวงจรขยายความนำ 43
5.6 การจำลองผลการทำงานวงจร Gm-C FILTER
และ Passive Filter ด้วยโปรแกรมPSpice9.1 44

บทที่6 การออกแบบลวดลายวงจร 59
6.1 การออกแบบลวดลายวงจรอุปกรณ์พื้นฐานในวงจรGm-C Filter 59
6.1.2 การออกแบบลวดลายของ MOSFET 59
6.1.2 การออกแบบลวดลายของ Capacitor 60
6.2 การออกแบบลวดลายวงจร Cirrent mirror 61
6.3 การออกแบบลวดลายวงจร Transconductance Amplifier 62
6.4 การออกแบบลวดลายวงจรGm-C Filter 64
6.5 การจำลองผลการทำงานวงจรGm-C Filterที่ได้มาจากการการออกแบบลวดลาย 66

บทที่7 สรุปผลการทดลองและวิจารณ์ 67

เอกสารอ้างอิง 69

ภาคผนวก 70

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญรูปภาพ

รูปที่ 1.1	ผังแนวทางการดำเนิน โครงงาน	2
รูปที่ 1.2	ขั้นตอนการดำเนิน โครงงาน	3
รูปที่ 2.1	Low pass filter	5
รูปที่ 2.2	Loss และ Pole – Zero ของ Low Pass Filter	6
รูปที่ 2.3	High pass filter	7
รูปที่ 2.4	Loss and Pole- zero ของ High Pass Filter	7
รูปที่ 2.5	Band pass filter	8
รูปที่ 2.6	Loss and Pole – Zero ของ Band Pass Filter	8
รูปที่ 2.7	Band Reject Filter	9
รูปที่ 3.1	กราฟผลการตอบสนองความถี่	12
รูปที่ 3.2	General ladder network	14
รูปที่ 3.3	การ Synthesis วงจร Passive filter	15
รูปที่ 3.4	วงจรที่มีโหลดเป็น Infinite	15
รูปที่ 3.5	LPF แบบ Elliptic Filter ที่ใช้ 5 order	19
รูปที่ 3.6	LPF แบบ Elliptic Filterที่ใช้ 5 order ที่ได้ Impedance และ Frequency Scaling แล้ว	20
รูปที่ 4.1	สัญลักษณ์และวงจรสมมูลของ OTA	22
รูปที่ 4.2	อินทิเกรเตอร์ที่เป็นอุดมคติและการจำลองอินทิเกรเตอร์ที่ไม่เป็นอุดมคติ	23
รูปที่ 4.3	คุณสมบัติของ Gm-C Filter ในทางอุดมคติเปรียบเทียบกับ Gm-C Filter ในทางปฏิบัติ	24
รูปที่ 4.4	Passive filter network	25
รูปที่ 4.5	Signal flow graph	26
รูปที่ 4.6	Gm-cell 13 ตัวที่ได้จากการแปลง	27
รูปที่ 4.7	LC network	27
รูปที่ 4.8	Substitution technique	28
รูปที่ 4.9	I-shift property technique	28
รูปที่ 4.10	การแปลง Gm-cell	29
รูปที่ 4.11	Signal flow graph ที่ทำการแปลงแล้ว	29

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รูปที่ 4.12 Apply to passive filter 30
รูปที่ 4.13 แปลงตัวเก็บประจุให้อยู่ในแนวขนานกับวงจร 30
รูปที่ 4.14 ผลการแปลงโดย SFG technique 31
รูปที่ 4.15 เทคนิคการ Synthesis 32
รูปที่ 4.16 ผลของการ Synthesis 32
รูปที่ 4.17 Gm cell Single ended 7 ตัว 33
รูปที่ 4.18 Gm cell Single ended 6 ตัว 33
รูปที่ 4.19 Gm cell แบบต่างๆ 35
รูปที่ 4.20 วงจร Gm-C filter ใช้ Gm แบบ 4 input 36
รูปที่ 4.21 การเปรียบเทียบค่าของCapacitor ในวงจร Single and Double ended 36
รูปที่ 5.1 วงจร PMOS Current Mirror 38
รูปที่ 5.2 วงจร NMOS Current Mirrer 38
รูปที่ 5.3 แหล่งจ่ายแรงดันโดยใช้ MOSFET 39
รูปที่ 5.4 การทำงานในย่าน Deep triode ของ MOSFET 40
รูปที่ 5.5 Differential Transconductance Amplier 41
รูปที่ 5.6 Block Diagram ของวงจร Active Filter 45
รูปที่ 5.7 วงจร Single Ened Gm-C Filter ที่ได้มาจากวิธี SFG 45
รูปที่ 5.8 วงจร Current Mirror ที่จ่ายกระให้ MI1,MI2 ของวงจร Gm-C Filter 45
รูปที่ 5.9A การตอบสนองความความถี่ของวงจร Single Ended
Gm-C FILTER ที่ใช้ V_{BIAS} จากภายนอก 47
รูปที่ 5.9B รูปแสดงค่า Ripple ของวงจร Single Ended
Gm-C FILTER ที่ใช้ V_{BIAS} จากภายนอก 47
รูปที่ 5.10 ชุดแหล่งจ่ายแรงดัน 48
รูปที่ 5.11a ผลการตอบสนองความถี่ชอง Single ended Gm-C Filter
ที่ใช้ V_{BIAS} จากแหล่งจ่ายภายใน 48
รูปที่ 5.11b ค่า Ripple ของ Passband ของวงจร Single Ended Gm-C Filter
ที่ใช้ V_{BIAS} จากการสร้างแหล่งจ่ายแรงดันภายใน 49
รูปที่ 5.12a วงจร 5 Order Eliptic RLC Passive Filter 49
รูปที่ 5.12b การตอบสนองความความถี่ของวงจร 5 Order Elliptic RLC Passive Filter 50
รูปที่ 5.12c ค่า Ripple ของ Passband ของวงจร 5 Order Elliptic RLC Passive Filter 50

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รูปที่ 5.13a วงจร Single ended Gm-C Filter ที่ใช้ Gm-C อุดมคติ 51
รูปที่ 5.13b การตอบสนองความความถี่ของวงจร Single Ended
Gm-C Filter ที่ใช้ Gm อุดมคติ 51
รูปที่ 5.13c ค่า Ripple ของ Passband ของวงจร Single Ended
Gm-C Filter ที่ใช้Gm อุดมคติ 52
รูปที่ 5.14a วงจร Fully Balance Gm-C Filter ที่ใช้ Gm อุดมคติ 52
รูปที่ 5.14b การตอบสนองความความถี่ของวงจรFully Balance
Gm-C Filter ที่ใช้ Gm อุดมคติ 53
รูปที่ 5.14c ค่า Ripple ของ Passband ของวงจร Fully Balance
Gm-C Filter ที่ใช้ Gm อุดมคติ 53
รูปที่ 5.15 วงจร Differential Transconductance
Amplifier แบบ 4 input and 2 output 54
รูปที่ 5.16 การใส่โหลดวงจร Fully Balance Gm-C Filter 55
รูปที่ 5.17a การตอบสนองความถี่ของวงจร Fully Balance Gm-C Filter 56
รูปที่ 5.17b ค่า ripple ของ passband ของวงจร Fully Balance Gm-C Filter 56
รูปที่ 5.18a การตอบสนองความถี่ของวงจร Fully Balance Gm-C Filter 58
รูปที่ 5.18b ค่า ripple ของ passband ของวงจร Fully Balance Gm-C Filter 58
รูปที่ 6.1 ลวดลาย NMOSโดยใช้เทคโนโลยีของAcatel 59
รูปที่ 6.2 ลวดลาย PMOSโดยใช้เทคโนโลยีของAcatel 60
รูปที่ 6.3 ลวดลาย Capacitor โดยใช้เทคโนโลยีของAcatel 60
รูปที่ 6.4 วงจร Cirrent mirror 61
รูปที่ 6.5 ลวดลายวงจร Cirrent mirrorโดยใช้เทคโนโลยีของAcatel 61
รูปที่ 6.6 วงจร Transconductance Amplifier 62
รูปที่ 6.7 ลวดลายวงจร Transconductance Amplifierโดยใช้เทคโนโลยีของAcatel 63
รูปที่ 6.8 วงจรGm-C Filter 64
รูปที่ 6.9 ลวดลายของวงจรGm-C Filterโดยใช้เทคโนโลยีของAcatel 65
รูปที่ 6.10 การตอบสนองความความถี่ของวงจร Gm-C Filterที่ได้มาจากการLayout 66
รูปที่ 6.11 ค่า Ripple ของ Passband ของวงจร Gm-C Filterที่ได้มาจากการLayout 66

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญตาราง

ตารางที่ 2.1 Stop band loss ของ Filter order ต่างๆ 6

ตารางที่ 2.2 เปรียบเทียบข้อแตกต่างระหว่าง Passive Filter และ Active Filter 10

ตารางที่ 3.1 แสดงผลการแทนด้วย ω ค่าต่างๆ 12

ตารางที่ 3.2 แหล่งจ่ายต่อศักดาและอุณหภูมิเกี่ยวกับการเปลี่ยนแปลง
คุณสมบัติตามกระบวนการผลิต 18

ตารางที่ 5.1 อัตราส่วนของ $\left(\frac{W}{L}\right)$ ของ Transconductance Amplifier
ที่ได้มาจากการคำนวณ 44

ตารางที่ 5.2 อัตราส่วนของ $\left(\frac{W}{L}\right)$ ของ Transconductance Amplifier
ที่ได้มาจากการปรับแต่งวงจร 46

ตารางที่ 5.3 ค่า $\left(\frac{W}{L}\right)$ ของวงจร differential transconductance amplifier
4 input 2 output 54

ตารางที่ 5.4 ค่า Capacitor ในวงจร Fully Balance Gm-C Filter 55

ตารางที่ 5.5 ค่า Capacitor ในวงจร Fully Balance Gm-C Filter 57

ตารางที่ 5.6 ค่า $\left(\frac{W}{L}\right)$ ของวงจร Diffential transconductance amplifier
4 input 2 output 57

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่1
บทนำ

ในศตวรรษที่21 ถือได้ว่ามนุษย์ได้ก้าวย่างเข้ามาสู่ยุคสมัยของการเปลี่ยนแปลงอย่างแท้จริง ซึ่งเป็นผลมาจากการสะสมความรู้ การศึกษาค้นพบสิ่งมหัศจรรย์ต่างๆมากมายจากอดีตถึงปัจจุบัน นำไปสู่การพัฒนาทางเทคโนโลยีในด้านต่างๆอย่างหลากหลายทำให้ชีวิตความเป็นอยู่สะดวกสบาย และรวดเร็วยิ่งขึ้นเป็นอย่างมาก ในขณะเดียวกันเทคโนโลยีก็ยิ่งทวีความซับซ้อนยุ่งยากมากขึ้น อีกทั้งจำนวนของข้อมูลข่าวสารก็มีจำนวนมากอย่างมโหฬาร เป็นไปไม่ได้ที่มนุษย์จะรับเอาข้อมูลที่มีอยู่ทุกอย่าง จึงจำเป็นอย่างยิ่งในการที่จะเลือกรับเอาเฉพาะข้อมูลข่าวสารที่เป็นประโยชน์ต่อตนเอง

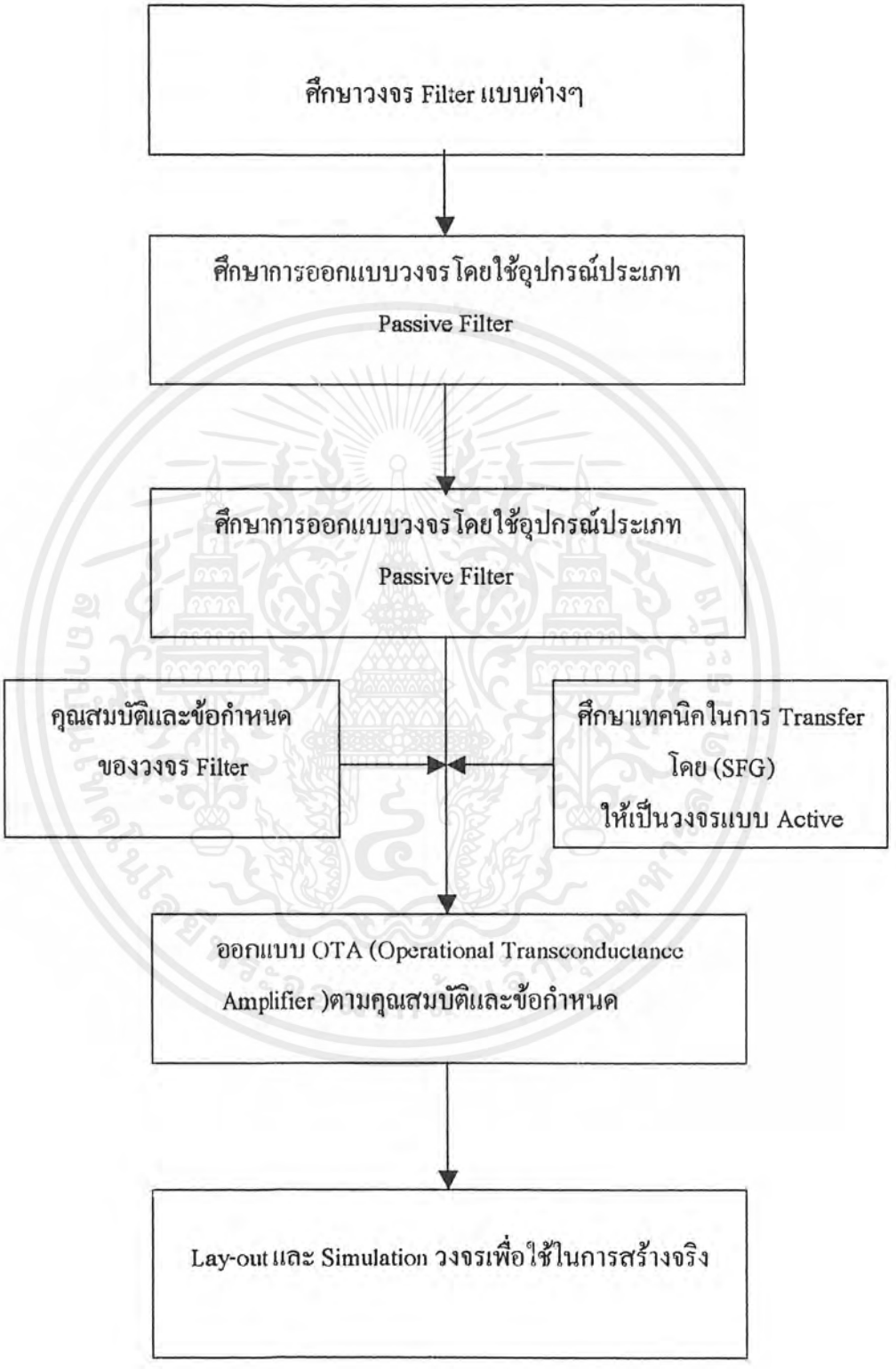
ในเทคโนโลยีทางด้านการสื่อสารการเลือกรับเอาเฉพาะข้อมูลที่ต้องการเรียกว่าการกรอง (Filtering)การกรองมีหลายแบบ การกรองความถี่ต่ำ การกรองความถี่สูง เป็นต้น

โครงงานนี้เป็นการนำเสนอการออกแบบวงจร Active Filter ซึ่งเป็นการออกแบบวงจรอนาล็อกแบบหนึ่ง (Design of Analog circuit) โดยจะเริ่มต้นด้วยการออกแบบวงจรที่เป็น Passive Filter ก่อน หลังจากเมื่อได้วงจรที่เป็น LC Passive มาแล้ว จึงจะมาศึกษาถึงเทคนิคในการ Transfer คุณสมบัติของวงจรที่เป็น Passive Filter ให้มาอยู่ในรูปของอุปกรณ์ที่เป็น Active Filter ตามจุดประสงค์ของโครงงาน โดยใช้เทคนิคของ Signal Flow graph (SFG) สร้างสมการ การไหลของกระแสและแรงดันขึ้นมา ให้เหมาะสมกับคุณสมบัติของอุปกรณ์ที่เป็น Active Filter ซึ่งโครงงานนี้จะนำเสนออุปกรณ์ที่เรียกว่า Operational Transconductance Amplifier (OTA) ด้วยคุณสมบัติเหมาะสมหลายประการโดยเฉพาะอย่างยิ่ง ประสิทธิภาพด้านขนาดและพลังงานสูญเสียที่ดีกว่าหลังจากนั้นจะทำการศึกษา การออกแบบวงจรภายในของ OTA โดยใช้เทคโนโลยีของ CMOS Transistors ออกแบบ เพื่อให้ได้ OTA ที่เหมาะสมกับวงจร Active Filter นั่นเอง

หลังจากนั้นทำการศึกษาการเลย์เอาท์ (Lay Out) วงจรเพื่อที่จะสามารถทำการสร้างจริงได้ และทำการเลย์เอาท์วงจรที่ได้ทำการออกแบบและปรับปรุงไว้แล้วในตอนต้น ทำการทดลองและศึกษาผลกระทบทางด้านอุณหภูมิและอื่นๆ ในลำดับของการพัฒนาของโครงการนี้ ได้ยึดถือการออกแบบและสร้างจริงภายในวงจรรวม Single Chip โดยใช้เทคโนโลยีของ CMOS Process 0.5μm ของบริษัท Alcatel เป็นมาตราฐานอ้างอิงในการออกแบบ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

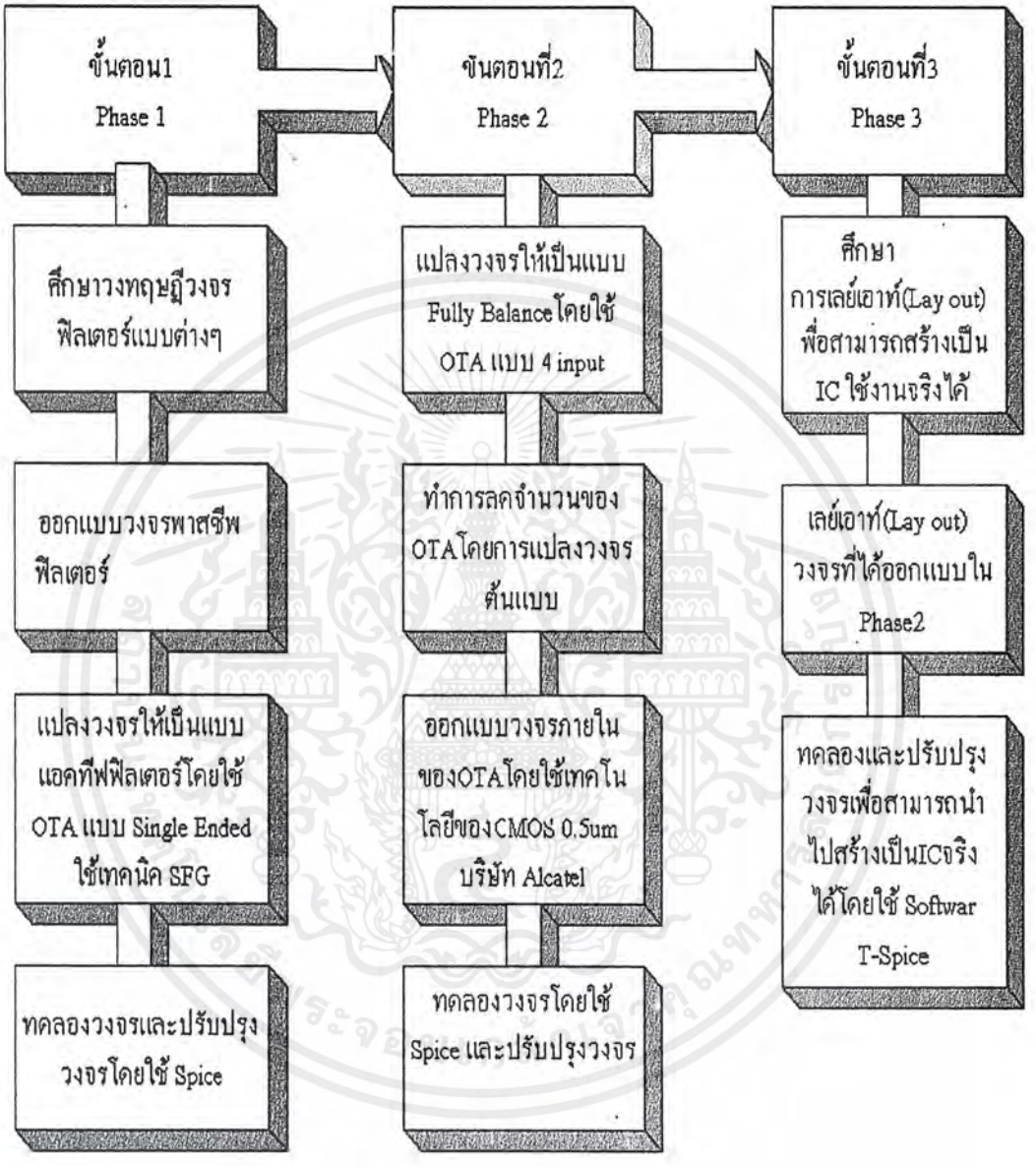
ผังแนวทางการดำเนินโครงงาน



รูปที่ 1.1 ผังแนวทางการดำเนินโครงงาน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

โดยที่การทำโครงงานนี้แบ่งออกเป็น 3 ขั้นตอน (Tree Phase) ด้วยกันกล่าวคือ 3 ภาคการศึกษา โดยมีขั้นตอน การทำงานเป็นดังนี้



รูปที่ 1.2 ขั้นตอนการดำเนินโครงงาน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 2
วงจรฟิลเตอร์ (Filter Circuits)

2.1 ทฤษฎีพื้นฐานของวงจรฟิลเตอร์

ในปัจจุบันความเจริญก้าวหน้าของเทคโนโลยีด้านต่างๆ ส่งผลให้ชีวิตความเป็นอยู่ของคนเปลี่ยนแปลงไปเป็นอย่างมาก เทคโนโลยีทางด้านการแพทย์ทำให้ชีวิตคนเรามีความยืนยาวผาสุขมากขึ้น เทคโนโลยีทางด้านคมนาคม การขนส่ง ทำให้เรามีเวลามากขึ้นในการใช้ชีวิต โดยเฉพาะอย่างยิ่งในปัจจุบันเทคโนโลยีทางด้านการสื่อสารในรูปแบบต่างๆ เปลี่ยนแปลงวิถีชีวิตของคนเราโดยสิ้นเชิง จะเห็นว่าบทบาทของงานหรือเทคโนโลยีทางด้านอิเล็กทรอนิกส์ ได้เข้าไปมีส่วนเป็นอย่างมากในการเปลี่ยนแปลงในงานเกือบทุกด้าน

ในงานทางด้านอิเล็กทรอนิกส์ เรื่องของสัญญาณ หรือความถี่ เป็นสิ่งที่เราต้องพิจารณาดังนั้นวงจรฟิลเตอร์จึงมีความสำคัญ และเป็นตัวกำหนดคุณภาพของอุปกรณ์ที่เกี่ยวข้องนั้นด้วย

ดังนั้นวงจรฟิลเตอร์ก็คือวงจรที่ทำหน้าที่ในการกรองเอาสัญญาณความถี่ที่ต้องการ หรือสกัดกั้นช่วงความถี่ ที่ไม่ต้องการให้มีทิ้ง ซึ่งจะขึ้นอยู่กับการออกแบบของวิศวกรตามข้อกำหนดที่ต้องการ

วงจร Filter จะเข้าไปอยู่ในอุปกรณ์หรือเครื่องมือเกือบทุกประเภท โดนเฉพาะอย่างยิ่งเครื่องมือประเภทสื่อสารที่ต้องอาศัยความถี่ (Frequency)

ในอดีตจนถึงปัจจุบัน วงจร Filter ได้รับการออกแบบและพัฒนาเรื่อยมาเริ่มตั้งแต่อุปกรณ์ที่เป็น passive เช่น L และ C และด้วยข้อจำกัดทางด้านขนาดรูปร่าง ราคา ความถี่ และอื่นๆ อีก จึงได้รับการพัฒนามาเป็นวงจร Filter โดยใช้อุปกรณ์ที่เป็น Active Filter ในเทคโนโลยีปัจจุบันก็คือ Mos transistor และอุปกรณ์ประเภท Bipolar transistor

2.2 รูปแบบพื้นฐานของวงจรฟิลเตอร์

มีอยู่ด้วยกันทั้งหมด 4 รูปแบบดังต่อไปนี้คือ

1. วงจรกรองความถี่ต่ำผ่าน Low Pass Filter (LPF) เป็นวงจรที่จะยอมให้ความถี่ต่ำผ่านได้ดี และจะลดทอนสัญญาณความถี่สูง

2. วงจรกรองความถี่สูงผ่าน High Pass Filter (HPF) เป็นวงจรที่ยอมให้ความถี่สูงผ่านได้ดี และจะลดทอนสัญญาณความถี่ต่ำ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3. วงจรกรองแบบความถี่ผ่าน Band Pass Filter (BPF) จะยอมให้เฉพาะช่วงแถบความถี่ที่กำหนดผ่านไปได้ดีและจะลดทอนความถี่ที่สูงกว่าและต่ำกว่า

4. วงจรกำจัดแถบความถี่ Band Reject Filter (BRF) จะยอมให้สัญญาณที่มีความถี่ต่ำกว่าหรือสูงกว่าผ่านไปได้ดี แต่จะลดทอนช่วงแถบความถี่

วงจร Filter สามารถสร้างได้จากอุปกรณ์ที่เรียกว่า อุปกรณ์ประเภทรีแอคทีฟ (Reactive) คือตัวเก็บประจุ (C-capacitor) และตัวเหนี่ยวนำ (L-inductor) เนื่องจากอิมพิแดนซ์ของ L และ C จะเปลี่ยนแปลงตามความถี่ โดยการนำไปต่อในวงจรตามตำแหน่งที่เหมาะสม อนุกรม หรือขนาน

วงจร Filter อาจถูกสร้างในรูปแบบของวงจรที่เป็นแบบ Active ซึ่งวงจรกรองแบบ Active จะทำงานในเชิงอุปมานหรืออนาล็อก (Analog) หรือทำงานในเชิงเลขหรือ Digital โดยในที่นี้จะศึกษาในการออกแบบโดยเป็นวงจรเชิงอุปมาน (Analog Design)

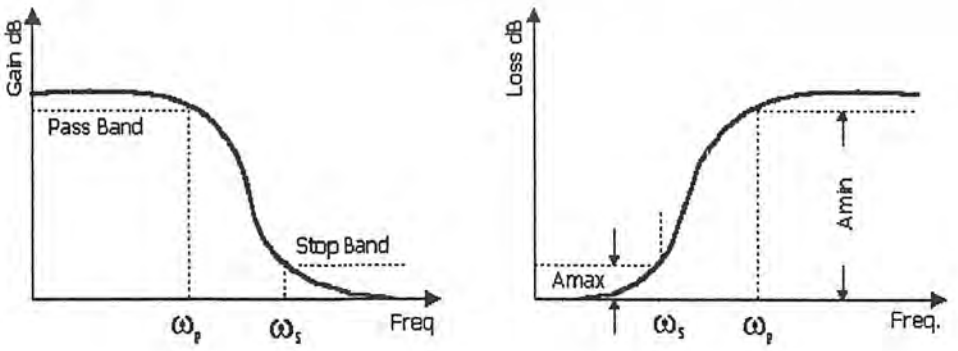
2.3 พื้นฐานของฟิลเตอร์โดยพิจารณาจาก Second order

พื้นฐานของ Filter แบบต่างโดยพิจารณาจาก Second Order ในการศึกษาถึงคุณสมบัติของ Filter ต่างๆ นิยมพิจารณาค่า Loss หรือ Loss Function

$$Loss\ Function = \frac{V_{in}(s)}{V_o(s)} = \frac{1}{Gain\ Function} \qquad (1)$$

2.3.1 Low pass Filter: LPF

คุณสมบัติพื้นฐานของ LPF คือ ผ่านความถี่ต่ำ และบั่นทอนความถี่สูง ดังรูปที่ 2.1



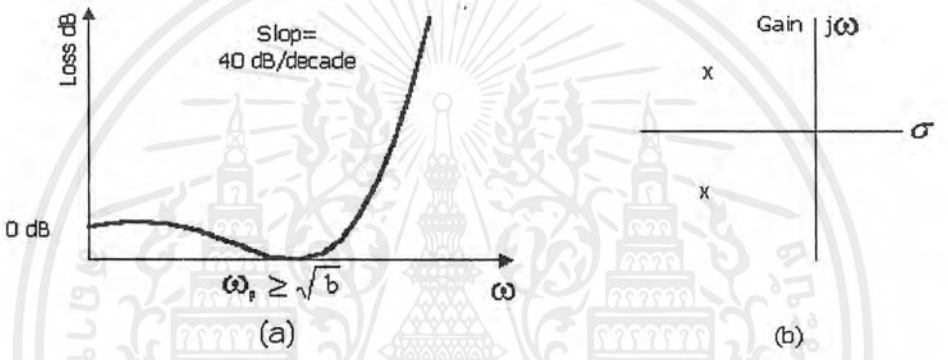
รูปที่ 2.1 Low Pass Filter

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

LPF จะต้องผ่านสัญญาณจาก DC จนถึง Cut off Frequency ω_p ซึ่งอยู่ในช่วงของ Pass band จะต้อง Loss เกิด A_{max} dB ความถี่ที่สูงกว่า ω_s จนถึง infinity จะต้อง Loss อย่างต่ำ A_{min} dB ความถี่จากเรียกว่า stop band

Second order LPF จะมี function อยู่ในรูปสมการดังนี้

$$LPF\,(Gain) = \frac{K\omega_P^2}{s^2 + \frac{\omega_P}{Q_P}s + \omega_P^2} \qquad ;K = Gain \qquad (2)$$



รูปที่ 2.2 Loss และ Pole – Zero ของ Low Pass Filter

จากการประมาณค่าโดย Bode plot Loss ของ stop band จะมีค่าตามกำลังสูงสุดของ S หรือ order ของ filter ดังต่อไปนี้

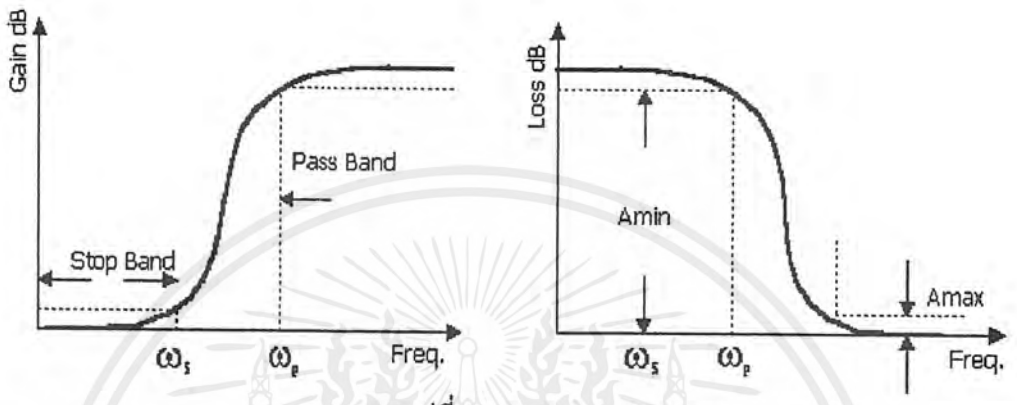
ORDER	LOWPASS OR HIGHPASS LOSS		BANDPASS LOSS	
	dB/OCTAVE	dB/DECADE	dB/OCTAVE	dB/DECADE
1	6	20	-	-
2	12	40	6	20
3	18	60	-	-
4	24	80	12	40
5	36	100	-	-
6	48	120	18	60

ตารางที่ 2.1 Stop band loss ของ Filter order ต่างๆ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.3.2 High Pass Filter: HPF

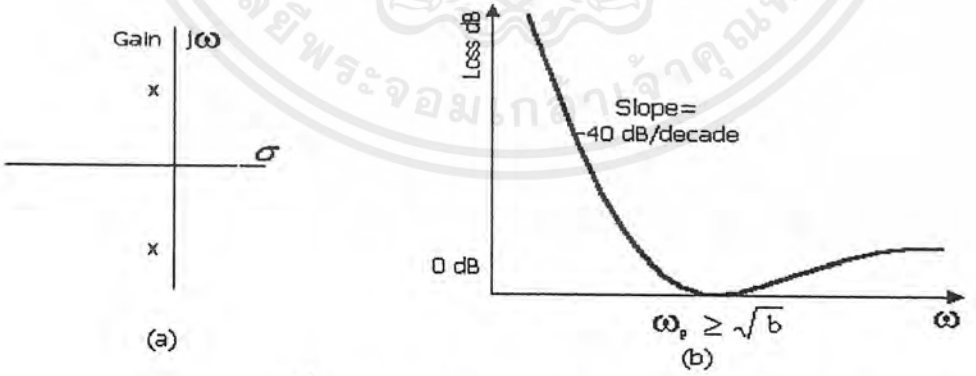
HPF จะผ่านสัญญาณที่มีความถี่สูงกว่า ω_p โดยมี Loss ไม่เกิน A_{max} และความถี่จาก DC ถึง ω_s ต้อง loss อย่างน้อย A_{min} ดังรูปที่ 2.3



รูปที่ 2.3 High Pass Filter

โดย Second order HPF มี function ดังในสมการ

$$HPF\,(Gain) = \frac{Ks^2}{s^2 + \frac{\omega_P}{Q_P}s + \omega_P^2} \qquad (3)$$

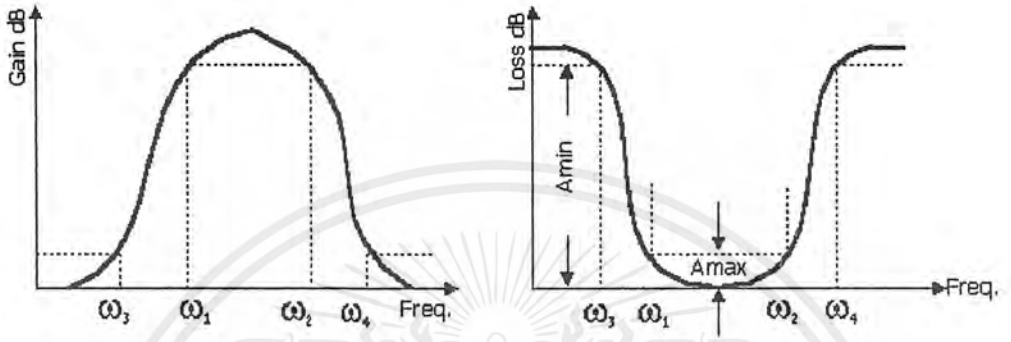


รูปที่ 2.4 Loss and Pole- zero ของ High Pass Filter

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.3.3 Band Pass Filter: BPF

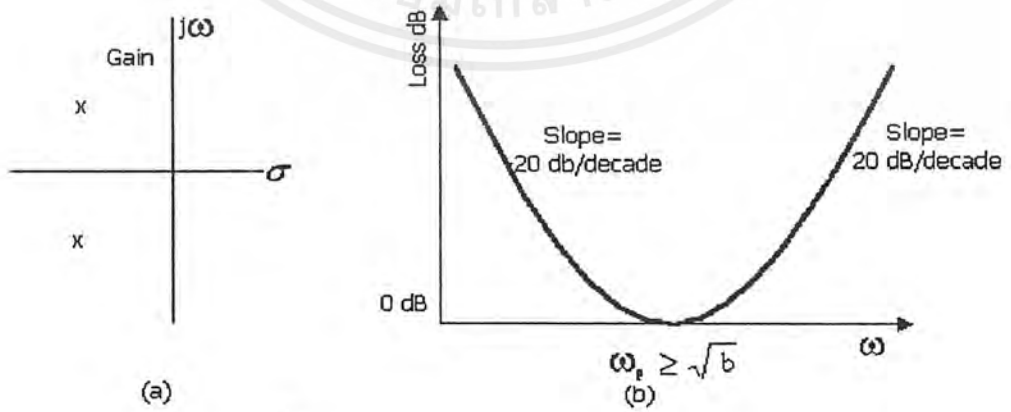
BPF จะผ่านความถี่ระหว่าง $\omega_1 - \omega_2$ ด้วย Loss ไม่เกิน A_{max} และ Loss ความถี่ที่ต่ำกว่า ω_3 หรือสูงกว่า ω_4 อย่างน้อย A_{min}ดังรูปที่ 2.5



รูปที่ 2.5 Band Pass Filter

Second order BPF มี function ดังสมการ

$$BPF\left(Gain\right)=\frac{K\frac{\omega_P}{Q_P}s}{s^2+\frac{\omega_P}{Q_P}s+\omega_P^2} \quad ;K=Gain \tag{4}$$

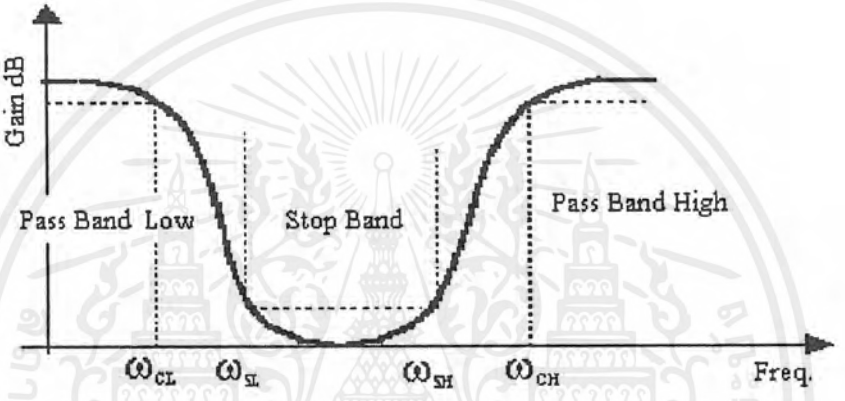


รูปที่ 2.6 Loss and Pole – Zero ของ Band Pass Filter

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.3.4 Band Reject Filter: BRF ซึ่ง Second order BRF คือ

$$BRF\left(Gain\right)=\frac{K\left(s^2+\omega_Z^2\right)}{s^2+\frac{\omega_P}{Q_P}s+\omega_P^2} \qquad ;K=Gain \tag{5}$$



รูปที่ 2.7 Band Reject Filter

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.4 เปรียบเทียบข้อแตกต่างระหว่าง Passive Filter และ Active Filter

วงจร Passive Filter	วงจร Active Filter
- ไม่จำเป็นต้องพิจารณาเสถียรภาพเนื่องจาก Passive Filter ไม่มีอัตราขยาย	- ต้องพิจารณาเสถียรภาพเพราะมีอัตราขยายอาจทำให้ oscillate ได้
- ข้อจำกัดอยู่ที่การใช้งานความถี่ต่ำทำให้เกิดการคลาดเคลื่อนได้มาก	- ใช้งานที่ความถี่ต่ำมากๆ ได้
- ใช้งานที่ High Power level ได้	
- มีขนาดใหญ่	- มีข้อจำกัดด้าน High Power
	- มีขนาดเล็ก, น้ำหนักเบา, สร้างภายใน chip IC ได้
- ความถูกต้องน้อยกว่าแบบ Active	- ความถูกต้องแม่นยำในการออกแบบสูง
- ราคาค่อนข้างแพง	- ถ้ามีการใช้งานจำนวนมากจะสามารถสร้างได้ในราคาถูกกว่า
- ออกแบบยากกว่า Active	- ออกแบบง่ายกว่า
- รูปแบบของวงจรน้อยกว่าแบบ Active	- มีรูปแบบให้เลือกใช้งานได้มากกว่า
- มีข้อด้อยเรื่อง Loss	- มีการขยาย
- ใช้ที่ความถี่สูงได้ดี	- ปัจจุบันได้รับการพัฒนาให้สามารถใช้งานที่ความถี่สูงได้มากยิ่งขึ้น

ตารางที่ 2.2 เปรียบเทียบข้อแตกต่างระหว่าง Passive Filter และ Active Filter

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 3
การออกแบบวงจรพาสซีฟฟิลเตอร์ (Passive Filter Design)

3.1 หลักการออกแบบเบื้องต้น

3.1.1 การออกแบบวงจร Filter มีการออกแบบเป็นหลักใหญ่ๆ 4 แบบด้วยกันคือ

1. Butter worth
2. Chebychev
3. Bessel
4. Elliptic

3.1.2 การออกแบบพื้นฐานโดยวิธี Ladder network การตอบสนองความถี่ของ วงจร filter โดยทั่วไปจะแสดงด้วยอัตราส่วนโพลิโนเมียล ซึ่ง $s = j\omega\left(j = \sqrt{1}\right)$ และ ω คือความถี่อยู่ในหน่วยของ radians / second คือ $2\pi f$ นั่นเอง โดยแสดงเป็น Transfer function ได้ดังนี้

$$T(s) = \frac{N(s)}{D(s)} \qquad (1)$$

โดยรากของส่วน D(s) จะถูกเรียกว่า poles และรากของเศษจะเรียกว่า Zeros ตัวอย่างเช่นให้เราวิเคราะห์ของผลของ Transfer function

$$T(s) = \frac{1}{s^3 + 2s^2 + 25 + 1} \qquad (2)$$

โดยการแทน $s = j\varpi$ ในสมการ (2) และแทน ω ด้วยค่าต่างๆ ตามตารางจะได้ผลของการตอบสนองความถี่ดังต่อไปนี้

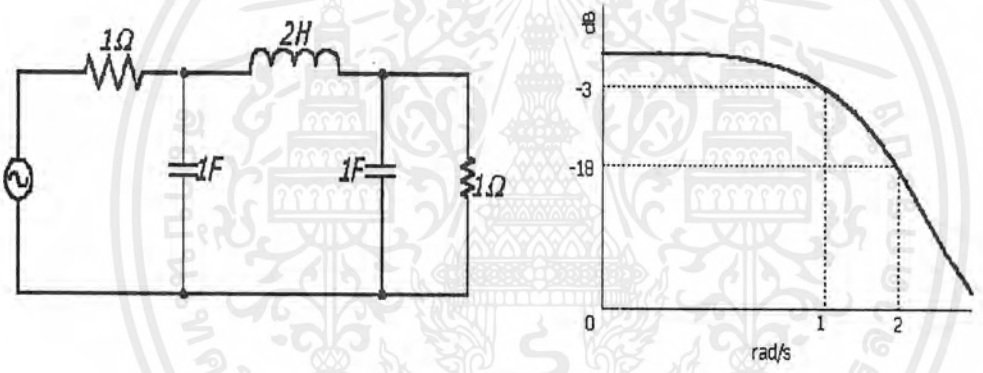
$$T(j\omega) = \frac{1}{1 - 2\omega^2 + j\left(2\omega - \omega^3\right)} \qquad (3)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ω	$T(j\omega)$	$20\log T(j\omega)$
0	1	0 dB
1	0.707	-3 dB
2	0.124	-18 dB
3	0.0370	-29 dB
4	0.0156	-36 dB

ตารางที่ 3.1 แสดงผลการแทนด้วย ω ค่าต่างๆ

จะเห็นได้จากการนำมา plot กราฟ



รูปที่ 3.1 กราฟผลการตอบสนองความถี่

ในรายงานเล่มนี้ได้นำเสนอการออกแบบวงจร LC Filter ด้วยการเปิดตารางซึ่งจะแสดงในหัวข้อต่อไป แต่เพื่อความเข้าใจเบื้องต้นในที่มาของวงจร LC Filter จึงขอยกตัวอย่างที่มาของวงจร LC Ladder พอคร่าว ๆ เพื่อความเข้าใจดังนี้

โดยใช้วิธีหาร Impedance จากสมการ (2)

$$T(s) = \frac{1}{s^3 + 2s^2 + 2s + 1} \qquad (4)$$

และสมการของ Butterworth Transfer function

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$z = \frac{D(s) - s^n}{D(s) + s^n} \qquad (5)$$

โดยที่ D(s) คือโพลิโนเมียลของส่วน

และ n คือ order ของโพโลโนเมียล

โดยการแทน D(s) และ n จากสมการ (4) และ (5) และใช้เทคนิคการหารเศษส่วนเพียงเล็กน้อย แสดงโดยลำดับขั้นดังต่อไปนี้

Example 3.1

ต้องการ LC Filter เป็น Butterworth n order

โดยวิธีการข้างต้น

(a) $$T(s) = \frac{1}{s^3 + 2s^2 + 2s + 1}$$

(b) แทน $D(s) = s^3 + 2s^2 + 2s + 1$ และ $s^n = s^3$ ไปยังสมการ (5)

$$z_{11} = \frac{Zs^2 + 2s + 1}{2s^3 + 2s^2 + 2s + 1}$$

(c) เขียนอีกรูปแบบหนึ่งโดยให้เศษเป็นหนึ่ง

$$Z_{11} = \frac{1}{\dfrac{2s^3 + 2s^2 + 2s + 1}{2s^2 + 2s + 1}}$$

(d) ทำการหารส่วนจะได้ และกลับเศษที่ได้

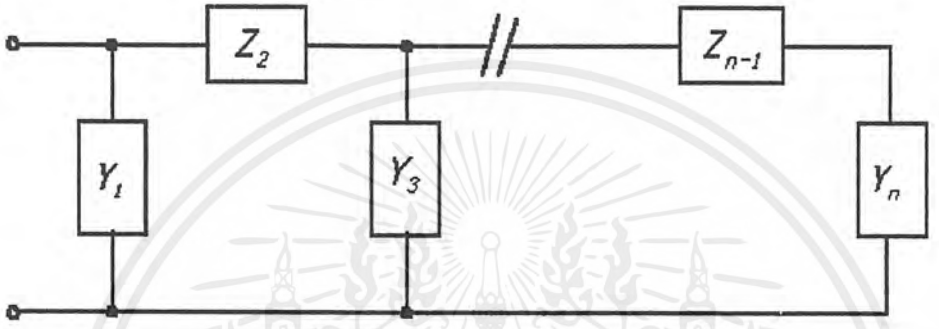
$$Z_{11} = \frac{1}{s + \dfrac{1}{\dfrac{2s^2 + 2s + 1}{s + 1}}}$$

(e) ทำการหารแบบเดียวกันต่อไปจนได้กำลังหนึ่ง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$Z_{11} = \cfrac{1}{s + \cfrac{1}{2s + \cfrac{1}{s+1}}}$$

จากการทำตามตัวอย่างข้างต้นสามารถเขียนให้อยู่ในรูปทั่วๆ ไปซึ่งถูกเรียกว่า Ladder Netwoek



รูปที่ 3.2 General Ladder network

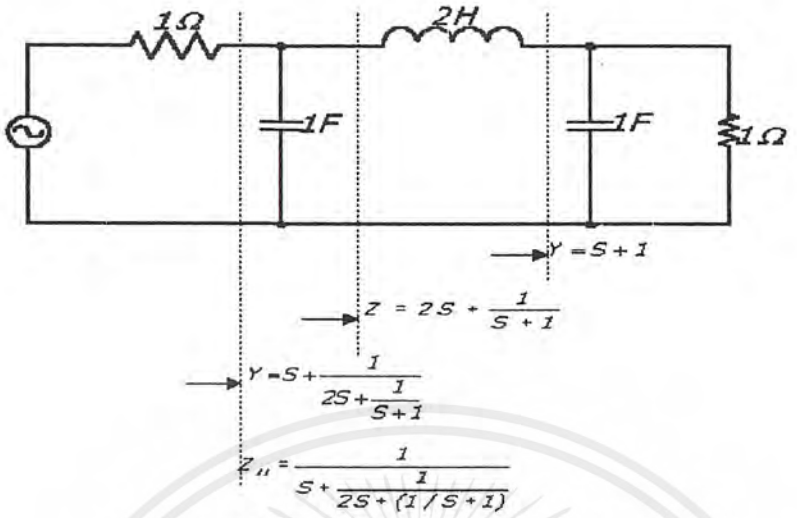
ด้วยสมการมาตรฐาน

$$Z_{11} = \cfrac{1}{Y_1 + \cfrac{1}{Z_2 + \cfrac{1}{Z_{n-1} + \ldots \cfrac{1}{Y_n}}}}$$

โดยที่ Y = sC และ Z = sL

ดังนั้นจากตัวอย่างที่3.1 สามารถหาวงจร Ladder ใช้งานจริงได้ดังนี้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.3 การ Synthesis วงจร Passive filter

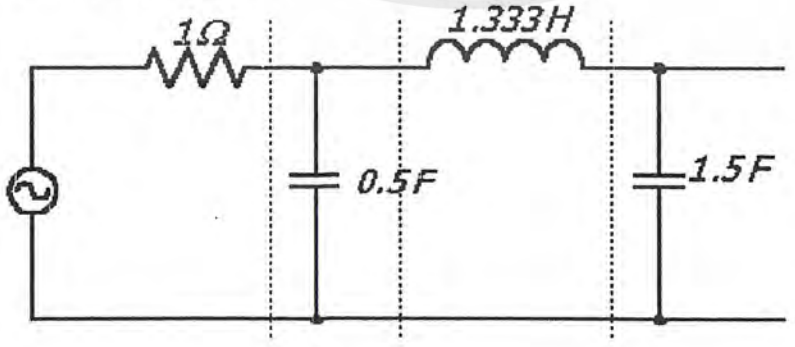
สำหรับตัวอย่างข้างต้นคือ ต้องการ $R_s = 1\Omega$ เท่ากับ Load แต่ถ้าต้องการ (5) ให้ $R_s = 1\Omega$ และ Load เท่ากับ infinite จะต้องใช้สูตร (5) ใหม่โดย

$$Z_{11} = \frac{D(s\ even)}{D(s\ odd)} \qquad (6)$$

โดยที่ $D(s\ even)$ คือ ส่วนที่กำลังคู่ทั้งหมด

$D(s\ odd)$ คือ ส่วนที่มีกำลังคี่ทั้งหมด

ซึ่งจะได้วงจรที่มีรูปแบบเป็น



รูปที่ 3.4 วงจรที่มีโหลดเป็น infinite

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.2 การออกแบบวงจรฟิลเตอร์โดยการเปิดตาราง

เป็นการสะดวก และประหยัดเวลาอย่างมากในการที่จะออกแบบวงจรฟิลเตอร์ ด้วยการเปิดตารางเพราะมีตารางที่เป็นมาตราฐานซึ่งได้รับการจัดทำโดยทำการนอร์มอลไลซ์ (Normalization) ให้เท่ากับหนึ่งเพื่อความสะดวกในการใช้งาน ที่ออเดอร์ต่างๆ อันที่จริงแล้วในทางปฏิบัติวิศวกรก็อาศัยการออกแบบวงจรฟิลเตอร์โดยการเปิดตารางมาตราฐานเป็นส่วนใหญ่

หลักในการออกแบบฟิลเตอร์

- จากคุณสมบัติที่กำหนดมาทำการเลือกชนิดของฟิลเตอร์ที่เหมาะสม
- กำหนด Order ที่เหมาะสม
- ทำการFrequency Scaling ให้ได้ค่าความถี่ที่ต้องการ

ซึ่งในโครงงานนี้ได้นำเสนอการออกแบบวงจรฟิลเตอร์โดยอาศัย Specify ของ NECTEC ซึ่งเป็นข้อกำหนดในการแข่งขันการออกแบบวงจรรวมแห่งประเทศไทย ครั้งที่ 2 (The 2nd National IC Design Contest 2001)

3.2.1 การออกแบบตามข้อกำหนดที่ให้มาและผลการทดลอง

ข้อกำหนดในการประกวดการออกแบบวงจรรวมแห่งประเทศไทย ครั้งที่ 2

อ้างตามข้อกำหนดการออกแบบเพื่อแข่งขัน จัดโดย NECTEC (ศูนย์เทคโนโลยีอิเล็กทรอนิกส์และเทคโนโลยีแห่งชาติ) โดยมีข้อกำหนดดังนี้

<u>ประเภทที่ 1 การแข่งขันการออกแบบวงจรทางด้านอนาล็อกทำหน้าที่เป็นวงจรกรองสัญญาณ (Filter)</u>

ข้อกำหนดของวงจรกรองความถี่ต่ำผ่าน

1. โครงสร้างของวงจรและลักษณะของสัญญาณ วงจรที่ออกแบบมีโครงสร้างแบบผลต่าง (Differential) ทั้งทางขาเข้า (Input) และขาออก (Output)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สำนักหอสมุดกลาง พระจอมเกล้าลาดกระบัง

กำหนดสัญญาณขาเข้าและออกเป็นแบบเดียวกันซึ่งอาจเป็นสัญญาณศักดา (สำหรับวงจรโหมดศักดา (Voltage – mode circuit) หรือสัญญาณกระแส (Current – mode circuit) อย่างใดอย่างหนึ่ง

2. ผลตอบสนองทางความถี่

-อัตราขยายไฟตรง (DC gain)	A_{DC} =	0	(dB)
-ความถี่แถบผ่าน (Passband frequency)	F_P =	2.0	(kHz)
-ความถี่แถบหยุด (Stop band frequency)	F_S =	4.0	(kHz)
-อัตรากระเพื่อมในแถบผ่าน(Pass band ripple)	A_P <	0.5	(dB)
-การลดทอนในแถบหยุด (Stop band Attenuation)	A_S ≥	45	(dB)

3. ข้อกำหนดทั่วไป

- แหล่งต่อศักดา (Supply Voltage)	5.0	(V)
- แรงดันขาเข้าโหมดร่วม (Common Input Voltage)	2.5	(V)
- การกินกำลัง (Power Consumption)	ออกแบบให้ต่ำที่สุด	
-อัตราส่วนต่อสัญญาณรบกวน (SNR)	50	(dB)

(ที่สัญญาณขาออกเท่ากับสัญญาณมาตรฐานและสัญญาณรบกวนอยู่ในช่วง 0.02 ถึง 4 กิโลเฮิตร์)

- ความเพี้ยนแบบอินเตอร์มอดูเลชัน (IM3) <-40 (dB)

(สัญญาณที่ขาออกเท่ากับสัญญาณมาตรฐานแบบสองความถี่ (two-tone) กำหนดที่ 0.9 และ 1.1 กิโลเฮิตร์)

หมายเหตุ :สัญญาณมาตรฐานในโหมดศักดา คือ สัญญาณไซนูซอยที่มีค่ายอดเท่ากับ +/- 1.5 โวลท์ และในวงจรโหมดกระแส คือสัญญาณไซนูซอยที่มีแบบขวางเท่ากับ +/-25.0 ไมโครแอมป์

4. ข้อกำหนดเกี่ยวกับการเปลี่ยนแปลงคุณสมบัติตามกระบวนการผลิต

แหล่งจ่ายต่อศักดาและอุณหภูมิ กำหนดให้กระบวนการผลิต (Process) ที่ใช้เป็นแบบ CMOS 0.5 ไมครอน ของบริษัท Alcatel โดยที่กำหนดให้มีการเปลี่ยนแปลงรูปการจำลองการทำงานเป็นไปตามตาราง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้
46206

กระบวนการผลิต	แบบช้า (Slow)	แบบปกติ (Typical)	แบบเร็ว (Fast)
ระดับแหล่งจ่าย	4.5 V	5.0 V	5.5 V
อุณหภูมิ	30°C	70°C	0°C

ตารางที่ 3.2 แหล่งจ่ายต่อศักดาและอุณหภูมิเกี่ยวกับการเปลี่ยนแปลงคุณสมบัติตามกระบวนการผลิต

ทั้งนี้ความผิดพลาดในผลตอบสนองเชิงความถี่ของวงจรกรองในทุกๆ ด้านในหัวข้อที่ 1 จะต้องไม่เกิน +/-20% ตลอดย่านการเปลี่ยนแปลงตามตาราง โดยในกรณีที่วงจรจำเป็นต้องมีการปรับแต่ง เพื่อให้ได้คุณสมบัติตามที่กำหนด ตัวแปรที่ถูกปรับแต่งจะต้องเป็นศักดาหรือกระแสเพื่อปรับความถี่ของงวจรเพียงอย่างใดอย่างหนึ่งเท่านั้น

3.2.2 การออกแบบ Passive Filter แบบ Elliptic Function

การออกแบบ Passive Filter ต่อไปนี้จะใช้ข้อกำหนดคุณสมบัติดังนี้ คือ เป็นวงจร LPF มี

$F_P = 2$ kHz

$F_S = 4$ kHz

$A_{rmax} < 0.5$ dB

$A_{min} \geq 45.0$ dB

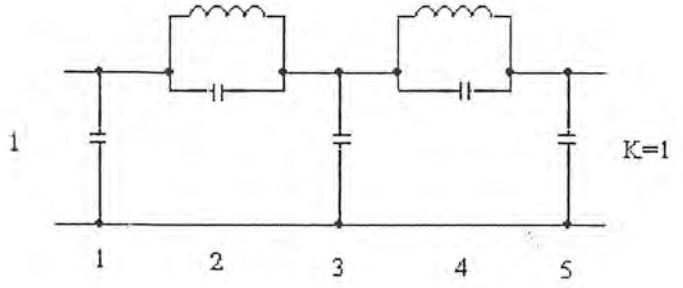
ดังนั้นเราจะเลือกใช้ Elliptic Function Filter เนื่องจาก A_{max} ที่ได้มานั้นมีค่าค่อนข้างมาก จึงไม่จำเป็นจะต้องใช้ Butterworth Filter และเนื่องจาก Elliptic Function Filter ใช้ order น้อยกว่าทั้ง Butterworth Filter และ Chebyshev Filter

จากข้อกำหนดที่ได้มา

$$\Omega_s = \frac{\omega s}{\omega c} = \frac{2\pi \times 4kHz}{2\pi \times 2kHz} = 2$$

โดยจะใช้ $\rho = 1\%$ ดังนั้น $A_{max} = 0.01087$ dB จะได้ $A_p = 26.1$ dB ซึ่งรูป Elliptic Function Filter ซึ่งใช้ order = 5 ดังนั้นแล้วรูปวงจรที่ได้จะมีลักษณะดังรูปที่ 3.5

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.5 LPF แบบ Elliptic Filter ที่ใช้ 5 order

โดย

$K^2 = 1$

C1 = 0.7072 F

C2 = 0.0772 F

L2 = 1.2257 H

C3 = 1.4348 F

C4 = 0.2206 F

L4 = 1.0383 H

C5 = 0.5884 F

ซึ่งรูปที่ได้นี้ได้มาจากการเปิดตาราง[1] จากนั้นจากรูปวงจรที่ จะทำการ Denormalize โดยใช้ $Z = 2.5\,M\Omega$ และ Frequency Scaling Factor (FSC) ของ $2\pi f_c$ คือ $2\pi \times 2kHz$ เพื่อที่จะทำให้ค่า C มีค่าเล็ก (เพื่อการออกแบบเป็น I.C. ในตอนต่อไป) ดังนั้น

$$C' = \frac{C}{FSF \times Z}$$

C'1 = 22.51 pF

C'2 = 2.45 pF

C'3 = 45.67 pF

C'4 = 7.02 pF

C'5 = 10.73 pF

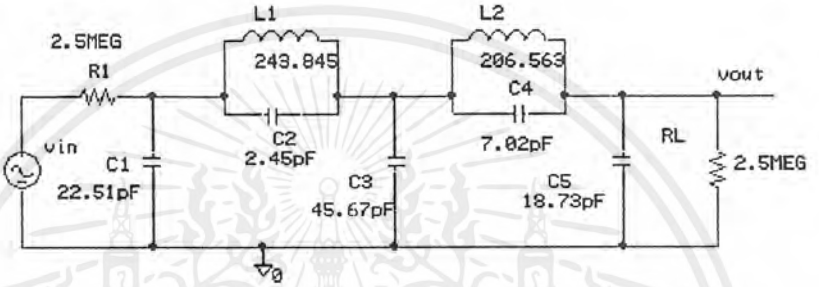
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$L' = \frac{L \times Z}{FSF}$$

L'1 = 243.845 H

L'2 = 206.563 H

จะได้วงจรใหม่ดังรูปที่ 3.6



รูปที่ 3.6 LPF แบบ Elliptic Filterที่ใช้ 5 order ที่ได้ Impedance และ Frequency Scaling แล้ว

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 4
การออกแบบวงจรแอคทีฟฟิลเตอร์ (Active Filter Design)

4.1 Operation Transconductance Amplifier

ในปัจจุบันแม้ว่าโดยส่วนใหญ่การสร้าง แอคทีฟฟิลเตอร์(Active filter) จาก ออปแอมป์ (Op-amp) ลักษณะที่เกี่ยวข้องกับการปฏิบัติของออปแอมป์จนกลายเป็นฟิลเตอร์ จะเห็นได้ชัดจากพื้นฐานของออปแอมป์เอง และการประยุกต์ใช้ของออปแอมป์ ที่มีการเปลี่ยนแปลงค่อนข้างจำกัด ส่วนมากความหมายที่สำคัญอยู่ที่ความไม่อิสระทางด้านความถี่และเกณฑ์การขยายของออปแอมป์เอง ฉะนั้นลักษณะและด้วยวิธีการประยุกต์ใช้ของแอคทีฟฟิลเตอร์ โดยส่วนใหญ่เราพยายามแก้ไขข้อบกพร่องในการออกแบบแอคทีฟฟิลเตอร์ และเราสามารถทำได้โดยใช้ OTA (Operational Transductance Amplifier) ซึ่งทางด้านเอาท์พุทจะเป็นกระแสโดยการบังคับจากแรงดันสัญญาณอินพุท ทรานส์คอนดัคเตอร์โดยทั่วไปมีแบนวิดส์กว้างกว่าของออปแอมป์ และมีค่าอินพุท และเอาท์พุทอิมพีแดนซ์สูง โดยทั่วไปในวงจรอินทิเกรเตอร์จะสะดวกต่อการปรับแต่งทางวงจรโดยการเปลี่ยนแปลงของกระแสไบอัส โดยปกติทรานสคอนดัคเตอร์มีส่วนประกอบในการปรับแต่งน้อยกว่าของออปแอมป์ วงจรเทียบเท่าในอุดมคติของทรานส์คอนดัคเตอร์แสดงในรูป 4.1 โดยมีลักษณะเป็น โวลท์เตจ คอน โทรน เคอร์เรนท์ ซอร์ส (Voltage Control Current Source :VCCS) อัตราการเปลี่ยนค่าศักดาไฟฟ้าไปเป็นกระแสไฟฟ้านี้ มีชื่อเฉพาะว่า ทรานส์คอนดัคแตนซ์ (Transconductance:gm)

$$I_o = g_m(v^+ - v^-) \qquad (1)$$

ค่าความต้านทานของอินพุทและเอาท์พุทของ OTA มีค่าเป็นอนันต์ซึ่งในรูปที่ 4.1 ได้แสดงและอธิบายในการออกแบบของทรานส์คอนดัคเตอร์ โดยมีการปรับแต่งและควบคุมด้วยกระแสไบอัสที่เป็นเช่นนี้นั้น g_m เป็นสัดส่วนของ Icntl ของ $g_m = k * Icntl$ โดยความรู้ทั้งหมดจะเป็นประโยชน์ต่อวงจรในการพัฒนาขั้นพื้นฐานในการออกแบบของทรานส์คอนดัคเตอร์

โดย G_m = Shot Circuit Transconductance (หน่วย A/V)

$$\frac{i_o}{v_i} = g_m \qquad (2)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

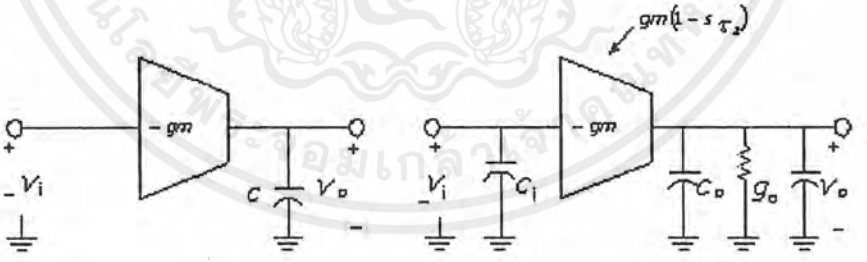
อนันต์ ทำให้อัตราการขยายของเกณฑ์ที่อยู่ในรูปของดีบีไม่เป็นอนันต์ ในวงจรกรองที่มีความถี่สูงๆการตอบสนองทางความถี่ (Frequency Response)ของวงจรมีขีดจำกัดอันเนื่องมาจากค่าของคาปาซิเตอร์ภายในตัวของอุปกรณ์แอคทีฟ ซึ่งไม่สามารถหลีกเลี่ยงได้จากการสร้างอุปกรณ์ แอคทีฟ เหล่านี้ก็คือค่าของ คาปาซิแตนซ์บริเวณรอยต่อ ของชั้นต่างๆของทรานซิสเตอร์ค่าคาปาซิแตนซ์เหล่านี้ที่ความถี่ต่ำๆจะไม่มีผลมากนัก แต่ถ้าใช้งานที่ความถี่สูงๆ ค่าคาปาซิแตนซ์เหล่านี้จะมีผลต่อการตอบสนองของวงจรทำให้แบนวิดส์ของอินทิเกรเตอร์มีค่าต่ำยิ่งค่าคาปาซิแตนซ์มากการตอบสนองของวงจรยิ่งต่ำด้วย

ทรานส์เฟอร์ฟังก์ชั่นที่เป็นอุดมคติที่แสดงในสมการ (3)

$$H_i(s) = \frac{v_o}{v_i} = \frac{g_m}{sc} \qquad (3)$$

ให้ $s = j\omega$ ทรานสเฟอร์ฟังก์ชั่นของอินทิเกรเตอร์นี้แสดงในรูปที่ 3.3 ซึ่งจะเป็นการแสดง Curve ซึ่งอินทิเกรเตอร์ในอุดมคติเกณฑ์การขยาย Dc-gain จะมีค่าเป็นอนันต์ซึ่งไม่มี Parasitic ของ Pole หรือ Zero การตอบสนองทางเฟสของอินทิเกรเตอร์จะมีการตอบสนองที่คงที่เป็น – 90 องศาที่ทุกๆ ความถี่ซึ่งเกิดจาก $1/s$ ของ C ที่ต่อทางเอาต์พุท เกณฑ์ที่มีขนาดdBเท่ากับศูนย์เรียกว่าความถี่ Unity-gain Frequency ; หรือความถี่

$$\omega.t = \frac{g_m}{c} \qquad (4)$$



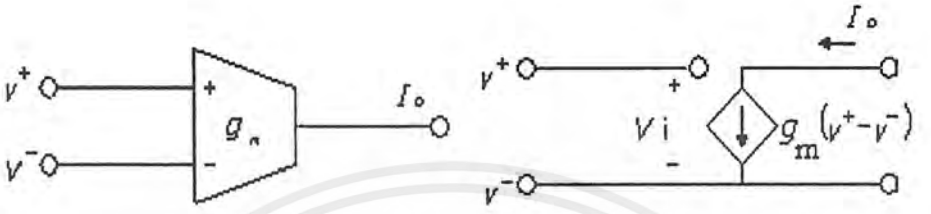
รูปที่ 4.2 อินทิเกรเตอร์ที่เป็นอุดมคติและการจำลองอินทิเกรเตอร์ที่ไม่เป็นอุดมคติ

ความไม่เป็นอุดมคติของทรานสคอนดัคเตอร์เกิดจากสภาพแวดล้อมซึ่งจะบ่งบอกลักษณะที่มีผลกระทบความไม่เป็นอุดมคติคือ Non-Zero Output Conductance (g_o) ไม่เป็นศูนย์ซึ่ง g_o เป็นส่วนกลับของ R_o คือ $g_o = 1/R_o$ ถ้าค่าของ g_o มีค่าเป็นศูนย์ของ R_o จะมีค่าเป็นอนันต์ โดย g_o เอาต์พุทคอนดัคแตนซ์ที่มองทางด้านเอาต์พุท ค่าของ g_o จะมีผลกระทบของการหน่วงเวลาในทราน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

โดย i_o คือ กระแสเอาท์พุทของทรานส์คอนดัคเตอร์

และ v_i คือ แรงดันอินพุทของทรานส์คอนดัคเตอร์มีค่าเท่ากับ $v_i = (v^+ - v^-)$



รูปที่ 4.1 สัญลักษณ์และวงจรสมมูลของ OTA

4.1.1 ทรานส์คอนดัคเตอร์ในทางปฏิบัติ

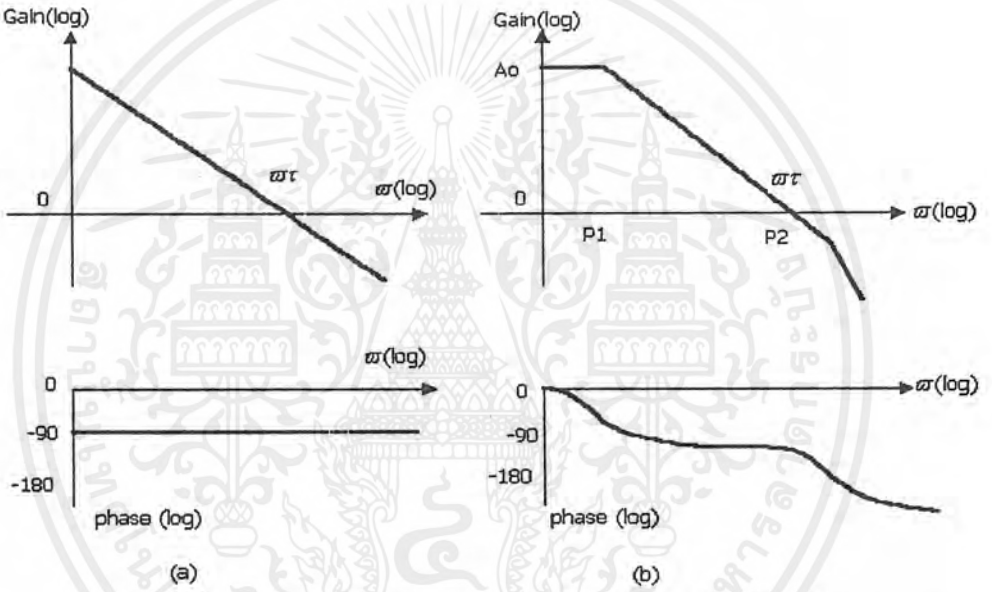
ตัวทรานส์คอนดัคเตอร์ที่เรากำหนดให้สมมุติว่าเป็นอุดมคติ คือมีอินพุท-เอาท์พุทเป็นอนันต์ มีแบนวิสด์กว้าง มีสัญญาณรบกวนน้อย ค่าการลดทอนน้อย และอื่นๆในหัวข้อนี้เราจะศึกษาผลกระทบของความไม่เป็นอุดมคติของทรานสคอนดัคเตอร์ที่ใช้ทำวงจรฟิลเตอร์ซึ่งจะอธิบายต่อไป การกำหนดพารามิเตอร์ของทรานสคอนดัคเตอร์เพื่อสามารถอธิบายผลกระทบของตัวทรานสคอนดัคเตอร์ที่ไม่เป็นอุดมคติ ผลกระทบของความไม่เป็นอุดมคติของตัวทรานสคอนดัคเตอร์ในการทำวงจรกรองนั้นมีหลายอย่างที่เป็นผลกระทบ เช่น ความถี่คัทออฟ (Cut-off Frequency) , Quality Factor , ซึ่งจะเป็นข้อกำหนดในการตัดสินใจเลือกตัวทรานสคอนดัคเตอร์ในการใช้งานตัวทรานสคอนดัคเตอร์เมื่อต่อตัวเก็บประจุทางเอาต์พุทแล้วจะกลายเป็นอินทิเกรเตอร์

4.1.2 ผลกระทบซึ่งเป็นข้อจำกัดของอินทิเกรเตอร์

ในรูปที่ 4.1 แสดง g_m-C : integrator ที่เป็นอุดมคติ ทรานสคอนดัคเตอร์ไม่มีความสลับซับซ้อนมากนัก คือมีอินพุทเป็นแรงดันเท่ากับ $v_i = (v^+ - v^-)$ มีเอาท์พุทเป็นกระแส ตัวทรานส์คอนดัคเตอร์ ที่ไม่เป็นอุดมคติ จะเกิดจากผลของอินพุทและเอาต์พุท ของคาปาซิแตนซ์ ภายในตัวทรานส์ซิสเตอร์จะมีผลกับความถี่ตัดด้านสูงสุด (Miler Effect Capacitance) คือ (C_I , C_o) ตามลำดับ และค่าของเอาท์พุทคอนดัคแตนซ์ : g_o ที่เป็นส่วนกลับของ 1 / R_o มีค่าไม่เป็นศูนย์หรือ R_o มีค่าไม่เป็น

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เฟอร์ฟังก์ชั่น โดยส่วนมากในทางปฏิบัติค่าของ g_o เราต้องการให้มีค่าน้อยและเป็นค่าบวก ค่าของ g_o สามารถที่ทำให้มีค่าน้อยๆยกเว้นเป็นค่าลบ การหน่วงเวลาเกิดจาก Parasitic ของ Pole หรือ Zero ในทรานส์เฟอร์ฟังก์ชั่นของอินทิเกรเตอร์ Parasitic ของ Poles หรือ Zero เหล่านี้สามารถที่จะเลือกเอาอย่างใดอย่างหนึ่งโดยตรงจาก Pole หรือ Zero ในการส่งผ่านของทรานส์คอนดัคเตอร์ นอกจากนี้ Parasitic ของ Poles หรือ Zero เหล่านี้ที่ความถี่สูงๆจะเป็นตัวกำหนดขอบเขตความกว้างของความถี่ (Frequency Range) ในวงจรแบบจำลองของความไม่เป็นอุดมคติ g_m-C : Integrator ถูกแสดงในรูปที่ 4.3 จะมีข้อจำกัดของ Dominant pole , Time-constant, ข้อจำกัดขนาดของ Dc- Gain, ค่า Output-conductance



รูปที่ 4.3 คุณสมบัติของ Gm-C Filter ในทางอุดมคติเปรียบเทียบกับ Gm-C Filter ในทางปฏิบัติ

$$\tau = \frac{C}{g_o} \tag{5a}$$

$$A_0 = \frac{g_m}{g_o} \tag{5b}$$

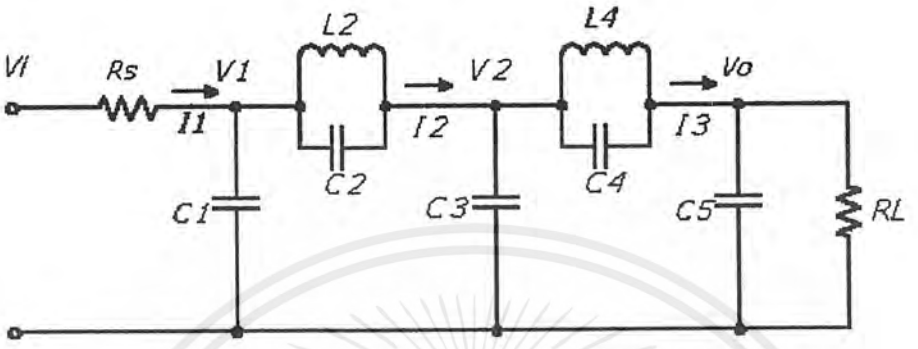
และค่า Parasitic ของ Zero โดยมี Time-constant: τ_2 นั้นทำให้ทรานสเฟอร์ฟังก์ชั่นที่ไม่เป็นอุดมคติสามารถเขียนใหม่ได้เป็น

$$H_{ni} = \frac{v_o(s)}{v_i(s)} = A_o \frac{(1 - s\tau_2)}{(1 + s\tau_1)} \tag{6}$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4.2 การแปลงวงจรด้วยเทคนิคของ SFG(Signal Flow Graph)

จากบทที่ 3 เราจะได้วงจร Filter ที่ใช้อุปกรณ์ พาสซีพ (R,L,C) ดังรูป



รูปที่ 4.4 Passive filter network

จากวงจรให้กำหนดโหนดและกระแสตามสาขาต่างๆ แล้วเขียนสมการกระแสและแรงดันได้ดังต่อไปนี้

โดยจะนำสมการดังกล่าวมาเขียน Signal Flow Graph เพื่อให้ได้อุปกรณ์ที่อยู่ในรูปฟังก์ชั่นของแรงดัน (OTA) ทำให้เราต้องทำการสเกลสมการดังกล่าวด้วย
ซึ่งได้สมการชุดใหม่ดังต่อไปนี้

$$\frac{R_x}{R_s} \longrightarrow I = G_m(V^+ - V^-)$$

ซึ่งได้สมการชุดใหม่ดังต่อไปนี้

$$VI_1 = I_1 R_x = \frac{R_x}{R_s}(V_i - V_1)$$

$$VI_2 = I_2 R_x = \frac{R_x(V_1 - V_2)}{(SL_2 + \frac{1}{SL_4})}$$

$$VI_3 = I_3 R_x = \frac{R_x(V_2 - V_o)}{(sL_4 + \frac{1}{sC_4})}$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

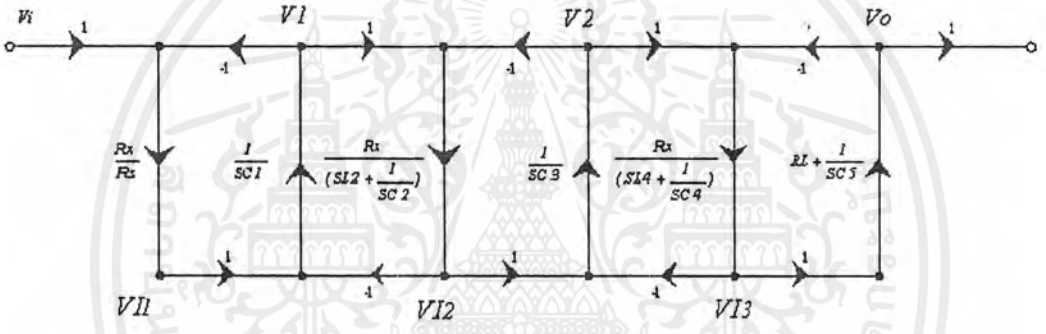
และอีก 3 สมการที่เหลือจึงเป็นดังต่อไปนี้

$$V_1 = \frac{1}{sC_1}(VI_1 - VI_2)$$

$$V_2 = VI_3(\frac{1}{sC_5 + RL})$$

$$V_0 = VI_3(\frac{1}{sC_5} + RL)$$

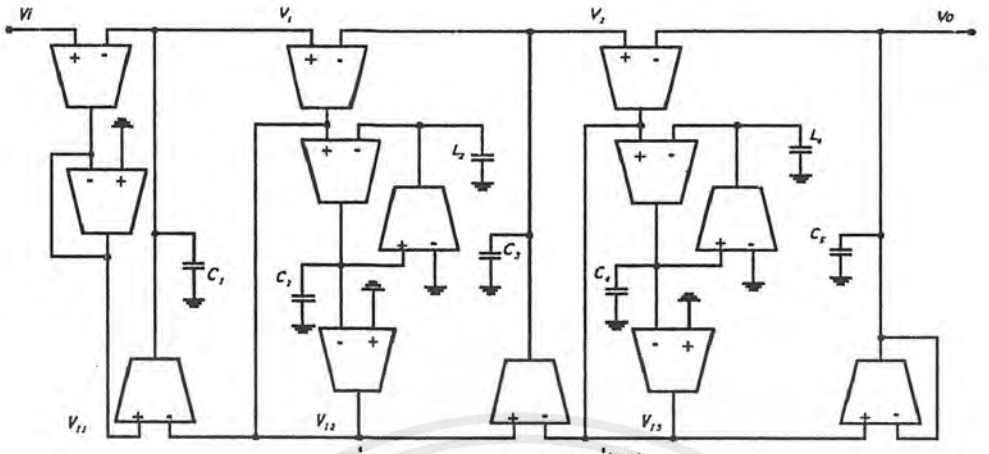
ซึ่งจะเห็นว่าวงจรดังกล่าวติดอยู่ในรูปของแรงดันทั้งหมด แล้วจึงนำมาเขียนเป็น Signal Flow Graph ได้ดังรูปต่อไปนี้



รูปที่ 4.5 Signal flow graph

จาก Signal Flow Graph ของรูปที่4.5 ทำให้ได้วงจรที่ประกอบไปด้วยอุปกรณ์ที่เป็นแอคทีฟดังรูปต่อไปนี้

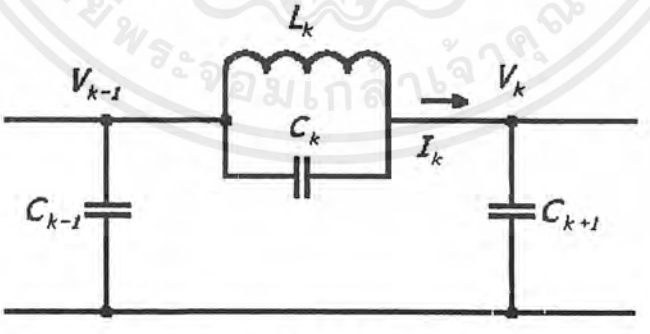
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.6 Gm-cell 13 ตัวที่ได้จากการแปลง

4.3 การลดจำนวนของอุปกรณ์ที่เป็นแอคทีฟในวงจรฟิลเตอร์ (Reduction the number of Active devices)

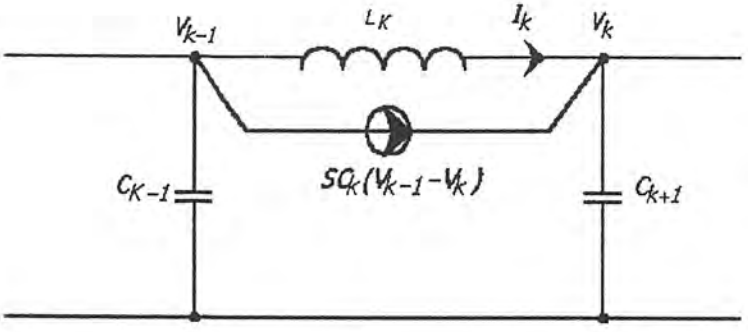
ซึ่งจะเห็นว่าจากวงจรรูปที่ 4.6 ประกอบไปด้วย OTA จำนวนมาก ดังนั้นในรายงานฉบับนี้จึงได้นำเสนอวิธีการลดจำนวนของอุปกรณ์ที่เป็นแอคทีฟซึ่งหลักการก็คือการพยายามทำให้ C ที่อยู่ในแนวขนานกับ L โดยย้ายมารวมกับ C ที่อยู่ในแนวขนานของวงจรให้หมดในวงจรต้นแบบ โดยวิธีการดังกล่าวนี้จะทำให้เราลดจำนวนของอุปกรณ์ที่เป็นแอคทีฟลงได้เป็นอย่างมาก โดยการพิจารณาดังลำดับต่อไปนี้



รูปที่ 4.7 LC network

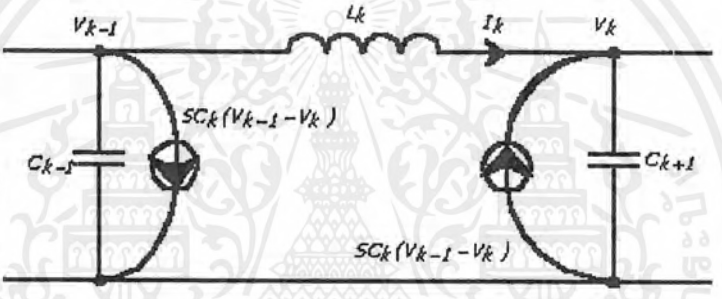
โดยการใช้ทฤษฎี Substitution แปลง C_k ให้อยู่ในรูปของแหล่งจ่ายกระแสชั่วขณะได้ดังรูปคือ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



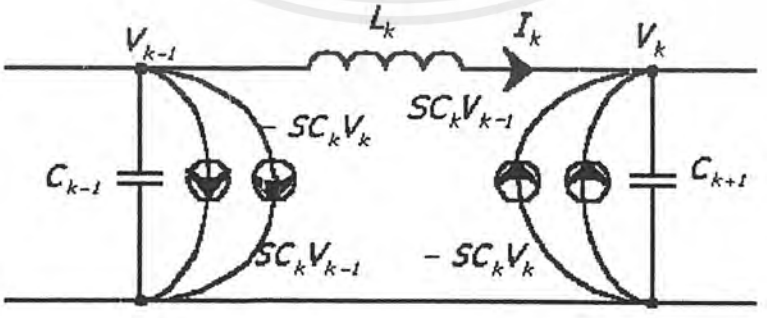
รูปที่ 4.8 Substitution technique

จากนั้นใช้คุณสมบัติการเลื่อนกระแส (I-shift property) เลื่อนกระแสให้มาอยู่ในแนวขนานของวงจร

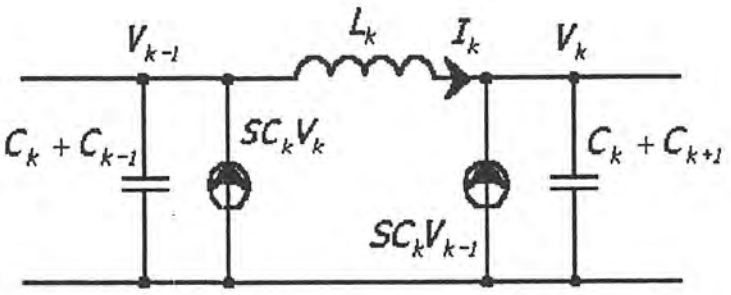


รูปที่ 4.9 I-shift property technique

ใช้ Substitution theorem อีกครั้งหนึ่งแปลงกระแสชั่วขณะให้อยู่ในรูปของอิมพีแดนซ์แล้วรวมเข้าด้วยกับ C ที่ขนานอยู่ได้ดังนี้



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.10 การแปลง Gm-cell

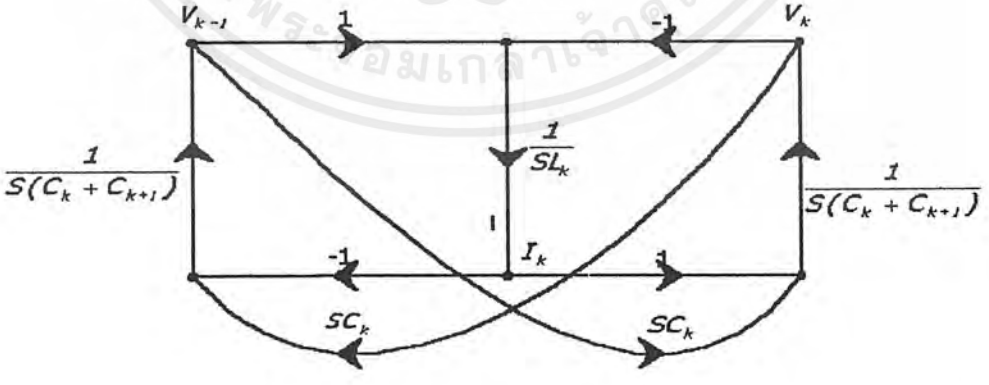
จากรูปที่ 4.7 ให้เราเขียนสมการของกระแสและแรงดันแล้วเขียน Signal Flow Grap ของมันได้ดังนี้

$$I_k = \frac{1}{sL_k}(V_{k-1} - V_k)$$

$$V_{k-1} = \frac{sC_kV_k - I_k}{s(C_k + C_{k-1})}$$

$$V_k = \frac{I_k + sC_kV_{k-1}}{s(C_k + C_{k+1})}$$

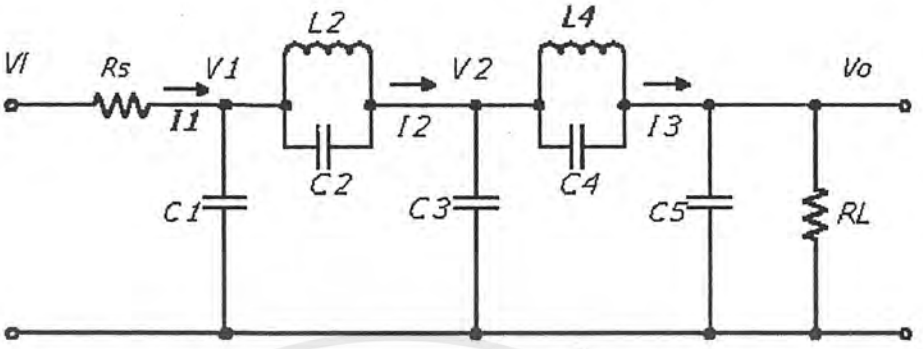
จากสมการได้ Signal Flow Graph ดังนี้



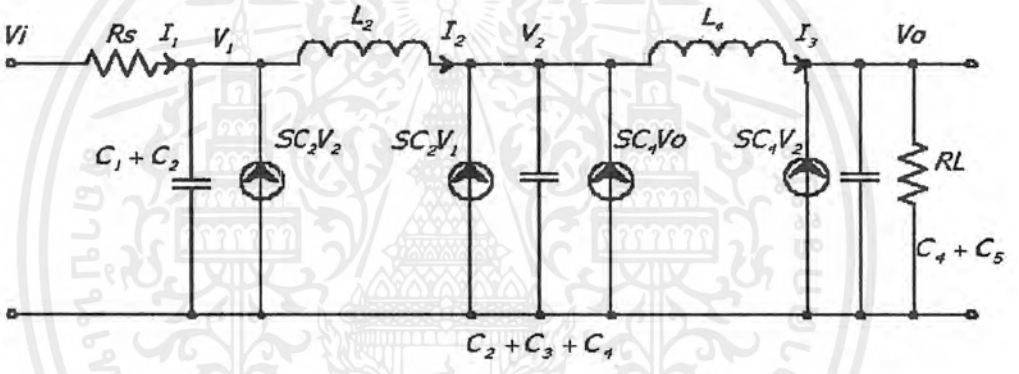
รูปที่ 4.11 Signal flow graph ที่ทำการแปลงแล้ว

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เพราะฉะนั้นจากทฤษฎีดังกล่าวนำมาประยุกต์กับวงจรต้นแบบของเราได้ดังต่อไปนี้



รูปที่ 4.12 Apply to passive filter



รูปที่ 4.13 แปลงตัวเก็บประจุให้อยู่ในแนวขนานกับวงจร

เขียนสมการของวงจรที่3.10 เพื่อที่จะนำไปเขียน Signal Flow Graph ของมันได้ดังต่อไปนี้

$$I_1 = \frac{1}{Rs}(V_i - V_1) \quad , \quad I_3 = \frac{1}{sL_4}(V_2 - V_o)$$

$$V_1 = \frac{(I_1 + sC_2V_2 - I_2)}{s(C_1 + C_2)} \quad , \quad V_o = \frac{(I_3 + sC_4V_2)}{s(C_4 + C_5) + \frac{1}{RL}}$$

$$I_2 = \frac{1}{sL_2}(V_1 - V_o)$$

$$V_2 = \frac{(I_2 + sC_2V_1 + sC_4V_o - I_3)}{s(C_2 + C_3 + C_4)}$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เพื่อที่จะเขียน Signal Flow Graph จึงต้องทำการคูณด้วย $\frac{R_x}{R_x}$ ให้สมการมีฟังก์ชั่นเป็น โวลท์แตจตาม ความต้องการจะได้ดังต่อไปนี้

$$VI_1 = I_1 R_x = \frac{R_x}{R_s}(V_i - V_1) \qquad , sC_2V_2R_x \qquad , sC_4V_2R_x$$

$$VI_2 = I_2 R_x = \frac{R_x}{SL_2}(V_1 - V_2) \qquad , sC_1V_1R_x$$

$$VI_3 = I_3 R_x = \frac{R_x}{sL_4}(V_2 - V_o) \qquad , sC_4V_oR_x$$

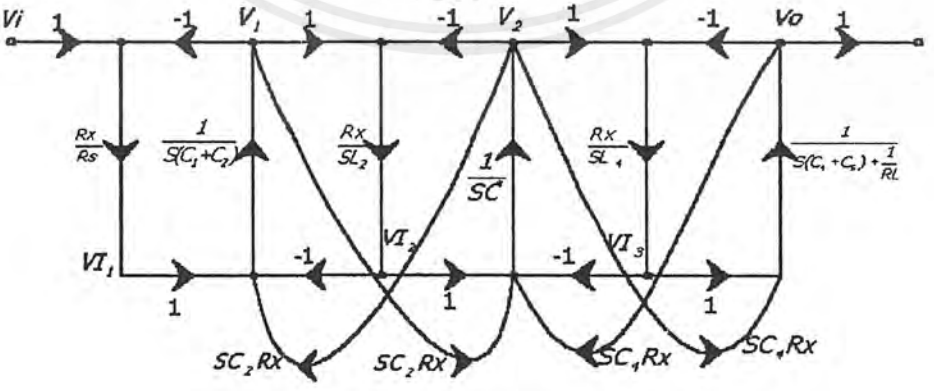
อีก 3 สมการที่เหลือจึงเป็น

$$V_1 = \frac{(VI_1 + sC_2R_xV_2 - VI_2)}{s(C_2 + C_1)}$$

$$V_2 = \frac{(VI_2 + sC_2R_xV_1 + sC_4R_xV_o - V_2)}{s(C_2 + C_3 + C_4)}$$

$$V_o = \frac{(VI_3 + sC_4R_xV_2)}{s(C_4 + C_5) + \frac{1}{RL}}$$

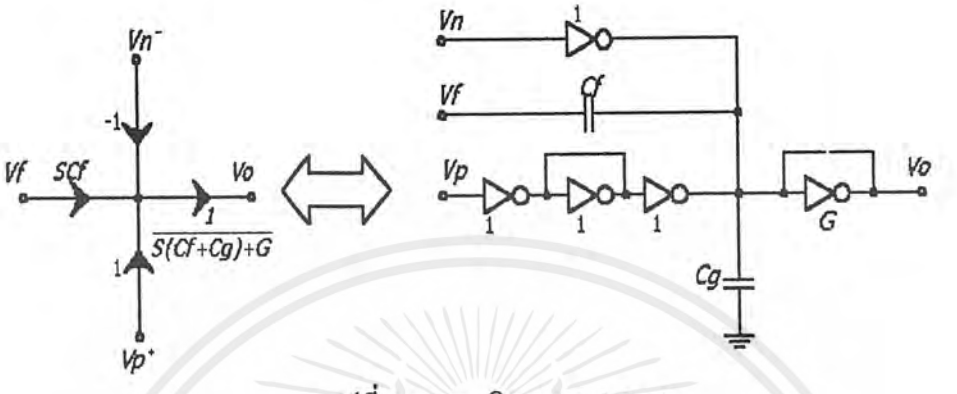
นำสมการทั้งหมดมาเขียนเป็น Signal Flow Graph ได้ดังรูปต่อไปนี้



รูปที่ 4.14 ผลการแปลงโดย SFG technique

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การสร้างวงจรที่ประกอบไปด้วย Gm-C หรือ OTA จาก Signal Flow Graph ให้พิจารณาการ Synthesis ดังต่อไปนี้



รูปที่ 4.15 เทคนิคการ Synthesis

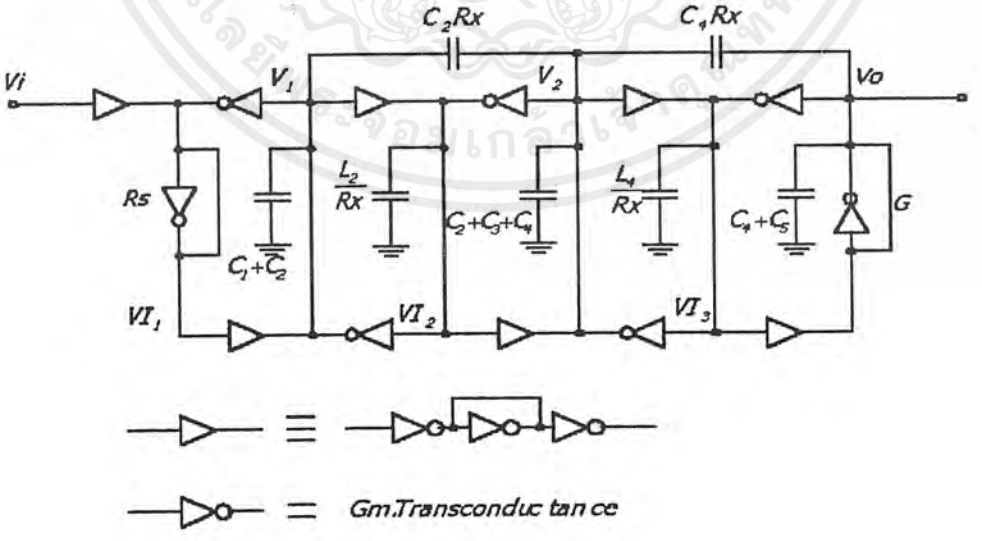
โดยที่ V_n คือศักดาโวลท์ที่มีค่าเป็นลบ

V_p คือศักดาที่มีค่าเป็นบวก

V_f คือศักดาเนื่องมาจาก Voltage Feedback

V_o คือแรงดันผลรวมของทิศทางกระแสที่เกิดจาก V_n,V_p,V_f

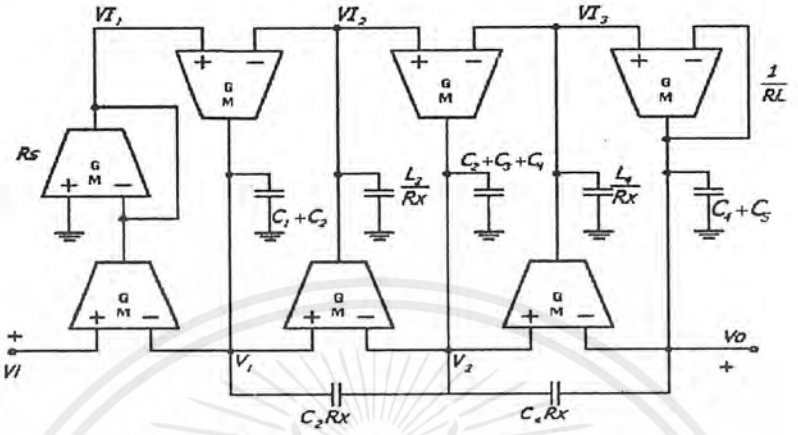
ทำให้ได้วงจรดังต่อไปนี้



รูปที่ 4.16 ผลของการ Synthesis

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

โดยการรวม inverting และ non-inverting Gm เข้าด้วยกันในแต่ละจุดร่วมของ Voltage จะได้วงจรที่ประกอบไปด้วย OTA ดังต่อไปนี้



รูปที่ 4.17 Gm cell Single ended 7 ตัว

จากรูปที่3.15 เราสามารถลดวงจรส่วนหน้าลงได้อีกโดยการพิจารณาดังต่อไปนี้ จากวงจรจะได้

$$I_1 = G_m(V_i - V_1) \quad (1)$$

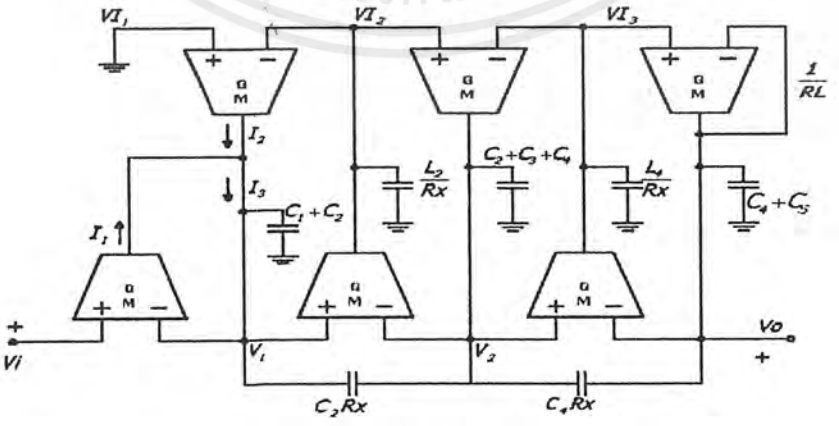
และ $$VI_1 = \frac{I_1}{G_m} \quad (2)$$

(1) แทนใน (2)

$$VI_1 = V_i - V_1$$

$$\therefore I_3 = G_m(VI_1 - VI_2)$$

$$= G_m(v_i - V_1 - VI_2) \quad (3)$$



รูปที่ 4.18 Gm cell Single ended 6 ตัว

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากวงจรรูปที่ 4.16 จะได้

$$I_1 = G_m(V_i - V_1) \quad (4)$$

$$I_2 = -G_m V_2 \quad (5)$$

$$\therefore I_3 = I_1 + I_2$$

$$= G_m(V_i - V_1 - V_2) \quad (6)$$

(3)=(6)

เพราะฉะนั้นจึงสรุปได้ว่าเราสามารถแทนวงจรรูปที่4.18 ด้วยวงจรรูปที่4.17 ทำให้ประหยัด OTA ไปได้อีกหนึ่งตัว ซึ่งตอนนี้เราจึงมีวงจร Single Ended ที่ประกอบไปด้วย OTA เพียง 6 ตัวเท่านั้นดังรูปที่ 4.18

4.4 Gm-C Filter Fully Balance

แต่เป้าหมายของเราคือการทำวงจรFilter ให้เป็นแบบ Fully Differential เพราะฉะนั้นเราจะต้องแปลงวงจรรูปที่4.16 ซึ่งเป็นแบบ Single Ended ให้เป็นแบบ Fully Differential โดยพิจารณาวงจร OTA ดังต่อไปนี้

จากวงจรA รูปที่4.17

$$i = G_m V_i$$

$$\therefore V_o = \frac{G_m V_i}{sC_1} \quad (1)$$

กำหนด $V_i = V_i^+ - V_i^-$, $V_o = V_o^+ - V_o^-$, $i = G_m V_i$

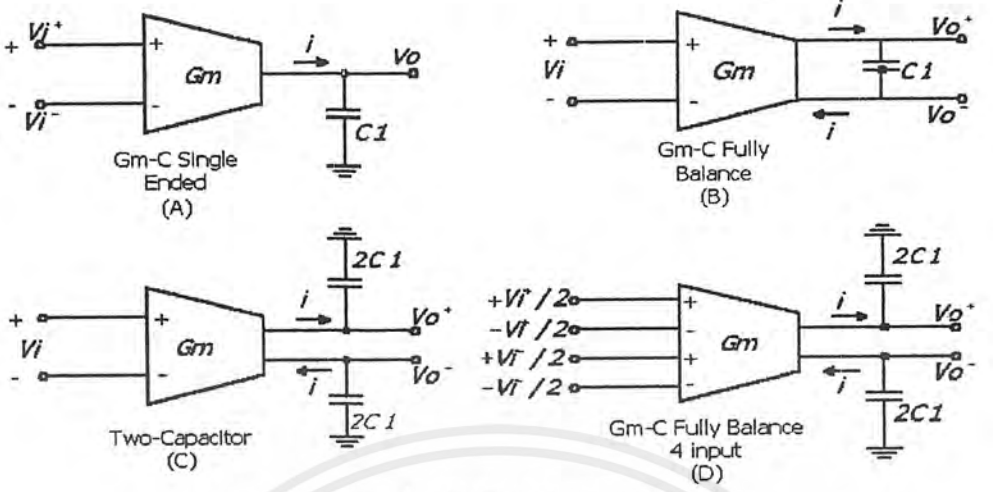
จากวงจร B รูปที่4.17

$$V_o^+ - V_o^- = \frac{i}{sC_1}$$

เมื่อ $i = G_m V_i$

$$\therefore V_o = V_o^+ - V_o^- = \frac{G_m V_i}{sC_1} \quad (2)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.19 Gm cell แบบต่างๆ

จากวงจรรูปที่4.19 (C)

$$V_o^+ = \frac{i}{2sC_1} = \frac{G_m Vi}{2sC_1}$$

$$V_o^- = \frac{-i}{2sC_1} = \frac{-G_m V_i}{2sC_1}$$

$$\therefore V_o = V_o^+ - V_o^- = \frac{2G_m V_i}{2sC_1}$$

จะได้ว่า $V_o^+ = \frac{G_m V_i}{2sC_1}$ (3)

จากวงจรD รูปที่4.19

จะได้ $V_i^+ = \frac{V_i^+}{2} - (-\frac{V_i^+}{2})$

และ $Vi^- = \frac{Vi^-}{2} - (-\frac{Vi^-}{2})$

และ $i = G_m(V_i^+ - V_i^-) = G_m V_i$

ดังนั้น $V_o^+ = \frac{G_m V_i}{2sC_1}$

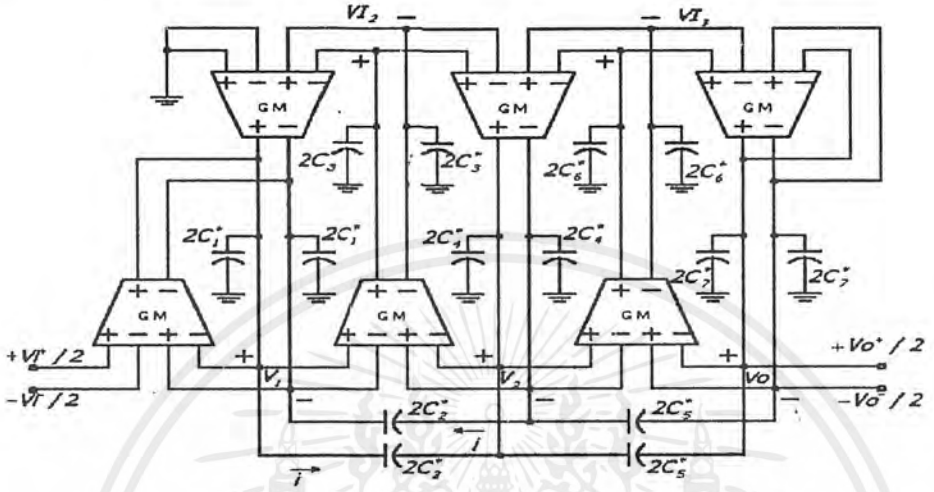
$$V_o^- = \frac{-G_m V_i}{2sC_1}$$

$$\therefore V_o = V_o^+ - V_o^- = \frac{G_m V_i}{sC_1} \quad (4)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากวงจรทั้งหมดจะได้ว่า (1)=(2)=(3)=(4)

เมื่อทรานเฟอร์ฟังก์ชั่นของทั้ง 4 วงจรเหมือนกันจึงสรุปได้ว่าเราสามารถที่จะใช้วงจรเหล่านี้แทนกันได้ในที่สุดจึงได้วงจรที่เป็นแบบ Gm-C Fully Balance ดังต่อไปนี้



รูปที่ 4.20 วงจร Gm-C filter ใช้ Gm แบบ 4 input

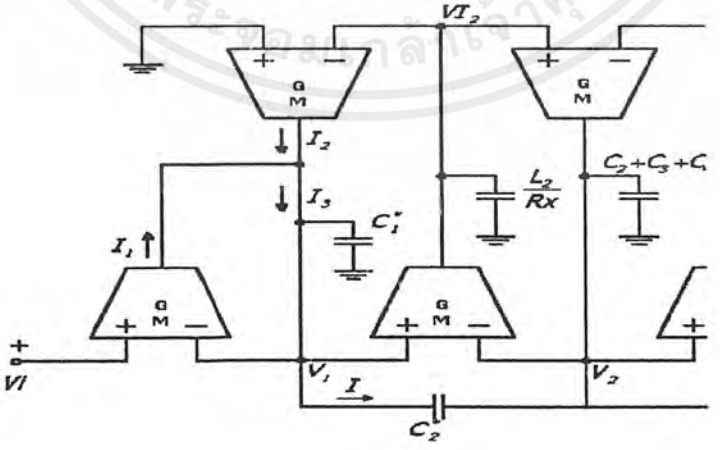
โดยที่ $C_1^* = C_1 + C_2$ $C_5^* = C_4 Rx$

$C_2^* = C_2 Rx$ $C_6^* = L_4/Rx$

$C_3^* = L_2/Rx$ $C_7^* = C_4 + C_5$

$C_4^* = C_2 + C_3 + C_4$

และพิจารณาความสำพันธ์ระหว่าง 2C*2 ในวงจร Fully Balance และ Single Ended โดยพิจารณาวงจรดังนี้



รูปที่ 4.21 การเปรียบเทียบค่าของCapacitor ในวงจร Single and Double ended

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากวงจรรูปที่ 4.21 จะได้ว่า

$$sC_2^*(V_1 - V_2) = i$$

$$\therefore V_1 - V_2 = \frac{i}{sC_2^*} \quad (1)$$

และจากวงจร Fully Balance รูปที่ 4.20 จะได้ว่า

$$V_1^+ - V_2^+ = \frac{i}{2sC_2^*} \quad (2)$$

และ $$V_1^- - V_2^- = \frac{-i}{2sC_2^*} \quad (3)$$

(2)-(3) จะได้ว่า

$$V_1^+ - V_2^+ - (V_1^- - V_2^-) = \frac{2i}{2sC_2^*}$$

$$(V_1^+ - V_1^-) - (V_2^+ - V_2^-) = \frac{i}{sC_2^*}$$

$$\therefore V_1 - V_2 = \frac{i}{sC_2^*} \quad (4)$$

ทำให้ได้ว่า (1) = (4)

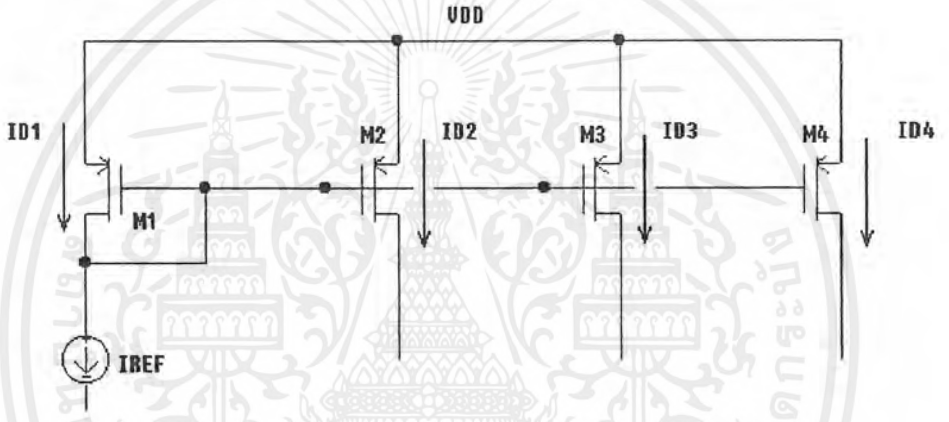
ดังนั้นจึงสามารถทำให้เราสรุปได้ว่าวงจร Single Ended เมื่อแทนด้วยวงจรที่เป็น Fully Balance แล้วค่า Parameter ต่างๆของวงจรจะเปลี่ยนแปลงดังได้แสดงในวงจรที่ผ่านมา

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

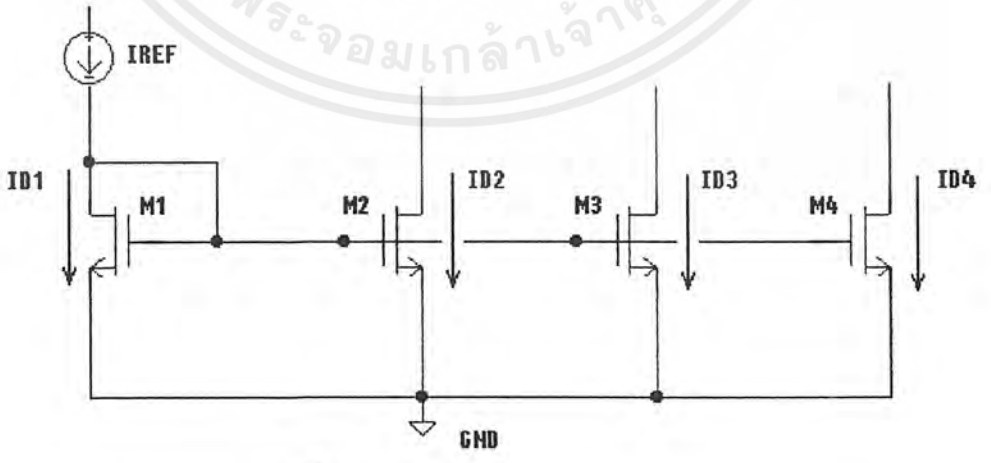
บทที่ 5
การออกแบบวงจร Gm-C FILTER

5.1 แหล่งจ่ายกระแส (Current Source)

ในวงจรรวม (Integrated Circuit) นั้นจะมีแหล่งจ่ายกระแสค่าต่างๆกันอยู่หลายตัวภายในวงจร ดังนั้นการที่จะสร้างแหล่งจ่ายกระแสดังกล่าวจะใช้ MOSFET ที่ทำงานในย่านกระแสอิ่มตัว (Saturation Region) มาต่อในลักษณะของวงจรสะท้อนกระแส (Current Mirror) [2] สร้างเป็นแหล่งจ่ายกระแสขึ้นมาดังรูปที่ 5.1 และรูปที่ 5.2



รูปที่ 5.1 วงจร PMOS Current Mirror



รูปที่ 5.2 วงจร NMOS Current Mirror

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากวงจรในรูปที่ 5.1 วงจร PMOS Current Mirror

$$I_D = \frac{1}{2}\mu_p cox\left(\frac{w}{L}\right)(V_{GS} - V_{TH})^2(1 + \lambda V_{DS2}) \quad (5.1)$$

และวงจรในรูปที่4.2 วงจร NMOS Current Mirror

$$I_D = \frac{1}{2}\mu_n cox\left(\frac{w}{L}\right)(V_{GS} - V_{TH})^2(1 + \lambda V_{DS2}) \quad (5.2)$$

โดยที่ $I_{REF} = I_{D1}$ จะได้

$$I_{D2} = \frac{(W/L)_2}{(W/L)_1} I_{REF}\left(\frac{1 + \lambda V_{DS2}}{1 + \lambda V_{GS1}}\right) \quad (5.3)$$

เมื่อ λ มีค่าน้อยมากจะได้

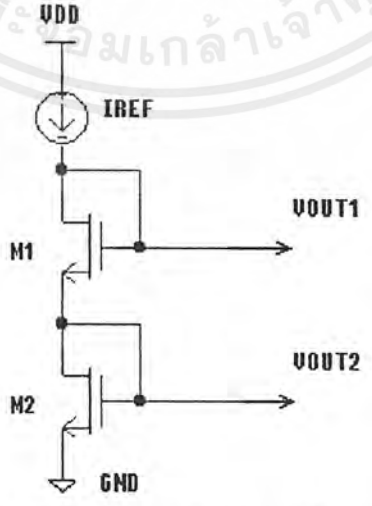
$$\boxed{I_{D2} \approx \frac{(W/L)_2}{(W/L)_1} I_{REF}} \quad (5.4)$$

ดังนั้น $I_{D3} \approx \frac{(W/L)_3}{(W/L)_1} I_{REF}$

$I_{D4} \approx \frac{(W/L)_4}{(W/L)_1} I_{REF}$

5.2 แหล่งจ่ายแรงดัน (Voltage Source)

ในการสร้างแหล่งจ่ายแรงดันหลายๆค่าในวงจรรวมนั้นจะใช้ MOSFET มาต่อในลักษณะ Diode Connection ทำการลดระดับแรงดันไฟตรงด้วยวิธีการแบ่งแรงดัน (Voltage Divider) [3] แล้วจึงนำค่าแรงดันที่ได้ไปป้อนเข้าสู่วงจรที่ต้องการค่าแรงดันดังกล่าว ดังรูปที่5.3



รูปที่ 5.3 แหล่งจ่ายแรงดันโดยใช้ MOSFET

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากรูปที่ 5.3 แหล่งจ่ายแรงดันโดยใช้ MOSFET และจากสมการที่5.2

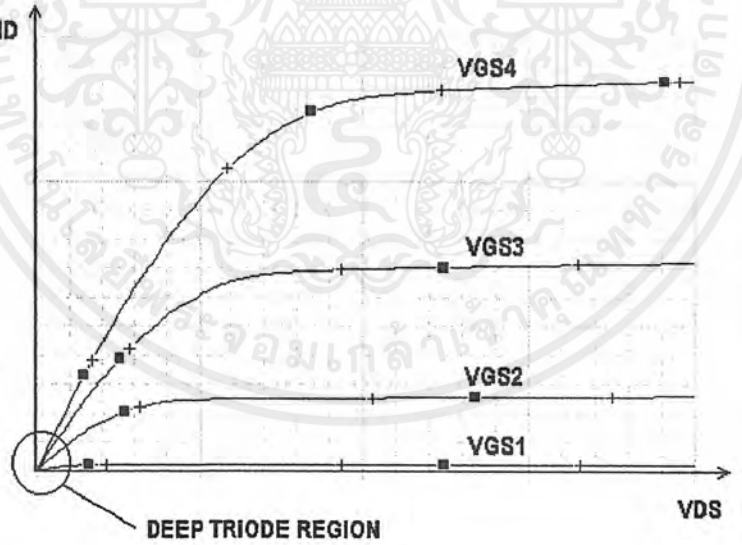
$$V_{OUT1} = \sqrt{\frac{2I_D}{K_1}} + V_{TH} \tag{5.5}$$

$$V_{OUT2} = \sqrt{\frac{2I_D}{K_1}} + V_{TH1} + \sqrt{\frac{2I_D}{K_2}} + V_{TH2} \tag{5.6}$$

เมื่อ $I_{REF} = I_D = I_{D1} = I_{D2}$ และ $K = \frac{1}{2}\mu_n cox\left(\frac{W}{L}\right)$

5.3 การสร้างตัวต้านทานในวงจรรวม

การสร้างตัวต้านทานในวงจรรวมนั้นจะสร้างโดยการใช้ MOSFETให้ทำงานในย่านTriode โดยค่าความต้านทานที่ได้จะให้ค่าความต้านทานค่อนข้างคงที่เมื่อกระแสเดรน (ID) หรือแรงดันตกคร่อมขาเดรนและขาซอส (VDS) มีค่าน้อยๆจน MOSFET ทำงานในย่าน Deep triode Region, [2] ดังรูปที่ 5.4



รูปที่ 5.4 การทำงานในย่าน Deep triode ของ MOSFET

โดยที่กระแสเดรนในขณะ MOSFET ทำงานในช่วง Triode คือ

$$I_D = \frac{1}{2}\mu cox\left(\frac{W}{L}\right)\left[2(V_{GS} - V_{TH})V_{DS} - V_{DS}^2\right] \tag{5.7}$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เมื่อ $\mu = \mu_n$ เมื่อใช้NMOS หรือ $\mu = \mu_p$ เมื่อใช้PMOS

ถ้า $V_{DS} \langle\langle 2(V_{GS} - V_{TH})V_{DS}$ จะได้

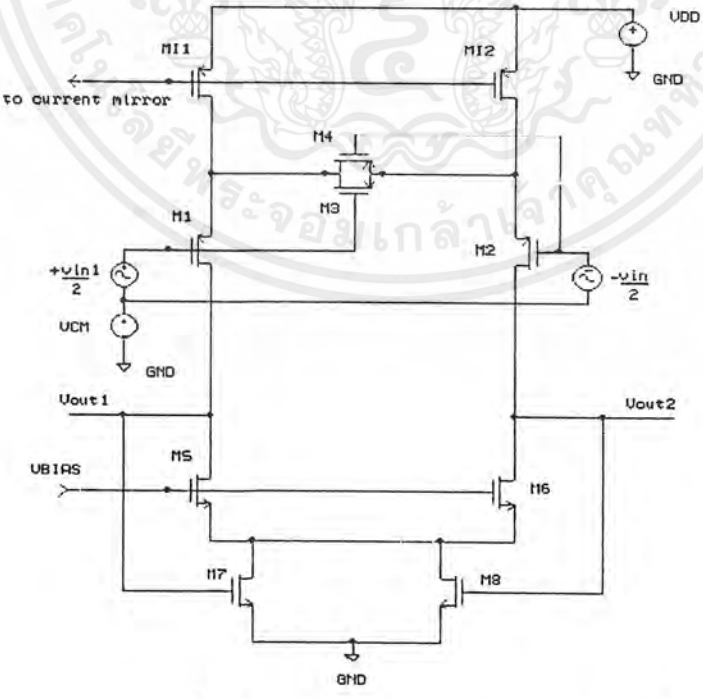
$$I_D \approx \mu cox\left(\frac{W}{L}\right)(V_{GS} - V_{TH})V_{DS} \tag{5.8}$$

จากสมการ(5.8) คือช่วง MOSFET ทำงานในย่าน Deep Triode จะให้ความสัมพันธ์ระหว่างกระแสเดรน (I_D) กับแรงดันตกคร่อมระหว่างขาเดรนและขาซอส (V_{DS}) ในลักษณะที่เป็นเชิงเส้น ดังนั้น ค่าความต้านทานคือ

$$\boxed{R_o = \frac{1}{\mu cox\left(\frac{W}{L}\right)(V_{GS} - V_{TH})}} \tag{5.9}$$

4.4 วงจรขยายความนำ (Transconductance Amplifier)

วงจรขยายความนำคือวงจรที่มีอินพุทเป็นแรงดันและมีเอาท์พุทเป็นกระแส ทั้งยังเป็นวงจรที่มีอินพุทอิมพีแดนซ์และเอาท์พุทอิมพีแดนซ์สูง โดยวงจรที่จะใช้ในโครงงานนี้คือวงจร Differential Transconductance Amplifier [3] ดังรูปที่ 5.5 เนื่องจากเป็นวงจรที่ให้ค่า Transconductance ต่ำและมี Linearity ที่ดี



รูปที่ 5.5 Differential Transconductance Amplifier

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากรูปที่4.5 M1, M2ทำหน้าที่เป็น Differential Pair M3, M4 ทำงานในย่าน Triode โดยทำงานเปรียบเสมือนเป็น Resister มีหน้าที่เป็น Source Degeneration MI1, MI2 ทำหน้าที่เป็น Current Source ซึ่งเกิดจากการสะท้อนกระแสจากวงจร Current Mirror M5, M6, M7, M8 เป็นชุด Common Mode Feedback

ในชุด Differential Pair และ Source Degeneration จากการวิเคราะห์สัญญาณขนาดเล็ก (Small Signal) โดยใช้หลักการ Half Circuit Concept จะได้

$$G_m = \frac{i_{out}}{v_{in}} = \frac{1}{\frac{2}{g_{m1}} + \frac{R_{o3}}{2}} \tag{5.10}$$

เมื่อ

$$g_{m1} = \sqrt{2\mu_p cox \left(\frac{W}{L}\right)_1 I_{D1}} \tag{5.11}$$

และ

$$g_{o3} = \mu_p cox \left(\frac{W}{L}\right)_3 (V_{GS1} - V_{TH}) \tag{5.12}$$

โดยที่

$$V_{GS1} = \sqrt{\frac{2I_{D1}}{\mu_p cox \left(\frac{W}{L}\right)_1}} + V_{TH} \tag{5.13}$$

ส่วนวงจร Common Mode Feedback [2] คือวงจรที่พยายามทำให้แรงดันเอาท์พุทมีแรงดันคงที่เพื่อสามารถทำให้มีแรงดันเพียงพอในการป้อนเข้าสู่อินพุทภาคถัดไปซึ่งจะมีผลต่อเสถียรภาพของวงจร โดย M5, M6 ทำงานในย่าน Saturate และ M7, M8 ทำงานในย่าน Deep Triode ดังนั้น

$$R_{O7} // R_{O8} = \frac{1}{\mu_n cox \left(\frac{W}{L}\right)_{7,8} (V_{out2} + V_{out1} - 2V_{TH})} \tag{5.14}$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

และ

$$R_{O7} // R_{O8} = (V_{BIAS} - V_{GS5})/(2I_D) \tag{5.15}$$

จากสมการที่(5.14) และ (5.15)

$$\boxed{V_{OUT1} + V_{OUT2} = \frac{2I_D}{\mu_n cox\left(\frac{W}{L}\right)_{7,8}} \frac{1}{V_{BIAS} - V_{GS5}} + 2V_{TH}} \tag{5.16}$$

โดยที่

$$V_{GS7} = \sqrt{\frac{2I_D}{\mu_n cox\left(\frac{W}{L}\right)_5}} + V_{TH} \tag{5.17}$$

4.5 การออกแบบวงจรขยายความนำ

ก่อนที่จะทำการคำนวณจะต้องทราบพารามิเตอร์ที่สำคัญซึ่งได้แก่ค่า $\mu_p cox$, μ_{ncox} , λ_p , λ_n , V_{THp} , V_{THn} ซึ่งค่าดังกล่าวมีค่าดังนี้ [4]

$\mu_p cox = 35\,\mu A/V^2$ $\mu_n cox = 150\,\mu A/V^2$

$\lambda_p = 0.003$ $\lambda_n = 0.0058$

$V_{THp} = -0.628V$ $V_{THn} = 0.629V$

จากวงจรต้องการ $G_m = 0.25\mu S$

จากสมการ(4.4.2) ให้ $I_{D1} = 0.3\mu A$ และ $W_1 = 2\mu m$ $L_1 = 1\mu m$ จะได้

$g_{m1} = 6.4807\,\mu S$

ดังนั้นการที่จะทำให้ $G_m = 0.25\mu S$ และจากสมการที่(5.10) จะต้องให้ $g_{o3} = 228.165$ nS

จากสมการ(5.13) ได้ $V_{GS1} = 0.72058V$ จะได้ $\left(\frac{W}{L}\right)_3$ ซึ่งคำนวณดังสมการที่ (5.12)

$\left(\frac{W}{L}\right)_3 = 70.4133 \times 10^{-3}$ โดยให้ $W_3 = 1\mu m$ จะได้ $L_3 = 14.2\mu m$

ต่อมาคือชุด Common Mode Feedback จากสมการที่ (5.17) ให้ $W_5 = 12\mu m$ และ $L_5 = 2\mu m$ จะได้ $V_{GS5} = 0.6548V$ โดยกำหนดให้ $V_{BIAS} = 1V$ และ $V_{OUT1} + V_{OUT2} = 5V$ โดยใช้สมการ(5.16) ได้ $\left(\frac{W}{L}\right)_{7,8} = 3.0966 \times 10^{-3}$ ให้ $W_{7,8} = 1\mu m$ จะได้ $L_{7,8} = 323\,\mu m$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ส่วนในวงจร Current Mirror ในวงจร Differential Transconductance Amplifier ต้องการกระแสที่ไหลผ่าน MOSFET แต่ละตัวมีค่า 0.3μA โดยให้ $\left(\frac{W}{L}\right)_{J1,J2} = 1$

ดังนั้น $W_{J1,J2} = 1\mu m$ และ $L_{J1,J2} = 1\mu m$

จากการคำนวณหาค่า $\left(\frac{W}{L}\right)$ ของวงจร Differential Transconductance Amplifierสรุปได้ดังตารางที่ 5.1

$\left(\frac{W}{L}\right)_{1,2}$	$2\mu m / 1\mu m$
$\left(\frac{W}{L}\right)_{3,4}$	$1\mu m / 14.2\mu m$
$\left(\frac{W}{L}\right)_{5,6}$	$12\mu m / 2\mu m$
$\left(\frac{W}{L}\right)_{7,8}$	$1\mu m / 323\mu m$
$\left(\frac{W}{L}\right)_{J1,J2}$	$1\mu m / 1\mu m$

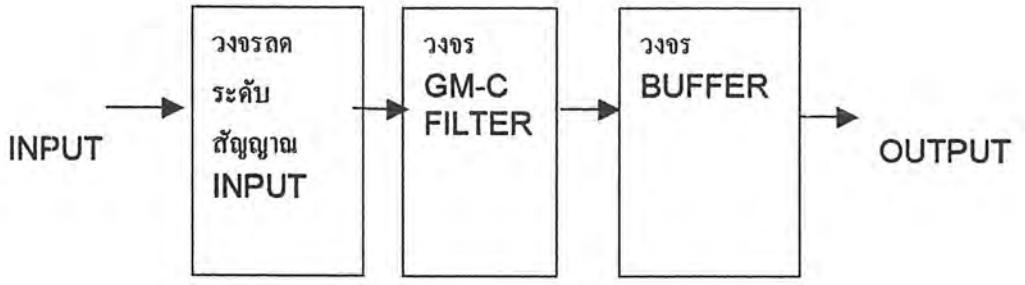
ตารางที่ 5.1 อัตราส่วนของ $\left(\frac{W}{L}\right)$ ของ Transconductance Amplifier ที่ได้มาจากการคำนวณ

5.6 การจำลองผลการทำงานวงจร Gm-C FILTER และ Passive Filter ด้วยโปรแกรมPSpice9.1

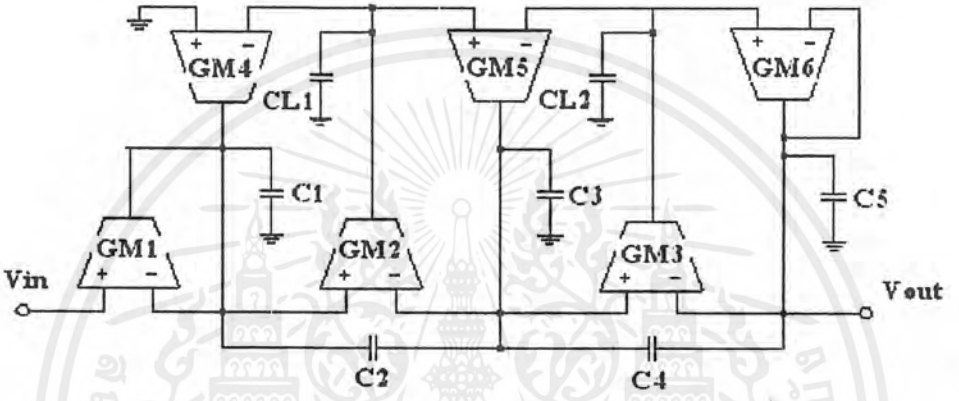
ในการทำงานของวงจร Active Filter โดยใช้ G_m-C นั้นจำเป็นที่จะต้องลดระดับสัญญาณ Input หากสัญญาณ Input ที่เข้ามานั้นมีขนาดใหญ่ซึ่งจะทำให้วงจรขยายความนำ (Transconductance Amplifier) เกิดสภาวะอิ่มตัว (Saturation) ทำให้ Output เกิดความผิดเพี้ยนได้ ส่วนวงจร Buffer จะช่วยในการขับโหลดที่ Output

ด้วยเหตุที่สัญญาณ Input มีขนาดใหญ่ไม่ได้ดังนั้นจึงขอสมมุติว่าสัญญาณ Input ที่ผ่านการวงจรลดระดับสัญญาณ Input มีขนาด 10mV$_p$ และทำการต่อวงจร G_m-C FILTER ดังรูปที่ 5.7

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

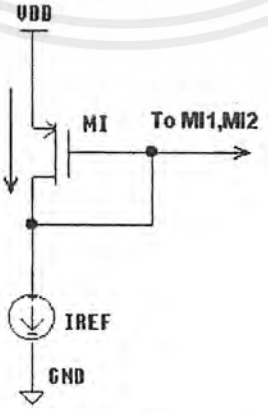


รูปที่ 5.6 Block Diagram ของวงจร Active Filter



รูปที่ 5.7 วงจร Single Ened Gm-C Filter ที่ได้มาจากวิธี SFG

จากรูป 5.7 $C_1 = 22.51\text{pF}, C_{L2} = 39.01\text{pF}, C_2 = 2.45\text{pF}, C_3 = 45.67\text{pF}, C_4 = 7.02\text{pF}, C_{L4} = 33.05\text{pF}, C_5 = 18.73\text{pF}$ ส่วน GM ทำการต่อวงจรดังรูปที่4.5 โดยกำหนดให้ $V_{DD} = 5\text{V}, V_{CM} = 2.5\text{V}, V_{in} = 10\text{mV}_p, V_{BIAS} = 1\text{V}$ และให้ค่า $\left(\frac{W}{L}\right)$ ตามตาราง ที่ 5.1 ในส่วนของวงจร Current Mirror ให้ทำการต่อวงจรดังรูปที่ 5.8



รูปที่ 5.8 วงจร Current Mirror ที่จ่ายกระให้ MI1,MI2 ของวงจร Gm-C Filter

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากสมการที่5.4 ให้ $I_{REF} = 0.6\mu A$ จะได้ $\left(\frac{W}{L}\right)_I = 2$ ให้ $W_I = 2\mu m$, $L_I = 1\mu m$

จากนั้นให้ทำการ Simulation ในครั้งแรกที่ทำการ Simulation ผลลัพธ์ที่ได้จะไม่ได้ค่าตามเงื่อนไขที่ต้องการคือ

$A_{max} < 0.5dB$ $A_{min} > 45dB$ $f_p = 2kHz$ $f_s = 4kHz$

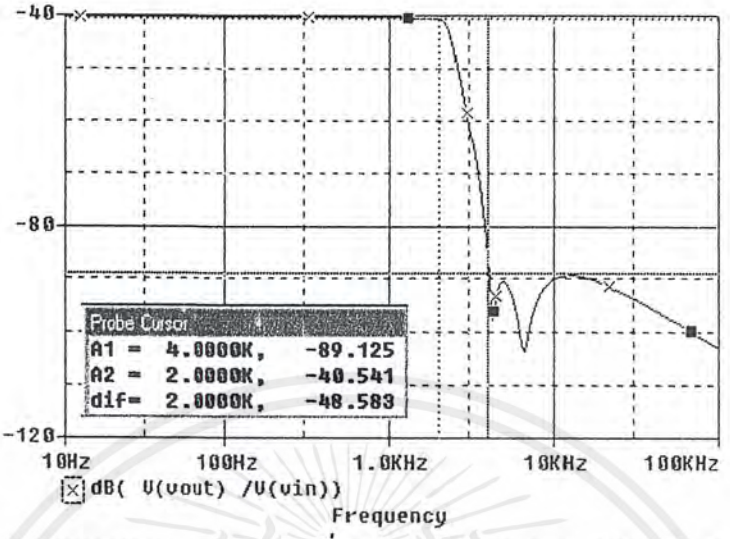
ต้องทำการปรับแต่งวงจร เช่นการเปลี่ยนค่า $\left(\frac{W}{L}\right)$ เปลี่ยนกระแส bias หรืออาจที่จะต้องปรับเปลี่ยนค่า capacitor ซึ่งการปรับแต่งวงจรจะอาศัยสมการที่มีอยู่ในบทที่4 มาพิจารณาในการปรับแต่งท้ายที่สุดจะได้ค่า $\left(\frac{W}{L}\right)$ ดังตารางที่5.2

$\left(\frac{W}{L}\right)_I$	$2\mu m / 1\mu m$
$\left(\frac{W}{L}\right)_{1,2}$	$2\mu m / 1\mu m$
$\left(\frac{W}{L}\right)_{3,4}$	$1\mu m / 18.4\mu m$
$\left(\frac{W}{L}\right)_{5,6}$	$12\mu m / 2\mu m$
$\left(\frac{W}{L}\right)_{7,8}$	$1\mu m / 129.3\mu m$
$\left(\frac{W}{L}\right)_{11,12}$	$1\mu m / 1\mu m$

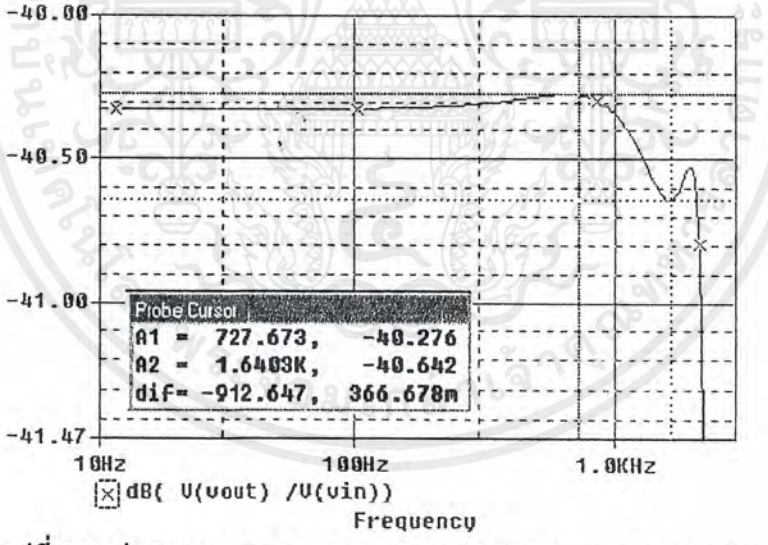
ตารางที่ 5.2 อัตราส่วนของ $\left(\frac{W}{L}\right)$ ของ Transconductance Amplifier ที่ได้มาจากการปรับแต่งวงจร

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จะได้ผลการทดลองของวงจรจากการ simulation ดังรูปที่5.9a และรูปที่5.9b



รูปที่ 5.9a การตอบสนองความความถี่ของวงจร Single Ended GM-C FILTER ที่ใช้ V_{BIAS} จากภายนอก

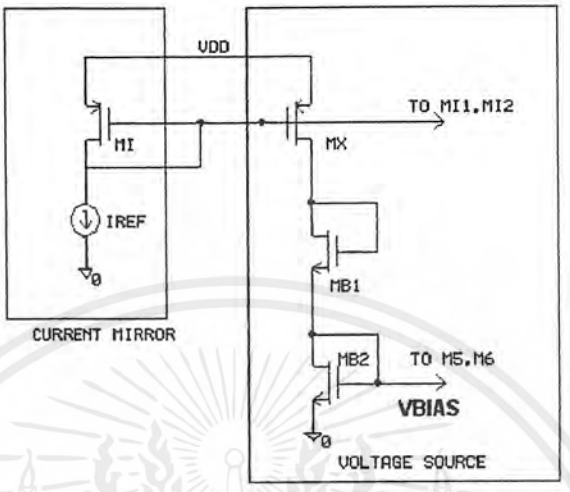


รูปที่ 5.9b ค่า Ripple ของ Passband ของวงจร Single Ended GM-C FILTER ที่ใช้ V_{BIAS} จากภายนอก

โดยที่วงจร Single Ended Gm-C FILTER ที่ใช้ V_{BIAS} จากภายนอกจะกินกำลังงาน (Power Consumtion) = 22μW

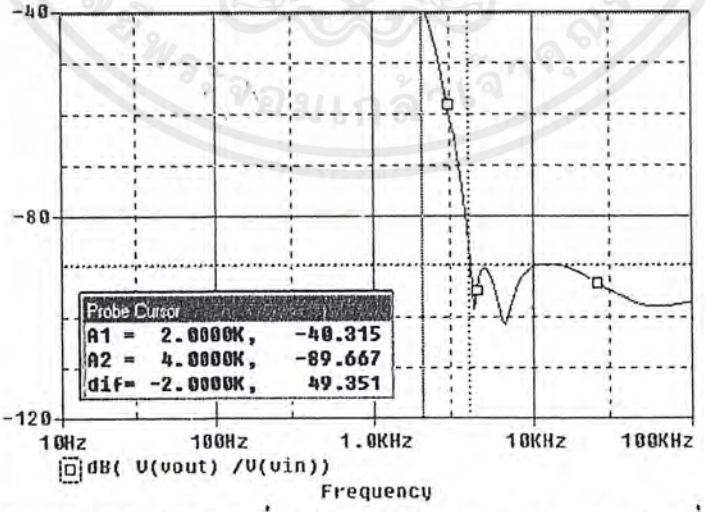
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากวงจรข้างต้นจะเปลี่ยนจากการใช้ V_{BIAS} ที่ใช้แหล่งจ่ายแรงดันจากภายนอกมาเป็นการสร้างแหล่งจ่ายแรงดันภายในวงจรรวมโดยต่อวงจรดังรูปที่5.10



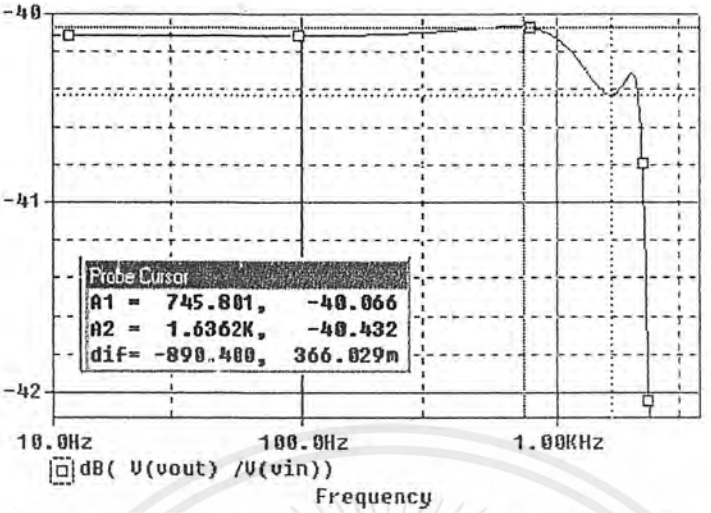
รูปที่ 5.10 ชุดแหล่งจ่ายแรงดัน

จากสมการที่ 5.6 ต้องการ $V_{BIAS} = 1V$ และต้องการให้ $\left(\frac{W}{L}\right)$ ของ $M_{B1} = M_{B2}$ จะได้ $W_{B1,B2} = 1\mu m$, $L_{B1,B2} = 27\mu m$ ต่อจากนั้นทำการ Simulation ได้ผลการทดลองดังรูปที่5.11aและรูปที่5.11b



รูปที่ 5.11a การตอบสนองความความถี่ของวงจร Single Ended Gm-C Filter ที่ใช้ V_{BIAS} จากการสร้างแหล่งจ่ายแรงดันภายใน

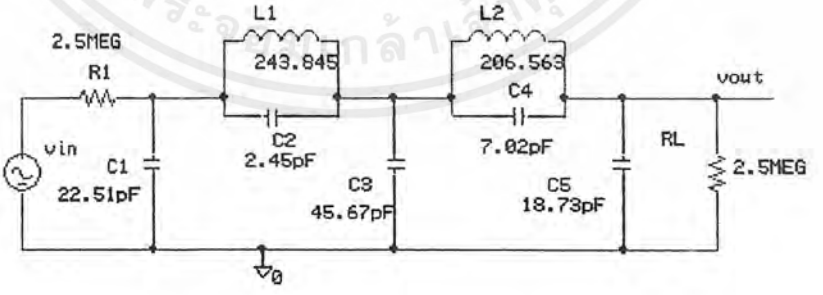
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 5.11b ค่า Ripple ของ Passband ของวงจร Single Ended Gm-C Filter ที่ใช้ V_{BIAS} จากการสร้างแหล่งจ่ายแรงดันภายใน

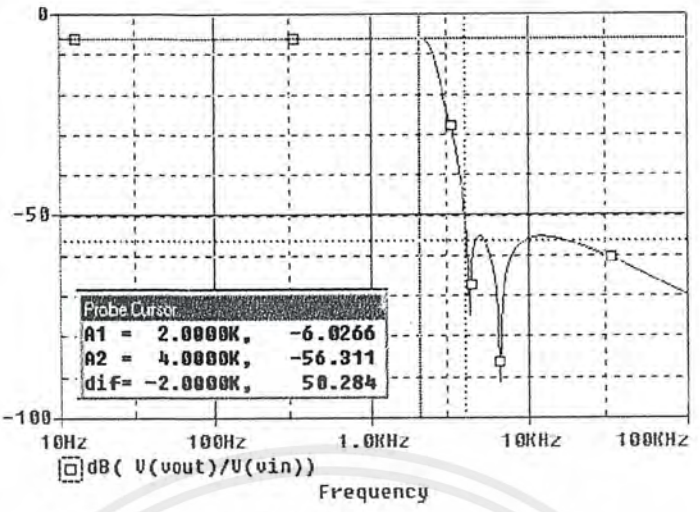
โดยที่วงจร Single Ended Gm-C Filter ที่ใช้ V_{BIAS} จากการสร้างแหล่งจ่ายแรงดันภายในจะกินกำลังงาน (Power Consumption) = 23.6μW

ต่อไปจะทำการ Simulation วงจร RLC Passive Filter และวงจร Active Filter ที่ใช้ Gm อุดมคติเพื่อเปรียบเทียบกับวงจรข้างต้น

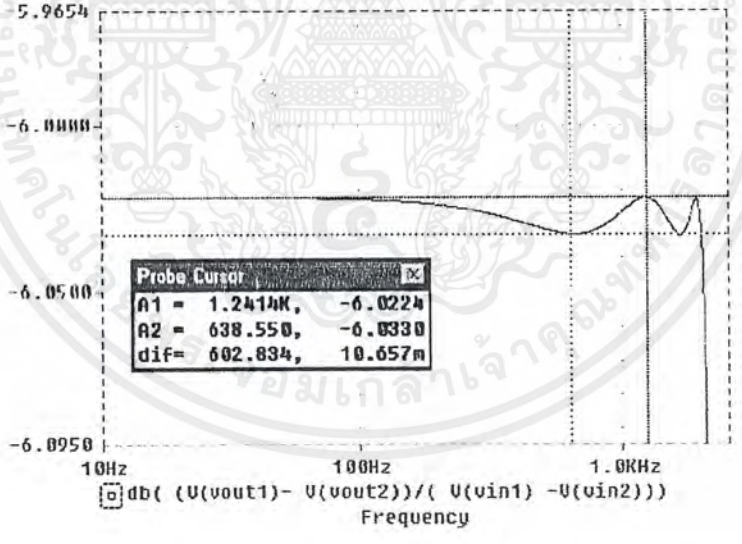


รูปที่ 5.12a วงจร 5 Order Eliptic RLC Passive Filter

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

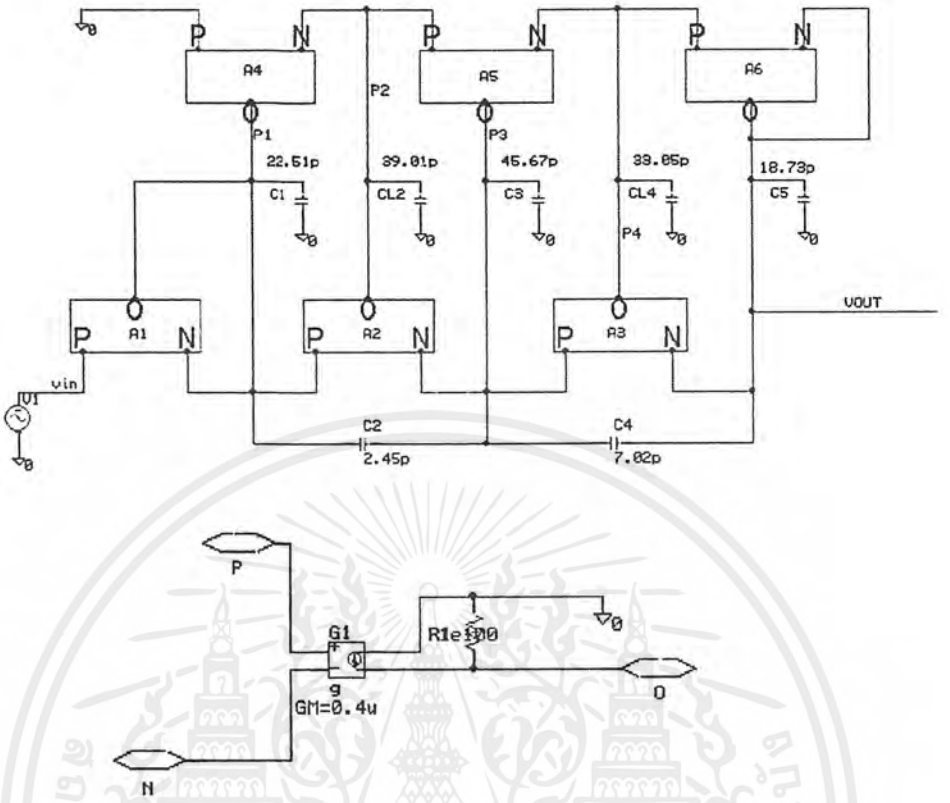


รูปที่ 5.12b การตอบสนองความความถี่ของวงจร 5 Order Elliptic RLC Passive Filter

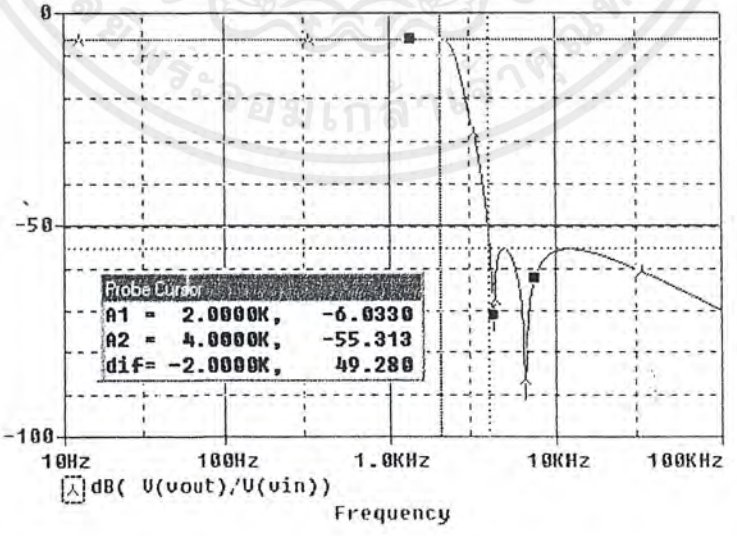


รูปที่ 5.12c ค่า Ripple ของ Passband ของวงจร 5 Order Elliptic RLC Passive Filter

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

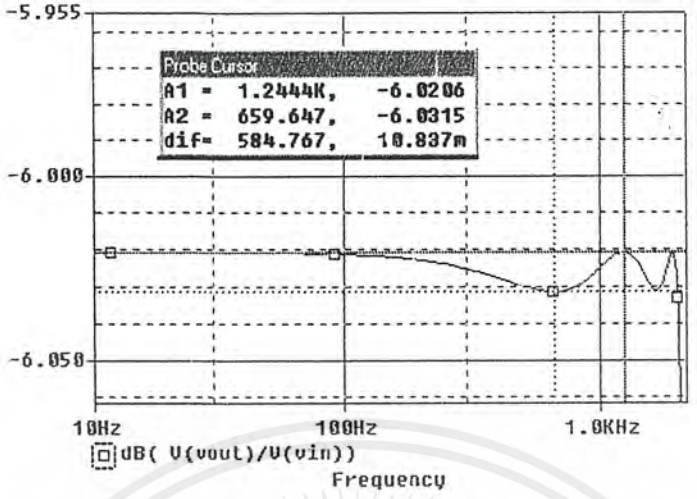


รูป 5.13a วงจร Single Ended Gm-C Filter ที่ใช้ Gm อุดมคติ



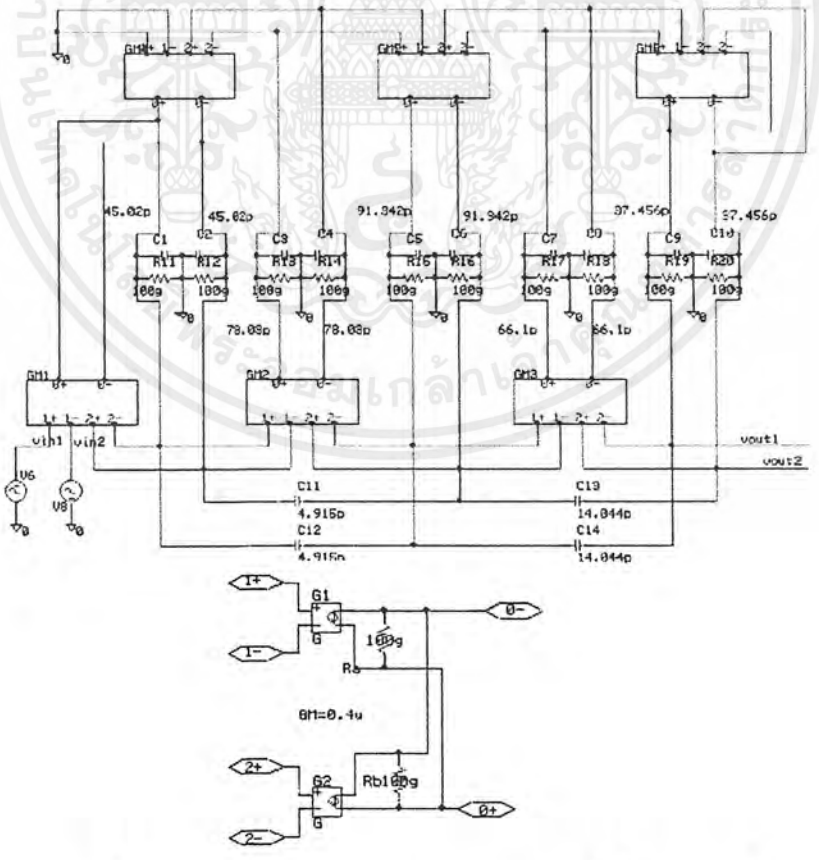
รูปที่ 5.13b การตอบสนองความความถี่ของวงจร Single Ended Gm-C Filter ที่ใช้ Gm อุดมคติ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



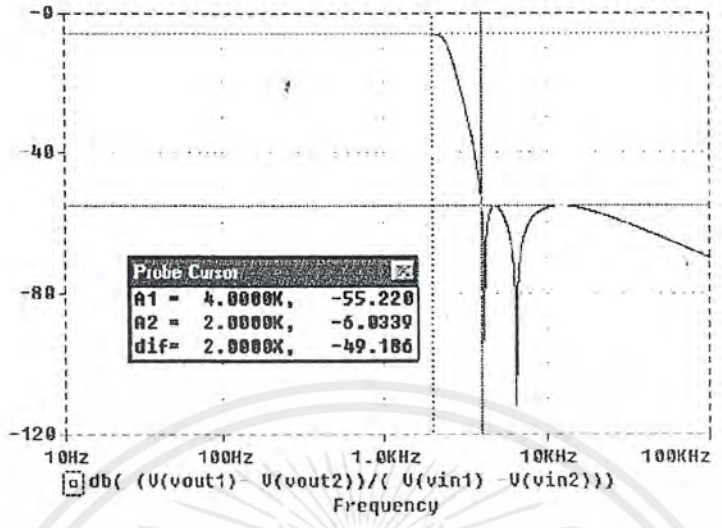
รูปที่ 5.13c ค่า Ripple ของ Passband ของวงจร Single Ended Gm-C Filter ที่ใช้Gm อุดมคติ

ต่อไปจะทำการ Simulation วงจร Fully Balance Gm-C Filterที่ใช้ Gm อุดมคติ

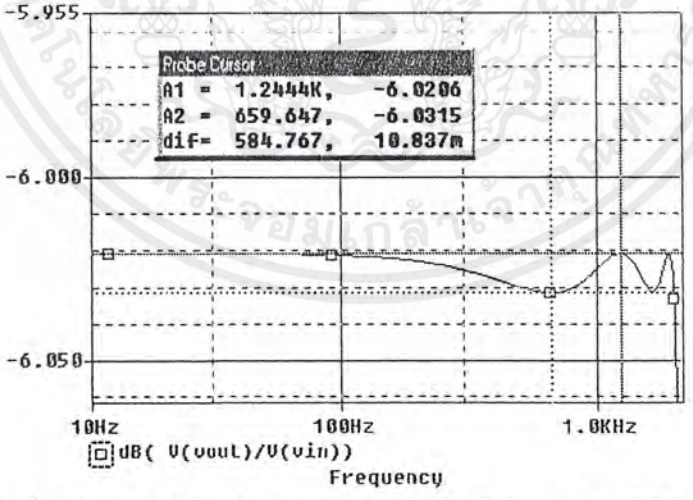


รูปที่ 5.14a วงจร Fully Balance Gm-C Filter ที่ใช้ Gm อุดมคติ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



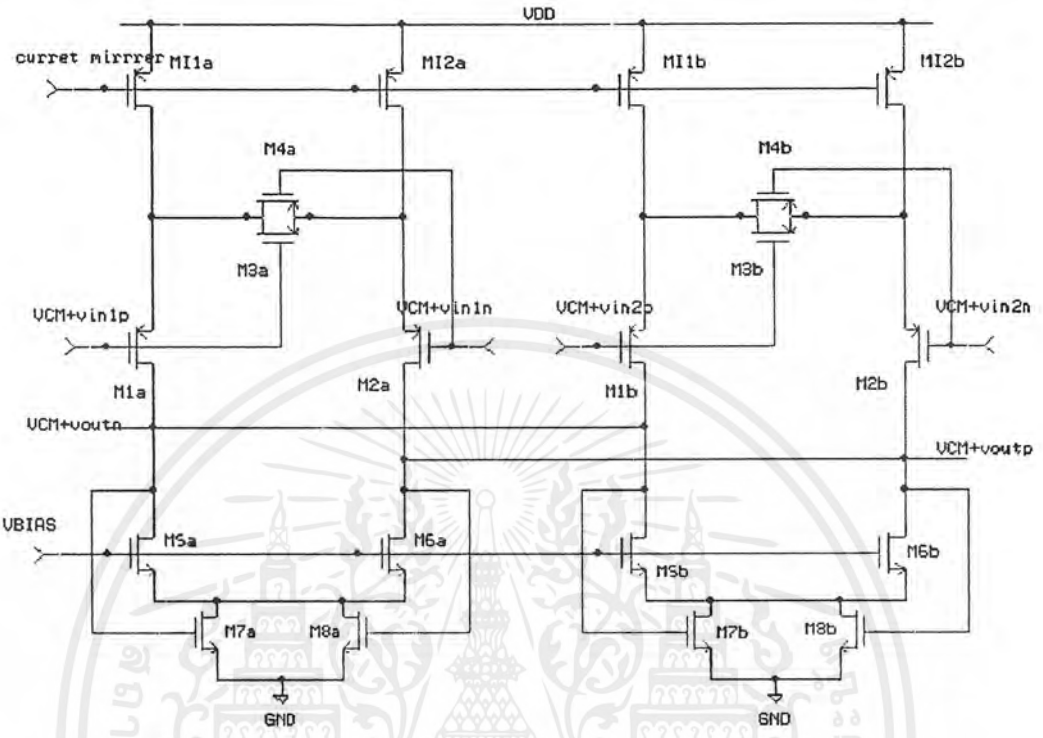
รูปที่ 5.14b การตอบสนองความความถี่ของวงจร Fully Balance Gm-C Filter ที่ใช้ Gm อุดมคติ



รูปที่ 5.14c ค่า Ripple ของ Passband ของวงจร Fully Balance Gm-C Filter ที่ใช้ Gm อุดมคติ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ในการออกแบบวงจร Fully Balance Gm-G Filterวงจรภายในของ Gm จะมีลักษณะดังรูปที่ 4.15



รูปที่ 5.15 วงจร Differential Transconductance Amplifier 4input 2output

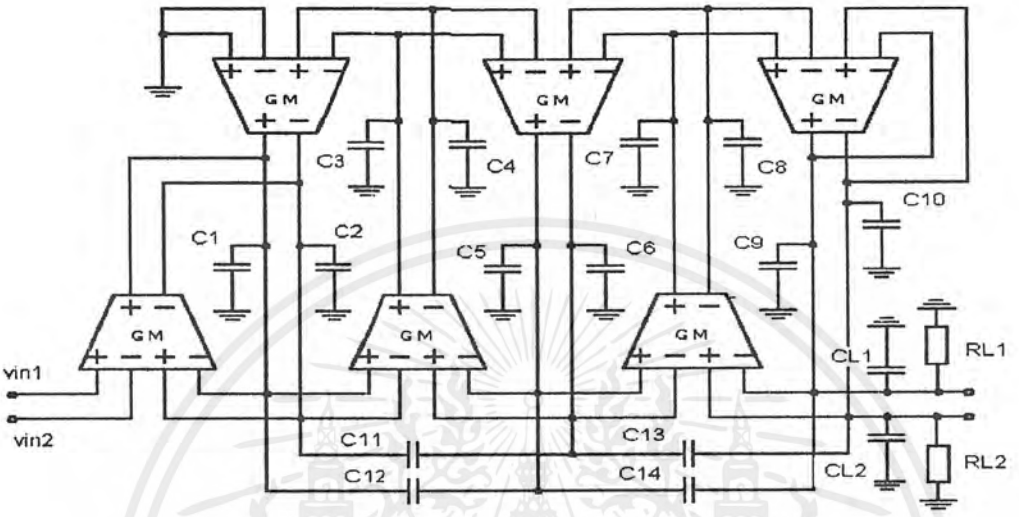
จากการคำนวณและการปรับแต่งวงจรจะได้ค่า $\left(\frac{W}{L}\right)$ ของวงจรดังตารางที่5.3

$\left(\frac{W}{L}\right)_{1a,1b,2a,2b}$	$2\mu m \ / \ 20\mu m$
$\left(\frac{W}{L}\right)_{3a,3b,4a,4b}$	$1\mu m \ / \ 6.8\mu m$
$\left(\frac{W}{L}\right)_{5a,5b,6a,6b}$	$12\mu m \ / \ 2\mu m$
$\left(\frac{W}{L}\right)_{7a,7b,8a,8b}$	$1\mu m \ / \ 129.3\mu m$
$\left(\frac{W}{L}\right)_{I1a,I1b,I2a,I2b}$	$1\mu m \ / \ 1\mu m$

ตารางที่ 5.3 ค่า $\left(\frac{W}{L}\right)$ ของวงจร differential transconductance amplifier 4 input 2 output

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

โดยในวงจร Fully Balance Gm-C Filter จะใส่โหลด $R = 10\Omega, C = 10pF$ ของแต่ละข้างของoutput ดังรูปที่5.16และทำการจำลองผลการทำงานของวงจร



รูปที่ 5.16 การใส่โหลดวงจร Fully Balance Gm-C Filter

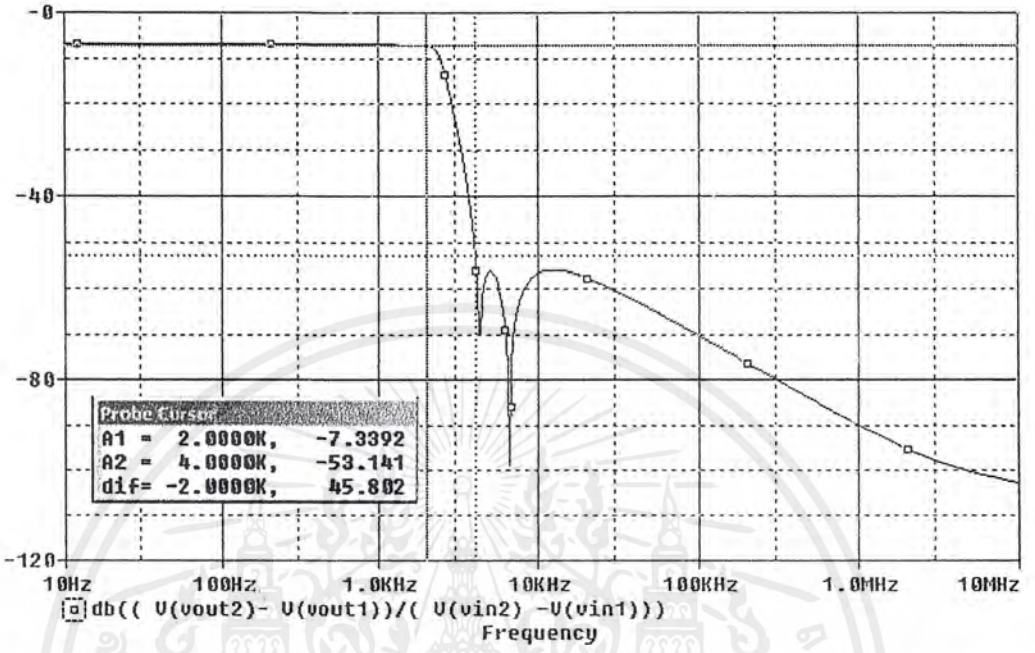
โดยค่าของ Capacitor มีค่าดังตารางที่ 5.4

C1,C2	45.02pF
C3,C4	78.03pF
C5,C6	91.342pF
C7,C8	66.10pF
C9,C10	27.456pF
C11,C12	4.915pF
C13,C14	14.044pF

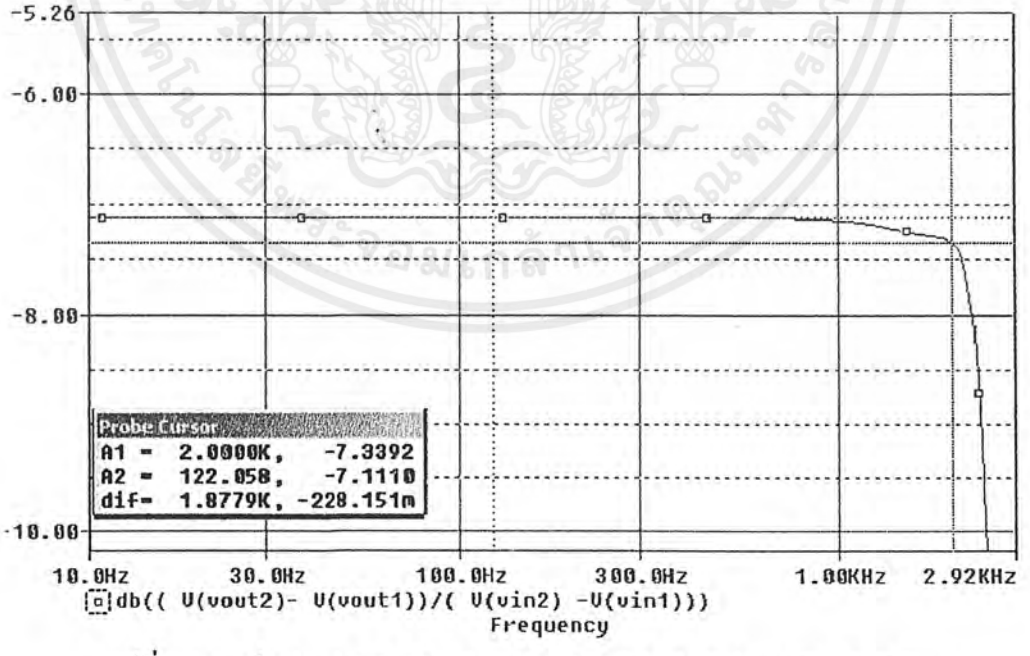
ตารางที่ 5.4 ค่า Capacitor ในวงจร Fully Balance Gm-C Filter

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ต่อจากนั้นทำการSimulation ได้ผลการทดลองดังรูปที่ 5.17a และ รูปที่ 5.17b



รูปที่ 5.17a การตอบสนองความถี่ของวงจร Fully Balance Gm-C Filter



รูปที่ 5.17b ค่า Ripple ของ Passband ของวงจร Fully Balance Gm-C Filter

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ต่อมาทำการปรับเปลี่ยนค่าของ Capacitor เพื่อให้ง่ายต่อการ layout ดังตารางที่5.5

C1,C2	45pF
C3,C4	80pF
C5,C6	90pF
C7,C8	65pF
C9,C10	30pF
C11,C12	5pF
C13,C14	15pF

ตารางที่ 5.5 ค่า Capacitor ในวงจร Fully Balance Gm-C Filter

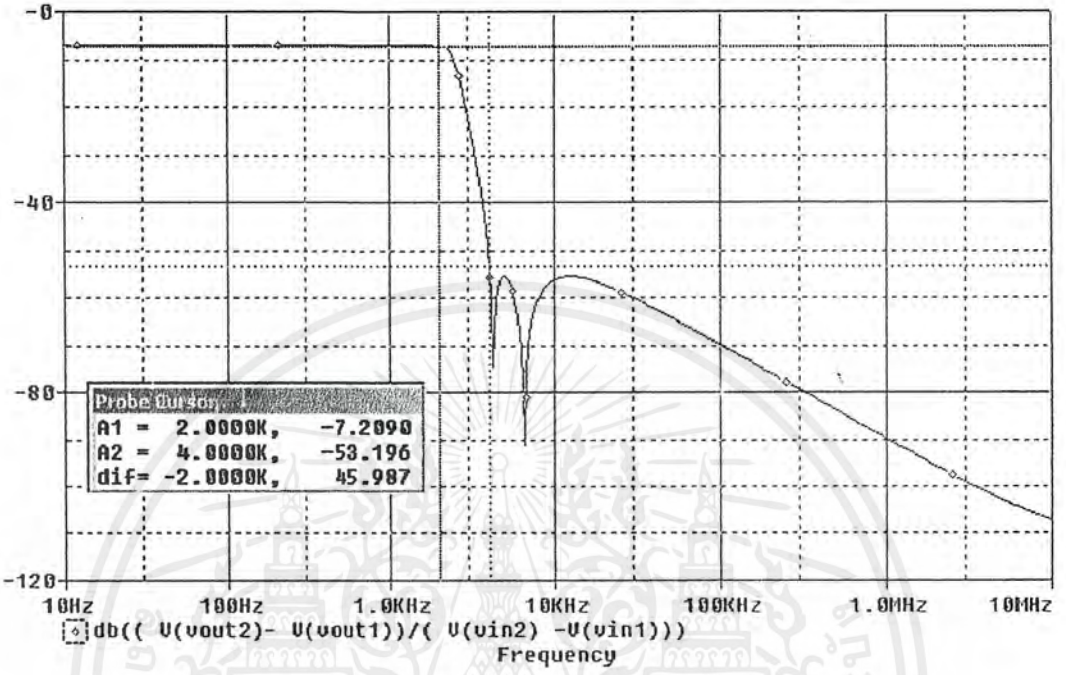
เมื่อปรับเปลี่ยนค่าของ capacitor ย่อมส่งผลให้การทำงานของวงจรเปลี่ยนแปลงไป ดังนั้นจึงต้องปรับค่า $\left(\frac{W}{L}\right)$ ของวงจร diffential transconductance amplifier 4input 2output ดังตารางที่ 5.6

$\left(\frac{W}{L}\right)_{1a,1b,2a,2b}$	$1.2\mu m / 12\mu m$
$\left(\frac{W}{L}\right)_{3a,3b,4a,4b}$	$1.2\mu m / 6\mu m$
$\left(\frac{W}{L}\right)_{5a,5b,6a,6b}$	$12\mu m / 2\mu m$
$\left(\frac{W}{L}\right)_{7a,7b,8a,8b}$	$1.2\mu m / 120\mu m$
$\left(\frac{W}{L}\right)_{I1a,I1b,I2a,I2b}$	$1.2\mu m / 1.2\mu m$

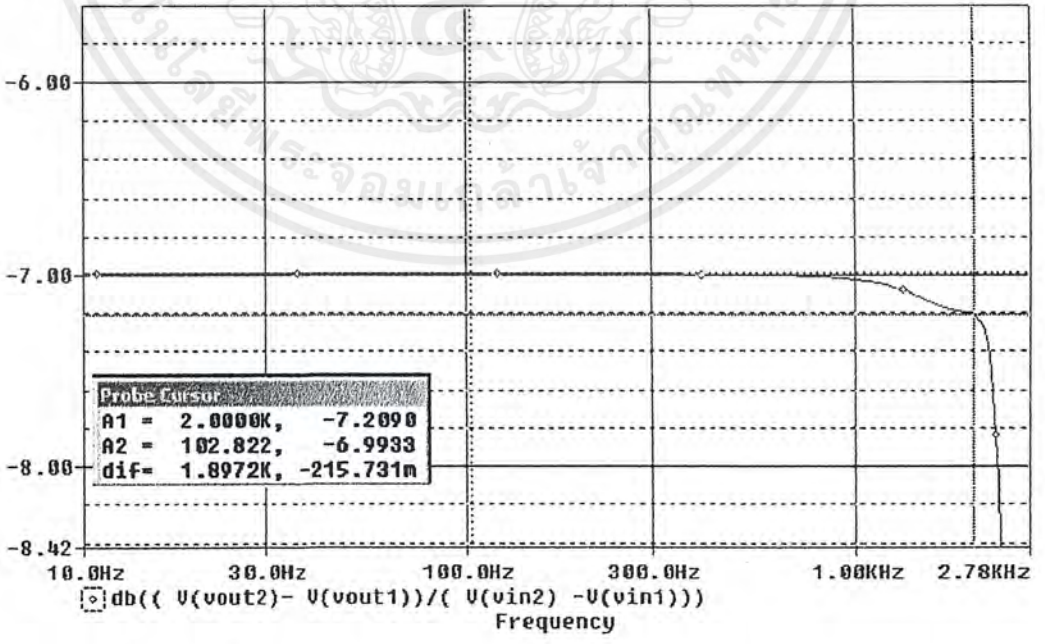
ตารางที่ 5.6 ค่า $\left(\frac{W}{L}\right)$ ของวงจร Diffential transconductance amplifier 4 input 2 output

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ต่อจากนั้นทำการSimulation ได้ผลการทดลองดังรูปที่ 5.18a และ รูปที่ 5.18b



รูปที่ 5.18a การตอบสนองความถี่ของวงจร Fully Balance Gm-C Filter



รูปที่ 5.18b ค่า Ripple ของ Passband ของวงจร Fully Balance Gm-C Filter

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

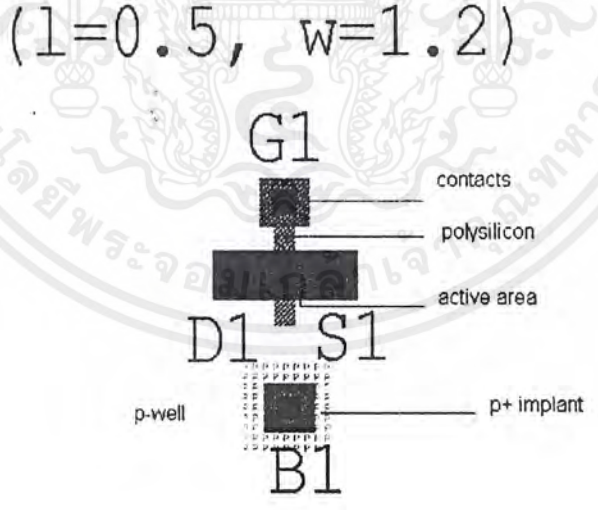
บทที่6
การออกแบบลวดลายวงจร (Layout)

6.1 การออกแบบลวดลายวงจรอุปกรณ์พื้นฐานในวงจรGm-C Filter

ในการออกแบบลวดลายวงจรโดยใช้โปรแกรม L-EDIT เราจำเป็นต้องยึดถือกฎของการออกแบบ (design rules) เป็นหลัก โดยใช้เทคโนโลยีของบริษัทAcatel มีอุปกรณ์ที่สำคัญในการออกแบบวงจรGm-C Filterดังนี้

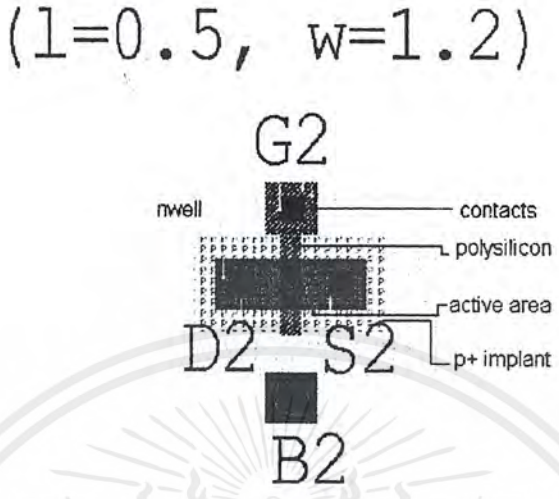
6.1.1 การออกแบบลวดลายของ MOSFET

ลักษณะการเขียนลวดลายของ MOSFET ในเทคโนโลยีของบริษัทAcatelจะมีเทคโนโลยีการสร้างแบบบ่อแยก (twin well) เพื่อป้องกันการเกิด latch upโดยขนาดของความกว้างและความยาวของช่องทางเดินกระแสต้องมีขนาดไม่ต่ำกว่าที่ทางบริษัทAcatelกำหนด ($W \geq 1.2\mu m$ และ $L \geq 0.5\mu m$) ดังรูปที่ 6.1 และ รูปที่ 6.2



รูปที่ 6.1 ลวดลาย NMOS โดยใช้เทคโนโลยีของAcatel

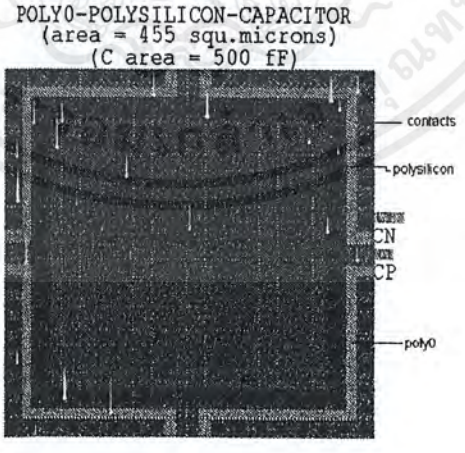
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 6.2 ลวดลาย PMOS โดยใช้เทคโนโลยีของAcatel

6.1.2 การออกแบบลวดลายของ Capacitor

ในการออกแบบลวดลายของ Capacitor จะใช้กาออกแบบที่มี Poly กับ Polysilicon วางในลักษณะขนานกัน โดยที่ค่าความจุไฟฟ้าของ Capacitor ชนิดนี้จะทำการปรับเปลี่ยนได้ด้วยการกำหนดขนาดความกว้างและความยาวของ Poly กับ Polysilicon ดังแสดงในรูปที่ 6.3

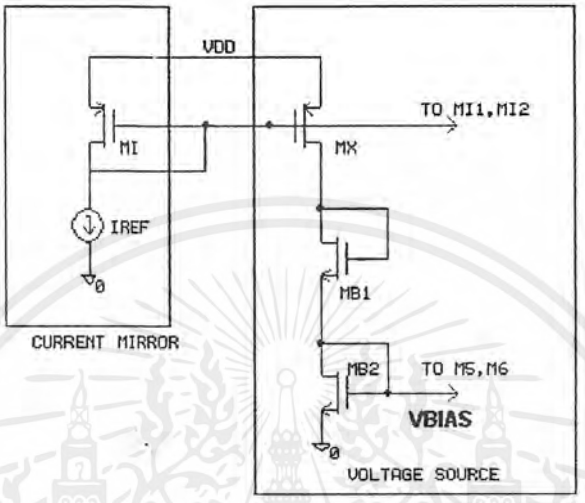


รูปที่ 6.3 ลวดลาย Capacitor โดยใช้เทคโนโลยีของAcatel

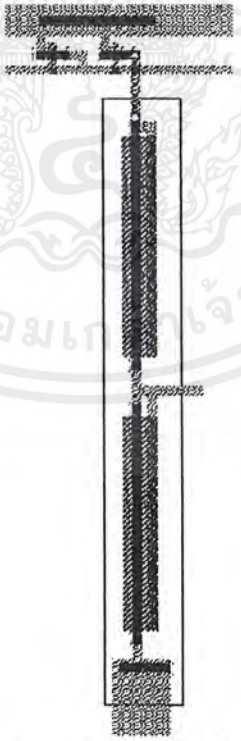
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

6.2 การออกแบบลวดลายวงจร Cirrent mirror

จากวงจร Cirrent mirrorในรูปที่6.4 เมื่อทำการออกแบบลวดลายของวงจร Cirrent mirror จะมีลักษณะดังรูปที่6.5



รูปที่ 6.4 วงจร Cirrent mirror

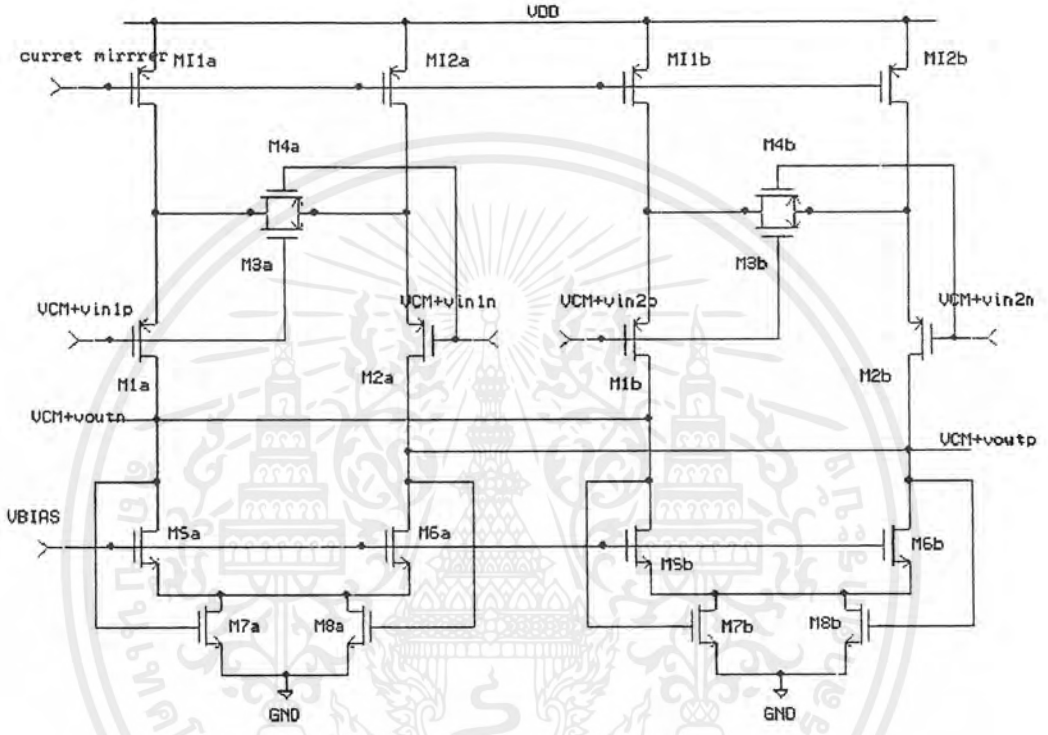


รูปที่ 6.5 ลวดลายวงจร Cirrent mirror โดยใช้เทคโนโลยีของAcatel

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

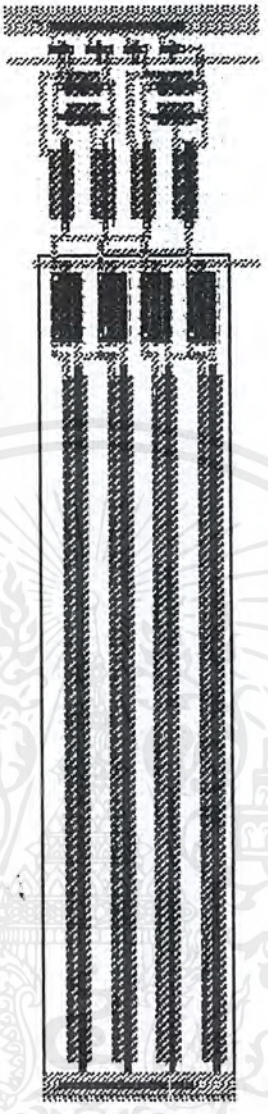
6.3 การออกแบบลวดลายวงจร Transconductance Amplifier

จากวงจร Transconductance Amplifier ในรูปที่6.6 เมื่อทำการออกแบบลวดลายของวงจร Transconductance Amplifier จะมีลักษณะดังรูปที่6.7



รูปที่6.6 วงจร Transconductance Amplifier

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

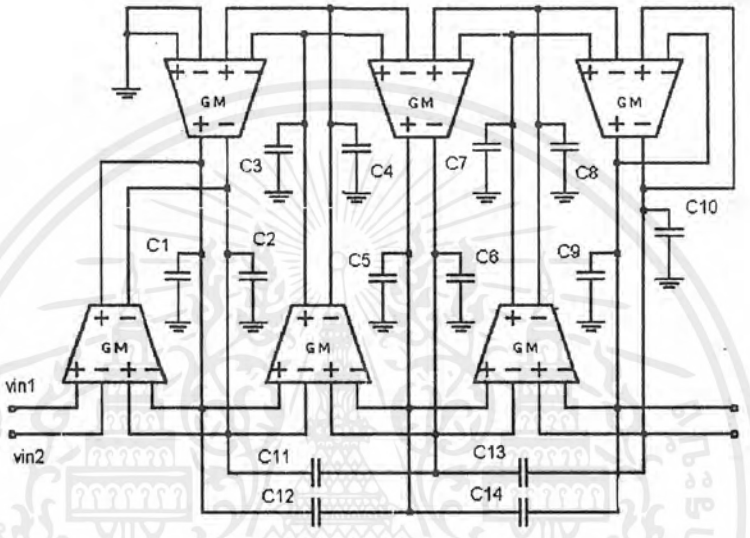


รูปที่ 6.7 ลวดลายวงจร Transconductance Amplifier โดยใช้เทคโนโลยีของ Acatel

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

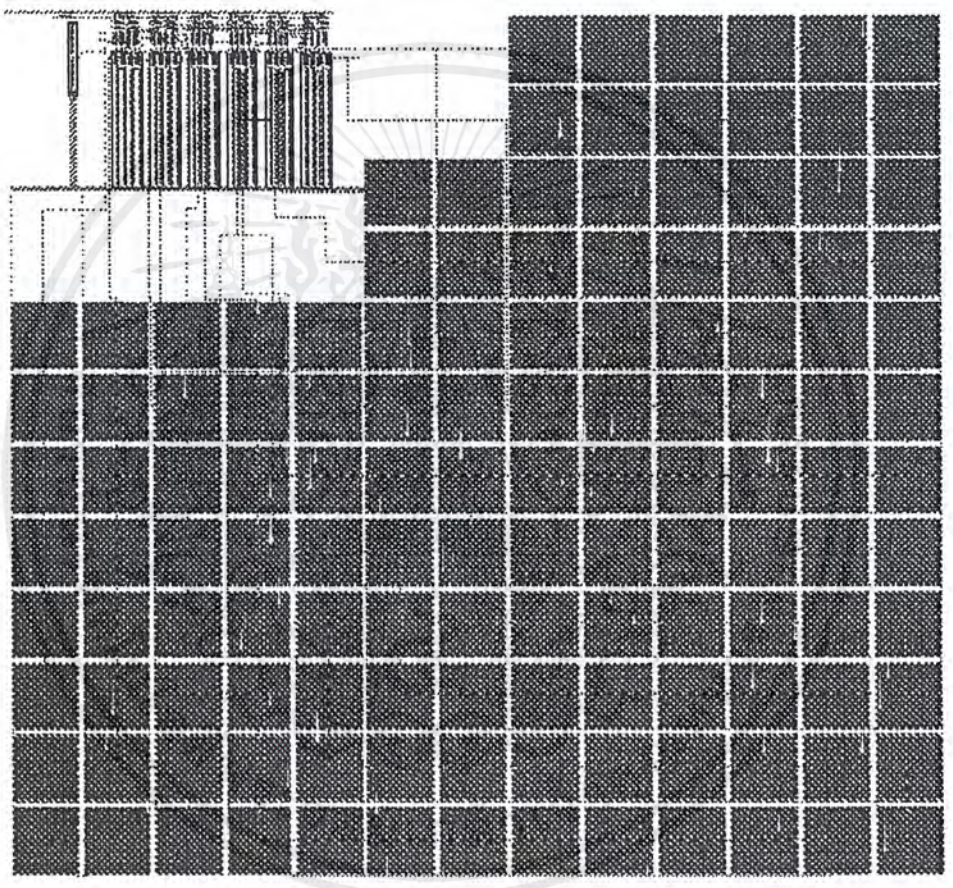
6.4 การออกแบบลวดลายวงจรGm-C Filter

จากวงจร Gm-C Filter ในรูปที่6.8 เมื่อทำการออกแบบลวดลายของวงจรโดยประกอบไปด้วยวงจรและอุปกรณ์ที่ได้กล่าวไปแล้วในตอนต้น จะได้ลักษณะลวดลายของวงจร Gm-C Filter ดังรูปที่6.9



รูปที่ 6.8 วงจรGm-C Filter

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

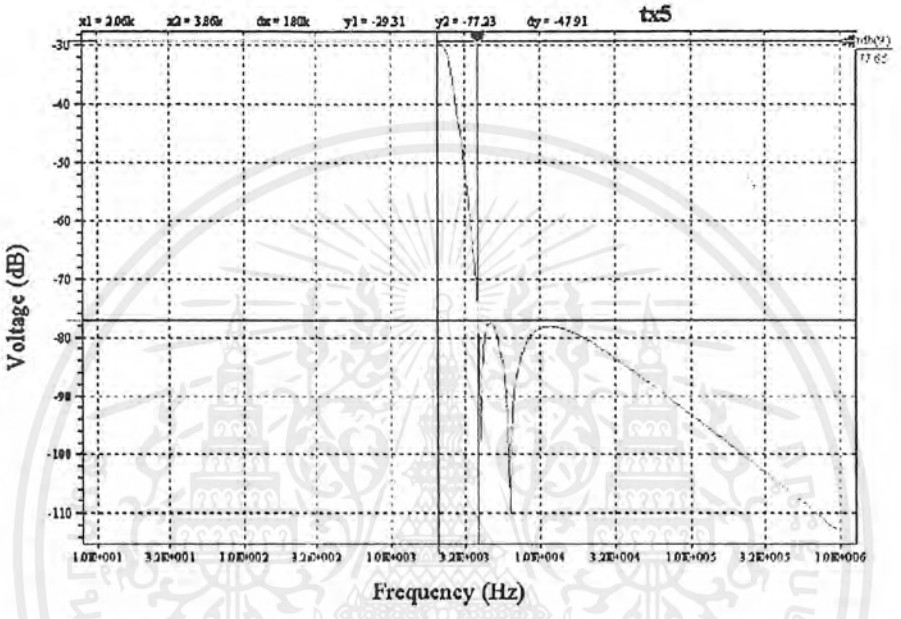


รูปที่ 6.9 ลวดลายของวงจรGm-C Filterโดยใช้เทคโนโลยีของAcatel

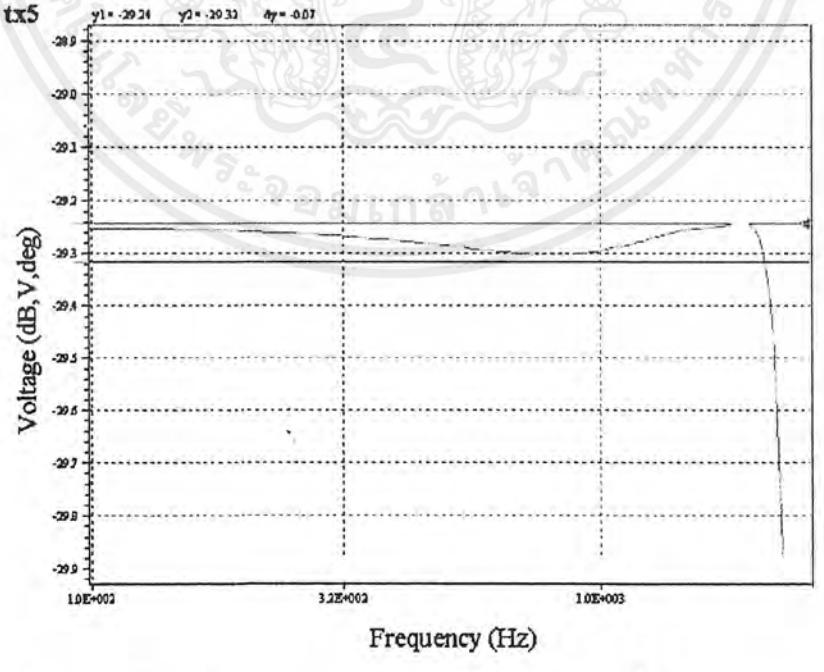
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

6.5 การจำลองผลการทำงานวงจรGm-C Filterที่ได้มาจากการการออกแบบลวดลาย

จากการออกแบบลวดลายวงจรGm-C Filterจะทำการจำลองผลการทำงานด้วยโปรแกรม TSpiceและได้เพิ่มกระแสbias จากเดิม0.15μAเป็น 0.18μA โดยได้ผลการตอบสนองความถี่และค่า Ripple ของ Passband ดังรูปที่ 6.10และรูปที่ 6.11



รูปที่ 6.10 การตอบสนองความความถี่ของวงจร Gm-C Filterที่ได้มาจากการLayout



รูปที่ 6.11 ค่า Ripple ของ Passband ของวงจร Gm-C Filterที่ได้มาจากการLayout

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่7
สรุปผลการทดลองและวิจารณ์

จะเห็นได้ว่า ในการที่โครงงานนี้เราได้ทำการเลือกใช้วงจรขยายความนำ(Opertional Transconductor Amplifier: Gm) แทนที่จะใช้เป็น Op Amp ก็เนื่องมาจากข้อได้เปรียบหลายประการที่มีอยู่ใน Gm-C โดยเฉพาะอย่างยิ่งมีคุณสมบัติที่ได้เปรียบ Op Amp หลายข้อดังต่อไปนี้

1. input stage มีความสามารถในการรับสัญญานโตๆได้ (large signal)
2.input and output มีอิมพิแดนซ์ค่อนข้างสูง
3.มีความสามารถในการใช้งานในช่วงความถี่ที่กว้าง

แต่ Gm-C ก็มีข้อด้อยอยู่อย่างหนึ่งซึ่งต้องมีความระมัดระวังในการใช้เป็นอย่างมากก็เนื่องมาจากว่ามันมีความไวต่อตัวเก็บประจุแฝงเป็นอย่างมาก (sensitive to paracitic capacitances) ซึ่งทำให้มีความไม่เป็นเชิงเส้นได้ ดังนั้นจึงจำเป็นอย่างยิ่งในการออกแบบต้องอยู่บนความรู้พื้นฐานในเรื่อง parasitics ด้วย

ในการแปลงวงจรฟิลเตอร์จากวงจรที่เป็น R, C filter มาเป็นวงจรที่ใช้อุปกรณ์ที่เป็น Active filter นั้นเราได้เลือกใช้วิธีในการแปลงคือใช้วิธีการแปลงแบบ SFG (signal flow graph) มีข้อดีคือทำให้เราสามารถมีความอิสระในการออกแบบค่าของทรานคอนดัคเตอร์แต่ละตัวได้อย่างอิสระมากกว่าวิธีการแทนโดยตรง และจะเห็นได้ว่าเราสามารถลดจำนวนของทรานส์คอนดัคเตอร์ลงได้จาก 13 ตัวลงเหลือเพียง 6 ตัวซึ่งเป็นประโยชน์ต่อวงจรเป็นอย่างมาก

จากการศึกษาและออกแบบวงจรตลอดทั้งโครงงาน พบว่าในการออกแบบจริงที่มาจากทฤษฎีหรือการกำหนดค่า (W/L) ให้กับ MOSFET แต่ละตัวนั้นมีความละเอียดอ่อนเป็นอย่างมาก ซึ่งผลที่ได้จากการคำนวณโดยใช้ชุดสมการตามบทที่4 เมื่อนำมาจำลองการทำงานด้วยโปรแกรม Pspice 9.1 ซึ่งผลที่ได้จะได้ไม่ตรงกับทฤษฎีทีเดียว ต้องมีการปรับแต่งเพิ่มเติมอีกโดยต้องทำการปรับเปลี่ยน (W/L) ของ MOSFETและค่าของ capacitor เพื่อให้ได้ผลตามที่ต้องการ สาเหตุที่เกิดปัญหานี้เพราะในการคำนวณใช้ parameter ใน model level1 ซึ่งเป็นการคำนวณโดยประมาณซึ่งให้ค่าที่ไม่ถูกต้องในการออกแบบวงจรเพื่อใช้งานจริง ดังนั้นแล้วเพื่อความถูกต้องในการออกแบบวงจรจึงจำเป็นที่จะต้องใช้ model ที่มี level สูงในการจำลองผลการทำงานของวงจร ดังเช่นในการทดลองวงจร fully balance gm-c filter ที่ใช้ spice model level 7 นำมาจำลองการทำงานด้วยโปรแกรม Pspice 9.1 ในบทที่4 เมื่อนำมาเปรียบเทียบกับวงจร fully balance gm-c filter ที่ใช้ spice model level 49 ที่ใช้จำลองการทำงานด้วยโปรแกรม Tspice ที่ได้ netlist file จากการ layout ด้วย

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

โปรแกรม l-edit ในบทที่5 ได้ผลการทดลองที่แตกต่างกัน ดังนั้นผลการทดลองของโครงงานนี้ที่น่าจะให้ผลการทำงานของวงจร gm-c filter ก็คือวงจรที่จำลองการทำงานด้วยโปรแกรม Tspice

จากผลการทดลองของวงจร gm-c filter ที่ใช้จำลองการทำงานด้วยโปรแกรมTspice ได้คุณสมบัติของวงจรดังนี้คือ

อัตราขยายไฟตรง (DC gain)	ADC=-29dB
ความถี่แถบผ่าน (Passband frequnecy)	fp=2.0kHz
ความถี่แถบหยุด (Stopband frequnecy)	fs=3.86kHz
อัตรากระเพื่อมในแถบผ่าน (Passband ripple)	Ap<0.1dB
การลดทอนในแถบหยุด (Stopband attentuation)	As ≥ 47.9dB
การกินพลังงาน (Power consuption)	25μW
ขนาดพื้นที่ชิพ (Chip area)	$1mm^2$

จากคุณสมบัติของวงจรที่ได้จากการทดลองนี้พบว่าค่าอัตราขยายไฟตรง (DC gain) มีค่าต่ำกว่า 0dB ส่วนคุณสมบัติอื่นๆได้คุณสมบัติที่ดีกว่าข้อกำหนด นอกจากนี้วงจร gm-c filter ยังมีการกินพลังงานที่ต่ำมาก อีกทั้งขนาดพื้นที่ชิพมีขนาดที่ไม่มากจนเกินไปแม้ว่าจะใช้ capacitor ในวงจรค่อนข้างมากก็ตาม ซึ่งการกินพลังงานและขนาดพื้นที่ชิพยึดถือได้ว่าเป็นปัจจัยหลักที่สำคัญในการออกแบบวงจรรวมในปัจจุบัน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เอกสารอ้างอิง

1. Arthur B. Williams & Fred J. Taylor, "ELECTRONIC FILTER DESIGN HANDBOOK", McGRAW-HILL PUBLISHING COMPANY, New York, 1988.
2. Behzad Razavi, "Design of Analog CMOS Integrated Circuits", International Editions 2000.
3. David Johns, Ken Martin, "ANALOG INTEGRATED CIRCUIT DESIGN", John Wiley & Sons, Inc.,1997.
4. Jitkasame Ngarmnil & Wichai Sangnak, "BSIM3v3 Key Parameter Extractions for Efficien circuit Designs", Mahanakorn University of Technology, Bangkok, 10530, Email:jitkasam@mut.ac.th.
5. T. Deliyannis, Yichuang Sun, J.K. Fidler, "Continuous-Time Active Filter Design", 1999 by CRC Press LLC.
6. Mehmet Ali Tan,Rolf Schaumann, "A Reduction in the Number of Active Components used in Transconductance Grounded Capacitor Filters", IEEE Trans. Circuits andSystems, CH2868-8/90/0000-2276, 1990.
7. Paul R. Gray, Robert G. Meyer, "Analysis and Design of ANALOG INTEGRATED CIRCUITS", Third editon John Wiley & Sons,Inc.,1993.
8. NDREAS KAISER,MEMBER, IEEE, " A Micropower CMOS Continuous-Time Low-Pass Filter", Solid-State Circuits, vol. SC-24,no.3,pp.736-743,June 1989.
9. Jim Williams (Editor), "Analog Circuit Design, Art, Science and Personalities", Butterwort-Heinemann, Boston, 1991.
10. Alan Hastings,"The ART of ANALOG LAYOUT", PRENTICE HALL Upper Sassle River, NJ 07458.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ภาคผนวก

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Model for Pspice (level 7)

```
*Model PMOS and NMOS Level 7
*0.5 um
*PMOS TYPICAL
********** cmos05 pmos typical models **********
* release 3.0
* for more information, please read the models.info file.
*
* date: mar 17/98
* lot: e744621p1          waf: 7
* die: 1                  dev: p0.8/0.5
* temp= 27
.model   pmos  pmos  level  = 7
+tnom   = 27          tox    = 1e-8          xj     = 3e-7
+nch    = 2e17        nsub   = 4e16          vth0   = -0.6103469
+k1     = 0.6851333   k2     = 8.465407e-5   k3     = 21.94
+k3b    = -0.065      w0     = 4.31e-6       nlx    = 1.01913e-7
+dvt0   = 5.4145011   dvt1   = 0.4773587    dvt2   = -0.0102858
+vbm    = -10         u0     = 148.6428164   ua     = 2.266657e-9
+ub     = 3.571409e-20  uc    = -1.53433e-11  vsat   = 6.666424e5
+a0     = 1.2571212   ags    = 0.1706772     b0     = 1.059729e-7
+b1     = 1.377612e-7  keta   = -0.0187078    a1     = 0
+a2     = 0.8         rdsw   = 874.4420611   prwg   = 0.5
+prwb   = -0.0928952  wr     = 1             wint   = -9.27e-8
+lint   = 1.711979e-8  dwg    = 0             dwb    = 9.339e-9
+voff   = -0.1156803  nfactor = 0.7335277     cit    = 0
+cdsc   = -1e-4       cdscd  = -1e-4         cdscb  = 2e-3
+eta0   = 0.2218665   etab   = -0.0998531    dsub   = 0.547
+pclm   = 1.5332371   pdiblc1 = 2.489418e-4  pdiblc2 = 7.383994e-4
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
+pdiblcb = -0.9        drout  = 1          pscbe1  = 6e8
+pscbe2  = 5e-5        pvag   = -0.1894078   delta  = 0.01
+alpha0  = 0           beta0  = 30         pb     = 0.78469
+pbsw    = 0.69350     rsh    = 2.10       js     = 8.0e-4
+jsw     = 4.0e-9
+mobmod  = 1           prt    = 190.1524511  ute    = -1.045139
+kt1     = -0.2522072  kt11   = -1.867722e-8  kt2    = -9.047095e-3
+ua1     = 1.511701e-9  ub1    = -5.05882e-18  uc1    = -5.56733e-11
+at      = 1e5         capmod = 1          xt     = 1.55e-7
+nqsmod  = 0           elm    = 5          xpart  = 0.4
+wl      = 0           wln    = 1          ww     = 0
+wwn     = 1           wwl    = -5e-21     wmin   = 0
+wmax    = 1           ll     = 0          lln    = 1
+lw      = 0           lwn    = 1          lwl    = 0
+lmin    = 0           lmax   = 1          cgsl   = 0
+cgdl    = 0           ckappa = 0.6        cf     = 0
+clc     = 1e-7        cle    = 0.6        cgdo   = 1.38e-10
+cgso    = 1.38e-10    cgbo   = 3.45e-10
+cj      = 8.1577e-4
*+mj     = 0.36667     cjsw   = 3.5456e-10   mjsw   = 0.27422
*+cjswg  = 1.10e-10    pbswg  = 0.6        mjswg  = 0.220
+kf      = 1.20e-28    af     = 1.1
* define for eldo
*+ lis=2          diolev=2  tlevi=0
*
**********
* vertical pnp bipolar
**********
.model pnpv pnp (
*+tnom  =  27
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
+is   =  4.29e-18
+bf   =  7.75
+vaf  =  150
+xti  =  2.4
+xtb  =  1.60
+br   =  500
+)
*
*************************************************************
* single diode model cards
*************************************************************
*
*  p+/nwell junction diode in forward mode
*
.model ppnf d (
+ level =  1
+ tnom  =  27
+ is   =  2.796e-7
*+ isw  =  8.62e-13
+ n    =  1.04
+ rs   =  1.2e-6
+ xti  =  2.70
+ eg   =  1.06
*+ cj0  =  8.16e-4
*+ cjsw =  3.55e-10
+ vj   =  0.74
*+ mj   =  0.37
*+ mjsw =  0.27
+)
*
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
* p+/nwell junction diode in reverse mode
*
.model ppnr d (
+ level =   1
+ tnom  =   27
+ is    =   5.616e-5
*+ isw  =   10.235e-11
+ n     =   1.04
+ rs    =   1.2e-6
+ xti   =   -12
+ eg    =   1.06
*+ cj0  =   8.16e-4
*+ cjsw =   3.55e-10
+ vj    =   0.74
*+ mj   =   0.37
*+ mjsw =   0.27
+)
```

```
*MODEL NMOS PTYPICAL
********** cmos05 nmos typical models **********
* a test of release 3.0
* for more information, please read the models.info file
*
* date: mar 17/98
* lot: e744621          waf: 7
* temp= 27
* typical set nmos
.model    nmos      nmos    level  = 7
+tnom    = 27        tox     = 1e-8        xj     = 2.35e-7
+nch     = 2e17      nsub    = 4e16        vth0   = 0.6097457
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

+k1 = 0.6369321 k2 = 1.469165e-4 k3 = 29.501

+k3b = -0.68 w0 = 8.809842e-6 nlx = 1.884526e-7

+dvt0 = 5.7749986 dvt1 = 0.4474586 dvt2 = -0.0251598

+vbm = -10 u0 = 588.4312781 ua = 2.155132e-9

+ub = 1.32731e-21 uc = 9.324184e-11 vsat = 1.128844e5

+a0 = 1.280555 ags = 0.2404422 b0 = 3.6366e-7

+b1 = 2.337947e-6 keta = -8.625844e-4 a1 = 0

+a2 = 0.8 rdsw = 283.6186958 prwg = 0.5

+prwb = -0.0827266 wr = 1 wint = -5.230179e-8

+lint = 1.353614e-8 dwg = 0 dwb = 1.11e-8

+voff = -0.1245595 nfactor = 0.8425275 cit = 0

+cdsc = -1e-4 cdscd = -1e-4 cdscb = 2e-3

+eta0 = 0.07 etab = -0.054 dsub = 0.4957726

+pclm = 0.8804854 pdiblc1 = 0.0132091 pdiblc2 = 1.27332e-3

+pdiblcb = 0.090022 drout = 0.1532732 pscbe1 = 4.52617e8

+pscbe2 = 5e-5 pvag = 0.20417 delta = 0.01

+alpha0 = 0 beta0 = 30 pb = 0.75560

+pbsw = 0.68638 rsh = 2.30

+js = 7.05e-04 jsw = 4.3e-9

+mobmod = 1 prt = -57.2389305 ute = -1.6096023

+kt1 = -0.3010319 kt11 = -3.172847e-8 kt2 = -0.0657457

+ua1 = 1.737957e-9 ub1 = -2.95611e-18 uc1 = 1.692194e-11

+at = 2.497153e4 capmod = 1 xt = 1.55e-7

+nqsmod = 0 elm = 5 xpart = 0

+wl = 0 wln = 1 ww = 0

+wwn = 1 wwl = -2.99e-20 wmin = 0

+wmax = 1 ll = 0 lln = 1

+lw = 0 lwn = 1 lwl = 0

+lmin = 0 lmax = 1 cgsl = 0

+cgdl = 0 ckappa = 0.6 cf = 0

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
+clc    = 0.1e-6       cle    = 0.6          cgdo   = 1.38e-10
+cgso   = 1.38e-10     cgbo   = 3.45e-10
+cj     = 7.7587e-4
*+mj    = 0.35297      cjsw   = 3.4485e-10    mjsw   = 0.26477
*+cjswg = 1.370e-10    pbswg  = 0.6           mjswg  = 0.220
+kf     = 3.67e-28     af     = 0.91
* define for eldo
*+ lis=2          diolev=2   tlevi=0
*
*************************************************************


* single diode model cards
*************************************************************
*
* n+/psub junction diode in forward mode
*
.model nppf d (
+ level =   1
+ tnom  =   27
+ is    =   1.681e-7
*+ isw  =   7.605e-13
+ n     =   1.09
+ rs    =   1.1e-6
+ xti   =   2.54
+ eg    =   1.02
*+ cj0  =   7.76e-4
*+ cjsw =   3.45e-10
+ vj    =   0.72
*+ mj   =   0.35
*+ mjsw =   0.26
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
+)
*
* n+/psub junction diode in reverse mode
*
.model nppr d (
+ level =  1
+ tnom  =  27
+ is    =  1.541e-5
*+ isw  =  5.494e-11
+ n     =  1.09
+ rs    =  1.1e-6
+ xti   =  -8
+ eg    =  1.02
*+ cj0  =  7.76e-4
*+ cjsw =  3.45e-10
+ vj    =  0.72
*+ mj   =  0.35
*+ mjsw =  0.26
+)
*
* nwell/psub junction diode in forward mode
*
.model nwpf d (
+ level =  1
+ tnom  =  27
+ is    =  3.442e-7
*+ isw  =  2.672e-12
+ n     =  1.14
+ rs    =  1.2e-6
+ xti   =  2.39
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
+ eg   =   1.00
*+ cj0  =   1.45e-4
*+ cjsw =   2.84e-10
+ vj   =   0.6
*+ mj   =   0.21
*+ mjsw =   0.20
+)
*
* nwell/psub junction diode in reverse mode
*
.model nwpr d (
+ level =   1
+ tnom  =   27
+ is    =   1.32e-6
*+ isw   =   4.68e-11
+ n     =   1.12
+ xti   =   1.00
+ eg    =   1.12
*+ cj0   =   1.45e-4
*+ cjsw  =   2.84e-10
+ vj    =   0.6
*+ mj    =   0.21
*+ mjsw  =   0.20
+)
**********************************************************
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Model for Tspice (level 49)

```
********** cmos05 nmos typical models **********
* a test of release 3.0
* for more information, please read the models.info file
*
* date: mar 17/98
* lot: e744621          waf: 7
* temp= 27
* typical set nmos
.model EN        nmos   level  = 49
+tnom   = 27          tox    = 1e-8        xj     = 2.35e-7
+nch    = 2e17        nsub   = 4e16        vth0   = 0.6097457
+k1     = 0.6369321   k2     = 1.469165e-4  k3     = 29.501
+k3b    = -0.68       w0     = 8.809842e-6  nlx    = 1.884526e-7
+dvt0   = 5.7749986   dvt1   = 0.4474586   dvt2   = -0.0251598
+vbm    = -10         u0     = 588.4312781  ua     = 2.155132e-9
+ub     = 1.32731e-21 uc     = 9.324184e-11 vsat   = 1.128844e5
+a0     = 1.280555    ags    = 0.2404422    b0     = 3.6366e-7
+b1     = 2.337947e-6 keta   = -8.625844e-4 a1     = 0
+a2     = 0.8         rdsw   = 283.6186958  prwg   = 0.5
+prwb   = -0.0827266  wr     = 1           wint   = -5.230179e-8
+lint   = 1.353614e-8 dwg    = 0           dwb    = 1.11e-8
+voff   = -0.1245595  nfactor = 0.8425275   cit    = 0
+cdsc   = -1e-4       cdscd  = -1e-4       cdscb  = 2e-3
+eta0   = 0.07        etab   = -0.054      dsub   = 0.4957726
+pclm   = 0.8804854   pdiblc1 = 0.0132091  pdiblc2 = 1.27332e-3
+pdiblcb = 0.090022   drout  = 0.1532732   pscbe1  = 4.52617e8
+pscbe2  = 5e-5       pvag   = 0.20417     delta  = 0.01
+alpha0 = 0           beta0  = 30          pb     = 0.75560
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
+pbsw   = 0.68638      rsh    = 2.30
+js     = 7.05e-04     jsw    = 4.3e-9
+mobmod = 1            prt    = -57.2389305   ute    = -1.6096023
+kt1    = -0.3010319   kt11   = -3.172847e-8  kt2    = -0.0657457
+ua1    = 1.737957e-9  ub1    = -2.95611e-18  uc1    = 1.692194e-11
+at     = 2.497153e4   capmod = 1            xt     = 1.55e-7
+nqsmod = 0            elm    = 5             xpart  = 0
+wl     = 0            wln    = 1             ww     = 0
+wwn    = 1            wwl    = -2.99e-20     wmin   = 0
+wmax   = 1            ll     = 0             lln    = 1
+lw     = 0            lwn    = 1             lwl    = 0
+lmin   = 0            lmax   = 1             cgsl   = 0
+cgdl   = 0            ckappa = 0.6           cf     = 0
+clc    = 0.1e-6       cle    = 0.6           cgdo   = 1.38e-10
+cgso   = 1.38e-10     cgbo   = 3.45e-10
+cj     = 7.7587e-4
+mj     = 0.35297      cjsw   = 3.4485e-10    mjsw   = 0.26477
*+cjswg  = 1.370e-10    pbswg  = 0.6         mjswg  = 0.220
+kf     = 3.67e-28     af     = 0.91
* define for eldo
*+ lis=2          diolev=2  tlevi=0
*
**********************************************************
* single diode model cards
**********************************************************
*
* n+/psub junction diode in forward mode
*
.model nppf d (
+ level =   1
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
+ tnom =  27
+ is  =  1.681e-7
*+ isw  =  7.605e-13
+ n  =  1.09
+ rs  =  1.1e-6
+ xti  =  2.54
+ eg  =  1.02
*+ cj0  =  7.76e-4
+ cjsw  =  3.45e-10
+ vj  =  0.72
+ mj  =  0.35
+ mjsw  =  0.26
+)
*
* n+/psub junction diode in reverse mode
*
.model nppr d (
+ level =  1
+ tnom  =  27
+ is  =  1.541e-5
*+ isw  =  5.494e-11
+ n  =  1.09
+ rs  =  1.1e-6
+ xti  =  -8
+ eg  =  1.02
*+ cj0  =  7.76e-4
+ cjsw  =  3.45e-10
+ vj  =  0.72
+ mj  =  0.35
+ mjsw  =  0.26
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
+)
*
* nwell/psub junction diode in forward mode
*
.model nwpf d (
+ level =  1
+ tnom  =  27
+ is    =  3.442e-7
*+ isw  =  2.672e-12
+ n     =  1.14
+ rs    =  1.2e-6
+ xti   =  2.39
+ eg    =  1.00
*+ cj0  =  1.45e-4
+ cjsw  =  2.84e-10
+ vj    =  0.6
+ mj    =  0.21
+ mjsw  =  0.20
+)
*
* nwell/psub junction diode in reverse mode
*
.model nwpr d (
+ level =  1
+ tnom  =  27
+ is    =  1.32e-6
*+ isw  =  4.68e-11
+ n     =  1.12
+ xti   =  1.00
+ eg    =  1.12
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
*+ cj0  =   1.45e-4
+ cjsw  =   2.84e-10
+ vj    =   0.6
+ mj    =   0.21
+ mjsw  =   0.20
+)
**********************************************************

********************** cmos05 pmos typical models *****************
* release 3.0
* for more information, please read the models.info file.
*
* date: mar 17/98
* lot: e744621p1          waf: 7
* die: 1                  dev: p0.8/0.5
* temp= 27
.model EP   pmos  level  = 49
+tnom    = 27           tox    = 1e-8          xj     = 3e-7
+nch     = 2e17         nsub   = 4e16          vth0   = -0.6103469
+k1      = 0.6851333    k2     = 8.465407e-5   k3     = 21.94
+k3b     = -0.065       w0     = 4.31e-6       nlx    = 1.01913e-7
+dvt0    = 5.4145011    dvt1   = 0.4773587     dvt2   = -0.0102858
+vbm     = -10          u0     = 148.6428164   ua     = 2.266657e-9
+ub      = 3.571409e-20 uc     = -1.53433e-11  vsat   = 6.666424e5
+a0      = 1.2571212    ags    = 0.1706772     b0     = 1.059729e-7
+b1      = 1.377612e-7  keta   = -0.0187078    a1     = 0
+a2      = 0.8          rdsw   = 874.4420611   prwg   = 0.5
+prwb    = -0.0928952   wr     = 1             wint   = -9.27e-8
+lint    = 1.711979e-8  dwg    = 0             dwb    = 9.339e-9
+voff    = -0.1156803   nfactor= 0.7335277     cit    = 0
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
+cdsc    = -1e-4        cdscd   = -1e-4        cdscb   = 2e-3
+eta0    = 0.2218665    etab    = -0.0998531   dsub    = 0.547
+pclm    = 1.5332371    pdiblc1 = 2.489418e-4  pdiblc2 = 7.383994e-4
+pdiblcb = -0.9         drout   = 1            pscbe1  = 6e8
+pscbe2  = 5e-5         pvag    = -0.1894078   delta   = 0.01
+alpha0  = 0            beta0   = 30           pb      = 0.78469
+pbsw    = 0.69350      rsh     = 2.10         js      = 8.0e-4
+jsw     = 4.0e-9
+mobmod  = 1            prt     = 190.1524511  ute     = -1.045139
+kt1     = -0.2522072   kt11    = -1.867722e-8 kt2     = -9.047095e-3
+ua1     = 1.511701e-9  ub1     = -5.05882e-18 uc1     = -5.56733e-11
+at      = 1e5          capmod  = 1            xt      = 1.55e-7
+nqsmod  = 0            elm     = 5            xpart   = 0.4
+wl      = 0            wln     = 1            ww      = 0
+wwn     = 1            wwl     = -5e-21       wmin    = 0
+wmax    = 1            ll      = 0            lln     = 1
+lw      = 0            lwn     = 1            lwl     = 0
+lmin    = 0            lmax    = 1            cgsl    = 0
+cgdl    = 0            ckappa  = 0.6          cf      = 0
+clc     = 1e-7         cle     = 0.6          cgdo    = 1.38e-10
+cgso    = 1.38e-10     cgbo    = 3.45e-10
+cj      = 8.1577e-4
+mj      = 0.36667      cjsw    = 3.5456e-10   mjsw    = 0.27422
*+cjswg  = 1.10e-10     pbswg   = 0.6          mjswg   = 0.220
+kf      = 1.20e-28     af      = 1.1
* define for eldo
*+ lis=2          diolev=2   tlevi=0
*
**********
* vertical pnp bipolar
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
**********************
.model pnpv pnp (
*+tnom   =   27
+is    =   4.29e-18
+bf    =   7.75
+vaf   =   150
+xti   =   2.4
+xtb   =   1.60
+br    =   500
+)
*
*********************************************************
* single diode model cards
*********************************************************
*
*  p+/nwell junction diode in forward mode
*
.model ppnf d (
+ level =   1
+ tnom  =   27
+ is    =   2.796e-7
*+ isw   =   8.62e-13
+ n     =   1.04
+ rs    =   1.2e-6
+ xti   =   2.70
+ eg    =   1.06
*+ cj0   =   8.16e-4
+ cjsw  =   3.55e-10
+ vj    =   0.74
+ mj    =   0.37
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
+ mjsw =  0.27
+)
*
* p+/nwell junction diode in reverse mode
*
.model ppnr d (
+ level =  1
+ tnom =  27
+ is  =  5.616e-5
*+ isw  =  10.235e-11
+ n  =  1.04
+ rs  =  1.2e-6
+ xti  =  -12
+ eg  =  1.06
*+ cj0  =  8.16e-4
+ cjsw  =  3.55e-10
+ vj  =  0.74
+ mj  =  0.37
+ mjsw =  0.27
+)
**********************************************************
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้