สำนักหอสมุดกลาง พระจอมเกล้าลาดกระบัง

การออกแบบวงจรแปลงสัญญาณอนาลอกเป็นสัญญาณดิจิตอลแบบแฟลช 3 บิต

3-BIT FLASH A/D CONVERTER

T046280

โดย

นายธงชัย วงศ์ธนะรักษ์

เลขหมู่.....
เลขทะเบียน 46280
วัน, เดือน, ปี 21 มี.ค. 2546

.b.....
.i.....

ปริญญานิพนธ์นี้เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรปริญญาวิศวกรรมศาสตรบัณฑิต

สาขาวิชาอิเล็กทรอนิกส์

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

ปีการศึกษา 2544

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การออกแบบวงจรแปลงสัญญาณอนาลอกเป็นสัญญาณดิจิตอลแบบแฟลช 3 บิต

3-BIT FLASH A/D CONVERTER

โดย

นายธงชัย วงศ์ธนะรักษ์

อาจารย์ที่ปรึกษา

ผศ.ดร.วรากร เกษมสุวรรณ์

ปริญญานิพนธ์สำหรับวิศวกรรมศาสตรบัณฑิต

สาขาวิชาอิเล็กทรอนิกส์

คณะวิศวกรรมศาสตร์

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

ปีการศึกษา 2544

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ปริญญานิพนธ์ ปีการศึกษา 2544

ภาควิชา อิเล็กทรอนิกส์

คณะวิศวกรรมศาสตร์ สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

เรื่อง การออกแบบวงจรแปลงสัญญาณอนาลอกเป็นสัญญาณดิจิตอลแบบแฟลช 3 บิต

ผู้จัดทำ นายธงชัย วงศ์ธนะรักษ์ รหัส 42015220



.....อาจารย์ที่ปรึกษา

(ผศ.ดร.วรากร เกษมสุวรรณ์)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การออกแบบวงจรแปลงสัญญาณอนาลอกเป็นสัญญาณดิจิตอลแบบแฟลช 3 บิต

3-BIT FLASH A/D CONVERTER

นายธงชัย วงศ์ธนะรักษ์ รหัส 42015220

โครงงานได้รับการตรวจสอบแล้ว พร้อมที่จะทำการสอบได้



.....อาจารย์ที่ปรึกษา

(ผศ.ดร.วรากร เกษมสุวรรณ์)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การออกแบบวงจรแปลงสัญญาณอนาลอกเป็นสัญญาณดิจิตอลแบบแฟลช 3 บิต

ธงชัย วงศ์ธนะรักษ์
ผศ.ดร.วรากร เกษมสุวรรณ์ อาจารย์ที่ปรึกษา
ปีการศึกษา 2544

บทคัดย่อ

โครงงานนี้เป็นการออกแบบวงจรรวมซีมอสทรานซิสเตอร์ แปลงสัญญาณอนาลอกเป็นสัญญาณดิจิตอลแบบแฟลช 3 บิต ให้ได้ตามคุณสมบัติที่กำหนด โดยจะกล่าวถึงทฤษฎีพื้นฐานอันได้แก่ ทฤษฎีของมอสเฟ็ท วงจรมอสเฟ็ทพื้นฐานที่ใช้ในวงจรรวม ทฤษฎีของวงจรแปลงสัญญาณอนาลอกเป็นสัญญาณดิจิตอล จากนั้นจึงกล่าวถึงการออกแบบวงจรแปลงสัญญาณอนาลอกเป็นสัญญาณดิจิตอล โดยใช้โปรแกรม Pspice จำลองการทำงานเพื่อยืนยันว่าการออกแบบถูกต้อง เมื่อได้วงจรที่ทำงานถูกต้องแล้ว จะทำการออกแบบวงจรในระดับเลเอาต์ของวงจรรวม โดยใช้โปรแกรม L-Edit จากนั้นทำการจำลองการทำงานของวงจร ด้วย Pspice โดยรวมผลของตัวเก็บประจุแฝงที่อยู่ในวงจรรวมด้วย เพื่อแสดงให้เห็นว่าวงจรที่ออกแบบทำงานได้ตามข้อกำหนด

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3-BIT FLASH A/D CONVERTER

Thongchai Wongthanarux

Varakorn Kasemsuwan Advisor

2001

Abstract

This project is to design the CMOS flash analog to digital (A/D) converter (3 bits). The study firstly discusses the basic of MOS transistor, then the basic circuit building blocks and finally flash analog to digital converter. To test the performance of the designed three bits A/D converter, the circuit simulation is performed using Pspice with a standard N-Well 2 μm CMOS process and the results meet the specifications well. L-Edit is then used to carry out the layout task. The circuit layout is finally put into the pad frame (3004 μm × 2284 μm). The simulation is performed again with all the parasitic elements associated with interconnects in the circuit layout. The simulation results show good circuit performance and meet all the required specifications.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญ

		หน้า
บทคัดย่อ		I
Abstract		II
สารบัญ		III
สารบัญรูปภาพ		V
สารบัญตาราง		X
บทที่ 1	บทนำ	1
บทที่ 2	ทฤษฎีของซีมอสทรานซิสเตอร์	2
	2.1 โครงสร้างและชนิดของมอสเฟ็ท	2
	2.2 คุณสมบัติทางไฟฟ้าของมอสเฟ็ท	3
บทที่ 3	ทฤษฎีของวงจรแปลงสัญญาณอนาลอกเป็นสัญญาณดิจิตอล	9
	3.1 คุณสมบัติของวงจรแปลงสัญญาณอนาลอกเป็นสัญญาณดิจิตอล	9
	3.2 โครงสร้างและชนิดของวงจรแปลงสัญญาณอนาลอกเป็นสัญญาณดิจิตอล	14
	3.3 วงจรแปลงสัญญาณอนาลอกเป็นสัญญาณดิจิตอลแบบแฟลช	14
	3.4 วงจรย่อยในวงจรแปลงสัญญาณอนาลอกเป็นสัญญาณดิจิตอลแบบแฟลช	16
	3.5 คอมพาราเตอร์(comparator)	16
	3.6 วงจรย่อยที่ใช้ในการสร้างคอมพาราเตอร์	18
	3.6.1 วงจรไบอัส	18
	3.6.2 วงจรขยายความแตกต่าง	19
	3.6.3 วงจรขยายแรงดันภาคที่สอง	21
	3.7 วงจรคอมพาราเตอร์สองภาค	22
	3.8 วงจรคอมพาราเตอร์ที่มีการชดเชยออฟเซต	28
	3.9 วงจรแลตช์	30
	3.10 วงจรไพรออริตี้เอ็นโค๊ดเดอร์	31
	3.11 การออกแบบวงจรในระดับเลย์เอาต์	31

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 4 การออกแบบวงจรแปลงสัญญาณอนาลอกเป็นสัญญาณดิจิตอลแบบแฟลช 3 บิต 35

4.1 การออกแบบและการทดลองวงจรคอมพาราเตอร์ 35

4.1.1 ผลการจำลองการทำงาน 39

4.2 การออกแบบวงจรคอมพาราเตอร์ที่มีการชดเชยแรงดันออฟเซต 47

4.2.1 ผลการจำลองการทำงาน 49

4.2.2 สรุปผลการทดลอง 55

4.3 การออกแบบและการทดลองวงจรแลตช์ 55

4.3.1 ผลการทดลอง 55

4.4 การออกแบบและการทดลองวงจรไพรออริตี้เอ็นโค๊ดเดอร์ 58

4.4.1 ผลการทดลอง 60

4.5 ผลการทดลองวงจรแปลงสัญญาณอนาลอกเป็นสัญญาณดิจิตอลแบบแฟลช 3 บิต 61

4.6 การออกแบบเลย์เอาต์ของวงจรแปลงสัญญาณอนาลอกเป็นสัญญาณดิจิตอลแบบแฟลช 3 บิต 65

4.6.1 เลย์เอาต์ของวงจรคอมพาราเตอร์ 66

4.6.2 เลย์เอาต์ของวงจรแลตช์ 66

4.6.3 เลย์เอาต์ของวงจรไพรออริตี้เอ็นโค๊ดเดอร์ 66

4.6.4 เลย์เอาต์ของตัวต้านทาน 67

4.6.5 เลย์เอาต์ของตัวเก็บประจุ 67

4.7 ผลการจำลองการทำงานของวงจรที่สร้างเป็นเลย์เอาต์ 69

บทที่ 5 บทสรุป 76

กิตติกรรมประกาศ

บรรณานุกรม

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญรูปภาพ

		หน้า
รูปที่ 2.1	โครงสร้างของ PMOS T และ N MOS T	2
รูปที่ 2.2	สัญลักษณ์ของ PMOS T และ NMOS T	2
รูปที่ 2.3	โครงสร้างของ CMOS T	3
รูปที่ 2.4	กราฟคุณสมบัติ กระแส แรงดัน ของ MOS T	4
รูปที่ 2.5	กราฟคุณสมบัติกระแส แรงดัน ของ MOS T ที่มี g_o	5
รูปที่ 2.6	แสดงตัวเก็บประจุที่แฝงอยู่ในมอสเฟ็ท	6
รูปที่ 2.7	แสดงวงจรเสมือนสำหรับสัญญาณขนาดเล็กของมอสเฟ็ท	7
รูปที่ 3.1	แสดงกราฟคุณสมบัติในอุดมคติของวงจรแปลงสัญญาณอนาลอกเป็นสัญญาณดิจิตอล 3 บิต	9
รูปที่ 3.2	แสดงกราฟคุณสมบัติของวงจรแปลงสัญญาณอนาลอกเป็นสัญญาณดิจิตอล 3 บิต ที่มีแรงดันออฟเซต	10
รูปที่ 3.3	แสดงกราฟคุณสมบัติของวงจรแปลงสัญญาณอนาลอกเป็นสัญญาณดิจิตอล 3 บิตที่มีความผิดพลาดอัตราขยาย	11
รูปที่ 3.4	กราฟคุณสมบัติของวงจรแปลงสัญญาณอนาลอกเป็นสัญญาณดิจิตอล ที่มี DNL	12
รูปที่ 3.5	กราฟคุณสมบัติของวงจรแปลงสัญญาณอนาลอกเป็นสัญญาณดิจิตอล ที่มี INL	13
รูปที่ 3.6	แสดงคอนเวอร์ชั่น ไทม์ของวงจรแปลงสัญญาณอนาลอกเป็นสัญญาณดิจิตอล	14
รูปที่ 3.7	แสดง โครงสร้างพื้นฐานของวงจรแปลงสัญญาณอนาลอกเป็นสัญญาณดิจิตอลแบบแฟลช	15
รูปที่ 3.8	แสดงสัญญาณเอาต์พุตเทียบกับแกนเวลา	16
รูปที่ 3.9	สัญลักษณ์ของวงจรคอมพาราเตอร์	16
รูปที่ 3.10	กราฟความสัมพันธ์ระหว่างเอาต์พุตและอินพุตในอุดมคติ	17
รูปที่ 3.11	กราฟแสดงความสัมพันธ์ระหว่างเอาต์พุตและอินพุตของวงจรคอมพาราเตอร์	17
รูปที่ 3.12	วงจรสะท้อนกระแส(current mirror) แบบพื้นฐาน	19
รูปที่ 3.13	วงจรขยายความแตกต่างที่มีโหลดเป็นวงจรสะท้อนกระแส	20

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น สงวนสิทธิ์ในการคัดลอกเอกสารทุกครั้งที่มีการนำไปใช้

รูปที่ 3.14	กราฟความสัมพันธ์ระหว่างอินพุตและเอาต์พุตของรูปที่ 3.13	20
รูปที่ 3.15	วงจรขยายคอมม่อนซอส	21
รูปที่ 3.16	กราฟความสัมพันธ์ระหว่างเอาต์พุตและอินพุตของรูปที่ 3.15	21
รูปที่ 3.17	วงจรคอมพาราเตอร์สองภาค	23
รูปที่ 3.18	ตัวเก็บประจุที่มีผลต่อวงจรคอมพาราเตอร์	25
รูปที่ 3.19	ผลของแรงดันออฟเซตที่มีต่อการทำงานของวงจร A/D	28
รูปที่ 3.20	(a) เป็นแบบจำลองคอมพาราเตอร์ที่มีแรงดันออฟเซต	29
	(b) คอมพาราเตอร์ที่ต่อแบบ unity-gain เพื่อเก็บแรงดันออฟเซตไว้ในตัวเก็บประจุ C_{AZ}	
	(c) คอมพาราเตอร์ที่ได้รับการชดเชยออฟเซตแล้ว	
รูปที่ 3.21	(a) วงจรที่มีการชดเชยออฟเซต	30
	(b) คอมพาราเตอร์ขณะมี ϕ_1 เป็นภาวะออโต้ซีโร่	
	(c) คอมพาราเตอร์ขณะมีϕ_2 เป็นภาวะทำงาน	
รูปที่ 3.22	แสดงการเกิดสปาร์กเกิล	31
รูปที่ 3.23	แสดงเลย์เอาต์ของมอสทรานซิสเตอร์	32
รูปที่ 3.24	แสดงตัวอย่างของเลย์เอาต์แบบคอมม่อนเซนทรอยด์	33
รูปที่ 3.25	แสดงเลย์เอาต์ตัวต้านทาน	33
รูปที่ 3.26	แสดงเลย์เอาต์ตัวเก็บประจุ	34
รูปที่ 4.1	วงจรคอมพาราเตอร์สองภาค	39
รูปที่ 4.2	การต่อวงจรทดลอง	39
รูปที่ 4.3	กราฟแรงดันเอาท์พุทเปรียบเทียบกับอินพุท	40
รูปที่ 4.4	กราฟแรงดันเอาท์พุทเปรียบเทียบกับอินพุทเมื่อแก้ไขขนาด M4 ใหม่	41
รูปที่ 4.5	กราฟของ Z_{out}	41
รูปที่ 4.6	กราฟของ Z_{in}	42
รูปที่ 4.7	วงจรที่ใช้หาอัตราขยายคอมม่อนโหมด	42
รูปที่ 4.8	กราฟของ A_{CM}	43
รูปที่ 4.9	กราฟของการวัด SR	43
รูปที่ 4.10	กราฟการตอบสนองความถี่ของวงจรคอมพาราเตอร์สองภาค	44

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รูปที่ 4.11	กราฟการตอบสนองทางเฟสของวงจรคอมพาราเตอร์สองภาค	44
รูปที่ 4.12	สัญญาณเอาท์พุทของวงจรคอมพาราเตอร์เปรียบเทียบระดับแรงดันที่ศูนย์	45
รูปที่ 4.13	วงจรเปรียบเทียบระดับแรงดันที่ไม่เป็นศูนย์โวลท์	46
รูปที่ 4.14	สัญญาณเอาท์พุทของวงจรรูปที่ 4.13	46
รูปที่ 4.15	วงจรคอมพาราเตอร์สองภาคที่มีการชดเชยแรงดันอินพุทออฟเซต	49
รูปที่ 4.16	สัญญาณอินพุทที่ป้อนให้วงจรที่มีการชดเชยออฟเซตและสัญญาณเอาท์พุท	50
รูปที่ 4.17	กราฟเพื่อหาแรงดันออฟเซตของวงจรที่มีการชดเชยออฟเซต	51
รูปที่ 4.18	แรงดันออฟเซตของวงจรที่ชดเชยแรงดันออฟเซตขนาด 50 mV	51
รูปที่ 4.19	สัญญาณเอาท์พุทของวงจรที่มีการชดเชยออฟเซต	52
รูปที่ 4.20	วงจรsample and hold อย่างง่ายต่อกับวงจรคอมพาราเตอร์	53
รูปที่ 4.21	สัญญาณเอาท์พุทของวงจร sample and hold	54
รูปที่ 4.22	สัญญาณเอาท์พุทของวงจรคอมพาราเตอร์	54
รูปที่ 4.23	แสดงวงจรย่อยอินเวอร์เตอร์และสัญญลักษณ์	56
รูปที่ 4.24	แสดงวงจรย่อยแนนเกตและสัญลักษณ์ของวงจร	56
รูปที่ 4.25	แสดงวงจรแลตช์ที่ประกอบด้วยวงจรอินเวอร์เตอร์และวงจรแนนเกต	56
รูปที่ 4.26	แสดงการต่อวงจรเพื่อทดลองการทำงานของวงจรแลตช์ร่วมกับคอมพาราเตอร์	57
รูปที่ 4.27	แสดงผลการทดลองว่าวงจรแลตช์สามารถแลตช์ค่าเอาต์พุตของวงจร	57
รูปที่ 4.28	วงจรอินเวอร์เตอร์กับแอนเกตและสัญญลักษณ์	58
รูปที่ 4.29	วงจรอินเวอร์เตอร์กับแอนเกตแบบ 3 อินพุต และสัญญลักษณ์	58
รูปที่ 4.30	แสดงวงจร ออเกต	59
รูปที่ 4.31	แสดงวงจร ไพรออริตี้เอ็นโค๊ดเดอร์และสัญญลักษณ์	59
รูปที่ 4.32	แสดงวงจรทดลองการทำงานของไพรออริตี้เอ็นโค๊ดเดอร์	60
รูปที่ 4.33	แสดงผลดิจิตอลเอาต์พุต 3 บิตที่ได้จากวงจรไพรออริตี้เอ็นโค๊ดเดอร์	60
รูปที่ 4.34	แสดงการทำงานของไพรออริตี้เอ็นโค๊ดเดอร์ที่สามารถป้องกันบับเบิ้ลเออเร่อ	61
รูปที่ 4.35	วงจรแปลงสัญญาณอนาล็อกเป็นสัญญาณดิจิตอลแบบแฟลช 3 บิต	62

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งไม่อนุญาตให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รูปที่ 4.36	แสดงผลการทำงานของวงจรรูปที่ 4.35 ที่มีอินพุต 250 mVp-p	63
รูปที่ 4.37	แสดงวงจรแปลงสัญญาณอนาลอกเป็นสัญญาณดิจิตอล อย่างง่าย	63
รูปที่ 4.38	แสดงสัญญาณเอาต์พุตอนาลอกเทียบกับแกนเวลา	64
รูปที่ 4.39	รูปสัญญาณเอาต์พุตที่ได้จากวงจรแปลงสัญญาณดิจิตอลเป็นสัญญาณอนาลอก	64
รูปที่ 4.40	กราฟคุณสมบัติของวงจรแปลงสัญญาณอนาลอกเป็นสัญญาณดิจิตอลแบบแฟลช 3 บิต	65
รูปที่ 4.41	แสดงเลย์เอาต์ของวงจรคอมพาราเตอร์ที่ใช้ในวงจรแปลงสัญญาณอนาลอกเป็นสัญญาณดิจิตอล	66
รูปที่ 4.42	แสดงเลย์เอาต์ของวงจรแลตช์	66
รูปที่ 4.43	วงจรอินเวอร์เตอร์กับแอนเกต 2 อินพุตและ 3 อินพุต	67
รูปที่ 4.44	วงจรออเกต 4 อินพุต	67
รูปที่ 4.45	แสดงตัวต้านทาน 5 กิโลโอห์ม และ 10 กิโลโอห์ม	67
รูปที่ 4.46	แสดงตัวเก็บประจุขนาด 2.7 pF และ 20 pF	68
รูปที่ 4.47	แสดงไดโฟโต้ (die photo) วงจรแปลงสัญญาณอนาลอกเป็นสัญญาณดิจิตอลแบบแฟลช 3 บิต	68
รูปที่ 4.48	แสดงเอาต์พุตดิจิตอล	69
รูปที่ 4.49	แสดงการหาค่าพร็อบเพเกชั่นดีเลย์ไทม์ของวงจรแปลงสัญญาณอนาลอกเป็นสัญญาณดิจิตอลแบบแฟลช 3 บิต	70
รูปที่ 4.50	แสดงกราฟการหาแรงดันออฟเซต	71
รูปที่ 4.51	แสดงกราฟที่ขยายออกของรูปที่ 4.50	71
รูปที่ 4.52	แสดงกราฟความสัมพันธ์ระหว่างอินพุตและเอาต์พุตเพื่อหาแรงดันออฟเซต	72
รูปที่ 4.53	แสดงสัญญาณเอาต์พุตเทียบกับเวลา	72
รูปที่ 4.54	แสดงกราฟความสัมพันธ์ระหว่างอินพุตอนาลอกกับเอาต์พุตดิจิตอล	73

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญตาราง

		หน้า
ตารางที่ 4.1	แสดงค่าแรงดันอินพุตที่ระดับสัญญาณดิจิตอลค่าต่าง ๆ ที่ชดเชยแล้ว ($V_{in}\,(corr)|_{dout}$)	74
ตารางที่ 4.2	แสดงค่า DNL และ INL	75



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 1
บทนำ

วงจรแปลงสัญญาณอนาลอกเป็นสัญญาณดิจิตอล เป็นวงจรที่มีประโยชน์และนำไปใช้งานได้อย่างกว้างขวางมากวงจรหนึ่ง การศึกษาถึงการออกแบบวงจรจึงเป็นประโยชน์อย่างมากเพื่อที่เราจะสามารถสร้างและผลิตขึ้นเพื่อนำไปใช้งานจริงได้

โครงงานนี้จึงเป็นการนำเสนอการศึกษาและแนวทางการออกแบบวงจรแปลงสัญญาณอนาลอกเป็นสัญญาณดิจิตอล ซึ่งเนื้อหาจะประกอบด้วย รายละเอียดของวงจรต่างๆที่นำมาประกอบกันเป็น วงจรแปลงสัญญาณอนาลอกเป็นสัญญาณดิจิตอลคือ วงจรคอมพาราเตอร์ วงจรดีฟลิบฟล็อบ วงจรเข้ารหัส ซึ่งวงจรที่มีความสำคัญต่อคุณสมบัติของวงจรแปลงสัญญาณอนาลอกเป็นสัญญาณดิจิตอลแบบแฟลชมากที่สุดคือ วงจรคอมพาราเตอร์ ดังนั้นจึงได้ให้ความสำคัญในการออกแบบเป็นพิเศษ ซึ่งวงจรคอมพาราเตอร์ที่ใช้จะสร้างมาจากวงจรย่อยต่างๆ ได้แก่ วงจรขยายพื้นฐาน วงจรแหล่งจ่ายกระแส วงจรขยายแบบดิฟเฟอเรนเชี่ยล โดยจะทำการศึกษาเฉพาะวงจรที่สร้างโดยใช้เทคโนโลยีซีมอสทรานซิสเตอร์ เนื่องจากมีข้อดีหลายอย่างที่มีมากกว่าวงจรที่สร้างโดยใช้เทคโนโลยีไบโพลาร์ทรานซิสเตอร์ และเป็นเทคโนโลยีที่ใช้มากในปัจจุบันเพื่อการทำเป็นวงจรรวม ดังนั้นจึงได้กล่าวถึงทฤษฎีของมอสทรานซิสเตอร์ไว้ด้วย

วัตถุประสงค์ของโครงงาน

โครงงานนี้ต้องการจะศึกษาและออกแบบวงจรแปลงสัญญาณอนาลอกเป็นสัญญาณดิจิตอล โดยใช้ซีมอสทรานซิสเตอร์ เพื่อให้มีความรู้ในหลักการออกแบบวงจรรวมซีมอส เริ่มตั้งแต่การคำณวนหาขนาดของมอสทรานซิสเตอร์ในวงจรแล้วจำลองการทำงานของวงจร เมื่อได้ผลตามที่ได้ออกแบบไว้แล้วก็จะทำการสร้างเลย์เอาต์ของวงจรเพื่อนำผลของค่าความคลาดเคลื่อนที่เกิดจากการสร้างเป็นวงจรรวมมาทำการจำลองการทำงานอีกครั้งหนึ่ง ซึ่งทำให้ได้ความรู้ในการออกแบบเลย์เอาต์ของวงจรรวมด้วย

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

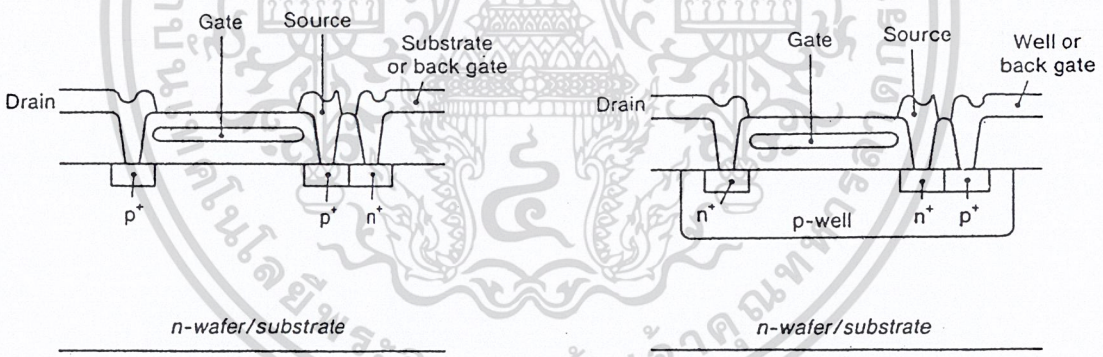
บทที่ 2

ทฤษฎีของซีมอสทรานซิสเตอร์

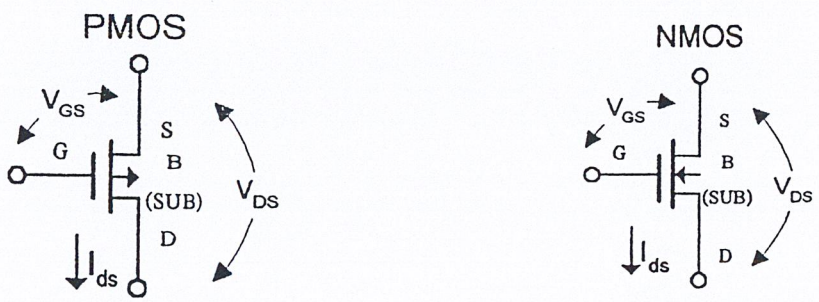
2.1 โครงสร้าง และชนิดของมอสเฟ็ท

มอสเฟ็ท เป็นอุปกรณ์ทางอิเล็กทรอนิกส์ที่ควบคุมการไหลของกระแสทางเอาต์พุตด้วยสนามหรือแรงดันไฟฟ้า ทางอินพุต ต่างจากไบโพลาร์ทรานซีสเตอร์ ที่ใช้กระแสทางอินพุตควบคุมกระแสทางเอาต์พุต

แบ่งมอสเฟ็ทตามชนิดของกระแสที่ไหลในมอสเฟ็ทได้เป็น 2 ชนิดคือ เอ็นมอส ทรานซีสเตอร์ (NMOS T) และ พีมอส ทรานซีสเตอร์ (PMOS T) ในรูปที่ 2.1 มอสเฟ็ทมี 4 ขา ได้แก่ เกท (G:Gate) เดรน (D:Drain) ซอส(S:Source) และ ฐานรอง(B:Bulk Substrate) สัญลักษณ์แสดงใน รูปที่ 2.2 มอสเฟ็ทแบ่งตามลักษณะการทำงาน จะได้ 2 แบบ ได้แก่ เอ็นฮานซ์เมนท์โหมด (Enhancement mode transistor) และ ดีพลีชั่น โหมด (Depletion mode transistor) แต่ในที่นี้จะกล่าวถึงเฉพาะ แบบแรกเท่านั้น



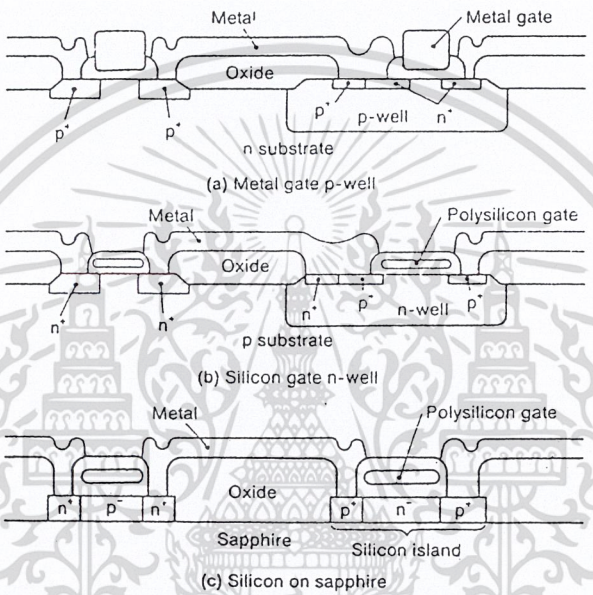
รูปที่ 2.1 โครงสร้างของ PMOS T และ NMOS T



รูปที่ 2.2 สัญลักษณ์ของ PMOS T และNMOS T

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ซีมอสทรานซีสเตอร์ (CMOS T) คือ สิ่งประดิษฐ์ที่มี NMOST และ PMOST นำมาต่อใช้งานร่วมกัน ย่อมาจาก Complementary MOS T โครงสร้างเป็นดังรูปที่ 2.3



รูปที่ 2.3 โครงสร้างของ CMOS T

2.2 คุณสมบัติทางไฟฟ้าของมอสเฟ็ท

กราฟคุณสมบัติ I-V ของมอสเฟ็ทแสดงดังรูปที่ 2.4 ซึ่งสามารถอธิบายการทำงานของมอสเฟ็ทดังนี้

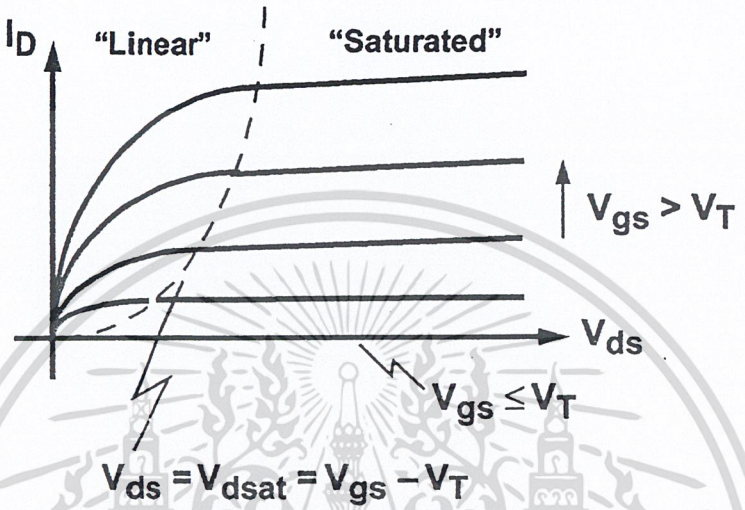
ช่วงการทำงาน แบ่งได้เป็น 3 ช่วง ได้แก่ ช่วงคัทออฟ ช่วงเชิงเส้น ช่วงอิ่มตัว

ช่วงคัทออฟ (cut off region)

มีเงื่อนไขคือ $V_{gs} \leq V_T$ เมื่อ V_T คือแรงดันเทรชโฮล (thershold voltage) เมื่อป้อนแรงดันไฟฟ้า $V_{gs} \leq V_T$ จะไม่มีแรงดันไฟฟ้าพอที่จะทำให้เกิดทางเดินกระแสเชื่อมต่อเกทและซอสได้ จึงไม่มีกระแสไฟฟ้าไหลในตัวมอสเฟ็ท ไม่ว่าจะมีแรงดันไฟฟ้า V_{ds} เท่าใด

$$I_d \cong 0$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.4 กราฟคุณสมบัติ กระแส แรงดัน ของ MOS T

ช่วงเชิงเส้น (linear region)

มีเงื่อนไขคือ $V_{gs} > V_T$ และ $V_{ds} < V_{dsat}$, $V_{dsat} = V_{gs} - V_T$ เมื่อป้อนแรงดันไฟฟ้า $V_{gs} > V_T$ จะเหนี่ยวนำให้เกิดช่องทางเดินกระแสเชื่อมต่อ เกทและเดรนได้ จึงมีกระแสไหลในตัวมอสเฟ็ทมากขึ้นเมื่อ V_{gs} มากขึ้น โดยในช่วง V_{ds} ต่ำๆ กราฟจะเป็นเส้นตรงและเมื่อ V_{ds} สูงขึ้น แต่น้อยกว่า V_{dsat} กระแสเดรนจะเพิ่มขึ้นช้าลง และเมื่อเพิ่ม V_{gs} มากขึ้น กระแสเดรนก็จะมากขึ้น

$$I_d = \mu C_{ox} \frac{W}{L}\left[\left(V_{gs} - V_T\right)V_{ds} - \frac{1}{2}V_{ds}^{\,2}\right]$$

กำหนดให้ $K' = \mu C_{ox}$

$$S = \frac{W}{L}$$

$$K = K'S$$

จะได้ $$I_d = K\left[\left(V_{gs} - V_T\right)V_{ds} - \frac{1}{2}V_{ds}^{\,2}\right]$$

ถ้า $V_{ds} << V_{dsat}$ จะได้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$R_{ds} = \frac{V_{ds}}{Id} = \left[K\left(V_{gs} - V_T\right)\right]^{-1}$$

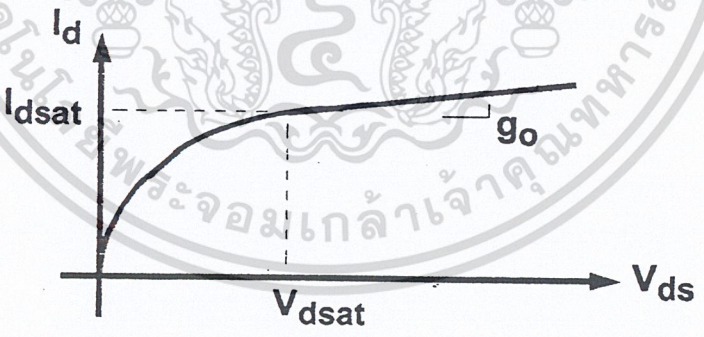
ช่วงอิ่มตัว (saturation region)

มีเงื่อนไขคือ $V_{gs} > V_T$ และ $V_{ds} \geq V_{dsat}$ เมื่อป้อนแรงดันไฟฟ้า V_{ds} มากกว่า V_{dsat} แล้ว ช่องทางเดินกระแสจะขาดจากกัน เกิดเป็นบริเวณปลอดพาหะ (depletion region) ขึ้นแทนที่ทำให้กระแสไหลค่อนข้างคงที่ แต่ผลของ channel length modulation ทำให้กระแสขึ้นกับ V_{ds} ด้วย

$$I_d = \frac{K}{2}\left(V_{gs} - V_T\right)^2\left(1 + \lambda V_{ds}\right)$$

λ ในที่นี้จะให้เป็นค่าคงที่ ซึ่งเกิดจากผลของ channel length modulation

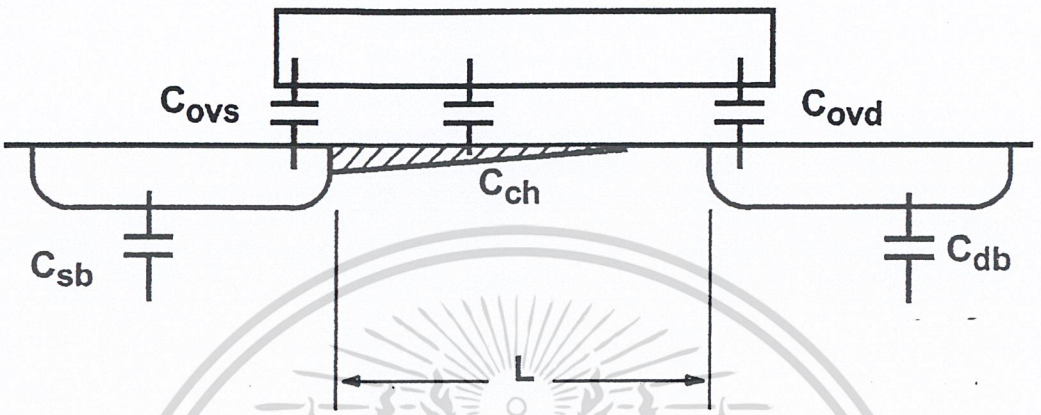
$$g_{ds} = g_o = \frac{1}{r_o} = \frac{\partial I_d}{\partial V_{ds}} = \lambda I_d$$



รูปที่ 2.5 กราฟคุณสมบัติ กระแส แรงดัน ของ MOS Tที่มีg_o

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ตัวเก็บประจุในมอสเฟ็ท



รูปที่ 2.6 แสดงตัวเก็บประจุที่แฝงอยู่ในมอสเฟ็ท

$$C_{sb} = AS \cdot C_j\left(V_{bs}\right)$$

$$C_{db} = AD \cdot C_j\left(V_{bs}\right)$$

เมื่อ AS,AD = พื้นที่ ซอส,เดรน

$$C_{ovs} = W \cdot C_{gso}$$

$$C_{ovd} = W \cdot C_{gdo}$$

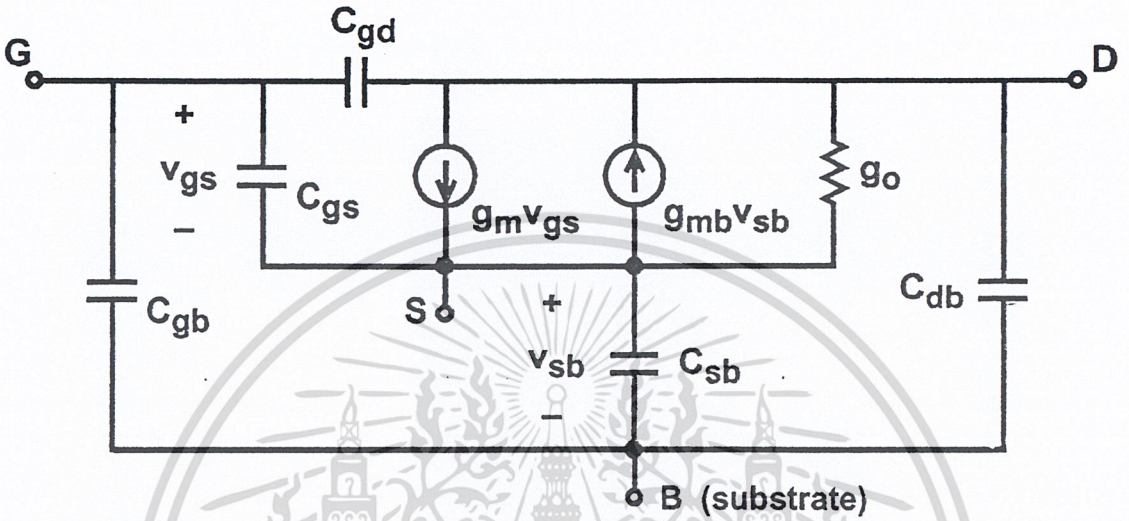
ช่วงอิ่มตัว

$$C_{ch} \cong \frac{2}{3} W \cdot L \cdot C_{ox}$$

โดยทั่วไป ค่า C_{sb} มีค่าเป็นศูนย์ เมื่อขาซอสและฐานรองต่อถึงกัน C_{db} มีค่าต่ำ และ C_{gb} มีค่าเป็นศูนย์ ดังนั้นจะได้ว่า ช่วงอิ่มตัวนั้นจะมีตัวเก็บประจุแฝงที่มีผลต่อวงจรอย่างมากคือ C_{gs} และ C_{gd} นอกจากนี้แล้ว ในการสร้างวงจรรวมยังมีตัวเก็บประจุแฝงที่เกิดจากการเชื่อมต่อภายในอื่นๆอีกที่มีผลต่อการทำงานของวงจรที่ความถี่สูง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

วงจรเสมือนสำหรับสัญญาณขนาดเล็กของมอสเฟ็ท (Small-signal MOS model)



รูปที่ 2.7 แสดงวงจรเสมือนสำหรับสัญญาณขนาดเล็กของมอสเฟ็ท

ช่วงอิ่มตัว

$$I_d = I_{dsat}\left(1+\lambda V_{ds}\right) = \frac{K}{2}\left(V_{gs}-V_T\right)^2\left(1+\lambda V_{ds}\right)$$

$$g_m = K\left(V_{gs}-V_T\right)\left(1+\lambda V_{ds}\right) = \frac{2I_d}{V_{gs}-V_T}$$

$$= \sqrt{2KI_d}$$

$$g_o = \lambda I_{dsat}$$

$$g_{mb} = g_m\left[\frac{\gamma}{2\sqrt{\left|2\phi_F\right|+V_{sb}}}\right] = \eta g_m$$

$$\gamma = \frac{\sqrt{2q\varepsilon_{si}N_{sub}}}{C_{ox}}$$

$$\left|2\phi_F\right| = 2\left(\frac{kT}{q}\right)\ln\left(\frac{N_{sub}}{n_i}\right)$$

$$C_{gs} = C_{ovs} + \frac{2}{3}W\cdot L\cdot C_{ox}$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$C_{gd} = C_{ovd}$$

L = ความยาวแชนแนล (m)

W = ความกว้างแชนแนล (m)

μ = ความคล่องตัวที่ผิวหน้า(surface mobility) ($cm^2/V \cdot s$)

C_{ox} = มอสเฟ็ทคาปาซิแตนซ์ (F/cm^2)

V_T = แรงดันขีดเริ่ม(Threshold Voltage) (V)

K' = โพรเซสทรานซ์คอนดักแตนซ์ (Process transconductance)

g_m = มอสเฟ็ททรานซ์คอนดักแตนซ์ (MOSFET transconductance)

I_d = กระแสเดรน

V_{gs} = แรงดันที่ขาเกทเทียบกับขาซอส

V_{ds} = แรงดันที่ขาเดรนเทียบกับขาซอส

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 3
ทฤษฎีของวงจรแปลงสัญญาณอนาลอกเป็นสัญญาณดิจิตอล

3.1 คุณสมบัติของวงจรแปลงสัญญาณอนาลอกเป็นสัญญาณดิจิตอล

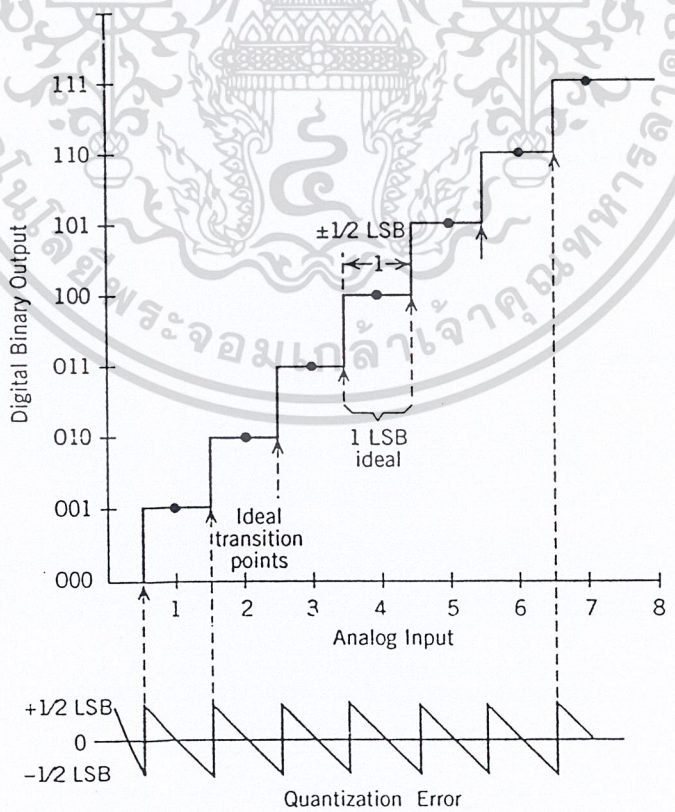
วงจรแปลงสัญญาณอนาลอกเป็นสัญญาณดิจิตอลมีหน้าที่แปลงสัญญานอนาลอกอินพุต เป็นสัญญาณดิจิตอลเอาต์พุตที่สัมพันธ์กัน รูปที่ 3.1 แสดงกราฟคุณสมบัติในทางอุดมคติของวงจรแปลงสัญญาณอนาลอกเป็นสัญญาณดิจิตอล ซึ่งสามารถแสดงสมการได้ว่า

$$V_{ref}(b_1 2^{-1} + b_2 2^{-2} + ... + b_N 2^{-N}) = V_{in} \pm V_x \qquad (3.1)$$

เมื่อ $B_{out} = b_1 2^{-1} + b_2 2^{-2} + ... + b_N 2^{-N}$

และ $-\frac{1}{2} V_{LSB} \leq V_x < \frac{1}{2} V_{LSB}$

สังเกตว่าเอาต์พุตดิจิตอลค่าหนึ่งๆ เกิดจากค่าอินพุตอนาลอกที่ต่อเนื่องในช่วง $V_{LSB}/2$ ซึ่งแทนกลับได้เป็นระดับอนาลอกเพียงค่าเดียว จึงเรียกว่า การจัดระดับสัญญาณอินพุต



รูปที่ 3.1 แสดงกราฟคุณสมบัติในอุดมคติของวงจรแปลงสัญญาณอนาลอกเป็นสัญญาณดิจิตอล 3 บิต

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ค่าผิดพลาดจากการจัดระดับ (Quantization Error)

ในแต่ละสถานะของสัญญาณดิจิตอลเอาต์พุตจะแทนขนาดของสัญญาณอนาลอกค่าใดค่าหนึ่งในช่วงเล็กๆระหว่างจุดแบ่งระดับ เรียกช่วงเล็ก ๆ นี้ว่าเป็นขนาดหนึ่ง Analog Quantization หรือหนึ่งควันตัม (Quantum) หรือ 1 LSB (Least Significant Bit) ของการแปลงสัญญาณ ซึ่งคำนวณได้จาก

$$Q = FSR/2^N$$

เมื่อ FSR คือ ช่วงเต็มสเกลของแรงดันอนาลอก (Full Scale Range)

N คือ จำนวนบิตของรหัสดิจิตอล

นั่นคือสัญญาณอนาลอก 1 LSB แทนสัญญาณดิจิตอล 1 สถานะ จึงเกิดค่าผิดพลาดขึ้นจากการจัดระดับสัญญาณในช่วง 1 LSB ให้เป็นสัญญาณดิจิตอลค่าเดียวกัน และจะได้ว่าค่าผิดพลาดนี้จะอยู่ระหว่าง 0 ถึง $\pm Q/2$

แรงดันออฟเซต (Offset)

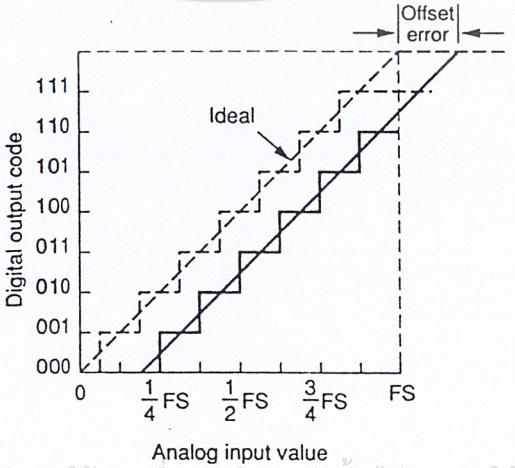
แรงดันออฟเซตของวงจรแปลงสัญญาณอนาลอกเป็นสัญญาณดิจิตอล (E_{off}) คือระดับแรงดันอินพุตที่ทำให้เอาท์พุตผิดพลาดเกิน $\frac{1}{2}$ LSB รูปที่ 3.2 แสดงกราฟคุณสมบัติของวงจรแปลงสัญญาณอนาลอกเป็นสัญญาณดิจิตอลที่มีแรงดันออฟเซต ซึ่งสามารถแสดงสมการของแรงดันออฟเซตในหน่วย LSB ได้ว่า

$$E_{off} = \frac{V_{0...01}}{V_{LSB}} - \frac{1}{2}LSB \qquad (3.2)$$

เมื่อ $V_{0...01}$ คือระดับแรงดันอินพุตที่ให้ค่าดิจิตอลเอาต์พุตบิต 0...01

และ V_{LSB} คือค่าแรงดันหนึ่งหน่วย LSB ซึ่งมีค่าเท่ากับ $1/2^N$

เมื่อ N คือจำนวนบิต



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รูปที่ 3.2 กราฟคุณสมบัติของวงจรแปลงสัญญาณอนาลอกเป็นสัญญาณดิจิตอลที่มีแรงดันออฟเซต

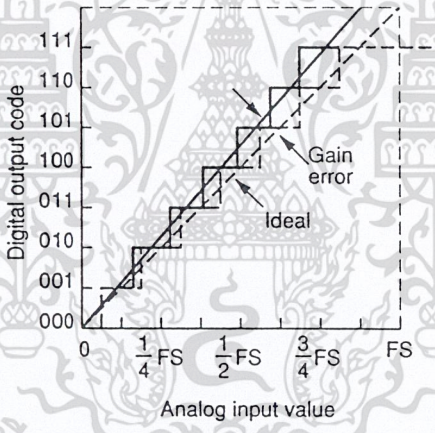
ความผิดพลาดอัตราขยาย(Gain Error)

ความผิดพลาดอัตราขยาย (E_{gain}) คือผลต่างระหว่างเอาต์พุตเต็มสเกลเทียบกับเอาต์พุตที่ 1 LSB เมื่อหักออฟเซตออกแล้ว รูปที่ 3.3 แสดงกราฟคุณสมบัติของวงจรแปลงสัญญาณอนาลอกเป็นสัญญาณดิจิตอลที่มีความผิดพลาดอัตราขยาย ค่าความผิดพลาดอัตราขยายในหน่วย LSB สามารถหาได้จาก

$$E_{gain} = \left(\frac{V_{1...1}}{V_{LSB}} - \frac{V_{0...01}}{V_{LSB}} \right) - \left(2^N - 2 \right) \qquad (3.3)$$

เมื่อ $V_{1...1}$ คือระดับแรงดันอินพุตที่ให้ค่าดิจิตอลเอาต์พุต 1...1

$V_{0...1}$ คือระดับแรงดันอินพุตที่ให้ค่าดิจิตอลเอาต์พุต 0...01



รูปที่ 3.3 แสดงกราฟคุณสมบัติของวงจรแปลงสัญญาณอนาลอกเป็นสัญญาณดิจิตอล 3 บิต ที่มีความผิดพลาดอัตราขยาย

ความไม่เชิงเส้นของวงจรแปลงสัญญาณอนาลอกเป็นสัญญาณดิจิตอล

ความไม่เชิงเส้นผลต่าง (Differential nonlinearity:DNL)

คือความเบี่ยงเบนของความกว้างในการเปลี่ยนระดับขั้น (Step width) ที่มากที่สุดเทียบกับค่าอุดมคติ 1 LSB รูปที่ 3.4 แสดงกราฟคุณสมบัติของวงจรแปลงสัญญาณอนาลอกเป็นสัญญาณดิจิตอล 3 บิต ที่มีค่า DNL เราสามารถหาค่า DNL ในหน่วย LSB ได้โดยจะต้องตัดผลของค่าแรงดันออฟเซต และผลของความผิดพลาดอัตราขยายเสียก่อน โดยนำค่าอนาลอกอินพุตที่แทนค่าดิจิตอลเอาต์พุตที่ค่าต่างๆ มาชดเชยผลของแรงดันออฟเซตและค่าผิดพลาดอัตราขยาย จะได้ค่าอนาลอกอินพุตที่ชดเชยแล้ว($V_{in}(corr)|_{dout}$) ดังนี้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

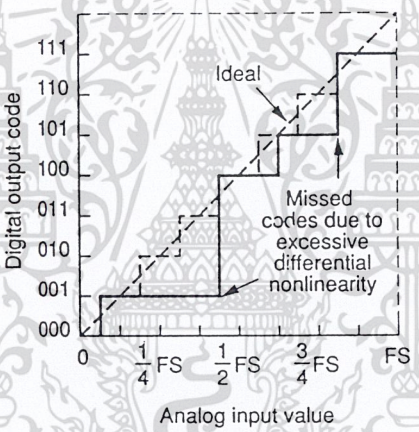
$$V_{in}(corr)|_{dout} = \frac{V_{in}(actual)|_{dout}}{V_{LSB}} - E_{off} - \frac{dout - 1}{2^N - 1} E_{gain} \qquad (3.4)$$

เมื่อ $V_{in}(actual)|_{dout}$ คือแรงดันอินพุตจริง ที่ค่าดิจิตอลเอาต์พุตค่าต่างๆ

dout ค่าระดับของดิจิตอลในเลขฐานสิบมีค่าเป็น $0,1,2,...,2^N-1$

ค่า DNL สามารถหาได้จาก

$$DNL|_{dout} = V_{in}(corr)|_{dout+1} - V_{in}(corr)|_{dout} - 1 \qquad (3.5)$$



รูปที่ 3.4 กราฟคุณสมบัติของวงจรแปลงสัญญาณอนาลอกเป็นสัญญาณดิจิตอล ที่มี DNL

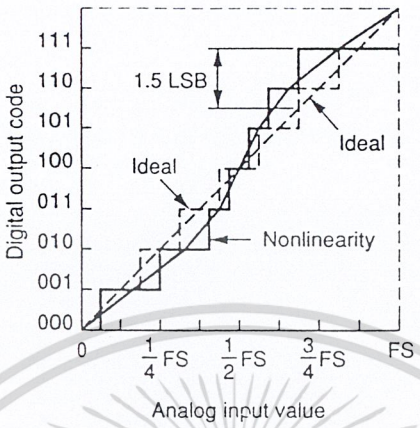
ความไม่เชิงเส้นอินทิกรัล (Integral nonlinearity:INL)

คือ ค่าความเบี่ยงเบนของจุดกึ่งกลางในการเปลี่ยนระดับที่มากที่สุดเทียบกับจุดกึ่งกลางอุดมคติ หรือ คือค่าความเบี่ยงเบนของตำแหน่งในการเปลี่ยนระดับที่มากที่สุดเทียบกับค่าในอุดมคติ รูปที่ 3.5 แสดงกราฟคุณสมบัติวงจรแปลงสัญญาณอนาลอกเป็นสัญญาณดิจิตอล ที่มี INL เราสามารถหาค่า INL ในหน่วย LSB ได้โดยไม่คิดผลของแรงดันออฟเซตและค่าความผิดพลาดอัตราขยายได้จาก

$$INL|_{dout} = V_{in}(corr)|_{dout} - V_{in}(corr)|_{0...0} - dout \qquad (3.6)$$

เมื่อ dout = $0,1,2,...,2^N-1$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.5 กราฟคุณสมบัติของวงจรแปลงสัญญาณอนาลอกเป็นสัญญาณดิจิตอล ที่มี INL

ระดับความละเอียด(Resolution)

ระดับความละเอียดของวงจรแปลงสัญญาณอนาลอกเป็นสัญญาณดิจิตอล คือ ความสามารถในการแยกชัด สัญญาณอนาลอกเป็นสัญญาณดิจิตอลว่ามีความละเอียดมากน้อยเท่าใด ซึ่งจะมีหน่วยเป็นบิตเช่น ถ้าวงจรแปลงสัญญาณอนาลอกเป็นสัญญาณดิจิตอลสามารถแยกชัดสัญญาณอนาลอกได้ 256 ระดับ ก็จะมีระดับความละเอียด เท่ากับ 8 บิต เพราะว่า $2^8 = 256$ ยิ่งมีจำนวนบิตมากขึ้นก็แสดงว่ามีความละเอียดมากขึ้นและมีความถูกต้องแม่นยำมากยิ่งขึ้นด้วย

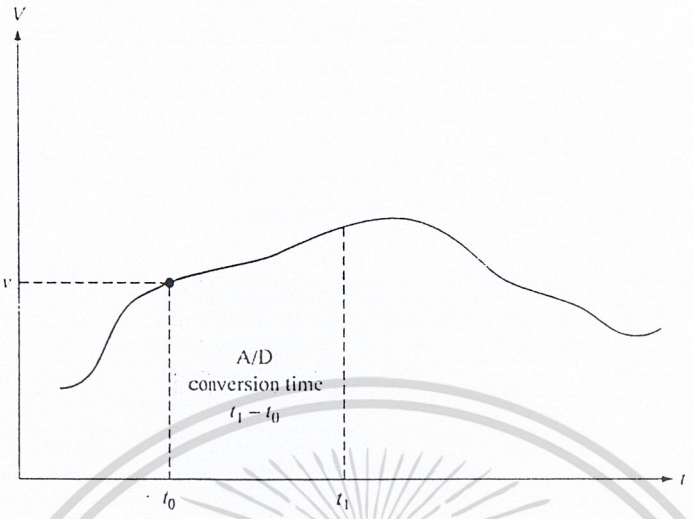
คอนเวอร์ชั่น ไทม์ (Conversion Time)

คอนเวอร์ชั่น ไทม์ คือเวลาที่วงจรแปลงสัญญาณอนาลอกเป็นสัญญาณดิจิตอลใช้ในการแปลงสัญญาณอินพุตอนาลอกเป็นสัญญาณเอาต์พุตดิจิตอลหนึ่งบิต เนื่องจากวงจรแปลงสัญญาณอนาลอกเป็นสัญญาณดิจิตอลต้องใช้เวลาในการแปลงจำนวนหนึ่งไม่สามารถแปลงได้ทันทีทันใด รูปที่ 3.6 แสดงให้เห็นว่าสัญญาณอนาลอกที่เริ่มถูกแปลงเป็นสัญญาณดิจิตอลที่เวลา t_0 แต่ผลการแปลงจะเสร็จที่เวลา t_1 ช่วงเวลา $t_1 - t_0$ เรียกว่าช่วงเวลาที่ใช้ในการแปลงสัญญาณ (conversion time) หรือเวลาการชักตัวอย่าง (T_{sample}) และเราจะได้ว่าความถี่ในการชักตัวอย่าง (f_{sample})คือ

$$f_{sample} = \frac{1}{T_{sample}}$$

ดังนั้นถ้าวงจรแปลงสัญญาณอนาลอกเป็นสัญญาณดิจิตอลใช้เวลาในการแปลงสัญญาณอนาลอกเป็นดิจิตอลน้อยแสดงว่าวงจรมีความเร็วในการทำงานสูง ค่าความเร็วในการแปลงสัญญาณเรียกว่าคอนเวอร์ชั่นสปีด(Conversion Speed) มีหน่วยเป็น SPS (sample per second)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.6 แสดงคอนเวอร์ชั่นไทม์ของวงจรแปลงสัญญาณอนาลอกเป็นสัญญาณดิจิตอล

3.2 โครงสร้างและชนิดของวงจรแปลงสัญญาณอนาลอกเป็นสัญญาณดิจิตอล

โครงสร้างของวงจรแปลงสัญญาณอนาลอกเป็นสัญญาณดิจิตอลแบ่งตามความเร็วและความถูกต้องในการทำงานได้เป็น

ความเร็วต่ำถึงปานกลางแต่มีความถูกต้องสูง ได้แก่ โครงสร้างแบบ integrating โครงสร้างแบบ oversampling

ความเร็วปานกลางและความถูกต้องปานกลาง ได้แก่ โครงสร้างแบบ successive approximation โครงสร้างแบบ algorithmic

ความเร็วสูงและความถูกต้องต่ำถึงปานกลาง ได้แก่ โครงสร้างแบบ flash โครงสร้างแบบ two step โครงสร้างแบบ interpolating โครงสร้างแบบ folding โครงสร้างแบบ pipelined โครงสร้างแบบ time-interleaved

โครงสร้างวงจรแปลงสัญญาณอนาลอกเป็นสัญญาณดิจิตอลแบบแฟลชนั้น มีข้อดีคือเรื่องความเร็วในการทำงานและมีโครงสร้างของวงจรที่เป็นพื้นฐานที่สามารถพัฒนาไปเป็นโครงสร้างแบบ two step หรือโครงสร้างอื่นๆ ที่ต้องการความเร็วสูงได้ มีการใช้งานในด้านต่างๆ เช่น ดิจิตอลออสซิโลสโคป, ระบบสื่อสาร, RGB-to-LCD display conversion และอื่นๆ

3.3 วงจรแปลงสัญญาณอนาลอกเป็นสัญญาณดิจิตอลแบบแฟลช

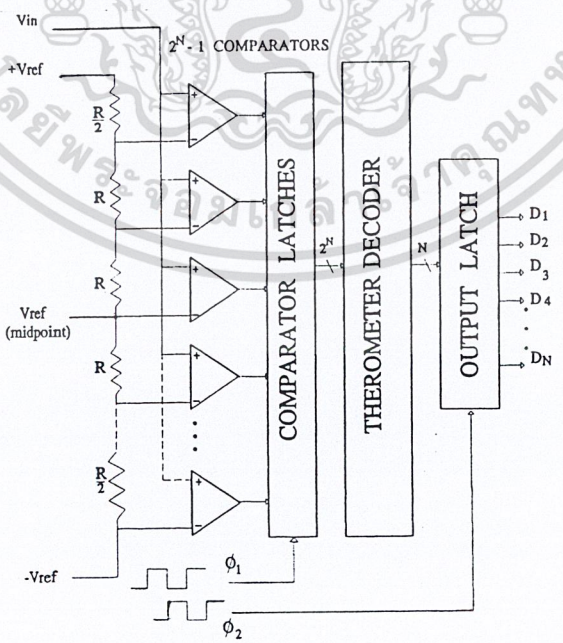
ความแตกต่างที่เห็นได้ชัดของวงจรแปลงสัญญาณอนาลอกเป็นสัญญาณดิจิตอลแบบแฟลชก็คือ สามารถแปลงสัญญาณอนาลอกเป็นสัญญาณดิจิตอลได้ภายใน 1 สัญญาณนาฬิกา ในหัวข้อนี้จะกล่าวถึงการทำงานของวงจรแปลงสัญญาณอนาลอกเป็นสัญญาณดิจิตอลแบบแฟลช รวมถึงโครงสร้างภายใน ซึ่งประกอบด้วยวงจรย่อยๆ ต่อร่วมกัน ความเข้าใจว่าคุณสมบัติวงจรย่อยมีอะไร

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บ้างและส่งผลต่อวงจรทั้งหมดอย่างไรจะทำให้เราสามารถออกแบบวงจรรวมทั้งหมดได้ตามข้อกำหนดที่ต้องการ

โครงสร้างพื้นฐานของวงจรแปลงสัญญาณอนาลอกเป็นสัญญาณดิจิตอลแบบแฟลช

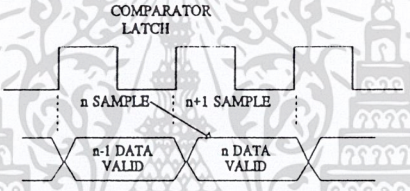
วงจรจะทำการเปรียบเทียบสัญญาณอินพุตกับระดับแรงดันอ้างอิงซึ่งจะห่างกัน 1 LSB และจะได้ผลลัพธ์เป็นดิจิตอลพร้อมกันทุกบิต ทำให้วงจรต้องการวงจรคอมพาราเตอร์จำนวน 2^N-1 เมื่อ N คือจำนวนบิต และส่วนที่ทำหน้าที่เข้ารหัสขนาดใหญ่ คอมพาราเตอร์แต่ละตัวจะป้อนสัญญาณเอาต์พุตที่ได้ให้กับไพรออริตี้เอ็นโค๊ดเดอร์ ซึ่งจะทำหน้าที่สร้างสัญญาณดิจิตอลที่สอดคล้องกับสัญญาณอินพุต รูปที่ 3.7 แสดงโครงสร้างของวงจรวงจรแปลงสัญญาณอนาลอกเป็นสัญญาณดิจิตอลพื้นฐาน จะสังเกตเห็นว่าสัญญาณจะถูกวัดที่คอมพาราเตอร์แต่ละตัวพร้อมกันเพื่อเปรียบเทียบกับระดับแรงดันอ้างอิงที่ได้จากวงจรความต้านทานอนุกรม คอมพาราเตอร์แต่ละตัวจะให้บิต 0 หรือ 1 ออกมาซึ่งจะมีรูปแบบคล้ายกับการเพิ่มขึ้นของปรอทในเทอร์โมมิเตอร์คือจะเริ่มจาก 0...01, 0...11, ..., 1...11 จึงเรียกว่า เทอร์โมมิเตอร์โค๊ด เทอร์โมมิเตอร์ดีโค๊ดเดอร์จะทำหน้าที่ถอดรหัสเทอร์โมมิเตอร์โค๊ดให้เป็น รหัสไบนารี่ ซึ่งการทำงานจะเหมือนกับไพรออริตี้เอ็นโค๊ดเดอร์ วงจรแลตช์จะทำหน้าที่จดจำข้อมูลเอาต์พุตเอาไว้เพื่อป้องกันข้อมูลสูญหายขณะกำลังแปลงข้อมูลอินพุตใหม่อยู่



รูปที่ 3.7 แสดงโครงสร้างพื้นฐานของวงจรแปลงสัญญาณอนาลอกเป็นสัญญาณดิจิตอลแบบแฟลช

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

วงจรแปลงสัญญาณอนาลอกเป็นสัญญาณดิจิตอลดังรูปที่ 3.7 จะใช้วงจรแลตช์ภายใน มีการทำงานโดยใช้สัญญาณนาฬิกา 2 เฟส เพื่อที่จะควบคุมส่วนอินพุตแซมปลิ้งและส่วนเอาต์พุตที่ถอดรหัสแล้ว สังเกตเห็นได้ว่าเอาต์พุตของคอมพาราเตอร์จะถูกควบคุมด้วย ฟลิพฟล็อพ (แลตช์) ด้วยสัญญาณนาฬิกาเฟส 1 และการแลตช์เอาต์พุตจะถูกควบคุมด้วยสัญญาณนาฬิกาเฟส 2 อินพุตของคอมพาราเตอร์รับสัญญาณอินพุตเข้ามาขณะที่เอาต์พุตแลตช์ยังคงเก็บค่าผลการแปลงสัญญาณอนาลอกของเวลาก่อนหน้าเวลาปัจจุบันเอาไว้ เมื่อคอมพาราเตอร์แลตช์ทำงานก็จะเก็บค่าเอาต์พุตจากคอมพาราเตอร์เอาไว้ จากนั้นเมื่อสัญญาณนาฬิกาเฟส 2 เป็นลอจิก 1 เอาต์พุตแลตช์ก็จะเก็บค่าที่ได้จากการแปลงเอาไว้ รูปที่ 3.8 จะแสดงสัญญาณในแกนเวลาของการทำงานของวงจรที่กล่าวมาข้างต้น



รูปที่ 3.8 แสดงสัญญาณเอาต์พุตเทียบกับแกนเวลา

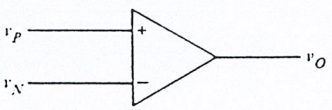
3.4 วงจรย่อยในแฟลชวงจรแปลงสัญญาณอนาลอกเป็นสัญญาณดิจิตอล

วงจรย่อยที่ใช้ได้แก่วงจรคอมพาราเตอร์ วงจรแลตช์(วงจรดีฟลิพฟล็อพ) วงจรไพรออริตี้เอ็นโค๊ดเดอร์ ซึ่งวงจรที่มีความสำคัญต่อคุณสมบัติทางด้านความเร็วของวงจรแปลงสัญญาณอนาลอกเป็นสัญญาณดิจิตอลแบบแฟลชก็คือวงจรคอมพาราเตอร์ เวลาที่เราเลือกใช้วงจรย่อยนั้นต้องแน่ใจว่าความผิดพลาด (error) ของ วงจรย่อยน้อยกว่าความผิดพลาดของวงจรรวมทั้งหมด

3.5 วงจรคอมพาราเตอร์(comparator)

คอมพาราเตอร์ คือวงจรที่ทำหน้าที่เปรียบเทียบสัญญาณอะนาล็อก 2 สัญญาณ และให้เอาต์พุตเป็นสัญญาณดิจิตอล ซึ่งสัมพันธ์กับผลของการเปรียบเทียบสัญญาณอะนาล็อกที่อินพุต

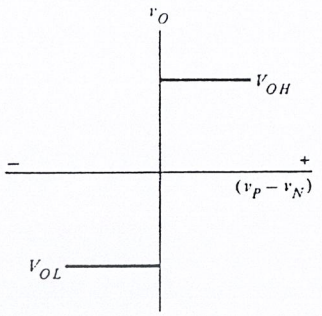
รูปที่ 3.9 แสดงสัญลักษณ์ของวงจรคอมพาราเตอร์ ซึ่งเหมือนกับวงจรออปแอมป์ มีความสัมพันธ์ระหว่างเอาต์พุตและอินพุตในอุดมคติ ดังรูปที่ 3.10



รูปที่ 3.9 สัญลักษณ์ของวงจรคอมพาราเตอร์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สำนักหอสมุดกลาง พระจอมเกล้าลาดกระบัง

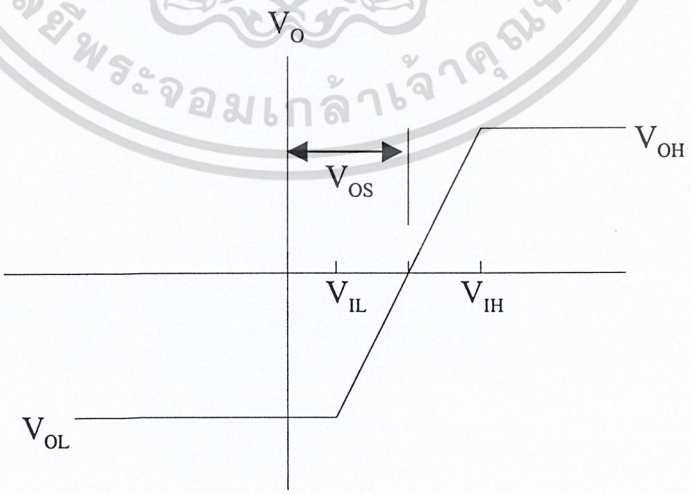


รูปที่ 3.10 กราฟความสัมพันธ์ระหว่างเอาต์พุตและอินพุตในอุดมคติ

จากรูปที่ 3.10 จะเห็นว่าในอุดมคติ คอมพาราเตอร์จะมีอัตราขยายแรงดันเป็นอนันต์ ซึ่งในความเป็นจริงทำไม่ได้ ในรูปที่ 3.11 จะใกล้เคียงกับความเป็นจริง โดยมีอัตราขยายแรงดันเป็น

$$A_V = \frac{V_{OH} - V_{OL}}{V_{IH} - V_{IL}}$$

โดยทั่วไปแรงดันเอาต์พุตที่ป้อนให้กับวงจรซีมอสลอจิกอยู่ที่ประมาณ 30% ถึง 70% ของแรงดันไฟเลี้ยง หากแรงดันเอาต์พุตต่ำกว่านี้วงจรลอจิกก็จะทำงานผิดพลาดได้



รูปที่ 3.11 กราฟแสดงความสัมพันธ์ระหว่างเอาต์พุตและอินพุตของวงจรคอมพาราเตอร์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

46280

คุณสมบัติของคอมพาราเตอร์ที่ใช้พิจารณาในการออกแบบ

พร็อบเพเกชั่น ไทม์ ดีเลย์ (Propagation time delay:t_{prop})

คือค่าเวลาระหว่างเวลาที่ V_P-V_N = 0 ถึงค่าเวลาที่เอาต์พุตเป็น 50% ของ V_{OH}-V_{OL}

ความละเอียดในการทำงาน(Resolution)

คือความสามารถในการรับอินพุตที่เล็กที่สุด ที่วงจรยังสามารถให้เอาต์พุตเป็นดิจิตอลได้

ช่วงของสัญญาณอินพุตแบบคอมม่อน(Input common mode range:CMR)

คือช่วงของสัญญาณอินพุตมากที่สุด ที่วงจรยังสามารถรู้ได้ว่า $V_P = V_N$

แรงดันเอาต์พุตสวิง (Output swing)

คือระดับแรงดันเอาต์พุตที่สามารถป้อนให้กับวงจรลอจิกได้

แรงดันอินพุตออฟเซต (Input offset voltage:V_{OFF})

คือค่าแรงดันที่อินพุตค่าหนึ่ง ซึ่งทำให้แรงดันเอาต์พุตเป็นศูนย์

อัตราขยายความแตกต่าง(Differential gain:A_{DM})

อัตราขยายคอมม่อนโหมด(Common mode gain:A_{CM})

สลูเรท(Slew rate:SR)

คือความชันของแรงดันเอาต์พุตที่เกิดจากสัญญาณอินพุตแบบ step signal

คอมม่อนโหมดรีเจกชั่นเรโช(Common-mode rejection ratio:CMRR)

คือค่าของ A_{DM} / A_{CM}

แบนด์วิด(Band width:BW)

คือความถี่ที่อัตราขยายลดลง 3 dB จากอัตราขยายที่ความถี่ปานกลาง

เพาเวอร์ดิสซิเพชั่น(Power dissipation:P_{diss})

คือกำลังงานเฉลี่ยที่วงจรต้องการ

3.6 วงจรย่อยที่ใช้ในการสร้างคอมพาราเตอร์

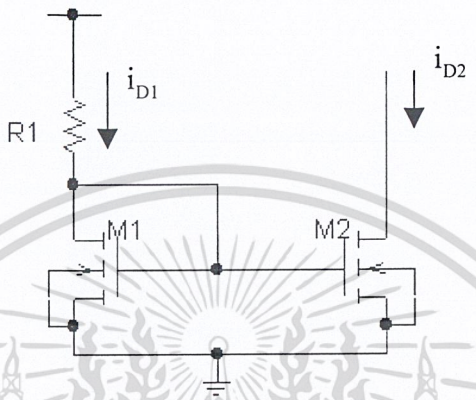
3.6.1 วงจรไบอัส เป็นวงจรที่ทำหน้าที่จ่ายกระแสให้กับส่วนต่างๆของคอมพาราเตอร์และทำหน้าที่สะท้อนกระแส รูปที่ 3.12 แสดงวงจรแบบพื้นฐาน การทำงานของวงจรคือ กระแสที่ไหลผ่าน M_1 จะทำให้ได้แรงดัน V_{gs1} เท่ากับแรงดัน V_{gs2} และมอสเฟ็ททั้งสองตัวทำงานช่วงอิ่มตัว จะทำให้กระแสที่ไหลผ่าน M_2 เป็น

$$I_{d2} = \frac{K_2\left(V_{gs2} - V_{T2}\right)^2\left(1+\lambda V_{ds2}\right)}{K_1\left(V_{gs1} - V_{T1}\right)^2\left(1+\lambda V_{ds1}\right)} I_{d1}$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ถ้า M_1 และ M_2 มีค่า K' เท่ากันและ $V_{ds2} = V_{ds1}$ แล้วจะได้

$$I_{d2} = \frac{S_2}{S_1} I_{d1}$$



รูปที่ 3.12 วงจรสะท้อนกระแส (current mirror) แบบพื้นฐาน

3.6.2 วงจรขยายความแตกต่าง (Differential Amplifier)

เนื่องจากวงจรคอมพาราเตอร์ต้องการอัตราขยายแรงดันสูง วงจรขยายที่นิยมนำมาใช้คือวงจรขยายความแตกต่าง รูปที่ 3.13 เป็นวงจรขยายที่มี M_1 M_2 เป็นตัวรับสัญญาณอินพุตเข้าที่ขาเกททั้งสอง และได้เอาต์พุตออกที่ขาเดรนของ M_2 M_3 และ M_4 เป็นโหลดแบบวงจรสะท้อนกระแส ให้กับ M_1 M_2 ถ้า M_1 M_2 เท่ากันทุกประการ และ M_3 M_4 เท่ากันทุกประการแล้วกระแสที่ไหลทั้งสองข้างจะเท่ากัน และมีค่ารวมกันเท่ากับกระแสของ M_5 ส่วน M_5 นั้นทำหน้าที่จ่ายกระแสให้กับวงจร ข้อดีของวงจรนี้คือมีแรงดันทริปพ้อย(trip point voltage:V_{TRP}) ที่ควบคุมได้ด้วยแรงดันอินพุตทั้งสอง คือเมื่อแรงดันอินพุตทั้งสองเท่ากันแรงดันที่จุดนี้ก็คือแรงดันทริปพ้อยนั่นเอง ข้อเสียของวงจรคือแรงดันเอาต์พุตสวิงมีค่าต่ำ คือ

$$V_{OL} \cong v_N - V_{T2} - \left(\frac{I_5}{K_5}\right)^{1/2}$$

$$V_{OH} \cong V_{DD}$$

แม้แรงดันเอาต์พุตจะสูงประมาณไฟเลี้ยงบวก แต่จะไม่ต่ำถึงไฟเลี้ยงลบเพราะติด V_{dsat5} นั่นเอง อัตราขยายแรงดันของวงจรขณะที่มอสเฟ็ททุกตัวอิ่มตัว

$$A = \frac{\Delta v_O}{\Delta(v_P - v_N)} \cong \frac{g_{m2}}{g_{ds2} + g_{ds4}} = \frac{2\sqrt{K_2}}{\sqrt{I_5}(\lambda_2 + \lambda_4)}$$

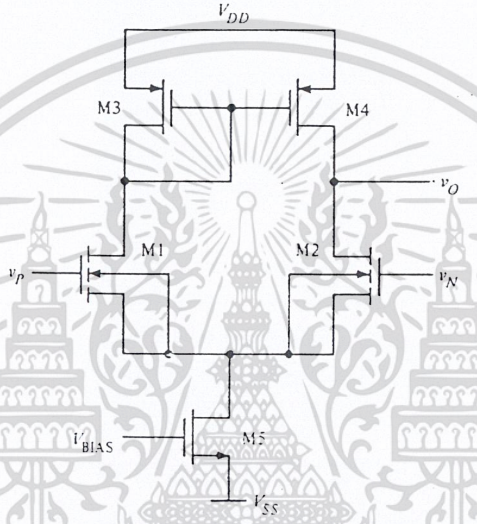
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

และจะได้

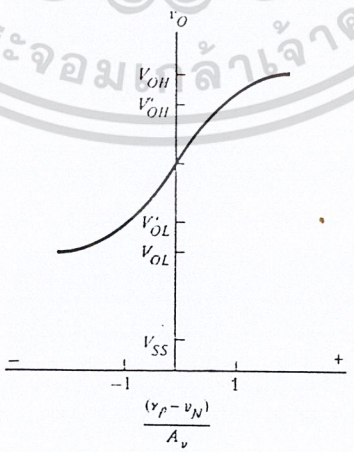
$$V'_{OL} \cong v_N - V_{T2}$$

$$V'_{OH} \cong V_{DD} - \sqrt{\frac{I_5}{K_3}}$$

ความไม่สมมาตรของคู่ M_1 M_2 และ M_3 M_4 จะเป็นส่วนหนึ่งที่ทำให้เกิดแรงดันออฟเซต ซึ่งขึ้นอยู่กับการออกแบบลวดลายวงจรรวมด้วย



รูปที่ 3.13 วงจรขยายความแตกต่างที่มีโหลดเป็นวงจรสะท้อนกระแส

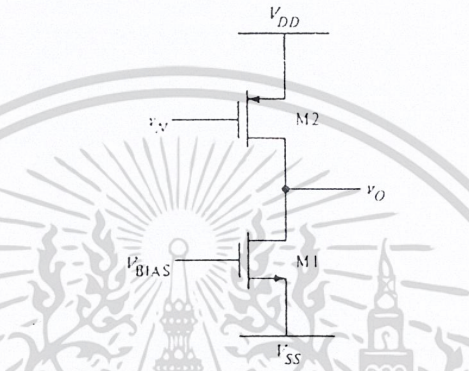


รูปที่ 3.14 กราฟความสัมพันธ์ระหว่างอินพุตและเอาท์พุตของรูปที่ 3.13

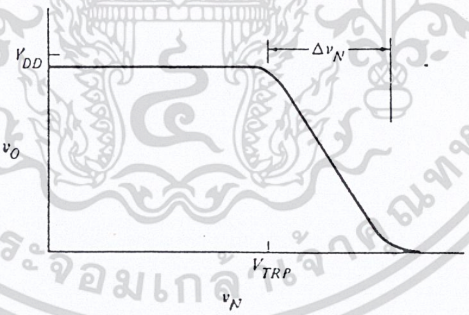
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.6.3 วงจรขยายแรงดันภาคที่สอง

เนื่องจากเอาต์พุตสวิงและอัตราขยายของวงจรขยายความแตกต่างมีน้อยจึงต้องมีวงจรขยายภาคที่สอง ซึ่งจะเป็นวงจรขยายคอมม่อนซอสดังรูปที่ 3.15 M_1จะทำหน้าที่เป็นโหลดให้กับ M_2 หรือเรียกได้ว่าเป็นแหล่งจ่ายกระแสให้กับวงจรก็ได้



รูปที่ 3.15 วงจรขยายคอมม่อนซอส



รูปที่ 3.16 กราฟความสัมพันธ์ระหว่างเอาต์พุตและอินพุตของรูปที่ 3.15

หน้าที่ของวงจรนี้คือขยายแรงดันและเพิ่มเอาต์พุตสวิง ส่วนข้อเสียคือแรงดันทริปพ้อย (V_{TRP})ควบคุมได้ยากเพราะเปลี่ยนแปลงกับแรงดันไฟเลี้ยง พิจารณาขณะที่มอสเฟ็ททุกตัวทำงานช่วงอิ่มตัวจะได้

$$v_{IN} = v_{TRP} = V_{DD} - |V_{T2}| - \sqrt{\frac{K_1}{K_2}}\left(V_{BIAS} - V_{SS} - V_{T1}\right)$$

อัตราขยายของวงจรคือ

$$A = -\sqrt{\frac{2K_2}{I_2}}\left(\frac{1}{\lambda_1 + \lambda_2}\right)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.7 วงจรคอมพาราเตอร์สองภาค(Two stage comparator)

วงจรคอมพาราเตอร์สองภาคจะนำเอาข้อดีของวงจรขยายความแตกต่างและวงจรขยายคอมม่อนซอสมาใช้ โดยภาคแรกเป็นวงจรขยายความแตกต่าง ภาคที่สองเป็นวงจรขยายคอมม่อนซอส แสดงดังรูปที่ 3.17 อัตราขยายแรงดันของวงจรขยายความแตกต่างที่มีค่าน้อยถูกขยายเพิ่มด้วยวงจรขยายภาคที่สอง จากเดิมที่วงจรขยายความแตกต่างที่ค่าเอาต์พุตสวิงจำกัดก็ถูกแก้ไขโดยเอาต์พุตสวิงของวงจรคอมม่อนซอสมีค่าสูงกว่า ตอนนี้สิ่งที่ต้องการคือต้องทำให้เอาต์พุตของวงจรขยายความแตกต่างที่จุดทำงานตรงกับค่า V_{TRP} ของวงจรขยายคอมม่อนซอส แล้วเกิดเงื่อนไขสมดุลขึ้น เงื่อนไขสมดุลในที่นี้ หมายถึงเงื่อนไขที่ว่า NMOS T ทุกตัวรับกระแสเข้ามาเท่ากับกระแสที่ PMOS T จ่ายลงมา เมื่อมอสเฟ็ททุกตัวทำงานในช่วงอิ่มตัว

ข้อดีของการต่อสองภาคแบบนี้อีกอย่างก็คือ แก้ไขปัญหาของวงจรคอมม่อนซอสที่ค่า V_{TRP} เปลี่ยนแปลงได้ง่าย โดยหลังจากต่อเป็นสองภาคแล้วจะได้ว่า

$$\Delta V_{TRP1} = \frac{\Delta V_{TRP2}}{A_{v1}} \qquad (1)$$

โดย ΔV_{TRP2} คือจำนวนการเปลี่ยนแปลงของแรงดัน V_{TRP} ของวงจรภาคที่สอง A_{V1} คืออัตราขยายแรงดันของภาคที่หนึ่ง ΔV_{TRP1} คือผลของ ΔV_{TRP2} ที่สะท้อนมายังภาคที่หนึ่ง นั่นคือแสดงว่า ΔV_{TRP2} ซึ่งมีผลกับแรงดันอินพุตออฟเซตมีค่าลดลง หรือออฟเซตรวมที่มองทางด้านอินพุตลดลง

ในการออกแบบเพื่อให้ได้เงื่อนไขสมดุลอย่างที่กล่าวมานั้น จำเป็นต้องให้หลักการที่ว่า ถ้าต้องการให้ v_P และ v_N มีผลต่อวงจรสมมาตรกันต้องให้ขนาดของ M_1 M_2 เท่ากัน และขนาดของ M_3 M_4 เท่ากัน และถ้าอินพุต v_P และ v_N เท่ากันแล้วกระแสที่ไหลผ่าน M_5 จะแบ่งครึ่งให้ไหลผ่าน M_1 และ M_2 เท่าๆกัน สรุปความสัมพันธ์ดังนี้

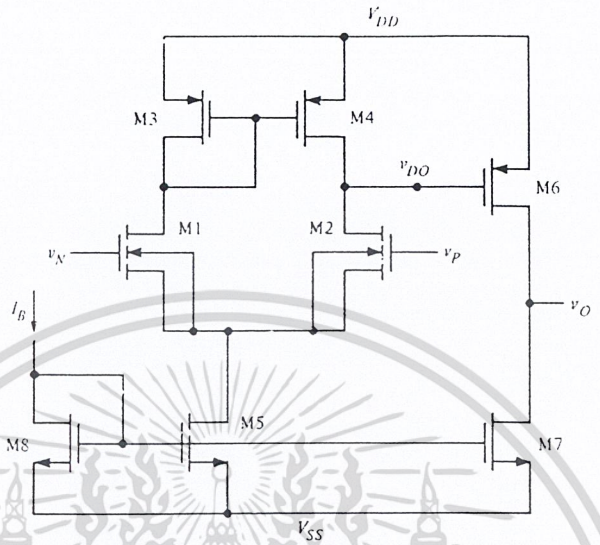
ให้ $$S = \frac{W}{L}$$

จะได้ $$S_1 = S_2 \qquad (2.1)$$

$$S_3 = S_4 \qquad (2.2)$$

$$i_1 = i_2 = \frac{i_5}{2} \qquad (2.3)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.17 วงจรคอมพาราเตอร์สองภาค

กระแสที่ไหลผ่าน M_5 จะสะท้อนไปยัง M_7 ด้วยอัตราส่วนของขนาด M_7 ต่อ M_5 กระแสใน M_4 จะเป็นสัดส่วนกับกรแส M_6 ด้วยสัดส่วน M_6 ต่อ M_4 เงื่อนไขสมดุลแสดงว่า กระแส M_3 M_4 เท่ากัน เมื่อแรงดันเดรนของ M_3 เท่ากับแรงดันเกทของ M_3 ทำให้แรงดันที่เดรนของ M_4 เท่ากับแรงดันเกทของ M_3 ด้วย ดังนั้น กระแส M_4 จึงสะท้อนไปยังกระแส M_6 ซึ่งได้ความสัมพันธ์ดังนี้

$$i_7 = i_5\left(\frac{S_7}{S_5}\right) \tag{3}$$

$$i_6 = i_4\left(\frac{S_6}{S_4}\right) \tag{4}$$

สำหรับเงื่อนไขสมดุล จะได้ว่า

$$i_6 = i_7 \tag{5}$$

$$i_4\left(\frac{S_6}{S_4}\right) = i_5\left(\frac{S_7}{S_5}\right) \tag{6}$$

จากที่กล่าวมาว่า

$$\frac{i_5}{i_4} = 2 \tag{7}$$

ดังนั้น

$$\frac{S_6}{S_4} = 2\frac{S_7}{S_5} \tag{8}$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สมการที่ (2) และ (8) เป็นความสัมพันธ์ที่เงื่อนไขสมดุลแต่ยังไม่ได้คิดผลของ channel length modulation ซึ่งจะทำให้เกิดความไม่สมมาตรขึ้น และส่งผลสะท้อนมาเป็นแรงดันอินพุตออฟเซ็ตนั่นเอง

ค่า CMR ของวงจรคือ

$$v_{G1(\min)} = V_{SS} + V_{DS5} + \sqrt{\frac{I_5}{K_1}} + V_{T1} \qquad (9)$$

$$v_{G1(\max)} = V_{DD} - \sqrt{\frac{I_5}{K_3}} - V_{T3} + V_{T1} \qquad (10)$$

เมื่อต้องการออกแบบภาคอินพุตตามเงื่อนไขคอมม่อนโหมดอินพุตเรนจ์ จะต้องออกแบบขนาดของ M_3 เพื่อให้ได้ค่าสูงสุด แล้วออกแบบ M_1 และ M_5 เพื่อให้ได้ค่าต่ำสุดตามต้องการ

อัตราขยายแรงดันของวงจรหาได้โดย

$$A = \left(\frac{g_{m1}}{g_{ds2} + g_{ds4}}\right)\left(\frac{g_{m6}}{g_{ds6} + g_{ds7}}\right) \qquad (12)$$

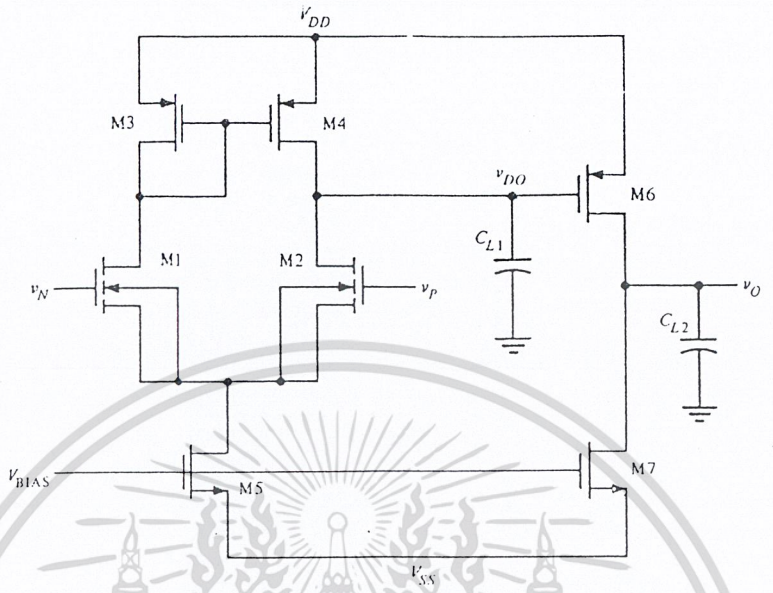
$$A = \frac{2\sqrt{K_1 K_6}}{(\lambda_2 + \lambda_4)(\lambda_6 + \lambda_7)\sqrt{I_1 \cdot I_6}} \qquad (13)$$

ในการออกแบบให้ได้อัตราขยายแรงดันตามต้องการนั้น สามารถออกแบบค่า I_6 S_6 I_5 S_1 โดยถ้ากระแสลดลงอัตราขยายแรงดันจะเพิ่มขึ้น และถ้าขนาดของมอสเฟ็ท S_1 S_6 เพิ่มขึ้นก็จะได้อัตราขยายแรงดันเพิ่มขึ้น

สิ่งที่ต้องพิจารณาต่อไปคือ เรื่องของความเร็วในการทำงาน หรือหาค่าเวลา t_{prop} โดยหาค่ากระแสที่สามารถชาร์จ (หรือดิสชาร์จ) พาราซิติก คาปาซิเตอร์ และคาพาซิเตอร์ในวงจร รูปที่ 3.18 แสดงให้เห็นถึงคาปาซิเตอร์ที่มีผลต่อวงจรมากที่สุด มีค่าเท่ากับ C_{L1} ซึ่งประกอบด้วยดีพลีชั่นคาปาซิเตอร์ C_D และ C_{gs}

ต่อไปนี้จะสมมติว่าอินพุต v_P v_N ที่ป้อนเข้ามาส่งผลให้วงจรเกิดสภาวะไม่สมดุลมากที่สุด คือมีกระแส M_5 ไหลผ่านด้าน M_1 หรือ M_2 ด้านใดด้านหนึ่ง เมื่อพิจารณาว่ากระแสที่มากที่สุดที่จะจ่ายออกไปชาร์จ ดิสชาร์จ C_{L1} ได้ ค่า t_{prop} จะหาจากจำนวนเวลาที่ใช้ในการเปลี่ยนระดับแรงดันจาก v_{DO} ที่เวลาเริ่มต้น ถึงระดับแรงดัน V_{TRP2} ของภาคที่สอง โดยสมมติว่า ทรานซีสเตอร์ทุกตัวทำงานในช่วงอิ่มตัว ขณะขับกระแสหรือขณะเปลี่ยนสภาวะแรงดัน เมื่อเราประมาณว่ากระแสขับ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.18 ตัวเก็บประจุที่มีผลต่อวงจรคอมพาราเตอร์

คาปาซิเตอร์ C_{L1} คงที่เท่ากับกระแส M_1 หรือ M_2 แต่พิจารณาอินพุตที่ทำให้เกิดเงื่อนไขไม่สมดุลคือ กระแส M_5 ทั้งหมดจะไหลผ่านด้านใดด้านหนึ่งเพียงด้านเดียว นั่นคือ กระแสขับคาปาซิเตอร์เท่ากับกระแส M_5 ดังนั้น จากการประมาณ จะได้เวลาที่ใช้ในการเปลี่ยนจากระดับแรงดัน v_{DO} ไปยัง V_{TRP2} คือ

$$\Delta T_1 = \Delta v_{DO}\left(\frac{C_{L1}}{i_5}\right) \tag{14}$$

โดยที่

$$\Delta v_{DO} = v_{DO}(t_0) - V_{TRP2} \tag{15}$$

เอาต์พุตของภาคที่หนึ่งจะมีลักษณะลาดชันเข้าสู่ค่า V_{TRP2} ด้วยเวลา ΔT_1 เพื่อความง่ายในการหาค่า t_{prop} ของวงจรภาคที่สอง จะสมมติให้ วงจรภาคที่หนึ่งให้เอาต์พุตเป็น step function แล้วพิจารณาว่าค่า ΔT_2 นี้จะหาได้จากการพิจารณากระแสที่ชาร์จคาปาซิเตอร์ที่เอาต์พุต C_{L2} ว่ามีค่าเท่าใด โดยแบ่งพิจารณา 2 กรณีคือ กระแสที่ชาร์จ และกระแสที่ดิสชาร์จ เพราะมีค่าไม่เท่ากัน กระแสชาร์จ เกิดจากกระแส M_6 ไหลไปชาร์จ C_{L2} และมีกระแสส่วนหนึ่งไหลไปยัง M_7 ส่วนกระแสดิสชาร์จ เกิดจากกระแส M_7 เท่านั้น ดังนั้นพิจารณากระแส M_7 จะได้ว่า

$$i_7 \cong i_5\left(\frac{S_7}{S_5}\right) \tag{16}$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

พิจารณากระแส M_6 ในสภาวะไม่สมดุลเมื่อ v_{DO} มีค่าต่ำสุด จะได้กระแส M_6 มากที่สุด

$$i_6 \cong \frac{K_6}{2}\left(V_{DD} - v_{DO(\min)} - \left|V_{T6}\right|\right)^2 \tag{17}$$

เมื่อ

$$v_{DO(\min)} \cong v_N - \sqrt{\frac{i_5}{K_1}} - V_{T1} \tag{18}$$

โดยสมมติว่ากระแสชาร์จมีค่าคงที่จะได้ว่า เวลาที่ใช้ในการชาร์จคาปาซิเตอร์ C_{L2} คือ

$$\Delta T_{2+} \cong C_{L2}\left[\frac{\left(V_{TRP3} - V_{SS}\right)}{i_6 - i_7}\right] \tag{19}$$

และเวลาที่ใช้ดิสชาร์จ C_{L2} คือ

$$\Delta T_{2-} \cong C_{L2}\left[\frac{\left(V_{DD} - V_{TRP3}\right)}{i_7}\right] \tag{20}$$

โดยค่า V_{TRP3} คือ แรงดันทริปพ้อย ของภาคถัดไป ค่าพรอบเพเกชั่นดีเลย์ไทม์ทั้งหมดหาได้จาก

$$\Delta T = \Delta T_1 + \Delta T_2 \tag{21}$$

สรุปขั้นตอนในการออกแบบวงจรคอมพาราเตอร์

1. จากข้อกำหนดของค่า พรอบเพเกชั่นดีเลย์ไทม์ สามารถนำมาใช้กำหนดค่าสลูเรทได้ โดยควรมีค่าสลูเรทเป็น 10 เท่าของค่า พรอบเพเกชั่นดีเลย์ไทม์ เช่น พรอบเพเกชั่นดีเลย์ไทม์เท่ากับ 1 µs V_{DD} = 10 V V_{SS} = 0V จะได้ SR=100V/µs จากค่า SR และค่า C_L นำไปหาค่ากระแสชาร์จได้เป็น

$$I_6 = C_L \frac{dV}{dT} \tag{22}$$

2. คำนวณหาขนาดของ M_6 M_7 ที่เล็กที่สุดที่ยังคงได้เอาต์พุตสวิงตามข้อกำหนดโดย

$$V_{DS}(\text{sat}) = \sqrt{\frac{2I}{K}} \tag{23}$$

3. เมื่อรู้กระแสที่ภาคที่สองและขนาดของ M_6 สามารถหาอัตราขยายแรงดันของภาคที่สองจาก

$$A_2 = -\frac{g_{m6}}{g_{ds6} + g_{ds7}} \tag{24}$$

$$= -\frac{\sqrt{2K_6}}{\sqrt{I_6}\left(\lambda_6 + \lambda_7\right)} \tag{25}$$

4. หาอัตราขยายแรงดันภาคที่สองเพื่อให้ได้อัตราขยายแรงดันรวมตามที่ต้องการ

เอกสารนี้เป็นเอกสาร... ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

5. หาขนาดของ M_4 M_5 เพื่อให้ได้กระแสสะท้อนไปยัง M_6 M_7 ตามที่ออกแบบไว้ โดยยึดหลักว่า ให้ใช้ขนาดของ M_4 M_5 M_6 และ M_7 ที่เล็กที่สุด ก็จะได้ค่ากระแสของวงจรภาคที่หนึ่งที่น้อยที่สุด
6. จากค่ากระแสของวงจรภาคที่หนึ่ง และค่าอัตราขยายแรงดันของภาคที่หนึ่ง นำไปหาขนาดของ M_2 โดย

$$A_1 = -\frac{g_{m2}}{g_{ds2} + g_{ds4}} \tag{26}$$

$$= -\frac{\sqrt{2K_2' \cdot S_2}}{\sqrt{I_2}\left(\lambda_2 + \lambda_4\right)} \tag{27}$$

$$S_2 = \left[\left(\lambda_2 + \lambda_4\right)A_1\right]^2\left(\frac{I_2}{2K_2'}\right) \tag{28}$$

7. หาขนาดของ M_5 ที่เล็กที่สุดเพื่อให้ได้ค่าอินพุตต่ำสุดตามข้อกำหนดของค่า CMR โดย

$$V_{DS5} = V_{G1}(\min) - \sqrt{\frac{I_5}{K_1}} - V_{T1} - V_{SS} \tag{29}$$

$$S_5 > \frac{2I_5}{K_5'\left(V_{DS5}\right)^2} \tag{30}$$

8. ปรับเพิ่มขนาดของ M_5 หรือ M_7 เพื่อให้ได้ตามเงื่อนไขของ $V_{G1}(\min)$ และสามารถสะท้อนกระแสไปยัง M_7 ได้ถูกต้องโดย

$$S_5 = I_5\frac{S_7}{I_7} \tag{31}$$

9. หาขนาดของ M_3 ที่เล็กที่สุดเพื่อให้ได้ค่า อินพุตสูงสุดตามข้อกำหนดค่า CMR จาก

$$V_{G1}(\max) = V_{DD} - \sqrt{\frac{I_5}{K_3'S_3}} - \left|V_{T3}\right| + V_{T1} \tag{32}$$

$$S_3 > \frac{I_5}{K_3'\left(V_{DD} - V_{G1}(\max) - \left|V_{T3}\right| + V_{T1}\right)^2} \tag{33}$$

10. ปรับขนาด M_3 M_6 เพื่อให้ได้กระแสสะท้อนที่ถูกต้อง โดย

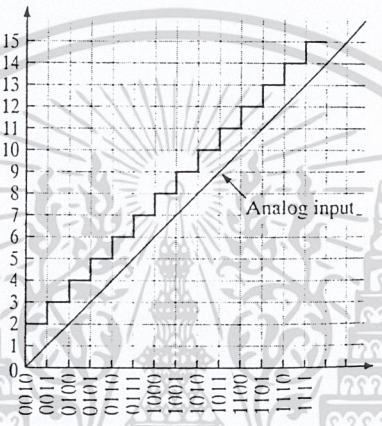
$$S_3 = I_3\frac{S_6}{I_6} \tag{34}$$

11. จำลองการทำงานของวงจรด้วยโปรแกรม เพื่อดูความถูกต้องในการออกแบบ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.8 วงจรคอมพาราเตอร์ที่มีการชดเชยออฟเซต(Offset cancellation)

วงจรคอมพาราเตอร์มีปัญหามาก กับแรงดันอินพุตออฟเซต เมื่อต้องการ ใช้งานที่มีความละเอียดสูง เช่น วงจร High-resolution A/D converter รูปที่ 3.19 แสดงปัญหาของแรงดันออฟเซตของ วงจร A/D converter โดยที่วงจร A/D converter อ่านค่าอินพุตได้มากกว่าค่าจริงซึ่งความผิดพลาดนี้มักเกิดจากวงจรคอมพาราเตอร์ ที่มีแรงดันอินพุออฟเซต

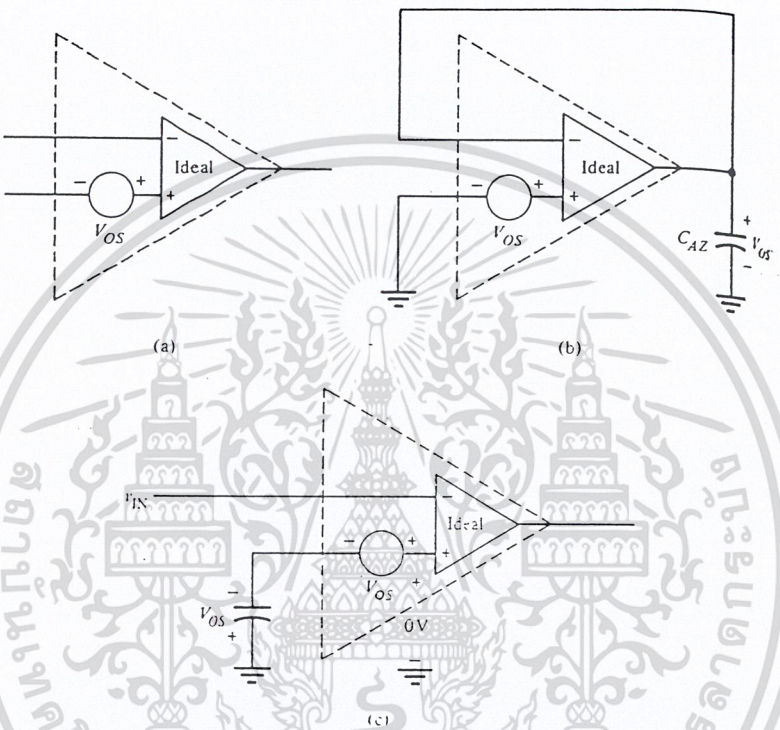


รูปที่ 3.19 ผลของแรงดันออฟเซตที่มีต่อการทำงานของวงจร A/D

แรงดันอินพุตออฟเซตเกิดจากความไม่สมมาตรของคู่ทรานซีสเตอร์ เกิดจากผลของอุณหภูมิ หรือเกิดจากการรบกวนอื่น ๆ ซึ่งไม่สามารถหาค่าได้อย่างถูกต้อง การแก้ไขจำเป็นต้องใช้วิธี auto zero techniques คือการใช้ตัวเก็บประจุมาเก็บค่าแรงดันอินพุตออฟเซตไว้ แล้วชดเชยกับสัญญาณอินพุตเพื่อหักล้างกันโดยอัตโนมัติ

รูปที่ 3.20 แสดงวิธีการชดเชยออฟเซต โดยรูป 3.20 (a) แสดงแบบจำลองของวงจรคอมพาราเตอร์ที่มีแรงดันอินพุตออฟเซต โดยไม่มีทางรู้ได้ว่าขั้วและแรงดันมีค่าเท่าใด ส่วนรูป 3.20 (b) แสดงวงจรคอมพาราเตอร์ต่อแบบ unity-gain ทำให้แรงดันเอาต์พุตเท่ากับแรงดันอินพุตออฟเซต และต้องแน่ใจว่าวงจรคอมพาราเตอร์ยังคงสเตเบิ้ล จึงต้องมีการเพิ่มส่วนของการชดเชยทางเฟสด้วย ตัวเก็บประจุ C_{AZ} จะเก็บค่าแรงดันออฟเซตเอาไว้ และเมื่อนำเอา C_{AZ} มาต่อที่อินพุตอนุกรมกับ V_{OS} ทำให้ทั้งสองหักล้างกัน เนื่องจากไม่มีกระแสไฟตรง ดิสชาร์จตัวเก็บประจุในอุดมคติ แต่ในความเป็นจริงจะมีกระแสรั่วไหล ทำให้ต้องทำการชาร์จประจุซ้ำเป็นช่วงๆ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



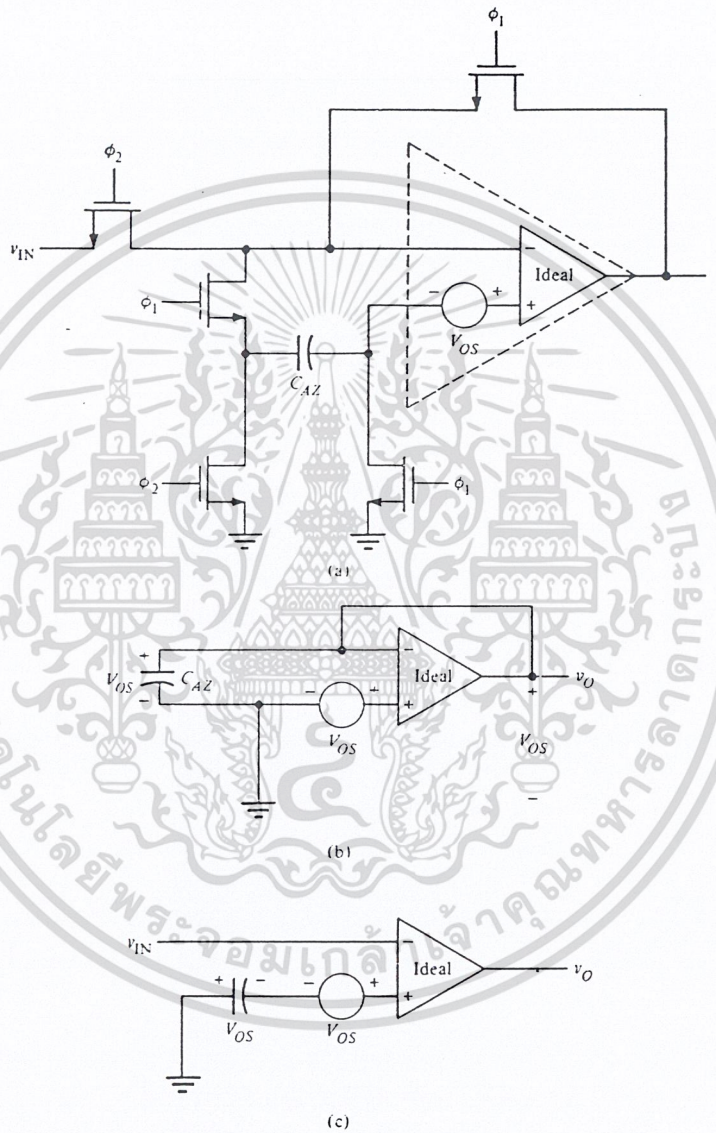
รูปที่ 3.20 (a) เป็นแบบจำลองคอมพาราเตอร์ที่มีแรงดันออฟเซต (b) คอมพาราเตอร์ที่ต่อแบบ unity-gain เพื่อเก็บแรงดันออฟเซตไว้ในตัวเก็บประจุ C_{AZ} (c) คอมพาราเตอร์ที่ได้รับการชดเชยออฟเซตแล้ว

วงจรที่ใช้งานแสดงในรูปที่ 3.21 (a) รูปที่ 3.21 (b) แสดงให้เห็นขณะที่แรงดันอินพุตออฟเซตถูกเก็บไว้ในตัวเก็บประจุ C_{AZ} เมื่อ ϕ_1 เป็น "high" รูปที่ 3.21(c) แสดงวงจรขณะ ϕ_2 เป็น "high" แรงดันออฟเซตจะหักล้างกันทำให้วงจรคอมพาราเตอร์ทำงานได้อย่างถูกต้อง

ในการสร้างวงจรคอมพาราเตอร์ที่มีการชดเชยออฟเซตนั้นจะใช้ NMOS T เป็น สวิตช์ หรืออะนาล็อกสวิตช์แบบอื่น ๆ ก็ได้

วิธีการชดเชยออฟเซตนี้สามารถลดแรงดันอินพุทออฟเซตขนาดใหญ่ ๆ ได้ แต่ไม่สามารถชดเชยให้สมบูรณ์ได้เนื่องจากเกิดผลของ ชาร์จ อินเจกชั่น (charge injection) และ คล๊อก ฟีดธรู (clock feedthrough) ซึ่งทำให้เกิดแรงดันออฟเซตได้จำนวนหนึ่ง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.21 (a) วงจรที่มีการชดเชยออฟเซต (b) คอมพาราเตอร์ขณะมี ϕ_1 เป็นภาวะออโต้ซีโร่ (c) คอมพาราเตอร์ขณะมี ϕ_2 เป็นภาวะทำงาน

3.9 วงจรแลตช์ (Latch)

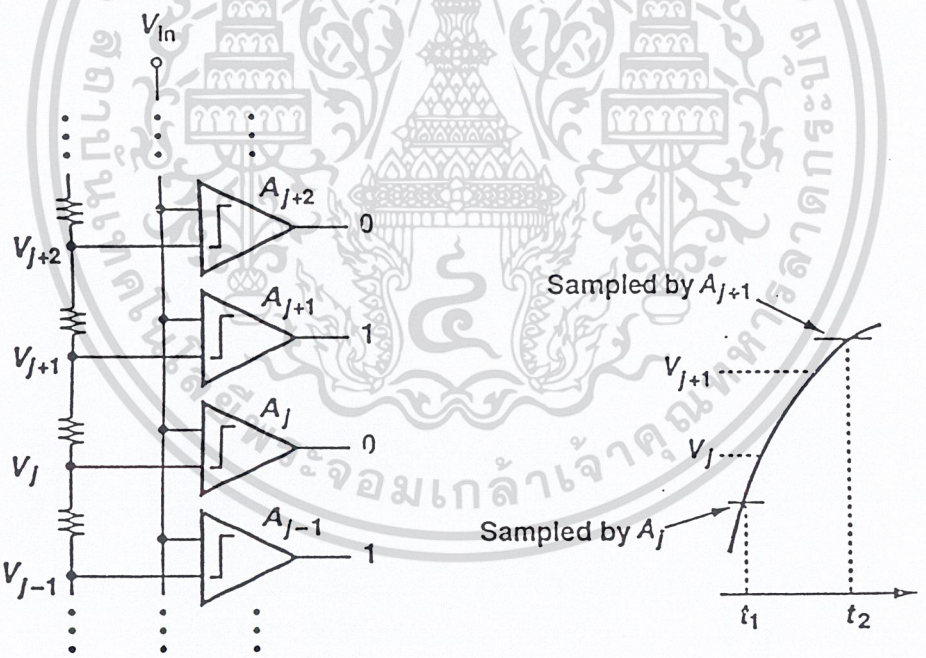
วงจรแลตช์ทำหน้าที่เก็บค่าข้อมูลทีละบิตทุกๆ ครั้งที่มีสัญญาณนาฬิกาขอบขาขึ้นหรือขอบขาลงก็ได้ขึ้นอยู่กับการออกแบบ วงจรแลตช์จึงสร้างได้จากวงจรดีฟลิพฟล็อพแบบมีสัญญาณ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

นาฬิกาควบคุมนั่นเอง ในวงจรแปลงสัญญาณอนาลอกเป็นสัญญาณดิจิตอลแบบแฟลชจะใช้วงจรแลตช์ในการเก็บค่าระดับแรงดันที่ได้จากเอาต์พุตของคอมพาราเตอร์

3.10 วงจรไพรออริตี้เอ็นโค๊ดเดอร์

วงจรไพรออริตี้เอ็นโค๊ดเดอร์หรือวงจรเทอร์โมมิเตอร์ดีโค๊ดเดอร์จะทำหน้าที่แปลงรหัสดิจิตอลที่ได้จากคอมพาราเตอร์ เป็น รหัสไบนารี่ที่สอดคล้องกับสัญญาณอินพุต ซึ่งเอาต์พุตที่ได้จากคอมพาราเตอร์จะเป็นรหัสแบบเทอร์โมมิเตอร์โค๊ด คือจะเริ่มจาก 0...01, 0...11,...,1...11 คล้ายกับการเพิ่มขึ้นของปรอทในเทอร์โมมิเตอร์ นอกจากนี้จะต้องทำการออกแบบให้วงจรสามารถทำงานได้อย่างถูกต้องถ้าเทอโมมิเตอร์โค๊ดมีความผิดพลาดเนื่องมาจากคอมพาราเตอร์ทำงานไม่พร้อมกัน เช่นมีคอมพาราเตอร์ตัวใดตัวหนึ่งให้เอาต์พุตเป็น 0 ขณะที่ควรจะเป็น 1 เรียกว่าเป็นผลของสปาร์กเกิล (sparkles) หรือ บับเบิล (bubble)ในเทอร์โมมิเตอร์โค๊ด (รูปที่ 3.22)



รูปที่ 3.22 แสดงการเกิดสปาร์กเกิล

3.11 การออกแบบวงจรในระดับเลย์เอาต์

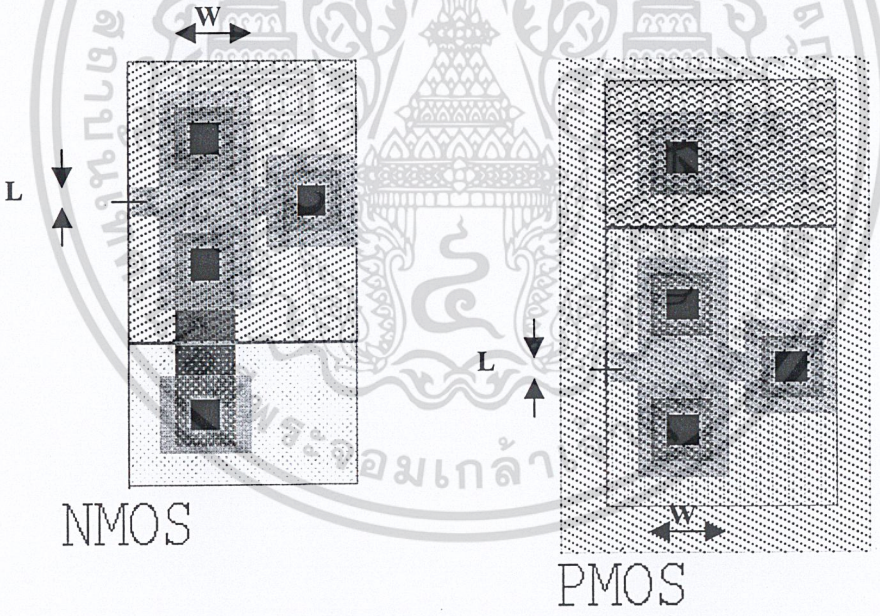
การออกแบบในระดับเลย์เอาต์คือการออกแบบว่าจะให้ชั้นสารแต่ละชั้นมีขนาดเท่าใด ซึ่งเป็นขั้นตอนสุดท้ายในการออกแบบวงจรรวม เมื่อออกแบบเสร็จสามารถเอ็กแทร็ก(extract) เป็นไฟล์ CIF (Caltech Intermediate Form) หรือ GDS II เพื่อส่งไปยังโรงงานผลิตวงจรรวม การออกแบบในระดับเลย์เอาต์ก็สามารถจำลองการทำงานได้เช่นกันซึ่งเราสามารถทดสอบวงจรก่อนส่งไป

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ผลิตจริง และการจำลองการทำงานยังรวมผลของตัวเก็บประจุแฝงที่เกิดจากเดินสายในวงจรรวม หรือการวางตำแหน่งของอุปกรณ์ในวงจร ที่อาจจะทำให้วงจรทำงานผิดพลาดได้ถ้ามีออกแบบไม่ดีพอ สิ่งที่สำคัญของการออกแบบก็คือจะต้องทำตาม กฎการออกแบบ (Design Rule) ซึ่งหมายถึงกฎที่กำหนดไว้เพื่อให้รับรองได้ว่าถ้าออกแบบตามกฎจะสามารถสร้างขึ้นจริงได้ เพราะในความเป็นจริงการสร้างให้ขนาดเล็กที่สุดนั้นก็ยังมีข้อกำหนดว่าถ้าเล็กกว่านี้สร้างไม่ได้ กฎการออกแบบจึงครอบคลุมในเรื่องของ ขนาดที่เล็กที่สุดที่สร้างได้ ระยะห่างที่น้อยที่สุดของชั้นสารเดียวกันที่ไม่ติดกัน ขนาดของชั้นสารที่ต้องทำให้ใหญ่ครอบคลุมอีกชั้นสารหนึ่งเพื่อให้แน่ใจว่าโครงสร้างของอุปกรณ์จะไม่ผิดไปถ้าเกิดการกร่อนของขอบชั้นสาร

การออกแบบมอสทรานซิสเตอร์

การออกแบบมอสทรานซิสเตอร์จากการกำหนดขนาด W/L นำมาวาดเป็นเลย์เอาต์ของมอสทรานซิสเตอร์ได้ดังรูปที่ 3.23

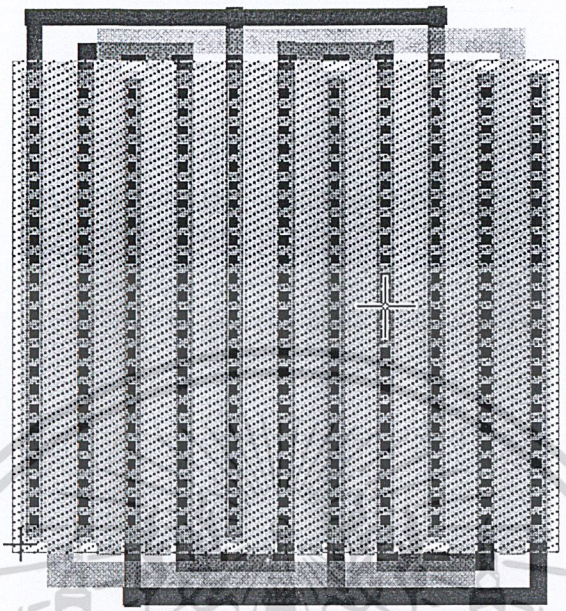


รูปที่ 3.23 แสดงเลย์เอาต์ของมอสทรานซิสเตอร์

การออกแบบคู่มอสทรานซิสเตอร์ให้สมมาตรกัน

กรณีที่ต้องการให้มอสทรานซิสเตอร์สองตัวมีความสมมาตรกันจะใช้เลย์เอาต์แบบคอมม่อนเซนทรอยด์(common-centroid layout) คือให้ตำแหน่งของมอสทรานซิสเตอร์ใช้พื้นที่ร่วมกัน ดังนั้นผลของอุณหภูมิหรือความหนาของชั้นออกไซด์จะใกล้เคียงกันทำให้ทรานซิสเตอร์มีความสมมาตรกัน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



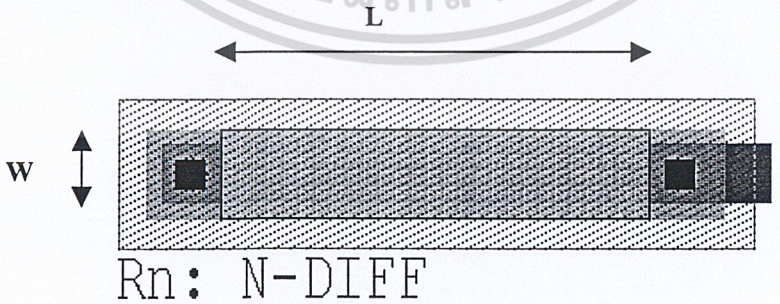
รูปที่ 3.24 แสดงตัวอย่างของเลย์เอาต์แบบคอมม่อนเซนทรอยด์

การออกแบบตัวต้านทาน

ชั้นสารต่างๆ จะมีค่าความต้านต่อพื้นที่จัตุรัจ ไม่เท่ากัน เช่น ชั้นของโลหะมีค่าสภาพต้านทาน 0.055Ω/sq ซึ่งมีค่าน้อยมาก แต่ชั้นของ N-Well มีค่าสภาพต้านทาน 1.3kΩ/sq ดังนั้นการสร้างตัวต้านทานจึงต้องเลือกชั้นสารที่เหมาะสม การหาค่าความต้านทานหาได้จาก

ค่าความต้านทาน = ค่าสภาพต้านทาน(Ω/sq)×(ความยาวของชั้นสาร/ความกว้างของชั้นสาร)

ตัวอย่างของตัวต้านทานดังรูปที่ 3.25



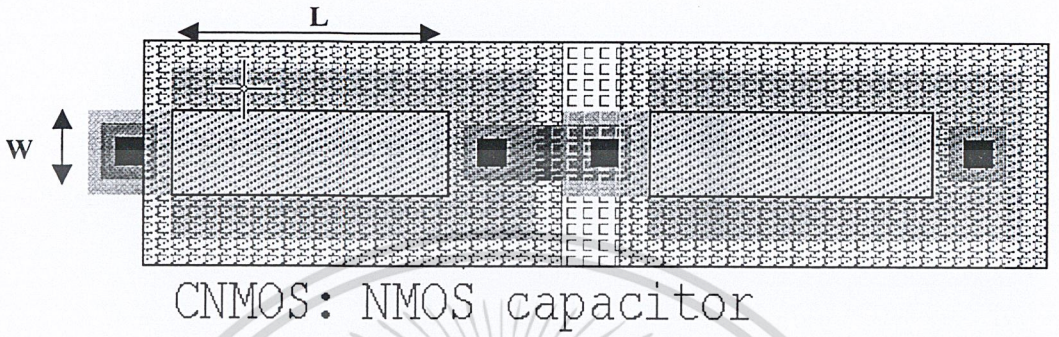
รูปที่ 3.25 แสดงเลย์เอาต์ตัวต้านทาน

การออกแบบตัวเก็บประจุ

ตัวเก็บประจุมีโครงสร้างจากชั้นตัวนำ 2 ชั้นขนานกันกั้นด้วยไดอิเล็กทริกซ์ หรือฉนวน ดังนั้นในการเลย์เอาต์ตัวเก็บประจุก็สามารถสร้างได้หลายชนิด เช่น สร้างจากชั้นของ โลหะกับโพลี่เกต โลหะกับแอกตีฟ เป็นต้น ซึ่งจะมีค่าความจุต่อหน่วยพื้นที่ไม่เท่ากัน ค่าความจุหาได้จาก

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ค่าความจุ = ค่าความจุต่อหน่วยพื้นที่ × พื้นที่ของชั้นสารตัวเก็บประจุ



รูปที่ 3.26 แสดงเลย์เอาต์ตัวเก็บประจุ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 4

การออกแบบวงจรแปลงสัญญาณอนาลอกเป็นสัญญาณดิจิตอลแบบแฟลช 3 บิต

การออกแบบวงจรแปลงสัญญาณอนาลอกเป็นสัญญาณดิจิตอลแบบแฟลช 3 บิต จะเริ่มจากการกำหนดคุณสมบัติของวงจร คือ รีโซลูชั่น 3 บิต ความถี่ในการชักตัวอย่าง 1 เมกกะเฮิทซ์ P_{diss} < 80 mW ใช้แหล่งจ่ายไฟเลี้ยง ±5 V แรงดันอินพุต ±2 V E_{offset} < 1 LSB E_{gain} < 1 LSB DNL < 1 LSB INL < 1 LSB การออกแบบจะเริ่มจากการออกแบบวงจรย่อยก่อนจากนั้นทำการจำลองการทำงานของวงจรย่อยนั้นเพื่อทดสอบคุณสมบัติของวงจร เมื่อได้วงจรย่อยตามต้องการแล้วจึงนำวงจรย่อยเหล่านั้นมาต่อร่วมกัน แล้วจำลองการทำงานของวงจรรวมทั้งหมดอีกครั้ง

4.1 การออกแบบและการทดลองวงจรคอมพาราเตอร์

เพื่อให้ได้วงจรคอมพาราเตอร์ที่ใช้ในวงจรแปลงสัญญาณอนาลอกเป็นสัญญาณดิจิตอลแบบแฟลช ได้จะทำการออกแบบวงจรคอมพาราเตอร์แบบสองภาค โดยมีข้อกำหนดคือ A_V > 66 dB, P_{diss} < 10 mW, C_{L2}=2 pF, t_{prop} ≤ 1 µs, CMR = -2 V ถึง 2 V , เอาต์พุตสวิง = -3 V ถึง 3 V โดยใช้พารามิเตอร์ต่อไปนี้

```
** MOSIS/Orbit 2.0um Process
**        Level 2 MOSFET Parameters
**        MOSIS run n23q / Quicksilver
**     Technology: SCNA
** (The Lambda parameter is removed so that it will be calculated internally by the model.)
**********************************************
.model nmos nmos level=2
+   Ld=0.22026u        Tox=395.000008E-10   Nsub=7.61874E+14
+   Vto=0.81056        Kp=5.289E-05         Gamma=0.1819
+   Phi=0.6            Uo=605.312           Uexp=8.517658E-02
+   Ucrit=14678.4      Delta=1.71295        Vmax=64128.9
+   Xj=0.25u           Nfs=1.085838E+12     Neff=1
+   Nss=1E+10          Tpg=1                Rsh=29.39
+   Cgdo=2.888314E-10  Cgso=2.888314E-10    Cgbo=4.336885E-10
+   Cj=9E-05           Mj=0.784             Cjsw=5.525E-10
+   Mjsw=0.285         Pb=0.8
+ Lambda=1.741176E-02
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

* Weff = Wdrawn - Delta_W

* The suggested Delta_W is 0.35 um

.model pmos pmos level=2

+ Ld=0.25u Tox=395.000008E-10 Nsub=9.199244E+15

+ Vto=-0.971428 Kp=1.915E-05 Gamma=0.6321

+ Phi=0.6 Uo=219 Uexp=0.251249

+ Ucrit=76412.8 Delta=0.554525 Vmax=89217.7

+ Xj=0.25u Nfs=1E+11 Neff=1.001

+ Nss=1E+10 Tpg=-1 Rsh=65.02

+ Cgdo=3.278301E-10 Cgso=3.278301E-10 Cgbo=4.657445E-10

+ Cj=2.033E-04 Mj=0.4439 Cjsw=3E-10

+ Mjsw=0.243 Pb=0.8

+ Lambda=5.371041E-02

* Weff = Wdrawn - Delta_W

* The suggested Delta_W is 0.48 um

ขั้นตอนการออกแบบ

จากค่าของพรอบเพเกชั่นดีเลย์ไทม์ หาค่าสลูเรทได้โดย SR= 10 เท่าของ 10 V/μs = 100 V/μs จะได้ว่า

$$i_6 = C_L \frac{dV}{dT}$$

$$i_7 = i_6 = \left(2\times10^{-12}\ \text{pF}\right)\left(\frac{100\,\text{V}}{1\mu\text{s}}\right) = 200\mu\text{A}$$

จากนั้นหาขนาดของ M_6 M_7 เพื่อให้ได้เอาต์พุตสวิงที่กำหนด คือ

$$2 > V_{DS7}(\text{sat}) = \sqrt{\frac{2I_7}{K_7}} = \sqrt{\frac{2\times200\times10^{-6}}{52.89\times10^{-6}\times S_7}}$$

$$S_7 > 1.89$$

และทำนองเดียวกันจะได้

$$2 > V_{DS6}(\text{sat}) = \sqrt{\frac{2I_6}{K_6}} = \sqrt{\frac{2\times200\times10^{-6}}{19.15\times10^{-6}\times S_6}}$$

$$S_6 > 5.22$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

นำค่าที่ได้มาหาค่าอัตราขยายของภาคที่สอง

$$A_2 = -\frac{g_{m6}}{g_{ds6}+g_{ds7}} = -\frac{\sqrt{2K_6}}{\sqrt{I_6}(\lambda_6+\lambda_7)} = -\frac{\sqrt{2(19.15\times10^{-6})5.22}}{\sqrt{200\times10^{-6}}(0.017+0.054)} = 14$$

อัตราขยายแรงดันของคอมพาราเตอร์มากกว่า 2000 เท่า ดังนั้นอัตราขยายของภาคที่หนึ่งต้องมากกว่า 143 เท่า ในการคำนวณจะให้อัตราขยายภาคที่หนึ่งเป็น 200 เท่า

สำหรับพื้นที่ที่ใช้ในการสร้างที่น้อยที่สุด จะได้ว่า ให้ขนาดของ M_4 เป็น $S_4 = 1$ จะได้ $I_4 = S_4(I_6/S_6) = 1.0\ (200/5.22) = 38.31\ \mu A$ และถ้าพิจารณาว่า M_5 มีขนาด $S_5 = 1$ จะได้ $I_5 = S_5(I_7/S_7) = 1.0\ (200/1.89) = 105.82\ \mu A$ หรือ $I_4 = 52.9\ \mu A$ เพื่อให้ได้กระแสถูกต้องดังนั้น หาขนาดของ M_4 ได้จาก

$S_4 = S_6(I_4/I_6) = 5.22(52.9/200)$

$S_4 > 1.381$

หาค่า $P_{diss} = 10(I_7+I_5) = 3.1\ mW$

หาขนาดของ M_1 จากค่าอัตราขยายแรงดันและกระแสที่ใช้ในวงจรขยายภาคที่หนึ่ง

$$|A_1| = \frac{g_{m2}}{g_{ds2}+g_{ds4}} = \frac{\sqrt{2K_2'\cdot S_2}}{\sqrt{I_2}(\lambda_2+\lambda_4)}$$

$$S_2 = \left[(\lambda_2+\lambda_4)\cdot|A_1|\right]^2\left(\frac{I_2}{2K_2'}\right)$$

$$S_2 = \left[(0.017+0.054)\cdot200\right]^2\left(\frac{52.9\times10^{-6}}{2(52.89\times10^{-6})}\right) = 101.2$$

ปัดเป็นจำนวนเต็มได้ 102

เมื่อรู้ค่า M_1 และ M_2 แล้ว นำไปหาขนาดของ M_5 ที่เล็กสุด ได้จาก

$$V_{DS5} = V_{G1}(\min) - \sqrt{\frac{I_5}{K_1}} - V_{T1} - V_{SS}$$

$$V_{DS5} = -2 - \sqrt{\frac{105.82\times10^{-6}}{(52.89\times10^{-6})\times102}} - 0.81 - (-5) = 2.05\ V$$

$$S_5 > \frac{2I_5}{K_5'(V_{DS5})^2}$$

$$S_5 > \frac{2(105.82\times10^{-6})}{52.89\times10^{-6}(2.05)^2} = 0.95$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

แต่ถ้าต้องการให้ M_5 สะท้อนกระแสไปได้เท่ากับกระแส M_7 จะได้ว่า

$$S_5 = I_5(S_7/I_7) = 105.82(1.89/200) = 1$$

ดังนั้น $S_5 = 1$

จากค่า CMR นำมาใช้ในการหาขนาดของ M_3 ที่เล็กที่สุดได้ว่า

$$V_{G1}(\max) = V_{DD} - \sqrt{\frac{I_5}{K_3' S_3}} - |V_{T3}| + V_{T1}$$

$$S_3 > \frac{105.82 \times 10^{-6}}{19.15 \times 10^{-6}(5 - 2 - |0.97| + 0.81)^2} = 0.69$$

แต่ถ้าต้องการให้กระแสจาก M_3 สะท้อนไปยัง M_6 ได้ต้องให้ขนาดของ M_3 เป็น

$$S_3 = I_3(S_6/I_6) = 52.9(5.22/200) = 1.38$$

สรุปค่าที่กำหนดได้ดังนี้ ให้มอสเฟ็ททุกตัวมีค่า L = 5 μm และขนาดของมอสเฟ็ทมีหน่วยเป็น μm

$S_1 = S_2 = (W/L)_1 = (W/L)_2 = 102 = 510/5$

$S_3 = S_4 = (W/L)_3 = (W/L)_4 = 2 = 10/5$

$S_5 = (W/L)_5 = 1 = 5/5$

$S_6 = (W/L)_6 = 5.22 = 26/5$

$S_7 = (W/L)_7 = 1.89 \approx 2 = 10/5$

แต่มีเงื่อนไขของความสมมาตรว่า

$S_6/S_4 = 2\,(S_7/S_5)$

ดังนั้น $S_6 = 2\,(2/1)(2) = 8$

หรือ $(W/L)_6 = 40/5$

หาขนาดของภาคไบอัส

M_5 มีกระแส = 105.82 μA

ดังนั้น $V_{gs5} = \sqrt{\frac{2I_5}{K_5}} + V_{T5} = \sqrt{\frac{2(105.28 \times 10^{-6})}{52.89 \times 10^{-6}}} + 0.81 = 2.811$ V

ถ้าให้ M_8 เป็นวงจรจ่ายกระแส ซึ่งมีขนาดเท่ากับ M_5 ทำให้ V_{gs8} เท่ากับ V_{gs5} และจะได้วงจรจ่ายกระแสที่มี

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

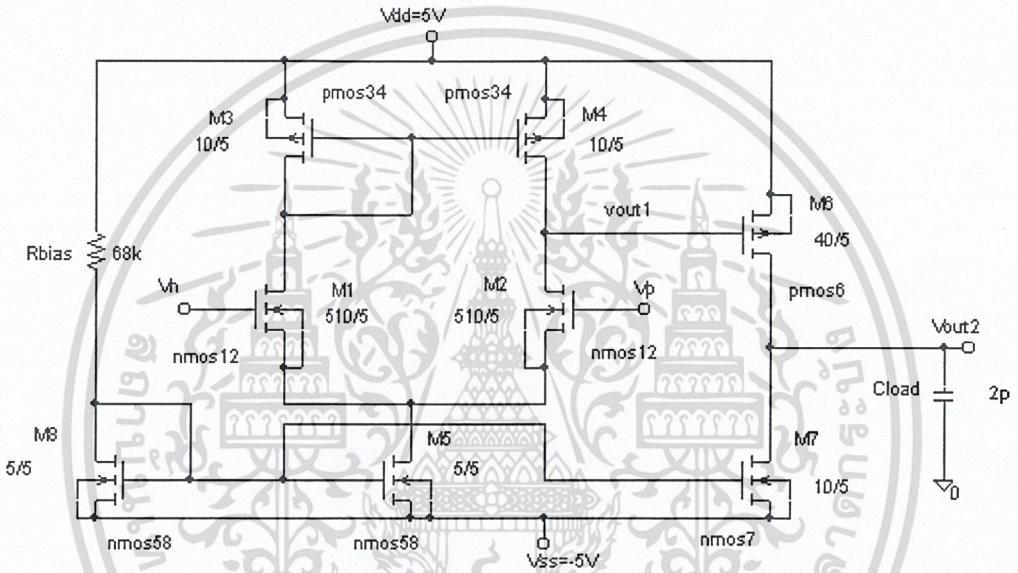
$$R = (10\text{-}2.811) / (105.82\ \mu A) = 68\ K\Omega$$

และ

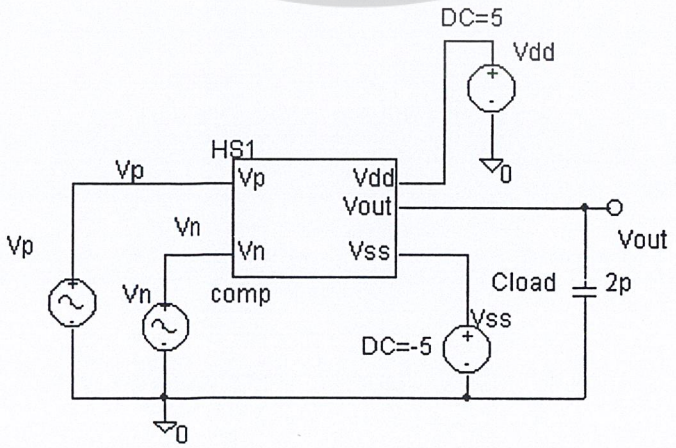
$$(W/L)_8 = 5/5$$

4.1.1 ผลการจำลองการทำงาน

1. ต่อวงจรในรูปที่ 4.1 วงจรคอมพาราเตอร์สองภาค



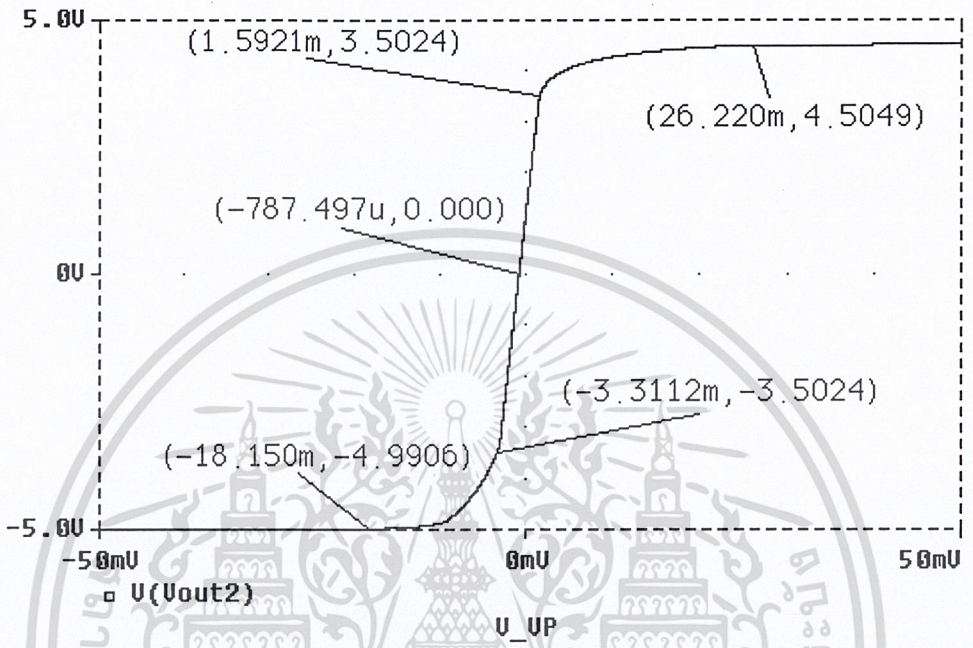
รูปที่ 4.1 วงจรคอมพาราเตอร์สองภาค



รูปที่ 4.2 การต่อวงจรทดลอง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2. ตั้งให้ v_N เป็นศูนย์ ทำการกวาดค่า v_P จาก –50mV ถึง 50mV step = 10uV



รูปที่ 4.3 กราฟแรงดันเอาต์พุตเปรียบเทียบกับอินพุต

จากรูปที่ 4.3

อ่านค่าแรงดันออฟเซ็ทได้คือ V_{OFF} = 787.497 μV

แรงดันเอาต์พุตสวิงประมาณ = ±3.5 V

แรงดันเอาต์พุตสูงสุด = 4.5 V

แรงดันเอาต์พุตต่ำสุด = -5 V

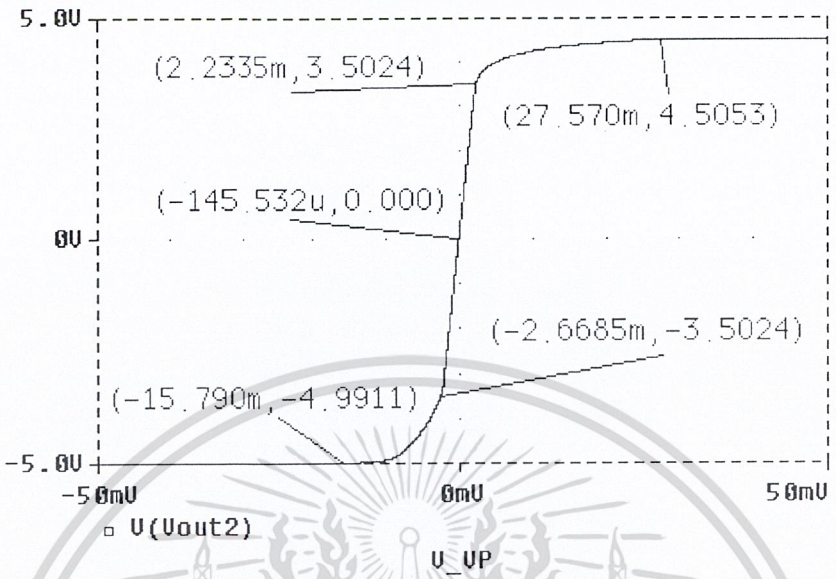
อัตราขยายแรงดัน = $\Delta v_{OUT} / \Delta v_{IN}$ = 1529 = 63.7 dB

จากการทดลองจะเห็นได้ว่าแรงดันออฟเซ็ทมีค่าเป็นลบแสดงว่าถ้าป้อนอินพุตเป็นศูนย์แรงดันเอาต์พุตจะมากกว่าศูนย์ ถ้าต้องการลดแรงดันเอาต์พุตนี้ลงก็จะต้องเพิ่มแรงดันที่เกทของ M6 ขึ้น ซึ่งทำได้โดยลดแรงดันซอส-เดรนของ M4 ลง การจะลดแรงดันซอส-เดรนลงได้นั้นทำได้โดยเพิ่มขนาดของ M4 เมื่อเป็นเช่นนี้จึงออกแบบใหม่ให้ $(W/L)_4 = (W/L)_3 = 11/5$ จะได้ค่าแรงดันออฟเซ็ท ลดลงดังรูปที่ 4.4 จะได้

แรงดันออฟเซ็ทเท่ากับ V_{OFF} = -145.532 μV

ส่วนค่าอัตราขยายยังคงใกล้เคียงเท่าเดิมแรงดันเอาต์พุตสวิงยังเท่าเดิม และแรงดันเอาต์พุตสูงสุด ต่ำสุดยังคงเท่าเดิม

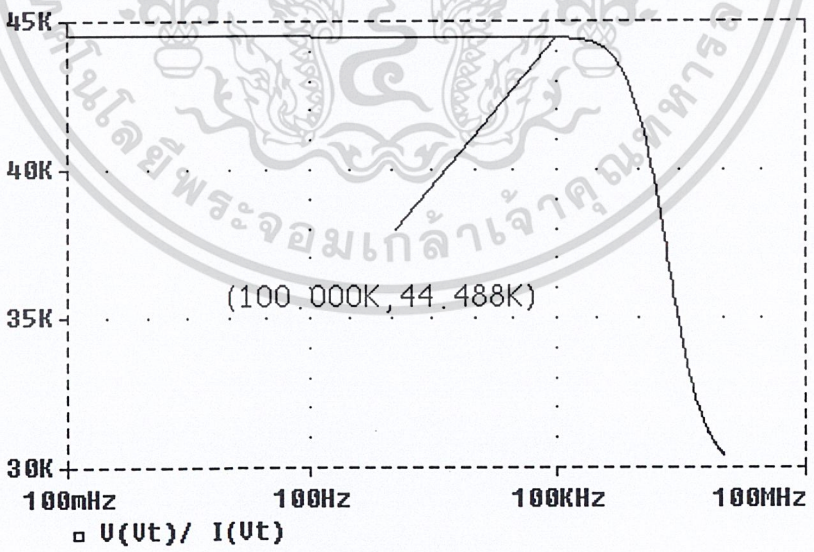
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.4 กราฟแรงดันเอาต์พุตเปรียบเทียบกับอินพุตเมื่อแก้ไขขนาด M4 ใหม่

3. ชอร์ต v_p และ v_N ลงกราวด์ แทนที่ C-load ด้วย แหล่งจ่ายแรงดัน v_t sine AC = 1 mV แล้วใช้คำสั่ง AC Sweep พล็อตกราฟของ v_t / i_t จะได้ กราฟของ Z_{out} ดังรูปที่ 4.5

Z_{out} = 44.488 KΩ



รูปที่ 4.5 กราฟของ Z_{out}

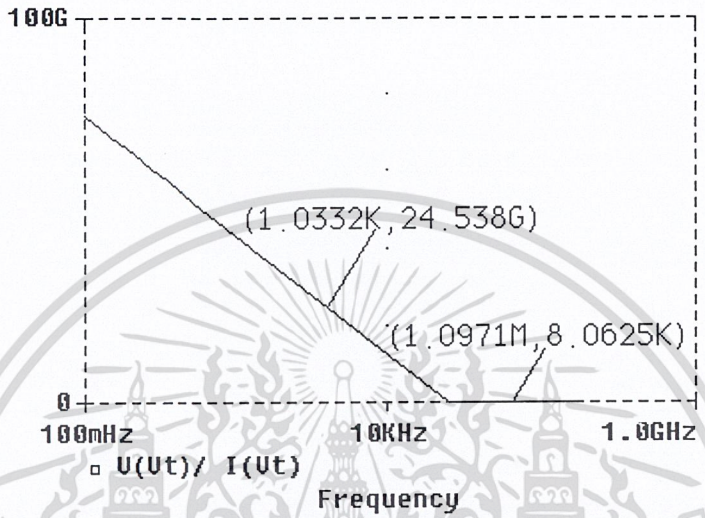
4. ตั้งให้ v_P เป็น v_t sine AC = 1 mV v_N ต่อลงกราวด์ หาค่า ความต้านทานอินพุต โดยใช้คำสั่ง AC Sweep และพล็อตกราฟของ v_t/i_t จะได้

Z_{in} = 24.538 GΩ ที่ความถี่ 1 KHz

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Z_{in} = 8.0625 KΩ ที่ความถี่ 1 MHz

แสดงรูปกราฟของ Z_{in} ดังรูปที่ 4.6



รูปที่ 4.6 กราฟของ Z_{in}

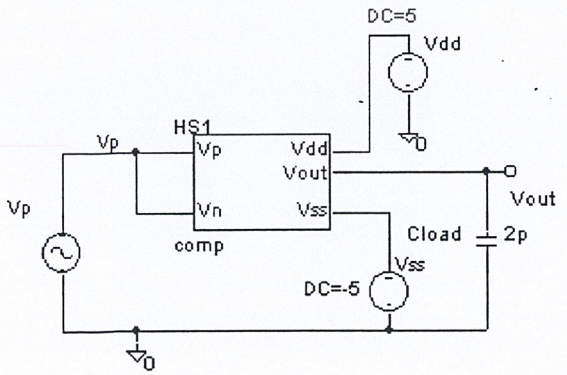
ชอร์ตอินพุต v_p และ v_N และป้อนสัญญาณ sine AC = 1 V ใช้คำสั่ง AC Sweep เพื่อหาค่าของ v_{out}/v_p เป็นค่าอัตราขยายแรงดันคอมม่อนโหมด แสดงดังรูปที่ 4.8

A_{CM} = -13.73 dB

5. จากข้อ 2 และ ข้อ 5 นำมาหาค่า CMRR

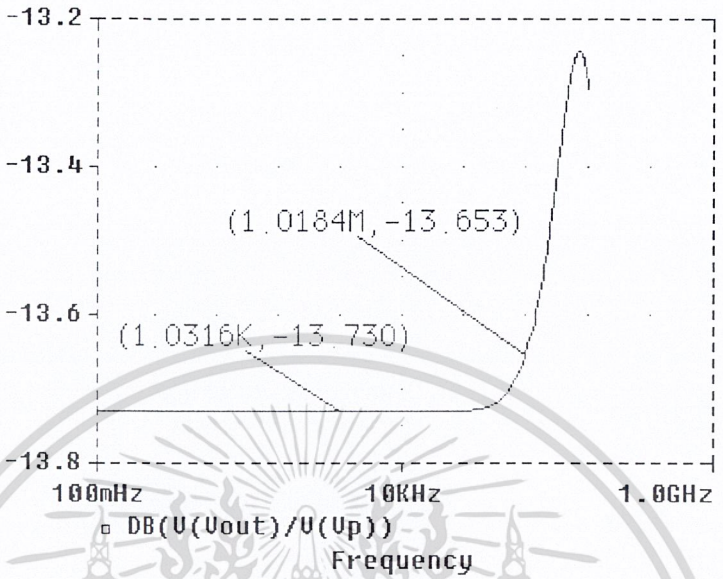
CMRR = 63 dB - (-13.73 dB)

= 76.73 dB



รูปที่ 4.7 วงจรที่ใช้หาอัตราขยายคอมม่อนโหมด

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

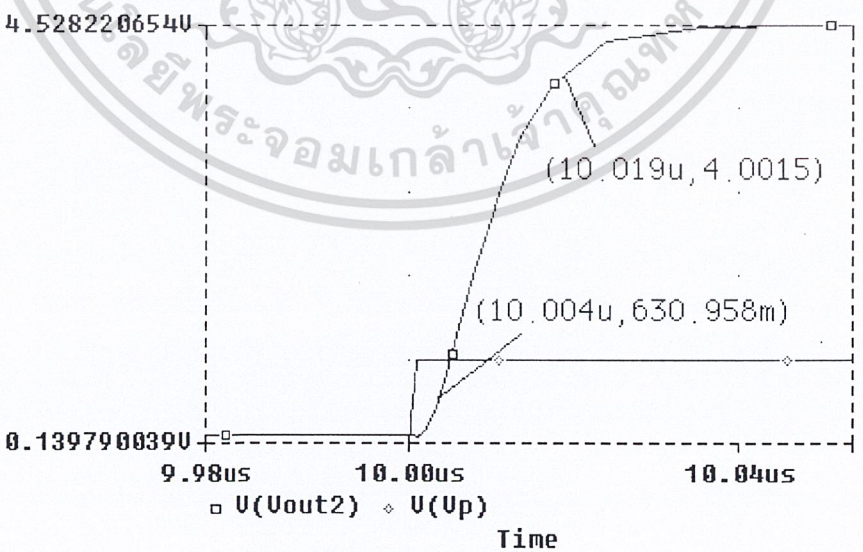


รูปที่ 4.8 กราฟของ A_{CM}

6. ต่อ v_N ลงกราวด์ ป้อน v_p ด้วย Vpulse ตั้งค่า V1 = 0 , V2 = 1, td = 10 µs และ tr = 1 ns ใช้วิธี transient analysis

7. พล็อตกราฟของ v_{out}/v_p จะได้ค่า slew rate ดังรูปที่ 4.9

SR = 224.6 V/µs



รูปที่ 4.9 กราฟของการวัด SR

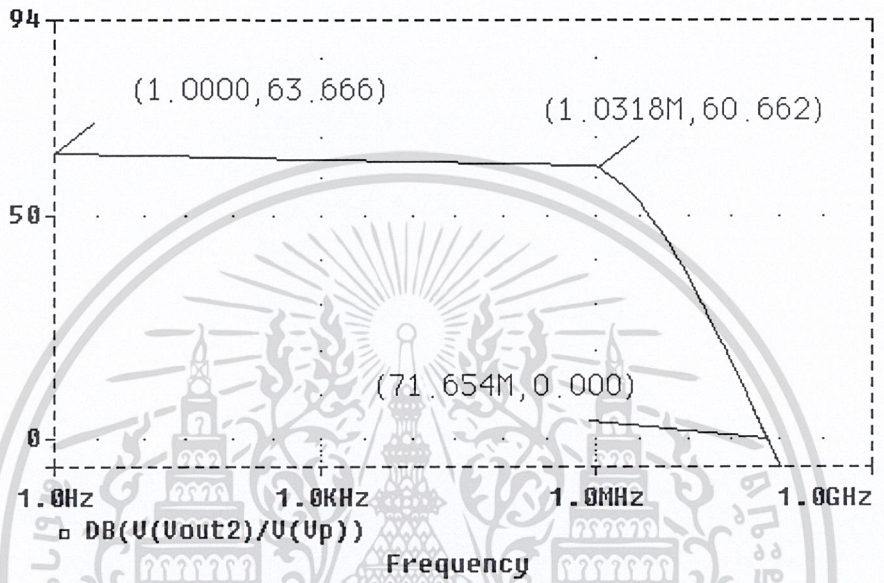
8. ตั้งค่า v_p เป็น AC = 1 mV และ ต่อ v_N ลงกราวด์ ใช้วิธี AC Sweep

ความถี่สูงคัทออฟ = 1.0318 MHz

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

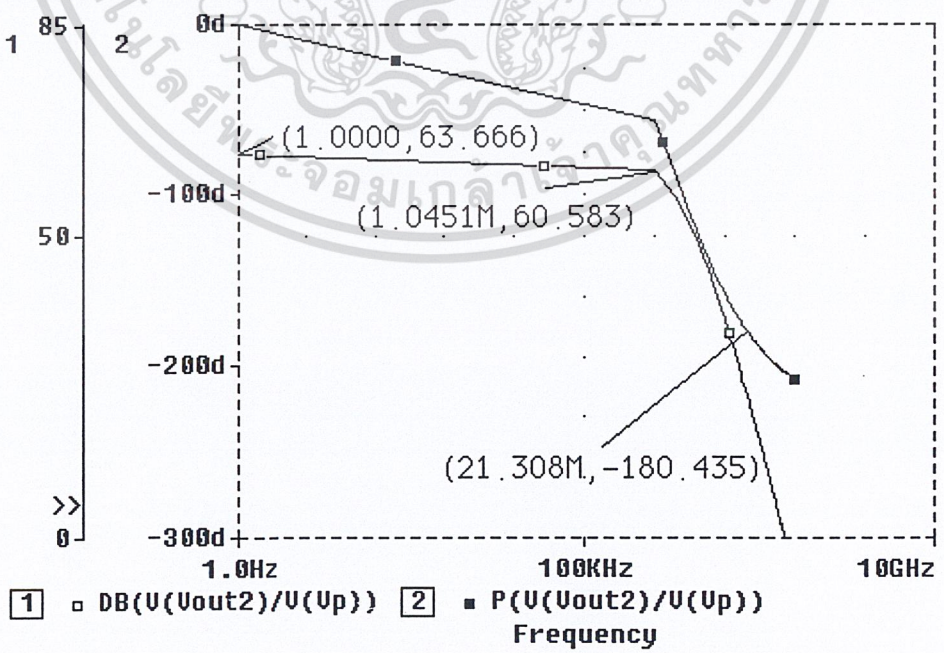
Gain-BW = 71.654 MHz

จะได้กราฟผลตอบสนองทางความถี่ดังรูปที่ 4.10



รูปที่ 4.10 กราฟการตอบสนองความถี่ของวงจรคอมพาราเตอร์สองภาค

จากนั้นทดลองพล๊อตการเลื่อนเฟสของแรงดันเอาต์พุตต่ออินพุตจะได้ดังรูปที่ 4.11



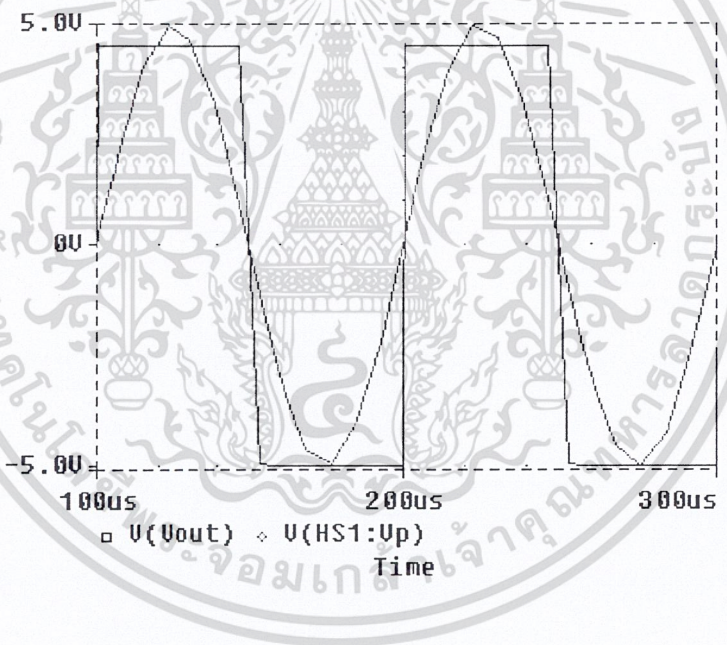
รูปที่ 4.11 กราฟการตอบสนองทางเฟสของวงจรคอมพาราเตอร์สองภาค

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ซึ่งจะเห็นว่า ถ้านำวงจรนี้มาใช้โดยการต่อ Negative feedback แบบ unity gain feedback จะทำให้วงจรเกิดการออสซิเลชั่นขึ้น เพราะจะเกิดการป้อนกลับแบบบวกขึ้นแทน ซึ่งโดยปกติแล้วการใช้งานคอมพาราเตอร์จะไม่มีการป้อนกลับแบบลบ จึงไม่ต้องมีการแก้ไขปัญหาการเกิดออสซิเลชั่น ส่วนที่ใช้ในการแก้ปัญหานี้เรียกว่า การชดเชยทางเฟส (Phase compensation) ในการออกแบบวงจรออปแอมป์จำเป็นต้องมีส่วนนี้ แต่สำหรับคอมพาราเตอร์แล้วไม่จำเป็นต้องมีก็ได้

9. การทดลองใช้งานเป็นวงจรเปรียบเทียบระดับแรงดันที่ศูนย์โวลท์

ต่อวงจรดังรูปที่ 4.2 โดยป้อนแรงดันอินพุต v_P sine VOFF = 0 V , VAMPL = 5 V, FREQ=10KHz v_N ต่อลงกราวด์ แล้ววัดสัญญาณที่เอาต์พุตจะได้ดังรูปที่ 4.12

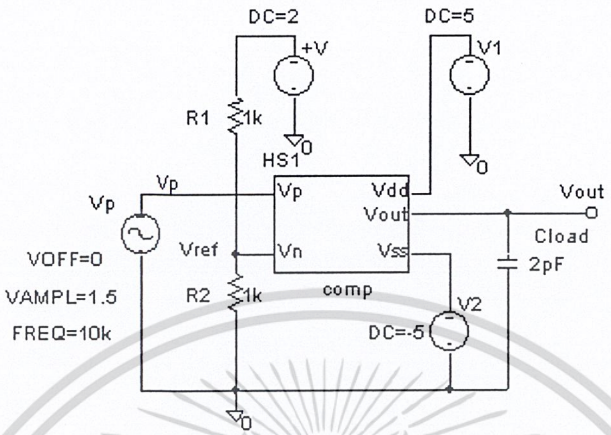


รูปที่ 4.12 สัญญาณเอาต์พุตของวงจรคอมพาราเตอร์เปรียบเทียบระดับแรงดันที่ศูนย์

10. การทดลองใช้งานเป็นวงจรเปรียบเทียบระดับแรงดันที่ไม่ใช่ศูนย์โวลท์

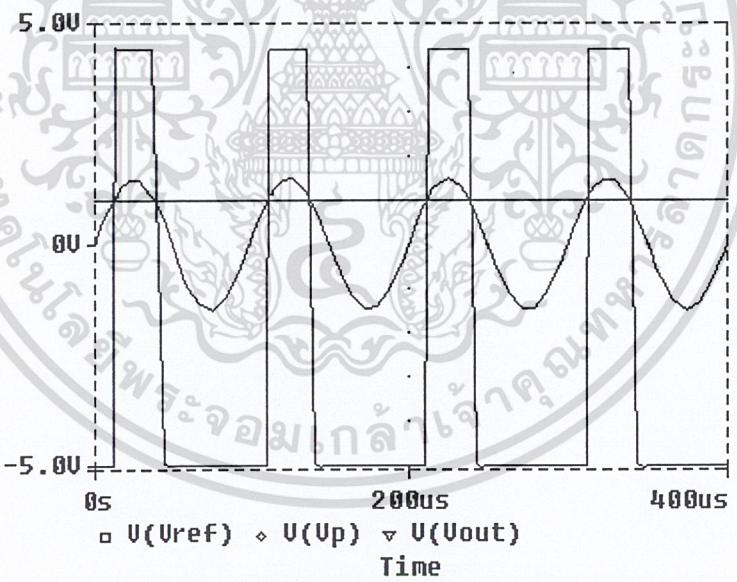
โดยต่อวงจรดังรูปที่ 4.13 ซึ่งจะได้ค่า $V_{REF} = \frac{R_2}{R_1 + R_2}(+V)$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.13 วงจรเปรียบเทียบระดับแรงดันที่ไม่เป็นศูนย์โวลท์

จากรูปวงจรมี V_{REF} = 1 V ผลการทดลองแสดงดังรูปที่ 4.14



รูปที่ 4.14 สัญญาณเอาต์พุตของวงจรรูปที่ 4.13

สรุปผลการทดลอง

พารามิเตอร์	ค่าที่ได้จากการทดลอง	ค่าที่ได้จากการออกแบบ
อัตราขยาย	63 dB	>66 dB
GB	71.654 MHz	-
BW	1 MHz	-
CMR	+2.9,-2.4	+2,-2

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

SR	224.6 V/μs	>100 V/μs
O/P Swing	+3.5,-3.5	+3,-3
CMRR	76.73 dB	-
V_{OFF}	145.532 μV	-
Z_{out}	44.488 KΩ	-

จากการทดลอง พบว่า อัตราขยายแรงดันที่ได้มีค่าต่ำกว่าที่คำนวณไว้มาก ซึ่งถ้าหากต้องการเพิ่มอัตราขยายแรงดันขึ้นอีกก็อาจทำได้โดย ลดกระแส M_6 หรือกระแส M_5 ลง หรือจะเพิ่มขนาดของ M_1 หรือ M_6 ซึ่งถ้าหากอัตราขยายมีค่ามากขึ้นก็จะมีผลต่อค่า GB และค่า BW คือจะทำให้ ค่า GB และค่า BW ต่ำลงด้วย การออกแบบนี้ยึดหลักว่าให้ขนาดของมอสเฟ็ทเล็กที่สุดและได้อัตราขยายสูงที่สุด และได้ค่า BW มากที่สุด ดังนั้นจึงต้องออกแบบให้เหมาะสมกับการใช้งาน เพราะเป็นการยากที่จะได้คุณสมบัติทุกอย่างดีที่สุดพร้อมกัน

หลังจากที่ได้ทำการจำลองการทำงานเพื่อดูความถูกต้องในการออกแบบแล้ว เราสามารถนำข้อมูลที่ได้จากการจำลองการทำงานมาปรับปรุงการออกแบบอีกครั้งหนึ่งได้ เพื่อให้การทำงานของวงจรดียิ่งขึ้น เพราะการคำนวณของเรานั้นความถูกต้องยังสู้การใช้โปรแกรมไม่ได้ รายละเอียดหลายอย่างที่เรายังไม่ได้นำมาใช้ในการคำนวณ จากการออกแบบและทดลองที่ผ่านมาได้เปลี่ยนขนาดของ M_3 และ M_4 เพียงเล็กน้อยโดยอาศัยข้อมูลที่ได้จากการจำลองการทำงาน ก็ทำให้สามารถลดค่าแรงดันอินพุตออฟเซตลงได้ ซึ่งแรงดันอินพุตออฟเซตนี้จะมีผลกระทบต่อการทำงานของวงจรที่ต้องการความละเอียดสูงอย่างมาก

4.2 การออกแบบวงจรคอมพาราเตอร์ที่มีการชดเชยแรงดันออฟเซต

ข้อกำหนดของการออกแบบมีดังนี้คือ จะทำการออกแบบคอมพาราเตอร์ ที่มีการชดเชยแรงดันอินพุตออฟเซต ซึ่งสามารถนำไปใช้งานเป็นคอมพาราเตอร์ในวงจรแปลงสัญญาณอนาลอกเป็นสัญญาณดิจิตอลได้ ทำให้ลดแรงดันออฟเซตของวงจรแปลงสัญญาณอนาลอกเป็นสัญญาณดิจิตอลเช่นกัน จากข้อกำหนดของวงจรแปลงสัญญาณอนาลอกเป็นสัญญาณดิจิตอล จะได้ข้อกำหนดของการออกแบบคอมพาราเตอร์ดังนี้ มีค่าแรงดันอินพุตอนาล็อก –2 V ถึง 2 V มีรีโซลูชั่น (resolution) 3 บิต ความเร็วในการทำงานมากที่สุดเท่าที่จะทำได้ แรงดันไฟเลี้ยง V_{DD}= +5V V_{SS} = –5V ให้มีแรงดันเอาท์พุตเพียงพอที่จะสามารถป้อนลอจิกของซีมอสได้ แรงดันเอาต์พุตจะต้องถูกต้องภายในเวลาครึ่งคาบของสัญญาณนาฬิกา และสามารถขับโหลดที่เป็นตัวเก็บประจุอย่างน้อย

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

0.4 pF ได้ โดยวงจรคอมพาราเตอร์ยังทำงานได้ถูกต้องแม้มีความแตกต่างของแรงดัน V_T ของคู่มอสเฟ็ทสูงถึง 10 mV

จากค่า Resolution 3 บิต จะได้ V_{LSB} = peak-to-peak input/(2^N) =4/(2^3) =0.5 V

แต่จะต้องเผื่อความผิดพลาดอีก (1/2)V_{LSB} = 0.25 V

อัตราขยายของคอมพาราเตอร์ $A > \frac{V_{out}}{V_{LSB}/2} = \frac{10}{0.25} = 40$

จากข้อกำหนดว่าจะนำคอมพาราเตอร์ไปใช้สำหรับวงจรแปลงสัญญาณอนาลอกเป็นสัญญาณดิจิตอล จะเห็นได้ว่าเราสามารถนำวงจรที่ออกแบบมาแล้วมาปรับปรุง โดยเพิ่มวงจรชดเชยแรงดันอินพุออฟเซตเข้าไป ดังนั้นทำการออกแบบเฉพาะส่วนชดเชยแรงดันออฟเซต ซึ่งจะใช้วงจรชดเชยเหมือนรูปที่ 3.22

เนื่องจากมอสเฟ็ททุกตัวที่ต่อเพิ่มในวงจรชดเชยแรงดันออฟเซตนั้นทำหน้าที่เป็นสวิตช์ การหาขนาดของมอสเฟ็ทนั้นใช้หลักการที่ว่า ถ้ามอสเฟ็ทมีขนาดใหญ่จะทำให้ความต้านทานขณะนำกระแสลดลงซึ่งมีผลทำให้วงจรทำงานได้ความถี่สูงขึ้น เพราะค่า RC time constant ต่ำ แต่การใช้มอสเฟ็ทขนาดใหญ่จะทำให้เกิดปัญหาเรื่องของ ชาร์จอินเจกชั่น และ คล็อก ฟีด ธรู ผลคือจะเกิดแรงดันอินพุตออฟเซตมากขึ้นไปอีก ดังนั้นเพื่อให้แรงดันออฟเซตมีค่าต่ำที่สุดโดยไม่สนใจเรื่องของความต้านทานที่เกิดขึ้นแล้ว เราจะให้ มอสเฟ็ทที่ใช้ในส่วนวงจรชดเชยแรงดันออฟเซตมีค่า S = 1 ส่วนค่า C_{AZ} นั้นก็มีผลต่อแรงดันออฟเซตเช่นกัน คือถ้า C_{AZ} มีค่าต่ำ ก็จะทำให้ RC time constant ต่ำด้วย ซึ่งเป็นผลดีในการทำงานได้เร็วขึ้น แต่ถ้ามีค่าต่ำมากก็จะทำให้ ผลของชาร์จอินเจกชั่น และ คล็อก ฟีด ธรู มีค่าสูง ดังนั้นเพื่อให้ได้แรงดันออฟเซตต่ำที่สุดเราจะใช้ ค่า C_{AZ} =20 pF

การชดเชยแรงดันออฟเซตนั้นมีการต่อวงจรแบบ unity-gain ดังนั้นถ้าต้องการนำเอาวงจรคอมพาราเตอร์สองภาคมาใช้ต้องมีการชดเชยทางเฟสด้วย การชดเชยทางเฟสทำได้โดยการต่อตัวเก็บประจุที่ทำให้โพลของวงจรเปลี่ยนไปจนทำให้เฟสระหว่างเอาต์พุตกับอินพุตมีค่าเปลี่ยนแปลงไปไม่เกิน 180 องศาที่ความถี่ F_T ค่าตัวเก็บประจุที่นำมาต่อหาได้จาก

$$C_C = 2.2 g_{m2} \frac{C_L}{g_{m6}} = 2.2\sqrt{2K_2 I_2}\,\frac{0.4\times10^{-12}}{\sqrt{2K_6 I_6}}$$

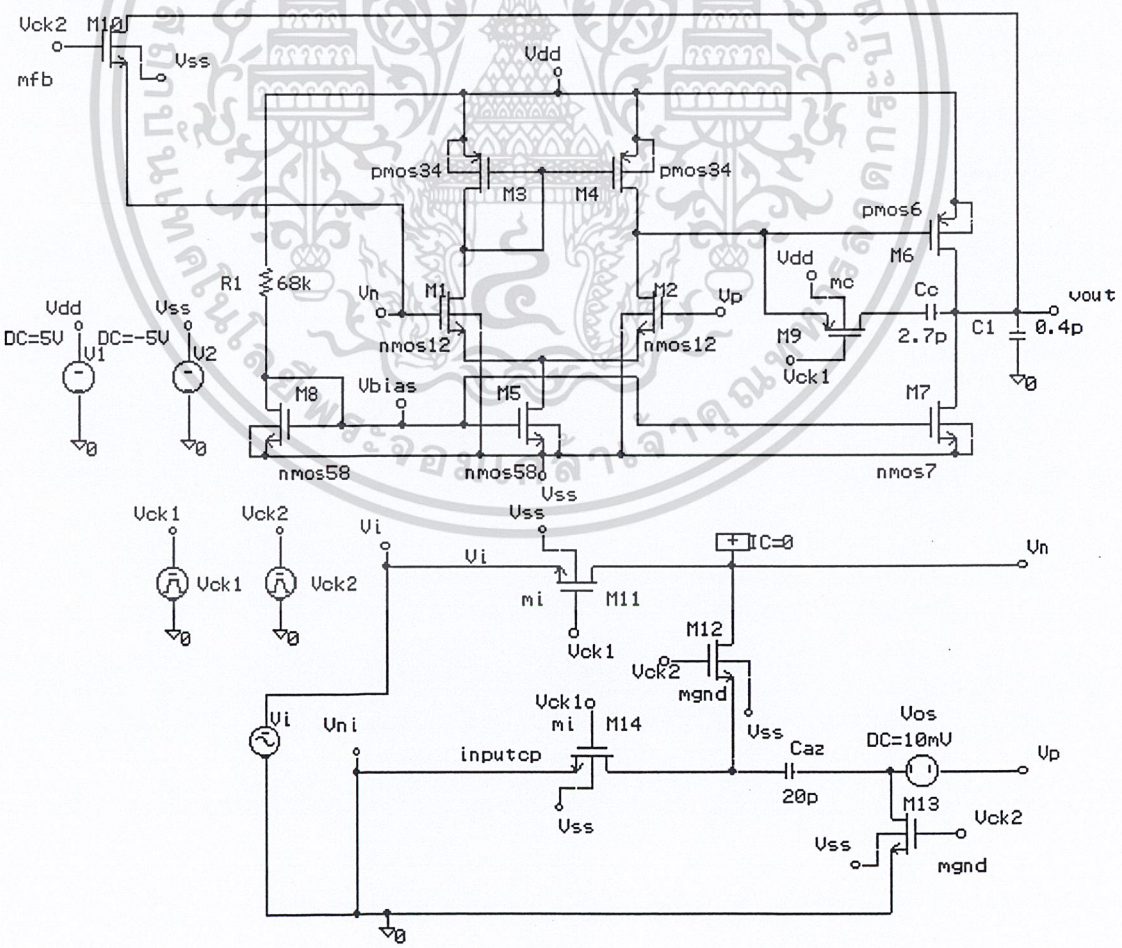
$$= 2.2\frac{\sqrt{2(52.89\times10^{-6})102(52.9\times10^{-6})}}{\sqrt{2(19.15\times10^{-6})8(200\times10^{-6})}}0.4\times10^{-12} = 2.7\ \text{pF}$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

แต่ถ้าเราต่อ C_C เข้าไปในวงจรแล้วก็จะทำให้ BW ของวงจรลดลงมากดังนั้นขณะที่วงจรอยู่ระหว่างการต่อแบบ unity-gain เราจะต่อ C_C ไว้ในวงจร แต่ขณะที่วงจรทำงานปกติเราจะเอา C_C ออกจากวงจร ซึ่งทำได้โดยต่อสวิตช์เข้าไปเพื่อตัดต่อ C_C ในวงจร ขนาดของมอสเฟ็ทที่นำมาใช้สร้างเป็นสวิตช์ให้กับ C_C ได้คำนึงถึงผลของความต้านทานของมอสเฟ็ทขณะนำกระแสซึ่งได้ผลมาว่าควรให้มีความต้านทานประมาณ 8 KΩ นำค่านี้ไปคำนวณหาขนาดของ P MOS T จะได้ S = 1.62 หรือ (W/L) = 8/5

4.2.1 ผลการจำลองการทำงาน

ทำการต่อวงจรดังรูปที่ 4.15 ป้อนสัญญาณอินพุตที่ขา Vi (inverting) ด้วย แหล่งจ่ายแบบ VPWL t1=4u v1=0 , t2=8u v2=-50mV, t3=12u v3=50mV ต่อขา Vni (noninverting) ลงกราวด์ แต่เพื่อให้เห็นชัดเจนมากยิ่งขึ้นว่า วงจรสามารถลดแรงดันออฟเซตได้จริงจึงต่อแหล่งจ่ายไฟตรง



รูปที่ 4.15 วงจรคอมพาราเตอร์สองภาคที่มีการชดเชยแรงดันอินพุตออฟเซต

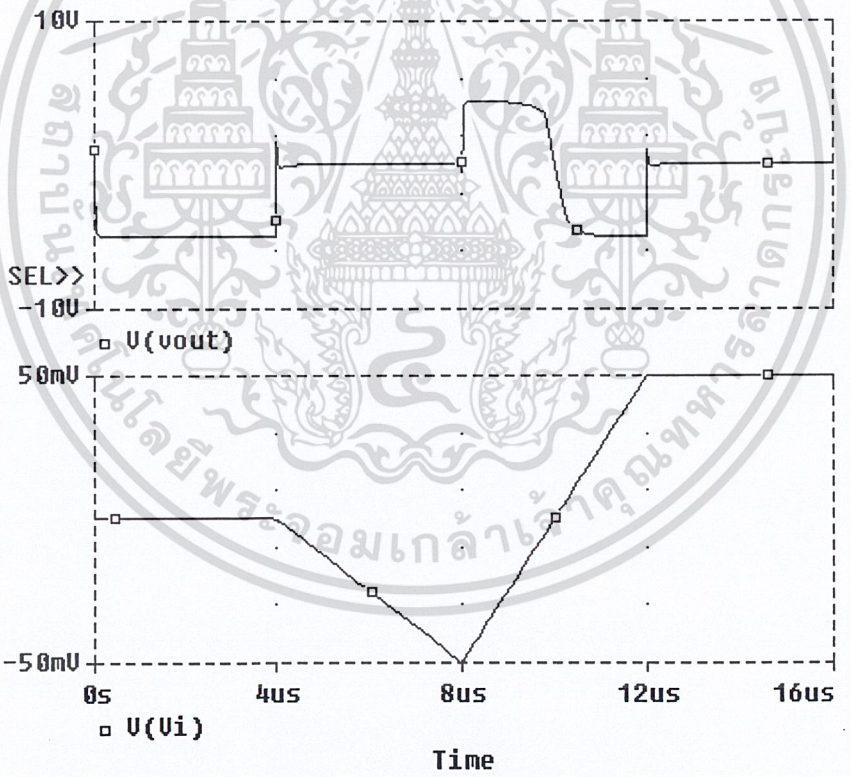
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เข้าที่อินพุต Vni 10 mV ทำเป็นแรงดันออฟเซตนั่นเอง ซึ่งถ้าหากว่า แรงดัน V_T ของคู่มอสเฟ็ทต่างกันเท่าใด แรงดันออฟเซตจะปรากฏ มีค่าเท่านั้นด้วย

สัญญาณนาฬิกามีความถี่ 125 kHz Vck1 Vck2 กลับเฟสกัน 180 องศา

เมื่อใช้คำสั่ง Transient analysis จะได้สัญญานอินพุตและเอาต์พุตดังรูปที่ 4.16 แต่เราจะทำการหาแรงดันออฟเซตโดยการกำหนดให้โปรแกรมกวาดค่าแรงดันอินพุตแล้วหาค่าแรงดันเอาต์พุตออกมาจะได้ดังรูปที่ 4.17

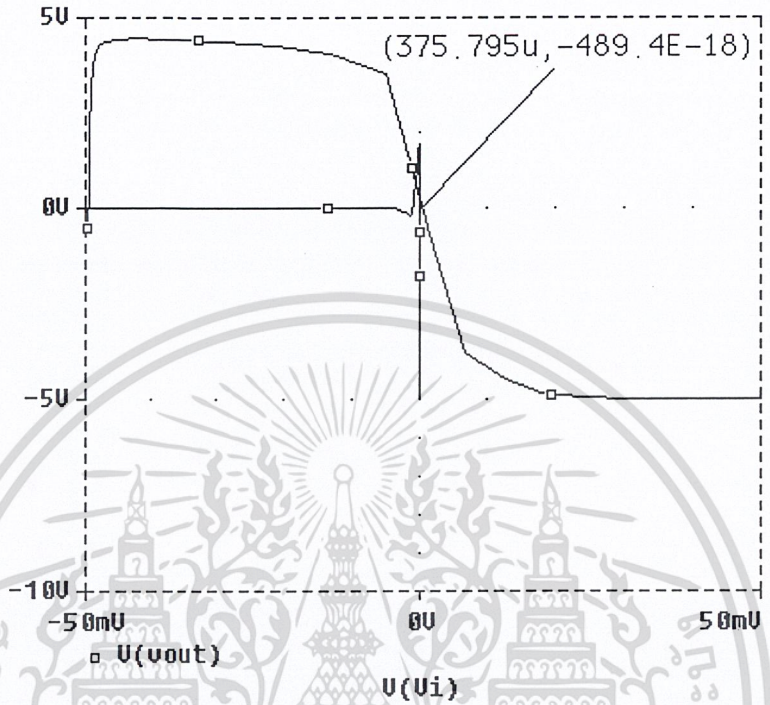
จากรูปวงจรจะเห็นว่าได้มีการเพิ่มแรงดันออฟเซตให้กับวงจรจนมีค่า 10 mV แล้วดูผลการทำงานของวงชดเชยออฟเซตพบว่าสามารถลดแรงดันออฟเซตจาก 10mV เหลือเพียง 375.795 μV



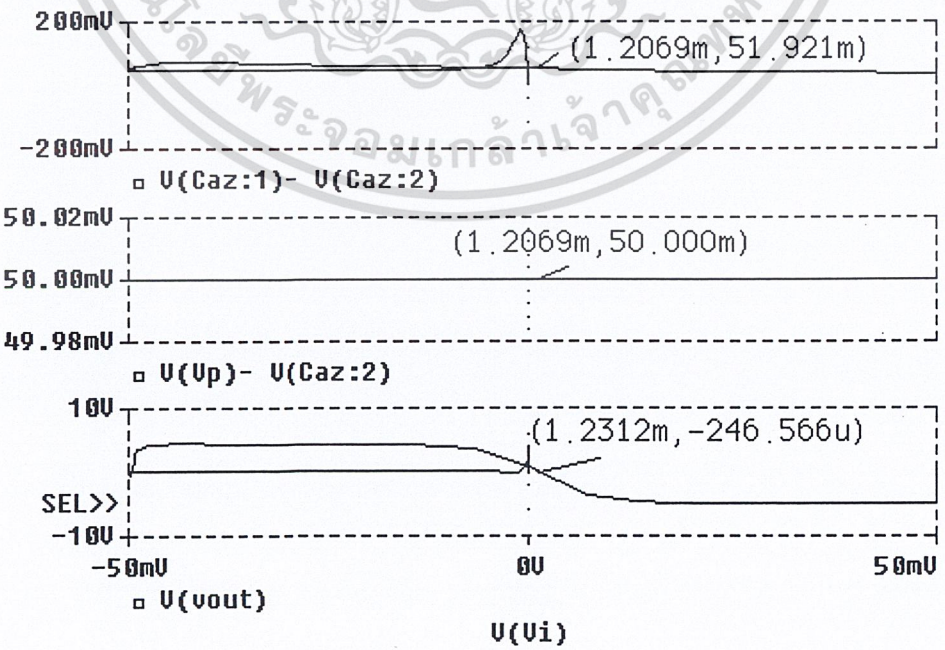
รูปที่ 4.16 สัญญาณอินพุตที่ป้อนให้วงจรที่มีการชดเชยออฟเซตและสัญญาณเอาต์พุต

ลองทำการทดลองซ้ำอีกครั้งแต่เพิ่มแรงดันออฟเซตเป็น 50 mV แล้วหาแรงดันออฟเซตที่ได้จากวงจรนี้ แสดงผลในรูปที่ 4.18

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.17 กราฟเพื่อหาแรงดันออฟเซตของวงจรที่มีการชดเชยออฟเซต

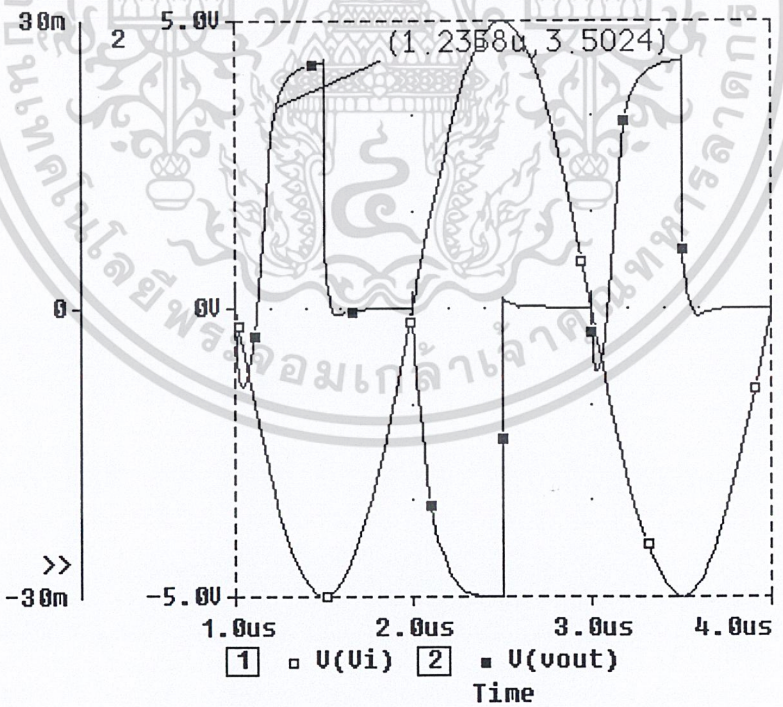


รูปที่ 4.18 แรงดันออฟเซตของวงจรที่ชดเชยแรงดันออฟเซตขนาด 50 mV

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ต่อไปทำการป้อนสัญญานอินพุตที่ขา Vi ด้วยแหล่งจ่าย sine vampl=30mV freq=500 kHz voff=0 สัญญาณนาฬิกาที่ป้อนให้กับสวิตช์มีความถี่ 1 MHz จะได้สัญญาณเอาต์พุตดังรูปที่ 4.19 ซึ่งถือได้ว่าวงจรสามารถทำงานให้เอาต์พุตลอจิกแก่วงจรซีมอสได้ (วงจรซีมอสต้องการระดับแรงดันอินพุตต่ำและอินพุตสูง ประมาณ 30% และ70%ของแหล่งจ่าย ในที่นี้คือ ±3.5 V)แต่มีความถูกต้องเพียงแค่ 30mV เท่านั้น ถ้าอินพุตต่ำกว่านี้วงจรจะทำงานผิดพลาดเนื่องมาจากผลของสวิตช์มอสเฟ็ท

ในการทำงานของวงจร A/D converter จะต้องมีการใช้เวลาในการทำงานค่าหนึ่งดังนั้นเพื่อให้การทำงานถูกต้องตรงกับสัญญาณอินพุตที่เข้ามาจึงต้องมีวงจร sample and hold ในวงจร A/D converter บางครั้งจะมีวงจร sample and hold ภายในตัว ดังนั้นจึงได้ทำการทดลองสร้างวงจร sample and hold อย่างง่ายเพื่อทดลองว่าทำงานร่วมกับวงจรคอมพาราเตอร์ที่เราออกแบบได้ ต่อวงจรดังรูปที่ 4.20



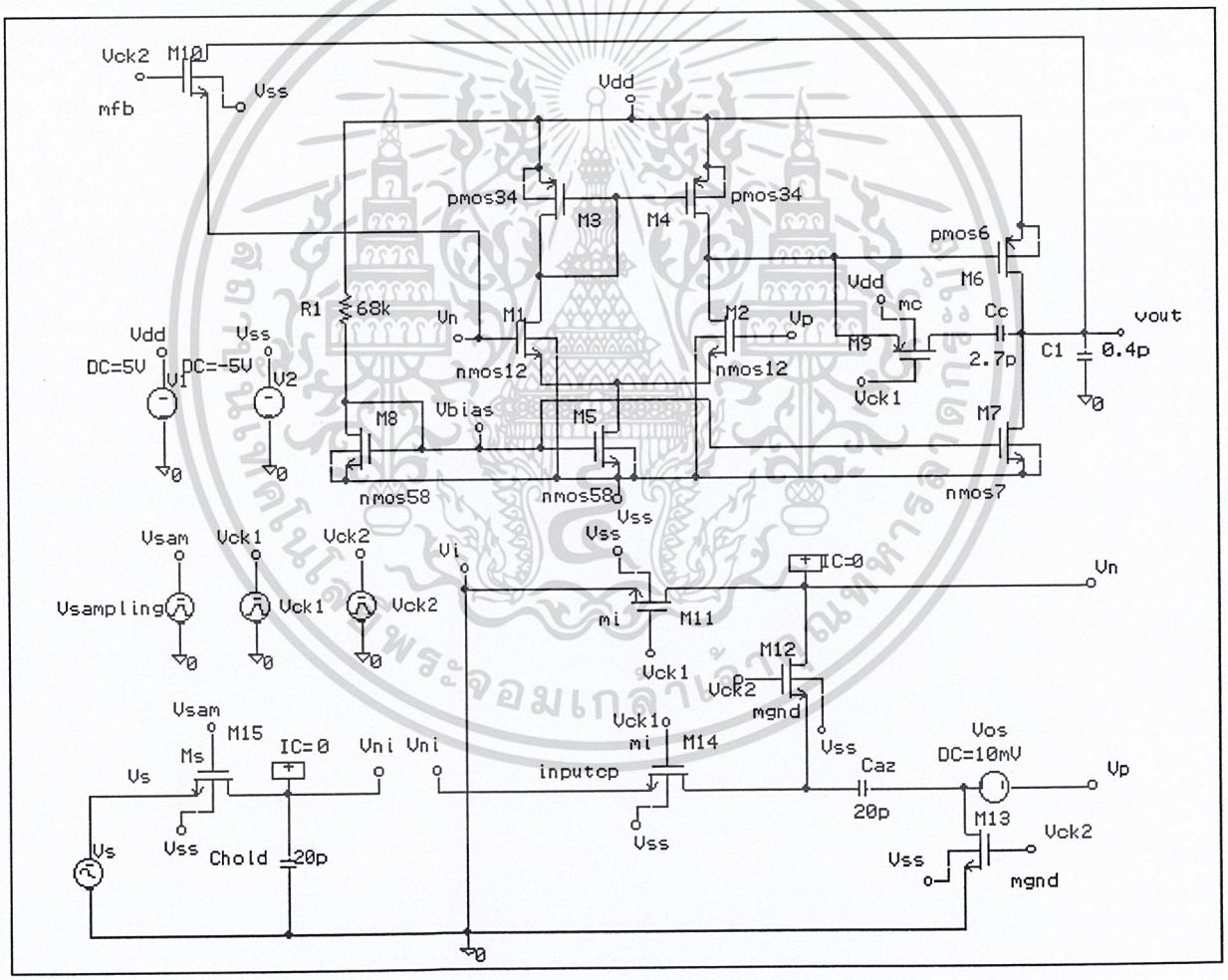
รูปที่ 4.19 สัญญาณเอาต์พุตของวงจรที่มีการชดเชยออฟเซต

ในการทำงานของวงจร A/D converter จะต้องมีการใช้เวลาในการทำงานค่าหนึ่งดังนั้นเพื่อให้การทำงานถูกต้องตรงกับสัญญาณอินพุตที่เข้ามาจึงต้องมีวงจร sample and hold ในวงจร A/D

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

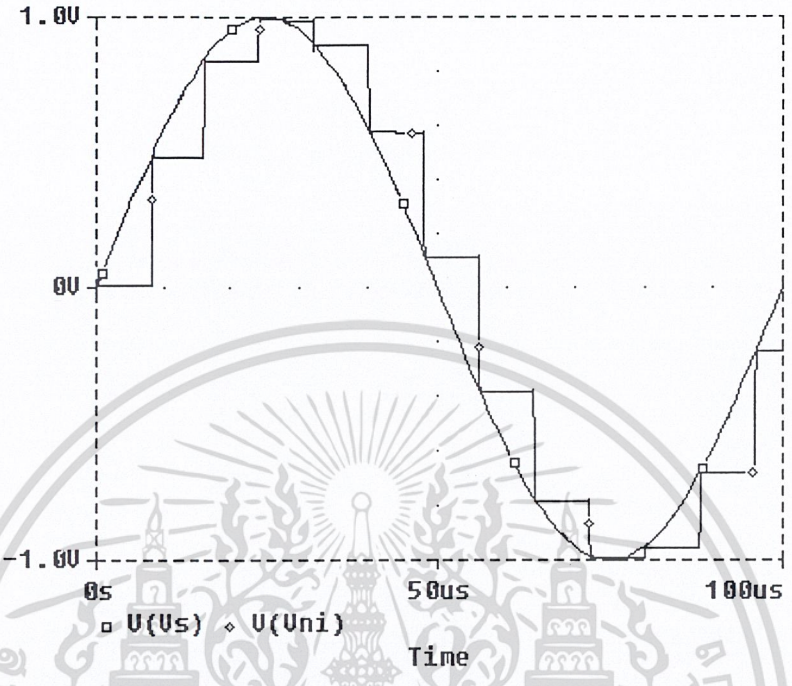
converter บางครั้งจะมีวงจร sample and hold ภายในตัว ดังนั้นจึงได้ทำการทดลองสร้างวงจร sample and hold อย่างง่ายเพื่อทดลองว่าทำงานร่วมกับวงจรคอมพาราเตอร์ที่เราออกแบบได้

ต่อวงจรดังรูปที่ 4.20 ป้อนสัญญาณ sine vampl=1 freq=10KHz voff=0 ใช้สัญญาณนาฬิกาความถี่ 125 kHz สัญญาณพัลซ์ที่ใช้ sampling ความถี่125 kHz pw=0.25u per=8u จะได้กราฟของสัญญาณเอาต์พุตของวงจร sample and hold ดังรูปที่ 4.21 และกราฟของสัญญาณเอาต์พุตที่ได้จากคอมพาราเตอร์ แสดงในรูปที่ 4.22

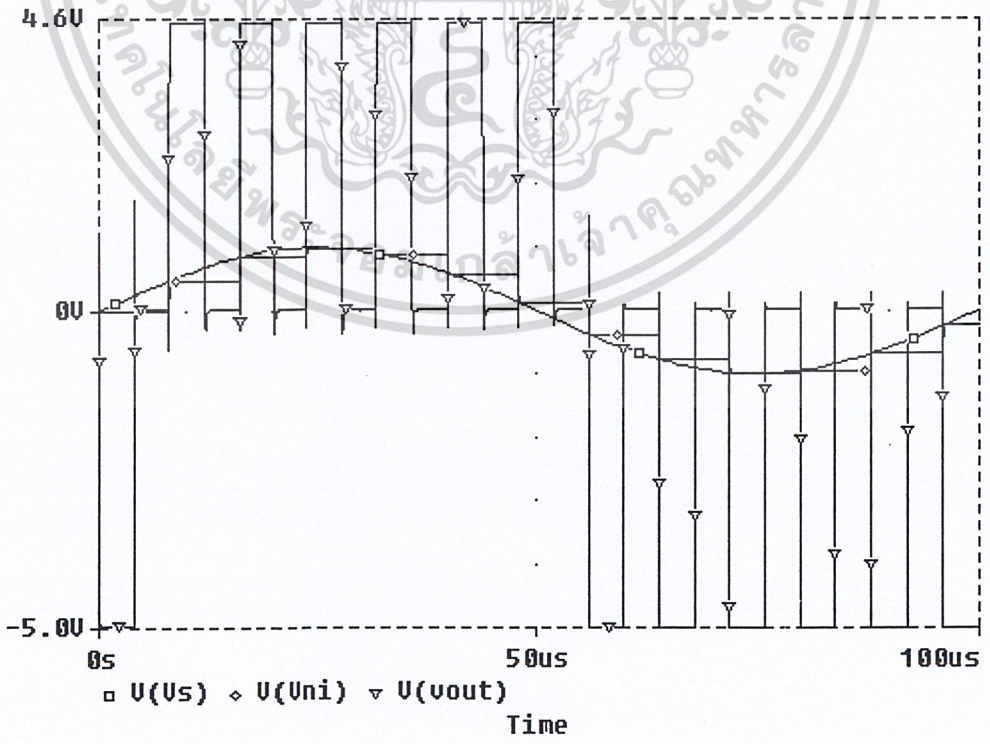


รูปที่ 4.20 วงจรsample and hold อย่างง่ายต่อกับวงจรคอมพาราเตอร์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.21 สัญญาณเอาต์พุตของวงจร sample and hold



รูปที่ 4.22 สัญญาณเอาต์พุตของวงจรคอมพาราเตอร์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4.2.2 สรุปผลการทดลอง

จากการทดลองพบว่าเทคนิคการชดเชยแรงดันอินพุทออฟเซตแบบออโต้ซีโร่ทำงานได้เมื่อวงจรเกิดแรงดันออฟเซตมากขึ้นซึ่งมีสาเหตุที่ไม่สามารถจะกำจัดได้ แต่สามารถใช้เทคนิคนี้ได้เป็นอย่างดี แต่ก็มีข้อเสียคือถ้านำคอมพาราเตอร์ไปใช้งานที่ความถี่สูง ๆ มอสเฟ็ทที่ทำหน้าที่เป็นสวิตช์จะเป็นตัวสร้างแรงดันออฟเซตขึ้นเสียเอง จึงต้องมีการปรับปรุง อนาลอกสวิตช์ให้มีคุณสมบัติดียิ่งกว่านี้ แต่ก็จะกลายเป็นการสิ้นเปลืองยุ่งยากขึ้นไปอีก เทคนิคของการชดเชยแรงดันออฟเซตยังมีอีกหลายวิธีที่ไม่ได้กล่าวไว้ที่นี้

วงจรที่ได้ทำการทดลองนี้สามารถทำงานได้เอาท์พุทเป็นลอจิกถูกต้องตามสัญญาณอินพุทที่มีขนาดน้อยที่สุดคือ 30 mV ดังนั้นจึงสามารถนำไปใช้เป็นคอมพาราเตอร์ใน A/D converter ที่มี resolution 6 บิตได้ และใช้สัญญาณนาฬิกาความถี่ 1 MHz

เมื่อนำวงจร sample and hold อย่างง่ายมาใช้ร่วมกับวงจรคอมพาราเตอร์พบว่าคอมพาราเตอร์ทำงานได้ดี แต่ วงจร sample and hold อย่างง่ายนี้มีปัญหาเรื่องสวิตช์เช่นกันจึงใช้งานที่ความถี่ประมาณ 125 kHz ไม่สามารถทำงานที่ความถี่สูงได้อย่างถูกต้อง

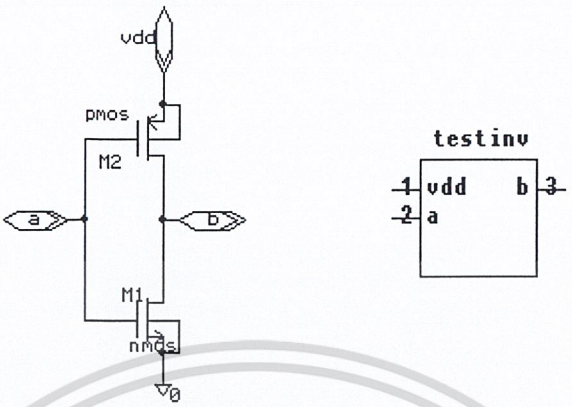
4.3 การออกแบบและการทดลองวงจรแลตช์

ในการออกแบบวงจรแลตช์เราตั้งข้อกำหนดดังนี้คือ พร็อบเพเกชั่นดีเลย์ไทม์ $<<1$ μs ซึ่งจะสังเกตได้ว่าวงจรแลตช์มีลักษณะการต่อวงจรที่มีการป้อนกลับแบบบวก การทำงานของวงจรจึงเร็วมากเมื่อเทียบกับความเร็วของคอมพาราเตอร์ ดังนั้นเราจึงไม่ต้องกังวลเรื่องความเร็วของวงจรแลตช์จะไม่พอ การออกแบบจึงยึดหลักการที่ว่า ให้ขนาดของมอสทรานซิสเตอร์มีขนาดเล็ก และให้วงจรทำงานแบบสมมาตรคือมี ค่าไรซ์ไทม์เท่ากับค่าฟอลไทม์ เพื่อที่จะให้ค่าไรซ์ไทม์เท่ากับค่าฟอลไทม์ เราจะต้องให้ขนาดของพีมอสทรานซิสเตอร์ใหญ่เป็น 2.5 เท่าของ ขนาดของเอ็นมอสทรานซิสเตอร์ ซึ่งจากข้อกำหนดนี้จะได้วงจรอินเวอร์เตอร์ ที่มี ขนาดของ เอ็นมอสทรานซิสเตอร์ W/L = 10/5 และขนาดของพีมอสทรานซิสเตอร์ W/L = 25/5 และเราจะใช้ขนาดของเอ็นมอสทรานซิสเตอร์ และพีมอสทรานซิสเตอร์ขนาดเดียวกันนี้กับวงจรเกตอื่นๆ ด้วย

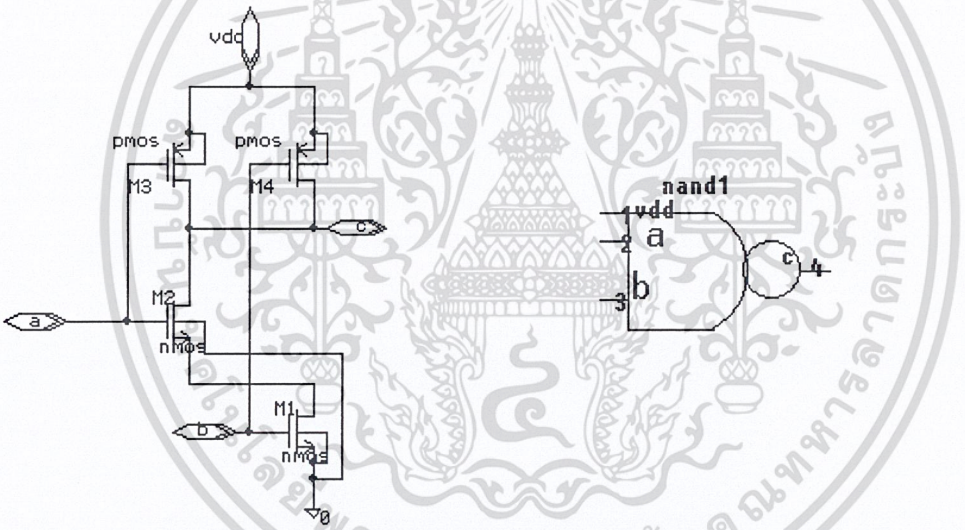
4.3.1 ผลการทดลอง

ทำการสร้างวงจรย่อยของอินเวอร์เตอร์ดังรูปที่ 4.23วงจรย่อยของแนนเกตโดยต่อวงจรดังรูปที่ 4.24 จากนั้นนำวงจรย่อยมาต่อร่วมกันเป็นวงจรแลตช์ดังรูปที่ 4.25 แล้วทำการทดลองโดยนำไปใช้ร่วมกับวงจรคอมพาราเตอร์ที่เราสร้างไว้แล้วว่าสามารถทำงานร่วมกันได้หรือไม่ ดังรูปที่ 4.26 โดยนำเอาสัญญานเอาต์พุตของวงจรที่มีการชดเชยแรงดันออฟเซตมาเป็นอินพุตของวงจรแลตช์ รูปที่ 4.27 แสดงสัญญาณเอาต์พุตที่ได้จากวงจรแลตช์

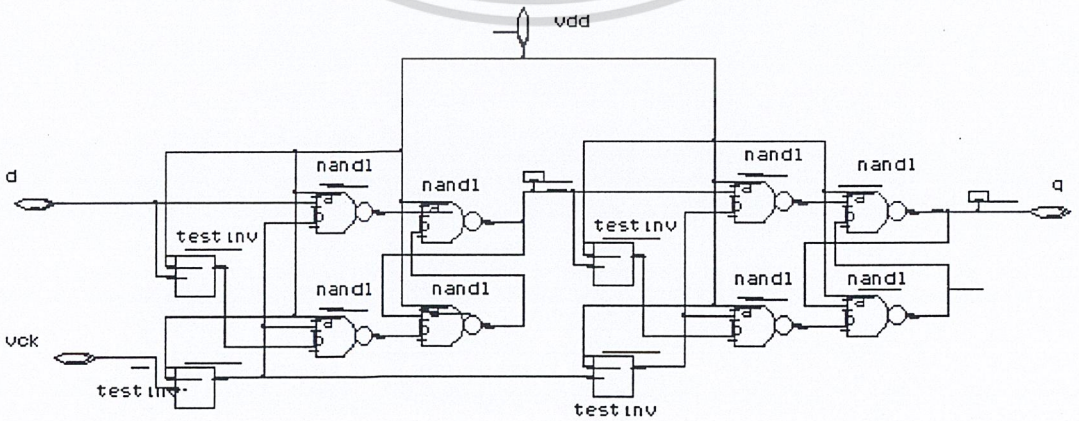
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.23 แสดงวงจรย่อยอินเวอร์เตอร์และสัญญลักษณ์

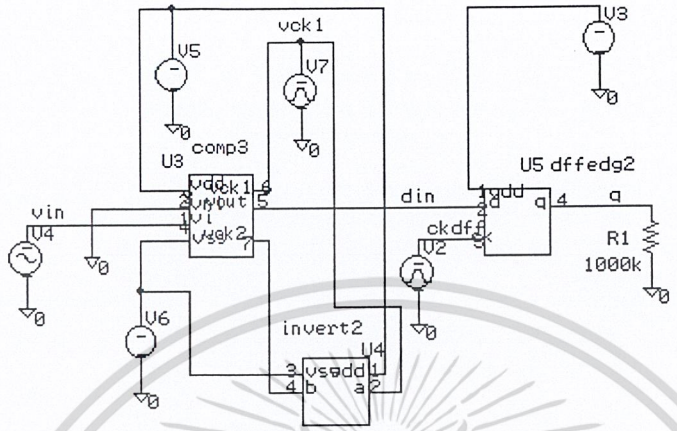


รูปที่ 4.24 แสดงวงจรย่อยแนนเกตและสัญลักษณ์ของวงจร

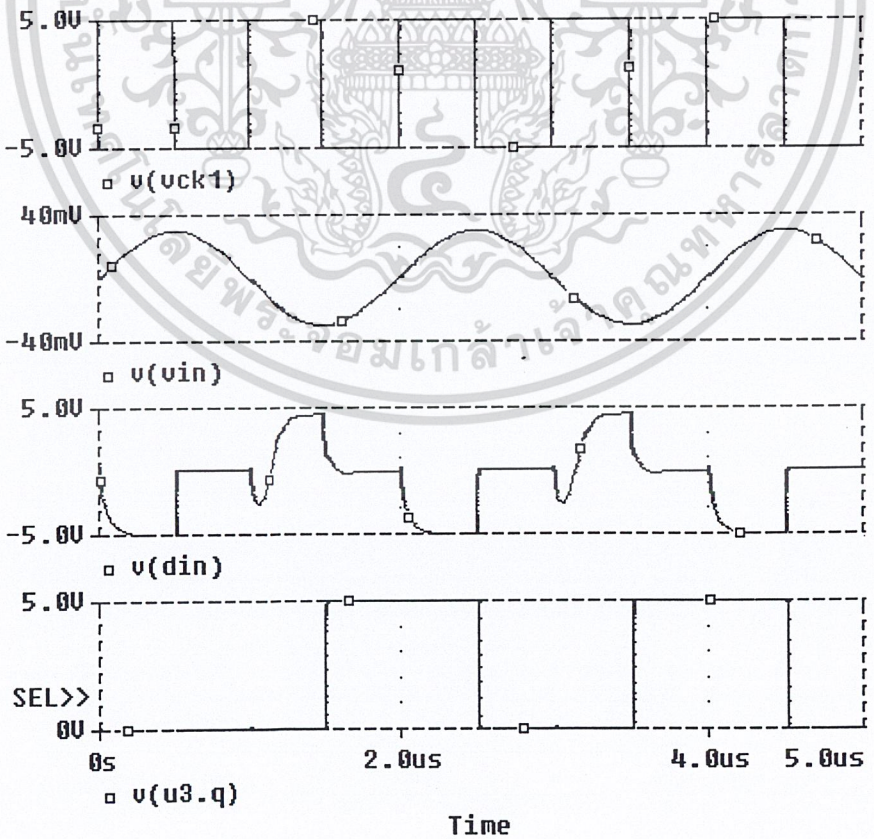


เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รูปที่ 4.25 แสดงวงจรแลตช์ที่ประกอบด้วยวงจรอินเวอร์เตอร์และวงจรแนนเกต



รูปที่ 4.26 แสดงการต่อวงจรเพื่อทดลองการทำงานของวงจรแลตช์ร่วมกับคอมพาราเตอร์

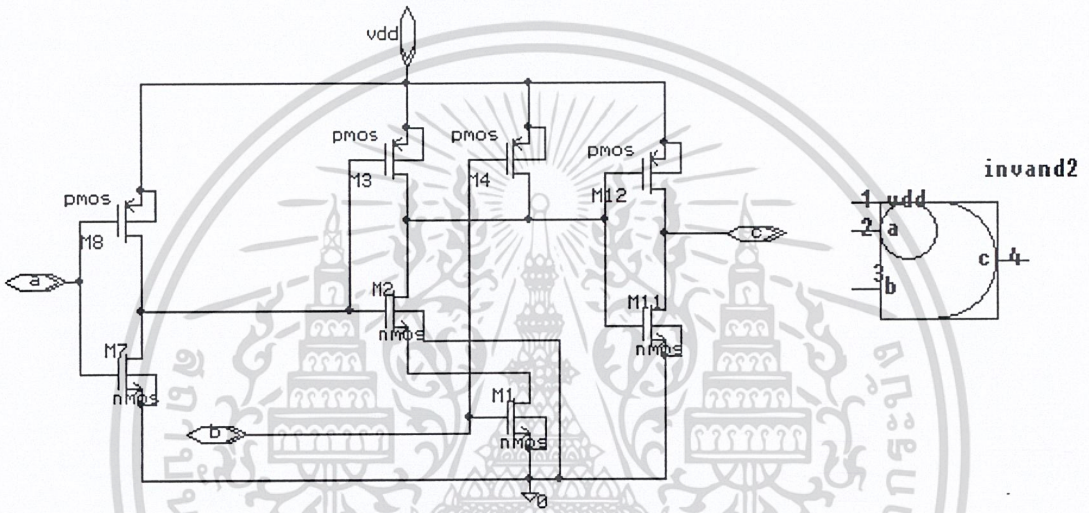


เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งนี้ ห้ามมิให้ลอกเลียนแบบ ดัดแปลง เผยแพร่ หรือนำไปใช้

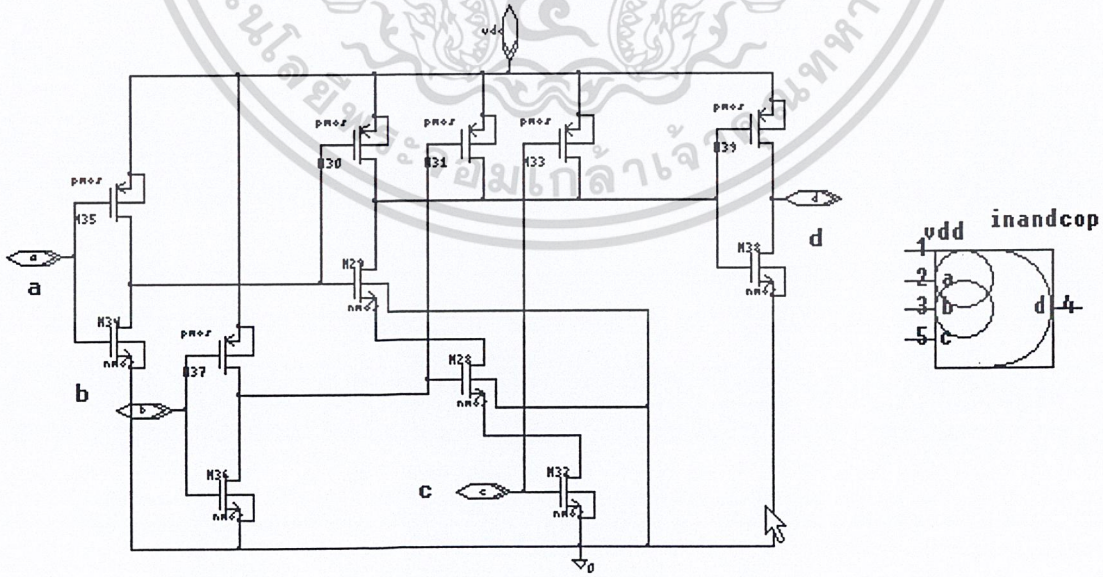
รูปที่ 4.27 แสดงผลการทดลองว่าวงจรแลตช์สามารถแลตช์ค่าเอาต์พุตของวงจร

4.4 การออกแบบและการทดลองวงจรไพรออริตี้เอ็นโค๊ดเดอร์

การออกแบบจะใช้ความรู้จากการออกแบบวงจรอินเวอร์เตอร์ซึ่งเป็นพื้นฐานที่จะนำไปสร้างเป็นวงจรเกตแบบต่างๆ ดังนั้นขนาดของเอ็นมอสทรานซิสเตอร์และพีมอสทรานซิสเตอร์จะยังคงใช้ขนาดเดียวกัน วงจรไพรออริตี้เอ็นโค๊ดเดอร์สำหรับแปลงเทอร์โมมิเตอร์โค๊ด 7 บิต เป็น รหัสไบนารี่ 3 บิตสร้างจากวงจร อิ นเวอร์เตอร์กับวงจรแอนเกต และวงจรออเกต

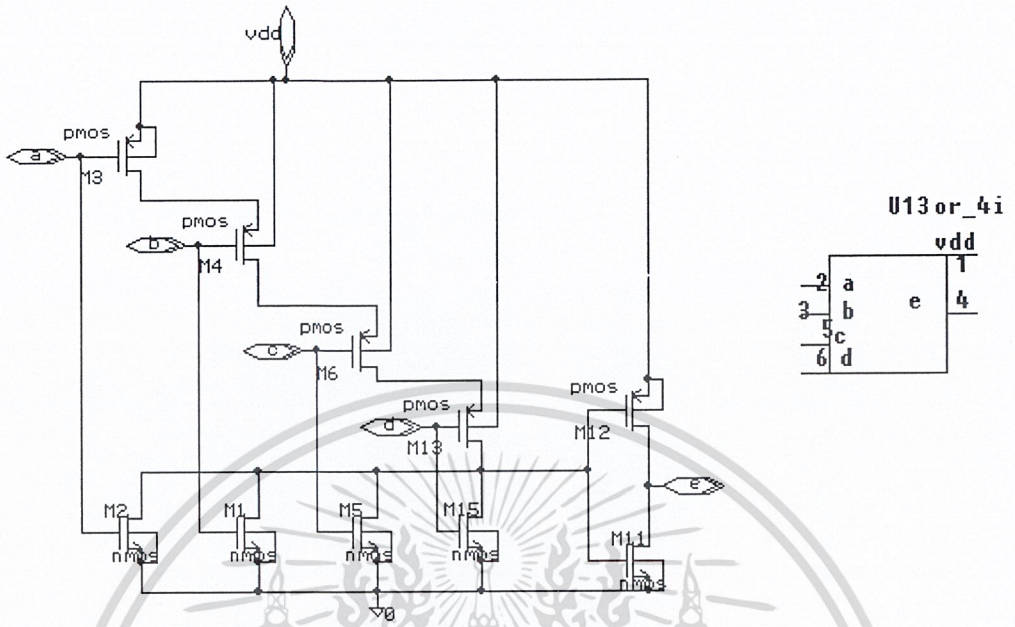


รูปที่ 4.28 วงจรอินเวอร์เตอร์กับแอนเกตและสัญญลักษณ์

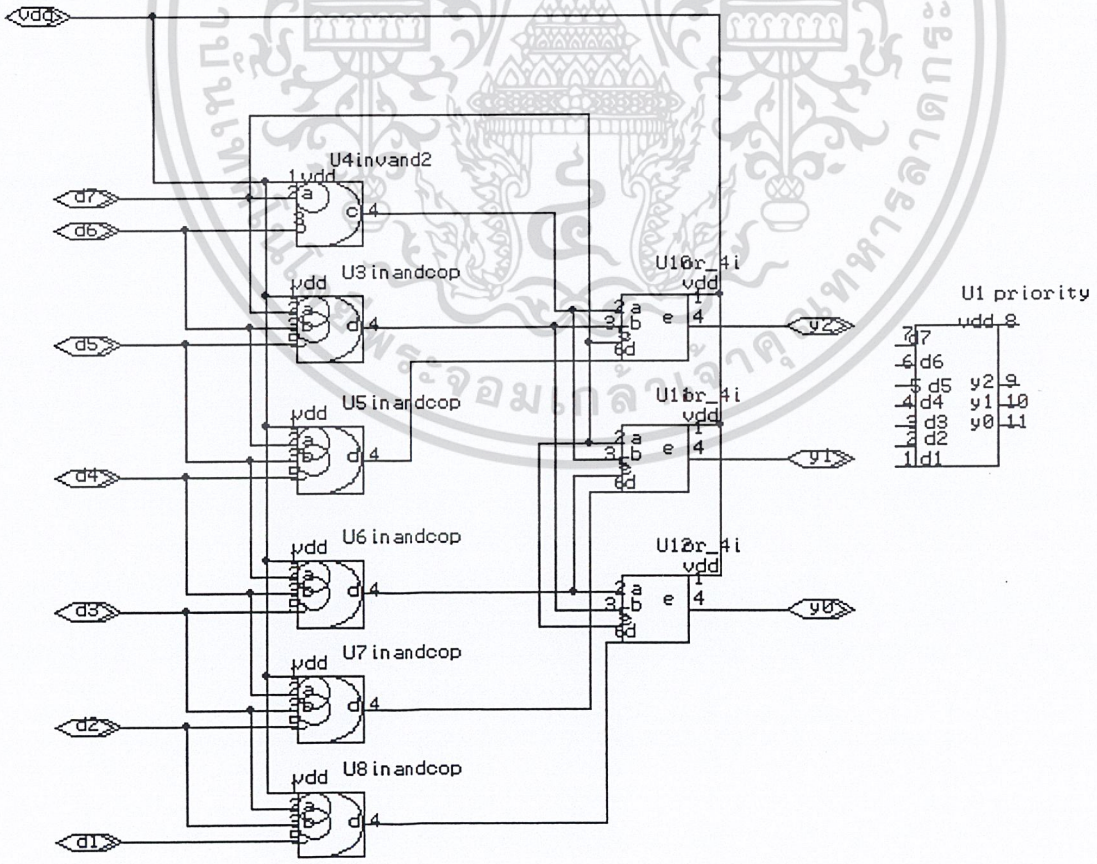


รูปที่ 4.29 วงจรอินเวอร์เตอร์กับแอนเกตแบบ 3 อินพุต และสัญญลักษณ์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.30แสดงวงจร ออเกต

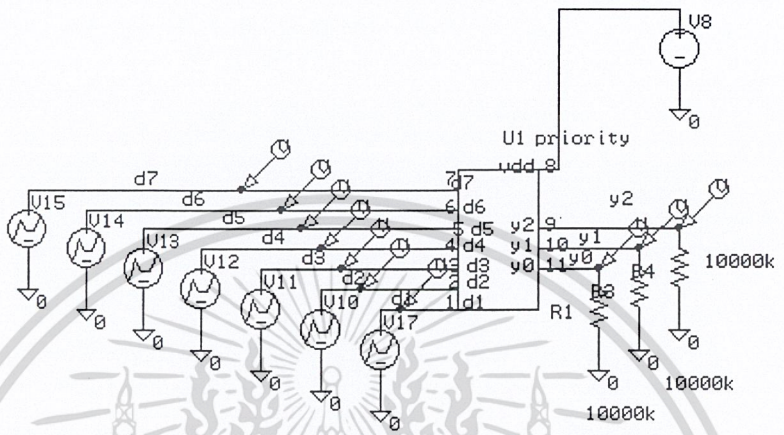


รูปที่ 4.31 แสดงวงจรไพรออริตี้เอ็นโค๊ดเดอร์และสัญญลักษณ์

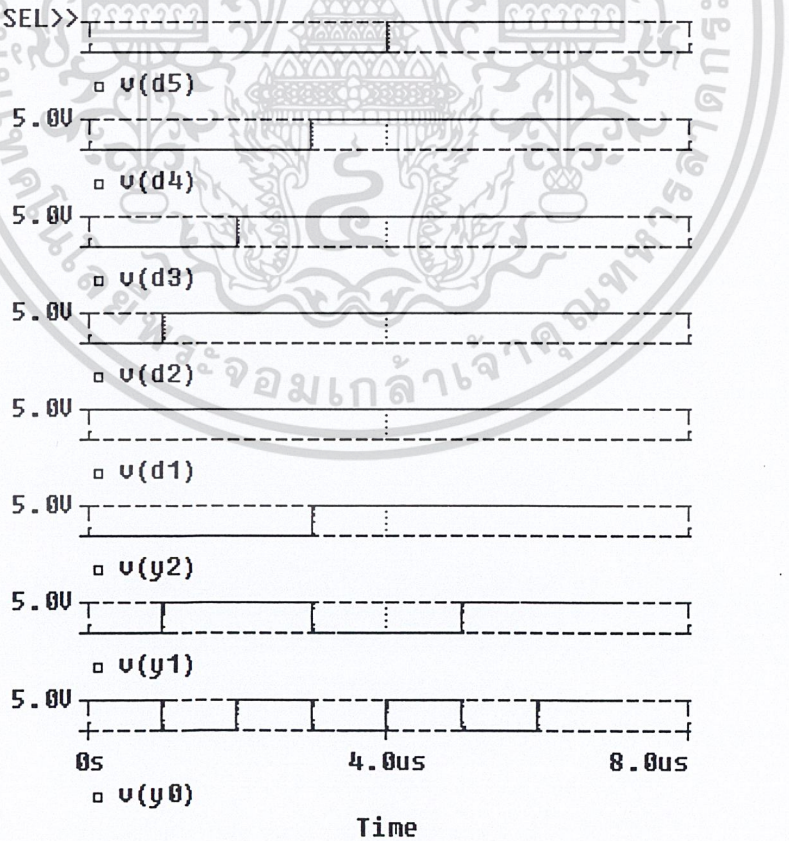
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4.4.1 ผลการทดลอง

วาดวงจรตามรูปที่ 4.32 แล้วทดลองป้อนอินพุตด้วยเทอร์โมมิเตอร์โค๊ด



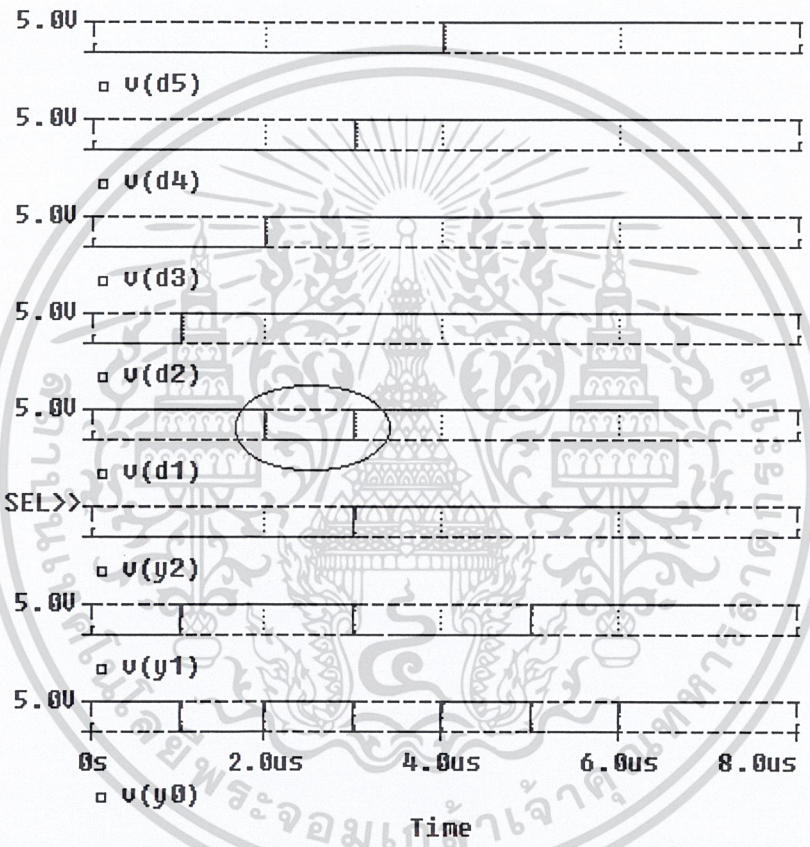
รูปที่ 4.32 แสดงวงจรทดลองการทำงานของไพรออริตี้เอ็นโค๊ดเดอร์



รูปที่ 4.33 แสดงผลดิจิตอลเอาต์พุต 3 บิตที่ได้จากวงจรไพรออริตี้เอ็นโค๊ดเดอร์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ในการออกแบบวงจรได้ออกแบบให้ป้องกันผลของบับเบิ้ลเออเร่อ(Bubble Error) ในการทดลองจึงทำการป้อนอินพุตเทอร์โมมิเตอร์โค๊ดที่มีบับเบิ้ลเข้าไปในวงจรไพรออริตี้ แล้วจำลองผลการทำงานว่าสามารถทำงานได้ถูกต้องดังรูปที่ 4.34

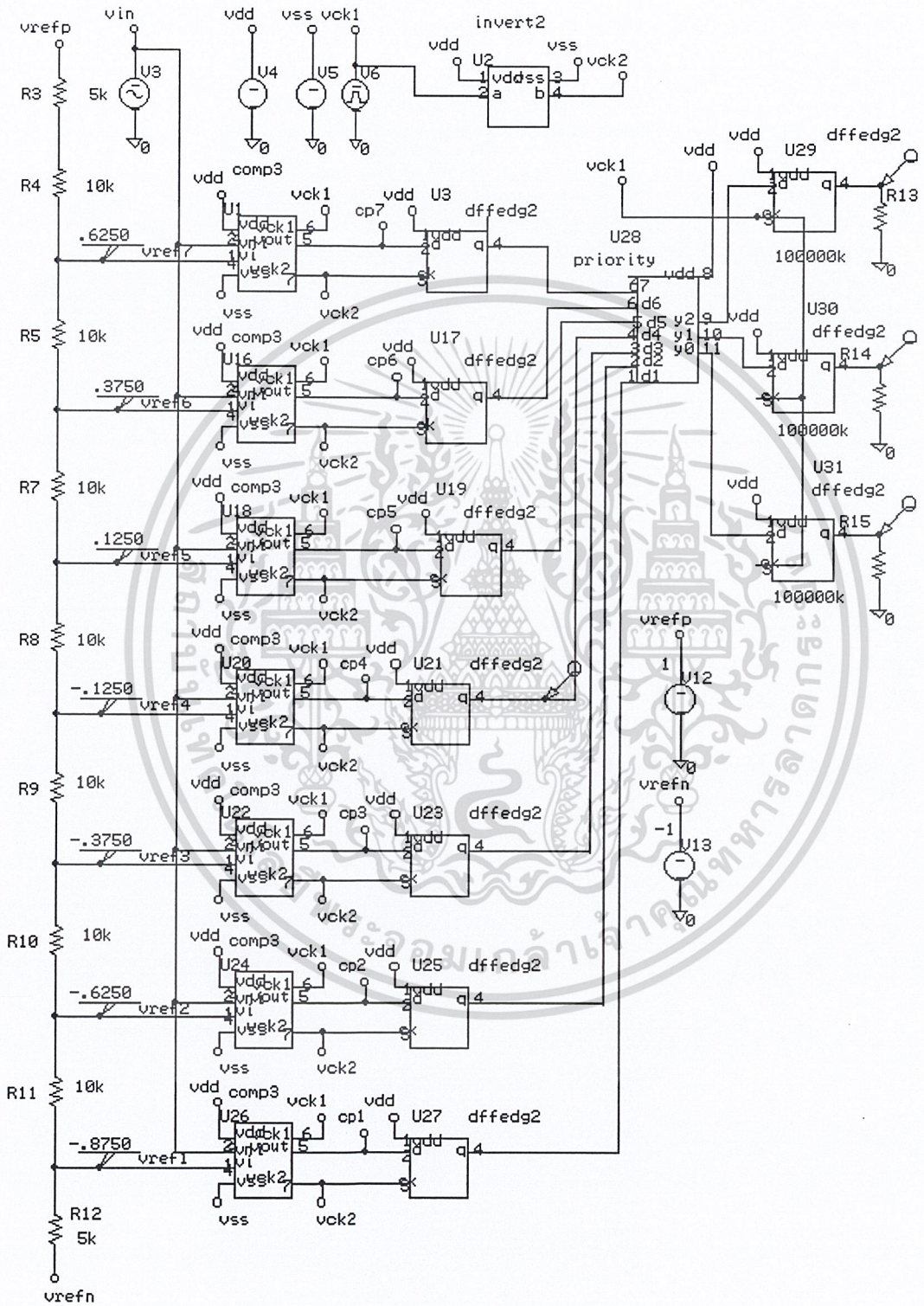


รูปที่ 4.34 แสดงการทำงานของไพรออริตี้เอ็นโค๊ดเดอร์ที่สามารถป้องกันบับเบิ้ลเออเร่อ

4.5 ผลการทดลองวงจรแปลงสัญญาณอนาลอกเป็นสัญญาณดิจิตอลแบบแฟลช 3 บิต

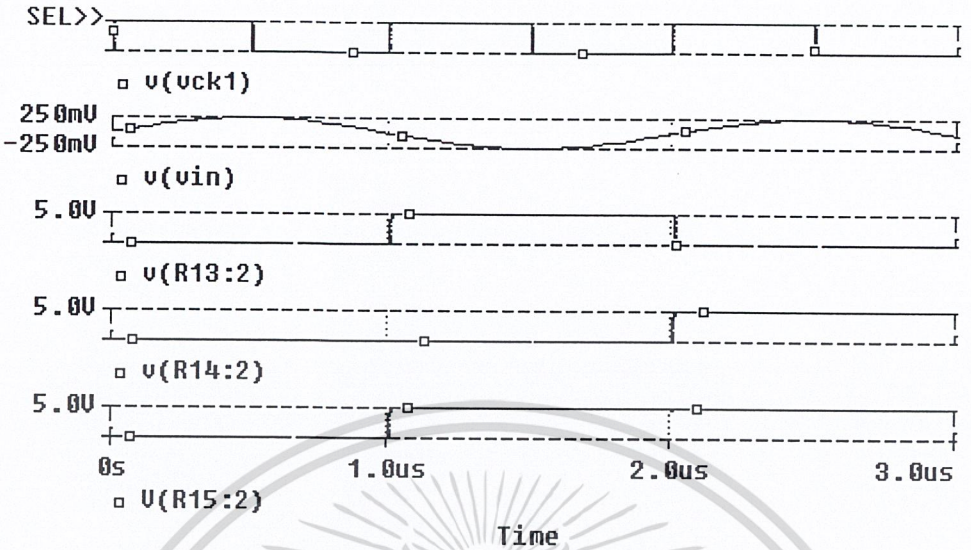
หลังจากได้ออกแบบวงจรย่อยทั้งหมดแล้ว และทำงานได้ตามที่ออกแบบแล้วจึงนำมาต่อรวมกันแล้วจำลองการทำงานอีกครั้ง โดยต่อวงจรดังรูปที่ 4.35 แล้วป้อนอินพุตเพื่อทดสอบการแปลงสัญญาณอนาลอกซายน์เวฟขนาด 250 mVp-p โดยมีแรงดันอ้างอิง –1V ถึง 1V ใช้ความถี่สัญญาณนาฬิกา 1 MHz แหล่งจ่ายแรงดันไฟเลี้ยง $\pm$5 V ถ้าวงจรทำงานได้ถูกต้องจะต้องได้ดิจิตอลเอาต์พุตเป็น 101 สำหรับอินพุต 250 mV และได้เอาต์พุตเป็น 011 สำหรับอินพุต –250 mV ซึ่งจะสังเกตได้ว่าจะมีการทำงานแบบไปป์ไลน์ดีเลย์ (pipeline delay) 1 คาบเวลา หรือจะได้เอาต์พุตดิจิตอล เมื่อเวลาผ่านไป 1 คาบเวลานั่นเอง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



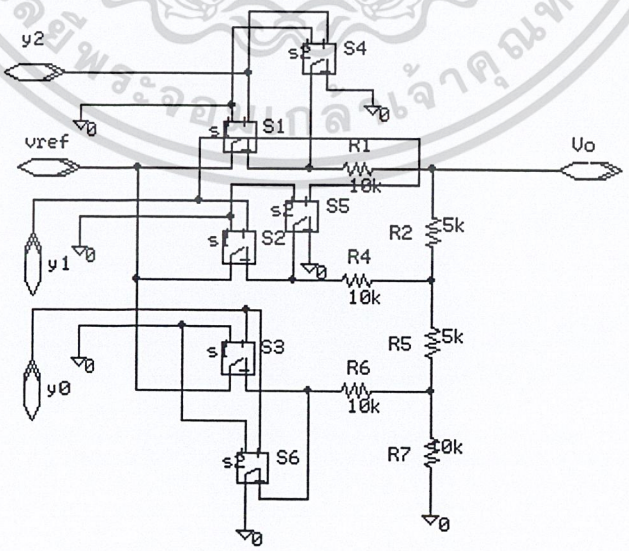
รูปที่ 4.35 วงจรแปลงสัญญาณอนาลอกเป็นสัญญาณดิจิตอลแบบแฟลช 3 บิต

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.36 แสดงผลการทำงานของวงจรรูปที่ 4.35 ที่มีอินพุต 250 mVp-p

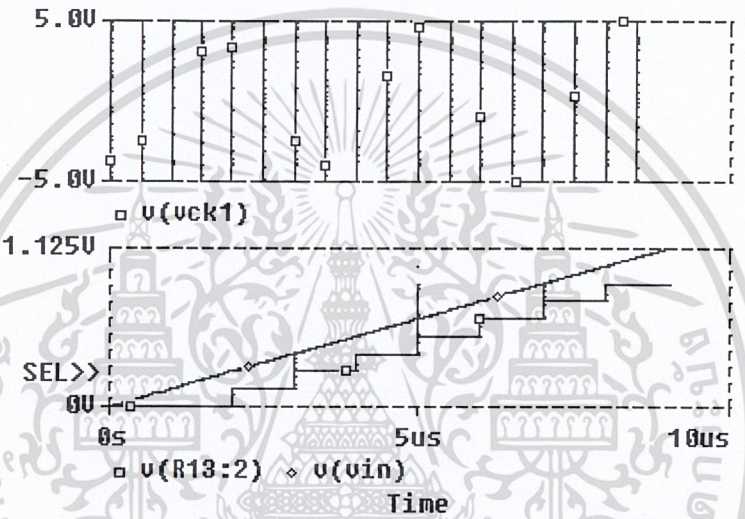
เพื่อที่จะทดสอบว่าวงจรแปลงสัญญาณอนาลอกเป็นสัญญาณดิจิตอลสามารถทำงานได้ตามคุณสมบัติในอุดมคติหรือไม่ จึงได้สร้างวงจรแปลงสัญญาณดิจิตอลเป็นสัญญาณอนาลอกอย่างง่ายมาทำการแปลงสัญญาณดิจิตอลที่ได้จากวงจรแฟลชเอทูดีคอนเวอร์เตอร์ ให้กลับเป็นสัญญาณอนาลอกอีกครั้งแล้วเปรียบเทียบกับสัญญาณอินพุต ซึ่งกราฟคุณสมบัติระหว่างอินพุตและเอาต์พุตควรใกล้เคียงกับอุดมคติมากที่สุด รูปที่ 4.37 เป็นวงจรแปลงสัญญาณดิจิตอลเป็นอนาลอกอย่างง่ายแบบ R,2R Ladder DAC



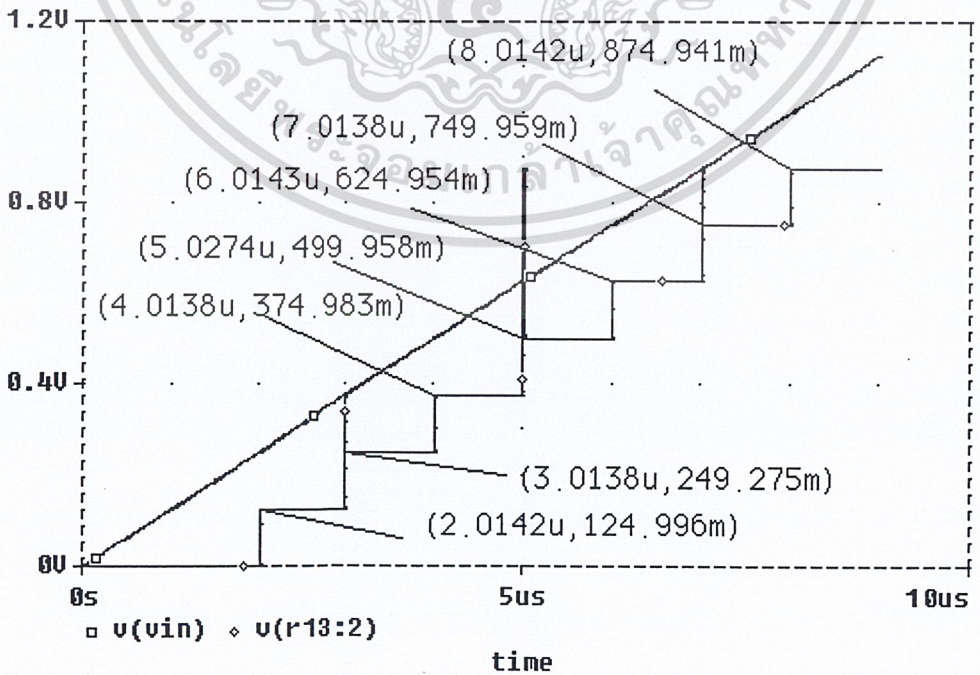
รูปที่ 4.37 แสดงวงจรแปลงสัญญาณอนาลอกเป็นสัญญาณดิจิตอล อย่างง่าย

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ในการทดลองจึงป้อนสัญญาณแลมพ์(Ramp Signal) ขนาด 0-1.125 V แรงดันอ้างอิง 1V กับกราวด์ แล้วทำการวัดสัญญาณเอาต์พุตเทียบกับสัญญาณอินพุท แต่จากที่ทราบว่าวงจรเป็นแบบไปป์ไลน์ดีเลย์ 1 คาบเวลาดังนั้นสัญญาณเอาต์พุตจึงถูกหน่วงไปหนึ่งคาบสัญญาณนาฬิกาจึงจะได้สัญญาณที่สัมพันธ์กับสัญญาณอินพุต ดังรูปที่ 4.38



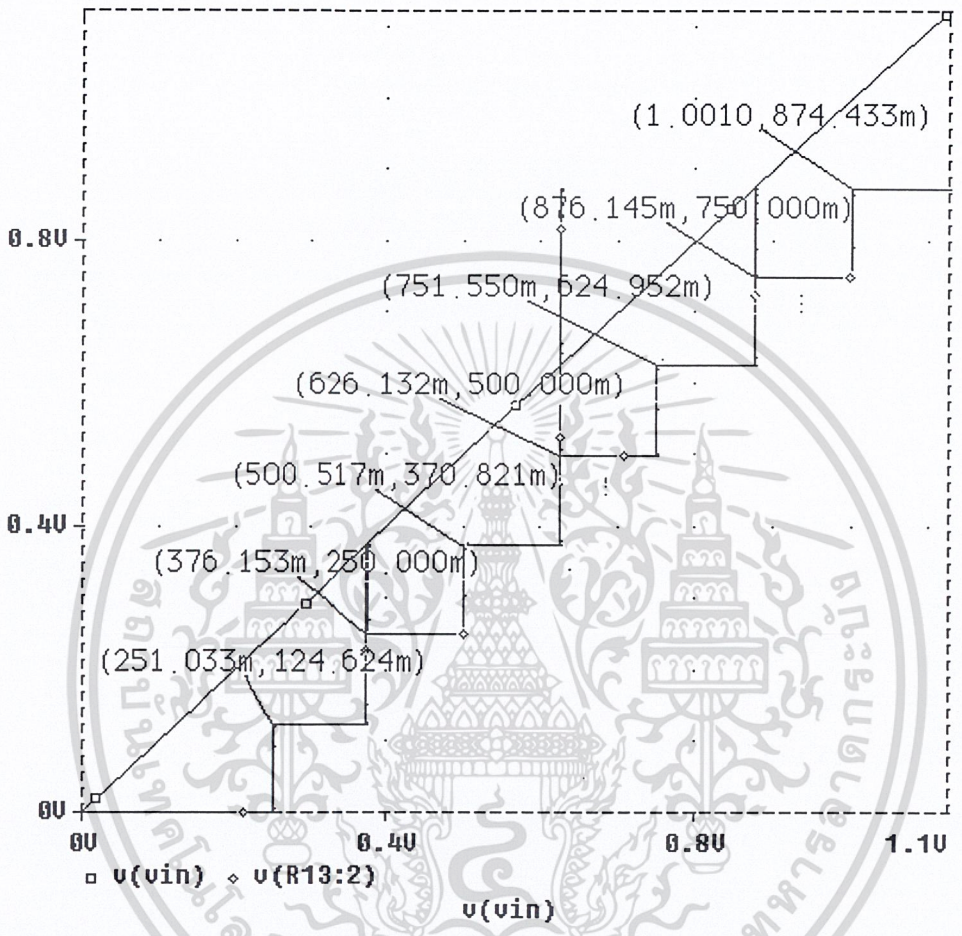
รูปที่ 4.38 แสดงสัญญาณเอาต์พุตอนาลอกเทียบกับแกนเวลา



รูปที่ 4.39 รูปสัญญาณเอาต์พุตที่ได้จากวงจรแปลงสัญญาณดิจิตอลเป็นสัญญาณอนาลอก

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เมื่อพล็อตกราฟของสัญญาณเอาต์พุตเทียบกับสัญญาณอินพุตจะได้ดังรูปที่ 4.40



รูปที่ 4.40 กราฟคุณสมบัติของวงจรแปลงสัญญาณอนาลอกเป็นสัญญาณดิจิตอลแบบแฟลช 3 บิต

4.6 การออกแบบเลย์เอาต์ของวงจรแปลงสัญญาณอนาลอกเป็นสัญญาณดิจิตอลแบบแฟลช 3 บิต

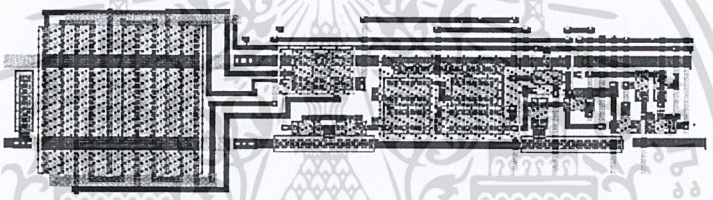
ในการออกแบบเลย์เอาต์ของวงจร จะเริ่มจากการออกแบบวงจรย่อยให้สามารถทำงานได้ตามที่ออกแบบไว้ จากนั้นจึงเอาวงจรย่อยเหล่านั้นมาต่อร่วมกันเพื่อให้ได้เป็นวงจรแปลงสัญญาณอนาลอกเป็นสัญญาณดิจิตอลขึ้นมา การออกแบบเลย์เอาต์จะเอาขนาดของมอสทรานซิสเตอร์ที่ได้ออกแบบไปแล้วนั้นมาสร้างเป็นเลย์เอาต์ของทรานซิสเตอร์แต่ละตัวว่าจะต่อกันในลักษณะอย่างไร ความสำคัญของการออกแบบเลย์เอาต์ของวงจรจึงอยู่ที่การเชื่อมต่อมอสทรานซิสเตอร์แต่ละตัว โดยจะต้องทำตามกฎที่เรียกว่า กฎการออกแบบ (Design Rule) และคำนึงถึงการเกิดตัวเก็บประจุที่ไม่ต้องการ(C parasitic) ซึ่งถ้าออกแบบได้ไม่เหมาะสมอาจจะได้วงจรที่ผิดพลาดไปจากที่ต้องการได้ เช่น มีตัวเก็บประจุที่ไม่ต้องการที่มีขนาดมากจนทำให้วงจรทำงานผิดพลาด หรืออาจได้จำนวน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ทรานซิสเตอร์ไม่เท่ากับที่ออกแบบไว้ หรือมีไดโอดเพิ่มเข้ามาในเลย์เอาต์ของวงจรโดยที่เราไม่ต้องการ ดังนั้นการออกแบบเลย์เอาต์ของวงจรจึงต้องมีความถูกต้องด้วย

4.6.1 เลย์เอาต์ของวงจรคอมพาราเตอร์

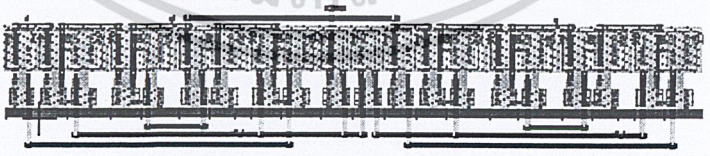
จากที่ได้ออกแบบในระดับทรานซิสเตอร์ไปแล้ว เราจะนำเอาขนาดของมอสทรานซิสเตอร์เหล่านั้นมาทำการสร้างเป็นวงจรเลย์เอาต์ขึ้นมา เรื่องที่ต้องคำนึงถึงในการออกแบบเลย์เอาต์ก็คือ คู่ทรานซิสเตอร์ที่ทำหน้าที่เป็นอินพุตของวงจรขยายดิฟเฟอเรนเชี่ยล ซึ่งจะต้องให้ทรานซิสเตอร์ทั้งสองมีความสมมาตรกัน หรือมีคุณสมบัติเหมือนกัน เพื่อลดการเกิดแรงดันอินพุตออฟเซต จึงได้ใช้การสร้างเลย์เอาต์ทรานซิสเตอร์แบบที่เรียกว่า คอมม่อนเซนทรอยด์ (common-centroid) รูปที่ 4.41 แสดงเลย์เอาต์ของวงจรคอมพาราเตอร์



รูปที่ 4.41 แสดงเลย์เอาต์ของวงจรคอมพาราเตอร์ที่ใช้ในวงจรแปลงสัญญาณอนาลอกเป็นดิจิตอล

4.6.2 เลย์เอาต์ของวงจรแลตช์

วงจรแลตช์ที่ได้ออกแบบขนาดของมอสทรานซิสเตอร์ไว้แล้วนั้น นำมาสร้างเป็นเลย์เอาต์ได้เลย ดังรูปที่ 4.42



รูปที่ 4.42 แสดงเลย์เอาต์ของวงจรแลตช์

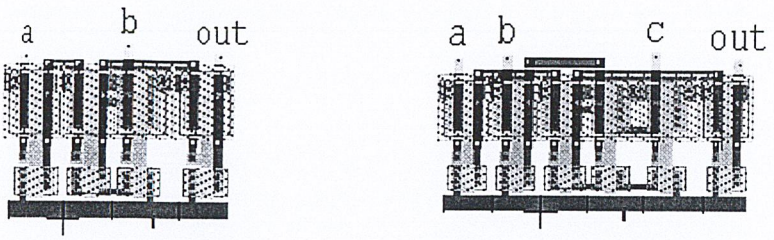
4.6.3 เลย์เอาต์ของวงจรไพรออริตี้เอ็นโค๊ดเดอร์

วงจรไพรออริตี้เอ็นโค๊ดเดอร์สร้างจากวงจรเกตพื้นฐานคือวงจรอินเวอร์กับวงจรแอนเกต และวงจรออเกต การสร้างเลย์เอาต์จึงแสดงในส่วนวงจรย่อยเหล่านี้

วงจรอินเวอร์เตอร์กับวงจรแอนเกต

เป็นวงจรที่มีอินพุตผ่านวงจรอินเวอร์เตอร์ก่อนเข้าวงจรแอนเกตมีเลย์เอาต์ของวงจรดังรูปที่ 4.43

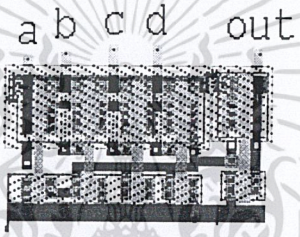
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.43 วงจรอินเวอร์เตอร์กับแอนเกต 2 อินพุตและ 3 อินพุต

วงจรออเกต 4 อินพุต

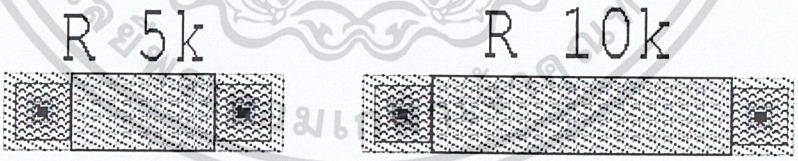
ขนาดของมอสทรานซิสเตอร์ที่ได้ออกแบบไว้แล้วนำมาสร้างเลย์เอาต์ได้ดังรูปที่ 4.44



รูปที่ 4.44 วงจรออเกต 4 อินพุต

4.6.4 เลย์เอาต์ของตัวต้านทาน

ตัวต้านทานที่ใช้ในวงจรแฟลชเอทูดีคอนเวอร์เตอร์ มีค่า 5 กิโลโอห์ม และ 10 กิโลโอห์ม ดังรูปที่ 4.45 ซึ่งจะใช้ความต้านทานที่ทำจาก ชั้นของเอ็นเวล (n-well) ซึ่งมีค่าสภาพความต้านทาน (resistivity) เท่ากับ 2643 โอห์มต่อพื้นที่สี่เหลี่ยมจัตุรัส

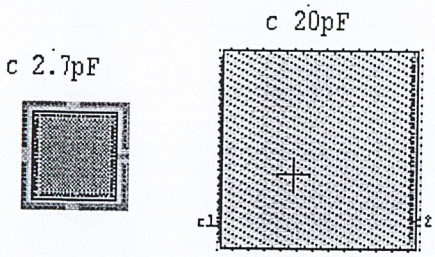


รูปที่ 4.45 แสดงตัวต้านทาน 5 กิโลโอห์ม และ 10 กิโลโอห์ม

4.6.5 เลย์เอาต์ของตัวเก็บประจุ

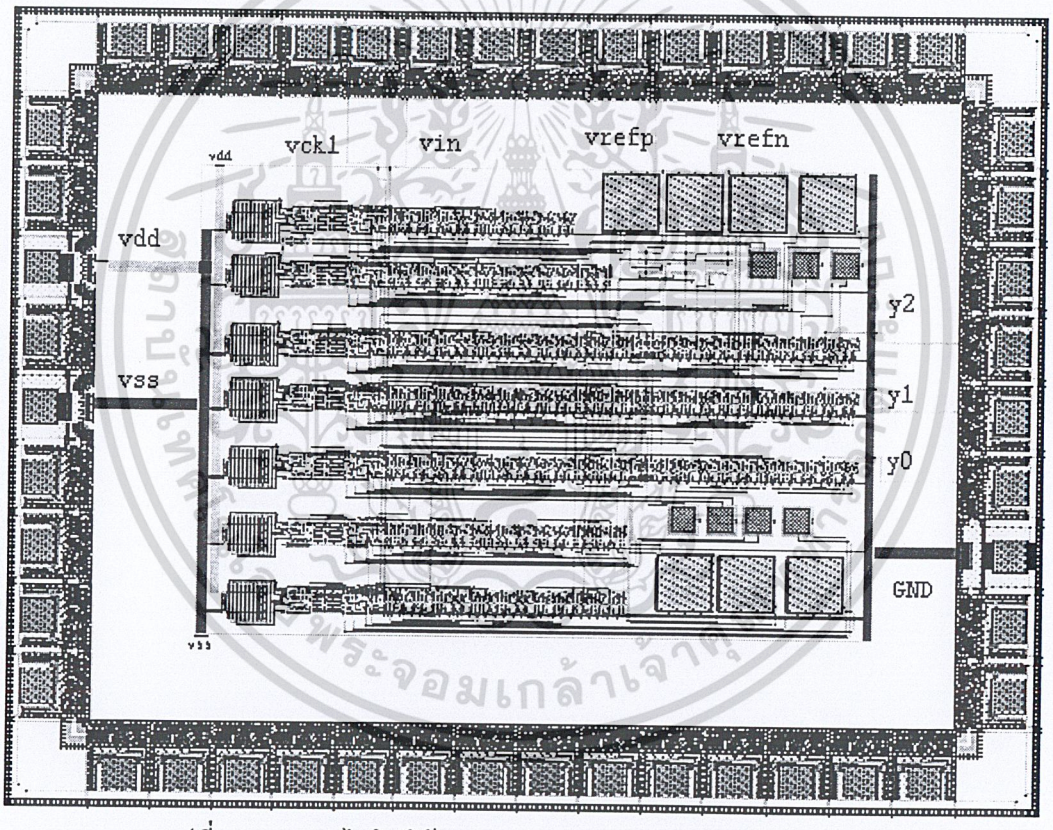
ตัวเก็บประจุที่ใช้มีค่า 2.7 พิโก้ฟารัด และ 20 พิโก้ฟารัด สำหรับตัวเก็บประจุ 2.7 พิโก้ฟารัด จะใช้ ชั้นของโพลี่ซิลิกอนชั้นที่ 1 กับชั้นของโพลี่ซิลิกอนชั้นที่ 2 สร้างเป็นตัวเก็บประจุ เนื่องจากต้องการความถูกต้องของค่าความจุเป็นพิเศษ ถ้าหากมีความผิดพลาดไปมากแล้วจะทำให้การชดเชยทางเฟสของคอมพาราเตอร์ไม่ถูกต้องนั่นคือจะทำให้วงจรเกิดการออสซิเลชั่น ส่วน ตัวเก็บประจุค่า 20 พิโก้ฟารัดจะให้ชั้นของเอ็นมอสทรานซิสเตอร์กับชั้นของโพลี่ซิลิกอน เนื่องจากต้องการค่าความจุสูงและไม่ต้องการความถูกต้องมากนักเพราะเป็นตัวเก็บประจุที่ทำหน้าที่เก็บแรงดันออโต้ซีโร่เท่านั้น

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.46 แสดงตัวเก็บประจุขนาด 2.7 pF และ 20 pF

จากวงจรย่อยทั้งหมดเมื่อนำมาต่อร่วมกันเป็นวงจรแปลงสัญญาณอนาลอกเป็นสัญญาณดิจิตอลแบบแฟลช 3 บิต (รูปที่4.47) ซึ่งอยู่ในแพดเฟลม (pad frame) ขนาด 3004 μm × 2284 μm



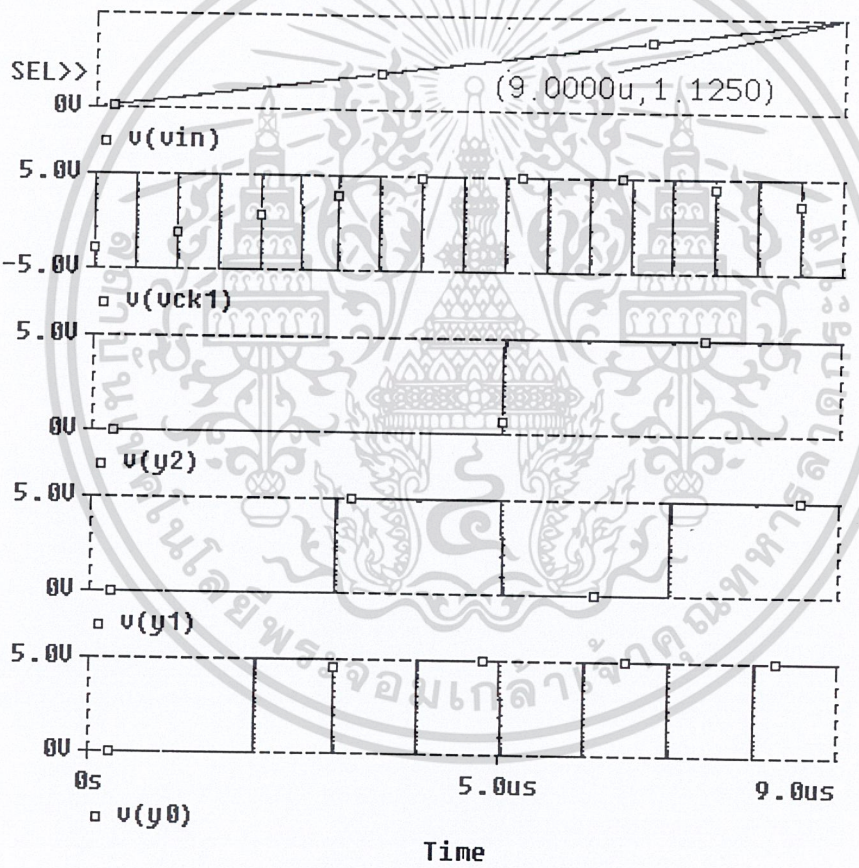
รูปที่ 4.47 แสดงไดโฟโต้ (die photo) วงจรแปลงสัญญาณอนาลอก
เป็นสัญญาณดิจิตอลแบบแฟลช 3 บิต

สัญญาณอินพุตอนาลอกเข้าที่ด้านบนของชิพ (chip) ส่วนสัญญาณเอาต์พุตดิจิตอลออกที่ด้านขวาของชิพ ใช้ลวดตัวนำเส้นใหญ่ 3 เส้นสำหรับ แรงดันไฟเลี้ยงบวก แรงดันไฟเลี้ยงลบ และกราวด์ บริเวณชิพด้านซ้ายสุดคือวงจรคอมพาราเตอร์ ถัดมาจะเป็นวงจรแลตช์ ถัดมาจะเป็นวงจรไพรออริตี้เอ็นโค๊ดเดอร์ ด้านขวาสุดจะเป็นวงจรแลตช์เอาต์พุต ตัวเก็บประจุอยู่ด้านบนขวาและด้านล่างขวา ตัวต้านทานอยู่ด้านบนขวา

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4.7 ผลการจำลองการทำงานของวงจรที่สร้างเป็นเลย์เอาต์

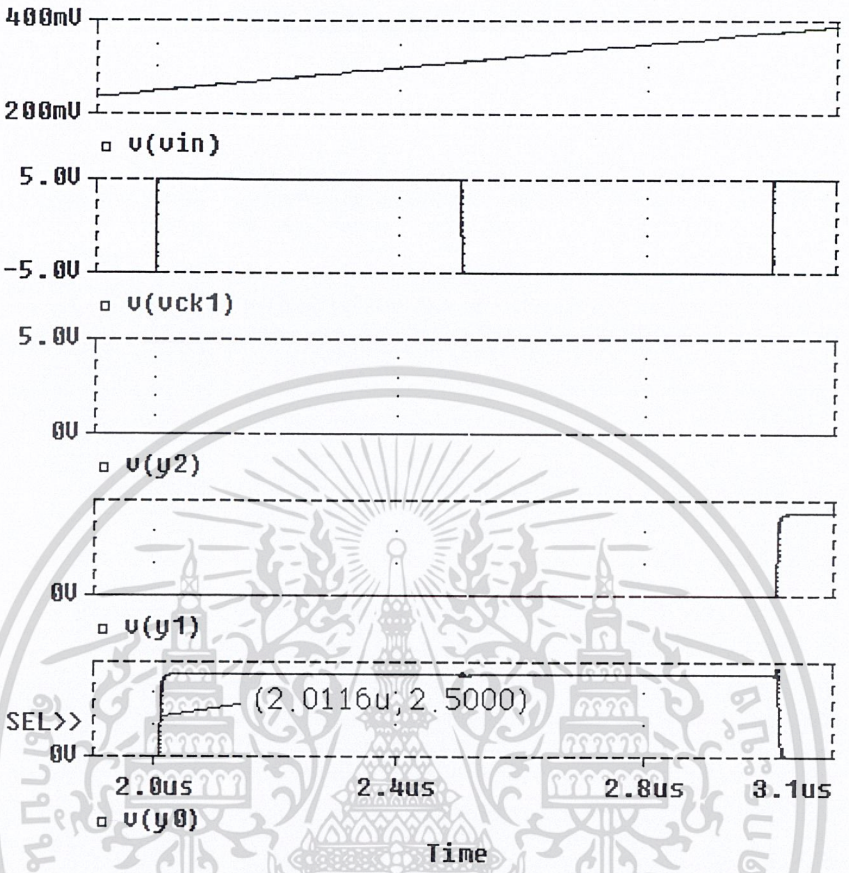
เมื่อสร้างเลย์เอาต์ของวงจรเสร็จแล้ว ทำการเอ็กซ์แทรก(extract) เป็นไฟล์เน็ตลิสท์ (net list) ที่มีตัวเก็บประจุแฝงที่เกิดจากการเลย์เอาต์รวมอยู่ด้วย จากนั้นแก้ไขเพิ่มเติมไฟล์เน็ตลิสท์ ด้วยการใส่แรงดันไฟเลี้ยง ± 5 V ป้อนสัญญาณอินพุตแรมป์(ramp signal) ขนาด 0 - 1.125 V ป้อนสัญญาณนาฬิกาความถี่ 1 MHz ป้อนแรงดันอ้างอิง 1 V แล้วจำลองผลการทำงานได้เอาต์พุตดิจิตอลดังรูปที่ 4.48



รูปที่ 4.48 แสดงเอาต์พุตดิจิตอล

สัญญาณดิจิตอลเอาต์พุตที่ได้จะมีไปป์ไลน์ดีเลย์ไทม์ไป 1 คาบสัญญาณนาฬิกา ดังนั้นเราจะไม่นับดีเลย์ไทม์ในกรณีไปป์ไลน์ดีเลย์ไทม์ แต่จะเริ่มนับเวลาจากแลตช์เอาต์พุตถึงเวลาที่เอาต์พุตถูกต้อง 50 % และถือเป็นพร็อบเพเกชั่นดีเลย์ไทม์ของวงจร จากรูปที่ 4.49 จะได้ พร็อบเพเกชั่นดีเลย์ไทม์ 11.6 ns

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.49 แสดงการหาค่าพร็อบเพเกชั่นดีเลย์ไทม์ของวงจรแปลงสัญญาณอนาลอกเป็นสัญญาณดิจิตอลแบบแฟลช 3 บิต

แรงดันออฟเซต

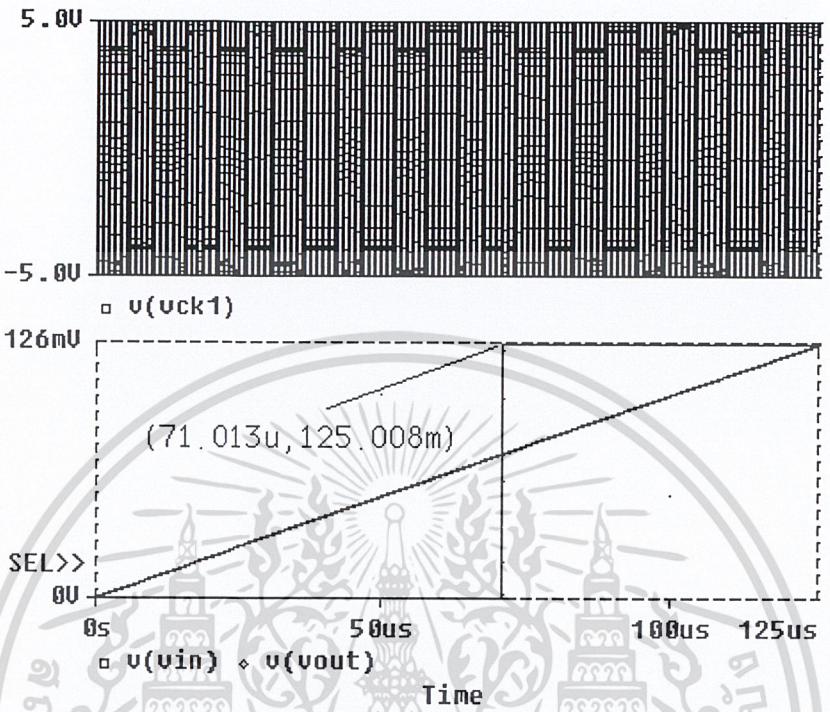
ในการหาแรงดันออฟเซตของวงจรแปลงสัญญาณอนาลอกเป็นสัญญาณดิจิตอลทำได้โดยป้อนสัญญาณอินพุตแรมป์(ramp signal) ที่ค่อยๆ เพิ่มขึ้นอย่างช้าๆ แล้วดูว่าเอาต์พุตดิจิตอลเป็น 001 เมื่อใด จึงเอาค่านั้นมาคำนวณตามสูตรการหาแรงดันออฟเซต ในการทดลองจะใช้เน็ตลิสท์เดิมเพียงแต่เปลี่ยนสัญญาณอินพุตใหม่เป็นขนาด 0-0.125 V ภายในเวลา 125 μs โดยยังคงใช้สัญญาณนาฬิกาความถี่ 1 MHz แรงดันอ้างอิง 1 V จะได้ผลการทดลองดังรูปที่ 4.50 และขยายให้เห็นการทำงานของวงจรดังรูปที่ 4.51 จากนั้น พล๊อตกราฟความสัมพันธ์ระหว่างอินพุตและเอาต์พุตจะได้ดังรูปที่ 4.52 นำไปหาแรงดันออฟเซตจากสมการที่ 3.2 จะได้

$$E_{off} = \frac{V_{001}}{V_{LSB}} - \frac{1}{2}LSB$$

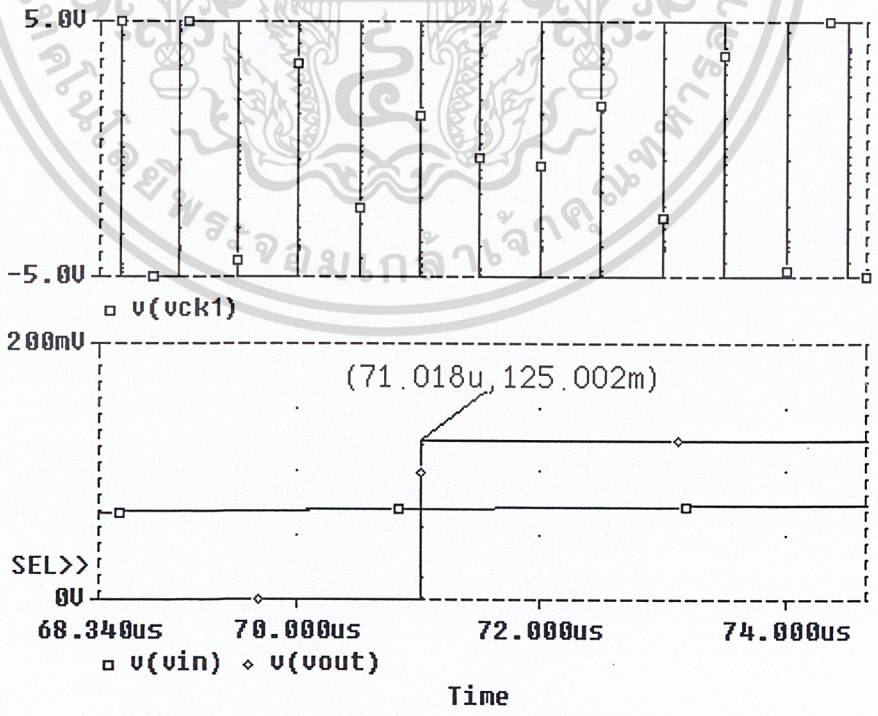
$$E_{off} = \frac{70.906mV}{125mV} - \frac{1}{2}LSB$$

$$E_{off} = 0.67248\,LSB$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

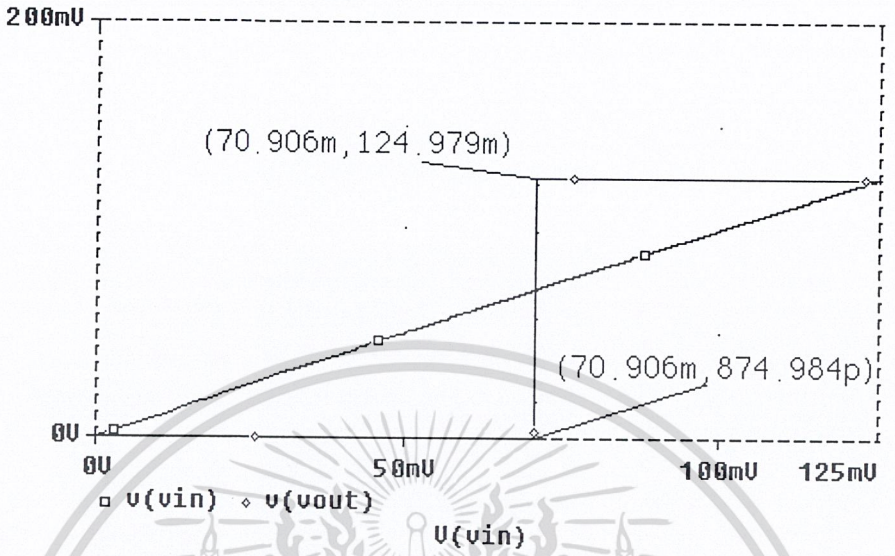


รูปที่ 4.50 แสดงกราฟการหาแรงดันออฟเซต



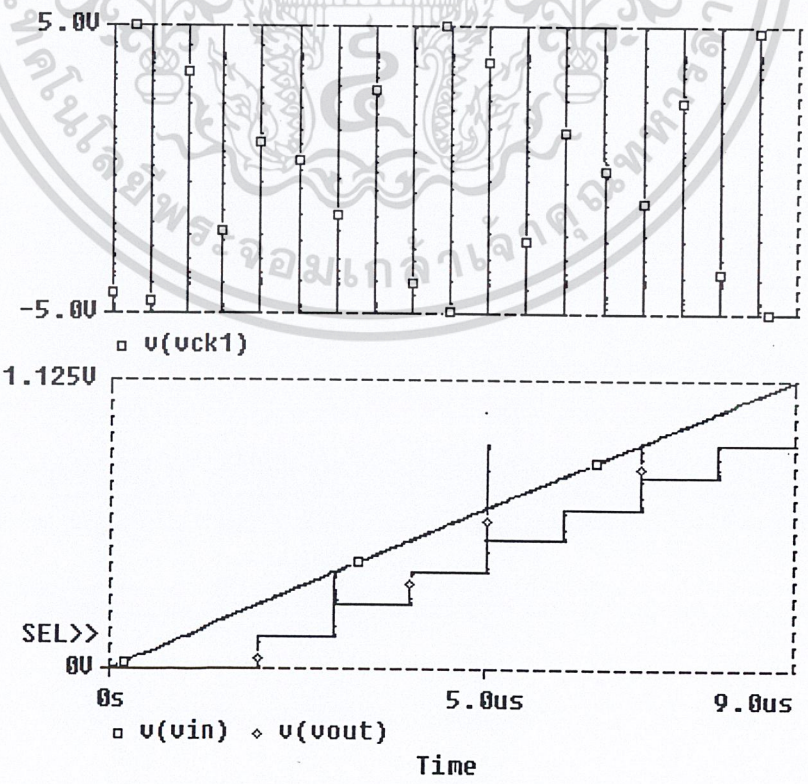
รูปที่ 4.51 แสดงกราฟที่ขยายออกของรูปที่ 4.50

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.52 แสดงกราฟความสัมพันธ์ระหว่างอินพุตและเอาต์พุตเพื่อหาแรงดันออฟเซต

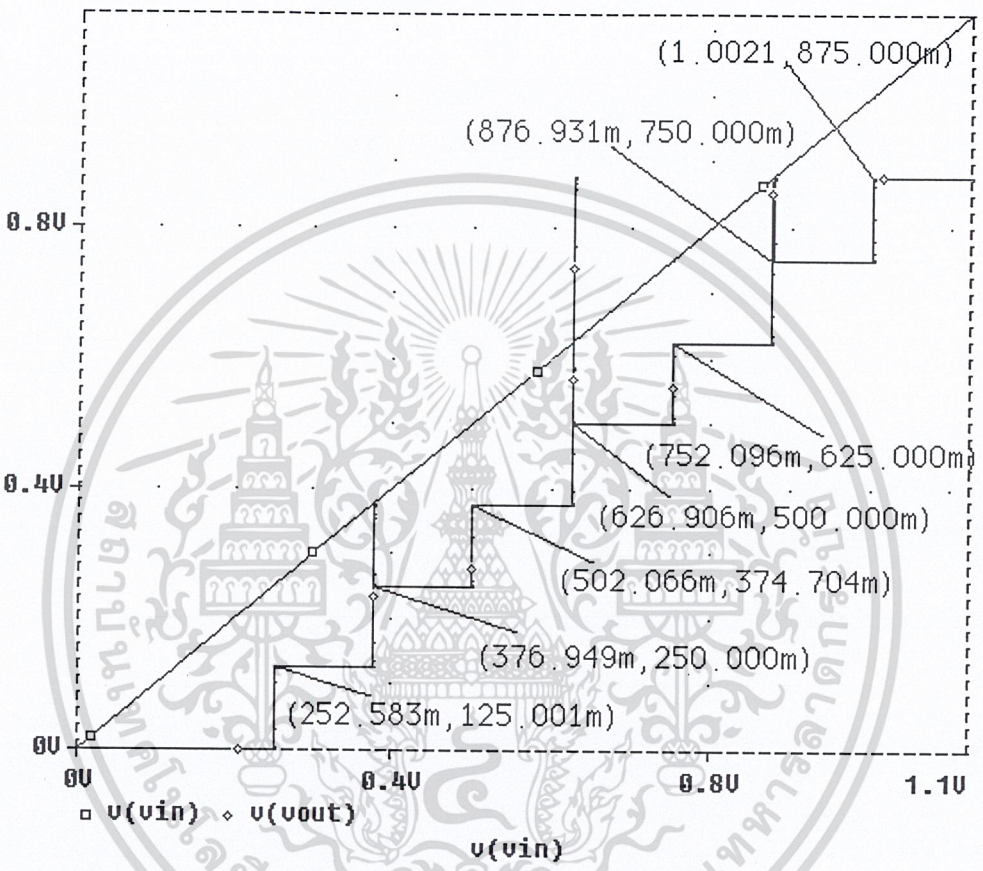
จากนั้นเขียนเน็ตลิสท์ให้เอาต์พุตของวงจรแปลงสัญญาณอนาลอกเป็นสัญญาณดิจิตอลต่อกับวงจรแปลงสัญญาณดิจิตอลเป็นสัญญาณอนาลอก เพื่อหากราฟคุณสมบัติระหว่างอินพุตอนาลอกกับเอาต์พุตดิจิตอลในแกนเวลา ดังรูปที่ 4.53



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รูปที่ 4.53 แสดงสัญญาณเอาต์พุตเทียบกับเวลา

และพล๊อตกราฟความสัมพันธ์ระหว่างอินพุตและเอาต์พุตได้รูปที่ 4.54 เพื่อนำไปหาค่าความผิดพลาดอัตราขยาย ค่า DNL ค่า INL



รูปที่ 4.54 แสดงกราฟความสัมพันธ์ระหว่างอินพุตอนาลอกกับเอาต์พุตดิจิตอล

ค่าความผิดพลาดอัตราขยาย(E_{gain})

จากสมการที่ 3.3 และจากข้อมูลที่ได้จากกราฟรูปที่ 4.56 นำไปคำนวณหาค่า E_{gain} จะได้

$$E_{gain} = \left(\frac{V_{111}}{V_{LSB}} - \frac{V_{001}}{V_{LSB}} \right) - \left(2^N - 2 \right)$$

$$E_{gain} = \left(\frac{1.0021\,V}{0.125\,V} - \frac{252.583\,mV}{0.125\,V} \right) - \left(2^3 - 2 \right)$$

$$E_{gain} = -0.003864\,LSB$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ค่าความไม่เชิงเส้นผลต่าง (Differential nonlinearity:DNL)

ในการหาค่า DNLจะต้องเอาผลของค่าความผิดพลาดอัตราขยายกับแรงดันออฟเซตออกเสียก่อนจึงสามารถคำนวณหาค่า DNLได้ จากรูปที่ 4.56 จะเห็นว่าเสมือนมีแรงดันออฟเซตอยู่ด้วย ดังนั้นจึงต้องคำนวณแรงดันค่านี้เพื่อไปหักออกจากการคำนวณหา DNL

$$E_{off} = \frac{V_{001}}{V_{LSB}} - \frac{1}{2}LSB$$

$$E_{off} = \frac{252.583mV}{125mV} - \frac{1}{2}LSB$$

$$E_{off} = 1.520664\ LSB$$

แรงดันอินพุตที่ระดับดิจิตอลเอาต์พุตต่างๆ ที่ แก้ไขแล้ว ($V_{in}(corr)|_{dout}$) หาได้จากค่าที่วัดจริง ($V_{in}(actual)$) โดย

$$V_{in}(corr)|_{dout} = \frac{V_{in}(actual)|_{dout}}{V_{LSB}} - E_{off} - \frac{dout - 1}{2^N - 1}E_{gain}$$

ตารางที่ 4.1 แสดงค่าแรงดันอินพุตที่ระดับสัญญาณดิจิตอลค่าต่าง ๆ ที่ชดเชยแล้ว $V_{in}(corr)|_{dout}$

dout	เลขฐาน2	V_{in}(ideal)		V_{in}(actual)		V_{in}(corr)
		(mV)	(LSB)	(mv)	(LSB)	(LSB)
0	000	-62.5	-0.5	-62.5	-0.5	-
1	001	62.5	0.5	252.583	2.020664	0.5
2	010	187.5	1.5	376.949	3.015592	1.495572
3	011	312.5	2.5	502.066	4.016528	2.497152
4	100	437.5	3.5	626.906	5.015248	3.496516
5	101	562.5	4.5	752.096	6.016768	4.49868
6	110	687.5	5.5	876.931	7.015448	5.498
7	111	812.5	6.5	1002.1	8.0168	6.5

นำค่าที่แก้ไขแล้วมาหาค่า DNL โดยใช้สมการ

$$DNL|_{dout} = V_{in}(corr)|_{dout+1} - V_{in}(corr)|_{dout} - 1$$

ค่าความไม่เชิงเส้นอินทิกรัล (Integral nonlinearity : INL)

หาได้จากสมการ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$INL\,|_{dout} = V_{in}\,(corr)\,|_{dout} - V_{in}\,(corr)\,|_{0...0} - dout$$

ตารางที่ 4.2 แสดงค่า DNL และ INL

dout	V_{in}(ideal) (LSB)	V_{in}(corr) (LSB)	DNL (LSB)	INL (LSB)
0	-0.5	-0.5	0	-
1	0.5	0.5	-0.004428	0
2	1.5	1.495572	0.00158	-0.004428
3	2.5	2.497152	-0.000636	-0.002848
4	3.5	3.496516	0.002164	-0.003484
5	4.5	4.49868	-0.00068	-0.00132
6	5.5	5.498	0.002	-0.002
7	6.5	6.5	-	0

สรุปคุณสมบัติของวงจร

เทคโนโลยีที่ใช้(Technology)	2 μm Mosis CMOS N-Well
รีโซลูชั่น(Resolution)	3 บิต
อัตราการแซมปลิ้ง(Sampling Rate)	1 MHz
พร็อบเพเกชั่นดีเลย์ไทม์	11.6 ns
สัญญาณอนาลอกอินพุตสวิง(Input Swing)	2 Vp-p
พื้นที่ของชิพ(Chip Area)	3004 μm × 2284 μm
แรงดันไฟเลี้ยง(Supply Voltage)	±5 V
กำลังงานที่ใช้(Power Consumption)	20.4 mW
แรงดันออฟเซต(Offset Voltage)	0.67248 LSB
ค่าความผิดพลาดอัตราขยาย(Gain Error)	-0.003864 LSB
DNL	-0.004428 ถึง 0.002164 LSB
INL	-0.004428 ถึง 0 LSB

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 5
บทสรุป

โครงงานนี้ได้ออกแบบวงจรแปลงสัญญาณอนาลอกเป็นสัญญาณดิจิตอล 3 บิต, 1 MHz CMOS ในการออกแบบได้นำความรู้ในเรื่องการออกแบบวงจรคอมพาราเตอร์เป็นหลักสำคัญเนื่องจากคุณสมบัติของคอมพาราเตอร์นั้นมีผลกระทบต่อคุณสมบัติของวงจรแปลงสัญญาณอนาลอกเป็นสัญญาณดิจิตอลอย่างมาก โดยเฉพาะความถี่ในการทำงานของวงจรแปลงสัญญาณอนาลอกเป็นสัญญาณดิจิตอลจะขึ้นอยู่กับ ความสามารถของวงจรคอมพาราเตอร์ว่าสามารถทำงานได้ความถี่สูงสุดเท่าใดหรือว่าวงจรมีแบนด์วิดธ์กว้างมากเท่าใดนั่นเอง ในส่วนวงจรดิจิตอลจึงออกแบบให้สามารถทำงานที่สัญญาณนาฬิกา 1 MHz ให้ได้ ซึ่งวงจรดิจิตอลสามารถทำงานได้อย่างดี เมื่อการออกแบบในระดับทรานซิสเตอร์ถูกต้อง ในขั้นสุดท้ายคือออกแบบในระดับเลย์เอาต์ของวงจร เพื่อดูผลของตัวเก็บประจุแฝงที่เกิดจากการเชื่อมต่อลวดตัวนำภายในวงจรรวม และจากการจำลองการทำงาน เห็นได้ว่าวงจรที่ได้ออกแบบมาสามารถทำงานได้อย่างถูกต้อง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

กิตติกรรมประกาศ

ขอกราบขอบพระคุณ คุณพ่อ คุณแม่ เป็นอย่างสูงที่ให้กำลังใจมาโดยตลอด ขอขอบคุณน้องชายที่ให้ความช่วยเหลือต่างๆ ขอขอบคุณเพื่อนที่ช่วยให้ข้าพเจ้าได้เรียนสำเร็จ

ขอกราบขอบพระคุณอาจารย์วรากร เกษมสุวรรณ์เป็นอย่างสูง ที่ให้คำแนะนำมาโดยตลอด ทำให้โครงงานนี้สำเร็จลงได้

.....

(นายธงชัย วงศ์ธนะรักษ์)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บรรณานุกรม

1. Phillip E. Allen and Douglas R. Holberg, "CMOS analog circuit design", Holt, Rinehart and Winston,Inc., 701p. ,1987
2. David Johns and Ken Martin, "Analog Integrated Circuit Design", John Wiley & Sons, 705 p., 1997
3. David F. Hoeschele, Jr., "ANALOG-TO-DIGITAL AND DIGITAL-TO-ANALOG CONVERSION TECHNIQUES", John Wiley & Sons, 397 p., 1994
4. Behzad Razavi, "Principles of Data Conversion System Design", IEEE, Inc., 272 p., 1995

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้