สำนักหอสมุดกลาง พระจอมเกล้าลาดกระบัง

เครื่องควบคุมอุปกรณ์ไฟฟ้าไร้สาย

WIRELESS ELECTRICAL DEVICE CONTROLLER

T 046208

โดย

นายเวียงชัย ปาลสุทธิ์

นายสุกฤษฎิ์ ไพโรจน์บริบูรณ์

นายสุธรรม ลัคนสุทิน

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

เลขหมู่.....
เลขทะเบียน 46208
วัน, เดือน, ปี 21 มี.ค. 2546

.b.....
.i.....

ปริญญานิพนธ์นี้เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรปริญญาวิศวกรรมศาสตร์บัณฑิต

สาขาวิชาอิเล็กทรอนิกส์ คณะวิศวกรรมศาสตร์

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

ปีการศึกษา 2544

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ปริญญานิพนธ์ ปีการศึกษา 2544

ภาควิชา อิเล็กทรอนิกส์

คณะวิศวกรรมศาสตร์ สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

เรื่อง เครื่องควบคุมอุปกรณ์ไฟฟ้าไร้สาย

ผู้จัดทำ

นายเวียงชัย ปาลสุทธิ์ รหัส 41014406

นายสุกฤษฎิ์ ไพโรจน์บริบูรณ์ รหัส 41014466

นายสุธรรม ลัคนสุทิน รหัส 41014476

.....

(ผศ.พลผดุง ผดุงกุล)

อาจารย์ที่ปรึกษา

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เครื่องควบคุมอุปกรณ์ไฟฟ้าไร้สาย

นายเวียงชัย ปาลสุทธิ์
นายสุกฤษฎิ์ ไพโรจน์บริบูรณ์
นายสุธรรม ลัคนสุทิน
ผศ.พลผดุง ผดุงกุล (อาจารย์ที่ปรึกษา)
ปีการศึกษา 2544

บทคัดย่อ

ปริญญานิพนธ์นี้เป็นการสร้างเครื่องควบคุมอุปกรณ์ไฟฟ้าไร้สายโดยผ่านทางคลื่นวิทยุ RF โดยใช้ความถี่ของคลื่นพาหะประมาณ 46-49 MHz และใช้วิธีการส่งด้วยการมอดุเลตแบบ FM โดยสัญญาณข้อมูลที่เข้ามามอดุเลตจะเป็นสัญญาณดิจิตอลที่มอดุเลตแบบ FSK ส่วนทางเครื่องรับก็จะประกอบด้วยวงจรดีมอดุเลตสัญญาณ FM และสัญญาณ FSK เพื่อให้ได้สัญญาณข้อมูลดิจิตอลออกมา โดยสัญญาณดิจิตอลนี้จะใช้แทนรหัสของอุปกรณ์ไฟฟ้าตัวที่ต้องการควบคุม โดยจะใช้ไมโครคอนโทรลเลอร์ตระกูล 8051 เป็นตัวควบคุม ซึ่งจะสามารถเลือกตัวอุปกรณ์ไฟฟ้าที่ต้องการควบคุมได้และสามารถตั้งเวลาได้ ทำให้สามารถควบคุมอุปกรณ์ไฟฟ้าได้โดยไม่ต้องมีสายสัญญาณ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

WIRELESS ELECTRICAL DEVICE CONTROLLER

Mr. Wiangchai Palasuddhi 41014406

Mr. Sukrit Pairojboriboon 41014466

Mr. Suthum Lukkanasutin 41014476

Assist Prof. Polpadung Padungkul (Adviser)

Academic Year 2544

Abstact

This thesis presents a wireless electrical device controller which transfers data by RF. Frequency of carrier wave is about 46-49 MHz. It uses FM Modulation. The modulated signal is a digital signal which is modulated by FSK modulation. The receiver consists of FM and FSK demodulator circuits. The digital signal is a code of electrical device which a user wants to control. The controller is a 8051 microcontroller which is able to select the electrical device and determine the operating time for the electrical device. For the principal above, it does not have the transmission line to control electrical device.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

กิตติกรรมประกาศ

ขอขอบคุณ ผศ.พลผดุง ผดุงกุล ซึ่งเป็นอาจารย์ที่ปรึกษา และ ผศ.ประภากร สุวรรณะ ที่ให้คำแนะนำเพิ่มเติม ให้แนวคิดเพื่อเสนอโครงงานการออกแบบ และเป็นที่ปรึกษาจนโครงงานสำเร็จไปตามที่ออกแบบไว้ ขอบคุณอาจารย์หลายๆ ท่านจากภาควิชาอิเล็กทรอนิกส์ คณะวิศวกรรมศาสตร์ สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง ที่ให้แนวทางในการแก้ปัญหา และเพิ่มเติมในส่วนของโครงงานนี้ให้เสร็จสิ้น

ผู้จัดทำ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญ

		หน้า
บทคัดย่อ		I
Abstract		II
กิตติกรรมประกาศ		III
สารบัญ		IV
สารบัญรูป		VI
บทที่ 1 บทนำ		1
บทที่ 2 ทฤษฎี		2
2.1	ระบบสื่อสาร	4
	2.1.1 ระบบสื่อสารแบบอนาลอก	4
	2.1.2 ระบบสื่อสารแบบดิจิตอล	7
2.2	การสื่อสารข้อมูล	8
2.3	ความเร็วในการส่งข้อมูลแบบอนุกรม	9
2.4	การมอดดูเลตทางความถี่	9
2.5	ดัชนีการมอดดูเลต	10
2.6	ไซด์แบน FM	12
2.7	แบนวิดท์ของสัญญาณ FM	14
2.8	เฟสล็อกลูป	15
2.9	การมอดดูเลตสัญญาณดิจิตอล	17
	2.9.1 การมอดดูเลตสัญญาณดิจิตอลทางขนาด	18
	2.9.2 การมอดดูเลตสัญญาณดิจิตอลทางเฟส	18
	2.9.3 การมอดดูเลตสัญญาณดิจิตอลทางความถี่	20
2.10	วงจรเรโซแนนซ์	20
2.11	การดีมอดดูเลต	23
2.12	เครื่องรับ FM	26
บทที่ 3 หลักการทำงานและการออกแบบ		31
3.1	ส่วนตั้งเวลาและเลือกอุปกรณ์ด้วยไมโครคอนโทรลเลอร์	32

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.2 วงจรแปลงข้อมูลขนานเป็นอนุกรมด้วย MC 145026
และวงจรแปลงข้อมูลอนุกรมเป็นขนานด้วย MC 145027 32
3.3 วงจรถอดรหัสเพื่อเลือกตำแหน่งรีเลย์ที่ต้องการควบคุม 35
3.4 วงจรรีเลย์ 36
3.5 การทำงานของ FSK Modulator และ Demodulator 36
3.5.1 FSK Modulator 36
3.5.2 FSK Demodulator 38
3.5.3 การออกแบบวงจร 39
-XR2211 39
-XR2206 40
3.6 วงจรภาครับ FM 44
3.7 การเลือกความถี่ออสซิลเลท 46
3.8 วงจรภาคส่ง FM 47
3.8.1 วงจร Oscillator และ Modulator 47
3.8.2 RF Amplifier 48

บทที่ 4 ผลการทดลอง 50
4.1 วงจรแปลงข้อมูลขนานให้เป็นอนุกรมด้วย MC145026 50
4.2 FSK Modulator ด้วย XR2206 50
4.3 FSK Demodulator ด้วย XR2211 51
4.4 FM transmitter 51
4.5 FM Receiver 55
4.5.1สัญญาณจาก Local Oscillator 55
4.5.2 สัญญาณ IF 59
4.5.3 สัญญาณข้อมูลจากการ demodulate 59
4.6 การทดสอบ Bandwidth ของภาครับ FM 60

บทที่ 5 สรุปและวิจารณ์ 62
หนังสืออ้างอิง 64

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญรูป

รูปที่ 1.1 บล็อกไดอะแกรมรวมของวงจร 1

รูปที่ 2.1 แสดงรูปแบบต่างๆของสื่อกลาง 4

รูปที่ 2.2 แสดงการกำหนดค่าความกว้างแถบความถี่ 5

รูปที่ 2.3 ระบบสื่อสารแบบอนาลอก 6

รูปที่ 2.4 ระบบสื่อสารแบบอนาลอกและดิจิตอล 7

รูปที่ 2.5 การส่งข้อมูลโดยใช้รหัส 8

รูปที่ 2.6 การมอดดูเลตทางความถี่ 9

รูปที่ 2.7 กราฟแสดงแอมปลิจูดของพาหะและไซด์แบนในระบบ FM 12

รูปที่ 2.8 ตารางแสดงการกระจายคลื่นพาหะและ
ไซด์แบนที่ดัชนีการมอดดูเลตค่าต่างๆ 13

รูปที่ 2.9 รูปคลื่น FM ในเชิงความถี่ที่ค่าดัชนีการมอดดูเลตเท่ากับ 0,0.5,1,1.5,2,3 14

รูปที่ 2.10 บล็อกไดอะแกรมของเฟสล็อกลูป 16

รูปที่ 2.11 บล็อกไดอะแกรมการทำงานของวงจรสังเคราะห์ความถี่ 17

รูปที่ 2.12 การมอดดูเลตแบบ ASK 18

รูปที่ 2.13 การมอดดูเลตแบบ PSK 19

รูปที่ 2.14 การมอดดูเลตแบบ BPSK 19

รูปที่ 2.15 การมอดดูเลตแบบ FSK 20

รูปที่ 2.16 วงจรเรโซแนนซ์แบบใช้ LC 21

รูปที่ 2.17 วงจรเรโซแนนซ์ปรับค่าได้ 22

รูปที่ 2.18 การนำสัญญาณความถี่ออกจากวงจรเรโซแนนซ์ 23

รูปที่ 2.19 วงจรจูนเลือกความถี่วิทยุ 23

รูปที่ 2.20 วงจรเรโซแนนซ์แแบบอนุกรม 24

รูปที่ 2.21 วงจรเรโซแนนซ์แแบบขนาน 24

รูปที่ 2.22 รูปวงจรเรโซแนนซ์แแบบขนาน 26

รูปที่ 2.23 Block Diagram ของเครื่องรับ FM 26

รูปที่ 2.24 PLL Controlled Wide band FM Receiver at 46/49 MHz 27

รูปที่ 2.25 หลักการทำงานของวงจรลิมิตเตอร์ 29

รูปที่ 2.26 แสดงการเทียบเฟสของวงจรควอดราเจอร์ดีเทกเตอร์ 30

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รูปที่ 2.27 แสดงการใช้ IC MC3356 ทำหน้าที่เป็น IF Amp, Limitter
และ Quadrature Detector 30
รูปที่ 3.1 บล็อกไดอะแกรมแสดงการทำงานรวมของวงจร 31
รูปที่ 3.2 ตารางค่าอุปกรณ์ต่างๆและวงจรการทำงานของ MC 145026
และ MC 145027 33
รูปที่ 3.3 รูปแบบของสัญญาณที่ถูก Encoder แล้ว 34
รูปที่ 3.4 ตารางแสดงค่าความจริงของฟลิปฟลอป 36
รูปที่ 3.5 วงจรภายในของ XR2206 38
รูปที่ 3.6 วงจรภายในของ XR2211 39
รูปที่ 3.7 วงจรแปลงข้อมูลขนานให้เป็นอนุกรมโดยใช้ MC145026 และ Modulation
ข้อมูลอนุกรมที่ได้แบบ FSK โดยใช้ XR2206 41
รูปที่ 3.8 วงจร FSK Demodulator ด้วย XR2211 และ
แปลงข้อมูลจากอนุกรมเป็นขนานด้วยMC145027 42
รูปที่ 3.9 วงจรถอดรหัสเพื่อเลือกตำแหน่งรีเลย์ที่ต้องการและ
วงจรรีเลย์ที่เชื่อมต่อกับอุปกรณ์ไฟฟ้าที่ต้องการควบคุม 43
รูปที่ 3.10 วงจร FM Receiver 45
รูปที่ 3.11 วงจร Limitter & Detector โดยใช้ IC เบอร์ MC3356 46
รูปที่ 3.12 ตารางคุณสมบัติของ IC เบอร์ MC145166 47
รูปที่ 3.13 วงจร oscillator และ modulator 48
รูปที่ 3.14 วงจร RF Amplifier 49
รูปที่ 4.1 สัญญาณข้อมูลอนุกรมที่ออกจากขา 15 D_{out} ของ MC145026
ในขณะที่ข้อมูลเป็น 0001 50
รูปที่ 4.2 สัญญาณ FSK ที่ออกจากขา 2 FSK O/P ของ XR2206
ในขณะที่ข้อมูลเป็น 0001 50
รูปที่ 4.3 คลื่นพาหะ Channel 1 ความถี่ 49.67 MHz 51
รูปที่ 4.4 คลื่นพาหะ Channel 2 ความถี่ 49.845 MHz 51
รูปที่ 4.5 คลื่นพาหะ Channel 3 ความถี่ 49.86 MHz 52
รูปที่ 4.6 คลื่นพาหะ Channel 4 ความถี่ 49.77 MHz 52
รูปที่ 4.7 คลื่นพาหะ Channel 5 ความถี่ 49.875 MHz 52
รูปที่ 4.8 คลื่นพาหะ Channel 6 ความถี่ 49.83 MHz 53

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

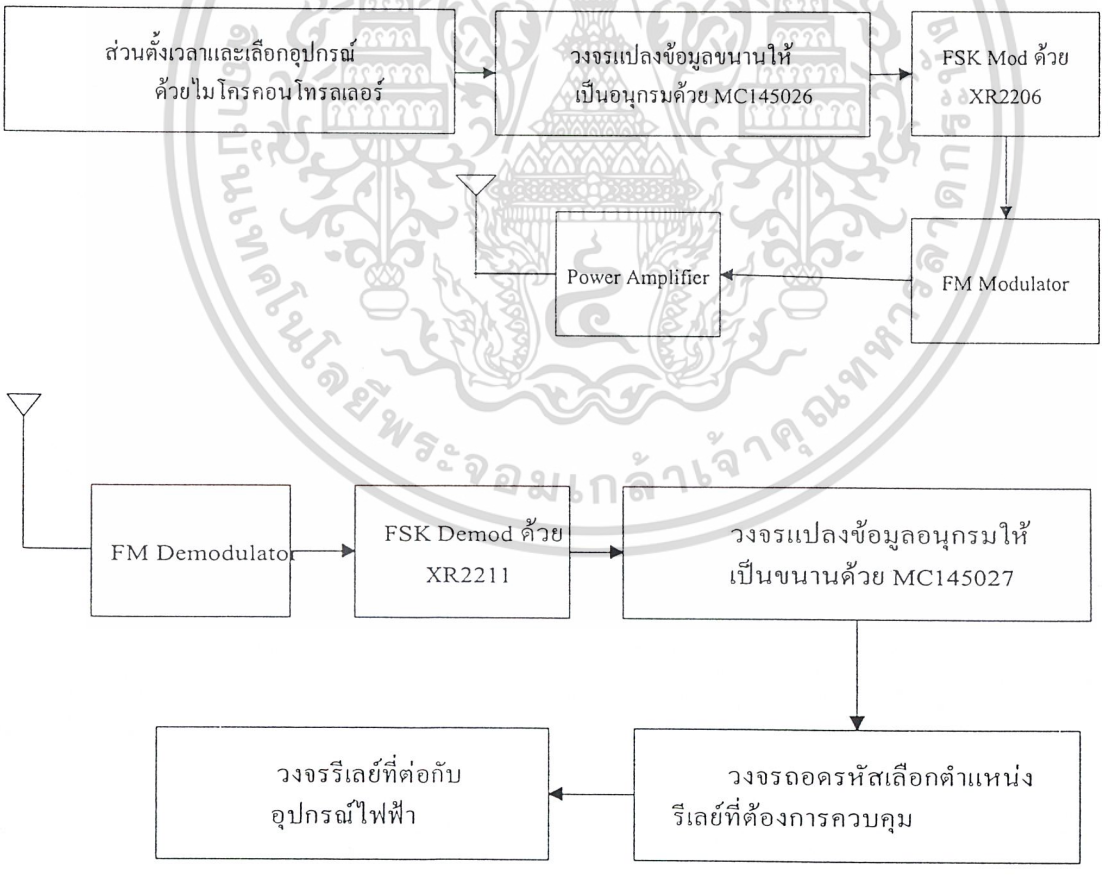
รูปที่ 4.9 คลื่นพาหะ Channel 7 ความถี่ 49.89 MHz 53
รูปที่ 4.10 คลื่นพาหะ Channel 8 ความถี่ 49.93 MHz 53
รูปที่ 4.11 คลื่นพาหะ Channel 9 ความถี่ 49.99 MHz 54
รูปที่ 4.12 คลื่นพาหะ Channel 10 ความถี่ 49.97 MHz 54
รูปที่ 4.13 Local Oscillator Channel 1 ความถี่ 38.97 MHz 55
รูปที่ 4.14 Local Oscillator Channel 2 ความถี่ 39.15MHz 55
รูปที่ 4.15 Local Oscillator Channel 3 ความถี่ 39.165 MHz 56
รูปที่ 4.16 Local Oscillator Channel 4 ความถี่ 39.075MHz 56
รูปที่ 4.17 Local Oscillator Channel 5 ความถี่ 39.18 MHz 56
รูปที่ 4.18 Local Oscillator Channel 6 ความถี่ 39.135 MHz 57
รูปที่ 4.19 Local Oscillator Channel 7 ความถี่ 39.195 MHz 57
รูปที่ 4.20 Local Oscillator Channel 8 ความถี่ 39.235 MHz 57
รูปที่ 4.21 Local Oscillator Channel 9 ความถี่ 39.295 MHz 58
รูปที่ 4.22 Local Oscillator Channel 10 ความถี่ 39.275 MHz 58
รูปที่ 4.23 สัญญาณ IF 10.7 MHz 59
รูปที่ 4.24 สัญญาณข้อมูล FSK ที่ demod ออกมาได้ 59
รูปที่ 4.25 ตารางแสดงผลการตอบสนองความถี่ของวงจรภาครับ FM 60
รูปที่ 4.26 กราฟแสดงผลการตอบสนองความถี่ของวงจรภาครับ FM 61

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 1 บทนำ

ในปัจจุบันการสื่อสารข้อมูลแบบไร้สายมีบทบาทอย่างมากในชีวิตประจำวันเช่นโทรศัพท์มือถือ วิทยุสื่อสาร วิทยุ ซึ่งใช้วิธีการส่งข้อมูลหลายรูปแบบด้วยกัน และวิธีหนึ่งก็คือการมอดดูเลตทางความถี่ (FM) ซึ่งในโครงงานนี้จะใช้วิธีการส่งข้อมูลไร้สายแบบ FM ในย่านความถี่ 46-49 MHz มาใช้ควบคุม ปิด-เปิดอุปกรณ์ไฟฟ้า เพื่อนำไปใช้ประโยชน์ในสถานการณ์ที่ผู้ใช้อุปกรณ์ไฟฟ้าไม่สามารถเข้าไปควบคุมอุปกรณ์ได้โดยตรง และการเดินสายข้อมูลทำได้ลำบาก

การทำงานของวงจรอย่างคร่าว ๆจะเริ่มต้นจากการรับคำสั่งจาก keyboard ซึ่งเป็นคำสั่งในการควบคุมอุปกรณ์ไฟฟ้าที่สามารถใช้งานได้ทั้งแบบตั้งเวลาและแบบสั่งปิด-เปิดธรรมดา หลังจากได้รับคำสั่งจาก keyboard แล้วคำสั่งก็จะถูกนำไปประมวลผลในไมโครคอนโทรลเลอร์ แล้วนำสัญญาณที่ได้จากไมโครคอยโทรลเลอร์นี้ไปผ่านกระบวนการเพื่อส่งด้วยวิธีการแบบ FM ไปยังเครื่องรับ หลังจากที่เครื่องรับได้รับสัญญาณ FM แล้วก็จะทำการแปลงสัญญาณกลับมาให้อยู่ในรูปของดิจิตอล เพื่อนำไปควบคุมอุปกรณ์ไฟฟ้าอีกทีหนึ่ง



รูปที่ 1.1 Block Diagram ของเครื่องควบคุมอุปกรณ์ไฟฟ้าผ่านคลื่นวิทยุ RF

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ในรายงานฉบับนี้จะกล่าวถึงเนื้อหาโครงงานดังนี้

บทที่ 1 บทนำ กล่าวถึงรูปแบบและการใช้งานของตัวโครงงานอย่างคร่าว ๆ

บทที่ 2 ทฤษฎี กล่าวถึงทฤษฎีพื้นฐานของแต่ละวงจรแต่ละส่วนที่ถูกนำมาใช้งานในโครงงานนี้ ได้แก่ การมอดดูเลต-ดีมอดดูเลตสัญญาณอนาล็อกความถี่สูง, การมอดดูเลต-ดีมอดดูเลตสัญญาณดิจิตอล, Side-band FM, Band-width FM, เฟสล็อกลูป

บทที่ 3 การออกแบบและหลักการทำงาน กล่าวถึงหลักการและเหตุผลในการเลือกใช้อุปกรณ์, วงจร, รูปแบบการส่งข้อมูล, ย่านความถี่ที่ใช้ โดยละเอียด

บทที่ 4 ผลการทดลอง แสดงถึงผลที่เกิดขึ้นจากการทำงานของวงจร, การตอบสนองความถี่, รูปแบบของสัญญาณที่แต่ละวงจรส่งออกมา

บทที่ 5 สรุป บทนี้จะกล่าวถึงข้อดี-ข้อเสียของการส่งข้อมูลแบบ FM เทียบกับการส่งข้อมูลแบบอื่น ๆ และกล่าวถึงปัญหาที่เกิดขึ้นกับชิ้นงาน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 2
ทฤษฎี

ถ้าจะกล่าวถึงการสื่อสารข้อมูลทางอิเล็กทรอนิกส์แล้วก็จะหมายถึง การส่ง , การรับ , และการประมวลผลข้อมูล ระหว่างจุด 2 จุด ระบบของการสื่อสารข้อมูลทุกชนิดจะมีรูปแบบพื้นฐานจะประกอบไปด้วย เครื่องส่ง(Transmitter) , เครื่องรับ(Receiver) , ช่องทางการสื่อสาร และสัญญาณรบกวน(Noise)

เครื่องส่ง (Transmitter)

คืออุปกรณ์และวงจรอิเล็กทรอนิกส์ ที่ได้ถูกออกแบบ สำหรับเปลี่ยนสัญญาณข้อมูล (Intelligence)ให้กลายเป็นสัญญาณที่เหมาะสมกับการส่งผ่านช่องสื่อสารหรือตัวกลางของแต่ละระบบ

ช่องสื่อสารหรือตัวกลาง (Communication channel)

คือตัวกลางที่สัญญาณข้อมูลเดินทางผ่านไปจากจุดหนึ่งไปยังอีกจุดหนึ่ง

เครื่องรับ (Receiver)

คืออุปกรณ์และวงจรอิเล็กทรอนิกส์อีกชุดหนึ่ง ซึ่งจะรับสัญญาณที่ผ่านช่องสื่อสาร และแปลงให้เป็นสัญญาณที่เหมาะสมกับตัวขับเร้าของระบบ

สัญญาณรบกวน (Noise)

คือพลังงานที่อยู่ในรูปแบบของการสุ่ม (Random) ไม่มีรูปแบที่แน่นอน เป็นสัญญาณที่เราไม่พึงปราถนาซึ่งจะรวมเข้ากับสัญญาณสื่อสาร อันมีผลทำให้คุณภาพของการสื่อสารลดลง หรืออาจทำให้การสื่อสารล้มเหลวได้

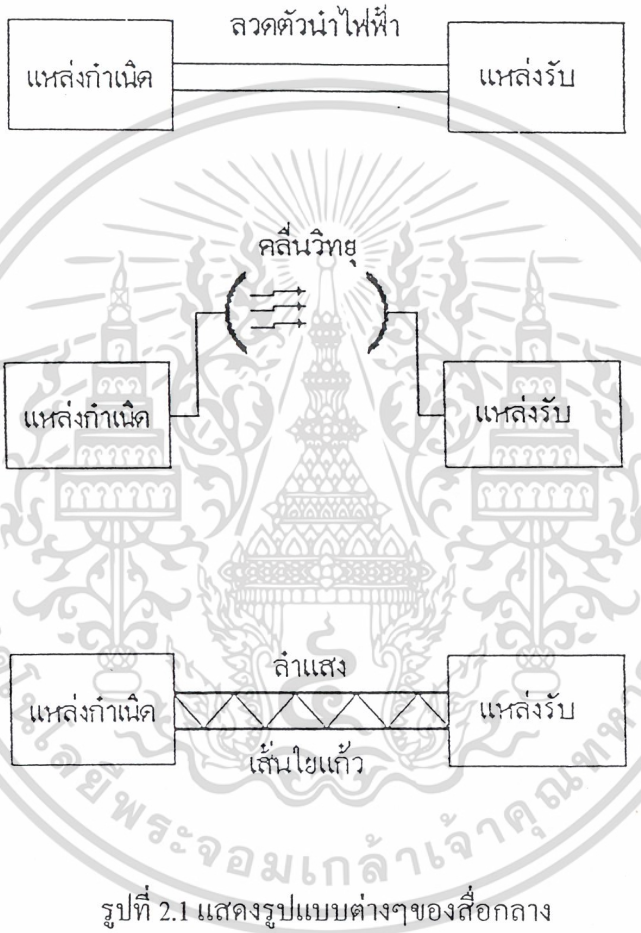
เราสามารถแบ่งรูปแบบของการสื่อสารตามลักษณะของช่องสื่อสารได้ 2 รูปแบบ คือ

- แบบมีสาย (Wire or cable) ที่อยู่ในรูปของตัวนำ
- แบบไร้สาย (Wireless or radio) ซึ่งในบทนี้จะกล่าวถึงทฤษฎีพื้นฐานที่สำคัญสำหรับการสื่อสารแบบไร้สายดังต่อไปนี้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.1 ระบบสื่อสาร

ในระบบสื่อสารสื่อกลางของการสื่อสารสามารถที่จะมีได้หลายรูปแบบ โดยเฉพาะในงานทางด้านโทรคมนาคมเราใช้สื่อกลางเป็นลวดตัวนำหรือคลื่นวิทยุก็ได้ ซึ่งแสดงให้เห็นในรูปที่ 2.1



รูปที่ 2.1 แสดงรูปแบบต่างๆของสื่อกลาง

ที่นี้จะกล่าวถึงระบบสื่อสารในความหมายทางโทรคมนาคม เราสามารถแบ่งชนิดของระบบสื่อสารได้ 2 แบบตามลักษณะสัญญาณที่ใช้ในระบบคือ

- แบบสัญญาณอนาลอก
- แบบสัญญาณดิจิตอล

เราจะพิจารณาทีละแบบดังต่อไปนี้

2.1.1 ระบบสื่อสารแบบอนาลอก

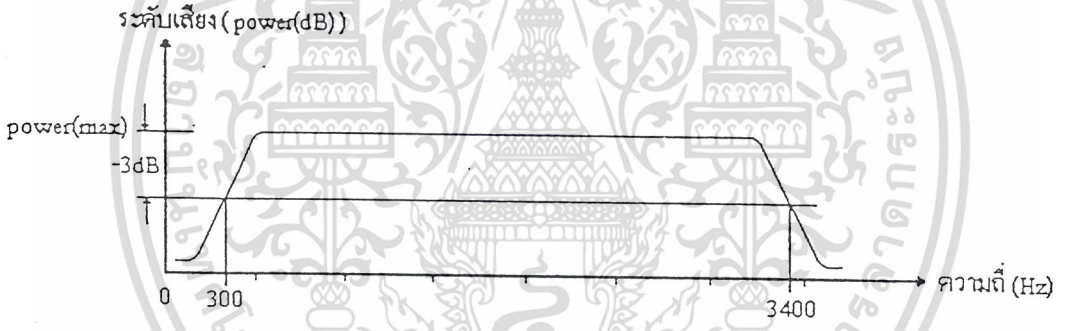
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สิ่งที่ใช้พิจารณาถึงขีดความสามารถของระบบนี้คือ อัตราส่วนของสัญญาณหลักต่อสัญญาณรบกวนหรือเรียกว่า ค่าS/N(Signal-to-Noise ratio)

หากค่า S/N สูงแสดงว่าระบบมีประสิทธิภาพดี

หากค่า S/N ต่ำแสดงว่าระบบมีประสิทธิภาพไม่ดี

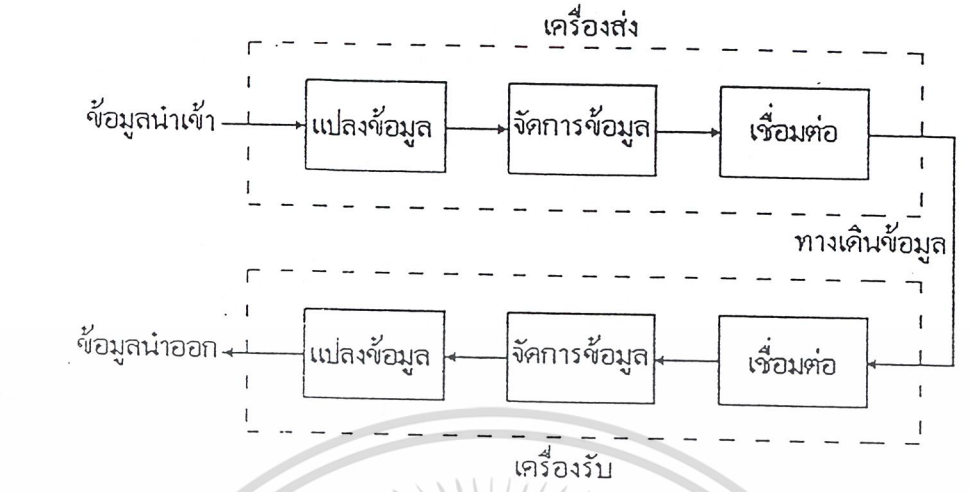
และอีกประเด็นสำคัญที่จะต้องนำมาพิจารณาด้วยคือ ค่าความกว้างแถบ (Band width) ซึ่งค่าความกว้างแถบนี้จะหมายถึง ช่วงความถี่ที่ครอบคลุมกำลังส่วนมากหรือช่วงความถี่ที่มีค่าอัตราขยาย หรือค่าการลดทอนเพียงเล็กน้อยในช่วงกลางๆของความกว้างแถบ โดยทั่วไปมักกำหนดขอบเขตของความกว้างแถบที่จุด –3 dB หรือครึ่งหนึ่งของกำลังงานสูงสุด เพื่อให้มองเห็นภาพแสดงดังรูปที่ 2.2 ค่าความกว้างของแถบสัญญาณเสียง ซึ่งมีค่าความกว้างแถบเท่ากับ 3000 Hz



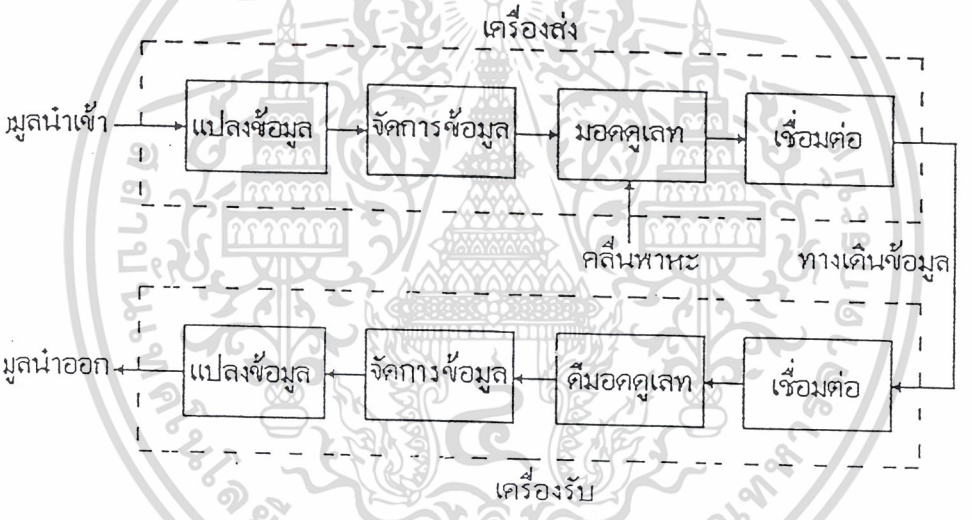
รูปที่ 2.2 แสดงการกำหนดค่าความกว้างแถบความถี่

เราจะเห็นได้ว่ากรณีที่ช่องสัญญาณติดต่อมีความกว้างแถบความถี่ไม่เพียงพอต่อสัญญาณที่เราสนใจอยู่จะทำให้สัญญาณไม่สามารถส่งผ่านได้ทั้งหมด เราเรียกลักษณะการเกิดในกรณีนี้ว่า ความเพี้ยน (Distortion) เมื่อถึงจุดนี้ขอให้ลองพิจารณาระบบสื่อสารแบบอนาลอกในรูปที่ 2.3 ซึ่งมีการทำงานภายในต่างกันแต่มีจุดหลักที่เหมือนกันคือ การรับและส่งข้อมูลในแบบอนาลอก เช่น เสียงหรือภาพที่มองเห็นได้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



(ก) ระบบ Baseband



(ข) ระบบ Broadband

รูปที่ 2.3 แสดงระบบสื่อสารแบบอนาลอก

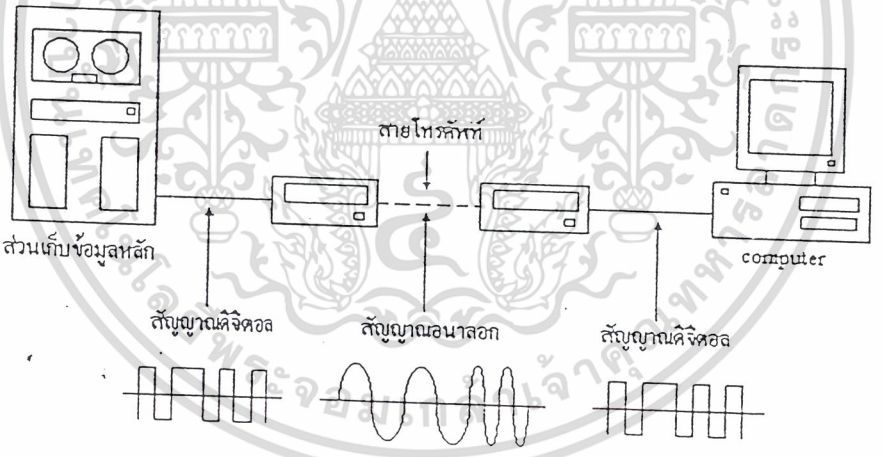
จากรูปที่ 2.3(ก) แสดงให้เห็นถึงระบบเบสแบนด์ (Baseband) ที่มีลักษณะสำคัญคือ สัญญาณที่ส่งออกมาจะมีรูปสเปกตรัมของความถี่เดียวกับแหล่งต้นทาง หรือแหล่งผลิตความถี่ หมายถึงไม่มีการมอดดูเลต (Modulate) กับคลื่นพาหะที่มีความถี่สูงกว่า ส่วนขั้นตอนที่เกี่ยวกับสัญญาณในด้านส่งอาจมีการขยายสัญญาณการกรองความถี่ หรือการแมชชิ่ง อิมพีแดนซ์ เพื่อลดการสูญเสียในการส่งและรับ ส่วนรูปที่ 2.3(ข) แสดงถึงระบบสื่อสารแบบบรอดแบนด์ (Broadband) คือการรวมและการแยกสัญญาณในทางคณิตศาสตร์ (Modulate and Demodulate)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

อธิบายได้ว่าการรวมหรือการแยกสัญญาณจะใช้การเปลี่ยนรูปสเปกตรัมความถี่ของสัญญาณให้เข้ากันกับช่วงความถี่ที่ได้คาดไว้หรือในอีกแง่หนึ่งเป็นการป้องกันสัญญาณอื่นแทรกเข้ามาในช่วงความถี่เดียวกัน ตัวอย่างการใช้ระบบนี้ที่มีใช้กันอย่างแพร่หลายคือ การกระจายเสียงวิทยุในแบบ AM และ FM

2.1.2 ระบบสื่อสารแบบดิจิตอล

ลักษณะข้อมูลที่ใช้ในระบบนี้จะอยู่ในรหัส 1 หรือ 0 คือเลขฐานสอง หรือเลขฐานสิบหก เป็นต้น บางครั้งเราอาจมีความต้องการส่งสัญญาณอนาลอกผ่านระบบดิจิตอล จึงต้องมีการเปลี่ยนสัญญาณอนาลอกเป็นสัญญาณดิจิตอลก่อนซึ่งเราเรียกว่า การสุ่มตัวอย่าง (Sampling) ซึ่งเป็นวิธีการทางคณิตศาสตร์ ค่าที่ได้จากการสุ่มตัวอย่างจัดเป็นรหัสเลขฐานสอง (Binary code) ที่สามารถจัดการตามเทคนิคทางดิจิตอลได้ ตัวอย่างเช่น การส่งข้อมูลแบบขนานหรืออนุกรม หรือแบบสัมพันธ์และแบบไม่สัมพันธ์ เป็นต้น แสดงดังรูปที่ 2.4



รูปที่ 2.4 แสดงการสื่อสารทั้งแบบอนาลอกและดิจิตอล

จากรูปที่ 2.4 แสดงสัญญาณในการติดต่อระหว่างเครื่องคอมพิวเตอร์กับส่วนเก็บข้อมูลหลักผ่านทางสายโทรศัพท์โดยมีอุปกรณ์โมเด็ม (Modem) ทำหน้าที่ช่วยเครื่องคอมพิวเตอร์ให้สามารถรับและส่งข้อมูลผ่านทางสายโทรศัพท์ได้ โดยการแปลงสัญญาณคอมพิวเตอร์ให้เป็น

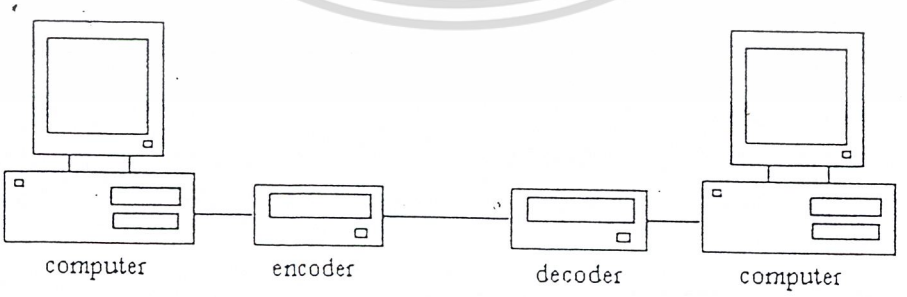
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สัญญาณไฟฟ้าในด้านส่งและแปลงกลับอีกทางด้านรับ ซึ่งวิธีการแปลงสัญญาณคอมพิวเตอร์เป็นสัญญาณไฟฟ้าเรียกว่า การมอดดูเลต (Modulation) และวิะการแปลงสัญญาณไฟฟ้าเป็นสัญญาณคอมพิวเตอร์เรียกว่าการดีมอดดูเลต (Demodulation) ประเด็นหนึ่งที่ควรสนใจในระบบสื่อสารแบบดิจิตอลคือ ประสิทธิภาพของระบบโดยที่จะพิจารณาจากค่าอัตราการผิดพลาดข้อมูล (bit error rate:BER) ซึ่งเป็นอัตราส่วนระหว่างจำนวนข้อมูลที่ผิดพลาดเทียบกับจำนวนข้อมูลที่ส่งไปทั้งหมดในช่วงเวลาหนึ่ง ถ้าค่า BER นี้มีค่าต่ำจะหมายถึงระบบมีประสิทธิภาพสูงเพราะจำนวนข้อมูลที่ผิดพลาดมีน้อย ส่วนประเด็นอื่นๆที่เกี่ยวข้องในระบบสื่อสารแบบดิจิตอลก็มีอัตราความเร็วในการสื่อสารข้อมูล เป็นต้น

2.2 การสื่อสารข้อมูล (Data Communication)

ในการส่งข้อมูลขนาดของข้อมูลหนึ่งตัวอักษรนั้นจะขึ้นอยู่กับอุปกรณ์การสื่อสารที่ใช้ ซึ่งจะมีความยาวอยู่ระหว่าง 7-8 บิต ตัวอักษรนั้นเกิดจากการกำหนดความหมายให้กับกลุ่มของตัวเลขฐานสอง ซึ่งจะมีการแปรออกมาเป็นอักขระ , ตัวเลข หรือเครื่องหมายวรรคตอนอย่างใดก็ได้ หรือไม่เช่นนั้นก็อาจเป็นตัวกำหนดหน้าที่ควบคุมการทำงานของอุปกรณ์ เช่นอาจเป็นคำสั่งให้เครื่องพิมพ์เลื่อนบรรทัดหรือขึ้นหน้าใหม่ ชุดของกลุ่มของเลขฐานสองที่มีการกำหนดความหมายต่างๆ มีรหัสจำนวนมากมายที่ใช้กันอยู่ในปัจจุบันในอุปกรณ์การสื่อสารซึ่งจะถูกออกแบบมาให้ใช้ได้เฉพาะกับรหัสชนิดต่างๆ ขึ้นอยู่กับวัตถุประสงค์ของผู้ออกแบบและใช้งาน

ประเด็นที่เป็นการสื่อสารระหว่างเครื่องคอมพิวเตอร์จะไม่มีความสามารถที่จะเข้าใจถึงความหมายของตัวหนังสือได้ จึงต้องมีการแปลงความหมายให้เป็นแบบที่สามารถตีความได้ คือ ในสถานะของเลขฐานสอง ดังนั้นจึงต้องมีอุปกรณ์ทำหน้าที่เข้ารหัส (Encoder) และถอดรหัส (Decoder) มาใช้ในการรับส่งข้อมูลระหว่างเครื่องมือด้วยกันดังแสดงในรูปที่ 2.5



รูปที่ 2.5 แสดงการส่งข้อมูลโดยใช้รหัส

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

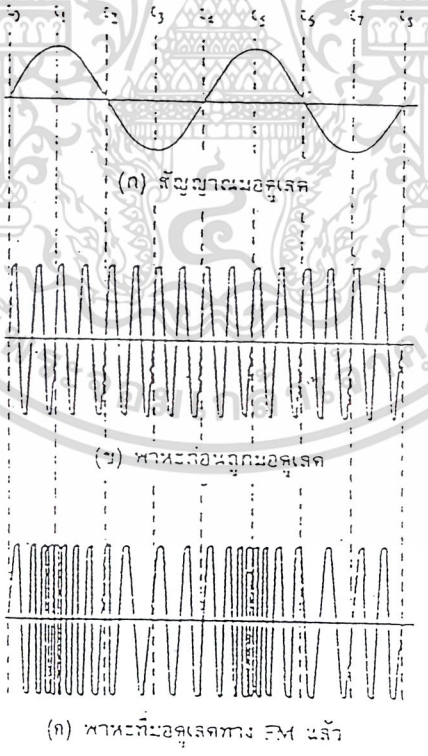
2.3 ความเร็วในการถ่ายโอนข้อมูลแบบอนุกรม

ความเร็วของการถ่ายโอนข้อมูลแบบอนุกรมมีหน่วยเป็น บิตต่อวินาที (bps) ส่วนการเปลี่ยนแปลงของสัญญาณในหนึ่งวินาทีเรียกว่าบอดเรต (baud rate) หรืออัตราบอด การเปลี่ยนแปลงของสัญญาณหนึ่งครั้งอาจจะแสดงถึงการส่งข้อมูลแบบอนุกรมมากกว่า 1 บิตก็ได้ ถ้าเขียนในรูปของสมการคณิตศสตร์จะได้

อัตราบิต(bit rate) = อัตราบอด(baud rate) X (บิตใน 1 บอด)

2.4 การมอดดูเลตทางความถี่ (Frequency Modulation ; FM)

การมอดดูเลตทางความถี่สามารถอธิบายได้ดังรูปที่ 2.6 โดยรูปที่ 2.6(ค) จะเป็นสัญญาณที่ถูกมอดดูเลตด้วยคลื่นพาหะกับสัญญาณที่นำมามอดดูเลต จากรูปจะเห็นว่าที่เวลา t_0 สัญญาณจะอยู่ที่ความถี่กลาง เมื่อสัญญาณที่เข้ามามอดดูเลตมีค่าทางบวกสูงสุดความถี่ของของพาหะจะเพิ่มขึ้นสูงสุด ที่เวลา t_1



รูปที่ 2.6 การมอดดูเลตทางความถี่

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ที่เวลา t_2 สัญญาณมอดดูเลตลดลงเป็นศูนย์ ความถี่ของพาหะก็จะลดลงมาที่ความถี่กลางดังเดิม หลังจากสัญญาณมอดดูเลตมีค่าตกลงต่ำกว่าศูนย์กลายเป็นลบ ความถี่สัญญาณพาหะจะลดลงต่ำกว่าความถี่กลางและเมื่อสัญญาณมอดดูเลตกลับเป็นศูนย์อีกครั้งหนึ่งความถี่ของพาหะก็จะกลับมายังความถี่กลางดังเดิม และเช่นกันกับความถี่ t_4-t_8 ก็จะซ้ำแบบเดิมเรื่อยๆ

ช่วงความถี่ที่พาหะเบี่ยงเบนไปจากความถี่กลางเรียกว่า ความถี่เบี่ยงเบน (frequency deviation) หรือ ดิวิเอชั่น ตัวอย่างเช่น พาหะมีความถี่ 100 *MHz* ลดลงต่ำสุดเป็น 99.9 *MHz* และเพิ่มขึ้นสูงสุดเป็น 100.1 *MHz* สลับไปมาเช่นนี้ หมายความว่าช่วงความถี่เบี่ยงเบนเท่ากับ ±0.1 *MHz* หรือ ± 100 *MHz*

อัตราการเบี่ยงเบนความถี่ของสัญญาณ FM ขึ้นอยู่กับความถี่ของสัญญาณที่เข้ามอดดูเลต ตัวอย่างเช่น ถ้าสัญญาณที่เข้ามามอดดูเลต (สัญญาณเสียง) ความถี่ 1000Hz อัตราการเบี่ยงเบนความถี่ของสัญญาณ FM จะเท่ากับ 1000 ครั้งต่อวินาที ถ้าสัญญาณที่เข้ามามอดดูเลตเพิ่มความถี่เป็น 10 *KHz* โดยคงค่าแอมพลิจูดเท่าเดิม ช่วงความถี่เบี่ยงเบนก็ยังคงเท่าเดิม คือเท่ากับ ± 100 *KHz* แต่อัตราการเบี่ยงเบนจะเพิ่มเป็น 10000 ครั้งต่อวินาที นั่นคือความถี่ของสัญญาณที่เข้ามอดดูเลตเป็นตัวกำหนดอุตราการเบี่ยงเบนความถี่

สำหรับแอมพลิจูดของสัญญาณมอดดูเลตจะเป็นตัวกำหนดช่วงความถี่เบี่ยงเบน ตัวอย่างเช่น สัญญาณเสียงที่มีแอมพลิจูดสูงจะทำให้ความถี่เบี่ยงเบนไป ± 100 *KHz* สัญญาณเสียงที่มีแอมพลิจูดน้อยลงจะทำให้ความถี่เบี่ยงเบนไป ± 50 *KHz*

กล่าวโดยสรุป สัญญาณ FM มีคุณสมบัติที่สำคัญที่สำคัญดังนี้

- มีแอมพลิจูดคงที่ตลอด แต่ความถี่เปลี่ยนตามสัญญาณที่เข้ามามอดดูเลต
- อัตราการเบี่ยงเบนความถี่ของสัญญาณพาหะมีค่าเท่ากับความถี่ของสัญญาณที่เข้ามอดดูเลต
- ช่วงความถี่เบี่ยงเบนหรือดิวิเอชั่นเป็นสัดส่วนกับแอมพลิจูดของสัญญาณที่เข้ามอดดูเลต

2.5 ดัชนีการมอดดูเลต

ในระบบ FM เราวัดเปอร์เซ็นต์การมอดดูเลต โดยดูจากการเปลี่ยนแปลงความถี่ ซึ่งเรานิยมเรียกชื่อเสียใหม่ว่า ดัชนีการมอดดูเลต ลองพิจารณาความหมายของดัชนีการมอดดูเลตต่อไปนี้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$m = \frac{f_d}{f_m}$$

เมื่อ f_d คือช่วงความถี่เบี่ยงเบน

f_m คือความถี่ของสัญญาณที่เข้ามอดดูเลต

ค่าตัวเลขของดัชนีการมอดดูเลตจะมีค่าสูง (แตกต่างจากเปอร์เซ็นต์การมอดดูเลตซึ่งเมื่อคิดเป็นอัตราส่วนจะได้อยู่ระหว่าง 0 ถึง 1) ตัวอย่างเช่น ในระบบวิทยุกระจายเสียง FM เรากำหนดให้ความถี่เบี่ยงเบนของระบบสูงสุดไว้เท่ากับ 75 *KHz* สมมติว่าเราใช้สัญญาณเสียง 1 *KHz* มอดดูเลตให้เกิดความถี่เบี่ยงเบนเต็มที่ ค่าดัชนีมอดดูเลตจะเป็น

$$m = \frac{75kH_z}{1kH_z} = 75$$

สังเกตว่า ค่าดัชนีการมอดดูเลตในระบบ FM ขึ้นอยู่กับความถี่ของสัญญาณเสียงที่เข้ามอดดูเลต ในทางปฏิบัติเรานิยมวัดเป็นอัตราส่วนการเบี่ยงเบน (deviation ratio) ซึ่งเป็นอัตราส่วนระหว่างความถี่เบี่ยงเบน(ของระบบ)สูงสุด ($f_{d\max}$) ต่อความถี่สูงสุดของสัญญาณที่เข้ามอดดูเลต ($f_{m\max}$) ในระบบกระจายเสียง FM ค่าอัตราการเบี่ยงเบน(Δ) จะเท่ากับ

$$\Delta = \frac{f_{d\max}}{f_{m\max}}$$

$$= \frac{75kH_z}{15kH_z} = 5$$

ในระบบ FM เมื่อเพิ่มแอมพลิจูดของสัญญาณที่เข้ามอดดูเลตสูงขึ้น การเบี่ยงเบนความถี่ของพาหะจะเบี่ยงเบนได้มากขึ้น ในระบบวิทยุกระจายเสียง FM กำหนดให้ความถี่เบี่ยงเบนของระบบเต็มที่ไม่เกิน 75 *KHz* ถ้าเรามอดดูเลตทำให้ความถี่ของพาหะเบี่ยงเบนไปเท่ากับ 75 *KHz* แสดงว่าเรามอดดูเลต 100 เปอร์เซ็นต์ ซึ่งเราเขียนเป็นสมการได้ดังนี้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

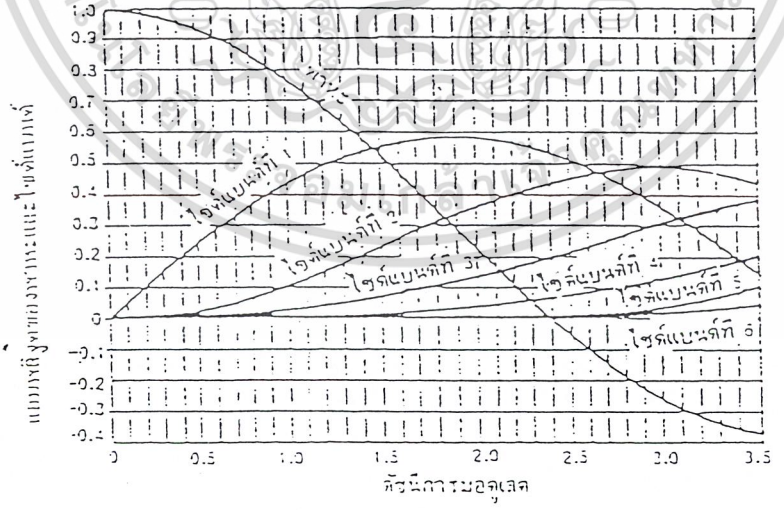
$$\text{เปอร์เซ็นต์การมอดูเลต} = \frac{f_d}{f_{d\max}} \times 100$$

ในที่นี้ f_d คือความถี่เบี่ยงเบน เนื่องจากสัญญาณที่เข้ามอดดูเลต

$f_{d\max}$ คือความถี่เบี่ยงเบนสูงสุดของระบบ

2.6 ไซด์แบนด์ FM

จากการมอดดูเลตแบบ FM ถ้าเรามอดดูเลตด้วยสัญญาณซายน์ก็จะเกิดไซด์แบนด์จำนวนนับอนันต์ เนื่องจากการเบี่ยงเบนความถี่ของพาหะทำให้เกิดความถี่เพิ่มขึ้นฮีกมากมาย ความจริงแล้วไซด์แบนด์ที่อยู่ห่างจากความถี่กลางมากๆ มักมีแอมพลิจูดเล็กมากจนไม่ต้องคำนึงถึง ในระบบ FM สัญญาณ FM จะรักษาแอมพลิจูดไว้คงที่เสมอ ซึ่งหมายความว่ากำลังของคลื่นพาหะย่อมกระจายไปอยู่ในไซด์แบนด์ ความสัมพันธ์ของพาหะกับไซด์แบนด์ในระบบ FM ขึ้นอยู่กับดัชนีการมอดดูเลตเนื่องจากดัชนีการมอดดูเลตเป็นตัวกำหนดจำนวนของไซด์แบนด์ที่สำคัญและแอมพลิจูดของพาหะกับไซด์แบนด์ต่างๆ



รูปที่ 2.7 กราฟแสดงแอมพลิจูดของพาหะและไซด์แบนด์ในระบบ FM

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

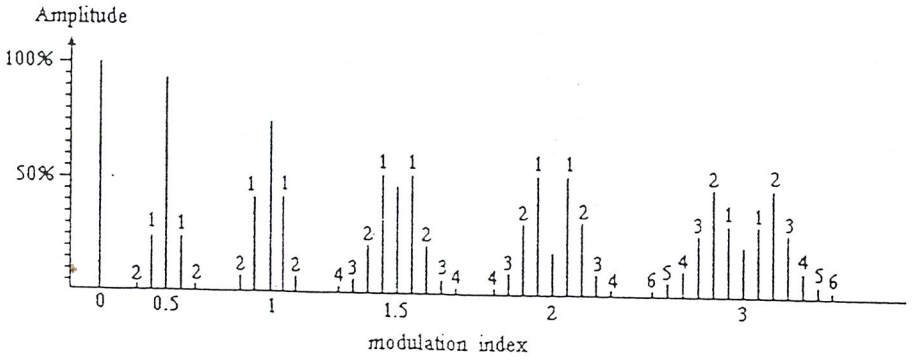
ในรูปที่ 2.7 แสดงกราฟแอมพลิจูดของคลื่นพาหะกับไซด์แบนด์ที่ดัชนีการมอดดูเลต ค่าต่างๆจะเห็นว่าเมื่อดัชนีการมอดดูเลตเป็นศูนย์จะมีแต่คลื่นพาหะอย่างเดียว (เท่ากับ 1 หน่วย) คลื่นไซด์แบนด์จะเป็นศูนย์ เมื่อดัชนีการมอดดูเลตเพิ่มขึ้นจำนวนไซด์แบนด์จะเพิ่มขึ้นแอมพลิจูดของไซด์แบนด์ก็จะใหญ่ขึ้นแต่แอมพลิจูดของพาหะกลับเล็กลงจนกระทั่งดัชนีการมอดดูเลตเท่ากับ 2.4 คลื่นพาหะจะเป็นศูนย์ ตอนนี้กำลังของคลื่น FM จะไปอยู่ในไซด์แบนด์ทั้งสิ้น เมื่อดัชนีการมอดดูเลตเพิ่มขึ้นอีกคลื่นพาหะก็จะมีค่าเพิ่มขึ้นอีก (เป็นค่าลบแสดงว่าเฟสตรงกันข้ามกับตอนแรก เช่น เมื่อดัชนีการมอดดูเลตเป็น 3.1 แอมพลิจูดของพาหะจะเท่ากับ –0.3 หน่วย) สังเกตว่าจุดที่คลื่นพาหะเป็นศูนย์นั้นมีอยู่หลายจุด

กราฟในรูปที่ 2.7 เขียนได้เป็นตารางดังแสดงในรูปที่ 2.8 และเพื่อให้ดูง่ายขึ้นในที่นี้เราตัดไซด์แบนด์ที่มีแอมพลิจูดน้อยกว่า 1 เปอร์เซ็นต์ของพาหะเดิม (ก่อนมอดดูเลต) ออกไปโดยไม่คำนึงถึง เช่น เมื่อดัชนีการมอดดูเลตเท่ากับ 0.5 แอมพลิจูดของพาหะจะเท่ากับ 0.94 หน่วย ไซด์แบนด์คู่แรกมีแอมพลิจูดเท่ากับ 0.24 หน่วย ไซด์แบนด์คู่ที่สองถัดไปมีแอมพลิจูดเท่ากับ 0.03 หน่วย ไซด์แบนด์อื่นนอกจากนี้มีแอมพลิจูดน้อยจนสามารถตัดทิ้งไปได้ เมื่อดัชนีการมอดดูเลตสูงขึ้นการกระจายคลื่นไซด์แบนด์จะเป็นดังรูปที่ 2.9

ดัชนีการมอดดูเลต	พาหะ	ไซด์แบนด์คู่ที่															
		1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16
0	1	_	_	_	_	_	_	_	_	_	_	_	_	_	_	_	_
0.25	0.98	0.12	_	_	_	_	_	_	_	_	_	_	_	_	_	_	_
0.5	0.94	0.24	0.03	_	_	_	_	_	_	_	_	_	_	_	_	_	_
1	0.77	0.44	0.11	0.02	_	_	_	_	_	_	_	_	_	_	_	_	_
1.5	0.51	0.56	0.23	0.06	0.01	_	_	_	_	_	_	_	_	_	_	_	_
2	0.22	0.58	0.35	0.13	0.03	_	_	_	_	_	_	_	_	_	_	_	_
2.5	-0.05	0.5	0.45	0.22	0.07	0.02	_	_	_	_	_	_	_	_	_	_	_
3	-0.26	0.34	0.49	0.31	0.13	0.04	0.01	_	_	_	_	_	_	_	_	_	_
4	-0.4	-0.07	0.36	0.43	0.28	0.13	0.05	0.02	_	_	_	_	_	_	_	_	_
5	-0.18	-0.33	0.05	0.36	0.39	0.26	0.13	0.05	0.02	_	_	_	_	_	_	_	_
6	0.15	0.28	-0.24	0.11	0.36	0.36	0.25	0.13	0.06	0.02	_	_	_	_	_	_	_
7	0.3	0	-0.3	-0.17	0.16	0.35	0.34	0.23	0.13	0.06	0.02	_	_	_	_	_	_
8	0.17	0.23	-0.11	-0.29	-0.1	0.19	0.34	0.32	0.22	0.13	0.06	0.03	_	_	_	_	_
9	-0.09	0.24	0.14	-0.18	-0.27	-0.26	0.2	0.33	0.3	0.21	0.12	0.06	0.03	0.01	_	_	_
10	-0.25	0.04	0.25	0.06	-0.22	-0.23	-0.01	0.22	0.31	0.29	0.2	0.12	0.06	0.03	0.01	_	_

รูปที่ 2.8 ตารางแสดงการกระจายคลื่นพาหะและไซด์แบนด์ที่ดัชนีการมอดดูเลตค่าต่างๆ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.9 รูปคลื่น FM ในเชิงความถี่ที่ค่าดัชนีการมอดดูเลตเท่ากับ 0,0.5,1,1.5,2,3

2.7 แบนด์วิดท์ของสัญญาณ FM

ในระบบ FM จำนวนไซด์แบนด์และแอมพลิจูดของไซด์แบนด์ขึ้นอยู่กับค่าดัชนีการมอดดูเลต โดยความถี่ของไซด์แบนด์มีค่าสัมพันธ์กับความถี่ของสัญญาณที่เข้ามามอดดูเลต กล่าวคือไซด์แบนด์คู่แรกมีความถี่เท่ากับ $f_c \pm f_m$ ไซด์แบนด์คู่ที่สองมีความถี่เท่ากับ $f_c \pm 2f_m$, ...ฯลฯ ฉะนั้นแบนด์วิดท์ของคลื่น FM ต้องครอบคลุมจำนวนไซด์แบนด์ที่สำคัญทุกตัว นั่นคือแบนด์วิดท์ขึ้นอยู่กับดัชนีการมอดดูเลตแล้วความถี่ของสัญญาณที่เข้ามอดดูเลต แต่ดัชนีการมอดดูเลตเท่ากับ f_d / f_m

ดังนั้นถ้าเราทราบความถี่เบี่ยงเบนและความถี่ของสัญญาณมอดดูเลตเราก็สามารถคำนวณหาแบนด์วิดท์ได้ ตัวอย่างเช่นความถี่ของของสัญญาณเสียงที่เข้ามอดดูเลตเท่ากับ 3 *KHz* ความถี่เบี่ยงเบนเท่ากับ 18 *KHz* เราคำนวณค่าดัชนีการมอดดูเลตได้ดังนี้

$$m = \frac{f_d}{f_m}$$
$$= \frac{18kH_z}{3kH_z} = 6$$

นำค่า m = 6 ไปหาไซด์แบนด์สำคัญที่พิจารณาได้จากตารางในรูปที่ 2.8 จะเห็นว่าเมื่อดัชนีการมอดดูเลตเท่ากับ 6 จำนวนไซด์แบนด์จะมีอยู่ 9 คู่ เราจึงคำนวณหาแบนด์วิดท์ได้ดังนี้

$$BW = f_m \times \text{จำนวนไซด์แบนด์} \times 2$$
$$= 3kH_z \times 9 \times 2$$
$$= 54kH_z$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ความจริงแล้วในทางปฏิบัตินิยมใช้สูตรคำนวณแบบประมาณจากค่า $f_{d\max}$ และ $f_{m\max}$ เลยไม่ต้องเสียเวลานับจำนวนไซด์แบนด์ ดังนี้

$$BW = 2(m+1)f_{m\max}$$

หรือ $BW = 2(f_{d\max} + f_{m\max})$, เมื่อ $m = \frac{f_{d\max}}{f_{m\max}}$

จากตัวอย่างดังกล่าวเราคำนวณได้ว่า

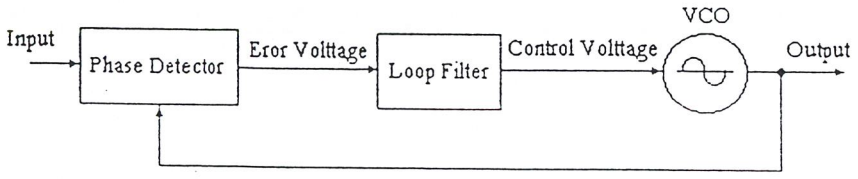
$$BW = 2 \times (6+1) \times 3$$
$$= 42kH_z$$
$$BW = 2 \times (18+3)$$
$$= 42kH_z$$

เสมือนกับว่าเราพิจารณาใช้จำนวนไซด์แบนด์เพียง 7 คู่ เมื่อเทียบกับการคำนวณในตอนต้น

2.8 Phase – Lock Loops (PLL)

เป็นระบบป้อนกลับที่บังคับให้วงจรออสซิลเลเตอร์มีความถี่หรือเฟสเปลี่ยนแปลงไปตามความถี่หรือเฟสของสัญญาณอ้างอิงภายนอก เฟสล็อคลูปประกอบด้วยวงจรสำคัญ 3 วงจร คือ วงจรเทียบเฟสหรือเฟสดีเทคเตอร์ (phase detector) , วงจรลูปฟิลเตอร์ (loop filter) และวงจร VCO ดังรูปที่ 2.10

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.10 Block Diagram ของ Phase – Lock Loops (PLL)

สมมติว่ามีสัญญาณความถี่อ้างอิงภายนอกเป็นสัญญาณรายคาบ (periodic) เข้ามาที่อินพุต วงจรเฟสดีเทคเตอร์จะทำหน้าที่เปรียบเทียบเฟสระหว่างสัญญาณอ้างอิงกับสัญญาณ VCO เอาท์พุตที่ได้จากวงจรเฟสดีเทคเตอร์จะเป็นแรงดันที่มีแอมพลิจูดเป็นสัดส่วนกับผลต่างในเฟสของสัญญาณทั้งสองที่ทำการเปรียบเทียบ แรงดันผลต่างนี้ป้อนไปให้วงจรลูปฟิลเตอร์ซึ่งเป็นฟิลเตอร์ชนิดโลพาสกรองเอาแต่เฉพาะความถี่ต่างๆที่ต้องการ เพื่อส่งไปควบคุมการออสซิเลทของ VCO ต่อไป เมื่อลูปอยู่ในสภาวะล็อค ความถี่ VCO จะเท่ากับความถี่ของสัญญาณอินพุตพอดี อาจจะมีเฟสแตกต่างไปแต่ค่าเฟสที่แตกต่างนั้นจะมีค่าคงที่ (constant phase difference) ในกรณีที่มีเฟสไม่ตรงกัน วงจรเฟสดีเทคเตอร์จะจ่ายแรงดันคลาดเคลื่อน (error voltage) ไปควบคุมการทำงานของ VCO เพื่อมิให้เฟสคลาดเคลื่อนจนกว่าจะเข้าสู่ภาวะล็อค เอาท์พุตของ VCO จึงมีแอมพลิจูดที่คงที่เสมอ แต่ความถี่จะเปลี่ยนแปลงตามความถี่ของสัญญาณอินพุต

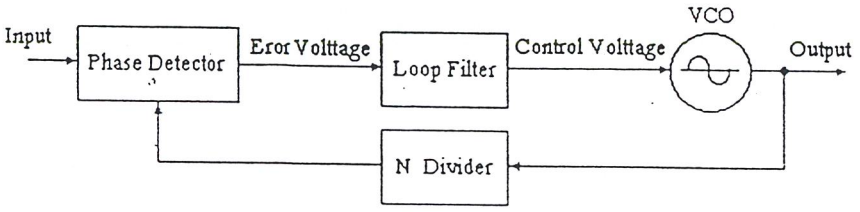
เราสามารถนำเฟสล็อคลูปไปใช้งานได้หลายอย่างด้วยกัน เช่น ในการดีมอดสัญญาณ FM หรือใช้ในการสังเคราะห์(ผลิต) ความถี่ที่มีความเที่ยงตรงเทียบเท่าสัญญาณอ้างอิง

การนำ PLL ไปใช้ในการสังเคราะห์ความถี่

ความหมายของการสังเคราะห์ความถี่ก็คือ วงจรที่ทำหน้าที่ผลิตสัญญาณความถี่และให้มีความถี่ตามที่เรากำหนดคือสั่งหรือโปรแกรมได้ โดยหลักการทำงานเหมือนกับ PLL เพียงแต่เพิ่มวงจร N Divider เข้าไป วงจร N Divider หรือ หาร N ทำหน้าที่หารความถี่แบบตั้งโปรแกรมให้หารด้วยค่าตัวเลขตามต้องการได้ (Programmable Divider) สัญญาณอ้างอิงจะมาจากวงจรกำเนิดความถี่โดยใช้คริสตอลออสซิลเลเตอร์หรือเป็นสัญญาณอื่นๆ (Reference Generator)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สำนักหอสมุดกลาง พระจอมเกล้าลาดกระบัง



รูปที่2.11 Block Diagram การทำงานของวงจรสังเคราะห์ความถี่

จากรูปที่ 2.11 สัญญาณที่อินพุตของวงจรเฟสดีเทคเตอร์จะมีด้วยกัน 2 สัญญาณ คือ สัญญาณจากวงจร VCO ที่มีความถี่เท่ากับ F_o / N และจากสัญญาณอ้างอิงกำหนดให้มีความถี่เท่ากับ F_R เอาท์พุตจากวงจรเฟสดีเทคเตอร์ก็คือผลต่างระหว่างสัญญาณ F_o / N กับ F_R ซึ่งจะกรองเฉพาะความถี่ต่ำเท่านั้น เพื่อบังคับการออสซิลเลทของวงจร VCO ให้ทำการปรับแก้ความถี่ (เฟส) ให้ตรงจนกว่าความถี่ของสัญญาณทั้งสองจะเท่ากัน

ในสภาวะล็อค ความถี่ของวงจร VCO เมื่อผ่านวงจรหาร N จะมีค่าเท่ากับ $F_o = N\ F_R$ หรือเอาท์พุตจะมีความถี่เป็น N เท่าของความถี่อ้างอิง วงจรสังเคราะห์ความถี่จะสามารถผลิตความถี่ได้แต่เฉพาะในช่วงความถี่ที่วงจร VCO และวงจรหาร N ทำงานได้เท่านั้น

2.9 การมอดดูเลตสัญญาณแบบดิจิตอล

การมอดดูเลตข้อมูลที่เป็นดิจิตอลมีหลักการพื้นฐานอยู่ 3 แบบด้วยกันคือ

1.การมอดดูเลตทางขนาด(Amplitude Shift Keying; ASK)

2.การมอดดูเลตทางเฟส(Phase Shift Keying; PSK)

3.การมอดดูเลตทางความถี่(Frequency Shift Keying; FSK)

จากสมการทางคณิตศาสตร์ของคลื่นรูปซายน์ ที่เราใช้เป็นพาหะ

$$e = A\sin(\omega t + \varnothing) \qquad 2.9.1$$

เราจะพบว่าเราสามารถทำการเปลี่ยนแปลงหรือมอดดูเลตได้ด้วย แอมพลิจูด, ความถี่เชิงมุม, และเฟส

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

46208

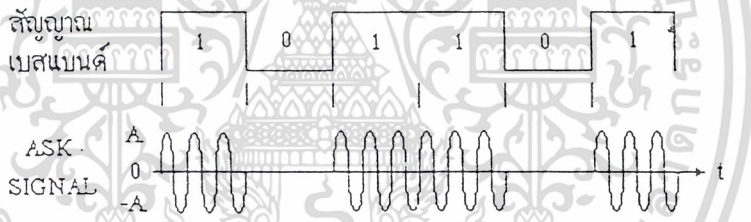
สัญญาณดิจิตอลเบสแบนด์เป็นรูปสี่เหลี่ยมมีขนาดแปรตามค่า logic high-low ซึ่งสัญญานที่เรามอดดูเลตจะเปลี่ยนค่าแอมพลิจูด,ความถี่เชิงมุม หรือเฟสไปตาม logic เช่นกัน

2.9.1 การมอดดูเลตทางขนาด (ASK)

ในการมอดดูเลตสัญญาณดิจิตอลทางขนาดบางครั้งเราอาจเรียกว่า OOK (on-off keying) เพราะว่าคลื่นพาหะถูก on/off ตามสัญญาณที่เป็น high หรือ low ถ้าคลื่นพาหะกำหนดโดยสมการที่ 2.9.1 ดังนั้นสัญญาณสัญญาณ ASK จะกำหนดได้เป็น

$$e = A\sin 2\pi f_1 t \quad ; \text{เมื่อสถานะของบิทเป็น “ 1 ”}$$
$$= 0 \quad ; \text{เมื่อสถานะของบิทเป็น “ 0 ”}$$

แสดงดังรูปที่ 2.12



รูปที่ 2.12 แสดงการมอดดูเลตแบบ ASK

การModulate แบบ ASK นี้เป็นรูปแบบที่มีประสิทธิภาพต่ำที่สุด มีความผิดพลาดในการส่งข้อมูลสูง และใช้งานได้ในงานที่ต้องการความเร็วของข้อมูลต่ำ (น้อยกว่า 100 บิต/วินาที)

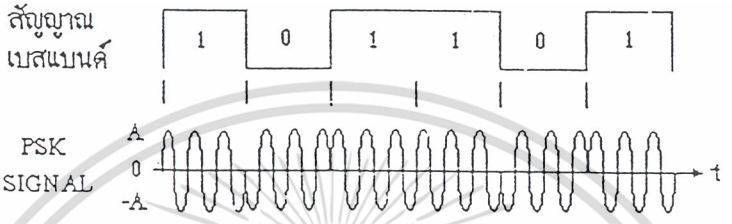
2.9.2 การมอดดูเลตดิจิตอลทางเฟส (PSK)

การมอดดูเลตดิจอตอลทางเฟสจะใช้เฟสของสัญญาณอนาลอกแทนสัญญาณดิจิตอล สัญญาณ logic high จะให้เฟสของอนาลอกเฟสหนึ่ง และส่วน logic low ก็จะให้เฟสของอนาลอกอีกเฟสหนึ่ง ถ้าสัญญาณพาหะเป็นดังสมการ 2.9.1 ดังนั้นสัญญาณ PSK จะกำหนดได้เป็น(ในกรณีที่ส่งครั้งละ 1 บิต)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$e = A\sin 2\pi f_c t \quad ; \text{เมื่อสถานะของบิทเป็น “ 1 ”}$$
$$= A\sin(2\pi f_c t + \pi) \quad ; \text{เมื่อสถานะของบิทเป็น “ 0 ”}$$

แสดงได้ดังรูปที่ 2.13

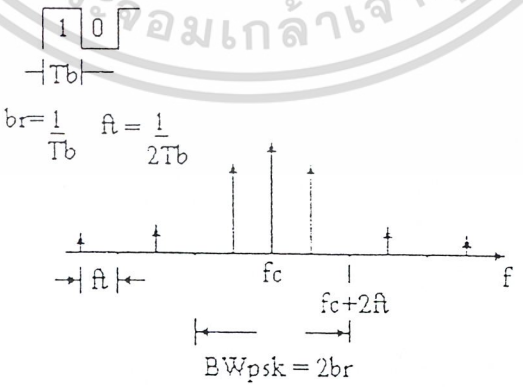


รูปที่ 2.13 แสดงการมอดดูเลตแบบ PSK

รูปแบบที่ง่ายที่สุดของการมอดดูเลตแบบ PSK คือ Binary PSK (BPSK) ดังแสดงในรูปที่ 2.14 ที่ค่าเฟสของสัญญาณจะมี 2 ค่า คือ 0 และ 180 องศา ซึ่งสมการที่ได้จากการมอดดูเลตแล้วได้เป็น

$$V_{PSK} = V_b \sin(2\pi f_c t) + \bar{V}_b \sin(2\pi f_c t + \pi)$$

เมื่อ V_b แทนค่าสถานะของบิท คือ “ 1 ” และ “ 0 ”



รูปที่ 2.14 แสดงสัญญาณในแบบ BPSK

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ถ้าคิดให้อัตราเร็วบิตเท่ากันแล้ว แบบ PSK มีค่าความกว้างแถบน้อยกว่าแบบ FSK (แต่ราคาของ PSK สูงกว่า) เราใช้การมอดดูเลตแบบ PSK ในโมเด็มที่มีอัตราเราวบิตเท่ากับ 2400 และ 4800 บิต/วินาที เพราะว่าการมอดดูเลตแบบ FSK ไม่สามารถทำได้โดยผ่านเครือข่ายโทรศัพท์

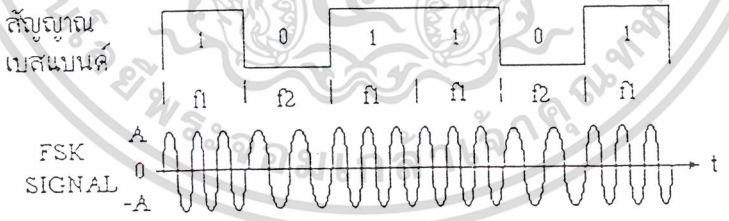
2.9.3 การมอดดูเลตดิจิตอลทางความถี่ (Frequency Shift Keying ; FSK)

การมอดดูเลตดิจิตอลทางความถี่เมื่อข้อมูลเป็น logic high จะได้ข้อมูลออกเป็นความถี่หนึ่ง และเมื่อเป็น logic low ก็จะได้ข้อมูลออกเป็นอีกความถี่หนึ่ง

ดังนั้นกรณีของการมอดดูเลตแบบ FSK ความถี่ของคลื่นพาหะจะมี 2 ความถี่ คือใช้เป็นค่า high กับ low ดังสมการต่อไปนี้

$$e = A\sin 2\pi f_1 t \quad ;\text{เมื่อสถานะบิทเป็น “ 1 ”}$$
$$= A\sin 2\pi f_2 t \quad ;\text{เมื่อสถานะบิทเป็น “ 0 ”}$$

แสดงดังรูปที่ 2.15



รูปที่ 2.15 แสดงการมอดดูเลตแบบ FSK

2.10 วงจรเรโซแนนซ์ (Resonance)

เป็นวงจรที่ต่อร่วมระหว่างตัวเก็บประจุ (C) กับขดลวดเหนี่ยวนำ (L) บางครั้งเราอาจจะเรียกชื่อวงจรเรโซแนนซ์ว่า วงจรจูน (Tune) หรือวงจรแท้งค์ (Tank) เป็นต้น

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

วงจรเรโซแนนซ์ถูกนำมาใช้ในเครื่องรับและเครื่องส่งวิทยุทั่วๆไป ด้วยวัตถุประสงค์ให้วงจรเรโซแนนซ์เป็นตัวเลือกความถี่และให้เป็นตัวกหนดความถี่ที่เกิดขึ้น ให้เป็นความถี่หรือให้เป็นทางผ่านของความถี่แล้วแต่กรณีวงจรเรโซแนนซ์แบบใช้ขดลวดร่วมกับตัวเก็บประจุมีอยู่ 2 แบบ คือ วงจรเรโซแนนซ์แบบอนุกรม (Series resonance) และวงจรเรโซแนนซ์แบบขนาน (Parallel resonance) ดังแสดงในรูปที่ 2.16

(ก) วงจรเรโซแนนซ์แบบอนุกรม (ข) วงจรเรโซแนนซ์แบบขนาน

รูปที่ 2.16 วงจรเรโซแนนซ์แบบใช้ LC

ธรรมชาติของวงจรเรโซแนนซ์จะยอมให้ความถี่ค่าหนึ่งผ่านได้ดี เรียกว่าความถี่เรโซแนนซ์ ซึ่งเมื่อป้อนความถี่เรโซแนนซ์แก่วงจรเรโซแนนซ์แบบอนุกรม กระแสจะผ่านได้มากที่สุด โดยมีแรงดันตกคร่อมวงจรต่ำที่สุด ถ้าป้อนความถี่เรโซแนนซ์แก่วงจรเรโซแนนซ์แบบขนานกระแสจะผ่านได้น้อยที่สุด โดยมีแรงดันตกคร่อมวงจรสูงที่สุด โดยปกติวงจรเรโซแนนซ์จะต้องมีแบนด์วิดท์ที่ยอมให้ความถี่ข้างเคียงกับความถี่เรโซแนนซ์ทั้งด้านสูงและด้านต่ำผ่านไปได้ช่วงหนึ่ง ความถี่เรโซแนนซ์จึงหมายถึงความถี่ที่ผ่านวงจรตลอดแบนด์วิดท์ ซึ่งอาจจะกว้างหรือแคบขึ้นอยู่กับคุณสมบัติของวงจรเรโซแนนซ์นั้นๆ ซึ่งมีสูตรคำนวณความถี่คำนวณค่าการเหนี่ยวนำของขดลวดและคำนวณค่าความจุของตัวเก็บประจุของวงจรเรโซแนนซ์ดังนี้

$$f_r = \frac{1}{2\pi\sqrt{LC}}$$

เมื่อ f_r = ความถี่เรโซแนนซ์มีหน่วยเป็นเฮิร์ต(Hz)

L = ค่าการเหนี่ยวนำของขดลวด มีหน่วยเป็นเฮนรี่(H)

C = ค่าความจุของตัวเก็บประจุ มีหน่วยเป็นฟารัด(F)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

วงจรเรโซแนนซ์ถูกนำมาใช้ในเครื่องรับและเครื่องส่งวิทยุทั่วๆไป ด้วยวัตถุประสงค์ให้วงจรเรโซแนนซ์เป็นตัวเลือกความถี่และให้เป็นตัวกหนดความถี่ที่เกิดขึ้น ให้เป็นความถี่หรือให้เป็นทางผ่านของความถี่แล้วแต่กรณีวงจรเรโซแนนซ์แบบใช้ขดลวดร่วมกับตัวเก็บประจุมีอยู่ 2 แบบ คือ วงจรเรโซแนนซ์แบบอนุกรม (Series resonance) และวงจรเรโซแนนซ์แบบขนาน (Parallel resonance) ดังแสดงในรูปที่ 2.16

(ก) วงจรเรโซแนนซ์แบบอนุกรม (ข) วงจรเรโซแนนซ์แบบขนาน

รูปที่ 2.16 วงจรเรโซแนนซ์แบบใช้ LC

ธรรมชาติของวงจรเรโซแนนซ์จะยอมให้ความถี่ค่าหนึ่งผ่านได้ดี เรียกว่าความถี่เรโซแนนซ์ ซึ่งเมื่อป้อนความถี่เรโซแนนซ์แก่วงจรเรโซแนนซ์แบบอนุกรม กระแสจะผ่านได้มากที่สุด โดยมีแรงดันตกคร่อมวงจรต่ำที่สุด ถ้าป้อนความถี่เรโซแนนซ์แก่วงจรเรโซแนนซ์แบบขนานกระแสจะผ่านได้น้อยที่สุด โดยมีแรงดันตกคร่อมวงจรสูงที่สุด โดยปกติวงจรเรโซแนนซ์จะต้องมีแบนด์วิดท์ที่ยอมให้ความถี่ข้างเคียงกับความถี่เรโซแนนซ์ทั้งด้านสูงและด้านต่ำผ่านไปได้ช่วงหนึ่ง ความถี่เรโซแนนซ์จึงหมายถึงความถี่ที่ผ่านวงจรตลอดแบนด์วิดท์ ซึ่งอาจจะกว้างหรือแคบขึ้นอยู่กับคุณสมบัติของวงจรเรโซแนนซ์นั้นๆ ซึ่งมีสูตรคำนวณความถี่คำนวณค่าการเหนี่ยวนำของขดลวดและคำนวณค่าความจุของตัวเก็บประจุของวงจรเรโซแนนซ์ดังนี้

$$f_r = \frac{1}{2\pi\sqrt{LC}}$$

เมื่อ f_r = ความถี่เรโซแนนซ์มีหน่วยเป็นเฮิร์ต(Hz)

L = ค่าการเหนี่ยวนำของขดลวด มีหน่วยเป็นเฮนรี่(H)

C = ค่าความจุของตัวเก็บประจุ มีหน่วยเป็นฟารัด(F)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ในสูตรเกี่ยวกับวงจรเรโซแนนซ์ ในบางครั้งเมื่อทราบค่าความถี่ที่ต้องการแล้ว แต่ยังต้องการทราบค่าความเหนี่ยวนำของขดลวดหรือค่าความจุของตัวเก็บประจุ ซึ่งหาได้จากสูตรต่อไปนี้

การหาค่าการเหนี่ยวนำของขดลวด

$$L = 1/(4\pi^2 f_r^2 C)$$
$$= 1/(39.51 f_r^2 C)$$
$$= 0.02531/(f_r^2 C) \qquad [H]$$

การหาขนาดค่าความจุของตัวเก็บประจุ

$$C = 1/(4\pi^2 f_r^2 L)$$
$$= 1/(39.51 f_r^2 L)$$
$$= 0.02531/(f_r^2 L) \qquad [F]$$

ค่าความถี่เรโซแนนซ์จะขึ้นอยู่กับค่าการเหนี่ยวนำของขดลวดและค่าความจุของตัวเก็บประจุในวงจรเรโซแนนซ์ที่ทำงานกับความถี่ค่าเดียวและใช้การเหนี่ยวนำและความจุคงที่ ถ้าจะใช้วงจรเรโซแนนซ์ทำงานได้หลายความถี่จะต้องใช้ตัวเหนี่ยวนำหรือตัวเก็บประจุแบบปรับค่าได้ เพื่อให้วงจรเปลี่ยนค่าความถี่เรโซแนนซ์ตามที่ปรับค่าได้ ส่วนขอบเขตของความถี่เรโซแนนซ์ขึ้นอยู่กับค่าสูงสุดและค่าต่ำสุดของอุปกรณ์ที่ใช้ปรับ ตัวอย่างการปรับความถี่แสดงดังรูปที่ 2.17

รูปที่ 2.17 วงจรเรโซแนนซ์ปรับค่าได้

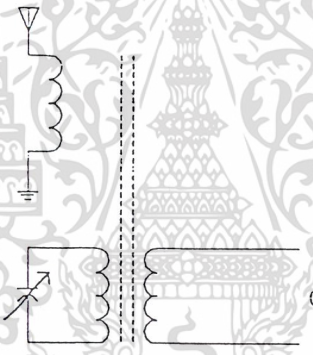
ในวงจรเครื่องรับวิทยุมักจะใช้วงจรเรโซแนนซ์แบบขนาน เช่น วงจรจูนเลือกความถี่สถานีต่างๆ วงจรเปลี่ยนความถี่ออสซิลเลเตอร์ และวงจรจูนความถี่ปานกลาง ในการเอามาใช้งานนั้นจะอยู่ในรูปแบบของหม้อแปลงความถี่สูง ซึ่งขดลวดจะถูกพันไว้บนแกนเฟอร์ไรต์ การ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

นำความถี่เรโซแนนซ์ไปใช้งานอาจใช้เหนี่ยวนำเข้าขดลวดอีกขดหนึ่งต่างหาก หรือใช้วิธีต่อแยกจากหม้อแปลงแบบพันขดลวดอันเดียว ดังรูปที่ 2.18

(ก) แบบแยกขดลวด (ข) แบบต่อแยกขดลวด

รูปที่ 2.18 การนำสัญญาณความถี่ออกจากวงจรเรโซแนนซ์



รูปที่ 2.19 แสดงวงจรจูนเลือกความถี่วิทยุ

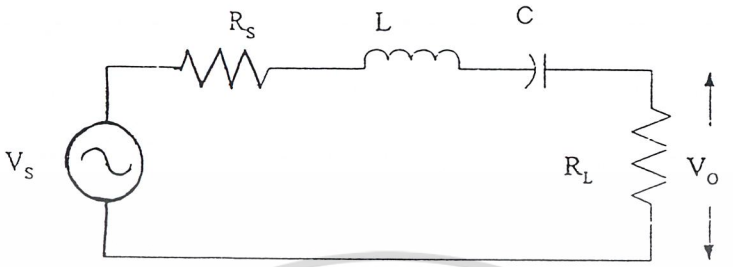
2.11 การดีมอดดูเลต (Demodulation)

การแยกสัญญาณคือการแยกความถี่ที่เราไม่ต้องการออกจากสัญญาณที่ประสมเข้ามา โดยสัญญาณที่ประสมเข้ามากับคลื่นพาหะส่วนมากในเครื่องรับวิทยุจะมีความถี่ 455 KHz ซึ่งเป็นความถี่กลางในการรับและเราจำต้องได้แยกความถี่ 455 KHz ออกจากสัญญาณข่าวสารที่ประสมมา ในการแยกนี้ต้องอาศัย Oscilator จากข้างนอกที่ผลิตความถี่เท่ากับความถี่ที่เราต้องการแยกออก ตัวอย่างเช่น ต้องการแยก 455 KHz ต้องให้ออสสิเลเตอร์ผลิตความถี่ 455 KHz ออกเพื่อไปหักล้างความถี่ที่ไม่ต้องการออก แล้วจะได้สัญญาณข่าวสารที่ยังเหลือ การสร้างออสสิเลเตอร์ส่วนมากจะใช้ค่า LC Oscilator ในรูปของการต่ออนุกรมและการต่อขนาน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

- วงจร Resonance แบบอนุกรม

(Series Resonance)



รูปที่ 2.20 วงจร Resonance แบบอนุกรม

ในวงจรรูปที่ 2.20 จะได้

$$\frac{v_o(s)}{v_s(s)} = H(s) = \frac{R_L}{R_s + SL + \frac{1}{SC} + RL}$$

$$H(s) = \frac{\frac{R_L}{R_L + R_s} \times S\left(\frac{R_s + R_L}{L}\right)}{S^2 + S\left(\frac{R_s + R_L}{L}\right) + \frac{1}{LC}}$$

K : Passband gain

$$K = \frac{R_L}{R_L + R_s}$$

ความถี่ศูนย์กลาง $w_P = \frac{1}{\sqrt{LC}}$ [R/s]

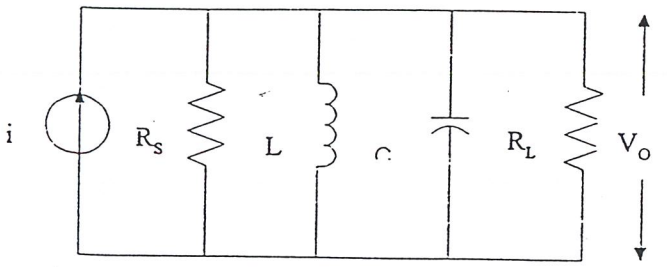
$-3dB(BW) : BW = \frac{R_s + R_L}{L}$ [R/s]

$$Q_P = \frac{1}{R_L + R_s}\sqrt{\frac{L}{C}}$$

- วงจร Resonance แบบขนานหรือวงจรแทงค์

(Parallel Resonance or Tank Circuit)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.21 วงจร Resonance แบบขนาน

จากรูปวงจรที่ 2.21 จะได้ค่าแอดมิแตนส์ Y_T จะมีค่าเป็น

$$Y_T = \frac{1}{R} + \frac{1}{SL} + SC = \frac{SL + R + S^2LCR}{SLR}$$

ซึ่ง $v_o = i\, z_T$ โดยที่ $z_T = 1/Y_T$ จะได้

$$v_o = \frac{iSLR}{S^2LCR + SL + R}\left(\frac{\frac{1}{LCR}}{\frac{1}{LCR}}\right)$$

$$\frac{v_o}{i} = 2(S) = \frac{S\left(\frac{1}{C}\right)\left[\frac{R}{R}\right]}{S^2 + S\left(\frac{1}{RC}\right) + \frac{1}{LC}}$$

$$Z_{TANK} = \frac{RS\left(\frac{1}{RC}\right)}{S^2 + S\left(\frac{1}{RC}\right) + \frac{1}{LC}}$$

$$w_P = \frac{1}{\sqrt{LC}}$$

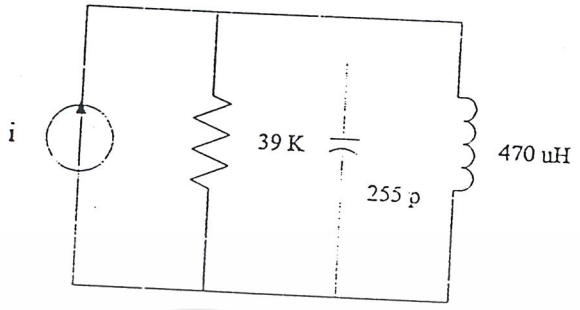
จะได้ $$BW = \frac{1}{RC}$$

$$Q_P = R\sqrt{\frac{C}{L}}$$

$$R = R_s // R_L$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ตัวอย่าง วงจรที่ใช้เข้าในบทนิพนธ์ในภาค Detector ที่นำใช้วงจร Quadrature tank



รูปที่ 2.22 รูปวงจร resonance แบบขนาน

$$f_p = \frac{1}{2\pi\sqrt{LC}} = \frac{1}{2\pi\sqrt{225\times10^{-12}\times470\times10^{-6}}}$$

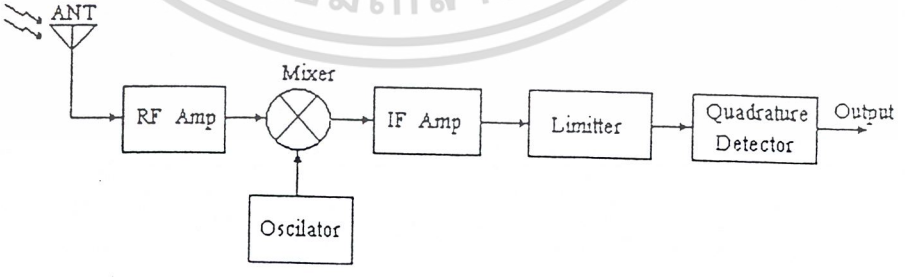
$$f_p = 460\,KHz$$

$$BW = \frac{1}{2\pi RC} = \frac{1}{2\pi\times39\times10^{3}\times255\times10^{-12}}$$

$$BW = 16\,KHz$$

2.12 เครื่องรับ FM

เครื่องรับ FM มีความคล้ายคลึงกับเครื่องรับ AM แต่จะแตกต่างกันตรงขบวนการดีเทคเท่านั้น ซึ่งการทำงานของเครื่องรับ FM สามารถที่จะอธิบายได้ตาม Block Diagram ดังรูป



รูปที่ 2.23 Block Diagram ของเครื่องรับ FM

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การทำงานของวงจรเครื่องรับ FM สามารถอธิบายได้ดังต่อไปนี้

1. **วงจร RF Amplifier**

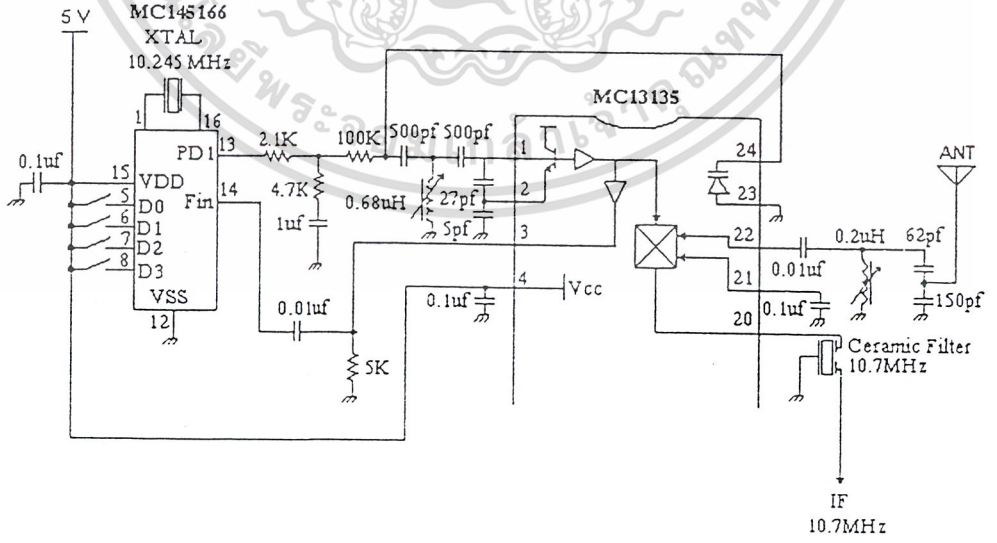
จาก Block Diagram ของเครื่องรับ FM สัญญาณที่รับได้จากสายอากาศจะป้อนเข้าสู่วงจร RF Amplifier โดยที่วงจร RF Amplifier จะทำหน้าที่ขยายสัญญาณ RF ที่รับได้จากสายอากาศให้สัญญาณมีขนาดใหญ่ขึ้น วงจร RF Amplifier ที่ดีควรมีนอยส์ต่ำ ซึ่งจะทำให้ความไวของวงจรในการรับสัญญาณสูงขึ้น ถ้าหากเราไม่ใช้วงจร RF Amplifier ในเครื่องรับ FM โดยที่นำสัญญาณ RF ที่รับได้จากเสาอากาศไปเข้าที่วงจร Mixer นอยส์ที่เกิดขึ้นจากวงจรมิกเซอร์ก็จะกลบทับสัญญาณ RF จนหมด ทำให้เครื่องรับ FM ไม่สามารถทำงานได้

2. มิกเซอร์

วงจรมิกเซอร์ (Mixer) จะมีหน้าที่ผสมสัญญาณจากวงจร RF Amplifier กับสัญญาณจากวงจรโลคอลออสซิลเลเตอร์ วงจรมิกเซอร์นี้ออกแบบให้ทำงานในช่วงที่ไม่เป็นลิเนียร์ ทำให้เกิดผลลัพธ์เป็นสัญญาณความถี่ผลต่างกับสัญญาณความถี่ผลรวมซึ่งจะตัดสัญญาณความถี่ผลรวมทิ้งไป จะคงเหลือความถี่ผลต่างซึ่งมีค่าเท่ากับความถี่ IF ที่ป้อนเข้าสู่วงจรขยาย IF

3. โลคอลออสซิลเลเตอร์

ทำหน้าที่กำเนิดสัญญาณความถี่สูงที่มีความถี่พอเหมาะในการผสมสัญญาณที่วงจรมิกเซอร์ ซึ่งจากหัวข้อที่ผ่านมาสามารถที่จะยกตัวอย่างวงจรที่ใช้งานได้จริงแสดงดังรูป



รูปที่ 2.24 PLL Controlled Wide band FM Receiver at 46/49 MHz

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สัญญาณ RF ที่รับได้จากเสาอากาศจะมาเข้าที่วงจร RF Amplifier ที่ขา 22 ของ IC เบอร์ MC13135 จากนั้นสัญญาณ RF ที่ผ่านการขยายแล้ว จะมาเข้าที่วงจรมิกเซอร์โดยที่วงจรมิกเซอร์จะทำหน้าที่ผสมสัญญาณ RF ที่ผ่านการขยายสัญญาณแล้วกับสัญญาณออสซิลเลเตอร์ที่สร้างมาจากวงจรสังเคราะห์ความถี่ ได้เป็นความถี่ 10.7 MHz ออกมาที่ขา 20 ของ IC MC13135 ซึ่ง IC 145166 จะทำหน้าที่เป็นวงจรสังเคราะห์ความถี่โดยใช้หลักการของ PLL ความถี่ของสัญญาณอ้างอิงได้มาจากคริสตอลออสซิลเลเตอร์ 10.245 MHz วงจรเฟสดีเทคเตอร์และวงจรหาร N จะอยู่ภายในตัว IC MC145166 วงจรลูปฟิลเตอร์ก็คือ วงจรโลพาสฟิลเตอร์ที่ใช้ตัวต้านทานและตัวเก็บประจุค่า 2.1 kΩ , 4.7 kΩ และ 1 μF ตามลำดับ ส่วนวงจรออสซิลเลเตอร์จะใช้ทรานซิสเตอร์ซึ่งอยู่ภายในตัว IC MC13135 โดยที่ต่ออยู่กับตัวเก็บประจุ วาริแคปไดโอดและตัวอินดัคเตอร์ปรับค่าได้ ความถี่ที่ออสซิลเลทสามารถควบคุมได้ด้วยแรงดันรีเวิร์สที่ป้อนให้กับวาริแคปไดโอด ในการเปลี่ยนค่า N ทำได้โดยปรับสวิตซ์ที่ขา 5,6,7 และ 8 ของ IC MC145166

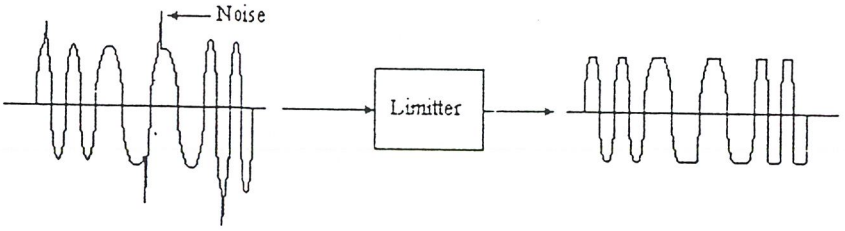
4. **วงจร IF Amplifier**

วงจร IF Amplifier จะทำหน้าที่ขยายสัญญาณ IF ให้มีขนาดใหญ่ขึ้น วงจร IF Amplifier เป็นวงจรขยายเลือกความถี่ที่มีค่าความถี่ศูนย์กลางคงที่ เนื่องจากวงจร IF Amplifier ทำงานที่ความถี่คงที่ ดังนั้นจึงเป็นการง่ายที่เราจะออกแบบให้มีคุณสมบัติตามที่เราต้องการได้ โดยปกติวงจร IF Amplifier มักออกแบบให้มีอัตราขยายสูงและควบคุมให้แบนด์วิดท์มีลักษณะไม่เปลี่ยนแปลงตามการจูนรับสัญญาณ

5. **ลิมิตเตอร์**

สัญญาณจากวงจร IF Amplifier หรือสัญญาณ FM (มีความถี่เท่ากับ IF) อาจมีนอยส์ปะปนมาด้วย วงจรลิมิตเตอร์จะทำหน้าที่ขลิบสัญญาณทั้งด้านบวกและลบรวมทั้งนอยส์ก็จะถูกกำจัดทิ้งไปด้วย สังเกตว่าความถี่ของสัญญาณ FM ก่อนและหลังลิมิตเตอร์ไม่เปลี่ยนแปลง หลักการของวงจรลิมิตเตอร์นี้คือ ป้อนสัญญาณที่มีแอมปลิจูดเกินช่วงการทำงานของวงจรจนกระทั่งวงจรขยายอิ่มตัวหรือคัทออฟ ถ้าสัญญาณ IF ที่ป้อนมามีแอมปลิจูดน้อยเอาท์พุทจากลิมิตเตอร์จะมีนอยส์ปนออกมาทางเอาท์พุท ถ้าป้อนแอมปลิจูดมาแรงๆ นอยส์ก็จะหายไป

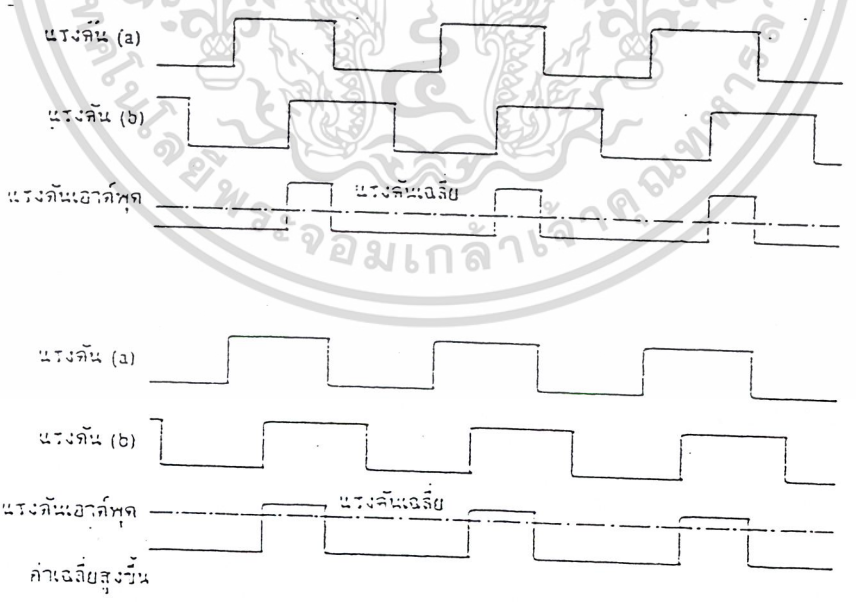
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



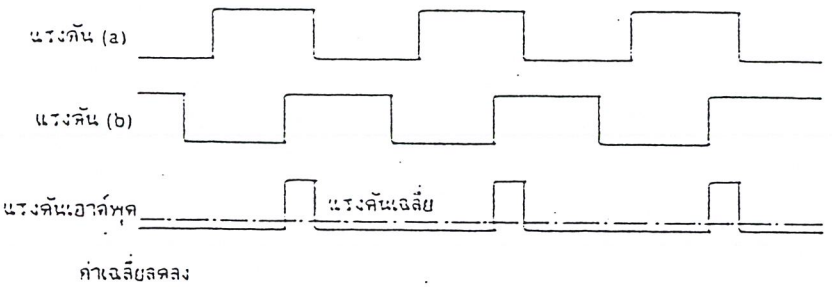
รูปที่ 2.25 หลักการทำงานของวงจรลิมิตเตอร์

6. ควอดราเจอร์ดีเทกเตอร์

วงจรดีเทกเตอร์ชนิดนี้อาศัยหลักการคูณสัญญาณ FM กับสัญญาณ FM ตัวเดิม แต่เลื่อนเฟสไป 90 องศา หรือทำหน้าที่เสมือนวงจรเทียบเฟสของสัญญาณ FM 2 สัญญาณซึ่งมีเฟสต่างกัน 90 องศา ผลลัพธ์ที่ได้จะเป็นสัญญาณมอดูเลทหรือสัญญาณเสียง สามารถอธิบายได้ดังรูปที่ 2.26ในที่นี้เราจะเขียนเป็นพัลส์เพื่อความสะดวก สังเกตว่าค่าเฉลี่ยจะเป็นสัดส่วนโดยตรงกับความถี่เบี่ยงเบนของพาหะ (เพราะเมื่อสัญญาณ FM มีความถี่ต่ำลง พัลส์เอาท์พุทจะแคบลง ค่าเฉลี่ยจะน้อยลง) นั่นคือค่าเฉลี่ยจะเปลี่ยนแปลงไปตามสัญญาณมอดูเลตหรือสัญญาณเสียง

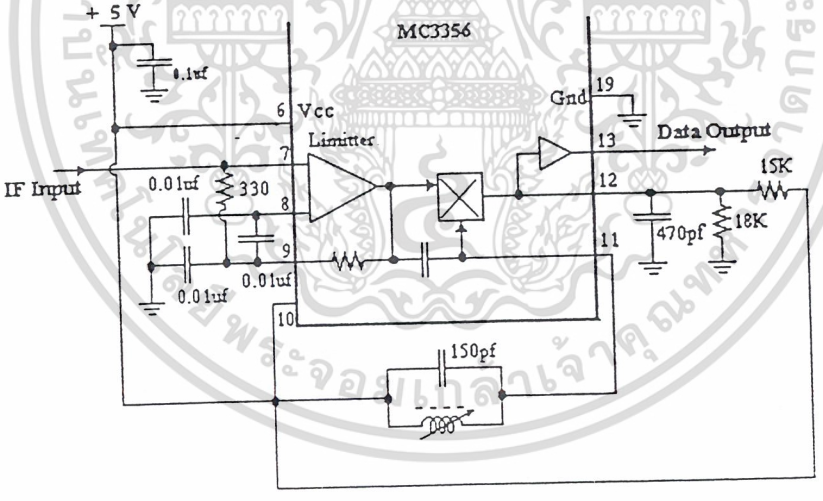


เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.26 แสดงการเทียบเฟสข่องวงจรควอดราเจอร์ดีเทกเตอร์

จากหัวข้อที่ผ่านมาสามารถยกตัวอย่างวงจรที่ใช้งานจริงได้ดังรูปที่ 2.27 ในที่นี้จะใช้งานร่วมกับวงจรในรูปที่ 2.24 โดยใช้ IC เบอร์ MC3356 สัญญาณ IF ที่ได้จากวงจรมิกเซอร์จะมาเข้าวงจร IF Amplifier ที่ขา 7 ของ IC MC3356 สัญญาณ IF ที่ผ่านการขยายแล้วจะผ่านวงจรลิมิตเตอร์และวงจร Quadrature Detector ก็จะได้สัญญาณมอดูเลทออกมาที่ขา 13 ของ IC MC3356

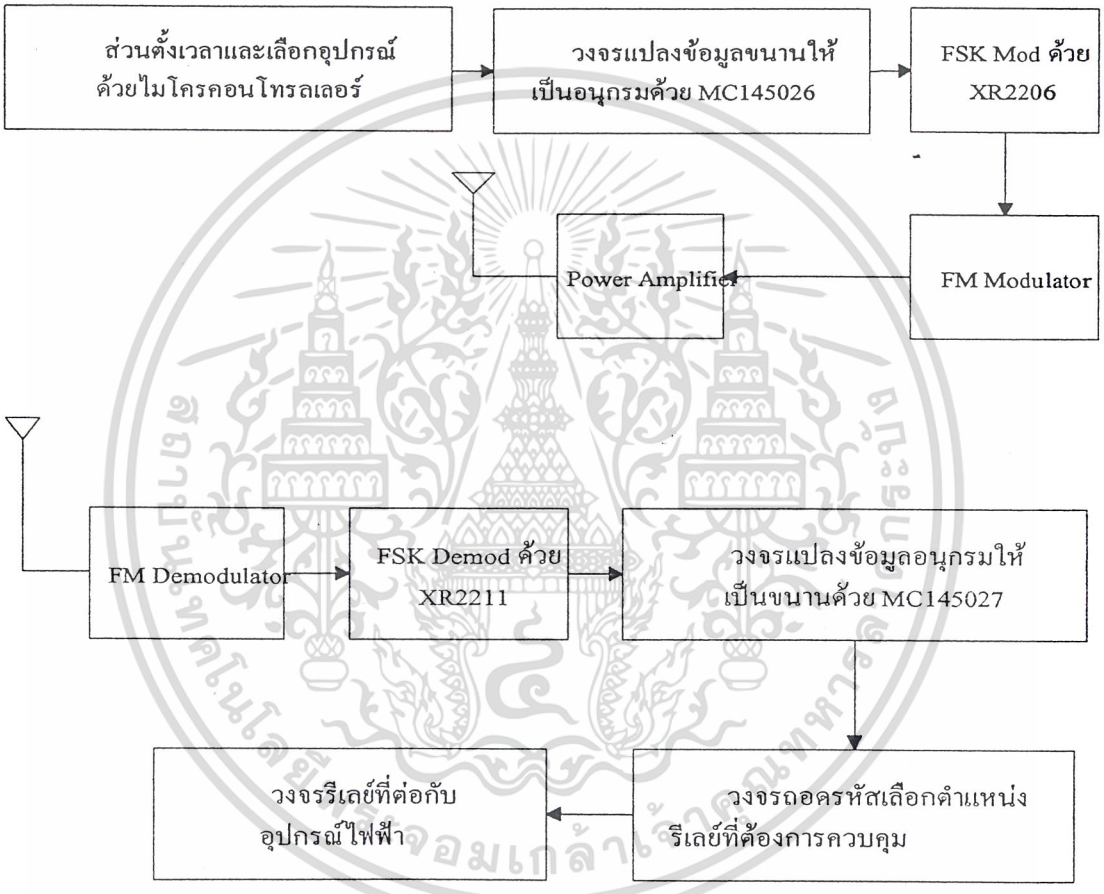


รูปที่ 2.27 แสดงการใช้ IC MC3356 ทำหน้าที่เป็น IF Amp, Limitter และ Quadrature Detector

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 3
หลักการทำงานและการออกแบบวงจร

ในชิ้นงานนี้เราสามารถแสดงขั้นตอนการทำงานได้เป็น Block diagram ดังนี้



รูปที่ 3.1 Block diagram แสดงการควบคุมการทำงานของอุปกรณ์ไฟฟ้าด้วย Micro Controller ที่ส่งข้อมูลด้วยสัญญาณความถี่วิทยุ

จากการป้อนคำสั่งของผู้ใช้ผ่าน keyboard ของไมโครคอนโทรลเลอร์ ซึ่งจะได้ข้อมูลเป็นดิจิตอลขนาน 4-bit ประกอบไปด้วย 3 บิตที่แทนแอดเดรสของรีเลย์(อุปกรณ์ไฟฟ้า)และอีก 1 บิตจะเป็นคำสั่งที่สั่งให้อุปกรณ์ไฟฟ้าตามแอดเดรสที่ถูกเลือกไปเปิดหรือปิด โดยถ้าเป็น logic high หมายถึงอุปกรณ์ไฟฟ้านั้นจะเปิด ส่วนถ้าเป็น logic low หมายถึงอุปกรณ์ไฟฟ้านั้นจะปิด

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ค่าทั้ง 4 บิตนี้จะถูกส่งออกมาจากไมโครคอนโทรลเลอร์ที่ละครั้ง(สั่งปิด – เปิด อุปกรณ์ไฟฟ้าทีละตัว) และจากนั้นจะถูกนำต่อไปเข้า Encoder (MC145026) เพื่อแปลงให้เป็นข้อมูลในรูปแบบอนุกรม จากนั้นจึงนำไปทำการมอดดูเลตสัญญาณแบบ FSK เพื่อเปลี่ยนรูปสัญญาณดิจิตอลให้เป็นสัญญาณอนาล็อกที่มีรูปแบบเป็น Sinusoid { $A\sin(2\pi f_h t)$ เมื่อมีค่า logic เป็น high และ $A\sin(2\pi f_l t)$ เมื่อมีค่า logic เป็น low } แล้วจึงนำสัญญาณที่ได้นี้มา Modulate แบบ FM เพื่อรวมสัญญาณเข้ากับคลื่นพาห์ แล้วจึงส่งข้อมูลแบบไร้สายไปยังภาครับ

ที่ภาครับเมื่อเรารับข้อมูลมาแล้วเราจะแยกสัญญาณข้อมูลออกจากคลื่นพาห์ด้วยการ Demodulate แบบ FM จากนั้นเราจะนำสัญญาณนี้มาแปลงกลับเป็นสัญญาณดิจิตอลอีกครั้งด้วยการทำ FSK Demodulate ซึ่งจะได้ข้อมูลเป็นสัญญาณดิจิตอลแบบอนุกรม แล้วเราก็จะนำลำดับข้อมูลนี้มาเข้าวงจร Decoder (MC145027) เพื่อเปลี่ยนเป็นข้อมูลแบบขนาน 4-bit ที่เป็นค่าของเลขฐานสอง (Control word) ดังเริ่มแรกที่ได้จากไมโครคอนโทรลเลอร์ในภาคส่ง สุดท้ายเราจึงทำการ Decode Control word นี้ ไปควบคุมอุปกรณ์ไฟฟ้าต่าง ๆ โดยตรง

3.1 ส่วนตั้งเวลาและเลือกอุปกรณ์ด้วยไมโครคอนโทรลเลอร์

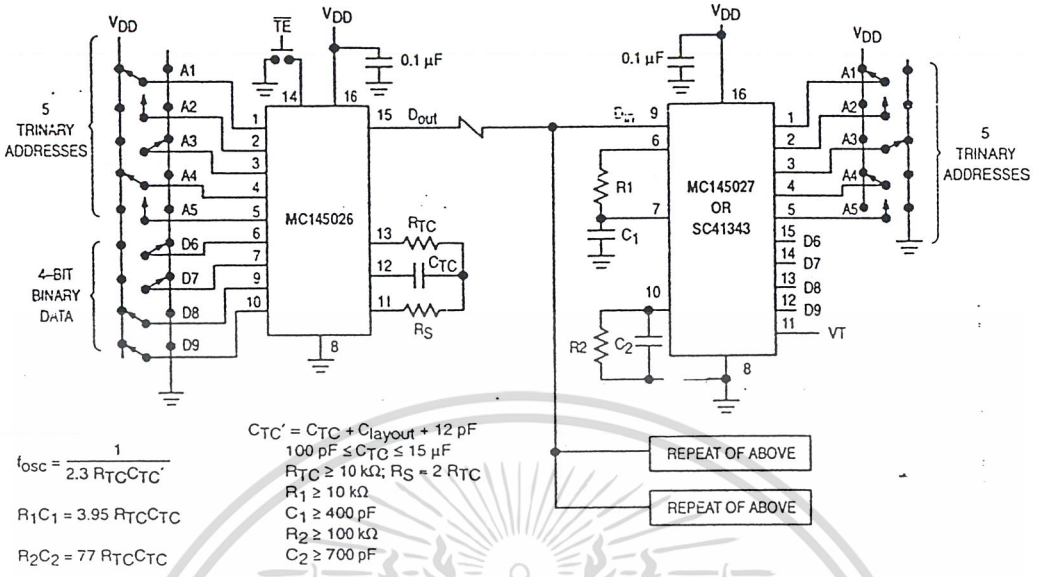
ทำงานโดยรับคำสั่งจากทาง keyboard คำสั่งนี้จะอยู่ในรูปของข้อมูลขนาด 4-bit โดยจะมี 3 bit ที่บอก address ของตัวอุปกรณ์ไฟฟ้าที่เราจะควบคุม และอีก 1 bit จะเป็นตัวกำหนดสถานะของอุปกรณ์ว่าจะเปิดหรือปิด ถ้าเป็น logic high จะหมายถึงอุปกร์ตัวที่ถูกเลือกจะเปิด ถ้าเป็น logic low หมายถึงอุปรณ์ที่ถูกเลือกนั้นจะปิด นอกจากนั้นผู้ใช้สามารถตั้งเวลาการเปิด-ปิดอุปกรณ์ไฟฟ้าผ่าน keyboard ได้

3.2 วงจรแปลงข้อมูลขนานเป็นอนุกรมด้วย MC 145026 และวงจรแปลงข้อมูลอนุกรมเป็นขนานด้วย MC145027

- วงจรแปลงข้อมูลขนานเป็นอนุกรมด้วย MC 145026

เนื่องจากข้อมูลที่ได้จากไมโครคอนโทรลเลอร์เป็นข้อมูลแบบขนาน เราไม่สามารถจะส่งหรือรับข้อมูลด้วยสัญญาณวิทยุได้ เราจึงต้องแปลงข้อมูลให้เป็นข้อมูลอนุกรมด้วย MC145026 เพื่อที่จะส่งไปมอดดูเลตแบบ FSK ก่อนจะเข้าไป มอดดูเลตแบบ FM อีกทีหนึ่งซึ่งมีรูปแบบการต่อวงจรใช้งานคู่กับ MC 145027 ดังรูป 3.2 ส่วนการใช้งานจริงจะแสดงดังรูปที่ 3.7

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



$$f_{osc} = \frac{1}{2.3\,R_{TC}C_{TC'}}$$

$R_1C_1 = 3.95\,R_{TC}C_{TC}$

$R_2C_2 = 77\,R_{TC}C_{TC}$

$C_{TC'} = C_{TC} + C_{layout} + 12\ pF$

$100\ pF \le C_{TC} \le 15\ \mu F$

$R_{TC} \ge 10\ k\Omega;\ R_S = 2\,R_{TC}$

$R_1 \ge 10\ k\Omega$

$C_1 \ge 400\ pF$

$R_2 \ge 100\ k\Omega$

$C_2 \ge 700\ pF$

Example R/C Values (All Resistors and Capacitors are ±5%)

($C_{TC'} = C_{TC} + 20\ pF$)

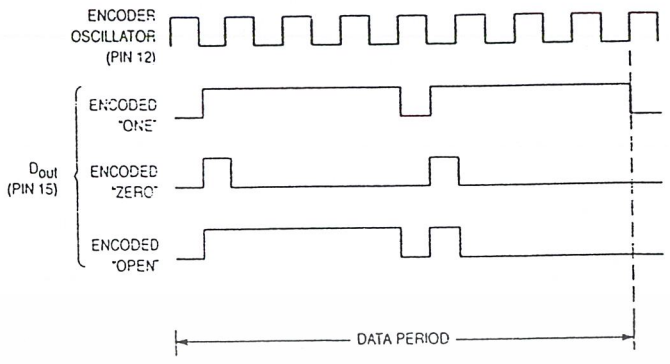
f_{osc} (kHz)	R_{TC}	$C_{TC'}$	R_S	R_1	C_1	R_2	C_2
362	10 k	120 pF	20 k	10 k	470 pF	100 k	910 pF
181	10 k	240 pF	20 k	10 k	910 pF	100 k	1800 pF
88.7	10 k	490 pF	20 k	10 k	2000 pF	100 k	3900 pF
42.6	10 k	1020 pF	20 k	10 k	3900 pF	100 k	7500 pF
21.5	10 k	2020 pF	20 k	10 k	8200 pF	100 k	0.015 µF
8.53	10 k	5100 pF	20 k	10 k	0.02 µF	200 k	0.02 µF
1.71	50 k	5100 pF	100 k	50 k	0.02 µF	200 k	0.1 µF

รูปที่ 3.2 ตารางค่าอุปกรณ์ต่างๆและวงจรการทำงานของ MC 145026 และ MC 145027

มีขา Address 5 ขา ซึ่งในแต่ละขาจะมี 3 state คือ Low High และ Open Circuit โดยการรับส่งข้อมูลแล้วค่า Address ของทางภาคส่ง (MC 145026) กับทางภาครับ (MC 145027) จะถูกเซตไว้ที่ค่าเดียวกัน นอกจากนี้จะเป็นขา Data ทั้งหมดอีก 4 ขา

ในโปรเจคนี้ขา A1-A5 จะถูกตั้งไว้คงที่เนื่องจากมีภาครับตัวเดียวแล้วต่อ D6-D9 เข้ากับไมโครคอนโทรลเพื่อรับข้อมูลขนาด 4 bit ที่ใช้ในการควบคุมปิด-เปิดอุปกรณ์ไฟฟ้าดังที่ได้กล่าวไว้ข้างต้น ส่วนที่ขา 14 จะเป็นขา Enable วงจรด้วย Active Low นั่นคือวงจรนี้จะเริ่มส่งข้อมูลเมื่อมีการ Enable ที่ขา 14 ข้อมูลทั้ง Address และ Data ทั้งหมดจะถูกเปลี่ยนให้อยู่ในรูปอนุกรมซึ่งอธิบายได้ดังรูปที่ 3.3

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.3 รูปแบบของสัญญาณที่ถูก Encoder แล้ว

Logic High แทนด้วย พัลส์กว้าง 2 ลูก

Logic Low แทนด้วย พัลส์แคบ 2 ลูก

Open Cct. แทนด้วย พัลส์กว้าง 1 ลูก พัลส์แคบ 1 ลูก

การส่งข้อมูลแบบอนุกรมนี้จะทำการส่ง 2 ครั้ง เพื่อความถูกต้องของการรับ-ส่งข้อมูล โดยความถี่ที่ใช้ในการส่งจะอ้างอิงมาจาก f_{osc}

-วงจรแปลงข้อมูลอนุกรมเป็นขนานด้วย MC145027

เป็นตัวแปลงข้อมูลจากอนุกรมให้กลับเป็นข้อมูลแบบขนาน โดยใช้งานคู่กับ MC145026 ในกรณีที่มีตัวรับหลายตัวค่า Address ที่ตัวส่งจะเป็นค่าที่ระบุตัวรับ โดย Address ทั้ง 2 ตัวจะต้องเป็นค่าเดียวกันถึงจะมีการรับส่งข้อมูลได้ วงจรที่ใช้งานจริงแสดงดังรูปที่ 3.8

จากวงจรดังรูปที่ 3.2 เรามีหลักการคำณวนอุปกรณ์ของตัวรับและตัวส่งดังนี้

$f_{osc} = 1/(2.3C_{tc'}R_{tc})$

$R_1C_1 = 3.95\,R_{tc}C_{tc}$

$R_2C_2 = 77\,R_{tc}C_{tc}$

$C_{tc'} = C_{tc} + C_{layout} + 12\ pF$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$100pF \leq C_{tc} \leq 15\ \mu F$

$R_{tc} \geq 10\ k\Omega$

$R_1 \geq 10\ k\Omega$

$C_1 \geq 400\ pF$

$R_2 \geq 100\ k\Omega$

$C_2 \geq 700\ pF$

$R_s = 2R_{tc}$

เลือกกำหนดอุปกรณ์ตาม Data Sheet จะได้

$f_{osc} = 1.71\ kHz$

$R_s = 100\ k\Omega$

$C_{tc'} = 5.1\ nF$

$R_{tc} = 50\ k\Omega$

$R_1 = 50\ k\Omega$

$C_1 = 0.02\ \mu F$

$R_2 = 200\ k\Omega$

$C_2 = 0.1\ \mu F$

3.3วงจรถอดรหัสเพื่อเลือกตำแหน่งรีเลย์ที่ต้องการควบคุม

คุณสมบัติของวงจรนี้คือจะต้องสามารถสั่งเปิด-ปิดอุปกรไฟฟ้าตามค่าแอดเดรสที่เลือกไปและถ้าอุปกรณ์ไฟฟ้าใดถูกเลือกให้เปิดแล้วจะต้องคงสถานะเปิดนี้ไว้จนกว่าจะมีคำสั่งถูกส่งไปปิดอุปกรณ์ไฟฟ้านั้นอีกทีหนึ่ง

จากข้อมูล 4 บิตที่ MC145027 แปลงออกมาประกอบด้วย 3 บิตเป็นบิตแอดเดรสแทนแอดเดรสของรีเลย์หรืออุปกรณ์ไฟฟ้าที่ต้องการจะควบคุม(000 = รีเลย์ตำแหน่งที่1 , 001 = รีเลย์ในตำแหน่งที่ 2 , ...) และอีก 1 บิตเป็นบิตคำสั่งแทนคำสั่งเปิด – ปิด(1 = เปิด , 0 = ปิด)โดยที่บิตบิตนี้จะมีผลต่อรีเลย์ที่มีแอดเดรสตรงกับค่าที่เลือกไปเท่านั้น โดย ซึ่งข้อมูล 4 บิตนี้จะต้องทำการ decoder อีกทีเพื่อให้ได้ค่าที่สามารถควบคุมการทำงานของรีเลย์ได้

ข้อมูลแอดเดรส 3 บิตจะถูกส่งไปยัง IC Demultiplexer เพื่อเลือกตำแหน่งของรีเลย์ที่ต้องการจะควบคุม ซึ่งจะใช้ IC เบอร์ 74154 ทำหน้าที่เป็น 4-to-16 Decoder/Demultiplexer ซึ่งจะต่อไปที่ขา A,B,C ของ IC เบอร์ 74154 โดยเอาท์พุทจะออกมาที่ขาเอาท์พุทตามค่ารหัสเลขฐานสองที่ป้อนเข้าไปโดยเอาท์พุทของไอซีตัวนี้จะเป็นแบบ Active Low และเอาท์พุทที่ออกมา

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

นี้จะต้องมีการคงค่า (Latch) เอาไว้เพื่อให้สามารถให้รีเลย์ติดค้างไว้ได้จนกว่าจะมีการส่งข้อมูลมาปิดอุปกรณ์ไฟฟ้าที่ตำแหน่งเดิมอีกครั้ง โดยวงจรในส่วนนี้จะใช้ JK Flip Flop ต่อร่วมกับ Not Gate และ OR Gate

โดยฟลิปฟลอปที่ใช้จะเป็นฟลิปฟลอปชนิดใดก็ได้เพราะเราใช้งานเฉพาะที่ขา SET และ CLEAR เท่านั้นซึ่งจะมีตารางค่าความจริงเป็นดังรูปที่ 3.4

Preset	Clear	Q	$\overline{Q}$
0	1	1	0
1	0	0	1

รูปที่ 3.4 ตารางแสดงค่าความจริงของฟลิปฟลอป

โดยรูปวงจรในส่วนนี้จะแสดงในรูปที่ 3.9

3.4 วงจรรีเลย์

โดยรีเลย์ที่ใช้จะเป็นรีเลย์ 12 V โดยการทำงานของรีเลย์คือรีเลย์จะทำงานเมื่อมีความต่างศักย์คร่อมรีเลย์ เท่ากับ 12 V และจะทำงานเมื่ออินพุทที่ขาเบสของทรานซิสเตอร์มีค่าเป็น High เนื่องจากกระแส I_B จะมีค่ามากจนทำให้ทรานซิสเตอร์นำกระแสจนอิ่มตัวกระแสจะไหลผ่านรีเลย์ลงกราวด์ได้ความต่างศักย์คร่อมรีเลย์ประมาณ 12 V รีเลย์จึงทำงาน ส่วนเมื่ออินพุทเป็น Low ทรานซิสเตอร์จะไม่นำกระแส เนื่องจาก V_{BE} น้อยกว่า 0.7 V ทำให้ความต่างศักย์คร่อมรีเลย์ไม่มีรีเลย์จึงไม่ทำงาน วงจรส่วนนี้แสดงดังรูปที่ 3.9

3.5 การทำงานของ FSK Modulator และ Demodulator

ในการใช้งาน FSK Modulator จะใช้ IC เบอร์ XR2206 ส่วน FSK Demodulator จะใช้ IC เบอร์ XR2211 การทำงานและการออกแบบสามารถอธิบายได้ดังต่อไปนี้

3.5.1 FSK Modulator

เราใช้ไอซีเบอร์ XR2206 ซึ่งเป็น Monolithic Function Generator ทำหน้าที่ในการมอดดูเลตสัญญาณดิจิตอล ซึ่งสามารถใช้ได้กับอินพุทที่เป็น TTL หรือ CMOS ก็ได้ สามารถที่จะ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ให้ค่ารูปคลื่นซายน์เอาท์พุทได้ประมาณ 3 Vpp และค่าความผิดเพี้ยนของสัญญาณที่เกิดขึ้นจะอยู่ระหว่าง 0.5% ถึง 2.5%

วงจรภายในของ XR2206 จะประกอบด้วยวงจร 4 วงจรสามารถอธิบายเป็น Block Diagram ได้ดังรูปที่ 3.5 จะประกอบไปด้วย วงจร VCO, วงจรคูณอนาลอก,วงจรปรับสัญญาณซายน์, Buffer และสวิทช์กระแส VCO จะผลิตเอาท์พุทความถี่ที่เป็นสัดส่วนกับกระแสอินพุท ซึ่งสามารถกำหนดได้โดยตัวต้านทานที่ต่อเข้าที่ขาที่เกี่ยวข้องลงกราวด์ เนื่องจากมี 2 ขาที่เกี่ยวข้องกับเวลา ดังนั้นจึงสามารถสร้างสัญญาณได้ 2 ความถี่สำหรับการกำเนิดสัญญาณ FSKโดยใช้ขา FSK Input Control ค่า FSK Input Control จะไปควบคุมวงจรภายในส่วนสวิทช์กระแส เพื่อให้เกิดการเลือกขาที่ต่อตัวต้านทานสำหรับวงจร VCO

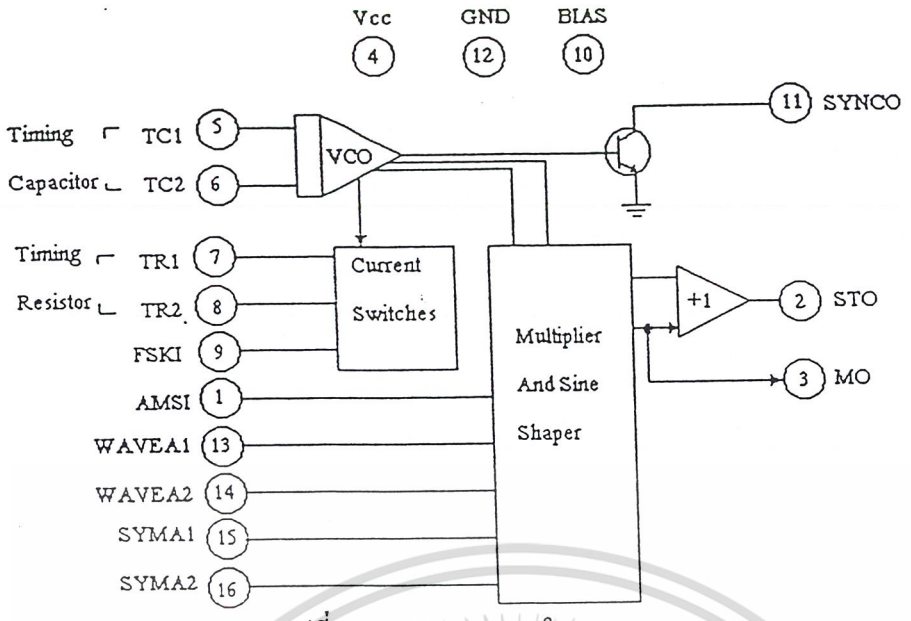
วงจรที่ใช้งานแสดงดังรูป 3.7 โดยนำสัญญาณดิจิตอลจาก MC145026 มาเข้าที่ขา 9 ของ XR2206 ระดับศักดาไฟตรงของ FSK O/P ที่ขา 2 ประมาณเท่ากับศักดาไฟตรงที่ไบอัสเข้าที่ขา 3 ของ XR2206 ซึ่งจากรูปที่ 3.7 จะพบว่าขา 3 ถูกไบอัสด้วยครึ่งหนึ่งของค่า VCC ดังนั้นจะได้ว่าศักดาไฟตรงที่เอาท์พุทจะเท่ากับ VCC/2 เราสามารถปรับค่าศักดาไฟตรงที่เอาท์พุทได้โดยใช้VR3 ในส่วนของ VR1 มีไว้เพื่อปรับความผิดเพี้ยนของสัญญาณให้มีการผิดเพี้ยนน้อยที่สุด และVR2 จะเอาไว้ปรับความสมมาตรของสัญญาณซายน์

ในส่วนของความถี่ f_s เมื่อลอจิกเป็น "0" (Space) และ f_m เมื่อลอจิกเป็น "1" (Mark) เราสามารถที่จะกำหนดได้ว่าให้ความถี่ f_s และ f_m เป็นเท่าใดก็ได้ โดยหาได้จากสมการดังต่อไปนี้

$$f_m := \frac{1}{R_7 \cdot C_0} \qquad f_s := \frac{1}{R_8 \cdot C_0}$$

ในการคำนวณค่าของ C_0,VR_7 ,VR_8 ,R_7 ,R_8 จะขอกล่าวถึงในตัวอย่างการออกแบบวงจร

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



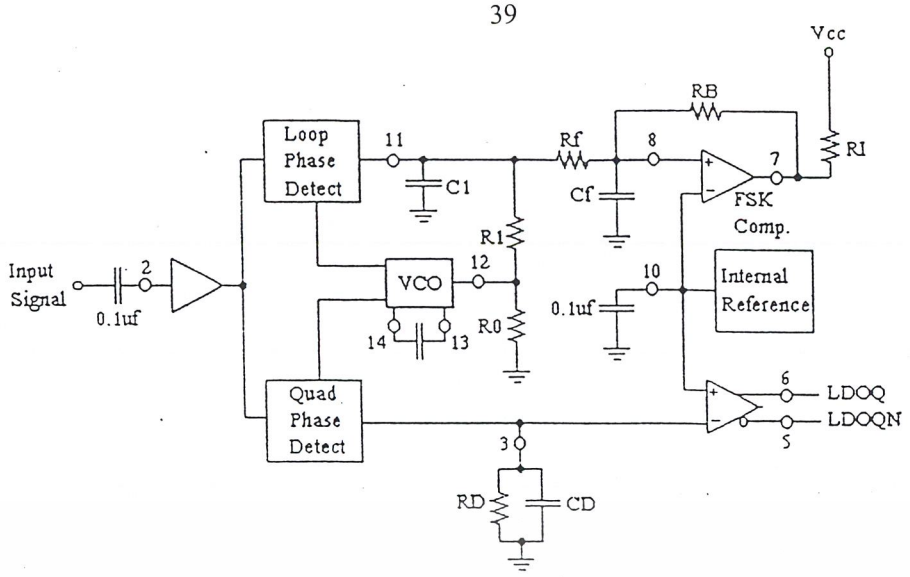
รูปที่ 3.5 แสดงวงจรภายในของ XR2206

3.5.2 FSK Demodulator

FSK Demodulator จะใช้ IC XR2211 เป็นตัว Demodulate สัญญาณ IC XR2211 มีลักษณะทั่วไปก็คือเป็นวงจรเฟสล็อกลูปแบบโมโนลิทิก ทำงานในช่วงกว้างของไฟเลี้ยง4.5 V ถึง 20 V และมีช่วงความถี่กว้าง โดยอยู่ในช่วง 0.01 Hz - 300 kHz สามารถใช้สัญญาณอนาลอกได้ในช่วง 2 mV - 3 V อีกทั้งยังสามารถอินเตอร์เฟสได้กับวงจรลอจิกตระกูลดีทีแอล ทีทีแอล และอีซีแอล

วงจรภายในของ XR2211 แสดงดังรูปที่ 3.6 โดยมีการทำงานดังต่อไปนี้เอาท์พุทของเฟสดีเทกเตอร์ให้สัญญาณผลบวกและผลต่างความถี่ของสัญญาณอินพุทกับสัญญาณจาก VCO นั่นคือความถี่เอาท์พุทจะเป็น $f_{in} + f_{VCO}$ และ $f_{in} - f_{VCO}$ ดังนั้นในขณะล็อคความถี่สัญญาณเอาท์พุทจะเป็น $2f_{in}$ และ 0 Hz โดยการต่อตัวเก็บประจุคร่อมสัญญาณเอาท์พุทของเฟสดีเทกเตอร์ก็คือใส่วงจรกรองความถี่ต่ำนั่นเอง จะทำให้สัญญาณความถี่สูง $f_{in} + f_{VCO}$ ถูกลดทอนหายไปทำให้เหลือเพียงศักดากระแสตรงที่เกิดจากความต่างเฟสของความถี่ทั้งสอง จะเกิดเช่นนี้ไปเรื่อยๆ ทำให้ VCO ติดตามความถี่ของสัญญาณอินพุทได้ ในส่วนที่เหลือของ XR2211 ทำงานดังนี้คือ หาก VCO ถูกขับด้วยความถี่ที่เหนือกว่าหรือต่ำกว่าความถี่ศูนย์กลางแล้ว วงจรเปรียบเทียบแรงดันจะสร้างสัญญาณเอาท์พุทลอจิกสูง และสัญญาณเอาท์พุทลอจิกต่ำเมื่อเฟสล็อคลูปหลักอยู่ในช่วงล็อค

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.6 แสดงวงจรภายในของ XR2211

วงจรใช้งานจริงจะแสดงดังรูป 3.8 ซึ่งจะอธิบายหน้าที่การทำงานอย่างเดียว ในส่วนรายละเอียดการคำนวณจะขอกล่าวถึงในหัวข้อตัวอย่างการออกแบบวงจร R0 และ C0 จะกำหนดความถี่ศูนย์กลางของเฟสล็อคลูป R1 กำหนดแถบความถี่ของระบบ (Bandwidth) C1 จะกำหนดค่าเวลาคงตัวในวงจรกรองของวงรอบ (loop damping factor) CF และ RF กำหนด one-pole post detection filter สำหรับข้อมูลเอาท์พุทของสัญญาณ FSK ตัวต้านทาน RB จากขา 7 ไปขา 8 มีไว้เพื่อเป็นการป้อนกลับแบบบวกสำหรับตัวเปรียบเทียบแรงดันของสัญญาณ FSK เพื่อทำให้เกิดความรวดเร็วในการเปลี่ยนสถานะของลอจิก

3.5.3 การออกแบบวงจร

XR2211

ให้ความถี่ mark f_H = 19.2 kHz

ให้ความถี่ space f_L = 38.4 kHz

- เลือกค่าของตัวต้านทานกำหนดเวลา R_0 ให้อยู่ในช่วง 10 k ถึง 100 k สามารถ

เลือกค่าได้ตามใจชอบ สำหรับค่าอ้างอิงของ R_0 เป็น 20 k โดยใช้ VR 10 k สำหรับปรับค่าละเอียด

$$R_0 = R_0 + \frac{R_X}{2}$$

$$= 10k + 10k/2 = 15\ k\Omega$$

- คำนวณค่า C_0 จากสมการ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$C_0 := \frac{1}{f_0 \cdot R_0}$$

$$= 1/((27.15\ \text{kHz})(15\ \text{kHz})) \cong 2200\ \text{pF}$$

- คำนวณหาค่า R_1 เพื่อกำหนดความเบี่ยงเบนของความถี่มาร์คและสเปซ

$$R_1 := 2 \cdot R_0 \cdot \left(\frac{f_0}{\Delta f}\right)$$

$$= 2(15\ \text{kHz})(27.15\ \text{kHz}/19.2\ \text{kHz}) \cong 43\ \text{k}\Omega$$

- คำนวณค่า C_1 เพื่อกำหนด loop damping โดยค่า loop damping มีค่าอ้างอิงเท่ากับ 0.5 ดังนั้นจะได้

$$C_1 := \frac{1250 \cdot C_0}{(0.5)^2 \cdot R_1}$$

$$= 1250(2200\ \text{pF})/((0.5)^2(43\ \text{k}\Omega)) \cong 256\ \text{pF}$$

- คำนวณหาค่า R_F (ควรมีค่ามากกว่า R_1 ประมาณ 5 เท่า)

$$R_F = 5R_1 = 5(43\ \text{k}\Omega) \cong 220\ \text{k}\Omega$$

- คำนวณหาค่า R_B (ควรมีค่ามากกว่า R_F ประมาณ 5 เท่า)

$$R_B = 5R_F = 5(220\ \text{k}\Omega) \cong 1\ \text{M}\Omega$$

- คำนวณหาค่า R_{SUM}

$$R_{SUM} := \frac{(R_F + R_1) \cdot R_B}{(R_F + R_1 + R_B)}$$

$$= (220\ \text{k} + 43\ \text{k})(1\ \text{M})/(220\ \text{k} + 43\ \text{k} + 1\ \text{M})$$

$$= 208.2\ \text{k}\Omega$$

XR2206

- กำหนดให้ C_0 ของ XR2211 มีค่าเท่ากับ C_0 ของ XR2206

$$R_7 := \frac{1}{f_H \cdot C_0}$$

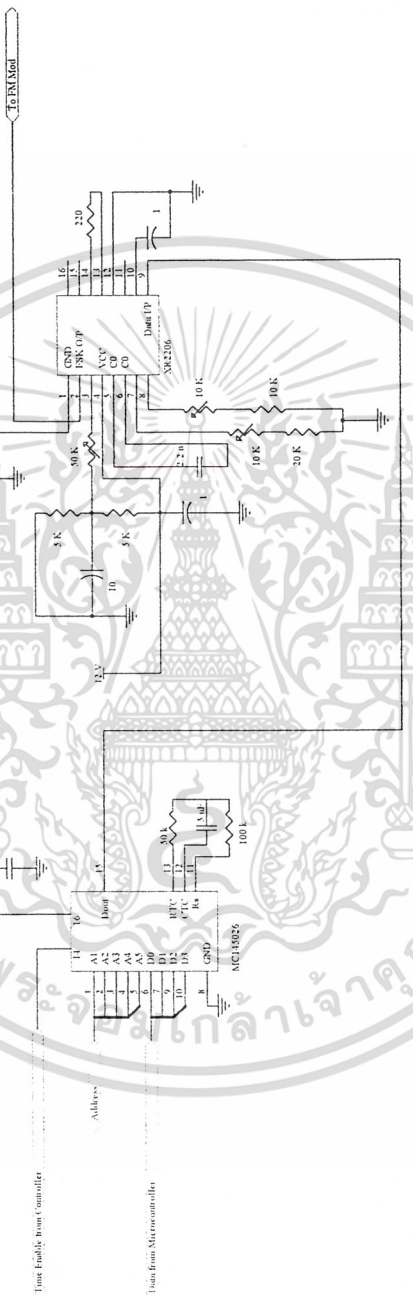
$$= 1/((19.2\ \text{kHz})(2200\ \text{pF})) \cong 24\ \text{k}\Omega$$

$$R_8 := \frac{1}{f_L \cdot C_0}$$

$$= 1/((38.4\ \text{kHz})(2200\ \text{pF})) \cong 12\ \text{k}\Omega$$

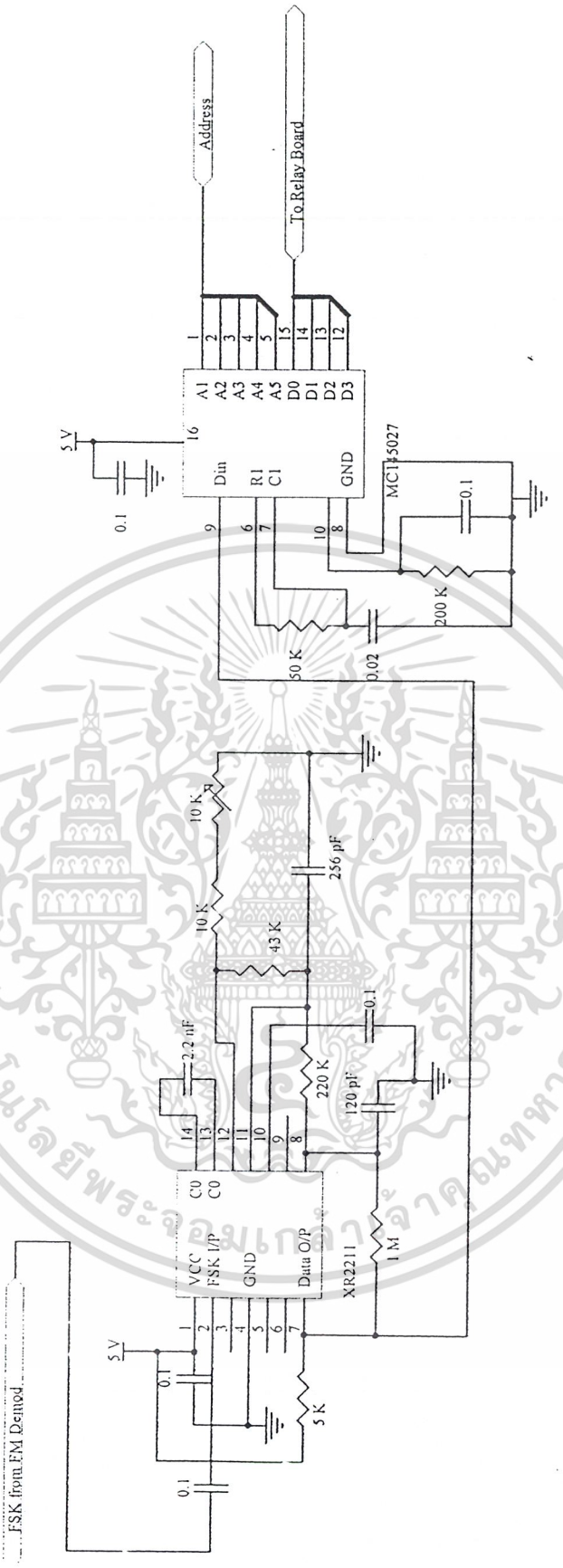
สังเกตว่า ค่าที่ได้จากการคำนวณจะไม่ตรงกับค่าอุปกรณ์ที่มีอยู่จริง จึงต้องอาศัยการประมาณค่าใกล้เคียงกับค่าที่มีอยู่จริง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



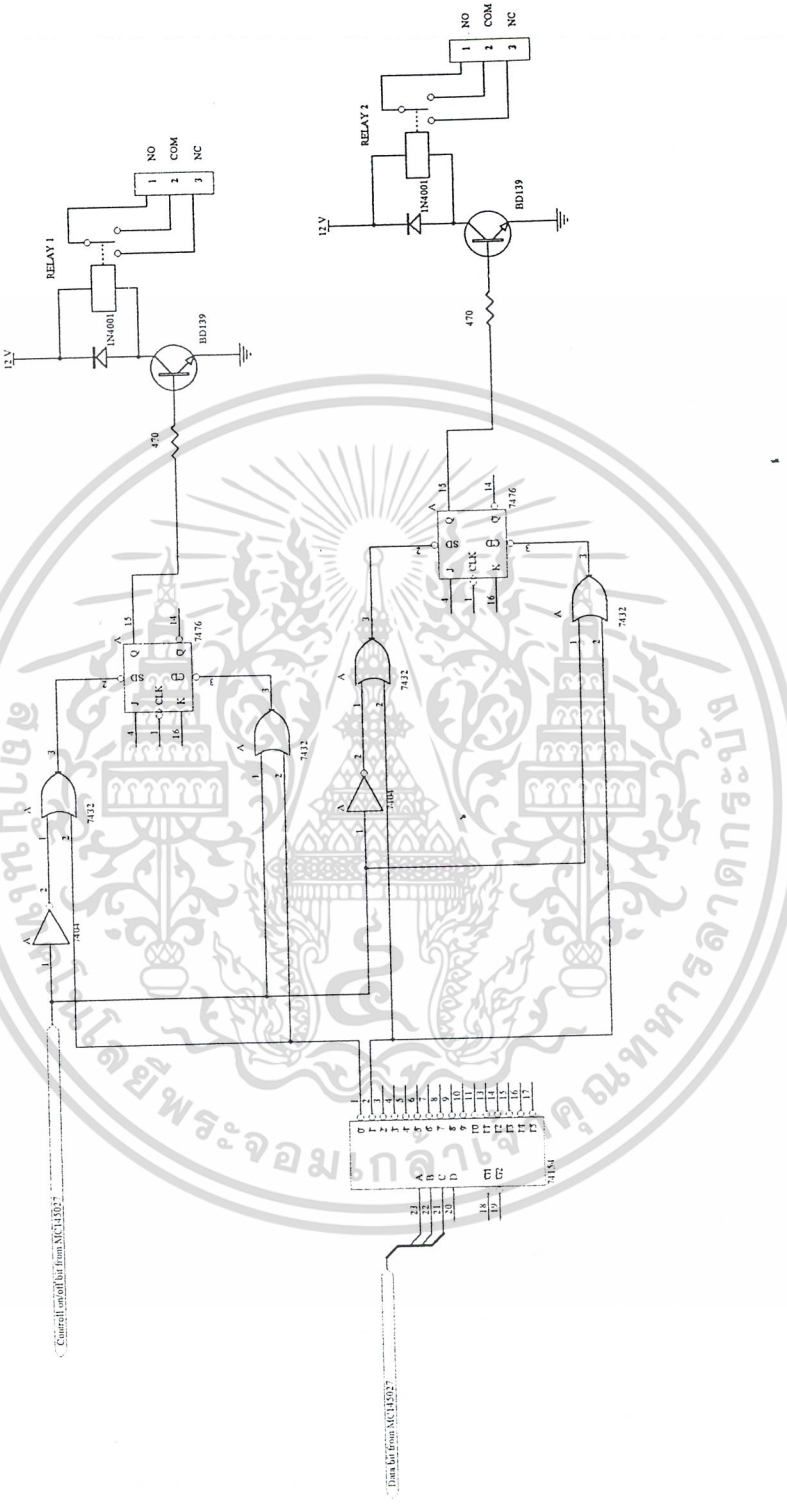
รูปที่ 3.7 วงจรแปลงข้อมูลขนานให้เป็นอนุกรมโดยใช้ MC145026 และ Modulation ข้อมูลอนุกรมที่ได้แบบ FSK โดยใช้ XR2206

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.8 วงจร FSK Demodulator ด้วย XR2211 และแปลงข้อมูลจากอนุกรมเป็นขนานด้วย MC145027

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.9 วงจรถอดรหัสเพื่อเลือกตำแหน่งรีเลย์ที่ต้องการ และวงจรรีเลย์ที่เชื่อมต่อกับอุปกรณ์ไฟฟ้าที่ต้องการควบคุม

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.6 วงจรภาครับ FM

การทำงานของภาครับจะใช้ IC เบอร์ MC13135 เป็นวงจรของเครื่องรับ FM ซึ่งจะรับสัญญาณ RF เข้ามาที่ขา 22 แล้วนำไป Mix รวมกับความถี่ที่สร้างขึ้นมาจากวงจรสังเคราะห์ความถี่ได้เป็นสัญญาณความถี่ 10.7 MHz วงจรแสดงดังรูป 3.12

การทำงานของวงจรสังเคราะห์ความถี่จะเริ่มในส่วนของภาค VCO โดยมีทรานซิสเตอร์ (Q1) ทำหน้าที่เป็นออสซิลเลเตอร์ โดยมี L_1 (ปรับค่าได้) ต่อคร่อมกับ D_1 และ C_4 โดยเป็นวงจรจูนรวมกับ C_6 และ C_7 ความถี่ที่ออสซิลเลท (ขา 3 MC13135) สามารถควบคุมได้ด้วยแรงดันรีเวอร์สที่ป้อนให้กับ D_1 ซึ่งแรงดันได้มาจากภาค Loop Filter หรือ Low Pass Filter จะประกอบด้วย R_1, R_2, R_3, C_1, C_2 และ C_3 เมื่อแรงดัน Loop Filter เปลี่ยนแปลงความถี่ก็จะเปลี่ยนแปลงด้วย ทรานซิสเตอร์ (Q1) ต่อกันในลักษณะ Common Collector สัญญาณที่ออกจากขา E จะถูกป้อนกลับแบบบวกกลับมาที่ขา B เพื่อช่วยเสริมสัญญาณออสซิลเลเตอร์ที่จะขาดหายไปและจะทำหน้าที่ควบคุมความถี่ให้คงที่โดยใช้ IC เบอร์ MC145166 ซึ่งจะทำหน้าที่เป็น PLL Frequency Synthesizer โดยจะนำความถี่ที่ได้จากทรานซิสเตอร์ (Q1) ไปทำการหารด้วยค่า N ซึ่งค่า N จะขึ้นอยู่กับการเซ็ท Dip Switch เราจะนำสัญญาณที่ได้จากการหาร N ไปทำการเปรียบเทียบกับความถี่อ้างอิงในภาค Phase Detector ซึ่งความถี่อ้างอิงได้จากความถี่ที่เกิดจากคริสตอลหารด้วย 2048 จากวงจรจะใช้คริสตอลความถี่ 10.24 MHz จะได้ความถี่อ้างอิงประมาณ 5 kHz ซึ่งในภาค Phase Detector นี้จะให้แรงดันคลาดเคลื่อนออกมาอยู่ในช่วง 0-5 V แล้วส่งไปยังภาค Loop Filter กรองเฉพาะความถี่ต่ำ เพื่อที่จะป้อนแรงดันไฟตรงที่ได้จาก Loop Filter นี้ให้แก่ D_1 เพื่อควบคุมความถี่ออสซิลเลเตอร์เอาท์พุทให้ได้ตามต้องการ ซึ่งถ้าสัญญาณที่รับมาจาก VCO เมื่อผ่านภาค N-Divider แล้วจะมีค่ามากกว่าความถี่ที่อ้างอิง ภาค Phase Detector จะให้แรงดันคลาดเคลื่อนที่มีค่าต่ำๆ ออกมา เป็นผลให้แรงดันรีเวิร์สไบอัสที่ป้อนให้ D_1 ลดลง ความถี่ออสซิลเลเตอร์ก็ลดลงด้วยจนกระทั่งเมื่อความถี่ที่รับมาจากภาค N-Divider เท่ากับความถี่อ้างอิงก็จะให้แรงดันคลาดเคลื่อนที่คงที่ออกมา ความถี่ออสซิลเลเตอร์ก็จะคงที่ด้วย แต่ถ้าความถี่ที่รับมาจาก VCO ที่ผ่านภาค N-Divider แล้วมีค่าน้อยกว่าความถี่ที่อ้างอิงภาค Phase Detector ก็จะให้แรงดันค่ามากๆ ออกมา ความถี่ออสซิลเลตก็จะเพิ่มขึ้น จนกระทั่งความถี่ออสซิลเลเตอร์ที่ได้มีค่าคงที่ ไม่เปลี่ยนแปลงหรืออยู่ในสภาวะล็อคความถี่นั่นเอง

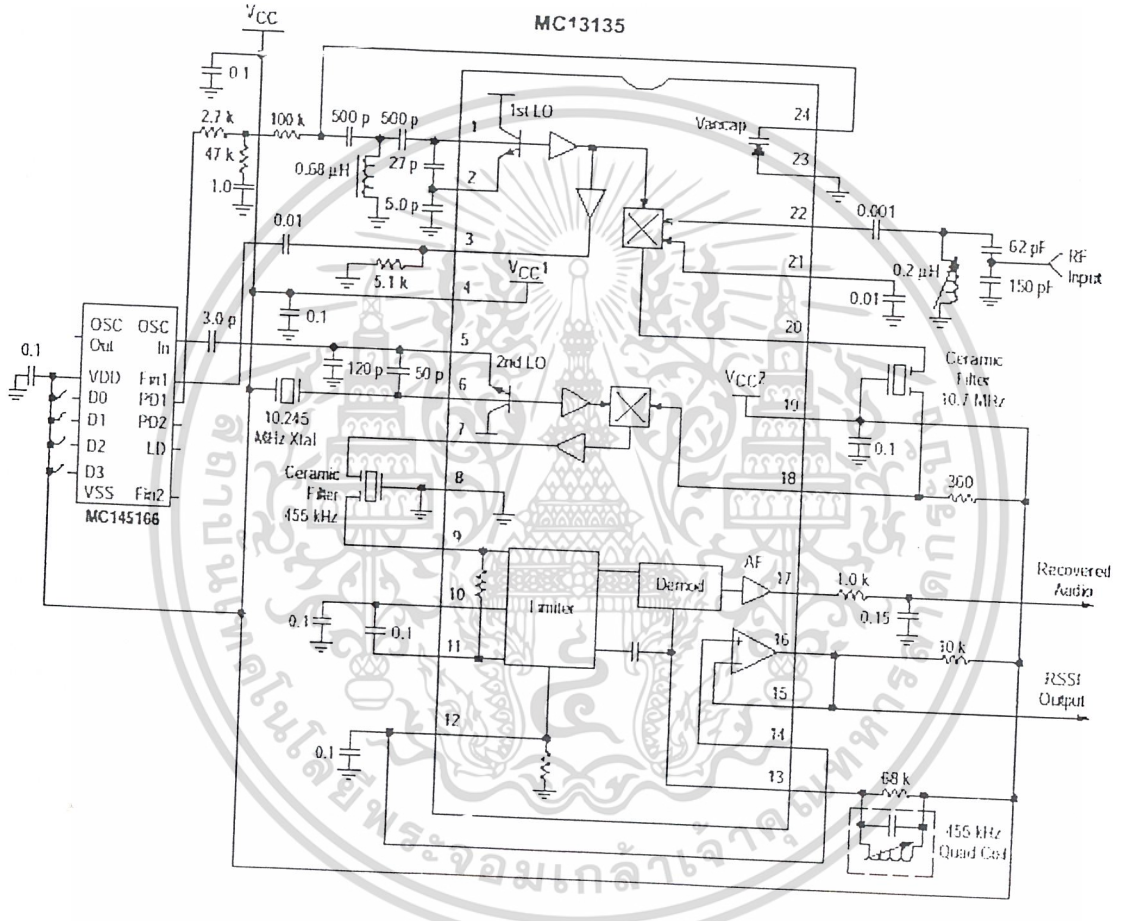
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.6 วงจรภาครับ FM

การทำงานของภาครับจะใช้ IC เบอร์ MC13135 เป็นวงจรของเครื่องรับ FM ซึ่งจะรับสัญญาณ RF เข้ามาที่ขา 22 แล้วนำไป Mix รวมกับความถี่ที่สร้างขึ้นมาจากวงจรสังเคราะห์ความถี่ได้เป็นสัญญาณความถี่ 10.7 MHz วงจรแสดงดังรูป 3.12

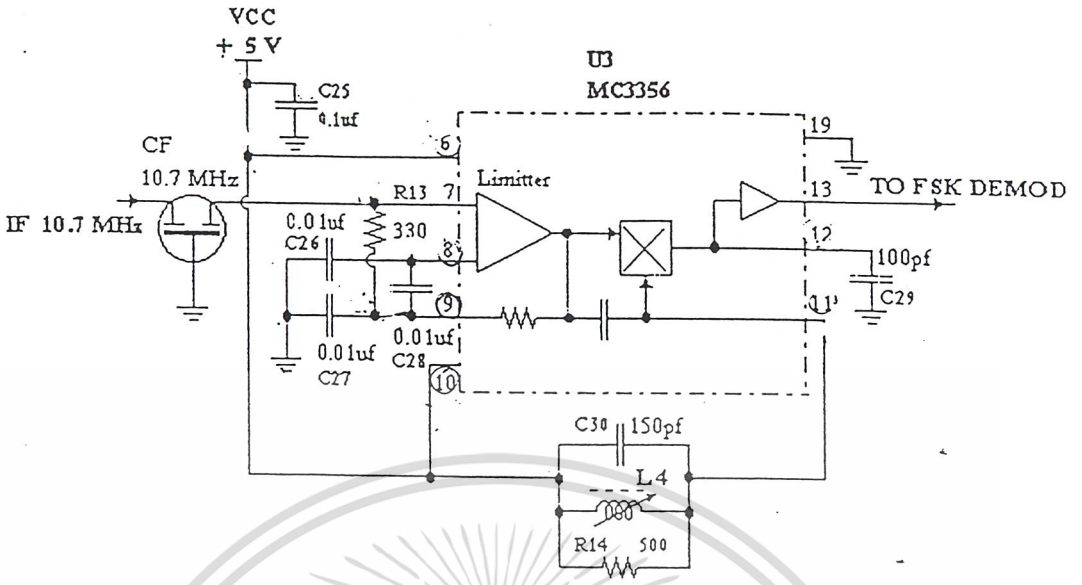
การทำงานของวงจรสังเคราะห์ความถี่จะเริ่มในส่วนของภาค VCO โดยมีทรานซิสเตอร์ (Q1) ทำหน้าที่เป็นออสซิลเลเตอร์ โดยมี L_1 (ปรับค่าได้) ต่อคร่อมกับ D_1 และ C_4 โดยเป็นวงจรจูนรวมกับ C_6 และ C_7 ความถี่ที่ออสซิลเลท (ขา 3 MC13135) สามารถควบคุมได้ด้วยแรงดันรีเวอร์สที่ป้อนให้กับ D_1 ซึ่งแรงดันได้มาจากภาค Loop Filter หรือ Low Pass Filter จะประกอบด้วย R_1, R_2, R_3, C_1, C_2 และ C_3 เมื่อแรงดัน Loop Filter เปลี่ยนแปลงความถี่ก็จะเปลี่ยนแปลงด้วย ทรานซิสเตอร์ (Q1) ต่อกันในลักษณะ Common Collector สัญญาณที่ออกจากขา E จะถูกป้อนกลับแบบบวกกลับมาที่ขา B เพื่อช่วยเสริมสัญญาณออสซิลเลเตอร์ที่จะขาดหายไปและจะทำหน้าที่ควบคุมความถี่ให้คงที่โดยใช้ IC เบอร์ MC145166 ซึ่งจะทำหน้าที่เป็น PLL Frequency Synthesizer โดยจะนำความถี่ที่ได้จากทรานซิสเตอร์ (Q1) ไปทำการหารด้วยค่า N ซึ่งค่า N จะขึ้นอยู่กับการเซ็ท Dip Switch เราจะนำสัญญาณที่ได้จากการหาร N ไปทำการเปรียบเทียบกับความถี่อ้างอิงในภาค Phase Detector ซึ่งความถี่อ้างอิงได้จากความถี่ที่เกิดจากคริสตอลหารด้วย 2048 จากวงจรจะใช้คริสตอลความถี่ 10.24 MHz จะได้ความถี่อ้างอิงประมาณ 5 kHz ซึ่งในภาค Phase Detector นี้จะให้แรงดันคลาดเคลื่อนออกมาอยู่ในช่วง 0-5 V แล้วส่งไปยังภาค Loop Filter กรองเฉพาะความถี่ต่ำ เพื่อที่จะป้อนแรงดันไฟตรงที่ได้จาก Loop Filter นี้ให้แก่ D_1 เพื่อควบคุมความถี่ออสซิลเลเตอร์เอาท์พุทให้ได้ตามต้องการ ซึ่งถ้าสัญญาณที่รับมาจาก VCO เมื่อผ่านภาค N-Divider แล้วจะมีค่ามากกว่าความถี่ที่อ้างอิง ภาค Phase Detector จะให้แรงดันคลาดเคลื่อนที่มีค่าต่ำๆ ออกมา เป็นผลให้แรงดันรีเวิร์สไบอัสที่ป้อนให้ D_1 ลดลง ความถี่ออสซิลเลเตอร์ก็ลดลงด้วยจนกระทั่งเมื่อความถี่ที่รับมาจากภาค N-Divider เท่ากับความถี่อ้างอิงก็จะให้แรงดันคลาดเคลื่อนที่คงที่ออกมา ความถี่ออสซิลเลเตอร์ก็จะคงที่ด้วย แต่ถ้าความถี่ที่รับมาจาก VCO ที่ผ่านภาค N-Divider แล้วมีค่าน้อยกว่าความถี่ที่อ้างอิงภาค Phase Detector ก็จะให้แรงดันค่ามากๆ ออกมา ความถี่ออสซิลเลตก็จะเพิ่มขึ้น จนกระทั่งความถี่ออสซิลเลเตอร์ที่ได้มีค่าคงที่ ไม่เปลี่ยนแปลงหรืออยู่ในสภาวะล็อคความถี่นั่นเอง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.10 วงจร FM Receiver

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.11 วงจร Limitter & Detector โดยใช้ IC เบอร์ MC3356

จากรูปที่ 3.11 สัญญาณ IF 10.7 MHz ที่จะได้จะนำไปผ่านเซรามิกฟิลเตอร์ 10.7 MHz เพื่อให้เฉพาะความถี่ IF 10.7 MHz ผ่านไปได้ แล้วส่งไปให้ภาค Limitter & Detector โดยใช้ IC เบอร์ MC3356 ซึ่งจะทำหน้าที่เป็น Limitter, IF Amp และ Detector ซึ่งเป็นแบบ Quadrature Detector ในส่วนของ Limitter และ IF Amp จะขยายสัญญาณ IF ให้แรงขึ้นและขลิบสัญญาณให้อยู่ในช่วง เพื่อกำจัดสัญญาณรบกวนที่ปนมาและส่งไปยังภาค Quadrature Detector จะทำการ Shift Phase สัญญาณ IF ไป 90 องศาแล้วนำไปรวมกับสัญญาณ IF เดิม ก็จะได้สัญญาณเอาท์พุทออกมา

3.4 การเลือกความถี่ที่ออสซิลเลท

IC MC145166 จะทำหน้าที่เป็น Phase Lock Loop (PLL) และจากโครงสร้างของตัว IC MC145166 สามารถที่จะต่อกับวงจรออสซิลเลทได้ 2 วงจร จึงทำให้ความถี่ที่ออสซิลเลทจะมีอยู่ด้วยกัน 2 ความถี่ก็คือ f_{in1} และ f_{in2} (ขา 14 และขา 9 ของ MC145166) เราสามารถที่จะเลือกความถี่ที่ออสซิลเลทได้ โดยทำการ Set Mode ได้ที่ขา 2 ของ MC145166 ในการ Set Mode จะมีอยู่ด้วยกัน 2 Mode ด้วยกันก็คือ Mode 0 และ Mode 1 เมื่อเราต่อขา 2 ลง Ground จะเป็น Mode 0 และเมื่อเราต่อขา 2 กับแหล่งจ่ายจะเป็น Mode 1 ความหมายของ Mode 0 และ Mode 1 ก็คือเมื่อเรา Set Mode ไว้ที่ Mode 0 IC MC145166 ที่ต่ออยู่กับวงจรออสซิลเลต 2 วงจรจะได้ความถี่ที่ออสซิลเลท 2 ความถี่ (ขา 14 และ 9 ของ MC145166) ความถี่ที่ออสซิลเลทจากการเซ็ต Mode 0และ Mode 1 จะมีค่าไม่เท่ากันและในแต่ละ 2 ความถี่นั้นสามารถที่จะทำให้แบ่งออก

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ไปได้อีก 10 ความถี่ด้วยกัน โดยทำการ Set Dip Switch เพื่อที่จะให้เข้าใจยิ่งขึ้นสามารถดูได้จากตารางคุณสมบัติของ MC145166 ในรูปที่ 3.12

Channels					Handset(Mode=0)				Handset(Mode=1)			
					Transmit		Receive		Transmit		Receive	
D3	D2	D1	D0	CH#	fin2(MHz)	N	fin1(MHz)	N	fin2(MHz)	N	fin1(MHz)	N
0	0	0	1	1	49.67	9934	35.915	7183	46.61	9322	38.975	7795
0	0	1	0	2	49.845	9969	35.935	7187	46.63	9326	39.15	7830
0	0	1	1	3	49.86	9972	35.975	7195	46.67	9334	39.165	7833
0	1	0	0	4	49.77	9954	36.015	7203	46.71	9342	39.075	7815
0	1	0	1	5	49.875	9975	36.035	7207	46.73	9346	39.18	7836
0	1	1	0	6	49.83	9966	36.075	7215	46.77	9354	39.135	7827
0	1	1	1	7	49.89	9978	36.135	7227	46.83	9366	39.195	7839
1	0	0	0	8	49.93	9986	36.175	7235	46.87	9374	39.235	7847
1	0	0	1	9	49.99	9998	36.235	7247	46.93	9386	39.295	7859
1	0	1	0	10	49.97	9994	36.275	7255	46.97	9394	39.275	7855

รูปที่ 3.12 ตารางคุณสมบัติของ IC เบอร์ MC145166

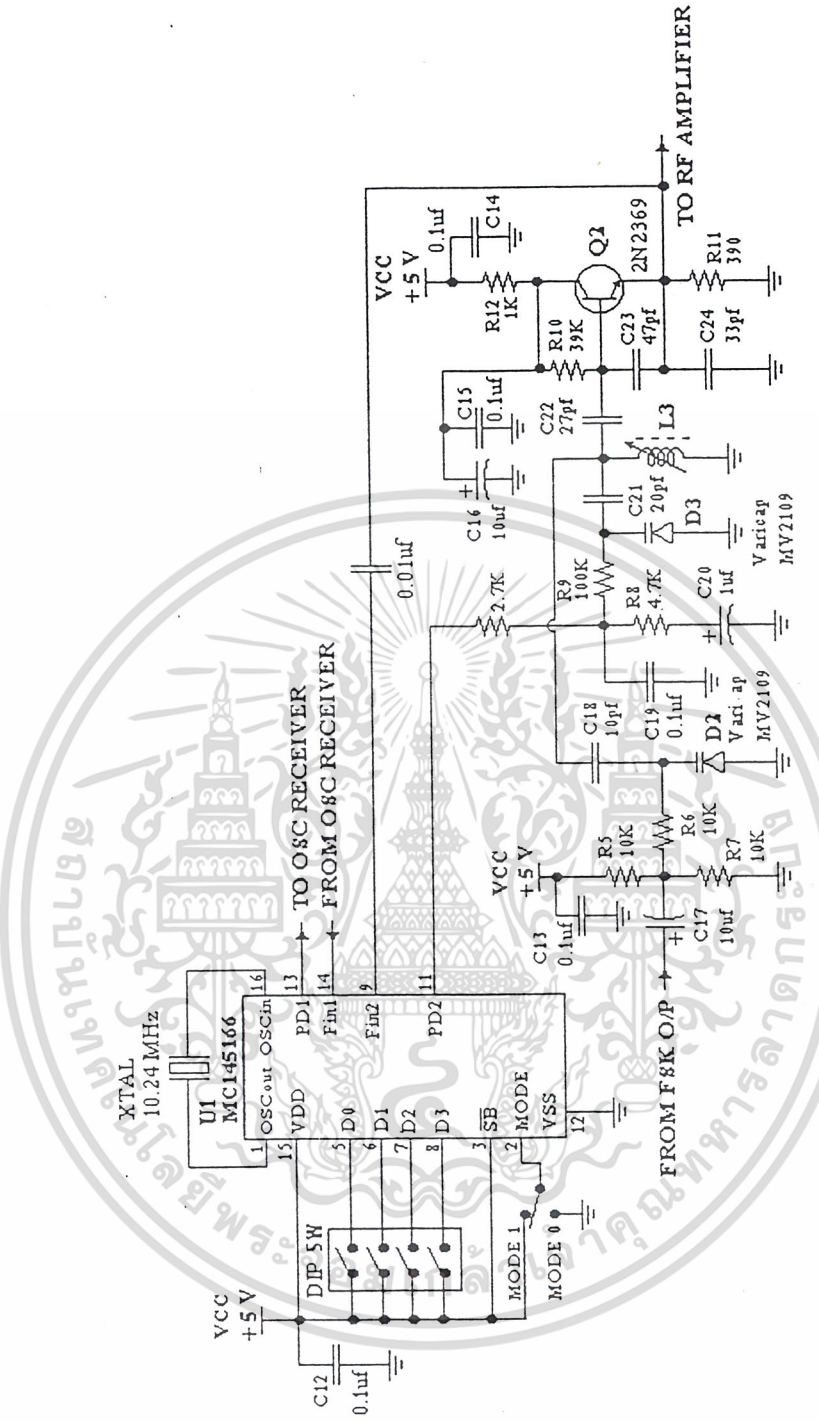
3.8 วงจรภาคส่ง FM

วงจรภาคส่ง FM จะประกอบไปด้วยวงจร OSC, MODULATOR และ RF AMPLIFIER การทำงานของแต่ละวงจรอธิบายตามหัวข้อดังต่อไปนี้

3.8.1 วงจร Oscillator และ Modulator

จากรูปที่ 3.13 วงจรสังเคราะความถี่จะมีการทำงานเหมือนกับในส่วนของภาครับ FM แต่จะมีส่วนที่เพิ่มมาก็คือ วงจร Modulator โดยใช้ Varicap Diode (D_2) ในการ Modulate แบบ FM เนื่องจากสัญญาณที่นำมาModulate เป็นสัญญาณ sine wave จึงต้องมี R_5 และ R_7 ทำหน้าที่แบ่งแรงดันให้เป็นครึ่งหนึ่งของแหล่งจ่าย เพื่อไม่ให้เกิดการขลิบสัญญาณเนื่องจาก D_2

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

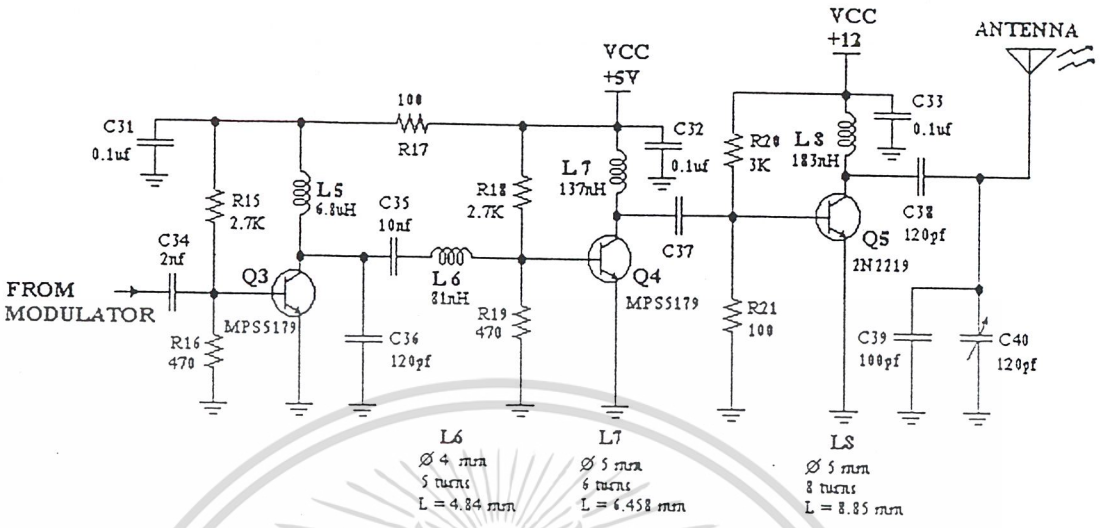


รูปที่ 3.13 วงจร oscillator และ modulator

3.8.2 RF Amplifier

สัญญาณที่ได้จากการ Modulate แบบ FM (วงจรรูปที่ 3.13) จะนำมาขยายสัญญาณที่วงจร RF Amplifier เพื่อส่งออกอากาศไป โดยที่การทำงานของวงจรสามารถอธิบายได้ดังต่อไปนี้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.14 วงจร RF Amplifier

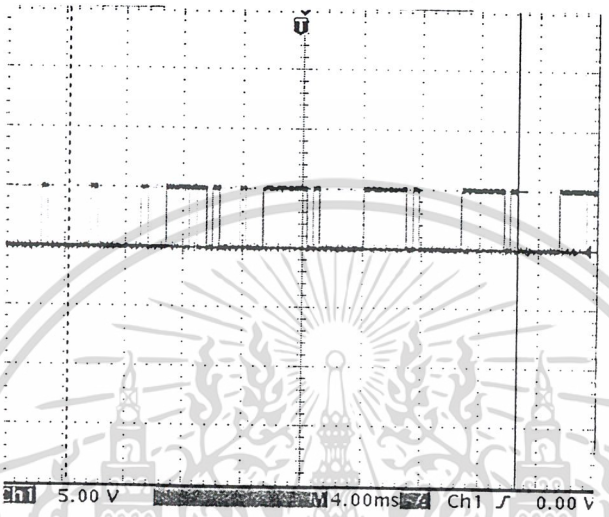
จากรูปที่ 3.14 วงจร RF Amplifier จะประกอบไปด้วยส่วนประกอบสัญญาณ 3 ส่วน ด้วยกัน โดนที่จะใช้ทรานซิสเตอร์เบอร์MPS5179(Q_3, Q_4)และ 2N2219(Q_5) ทำหน้าที่ขยายสัญญาณและ R_{15} R_{16} R_1 R_{19} R_{20} R_{21} จะทำหน้าที่ไบอัสให้กับทรานส์ซิสเตอร์แต่ละตัว L_5 L_7 L_8 จะทำหน้าที่เป็น RFC ก็คือเป็นตัวป้องกันสัญญาณ RF ที่ขยายในแต่ละส่วนไม่ให้ไปรบกวนวงจรภาคต่างๆ เช่น ภาคจ่ายไฟและภาครับ เป็นต้น C_{35} C_{36} C_{37} C_{38} C_{39} C_{40} L_6 L_7และL_8 จะทำหน้าที่เป็นวงจรแมทชิ่งให้ O/P Impedance ของวงจรขยายเท่ากับ I/P Impedance ของวงจรขยายอีกวงจรหนึ่ง C40 จะทำหน้าที่จูนภาคเอาท์พุทเข้ากับเสาอากาศ C_{31} C_{32} และ C_{33} จะทำหน้าที่ป้องกันไม่ให้วงจรขยายสัญญาณ RF แต่ละภาคเกิดการออสซิเลทขึ้นในตัวมันเองในความถี่ที่ไม่ต้องการ ซึ่งจะทำให้วงจรทั้งหมดทำงานอย่างมีเสถียรภาพมากยิ่งขึ้น

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 4
ผลการทดลอง

4.1 วงจรแปลงข้อมูลขนานให้เป็นอนุกรม ด้วย MC145026

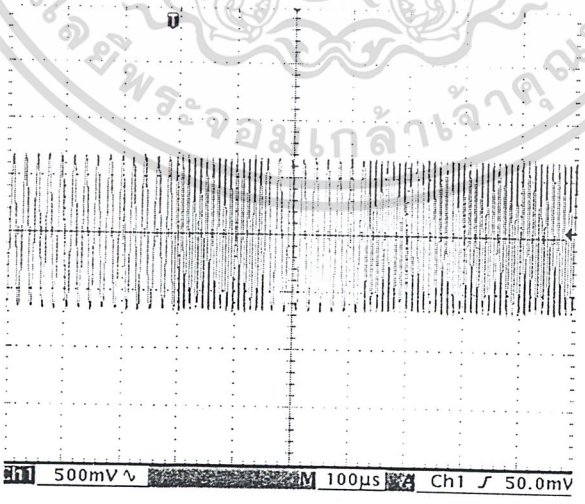
ป้อนข้อมูล 0001 เข้าที่ขา 6,7,9,10 ของ MC145026 (ตามวงจรรูปที่ 3.2)แล้ววัดดูสัญญาณข้อมูลอนุกรมที่ขา 15 จะมีลักษณะเป็นดังรูปที่ 4.1



รูปที่ 4.1 สัญญาณข้อมูลอนุกรมที่ออกจากขา 15 D_{out} ของ MC145026 ในขณะที่ข้อมูลเป็น 0001

4.2 FSK Modulator ด้วย XR2206

นำสัญญาณข้อมูลอนุกรมที่ได้จาก MC145026 ไปเข้าที่ขา Data I/P ขา9 ของ XR2206 (ตามวงจรรูปที่ 3.7) แล้ววัดดูสัญญาณที่ขา FSK O/P (ขา 2)ของ XR2206 จะมีลักษณะเป็นดังรูปที่4.2



รูปที่ 4.2 สัญญาณ FSK ที่ออกจากขา 2 FSK O/P ของ XR2206 ในขณะที่ข้อมูลเป็น 0001

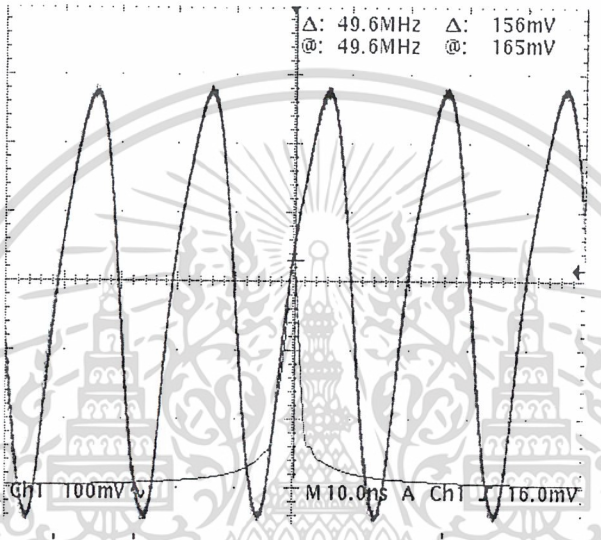
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4.3 FSK Demodulator ด้วย XR2211

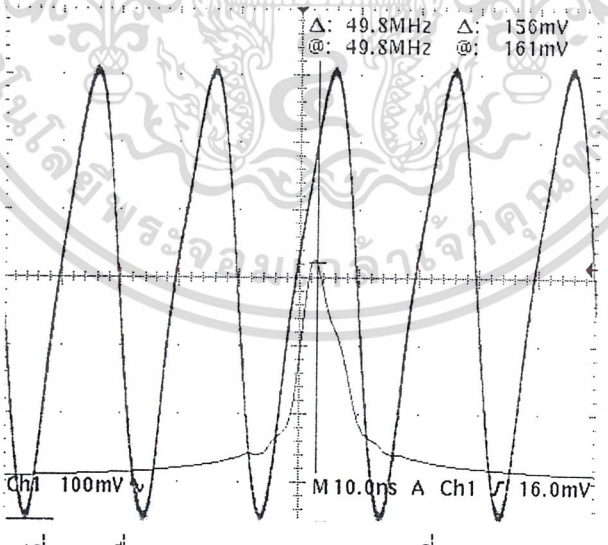
รูปสัญญาณ O/P ที่ได้จากขา 7 Data O/P ของ XR2211 (ตามวงจรรูปที่ 3.8) จะเป็นข้อมูลดิจิตอลที่มีลักษณะเดียวกับสัญญาณ I/P ของ XR2206 ดังรูปที่ 4.1

4.4 FM transmitter

เมื่อปรับ DIP SWITCH ที่ PLL ของ MC145166 ตั้งแต่ Channel 1-10 (ตามวงจรรูปที่ 3.13) จะได้สัญญาณคลื่นพาหะที่มีความถี่ดังรูปต่อไปนี้

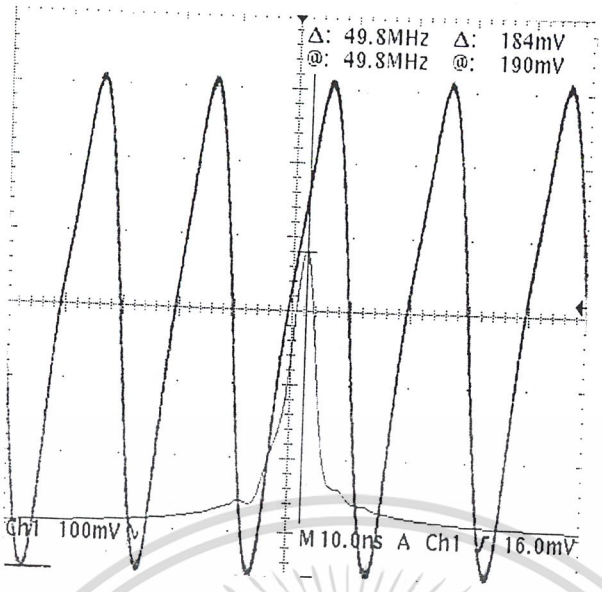


รูปที่4.3 คลื่นพาหะ Channel 1 ความถี่ 49.67 MHz

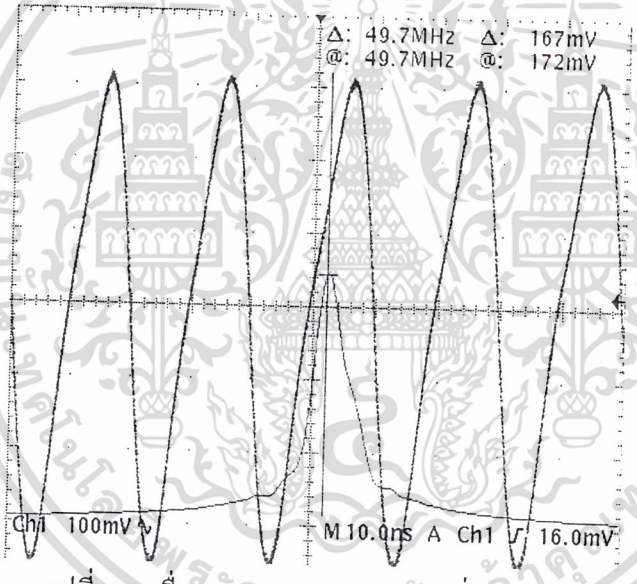


รูปที่4.4 คลื่นพาหะ Channel 2 ความถี่ 49.845 MHz

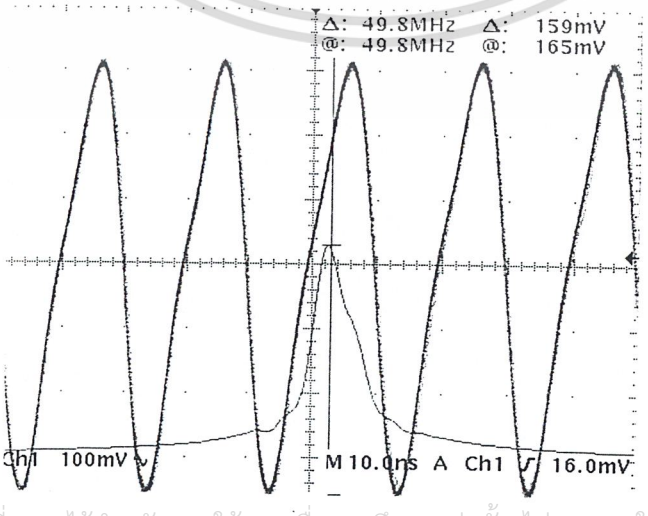
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.5 คลื่นพาหะ Channel 3 ความถี่ 49.86MHz

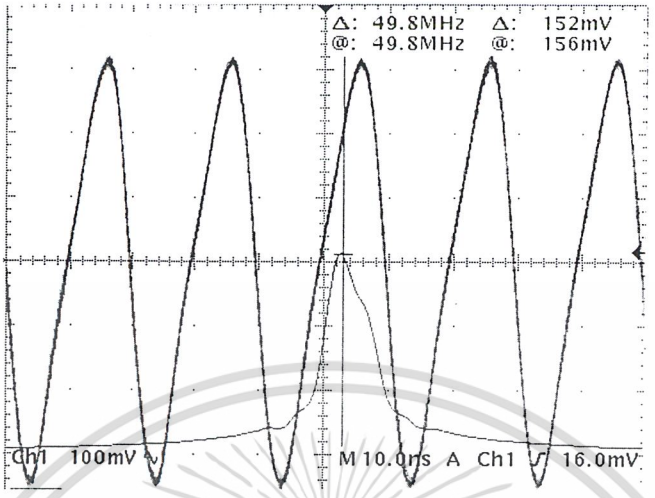


รูปที่ 4.6 คลื่นพาหะ Channel 4 ความถี่ 49.77MHz

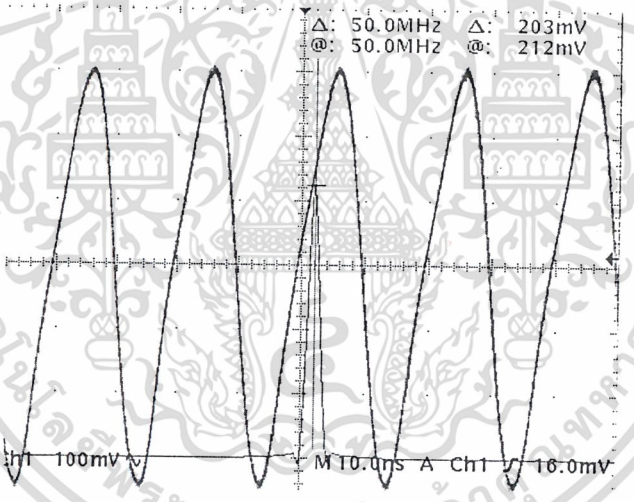


รูปที่ 4.7 คลื่นพาหะ Channel 5 ความถี่ 49.875MHz

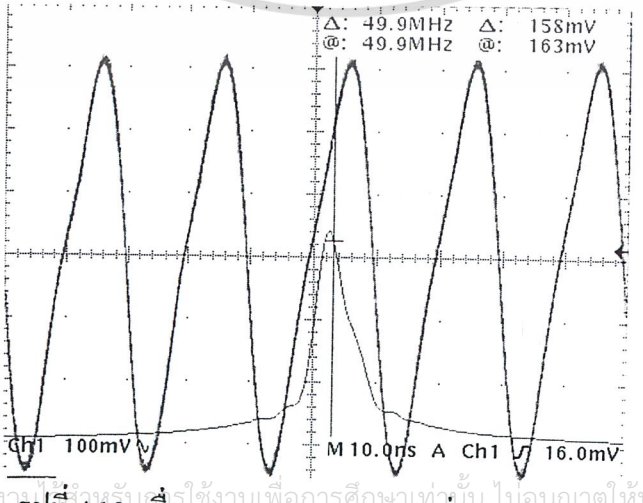
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.8 คลื่นพาหะ Channel 6 ความถี่ 49.83MHz

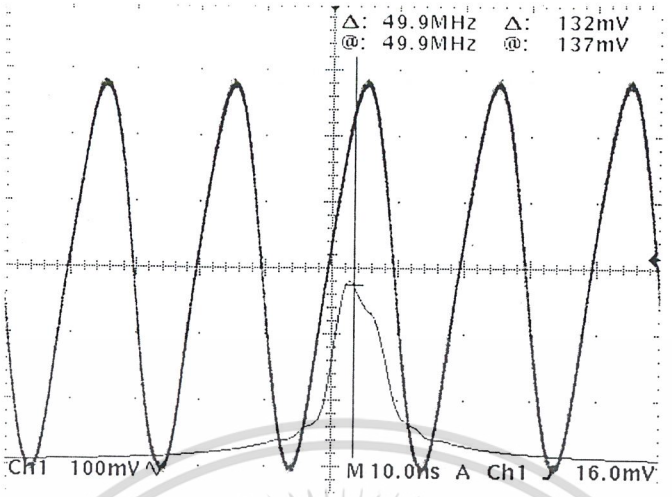


รูปที่ 4.9 คลื่นพาหะ Channel 7 ความถี่ 49.89MHz

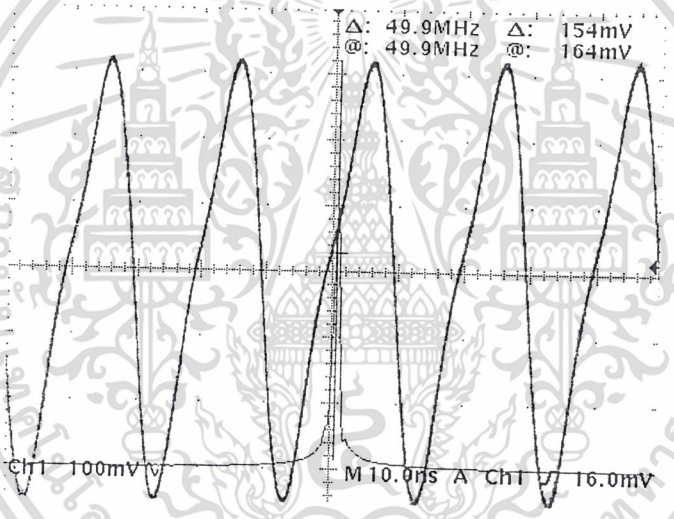


รูปที่ 4.10 คลื่นพาหะ Channel 8 ความถี่ 49.93MHz

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.11 คลื่นพาหะ Channel 9 ความถี่ 49.99MHz



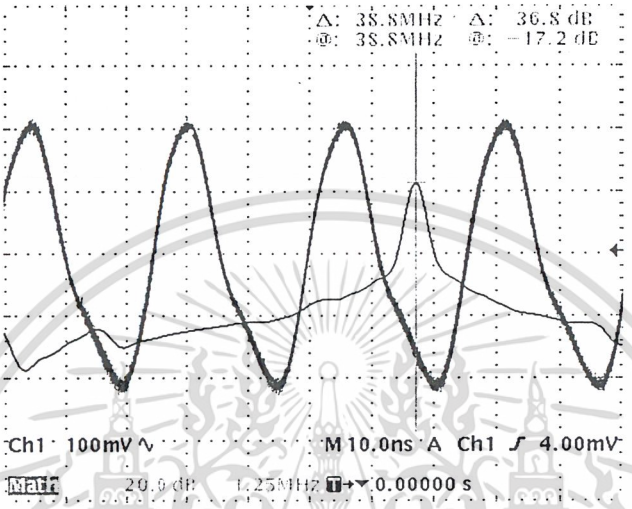
รูปที่ 4.12 คลื่นพาหะ Channel 10 ความถี่ 49.97MHz

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

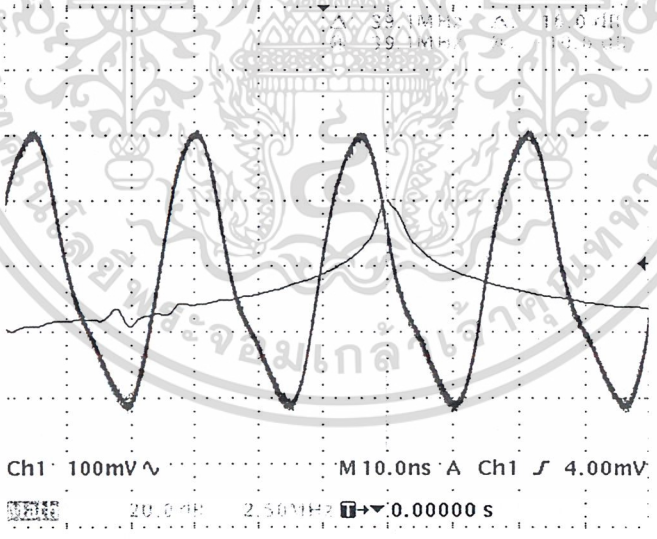
4.5 FM Reciever

4.5.1 สัญญาณจาก Local Oscillator

สัญญาณจาก Local Oscillator ที่ได้จากแต่ละ channel ของ PPL MC145166 ในภาครับ(ตามวงจรรูปที่ 3.10) มีดังต่อไปนี้

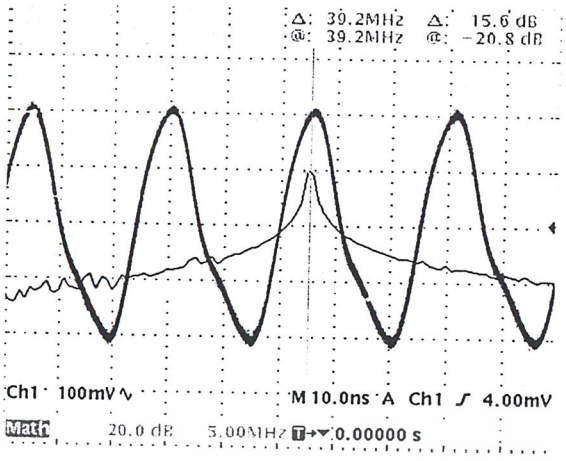


รูปที่ 4.13 Local Oscillator Channel 1 38.975

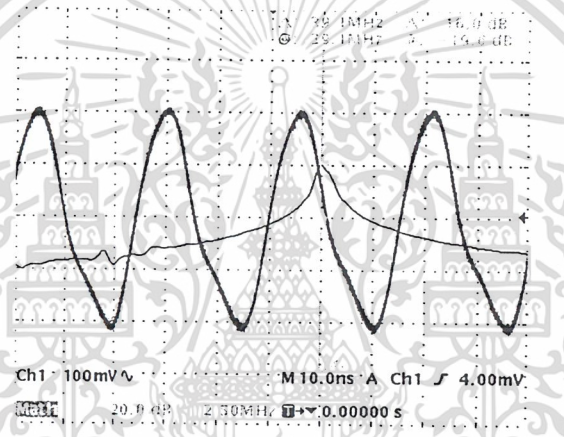


รูปที่ 4.14 Local Oscillator Channel 2 39.15

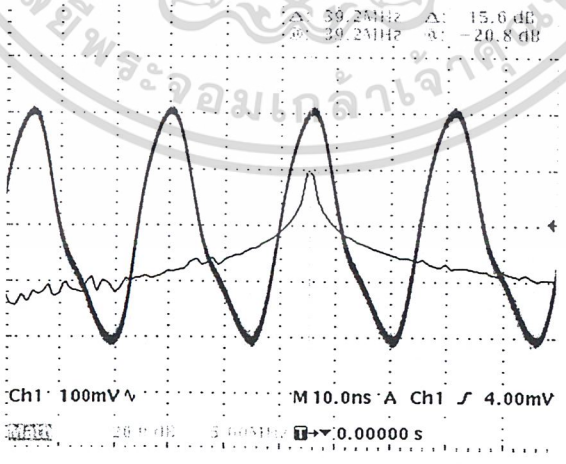
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.15 Local Oscillator Channel 3 39.165

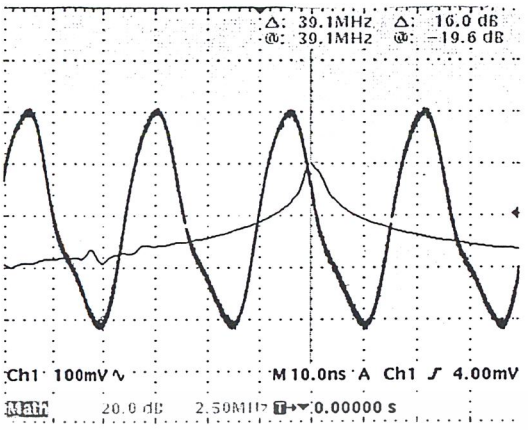


รูปที่ 4.16 Local Oscillator Channel 4 39.075

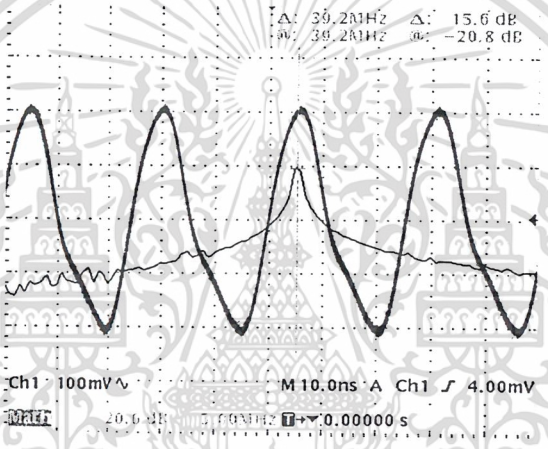


รูปที่ 4.17 Local Oscillator Channel 5 39.18

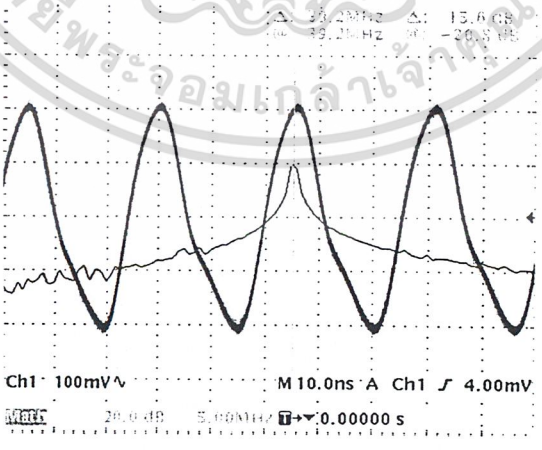
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.18 Local Oscillator Channel 6 39.135

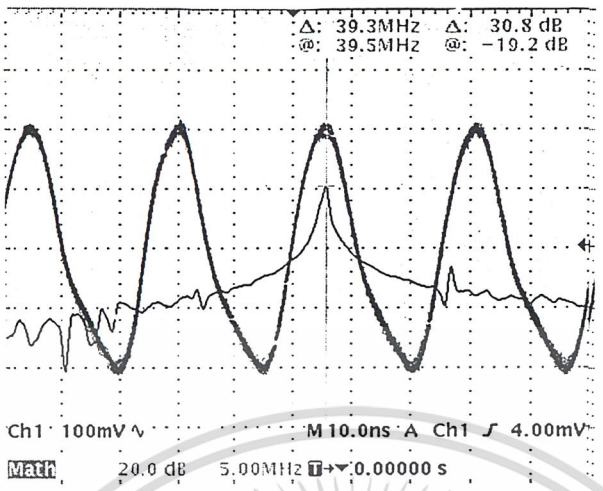


รูปที่ 4.19 Local Oscillator Channel 7 39.195

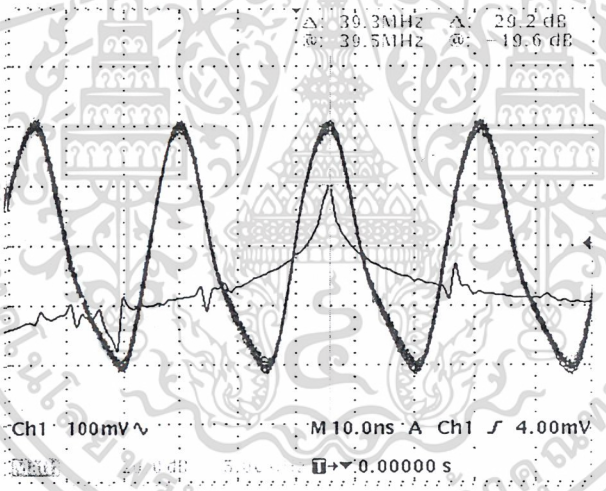


รูปที่ 4.20 Local Oscillator Channel 8 39.235

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.21 Local Oscillator Channel 9 39.295 MHz

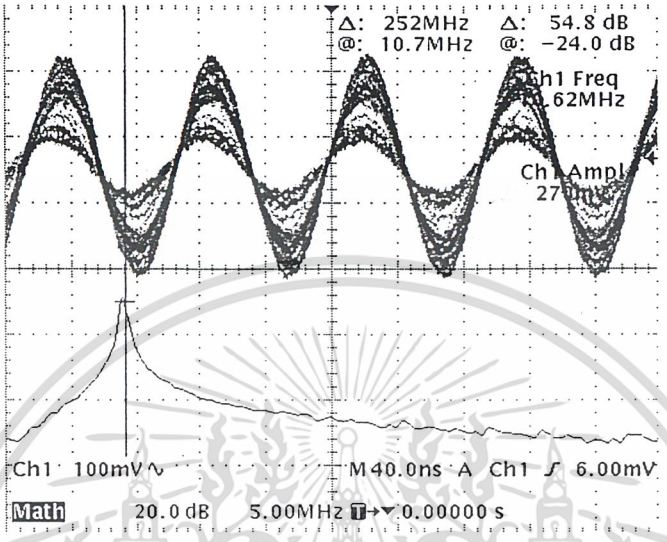


รูปที่ 4.22 Local Oscillator Channel 10 39.275 MHz

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4.6.2 สัญญาณ IF

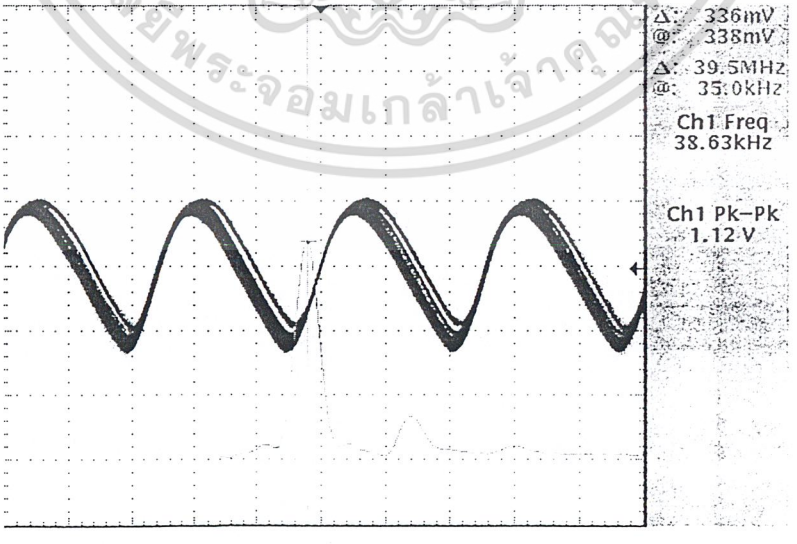
วัดสัญญาณ IF 10.7 MHz ที่ได้จากวงจรมิกเซอร์หลังจากผ่านเซรามิกฟิลเตอร์ 10.7 MHz ที่ต่ออยู่กับขา 20 ของ MC13135 ได้สัญญาณมีลักษณะดังรูปที่ 4.23



รูปที่ 4.23 สัญญาณ IF 10.7 MHz

4.6.3 สัญญาณข้อมูลจากการ demodulate

ทำการวัดสัญญาณที่ออกจากขา 13 ของ IC เบอร์ MC3356 ซึ่งเป็นสัญญาณข้อมูลที่ demodulate ได้จากวิธี Quadrature Detector ซึ่งจะมีลักษณะเดียวกันกับสัญญาณข้อมูล FSK ที่ modulate เข้าไปดังรูปที่ 4.24



รูปที่ 4.24 สัญญาณข้อมูล FSK ที่ demod ออกมาได้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4.7 การทดสอบ Bandwidth ของภาครับ FM

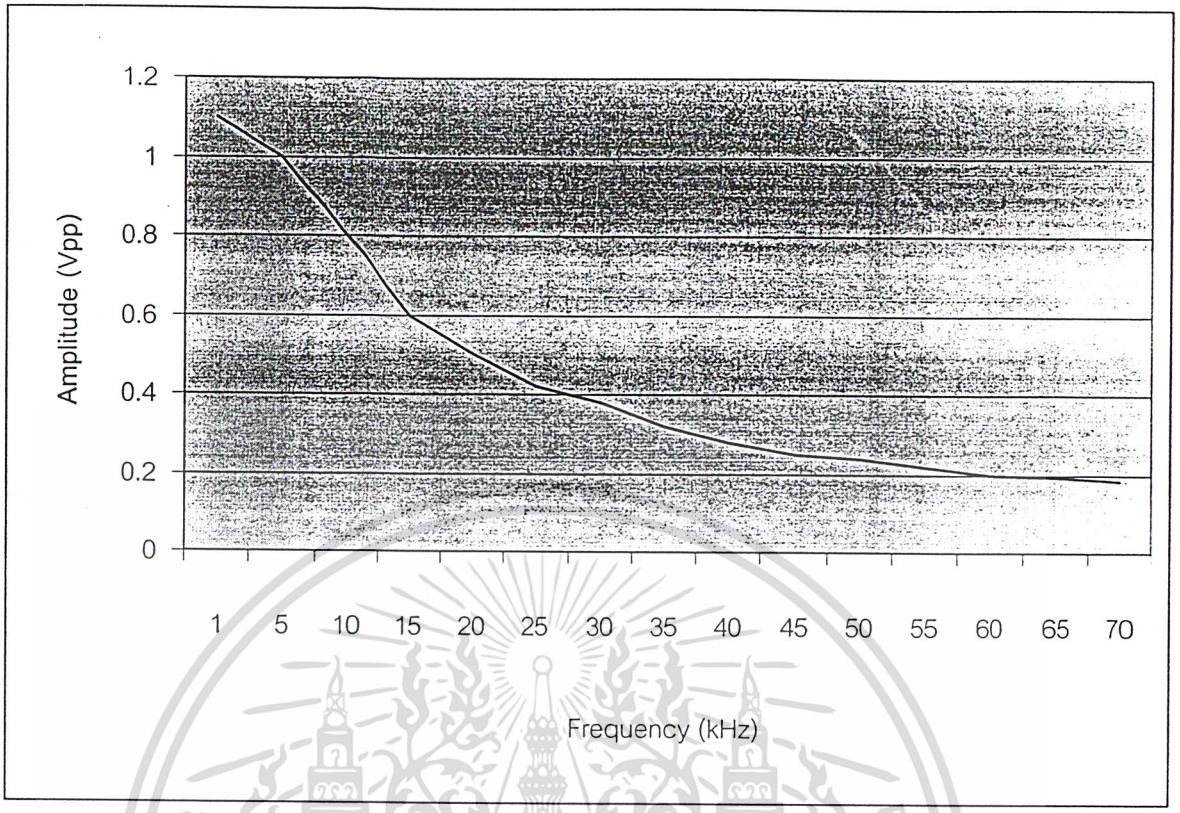
เป็นการทดสอบเพื่อหา Bandwidth ของภาครับ FM โดยใช้วงจรในรูปที่ 3.10,3.11,3.13 การทดสอบทำได้โดยทำการป้อนสัญญาณ sine wave ความถี่ 1-70 kHz ขนาด 1 Vpp เข้าไปแล้ววัดสัญญาณเอาท์พุทจากขา 13 ของ IC เบอร์ MC3356 (รูปที่ 3.11) ผลการทดลองแสดงดังตารางในรูปที่ 4.25

Frequency (kHz)	Output (Vpp)
1	1.1
5	1
10	0.8
15	0.6
20	0.5
25	0.42
30	0.38
35	0.32
40	0.28
45	0.25
50	0.24
55	0.22
60	0.2
65	0.19
70	0.18

รูปที่ 4.25 ตารางแสดงผลการตอบสนองความถี่ของวงจรภาครับ FM

จากตารางในรูปที่ 4.25 สามารถนำมาเขียนเป็นกราฟการตอบสนองความถี่ได้ดังรูปที่ 4.26

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.26 กราฟแสดงผลการตอบสนองความถี่ของวงจรภาครับ FM

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 5
สรุปและวิจารณ์

วงจรในโครงงานนี้สามารถแบบออกได้เป็น 2 ส่วนใหญ่ คือ ส่วนวงจรภาครับ และส่วน
ของวงจรภาคส่ง โดยส่วนที่ควบคุมการทำงานของวงจรจะอยู่ที่วงจรภาคส่ง

- วงจรภาคส่ง

ในวงจรส่วนนี้จะเริ่มต้นจากการรับค่าคำสั่งจากผู้ใช้ทางคีบอร์ด คำสั่งนี้จะถูกส่งไปยังไมโครคอนโทรลเลอร์จากนั้นไมโครคอนโทรลเลอร์จะส่งข้อมูลขนาน 4 บิต(Control word)ที่ใช้ในการควบคุมเปิด – ปิด อุปกรณ์ไฟฟ้า จากนั้นข้อมูลขนาน 4 บิตนี้จะถูกแปลงให้อยู่ในรูปของข้อมูลอนุกรมเพื่อทำการมอดดูเลตแบบ FSK และ FM ต่อไป

- วงจรภาครับ

วงจรนี้จะรับค่าสัญญาณที่อยู่ในรูป FM แล้วทำการดีมอดดูเลตแบบ FSK และ FM จนได้ข้อมูลดิจิตอลแบบอนุกรม จากนั้นก็จะถอดรหัสข้อมูลนี้ให้อยู่ในรูปของข้อมูลขนาน 4 บิตเหมือนเดิม(Control word) แล้วก็นำข้อมูลนี้ไปผ่านวงจรเพื่อควบคุมการเปิด – ปิด อุปกรณ์ไฟฟ้าต่อไป

- ข้อมูลที่ใช้ควบคุมการปิด – เปิด อุปกรณ์ไฟฟ้า(Control word)

ไมโครคอนโทรลเลอร์จะส่งคำสั่งควบคุมนี้ออกมาครั้งละ 1 ชุด ชุดละ 4 บิต โดยมี 3 บิตเป็นแอดเดรสของอุปกรณ์ไฟฟ้าที่ต้องการจะควบคุม และอีก 1 บิต จะเป็นคำสั่งในการเปิดหรือปิดอุปกรณ์ไฟฟ้าที่แอดเดรสนั้น

การส่งข้อมูลแบบ FM ในโครงงานนี้มีข้อดีคือ จะสามารถส่งข้อมูลได้ในระยะไกลและยังสามารถส่งผ่านสิ่งกีดขวางได้ และวงจรที่ใช้ในโครงงานนี้สามารถเลือกช่องทางการส่งข้อมูลได้หลายช่องทาง ในย่านความถี่ 46,49 MHz

ส่วนข้อเสียของการสื่อสารข้อมูลแบบนี้คือก็คือสัญญาณรบกวนจะมีมากเมื่อเทียบกับการใช้งานวงจรความถี่ต่ำ ทำให้วงจรเกิดความผิดพลาดได้ง่าย

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ปัญหาและข้อบกพร่องของเครื่องรับและเครื่องส่ง

- เครื่องรับ

คุณภาพของสัญญาณ FSK ที่ DEMODULATE ออกมาได้นั้นยังไม่ค่อยดีมากนัก เนื่องจากสัญญาณความถี่สูงที่ได้จากภาคส่งนั้นยังไม่เป็นรูป sinusoid ที่บริสุทธินัก

- เครื่องส่ง

เป็นภาคที่ออกแบบได้ยาก เพราะสร้างจากอุปกรณ์แต่ละตัวที่ไม่ได้อยู่ภายใน IC เช่น ทรานซิสเตอร์ซึ่งหาให้เหมาะสมได้ยาก นอกจากการออกแบบวงจรแล้ว ในการสร้างลายวงจรต้องใช้ความระมัดระวังมากในจุดต่อ,จุดเชื่อมสาย และลายเส้น ซึ่งจะส่งผลให้เกิดสัญญาณรบกวนภายในวงจร ซึ่งมีวิธีแก้ไขคือ ใช้พื้นที่กราวด์ให้ใหญ่,ลดค่าอิมพีแดนซ์และคาปาซิสแตนซ์ของลายวงจรในย่านความถี่สูง และยังคงมีสัญญาณรบกวนจากภายนอกอีก อันเนื่องมาจากสัญญาณที่อยู่รอบ ๆ เช่น โทรศัพท์ที่ใช้ความถี่ในย่านเดียวกัน นอกจากนี้ยังเกิดจากสนามไฟฟ้าต่าง ๆ ได้แก่ SUPPLY นอกจากนี้สัญญาณคลื่นพาหะที่ออกมายังมีขนาดเล็กเกินไป RF Amplifier ที่ทำขึ้นมายังมีอัตราขยายน้อยเกินไปทำให้ไม่สามารถส่งสัญญาณออกเสาอากาศได้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

หนังสืออ้างอิง

สุชาติ กังวลจิตต์ , หลักการทำงานเครื่องรับส่งวิทยุสื่อสาร , บริษัท ซีเอ็ดยูเคชั่น จำกัด , พิมพ์ครั้งที่ 1 , กรุงเทพฯ , พ.ศ. 2538

ไพโรจน์ ไววานิชกิจ , กมล เขมะรังษี , เปิดโลกการสื่อสารไร้สาย , บริษัท ซีเอ็ดยูเคชั่น จำกัด , กรุงเทพฯ , พ.ศ. 2539

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ภาคผนวก

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

XR-2206

Monolithic Function Generator

EXAR ...the analog plus company™

June 1997-3

FEATURES

- Low-Sine Wave Distortion, 0.5%, Typical
- Excellent Temperature Stability, 20ppm/°C, Typ.
- Wide Sweep Range, 2000:1, Typical
- Low-Supply Sensitivity, 0.01%V, Typ.
- Linear Amplitude Modulation
- TTL Compatible FSK Controls
- Wide Supply Range, 10V to 26V
- Adjustable Duty Cycle, 1% TO 99%

APPLICATIONS

- Waveform Generation
- Sweep Generation
- AM/FM Generation
- V/F Conversion
- FSK Generation
- Phase-Locked Loops (VCO)

GENERAL DESCRIPTION

The XR-2206 is a monolithic function generator integrated circuit capable of producing high quality sine, square, triangle, ramp, and pulse waveforms of high-stability and accuracy. The output waveforms can be both amplitude and frequency modulated by an external voltage. Frequency of operation can be selected externally over a range of 0.01Hz to more than 1MHz.

The circuit is ideally suited for communications, instrumentation, and function generator applications requiring sinusoidal tone, AM, FM, or FSK generation. It has a typical drift specification of 20ppm/°C. The oscillator frequency can be linearly swept over a 2000:1 frequency range with an external control voltage, while maintaining low distortion.

ORDERING INFORMATION

Part No.	Package	Operating Temperature Range
XR-2206M	16 Lead 300 Mil CDIP	-55°C to +125°C
XR-2206P	16 Lead 300 Mil PDIP	-40°C to +85°C
XR-2206CP	16 Lead 300 Mil PDIP	0°C to +70°C
XR-2206D	16 Lead 300 Mil JEDEC SOIC	0°C to +70°C

©1972

EXAR Corporation, 48720 Kato Road, Fremont, CA 94538 ◆ (510) 668-7000 ◆ (510) 668-7017

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

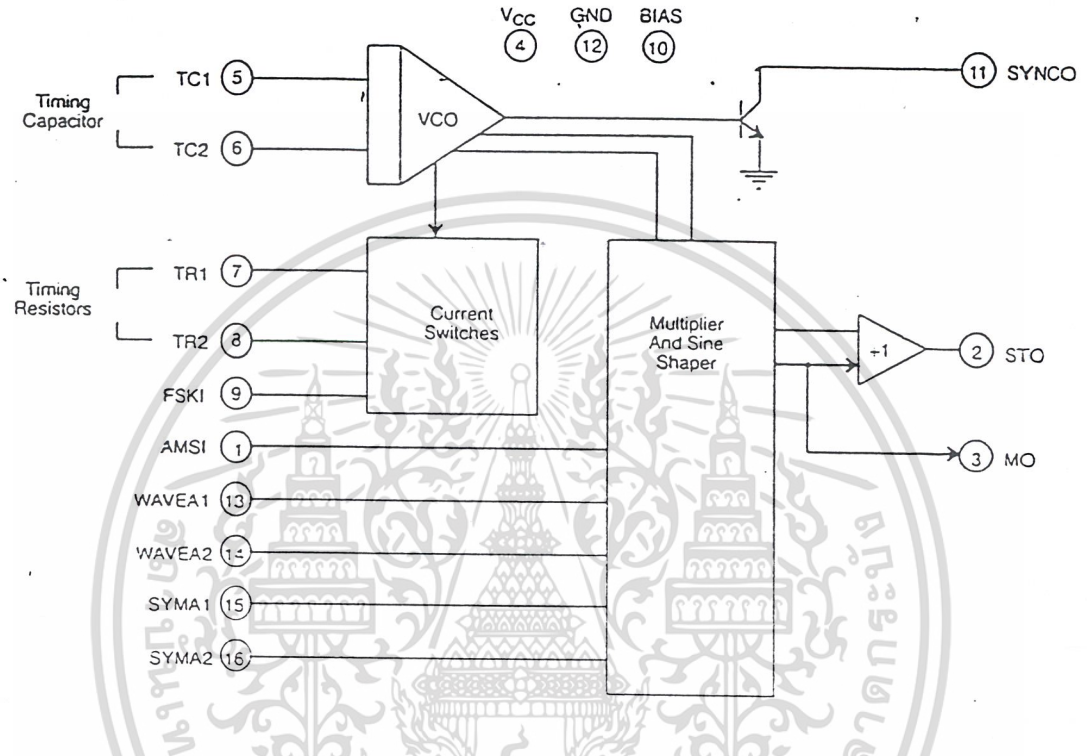


Figure 1. XR-2206 Block Diagram

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

DC ELECTRICAL CHARACTERISTICS

Test Conditions: Test Circuit of *Figure 2* Vcc = 12V, T_A = 25°C, C = 0.01µF, R_1 = 100kΩ, R_2 = 10kΩ, R_3 = 25kΩ Unless Otherwise Specified. S_1 open for triangle, closed for sine wave.

Parameters	XR-2206M/P			XR-2206CP/D			Units	Conditions
	Min.	Typ.	Max.	Min.	Typ.	Max.		
General Characteristics								
Single Supply Voltage	10		26	10		26	V	
Split-Supply Voltage	±5		±13	±5		±13	V	
Supply Current		12	17		14	20	mA	$R_1 \geq 10k\Omega$
Oscillator Section								
Max. Operating Frequency	0.5	1		0.5	1		MHz	C = 1000pF, R_1 = 1kΩ
Lowest Practical Frequency		0.01			0.01		Hz	C = 50µF, R_1 = 2MΩ
Frequency Accuracy		±1	±4		±2		% of f_o	$f_o = 1/R_1C$
Temperature Stability Frequency		±10	±50		±20		ppm/°C	0°C ≤ T_A ≤ 70°C $R_1 = R_2$ = 20kΩ
Sine Wave Amplitude Stability[2]		4800			4800		ppm/°C	
Supply Sensitivity		0.01	0.1		0.01		%/V	V_{LOW} = 10V, V_{HIGH} = 20V, $R_1 = R_2$ = 20kΩ
Sweep Range	1000:1	2000:1			2000:1		$f_H = f_L$	f_H @ R_1 = 1kΩ f_L @ R_1 = 2MΩ
Sweep Linearity								
10:1 Sweep		2			2		%	f_L = 1kHz, f_H = 10kHz
1000:1 Sweep		8			8		%	f_L = 100Hz, f_H = 100kHz
FM Distortion		0.1			0.1		%	±10% Deviation
Recommended Timing Components								
Timing Capacitor: C	0.001		100	0.001		100	µF	*Figure 5*
Timing Resistors: R_1 & R_2	1		2000	1		2000	kΩ	
Triangle Sine Wave Output[1]								*Figure 3*
Triangle Amplitude		160			160		mV/kΩ	*Figure 2*, S_1 Open
Sine Wave Amplitude	40	60	80		60		mV/kΩ	*Figure 2*, S_1 Closed
Max. Output Swing		6			6		Vp-p	
Output Impedance		600			600		Ω	
Triangle Linearity		1			1		%	
Amplitude Stability		0.5			0.5		dB	For 1000:1 Sweep
Sine Wave Distortion								
Without Adjustment		2.5			2.5		%	R_1 = 30kΩ
With Adjustment		0.4	1.0		0.5	1.5	%	See *Figure 7* and *Figure 8*

Notes

[1] Output amplitude is directly proportional to the resistance, R_3, on Pin 3. See Figure 3.

[2] For maximum amplitude stability, R_3 should be a positive temperature coefficient resistor.

Bold face parameters are covered by production test and guaranteed over operating temperature range.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ELECTRICAL CHARACTERISTICS (CONT'D)

rameters	XR-2206M/P			XR-2206CP/D			Units	Conditions
	Min.	Typ.	Max.	Min.	Typ.	Max.		
plitude Modulation								
ut Impedance	50	100		50	100		kΩ	
dulation Range		100			100		%	
rrier Suppression		55	-		55		dB	
earity		2			2		%	For 95% modulation
uare-Wave Output								
plitude		12			12		Vp-p	Measured at Pin 11.
se Time		250			250		ns	C_L = 10pF
ll Time		50			50		ns	C_L = 10pF
turation Voltage		0.2	0.4		0.2	0.6	V	I_L = 2mA
akage Current		0.1	20		0.1	100	µA	V_{CC} = 26V
SK Keying Level (Pin 9)	0.8	1.4	2.4	0.8	1.4	2.4	V	See section on circuit controls
ference Bypass Voltage	2.9	3.1	3.3	2.5	3	3.5	V	Measured at Pin 10.

tes

)utput amplitude is directly proportional to the resistance, R_3, on Pin 3. See Figure 3.
or maximum amplitude stability, R_3 should be a positive temperature coefficient resistor.
ld face parameters are covered by production test and guaranteed over operating temperature range.

Specifications are subject to change without notice

BSOLUTE MAXIMUM RATINGS

wer Supply	26V	Total Timing Current	6mA
wer Dissipation	750mW	Storage Temperature	-65°C to +150°C
erate Above 25°C	5mW/°C		

YSTEM DESCRIPTION

he XR-2206 is comprised of four functional blocks; a oltage-controlled oscillator (VCO), an analog multiplier nd sine-shaper; a unity gain buffer amplifier; and a set of urrent switches.

he VCO produces an output frequency proportional to n input current, which is set by a resistor from the timing terminals to ground. With two timing pins, two discrete output frequencies can be independently produced for FSK generation applications by using the FSK input control pin. This input controls the current switches which select one of the timing resistor currents, and routes it to the VCO.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

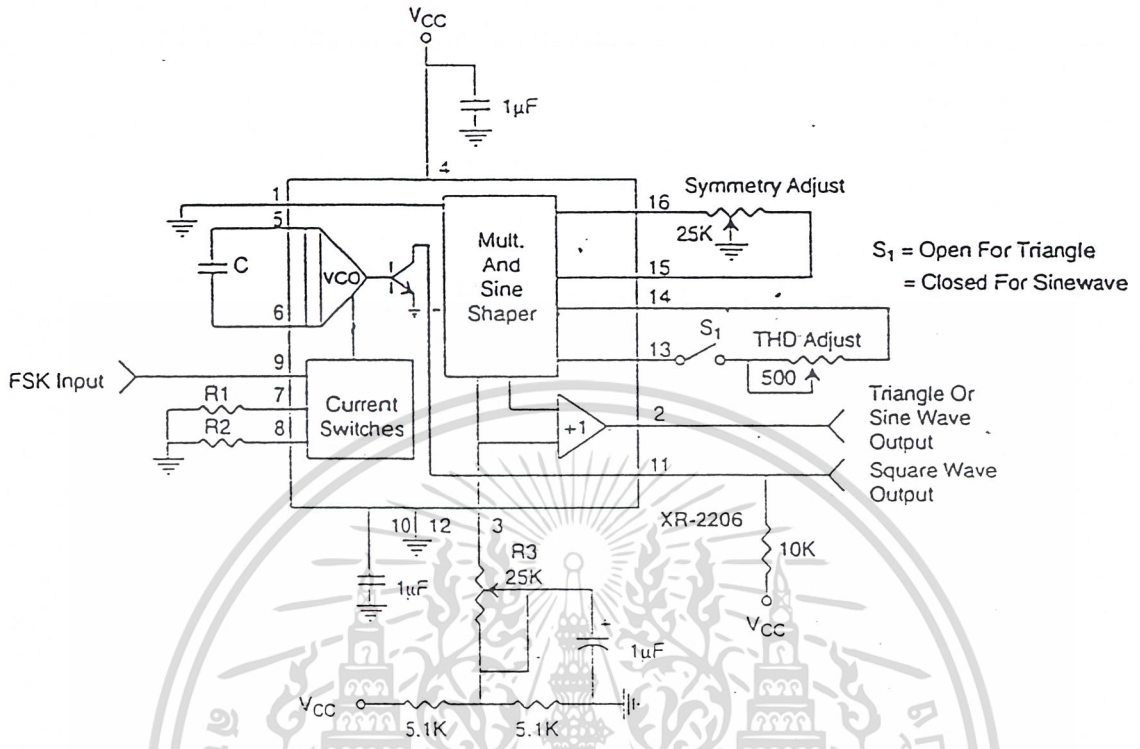


Figure 2. Basic Test Circuit

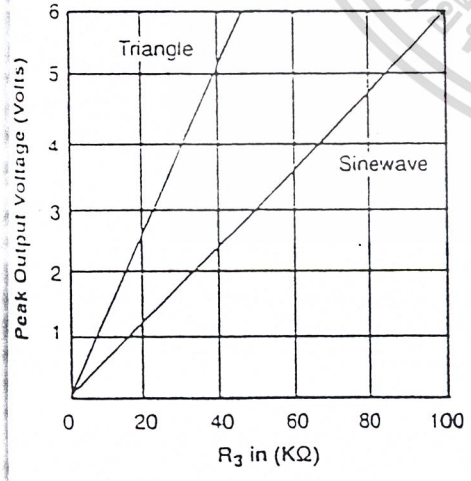


Figure 3. Output Amplitude as a Function of the Resistor, R3, at Pin 3

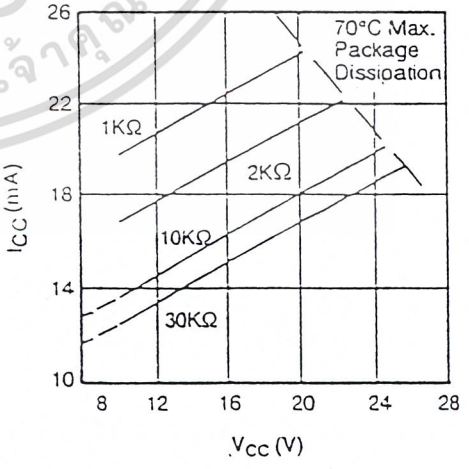


Figure 4. Supply Current vs Supply Voltage, Timing, R

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

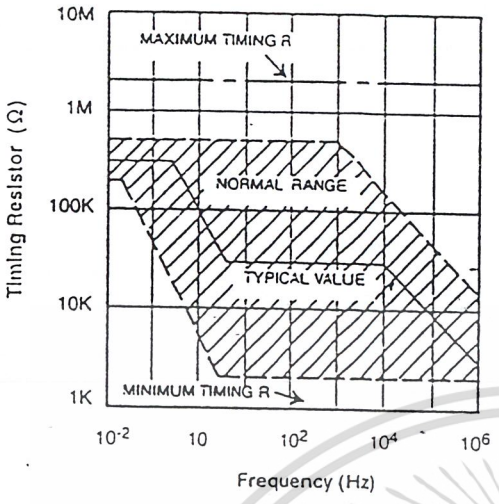


Figure 5. R versus Oscillation Frequency.

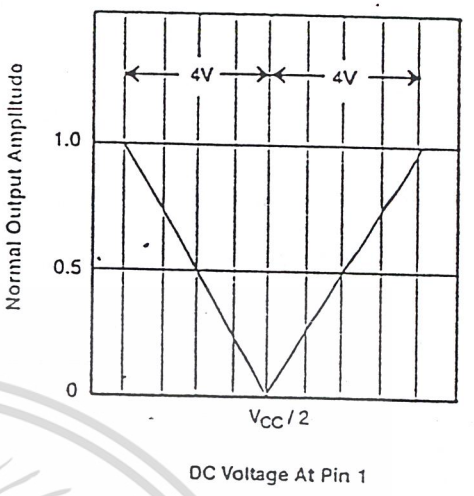


Figure 6. Normalized Output Amplitude versus DC Bias at AM Input (Pin 1)

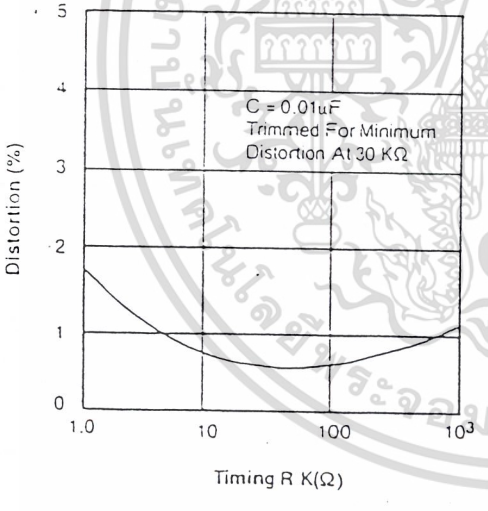


Figure 7. Trimmed Distortion versus Timing Resistor.

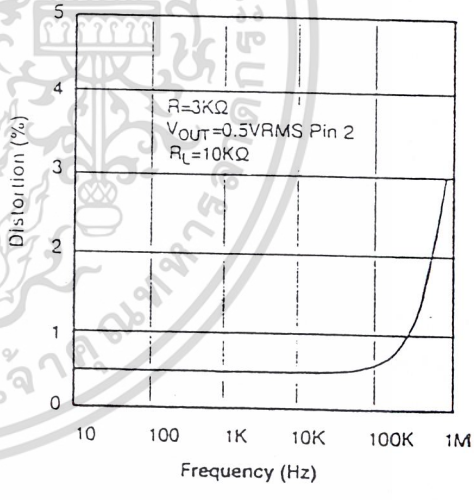


Figure 8. Sine Wave Distortion versus Operating Frequency with Timing Capacitors Varied.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

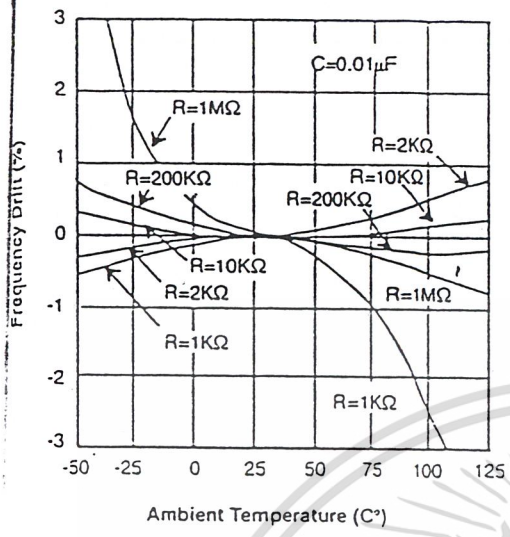


Figure 9. Frequency Drift versus Temperature.

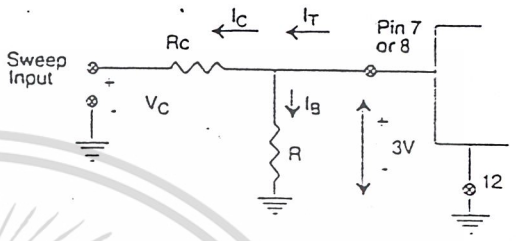


Figure 10. Circuit Connection for Frequency Sweep.

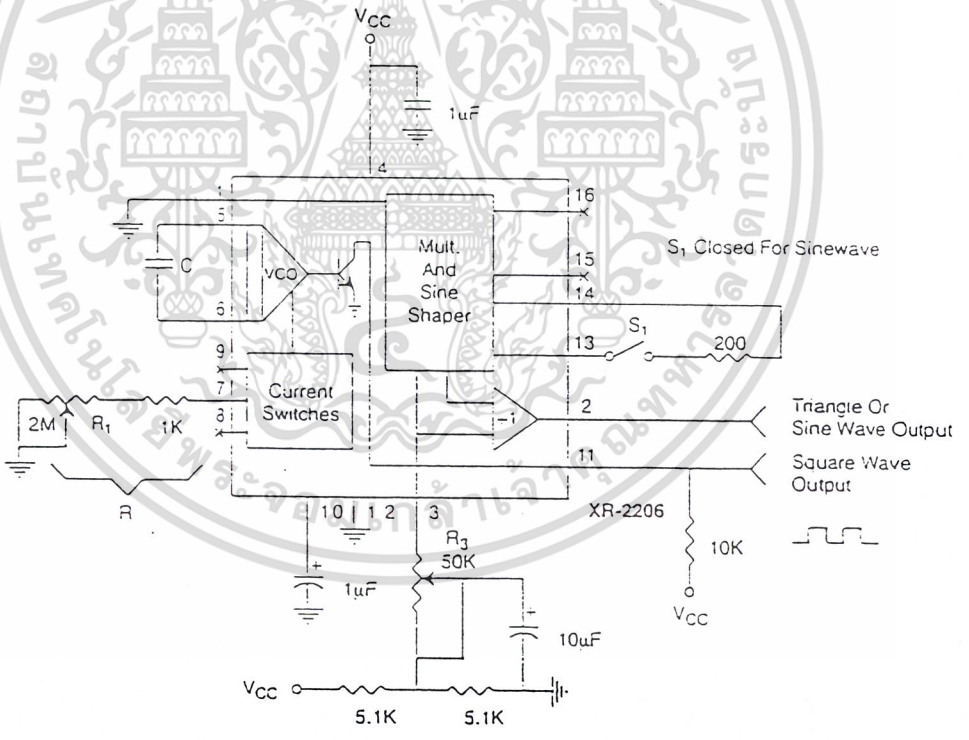


Figure 11. Circuit tor Sine Wave Generation without External Adjustment.
(See *Figure 3* for Choice of R_3)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

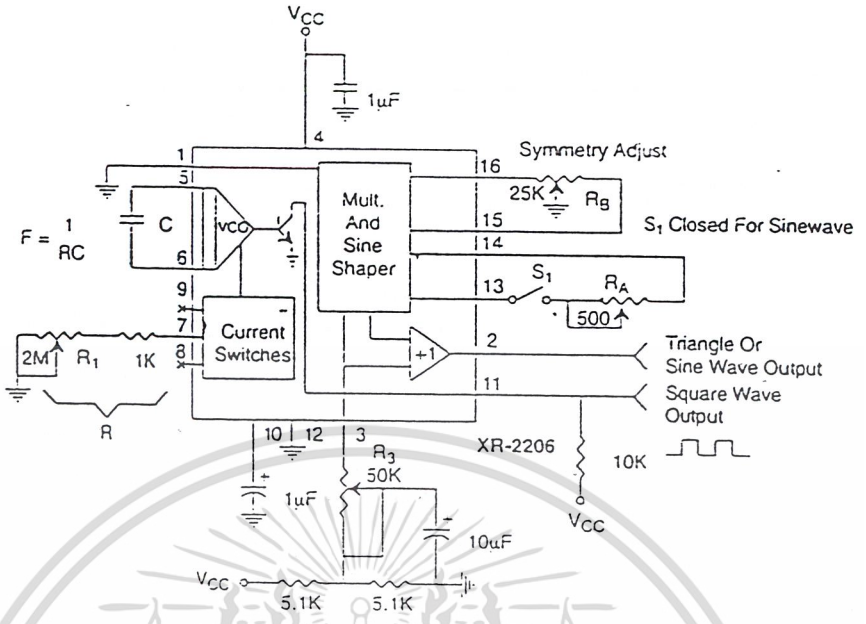


Figure 12. Circuit for Sine Wave Generation with Minimum Harmonic Distortion. (R_3 Determines Output Swing - See *Figure 3*)

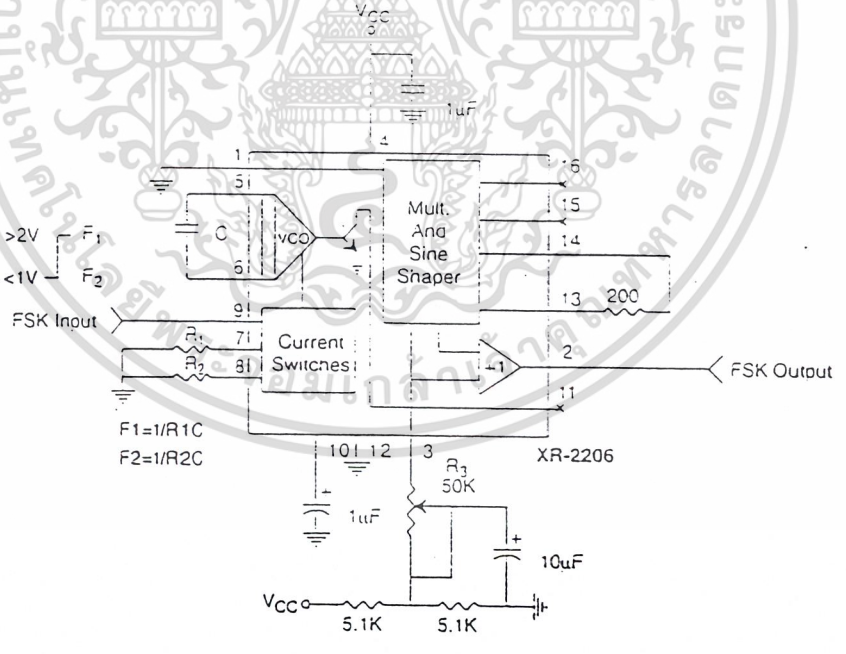


Figure 13. Sinusoidal FSK Generator

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

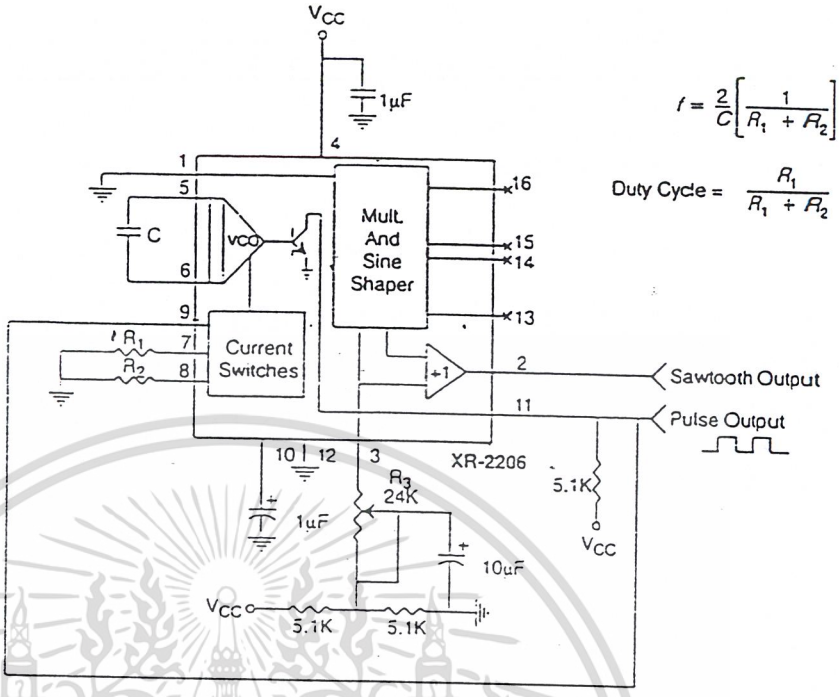


Figure 14. Circuit for Pulse and Ramp Generation.

Frequency-Shift Keying

The XR-2206 can be operated with two separate timing resistors, R_1 and R_2, connected to the timing Pin 7 and 8, respectively, as shown in *Figure 13*. Depending on the polarity of the logic signal at Pin 9, either one or the other of these timing resistors is activated. If Pin 9 is open-circuited or connected to a bias voltage $\geq$ 2V, only R_1 is activated. Similarly, if the voltage level at Pin 9 is $\leq$1V, only R_2 is activated. Thus, the output frequency can be keyed between two levels, f_1 and f_2, as:

$f_1 = 1/R_1C$ and $f_2 = 1/R_2C$

For split-supply operation, the keying voltage at Pin 9 is referenced to V⁻.

Output DC Level Control

The dc level at the output (Pin 2) is approximately the same as the dc bias at Pin 3. In *Figure 11*, *Figure 12* and *Figure 13*, Pin 3 is biased midway between V+ and ground, to give an output dc level of $\approx$ V+/2.

APPLICATIONS INFORMATION

Sine Wave Generation

Without External Adjustment

Figure 11 shows the circuit connection for generating a sinusoidal output from the XR-2206. The potentiometer, R_1 at Pin 7, provides the desired frequency tuning. The maximum output swing is greater than V+/2, and the typical distortion (THD) is < 2.5%. If lower sine wave distortion is desired, additional adjustments can be provided as described in the following section.

The circuit of *Figure 11* can be converted to split-supply operation, simply by replacing all ground connections with V⁻. For split-supply operation, R_3 can be directly connected to ground.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

th External Adjustment:

e harmonic content of sinusoidal output can be duced to -0.5% by additional adjustments as shown in *gure 12*. The potentiometer, R_A, adjusts the e-shaping resistor, and R_B provides the fine justment for the waveform symmetry. The adjustment ocedure is as follows:

- Set R_B at midpoint and adjust R_A for minimum distortion.
- With R_A set as above, adjust R_B to further reduce distortion.

riangle Wave Generation

he circuits of *Figure 11* and *Figure 12* can be converted triangle wave generation, by simply open-circuiting Pin 3 and 14 (i.e., S_1 open). Amplitude of the triangle is pproximately twice the sine wave output.

SK Generation

igure 13 shows the circuit connection for sinusoidal FSK gnal operation. Mark and space frequencies can be dependently adjusted by the choice of timing resistors. R_1 and R_2; the output is phase-continuous during ansitions. The keying signal is applied to Pin 9. The rcuit can be converted to split-supply operation by mply replacing ground with V⁻.

ulse and Ramp Generation

igure 14 shows the circuit for pulse and ramp waveform eneration. In this mode of operation, the FSK keying rminal (Pin 9) is shorted to the square-wave output (Pin 1), and the circuit automatically frequency-shift keys self between two separate frequencies during the positive-going and negative-going output waveforms. he pulse width and duty cycle can be adjusted from 1% o 99% by the choice of R_1 and R_2. The values of R_1 and R_2 should be in the range of 1kΩ to 2MΩ.

PRINCIPLES OF OPERATION

Description of Controls

Frequency of Operation:

The frequency of oscillation, f_o, is determined by the external timing capacitor, C, across Pin 5 and 6, and by the timing resistor, R, connected to either Pin 7 or 8. The frequency is given as:

$$f_o = \frac{1}{RC}\ Hz$$

and can be adjusted by varying either R or C. The recommended values of R, for a given frequency range, as shown in *Figure 5*. Temperature stability is optimum for 4kΩ < R < 200kΩ. Recommended values of C are from 1000pF to 100μF.

Frequency Sweep and Modulation:

Frequency of oscillation is proportional to the total timing current, I_T, drawn from Pin 7 or 8:

$$f = \frac{320 I_T(mA)}{C(\mu F)}\ Hz$$

Timing terminals (Pin 7 or 8) are low-impedance points, and are internally biased at +3V, with respect to Pin 12. Frequency varies linearly with IT, over a wide range of current values, from 1μA to 3mA. The frequency can be controlled by applying a control voltage, V_C, to the activated timing pin as shown in *Figure 10*. The frequency of oscillation is related to VC as:

$$f = \frac{1}{RC}\left(1 + \frac{R}{R_c}\left(1 - \frac{V_C}{3}\right)\right) Hz$$

where V_C is in volts. The voltage-to-frequency conversion gain, K, is given as:

$$K = \partial f / \partial V_C = -\frac{0.32}{R_c C}\ \ Hz/V$$

CAUTION: For safety operation of the circuit, I_T should be limited to ≤ 3mA.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

tput Amplitude:

ximum output amplitude is inversely proportional to external resistor, R_3, connected to Pin 3 (see *gure 3*). For sine wave output, amplitude is proximately 60mV peak per kΩ of R_3; for triangle, the ak amplitude is approximately 160mV peak per kΩ of . Thus, for example, R_3 = 50kΩ would produce proximately 13V sinusoidal output amplitude.

mplitude Modulation:

utput amplitude can be modulated by applying a dc bias d a modulating signal to Pin 1. The internal impedance at Pin 1 is approximately 100kΩ. Output amplitude varies linearly with the applied voltage at Pin 1, for values of dc bias at this pin, within 14 volts of $V_{CC}/2$ as shown in *Figure 6*. As this bias level approaches $V_{CC}/2$, the phase of the output signal is reversed, and the amplitude goes through zero. This property is suitable for phase-shift keying and suppressed-carrier AM generation. Total dynamic range of amplitude modulation is approximately 55dB.

CAUTION: AM control must be used in conjunction with a well-regulated supply, since the output amplitude now becomes a function of V_{CC}.

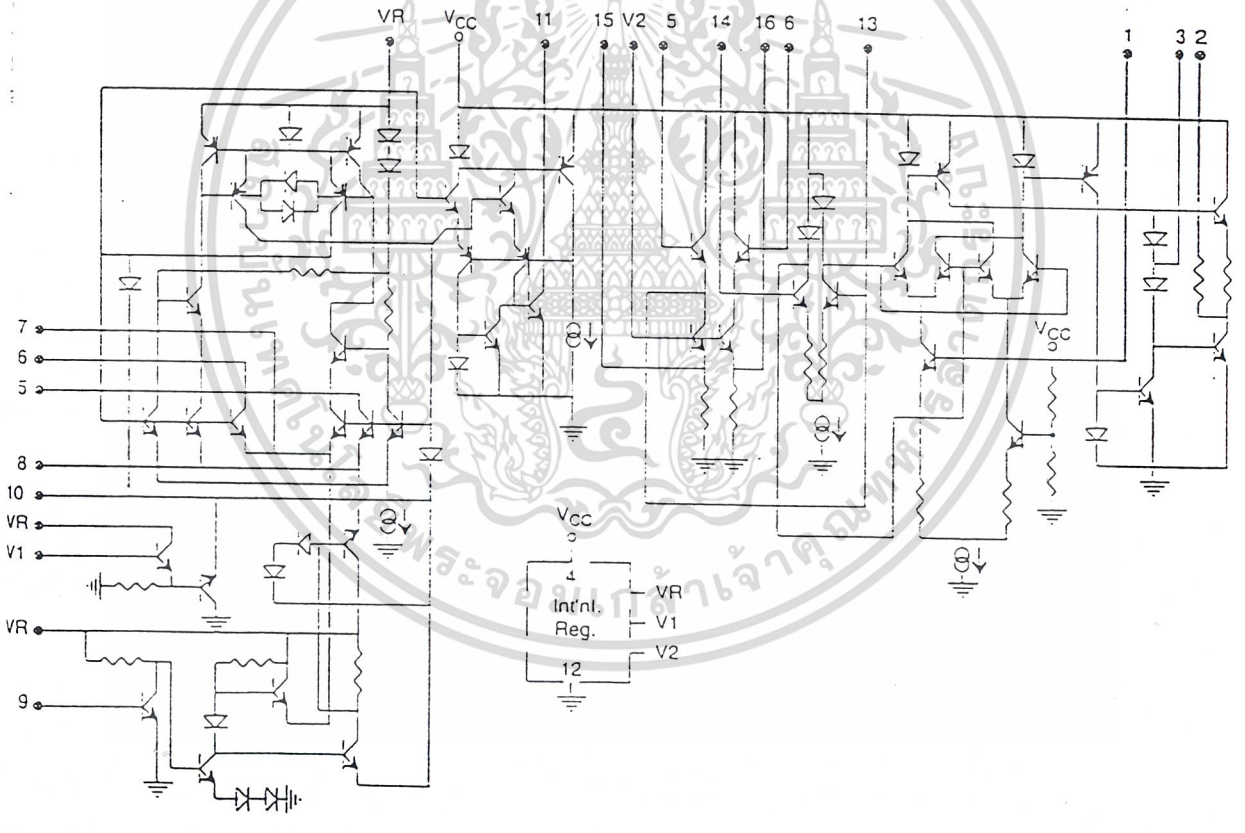


Figure 15. Equivalent Schematic Diagram

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

put Amplitude:

imum output amplitude is inversely proportional to external resistor, R_3, connected to Pin 3 (see *ure 3*). For sine wave output, amplitude is roximately 60mV peak per kΩ of R_3; for triangle, the k amplitude is approximately 160mV peak per kΩ of Thus, for example, R_3 = 50kΩ would produce roximately 13V sinusoidal output amplitude.

plitude Modulation:

put amplitude can be modulated by applying a dc bias a modulating signal to Pin 1. The internal impedance at Pin 1 is approximately 100kΩ. Output amplitude varies linearly with the applied voltage at Pin 1, for values of dc bias at this pin, within 14 volts of $V_{CC}/2$ as shown in *Figure 6*. As this bias level approaches $V_{CC}/2$, the phase of the output signal is reversed, and the amplitude goes through zero. This property is suitable for phase-shift keying and suppressed-carrier AM generation. Total dynamic range of amplitude modulation is approximately 55dB.

CAUTION: AM control must be used in conjunction with a well-regulated supply, since the output amplitude now becomes a function of V_{CC}.

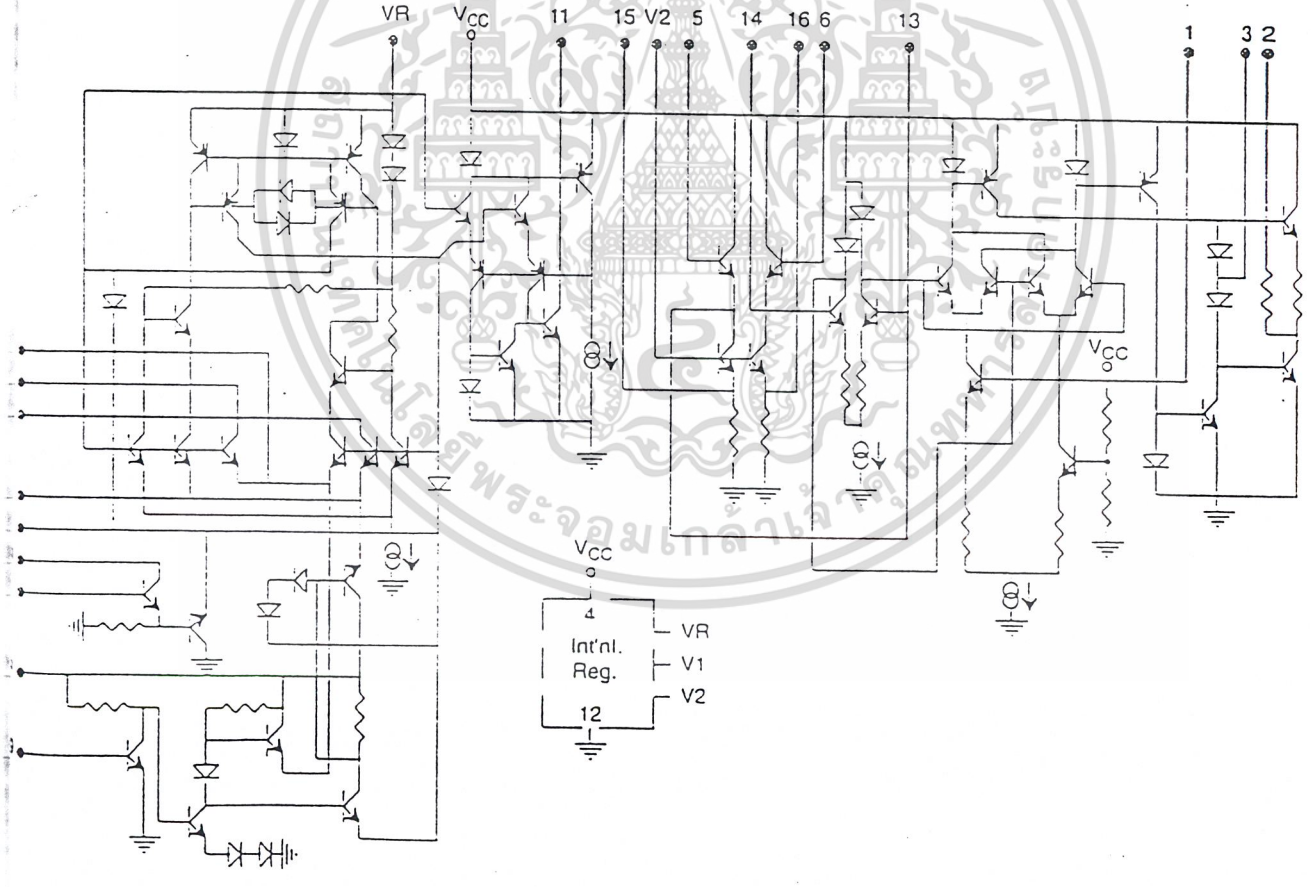


Figure 15. Equivalent Schematic Diagram

ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

XR-2211

FSK Demodulator/ Tone Decoder

EXAR ...the analog plus company™

June 1997-3

FEATURES

- Wide Frequency Range, 0.01Hz to 300kHz
- Wide Supply Voltage Range, 4.5V to 20V
- HCMOS/TTL/Logic Compatibility
- FSK Demodulation, with Carrier Detection
- Wide Dynamic Range, 10mV to 3V rms
- Adjustable Tracking Range, ±1% to 80%
- Excellent Temp. Stability, ±50ppm/°C, max.

APPLICATIONS

- Caller Identification Delivery
- FSK Demodulation
- Data Synchronization
- Tone Decoding
- FM Detection
- Carrier Detection

GENERAL DESCRIPTION

The XR-2211 is a monolithic phase-locked loop (PLL) system especially designed for data communications applications. It is particularly suited for FSK modem applications. It operates over a wide supply voltage range of 4.5 to 20V and a wide frequency range of 0.01Hz to 300kHz. It can accommodate analog signals between 10mV and 3V, and can interface with conventional DTL, TTL, and ECL logic families. The circuit consists of a basic PLL for tracking an input signal within the pass band, a quadrature phase detector which provides carrier detection, and an FSK voltage comparator which provides FSK demodulation. External components are used to independently set center frequency, bandwidth, and output delay. An internal voltage reference proportional to the power supply is provided at an output pin.

The XR-2211 is available in 14 pin packages specified for military and industrial temperature ranges.

ORDERING INFORMATION

Part No.	Package	Operating Temperature Range
XR-2211M	14 Pin CDIP (0.300")	-55°C to +125°C
XR-2211N	14 Pin CDIP (0.300")	-40°C to +85°C
XR-2211P	14 Pin PDIP (0.300")	-40°C to +85°C
XR-2211ID	14 Lead SOIC (Jedec, 0.150")	-40°C to +85°C

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

©1992

EXAR Corporation, 48720 Kato Road, Fremont, CA 94538 ◆ (510) 668-7000 ◆ FAX (510) 668-7017

BLOCK DIAGRAM

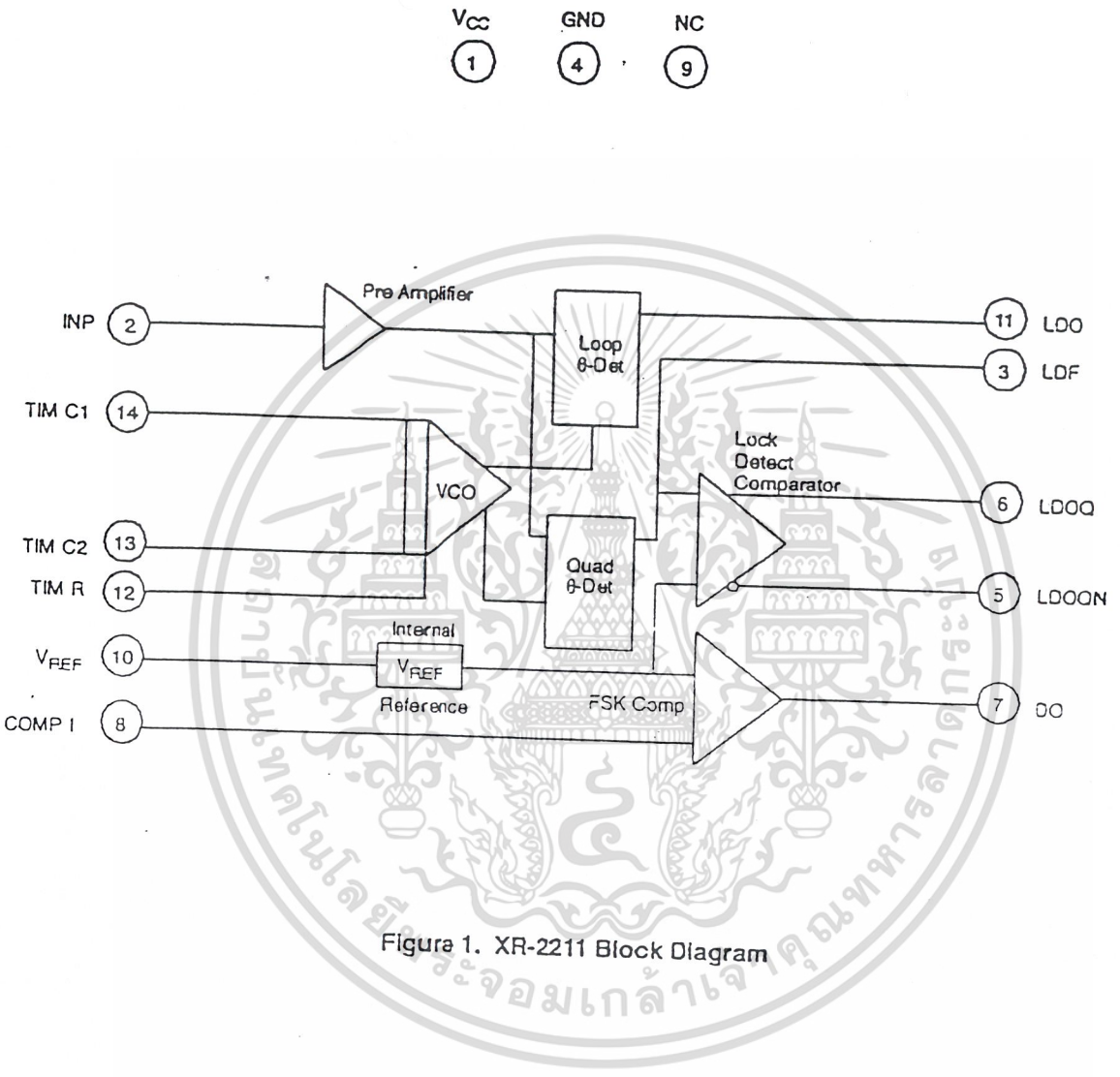
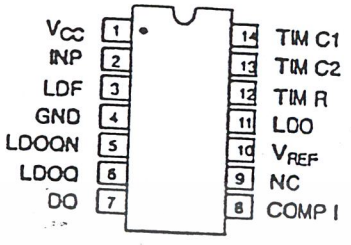


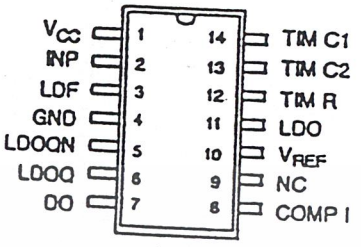
Figure 1. XR-2211 Block Diagram

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของลิขสิทธิ์ทุกครั้ง

PIN CONFIGURATION



14 Lead CDIP, PDIP (0.300")



14 Lead SOIC (Jedec, 0.150")

PIN DESCRIPTION

Pin #	Symbol	Type	Description
1	V_{CC}		Positive Power Supply.
2	INP	I	Receive Analog Input.
3	LDF	O	Lock Detect Filter.
4	GND		Ground Pin.
5	LDOQN	O	Lock Detect Output Not. This output will be low if the VCO is in the capture range.
6	LDOQ	O	Lock Detect Output. This output will be high if the VCO is in the capture range.
7	DO	O	Data Output. Decoded FSK output.
8	COMP I	I	FSK Comparator Input.
9	NC		Not Connected.
10	V_{REF}	O	Internal Voltage Reference. The value of V_{REF} is $V_{CC}/2$ - 650mV.
11	LDO	O	Loop Detect Output. This output provides the result of the quadrature phase detection.
12	TIM R	I	Timing Resistor Input. This pin connects to the timing resistor of the VCO.
13	TIM C2	I	Timing Capacitor Input. The timing capacitor connects between this pin and pin 14.
14	TIM C1	I	Timing Capacitor Input. The timing capacitor connects between this pin and pin 13.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของลิขสิทธิ์ทุกครั้งที่มีการนำไปใช้

ELECTRICAL CHARACTERISTICS

Test Conditions: V_{CC} = 12V, T_A = +25°C, R_O = 30KΩ, C_O = 0.033μF, unless otherwise specified.

Parameter	Min.	Typ.	Max.	Unit	Conditions
General					
Supply Voltage	4.5		20	V	
Supply Current		4	7	mA	$R_0 \geq 10K\Omega$. See *Figure 4.*
Oscillator Section					
Frequency Accuracy		±1	±3	%	Deviation from $f_O = 1/R_0 C_0$
Frequency Stability					
Temperature		±20	±50	ppm/°C	See *Figure 8.*
Power Supply		0.05	0.5	%/V	V_{CC} = 12 ±1V. See *Figure 7.*
		0.2		%/V	V_{CC} = ± 5V. See *Figure 7.*
Upper Frequency Limit	100	300		kHz	R_0 = 8.2KΩ, C_0 = 400pF
Lowest Practical Operating Frequency			0.01	Hz	R_0 = 2MΩ, C_0 = 50μF
Timing Resistor, R_0 - See *Figure 5*					
Operating Range	5		2000	KΩ	
Recommended Range	5			KΩ	See *Figure 7* and *Figure 8.*
Loop Phase Dectector Section					
Peak Output Current	±150	±200	±300	μA	Measured at Pin 11
Output Offset Current		1		μA	
Output Impedance		1		MΩ	
Maximum Swing	±4	± 5		V	Referenced to Pin 10
Quadrature Phase Detector					Measured at Pin 3
Peak Output Current	100	300		μA	
Output Impedance		1		MΩ	
Maximum Swing		11		V_{PP}	
Input Preampt Section					Measured at Pin 2
Input Impedance		20		KΩ	
Input Signal					
Voltage Required to Cause Limiting		2	10	mV rms	

Notes

Parameters are guaranteed over the recommended operating conditions, but are not 100% tested in production.

***Bold face parameters** are covered by production test and guaranteed over operating temperature range.*

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

DC ELECTRICAL CHARACTERISTICS (CONT'D)

Test Conditions: V_{CC} = 12V, T_A = +25°C, R_O = 30KΩ, C_O = 0.033μF, unless otherwise specified.

Parameter	Min.	Typ.	Max.	Unit	Conditions
Voltage Comparator Section					
Input Impedance		2		MΩ	Measured at Pins 3 and 8
Input Bias Current		100		nA	
Voltage Gain	55	70		dB	R_L = 5.1KΩ
Output Voltage Low		300	500	mV	I_C = 3mA
Output Leakage Current		0.01	10	μA	V_O = 20V
Internal Reference					
Voltage Level	4.9	5.3	5.7	V	Measured at Pin 10
Output Impedance		100		Ω	AC Small Signal
Maximum Source Current		80		μA	

Notes
Parameters are guaranteed over the recommended operating conditions, but are not 100% tested in production.
Bold face parameters are covered by production test and guaranteed over operating temperature range.

Specifications are subject to change without notice

ABSOLUTE MAXIMUM RATINGS

Power Supply 20V
Input Signal Level ..... 3V rms
Power Dissipation 900mW

Package Power Dissipation Ratings
CDIP 750mW
Derate Above T_A = 25°C ..... 8mW/°C
PDIP 800mW
Derate Above T_A = 25°C ..... 60mW/°C
SOIC 390mW
Derate Above T_A = 25°C ..... 5mW/°C

SYSTEM DESCRIPTION

The main PLL within the XR-2211 is constructed from an input preamplifier, analog multiplier used as a phase detector and a precision voltage controlled oscillator (VCO). The preamplifier is used as a limiter such that input signals above typically 10mV rms are amplified to a constant high level signal. The multiplying-type phase detector acts as a digital exclusive or gate. Its output (unfiltered) produces sum and difference frequencies of the input and the VCO output. The VCO is actually a current controlled oscillator with its normal input current (f_O) set by a resistor (R_0) to ground and its driving current with a resistor (R_1) from the phase detector.

The output of the phase detector produces sum and difference of the input and the VCO frequencies (internally connected). When in lock, these frequencies are f_{IN}+ f_{VCO} (2 times f_{IN} when in lock) and f_{IN} - f_{VCO} (0Hz when lock). By adding a capacitor to the phase detector output, the 2 times f_{IN} component is reduced, leaving a DC voltage that represents the phase difference between the two frequencies. This closes the loop and allows the VCO to track the input frequency.

The FSK comparator is used to determine if the VCO is driven above or below the center frequency (FSK comparator). This will produce both active high and active low outputs to indicate when the main PLL is in lock (quadrature phase detector and lock detector comparator).

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

PRINCIPLES OF OPERATION

Signal Input (Pin 2): Signal is AC coupled to this terminal. The internal impedance at pin 2 is 20KΩ. Recommended input signal level is in the range of 10mV rms to 3V rms.

Quadrature Phase Detector Output (Pin 3): This is the high impedance output of quadrature phase detector and is internally connected to the input of lock detect voltage comparator. In tone detection applications, pin 3 is connected to ground through a parallel combination of R_D and C_D (see *Figure 3*) to eliminate the chatter at lock detect outputs. If the tone detect section is not used, pin 3 can be left open.

Lock Detect Output, Q (Pin 6): The output at pin 6 is at "low" state when the PLL is out of lock and goes to "high" state when the PLL is locked. It is an open collector type output and requires a pull-up resistor, R_L, to V_{CC} for proper operation. At "low" state, it can sink up to 5mA of load current.

Lock Detect Complement, (Pin 5): The output at pin 5 is the logic complement of the lock detect output at pin 6. This output is also an open collector type stage which can sink 5mA of load current at low or "on" state.

FSK Data Output (Pin 7): This output is an open collector logic stage which requires a pull-up resistor, R_L, to V_{CC} for proper operation. It can sink 5mA of load current. When decoding FSK signals, FSK data output is at "high" or "off" state for low input frequency, and at "low" or "on" state for high input frequency. If no input signal is present, the logic state at pin 7 is indeterminate.

FSK Comparator Input (Pin 8): This is the high impedance input to the FSK voltage comparator. Normally, an FSK post-detection or data filter is connected between this terminal and the PLL phase detector output (pin 11). This data filter is formed by R_F and C_F (see *Figure 3*.) The threshold voltage of the comparator is set by the internal reference voltage, V_{REF}, available at pin 10.

Reference Voltage, V_{REF} (Pin 10): This pin is internally biased at the reference voltage level, V_{REF}: $V_{REF} = V_{CC}/2 - 650mV$. The DC voltage level at this pin forms an internal reference for the voltage levels at pins 5, 8, 11 and 12. Pin 10 must be bypassed to ground with a 0.1μF capacitor for proper operation of the circuit.

Loop Phase Detector Output (Pin 11): This terminal provides a high impedance output for the loop phase detector. The PLL loop filter is formed by R_1 and C_1 connected to pin 11 (see *Figure 3*.) With no input signal, or with no phase error within the PLL, the DC level at pin 11 is very nearly equal to V_{REF}. The peak to peak voltage swing available at the phase detector output is equal to 2 x V_{REF}.

VCO Control Input (Pin 12): VCO free-running frequency is determined by external timing resistor, R_0, connected from this terminal to ground. The VCO free-running frequency, f_O, is:

$$f_O = \frac{1}{R_0 \cdot C_0} \; Hz$$

where C_0 is the timing capacitor across pins 13 and 14. For optimum temperature stability, R_0 must be in the range of 10KΩ to 100KΩ (see *Figure 9*.)

This terminal is a low impedance point, and is internally biased at a DC level equal to V_{REF}. The maximum timing current drawn from pin 12 must be limited to ≤ 3mA for proper operation of the circuit.

VCO Timing Capacitor (Pins 13 and 14): VCO frequency is inversely proportional to the external timing capacitor, C_0, connected across these terminals (see *Figure 6*.) C_0 must be non-polar, and in the range of 200pF to 10μF.

VCO Frequency Adjustment: VCO can be fine-tuned by connecting a potentiometer, R_X, in series with R_0 at pin 12 (see *Figure 10*.)

VCO Free-Running Frequency, f_O: XR-2211 does not have a separate VCO output terminal. Instead, the VCO outputs are internally connected to the phase detector sections of the circuit. For set-up or adjustment purposes, the VCO free-running frequency can be tuned by using the generalized circuit in *Figure 3*, and applying an alternating bit pattern of 0's and 1's at the known mark and space frequencies. By adjusting R_0, the VCO can then be tuned to obtain a 50% duty cycle on the FSK output (pin 7). This will ensure that the VCO f_O value is accurately referenced to the mark and space frequencies.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

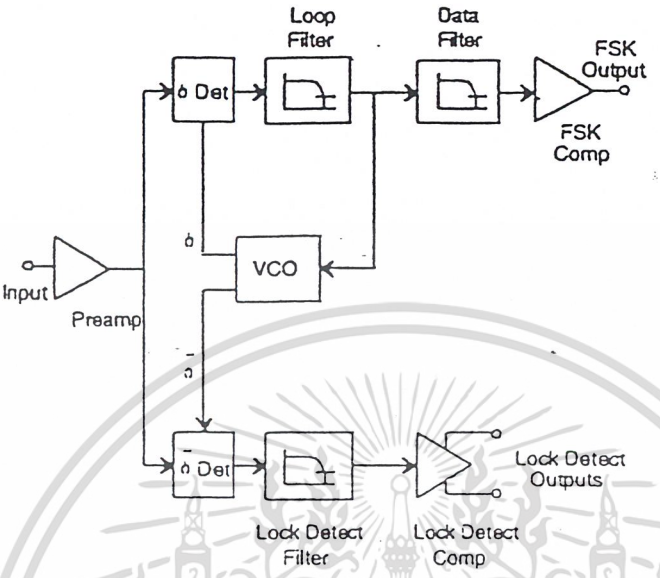


Figure 2. Functional Block Diagram of a Tone and FSK Decoding System Using XR-2211

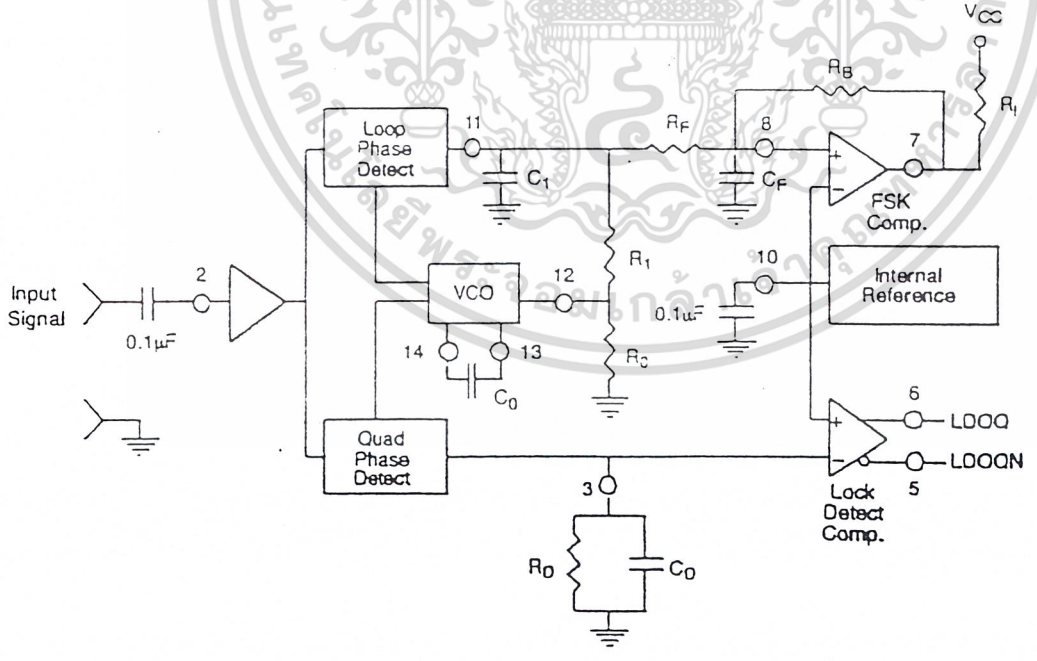


Figure 3. Generalized Circuit Connection for FSK and Tone Detection

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

DESIGN EQUATIONS

(All resistance in Ω, all frequency in Hz and all capacitance in farads, unless otherwise specified)

(See *Figure 3* for definition of components)

1. VCO Center Frequency, f_O:

$$f_O = \frac{1}{R_0 \cdot C_0}$$

2. Internal Reference Voltage, V_{REF} (measured at pin 10):

$$V_{REF} = \left(\frac{V_{CC}}{2}\right) - 650mV \text{ in volts}$$

3. Loop Low-Pass Filter Time Constant, τ:

$$\tau = C_1 \cdot R_{PP} \text{ (seconds)}$$

where:

$$R_{PP} = \left(\frac{R_1 \cdot R_F}{R_1 + R_F}\right)$$

if R_F is ∞ or C_F reactance is ∞, then $R_{PP} = R1$

4. Loop Damping, ζ:

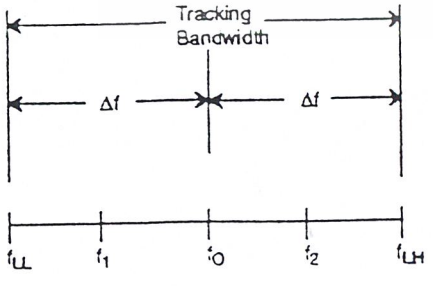
$$\zeta = \sqrt{\left(\frac{1250 \cdot C_0}{R_1 \cdot C_1}\right)}$$

Note: *For derivation/explanation of this equation, please see TAN-011.*

5. Loop-tracking

bandwidth, $\pm = \frac{\Delta f}{f_0}$

$$\frac{\Delta f}{f_0} = \frac{R_0}{R_1}$$



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

6. FSK Data filter time constant, tF:

$$\tau_F = \frac{R_B \cdot R_F}{(R_B + R_F)} \cdot C_F \text{ (seconds)}$$

7. Loop phase detector conversion gain, Kd: (Kd is the differential DC voltage across pin 10 and pin11, per unit of phase error at phase detector input):

$$K_d = \frac{V_{REF} \cdot R_1}{10,000 \cdot \pi} \left[\frac{volt}{radian}\right]$$

Note: For derivation/explanation of this equation, please see TAN-011.

8. VCO conversion gain, Ko: (Ko is the amount of change in VCO frequency, per unit of DC voltage change at pin 11):

$$K_o = \frac{-2\pi}{V_{REF} \cdot C_0 \cdot R_1} = \left(\frac{radian/second}{volt}\right)$$

9. The filter transfer function:

$$F(S) = \frac{1}{1 + SR_1 \cdot C_1} \text{ at 0 Hz.} \qquad S = j\omega \text{ and } \omega = 0$$

10. Total loop gain. K_T:

$$K_T = K_O K_d F(S) = \left(\frac{R_F}{5,000 \cdot C_0 \cdot (R_1 + R_F)}\right)\left[\frac{1}{seconds}\right]$$

11. Peak detector current I_A:

$$I_A = \frac{V_{REF}}{20,000} \quad (V_{REF} \text{ in volts and } I_A \text{ in amps})$$

Note: For derivation/explanation of this equation, please see TAN-011.

ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

APPLICATIONS INFORMATION

FSK Decoding

Figure 10 shows the basic circuit connection for FSK decoding. With reference to *Figure 3* and *Figure 10*, the functions of external components are defined as follows: R_0 and C_0 set the PLL center frequency, R_1 sets the system bandwidth, and C_1 sets the loop filter time constant and the loop damping factor. C_F and R_F form a one-pole post-detection filter for the FSK data output. The resistor R_B from pin 7 to pin 8 introduces positive feedback across the FSK comparator to facilitate rapid transition between output logic states.

Design Instructions:

The circuit of *Figure 10* can be tailored for any FSK decoding application by the choice of five key circuit components: R_0, R_1, C_0, C_1 and C_F. For a given set of FSK mark and space frequencies, f_O and f_1, these parameters can be calculated as follows:

(All resistance in Ω's, all frequency in Hz and all capacitance in farads, unless otherwise specified)

a) Calculate PLL center frequency, f_O:

$$f_O = \sqrt{F_1 \cdot F_2}$$

b) Choose value of timing resistor R_0, to be in the range of 10KΩ to 100KΩ. This choice is arbitrary. The recommended value is R_0 = 20KΩ. The final value of R_0 is normally fine-tuned with the series potentiometer, R_X.

$$R_O = R_O - \frac{R_X}{2}$$

c) Calculate value of C0 from design equation (1) or from *Figure 7*.

$$C_O = \frac{1}{R_0 \cdot f_0}$$

d) Calculate R1 to give the desired tracking bandwidth (See design equation 5).

$$R_1 = \frac{R_0 \cdot f_0}{(f_1 - f_2)} \cdot 2$$

e) Calculate C1 to set loop damping. (See design equation 4):

Normally, $\varsigma = 0.5$ is recommended.

$$C_1 = \frac{1250 \cdot C_0}{R_1 \cdot \varsigma^2}$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

f) The input to the XR-2211 may sometimes be too sensitive to noise conditions on the input line. *Figure 4* illustrates a method of de-sensitizing the XR-2211 from such noisy line conditions by the use of a resistor, Rx, connected from pin 2 to ground. The value of Rx is chosen by the equation and the desired minimum signal threshold level.

$$V_{IN}\ minimum\ (peak) = V_a - V_b = \Delta V \pm 2.8mV\ offset = V_{REF}\frac{20,000}{(20,000 + R_X)}\ or\ R_X = 20,000\left(\frac{V_{REF}}{\Delta V} - 1\right)$$

V_{IN} minimum (peak) input voltage must exceed this value to be detected (equivalent to adjusting V threshold)

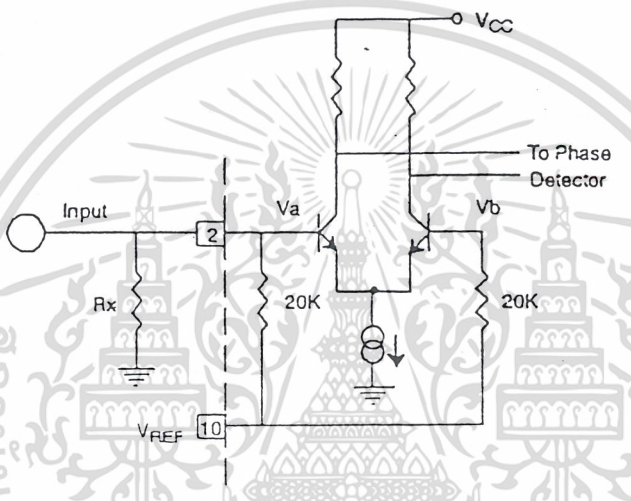


Figure 4. Desensitizing Input Stage

g) Calculate Data Filter Capacitance, C_F:

$$R_{sum} = \frac{(R_F + R_1)\cdot R_B}{(R_1 + R_F + R_B)}$$

$$C_F = \frac{0.25}{(R_{sum} \cdot Baud\ Rate)} \qquad Baud\ rate\ in\ \frac{1}{seconds}$$

***Note:** All values except R_0 can be rounded to nearest standard value.*

ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

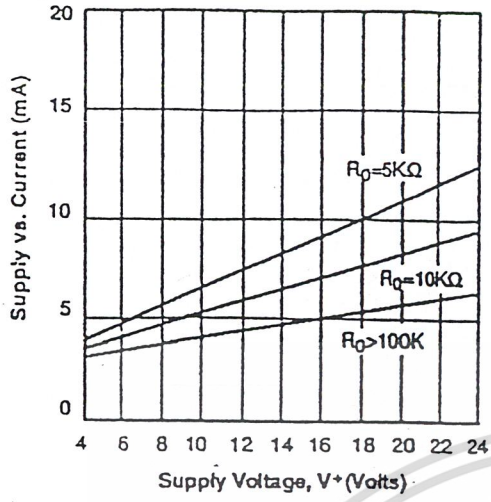


Figure 5. Typical Supply Current vs. V+ (Logic Outputs Open Circuited)

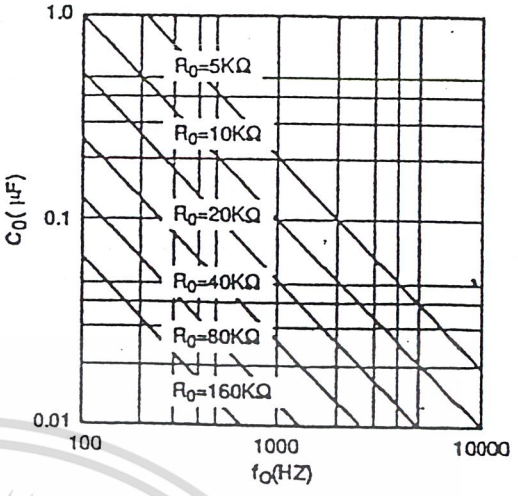


Figure 6. VCO Frequency vs. Timing Resistor

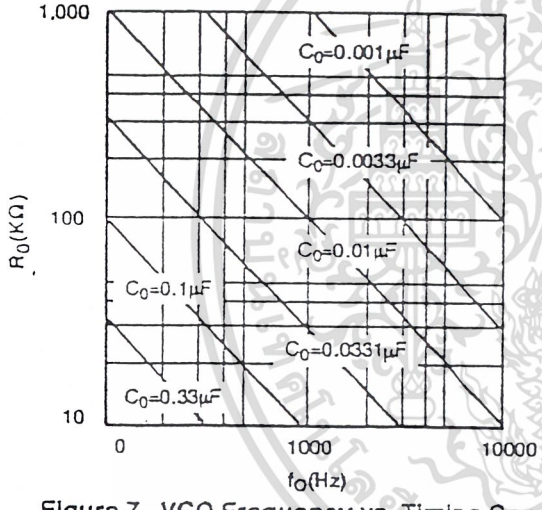


Figure 7. VCO Frequency vs. Timing Capacitor

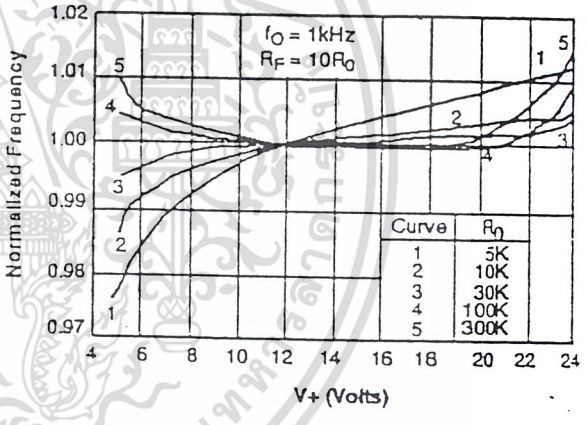


Figure 8. Typical f_O vs. Power Supply Characteristics

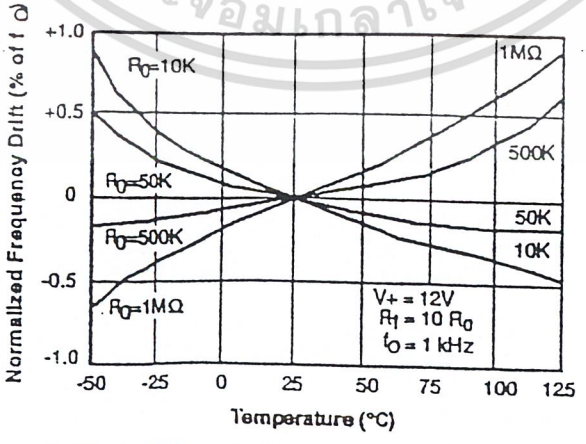


Figure 9. Typical Center Frequency Drift vs. Temperature

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

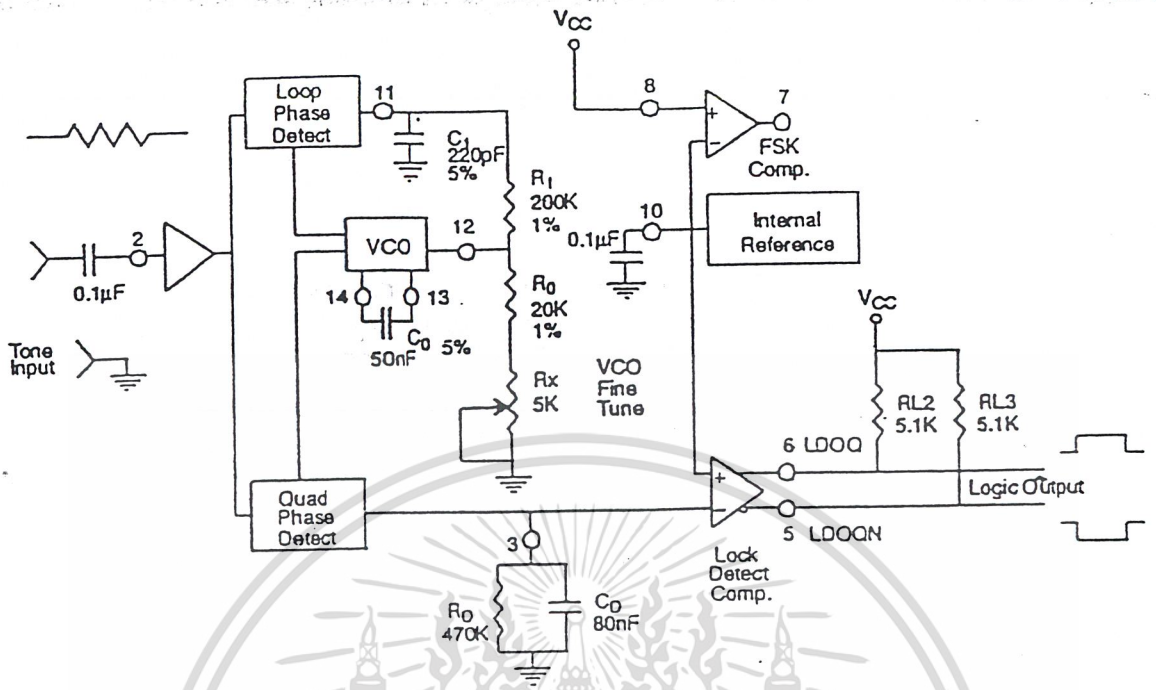


Figure 12. Circuit Connection for Tone Detection

FSK Decoding with Carrier Detect

The lock detect section of XR-2211 can be used as a carrier detect option for FSK decoding. The recommended circuit connection for this application is shown in *Figure 11*. The open collector lock detect output, pin 6, is shorted to data output (pin 7). Thus, data output will be disabled at "low" state, until there is a carrier within the detection band of the PLL and the pin 6 output goes "high" to enable the data output.

***Note:** Data Output is "Low" When No Carrier is Present.*

The minimum value of the lock detect filter capacitance C_D is inversely proportional to the capture range, $\pm\Delta fc$. This is the range of incoming frequencies over which the loop can acquire lock and is always less than the tracking range. It is further limited by C_1. For most applications, $\Delta fc > \Delta f/2$. For $R_D = 470K\Omega$, the approximate minimum value of C_D can be determined by:

$$C_D > \frac{16}{\Delta f} \quad C \text{ in } \mu F \text{ and } f \text{ in Hz.}$$

C in µF and f in Hz.

With values of C_D that are too small, chatter can be observed on the lock detect output as an incoming signal frequency approaches the capture bandwidth. Excessively large values of C_D will slow the response time of the lock detect output. For Caller I.D. applications choose $C_D = 0.1\mu F$.

Tone Detection

Figure 12 shows the generalized circuit connection for tone detection. The logic outputs, LDOQN and LDOQ at pins 5 and 6 are normally at "high" and "low" logic states, respectively. When a tone is present within the detection band of the PLL, the logic state at these outputs become reversed for the duration of the input tone. Each logic output can sink 5mA of load current.

Both outputs at pins 5 and 6 are open collector type stages, and require external pull-up resistors R_{L2} and R_{L3}, as shown in *Figure 12*.

With reference to *Figure 3* and *Figure 12*, the functions of the external circuit components can be explained as follows: R_0 and C_0 set VCO center frequency; R_1 sets the detection bandwidth; C_1 sets the low pass-loop filter time constant and the loop damping factor.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Design Instructions:

The circuit of *Figure 12* can be optimized for any tone detection application by the choice of the 5 key circuit components: R_0, R_1, C_0, C_1 and C_D. For a given input, the tone frequency, f_S, these parameters are calculated as follows:

(All resistance in Ω's, all frequency in Hz and all capacitance in farads, unless otherwise specified)

a) Choose value of timing resistor R_0 to be in the range of 10KΩ to 50KΩ. This choice is dictated by the max./min. current that the internal voltage reference can deliver. The recommended value is $R_0 = 20K\Omega$. The final value of R_0 is normally fine-tuned with the series potentiometer, R_X.

b) Calculate value of C_0 from design equation (1) or from *Figure 7* $f_S = f_O$:

$$C_O = \frac{1}{R_0 \cdot fs}$$

c) Calculate R_1 to set the bandwidth $\pm\Delta f$ (See design equation 5):

$$R_1 = \frac{R_0 \cdot f_0 \cdot 2}{\Delta f}$$

Note: The total detection bandwidth covers the frequency range of $f_O \pm \Delta f$

d) Calculate value of C_1 for a given loop damping factor:

Normally, $\varsigma = 0.5$ is recommended.

$$C_1 = \frac{1250 \cdot C_0}{R_1 \cdot \varsigma^2}$$

Increasing C_1 improves the out-of-band signal rejection, but increases the PLL capture time.

e) Calculate value of the filter capacitor C_D. To avoid chatter at the logic output, with $R_0 = 470K\Omega$, C_D must be:

$$C_D > \frac{16}{\Delta f} \quad C \text{ in } \mu F$$

Increasing C_D slows down the logic output response time.

Design Examples:

Tone detector with a detection band of ± 100Hz:

a) Choose value of timing resistor R_0 to be in the range of 10KΩ to 50KΩ. This choice is dictated by the max./min. current that the internal voltage reference can deliver. The recommended value is $R_0 = 20\ K\Omega$. The final value of R_0 is normally fine-tuned with the series potentiometer, R_X.

b) Calculate value of C_0 from design equation (1) or from *Figure 6* $f_S = f_O$:

$$C_0 = \frac{1}{R_0 \cdot f_S} = \frac{1}{20,000 \cdot 1,000} = 50nF$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

c) Calculate R_1 to set the bandwidth $\pm\Delta f$ (See design equation 5):

$$R_1 = \frac{R_0 \cdot f_o 2}{\Delta f} = \frac{20,000 \cdot 1,000 \cdot 2}{100} = 400K$$

Note: The total detection bandwidth covers the frequency range of $f_O \pm \Delta f$

d) Calculate value of C_0 for a given loop damping factor:

Normally, $\varsigma = 0.5$ is recommended.

$$C_1 = \frac{1250 \cdot C_0}{R_1 \varsigma^2} = \frac{1250 \cdot 50 \cdot 10^{-9}}{400,000 \cdot 0.5^2} = 6.25pF$$

Increasing C_1 improves the out-of-band signal rejection, but increases the PLL capture time.

e) Calculate value of the filter capacitor C_D. To avoid chatter at the logic output, with R_D = 470KΩ, C_D must be:

$$C_D = \frac{16}{\Delta f} \geq \frac{16}{200} \geq 80nF$$

Increasing C_D slows down the logic output response time.

f) Fine tune center frequency with 5KΩ potentiometer, R_X.

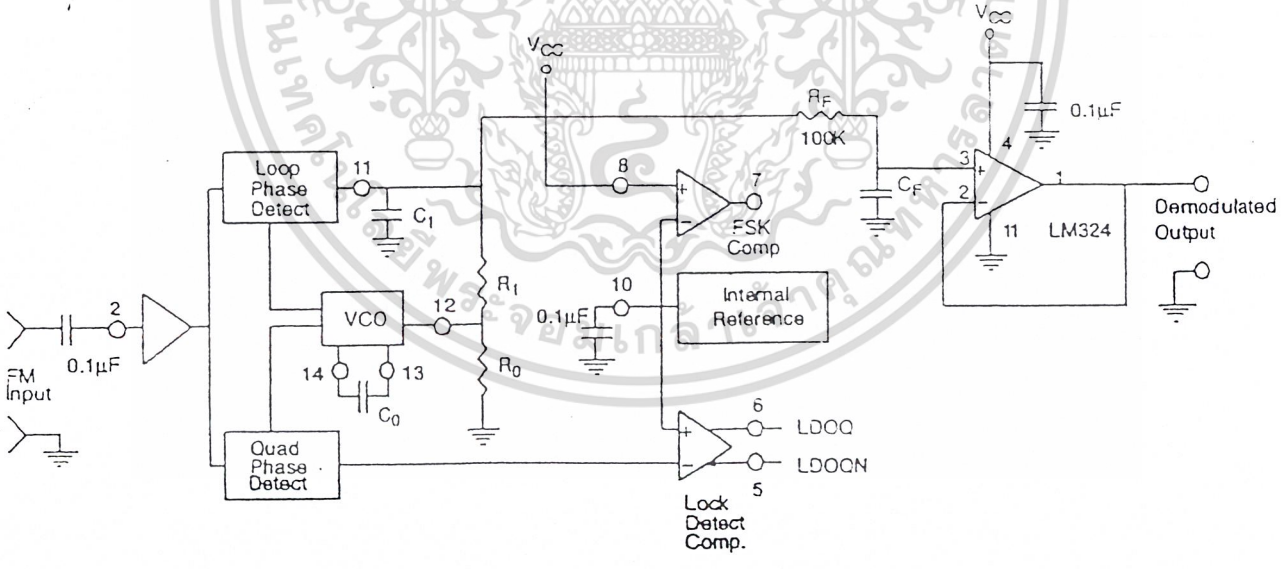


Figure 13. Linear FM Detector Using XR-2211 and an External Op Amp.
(See Section on Design Equation for Component Values.)

ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Linear FM Detection

XR-2211 can be used as a linear FM detector for a wide range of analog communications and telemetry applications. The recommended circuit connection for this application is shown in *Figure 13*. The demodulated output is taken from the loop phase detector output (pin 11), through a post-detection filter made up of R_F and C_F, and an external buffer amplifier. This buffer amplifier is necessary because of the high impedance output at pin 11. Normally, a non-inverting unity gain op amp can be used as a buffer amplifier, as shown in *Figure 13*.

The FM detector gain, i.e., the output voltage change per unit of FM deviation can be given as:

$$V_{OUT} = \frac{R_1 \cdot V_{REF}}{100 \cdot R_0}$$

where VR is the internal reference voltage ($V_{REF} = V_{CC}/2 - 650mV$). For the choice of external components R_1, R_0, C_D, C_1 and C_F, see the section on design equations.

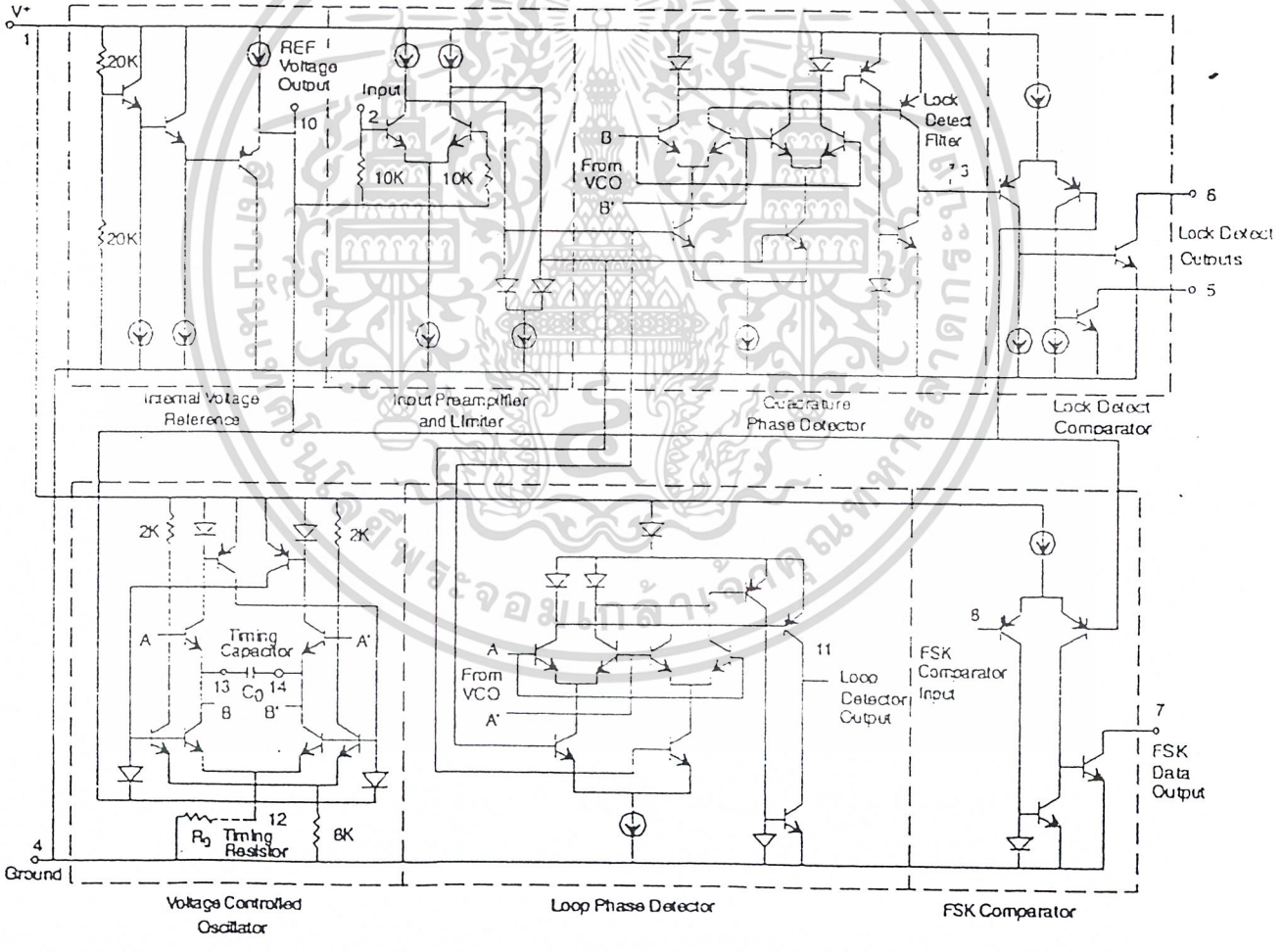


Figure 14. Equivalent Schematic Diagram

ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Figure 15. PLL Controlled Narrowband FM Receiver at 46/49 MHz

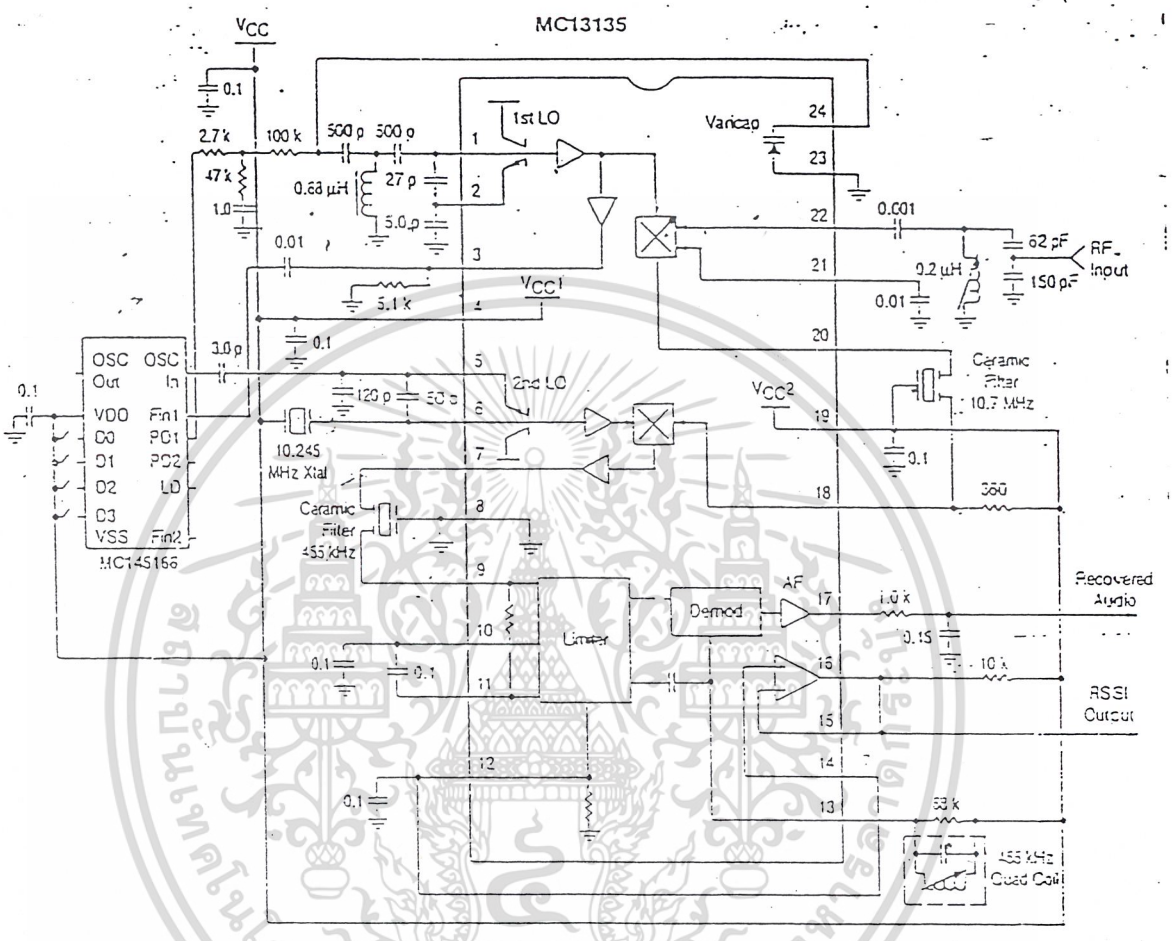
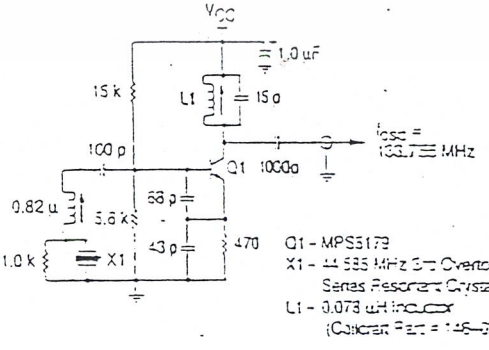
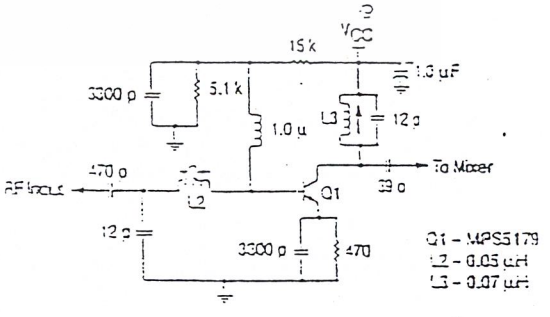


Figure 16. 144 MHz Single Channel Application Circuit

1st LO External Oscillator Circuit



Preamp for MC13135 at 144.455 MHz



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

MOTOROLA

FM Communications Receivers

MC13135
MC13136

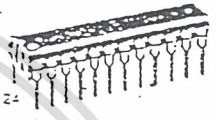
DUAL CONVERSION NARROWBAND FM RECEIVERS

The MC13135/MC13136 are the second generation of single chip, dual conversion FM communications receivers developed by Motorola. Major improvements in signal handling, RSSI and first oscillator operation have been made. In addition, recovered audio distortion and audio drive have improved. Using Motorola's MOSAIC™ 1.5 process, these receivers offer low noise, high gain and stability over a wide operating voltage range.

Both the MC13135 and MC13136 include a Colpitts oscillator, VCO tuning diode, low noise first and second mixer and LO, high gain limiting IF, and RSSI. The MC13135 is designed for use with an LC quadrature detector and has an uncommitted op amp that can be used either for an RSSI buffer or as a data comparator. The MC13136 can be used with either a ceramic discriminator or an LC quad coil and the op amp is internally connected for a voltage buffered RSSI output.

These devices can be used as stand–alone VHF receivers or as the lower IF of a triple conversion system. Applications include cordless telephones, short range data links, walkie–talkies, low cost land mobile, amateur radio receivers, baby monitors and scanners.

- Complete Dual Conversion FM Receiver – Antenna to Audio Output
- Input Frequency Range – 200 MHz
- Voltage Buffered RSSI with 70 dB of Usable Range
- Low Voltage Operation – 2.0 to 6.0 Vdc (2 Cell NiCad Supply)
- Low Current Drain – 3.5 mA Typ
- Low Impedance Audio Output < 25 Ω
- VHF Colpitts First LO for Crystal or VCO Operation
- Isolated Tuning Diode
- Buffered First LO Output to Drive CMOS PLL Synthesizer



P SUFFIX
PLASTIC PACKAGE
CASE 724

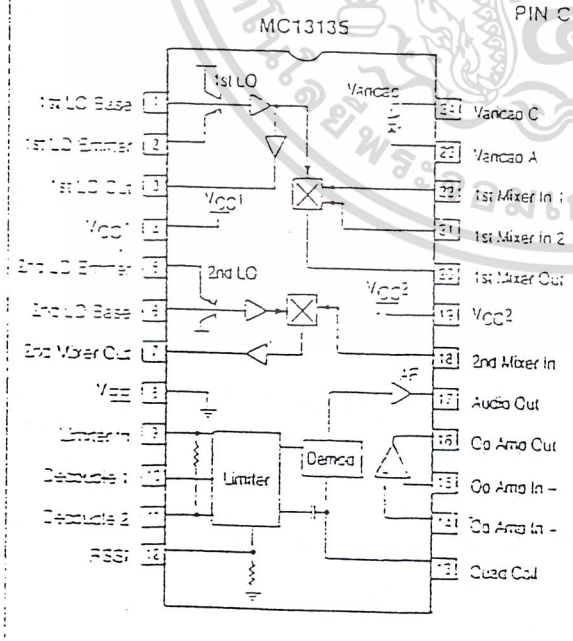
DW SUFFIX
PLASTIC PACKAGE
CASE 751E
(SO–24L).

ORDERING INFORMATION

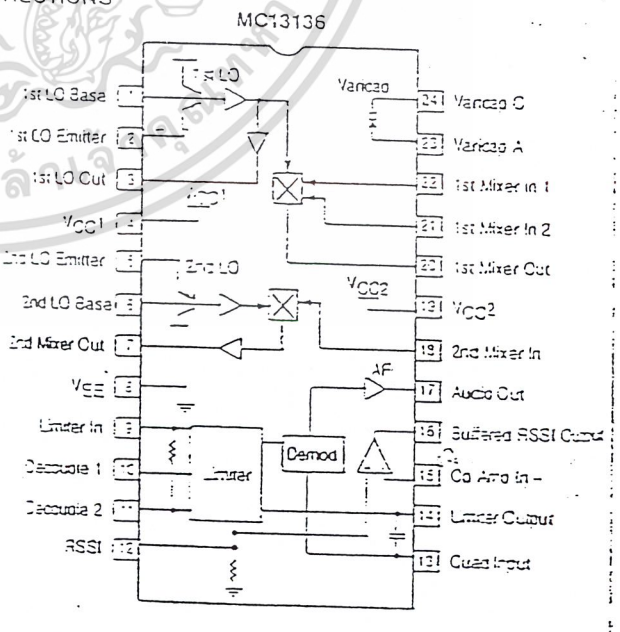
Device	Operating Temperature Range	Package
MC13135P	T_A = –40° to +85°C	Plastic DIP
MC13135DW		SO–24L
MC13136P		Plastic DIP
MC13136DW		SO–24L

PIN CONNECTIONS

MC13135



MC13136



Each device contains 142 active transistors.

© Motorola, Inc. 1995

Rev 2

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

MAXIMUM RATINGS

Rating	Pin	Symbol	Value	Unit
Power Supply Voltage	4, 19	V_{CC} (max)	6.5	Vdc
RF Input Voltage	22	RF_{in}	1.0	Vrms
Junction Temperature	–	T_J	+150	°C
Storage Temperature Range	–	T_{stg}	−65 to +150	°C

RECOMMENDED OPERATING CONDITIONS

Rating	Pin	Symbol	Value	Unit
Power Supply Voltage	4, 19	V_{CC}	2.0 to 6.0	Vdc
Maximum 1st IF	–	f_{IF1}	21	MHz
Maximum 2nd IF	–	f_{IF2}	3.0	MHz
Ambient Temperature Range	–	T_A	−40 to +85	°C

ELECTRICAL CHARACTERISTICS (T_A=25°C, V_{CC}=4.0 Vdc, f_o=49.7 MHz, f_{MOD}=1.0 kHz, Deviation=±3.0 kHz, f_{1stLO}=39 MHz, $f_{2nd LO}$=10.245 MHz, IF1=10.7 MHz, IF2=455 kHz unless otherwise noted. All measurements performed in the test circuit of Figure 1.)

Characteristic	Condition	Symbol	Min	Typ	Max	Unit
Total Drain Current	No Input Signal	I_{CC}	–	4.0	6.0	mAdc
Sensitivity (Input for 12 dB SINAD)	Matched Input	V_{SIN}	–	1.0	–	μVrms
Recovered Audio MC13135 MC13136	V_{RF} = 1.0 mV	AF_O	 170 215	 220 265	 300 365	mVrms
Limiter Output Level (Pin 14, MC13136)		V_{LIM}	–	130	–	mVrms
1st Mixer Conversion Gain	V_{RF} = −40 dBm	MX_{gain1}	–	12	–	dB
2nd Mixer Conversion Gain	V_{RF} = −40 dBm	MX_{gain2}	–	13	–	dB
First LO Buffered Output	–	V_{LO}	–	100	–	mVrms
Total Harmonic Distortion	V_{RF} = −30 dBm	THD	–	1.2	3.0	%
Demodulator Bandwidth	–	BW	–	50	–	kHz
RSSI Dynamic Range	–	RSSI	–	70	–	dB
First Mixer 3rd Order Intercept (Input)	Matched Unmatched	TOI_{Mix1}	– –	−17 −7	–	dBm
Second Mixer 3rd Order Intercept (RF Input)	Matched Input	TOI_{Mix2}	–	−27	–	dBm
First LO Buffer Output Resistance	–	R_{LO}	–	–	–	Ω
First Mixer Parallel Input Resistance	–	R	–	722	–	Ω
First Mixer Parallel Input Capacitance	–	C	–	3.3	–	pF
First Mixer Output Impedance	–	ZO	–	330	–	Ω
Second Mixer Input Impedance	–	ZI	–	40	–	kΩ
Second Mixer Output Impedance	–	ZO	–	1.8	–	kΩ
Detector Output Impedance	–	ZO	–	25	–	Ω

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

TEST CIRCUIT INFORMATION

Although the MC13136 can be operated with a ceramic discriminator, the recovered audio measurements for both the MC13135 and MC13136 are made with an LC quadrature detector. The typical recovered audio will depend on the external circuit; either the Q of the quad coil, or the RC matching network for the ceramic discriminator. On the MC13136, an external capacitor between Pins 13 and 14 can be used with a quad coil for slightly higher recovered audio. See Figures 10 through 13 for additional information.

Since adding a matching circuit to the RF input increases the signal level to the mixer, the third order intercept (TOI) point is better with an unmatched input (50 Ω from Pin 21 to Pin 22). Typical values for both have been included in the Electrical Characterization Table. TOI measurements were taken at the pins with a high impedance probe/spectrum analyzer system. The first mixer input impedance was measured at the pin with a network analyzer.

Figure 1a. MC13135 Test Circuit

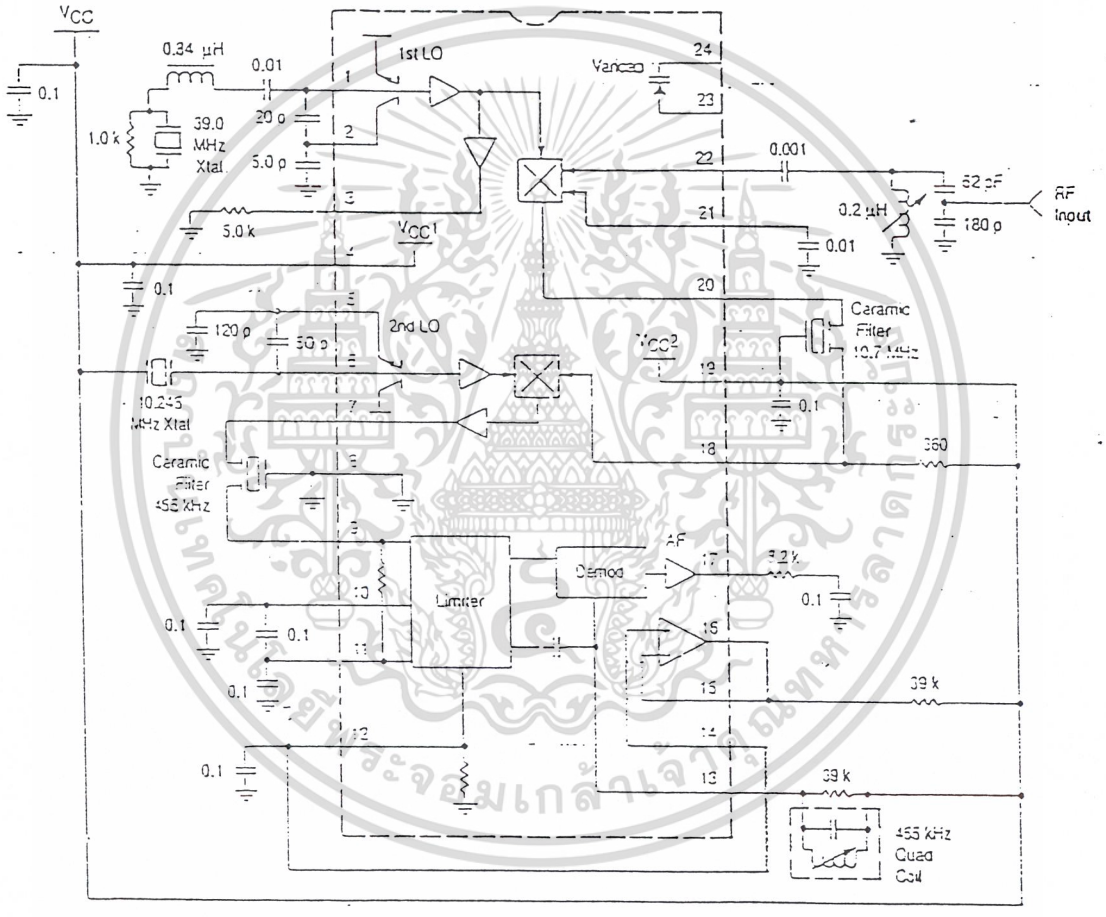
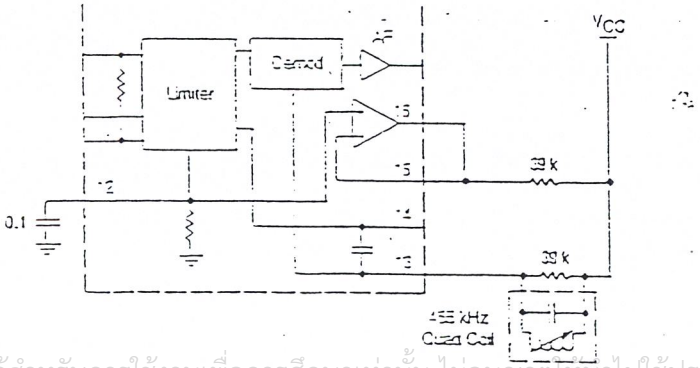


Figure 1b. MC13136 Quad Detector Test Circuit



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

CIRCUIT DESCRIPTION

The MC13135/13136 are complete dual conversion receivers. They include two local oscillators, two mixers, a limiting IF amplifier and detector, and an op amp. Both provide a voltage buffered RSSI with 70 dB of usable range, isolated tuning diode and buffered LO output for PLL operation, and a separate V_{CC} pin for the first mixer and LO. Improvements have been made in the temperature performance of both the recovered audio and the RSSI.

V_{CC}

Two separate V_{CC} lines enable the first LO and mixer to continue running while the rest of the circuit is powered down. They also isolate the RF from the rest of the internal circuit.

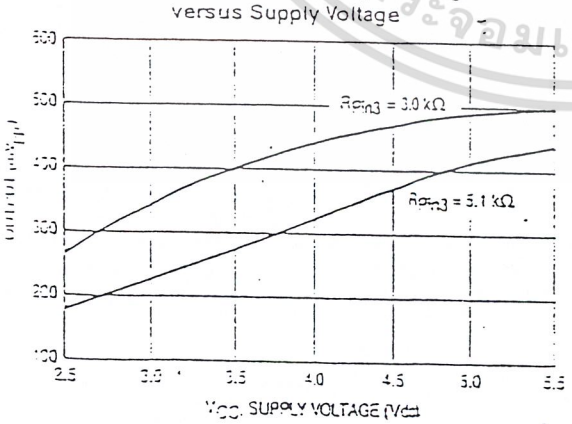
Local Oscillators

The local oscillators are grounded collector Colpitts, which can be easily crystal–controlled or VCO controlled with the on–board varactor and external PLL. The first LO transistor is internally biased, but the emitter is pinned–out and I_Q can be increased for high frequency or VCO operation. The collector is not pinned out, so for crystal operation, the LO is generally limited to 3rd overtone crystal frequencies: typically around 50 MHz. For higher frequency operation, the LO can be provided externally as shown in Figure 16.

Buffer

An amplifier on the 1st LO output converts the single–ended LO output to a differential signal to drive the mixer. Capacitive coupling between the LO and the amplifier minimizes the effects of the change in oscillator current on the mixer. Buffered LO output is pinned–out at Pin 3 for use with a PLL, with a typical output voltage of 320 mV_{pp} at V_{CC} = 4.0 V and with a 5.1 k resistor from Pin 3 to ground. As seen in Figure 14, the buffered LO output varies with the supply voltage and a smaller external resistor may be needed for low voltage operation. The LO buffer operates up to 60 MHz, typically. Above 60 MHz, the output at Pin 3 rolls off at approximately 6.0 dB per octave. Since most PLLs require about 200 mV_{pp} drive, an external amplifier may be required.

Figure 14. Buffered LO Output Voltage versus Supply Voltage



Mixers

The first and second mixer are of similar design. Both are double balanced to suppress the LO and input frequencies to give only the sum and difference frequencies out. This configuration typically provides 40 to 50 dB of LO suppression. New design techniques provide improved mixer linearity and third order intercept without increased noise. The gain on the output of the 1st mixer starts to roll off at about 20 MHz, so this receiver could be used with a 21 MHz first IF. It is designed for use with a ceramic filter, with an output impedance of 330 Ω. A series resistor can be used to raise the impedance for use with a crystal filter, which typically has an input impedance of 4.0 kΩ. The second mixer input impedance is approximately 4.0 kΩ; it requires an external 360 Ω parallel resistor for use with a standard ceramic filter.

Limiting IF Amplifier and Detector

The limiter has approximately 110 dB of gain, which starts rolling off at 2.0 MHz. Although not designed for wideband operation, the bandwidth of the audio frequency amplifier has been widened to 50 kHz, which gives less phase shift and enables the receiver to run at higher data rates. However, care should be taken not to exceed the bandwidth allowed by local regulations.

The MC13135 is designed for use with an LC quadrature detector, and does not have sufficient drive to be used with a ceramic discriminator. The MC13136 was designed to use a ceramic discriminator, but can also be run with an LC quad coil, as mentioned in the Test Circuit Information section. The data shown in Figures 12 and 13 was taken using a muRata CDB455C34 ceramic discriminator which has been specially matched to the MC13136. Both the choice of discriminators and the external matching circuit will affect the distortion and recovered audio.

RSSI/Op Amp

The Received Signal Strength Indicator (RSSI) on the MC13135/13136 has about 70 dB of range. The resistor needed to translate the RSSI current to a voltage output has been included on the internal circuit, which gives it a tighter tolerance. A temperature compensated reference current also improves the RSSI accuracy over temperature. On the MC13136, the op amp on board is connected to the output to provide a voltage buffered RSSI. On the MC13135, the op amp is not connected internally and can be used for the RSSI or as a data slicer (see Figure 17c).

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Figure 2. Supply Current versus Supply Voltage

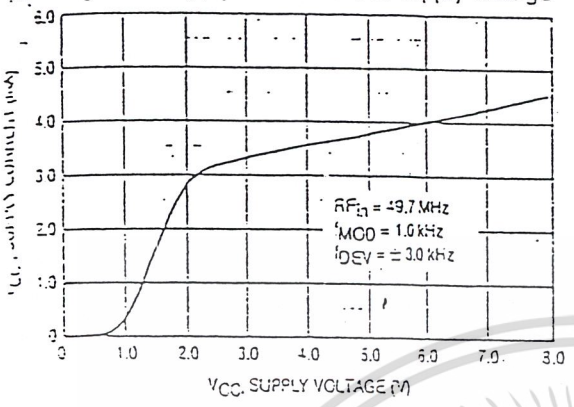


Figure 3. RSSI Output versus RF Input

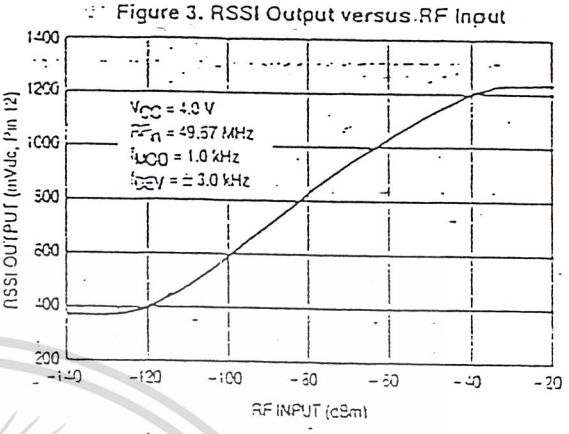


Figure 4. Varactor Capacitance, Resistance versus Bias Voltage

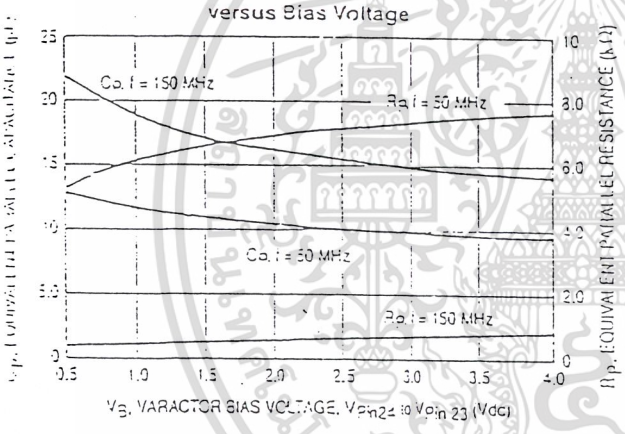


Figure 5. Oscillator Frequency versus Varactor Bias

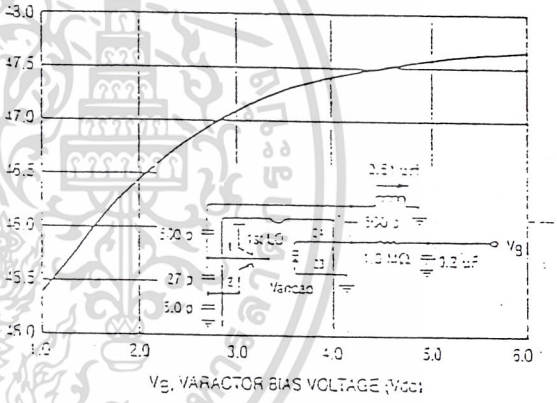


Figure 6. Signal Levels versus RF Input

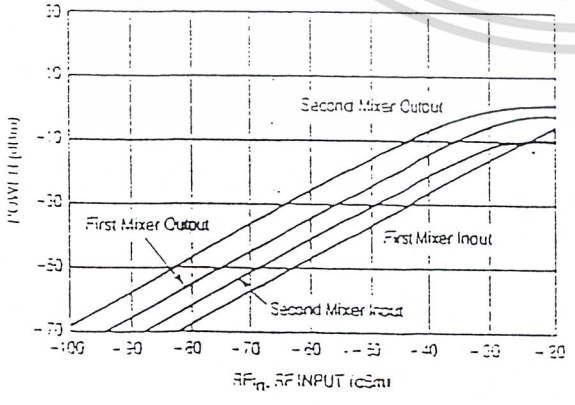
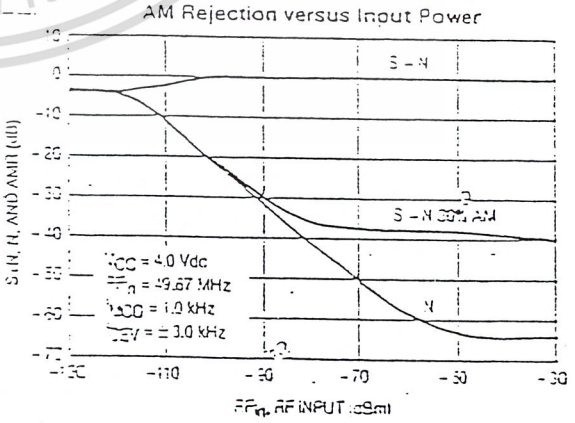


Figure 7. Signal + Noise, Noise, and AM Rejection versus Input Power



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Figure 8. Op Amp Gain and Phase versus Frequency

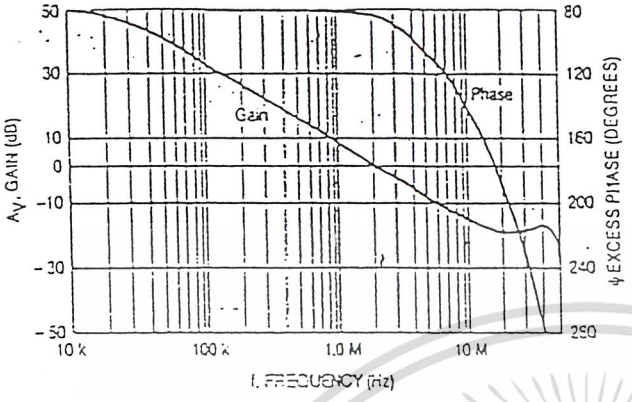


Figure 9. First Mixer Third Order Intermodulation (Unmatched Input)

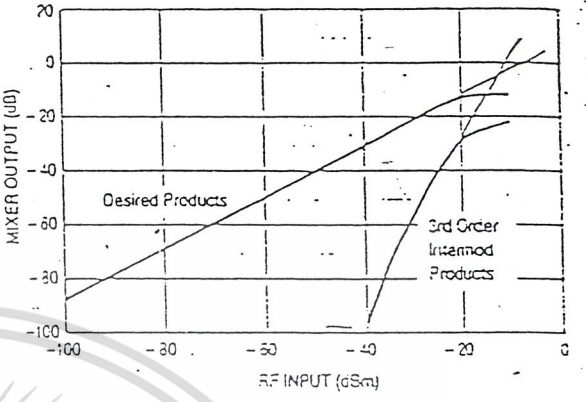


Figure 10. Recovered Audio versus Deviation for MC13135

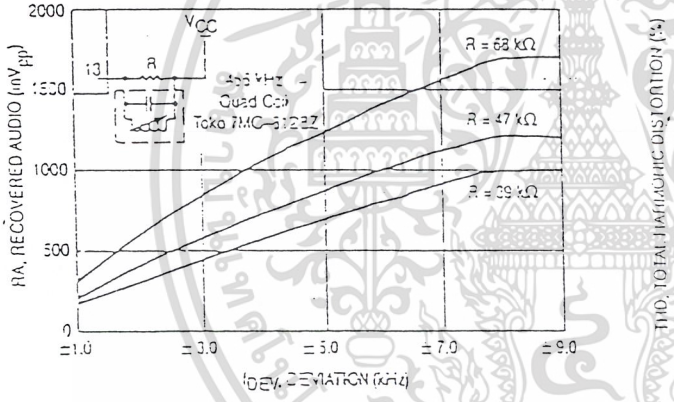


Figure 11. Distortion versus Deviation for MC13135

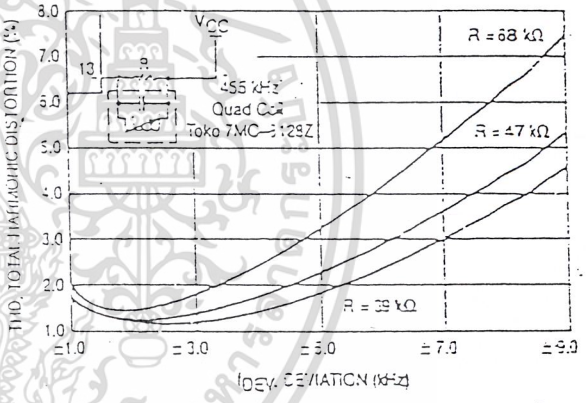


Figure 12. Recovered Audio versus Deviation for MC13136

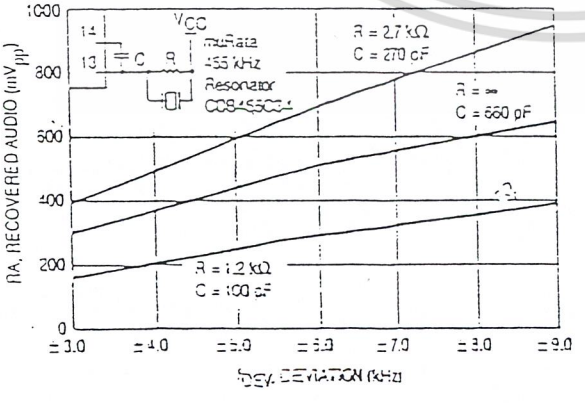
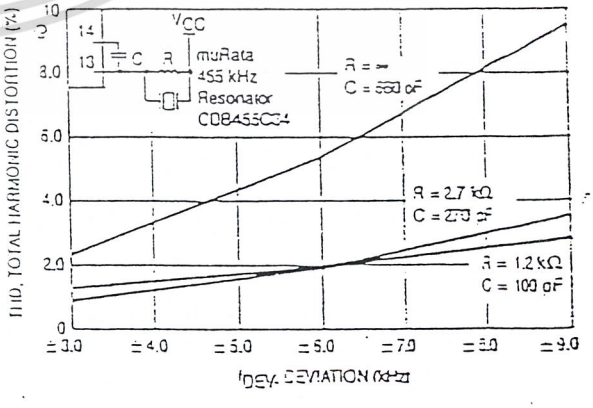


Figure 13. Distortion versus Deviation for MC13136



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

MC145166
MC145167

Advance Information

Dual PLLs for 46/49 MHz Cordless Telephones

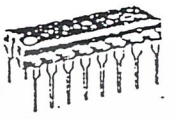
CMOS

These devices are dual phase–locked loop (PLL) frequency synthesizers intended for use primarily in 46/49 MHz cordless phones with up to 10 channels. These parts contain two mask–programmable counter ROMs for receive and transmit loops with two independent phase detect circuits. A common reference oscillator and reference divider are shared by the receive and transmit circuits.

Frequency selection is accomplished via a 4–bit parallel input for the MC145166. The MC145167 utilizes a serial interface.

Other features include a lock detect circuit for the transmit loop, illegal code default, and a 5 kHz tone output.

- Synthesizes Up to Ten Channel Pairs
- Maximum Operating Frequency: 60 MHz @ V_{in} = 200 mV p–p
- Operating Temperature Range: – 40 to + 75°C
- Operating Voltage Range: 2.5 to 5.5 V
- On–Chip Oscillator Circuit Supports External Crystal
- Lock Detect Signal
- Operating Power Consumption: 3.0 mA @ 3.0 V
- Standby Mode for Power Savings: 1.5 mA @ 3.0 V



P SUFFIX
PLASTIC DIP
CASE 648

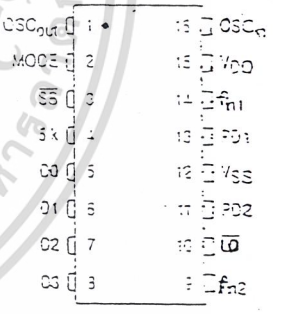
DW SUFFIX
SOG PACKAGE
CASE 751G

ORDERING INFORMATION

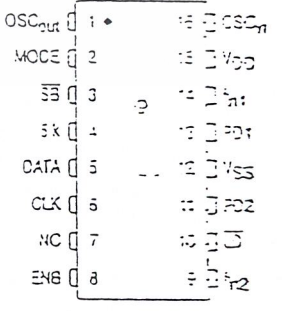
MC145166P	Plastic DIP
MC145166DW	SOG Package
MC145167P	Plastic DIP
MC145167DW	SOG Package

PIN ASSIGNMENTS

MC145166P
MC145166DW



MC145167P
MC145167DW



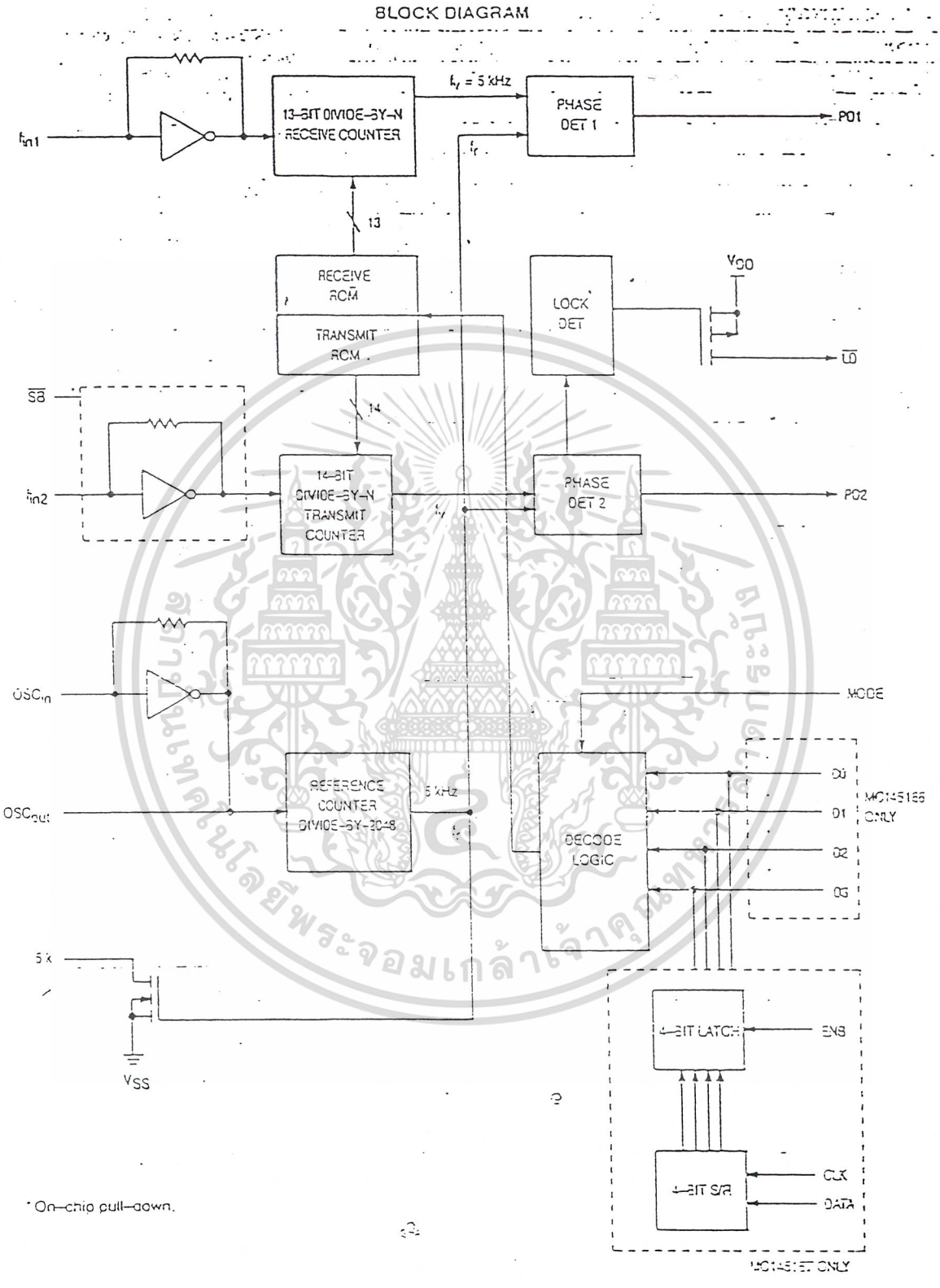
NC = NO CONNECTION

This document contains information on a new product. Specifications and information herein are subject to change without notice.

REV 1
8/95
Replaces MC145160/D

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

BLOCK DIAGRAM



* On-chip pull-down.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

MAXIMUM RATINGS* (Voltages Referenced to V_{SS})

Symbol	Rating	Value	Unit
V_{DD}	DC Supply Voltage	−0.5 to +6.0	V
V_{in}	Input Voltage, All Inputs	−0.5 to V_{DD} +0.5	V
I_{in}, I_{out}	DC Current Drain Per Pin	10	mA
I_{DD}, I_{SS}	DC Current Drain V_{DD} or V_{SS} Pins	30	mA
T_{stg}	Storage Temperature Range	−65 to +150	°C

Maximum Ratings are those values beyond which damage to the device may occur. Functional operation should be restricted to the limits in the Electrical Characteristics tables or Pin Descriptions section.

This device contains protection circuitry to guard against damage due to high static voltages or electric fields. However, precautions must be taken to avoid applications of any voltage higher than maximum rated voltages to this high−impedance circuit. For proper operation, V_{in} and V_{out} should be constrained to the range $V_{SS} \le (V_{in}$ or $V_{out}) \le V_{DD}$.

Unused inputs must always be tied to an appropriate logic voltage level (e.g., either V_{SS} or V_{DD}). Unused outputs must be left open.

ELECTRICAL CHARACTERISTICS (Voltages Referenced to V_{SS}, T_A = 25°C)

Symbol	Characteristic		V_{DD}	Guaranteed Limit Min	Guaranteed Limit Max	Unit
V_{DD}	Power Supply Voltage Range		—	2.5	5.5	V
V_{OL}	Output Voltage (I_{out} = 0)	0 Level	2.5 5.5	— —	0.05 0.05	V
V_{OH}	(V_{in} = V_{DD} or 0)	1 Level	2.5 5.5	2.45 5.45	— —	
V_{IL}	Input Voltage (V_{out} = 0.5 V or V_{DD} − 0.5 V)	0 Level	2.5 5.5	— —	0.75 1.65	V
V_{IH}		1 Level	2.5 5.5	1.75 3.85	— —	
I_{OH}	Output Current (V_{out} = 2.2 V) (V_{out} = 5.0 V)	Source	2.5 5.5	−0.18 −0.55	— —	mA
I_{OL}	(V_{out} = 0.3 V) (V_{out} = 0.5 V)	Sink	2.5 5.5	0.18 0.55	— —	
I_{IL}	Input Current (V_{in} = 0)	OSC$_{in}$, f_{in1}, f_{in2}	2.5 5.5	— —	−30 −66	μA
		DATA, $\overline{SS}$, Mode	2.5 5.5	— —	−0.05 −0.11	
I_{IH}	(V_{in} = V_{DD} − 0.5)	OSC$_{in}$, f_{in1}, f_{in2}	2.5 5.5	— —	30 66	μA
		DATA, $\overline{SS}$, Mode	2.5 5.5	— —	50 121	
C_{in}	Input Capacitance		—	—	14.0	pF
C_{out}	Output Capacitance		—	—	8.0	pF
I_{DD}	Standby Current, $\overline{SS}$ = V_{SS} or Open		2.5 5.5	— —	1.4 3.6	mA
I_{dd}	Operating Current (200 mV p−p input at f_{in1} and f_{in2}, $\overline{SS}$ = V_{DD})		2.5 5.5	— —	2.3 6.2	mA
I_{OZ}	Three−State Leakage Current (V_{out} = 0 or 5.5 V)		5.5	—	±1.0	μA

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

SWITCHING CHARACTERISTICS (T_A = 25°C, C_L = 50 pF)

Symbol	Characteristic	Figure No.	V_{DD}	Guaranteed Limit Min	Guaranteed Limit Max	Unit
t_{TLH}	Output Rise Time	1, 5	3.0 5.0	— —	200 100	ns
t_{THL}	Output Fall Time	1, 5	3.0 5.0	— —	200 100	ns
t_r, t_f	Input Rise and Fall Time, OSC_{in}	2	3.0 5.0	— —	5.0 4.0	µs
f_{max}	Input Frequency OSC_{in} Input = Sine Wave 200 mV p–p f_{in1} f_{in2}		3.0 – 5.0 3.0 – 5.0 3.0 – 5.0	— — —	12 60 60	MHz
t_{su}	Setup Time (MC145167) DATA to CLK	3	3.0 5.0	100 50	— —	ns
	ENB to CLK		3.0 5.0	200 100	— —	
t_h	Hold Time (MC145167), CLK to DATA	3	3.0 5.0	80 40	— —	ns
t_{rec}	Recovery Time (MC145167), ENB to CLK	3	3.0 5.0	80 40	— —	ns
t_w	Input Pulse Width (MC145167), CLK and ENB	4	3.0 5.0	80 60	— —	ns

SWITCHING WAVEFORMS

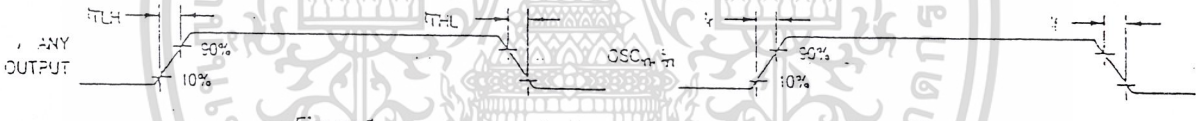


Figure 1. Figure 2.

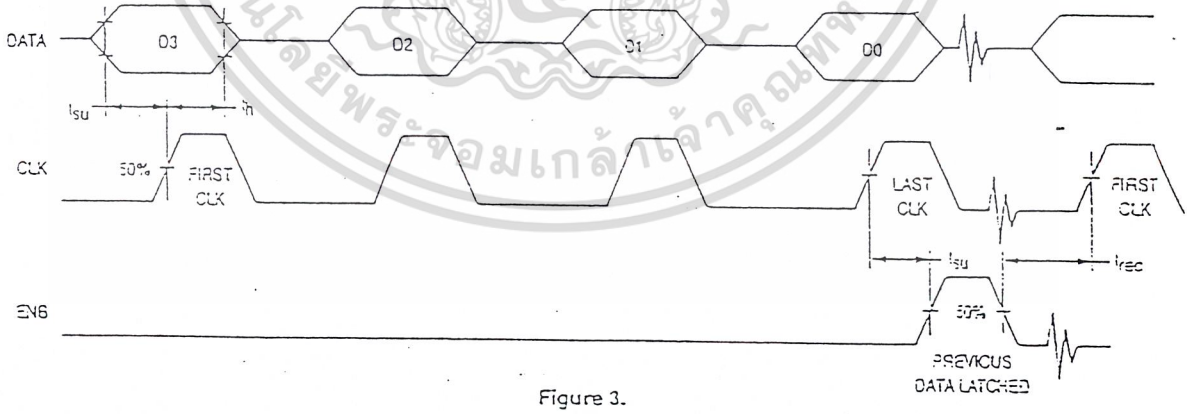


Figure 3.

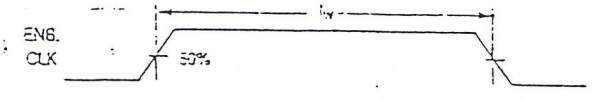


Figure 4.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

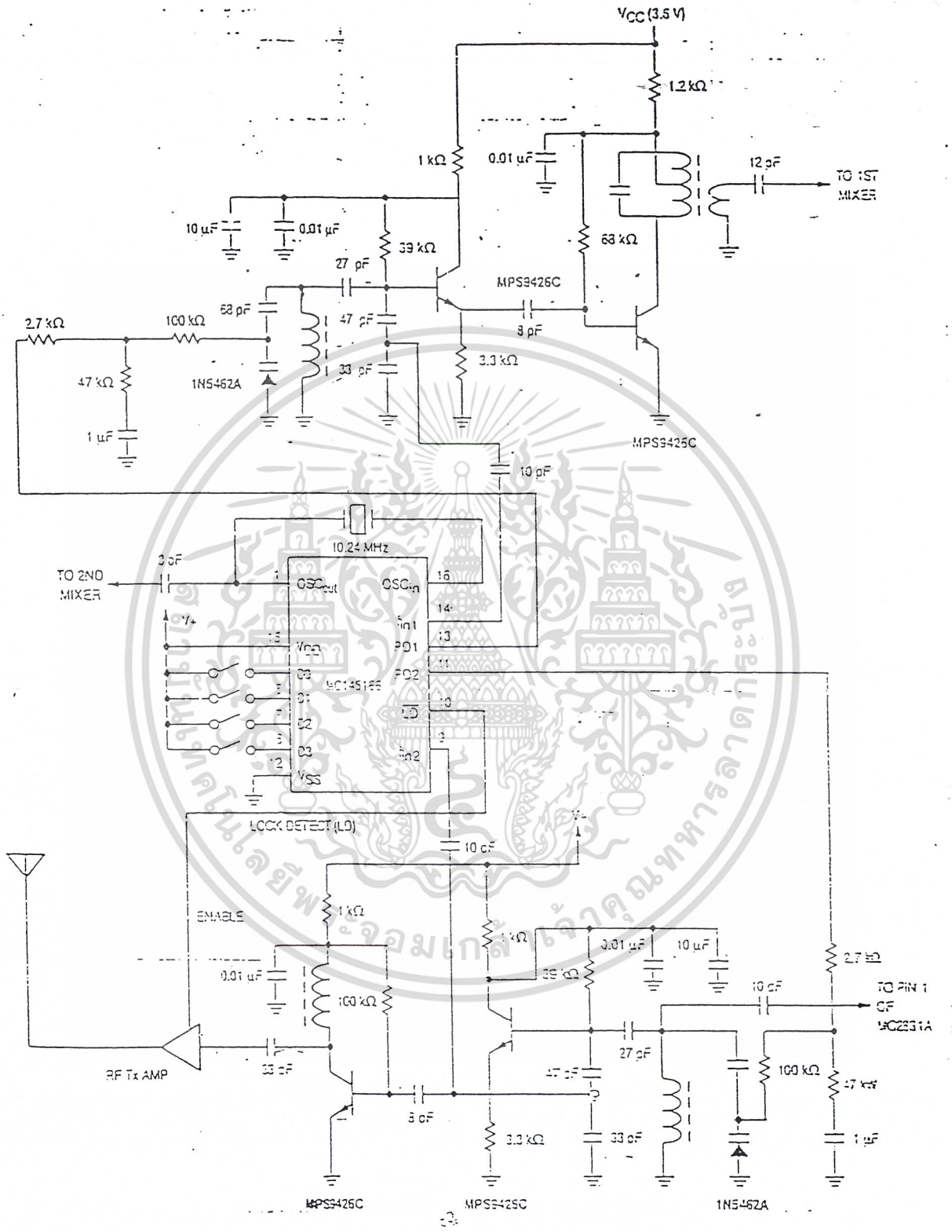


Figure 5. MC145166 Circuit Example

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

PIN DESCRIPTIONS

;PUT PINS

SCin/OSCout.
eference Oscillator Input/Output (Pins 1,16)

These pins form a reference oscillator when connected to 1 external parallel–resonant crystal. For a 46/49 MHz cord-ss phone application, a 10.24 MHz crystal is needed. SCin may also serve as input for an externally generated ference signal. This signal is typically ac coupled to SCin, but for larger amplitude signals (standard CMOS gic levels) dc coupling may also be used. In the external ference mode, no connection is required for OSC_{out}.

ODE
ode Select (Pin 2)

Mode is for determining whether the part is to be used in e base or handset of a cordless phone. Internally, this pin is ed in the decoding logic for selecting the ROM address. hen high, the device is set in the base mode, and when w, it is set in the handset mode. This input has an internal il–down device.

B
tandby Input (Pin 3)

The standby pin is used to save power when not transmit-ig. When high, both the transmit and receive loops are in eration. When low, the transmit loop is disabled, thereby ducing power consumption. This input has an internal pull–wn device.

0 – D3
ata Inputs (MC145166 — Pins 5 – 8)

These inputs provide the BCD code for selecting the one ten channels to be locked in both the transmit and receive op. When address data other than 1 – 10 are input, the de-oding logic defaults to channel 10. The frequency assign-ents with reference to Mode and D0 – D3 are shown in ble 1. These inputs have internal pull–down devices.

n1, fin2
requency Inputs (Pins 14, 9)

f_{in1} and f_{in2} are inputs to the divide–by–N receive and ansmit counters, respectively. These signals are typically erived from the loop VCO and are ac coupled. For larger mplitude signals (standard CMOS logic levels), dc coupling ay be used. The minimum input level is 200 mV p–p.

CLK, DATA
Clock, Data (MC145167 — Pins 5, 6)

These pins provide the BCD input by using serial channel programming instead of parallel. Logical high represents a 1. Each low–to–high transition of the clock shifts one bit of data into the on–chip shift register.

ENB
Enable (MC145167 — Pin 8)

The enable pin controls the data transfer from the shift register to the 4–bit latch. A positive pulse latches the data.

OUTPUT PINS

5 k
,5 kHz Tone Signals (Pin 4)

The 5 kHz tone signals are N–channel, open–drain outputs derived from the reference oscillator.

$\overline{LD}$
Lock Detect Signal (Pin 10)

The lock detect signal is associated with the transmit loop. The lock output goes high to indicate an out–of–lock condition. This is a P–channel open–drain output.

PD1, PD2
Phase Detector Outputs (Pins 13, 11)

These are three–state outputs of the transmit and receive phase detectors for use as loop error signals. Phase detector gain is $V_{DD}/4\pi$ volts per radian.

Frequency $f_V > f_r$ or f_V leading: Output = Negative pulses
Frequency $f_V < f_r$ or f_V lagging: Output = Positive pulses
Frequency $f_V = f_r$ and phase coincidence: Output = High–impedance state

POWER SUPPLY

V_{SS}
Negative Power Supply (Pin 12)

This pin is the negative supply potential and is usually ground.

V_{DD}
Positive Power Supply (Pin 15)

This pin is the positive supply potential and may range from + 2.5 to + 5.5 V with respect to V_{SS}.

Table 1. MC145166/67 Divide Ratios and VCO Frequencies

Channels					Handset (Mode = 0)				Base (Mode = 1)			
					Transmit		Receive		Transmit		Receive	
D3	D2	D1	D0	CH#	f_{in2} (MHz)	÷ N	f_{in1} (MHz)	÷ N	f_{in2} (MHz)	÷ N	f_{in1} (MHz)	÷ N
0	0	0	1	1	49.670	9934	35.915	7183	46.619	9322	38.975	7795
0	0	1	0	2	49.845	9969	35.935	7187	46.630	9326	39.150	7830
0	0	1	1	3	49.860	9972	35.975	7195	46.670	9334	39.165	7833
0	1	0	0	4	49.770	9954	36.015	7203	46.710	9342	39.075	7815
0	1	0	1	5	49.675	9975	36.035	7207	46.730	9346	39.180	7836
0	1	1	0	6	49.830	9966	36.075	7215	46.770	9354	39.135	7827
0	1	1	1	7	49.890	9978	36.135	7227	46.830	9366	39.195	7839
1	0	0	0	8	49.930	9986	36.175	7235	46.870	9374	39.235	7847
1	0	0	1	9	49.990	9998	36.235	7247	46.930	9386	39.295	7859
1	0	1	0	10	49.970	9994	36.275	7255	46.970	9394	39.275	7855

NOTES:
1. Other input combinations will be defaulted to channel 10.
2. 0 = logic low, 1 = logic high.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

MOTOROLA

MC3356

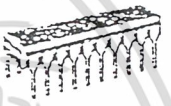
Wideband FSK Receiver

WIDEBAND
FSK
RECEIVER

SEMICONDUCTOR
TECHNICAL DATA

The MC3356 includes Oscillator, Mixer, Limiting IF Amplifier, Quadrature Detector, Audio Buffer, Squelch, Meter Drive, Squelch Status output, and Data Shaper comparator. The MC3356 is designed for use in digital data communciations equipment.

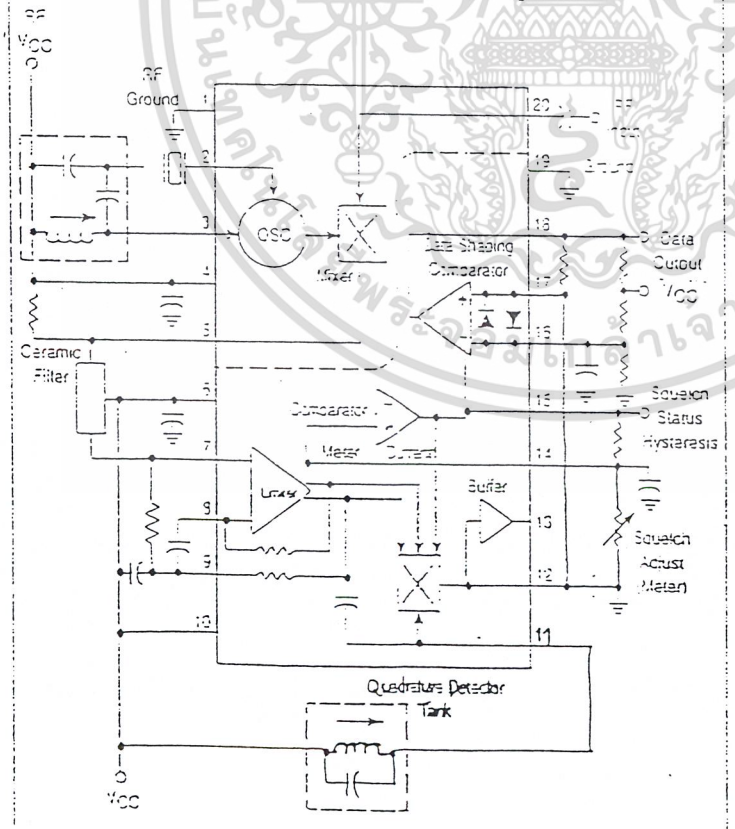
- Data Rates up to 500 kilobaud
- Excellent Sensitivity: –3 dB Limiting Sensitivity
  30 µVrms @ 100 MHz
- Highly Versatile, Full Function Device, yet Few External Parts are Required
- Down Converter Can be Used Independently — Similar to NE602



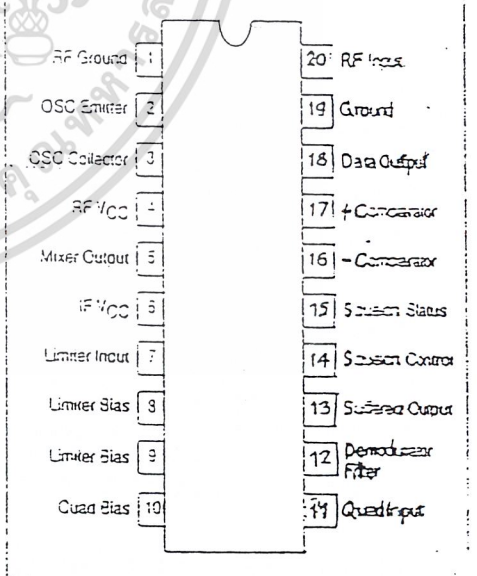
P SUFFIX
PLASTIC PACKAGE
CASE 738

DW SUFFIX
PLASTIC PACKAGE
CASE 751D
(SO–20L)

Figure 1. Representative Block Diagram



PIN CONNECTIONS



ORDERING INFORMATION

Device	Operating Temperature Range	Package
MC3356DW	T_A = – 40 to +85°C	SO–20L
MC3356P		Plastic DIP

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

MAXIMUM RATINGS

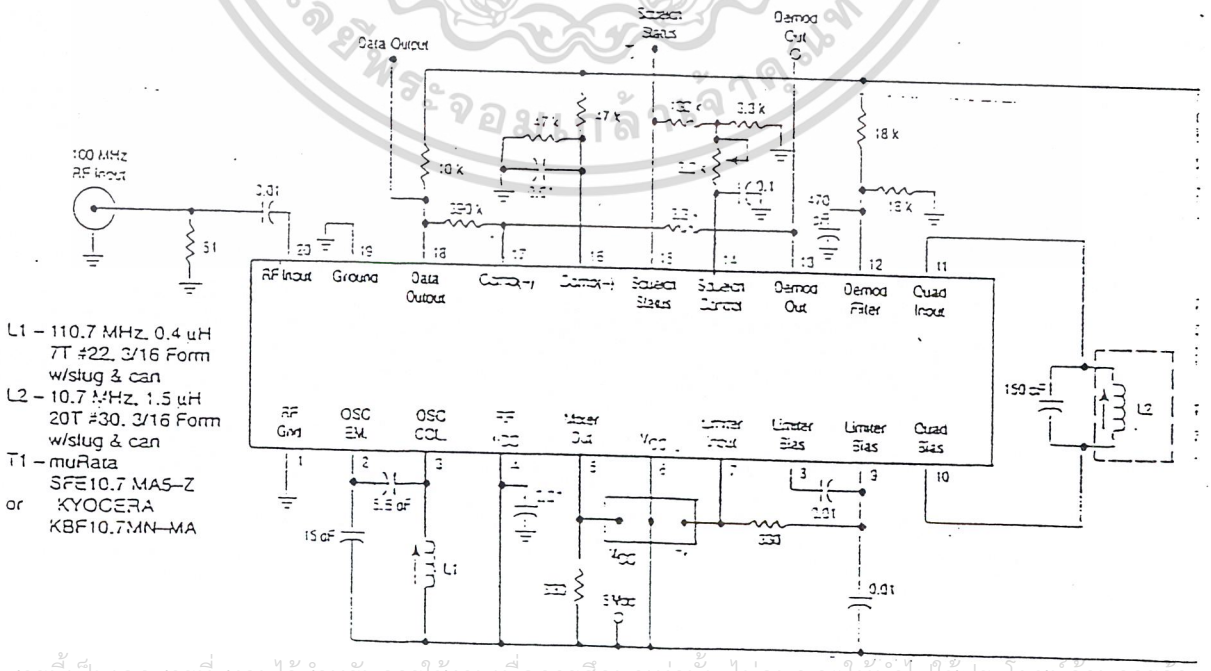
Rating	Symbol	Value	Unit
Power Supply Voltage	$V_{CC(max)}$	15	Vdc
Operating Power Supply Voltage Range (Pins 6, 10)	V_{CC}	3.0 to 9.0	Vdc
Operating RF Supply Voltage Range (Pin 4)	RF V_{CC}	3.0 to 12.0	Vdc
Junction Temperature	T_J	150	°C
Operating Ambient Temperature Range	T_A	−40 to +85	°C
Storage Temperature Range	T_{stg}	−65 to +150	°C
Power Dissipation, Package Rating	P_D	1.25	W

ELECTRICAL CHARACTERISTICS (V_{CC} = 5.0 Vdc, f_C = 100 MHz, f_{osc} = 110.7 MHz, Δf = ±75 kHz, f_{mod} = 1.0 kHz, 50 Ω source, T_A = 25°C, test circuit of Figure 2, unless otherwise noted.)

Characteristics	Min	Typ	Max	Unit
Drain Current Total, RF V_{CC} and V_{CC}	–	20	25	mAdc
Input for −3 dB limiting	–	30	–	µVrms
Input for 50 dS quieting $\left(\frac{S+N}{N}\right)$	–	60	–	µVrms
Mixer Voltage Gain, Pin 20 to Pin 5	2.5	–	–	
Mixer Input Resistance, 100 MHz	–	260	–	Ω
Mixer Input Capacitance, 100 MHz	–	5.0	–	pF
Mixer/Oscillator Frequency Range (Note 1)	–	0.2 to 150	–	MHz
IF/Quadrature Detector Frequency Range (Note 1)	–	0.2 to 50	–	MHz
AM Rejection (30% AM, RF V_{in} = 1.0 mVrms)	–	50	–	dB
Demodulator Output, Pin 13	–	0.5	–	Vrms
Meter Drive	–	7.0	–	µA/dB
Squelch Threshold	–	0.8	–	Vdc

NOTE: 1. Not taken in Test Circuit of Figure 2; new component values required.

Figure 2. Test Circuit



L1 – 110.7 MHz, 0.4 µH
7T #22, 3/16 Form
w/slug & can
L2 – 10.7 MHz, 1.5 µH
20T #30, 3/16 Form
w/slug & can
T1 – muRata
SFE10.7 MA5–Z
or KYOCERA
KBF10.7MN–MA

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Figure 3. Output Components of Signal, Noise, and Distortion

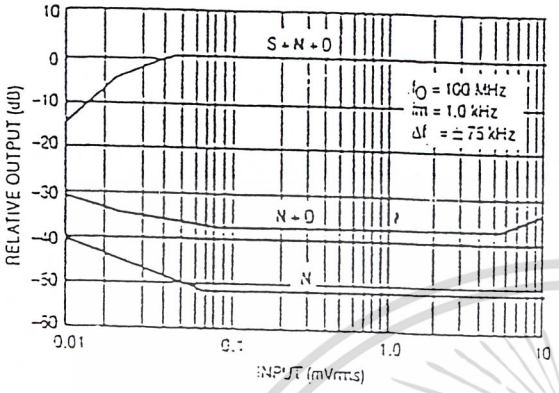
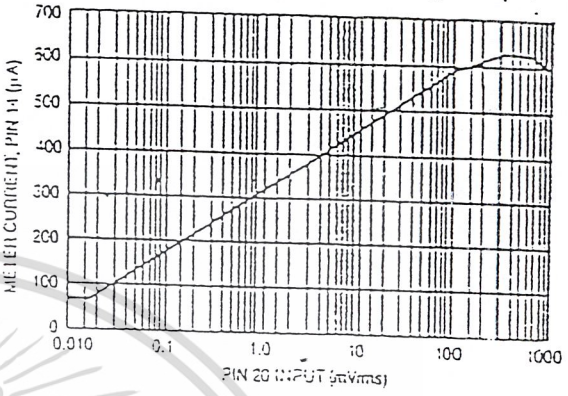


Figure 4. Meter Current versus Signal Input



GENERAL DESCRIPTION

This device is intended for single and double conversion VHF receiver systems, primarily for FSK data transmission up to 500 K baud (250 kHz). It contains an oscillator, mixer, limiting IF, quadrature detector, signal strength meter drive, and data shaping amplifier.

The oscillator is a common base Colpitts type which can be crystal controlled, as shown in Figure 1, or L–C controlled as shown in the other figures. At higher V_{CC}, it has been operated as high as 200 MHz. A mixer/oscillator voltage gain of 2 up to approximately 150 MHz, is readily achievable.

The mixer functions well from an input signal of 10 μVrms, below which the squelch is unpredictable, up to about 10 mVrms, before any evidence of overload. Operation up to 1.0 Vrms input is permitted, but non–linearity of the meter output is incurred, and some oscillator pulling is suspected. The AM rejection above 10 mVrms is degraded.

The limiting IF is a high frequency type, capable of being operated up to 50 MHz. It is expected to be used at 10.7 MHz in most cases, due to the availability of standard ceramic resonators. The quadrature detector is internally coupled to the IF, and a 5.0 pF quadrature capacitor is internally provided. The –3dB limiting sensitivity of the IF itself is approximately 50 μV (at Pin 7), and the IF can accept signals up to 1.0 Vrms without distortion or change of detector quiescent dc level.

The IF is unusual in that each of the last 5 stages of the 6 state limiter contains a signal strength sensitive, current sinking device. These are parallel connected and buffered to produce a signal strength meter drive which is fairly linear for IF input signals of 10 μV to 100 mVrms (see Figure 4).

A simple squelch arrangement is provided whereby the meter current flowing through the meter load resistance flips a comparator at about 0.8 Vdc above ground. The signal strength at which this occurs can be adjusted by changing the meter load resistor. The comparator (+) input and output are available to permit control of hysteresis. Good positive action can be obtained for IF input signals of above 30 μVrms. The 130 kΩ resistor shown in the test circuit provides a small amount of hysteresis. Its connection between the 3.3 k resistor to ground and the 3.0 k pot, permits adjustment of squelch level without changing the amount of hysteresis.

The squelch is internally connected to both the quadrature detector and the data shaper. The quadrature detector output, when squelched, goes to a dc level approximately equal to the zero signal level unsquelched. The squelch causes the data shaper to produce a high (V_{CC}) output.

The data shaper is a complete "floating" comparator, with back to back diodes across its inputs. The output of the quadrature detector can be fed directly to either input of this amplifier to produce an output that is either at V_{CC} or V_{EE}, depending upon the received frequency. The impedance of the biasing can be varied to produce an amplifier which "follows" frequency detuning to some degree, to prevent data pulse width changes.

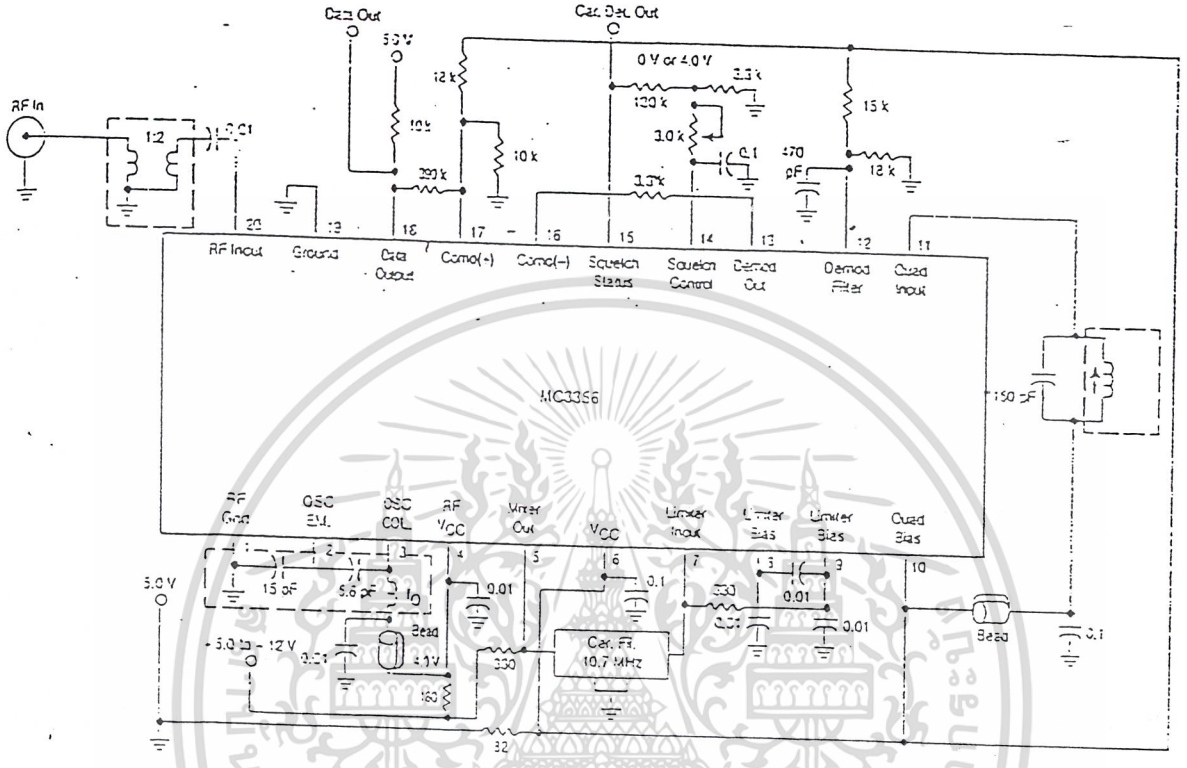
When the data shaper is driven directly from the demodulator output, Pin 13, there may be distortion at Pin 13 due to the diodes, but this is not important in the data application. A useful note in relating high/low input frequency to logic state: low IF frequency corresponds to low demodulator output. If the oscillator is above the incoming RF frequency, then high RF frequency will produce a logic low (input to (÷) input of Data Shaper as shown in Figures 1 and 2).

APPLICATION NOTES

The MC3356 is a high frequency/high gain receiver that requires following certain layout techniques in designing a stable circuit configuration. The objective is to minimize or eliminate, if possible, any unwanted feedback.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Figure 5. Application with Fixed Bias on Data Shaper



APPLICATION NOTES (continued)

Shielding, which includes the placement of input and output components, is important in minimizing electrostatic or electromagnetic coupling. The MC3356 has its pin connections such that the circuit designer can place the critical input and output circuits on opposite ends of the chip. Shielding is normally required for inductors in tuned circuits.

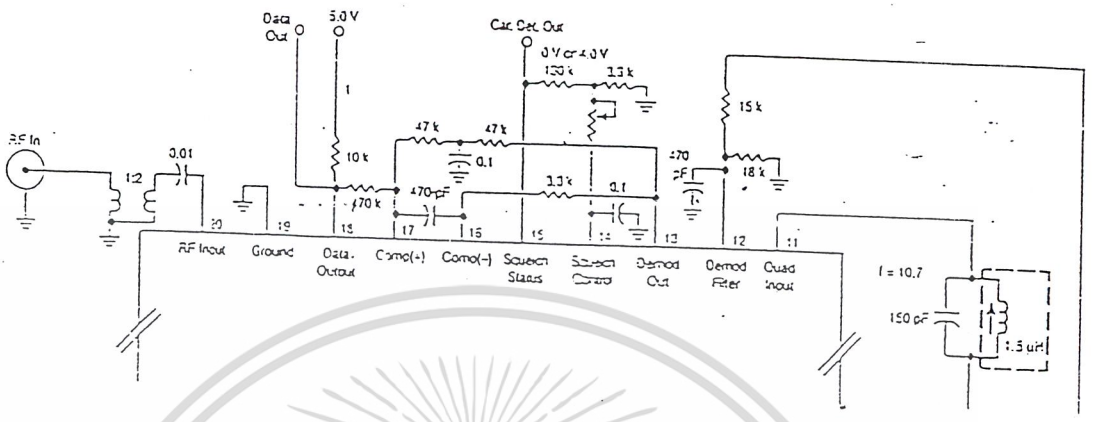
The MC3356 has a separate V_{CC} and ground for the RF and IF sections which allows good external circuit isolation by minimizing common ground paths.

Note that the circuits of Figures 1 and 2 have RF, Oscillator, and IF circuits predominantly referenced to the plus supply rails. Figure 5, on the other hand, shows a suitable means of ground referencing. The two methods produce identical results when carefully executed. It is important to treat Pin 19 as a ground node for either approach. The RF input should be "grounded" to Pin 1 and then the input and the mixer/oscillator grounds (or RF V_{CC} bypasses) should be connected by a low inductance path to Pin 19. IF and detector sections should also have their bypasses returned by a separate path to Pin 19. V_{CC} and RF V_{CC} can be decoupled to minimize feedback, although the configuration of Figure 2 shows a successful implementation on a common 5.0 V supply. Once again, the message is: define a supply node and a ground node and return each section to those nodes by separate, low impedance paths.

The test circuit of Figure 2 has a 3 dB limiting level of 30 μV which can be lowered 6 db by a 1:2 untuned transformer at the input as shown in Figures 5 and 6. For applications that require additional sensitivity, an RF amplifier can be added, but with no greater than 20 db gain. This will give a 2.0 to 2.5 μV sensitivity and any additional gain will reduce receiver dynamic range without improving its sensitivity. Although the test circuit operates at 5.0 V, the mixer/oscillator optimum performance is at 8.0 V to 12 V. A minimum of 8.0 V is recommended in high frequency applications (above 150 MHz), or in PLL applications where the oscillator drives a prescaler.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Figure 6. Application with Self–Adjusting Bias on Data Shaper



APPLICATION NOTES (continued)

Depending on the external circuit, inverted or noninverted data is available at Pin 18. Inverted data makes the higher frequency in the FSK signal a "one" when the local oscillator is above the incoming RF. Figure 5 schematic shows the comparator with hysteresis. In this circuit the dc reference voltage at Pin 17 is about the same as the demodulated output voltage (Pin 13) when no signal is present. This type circuit is preferred for systems where the data rates can drop to zero. Some systems have a low frequency limit on the data rate, such as systems using the MC3850 ACIA that has a start or stop bit. This defines the low frequency limit that can appear in the data stream. Figure 5 circuit can then be changed to a circuit configuration as shown in Figure 6. In Figure 6 the reference voltage for the comparator is derived from the demodulator output through a low pass circuit where it is much lower than the lowest frequency data rate. This and similar circuits will compensate for small tuning changes (or drift) in the quadrature detector.

Squelch status (Pin 15) goes high (squelch off) when the input signal becomes greater than some preset level set by the resistance between Pin 14 and ground. Hysteresis is added to the circuit externally by the resistance from Pin 14 to Pin 15.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้