สำนักหอสมุดกลาง พระจอมเกล้าลาดกระบัง

เครื่องสังเคราะห์ความถี่โดยใช้เฟสล็อคลูป

(PHASE LOCKED LOOP FREQUENCY SYNTHESIZER)

T046222

โดย

นาย เชาวฤทธิ์ รัตนวงศา

เลขหมู่.....
เลขทะเบียน 46222
วัน, เดือน, ปี 21 ธ.ค. 2546

.b.....
.i.....

ปริญญานิพนธ์นี้เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรวิศวกรรมศาสตรบัณฑิต

สาขาวิชาอิเล็กทรอนิกส์

คณะวิศวกรรมศาสตร์

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

ปีการศึกษา 2544

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ปริญญานิพนธ์ปีการศึกษา 2544

สาขาวิชา อิเล็กทรอนิกส์

คณะวิศวกรรมศาสตร์ สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

เรื่อง เครื่องสังเคราะห์ความถี่โดยใช้เฟสล็อคลูป

ผู้จัดทำ

นาย เชาวฤทธิ์ รัตนวงศา รหัส 41014112

ประภากร ยาจารย์ที่ปรึกษา

(ผศ. ประภากร สุวรรณะ)

วันที่ 1 เมย 2545

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

กิตติกรรมประกาศ

ในการทำโครงงานในครั้งนี้จะไม่ประสบความสำเร็จเลย ถ้าไม่มีท่านอาจารย์ที่ปรึกษา ผศ. ประภากร สุวรรณะ ที่คอยให้คำแนะนำ แนวความคิดในการทำงานแต่ละขั้นตอนทั้งการแก้ปัญหาต่าง ๆ และผลักดันให้โครงงานนี้สำเร็จลุล่วงมาได้ด้วยดี และขอขอบคุณพี่พัท กบ อาร์ต นนท์ เพื่อน ๆ 4C,3R ทุกท่าน และน้องๆ ที่ได้คอยช่วยเหลือ และให้ยืมเครื่องมืออุปกรณ์ต่าง ๆ และกำลังใจที่ดีเสมอมาในการจัดทำโครงงานนี้ และสุดท้ายที่ลืมไม่ได้คือ คุณแม่คุณพ่อ และเครือญาติ ถ้าไม่มีพวกท่านเหล่านี้ กระผมก็คงไม่มีวันนี้

.....

(เชาวฤทธิ์ รัตนวงศา)

ผู้จัดทำ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เครื่องสังเคราะห์ความถี่โดยใช้เฟสล็อคลูป

นาย เชาวฤทธิ์ รัตนวงศา
ผศ. ประภากร สุวรรณะ (อาจารย์ที่ปรึกษา)

บทคัดย่อ

โครงงานนี้เป็นการออกแบบและศึกษา การสังเคราะห์ความถี่ โดยใช้เฟสล็อคลูปซึ่งสามารถผลิตความถี่ได้ ตั้งแต่ 10 MHz -50 MHz โดยใช้ไอซีเบอร์ MC 145151 เป็นไอซีที่ใช้ในส่วนของเฟสล็อคลูป โดยในวงจร จะประกอบไปด้วย ส่วนของโวลท์เตจ คอนโทรล ออสซิเลเตอร์,แอมปลิไฟลเออร์ พรีสเกลเลอร์, เฟสล็อคลูป ฟรีเควนซี ซินธิไซเซอร์ ไอซี โลว์พาสฟิลเตอร์ และ มิกเซอร์ ซึ่งสามารถนำไปประยุกต์ใช้งานในระบบ ที่ต้องการความถี่สูงทั่วไป

รายงานฉบับนี้มีเนื้อหาเกี่ยวกับโครงงานนี้ทั้งในส่วนของ ภาคทฤษฎี และปฏิบัติเมื่อเสร็จสิ้นขั้นตอน ของการออกแบบและการสร้างผู้จัดทำได้ทดลองวัดคุณสมบัติต่าง ๆ ของวงจรและได้นำผลการทดสอบโครงงานมาแสดงไว้ในรายงานฉบับนี้ด้วย

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

PHASE LOCKED LOOP FREQUENCY SYNTHESIZER

Mr.Chaowarith Ratanawongsa

Assist Prof. Praphakorn Suwanna (Advisor)

Abstract

This paper presents a design and study phase locked loop frequency sythesizer that generates frequency range 10 MHz -50 MHz , using the Integrate Circuit (IC) No.145151 for phase locked loop unit. This circuit consists of the voltage controlled oscillator, amplifier, phase locked loop frequency synthesizer IC. low pass filter and mixer. This frequency range is useful in application in general high frequency systems.

This report includes theories, the design and final test result of this work.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญ

	หน้า
กิตติกรรมประกาศ	I
บทคัดย่อ	II
ABSTRACT	III
สารบัญ	IV
สารบัญรูปภาพ	VI
สารบัญตาราง	IX
บทที่ 1 บทนำ	1
บทที่ 2 ระบบสังเคราะห์ความถี่	
2.1 วิธีสังเคราะห์ความถี่	3
2.2 เฟสล็อกลูป	5
2.3 การใช้เฟสล็อกลูปในการสังเคราะห์	6
2.3.1 พื้นฐานของเฟสล็อคลูป	7
2.4 วิธีสังเคราะห์ความถี่แบบมิกซิ่ง	13
2.5 เทคนิคของการสังเคราะห์ความถี่	18
2.6 ระบบการสังเคราะห์ความถี่ในเครื่องรับวิทยุ	19
2.7 คุณสมบัติของวงจรสังเคราะห์ความถี่	21
บทที่ 3 ออสซิลเลเตอร์	22
3.1 หลักการพื้นฐานของ ทรานซิสเตอร์ แอล-ซี ออสซิลเลเตอร์	24
3.2 ออสซิลเลเตอร์แบบฮาร์ทเลย์	25
3.3 ออสซิลเลเตอร์แบบคอลพิทส์	27
3.4 คริสตัลออสซิลเลเตอร์	28
3.5 ออสซิลเลเตอร์แบบควบคุมแรงดันไฟฟ้า	31
บทที่ 4 การออกแบบโครงงาน	32
4.1 วงจรโวลเตจคอนโทรออสซิลเลเตอร์	33
4.1.1 หลักการออกแบบโวลเตจคอนโทรออสซิลเลเตอร์	35
4.1.2 วงจรที่ใช้งานจริง	44
4.2 ส่วนขยายสัญญาณ (Amplifier)	47
4.3 ตัวหารพรีสเกลเลอร์ (Prescaler)	47
4.4 ไอซีควบคุมเฟสล็อคลูป	49

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4.5 ลูปฟิลเตอร์ (Loop Filter) 51
4.6 วิธีใช้งาน 54
บทที่ 5 การทดลองและผลการทดลอง 55
บทที่ 6 สรุปและวิจารณ์โครงงาน 64
บรรณานุกรม
ภาคผนวก ก
ภาคผนวก ข

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญรูปภาพ

		หน้า
รูปที่ 1.1	บล็อกไดอะแกรมของวงจรทั้งหมด	2,32
รูปที่ 2.1	แสดงวิธีสังเคราะห์ความถี่โดยตรง	4
รูปที่ 2.2	แสดงแผนผังของเฟสล็อคลูป	5
รูปที่ 2.3	แสดงแผนผังของหน่วยสังเคราะห์ความถี่	7
รูปที่ 2.4	(a) บล็อกไดอะแกรมของเฟสล็อคลูป	9
	(b) ทรานสเฟอร์ฟังก์ชั่นของ VCO	9
	(c) ทรานสเฟอร์ฟังก์ชั่นของเฟสดีเทคเตอร์	9
รูปที่ 2.5	ผลตอบสนองทรานเซี้ยนของเฟสล็อคลูปอันเนื่องมาจากการเปลี่ยนแปลงความถี่ของสัญญาณอ้างอิง	10
	(a) สัญญาณอ้างอิง	
	(b) สัญญาณเอาท์พุท $U_1(t)$ ของ VCO	
	(c) สัญญาณ $U_d(t)$ ซึ่งเป็นฟังก์ชั่นของเวลา	
	(d) ความถี่เชิงมุม ω_2 ของ VCO ซึ่งเป็นฟังก์ชั่นของเวลา	
	(e) ความถี่เชิงมุม ω_1 ของสัญญาณอ้างอิง $U_1(t)$	
รูปที่ 2.6	แสดงตัวอย่างลูปฟิลเตอร์	12
รูปที่ 2.7	แสดงผัง Programmable divider โดยใช้ IC ตระกูล TTL	12
รูปที่ 2.8	แสดงหน่วยสังเคราะห์ความถี่แบบมิกซิ่งสำหรับเครื่องรับวิทยุย่าน 2 เมตร	14
รูปที่ 2.9	แสดงตัวอย่างแผนผังของหน่วยสังเคราะห์ความถี่ในทางปฏิบัติ	15
รูปที่ 2.10	แสดงหน่วยสังเคราะห์ความถี่แบบมิกซิ่ง ที่ใช้แร่เพียงตัวเดียว	15
รูปที่ 2.11	แสดง PLL โดยตรง	16
รูปที่ 2.12	แสดง PLL แบบคูณความถี่	17
รูปที่ 2.13	แสดง PLL แบบพรีสเกลเลอร์	17
รูปที่ 2.14	แสดง PLL แบบมิกซิ่งนอกลูป	18
รูปที่ 2.15	แสดง PLL แบบมิกซิ่งในลูป	18
รูปที่ 2.16	(a) แสดงแผนผังของเครื่องรับส่งวิทยุที่ใช้แร่บังคับความถี่	20
	(b) แสดงแผนผังของเครื่องรับส่งวิทยุที่ใช้ระบบสังเคราะห์ความถี่	20
รูปที่ 3.1	แสดงสัญญาณคลื่นไซน์ที่เอาท์พุทของวงจรออสซิลเลเตอร์แบบจูน RF	22
รูปที่ 3.2	แสดงการวางตัวของอุปกรณ์ Transistor LC Oscillator	25
รูปที่ 3.3	แสดงวงจรออสซิลเลเตอร์แบบฮาร์ทเลย์	26

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รูปที่ 3.4	แสดงเฟสของแรงดันไฟฟ้าในแท็ปคอยล์ L_B	26
รูปที่ 3.5	แสดงวงจรออสซิลเลเตอร์แบบคอลพิทส์	28
รูปที่ 3.6	ผลึกคริสตอล	29
รูปที่ 3.7	แสดงวงจรเทียบเท่าของผลึกคริสตอล	30
รูปที่ 4.1	บล็อกไดอะแกรมวงจร เฟสล็อคลูป ส่วนที่ 1	33
รูปที่ 4.2	หลักการเบื้องต้นที่ใช้ในการออกแบบ	34
รูปที่ 4.3	(ก) ตัวอย่างวงจร VCO ที่ใช้ในการออกแบบ	36
	(ข) วงจรสมมูลของสัญญานจากรูป(ก)	36
รูปที่ 4.4	(ก) วงจร โวลเตจ คอนโทร ออสซิลเลเตอร์ (VCO) ความถี่ 75.264 MHz ถึง 115.2 MHz	45
	(ข) วงจรสมมูลของสัญญาณรูป (ก)	45
รูปที่ 4.5	(ก) วงจร โวลเตจ คอนโทร ออสซิลเลเตอร์ (VCO) ความถี่ 65.024 MHz ถึง 65.279 MHz	46
	(ข) วงจรสมมูลของสัญญาณรูป (ก)	46
รูปที่ 4.6	วงจรขยายสัญญาณ	47
รูปที่ 4.7	วงจรพรีสเกลเลอร์	48
รูปที่ 4.8	หลักการทำงานภายในของไอซีเฟสล็อคลูป	49
รูปที่ 4.9	การเชื่อมต่อวงจรไอซีควบคุมเฟสล็อคลูป	50
รูปที่ 4.10	วงจรลูปฟิลเตอร์แบบแอกทีฟ	52
รูปที่ 4.11	ผลตอบสนองความถี่ของลูปฟิลเตอร์	53
รูปที่ 4.12	โครงงานที่เสร็จสมบูรณ์	54
รูปที่ 5.1	(ก) สัญญาณเอาท์พุทของ VCO ภาคแรก ที่ความถี่ 75 MHz	55
	(ข) สเปกตรัม	55
รูปที่ 5.2	(ก) สัญญาณเอาท์พุทของ VCO ภาคแรก ที่ความถี่ 85 MHz	56
	(ข) สเปกตรัมของสัญญาณ (ก)	56
รูปที่ 5.3	(ก) สัญญาณเอาท์พุทของ VCO ภาคแรก ที่ความถี่ 95 MHz	57
	(ข) สเปกตรัมของสัญญาณ (ก)	57
รูปที่ 5.4	(ก) สัญญาณเอาท์พุทของ VCO ภาคแรก ที่ความถี่ 105 MHz	58
	(ข) สเปกตรัมของสัญญาณ (ก)	58
รูปที่ 5.5	(ก) สัญญาณเอาท์พุทของ VCO ภาคแรก ที่ความถี่ 115 MHz	59
	(ข) สเปกตรัมของสัญญาณ (ก)	59

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รูปที่ 5.6	(ก) สัญญาณเอาท์พุทของ VCO ภาคที่สอง ที่ความถี่ 65 MHz	60
	(ข) สเปกตรัมของสัญญาณ (ก)	60
รูปที่ 5.7	แผนภาพแสดงความสัมพันธ์ระหว่าง Vin ที่ป้อน กับความถี่ที่ได้ ของ VCO ภาคแรก	61
รูปที่ 5.8	สเป็กตรัมที่ได้จาก MIXER ของการผสมความถี่ระหว่าง 65 MHz กับ 95 MHz	62
รูปที่ 5.9	Low-pass Filter ของ MIXER	62
รูปที่ 5.10	ผลตอบสนองความถี่จากการ Simulate Low-pass Filter ของ MIXER	63

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญตาราง

หน้า

ตารางที่ 4.1 ตัวอย่างค่า N ที่ใช้ปรับดิพสวิทช์ในแต่ละความถี่ 51

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 1
บทนำ

ในปัจจุบันการใช้งานทางด้านอิเล็กทรอนิกส์ โดยเฉพาะด้านความถี่สูงนั้นมีการนำมาใช้งานกันอย่างแพร่หลาย ซึ่งโครงงานเรื่องเครื่องสังเคราะห์ความถี่โดยใช้เฟสล็อคลูป (Phase locked loop frequency synthesizer) ซึ่งสามารถผลิตความถี่ในช่วง 10 MHz ถึง 50 MHz สามารถนำไปประยุกต์ใช้งานได้อย่างแพร่หลายเช่นนำไปใช้สร้างคลื่นพาห์ในการมอดูเลท และการดีมอดูเลทเป็นต้น โดยจุดประสงค์หลักแล้ว เพื่อเป็นต้นแบบในการศึกษาระบบการสังเคราะห์ความถี่ และเพิ่มความรู้ในการสร้างวงจรความถี่สูง

ในรูปที่ 1.1 นั้น แสดงถึงบล็อกไดอะแกรมของวงจรทั้งหมด ประกอบด้วยวงจร กำเนิดความถี่สองภาค โดยภาคแรก เป็นภาคสร้างความถี่ด้านสูง ใช้วงจร เฟสล็อคลูป จะผลิตความถี่ในย่าน 75.264 MHz ถึง 115.2 MHz เป็นโหมดปรับหยาบ โดยใช้ดิพสวิทช์เป็นตัวควบคุม ปรับความละเอียดได้ 156 ระดับ แต่ละระดับห่างกัน 256 kHz ส่วนภาคที่สองเป็นภาคสร้างความถี่ด้าน ผลิตความถี่ในย่าน 65.024 MHz ถึง 65.279 MHz เป็นโหมดปรับละเอียด โดยใช้วงจร โวลเตจคอนโทรออสซิลเลเตอร์ ควบคุมด้วยการปรับแรงดันขาเข้าของวงจร ส่วนมอดูเลทก็อยู่ร่วมกับส่วนนี้ แล้วความถี่ที่ได้จากสองภาคนี้ นำมาผสมความถี่กันในแบบ Down Mix จะได้ความถี่เพิ่มขึ้นมาอีกในช่วง 140.288 MHz ถึง 180.479 MHz กับ 9.985 MHz ถึง 50.176 MHz แล้วใช้ โลว์พาส ฟิลเตอร์ กรองเอาแต่เฉพาะความถี่ 9.985 MHz ถึง 50.176 MHz เพื่อนำไปใช้งาน

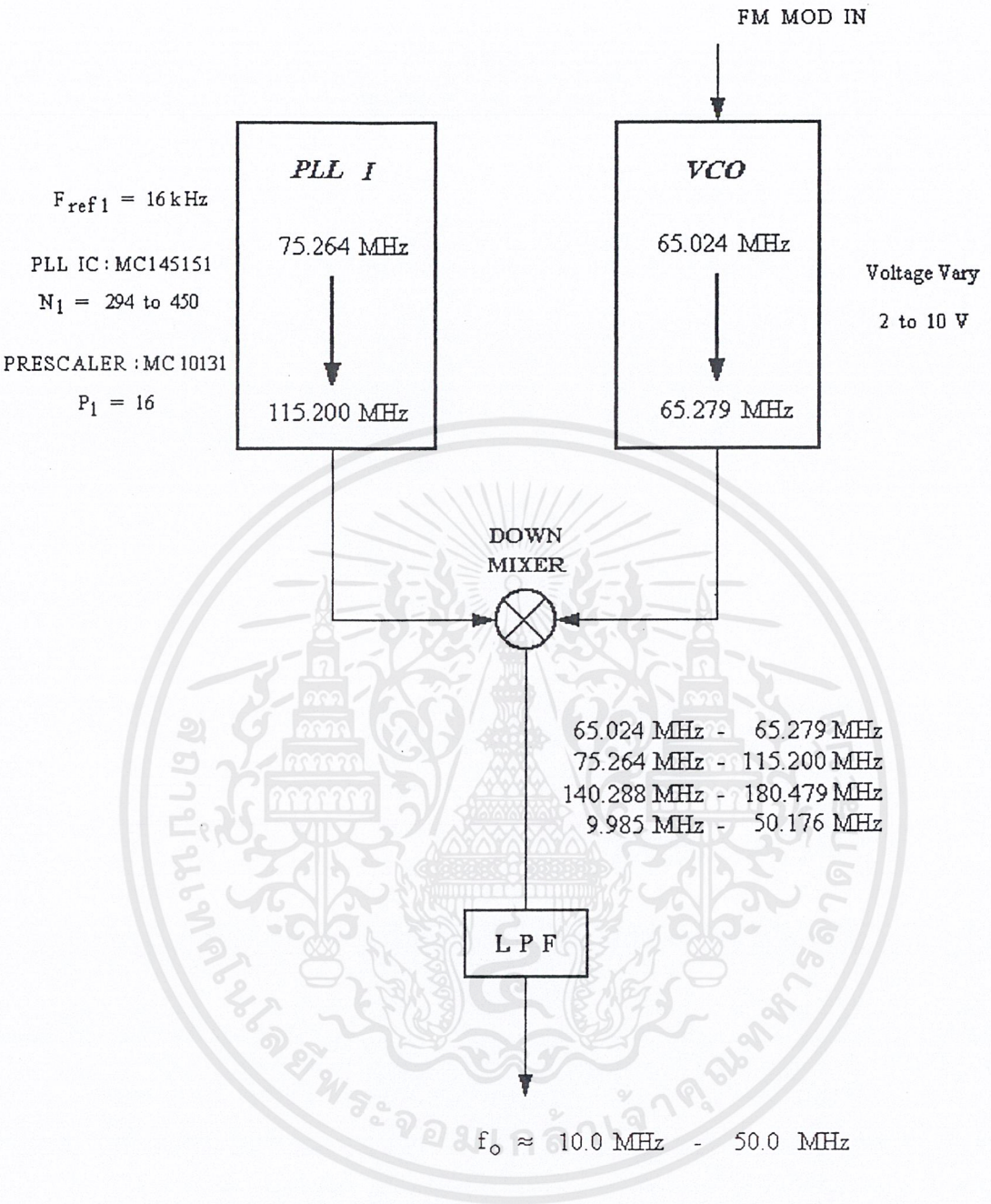
เนื้อหาในบทที่ 2 จะกล่าวถึงระบบสังเคราะห์ความถี่ ซึ่งกล่าวถึงรายละเอียดของทฤษฎีเกี่ยวข้องกับระบบสังเคราะห์ความถี่ และการใช้เฟสล็อคลูปในการสังเคราะห์ความถี่รวมทั้งวงจรต่าง ๆ ที่เกี่ยวข้อง

เนื้อหาในบทที่ 3 จะกล่าวถึงวงจรที่นำมาใช้ในการออกแบบออสซิเลเตอร์ ลักษณะของวงจรต่าง ๆ ที่ใช้ในการออกแบบออสซิลเลเตอร์

เนื้อหาในบทที่ 4 และบทที่ 5 เป็นส่วนของการออกแบบโครงงานและผลการทดลองโครงงานทั้งหมด

เนื้อหาในบทที่ 6 เป็นการสรุปและวิจารณ์การทำโครงงานในครั้งนี้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 1.1 บล็อกไดอะแกรมของวงจรทั้งหมด

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 2
ระบบสังเคราะห์ความถี่

เครื่องรับส่งวิทยุในปัจจุบันส่วนใหญ่นิยมใช้วิธีสังเคราะห์ความถี่แทบทั้งสิ้น วงจรที่ทำหน้าที่สังเคราะห์ความถี่จะเรียกว่า ซินธิไซเซอร์ ซึ่งแปลว่าสังเคราะห์ (ความถี่) วิธีสังเคราะห์ความถี่นี้ทำให้เครื่องรับส่งวิทยุเปลี่ยนโฉมหน้าไปอย่างมาก โดยเฉพาะรูปร่างของตัวเครื่องจะมีปุ่มควบคุมต่าง ๆ มากขึ้น เนื่องจากมีขีดความสามารถเพิ่มขึ้น สามารถโปรแกรมเลือกความถี่ใช้งานได้มาก จึงทำให้เกิดความคล่องตัวในการวางข่ายการสื่อสาร

ความจริงแล้วหลักการสังเคราะห์ความถี่ได้คิดค้นกันมาตั้งแต่ปี พ.ศ. 2475 แล้ว และได้พัฒนามาโดยลำดับ แต่เริ่มแพร่หลายกันจริง ๆ ก็เมื่อประมาณปี พ.ศ. 2513 เนื่องจากเทคโนโลยีการผลิตไอซีช่วยให้การออกแบบใช้งานมีความสะดวกสบายมากกว่าแต่ก่อน

วงการแรกที่นำระบบสังเคราะห์ความถี่มาใช้ก็คือ วงการทหาร (Millitary) และกิจการเดินอากาศ (Aviation) แล้วจึงค่อย ๆ นำมาใช้ในวงการเครื่องรับส่งวิทยุสื่อสารทั่วไปตามลำดับ

วิธีการสังเคราะห์ความถี่แต่ละแบบมีความซับซ้อนแตกต่างกัน ซึ่งจะขึ้นอยู่กับช่วงความถี่ (Frequency range) ช่วงห่างระหว่างขั้น (Step size หรือ Resolution)

2.1 วิธีสังเคราะห์ความถี่

ความจริงวงจรสังเคราะห์ความถี่ก็คือ วงจรที่ทำหน้าที่ผลิตสัญญาณความถี่ขนาดพอ-เหมาะ และให้มีความถี่ตามที่เราต้องการ (คือสั่งหรือโปรแกรมได้) การโปรแกรมสามารถทำได้โดยการตั้งสวิตช์หรือกดปุ่ม แต่ในปัจจุบันนิยมสั่งงานด้วยคอมพิวเตอร์ ช่วงความถี่ที่ใช้งานของวงจร สังเคราะห์ความถี่จะจำกัดอยู่ในช่วงความถี่ที่แน่นอน แล้วแต่การใช้งานและความละเอียดของความถี่ที่เปลี่ยนได้ทีละขั้น เรียกว่า เรโซลูชั่น (Resolution)

วิธีสังเคราะห์ความถี่สามารถแบ่งออกได้เป็น 2 วิธีคือ

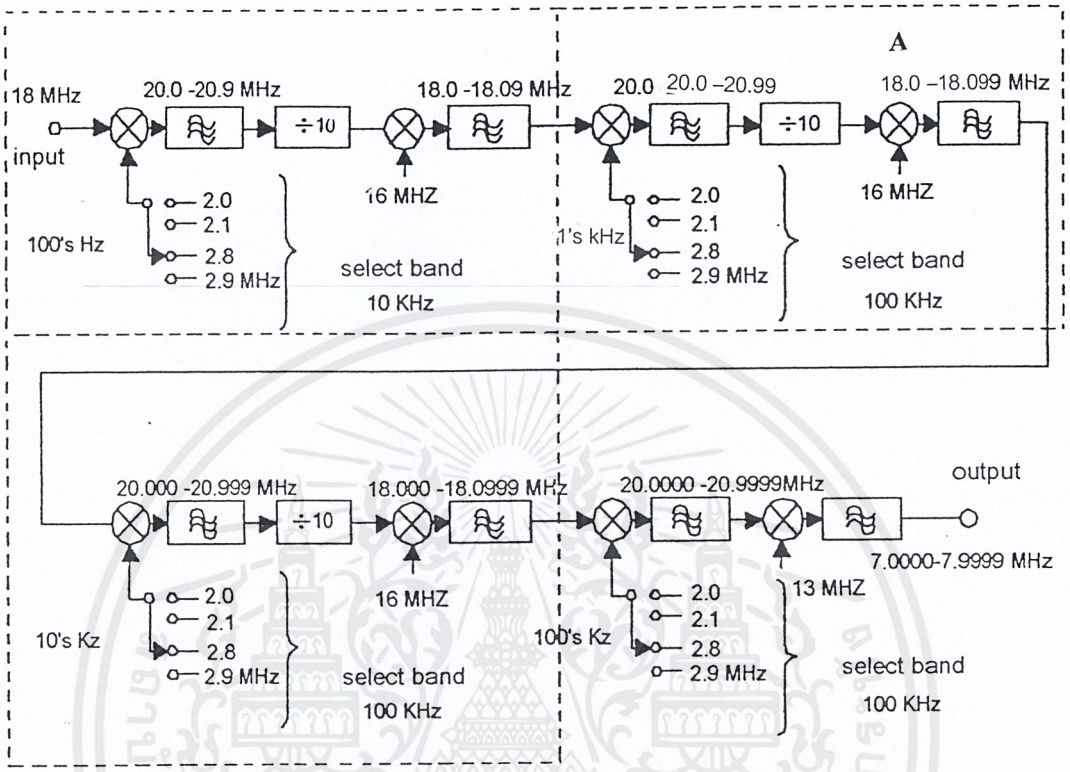
1.วิธีสังเคราะห์โดยตรง (Direct synthesis) ซึ่งต้องใช้ความถี่หลายค่ามาผสมกัน เพื่อให้ได้ความถี่ที่ต้องการ โดยปกติจะใช้แร่บังคับความถี่หลายชุด

2.วิธีสังเคราะห์โดยอ้อม (Indirect synthesis) วิธีนี้จะอาศัยเฟสล็อคลูป (Phase Locked Loop เรียกย่อ ๆ ว่า PLL)

จากรูปที่ 2.1 แสดงวิธีการสังเคราะห์ความถี่โดยตรง ในที่นี้เราต้องการให้เอาท์พุทมีความถี่อยู่ระหว่าง 7 ถึง 8 MHz และมีค่าของเรโซลูชั่น 100 Hz นั่นคือเราต้องสามารถตั้งความถี่ได้ดังนี้ คือ 7.000 , 7.001 , 7.002 , 7.003 ,... ขึ้นไปจนถึง 7.999 MHz สังเกตว่าเราใช้ความถี่หลัก 10 ความถี่ คือ 2.0 , 2.1 ,... ถึง 2.9 MHz เป็นตัวกำหนดความถี่ ความถี่หลักดังกล่าวนี้สามารถผลิตมาจากการผสมสัญญาณ 100 Hz และ พาหะ 2 MHz จะเห็นว่าสวิทช์เลือกความถี่ทั้งสิบความถี่นี้ ก็

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

คือสวิทช์ตั้งโปรแกรมเลือกความถี่ที่ต้องการ จากรูปที่ 2.1 จะเห็นว่ามี 4 ตัว ตัวหนึ่งเลือกความถี่ขั้นละ 100 Hz ตัวถัดไปเลือกขั้นละ 1 KHz ต่อไป 10 KHz และ 100 KHz ตามลำดับ



รูปที่ 2.1 แสดงวิธีสังเคราะห์ความถี่โดยตรง

นอกจากความถี่หลัก 10 ความถี่ดังกล่าวแล้วเราจะต้องอาศัยการผสมความถี่อื่นอีกด้วย จากรูปที่ 2.1 เราใช้ความถี่ 18 MHz ผสมกับความถี่ใดความถี่หนึ่งในความถี่หลักทั้งสิบความถี่ ผล-รวมของการผสมจะผ่านฟิลเตอร์กรองเอาเฉพาะความถี่ย่าน 20 ถึง 20.9 MHz แล้วผ่านการหารด้วยสิบที่วงจรเคาน์เตอร์เพื่อผสมกับความถี่ 16 MHz แล้วกรองเอาเฉพาะที่เป็นความถี่ในย่าน 18 MHz ตามเดิม สังเกตว่าเอาท์พุทจากชุดนี้เราสามารถสังเคราะห์ความถี่ได้ระหว่าง 18.00 , 18.01 ,... ถึง 18.09 MHz

เอาท์พุทจากชุดแรกนี้เมื่อผ่านเข้าชุดต่อไป จะเอาสัญญาณความถี่ระหว่าง 18.00 ถึง 18.09 MHz ไปผสมกับความถี่หลัก 2.0 ถึง 2.9 MHz อีก ซึ่งเราทำการเลือกหรือโปรแกรมได้โดยการปิดสวิตช์ จากนั้นก็ผ่านการ กรองแล้วหารสิบและผสมกับสัญญาณ 16 MHz เอาท์พุทของชุดที่สอง (จุด A ก็จะตั้งความถี่ได้ระหว่าง 18.000 , 18.001 ,...,18.099 MHz) เมื่อเราทำการผสมคลื่นเช่นนี้อีกครั้ง เราก็จะสังเคราะห์ความถี่ได้ระหว่าง 18.000 , 18.0001,... ถึง 18.0999MHz ในชุดสุดท้าย

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

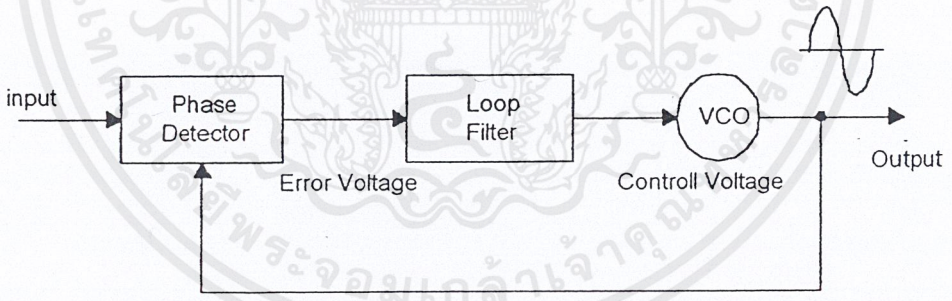
เราจะทำแตกต่างจากเดิมโดยเมื่อผสมกับสัญญาณ 2.0 ถึง 2.9 MHz แล้ว เราก็นำไปผ่านการกรองเอาแต่เฉพาะสัญญาณระหว่าง 20 ถึง 20.9999MHz และผสมกับสัญญาณ 13 MHz ก็จะได้เอาท์พุทเป็น 7.000 ถึง 7.9999MHz ตามที่ต้องการ

สังเกตว่าชุดผสมและหารความถี่ส่วนใหญ่ (ที่เขียน DECADE) จะซ้ำ ๆ กัน อย่างไรก็ดีวิธีสังเคราะห์ความถี่โดยตรงไม่ค่อยจะเป็นที่นิยมนัก เพราะความสิ้นเปลืองแร่ และยังต้องใช้การผสมคลื่นหลาย ๆ ครั้ง

วิธีสังเคราะห์ความถี่โดยอ้อมหรือวิธีเฟสล็อคลูปนั้น เราจะอาศัยการกำเนิดสัญญาณจากวงจรออสซิลเลเตอร์ ซึ่งควบคุมความถี่ได้โดยปรับแรงดันที่เรียกว่า VCO สัญญาณจาก VCO จะถูกป้อนกลับมาเปรียบเทียบ กับความถี่อ้างอิงแล้วนำผลลัพธ์ความถี่คลาดเคลื่อนมาแปลงเป็นแรงดันไปควบคุมการออสซิลเลท ของ VCO อีกครั้งหนึ่ง

2.2 เฟสล็อคลูป

เฟสล็อคลูป (Phase Locked Loop) เป็นระบบป้อนกลับที่บังคับให้วงจรออสซิลเลเตอร์มีความถี่หรือเฟสเปลี่ยนแปลงไปตามความถี่หรือเฟสของสัญญาณอ้างอิงภายนอก เฟสล็อคลูปประกอบด้วยภาคสำคัญ 3 ภาค คือ ภาคเทียบเฟสหรือเฟสดีเทกเตอร์ (Phase detector) ภาคลูป-ฟิลเตอร์ (Loop filter) และภาค VCO ดังแสดงในรูปที่ 2.2 ในที่นี้สมมุติว่าเราต่อเอาท์พุทจากวงจร VCO



รูปที่ 2.2 แสดงแผนผังของเฟสล็อคลูป

สมมติว่ามีสัญญาณความถี่อ้างอิงภายนอกเป็นสัญญาณรายคาบ (Periodic) เข้ามาที่อินพุท ภาคเทียบเฟสทำหน้าที่เปรียบเทียบเฟสระหว่างสัญญาณอ้างอิงกับสัญญาณจาก VCO เอาท์พุทที่ได้จากภาคเฟสดีเทกเตอร์จะเป็นแรงดันที่มีแอมปลิจูดเป็นสัดส่วนกับผลต่างในเฟสของสัญญาณทั้งสองที่ทำการเปรียบเทียบ แรงดันผลต่างนี้จะป้อนไปยังวงจรลูปฟิลเตอร์ซึ่งเป็นฟิลเตอร์ชนิดโลว์พาสกรองเอาแต่เฉพาะความถี่ต่าง ๆ ตามที่ต้องการ เพื่อส่งไปควบคุมการออสซิลเลทของ VCO ต่อไป

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เมื่อลูปอยู่ในสภาวะล็อค (Lock) ความถี่ของ VCO จะเท่ากับความถี่ของสัญญาณที่อินพุทพอดี อาจจะมีเฟสที่แตกต่างกันออกไป แต่เฟสที่แตกต่างกันออกไปนั้นจะมีค่าคงที่ (Constant phase difference) ในกรณีที่มีเฟสไม่ตรงกันภาคเฟสดีเทกเตอร์จะจ่ายแรงดันคลาดเคลื่อน (Error voltage) ไปควบคุมการทำงานของ VCO เพื่อมิให้เฟสคลาดเคลื่อนจนกว่าจะเข้าสู่สภาวะล็อค เอาท์พุทของ VCO จะมีแอมปลิจูดคงที่เสมอ แต่ความถี่จะเปลี่ยนแปลงไปตามสัญญาณที่อินพุท

เราสามารถนำเฟสล็อคลูปไปสังเคราะห์ (หรือผลิต) ความถี่ที่มีความเที่ยงตรงและเสถียร-ภาพเทียบเท่าสัญญาณอ้างอิงได้ วงจรนี้จะเรียกว่า วงจรสังเคราะห์ความถี่ ระบบสังเคราะห์ความถี่จะช่วยให้เราสามารถสังเคราะห์สัญญาณเอาท์พุท (จาก VCO) ให้มีความถี่ตามที่ต้องการได้หลายความถี่ โดยจะมีความเที่ยงตรงและเสถียรภาพสูงเทียบเท่าคริสตอลออสซิลเลเตอร์

ความจริงเฟสล็อคลูปยังมีประโยชน์อื่นอีก เช่น ในการดีมอดสัญญาณ FM (หรือ PM) เนื่องจากเอาท์พุทของเฟสดีเทกเตอร์มีค่าความสัมพันธ์กับการเปลี่ยนเฟสของคลื่นพาหะ

2.3 การใช้เฟสล็อคลูปในการสังเคราะห์ความถี่

ไม่ว่าระบบสังเคราะห์ความถี่จะมีความซับซ้อนเพียงใดเมื่อทำการพิจารณาลึกลงไปแล้วเราจะพบว่ามีเฟสล็อคลูปเป็นหัวใจในการสังเคราะห์อยู่เสมอ จากรูปที่ 2.3 เป็นตัวอย่างของระบบสังเคราะห์ความถี่อย่างง่ายประกอบด้วย 5 ภาค คือ ภาค VCO เป็นออสซิลเลเตอร์กำเนิดสัญญาณที่เอาท์พุทของระบบสังเคราะห์ความถี่ภาคหาร N ทำหน้าที่หารความถี่แบบตั้งโปรแกรมให้หารด้วยค่าตัวเลขตามที่ต้องการได้ (Programmable divider) ภาคกำเนิดความถี่อ้างอิง คริสตอลออสซิลเล-เตอร์หรือสัญญาณอื่น ๆ (Reference generator) ภาคเทียบเฟสและภาคลูปฟิลเตอร์ซึ่งทำหน้าที่กรองเอาเฉพาะความถี่ต่ำไปใช้

จากแผนผังในรูปที่ 2.3 จะเห็นว่า สัญญาณอินพุทของภาคเทียบเฟสมาจาก 2 แหล่ง คือ จาก VCO มีความถี่เท่ากับ F_O/N และจากสัญญาณอ้างอิงมีความถี่เท่ากับ F_R เอาท์พุทจากการเปรียบ-เทียบก็คือ ผลต่างระหว่างสัญญาณ F_O/N กับ F_R ซึ่งจะกรองเอาเฉพาะความถี่ต่ำเท่านั้นเพื่อบังคับการออสซิลเลทของวงจร VCO ให้ทำการปรับแก้ความถี่ (หรือเฟส) ให้ตรง จนกว่าความถี่ของสัญญาณทั้งสองจะเท่ากัน

ในสภาวะล็อค (Lock) ความถี่ของ VCO เมื่อผ่านวงจรหาร N จะเท่ากับความถี่อ้างอิง นั่นคือ

$$F_O = NF_R \qquad (2.1)$$

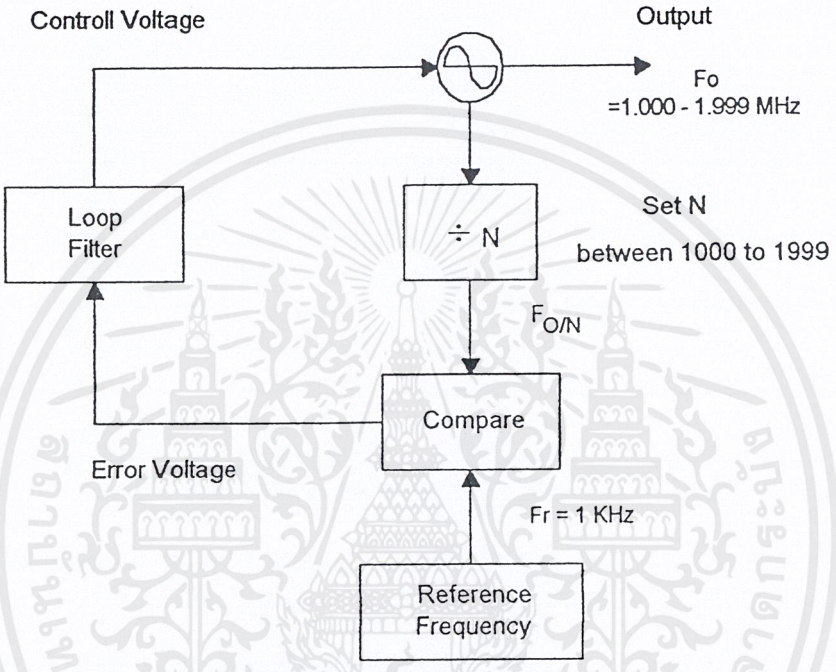
(คำนวณ จาก $F_O/N = F_R$ ที่วงจรเทียบเท่า)

หรือกล่าวอีกนัยหนึ่งก็คือ เอาท์พุทจะมีความถี่เป็น N เท่าของความถี่อ้างอิง สมมติว่าค่าของความถี่ F_R และค่าของ N เป็นดังนี้ F_R = 1KHz , N = 1000 จะได้ F_O = 1 MHz ถ้าเพิ่ม N

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ขึ้นทีละ 1 เป็น 1001 , 1002 , 1003,...ค่า F_O จะเพิ่มขึ้นทีละ 1 KHz ไปเรื่อย ๆ เป็น 1.001 , 1.002 ,1.003 ,... MHz ตามลำดับ

ขอให้สังเกตว่า เฟสล็อคลูปดังกล่าว สามารถผลิตความถี่ได้เฉพาะในช่วงความถี่ที่วงจร VCO และวงจรหาร N สามารถทำงานได้เท่านั้น และค่าตัวเลขในการหาร (คือ N) ย่อมเป็นตัวเลขจำนวนเต็มเสมอ



รูปที่ 2.3 แสดงแผนผังของหน่วยสังเคราะห์ความถี่

2.3.1 พื้นฐานของเฟสล็อคลูป

เฟสล็อคลูป ได้ถูกคิดค้นขึ้นมาครั้งแรกตั้งแต่ก่อนปี ค.ศ. 1932 โดยวิศวกรชาวฝรั่งเศส De Bellescize ซึ่งเขาได้รับการยกย่องว่าเป็นผู้คิดค้น " Coherent Communication " เฟสล็อคลูป ถูกนำมาใช้อย่างแพร่หลายในทางอุตสาหกรรม เมื่อมันถูกผลิตมาในรูปแบบของวงจรรวมแล้ว ไอซีเฟสล็อคลูปตัวแรกเกิดขึ้นราวๆ ปี ค.ศ. 1965 เป็นอุปกรณ์อนาลอก ล้วนๆ โดยใช้ Analog multiplier (Four - quadrant multiplier) เป็นเฟสดีเทคเตอร์ และลูปฟิลเตอร์ใช้วงจรกรองความถี่ RC แบบพาสซีพหรือแอกทีฟ และใช้ ออสซิลเลเตอร์ที่ควบคุมด้วยแรงดัน (VCO) ในการผลิตความถี่เอาท์พุทของเฟสล็อคลูป ทุกวันนี้เฟสล็อคลูปชนิดนี้เรียกว่า ลิเนียร์เฟสล็อคลูป (LPLL) หลายปีผ่านไปเฟสล็อคลูปไม่มีการเปลี่ยนแปลงอะไรมากนัก แต่ก็เริ่มเข้าสู่ส่วนที่เป็นดิจิตอล ดิจิตอลเฟสล็อคลูปตัวแรกเกิดขึ้นราวปี ค.ศ. 1970 ซึ่งเป็นอุปกรณ์ผสม (hybrid device) นั่นคือ เฉพาะส่วนที่เป็นเฟสดีเทคเตอร์เท่านั้น ที่สร้างจากวงจรดิจิตอล ซึ่งสร้างมาจากเอ็กซ์คลูซีฟออร์เกท หรือ เจเคฟลิพฟลอบ ส่วนที่เหลือยังคงเป็นวงจรอนาลอก เฟสล็อคลูป

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ชนิดนี้อาจเรียกว่า คลาสสิคคอลดิจิตอลเฟสล็อคลูป (DPLL) ไม่กี่ปีต่อมา เฟสล็อคลูป ที่เป็นดิจิตอลทั้งหมดได้ถูกสร้างขึ้น (ADPLL) จะไม่มีตัวต้านทานหรือตัวเก็บประจุอยู่ภายในเลย เฟสล็อคลูปก็เหมือนกับวงจรกรองความถี่ ที่สามารถสร้างได้ด้วยซอฟต์แวร์ ในกรณีนี้การทำงานของเฟสล็อคลูปจะไม่เกี่ยวข้องกับฮาร์ดแวร์ แต่จะเป็นโปรแกรมคอมพิวเตอร์ เฟสล็อคลูปชนิดนี้เรียกว่า ซอฟต์แวร์เฟสล็อคลูป (SPLL) ในปัจจุบัน DPLL นิยมใช้กันมากเนื่องจากสามารถนำมาประยุกต์ใช้งานได้โดยทั่วไป มีราคาถูก

เฟสล็อคลูป คือวงจรที่จะทำการซิงโครไนซ์ (synchronize) ความถี่หรือเฟสของสัญญาณเอาท์พุท (ที่ผลิตโดยออสซิลเลเตอร์) กับสัญญาณอ้างอิงหรือสัญญาณอินพุท เมื่อซิงโครไนซ์กันแล้ว ซึ่งมักจะเรียกกันว่าอยู่ในสภาวะล็อค (Lock State) ความแตกต่างระหว่างเฟสของสัญญาณเอาท์พุทของออสซิลเลเตอร์ กับสัญญาณอ้างอิงจะมีค่าเท่ากับศูนย์หรือน้อยมาก

บล็อกไดอะแกรมของ เฟสล็อคลูป แสดงได้ดังรูปที่ 2.4 (a) ซึ่งประกอบด้วย บล็อกการทำงานพื้นฐานดังนี้

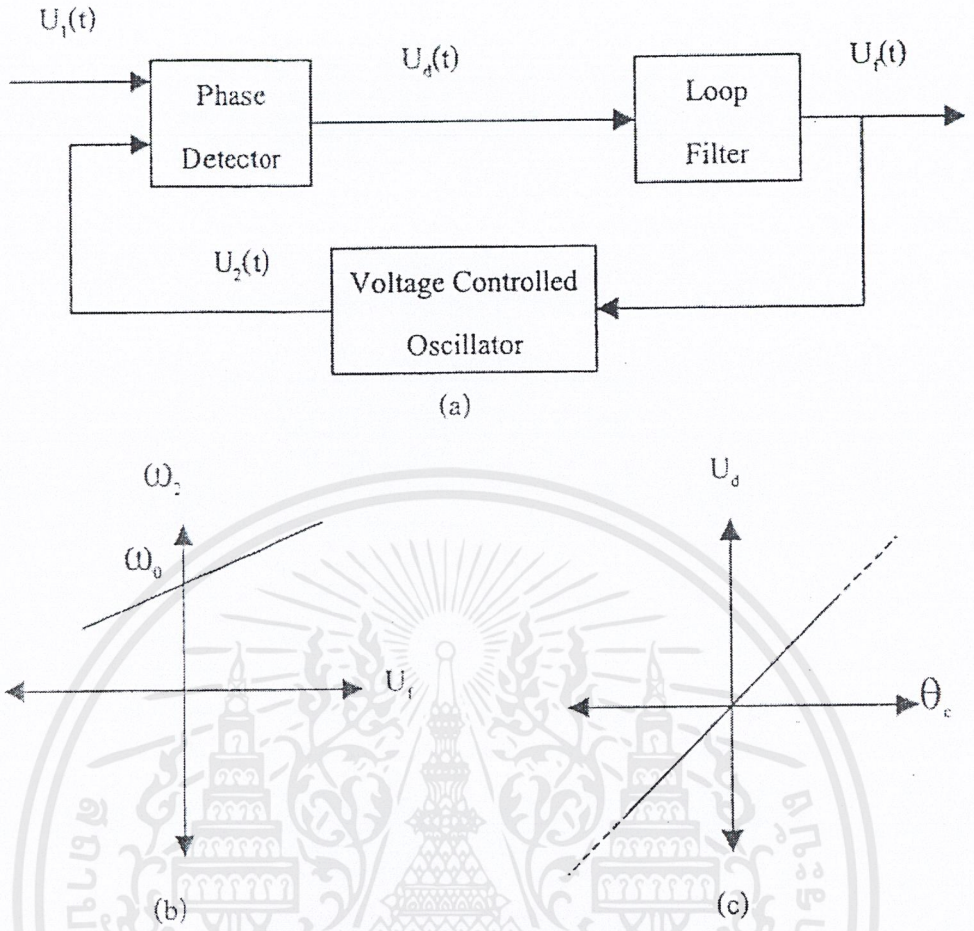
1. ออสซิลเลเตอร์ที่ควบคุมด้วยแรงดัน (Voltage Contro Oscillator : VCO)
2. เฟสดีเทคเตอร์ (Phase Detector : PD)
3. ลูปฟิลเตอร์ (Loop Filter : LP)

วงจรเฟสล็อคลูปบางวงจรจะใช้ออสซิลเลเตอร์ที่ควบคุมด้วยกระแส แทนที่ VCO ในกรณีนี้ เฟสดีเทคเตอร์จะประพฤติตัวเป็นแหล่งจ่ายกระแสแทนที่จะเป็นแหล่งจ่ายแรงดัน แต่อย่างไรก็ตาม หลักการทำงานก็ยังคงเหมือนกัน

ก่อนที่จะกล่าวถึงหลักการทำงานของ PLL จะขอกำหนดสัญลักษณ์ของสัญญาณต่างๆ ในเฟสล็อคลูป ดังต่อไปนี้

- $U_1(t)$ คือสัญญาณอ้างอิง (หรือสัญญาณอินพุท)
- ω_1 คือความถี่เชิงมุมของสัญญาณอ้างอิง
- $U_2(t)$ คือสัญญาณเอาท์พุทของ VCO
- ω_2 คือความถี่ของสัญญาณเอาท์พุท
- $U_d(t)$ คือสัญญาณเอาท์พุทของ เฟสดีเทคเตอร์
- $U_f(t)$ คือสัญญาณเอาท์พุทของ ลูปฟิลเตอร์
- θ_e คือความต่างเฟส (phase error) ระหว่างสัญญาณ $U_1(t)$ กับสัญญาณ $U_2(t)$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.4 (a) บล็อกไดอะแกรมของเฟสล็อคลูป
(b) ทรานสเฟอร์ฟังก์ชั่นของ VCO
(c) ทรานสเฟอร์ฟังก์ชั่นของเฟสดีเทคเตอร์

จากบล็อกไดอะแกรมของเฟสล็อคลูป VCO จะผลิตความถี่เชิงมุม ω_2 ซึ่งกำหนดโดยสัญญาณเอาท์พุทของลูปฟิลเตอร์ หรือเขียนเป็นสมการได้เป็น

$$\omega_2(t) = \omega_0 + K_0 U_f(t) \qquad (2.2)$$

เมื่อ ω_0 คือความถี่เชิงมุมกลางของ VCO และ K_0 คืออัตราขยาย ของ VCO (VCO Gain) มีหน่วยเป็น $S^{-1}V^{-1}$ สมการ 2.2 สามารถพล็อตเป็นกราฟได้ดังรูปที่ 2.4 (b)

เฟสดีเทคเตอร์ (หรืออาจเรียกว่า เฟสคอมพาราเตอร์) จะทำหน้าที่เปรียบเทียบเฟสของสัญญาณเอาท์พุทกับเฟสของสัญญาณอินพุทและทำให้เกิดสัญญาณเอาท์พุท $U_d(t)$ ซึ่งเป็นสัดส่วนโดยประมาณกับความต่างเฟส θ_e เขียนสมการได้เป็น

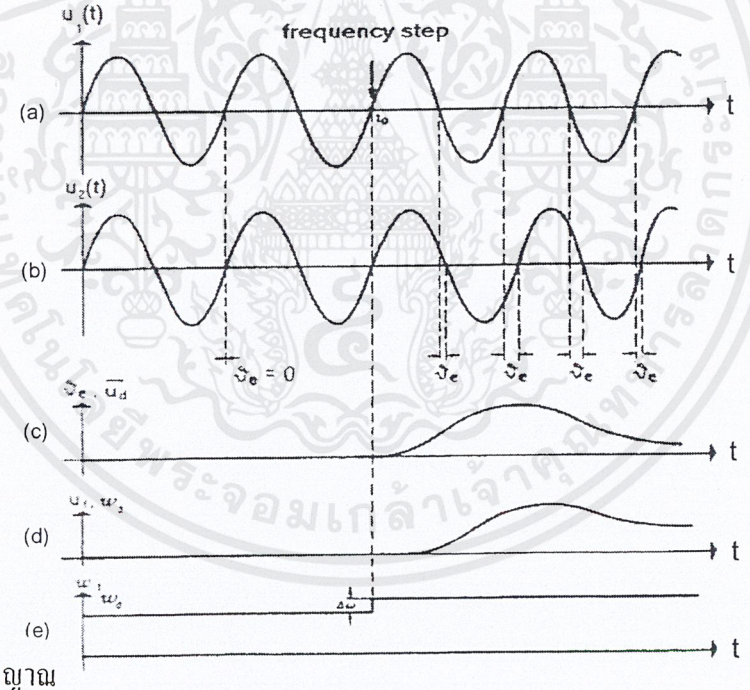
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$U_d(t) = K_d \theta_e \qquad (2.3)$$

เมื่อ K_d คือเกนของเฟสดีเทคเตอร์ มีหน่วยเป็น V rad^{-1}

สัญญาณเอาท์พุทของเฟสดีเทคเตอร์จะเป็นสัญญาณ AC ที่ขี่ (Superimposed) อยู่บนส่วนประกอบทาง DC แต่สัญญาณ AC เป็นสิ่งที่ไม่ต้องการ ดังนั้นลูปฟิลเตอร์จะทำหน้าที่กำจัดสัญญาณ AC ออกไป เพื่อเหลือแต่แรงดัน DC ไปควบคุมความถี่ของ VCO

พิจารณาการทำงานโดยรวมของ เฟสล็อกลูป อันดับแรก สมมติให้ความถี่เชิงมุม ω_1 ของสัญญาณอินพุท $U_1(t)$ เท่ากับความถี่กลาง ω_0 ในสภาวะนี้ VCO จะทำงานโดยผลิตความถี่ที่ความถี่กลางของมัน และจะเห็นว่าความต่างเฟส θ_e เท่ากับศูนย์ สัญญาณเอาท์พุท $U_d(t)$ ของเฟสดีเทคเตอร์จะเป็นศูนย์ด้วย ดังนั้นสัญญาณเอาท์พุทของลูปฟิลเตอร์ U_f จะเท่ากับศูนย์ ซึ่งสภาวะที่ความถี่อินพุท ω_1 เท่ากับความถี่กลางของมัน VCO นี้จะเป็นเงื่อนไขที่ทำให้ VCO ผลิตความถี่ที่ความถี่กลางของ VCO



ทรานเซี้ยนของเฟสล็อคลูปอันเนื่องมาจากการเปลี่ยนแปลงความถี่ของสัญญาณอ้างอิง

(a) สัญญาณอ้างอิง

(b) สัญญาณเอาท์พุท $U_1(t)$ ของ VCO

(c) สัญญาณ $U_d(t)$ ซึ่งเป็นฟังก์ชั่นของเวลา

(d) ความถี่เชิงมุม ω_2 ของ VCO ซึ่งเป็นฟังก์ชั่นของเวลา

(e) ความถี่เชิงมุม ω_1 ของสัญญาณอ้างอิง $U_1(t)$

า ซึ่งทำหน้าที่กรองเอาเฉพาะสัญญาณ
ปฟิลเตอร์ชนิดพาสซีฟ (มีแต่ R กับ C
ลูปฟิลเตอร์นี้เป็นตัวกำหนดคุณสมบัติ
สมบัติชั่วครู่ (Transient) ถ้าเลือกอัตรา
constant) ไม่เหมาะสม ความถี่ของเฟส

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สมมติให้ในสภาวะเริ่มต้นความต่างเฟส θ_e ไม่เท่ากับศูนย์ สัญญาณเอาท์พุทของเฟสดีเทคเตอร์ $U_d(t)$ ก็จะไม่เท่ากับศูนย์ หลังจากช่วงเวลาหนึ่ง สัญญาณเอาท์พุทของลูปฟิลเตอร์ก็จะมีค่าหนึ่งๆ (ที่ไม่เท่ากับศูนย์) ทำให้ VCO ผลิตความถี่ขึ้นมาค่าหนึ่ง ซึ่งในที่สุดจะทำให้ความเฟส θ_e เท่ากับศูนย์

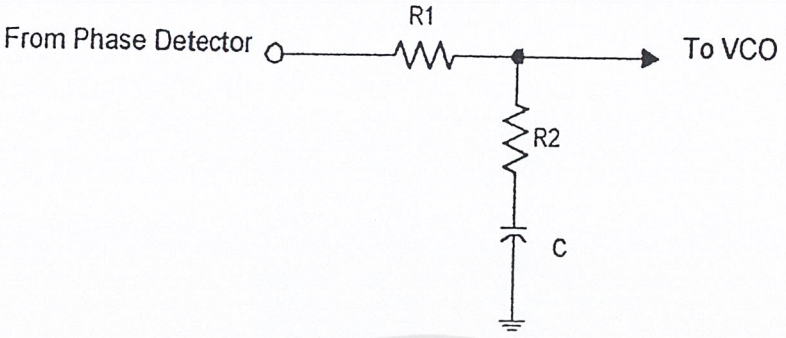
ต่อไปสมมติให้ความถี่ของสัญญาณอินพุทเปลี่ยนแปลงอย่างทันทีทันใดที่เวลา t_0 เป็นจำนวน $\Delta\omega$ ดังแสดงในรูปที่ 2.5 ซึ่งจะทำให้เฟสของสัญญาณอินพุทเริ่มจะนำ (leading) เฟสของสัญญาณเอาท์พุท และทำให้เกิดความต่างเฟสขึ้นและเพิ่มขึ้นตามเวลา ทำให้สัญญาณเอาท์พุท $U_d(t)$ ของเฟสดีเทคเตอร์เพิ่มขึ้นตามเวลาด้วย หลังจากช่วงเวลาหนึ่งที่กำหนดโดยลูปฟิลเตอร์ สัญญาณเอาท์พุท $U_f(t)$ ของลูปฟิลเตอร์ก็จะเพิ่มขึ้นและมีผลทำให้ VCO ผลิตความถี่ที่สูงขึ้นซึ่งจะทำให้ความต่างเฟสมีค่าน้อยลง หลังจากช่วงเวลาหนึ่ง VCO ก็จะผลิตความถี่ที่เท่ากับความถี่ของสัญญาณอินพุท ค่าความต่างเฟสในสภาวะ จะมีค่าเท่ากับศูนย์หรือค่าใดค่าหนึ่ง ขึ้นอยู่กับชนิดของลูปฟิลเตอร์ที่ใช้

จะเห็นว่าในขณะนี้ VCO จะผลิตความถี่ซึ่งมากกว่าความถี่กลาง ω_0 ของ VCO เป็นจำนวน $\Delta\omega$ ซึ่งจะทำให้สุดท้ายสัญญาณ $U_f(t)$ มีค่า $U_f = \Delta\omega/K_0$ ถ้าความถี่กลางของสัญญาณอินพุทถูกมอดดูเลททางความถี่ (FM) โดยสัญญาณความถี่ต่ำใดๆแล้ว สัญญาณเอาท์พุทของลูปฟิลเตอร์จะเป็นสัญญาณที่ถูกดีมอดดูเลทแล้ว (demodulated signal) ดังนั้นเราอาจใช้เฟสล็อคลูปเป็น FM ดีเทคเตอร์ได้ การพิจารณาอย่างง่ายๆ ที่ผ่านมานี้ แสดงให้เห็นว่า เฟสล็อคลูปไม่มีอะไรซับซ้อน เป็นแพียงแต่ระบบเซอร์โว (servo system) ซึ่งควบคุมเฟสของสัญญาณเอาท์พุท $U_f(t)$

ดังได้แสดงมาแล้วในรูปที่ 2.5 เฟสล็อคลูปจะทำให้เฟสของสัญญาณเอาท์พุทเท่ากับเฟสของสัญญาณอินพุทเสมอ ระบบนี้จะล็อคอยู่ตลอดเวลา อย่างไรก็ตามในบางกรณีที่ความถี่ของสัญญาณอินพุทเปลี่ยนแปลงไปมากอย่างทันทีทันใด อาจจะทำให้ระบบไม่ล็อคก็ได้ ซึ่งกลไกภายในของเฟสล็อคลูปจะพยายามกลับมาอยู่ที่สภาวะล็อคอีกครั้ง แต่จะล็อคได้หรือไม่นั้น ก็ขึ้นกับองค์ประกอบอย่างอื่นอีกด้วย

ลูปฟิลเตอร์ เป็นวงจรชนิดโลพาสธรรมดา ซึ่งทำหน้าที่กรองเอาเฉพาะสัญญาณความถี่ต่ำมาควบคุมความถี่ของ VCO โดยทั่วไปมักใช้ลูปฟิลเตอร์ชนิดพาสซีฟ (มีแต่ R กับ C หรืออาจใช้ฟิลเตอร์ชนิดแอคทิฟก็ได้) ดังแสดงในรูปที่ 2.8 ลูปฟิลเตอร์นี้เป็นตัวกำหนดคุณสมบัติการเปลี่ยนแปลงความถี่ก่อนเข้าสู่สภาวะล็อคที่เรียกว่าคุณสมบัติชั่วครู่ (Transient) ถ้าเลือกอัตราขยายลูป (Loop gain) และค่าคงตัวเวลาของลูป (Loop time constant) ไม่เหมาะสม ความถี่ของเฟสล็อคลูปจะไม่ล็อคและจะเปลี่ยนไปเปลี่ยนมา

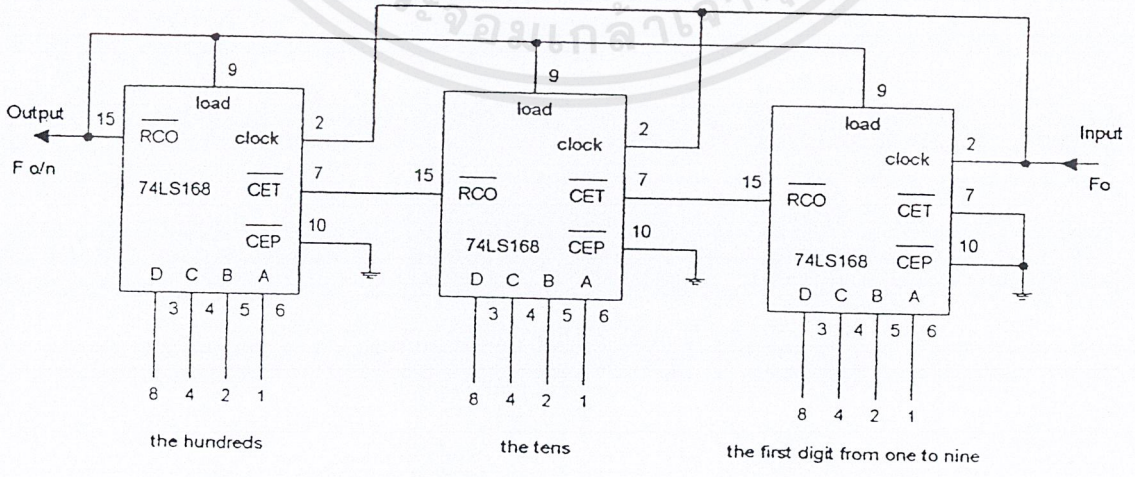
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.6 แสดงตัวอย่างลูปฟิลเตอร์

ยังมีอีกภาคหนึ่งที่มีผลต่อช่วงเวลาที่ใช้ในการล็อคความถี่ นั่นก็คือ ภาคหาร N (หรือ Programmable divider) เวลาที่ใช้ในการล็อคความถี่เมื่อ N มีค่าน้อยสุดจะไม่เท่ากับเมื่อ N มีค่ามากที่สุด วงจรหาร N เกิดจากวงจรนับฐานสิบ (Decade counter) หลาย ๆ ชุดมาต่อร่วมกับเกทต่าง ๆ เพื่อให้สามารถเลือกสั่งให้วงจรนับทำหน้าที่หารความถี่ได้ตามตัวเลขที่ตั้งไว้

วงจรหาร N นี้เป็นตัวที่รับคำสั่งเกี่ยวกับความถี่ไปควบคุม VCO เพื่อให้กำเนิดสัญญาณตามที่ต้องการ ตัว N จะเป็นตัวที่กำหนดย่านความถี่และจำนวนช่องของความถี่ ในวงจร รูปที่2.7 แสดวงจรหารชนิดที่ใช้ไอซีตระกูล TTL



รูปที่ 2.7 แสดงผัง Programmable divider โดยใช้ IC ตระกูล TTL

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

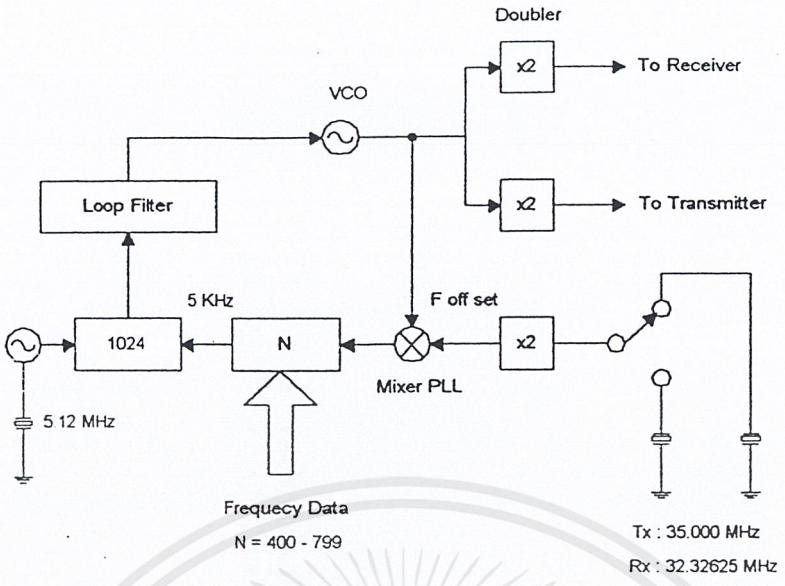
วงจรหาร N บางชนิดใช้วิธีป้อนข้อมูล N เป็นแบบอนุกรม (Serial) วงจรหารประเภทนี้จะมีความซับซ้อน เพราะต้องมีสัญญาณนาฬิกา (Clock) มีวงจรแลทช์ (Latch) ฯลฯ ในการป้อนข้อมูล วงจรหาร N ประเภทนี้จะถูกควบคุมการทำงานด้วยไมโครคอมพิวเตอร์

ปัญหาสำคัญของวงจรสังเคราะห์ความถี่อีกอย่างหนึ่งก็คือ วงจรหาร N (หรือวงจรหารที่ตั้งโปรแกรมได้) ไม่สามารถทำงานที่ความถี่สูงกว่า 25 MHz ได้ ฉะนั้นเราจึงต้องหาทางลดทอนความถี่ที่ป้อนแก่วงจรหาร N ลง เพื่อให้วงจรโลจิกของวงจรหาร N ทำงานได้ วิธีต่าง ๆ ที่นิยมได้แก่ ใช้ความถี่จากออสซิลเลเตอร์พิเศษ (บางครั้งเรียกว่าออสซิลเลเตอร์ PLL) มามิกซ์กับ VCO ให้ความถี่ลดลงก่อนที่จะป้อนให้แก่วงจรหาร อีกวิธีหนึ่งก็คือ ใช้วิธีพรีสเกลแบบสองโมดูลัสหารล่วงหน้าโดยใช้ตัวหาร 2 ค่า

2.4 วิธีสังเคราะห์ความถี่แบบมิกซิ่ง

วิธีสังเคราะห์ความถี่แบบมิกซิ่งนี้จะแตกต่างจากเฟสล็อคลูปหาร N แบบที่กล่าวมาแล้วตรงที่เอาท์พุทของ VCO ผ่านการผสมหรือมิกซ์กับสัญญาณจากออสซิลเลเตอร์ ก่อนที่จะป้อนให้วงจรหาร N รูปที่ 2.8 แสดงแผนผังของระบบสังเคราะห์ความถี่ของเครื่องรับส่งวิทยุระยะย่าน 2 เมตร ความถี่ของ VCO ในสภาวะรับกับสภาวะส่งจะไม่เท่ากัน (เพราะเลื่อนความถี่ให้ห่างกันเท่ากับ IF) VCO จะทำงานในย่านความถี่ 72 MHz แล้วทวีคูณ 2 เท่าทั้งสภาวะรับและสภาวะส่งเป็นความถี่ระหว่าง 144 ถึง 148 MHz ซึ่งจะตรงกับความถี่ของ VCO สภาวะส่งคือ 72 ถึง 74 MHz และ VCO ในสภาวะรับ 66.6525 ถึง 68.6525 MHz (ใช้ป้อนด้านต่ำ โดยมี IF เท่ากับ 10.695 MHz) จะสังเกตว่า VCO จะมิกซ์กับ PLL ออสซิลเลเตอร์ซึ่งทวีคูณความถี่ด้วยวงจรทวีคูณความถี่ 2 เท่าทำให้ความถี่ถูกลดทอนลงเป็น 2 และ 4 MHz ย่านความถี่นี้บางทีเรียกว่าเป็นความถี่ IF ของ PLL (นิยมเรียก PLL-IF) จากนั้นจะป้อนเข้าสู่วงจรหาร N โดย N มีค่าระหว่าง 400 ถึง 799 MHz เหตุผลสำคัญที่เราต้องลดทอนความถี่ VCO ลงมาเป็นความถี่ PLL-IF ก็เพื่อทำให้วงจรหาร N ทำงานในย่านความถี่ต่ำลงมาได้ ความถี่อ้างอิงกำเนิดจากแร่บังคับความถี่ 5.12 MHz แล้วหารด้วย 1,024 เป็น 5 KHz ซึ่งเมื่อ VCO ถูกทวีคูณ 2 เท่าแรโซลูชั่นจะกลายเป็นขั้นละ 10 KHz ความถี่อ้างอิงกับความถี่เอาท์พุทของวงจรหาร N จะเทียบเฟสกันแล้วป้อนไปยังลูปฟิลเตอร์และ VCO ตามลำดับ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.8 แสดงหน่วยสังเคราะห์ความถี่แบบมิกซิ่งสำหรับเครื่องรับส่งวิทยุย่าน 2 เมตร (ความถี่ย่าน 150 MHz)

จากแผนผังในรูปที่ 2.8 จะเห็นว่าค่าของ N ที่ป้อนให้แก่วงจรหาร N ในสภาวะรับและสภาวะส่งมีค่าเท่าเดิม แต่ความถี่ของ VCO เปลี่ยนไปได้เพราะความถี่ของ PLL ออสซิลเลเตอร์เปลี่ยน (ด้วยวงจรอิเล็กทรอนิกส์สวิทช์) โดยทำให้ VCO เลื่อนความถี่ไป 5.3475 MHz (คือ IF 10.695 MHz หารด้วย 2) การที่ VCO ต้องเปลี่ยนความถี่จากสภาวะรับเป็นสภาวะส่ง (หรือกลับกัน) นั้นเฟสล็อคลูปจะต้องล็อคความถี่ใหม่ ฉะนั้นการออกแบบวงจรจึงต้องคำนึงถึงคุณลักษณะการล็อคความถี่ด้วย

สำหรับวงจรในรูปที่ 2.9 เป็นวงจรในทางปฏิบัติ ซึ่งใกล้เคียงกับหน่วยสังเคราะห์ความถี่ในรูปที่ 2.8 เพื่อทำการเปรียบเทียบและทำความเข้าใจหลักการที่สำคัญต่าง ๆ ในกรณีสังเคราะห์ความถี่แบบมิกซิ่งนั้นความถี่เอาต์พุตจะเลื่อนไปเท่ากับความถี่ที่ผสม (ในที่นี้คือ 35 * 2 = 70 MHz และ 32.32625 * 2 = 64.6525 MHz เรียกความถี่ที่เลื่อนไปนี้ว่า ความถี่ออฟเซท)

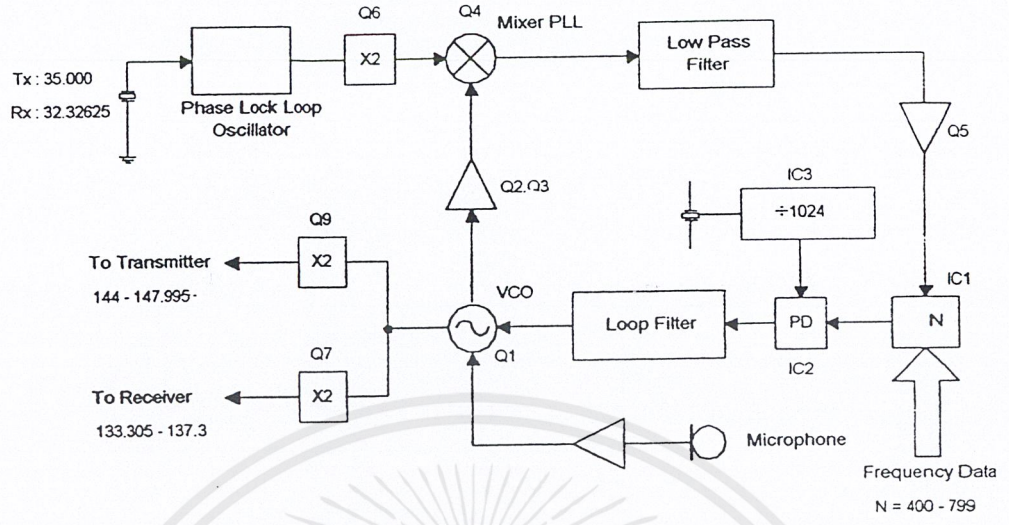
เราจะได้ความสำคัญดังนี้

$$F_O = F_{offset} + NF_{ref} \qquad (2.4)$$

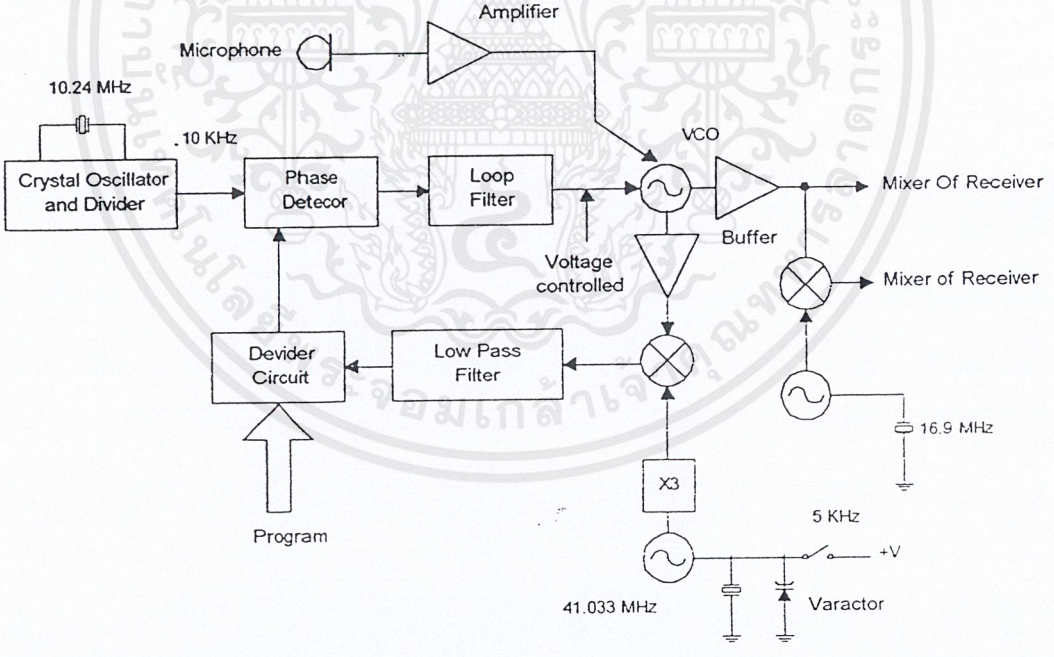
คำนวณจาก

$(F_o - F_{offset})/N = F_{ref}$ ที่วงจรเทียบเฟส

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.9 แสดงตัวอย่างแผนผังของหน่วยสังเคราะห์ความถี่ในทางปฏิบัติ



รูปที่ 2.10 หน่วยสังเคราะห์ความถี่แบบมิกซิ่ง ที่ใช้แร่เพียงตัวเดียวเพื่อเลื่อนความถี่ระหว่างสภาวะรับกับสภาวะส่ง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การมอดูเลทนิยมทำที่เฟสล็อคลูป บางวงจรอาจจะมีวาริแคปอีกตัวหนึ่งเพื่อใช้ในการมอดูเลทโดยเฉพาะ ตัวอย่างของการสังเคราะห์ความถี่แบบมิกซิ่งอีกตัวอย่างหนึ่ง ดังแสดงในรูปที่ 2.10 ก็จะคล้ายคลึงกับตัวอย่างแรก (ดูรูปที่ 2.8) เว้นแต่ว่าใช้แร่บังคับความถี่เพียงตัวเดียวในการมิกซ์กับสัญญาณจาก VCO ที่มิกซ์เซอร์ภาคส่งเพื่อส่งออกอากาศสำหรับในกรณีของการรับส่งผ่านรีพีทเตอร์ซึ่งความถี่เลื่อนไป $\pm$ 600 KHz ทำได้โดยการป้อนข้อมูล N ตัวใหม่จากไมโครคอมพิวเตอร์ให้แก่วงจรหาร N จะเห็นว่าวงจรสังเคราะห์ความถี่จะต้องเสียเวลาในการล็อคความถี่ที่เลื่อนไป 600 KHz เวลาที่ใช้ในการล็อคความถี่เมื่อเลื่อนความถี่ไปน้อย ๆ เช่นนี้ จำเป็นที่จะต้องมีความแน่นอนและรวดเร็วเพียงพอ

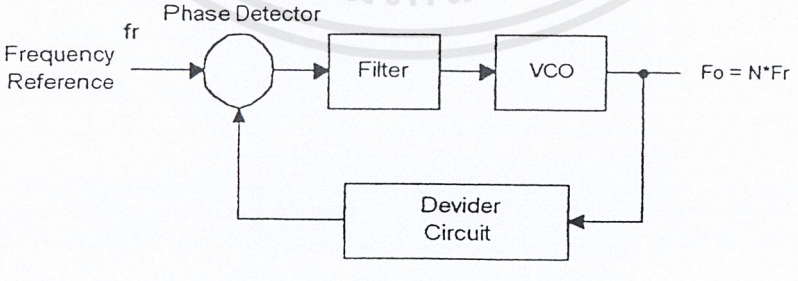
ข้อเสียของระบบนี้ก็คือ การเลื่อนความถี่ยุ่งยากและต้องคำนวณตัวเลขที่ซับซ้อนขึ้น แต่โดยทั่วไปแล้วเครื่องรับส่งวิทยุที่ควบคุมด้วยไมโครคอมพิวเตอร์ เราจะต้องใช้ตัวคอมพิวเตอร์เป็นตัวป้อนข้อมูลเพื่อเปลี่ยนแปลงความถี่ของภาคสังคราะห์ความถี่เอง

2.5 เทคนิคของการสังเคราะห์ความถี่

การสังเคราะห์ความถี่มีอยู่หลายแบบ ตัวอย่างที่จะกล่าวถึงต่อไปนี้เป็นหน่วยสังเคราะห์ความถี่ ซึ่งมีขั้นตอนการตั้งความถี่ขั้นละ f_r เท่ากับความถี่อ้างอิง

PLL แบบโดยตรง

วิธีการสังเคราะห์ความถี่วิธีการนี้จะใช้ PLL โดยตรง นับว่าเป็นวิธีที่ง่าย ความถี่เอาท์พุทมีค่าเป็น N เท่าของความถี่อ้างอิง (ดูรูปที่ 2.11) ในที่นี้ VCO ต้องสามารถทำงานได้ตลอดย่านความถี่เอาท์พุท ความถี่อาจจะขึ้นไปได้ถึง 200 MHz. อย่างไรก็ดี วงจรนับที่โปรแกรมตัวหาร N นั้นมีราคาแพงเราจึงจำเป็นที่จะต้องปรับปรุงวิธีสังเคราะห์ความถี่เป็นแบบอื่น



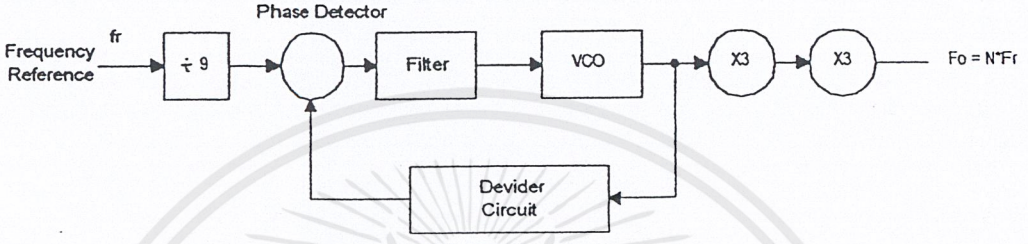
รูปที่ 2.11 แสดง PLL แบบโดยตรง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สำนักหอสมุดกลาง พระจอมเกล้าลาดกระบัง

PLL แบบคูณความถี่

จะสังเกตเห็นว่าในรูปที่ 2.12 เราทำการหารความถี่อ้างอิง f_r ลง 9 เท่า ก่อนที่จะป้อนให้แก่วงจรเฟสดีเทกเตอร์ และเอาท์พุทจาก VCO ก็คูณความถี่ขึ้นไป 9 เท่า วิธีนี้จะช่วยลดความถี่การทำงานของวงจรหาร N ลง แต่ก็ทำให้ผลตอบสนองต่อการเปลี่ยนแปลงความถี่ที่ใช้ในการเทียบเฟสต่ำลง

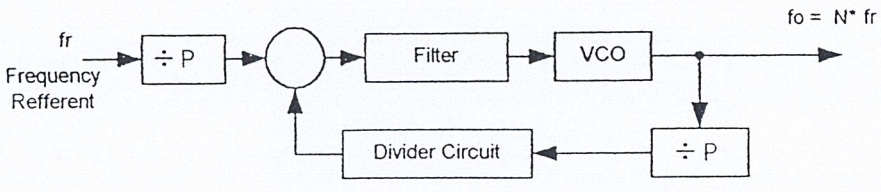


รูปที่ 2.12 แสดง PLL แบบคูณความถี่

PLL แบบพรีสเกลเลอร์

PLL ในรูปที่ 2.13 ใช้วิธีการหารความถี่อ้างอิง f_r ลง P เท่า ก่อนที่จะป้อนให้แก่วงจรเฟสดีเทกเตอร์ และใช้วิธีการคูณความถี่ขึ้นไป P เท่าภายในลูป แทนที่จะคูณความถี่ภายนอกลูปดังเช่น PLL แบบคูณความถี่ วงจร VCO ในกรณีนี้ต้องทำงานขึ้นไปถึงความถี่ใช้งาน โดยไม่ต้องมีวงจรมัลติพลาย

วงจรนับหาร P เป็นชุดวงจรฟลิปฟลอปธรรมดา ซึ่งตัวหารกำหนดไว้คายตัวละสามารถทำงานที่ความถี่สูงได้ เราเรียกว่า วงจรพรีสเกลเลอร์ ส่วนวงจรนับหาร N ซึ่งโปรแกรมตัวหารได้นั้นทำงานที่ความถี่ต่ำลงเช่นเดียวกับ PLL ในรูปที่ 2.12

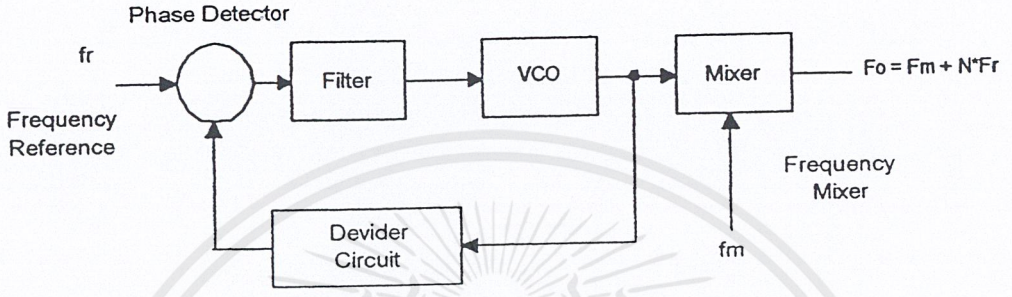


รูปที่ 2.13 แสดง PLL แบบพรีสเกลเลอร์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้
46222

PLL แบบมิกซิ่งนอกลูป

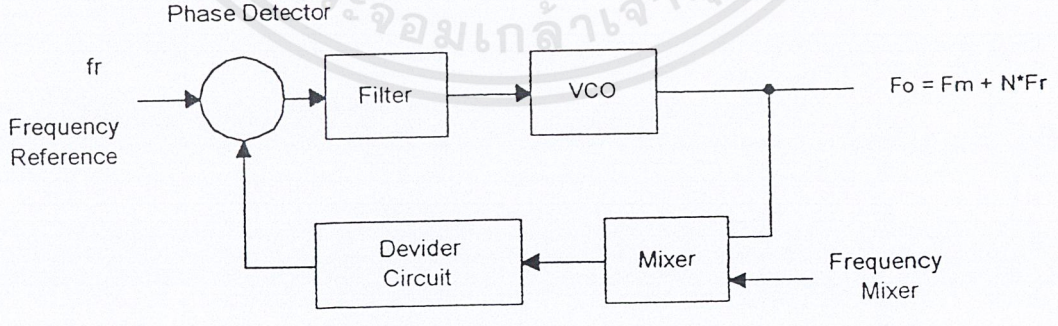
PLL ในรูปที่ 2.14 อาศัยความถี่อีกความถี่หนึ่งเพื่อผสม (มิกซ์) กับความถี่ VCO ให้เอาท์พุทของ PLL มีค่าความถี่ที่สูงขึ้น ในที่นี้เราปรับชั้นความถี่ได้ชั้นละ f_r เท่ากับความถี่อ้างอิง และความถี่เอาท์พุทเท่ากับผลรวมความถี่ที่นำมามิกซ์กับความถี่จาก VCO



รูปที่ 2.14 แสดง PLL แบบมิกซิ่งนอกลูป

PLL แบบมิกซิ่งในลูป

PLL ในรูปที่ 2.15 เป็นการมิกซ์อีกแบบหนึ่ง ซึ่งได้นำการมิกซ์มาไว้ในลูป สัญญาณจาก VCO และความถี่มิกซ์ f_m จะบีตกันได้ความถี่ต่ำลง แล้วจึงป้อนเข้าสู่วงจรนับหาร N ความถี่เอาท์พุทเท่ากับผลรวมของความถี่ที่นำมามิกซ์ f_m กับความถี่ VCO เช่นเดียวกับในรูปที่ 2.16



รูปที่ 2.15 แสดง PLL แบบมิกซิ่งในลูป

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.6 ระบบสังเคราะห์ความถี่ในเครื่องรับส่งวิทยุ

ข้อดีที่เห็นได้ชัดของระบบสังเคราะห์ความถี่ก็คือ ทำให้จำนวนช่องใช้งานเพิ่มขึ้น มหาศาลซึ่งเครื่องรับส่งในสมัยก่อนมีจำนวนช่องใช้งานเพียงไม่กี่ช่อง แต่เครื่องรับส่งรุ่นใหม่มีจำนวนช่องใช้งานได้นับร้อยช่อง ทำให้สามารถเลือกใช้ความถี่ได้หลายความถี่ และเปลี่ยนความถี่ได้สะดวก

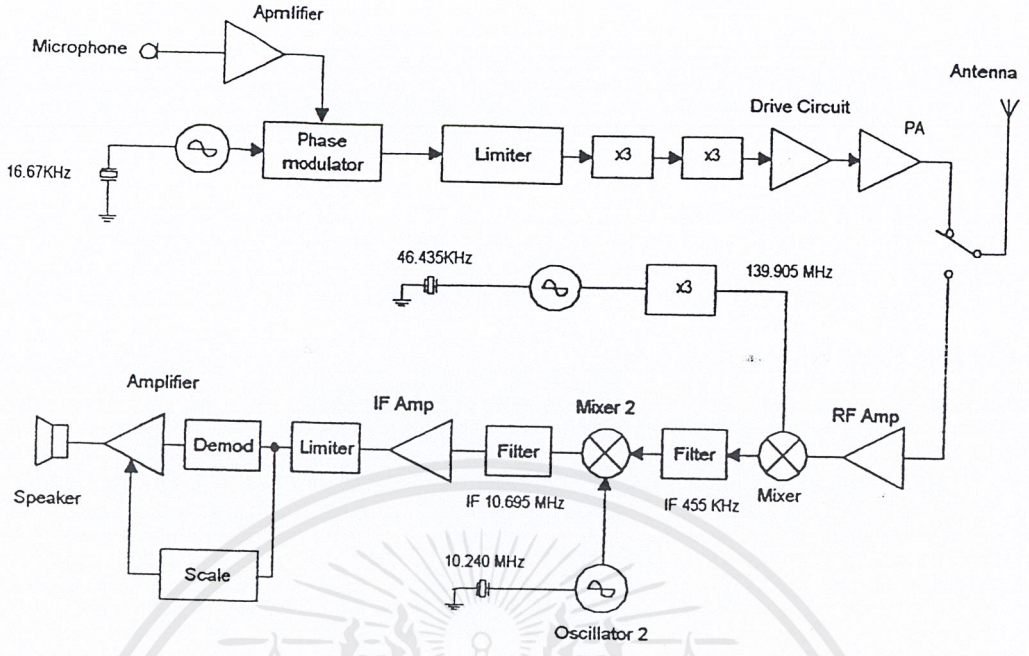
สำหรับเครื่องรับส่งวิทยุที่ใช้แร่บังคับความถี่นั้น หากทำการเพิ่มจำนวนช่องใช้งานจะต้องใช้แร่เพิ่มเติมอีกหลายก้อน และเมื่อเปลี่ยนความถี่ก็ต้องเปลี่ยนแร่ใหม่ทำให้ไม่คล่องตัวในการใช้งาน

นอกจากนี้ระบบสังเคราะห์ความถี่ เป็นระบบที่ผสมเอาวงจรดิจิตอลมาใช้งานด้วย จึงทำให้การใช้งานเครื่องรับส่งวิทยุยิ่งสะดวกขึ้นไปอีก เพราะเมื่อเอาไมโครคอมพิวเตอร์มาต่อร่วมกับวงจรสังเคราะห์ความถี่เพื่อควบคุมการทำงานของวงจรสังเคราะห์ความถี่แล้ว ยิ่งทำให้เครื่องรับส่งวิทยุมีความสามารถต่างๆเพิ่มขึ้นมากมาย เช่น มีหน่วยความจำ (Memmory) สามารถสแกนความถี่ได้ ฯลฯ

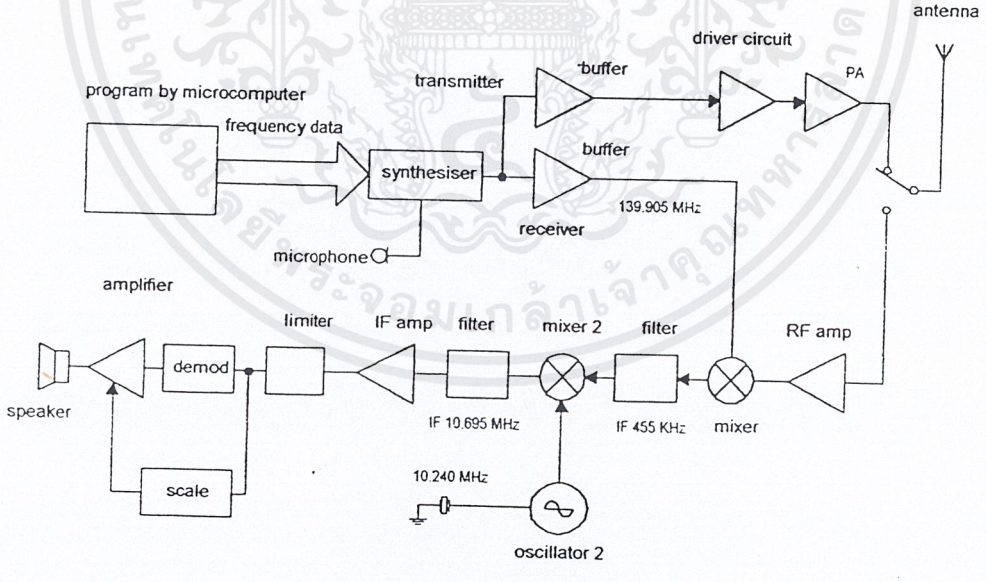
การตั้งความถี่ภายในเครื่องได้แก่ การตั้งโปรแกรมโดยใช้ไดโอดหรือจัมเปอร์ หรือใช้หน่วยความจำ เช่น ROM , EPROM , RAM หรืออุปกรณ์อื่นๆแทน

ลองเปรียบเทียบระหว่างแผนผังของเครื่องรับส่งวิทยุ VHF/FM ชนิดใช้แร่บังคับความถี่ กับชนิดที่ใช้แร่สังเคราะห์ความถี่ในรูปที่ 2.16 จะเห็นว่าทั้งสองชนิดจะมีความแตกต่างกันก็ตรงที่ภาคออสซิลเลเตอร์เป็นส่วนใหญ่นั่นคือหน่วยออสซิเลเตอร์ทั้งภาครับและส่ง (ของชนิดสังเคราะห์ความถี่) กลายเป็นหน่วยสังเคราะห์ความถี่ ซึ่งสามารถรับคำสั่งหรือโปรแกรมได้จากภายนอก โดยหน่วยสังเคราะห์ความถี่ทำหน้าที่ผลิตสัญญาณป้อนไปให้ทั้งภาครับและภาคส่งแทน ขอให้สังเกตดูว่าในสภาวะส่งในรูปที่ 2.16 (a) สัญญาณก่อนที่จะป้อนให้แก่ภาคขยายภาคสุดท้าย (ขยายกำลัง) จะต้องเป็นสัญญาณความถี่ที่ต้องการเหมือนกันคือ 150 MHz และในสภาวะรับดังแสดงในรูปที่ 2.16 (b) ก็เช่นเดียวกัน สัญญาณป้อนหรืออินเจ็กชั่น (Injection) เข้าที่มิกเซอร์ก็จะต้องเป็นสัญญาณความถี่เดียวกันคือ 139.905 MHz เพื่อบีทให้เกิด IF เหมือนๆกัน นอกจากนี้การมอดดูเลทสัญญาณ FM (ในกรณีสังเคราะห์ความถี่) ก็สามารถกระทำได้ที่วงจร VCO ของภาคสังเคราะห์ความถี่ได้เลย

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



(a) แสดงตัวอย่างแผนผังของเครื่องรับส่งวิทยุที่ใช้แร่บังคับความถี่



(b) แสดงตัวอย่างแผนผังของเครื่องรับส่งวิทยุที่ใช้ระบบสังเคราะห์ความถี่

รูปที่ 2.16

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.7 คุณสมบัติของวงจรสังเคราะห์ความถี่

นอกจากวงจรสังเคราะห์ความถี่จะต้องมีคุณสมบัติที่เกี่ยวกับช่วงความถี่ (Frequency range) ที่ต้องผลิตและเรโซลูชั่นระหว่างขั้นแล้ว คุณสมบัติอื่น ๆ ของวงจรสังเคราะห์ความถี่ก็มีความสำคัญสำหรับเครื่องรับส่งวิทยุอีกด้วย ดังจะได้อธิบายต่อไปนี้

โดยปกติวงจรสังเคราะห์ความถี่จะสามารถกำเนิดสัญญาณเพียงสัญญาณเดียว แต่เลือกความถี่ได้หลายค่า (ในช่วงความถี่ที่ใช้งาน) และมีความละเอียดของความถี่ขึ้นอยู่กับเรโซลูชั่น ในกรณีที่เราเปลี่ยนความถี่จากค่าหนึ่งไปยังอีกค่าหนึ่ง วงจรสังเคราะห์ความถี่จะต้องเปลี่ยนได้เร็วตามทันที หรือจะกล่าวได้อีกอย่างหนึ่งก็คือ ล็อคค่าของความถี่ได้ในเวลาอันรวดเร็ว นั่นคือ ช่วงเวลาล็อค (Lock-up time) สั้น คุณสมบัติการล็อคความถี่ใหม่ได้รวดเร็วนั้นมีความจำเป็นอย่างยิ่งสำหรับเครื่องรับส่งวิทยุ โดยเฉพาะในระหว่างการเปลี่ยนจากสภาวะส่ง (รับ) มาเป็นสภาวะรับ (ส่ง) หรือในกรณีสแกนความถี่

วงจรสังเคราะห์ความถี่ที่ดีจะต้องผลิตสัญญาณความถี่เดียว โดยปราศจากความถี่แปลกปลอมต่าง ๆ คุณสมบัตินี้เรียกว่า ความบริสุทธิ์ของเสปกตรัม (Spectrum purity) นั่นคือความถี่ฮาร์โมนิคส์และสปิวเรียสต่าง ๆ จะต้องถูกกำจัดให้เหลือน้อยที่สุด นอกจากนี้นอยส์จากวงจรออสซิลเลเตอร์จะทำให้วงจรสังเคราะห์ความถี่มีความถี่ไม่บริสุทธิ์ ไม่ใช่เพียงความถี่เดียว ในช่วงใกล้เคียงกับความถี่ที่ต้องการ นอยส์ดังกล่าวนี้จะเรียกว่า เฟสนอยส์ (Phase noise)

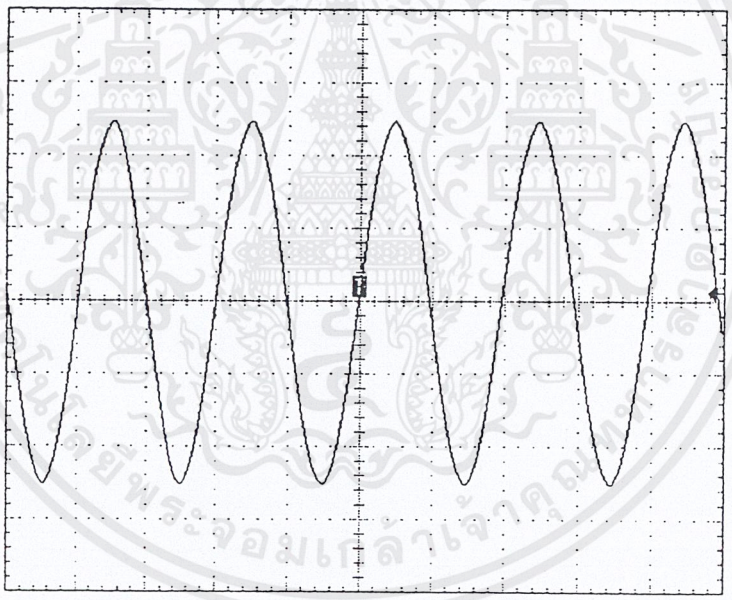
ความเที่ยงตรง (Accuracy) และเสถียรภาพ (Stability) ทางความถี่ของวงจรสังเคราะห์ความถี่จะขึ้นอยู่กับสัญญาณอ้างอิง โดยทั่วไปสัญญาณอ้างอิงมักจะเป็นวงจรออสซิลเลเตอร์ชนิดที่ใช้แร่บังคับความถี่ฉะนั้นวงจรสังเคราะห์ความถี่จะมีเสถียรภาพและความเที่ยงตรงเทียบเท่ากับคริสตอลออสซิลเลเตอร์

วงจรสังเคราะห์ความถี่ที่ใช้กับเครื่องรับส่งวิทยุในย่านความถี่ HF (3 ถึง 30 MHz) ค่อนข้างที่จะมีความซับซ้อน เพราะการใช้งานในย่านความถี่นี้ เราต้องการเรโซลูชั่นที่ละเอียดถึง 100 Hz เป็นอย่างน้อย บางเครื่องสามารถทำได้ถึง 10 Hz นอกจากนี้ช่วงความถี่ 3 ถึง 30 MHz ค่อนข้างที่จะกว้างมาก ๆ วงจรสังเคราะห์ความถี่ที่ครอบคลุมช่วงความถี่ที่กว้าง ๆ และมีเรโซลูชั่นที่ละเอียดเช่นนี้ จะต้องถูกออกแบบเป็นกรณีพิเศษเพื่อให้มีคุณสมบัตินอยส์ที่ดี และช่วงเวลาล็อคที่สั้นรวดเร็ว โดยทั่วไปอัตราส่วนของความถี่สูงสุดและต่ำสุดระหว่างช่วงความถี่ที่ใช้งานจะมีค่าความถี่ไม่เกิน 2 เท่าในกรณีที่มีอัตราส่วนเกิน 2 เท่า เราต้องใช้วงจร VCO หลายชุดแล้วมีสวิตช์เลือกเพื่อป้องกันการล็อคความถี่ฮาร์โมนิคส์ และเพื่อให้ได้คุณสมบัตินอยส์ที่ดีสำหรับช่วงเวลาล็อคที่รวดเร็วนั้น เราทำได้โดยการใช้ลูปซ้อนกันหลาย ๆ ลูป (Multi loop)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 3
ออสซิลเลเตอร์

วงจรออสซิลเลเตอร์เป็นวงจรชนิดหนึ่งที่ใช้ทรานซิสเตอร์หรือหลอดสุญญากาศในการให้กำเนิดสัญญาณไฟสลับขึ้นมาที่เอาท์พุท โดยพื้นฐานแล้ววงจรออสซิลเลเตอร์ก็คือ วงจรขยายสัญญาณหรือวงจรแอมปลิไฟร์นั่นเอง แต่ข้อแตกต่างจะอยู่ที่วงจรออสซิลเลเตอร์ประกอบด้วยวงจรป้อนกลับสัญญาณจากเอาท์พุทไปยังอินพุท ซึ่งทำให้สามารถให้กำเนิดสัญญาณเอาท์พุทออกมาได้โดยไม่จำเป็นต้องมีสัญญาณป้อนเข้ามาที่อินพุทแต่อย่างใด และคุณสมบัติที่ดีของวงจรออสซิลเลเตอร์ก็คือ การให้กำเนิดสัญญาณต่อเนื่องแบบเดียวกันซ้ำ ๆ กัน เช่น การให้กำเนิดสัญญาณแรงดันไฟฟ้าหรือกระแสไฟฟ้าที่มีค่าเปลี่ยนแปลงอยู่รอบ ๆ ค่ากลางค่าหนึ่ง เช่น คลื่นไซน์ (Sine wave) ดังแสดงในรูปที่ 3.1 วงจรออสซิลเลเตอร์ที่นิยมใช้กันมากได้แก่ วงจรจูน RF ออสซิลเลเตอร์ (Tune RF Oscillator)



รูปที่ 3.1 แสดงสัญญาณคลื่นไซน์ที่เอาท์พุทของวงจรออสซิลเลเตอร์แบบจูน RF

ความถี่ออสซิลเลเตอร์

ในวงจรออสซิลเลเตอร์แบบจูน RF สัญญาณที่เอาท์พุทจะต้องมีความถี่เป็นความถี่เรโซแนนท์ของวงจร LC ซึ่ง

$$f_r = \frac{1}{2\pi\sqrt{LC}} \qquad (3.1)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ในวงจรที่มีเสถียรภาพดีๆนั้น วงจรจูนควรจะต้องมีค่า Q สูง เพื่อป้องกันการเลื่อนของความถี่สัญญาณ นอกจากนี้ทั้ง L และ C ยังจะต้องมีคุณภาพดี นั่นคือมีค่าที่คงที่แม้ว่าอุณหภูมิจะเปลี่ยนไปก็ตาม และการปรับปรุงให้แหล่งจ่ายไฟมีเอาท์พุทที่คงที่ตลอดเวลา เป็นการช่วยปรับปรุงเสถียรภาพของความถี่ได้อีกทางหนึ่ง

การป้อนกลับแบบบวก

การป้อนกลับแบบบวก หรือ Positive Feedback มีอีกชื่อหนึ่งว่า Regenerative Feedback อัตราขยายของระบบ (Gain) ที่มี Positive Feedback จะเป็นไปตามสมการที่ 3.2

$$A_{F(PFB)} = \frac{A_0}{1 - A_0F} \qquad (3.2)$$

โดย A_0 คืออัตราขยายของวงจรขยาย

F คือ Feedback Factor

สัญญาณที่ป้อนกลับ จะมีเฟสเดียวกับสัญญาณอินพุท ในลักษณะเช่นนี้จึงสรุปได้ว่าสัญญาณที่ป้อนกลับก็คือแรงดันไฟสลับที่ประกอบด้วยขั้วบวกและขั้วลบที่มีเฟสเดียวกับสัญญาณอินพุท เพราะฉะนั้นในกรณีการป้อนกลับแบบบวกก็คือ การเสริมกันของเฟสของสัญญาณที่ป้อนกลับกับสัญญาณที่อินพุทนั่นเอง เราอาจใช้ การป้อนกลับแบบบวก เพื่อเพิ่มอัตราขยายของวงจรได้ แต่ไม่นิยมกระทำกัน เนื่องจากมีความเสี่ยงในการที่วงจรหรือระบบอาจเกิด Oscillation เพราะเมื่อใดที่ Loop Gain (A_0F) มีค่าเท่ากับหรือมากกว่า 1.00 ในระบบที่มี การป้อนกลับแบบบวก จะทำให้เกิดการ Oscillation

หลักการวิเคราะห์การทำงานของออสซิลเลเตอร์

1) คำนวนค่าของอัตราการขยายของวงจรขยาย

ถ้าให้ X_o แทนสัญญาณเอาท์พุท และ X_i แทนสัญญาณอินพุท

$$A_0 = \frac{X_o}{X_i} \qquad (3.3)$$

ในการคำนวนค่าของ A_0 Feedback Network เป็นส่วนหนึ่งของโหลดของวงจรขยาย

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2) คำนวนหาค่าของ Feedback Factor

ถ้าให้ X_o แทนสัญญาณเอาท์พุท และ X_f แทนสัญญาณที่ป้อนกลับ

$$F = \frac{X_f}{X_o} \tag{3.3}$$

จากเงื่อนไขของการออสซิลเลท วงจรจะออสซิลเลทเมื่อการเลื่อนเฟสของลูปมีค่า 0 หรือ 2nπ เรเดียน หรือเกิดการป้อนกลับแบบบวก การออสซิลเลทจะเกิดขึ้นเมื่อ

$$1 - A_0F = 0$$

หรือ

$$A_0F = 1 = 1 + j0$$

นำค่า A_0 และ F จากข้อ 1) และ 2) มาคูณกัน ซึ่งจะได้ค่าของ A_0F อยู่ในรูปของจำนวนเชิงซ้อน ซึ่ง

$$A_0F = A_0F(j\omega) = Re\{A_0F\} + Im\{A_0F\} = 1 + j0$$

นั่นคือ

$$Im\{A_0F\}\Big|_{\omega=\omega_0} = 0 \tag{3.4}$$

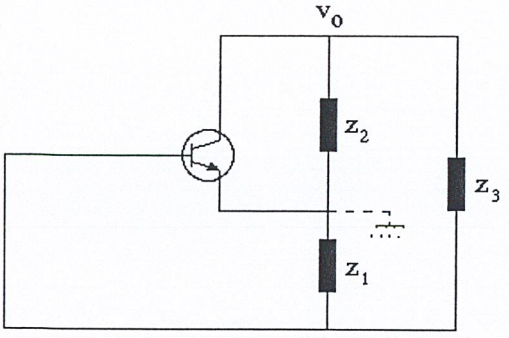
และ

$$Re\{A_0F\}\Big|_{\omega=\omega_0} = 1 \tag{3.5}$$

โดยการแก้สมการที่ 3.4 จะได้ค่า ω_0 เป็นความถี่ของการออสซิลเลท และแก้สมการที่ 3.5 จะได้ค่าอัตราการขยายต่ำสุด A_0 เพื่อให้เกิดการออสซิลเลท

3.1 หลักการพื้นฐานของ ทรานซิสเตอร์ แอล-ซี ออสซิลเลเตอร์ (Transistor LC Oscillator)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.2 แสดงการวางตัวของอุปกรณ์ Transistor LC Oscillator

Z_1, Z_2, Z_3 อาจเป็น L หรือ C หรือ LC แต่ไม่ให้ใช้ L ล้วน หรือ C ล้วน ทางออกอาจอยู่ที่ใดก็ได้ที่ไม่ใช่ขาเบสของทรานซิสเตอร์ เพราะกระแสที่ได้จะมีค่าน้อยกว่าที่ได้จากจุดอื่น และ กราวน์อาจจะอยู่ที่ใดก็ได้

ถ้าใช้อุปกรณ์เป็น L 2 ตัว จะเรียกว่า ฮาร์ทเลย์ ออสซิลเลเตอร์ (Hartley Oscillator) ซึ่งนิยมใช้ Z_1, Z_2 เป็น L ส่วน Z_3 เป็น C และมักนิยมใช้ L ในลักษณะ Tab Inductor

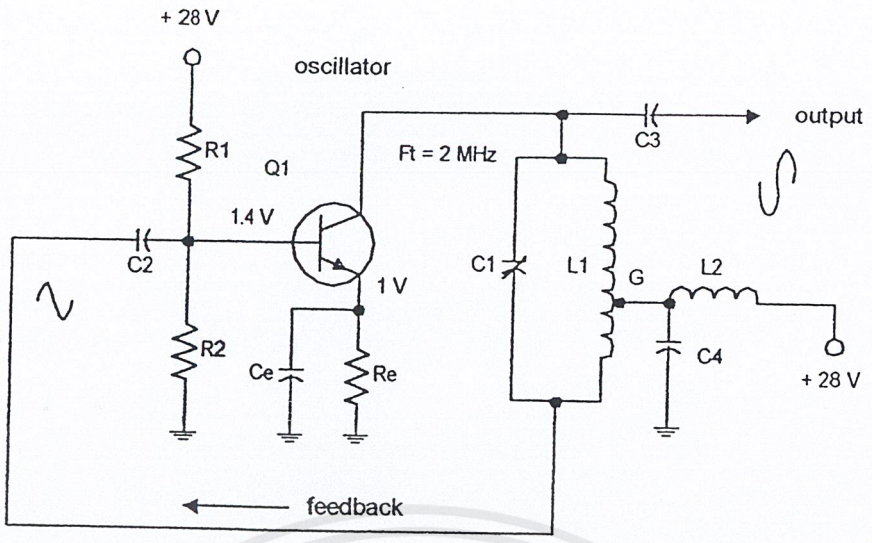
ถ้าใช้อุปกรณ์เป็น L 1 ตัว จะเรียกว่า คอลพิทส์ ออสซิลเลเตอร์ (Colpits Oscillator) ซึ่งไม่นิยมใช้ Z_1 เป็น L เพราะทำให้จัดวงจรไบอัสลำบาก และวงจรไบอัสอาจมีผลต่อความถี่ ออสซิลเลชั่น

3.2 ออสซิลเลเตอร์แบบฮาร์ทเลย์

จุดสังเกตของวงจรแบบนี้อยู่ที่วงจรจูน LC ที่มีการแท็ปคอยล์สำหรับเป็นวงจรคอยล์ป้อนกลับ แทนที่จะเป็นคอยล์ทิกเกอร์แบบแยก จากรูปที่ 3.3 C_1 และ L_1 ประกอบกันเป็นวงจรจูน การแท็ปสัญญาณจากคอยล์ L_1 ที่จุด G ก็เพื่อเป็นทางจ่ายแรงดันคอลเลคเตอร์ L_2 ในวงจรคือ RF โช๊ค (Chock) จุดแท็ปสัญญาณ G จะต่ออยู่กับกราวนด์โดยมี C_4 เป็นตัวบายพาสสัญญาณคาปาซิเตอร์เอาท์พุทของออสซิลเลเตอร์จะจ่ายออกที่ขาคอลเลคเตอร์ซึ่งมีระดับแรงดันไฟฟ้าเท่ากับ V ซึ่งเป็นความต่างศักย์ระหว่างจุด A บนคอยล์ L_1 เทียบกับจุด G ส่วนในด้านตรงกันข้ามกับจุดแท็ปแรงดันไฟสลับป้อนกลับเท่ากับ V_{BG} ซึ่งถูกคัปปลิ้งโดย C_2 ไปเข้ายังขาเบสของ Q_1 การป้อนกลับสัญญาณในลักษณะนี้จะเป็นแบบบวกเพราะจะมีความต่างเฟสกัน 180° เมื่อเทียบกับ V_{AG} ซึ่งผลลัพธ์ที่เกิดขึ้นจะก่อให้เกิดการออสซิลเลทผลิตสัญญาณไฟสลับจ่ายออกมาที่เอาท์พุทด้วยความถี่เรโซแนนซ์ของวงจร LC

พิจารณาระดับแรงดันไฟตรง V_C มีค่าเท่ากับ 28 V เพราะความต้านทานไฟตรงของคอยล์ RF ,L_1 และ L_2 มีค่าน้อยมากไม่นำมาคำนวณก็ได้ ขาอิมิตเตอร์มีแรงดันไฟไบอัสตนเองเท่ากับ 1 V จาก R_E โดยมี C_E เป็นตัวรักษาเสถียรภาพของการไบอัส แรงดันไฟฟ้าฟอร์เวิร์ด ที่ขาเบสจ่ายผ่าน R_1 R_2 ซึ่งแบ่งมาจากแหล่งจ่ายไฟ +28 V ดังนั้นค่า V_{BE} = 1.4 - 1.0 = 0.4 V ซึ่งน้อยกว่าค่าแรงดันไฟฟ้าคัทออฟ 0.5 V แต่ค่าแรงดันยอดด้านบวกของแรงดันไฟฟ้าป้อนกลับจะขับให้ขาเบสมีระดับแรงดันไฟฟ้าเป็นบวกซึ่งสามารถทำให้ Q_1 นำกระแสไฟฟ้าและวงจรเกิดการออสซิลเลทได้

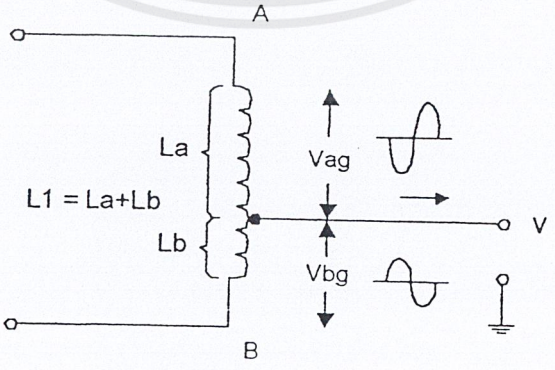
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.3 แสดงวงจรออสซิลเลเตอร์แบบฮาร์ทเลย์, แท็ปคอยล์ที่จุด L_1 เพื่อป้องกันกลับสัญญาณ

การกลับเฟสของสัญญาณด้วยแท็ปคอยล์

การแท็ปสัญญาณของ L_1 จะช่วยให้เกิดการป้อนกลับแบบบวกดังแสดงในรูปที่ 3.4 ก่อนอื่นพิจารณาส่วนของ L_1 ซึ่งแบ่งออกได้เป็นสองส่วน คือ L_A และ L_B วิเคราะห์การไหลของกระแสอิเล็กตรอนเข้าไปยังจุด A จะเห็นว่าทิศทางการไหลผ่านคอยล์ L_A ระหว่างจุด A กับจุด G แล้วไหลไปสู่แหล่งจ่ายไฟ +V ซึ่งในกรณีนี้คอยล์ L_B ไม่มีส่วนเกี่ยวข้องใด ๆ กับทิศทางการไหลของกระแส แต่อย่างไรก็ตามทั้งสองส่วนก็ต่อเนื่องกันอยู่ ดังนั้น L_B จึงเป็นตัวหม้อแปลงคัปปลิ้งสัญญาณไปสู่ L_A ได้



รูปที่ 3.4 แสดงเฟสของแรงดันไฟฟ้าในแท็ปคอยล์ L_B จะต่างเฟส 180° เมื่อเทียบกับคอยล์ L_A

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ในการแปรผันของแรงดันไฟสลับ สมมติให้ I มีค่าเพิ่มขึ้นตามกฎของเลนซ์ (Lenz law) จะได้ว่าเกิดการเหนี่ยวนำของตัวเองขึ้น (Self-inductance) เกิดแรงดันไฟฟ้า V_{AG} ซึ่งมีขั้วเป็นลบ ที่จุด A เพื่อต่อต้านการเพิ่มขึ้นของ I ยิ่งกว่านั้นแรงดันที่เหนี่ยวนำขึ้นมานี้จะส่งผลให้คอยล์ทั้งหมดมีแรงดันไฟฟ้าเป็นลบ และเนื่องจากลักษณะของการพันคอยล์เป็นแบบไปในทิศทางเดียวกัน ดังนั้นจึงมีสนามแม่เหล็กเหมือนกันตลอดทั้งคอยล์ จุด A ถือว่าเป็นจุดปลายสุดของแรงดันไฟลบที่เหนี่ยวนำขึ้นมาเมื่อเปรียบเทียบกับจุดอื่นๆหรือขดถัดมาด้านล่าง (ตามรูป) ส่วนจุด B เมื่อพิจารณาตามแรงดันไฟฟ้าที่เหนี่ยวนำขึ้นมาจุด B จะมีแรงดันไฟฟ้าเป็นบวกเมื่อเทียบกับขดถัดไปที่อยู่เหนือขึ้นไป (ตามรูป) ดังนั้นทั้งจุด A และ B จึงมีขั้วตรงกันข้ามกันเสมอเมื่อเทียบกับแท็ปนั่นคือ V_{AG} และ V_{BG} จะมีเฟสของสัญญาณต่างกัน 180° เสมอ ในขณะที่จุดหนึ่งเป็นลบมากที่สุด อีกจุดหนึ่งก็จะมีเฟสเป็นบวกมากที่สุด เนื่องจากจุดแท็ป G ต่ออยู่กับกราวนด์เพราะฉะนั้น V_{AG} และ V_{BG} จึงเป็นแรงดันสัญญาณไฟสลับที่มีขั้วตรงกันข้ามกันเสมอเมื่อเทียบกับจุดกราวนด์

3.3 ออสซิลเลเตอร์แบบคอลพิทส์

ลักษณะที่เด่นชัดของวงจรชนิดนี้ก็คือ มีคาปาซิทีฟโวลเตจดีไวเดอร์ สำหรับการป้อนกลับสัญญาณอยู่อย่างชัดเจน ดังรูปที่ 3.5 (วงจรโวลเตจดีไฟเดอร์ : คือ วงจรแบ่งแรงดันไฟฟ้าตกคร่อม ที่ใช้งานกันบ่อยได้แก่รีซีสเตอร์โวลเตจดีไวเดอร์) C_A และ C_B ประกอบกันขึ้นเป็นวงจรดีไวเดอร์อนุกรมตกคร่อมคอยล์ L_1 ในส่วนของวงจรคอลเลคเตอร์ และแรงดันไฟฟ้าที่คร่อม C_3 จะถูกป้อนกลับแบบบวกไปยังขาเบส

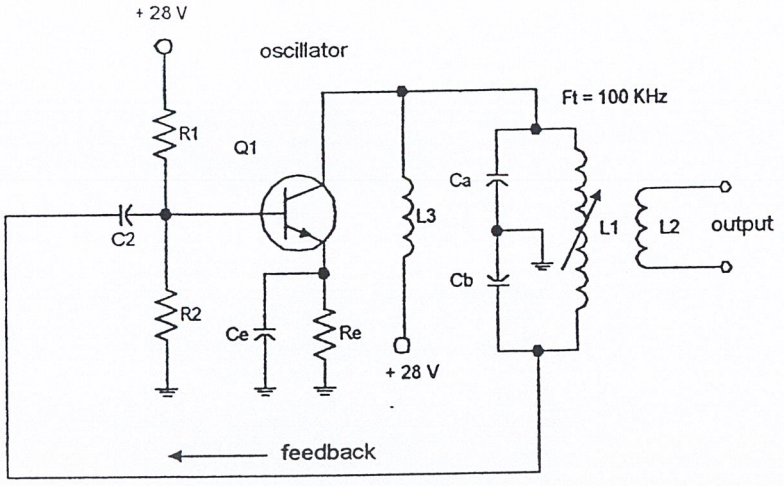
จุดต่อระหว่าง C_A และ C_B จะถูกต่อลงกราวนด์ ดังนั้นจึงเป็นเสมือนว่าวงจรคาปาซิทีฟดีไว-เดอร์นั้นเป็นวงจรเทียบเท่ากับการแท็ปคอยล์ สำหรับสัญญาณของวงจรออสซิลเลเตอร์แรงดันไฟฟ้า V_{CA} และ V_{CB} จะมีขั้วตรงข้ามกันเมื่อเทียบกับจุดกราวนด์ การป้อนกลับแบบบวกของ V_{CB} จะถูกคัปปลิ้งโดย C_2 ซึ่งในขณะเดียวกัน C_2 ก็จะทำการป้องกันสัญญาณแรงดันไฟตรงจากขาคอลเลคเตอร์ไม่ให้ผ่านไปสู่ขาเบสได้

เอาท์พุทของวงจรจะถูกคัปปลิ้งโดยคอยล์ L_2 ไปสู่วงจรภาคถัดไป วงจรดังรูปใช้การป้อนสัญญาณแบบขนานโดยสัญญาณแรงดันไฟฟ้าคอลเลคเตอร์ถูกป้อนผ่าน L_3 ซึ่ง L_3 คือ RF โช๊คซึ่งมีหน้าที่ป้องกันการลัดวงจรของสัญญาณจากวงจรออสซิลเลเตอร์ผ่านเข้าไปยังแหล่งจ่ายไฟ

จากวงจรดังรูปเนื่องจากว่าคาปาซิแตนซ์ของวงจรเรโซแนนซ์ LC ถูกแบ่งไปในวงจรออสซิลเลเตอร์ ดังนั้นกาปรับแรงดันไฟฟ้าของวงจรจึงเปลี่ยนมาใช้การปรับแต่งโดย L_1 แทน หรือมิฉะนั้นแล้ว C_A และ C_B จะต้องต่อกันแบบแก็งค์ (Ganged capacitance)

คอลพิทท์ออสซิลเลเตอร์มีการประยุกต์ใช้งานทั้งในด้านความถี่วิทยุขนาด 100 KHz ไปจนถึงย่านความถี่ VHF ที่มีแถบความถี่สูงถึง 300 MHz ได้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รปที่ 3.5 แสดงวงจรออสซิลเลเตอร์แบบคอลพิทส์ และวงจรคาปาซิทิฟโวลเตจดีไวเดอร์

3.4 คริสตอลออสซิลเลเตอร์

การผลิตออสซิสเลเตอร์ชนิดนี้มักจะใช้ ผลึกควอทซ์ (Quartz Crystal) เป็นวัตถุดิบ ในกรณีที่ต้องการความเที่ยงตรงสูงในการควบคุมความถี่ที่ความถี่รีโซแนนซ์คริสตัลมีคุณสมบัติเหมือนกับเป็นอิเลคโตรเมคคานิคคอลออสซิลเลเตอร์ที่มีคุณสมบัติเทียบเท่ากับวงจรจูน LC แต่ทว่ามีค่า Q สูงกว่า ดังนั้นจึงสามารถใช้ทดแทนวงจร LC ในวงจรออสซิลเลเตอร์ได้เป็นอย่างดี โดยทั่วไปนั้นตัวคริสตอลออสซิลเลเตอร์จะใช้ประกอบอยู่ในอุปกรณ์ที่สามารถจะพกพาติดตัวได้เช่น วิทยุมือถือหรือวิทยุสื่อสารย่านความถี่ CB เป็นต้น โดยใช้ได้ทั้งในเครื่องรับและเครื่องส่ง นอกจากนี้อุปกรณ์เครื่องส่งกระจายเสียงวิทยุยังต้องใช้คริสตอลออสซิลเลเตอร์เพราะความจำเป็นในการควบคุมความถี่ที่แน่นอน มีเสถียรภาพสูงและมีความผิดเพี้ยนต่ำที่สุดความถี่ที่ผลิตจากคริสตอลออสซิลเลเตอร์ จะมีความผิดเพี้ยนน้อยกว่า 1 Hz ต่อ 10^6 Hz สำหรับอุปกรณ์ตรวจวัดต่างแหล่งกำเนิดสัญญาณมักจะใช้คริสตอลออสซิลเลเตอร์สำหรับปรับตั้งความถี่ภายในเครื่องเป็นต้น

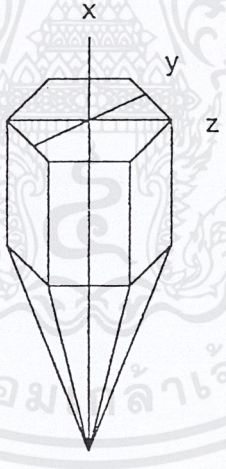
ปรากฏการณ์เพียซโซอิเลคทริก

ปรากฏการณ์เพียซโซอิเลคทริก (PiezoElectric Effect) คือปรากฏการณ์ทางไฟฟ้าที่เกิดขึ้นในขณะที่ผลึกคริสตอลถูกกดอัด ถูกขยายหรือถูกบิดให้ผิดจากรูปร่างในสภาวะปกติ ผลึกคริสตอลจะจ่ายแรงดันไฟฟ้าระดับต่ำ ๆ ออกมาที่เอาท์พุท ปฏิกิริยาย้อนกลับจะเกิดขึ้นนั่นคือ ระดับแรงดันไฟฟ้าที่อินพุทจะทำให้คริสตอลเกิดความผิดเพี้ยนทางกายภาพขึ้น ซึ่งคริสตอลสามารถถูกกระตุ้นให้เกิดการออสซิลเลทด้วยความถี่ค่าหนึ่งโดยแปรผันตามขนาดของก้อนผลึก ถ้าผลึกมีความบางมากก็สามารถออสซิลเลทคลื่นความถี่สูงๆ ออกมาได้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การตัดผลึกคริสตอล

ผลึกคริสตอลจะมีลักษณะคล้ายกับเกล็ดน้ำแข็ง คือถ้าเป็นผลึกดิบที่ยังไม่ผ่านขบวนการผลิตใดมาก่อน ผลึกตามธรรมชาติจะมีรูปร่างเป็นแบบหกเหลี่ยม ดังแสดงในรูปที่ 3.6 ในขบวนการผลิตผลึกเหล่านี้จะถูกนำมาเฉือนออกมาให้เป็นแผ่นผลึกบางๆ เสร็จแล้วนำไปผ่านขบวนการขัดผิว โดยทั่วๆไปผลึกที่ตัดเสร็จแล้วมีขนาดประมาณ 0.5 ถึง 1.0 นิ้ว (12.7 ถึง 25.4 มม.) และมีความหนาประมาณ 0.3 นิ้ว (7.6 มม.) หรือบางกว่านี้ ในขบวนการตัดผลึกจำเป็นอย่างยิ่งที่จะต้องพิจารณาถึงแนวแกนตามโครงสร้างของผลึกว่าอยู่ในแกนใด ดังรูปที่ 3.6 ซึ่งแบ่งออกได้เป็น 3 แกน คือ แกน X แกน Y และแกน Z ในการเฉือนผลึกถ้าแนวเฉือนอยู่ขนานกับแกน Z และผิวหน้าของแผ่นผลึกตั้งฉากอยู่กับแกน X ในลักษณะนี้เรียกว่า Xcut ส่วน Ycut นั้นผิวหน้าของแผ่นผลึกจะตั้งฉากอยู่กับแกน Y เป็นต้น อย่างไรก็ตามการเฉือนผลึกตามแนวแกนอื่นๆ ที่หักเหไปจากแนวแกนหลักดังกล่าว ก็มีเช่นกันซึ่งมีชื่อเรียกต่างๆกันออกไปดังเช่น AT, BT, CT และ GT เป็นต้น ซึ่งเพื่อให้สอดคล้องกับคุณสมบัติที่ต้องการเช่นความถี่และอุณหภูมิเป็นต้น การเฉือนในลักษณะพิเศษเช่นนี้ จึงต้องพิจารณาถึงแรงเครียดและแรงเค้นของก้อนผลึกมากกว่าที่จะเป็นแรงกดดัน GT cut เป็นผลึกชนิดที่มีสัมประสิทธิ์อุณหภูมิต่ำ นั่นคือความถี่ไม่แปรผันตามการแปรผันของอุณหภูมิ ส่วนผลึกชนิด AT และ BT cut มักจะมีคุณสมบัติในการผลิตสัญญาณความถี่สูงๆ ได้ดี เป็นต้น



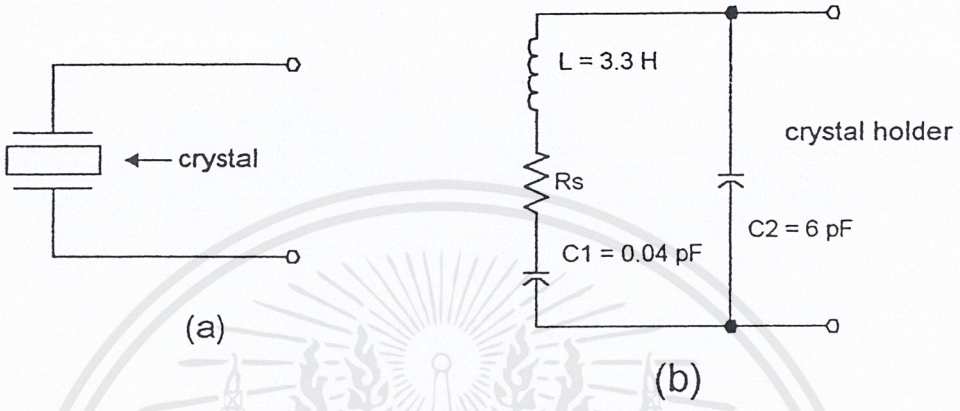
รูปที่ 3.6 แสดงแนวแกนการเฉือนตามโครงสร้างทางกายภาพของก้อนผลึก

วงจรเทียบเท่าของผลึกคริสตอล

โครงสร้างทางกายภาพของการประกอบก้อนผลึกคริสตอลเข้ากับตัวยึดแสดงได้ดังรูปที่ 3.7 (a) ซึ่งเทียบเท่ากับวงจรเรโซแนนซ์ LC ดังรูปที่ 3.7 (b) โดย L สามารถเปรียบเทียบได้กับมวลของก้อนผลึก C_1 เทียบได้กับความสามารถในการเปลี่ยนแปลงทางกลส่วน R_S คิดเทียบได้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

กับความเสียดทานทางกล เป็นต้น ในกรณีที่อัตราส่วนของ L/C มีค่าสูง สำหรับวงจรรีโซแนนซ์แบบอนุกรม โดย L มีค่าเท่ากับ 3.3 H และ C_1 มีค่าเท่ากับ 0.04 pF R_s จะมีค่าต่ำเทียบค่ารีแอคแตนซ์ซึ่งในกรณีเช่นนี้ค่า Q ของวงจรรีโซแนนซ์จะมีค่าตั้งแต่ 10,000 ถึง 50,000 โดยที่ C_2 เทียบได้ว่าเป็นเอาท์พุทคาปาซิแตนซ์ของตัวยึดคริสตอล



รูปที่ 3.7 แสดงวงจรเทียบเท่าของผลึกคริสตอล
(a) ผลึกคริสตัลติดตั้งอยู่กับตัวยึด
(b) วงจรเทียบเท่าของวงจรรีโซแนนซ์

ความถี่ของออสซิลเลเตอร์แบบคริสตอล

คริสตอลมีความถี่ของสัญญาณที่สามารถออสซิลเลทออกมาได้ที่ความถี่ที่แน่นอนค่าหนึ่งๆ โดยทั่วๆไปมีค่าอยู่ระหว่าง 0.5 ถึง 30 MHz หรืออาจจะใช้การต่อร่วมกับวงจรภายนอกอื่นๆ เพื่อให้ได้ค่าความถี่ของสัญญาณต่างๆ กัน สำหรับที่ต้องการความถี่สูงขึ้นอาจจะต่อร่วมกับวงจรทวีคูณความถี่ (Frequency Multiplier Circuit) ซึ่งอาจเป็นวงจรจูนความถี่ 2 เท่าและ 3 เท่าก็ได้ วงจรขยายสัญญาณดังรูปใช้วงจรจูน LC เพื่อปรับความถี่ของสัญญาณให้ได้ความถี่ฮาร์โมนิคของคริสตอลออสซิลเลเตอร์ ตัวอย่างเช่น เอาท์พุทของออสซิลเลเตอร์เป็นสัญญาณความถี่ 15 MHz

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สามารถถูกเพิ่มความถี่ให้สูงขึ้นเป็น 45 MHz ได้โดยใช้วงจรทวีคูณความถี่แบบ 3 เท่าได้ สำหรับในกรณีที่ต้องการลดความถี่ลงให้ต่อร่วมกับวงจรหารความถี่ได้โดยความถี่เอาท์พุทของออสซิลเลเตอร์จะถูกหารให้มีค่าน้อยลงจนได้ค่าความถี่ที่ต้องการ ตัวอย่างเช่น เอาท์พุทของออสซิลเลเตอร์ มีค่าเท่ากับ 1000 kHzสามารถถูกหารให้ลดลงโดยใช้วงจรหารความถี่ด้วย 100 kHz ทำให้ได้ความถี่ 10 kHz ตามต้องการ

3.5 ออสซิลเลเตอร์แบบควบคุมแรงดันไฟฟ้า

โดยทั่วๆไปมักจะเรียกกันสั้นๆว่า VCO หรือโวลเตจคอนโทรลออสซิลเลเตอร์ เป็นวงจรที่ใช้สำหรับการปรับแต่งความถี่ของวงจรออสซิลเลเตอร์ซึ่งวิธีการที่ใช้คือ ใช้คาปาซิทีฟไดโอดแบบสารกึ่งตัวนำ หรือที่เรียกกันว่า วาริแคป (Varicap) หรือวาแร็กเตอร์ (Varactor) คุณสมบัติของไดโอดชนิดนี้คือค่าคาปาซิแตนซ์จะแปรผันตามแรงดันไฟฟ้ารีเวิร์ดที่ป้อนให้กับตัวมันเอง ดังนั้นเมื่อต่อวาแร็กเตอร์คร่อม L ในวงจรจูนของออสซิลเลเตอร์ จึงทำให้มีคุณสมบัติในการปรับความถี่ได้โดยการควบคุมระดับแรงดันไฟฟ้าที่ตกคร่อมไดโอด

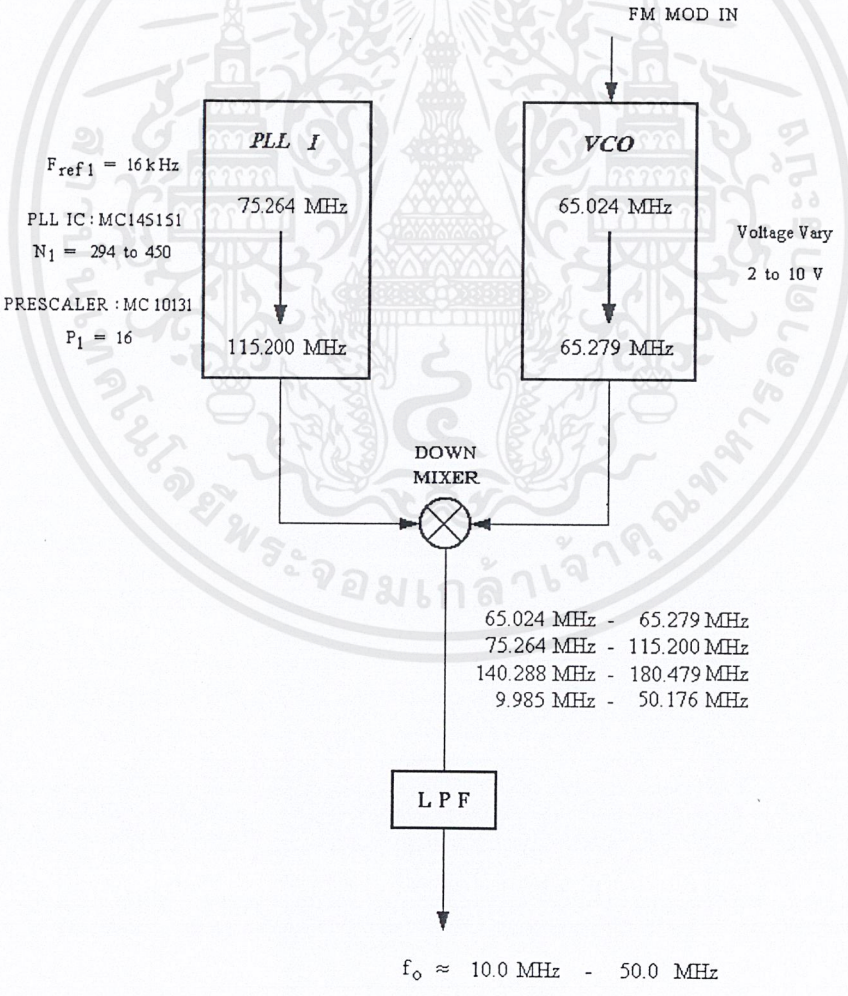
วงจร VCO ได้มีการนำไปประยุกต์ใช้งานอย่างมากมาย เนื่องจากคุณสมบัติที่ดีในการควบคุมความถี่ออสซิลเลเตอร์ด้วยระดับแรงดันไฟตรง ตัวอย่างเช่นปุ่มปรับช่องสัญญาณชนิดสัมผัสในเครื่องรับโทรทัศน์ ซึ่งอาศัยระดับแรงดันไฟตรงไปควบคุมความถี่ของแต่ละช่องสัญญาณได้ การประยุกต์ใช้งานในลักษณะนี้เรียกว่า อิเลคทรอนิกส์จูนนิ่ง (Electronic Tuning) ซึ่งการปรับแรงดันไฟตรงยังต้องใช้มือปรับ แต่เราสามารถปรับปรุงให้ปรับระดับแรงดันโดยอัตโนมัติ ได้โดยใช้วงจรอิเลคทรอนิกส์ควบคุมซึ่งวงจรที่มีคุณสมบัติดังกล่าว ได้แก่วงจรเฟสล็อคลูป (Phase Locked Loop)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 4
การออกแบบโครงงาน

สำหรับการออกแบบโครงงานเฟสล็อคลูป ฟรีเควนซีซินธิไซเซอร์ (phase locked loop frequency synthesizor) ที่ผลิตความถี่ช่วง 10 MHz ถึง 50 MHz เนื่องจากเราใช้ Voltage Control Osillator ในการสังเคราะห์ความถี่ จึงมีข้อจำกัดในการควบคุมค่าคาปาซิแตนซ์ของวาริแคป ซึ่งมีค่าจำกัดอยู่แค่ช่วงใดช่วงหนึ่ง จึงเป็นการยากที่จะออกแบบให้ VCO ผลิตความถี่ที่ ความถี่สูงสุด เกินสองเท่าของความถี่ต่ำสุด

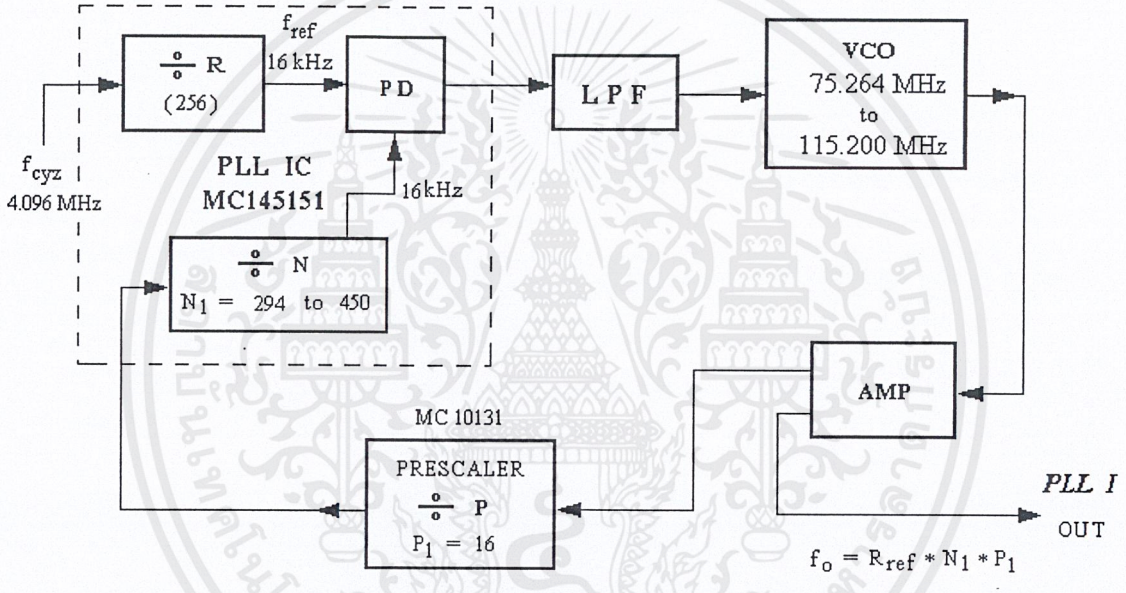
การแก้ปัญหาทำได้โดยสร้างแหล่งกำเนิดความถี่ 2 ชุด แล้วนำความถี่จากสองชุดมาผสม (MIX) กันแบบ Down Mix จะได้ความถี่จากการผสมเพิ่มขึ้นมาดังที่อธิบายไปแล้วในบทนำ แล้วใช้วงจรกรองความถี่แบบต่ำผ่าน กรองความถี่ช่วงที่ต้องการออกมา ดังรูปที่ 1.1



รูปที่ 1.1 บล็อกไดอะแกรมของวงจรทั้งหมด

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ในส่วนของวงจรกำเนิดสัญญานส่วนที่หนึ่ง ซึ่งผลิตความถี่ในช่วง 75.264 MHz ถึง 115.2 MHz นั้น บล็อกไดอะแกรมเป็นดังรูปที่ 4.1 นั้นแสดงถึงการทำงานของวงจรซึ่งประกอบด้วยส่วนของ โวลเตจ คอนโทรล ออสซิเลเตอร์ ซึ่งผลิตความถี่ได้ในย่าน 73.25 MHz ถึง 117.25 MHz และสัญญานเอาท์พุทที่ได้ต้องนำไปขยายแรงดันด้วยแอมปลิไฟลเออร์ก่อนต่อไปยัง พรีสเกลเลอร์ หารความถี่ลง ก่อนเข้าไปยังส่วนต่อไป คือวงจรเปรียบเทียบเฟส (Phase Detector) โดยจะใช้ไอซี MC 145151 ควบคุม สามารถปรับค่า N เลือกความถี่ได้แล้วส่งต่อไปให้ลูปฟิลเตอร์ กรองเอาเฉพาะความถี่ต่ำผ่านกลับไปควบคุมโวลเตจคอนโทรล ออสซิเลเตอร์ ซึ่งครบรอบกระบวนการ เฟสล็อคลูปในส่วนแรก



รูปที่ 4.1 บล็อกไดอะแกรมวงจร เฟสล็อคลูป ส่วนที่ 1

4.1 วงจรโวลเตจคอนโทรออสซิลเลเตอร์

ส่วนแรกที่จะกล่าวถึงคือ ส่วนของโวลเตจ คอนโทรล ออสซิเลเตอร์ นั้น อาศัยหลักการของการป้อนกลับแบบบวก (Possitive Feedback) ค่าความถี่จะเปลี่ยนได้ด้วย ระดับแรงดันไฟตรงที่ป้อนรีเวอร์สไบอัสให้กับวาริแคป โดยจะมีการปรับระดับ แรงดันอัตโนมัติจากวงจรเฟสล็อคลูป (phase locked loop) อีกที โดยค่าความถี่ของวงจร VCO ขึ้นอยู่กับค่าของ C รวม และ L ตามความสัมพันธ์

$$\omega_O = \frac{1}{\sqrt{L C_T}} \qquad (4.1)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ซึ่งสมการที่ 4.1 เป็นสมการของการเรโซแนนซ์ โดยจะมีแรงดันที่ไบอัสย้อนกลับให้กับ วาริแค็ป เป็นตัวควบคุมความถี่ที่ออสซิเลท อาศัยคุณสมบัติของวาริแคปซึ่งค่าคาปาซิแตนซ์จะเปลี่ยนแปลงไปตามแรงดันรีเวอร์สไบอัส โดยจะแปรผกผันกับแรงดันรีเวอร์สไบอัส ทำให้ความถี่เรโซแนนซ์ ของวงจรเปลี่ยนไปด้วยโดยจะแปรผันตรงกับแรงดันรีเวอร์สไบอัสของวาริแคปนั่นเอง

วงจร RLC อนุกรมกัน

ก่อนอื่นจะขอกล่าวถึงการแก้ปัญหาวงจรไฟฟ้าอันดับสอง โดยพิจารณาจากวงจร RLC ที่อนุกรมกันทั้งหมด โดยมีเงื่อนไขเริ่มแรกคือ $v(0) = V_0$ และ $i(o) = I_0$ สมการวงรอบเดี่ยวที่ใช้ในการวิเคราะห์ คือ

$$L\frac{di}{dt} + Ri + \frac{1}{C}\int_0^t i\,dt + V_0 = v_g$$

สำหรับที่ $t > 0$ หาอนุพันธ์จะได้

$$L\frac{d^2i}{dt^2} + R\frac{di}{dt} + \frac{1}{C}i = \frac{dv_g}{dt}$$

สมการลักษณะเฉพาะคือ

$$Ls^2 + Rs + \frac{1}{C} = 0$$

ความถี่ธรรมชาติ คือ

$$s_{1,2} = \frac{R}{2L} \pm \sqrt{\left[\frac{R}{2L}\right]^2 - \frac{1}{LC}}$$

1) วงจร RLC อนุกรมกันจะเป็นกรณีหน่วงเกิน (Overdamped) ถ้า

$$C > \frac{4L}{R^2}$$

ซึ่งจะได้ผลตอบสนองเป็น $i = A_1e^{s_1t} + A_2e^{s_2t}$

เมื่อ A_1, A_2 คือค่าคงที่ไม่เจาะจง

2) วงจร RLC อนุกรมกันจะเป็นกรณีหน่วงวิกฤต (Critically damped) เมื่อ

$$C = \frac{4L}{R^2}$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ในกรณีนี้ $s_1 = s_2 = -R/2L$ จะได้ผลตอบสนองคือ

$$i = (A_1 + A_2)\, e^{s_1 t}$$

3) วงจร RLC อนุกรมกันจะเป็นกรณีหน่วงขาด (Underdamped) เมื่อ

$$C < \frac{4L}{R^2}$$

ผลตอบสนองในกรณีหน่วงขาด คือ $i = (A_1 \cos \omega_d t + A_2 \sin \omega_d t)\, e^{-\alpha t}$

โดย α คือ สัมประสิทธิ์หน่วง = R/2L

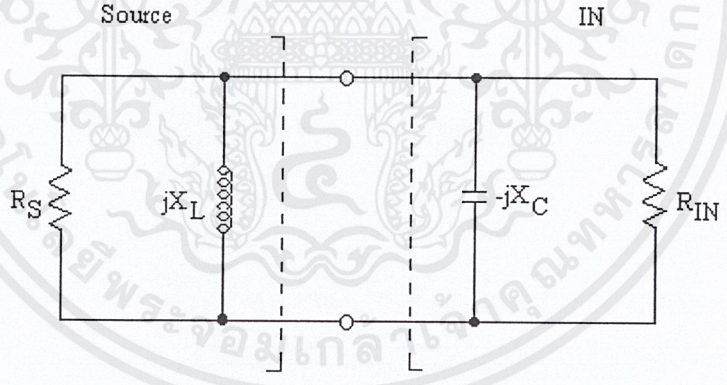
4) ถ้าค่า R ในวงจรมีค่าเท่ากับศูนย์ จะเป็นกรณีไม่หน่วง (Undamped)

ผลตอบสนองในกรณีไม่หน่วง คือ $i = (A_1 \cos \omega_d t + A_2 \sin \omega_d t)$

ซึ่งกรณีในข้อ 3) และ 4) คือกรณีที่จะใช้ในการออกแบบ

4.1.1 หลักการออกแบบ โวลเตจคอนโทรออสซิลเลเตอร์

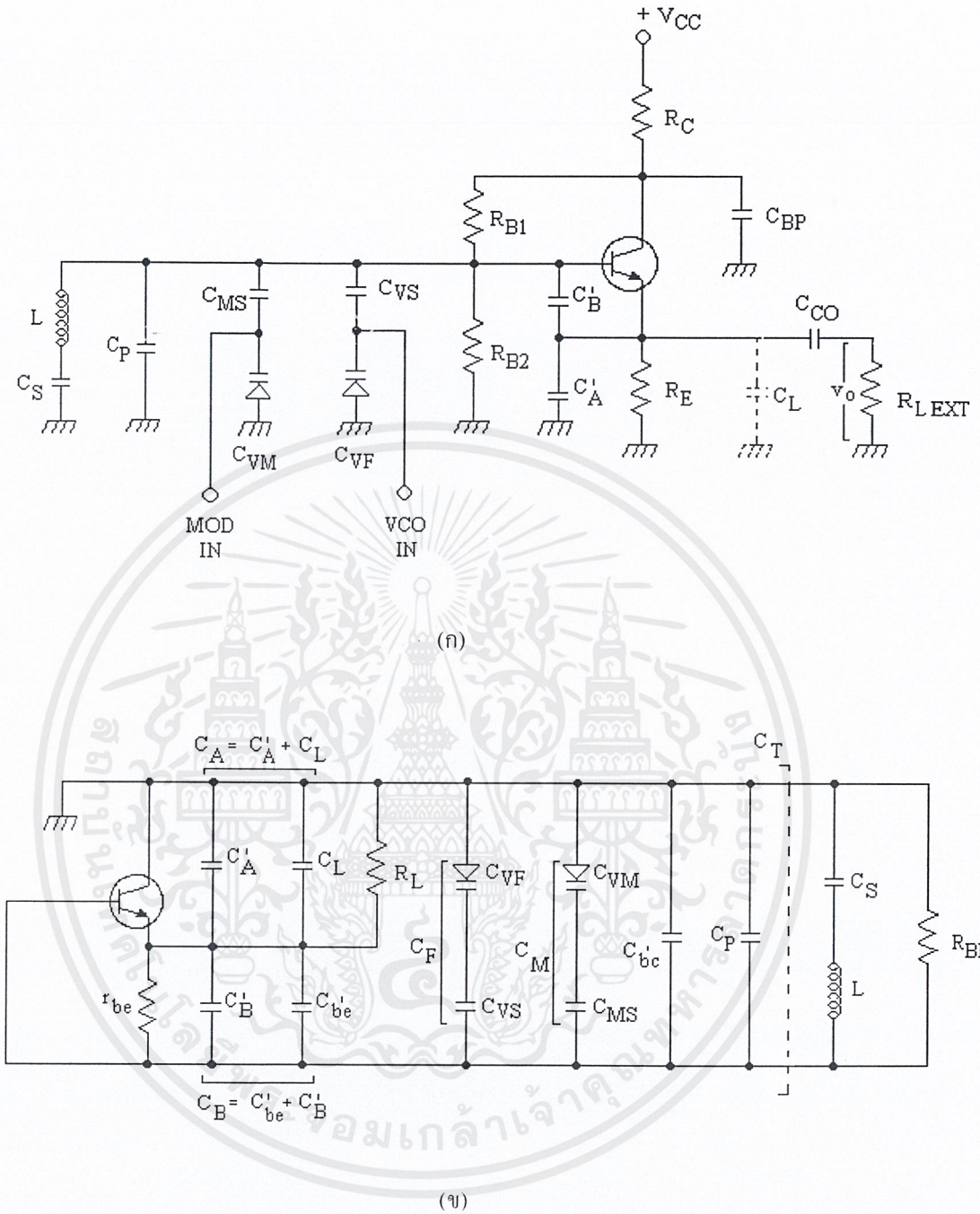
การออกแบบโวลเตจ คอนโทร ออสซิลเลเตอร์ นั้น เราใช้วงจรแบบ เนกตีฟ รีซิสแตนท์ ออสซิลเลเตอร์ โดยมีหลักการดังรูปที่ 4.2



รูปที่ 4.2 หลักการเบื้องต้นที่ใช้ในการออกแบบ

เราจะตั้งชื่อให้ฝั่งซ้ายของโหนด A และโหนด B ว่าเป็นฝั่ง Source และฝั่งขวาให้ชื่อว่าเป็น ฝั่ง IN จากโมเดลจะเห็นว่า อิมพีแดนซ์(Z) ฝั่ง Source คือ R ขนานกับ L ($R // jX_L$) และอิมพีแดนซ์ฝั่ง IN คือ R ขนานกับ C ($R // -jX_C$) โดยมีข้อแม้ว่า ขนาดส่วนจริงของ Z_{Source} ต้องเท่ากับขนาดส่วนจริงของ Z_{IN} และขนาดส่วนจินตภาพของ Z_{Source} ต้องมากกว่าหรือเท่ากับ ขนาดส่วนจินตภาพของ Z_{IN} ณ ความถี่ที่เราต้องการ และผลรวมทั้งหมดของอิมพีแดนซ์ จะต้องเหลือเป็น -R เพื่อจะได้มีคุณสมบัติเป็นเจนเนอเรเตอร์ ส่วนรายละเอียดจริงที่ใช้ในการออกแบบนั้น จะกล่าวถึงดังต่อไปนี้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.3 (ก) ตัวอย่างวงจร VCO ที่ใช้ในการออกแบบ

(ข) วงจรสมมูลของสัญญาณจากรูป(ก)

ค่าอัตราการขยายของวงจรนี้คือ

$$g_m R_L \geq \frac{C_B}{C_A} \tag{4.2}$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ค่า Q รวมของ Tank Circuit ทั้งหมด

$$Q_{Total} = \frac{(X_{CB} + X_{CA})(Q_A Q_B)}{X_{CB} Q_A + X_{CA} Q_B} \quad (4.3)$$

โดย

$$Q_A = \frac{R_L}{X_{CA}} = \omega_O C_A R_L \quad (4.4)$$

และ

$$Q_B = \frac{r_{be}}{X_{CB}} = \omega_O C_B r_{be} \quad (4.5)$$

ซึ่ง

$$Q_{Total} = Q_T \geq 10$$

เมื่อเราดูพารามิเตอร์ต่างๆจากรูปวงจรที่ 4.3 (ก) และ (ข) จะได้ความสัมพันธ์ว่า

$R_L = R_E \,//\, R_{L\ EXT}$ $\quad$ $C_F = C_{VF}$ อนุกรมกับ C_{VS}

$R_{BB} = R_{B1} \,//\, R_{B2}$ $\quad$ $C_M = C_{VM}$ อนุกรมกับ C_{MS}

$C_A = C_A' \,//\, C_L$ $\quad$ $C_{AB} = C_A$ อนุกรมกับ C_B

$C_B = C_B' \,//\, C_{b'e}$

จะได้ว่า

$$C_T = C_{AB} + C_F + C_M + C_{b'c} + C_P$$

กำหนด F_{MAX} = ความถี่สูงสุด

F_{MIN} = ความถี่ต่ำสุด

F_d = ความถี่เบี่ยงเบนของการ Mod.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การพิจารณาค่า C_A , C_B

เนื่องจากที่มาของสมการที่ 3.2 ได้มาโดย ละค่า r_{bc} (r_{bc} ต่อขนานกับ C_B) เราสามารถทำให้เงื่อนไขนี้ถูกต้องได้โดยการเลือกค่า C_B ซึ่งทำให้ $X_{CB} << r_{bc}$ จะได้

$$C_{B\,(MIN)} \geq \frac{10}{2\pi f_{MIN}\,(r_{bb'} + r_{b'e})} \qquad (4.6)$$

จากสมการที่ 4.2 จะได้

$$\frac{C_B}{C_A} \leq g_m R_L$$

และเพื่อให้แน่ใจว่าการออสซิลเลทสามารถเกิดขึ้นได้ ค่าของ C_B / C_A ควรมีค่าไม่เกิน $0.5\, g_m R_L$ ถ้าเราให้อัตราส่วนของ C_B / C_A มีค่าเท่ากับ K จะได้

$$\frac{C_B}{C_A} = K \;;\; K < 0.5\, g_m R_L \qquad (4.7)$$

โดยการแทนค่า $Q_A = R_L \,//\, X_{CA}$ และ $Q_B = r_{be} / X_{CB}$ จากสมการที่ 4.4 และ 4.5 แทนลงในสมการที่ 4.3 จะได้

$$Q_{Total} = \frac{(X_{CB} + X_{CA})(R_L\, r_{be})}{X_{CB}^{\,2} R_L + X_{CA}^{\,2} r_{be}} \qquad (4.8)$$

จากสมการที่ 4.7

$$C_B = K\, C_A \qquad (4.9\ \text{ก})$$

หรือ

$$X_{CA} = K\, X_{CB} \qquad (4.9\ \text{ข})$$

โดยการแทนค่า สมการที่ 4.9 ข ลงในสมการที่ 4.8 จะได้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$Q_{Total} = \frac{(1 + K)(R_L r_{be})}{X_{CB}(R_L + K^2 r_{be})} \quad (4.10)$$

หรือ

$$X_{CB} \leq \frac{(1 + K)(R_L r_{be})}{Q_{Total}(R_L + K^2 r_{be})} \quad (4.11)$$

จะได้

$$C_{B\,f(MAX)} \geq \frac{Q_{Total}(R_L + K^2 r_{be})}{2\P f_{(MAX)}(1 + K)(R_L r_{be})} \quad (4.12)$$

ค่าของ C_B ที่ใช้จริง คือค่าที่มากกว่าของสมการที่ 4.6 และ 4.12

ค่าของ R_L ในสมการที่ 4.7 , 4.8 , 4.10 และ 4.11 หมายถึง

$$R_L = R_{EDC} \,//\, R_{L\,EXT} \quad (4.13)$$

เพื่อให้สามารถปรับความถี่ได้กว้าง ค่าของ C_A อนุกรมกับ C_B ควรทำให้มีค่าต่ำๆ หรือ $X_{CA} + X_{CB}$ ควรมีค่าสูงๆ

$$X_{CA} + X_{CB} = X_{C\,Total} \;;\; K X_{CB} + X_{CB} = (1+K) X_{CB}$$

แทนค่า X_{CB} ด้วยสมการที่ 4.11 จะได้

$$X_{C\,(Total)} = \frac{(1 + K)^2(R_L r_{be})}{Q_{Total}(R_L + K^2 r_{be})}$$

หาค่า K ที่ทำให้ $X_{C\,(Total)}$ มากที่สุดได้โดย

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$\frac{d}{dK} X_{C\,(Total)} = 0$$

$$\frac{d}{dK}\left[\frac{(1+K)^2(R_L\, r_{be})}{Q_{Total}(R_L + K^2\, r_{be})}\right] = 0$$

ในที่สุดจะได้

$$K_{(CA,\,CB\,MIN)} = \frac{R_L}{r_{be}} \qquad (4.14)$$

ซึ่งค่า K จะต้องน้อยกว่า $0.5\, g_m R_L$ และเมื่อแทนสมการ 4.14 โดยใช้เงื่อนไขนี้ลงในสมการที่ 4.12 จะได้

$$C_{B\,f\,(MAX)} = \frac{Q_{Total}}{2\pi f_{(MAX)}\, r_{be}} \qquad (4.15)$$

และ

$$C_B \geq \frac{10}{2\pi f_{(MIN)}\, r_{be}} \qquad (4.6)$$

ค่าของ C_B' และ C_A' ที่ใช้จะเป็น

$$C_B' = C_{B\,f\text{-}max} - C_{b'e} \qquad (4.16)$$

$$C_A' = C_{A\,f\text{-}max} - C_L \qquad (4.17)$$

โดยที่ C_B' และ C_A' ต้องมากกว่าหรือเท่ากับศูนย์ทั้งคู่

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การพิจารณาค่าของ L

จากรูปที่ 4.3 (ข) จะเห็นได้ว่า ค่า C รวมของการต่ออนุกรมของ C_A กับ C_B คือส่วนหนึ่งของ C_T

ให้ C_{AB} คือผลรวมของการต่ออนุกรมของ C_A กับ C_B

$$C_{AB} = \frac{C_A C_B}{C_A + C_B} \tag{4.18}$$

ซึ่ง

$$C_T \geq C_{AB}$$

เพื่อให้สามารถสร้างเป็น VCO และ FM ได้ จะต้องต่อ วาริแคป : C_{VF} สำหรับ VCO และ วาริแคป V_{CM} สำหรับ FM ควรให้ค่าของ C_T มีค่าประมาณ 2 - 4 เท่าของ C_{AB}

$$C_T \approx N C_{AB} \quad ; \quad N \approx 2 - 4 \tag{4.19}$$

ที่ f_{MAX} $C_T = C_{T\,MIN}$ ค่าของ L จะเป็น

$$L = \frac{1}{4\pi^2 f_{(MAX)}^2 C_{T\,(MIN)}} \tag{4.20}$$

และค่า L ควรมากกว่า $100\, r_s / 2\pi f_{MIN}$

ค่าของ C_{VS}

ให้ C_{VF} คือค่า C ของ วาริแคป ที่ใช้กับ VCO จากสมการที่ 4.1 จะได้

$$C_{T\,MAX} = C_{FIX} + C_{VF\,MAX} = \frac{1}{\omega_{MIN}^2 L} \tag{4.21}$$

และ

$$C_{T\,MIN} = C_{FIX} + C_{VF\,MIN} = \frac{1}{\omega_{MAX}^2 L} \tag{4.22}$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

(4.21) - (4.22) จะได้

$$\Delta C_T = C_{T\,MAX} - C_{T\,MIN} = C_{VF\,MAX} - C_{VF\,MIN} = \Delta C_{VF} \quad (4.23\ \text{ก})$$

$$\Delta C_T = \Delta C_{VF} = \frac{1}{L}\left[\frac{1}{\omega_{MIN}^{\,2}} - \frac{1}{\omega_{MIN}^{\,2}}\right] \quad (4.23\ \text{ข})$$

เลือก วาริแคป ที่มีค่า ΔC_{VF} ตามที่ต้องการ ซึ่งค่า ΔC_{VF} ของ วาริแคป จะต้องมีค่ามากกว่า ΔC_T เมื่อเลือก วาริแคป แล้ว จะได้ $C_{VF\,MAX}$, $C_{VF\,MIN}$, ΔC_{VF}

$$\Delta C_{VF} \geq \Delta C_T \quad (4.24)$$

แต่

$$C_{VF\,MIN} \leq C_{T\,MIN} - C_{AB} \quad (4.25)$$

บ่อยครั้งที่เราไม่สามารถหา วาริแคป เบอร์ที่ต้องการ ถ้า วาริแคป ที่หาได้มีค่า $C_{VF\,MIN} > C_{T\,MIN} - C$ เราอาจแก้ปัญหาได้โดย

ก) ลดค่าของ L จะได้ค่าของ $C_{T\,MIN}$ เพิ่มขึ้น

ข) นำ C_{VS} มาต่ออนุกรมกับ Varicap C_{VF} เพื่อลดค่าของ $C_{VF\,MIN}$

<u>การคำนวนหาค่า C_{XS} ที่นำมาต่ออนุกรมกับวาริแคป</u>

เพื่อทำให้ได้ค่า ΔC_V ตามที่ต้องการ เนื่องจาก

$$C_{T\,MAX} = C_{FIX} + \frac{C_{V\,MAX}\ C_{XS}}{C_{V\,MAX} + C_{XS}} \quad (4.26)$$

และ

$$C_{T\,MIN} = C_{FIX} + \frac{C_{V\,MIN}\ C_{XS}}{C_{V\,MIN} + C_{XS}} \quad (4.27)$$

(4.26) - (4.27)

$$C_{T\,MAX} - C_{T\,MIN} = \Delta C_T$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จะได้ค่าของ C_{XS} เป็น

$$(C_{V\,MAX} - C_{V\,MIN} - \Delta C_T) C_{XS}^{\,2} - \Delta C_T (C_{V\,MAX} + C_{V\,MIN}) C_{XS} - C_{V\,MAX}\, C_{V\,MIN}\, \Delta C_T = 0 \quad (4.28)$$

โดยการแทนค่า $C_{V\,MAX}$ ด้วย $C_{VF\,MAX}$, $C_{V\,MIN}$ ด้วย $C_{VF\,MIN}$ และ ΔC_T ด้วยค่าที่คำนวนได้จากสมการ 4.23 ข ค่าของ C_{XS} จากสมการที่ 4.28 คือ C_{VS}

ให้ C_F คือ C รวมของการอนุกรมของ C_{VS} กับ วาริแคป C_{VF}

$$C_{F\,MIN} = \frac{C_{VF\,MIN}\, C_{VS}}{C_{VF\,MIN} + C_{VS}} \quad (4.29)$$

<u>ส่วนของ FM Modulator</u>

ควรใช้ วาริแคป สำหรับ Modulator อีกหนึ่งตัว ถ้าใช้ วาริแคป ของ VCO ทำหน้าที่ Modulator จะต้องนำสัญญาณที่จะใช้มอดดูเลท (Moddulating Signal) ไปซ้อนบนไฟตรงของ VCO ไอซีเฟสล็อคลูปที่เป็น CMOS ส่วนใหญ่ มักมีการทำงานของตัวเปรียบเทียบเฟส (Phase comparator) เป็นแบบ tristate ซึ่ง LPF ของ PLL จะทำงานเป็น Sample And Hold เช่น MC145162 , MC145162 - 145169 , PC A ของ MC145170 เป็นต้น Source Impedance ของสัญญาณที่จะใช้มอดดูเลท จะมีผลโดยตรงต่อ ลูปฟิลเตอร์ ยิ่งไปกว่านั้น ค่าความถี่เบี่ยงเบน : f_d ของ Modulator มักมีค่าต่ำกว่า Δf ของ VCO มาก ทำให้ขนาดของสัญญาณที่จะใช้มอดดูเลทจะมีค่าต่ำมาก อาจมีสัญญาณรบกวนและเกิด Over Modulation ได้อย่างง่ายดาย ซึ่งจะมีผลทำให้เกิด Side Band ไปรบกวนช่องสื่อสารอื่นๆ

ให้ C_{VM} คือค่า C ของ Varicap ของ Modulator

f_d คือค่าความถี่เบี่ยงเบน ของ Modulator

เนื่องจาก f_d มักมีค่าต่ำ(น้อยกว่าหรือเท่ากับ 100 kHz) ทำให้ค่า $\Delta C_{T\,MOD}$ มีค่าต่ำด้วย มักจำเป็นที่จะต้องลดค่าของ ΔC_{VM} ของวาริแคปด้วยการต่อ C_{MS} อนุกรมกับ Modulator Varicap ในทำนองเดียวกับ VCO ค่าของ $\Delta C_{T\,MOD}$ จะเป็น

$$\Delta C_{T\,MOD} = \frac{1}{L}\left[\frac{1}{(\omega_{MAX} - \omega_d)^2} - \frac{1}{(\omega_{MAX} + \omega_d)^2}\right] \quad (4.30)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

โดยการแทนค่า $C_{V\,MAX}$ และ $C_{V\,MIN}$ ด้วย $C_{VM\,MAX}$ และ $C_{VM\,MIN}$ ตามลำดับ ΔC_T ด้วย $\Delta C_{T\,MOD}$ ค่าของ C_{XS} ที่คำนวนได้จากสมการ 4.28 คือค่าของ C_{MS}

ให้ C_M คือ C รวม ของการอนุกรมของ C_{MS} กับ Varicap C_{VM} ในขณะที่ยังไม่ป้อนสัญญาณที่จะใช้มอดดูเลท : $C_{VM\,(0)}$

$$C_{VM\,(0)} \approx \frac{C_{VM\,(MAX)} + C_{VM\,(MIN)}}{2} \tag{4.31}$$

$$C_F = \frac{C_{VM\,(0)}C_{MS}}{C_{VM\,(0)} + C_{MS}} \tag{4.32}$$

<u>การปรับค่าเพื่อให้ได้ย่านความถี่ที่ต้องการ</u>

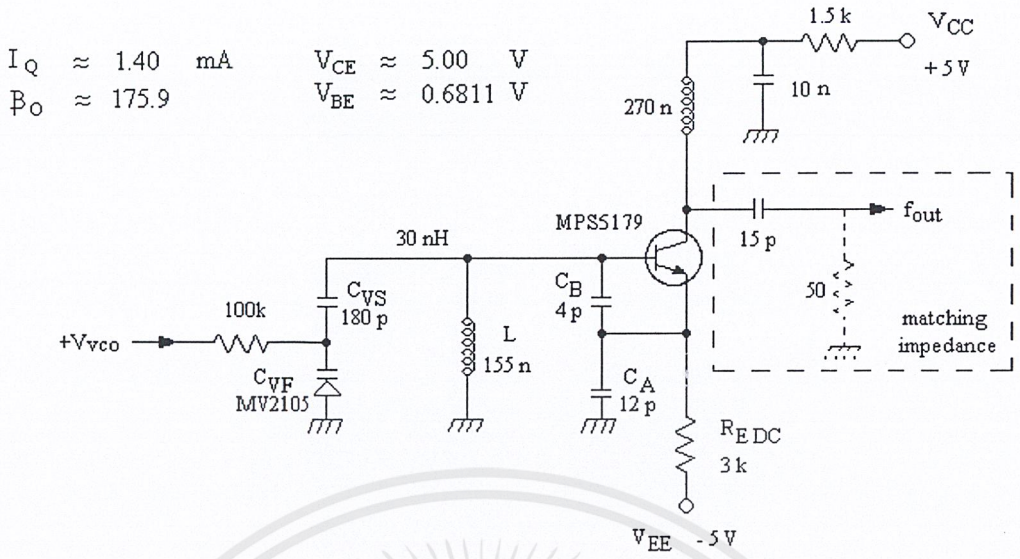
ในการสร้างวงจร เราไม่สามารถที่จะหา C หรือพัน L ให้มีค่าถูกต้องตามที่คำนวนได้ จึงควรมีส่วนที่ช่วยชดเชยความคลาดเคลื่อนเหล่านี้ ซึ่งอาจทำได้โดยมี C_P หรือ C_S ดังรูปที่ 4.3

4.1.2 วงจรที่ใช้งานจริง

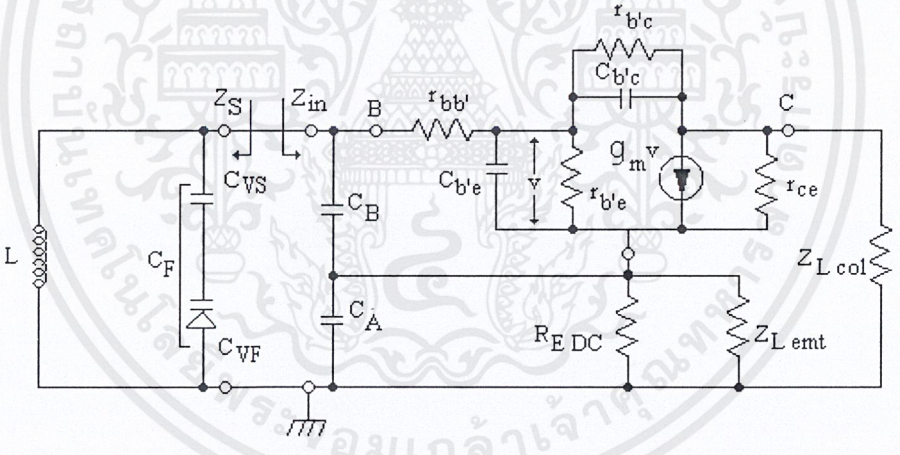
การออกแบบวงจร โวลเตจคอนโทรออสซิลลเลเตอร์ที่ในโครงงานนี้มีอยู่ด้วยกันสองส่วน โดยส่วนแรกเป็นส่วนสร้างความถี่ในช่วงสูงซึ่งใช้ วงจรเฟสล็อคลูปควบคุมการปรับความถี่ ใช้สร้างความถี่ในช่วง 75.266 MHz ถึง 115.2 MHz ในส่วนของ VCO เองนั้น ออกแบบให้ สังเคราห์ความถี่ได้ตั้งแต่ 73.25 MHz ถึง 117.25 MHz ซึ่งออกแบบให้เกินช่วงที่ต้องการ โดยความถี่ที่สังเคราะห์จะแปรตามแรงดันที่รีเวอร์สไบอัส วาริแคป คือตั้งแต่ 0.5 โวลต์ ถึง 27.5 โวลต์ และใช้ Vcc +5 โวลต์ และ V_{EE} -5 โวลต์ ซึ่งรายละเอียดของวงจร แสดงได้ดังรูปที่ 4.4 (ก) และมีวงจรสมมูลของสัญญาณดังรูปที่ 4.4 (ข)

ในส่วนที่สองซึ่งเป็นส่วนของการสังเคราะห์ความถี่ที่ต่ำกว่าส่วนแรกนั้น ใช้หลักการออกแบบเดียวกัน แต่การปรับความถี่นั้น ใช้การปรับค่าแรงดันรีเวอร์สไบอัสของวาริแคปโดยตรง ซึ่งวงจร VCO ของส่วนที่สองนั้นจะทำการผลิตความถี่ที่ 65.024 MHz ถึง 65.279 MHz โดยใช้แรงดันรีเวอร์สไบอัส วาริแคป ตั้งแต่ 2 โวลต์ ถึง 10 โวลต์ และใช้ Vcc +12 โวลต์ และ V_{EE} 0 โวลต์ ซึ่งรายละเอียดของวงจร แสดงได้ดังรูปที่ 4.5 (ก) และมีวงจรสมมูลของสัญญาณดังรูปที่ 4.5 (ข)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



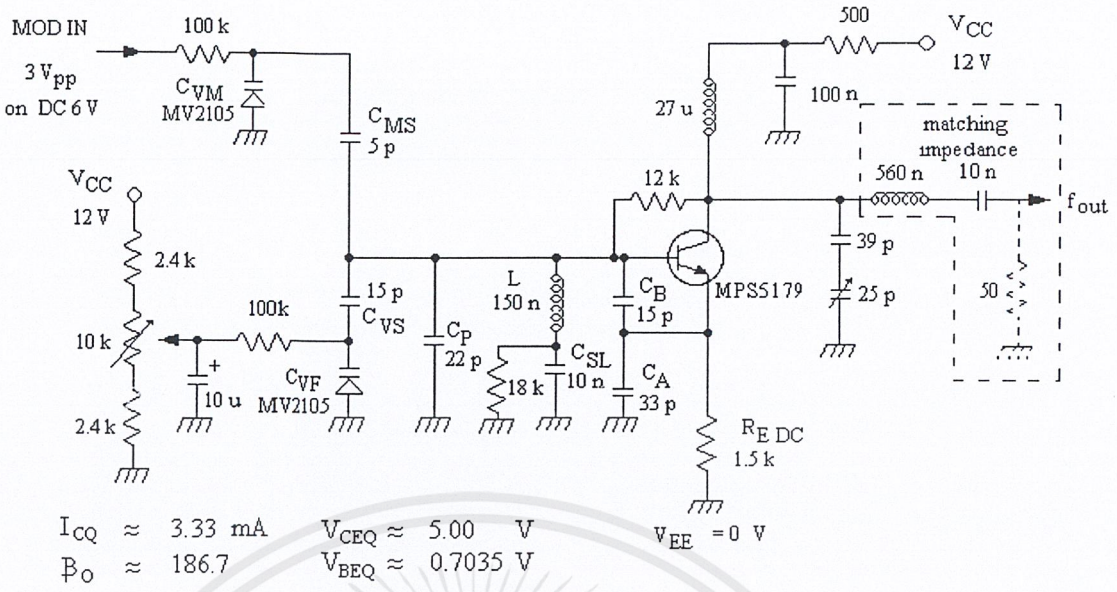
(ก)



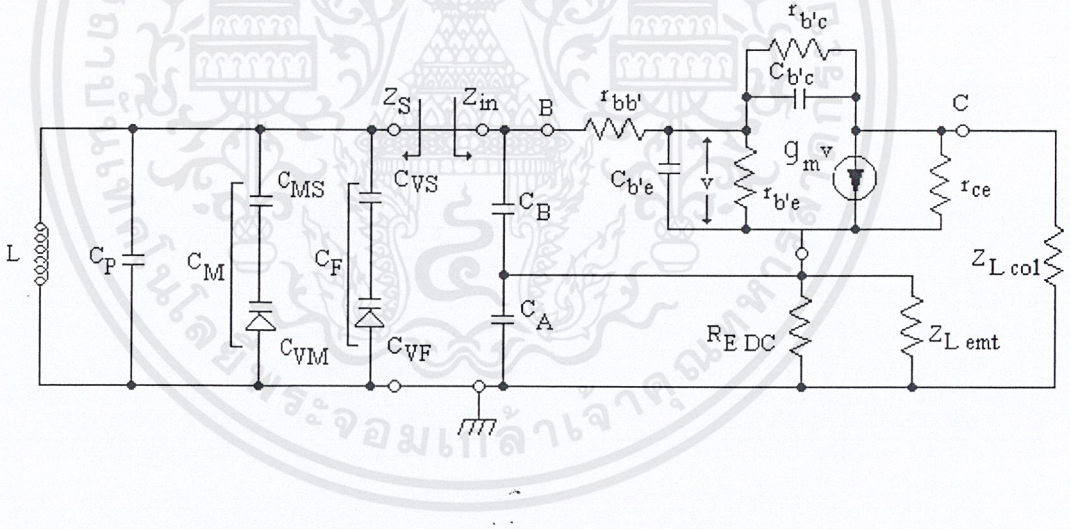
(ข)

รูปที่ 4.4 (ก) วงจร โวลเตจ คอนโทร ออสซิลเลเตอร์ (VCO) ความถี่ 75.264 MHz ถึง 115.2 MHz
(ข) วงจรสมมูลของสัญญาณรูป (ก)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



(ก)



(ข)

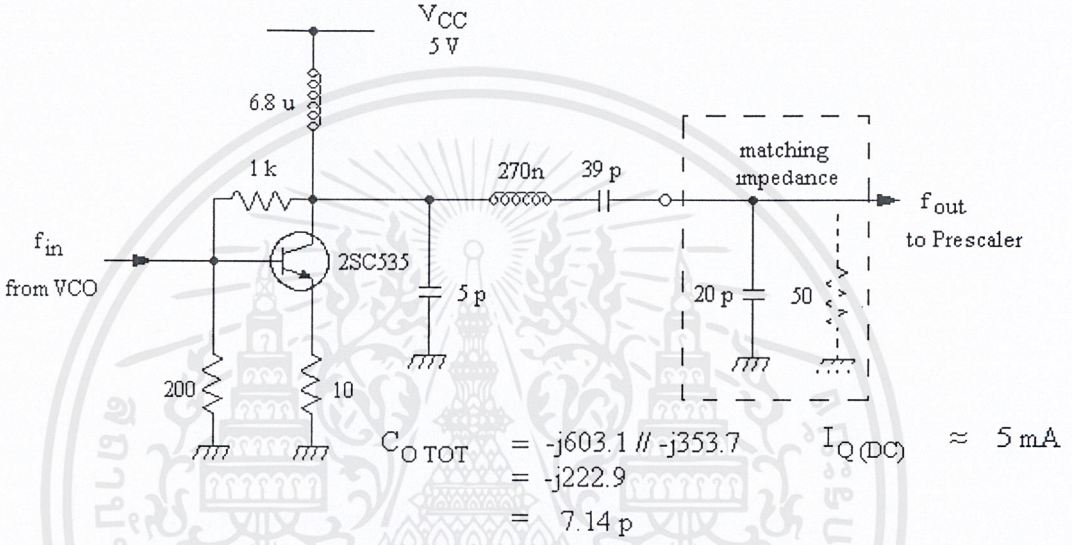
รูปที่ 4.5 (ก) วงจร โวลเตจ คอนโทร ออสซิลเลเตอร์ (VCO) ความถี่ 65.024 MHz ถึง 65.279 MHz
(ข) วงจรสมมูลของสัญญาณรูป (ก)

พารามิเตอร์ต่างๆที่ใช้ในการคำนวณจะขอกล่าวถึงไวในภาคผนวก ก

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4.2 ส่วนขยายสัญญาณ (Amplifier)

เนื่องจากสัญญาณที่ออกมาจาก VCO มีค่าแรงดันประมาณ 0.8 โวลต์ ถึง 1.9 โวลต์ (ซึ่งแรงดันเอาท์พุทจะลดลงเมื่อความถี่เพิ่มขึ้น) ซึ่งระดับแรงดันขนาดนี้อาจไม่เพียงพอที่จะนำไปใช้งานหรือที่จะส่งต่อให้ส่วนต่อไป จึงต้องมีส่วนขยายสัญญาณเพิ่มขึ้น ลักษณะการออกแบบเป็นลักษณะการต่อวงจรขยายทรานซิสเตอร์ มีการไบอัสไฟตรงแบบอีมิตเตอร์ร่วม ใช้ไอซีทรานซิสเตอร์เบอร์ 2SC535 มีลักษณะการต่อวงจรดังรูปที่ 4.6



รูปที่ 4.6 วงจรขยายสัญญาณ

รายละเอียดของพารามิเตอร์ต่างๆที่ใช้ในการคำนวณจะขอกล่าวไว้ที่ภาคผนวก ก

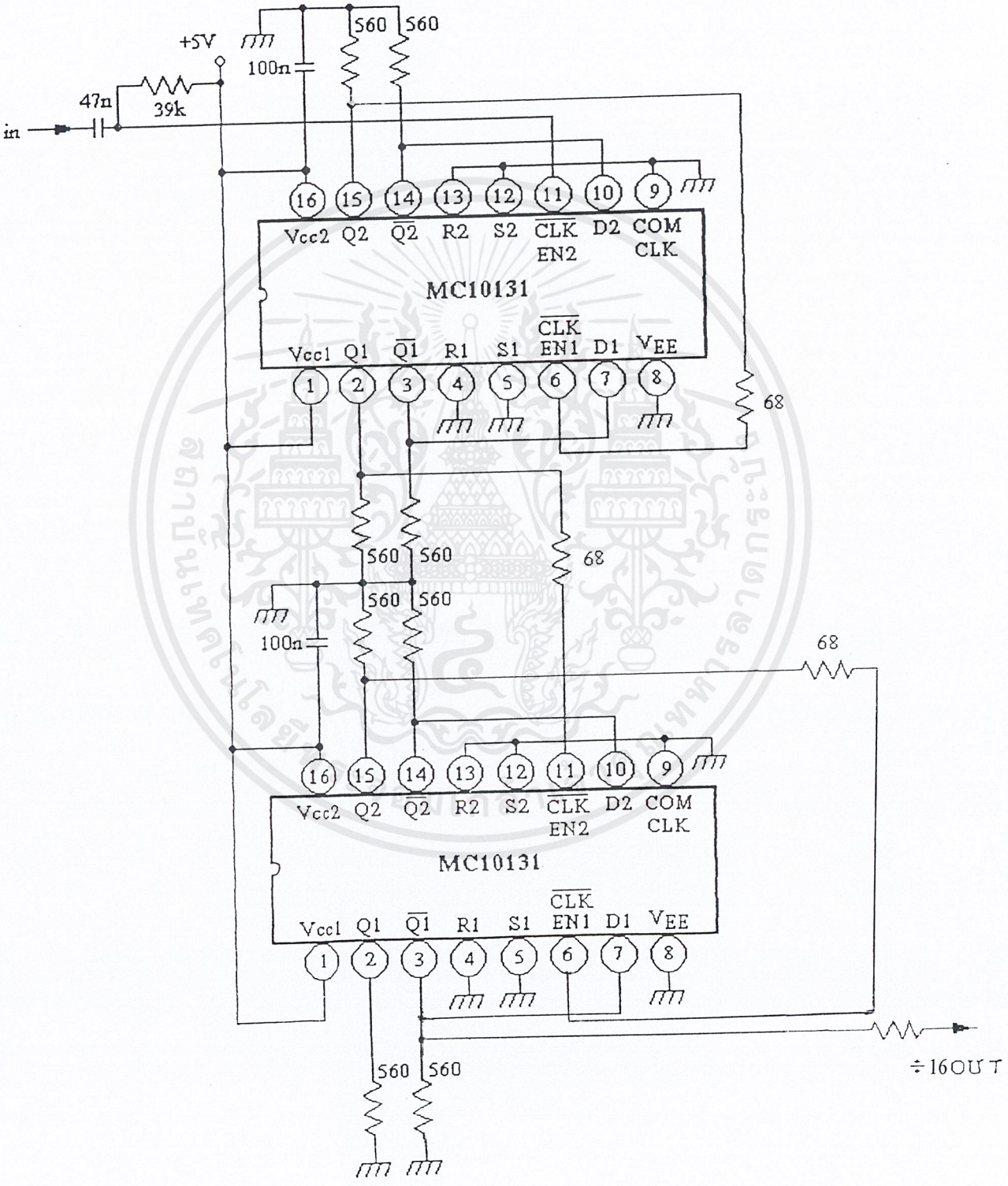
4.3 ตัวหารพรีสเกลเลอร์ (Prescaler)

เนื่องจากไอซีเฟสล็อคลูป รับความถี่ได้จำกัด (ไม่เกิน 25 MHz) จึงต้องมีการหารความถี่ลงมาก่อน ซึ่งในโครงงานนี้ได้ออกแบบให้หารความถี่ก่อนเข้า ไอซีเฟสล็อคลูป ไว้ที่ 16 (÷P = 16)

ในส่วนของ PRESCALER นั้นได้ใช้ไอซี MC 10131 ซึ่งมีลักษณะการทำงาน เป็นแบบ Dual Type D Master-Slave Flip-Flop (ดูรายละเอียดจากภาคผนวก ข) ซึ่งหลักการทำงานของ ดีฟลิปฟลอปนั้นมีลักษณะเป็นวงจรนับซึ่งจะทริกตามสัญญาณขาเข้าทุก 1 คาบ เพื่อให้เกิดสัญญาณดิจิตอลขาออกครึ่งคาบ ทำให้ ดี ฟลิปฟลอป หนึ่งตัวจะหารความถี่ได้ 2 เท่า ในโครงงานนี้เราต้องการหารความถี่จาก VCO ด้วย 16 ดังนั้นต้องใช้ ดีฟลิปฟลอป 4 ตัว (ไอซี 1 ตัว บรรจุ ดีฟลิปฟลอป 2 ตัว) ต่ออนุกรมกัน โดยรูปวงจรเป็นดังรูปที่ 4.7

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

PRESCALER

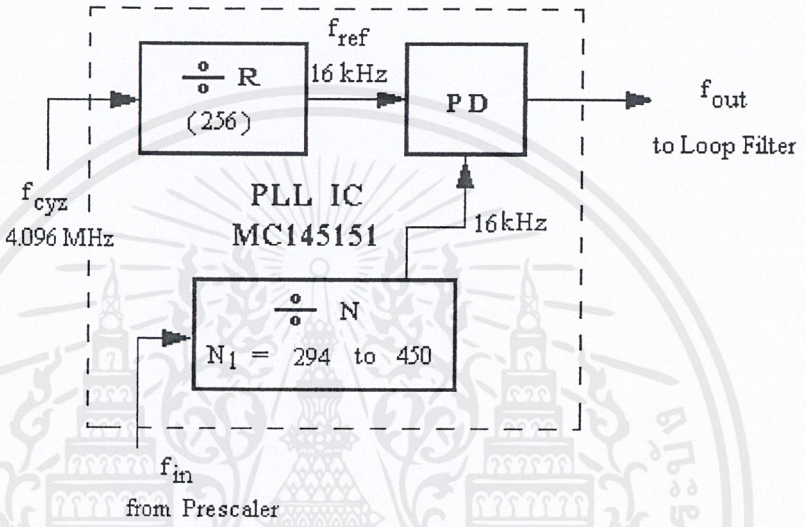


รูปที่ 4.7 วงจรพรีสเกลเลอร์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4.4 ไอซีควบคุมเฟสล็อคลูป

ใช้ไอซีสำเร็จรูปเบอร์ MC145151 ซึ่งเป็นไอซีตระกูล CMOS PLL Frequency Zynthesizer ใช้ เฟสดีเทคเตอร์เป็นแบบดิจิตอล ส่วนหาร N ใช้ขาควบคุม 14 ขา โดยมีลอจิกเป็น 1 เมื่อปล่อยขาลอยไว้ และมีลอจิกเป็น 0 เมื่อต่อลง Ground ส่วนหาร R ที่ควบคุมความถี่จากคริสตอล มีขาควบคุม 3 ขา หลักการต่อเหมือนขา หาร N รายละเอียดเพิ่มเติมดูได้จากภาคผนวก ข



รูปที่ 4.8 หลักการทำงานภายในของไอซีเฟสล็อคลูป

จากรูปจะเห็นว่า ความสัมพันธ์ของความถี่ขึ้นกับค่าพารามิเตอร์ N เพิ่มขึ้นมาอีกนอกจากพารามิเตอร์หาร P ในส่วนก่อนหน้านี้ ซึ่งมีความสัมพันธ์เป็นไปดังสมการ

$$f_o = N P f_{ref} \tag{4.33}$$

โดยความถี่อ้างอิงที่ออกแบบไว้คือ 16 KHz และค่าหาร P คือ 16 ค่า N จะเป็นจำนวนเต็มมีค่าตั้งแต่ 294 ถึง 450 ดังนั้น เวลาเปลี่ยนค่า N แต่ละขั้นจะทำให้ความถี่เปลี่ยนไป $P*f_{ref}$ เท่ากับ 16*16 kHz = 256 kHz ต่อขั้น เช่นที่ค่า N เท่ากับ 294 จะได้ความถี่เอาท์พุท 294*16*16 kHz = 75.264 MHz ตามสมการที่ 4.33 และที่ N เท่ากับ 295 จะได้ความถี่เอาท์พุท 75.520 MHz ซึ่งต่างกับขั้นที่แล้ว 256 kHz เป็นต้น

ความถี่อ้างอิงซึ่งมาจากความถี่ของคริสตอลผ่านส่วนหาร R และมีความสัมพันธ์ดังสมการที่ 4.34

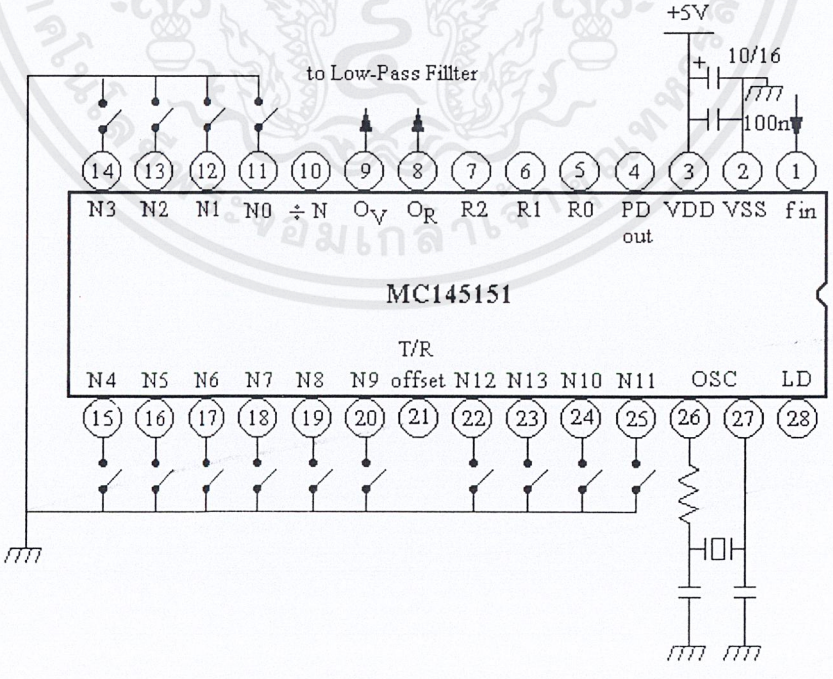
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$f_{ref} = \frac{f_{crystal}}{R} \quad (4.34)$$

โดยคริสตอลที่ใช้คือความถี่ 4.096 MHz เมื่อผ่านการหาร R = 256 จึงได้ความถี่อ้างอิง 16 kHz ซึ่งค่า R ควบคุมได้โดยการต่อลอจิกที่ขา 5 ถึงขา 7 ของไอซีและ คริสตอลต่อที่ขา 26 และ 27

หลักการควบคุมความถี่คือการปรับค่าหาร N จะเป็นการเปลี่ยนแปลงความถี่ที่ออกมาจากส่วนหาร N ทำให้ความถี่ที่ออกมาจากส่วนหาร N นั้น ไม่เท่ากับความถี่อ้างอิง ส่วนของเฟสดีเทคเตอร์ (PD) เมื่อตรวจพบว่าความถี่จากสองทางนั้นไม่เท่ากัน จะปล่อย Error Voltage ออกมา ส่งผ่านไปที่ส่วน ลูปฟิลเตอร์เพื่อกรองเอาแรงดันความถี่ต่ำไปควบคุม VCO ให้ผลิตความถี่ใหม่ให้สอดคล้องตามสมการที่ 4.33 เพื่อให้ความถี่ที่ออกมาจากส่วนหาร N กลับไปเท่ากับความถี่อ้างอิงอีกครั้งหนึ่ง เมื่อความถี่ที่ออกมาจากส่วนหาร N กลับไปเท่ากับความถี่อ้างอิงอีกครั้ง สภาวะนี้เรียกว่าสภาวะ "ล็อค" ซึ่งส่วนสำคัญที่สุดที่จะทำให้ระบบเฟสล็อคลูปทำงานได้อย่างสมบูรณ์หรือไม่ อยู่ที่การออกแบบ ลูปฟิลเตอร์ ซึ่งจะเป็นส่วนต่อไปที่จะกล่าวถึง

การปรับค่า N นั้นดังที่กล่าวไปแล้วคือจะต้องปรับที่ขาควบคุมควบคุม N_0 ถึงN_{13} โดยจะเป็นลอจิกเป็น 1 เมื่อปล่อยขาลอยไว้ และมีลอจิกเป็น 0 เมื่อต่อลง Ground ซึ่งเราจะใช้ดิพสวิทช์เป็นตัวปิด-เปิดการต่อเชื่อมระหว่างขาควบคุมกับ Ground ดังรูปที่ 4.9



รูปที่ 4.9 การเชื่อมต่อวงจรไอซีควบคุมเฟสล็อคลูป

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สำหรับการปรับค่า N จากดิพสวิทช์นั้น ต้องแปลงค่า N ให้เป็นเลขฐานสองก่อน ซึ่งเป็นไปดังตารางที่ 4.1

f out (MHz)	ค่า N	N 10	N 9	N 8	N 7	N 6	N 5	N 4	N 3	N 2	N 1	N 0
75	293	0	0	1	0	0	1	0	0	1	0	1
80	313	0	0	1	0	0	1	1	1	0	0	1
85	332	0	0	1	0	1	0	0	1	1	0	0
90	352	0	0	1	0	1	1	0	0	0	0	0
95	371	0	0	1	0	1	1	1	0	0	1	1
100	391	0	0	1	1	0	0	0	0	1	1	1
105	410	0	0	1	1	0	0	1	1	0	1	0
110	430	0	0	1	1	0	1	0	1	1	1	0
115	450	0	0	1	1	1	0	0	0	0	1	0

ตารางที่ 4.1 ตัวอย่างค่า N ที่ใช้ปรับดิพสวิทช์ในแต่ละความถี่

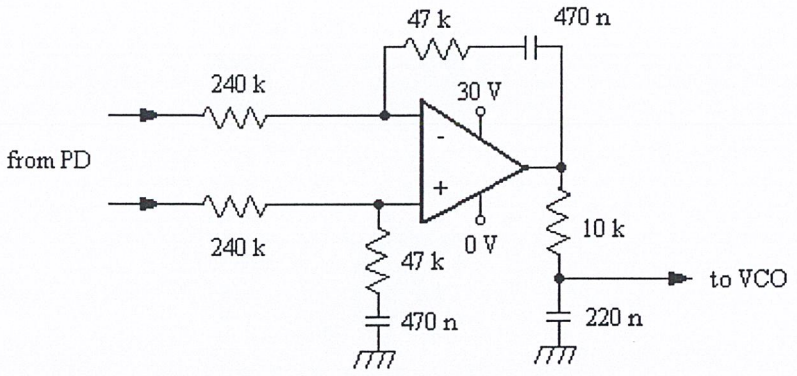
สังเกตจากตาราง จะเห็นได้ว่า บิตที่ 8 จะมีค่า 1 ในทุกค่าของ N และบิตที่ 9 ขึ้นไปจะมีลอจิก 0 ทั้งหมด ดั้งนั้นในการต่อใช้งานจริง จึงปล่อยขา N8 ให้ลอยไว้ และตั้งแต่ขา N9 ถึง N13 จะต่อเชื่อมกับ Ground โดยตรงเลย

4.5 ลูปฟิลเตอร์ (Loop Filter)

ลูปฟิลเตอร์เป็นส่วนที่สำคัญที่สุดของวงจรเฟสล็อคลูป การออกแบบลูปฟิลเตอร์ที่ไม่เหมาะสม อาจจะทำให้เวลาในการล็อคช้า หรืออาจจะไม่ล็อคเลยก็เป็นได้ ลูปฟิลเตอร์ที่ใช้กับวงจรเฟสล็อคลูปนี้ เป็นลักษณะ วงจรกรองความถี่ต่ำผ่าน (Low-Pass Filter) ซึ่งสามารถใช้ได้ทั้งแบบ แอกทีฟ หรือพาสซีพ ซึ่งในโครงงานนี้ใช้แบบแอกทีฟ มีวงจรดังรูปที่ 4.10 โดยสมการหลักที่เกี่ยวข้องแสดงไว้ ณ สมการที่ 4.35 ถึงสมการที่ 4.38

รายละเอียดในการคำนวณมีดังนี้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.10 วงจรลูปฟิลเตอร์แบบแอกทีฟ

$$\omega_n = \left[\frac{K_\phi K_{VCO}}{NC_1R_1} \right]^{1/2} \quad (4.35)$$

$$\varsigma = 0.5\,\omega_n R_2 C_1 \quad (4.36)$$

$$F(s) = \frac{-(R_2 sC_1 + 1)}{R_1 sC_1} \quad (4.37)$$

โดย

$$K_{VCO} = \frac{2\pi\Delta f_{VCO}}{\Delta V_{VCO}} \quad (4.38)$$

และ

Damping Factor: $\varsigma \cong 1.14$

("Minimize flicker jitter Criterion" from Optimization of Damping in Second-Order Loops Table. Gardner Page 141)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ผลที่ได้จากการสร้าง VCO ที่แรงดันรีเวอร์สไบอัสทางอินพุทของ VCO ตั้งแต่ 0.25 V ถึง 30 V จะผลิตความถี่ได้ในช่วง 72.73 MHz ถึง 118.6 MHz ดังนั้นจะได้ค่า Δf_{VCO} = 45.87 MHz และค่า ΔV_{VCO} = 29.75 V และเมื่อคำนวณตามสมการที่ 4.38 แล้ว จะได้ค่า K_{VCO} = 9.688 M Rad/s-V

ค่า N ที่เราใช้คือ 294*16 = 4704 ถึง 450*16 = 7200 แต่ค่าที่จะใช้แทนในสมการที่ 4.35 คือค่าเฉลี่ยรากที่สองของผลคูณระหว่างค่า N ต่ำสุดกับค่า N สูงสุด คือ $(4704*7200)^{1/2}$ = 5820

ค่า K_d สำหรับ 2 states Phase-Frequency Detector (PFD) เราจะใช้ตามสมการที่ 4.39 จะได้ค่า K_d เท่ากับ 0.756 V/Rad

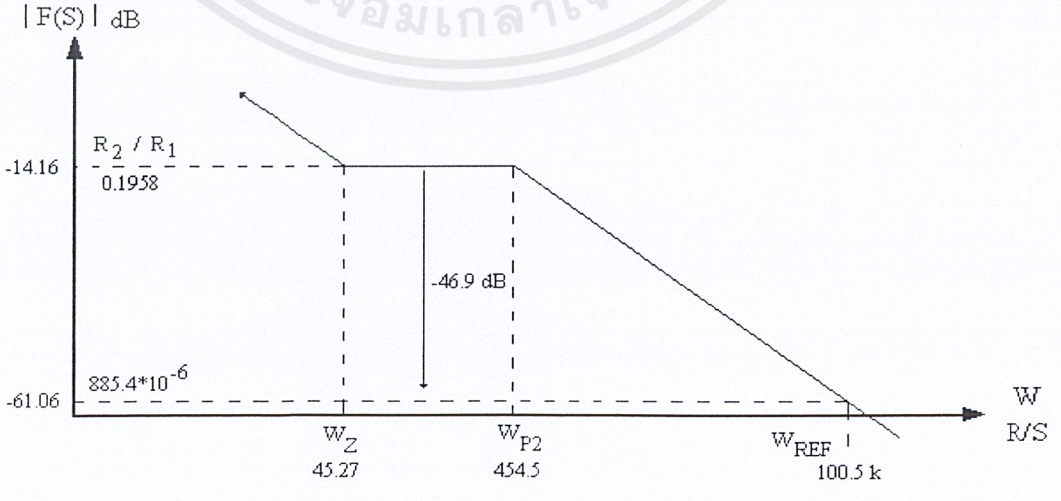
$$K_d = \frac{\Delta v_d}{2\pi} \tag{4.39}$$

ค่า ω_n สำหรับ PFD เราจะใช้ตามสมการที่ 4.40

$$\omega_n = \frac{\Delta\omega_{PO}}{11.55(\varsigma + 0.5)} \tag{4.40}$$

เราให้ $\Delta\omega_{PO}$ = 2000 R/sec ,ς = 1.14 จะได้ ω_n = 105.6 R/sec

เมื่อแทนค่าต่างๆที่ได้มานี้ลงในสมการที่ 4.35 และ 4.36 แล้ว จะได้ค่า R_1C_1 = 112.9 ms และค่า R_2C_1 = 21.59 ms ถ้าเราให้ C_1 = 0.47 uF จะได้ค่า R_1 ประมาณ 240 kΩ และค่า R_2 ประมาณ 47 kΩ



รูปที่ 4.11 ผลตอบสนองความถี่ของลูปฟิลเตอร์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จะได้ค่า $\omega_Z \approx 1/R_2C_1 \approx 45.27$ R/sec และถ้าให้ $\omega_{P2} > 10\omega_Z$ จะได้ $\omega_{P2} \approx 454.5$ R/sec $= 1/R_3C_2$ แล้วเลือกค่า R_3 , C_2 ที่เหมาะสมไปใช้งาน

สัญญาณที่ออกมาจากลูปฟิลเตอร์จะเป็นลักษณะแรงดันส่งกลับไปที่ อินพุทของ VCO ครบกระบวนการของเฟสล็อคลูป

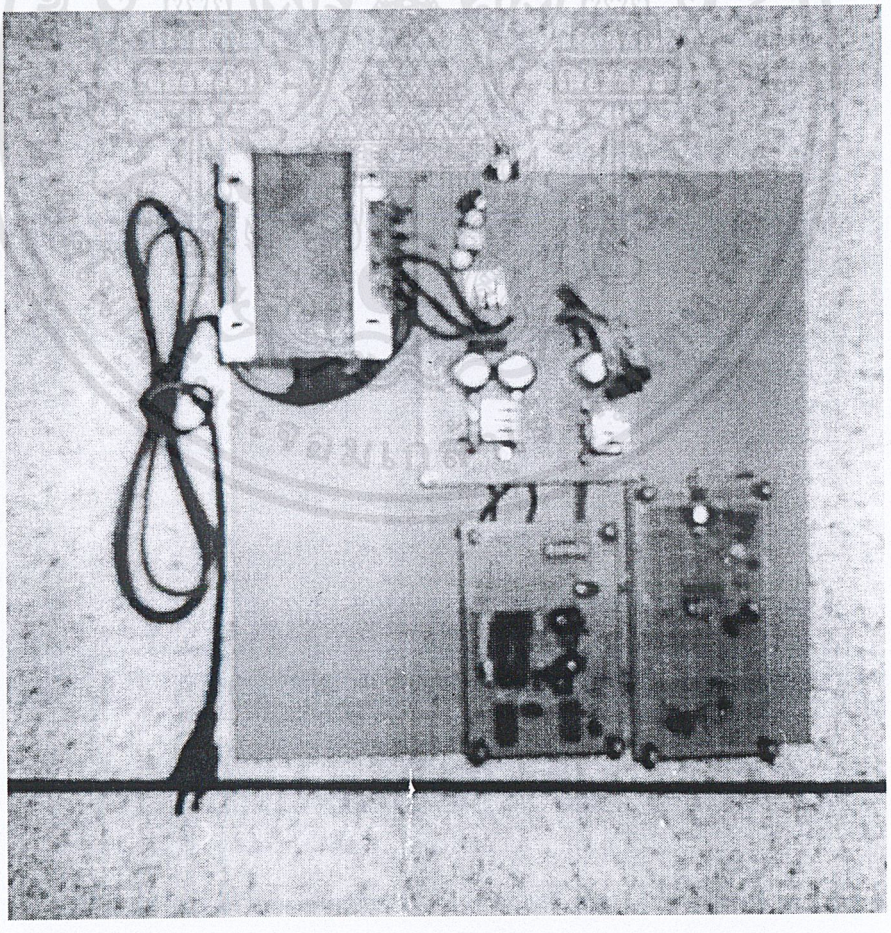
เมื่อได้สัญญาณจากทั้งสองภาคแล้ว เราจะทำการผสมความถี่กัน (MIX) แล้วกรองเอาความถี่ช่วงต่ำออกมาใช้งาน ดังที่ได้กล่าวไว้ตอนต้นแล้ว

4.6 วิธีการใช้งาน

การเลือกความถี่ที่จะผลิตออกมานั้น ทำได้โดย

1) ปรับดิพสวิทช์เลือกช่วงความถี่ที่ใกล้เคียงกับที่ต้องการใช้งานมากที่สุด โดยต้องเลือกค่าความถี่ให้ต่ำกว่าที่ต้องการ

2) หมุนสวิทช์ปรับความถี่ของส่วน VCO ความถี่ต่ำเพื่อให้ได้ความถี่ที่ต้องการ ขณะที่ใช้เครื่องมือวัดความถี่ที่ออกมานั้นด้วย



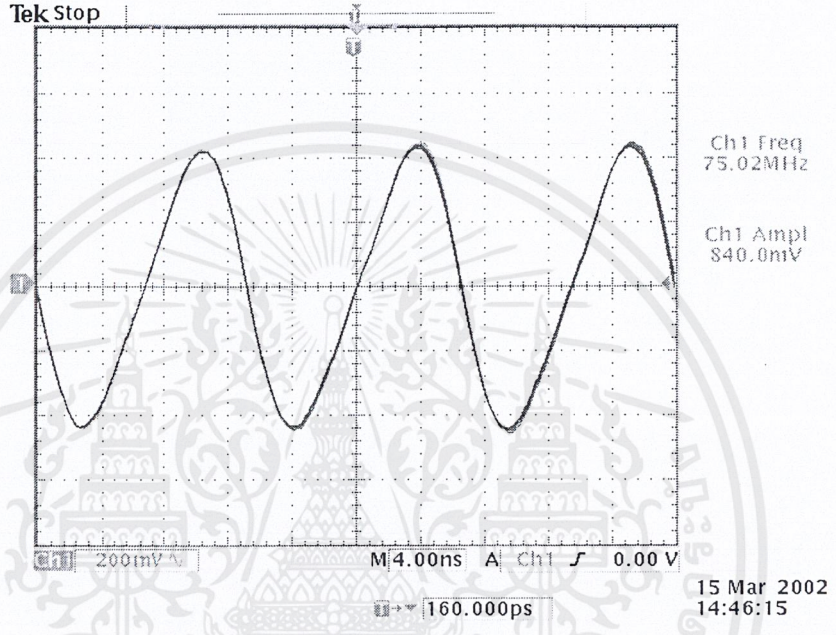
รูปที่ 4.12 โครงงานที่เสร็จสมบูรณ์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

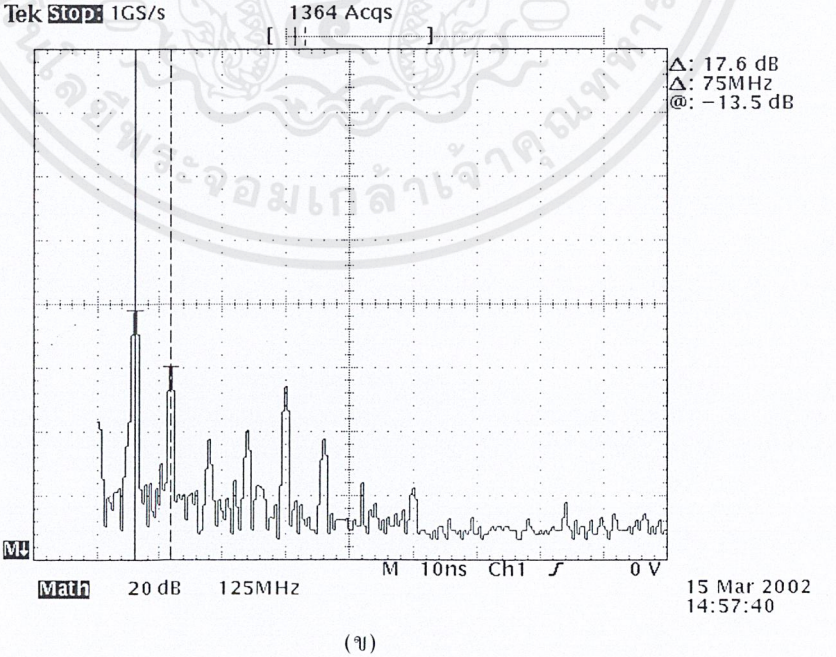
บทที่ 5

การทดลองและผลการทดลอง

เมื่อเราลองใช้ ออสซิลโลสโคป วัดสัญญาณที่ได้จากเอาท์พุทของ VCO ทังสองตัวก่อนที่จะเอาไปทำการ Mix จะได้รูปสัญญาณเป็นดังรูปที่ 5.1 ถึง 5.6



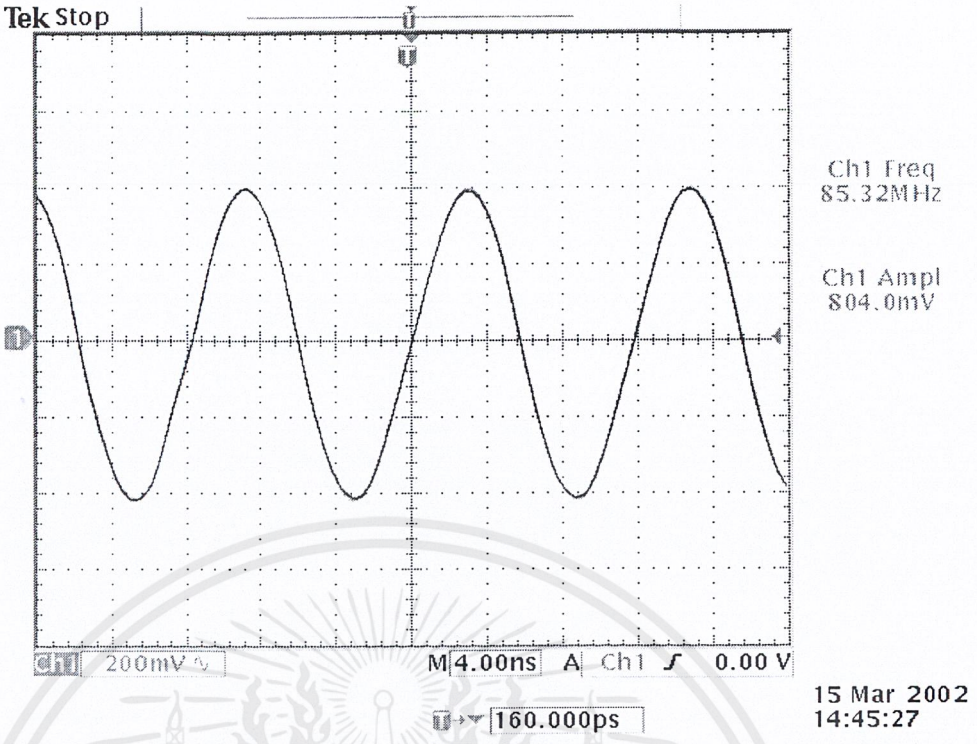
(ก)



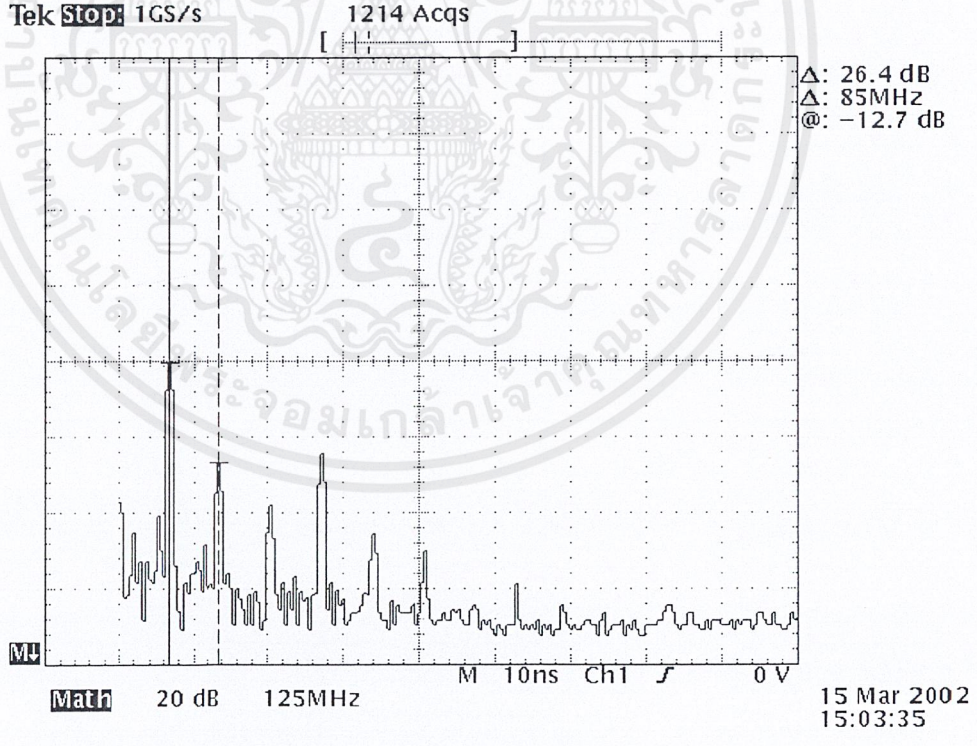
(ข)

รูปที่ 5.1 (ก) สัญญาณเอาท์พุทของ VCO ภาคแรก ที่ความถี่ 75 MHz (ข) สเปกตรัม

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



(ก)

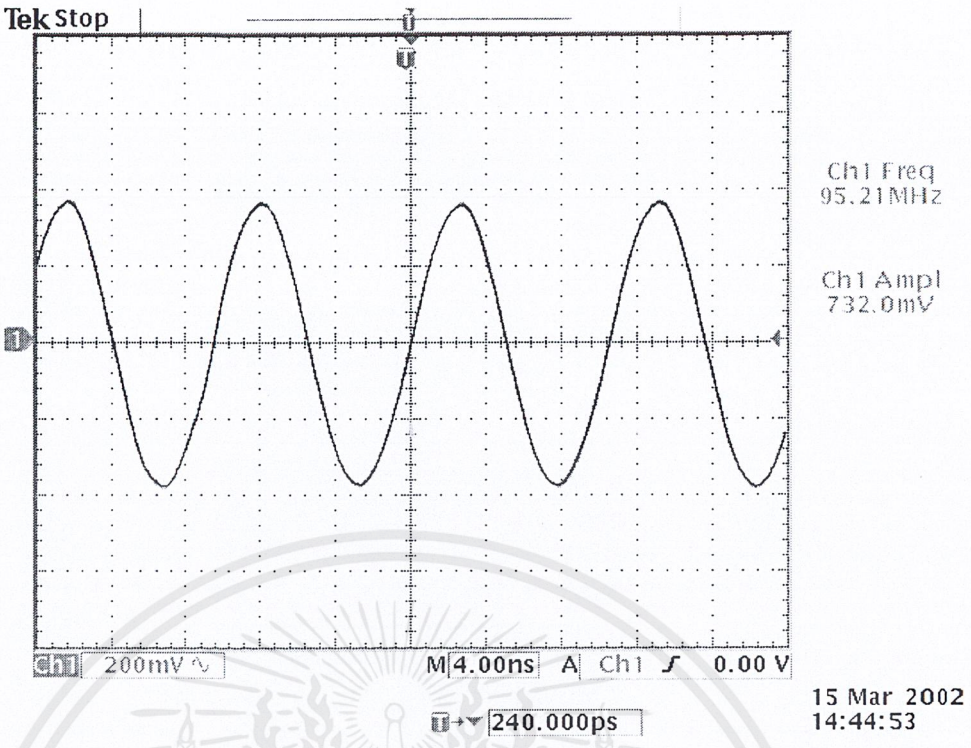


(ข)

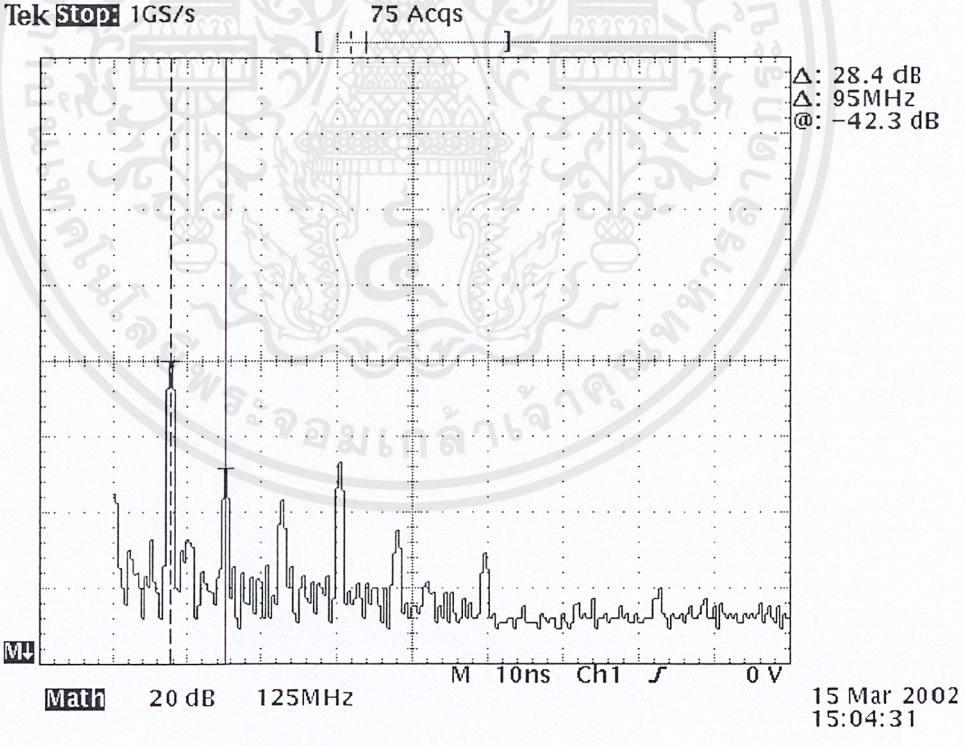
รูปที่ 5.2 (ก) สัญญาณเอาท์พุทของ VCO ภาคแรก ที่ความถี่ 85 MHz

(ข) สเปกตรัมของสัญญาณ (ก)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



(ก)

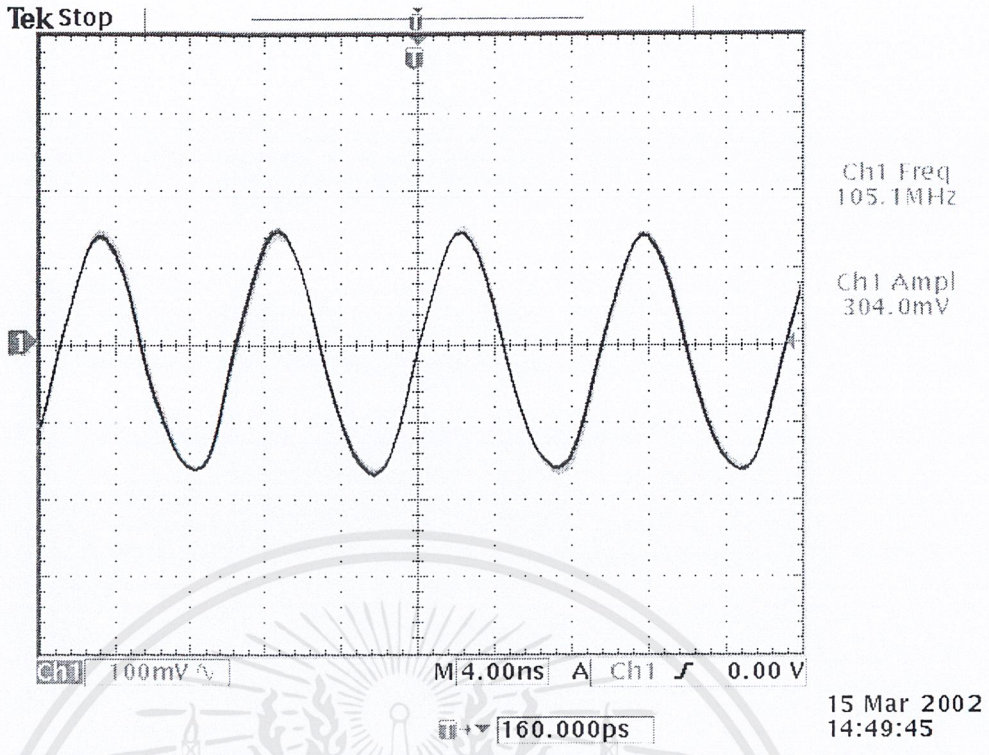


(ข)

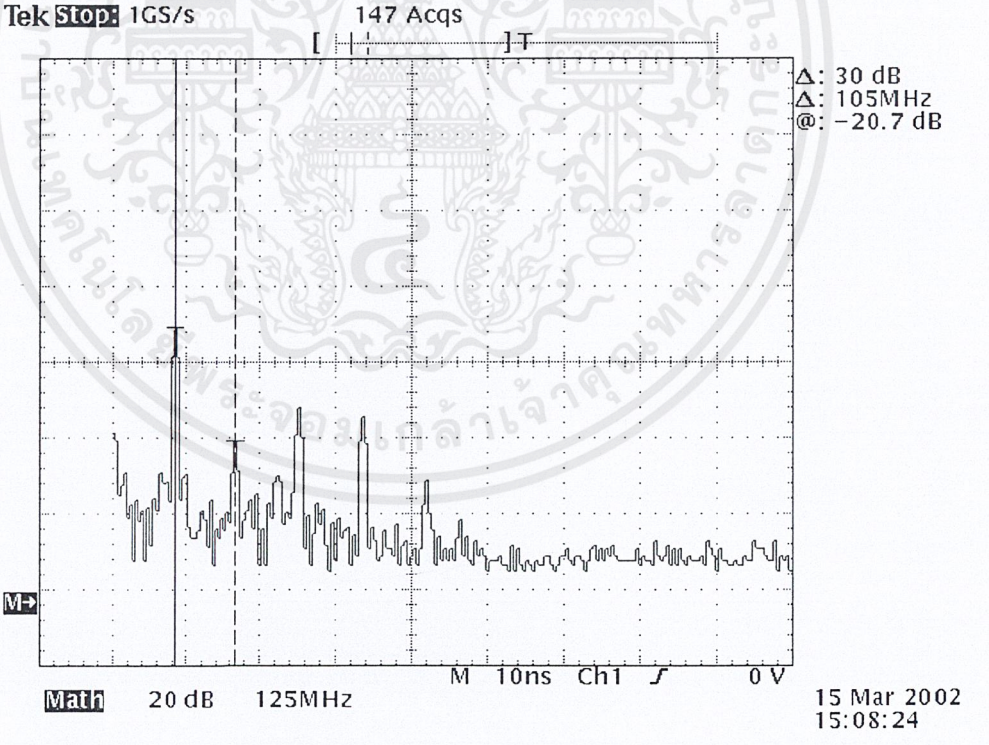
รูปที่ 5.3 (ก) สัญญาณเอาท์พุทของ VCO ภาคแรก ที่ความถี่ 95 MHz

(ข) สเปกตรัมของสัญญาณ (ก)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



(ก)

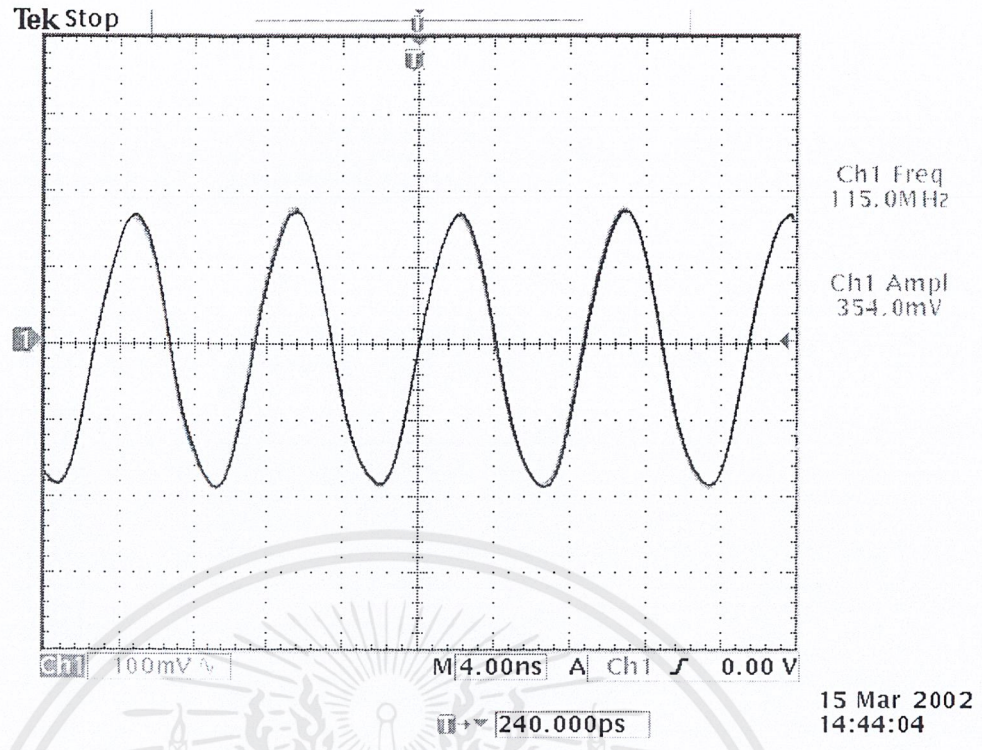


(ข)

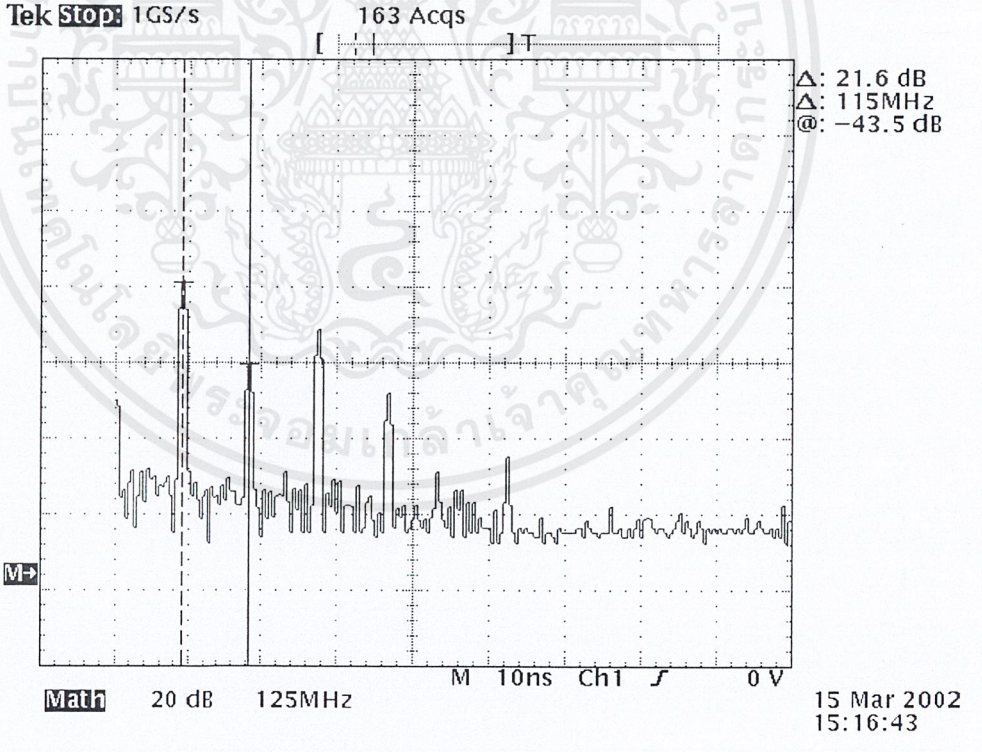
รูปที่ 5.4 (ก) สัญญาณเอาท์พุทของ VCO ภาคแรก ที่ความถี่ 105 MHz

(ข) สเปกตรัมของสัญญาณ (ก)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



(ก)

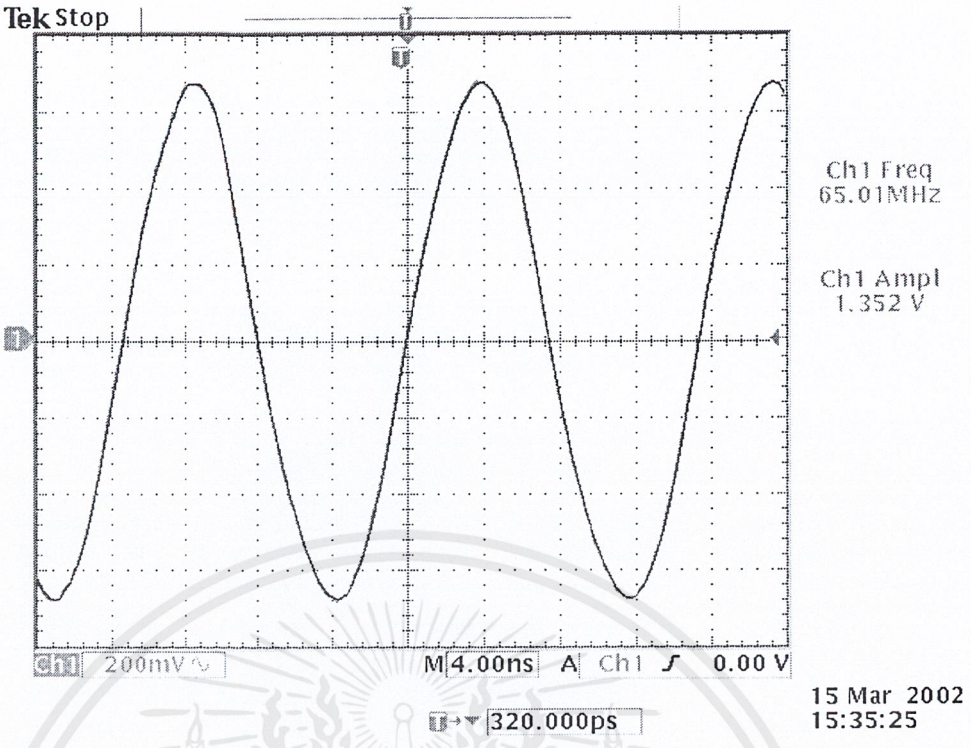


(ข)

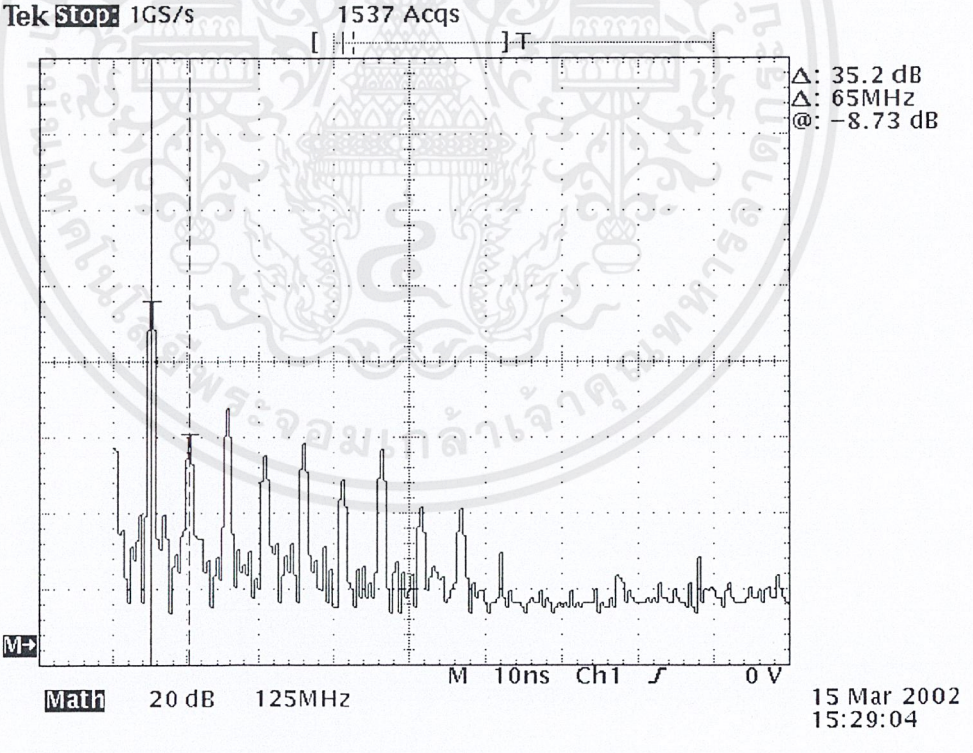
รูปที่ 5.5 (ก) สัญญาณเอาท์พุทของ VCO ภาคแรก ที่ความถี่ 115 MHz

(ข) สเปกตรัมของสัญญาณ (ก)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



(ก)



(ข)

รูปที่ 5.6 (ก) สัญญาณเอาท์พุทของ VCO ภาคที่ 2 ที่ความถี่ 65 MHz

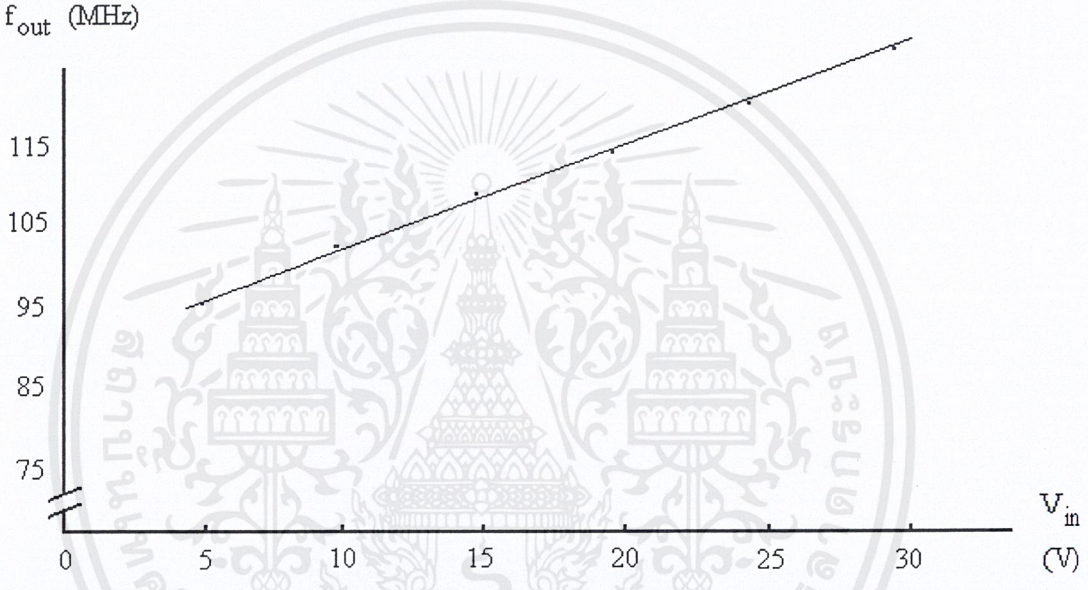
(ข) สเปกตรัมของสัญญาณ (ก)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รูปที่ 5.1 ถึง 5.5 เป็นตัวอย่างรูปสัญญาณ และ สเปกตรัม ณ ความถี่ต่างๆของ VCO ภาคแรก ส่วนรูปที่ 5.6 เป็นตัวอย่างรูปสัญญาณและสเปกตรัมของ VCO ภาคที่ 2 ที่ความถี่ 65 MHz

จากรูปจะเห็นว่าสัญญาณที่ได้ ค่อนข้างสมบูรณ์ มีลักษณะใกล้เคียงสัญญาณ ซายนูซอยที่มีความบริสุทธิ์ (Pure Sine) สังเกตจากสเปกตรัม แท่งความถี่ที่ฮาร์โมนิค Fundamental จะโตกว่าฮาร์โมนิคถัดไปประมาณ 20 เดซิเบล ในทุกความถี่

ส่วนความสัมพันธ์ ระหว่างแรงดันอินพุทของ VCO กับความถี่ที่ VCO ผลิตได้ มีความสัมพันธ์ตามรูปที่ 5.7

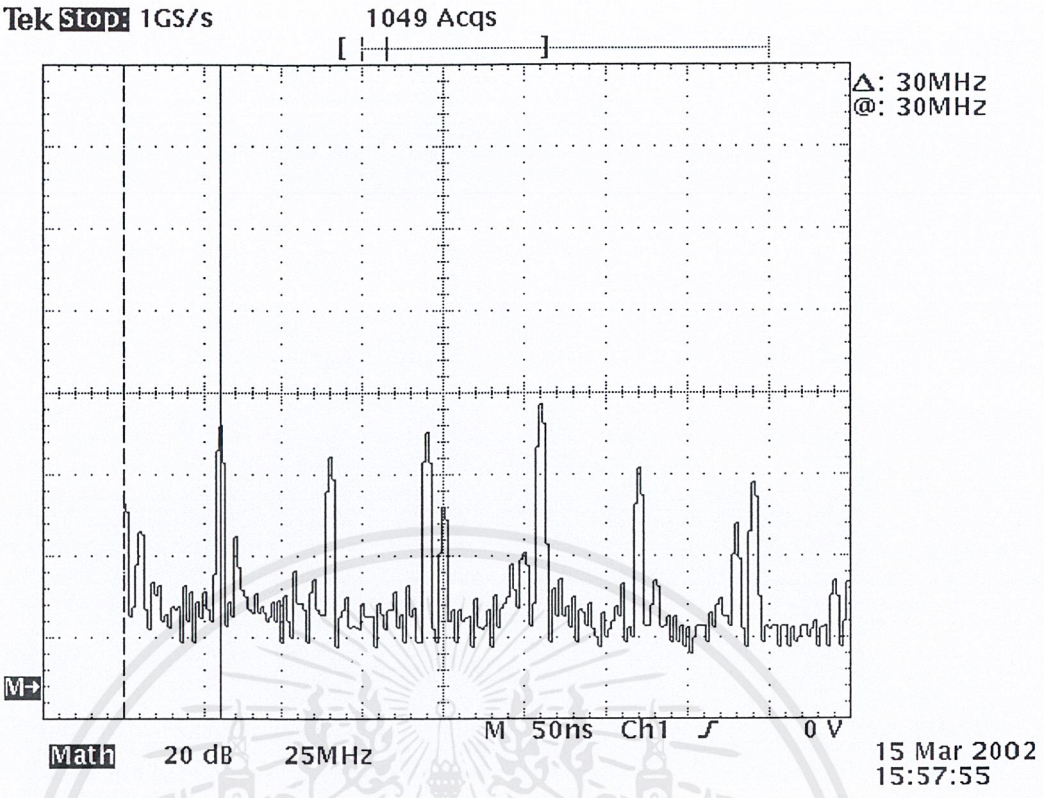


รูปที่ 5.7 แผนภาพแสดงความสัมพันธ์ระหว่าง Vin ที่ป้อน กับความถี่ที่ได้ ของ VCO ภาคแรก

เห็นได้ว่า ความถี่ของ VCO จะแปรตาม กับแรงดันไฟตรงที่จ่ายให้ ส่วน Vout ที่ได้ จะมีขนาดที่ลดลงเล็กน้อยเมื่อความถี่มากขึ้น โดยความสัมพันธ์ของแรงดันทั้งสองนั้น กับค่าความถี่ ค่อนข้างจะเป็นแบบเชิงเส้น

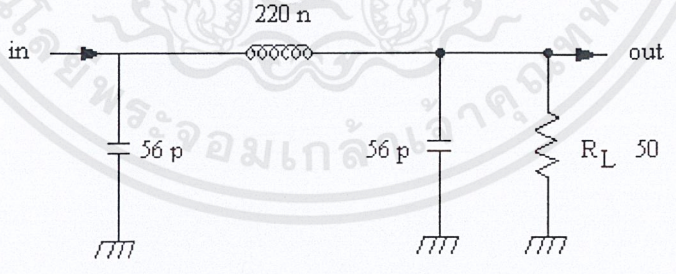
เมื่อนำสัญญาณจาก VCO ทั้งสองมาผสมกันแบบ Down mix จะได้ความถี่ที่ออกมาจากมิกเซอร์ทั้งหมด 4 ค่า คือความถี่จากของทั้งสอง VCO และจะได้ผลบวกของความถี่ และผลลบของความถี่เพิ่มขึ้นมา ดังแสดงไว้ที่รูปที่ 5.8 เป็นสเปกตรัมที่ออกมาจากส่วนมิเซอร์ ของการผสมความถี่ 95 MHz ของ VCO ภาคแรก กับความถี่ 65 MHz จาก VCO ภาคที่ 2 จะได้ความถี่ 95-65 = 30 MHz และความถี่ 95+65 = 160 MHz เพิ่มขึ้นมา

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 5.8 สเป็กตรัมที่ได้จาก MIXER ของการผสมความถี่ระหว่าง 65 MHz กับ 95 MHz

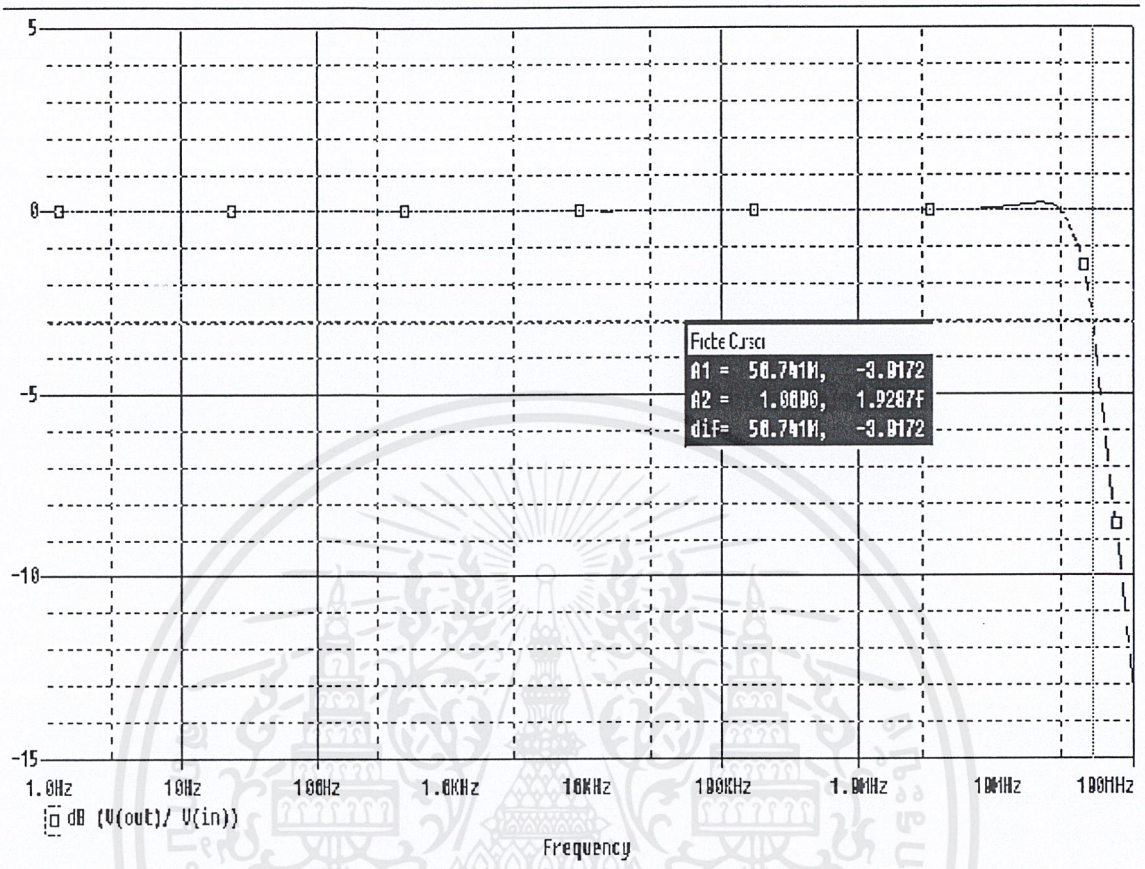
สัญญาณที่ออกจาก มิกเซอร์ จะทำการกรองเอาเฉพาะความถี่ต่ำช่วง 10 MHz ถึง 50 MHz ที่ต้องการ ซึ่งวงจรกรองความถี่ต่ำผ่านที่ออกแบบไว้เป็นดังรูปที่ 5.9



รูปที่ 5.9 Low-pass Filter ของ MIXER

วงจรกรองความถี่ต่ำผ่านที่ใช้เป็นแบบ บัตเตอร์เวอร์ท ซึ่งมีความถี่คัตออฟ (-3 dB) ที่ 50 MHz ผลตอบสนองความถี่ของวงจรแสดงได้ดังรูปที่ 5.10

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 5.10 ผลตอบสนองความถี่จากการ Simulate Low-pass Filter ของ MIXER

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 6
สรุปและวิจารณ์โครงงาน

ในการทำโครงงานครั้งนี้ประสบกับปัญหาพอสมควร เพราะเป็นงานด้านความถี่สูง (อยู่ในช่วง VHF) เริ่มจากการออกแบบ ในงานความถี่สูงจะมีค่าแฝงในตัวอุปกรณ์ หรือในลายวงจรเพิ่มขึ้นมาจากงานความถี่ต่ำอีกมาก ซึ่งแต่ละค่าล้วนมีผลต่อการทำงานของวงจร ซึ่งจะละเลยไม่ได้ ผู้ออกแบบต้องมีความรู้และประสบการณ์อย่างมาก

การต่อวงจรก็ไม่สามารถต่อลงโปรโตบอร์ดได้ เพราะในโปรโตบอร์ดจะประพฤติตัวมีค่าคาปาซิแตนซ์ หรือค่าความนำแฝงอยู่เมื่อใช้ความถี่สูง จึงต้องใช้แผ่นลายวงจร PCB (แผ่นปริ้นไข่ปลา) อเนกประสงค์ ซึ่งจะใช้เวลาในการต่อ ตรวจสอบและแก้ไขเป็นเวลานานมาก

ลายวงจรในการวางตัวอุปกรณ์ (Lay Out) มีผลอย่างมาก ถ้าวางอุปกรณ์ในตำแหน่งที่ไม่เหมาะสม จะทำให้วงจรทำงานผิดพลาดได้ เพราะจะเกิดค่าคาปาซิแตนซ์ หรือค่าความนำแฝงเพิ่มขึ้นมาในวงจรอีก

เมื่อวัดผล ปัญหาที่พบปัญหาแรกคือสัญญาณที่ออกมาจาก ส่วนขยายสัญญาณ (Amplifier) ของวงจรเฟสล็อคลูปแรกมีขนาดเล็กกว่าที่คาดการณ์ไว้ คือก่อนเข้าวงจรขยายมีระดับความโตของสัญญาณ ประมาณ 1 โวลต์กว่า แต่เมื่อผ่านวงจรขยาย ขนาดของสัญญาณก็ใหญ่ขึ้นเพียงเล็กน้อย คือประมาณ 2 โวลต์กว่าๆ แต่ก็เพียงพอที่จะนำไปใช้งานต่อ แต่ถึงแม้ขนาดของสัญญาณจะไม่ได้รับการขยายมากนัก แต่คุณภาพสัญญาณที่ออกมาจะดีกว่าที่ยังไม่ได้ผ่านวงจรขยายแรงดัน เพราะมีการ matching ของวงจร

ปัญหาที่สอง คือ ส่วนโลพาสฟิลเตอร์ของมิกเซอร์ ไม่ทำงานตามที่ได้ออกแบบ คือไม่สามารถกรองเอาแต่ความถี่ที่ต้องการ (10 MHz - 50 MHz) ออกมาได้เพียงอย่างเดียว แต่กลับเอาความถี่อื่นที่ไม่ต้องการออกมาด้วย อาจเป็นปัญหาที่ตัวมิกเซอร์เองหรือโลพาสฟิลเตอร์ยังไม่เหมาะสมก็เป็นได้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บรรณานุกรม

ประภากร สุวรรณะ,เอกสารประกอบการสอน. กรุงเทพฯ :
ส.เทคโนโลยีพระจอมเกล้าฯลาดกระบัง

Best, Roland E., Phase-Locked loops: design, simulation and application 3rd ed.
Newyork : Mcgraw-hill,c 1997

www.onsemi.com

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ภาคผนวก ก

รายละเอียดการออกแบบ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$F_{min} \approx$ 73.25 MHz

$F_{MAX} \approx$ 117.25 MHz

Mod Deviation ≈ No Mod KHz

$R_{LCOL} \approx$ 500 Ω, $C_{LCOL} \approx$ 0.5 pF

$R_{Lemt} \geq$ 100K Ω, $C_{Lemt} \leq$ 0.5 pF

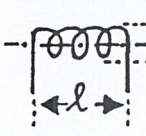
$C_{FIX\ MAX}$ 6.592 pF

$L_{min} \geq$ 57.60 nH (wire Limit)

$L_{min} \geq$ 148.6 nH (VRC Limit)

$L_{MAX} \geq$ 179.8 nH

$L \approx$ 155 nH $C_p \approx$ 1.492 PF



D ≈ 6.0 mm

l ≈ 5.801 mm, 6 TURNS

wire diameter ≈ 0.6 mm

f_{min}	f_{MAX}
$Q_U \approx$ 439.5	$Q_U \approx$ 557.5
$r_p \approx$ 31.35 KΩ	$r_p \approx$ 63.66 KΩ

VCO VARICAP MV2105

$C_{min} \approx$ 7.813 pF / 27.5 V, r_p 34.75 KΩ

$C_{MAX} \approx$ 30.32 pF / 0.50 V, r_p 7.166K Ω

MOD VARICAP No Mod

$C_{min} \approx$ - pF / - V, r_p - Ω

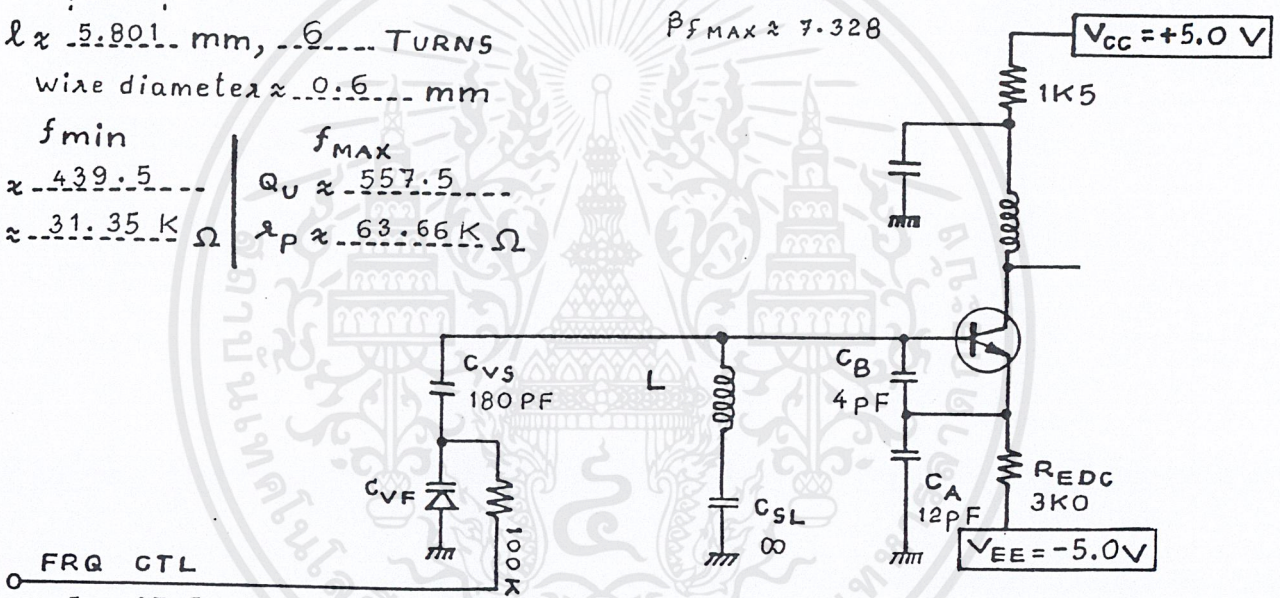
$C_{MAX} \approx$ - pF / - V, r_p - Ω

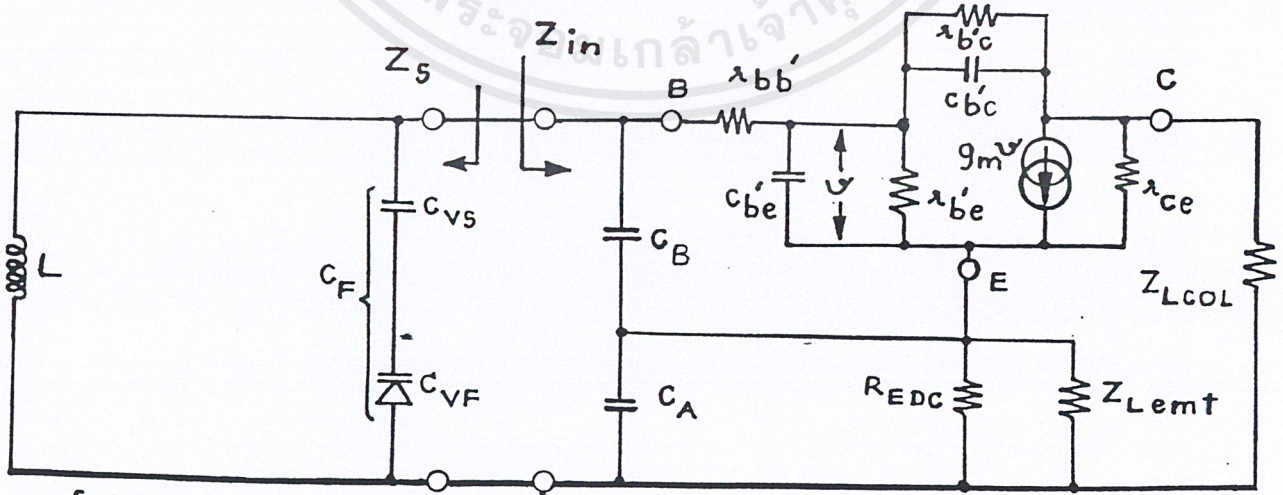
TRANSISTOR MPS5179

$I_Q \approx$ 1.40 mA, $V_{CE} \approx$ 5.0 V

$V_{BE} \approx$ 0.6811 V	$r_{ce} \approx$ 44.50 KΩ
$\beta_o \approx$ 175.9 A/A	$r_{b'c} \approx$ 7.826 MΩ
$r_{bb'} \approx$ 10.0 Ω	$c_{b'c} \approx$ 0.5018 pF
$r_{b'e} \approx$ 3247 Ω	$c_{b'e} \approx$ 9.521 pF
$g_m \approx$ 54.15 mS	$F_T \approx$ 860.0 MHz

$\beta_{f\,MAX} \approx$ 7.328





At ω_x $\begin{cases} |Im\{Z_S\}| = |Im\{Z_{in}\}| \\ |Re\{Z_{SP}\}| > |Re\{Z_{inP}\}| \end{cases}$

$Z_{Lemt} = R_{Lemt} \,//\, -j/\omega C_{Lemt}$

$Z_{LCOL} = R_{LCOL} \,//\, -j/\omega C_{LCOL}$

$Z_E = Z_{Lemt} \,//\, R_{EDC} \,//\, -j/\omega_{CA}$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

L ≈ 155.0 nH

$C_{Bmin} \geq$ 9.521 pF, $C_B =$ 4.0 pF | $C_{VS} =$ 180.0 pF, $\Delta C_M \approx$ 0

$C_{Amin} \geq$ 10.65 pF, $C_A =$ 12.0 pF | $C_{MS} =$ 0 pF, $C_{M(0)} \approx$ 0 F

$f_{VCO\ min} \approx$ 73.25 MHz	$f_{VCO\ MAX} \approx$ 117.25 MHz
$C_{T\ MAX} \approx$ ..... pF	$C_{T\ min} \approx$ 11.89 pF
$C_{F\ MAX} \approx$ 25.95 pF; $\Delta C_F \approx$ 18.46 pF; $C_{F\ min} \approx$ 7.488 pF	
$Z_{in\,P} \approx -$ 839.8 Ω ∥ 1.670 pF $Z_{in\,S} \approx -$ ..... Ω + ... pF $Z_{SP} \approx$ (5.799 ∥ +j 1.031) KΩ	$Z_{in\,P} \approx -$ 375.8 Ω ∥ 2.908 pF $Z_{in\,S} \approx -$ ..... Ω + ... pF $Z_{SP} \approx$ 21.99 K ∥ +j 466.8 Ω
$Z_{o\,COL\,P} \approx$ 727.7 ∥ +j 688.6 Ω $Z_{o\,COL\,S} \approx$ 343.9 + j 360.5 Ω STERN stability factor: $k \approx -0.7726$	$Z_{o\,COL\,P} \approx$ 1194 ∥ +j 934.0 Ω $Z_{o\,COL\,S} \approx$ 453.3 + j 579.5 Ω STERN stability factor: $k \approx -0.9817$

TRANSISTOR Y parameters Include C_B	TRANSISTOR Y parameters Include C_B
$Y_{11e} \approx$ 0.6861 + j 6.166 mS	$Y_{11e} \approx$ 1.300 + j 9.820 mS
$Y_{21e} \approx$ 48.49 − j 4.654 mS	$Y_{21e} \approx$ 48.14 − j 7.442 mS
$Y_{12e} \approx$ −10.13 − j 229.4 μS	$Y_{12e} \approx$ −25.53 + j 364.9 μS
$Y_{22e} \approx$ 33.16 + j 348.0 μS	$Y_{22e} \approx$ 51.20 + j 555.5 μS
OSC CIRCUIT Y parameters Include Z_E	OSC CIRCUIT Y parameters Include Z_E
$Y_{11} \approx$ −0.6553 + j 0.4526 mS	$Y_{11} \approx$ −1.586 + j 1.056 mS
$Y_{21} \approx$ 1.651 + j 5.120 mS	$Y_{21} \approx$ 3.543 + j 7.638 mS
$Y_{12} \approx$ 2.828 − j 235.7 μS	$Y_{12} \approx$ 5.927 − j 382.1 μS
$Y_{22} \approx$ −15.63 + j 241.1 μS	$Y_{22} \approx$ −77.77 + j 395.7 μS

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ค่าพารามิเตอร์ที่ใช้ในการออกแบบ วงจร VCO ภาคที่ 2

$F_{min} \approx$ 64.30 (65.024) MHz

$F_{MAX} \approx$ 66.00 (65.279) MHz

Mod Deviation $\approx$ 75.0 kHz

$R_{LCOL} \approx$ 1K0 Ω, $C_{LCOL} \approx$ 0.5 pF

$R_{Lemt} \geq$ 10K Ω, $C_{Lemt} \leq$ 0.5 pF

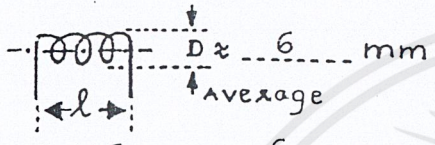
$C_{FIX\ MAX}$ ---- 137.60 ------- pF

$L_{min} \geq$ 32.81 nH (wire limit)

$L_{min} \geq$ ---------- nH (VRC Limit)

$L_{MAX} \geq$ 475.0 nH

$L \approx$ 150.0 nH



$\ell \approx$ 6.105 mm, 6 TURNS

wire diameter $\approx$ 0.6 mm

f_{min}	f_{MAX}
$Q_U \approx$ 333.1	$Q_U \approx$ 493.4
$r_p \approx$ 82.18K Ω	$r_p \approx$ 46.28K Ω

VCO VARICAP MV2105

$C_{min} \approx$ 11.991 pF / 10.0 V, $Q_U \geq 400$, r_p 87.69 K Ω

$C_{MAX} \approx$ 18.965 pF / 2.0 V, r_p 26.11 K Ω, $Q_U \geq 200$

MOD VARICAP MV2105

$C_{min} \approx$ 12.13 pF / 7.50 V, $Q_U \geq 300$, r_p 59.64 K Ω

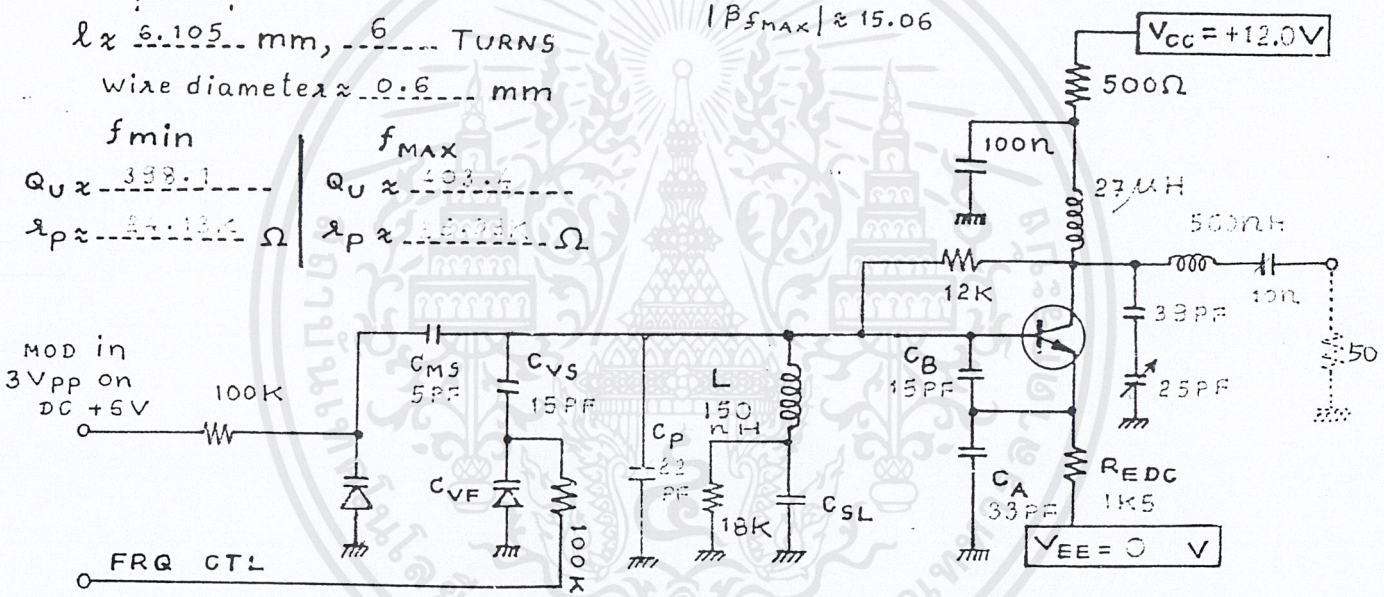
$C_{MAX} \approx$ 14.41 pF / 4.50 V, r_p 51.53 K Ω, $Q_U \geq 300$

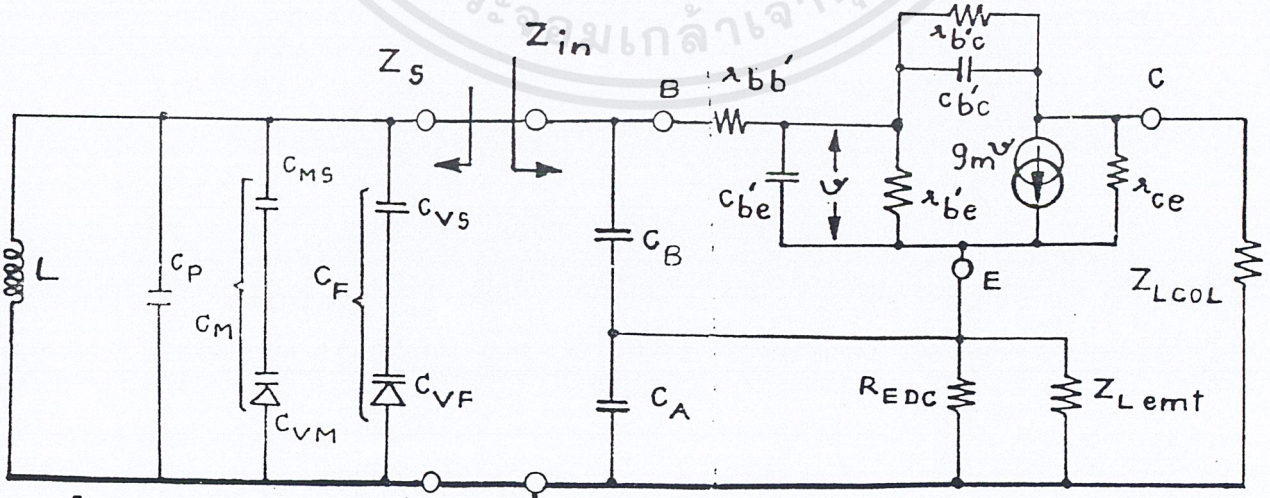
TRANSISTOR MP95179

$I_Q \approx$ 3.33 mA, $V_{CE} \approx$ 5.0 V

$V_{BE} \approx$	2.7035 V	$r_{ce} \approx$	18.69 K Ω
$\beta_o \approx$	156.7 A/A	$r_{b'c} \approx$	3.430M Ω
$r_{bb'} \approx$	10 Ω	$c_{b'c} \approx$	0.5025 pF
$r_{b'e} \approx$	1446 Ω	$c_{b'e} \approx$	29.27 pF
$g_m \approx$	129.9 mS	$F_T \approx$	997.4 MHz

$|\beta_{f_{MAX}}| \approx 15.06$





At ω_x { $|Im\{Z_S\}| = |Im\{Z_{in}\}|$; $|Re\{Z_{SP}\}| > |Re\{Z_{inP}\}|$

$Z_{Lemt} = R_{Lemt} // -j/\omega C_{Lemt}$

$Z_{LCOL} = R_{LCOL} // -j/\omega C_{LCOL}$

$Z_E = Z_{Lemt} // R_{EDC} // -j/\omega_{CA}$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$L \approx$ 150 nH

$C_{Bmin} \geq$ 0 pF,	$C_B =$ 15.0 pF	$C_{VS} =$ 15.0 pF,	$\Delta C_M \approx$ 2.1320
$C_{Amin} \geq$ 21.94 pF,	$C_A =$ 33.0 pF	$C_{MS} =$ 5.0 pF,	$C_{M(0)} \approx$ 3.629 F

$f_{VCO\ min} \approx$ 64.30 MHz		$f_{VCO\ MAX} \approx$ 66.00 MHz
$C_{T\ MAX} \approx$ 36.74 pF		$C_{T\ min} \approx$ 38.77 pF
$C_{F\ MAX} \approx$ 8.375 pF	$\Delta C_F \approx$ 2.029 pF	$C_{F\ min} \approx$ 6.347 pF
$Z_{in\,P} \approx -$ 268.7 Ω ∥ 6.050 pF		$Z_{in\,P} \approx -$ 257.0 Ω ∥ 6.23 pF
$A_v \approx -$ 8.46 − j 9.112 , ∣12.43∣ V/V		$A_v \approx -$ 8.911 − j 9.174 , ∣12.78∣ V/V
$Z_{SP} \approx$ 852.2 ∥ + j 409.1 Ω		$Z_{SP} \approx$ 858.8 ∥ + j 394.0 Ω
$Z_{o\,COL\,P} \approx -$ 28.39K ∥ + j 733.4 Ω		$Z_{o\,COL\,P} \approx$ 896.6K ∥ j 765.4 Ω
$Z_{o\,COL\,S} \approx -$ 18.85 + j 739.0 Ω		$Z_{o\,COL\,S} \approx$ 1.975 + j 765.4 Ω
STERN stability factor: $k \approx -$ 0.1684		STERN stability factor: $k \approx -$ 0.1905

TRANSISTOR Y parameters Include C_B	TRANSISTOR Y parameters Include C_B
$Y_{11e} \approx$ 1.791 − j 13.22 mS	$Y_{11e} \approx$ 1.856 + j 13.56 mS
$Y_{21e} \approx$ 100.0 − j 15.90 mS	$Y_{21e} \approx$ 99.91 − j 16.31 mS
$Y_{12e} \approx -$ 14.49 − j 199.7 μS	$Y_{12e} \approx -$ 15.23 − j 204.8 μS
$Y_{22e} \approx$ 86.48 + j 427.8 μS	$Y_{22e} \approx$ 88.48 + j 438.9 μS
OSC CIRCUIT Y parameters Include Z_E	**OSC CIRCUIT Y parameters Include Z_E**
$Y_{11} \approx -$ 1.660 + j 0.7251 mS	$Y_{11} \approx -$ 1.747 + j 0.7626 mS
$Y_{21} \approx$ 4.191 + j 12.41 mS	$Y_{21} \approx$ 4.372 + j 12.70 mS
$Y_{12} \approx$ 11.49 − j 215.6 μS	$Y_{12} \approx$ 12.06 − j 221.6 μS
$Y_{22} \approx -$ 39.49 + j 229.8 μS	$Y_{22} \approx -$ 41.55 + j 236.5 μS

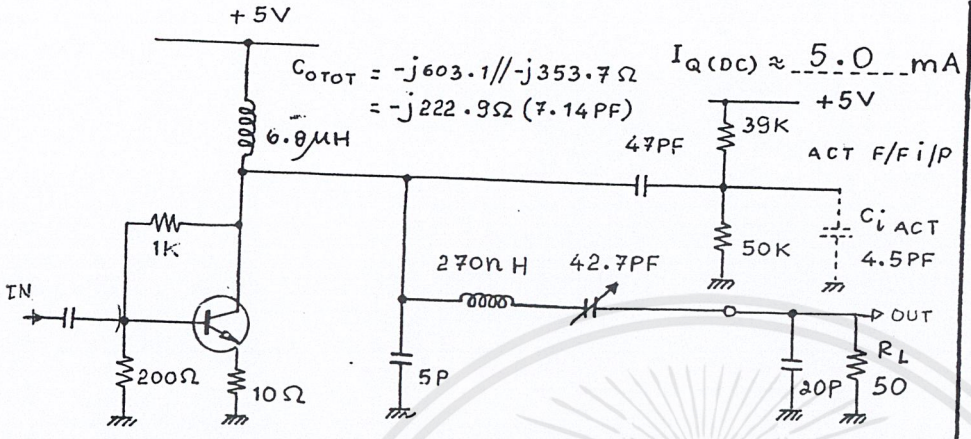
$R_{PL} \approx$ 25.09 K

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ค่าพารามิเตอร์ที่ใช้ในการออกแบบ วงจรขยายสัญญาณ

2SC535 AMPLIFIER CHARACTERISTICS

FREQ. ≈ 100.0 MHz



$I_{Q(DC)}$ ≈ 5.0 mA

Y Parameters

Y_{11} ≈ 9.170 + j7.603 mS

Y_{21} ≈ 45.93 - j9.918 mS

Y_{12} ≈ -968.1 - j437.0 μS

Y_{22} ≈ 1092 + j1088 μS

LINVILL STB FCT ≈ 0.7251

Z_S' = 46.09 (// + j80.68) Ω

Z_L' = 386.9 (// + j603.1) Ω

STERN STB FACTOR : K ≈ 204.5

75% CLASS A $P_{o(MAX)}$ ≈ 3.628 mW

Z_{in} ≈ 46.09 // - j80.68 (_____) Ω

Z_{out} ≈ _____ // j_____ (_____) Ω

v_{in} ≥ _____ (0.2653) V_{PP}

A_v ≈ _____/_____ j_____ (12.63 / -12.61 + j0.7409) v/v

PG ≈ _____ w/w, _____ dB (19.0 w/w, 12.79 dB)

BW^i_{in} ≈ 350.1 MHz BW^i_{out} ≈ 311.7 MHz

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2SC535 / MPSH10 FREQUENCY ≈ 100.0 MHz

DEVICE PARAMETERS

$I_S = 5.08 \times 10^{-15}$ A

$V_{AF} = 90.0$ V

$\beta_F = 78.0$

$N_E = 2.0$

$I_{SE} = 8.4 \times 10^{-12}$ A

$R_C = 4.0$ Ω

$C_{JC} = 1.042$ PF

$M_{JC} = 0.2468$

$V_{JC} = 0.750$ V

$C_{JE} = 1.520$ PF

$T_F = 135.8$ PS

$R_B = 10.0$ Ω

$I_{Q(DC)} \approx 5.0$ mA

$V_{CE} \approx 4.95$ V

$V_{BE} \approx 0.7139$ V

$$\beta_o = \frac{\beta_F \left(1 + \frac{V_{CE}}{V_{AF}}\right)^{1/N_E}}{\left(1 + \frac{V_{CE}}{V_{AF}}\right)^{\left(\frac{1}{N_E} - 1\right)} + \beta_F I_S^{1/N_E} I_{SE} I_Q^{\left(\frac{1}{N_E} - 1\right)}}$$

$$r_{b'e} = \frac{25.85 \times 10^{-3} \beta_o}{I_Q}, \quad g_m = \frac{I_Q}{25.85 \times 10^{-3}}$$

$r_{bb'} = R_B$, $r_{ce} = \frac{V_{AF}}{I_Q}$, $r_{b'c} = \beta_o r_{ce}$

$$c_{b'c} = \frac{C_{JC}}{\left(1 - \frac{V_{CB}}{V_{JC}}\right)^{MJC}}$$

$c_{b'e} = T_F g_m + 2 C_{JE}$

$$F_T = \frac{g_m}{2\pi (c_{b'c} + c_{b'e})}$$

$\beta_o \approx 72.60$

$g_m \approx 193.4$ m

$r_{b'e} \approx 375.4$

$r_{bb'} \approx 10$

$r_{ce} \approx 18.00$ K

$r_{b'c} \approx 1.307$ M

$c_{b'c} \approx 0.6529$ P

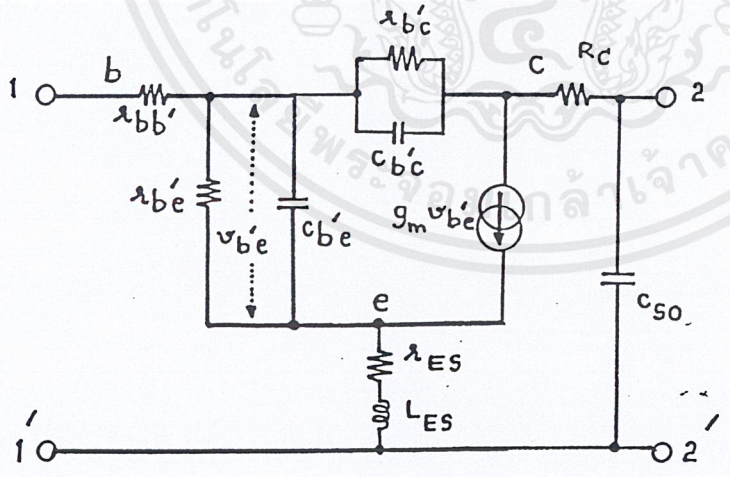
$c_{b'e} \approx 29.30$ P

$F_T \approx 1028$ M

$r_{ES} \approx 1.0$ Ω

$L_{ES} \approx 2.0$ nH

$C_{SO} \approx 1.0$ PF



S Parameters

$S_{11} =$

$S_{21} =$

$S_{12} =$

$S_{22} =$

Y parameters

$Y_{11e} = 6.997 - j\,14.51$ mS

$Y_{21e} = 93.24 - j\,22.82$ mS

$Y_{12e} = -54.35 - j\,380.4$ μS

$Y_{22e} = 259.7 + j\,1678$ μS

C FACTOR = 2.122

$C \leq 0$ or $C \geq$ ≡ Potentialy UNSTABLE

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ภาคผนวก ข

Data sheets

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Dual Modulus Prescaler

MC12015
MC12016
MC12017

The MC12015, MC12016 and MC12017 are dual modulus prescalers which will drive divide by 32 and 33, 40 and 41, and 64 and 65, respectively. An internal regulator is provided to allow these devices to be used over a wide range of power–supply voltages. The devices may be operated by applying a supply voltage of 5.0Vdc ±10% at Pin 7, or by applying an unregulated voltage source from 5.5Vdc to 9.5Vdc to Pin 8.

- 225MHz Toggle Frequency
- Low–Power 7.5mA Maximum at 6.8V
- Control Input and Output Are Compatible With Standard CMOS
- Connecting Pins 2 and 3 Allows Driving One TTL Load
- Supply Voltage 4.5V to 9.5V

MECL PLL COMPONENTS

DUAL MODULUS PRESCALER

P SUFFIX
PLASTIC PACKAGE
CASE 626–05

D SUFFIX
PLASTIC SOIC PACKAGE
CASE 751–05

MAXIMUM RATINGS

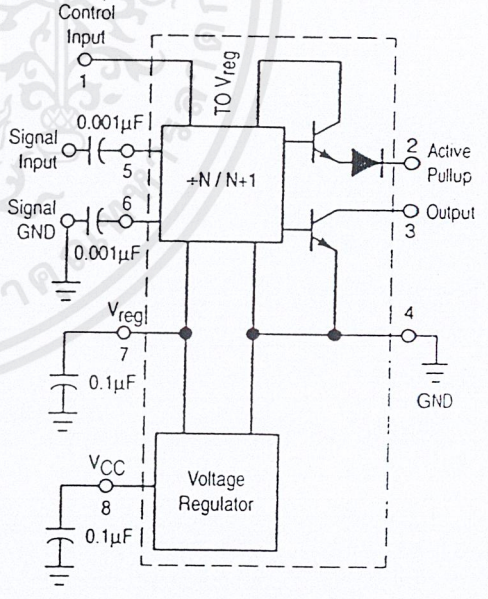
Symbol	Characteristic	Range	Unit
V_{reg}	Regulated Voltage, Pin 7	8.0	Vdc
V_{CC}	Power Supply Voltage, Pin 8	10.0	Vdc
T_A	Operating Temperature Range	–40 to +85	°C
T_{stg}	Storage Temperature Range	–65 to +175	°C

ELECTRICAL CHARACTERISTICS (V_{CC} = 5.5 to 9.5V; V_{reg} = 4.5 to 5.5V; T_A = –40 to +85°C)

Symbol	Characteristic	Min	Typ	Max	Unit
f_{max} f_{min}	Toggle Frequency (Sine Wave Input)	225		 35	MHz
I_{CC}	Supply Current		6.0	7.8	mA
V_{IH}	Control Input HIGH (÷32, 40 or 64)	2.0			V
V_{IL}	Control Input LOW (÷33, 41 or 65)			0.8	V
V_{OH}	Output Voltage HIGH[1] (I_{source} = 50µA)	2.5			V
V_{OL}	Output Voltage LOW[1] (I_{sink} = 2mA)			0.5	V
V_{in}	Input Voltage Sensitivity 35MHz 50–225MHz	 400 200		 800 800	mV_{PP}
t_{PLL}	PLL Response Time (Notes 2 and 3)			t_{out}–70	ns

1. Pin 2 connected to Pin 3
2. t_{PLL} = the period of time the PLL has from the prescaler rising output tranistion (50%) to the modulus control input edge transition (50%) to ensure proper modulus selection
3. t_{out} = period of output waveform

PRESCALER BLOCK DIAGRAM



1. V_{reg} at Pin 7 is not guaranteed to be between 4.5 and 5.5V when V_{CC} is being applied to Pin 8
2. Pin 7 is not to be used as a source of regulated output voltage

© Motorola, Inc. 1996

MOTOROLA

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

MOTOROLA
SEMICONDUCTOR TECHNICAL DATA

Order this document
by MC145151–2/D

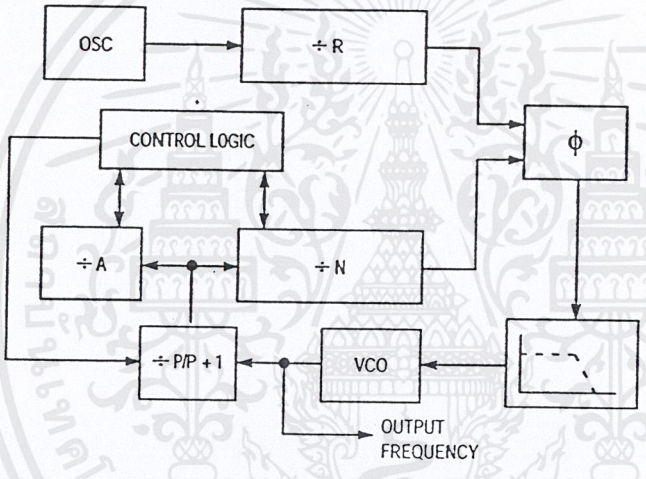
MC145151-2
MC145152-2
MC145155-2
MC145156-2
MC145157-2
MC145158-2

PLL Frequency Synthesizer Family
CMOS

The devices described in this document are typically used as low–power, phase–locked loop frequency synthesizers. When combined with an external low–pass filter and voltage–controlled oscillator, these devices can provide all the remaining functions for a PLL frequency synthesizer operating up to the device's frequency limit. For higher VCO frequency operation, a down mixer or a prescaler can be used between the VCO and the synthesizer IC.

These frequency synthesizer chips can be found in the following and other applications:

CATV
AM/FM Radios
Two–Way Radios
TV Tuning
Scanning Receivers
Amateur Radio



CONTENTS

Page

DEVICE DETAIL SHEETS
MC145151–2 Parallel–Input, Single–Modulus 2
MC145152–2 Parallel–Input, Dual–Modulus 5
MC145157–2 Serial–Input, Single–Modulus 9
MC145158–2 Serial–Input, Dual–Modulus 12

FAMILY CHARACTERISTICS
Maximum Ratings 15
DC Electrical Characteristics 15
AC Electrical Characteristics 17
Timing Requirements 18
Frequency Characteristics 19
Phase Detector/Lock Detector Output Waveforms 19

DESIGN CONSIDERATIONS
Phase–Locked Loop — Low–Pass Filter Design 20
Crystal Oscillator Considerations 21
Dual–Modulus Prescaling 22

REV 4
12/99

© Motorola, Inc. 1999

MOTOROLA

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

MC145151-2

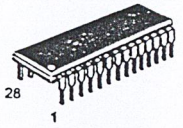
Parallel-Input PLL Frequency Synthesizer

Interfaces with Single–Modulus Prescalers

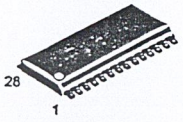
The MC145151–2 is programmed by 14 parallel–input data lines for the N counter and three input lines for the R counter. The device features consist of a reference oscillator, selectable–reference divider, digital–phase detector, and 14–bit programmable divide–by–N counter.

The MC145151–2 is an improved–performance drop–in replacement for the MC145151–1. The power consumption has decreased and ESD and latch–up performance have improved.

- Operating Temperature Range: – 40 to 85°C
- Low Power Consumption Through Use of CMOS Technology
- 3.0 to 9.0 V Supply Range
- On– or Off–Chip Reference Oscillator Operation
- Lock Detect Signal
- ÷ N Counter Output Available
- Single Modulus/Parallel Programming
- 8 User–Selectable ÷ R Values: 8, 128, 256, 512, 1024, 2048, 2410, 8192
- ÷ N Range = 3 to 16383
- "Linearized" Digital Phase Detector Enhances Transfer Function Linearity
- Two Error Signal Options: Single–Ended (Three–State) or Double–Ended
- Chip Complexity: 8000 FETs or 2000 Equivalent Gates



P SUFFIX
PLASTIC DIP
CASE 710

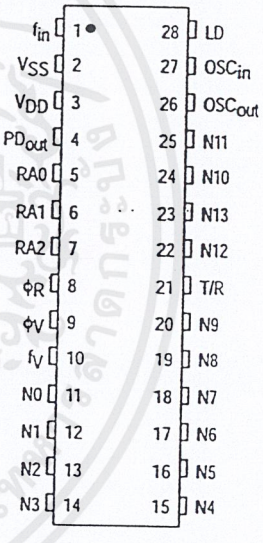


DW SUFFIX
SOG PACKAGE
CASE 751F

ORDERING INFORMATION

MC145151P2	Plastic DIP
MC145151DW2	SOG Package

PIN ASSIGNMENT



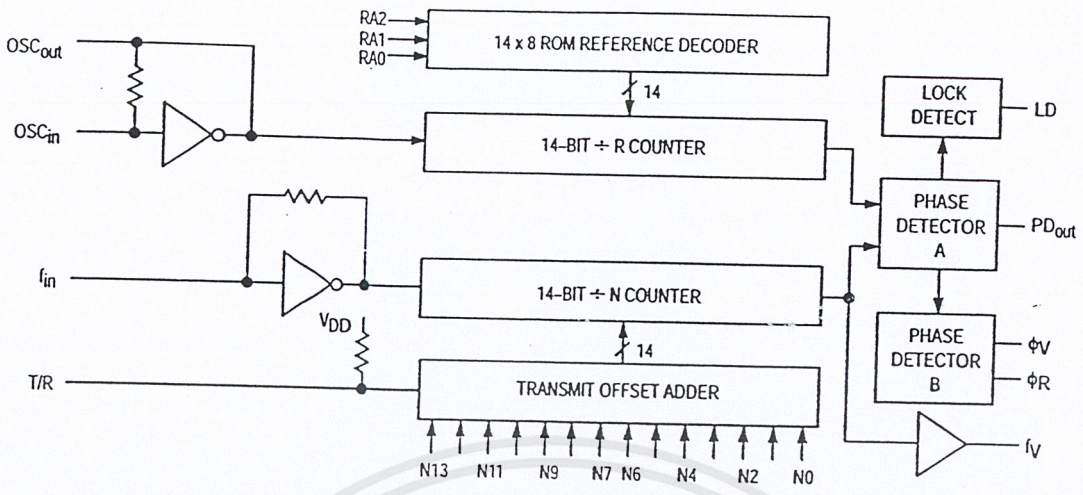
REV 1
8/95

© Motorola, Inc. 1995

MOTOROLA

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

MC145151–2 BLOCK DIAGRAM



NOTE: N0 – N13 inputs and inputs RA0, RA1, and RA2 have pull–up resistors that are not shown.

PIN DESCRIPTIONS

INPUT PINS

f_{in}
Frequency Input (Pin 1)

Input to the ÷N portion of the synthesizer. f_{in} is typically derived from loop VCO and is ac coupled into the device. For larger amplitude signals (standard CMOS logic levels) dc coupling may be used.

RA0 – RA2
Reference Address Inputs (Pins 5, 6, 7)

These three inputs establish a code defining one of eight possible divide values for the total reference divider, as defined by the table below.

Pull–up resistors ensure that inputs left open remain at a logic 1 and require only a SPST switch to alter data to the zero state.

Reference Address Code			Total Divide Value
RA2	RA1	RA0	
0	0	0	8
0	0	1	128
0	1	0	256
0	1	1	512
1	0	0	1024
1	0	1	2048
1	1	0	2410
1	1	1	8192

N0 – N11
N Counter Programming Inputs (Pins 11 – 20, 22 – 25)

These inputs provide the data that is preset into the ÷N counter when it reaches the count of zero. N0 is the least significant and N13 is the most significant. Pull–up resistors ensure that inputs left open remain at a logic 1 and require only an SPST switch to alter data to the zero state.

T/R
Transmit/Receive Offset Adder Input (Pin 21)

This input controls the offset added to the data provided at the N inputs. This is normally used for offsetting the VCO frequency by an amount equal to the IF frequency of the transceiver. This offset is fixed at 856 when T/R is low and gives no offset when T/R is high. A pull–up resistor ensures that no connection will appear as a logic 1 causing no offset addition.

OSC_{in}, OSC_{out}
Reference Oscillator Input/Output (Pins 27, 26)

These pins form an on–chip reference oscillator when connected to terminals of an external parallel resonant crystal. Frequency setting capacitors of appropriate value must be connected from OSC_{in} to ground and OSC_{out} to ground. OSC_{in} may also serve as the input for an externally–generated reference signal. This signal is typically ac coupled to OSC_{in}, but for larger amplitude signals (standard CMOS logic levels) dc coupling may also be used. In the external reference mode, no connection is required to OSC_{out}.

OUTPUT PINS

PD_{out}
Phase Detector A Output (Pin 4)

Three–state output of phase detector for use as loop–error signal. Double–ended outputs are also available for this purpose (see ϕV and ϕR).

Frequency $f_V > f_R$ or f_V Leading: Negative Pulses
Frequency $f_V < f_R$ or f_V Lagging: Positive Pulses
Frequency $f_V = f_R$ and Phase Coincidence: High–Impedance State

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ϕR, ϕV
Phase Detector B Outputs (Pins 8, 9)

These phase detector outputs can be combined externally for a loop–error signal. A single–ended output is also available for this purpose (see PD_{out}).

If frequency f_V is greater than f_R or if the phase of f_V is leading, then error information is provided by ϕV pulsing low. ϕR remains essentially high.

If the frequency f_V is less than f_R or if the phase of f_V is lagging, then error information is provided by ϕR pulsing low. ϕV remains essentially high.

If the frequency of $f_V = f_R$ and both are in phase, then both ϕV and ϕR remain high except for a small minimum time period when both pulse low in phase.

f_V
N Counter Output (Pin 10)

This is the buffered output of the ÷ N counter that is internally connected to the phase detector input. With this output available, the ÷ N counter can be used independently.

LD
Lock Detector Output (Pin 28)

Essentially a high level when loop is locked (f_R, f_V of same phase and frequency). Pulses low when loop is out of lock.

POWER SUPPLY

V_{DD}
Positive Power Supply (Pin 3)

The positive power supply potential. This pin may range from + 3 to + 9 V with respect to V_{SS}.

V_{SS}
Negative Power Supply (Pin 2)

The most negative supply potential. This pin is usually ground.

TYPICAL APPLICATIONS

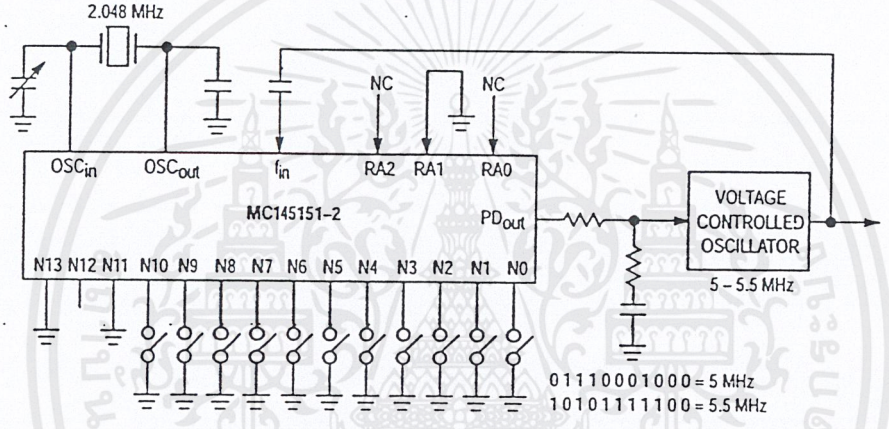
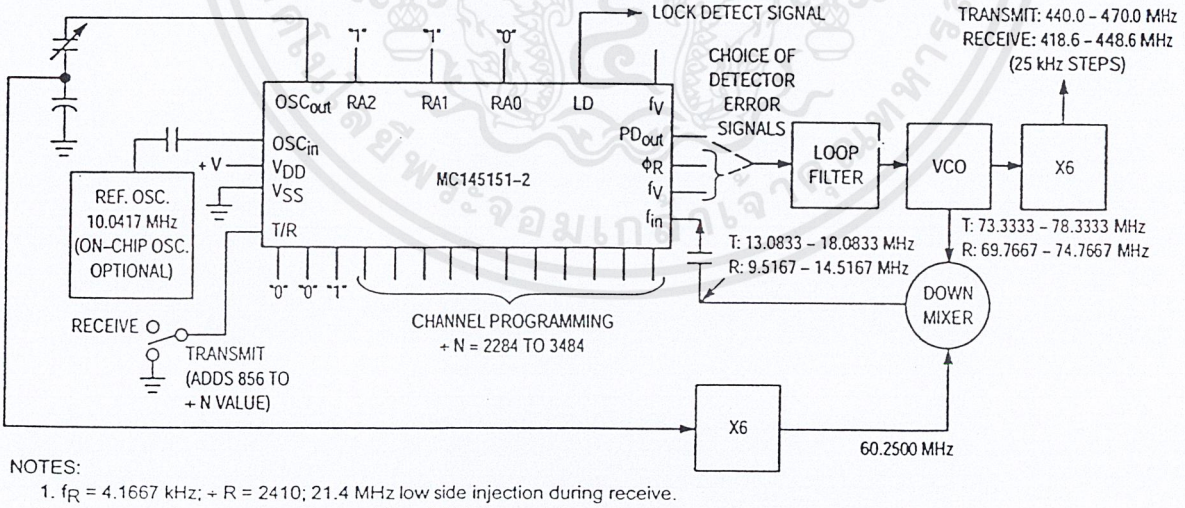


Figure 1. 5 MHz to 5.5 MHz Local Oscillator Channel Spacing = 1 kHz



NOTES:
1. f_R = 4.1667 kHz; ÷ R = 2410; 21.4 MHz low side injection during receive.
2. Frequency values shown are for the 440 – 470 MHz band. Similar implementation applies to the 406 – 440 MHz band. For 470 – 512 MHz, consider reference oscillator frequency X9 for mixer injection signal (90.3750 MHz).

Figure 2. Synthesizer for Land Mobile Radio UHF Bands

MC145151–2 Data Sheet Continued on Page 15

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

MC14515X–2 FAMILY CHARACTERISTICS AND DESCRIPTIONS

MAXIMUM RATINGS* (Voltages Referenced to V_{SS})

Symbol	Parameter	Value	Unit
V_{DD}	DC Supply Voltage	– 0.5 to + 10.0	V
V_{in}, V_{out}	Input or Output Voltage (DC or Transient) except SW1, SW2	– 0.5 to V_{DD} + 0.5	V
V_{out}	Output Voltage (DC or Transient), SW1, SW2 ($R_{pull-up}$ = 4.7 kΩ)	– 0.5 to + 15	V
I_{in}, I_{out}	Input or Output Current (DC or Transient), per Pin	± 10	mA
I_{DD}, I_{SS}	Supply Current, V_{DD} or V_{SS} Pins	± 30	mA
P_D	Power Dissipation, per Package†	500	mW
T_{stg}	Storage Temperature	– 65 to + 150	°C
T_L	Lead Temperature, 1 mm from Case for 10 seconds	260	°C

*Maximum Ratings are those values beyond which damage to the device may occur. Functional operation should be restricted to the limits in the Electrical Characteristics tables or Pin Descriptions section.

†Power Dissipation Temperature Derating:
Plastic DIP: – 12 mW/°C from 65 to 85°C
SOG Package: – 7 mW/°C from 65 to 85°C

These devices contain protection circuitry to protect against damage due to high static voltages or electric fields. However, precautions must be taken to avoid applications of any voltage higher than maximum rated voltages to these high–impedance circuits. For proper operation, V_{in} and V_{out} should be constrained to the range $V_{SS} \le (V_{in}$ or $V_{out}) \le V_{DD}$ except for SW1 and SW2.

SW1 and SW2 can be tied through external resistors to voltages as high as 15 V, independent of the supply voltage.

Unused inputs must always be tied to an appropriate logic voltage level (e.g., either V_{SS} or V_{DD}), except for inputs with pull–up devices. Unused outputs must be left open.

ELECTRICAL CHARACTERISTICS (Voltages Referenced to V_{SS})

Symbol	Parameter	Test Condition	V_{DD} V	–40°C Min	–40°C Max	25°C Min	25°C Max	85°C Min	85°C Max	Unit
V_{DD}	Power Supply Voltage Range		—	3	9	3	9	3	9	V
I_{ss}	Dynamic Supply Current	f_{in} = OSC_{in} = 10 MHz, 1 V p–p ac coupled sine wave R = 128, A = 32, N = 128	3 5 9	— — —	3.5 10 30	— — —	3 7.5 24	— — —	3 7.5 24	mA
I_{SS}	Quiescent Supply Current (not including pull–up current component)	V_{in} = V_{DD} or V_{SS} I_{out} = 0 µA	3 5 9	— — —	800 1200 1600	— — —	800 1200 1600	— — —	1600 2400 3200	µA
V_{in}	Input Voltage — f_{in}, OSC_{in}	Input ac coupled sine wave	—	500	—	500	—	500	—	mV p–p
V_{IL}	Low–Level Input Voltage — f_{in}, OSC_{in}	$V_{out} \ge 2.1$ V Input dc $V_{out} \ge 3.5$ V coupled $V_{out} \ge 6.3$ V square wave	3 5 9	— — —	0 0 0	— — —	0 0 0	— — —	0 0 0	V
V_{IH}	High–Level Input Voltage — f_{in}, OSC_{in}	$V_{out} \le 0.9$ V Input dc $V_{out} \le 1.5$ V coupled $V_{out} \le 2.7$ V square wave	3 5 9	3.0 5.0 9.0	— — —	3.0 5.0 9.0	— — —	3.0 5.0 9.0	— — —	V
V_{IL}	Low–Level Input Voltage — except f_{in}, OSC_{in}		3 5 9	— — —	0.9 1.5 2.7	— — —	0.9 1.5 2.7	— — —	0.9 1.5 2.7	V
V_{IH}	High–Level Input Voltage — except f_{in}, OSC_{in}		3 5 9	2.1 3.5 6.3	— — —	2.1 3.5 6.3	— — —	2.1 3.5 6.3	— — —	V
I_{in}	Input Current (f_{in}, OSC_{in})	V_{in} = V_{DD} or V_{SS}	9	± 2	± 50	± 2	± 25	± 2	± 22	µA
I_{IL}	Input Leakage Current (Data, CLK, ENB — without pull–ups)	V_{in} = V_{SS}	9	—	– 0.3	—	– 0.1	—	– 1.0	µA
I_{IH}	Input Leakage Current (all inputs except f_{in}, OSC_{in})	V_{in} = V_{DD}	9	—	0.3	—	0.1	—	1.0	µA

(continued)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

DC ELECTRICAL CHARACTERISTICS (continued)

Symbol	Parameter	Test Condition	V_{DD} V	−40°C		25°C		85°C		Unit
				Min	Max	Min	Max	Min	Max	
I_{IL}	Pull–up Current (all inputs with pull–ups)	$V_{in} = V_{SS}$	9	−20	−400	−20	−200	−20	−170	µA
C_{in}	Input Capacitance		—	—	10	—	10	—	10	pF
V_{OL}	Low–Level Output Voltage — OSC_{out}	$I_{out} \approx 0$ µA $V_{in} = V_{DD}$	3 5 9	— — —	0.9 1.5 2.7	— — —	0.9 1.5 2.7	— — —	0.9 1.5 2.7	V
V_{OH}	High–Level Output Voltage — OSC_{out}	$I_{out} \approx 0$ µA $V_{in} = V_{SS}$	3 5 9	2.1 3.5 6.3	— — —	2.1 3.5 6.3	— — —	2.1 3.5 6.3	— — —	V
V_{OL}	Low–Level Output Voltage — Other Outputs	$I_{out} \approx 0$ µA	3 5 9	— — —	0.05 0.05 0.05	— — —	0.05 0.05 0.05	— — —	0.05 0.05 0.05	V
V_{OH}	High–Level Output Voltage — Other Outputs	$I_{out} \approx 0$ µA	3 5 9	2.95 4.95 8.95	— — —	2.95 4.95 8.95	— — —	2.95 4.95 8.95	— — —	V
$V_{(BR)DSS}$	Drain–to–Source Breakdown Voltage — SW1, SW2	$R_{pull–up} = 4.7$ kΩ	—	15	—	15	—	15	—	V
I_{OL}	Low–Level Sinking Current — MC	$V_{out} = 0.3$ V $V_{out} = 0.4$ V $V_{out} = 0.5$ V	3 5 9	1.30 1.90 3.80	— — —	1.10 1.70 3.30	— — —	0.66 1.08 2.10	— — —	mA
I_{OH}	High–Level Sourcing Current — MC	$V_{out} = 2.7$ V $V_{out} = 4.6$ V $V_{out} = 8.5$ V	3 5 9	−0.60 −0.90 −1.50	— — —	−0.50 −0.75 −1.25	— — —	−0.30 −0.50 −0.80	— — —	mA
I_{OL}	Low–Level Sinking Current — LD	$V_{out} = 0.3$ V $V_{out} = 0.4$ V $V_{out} = 0.5$ V	3 5 9	0.25 0.64 1.30	— — —	0.20 0.51 1.00	— — —	0.15 0.36 0.70	— — —	mA
I_{OH}	High–Level Sourcing Current — LD	$V_{out} = 2.7$ V $V_{out} = 4.6$ V $V_{out} = 8.5$ V	3 5 9	−0.25 −0.64 −1.30	— — —	−0.20 −0.51 −1.00	— — —	−0.15 −0.36 −0.70	— — —	mA
I_{OL}	Low–Level Sinking Current — SW1, SW2	$V_{out} = 0.3$ V $V_{out} = 0.4$ V $V_{out} = 0.5$ V	3 5 9	0.80 1.50 3.50	— — —	0.48 0.90 2.10	— — —	0.24 0.45 1.05	— — —	mA
I_{OL}	Low–Level Sinking Current — Other Outputs	$V_{out} = 0.3$ V $V_{out} = 0.4$ V $V_{out} = 0.5$ V	3 5 9	0.44 0.64 1.30	— — —	0.35 0.51 1.00	— — —	0.22 0.36 0.70	— — —	mA
I_{OH}	High–Level Sourcing Current — Other Outputs	$V_{out} = 2.7$ V $V_{out} = 4.6$ V $V_{out} = 8.5$ V	3 5 9	−0.44 −0.64 −1.30	— — —	−0.35 −0.51 −1.00	— — —	−0.22 −0.36 −0.70	— — —	mA
I_{OZ}	Output Leakage Current — PD_{out}	$V_{out} = V_{DD}$ or V_{SS} Output in Off State	9	—	±0.3	—	±0.1	—	±1.0	µA
I_{OZ}	Output Leakage Current — SW1, SW2	$V_{out} = V_{DD}$ or V_{SS} Output in Off State	9	—	±0.3	—	±0.1	—	±3.0	µA
C_{out}	Output Capacitance — PD_{out}	PD_{out} — Three–State	—	—	10	—	10	—	10	pF

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

AC ELECTRICAL CHARACTERISTICS (C_L = 50 pF, Input $t_r = t_f$ = 10 ns)

Symbol	Parameter	V_{DD} V	Guaranteed Limit 25°C	Guaranteed Limit −40 to 85°C	Unit
t_{PLH}, t_{PHL}	Maximum Propagation Delay, f_{in} to MC (Figures 1 and 4)	3 5 9	110 60 35	120 70 40	ns
t_{PHL}	Maximum Propagation Delay, ENB to SW1, SW2 (Figures 1 and 5)	3 5 9	160 80 50	180 95 60	ns
t_W	Output Pulse Width, ϕ_R, ϕ_V, and LD with f_R in Phase with f_V (Figures 2 and 4)	3 5 9	25 to 200 20 to 100 10 to 70	25 to 260 20 to 125 10 to 80	ns
t_{TLH}	Maximum Output Transition Time, MC (Figures 3 and 4)	3 5 9	115 60 40	115 75 60	ns
t_{THL}	Maximum Output Transition Time, MC (Figures 3 and 4)	3 5 9	60 34 30	70 45 38	ns
t_{TLH}, t_{THL}	Maximum Output Transition Time, LD (Figures 3 and 4)	3 5 9	180 90 70	200 120 90	ns
t_{TLH}, t_{THL}	Maximum Output Transition Time, Other Outputs (Figures 3 and 4)	3 5 9	160 80 60	175 100 65	ns

SWITCHING WAVEFORMS

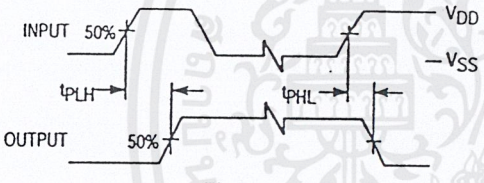
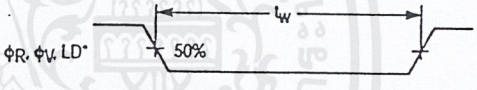


Figure 1.



* f_R in phase with f_V.

Figure 2.

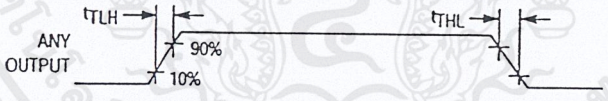
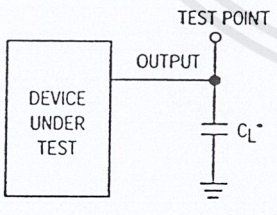
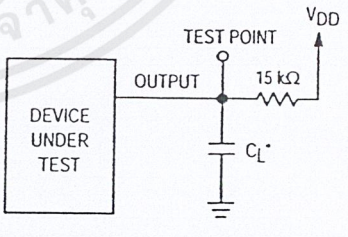


Figure 3.



* Includes all probe and fixture capacitance.

Figure 4. Test Circuit



* Includes all probe and fixture capacitance.

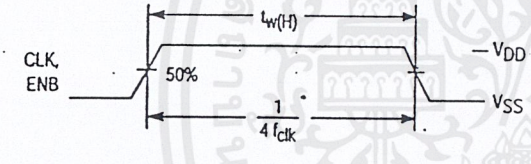
Figure 5. Test Circuit

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

TIMING REQUIREMENTS (Input $t_r = t_f = 10$ ns unless otherwise indicated)

Symbol	Parameter	V_{DD} V	Guaranteed Limit 25°C	Guaranteed Limit −40 to 85°C	Unit
f_{clk}	Serial Data Clock Frequency, Assuming 25% Duty Cycle NOTE: Refer to CLK $t_{w(H)}$ below (Figure 6)	3 5 9	dc to 5.0 dc to 7.1 dc to 10	dc to 3.5 dc to 7.1 dc to 10	MHz
t_{su}	Minimum Setup Time, Data to CLK (Figure 7)	3 5 9	30 20 18	30 20 18	ns
t_h	Minimum Hold Time, CLK to Data (Figure 7)	3 5 9	40 20 15	40 20 15	ns
t_{su}	Minimum Setup Time, CLK to ENB (Figure 7)	3 5 9	70 32 25	70 32 25	ns
t_{rec}	Minimum Recovery Time, ENB to CLK (Figure 7)	3 5 9	5 10 20	5 10 20	ns
$t_{w(H)}$	Minimum Pulse Width, CLK and ENB (Figure 6)	3 5 9	50 35 25	70 35 25	ns
t_r, t_f	Maximum Input Rise and Fall Times — Any Input (Figure 8)	3 5 9	5 4 2	5 4 2	µs

SWITCHING WAVEFORMS



*Assumes 25% Duty Cycle.

Figure 6.

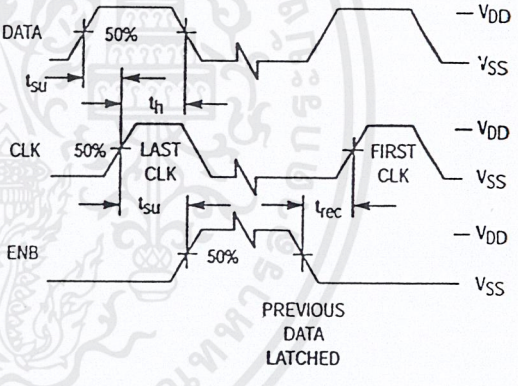


Figure 7.

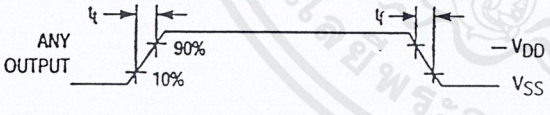


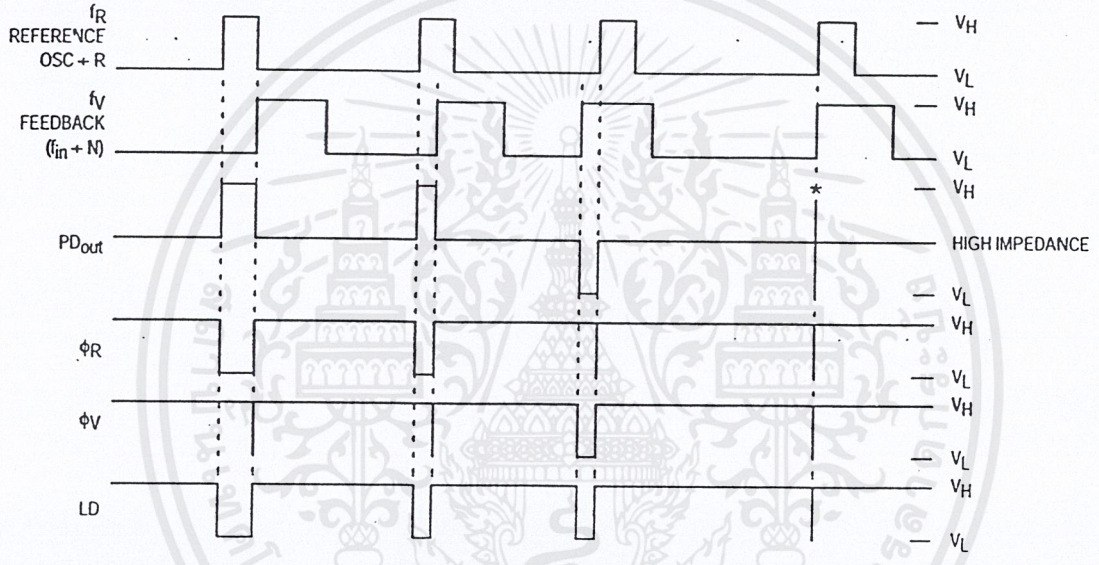
Figure 8.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

FREQUENCY CHARACTERISTICS (Voltages References to V_{SS}, C_L = 50 pF, Input $t_r = t_f$ =10 ns unless otherwise indicated)

Symbol	Parameter	Test Condition	V_{DD} V	−40°C		25°C		85°C		Unit
				Min	Max	Min	Max	Min	Max	
f_i	Input Frequency (f_{in}, OSC_{in})	R ≥ 8, A ≥ 0, N ≥ 8 V_{in} = 500 mV p–p ac coupled sine wave	3 5 9	— — —	6 15 15	— — —	6 15 15	— — —	6 15 15	MHz
		R ≥ 8, A ≥ 0, N ≥ 8 V_{in} = 1 V p–p ac coupled sine wave	3 5 9	— — —	12 22 25	— — —	12 20 22	— — —	7 20 22	MHz
		R ≥ 8, A ≥ 0, N ≥ 8 V_{in} = V_{DD} to V_{SS} dc coupled square wave	3 5 9	— — —	13 25 25	— — —	12 22 25	— — —	8 22 25	MHz

NOTE: Usually, the PLL's propagation delay from f_{in} to MC plus the setup time of the prescaler determines the upper frequency limit of the system. The upper frequency limit is found with the following formula: $f = P/(t_P + t_{set})$ where f is the upper frequency in Hz, P is the lower of the dual modulus prescaler ratios, t_P is the f_{in} to MC propagation delay in seconds, and t_{set} is the prescaler setup time in seconds. For example, with a 5 V supply, the f_{in} to MC delay is 70 ns. If the MC12028A prescaler is used, the setup time is 16 ns. Thus, if the 64/65 ratio is utilized, the upper frequency limit is $f = P/(t_P + t_{set}) = 64/(70 + 16) = 744$ MHz.



V_H = High Voltage Level.
V_L = Low Voltage Level.
* At this point, when both f_R and f_V are in phase, the output is forced to near mid–supply.
NOTE: The PD_{out} generates error pulses during out–of–lock conditions. When locked in phase and frequency the output is high and the voltage at this pin is determined by the low–pass filter capacitor.

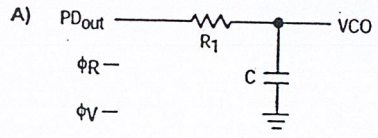
Figure 9. Phase Detector/Lock Detector Output Waveforms

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

DESIGN CONSIDERATIONS

PHASE–LOCKED LOOP — LOW–PASS FILTER DESIGN

A)

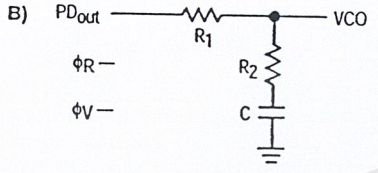


$$\omega_n = \sqrt{\frac{K_\phi K_{VCO}}{NR_1C}}$$

$$\zeta = \frac{N\omega_n}{2K_\phi K_{VCO}}$$

$$F(s) = \frac{1}{R_1sC + 1}$$

B)

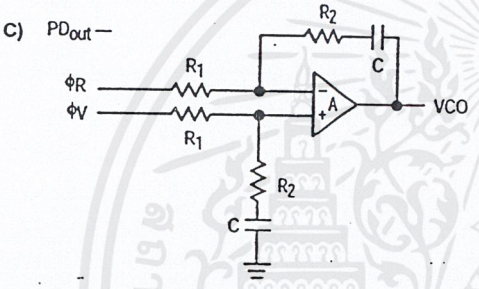


$$\omega_n = \sqrt{\frac{K_\phi K_{VCO}}{NC(R_1 + R_2)}}$$

$$\zeta = 0.5\,\omega_n \left(R_2C + \frac{N}{K_\phi K_{VCO}}\right)$$

$$F(s) = \frac{R_2sC + 1}{(R_1 + R_2)sC + 1}$$

C)



$$\omega_n = \sqrt{\frac{K_\phi K_{VCO}}{NCR_1}}$$

$$\zeta = \frac{\omega_n R_2 C}{2}$$

ASSUMING GAIN A IS VERY LARGE, THEN:

$$F(s) = \frac{R_2sC + 1}{R_1sC}$$

NOTE: Sometimes R_1 is split into two series resistors, each $R_1 \div 2$. A capacitor C_C is then placed from the midpoint to ground to further filter ϕ_V and ϕ_R. The value of C_C should be such that the corner frequency of this network does not significantly affect ω_n. The ϕ_R and ϕ_V outputs swing rail–to–rail. Therefore, the user should be careful not to exceed the common mode input range of the op amp used in the combiner/loop filter.

DEFINITIONS:

N = Total Division Ratio in feedback loop

K_ϕ (Phase Detector Gain) = $V_{DD}/4\pi$ for PD_{out}

K_ϕ (Phase Detector Gain) = $V_{DD}/2\pi$ for ϕ_V and ϕ_R

K_{VCO} (VCO Gain) = $\frac{2\pi\Delta f_{VCO}}{\Delta V_{VCO}}$

for a typical design w_n (Natural Frequency) = $\frac{2\pi fr}{10}$ (at phase detector input).

Damping Factor: $\zeta \equiv 1$

RECOMMENDED READING:

Gardner, Floyd M., *Phaselock Techniques (second edition)*. New York, Wiley–Interscience, 1979.

Manassewitsch, Vadim, *Frequency Synthesizers: Theory and Design (second edition)*. New York, Wiley–Interscience, 1980.

Blanchard, Alain, *Phase–Locked Loops: Application to Coherent Receiver Design*. New York, Wiley–Interscience, 1976.

Egan, William F., *Frequency Synthesis by Phase Lock*. New York, Wiley–Interscience, 1981.

Rohde, Ulrich L., *Digital PLL Frequency Synthesizers Theory and Design*. Englewood Cliffs, NJ, Prentice–Hall, 1983.

Berlin, Howard M., *Design of Phase–Locked Loop Circuits, with Experiments*. Indianapolis, Howard W. Sams and Co., 1978.

Kinley, Harold, *The PLL Synthesizer Cookbook*. Blue Ridge Summit, PA, Tab Books, 1980.

AN535, Phase–Locked Loop Design Fundamentals, Motorola Semiconductor Products, Inc., 1970.

AR254, Phase–Locked Loop Design Articles, Motorola Semiconductor Products, Inc., Reprinted with permission from *Electronic Design*, 1987.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Table 1. Partial List of Crystal Manufacturers

Motorola — Internet Address *http://motorola.com* (Search for resonators)
United States Crystal Corp.
Crystek Crystal
Statek Corp.
Fox Electronics

NOTE: Motorola cannot recommend one supplier over another and in no way suggests that this is a complete listing of crystal manufacturers.

RECOMMENDED READING

Technical Note TN–24, Statek Corp.

Technical Note TN–7, Statek Corp.

E. Hafner, "The Piezoelectric Crystal Unit – Definitions and Method of Measurement", *Proc. IEEE*, Vol. 57, No. 2 Feb., 1969.

D. Kemper, L. Rosine, "Quartz Crystals for Frequency Control", *Electro–Technology*, June, 1969.

P. J. Ottowitz, "A Guide to Crystal Selection", *Electronic Design*, May, 1966.

DUAL–MODULUS PRESCALING

OVERVIEW

The technique of dual–modulus prescaling is well established as a method of achieving high performance frequency synthesizer operation at high frequencies. Basically, the approach allows relatively low–frequency programmable counters to be used as high–frequency programmable counters with speed capability of several hundred MHz. This is possible without the sacrifice in system resolution and performance that results if a fixed (single–modulus) divider is used for the prescaler.

In dual–modulus prescaling, the lower speed counters must be uniquely configured. Special control logic is necessary to select the divide value P or P + 1 in the prescaler for the required amount of time (see modulus control definition). Motorola's dual–modulus frequency synthesizers contain this feature and can be used with a variety of dual–modulus prescalers to allow speed, complexity and cost to be tailored to the system requirements. Prescalers having P, P + 1 divide values in the range of ÷ 3/÷ 4 to ÷ 128/÷ 129 can be controlled by most Motorola frequency synthesizers.

Several dual–modulus prescaler approaches suitable for use with the MC145152–2, MC145156–2, or MC145158–2 are:

MC12009	÷ 5/÷ 6	440 MHz
MC12011	÷ 8/÷ 9	500 MHz
MC12013	÷ 10/÷ 11	500 MHz
MC12015	÷ 32/÷ 33	225 MHz
MC12016	÷ 40/÷ 41	225 MHz
MC12017	÷ 64/÷ 65	225 MHz
MC12018	÷ 128/÷ 129	520 MHz
MC12028A	÷ 32/33 or ÷ 64/65	1.1 GHz
MC12052A	÷ 64/65 or ÷ 128/129	1.1 GHz
MC12054A	÷ 64/65 or ÷ 128/129	2.0 GHz

DESIGN GUIDELINES

The system total divide value, N_{total} (N_T) will be dictated by the application:

$$N_T = \frac{\text{frequency into the prescaler}}{\text{frequency into the phase detector}} = N \bullet P + A$$

N is the number programmed into the ÷ N counter, A is the number programmed into the ÷ A counter, P and P + 1 are the two selectable divide ratios available in the dual–modulus prescalers. To have a range of N_T values in sequence, the ÷ A counter is programmed from zero through P – 1 for a particular value N in the ÷ N counter. N is then incremented to N + 1 and the ÷ A is sequenced from 0 through P – 1 again.

There are minimum and maximum values that can be achieved for N_T. These values are a function of P and the size of the ÷ N and ÷ A counters.

The constraint $N \geq A$ always applies. If $A_{max} = P - 1$, then $N_{min} \geq P - 1$. Then $N_{Tmin} = (P - 1)\,P + A$ or $(P - 1)\,P$ since A is free to assume the value of 0.

$$N_{Tmax} = N_{max} \bullet P + A_{max}$$

To maximize system frequency capability, the dual–modulus prescaler output must go from low to high after each group of P or P + 1 input cycles. The prescaler should divide by P when its modulus control line is high and by P + 1 when its MC is low.

For the maximum frequency into the prescaler (f_{VCOmax}), the value used for P must be large enough such that:

1. f_{VCOmax} divided by P may not exceed the frequency capability of f_{in} (input to the ÷ N and ÷ A counters).
2. The period of f_{VCO} divided by P must be greater than the sum of the times:
   a. Propagation delay through the dual–modulus prescaler.
   b. Prescaler setup or release time relative to its MC signal.
   c. Propagation time from f_{in} to the MC output for the frequency synthesizer device.

A sometimes useful simplification in the programming code can be achieved by choosing the values for P of 8, 16, 32, or 64. For these cases, the desired value of N_T results when N_T in binary is used as the program code to the ÷ N and ÷ A counters treated in the following manner:

1. Assume the ÷ A counter contains "a" bits where $2^a \geq P$.
2. Always program all higher order ÷ A counter bits above "a" to 0.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

MC145152-2

Parallel-Input PLL Frequency Synthesizer

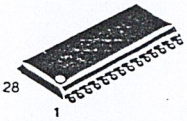
Interfaces with Dual–Modulus Prescalers

The MC145152–2 is programmed by sixteen parallel inputs for the N and A counters and three input lines for the R counter. The device features consist of a reference oscillator, selectable–reference divider, two–output phase detector, 10–bit programmable divide–by–N counter, and 6–bit programmable ÷ A counter.

The MC145152–2 is an improved–performance drop–in replacement for the MC145152–1. Power consumption has decreased and ESD and latch–up performance have improved.

- Operating Temperature Range: – 40 to 85°C
- Low Power Consumption Through Use of CMOS Technology
- 3.0 to 9.0 V Supply Range
- On– or Off–Chip Reference Oscillator Operation
- Lock Detect Signal
- Dual Modulus/Parallel Programming
- 8 User–Selectable ÷ R Values: 8, 64, 128, 256, 512, 1024, 1160, 2048
- ÷ N Range = 3 to 1023, ÷ A Range = 0 to 63
- Chip Complexity: 8000 FETs or 2000 Equivalent Gates
- See Application Note AN980

P SUFFIX
PLASTIC DIP
CASE 710

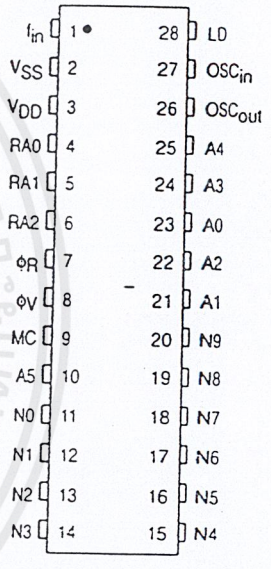


DW SUFFIX
SOG PACKAGE
CASE 751F

ORDERING INFORMATION

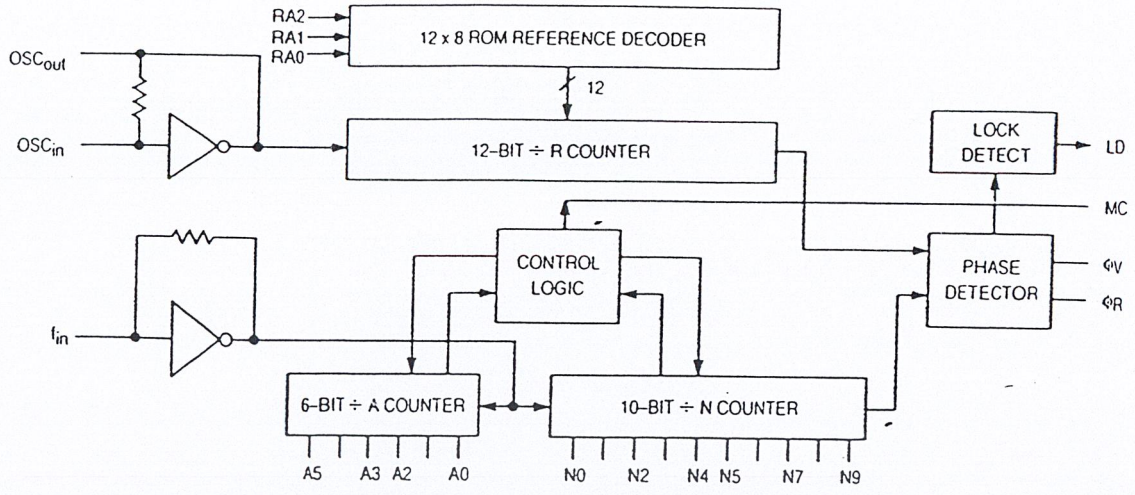
MC145152P2	Plastic DIP
MC145152DW2	SOG Package

PIN ASSIGNMENT



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

MC145152–2 BLOCK DIAGRAM



NOTE: N0 – N9, A0 – A5, and RA0 – RA2 have pull–up resistors that are not shown.

PIN DESCRIPTIONS

INPUT PINS

f_{in}
Frequency Input (Pin 1)

Input to the positive edge triggered ÷ N and ÷ A counters. f_{in} is typically derived from a dual–modulus prescaler and is ac coupled into the device. For larger amplitude signals (standard CMOS logic levels) dc coupling may be used.

RA0, RA1, RA2
Reference Address Inputs (Pins 4, 5, 6)

These three inputs establish a code defining one of eight possible divide values for the total reference divider. The total reference divide values are as follows:

Reference Address Code			Total Divide Value
RA2	RA1	RA0	
0	0	0	8
0	0	1	64
0	1	0	128
0	1	1	256
1	0	0	512
1	0	1	1024
1	1	0	1160
1	1	1	2048

N0 – N9
N Counter Programming Inputs (Pins 11 – 20)

The N inputs provide the data that is preset into the ÷ N counter when it reaches the count of 0. N0 is the least significant digit and N9 is the most significant. Pull–up resistors ensure that inputs left open remain at a logic 1 and require only a SPST switch to alter data to the zero state.

A0 – A5
A Counter Programming Inputs
(Pins 23, 21, 22, 24, 25, 10)

The A inputs define the number of clock cycles of f_{in} that require a logic 0 on the MC output (see Dual–Modulus Prescaling section). The A inputs all have internal pull–up resistors that ensure that inputs left open will remain at a logic 1.

OSC_{in}, OSC_{out}
Reference Oscillator Input/Output (Pins 27, 26)

These pins form an on–chip reference oscillator when connected to terminals of an external parallel resonant crystal. Frequency setting capacitors of appropriate value must be connected from OSC_{in} to ground and OSC_{out} to ground. OSC_{in} may also serve as the input for an externally–generated reference signal. This signal is typically ac coupled to OSC_{in}, but for larger amplitude signals (standard CMOS logic levels) dc coupling may also be used. In the external reference mode, no connection is required to OSC_{out}.

OUTPUT PINS

ϕR, ϕV
Phase Detector B Outputs (Pins 7, 8)

These phase detector outputs can be combined externally for a loop–error signal.

If the frequency f_V is greater than f_R or if the phase of f_V is leading, then error information is provided by ϕV pulsing low. ϕR remains essentially high.

If the frequency f_V is less than f_R or if the phase of f_V is lagging, then error information is provided by ϕR pulsing low. ϕV remains essentially high.

If the frequency of $f_V = f_R$ and both are in phase, then both ϕV and ϕR remain high except for a small minimum time period when both pulse low in phase.

MC
Dual–Modulus Prescale Control Output (Pin 9)

Signal generated by the on–chip control logic circuitry for controlling an external dual–modulus prescaler. The MC level will be low at the beginning of a count cycle and will remain low until the ÷ A counter has counted down from its programmed value. At this time, MC goes high and remains high until the ÷ N counter has counted the rest of the way down from its programmed value (N – A additional counts since both ÷ N and ÷ A are counting down during the first

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

portion of the cycle). MC is then set back low, the counters preset to their respective programmed values, and the above sequence repeated. This provides for a total programmable divide value (N_T) = N • P + A where P and P + 1 represent the dual–modulus prescaler divide values respectively for high and low MC levels, N the number programmed into the ÷ N counter, and A the number programmed into the ÷ A counter.

LD
Lock Detector Output (Pin 28)

Essentially a high level when loop is locked (f_R, f_V of same phase and frequency). Pulses low when loop is out of lock.

POWER SUPPLY

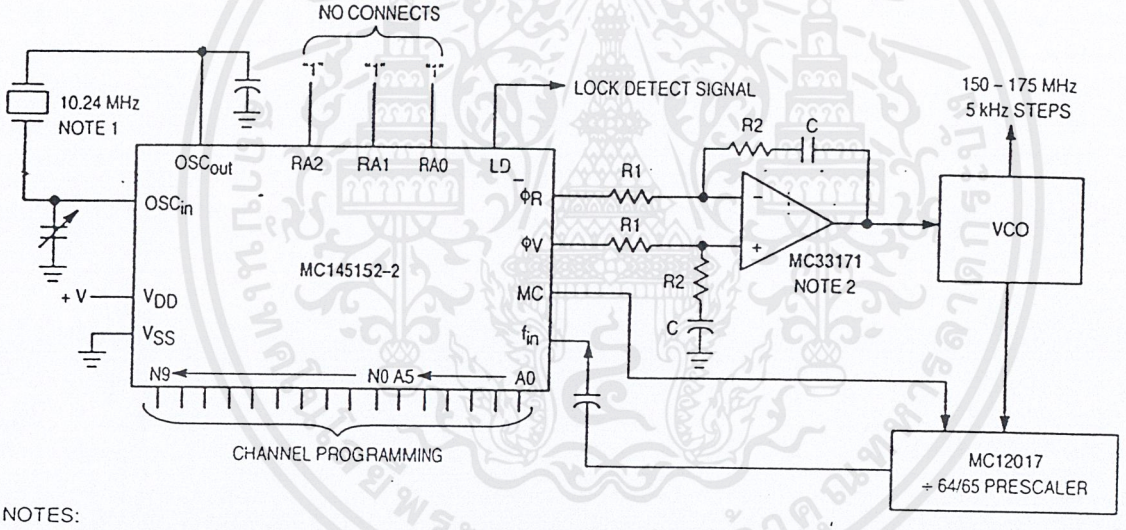
V_{DD}
Positive Power Supply (Pin 3)

The positive power supply potential. This pin may range from + 3 to + 9 V with respect to V_{SS}.

V_{SS}
Negative Power Supply (Pin 2)

The most negative supply potential. This pin is usually ground.

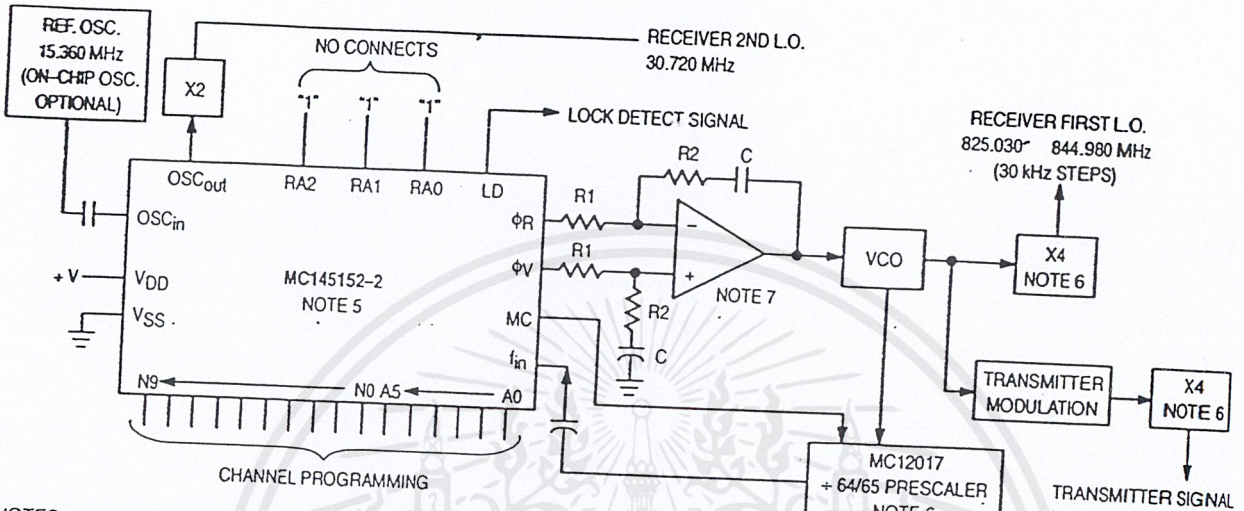
TYPICAL APPLICATIONS



NOTES:
1. Off–chip oscillator optional.
2. The ϕ_R and ϕ_V outputs are fed to an external combiner/loop filter. See the Phase–Locked Loop — Low–Pass Filter Design page for additional information. The ϕ_R and ϕ_V outputs swing rail–to–rail. Therefore, the user should be careful not to exceed the common mode input range of the op amp used in the combiner/loop filter.

Figure 1. Synthesizer for Land Mobile Radio VHF Bands

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



NOTES:

1. Receiver 1st I.F. = 45 MHz, low side injection; Receiver 2nd I.F. = 11.7 MHz, low side injection.
2. Duplex operation with 45 MHz receiver/transmit separation.
3. f_R = 7.5 kHz; ÷ R = 2048.
4. N_{total} = N • 64 + A = 27501 to 28166; N = 429 to 440; A = 0 to 63.
5. MC145158–2 may be used where serial data entry is desired.
6. High frequency prescalers (e.g., MC12018 [520 MHz] and MC12022 [1 GHz]) may be used for higher frequency VCO and f_{ref} implementations.
7. The ϕ_R and ϕ_V outputs are fed to an external combiner/loop filter. See the Phase–Locked Loop — Low–Pass Filter Design page for additional information. The ϕ_R and ϕ_V outputs swing rail–to–rail. Therefore, the user should be careful not to exceed the common mode input range of the op amp used in the combiner/loop filter.

Figure 2. 666–Channel, Computer–Controlled, Mobile Radiotelephone Synthesizer for 800 MHz Cellular Radio Systems

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้