สำนักหอสมุดกลาง พระจอมเกล้าลาดกระบัง

การออกแบบอนาล็อกฟิลเตอร์ย่านความถี่เสียงโดยใช้เทคโนโลยีซีมอส

Design of Voice - Band Frequency Analog Filter in CMOS Technology

T 046234

โดย

นาย ชาย เกษตรบริบูรณ์

เลขหมู่.....
เลขทะเบียน 46234
วัน, เดือน, ปี 21 มี.ค. 2546

.b.....
.i.....

ปริญญานิพนธ์นี้เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรปริญญาวิศวกรรมศาสตรบัณฑิต

สาขาวิชาอิเล็กทรอนิกส์

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

ปีการศึกษา 2544

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การออกแบบอนาล็อกฟิลเตอร์ย่านความถี่เสียงโดยใช้เทคโนโลยีซีมอส

Design of Voice - Band Frequency Analog Filter in CMOS Technology

โดย

นาย ชาย เกษตรบริบูรณ์ 42015173

อาจารย์ที่ปรึกษา

ผศ.ดร.อภินันท์ ธนชยานนท์

ปริญญานิพนธ์สำหรับปริญญาวิศวกรรมศาสตรบัณฑิต

สาขาวิชาอิเล็กทรอนิกส์

คณะวิศวกรรมศาสตร์

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

ปีการศึกษา 2544

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ปริญญานิพนธ์ปีการศึกษา 2544

ภาควิชา อิเล็กทรอนิกส์

คณะวิศวกรรมศาสตร์ สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

เรื่อง การออกแบบอนาล็อกฟิลเตอร์ย่านความถี่เสียงโดยใช้เทคโนโลยีซีมอส

ผู้จัดทำ

นาย ชาย เกษตรบริบูรณ์

..... อาจารย์ที่ปรึกษา

(.....)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การออกแบบอนาล็อกฟิลเตอร์ย่านความถี่เสียงโดยใช้เทคโนโลยีซีมอส

Design of Voice - Band Frequency Analog Filter in CMOS Technology

นาย ชาย เกษตรบริบูรณ์ รหัส 42015173

โครงงานนี้ได้รับการตรวจสอบแล้ว พร้อมที่จะทำการสอบได้

.....

(.....)

อาจารย์ที่ปรึกษา

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Design of Voice - Band Frequency Analog Filter in CMOS Technology

Shine Kasedbariboon

Asst.Prof.Dr.Apinunt Thanachayanont

Graduate year 2544

Abstract

This thesis presents the design of a voice-band continuous-time analog filter for very large scale integration (VLSI) , which can be fabricated in a 0.5 μ m CMOS technology. The filter is realised by using both fully-balanced and single-ended topologies. For integrated circuit fabrication , the layout of filter is also presented. The filter is realised by using the well-known MOSFET-C technique which MOSFET operating in the linear region is used a voltage-controlled resistors. The cutoff frequency is chosen at 2 KHz and is electronically tuneable , thus allowing compensation for process and temperature variations $(0 - 70^\circ C)$. The passband ripple is less than 0.5 dB ,while the overall filter is operating under a single 5V power supply voltage.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การออกแบบอนาล็อกฟิลเตอร์ย่านความถี่เสียงโดยใช้เทคโนโลยีซีมอส

ชาย เกษตรบริบูรณ์
ผศ.ดร.อภินันท์ ธนชยานนท์ อาจารย์ที่ปรึกษา
ปีการศึกษา 2544

บทคัดย่อ

ปริญญานิพนธ์นี้นำเสนอการออกแบบวงจรฟิลเตอร์แบบอนาล็อกย่านความถี่เสียงเพื่อนำมาสร้างเป็นวงจรรวมโดยใช้เทคโนโลยีซีมอส 0.5 μ m. รวมถึงการเลเอาท์วงจรเพื่อใช้ในขบวนการสร้างวงจรรวม ในการออกแบบจะใช้เทคนิคฟูลลี่บาลานซ์และซิงเกิลเอ็นเดด วงจรที่ออกแบบเป็นแอคทีฟอาร์ซี โดยใช้มอสทรานซิสเตอร์ที่ทำงานในย่านลิเนียร์แทนตัวต้านทานปรับค่าได้โดยการควบคุมแรงดันที่เกทของทรานซิสเตอร์ซึ่งความถี่คัทออฟถูกปรับอยู่ที่ 2 KHz โดยมีการชดเชยการเปลี่ยนแปลงคุณสมบัติตามกระบวนการผลิตและอุณหภูมิ $(0-70^{\circ}C)$ อัตราการกระเพื่อมในแถบผ่านของฟิลเตอร์น้อยกว่า 0.5 *dB* โดยวงจรฟิลเตอร์ทำงานที่แหล่งจ่ายแรงดัน 5 V

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญ

	หน้า
บทคัดย่อ	i
สารบัญ	iii
สารบัญรูป	v
บทที่ 1 บทนำ	1
บทที่ 2 คุณสมบัติของฟิลเตอร์และทรานซิสเตอร์แบบมอส	3
2.1วงจรฟิลเตอร์	3
2.2 ผลตอบสนองทางความถี่และประเภทของวงจรกรอง	5
2.3 ทฤษฎีการประมาณ	7
2.4 การทำงานของทรานซิสเตอร์แบบมอส	11
2.5 คุณสมบัติของทรานซิสเตอร์แบบมอส	12
2.6 แบบจำลองสัญญาณขนาดเล็กในย่านอิ่มตัว	16
2.7 วงจรสะท้อนกระแส	17
2.8 วงจรขยายของทรานซิสเตอร์แบบมอส	18
2.9 แคสโคดเกนสเตจ	22
2.10 วงจรขยายความแตกต่าง	22
2.11 แรงดันอ้างอิง	23
บทที่ 3 พื้นฐานการออกแบบวงจรออปแอมป์	25
3.1 วงจรซีมอสออปแอมป์แบบสองภาค	25
3.2 การป้อนกลับและการชดเชยของออปแอมป์	26
3.3 การชดเชยทางความถี่ของออปแอมป์	29
3.4 อัตราสลูว์และเซททลิงไทม์	30
3.5 แรงดันและกระแสออฟเซท	31
3.6 การไบอัสของวงจรออปแอมป์	32
3.7 การวิเคราะห์สัญญาณรบกวนในวงจรรวม	33
บทที่ 4 การออกแบบวงจรฟิลเตอร์และออปแอมป์	38
4.1 ข้อกำหนดเชิงคุณสมบัติของวงจรกรองความถี่ต่ำผ่านที่จะออกแบบ	38
4.2 ขั้นตอนการออกแบบ	39
4.3 ทดสอบค่าคุณสมบัติจำเพาะของมอสทรานซิสเตอร์	41
4.4 การออกแบบวงจรขยายสัญญาณสองภาค	46

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4.4 การออกแบบวงจรขยายสัญญาณสองภาค 46
4.5 การออกแบบแหล่งจ่ายกระแสคงที่ 49
4.6 สร้างตัวต้านทานจากมอสทรานซิสเตอร์ 49
4.7 ทดสอบการทำงานของออปแอมป์และแอคทีฟฟิลเตอร์ 50
4.8 วงจรฟูลลี่แอคทีฟฟิลเตอร์ในมอสเทคโนโลยี 54
4.9 ออกแบบวงจรขยายแบบฟูลลี่ดิฟเฟอร์เรนเชียล 59
4.10 ทดสอบการทำงานของออปแอมป์และแอคทีฟฟิลเตอร์ 61
บทที่ 5 การออกแบบเลเอาท์ 67
5.1 กฎการออกแบบ 67
5.2 การเลเอาท์ทรานซิสเตอร์ 69
5.3 การเลเอาท์อุปกรณ์พาสสีฟ 70
5.4 เลเอาท์วงจรฟิลเตอร์และทดสอบการทำงาน 71
บทที่ 6 บทสรุปและวิจารณ์ 75
ภาคผนวก
กิตติกรรมประกาศ
หนังสืออ้างอิง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญรูป

หน้า

รูป 2.1 แสดงคุณสมบัติการส่งผ่านทางอุดมคติของวงจรกรองความถี่แบบต่าง ๆ 6

รูป 2.2 แสดง General two-port network 6

รูป 2.3 แสดงคุณสมบัติการส่งผ่านของวงจรกรองความถี่ต่ำผ่าน 7

รูป 2.4 ขั้นตอนการออกแบบวงจรกรอง 7

รูป 2.5 แสดงการเปรียบเทียบผลตอบสนองทางความถี่ของบัตเตอร์เวิร์ธและเชบีเชฟ 9

รูป 2.6 แสดงคุณสมบัติการลดทอนของเชบีเชฟฟิลเตอร์ 9

รูป 2.7 ผลการตอบสนองของเอลลิพติกฟิลเตอร์ 10

รูป 2.8 ผลการตอบสนองของเบซเซลฟิลเตอร์ 10

รูป 2.9 โครงสร้างของ NMOS , PMOS ทรานซิสเตอร์ใน p-well CMOS technology 11

รูป 2.10 แสดงสัญลักษณ์ของมอสทรานซิสเตอร์ 13

รูป 2.11 กราฟความสัมพันธ์ระหว่าง *Ids* กับ *Vds* 13

รูป 2.12 แสดงการทำงานในช่วงเชิงเส้นของมอสทรานซิสเตอร์ 14

รูป 2.13 วงจรสมมูลย์การทำงานของมอสทรานซิสเตอร์ 16

รูป 2.14 Small – signal modelling ของมอสทรานซิสเตอร์ 16

รูป 2.15 วงจรสะท้อนกระแสอย่างง่าย 18

รูป 2.16 วงจรสะท้อนกระแสแบบแคสโคด 18

รูป 2.17 วงจรขยายแบบซอร์สร่วมกับ Current mirror active load 19

รูป 2.18 วงจรสมมูลการขยายสัญญาณขนาดเล็กของซอร์สร่วม 19

รูป 2.19 วงจรขยายแบบเดรนร่วมกับแอคทีฟโหลดโดยใช้แหล่งจ่ายกระแสไบอัส 20

รูป 2.20 วงจรสมมูลที่ความถี่ต่ำของวงจรขยายแบบเดรนร่วม 20

รูป 2.21 วงจรขยายคอมมอนเกทกับ Current mirror active load 21

รูป 2.22 วงจรสมมูลย์การขยายสัญญาณขนาดเล็กของคอมมอนเกทที่ความถี่ต่ำ 21

รูป 2.23 ตัวอย่างวงจรขยายแบบแคสโคด 22

รูป 2.24 วงจรขยายความแตกต่างกับ Single-ended output MOS gain stage 23

รูป 2.25 แรงดันอ้างอิงโดยการใช้การแบ่งแรงดัน 24

รูป 2.26 แรงดันอ้างอิงที่นิยมแบบแบนแกพ 24

รูป 3.1 บล๊อกไดอะแกรมของวงจรออปแอมป์แบบสองภาค 25

รูป 3.2 วงจรออปแอมป์ 26

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รูป 3.3 บล๊อกไดอะแกรมของวงจรป้อนกลับ 27
รูป 3.4 ผลตอบสนองทางความถี่ของออปแอมป์ 28
รูป 3.5 แสดงการหา $\varnothing m$ จากกราฟผลตอบสนองทางความถี่(Bode plot) 28
รูป 3.6 การชดเชยความถี่ของออปแอมป์ 29
รูป 3.7 การวัดอัตราสลูว์เรทและ 1% Settling time 30
รูป 3.8 อินพุทและภาคขยายของออปแอมป์ 31
รูป 3.9 วงจรไบอัสของออปแอมป์ 32
รูป 3.10 แสดงวงจรสมมูลของนอยส์ในอุปกรณ์ 36
รูป 4.1 แสดงลักษณะของแอคทีฟฟิลเตอร์ความถี่ต่ำผ่าน 39
รูป 4.2 แอคทีฟฟิลเตอร์ความถี่ต่ำผ่าน Sixth-order 0.1 dB 41
รูป 4.3 วงจรทดสอบหาค่าคุณสมบัติจำเพาะของมอสทรานซิสเตอร์ 42
รูป 4.4 ความสัมพันธ์ของ K' ของอัตราส่วนที่ใช้กับกระแส *Ids* 43
รูป 4.5 ความสัมพันธ์ของ Vth ของอัตราส่วนที่ใช้กับกระแส *Ids* 44
รูป 4.6 ความสัมพันธ์ของ λ ของอัตราส่วนที่ใช้กับกระแส *Ids* 45
รูป 4.7 วงจรขยายสัญญาณ 2 ภาค 46
รูป 4.8 วงจรไบอัสของออปแอมป์ 49
รูป 4.9 ผลตอบสนองทางความถี่ (Avo ,PM) 50
รูป 4.10 แสดงผลตอบสนองทางเวลา (Slew Rate) 51
รูป 4.11 แสดงแรงดันสวิงของเอาท์พุท 51
รูป 4.12 แสดงผลตอบสนองทางความถี่ (Chebyshev 6-order) 52
รูป 4.13 แสดงอัตรากระเพื่อมในแถบผ่าน (Passband ripple) 53
รูป 4.14 ลักษณะของวงจรกรองแบบดิฟเฟอร์เรนเชียล 54
รูป 4.15 วงจรอาร์ซีพาสสีฟฟิลเตอร์ (5-order) 54
รูป 4.16 เส้นทางเดินของสัญญาณในวงจรรูปที่ 4.15 54
รูป 4.17 เส้นทางเดินของสัญญาณในวงจรรูปที่ 4.16 เมื่อปรับปรุง 55
รูป 4.18 เส้นทางเดินของสัญญาณในการปรับปรุงครั้งสุดท้าย 55
รูป 4.19 วงจรย่อยของ fully balanced RC active filter ทั้งหมด 57
รูป 4.20 วงจรบาลานซ์อาร์ซีแอคทีฟฟิลเตอร์ 57
รูป 4.21 การสเกลวงจรบาลานซ์ฟิลเตอร์เพื่อ Optimum dynamic range 58
รูป 4.22 แสดง Balanced Integrator Filter 59
รูป 4.23 วงจรขยายสัญญาณแบบฟูลลี่ 60

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รูป 4.24 ผลตอบสนองทางความถี่ (Avo ,PM) ของออปแอมป์ 61
รูป 4.25 ผลตอบสนองทางความถี่ (Elliptic 5-order) ของฟิลเตอร์ 63
รูป 4.26 อัตรากระเพื่อมในแถบผ่าน(Passband ripple) 63
รูป 4.27 แรงดันสวิงของเอาท์พุทเทียบกับอินพุทที่ 1.5 Vp , $f_{in} = 1KHz$ 64
รูป 4.28 ความเพี้ยนแบบอินเตอร์มอดูเลชัน ($IM3$) 64
รูป 5.1 ความกว้างและความหนาของโพลีและเมทัล 67
รูป 5.2 ระยะห่างที่น้อยสุด 68
รูป 5.3 ขนาดส่วนล้อมรอบที่น้อยสุด 68
รูป 5.4 การขยายของโพลีจากพื้นที่ของเกท 68
รูป 5.5 การเลเอาท์ของมอสทรานซิสเตอร์ 69
รูป 5.6 ตัวอย่างของมาร์คที่มีการวางผิดตำแหน่ง 70
รูป 5.7 แสดงโครงสร้างพื้นฐานของตัวต้านทาน 70
รูป 5.8 แสดงโครงสร้างของตัวต้านทานในวงจรรวม 71
รูป 5.9 แสดงโครงสร้างพื้นฐานของตัวเก็บประจุ 71
รูป 5.10 แสดงโครงสร้างของตัวเก็บประจุในวงจรรวม 71
รูป 5.11 แสดงการเลเอาท์วงจรฟูลลี่ออปแอมป์ 72
รูป 5.12 แสดงการเลเอาท์วงจรฟูลลี่แอคทีฟฟิลเตอร์ 72
รูป 5.13 แสดงผลตอบสนองทางความถี่และแรงดันเอาท์พุทของฟิลเตอร์ 73
รูป 5.14 แสดงความเพี้ยนแบบอินเตอร์มอดูเลชัน ($IM3$) 73

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รูป 4.24 ผลตอบสนองทางความถี่ (Avo ,PM) ของออปแอมป์ 61
รูป 4.25 ผลตอบสนองทางความถี่ (Elliptic 5-order) ของฟิลเตอร์ 63
รูป 4.26 อัตรากระเพื่อมในแถบผ่าน(Passband ripple) 63
รูป 4.27 แรงดันสวิงของเอาท์พุทเทียบกับอินพุทที่ 1.5 Vp , $f_{in} = 1KHz$ 64
รูป 4.28 ความเพี้ยนแบบอินเตอร์มอดูเลชัน ($IM3$) 64
รูป 5.1 ความกว้างและความหนาของโพลีและเมทัล 67
รูป 5.2 ระยะห่างที่น้อยสุด 68
รูป 5.3 ขนาดส่วนล้อมรอบที่น้อยสุด 68
รูป 5.4 การขยายของโพลีจากพื้นที่ของเกท 68
รูป 5.5 การเลเอาท์ของมอสทรานซิสเตอร์ 69
รูป 5.6 ตัวอย่างของมาร์คที่มีการวางผิดตำแหน่ง 70
รูป 5.7 แสดงโครงสร้างพื้นฐานของตัวต้านทาน 70
รูป 5.8 แสดงโครงสร้างของตัวต้านทานในวงจรรวม 71
รูป 5.9 แสดงโครงสร้างพื้นฐานของตัวเก็บประจุ 71
รูป 5.10 แสดงโครงสร้างของตัวเก็บประจุในวงจรรวม 71
รูป 5.11 แสดงการเลเอาท์วงจรฟูลลี่ออปแอมป์ 72
รูป 5.12 แสดงการเลเอาท์วงจรฟูลลี่แอคทีฟฟิลเตอร์ 72

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 1
บทนำ

วงจรฟิลเตอร์เป็นวงจรที่ใช้กันมากเพราะเป็นส่วนประกอบที่สำคัญในระบบต่างๆ มากมาย เช่นในเครื่องมือสื่อสาร ในเครื่องใช้ไฟฟ้า เครื่องมืออิเล็กทรอนิกส์ ฯลฯ โดยใช้เป็นวงจรกรองความถี่ของสัญญาณเพื่อให้ได้ระดับความถี่ตามที่ต้องการ เราจึงต้องการวงจรที่มีประสิทธิภาพสูง และใช้งานง่าย วงจรฟิลเตอร์มีการพัฒนามาตั้งแต่การใช้เพียง R-L-C (Passive Filter) พัฒนามาเป็นการใช้วงจรขยายสัญญาณต่อร่วมด้วย (Active Filter) และเป็นวงจรรวมในที่สุด (Intregrated Circuit Filter) ซึ่งปัจจุบันใช้งานกันมากเพราะสามารถสร้างให้มีขนาดเล็กได้ น้ำหนักเบา ความถูกต้องของวงจรสูงกว่า และถ้ามีการใช้งานเป็นจำนวนมากจะสามารถสร้างได้ในราคาที่ถูก และการที่มีขนาดเล็กนี่เองทำให้สามารถจะประกอบเข้ากับอุปกรณ์ชนิดอื่นได้โดยง่าย

ปริญญานิพนธ์นี้เล่มนี้จะกล่าวถึงการออกแบบไอซีฟิลเตอร์แบบอนาล็อก ในย่านความถี่เสียงซึ่งเป็นแอคทีฟอาร์ซีฟิลเตอร์ (Active RC Filter)โดยใช้ทรานซิสเตอร์แบบมอสทำงานในย่านไทรโอดแทนตัวต้านทาน ซึ่งสามารถควบคุมค่าความต้านทานได้โดยการควบคุมแรงดันที่เกทของทรานซิสเตอร์ (Mosfet-C Filter) เนื้อหาจะประกอบไปด้วยคุณสมบัติต่างๆ ของวงจรฟิลเตอร์ การจัดการทำงานของมอสทรานซิสเตอร์ , การออกแบบวงจรขยายสัญญาณและการออกแบบวงจรฟิลเตอร์

ในการออกแบบจะใช้เทคโนโลยีของCMOS 0.5 μ m ซึ่งเป็นที่นิยมในปัจจุบันเพราะจะทำให้วงจรมีขนาดเล็กและกินกำลังไฟน้อยลง การออกแบบขั้นต้นจะใช้การคำนวณจาก Level 1แล้วใช้การจำลองการทำงานโดยการประมวลผลจากโปรแกรมคอมพิวเตอร์(Hspice) ซึ่งเมื่อได้ผลตามที่ต้องการแล้วจะนำวงจรที่ได้มาออกแบบเลย์เอาท์ เพื่อใช้เป็นข้อมูลสำหรับทำโฟโตมาร์คที่ใช้ในขบวนการสร้างวงจรรวม (Fabrication) ซึ่งจะได้กล่าวถึงในภาคผนวกของปริญญานิพนธ์

สำหรับวงจรฟิลเตอร์ที่จะออกแบบเป็นวงจรกรองความถี่ต่ำผ่าน (Lowpass Filter) มีข้อกำหนดเชิงคุณสมบัติของวงจรดังนี้

ผลตอบสนองทางความถี่

อัตราขยายทางไฟตรง (DC gain)	$A_{DC} = 0.0 \quad dB$
ความถี่แถบผ่าน (Passband frequency)	$f_P = 2 \quad KHz$
ความถี่แถบหยุด (Stopband frequency)	$f_S = 4 \quad KHz$
อัตรากระเพื่อมในแถบผ่าน (Passband ripple)	$A_{MAX} < 0.5 \quad dB$
การลดทอนในแถบหยุด (Stopband attenuation)	$A_S \geq 45 \quad dB$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ข้อกำหนดทั่วไป

แหล่งจ่ายศักดา (Supply Voltage) 5 V (Single)

การกินกำลังงาน (Power Consumption) ออกแบบให้ใช้พลังงานต่ำสุด

อัตราส่วนสัญญาณต่อสัญญาณรบกวน (SNR) @ $20-2KHz$ $>50\ dB$

ความเพี้ยนแบบอินเตอร์มอดูเลชัน ($IM3$) $<-40\ dB$

สัญญาณมาตรฐานในวงจรโหมดศักดาคือสัญญาณไซนูซอยด์ที่มีค่าแบบยอดเท่ากับ ± 1.5 V

พื้นที่ของชิพ ($area$) $<\ 5\ mm^2$

โหลด $CL = 10pF\ //\ RL = 10M\Omega$

ข้อกำหนดเกี่ยวกับการเปลี่ยนแปลงคุณสมบัติตามกระบวนการผลิต , แหล่งจ่ายศักดา และอุณหภูมิ

กำหนดให้กระบวนการผลิต(process) ที่ใช้เป็นแบบซีมอส (CMOS) แบบ 0.5 ไมครอนของบริษัท Alcatel โดยที่มีการกำหนดให้มีการเปลี่ยนแปลงรูปการจำลองการทำงานเป็นไปตามเงื่อนไขดังนี้

กระบวนการผลิต	แบบช้า (Slow)	แบบปรกติ (Typical)	แบบเร็ว (Fast)
ระดับแหล่งจ่าย	4.5 V	5.0 V	5.5 V
อุณหภูมิ	70°C	30°C	0°C

ทั้งนี้ความผิดพลาดในแง่ผลตอบสนองเชิงความถี่ของวงจรในทุก ๆ ด้าน จะต้องไม่เกิน ± 20 เปอร์เซ็นต์ตลอดย่านความถี่ตามตารางข้างบน โดยกรณีที่วงจรจำเป็นต้องปรับแต่ง ตัวแปรที่ถูกปรับแต่งจะต้องเป็นศักดาหรือกระแสเพื่อปรับความถี่ของวงจรกรองเพียงอย่างใดอย่างหนึ่งเท่านั้น

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 2
คุณสมบัติของฟิลเตอร์และทรานซิสเตอร์แบบมอส

ในการออกแบบไอซีฟิลเตอร์นั้น(Integrated Circuit Filter) เราจำเป็นต้องรู้คุณสมบัติของฟิลเตอร์ที่เราจะออกแบบและเข้าใจการทำงานของอุปกรณ์ที่เราจะใช้นั่นคือทรานซิสเตอร์แบบมอส (MOS Transistor) ซึ่งในบทนี้จะกล่าวถึงคุณสมบัติของวงจรฟิลเตอร์และการจัดการทำงานของมอสทรานซิสเตอร์รวมถึงวงจรย่อยต่าง ๆ ที่อยู่ภายในวงจรขยาย (Operational amplifier)

2.1 วงจรฟิลเตอร์ (Filter Circuit)

วงจรกรอง (Filter) คืออุปกรณ์ที่ทำหน้าที่เป็นตัวเลือกผ่านสัญญาณโดยวงจรกรองจะยอมให้สัญญาณเฉพาะบางย่านความถี่ผ่านไปได้เท่านั้น เราจะเรียกย่านความถี่ที่วงจรกรองยอมให้ผ่านว่าย่านความถี่ผ่าน (Passband) และเรียกย่านความถี่ที่วงจรกรองจะกั้นไว้ไม่ให้ผ่านว่า ย่านความถี่หยุด (Stopband) วงจรกรองเป็นอุปกรณ์ที่สำคัญมากในงานด้านอิเล็กทรอนิกส์หลาย ๆ ด้าน เช่น ใช้ในการกำจัดสัญญาณรบกวน (Noise) ที่ไม่ต้องการในระบบสื่อสาร ใช้ในการปรับเสียง (Tone-control) ของระบบเครื่องเสียง ใช้ในการเปลี่ยนแปลงสัญญาณที่ได้จากการสุ่ม (Sampled signals) เป็นสัญญาณอนาล็อก เป็นต้น จริง ๆ แล้วอาจกล่าวได้ว่าแทบไม่มีอุปกรณ์ทางอิเล็กทรอนิกส์ใดๆ ที่ไม่มีวงจรกรองปืนส่วนประกอบอยู่เลย

วิวัฒนาการของวงจรกรอง

ความสนใจในทฤษฎีและการออกแบบวงจรกรองได้เริ่มมีขึ้นพร้อมกับพัฒนาการในช่วงเริ่มแรกของอุตสาหกรรมโทรคมนาคมในยุโรปและอเมริกาในช่วงปลายศตวรรษที่ 19 โดยเฉพาะอย่างยิ่งการพัฒนาระบบสื่อสารแบบมัลติเพล็กซ์ทางความถี่ เพื่อที่จะขยายโครงข่ายของระบบโทรศัพท์ออกไปเป็นตัวกระตุ้นที่สำคัญที่ทำให้เกิดการวิจัยในเรื่องวงจรกรองอย่างแพร่หลายในช่วงทศวรรษ 1920 และ 1930 การพัฒนาทฤษฎีวงจรกรองได้มีความก้าวหน้าไปอย่างมากโดยได้มีการแบ่งทฤษฎีวงจรกรองสามารถออกเป็นสองส่วนใหญ่ ๆ คือส่วนการประมาณ (approximation) และส่วนการสังเคราะห์โดยการประมาณ ในที่นี้หมายถึงการเลือกฟังก์ชันคณิตศาสตร์ที่มีคุณสมบัติที่สอดคล้องกับข้อกำหนดคุณสมบัติ และการสังเคราะห์คือการเลือกโครงสร้างของวงจรและค่าของอุปกรณ์ที่เหมาะสมเพื่อให้ได้วงจรที่ทำหน้าที่กรองสัญญาณในลักษณะที่ต้องการตามการประมาณได้

ในช่วงเวลาเดียวกันนี้เอง ความต้องการวงจรกรองคุณภาพสูงก็กระตุ้นให้เกิดการพัฒนาอุปกรณ์พาสสีฟ์ (Passive element) สำหรับใช้ในวงจรกรอง คือขดลวดเหนี่ยวนำ ตัวเก็บประจุ และตัวต้านทาน วงจรกรองสัญญาณเสียงโดยมากจะถูกสร้างขึ้นมาจากอุปกรณ์เหล่านี้ จนถึงทศวรรษ 1960 และวงจรกรองเหล่านี้ยังถูกใช้งานอย่างมากในปัจจุบัน โดยเฉพาะในงานที่ต้องการ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

พิสัยพลวัติ (Dynamic range) ที่กว้างและสัญญาณรบกวนต่ำ

ต่อมาในช่วงระยะเวลาหลังสงครามโลกครั้งที่สอง เนื่องจากขดลวดเหนี่ยวนำที่ใช้งานที่ความถี่ต่ำจะมีการสูญเสียสูงมาก จึงได้มีการพัฒนาวงจรกรองที่ปราศจากขดลวดเหนี่ยวนำ (Inductorless filter) ขึ้นมาโดยวงจรเหล่านี้จะประกอบด้วยอุปกรณ์แอคทีฟ ซึ่งในยุคแรกคือหลอดสูญญากาศ (Vacuum Tube) และต่อมาคืออุปกรณ์สารกึ่งตัวนำ (Semiconductor Device) หรือวงจรย่อยที่สร้างจากสารกึ่งตัวนำเช่นออปแอมป์ (Opamp) ต่อร่วมกับตัวต้านทานและตัวเก็บประจุ โดยเราเรียกวงจรประเภทนี้ว่า วงจรกรอง Active – RC อย่างไรก็ตามเนื่องจากค่าคงตัวเวลา (Time Constant) ของวงจรประเภทนี้จะขึ้นอยู่กับผลคูณของค่าความต้านทานและความเก็บประจุ ซึ่งเราไม่สามารถสร้างให้มีความแม่นยำมาก ๆ ได้

อย่างไรก็ตามในทศวรรษ 1970 ได้มีการเริ่มใช้งานวงจรกรองประเภทใหม่ ที่เรียกว่าวงจรกรองตัวเก็บประจุสวิทช์ (Switched – Capacitor filter) ซึ่งประกอบด้วยด้วยอุปกรณ์ออปแอมป์ต่อร่วมกับตัวเก็บประจุและสวิทช์ โดยวงจรกรองประเภทนี้จะมีหลักการทำงานคล้ายคลึงกับวงจรกรอง Active – RC แต่จะใช้วิธีการประมวลสัญญาณแบบไม่ต่อเนื่องทางเวลา (Discrete – Time Signal) เพื่อให้ค่าเวลาคงตัวของวงจรขึ้นอยู่อัตราส่วนของตัวเก็บประจุและความถี่ของสัญญาณนาฬิกา (Clock) ซึ่งป้อนให้วงจร ซึ่งเราสามารถทำให้มีความแม่นยำมาก ๆ ได้ วงจรกรองตัวเก็บประจุสวิทช์สามารถนำไปสร้างวงจรรวม (Integrated Circuit , IC) ได้ง่ายและนิยมใช้กันอย่างแพร่หลายในการกรองสัญญาณความถี่ต่ำเช่น สัญญาณเสียง

วงจรกรองแบบ Active –RC อีกประเภทที่ได้รับความนิยมในระยะหลังคือ วงจรกรองแบบ Gm –C ซึ่งมีอุปกรณ์แอคทีฟคือทรานส์คอนดักเตอร์ (Transconductor) โดยวงจรประเภทนี้สามารถทำงานที่ความถี่สูงได้ดีกว่าวงจรที่ใช้ออปแอมป์และมักนิยมสร้างเป็นวงจรรวม (Integrated filter) สำหรับนำไปใช้งานในระบบที่ไม่ต้องความเป็นเชิงเส้นที่สูงนัก เช่นในหัวอ่านดีสก์ไดรฟ์ กล่าวโดยสรุป เราสามารถแบ่งวงจรกรองอนาล็อกได้ตามลักษณะของอุปกรณ์ที่ใช้ในการสร้างวงจรดังนี้

วงจรกรองพาสสีฟ (Passive filter)

เป็นวงจรกรองสัญญาณแบบต่อเนื่องที่ประกอบไปด้วยตัวต้านทาน ตัวเก็บประจุ และขดลวดเหนี่ยวนำ วงจรกรองประเภทนี้สามารถใช้ในการกรองสัญญาณที่มีความถี่ตั้งแต่สัญญาณไฟตรง (DC) ไปจนถึงประมาณ 300 MHz อย่างไรก็ตามเราไม่นิยมใช้วงจรกรองพาสสีฟในย่านความถี่ต่ำ เนื่องจากจะต้องใช้ขดลวดเหนี่ยวนำขนาดใหญ่ซึ่งมีความสูญเสียมาก ดังนั้นโดยทั่วไปวงจรกรองพาสสีฟจะถูกใช้งานย่านความถี่สัญญาณเสียง (Audio frequency) ความถี่สัญญาณภาพ (Video frequency) ไปจนถึงย่านความถี่วิทยุสูงมาก (VHF)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

วงจรกรองแบบแอคทีฟ (Active filter)

เป็นวงจรกรองสัญญาณแบบต่อเนื่องที่ใช้อุปกรณ์ประเภทแอคทีฟร่วมกับตัวต้านทาน หรือตัวเก็บประจุ วงจรกรองแบบแอคทีฟที่นิยมใช้กันในปัจจุบันได้แก่วงจรกรอง Active – RC และวงจรกรองตัวเก็บประจุสวิทช์ (Switch – Capacitor filter) ซึ่งวงจรกรองทั้งสองแบบสามารถใช้งานในย่านความถี่ไฟตรงจนถึง 500 KHz ส่วนวงจรกรองแบบ Gm – C นั้นสามารถใช้งานในย่านความถี่ที่สูงกว่านี้ได้

วงจรกรองแบบดิจิตอล (Digital filter)

ตั้งแต่ปี 1980 เป็นต้นมาวงจรกรองดิจิตอล (Digital filter) ได้รับความนิยมมากขึ้นตามลำดับโดยวงจรกรองแบบดิจิตอลมีข้อดีคือ มีความแม่นยำสูงและสามารถปรับพารามิเตอร์ต่าง ๆ ได้ง่าย แต่มีข้อเสียคือกินกำลังไฟสูงและไม่สามารถกรองสัญญาณความถี่สูงได้ดีเท่าวงจรกรองแบบอนาล็อก

2.2 ผลตอบสนองทางความถี่และประเภทของวงจรกรอง

โดยทั่วไปเราสามารถแยกประเภทของวงจรกรองได้ตามลักษณะของผลตอบสนองทางความถี่ (Frequeney response) ของวงจร โดยสามารถแบ่งผลตอบสนองทางความถี่ออกได้เป็น

- ผลตอบตอบสนองทางขนาด (Magnitude response) ซึ่งจะแสดงอัตราการขยาย (Gain) ของวงจรที่ความถี่ต่าง ๆ
- ผลตอบสนองทางเฟส (Phase response) ซึ่งจะแสดงการเลื่อนเฟสของสัญญาณที่ความถี่ต่าง ๆ

รูปแบบพื้นฐานของวงจรฟิลเตอร์ จะมีด้วยกัน 4 รูปแบบคือ

1) วงจรกรองความถี่ต่ำผ่าน (Low pass filter)

เป็นวงจรที่ยอมให้ความถี่ต่ำผ่านไปได้ด้วยดีและจะลดทอนสัญญาณที่มีความถี่สูง

2) วงจรกรองความถี่สูงผ่าน (High pass filter)

เป็นวงจรที่ยอมให้ความถี่สูงผ่านไปได้ด้วยดีและจะลดทอนสัญญาณที่มีความถี่ต่ำ

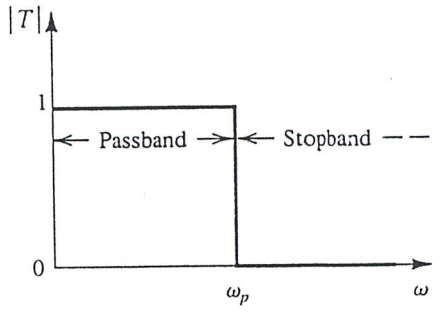
3) วงจรกรองแถบความถี่ผ่าน (Band pass filter)

เป็นวงจรที่ยอมให้เฉพาะช่วงความถี่ผ่านไปได้และจะลดทอนสัญญาณที่มีความถี่ที่สูงกว่าและต่ำกว่า

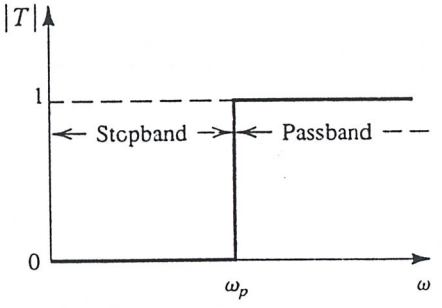
4) วงจรกำจัดแถบความถี่ (Band stop filter)

เป็นวงจรที่ยอมให้สัญญาณที่มีความถี่ต่ำกว่าและสูงกว่าแถบความถี่ที่เรากำหนดผ่านไปได้ แต่จะลดทอนช่วงแถบความถี่ที่เรากำหนด

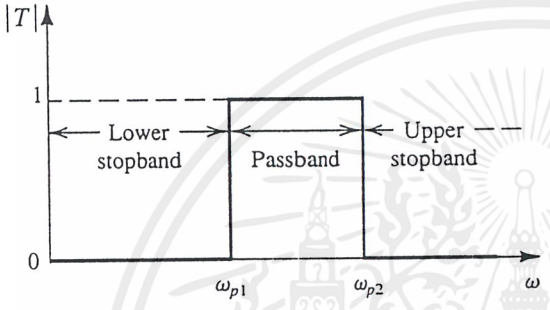
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



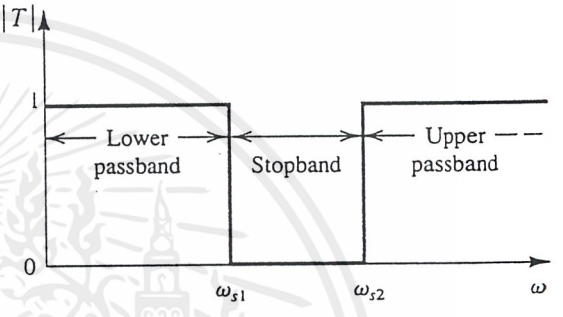
(a) Low-pass (LP)



(b) High-pass (HP)



(c) Bandpass (BP)



(d) Bandstop (BS)

รูปที่ 2.1 แสดงคุณสมบัติการส่งผ่านทางอุดมคติของวงจรกรองความถี่แบบต่าง ๆ

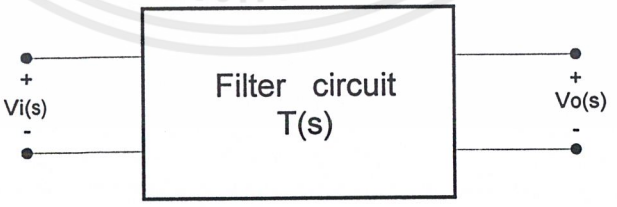
(a) วงจรกรองความถี่ต่ำผ่าน (Low pass filter)

(b) วงจรกรองความถี่สูงผ่าน (High pass filter)

(c) วงจรกรองแถบความถี่ผ่าน (Band pass filter)

(d) วงจรกำจัดแถบความถี่ (Band stop filter)

ฟิลเตอร์เราสามารถจะแทนได้ด้วย General two – port network แสดงได้ดังรูป



รูปที่ 2.2 General two – port network

โดยฟิลเตอร์มีทรานส์เฟอร์ฟังก์ชั่นเป็น [5]

$$T(s) = \frac{Vo(s)}{Vi(s)} \tag{2.1}$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

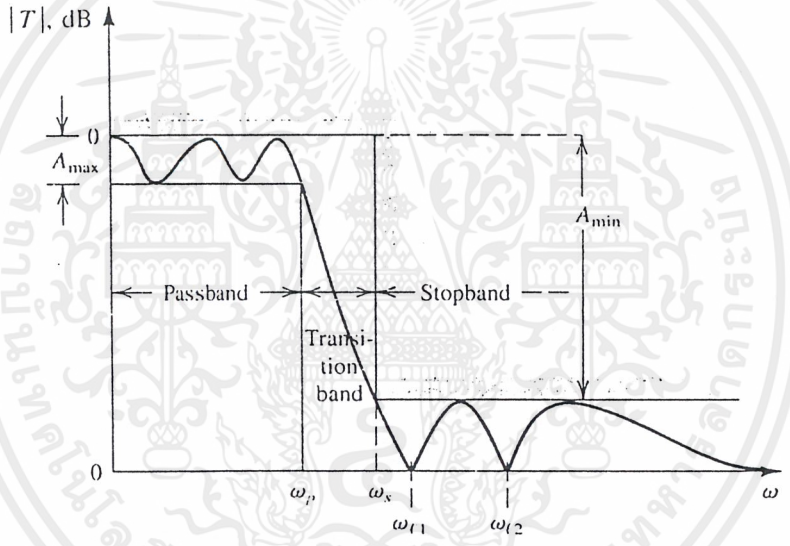
การส่งผ่านของฟิลเตอร์ (Filter transmission) จะหาได้จาก $T(s), s = j\omega$ และเราสามารถแสดงในเทอมของขนาดได้ดังนี้ $T(j\omega) = |T(j\omega)|\, e^{j\phi\omega}$ ขนาดของการส่งผ่าน (Magnitude of transmission) เรามักจะแสดงในเทอมของเดซิเบลหรือที่เรียกว่าเกนฟังก์ชั่น (Gain function)

$$G(\omega) = 20\log|T(j\omega)| \quad dB \tag{2.2}$$

และจะได้เกนการลดทอน(Attenuation Function) คือ

$$A(\omega) = -20\log|T(j\omega)| \; dB \tag{2.3}$$

สำหรับขั้นตอนการออกแบบวงจรกรองความถี่จะเริ่มจากคุณสมบัติจำเพาะ (Specification) ของฟิลเตอร์ที่ต้องการก่อนจากรูปที่ 2.3 แสดงลักษณะคุณสมบัติการส่งผ่านของวงจรกรองความถี่ต่ำผ่าน (Transmission characteristic)



รูปที่ 2.3 คุณสมบัติการส่งผ่านของวงจรกรองความถี่ต่ำผ่าน (Magnitude response)

จากรูปผลตอบสนองทางความถี่ของวงจรกรองความถี่ต่ำเราสามารถสรุปพารามิเตอร์ที่สำคัญได้ 4 อย่างคือ

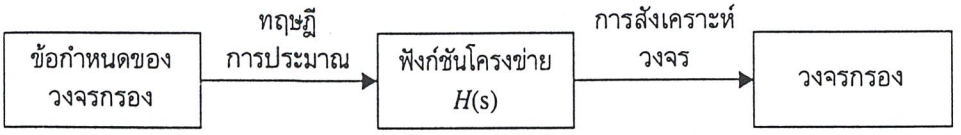
- ความถี่แถบผ่านหรือความถี่คัทออฟ (Passband frequency) , f_p
- ความถี่แถบหยุด (Stopband frequency) , f_s
- อัตราการกระเพื่อมสูงสุดในแถบผ่าน (Passband ripple) , $A\max$
- การลดทอนในแถบหยุด (Stopband attenuation) , $A\min$

2.3 ทฤษฎีการประมาณ (Approximation theory)

การออกแบบวงจรกรองจะเริ่มจากการหาฟังก์ชันโครงข่าย (Network function) ที่สอดคล้องกับข้อกำหนดคุณสมบัติของวงจรโดยใช้ทฤษฎีการประมาณ (Approximation theory) แล้ว

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จึงนำฟังก์ชันโครงข่ายที่ได้ไป ทำการสังเคราะห์ให้เป็นวงจรต่อไป



รูปที่ 2.4 ขั้นตอนการออกแบบวงจรกรอง

ในหัวข้อนี้จะกล่าวถึงการประมาณค่าแบบต่าง ๆ ซึ่งจุดสำคัญของเรื่องนี้ก็คือการหาอันดับ (Order) ของวงจรที่เราจะออกแบบนั่นเอง

2.3.1 ฟังก์ชันบัตเตอร์เวิร์ธ (Butterworth function)

เราสามารถหาอันดับ (Order) ได้จากสมการ [9]

$$n = \frac{\log_{10}\left(\frac{10^{0.1A\max}-1}{\varepsilon^2}\right)}{\log_{10}\left(\frac{\omega_s}{\omega_p}\right)^2} \qquad 2.4)$$

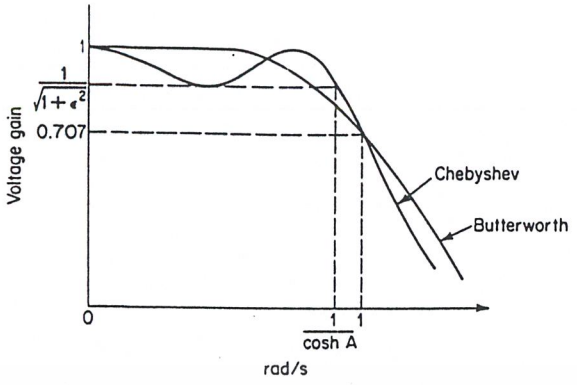
$$\varepsilon = \sqrt{10^{0.1A\max}-1} \qquad 2.5)$$

ฟิลเตอร์แบบบัตเตอร์เวิร์ธ (Butterworth filter) จะมีความเรียบของผลตอบสนองในช่วงความถี่แถบผ่านสูงแต่จะมีความชันของการลดทอน (Attenuation Slope) น้อย และจะต้องใช้จำนวนอันดับ (order) ของฟิลเตอร์สูงเมื่อเทียบกับการประมาณค่าแบบอื่น ๆ เราสามารถหาค่าอันดับ (order) ของฟิลเตอร์ได้อีกวิธีหนึ่งซึ่งจะนิยมกว่า คือการใช้กราฟคุณสมบัติของบัตเตอร์เวิร์ธฟิลเตอร์ วิธีการหาค่าอันดับ (order) หรือ n จากกราฟคือ อันดับแรกหาค่า $\Omega = \frac{f_s}{f_p}$ จากนั้นเลือกดูเส้นกราฟซึ่งจุดที่ Ω ตัดกับ Stopband Attenuation ทางแนวนอน

2.3.2 ฟังก์ชันเชบีเชฟ (Chebyshev function)

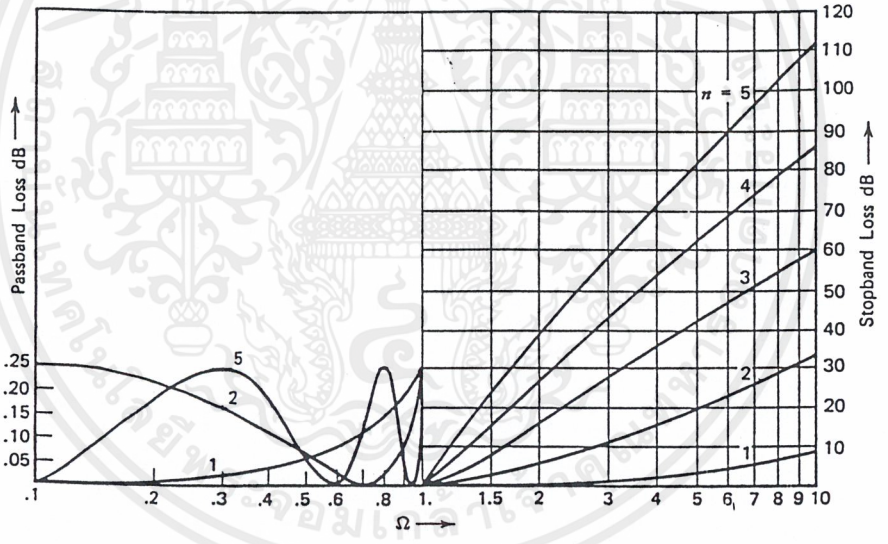
ฟิลเตอร์แบบเชเบีเชฟ (Chebyshev filters) จะมีความชันของการลดทอน (Attenuation Slope) มากกว่าแบบบัตเตอร์เวิร์ธและจะมีการกระเพื่อม (ripple) ที่ความถี่แถบผ่านจากรูปเป็นการเปรียบเทียบผลการตอบสนองทางความถี่ของฟังก์ชันแบบบัตเตอร์เวิร์ธและเชบีเชฟ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.5 แสดงการเปรียบเทียบผลตอบสนองทางความถี่ของบัตเตอร์เวิร์ธและเชบีเชฟ

ในการหาอันดับของเชบีเชฟฟิลเตอร์สามารถหาได้จากกราฟซึ่งเป็นวิธีที่นิยมกว่าการใช้สมการ และจากรูปเป็นกราฟแสดงการลดทอนของการประมาณค่าแบบเชบีเชฟที่ Amax = 0.25 dB [9]

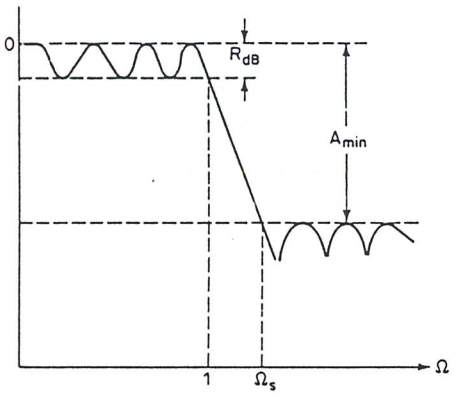


รูปที่ 2.6 แสดงคุณสมบัติการลดทอนของเชบีเชฟฟิลเตอร์ที่ Amax = 0.25 dB

2.3.3 ฟังก์ชันเอลลิพติก (Elliptic function)

การประมาณค่าแบบเอลลิพติกจะมีความคมของการลดทอนสัญญาณในย่านความถี่เปลี่ยนมากกว่าแบบอื่น ๆ และจะมีการกระเพื่อมที่ความถี่ผ่านและแถบความถี่หยุด ซึ่งเอลลิพติกฟิลเตอร์จะมีความชันของการลดทอนสูง (Transition band แคบ)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

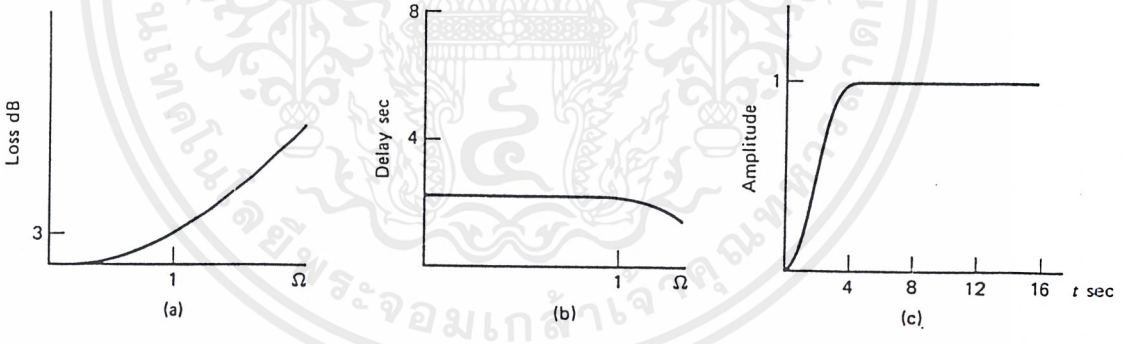


รูปที่ 2.7 ผลการตอบสนองของเอลลิพติกฟิลเตอร์

2.3.4 ฟังก์ชันเบซเซล (Bessel function)

เบซเซลฟิลเตอร์เป็นวงจรกรองที่มีการตอบสนองทางเฟสที่มีลิเนียร์สูงมากและ Step response จะไม่มี Overshoot หรือ Ringing แต่ว่าในผลตอบสนองทางความถี่ที่เท่ากัน จะใช้จำนวนอันดับ (order) สูงกว่าฟิลเตอร์แบบอื่น ๆ วงจรฟิลเตอร์แบบนี้จะในการปรับเฟสของสัญญาณซึ่งใช้ในการรับส่งข้อมูล

จากรูปแสดงลักษณะของผลตอบสนองทางความถี่ของฟิลเตอร์แบบเบซเซล ซึ่งมีอันดับ $n = 4$ (fourth -order) ซึ่งมี Amax = 3 dB



รูปที่ 2.8 a) Loss b) Delay c) Step response

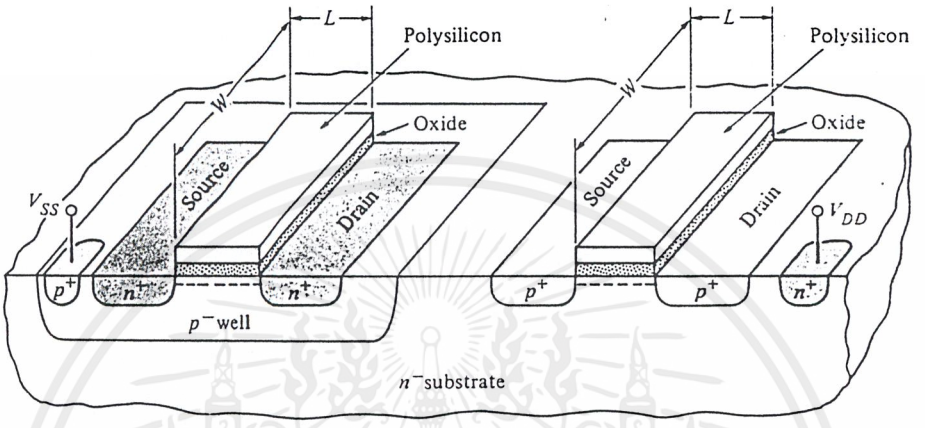
การหาฟังก์ชันการประมาณค่า (หาทรานส์เฟอร์ฟังก์ชัน) ของวงจรกรองความถี่ต่ำสามารถหาได้จากตารางฟังก์ชันการประมาณค่าแบบต่าง ๆ ซึ่งได้แสดงไว้ใน ซึ่งเมื่อเราหาฟังก์ชันของฟิลเตอร์ที่ต้องการออกแบบแล้ว เราจะนำฟังก์ชันที่ได้ไปทำการสังเคราะห์หรือแก้สมการออกมาเพื่อหาค่า R , L และ C ในวงจรพาสสีฟฟิลเตอร์

ในหัวข้อต่อไปจะพูดถึงคุณสมบัติของทรานซิสเตอร์แบบมอส การจัดการทำงานรวมถึงวงจรย่อยต่าง ๆ ที่ใช้ทรานซิสเตอร์แบบมอสทำงานในวงจร

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.4 การทำงานของทรานซิสเตอร์แบบมอส (Basic operation of MOS transistor)

ทรานซิสเตอร์แบบมอส แบ่งออกเป็น 2 ชนิดด้วยกันคือ NMOS หรือ n - channel MOS ซึ่งมีอิเล็กตรอนเป็นตัวนำกระแส และ PMOS หรือ p - channel MOS ซึ่งมีโฮลเป็นตัวนำกระแส มีลักษณะโครงสร้างตามรูปที่ 2.9



รูปที่ 2.9 โครงสร้างของ NMOS , PMOS ทรานซิสเตอร์ใน p – well CMOS technology

การสร้างวงจรรวมแต่เดิมใช้ NMOS เป็นหลักต่อมาใช้ทั้ง NMOS และ PMOS บน Chip เดียวกันเรียกว่า Complementary MOS หรือ CMOS และส่วนใหญ่ใช้ MOS ชนิด Enhancement mode devices ดังนั้นต่อไปจะกล่าวเฉพาะ MOS ชนิดนี้

2.4.1 NMOS

สร้างโดยการแพร่สารเจือชนิด n ให้มีความหนาแน่นสูงจนเป็น n^+ ลงบน Substrate ที่เป็นสาร p เกิดเป็นบริเวณที่เรียกว่า Source และ Drain ตามลำดับบริเวณแคบ ๆ ที่อยู่ระหว่าง Source และ Drain เรียกว่า Channel เหนือ Channel ขึ้นไปเป็นส่วนที่เรียกว่า Gate oxide ที่สร้างจาก S_iO_2 และชั้นของ Poly Silicon ที่สร้างจาก Poly Crystalline Silicon

ขณะที่ $Vgs = 0$ แม้ว่าจะป้อน $Vds > 0$ ก็จะไม่มีกระแสไหลจาก Drain ไป Source เพราะว่าที่รอยต่อ Channel กับ Source จะเหมือน Diode ที่ต่อ Reverse bias อยู่ เราเรียก MOS ตอนนี้ว่าอยู่ในสภาวะ OFF หรืออยู่ใน Cut off region

ต่อมาเมื่อป้อน $Vgs > 0$ จะทำให้เกิดสนามไฟฟ้ามีทิศในแนวดิ่งจาก Gate ไปยัง Substrate เนื่องจาก Gate oxide เป็น Insulator ดังนั้นจะไม่มีกระแสไหลจาก Gate ลงมา Substrate แต่ผลจากสนามไฟฟ้าจะทำให้ hole ในบริเวณ channel ถูกผลักลงไปข้างล่าง และ electron ถูกดึงขึ้นมาสะสม หาก Vgs มีค่าสูงพอถึงค่าค่าหนึ่งจะทำให้ Channel ซึ่งเดิมเป็น P - type เปลี่ยนไปเป็น

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

N - type ทำให้กระแสไหลจาก Drain ไปยัง Source ได้ ขณะนี้เองเราเรียกว่าเกิด Inversion layer ในบริเวณ channel ค่าของ Vgs ที่ทำให้เกิดสภาวะดังกล่าวเรียกว่า Threshold voltage หรือ Vt ดังนั้น กล่าวได้ว่า NMOS จะ ON เมื่อ $Vgs > Vt$ หรือ $Vgs - Vt > 0$

เมื่อ NMOS อยู่ในสภาวะ ON แล้ว เราพบว่าการเพิ่มค่าของ Vds จะส่งผลต่อรูปร่างและคุณสมบัติของ Inversion layer กล่าวคือ ถ้า $Vds \leq Vgs - Vtn$ Inversion layer จะเชื่อม Drain และ Source ถึงกันและพบว่าค่าของกระแส Ids จะขึ้นกับค่าทั้งของ Vgs และ Vds เรียก MOS ในสภาวะนี้ว่าอยู่ใน Unsaturated region หรือ Linear or Resistive mode

ถ้า $Vgs > Vgs - Vt$ ผลของสนามไฟฟ้าในแนวนอนอันเนื่องมาจาก Vds จะทำให้ Inversion layer ไม่สามารถขยายมาถึง Drain ได้จะสุดแค่จุดที่เรียกว่า Pinch off อย่างไรก็ตามการนำกระแสยังเกิดขึ้นได้แต่ว่าค่ากระแส Ids จะขึ้นกับค่า Vgs เพียงอย่าเดียวไม่ขึ้นกับค่า Vds อีกต่อไป เรียก MOS ในสภาวะนี้ว่า อยู่ใน Saturation region

2.4.2 PMOS

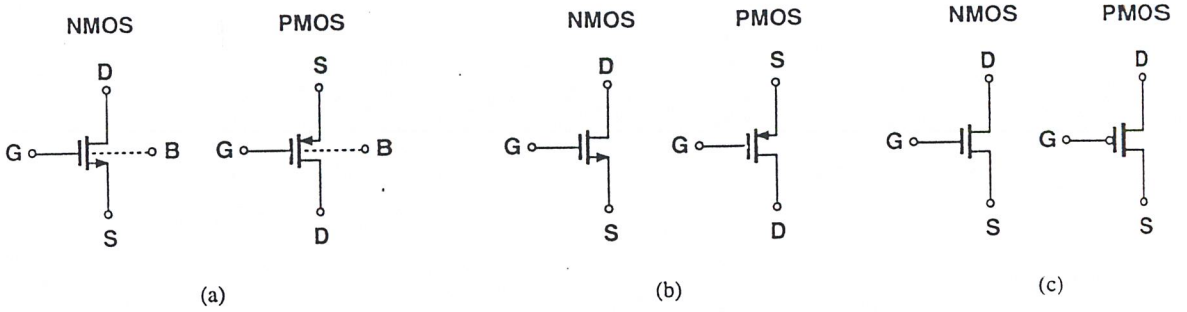
การทำงานของ PMOS ก็เป็นไปในลักษณะเช่นเดียวกับ NMOS แต่ว่าทุกอย่างจะกลับเป็นตรงกันข้ามกล่าวคือ PMOS จะมี Drain และ Source ที่เป็น p^+ และ Substrate ที่เป็น n ค่า Vt ของ PMOS จะเป็นค่าลบและจะต้องป้อน Vgs ให้มีค่าเป็นลบมากกว่า Vt นั่นคือ $Vgs - Vt < 0$ จึงจะทำให้ Channel ซึ่งเป็น n - type เปลี่ยนเป็น p - type และ MOS อยู่ในสภาวะ on ศักย์ดาที่ Source จะป้อนให้สูงกว่าที่ Drain ดังนั้นกระแสจะไหลจาก Source ไปหา Drain

2.5 คุณสมบัติของทรานซิสเตอร์แบบมอส (Characteristic of MOS Transistor)

โดยทั่วไปเราจะแบ่งการทำงานของมอสเป็นเป็น 3 ย่านการทำงานคือ Cut off , Triode และ Saturation region การจัดวงจรของ MOS นั้นสามารถจัดรูปแบบวงจรขยายได้ 3 แบบคือวงจรเกทร่วม , วงจรซอร์สร่วม และวงจรเดรนร่วม ซึ่งการจัดการทำงานแต่ละแบบจะใช้งานต่างกันไปและคุณสมบัติของแต่ละวงจรก็แตกต่างกัน สิ่งที่สำคัญคือค่าของกระแสของมอสซึ่งจะเป็นตัวกำหนดอัตราขยายและค่าความต้านทานของ MOS ซึ่งจะกล่าวต่อไป

การพิจารณา MOS เป็นเพียงสวิทช์นั้นง่ายที่สุด สำหรับ NMOS ดังในรูปที่ 2.10 (a) ถ้า V_G เป็นแรงดันสูง (high) ขั้ว D และ S จะเสมือนต่อกัน กระแสจะไหลผ่าน D และ S (V_G ต้องมีค่ามากกว่า Vth หรือแรงดันขีดเริ่ม) MOS เป็นอุปกรณ์ในแนวนอน (Lateral device) อิเล็กตรอนจะเคลื่อนที่จากขั้ว D ไป S ผ่าน Channel ในแนวราบ ความยาวของ Channel คือความยาวระหว่างขั้วใต้เกท (L) ซึ่งเป็นระยะทางที่อิเล็กตรอนเดินทาง

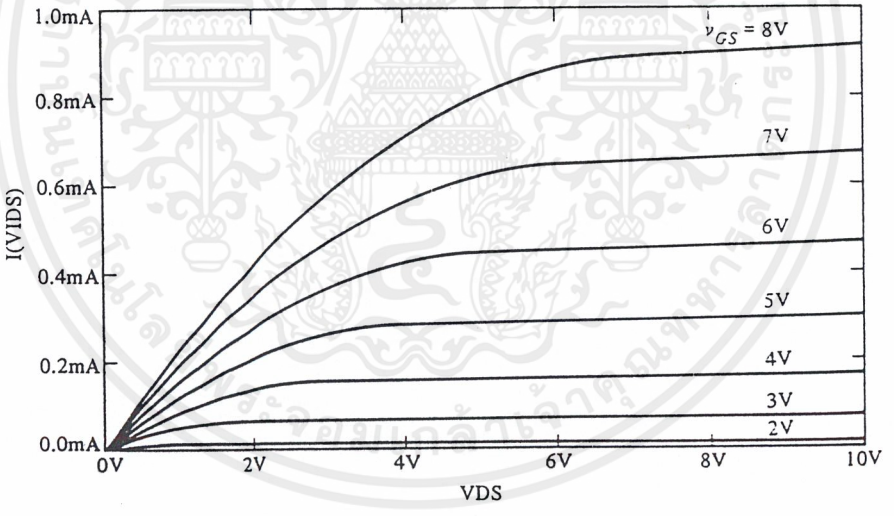
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.10 แสดงสัญลักษณ์ของมอสทรานซิสเตอร์

2.5.1 คุณสมบัติของทรานซิสเตอร์แบบ NMOS

จากรูป n – channel enhancement – type mosfet แสดงความสัมพันธ์ของแรงดัน *Vgs* , *Vds* และทิศทางการไหลของกระแสซึ่งเราสามารถดูการทำงานของ MOSได้ด้วยการวัด *Ids – Vds* Characteristics ของมอสเฟทจะทำให้เราเข้าใจหลักการทำงานของมอสเฟทซึ่งเป็นสิ่งจำเป็นสำหรับการออกแบบวงจรที่ใช้มอสเฟท



รูปที่ 2.11 กราฟความสัมพันธ์ระหว่าง *Ids* กับ *Vds*

จากกราฟแสดงความสัมพันธ์ระหว่าง *Ids* กับ *Vds* ในรูปที่ 2.11 จะแสดงให้เห็นบริเวณการทำงานของมอสเฟท โดยจะแบ่งจุดการทำงานออกเป็น 3 ส่วนดังนี้

1. ย่านคัทออฟ (Cut off region)
2. ย่านไทรโอด (Triode region)
3. ย่านอิ่มตัว (Saturation region)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.5.2 ย่านคัทออฟ (Cut off region)

กรณี $Vgs < Vth$ การทำงานของมอสเฟทในช่วงนี้จะไม่มีกระแส Id ไหลในวงจรหรือการทำงานของมอสเฟทเปรียบเสมือนสวิตซ์เปิดนั่นเอง ($Id = 0$)

2.5.3 ย่านไทรโอด (Triode region)

กรณี $Vgs \geq Vth$ และ $Vgs - Vds > Vth$ จะได้ว่า $Vds < Vgs - Vth$ ในย่านไทรโอดนี้ $Id - Vds$ Characteristics สามารถที่จะอธิบายได้โดยสมการ [5]

$$Id = K\left(2(Vgs - Vth)Vds - Vds^2 \right) \qquad 2.6)$$

K คือ พารามิเตอร์ของอุปกรณ์ โดย $K = \frac{1}{2}\mu_n C_{ox}(\frac{W}{L})$

μ_n คือ ค่าสภาพความคล่องของอิเล็กตรอน (Electron mobility) ซึ่งเป็นค่าคงที่

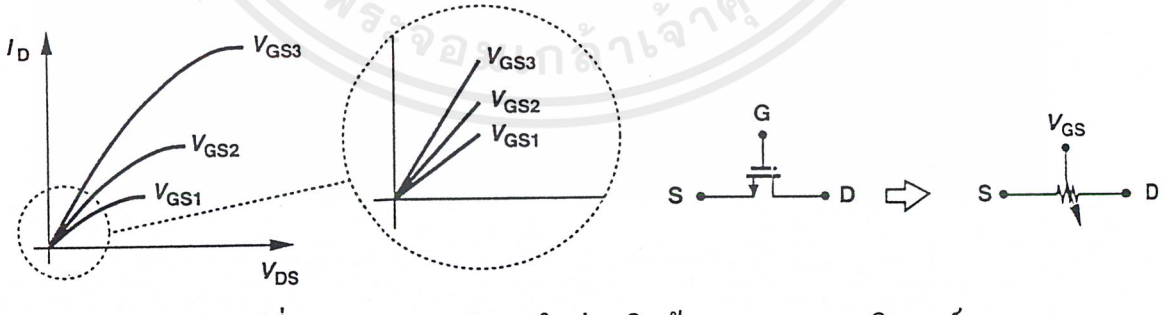
C_{ox} (Oxide Capacitance)เป็นค่าความจุต่อพื้นที่ภายในมอสเฟทมีค่าประมาณ 0.5 fF / mm^2

W และ L เป็นความกว้างและความยาวของ Channel ตามลำดับ

Vth คือ แรงดันเทรชโฮลด์ของมอสเฟท

ซึ่งโดยทั่วไปค่า $\mu_n C_{ox}$ ที่อุณหภูมิห้องจะมีค่าประมาณ 30 $\mu A / V^2$ ซึ่งค่า Vth และค่า μ_n สามารถลดลงตามอุณหภูมิได้ [1] ถ้า Vds ค่าน้อยเพียงพอ ($Vds << 2(Vgs - Vth)$ เราสามารถละเทอมของ Vds^2 ได้ดังนั้นจาก $Id - Vds$ Characteristics เราจะได้ว่า [5]

$$Id = 2K(Vgs - Vth)Vds$$
$$= \mu_n C_{ox}(\frac{W}{L})(Vgs - Vth)Vds$$



รูปที่ 2.12 แสดงการทำงานในช่วงเชิงเส้นของมอสทรานซิสเตอร์

จากรูปที่ 2.12 จะเห็นว่ากระแส Id เป็น function เชิงเส้นของ Vds ขณะนี้จะเห็นว่ามอสแสดงตัวคล้ายตัวต้านทานซึ่งจะมีค่าเท่ากับ [6]

$$R_{on} = 1 \; / \; [\; \mu_n \mathrm{Cox}(\frac{W}{L})(Vgs - Vth)\,] \qquad 2.7)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ดังนั้นเราจึงสามารถสร้าง Resistor ได้โดยการควบคุมแรงดัน Vgs นั่นเอง ที่สำคัญจะต้องอย่าลืมว่า $Vds << 2(Vgs - Vth$ [6] ซึ่งเราจะเรียกการทำงานของมอสในช่วงนี้ว่าอยู่ในช่วง Deep triode region

2.5.4 ย่านอิ่มตัว (Saturation region)

พิจารณาเมื่อ $Vgs \geq Vth$ และ $Vds \geq Vgs - Vth$ ซึ่งขอบเขตของย่านไทรโอดและย่านอิ่มตัวคือ

$$Vds = Vgs - Vth \quad (\text{Boundary}) \tag{2.8}$$

เพราะฉะนั้นเราจะได้สมการของกระแสคือ [5]

$$Id = K(Vgs - Vth)^2 \quad ; \quad K = \frac{1}{2}\mu_n \, \text{Cox}\left(\frac{W}{L}\right) \tag{2.9}$$

จากกราฟจะเห็นว่าในช่วงอิ่มตัวของมอสเฟทกระแส Id จะไม่ขึ้นกับแรงดันที่เดรน, Vds แต่จะขึ้นอยู่กับ Vgs เท่านั้น อย่างไรก็ตามในทางปฏิบัติผลของ Channel – length modulation จะทำให้ Vgs ส่งผลต่อ Id อยู่บ้างเล็กน้อย

ดังนั้นเราสามารถจัดสมการทั้งหมดเพื่อความสะดวกต่อการออกแบบได้ดังนี้

$$Id = 0 \,, Vgs < Vtn \quad (\text{Cut off})$$

$$Id = K'_N \left(\frac{W}{L}\right)\left\{(Vgs - Vtn)Vds - \frac{Vds^2}{2}\right\} \,, Vds \leq Vgs - Vtn \quad (\text{Triode}) \tag{2.10}$$

$$Id = \frac{1}{2} K'_N \left(\frac{W}{L}\right)(Vgs - Vtn)^2 \,, Vds \geq Vgs - Vtn \quad (\text{Saturation})$$

โดยที่ $K'_N = \mu_n C_{ox}$

2.5.5 คุณสมบัติของทรานซิสเตอร์ PMOS

การทำงานของ PMOS จะมีลักษณะการทำงานเช่นเดียวกับ NMOS เพียงแต่ลักษณะแรงดันจะแตกต่างกัน ซึ่งเราสรุปความสัมพันธ์ระหว่างแรงดันและกระแสได้ดังนี้

$$Id = 0 \,, \quad Vgs < |Vtp| \quad (\text{Cut off})$$

$$Id = K'_P \left(\frac{W}{L}\right)\left\{(Vsg - |Vtp|)Vsd - \frac{Vsd^2}{2}\right\}, Vds \leq Vsg - |Vtp| \quad (\text{Triode}) \tag{2.11}$$

$$Id = \frac{1}{2} K'_P \left(\frac{W}{L}\right)(Vsg - |Vtp|)^2 \,, Vsd \geq Vsg - |Vtp| \quad (\text{Saturation})$$

โดยที่ $K'_P = \mu_P C_{ox}$

2.5.6 Body Effect

เป็นผลของของการที่แรงดันเทรชโฮลท์ (Vth) เพิ่มขึ้น เนื่องจากแรงดันย้อนกลับที่ Source – to - Substrate (V_{SB}) เพิ่มขึ้น[2] โดยมีสมการคือ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

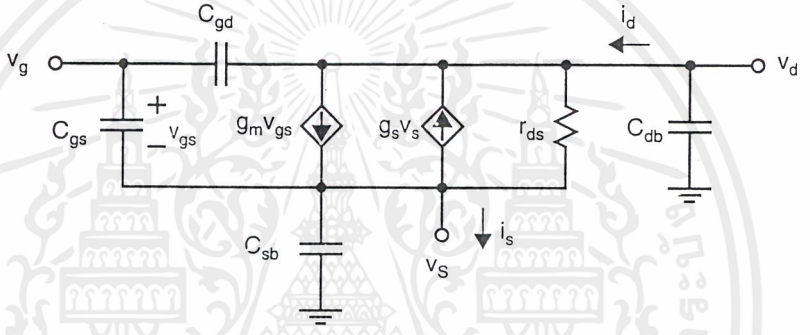
$$Vth = Vtho + \gamma(\sqrt{V_{SB} + |2\Phi F|} - \sqrt{|2\Phi F|}) \quad 2.12)$$

เมื่อ γ คือค่าคงที่ Body - effect มีหน่วยคือ $\sqrt{V}$

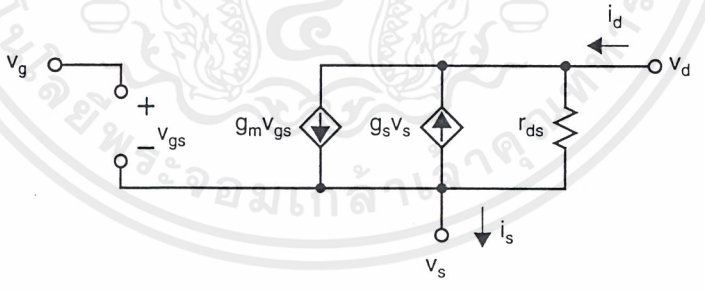
และ $$\gamma = \sqrt{\frac{2qN_A k_s \varepsilon_o}{C_{ox}}} \quad 2.13)$$

2.6 แบบจำลองสัญญาณขนาดเล็กในย่านอิ่มตัว (Small – signal model in saturation region)

เราสามารถสมมุติการทำงานของมอสได้เป็นวงจรสมมูลดังรูปที่ 2.13 ซึ่งเป็นการทำงานในย่านอิ่มตัวโดยขั้นแรกเราจะพิจารณา DC parametersซึ่งตัวเก็บประจุทุกตัวจะไม่พิจารณา (ถูกแทนด้วยการเปิดวงจร) ซึ่งในช่วงความถี่ต่ำ Small - signal model จะแสดงในรูป 2.14



รูปที่ 2.13 วงจรสมมูลย์การทำงานของมอสทรานซิสเตอร์



รูปที่ 2.14 Small – signal modelling ของมอสทรานซิสเตอร์

เมื่อมอสทรานซิสเตอร์ทำงานในย่านอิ่มตัวเราต้องรู้ค่าพารามิเตอร์ที่ใช้ในการออกแบบวงจรดังต่อไปนี้

1) ทรานส์คอนดัคแตนซ์ (gm) ซึ่งเป็นอัตราการเปลี่ยนแปลงของกระแสเดรนและแรงดัน Vgs [6]

$$gm = \frac{\partial Id}{\partial Vgs} \Big| \text{Vds , Constant} \quad 2.14)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สำนักหอสมุดกลาง_พระจอมเกล้าลาดกระบัง

$$= \mu \, \mathrm{Cox}\left(\frac{W}{L}\right)(Vgs - Vth) \qquad 2.14)$$

ซึ่ง gm ในย่านอิ่มตัวจะมีค่าเท่ากับส่วนกลับของ R_{on} ใน Deep triode region และเราจะหาค่า gm ได้จากสมการ

$$gm = \sqrt{2\mu Cox(W/L)Ids}$$

$$= \frac{2Id}{(Vgs - Vth)} \qquad 2.15)$$

2) Channel – Length modulation มีผลกระทบเมื่อความยาวของ Channel ลดลงซึ่งจะทำให้ Id เพิ่มขึ้นด้วยแฟคเตอร์ $(1 + \lambda Vds)$,[6] ดังนั้นในช่วง Saturation

$$Id = \frac{1}{2}\mu C_{ox}\left(\frac{W}{L}\right)(Vgs - Vth)^2 (1 + \lambda Vds) \qquad 2.16)$$

ซึ่ง λ คือ สัมประสิทธิ์ของ Channel - length modulation ดังนั้นเราจึงกำหนดค่า gm ใหม่ได้โดยสมการ [6]

$$gm = \mu C_{ox}\left(\frac{W}{L}\right)(Vgs - Vth)(1 + \lambda Vds) \qquad 2.17)$$

$$= \frac{\sqrt{2\mu Cox(W/L)Id}}{\sqrt{1 + \lambda Vds}}$$

$$= \frac{2Id}{(Vgs - Vth)}$$

2.7 วงจรสะท้อนกระแส (CMOS Current Mirror)

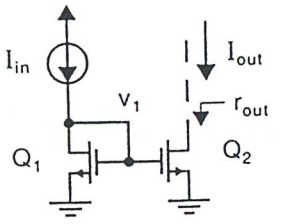
เราจะใช้วงจรสะท้อนกระแสเพื่อสร้างกระแสให้มีค่าตามกระแสอ้างอิง(Reference current) โดยจะไม่ขึ้นกับคุณสมบัติต่าง ๆ ของอุปกรณ์ วงจรสะท้อนกระแสที่นำมาใช้ควรมีความต้านทานทางเอาท์พุทสูง

2.7.1 วงจรสะท้อนกระแสอย่างง่าย (Simple CMOS current mirror)

ตัวอย่างของวงจรสะท้อนกระแสอย่างง่ายแสดงในรูปที่ 2.15 ซึ่งสมมติว่าทรานซิสเตอร์ทั้ง 2 ตัวอยู่ในย่านอิ่มตัวและมีขนาดเท่ากันจะได้ Q_1 และ Q_2 มีกระแสไหลผ่านเท่ากันซึ่งทรานซิสเตอร์ทั้ง 2 ตัวมีขนาดแรงดัน Vgs เท่ากัน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

46234



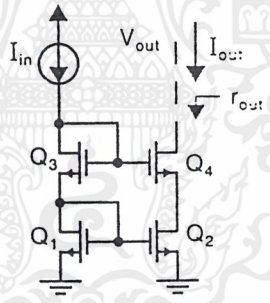
รูปที่ 2.15 วงจรสะท้อนกระแสอย่างง่าย

Q_1 คือ Diode connected (ขาเดรนและเกทถูกต่อเข้าด้วยกัน) ในวงจรนี้เราสามารถหาเอาท์พุทอิมพีแดนซ์จาก [2] $rout = rds_2 = \frac{1}{\lambda Iout}$ และ $Iout = \frac{(W/L)_2}{(W/L)_1} Iin$

2.7.2 วงจรสะท้อนกระแสแบบแคสโคด (Cascode current mirrors)

วงจรสะท้อนกระแสแบบแคสโคดแสดงดังรูปที่ 2.16 ซึ่งเอาท์พุทอิมพีแดนซ์ของวงจรหาได้จากสมการ [2] $rout = rds_4[1 + Rs(gm_4 + gs_4 + gds_4)]$ โดยที่ $Rs = rds_2$ จะได้ $rout = rds_4[1 + rds_2(gm_4 + gs_4 + gds_4)]$ ซึ่งสามารถลดรูปของสมการเป็น

$$rout \cong rds_4[1 + rds_2(gm_4 + gs_4)] \quad (2.18)$$
$$\cong rds_4(rds_2 gm_4)$$



รูปที่ 2.16 วงจรสะท้อนกระแสแบบแคสโคด

ซึ่งจะเห็นว่าเอาท์พุทอิมพีแดนซ์จะเพิ่มโดยแฟคเตอร์ $gm_4 rds_2$ ซึ่งเป็นเกนของ Single-transistor MOS gain stage ซึ่งอาจจะมีค่าระหว่าง 10-100 ซึ่งจะอยู่กับขนาดและกระแสของทรานซิสเตอร์และเทคโนโลยีที่ใช้ ข้อเสียของการใช้วงจรกระแสแบบแคสโคดนี้คือจะลดค่าสูงสุดของการสวิงสัญญาณทางเอาท์พุทก่อนที่ทรานซิสเตอร์จะเข้าสู่ย่านไทรโอด , [2]
โดย $Vout(\min) = 2(Vgs - Vth) + Vth$ ซึ่งค่า Vth จะมากกว่าค่า $2(Vgs - Vth)$

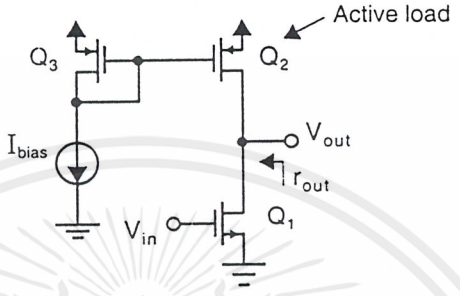
2.8 วงจรขยายของทรานซิสเตอร์แบบมอส (Amplifier of MOS transistor)

ในการที่เราจะออกแบบวงจร Operational amplifier นั้นเราจำเป็นต้องศึกษาการจัดวงจรขยายสัญญาณแบบต่าง ๆ ที่ใช้ในการออกแบบก่อน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

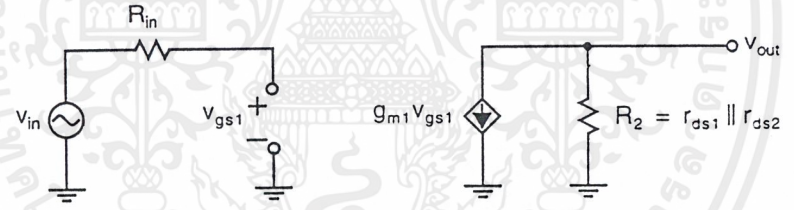
2.8.1 วงจรขยายแบบซอร์สร่วม (Common – Source amplifier)

วงจรขยายแบบซอร์สร่วมนี้เป็นที่นิยมใช้เป็นวงจรขยายโดยเฉพาะอย่างยิ่งเมื่อต้องการอินพุทอิมพีแดนซ์สูงตามที่ต้องการจากรูปเป็นวงจรขยายแบบ n - channel ซึ่งมีวงจรสะท้อนกระแสแบบ p - channel ซึ่งใช้เป็นแอคทีฟโหลด (Active Load)



รูปที่ 2.17 วงจรขยายแบบซอร์สร่วมกับ Current mirror active load

วงจรสมมูลย์การขยายสัญญาณขนาดเล็กของวงจรที่ความถี่ต่ำแสดงในรูป 2.18 โดย Vin และ Rin คือ วงจรสมมูลเธวินิน (Thevenin equivalent) ของทางด้านอินพุท



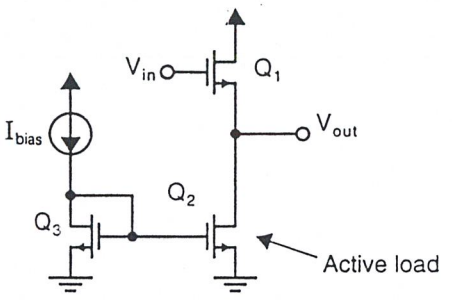
รูปที่ 2.18 วงจรสมมูลการขยายสัญญาณขนาดเล็กของซอร์สร่วม

เมื่อใช้การวิเคราะห์สัญญาณขนาดเล็กโดย $Vgs_1 = Vin$ ดังนั้นเกนของวงจรจะขึ้นอยู่กับขนาดของมอส กระแส และเทคโนโลยีที่ใช้ โดยปรกติเกนของวงจรนี้จะอยู่ในช่วง -10 ถึง -100 ถ้าเราต้องใช้วิธี รีซิสทีฟโหลดแทนแอคทีฟโหลดโดยต้องการเกนเท่านี้ จะต้องมีแรงดันจากเพาเวอร์ซัพพลายมากกว่า 5V โดยจะทำให้สูญเสียพลังงานเพิ่ม (Increases the power dissipation) อย่างไรก็ตามถ้าต้องการเกนต่ำ ๆ ความถี่สูง ๆ อาจจะต้องใช้รีซิสเตอร์แทนเพราะมีสัญญาณรบกวนและมีพาราซิติคาปาซิแตนซ์น้อยกว่าแอคทีฟโหลด

2.8.2 วงจรขยายเดรนร่วมหรือซอร์สตาม (Common - Drain amplifier or Source - follower)

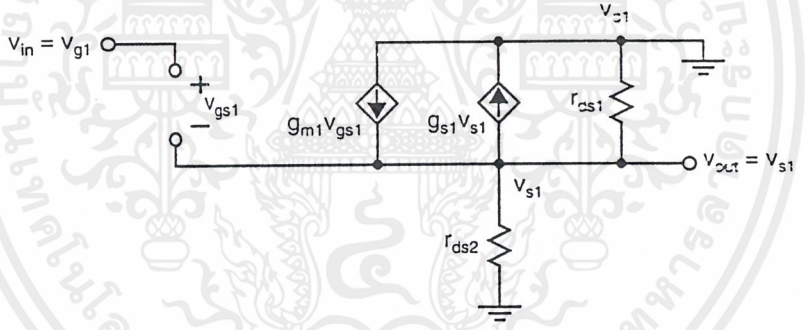
วงจรขยายแบบนี้อินพุทและเอาท์พุทโหลดจะอยู่ที่ขาเกทและซอร์สของทรานซิสเตอร์ตามลำดับ ในทางอุดมคติของการขยายสัญญาณขนาดเล็ก อัตราการขยายแรงดันของวงจรจะเท่ากับหนึ่ง แต่ในความเป็นจริงแล้วจะน้อยกว่าหนึ่ง อย่างไรก็ตามแม้ว่าวงจรนี้จะไม่ขยายแรงดันแต่ก็สามารถขยายกระแสได้ดี

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.19 วงจรขยายแบบเดรนร่วมกับแอคทีฟโหลดโดยใช้แหล่งจ่ายกระแสไบอัส

การวิเคราะห์สัญญาณขนาดเล็กที่ความถี่ต่ำของวงจรนี้แสดงในรูปที่ 2.20 ซึ่งจะมีโมเดลของ Body effect ของทรานซิสเตอร์แบบมอสรวมอยู่ด้วย เพราะว่าขาซอร์สไม่ได้อยู่ที่ Small – signal ground และ Body effect คือตัวการที่จำกัดเกนของวงจร ซึ่งเราสามารถแก้ไขปัญหาของ Body effect ได้โดยใช้ PMOS ซึ่งมี n-well เป็นของตัวเองและ PMOS Load ก็มีเอาพุทอิมพีแดนซ์สูงกว่า NMOS เพราะ PMOS มี mobility ของประจุต่ำกว่าของ NMOS , [2]



รูปที่ 2.20 วงจรสมมูลที่ความถี่ต่ำของวงจรขยายแบบเดรนร่วม

จากรูปจะเห็นว่า rds_1 ขนานกับ rds_2 ซึ่งเราสามารถเขียนสมการที่โหนดเอาท์พุทของวงจรได้จาก

$$VoutG_{S1} - gm_1(Vin - Vout) = 0 \ , \ G_{S1} = \frac{1}{R_{S1}} \qquad 2.19)$$

ซึ่งสุดท้ายเราจะได้เกนของวงจรคือ [2]

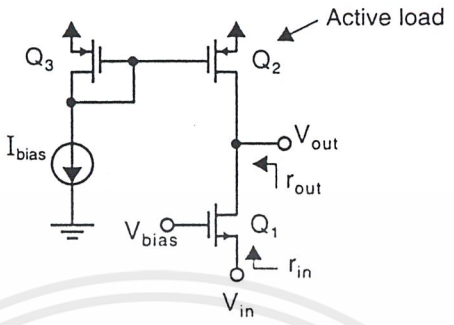
$$A_V = \frac{Vout}{Vin} = \frac{gm_1}{gm_1 + G_{S1}} \qquad 2.20)$$

2.8.3 วงจรขยายแบบเกทร่วม (Common - Gate amplifier)

วงจรขยายคอมมอนเกทกับแอคทีฟโหลดที่แสดงในรูปที่ 2.21 จะใช้เป็นวงจรขยาย เมื่อต้องการอินพุทอิมพีแดนซ์ต่ำ ๆ ตามความต้องการเช่นอาจจะต้องการอินพุทอิมพีแดนซ์เพียง 50 Ω

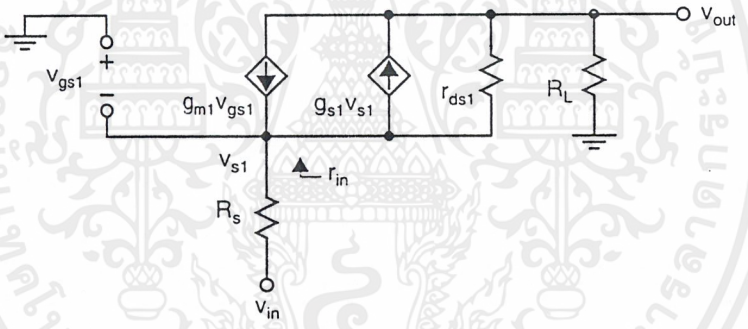
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เพื่อจะได้แมทช์กับสายส่ง 50 Ω ได้ และวงจรขยายคอมมอนเกทจะขยายกระแสได้ดีกว่าแรงดัน



รูปที่ 2.21 วงจรขยายคอมมอนเกทกับ Current mirror active load

สำหรับวงจรสมมูลย์ของคอมมอนเกทแสดงได้ดังรูปที่ 2.22 ซึ่งจะรวม Body - effect parameter เข้ามาวิเคราะห์ด้วย



รูปที่ 2.22 วงจรสมมูลย์การขยายสัญญาณขนาดเล็กของคอมมอนเกทที่ความถี่ต่ำ

อัตราการขยายแรงดันของวงจรคือ [2]

$$A_V = \frac{Vout}{Vin} = \left[\frac{G_S}{(G_S + \frac{gm_1 + gs_1 + gds_1}{1 + gds/G_L})} \right] \frac{gm_1 + gs_1 + gds_1}{G_L + gds_1} \qquad 2.21)$$

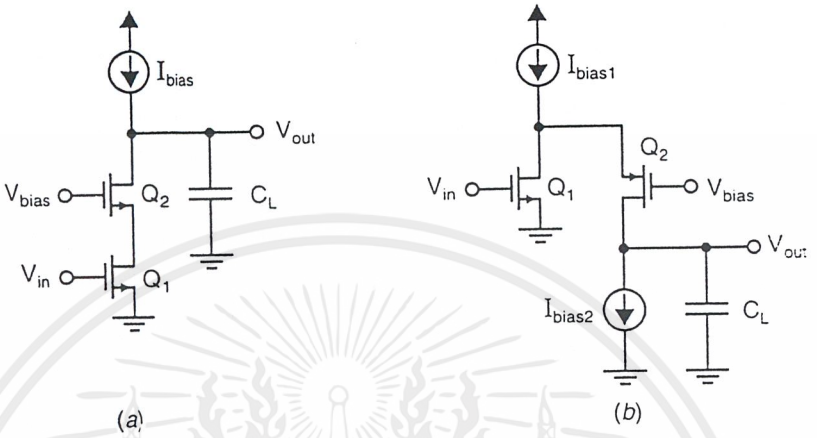
$$\cong \frac{G_S}{(G_S + \frac{gm_1}{1 + gds/G_L})} \left(\frac{gm_1}{G_L + gds_1} \right)$$

และ $rin \cong \frac{1}{gm_1} \left(1 + \frac{RL}{rds_1} \right)$ 2.22)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.9 แคสโคดเกนสเตจ (Cascode Gain Stage)

ในการออกแบบไอซีทั่วไปมักจะใช้วิธีของแคสโคดเกนสเตจ คือจะใช้คอมมอนซอร์สต่อกับคอมมอนเกท ซึ่ง 2 ตัวอย่างของ Cascode amplifier แสดงดังรูปที่ 2.23



รูปที่ 2.23 a) A telescopic - cascode amplifier

b) A folded - cascode amplifier

จากรูป a) ทรานซิสเตอร์ทั้ง 2 ตัวเป็น n – channel มอสทรานซิสเตอร์ และรูป b) มี n – channel อินพุททรานซิสเตอร์หรือไดร์ฟทรานซิสเตอร์ (Drive transistor) แต่มี n - channel ทรานซิสเตอร์ ใช้เป็นแคสโคดทรานซิสเตอร์ (Common – Gate) ซึ่งจะมีระดับดีซีที่เอาท์พุทเท่ากับระดับของสัญญาณดีซีที่อินพุท แต่ว่าวิธีนี้จะมีความเร็วต่ำกว่าแบบแรกแม้ว่าพาราซิติคคาปาซิแตนซ์ ที่ซอร์สของแคสโคดทรานซิสเตอร์จะเท่ากันทั้ง 2 กรณี แต่ว่าค่าทรานส์คอนดัคแตนซ์ ของ p - channel ทรานซิสเตอร์ จะเล็กกว่าประมาณ 3 เท่าเมื่อเทียบกับ n -channel ทรานซิสเตอร์มี 2 เหตุผลที่สำคัญที่ว่าทำไมวิธีการของแคสโคดถึงเป็นที่นิยมคือ อันดับแรกคือมีอัตราขยายสูงเพราะมีเอาท์พุทอิมพีแดนซ์สูง ซึ่งปกติแล้วจะไม่ทำให้ลดความเร็วของวงจรด้วย และบางครั้งยังช่วยเพิ่มความเร็วได้อีกด้วย เหตุผลที่สองคือการใช้ Cascode stage จะช่วยจำกัดแรงดันทางด้านตรงข้ามของอินพุทไดรฟ์ทรานซิสเตอร์ แต่ว่าวงจรแคสโคดก็มีข้อเสียคือ สัญญาณสวิงของวงจรจะมีข้อจำกัดซึ่งเป็นผลมาจากการที่จะต้องรักษาระดับแรงดันดีซี ที่ต้องรักษา Q_1 และ Q_2 ให้อยู่ในย่านอิ่มตัวตลอดเวลา

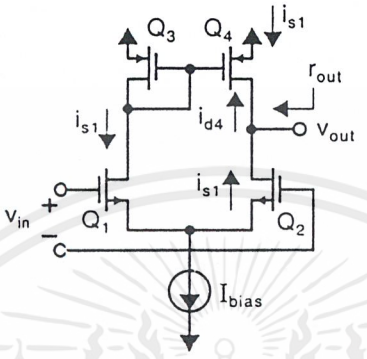
2.10 วงจรขยายความแตกต่าง (Differential Amplifier)

วงจรขยายในวงจรรวมส่วนใหญ่ จะต้องมีดิฟเฟอเรนเชียลอินพุท (Differential input) หรือที่เรียกกันว่าดิฟเฟอเรนเชียลทรานซิสเตอร์แพร์ (Differential transistor pair) ซึ่งถ้ามี ดิฟเฟอเรนเชียลแพร์และแอคทีฟโหลดต่อร่วมกันดังรูปที่ 2.24 ซึ่งก็จะกลายเป็นวงจรขยายซึ่งนิยม

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เป็นวงจรขยายภาคแรกในออปแอมป์ซึ่งจากรูปมี n - channel ทรานซิสเตอร์และ Active current mirror load ซึ่งเป็น n -channel ทรานซิสเตอร์ ซึ่งเราสามารถวิเคราะห์วงจรนี้ได้ดังนี้

เมื่อ $$id_1 = i_{S1} = \frac{gm_1}{2} Vin \qquad 2.23)$$



รูปที่ 2.24 วงจรขยายความแตกต่างกับ Single-ended output MOS gain stage

ถ้ายังไม่ต้องสนใจเอาท์พุทอิมพีแดนซ์จะได้ [2]

$$id_4 = id_3 = -i_{S1} \quad \text{และ} \quad id_2 = -i_{S1} \quad \text{เราจะได้}$$

$$\begin{aligned} Vout &= (-id_2 - id_4)rout \\ &= 2i_{S1}rout \\ &= gm_1(rds_2 \,//\, rds_4)\,\text{Vin} \end{aligned} \qquad 2.24)$$

และถ้าสมมติว่าเอาท์พุทอิมพีแดนซ์คือความต้านทานบริสุทธิ์ และมีคาปาซิทีฟโหลด CL เราจะได้อัตราขยายแรงดันที่ความถี่ต่ำคือ

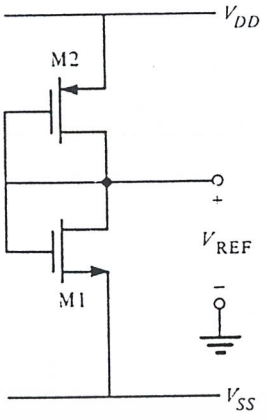
$$A_V = gm_1(rds_2 \,//\, rds_4) \qquad 2.25)$$

2.11 แรงดันอ้างอิง (Voltage Reference)

แรงดันอ้างอิงในทางอุดมคติต้องไม่ขึ้นกับเพาเวอร์ซัพพลายและอุณหภูมิ หลาย ๆ วงจรรวมแบบอนาล็อกต้องการวงจรนี้เพื่อต้องการแรงดันอ้างอิง จากรูปที่ 2.25 เป็นรูปวงจรแรงดันอ้างอิงอย่างง่ายที่สุดซึ่งได้จากการแบ่งแรงดันกันของเพาเวอร์ซัพพลาย ซึ่งเป็นวงจรแรงดันอ้างอิงที่ได้จากมอสทรานซิสเตอร์ 2 ตัวต่อกัน โดยแรงดันอ้างอิงที่ได้จากวงจรเมื่อเทียบกับกราวด์สามารถหาได้จากสมการ [3]

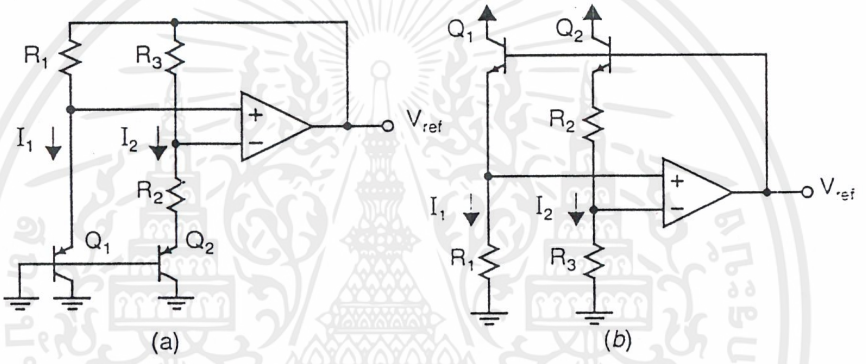
$$V_{REF} = \frac{V_{SS} + Vtn + \sqrt{\beta_2 / \beta_1}(V_{DD} - |Vtp|}{1 + \sqrt{\beta_2 / \beta_1}} \qquad 2.26)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.25 แรงดันอ้างอิงโดยการใช้การแบ่งแรงดัน

วงจรแรงดันอ้างอิงอีกแบบที่นิยมเรียกว่า Cmos Bandgap Reference ดังรูป



รูปที่ 2.26 แรงดันอ้างอิงที่นิยมแบบแบนแกพ (Cmos Bandgap Reference)

a) n – well Cmos process

b) p – well Cmos process

จากรูปสำหรับ n – well เราจะได้ $Vref = V_{EB1} + V_{R1}$ โดยสมมติว่าออปแอมป์มีเกนสูงมาก และที่ขั้วทางอินพุทมีแรงดันเท่ากันจะได้ $V_{R2} = V_{EB1} - V_{EB2} = \Delta V_{EB}$ กระแสที่ไหลผ่าน R_3 จะเท่ากับกระแสที่ไหลผ่าน R_2 จะได้ $V_{R3} = \frac{R_3}{R_2} V_{R2} = \frac{R_3}{R_2} \Delta V_{EB}$

ทำให้แรงดันตกคร่อม R_1 เท่ากับ R_3 ดังนั้นจะได้ [2]

$$Vref = V_{EB1} + \frac{R_3}{R_2} \Delta V_{EB} \qquad 2.27)$$

หลังจากที่กล่าวถึงคุณสมบัติของวงจรฟิลเตอร์และการจัดการทำงานของมอสทรานซิสเตอร์ รวมถึงวงจรย่อยต่างๆ ที่อยู่ภายในวงจรขยายแล้ว ในบทต่อไปจะอธิบายการออกแบบออปแอมป์ โดยจะพูดถึงวงจรขยายซีมอสออปแอมป์แบบสองภาค ซึ่งเป็นวงจรพื้นฐานทั่วไปที่ใช้ในวงจรรวม การชดเชยความถี่ของวงจรออปแอมป์และการวิเคราะห์สัญญาณรบกวนในวงจรรวม

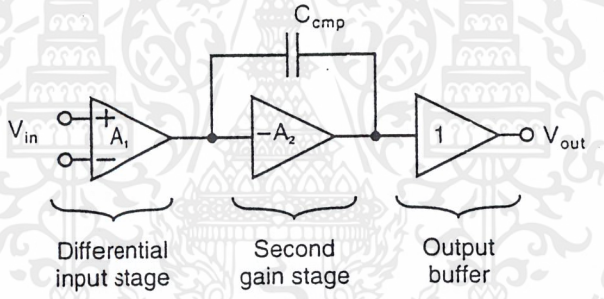
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 3
พื้นฐานการออกแบบวงจรออปแอมป์

ในบทนี้จะอธิบายเกี่ยวกับพื้นฐานการออกแบบออปแอมป์โดยจะพูดถึงวงจรขยายซีมอสออปแอมป์แบบสองภาค ซึ่งเป็นวงจรพื้นฐานทั่วไปที่ใช้ในวงจรรวม เทคนิคการชดเชยความถี่ของวงจรออปแอมป์และการวิเคราะห์สัญญาณรบกวนในวงจรรวม

3.1 วงจรซีมอสออปแอมป์แบบสองภาค (Two – Stage CMOS Opamp)

บล๊อกไดอะแกรมของ Two – stage CMOS opamp แสดงดังรูป 3.1 ในรูปแสดง 2 ภาคการขยาย (Two gain stage) และภาคเอาท์พุทบัฟเฟอร์ซึ่งมีอัตราการขยายเท่ากับหนึ่ง (Unity – gain output stage) ภาคเอาท์พุทบัฟเฟอร์จะใช้เมื่อโหลดของวงจรเป็นตัวต้านทานค่าต่ำ ๆ แต่ถ้าโหลดเป็นคาปาซิเตอร์ก็อาจจะไม่จำเป็นสำหรับออปแอมป์



รูปที่ 3.1 บล๊อกไดอะแกรมของวงจรออปแอมป์แบบสองภาค

วงจรขยายภาคแรกคือวงจรขยายความแตกต่างทางอินพุท (Differential - Input single ended output stage) วงจรขยายขั้นภาคต่อมานิยมใช้วงจรขยายแบบชอร์สร่วมที่มีแอคทีฟโหลดและมีคาปาซิเตอร์ ,Cc ต่อป้อนกลับเพื่อชดเชยความถี่ซึ่งจะทำให้ออปแอมป์มีเสถียรภาพดี บ่อยครั้งจะเรียกว่ามิลเลอร์คาปาซิแตนซ์ (Miller Capacitance) ตัวอย่างของวงจรออปแอมป์ดังรูปที่ 3.2 ซึ่งเป็นที่นิยมสูงมากในการออกแบบขั้นพื้นฐานจะสังเกตเห็นว่าภาคแรกจะใช้ p - channel เป็นคู่ดิฟเฟอร์เรนเชียลอินพุทและ n – channel เป็นแอคทีฟโหลด (Current - mirror active load)

อัตราการขยายของออปแอมป์ที่ความถี่ต่ำสำหรับวงจรขยายภาคแรกเราได้หาไว้แล้วในบทที่แล้วคือ [2]

$$A_{v1} = gm_1(r_{ds2} // r_{ds4}) \quad (3.1)$$

โดยที่

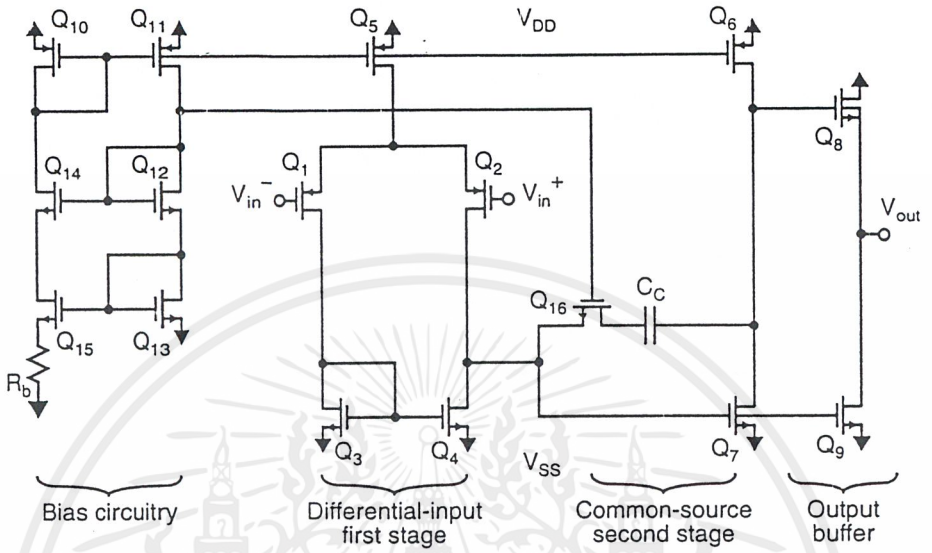
$$gm_1 = \sqrt{2\mu_p c_{ox}(W/L)_1 Id_1} \quad (3.2)$$

$$= \sqrt{2\mu_p c_{ox}(W/L)_1 \frac{Ibias_1}{2}} \quad (3.3)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

โดยเราสามารถประมาณค่าของเอาท์พุทอิมพีแดนซ์ $r_{dsi} = \alpha \frac{Li}{Idi}\sqrt{Vdgi + Vti}$

ซึ่งค่า α คือพารามิเตอร์ของแต่ละเทคโนโลยีมีค่าประมาณ $5\times10^{6}\sqrt{V}/m$



รูปที่ 3.2 วงจรออปแอมป์

อัตราขยายของภาคที่สองเป็นวงจรซอร์สร่วมซึ่งมี p – channel แอคทีฟโหลด Q_6 ซึ่งมีเกนคือ

$$A_{v2} = -gm_7(r_{ds6} // r_{ds7}) \qquad 3.4)$$

อัตราการขยายของภาคที่สามหรือภาคบัฟเฟอร์ซึ่งภาคนี้มักจะเรียกว่าซอร์สตาม (Source – follower) และเกนของภาคนี้คือ

$$A_{v3} \cong \frac{gm_8}{G_L + gm_8 + g_{ds8} + g_{ds9}} \qquad 3.5)$$

ซึ่ง G_L นี้คือโหลดคอนดัคแตนซ์ที่ถูกขับด้วยภาคบัฟเฟอร์ ซึ่งจะเห็นว่าภาคนี้จะมีอัตราการขยายไม่ถึงหนึ่ง

3.2 การป้อนกลับและการชดเชยของออปแอมป์ (Feedback and Opamp Compensation)

ออปแอมป์ในทางปฏิบัตินั้นจะมีโพลและซีโร่ (pole and zero) อยู่เป็นจำนวนมากซึ่งจะมีผลต่อการตอบสนองทางความถี่ของวงจรออปแอมป์ เพื่อง่ายต่อความเข้าใจเราจะสมมติออปแอมป์ตอนนี้เป็นแบบโพลเดียว (First – order model) ซึ่งมีทรานเฟอร์ฟังก์ชันคือ [2]

$$A(s) = \frac{Ao}{(1 + s/\omega_{p1})} \qquad 3.6)$$

โดย Ao คือดีซีเกนของออปแอมป์และ ω_{p1} คือโพลหลัก (dominant pole) ของออปแอมป์ที่จุดนี้เราจะได้ว่าโพลและซีโร่ที่เกิดขึ้นอยู่บนแกนจริง (real axis) โดยแทนด้วย ω_p และ ω_z ตามลำดับ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เราจะกำหนดความถี่ที่ออปแอมป์มีอัตราการขยายเท่ากับหนึ่ง (Unity – gain frequency) คือ ω_{ta}

โดย $$|A(j\omega_{ta})| = 1 \cong \frac{Ao}{(1+s/\omega_{p1})} \quad 3.7)$$

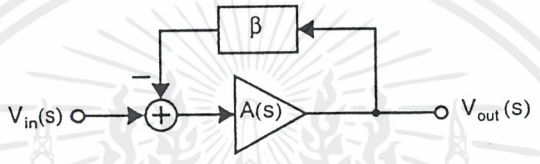
ดังนั้นเราจะได้ความสัมพันธ์ใน first – order model คือ

$$\omega_{ta} \cong Ao\omega_{p1}$$

และในกรณีที่ $\omega_{p1} << \omega << \omega_{ta}$ ในแถบความถี่กลาง (midband frequency)

$$A(s) \cong \frac{\omega_{ta}}{s} \quad 3.8)$$

สำหรับการวิเคราะห์ในระบบปิด (Closed – loop) นั้นเราสามารถเขียนโมเดลได้ตามรูปที่ 3.3



รูปที่ 3.3 บล๊อกไดอะแกรมของวงจรป้อนกลับ

ฟีดแบคแฟคเตอร์จะถูกแทนด้วย β ซึ่งสมมติว่าไม่ขึ้นกับความถี่ จากรูปเมื่อใช้ Signal – flow graph วิเคราะห์ที่ Closed – loop gain , $A_{CL}(s)$ จะได้

$$A_{CL}(s) = \frac{A(s)}{1+\beta A(s)} \quad 3.9)$$

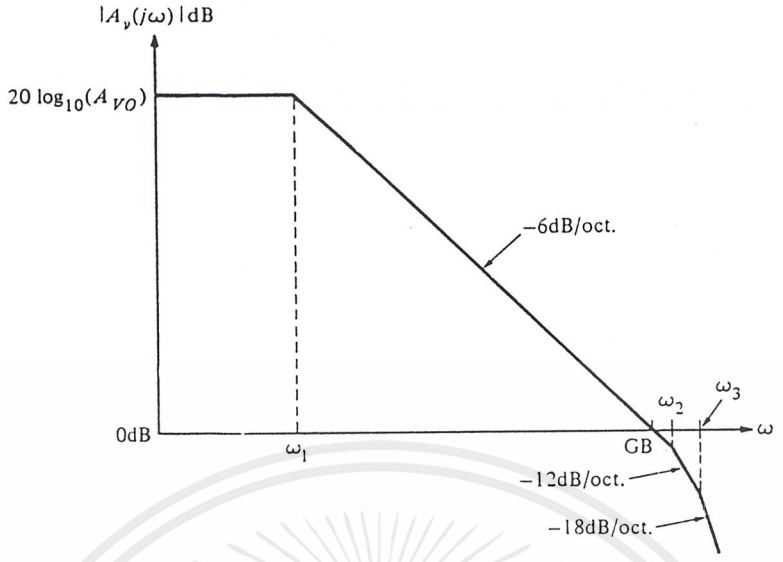
ที่แถบความถี่กลางทรานส์เฟอร์ฟังก์ชันของ Close – loop amplifier เมื่อนำสมการก่อน หน้านี้มาแทนลงในสมการของ $A_{CL}(s)$ จะได้

$$A_{CL}(s) = \frac{\omega_{ta}}{\beta\omega_{ta}+s} = \frac{1}{\beta}\frac{1}{(1+s/\beta\omega_{ta})} \quad 3.10)$$

ถ้าความถี่ต่ำเราสามารถประมาณค่าของ Close – loop amplifier $= \frac{1}{\beta}$ ซึ่งจะมีความถี่คัทออฟ($-3dB$ frequency) คือ $\omega(-3dB) = \beta\omega_{ta}$ ถ้าให้ $\beta\omega_{ta} = \omega_t$ จะได้ว่า ω_t คือ Unity – gain frequency ของ Open – loop transfer function

จากรูปแสดงการตอบสนองทางความถี่เทียบกับขนาดอัตราการขยาย (Av) ของออปแอมป์ ซึ่งมีความชัน –6 dB /oct จากโพลหลัก (Dominant pole) ไปแกนความถี่ที่ 0 dB ซึ่งเรียกว่า Unity – gain bandwidth (GB) ซึ่งจากสมการ $|A(j\omega_{ta})| = 1$ เราสามารถอธิบายได้ว่าเป็นความถี่ที่ทำให้อัตราการขยายของออปแอมป์เท่ากับหนึ่ง ซึ่งเราจะสามารถประมาณได้ว่า GB มีค่าเท่ากับ ω_{0dB} เสมอ การชดเชยของออปแอมป์(Compensating an opamp) สิ่งที่สำคัญยิ่งคือ เฟสมาร์จิน (Phase margin) , PM ซึ่งเป็นตัวบอกความมีเสถียรภาพของออปแอมป์ ซึ่งเรากำหนด PM ว่าเป็นความแตกต่างระหว่าง Loop gain phase shift และ –180 องศา

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.4 ผลตอบสนองทางความถี่ของออปแอมป์

$$\angle LG(j\omega) = -90° - \tan^{-1}(\omega / \omega_{eq}) \qquad 3.11)$$

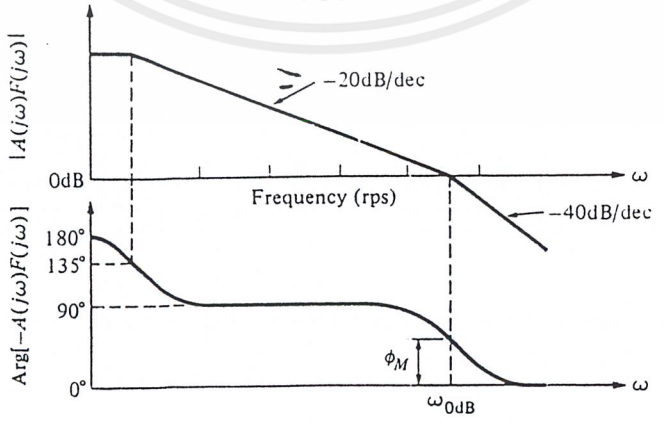
ซึ่ง
$$LG(s) = \beta A(s) = \frac{\beta_{\omega ta}}{s(1 + s/\omega_{eq})} \qquad 3.12)$$

โดย ω_{eq} คือ pole frequency ที่โมเดลว่าเป็นโพลที่ความสูงกว่า ถ้าเราให้ Unity - gain frequency , $s = j\omega_t$ เราจะได้ว่า

$$\text{PM} = \angle LG(j\omega) - (180°) = 90° - \tan^{-1}(\omega_t / \omega_{eq}) \qquad 3.13)$$

ดังนั้น
$$(\omega_t / \omega_{eq}) = \tan(90° - PM) \qquad 3.14)$$

หรือ
$$\omega_t = \tan(90° - PM) / \omega_{eq} \qquad 3.15)$$



รูปที่ 3.5 แสดงการหา $\varnothing m$ จากกราฟผลตอบสนองทางความถี่(Bode plot)

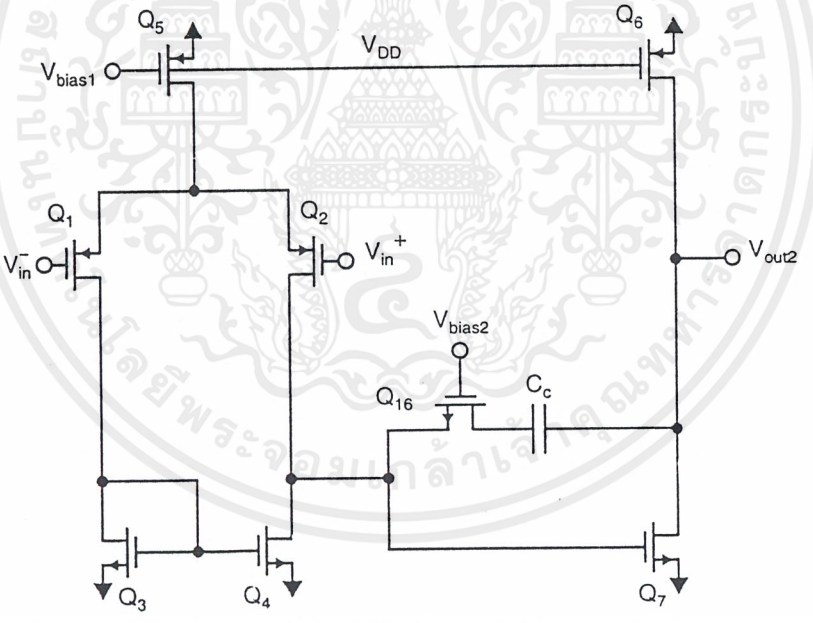
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Phase margin , PM หรือ $\varnothing m$ พิจารณารูปที่ 3.5 เราสามารถใช้ $\varnothing m$ เป็นตัวบอกเสถียรภาพของระบบได้ คือถ้า $\varnothing m$ มีค่ามากกว่าศูนย์มากระบบก็จะมีเสถียรภาพดี ถ้า $\varnothing m$ มีค่าใกล้ศูนย์มากเท่าไรระบบก็จะเสถียรลดลงเท่านั้น ด้วยเหตุนี้ในการออกแบบออปแอมป์เราจะต้องระวังไม่ให้ $\varnothing m$ มีค่าต่ำจนเกินไป (โดยปรกติ $\varnothing m$ ควรจะมีค่ามากกว่า 45 องศาและในการใช้งานทั่วไปควรจะมีค่ามากกว่า 60 องศา) ในการวิเคราะห์เสถียรภาพของออปแอมป์นิยมพิจารณาในกรณี Wosrt Case หรือมีการป้อนกลับ 100% , $\beta = 1$

ซึ่งจะเห็นว่าที่กล่าวมาทั้งหมดเราควรออกแบบให้มีโพลน้อยที่สุด สำหรับวงจรออปแอมป์ที่มีหลายโพลนั้นต้องมีการชดเชยความถี่เพื่อให้ออปแอมป์มีเสถียรภาพดีขึ้น

3.3 การชดเชยทางความถี่ของออปแอมป์ (Frequency Compensation in Opamp)

ในวงจรออปแอมป์ที่มีหลายโพลนั้นต้องมีการชดเชยความถี่ เพื่อให้วงจรมีเสถียรภาพดีขึ้น ซึ่งวิธีที่นิยมมากคือการย้ายโพลหลัก (dominant -- pole) ลงไปที่ความถี่ต่ำ ทำได้โดยต่อคาปาซิเตอร์ , Cc (นิยมเรียกว่า dominant – pole compsensation) ลงไปในวงจรออปแอมป์ดังรูป



รูปที่ 3.6 การชดเชยความถี่ของออปแอมป์

ทรานซิสเตอร์ Q_{16} จะมี $Vds_{16} = 0$ เมื่อไม่มีกระแสดีซีไบอัส Q_{16} จะอยู่ในย่าน hard triode region ดังนั้นทรานซิสเตอร์จะเหมือนกับรีซิสเตอร์ , RC ซึ่งมีค่าเท่ากับ [2]

$$RC = rds_{16} = \frac{1}{\mu_n C_{ox}(W/L)_{16}(Vgs - Vth)} \qquad 3.16)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ถ้าไม่มีทรานซิสเตอร์ Q_{16} จะทำให้เกิด Right – haft – plane zero เกิดขึ้นซึ่งเกิดจากการ feed forward ของสัญญาณไปยังเอาท์พุทของออปแอมป์ในช่วงความถี่ที่ Cc ปรากฏ เราสามารถเลือกค่า RC ได้จาก $RC \cong \frac{1}{1.2\omega_t Cc}$ ซึ่งสามารถเพิ่มความถี่ Unity – gain อีกประมาณ 20 %

3.4 อัตราสลูว์และเซททลิงไทม์ (Slew Rate and Settling Time)

พารามิเตอร์ที่สำคัญของออปแอมป์อีกอย่างหนึ่งคือสลูว์เรท ซึ่งนิยามโดยอัตราการเปลี่ยนแปลงแรงดันเอาท์พุทมากที่สุดที่เกิดขึ้นต่อเวลา [2]

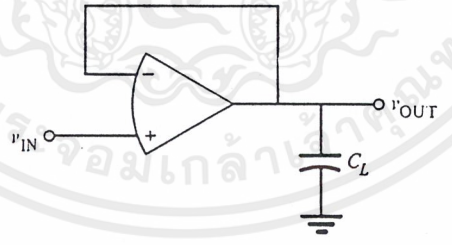
$$\text{สลูว์เรท (Slew Rate , SR)} = \left.\frac{dVo}{dt}\right|_{MAX} \qquad 3.17)$$

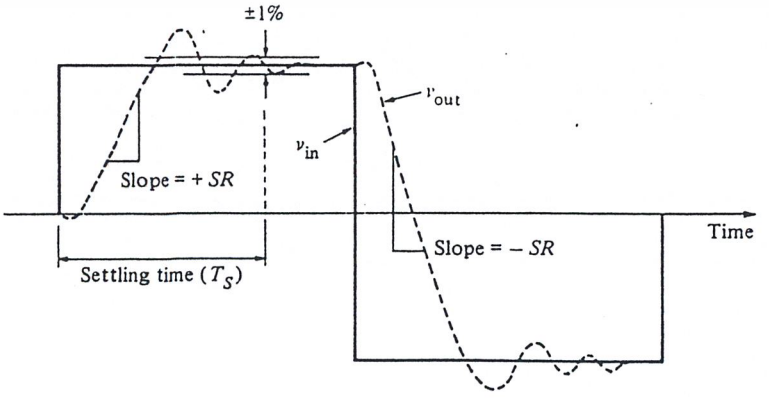
และจากวงจรในรูปที่ 3.2

$$SR = \frac{I_{Cc|MAX}}{Cc} = \frac{Id_5}{Cc} = \frac{2Id_1}{Cc} = \frac{2Id_1}{\sqrt{2\mu C_{ox}(W/L)_1 Id_1}} \qquad 3.18)$$

ในวงจรออปแอมป์ที่ออกแบบ เราต้องการอัตราสลูว์เรทและความถี่ Unity – gain สูง ๆ ดังนั้นเราจะเลือก p – channel เป็นอินพุททรานซิสเตอร์เพราะจากสมการจะเห็นว่าค่าทรานคอนดัคแตนซ์ของ p – channel จะมีค่าต่ำกว่าและมี 1/f Noise น้อยกว่า แต่มีข้อเสียคือจะลดดีซีเกนของภาคแรกและเพิ่มอินพุท Thermal Noise

สำหรับเซททลิงไทม์ (Settling Time) คือระยะเวลาที่สถานะของสัญญาณที่เอาท์พุทมีสภาวะคงตัวหรือ 1 % ของระดับสัญญาณที่สภาวะคงตัวซึ่ง Settling Time ควรมีระยะสั้นจากรูปแสดงการวัดอัตราสลูว์(SR) และ 1% Settling Time



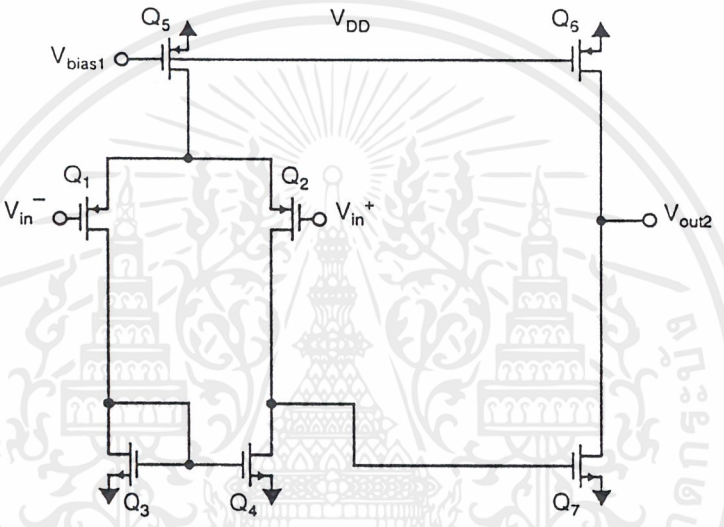


รูปที่ 3.7 การวัดอัตราสลูว์เรทและ 1% Settling Time

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.5 แรงดันและกระแสออฟเซท (Offset Current and Voltage)

แม้ว่าแรงดันเอาท์พุทของออปแอมป์ในอุดมคติต้องมีค่าเป็น 0 โวลท์ ขณะแรงดันอินพุทเป็น 0 โวลท์ แต่ในการทำงานจริงยังมีแรงดันออฟเซท ซึ่งเป็นแรงดันไฟฟ้าคลาดเคลื่อนเกิดขึ้นที่ขั้วเอาท์พุทอยู่บ้าง เช่นถ้าป้อนแรงดัน 0 โวลท์ เข้ากับขั้วอินพุททั้งสองของออปแอมป์แล้ววัดค่าที่ขั้วเอาท์พุทได้ 26 mV (dc) แสดงว่ามีแรงดันที่ไม่ต้องการขนาด 26 mV เกิดขึ้นภายในออปแอมป์ ซึ่งไม่ได้เกิดจากสัญญาณอินพุทเราเรียกแรงดันดังกล่าวว่า แรงดันออฟเซทเอาท์พุท ซึ่งเกิดจากแรงดันออฟเซทอินพุทและกระแสออฟเซทอินพุท เมื่อมองลงไปในวงจรออปแอมป์ดังรูปที่ 3.8



รูปที่ 3.8 อินพุทและภาคขยายของออปแอมป์

จากรูปเมื่อความแตกต่างทางอินพุทเท่ากับศูนย์ ($Vin^+ = Vin^-$) เอาท์พุทของภาคแรก ,Vgs_7 ควรจะมี $Id_7 = Id_6$ ดังนั้น

$$Vgs_7 = \sqrt{\frac{2Id_6}{\mu_n C_{ox}(W/L)_7}} + Vtn \qquad 3.19)$$

เมื่อแรงดันดิฟเฟอร์เรนเชียลอินพุทคือศูนย์แรงดันที่เดรนของทั้ง Q_3 และ Q_4 ต้องเท่ากัน ดังนั้นแรงดันเอาท์พุทของภาคแรก ,Vgs_7 กำหนดโดย

$$Vgs_7 = Vds_3 = Vgs_4$$

โดย

$$Vgs_4 = \sqrt{\frac{2Id_4}{\mu_n C_{ox}(W/L)_4}} = \quad + Vtn \qquad 3.20)$$

ดังนั้นจะได้

$$\sqrt{\frac{2Id_4}{\mu_n C_{ox}(W/L)_4}} = \sqrt{\frac{2Id_6}{\mu_n C_{ox}(W/L)_7}} \qquad 3.21)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

หรือ $$\frac{Id_4}{(W/L)_4} = \frac{Id_7}{(W/L)_7} \quad 3.22)$$

ซึ่งกระแสของ Q_4 และ Q_7 และเราสามารถหาความสัมพันธ์ได้อีกคือ

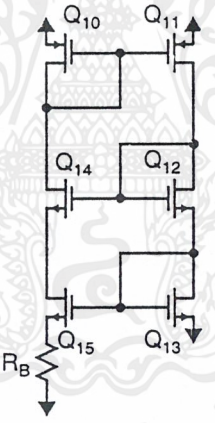
$$\frac{Id_6}{Id_4} = \frac{Id_6}{Id_5/2} = \frac{(W/L)_6}{(W/L)_5/2} \quad 3.23)$$

ซึ่งจะเห็นว่าเงื่อนไขที่จำเป็นเพื่อที่จะไม่ให้มีแรงดันอินพุทออฟเซทคือ

$$\frac{(W/L)_7}{(W/L)_4} = 2\frac{(W/L)_6}{(W/L)_5} \quad 3.24)$$

แต่ในความเป็นจริงแล้วอาจจะมีการไม่แมทช์กันระหว่างเอาท์พุทอิมพีแดนซ์ของp– channel และ n – channel ทรานซิสเตอร์ ซึ่งอาจจะมีแรงดันประมาณ 5 mV หรือน้อยกว่านั้น

3.6 การไบอัสของวงจรออปแอมป์ (Bias an Opamp Circuit)



รูปที่ 3.9 วงจรไบอัสของออปแอมป์

วงจรไบอัสที่แสดงดังรูป 3.9 ในตอนแรกเราจะสมมติว่า $(W/L)_{10} = (W/L)_{11}$ โดยที่ทั้ง 2 มีคุณสมบัติเหมือนกัน เราจะได้ $Id_{15} = Id_{13}$

และ

$$Vgs_{13} = Vgs_{15} + Id_{15}R_B \quad 3.25)$$

$$\text{ดังนั้น} \quad \sqrt{\frac{2Id_{13}}{\mu_n C_{ox}(W/L)_{13}}} = \sqrt{\frac{2Id_{13}}{\mu_n C_{ox}(W/L)_{15}}} + Id_{13}R_B \quad 3.26)$$

เมื่อจัดสมการใหม่จะได้

$$\frac{2}{\sqrt{2\mu_n C_{ox}(W/L)_{13}Id_{13}}}\left[1 - \sqrt{\frac{(W/L)_{13}}{(W/L)_{15}}}\right] = R_B \quad 3.27)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ดังนั้นจะได้ $$gm_{13} = \frac{2}{R_B}\left[1 - \sqrt{\frac{(W/L)_{13}}{(W/L)_{15}}}\right] \quad 3.28)$$

ดังนั้นทรานส์คอนดัคแตนซ์ของ Q_{13} สามารถหาได้จากสมการที่ผ่านมาซึ่งไม่ขึ้นกับแหล่ งจ่ายแรงดัน , อุณหภูมิ , Process parameters สำหรับกรณีที่ $(W/L)_{15} = 4(W/L)_{13}$ เราจะได้

$$gm_{13} = \frac{1}{R_B} \quad 3.29)$$

จะเห็นได้ว่าไม่ใช่ gm_{13} เท่านั้นที่เสถียรแต่ทรานส์คอนดัคแตนซ์อื่น ๆ ก็เสถียรไปด้วยเพราะทรานซิสเตอร์ตัวอื่น ๆ มาจากการไบอัสเดียวกัน โดยสามารถหาค่าทรานส์คอนดัคแตนซ์ได้จากสมการดังนี้ [2]

สำหรับ n – channel $$gm_i = \sqrt{\frac{(W/L)_i Id_i}{(W/L)_{13} Id_{13}}} \times gm_{13} \quad 3.30)$$

และ p – channel $$gm_i = \sqrt{\frac{\mu_p (W/L)_i Id_i}{\mu_n (W/L)_{13} Id_{13}}} \times gm_{13} \quad 3.31)$$

3.7 การวิเคราะห์สัญญาณรบกวนในวงจรรวม (Noise Analysis in Integrated Circuit)

โดยธรรมชาติของการเคลื่อนที่ของอิเล็กตรอนในตัวนำไม่ราบเรียบและไม่สม่ำเสมอเนื่องจากสารตัวนำและสารกึ่งตัวนำนั้นเป็นอุปกรณ์ที่ไม่เป็นอุดมคติ และเกิดจากช่วงรอยต่อของสารต่างชนิด อิเล็กตรอนที่เคลื่อนที่ผ่านรอยต่อจะไม่สม่ำเสมอหรือแม้กระทั่งเนื้อสารชนิดเดียวกันอิเล็กตรอนก็เคลื่อนที่ไม่สม่ำเสมอ รวมถึงผลกระทบต่างๆ เช่น อุณหภูมิ ขนาดของกระแสและแรงดันไฟฟ้า ความต้านทานและความนำไฟฟ้า ซึ่งสิ่งต่างๆเหล่านี้ล้วนแต่มีผลกระทบต่อขนาดของสัญญาณรบกวนของวงจรที่ออกแบบ สำหรับสัญญาณรบกวนที่สำคัญที่จะพูดถึงในที่นี้คือ Thermal , Shot และ Flicker noise

Thermal noise (White noise)

เกิดขึ้นกับตัวนำไฟฟ้าทุกชนิดและมีค่าเพิ่มขึ้นเมื่ออุณหภูมิเพิ่มขึ้น สัญญาณรบกวนชนิดนี้ จะเกิดจากการเคลื่อนที่อย่างสุ่มของอิเล็กตรอนหรือการสั่นของอะตอม เนื่องจากพลังงานความร้อนซึ่งจะเกิดขึ้นกับตัวอุปกรณ์ทุกชนิดที่มีความต้านทานไฟฟ้า บางครั้งอาจเรียก Thermal noise นี้ว่า Johnson noise หรือ Resistance noise

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Shot noise

สัญญาณรบกวนชนิดนี้จะเกิดจากรอยต่อของสารกึ่งตัวนำ (PN junction) ซึ่งการไหลของอิเล็กตรอนผ่านรอยต่อจะไม่คงที่ ซึ่งมีขนาดของความเปลี่ยนแปลงเป็นขนาดเล็ก ๆ การไหลของประจุที่เกิดการกระเพื่อมหรือสะท้อนกับตัวนำทำให้เห็นถึงลักษณะของกระแสที่เคลื่อนที่ผ่านตัวนำอย่างไม่ราบเรียบ

Flicker noise

เป็นสัญญาณรบกวนที่เกิดขึ้นในอุปกรณ์สารกึ่งตัวนำแต่ละประเภทจะเกิดขึ้น โดยผกผันกับความถี่โดยที่ความถี่สูง ๆ นั้นค่า Flicker จะมีค่าน้อยกว่าที่ความถี่ต่ำ , Flicker noise อาจจะเรียกอีกอย่างว่า 1/f noise ได้

การวิเคราะห์สัญญาณรบกวนในอุปกรณ์

3.7.1 ตัวต้านทาน (Resistors)

สัญญาณรบกวนที่เกิดขึ้นในตัวต้านทานคือ Thermal noise ซึ่งจะแทนด้วยแหล่งจ่ายแรงดัน $V_R(f)$ ซึ่งอนุกรมกับตัวต้านทานที่ไม่มีนอยส์ (Noiseless resistor)จะได้ความสัมพันธ์คือ[2]

$$V_R^{\,2}(f) = 4KTR \qquad 3.32)$$

จากสมการนี้เราจะได้ว่าความต้านทาน $1\,K\Omega$ จะมีนอยส์เท่ากับ 4.06 $nV/\sqrt{Hz}$ ใน Thermal noise ที่อุณหภูมิห้อง ($300°K$) จะเห็นว่าการลด Thermal noise ทำได้โดยให้ค่าความต้านทานและอุณหภูมิมีค่าต่ำ และ $V_R(f)$ สามารถแทนได้ด้วย $I_R(f)$ โดย [2]

$$I_R^{\,2}(f) = \frac{V_R^{\,2}}{R^2}(f) = \frac{4KT}{R} \qquad 3.33)$$

3.7.2 ไดโอด (Diodes)

สัญญาณรบกวนหลักที่เกิดขึ้นในไดโอดคือ Shot noise ซึ่งสามารถแทนด้วยแหล่งจ่ายกระแสซึ่งขนานกับ small-signal resistance ของไดโอด ซึ่งจะได้ความสัมพันธ์คือ[2]

$$Id^2(f) = 2qId \qquad 3.34)$$

สำหรับ small – signal resistance ของไดโอด (rd) คือ

$$rd = \frac{kT}{qId} \qquad 3.35)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้.

3.7.3 ไบโพลาร์ทรานซิสเตอร์ (Bipolar Transistors)

สัญญาณรบกวนในไบโพลาร์ทรานซิสเตอร์นี้จะมี Shot noise ที่กระแสคอลเลคเตอร์และเบส มี Flicker noise ที่กระแสเบสและ Thermal noise ที่ความต้านทานเบสเมื่อรวมสัญญาณรบกวนเหล่านี้เข้าด้วยกันจะได้

$$Vi^2(f) = 4KT(rb + \frac{1}{2gm}) \qquad 3.36)$$

ซึ่ง rb คือความต้านทานเบสของ Thermal noise

gm คือกระแสคอลเลคเตอร์ของ Shot noise ที่ย้อนกลับไปอินพุท

และ Equivalent input current noise , $I_i(f)$ คือ [2]

$$I_i^2(f) = 2q(I_B + \frac{KI_B}{f} + \frac{Ic}{|\beta(f)|^2}) \qquad 3.37)$$

3.7.4 มอสเฟท (MOSFET)

สัญญาณรบกวนหลักของมอสเฟททรานซิสเตอร์คือ Flicker noise และ Thermal noise Flicker noise จะโมเดลได้ด้วยแหล่งจ่ายแรงดันอนุกรมกับเกท คือ [2]

$$V_g^2(f) = \frac{K}{WLC_{ox}f} \qquad 3.38)$$

สำหรับ Thermal noise ของมอสเฟทเกิดจากค่าความต้านทานของมอสเมื่อทำงานในย่านอิ่มตัวซึ่งแทนด้วย $I_d^2(f) = 4KT(\frac{2}{3})gm$ สำหรับ $Vds = Vgs - Vt$

3.7.5 ออปแอมป์ (Opamp)

ในการทำงานของวงจรขยาย สัญญาณรบกวนย่อมเกิดขึ้นที่อุปกรณ์แต่ละตัวเราสามารถนำค่าสัญญาณรบกวนที่เกิดขึ้นในอุปกรณ์มารวมเป็นสัญญาณรบกวนที่ด้าน input ได้ หรือในวงจรขยายที่มีหลายภาคการขยาย เราจะสามารถนำสัญญาณรบกวนที่เกิดที่ภาคต่างๆมาคิดเป็นสัญญาณรบกวนที่ input ได้

จากอุปกรณ์ที่กล่าวมาทั้งหมดสามารถสรุปวงจรสมมูลของนอยส์ได้ดังรูปที่ 3.10 ซึ่งจะเห็นว่าไม่มีคาปาซิเตอร์และอินดัคเตอร์รวมอยู่ เพราะอุปกรณ์ 2 ตัวนี้ไม่ทำให้เกิดสัญญาณรบกวน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Noise Models for Circuit Elements

Element	Noise Models	
Resistor R	R (Noiseless) $V_R^2(f) = 4kTR$	R (Noiseless) $I_R^2(f) = \frac{4kT}{R}$
Diode (Forward biased)	$r_d = \frac{kT}{qI_D}$ (Noiseless) $V_d^2(f) = 2kTr_d$	$r_d = \frac{kT}{qI_D}$ $I_d^2(f) = 2qI_D$ (Noiseless)
BJT (Active region)	$V_i^2(f)$ $I_i^2(f)$ (Noiseless) $V_i^2(f) = 4kT\left(r_b + \frac{1}{2g_m}\right)$ $I_i^2(f) = 2q\left(I_B + \frac{KI_B}{f} + \frac{I_C}{\lvert\beta(f)\rvert^2}\right)$	
MOSFET (Active region)	$V_g^2(f)$ $I_d^2(f)$ $V_g^2(f) = \frac{K}{WLC_{ox}f}$ $I_d^2(f) = 4kT\left(\frac{2}{3}\right)g_m$	$V_i^2(f)$ (Noiseless) $V_i^2(f) = 4kT\left(\frac{2}{3}\right)\frac{1}{g_m} + \frac{K}{WLC_{ox}f}$ Simplified model for low and moderate frequencies
Opamp	$I_{n-}^2(f)$ (Noiseless) $V_n^2(f)$ $I_{n+}^2(f)$	$V_n(f), I_{n-}(f), I_{n+}(f)$ — Values depend on opamp — Typically, all uncorrelated

Circuit elements and their noise models. Note that capacitors and inductors do not generate noise.

รูปที่ 3.10 แสดงวงจรสมมูลของนอยส์ในอุปกรณ์

สำหรับวงจรขยายภาคแรกของออปแอมป์ที่จะออกแบบแสดงไว้ในรูป 3.8 ซึ่งมี Q_1 และ Q_2 เป็น p – channel อินพุททรานซิสเตอร์ และ Q_3 และ Q_4 เป็น n – channel แอคทีฟโหลด เราสามารถลดสัญญาณรบกวนทางอินพุทของวงจรได้โดย [2]

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

1) ให้ L_3 มีค่าสูง ซึ่งจะทำให้มีนอยส์ต่ำแต่อาจจะลดการสวิงของสัญญาณได้

2) อินพุทนอยส์ไม่ขึ้นกับค่าW_3 ดังนั้นเราสามารถทำให้ W_3 มีค่าสูงได้เพื่อทำให้มีการสวิงที่เอาท์พุทสูง

3) ให้ W_1 มีค่าสูงเพื่อช่วยลด $1/f$ นอยส์

4) ถ้า L_1 มีค่าสูงเกินจะทำให้มีนอยส์เพิ่มมากขึ้น

ซึ่งที่กล่าวมาสามารถพิสูจน์ได้จากสมการ [2]

$$V_{ni}^{\ 2}(f) = \frac{2}{C_{ox} f}\left[\frac{K_1}{W_1 L_1} + \left(\frac{\mu_n}{\mu_p}\right)\left(\frac{K_3 L_1}{W_1 L_3^{\ 2}}\right)\right] \qquad 3.39)$$

หลังจากที่อธิบายเนื้อหาเกี่ยวกับการออกแบบซีมอสออปแอมป์ซึ่งเป็นวงจรพื้นฐานทั่วไปที่ใช้ในวงจรรวม รวมถึงเทคนิคการชดเชยความถี่และการวิเคราะห์สัญญาณรบกวนในวงจรรวมแล้ว ในบทต่อไปจะเป็นการออกแบบอนาล็อกแอคทีฟฟิลเตอร์และวงจรภายในของฟิลเตอร์และทดสอบการทำงานของวงจร

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 4
การออกแบบวงจรฟิลเตอร์และออปแอมป์

ในบทนี้เป็นการออกแบบอนาล็อกแอคทีฟฟิลเตอร์และวงจรภายในของฟิลเตอร์ที่ออกแบบ ซึ่งจะประกอบไปด้วยวงจรขยายหรือออปแอมป์ คาปาซิเตอร์ และตัวต้านทานซึ่งจะแทนด้วยมอสทรานซิสเตอร์ในย่านไทรโอด

4.1 ข้อกำหนดเชิงคุณสมบัติของวงจรกรองความถี่ต่ำผ่านที่จะออกแบบ (Specification of filter)

ผลตอบสนองทางความถี่

อัตราขยายทางไฟตรง (DC gain) $A_{DC} = 0.0 \ dB$

ความถี่แถบผ่าน (Passband frequency) $f_P = 2 \ KHz$

ความถี่แถบหยุด (Stopband frequency) $f_S = 4 \ KHz$

อัตรากระเพื่อมในแถบผ่าน (Passband ripple) $A_{MAX} < 0.5 \ dB$

การลดทอนในแถบหยุด (Stopband attenuation) $A_S \geq 45 \ dB$

ข้อกำหนดทั่วไป

แหล่งจ่ายศักดา (Supply Voltage) $5 \ V \ (Single)$

การกินกำลังงาน (Power Consumption) ออกแบบให้ใช้พลังงานต่ำสุด

อัตราส่วนสัญญาณต่อสัญญาณรบกวน (SNR) $@ 20-2KHz$ $> 50 \ dB$

ความเพี้ยนแบบอินเตอร์มอดูเลชัน $(IM3)$ $< -40 \ dB$

สัญญาณมาตรฐานในวงจรโหมดศักดาคือสัญญาณไซนูซอยด์ที่มีค่าแบบยอดเท่ากับ ± 1.5 โวลต์

L ของทรานซิสเตอร์ $< 500 \ um$, พื้นที่ของชิพ ($area$) $< 5 \ mm^2$

โหลด $CL = 10 pF \ // \ RL = 10 M\Omega$

กำหนดให้กระบวนการผลิต(process) ที่ใช้เป็นแบบ CMOS 0.5 μ m. ของบริษัท Alcatel โดยที่มีการกำหนดให้มีการเปลี่ยนแปลงรูปการจำลองการทำงานเป็นไปตามเงื่อนไขดังนี้

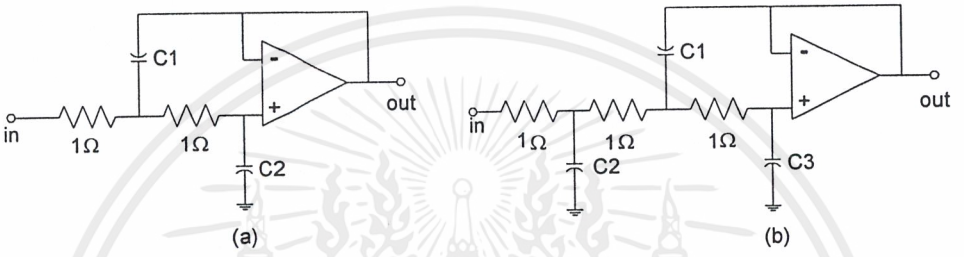
กระบวนการผลิต	แบบช้า (Slow)	แบบปรกติ (Typical)	แบบเร็ว (Fast)
ระดับแหล่งจ่าย	$4.5 \ V$	$5.0 \ V$	$5.5 \ V$
อุณหภูมิ	$70°C$	$30°C$	$0°C$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4.2 ขั้นตอนการออกแบบ (Design Steps of Filter)

วงจรฟิลเตอร์ย่านความถี่เสียงที่จะออกแบบนี้ (Single – ended output) จะใช้การประมาณค่าแบบเชบีเชฟทรานส์เฟอร์ฟังก์ชันโดยมีความถี่แถบผ่าน (Passband frequency) , $f_P = 2\ KHz$ ความถี่แถบหยุด (Stopband frequency) , $f_S = 4\ KHz$ อัตรากระเพื่อมในแถบผ่าน (Passband ripple) , $A_{MAX} < 0.5\ \ dB$ และการลดทอนในแถบหยุด (Stopband attenuation) $A_S \geq 45\ dB$

Unity – Gain Single – Feedback Realization



รูปที่ 4.1 a) two – pole section b) three – pole section

จากรูปแสดงลักษณะของแอคทีฟฟิลเตอร์ความถี่ต่ำ รูป a) เป็นวงจรแบบ 2 โพล ส่วนรูป b) เป็นวงจรแบบ 3 โพล โดยออปแอมป์จะมีอัตราการขยายที่ลูปปิดเท่ากับหนึ่ง มีอินพุทอิมพีแดนซ์สูงและเอาท์พุทอิมพีแดนซ์ต่ำ สำหรับรูป a) มีทรานส์เฟอร์ฟังก์ชันคือ [7]

$$T(s) = \frac{1}{C_1 C_2 s^2 + 2C_2 s + 1} \tag{4.1}$$

ซึ่งจะมี 2 – order โดยแสดงในเทอมลักษณะของโพลคือ

$$T(s) = \frac{1}{\frac{1}{\alpha^2 + \beta^2} s^2 + \frac{2\alpha}{\alpha^2 + \beta^2} s + 1} \tag{4.2}$$

เมื่อนำทั้ง 2 สมการมาเทียบกันจะสามารถหาค่าคาปาซิแตนซ์ได้คือ

$$C_1 = \frac{1}{\alpha}$$
$$C_2 = \frac{\alpha}{\alpha^2 + \beta^2} \tag{4.3}$$

เมื่อ α และ β คือโพลจริงและโพลจินตภาพในโคออร์ดิเนท สำหรับทรานส์เฟอร์ฟังก์ชันของวงจรที่มี 3 โพลคือ [8]

$$T(s) = \frac{1}{s^3 A + s^2 B + sC + 1} \tag{4.4}$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

โดยที่

$$\left.\begin{aligned} A &= C_1C_2C_3 \\ B &= 2C_3(C_1+C_2) \\ C &= C_2+3C_3 \end{aligned}\right\} \qquad 4.5)$$

สำหรับสมการเหล่านี้เราสามารถหาค่าของ C_1, C_2 และ C_3 ในเทอมของโพลจะยากมากในการแก้สมการ ซึ่งวิธีดีที่สุดคือการใช้คอมพิวเตอร์คำนวณ ถ้าฟิลเตอร์มีอันดับ n เป็นเลขคู่จะมีวงจรดังรูป a) เท่ากับ $n/2$ วงจรต่อกัน ถ้า n เป็นเลขคี่จะต้องใช้วงจรดังรูป a) จำนวน $(n-3)/2$ วงจร และวงจรดังรูป b) อีกหนึ่งวงจรต่อกัน ที่ไฟดีซีคาปาซิเตอร์จะเสมือนเปิดวงจร ดังนั้นเกนของวงจรจะเท่ากับเกนของวงจรขยายซึ่งก็คือหนึ่ง ซึ่งสามารถพิสูจน์ได้จากทรานส์เฟอร์ฟังก์ชันใน สมการ 4.1) และ 4.5) จะเห็นว่าที่ดีซี, $s=0$ ทำให้ $T(s)$ ลดเหลือ 1

สำหรับวงจรในรูป 4.2 ตัวต้านทานทุกตัวจะมีค่า 1 โอห์ม คาปาซิเตอร์ C_1, C_2 และ C_3 จะหาได้จากตารางการออกแบบฟิลเตอร์ โดยค่าเหล่านี้เป็นนอร์เมิลไลซ์ All poleTransfer function ที่มี 3 dB คัทออฟที่ 1 rad/s โดยจะเห็นว่าตัวต้านทานมีขนาดเล็กมากในขณะที่คาปาซิเตอร์มีขนาดใหญ่มากซึ่งจะไม่สามารถสร้างในขบวนการผลิตไอซีได้ ดังนั้นเราจะทำการปรับปรุงให้ค่าของอุปกรณ์มีความเหมาะสม ซึ่งเรียกว่าการดีนอร์เมิลไลซ์ (Denormalized) โดยการหารค่าของคาปาซิเตอร์ด้วย $FSF \times Z$

$$C' = \frac{C}{FSF \times Z}$$

ซึ่ง FSF คือ Frequency – scaling factor , $2\pi f_C$ และ Z คือ Impedance – scaling factor โดยค่าของตัวต้านทานจะถูกคูณด้วย Z ซึ่งจะได้ค่าของตัวต้านทานในวงจรเท่ากับ Z โอห์ม ค่าของ Z ไม่จำเป็นต้องเท่ากันถ้าวงจรอยู่คนละส่วนกันเพราะว่าแต่ละวงจรจะถูกกั้นไว้ด้วยออปแอมป์ ค่าของ Z ที่ถูกเลือกในแต่ละส่วนต้องเลือกให้มีความเหมาะสมกับค่าคาปาซิเตอร์ แต่ FSF จะต้องเท่ากันทุกส่วนจากคุณสมบัติของฟิลเตอร์ในหัวข้อ 4.1 สามารถคำนวณวงจรได้ตามขั้นตอนดังนี้

a) หาค่า Low – pass steepness factor , Ω_S

$$\Omega_S = \frac{f_S}{f_P} = \frac{4KHz}{2KHz} = 2$$

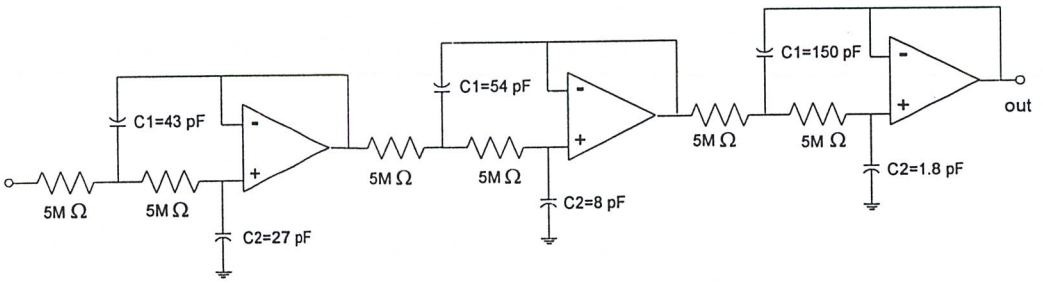
b) เลือกค่า n จากกราฟการลดทอนในบทที่ 2 ซึ่งมี A max @ 0.1 dB ซึ่งจะได้ 6 - order 0.1 dB Chebyshev ที่ 45 dB@ $\Omega_S = 2$

c) ค่าของC หาได้จากตารางการออกแบบซึ่งวงจรจะประกอบไปด้วยส่วนของ 2 โพลต่อกัน 3 วงจร

d) เลือกค่า $Z = 5M\Omega$ โดยมี FSF คือ $2\pi f_C = 12.56KHz$ โดยค่าของอุปกรณ์ใหม่เมื่อทำการดีนอร์เมิลไลซ์แล้ว

จากนั้นนำวงจรในรูป 4.2 ไปทำการเลียนแบบการทำงานของวงจรด้วยโปรแกรม SPICE

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.2 Sixth – order 0.1 dB

เมื่อทำการเลียนแบบการทำงานของวงจรด้วยโปรแกรม SPICE ผลตอบสนองทางความถี่ของวงจรได้ตามต้องการคือ $DC\ \ Gain\ =\ 0\,dB$, $f_P = 2KHz\,@-3dB, f_S = 4KHz\,@-51.5dB$ และ $A\max < 0.5dB$ เมื่อได้วงจรแอคทีฟฟิลเตอร์แล้วต่อไปจะทำการออกแบบวงจรภายในของออปแอมป์ซึ่งได้อธิบายไว้แล้วในบทที่ 3 โดยจะเริ่มจากการหาค่าคุณสมบัติจำเพาะของมอสเฟท

4.3 ทดสอบค่าคุณสมบัติจำเพาะของมอสทรานซิสเตอร์ (Specification of MOS Transistor)

การเตรียมกราฟแสดงคุณสมบัติจำเพาะ เมื่อพิจารณาสมการกระแสของมอสเฟทจะเห็นว่าค่าคุณสมบัติจำเพาะที่จำเป็นในการคำนวณเกี่ยวกับมอสเฟทในย่านอิ่มตัว ได้แก่ K', Vth และ λ

$$Id = \frac{K'}{2}\left(\frac{W}{L}\right)(Vgs - Vth)^2(1 + \lambda Vds) \qquad 4.6)$$

กราฟของค่าคุณสมบัติจำเพาะ K', Vth และ λ สามารถถูกหาได้จากโปรแกรม HSPICE โดยทำการทดสอบมอสเฟททั้งแบบ NMOS และ PMOS ดังในรูปที่ 4.3 ที่มีค่าอัตราส่วนขนาดเป็น (W/L) = 1 แต่มีค่าของ W และ L เปลี่ยนไปดังนี้ คือ 1/1 , 2/2 , 5/5 , 10/10 , 20/20 , 50/50 และ 100/100 และให้กำหนดกระแสที่ไหลผ่านมอสเฟทตั้งแต่ 1 μA ถึง 1000 μA ดังรายละเอียดซึ่งอยู่ในภาคผนวกทั้งนี้ขอให้สังเกตุว่าการทดสอบมอสเฟทในรูปที่ 4.3 เป็นการทดสอบมอสเฟทในย่านอิ่มตัวอย่างถูกต้อง นอกจากนั้นกราฟของค่าคุณสมบัติจำเพาะทั้งสามที่ได้จะเป็นค่าที่ขึ้นอยู่กับขนาดและกระแสของมอสเฟท ซึ่งจะทำให้การออกแบบวงจรจากค่าเหล่านี้ใกล้เคียงผลจากการจำลองการทำงาน โดยค่าที่สำคัญที่ต้องการจากโปรแกรมคือ [9]

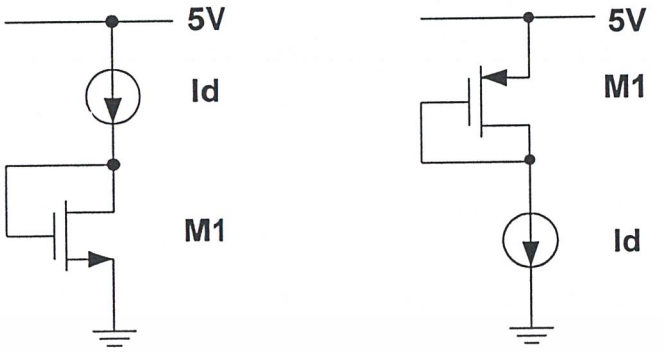
LV21 คือ ค่า BETA effective

LV9 คือ ค่า Threshold Voltage

PAR('LX8 (M1)/I(vsense)') คือ ค่า Lamda

LX8 คือ ค่า Drain – Source Conductance

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



(a) (b)

รูปที่ 4.3 วงจรทดสอบหาค่าคุณสมบัติจำเพาะของมอสทรานซิสเตอร์

จากนั้นนำค่า BETA Effective (LV21) จากเอาท์พุทไฟล์ของ HSPICE มาคำนวณหาค่า K' จากสมการ

$$K' = \mu oCox = \frac{\beta eff}{Weff \,/\, Leff} \qquad 4.7)$$

โดยที่ $Weff = Wdraw - (W\,\text{int} + W\,\text{int})$

$Leff = Ldraw - (L\,\text{int} + L\,\text{int})$

ซึ่งค่า $Wdraw$ และ $Ldraw$ คือ ค่าที่ใช้ในการออกแบบขนาดของมอสเฟท

$W\,\text{int}$ และ $L\,\text{int}$ คือ Offset fitting parameter from I-V without bias

ซึ่งในแบบจำลอง Level 49 ของ HSPICE มี $WINT = W\,\text{int}$ และ $LINT = L\,\text{int}$ ทำการแทนค่าของค่าของ $W\,\text{int}$ และ $L\,\text{int}$ เพื่อหาค่าของ K' โดยนำข้อมูลจาก Level 49 model ของมอสเฟทโดย

$$\text{NMOS } WINT = 2.483735 \times 10^{-7} \qquad 4.8)$$

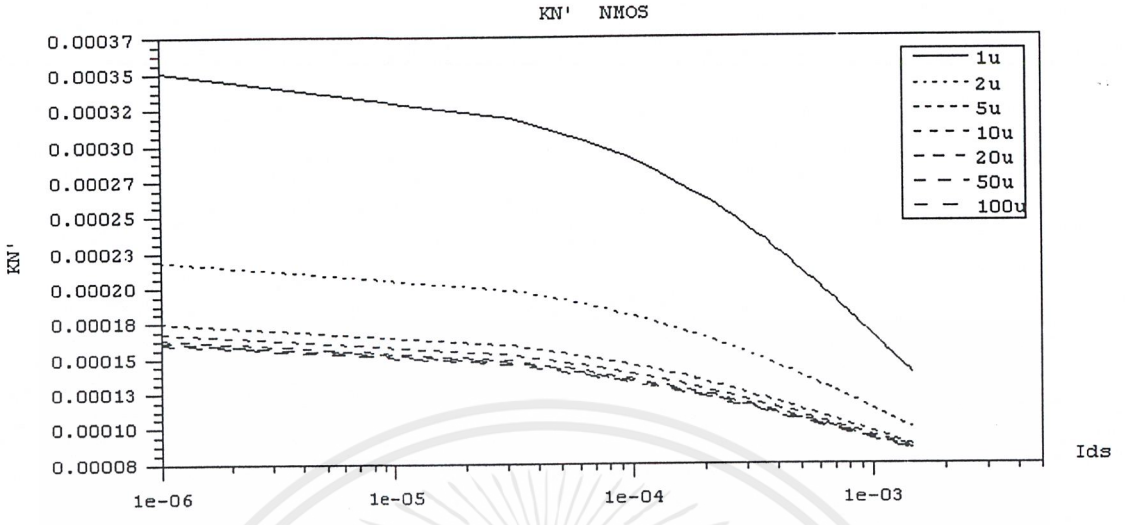
$$LINT = 3.170072 \times 10^{-8}$$

$$\text{PMOS } WINT = 2.895204 \times 10^{-7} \qquad 4.9)$$

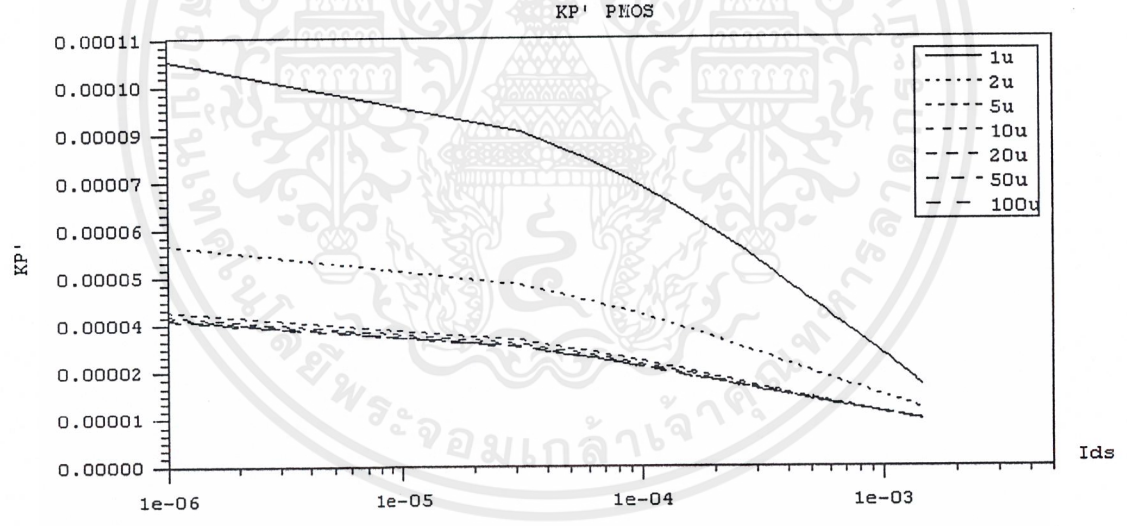
$$LINT = 2.656199 \times 10^{-8}$$

ซึ่งเราจะสามารถหากราฟของ K', Vth และ λ ของทั้ง NMOS และ PMOS ได้ดังรูปที่ 4.4 ถึง 4.6 ตามลำดับ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



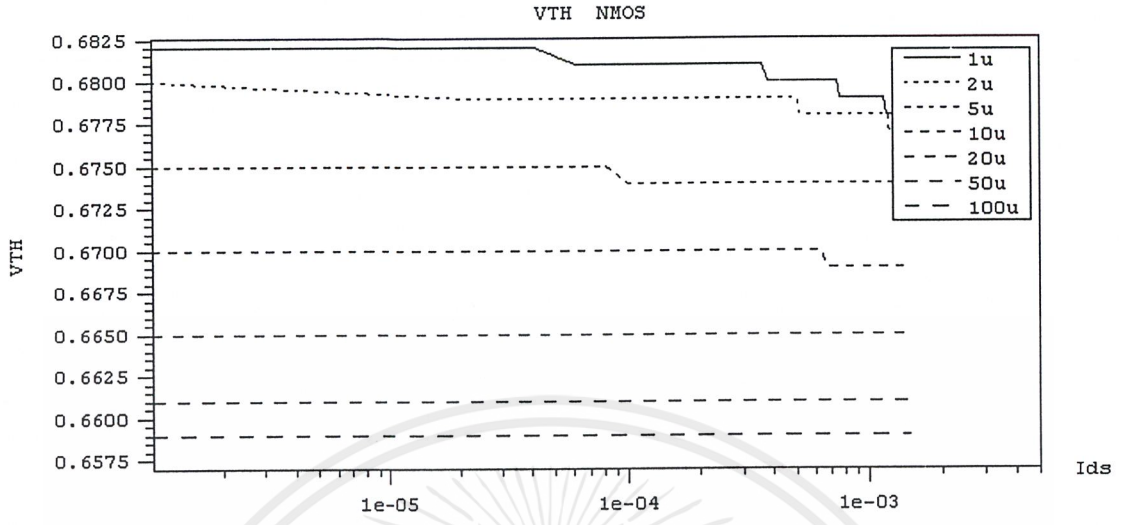
(a) NMOS



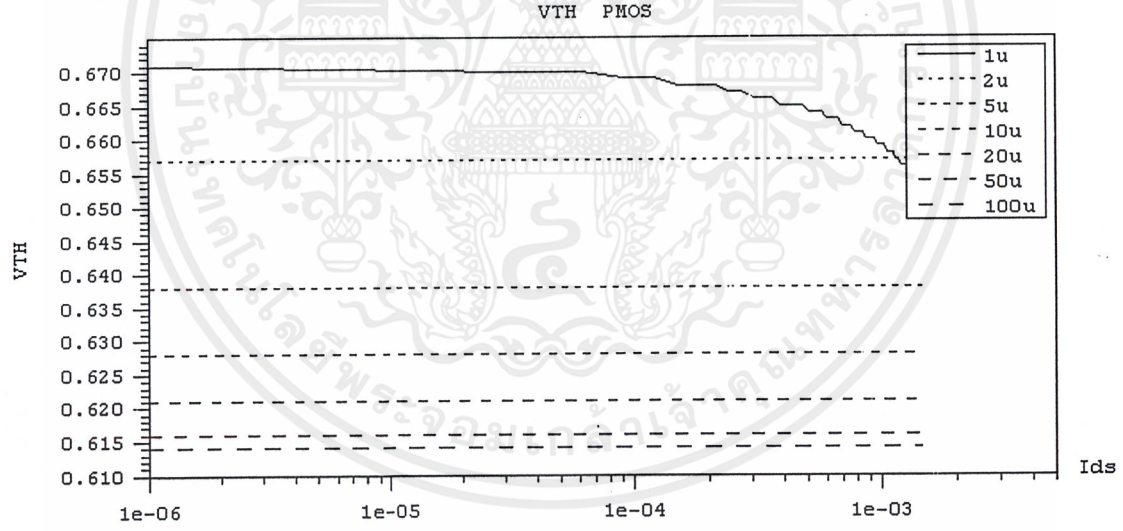
(b) PMOS

รูปที่ 4.4 ความสัมพันธ์ของ K' ของอัตราส่วนที่ใช้กับกระแส *Ids*

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



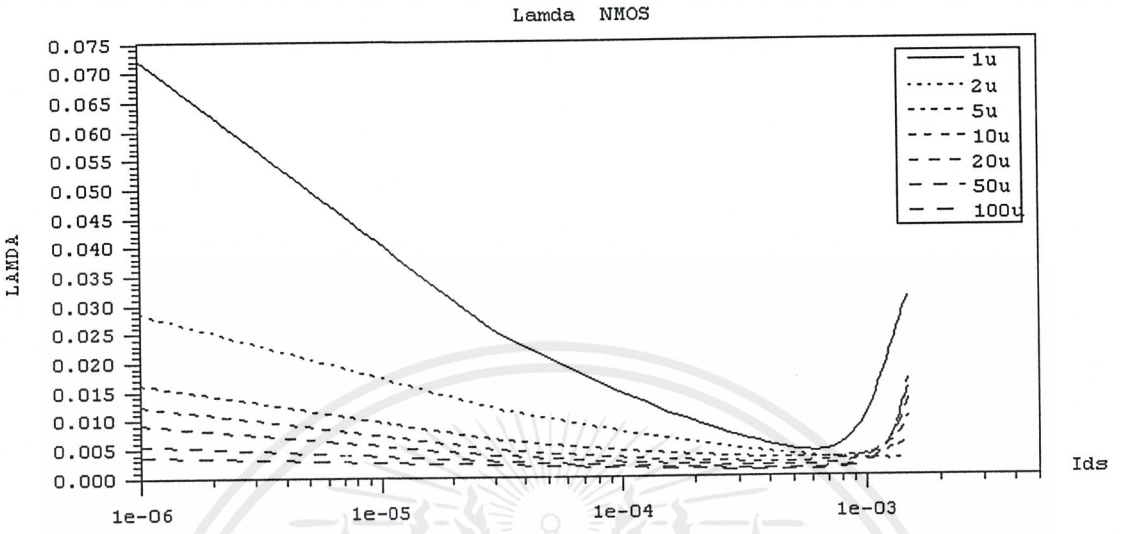
a) NMOS



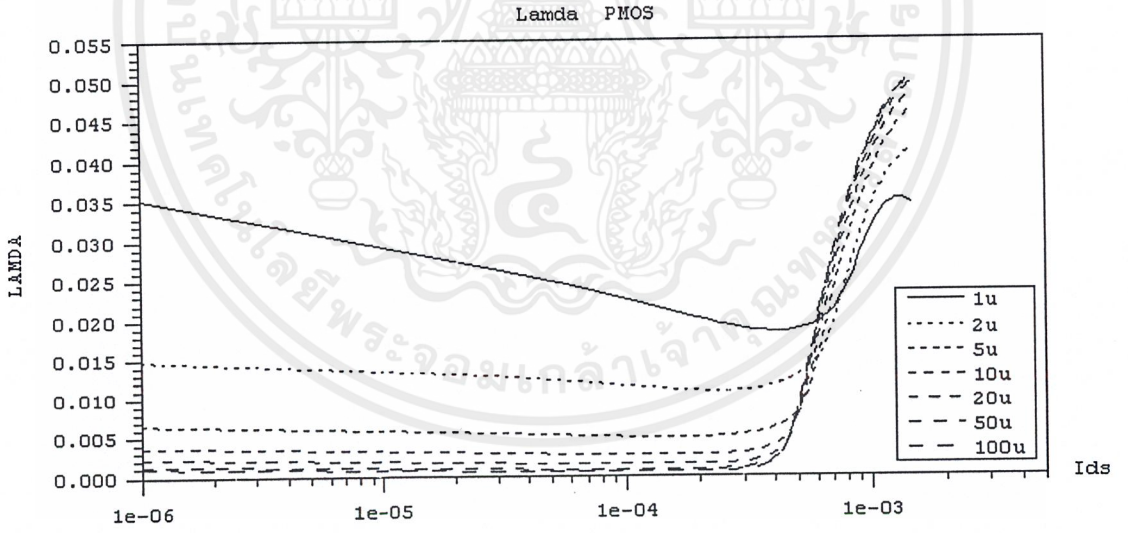
(b) PMOS

รูปที่ 4.5 ความสัมพันธ์ของ Vth ของอัตราส่วนที่ใช้กับกระแส *Ids*

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



(a) NMOS



(b) PMOS

รูปที่ 4.6 ความสัมพันธ์ของ λ ของอัตราส่วนที่ใช้กับกระแส *Ids*

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากเทคโนโลยีของ CMOS 0.5 μm. สามารถหาค่าคุณสมบัติจำเพาะของมอสเฟทจากโปรแกรม Spyglass Plot ซึ่งสามารถอ่านค่าจากกราฟเพื่อที่จะนำไปใช้ในการคำนวณได้ดังนี้

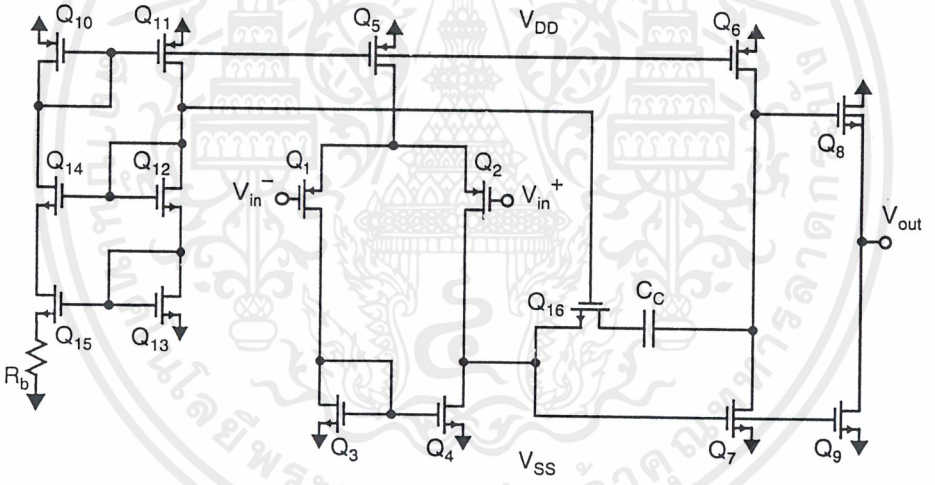
$K'n = \mu nCox = 120uA/V^2$ $\qquad$ $K'p = \mu pCox = 40uA/V^2$

$Vtn = 0.67\ V$ $\qquad$ $Vtp = -0.65\ V$

$\lambda n = 0.007$ $\qquad$ $\lambda p = 0.004$

4.4 การออกแบบวงจรขยายสัญญาณสองภาค (Design of two – stage opamp)

วงจรขยายสัญญาณที่จะใช้ในการสร้างวงจรฟิลเตอร์แสดงไว้ในรูป ขั้นแรกจะออกแบบเป็นวงจรขยายสัญญาณสองภาคซึ่งภาคแรกเป็นวงจรขยายความแตกต่างมีอินพุท 2 ทาง และวงจรภาคที่ 2 เป็นวงจรแบบซอร์สร่วมโดยมีการชดเชยความถี่ด้วย Cc และ Q_{16} และวงจรภาคสุดท้ายเป็นบัฟเฟอร์เพื่อจ่ายกระแสให้โหลด และมีแหล่งจ่ายกระแสให้กับวงจรดังรูป



รูปที่ 4.7 วงจรขยายสัญญาณ 2 ภาค

คุณสมบัติของวงจรที่ใช้ในการออกแบบ (Specification)

Supply Voltage	5 V (Single)
Common – mode input	2.5 V
Open – Loop Gain	$> 60\ dB$
Phase Margin	$> 60°$
Unity – Gain Bandwidth	$2MHz$
Slew Rate ±	$> 4\ V/\mu s$
Output Swing	$\geq \pm 1$ V

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Noise @100Hz	$<300\,nV/\sqrt{H}$
Noise @10KHz	$<30\,nV/\sqrt{H}$
Settling Time	$<1.2\mu S$
Power Dissipation	$<1\,mW$
วงจรทำงานที่โหลดคาปาซิเตอร์	$10\ pF$

ใช้เทคโนโลยีของ $CMOS$ $0.5\mu m$ ในการออกแบบ

ในการออกแบบเราต้องรู้ก่อนว่าออปแอมป์ที่ดีจะต้องมี GB (Gain bandwidth) , SR(Slew Rate) , PM (Phase Margin) , Av (Open – Loop Gain) , Output Swing ที่สูง Input Noise , Power Dissipation , Total Area ที่ต่ำที่สุด

ขั้นตอนการคำนวณวงจรขยายสัญญาณ 2 ภาค

4.4.1 หาขนาดของ Compensation , Cc จากสมการ $Cc > 0.22CL$ (60° Phase Margin)

4.4.2 หาขนาดของ Id_5 โดยจะต้องมีความสัมพันธ์กับ Cc เนื่องจากกระแสที่ไหลจะต้องใช้เวลาในการประจุให้ Cc ซึ่งพิจารณาจากอัตราการสลูว์โดยกำหนดให้อัตราการสลูว์มีค่ามากกว่าที่กำหนดไว้ใน Specification และกระแส $Id_5 = SR \times Cc$

4.4.3 เมื่อได้กระแส Id_5 จะสามารถหาอัตราส่วน $\left(\frac{W}{L}\right)_3$ จาก Maximum input voltage

$$\left(\frac{W}{L}\right)_3 = \frac{Id_5}{K'_3\,(Vdd - Vin(\max) - V_{in3}(\max) + V_{tp1}(\min))^2} \geq 1 \qquad 4.10)$$

4.4.4 หาอัตราส่วนของ Q_1, Q_2 จากสมการ $gm_2 = 2\pi \times GB \times Cc$

$$\text{จะได้} \left(\frac{W}{L}\right)_1 = \left(\frac{W}{L}\right)_2 = \frac{gm^2}{K'_2\,Id_5} \geq 1 \qquad 4.11)$$

4.4.5 หาอัตราส่วนของ Q_5 จากสมการ

$$\left(\frac{W}{L}\right)_5 = \frac{2Id_5}{K'_5\,(Vds(sat))^2} \qquad 4.12)$$

4.4.6 หาอัตราส่วนของ Q_7 จากสมการ

$$\left(\frac{W}{L}\right)_7 = \frac{gm_7}{K'_7\,Vds_7(dat)}\ ,\ gm_7 = 2.2gm_2\left(\frac{C_L}{Cc}\right) \qquad 4.13)$$

4.4.7 พิจารณาอัตราส่วนระหว่าง Q_4 และ Q_6 เมื่อ $Voffset = 0$ จะได้

$$\frac{(W/L)_7}{(W/L)_4} = 2\frac{(W/L)_6}{(W/L)_5} \qquad 4.14)$$

และกระแส $Id_6 = Id_7$ ต้องมีค่ามากกว่า Id_5

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4.4.8 อัตราส่วนของ Q_{10} เป็นตัวกำหนดกระแสให้กับ Q_5 นั่นคือเราสามารถกำหนด *Ibias* ได้ ถ้า $\left(\frac{W}{L}\right)_{10} = \left(\frac{W}{L}\right)_5$, Q_5 และ Q_8 จะมีกระแสไหลเท่ากัน ถ้า $\left(\frac{W}{L}\right)_5 = n\left(\frac{W}{L}\right)_{10}$ จะมีกระแส $Id_5 = n \times Ibias$

4.4.9 Q_8 และ Q_9 เป็นตัวกำหนดความต้านทานของเอาท์พุทซึ่ง $Rout = \frac{1}{gm_8 + gm_9}$ ถ้าต้องการ *Rout* ต่ำ ๆ จะต้องให้มีกระแสไหลผ่านมาก ๆ ซึ่งจะทำให้วงจรกินไฟมากขึ้นด้วย ในวงจร Q_9 จะเป็นตัวกำหนดกระแสที่เอาท์พุทโดยมี $Id_8 = Id_9$ และถ้าให้ $\left(\frac{W}{L}\right)_9 = n\left(\frac{W}{L}\right)_7$ จะมีกระแส $Id_9 = n \times Id_7$

4.4.10 ใส่ Q_{16} เพื่อชดเชยความถี่ซึ่งจะทำให้ Phase Margin ดีขึ้นและเพิ่ม *GBW* ด้วย โดยค่าของ $\left(\frac{W}{L}\right)$ ของ Q_{16} หาจากสมการ

$$RC \cong \frac{1}{1.2\omega_t Cc}$$

$$\text{และ} \quad RC = rds_{16} = \frac{1}{\mu_n C_{ox}(W/L)_{16}(Vgs - Vth)} \qquad 4.15)$$

ตรวจสอบการทำงานจากผลการคำนวณ

$$Gain\ ,\ A_O = 20\log\left|A_{V1} \times A_{V2} \times A_{V3}\right|$$

$$A_{V1} = gm_1(r_{ds2} // r_{ds4})$$

$$A_{v2} = -gm_7(r_{ds6} // r_{ds7})$$

$$A_{v3} \cong \frac{gm_8}{G_L + gm_8 + g_{ds8} + g_{ds9}}$$

$$Power\ dissipation\ ,\ (Id_5 + Id_6 + Id_9 + 2Id_{10})(Vdd)$$

$$Slew\ Rate\ ,\ SR = \frac{Id_5}{Cc}$$

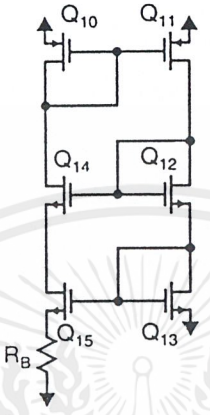
$$GB\ specification\ ,\ \frac{gm_2}{2\pi \times Cc}$$

$$Which\ , gm_n = \sqrt{2\mu_o c_{ox}(W/L)_n Id_n} \quad and \quad rds_n = \frac{1}{\lambda Id_n}$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4.5 การออกแบบแหล่งจ่ายกระแสคงที่ (Design Bias an Opamp Circuit)

เมื่อทำการออกแบบวงจรขยายสัญญาณสองภาคแล้ว ต่อไปจะเป็นการออกแบบแหล่งจ่ายกระแส



รูปที่ 4.8 วงจรไบอัสของออปแอมป์

ขั้นตอนการคำนวณวงจร

4.5.1 จากบทที่แล้วเราได้สมการ

$$RB = \frac{2}{\sqrt{2\mu_n C_{ox}(W/L)_{13} Id_{13}}}\left[1-\sqrt{\frac{(W/L)_{13}}{(W/L)_{15}}}\right] \qquad 4.16)$$

กำหนดให้ $(W/L)_{15} = 4(W/L)_{13}$ และ $(W/L)_{15}/(W/L)_{13} > 1$ ซึ่งจะทำให้วงจรมีเสถียรภาพ

4.5.2 จากหัวข้อ 4.4 $Id_{13} = Id_5 = 15\mu A$ เลือก $(W/L)_{13} = 3$, $(W/L)_{15} = 12$

4.5.3 คำนวณ RB จาก $$RB = \frac{2}{\sqrt{2\times 120\mu \times 3\times 15\mu}}\left[1-\sqrt{\frac{3}{12}}\right]$$

$$= 9.62K\Omega$$

4.6 สร้างตัวต้านทานจากมอสทรานซิสเตอร์

จากวงจรฟิลเตอร์ที่ออกแบบไว้ในข้อ 4.2 จะเห็นว่ามีขนาดของตัวต้านทานสูงถึง $5M\Omega$ ถึง 6 ตัวซึ่งถ้ามานำมาสร้างเป็นวงจรรวมจะทำให้สูญเสียพื้นที่เป็นจำนวนมากแต่จากคุณสมบัติของมอสที่ ทำงานในย่าน Deep triode เราสามารถสร้างตัวต้านทานได้โดยการควบคุมแรงดัน Vgs ซึ่งมีเงื่อนไขคือ $Vds << 2(Vgs - Vth)$ จาก

$$R = rds = \frac{1}{\mu_n C_{ox}(W/L)\ (Vgs - Vth)} \qquad 4.17)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

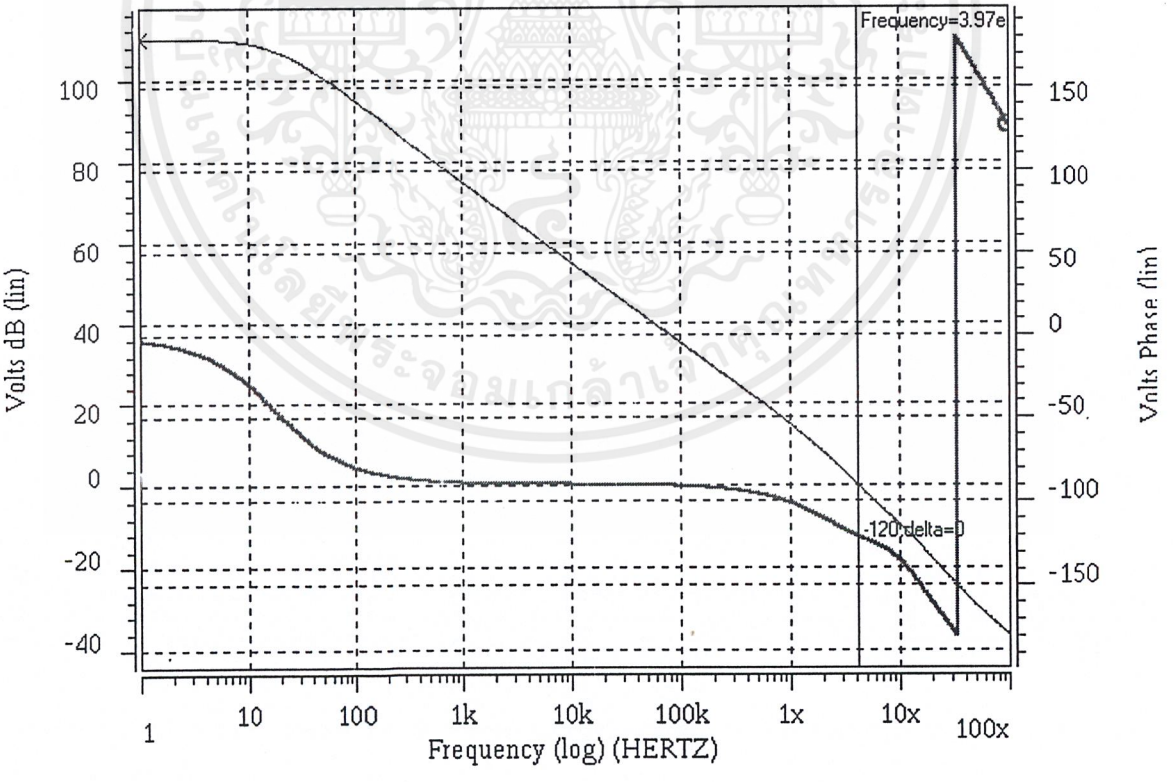
โดยกำหนดอัตราส่วน

$$(\frac{W}{L}) = \frac{1}{\mu_n C_{ox}(Vgs - Vth)R} \qquad 4.18)$$

ให้ $Vg = Vdd$ แรงดัน $Vgs = Vg - Vs$, $Vs = Vinput \quad common-\text{mod}e = 2.5\ V$ และ Vth ในย่าน Triode Region มีค่าประมาณ $1.2\ V$, $R = 5M\Omega$ จากสมการเราจะได้ $(\frac{W}{L}) \approx 0.0013$ ดังนั้นเลือก $W = 0.5\ \mu M$, $L = 350\ \mu M$

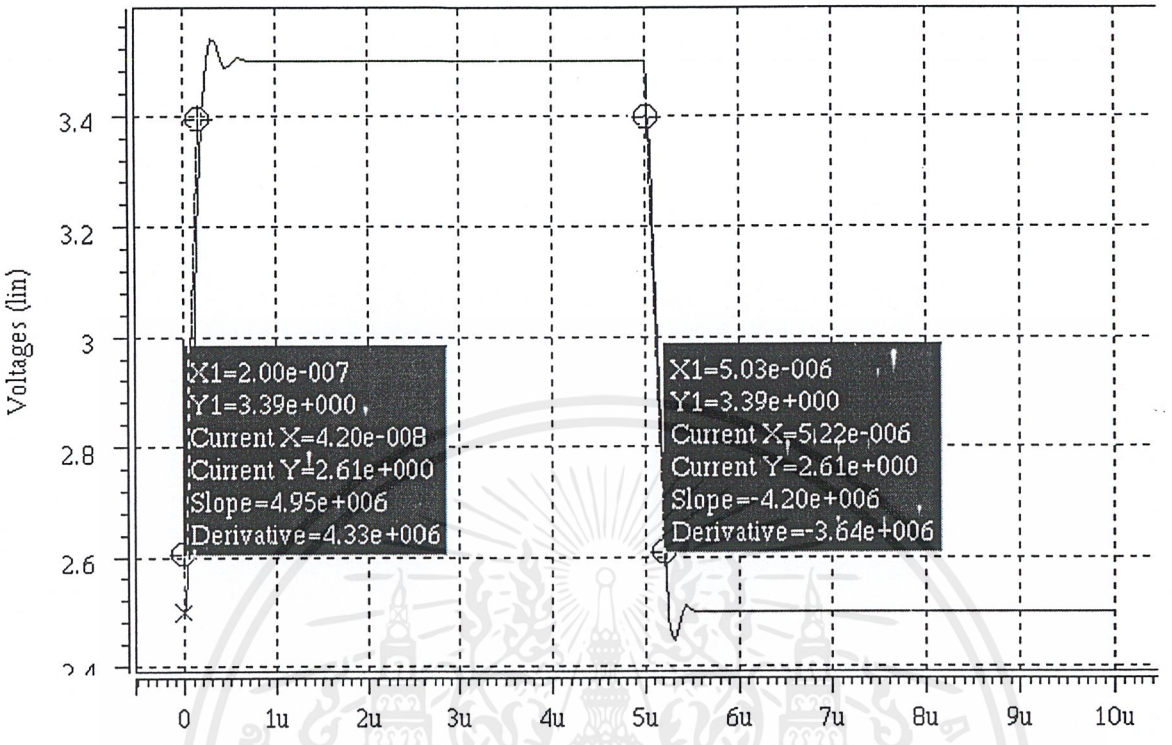
4.7 ทดสอบการทำงานของออปแอมป์และแอคทีฟฟิลเตอร์ (Single – ended output)

เมื่อออกแบบวงจรภายในของออปแอมป์เสร็จแล้วต่อไปจะทำการทดสอบคุณสมบัติของออปแอมป์ด้วยโปรแกรม HSPICE โดยเขียนไฟล์ข้อมูลของวงจรลง NOTEPADซึ่งได้แสดงไฟล์ไว้ในภาคผนวกโดยทำการทดสอบวงจรด้วย Model 0.5 μ m CMOS Technology จากนั้นทำการปรับแต่งวงจรจนได้คุณสมบัติตามที่ต้องการแล้วจะนำไปใส่ในวงจรฟิลเตอร์ที่ออกแบบ ซึ่งได้ผลการทำงานของวงจรออปแอมป์ดังนี้

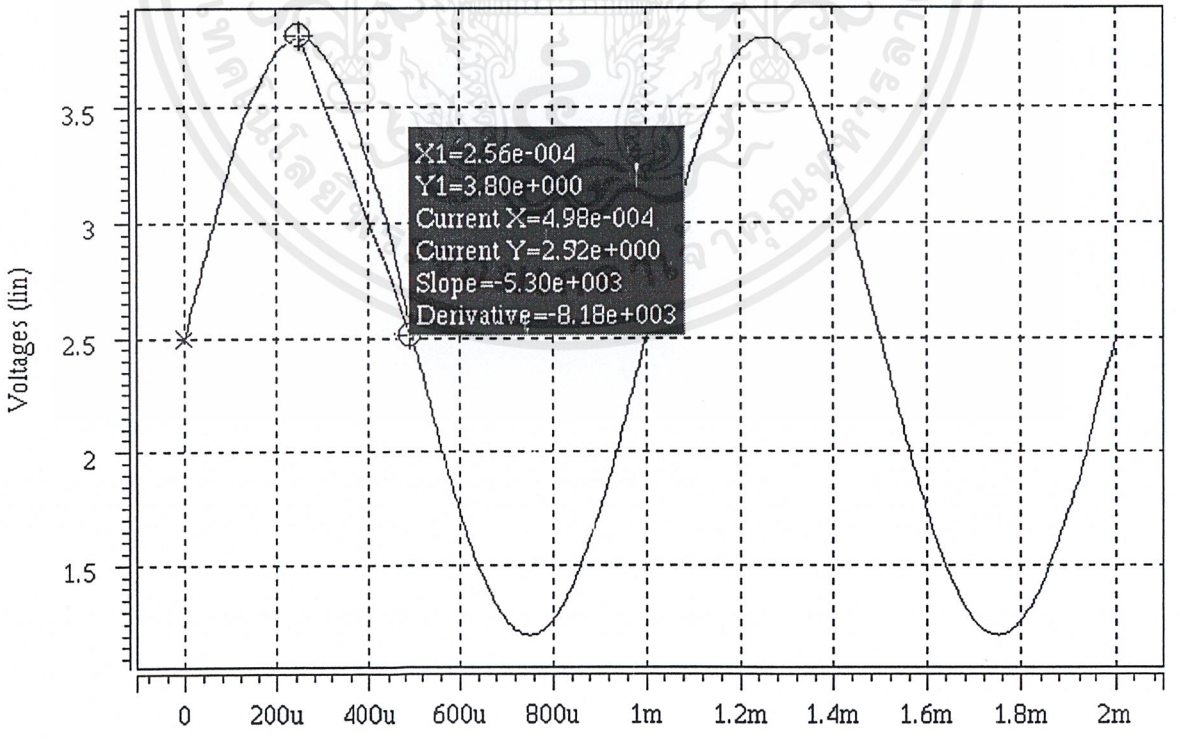


รูปที่ 4.9 ผลตอบสนองทางความถี่ (Avo, PM)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.10 ผลตอบสนองทางเวลา (Slew Rate)



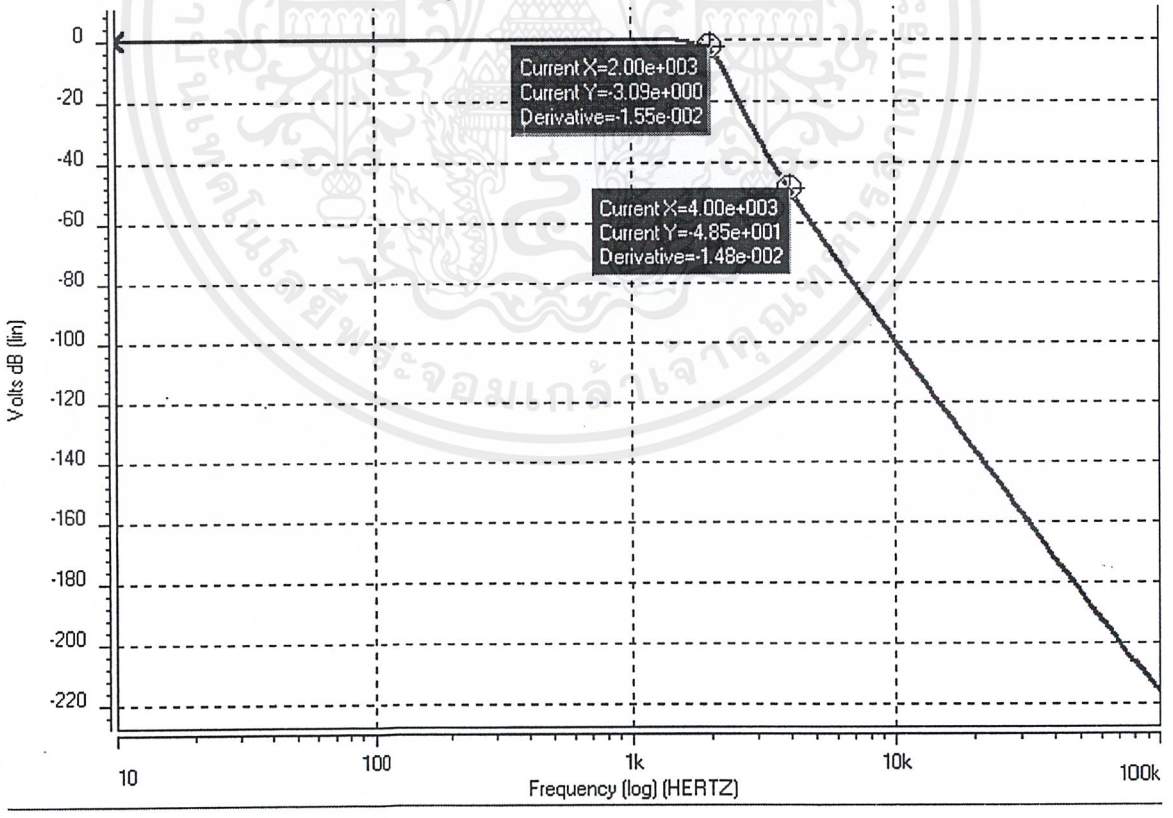
รูปที่ 4.11 แรงดันสวิงของเอาท์พุท

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากผลการทดลองสามารถสรุปผลได้ดังนี้

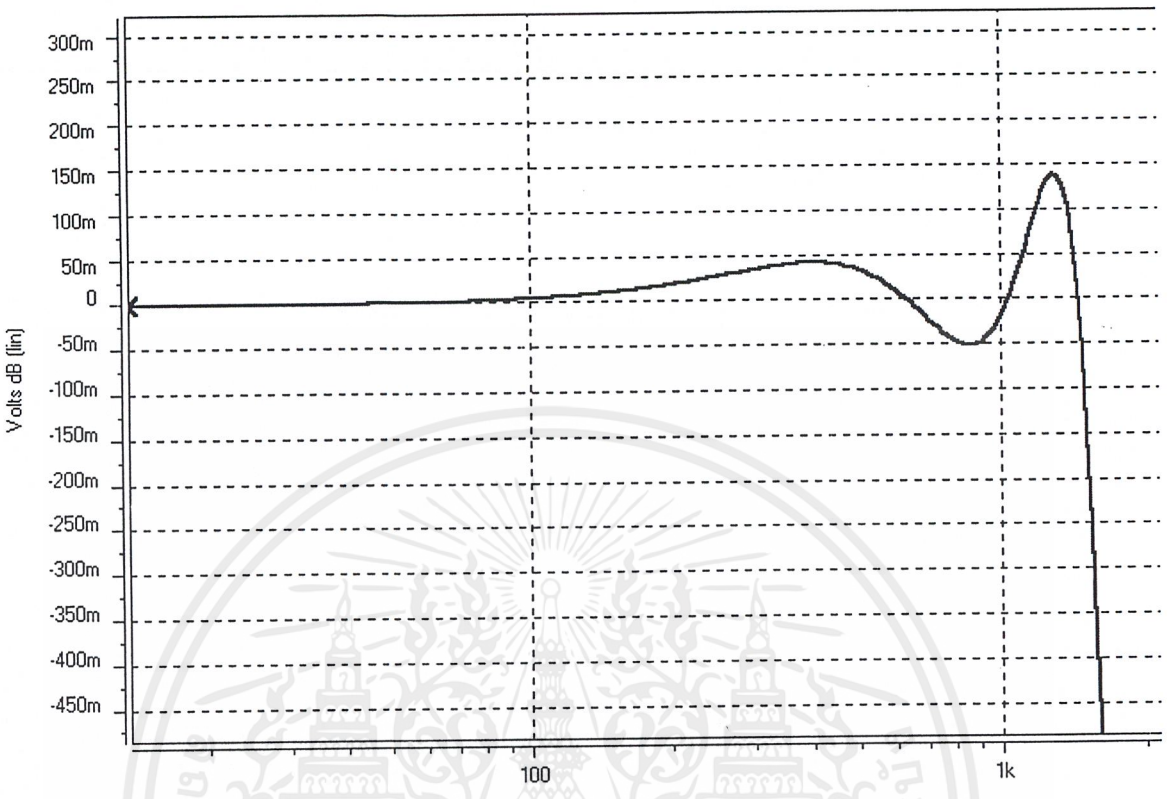
Open – Loop Gain	$105\ dB$
Phase Margin	$60°$
Unity – Gain Bandwidth	$3.97 MHz$
Slew Rate +	$4.95\ V/\mu s$
Slew Rate –	$-4.20\ V/\mu s$
Settling Time	$0.739\ \mu S$
Output Swing	$\pm 1.3\,\mathrm{V}$
Noise @100Hz	$185.227\ nV/\sqrt{H}$
Noise @10KHz	$26.014\ nV/\sqrt{H}$
Power Dissipation (CL = 10pF)	$625.77\ \mu W\ \ (Bias\ \ current = 139.5 \mu W)$

จากนั้นนำออปแอมป์และตัวต้านทานที่ออกแบบรวมถึงค่าคาปาซิเตอร์มาประกอบรวมเป็นวงจรแอคทีฟฟิลเตอร์โดยใช้โปรแกรมจำลองการทำงาน HSPICE ซึ่งไฟล์ข้อมูลแสดงไว้ในภาคผนวกซึ่งได้ผลตอบสนองทางความถี่ดังรูป



รูปที่ 4.12 ผลตอบสนองทางความถี่ (*Chebyshev 6 – order*) ของฟิลเตอร์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.13 อัตรากระเพื่อมในแถบผ่าน (Passband ripple)

จากรูปเป็นกราฟที่ได้จะเห็นว่ามีคุณสมบัติทางความถี่ตามต้องการโดยมีการปรับค่าของตัวเก็บประจุเล็กน้อยซึ่งได้ผลการทดลองดังนี้

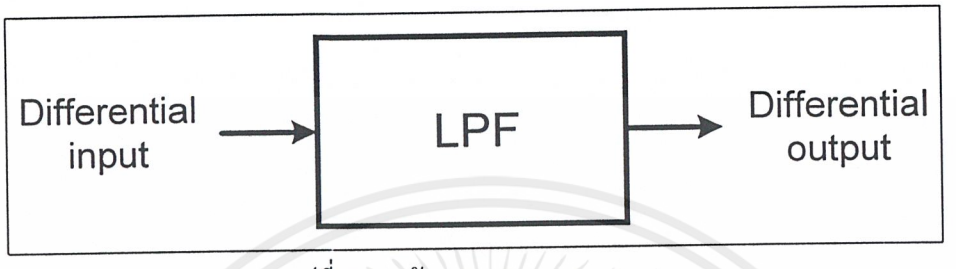
อัตราขยายทางไฟตรง (DC gain)	$A_{DC} = 0.001\ dB$
ความถี่แถบผ่าน (Passband frequency)	$f_P = 2\ \ KHz$
ความถี่แถบหยุด (Stopband frequency)	$f_S = 4\ \ KHz$
อัตรากระเพื่อมในแถบผ่าน (Passband ripple)	$A_{MAX} = 0.19\ dB$
การลดทอนในแถบหยุด (Stopband attenuation)	$A_S = 48.5\ dB$
การกินกำลังงาน (Power Consumption)	$1.587\ mW$

ในหัวข้อต่อไปจะเป็นการออกแบบวงจรฟิลเตอร์แบบฟูลลี่ดิฟเฟอร์เรนเชียล (Fully Differential Active Filter)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

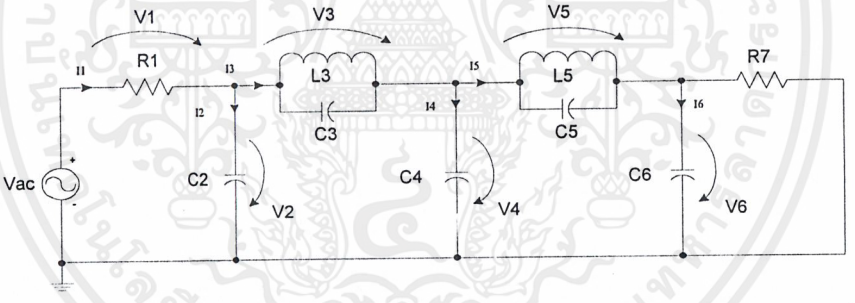
4.8 Fully Integrated Active Filters in MOS Technology

วงจรกรองที่ออกแบบมีโครงสร้างแบบผลต่าง (Differential) ทั้งทางด้านขาเข้า(Input) และขาออก(Output) ดังแสดงในรูป



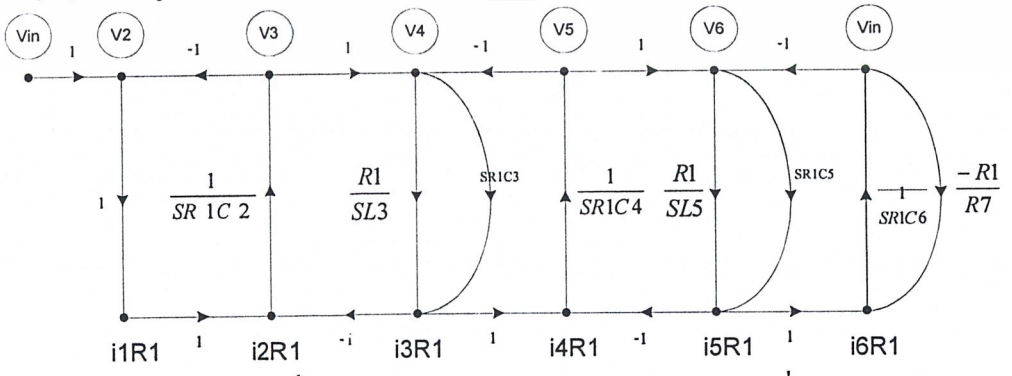
รูปที่ 4.14 ลักษณะของวงจรกรอง

1.วงจรพาสสีพฟิลเตอร์สามารถหาได้จากคู่มือการออกแบบวงจรฟิลเตอร์[7] ซึ่งจากคุณสมบัติของวงจรฟิลเตอร์ที่กล่าวมา เราจะเลือกการประมาณค่าแบบอีลิปติกซึ่งจะได้ $n=5$, $\theta=31°$ (Modular angle) , $\rho=10\%$ (Reflection coefficient) ซึ่งฟิลเตอร์จะมีอัตราการกระเพื่อมในแถบผ่าน $0.025dB$ และ $59.93dB$ ที่การลดทอนในแถบหยุด



รูปที่ 4.15 วงจร RC พาสสีฟฟิลเตอร์ (5 – Orders)

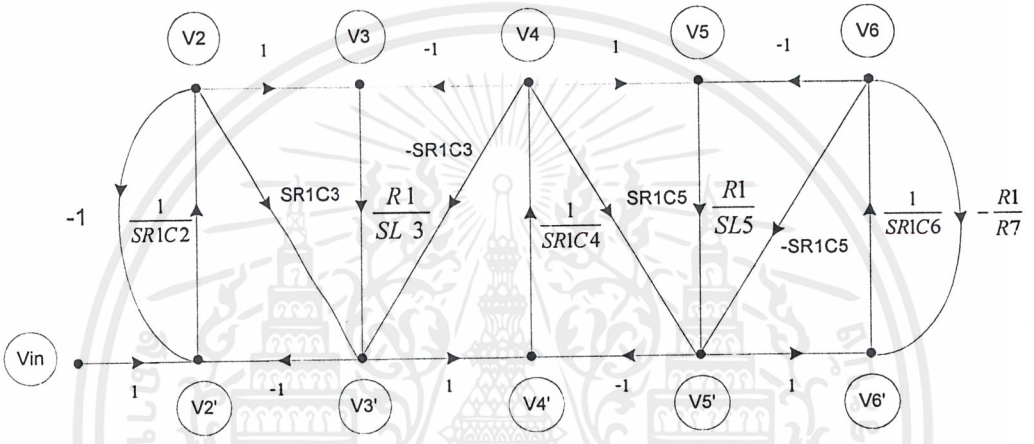
2. วงจรพาสซีพฟิลเตอร์จากรูปที่ 4.15 สามารถแทนได้ด้วยเส้นทางเดินของสัญญาณ (Signal flow graph) ดังรูปที่ 4.16



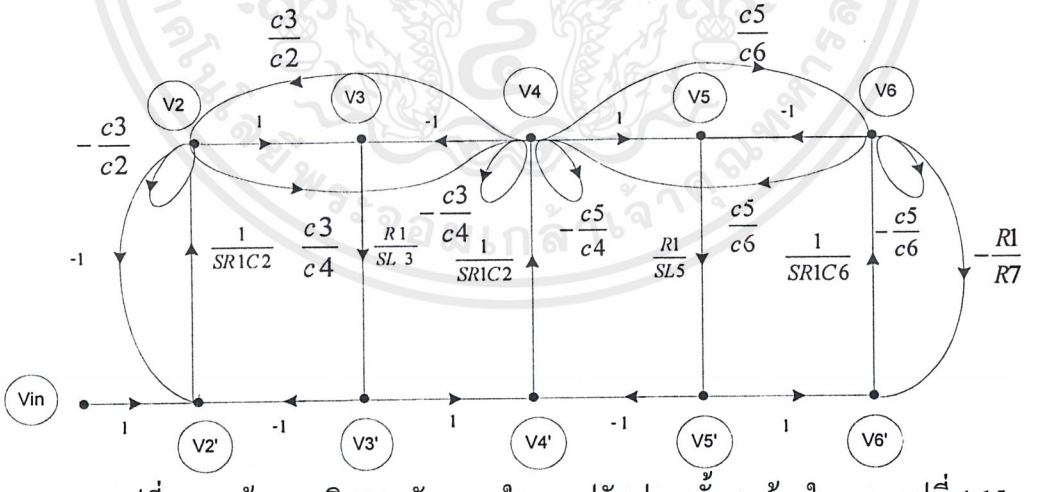
รูปที่ 4.16 เส้นทางเดินของสัญญาณในวงจรรูปที่ 4.15

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากรูปที่ 4.16 เป็นเส้นทางเดินของสัญญาณในวงจรรูปที่ 4.15 โดยทางแนวตั้งเป็นบรานช์ของแรงดันและกระแส ซึ่งวิเคราะห์จากสมการของ KVL และ KCL เน็ทเวิร์ก ที่เส้นทางของสัญญาณแต่ละโหนดจะมีแรงดันกำหนดอยู่ ซึ่งทำได้ด้วยการคูณด้วยกระแสกับ R1 ซึ่งเป็นเงื่อนไขที่จำเป็นของแอคทีฟฟิลเตอร์ชนิดนี้ และจากรูปที่ 4.15 เราจะทำการปรับปรุงเส้นทางเดินของสัญญาณซึ่งสุดท้ายจะได้เส้นทางเดินของสัญญาณดังรูปที่ 4.18 โดยจะมีเพียงตัวต้านทาน , ตัวเก็บประจุ และออปแอมป์เท่านั้น



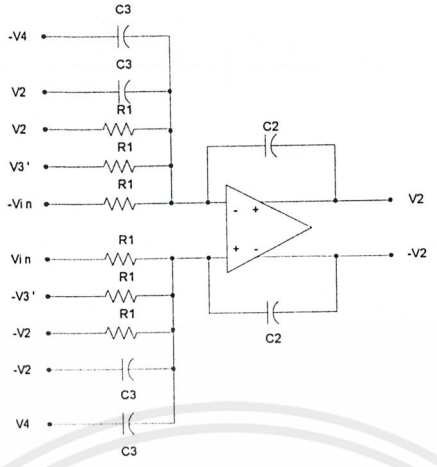
รูปที่ 4.17 เส้นทางเดินของสัญญาณในวงจรรูปที่ 4.16 เมื่อปรับปรุง



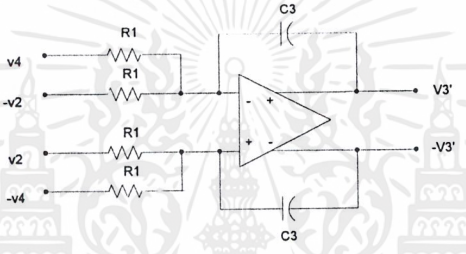
รูปที่ 4.18 เส้นทางเดินของสัญญาณในการปรับปรุงครั้งสุดท้ายในวงจรรูปที่ 4.15

3. เส้นทางเดินของสัญญาณในรูปที่ 4.18 ถูกแบ่งเป็น 5 ส่วนย่อยซึ่งจากส่วนย่อยในทางเดินของสัญญาณจะแทนด้วยวงจร RC ฟูลลี่บาลานซ์ซึ่งตัวต้านทานในวงจรทั้งหมดจะแทนด้วยมอสทรานซิสเตอร์ที่ทำงานในย่านไทรโอดซึ่งเราจะสร้างวงจรได้ทั้งหมด 5 วงจรดังรูปที่ 4.19 จากนั้นนำวงจรทั้งหมดมาประกอบเข้าด้วยกันจะได้วงจรดังรูปที่ 4.20

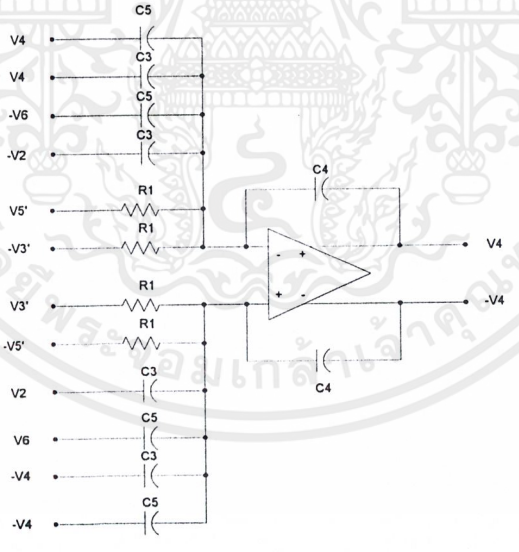
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



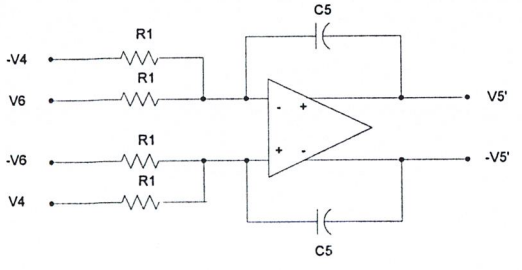
(a)



(b)

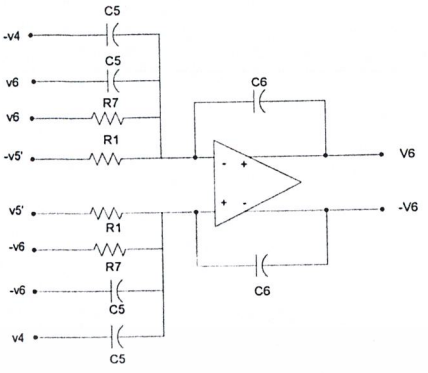


(c)



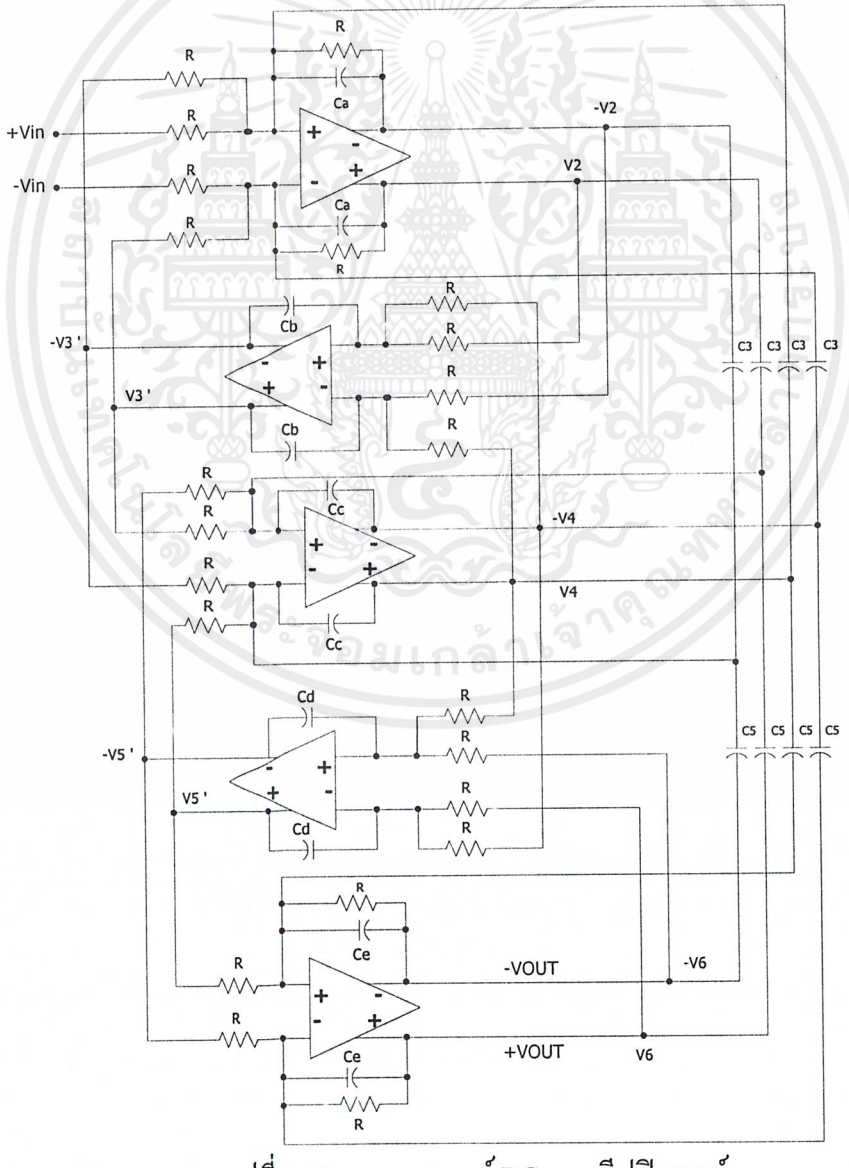
(d)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



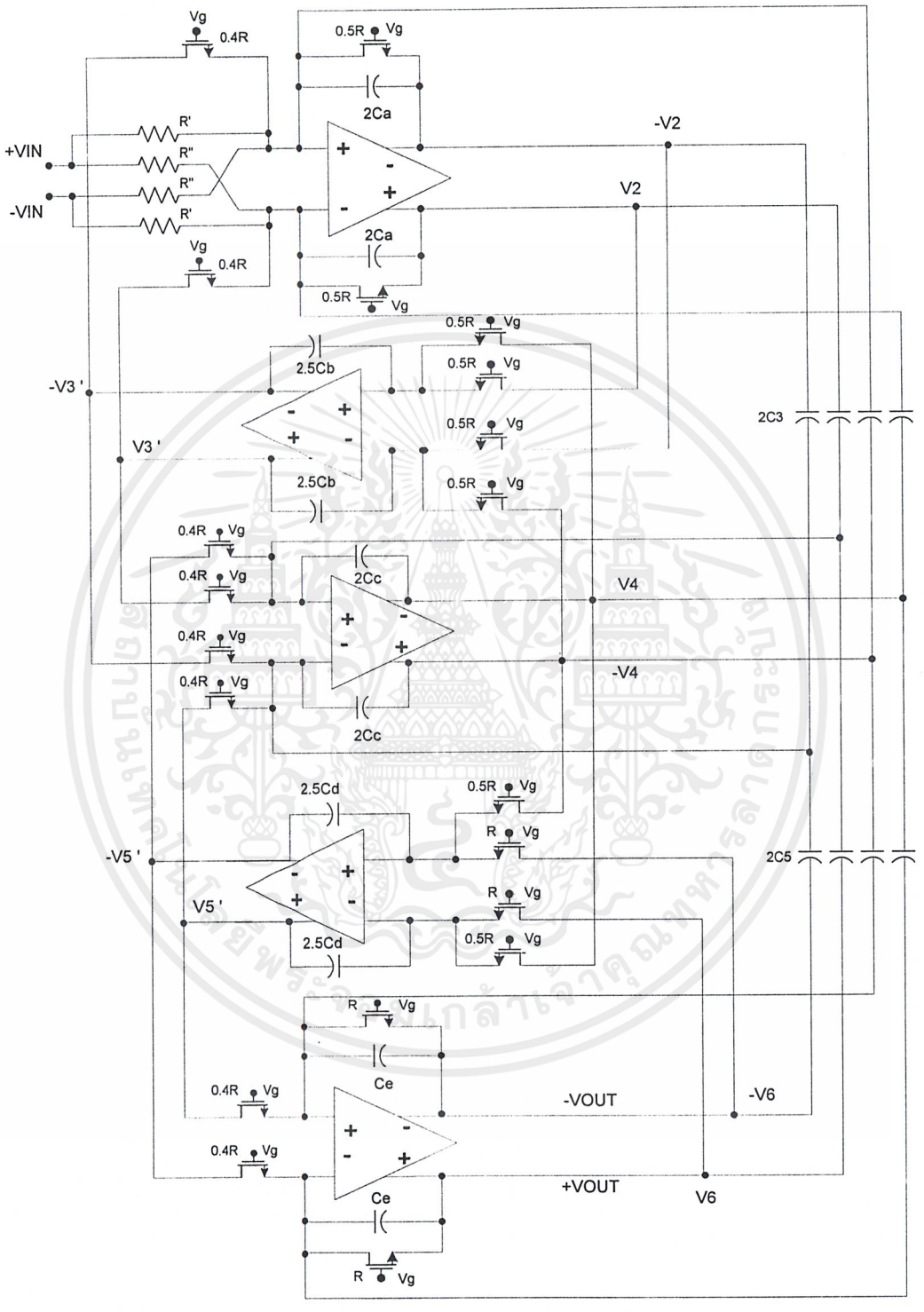
(c)

รูปที่ 4.19 วงจรย่อยของ fully balanced RC active filter ทั้งหมด



รูปที่ 4.20 วงจรบาลานซ์ RC แอคทีฟฟิลเตอร์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.21 การสเกลวงจรบาลานซ์ฟิลเตอร์เพื่อ Optimum dynamic range

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

โดยได้ $Ca = C2 + C3 \quad = 11.48 + 1.35 \quad = 12.83pF$

$Cb = L3/R^2 \quad = 497/(5M)^2 \quad = 19.88pF$

$Cc = C3 + C4 + C5 \quad = 1.35 + 23.26 + 3.89 \quad = 28.50pF$

$Cd = L5/R^2 \quad = 416/(5M)^2 \quad = 16.64pF$

$Ce = C5 + C6 \quad = 3.89 + 9.40 \quad = 13.29pF$

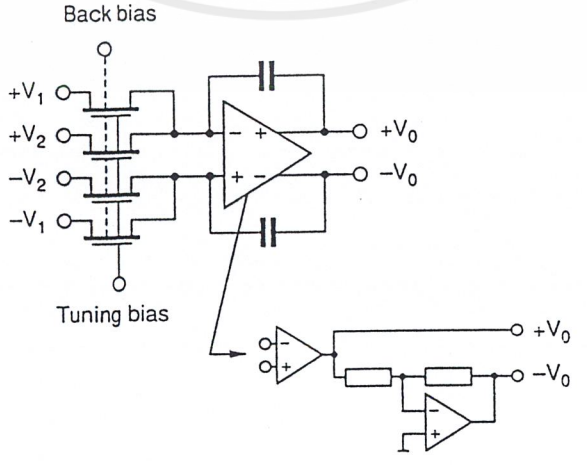
$R = 5M\Omega$

$Vg = Vdd = 5\ V$

4.9 ออกแบบวงจรขยายแบบฟูลลี่ดิฟเฟอร์เรนเชียล (Design fully differential amplifier)

สำหรับวงจรอนาล็อกในปัจจุบันมักจะใช้สัญญาณแบบ fully differential ซึ่งเราจะพูดถึง fully differential opamps หรือ Balance operational amplifier ซึ่งสัญญาณแบบนี้จะช่วยขจัดสัญญาณรบกวนได้ดีกว่าออปแอมป์แบบSingle - ended output จุดด้อยของการใช้ fully differential opamp คือจะต้องมีวงจร Common - mode feedback (CMFB) เพื่อสร้างแรงดันเอาท์พุทคอมมอนโหมด การออกแบบวงจร Common - mode feedback ไม่ใช่เรื่องเล็ก อันดับแรกจะต้องมีความเร็วของสัญญาณในส่วนของดิฟเฟอร์เรนเชียลซึ่งจำเป็นมาก เพราะนอยส์ของของซัพพลายอาจถูกขยายทำให้สัญญาณเอาท์พุทถูกขลิบได้ อันดับสองในวงจรฟิลเตอร์มักจะไม่ทำงานเมื่อมีสัญญาณขนาดใหญ่เข้ามา และ CMFB จะเป็นต้นเหตุที่ลดสัญญาณทางเอาท์พุท อันดับสามอัตราการสลูว์จะลดลงเนื่องจากค่ากระแสสูงสุดจะถูกจำกัดด้วยวงจรไบอัสกระแสคงที่ในภาคเอาท์พุท แต่จะสามารถเพิ่ม Gain bandwidth ได้

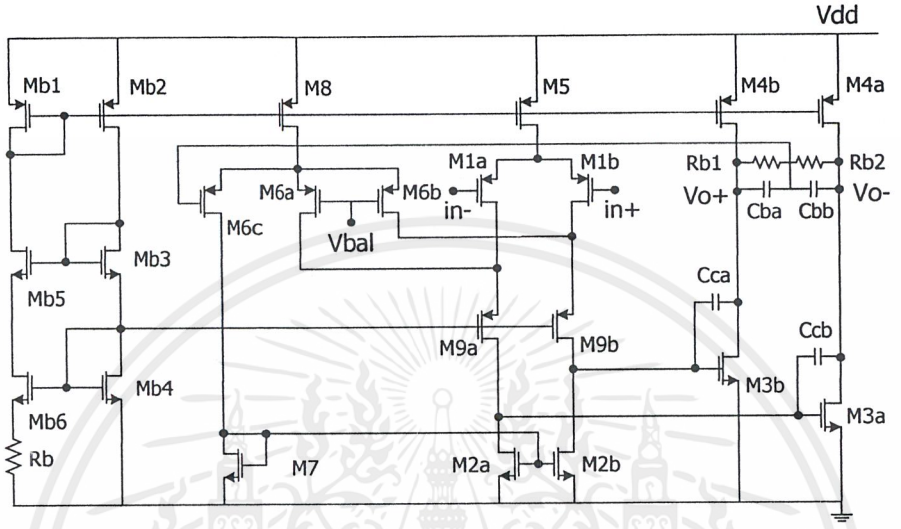
วงจรฟิลเตอร์แบบ Balance amplifier แสดงได้โดยการต่อออปแอมป์แบบ Single – ended opamps 2 ตัว มีลักษณะดังรูป



รูปที่ 4.22 Balanced Integrator Filter

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

วงจรขยายสัญญาณ 2 ภาคดังรูปจะออกแบบให้มีแรงดันสวิงสูงสุด มี Gain bandwidth ที่เหมาะสม Power dissipation ที่ต่ำ ทำงานที่แหล่งจ่าย 5 V เอาท์พุทคงที่เท่ากับ = 2.5 V ที่ P-channel อินพุทขา Source กับ Substrates จะต่อเข้าด้วยกันเพื่อลด *body – effect* และลด *Vdd noise coupling*



รูปที่ 4.23 วงจร Fully differential amplifier หรือ Balance operational amplifier

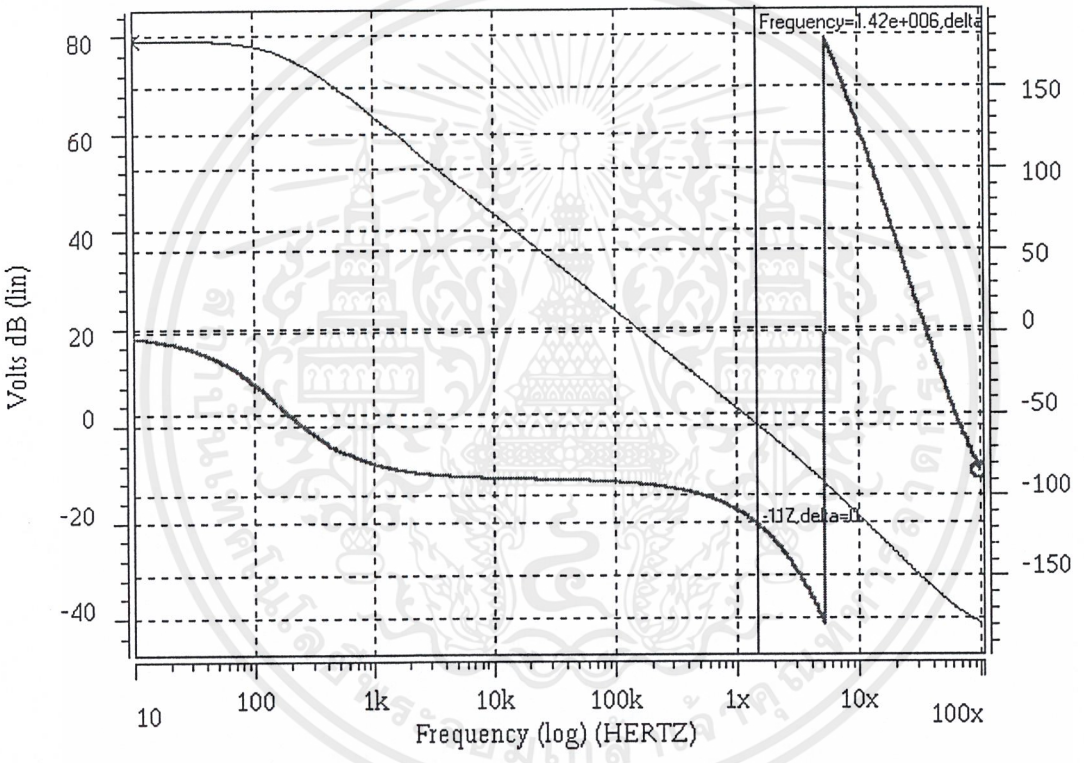
ภาค Differential - mode input ประกอบด้วยทรานซิสเตอร์ M1A, M1B, M2A, M2B, M9A ,M9B and M5 โดย M9A ,M9B เป็นคอมมอนเกทช่วยเพิ่มเกนของออปแอมป์ ทางภาคเอาท์พุทมี M3A M3B ,M4A and M4B และมีการชดเชยความถี่ด้วย Cca , Ccb วงจร Common - mode feedback จะต่อรวมกับ Differential- mode ที่ภาคสุดท้ายของวงจรขยายนั่นคือทรานซิสเตอร์ M6A ,M6B ,M6C M7 ,M8จากภาคอินพุทคอมมอนโหมดทรานซิสเตอร์ M6A ,M6Bจะมีขนาดเป็นครึ่งหนึ่งของ M1A M1B และ M7 ,M2A ,M2B จะทำหน้าที่เป็น Differential to single-ended converter สำหรับวงจรภาคอินพุทคอมมอนโหมด และวงจรตรวจสอบสัญญาณคอมมอนโหมด(Common – mode signal detector)ประกอบด้วยตัวต้านทาน 20 KΩ ต่อขนานกับตัวเก็บประจุ 1 pF เพื่อให้ความถี่สูงบายพาสผ่านตัวเก็บประจุซึ่งจะทำให้คอมมอนโหมดฟีดแบคมีเสถียรภาพ

สำหรับภาคเอาท์พุทใช้คอมมอนซอร์สเพื่อให้มีแรงดันสวิงสูงและเพื่อป้องกันตัวต้านทานในวงจรตรวจสอบสัญญาณคอมมอนโหมดไปลดดีซีเกน จะต้องทำให้ค่าทรานคอนดัคแตนซ์ของ M3A ,M3B มีค่าสูงๆ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4.10 ทดสอบการทำงานของออปแอมป์และแอคทีฟฟิลเตอร์ (fully differential output)

เมื่อออกแบบวงจรภายในของออปแอมป์เสร็จแล้วต่อไปจะทำการทดสอบคุณสมบัติของออปแอมป์ด้วยโปรแกรม HSPICE โดยเขียนไฟล์ข้อมูลของวงจรลง NOTEPAD ซึ่งได้แสดงไฟล์ไว้ในภาคผนวกโดยทำการทดสอบวงจรด้วย Model 0.5 μ m CMOS Technology ของบริษัท Alcatel จากนั้นทำการปรับแต่งวงจรจนได้คุณสมบัติตามต้องการ ซึ่งได้ผลการทำงานของวงจรออปแอมป์ดังรูป



รูปที่ 4.24 ผลตอบสนองทางความถี่ (Avo, PM) ของออปแอมป์

จากกราฟผลตอบสนองทางความถี่ของออปแอมป์จะได้ผลดังนี้

Open – Loop Gain	78 *dB*
Phase Margin	63°
Unity – Gain Bandwidth	1.42 MHz

จากนั้นนำออปแอมป์และตัวต้านทานที่ออกแบบรวมถึงค่าคาปาซิเตอร์มาประกอบรวมเป็นวงจรแอคทีฟฟิลเตอร์ในหัวข้อ 4.8 แล้วจำลองการทำงานของวงจรที่ออกแบบโดยใช้โปรแกรม *Hspice* ซึ่งเงื่อนไขการทดสอบคุณสมบัติของวงจรที่ออกแบบมีดังนี้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เงื่อนไขการทดสอบคุณสมบัติของวงจรที่ออกแบบ

คุณสมบัติทางความถี่ (เช่น A_{DC} , fp , fs)

- ให้จำลองการทำงานแบบ .ACในช่วงความถี่ 10 Hz - 100KHz ขณะที่แรงดันขาเข้าโหมดร่วมเป็น 2.5 โวลต์ และสัญญาณขาเข้าโหมดต่างแบบไฟตรงเป็นศูนย์

ความเพี้ยนแบบอินเตอร์มอดูเลชัน ($IM3$)

-ใส่สัญญาณขาเข้าสองสัญญาณที่ความถี่ 0.9KHz และ 1.1KHz โดยแต่ละสัญญาณมีขนาดเป็นครึ่งหนึ่งของสัญญาณมาตรฐานแล้วนำไปประมวลผลแบบ FFT ที่ความถี่ 0.7 KHz และ 1.3 KHz

อัตราส่วนสัญญาณต่อสัญญาณรบกวน (SNR)

- คำนวณกำลังงานของสัญญาณด้วยระดับสัญญาณยอด($\pm$ 1.5 โวลต์ หรือ $\pm$ 25 ไมโครแอมป์)

-ใช้การจำลองการทำงานแบบ .NOISE เพื่อหากำลังงานรวมของสัญญาณรบกวนที่ขาออก (แบบโหมดต่าง)ในช่วงความถี่ 20 Hz -4 KHz

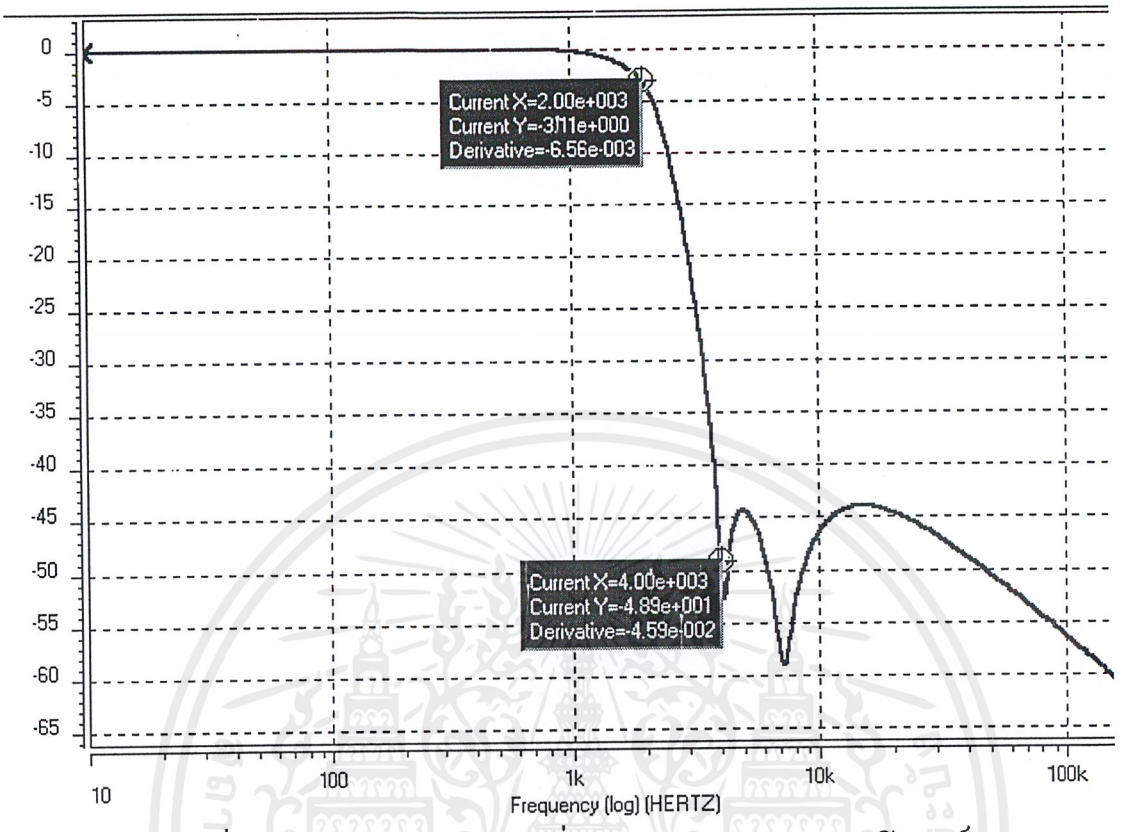
การกินกำลังงาน

- คำนวณการกินกำลังงานเฉลี่ยจากวงจรทั้งหมดรวมไปถึงส่วนของวงจรไบอัสกระแส

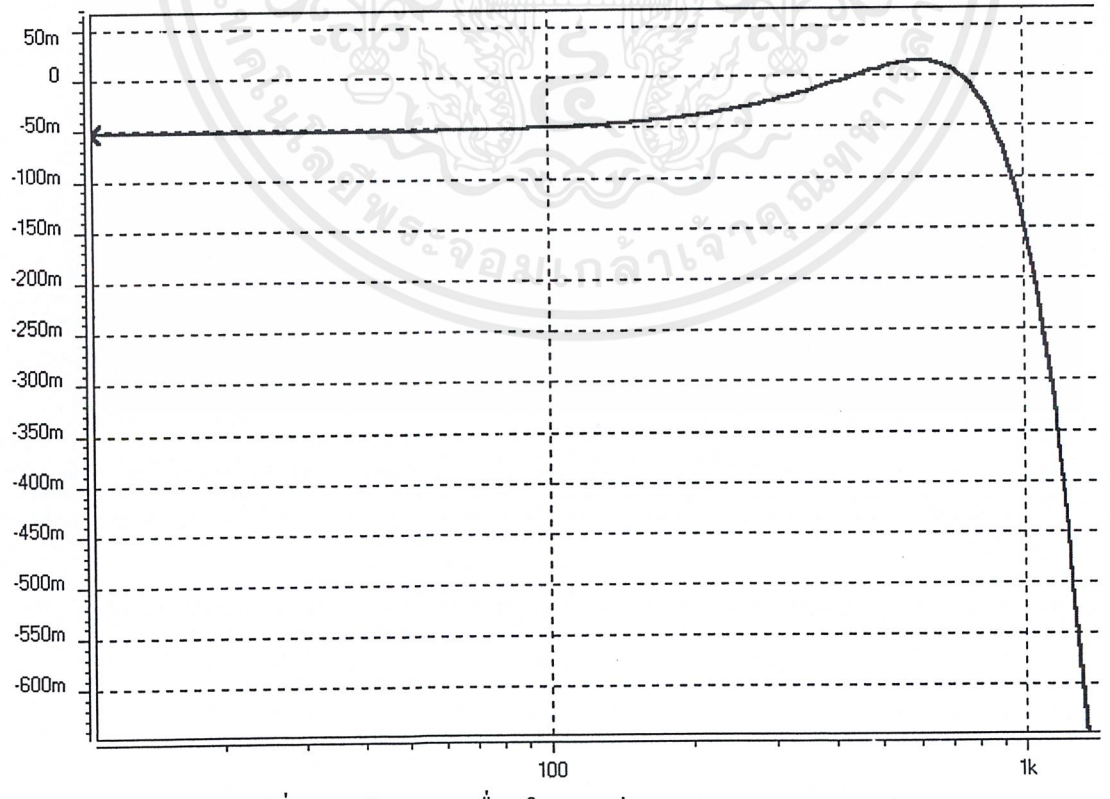
ทั้งนี้ความผิดพลาดในแง่ผลตอบสนองเชิงความถี่ของวงจรในทุก ๆ ด้าน จะต้องไม่เกิน $\pm$ 20 % ตลอดย่านความถี่ตามตารางโดยกรณีที่วงจรจำเป็นต้องปรับแต่งตัวแปรที่ถูกปรับแต่งจะต้องเป็นแหล่งจ่ายศักดาหรือกระแสเพื่อปรับความถี่ของวงจรกรองเพียงอย่างใดอย่างหนึ่งเท่านั้น

ต่อไปจะทำการทดสอบคุณสมบัติของวงจรฟิลเตอร์ด้วยโปรแกรม HSPICE โดยเขียนไฟล์ข้อมูลของวงจรลง NOTEPAD ซึ่งได้แสดงไฟล์ไว้ในภาคผนวก โดยครั้งแรกทำการทดสอบวงจรในโมเดล 0.5 μ m.CMOS Technology แบบ Typical ของบริษัท Alcatel โดยวงจรทำงานที่แหล่งจ่ายแรงดัน 5 V อุณหภูมิ 30$^{\circ}C$ มีสัญญาณอินพุทเข้าเป็นไซนูซอยด์เท่ากับ $\pm$ 1.5 V จากนั้นทำการปรับแต่งวงจรจนได้คุณสมบัติตามที่ต้องการซึ่งได้ผลการทำงานของวงจรฟิลเตอร์ดังนี้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

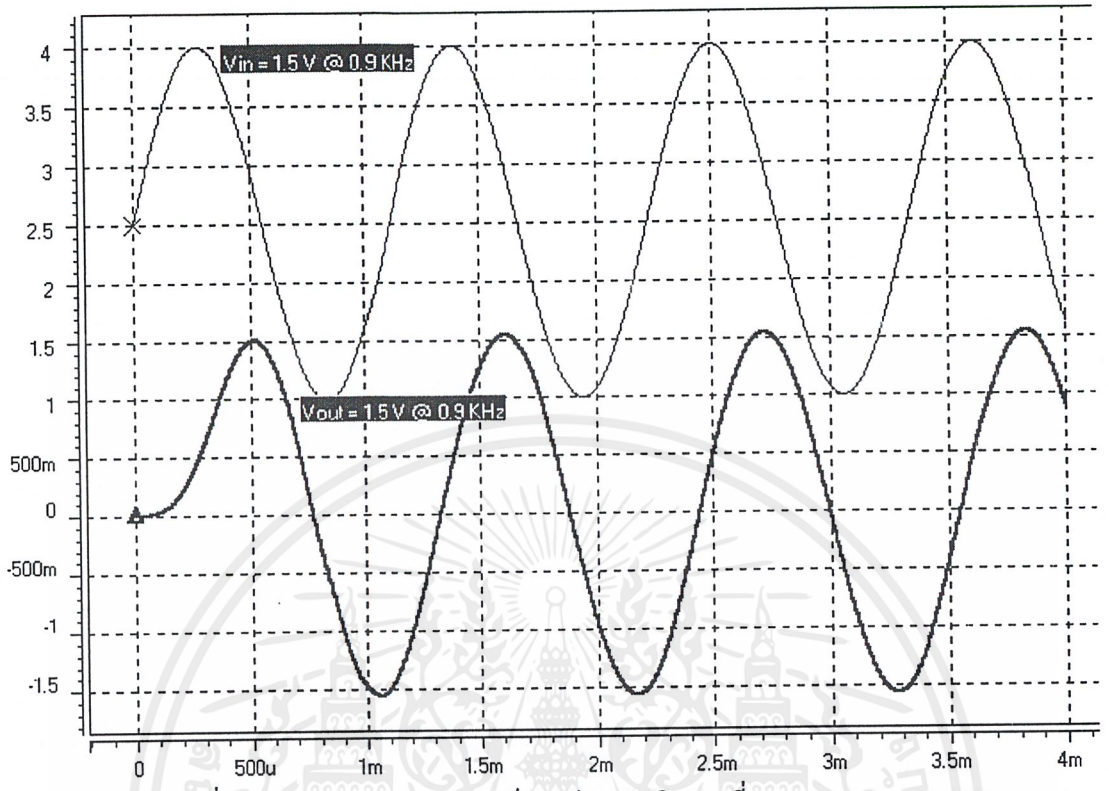


รูปที่ 4.25 ผลตอบสนองทางความถี่ (*elliptic 5 – order*) ของฟิลเตอร์

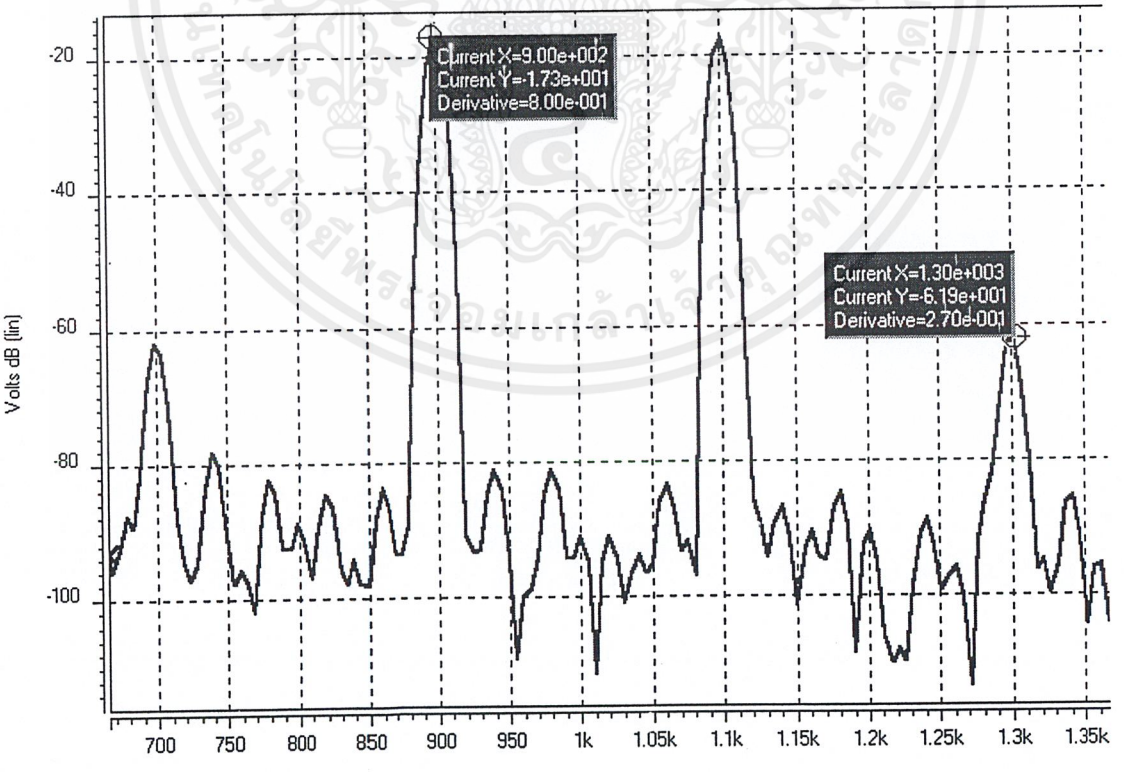


รูปที่ 4.26 อัตรากระเพื่อมในแถบผ่าน (*passband ripple*)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.27 แรงดันสวิงของเอาท์พุทเทียบกับอินพุทที่ 1.5Vp $f_{in} = 0.9KHz$



รูปที่ 4.28 ความเพี้ยนแบบอินเตอร์มอดูเลชัน ($IM3$)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากกราฟทั้งหมดสามารถสรุปคุณสมบัติของวงจรได้ดังนี้

อัตราขยายทางไฟตรง (DC Gain)	A_{DC} = -0.053 dB
ความถี่แถบผ่าน (Passband frequency)	f_P = 2 KHz
ความถี่แถบหยุด (Stopband frequency)	f_S = 4 KHz
อัตรากระเพื่อมในแถบผ่าน (Passband ripple)	Ap = 0.06 dB
การลดทอนในแถบหยุด (Stopband attenuation)	As = 48.9 dB
ความเพี้ยนแบบอินเตอร์มอดูเลชัน ($IM3$)	$IM3$ = -44.9 dB
อัตราส่วนสัญญาณต่อสัญญาณรบกวน (SNR)	SNR = 55.62 dB
การกินกำลังงาน (Power Consumption)	2.34 mw

จากนั้นนำวงจรมาทดสอบการทำงานตามข้อกำหนดเกี่ยวกับการเปลี่ยนแปลงคุณสมบัติตามกระบวนการผลิต แหล่งจ่ายศักดาและอุณหภูมิโดยได้ผลตามตารางข้างล่างนี้

ตารางสรุปผลการทำงานของวงจรฟิลเตอร์

คุณสมบัติ	ข้อกำหนด	แบบปรกติ	แบบช้า	แบบเร็ว
VDD	-	5.0 V	4.5 V	5.5 V
Temperature	-	30°C	70°C	0°C
อัตราขยายทางไฟตรง A_{DC}	0.0 dB	-0.053 dB	-0.012 dB	0.018 dB
ความถี่แถบผ่าน (f_P)	2 KHz	2 KHz	2 KHz	2 KHz
ความถี่แถบหยุด (f_S)	4 KHz	4 KHz	4 KHz	4 KHz
อัตรากระเพื่อมในแถบผ่าน (A_P)	< 0.5 dB	0.06 dB	0.06 dB	0.07 dB
การลดทอนในแถบหยุด (A_S)	> 45 dB	48.9 dB	50.3 dB	49.5 dB
ความเพี้ยนอินเตอร์มอดูเลชัน ($IM3$)	<-40 dB	-44.9 dB	-51.1 dB	- 42.3 dB
อัตราส่วนสัญญาณต่อสัญญาณรบกวน (SNR)	> 50 dB	55.62 dB	54.84 dB	56.34 dB
การปรับแต่งความถี่ (V_{TUNE})	-	5 V	5.7 V	4.51V
การกินกำลังงาน	น้อยที่สุด	2.34 mw	2.28 mw	2.45 mw

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากการทดสอบการทำงานของวงจรที่ออกแบบโดยใช้โปรแกรม HSPICE จะเห็นว่าวงจรที่ออกแบบทำงานได้ตามคุณสมบัติที่ต้องการตามข้อกำหนดทั่วไป , ข้อกำหนดเกี่ยวกับการเปลี่ยนแปลงคุณสมบัติตามกระบวนการผลิต แหล่งจ่ายศักดา อุณหภูมิและเงื่อนไขการทดสอบคุณสมบัติของวงจร ดังนั้นจึงสามารถนำวงจรที่ออกแบบไว้ไปทำการออกแบบเลเอาท์ของวงจร เพื่อใช้เป็นข้อมูลสำหรับทำโฟโตมาร์คที่ใช้ในขบวนการสร้างวงจรรวมได้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 5
การออกแบบเลเอาท์

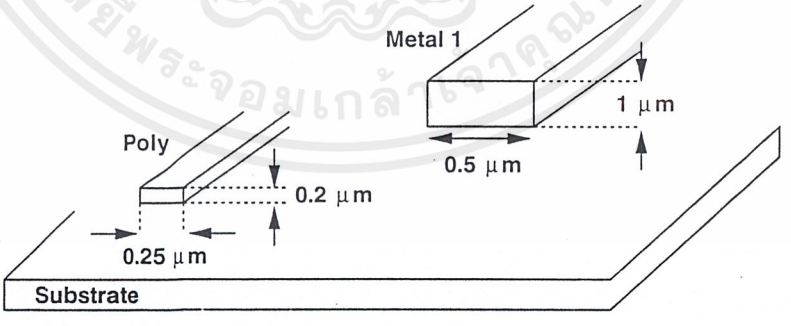
จากการจำลองการทำงานของวงจรที่ออกแบบโดยใช้โปรแกรม HSPICE จะเห็นว่าวงจรที่ออกแบบทำงานได้ตามคุณสมบัติที่ต้องการแล้ว ดังนั้นจึงสามารถนำวงจรที่ออกแบบไว้ไปทำการออกแบบเลเอาท์ของวงจร เพื่อใช้เป็นข้อมูลสำหรับทำโฟโตมาร์คที่ใช้ในขบวนการสร้างวงจรรวมได้ ซึ่งในบทนี้จะกล่าวถึงการเลเอาท์วงจรฟิลเตอร์ที่ได้ออกแบบไว้

5.1 กฎการออกแบบ (Design Rule)

ในขณะที่ความกว้างและความยาวของทรานซิสเตอร์แต่ละตัวมาจากการออกแบบวงจร ขนาดของทรานซิสเตอร์ในการเลเอาท์จะถูกอธิบายด้วยคำว่า ดีไซน์รูล (Design Rule) นั่นคือกฎที่การันตีว่าทรานซิสเตอร์นั้นมีลักษณะทางโครงสร้างและการเชื่อมต่อวงจรที่ถูกต้อง กฎการออกแบบส่วนใหญ่สามารถแบ่งเป็น 4 ส่วนใหญ่ ๆ ดังนี้

ความกว้างที่น้อยสุด(Minimum Width)

เป็นดีไซน์รูลที่บอกว่าความกว้างหรือความยาวของขนาดที่ระบุบนมาร์คต้องเกินกว่าค่าที่น้อยที่สุดที่กำหนดในเทคโนโลยีนั้นๆเช่นถ้าขนาดของโพลีซิลิกอนแคบเกินไปอาจจะทำให้ยากต่อการสร้าง นั่นคืออาจจะทำให้ขาดง่ายหรือมีค่าความต้านทานสูงเกิดขึ้นได้ จากรูปเป็นตัวอย่างของค่าที่ต่ำสุดในเทคโนโลยี 0.25 um โดยที่ความหนาของชั้นสารไม่ได้ถูกออกแบบโดยนักออกแบบเลเอาท์

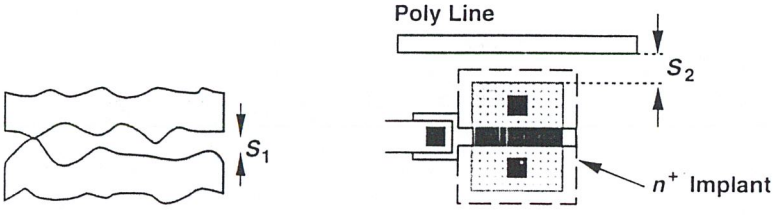


รูปที่ 5.1 ความกว้างและความหนาของโพลีและเมทัล

ระยะห่างที่น้อยสุด(Minimum Spacing)

เป็นดีไซน์รูลที่บอกว่าระยะห่างที่น้อยที่สุดที่เป็นไปได้ในเทคโนโลยีนั้น ๆ เช่นในรูปที่ 5.2 a) ถ้าพื้นที่ของโพลีซิลิกอนทั้งสองอยู่ชิดกันมากเกินไปอาจจะทำให้เกิดการลัดวงจรได้ หรือในรูป b)โพลีซิลิกอนที่อยู่บนและพื้นที่เดรนและซอร์สของทรานซิสเตอร์ ระยะห่างที่น้อยที่สุดตรงนั้นจะต้องแน่ใจว่าส่วนของสารเจือที่อยู่ล้อมรอบตัวทรานซิสเตอร์ไม่ไปทับ(overlap)ส่วนของโพลีซิลิกอน

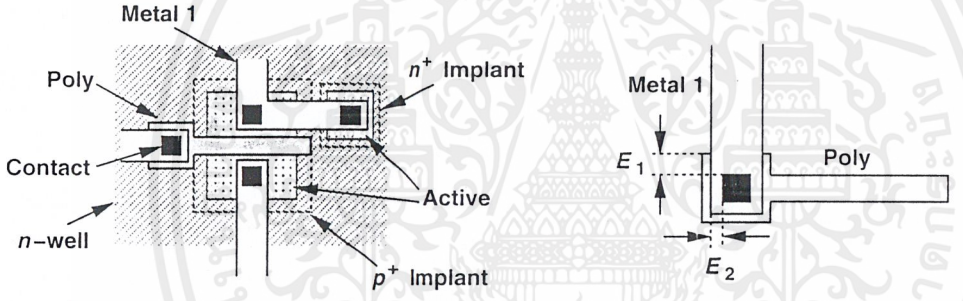
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 5.2 a) การจัดวงจรของโพลีที่อยู่ชิดกันมากเกิน b)ระยะห่างที่น้อยที่สุดระหว่างโพลีและแอคทีฟ

ขนาดส่วนล้อมรอบที่น้อยสุด(Minimum Enclosure)

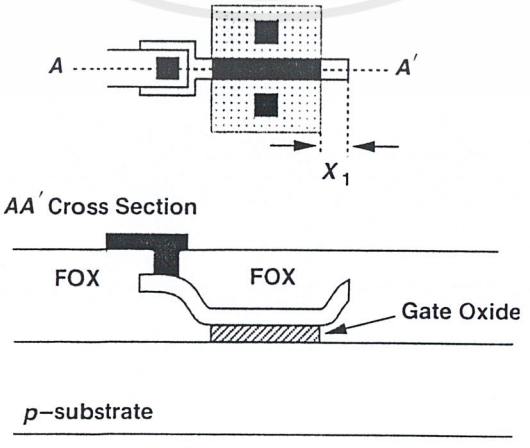
เป็นดีไซน์รูลที่สามารถอธิบายได้ดังรูปที่ 5.3 ซึ่งเป็นเลเอาท์ของ PMOS ทรานซิสเตอร์ คือ บริเวณ n-well และ p^+ ต้องล้อมรอบตัวทรานซิสเตอร์ด้วยขนาดที่เพียงพอซึ่งจะการันตีว่าทรานซิสเตอร์อยู่ใน n-well หรือ p^+ ตามที่เราต้องการ และรูปทางด้านขวามือเป็นรูปของโพลีคอนแทคท์ต่อเชื่อมกับโพลีและเมทัล 1 เพื่อให้มั่นใจว่าคอนแทคท์จะอยู่ในพื้นที่ของโพลีและเมทัล 1 ทั้งโพลีและเมทัล 1 ต้องล้อมรอบคอนแทคท์ด้วยขนาดที่เพียงพอ



รูปที่ 5.3 a) PMOS ทรานซิสเตอร์ b)Enclosure rule ของโพลีคอนแทคท์

ส่วนที่ขยายออกไปน้อยสุด(Minimum Extension)

เป็นดีไซน์รูลที่สามารถอธิบายได้ดังรูปที่ 5.4 คือส่วนเกทที่เป็นโพลีซิลิกอนต้องมีการขยายออกไปจากบริเวณแอคทีฟด้วยค่าค่าหนึ่งเพื่อให้มั่นใจว่าเวลานำไปสร้างจริงจะได้ความกว้างของส่วนเกทตามที่ต้องการดังรูป

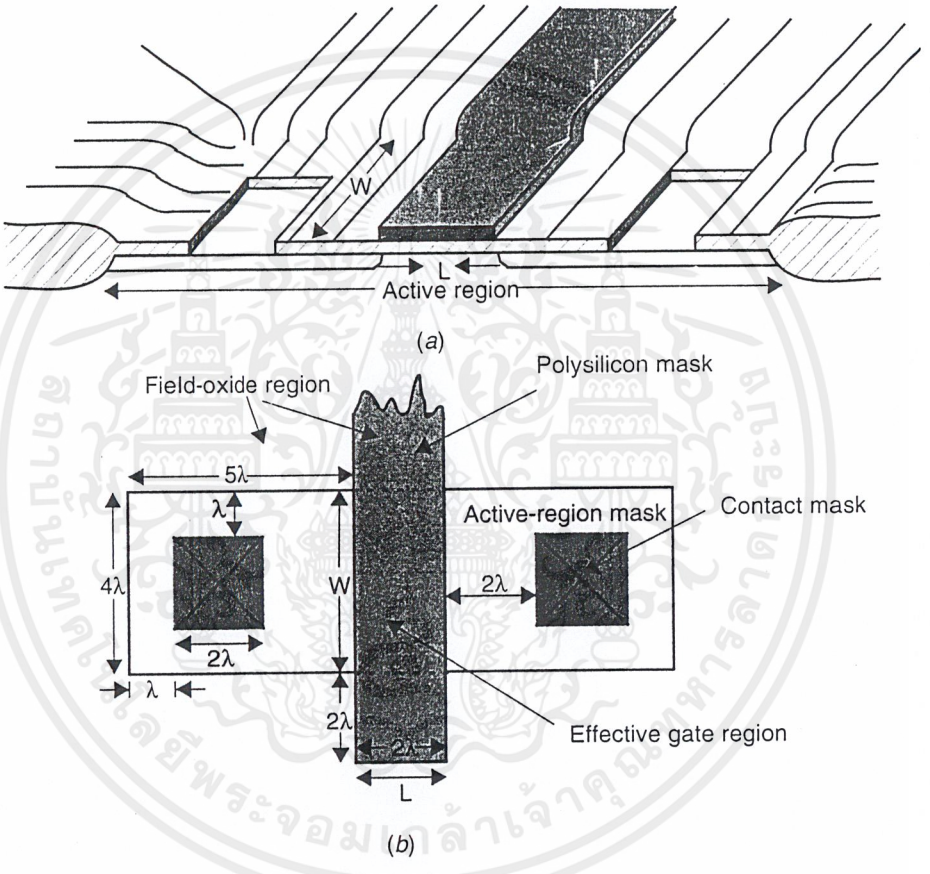


รูปที่ 5.4 การขยายของโพลีจากพื้นที่ของเกท

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

5.2 การเลเอาท์ทรานซิสเตอร์ (Layout of Transistor)

2 มาร์คที่สำคัญของมอสทรานซิสเตอร์คือมาร์คของแอคทีฟและเกทโพลี การตัดกันของสองมาร์คนี้จะกลายเป็นพื้นที่บริเวณแชนแนลของทรานซิสเตอร์ ดังรูป 5.5 a) แสดงให้เห็นโครงสร้างของมอสทรานซิสเตอร์และรูป b) แสดงเลเอาท์ของแอคทีฟมาร์คและโพลีมาร์ค ซึ่งในรูปโพลีมาร์คจะอยู่ทางแนวตั้งความยาวของโพลีที่ตัดผ่านแอคทีฟมาร์คคือความกว้างของทรานซิสเตอร์, Wและความกว้างของโพลีคือความยาวของทรานซิสเตอร์, L ซึ่งแสดงดังรูป a)



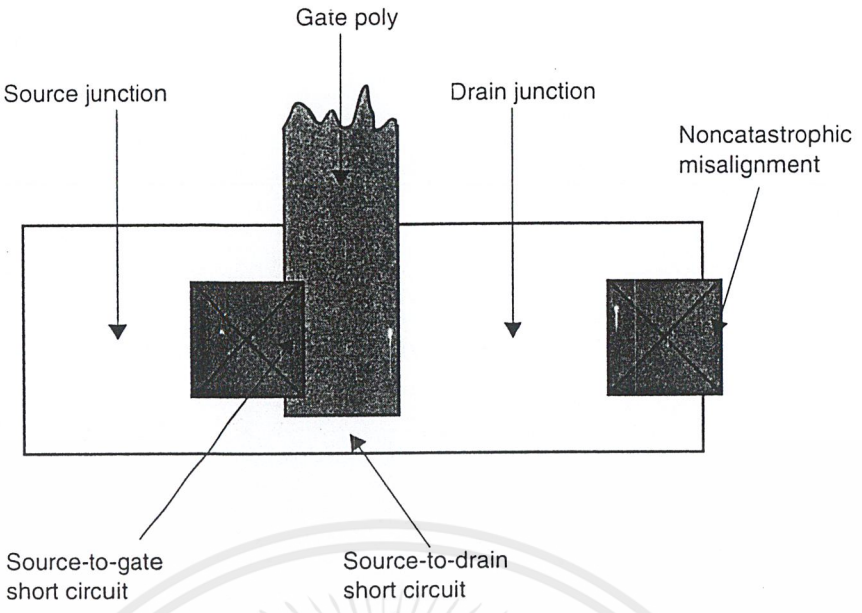
รูปที่ 5.5 a)โครงสร้างของมอสทรานซิสเตอร์

b) การเลเอาท์ของทรานซิสเตอร์

กฎการออกแบบเลเอาท์ของทรานซิสเตอร์จะแสดงในเทอมของ λ ซึ่ง $\lambda = \frac{1}{2}$ ของความยาวของเกทซึ่งจะทำให้ง่ายต่อความเข้าใจ และในรูป b)แสดงพื้นที่ของทรานซิสเตอร์ที่เล็กที่สุดที่เป็นไปได้ในการเลเอาท์ซึ่งแสดงในเทอมของ λ

สำหรับความผิดพลาดในการเลเอาท์มีอยู่หลายจุดที่นักออกแบบต้องระวังให้ดีในการวาดทรานซิสเตอร์ซึ่งแสดงในรูปที่ 5.6

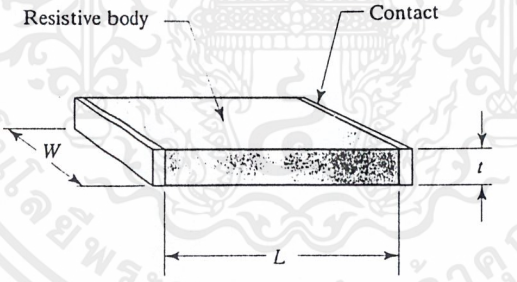
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 5.6 ตัวอย่างของมาร์คที่มีการวางผิดตำแหน่ง

5.3 การเลเอาท์อุปกรณ์พาสสีฟ (Layout of Passive Devices)

อุปกรณ์พาสสีฟอย่างเช่นตัวต้านทานและคาปาซิเตอร์มีความสำคัญอย่างมากในงานของการออกแบบวงจรอนาล็อกไอซี สำหรับการเลเอาท์ตัวต้านทานในเทคโนโลยีซีมอสเราสามารถพิจารณาค่าความต้านทานได้จากโครงสร้างดังรูป



รูปที่ 5.7 แสดงโครงสร้างพื้นฐานของตัวต้านทาน

สำหรับค่าความต้านทานเราสามารถหาได้จากสมการ $R = Rs\,(L/W)$; $Rs = \rho/t$

โดยที่ Rs คือค่าความต้านทานแผ่นมีหน่วย $\Omega/\square$

ρ คือค่าสภาพความต้านทานมีหน่วย Ω-cm

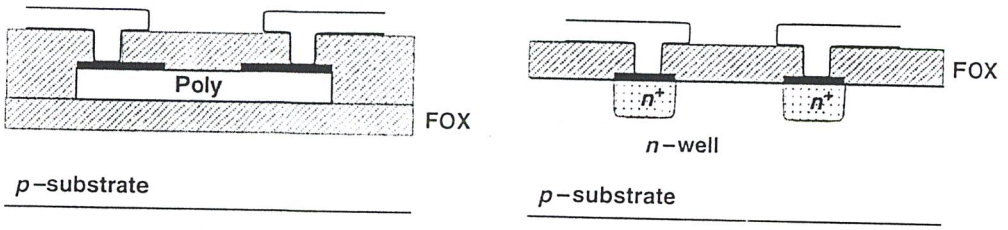
t คือความหนาของตัวต้านทาน

L คือความยาวของตัวต้านทาน

W คือความกว้างของตัวต้านทาน

ตัวต้านทานที่นิยมสร้างในเทคโนโลยีซีมอสคือตัวต้านทานแบบโพลี(Poly Resistor) และตัวต้านทานแบบเอ็นเวล(N-well Resistor) ซึ่งแสดงดังรูปที่ 5.8

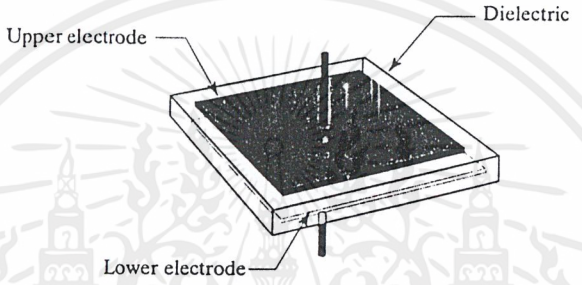
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



a) Poly Resistor b) N-well Resistor

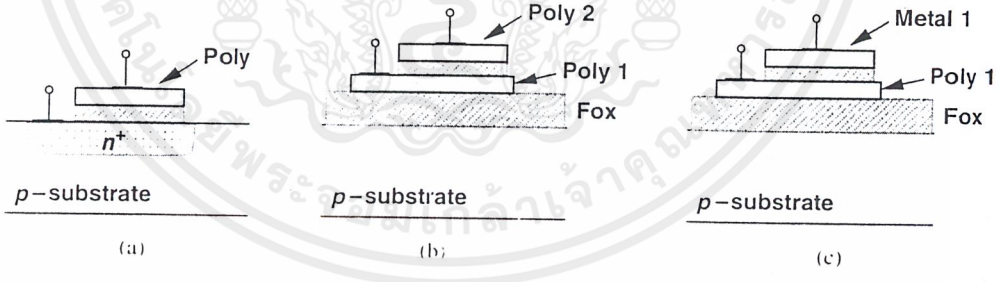
รูปที่ 5.8 แสดงโครงสร้างของตัวต้านทานในวงจรรวม

สำหรับการเลเอาท์ตัวเก็บประจุในเทคโนโลยีซีมอสเราสามารถพิจารณาค่าความจุได้จากโครงสร้างดังรูป



รูปที่ 5.9 แสดงโครงสร้างพื้นฐานของตัวเก็บประจุ

สำหรับค่าความจุเราสามารถหาได้จากสมการ $C \cong 0.0885\varepsilon rA/t$ ซึ่งโครงสร้างของคาปาซิเตอร์แบบต่าง ๆ แสดงดังรูปที่ 5.10 a) poly-diffusion , b) poly-poly และ c) metal-poly

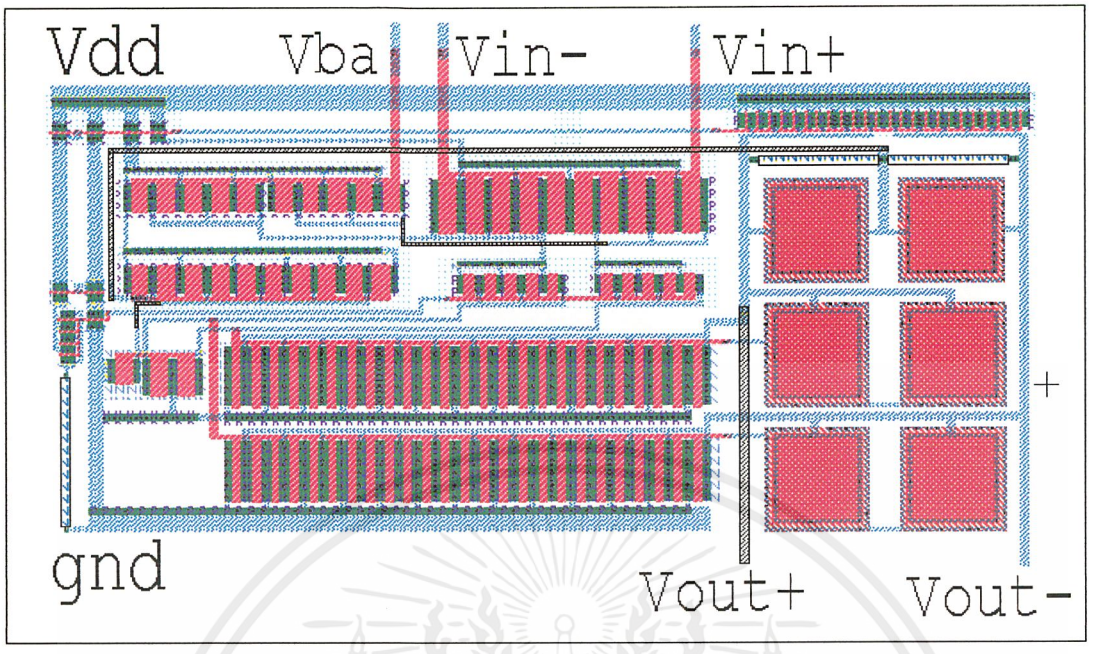


รูปที่ 5.10 แสดงโครงสร้างของตัวเก็บประจุในวงจรรวม

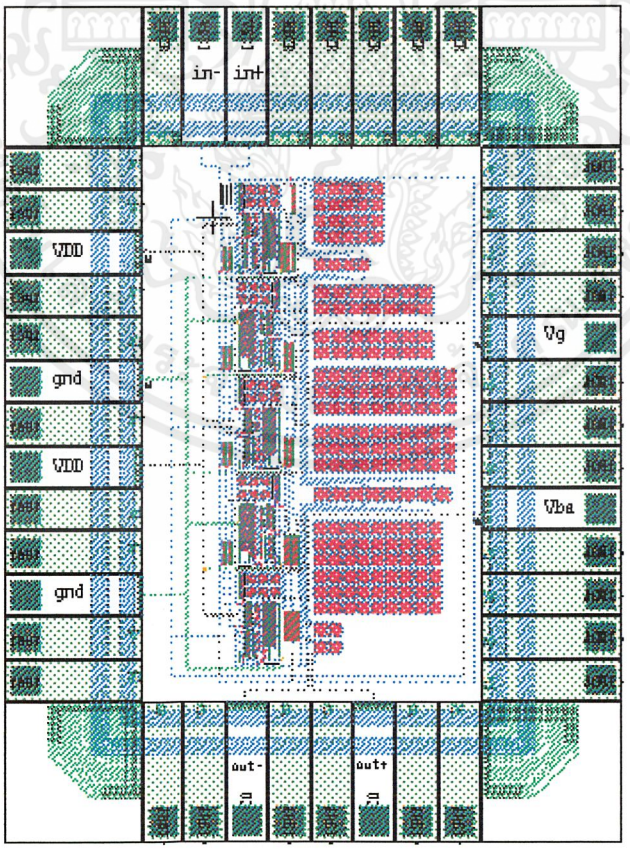
5.4 เลเอาท์วงจรฟิลเตอร์และทดสอบการทำงาน

หลังจากที่ได้ศึกษาลักษณะการเลเอาท์ของมอสทรานซิสเตอร์ ตัวต้านทานและตัวเก็บประจุแล้ว ต่อไปจะทำการเลเอาท์วงจรแอคทีฟฟิลเตอร์ที่ได้ออกแบบไว้ในบทที่แล้วซึ่งจะเริ่มเลเอาท์ในส่วนของวงจรออปแอมป์ก่อนจากนั้นจะเลเอาท์ส่วนอื่น ๆ ของวงจรต่อไปโดยในการเลเอาท์จะใช้โปรแกรม L-Edit ของบริษัท Tanner Research จากนั้นจะทำการจำลองการทำงานวงจรฟิลเตอร์ที่ได้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



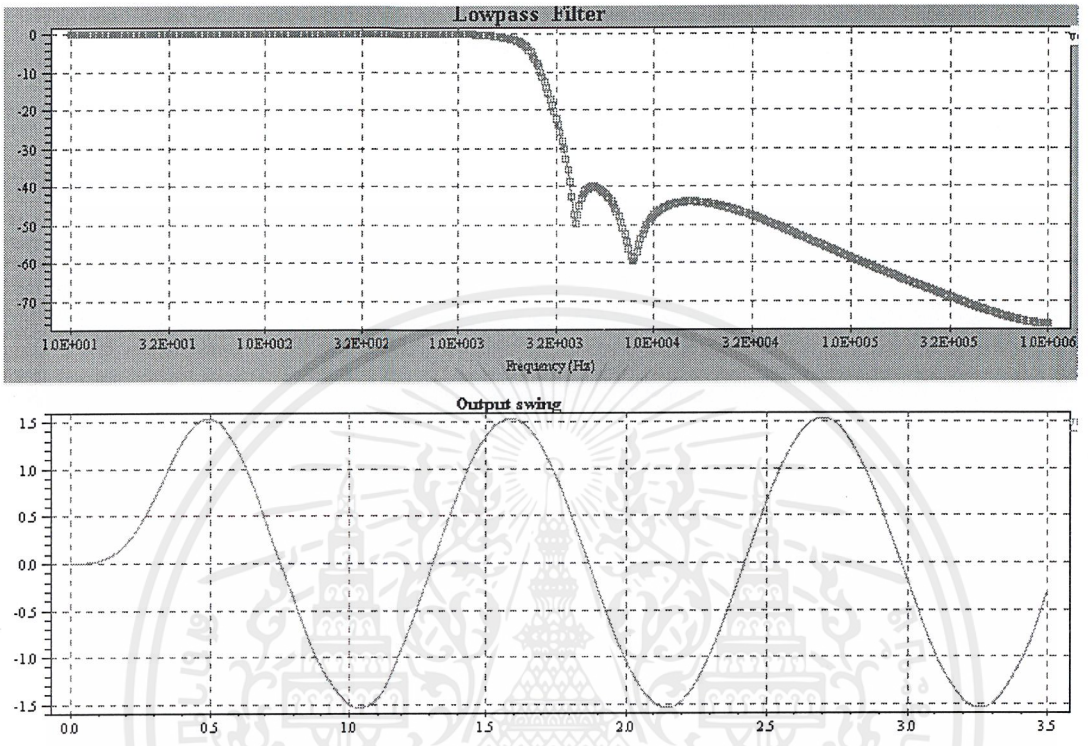
รูปที่ 5.11 แสดงการเลเอาท์วงจรฟูลลี่ออปแอมป์



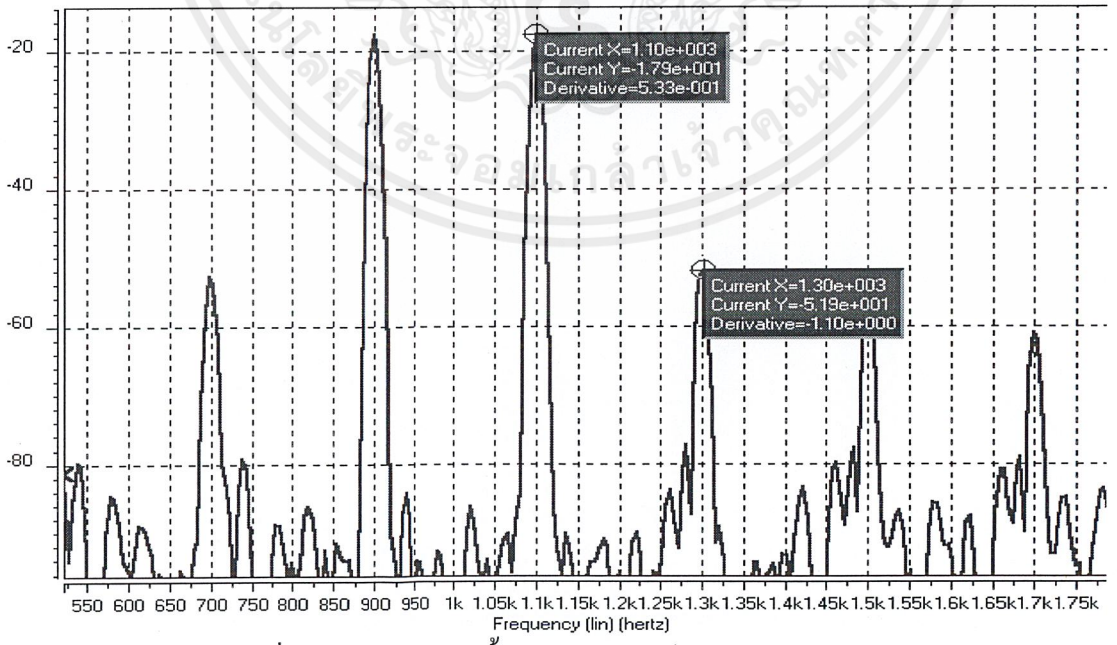
รูปที่ 5.12 แสดงการเลเอาท์วงจรฟูลลี่แอคทีฟฟิลเตอร์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

หลังจากเลเอาท์และตรวจสอบดีไซน์รูลของวงจรแล้ว ต่อไปจะแปลงจากรูปวงจรฟิลเตอร์ที่เลเอาท์ไว้ในโปรแกรม L-dit เป็นไฟล์ข้อมูลใน Tspice แล้วจำลองผลการทำงานของวงจร ซึ่งแสดงดังรูป



รูปที่ 5.13 แสดงผลตอบสนองทางความถี่และแรงดันเอาท์พุทของฟิลเตอร์



รูปที่ 5.14 แสดงความเพี้ยนแบบอินเตอร์มอดูเลชัน (*IM*3)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากนั้นนำวงจรมาทดสอบการทำงานตามข้อกำหนดเกี่ยวกับการเปลี่ยนแปลงคุณสมบัติตาม กระบวนการผลิต แหล่งจ่ายศักดาและอุณหภูมิโดยได้ผลตามตารางข้างล่างดังนี้

ตารางสรุปผลการทำงานของวงจรฟิลเตอร์

คุณสมบัติ	ข้อกำหนด	แบบปรกติ	แบบช้า	แบบเร็ว
VDD	-	5.0 *V*	4.5 *V*	5.5 *V*
Temperature	-	30°*C*	70°*C*	0°*C*
อัตราขยายทางไฟตรง A_{DC}	0.0 *dB*	-0.01 *dB*	-0.06 *dB*	- 0.05 *dB*
ความถี่แถบผ่าน (f_P)	2 *KHz*	2.24 *KHz*	2.27 *KHz*	2.27 *KHz*
ความถี่แถบหยุด (f_S)	4 *KHz*	4 *KHz*	4 *KHz*	4 *KHz*
อัตรากระเพื่อมในแถบผ่าน (A_P)	< 0.5 *dB*	0.05 *dB*	0.05 *dB*	0.05 *dB*
การลดทอนในแถบหยุด (A_S)	> 45 *dB*	46.0 *dB*	47.7 *dB*	46.6 *dB*
ความเพี้ยนอินเตอร์มอดูเลชัน (*IM*3)	<-40 *dB*	-33.8 *dB*	-43.4 *dB*	- 31.9 *dB*
อัตราส่วนสัญญาณต่อสัญญาณรบกวน	> 50 *dB*	55.22 *dB*	54.41 *dB*	55.96 *dB*
การปรับแต่งความถี่ (V_{TUNE})	-	5 V	5.7 V	4.51V
การกินกำลังงาน	น้อยที่สุด	1.85 mw	1.79 mw	1.95 mw

จากการทดสอบการทำงานของวงจรฟิลเตอร์จากการเลเอาท์นั้นจะเห็นว่าวงจรทำงานได้ตามคุณสมบัติที่ต้องการตามข้อกำหนดทั่วไป ข้อกำหนดเกี่ยวกับการเปลี่ยนแปลงคุณสมบัติตามกระบวนการผลิต แหล่งจ่ายศักดาและอุณหภูมิ ดังนั้นจึงสามารถนำเลเอาท์ของวงจรที่ได้ออกแบบไว้ใช้เป็นข้อมูลสำหรับทำโฟโตมาร์คที่ใช้ในขบวนการสร้างวงจรรวมได้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 6
บทสรุปและวิจารณ์

จากการจำลองการทำงานวงจรฟิลเตอร์ที่ออกแบบโดยใช้โปรแกรม *Hspice* จะเห็นว่าวงจรฟิลเตอร์ที่ออกแบบทำงานได้ตามคุณสมบัติที่ต้องการ ตรงตามเงื่อนไขการทดสอบคุณสมบัติของวงจร คือ อัตราการขยายทางไฟตรง ความถี่แถบผ่าน ความถี่แถบหยุด อัตรากระเพื่อมในแถบผ่าน การลดทอนในแถบหยุด อัตราส่วนต่อสัญญาณรบกวนและความเพี้ยนแบบอินเตอร์มอดูเลชัน จากนั้นนำวงจรที่ออกแบบไว้ไปทำการออกแบบเลเอาท์เพื่อใช้เป็นข้อมูลสำหรับทำโฟโตมาร์คที่ใช้ในขบวนการสร้างวงจรรวมแล้วจำลองการทำงานอีกครั้งหนึ่ง ซึ่งปรากฏว่าวงจรฟิลเตอร์ที่ได้จากการเลเอาท์นั้นทำงานได้ตรงตามคุณสมบัติที่ต้องการ

ในการออกแบบวงจรครั้งนี้ใช้เทคโนโลยี CMOS 0.5 μm ของบริษัท Alcatel จึงต้องทำการหาค่าคุณสมบัติจำเพาะที่จำเป็นในการคำนวณ จากนั้นจึงคำนวณวงจรแล้วทดสอบคุณสมบัติของวงจรซึ่งจากการจำลองการทำงานของวงจร ในครั้งแรกคุณสมบัติต่าง ๆ ที่ได้นั้นยังไม่ตรงตามความต้องการจึงจำเป็นต้องปรับแต่งวงจรตามความเป็นไปได้ เพื่อให้ค่าคุณสมบัติของวงจรตรงกับความต้องการ โดยการออกแบบวงจรจะต้องเลือกค่าอัตราส่วน W/L ของทรานซิสเตอร์ให้เหมาะสมด้วยเหตุผลต่าง ๆ เช่น อัตราการขยาย สัญญาณรบกวน แรงดันเอาท์พุท การกินกำลังงานของวงจรออปแอมป์ โดยในขณะเดียวกันจะต้องคำนึงถึงขนาดพื้นที่ชิพของวงจรและความเป็นไปได้ในการเลเอาท์วงจรที่ออกแบบด้วย

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

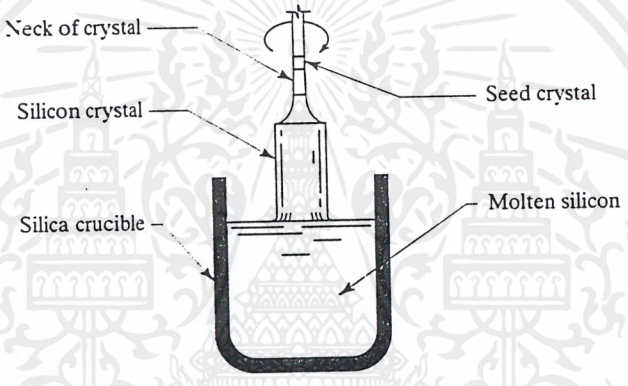
ภาคผนวก

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ภาคผนวก 1 กระบวนการสร้างวงจรรวม (Semiconductor Fabrication)

1. การเตรียมแผ่นผลึก (The Silicon Wafer)

ในขั้นแรกของขบวนการสร้างวงจรรวมจะต้องเตรียมแผ่นผลึก (Crystal wafer) ซึ่งสร้างจากผลึกของสารกึ่งตัวนำโดยมีลักษณะโครงสร้างผลึกเป็นแบบผลึกรูปเดี่ยว(Single crystal)ความสมบูรณ์ของผลึกที่ใช้จะมีความหมายต่อคุณภาพและประสิทธิของวงจรรวม สำหรับผลึกรูปเดี่ยวที่ใช้นี้จัดได้ว่าเป็นผลึกที่สมบูรณ์ที่สุดกล่าวคือมีสภาพเป็นผลึกตลอดทั้งเนื้อสารนั้น ในการสร้างผลึกรูปเดี่ยวปกติมักจะใช้คำว่าปลูกผลึก(Crystal growth) ปัจจุบันมีวิธีการสร้างผลึกรูปเดี่ยวที่นิยมคือวิธีของโชคราลสกี้ (Czochralski method) ดังรูป



รูปที่ 1 แสดงการสร้างผลึกรูปเดี่ยวด้วยวิธีของโชคราลสกี้

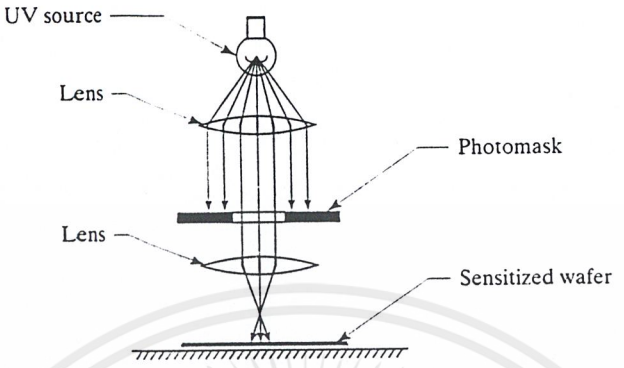
ซึ่งปัจจุบันนี้ขนาดของแท่งผลึกสามารถสร้างได้ให้มีเส้นผ่าศูนย์กลาง 10-20 เซนติเมตร (4-8 นิ้ว)โดยความยาวของแท่งผลึกจะขึ้นอยู่กับเวลาที่ใช้ในการสร้างโดยทั่วไปจะยาวมากกว่า 1เมตรเมื่อได้แท่งผลึกรูปเดี่ยวแล้วจะนำแท่งนี้ไปตัดออกเป็นแผ่นบาง ๆ ด้วยใบเลื่อยชนิดพิเศษซึ่งจะได้แผ่นผลึกที่เรียกว่าเวเฟอร์โดยจะมีความหนาประมาณ 300-500 ไมโครเมตร แผ่นผลึกที่ตัดได้จะต้องถูกนำมาขัดให้ผิวเรียบปราศจากรอยคมเลื่อยก่อนที่จะนำไปใช้ในการสร้างวงจรรวม

2. ขบวนการโฟโตลิโธกราฟี (Photolithography)

ขบวนการนี้นับว่าว่าเป็นหัวใจสำคัญของการสร้างวงจรรวม ใช้สำหรับการสะกัดหรือเปิดช่องของชั้นออกไซด์ออกเรามักเรียกสั้นๆ ว่า โฟโตเอชชิ่ง (Photo-etching) โดยการอาศัยน้ำยาไวแสงซึ่งมีทั้งชนิดลบและบวกเคลือบทับชั้นของออกไซด์ แล้วจึงนำไปฉายให้ถูกแสงโดยผ่านโฟโตมาส์กซึ่งเป็นกระจกแบบแผนแสดงรูปร่างของชิ้นส่วนวงจรรวมซึ่งมีลักษณะโปร่งแสงและทึบแสงเป็นบางส่วน เมื่อแสงผ่านกระจกโฟโตมาส์คลงไปถูกน้ำยาไวแสง สารไวแสงจะทำปฏิกริยาและมีคุณสมบัติเปลี่ยน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

แปลงไปเมื่อนำไปล้างในน้ำยาล้าง (Developer) แล้ว บางส่วนจะถูกละลายออกไปบางส่วนก็จะติดค้างอยู่บนชั้นของออกไซด์ ทั้งนี้ขึ้นอยู่กับชนิดของน้ำยาไวแสง

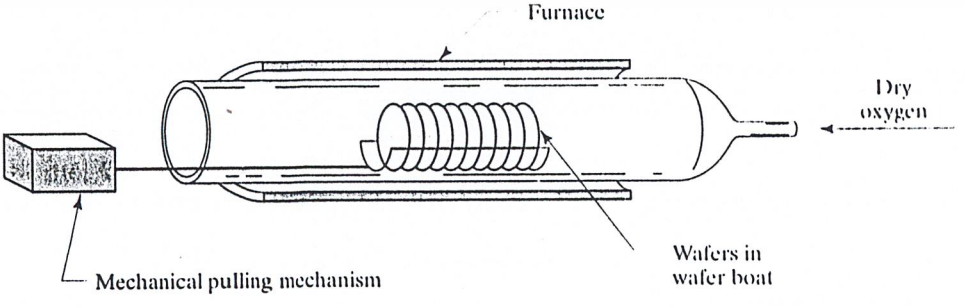


รูปที่ 2 แสดงการฉายแสงผ่านโฟโตมาส์คในขบวนการโฟโตลิโธกราฟี

เมื่อนำแผ่นผลึกดังกล่าวนี้ไปแช่ในน้ำยากัดออกไซด์ จะทำให้ออกไซด์ซึ่งไม่มีฟิล์มของสารไวแสงปิดอยู่ถูกน้ำยากัดละลายออกไป ส่วนชั้นของออกไซด์ที่มีฟิล์มไวแสงเคลือบอยู่จะไม่ถูกละลายดังนั้นในที่สุดเมื่อทำการลอกฟิล์มไวแสงออกแล้ว จะมีชั้นของออกไซด์ปกคลุมผิวแผ่นผลึกอยู่เฉพาะบางแห่งเท่านั้น นอกจากนี้อาจนำมาใช้กับการสกัดชั้นของโลหะอลูมิเนียมให้เกิดเป็นลวดลายของแถบตัวนำเชื่อมโยงชิ้นส่วนต่างๆ ที่สร้างขึ้นในชิ้นผลึกของซิลิกอนให้ต่อร่วมกันเป็นวงจรที่สมบูรณ์ ซึ่งวิธีการนี้ถูกเรียกว่าการเชื่อมต่อภายใน (Interconnection) ซึ่งเป็นเทคนิคที่สำคัญอย่างหนึ่งของกระบวนการสร้างวงจรรวม

3. ขบวนการออกซิเดชัน (Oxidation)

เป็นการสร้างชั้นของซิลิกอนไดออกไซด์ขึ้นบนผิวของแผ่นผลึกเพื่อใช้ป้องกันไม่ให้สารเจือแพร่เข้าไปในบริเวณที่ไม่ต้องการขณะที่ทำการแพร่สารเจือเพื่อสร้างรอยต่อพี-เอ็น โดยการนำแผ่นผลึกเข้าไปไว้ในท่อควอทซ์ที่อุณหภูมิ $1000-1200\,^{\circ}C$ และมีก๊าซออกซิเจนไหลผ่านซิลิกอนจะทำปฏิกริยากับออกซิเจนกลายเป็นซิลิกอนไดออกไซด์ (SiO_2) ปกคลุมผิวของแผ่นผลึกดังรูป

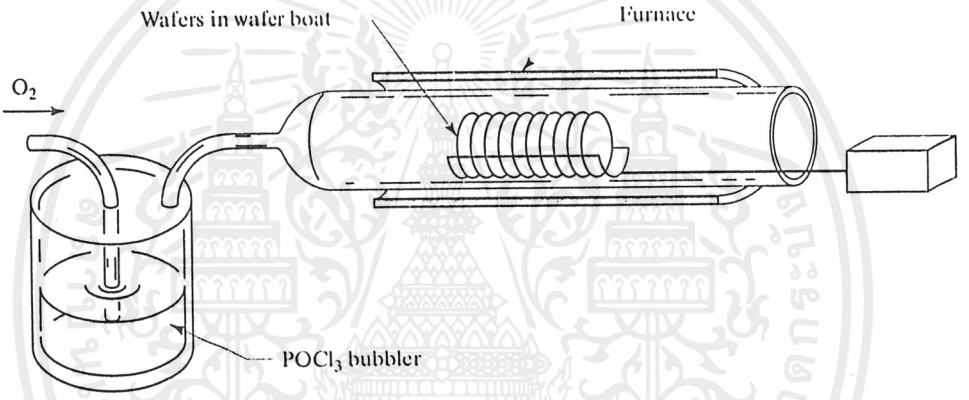


รูปที่ 3 แสดงการสร้างชั้นของซิลิกอนไดออกไซด์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4. ขบวนการแพร่สารเจือ (Diffusion)

การแพร่สารเจือเป็นเทคนิคอย่างหนึ่งสำหรับการสร้างรอยต่อพี-เอ็น โดยอาศัยทฤษฎีการแพร่สารในของแข็ง(Solid state diffusion) กล่าวคือ อะตอมของสารเจือซึ่งอยู่ในสภาพก๊าซสามารถจะแพร่เข้าไปในเนื้อของสารกึ่งตัวนำได้ และทำให้สารกึ่งตัวนำกลายเป็นชนิดพีหรือเอ็นตามต้องการได้ อุปกรณ์ที่ใช้ประกอบด้วยท่อควอทซ์ซึ่งถูกทำให้ร้อนราว 1000 °C - 1200 °C แผ่นผลึกซึ่งผ่านขบวนการโฟโตเอชชิ่งมาแล้วจะถูกนำไปวางไว้กลางท่อโดยมีก๊าซไนโตรเจนไหลผ่าน ขณะเดียวกันโดยการผ่านก๊าซโบรอนไตรคลอไรด์(BCl_3) หรือก๊าซฟอสฟีน (PH_3) เข้าไปจะทำให้อะตอมของโบรอนหรือฟอสฟอรัสซึ่งเป็นสารเจือชนิดพีและชนิดเอ็นตามลำดับ สามารถแพร่เข้าไปในผลึกซิลิกอนตรงบริเวณที่ไม่มีชั้นของออกไซด์ปิดได้ จากรูปแสดงการแพร่ฟอสฟอรัสโดยการผ่านก๊าซฟอสฟอรัสออกไซด์ คลอไรด์ ($POCl_3$)

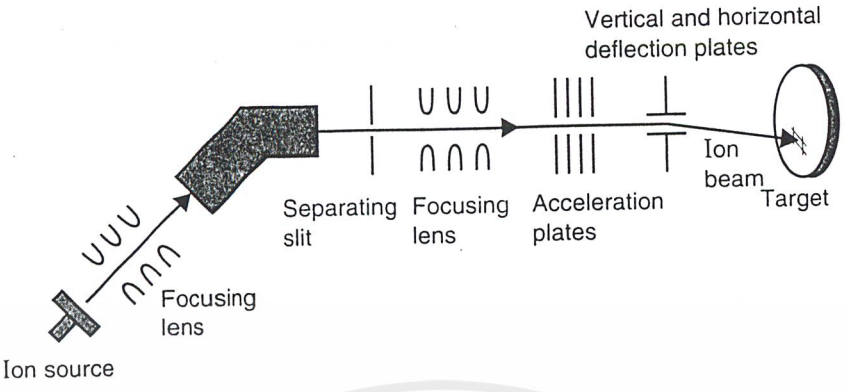


รูปที่ 4 แสดงการแพร่สารเจือเข้าไปในผลึกซิลิกอน

5. ขบวนการฝังไอออน(Ion implantation)

เทคนิคการแพร่อะตอมสารเจือมีข้อเสียคือ มี Lateral diffusion และความไม่แน่นอนในการควบคุมความหนาแน่นของอะตอมสารเจือดังนั้นในการออกแบบและสร้างวงจรรวมระดับ VLSI จึงหันมาใช้วิธีการ Ion implantation ซึ่งเป็นกระบวนการยิงไอออนของอะตอมสารเจือเข้าไปในผลึกของสารกึ่งตัวนำแทนวิธีการแพร่สาร โดยอาศัยหลักการทำให้อะตอมสารเจือมีสภาพเป็นไอออนจากนั้นไอออนจะถูกเร่งด้วยสนามไฟฟ้าค่าสูงไอออนจึงมีความเร็วสูง พลังงานจลน์มีค่ามากกระทั่งสามารถฝังเข้าไปในเนื้อผลึกของสารกึ่งตัวนำได้ โดยขั้นตอนสุดท้ายลำของไอออนจะถูกควบคุมและกวาดลงบนแผ่นผลึกฐานรอง ไอออนของสารเจือซึ่งมีพลังงานจลน์ค่าสูงจะถูกฝังเข้าไปในฐานรองและเพื่อไม่ให้ไอออนสูญเสียพลังงานลำของไอออนจะถูกเร่งในสูญญากาศ โดยอุปกรณ์ดังกล่าวนี้ถูกเรียกว่า “Ion Implantor ” ซึ่งแสดงดังรูปที่ 5

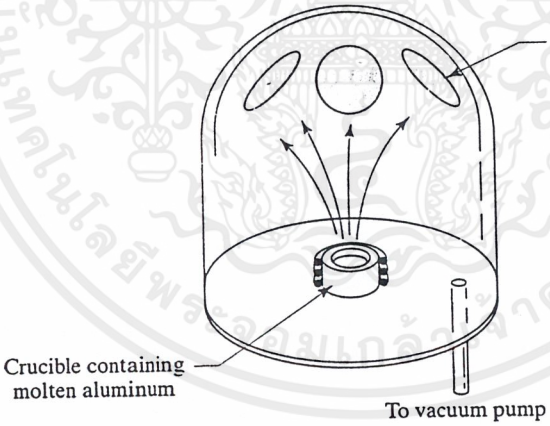
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 5 แสดงขบวนการฝังไอออน

6. ขบวนการเมตัลไลเซชัน (Metallization)

ขบวนการเมตัลไลเซชันกระทำขึ้นเพื่อการต่อชิ้นส่วนต่างๆ ในก้อนผลึกเดียวกันประกอบเข้าเป็นวงจรรวมที่สมบูรณ์รวมทั้งเป็นการสร้างรอยสัมผัสที่ตำแหน่งต่างๆ อีกด้วยโดยทั่วๆไปโลหะที่ใช้ก็คือ อะลูมิเนียมโดยจะเริ่มต้นจากการเคลือบโลหะอะลูมิเนียมลงบนผิวหน้าของแผ่นผลึกซิลิกอนด้วยวิธีการเคลือบโลหะในสูญญากาศ (Vacuum evaporation) ให้มีความหนาราว 1 ไมครอนดังรูป



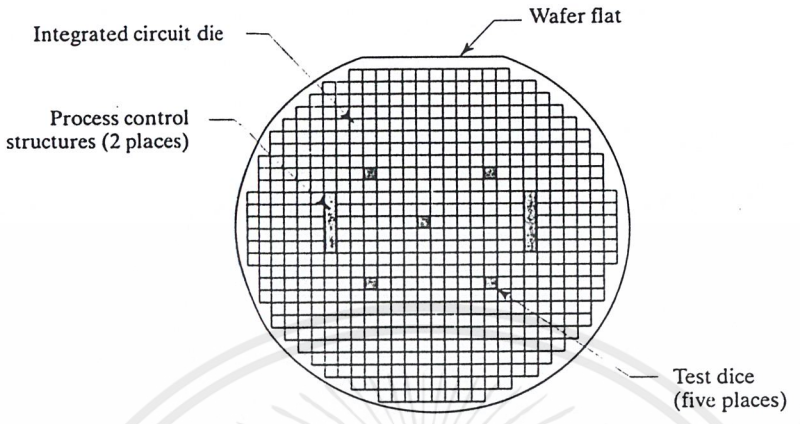
รูปที่ 6 แสดงการเคลือบโลหะอะลูมิเนียมลงบนผิวหน้าของแผ่นผลึกซิลิกอน

7. ขบวนการเก็บบรรจุ (Packaging)

ขบวนการสุดท้ายของการสร้างวงจรรวมก็คือ ขบวนการเก็บบรรจุ ซึ่งกระทำเพื่อช่วยระบายความร้อนที่เกิดขึ้นในขณะที่วงจรกำลังทำงานและเพื่อต่อสายลวดความนำจากจุดต่างๆ ในวงจรออกไปใช้งาน นอกจากนี้แล้วยังมีผลในการช่วยป้องกันความเสียหายที่อาจจะเกิดขึ้นได้อันเนื่องมาจากสารเคมีหรือสิ่งสกปรกอื่นๆ จากภายนอก ขบวนการนี้จะเริ่มจากการตัดแบ่งแผ่นผลึกสารกึ่งตัวนำซึ่งประกอบ

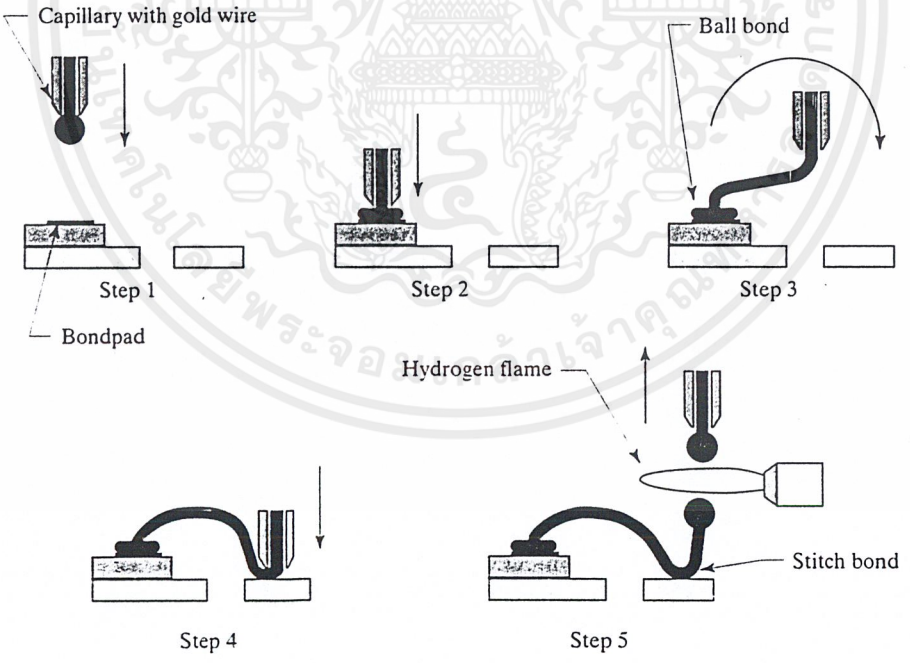
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ด้วยวงจรรวมที่เหมือนกันจำนวนนับพันชิ้นเพื่อให้ได้วงจรรวมชิ้นเล็ก ๆ ซึ่งแต่ละชิ้นเราเรียกว่า ไดซ์ ดังรูป



รูปที่ 7 แสดงแผ่นเวเฟอร์ซึ่งถูกแบ่งเป็นชิ้นเล็ก ๆ

จากนั้นจึงทำการคัดเลือกเฉพาะไดซ์ที่สมบูรณ์ไม่มีรอยชำรุดนำไปทำการเก็บบรรจุ ซึ่งอาจกระทำได้หลายวิธีทั้งนี้แล้วแต่ชนิดของวงจรรวมหรือความต้องการของผู้สร้าง การเก็บบรรจุจะกระทำไปพร้อมๆ กับการต่อสายลวดความนำจากชิ้นของวงจรรวมออกมายังขาโลหะของฐานบรรจุ(Bond pads)



รูปที่ 8 แสดงการต่อสายลวดทองคำจากชิ้นของวงจรรวมออกมายังขาโลหะของฐานบรรจุ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ภาคผนวก 2 กระบวนการสร้างวงจรรวมแบบซีมอสชนิดซิลิกอนเกท

เป็นเทคโนโลยีที่ใช้สำหรับการสร้างวงจรรวมชนิดมอสซึ่งในวงจรประกอบไปด้วยมอสทรานซิสเตอร์ชนิดที่มีส่วนเกทเป็นโพลีซิลิกอน(Poly silicon) อาจเรียกสั้นๆว่าโพลีเกทหรือซิลิกอนเกท จัดว่าเป็นเทคโนโลยีที่ทำให้วงจรรวมแบบนี้มีประสิทธิภาพและคุณภาพดีกว่าแบบเกทโลหะ กล่าวคือจะทำให้ได้วงจรรวมที่มีความหนาแน่นของตัวอุปกรณ์สูง (High density) และมีความเร็วในการทำงานสูง (High speed) อีกด้วยและถือเป็นเทคโนโลยีมาตรฐานสำหรับการผลิตวงจรรวมของมอสโดยเฉพาะวงจรรวมระดับ VLSI

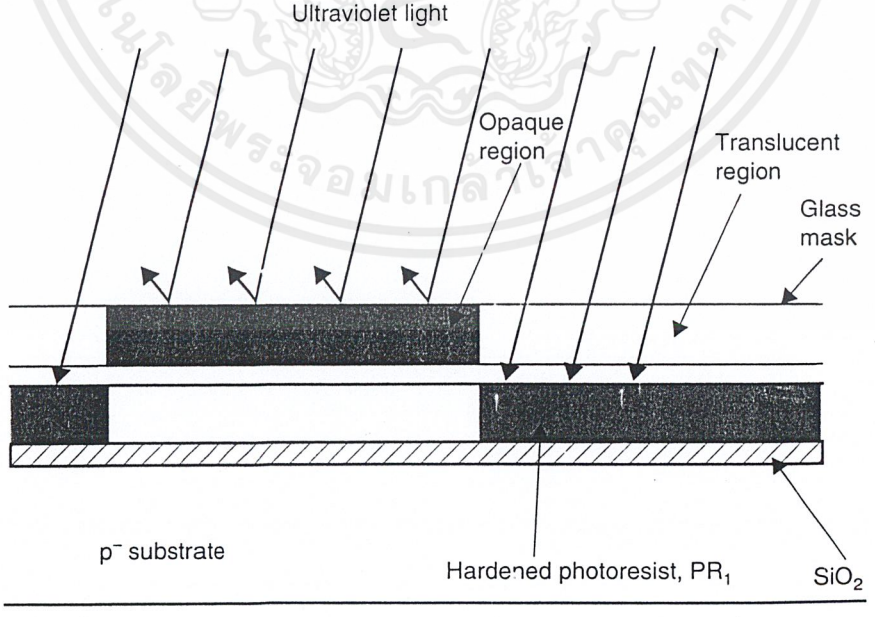
กระบวนการสร้างวงจรรวมแบบซีมอสสามารถทำได้ 2 โครงสร้างคือ แบบบ่อแยกชนิด เอ็น (N-well) และแบบบ่อแยกชนิดพี (P-well) ในที่นี้จะใช้ตัวอย่างของกรณีบ่อแยกชนิดเอ็น โดยมีลำดับขั้นตอนของการสร้างเป็นขั้นตอนต่างๆ ดังนี้

1) Initial wafer เริ่มจากการเตรียมแผ่นผลึกซิลิกอนชนิดพี (P-type Silicon)ซึ่งทำหน้าที่เป็นฐานรองหรือซับสเทรท(Substrate)

2) N-well Fabrication สร้างส่วนที่เป็นบ่อแยกชนิดเอ็นบางครั้งเรียกว่า Well หรือ Tub โดย

ก) สร้างชั้นซิลิกอนไดออกไซด์(Oxidation)

ข) เปิดชั้นออกไซด์บริเวณที่จะทำบ่อแยกชนิดเอ็นด้วยกระบวนการโฟโตลิโธกราฟี โดยใช้โฟโตมาส์คที่ 1 คือทับมาส์ค (Tub mask) ซึ่งเป็นมาส์คสำหรับสร้างบ่อแยก



รูปที่ 1 แสดงการฉายแสงผ่านโฟโตมาส์คเพื่อสร้างบ่อแยก

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ค) เมื่อเปิดชั้นออกไซด์แล้วทำการฝังอิออน(Ion implant) ของอะตอมสารเจือชนิดเอ็นจากนั้นทำการลอกชั้นของน้ำยาไวแสงออกให้หมด แล้วทำการขับให้อะตอมสารเจือที่ถูกฝังที่ผิวผลึกเคลื่อนที่ลึกเข้าไปในผลึก(Drive in) เพื่อให้บ่อแยกที่เกิดขึ้นมีความลึกตามที่ออกแบบไว้

3) Isolation ทำการแยกส่วนโดย

ก) สร้างชั้นซิลิกอนไดออกไซด์

ข) สร้างชั้นซิลิกอนไนไตรด์ (Silicon nitride : Si_3N_4) ด้วยวิธีซีวีดี (CVD)

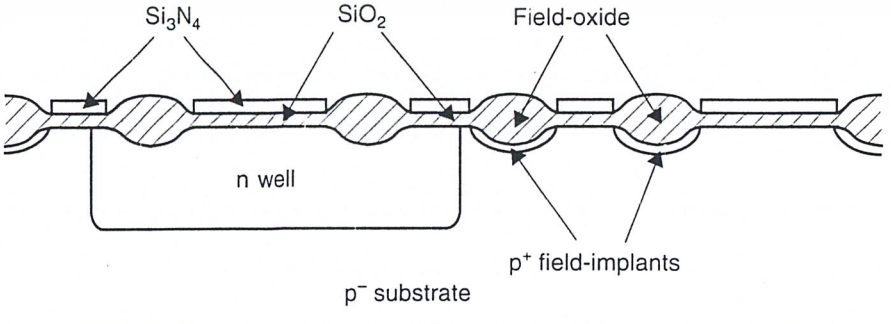
ค) ใช้กระบวนการลิโธกราฟีเปิดชั้นของซิลิกอนไนไตรด์รอบๆบริเวณที่จะสร้างมอสทรานซิสเตอร์ โดยใช้โฟโตมาส์คที่ 2 เรียกว่า ฟิลด์มาส์ค (Field mask) หลังการสกัดชั้นของซิลิกอนไนไตรด์แล้วชั้นของน้ำยาไวแสงจะถูกปล่อยทิ้งไว้เพื่อเป็นหน้ากากป้องกันอะตอมสารเจือในกระบวนการฝังอิออน(Ion implantation)

ง) ทำการฝังอิออนอะตอมสารเจือชนิดพีเพื่อสร้างส่วน Channel stop ชนิดพี(p+) ด้วยกระบวนการฝังอิออน(Ion implantation) โดยใช้อะตอมโบรอนซึ่งอะตอมของโบรอนจะถูกเร่งให้มีความเร็วสูงด้วยสนามไฟฟ้าแล้วถูก implant ให้ทะลุผ่านชั้นของออกไซด์เข้าไปในผลึกซิลิกอน ส่วนของ p+ ที่เกิดขึ้นนี้จะทำหน้าที่ป้องกันการเกิด channel หรือเป็นส่วนที่ตัดแชนแนลออกจากกัน เนื่องจากหากด้านบนของบริเวณนี้มีแถบโลหะอลูมิเนียมพาดผ่านอาจทำให้มีสนามไฟฟ้าตกคร่อมออกไซด์และเกิดการเหนี่ยวนำประจุกระทั่งเกิดเป็นแชนแนลต่อเชื่อมทรานซิสเตอร์ที่อยู่ใกล้กันได้ดังนั้นส่วนของ p+ จึงเป็นส่วนที่ตัดแชนแนลออกจากกันหรือทำหน้าที่เป็น Channel stop

จ) ลอกชั้นของน้ำยาไวแสงออกให้หมด

ฉ) ทำการสร้างชั้นออกไซด์หนา (Field oxide) ด้วยกระบวนการออกซิเดชัน ชั้นของออกไซด์จะเกิดขึ้นเหนือบริเวณของออกไซด์เดิม คือบริเวณที่ไม่มีชั้นซิลิกอนไนไตรด์ปกคลุมอยู่ ชั้นของออกไซด์หนานี้จะทำหน้าที่แยกส่วนระหว่างตัวทรานซิสเตอร์ที่อยู่ใกล้กัน(Tr Isolation)

ช) ทำการลอกชั้นซิลิกอนไนไตรด์ออก



รูปที่ 2 แสดงโครงสร้างของมอสเมื่อสร้างชั้นออกไซด์หนาแล้ว

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ขั้นตอนต่อไปก็คือการสร้างตัวมอสทรานซิสเตอร์ซึ่งจะสร้างส่วนเกทก่อนแล้วจึงสร้างส่วนซอร์สและเดรนทีหลัง

4) Gate Fabrication ทำการสร้างส่วนเกทโดยมีขั้นตอนดังนี้

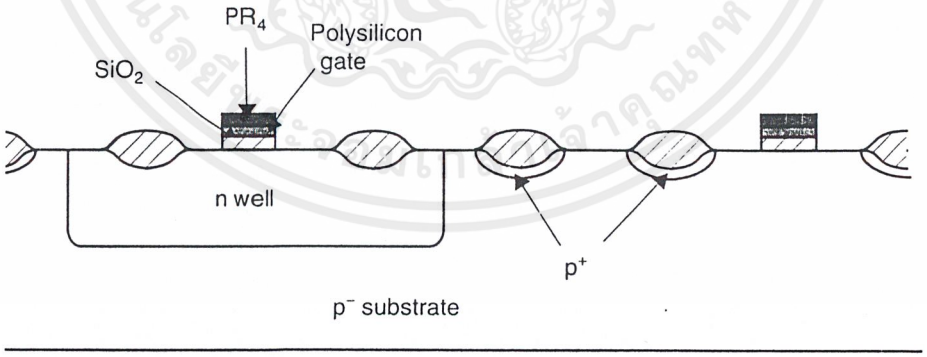
ก) ทำการสกัดชั้นออกไซด์ที่มีอยู่เดิมบริเวณส่วนเกทออกให้หมด โดยจุ่มลงในกรดกัดออกไซด์ เนื่องจากออกไซด์บริเวณเกทบางกว่าบริเวณฟิลด์ออกไซด์ จึงถูกสกัดออกไปได้โดยง่ายส่วนบริเวณฟิลด์ออกไซด์จะยังคงเหลืออยู่

ข) ทำการสร้างชั้นของออกไซด์บริเวณเกทขึ้นใหม่ซึ่งออกไซด์ชั้นนี้ต้องมีสภาพเป็นฉนวนที่ดีมีความบริสุทธิ์สูงหรือที่เรียกว่า Detect free and high quality ซึ่งจุดนี้ถือเป็นขั้นตอนที่สำคัญมากที่สุดของกระบวนการสร้างมอสทรานซิสเตอร์ โดยปกติชั้นของเกทออกไซด์จะมีความหนา ประมาณ 250-1000 อังสตรอม

ค) ทำการสร้างชั้นของโพลีซิลิกอน(Poly silicon) เพื่อทำหน้าที่เป็นส่วนเกทโดยกระบวนการซีวีดีจะทำให้ได้ชั้นของโพลีซิลิกอนเคลือบอยู่บนผิวหน้าของแผ่นผลึก

ง) ทำการแพร่อะตอมสารเจือชนิดเอ็น(n+) ของฟอสฟอรัสเข้าไปในชั้นของโพลีซิลิกอนเพื่อเพิ่มค่าความนำให้สูงขึ้น

จ) ใช้กระบวนการโฟโตลิโธกราฟีทำการสกัดชั้นของโพลีเกทให้เหลืออยู่เฉพาะส่วนที่เป็นบริเวณเกทเท่านั้น ซึ่งทำได้ด้วยการใช้โฟโตมาส์คส่วนเกท(Gate mask) ซึ่งเป็นมาส์คที่ 3 ขนาดของส่วนเกทจะเป็นตัวกำหนดความกว้างและความยาวของแชนแนล ซึ่งในการสร้างส่วนเกทนี้จะสร้างทั้งเอ็นมอสและพีมอสพร้อมกัน



รูปที่ 3 แสดงโครงสร้างของมอสเมื่อสร้างส่วนเกทแล้ว

5) Source and Drain (NMOS) Fabrication ทำการสร้างเอ็นมอสทรานซิสเตอร์

ก) ใช้น้ำยาไวแสงเคลือบผิวหน้าแผ่นผลึกทั้งหมดแล้วใช้โฟโตมาส์คที่ 4 เรียกว่า Tub area mask เปิดชั้นของน้ำยาไวแสงเฉพาะบริเวณที่จะสร้างเอ็นมอสออก โดยบริเวณบ่อแยกหรือบริเวณทับ (Tub) จะมีชั้นน้ำยาไวแสงเคลือบอยู่

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

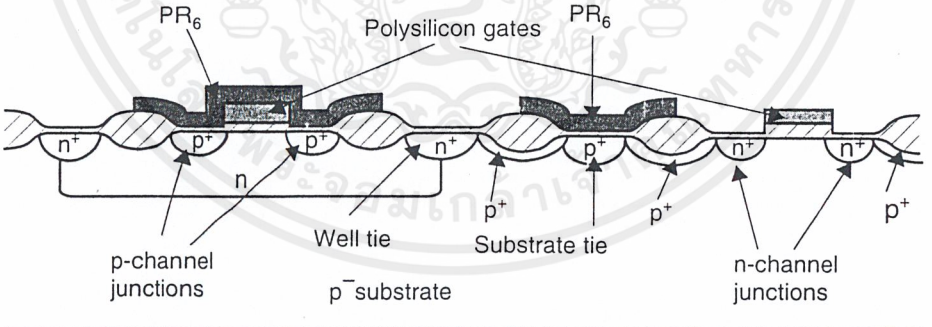
ข) จากนั้นทำการสร้างส่วนมอสและเดรนชนิดเอ็น(n+) โดยกระบวนการอิออนอิมพลานเตชัน โดยชั้นของโพลีเกทและชั้นของออกไซด์จะทำหน้าที่เป็นหน้ากากป้องกันไม่ให้อะตอมฟอสฟอรัสทะลุเข้าไปในผลึกซิลิกอน ดังนั้นอะตอมฟอสฟอรัสจะเข้าไปในผลึกซิลิกอนเฉพาะบริเวณที่ไม่มีชั้นหน้ากากทั้งสองนี้ปกคลุมอยู่ซึ่งก็คือบริเวณที่เป็นส่วนซอร์สและเดรนนั่นเอง วิธีการเช่นนี้จะทำให้ส่วนซอร์สและเดรนถูกสร้างขึ้นที่ตำแหน่งที่ถูกต้องที่สุดได้โดยไม่ต้องทำการปรับซ้อนตำแหน่งให้ยุ่งยาก และถือเป็นการปรับซ้อนตำแหน่งในตัวเองโดยอัตโนมัติดังนั้นเทคนิคดังกล่าวนี้จึงถูกเรียกว่าเทคนิค Self alignment

ค) ทำการ Anneal ส่วนซอร์สและเดรนโดยทิ้งไว้ในอุณหภูมิสูงในบรรยากาศของก๊าซไนโตรเจน เพื่อให้อะตอมสารเจือที่ถูกอิมพลานหรือฝังอยู่ที่ผิวของแผ่นผลึกสามารถเคลื่อนที่เข้าไปในผลึกซิลิกอนได้มากกว่าเดิมและอยู่ในตำแหน่งที่มั่นคงภายในผลึก เมื่อสร้างเอ็นมอสเสร็จแล้วจึงลอกน้ำยาไวแสงออกให้หมด

6) Source and Drain (PMOS) Fabrication ทำการสร้างพีมอสทรานซิสเตอร์

ก) ใช้น้ำยาไวแสงเคลือบผิวหน้าแผ่นผลึกทั้งหมดแล้วใช้โฟโตมาส์คที่ 5 เรียกว่า N-channel area mask เปิดชั้นของน้ำยาไวแสงเฉพาะบริเวณที่จะสร้างพีมอสออก โดยบริเวณเอ็นมอสทรานซิสเตอร์ที่สร้างเสร็จแล้วจะมีชั้นน้ำยาไวแสงปกคลุมอยู่

ข) จากนั้นจึงทำการสร้างส่วนซอร์สและเดรนชนิดพีโดยการอิมพลานอิออนของสารเจือชนิดพีแล้วทำการ Anneal ต่อไป



รูปที่ 4 แสดงโครงสร้างของมอสเมื่อสร้างส่วนซอร์สและเดรนแล้ว

7) Glass and Contact เป็นการสร้าง PSG (Phospho Silicate Glass) และบริเวณช่องสัมผัส (Contact window) โดยมีขั้นตอนดังนี้

ก) ทำการสร้างชั้น Phospho Silicate Glass โดยกระบวนการซีวีดีหลังจากนั้นทำการ Reflow โดยใช้อุณหภูมิสูงเพื่อให้ชั้น PSG มีผิวที่เรียบและช่วยลดปัญหาของ Step coverage นอกจากนี้ยังช่วยป้องกันไม่ให้อะตอมของ Alkali metal เช่นอะตอมของโซเดียม (Na) เข้าไปในผลึก

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ข) ใช้กระบวนการโฟโตลิโธกราฟีเปิดชั้นของ PSG บริเวณที่จะเป็นช่องสัมผัสออกด้วยโฟโตมาส์คที่ 6 เรียกว่า คอนแทคมาส์ก (Contact mask)

8) Metallization เป็นขั้นตอนของการทำขั้วโลหะ โดยมีขั้นตอนดังนี้

ก) ทำการสร้างชั้นของอะลูมิเนียมจะทำให้ได้ชั้นของอลูมิเนียมเคลือบอยู่ทั่วผิวของแผ่นผลึก

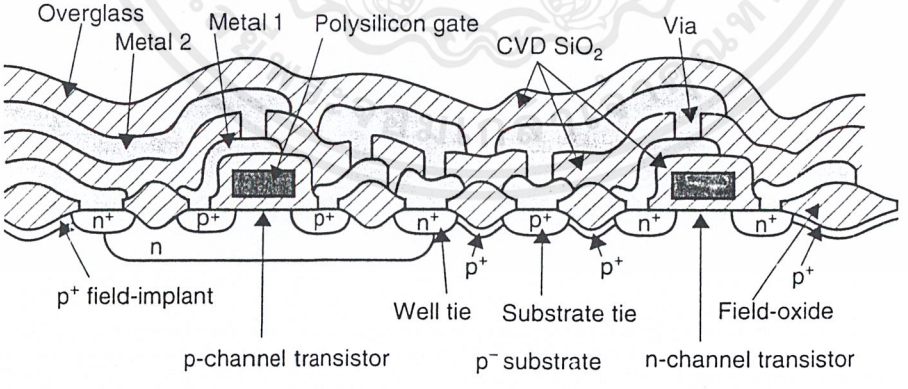
ข) ใช้กระบวนการโฟโตลิโธกราฟีสกัดอลูมิเนียมบริเวณที่ไม่ต้องการออกโดยโฟโตมาส์คที่ 7 เรียกว่า เมตัลมาส์ค (Metal mask) ชั้นของอะลูมิเนียมจะเหลืออยู่เฉพาะบริเวณที่เป็นขั้วสัมผัสและเป็นแถบตัวนำเชื่อมต่อชิ้นส่วนต่างๆ ของวงจร

ค) ทำการอัลลอย (Alloy) โดยทิ้งไว้ในอุณหภูมิสูงราว 500 °C ในบรรยากาศของก๊าซไนโตรเจน เพื่อให้เกิดเป็นอัลลอยของชั้นซิกอนและชั้นอะลูมิเนียม (Si-Al alloy) เมื่อเสร็จขั้นตอนนี้แล้วสามารถนำไปทำการตรวจสอบคุณสมบัติเบื้องต้นของวงจรรวมได้ (Testing)

9) Passivation เป็นขั้นตอนของการสร้างชั้นป้องกันผิวหน้าของแผ่นผลึก โดยมีขั้นตอนดังนี้

ก) สร้างชั้นป้องกันผิวหน้า (Passivation layer) ซึ่งเป็นชั้นของซิลิกอนไดออกไซด์โดยกระบวนการซีวีดี (CVD) เพื่อทำหน้าที่ป้องกันความเสียหายที่จะเกิดขึ้นบนผิวแผ่นผลึก โดยสามารถป้องกันรอยขูดขีด ความชื้น และสิ่งแปลกปลอมอื่น ๆ

ข) ใช้กระบวนการโฟโตลิโธกราฟีเปิดชั้นป้องกันผิวหน้า บริเวณที่เป็นส่วนที่จะมีการเชื่อมต่อวงจรรวมออกไปใช้งานภายนอก (Bonding pad) โดยการใช้โฟโตมาส์คชิ้นสุดท้ายที่เรียกว่า แผดมาส์ค (Pad mask) เมื่อถึงขั้นตอนนี้ก็จะได้โครงสร้างที่สมบูรณ์ของวงจรซึ่งประกอบไปด้วยเอ็นมอสและพีมอสทรานซิสเตอร์ดังรูป



รูปที่ 5 แสดงโครงสร้างของมอสทรานซิสเตอร์ที่สมบูรณ์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ภาคผนวก 3 ไฟล์ข้อมูลของวงจรที่ออกแบบ

Netlist of Specification of MOS Transistor

```
*Parameter for Lowpass Filter
.option captab ingold=2
.param      ival=10u        wval=1u         lval=1u
V1      Vdd         0       dc      5v
******************************** test nmos* ********************************
i1      Vdd         1       dc      ival
Vsense      1       2       dc      0
M1          2       2       0       0       en      w=wval      l=lval
*********************************test pmos **********************************
i1          4       0       dc      ival
Vsense      3       4       dc      0
M1          3       3       0       1       ep      w=wval      l=lval
*******************************************************************************
.op
.dc         i1      1u      1500u   20u     sweep   data=hello
.data       hello   wval    1u      2u      5u      10u     20u     50u     100u
.print      dc      LV21(M1)    LV9(M1)     LX8(M1)     par('LX8(M1)/i(VSENSE)')
*                   BETAEFF     VTH         GDSO        LAMDA
.include model cmos 0.5 um (Alcatel)
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Netlist of CMOS Active Filter (Single-ended Output)

```
.op all
.temp 30
.subckt     opamp  i+     i-     out
Vdd         1      0      dc     5v
**********************Operational  amplifier************************
M10         2      2      1      1      ep     l=1u    w=3u
M11         3      2      1      1      ep     l=1u    w=3u
M12         3      3      5      0      en     l=1u    w=3u
M13         5      5      0      0      en     l=1u    w=3u
M14         2      3      4      0      en     l=1u    w=3u
M15         4      5      6      0      en     l=1u    w=12u
Rb          6      0                    9k

M1          10     i-     8      8      ep     l=3u    w=80u
M2          12     i+     8      8      ep     l=3u    w=80u
M3          10     10     0      0      en     l=20u   w=20u
M4          12     10     0      0      en     l=20u   w=20u
M5          8      2      1      1      ep     l=3u    w=9u
M6          13     2      1      1      ep     l=3u    w=18u
M7          13     12     0      0      en     l=3u    w=13u

M8          1      13     out    0      en     l=3u    w=300u
M9          out    12     0      0      en     l=3u    w=26u
Cc          15     13                          2p
Mc          15     3      12     0      en     l=3u    w=8u
.ends
xop1        i1+    i1-    out1   opamp
xop2        i2+    i2-    out2   opamp
xop3        i3+    i3-    out3   opamp
vg          vg     0      dc     5v
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
****************************** Mosfet - C  Filter******************************
MR1     vin     vg      21      0       en      l=350u   w=0.5u
MR2     21      vg      i1+     0       en      l=350u   w=0.5u
MR3     out1    vg      34      0       en      l=350u   w=0.5u
MR4     34      vg      i2+     0       en      l=350u   w=0.5u
MR5     out2    vg      56      0       en      l=350u   w=0.5u
MR6     56      vg      i3+     0       en      l=350u   w=0.5u

c1      21      i1-     48p
c2      i1+     0       34p
c3      34      i2-     76p
c4      i2+     0       8p
c5      56      i3-     150p
c6      i3+     0       2p
vf1     i1-     out1    dc      0
vf2     i2-     out2    dc      0
vf3     i3-     out3    dc      0

CL out3 0       10p
RL out3 0       10k

********************************** analysis ******************************
vcm     vcm     0       dc      2.5
.ac     dec     100     10      100meg
vin     vin     vcm     ac      1       sin( 0  1  1k )
.probe  vdb(out3)
.trans  5u      20m
.include    model  cmos 0.5 um (Alcatel)
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Netlist of CMOS Active Filter Normal (Differential output)

```
.op all
.temp 30
.subckt     opamp  i+     i-     out+   out-
Vdd         vdd    0      dc     5v
Vbavba      0      dc     2.5
*****************************Operational amplifier*****************************
M1a         2      i-     1      1      ep     w=90u     l=6u
M1b         3      i+     1      1      ep     w=90u     l=6u
M2a         4      15     0      0      en     w=12u     l=6u
M2b         5      15     0      0      en     w=12u     l=6u
M3a         out-   4      0      0      en     w=500u    l=3u
M3b         out+   5      0      0      en     w=500u    l=3u
M8          9      10     vdd    vdd    ep     w=5u      l=1u
M5          1      10     vdd    vdd    ep     w=5u      l=1u
M4a         out-   10     vdd    vdd    ep     w=60u     l=1u
M4b         out+   10     vdd    vdd    ep     w=60u     l=1u
M6a         2      vba    9      9      ep     w=45u     l=6u
M6b         3      vba    9      9      ep     w=45u     l=6u
M6c         15     6      9      9      ep     w=90u     l=6u
M7          15     15     0      0      en     w=8u      l=6u
M9a         4      12     2      2      ep     w=30u     l=4u
M9b         5      12     3      3      ep     w=30u     l=4u
Mb1         10     10     vdd    vdd    ep     w=5u      l=1u
Mb2         11     10     vdd    vdd    ep     w=5u      l=1u
Mb3         11     11     12     0      en     w=5u      l=1u
Mb4         12     12     0      0      en     w=5u      l=1u
Mb5         10     11     13     0      en     w=5u      l=1u
Mb6         13     12     14     0      en     w=20u     l=1u
Rb          14     0                    25k
Rba1        6      out+                 20k
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
Rba2        6       out-                    20k
Cca5        out+                            2p
Ccb4        out-                            2p
Cba6        out+                            1p
Cbb6        out-                            1p
.ends
***********************************************
xoa         ia+     ia-     outa+   outa-   opamp
xob         ib+     ib-     outb+   outb-   opamp
xoc         ic+     ic-     outc+   outc-   opamp
xod         id+     id-     outd+   outd-   opamp
xoe         ie+     ie-     oute+   oute-   opamp
vg          vg      0       dc      5v

Ra1         vin+    ia+     40k
Ra2         vin+    ia-     39.4k
Ra3         vin-    ia+     39.4k
Ra4         vin-    ia-     40k
ma1         ia+     vg      outb-   0       en      l=400u      w=1.2u
ma4         ia-     vg      outb+   0       en      l=400u      w=1.2u
ma5         ia+     vg      outa-   0       en      l=500u      w=1.2u
ma6         ia-     vg      outa+   0       en      l=500u      w=1.2u

mb1         ib+     vg      outc-   0       en      l=500u      w=1.2u
mb2         ib+     vg      outa+   0       en      l=500u      w=1.2u
mb3         ib-     vg      outa-   0       en      l=500u      w=1.2u
mb4         ib-     vg      outc+   0       en      l=500u      w=1.2u

mc1         ic+     vg      outd-   0       en      l=500u      w=1.2u
mc2         ic+     vg      outb+   0       en      l=500u      w=1.2u
mc3         ic-     vg      outb-   0       en      l=500u      w=1.2u
mc4         ic-     vg      outd+   0       en      l=500u      w=1.2u
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

md1	id+	vg	outc+	0	en	l=500u	w=1.2u
md2	id+	vg	oute-	0	en	l=1000u	w=1.2u
md3	id-	vg	oute+	0	en	l=1000u	w=1.2u
md4	id-	vg	outc-	0	en	l=500u	w=1.2u

me1	ie+	vg	outd+	0	en	l=400u	w=1.2u
me2	ie-	vg	outd-	0	en	l=400u	w=1.2u
me3	ie+	vg	oute-	0	en	l=1000u	w=1.2u
me4	ie-	vg	oute+	0	en	l=1000u	w=1.2u

Ca1	ia+	outa-	20pf
Ca2	ia-	outa+	20pf
Cb1	ib+	outb-	35pf
Cb2	ib-	outb+	35pf
Cc1	ic+	outc-	60pf
Cc2	ic-	outc+	60pf
Cd1	id+	outd-	54pf
Cd2	id-	outd+	54pf
Ce1	ie+	oute-	4pf
Ce2	ie-	oute+	4pf

C1	outa-	ic-	2pf
C2	outa+	ic+	2pf
C3	ia+	outc+	2pf
C4	ia-	outc-	2pf
C5	ic-	oute-	5pf
C6	ic+	oute+	5pf
C7	outc+	ie+	5pf
C8	outc-	ie-	5pf

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
*Load
CL1             oute+   0           10pf
CL2             oute-   0           10pf
RL1             oute+   0           10meg
RL2             oute-   0           10meg
************************ Ac , Swing , Noise  Analysis **************************
vin1        vin+    vin-    ac      1       sin( 0   1.5  1k )
vcm         vin-    0       dc      2.5
.ac         dec     100     10      100meg
*.ac        dec     100     20      4k
E           outt    0       vol='V(oute-)-V(oute+)'
Rref        outt    0       1
.tran       1u      4m
.plot       ac      vdb(outt)
.noise      v(outt) vin1    10
************************************ IM3 ***********************************
vin1        vin+    20      ac      0 sin( 0   0.75  1.1k )
vin2        20      vin-    ac      0 sin( 0   0.75  0.9k )
vcm         vin-    0       dc      2.5
E           outt    0       vol='V(oute-)-V(oute+)'
Rref        outt    0       1
.four       10k     v(outt) 10
.fft v(outt)   start=1m   stop=200m   np=4096   window=harris   fmin=0.05k   fmax=25k
format=unorm
.tran       0.01m   200m
.probe      v(outt)
.include    model   cmos 0.5 um (Alcatel)
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ภาคผนวก 4 CMOS 0.5 um typical models

```
**************************MODEL 0.5u*********************************
******************** cmos0.5 nmos typical models ************************
* typical set nmos
.model en        nmos    level  = 49
+tnom  = 27              tox    = 1e-8              xj    = 2.35e-7
+nch   = 2e17            nsub   = 4e16              vth0  = 0.6097457
+k1    = 0.6369321       k2     = 1.469165e-4       k3    = 29.501
+k3b   = -0.68           w0     = 8.809842e-6       nlx   = 1.884526e-7
+dvt0  = 5.7749986       dvt1   = 0.4474586         dvt2  = -0.0251598
+vbm   = -10             u0     = 588.4312781       ua    = 2.155132e-9
+ub    = 1.32731e-21     uc     = 9.324184e-11      vsat  = 1.128844e5
+a0    = 1.280555        ags    = 0.2404422         b0    = 3.6366e-7
+b1    = 2.337947e-6     keta   = -8.625844e-4      a     = 0
+a2    = 0.8             rdsw   = 283.6186958       prwg  = 0.5
+prwb  = -0.0827266      wr     = 1                 wint  = -5.230179e-8
+lint  = 1.353614e-8     dwg    = 0                 dwb   = 1.11e-8
+voff  = -0.1245595      nfactor= 0.8425275         cit   = 0
+cdsc  = -1e-4           cdscd  = -1e-4             cdscb = 2e-3
+eta0  = 0.07            etab   = -0.054            dsub  = 0.4957726
+pclm  = 0.8804854       pdiblc1= 0.0132091         pdiblc2 = 1.27332e-3
+pdiblcb = 0.090022      drout  = 0.1532732pscbe1   = 4.52617e8
+pscbe2  = 5e-5          pvag   = 0.20417           delta = 0.01
+alpha0  = 0             beta0  = 30                pb    = 0.75560
+pbsw  = 0.68638         rsh    = 2.30
+js    = 7.05e-04        jsw    = 4.3e-9
+mobmod = 1              prt    = -57.2389305       ute   = -1.6096023
+kt1   = -0.3010319      kt11   = -3.172847e-8      kt2   = -0.0657457
+ua1   = 1.737957e-9     ub1    = -2.95611e-18      uc1   = 1.692194e-11
+at    = 2.497153e4      capmod = 1                 xt    = 1.55e-7
+nqsmod = 0              elm    = 5                 xpart = 0
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
+wl    = 0          wln   = 1          ww    = 0
+wwn   = 1          wwl   = -2.99e-20  wmin  = 0
+wmax  = 1          ll    = 0          lln   = 1
+lw    = 0          lwn   = 1          lwl   = 0
+lmin  = 0          lmax  = 1          cgsl  = 0
+cgdl  = 0          ckappa = 0.6       cf    = 0
+clc   = 0.1e-6     cle   = 0.6        cgdo  = 1.38e-10
+cgso  = 1.38e-10   cgbo = 3.45e-10
+cj    = 7.7587e-4
+mj    = 0.35297    cjsw  = 3.4485e-10   mjsw  = 0.26477
*+cjswg  = 1.370e-10    pbswg  = 0.6   mjswg = 0.220
+kf        = 3.67e-28          af   = 0.91
* define for eldo
*+ lis=2          diolev=2   tlevi=0
* single  diode model cards
* n+/psub junction diode in forward mode
*
.model nppf d (
+ level =  1
+ tnom =  27
+ is    =  1.681e-7
*+ isw =  7.605e-13
+ n     =  1.09
+ rs    =  1.1e-6
+ xti   =  2.54
+ eg    =  1.02
*+ cj0  =  7.76e-4
+ cjsw =  3.45e-10
+ vj    =  0.72
+ mj    =  0.35
+ mjsw =  0.26
+)
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
* n+/psub junction diode in reverse mode
*
.model nppr d (
+ level  =  1
+ tnom  =  27
+ is     =  1.541e-5
*+ isw  =  5.494e-11
+ n      =  1.09
+ rs     =  1.1e-6
+ xti    =  -8
+ eg     =  1.02
*+ cj0  =  7.76e-4
+ cjsw  =  3.45e-10
+ vj     =  0.72
+ mj     =  0.35
+ mjsw =  0.26
+)
* nwell/psub junction diode in forward mode
*
.model nwpf d (
+ level  =  1
+ tnom  =  27
+ is     =  3.442e-7
*+ isw  =  2.672e-12
+ n     =  1.14
+ rs     =  1.2e-6
+ xti    =  2.39
+ eg     =  1.00
*+ cj0  =  1.45e-4
+ cjsw  =  2.84e-10
+ vj     =  0.6
+ mj     =  0.21
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
+ mjsw =  0.20
+)
* nwell/psub junction diode in reverse mode
*
.model nwpr d (
+ level =  1
+ tnom =  27
+ is    =  1.32e-6
*+ isw =  4.68e-11
+ n     =  1.12
+ xti   =  1.00
+ eg    =  1.12
*+ cj0  =  1.45e-4
+ cjsw  =  2.84e-10
+ vj    =  0.6
+ mj    =  0.21
+ mjsw =  0.20
+)
********** cmos05 pmos typical models **********
* temp = 27
.model ep  pmos  level  = 49
+tnom  = 27        tox   = 1e-8            xj   = 3e-7
+nch   = 2e17      nsub  = 4e16            vth0  = -0.6103469
+k1    = 0.6851333   k2  = 8.465407e-5     k3  = 21.94
+k3b   = -0.065     w0    = 4.31e-6        nlx   = 1.01913e-7
+dvt0  = 5.4145011   dvt1= 0.4773587     dvt2 = -0.0102858
+vbm   = -10          u0  = 148.6428164   ua  = 2.266657e-9
+ub    = 3.571409e-20  uc   = -1.53433e-11  vsat  = 6.666424e5
+a0    = 1.2571212   ags   = 0.1706772      b0    = 1.059729e-7
+b1    = 1.377612e-7  keta  = -0.0187078     a1    = 0
+a2    = 0.8           rdsw = 874.4420611    prwg  = 0.5
+prwb  = -0.0928952   wr    = 1              wint  = -9.27e-8
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
+lint   = 1.711979e-8  dwg     = 0              dwb    = 9.339e-9
+voff   = -0.1156803   nfactor = 0.7335277      cit    = 0
+cdsc   = -1e-4        cdscd   = -1e-4          cdscb  = 2e-3
+eta0   = 0.2218665    etab    = -0.0998531     dsub   = 0.547
+pclm   = 1.5332371    pdiblc1 = 2.489418e-4    pdiblc2 = 7.383994e-4
+pdiblcb = -0.9        drout   = 1              pscbe1 = 6e8
+pscbe2 = 5e-5         pvag    = -0.1894078     delta  = 0.01
+alpha0 = 0            beta0   = 30             pb     = 0.78469
+pbsw   = 0.69350      rsh     = 2.10           js     = 8.0e-4
+jsw    = 4.0e-9
+mobmod = 1            prt     = 190.1524511    ute    = -1.045139
+kt1    = -0.2522072   kt11    = -1.867722e-8   kt2    = -9.047095e-3
+ua1    = 1.511701e-9  ub1     = -5.05882e-18   uc1    = -5.56733e-11
+at     = 1e5          capmod  = 1              xt     = 1.55e-7
+nqsmod = 0            elm     = 5              xpart  = 0.4
+wl     = 0            wln     = 1              ww     = 0
+wwn    = 1            wwl     = -5e-21         wmin   = 0
+wmax   = 1            ll      = 0              lln    = 1
+lw     = 0            lwn     = 1              lwl    = 0
+lmin   = 0            lmax    = 1              cgsl   = 0
+cgdl   = 0            ckappa  = 0.6            cf     = 0
+clc    = 1e-7         cle     = 0.6            cgdo   = 1.38e-10
+cgso   = 1.38e-10     cgbo    = 3.45e-10
+cj     = 8.1577e-4
+mj     = 0.36667      cjsw    = 3.5456e-10     mjsw   = 0.27422
*+cjswg  = 1.10e-10    pbswg   = 0.6            mjswg  = 0.220
+kf     = 1.20e-28     af      = 1.1
* define for eldo
*+ lis=2          diolev=2  tlevi=0
* vertical pnp bipolar
*
.model pnpv pnp (
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
+tnom  =  27
+is    =  4.29e-18
+bf    =  7.75
+vaf   =  150
+xti   =  2.4
+xtb   =  1.60
+br    =  500
+)
* single  diode model cards
*  p+/nwell junction diode in forward mode
*
.model ppnf d (
+ level  =  1
+ tnom  =  27
+ is     =  2.796e-7
*+ isw  =  8.62e-13
+ n      =  1.04
+ rs     =  1.2e-6
+ xti    =  2.70
+ eg     =  1.06
*+ cj0  =  8.16e-4
+ cjsw  =  3.55e-10
+ vj     =  0.74
+ mj     =  0.37
+ mjsw =  0.27
+)
* p+/nwell junction diode in reverse mode
*
.model ppnr d (
+ level  =  1
+ tnom  =  27
+ is     =  5.616e-5
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

*+ isw = 10.235e-11

+ n = 1.04

+ rs = 1.2e-6

+ xti = -12

+ eg = 1.06

*+ cj0 = 8.16e-4

+ cjsw = 3.55e-10

+ vj = 0.74

+ mj = 0.37

+ mjsw = 0.27

+)

****

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

กิตติกรรมประกาศ

ขอบคุณสำหรับทุกสิ่งในชีวิตที่พ่อกับแม่หามาให้
ขอบคุณอาจารย์อภินันท์ ธนชยานนท์ ที่ให้คำปรึกษาที่ดีในการทำโครงงานมาโดยตลอด
ขอบคุณอาจารย์ทุกท่านที่สอนให้ผมมีความรู้
ขอบคุณเก้สำหรับการช่วยเหลือในทุก ๆ ด้าน
ขอบคุณราชมงคลนนทบุรีที่ทำให้ผมรู้จักพระจอมเกล้าลาดกระบัง
ขอบคุณพระจอมเกล้าลาดกระบังที่ทำให้ผมเป็นวิศวกร

ขอบคุณมากครับ
ชาย เกษตรบริบูรณ์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

หนังสืออ้างอิง

[1] Y. P. Tsividis and J.O. Voorman , " Integrated Continuous – Time Filters " , IEEE Press , 531 p.,1993.

[2] A. Johns and Martin , " Analog Integrated Circuit Design " , John Wiley & sons , 706 p. ,1997.

[3] E. Allen , " CMOS Analog Circuit Design ", Oxford university Press ,Inc. 701 p. , 1987.

[4] R. Laker and M.C. Sansen , " Design of Analog Integrated Circuits and Systems " , Magraw - hill, 898 p.,1994.

[5] S. Sedra and K. C. Smith , "Microelectronic Circuits " , 3rd ed. , Oxford University Prees , 1054 p. ,1991.

[6] B. Razavi , " Design of Analog CMOS Integrated Circuits " , Magraw – hill , 684 p. , 2001.

[7] B. Williams and J. taylor, " Electronic Filter Design Handbook " , Magraw – hill , 672 p. ,1988.

[8] G. Daryanani , " Principles of Active Network Synthesis and Design ", John Wiley & sons, 495 p. , 1976

[9] "HSPICE User's Manual" Meta - Software , Inc CA ,1996

[10] A. Hastings , "The Art of Analog Layout", Prentice Hall ,539p. ,2001

[11] D. Clein , "CMOS IC Layout" ,Newnes ,261p. ,1999.

[12] รศ.ดร.สมเกียรติ ศุภเดช,"เอกสารประกอบการเรียนวิชาเทคโนโลยีวงจรรวม" ,คณะวิศวกรรมศาสตร์ ,สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้