สำนักหอสมุดกลาง พระจอมเกล้าลาดกระบัง

เครื่องคัดแยกผลผลิตทางการเกษตรโดยการประมวลผลภาพ

AGRICULTURAL PRODUCTS COLOR SORTER

T 0 4 6 2 7 6

โดย

นางสาวกมลพรรณ แก้วปิ่นทอง

นายจักรพันธ์ ตาบทิพย์วัฒนา

นางสาวจิตติมา วงศ์มีแสง

เลขหมู่.....
เลขทะเบียน 46276
วัน, เดือน, ปี 21 มี.ค. 2546

.b.....
.i.....

ปริญญานิพนธ์เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรปริญญาวิศวกรรมศาสตรบัณฑิต

สาขาวิชาอิเล็กทรอนิกส์

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

ปีการศึกษา 2544

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เครื่องคัดแยกผลผลิตทางการเกษตรโดยการประมวลผลภาพ

AGRICULTURAL PRODUCTS COLOR SORTER

โดย

นางสาวกมลพรรณ	แก้วปิ่นทอง	41014006
นายจักรพันธ์	ตาบทิพย์วัฒนา	41014066
นางสาวจิตติมา	วงศ์มีแสง	41014072

อาจารย์ที่ปรึกษา

อ. ชินภัทร นันทจิวากรชัย

ปริญญานิพนธ์นี้สำหรับปริญญาวิศวกรรมศาสตรบัณฑิต

สาขาอิเล็กทรอนิกส์

คณะวิศวกรรมศาสตร์

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

ปีการศึกษา 2544

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ปริญญานิพนธ์ ปีการศึกษา 2544

ภาควิชา อิเล็กทรอนิกส์

คณะวิศวกรรมศาสตร์ สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

เรื่อง เรื่องคัดแยกผลผลิตทางการเกษตรโดยการประมวลผลภาพ

ผู้จัดทำ

1. นางสาวกมลพรรณ แก้วปิ่นทอง
2. นายจักรพันธ์ ตาบทิพย์วัฒนา
3. นางสาวจิตติมา วงศ์มีแสง

.....อาจารย์ที่ปรึกษา

(อาจารย์ชินภัทร นันทจิวากรชัย)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

กิตติกรรมประกาศ

รายงานฉบับนี้สำเร็จขึ้นมาได้เนื่องด้วยได้รับความช่วยเหลือจากเพื่อน ๆ หลายคน และอาจารย์หลายท่าน ผู้จัดทำจึงขอแสดงความขอบคุณทุกท่าน โดยเฉพาะอาจารย์ชินภัทร นันทจิวากรชัย อาจารย์ที่ปรึกษา ที่ให้คำแนะนำ ความสะควกและจัดหาอุปกรณ์ในการจัดทำ

กมลพรรณ แก้วปิ่นทอง

(นางสาวกมลพรรณ แก้วปิ่นทอง)

จักพันธ์ ตาบทิพย์วัฒนา

(นายจักรพันธ์ ตาบทิพย์วัฒนา)

จิตติมา วงศ์มีแสง

(นางสาวจิตติมา วงศ์มีแสง)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เครื่องคัดแยกผลผลิตทางการเกษตรโดยการประมวลผลภาพ

นางสาวกมลพรรณ แก้วปิ่นทอง
นายจักรพันธ์ ตาบทิพย์วัฒนา
นางสาวจิตติมา วงศ์มีแสง
อาจารย์ชินภัทร นันทจิวากรชัย อาจารย์ที่ปรึกษา
ปีการศึกษา 2544

บทคัดย่อ

ในปัจจุบันอุตสาหกรรมทางการเกษตรเป็นอุตสาหกรรมหลักที่สำคัญของประเทศไทยซึ่งสามารถส่งออกและนำรายได้เข้าสู่ประเทศมากมาย และขั้นตอนที่สำคัญขั้นตอนหนึ่งในขบวนการผลิต คือ ขั้นตอนในขบวนการคัดแยกผลผลิต ซึ่งเทคโนโลยีที่ใช้นั้นจะสามารถทำให้การคัดแยกผลผลิตมีมาตรฐานและรวดเร็ว

ปริญญานิพนธ์เล่มนี้เป็นการนำเสนอเรื่องเครื่องคัดแยกผลผลิตทางการเกษตร โดยการใช้การประมวลผลสัญญาณภาพ ซึ่งจะใช้หลักการเปรียบเทียบสีของวัตถุกับระดับของสีที่กำหนดตามผลผลิตที่ต้องการ

การทำงานของระบบแบ่งออกเป็น 3 ส่วนใหญ่ ๆ ที่สำคัญดังนี้ ส่วนแรกเป็นส่วนประมวลสัญญาณภาพโดยใช้กล้องวีดีโอแล้วนำภาพที่ได้ไปเก็บในหน่วยความจำ ส่วนที่สองเป็นส่วนตัดสินระดับสีของผลผลิตโดยใช้ไมโครคอนโทรลเลอร์ และส่วนสุดท้ายเป็นส่วนกลไกการคัดแยกผลผลิตโดยการใช้ท่อเป่า ซึ่งแต่ละส่วนจะทำงานร่วมกันเพื่อทำการคัดแยกผลผลิตให้ได้ตามคุณภาพที่ต้องการ

จากผลการทดลองแสดงว่าประสิทธิภาพในการคัดแยกผลผลิตขึ้นอยู่กับความชัน เครื่องคัดแยกนี้มีประสิทธิภาพในการคัดแยกของเสียออกได้ถึง 90% จากผลผลิตทั้งหมด

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

AGRICULTURAL PRODUCTS COLOR SORTER

Kamonpan Kaewpintong
Jakapan Tabtipwattana
Jittima Wongmeesang
Chinnapat Nantajivakornchai Advisor
2001

Abstract

Now a day one of main industry in Thailand is agricultural industry which is exported and made income to the country. The important step of procedure is product quality classification which make higher value of the product it self. With the influence of the technology will make this process faster.

Presented in this report is agricultural product color sorting machine using Image Processing by the principle of color comparison between object color and the target color of the product

The system can be divide in three parts which are first product color perception by video camera and store the image into memory. Second part is the image processing unit by microcontroller. Third part is product separating by the nozzle.

The result from experiment show the separation depend on the slope. This machine can separate about 90% from the all product.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญ

เรื่อง	หน้า
บทคัดย่อภาษาไทย	
บทคัดย่อภาษาอังกฤษ	
บทที่ 1 บทนำ	1
บทที่ 2 ทฤษฎีสัญญาณโทรทัศน์	2
2.1 องค์ประกอบภาพ	2
2.2 การสแกน	3
2.3 การหักเหลำอิเล็กตรอน	7
2.4 สัญญาณภาพรวม	12
2.4.1 สัญญาณภาพขาว – ดำ	13
2.4.2 สัญญาณซิงโครไนซ์	14
2.4.3 สัญญาณแบลงกิ้ง	19
2.4.4 สัญญาณฮีควอไลซิ่ง	19
บทที่ 3 ตัวแปลงสัญญาณอนาลอกให้เป็นดิจิตอล	21
3.1 ทฤษฎีการสุ่มตัวอย่าง	22
3.2 วิธีแปลงสัญญาณอนาลอกให้เป็นดิจิตอล	23
3.2.1 Basic conversion method	23
3.2.2 Counter Type ADC	24
3.2.3 Tracking ADC	25
3.2.4 Integrating ADC	25
3.2.4.1 Single Slope Converter	25
3.2.4.2 Dual Slope Converter	26
3.2.5 Successive Approximation	28
3.2.6 แฟรช ADC	29
บทที่ 4 คุณสมบัติของ MCS–51	31
4.3 คุณสมบัติของ MCS–51	31
4.2 โครงสร้างของไมโครคอนโทรลเลอร์ตระกูล MCS-51	33
4.3 ตำแหน่งขาของ MCS-51	34

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เรื่อง หน้า

บทที่ 5 หลักการออกแบบและการทำงานของวงจร 37

5.1 การทำงานของวงจรแยกซิงค์ 37

5.2 การทำงานของส่วนหน่วงเวลา 37

5.3 การทำงานของวงจรแปลงสัญญาณอนาล็อกเป็นดิจิตอล 38

5.4 การทำงานของวงจรหน่วงความจำภาพ 38

5.5 การทำงานของไมโครคอนโทรลเลอร์ 39

5.6 รูปวงจร 40

บทที่ 6 การทดลอง 44

6.1 สัญญาณภาพต่าง ๆ จากลอจิกอนาไลซ์เซอร์ 44

6.2 ศึกษาผลของสีของผลผลิตที่มีระดับสีที่แตกต่างกัน 52

6.3 ศึกษาผลของความลาดชันของรางที่มุมองศาต่าง ๆ กัน 55

บทที่ 7 สรุปและวิจารณ์ผลการทดลอง 60

ภาคผนวก

บรรณานุกรม

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญรูป

เรื่อง	หน้า
รูปที่ 2.1 แสดงวิธีการเบื้องต้นของการสแกน	4
รูปที่ 2.2 รายละเอียดของการสแกนแบบสลับเส้นหรือแบบสอดแทรก	5
รูปที่ 2.3 การสแกนแบบสลับเส้นหรือแบบสอดแทรกในระบบซีซีไออาร์	6
รูปที่ 2.4 การหักเหของลำอิเล็กตรอนเมื่ออยู่ในสนามไฟฟ้าและสนามแม่เหล็ก	7
รูปที่ 2.5 การสแกนโดยใช้หลักของการเบี่ยงเบนสนามไฟฟ้า	8
รูปที่ 2.6 สนามไฟฟ้าที่ใช้เพื่อการสแกน	9
รูปที่ 2.7 สัญญาณฟันเลื่อยที่จะใช้บังคับการสแกนทั้งทางแนวนอนและแนวตั้ง	10
รูปที่ 2.8 แสดงวิธีการเบื้องต้นอันเป็นแนวคิดของเส้นเทรซและรีเทรซทั้งสองแนว	10
รูปที่ 2.9 หลักการเบื้องต้นที่เป็นตัวอย่างในการอธิบายเรื่องการสแกน	12
รูปที่2.10 แสดงระดับสัญญาณขาว – ดำโดยเกรย์หลอด	13
รูปที่ 2.11 แสดงลักษณะของภาพรวมเบื้องต้น	14
รูปที่ 2.12 แสดงลักษณะและค่าเวลาต่าง ๆ ของสัญญาณวิดีโอรวม	16
รูปที่ 2.13 แสดงจุดฟร้อนพรอชและแบล็กพรอชของสัญญาณภาพ	17
รูปที่ 2.14 แสดงส่วนประกอบของสัญญาณซิงค์ทางแนวนอน	17
รูปที่ 2.15 แสดงลักษณะกรสแกนภาพใน 1 ฟิลด์	18
รูปที่ 2.16 แสดงความสัมพันธ์ระหว่าง ๆ สัญญาณต่าง ๆ	18
รูปที่ 2.17 แสดงระบบพัลซ์ในฟิลด์ของการซิงโครไนซ์ของระบบโทรทัศน์	19
รูปที่ 2.18 ขนาดแรงดันของสัญญาณภาพรวมวิดีโอจะมีการเปลี่ยนแปลงขึ้นลง ตามความสว่างของภาพ	20
รูปที่ 3.1 ความละเอียดของ ADC จะแปรผันตรงกับจำนวนบิทของเอาท์พุท	21
รูปที่ 3.2 การสุ่มหลาย ๆ ช่วง จะมีลักษณะที่ใกล้เคียงกับสัญญาณเดิม	22
รูปที่ 3.3 แสดงวิธีการพื้นฐานของ ADC	22
รูปที่ 3.4 แสดงทรานเฟอร์ฟังก์ชั่นของคอมพาราเตอร์	23
รูปที่ 3.5 บล็อกไดอะแกรมและไทท์ทิ่งไดอะแกรมของ Counter Type ADC	24
ก. บล็อกไดอะแกรมของ Counter Type ADC	24
ข. Timing Diagram ของ Counter Type ADC	24
รูปที่ 3.6 วงจร Ramp voltage generator อย่างง่ายและลักษณะของเอาท์พุท	27

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เรื่อง หน้า

รูปที่ 3.7 บล็อกไดอะแกรมของ Dual Slope ADC 27
รูปที่ 3.8 บล็อกไดอะแกรมของ Successive Approximation ADC 28
รูปที่ 3.9 แฟรชคอนเวอร์เตอร์ที่มีความเร็วในการเปลี่ยนแปลงสัญญาณสูง 29
รูปที่ 4.1 แสดงตำแหน่งขาของชิปไมโครคอนโทรลเลอร์ตระกูล MCS-51 34
รูปที่ 4.2 แสดงวงจรสำหรับรีเซ็ตไมโครคอนโทรลเลอร์ MCS-51 36
รูปที่ 6.1 แสดงสัญญาณที่ขาต่าง ๆ ของ LM1881 44
รูปที่ 6.2 แสดงสัญญาณที่ขาต่าง ๆ ของ 74F269 45
รูปที่ 6.3 แสดงสัญญาณที่ขาต่าง ๆ ของ 74F269 46
รูปที่ 6.4 แสดงสัญญาณลอจิกต่าง ๆ จาก Gate ที่เข้าขา WE ของ UT621024 47
รูปที่ 6.5 แสดงสัญญาณลอจิกต่าง ๆ ที่เข้าขา PE ของ 74F269 48
รูปที่ 6.6 แสดงสัญญาณลอจิกต่าง ๆ ที่เข้าขา CP ของ 74F269 49
รูปที่ 6.7 แสดงสัญญาณข้อมูลที่ออกจาก A/D และสัญญาณต่าง ๆ ที่เกี่ยวข้อง 50
รูปที่ 6.8 แสดงสัญญาณข้อมูล input และสัญญาณที่ขาต่าง ๆ ของ AT89C51 51
รูปที่ 6.9 กราฟแสดงระดับความเข้มของข้อมูลที่ขาต่าง ๆ 54
รูปที่ 6.10 กราฟแสดงค่าเฉลี่ยของระดับความเข้มของข้อมูลที่ขาต่าง ๆ 54
รูปที่ 6.11 กราฟแสดงความลาดชันของรางที่ 1 กับจำนวนของเสีย 56
รูปที่ 6.12 กราฟแสดงความลาดชันของรางที่ 3 กับจำนวนของเสีย 57
รูปที่ 6.13 กราฟแสดงความลาดชันของรางที่ 5 กับจำนวนของเสีย 58
รูปที่ 6.14 กราฟแสดงความลาดชันของรางที่ 7 กับจำนวนของเสีย 59

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 1
บทนำ

ในปัจจุบันนี้อุตสาหกรรมทางการเกษตรเป็นอุตสาหกรมที่มีความสำคัญต่อระบบเศรษฐกิจของประเทศเป็นอย่างมาก ซึ่งสามารถส่งออกทำรายได้ให้แก่ประเทศและเกษตรกรเป็นอย่างมาก ขั้นตอนที่สำคัญขั้นตอนหนึ่งในอุตสาหกรรมทางการเกษตรนี้ คือ ขั้นตอนในการคัดแยกผลผลิตทางการเกษตร ซึ่งมีผลต่อมาตราฐานการผลิต ความรวดเร็วในการส่งออก

จากแนวคิดนี้ทำให้ได้ดัดแปลงและประยุกต์เอาความรู้ทางด้านไมโครคอนโทรลเลอร์และความรู้ทางอิเล็กทรอนิกส์มาใช้ในการทำโครงงานนี้ คือ เครื่องคัดแยกผลผลิตทางการเกษตร โดยการใช้ไมโครคอนโทรลเลอร์ประมวลจากสัญญาณภาพ และจะทำการเปรียบเทียบจำนวนจุดภาพที่เข้ามาทางอินพุทที่มีระดับแรงดันที่ต้องการกับจำนวนจุดภาพที่กำหนดไว้ในโปรแกรมในส่วนของไมโครคอนโทรเลอร์แล้วทำการประมวลผลเพื่อตัดสินใจในการคัดแยกผลผลิตทางการเกษตรตามที่ต้องการ การทำงานของวงจรจะเริ่มโดยรับภาพจากกล้องวิดีโอซึ่งจะได้เป็นสัญญาณอนาล็อกจากนั้นทำการแปลงให้เป็นสัญญาณดิจิตอล แล้วทำการประมวลผลในส่วนของไมโครคอนโทรลเลอร์เพื่อทำการควบคุมการคัดแยก ทำให้สามารถแยกผลิตภัณฑ์ที่ไม่ต้องการออกไป เพื่อให้ได้ผลผลิตทางการเกษตรที่มีคุณภาพขึ้น

เครื่องคัดแยกผลผลิตทางการเกษตรนี้มีหลักการทำงานคือนำผลผลิตทางการเกษตรที่เราต้องการคัดแยกมาปล่อยลงตามรางซึ่งมีอยู่ 8 ราง เมื่อวัตถุเคลื่อนที่ผ่านกล้องซึ่งทำหน้าที่เป็นตัวตรวจจับสิ่งแปลกปลอมโดยข้อมูลที่ได้จากกล้องจะเป็นระดับความเข้มของภาพ ถ้าพบว่าผลผลิตทางการเกษตรที่เราทำการคัดแยกมีสิ่งแปลกปลอมปนอยู่ นั่นก็คือมีระดับความเข้มที่ต่างออกไปจากที่กำหนดไว้ มันจะทำการควบคุมหัวเป่าให้ทำงานเพื่อทำการแยกสิ่งแปลกปลอมออกจากผลผลิตที่เราต้องการ โดยวิธีการเป่าไปไว้ในกล่องของเสีย ทำให้เราสามารถคัดแยกของเสียออกจากผลผลิตทางการเกษตรได้

วัตถุประสงค์ของโครงงาน

1. เพื่อศึกษาและประยุกต์ใช้งานสัญญาณภาพรวมในงานด้านการประมวลภาพ
2. เพื่อศึกษาและออกแบบการแปลงสัญญาณภาพเป็นสัญญาณดิจิตอล
3. เพื่อศึกษาและประยุกต์ใช้งานไมโครคอนโทรลเลอร์ในงานด้านการประมวลผลภาพ
4. เพื่อศึกษาและออกแบบกลไกการคัดแยกผลผลิตทางการเกษตร
5. เพื่อศึกษาและควบคุมการทำงานร่วมกันของทุกส่วนในวงจรเพื่อสามารถคัดแยกผลผลิตได้ตามต้องการ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 2
ทฤษฎีสัญญาณโทรทัศน์

การที่จะสามารถทำโครงการสำเร็จตามวัตถุประสงค์นั้นย่อมต้องมีการศึกษาถึงเรื่องต่างๆที่เกี่ยวข้องกับโครงงาน ในโครงงานนี้มีสิ่งที่เราจะต้องเข้าไปเกี่ยวข้องด้วยหลายเรื่องทีเดียว แต่เรื่องที่สำคัญที่สุดก็คือเราต้องเข้าไปข้องเกี่ยวกับสัญญาณภาพวิดิโอรวมและการนำมันมาใช้งาน เราจะนำมันมาใช้งานได้อย่างไร

ภาพที่เกิดขึ้นที่จอโทรทัศน์เป็นภาพนิ่งที่เราเอามาต่อกัน โดยแต่ละภาพที่จะมีความแตกต่างกันเล็กน้อย และเกิดขึ้นในเวลาอันรวดเร็วจนสายตาของคนที่มองเห็นเป็นภาพที่ต่อเนื่อง โดยในภาพแต่ละเฟรมในตัวของมันเองประกอบด้วนพื้นที่เล็กๆของแสงและจุด หากภาพนั้นมีรายละเอียด (Detail) ของจุดแสงมากภาพที่ออกมาจะมีรายละเอียดมากกว่าภาพที่มีจุดและแสงรายละเอียดน้อย (ซึ่งภาพออกมาหยาบ)

2.1 องค์ประกอบภาพ

ยกตัวอย่างภาพจากหนังสือพิมพ์สักภาพหนึ่ง แล้วขยายให้ใหญ่ขึ้นด้วยกล้องหรือแว่นขยายจะพบว่าภาพมีองค์ประกอบที่มาจากจุดสีขาวและจุดสีดำมากมาย มาเรียงกันประกอบขึ้นเป็นภาพจุดเหล่านี้เองที่เรียกว่าเป็นองค์ประกอบของภาพ หรือพิคเจอร์ อีลีเมนต์ (Picture Element) หรือพิกเซล (Pixel)

ทำนองเดียวกัน, ภาพที่ปรากฏทางจอโทรทัศน์ก็เอามาจากหลักการเหล่านี้ ภาพที่เกิดขึ้นบนจอโทรทัศน์ประกอบด้วยเส้นขวางเล็ก ๆ ในแนวนอนเป็นจำนวนมาก แต่ละเส้นมีทั้งส่วนที่ดำสนิทส่วนที่จางและส่วนที่สว่างรวมกันอยู่ เส้นเหล่านี้เราได้มาจากการกวาดลำแสง (Scan) ความแตกต่างกันบนเส้นกวาดลำแสงหรือเส้นสแกนเล่านี้เองทที่เราจัดว่าเป็นองค์ประกอบภาพ

ระบบสแกนของภาพ 522 เส้น เราจะแบ่งเส้นทางแนวตั้งได้ 700 เส้น ดังนั้นจึงเรากล่าวได้ว่าหากจะหาจำนวนขององค์ประกอบภาพในระบบสแกน 522 เส้นแล้ว จะได้เท่ากลับ 525*700 เท่ากับ 367,500 พิกเซล ยิ่งภาพมีจำนวนเส้นมากเท่าไหร่รายละเอียดภาพยิ่งมากขึ้นเท่านั้น เหมือนอย่างที่เรากล่าวถึงรายละเอียดภาพมาตั้งแต่ข้างต้น โทรทัศน์ที่มีเส้นสแกนมากย่อมได้รายละเอียดหรือความชัดเจนของภาพมากกว่า แต่นั่นแหละการออกแบบวงจรจะยากตามไปด้วยเนื่องจากค่าแบนด์วิดธ์ของความถี่จะต้องกว้างขึ้นด้วยให้พิจารณาจากสูตรต่อไปนี้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$f_{max} = \frac{1}{2} \{ Kn^2 f_p (b/n)(Y/X) \}$$

เมื่อ f_{max} คือ ความถี่สูงสุด

K คือ ค่าคงที่ประมาณ

N คือ จำนวนเส้นสแกน

f_p คือ จำนวนภาพต่อวินาที

b/h คือ อัตราส่วนแอสเป็คซึ่งทั่วไปเราใช้อัตรา 4 ต่อ 3

Y/X คือ ค่าเอฟเฟ็คตีฟเฟ็คเตอร์ มีค่า 0.95/0.84

จากสูตรนี้เราพบว่าถ้าจำนวนเส้นสแกนเพิ่มมากขึ้น ความถี่จะเพิ่มตามขึ้นมาด้วย จากที่กล่าวว่าระบบ 525 เส้นนั้นมีองค์ประกอบภาพ 367,500 พิกเซล แต่ในความเป็นจริงแล้วเรามองเห็นได้ไม่ครบทุกพิกเซล เนื่องจากจากมีบางส่วนหายไประหว่างการสแกน จากการทดลองพบว่าภาพี่พอดูได้จะมีองค์ประกอบไม่ต่ำกว่า 200,000 พิกเซล

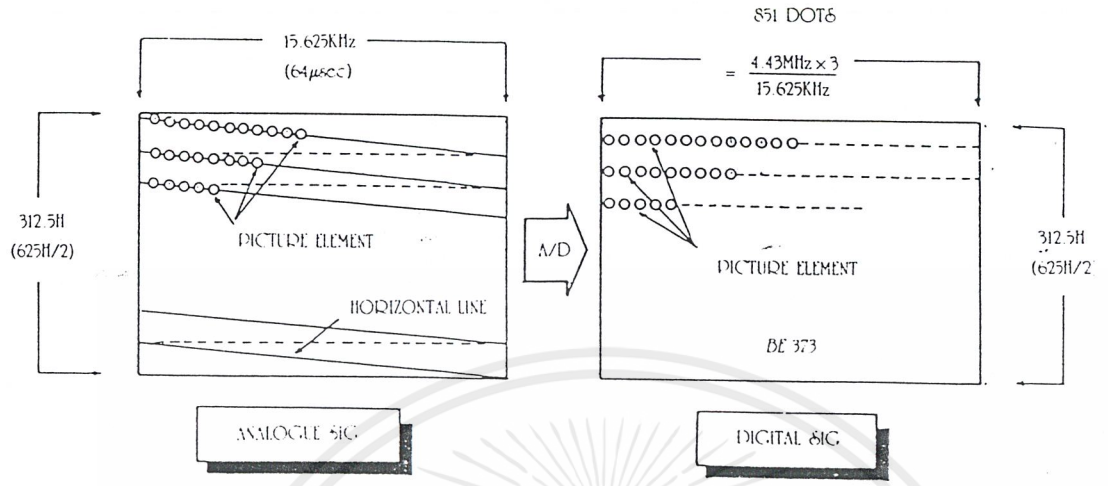
ต่อมาระบบที่ใช้อยู่ในประเทศไทย ปัจจุบันเราใช้ระบบการสแกน 625 เส้น 25 ภาพต่อวินาที จึงทำให้แบนด์วิดธ์ต้องกว้างถึง 7 เมกะเฮิรตซ์ ในขณะที่ระบบ 525 เส้นกว้างเพียง 6 เท่านั้น อย่างไรก็ตามองค์ประกอบของภาพจะมีความละเอียดมากขึ้น โดยจะสามารถหาองค์ประกอบของภาพได้จากค่าจำนวนเส้นสแกน 625 เส้นคูณกับจำนวนจุดหรือองค์ประกอบตามแนวตั้ง 851 เส้นได้เท่ากับ 531,875 พิกเซล

2.2 การสแกน

จากองค์ประกอบภาพที่ได้กล่าวมาในตอนต้น เครื่องส่งจะรับภาพแล้วเปลี่ยนเป็นพลังงานแสงเป็นพลังงานไฟฟ้าแล้งส่งเป็นจุดขาวดำมา เครื่องรับจะรับเอาพลังงานเหล่านี้มาเรียงใหม่ โดยการกวาดเป็นเส้นภาพขึ้นที่หน้าจอ วิธีการนี้เราเรียกว่าการสแกน (Scanning) โดยตัวที่มีหน้าที่สำคัญนั่นคือจอภาพหรือหลอดภาพนั่นเอง หลอดภาพจะมีโครงสร้างคล้ายกับหลอดภาพสุญญากาศทั่วไปที่ปล่อยอิเล็กรอนออกมาจากแคโถด แล้วจะมีการดึงลำอิเล็กตรอนให้วิ่งไปเป็นลำกระทบที่อาโหนดหรือหน้าจอตรงหน้าจอมีการฉาบสารเรืองแสงไว้เพื่อให้เกิดการเรืองแสงของจอ

การสแกนมี 2 วิธีก็คือ การสแกนแบบก้าวหน้า (Progressive Scanning) กับการสแกนแบบสลับเส้น (Interlaced Scanning)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.1 แสดงวิธีการเบื้องต้นของการสแกน

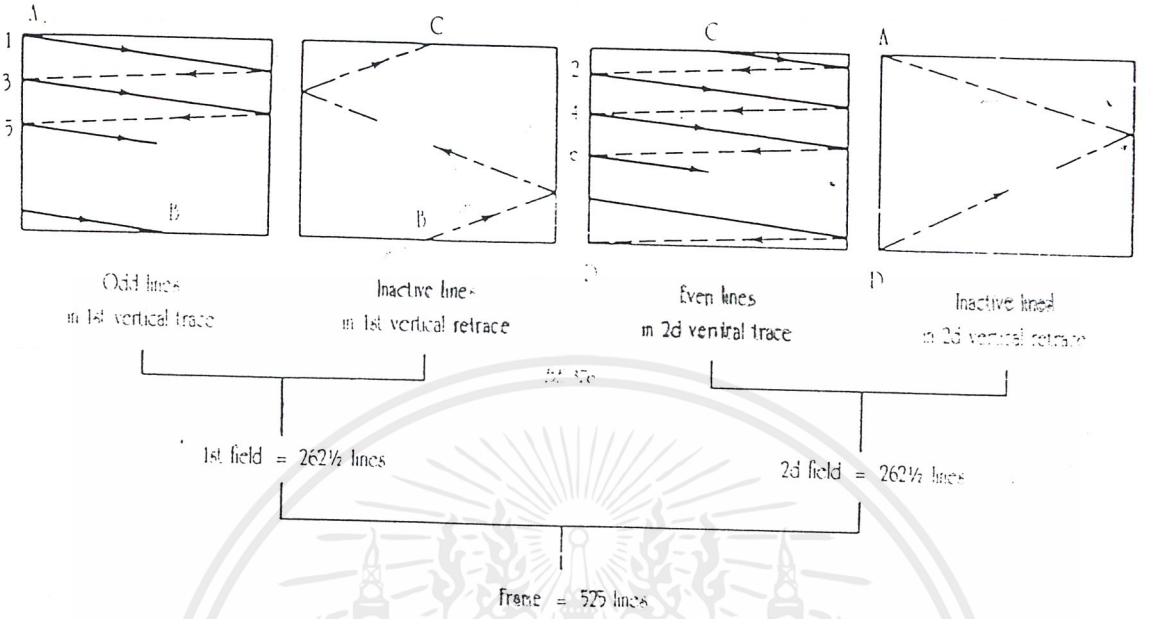
การที่จะทำให้การสแกนมีความต่อเนื่องขององค์ประกอบของภาพดังที่กล่าวมาแล้วนั้นเราจะต้องคำนึงถึงหลัก 3 ประการคือ

1 ลำอิเล็กตรอนที่กวาดไปทางแนวนอน (Horizontal Scanning) ในแต่ละครั้งจะต้องควบคุมองค์ประกอบภาพทั้งหมดของเส้นนั้นๆ

2 ในแต่ละเส้นของการสแกนลำอิเล็กตรอน ลำแสงจะต้องกวาดกลับด้วยความเร็วสูงไปยังด้านซ้ายเพื่อเริ่มต้นภาพทางแนวนอนลำดับต่อไปเวลาการสะบัดเราเรียกว่า “รีเทรซ” (Retrace) หรือฟลายแบ็ค (Flyback) ในกรณีดังกล่าวนั้นจะต้องไม่มีข้อมูลภาพใด ๆ เพราะว่ากล้องถ่ายและหลอดภาพจะเกิดการแบลงเอาท์ (Blank Out) ในขณะนั้น

3 ในขณะที่เส้นสแกนสะบัดกลับมาเพื่อเริ่มต้นทางซ้ายใหม่ ตำแหน่งทางแนวตั้งต้องต่ำกว่าตำแหน่งเดิมเพื่อที่จะทำให้การสแกนเส้นต่อไปไม่ทับกัน ทั้งนี้โดยการควบคุมของสัญญาณในทางแนวตั้ง (Vertical Scanning)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

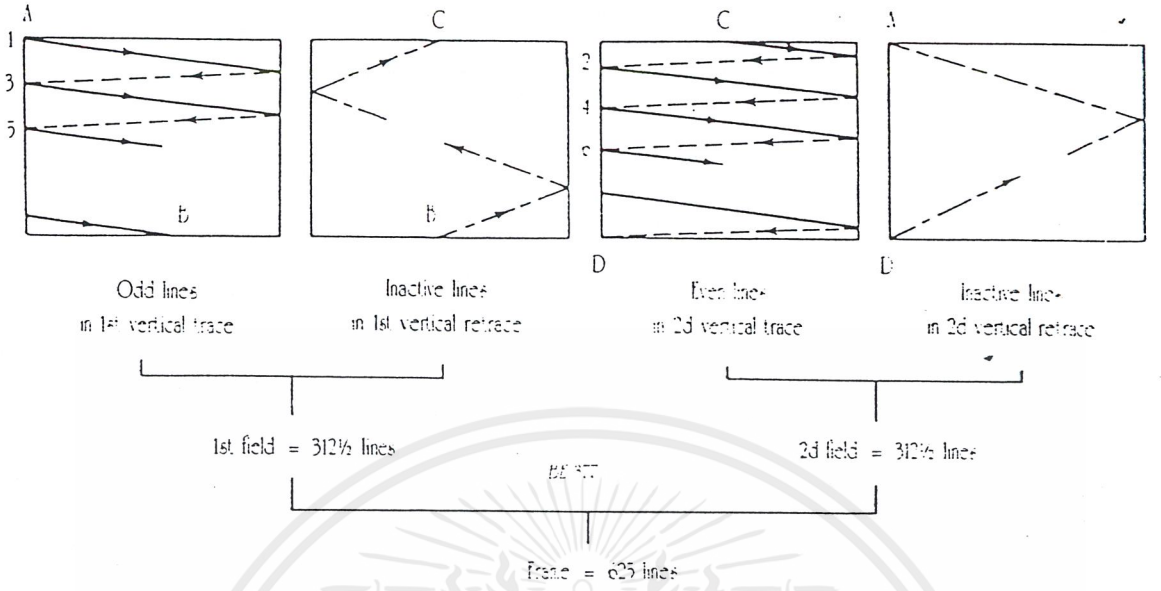


รูปที่ 2.2 รายละเอียดของการสแกนแบบสลับเส้นหรือแบบสอดแทรก

การสแกนที่ใช้ในเครื่องรับโทรทัศน์เราจะพบว่าหากให้มีการเรียงภาพนานเกินกว่า 16 ภาพต่อวินาทีแล้ว สายตาจะเห็นเป็นภาพที่ต่อเนื่อง จากการทดลองสแกนเส้นภาพเราพบว่าแม้ภาพที่เกิดขึ้นจะเกิดขึ้น 24 ภาพภาพต่อวินาทีแล้วก็ตาม ยังมีการกระพริบ (Flicker) เกิดขึ้น เนื่องจากว่าในขณะที่มีการสแกนเริ่มจากของบนลงมาขอบล่าง (ซึ่งคล้ายกับการเขียนหนังสือที่เริ่มจากซ้ายไปขวา, บนลงล่าง) เริ่มเส้นสแกนลงมาถึงด้านล่างแสงทางด้านบนในความรู้สึกมนุษย์เริ่มมืดลงกว่าด้านล่าง เวลาที่ลำแสงการสแกนวกกลับไปด้านบน ด้านล่างก็จะเกิดปัญหาเช่นเดียวกัน ความรู้สึกต่อกรณีนี้ก็คือเกิดแสงกระพริบหรือวูบวาบขึ้น (Flicker) จึงต้องใช้การสแกนสลับเส้นหรือที่บางคนเรียกว่าการสแกนแบบสอดแทรก (Interlaced Scanning) โดยครั้งแรกจะสแกนฟิลด์คี่ (Odd Line Trace) และครั้งต่อไปจะแสดงฟิลด์คู่ (Even Line Trace) เป็นการสแกนแบบเส้นเว้นเส้น นั่นหมายความว่าการได้ภาพ 1 ภาพหรือ ที่เรียกว่าภาพ 1 เฟรม (Frame) ต้องใช้การสแกนแนวตั้ง 2 ครั้งหรือ 2 ฟิลด์ (Field)

ตามมาตรฐานซีซีไออาร์. (CCIR) ใช้เส้นสแกน 625 เส้นต่อหนึ่งภาพ และใช้ภาพ 25 ภาพต่อวินาที ดังนั้นใน 1 ฟิลด์จะมีเส้นสแกนได้ 312.5 เส้น ภาพนิ่งแต่ละภาพซึ่งเป็นส่วนประกอบของอองค์ประกอบภาพจะเกิดขึ้นภายใน 1/25 วินาที ความถี่ที่ใช้ในการหักเหลำอิเล็กตรอนในแนวนอนจึงได้จากจำนวนเส้นภาพ 625 เส้นคูณกับจำนวนภาพในแต่ละเฟรม ดังนั้นเราสามารถที่จะหาความถี่ได้จาก 625*25 เท่ากับ 15,625 เฮิรตซ์ ความถี่หักเหตามแนวตั้งจึงเท่ากับ 50 เฮิรตซ์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.3 การสแกนแบบสลับเส้นหรือแบบสอดแทรกในระบบซีซีไออาร์

จากรูปที่ 2.2 และ 2.3 ได้แสดงวิธีการแบบสอดแทรกของระบบโทรทัศน์ทั้ง 2 ระบบใหญ่ที่ใช้กันในปัจจุบัน โดยเมื่อเริ่มต้นการสแกนสมมุติว่าการสแกนในกรีนี้เริ่มจากการสแกนในเฟรมที่เป็นเส้นสแกนคี่ โดนเริ่มจาก **A** ซึ่งอยู่ทางด้านซ้ายแล้วกวาดไปทางขวา นับเป็นเส้นสแกนเส้นที่ 1 แล้วจึงสแกนเส้นที่ 3 , 5 , 7 , 9 และต่อๆไป จนกระทั่งได้เส้นสแกน 265.5 เส้นในระบบ เอฟซีซีหรือ 312.5 เส้นในระบบซีซีไออาร์ซึ่งก็คือเส้นสแกนมาถึงจุด **B** ดังในภาพที่ 2.2 และ 2.3 ณ. จุดนี้การสแกนจะถูกความถี่หักเหทางแนวตั้งซึ่งเราเรียกว่า เวอร์ติคอล รีเทรซ (Vertical Retrace) หรือสัญญาณฟลายแบ็ค (Flyback) ดึงกับไปยังตำแหน่งในจุด **C** เพื่อเริ่มต้นการสแกนเส้นคู่ต่อไป

เวลาของการรีเทรซ (Retrace Time) ทั้งการรีเทรซทางเวอร์ติคอลและฮอริซอนตอลเป็นเวลาสั้น ๆ ถึงอย่างไรก็ตามเราไม่ต้องการให้เส้นที่มีสแกนในช่วงของการสะบัดกลับนี้เข้ามารบกวนให้เกิดสัญญาณภาพ ในส่วนนี้เราจึงต้องทำการลบเส้นสะบัดกลับ ก่อนที่จะถึงจุดที่ว่านั้นเรามาดูรายละเอียดของการสะบัดกลับอีกนิดว่า ในส่วนของการกวาดลำแสงหรือการสแกนในทางแนวนอน (Horizotal) เวลาของการรีเทรซจะใช้ประมาณ 10 - 16 เปอร์เซ็นต์ของเวลาทั้งหมดในระบบเอฟซีซี เราใช้เวลาในการสแกนแนวนอนเท่ากับ 63.5 ไมโครเซ็คคั่น (us) ดังนั้นเวลาของการรีเทรซจึงเท่ากับ 6.35 ไมโครเซ็คคั่น ส่วนระบบซีซีไออาร์เราใช้เวลาในการสแกนเท่ากับ 64 ไมโครเซ็คคั่น ดังนั้นเวลาในการรีเทรซจึงเท่ากับ 6.4 ไมโครเซ็คคั่น ในส่วนของทางด้านความถี่หักเหทางแนวตั้ง (Vertical) เราใช้เวลาในการรีเทรซไม่เกิน 5 - 8 เปอร์เซ็นต์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

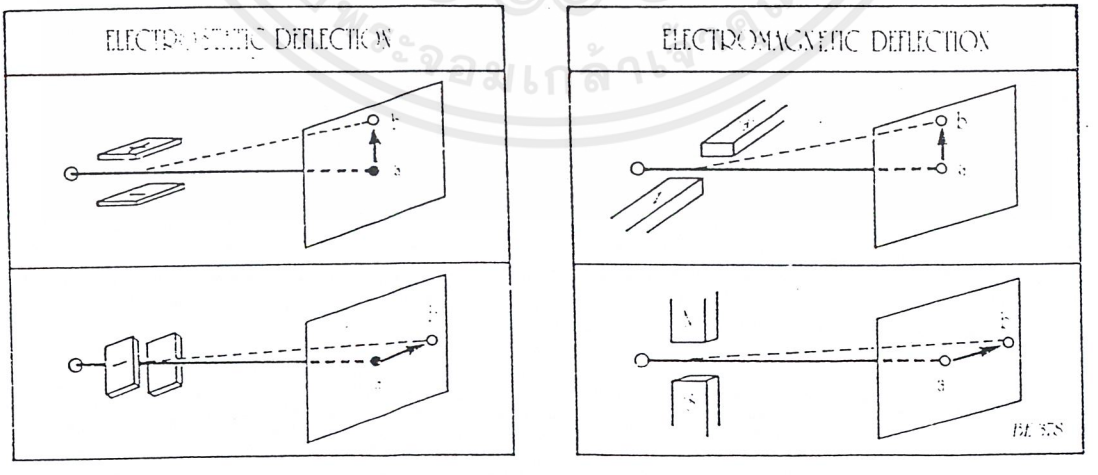
อย่างเช่นเราใช้เวลาในส่วนนี้เท่ากับ 3 เปอร์เซ็นต์ของเวลา 1/50 หรือ 1/60 ของวินาที ดังนั้น เวลาของการรีเทรซจึงเท่ากลับ 600 ไมโคเซ็คคั่น และ 500 ไมโครเซ็คคั่นตามลำดับ นั่นหมายความว่า ในช่วงเวลาของการรีเทรซทางแนวตั้งกินเวลานานกว่าการสแกนทางแนวนอนประมาณ 8 - 10 เส้นภาพ

จากหลักการดังกล่าวเราสามารถสรุปกฎเกณฑ์บางอย่างได้ว่า, ตามความเป็นจริงแล้วในเส้นภาพ 525 เส้นหรือ 625 เส้นนั้น เรามิอาจจะเห็นได้ครบทุกเส้น อย่างน้อย ๆ ในกรณีที่เกิดเวอร์ติคอลรีเทรซจะกินเวลาของการสแกนทางแนวนอน (Line) ไปด้วย แต่จะกินไปกี่เส้นนั้นขึ้นอยู่กับสัญญาณการบังคับการฟลายแบ็ค ซึ่งในเครื่องรับเราเรียกสัญญาณแบลงกิ้ง

2.3 การหักเหลำอิเล็คตรอน

เมื่อกล่าวถึงการสแกนเพื่อเปลี่ยนสัญญาณภาพให้เป็นสัญญาไฟฟ้าในเครื่องส่ง หรือสแกนเพื่อเปลี่ยนสัญญาณทางไฟฟ้าให้เป็นสัญญาณภาพบนจอของหลอดภาพในเครื่องรับโทรทัศน์นั้นล้วนต้องใช้ลำอิเล็กตรอนเป็นสำคัญ โดยเฉพาะในเครื่องรับ ภาคแสดงผลของสัญญาณภาพคือหลอดภาพ ซึ่งโครงสร้างเบื้องต้นของหลอดภาพอาศัยการยิงลำอิเล็กตรอนจากปืนอิเล็กตรอน (Electron Gun) โดยมีไฟแรงสูงคอยเป็นตัวดึงให้ลำอิเล็กตรอนวิ่งเข้าชนจอเรืองแสงที่หน้าจ กรณีนี้จะทำให้เกิดแสงเพียงจุดเดียวกลางจอเราจะทำให้ได้เส้นภาพอย่างที่กล่าวมาแล้วสามารถกระทำได้ด้วยการเบี่ยงเบนหรือหักเหลำอิเล็กตรอน (Deflection) ให้เกิดการกวาด (Scan) ตามหลักที่กล่าวมา

ลักษณะของลำอิเล็กตรอนนั้นเมื่อวิ่งไปที่สนามไฟฟ้าสถิตย์หรือสนามแม่เหล็กจะสามารถเปลี่ยนทิศทางได้ดังแสดงไว้ในรูปที่ 2.4

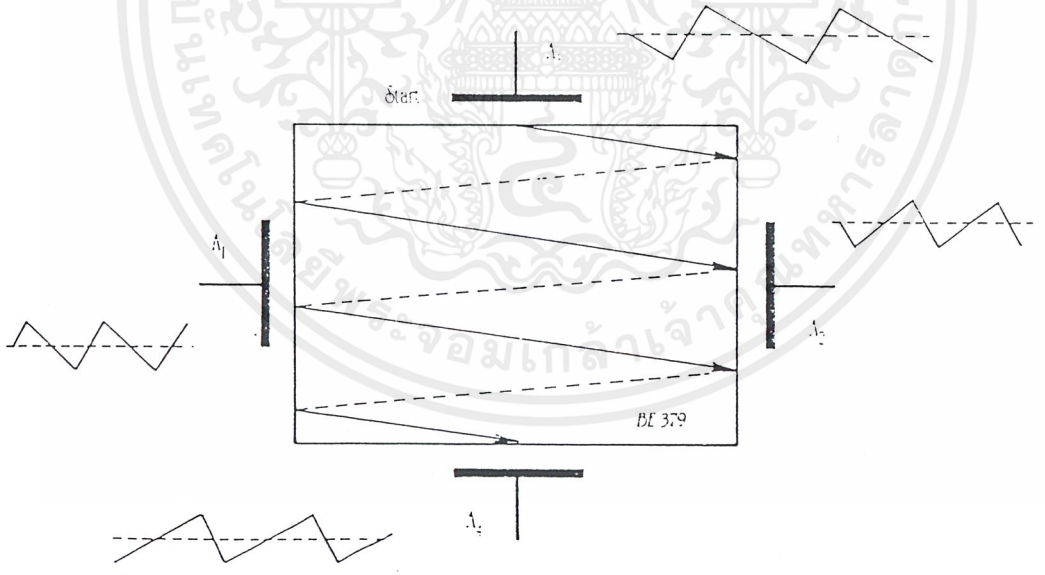


รูปที่ 2.4 การหักเหของลำอิเล็กตรอนเมื่ออยู่ในสนามไฟฟ้าและสนามแม่เหล็ก

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากหลักการของสนามไฟฟ้ากับเรื่องของสนามแม่เหล็กมีความแตกต่างกันอยู่ตามหลักการจอง การเบี่ยงเบนหักเห อย่างเช่นเรื่องของสนามไฟฟ้าเมื่อมาพบกับลำอิเล็กตรอนเราจะต้องอาศัยหลักการสนามไฟฟ้าโดยขั้วหรือศักย์ไฟฟ้าเหมือนกันจะผลักกัน,ต่างกันจะดูดกันเหมือนกันแบบในภาพ 2.4ก ลำอิเล็ก-ตรอนเราถือว่าเป็นสนามไฟฟ้าศักย์ลบ หากสนามไฟฟ้าที่เป็นอิเล็กโตรสแตติกนั้น ขั้วบวกอยู่ด้านบน ขั้วลบอยู่ด้านล่าง จะมีผลทำให้ลำอิเล็กตรอนเฉไปทางด้านบน เนื่องจากสนามไฟฟ้าบวกดึงดูดลำอิเล็กตรอนเข้าไปหาสนามไฟฟ้าลบผลักลำอิเล็กตรอนให้ห่างออกไปเป็นวิธีการหักเหททางแนวตั้งและใน ทางกลับกันหากเราจะให้เกิดการหักเหทางแนวนอนก็สามารถทำได้โดยวางสนามไฟฟ้าในแนวนอน

หากเอาการหักเหลำอิเล็กตรอนตามหลักการของสนามแม่เหล็กเราจำเป็นต้องอาศัยทฤษฎีเข้ามาอธิบายหลักการของสนามแม่เหล็กตามกฎมือซ้ายทำให้เราสามารถอธิบายได้ว่าการที่ลำอิเล็กตรอนวิ่งเข้าชนสารเรืองแสงที่หน้าจอนั้นเปรียบกระแสวิ่งออกดังนั้นทิศทางของสนามแม่เหล็กจึงจะหมุนด้วยทิศทางทวนเข็มนาฬิกาเมื่อมาเจอกับสนามแม่เหล็กที่ใช้หักเหลำอิเล็กตรอนที่พุ่งมาจากขั้วเหนือไปทางขั้วใต้ในกรณีเช่นนี้หากวางแม่เหล็กในแนวนอนจะเกิดการเบี่ยงเบนลำอิเล็กตรอนทางแนวตั้ง ในทางกลับกันถ้าหากวางแม่เหล็กในแนวตั้งจะเกิดการหักเหทางแนวนอน



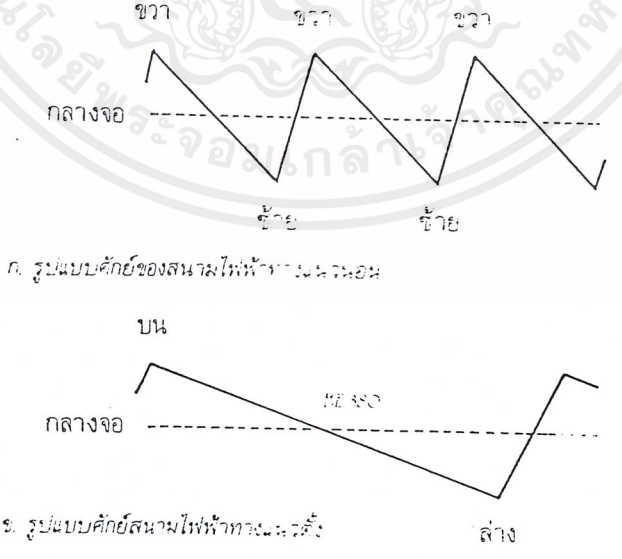
รูปที่ 2.5 การสแกนโดยใช้หลักของการเบี่ยงเบนสนามไฟฟ้า (Electronstatic Deflection)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

หลักการเบี่ยงเบนลำอิเล็กตรอนโดยอำนาจสนามไฟฟ้า (Electronstatic Deflection) ดูเหมือนจะง่ายที่สุดในการอธิบายถึงการสแกน

สมมุติว่าในการกวาดลำสแกนครั้งแรกเราต้องให้เส้นที่ต้องการเริ่มต้นตรงจุด Start หรือมุมบนซ้าย ในกรณีนี้เราต้องใช้สนามไฟฟ้าศักย์บวกป้อนเข้าที่อิเล็กโตดแผ่นที่ 1 (A1) และแผ่นอิเล็กโตดแผ่นที่ 2 (A2) ต้องที่ศักย์ตรงกันข้ามคือเป็นลบ ในกรณีนี้เป็นผลทำให้ลำอิเล็กตรอนถูกสนามไฟฟ้าบวกดึงลำเข้าไปหาในขณะแผ่นลบผลักช่วยด้วยในเวลาเดียวกัน นี้คือสนามไฟฟ้าในแนวนอน (Horizontal Electronstatic) หากสนามไฟฟ้าที่อิเล็กโตดแผ่นที่ 3 (A3) ได้รับสนามไฟฟ้าบวก และแผ่นที่ 4 (A4) ได้รับศักย์ลบ แผ่น A3 จะดึงลำอิเล็กตรอนให้ขึ้นไปยังด้านบนในขณะที่แผ่น A4 ช่วยในการผลักขึ้นไป กรณีเช่นนี้ทำให้ลำแสงปรากฏอยู่บนมุมบนด้านซ้ายของจอภาพได้แล้ว

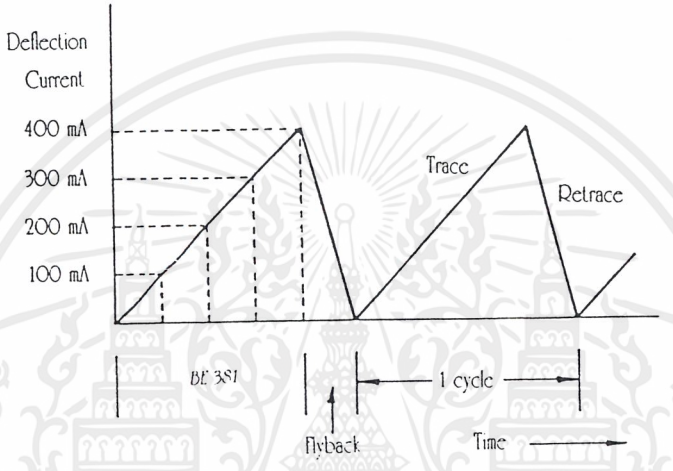
หากต้องการให้ลำแสงสแกนจากด้านซ้าย ไปทางด้านขวา A1 จะต้องลดศักย์ไฟบวกลงจนกลับเป็นลบ และให้แผ่น A2 เพิ่มศักย์ขึ้นเป็นบวก ลำอิเล็กตรอนจึงถูกแผ่นที่ A1 ผลักออกห่างและแผ่น A2 จะดึงลำอิเล็กตรอนเข้าไปหา จึงเกิดลำแสงจากซ้ายไปด้านได้แล้วหากต้องการให้มีการกวาดลำแสงจากขวากลับมาซ้ายอีกครั้งหนึ่ง สนามไฟฟ้าแผ่น A1 และ A2 ต้องสลับศักย์สนามไฟฟ้าเหมือนตอนแรกอีกครั้งหนึ่ง แต่หลักการสแกนบอกว่าการสแกนครั้งต่อ ๆ ไป ต้องไม่ทับเส้นเดิม หากเราจะให้เป็นไปในลักษณะดังกล่าวสามารถทำได้โดยค่อย ๆ ลดศักย์ของสนามไฟฟ้าของแผ่น A3 ลง และค่อย ๆ เพิ่มศักย์ชองสนามไฟฟ้าแผ่น A4 ขึ้น ก็จะทำให้ลำอิเล็กตรอนถูกดึงลงมาทางด้านล่าง เมื่อแผ่น A3 มีสักย์ลบสูงสดและแผ่น A4 มีศักย์บวกสูงสุด นั่นหมายถึงเส้นภาพลงมาสุดขอบจอภาพด้านล่างแล้ว



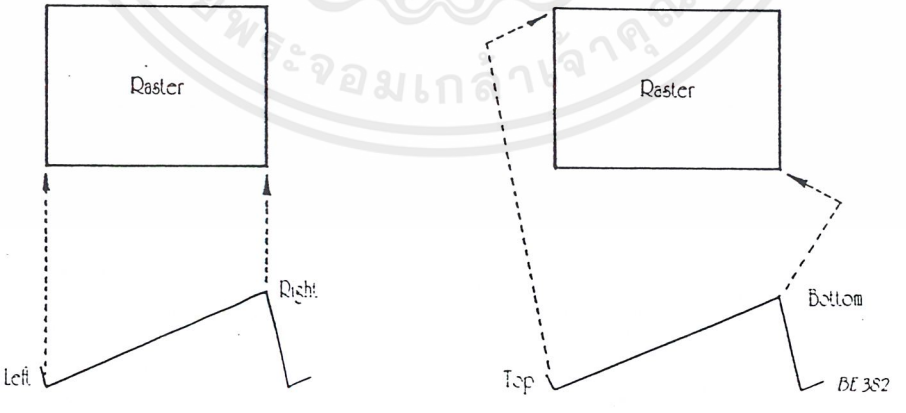
รูปที่ 2.6 สนามไฟฟ้าที่ใช้เพื่อการสแกน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากหลักการดังกล่าวถ้าเอามาเปรียบกับสัญญาณไฟฟ้าแล้ว เราจะพบว่าหากเราจะสร้างกรรมวิธีสแกน ต้องสร้างสัญญาณ การสแกนเป็นรูปฟันเลื่อย และสัญญาณดังกล่าวจะต้องเป็นเส้นตรงจริง ๆ จึงจะทำงานได้ถูกต้อง (Precision) เมื่อเราเอาหลักการเบี่ยงเบนลำอิเล็กตรอนดังกล่าวมาใช้ในรูปแบบของสนามแม่เหล็ก (Electrostatic Deflection) ซึ่งตัวที่จะสร้างอำนาจแม่เหล็กไฟฟ้าดีเฟล็คชั่นโย๊ค (Deflecton Yoke) ซึ่งเป็นขดลวดสร้างสนามแม่เหล็กไฟฟ้า สัญญาณที่จะต้องป้อนเข้าไปยังขดลวดชุดนี้จึงต้องมีลักษณะเบื้องต้นดังรูปที่ 2.7



รูปที่ 2.7 สัญญาณฟันเลื่อยที่จะใช้บังคับการสแกน ทั้งทางแนวนอนและแนวตั้ง



ก. การหักเหทางแนวนอน ข. การหักเหทางแนวตั้ง

รูปที่ 2.8 แสดงวิธีการเบื้องต้นอันเป็นแนวคิดของเส้นเทรซและรีเทรซทั้งสองแนว

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

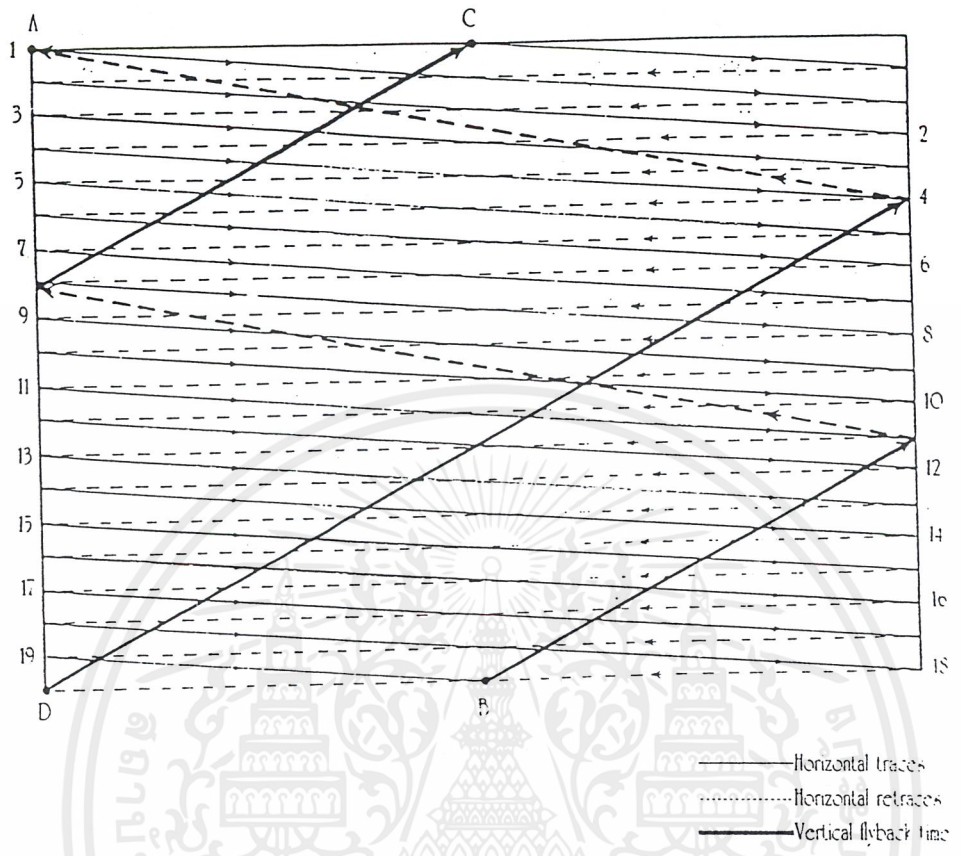
จากรูปที่ 2.9 เป็นรูปแบบของการสแกนที่เราแสดงการสแกนเพียง 21 เส้น (21 Line) โดยในระบบ 525 เส้น หรือในระบบ 625 เส้นครึ่งหนึ่งของ 21 เส้น คือ 10.5 เส้น ในส่วนนี้มีผลมาจากเส้นรีเทรซทางเวอร์ติคอลพ่วงเข้ามาด้วยดังนั้นเส้นภาพที่ปรากฏจริงจึงไม่ครบ 21 เส้น สมมุติว่าเราสามารถเห็นภาพในการสแกนในกรณีนี้เพียงครั้งละ 9.5 เส้นเท่านั้น

เริ่มตั้งแต่การสแกนจากจุดมุมซ้ายบนสุด (จุด A) เส้นสแกนแรกจะบีม (Beam) ลำอิเล็กตรอนจากทางซ้ายไปทางขวาและสะบัดกลับ (Retrace) มาเริ่มต้นทางซ้ายอีกครั้งในตำแหน่งไลน์ที่ 3 (คำว่าเส้นภาพอาจใช้ทับศัพท์ว่า “ไลน์” ก็ได้) และขบวนการสแกนเส้นภาพเส้นคี่จะดำเนินไปเหมือนครั้งแรกแล้วเริ่มไลน์ถัดไป จนกระทั่งได้ 9.5 เส้นหรือจุด B ซึ่งเป็นขอบล่างของจอภาพ การที่มันสามารถสแกนได้อย่างนี้เพราะในขณะนั้นมีสัญญาณเพื่อการเบี่ยงเบนลำอิเล็คตรอนทางแนวนอน ทำให้เกิดเส้นเทรซและรีเทรซ โดยสัญญาณเบี่ยงเบนลำอิเล็คตรอนทางแนวตั้ง จะดึงเส้นภาพที่ได้จาการสแกนมิให้เกิดการทับเส้นกัน จนกระทั่งแรงดึงสูงสุดเมื่อเส้นภาพถึง B และในจังหวะนี้เองจะเป็นช่วงเวลาของการรีเทรซสัญญาณทางแนวตั้ง ลำอิเล็คตรอนจึงลาดเอียงขึ้นไปทางด้านบนของทิศทางการสแกนจนกระทั่งสิ้นสุดลงที่จุด C อย่าลืมว่าในขณะที่เกิดการรีเทรซทางแนวตั้งสัญญาณเทรซและรีเทรซทางแนวนอนจะยังคงดำเนินต่อไป นี่เองที่ทำให้เส้นภาพที่ควรจะเกิดบนหน้าจอขาดหายไป อย่างกรณีตัวอย่างนี้เราจะเห็นว่าขาดหายไปประมาณ 2 เส้นภาพ โดยขาดหายไปในระหว่างการสแกนเส้นคี่ 1 ภาพ และเมื่อมีการสแกนเส้นคู่จากจุด C จนกระทั่งมาถึงจุด D จังหวะนั้นจะมีการรีเทรซทางแนวตั้งอีกครั้งจะพบว่าเส้นภาพจะขาดหายไปอีก 1 เส้น

การที่จะให้การสแกนเส้นคี่และเส้นคู่ในระบบการสแกนแบบสอดแทรกเป็นไปในลักษณะที่เห็น (คือหากตอนแรกสแกนเส้นคี่ และครั้งต่อมาสแกนเส้นคู่ โดยเส้นคู่ที่เริ่มสแกนตรงส่วนบนของจอภาพจะเริ่มที่จุดกึ่งกลางของเส้นภาพ) ความถี่เพื่อการหักเหเบี่ยงเบนลำอิเล็คตรอนเพื่อการสแกนทางแนวตั้งและทางแนวนอนต้องแน่นอน มิฉะนั้นเราจะควบคุมสัญญาณฟันเลื่อยเพื่อการเทรซและรีเทรซไม่ได้เลย

ในช่วงการรีเทรซนั้นไม่ว่าจะเป็นทางแนวตั้งหรือแนวนอนจะต้องถูกควบคุมให้เกิด “แบลงกิ้ง” (Blanking) ซึ่งความหมายของแบลงกิ้งมีความหมายถึงการ “ทำให้มืด” (go to black) ดังนั้นสัญญาณภาพรวมต้องส่งมีสัญญาณแบลงกิ้งส่งไปให้เครื่องรับลบเส้นสะบัดกลับด้วยในเวลาเดียวกัน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.9 หลักการเบื้องต้นที่เป็นตัวอย่างในการอธิบายเรื่องการสแกน

2.4 สัญญาณภาพรวม

สัญญาณภาพรวม (Composite Video Signal) ซึ่งการที่เราจะทำให้เครื่องรับโทรทัศน์บรรลุวัตถุประสงค์ได้นั้นต้องให้สถานีโทรทัศน์ส่งสัญญาณต่างๆ ดังนี้

1. สัญญาณเสียง
2. สัญญาณภาพ
3. สัญญาณแบลงกิ้ง
4. สัญญาณซิงโครไนซ์
5. สัญญาณอีควอไลซิ่ง

ในส่วนของระบบสัญญาณเสียงเราจะใช้คลื่นพาห์ (Carrier) เฉพาะเพราะเป็นที่ทราบกันเบื้องต้นแล้วว่าระบบเสียงในโทรทัศน์เนระบบ เอฟเอ็ม.ส่วนสัญญาณภาพและอื่น ๆที่เหลือนั้นเราจะส่งเป็นสัญญาณภาพรวมหรือคอมโพสิท วิดีโอ ซิกแนล (Composite Video Signal) แล้วใช้คลื่นพาห์ส่งออกไป

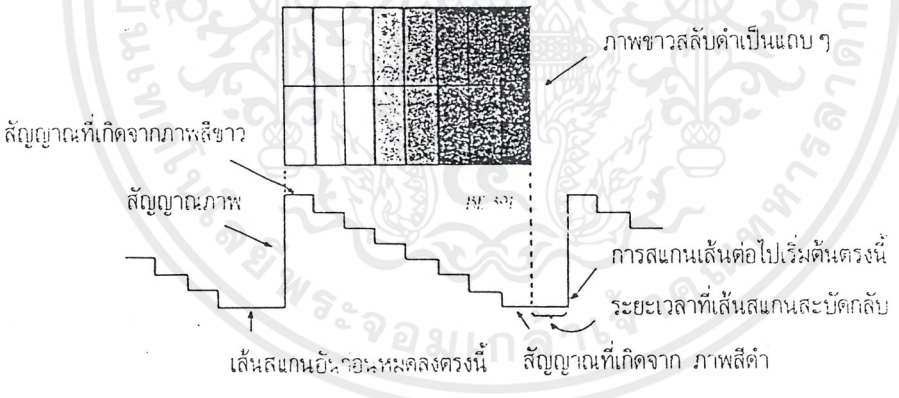
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การที่เราต้องส่งสัญญาณทั้ง 5 ตัวออกอากาศแแแพร่คลื่นออกเพื่อวัตถุประสงค์ดังนี้

1. สัญญาณภาพและสัญญาณเสียง เป็นสัญญาณที่ส่งออกไปเพื่อให้เกิดภาพและเสียงขึ้นในเครื่องรับโทรทัศน์
2. สัญญาณซิงโครไนซ์ เป็นสัญญาณที่ส่งมาเพื่อช่วยให้วงจรหักเหทางแนวตั้งและวงจรหักเหทางแนวนอน เพื่อให้เครื่องส่งและเครื่องรับทำงานสอดคล้องตรงกัน
3. สัญญาณแบลงกิ้งเป็นสัญญาณที่ส่งเพื่อให้ลบเส้นสะบัดกลับทั้งในแนวนอนและแนวตั้ง
4. สัญญาณอีควอไลวิ่ง เป็นสัญญาณที่ช่วยให้สัญญาณซิงโครไนซ์ทั้งแนวตั้งและแนวนอนยังคงรูปเดิมอยู่ได้ แม้ว่าจะเป็นการสแกนแบบสลับเส้นก็ตาม

2.4.1 สัญญาณภาพขาวดำ

สมมุติว่าราจะดูระดับสัญญาณขาว - ดำ กรณีที่เรากล่างถึงสัญญาณขาว-ดำหรือสัญญาณโมโนโครมได้ดีที่สุดต้องกล่าวว่าภาพที่เป็นสีขาวภาพที่มีความสว่างมากสุด และภาพที่เป็นสีดำก็คือภาพที่ไม่มีความสว่างเลย ภาพจำองที่ดีที่สสุดขอองกรณีก็คือแถบที่มีความแตกต่างของระดับขาวดำที่ละน้อย ซึ่งเราเรียกว่าระดับเกรย์สเกล

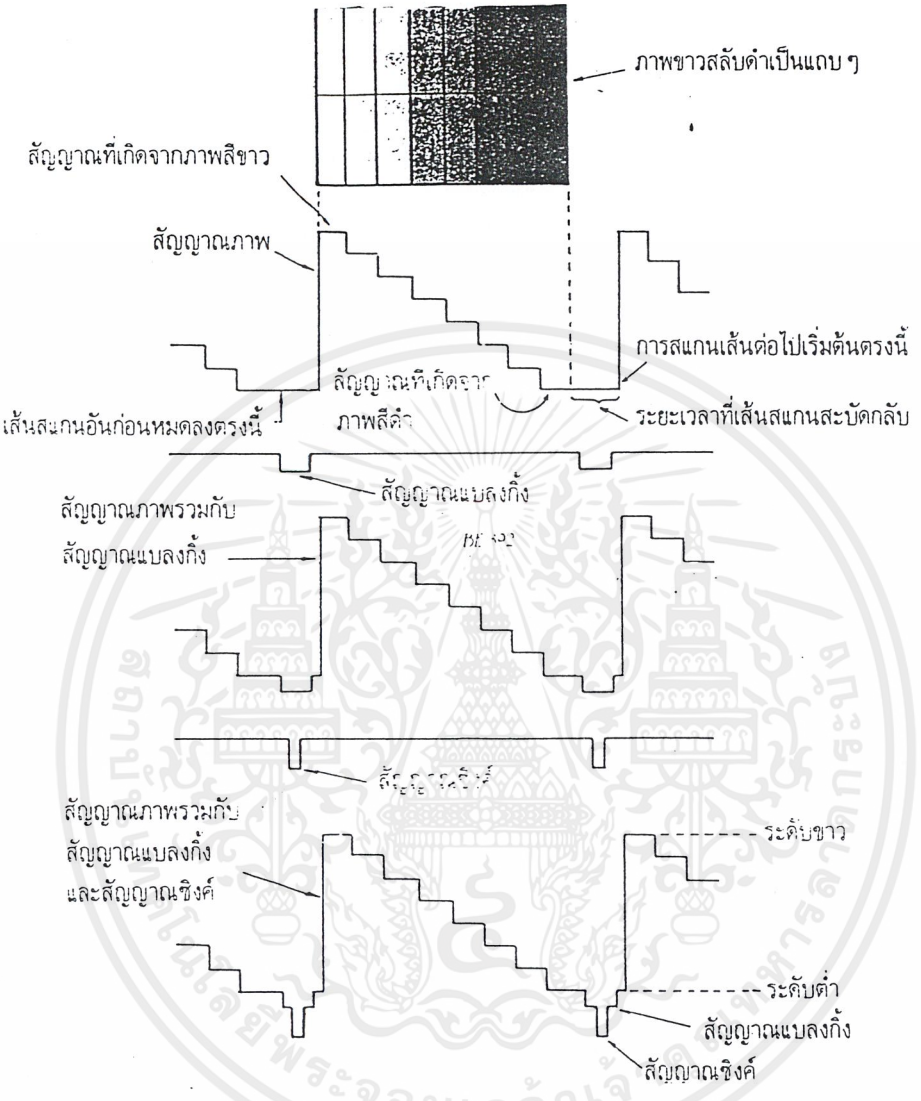


รูปที่ 2.10 แสดงระดับสัญญาณขาว-ดำ โดยเกรย์ สเกล

จากภาพที่ 2.10 แสดงให้เห็นระดับเกรย์ สเกล ในกรณีที่ระดับสัญญาณภาพเป็นสัญญาณสีขาวเข้ามา นั่นหมายความว่าระดับความแรงของสัญญาณภาพมากที่สุดจึงให้ความส่องสว่างที่หน้าจอสว่างมากสุด และเมื่อระดับสัญญาณสีขาวลดลงเป็นสีมัว เทา และดำนั้น ระดับสัญญาณจะลดลงมาเรื่อย ๆ นั่นจึงหมายความว่าเมื่อสัญญาณมีความแรงน้อยลงความส่องสว่างจะน้อยลงตามไปด้วย อันที่จริงแล้วภาพแต่ละภาพเป็นสัญญาณความถี่สูงต่ำไม่เท่ากัน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

โดยความถี่สูงสุดจะไม่เกิน 4 เมกะเฮิรตซ์ในระบบเอฟซีซี.และไม่เกิน 5 เมกะเฮิ รตซ์ในระบบซีซีไออาร์. ภาพที่เกิดจากความถี่สูงย่อมมีความละเอียดกว่าความถี่ต่ำ (มีจำนวนจุดดำมากกว่า)



รูปที่ 2.11 แสดงลักษณะของสัญญาณภาพรวมเบื้องต้น

2.4.2 สัญญารซิงโครไนซ์

เป็นสัญญาณเพื่อให้การสแกนเป็นไปอย่างถูกต้อง ทั้งการสแกนทางแนวนอนและแนวตั้ง โดยสัญญาณซิงโครไนซ์หรือสัญญาณซิงค์มีอยู่ 2 สัญญาณ คือ

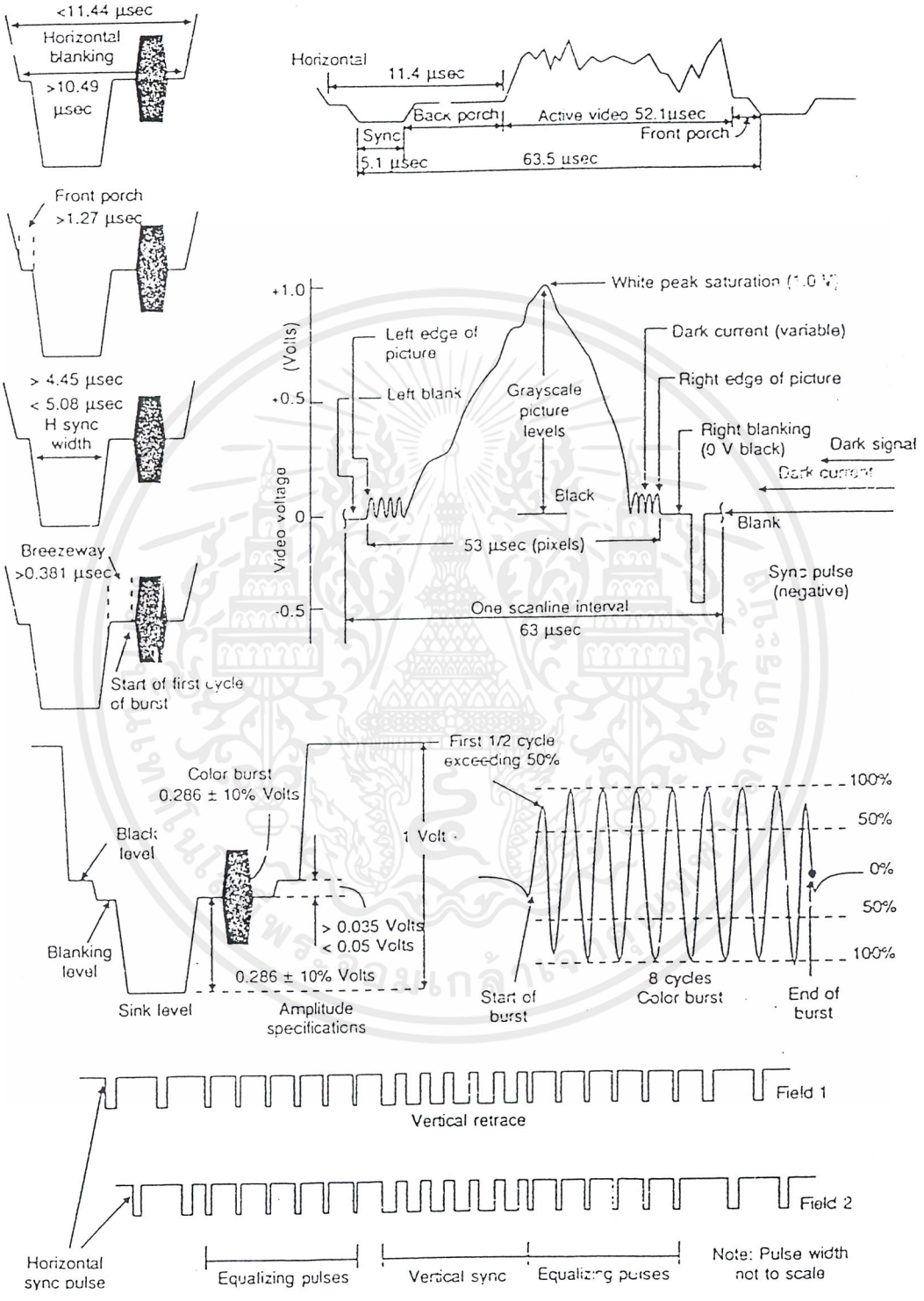
1.ฮอริซอนตอล ซิงโครไนซ์ (Horizontal Synchonize) เป็นสัญญาณซิงโครไนซ์ทางแนวนอน ซึ่งมีความถี่ 15,625 เฮิรตซ์ (ในระบบ CCIR) หรือ 15,750 เฮิรตซ์ (ในระบบ FCC) ถ้าไม่มีส่วนนี้ส่วนนี้ส่งมาจะทำให้ภาพเกิดการล้มได้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สัญญาณภาพแต่ละเส้นนั้นจะประกอบด้วยสัญญาณ 2 ส่วน คือ สัญญาณแบลงกิ้ง(Horizontal blanking) และสัญญาณข้อมูลภาพ (Active video information) ซึ่งจุดเริ่มของสัญญาณภาพแต่ละเส้นจะเป็นจุดเริ่มของสัญญาณแบลงกิ้งทางแนวนอน นี้จะมีช่วงเวลาที่คงที่ และจะมีระดับแรงดันที่ทำให้ไม่ปรากฏเป็นสัญญาณภาพที่จอภาพ คือ สัญญาณในส่วนนี้จะมืด สัญญาณแบลงกิ้งนี้จะประกอบด้วย 3 ส่วน คือ ฟร้อนพรอช (front porch) สัญญาณซิงค์ พัลซ์ (horizontal sync pulse) และแบ็คพรอช (back porch) ในส่วนของฟร้อนพรอช จะเป็นช่วงเวลาสั้น ๆ ประมาณ 2.5 เปอร์เซ็นต์ ของเวลาในการสแกนทางแนวนอน (64 ไมโครเซ็คคั่น) หรือประมาณ 1.47 ไมโครเซ็คคั่นและมีระดับแรงดับอยู่ในระดับต่ำที่กว่าจุดดำ และต่อจากส่วนนี้จะเป็นสัญญาณซิงค์พัลซ์ ซึ่งจะมีช่วงเวลา 4.89 ไมโครเซ็คคั่น และจะมีระดับแรงดัน –0.5 โวลท์ ซึ่งสัญญาณส่วนนี้จะทำให้ลำอิเล็กตรอนสะบัดกลับและเริ่มการสแกนเส้นถัดไปที่จุดซ้ายสุดของจอภาพ และในส่วนสุดท้ายก็คือ แบ็คพรอช ซึ่งจะมีช่วงเวลา 4.4 ไมโครเซ็คคั่น และสัญญาณช่วงนี้จะเกิดบริเวณซ้ายสุดของจอภาพ ซึ่งจากสัญญาณแต่ละเส้นจะใช้เวลาในการสแกน 63.5 ไมโครเซ็คคั่น และจะแบ่งเป็นส่วนของ สัญญาณข้อมูลภาพ 82222.5 เปอร์เซ็นต์ และสัญญาณแบลงกิ้งทางแนวนอน 17.5 เปอร์เซ็นต์ และยังแบ่งเป็นส่วนของฟร้อนพรอช 2.5 เปอร์เซ็นต์ , สัญญาณซิงค์พัลซ์ 10 เปอร์เซ็นต์ และ แบ็คพรอช 5 เปอร์เซ็นต์

2. เวอร์ติคอล ซิงค์โครไนซ์ (Vertical Synchronize) เป็นสัญญาณซิงค์โครไนซ์ทางแนวตั้ง ซึ่งมีความถี่ 50 เฮิรตซ์ (ในระบบ CCIR) หรือ 60 เฮิรตซ์ (ในระบบ FCC) ถ้าไม่มีการส่งสัญญาณส่วนนี้จะทำให้ภาพเลื่อน เนื่องจากสัญญาณซิงค์โครไนซ์กับสัญญาณแบลงกิ้งไม่ว่าจะเป็นทางแนวตั้งหรือทางแนวนอนจะมีความถี่เท่ากันจึงต้องกำหนดตำแหน่งการส่งให้ถูกต้อง มิฉะนั้นจะเกิดการกวนกันได้ ในทางปฏิบัติจึงให้สัญญาณซิงค์พัลซ์มีขนาดความกว้างน้อยกว่าแบลงกิ้งพัลซ์ แล้วใช้วิธีการส่งแบบผสม กล่าวคือ ส่งซิงค์พัลซ์และแบลงกิ้งพัลซ์ไปด้วยกัน ให้แบลงกิ้งพัลซ์ เป็นฐานของซิงค์พัลซ์ เมื่อมีการจัดระดับของงสัญญาณส่วนนี้เทียบกับเกรย์ สเกลระดับของแบลงกิ้งจะอยู่ที่ระดับต่ำกว่าดำ ส่วนซิงค์จะเป็นระดับที่ต่ำกว่าดำมากกว่าลงปอีก สัญญาณเหล่านี้จะไม่ส่งผลต่การมองเห็นหรือไม่กวน

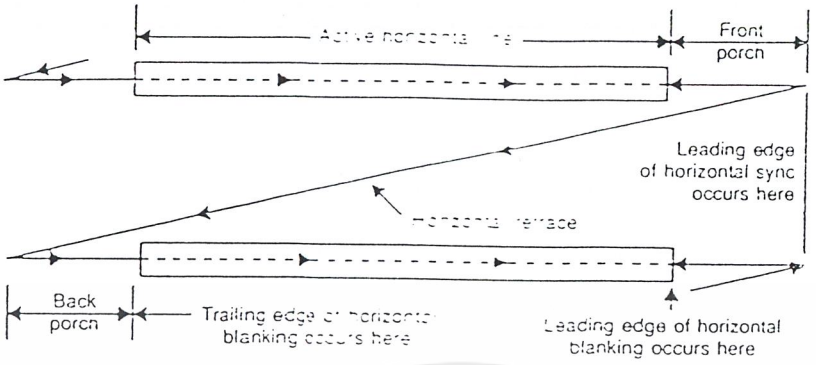
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



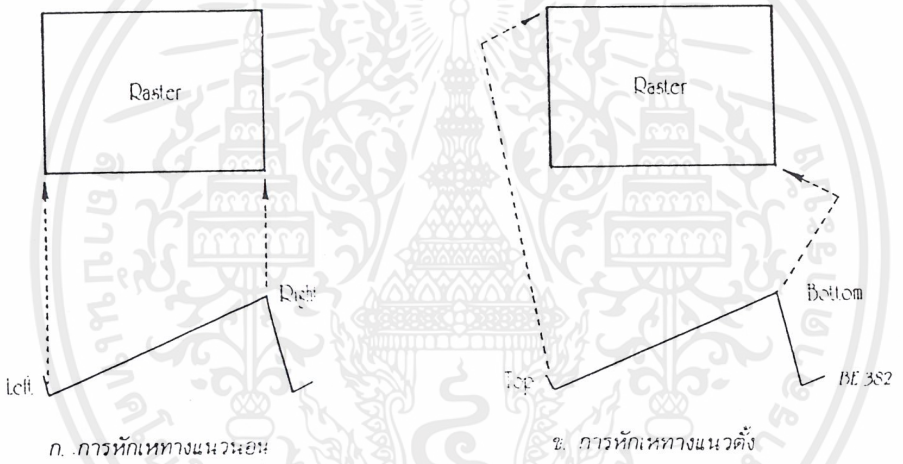
รูปที่ 2.12 แสดงลักษณะและค่าเวลาต่าง ๆ ของสัญญาณภาพวีดีโอรวม

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สำนักหอสมุดกลาง พระจอมเกล้าลาดกระบัง



รูปที่ 2.13 แสดงจุดฟร้อนพรอชและแบล็กพรอชของสัญญาณภาพ

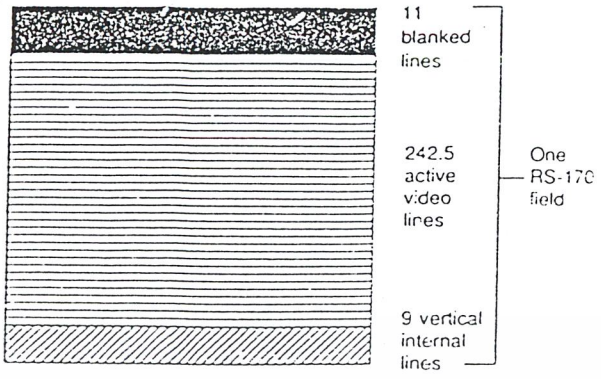


รูปที่ 2.14 แสดงส่วนประกอบของสัญญารซิงค์ทางแนวนอน

สัญญาณแต่ละฟิลด์จะประกอบไปด้วยสัญญาณแบลงกิ้งและสัญญาณข้อมูลภาพ จุดเริ่มของสัญญาณในแต่ละฟิลด์จะเป็นส่วนของสัญญาณแบลงกิ้งซึ่งจะเกิดหลังจากสัญญาณภาพเส้นสุดท้ายของส่วนสัญญาณภาพฟิลด์ก่อนหน้านี้และจะกินเวลาของการสแกนเส้นภาพไป 20 เส้น ซึ่งจะเกิดขึ้นในบริเวณ 9 เส้นสุดท้ายและ 11 เส้นแรกของการสแกนภาพในแต่ละฟิลด์

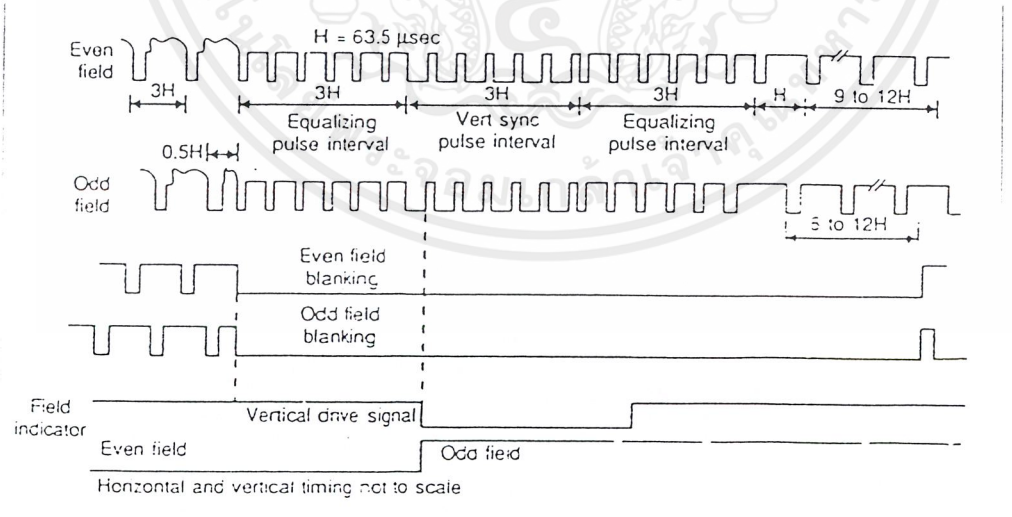
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

46276



รูปที่ 2.15 แสดงลักษณะกรสแกนภาพใน 1 ฟิลด์

จากภาพ 2.15 ในช่วง 3H แรกนั้นจะเป็น ฟร้อนพรอชทางแนวตั้ง (vertical fornt porch)ซึ่งจะประกอบด้วยพัลซ์ซ์ที่มีช่วงเวลาสั้น ๆ ความถี่เป็น 2 เท่าของสัญญาณซิงค์ทางแนวนอนและในส่วนนี้จะเรียกว่า ปรี อีควอไลเซชั่นพัลซ์ (pre-equalization pulses) และช่วงเวลา3H ต่อมาจะเป็นส่วนของสัญญาณ ซิงค์พัลซ์ทางแนวตั้ง (vertical sync pulses) จะมีช่วงเวลา 3*63.5 = 190.5 ไมโครเซ็คคั่น และส่วนสุดท้ายจะเป็นแบ็คพรอช (back porch) ซึ่งจะมีช่วงเวลา 3H เช่นกัน และจะเรียกว่า โพส อีควอไลเซชั่นพัลซ์ (post-equalization pulses)



รูปที่ 2.16 แสดงความสัมพันธ์ระหว่างสัญญาณต่าง ๆ

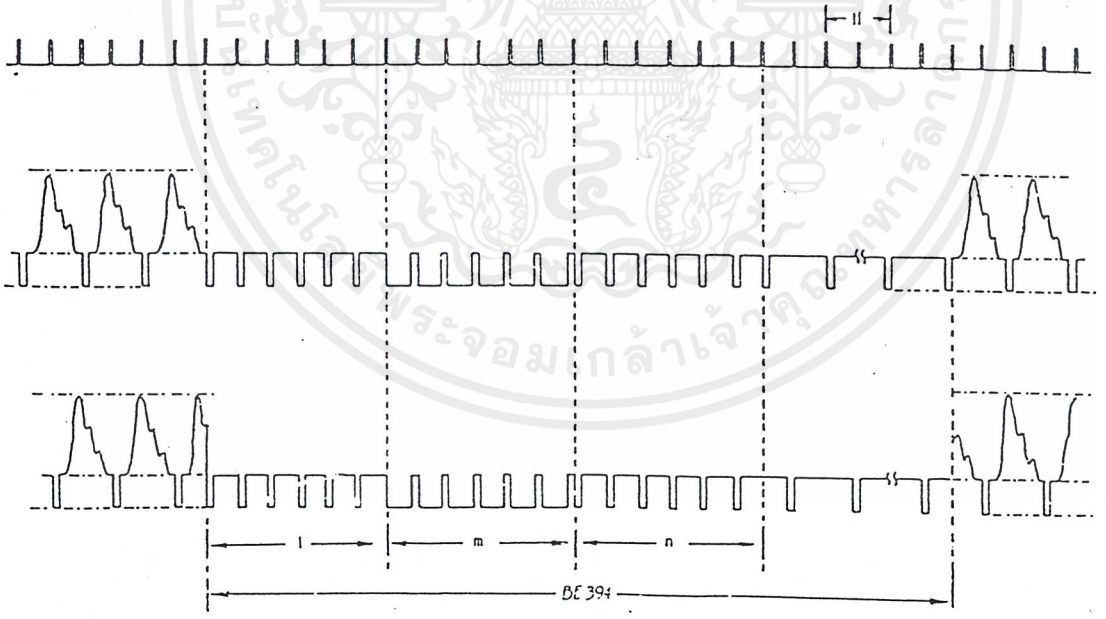
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.4.3 สัญญาณแบลงกิ้ง

การสแกนลำอิเล็กตรอนที่หน้าจอจะเกิดเส้นรีเทรซหรือเส้นสะบัดกลับ ซึ่งเป็นเส้นภาพที่เราไม่ต้องการ เครื่องส่งจึงต้องส่งสัญญาณแบลงกิ้ง (Blanking) เพื่อบังคับให้เครื่องรับสามารถบังคับเส้นสะบัดกลับได้ สัญญาณแบลงกิ้งส่วนหนึ่งเครื่องรับจะต้องสร้างขึ้นเหมือนกับการสร้างสัญญาณซิงโครซิงโครไนซ์แต่มันจะสัมพันธ์กับเครื่องส่งได้อย่างไร จึงจะต้องมีการสร้างสัญญาณแบลงกิ้งมาจากเครื่องส่งเพื่อลบเส้นสะบัดกลับในเครื่องรับ สัญญาณแบลงกิ้งมีอยู่ 2 อย่าง คือ เวอร์ติคอลแบลงกิ้งและฮอริซอลตอลแบลงกิ้ง

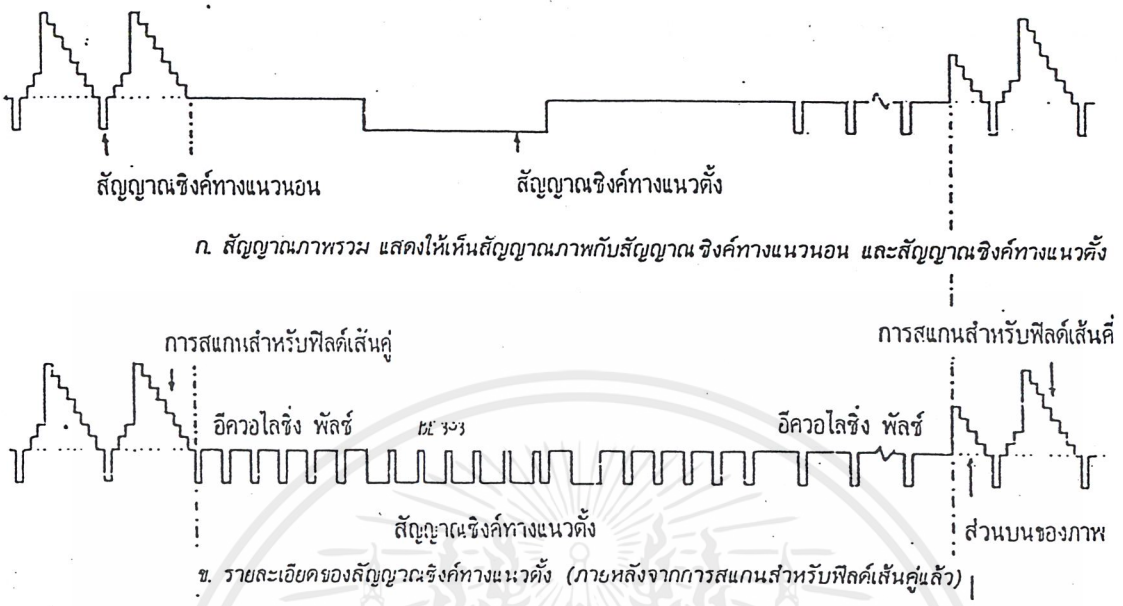
2.4.4 สัญญาณอีควอไลซิ่ง

เป็นสัญญาณบังคับรูปร่างของสัญญาณซิงโครไนซ์ทางแนวตั้ง เพื่อให้สามารถคงรูปถูกต้องแล้วยังช่วยให้การสแกนแบสลับเส้นเป็นไปได้อย่างถูกต้องด้วยสามารถขึ้นเส้นคี่และเส้นคู่ในตำแหน่งที่ถูกต้องได้ ทั้งยังส่งผลทางอ้อมให้สัญญาณซิงโครไนซ์ทางแนวนอนไม่ขาดช่วงหายไปในระหว่างการส่งสัญญาณทางแนวตั้งด้วย สัญญาณตัวนี้จะมีขนาดของพัลซ์รวมเท่ากับเวอร์ติคอล ซิงโครไนซ์พัลซ์ สัญญาณส่วนนี้จะถูกแบ่งออกเป็น 6 ลูกเล็ก ๆ ในระบบเส้น 525 เส้น และถูกแบ่งออกเป็น 5 ลูกในระบบ 625 เส้น ดังแสดงไว้ในรูปที่ 2.18



รูปที่ 2.17 แสดงระบบพัลซ์ในฟิลด์ของการซิงโครไนซ์ของระบบโทรทัศน์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.18 แสดงสัญญาณภาพรวมที่มีรายละเอียดทุกอย่าง

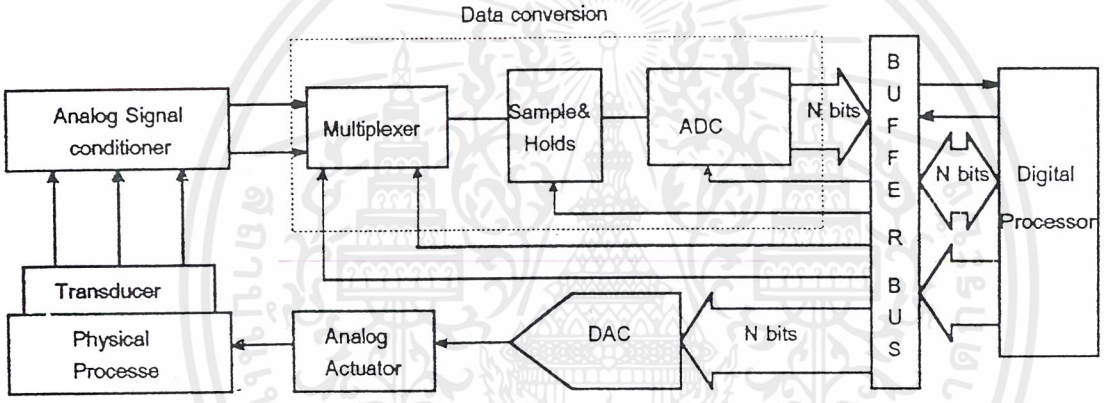
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่3

ตัวแปลงสัญญาณอนาลอกให้เป็นดิจิตอล (Analog to Digital Converter)

A/D Converter หรือ ADC ใช้สำหรับการแปลงสัญญาณอินพุทที่เป็นอนาลอกให้เป็นจำนวนจำกัดของดิจิตอลบิต ผลลัพธ์ที่ได้อยู่ในรูปของเวิร์ด (Word) ทางดิจิตอลซึ่งกลายเป็นรหัสเลขฐานสองที่แทนระดับแต่ละระดับของสัญญาณอนาลอก ในขณะที่ ADC กำลังแปลงสัญญาณอยู่

ความละเอียดของ ADC จะคล้ายกับความละเอียดของ DAC อย่างมาก กล่าวคือ จำนวนบิตทางเอาท์พุทมีหลายๆ บิต ความละเอียดของ ADC ตัวนั้นก็จะมีมากขึ้น เช่น ADC ขนาด 12 บิต ก็จะมีความละเอียดเท่ากับ 12 เป็นต้น ดังแสดงในรูปที่ 3.1



รูปที่ 3.1 ความละเอียดของ ADC จะแปรผันตรงกับจำนวนบิตทางเอาท์พุท

ค่าเวลาการแปรผัน (Conversion time) เป็นเกณฑ์ที่สำคัญอีกตัวหนึ่งของ ADC ตามที่ได้เห็นมาว่า การแปลงสัญญาณอนาลอกให้กลายเป็นสัญญาณดิจิตอลไม่ได้เกิดขึ้นโดยทันทีทันใด แต่ต้องมีการผ่านกระบวนการต่าง ๆ ด้วย เหตุที่ผลลัพธ์ต้องการเวลาค่าเวลาขณะหนึ่งที่จะทำการสุ่ม (Sample) สัญญาณอินพุท และให้สัญญาณดิจิตอลที่เป็นรหัสไบนารีออกมาที่เอาท์พุท ดังนั้นค่าเวลาการแปรผันคือ ช่วงเวลาที่ต้องการการกระทำกระบวนการให้เสร็จสิ้น ซึ่งจะมีค่าอยู่ในช่วงประมาณไมโครเซคคั่น สำหรับ DAC ความเร็วสูง และเป็นมิลลิเซคคั่น สำหรับ ADC แบบธรรมดา เนื่องจากการเปลี่ยน ADC นั้น จะต้องการขบวนการซิงโครไนส์ที่แน่นอนและแม่นยำ แหล่งกำเนิดสัญญาณนาฬิกาจึงต้องมีไว้ในวงจร

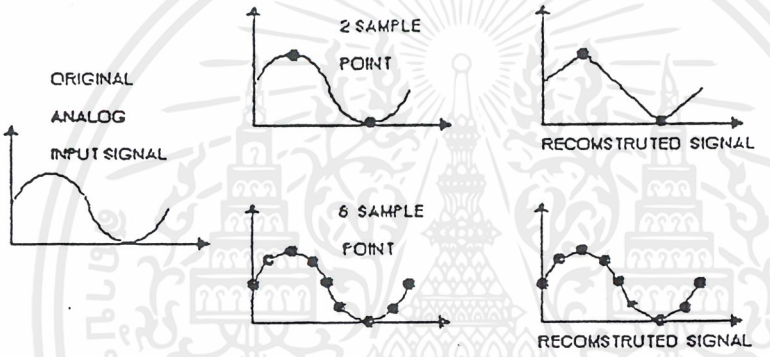
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.1 ทฤษฎีการสุ่มตัวอย่าง (Sampling Theory)

เนื่องจาก ADC ต้องการค่าเวลาขณะหนึ่งที่ใช้ในกระบวนการแปลงสัญญาณอนาลอกไปเป็นสัญญาณดิจิตอล ช่วงเวลาช่วงหนึ่งจะใช้สำหรับการสุ่มตัวอย่าง (Sampling) ของสัญญาณต่าง ๆ เช่น ADC สามารถเปลี่ยนสัญญาณเสร็จสมบูรณ์ได้ภายใน 1 มิลลิเซคคั่น ดังนั้นมันจึงสามารถเปลี่ยนสัญญาณได้ 1,000 ครั้ง ใน 1 วินาที อัตราการเปลี่ยนสัญญาณสูงสุดมีค่าเท่ากับส่วนกลับของค่าเวลาการเปลี่ยน

ตัวคอนเวอร์เตอร์จะสุ่มตัวอย่างของสัญญาณด้วยอัตราต่ำสุดเป็น 2 เท่าของความถี่สูงสุดของสัญญาณอินพุทที่เข้ามา อัตราการสุ่มนี้เรียกว่า Nyquist rate

พิจารณาสัญญาณอนาลอกที่เป็นคลื่นรูปซายน์ 10 เฮิรตซ์ จ่ายให้กับตัว ADC ตามรูปที่ 3.2



รูปที่ 3.2 การสุ่มหลายๆ ช่วงจะมีลักษณะที่ใกล้เคียงกับสัญญาณเดิม

อัตราต่ำสุดของการสุ่มตัวอย่างเป็น 20 เฮิรตซ์ ซึ่งจะให้ข้อมูลดิจิตอลขนาด 2 บิท ออกมาในแต่ไซเคิล เมื่อข้อมูลดิจิตอลถูกนำมาสร้างเป็นสัญญาณอนาลอกขึ้นมาใหม่ โดย DAC สัญญาณอนาลอกตัวใหม่มีลักษณะคล้ายคลึงกับสัญญาณเดิม ถ้าความถี่ 10 เฮิรตซ์ เป็นความถี่สูงสุดที่เข้ามายังตัว ADC ค่าเวลาที่ใช้ในการเปลี่ยนสัญญาณสูงสุดเป็น 1/20 เฮิรตซ์ หรือ 50 มิลลิเซคคั่น เป็นต้น

การที่เราจะปรับปรุงประสิทธิภาพของ ADC ในแง่การเหมือนจริงของสัญญาณการแปลงให้อยู่ในดิจิตอล เราต้องเพิ่มอัตราการสุ่มขึ้นในขณะที่คาบเวลาเท่าเดิม อัตราการสุ่ม 8 จุดต่อไซเคิล ต้องการอัตราการสุ่มของส่วนประกอบความถี่สูงสุดอินพุท 8 ครั้ง เช่น สัญญาณความถี่อินพุท 10 เฮิรตซ์ จะต้องสุ่มตัวอย่างที่ 80 เฮิรตซ์ ดังนั้นตัวคอนเวอร์เตอร์ควรจะมีค่าเวลาการเปลี่ยนแปลงเป็น 1/80 เฮิรตซ์ หรือ 12.5 มิลลิเซคคั่น ถ้าตัว ADC ไม่สามารถสุ่มตัวอย่างได้เร็วพอต่อสัญญาณอินพุทที่เปลี่ยนแปลงไป ข้อมูลที่บรรจุในสัญญาณอนาลอกทางอินพุทจะสูญหายไป

ความสัมพันธ์ระหว่างความถี่ทางอินพุท ค่าเวลาในการเปลี่ยนสัญญาณและอัตราการสุ่มเป็นพารามิเตอร์ของ ADC ที่สำคัญตัวหนึ่ง วิธีการหลายๆ วิธีได้ถูกพัฒนาในช่วงหลายปีที่ผ่านมา เพื่อที่จะ

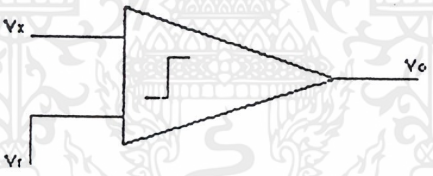
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ทำการแปลงสัญญาณอนาลอกให้อยู่ในรูปของสัญญาณดิจิตอล วิธีที่ยังใช้จนถึงปัจจุบัน มีอยู่ 6 วิธีด้วยกันคือ

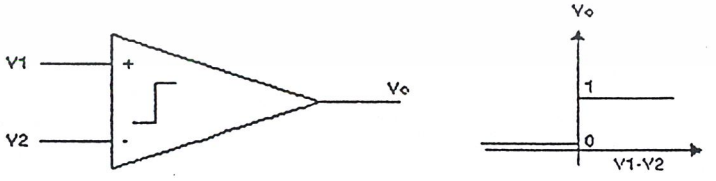
3.2 วิธีแปลงสัญญาณอนาลอกเป็นดิจิตอล

3.2.1 Basic conversion method

วิธีการแปลสัญญาณอนาลอกเป็นดิจิตอลแบบง่ายๆ แสดงดังรูปที่3.3 แรงดันอินพุทที่ไม่ทราบค่า V_x จะต่อเข้ากับค่าอินพุทขาหนึ่งของอนาลอกคอมพารามิเตอร์ และแรงดันอ้างอิงที่ขนาดแปรตามเวลา V_r ต่อเข้ากับค่าอินอีกขาหนึ่งของคอมพารามิเตอร์ ลักษณะของทรานเฟอร์ฟังก์ชั่นของคอมพารามิเตอร์แสดงดังรูปที่ 3.4 ถ้าแรงดันอินพุท V_1 มากกว่าอินพุท V_2 แล้วแรงดันเอาท์พุทจะเป็นลอจิก 1 ถ้าอินพุท V_1 น้อยกว่า V_2 แล้วเอาท์พุทจะเป็นลอจิก 0 วิธีในการแปลงข้อมูลคือ แรงดันอ้างอิงจะถูกแปรค่าจนกระทั่งรู้ค่าแรงดันอินพุทที่ผิดพลาดไม่เกิน Quantization error ของคอนเวอร์เตอร์ ในแนวความคิดแล้วตรรกะของ ADC คือพยายามเลือกกลุ่มของสัมประสิทธ์ไบนารี a_1 เพื่อให้ผลต่างระหว่างแรงดันอินพุท V_x และค่าที่ Quantize ได้ครั้งสุดท้ายน้อยกว่า 0.5 LSB



รูปที่ 3.3 แสดงวิธีการพื้นฐานของ ADC

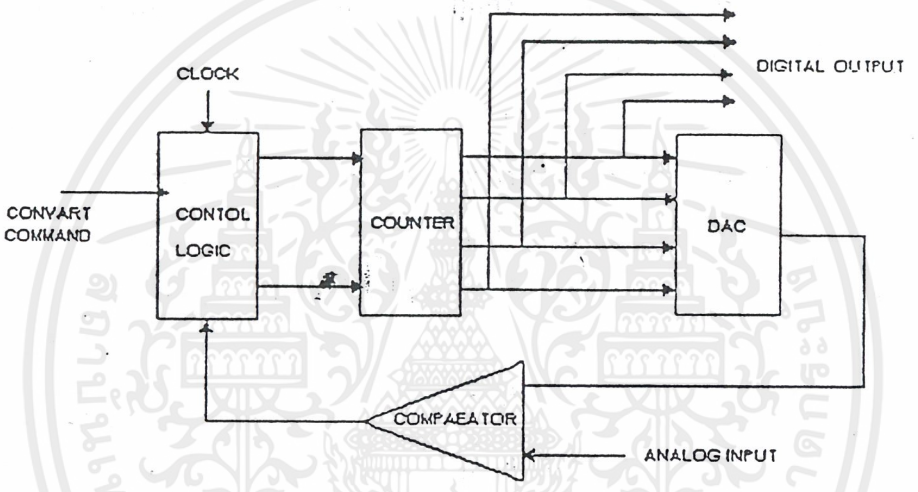


รูปที่ 3.4 แสดงทรานเฟอร์ฟังชั่นของคอมพาราเตอร์

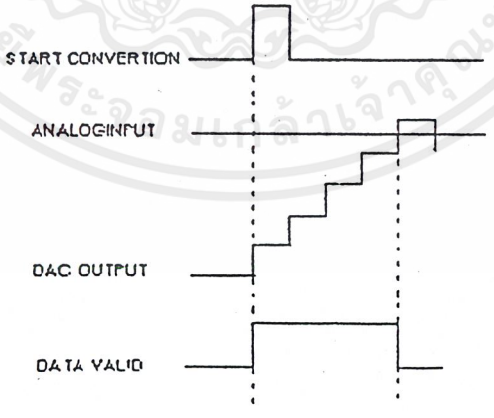
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.2.2 Counter Type ADC

การจัดวงจร ADC ลักษณะนี้ เป็นแบบที่ง่ายที่สุด หลักการทำงานของวงจรคือ การเปรียบเทียบขนาดของแรงดันที่เอาท์พุทของ DAC กับสัญญาณอนาลอกที่ไม่ทราบค่า V_{in} การทำงานจะเริ่มขึ้นโดยสัญญาณ Start conversion ลอจิกคอนโทรลจะรีเซตเคาน์เตอร์ให้เป็นศูนย์ แล้วเริ่มนับจากศูนย์ เอาท์พุทของเคาน์เตอร์ (Counter) จะป้อนให้ DAC เพื่อแปลงเป็นสัญญาณอนาลอกลักษณะ เป็นขั้นบันได นำมาเปรียบเทียบกับสัญญาณอนาลอกอินพุทที่คอมพารามิเตอร์ โดยเคาน์เตอร์จะยังนับจนกระทั่งเอาท์พุทเท่ากับสัญญาณอนาลอกอินพุท หรือต่างกันไม่เกิน 1 LBS แล้วคอมพารามิเตอร์จะเปลี่ยนสถานะไปหยุดการนับของเคาท์เตอร์และแลตช์ค่าจากเคาท์เตอร์เพื่อรอประมวลผลต่อไป และรอสัญญาณเริ่มต้นใหม่



ก. ไดอะแกรมของเคาน์เตอร์ Counter Type ADCบล็อก



ข. ไทม์มิ่งไดอะแกรม ของ Counter Type ADC

รูปที่ 3.5 บล็อกไดอะแกรม และ ไทม์มิ่งไดอะแกรมของ Counter Type ADC

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

วงจรนี้มีข้อเสียคือ ทำงานได้ช้าเพราะการ Conversion แต่ละครั้งเคาน์เตอร์จะต้องถูกรีเซตและเริ่มนับจากศูนย์ทุกครั้ง ดังนั้นในการ Conversion เป็นดิจิตอล n บิท จะใช้จำนวนนาฬิกา (Clock) ถึง 2^n เพื่อเปลี่ยนให้ได้ค่าสูงสุดเต็มสเกล ส่วนข้อดีคือ สร้างง่าย รวดเร็ว ราคาถูก แต่ความแม่นยำขึ้นอยู่กับ DAC ที่ใช้

3.2.3 Tracking ADC

Tracking ADC จะปรับปรุงวงจรจากแบบ Counter Type ทางด้านความเร็ว โดยใช้เคาท์เตอร์แบบนับขึ้นลงได้ไม่จำเป็นต้องเริ่มนับจากศูนย์ทุกครั้ง แต่จะเริ่มนับจากค่าที่ได้แลตช์ไว้จากการเปลี่ยนสัญญาณครั้งหลังสุด ดังนั้นส่วนควบคุมทางลอจิกจึงซับซ้อนมากกว่า โดยการทำงานจะเป็นดังนี้

เอาท์พุทจาก DAC จะถูกเปรียบเทียบกับสัญญาณอินพุท หาก V_{in} มากกว่า ลักษณะลอจิกของคอมพารามิเตอร์จะควบคุมให้เคาน์เตอร์นับขึ้น แต่ถ้า V_{in} น้อยกว่า เคาน์เตอร์จะนับลงจนกว่าค่าหลังสุดของเคาน์เตอร์จะถูกแลตช์ไว้ จากนั้นเคาน์เตอร์จะทำงานแบบติดตาม (Track) สัญญาณอินพุทจนได้ค่าเท่ากันอีกก็จะแลตช์ค่าใหม่ไว้

จากลักษณะการทำงานดังกล่าว V_{in} จะต้องไม่เปลี่ยนแปลงเร็วกว่าการทำงานของเคาน์เตอร์ มิฉะนั้นค่าเอาท์พุทที่ได้จะไม่สอดคล้องกับสัญญาณอินพุท ตัวอย่างในกรณีนี้คือ สัญญาณรูปซายน์ ซึ่งเปลี่ยนแปลงขนาดได้มากที่สุดเท่ากับค่าเต็มสเกล อัตราการเปลี่ยนแปลงจะเท่ากับอัตราการเปลี่ยนแปลงของเอาท์พุทเคาท์เตอร์ คือ 1 LBS/clock period ดังนั้นถ้าต้องการให้ ADC ตามอินพุทได้จะต้องให้ f_o น้อยกว่า 1/2n เท่าของ f_o

3.2.4 Integrating ADC

หัวใจสำคัญของ ADC ชนิดนี้คือ Integrator เทคนิคของการ ADC แบบ Integration คือใช้สัญญาณ Ramp ต่อเนื่องแทนสัญญาณขั้นบันไดจาก DAC ซึ่งแบ่งตามลักษณะการทำงานได้ 2 แบบ คือ Single Slope Converter และ Dual Slope Converter

3.2.4.1 Single Slope Converter

สัญญาณอนาลอกแบบ Ramp จะใช้เป็นแรงดันอ้างอิงที่เพิ่มขึ้นอย่างคงที่จากค่าต่ำกว่าศูนย์เล็กน้อยจนถึงค่าที่สูงกว่าค่าเต็มสเกลเล็กน้อย ซึ่งเวลาที่จะใช้จากการสแกนของสัญญาณ Ramp จากศูนย์ถึงค่าแรงดันอินพุทจะเป็นสัดส่วนกับแรงดันอินพุท

การ Conversion จะเริ่มด้วยสัญญาณ Start Conversion ทำการรีเซตไบนารีเคาน์เตอร์ และเริ่มสร้างสัญญาณ Ramp จากแรงดันที่ต่ำกว่าศูนย์โวลท์ เมื่อสัญญาณ Ramp ผ่านศูนย์โวลท์ เอาท์พุทจากคอมพารามิเตอร์ 2 จะอยู่สถานะสูง (High) และเปิดเกทปล่อยพัลส์เข้าสู่เคาน์เตอร์ เคาน์เตอร์จะเริ่มนับ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จนกระทั่งสัญญาณ Ramp มีขนาดเท่าแรงดันอนาลอกอินพุท V_{in} ในเวลานี้เอาท์พุทจากคอมพารามิเตอร์ 1 จะ High และปิดเกทไม่ให้ Clock เข้าสู่เคาน์เตอร์ จำนวนพัลส์จากเคาน์เตอร์จะเป็นสัดส่วนกับแรงดันอินพุท เนื่องจาก VR = KT โดยที่ R เป็นสโลปของ Ramp (ซึ่งคงที่) ในหน่วยโวลท์/วินาที และ T เป็นจำนวนในการเคาน์เตอร์หารด้วย f_o ซึ่งเป็นความถี่สัญญาณ Clock ถ้าเลือให้สโลปของ Ramp เป็น $V_{FSR}f_o/2n$ จำนวนที่เคาน์เตอร์นับได้จะเท่ากับอัตราส่วนทางไบนารีหรือ V_{in} เวลามากที่สุด

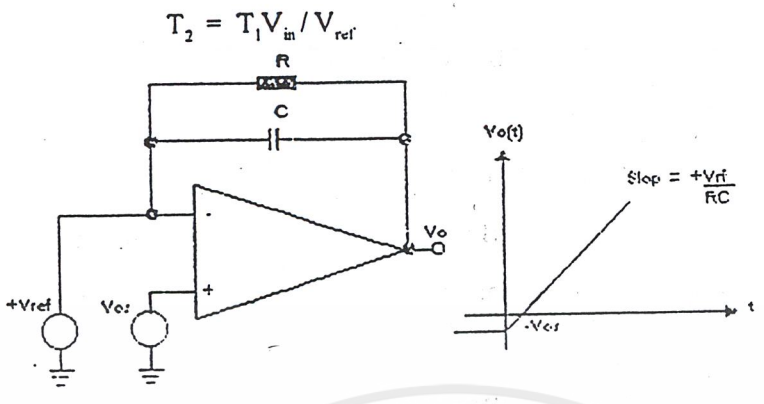
เมื่อ V_{in} เท่ากับ V_{FRS} คือ $T_{MAX} = 2n/f_o$ และเช่นเดียวกันใน ADC แบบเคาน์เตอร์ Ramp ค่าของรหัสเอาท์พุทสุดท้ายจะต่างจากค่าของ V_{in} ไม่เกิน 0.5 LSB ในรูปที่ 3.6 แสดงวงจรกำเนิดของแรงดัน Ramp อย่างง่าย โดยการต่อแรงดันอ้างอิงกับอินติเกรเตอร์ เมื่อสวิทซ์เปิด C จะทำการประจุและเพิ่มขนาดแรงดันเอาท์พุท ข้อเสียอีกประการหนึ่ง คือหากใช้งานไปนานๆ จะเปลี่ยนแปลงค่า RC ตามอุณหภูมิจะทำให้สโลปคลาดเคลื่อน ด้วยเหตุนี้ ADC ชนิดนี้จึงไม่เป็นที่นิยมใช้ในปัจจุบัน

3.2.4.2 Dual Slope Converter

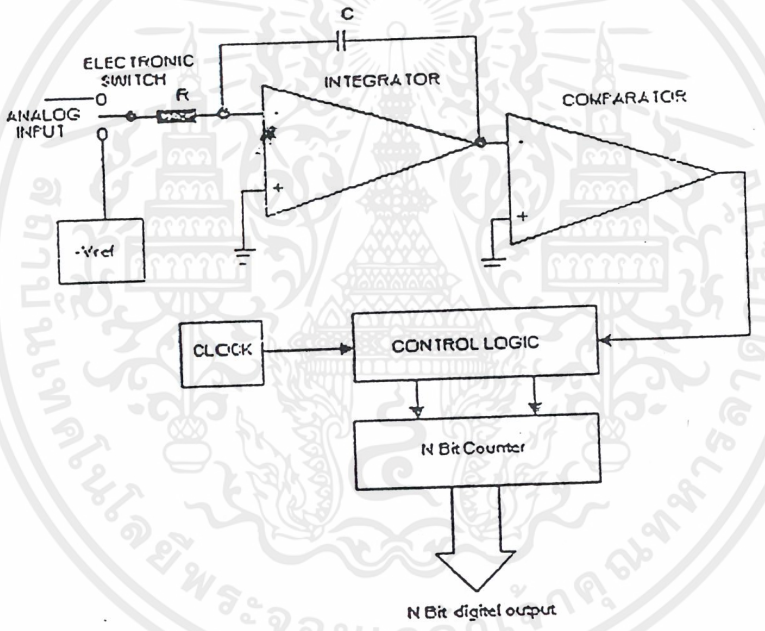
ADC แบบ Dual Slope ได้รับการพัฒนาขึ้นมาเพื่อแก้ไขจุดบกพร่องของ Single Slope ADC การจัดวงจรในรูปที่ 3.6 ในแต่ละวัฏจักรของการทำงานของวงจร จะมีสองช่วงคือ T_1 , T_2 ในเวลา T_1 จะเป็นช่วงเวลาที่ได้รับการออกแบบให้มีค่าแน่นอนคงที่ในช่วงเวลานี้ สัญญาณอินพุทจะต่อเข้ากับอินติเกรเตอร์ ผ่านสวิทซ์ S ซึ่งให้เอาท์พุทที่ถูกอินติเกรท Vint เป็นสัญญาณ Ramp ที่ขนาดเพิ่มขึ้นทางบวกและสโลปขึ้นกับขนาดของ V_{in} จนกระทั่ง V_{int} มีค่าถึงค่าค่าหนึ่งเมื่อสิ้นสุด T_1 ในช่วงเวลา T_2 อินพุทจะถูกตัดออกจากอินติเกรเตอร์และต่อกับแรงดันอ้างอิง ซึ่งมีค่าลบเข้ากับอินพุทของอินติเกรเตอร์ โดยการควบคุมทางลอจิก ในลักษณะเช่นนี้จะทำให้ V_{int} ลดลงด้วยสโลปคงที่จากการคายประจุผ่านลง
$-V_{ref}$ เมื่อเริ่มต้นเวลา T_2 เคาน์เตอร์จะรีเซตและเริ่มนับ จนเมื่อ V_{int} มีค่าลดถึงศูนย์ คอมพาราเตอร์จะเปลี่ยนสถานะไปบอกส่วนลอจิกให้หยุดนับ และเอาท์พุทของเคาน์เตอร์จะถูกแปลงเป็นรหัสดิจิตอล ความสัมพันธ์ระหว่างช่วงเวลากับแรงดันอินพุทจะเป็นไปตามสมการ

$$T_2 = T_1V_{in} / V_{ref}$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.6 วงจร Ramp voltage generator อย่างง่ายและลักษณะของเอาท์พุท



รูปที่ 3.7 บล็อกไดอะแกรมของ Dual Slope ADC

ดังนั้นรหัสดิจิตอลที่แสดงค่า T_2 จะแสดงอัตราส่วนของแรงดันอินพุทต่อแรงดันอ้างอิง ด้วยคุณลักษณะสำคัญของ Dual Slope มีหลายประการคือ ประการแรก ความแม่นยำของมันไม่ขึ้นอยู่กับเสถียรภาพของสัญญาณ Clock และตัวเก็บประจุ แต่ขึ้นอยู่กับค่าความเที่ยงตรงของแรงดันอ้างอิง และความเป็นเชิงเส้นของอินติเกรเตอร์ ประการที่สอง การจำกัดสัญญาณรบกวนด้วยตัวเองของวงจรสามารถทำได้ ถ้าเซตให้ T_1 มีขนาดเท่ากับคาบเวลาของสัญญาณรบกวน เช่น ในการจำกัดสัญญาณ 50 เฮิรตซ์ T_1 จะให้มีค่า 20 ms ส่วนข้อเสียที่สำคัญของ ADC นี้คือความเร็วในการ Conversion ค่อนข้างต่ำ จึงนิยมใช้กับเครื่องมือวัดที่ไม่ต้องการความเร็ว เช่น ดิจิตอลมิเตอร์ เป็นต้น

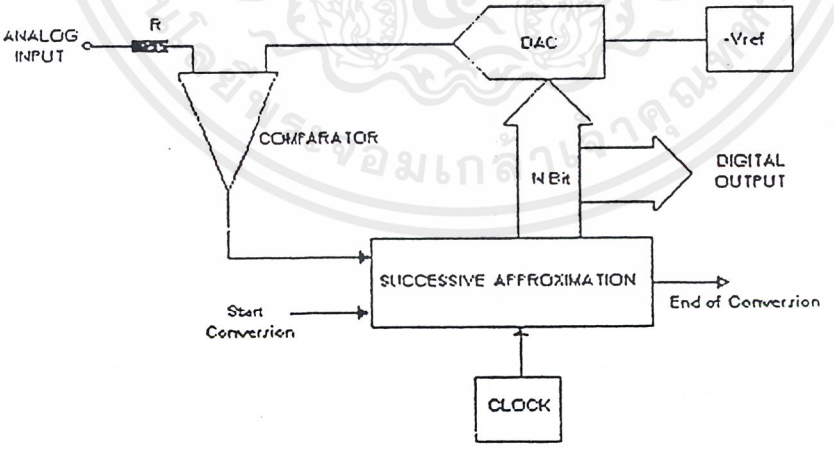
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.2.5 Successive Approximation

วงจร ADC ชนิดนี้ได้รับความนิยมในงานประยุกต์ที่ต้องการความความเร็วปานกลางและค่อนข้างสูง การจัดวงจรจะคล้ายกับแบบเคาน์เตอร์ที่ทำงานในลักษณะการป้อนกลับ ซึ่งบล็อกไดอะแกรมในรูปที่ 3.8 แสดงฟังก์ชั่นต่าง ๆ ใน ADC ชนิดนี้ คอมพาราเตอร์จะคอยเปรียบเทียบเอาท์พุทจาก DACกับอนาลอกอินพุท V_{in} เอาท์พุทจะไปควบคุม Successive Approximation Resistor (SAR) ซึ่งเป็นไอซี. MSI (Medium Scale Integrated circuit) ที่ได้รับการออกแบบเป็นพิเศษเพื่อทำหน้าที่นี้โดยเฉพาะ

การทำงานของ ADC แบบนี้เปรียบเทียบได้กับการใช้งานของตาชั่งสองแขน เมื่อวัตถุที่ต้องการทราบน้ำหนักเสมือนเป็นอินพุทของ ADC และเอาท์พุทที่เป็นดิจิตอลบิทเสมือนเป็นตุ้มน้ำหนักมาตรฐานที่จะวางบนจานอีกข้างหนึ่ง เมื่อตาชั่งยังไม่สมดุลย์ จะต้องมีการปรับตุ้มน้ำหนักมาตรฐานจนกว่าจะเกิดสมดุลย์ ในรูปที่ 3.8 คอมพาราเตอร์จะเป็นตัวตรวจสอบการสมดุลย์ดังกล่าว และ SAR จะทำหน้าที่ปรับแต่งดิจิตอลบิต (ตุ้มน้ำหนักมาตรฐาน)

มีข้อจำกัดประการหนึ่งสำหรับการ Conversion คือสัญญาณอนาลอกอินพุท จะต้องคงที่ในช่วงเวลาที่ทำการเปลี่ยนแปลงสัญญาณได้ไม่เกิน LSB ในช่วงสุดท้ายของการเปลี่ยนสัญญาณดิจิตอลเอาท์พุทมาขนานกันทุกบิต แต่บางแบบจะให้เอาท์พุทออกมาในลักษณะอนุกรม วงจร ADC แบบนี้สามารถทำงานได้สองโหมด คือ โหมดที่ทำงานโดยอิสระ (Free run) และโหมดที่รอคำสั่ง Start conversion จากภายนอก เวลาที่ใช้ในการเปลี่ยนสัญญาณใช้ n+1 ลูกของ Plus clock โดย Clock ลูกแรกจะใช้ในการรีเซตรีจีสเตอร์ภายใน สุดท้ายคุณภาพของระบบจะขึ้นอยู่กับคุณภาพของ ADC ในระบบเป็นอย่างยิ่ง



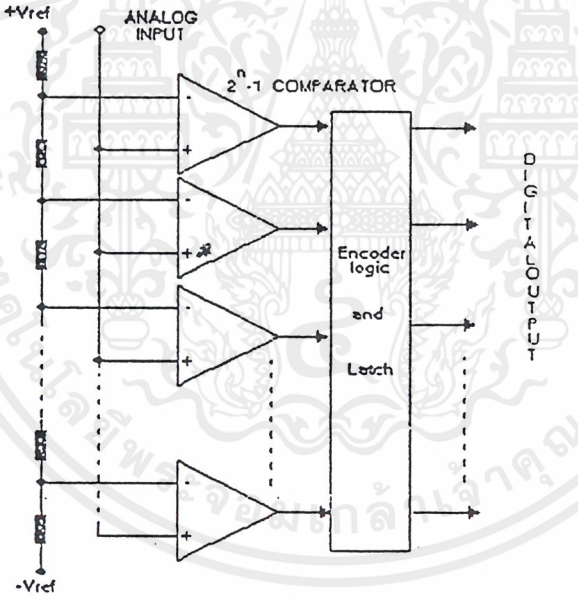
รูปที่ 3.8 บล็อกไดอะแกรมของ Successive Approximation ADC

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.2.6 แฟรช ADC (Flash A/D)

แฟรชคอนเวอร์เตอร์เป็น ADC ที่เร็วที่สุดในบรรดา ADC ที่ใช้เทคนิคแบบอื่นๆ ลักษณะของวงจรแฟรชคอนเวอร์เตอร์จะใช้ชุดของตัวเปรียบเทียบ (Comparator) ที่ต่อขนานกัน เพื่อจะทำการแปลงสัญญาณอนาลอกทางอินพุทให้เป็นรหัสทางดิจิตอล ดังนั้นแฟรชคอนเวอร์เตอร์จึงเป็นคอนเวอร์เตอร์แบบขนาน

พิจารณารูปที่ 3.9 ตัวต้านทานที่ต่ออนุกรมกันจะอยู่ในรูปที่ 3.9 วงจรแบ่งแรงดันที่ตกคร่อมตัวเปรียบเทียบแต่ละตัว แรงดันอินพุทสูงสุดจะขึ้นอยู่กับค่าของ V_{cc} สัญญาณเอาท์พุทจากตัวเปรียบเทียบแต่ละตัวจะเป็น 1 หรือ 0 ซึ่งเป็นระดับสัญญาณลอจิกของวงจรดิจิตอล เมื่อไม่มีแรงดันอินพุทเข้า เอาท์พุทของตัวเปรียบเทียบแต่ละตัวจะมีลอจิก 0 ต่อมาแรงดันอินพุทเพิ่มขึ้น เอาท์พุทของตัวเปรียบเทียบแต่ละตัวจะมีลอจิก 1 ไล่ตามลำดับขึ้นไป เมื่อแรงดันอินพุทมีมากกว่าแรงดันอ้างอิงแต่ละค่าที่ถูกเซตโดยวงจรแบ่งแรงดัน เน็คเวอร์คของดิจิตอลเกทถูกใช้ในการเรียงลำดับของสัญญาณจากตัวเปรียบเทียบให้อยู่ในรหัสของเลขฐานสองซึ่งเป็นการสร้างรหัสที่เอาท์พุทของคอนเวอร์เตอร์



รูปที่ 3.9 แฟรชคอนเวอร์เตอร์ที่มีความเร็วในการเปลี่ยนแปลงสัญญาณสูง วงจรง่ายแต่รายละเอียดต่ำ

จากตัวอย่างในรูปที่ 3.9 เป็น ADC ขนาด 2 บิต ซึ่งไม่สามารถนำไปใช้งานจริงๆ ได้ เนื่องจากความละเอียดต่ำเกินไป จะพบว่าวงจรจะใช้เปรียบเทียบ 2^n-1 ตัว เป็นการแสดงถึงความละเอียดของคอนเวอร์เตอร์ จากตัวอย่างของคอนเวอร์เตอร์ขนาด 2 บิต ต้องการตัวเปรียบเทียบ 2^2-1 = 3 ตัว ตัวเปรียบเทียบคอนเวอร์เตอร์ขนาด 4 บิต ตัวเปรียบเทียบ 2^4-1 = 15 ตัว และคอนเวอร์เตอร์ขนาด 8 บิต ต้องการตัวเปรียบเทียบถึง 2^8-1 = 255 ตัว จะเห็นได้ว่าคอนเวอร์เตอร์ยิ่งมากขึ้นเท่าไร ตัวเปรียบเทียบก็ต้องมากขึ้น

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ทวีคูณ จะทำให้เกิดความยุ่งยากซับซ้อน ในการสร้างวงจรแฟรชคอนเวอร์เตอร์ขึ้นมาใช้ ซึ่งเป็นข้อเสียของ ADC ชนิดนี้ และข้อเสียอีกประการคือ เมื่อใช้ตัวเปรียบเทียบมากขึ้น วงจรจะมีขนาดใหญ่เกินกว่าจะนำไปใช้งานจริงได้ แต่วงจรแฟรชคอนเวอร์เตอร์มีข้อดีด้านความเร็ว เพราะสัญญาณอนาลอกจากอินพุทจะเข้ามาที่ตัวเปรียบเทียบพร้อมๆ กัน ในช่วงเวลาการเปลี่ยนนั้นมีค่าเท่ากัน จึงใช้เวลาน้อย

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 4
คุณสมบัติของ MCS-51

4.1 คุณสมบัติของ MCS-51

คุณสมบัติที่สำคัญๆ ของชิปไมโครคอนโทรลเลอร์ตระกูล MCS-51 มีดังนี้

- ต้องการแหล่งจ่ายไป 5 โวลท์ เพียงชุดเดียว
- มีหน่วยความจำสำหรับเก็บโปรแกรมควบคุมการทำงานอยู่ภายในชิปจำนวน 4 กิโลไบต์ (เบอร์ 8031,8032 ไม่มีหน่วยความจำในส่วนนี้ ส่วนเบอร์ 8052 มีหน่วยความจำในส่วนนี้ 8 กิโลไบต์ และสำหรับเบอร์ 83C51FB จะมีหน่วยความจำในส่วนนี้รวมทั้งสิ้น 16 กิโลไบต์)
- มีหน่วยความจำสำหรับเก็บข้อมูลทั่วไป (RAM) อยู่ภายในชิปจำนวน 128 ไบต์ (ใน 8031,8051) หรือ 256 ไบต์ (ในเบอร์ 8032,8052)
- สามารถใช้หน่วยความจำสำหรับโปรแกรมและข้อมูลที่อยู่ภายนอกชิปได้อย่างละ 64 กิโลไบต์ แยกจากกัน
- คำสั่งส่วนใหญ่ใช้เวลาทำงานเพียง 1 ไมโครวินาที เมื่อใช้คริสตอลความถี่ 12 เมกะเฮิรตซ์
- มีพอร์ตที่สามารถรับหรือส่งข้อมูลได้ทั้ง 2 ทิศทาง จำนวน 4 พอร์ต พอร์ตละ 8 บิต หรือสามารถใช้งานเป็นพอร์ตขนาด 1 บิต ใช้งานรวมทั้งสิ้น 32 พอร์ต
- รับและส่งข้อมูลแบบอนุกรมได้ในตัว โดยสามารถกำหนดอัตราเร็วในการรับส่งข้อมูล (Baud rate) ได้ตั้งแต่ 300 ถึง 375 กิโลบิตต่อวินาที
- จัดลำดับความสำคัญของสัญญาณอินเตอร์รัปต์ได้ 2 ระดับ
- มีรีจิสเตอร์สำหรับใช้งานเป็นไทม์เมอร์หรือเคาน์เตอร์เพื่อนับจำนวนสัญญาณนาฬิกาภายในชิป หรือนับการเปลี่ยนสถานะของสัญญาณภายนอกขนาด 16 บิต จำนวน 2 ตัว เพื่อใช้สำหรับนับจำนวนพัลส์ วัดความกว้างของพัลส์หรือใช้วัดช่วงเวลา (ในเบอร์ 8052 จะมี 3 ตัว)
- หน่วยความจำสำหรับเก็บข้อมูลภายในบางส่วน สามารถเข้าถึงข้อมูลได้ทั้งระดับไบต์และระดับบิต เพื่อให้การออกแบบโปรแกรมและการควบคุมระบบทำงานได้ง่ายขึ้น
- มีคำสั่งคูณและหารเลขขนาด 8 บิตในตัวเอง
- สามารถประมวลผลแบบบูลีนเพื่อใช้ในงานควบคุมโดยเฉพาะ
- ใช้โปรแกรมของไมโครคอนโทรลเลอร์ตระกูล MCS-48 (Upwardly compatible) ได้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ไมโครคอนโทรลเลอร์ตระกูล MCS-51 เบอร์ที่จัดว่าเป็นเบอร์พื้นฐานในตระกูลนี้คือเบอร์ 8051,8751 และ 8031 ซึ่งมีจำนวนขาภายนอก 40 ขาเท่ากัน ใช้เวลาและสัญญาณในการปฏิบัติคำสั่งแต่ละคำสั่งเท่ากัน (มีไทม์มิ่งไดอะแกรมเหมือนกัน) ใช้แรงดันไฟฟ้าเท่ากัน สิ่งที่แตกต่างกันระหว่างเบอร์ทั้งสามคือ ขนาดของหน่วยความจำสำหรับเก็บโปรแกรมภายในชิป (On chip program on memory) ซึ่งมีไว้เพื่อตอบสนองความต้องการที่ไม่เหมือนกัน ดังจะกล่าวต่อไปนี้

- เบอร์ 8751 มีหน่วยความจำสำหรับเก็บโปรแกรมภายในชิปเป็น EPROM (Ereasable Programble Read Only Memory) ขนาด 4 กิโลไบต์ ทำให้สามารถใช้รังสีอัลตราไวโอเลตในการลบโปรแกรมเก่าที่มีอยู่ และบรรจุโปรแกรมใหม่ลงไปได้ทันที ทั้งนี้เพื่อความสะดวกในการแก้ไขหรือปรับปรุงโปรแกรม ไมโครคอนโทรลเลอร์ MCS-51 เบอร์ 8751 มีไว้ใช้งานที่เป็นการพัฒนาเบื้องต้น (Prototypeing) ซึ่งจำเป็นต้องทดสอบโปรแกรมเพื่อหาข้อผิดพลาด (Bugs) และแก้ไขให้เรียบร้อยก่อนทำการผลิตจริง การแก้ไขโดยใช้รังสีอัลตราไวโอเลตและการบรรจุโปรแกรมที่แก้ไขใหม่สามารถทำได้ในจำนวนครั้งที่จำกัด ทั้งนี้เพราะหน่วยความจำที่เป็น EPROM เมื่อใช้ไปนานจะเกิดการเสื่อมสภาพทำให้ไม่สามารถบรรจุโปรแกรมเข้าไปได้
- เบอร์ 8051 หลังจากการทดสอบโปรแกรมจนไม่พบข้อผิดพลาดแล้ว จะเป็นช่วงของการผลิตจริง ซึ่งต้องพิจารณาถึงต้นทุนเป็นอันดับแรก ในการผลิตจริงจะใช้ไมโครคอนโทรลเลอร์เบอร์ 8051 ซึ่งมีหน่วยความจำสำหรับเก็บโปรแกรมภายในเป็น ROM (Read Only Memory) ขนาด 4 กิโลไบต์แทน เพราะราคาต่ำกว่ามาก แต่มีข้อจำกัดตรงที่ไม่สามารถแก้ไขโปรแกรมที่ได้บรรจุไปแล้วไม่ว่าจะด้วยวิธีการใดก็ตาม
- เบอร์ 8031 เบอร์นี้ไม่มีหน่วยความจำสำหรับเก็บโปรแกรมในชิป แต่สามารถใช้หน่วยความจำเพื่อเก็บโปรแกรมที่อยู่ภายนอกได้มากถึง 64 กิโลไบต์ ซึ่งอาจใช้เป็น ROM , PROM , EPROM ตามความต้องการของผู้ผลิต เบอร์ 8031 นี้มีไว้ใช้ในกรณีที่โปรแกรมมีขนาดเล็กกว่า 4 กิโลไบต์ หรือมากกว่า 4 กิโลไบต์มาก

(เบอร์ 8751 และ 8051 จะใช้โปรแกรมจากหน่วยความจำภายนอกได้เองเมื่อโปรแกรมมีความยาวเกิน 4 กิโลไบต์ หรืออาจบังคับให้ไมโครคอนโทรลเลอร์ทั้งสองเบอร์ใช้โปรแกรมจากหน่วยความจำภายนอกเพียงอย่างเดียวด้วยการต่อขา 31 (EA) ลงกราวด์ ทำให้มีคุณสมบัติเหมือน 8031 ที่ไม่หน่วยความจำสำหรับเก็บโปรแกรมภายในชิป)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4.2 โครงสร้างของไมโครคอนโทรลเลอร์ตระกูล MCS-51

ในหัวข้อนี้จะกล่าวถึงรายละเอียดคร่าวๆ ของไมโครคอนโทรลเลอร์ตระกูล MCS-51 โดยมีจุดประสงค์เพื่อให้ผู้อ่านทำความเข้าใจและมองเห็นภาพกว้างๆ ของไมโครคอนโทรลเลอร์ตระกูลนี้

ไมโครคอนโทรลเลอร์ตระกูล MCS-51 มีสมาชิกในตระกูลหลายเบอร์ด้วยกัน แต่ละเบอร์มีคุณสมบัติพิเศษบางอย่างแตกต่างกัน เช่น มีหน่วยความจำภายในสำหรับเก็บโปรแกรมและข้อมูลภายในชิปเพิ่มขึ้น มีวงจรเปลี่ยนค่าสัญญาณอนาลอกเป็นดิจิตอลในตัว สามารถรับสัญญาณอินเตอร์รัปต์ได้หลายชนิด ทำกระบวนการ DMA (Direct Memory Acess) ได้ในตัว มีรีจีสเตอร์สำหรับใช้เป็นไทม์เมอร์หรือเคาน์เตอร์เพิ่มขึ้น คุณสมบัติที่แตกต่างกันของไมโครคอนโทรลเลอร์แต่ละเบอร์ในตระกูลนี้

ไมโครคอนโทรลเลอร์เบอร์ที่นับได้ว่าเป็นเบอร์พื้นฐานสำหรับตระกูล MCS-51 นี้ได้แก่ เบอร์ 8051 , 8031 , 8750 โดยเบอร์ 8051 จัดเป็นสมาชิกตัวแรกในตระกูล ซึ่งมีหน่วยความจำสำหรับเก็บโปรแกรมภายในชิปเป็น ROM ขนาด 4 กิโลไบต์ และหน่วยความจำสำหรับเก็บข้อมูลทั่วไปภายใน MCS-51 (RAM) เองจำนวน 128 ไบต์ มีพอร์ตขนาด 4 บิต 4 พอร์ต มีรีจีสเตอร์สำหรับใช้เป็นไทม์เมอร์หรือเคาน์เตอร์ขนาด 16 บิตรวม 2 ตัว รับสัญญาณอินเตอร์รัปต์จากภายนอกได้ 2 ชนิด สามารถรับและส่งข้อมูลแบบอนุกรมผ่านทางพอร์ตสื่อสารข้อมูลทางอนุกรม มีวงจรออสซิลเลเตอร์เพื่อสร้างสัญญาณนาฬิกาควบคุมการทำงานในตัวเอง ส่วนเบอร์ 8751 จะมีคุณสมบัติเหมือนเบอร์ 8751 จะเป็น EPROM แทนที่จะเป็น ROM ส่วนเบอร์ 8031 จะเหมือนกับเบอร์8051 ต่างกันเพียงในเบอร์ 8031 ไม่มีหน่วยความจำสำหรับเก็บโปรแกรมภายในชิปเท่านั้น

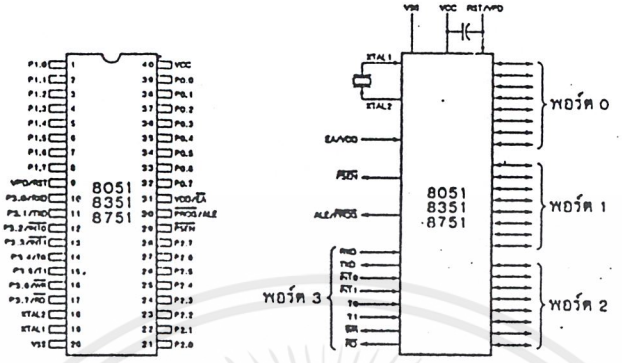
ไมโครคอนโทรลเลอร์ตระกูล MCS-51 ทุกเบอร์ใช้แรงดันไฟเพียง 5 โวลต์ในการทำงานส่วนกระแสไฟฟ้าที่ใช้จะแตกต่างกันไปตามชนิดของเทคโนโลยีที่ใช้ในการผลิต เบอร์ของไมโครคอนโทรลเลอร์ตระกูลนี้ที่มีตัวอักษร C อยู่ตรงกลางตระกูล เช่น 80C31 , 80C51 จะเป็นเบอร์ของชิบที่ผลิตโดยอาศัยเทคโนโลยี CHMOS ซึ่งใช้พลังงานในการทำงานน้อยกว่าและสามารถควบคุมใช้พลังงานของตัวชิปได้จากโปรแกรมเพื่อการประหยัดพลังงานในระบบ

MCS-51 เป็นตระกูลของไมโครคอนโทรลเลอร์ที่ถูกพัฒนาขึ้นจากตระกูล MCS-48 ดังนั้นจึงมีความสามารถเหนือกว่าหลายอย่าง ซึ่งจะเปรียบเทียบให้เห็นถึงข้อดีของ MCS-51 เมื่อเทียบกับ MCS-48 ให้เห็นเป็นบางช่วง เช่นความเร็วในการประมวลผลของ MCS-51 สามารถใช้ความถี่ได้ถึง 12 เมกะเฮิรตซ์ หรือสำหรับบางเบอร์ในตระกูลสามารถใช้ได้ถึง 16 เมกะเฮิรตซ์ ทำให้ช่วงเวลาในการทำงานแต่ละคำสั่งน้อยมาก เมื่อใช้ความถี่ 12 เมกะเฮิรตซ์ คำสั่งที่ใช้เวลาน้อยที่สุดจะใช้เวลาเพียง 1 ไมโครวินาที ส่วนคำสั่งที่ใช้เวลามากที่สุดจะใช้เวลาเพียง 4 ไมโครวินาทีเท่านั้น

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4.3 ตำแหน่งขาของ MCS-51

ไมโครคอนโทรลเลอร์ตระกูล MCS-51 ทุกเบอร์จะมีตำแหน่งขาพื้นฐานที่เหมือนกัน ดังแสดงในรูปที่ 4.1



รูปที่ 4.1 แสดงตำแหน่งของขาชิปไมโครคอนโทรลเลอร์ตระกูล MCS-51 เบอร์ 8051

หน้าที่การใช้งานแต่ละขาของชิปไมโครคอนโทรลเลอร์ในตระกูล MCS-51 มีดังนี้

- ขา V_{ss} (ขา 20) สำหรับต่อลงกราวด์
- ขา V_{cc} (ขา 40) สำหรับต่อแหล่งจ่ายแรงดันกระแสตรงขนาด 5 โวลท์
- ขาพอร์ต 0 (ขา 32-39) มี 8 ขา ใช้เป็นขาสำหรับพอร์ต 0 ขนาด 8 บิต (P0.0-P0.7) แบบ Open drain bidirectional พอร์ตนี้สามารถใช้งานเป็นอินพุทเอาท์พุตพอร์ตทั่วไปได้ โดยหากใช้งานเป็นอินพุทพอร์ตต้องโหลดค่า 1 ไปยังแต่ละบิตของพอร์ตนี้ เพื่อบังคับให้ขาอยู่ในสถานะปล่อยลอย (มีสถานะ High impedance) นอกจากใช้งานเป็นอินพุทเอาท์พุทพอร์ตแล้ว พอร์ต 0 ยังใช้ในการติดต่อหน่วยความจำสำหรับเก็บโปรแกรมและข้อมูลภายนอกชิปด้วย โดยส่งค่าแอดเดรสไบต์ต่ำ (A0-A7) และมัลติเพลกซ์กับการรับส่งข้อมูล (D0-D7) จากหน่วยความจำภายนอก ในระหว่างการเขียนหรือการอ่านข้อมูลโดยมีวงจรพูลอัพภายใน
- ขาพอร์ต 1 (ขา 1-8) มี 8 ขา ใช้เป็นขาสำหรับพอร์ต (P1.0-P1.7) สามารถใช้งานเป็นอินพุทเอาท์พุทพอร์ตทั่วไปก็ได้ หากต้องการใช้งานเป็นอินพุทพอร์ต ต้องโหลดค่า 1 ไปยังแต่ละบิตของพอร์ตนี้ เพื่อให้สถานะ High impedance โดยมีวงจรพูลอัพภายใน

ขา P1.0,P1.1 ในเบอร์ 8052 จะใช้งานในหน้าที่อย่างอื่นนอกเหนือจากการใช้เป็นอินพุทเอาท์พุทพอร์ตทั่วไปด้วย รายละเอียดจะกล่าวต่อไปภายหลัง

- ขาพอร์ต 2 (ขา 21-28) มี 8 ขา ใช้เป็นค่าสำหรับพอร์ต 2 (P2.0-P2.7) ขนาด 8 บิต แบบ Open drain bidurection พอร์ตนี้สามารถใช้เป็นอินพุทพอร์ตทั่วไปได้ โดยหากใช้งานเป็นอินพุทพอร์ต ต้องโหลดค่า 1 ไปยังแต่ละบิตของพอร์ตนี้ เพื่อบังคับให้ขาอยู่ในสถานะ High impedance นอกจากจะใช้งานเป็น

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

พอร์ตอินพุตเอาท์พุททั่วไปแล้ว พอร์ต 2 ยังใช้ในการติดต่อหน่วยความจำสำหรับเก็บโปรแกรมและข้อมูลภายนอกด้วย โดยใช้สำหรับส่งค่าแอดเดรสไบต์สูง (A8-A15) และวงจรพูลอัพภายใน

- ขา พอร์ต 3 (ขา 10-17) มี 8 ขา ใช้เป็นขาสำหรับพอร์ต 3 (P3.0-P3.1) สามารถใช้งานเป็นอินพุทพอร์ตทั่วไปได้ หากต้องการใช้งานเป็นอินพุทพอร์ต ต้องโหลดค่า 1 ไปยังแต่ละบิตของพอร์ตนี้ เพื่อให้สถานะ High impedance โดยใช้วงจรพูลอัพภายใน นอกจากนี้ยังใช้งานในหน้าที่พิเศษต่างๆ อีกหลายอย่างดังนี้

ขา P3.0 ใช้รับข้อมูลจากภายนอกแบบอนุกรม

ขา P3.1 ใช้ส่งข้อมูลออกไปภายนอกแแบอนุกรม

ขา P3.2 ใช้เป็นอินพุทเพื่อรับสัญญาณอินเตอร์รัปต์ชนิดที่ 0

ขา P3.3 ใช้เป็นอินพุทเพื่อรับสัญญาณอินเตอร์รัปต์ชนิดที่ 1

ขา P3.4 สัญญาณอินพุทให้เคาน์เตอร์ของไทม์เมอร์ 0

ขา P3.5 สัญญาณอินพุทให้เคาน์เตอร์ของไทม์เมอร์ 1

ขา P3.6 ใช้เป็นสัญญาณควบคุมการเขียนข้อมูลไปยังหน่วยความจำสำหรับเก็บข้อมูลภายนอก ชิป

ขา P3.7 ใช้เป็นสัญญาณควบคุมการอ่านเขียนข้อมูลจากหน่วยความจำสำหรับเก็บข้อมูลภายนอกชิป

การใช้งานพอร์ต 3 ในหน้าที่พิเศษดังกล่าวนี้จะต้องโหลดค่า 1 ไปยังแต่ละบิตที่ต้องการใช้ก่อนทุกครั้ง

- ขา RST (ขา 9) ใช้สำหรับการรีเซตวงจรทุกอย่างภายในชิป เพื่อเริ่มต้นการทำงานใหม่ การรีเซตใช้เมื่อเริ่มจ่ายพลังงานหรือเมื่อโปรแกรมเกิดทำงานผิดพลาด เมื่อต้องการรีเซตชิป MCS-51 ขานี้ต้องมีสถานะ 1 เป็นเวลาอย่างน้อย 2 แมชชีนไซเคิลระหว่างที่ออสซิลเลเตอร์ยังทำงานอยู่ โดยต่อตัวต้านทานค่า 8.2 กิโลโอห์ม เพื่อทำหน้าที่พูลดาวน์ (รักษาค่าแรงดันไฟฟ้าให้มีสถานะเป็นกราวด์) และเพื่อให้ตัวชิปรีจิสเตอร์เอง เมื่อเริ่มจ่ายพลังงานให้ตัวเก็บประจุขนาด 10 ไมโครฟารัด คร่อมระหว่างขา RST กับ V_{cc} ดังแสดงในรูปที่ 4.2

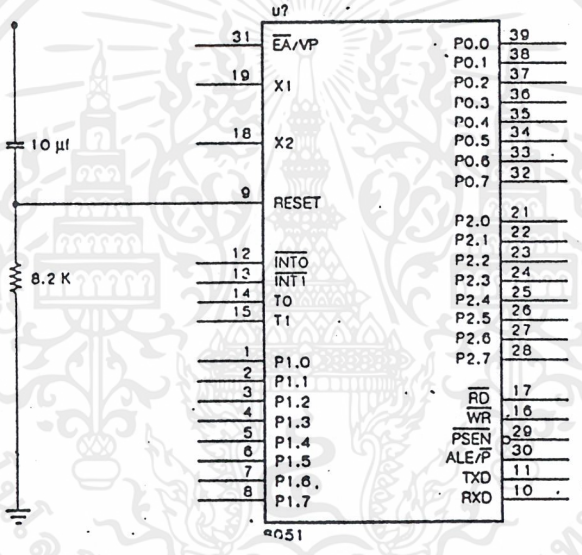
- ขา ALE/PROG (ขา 30) เป็นขาสำหรับใช้ส่งสัญญาณออกไปภายนอกเพื่อควบคุมการแลตช์ค่าแอดเดรสไบต์ต่ำ (Address latch enable) จากพอร์ต 0 ในระหว่างการติดต่อหน่วยความจำสำหรับเก็บข้อมูลหรือข้อมูลภายนอก ปกติเมื่อไม่มีการติดต่อหน่วยความจำภายนอกขานี้จะส่งสัญญาณพัลส์ออกมาด้วยความถี่ 1/8 ของความถี่ออสซิลเลเตอร์ที่ใช้ตลอดเวลา ดังนั้นเราสามารถใช้ความถี่ที่ได้จากขานี้ไปใช้งานอย่างอื่นได้ แต่ความถี่ที่ขานี้จะลดลงครึ่งหนึ่งในระหว่างติดต่อกับหน่วยความจำสำหรับเก็บข้อมูลที่อยู่ภายนอกชิป นอกจากนี้ขา ALE ยังใช้สำหรับควบคุมการเขียนโปรแกรมลงไปใน EPROM สำหรับ MCS-51 เบอร์ที่มีหน่วยความจำสำหรับเก็บโปรแกรมภายในชิปเป็นEPROM

- ขา PSEN (ขา 29) ใช้ส่งสัญญาณสโตรปเพื่ออ่านคำสั่งจากโปรแกรมที่เก็บไว้ภายในหน่วยความจำภายนอกชิป (Program strobe enable) เมื่อชิปทำงานด้วยโปรแกรมจากภายนอกขานี้จะส่งสัญญาณ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สโตรป 2 ครั้งในแต่ละแมชชีนไซเคิล แต่ในช่วงการเขียนหรืออ่านข้อมูลกับหน่วยความจำภายนอก หรือเมื่อใช้โปรแกรมจากหน่วยความจำสำหรับเก็บโปรแกรมภายในชิปจะไม่มีสัญญาณออกมาจากขานี้

- ขา EA/V_{pp} (ขา 31) เป็นขาสำหรับใช้เลือกให้ MCS-51 ทำงานจากโปรแกรมที่อยู่ภายในหรือภายนอกชิป โดยหากขานี้มีสถานะเป็น 0 หมายถึงให้ใช้โปรแกรมจากหน่วยความจำที่เก็บโปรแกรมภายนอก หากขานี้มีสถานะเป็น 1 หมายถึงบังคับให้ MCS-51 มีหน่วยความจำสำหรับเก็บโปรแกรมภายในชิป สามารถให้ทำงานได้ทั้งจากโปรแกรมที่เก็บในหน่วยความจำภายในชิปหรือโปรแกรมที่เก็บในหน่วยความจำภายนอกชิปด้วยการต่อขา EA กับไฟเลี้ยงหรือกราวด์ตามลำดับ ส่วนใน MCS-51 ที่ไม่มีหน่วยความจำสำหรับเก็บโปรแกรมภายใยชิป ให้ต่อขานี้ลงกราวด์เสมอ
- ขา XTAL 1 (ขา 19) ใช้คริสตอลภายนอก โดยเป็นอินพุทเข้าสู่วงจรออสซิลเลเตอร์
- ขา XTAL 2 (ขา 18) ใช้ต่อคริสตอลภายนอก โดยเป็นเอาท์พุทออกจากวงจรออสซิลเลเตอร์



รูปที่ 4.2 แสดงวงจรสำหรับรีเซตไมโครคอนโทรลเลอร์ MCS-51 เมื่อเริ่มจ่ายพลังงานโดยอัตโนมัติ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 5

การออกแบบและการทำงานของวงจร

5.1 การทำงานของวงจรแยกซิงค์

สัญญาณวิดีโอ Video Input ที่ได้จากกล้องจะถูกส่งผ่านวงจรในส่วนของการยกระดับแรงดันโดยใช้ R Divider แล้วส่งต่อไปให้กับ TDA8708A สัญญาณ Video Input ส่วนหนึ่งจะถูกส่งผ่านทรานซิสเตอร์เพื่อขยายกระแสให้อยู่ในระดับที่ LM1881 สามารถทำงานได้ หลังจากนั้นก็ผ่านคาปาซิสเตอร์ 0.1 μF ทำหน้าที่เป็น C Coupling เพื่อกัน DC ที่เกิดจากการยกระดับแรงกันและ DC ที่มาพร้อมกับสัญญาณออก เมื่อสัญญาณผ่านเข้าไปใน LM1881 ก็จะทำให้เกิดสัญญาณคอมโพซิสต์ซิงค์มีความถี่ประมาณ 15.6 kHz , เวอร์ติคอลซิงค์มีความถี่ประมาณ 50 Hz , ฟิวล์คู่ / ฟิวล์คี่มีความถี่ประมาณ 25 kHz และเบิร์ส / แบ็กพอร์ช

ในส่วนของสัญญาณ clock นั้นเราเลือกที่จะใช้ Oscillator ขนาด 10 MHz และใช้ IC เบอร์ 74LS393 เพื่อทำหน้าที่หารความถี่เมื่อเราจ่ายสัญญาณ clock 10 MHz ให้กับ 74LS393 เราจะได้ output เป็นสัญญาณ clock 5 MHz , 2.5MHz , 1.25MHz ,0.625 MHz เราเลือกใช้ clock ที่มีความถี่ 2.5 MHz เพื่อจ่ายให้ 74F269

5.2 การทำงานของส่วนหน่วงเวลา

ในส่วนของการหน่วงเวลาสัญญาณเพื่อให้เกิดที่ตำแหน่งภาพ เราจะใช้ IC 74F269 โดยรับสัญญาณคอมโพซิสค์จากขา 1 ของ LM1881 เข้าที่ขา PE เพื่อทำหน้าที่ในการกำหนดโหมดในการทำงาน โดยแบ่งเป็น 2 โหมดคือ การโหลดค่า input จากขา P0–P7 และโหมดการนับโดยการทำงานของ IC 74F269 จะเริ่มขึ้นเมื่อสัญญาณ low ที่ขา PE ก็จะเข้าสู่การโหลดค่าและเมื่อสัญญาณที่ขา PE เป็น high ก็จะเริ่มนับ โดยผลจากการนับนี้จะทำให้สัญญาณคอมโพซิสซิงค์ถูกหน่วงเวลาไป 8 μs

ในส่วนของการนับเส้นเนื่องจากว่าในหนึ่งหน้านั้นจะประกอบด้วย 625 เส้น ซึ่งแยกเป็นเส้นคู่และคี่ ในโครงงานนี้เราใช้เส้นสแกนทั้งหมด 3 เส้น โดยเลือกใช้เส้นที่ 63 , 65 และ 100 ทั้งนี้ก็เพื่อเพิ่มความสามารถในการตรวจจับวัตถุที่เคลื่อนที่เร็ว สัญญาณที่ใช้กำหนดโหมดคือ เวอร์ติคอลซิงค์และสัญญาณที่ต่อที่ขา CP ก็จะเป็นสัญญาณจากขา TC ของ IC2 หรือก็คือสัญญาณคอมโพซิสซิงค์ที่ผ่านการหน่วงเวลาไปแล้ว ซึ่ง IC ตัวนี้จะนับสัญญาณ clock ซึ่งก็คือการนับเส้นนั่นเอง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

5.3 การทำงานของวงจรแปลงสัญญาณอนาล็อกเป็นดิจิตอล

ในส่วนของการแปลงสัญญาณ Video input ให้เป็นสัญญาณดิจิตอลขนาด 8 บิท ทำให้ระดับของข้อมูลมี 256 ระดับ ส่วนความถี่ของ clock ที่เลือกใช้คือ 5 MHz

TDA8708A สามารถที่จะเลือกใช้อินพุทได้ 3 แบบคือ วิดีโออินพุท 0 , วิดีโออินพุท 1 และ วิดีโออินพุท 2 ซึ่งทั้งสามแบบนี้ต้องมีการป้อน horizontal sync และ horizontal clamp รวมถึงการต่อ Lowpass Filter ด้วยหรือสามารถต่อได้อีกแบบหนึ่งคือ จ่ายสัญญาณ Video ให้ ADCIN โดยผ่านการยกระดับสัญญาณให้อยู่ในช่วง 2.59-3.59 V ในโครงงานนี้เราเลือกที่จะใช้การต่อที่ขา ADCIN เลย ทั้งนี้เพราะว่าขนาดของสัญญาณภาพมีค่าอยู่ในช่วงประมาณ 1 V จึงไม่มีความจำเป็นต้องทำการต่อแบบที่เหลือที่มีความยุ่งยากมากกว่า

เมื่อต่อสัญญาณ VDO เข้าที่ขา ADCIN และจ่าย clock เรียบร้อยแล้วก็มีอีกขาหนึ่งที่มีความสำคัญมากคือ ขา 9 หรือขา OF ซึ่งเป็นตัวกำหนดชนิดของ output ที่ต้องการ โดยถ้าเราให้ขา 9 มีค่าเป็น 0 จะทำให้สัญญาณดิจิตอลเอาท์พุทจะออกมาในรูปแบบทูคอมพลีเมนต์ ถ้าขา 9 นี้มีค่าเป็น 1 สัญญาณดิจิตอลเอาท์พุทจะเป็น High impedance และถ้าขา 9 เปิดวงจรโดยการต่อ C >10 pF จะทำให้ดิจิตอลเอาท์พุทเป็นแบบไบนารี่ โดยในโครงงานนี้เราเลือกแบบไบนารี่

5.4 การทำงานของวงจรหน่วยความจำภาพ

ในส่วนนี้เราเลือกใช้ SRAM เบอร์ UT621024 เพราะใช้งานได้ง่ายและมีทั่วไปในท้องตลาด โดย SRAM จะแบ่งการทำงานออกเป็น 2 ส่วนคือ ช่วง write และช่วง read ไม่สามารถทำงานร่วมกันได้

ช่วง write นั้นจะขึ้นอยู่กับสัญญาณจากขา 2 ของ 74LS04 ซึ่งสัญญาณนี้ก็คือการนับเส้นจากขา 14 ของ IC 3/1 , IC 3/2 , IC 3/3 ที่ผ่านการ AND กันแล้วส่งผ่าน INVERTOR เพื่อกลับสัญญาณให้เหมาะสมซึ่งสัญญาณนี้จะเข้าไปควบคุม IC 9 เพื่อทำหน้าที่ในการกำหนด address ให้กับแต่ละจุดภาพ โดยทำการแบ่ง pixel ในหนึ่งเส้นออกเป็น 256 จุดภาพ และเมื่อทำการ write จนเสร็จสิ้นแล้วก็จะส่งสัญญาณเข้า IC 10 เพื่อทำการเพิ่มความกว้างสัญญาณให้มากกว่า 1 µs แล้วส่งสัญญาณต่อไปอินเทอร์รัฟท์ MCS-51 เพื่อบอก MCS-51 ให้รู้ว่าได้ write เสร็จ 1 เส้น แล้วให้ทำการ write เส้นต่อไปเรื่อย ๆ ตามที่ได้กำหนดไว้ โดยจะมีการเพิ่ม address โดยเราใช้ขา P 3.3 และ
P 3.6 ของ MCS-51 เมื่อครบ 3 เส้น ก็จะเป็นการเสร็จสิ้นการ write และอีกขาหนึ่งซึ่งเป็นส่วนสำคัญในการ write อย่างมากคือ ขา WE ของ RAM โดย RAM จะทำการ write ก็ต่อเมื่อเกิดสภาวะ Low ที่ขานี้เท่านั้น

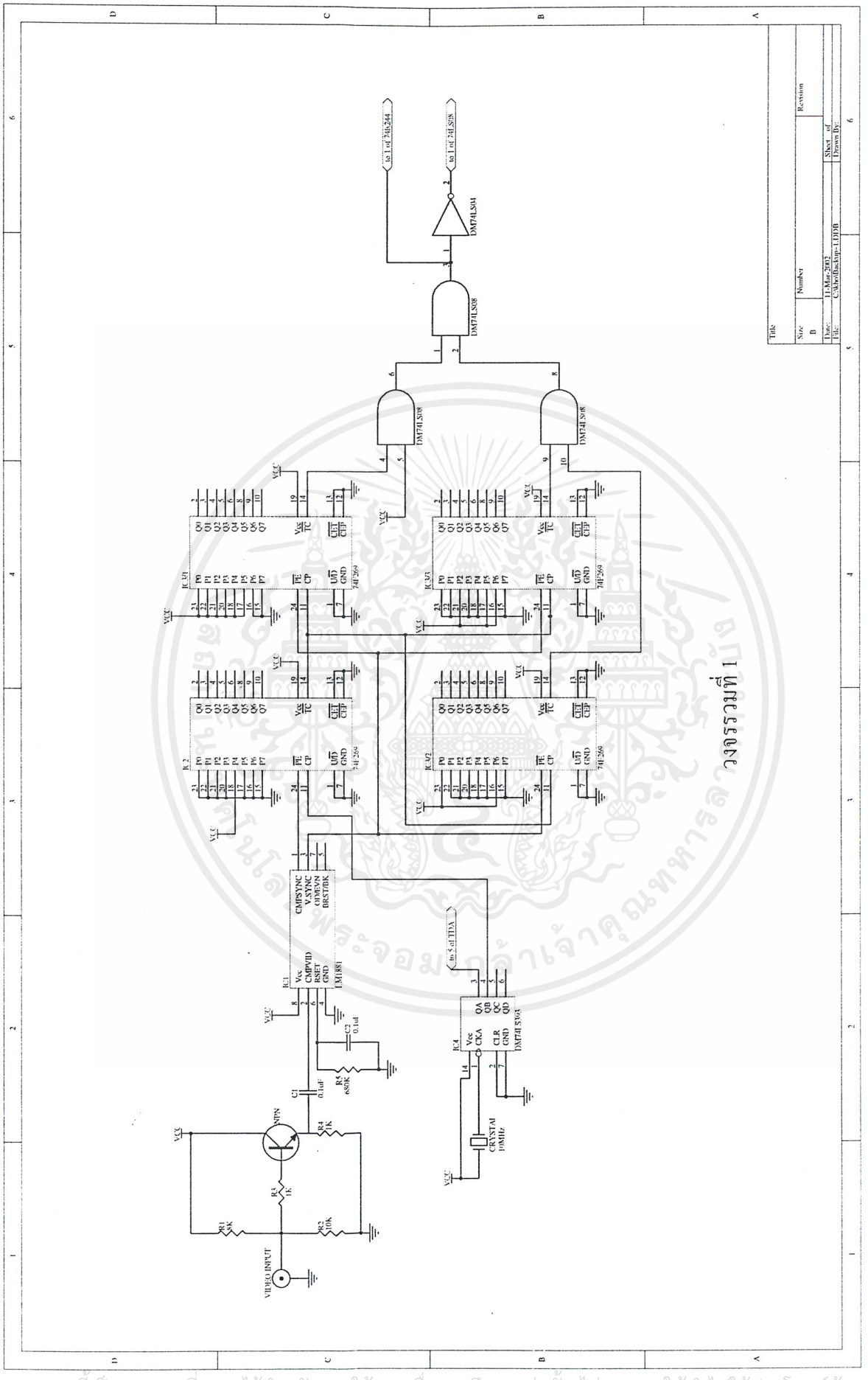
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ช่วง read นั้นจะขึ้นอยู่กับ MCS-51 เป็นส่วนใหญ่คือ เมื่อทำการรับ write จนครบ 3 เส้น แล้วก็จะเข้าสู่การ read โดยขา P3.0 จะ High ทำให้สัญญาณ clock หรือสัญญาณที่เข้าขา CP ขึ้นอยู่กับสัญญาณของขา RD ของ MCS-51

5.5 การทำงานของไมโครคอนโทรลเลอร์

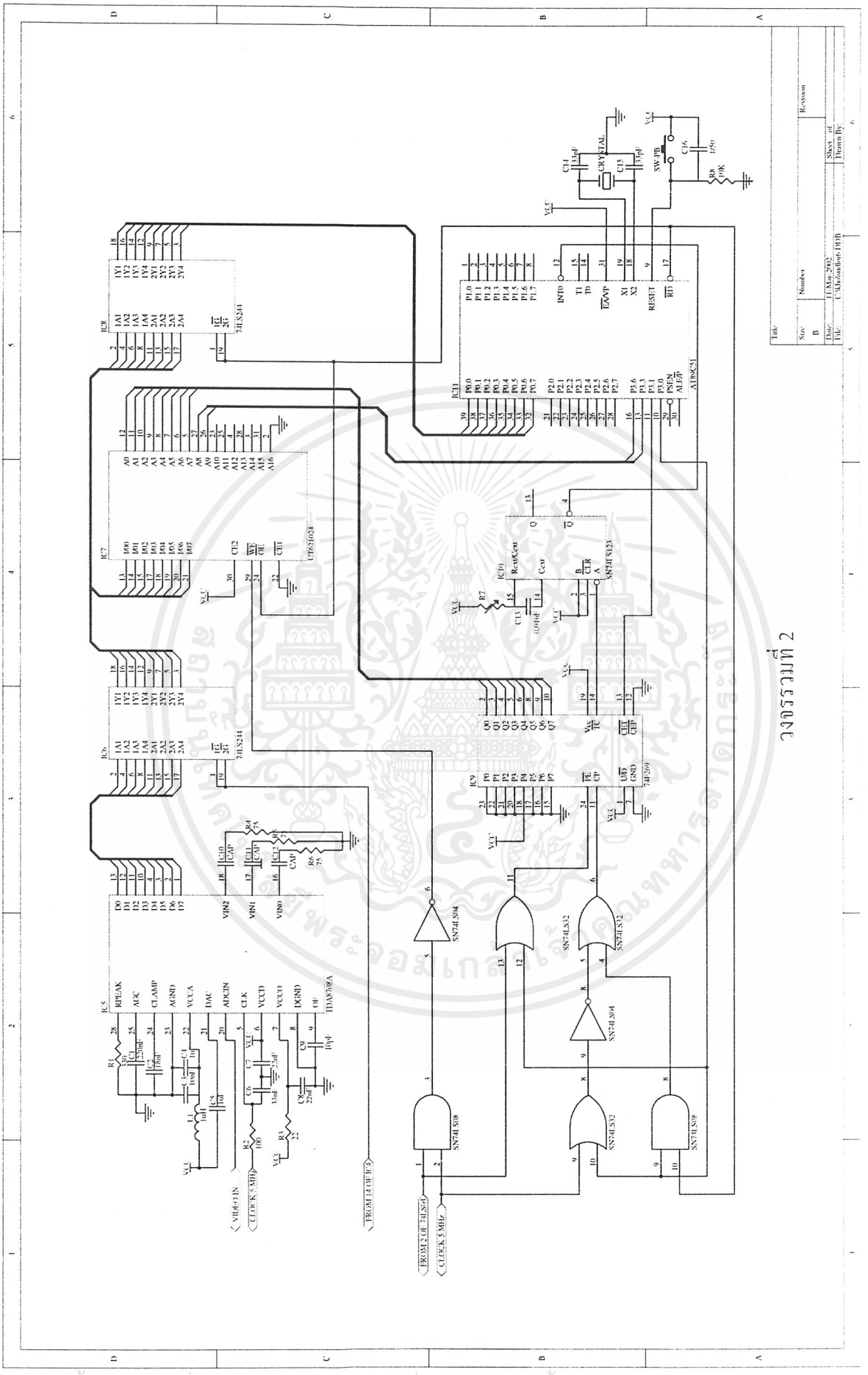
ไมโครคอนโทรลเลอร์ที่เลือกใช้คือ AT89051 เนื่องจากความง่ายและหลากหลายในการใช้งาน หาซื้อได้ง่าย ราคาไม่แพงมาก ทั้นี้ MCS-51 จะทำหน้าที่ในการประมวลผลและควบคุมเอาท์พุท โดยเมื่อมีสัญญาณอินเทอร์รัฟท์เข้ามาที่ขา INTO นั้นหมายความว่า IC 9 ได้ทำการส่ง Address ให้ RAM ทำการ write เสร็จแล้ว และเมื่อทำการ write จนครบ 3 เส้นแล้ว MCS-51 จะเข้าสู่โหมดของการ read ซึ่งโดย MCS-51 จะรับค่าข้อมูลเข้ามาทีละค่าและทำการเปรียบเทียบว่าเป็นสีดำหรือไม่ จากนั้นก็จะรับค่าข้อมูลเข้ามาอีกเป็นอย่างนี้เรื่อยไปจนครบ 28 จุดภาพ เมื่อครบก็จะตรวจดูว่ามีจุดดำมากกว่า 1 จุดหรือไม่ และส่งผลไปรอไว้ หลังจากนั้นก็จะรับค่าเข้ามาและหาจุดดำเหมือนตอนต้นทำอย่างนี้เรื่อยไปจนครบ 8 รางและส่งผลไปรวมกับผลก่อนหน้านี้ หลังจากนั้นก็ส่งผลที่ได้ไปเก็บไว้ใน circular buffer เพื่อทำการหน่วงเวลาออกทาง port 1 เพื่อขับหัวเป่า

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



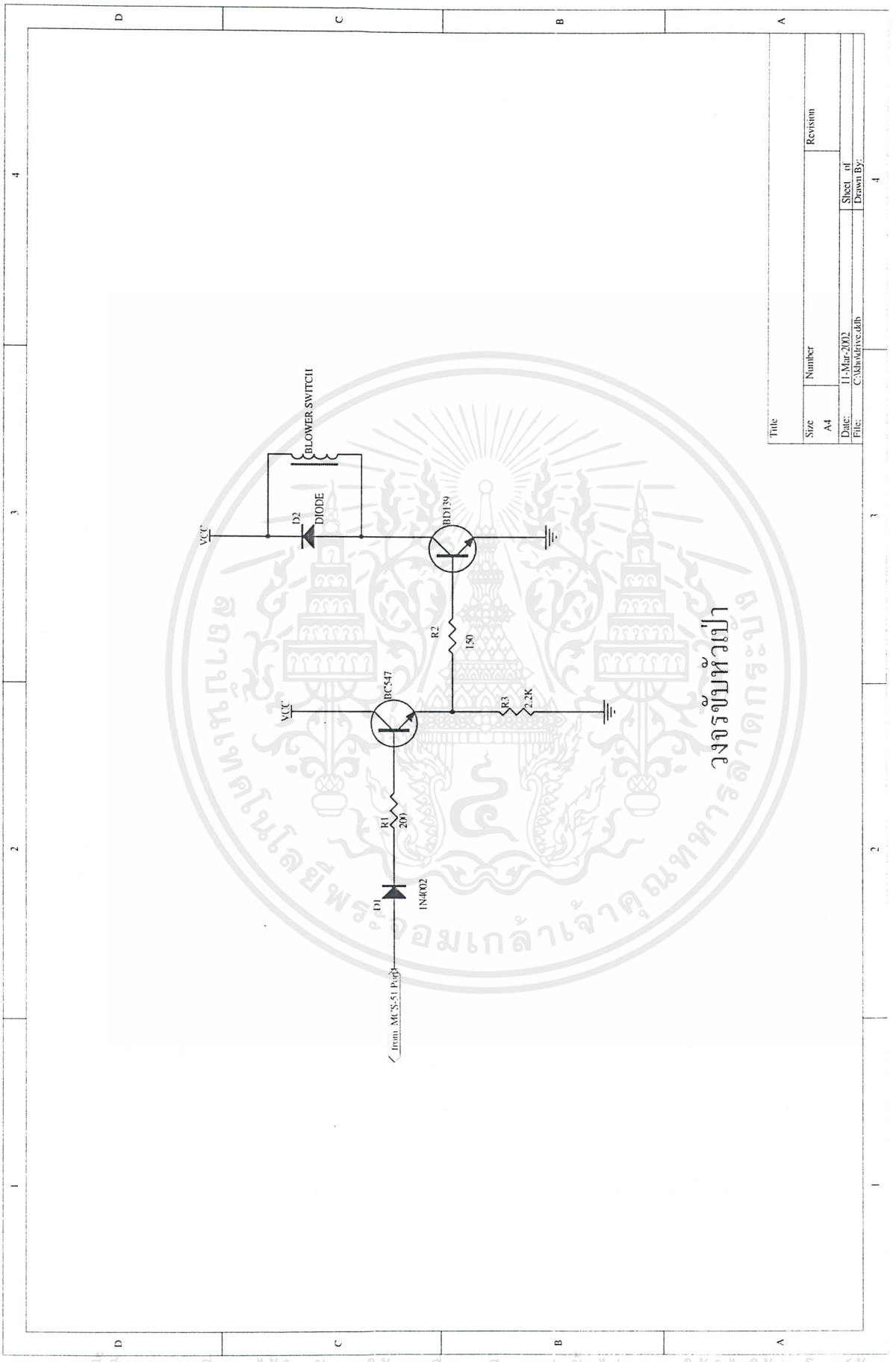
วงจรรวมที่ 1

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

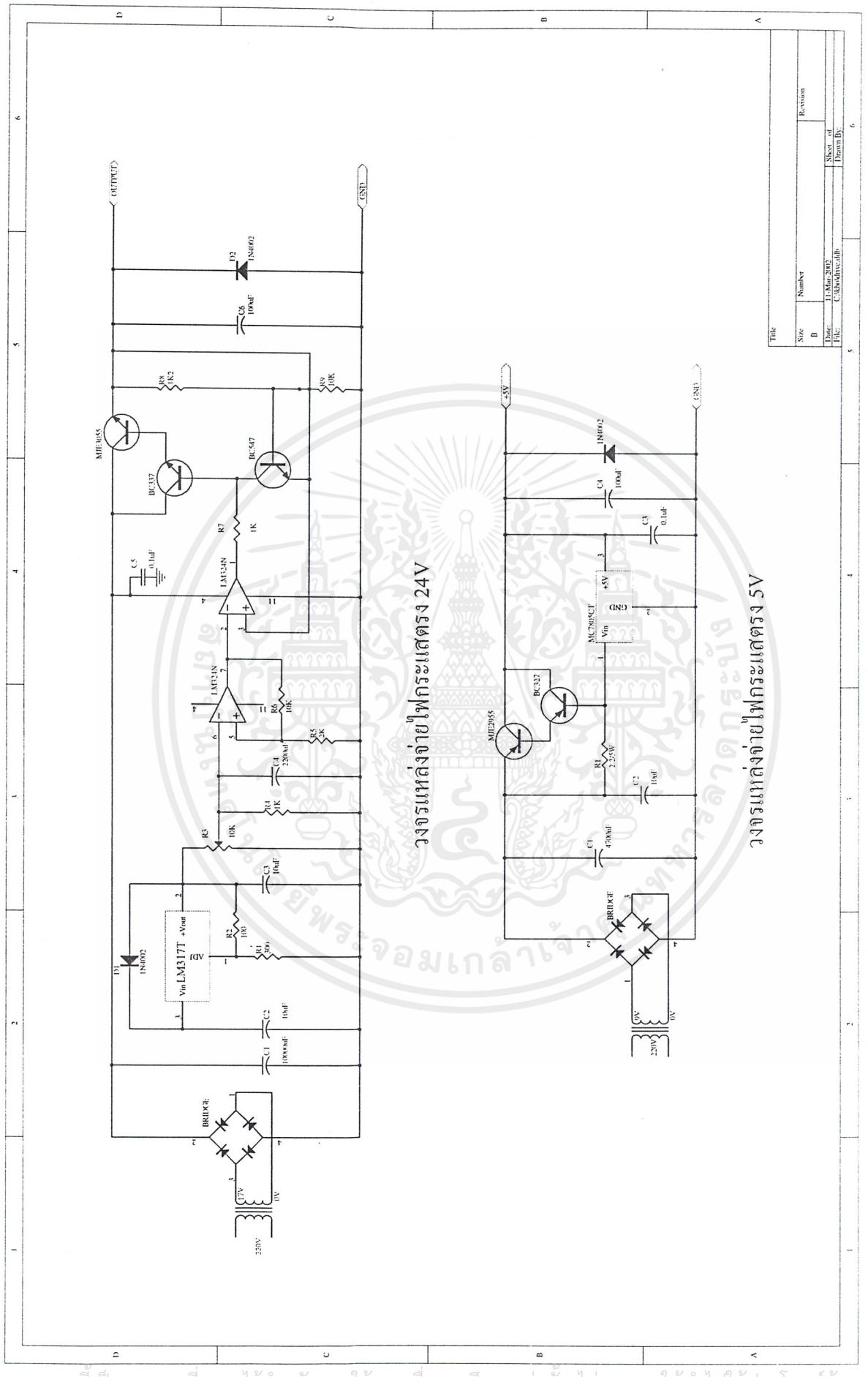


วงจรรวมที่ 2

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



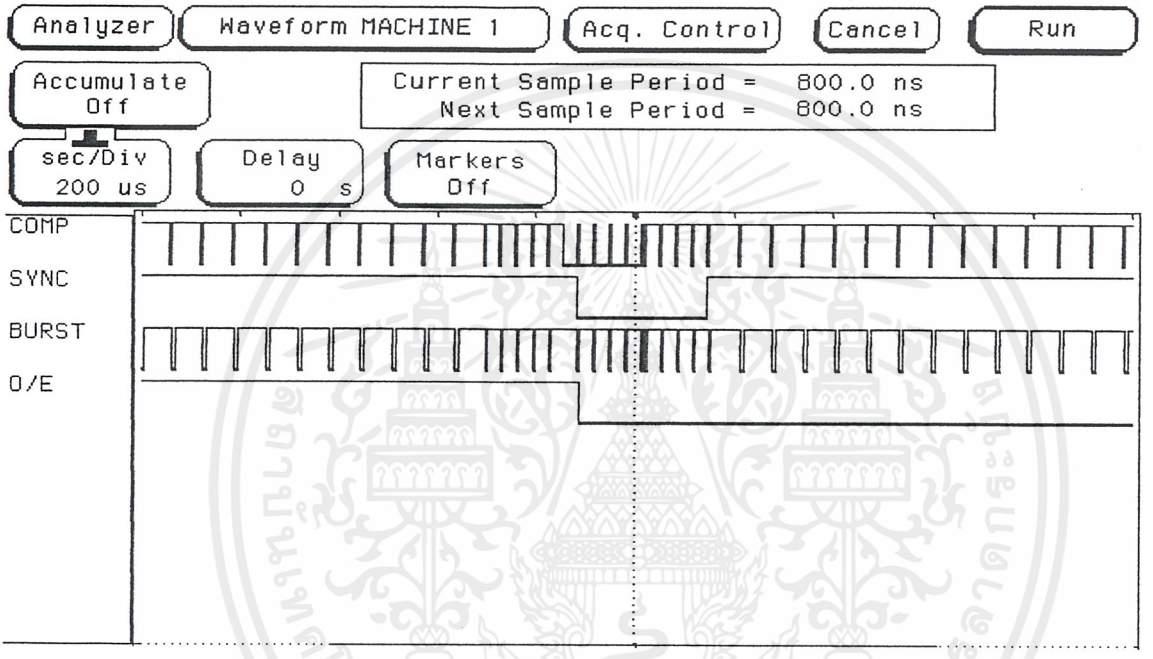
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 6
การทดลอง

6.1 การทดลองวัดสัญญาณต่างๆโดยลอจิกอนาไลซ์เซอร์ (Logic Analyzer)



รูปที่ 6.1 แสดงสัญญาณที่ขาต่างๆ ของ LM1881 (IC1)

โดยที่

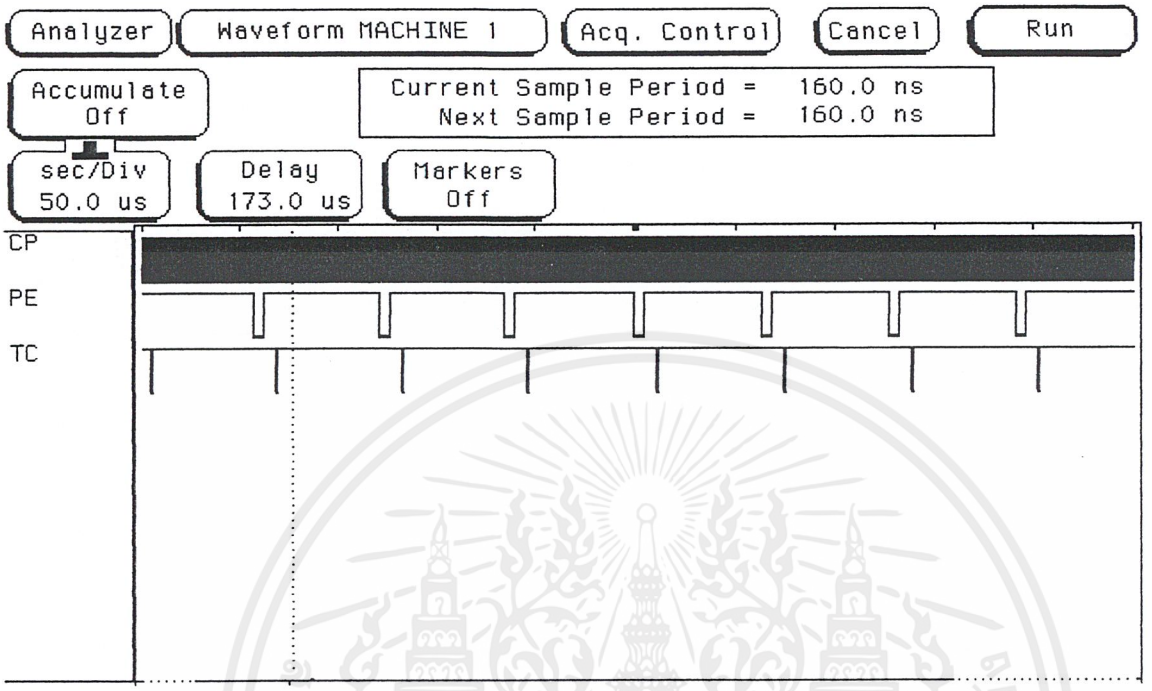
COMP คือ สัญญาณคอมโพซิสซิงค์ที่ขา 1 ของ LM1881 (IC1)

SYNC คือ สัญญาณเวอร์ติคอลซิงค์ที่ขา 3 ของ LM1881 (IC1)

BURST คือ สัญญาณเบิร์ส/แบ็คพอร์ชที่ขา 5 ของ LM1881 (IC1)

O/E คือ สัญญาณฟิวส์คู่/ฟิวส์คี่ที่ขา 7 ของ LM1881 (IC1)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 6.2 แสดงสัญญาณที่ขาต่างๆ ของ 74F269 (IC2)

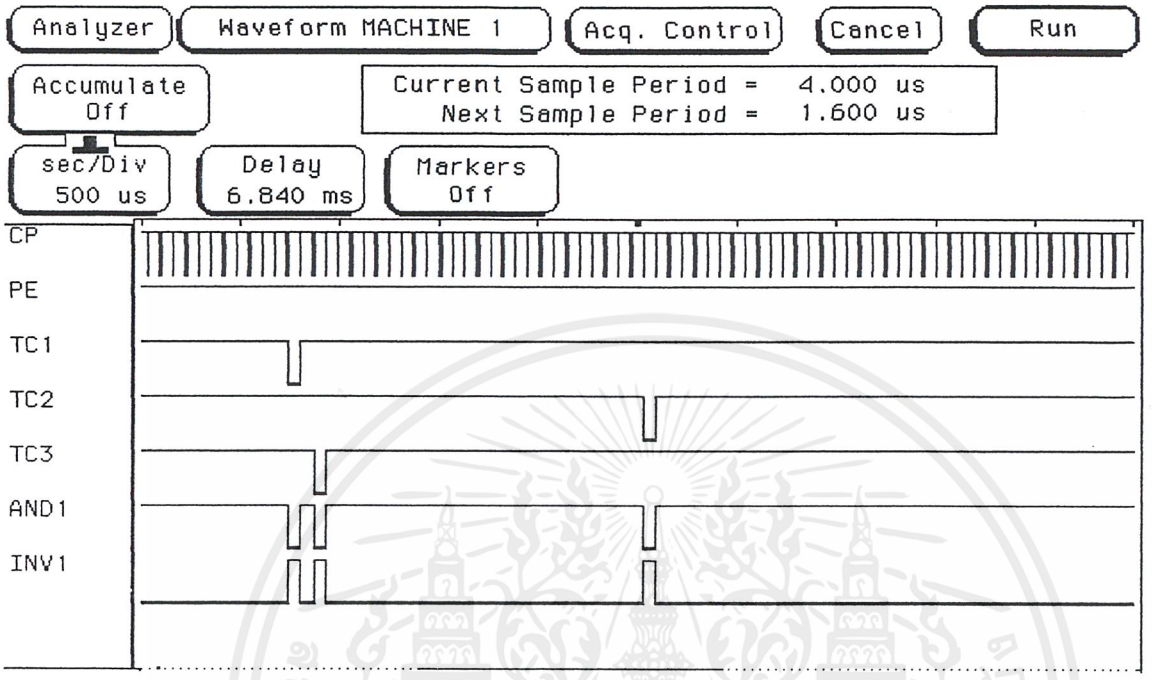
โดยที่

CP คือ สัญญาณ Clock Input ที่ขา 11 ของ 74F269 (IC2)

PE คือ สัญญาณ Parallel Enable Input ที่ขา 24 ของ 74F269 (IC2)

TC คือ สัญญาณ Terminal Count Output ที่ขา 14 ของ 74F269 (IC2)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 6.3 แสดงสัญญาณที่ขาต่างๆ ของ 74F269 (IC3/1,IC3/2,IC3/3)

โดยที่

CP คือ สัญญาณ Clock Input ที่ขา 11 ของ 74F269 (IC3/1)

PE คือ สัญญาณ Parallel Enable Input ที่ขา 24 ของ 74F269 (IC3/1)

TC1 คือ สัญญาณ Terminal Count Output ที่ขา 14 ของ 74F269 (IC3/1)

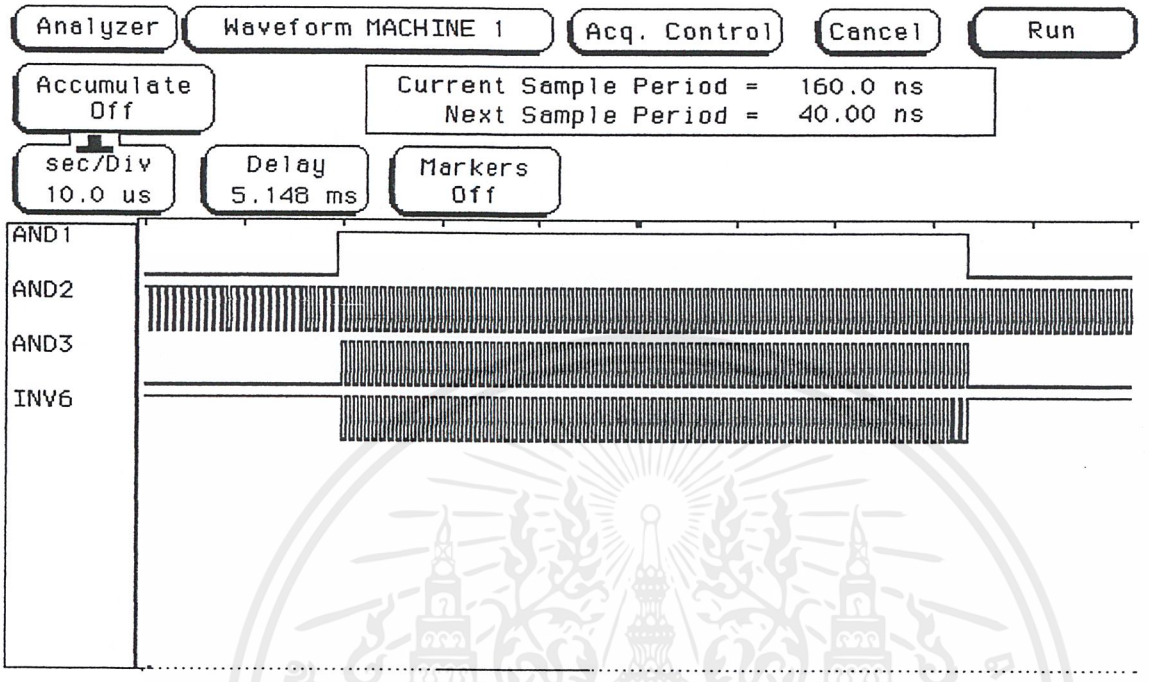
TC2 คือ สัญญาณ Terminal Count Output ที่ขา 14 ของ 74F269 (IC3/2)

TC3 คือ สัญญาณ Terminal Count Output ที่ขา 14 ของ 74F269 (IC3/3)

AND1 คือ สัญญาณ Output ของ AND Gate

INV1 คือ สัญญาณ Output ของ Inverter

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 6.4 แสดงสัญญาณลอจิกต่างๆ จาก Gate ที่เข้าขา WE ของ UT621024 (IC7)

โดยที่

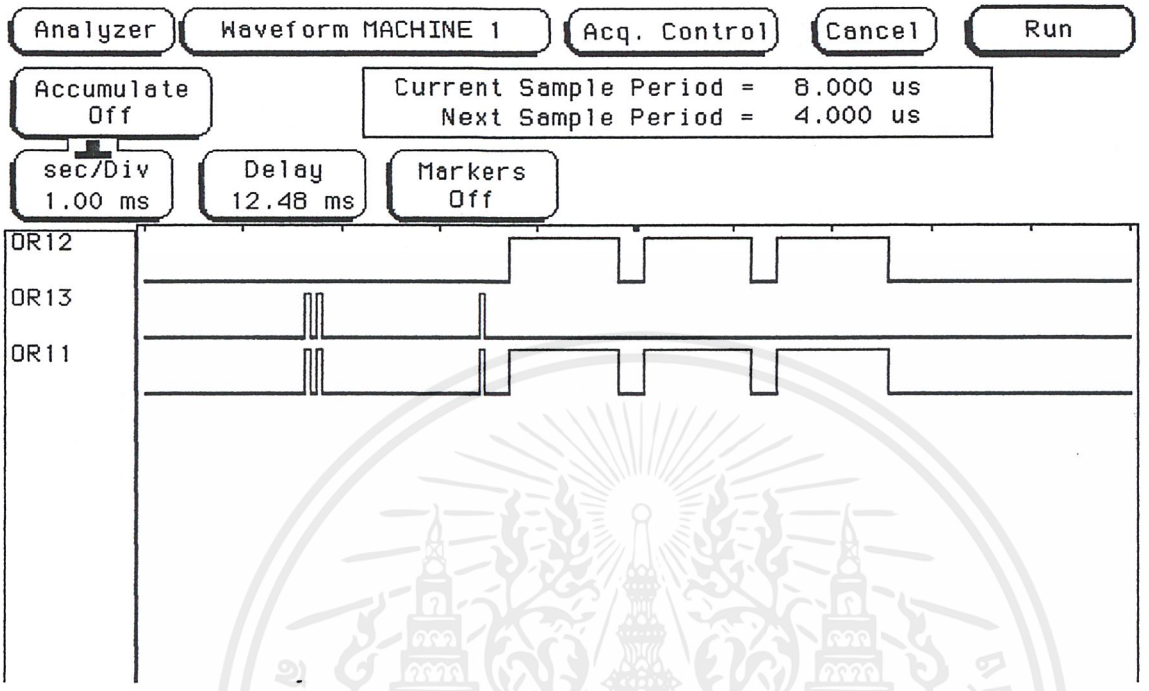
AND1 คือ สัญญาณ Input ของ AND Gate ที่ขา 1 ของ SN74LS08

AND2 คือ สัญญาณ Input ของ AND Gate ที่ขา 2 ของ SN74LS08

AND3 คือ สัญญาณ Input ของ AND Gate ที่ขา 3 ของ SN74LS08

INV6 คือ สัญญาณ Output ของ Inverter ที่ขา 6 ของ SN74LS04

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 6.5 แสดงสัญญาณลอจิกต่างๆ ที่เข้าขา PE ของ 74F269 (IC9)

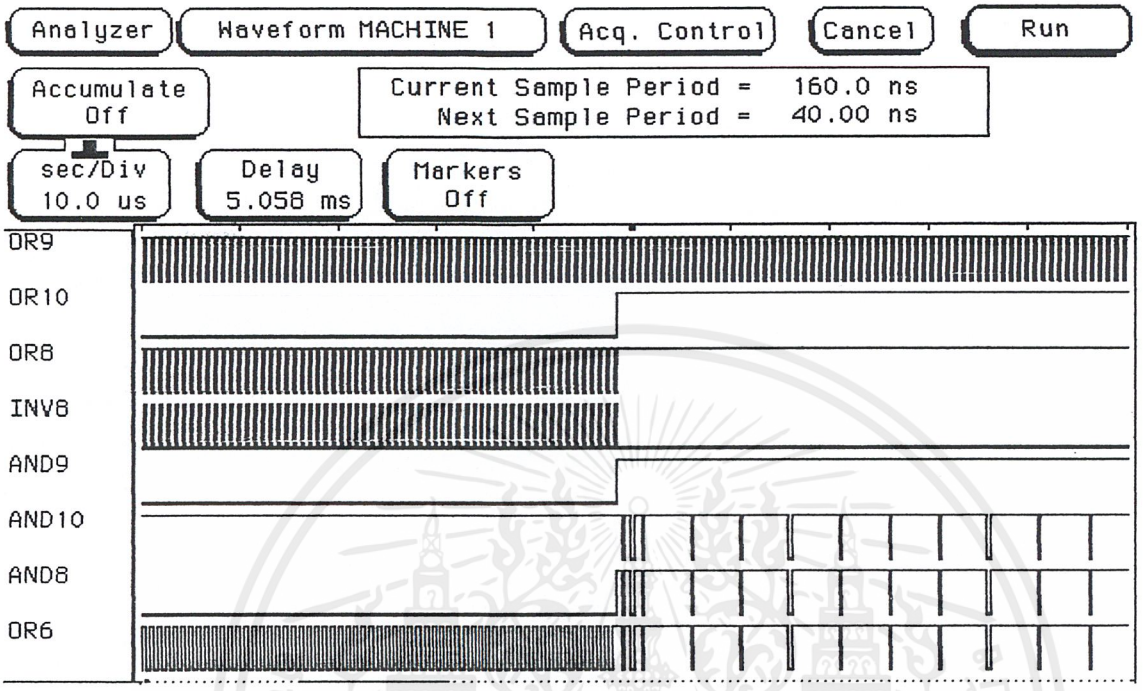
โดยที่

OR12 คือ สัญญาณ Input ของ OR Gate ที่ขา 12 ของ SN74LS32

OR13 คือ สัญญาณ Input ของ OR Gate ที่ขา 13 ของ SN74LS32

OR11 คือ สัญญาณ Input ของ OR Gate ที่ขา 11 ของ SN74LS32

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 6.6 แสดงสัญญาณลอจิกต่างๆ ที่เข้าขา CP ของ 74F269 (IC9)

โดยที่

OR9 คือ สัญญาณ Input ของ OR Gate ที่ขา 9 ของ SN74LS32

OR10 คือ สัญญาณ Input ของ OR Gate ที่ขา 10 ของ SN74LS32

OR8 คือ สัญญาณ Input ของ OR Gate ที่ขา 8 ของ SN74LS32

INV8 คือ สัญญาณ Output ของ Inverter ที่ขา 8 ของ SN74LS04

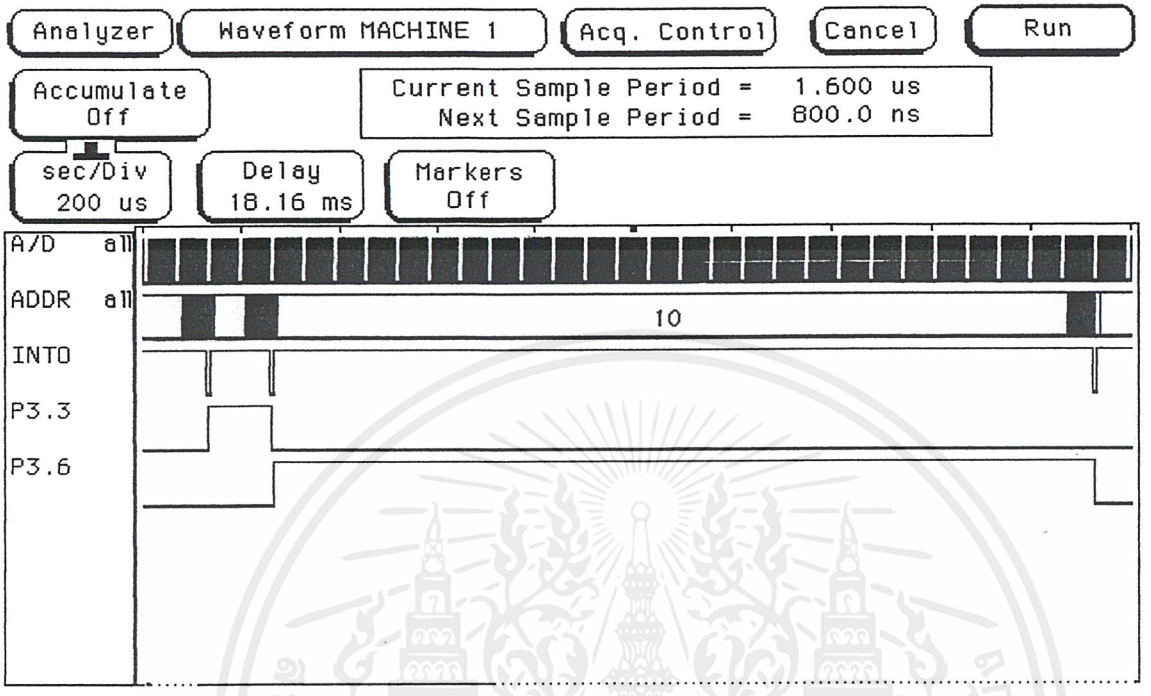
AND9 คือ สัญญาณ Input ของ AND Gate ที่ขา 9 ของ SN74LS08

AND10 คือ สัญญาณ Input ของ AND Gate ที่ขา 10 ของ SN74LS08

AND8 คือ สัญญาณ Input ของ AND Gate ที่ขา 8 ของ SN74LS08

OR6 คือ สัญญาณ Input ของ OR Gate ที่ขา 6 ของ SN74LS32

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

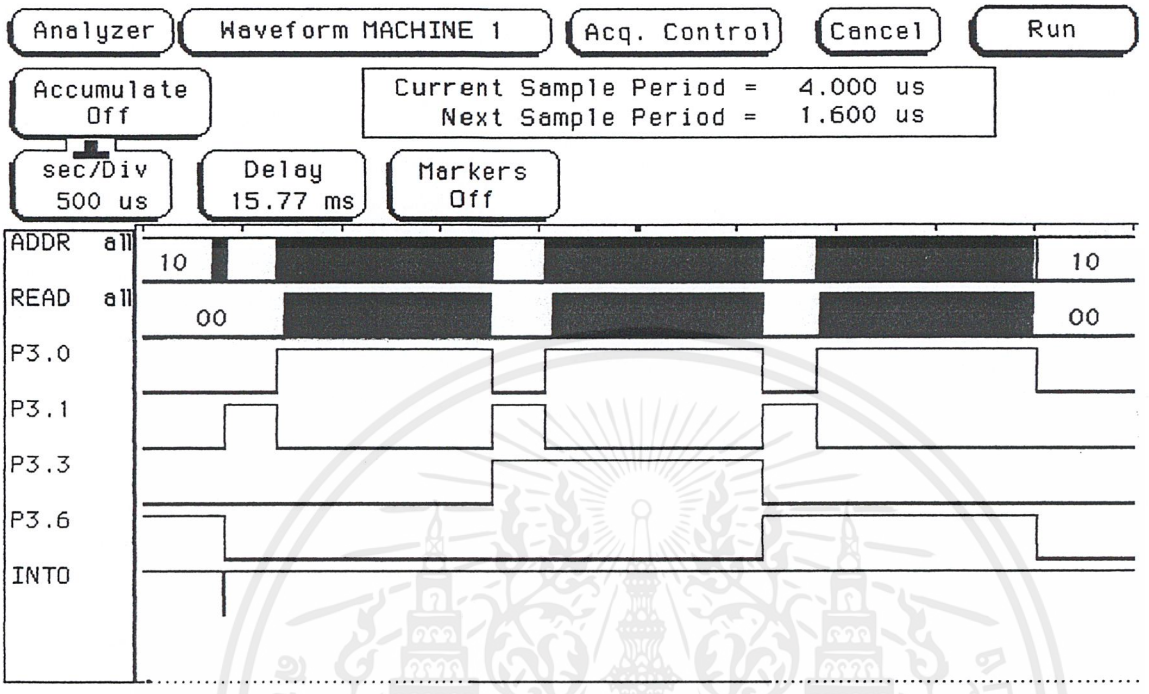


รูปที่ 6.7 แสดงสัญญาณข้อมูลที่ออกจาก A/D และสัญญาณต่างๆที่เกี่ยวข้อง

โดยที่

A/D all	คือ	สัญญาณ Output ของ A/D
ADDR all	คือ	ตำแหน่ง Address ของข้อมูล
P3.3	คือ	สัญญาณที่ขา 27 ของ UT621024
P3.6	คือ	สัญญาณที่ขา 26 ของ UT621024
INTO	คือ	สัญญาณ Interrupt ที่ขา 12 ของ AT89C51 (IC11)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 6.8 แสดงสัญญาณข้อมูล Input และสัญญาณที่ขาต่างๆ ของ AT89C51 (IC11)

โดยที่

ADDR all	คือ	ตำแหน่ง Address ของข้อมูล
READ all	คือ	ข้อมูล Input ของ AT89C51 (IC11)
P3.0	คือ	สัญญาณที่ขา 10 ของ AT89C51 (IC11)
P3.1	คือ	สัญญาณที่ขา 11 ของ AT89C51 (IC11)
P3.3	คือ	สัญญาณที่ขา 27 ของ UT621024
P3.6	คือ	สัญญาณที่ขา 26 ของ UT621024
INTO	คือ	สัญญาณ Interrupt ที่ขา 12 ของ AT89C51 (IC11)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

6.2 ศึกษาผลของสีของผลผลิตที่มีระดับสีที่แตกต่างกัน

1. เตรียมชิ้นงานที่มีสีแตกต่างกัน ได้แก่ สีขาว สีน้ำตาลอ่อน สีเขียวอ่อน สีเหลือง สีชมพู สีฟ้า สีส้ม สีเขียวเข้ม สีม่วง สีน้ำเงินและสีดำ
2. ใช้เครื่องมือลอจิกอนาไลซ์เซอร์ (Logic Analyzer) วัดระดับแรงดันของสีที่ถูกแปลงจากสัญญาณอนาลอกเป็นดิจิตอล ซึ่งได้จากการสุ่มจากตำแหน่งแอดเดรส 1 แอดเดรสจากจำนวนแอดเดรสทั้งหมดของรางที่ 1 ถึง 8 บันทึกผลที่ได้ลงตารางที่ 6.1
3. ทำการทดลองตามข้อ 2 แต่เปลี่ยนเป็นสีต่าง ๆ โดยทำการเปรียบเทียบที่ตำแหน่งแอดเดรสเดียวกัน บันทึกผลที่ได้ลงในตารางที่ 6.1 จำนวน 8 แอดเดรส
4. นำผลการทดลองที่ได้ในตารางที่ 6.1 ซึ่งเป็นเลขฐานสิบหกเป็นเลขฐานสิบ บันทึกผลที่ได้ลงในตารางที่ 6.2
5. นำผลการทดลองที่ได้ในตารางที่ 6.2 มาพล็อตกราฟ โดยให้แกนนอนเป็นแอดเดรส และแกนตั้งเป็นขนาดของข้อมูล ดังรูปที่ 6.9
6. นำผลการทดลองของแต่ละสีที่ได้จากตารางที่ 6.2 มาหาค่าเฉลี่ย ทำการพล็อตแผนภูมิแท่งดังรูปที่ 6.10

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ผลการทดลอง

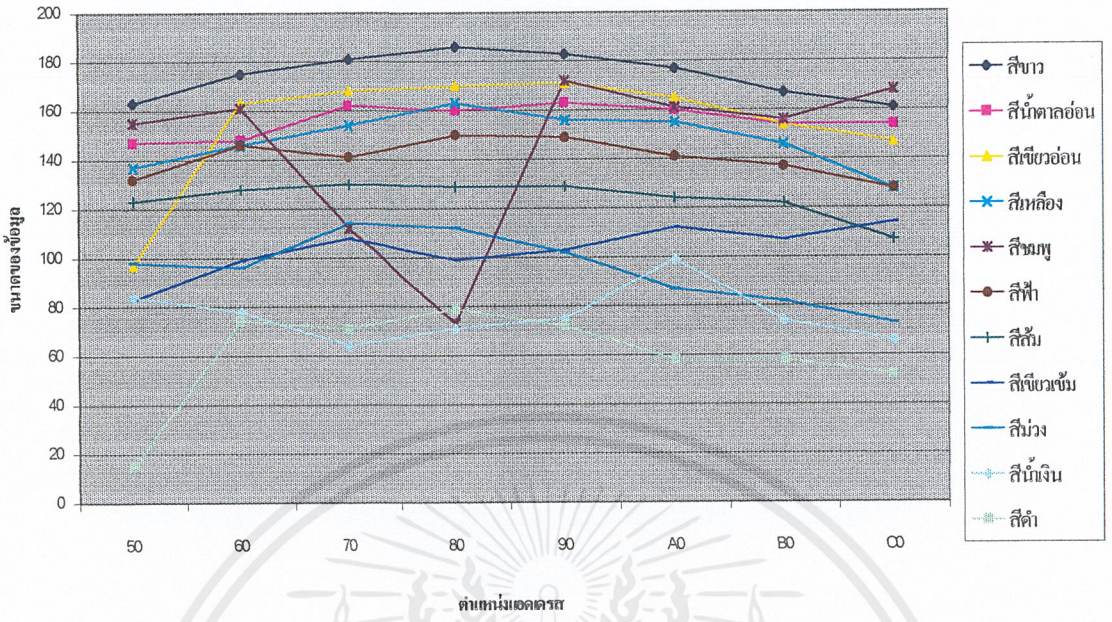
ตารางที่ 6.1 จำนวนผลผลิตแต่ละสีที่นับได้ในลักษณะต่าง ๆ

สี	ตำแหน่งแอดเดรส							
	รางที่ 1	รางที่ 2	รางที่ 3	รางที่ 4	รางที่ 5	รางที่ 6	รางที่ 7	รางที่ 8
ขาว	A3	AF	B5	BA	B7	B1	A7	A1
น้ำตาลอ่อน	93	9C	A2	A0	A3	A0	9A	9A
เขียวอ่อน	61	A3	A8	AA	AB	A5	9A	93
เหลือง	89	92	9A	A3	9C	9B	92	80
ชมพู	9B	A1	70	49	AC	A1	9C	8A
ฟ้า	84	92	8D	96	95	8D	89	7B
ส้ม	7B	80	82	81	81	7C	7A	6D
เขียวเข้ม	53	63	6C	63	67	70	6D	72
ม่วง	62	60	72	70	66	57	52	49
น้ำเงิน	54	4E	40	47	4B	63	4A	42
ดำ	0F	4A	47	4F	48	3A	3A	34

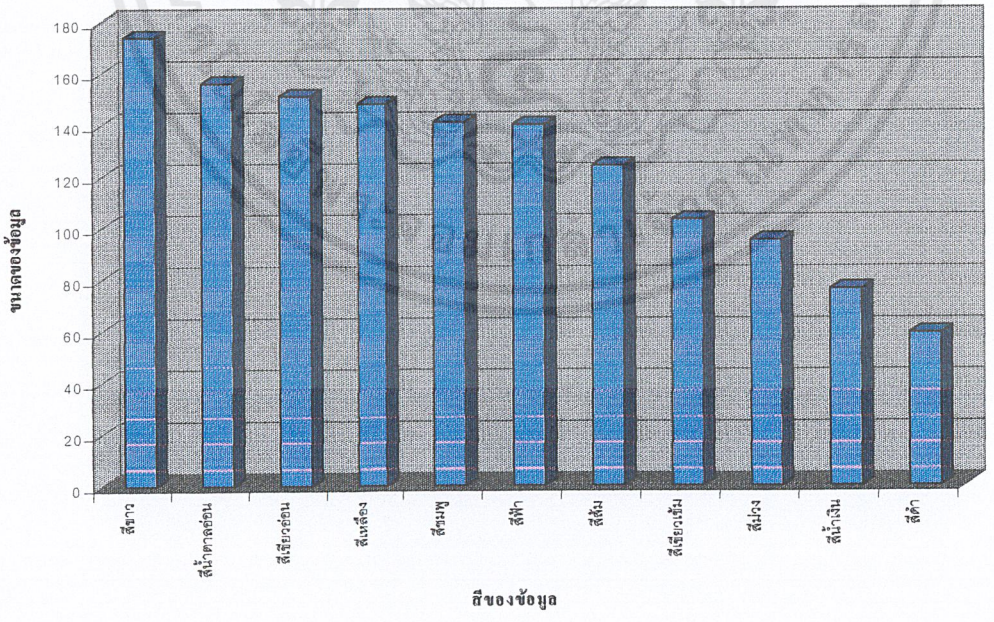
ตารางที่ 6.2 ผลการทดลองในตารางที่ 6.1 เมื่อแปลงค่าเลขฐานสิบหกเป็นเลขฐานสิบ

สี	ตำแหน่งแอดเดรส								ค่าเฉลี่ย
	รางที่ 1	รางที่ 2	รางที่ 3	รางที่ 4	รางที่ 5	รางที่ 6	รางที่ 7	รางที่ 8	
ขาว	163	175	181	186	183	177	167	161	174
น้ำตาลอ่อน	147	148	162	160	163	160	154	154	156
เขียวอ่อน	97	163	168	170	171	165	15	147	154
เหลือง	137	146	154	163	156	155	146	128	148
ชมพู	155	161	112	73	172	161	156	138	141
ฟ้า	132	146	141	150	149	141	137	128	140
ส้ม	123	128	130	129	129	124	122	107	124
เขียวเข้ม	83	99	108	99	103	112	107	114	103
ม่วง	98	96	114	112	102	87	82	73	95
น้ำเงิน	84	78	64	71	75	99	74	66	76
ดำ	15	74	71	79	72	58	58	52	59

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 6.9 กราฟแสดงระดับความเข้มของข้อมูลที่สีต่าง ๆ กัน



รูปที่ 6.10 กราฟแสดงค่าเฉลี่ยของระดับความเข้มของข้อมูลที่สีต่าง ๆ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

6.3 ศึกษาผลของความลาดชันของรางที่มุมองศาต่าง ๆ กัน

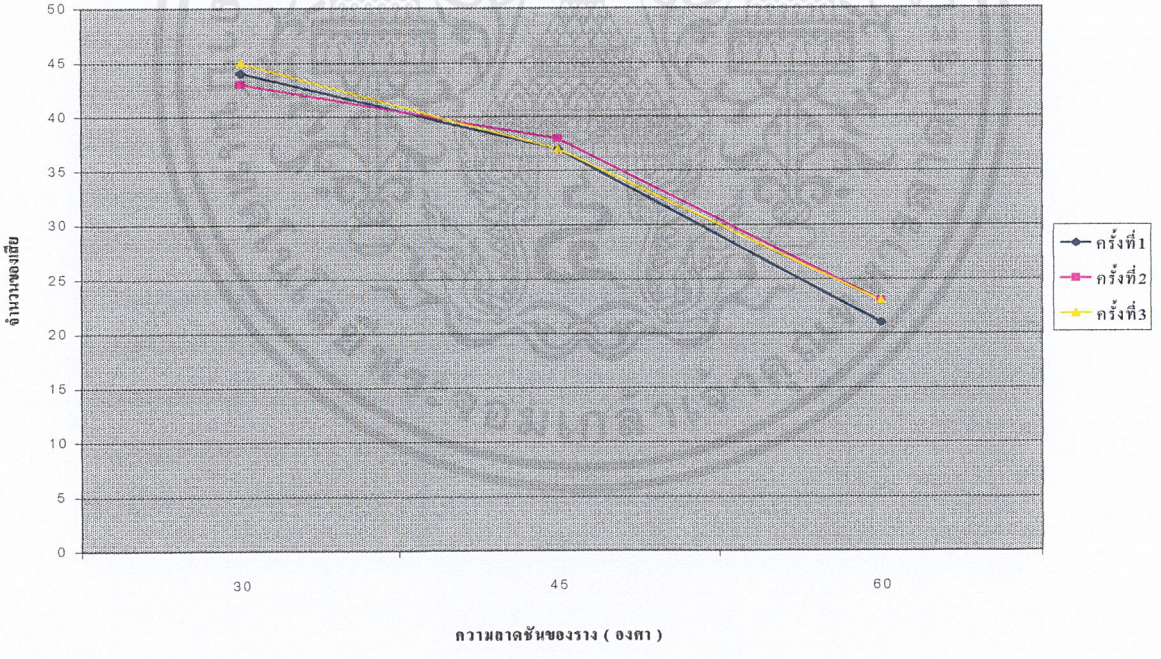
1. เตรียมผลผลิตที่ต้องการเป็นวัตถุขนาดเล็กสีขาว เช่น ข้าว และของเสียที่ไม่ต้องการเป็นวัตถุสีดำ เช่น ถั่วดำ จำนวน 50 เมล็ด
2. ปล่อยผลผลิตทั้งหมดให้ไหลตามรางที่ 1 ที่ความลาดชันขนาด 45 องศา
3. นับจำนวนของเสียทั้งหมดที่หัวเป่าเป่าเมล็ดลงกระบะของเสีย บันทึกผลที่ได้ลงในตารางที่ 6.3
4. ทำการทดลองตามข้อ 2 และ 3 อีก โดยเปลี่ยนความลาดชันของรางเป็น 30 และ 60 องศา บันทึกผลที่ได้ในตารางที่ 6.3
5. ปล่อยผลผลิตทั้งหมดให้ไหลตามรางที่ 3 , 5 และ 7 ที่ความลาดชันขนาด 45 องศา จากนั้นทำตามข้อ 3 และ 4 บันทึกผลที่ได้ในตารางที่ 6.4 , 6.5 , 6.6 ตามลำดับ
6. นำผลการทดลองในตารางที่ 6.3 , 6.4 , 6.5 และ 6.6 มาพล็อตกราฟ โดยให้แกนนอนเป็นความลาดชัน และแกนตั้งเป็นจำนวนของเสีย

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ผลการทดลอง

ตารางที่ 6.3 จำนวนของเสียที่นับได้ของรางที่ 1 ในลักษณะต่าง ๆ

ครั้งที่	ความลาดชันของราง (องศา)		
	30	45	60
1	43	38	23
2	42	37	22
3	44	40	22
ค่าเฉลี่ย	43	38	22

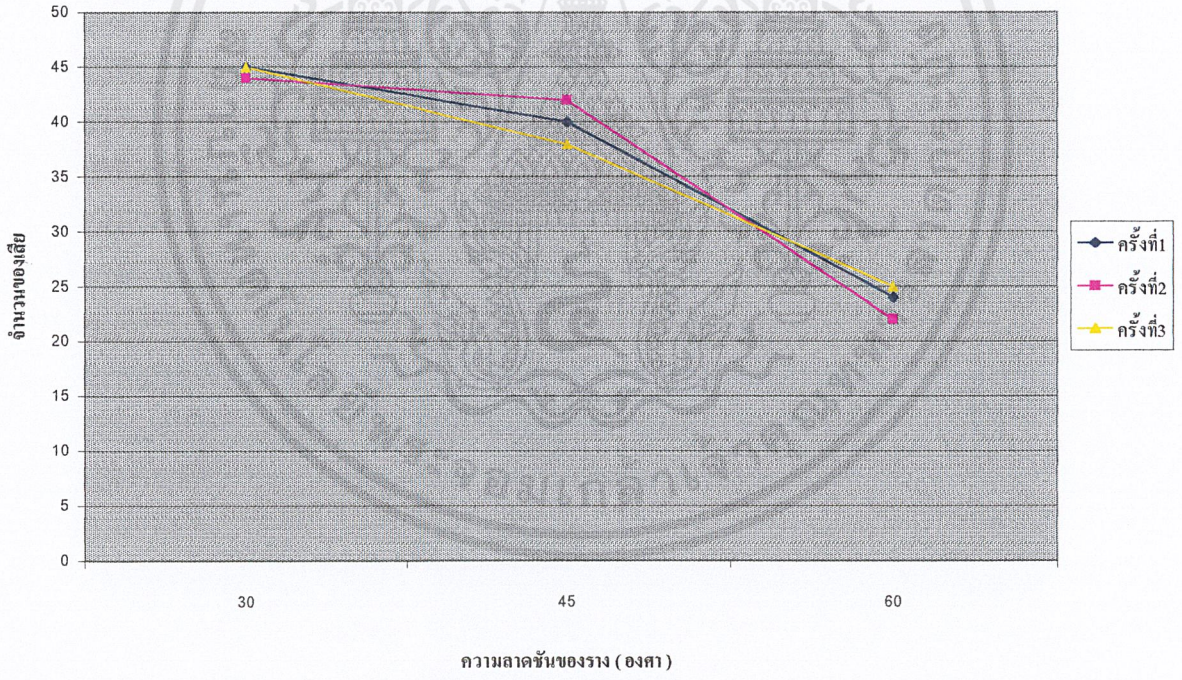


รูปที่ 6.11 กราฟแสดงความลาดชันของรางที่ 1 กับจำนวนของเสีย

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ตารางที่ 6.4 จำนวนของเสียที่นับได้ของรางที่ 3 ในลักษณะต่าง ๆ

ครั้งที่	ความลาดชันของราง (องศา)		
	30	45	60
1	45	40	24
2	44	42	22
3	45	38	25
ค่าเฉลี่ย	44	40	24

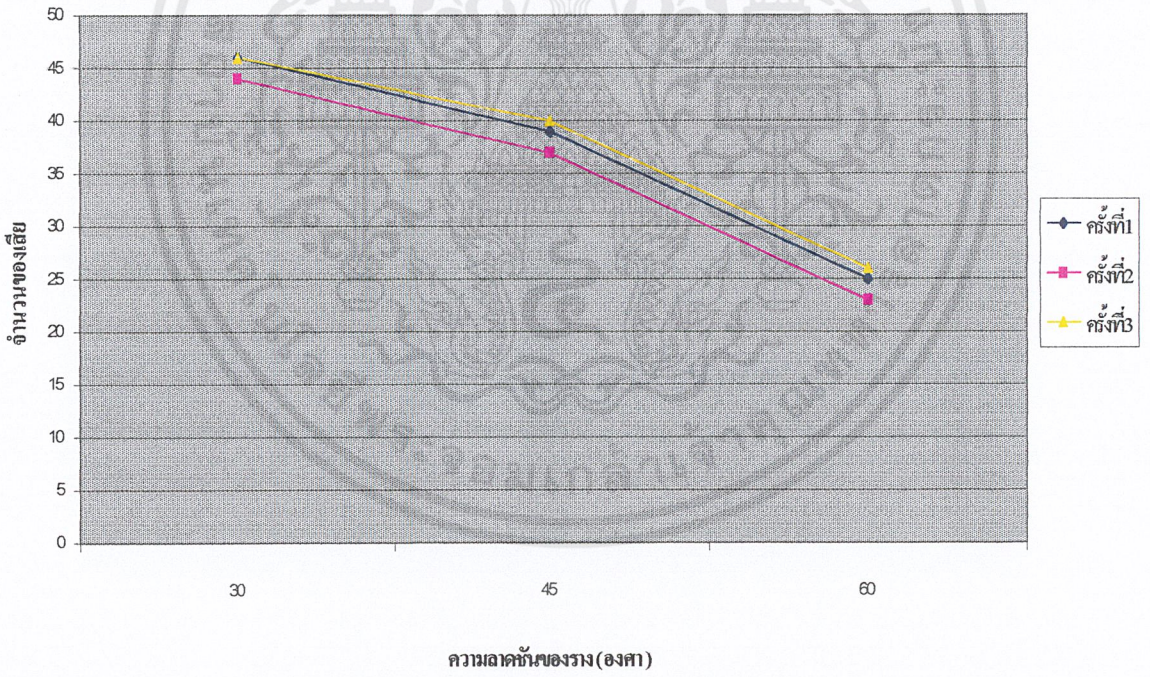


รูปที่ 6.12 กราฟแสดงความลาดชันของรางที่ 3 กับจำนวนของเสีย

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ตารางที่ 6.5 จำนวนของเสียที่นับได้ของรางที่ 5 ในลักษณะต่าง ๆ

ครั้งที่	ความลาดชันของราง (องศา)		
	30	45	60
1	46	39	25
2	44	37	23
3	46	40	26
ค่าเฉลี่ย	45	38	24

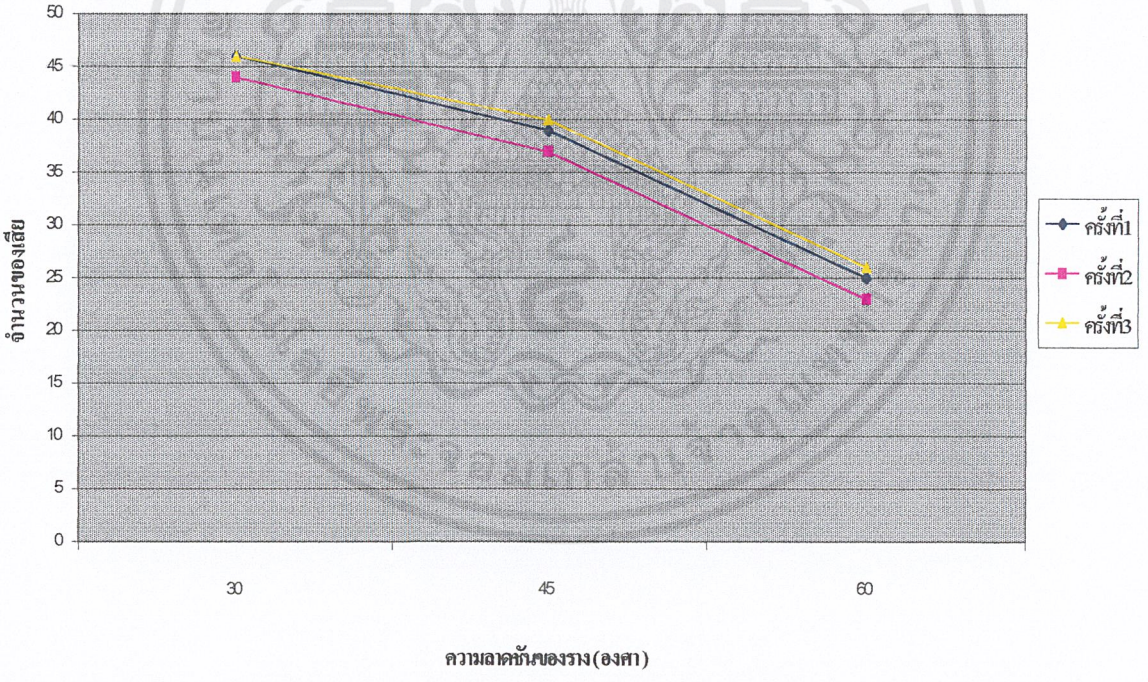


รูปที่ 6.13 กราฟแสดงความลาดชันของรางที่ 5 กับจำนวนของเสีย

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ตารางที่ 6.5 จำนวนของเสียที่นับได้ของรางที่ 5 ในลักษณะต่าง ๆ

ครั้งที่	ความลาดชันของราง (องศา)		
	30	45	60
1	46	39	25
2	44	37	23
3	46	40	26
ค่าเฉลี่ย	45	38	24

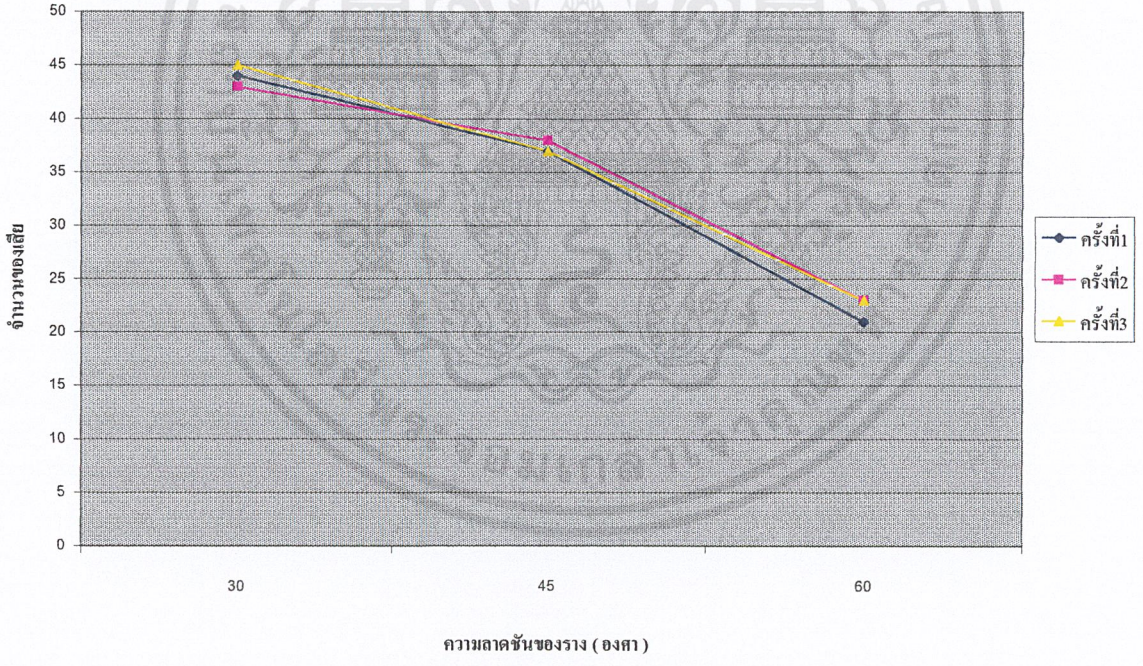


รูปที่ 6.13 กราฟแสดงความลาดชันของรางที่ 5 กับจำนวนของเสีย

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ตารางที่ 6.6 จำนวนของเสียที่นับได้ของรางที่ 7 ในลักษณะต่าง ๆ

ครั้งที่	ความลาดชันของราง (องศา)		
	30	45	60
1	44	37	21
2	43	38	23
3	45	37	23
ค่าเฉลี่ย	44	37	22



รูปที่ 6.14 กราฟแสดงความลาดชันของรางที่ 7 กับจำนวนของเสีย

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 7
สรุปและวิจารณ์ผลการทดลอง

ในการทดลองที่ 6.2 เพื่อศึกษาผลของสีของผลผลิตที่มีระดับสีที่แตกต่างกัน พบว่าสีต่างๆ ที่นำมาทดลองจะมีระดับความเข้มของข้อมูลที่แตกต่างกัน ซึ่งสีในโทนอ่อนหรือสว่างระดับความเข้มของข้อมูลที่ได้จะมีค่าค่อนข้างสูง เช่น สีขาว สีเหลือง สีเขียวอ่อน และค่าที่ได้ค่อนข้างไม่แตกต่างกันมากนัก ส่วนสีในโทนเข้มระดับความเข้มของข้อมูลที่ได้จะมีค่าค่อนต่ำและใกล้เคียงกัน เช่น สีดำ สีน้ำเงิน สีม่วง ซึ่งจะเห็นได้ชัดจากกราฟเส้นซึ่งแสดงระดับความเข้มของข้อมูลที่มีสีต่าง ๆ กัน และกราฟแท่งแสดงค่าเฉลี่ยของระดับความเข้มของข้อมูลที่สีต่าง ๆ กัน จากการทดลองนี้ทำให้เราสามารถนำความแตกต่างของสีของผลผลิต เพื่อประยุกต์ใช้ในการคัดแยกผลผลิต ยิ่งผลผลิตที่มีความแตกต่างของระดับความเข้มของข้อมูลมีมากเท่าไร วงจรการคัดแยกนี้ก็ยิ่งมีความเที่ยงตรงมากขึ้น

ในการทดลองที่ 6.3 เพื่อศึกษาผลของความลาดชันของรางที่มุมองศาต่าง ๆ กัน จากการทดลองพบว่า ยิ่งระดับความลาดชันของรางมีค่ามากจำนวนของของเสียที่แยกได้จะมีค่าน้อยกว่าระดับความลาดชันที่น้อย

นอกจากนี้ในการทดลอง เราอาจพบข้อผิดพลาดจากสภาวะแวดล้อม เช่น สีของวัตถุในที่สว่างหรือมืดที่แตกต่างกัน บางครั้งอาจทำให้มีความแตกต่างของข้อมูลของผลผลิตที่ทำการแยกค่อนข้างน้อย ทำให้เกิดการคัดแยกที่ผิดพลาดได้ ซึ่งสามารถแก้ปัญหาได้โดยการควบคุมแสงไฟที่ใช้ในการทดลอง หรือใช้กล้องที่มีคุณภาพสูง เพื่อที่จะเก็บภาพได้อย่างสมบูรณ์และมีความคมชัด

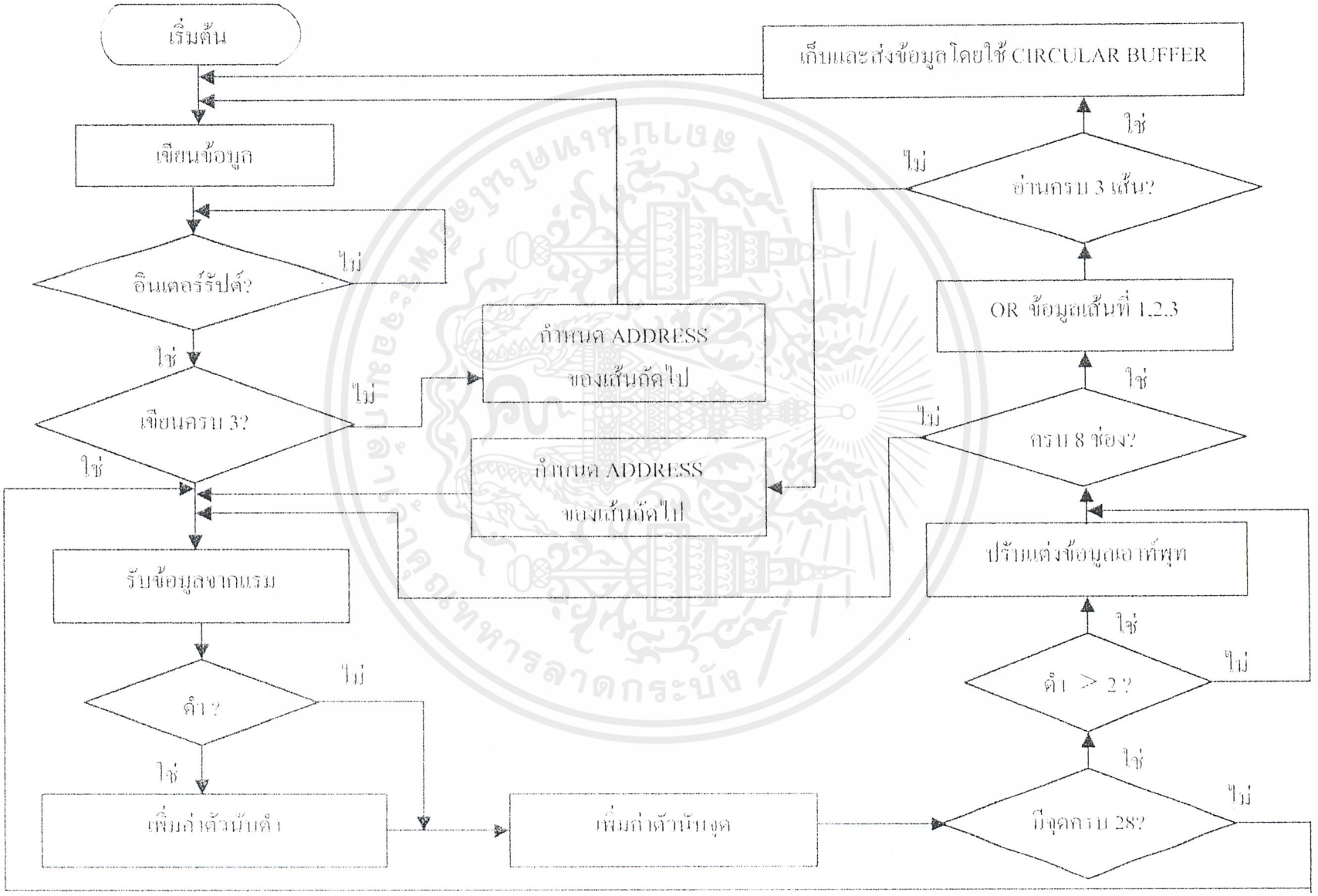
โครงงานชิ้นนี้มุ่งเน้นในการทำงานของวงจรให้เป็นไปตามจุดประสงค์และมีความผิดพลาดน้อยที่สุด และจากผลการทดลองที่ได้แสดงให้เห็นว่าส่วนของวงจรนั้นสามารถใช้งานได้ดีในระดับหนึ่ง ในกรณีที่ต้องการจะนำไปใช้งานจริงในการคัดแยกผลผลิตทางการเกษตรก็ควรมีการปรับปรุงเพื่อแก้ปัญหาที่เกิดขึ้น

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

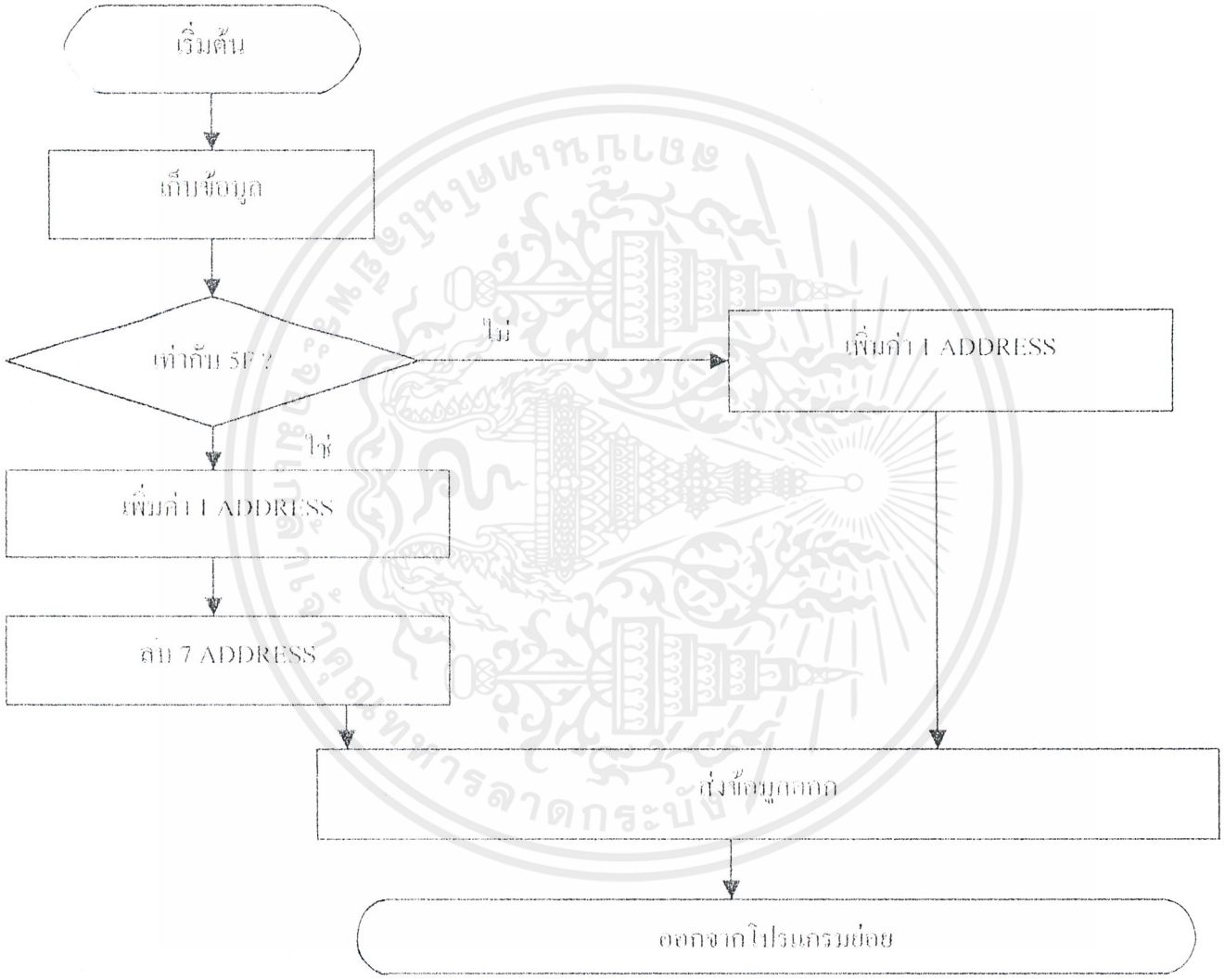
ภาคผนวก

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การออกแบบโปรแกรม



การเก็บและส่งข้อมูลโดยใช้ CIRCULAR BUFFER



โปรแกรม

```
KEEPOR    EQU     040H
POINT     EQU     041H
          ORG     0000H
          LJMP    SETSYS
          ORG     0003H
          LCALL   MAIN
          RETI
SETSYS:   CLR     P3.1
          CLR     P3.0
          CLR     P3.3
          CLR     P3.4
          CLR     P3.5
          CLR     P3.6
          MOV     IE,#81H
          MOV     P1,#0FFH
          MOV     POINT,#50H
          MOV     R0,#03H
LOOP:     SJMP    LOOP
MAIN:     MOV     A,R0
          JZ      MAIN1
          CJNE    R0,#01H,WRI1
          CJNE    R0,#00H,WRI2
MAIN1:    CLR     P3.3
          CLR     P3.6
          LCALL   REA
          MOV     KEEPOR,A
          CLR     P3.4
          SETB    P3.3
          LCALL   REA
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
        ORL     KEEPOR,A
        CLR     P3.4
        CLR     P3.3
        SETB    P3.6
        LCALL   REA
        ORL     A,KEEPOR
        MOV     R0,POINT
        MOV     @R0,A
        ACALL   ADDIND
        MOV     R0,POINT
        MOV     P1,@R0
        MOV     R0,#03H
        CLR     P3.0
        CLR     P3.3
        CLR     P3.4
        CLR     P3.5
        CLR     P3.6
        RET
WRI1:   SETB    P3.3
        DEC     R0
        RET
WRI2:   CLR     P3.3
        SETB    P3.6
        DEC     R0
        RET
ADDIND: MOV     A,POINT
        SUBB    A,#5FH
JZ      APNORM
        JC      NORM
NORM:   INC     POINT
        RET
APNORM: INC     POINT
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

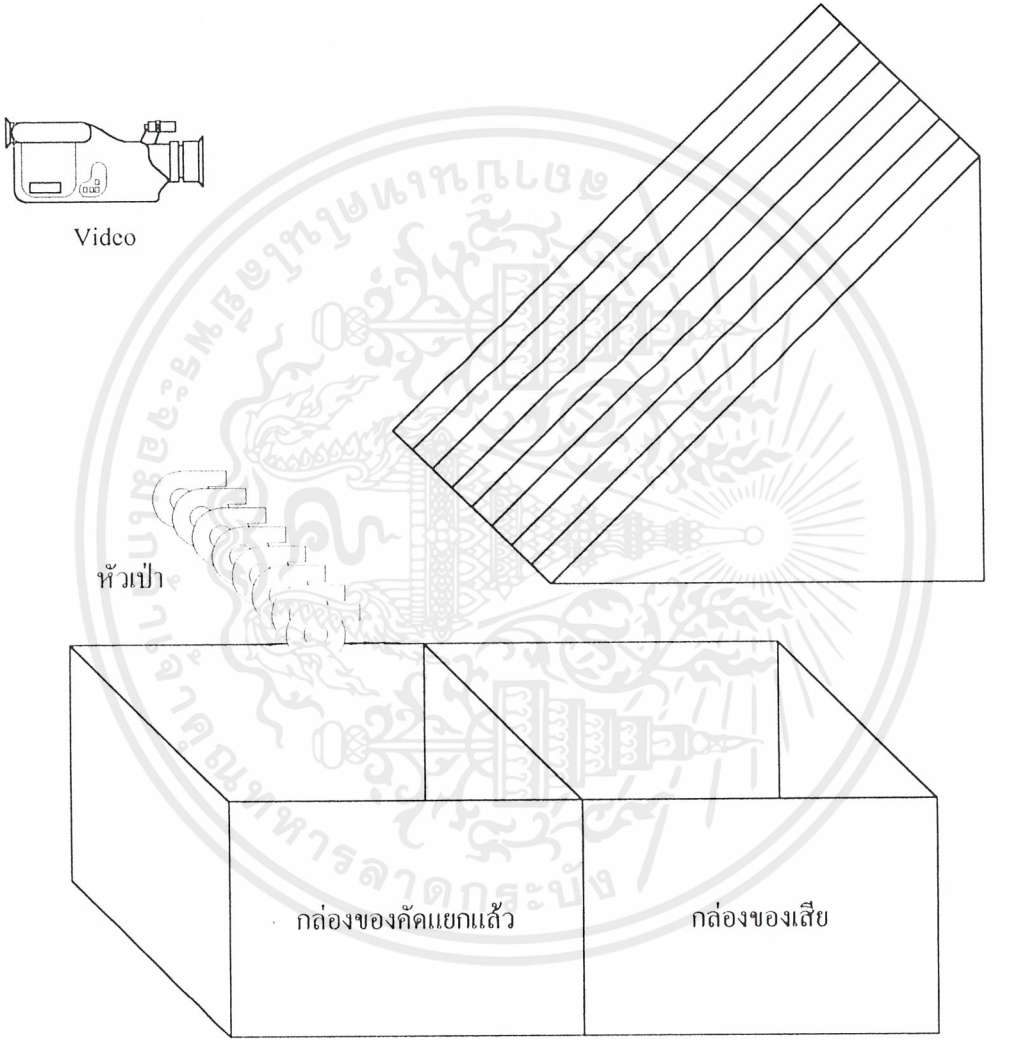
```
        MOV     A,POINT
        SUBB    A,#07H
        MOV     POINT,A
        RET
REA:    SETB    P3.1
        CLR     P3.0
        LCALL   DELAY
        MOV     DPTR,#0FFFFH
        MOV     R1,#00H
        MOV     R2,#00H
        MOV     R3,#00H
        MOV     R4,#00H
        MOV     R5,#80H
        MOV     R6,#00H
        CLR     P3.1
        SETB    P3.0
DATA2:  MOVX    A,@DPTR
        INC     R6
        CJNE    R6,#2CH,DATA2
        SETB    P3.4
DATA1:  MOVX    A,@DPTR
        CJNE    A,#50H,TEST
        LJMP    BIT
TEST:   JC      BIT
        SETB    P3.5
        INC     R2
        LJMP    BIT1
BIT:    CLR     P3.5
        INC     R1
        INC     R2
BIT1:   CJNE    R2,#13H,DATA1
        MOVX    A,@DPTR
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

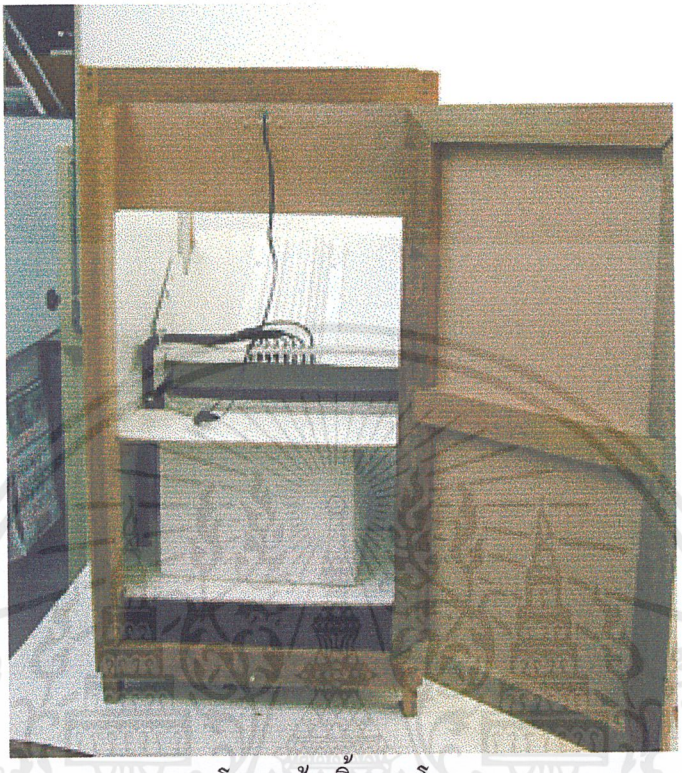
```
        MOVX    A,@DPTR
        CLR     P3.4
        MOV     R2,#00H
        INC     R4
        MOV     A,R5
        RL      A
        MOV     R5,A
        CJNE    R1,#02H,BLACK
        LJMP    CL
BLACK:  JC      CL
        MOV     A,R3
        ORL     A,R5
        MOV     R3,A
CL:     MOV     R1,#00H
        SETB    P3.4
        CJNE    R4,#08H,DATA1
        MOV     A,R3
        RET
DELAY:  DJNZ    R7,DELAY
        RET
        END
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ตำแหน่งของอุปกรณ์



ภาพชิ้นงาน

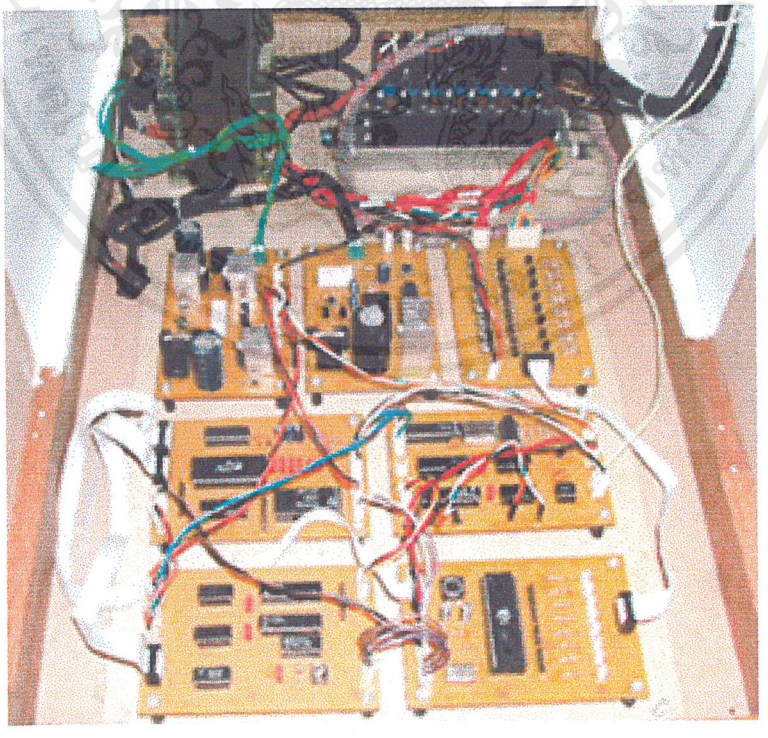


แสดงโครงสร้างชิ้นงานโดยรวม

แสดงโครงสร้างชิ้นงานมุมบนด้านหลัง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

แสดงโครงสร้างชิ้นงานมุมบนด้านหน้า



แสดงวงจร

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บรรณานุกรม

1. บุณชัด เนติศักดิ์, "ทฤษฎีและปฏิบัติเครื่องรับโทรทัศน์ เล่มที่ 1", บริษัท ซีเอ็ดยูเคชั่น จำกัด (มหาชน), 400 หน้า, 2541
2. เจน สงสัมพันธ์, นิคม อนันต์ทิพย์, "เทคโนโลยีโทรทัศน์", สถาบันอิเล็กทรอนิกส์ กรุงเทพฯ, 2535, หน้า 23-51
3. พรชัย ศรีปัญญาพงศ์, "เอกสารประกอบการอบรม ไมโครคอนโทรลเลอร์ 8051" ศูนย์บริการและพัฒนาวิศวกรรมศาสตร์, คณะวิศวกรรมศาสตร์ สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง
4. Michale . Burke, "Imaage Acquisition", Computor vision. Optical paattern Recognition, London :hapman & Hall ,1996, pp 735-750

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

National Semiconductor

April 2001

LM1881
Video Sync Separator

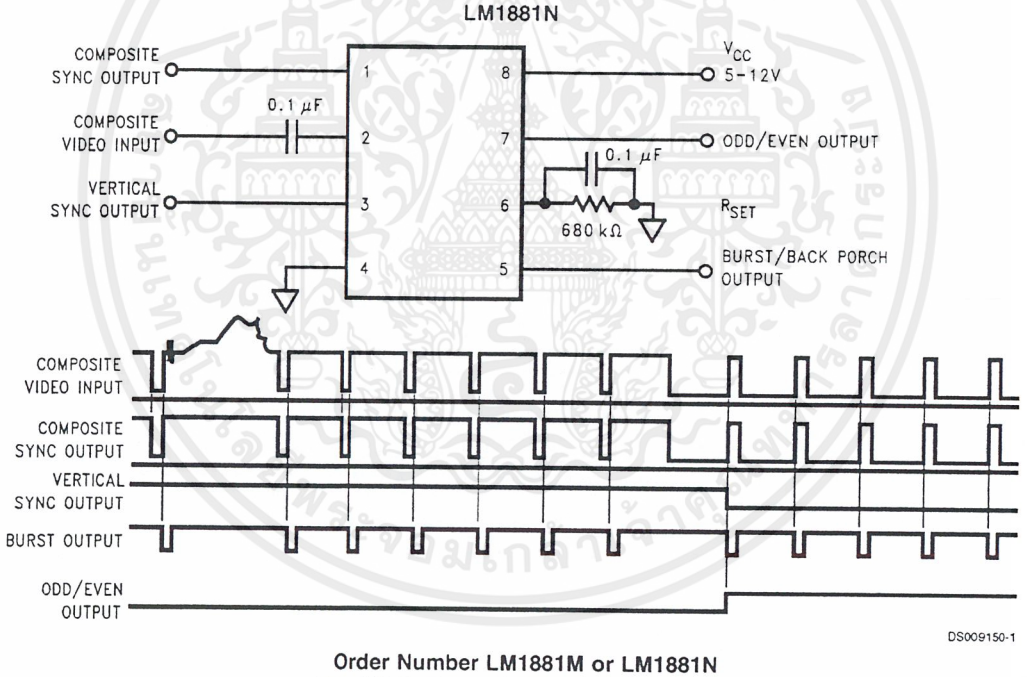
General Description

The LM1881 Video sync separator extracts timing information including composite and vertical sync, burst/back porch timing, and odd/even field information from standard negative going sync NTSC, PAL* and SECAM video signals with amplitude from 0.5V to 2V p-p. The integrated circuit is also capable of providing sync separation for non-standard, faster horizontal rate video signals. The vertical output is produced on the rising edge of the first serration in the vertical sync period. A default vertical output is produced after a time delay if the rising edge mentioned above does not occur within the externally set delay period, such as might be the case for a non-standard video signal.

Features

- AC coupled composite input signal
- >10 kΩ input resistance
- <10 mA power supply drain current
- Composite sync and vertical outputs
- Odd/even field output
- Burst gate/back porch output
- Horizontal scan rates to 150 kHz
- Edge triggered vertical output
- Default triggered vertical output for non-standard video signal (video games-home computers)

Connection Diagram



Order Number LM1881M or LM1881N
See NS Package Number M08A or N08E

*PAL in this datasheet refers to European broadcast TV standard "Phase Alternating Line", and not to Programmable Array Logic.

© 2001 National Semiconductor Corporation

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Absolute Maximum Ratings (Note 1)

If Military/Aerospace specified devices are required, please contact the National Semiconductor Sales Office/ Distributors for availability and specifications.

Supply Voltage	13.2V
Input Voltage	3 V_{P-P} (V_{CC} = 5V) 6 V_{P-P} ($V_{CC} \geq$ 8V)
Output Sink Currents; Pins, 1, 3, 5	5 mA
Output Sink Current; Pin 7	2 mA
Package Dissipation (Note 2)	1100 mW
Operating Temperature Range	0°C–70°C
Storage Temperature Range	−65°C to +150°C
ESD Susceptibility (Note 3)	2 kV
Soldering Information	
Dual-In-Line Package (10 sec.)	260°C
Small Outline Package	
Vapor Phase (60 sec.)	215°C
Infrared (15 sec.)	220°C

See AN-450 "Surface Mounting Methods and their Effect on Product Reliability" for other methods of soldering surface mount devices.

Electrical Characteristics

V_{CC} = 5V; R_{SET} = 680 kΩ; T_A = 25°C; Unless otherwise specified

Parameter	Conditions		Typ	Tested Limit (Note 4)	Design Limit (Note 5)	Units (Limits)
Supply Current	Outputs at Logic 1	V_{CC} = 5V	5.2	10		mAmax
		V_{CC} = 12V	5.5	12		mAmax
DC Input Voltage	Pin 2		1.5	1.3		Vmin
				1.8		Vmax
Input Threshold Voltage	(Note 6)		70	55		mVmin
				85		mVmax
Input Discharge Current	Pin 2; V_{IN} = 2V		11	6		µAmin
				16		µAmax
Input Clamp Charge Current	Pin 2; V_{IN} = 1V		0.8	0.2		mAmin
R_{SET} Pin Reference Voltage	Pin 6; (Note 7)		1.22	1.10		Vmin
				1.35		Vmax
Composite Sync. & Vertical Outputs	I_{OUT} = 40 µA; Logic 1	V_{CC} = 5V	4.5	4.0		Vmin
		V_{CC} = 12V		11.0		Vmin
	I_{OUT} = 1.6 mA Logic 1	V_{CC} = 5V	3.6	2.4		Vmin
		V_{CC} = 12V		10.0		Vmin
Burst Gate & Odd/Even Outputs	I_{OUT} = 40 µA; Logic 1	V_{CC} = 5V	4.5	4.0		Vmin
		V_{CC} = 12V		11.0		Vmin
Composite Sync. Output	I_{OUT} = −1.6 mA; Logic 0; Pin 1		0.2	0.8		Vmax
Vertical Sync. Output	I_{OUT} = −1.6 mA; Logic 0; Pin 3		0.2	0.8		Vmax
Burst Gate Output	I_{OUT} = −1.6 mA; Logic 0; Pin 5		0.2	0.8		Vmax
Odd/Even Output	I_{OUT} = −1.6 mA; Logic 0; Pin 7		0.2	0.8		Vmax
Vertical Sync Width			230	190		µsmin
				300		µsmax
Burst Gate Width	2.7 kΩ from Pin 5 to V_{CC}		4	2.5		µsmin
				4.7		µsmax
Vertical Default Time	(Note 8)		65	32		µsmin
				90		µsmax

Note 1: Absolute Maximum Ratings indicate limits beyond which damage to the device may occur. Operating Ratings indicate conditions for which the device is functional, but do not guarantee specific performance limits. For guaranteed specifications and test conditions, see the Electrical Characteristics. The guaranteed specifications apply only for the test conditions listed. Some performance characteristics may degrade when the device is not operated under the listed test conditions.

Note 2: For operation in ambient temperatures above 25°C, the device must be derated based on a 150°C maximum junction temperature and a package thermal resistance of 110°C/W, junction to ambient.

Note 3: ESD susceptibility test uses the "human body model, 100 pF discharged through a 1.5 kΩ resistor".

Note 4: Typicals are at T_J = 25°C and represent the most likely parametric norm.

Note 5: Tested Limits are guaranteed to National's AOQL (Average Outgoing Quality Level).

Note 6: Relative difference between the input clamp voltage and the minimum input voltage which produces a horizontal output pulse.

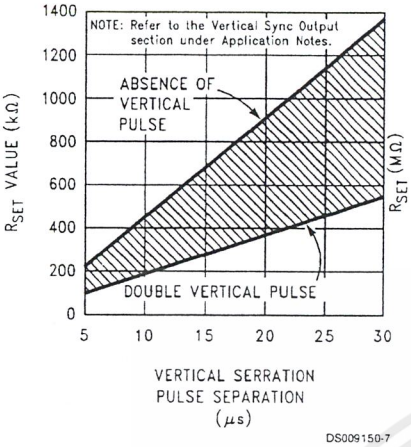
Note 7: Careful attention should be made to prevent parasitic capacitance coupling from any output pin (Pins 1, 3, 5 and 7) to the R_{SET} pin (Pin 6).

Note 8: Delay time between the start of vertical sync (at input) and the vertical output pulse.

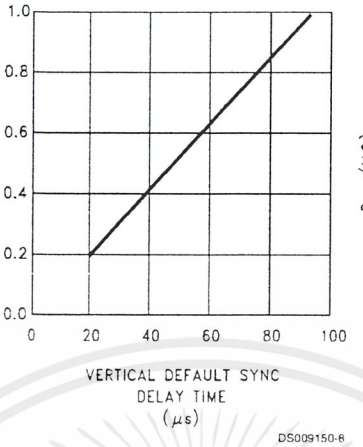
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Typical Performance Characteristics

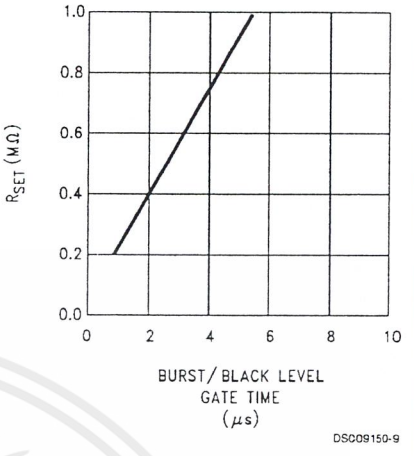
R_{SET} Value Selection vs Vertical Serration Pulse Separation



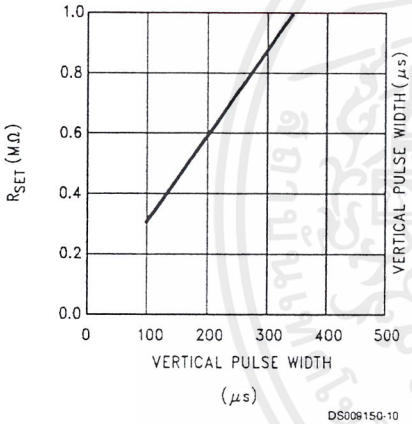
Vertical Default Sync Delay Time vs R_{SET}



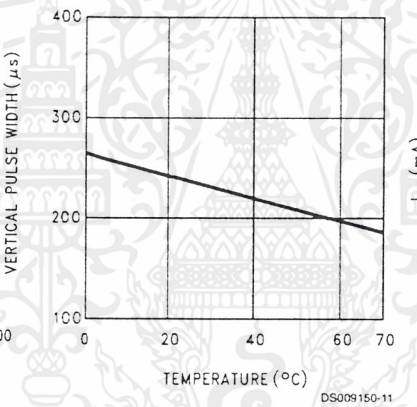
Burst/Black Level Gate Time vs R_{SET}



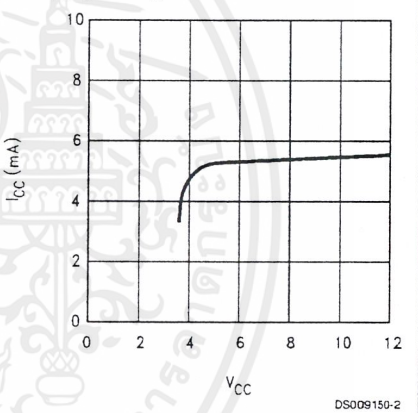
Vertical Pulse Width vs R_{SET}



Vertical Pulse Width vs Temperature



Supply Current vs Supply Voltage



Application Notes

The LM1881 is designed to strip the synchronization signals from composite video sources that are in, or similar to, the N.T.S.C. format. Input signals with positive polarity video (increasing signal voltage signifies increasing scene brightness) from 0.5V (p-p) to 2V (p-p) can be accommodated. The LM1881 operates from a single supply voltage between 5V DC and 12V DC. The only required external components besides a power supply decoupling capacitor at pin 8 and a set current decoupling capacitor at pin 6, are the composite input coupling capacitor at pin 2 and one resistor at pin 6 that sets internal current levels. The resistor on pin 6 (i.e. R_{set}) allows the LM1881 to be adjusted for source signals with line scan frequencies differing from 15.734 kHz. Four major sync signals are available from the I/C; composite sync including both horizontal and vertical scan timing information; a vertical sync pulse; a burst gate or back porch clamp pulse; and an odd/even output. The odd/even output level identifies which video field of an interlaced video source is present at the input. The outputs from the LM1881 can be used to gen-lock video camera/VTR signals with graphics sources, provide identification of video fields for memory storage, recover suppressed or contaminated sync signals, and provide timing references for the extraction of coded or uncoded data on specific video scan lines.

To better understand the LM1881 timing information and the type of signals that are used, refer to *Figure 1(a-e)* which shows a portion of the composite video signal from the end of one field through the beginning of the next field.

COMPOSITE SYNC OUTPUT

The composite sync output, *Figure 1(b)*, is simply a reproduction of the signal waveform below the composite video black level, with the video completely removed. This is obtained by clamping the video signal sync tips to 1.5V DC at Pin 2 and using a comparator threshold set just above this voltage to strip the sync signal, which is then buffered out to Pin 1. The threshold separation from the clamped sync tip is nominally 70 mV which means that for the minimum input level of 0.5V (p-p), the clipping level is close to the halfway point on the sync pulse amplitude (shown by the dashed line

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Application Notes (Continued)

on *Figure 1(a)*. This threshold separation is independent of the signal amplitude, therefore, for a 2V (p-p) input the clipping level occurs at 11% of the sync pulse amplitude. The charging current for the input coupling capacitor is 0.8 mA,

Normally the signal source for the LM1881 is assumed to be clean and relatively noise-free, but some sources may have excessive video peaking, causing high frequency video and chroma components to extend below the black level reference. Some video discs keep the chroma burst pulse present throughout the vertical blanking period so that the burst actually appears on the sync tips for three line periods instead of at black level. A clean composite sync signal can be generated from these sources by filtering the input signal. When the source impedance is low, typically 75Ω, a 620Ω resistor in series with the source and a 510 pF capacitor to ground will form a low pass filter with a corner frequency of 500 kHz. This bandwidth is more than sufficient to pass the sync pulse portion of the waveform; however, any subcarrier content in the signal will be attenuated by almost 18 dB, effectively taking it below the comparator threshold. Filtering will also help if the source is contaminated with thermal noise. The output waveforms will become delayed from between 40 ns to as much as 200 ns due to this filter. This much delay will not usually be significant but it does contribute to the sync delay produced by any additional signal processing. Since the original video may also undergo processing, the need for time delay correction will depend on the total system, not just the sync stripper.

VERTICAL SYNC OUTPUT

A vertical sync output is derived by internally integrating the composite sync waveform (*Figure 2*). To understand the generation of the vertical sync pulse, refer to the lower left hand section *Figure 2*. Note that there are two comparators in the section. One comparator has an internally generated voltage reference called V_1 going to one of its inputs. The other comparator has an internally generated voltage reference called V_2 going to one of its inputs. Both comparators have a common input at their noninverting input coming from the internal integrator. The internal integrator is used for integrating the composite sync signal. This signal comes from the input side of the composite sync buffer and are **positive** going sync pulses. The capacitor to the integrator is internal to the LM1881. The capacitor charge current is set by the value of the external resistor R_{SET}. The output of the integrator is going to be at a low voltage during the normal horizontal lines because the integrator has a very short time to charge the capacitor, which is during the horizontal sync period. The equalization pulses will keep the output voltage of the integrator at about the same level, below the V_1. During the vertical sync period the narrow going positive pulses shown in *Figure 1* is called the serration pulse. The wide negative portion of the vertical sync period is called the vertical sync pulse. At the start of the vertical sync period, before the first Serration pulse occurs, the integrator now charges the capacitor to a much higher voltage. At the first serration pulse the integrator output should be between V_1 and V_2. This would give a high level at the output of the comparator with V_1 as one of its inputs. This high is clocked into the "D" flip-flop by the falling edge of the serration pulse (remember the sync signal is inverted in this section of the LM1881). The "Q" output of the "D" flip-flop goes through the OR gate, and sets the R/S flip-flop. The output of the R/S flip-flop enables the internal oscillator and also clocks the ODD/EVEN "D" flip-flop. The ODD/EVEN field pulse operation is covered in the next section. The output of the oscillator goes to a divide by 8 circuit, thus resetting the R/S flip-flop after 8 cycles of the oscillator. The frequency of the oscillator is established by the internal capacitor going to the oscillator and the external R_{SET}. The "$\overline{Q}$" output of the R/S flip-flop goes to pin 3 and is the actual vertical sync output of the LM1881. By clocking the "D" flip-flop at the start of the first serration pulse means that the vertical sync output pulse starts at this point in time and lasts for eight cycles of the internal oscillator as shown in *Figure 1*.

How R_{SET} affects the integrator and the internal oscillator is shown under the Typical Performance Characteristics. The first graph is "R_{SET} Value Selection vs Vertical Serration Pulse Separation". For this graph to be valid, the vertical sync pulse should last for at least 85% of the horizontal half line (47% of a full horizontal line). A vertical sync pulse from any standard should meet this requirement; both NTSC and PAL do meet this requirement (the serration pulse is the remainder of the period, 10% to 15% of the horizontal half line). Remember this pulse is a positive pulse at the integrator but negative in *Figure 1*. This graph shows how long it takes the integrator to charge its internal capacitor above V_1.

With R_{SET} too large the charging current of the integrator will be too small to charge the capacitor above V_1, thus there will be no vertical synch output pulse. As mentioned above, R_{SET} also sets the frequency of the internal oscillator. If the oscillator runs too fast its eight cycles will be shorter than the vertical sync portion of the composite sync. Under this condition another vertical sync pulse can be generated on one of the later serration pulse after the divide by 8 circuit resets the R/S flip-flop. The first graph also shows the minimum R_{SET} necessary to prevent a double vertical pulse, assuming that the serration pulses last for only three full horizontal line periods (six serration pulses for NTSC). The actual pulse width of the vertical sync pulse is shown in the "Vertical Pulse Width vs R_{SET}" graph. Using NTSC as an example, lets see how these two graphs relate to each other. The Horizontal line is 64 µs long, or 32 µs for a horizontal half line. Now round this off to 30 µs. In the "R_{SET} Value Selection vs Vertical Serration Pulse Separation" graph the minimum resistor value for 30 µs serration pulse separation is about 550 kΩ. Going to the "Vertical Pulse Width vs R_{SET}" graph one can see that 550 kΩ gives a vertical pulse width of about 180 µs, the total time for the vertical sync period of NTSC (3 horizontal lines). A 550 kΩ will set the internal oscillator to a frequency such that eight cycles gives a time of 180 µs, just long enough to prevent a double vertical sync pulse at the vertical sync output of the LM1881.

The LM1881 also generates a default vertical sync pulse when the vertical sync period is unusually long and has no serration pulses. With a very long vertical sync time the integrator has time to charge its internal capacitor above the voltage level V_2. Since there is no falling edge at the end of a serration pulse to clock the "D" flip-flop, the only high signal going to the OR gate is from the default comparator when output of the integrator reaches V_2. At this time the R/S flip-flop is toggled by the default comparator, starting the vertical sync pulse at pin 3 of the LM1881. If the default vertical sync period ends before the end of the input vertical sync period, then the falling edge of the vertical sync (positive pulse at the "D" flip-flop) will clock the high output from the comparator with V_1 as a reference input. This will retrigger the oscillator, generating a second vertical sync output pulse. The "Vertical Default Sync Delay Time vs R_{SET}" graph shows the relationship between the R_{SET} value and the delay time from the start of the vertical sync period before the default vertical sync pulse is generated. Using the NTSC

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Application Notes (Continued)

example again the smallest resistor for R_{SET} is 500 kΩ. The vertical default time delay is about 50 µs, much longer than the 30 µs serration pulse spacing.

A common question is how can one calculate the required R_{SET} with a video timing standard that has no serration pulses during the vertical blanking. If the default vertical sync is to be used this is a very easy task. Use the "Vertical Default Sync Delay Time vs R_{SET}" graph to select the necessary R_{SET} to give the desired delay time for the vertical sync output signal. If a second pulse is undesirable, then check the "Vertical Pulse Width vs R_{SET}" graph to make sure the vertical output pulse will extend beyond the end of the input vertical sync period. In most systems the end of the vertical sync period may be very accurate. In this case the preferred design may be to start the vertical sync pulse at the end of the vertical sync period, similar to starting the vertical sync pulse after the first serration pulse. A VGA standard is to be used as an example to show how this is done. In this standard a horizontal line is 32 µs long. The vertical sync period is two horizontal lines long, or 64 µs. The vertical default sync delay time **must be longer** than the vertical sync period of 64 µs. In this case R_{SET} must be larger than 680 kΩ. R_{SET} must still be small enough for the output of the integrator to reach V_1 before the end of the vertical period of the input pulse. The first graph can be used to confirm that R_{SET} is small enough for the integrator. Instead of using the vertical serration pulse separation, use the actual pulse width of the vertical sync period, or 64 µs in this example. This graph is linear, meaning that a value as large as 2.7 MΩ can be used for R_{SET} (twice the value as the maximum at 30 µs). Due to leakage currents it is advisable to keep the value of R_{SET} under 2.0 MΩ. In this example a value of 1.0 MΩ is selected, well above the minimum of 680 kΩ. With this value for R_{SET} the pulse width of the vertical sync output pulse of the LM1881 is about 340 µs.

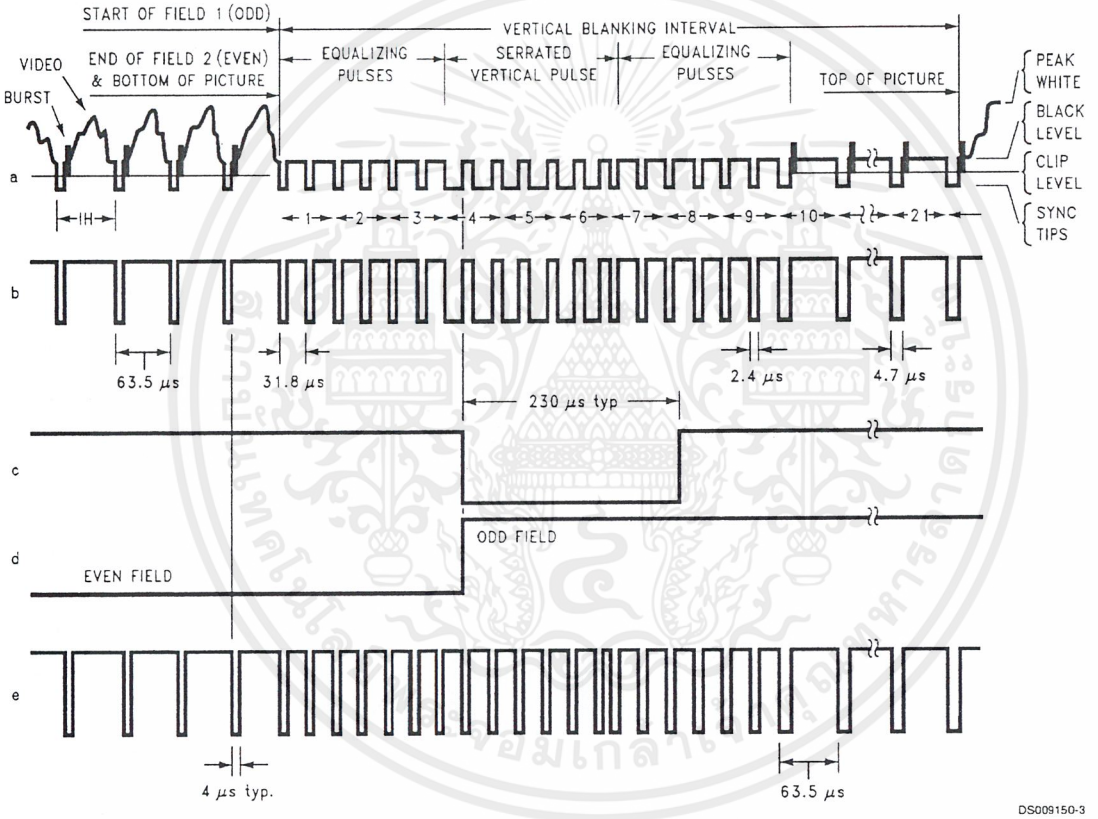
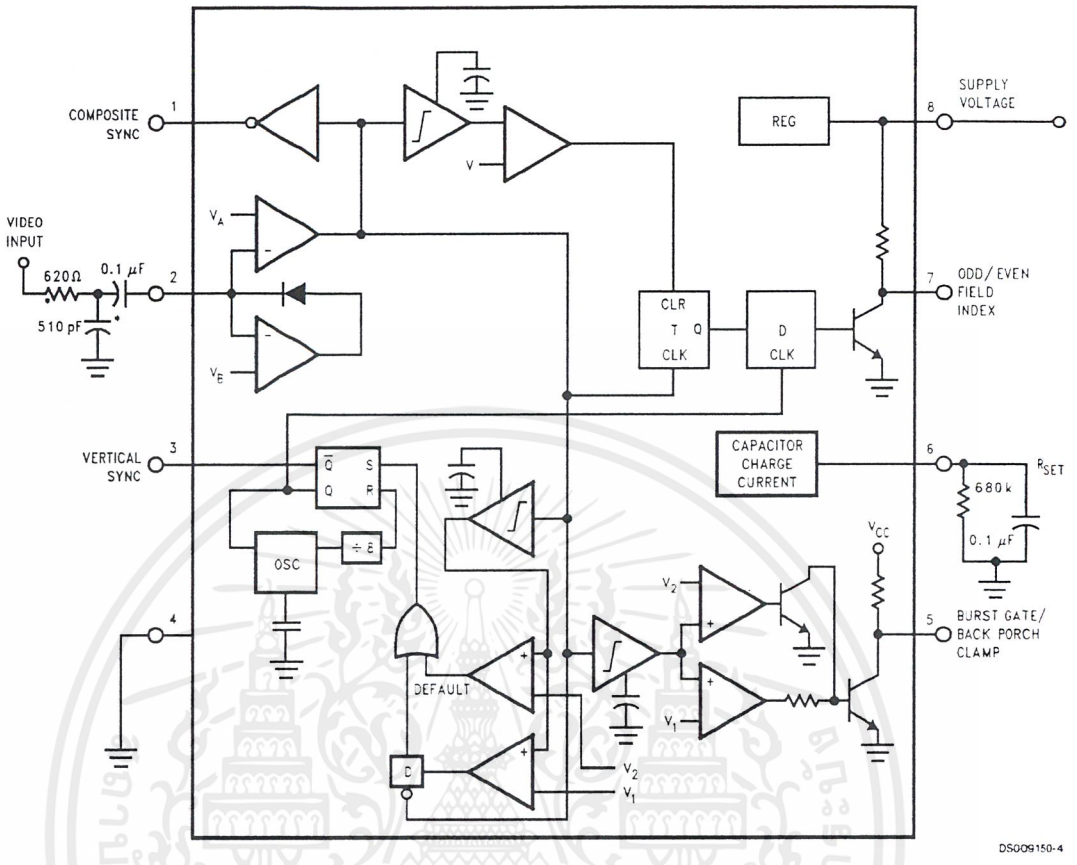


FIGURE 1. (a) Composite Video; (b) Composite Sync; (c) Vertical Output Pulse; (d) Odd/Even Field Index; (e) Burst Gate/Back Porch Clamp

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Application Notes (Continued)



*Components Optional, See Text

FIGURE 2.

ODD/EVEN FIELD PULSE

An unusual feature of LM1881 is an output level from Pin 7 that identifies the video field present at the input to the LM1881. This can be useful in frame memory storage applications or in extracting test signals that occur in alternate fields. For a composite video signal that is interlaced, one of the two fields that make up each video frame or picture must have a half horizontal scan line period at the end of the vertical scan—i.e., at the bottom of the picture. This is called the "odd field" or "even field". The "even field" or "field 2" has a complete horizontal scan line at the end of the field. An odd field starts on the leading edge of the first equalizing pulse, whereas the even field starts on the leading edge of the second equalizing pulse of the vertical retrace interval. *Figure 1(a)* shows the end of the even field and the start of the odd field.

To detect the odd/even fields the LM1881 again integrates the composite sync waveform (*Figure 2*). A capacitor is charged during the period between sync pulses and discharged when the sync pulse is present. The period between normal horizontal sync pulses is enough to allow the capacitor voltage to reach a threshold level of a comparator that clears a flip-flop which is also being clocked by the sync waveform. When the vertical interval is reached, the shorter integration time between equalizing pulses prevents this threshold from being reached and the Q output of the flip-flop is toggled with each equalizing pulse. Since the half line period at the end of the odd field will have the same effect as an equalizing pulse period, the Q output will have a different polarity on successive fields. Thus by comparing the Q polarity with the vertical output pulse, an odd/even field index is generated. Pin 7 remains low during the even field and high during the odd field.

BURST/BACKPORCH OUTPUT PULSE

In a composite video signal, the chroma burst is located on the backporch of the horizontal blanking period. This period, approximately 4.8 μs long, is also the black level reference for the subsequent video scan line. The LM1881 generates a pulse at Pin 5 that can be used either to retrieve the chroma burst from the composite video signal (thus providing a subcarrier synchronizing signal) or as a clamp for the DC restoration of the video waveform. This output is obtained simply by charging an internal capacitor starting on the trailing edge of the horizontal sync pulses. Simultaneously the output of Pin 5 is pulled low and held until the capacitor charge circuit times out—4 μs later. A shorter output burst gate pulse can be derived by differentiating the burst output using a series C-R network. This may be necessary in applications which require high horizontal scan rates in combination with normal (60 Hz–120 Hz) vertical scan rates.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Application Notes (Continued)

APPLICATIONS

Apart from extracting a composite sync signal free of video information, the LM1881 outputs allow a number of interesting applications to be developed. As mentioned above, the burst gate/backporch clamp pulse allows DC restoration of the original video waveform for display or remodulation on an R.F. carrier, and retrieval of the color burst for color synchronization and decoding into R.G.B. components. For frame memory storage applications, the odd/even field lever allows identification of the appropriate field ensuring the correct read or write sequence. The vertical pulse output is particularly useful since it begins at a precise time—the rising edge of the first vertical serration in the sync waveform. This means that individual lines within the vertical blanking period (or anywhere in the active scan line period) can easily be extracted by counting the required number of transitions in the composite sync waveform following the start of the vertical output pulse.

The vertical blanking interval is proving popular as a means to transmit data which will not appear on a normal T.V. receiver screen. Data can be inserted beginning with line 10 (the first horizontal scan line on which the color burst appears) through to line 21. Usually lines 10 through 13 are not used which leaves lines 14 through 21 for inserting signals, which may be different from field to field. In the U.S., line 19 is normally reserved for a vertical interval reference signal (VIRS) and line 21 is reserved for closed caption data for the hearing impaired. The remaining lines are used in a number of ways. Lines 17 and 18 are frequently used during studio processing to add and delete vertical interval test signals (VITS) while lines 14 through 18 and line 20 can be used for Videotex/Teletext data. Several institutions are proposing to transmit financial data on line 17 and cable systems use the available lines in the vertical interval to send decoding data for descrambler terminals.

Since the vertical output pulse from the LM1881 coincides with the leading edge of the first vertical serration, sixteen positive or negative transitions later will be the start of line 14 in either field. At this point simple counters can be used to select the desired line(s) for insertion or deletion of data.

VIDEO LINE SELECTOR

The circuit in *Figure 3* puts out a singe video line according to the binary coded information applied to line select bits b0–b7. A line is selected by adding two to the desired line number, converting to a binary equivalent and applying the result to the line select inputs. The falling edge of the LM1881's vertical pulse is used to load the appropriate number into the counters (MM74C193N) and to set a start count latch using two NAND gates. Composite sync transitions are counted using the borrow out of the desired number of counters. The final borrow out pulse is used to turn on the analog switch (CD4066BC) during the desired line. The falling edge of this signal also resets the start count latch, thereby terminating the counting.

The circuit, as shown, will provide a single line output for each field in an interlaced video system (television) or a single line output in each frame for a non-interlaced video system (computer monitor). When a particular line in only one field of an interlaced video signal is desired, the odd/even field index output must be used instead of the vertical output pulse (invert the field index output to select the odd field). A single counter is needed for selecting lines 3 to 14; two counters are needed for selecting lines 15 to 253; and three counters will work for up to 2046 lines. An output buffer is required to drive low impedance loads.

MULTIPLE CONTIGUOUS VIDEO LINE SELECTOR WITH BLACK LEVEL RESTORATION

The circuit in *Figure 4* will select a number of adjoining lines starting with the line selected as in the previous example. Additional counters can be added as described previously for either higher starting line numbers or an increased number of contiguous output lines. The back porch pulse output of the LM1881 is used to gate the video input's black level through a low pass filter (10 kΩ, 10 µF) providing black level restoration at the video output when the output selected line(s) is not being gated through.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

FAIRCHILD
SEMICONDUCTOR™

April 1988
Revised September 2000

74F269
8-Bit Bidirectional Binary Counter

General Description

The 74F269 is a fully synchronous 8-stage up/down counter featuring a preset capability for programmable operation, carry lookahead for easy cascading and a U/$\overline{D}$ input to control the direction of counting. All state changes, whether in counting or parallel loading, are initiated by the rising edge of the clock.

Features

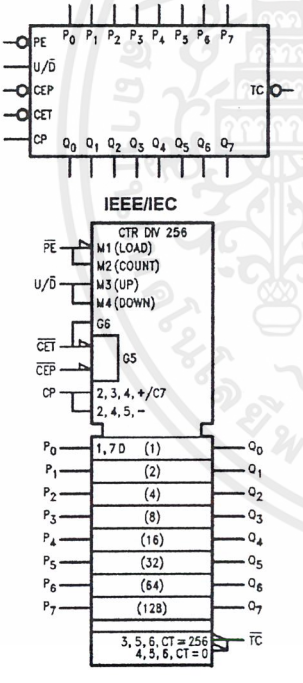
- Synchronous counting and loading
- Built-in lookahead carry capability
- Count frequency 100 MHz
- Supply current 113 mA typ
- 300 mil slimline package

Ordering Code:

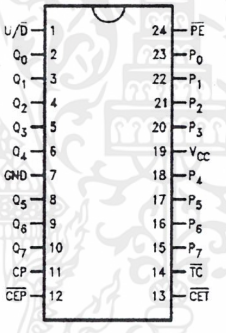
Order Number	Package Number	Package Description
74F269SC	M24B	24-Lead Small Outline Integrated Circuit (SOIC), JEDEC MS-013, 0.300 Wide
74F269SPC	N24C	24-Lead Plastic Dual-In-Line Package (PDIP), JEDEC MS-001, 0.300 Wide

Devices also available in Tape and Reel. Specify by appending the suffix letter "X" to the ordering code.

Logic Symbols



Connection Diagram



Function Table

$\overline{PE}$	$\overline{CEP}$	$\overline{CET}$	U/$\overline{D}$	CP	Function
L	X	X	X	↗	Parallel Load All Flip-Flops
H	H	X	X	↗	Hold
H	X	H	X	↗	Hold ($\overline{TC}$ Held HIGH)
H	L	L	H	↗	Count Up
H	L	L	L	↗	Count Down

H = HIGH Voltage Level
L = LOW Voltage Level
X = Immaterial
↗ = Transition LOW-to-HIGH

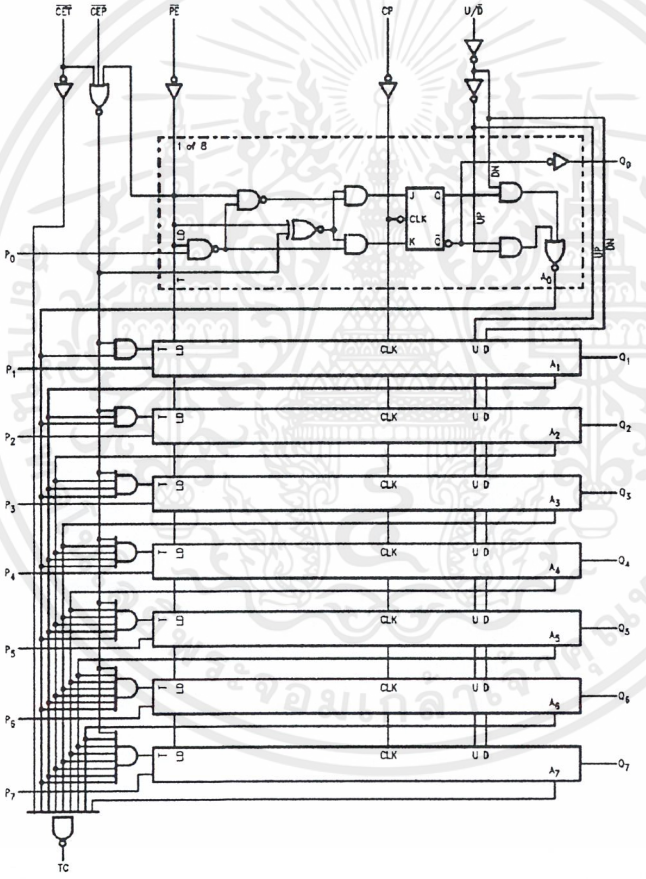
© 2000 Fairchild Semiconductor Corporation

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Unit Loading/Fan Out

Pin Names	Description	U.L. HIGH/LOW	Input I_{IH}/I_{IL} Output I_{OH}/I_{OL}
P_0–P_7	Parallel Data Inputs	1.0/1.0	20 µA/–0.6 mA
$\overline{PE}$	Parallel Enable Input (Active LOW)	1.0/1.0	20 µA/–0.6 mA
U/$\overline{D}$	Up-Down Count Control Input	1.0/1.0	20 µA/–0.6 mA
$\overline{CEP}$	Count Enable Parallel Input (Active LOW)	1.0/1.0	20 µA/–0.6 mA
$\overline{CET}$	Count Enable Trickle Input (Active LOW)	1.0/1.0	20 µA/–0.6 mA
CP	Clock Input	1.0/1.0	20 µA/–0.6 mA
$\overline{TC}$	Terminal Count Output (Active LOW)	5.0/33.3	–1 mA/20 mA
Q_0–Q_7	Flip-Flop Outputs	50/33.3	–1 mA/20 mA

Logic Diagram



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Absolute Maximum Ratings(Note 1)

Storage Temperature	−65°C to +150°C
Ambient Temperature under Bias	−55°C to +125°C
Junction Temperature under Bias	−55°C to +150°C
V_{CC} Pin Potential to Ground Pin	−0.5V to +7.0V
Input Voltage (Note 2)	−0.5V to +7.0V
Input Current (Note 2)	−30 mA to +5.0 mA
Voltage Applied to Output	
in HIGH State (with V_{CC} = 0V)	
Standard Output	−0.5V to V_{CC}
3-STATE Output	−0.5V to +5.5V
Current Applied to Output	
in LOW State (Max)	twice the rated I_{OL} (mA)

Recommended Operating Conditions

Free Air Ambient Temperature	0°C to +70°C
Supply Voltage	+4.5V to +5.5V

Note 1: Absolute maximum ratings are values beyond which the device may be damaged or have its useful life impaired. Functional operation under these conditions is not implied.

Note 2: Either voltage limit or current limit is sufficient to protect inputs.

DC Electrical Characteristics

Symbol	Parameter		Min	Typ	Max	Units	V_{CC}	Conditions
V_{IH}	Input HIGH Voltage		2.0			V		Recognized as a HIGH Signal
V_{IL}	Input LOW Voltage				0.8	V		Recognized as a LOW Signal
V_{CD}	Input Clamp Diode Voltage				−1.2	V	Min	I_{IN} = −18 mA
V_{OH}	Output HIGH Voltage	10% V_{CC}	2.5			V	Min	I_{OH} = −1 mA
		5% V_{CC}	2.7					I_{OH} = −1 mA
V_{OL}	Output LOW Voltage	10% V_{CC}			0.5	V	Min	I_{OL} = 20 mA
I_{IH}	Input HIGH Current				5.0	µA	Max	V_{IN} = 2.7V
I_{BVI}	Input HIGH Current Breakdown Test				7.0	µA	Max	V_{IN} = 7.0V
I_{CEX}	Output HIGH Leakage Current				50	µA	Max	V_{OUT} = V_{CC}
V_{ID}	Input Leakage Test		4.75			V	0.0	I_{ID} = 1.9 µA, All Other Pins Grounded
I_{OD}	Output Leakage Circuit Current				3.75	µA	0.0	V_{IOD} = 150 mV All Other Pins Grounded
I_{IL}	Input LOW Current				−0.6	mA	Max	V_{IN} = 0.5V
I_{OS}	Output Short-Circuit Current		−60		−150	mA	Max	V_{OUT} = 0V
I_{CCH}	Power Supply Current			104	125	mA	Max	V_O = HIGH
I_{CCL}	Power Supply Current			113	135	mA	Max	V_O = LOW

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

AC Electrical Characteristics

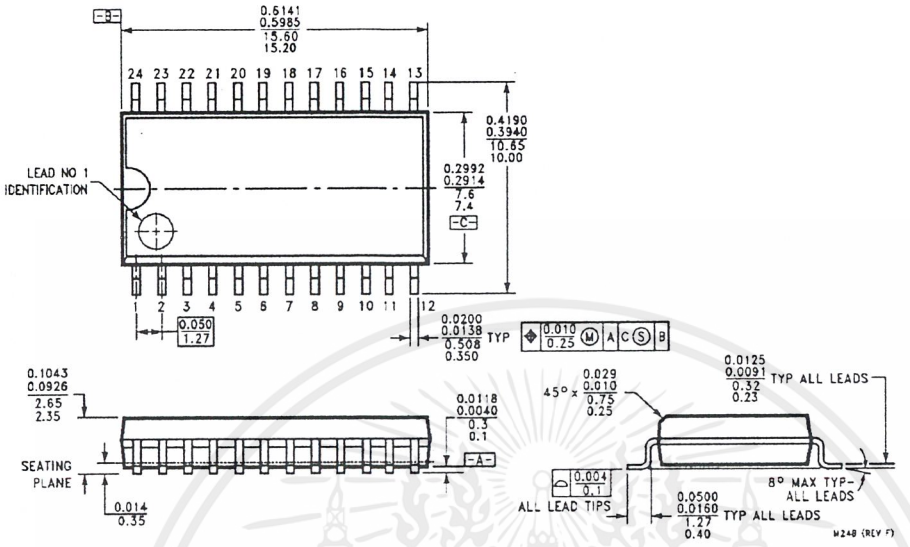
Symbol	Parameter	$T_A = +25°C$, $V_{CC} = +5.0V$, $C_L = 50$ pF			$T_A = 0°C$ to $+70°C$, $V_{CC} = 5.0V$, $C_L = 50$ pF		Units
		Min	Typ	Max	Min	Max	
f_{MAX}	Maximum Clock Frequency	100			85		MHz
t_{PLH}	Propagation Delay	3.5		8.0	3.5	7.0	ns
t_{PHL}	CP to Q_n (Count-Up)	4.5		10.5	4.5	11.0	
t_{PLH}	Propagation Delay	3.5		7.5	3.5	10.0	ns
t_{PHL}	U/$\overline{D}$ to $\overline{TC}$	4.5		7.5	4.5	11.0	
t_{PLH}	Propagation Delay	3.5		7.0	3.5	10.5	ns
t_{PHL}	$\overline{CET}$ to $\overline{TC}$	3.0		10.5	3.0	11.5	
t_{PLH}	Propagation Delay	4.5		10.0	4.5	10.5	ns
t_{PHL}	CP to $\overline{TC}$	5.0		10.0	4.5	10.5	
t_{PLH}	Propagation Delay	3.5		10.5	3.5	11.0	ns
t_{PHL}	CP to $_{Qn}$ (Count-Down)	4.5		10.5	4.5	11.0	
t_{PLH}	Propagation Delay	3.5		7.0	3.5	10.0	ns
t_{PHL}	CP to Q_n (Load)	4.0		7.0	4.0	7.0	

AC Operating Requirements

Symbol	Parameter	$T_A = +25°C$, $V_{CC} = +5.0V$		$T_A = 0°C$ to $+70°C$, $V_{CC} = 5.0V$		Units
		Min	Max	Min	Max	
$t_S(H)$	Setup Time, HIGH or LOW	3.5		4.0		ns
$t_S(L)$	Data to CP	3.0		3.0		
$t_H(H)$	Hold Time, HIGH or LOW	1.0		2.0		
$t_H(L)$	Data to CP	1.0		1.0		
$t_S(H)$	Setup Time, HIGH or LOW	5.5		6.5		ns
$t_S(L)$	$\overline{PE}$ to CP	5.5		6.5		
$t_H(H)$	Hold Time, HIGH or LOW	0		0		
$t_H(L)$	$\overline{PE}$ to CP	0		0		
$t_S(H)$	Setup Time, HIGH or LOW	6.0		6.5		ns
$t_S(L)$	$\overline{CET}$ or $\overline{CEP}$ to CP	8.0		9.0		
$t_H(H)$	Hold Time, HIGH or LOW	0		0		
$t_H(L)$	$\overline{CET}$ or $\overline{CEP}$ to CP	0		0		
$t_W(H)$	Clock Pulse Width, HIGH or LOW	3.5		3.5		ns
$t_W(L)$		3.5		4.0		
$t_S(H)$	Setup Time, HIGH or LOW	8.0		9.5		ns
$t_S(L)$	U/$\overline{D}$ to CP	6.0		7.0		
$t_H(H)$	Hold Time, HIGH or LOW	0.0		0.0		ns
$t_H(L)$	U/$\overline{D}$ to CP	0.0		0.0		

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

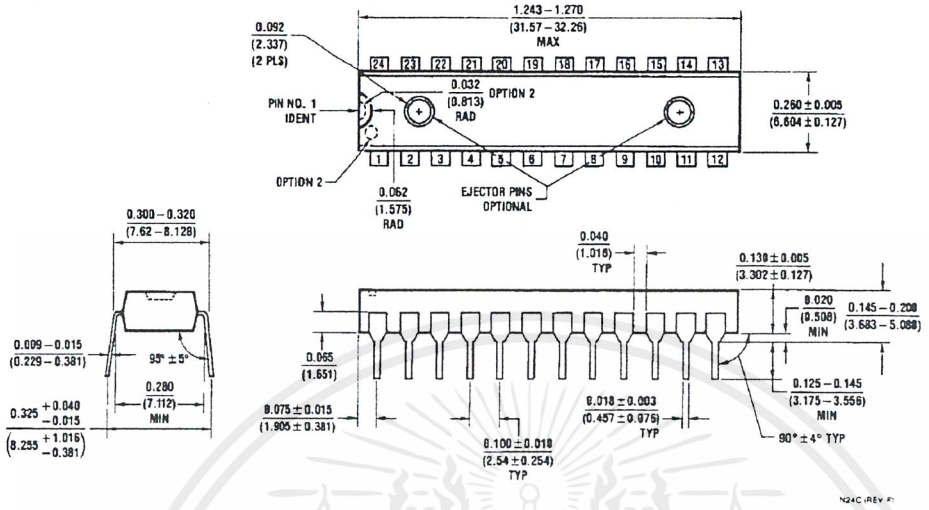
Physical Dimensions inches (millimeters) unless otherwise noted



28-Lead Small Outline Integrated Circuit (SOIC), JEDEC MS-013, 0.300 Wide
Package Number M24B

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Physical Dimensions inches (millimeters) unless otherwise noted (Continued)



24-Lead Plastic Dual-In-Line Package (PDIP), JEDEC MS-001, 0.300 Wide
Package Number N24C

Fairchild does not assume any responsibility for use of any circuitry described, no circuit patent licenses are implied and Fairchild reserves the right at any time without notice to change said circuitry and specifications.

LIFE SUPPORT POLICY

FAIRCHILD'S PRODUCTS ARE NOT AUTHORIZED FOR USE AS CRITICAL COMPONENTS IN LIFE SUPPORT DEVICES OR SYSTEMS WITHOUT THE EXPRESS WRITTEN APPROVAL OF THE PRESIDENT OF FAIRCHILD SEMICONDUCTOR CORPORATION. As used herein:

1. Life support devices or systems are devices or systems which, (a) are intended for surgical implant into the body, or (b) support or sustain life, and (c) whose failure to perform when properly used in accordance with instructions for use provided in the labeling, can be reasonably expected to result in a significant injury to the user.
2. A critical component in any component of a life support device or system whose failure to perform can be reasonably expected to cause the failure of the life support device or system, or to affect its safety or effectiveness.

www.fairchildsemi.com

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

DATA SHEET

TDA8708A
Video analog input interface

Product specification
Supersedes data of April 1993
File under Integrated Circuits, IC02

June 1994

Philips Semiconductors

PHILIPS

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Video analog input interface TDA8708A

FEATURES

- 8-bit resolution
- Sampling rate up to 32 MHz
- Binary or two's complement 3-state TTL outputs
- TTL-compatible digital inputs and outputs
- Internal reference voltage regulator
- Power dissipation of 365 mW (typical)
- Input selector circuit (one out of three video inputs)
- Clamp and Automatic Gain Control (AGC) functions for CVBS and Y signals
- No sample-and-hold circuit required.
- The TDA8708A has white peak control in modes 1 and 2 whereas the TDA8708B has control in mode 1 only.

APPLICATIONS

- Video signal decoding
- Scrambled TV (encoding and decoding)
- Digital picture processing
- Frame grabbing.

GENERAL DESCRIPTION

The TDA8708A is an analog input interface for video signal processing. It includes a video amplifier with clamp and gain control, an 8-bit analog-to-digital converter (ADC) with a sampling rate of 32 MHz and an input selector.

QUICK REFERENCE DATA

SYMBOL	PARAMETER	MIN.	TYP.	MAX.	UNIT
V_{CCA}	analog supply voltage	4.5	5.0	5.5	V
V_{CCD}	digital supply voltage	4.5	5.0	5.5	V
V_{CCO}	TTL output supply voltage	4.2	5.0	5.5	V
I_{CCA}	analog supply current	–	37	45	mA
I_{CCD}	digital supply current	–	24	30	mA
I_{CCO}	TTL output supply current	–	12	16	mA
ILE	DC integral linearity error	–	–	±1	LSB
DLE	DC differential linearity error	–	–	±0.5	LSB
$f_{clk(max)}$	maximum clock frequency	30	32	–	MHz
B	maximum −3 dB bandwidth (AGC amplifier)	12	18	–	MHz
P_{tot}	total power dissipation	–	365	500	mW

ORDERING INFORMATION

TYPE NUMBER	PACKAGE			
	PINS	PIN POSITION	MATERIAL	CODE
TDA8708A	28	DIP	plastic	SOT117-1
TDA8708AT	28	SO28L	plastic	SOT136-1

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

BLOCK DIAGRAM

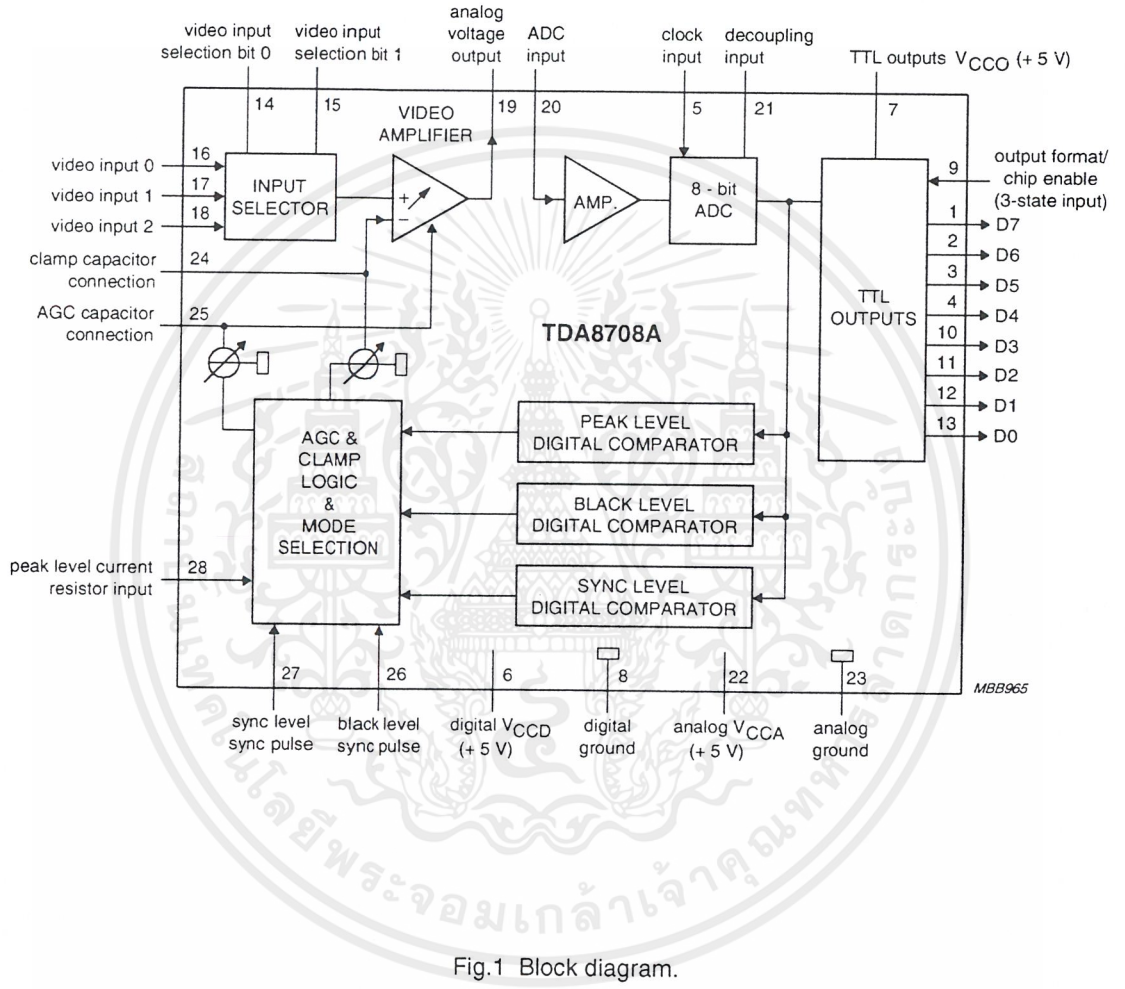


Fig.1 Block diagram.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

PINNING

SYMBOL	PIN	DESCRIPTION
D7	1	data output; bit 7 (MSB)
D6	2	data output; bit 6
D5	3	data output; bit 5
D4	4	data output; bit 4
CLK	5	clock input
V_{CCD}	6	digital supply voltage (+5 V)
V_{CCO}	7	TTL outputs supply voltage (+5 V)
DGND	8	digital ground
OF	9	output format/chip enable (3-state input)
D3	10	data output; bit 3
D2	11	data output; bit 2
D1	12	data output; bit 1
D0	13	data output; bit 0 (LSB)
I0	14	video input selection bit 0
I1	15	video input selection bit 1
VIN0	16	video input 0
VIN1	17	video input 1
VIN2	18	video input 2
ANOUT	19	analog voltage output
ADCIN	20	analog-to-digital converter input
DEC	21	decoupling input
V_{CCA}	22	analog supply voltage (+5 V)
AGND	23	analog ground
CLAMP	24	clamp capacitor connection
AGC	25	AGC capacitor connection
GATE B	26	black level synchronization pulse
GATE A	27	sync level synchronization pulse
RPEAK	28	peak level current resistor input

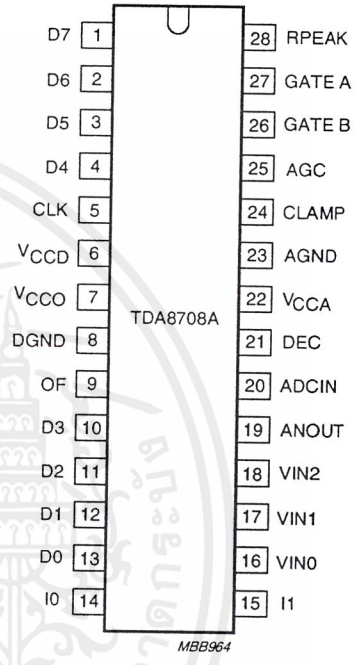


Fig.2 Pin configuration.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

FUNCTIONAL DESCRIPTION

The TDA8708A provides a simple interface for decoding video signals.

The TDA8708A operates in configuration mode 1 (see Fig.4) when the video signals are weak (i.e. when the gain of the AGC amplifier has not yet reached its optimum value). This enables a fast recovery of the synchronization pulses in the decoder circuit. When the pulses at the GATE A and GATE B inputs become distinct (GATE A and GATE B pulses are synchronization pulses occurring during the sync period and rear porch respectively) the TDA8708A automatically switches to configuration mode 2 (see Fig.5).

When the TDA8708A is in configuration mode 1, the gain of the AGC amplifier will be roughly adjusted (sync level to a digital output level of 0 and the peak level to a digital output level of 255).

In configuration mode 2 the digital output of the ADC is compared to internal digital reference levels. The resultant outputs control the charge or discharge current of a capacitor connected to the AGC pin. The voltage across this capacitor controls the gain of the video amplifier. This is the gain control loop.

The sync level comparator is active during a positive-going pulse at the GATE A input. This means that the sync pulse of the composite video signal is used as an amplitude reference. The bottom of the sync pulse is adjusted to obtain a digital output of logic 0 at the converter output. As the black level is at digital level 64, the sync pulse will have a digital amplitude of 64 LSBs.

The peak-white control loop is always active. If the video signal tends to exceed the digital code of 248, the gain will be limited to avoid any over-range of the converter.

The use of nominal signals will prevent the output from exceeding a digital code of 213 and the peak-white control loop will be non-active.

The clamp level control is accomplished by using the same techniques as used for the gain control. The black-level digital comparator is active during a positive-going pulse at the GATE B input. The clamp capacitor will be charged or discharged to adjust the digital output to code 64.

LIMITING VALUES

In accordance with the Absolute Maximum Rating System (IEC 134).

SYMBOL	PARAMETER	MIN.	MAX.	UNIT
V_{CCA}	analog supply voltage	−0.3	+7.0	V
V_{CCD}	digital supply voltage	−0.3	+7.0	V
V_{CCO}	output supply voltage	−0.3	+7.0	V
ΔV_{CC}	supply voltage difference between V_{CCA} and V_{CCD}	−1.0	+1.0	V
	supply voltage difference between V_{CCO} and V_{CCD}	−1.0	+1.0	V
	supply voltage difference between V_{CCA} and V_{CCO}	−1.0	+1.0	V
V_I	input voltage	−0.3	V_{CCA}	V
I_O	output current	0	+10	mA
T_{stg}	storage temperature	−55	+150	°C
T_{amb}	operating ambient temperature	0	+70	°C
T_j	junction temperature	0	+125	°C

THERMAL CHARACTERISTICS

SYMBOL	PARAMETER	VALUE	UNIT
$R_{th\ j\text{-}a}$	thermal resistance from junction to ambient in free air		
	SOT117-1	55	K/W
	SOT136-1	70	K/W

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

CHARACTERISTICS

V_{CCA} = V_{22} to V_{23} = 4.5 to 5.5 V; V_{CCD} = V_6 to V_8 = 4.5 to 5.5 V; V_{CCO} = V_7 to V_8 = 4.2 to 5.5 V; AGND and DGND shorted together; V_{CCA} to V_{CCD} = −0.5 to +0.5 V; V_{CCO} to V_{CCD} = −0.5 to +0.5 V; V_{CCA} to V_{CCO} = −0.5 to +0.5 V; T_{amb} = 0 to +70 °C; typical readings taken at V_{CCA} = V_{CCD} = V_{CCO} = 5 V and T_{amb} = 25 °C; unless otherwise specified.

SYMBOL	PARAMETER	CONDITIONS	MIN.	TYP.	MAX.	UNIT
Supplies						
V_{CCA}	analog supply voltage		4.5	5.0	5.5	V
V_{CCD}	digital supply voltage		4.5	5.0	5.5	V
V_{CCO}	TTL output supply voltage		4.2	5.0	5.5	V
I_{CCA}	analog supply current		–	37	45	mA
I_{CCD}	digital supply current		–	24	30	mA
I_{CCO}	TTL output supply current	TTL load (see Fig.8)	–	12	16	mA
Video amplifier inputs						
VIN(0 TO 2) INPUTS						
$V_{I(p-p)}$	input voltage (peak-to-peak value)	AGC load with external capacitor; note 1	0.6	–	1.5	V
$\|Z_i\|$	input impedance	f_i = 6 MHz	10	20	–	kΩ
C_I	input capacitance	f_i = 6 MHz	–	1	–	pF
I0 AND I1 TTL INPUTS (SEE TABLE 1)						
V_{IL}	LOW level input voltage		0	–	0.8	V
V_{IH}	HIGH level input voltage		2.0	–	V_{CCD}	V
I_{IL}	LOW level input current	V_I = 0.4 V	−400	–	–	µA
I_{IH}	HIGH level input current	V_I = 2.7 V	–	–	20	µA
GATE A AND GATE B TTL INPUTS (SEE FIGS 4 AND 5)						
V_{IL}	LOW level input voltage		0	–	0.8	V
V_{IH}	HIGH level input voltage		2.0	–	V_{CCD}	V
I_{IL}	LOW level input current	V_I = 0.4 V	−400	–	–	µA
I_{IH}	HIGH level input current	V_I = 2.7 V	–	–	20	µA
t_W	pulse width	see Fig.5	2	–	–	µs
RPEAK INPUT (PIN 28)						
$I_{28(min)}$	minimum peak level current	R_{28} = 0 Ω	–	80	150	µA
AGC INPUT (PIN 25)						
$V_{25(min)}$	AGC voltage for minimum gain		–	2.8	–	V
$V_{25(max)}$	AGC voltage for maximum gain		–	4.0	–	V
	AGC output current		see Table 2			
CLAMP INPUT (PIN 24)						
V_{24}	clamp voltage for code 128 output		–	3.5	–	V
I_{24}	clamp output current		see Table 3			

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

SYMBOL	PARAMETER	CONDITIONS	MIN.	TYP.	MAX.	UNIT
Video amplifier outputs						
ANOUT OUTPUT (PIN 19)						
$V_{19(p-p)}$	AC output voltage (peak-to-peak value)	V_{VIN} = 1.33 V (p-p); V_{25} = 3.6 V	–	1.33	–	V
I_{19}	internal current source	$R_L = \infty$	2.0	2.5	–	mA
$I_{O(p-p)}$	output current driven by the load	V_{ANOUT} = 1.33 V (p-p); note 2	–	–	1.0	mA
V_{19}	DC output voltage for black level	note 3	–	V_{CCA} – 2.24	–	V
Z_{19}	output impedance		–	20	–	Ω
Video amplifier dynamic characteristics						
α_{ct}	crosstalk between VIN inputs	V_{CCA} = 4.75 to 5.25 V	–	–50	–45	dB
G_{diff}	differential gain	V_{VIN} = 1.33 V (p-p); V_{25} = 3.6 V	–	2	–	%
φ_{diff}	differential phase	V_{VIN} = 1.33 V (p-p); V_{25} = 3.6 V	–	0.8	–	deg
B	–3 dB bandwidth		12	–	–	MHz
S/N	signal-to-noise ratio	note 4	60	–	–	dB
SVRR1	supply voltage ripple rejection	note 5	–	45	–	dB
ΔG	gain range	see Fig.10	–4.5	–	+6.0	dB
G_{stab}	gain stability as a function of supply voltage and temperature	see Fig.10	–	–	5	%
Analog-to-digital converter inputs						
CLK INPUT (PIN 5)						
V_{IL}	LOW level input voltage		0	–	0.8	V
V_{IH}	HIGH level input voltage		2.0	–	V_{CCD}	V
I_{IL}	LOW level input current	V_{clk} = 0.4 V	–400	–	–	μA
I_{IH}	HIGH level input current	V_{clk} = 2.7 V	–	–	100	μA
$\|Z_i\|$	input impedance	f_{clk}= 10 MHz	–	4	–	kΩ
C_I	input capacitance	f_{clk} = 10 MHz	–	4.5	–	pF
OF INPUT (3-STATE; SEE TABLE 4)						
V_{IL}	LOW level input voltage		0	–	0.2	V
V_{IH}	HIGH level input voltage		2.6	–	V_{CCD}	V
V_9	input voltage in high impedance state		–	1.15	–	V
I_{IL}	LOW level input current		–370	–300	–	μA
I_{IH}	HIGH level input current		–	300	450	μA

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

SYMBOL	PARAMETER	CONDITIONS	MIN.	TYP.	MAX.	UNIT
ADCIN INPUT (PIN 20; SEE TABLE 5)						
V_{20}	input voltage	digital output = 00	–	V_{CCA} – 2.42	–	V
V_{20}	input voltage	digital output = 255	–	V_{CCA} – 1.41	–	V
$V_{20(p-p)}$	input voltage amplitude (peak-to-peak value)		–	1.0	–	V
I_{20}	input current		–	1.0	10	µA
$\|Z_i\|$	input impedance	f_i = 6 MHz	–	50	–	MΩ
C_I	input capacitance	f_i = 6 MHz	–	1	–	pF
Analog-to-digital converter outputs						
DIGITAL OUTPUTS D0 TO D7						
V_{OL}	LOW level output voltage	I_{OL} = 2 mA	0	–	0.6	V
V_{OH}	HIGH level output voltage	I_{OL} = –0.4 mA	2.4	–	V_{CCD}	V
I_{OZ}	output current in 3-state mode	0.4 V < V_O < V_{CCD}	–20	–	+20	µA
Switching characteristics						
$f_{clk(max)}$	maximum clock input frequency	see Fig.6; note 6	30	32	–	MHz
Analog signal processing (f_{clk} = 32 MHz; see Fig.8)						
G_{diff}	differential gain	V_{20} = 1.0 V (p-p); see Fig.3; note 7	–	2	–	%
φ_{diff}	differential phase	see Fig.3; note 7	–	2	–	deg
f_1	fundamental harmonics (full-scale)	f_i = 4.43 MHz; note 7	–	–	0	dB
f_{all}	harmonics (full-scale); all components	f_i = 4.43 MHz; note 7	–	–55	–	dB
SVRR2	supply voltage ripple rejection	note 8	–	1	5	%/V
Transfer function (see Fig.8)						
ILE	DC integral linearity error		–	–	±1	LSB
DLE	DC differential linearity error		–	–	±0.5	LSB
ILE	AC integral linearity error	note 9	–	–	±2	LSB
Timing (f_{clk} = 32 MHz; see Figs 6, 7 and 8)						
DIGITAL OUTPUTS (C_L = 15 pF; I_{OL} = 2 mA; R_L = 2 kΩ)						
t_{ds}	sampling delay time		–	2	–	ns
t_h	output hold time		6	8	–	ns
t_d	output delay time		–	16	20	ns
t_{dEZ}	3-state delay time; output enable		–	19	25	ns
t_{dDZ}	3-state delay time; output disable		–	14	20	ns

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Notes

1. 0 dB is obtained at the AGC amplifier when applying $V_{i(p-p)}$ = 1.33 V.
2. The output current at pin 19 should not exceed 1 mA. The load impedance R_L should be referenced to V_{CCA} and defined as:
   a) AC impedance ≥1 kΩ and the DC impedance >2.7 kΩ.
   b) The load impedance should be coupled directly to the output of the amplifier so that the DC voltage supplied by the clamp is not disturbed.
3. Control mode 2 is selected.
4. Signal-to-noise ratio measured with 5 MHz bandwidth:

   $$\frac{S}{N} = 20 \log \frac{V_{ANOUTC\,(p-p)}}{V_{ANOUTY\,(RMS\ noise)}} \text{ at } B = 5 \text{ MHz}.$$

5. The voltage ratio is expressed as:

   $$SVRR1 = 20 \log \frac{\Delta V_{CCA}}{V_{CCA}} \times \frac{G}{\Delta G}$$ for V_I = 1 V (p-p), gain at 100 kHz = 1 and 1 V supply variation.

6. It is recommended that the rise and fall times of the clock are ≥2 ns. In addition, a 'good layout' for the digital and analog grounds is recommended.
7. These measurements are realized on analog signals after a digital-to-analog conversion (TDA8702 is used).
8. The supply voltage rejection is the relative variation of the analog signal (full-scale signal at input) for 1 V of supply variation:

   $$SVRR2 = \frac{\Delta (V_{I(00)} - V_{I(FF)}) + (V_{I(00)} - V_{I(FF)})}{\Delta V_{CCA}}$$

9. Full-scale sine wave (f_i = 4.4 MHz; f_{clk} = 27 MHz).

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Table 1 Video input selection (CVBS).

I1	I0	SELECTED INPUT
0	0	VIN0
0	1	VIN1
1	0	VIN2
1	1	VIN2

Table 2 AGC output current.

GATE A	GATE B	DIGITAL OUTPUT	I_{AGC}	MODE(2)
1	1	output < 255	−2.5 µA	1
		output > 255	I_{AGCM}	1
0	X(1)	output < 248	0 µA	2
		output > 248	I_{AGCM}	2
1	0	output < 0	+2.5 µA	2
		0 < output < 248	−2.5 µA	2
		output > 248	I_{AGCM}	2

Note

1. X = don't care.
2. Mode 2 can only be initialized with successive pulses on GATE A and GATE B (see Fig.5).

Table 3 CLAMP output current.

GATE A	GATE B	DIGITAL OUTPUT	I_{CLAMP}	MODE
1	1	output < 0	I_{CLAMPM}	1
		output > 0	−2.5 µA	1
X(1)	0	X(1)	0 µA	2
0	1	output < 64	+50 µA	2
		64 < output	−50 µA	2

Note

1. X = don't care.

Table 4 OF input coding.

OF	D0 TO D7
0	active, two's complement
1	high impedance
open circuit(1)	active, binary

Note

1. Use C ≥ 10 pF to DGND.

Table 5 Output coding and input voltage (typical values).

STEP	V_{ADCIN}	BINARY OUTPUTS								TWO'S COMPLEMENT							
		D7	D6	D5	D4	D3	D2	D1	D0	D7	D6	D5	D4	D3	D2	D1	D0
Underflow	–	0	0	0	0	0	0	0	0	1	0	0	0	0	0	0	0
0	V_{CCA} − 2.41 V	0	0	0	0	0	0	0	0	1	0	0	0	0	0	0	0
1	–	0	0	0	0	0	0	0	1	1	0	0	0	0	0	0	1
.	–	.	.	.	.	.	.	.	.	.	.	.	.	.	.	.	.
.	–	.	.	.	.	.	.	.	.	.	.	.	.	.	.	.	.
254	–	1	1	1	1	1	1	1	0	0	1	1	1	1	1	1	0
255	V_{CCA} − 1.41 V	1	1	1	1	1	1	1	1	0	1	1	1	1	1	1	1
Overflow	–	1	1	1	1	1	1	1	1	0	1	1	1	1	1	1	1

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้