สำนักหอสมุดกลาง พระจอมเกล้าลาดกระบัง

เครื่องเล่น MP3

MP3 Player

T046470

โดย

นายสมปอง โชติธนพันธุ์

นายสวรรค์ บุญมี

ปริญญานิพนธ์นี้เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรปริญญาวิศวกรรมศาสตรบัณฑิต

สาขาวิชาวิศวกรรมโทรคมนาคม

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

ปีการศึกษา 2544

เลขหมู่.....
เลขทะเบียน.....46470.....
วัน, เดือน, ปี.....- 2 มิ.ย. 2546

.b.....
.i.....

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เครื่องเล่น MP3

MP3 Player

โดย

นายสมปอง โชติธนพันธุ์

นายสวรรค์ บุญมี

อาจารย์ที่ปรึกษา

ผศ.เกรียงไกร วงศ์โรจนภรน์

รศ.ดร.สุวิพล สิทธิชีวภาค

ปริญญานิพนธ์นี้เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรปริญญาวิศวกรรมศาสตรบัณฑิต

สาขาวิชาวิศวกรรมโทรคมนาคม

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

ปีการศึกษา 2544

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ปริญญานิพนธ์ปีการศึกษา 2544

ภาควิชาวิศวกรรมโทรคมนาคม

คณะวิศวกรรมศาสตร์ สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

เรื่อง **เครื่องเล่น MP3**

MP3 Player

ผู้จัดทำ

1. นายสมปอง	**โชติธนพันธุ์**	**41014441**
2. นายสวรรค์	**บุญมี**	**41014447**

..... อาจารย์ที่ปรึกษา

(ผศ. เกรียงไกร วงศ์โรจนภรน์)

..... อาจารย์ที่ปรึกษา

(รศ.ดร. สุวิพล สิทธีชีวภาค)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เครื่องเล่น MP3

MP3 Player

โดย นายสมปอง โชติธนพันธุ์ 41014441
นายสวรรค์ บุญมี 41014447

อาจารย์ที่ปรึกษา ผศ.เกรียงไกร วงศ์โรจนภรน์
รศ.ดร.สุวิพล สิทธีชีวภาค

บทคัดย่อ

ในปัจจุบันนี้รูปแบบของไฟล์แบบเอ็มเป็กหนึ่ง เลเยอร์สาม นั้นเป็นที่นิยมกันเป็นอย่างมากทั้งนี้เนื่องมาจากคุณภาพและขนาดของไฟล์เอ็มเป็กหนึ่ง เลเยอร์สามนั้นเอง วิทยานิพนธ์นี้เป็นการประยุกต์ให้ไฟล์เอ็มเป็กหนึ่ง เลเยอร์สามสามารถเล่นได้โดยไม่ต้องใช้คอมพิวเตอร์ โดยเครื่องเล่นเอ็มเป็กหนึ่ง เลเยอร์สามจะโหลดเอ็มเป็กหนึ่ง เลเยอร์สามไฟล์จากคอมพิวเตอร์มาเก็บไว้ในหน่วยความจำแล้วเลือกเล่นอย่างใดอย่างหนึ่งจากนั้นอาจพัฒนาให้มีน้ำหนักเบาจนสามารถพกพาได้

Abstrat

At present the MPEG-1 Layer-3 file is the most popular. Because of MPEG-1 Layer-3 file is small file but it still read MP3 Player will read MPEG-1 Layer-3 file from CD of download MPEG-1 Layer-3 from CD of download MPEG-1 Layer-3 file from computer to MP3's Player. Then you can choose to play one. Finally this MP3 Player can improve until have a light weight with it can moveable

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญ

	หน้า
บทที่ 1 บทนำ	**1**
บทที่ 2 ทฤษฎีหรือหลักการ	**2**
ความหมายของเอ็มเป็ก(MPEG)	
MP3	
คุณภาพเสียงที่ได้	**4**
โครงสร้างของข้อมูลไฟล์ MP3	**7**
VS1001h ชิพถอดรหัสข้อมูลเอ็มเพ็กส์	**8**
การนำชิพ VS1001h ไปต่อใช้งาน	**10**
ส่วนเชื่อมต่อข้อมูลอนุกรม SPI ของชิพ VS1001h	
สำหรับดาต้า (SDI : Serial Protocol for Serial Data Interfacd	**12**
การอ่านข้อมูลสำหรับ SCI (SCI Read)	
การเขียนข้อมูลสำหรับ SCI (SCI Write)	**13**
ลักษณะการทำงาน	**14**
SCI รีจิสเตอร์	**15**
โปรแกรมประยุกต์	**19**
Stereo Audio DAC	**20**
การทำงานส่วนต่างๆของชิพ	
การนำ VS1001h ไปใช้งาน	**23**
LCD	
LCD DV-12864	**26**
คำสั่งควบคุมการแสดงของ LCD	**27**
การเชื่อมต่อ LCD	**29**
ตัวอย่างการใช้งาน LCD DV-12864 กับ ET-BOARD V6.0	**32**
การเชื่อมโยง MCS-51 กับหน่วยความจำ	**33**
บทที่ 3 การคำนวณและการสร้าง	**34**
การออกแบบฮาร์แวร์	
การออกแบบซอฟท์แวร์	**35**
บทที่ 4 การทดลองและผลการทดลอง	**42**
บทที่ 5 บทวิจารณ์และบทสรุป	**47**

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญรูปภาพ

หน้า

บทที่ 2

รูปที่ 2.1 แสดงความไวต่อเสียงความถี่ต่างๆ ของหูมนุษย์ 5

รูปที่ 2.2 แสดงการบังทางด้านความถี่ (Frequency Masking) ที่ความถี่มาสก์ 1 กิโลเฮิรตซ์ 5

รูปที่ 2.3ย่านความถี่วิกฤต (Critical Band) ที่ความถี่ต่าง 6

รูปที่ 2.4 ขอบเขตของช่วงความถี่ที่ถูกบังในการใช้ไซโคอคูสติก (Psychoacoustic) 6

รูปที่ 2.5 ส่วนประกอบภายในหัวข้อมูล (Header) 7

รูปที่ 2.6 ชิพ VS1001h แสดงขาต่างของชิพ 8

รูปที่ 2.7 แสดงการนำชิพ VS1001h ไปต่อใช้งานกับอุปกรณ์ไมโครคอนโทรลเลอร์ 10

รูปที่ 2.8 แสดงรูปสัญญาณ BSYNC 12

รูปที่ 2.9 แสดงสัญญาณการอ่านข้อมูลผ่านพอร์ตอนุกรม 13

รูปที่ 2.10 แสดงสัญญาณการเขียนข้อมูลลงพอร์ตอนุกรม 13

รูปที่ 2.11 แสดงทามมิ่งไดอะแกรมของพอร์ตอนุกรม 14

รูปที่ 2.12 แสดงการต่อชิพ VS1001h แบบ 6 ขา 23

รูปที่ 2.13 แสดงลักษณะของ X-address และ Y-address 26

รูปที่ 2.14 แสดง โครงสร้างภายในและขาควบคุม 29

รูปที่ 2.15 แสดง Timing Diagram 30

รูปที่ 2.16 แสดงขาแหล่งจ่ายไฟและการต่อใช้งาน 30

รูปที่ 2.17 แสดงการต่อวงจร Interface กับ ET-BOARD V6.0 (Z80 MODE) 32

บทที่ 3

รูปที่ 3.1 แสดงขั้นตอนการทำงานของส่วนการใช้งานและ LCD 36

รูปที่ 3.2 แสดงขั้นตอนการทำงานของส่วนตัวถอดรหัส 37

รูปที่ 3.3 แสดงขั้นตอนการทำงานของส่วนหน่วยความจำ 38

รูปที่ 3.1 วงจรส่วนการใช้งานและ LCD 39

รูปที่ 3.2 วงจรส่วนตัวถอดรหัส 40

รูปที่ 3.3 วงจรส่วนหน่วยความจำ 41

บทที่ 4

รูปที่ 4.1 แสดงสัญญาณการร้องขอข้อมูลเอ็มเป็กที่ขา 1 (DREQ) 42

รูปที่ 4.2 แสดงสัญญาณออดิโออะนาลอกที่ขา 24 ซึ่งเป็นสัญญาณเอาทพุตของช่องสัญญาณทางขวา (ขยาย) 43

รูปที่ 4.3 แสดงสัญญาณออดิโออะนาลอกที่ขา 24 ซึ่งเป็นสัญญาณเอาทพุตของช่องสัญญาณทางขวา 43

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

หน้า

รูปที่ 4.4 แสดงสัญญาณออดิโออะนาลอกที่ขา 24 ซึ่งเป็นสัญญาณเอาทพุตของช่องสัญญาณทางซ้าย (ขยาย) 44
รูปที่ 4.5 แสดงสัญญาณออดิโออะนาลอกที่ขา 24 ซึ่งเป็นสัญญาณเอาทพุตของช่องสัญญาณทางซ้าย 44
รูปที่ 4.6 แสดงสัญญาณข้อมูลเอ็มเป็กที่ส่งผ่านพอร์ตอนุกรมที่ขา 3 (SDATA) 45
รูปที่ 4.7 แสดงสัญญาณ SCI ที่ขา13 (SI) 45

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญตาราง

หน้า

ตารางที่ 2.1 แสดงอัตราการบีบอัดข้อมูลและความเร็วในการส่ง
ข้อมูลจากเครื่องอ่านของข้อมูลที่ถูกบีบอัดตามาตรฐานMPEG-1 2
ตารางที่ 2.2 แสดงความสัมพันธ์ระหว่างคุณภาพเสียงที่ต้องการกับขนาดของข้อมูลที่ถูกบีบอัด 3
ตารางที่ 2.3 แสดงให้เห็นถึงเวลาที่เสียไปในการแปลงข้อมูล 4
ตารางที่ 2.4 แสดงหน้าที่ของขาในชิพ VS1001h 9
ตารางที่ 2.5 แสดงหน้าที่ของพอร์ตอนุกรม SPI 11
ตารางที่ 2.6 แสดงชุดคำสั่งของชิพ VS1001h 12
ตารางที่ 2.7 แสดง SCI รีจิสเตอร์ 15
ตารางที่ 2.8 แสดงรีจิสเตอร์โหมด 16
ตารางที่ 2.9 แสดงรีจิสเตอร์ HDATA and HDAT1 (R) 18

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 1
บทนำ

ปัจจุบันนี้คอมพิวเตอร์ได้เข้ามามีส่วนร่วมในการดำเนินชีวิตประจำวันอย่างหลีกเลี่ยงไม่ได้ และคงมีน้อยคนนักที่ไม่เคยได้ยินคำว่า "MP3" แต่จะมีซักกี่คนที่รู้ว่าคำๆนี้มีต้นกำเนิดอย่างไรและทำไมมันจึงเป็นที่นิยมกันมากขนาดนี้

ก่อนที่จะพูดถึง MP3 ก็ต้องกล่าวถึงการเก็บข้อมูลเสียง (Audio) ในปัจจุบันเสียก่อน แรกเริ่มเดิมทีนั้นข้อมูลประเภทเสียงจะถูกเก็บอยู่ในรูปแบบของสัญญาณอะนาลอก แรกเริ่มเดิมทีนั้นข้อมูลประเภทเสียงจะถูกเก็บอยู่ในรูปแบบของสัญญาณอะนาลอก ซึ่งเราก็คงคุ้นเคยกันดีในรูปของเทปคาสเซ็ตต์หรือสำหรับคนรุ่นเก่าหน่อยก็คงไม่มีใครไม่รู้จักแผ่นเสียง กล่าวคือข้อมูลที่เก็บสามารถอ่านออกมาได้ในรูปของสัญญาณไฟฟ้าที่มีแรงดันต่างๆ กันต่อเนื่องกันไปเรื่อยๆ เมื่อนำสัญญาณเหล่านี้มาผ่านวงจรขยายและส่งต่อไปยังลำโพงก็จะทำให้เราได้ยินเสียงต้นฉบับที่ได้บันทึกมา

แต่เนื่องจากการเก็บข้อมูลแบบอะนาลอกนั้นไม่สามารถเก็บข้อมูลของเสียงได้ครบทั้งหมด นอกจากนั้นเมื่อเก็บไว้เป็นระยะเวลานานๆ คุณภาพของสื่อที่ใช้เก็บข้อมูลก็จะเสื่อมลงทำให้ข้อมูลเสียงที่อ่านออกมาได้แย่ลงไปอีก จึงมีการคิดค้นการเก็บข้อมูลเสียงแบบใหม่ในรูปแบบของสัญญาณดิจิตอลหรือที่เราคุ้นเคยกันเป็นอย่างดีในปัจจุบันก็คือซีดีรอมนั่นเอง

การเก็บข้อมูลเสียงในแผ่นซีดีรอมนั้นเป็นข้อมูลในแบบดิจิตอล แต่ข้อมูลเสียงนั้นเป็นข้อมูลแบบอะนาลอกดังนั้นก่อนที่จะเก็บข้อมูลได้นั้นจำเป็นต้องมีการแปลงจากอะนาลอกเป็นดิจิตอลเสียก่อน การแปลงจากอะนาลอกเป็นดิจิตอลนั้นใช้หลักการ "สุ่มตัวอย่าง" เป็นพื้นฐานในการแปลง กล่าวคือขณะที่ข้อมูลเสียงซึ่งเป็นสัญญาณอะนาลอกถูกป้อนเข้ามายังตัวแปลง ตัวแปลงจะเก็บค่าความแรง (แอมพลิจูด) ของสัญญาณ ณ ขณะนั้นไว้ แล้วแปลงเป็นเลขฐาน 2 เมื่อแปลงเสร็จก็จะไปเก็บค่าความแรงจากสัญญาณอะนาลอกต่อไปเรื่อยๆ อุปกรณ์ที่แปลงสัญญาณนี้เราเรียกว่า วงจรแปลงสัญญาณอะนาลอกเป็นดิจิตอล (Analog to Digital Convertor : ADC)

จากหลักการที่กล่าวมาเห็นได้ว่ายิ่งมีการเก็บตัวอย่างจำนวนมากเท่าไหร่ข้อมูลที่แปลงออกมาก็จะเหมือนข้อมูลต้นฉบับมากขึ้นเท่านั้น แต่ปัญหาที่ตามมาก็คือมีข้อมูลที่ต้องเก็บเป็นจำนวนมหาศาลเลยทีเดียว ในปัจจุบันข้อมูลที่เก็บในแผ่นซีดีรอมเพลงนั้นใช้อัตราการสุ่ม (Sampling Frequency) 44.1 กิโลเฮิรตซ์ สาเหตุที่ต้องใช้ความถี่นี้ก็เนื่องมาจากทฤษฎีของไนควิซ (Nyquist Theorem) ซึ่งกล่าวไว้ว่า "ถ้าต้องการแปลงข้อมูลจากอะนาลอกเป็นดิจิตอลโดยไม่ให้ข้อมูลผิดเพี้ยนจะต้องมีความถี่ในการสุ่มเก็บตัวอย่าง อย่างน้อย 2 เท่าของความถี่ข้อมูลที่ต้องการเก็บ" และเนื่องจากหูมนุษย์รับฟังเสียงความถี่สูงสุดได้ไม่เกิน 20 กิโลเฮิรตซ์ ดังนั้นอัตราการสุ่มของแผ่นซีดีรอมเพลงจึงเป็น 44.1 กิโลเฮิรตซ์ โดยในการสุ่มหนึ่งครั้งจะแปลงเป็นข้อมูลดิจิตอลขนาด 16 บิต เก็บทั้งแชนแนลซ้ายและขวา ดังนั้นปริมาณข้อมูลทั้งหมดที่จะเกิดขึ้นในเวลา 1 วินาทีจะเท่ากับ 44,100x16x2 = 1,411,200 บิตเลยทีเดียว และถ้าเราลองคำนวณดูว่าเพลง 1 เพลงที่มีความยาวประมาณ 4 นาที จะต้องเก็บข้อมูลปริมาณเท่าใด จากปัญญาที่กล่าวมาจึงได้นำการบีบอัดข้อมูลแบบเอ็มเป็กมาแก้ปัญหา

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 2
ทฤษฎีหรือหลักการ

ความหมายของเอ็มเป็ก(MPEG)

เอ็มเป็ก(MPEG) นั้นย่อมาจาก Moving Picture Experts Group ซึ่งเป็นชื่อของกลุ่มบุคคลที่ร่วมมือกันสร้างมาตรฐานสากล (International Standard) เพื่อใช้ในการเข้ารหัสข้อมูลภาพและเสียงที่อยู่ในรูปของสัญญาณดิจิตอลก่อตั้งขึ้นตั้งแต่ปี ค.ศ. 1988 โดยมาตรฐานที่สร้างขึ้นนั้นถูกบรรจุเป็นมาตรฐานสากล ISO/IEC หมายความว่ามาตรฐานนี้มาใช้เข้ารหัสหรือถอดรหัสข้อมูลของตัวเองได้โดยไม่ต้องขออนุญาตหรือจ่ายค่าลิขสิทธิ์ให้กับผู้ใด

มาตรฐาน MPEG นั้นแบ่งย่อยออกเป็นกลุ่มๆ ตามชนิดของข้อมูลที่ถูกเข้ารหัสและการนำไปใช้งาน ซึ่งในปัจจุบันแบ่งออกได้เป็น 5 กลุ่ม ดังนี้

MPEG-1 เข้ารหัสข้อมูลภาพและเสียง ใช้ในระบบวิดีโอซีดี และเสียงเพลง

MPEG-2 เข้ารหัสข้อมูลภาพและเสียง ใช้ในระบบโทรทัศน์ดิจิตอลและดีวีดี

MPEG-4 เข้ารหัสข้อมูลมัลติมีเดียที่ใช้กันอยู่ในเว็บเพจ

MPEG-7 เป็นมาตรฐานในการใส่คำอธิบายชนิดของข้อมูลมัลติมีเดียลงในตัวของมันเอง ประโยชน์ในด้านการหาข้อมูลบนระบบอินเตอร์เน็ต

MPEG-21 เป็นมาตรฐานใหม่ล่าสุดที่เพิ่งกำหนดขึ้นเมื่อเดือนมิถุนายนปีนี้ ว่าด้วยเรื่องเกี่ยวกับ Multimedia Framework

MP3

MP3 ที่เรารู้จักกันจะอยู่ในมาตรฐาน MPEG-1 ใช้ในการเข้ารหัสข้อมูลภาพและเสียง แต่ตัว MPEG-1 นี้ยังแบ่งออกเป็น 3 เลเยอร์ (Layer) ตามความสามารถและความซับซ้อนในการเข้ารหัสข้อมูล โดยเลเยอร์ 1 มีความซับซ้อนในการเข้ารหัสน้อยทำให้บีบอัดข้อมูลได้น้อย และในทางกลับกันเลเยอร์ 3 มีความซับซ้อนในการเข้ารหัสมากที่สุดทำให้บีบอัดข้อมูลได้มากที่สุดแต่ทั้งสามเลเยอร์จะมีพื้นฐานในการบีบอัดเหมือนกันทั้งหมด

มาตรฐานการบีบอัด	อัตราส่วน	ความเร็วในการส่งข้อมูล
MPEG-1 Layer1	1:4	384 กิโลบิต/s
MPEG-1 Layer2	1:6 ถึง 1:8	256-192 กิโลบิต/s
MPEG-1 Layer3	1:10 ถึง 1:12	128-115 กิโลบิต/s

ตารางที่ 2.1 แสดงอัตราการบีบอัดข้อมูลและความเร็วในการส่งข้อมูลจากเครื่องอ่านของข้อมูลที่ถูกบีบอัดตามมาตรฐานMPEG-1

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

MP3 นี้คือการเข้ารหัสข้อมูล MPEG-1 Layer 3 มีกระบวนการในการเข้ารหัสที่ซับซ้อนที่สุดทำให้บีบอัดข้อมูลได้มาก หรือทำให้เหลือขนาดของข้อมูลเล็กมาก แต่ขนาดข้อมูลที่เล็กลงใช่ว่าจะไม่เสียอะไรไปเลย เนื่องจากการบีบอัดข้อมูลแบบ MPEG นั้นเป็นการบีบอัดข้อมูลแบบมีการสูญเสีย (Lossy Compression) ดังนั้นขนาดของข้อมูลที่เล็กลงนี้จึงมีการสูญเสียข้อมูลบางส่วนไปแต่ส่วนที่สูญเสียไปนั้นไม่มีผลต่อสียงที่มนุษย์ได้ยินเมื่อมีการแปลงกลับ

การบีบอัดข้อมูลตามมาตรฐาน MPEG-1 นั้นได้ผลลัพธ์เป็นข้อมูลที่เรียงต่อกัน (Data Stream) ซึ่งจะรองรับทั้งในแบบ 1 ช่องสัญญาณและ 2 ช่องสัญญาณ แยกออกเป็นระบบเสียงต่างๆ ได้ถึง 4 ระบบคือ

1. ระบบโมโน คือได้ผลลัพธ์เป็นข้อมูลเพียง 1 ช่องสัญญาณ ซึ่งอาจจะเป็นเสียงจากช่องซ้ายหรือขวาก็ได้
2. ระบบดูอัลโมโน (Dual-Mono) ได้ข้อมูลผลลัพธ์ออกมา 2 ช่องสัญญาณ โดยช่องหนึ่งเป็นเสียงจากลำโพงฝั่งซ้าย อีกช่องหนึ่งเป็นเสียงจากลำโพงฝั่งขวา
3. ระบบสเตริโอ ข้อมูลที่ได้ประกอบด้วย 2 ช่องสัญญาณเช่นกันแต่ช่องหนึ่งจะเป็นผลรวมของเสียงลำโพงซ้ายกับลำโพงขวา อีกช่องหนึ่งเป็นผลต่างของลำโพงซ้ายกับลำโพงขวา
4. ระบบจอยท์-สเตริโอ (Joint-Stereo) มีลักษณะคล้ายกับระบบสเตริโอแต่จะมีการรวมสัญญาณที่ความถี่ต่ำๆ ไว้ในช่องสัญญาณเดียว และแยกเสียงที่ความถี่สูงขึ้นมาเหมือนกับระบบสเตอริโอปรกติทั่วไปเนื่องจากธรรมชาติของหูมนุษย์จะแยกแยะตำแหน่งของแหล่งกำเนิดเสียงได้ยากถ้าเสียงนั้นมีความถี่ต่ำ

จากข้างต้นจะเป็นว่าข้อมูลที่อ่านได้จากซีดีรอมเพลงธรรมดานั้นมีจำนวนถึง 1,411,200 บิตต่อความยาว 1 วินาที ดังนั้นความเร็วในการส่งข้อมูลจากเครื่องอ่านไปยังตัวแปลงข้อมูลต้องสูงตามไปด้วยคือประมาณ 1.4 เมกะบิตต่อวินาที จากตารางแสดงการบีบอัดข้อมูลแสดงให้เห็นถึงอัตราการบีบอัดข้อมูลและความเร็วในการส่งข้อมูลจากเครื่องอ่านของข้อมูลที่ถูกบีบอัดตามมาตรฐาน MPEG-1 เลเยอร์ต่าง ๆ โดยอ้างอิงเสียงที่ได้จากการแปลงกลับให้อยู่ระดับคุณภาพเสียงซีดี ซึ่งเห็นได้ว่าข้อมูลที่บีบอัดตามมาตรฐาน MP3 นั้นจะเหลืออัตราความเร็วในการส่งข้อมูลเพียง 128 กิโลบิตต่อวินาที นั่นหมายความว่าข้อมูลเสียงเพลง 1 นาทีจากเดิมที่มีขนาดประมาณ 10 เมกะไบต์จะเหลือเพียงประมาณ 1 เมกะไบต์เท่านั้น นั่นหมายความแผ่นซีดีรอมจากเดิมที่เก็บเพลงได้ 14-18 เพลงรวมความยาวประมาณ 65 นาที ถ้านำมาเก็บข้อมูลที่ถูกเข้ารหัส MP3 จะสามารถเก็บเพลงได้มากกว่า 200 เพลง รวมความยาวมากกว่า 600 นาที

คุณภาพเสียง	แบนด์วิดธ์	ระบบเสียง	อัตราการส่งข้อมูล	อัตราส่วนการบีบอัดข้อมูล
โทรศัพท์	2.5 กิโลเฮิรตซ์	โมโน	8กิโลบิต/s	96:1
ดีกว่าคลื่น Shortwave	4.5 กิโลเฮิรตซ์	โมโน	16กิโลบิต/s	48:1
ดีกว่าคลื่นวิทยุ AM	7.5 กิโลเฮิรตซ์	โมโน	32กิโลบิต/s	24:1
ใกล้เคียงวิทยุ FM	11 กิโลเฮิรตซ์	สเตริโอ	56 ถึง 64กิโลบิต/s	26 ถึง 24:1
ใกล้เคียงวิทยุ CD	15 กิโลเฮิรตซ์	สเตริโอ	96กิโลบิต/s	16:1
CD	>15กิโลเฮิรตซ์	สเตริโอ	112 ถึง 128กิโลบิต/s	14 ถึง 12:1

ตารางที่ 2.2 แสดงความสัมพันธ์ระหว่างคุณภาพเสียงที่ต้องการกับขนาดของข้อมูลที่ถูกบีบอัด

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เลเยอร์	อัตราส่วนการบีบอัด	เวลาที่ใช้ในการถอดรหัส
1	4:1	19 ns
2	6:1	35 ns
3	12:1	59 ns

ตารางที่ 2.3 แสดงให้เห็นถึงเวลาที่เสียไปในการแปลงข้อมูล

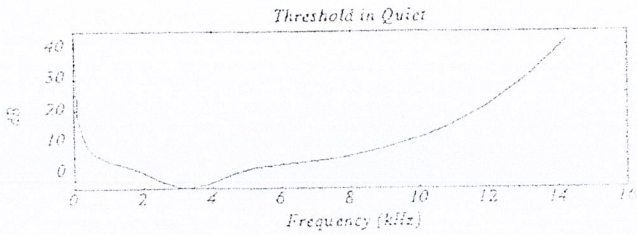
คุณภาพเสียงที่ได้

การบีบอัดข้อมูลตามมาตรฐาน MPEG นั้น สามารถกำหนดได้ว่าต้องการให้ข้อมูลที่ได้มีคุณภาพเสียงในระดับใด ถ้าต้องการให้มีคุณภาพเสียงที่ดีก็จะมีขนาดของข้อมูลใหญ่กว่าข้อมูลที่ต้องการคุณภาพเสียงที่ด้อยลงมา ขนาดของข้อมูลที่ถูกบีบอัดสามารถแทนได้ด้วยอัตราเร็วในการส่งข้อมูล เนื่องจากถ้าอัตราเร็วในการส่งข้อมูลสูง หมายความว่าใน 1 วินาทีต้องใช้ข้อมูลในจำนวนที่สูงตามไปด้วย

ถ้ามาดูกันถึงความสัมพันธ์ระหว่างคุณภาพเสียงที่ต้องการกับขนาดของข้อมูลที่ถูกบีบอัด จะเห็นว่าความสามารถของการบีบอัดแบบ MP3 ได้อย่างชัดเจน ในกรณีที่เราต้องการคุณภาพเสียงในระดับของโทรศัพท์ จะเหลืออัตราการส่งข้อมูลเพียง 8 กิโลบิตต่อวินาทีเท่านั้น (ปัจจุบันระบบโทรศัพท์ดิจิตอลส่งข้อมูลเสียงด้วยความเร็ว 64 กิโลบิตต่อวินาทีตามมาตรฐาน (ISDN) หรือถ้าเราต้องการเสียงที่มีคุณภาพในระดับวิทยุ FM โดยใช้การบีบอัดแบบ MP3 ก็จะใช้อัตราการส่งข้อมูลเพียง 64 กิโลบิตต่อวินาทีเท่านั้น ด้วยความเร็วเท่านี้ทำให้เราสามารถสร้างระบบวิทยุดิจิตอลซึ่งส่งข้อมูลดิจิตอลออกอากาศให้เป็นความจริงได้ แต่ความสามารถในการบีบอัดที่สูงก็ใช่ว่าจะได้มาโดยไม่เสียอะไรเลย เนื่องจากกระบวนการในการเข้ารหัสที่ซับซ้อนทำให้การแปลงข้อมูลต้องใช้เวลาช่วงหนึ่งในการทำงาน ดังเห็นได้จากตารางที่ 2.3 กระบวนการเข้ารหัสเอ็มเป็กโดยทั่วไป

การลดขนาดข้อมูลตามมาตรฐาน MPEG นั้นใช้พฤติกรรมในการได้ยินเสียงของมนุษย์มาเป็นเครื่องมือในการลดขนาดข้อมูล อย่างที่เรารู้กันโดยทั่วไปว่า หูของมนุษย์นั้นมีขีดจำกัดในด้านการรับฟังโดยขีดจำกัดอยู่ที่ด้านความถี่ 20 – 20,000 เฮิรตซ์ นั่นหมายความว่ามนุษย์จะได้ยินเสียงในช่วงความถี่สูงกว่า 20 เฮิรตซ์แต่ต่ำกว่า 20 กิโลเฮิรตซ์เท่านั้น ถ้าอยู่เกินช่วงนี้ไปหูเราจะไม่ได้ยินเสียงนั้นๆ แต่ใช่ว่าหูเราจะมีความไวต่อทุกๆ ความถี่ที่เราได้ยินเท่าๆ กัน จากผลการทดลองของนักวิทยาศาสตร์โดยสร้างห้องปิดที่ไม่มีเสียงรบกวนจากภายนอกขึ้น ให้ผู้ทดสอบเข้าไปข้างในห้อง จากนั้นก็เริ่มสร้างเสียงที่ความถี่ค่าหนึ่ง (ที่หูมนุษย์ได้ยิน) โดยค่อยๆ เพิ่มความดังของเสียงขึ้นเรื่อยๆ จนหูของผู้ทดสอบได้ยินแล้วบันทึกค่าไว้แล้วก็เปลี่ยนความถี่ที่ใช้ทดลองไปเรื่อยๆ จนครบตลอดย่านความถี่ที่มนุษย์ได้ยินนำข้อมูลที่ได้มาวาดกราฟจะได้ดังรูปที่ 2.1

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.1 แสดงความไวต่อเสียงความถี่ต่างๆ ของหูมนุษย์

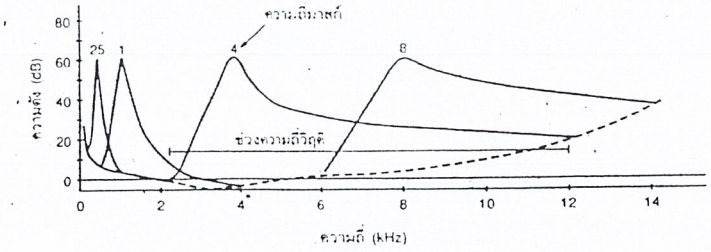
จากรูปที่ 2.1 จะเห็นได้อย่างชัดเจนว่าหูของมนุษย์เรามีความไวต่อเสียงแตกต่างกันที่ความถี่ต่างๆ กัน โดยจะมีความไวมากที่สุดในช่วงความถี่ 2 – 4 กิโลเฮิรตซ์ และถ้าเป็นความถี่ที่ต่ำมากๆ หรือสูงมากๆ ก็ยิ่งต้องใช้ความดังมากๆ เพื่อให้หูเราได้ยิน การทดลองในช่วงที่ผ่านมาเป็นการทดลองกับความถี่เพียงความถี่เดียว ต่อไปเราจะมาดูว่าถ้ามีเสียง 2 ความถี่ที่ใกล้เคียงกันกำเนิดพร้อมๆกันหูเราจะได้ยินอย่างไร

ในห้องปิดห้องเดิมสร้างเสียงความถี่ 1 กิโลเฮิรตซ์ที่ระดับความดัง 60 dB จากนั้นก็สร้างเสียงที่มีความถี่ใกล้เคียงกันขึ้นมา เช่น 0.9 กิโลเฮิรตซ์ แล้วเพิ่มความดังขึ้นเรื่อยๆ จนกว่าหูจะได้ยินแล้วบันทึกค่าไว้ แล้วปรับความถี่ที่สร้างขึ้นเป็นความถี่ที่ 2 ทดลองไปเรื่อยๆ แล้วบันทึกค่า นำมาวาดกราฟจะได้ดังรูปที่ 2.2

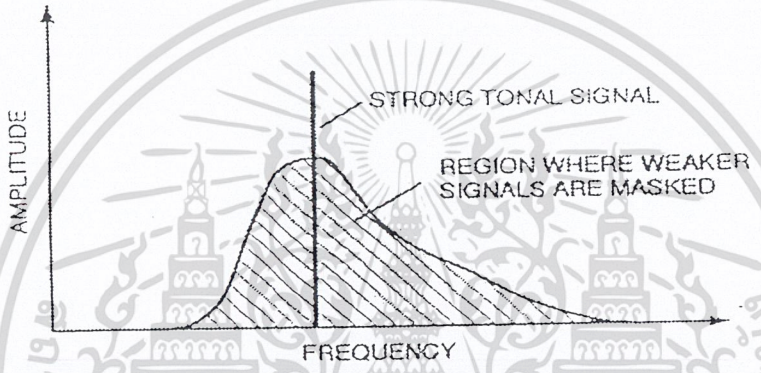
รูปที่ 2.2 แสดงการบังทางด้านความถี่ (Frequency Masking) ที่ความถี่มาสก์ 1 กิโลเฮิรตซ์

จากรูปที่ 2.2 เห็นได้ว่ามีความถี่หนึ่งดังขึ้นมา เสียงความถี่ที่ใกล้เคียงที่จะทำให้เราได้ยินนั้นจำเป็นต้องมีความดังมากๆ หากมีความดังน้อยกว่าเส้นกราฟหมายความว่าเราจะไม่ได้ยินเสียงนั้นๆไปเลย คุณสมบัติของหูมนุษย์ในจุดนี้ทำให้เกิดย่านความถี่วิกฤต (Critical Band) ถ้ามองจากรูปก็คือช่วงความถี่ที่อยู่ในส่วนฐานของสามเหลี่ยม และเราเรียกความถี่ที่เป็นยอดของสามเหลี่ยมนี้ว่าความถี่มาสก์ (Masking Tone) สรุปแล้วย่านความถี่วิกฤตก็คือย่านความถี่ในช่วงที่ได้ยินหรือแยกแยะเสียงได้ยากถ้ามีเสียงความถี่มาสก์ของแบนด์นั้นๆยังอยู่ เราเรียกคุณสมบัติข้อนี้ของหูมนุษย์ว่าการบังทางความถี่ (Frequency Masking) นอกจากการไม่ได้ยินเสียงที่อยู่ในย่านความถี่วิกฤตแล้ว ยังมีคุณสมบัติอีกข้อหนึ่งที่ทำให้หูเราไม่ได้ยินเสียงไปชั่วคราว เราเรียกคุณสมบัติข้อนี้ว่า การบังชั่วคราว (Temporal Masking) คือเมื่อเราได้ยินเสียงที่เป็นความถี่มาสก์ดังขึ้นมาในระดับหนึ่ง หลังจากเสียงนั้นหยุดลงเราจะต้องเสียเวลาช่วงหนึ่งก่อนที่เราจะได้ยินเสียงที่มีความถี่ใกล้เคียงกับความถี่มาสก์นั้นๆ รูปที่ 2.3

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.3ย่านความถี่วิกฤต (Critical Band) ที่ความถี่ต่าง



รูปที่ 2.4 ขอบเขตของช่วงความถี่ที่ถูกบังในการใช้ไซโคอคูสติก (Psychoacoustic)

เป็นกราฟที่ได้จากการทดลองสร้างเสียงความถี่มาสก์ 1 กิโลเฮิรตซ์ ที่มีความดัง 60 dB หลังจากนั้นปิดเสียงที่เป็นความถี่มาสก์ทดลองสร้างความถี่ใกล้เคียง (ในที่นี้คือ 1.1 กิโลเฮิรตซ์) ที่ความดังค่าหนึ่งขึ้นมาจับเวลาที่เสียไปก่อนจะได้ยินเสียงนั้น แล้วทดลองซ้ำโดยเปลี่ยนระดับความดังของเสียงที่เกิดขึ้นทีหลังไปเรื่อยๆ นำข้อมูลทั้งหมดมาวาดกราฟ ซึ่งจะเห็นได้ว่ายิ่งเสียงที่เกิดขึ้นมีความดังน้อยเท่าไหร่ ก็ยิ่งมีระยะที่เราไม่ได้ยินเสียงยาวขึ้นเท่านั้น

คุณสมบัติด้านการฟังทั้งหมดที่กล่าวมานั้นรวมกันเรียกว่า ไซโคอคูสติกโมเดล (Psychoacoustic Model) ถือเป็นเครื่องมือสำคัญในการลดขนาดข้อมูลของการบีบอัดตามมาตรฐาน MPEG ซึ่งมีลำดับกระบวนการในการบีบอัดดังนี้

1. นำข้อมูลเสียงดิจิตอลป้อนเข้าฟิลเตอร์เพื่อแยกเสียงออกเป็นช่วงความถี่ย่อยๆ (Subbands) ซึ่งมีความกว้างเท่ากับย่านความถี่วิกฤต จำนวน 32 ช่วงความถี่ เรียงขั้นตอนนี้ว่า Sub-band Filtering
2. ใช้ไซโคอคูสติกโมเดลเป็นเครื่องมือในการวิเคราะห์ข้อมูลส่วนที่ไม่มีผลต่อการได้ยินของมนุษย์ออกไป โดยพิจารณาระหว่างช่วงความถี่ 2 ช่วงที่ติดกันและพิจารณาย่อยลงไปในแต่ละช่วงความถี่ด้วย
3. ถ้าวิเคราะห์แล้วพบว่าเสียงช่วงใดไม่มีผลต่อการได้ยิน ให้ตัดข้อมูลส่วนนั้นออกไป ไม่นำไปเข้ารหัสในส่วนถัดไป
4. นำข้อมูลที่เหลือมาเข้ารหัสซึ่งจะมีวิธีที่แตกต่างกันขึ้นอยู่กับแต่ละเลเยอร์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

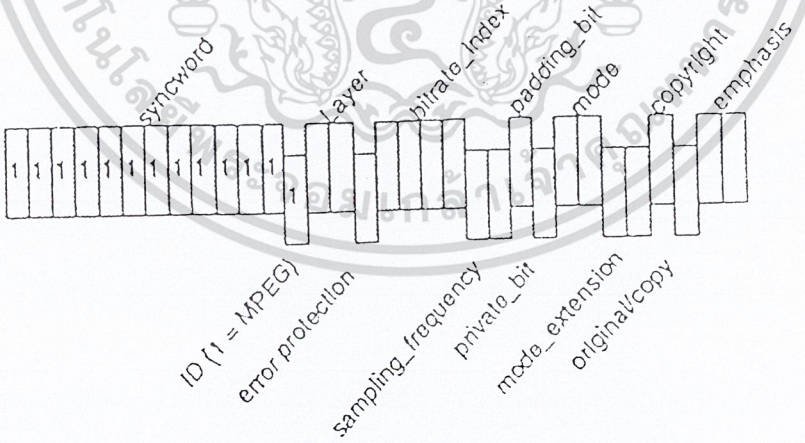
โครงสร้างของข้อมูลไฟล์ MP3

ข้อมูลที่ถูกบีบอัดตามมาตรฐาน MP3 นั้นจะอยู่ในลักษณะของเฟรมข้อมูล โดยในแต่ละเฟรมข้อมูลจะมีส่วนประกอบภายในอยู่ 4 ส่วนคือ

- หัวข้อมูล (Header) เป็นข้อมูลขนาด 32 บิต แสดงลักษณะทั่วไปของไฟล์นั้นๆ
- ส่วนตรวจสอบความผิดพลาด (CRC) เป็นข้อมูลขนาด 16 บิต ใช้ตรวจสอบข้อมูลภายในเฟรมว่าถูกต้องหรือไม่จะมีหรือไม่ก็ได้
- ข้อมูลข้างเคียง (Side Information) มีขนาด 17 หรือ 32 ไบต์ (17 ไบต์สำหรับระบบโมโน 32 ไบต์สำหรับระบบอื่นๆ) เป็นส่วนที่เก็บองค์ประกอบที่ใช้ในการถอดรหัส
- ข้อมูลหลัก (Main Data) มีความยาวขึ้นอยู่กับอัตราการส่งข้อมูล (Baud rate) และอัตราการสุ่มข้อมูลในการแปลงกลับเป็นสัญญาณอะนาลอก (Sampling Frequency)

หัวข้อมูล (Header)	ตรวจสอบความผิดพลาด (CRC)	ข้อมูลข้างเคียง (Side Information)	ข้อมูลหลัก (Main Data)

แสดงรูปแบบข้อมูลเอ็มเป็ก เลเยอร์ 3



รูปที่ 2.5 ส่วนประกอบภายในหัวข้อมูล (Header)

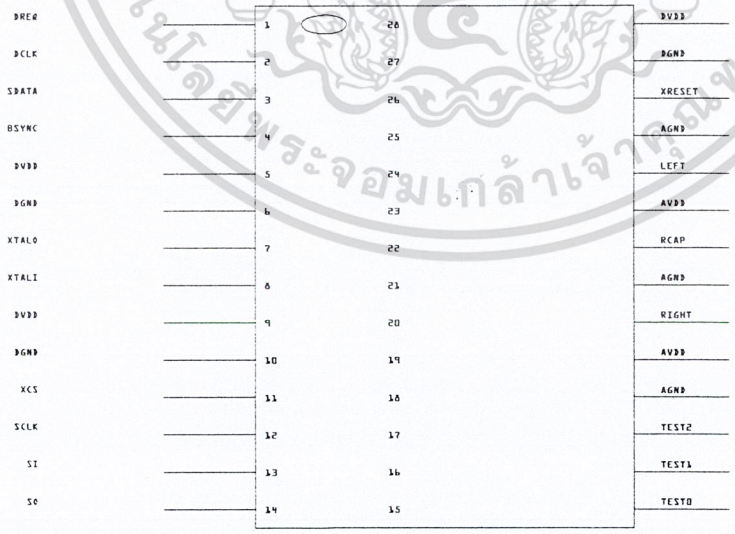
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

VS1001h ชิพถอดรหัสข้อมูลเอ็มเป็ก

คุณสมบัติ

- สามารถถอดรหัสข้อมูลเอ็มเป็กออดิโอได้ทั้งเลเยอร์ 1,2 และ 3
- สนับสนุนการถอดรหัสข้อมูลเอ็มเป็ก 1 และ 2 ทั้งทุกเลเยอร์ ในเอ็มเป็ก3 สามารถถอดรหัสได้ถึงเลเยอร์ 2.5 โดยสนับสนุนข้อมูลทั้งแบบโมโนและสเตริโอ
- สามารถส่งข้อมูลด้วยความเร็วได้หลายระดับ
- ทำงานที่สัญญาณนาฬิกา 12.288-16 เมกะเฮิรตซ์ หรือ 24.576-26 เมกะเฮิรตซ์ (สำหรับความเร็วในการส่งต่ำ)
- ประหยัดพลังงาน
- ในชิพประกอบด้วย ดิจิตอลอะนาลอกคอนเวสเตอร์ (DAC) คุณภาพสูง โดยปราศจากเพสเอเรอระหว่างแชลแนล
- สำหรับสัญญาณอะนาลอกทำงานด้วยระดับแรงดัน 2.6-3.6 V
- สำหรับสัญญาณดิจิตอลทำงานด้วยระดับแรงดัน 2.1-3.6 V
- มีแรมบนชิพถึง 4 กิโลบิต สำหรับผู้ใช้
- มีฟังก์ชั่นใหม่เพิ่มเติมเช่น ข้อมูลเข้าเป็น PCM,ข้อมูลเข้าเป็นสตรีม (Streaming) เป็นต้น
- ประมวลผลใน 16 บิตเวิร์ดของข้อมูล

ข้อมูลของขาใน VS1001h



รูปที่ 2.6 ชิพ VS1001h แสดงขาต่างของชิพ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ชื่อขา	ขาที่	ชนิดของขา	หน้าที่ของขา
DREQ	1	DO	ขาแสดงร้องขอข้อมูล
DCLK	2	DIO	ขาสัญญาณนาฬิกาสำหรับข้อมูลอินพุตแบบอนุกรม
SDATA	3	DI	ขาข้อมูลอินพุตแบบอนุกรม
BSYNC	4	DI	ขาสัญญาณแสดงข้อมูลซิงโครไนส์
DVDD1	5	PWR	ขาไฟเลี้ยงดิจิตอล
DGND1	6	PWR	ขากราวด์ดิจิตอล
XTALO	7	CLK	ขาคริสตอลเอาท์พุต
XTALI	8	CLK	ขาคริสตอลอินพุต
DVDD2	9	PWR	ขาไฟเลี้ยงดิจิตอล
DGND2	10	PWR	ขากราวด์ดิจิตอล
XCS	11	DI	ขาเลือกอินพุตข้อมูลว่าเป็นข้อมูลหรือคอนโทรล (active low)
SCLK	12	DI	ขาสัญญาณนาฬิกาสำหรับข้อมูลอินพุตแบบอนุกรม
SI	13	DI	ขาอินพุตอนุกรม
SO	14	DO3	ขาเอาท์พุตอนุกรม
TEST0	15	DI	ขาสำรองไว้สำหรับทดสอบ ต่อเข้ากับ DVDD
TEST1	16	DIO	ขาสำรองไว้สำหรับทดสอบ ไม่ต้องต่อ
TEST2	17	DIO	ขาสำรองไว้สำหรับทดสอบ ไม่ต้องต่อ
AGND1	18	PWR	ขากราวด์อะนาลอก
AVDD1	19	PWR	ขาไฟเลี้ยงอะนาลอก
RIGHT	20	AO	ขาเอาท์พุตแชนแนลขวา
AGND2	21	PWR	ขากราวด์อะนาลอก
RCAP	22	AIO	ขาเปรียบเทียบความจุไฟฟ้า
AVDD2	23	PWR	ขาไฟเลี้ยงอะนาลอก
LEFT	24	AO	ขาเอาท์พุตแชนแนลซ้าย
AGND3	25	PWR	ขากราวด์อะนาลอก
XRESET	26	DI	ขารีเซตแบบอะซิงโครไนส์ ทำงานที่ระดับสัญญาณ “0”
DGND3	27	PWR	ขากราวด์ดิจิตอล
DVDD3	28	PWR	ขาไฟเลี้ยงดิจิตอล

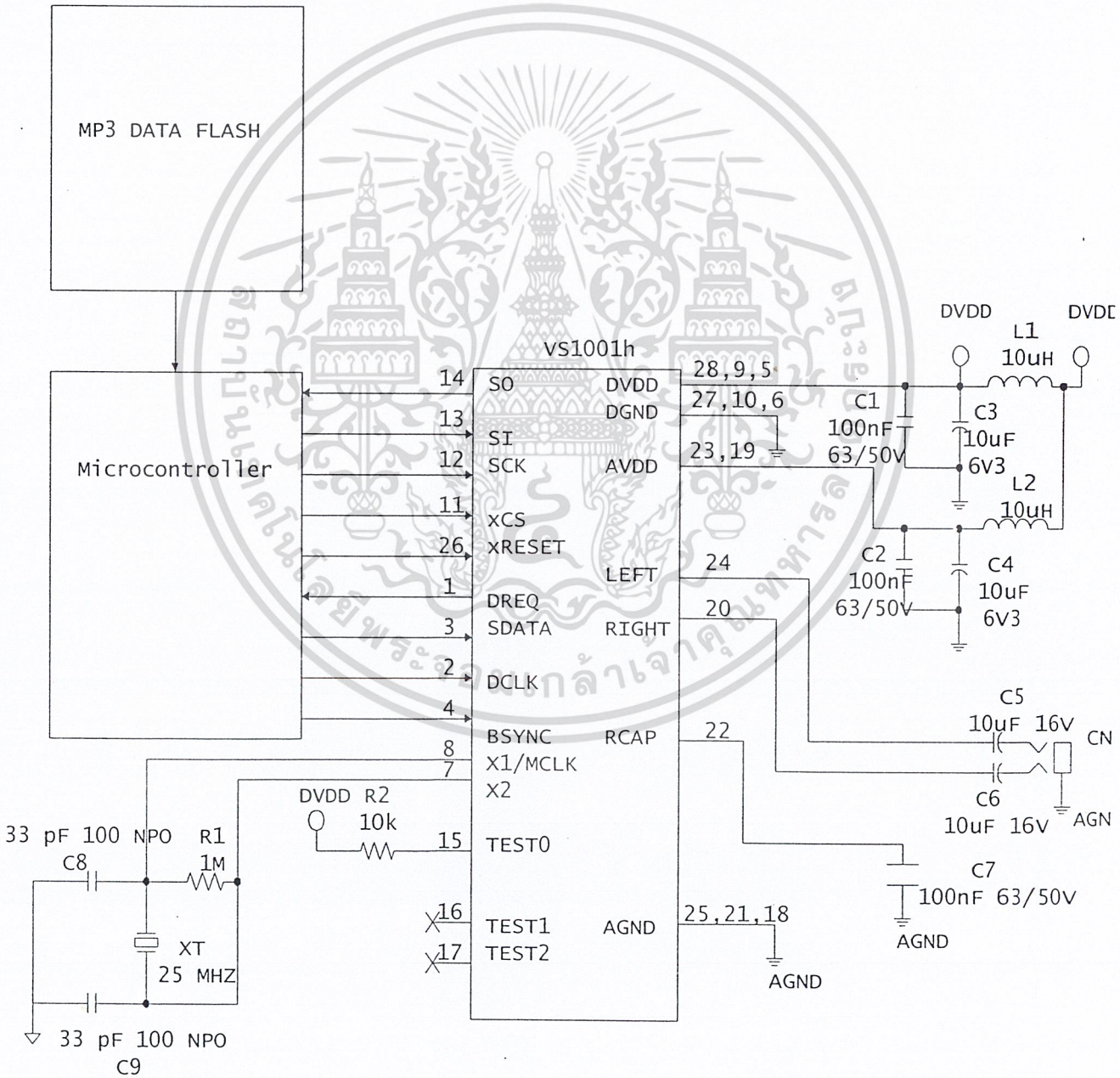
ตารางที่ 2.4 แสดงหน้าที่ของขาในชิพ VS1001h

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ชนิดของขา

- DI ขาดิจิตอลอินพุต
- DO ขาดิจิตอลเอาท์พุต
- DIO ขาดิจิตอลอินพุต/เอาท์พุต
- AO ขาอนาล็อกเอาท์พุต
- CLK ขาสัญญาณนาฬิกา/ขาแสดงการต่อกับคริสตอล
- PWR ขาไฟเลี้ยงหรือกราวด์

การนำชิพ VS1001h ไปต่อใช้งาน



รูปที่ 2.7 แสดงการนำชิพ VS1001h ไปต่อใช้งานกับอุปกรณ์ไมโครคอนโทรลเลอร์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ส่วนเชื่อมต่อข้อมูลอนุกรม SPI ของชิพ VS1001h สำหรับดาต้า (SDI : Serial Protocol for Serial Data Interfacd)

สามารถแบ่งได้เป็น 2 แบบคือ

- ส่วนเชื่อมต่อข้อมูลอนุกรมสำหรับส่งข้อมูล
- ส่วนเชื่อมต่อข้อมูลอนุกรมสำหรับการควบคุม

หน้าที่สำหรับขาส่งข้อมูลอนุกรม SPI

ขา SDI	ขา SCI	หน้าที่
-	XCS	ถ้าขา XCS ถูกป้อนเข้าด้วยระดับสัญญาณ “0” เป็นการเลือกว่าข้อมูลที่ส่งเป็นข้อมูลเอ็มเป็ก ถ้าขา XCS ถูกป้อนเข้าด้วยระดับสัญญาณ “1” เป็นการเลือกว่าข้อมูลที่ส่งเป็นข้อมูลสำหรับควบคุม
DCLK	SCK	สัญญาณนาฬิกาของข้อมูลอนุกรม จะถูกใช้เหมือนเป็นสัญญาณนาฬิกาหลักสำหรับอุปกรณ์อินเตอร์เฟส ในกรณีที่ XCS เป็น “0” ที่ขอบขาขึ้นแรกจะทำให้บิตแรกถูกเขียนลงไปในขณะที่สัญญาณนาฬิกาก็กำลังให้สัญญาณต่อเนื่องไปเรื่อยๆ
SDATA	SI	ข้อมูลอินพุตแบบอนุกรม ในกรณีที่ XCS มีค่าเป็น “0” SI จะเริ่มสุ่มเอาข้อมูลที่ขอบขาขึ้นของสัญญาณ SCK
-	SO	ข้อมูลเอาท์พุตแบบอนุกรมในการอ่าน ข้อมูลจะถูกเลื่อนออกที่ขอบขาลงของสัญญาณ SCK ที่ขอบขาลง ในการเขียน SO จะอยู่ในสถานะ high impedancd

ตารางที่ 2.5 แสดงหน้าที่ของพอร์ตอนุกรม SPI

คุณลักษณะสำหรับการส่งแบบอนุกรมสำหรับการส่งข้อมูล (SDI)

สำหรับการส่งข้อมูลแบบอนุกรมจะสามารถทำงานได้ 2 โหมดคือ มาสเตอร์และสเลฟ ในการทำงานโหมดมาสเตอร์ VS1001h จะทำการสร้างสัญญาณนาฬิกา DCLK ขึ้นมาเองโดยจะสามารถเลือกระดับความเร็วของสัญญาณนาฬิกาได้ 2 ระดับคือ 512 และ 1024 เมกะเฮิรตซ์ ในโหมดสเลฟสัญญาณนาฬิกา DCLK จะถูกสร้างจากวงจรภายนอก

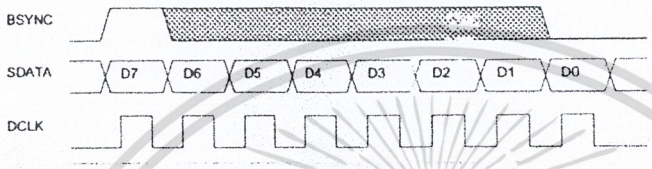
สำหรับข้อมูล (SDATA signal) จะสามารถเปลี่ยนแปลงได้ทั้งที่ขอบขาขึ้นหรือขอบขาลงของ DCLK ได้ตามการโปรแกรมของเรา

ชิพ VS1001h จะสมมติเอาข้อมูลอินพุตของไบต์ซิงโครไนส์ เช่นการทำงานภายในตัวดีโคดเดอร์ภายในชิพจะไม่หาไบต์ซิงโครไนส์สำหรับเฟรมจากข้อมูลที่เข้ามาเรื่อยๆ แต่จะสมมติเอาข้อมูลที่เรียงเข้ามาอย่างถูกต้องเท่านั้น โดยไบต์ข้อมูลจะถูกส่งมาได้ทั้งแบบ MSB หรือ LSB ขึ้นอยู่การการเซตในโหมด

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เพื่อความแน่ใจว่าข้อมูลที่เข้ามาเป็นไบต์จะถูกต้องจริงๆ การส่งข้อมูลแบบอนุกรมจะมีสัญญาณ BSYNC เข้ามา ระหว่างที่สัญญาณ BSYNC เป็น "1" สัญญาณนาฬิกาจะให้กำเนิดพัสต์แรกออกมาและสัญญาณ BSYNC จะตกลงเป็น "0" ก่อนที่ข้อมูลจะส่งครบ ถ้าสัญญาณ BSYNC ไม่ใช้เราสามารถต่อเข้ากับไฟเลี้ยงภายนอก และอุปกรณ์ที่จะส่งข้อมูลเข้าจะต้องส่งได้อย่างถูกต้อง

สัญญาณ DREQ จะเป็นสัญญาณที่แสดงการร้องขอข้อมูลของ VS1001h ถ้า DREQ เป็น "0" ตัวส่งควรจะหยุดการส่งข้อมูลใหม่เพราะว่าจะเหลือเนื้อที่ 32 ไบต์เป็นเนื้อที่ปลอดภัย ซึ่งจะง่ายสำหรับพวกอุปกรณ์ไมโครคอนโทรลเลอร์ที่มีความเร็วต่ำ ถ้าหากไม่มีการตรวจสอบสัญญาณ DREQ ตัวส่งอาจส่งมากเกิน 32 ไบต์ทำให้อาจไม่เกิดการดีโค้ดของข้อมูลได้



รูปที่ 2.8 แสดงรูปสัญญาณ BSYNC

ส่วนเชื่อมต่อข้อมูลอนุกรม SPI ของชิพ VS1001h สำหรับคอนโทรล (SCI : Serial Protocol for Serial Command Interface)

โดยปกติชุดคำสั่งของการส่งข้อมูลอนุกรมสำหรับคอนโทรลจะประกอบด้วยชุดคำสั่ง,แอดเดรสไบต์ และ 16 บิต ดาต้าเวิร์ส (instructions + address byte + 16 bit data word)

โดยชุดคำสั่ง (instructions) จะเป็นข้อมูล 8 บิตซึ่งเป็นคำสั่งสำหรับอ่านและเขียนดังตาราง

ชุดคำสั่ง (Instruction)		
ชนิด	ออปโค้ด (Opcode)	ลักษณะการทำงาน
READ	0000 0011	Read Data
WRITE	0000 0010	Write Data

ตารางที่ 2.6 แสดงชุดคำสั่งของชิพ VS1001h

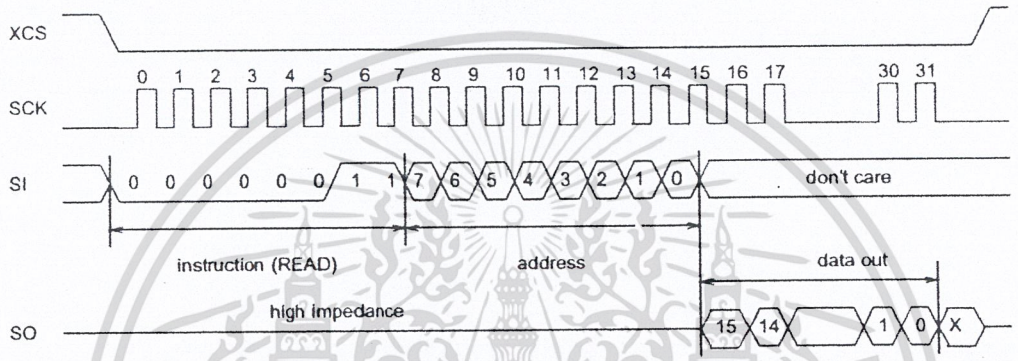
*** หลังจากได้ส่งคำสั่งควบคุมแล้วตัวชิพ VS1001h จะไม่ยอมให้ส่ง SCI หรือ SDI ได้อีกเป็นระยะเวลา 5 ไมโครวินาที

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การอ่านข้อมูลสำหรับ SCI (SCI Read)

VS1001h รีจิสเตอร์จะถูกอ่านตามลำดับดังนี้

- ให้สัญญาณ XCS เป็น "0" เพื่อเลือกให้ทำงานที่ SCI
- จากนั้นส่ง ออปโค้ดอ่าน (Read Opcode) 03H ผ่านสาย SI จากนั้นส่ง 8 บิต แอดเดรสตามลำดับ
- หลังจากที่ส่งแอดเดรสไปแล้ว หากมีข้อมูลใดส่งไปตามหลังชิพ VS1001h จะไม่สนใจแต่จะส่งข้อมูล 16 บิตที่อยู่ในแอดเดรสที่ต้องการ โดยชิพ(shifted)ออกไปทางสาย SO
- ให้สัญญาณ XCS เป็น "1" หลังจากชิพ(shifted)ข้อมูลออกเรียบร้อยแล้ว เพื่อให้จบกระบวนการอ่านข้อมูล

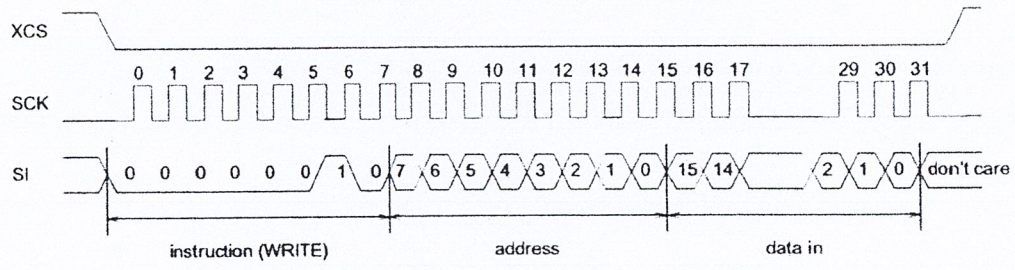


รูปที่ 2.9 แสดงสัญญาณการอ่านข้อมูลผ่านพอร์ตอนุกรม

การเขียนข้อมูลสำหรับ SCI (SCI Write)

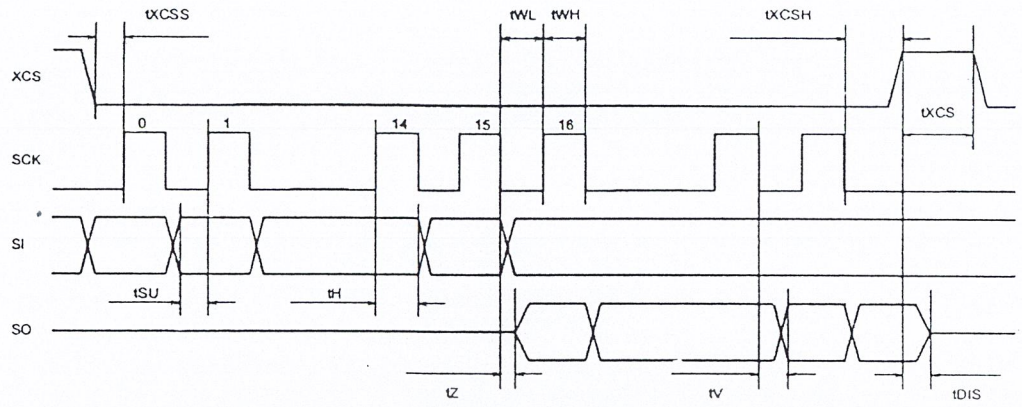
VS1001h รีจิสเตอร์จะถูกเขียนตามลำดับดังนี้

- ให้สัญญาณ XCS เป็น "0" เพื่อเลือกชิพให้ทำงานที่ SCI
- จากนั้นส่ง ออปโค้ดเขียน (Write Opcode) 02H ผ่านสาย SI จากนั้นส่ง 8 บิต แอดเดรสตามลำดับ
- จากนั้นจึงส่งข้อมูลตามไป ข้อมูลจะถูกชิพ(shifted)ออกไปตามสาย SI
- ให้สัญญาณ XCS เป็น "1" เพื่อจบกระบวนการเขียนข้อมูลลง SCI
- ระดับสัญญาณ XCS เปลี่ยนจาก "0" ไป "1" จะเกิดหลังจากสัญญาณ SCLK เปลี่ยนจาก "1" ไป "0" การเปลี่ยนแปลงจะเกิดตรงกับบิตLSB ของข้อมูล



รูปที่ 2.10 แสดงสัญญาณการเขียนข้อมูลลงพอร์ตอนุกรม

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.11 แสดงทามมิ่งไดอะแกรมของพอร์ตอนุกรม

ลักษณะการทำงาน

ลักษณะหลัก

VS1001h ใช้คุณสมบัติพื้นฐานการประมวลผลสัญญาณดิจิตอล VS_DSP ภายในบรรจุรหัสและหน่วยความจำที่จำเป็นสำหรับการถอดรหัสเอ็มเป็กทั้งหมด พร้อมด้วยพอร์ตอนุกรม กับตัวขยายและควบคุมเอาท์พุตที่เป็นสัญญาณอนาล็อก สเตอริโอออดิโอ DAC หลายระบบ

ข้อมูลและบิตเรต ในส่วนเพิ่มเติมสามารถส่งข้อมูลด้วยความเร็วหลายระดับ (VBR) เป็นตัวสนับสนุน ระดับVBR ที่ใช้สำหรับเพลงจากใกล้เคียง VS1001h สามารถเล่นได้ทั้งไฟล์เอ็มเป็ก 1 และ 2 เลเยอร์ 1, 2 และ 3 ส่วนประกอบไฟล์ทั้ง อัตราสุ่มCD นั้นประมาณ 100 kบิตs/s สำหรับตัวอย่างเพลงระบบสเตอริโอที่ความถี่ 44100 Hz ด้วยเหตุที่การเข้ารหัสแบบเก่าต้องใช้ 128 kบิตs/s สำหรับการทำงานเต็มที่ VBR การเข้ารหัสคุณภาพสูงได้ถูกนำมาใช้ประโยชน์อย่างกว้างขวาง

Serial Dataอินเตอร์เฟส (SDI)

Serial Dataอินเตอร์เฟส มีความหมายสำหรับการส่งข้อมูลที่ถูกบีบอัดแบบเอ็มเป็กออดิโอ

Serial Controlอินเตอร์เฟส (SCI)

Serial Controlอินเตอร์เฟส สามารถเข้ากันได้กับ ลักษณะเฉพาะของ SPI-bus การส่งข้อมูลแบบ 16 บิต สามารถควบคุม VS1001h โดยการเขียนและอ่านรีจิสเตอร์ ของอินเตอร์เฟส

การควบคุมหลักของการเชื่อมต่อการควบคุม

- คำสั่งในการทำงาน
- การป้อนคำสั่งในการทำงาน
- การเข้าถึงข้อมูล
- สถานะของข้อมูล
- กระบวนการถอดรหัสข้อมูล
- การป้อนข้อมูล

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

SCI รีจิตเตอร์

Name	Type	addr	Function
โหมด	RW	0	โหมดคอนโทรล
STATUS	RW	1	สถานะของชิพ VS1001h
INT_FCTLH	-	2	รีจิสเตอร์ภายใน
CLOCKF	RW	3	ความเร็วสัญญาณนาฬิกา
SRATE	R	4	อัตราการสุ่มข้อมูล
AUDATA	R	5	ข้อมูลเสียงความดัง
WRAM	W	6	ส่วนการเขียนโปรแกรมลงหน่วยความจำ
WRAMADDR	W	7	แอดเดรสของหน่วยความจำที่ต้องการเขียน
HDAT0	R	8	จุดอ่านข้อมูล
HDAT1	R	9	จุดอ่านข้อมูล
A1ADDR	RW	10	แอดเดรสที่ทำการเริ่มโปรแกรม
VOL	RW	11	ควบคุมความดังของเสียง
A1CTRL[x]	RW	12+x	รีจิสเตอร์สำหรับการประยุกต์ใช้งานต่าง

X = [0..2] ทุก รีจิสเตอร์ จะกลับเป็น 0 เมื่อฮาร์ดแวร์รีเซต

ตารางที่ 2.7 แสดง SCI รีจิสเตอร์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รีจิสเตอร์โหมด,โหมด (RW)

โหมดที่ใช้ควบคุมการทำงานของ VS1001h

บิต	Function		
โหมด[0]	ไม่ใช้งาน		
โหมด[1]	ไม่ใช้งาน		
โหมด[2]	โปรแกรมรีเซต	0 1	ไม่รีเซต รีเซต
โหมด[3]	ไม่ใช้งาน		
โหมด[4]	ประหยัดพลังงาน	0 1	ไม่มี มี
โหมด[5]	ไม่ใช้งาน		
โหมด[6]	ไม่ใช้งาน		
โหมด[7]	ไม่ใช้งาน		
โหมด[8]	สัญญาน DCLK ทำงานที่ขอบขาขึ้นหรือขอบขาลง	0 1	ขอบขาขึ้น ขาบขาลง
โหมด[9]	ส่งบิตไหนก่อนหน้าหรือหลัง	0 1	MSB ก่อน MSB หลัง
โหมด[10]	โหมดอินพุตข้อมูล	0 1	สเลฟ มาสเตอร์
โหมด[11]	ถ้าให้เป็นมาสเตอร์จะมีสัญญาณนาฬิกาเท่าใด	0 1	512 กิโลเฮิรตซ์ 1024 กิโลเฮิรตซ์

ตารางที่ 2.8 แสดงรีจิสเตอร์โหมด

เครื่องจะรีเซต เมื่อเซ็ต บิต 2 เป็น 1

บิต 4 จะครอบคลุมตัวอื่น โดยจะเป็นตัวเปลี่ยน VS1001h เป็น โหมดประหยัดพลังงานที่เฉพาะส่วนการทำงาน คอนโทรลสายสัญญาณ

บิต 8 กำหนดขอบเขตการทำงานของ data clock สำหรับ SDI

บิต 9 กำหนด data order ภายในไบต์ สำหรับ SDI

บิต 10 เซ็ตสายสัญญาณอินพุต เป็นมาสเตอร์ เราไม่สามารถทดสอบโหมดมาสเตอร์ได้ จึง และไม่ แนะนำให้ใช้

บิต 11 เซ็ต bus clock speed เมื่อ VS1001h เป็นมาสเตอร์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สำนักหอสมุดกลาง พระจอมเกล้าลาดกระบัง

รีจิสเตอร์สถานะ,STATUS (RW)

รีจิสเตอร์สถานะบรรจุข้อมูลบน สถานะปัจจุบันของ VS1001h บิต 1 และ 0 ใช้ควบคุมอะนาลอกเอาท์พุต ระดับเสียง 0 = -0 dB, 1 = -6dB, 3 = -12dB บิต 2 คืออะนาลอก powerdown บิต เมื่อเซ็ตเป็น 1 อะนาลอกเป็น powerdown

INT_FCNTLH (-)

INT_FCTLH ไม่ใช้ user-accessible รีจิสเตอร์

รีจิสเตอร์สัญญาณนาฬิกา,CLOCKF (RW)

รีจิสเตอร์สัญญาณนาฬิกา สัญญาณนาฬิกาซึ่งทำงานบางอย่างด้วยความถี่มากกว่า 24.576 เมกะเฮิรตซ์ ความเร็วของสัญญาณนาฬิกาจะเซ็ตในทุกๆ 2 กิโลเฮิรตซ์ ดังนั้นสูตรการคำนวณค่าที่ถูกต้องสำหรับ รีจิสเตอร์ นี้คือ ClockIn Hz / 2000 ค่านี้จะอยู่ระหว่าง 0..32767 ถึงแม้ว่าฮาร์ดแวร์จะมีขอบเขตความเร็วสูงสุด ที่ความเร็วต่ำกว่า 24.576 เมกะเฮิรตซ์ ทั้งอัตราสุ่มข้อมูล และบิตสตรีมจะทำงานไม่นานนัก ถ้ากำหนดให้ MSB ของ CLOCKF เป็น 1 จะทำงานภายใน clock-doubling clock ที่สูงถึง 15 เมกะเฮิรตซ์ อาจจะเป็น doubled ถ้าทำงานเป็น clock doubler 15 LSBs ของ รีจิสเตอร์ จะเป็นค่า clock-doubled ที่ใช้คำนวณ ดังนั้น รีจิสเตอร์ นี้ต้องเซ็ตค่าก่อนเริ่มการถอดรหัสข้อมูล MP3 มิฉะนั้นอัตราสุ่มข้อมูล จะเซ็ตไม่ถูกต้อง

ตัวอย่าง 1 : สำหรับความเร็วสัญญาณนาฬิกาที่ 26 เมกะเฮิรตซ์ ค่าจะเป็น 13000

ตัวอย่าง 2 : สำหรับ ความเร็วสัญญาณนาฬิกาภายนอกและใช้ clock-doubling สำหรับ 27 เมกะเฮิรตซ์ ค่าจะ เป็น 0x8000 + 13500 = 46263

รีจิสเตอร์ SRATE (R)

เมื่อถอดรหัสข้อมูลถูกต้อง ออดิโออัตราสุ่มข้อมูล สามารถพบใน SRATE ไม่เป็นจำนวนเต็ม

รีจิสเตอร์AUDATA (R)

เมื่อถอดรหัสข้อมูลถูกต้องอัตราบิตเรตในปัจจุบันใน kบิตs/s สามารถพบใน บิตs 8..0 ของ AUDATA สำหรับบิตสตรีม variable บิตrate บิตs 14..9 จะไม่ใช้และจะเซ็ตเป็น 0 บิตs 15 เป็น 0 สำหรับข้อมูลแบบโมโน และ 1 สำหรับแบบสเตอริโอ

รีจิสเตอร์WRAM (W)

WRAM ใช้โหลดโปรแกรมประยุกต์เป็นโปรแกรม แอดเดรสของแรมเริ่มต้นต้องเป็นตัวแรกโดยการเขียนเป็น WRAMADDR รีจิสเตอร์ ลำดับถัดไปเป็นการเรียกครั้งแรกของ WRAM ค่าที่ใช้ 16 บิตs ของข้อมูลสามารถส่งได้กับหนึ่งการเขียน WRAM และ โปรแกรมเวิร์ส์เป็น 32 บิตสองการเขียนที่ตามมาจำเป็นสำหรับแต่ละ โปรแกรมเวิร์ส์ไบต์ ลำดับคือบิตที่มีค่าสูงสุดก่อน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

46470

รีจิสเตอร์ WRAMADDR (W)

WRAMADDR ใช้เซ็ตแอดเดรสของโปรแกรมสำหรับติดตามการเขียน WRAM พื้นที่สำหรับให้ผู้ใช้เขียนโปรแกรม ระหว่างแอดเดรส 4096 .. 5119 (ที่ แอดเดรส 4096 .. 4111 จะถูกสำรองโดยระบบ) แต่สำหรับการเขียนWRAM ทั้งหมดจะสนใจ แอดเดรส ที่สูงกว่า 40^{96} ดังนั้นถ้าโปรแกรมเมอร์ต้องการเขียนที่ แอดเดรส4567 ต้องเขียนเป็น 4567 +4096 = 8663 WRAMADDR

รีจิสเตอร์ HDATA and HDAT1 (R)

บิต	การทำงาน	ค่า	คำอธิบาย
HDAT[4:3]	ID	3	MPG 2.5 (1/4- rate)
		2	MPG 2.5 (1/4 – rate)
		1	ISO 11172-3 1.0
		0	MPG 2.0 (1/2- rate)
HDAT[2:1]	เลเยอร์	3	I
		2	II
		1	III
		0	สำรองไว้
HDAT[0]	โปรเท็กส์บิต	1	มีการโปรเท็กส์ด้วย CRC
		0	ไม่มี CRC
HDAT0[15:12]	บิตrate		c.f. 11172-3
HDAT0[11:10]	อัตราสุ่มข้อมูล	3	สำรองไว้
		2	32/16/8 กิโลเฮิรตซ์
		1	48/24/12 กิโลเฮิรตซ์
		0	44/22/11 กิโลเฮิรตซ์
HDAT0[9]	Padrate	1	Addition slot
		0	Normal frame
HDAT0[8]	Private บิต		Not defined
HDAT0[7:6]	โหมด	3	โมโน
		2	ช่องสัญญาณคู่
		1	จอยส์สเตริโอ
		0	สเตริโอ
HDAT0[5:4]	ส่วนขยาย		c.f. 11172-3

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บิต	การทำงาน	ค่า	คำอธิบาย
HDAT0[3]	ลิขสิทธิ์	1	มีลิขสิทธิ์
		0	ฟรี
HDAT0[2]	ต้นฉบับ	1	ต้นฉบับ
		0	ก็อบปี้
HDAT[1:0]	Emphasis	3	CCITT J.17
		2	สำรองไว้
		1	50/15 ไมโครวินาที
		0	None

ตารางที่ 2.9 แสดงรีจิสเตอร์ HDATA and HDAT1 (R)

รีจิสเตอร์ A1ADDR (RW)

A1ADDR เป็นตัวแสดง แอดเดรส เริ่มต้นของการเขียนรหัสประยุกต์ ที่เร็วกว่า รีจิสเตอร์ WRAMADDR และ WRAM ถ้าไม่ใช้รหัสประยุกต์ รีจิสเตอร์ นี้จะไม่เป็นตัวแรกหรือตัวแรกจะเป็น 0

รีจิสเตอร์ VOL (RW)

VOL ตัวควบคุมระดับสัญญาณเสียง สำหรับเครื่องเล่น สำหรับแต่ละช่องสัญญาณ ค่าในช่วง ของ 0 .. 255 อาจจะกำหนดให้มันเบาลงจากระดับระดับสัญญาณเสียง สูงสุด (ระดับใน 0.5 dB) ทางช่องซ้ายจะมีหลายค่าโดย 256 และค่าที่เพิ่มขึ้น ดังนั้นระดับสัญญาณเสียง สูงสุดเป็น 0 และ เงียบถ้าเป็น 65535 ตัวอย่าง: สำหรับระดับสัญญาณเสียง –2.0 dB ของช่องซ้ายและ –3.5 dB ของช่องขวา : (4*256) + 7 = 1031 ดังนั้นที่ startupระดับสัญญาณเสียง เซ็ตเป็นเต็มประดับสัญญาณเสียง การรีเซตซอฟต์แวร์ต้องไม่รีเซตระดับสัญญาณเสียง ดังนั้นการเซ็ตระดับสัญญาณเสียง เป็น total silence (255 สำหรับทั้งช่องซ้ายและขวา) จะปิดอนาล็อก power แต่ทำให้เกิดการสั่นในหูฟัง ถ้าคุณต้องการปิดระดับสัญญาณเสียง แต่ไม่ต้องการการสั่นนี้ ต้องปรับระดับสัญญาณเสียง เป็น 254 ทั้ง2ช่อง (0xFEFE)

รีจิสเตอร์ A1CTRL[x] (RW)

A1CTRL[x] –รีจิสเตอร์ (x=[0..2]) สามารถใช้เข้ากับโปรแกรมประยุกต์ของผู้ใช้ได้

โปรแกรมประยุกต์

มี 1 kWord (32-บิต) ของหน่วยความจำ RAM สำหรับรหัสผู้ใช้บนชิพ VS1001h นี้ใช้สำหรับเตรียมลักษณะตัวอย่างให้เหมือนกัน

- เบส, เสียงแหลม เป็นต้น
- แชนแนลผสมเสียง (สเตอริโอในโมโน)
- ดิจิตอลอีควอลไรเซอร์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การโหลดโปรแกรมประยุกต์ เป็นตัวแรกโดยการเขียนที่แอดเดรสเป็น WRAMADDR รีจิสเตอร์ โปรแกรมตอนที่โหลดโดยการเขียนข้อมูลเป็น รีจิสเตอร์ WRAM

ทุกโปรแกรมจะมีการรีโหลดทุกครั้งที่ชิพ ขาดแหล่งจ่ายไฟประยุกต์แอดเดรส จะไม่เซ็ตทุกครั้ง ตามเมื่อซอฟต์แวร์ระบบมีการรีเซต

ถ้า *chan* คืออย่างใดอย่างหนึ่งใน 1 หรือ 2 ผู้ใช้อาจทำ in-place filtering ของข้อมูล *chan* คือ จำนวนของช่องและ *nSampl* คือจำนวนรวมของตัวอย่างที่ใช้ ที่สัญญาณ stereo ทั้งช่องซ้ายและขวาตัว อย่างเป็นตัวแทรก โปรแกรมอาจอาศัย *nSampl* นั้นแบ่งเป็น 4

ถ้า *chan* คือ 3ระดับสัญญาณเสียง จะใช้การเซ็ตแบบ SPI ในกรณีนี้ระดับสัญญาณเสียง จะเซ็ต โดยอัตโนมัติ แต่ซอฟต์แวร์ยังคงเตรียมบางข้อมูลของการเซ็ตระดับสัญญาณเสียง ใหม่ : *nSampl* ผู้ใช้จะ เลือกการเซ็ตระดับสัญญาณเสียง และจุด *d* ที่ระดับสัญญาณเสียง multiplier รีจิสเตอร์ ทางซ้าย ที่ทางขวา ระดับสัญญาณเสียง multiplier คือ *d* + 1 ค่าระดับสัญญาณเสียง ที่ไม่ปรากฏ และ 32768 มีลักษณะเหมือน กันที่ gain 1.0 (e.g. 16384 - > 0.5)

ถ้า *chan* เป็น 4.6, AICTRL[chan-4] จะใช้เรียก และผู้ใช้ให้ค่าใน *nSampl*

ระดับสัญญาณเสียง คอนโทรล อยู่ที่ตำแหน่งตามหลังทุก ผู้ใช้โปรแกรม ดังนั้นโดยทั่วไปจะดี กว่าความคิดที่มีเพียง write filters นั้นแบ่งบางความถี่และไม่เน้นทั้งหมด ที่การชดเชยสำหรับระดับ สัญญาณเสียงที่ต่ำกว่า การเซ็ตระดับสัญญาณเสียง หลักอาจจะเซ็ตอับน้อย dB เมื่อโทนคอนโทรล กำลัง ทำงาน

Stereo Audio DAC

การถอดรหัสข้อมูลดิจิตอลเป็นการเปลี่ยนรูปแบบเป็นอะนาลอกโดยการสุ่มตัวอย่าง 18-บิต multi-บิต sigmadelta DA-converter เอาท์พุทการสุ่มตัวอย่างจะผ่านการกรองความถี่ต่ำโดยอะนาลอกฟิว เตอร์ อัตราเอาท์พุทของ DA-converter จะเป็น ¼ ของอัตราสัญญาณนาฬิกา หรือ 128 เวลาสูงสุดอัตราการ สุ่มตัวอย่างที่ใช้ สำหรับกรณีที่ใช้สัญญาณนาฬิกา 24.576 เมกะเฮิรตซ์ DA-converter จะทำงานที่ 128×48 กิโลเฮิรตซ์ เป็น 6.144 เมกะเฮิรตซ์ ถ้าอัตราตัวอย่างอินพุทอยู่มากกว่า 48 กิโลเฮิรตซ์ จะมีการแปลงภายใน 48 กิโลเฮิรตซ์ โดย DAC การถอดออกต้องการแบบแผนเฟสล็อกลูป ที่ซับซ้อนและยังคงยอมให้ใช้อัตรา การตัวอย่างหลายค่ากับหนึ่งความถี่สัญญาณนาฬิกาหลัก ที่ระบุ

เอาท์พุทสามารถแยกความเงียบโดยผู้ใช้ ถ้าเอาท์พุทของการถอดรหัสถูกยกเลิก หรือข้อมูลอิน พุทไม่รองรับความเร็วเพียงพอ อะนาลอกเอาท์พุตจะเงียบโดยอัตโนมัติ อะนาลอกเอาท์พุทมี บัพเฟอร์ที่ สามารถกระตุ้นโหลด 30Ω กับ ค่าสูงสุดของตัวเก็บประจุ 50 nF

การทำงานส่วนต่างๆของชิพ

สัญญาณนาฬิกา

ชิพ VS1001h จะทำงานบนความถี่ 24.576 เมกะเฮิรตซ์ ของสัญญาณนาฬิกาหลัก นี้สามารถ กำเนิดจากวงจรภายนอก (ต่อที่ขา XTAL1) หรือโดยภายในคริสตอลอินเตอร์เฟส (ขา XTAL1 และ XTAL0)นี้เป็นสัญญาณนาฬิกา ที่พอเพียงกับเอาท์พุตออดิโอคุณภาพสูงสำหรับทุกมาตรฐานอัตราตัวอย่าง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

โหมดประหยัดพลังงาน

ในโหมดประหยัดพลังงาน ชิพแสดงเพียงสายคอนโทรลตัวขับอะนาลอกเอาท์พุทจะปิดและการประมวลผลตกค้างในสถานะคงค่า (Hold State)

การรีเซตตัวเครื่อง

เมื่อขา xRESET ป้อนพัลส์ "0" เข้าไป VS1001h จะรีเซ็ตและทุกรีจิสเตอร์คอนโทรลและค่ากำหนดภายในต้องเซ็ตเป็นค่าเริ่มต้น สัญญาณ xRESET เป็นอะซิงโครนัสไม่ขึ้นกับสัญญาณนาฬิกาภายนอก รีเซ็ตโหมดดับเบิลจะเป็นฟูลเพาวเวอร์ดาวน์โหมด เมื่อทั้งส่วนสัญญาณดิจิตอลและอะนาลอกของชิพ VS1001h เป็นเพาวเวอร์น้อยสุด จะทำให้เมื่อสัญญาณนาฬิกาหยุด

หลังจากตัวเครื่องรีเซตแล้ว จะเซ็ตให้ตัวโปรแกรมในรีจิสเตอร์เช่นรีจิสเตอร์ควบคุมเสียงให้พร้อมแล้วจึงทำการเริ่มถอดรหัสสัญญาณเสียง

การรีเซตโปรแกรม

ระหว่างข้อมูลเอ็มเป็ก หากมีการรีเซตซอฟท์แวร์จะมีการกระตุ้นให้บิตที่ 2 ในรีจิสเตอร์SCI และต้องรออย่างน้อย 2 ไมโครวินาที จากนั้นขา DREQ จะเป็น "0" ประมาณ 6000 แมทชีนไซเคิล (ประมาณ 250 ไมโครวินาทีจะเป็นการหน่วงเวลาเอาไว้เพราะว่าชิพ VS1001h จะทำงานที่สัญญาณนาฬิกา 25.576 เมกะเฮิรตซ์ เมื่อสัญญาณ DREQ เป็น "1" ให้ส่งข้อมูลใดๆเข้าสู่ส่วน SDI หลังจากนี้ตัวชิพก็จะทำงานต่อไปได้อย่างปกติ

ถ้าต้องการให้แน่ใจว่าตัวชิพVS1001h จะไม่หยุดกลางคันถ้าหากว่ามีการส่งข้อมูลมาช้ามากให้ส่ง "2048H" เข้าสู่ส่วน SDI ก่อนที่จะทำการรีเซตโปรแกรม

การถอดรหัสข้อมูลเอ็มเป็ก

โดยการทำงานปกติส่วนข้อมูลเอ็มเป็กเมื่อถูกถอดรหัส ตัวถอดรหัสจะทำการสุ่มเอาข้อมูลเอ็มเป็กแล้วมาทำการถอดรหัสเป็นสัญญาณดิจิตอลภายใจส่วน DAC ถ้าหากมีการผิดพลาดระหว่างการถอดรหัสแล้วจะมีการเซ็ตบิตขึ้นในรีจิสเตอร์คอนโทรล(SCI) ที่บิต HDAT0 และ บิต HDAT1 ในกรณีที่เกิดการล้มเหลวขึ้นในการส่งข้อมูลตัวถอดรหัสจะยังคงทำงานแต่สัญญาณอะนาลอกจะไม่มีสัญญาณออกมา

การตรวจสอบว่ามีการทำงานอย่างปกติหรือไม่

ถึงแม้ว่าตัวชิพเองจะมีการตรวจสอบอยู่แล้ว แต่ก็อาจมีเหตุให้เกิดการไม่ถอดรหัสข้อมูลบางตัวทำให้ตัวโปรแกรมทำงานผิดพลาดได้ โดยอาจเกิดในกรณีการเร่งสปีดในการถอดรหัส

ตัวไมโครคอนโทรลเลอร์เองจะเก็บค่าความเร็วที่ VS1001h ต้องการไว้ถ้าตัวข้อมูลเกิดการหยุดส่งหรือถ้าตัวชิพต้องการข้อมูลมากกว่า 60 กิโลบิตในทุกๆวินาที มันจะเป็นส่งผลต่อตัวไมโครคอนโทรลเลอร์เวลาตัวโปรแกรมเกิดการรีเซต ถ้าหากไม่มีการตรวจสอบแล้วการรีเซตทางฮาร์ดแวร์จะยังคงทำงาน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การทดสอบ

มีการทดสอบหลายอย่างในการทดสอบชิพ VS1001h โดยอาจมีการทดสอบหน่วยความจำ,ส่วนส่งสัญญาณอนุกรม (SPI) และ เอาท์พุตสัญญาณไซต์ที่มีความถี่ตั้งแต่ 250 Hz ถึง 1500 Hz

การทำทดสอบสามารถได้หลายทาง ถ้าหากมีข้อมูลเอ็มเป็กถูกถอดรหัสตัวถอดรหัสจะจบการถอดรหัสโดยทำการส่งข้อมูล 1024H ออกมา ทำให้มั่นใจได้ว่าตัวถอดรหัสมองหาข้อมูลตัวต่อไปและจะยังไม่ถอดรหัสข้อมูลโดยปราศจากข้อมูลเอ็มเป็ก ถ้าไม่มีข้อมูลเอ็มเป็กถูกถอดรหัสตั้งแต่การรีเซตครั้งก่อนขั้นตอนนี้ก็จะไม่เกิดขึ้น การทดสอบแต่ละครั้งจะเริ่มโดยส่งคำสั่ง 4 ไบต์ตามลำดับ โดยการส่งแต่ละครั้งจะให้เอาท์พุตออกมา

อัตราเร็วสูงสุดของสัญญาณนาฬิกา

การใช้สัญญาณนาฬิกาอื่นที่ไม่ใช่ความเร็วของสัญญาณนาฬิกาที่ 24.576 เมกะเฮิรตซ์ นี้จะส่งผลต่อความเร็วของการสุ่มเอาข้อมูล ความเร็วในการถอดรหัสบิตข้อมูลและผลกระทบต่อตัว DSP ความเร็วสูงสุดในการสุ่มข้อมูล

ที่สัญญาณนาฬิกา 24.576 เมกะเฮิรตซ์ หรือสูงกว่า อัตราสุ่มเอาข้อมูลสูงสุดอยู่ที่ 48000 Hz สำหรับที่ความเร็วต่ำว่าสามารถคำนวณได้จาก (4800 x ความเร็วสัญญาณนาฬิกา(เมกะเฮิรตซ์))/24.576 จะเห็นว่าถ้าความเร็วของสัญญาณนาฬิกาลดลง จะทำให้ความเร็วในการสุ่มเอาข้อมูลลดลงด้วย

หานำเอาสัญญาณนาฬิกาที่ 26 เมกะเฮิรตซ์ มาใส่จะเป็นความเร็วสูงสุดของสัญญาณนาฬิกาใสการสุ่มเอาข้อมูลโดยจะมีความเร็วในการสุ่มข้อมูลถึง 50781 Hz ดังนั้นทุกๆข้อมูลเอ็มเป็กจะถูกถอดรหัสออกมาอย่างถูกต้องที่ความถี่นี้ หากให้สัญญาณนาฬิกา 24 เมกะเฮิรตซ์ ลงไปความเร็วสูงสุดในการสุ่มเอาข้อมูลจะเป็นแค่ 46875 Hz ในกรณีนี้ความเร็วในการสุ่มเอาข้อมูลที่ต่ำกว่า 44100 Hz สามารถถอดรหัสข้อมูลเอ็มเป็กได้อย่างถูกต้องแต่ที่ 48000 Hz แล้วจะไม่สามารถถอดรหัสได้อย่างถูกต้อง

อัตราเร็วสูงสุดของบิตข้อมูลในการถอดรหัส

ที่สัญญาณนาฬิกา 24.576 เมกะเฮิรตซ์ อัตราในการถอดรหัสข้อมูลเอ็มเป็กได้ 256 kบิต/s ที่สัญญาณนาฬิกา 28.5 เมกะเฮิรตซ์ สามารถถอดได้ถึง 320 kบิต/s และหากความเร็วของสัญญาณนาฬิกาต่างกันได้จะทำให้อัตราเร็วในการถอดรหัสต่างกันไปด้วย

รีจิสเตอร์ของชิพ VS1001h

รีจิสเตอร์ทั้งหมดจะอยู่ที่เอ็กซ์เมมโมรี่ (X memory)

รีจิสเตอร์ SCI เริ่มที่แอดเดรส 4000H

รีจิสเตอร์ SCI ทั้งหมดจะอยู่ระหว่างแอดเดรส 4000H ถึง 40FFH

รีจิสเตอร์อนุกรม อยู่ที่แอดเดรส 4100H

SER_DATA (4100H) จะมีข้อมูลสุดท้ายที่อ่านมาจากดาต้าที่รับส่ง

ส่วน LSB ของ RES_DREQ (4101H) จะบอกถึงสถานะของสัญญาณ DREQ

รีจิสเตอร์ DAC อยู่ที่แอดเดรส 4200H

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

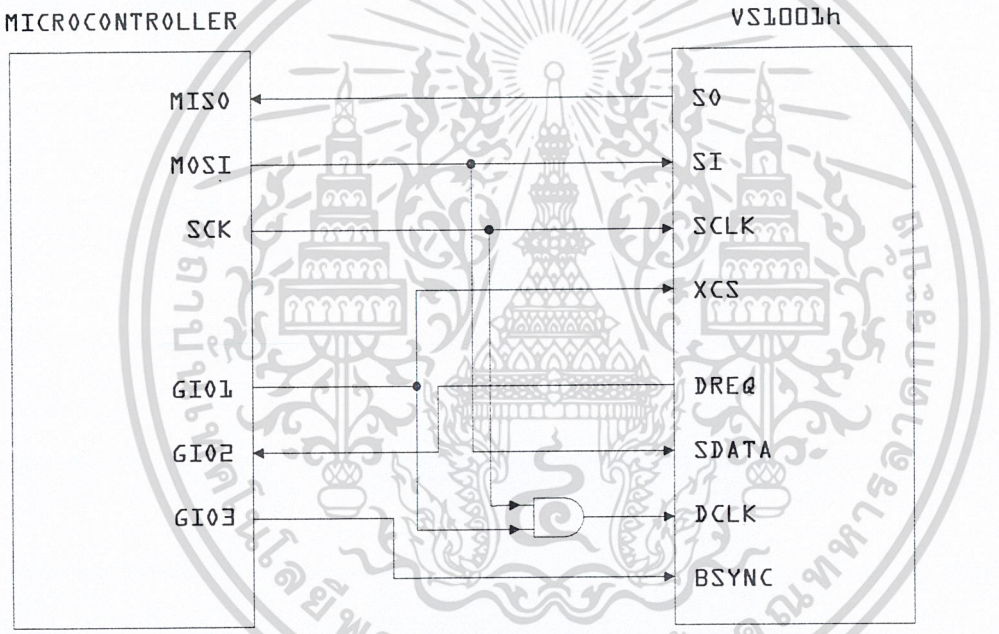
ข้อมูลที่แปลงจากดิจิตอลเป็นอะนาลอกจะถูกบันทึกเป็นลักษณะออดิโออินเตอร์รัปต์โดยจะบรรจุข้อมูลเป็นลักษณะค่าไซต์(signed values) ที่ DAC_LAFT (4200H) และ DAC_RIGHT (4101H) ส่วน INF_FCTLL (4202H) ไม่มีการใช้งาน

รีจิสเตอร์อินเตอร์รัปต์ที่ 4300H

INT_ENABLE (4300H) จะควบคุมการอินเตอร์รัปต์ โดยบิตที่ 0 หากต้องการให้มีการอินเตอร์รัปต์ ก็เซตให้มีค่าเป็น "1" หากไม่ต้องการให้มีการอินเตอร์รัปต์ก็เซตให้เป็น "0" บิตที่ 1 จะควบคุมอินเตอร์รัปต์ของ SPI และบิตที่ 2 จะควบคุมอินเตอร์รัปต์ของข้อมูล โดยการเกิดอินเตอร์รัปต์แต่ละครั้งจะกินเวลา 6 Clock cycles ก่อนจะมีการเปลี่ยนแปลงกับรีจิสเตอร์นี้

การนำ VS1001h ไปใช้งาน

โดยการต่อใช้งาน VS1001h ใช้งานโดยปกติแล้วจะต้องต่อขาใช้งาน 8 ขา แต่เราสามารถลดการต่อลงให้เหลือ 7 หรือ 6 ขาได้ โดย 6 ขาถือเป็นการต่อแบบประหยัดขาที่สุดแล้ว สามารถแสดงได้ดังรูป



รูปที่ 2.12 แสดงการต่อชิพ VS1001h แบบ 6 ขา

และหากเราแน่ใจว่าการส่งข้อมูลผ่าน SDI สามารถส่งได้อย่างถูกต้อง ขา BSYNC อาจจะไม่ต้องต่อกับไมโครคอนโทรลเลอร์ก็ได้ โดยนำไปต่อกับไฟเลี้ยง (VDD)

สิ่งที่ต้องเตรียมให้พร้อมสำหรับการทำงานของ VS1001h

- MISO และ GIO2 ต้องเซ็ตให้เป็นขาอินพุต ส่วนขาที่เหลือทั้งหมดให้เป็นอินพุต
- สัญญาณนาฬิกาของ SPI ต้องทำงานเมื่อ SPI มีการส่งข้อมูล และสัญญาณนาฬิกาจะต้องเป็น "0" เมื่อไม่มีการส่งข้อมูล
- ถ้าตัวไมโครคอนโทรลเลอร์ไม่มีพอร์ต SPI แต่ไมโครคอนโทรลเลอร์ทำงานเร็วมากๆ ขา MISO MOSI และ ขา SCK สามารถสร้างจากขา I/O ได้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การทำงานเมื่อตอนรีเซต

เมื่อชิพ VS1001h ทำการรีเซต (ขา xRESET เป็น "1") เมื่อเวลาผ่านไปประมาณ 4096 แมทชีนไซเคิลขา DREQ ควรจะเป็น "0" ถ้าหากไม่เป็น "0" แล้วหลังจากเวลาผ่านไปประมาณ 6000 แมทชีนไซเคิล ขา DREQ ควรจะเป็น "1" ถ้าขา DREQ ไม่เปลี่ยนแปลงตามนี้แล้วการทำงานของโปรแกรมจะไม่ถูกต้อง

วิธีการใช้ชิพ VS1001h สำหรับการต่อให้แบบประหยัดขา

วิธีการเลือกการส่งข้อมูล

จะมีการเลือกว่าให้ส่งข้อมูลสู่สาย SDI(ข้อมูลประเภทเอ็มเป็ก) หรือส่งข้อมูลเข้าสู่สาย SCI (ข้อมูลที่ใช้ควบคุมชิพ VS1001h)

ในการต่อแบบประหยัดขานี้ ขา GIO1 เป็นเสมือนขาที่เลือกเส้นทางการส่งข้อมูล ถ้า GIO1 เป็น "1" xCS จะไม่ทำงาน (เพราะแอกทีพที่ "0") และขา SCK ที่ต่อผ่านแอนเกต (AND GATE) เข้าสู่ขา DCLK จะมีสัญญาณนาฬิกาออกมาทำให้ข้อมูลถูกส่งเข้าสู่สาย SDI แต่เมื่อขา GIO1เป็น "0" xCS จะทำงานทำให้ไม่มีสัญญาณนาฬิกาที่ขา DCLK เพราะต่อผ่านแอนเกต (AND GATE) ดังนั้นข้อมูลจะเข้าสู่สาย SCI

การส่งข้อมูลสู่สายสัญญาณ SCI

ถ้าเราต้องการส่งข้อมูลที่ทำให้เอาท์พุตออกมาเป็น –2 dB ที่ช่องสัญญาณซ้าย และ –3.5 dB ที่ช่องสัญญาณขวา ดังนั้นเพื่อให้เป็นดังข้างต้นเราต้องส่งข้อมูล 0407H ไปที่รีจิสเตอร์เสียง (VOL register)

- ให้ส่วน SCI ทำงาน โดยเซ็ตให้ขา GIO1 เป็น "0"
- ส่งข้อมูล 4 ไบต์ 02H,0BH,04H,07H ผ่านสาย SCI
- เมื่อส่งข้อมูลเสร็จสิ้นแล้วเซ็ตให้ขา GI01 เป็น "1"

การรับข้อมูลผ่านสาย SCI

ในกรณีนี้สมมติเราอ่านข้อมูลผ่านรีจิสเตอร์เสียง (VOL register)

- ให้ส่วน SCI ทำงาน โดยเซ็ตให้ขา GIO1 เป็น "0"
- เขียนข้อมูล 2 ไบต์ (03H,0BH) สู่ส่วน SCI
- อ่านข้อมูลเข้ามาสู่ส่วนรีจิสเตอร์ MISO ทีละ 8 บิต โดยจะเป็น MSB และ LSB ตามลำดับ
- ข้อมูลที่ได้จะเป็น 16 บิต
- เมื่อจบการอ่านข้อมูลก็เซตให้ขา GIO1 เป็น"1"

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การส่งข้อมูลสู่ส่วน SDI(ข้อมูลเอ็มเป็ก)

เราสามารถส่งข้อมูล 32 ไบต์หรือเล็กกว่าข้อมูลเอ็มเป็กสู่ VS1001hได้

- เราจนกว่าขา DREQ เป็น “1”
- ให้ขา DCLK มีสัญญาณนาฬิกาโดยเซ็ตให้ขา GIO เป็น “1”
- ในการส่งแต่ละไบต์ให้ทำตามขั้นตอนดังนี้
  1. ให้ขา BSYNC เป็น “1”
  2. ทำให้ SPI ทำงาน
  3. รอจนกว่าเรารู้ว่าข้อมูลบิตแรกถูกส่งออกไปแล้วแต่บิตสุดท้ายยังไม่ถูกส่งออกไป
- เซตให้ขา BSYNC เป็น “0”
- รอจนกว่าไมโครคอนโทรลเลอร์ส่งข้อมูลผ่าน SPI จนจบ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

LCD

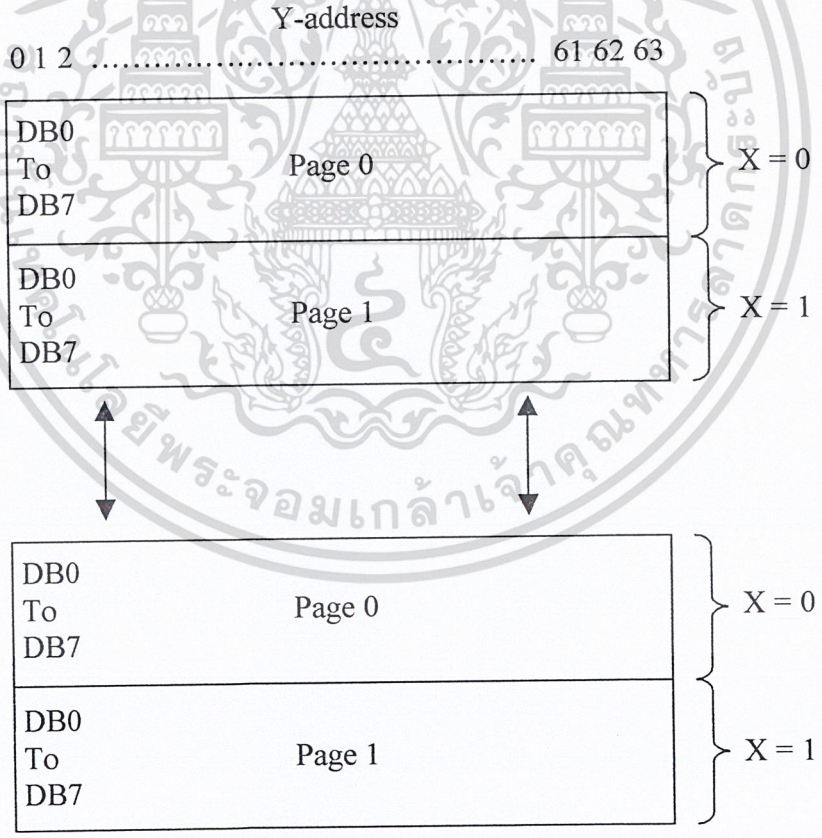
LCD DV-12864

DV-12864 เป็น LCD, Graphic ขนาด 128×64 Dot ซึ่งมีคอนโทรลเลอร์ภายใน (HD61202, HD61203) โดยการทำงานของคอนโทรลเลอร์จะมีลักษณะการควบคุมดังนี้

Line คือการอ้างอิงบรรทัดของข้อมูลภายในจะแบ่งเป็น 64 แถว (com1-com64)

Page (X-address) เป็นการอ้างอิงถึงหน้าต่างของการแสดงผลภายในหนึ่ง page จะประกอบไปด้วย 8 line ซึ่งจะเป็นการอ้างถึงข้อมูลด้วย data-bus โดยตรง ภายในของ LCD ประกอบด้วย 8 page ซึ่งถูกชี้โดย X-register โดยเมื่อต้องการให้ LCD แสดงผลที่หน้าต่างใดของหน้าจอ เราจะต้องตั้งค่า X ให้กับ LCD ซึ่งเมื่อตั้งค่า X ให้กับ LCD แล้ว ค่า X นั้นจะไม่มีการเปลี่ยนแปลงจนกระทั่งมีการตั้งค่าใหม่ให้กับ LCD

Segment (Y-address) เป็นค่าพอยท์เตอร์ในการชี้ที่อยู่ของข้อมูลซึ่งภายใน LCD จะถูกควบคุมการชี้ของข้อมูล โดย HD61202 ซึ่งจะสามารถชี้ที่อยู่ของข้อมูลได้ 64 segment ซึ่ง HD61202 ทั้งสองตัวก็จะสามารถทำการอ้าง segment ได้ถึง 128 segment



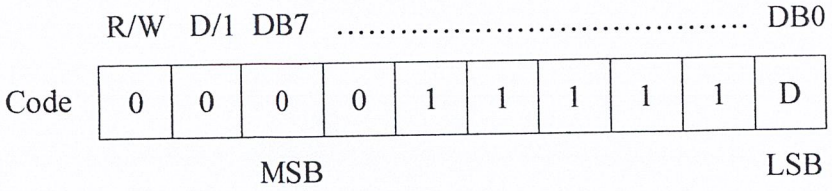
รูปที่ 2.13 แสดงลักษณะของ X-address และ Y-address

โดยการใช้งานเมื่อทำการตั้งค่า Y แล้ว ค่าจะถูกเพิ่มขึ้น 1 ค่าเสมอ เมื่อมีการอ่านหรือเขียนข้อมูลบน LCD

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

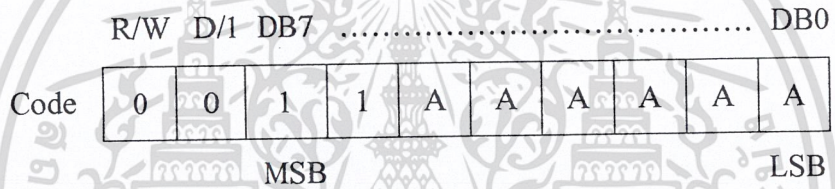
คำสั่งควบคุมการแสดงของ LCD

1. Display ON/OFF



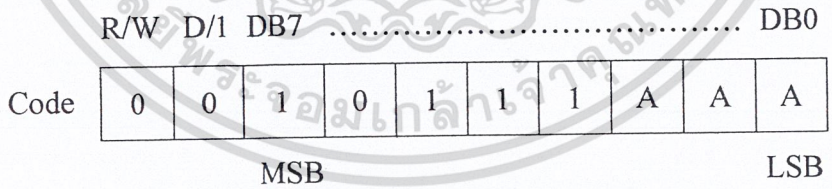
เป็นคำสั่งควบคุมการแสดงผล โดยการแสดงผลจะขึ้นอยู่กับค่า D (DB0) เมื่อค่า D เป็น 1 LCD จะทำการแสดงผลและเมื่อค่า D เป็น 0 LCD จะไม่ทำการแสดงผล ข้อมูลภายใน LCD จะไม่มีการเปลี่ยนแปลงเนื่องจากคำสั่งนี้

2. Display Start line



ค่า AAAAAA จะเป็นค่าหมายเลขบรรทัดที่จะให้ LCD แสดงผลเป็นบรรทัดแรกของจอภาพในรูปที่ 2 จะเป็นตัวอย่างของการเลือกค่า Line จาก 0-3 ซึ่งจะทำให้การแสดงผลแตกต่างกันออกไป

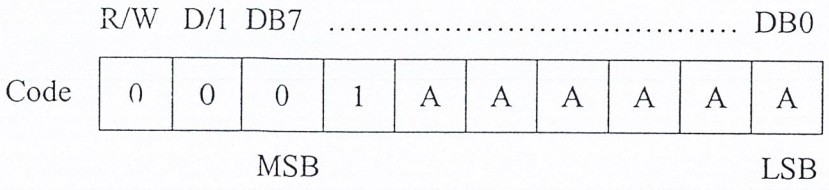
3. Set page (X-Address)



ค่า AAA ของคำสั่ง จะเป็นการตั้งค่า X-Address ซึ่งหลังจากทำคำสั่งนี้แล้วข้อมูลจาก DB0-DB7 จะเป็นการติดต่อกับ RAM ที่ PAGE นี้ตลอดจนกว่าจะมีการตั้งค่าใหม่ให้กับ LCD

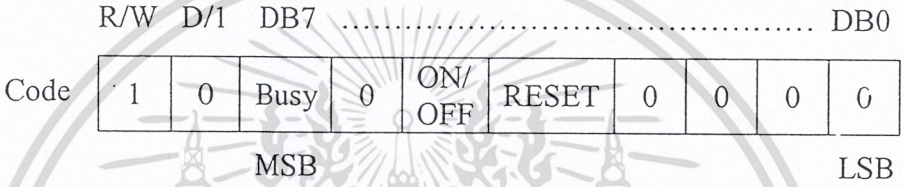
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4. Set Y-Address



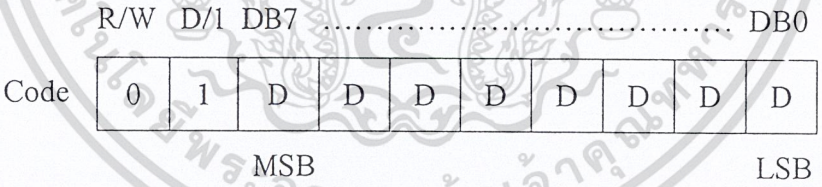
ค่า AAAAAA จะเป็นการตั้งค่า Y-Address (ค่า Y จะมีค่าอยู่ระหว่าง 0-63) และค่า Y จะเพิ่มขึ้นครั้งละ 1 เมื่อมีการอ่านหรือเขียนข้อมูลจาก CPU

5. Status Read



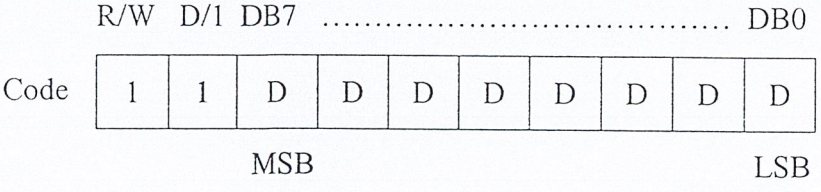
เป็นการอ่านค่าสถานะของ LCD โดยถ้าค่า Busy เป็น 1 LCD จะทำงานในส่วนภายในซึ่งทำให้ไม่สามารถทำการควบคุม LCD ในขณะนี้ได้เพราะฉะนั้นเพื่อให้แน่ใจการควบคุมครั้งต่อไปจะต้องตรวจค่า Busy ให้ได้ค่าเป็น 0 เสียก่อน

6. Write Display Data



การเขียนข้อมูลเข้าไปใน LCD ซึ่งข้อมูล DDDDDDDDจะถูกเก็บใน LCD RAM และค่า Y จะถูกเพิ่มขึ้น 1

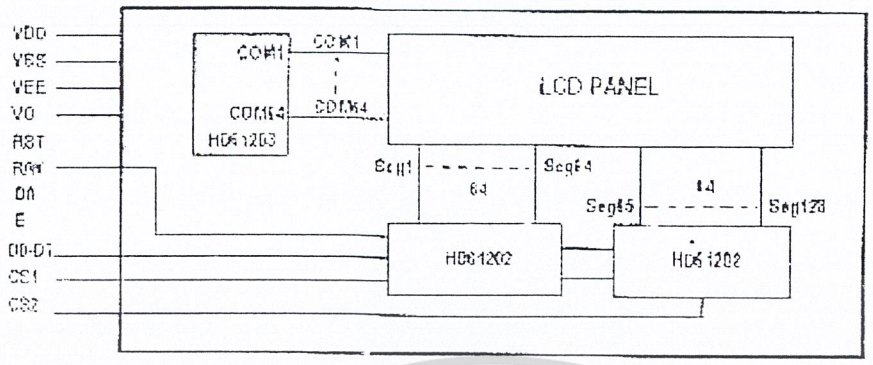
7. Read Display Data



เป็นการอ่านข้อมูลที่แสดงผลโดย LCD จะให้ค่าของข้อมูลออกมาที่ Data bus ค่า Y จะถูกเพิ่มค่าขึ้น 1 เช่นเดียวกับการเขียนข้อมูล

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

INTERFACE LCD DV-12864



รูปที่ 2.14 แสดงโครงสร้างภายในและขาควบคุม

โครงสร้างภายในของ LCD จะประกอบด้วยส่วนของคอนโทรลเลอร์โดย HD61202 จะควบคุมการอ้างถึง Page ของข้อมูลและ HD61202 จะควบคุมในการอ้างของ Segment ซึ่งในการใช้งานเราจะต้องคอนโทรลส่วนต่างๆเหล่านี้โดยการส่งรหัสควบคุมไปที่ขาของ LCD ดังนี้

ขา	RST	เป็นขาที่ใช้รีเซ็ต การทำงานของ LCD
ขา	E	เป็นขา Enable การรับส่งข้อมูลจะทำงานที่ Logic High และขอบเขตลง
ขา	R/W	เป็นขาที่ใช่กำหนด การอ่านหรือเขียนข้อมูล
ขา	D/ I	ใช้บอกถึงข้อมูลใน Data-bus ว่าเป็นรหัสควบคุมหรือเป็นส่วนของข้อมูล
ขา	CS1	Chip Select ของ HD61202 ตัวแรก
ขา	CS2	Chip Select ของ HD61202 ตัวที่สอง
ขา	Data-Bus	เป็นขาใช้ส่งข้อมูลหรือรหัสควบคุม

หมายเหตุ 1. เมื่อ CS1 เป็น High และ CS2 เป็น Low จะเป็นการอ้างถึง segment ที่ 0-63 และ
เมื่อ CS1 เป็น Low และ CS2 เป็น High จะเป็นการอ้างถึง segment ที่ 64-127

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Item	Symbol	Limit			Unit
		Min	Typ	Max	
θ1,θ2 cycle time	t cyc	2.5	–	20	us
θ1 low level width	t WLθ1	625	–	–	ns
θ2 low level width	t WLθ2	625	–	–	ns
θ1 high level width	t WHθ1	1875	–	–	ns
θ2 high level width	t WHθ2	1875	–	–	ns
θ1-θ2 phase difference	t D12	625	–	–	ns
θ2-θ1 phase difference	t D21	625	–	–	ns
θ1,θ2 rise time	t r	–	–	150	ns
θ1,θ2 fall time	t f	–	–	150	ns

รูปที่ 2.15 Timing Diagram

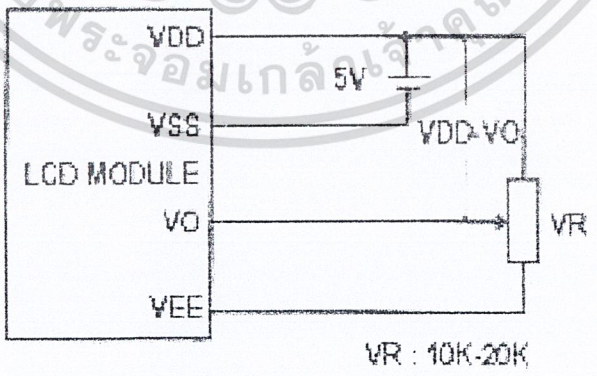
นอกจากขาควบคุมต่างๆแล้ว ยังมีขาของแหล่งจ่ายไฟ คือ

ขา VSS Ground

ขา VDD แรงดันไฟเลี้ยงวงจร Logic

ขา VO แรงดันไฟเลี้ยง LCD

ขา VEE ขาจ่ายแรงดันไฟลบ โดยเมื่อต่อ VDD ให้วงจรขา VEE จะจ่ายแรงดันไฟลบออกมา (ใช้นำไปขับ LCD ที่ขา VO)



รูปที่ 2.16 แสดงขาแหล่งจ่ายไฟและการต่อใช้งาน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การ INTERFACE กับ Z-80 CPU

ในการ INTERFACE กับ Z-80 CPU จะพิจารณาการคอนโทรลขาต่างๆ ของ LCD กับ CPU ดังนี้

ขา RST จะต่อกันโดยตรง

ขา R/W จะต่อจากขา RD ผ่าน Inverter เนื่องจาก CPU active low, LCD Read High ซึ่งในกรณีที่ CPU ไม่มีการอ่านข้อมูล ให้ทำการ Pull Low ให้กับ LCD (ให้ LCD อยู่ในสภาวะรับข้อมูล)

ขา CS1, CS2 จะใช้การต่อ CS1 ผ่าน Inverter เข้ากับ CS2 และ CS2 ต่อกับ A0 (ใช้ A0 ในการชี้ CS1 และ CS2) โดยเมื่อ A0 เป็น Low ให้ทำการติดต่อกับ CS1 และเมื่อ CS1 เป็น High ให้ทำการติดต่อกับ CS2

ขา D/I ใช้ติดต่อกับ A1 โดยตรง โดย A1 จะเป็นการกำหนดข้อมูลว่าเป็น Data หรือ Control จากการต่อขา CS และขา D/I จะทำให้การควบคุม LCD เป็นดังนี้

ขา E เป็นขาควบคุมการทำงานของ LCD ในการติดต่อกับภายนอกโดยขา E จะใช้ Logic high ในการบอกให้รับทราบการติดต่อและใช้ขอบขาลงของสัญญาณในการติดต่อกับการควบคุมการทำงานโดยจะกำหนดให้มีการทำงานดังนี้

A7-A2	A1	A0	ความหมาย
-	0	0	ติดต่อกับ CS1 เป็น Control LCD
-	0	1	ติดต่อกับ CS2 เป็น Control LCD
-	0	0	ติดต่อกับ CS1 เป็น DATA
-	0	1	ติดต่อกับ CS1 เป็น DATA

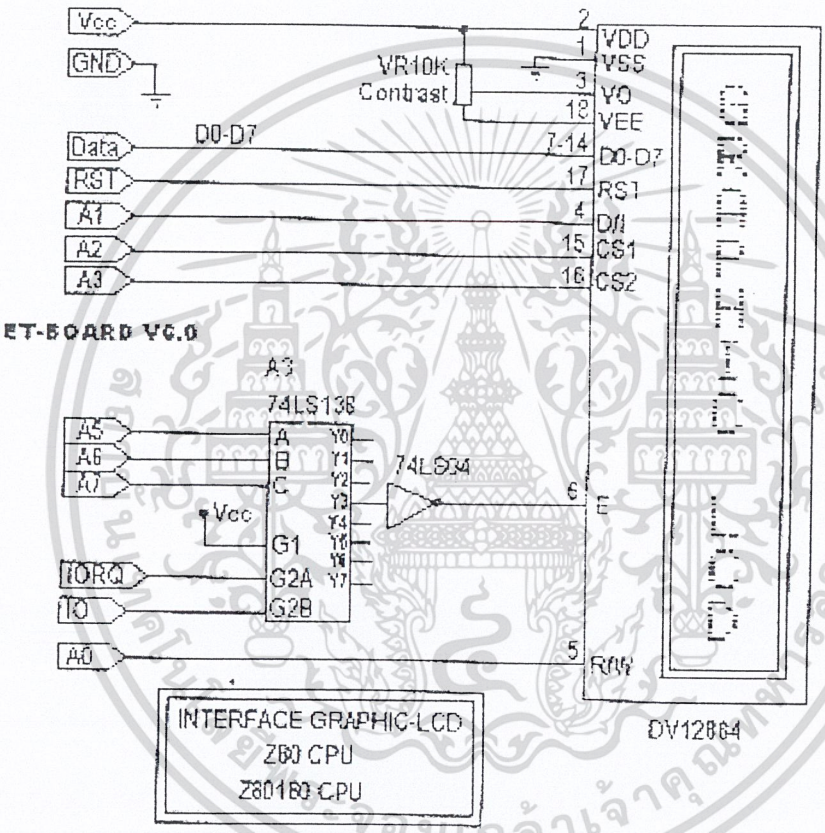
เมื่อมีการอ้างถึงพอร์ตของ LCD จะให้ขา E เป็น High (ต้องมีการอ่านหรือเขียนข้อมูลด้วย) ตามการทริกของ clock (ขา CK จะทริก logic จากขา D ไปขา Q) และเมื่อไม่มีการอ้างถึงพอร์ตของ LCD จะให้ขา E มีสภาวะ low

จากข้อกำหนดข้างต้นเราจะได้ Circuit ของการ Interface ดังรูปที่

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ตัวอย่างการใช้งาน DV-12864 กับ ET-BOARD V6.0

การใช้งานกับ ET-BOARD V6.0 นั้นสามารถทำได้โดยการต่อสายแพ 20 สายเข้าที่คอนเนคเตอร์ LCD 20 ขาแล้วเลือกจัมเปอร์ GR/CH ไปที่ GR เพื่อกำหนดให้เป็นการติดต่อกับ LCD แบบกราฟฟิกจาก นั้นเขียนโปรแกรมตามตัวอย่างที่ 1 เมื่อ Assember ผ่านแล้ว ให้ดาวโหลดโปรแกรมลงไปที่ ET-BOARD แล้วกดปุ่ม RUN ถ้าทุกอย่างถูกต้องจะเห็น หน้าจอ LCD ครึ่งซ้ายและครึ่งขวาติดสลับกัน 2 ครั้งแล้วจะเห็นตัว "A" ติดที่มุมขวาสุดของหน้าจอ



รูปที่ 2.17 แสดงการต่อวงจร Interface กับ ET-BOARD V6.0 (Z80 MODE)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การเชื่อมโยง MCS-51 กับหน่วยความจำ

การจัดหน่วยความจำสำหรับ MCS-51

แบ่งได้เป็น 2 ส่วนใหญ่ๆ คือ

- ดาต้าเมมโมรี่(Data Memory)
- โปรแกรมเมมโมรี่(Program Memory)

ดาต้าเมมโมรี่(Data Memory)

เป็นหน่วยความจำที่ใช้เก็บข้อมูล มีความจุได้ถึง 64กิโลไบต์ เป็นหน่วยความจำประเภทอ่านและเขียนได้ (RAM) สัญญาณจาก MCS-51 ที่ใช้ในการอ่านข้อมูลจาก RAM คือ *RD* และสัญญาณที่ใช้ในการเขียนข้อมูลลง RAM คือ *WR*

RAM (Random Access Memory)

เป็นหน่วยความจำที่สามารถเขียนและอ่านข้อมูลได้ ข้อมูลจะสูญหายทันทีที่ขาดไฟเลี้ยง แบ่งเป็น 2 ชนิด คือ สเตติกแรม(Static RAM) และ ไดนามิกแรม(Dynamic RAM)

สเตติกแรม(Static RAM)

เป็นหน่วยความจำชนิดหนึ่งที่ง่ายในการนำมาใช้งานแต่ราคาจะสูงเมื่อเทียบกับ ไดนามิกแรมซึ่งราคาถูกกว่าแต่ ยุ่งยากขึ้นมาก็คือต้องทำการ รีเฟรช (refresh) หน่วยความจำตลอดเวลาส่วน สเตติกแรมที่มีใช้อย่างแพร่หลายมีอยู่ด้วยกันหลายเบอร์ตามขนาดความจุของหน่วยความจำ

โปรแกรมเมมโมรี่(Program Memory)

เป็นหน่วยความจำที่ใช้เก็บโปรแกรมเป็นหน่วยความจำที่อ่านข้อมูลได้อย่างเดียว (ROM) สัญญาณจาก MCS-51 ที่ใช้ในการอ่าน ROM คือ *PSEN*

ROM (Read Only Memory)

เป็นหน่วยความจำแบบถาวร เมื่อขาดไฟเลี้ยงข้อมูลไม่สูญหาย เป็นหน่วยความจำชนิดอ่านข้อมูลได้อย่างเดียว

การต่อ MCS-51 เข้ากับ RAM

การต่อใช้งานนี้เราอาจจะไม่ใช้ ดีโคดเดอร์(Decoder) มาถอดรหัสตำแหน่งของหน่วยความจำก็ได้ ถ้าเราติดตั้งเพียงอย่างละ 1 ตัว เพราะแอดเดรสของ โปรแกรมเมมโมรี่ และดาต้าเมมโมรี่ ใช้แอดเดรสซ้อนกันอยู่ สัญญาณที่ใช้อ่านข้อมูลจาก โปรแกรมเมมโมรี่ก็คือ *PSEN* และสัญญาณที่ใช้อ่านข้อมูลจากดาต้าเมมโมรี่ก็คือ *RD* ส่วนการเขียนข้อมูลลง RAM จะใช้ *WR* ดังรายละเอียด

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 3
การคำนวณและการสร้าง

การออกแบบฮาร์ดแวร์

ส่วนควบคุมการใช้งานและ LCD

ใช้ไมโครคอนโทรลเลอร์เบอร์ 89C51 ที่ความเร็วสัญญาณนาฬิกา 11.059 เมกะเฮิร์ท เป็นตัวควบคุมการใช้งานจากผู้ใช้ โดยจะรับคำสั่งแล้วส่งสัญญาณไปยังส่วนหน่วยความจำเพื่อหาไฟล์เอ็มเป็กส่งไปยังส่วนตัวถอดรหัสไฟล์เอ็มเป็ก และยังเป็นตัวส่งงาน LCD อีกด้วย

ส่วนตัวถอดรหัสไฟล์เอ็มเป็ก

ใช้ไมโครคอนโทรลเลอร์เบอร์ 89S8252 ที่ความเร็วสัญญาณนาฬิกา 25 เมกะเฮิร์ท ใช้พอร์ต 3, พอร์ต 1และพอร์ตอนุกรม SPI เชื่อมต่อกับตัวชิพ VS1001h

ในส่วนประมวลผลกลางนี้จะเน้นที่ตัวพอร์ตอนุกรม SPI ที่ใช้ส่งคำสั่งและข้อมูลรหัสไฟล์เอ็มเป็กเข้าสู่ชิพ VS1001h แต่สำหรับตัวชิพ VS1001h นี้ใช้ระดับแรงดัน (VDD) -0.3 ถึง 3.6 V เป็นแหล่งจ่าย ส่วนอินพุตของ VS1001h นี้สามารถป้อนอินพุตได้ตั้งแต่ VDD-1 จนถึง VDD+1 V จึงมีระดับแรงดันสำหรับอินพุตเอาท์พุตสูงสุดเป็น 4.6 V แต่ว่าตัวไมโครคอนโทรลเลอร์ AT89S8252 นั้นมีระดับแรงดันสำหรับพอร์ตอินพุตเอาท์พุต 5 V ทำให้การเชื่อมต่อต้องมีการปรับค่าระดับแรงดันของตัวไมโครคอนโทรลเลอร์ให้ต่ำลงอีกเพื่อให้สามารถป้อนเข้าตัวชิพ VS1001h ได้ จึงต้องใส่ตัวต้านทานเพื่อนให้ปรับระดับแรงดันให้เหมาะสมกันโดยผ่านตัวบัฟเฟอร์เพื่อให้เอาต์พุตออกคงที่ เพราะมิฉะนั้นจะมีปัญหากับตัวชิพ VS1001h ทำให้ตัวชิพอาจพังได้

ส่วนหน่วยความจำ

ใช้หน่วยความจำประเภท RAM เป็นตัวเก็บข้อมูลไฟล์เอ็มเป็ก โดยมีไมโครคอนโทรลเลอร์เบอร์ 89C51 เป็นตัวควบคุมทั้งการดาวน์โหลดและการหาตำแหน่งของไฟล์เอ็มเป็ก

ส่วนพอร์ตอนุกรม SPI ของไมโครคอนโทรลเลอร์นั้นให้เชื่อมต่อขา SDATA,SCLK,SI,SO และ DCLK เพื่อใช้ส่งข้อมูล

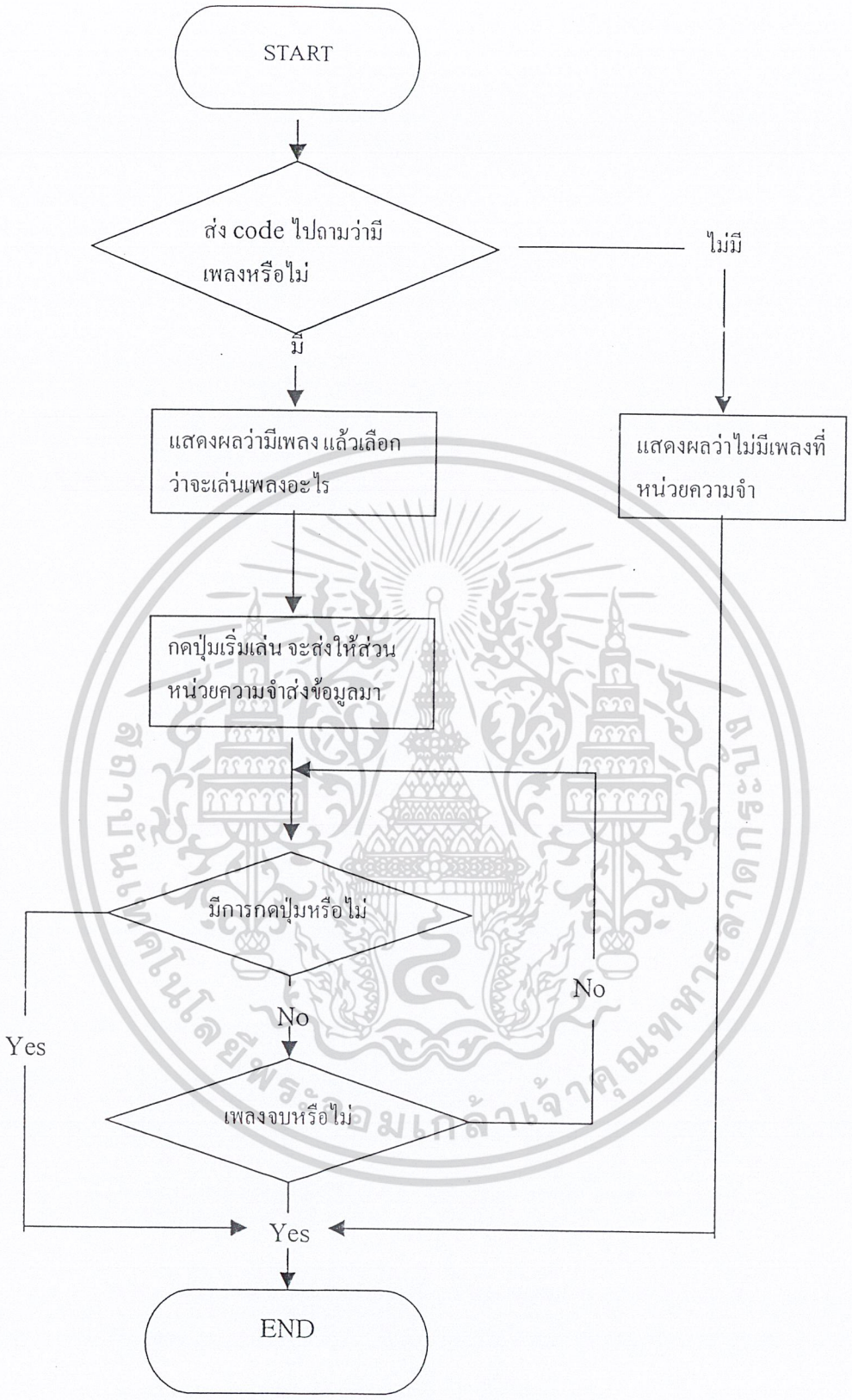
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การออกแบบซอฟท์แวร์

การออกแบบซอฟต์แวร์นี้จะใช้ภาษาแอสแซมบลีของ MCS-51 เป็นหลัก โดยตัวซอฟต์แวร์นี้จะทำหน้าที่ป้อนอินพุตให้กับตัวชิพและควบคุมการทำงานรวมทั้งจังหวะการทำงานของตัวชิพ โดยจะมีส่วนฮาร์ดแวร์ที่มีความสัมพันธ์กับการเขียนโปรแกรมเพื่อควบคุมกับทำงานของตัวชิพ VS1001h คือขา DREQ จะทำหน้าที่ เป็นตัวร้องขอข้อมูลให้กับตัวชิพเพื่อนำไปถอดรหัส เราสามารถเขียนเป็นบล็อกไดอะแกรมเพื่ออธิบายได้ง่ายขึ้นดังนี้

จากบล็อกไดอะแกรมข้างล่างจะเป็นว่าการทำงานของไดอะแกรมนี้จะทำงาน โดยจะเริ่มต้นจากการเซตค่าเริ่มต้นให้กับตัวไมโครคอนโทรลเลอร์ให้ทำงานด้วยความเร็วเท่าใด ต่อจากนั้นให้ เซตค่าเริ่มต้นต่างๆให้ตัวชิพ VS1001h ให้สามารถทำงานกับตัวไมโครคอนโทรลเลอร์ได้ เมื่อทำการเซ็ตค่าเริ่มต้นต่างๆ เรียบร้อยแล้วก็ให้มาตรวจสอบที่ขา DREQ ว่าเป็น "1" หรือไม่ถ้าใช่ก็ให้เริ่มทำการส่งข้อมูลออกไป เมื่อส่งข้อมูลเสร็จสิ้นแล้วก็ให้มาเริ่มทำการตรวจสอบขา DREQ ใหม่วนไปเรื่อยๆ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

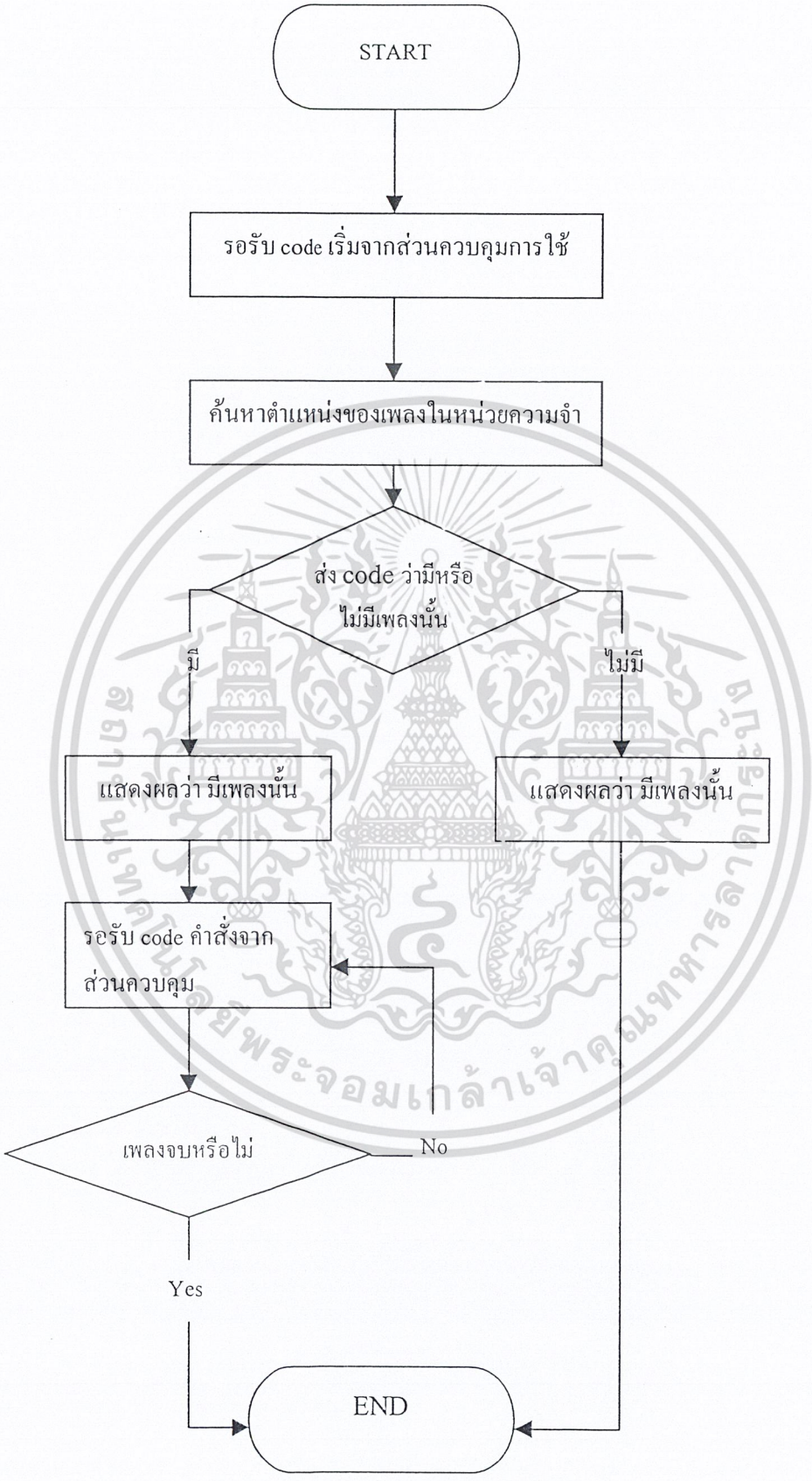


รูปที่ 3.1แสดงขั้นตอนการทำงานของส่วนการใช้งานและ LCD

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

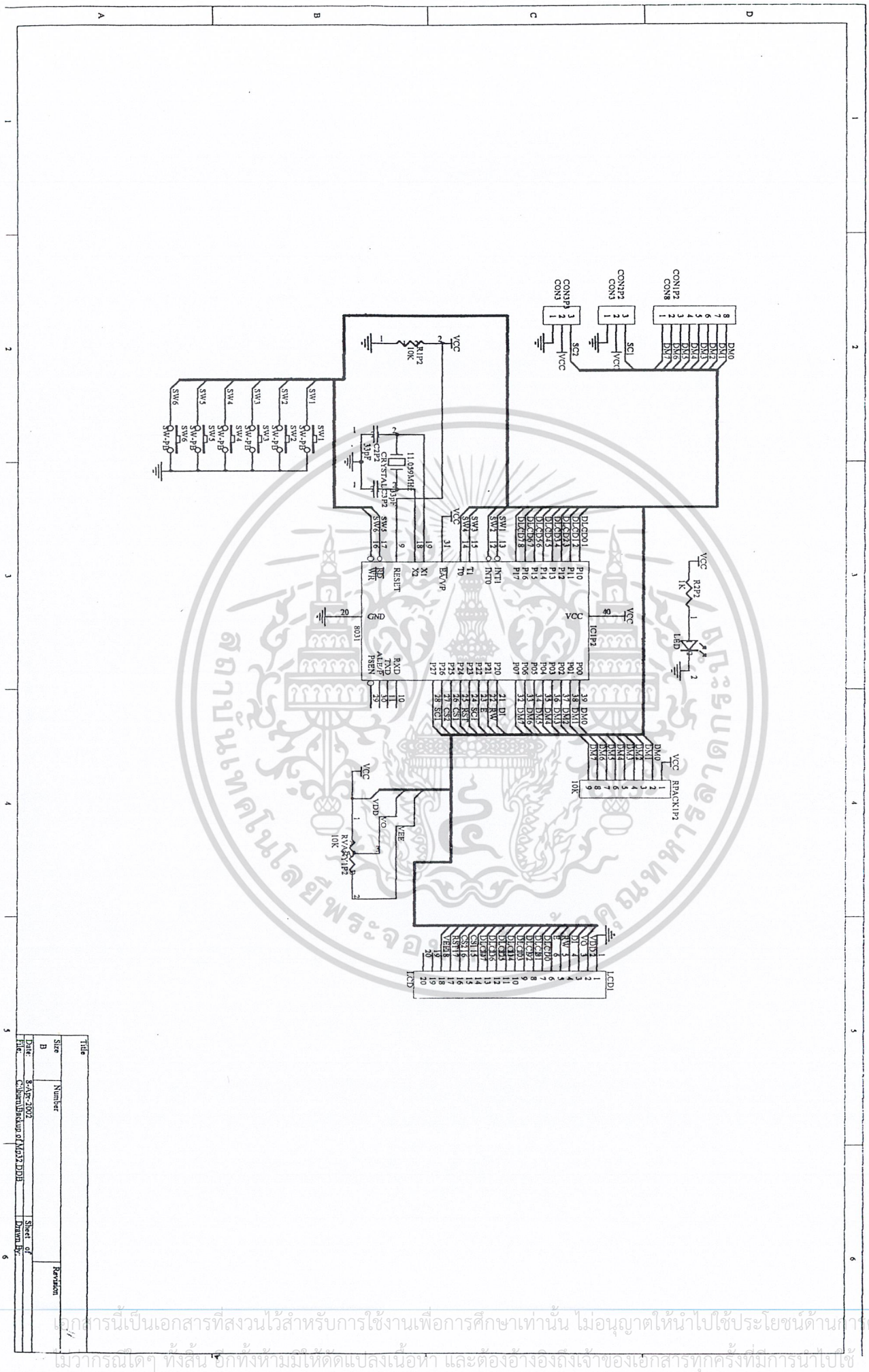
รูปที่ 3.2 แสดงขั้นตอนการทำงานของ ส่วนตัวถอดรหัส

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

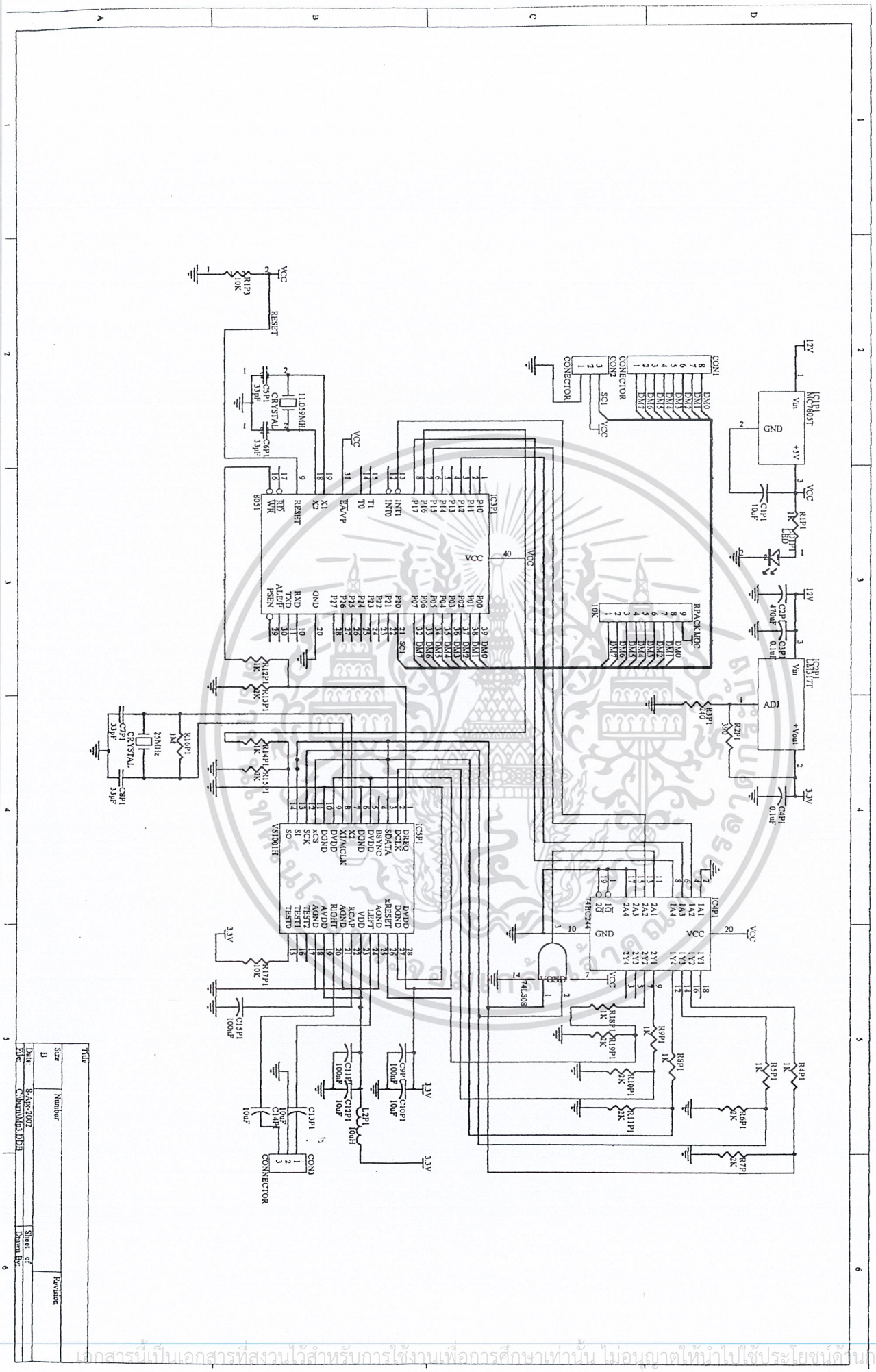


รูปที่ 3.3 แสดงขั้นตอนการทำงานของส่วนหน่วยความจำ

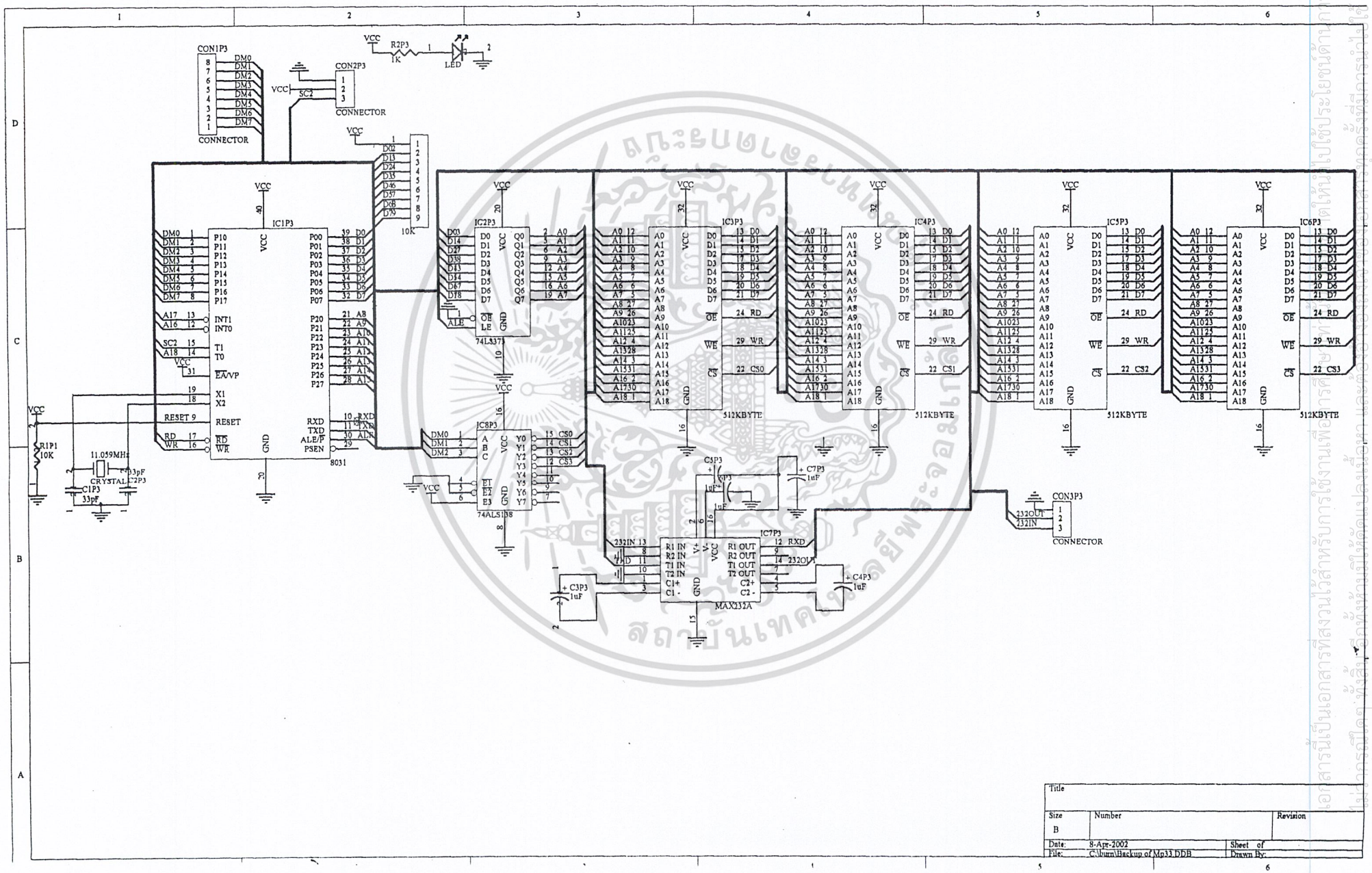
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้


CON1P3
CONNECTOR
CON2P3
CONNECTOR
R2P3
1K
LED
VCC
IC1P3
8031
IC2P3
74LS373
IC3P3
IC4P3
IC5P3
IC6P3
512KBYTE
IC8P3
74ALS138
IC7P3
MAX232A
R1P1
10K
11.059MHz
CRYSTAL
C1P3
33pF
C2P3
33pF
C3P3
1uF
C4P3
1uF
C5P3
1uF
C6P3
1uF
C7P3
1uF
CON3P3
CONNECTOR
10K
RESET
RD
WR
ALE
INT1
INT0
EA/VP
232IN
232OUT
Title
Size
B
Number
Revision
Date: 8-Apr-2002
File: C:\Burn\Backup of Mp33.DDB
Sheet of
Drawn By:

บทที่ 4

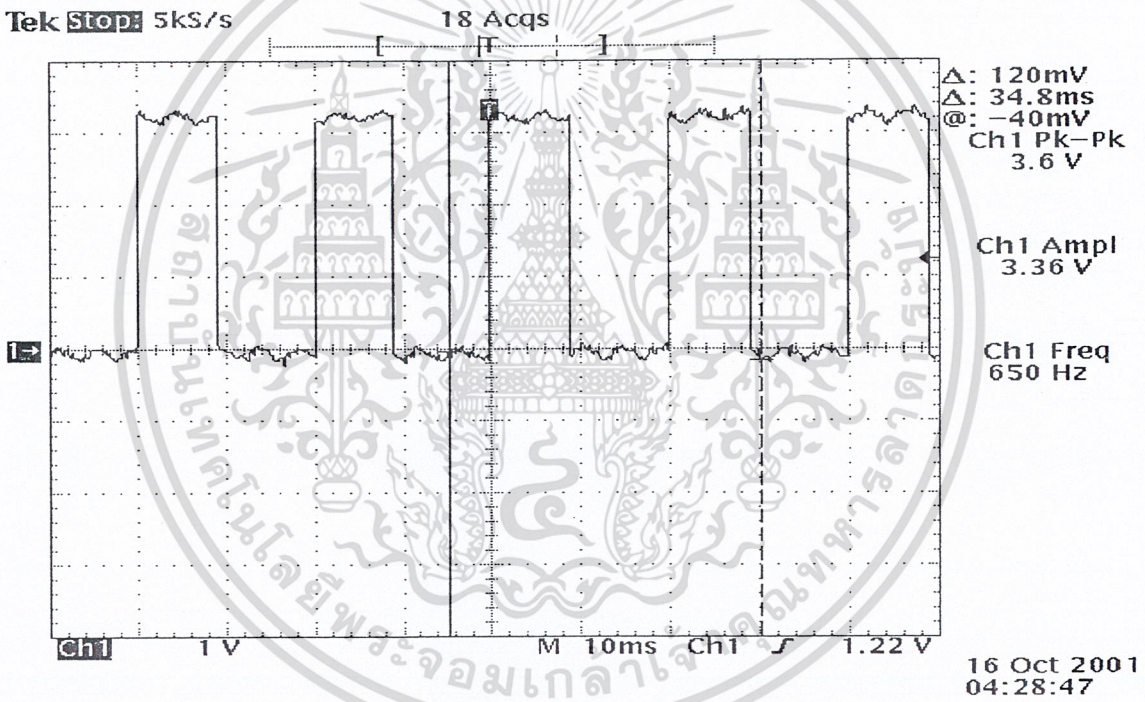
การทดลองและผลการทดลอง

การทดลอง

ใช้ไมโครคอนโทรลเลอร์ป้อนข้อมูลแก่ชิพ VS1001h โดยใช้ค่าที่ผู้ผลิตระบุในเอกสารการใช้งานว่าเป็นค่าที่ใช้ทดสอบชิพ โดยป้อนค่าดังนี้

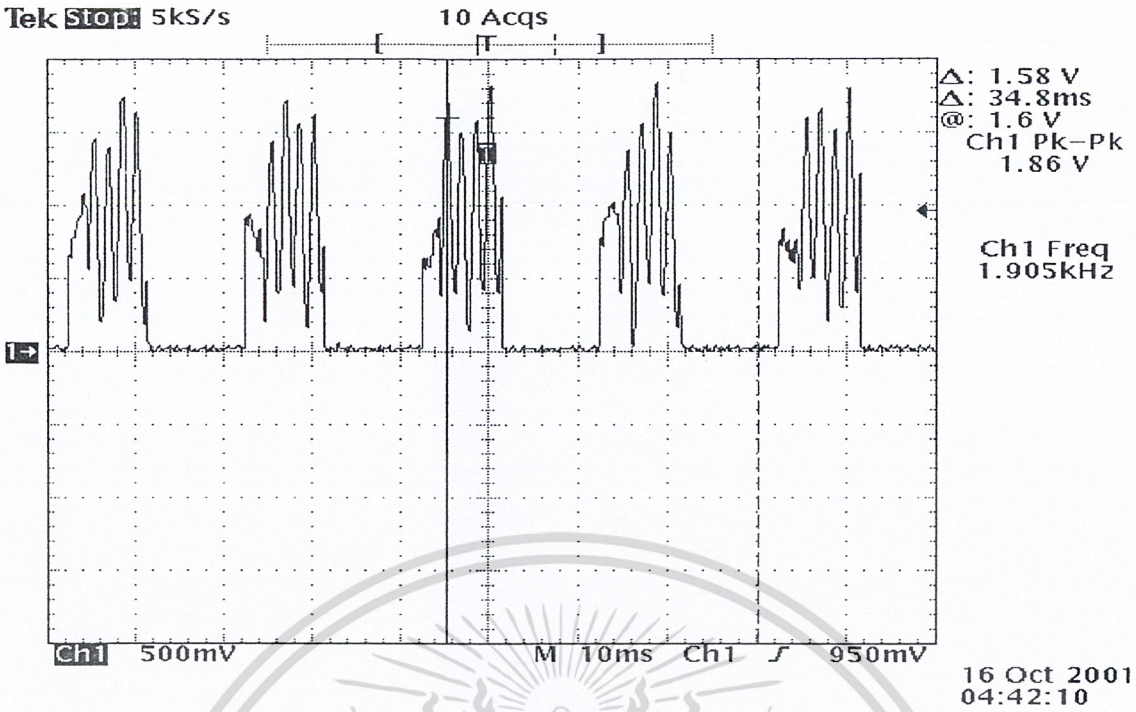
#53H, #0EFH, #6EH, #30H, #00H, #45H, #78H, #69H, #74H

ผลการทดลอง

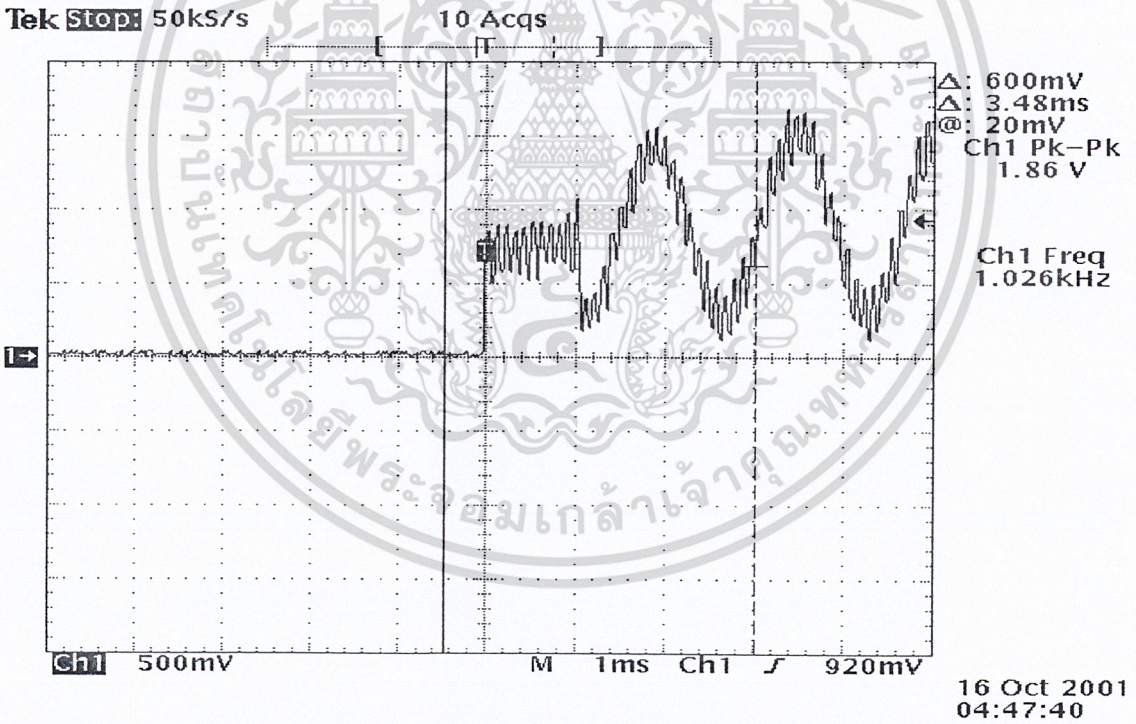


รูปที่ 4.1 แสดงสัญญาณการร้องขอข้อมูลเอ็มเป็กที่ขา 1 (DREQ)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

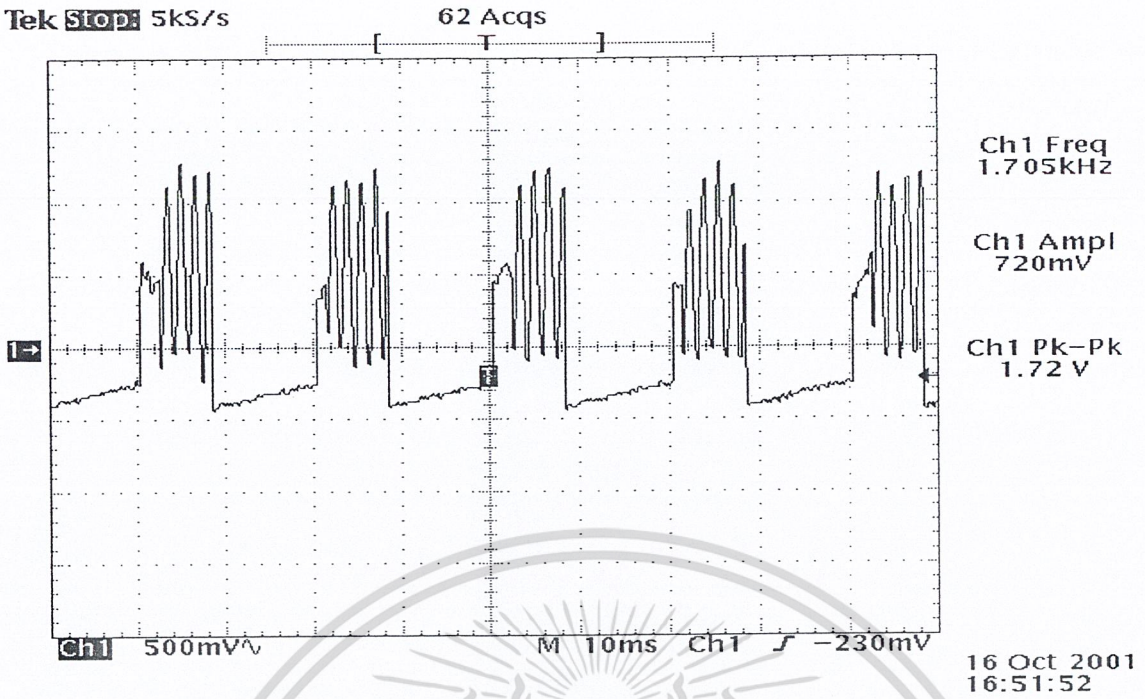


รูปที่ 4.2 แสดงสัญญาณออดิโออะนาลอกที่ขา 20 ซึ่งเป็นสัญญาณเอาทพุตของช่องสัญญาณทางขวา(ขยาย)

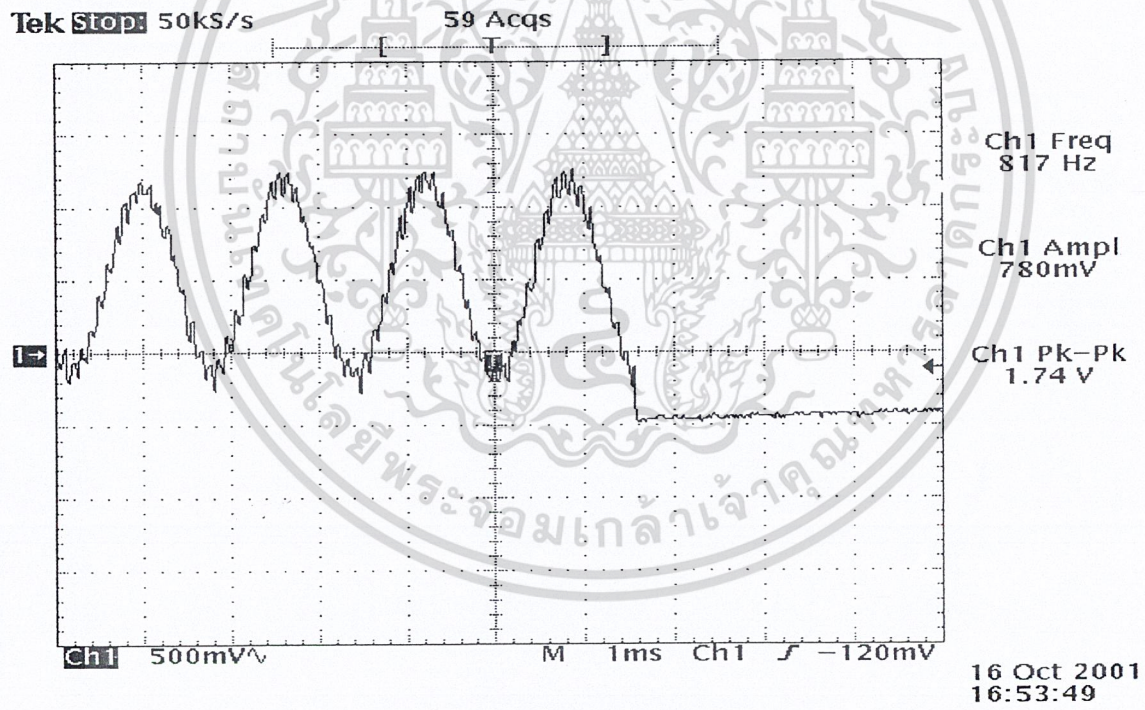


รูปที่ 4.3 แสดงสัญญาณออดิโออะนาลอกที่ขา 20 ซึ่งเป็นสัญญาณเอาทพุตของช่องสัญญาณทางขวา

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

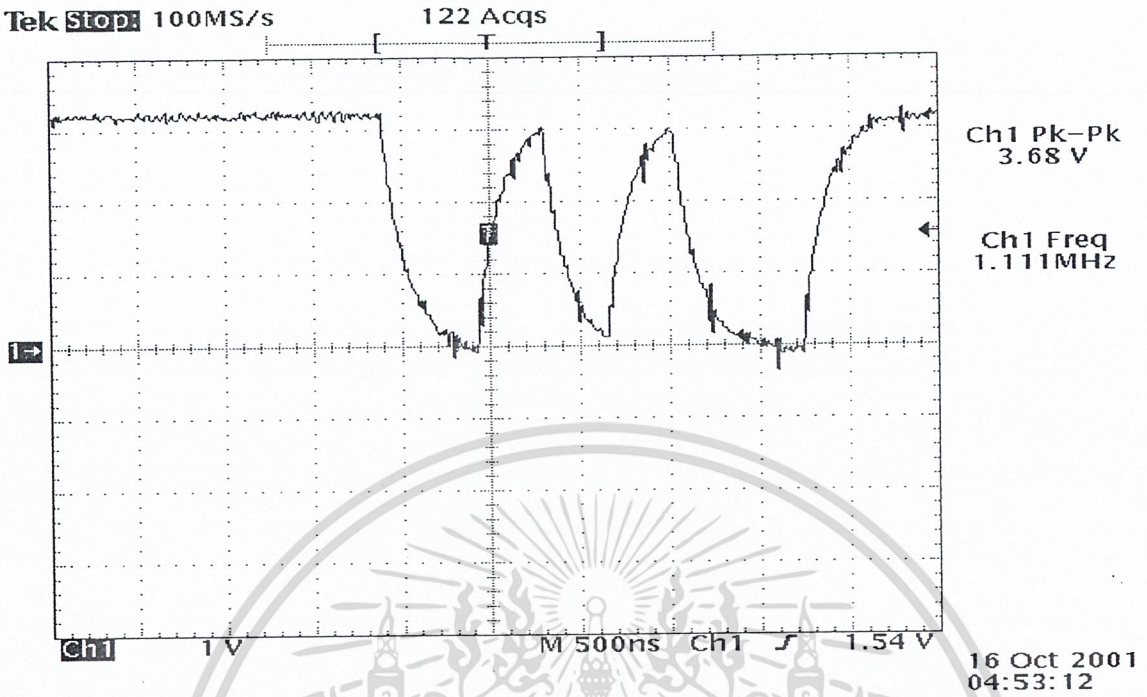


รูปที่ 4.4 แสดงสัญญาณออดิโออะนาลอกที่ขา 24 ซึ่งเป็นสัญญาณเอาทพุตของช่องสัญญาณทางซ้าย(ขยาย)

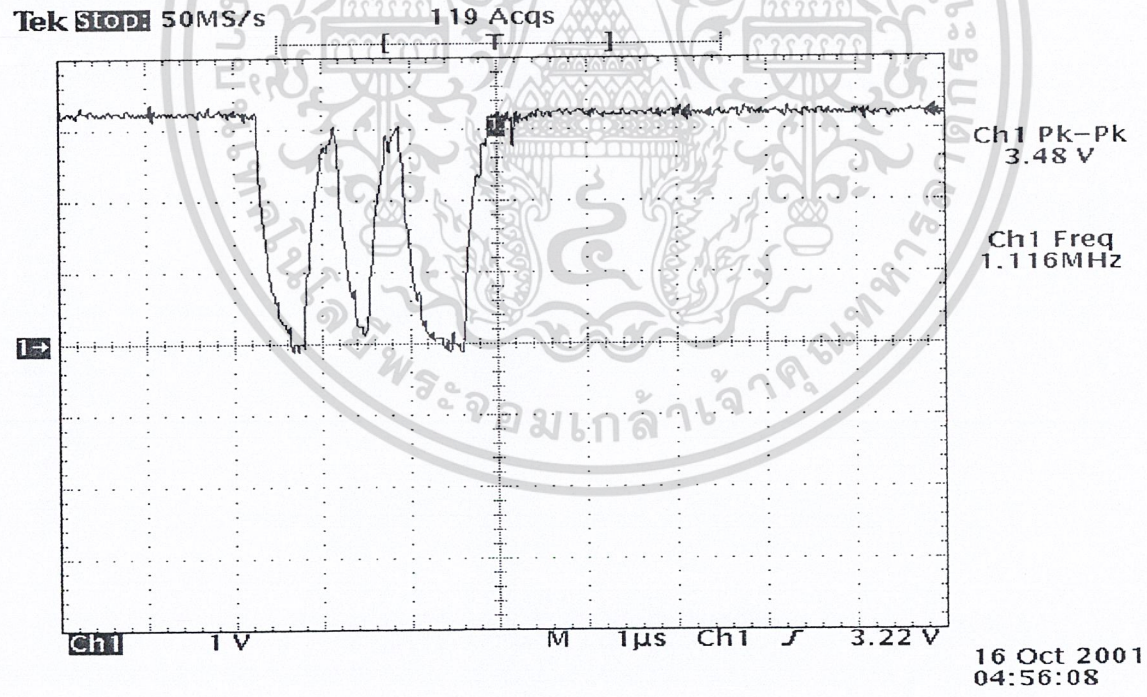


รูปที่ 4.5 แสดงสัญญาณออดิโออะนาลอกที่ขา 24 ซึ่งเป็นสัญญาณเอาทพุตของช่องสัญญาณทางซ้าย

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.6 แสดงสัญญาณข้อมูลเอ็มเป็กที่ส่งผ่านพอร์ตอนุกรมที่ขา 3 (SDATA)



รูปที่ 4.7 แสดงสัญญาณ SCI ที่ขา13 (SI)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ผลการทดลอง

รูปที่ 4.1 แสดงสัญญาณการร้องขอข้อมูลเอ็มเป็ก หมายถึงชิพพร้อมที่จะทำงานแล้วจึงส่งสัญญาณร้องขอข้อมูลเอ็มเป็ก

รูปที่ 4.2 และ 4.3 แสดงสัญญาณออดิโอ เป็นสัญญาณเอาทพุตที่จะนำไปต่อเข้าลำโพง โดยสัญญาณที่เห็นเป็นสัญญาณออดิโอของลำโพงทางขวา

รูปที่ 4.4 และ 4.5 แสดงสัญญาณออดิโอ เป็นสัญญาณเอาทพุตที่จะนำไปต่อเข้าลำโพง โดยสัญญาณที่เห็นเป็นสัญญาณออดิโอของลำโพงทางซ้าย

รูปที่ 4.6 แสดงสัญญาณข้อมูลเอ็มเป็ก เป็นรูปสัญญาณข้อมูลเอ็มเป็กที่ส่งเข้ามาใบชิพ

รูปที่ 4.7 แสดงสัญญาณ SCI ที่ขา 13 เป็นสัญญาณของโค้ดควบคุมการทำงานของชิพ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 5
บทวิจารณ์และบทสรุป

จากผลการทดลอง ที่ให้ไมโครคอนโทรลเลอร์ป้อนข้อมูลแก่ชิพ VS1001h โดยข้อมูลเหล่านี้ได้จากเอกสารที่ทางบริษัทผู้ผลิตใช้ทดสอบการทำงานของชิพ VS1001h มีค่าดังนี้ #53H, #0EFH, #6EH, #30H, #00H, #45H, #78H, #69H, #74H ได้สัญญาณเอาทพุทเป็นอะนาลอกออดิโอที่มีความถี่อยู่ในช่วงที่มนุษย์สามารถรับฟังได้ และเมื่อนำเอาทพุทไปต่อเข้ากับลำโพงก็จะได้เสียงออกมา แสดงว่าวงจรนี้สามารถใช้งานได้ในระดับหนึ่งตามที่ทางผู้ผลิตระบุไว้

ในการทดลองวงจรนี้พบอุปสรรคบางประการ แรงดันไฟฟ้าอินพุทของชิพ VS1001h มีค่าสูงเกินไปทำให้ชิพเกิดความเสียหาย แก้ไขโดยการนำเอาทพุทจากไมโครคอนโทรลเลอร์ไปผ่านวงจรควบคุมแรงดันไฟฟ้าให้แรงดันไฟฟ้าน้อยลงและคงที่

การเขียนโปรแกรมควบคุมการใช้งานของชิพก็มีความยุ่งยากมากเนื่องจากชิพ VS1001h เป็นผลิตภัณฑ์ใหม่ที่เพิ่งออกสู่ตลาดทำให้ยังไม่มีผู้ใช้แพร่หลายมากนัก ความยุ่งยากต่างที่ผู้ใช้พบคือ รีจิสเตอร์ต่างๆภายในชิพมีมากมายและมีความซับซ้อนในการใช้งานมาก

ตามเอกสารการใช้งานของชิพได้บอกไว้ว่า ชิพรุ่นนี้สามารถป้อนโปรแกมโดยผู้ใช้และสามารถรันโปรแกรมได้ด้วยตัวเอง แต่จากการศึกษาที่ผ่านมาพบว่ายังไม่สามารถป้อนโปรแกรมผู้ใช้เข้าไปในชิพได้ จึงยังไม่สามารถใช้คุณสมบัติของชิพทางด้านนี้ได้ และโดยทั่วไปแล้วเครื่องเล่นเสียงสามารถปรับเสียงทุ่มแหลมได้ ซึ่งในชิพรุ่นนี้ก็ระบุว่าสามารถทำได้เช่นกัน แต่ผู้ใช้ทดลองทำตามเอกสารการใช้งานของชิพแล้วยังไม่สามารถใช้งานได้ เวลาที่ใช้ในการศึกษายังไม่เพียงพอจึงยังไม่สามารถเชื่อมต่อกับแหล่งข้อมูลเอ็มเป็กได้ ซึ่งยังคงต้องศึกษาต่อไป

ในการต่อวงจรทดลองพบความยุ่งยากจากการที่ชิพ VS1001h มีขาเป็นเซอร์เฟสเมาต์ จึงมีปัญหาในการบัดกรี แก้ไขโดยการดัดแปลงให้เป็นขาแบบดิพ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ภาคผนวก

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ภาคผนวก ก

ความหมายของคำในไวยากรณ์ของข้อมูลเอ็มเป็ก 1 เลเยอร์ 3

ก.1 ลำดับสัญญาณเสียงทั่ว ๆ ไป

frame ส่วนของบิตสตรีม (bitstream) ที่สามารถถอดรหัสได้ บรรจุข้อมูล 1,152สัญญาณสุ่มความถี่

ก.2 เฟรมของสัญญาณ (Audio Frame)

header ส่วนของบิตสตรีมที่บรรจุข้อมูลเกี่ยวกับการซิงโครไนซ์ (synchronization) และข้อมูลสถานะ

error_check ส่วนของบิทสตรีมที่บรรจุข้อมูลสำหรับการตรวจสอบความผิดพลาด

audio_data ส่วนของบิทสตรีมที่บรรจุข้อมูลเกี่ยวกับข้อมูลเสียงที่สุ่มตัวอย่าง

ancillary_data ส่วนของบิทสตรีมที่บรรจุข้อมูลเพิ่มเติม

ก.3 ส่วนหัวของข้อมูล (Header)

32 บิทแรกของบิทสตรีมจะเป็นส่วนหัวของข้อมูล

syncword เป็นสตริง (string) เท่ากับ “1111 1111 1111”

ID 1 บิต แสดงถึงมาตรฐานการเข้ารหัส มีค่า “1” หมายถึงเข้ารหัสตามมาตรฐาน ISO/IEC11172-3 “0” หมายถึงไม่ใช่มาตรฐาน ISO

layer 2 บิต แสดงเลเยอร์ที่ใช้ ดังตารางที่ ก.1

ตารางที่ ก.1 ความหมายของรหัสข้อมูลใน layer

layer	ความหมาย
“00”	เลเยอร์ 1
“01”	เลเยอร์ 2
“10”	เลเยอร์ 3
“11”	ไม่ใช้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

protection_bit 1 บิต บอกให้ทราบว่ามีการเพิ่มข้อมูลเกี่ยวกับการตรวจสอบความผิดพลาดมากับบิทสตรีมหรือไม่ โดย

"1" ไม่มีการเพิ่มข้อมูล

"0" มีการเพิ่มข้อมูล

bitrate_index แสดงอัตราข้อมูล (bitrate) ที่ใช้

sampling_frequency บอกความถี่ในการสุ่มตัวอย่าง

padding_bit ถ้าบิตนี้เป็น "1" แสดงว่าเฟรมของข้อมูลนั้น ๆ บรรจุสล็อต (slot) เพิ่มเติม ถ้าเป็น "0" แสดงว่าไม่ได้บรรจุสล็อตเพิ่มเติม

การบรรจุสล็อตเพิ่มเติมก็เพื่อปรับอัตราส่วนระหว่างอัตราการบีบอัดกับความถี่ในการสุ่มตัวอย่างให้ลงตัว

ในกรณีความถี่ในการสุ่มตัวอย่าง 44.1 กิโลเฮิร์ต ไม่มี padding คือเท่ากับ "0"เสมอ

private_bit ไม่ใช้ในการเข้ารหัสตามมาตรฐาน ISO/IEC11172-3

mode แสดงโหมดซึ่งเป็นไปตามตารางข้างล่าง

ตารางที่ ก.2 ความหมายของรหัสข้อมูลใน **mode**

mode	ความหมาย
"00"	สเตอริโอ
"01"	จอยท์-สเตอริโอ
"10"	สองช่องเสียง
"11"	หนึ่งช่องเสียง

mode_extension ใช้บอกชนิดของวิธีที่จอยท์-สเตอริโอใช้ ว่ามี ms_stereo และ intensity_stereo หรือไม่ อย่างไร ดังตารางที่ ก.3

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ตารางที่ ก.3 ความหมายของรหัสข้อมูลใน mode_extension

mode_extension	intensity	ms_stereo
"00"	off	off
"01"	on	off
"10"	off	on
"11"	on	on

copyright "1" หมายถึง ป้องกันการสำเนา "0" หมายถึง ไม่ป้องกันการสำเนา

original/copy "0" หมายถึง บิทสตรีมนั้นถูกสำเนามา "1" หมายถึง บิทสตรีมนั้นเป็นต้นฉบับ

emphasis แสดงถึงชนิดของเอ็มพาไซด์ (emphasis) ที่ใช้งาน

ตารางที่ ก.4 ความหมายของรหัสข้อมูลใน emphasis

Emphasis	ความหมาย
"00"	ไม่มีการใช้
"01"	50/15 ไมโครวินาที
"10"	สงวนไว้
"11"	CCITT J.17

ก.4 ส่วนตรวจสอบความผิดพลาด

crc_check ข้อมูล 16 บิต เพื่อตรวจสอบพาริตี้ของบิทสตรีมว่าถูกต้องหรือไม่

ก.5 ส่วนข้อมูลเสียง

main_data_begin แสดงตำแหน่งแรกของข้อมูลหลักในแต่ละเฟรม ซึ่งจะระบุตำแหน่งเป็นค่าออฟเซท (offset byte) เป็นค่าตำแหน่งที่ห่างออกมาจากไบต์แรกของซิงค์เวิร์ด (syncword) โดยไม่นับส่วนของหัวข้อมูลและข้อมูลข้างเคียง (side information)

private_bit จะไม่ใช้ในมาตรฐาน ISO/IEC

จำนวนของ private_bit จะขึ้นอยู่กับจำนวนช่องเสียง และจะนำไปใช้พิจารณาเพื่อเทียบกับจำนวนบิตของข้อมูลข้างเคียง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

scfsi[ch][scfsi_band] ในการเข้ารหัสแบบเอ็มเป็ก 3 นั้น scfsi (scalefactor selection information) จะให้ข้อมูลเกี่ยวกับค่าสเกลแฟคเตอร์ (scalefactor) ของแต่ละย่านความถี่ (subband) และแต่ละช่องเสียง (ch)

ค่า scfsi_band ถูกใช้เพื่อเลือกกลุ่มของสเกลแฟคเตอร์ การใช้สเกลแฟคเตอร์ในแต่ละแกรนนูล (granule) จะถูกควบคุมโดย scfsi

ตารางที่ ก.5 ความหมายของ scfsi[ch][scfsi_band]

scfsi[ch][scfsi_band]	ความหมาย
"0"	เลือกใช้ในแต่ละแกรนนูลแยกกัน
"1"	ทั้ง 2 เลือกใช้สเกลแฟคเตอร์ตัวเดียวกัน

scfsi_band ควบคุมการใช้ scfsi สำหรับกลุ่มของสเกลแฟคเตอร์

ตารางที่ ก.6 ความหมายของรหัสข้อมูลใน scfsi_band

scfsi_band	ย่านความถี่ที่ถูกใช้งาน
0	0..5
1	6..10
2	11..15
3	16..20

part2_3_length[gr][ch] บอกจำนวนของบิทในส่วนที่เข้ารหัสแบบฮัฟแมน และสเกลแฟคเตอร์ เพื่อใช้หาตำแหน่งเริ่มต้นของข้อมูลหลักสำหรับแกรนนูลถัดไป

big_values[gr][ch] ค่าที่ถูกเข้ารหัสโดยใช้รหัสฮัฟแมน โดยอ้างค่าจากตารางฮัฟแมน

grobal_gain[gr][ch] เป็นตัวแปรที่ใช้ในขั้นตอนรีควอนไตซ์ (requantized)

scalefac_compress[gr][ch] เลือกจำนวนบิตที่ถูกใช้สำหรับส่งค่าสเกลแฟคเตอร์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ตารางที่ ก.7 ความหมายของรหัสข้อมูลใน scalefac_compress[gr][ch]

scalefac_compress[gr][ch]	slen1	slen2
0	0	0
1	0	1
2	0	2
3	0	3
4	3	0
5	1	1
6	1	2
7	1	3
8	2	1
9	2	2
10	2	3
11	3	1
12	3	2
13	3	3
14	4	2
15	4	3

block_type 0,1,3

slen : เป็นความยาวของสเกลแฟคเตอร์ย่าน 0 ถึง 10

slen : เป็นความยาวของสเกลแฟคเตอร์ย่าน 11 ถึง 20

block_type 2 และ mixed_block_flag เป็น 0

slen : เป็นความยาวของสเกลแฟคเตอร์ย่าน 0 ถึง 5

slen : เป็นความยาวของสเกลแฟคเตอร์ย่าน 6 ถึง 11

block_type 2 และ mixed_block_flag เป็น 1

slen : เป็นความยาวของสเกลแฟคเตอร์ย่าน 0 ถึง 7 (ย่าน long window)

เป็นความยาวของสเกลแฟคเตอร์ย่าน 3 ถึง 5 (ย่าน short window)

slen : เป็นความยาวของสเกลแฟคเตอร์ย่าน 6 ถึง 11

window_switching_flag[gr][ch] แสดงว่าข้อมูลไม่ได้ใช้วินโดว์ (window) ปกติ (type=0) ใน กรณีที่ window_switching_flag[gr][ch] = 1 จะมีผลดังนี้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

region_count = 7 กรณี block_type==1 หรือ block_type==3
หรือ block_type==2 และ mixed_block_flag

region_count = 8 block_type==2 และไม่ใช้ mixed_block_flag

region_count = 36 ค่าทั้งหมดของ big_values อยู่ใน region1

กรณีที่ window_switching_flag[gr][ch] = 0 แล้วค่า block_type จะเท่ากับศูนย์

block_type[gr][ch] ชี้ชนิดของวินโดว์ที่ใช้ของแกรนนูลนั้น

ตารางที่ ก.8 ความหมายของรหัสข้อมูลใน block_type[gr][ch]

Block_type[gr][ch]	ความหมาย
0	ไม่ใช้
1	เริ่มต้นบล็อค
2	วินโดว์บล็อคสั้น 3 บล็อก
3	ท้ายบล็อก

block_type และ mixed_block_flag ให้ข้อมูลเกี่ยวกับค่าที่อยู่ในบล็อค เกี่ยวกับความยาว และการนับสำหรับการแปลง ถ้า window_switching_flag==1 แล้ว mixed_block_flag จะเป็นตัวชี้ว่าโพลีเฟสด้านความถี่ต่ำย่านใดถูกถอดรหัสโดยใช้ type ปกติ

ในกรณีบล็อคยาว (block_type ไม่ใช่ 2 หรือย่านต่ำที่ block_type เป็น 2 เมื่อ mixed_block_flag =1) IMDCT จะให้เอาท์พุท 36 ค่าทุก ๆ อินพุท 18 ค่า เอาท์พุทจะขึ้นอยู่กับ block_type

ในกรณีบล็อคสั้น (ย่านที่เหนือกว่าบล็อกยาวของ block_type2 เมื่อ mixed_block_flag =0 หรือทุกย่านความถี่ของ block_type2 เมื่อ mixed_block_flag =0) IMDCT ให้เอาท์พุท 12 ค่า

mixed_block_flag[gr][ch] เป็นตัวกำหนดการแปลงที่ความถี่ต่ำว่าใช้ block_type แบบใด

กรณี mixed_block_flag เป็น 0 : ทุกบล็อคถูกแปลงค่าโดยชี้จาก block_type[gr][ch]

กรณี mixed_block_flag เป็น 1 : ย่านความถี่ต่ำสุด 2 ย่านถูกกำหนดให้แปลงด้วยวินโดว์ปกติ อีก 30 ย่านที่เหลือถูกแปลงค่าโดยชี้จาก block_type[gr][ch]

table_select[gr][ch][region] ใช้เลือกตารางฮัฟแมนจาก 32 ตาราง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

subblock_gain[gr][ch][window] บอกค่าอัตราการขยายที่เพิ่มขึ้น/ลดลงจาก grobal_gain ของแต่ละบล็อคย่อย

region0_count[gr][ch] ส่วนของสเปคตรัมที่ถูกแบ่งเพื่อใช้เพิ่มความสามารถของตัวเข้ารหัสให้มีความถูกต้องยิ่งขึ้น โดยแต่ละส่วนที่ถูกแบ่งจะเรียกว่า region0,1,2 แต่ละ region จะใช้ตารางถอดรหัสฮัฟแมนต่างกัน ขึ้นอยู่กับ maximum quantized value และ signal statistic ค่าของ region0_count และ region1_count ถูกใช้ชี้บอกขอบเขตของ region นั้น ๆ

region1_count[gr][ch] นับจำนวนของสเกลแฟคเตอร์ใน region1 ลบออก 1

preflag[gr][ch] เป็นค่าเสริมเพื่อขยายค่าที่ความถี่สูง ถ้าค่า preflag ถูกเซท จะนำค่าในตาราง preflag ไปคูณกับค่าสเกลแฟคเตอร์อีกครั้ง ในกรณี block_type=2 preflag ไม่ถูกใช้

scalefac_scal[gr][ch] เป็นค่าสเกลแฟคเตอร์ที่ถูกปรับค่าด้วยสเกลล็อกการิทึม โดยคูณค่าของแต่ละลำดับด้วย 2 หรือ $\sqrt{2}$ ขึ้นอยู่กับ scalefac_scal

ตารางที่ ก.9 ความหมายของข้อมูลใน scalefac_scal[gr][ch]

Scalefac_scal[gr][ch]	scalefac_multiplier
0	0,5
1	1

count1table_select[gr][ch] ใช้เลือกค่าจากตารางฮัฟแมน B7.A หรือ B7.Bเมื่อค่าที่ปรับระดับใน region คูณด้วย 4 แล้วไม่เกิน 1

ตารางที่ ก.10 ความหมายของรหัสข้อมูลใน count1table_select[gr][ch]

Count1table_select[gr][ch]	ความหมาย
0	ตาราง B7.A
1	ตาราง B7.B

scalfac_l[gr][ch], scalefac_s[gr][ch][sfb][window], is_pos[gr][ch] ถูกใช้ในการปรับระดับค่าคืน (requantization)

huffmancodebits0 ข้อมูลที่ถูกเข้ารหัสแบบฮัฟแมน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รูปแบบของ huffmancodebits0 แสดงวิธีการเข้ารหัสข้อมูลลงใน **big_value** โดยข้อมูลที่ได้จะเป็นคู่ (x,y) ให้ค่าแต่ละค่ามีจำนวนบิตน้อยกว่า 15 บิต การเข้ารหัสจะถูกเลือกจากตารางฮัฟแมนที่ 0 ถึง 31 ถ้าข้อมูลที่เข้ามามีขนาดเกิน 15 บิต จะแยกเข้ารหัสต่างหาก ถ้าในคู่ของข้อมูลที่เข้ารหัสไม่เป็น 0 จะปรากฏเครื่องหมาย ให้ค่า + หรือ – ในตารางฮัฟแมนจะบรรจุองค์ประกอบ 3 ส่วน คือ

- hcod[x][y] รหัสข้อมูลฮัฟแมน
- hlen[x][y] ความยาวข้อมูลฮัฟแมน
- linbits ความยาวของ linbitsx หรือ linbitsy เมื่อถูกเข้ารหัส

รูปแบบของส่วนประกอบของ **huffmancodebits** ประกอบด้วยกลุ่มของข้อมูลประกอบดังนี้

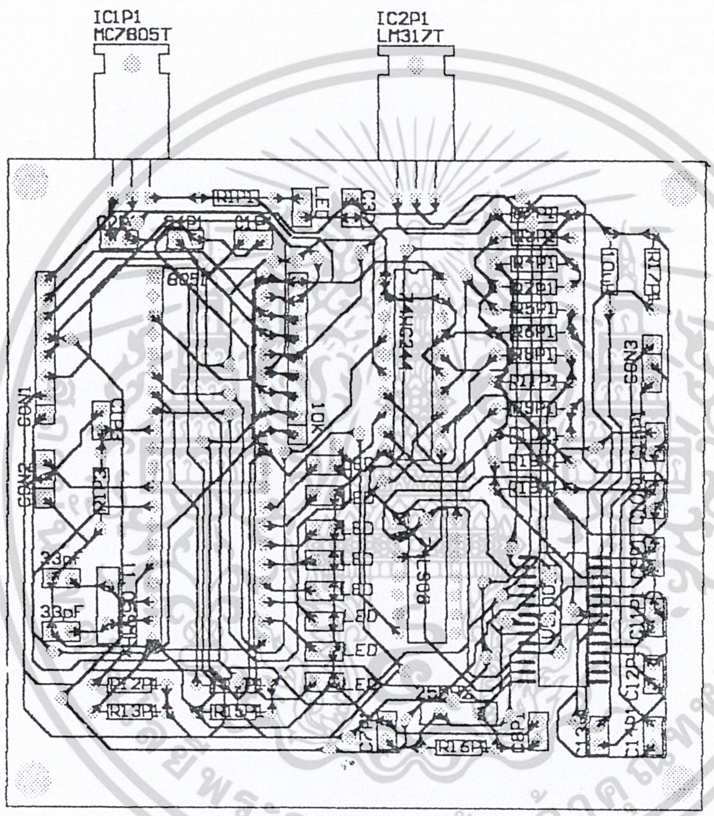
- sig nv เครื่องหมายของค่า v (0 เป็นบวก 1 เป็นลบ)
- sig nw เครื่องหมายของค่า w (0 เป็นบวก 1 เป็นลบ)
- sig nx เครื่องหมายของค่า x (0 เป็นบวก 1 เป็นลบ)
- sig ny เครื่องหมายของค่า y (0 เป็นบวก 1 เป็นลบ)
- **linbitsx** ใช้เมื่อเข้ารหัสค่าของ x มากกว่าหรือเท่ากับ 15
- **linbitsy** ใช้เมื่อเข้ารหัสค่าของ y มากกว่าหรือเท่ากับ 15
- **is[1]** คือ ค่าที่ถูกปรับระดับสำหรับ frequency line ที่ 1

ก.6 Ancillary Data

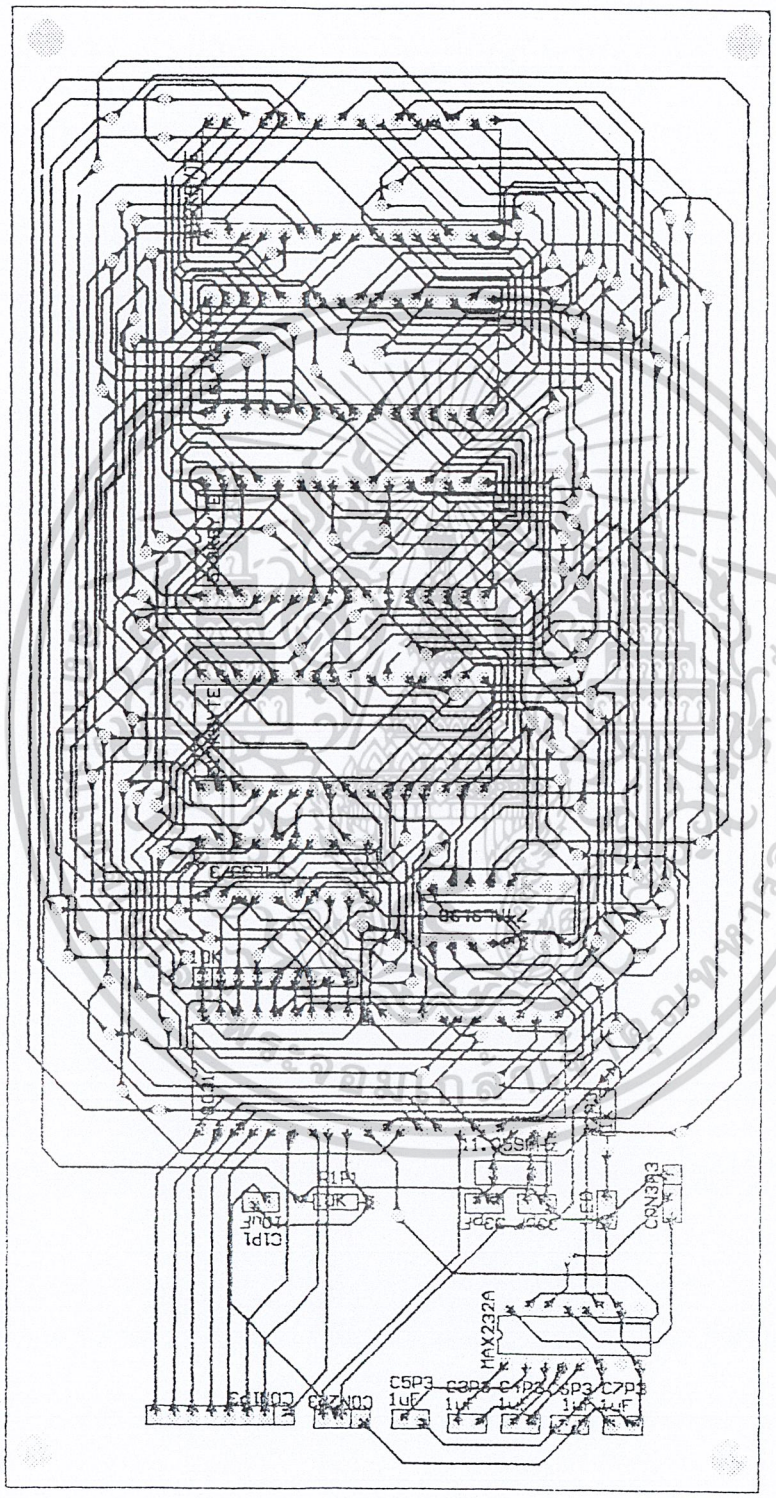
ancillary_bit ผู้ใช้สามารถนิยามได้เอง

- หมายเหตุ สามารถหารายละเอียดมาตราฐานการบีบอัดข้อมูลเพิ่มเติมจาก ห้องสมุดสำนักงานมาตราฐานอุตสาหกรรม (สมอ.) หัวข้อ ISO 11172-3

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้