สำนักหอสมุดกลาง พระจอมเกล้าลาดกระบัง

เครื่องรับเครื่องส่งแบบ 16 QAM

16 QAM TRANSMITTER AND RECEIVER

T046495

โดย

นาย ประเมษฐ พงษ์ศักดิ์

นาย วุฒิไกร อินทอุดม

นาย อนนท์ งามนิวัฒนวงศ์

ปริญญานิพนธ์นี้เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรปริญญาวิศวกรรมศาสตรบัณฑิต

สาขาวิชาวิศวกรรมโทรคมนาคม

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

ปีการศึกษา 2544

เลขหมู่.....
เลขทะเบียน 46495
วัน, เดือน, ปี 2 เม.ย. 2546

.b.....
.i.....

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เครื่องรับเครื่องส่งแบบ 16 QAM

16 QAM TRANSMITTER AND RECEIVER

โดย

นาย ประเมษฐ พงษ์ศักดิ์ 42015063

นาย วุฒิไกร อินทอุดม 42015068

นาย อนนท์ งามนิวัฒนวงศ์ 42015077

อาจารย์ที่ปรึกษา

ผศ. วิภา แสงพิสิทธิ์

ปริญญานิพนธ์นี้เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรปริญญาวิศวกรรมศาสตรบัณฑิต

สาขาวิชาวิศวกรรมโทรคมนาคม

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

ปีการศึกษา 2544

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ปริญญานิพนธ์ปีการศึกษา 2544

ภาควิชาวิศวกรรมโทรคมนาคม

คณะวิศวกรรมศาสตร์สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

เรื่อง **เครื่องรับเครื่องส่งแบบ 16 QAM**

16 QAM TRANSMITTER AND RECEIVER

ผู้จัดทำ

1. **นาย ประเมษฐ พงษ์ศักดิ์ 42015063**
2. **นาย วุฒิไกร อินทอุดม 42015068**
3. **นาย อนนท์ งามนิวัฒนวงศ์ 42015077**

..... อาจารย์ที่ปรึกษา

(ผศ. วิภา แสงพิสิทธิ์)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เครื่องรับเครื่องส่งแบบ 16-QAM

16-QAM Transmitter and receiver

โดย นาย ประเมษฐ พงษ์ศักดิ์ 42015063

นาย วุฒิไกร อินทอุดม 42015068

นาย อนนท์ งามนิวัฒนวงศ์ 42015077

อาจารย์ที่ปรึกษา ผศ.วิภา แสงพิสิทธิ์

บทคัดย่อ

โครงงานนี้นำเสนอเครื่องรับและเครื่องส่งสัญญาณเสียง โดยใช้วิธีการมอดูเลตแบบ 16-QAM ภาคเครื่องส่งจะทำการเปลี่ยนสัญญาณเสียงจากอนาลอกเป็นดิจิตอล จากนั้นนำสัญญาณที่ได้เข้าสู่วงจรมัลติเพล็กซ์ แบบ 2 ช่องสัญญาณและนำไปมอดูเลตแบบ 16-QAM แล้วส่งผ่านสายโคแอคเชียลไปยังภาคเครื่องรับ เครื่องรับจะดีมอดูเลตสัญญาณ 16-QAM และทำการดีมัลติเพล็กซ์เพื่อแยกสัญญาณทั้ง 2 ช่องออกจากกัน แล้วสัญญาณที่ได้นี้จะถูกแปลงจากสัญญาณดิจิตอลกลับเป็นสัญญาณอนาลอกตามเดิม

Abstract

This project presents 16-QAM transmitter and receiver. The transmitter converts voice analog signals to digital signals. Two resultant digital signals are sent to 2 channels multiplexer and modulated by 16-QAM circuit. The modulated signal is transmitted though a coaxial cable to the receiver. The receiving signals is demodulated and demultiplex to the 2 channel voice analog signals.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญ

หน้า

บทที่1 บทนำ 1

บทที่2 ทฤษฎีและหลักการ

2.1 QPSK(Quadarture Phase shift Keying) 2

2.2 QAM(Quadarture Amplitude Modulation) 4

2.3 เดลต้ามอดูเลชั่น 8

2.4 ฟิลเตอร์แบบแอกทีฟ 12

2.5 บาลานซ์มอดูเลเตอร์ 15

2.6 การมัลติเพลกซ์แบบแบ่งเวลา 17

2.7 เฟสล็อกลูปแบบดิจิตอล 20

2.8 วงจรเลื่อนเฟส 24

บทที่3 การออกแบบและการสร้าง

3.1 การออกแบบวงจรรับ-ส่ง 16 QAM 27

3.2 วงจรแปลงสัญญาณอนาลอกเป็นดิจิตอลและดิจิตอลเป็นอนาลอก 32

3.3 วงจรมัลติเพล็กซ์ 36

3.4 วงจรดีมัลติเพลิ่กซ์ 37

3.5 การออกแบบวงจรรวมสัญญาณ 39

3.6 การสร้างสัญญาณนำร่องและคลื่นพาห์ 41

3.7 การกู้สัญญาณนำร่องและคลื่นพาห์ 42

3.8 วงจรกรองแถบความถี่ผ่าน 200 kHz 43

3.9 วงจรกรองแถบความถี่ผ่าน 20 kHz 45

3.10 วงจรนอตช์ฟิลเตอร์ 45

3.11 วงจรหาร 10 47

3.12 วงจรรวมสัญญาณ 16-QAM เข้ากับสัญญาณนำร่อง 47

3.13 วงจรสังเคราะห์ความถี่ 200 kHZ ด้วยเฟสล็อกลูป 48

3.14 การออกแบบวงจรกู้ข้อมูลดิจิตอล 48

3.15 วงจรเข้ารหัสแมนเชสเตอร์ 49

3.16 วงจรถอดรหัสแมนเชสเตอร์ 50

3.17 วงจรกู้สัญญาณนาฬิกา 50

3.18 วงจรแปลงข้อมูลแบบขนานเป็นแบบอนุกรม 52

3.19 วงจรแปลงข้อมูลแบบอนุกรมเป็นแบบขนาน 53

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.20 การออกแบบวงจรแปลงยูนิโพลาร์เป็นไบโพลาร์ 53
3.21 การออกแบบวงจรแปลงไบโพลาร์เป็นยูนิโพลาร์ 55
3.22 การออกแบบวงจรกรองความถี่ต่ำผ่าน 55
3.23 การออกแบบวงจรปรีไมค์โมดูล 64
3.24 วงจรบาลานซ์มอดูเลเตอร์ 65
3.25 การออกแบบวงจรลบ 66
3.26 การออกแบบวงจรเลื่อนเฟส 90 องศา 67

บทที่4 การทดลองและผลการทดลอง

4.1 การทดสอบวงจรกรองความถี่ 68
4.2 การทดสอบวงจรบาลานซ์มอดูเลเตอร์ 71
4.3 การทดสอบภาคส่งวงจรมอดูเลเตอร์แบบ 16-QAM 73
4.4 การทดสอบภาครับวงจรดีมอดูเลเตอร์แบบ 16-QAM 79
4.5 การทดสอบวงจรกำเนิดสัญญาณคลื่นพาห์และสัญญาณนำร่อง 87
4.6 การทดสอบวงจรกู้สัญญาณคลื่นพาห์และสัญญาณนำร่อง 93
4.7 การทดสอบวงจรดีมัลติเพล็กซ์ 97
4.8 การทดสอบวงจรเลื่อนเฟส 100
4.9 การทดสอบประสิทธิภาพของเครื่องรับเครื่องส่งแบบ 16-QAM 101

บทที่ 5 บทวิจารณ์และบทสรุป 104
ภาคผนวก
กิตติกรรมประกาศ
เอกสารอ้างอิง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญรูปภาพ

หน้า

รูปที่ 2.1 บล็อกไดอะแกรมภาคส่งของ QPSK มอดูเลชั่น (QPSK modulation) 2

รูปที่ 2.2 ระนาบสัญญาณของ QPSK 3

รูปที่ 2.3 การกระจายตัวของจุดในระนาบสัญญาณของเทคนิค 16 QAM 4

รูปที่ 2.4 บล็อกไดอะแกรมวงจรมอดูเลเตอร์ 5

รูปที่ 2.5 บล็อกไดอะแกรมวงจรดีมอดูเลเตอร์ 5

รูปที่ 2.6 บริเวณขอบเขตการตัดสินใจ (decition) 6

รูปที่ 2.7 บล็อกไดอะแกรมของระบบเดลต้ามอดูเลท 8

รูปที่ 2.8 รูปคลื่นระบบเดลต้ามอดูเลท 9

รูปที่ 2.9 บล็อกไดอะแกรมการทำงานของ CVSD ในการแปลงสัญญาณอนาลอกเป็นดิจิตอล 11

รูปที่ 2.10 บล็อกไดอะแกรมการทำงานของ CVSD ในการแปลงสัญญาณดิจิตอลเป็นอนาลอก 12

รูปที่ 2.11 ผลตอบสนองทางความถี่ของวงจรกรองความถี่แบบต่างๆ 13

รูปที่ 2.12 วงจรดิฟเฟอเรนเชียล 16

รูปที่ 2.13 บาลานซ์มอดูเลเตอร์ 16

รูปที่ 2.14 แสดงการสุ่มตัวอย่างตามธรรมชาติ 17

รูปที่ 2.15 แสดงการเพิ่มความเร็วในการส่งพัลส์ทำให้เกิดช่องเวลาที่ว่าง 18

รูปที่ 2.16 แสดงการมัลติเพล็กซ์แบบแบ่งเวลาด้วยระบบพีเอเอ็ม 19

รูปที่ 2.17 แสดงการส่งสัญญาณแบบมัลติเพล็กซ์แบบแบ่งเวลา 19

รูปที่ 2.18 แสดงการแยกสัญญาณพีเอเอ็มจากการมัลติเพล็กซ์แบบแบ่งเวลาทางด้านเครื่องรับ 20

รูปที่ 2.19 แสดงบล็อกไดอะแกรมของดิจิตอลเฟสล็อกลูป 20

รูปที่ 2.20 แสดงตัวดักจับเฟสแบบเฟส-ความถี่ 21

รูปที่ 2.21 แสดงสภาวะตัวดักจับเฟสแบบเฟส-ความถี่ 22

รูปที่ 2.22 แสดงกราฟคุณสมบัติเอาต์พุต V_d เฉลี่ยของตัวดักจับเฟสแบบเฟส-ความถี่ 23

รูปที่ 2.23 แสดงรูปสัญญาณของตัวดักจับเฟสแบบเฟส-ความถี่ 23

รูปที่ 2.24 วงจรกรองผ่านหมด 24

รูปที่ 2.25 รูปองค์ประกอบในระนาบ s-plane 24

รูปที่ 2.26 รูปองค์ประกอบรวมในระนาบ s-plane 24

รูปที่ 2.27 รูปแสดงค่า θ_d ที่ค่า ω ต่างๆ 26

รูปที่ 2.28 การพล็อตกราฟทางขนาดและเฟสในระบบพิกัดฉาก 26

รูปที่ 3.1 ระนาบสัญญาณ QPSKกลุ่มที่ 1 และQPSK กลุ่มที่ 2 28

รูปที่ 3.2 ระนาบสัญญาณ 16-QAM 30

รูปที่ 3.3 บล็อกไดอะแกรมของวงจรด้านส่ง 30

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รูปที่ 3.4 บล็อกไดอะแกรมของวงจรด้านรับ 31
รูปที่ 3.5 วงจรเข้ารหัสและถอดรหัสแบบ CVSD Modulator/Demodulator 32
รูปที่ 3.6 วงจรเข้ารหัสแบบเคลต้ามอดูเลเตอร์ 34
รูปที่ 3.7 วงจรถอดรหัสแบบเคลต้ามอดูเลเตอร์ 35
รูปที่ 3.8 วงจรมัลติเพล็กซ์ 36
รูปที่ 3.9 แสดงการเรียงข้อมูลขนานไปเป็นข้อมูลอนุกรม 37
รูปที่ 3.10 วงจรดีมัลติเพล็กซ์ 38
รูปที่ 3.11 ตัวอย่างการส่งข้อมูล 1 บิท 38
รูปที่ 3.12 ไทม์มิ่งไดอะแกรมของวงจรดีมัลติเพล็กซ์ 39
รูปที่ 3.13 วงจรรวมสัญญาณชนิดนอนอินเวอร์ติ้ง 39
รูปที่ 3.14 วงจรรวมสัญญาณภาคส่ง 40
รูปที่ 3.15 วงจรรวมสัญญาณ 16-QAM เข้ากับสัญญาณนำร่อง 41
รูปที่ 3.16 บล็อกไดอะแกรมของการสร้างสัญญาณนำร่องและคลื่นพาห์ 41
รูปที่ 3.17 บล็อกไดอะแกรมการกู้คลื่นพาห์ 42
รูปที่ 3.18 บล็อกไดอะแกรมการกู้สัญญาณ 16-QAM 42
รูปที่ 3.19 วงจร DELYIANNIS-FRIEND 43
รูปที่ 3.20 วงจร DELYIANNIS-FRIEND ที่ใช้ในการคำนวณ 44
รูปที่ 3.21 วงจร DELYIANNIS-FRIEND ที่ความถี่ 200 kHz 45
รูปที่ 3.22 วงจร DELYIANNIS-FRIEND ที่ความถี่ 20 kHz 45
รูปที่ 3.23 วงจรนอตช์ฟิลเตอร์ 46
รูปที่ 3.24 วงจรนอตช์ฟิลเตอร์ 20 kHz 47
รูปที่ 3.25 วงจรหาร 10 47
รูปที่ 3.26 วงจรสังเคราะห์ความถี่ 200 kHz ด้วยเฟสล็อกลูป 48
รูปที่ 3.27 บล็อกไดอะแกรมวงจรกู้ข้อมูลในแต่ละบิทข้อมูล 49
รูปที่ 3.28 วงจรเข้ารหัสแมนเชสเตอร์ 49
รูปที่ 3.29 วงจรถอดรหัสแมนเชสเตอร์ 50
รูปที่ 3.30 แสดงรูปของสัญญาณจากการถอดรหัสแมนเชสเตอร์โดยใช้ดี-ฟลิปฟลอป 50
รูปที่ 3.31 วงจรกู้สัญญาณนาฬิกา 50
รูปที่ 3.32 ไทม์มิ่งไดอะแกรมของวงจรกู้สัญญาณนาฬิกา 52
รูปที่ 3.33 วงจรแปลงข้อมูลขนานเป็นแบบอนุกรม4 บิท 52
รูปที่ 3.34 วงจรแปลงข้อมูลอนุกรมเป็นแบบขนาน ขนาด 4 บิท 53
รูปที่ 3.35 วงจรลดทอน 34
รูปที่ 3.36 วงจรแปลงยูนิโพลาร์เป็นไบโพลาร์ที่ใช้งานจริง 55
รูปที่ 3.37 วงจรแปลงไบโพลาร์เป็นยูนิโพลาร์ 55

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รูปที่ 3.38 การวางโหนดของวงจร Sallen and Key 56
รูปที่ 3.39 วงจร Sallen and Key ที่ $K = 3 - 1/Q$ 57
รูปที่ 3.40 วงจร Sallen and Key ที่ $K = 1$ 58
รูปที่ 3.41 แสดงตำแหน่งของ $\omega_s, \omega_p, \alpha_{\min}$ และ $\alpha_{\max}$ 59
รูปที่ 3.42 แสดงการกำหนด ω_o และ Q ของวงจรในแต่ละส่วน 59
รูปที่ 3.43 วงจรกรองความถี่ต่ำผ่านอันดับที่ 4 60
รูปที่ 3.44 วงจรนอตช์ฟิลเตอร์ 61
รูปที่ 3.45 วงจรกรองความถี่ต่ำผ่านรวม 64
รูปที่ 3.46 วงจรปรีไมค์ 64
รูปที่ 3.47 วงจรปรับ DC offset 65
รูปที่ 3.48 วงจรบาลานซ์มอดูเลเตอร์ 65
รูปที่ 3.49 วงจรขยายความแตกต่าง 66
รูปที่ 3.50 วงจรลบที่ใช้งานจริง 67
รูปที่ 3.51 วงจรเลื่อนเฟส 90 องศา 67
รูปที่ 4.1 แสดงลักษณะผลตอบสนองทางความถี่ของวงจรกรองความถี่ต่ำผ่านจากการทดลอง 68
รูปที่ 4.2 ลักษณะผลตอบสนองทางความถี่ของวงจรกรองแถบความถี่ผ่าน 200 kHz 69
รูปที่ 4.3 ลักษณะผลตอบสนองทางความถี่ของวงจรกรองแถบความถี่ผ่าน 20 kHz 69
รูปที่ 4.4 ลักษณะผลตอบสนองทางความถี่ของวงจรนอตช์ฟิลเตอร์ความถี่ 20 kHz 70
รูปที่ 4.5 เปรียบเทียบอินพุตและเอาต์พุตของวงจรบาลานซ์มอดูเลตเตอร์ 71
รูปที่ 4.6 แสดงสเปกตรัมของสัญญาณเอาต์พุตวงจรมอดูเลเตอร์ 72
รูปที่ 4.7 เปรียบเทียบอินพุตและเอาต์พุตของวงจรบาลานซ์มอดูเลเตอร์
เมื่อสัญญาณอินพุตเป็นสี่เหลี่ยม 72
รูปที่ 4.8 เปรียบเทียบสัญญาณ QPSK1 และ QPSK2 เมื่อข้อมูลเป็น 1111 73
รูปที่ 4.9 แสดงสัญญาณ 16-QAM ที่ได้จากการรวมกันของสัญญาณ QPSK1 และ QSPK2 74
รูปที่ 4.10 เปรียบเทียบสัญญาณ QPSK1 และ QPSK2 เมื่อข้อมูลเป็น 1100 74
รูปที่ 4.11 แสดงสัญญาณ 16-QAM ที่ได้จากการรวมกันของสัญญาณ QPSK1 และ QSPK2 75
รูปที่ 4.12 แสดงสัญญาณ 16-QAM เมื่อข้อมูลเป็น 1101 75
รูปที่ 4.13 แสดงสัญญาณ 16-QAM เมื่อข้อมูลเป็น 1110 76
รูปที่ 4.14 เปรียบเทียบสัญญาณ 16-QAM เมื่อมีข้อมูลเป็น 1111 กับคลื่นพาห์ไซน์ 77
รูปที่ 4.15 เปรียบเทียบสัญญาณ 16-QAM เมื่อมีข้อมูลเป็น 1100 กับคลื่นพาห์ไซน์ 77
รูปที่ 4.16 เปรียบเทียบสัญญาณ 16-QAM เมื่อมีข้อมูลเป็น 1101 กับคลื่นพาห์ไซน์ 78
รูปที่ 4.17 เปรียบเทียบสัญญาณ 16-QAM เมื่อมีข้อมูลเป็น 1110 กับคลื่นพาห์ไซน์ 78
รูปที่ 4.18 แสดงสเปกตรัมของสัญญาณ 16-QAM 79
รูปที่ 4.19 เปรียบเทียบสัญญาณ 16-QAM ที่รวมกับสัญญาณนำร่องกับสัญญาณ 16-QAM ที่แยกได้ 80

เอกสารนี้เป็นลิขสิทธิ์ของจุฬาลงกรณ์มหาวิทยาลัย ห้ามมิให้ผู้ใดนำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รูปที่ 4.20 เปรียบเทียบสัญญาณ 16-QAM ทางภาคส่งกับสัญญาณ 16-QAM ที่ภาครับกู้ได้ 80
รูปที่ 4.21 เปรียบเทียบสัญญาณ 16-QAM เมื่อข้อมูลเป็น 1111 กับ QPSK1 ที่สร้างขึ้นใหม่ 81
รูปที่ 4.22 เปรียบเทียบสัญญาณ QPSK1 กับ QPSK2 ที่ภาครับ 82
รูปที่ 4.23 เปรียบเทียบสัญญาณ 16-QAM เมื่อข้อมูลเป็น 1100 กับ QPSK1 ที่สร้างขึ้นใหม่ 82
รูปที่ 4.24 เปรียบเทียบสัญญาณ QPSK1 กับ QPSK2 ที่ภาครับ 83
รูปที่ 4.25 เปรียบเทียบสัญญาณ 16-QAM เมื่อข้อมูลเป็น 1101 กับ QPSK1 ที่สร้างขึ้นใหม่ 83
รูปที่ 4.26 เปรียบเทียบสัญญาณ QPSK1 กับ QPSK2 ที่ภาครับ 84
รูปที่ 4.27 เปรียบเทียบสัญญาณ 16-QAM เมื่อข้อมูลเป็น 1110 กับ QPSK1 ที่สร้างขึ้นใหม่ 84
รูปที่ 4.28 เปรียบเทียบสัญญาณ QPSK1 กับ QPSK2 ที่ภาครับ 85
รูปที่ 4.29 เปรียบเทียบข้อมูลดิจิตอลบิท D_1 กับข้อมูลดิจิตอลบิท D_1 ที่กู้ได้ 85
รูปที่ 4.30 เปรียบเทียบข้อมูลดิจิตอลบิท D_2 กับข้อมูลดิจิตอลบิท D_2 ที่กู้ได้ 86
รูปที่ 4.31 เปรียบเทียบข้อมูลดิจิตอลบิท D_3 กับข้อมูลดิจิตอลบิท D_3 ที่กู้ได้ 86
รูปที่ 4.32 เปรียบเทียบข้อมูลดิจิตอลบิท D_4 กับข้อมูลดิจิตอลบิท D_4 ที่กู้ได้ 87
รูปที่ 4.33 เปรียบเทียบสัญญาณคลื่นพาห์ที่เป็นสัญญาณสี่เหลี่ยมกับสัญญาณไซน์ 200 kHz 88
รูปที่ 4.34 เปรียบเทียบสัญญาณคลื่นพาห์ที่เป็นสัญญาณสี่เหลี่ยมกับสัญญาณสี่เหลี่ยมที่ได้จากการหาร10 88
รูปที่ 4.35 เปรียบเทียบสัญญาณสี่เหลี่ยม 20 kHz ที่ได้หลังจากการหารกับสัญญาณนำร่องที่ได้ 89
รูปที่ 4.36 เปรียบเทียบสัญญาณคลื่นพาห์กับสัญญาณนำร่อง 89
รูปที่ 4.37 เปรียบเทียบสัญญาณที่รับได้(16-QAM+นำร่อง)กับสัญญาณนำร่องที่กู้ได้ 90
รูปที่ 4.38 เปรียบเทียบสัญญาณนำร่องกับสัญญาณนำร่องหลังผ่านวงจรคอมพาราเตอร์ 91
รูปที่ 4.39 เปรียบเทียบสัญญาณอินพุตที่เฟสดีเทคเตอร์ของวงจรเฟสล็อกลูป 91
รูปที่ 4.40 เปรียบเทียบสัญญาณนำร่องสี่เหลี่ยมความถี่ 20 kHz กับสัญญาณคลื่นพาห์สี่เหลี่ยม 200 kHz ที่กู้ได้ 92
รูปที่ 4.41 เปรียบเทียบคลื่นพาห์สี่เหลี่ยมที่กู้ได้กับสัญญาณคลื่นพาห์ที่ได้จากวงจรฟิลเตอร์ 92
รูปที่ 4.42 เปรียบเทียบสัญญาณนำร่องที่กู้ได้ทางด้านรับกับคลื่นพาห์ไซน์ที่กู้ได้ 93
รูปที่ 4.43 เปรียบเทียบข้อมูลดิจิตอลแบบสุ่มที่ถูกเข้ารหัสแบบแมนเชสเตอร์กับสัญญาณนาฬิกาที่กู้ได้ 94
รูปที่ 4.44 เปรียบเทียบสัญญาณนาฬิกา 16 kHz ที่กู้ได้ กับสัญญาณนาฬิกาที่สังเคราะห์ขึ้นมาใหม่ 94
รูปที่ 4.45 เปรียบเทียบข้อมูลดิจิตอลที่บิท D_1 ก่อนส่งเข้ามอดูเลตกับข้อมูลดิจิตอลที่บิท D_1 หลังจากดีมอดุเลตและกำเนิดขึ้นมาใหม่ 95
รูปที่ 4.46 เปรียบเทียบข้อมูลดิจิตอลที่บิท D_2 ก่อนส่งเข้ามอดูเลตกับข้อมูลดิจิตอลที่บิท D_2 หลังจากดีมอดุเลตและกำเนิดขึ้นมาใหม่ 95
รูปที่ 4.47 เปรียบเทียบข้อมูลดิจิตอลที่บิท D_3 ก่อนส่งเข้ามอดูเลตกับข้อมูลดิจิตอลที่บิท D_3 หลังจากดีมอดูเลตและกำเนิดขึ้นมาใหม่ 96

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รูปที่ 4.48 เปรียบเทียบข้อมูลดิจิตอลที่บิท D_4 ก่อนส่งเข้ามอดูเลตกับข้อมูลดิจิตอลที่บิท D_4 หลังจากดีมอดูเลตและกำเนิดขึ้นมาใหม่ 96
รูปที่ 4.49 เปรียบเทียบลำดับข้อมูลอนุกรมที่ขา Q_D กับสัญญาณโหลด 97
รูปที่ 4.50 เปรียบเทียบข้อมูลอนุกรมที่ใช้งานจริงกับสัญญาณโหลด 98
รูปที่ 4.51 เปรียบเทียบข้อมูลแบบสุ่มที่ป้อนให้ช่องสัญญาณที่ 1 ของวงจรมัลติเพล็กซ์กับข้อมูลเอาต์พุตที่ดีมัลติเพล็กซ์ออกมาได้ที่ช่องสัญญาณที่ 1 99
รูปที่ 4.52 เปรียบเทียบข้อมูลแบบสุ่มที่ป้อนให้ช่องสัญญาณที่ 2 ของวงจรมัลติเพล็กซ์กับข้อมูลเอาต์พุตที่ดีมัลติเพล็กซ์ออกมาได้ที่ช่องสัญญาณที่ 2 99
รูปที่ 4.53 เปรียบเทียบคลื่นพาห์ไซน์กับคลื่นพาห์โคไซน์ 100
รูปที่ 4.54 เปรียบเทียบเฟสระหว่างคลื่นพาห์ไซน์กับคลื่นพาห์โคไซน์ ในโหมด XY 101
รูปที่ 4.55 เปรียบเทียบสัญญาณไซน์ที่อินพุตของเครื่องส่งและเอาต์พุตของเครื่องรับแบบ 16-QAM 101
รูปที่ 4.56 แสดงสเปกตรัมของสัญญาณไซน์ที่วัดได้จากเครื่องรับ 16-QAM 102

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญตาราง

หน้า

ตารางที่3.1 แสดงข้อมูลไบนารี่ของกลุ่ม 1 ที่ถูกเปลี่ยนให้มีระดับแรงดันสองระดับ 27

ตารางที่3.2 แสดงข้อมูลไบนารี่ของกลุ่ม 2 ที่ถูกเปลี่ยนให้มีระดับแรงดันสองระดับ 27

ตารางที่3.3 สัญญาณ QPSK จากกลุ่มที่1 28

ตารางที่3.4 สัญญาณ QPSK จากกลุ่มที่2 28

ตารางที่3.5 สัญญาณ 16 QAM 29

ตารางที่4.1 แสดงขนาดสเปกตรัมที่ความถี่ต่างๆ 102

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่1
บทนำ

ระบบการสื่อสารในปัจจุบันจะเป็นระบบดิจิตอลเป็นส่วนใหญ่ เนื่องจากมีข้อดีหลักที่เหนือกว่าระบบอนาลอกคือเรื่องของสัญญาณรบกวนและความถูกต้องแม่นยำ ในระบบดิจิตอลเราสามารถกำเนิดสัญญาณขึ้นใหม่จากสัญญาณเดิมที่ถูกรบกวนได้ โดยสัญญาณที่กำเนิดขึ้นใหม่นี้มีลักษณะเหมือนด้านส่งทุกประการ ด้วยข้อดีหลักนี้ จึงมีผู้คิดค้นเทคนิควิธีการต่างๆมากมายที่จะนำมาใช้ในการส่งและรับข้อมูลดิจิตอล ซึ่งเทคนิคต่างๆที่เกิดขึ้น [1] ยังคงมีพื้นฐานอยู่บนเทคนิคการมอดูเลชันพื้นฐาน 3 เทคนิคคือ การมอดูเลชันทางแอมปลิจูด (AM) เช่น On-Off keying (OOK) , Binary phase shift keying (BPSK) , Quadrature amplitude modulation (QAM), Quadrature partial response (QPR) การมอดูเลชันทางความถี่ (FM) เช่น Frequency shift keying (FSK) , Continuous phase FSK (CP-FSK) , Minimum shift keying (MSK) การมอดูเลชันทางเฟส (PM) เช่น Binary phase shift keying (BPSK) , Differentially encode PSK (DE-PSK) , Differential PSK (DPSK)

เทคนิคที่เกิดขึ้นในครั้งแรกๆนั้นสามารถส่งข้อมูลไบนารี่ไปกับคลื่นพาห์ได้เพียงครั้งละหนึ่งบิทเท่านั้น ต่อมาพบว่าความต้องการในการสื่อสารระบบดิจิตอลเพิ่มสูงขึ้น การใช้ช่องทางสื่อสารที่มีอยู่ให้เกิดประโยชน์สูงสุดจึงเป็นสิ่งที่ต้องพิจารณา ดังนั้นเทคนิคใหม่ๆที่เกิดตามมาหลังจากนั้นจึงมุ่งเน้นให้สามารถส่งข้อมูลไบนารี่ไปกับคลื่นพาห์ได้มากกว่าครั้งละหนึ่งบิท จึงทำให้เสมือนว่าต้องการแบนวิดท์ในการส่งสัญญาณน้อยลง เทคนิคที่กล่าวถึงนี้ ยกตัวอย่างเช่น MASK , MPSK , MFSK , QAM

จากการศึกษาในบทความ [1] ทำให้ตัดสินใจเลือกเทคนิคการมอดูเลชันแบบ QAM เป็นหัวข้อโครงงาน เนื่องจากมีประสิทธิภาพและความยุ่งยากในการสร้างอยู่ในระดับปานกลาง โดยในโครงงานนี้จะใช้ 16-QAM ที่สามารถส่งข้อมูลไบนารี่ไปกับคลื่นพาห์ได้ครั้งละ 4 บิทเป็นตัวส่งและรับข้อมูลไบนารี่จากการแปลงสัญญาณอนาลอกเป็นดิจิตอลจำนวน 2 ช่อง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 2
ทฤษฎีและหลักการ

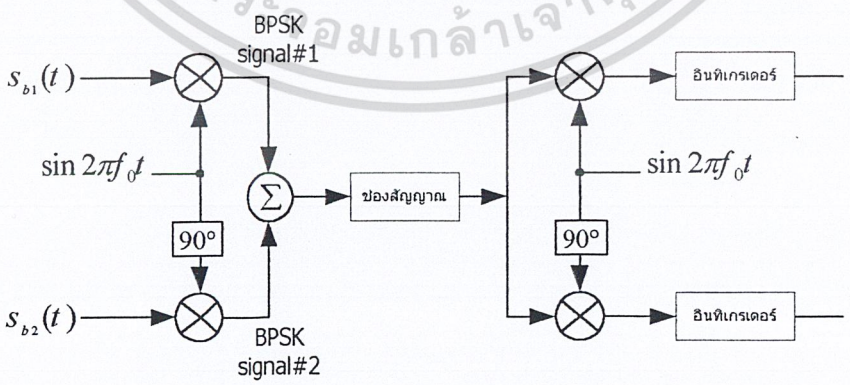
2.1 Quadrature Phase-Shift Keying (QPSK)

ในระบบของ BPSK นั้นเฟสของสัญญาณจะแตกต่างกัน 180 องศา ซึ่งสัญญาณจะอยู่ในรูปของ $\pm A.\cos\omega_c t$ แต่เรารู้ว่า $\cos\omega_c t$ และ $\sin\omega_c t$ เป็นสัญญาณที่เป็นออร์ทอกอนัล (orthogonal) กัน นั่นคือ ผลการอินทิเกรตของผลคูณทั้งสองเป็นศูนย์ ถ้าข้อมูลไบนารี่ถูกส่งโดยการใช้คลื่นพาห์ (carrier) ทั้ง $\sin\omega_c t$ และ $\cos\omega_c t$ ซึ่งออร์ทอกอนัล (orthogonal) กันแล้วจึงเป็นไปได้ที่จะแยกทั้งสองออกจากกันได้อย่างสมบูรณ์ที่เครื่องรับ โดยการใช้เทคนิคการตรวจจับแบบร่วมนัย (coherent detector) จากแนวคิดอันนี้จึงเป็นไปได้ที่จะส่งสัญญาณ BPSK สองสัญญาณซึ่งแยกกันมาพร้อมๆกันได้โดยไม่ทำให้แบนด์วิดท์ (bandwidth) เพิ่มขึ้น ระบบนี้แสดงได้ดังรูปที่ 2.1

เราจะสมมติว่าสัญญาณเบสแบนด์ (Baseband signal) เป็นพัลส์ไบโพล่า (bipolar pulse: $Sbi(t)$) แต่ละซีกของมอดูเลเตอร์ในรูปที่ 2.1 จะเป็น BPSK ที่มีคลื่นพาห์ (carrier) ซึ่งออร์ทอกอนัล(orthogonal) กัน ผลรวมจาก BPSK แต่ละซีกจะทำให้เกิดสัญญาณรูปแบบใดรูปแบบหนึ่งในสี่รูปแบบที่เป็นไปได้ดังต่อไปนี้

$$+\cos\omega_c t + \sin\omega_c t$$
$$+\cos\omega_c t - \sin\omega_c t$$
$$-\cos\omega_c t + \sin\omega_c t$$
$$-\cos\omega_c t - \sin\omega_c t$$

หรือ $$\pm(\cos\omega_c t \pm \sin\omega_c t) \qquad (2.1)$$



รูปที่2.1 บล็อกไดอะแกรมภาคส่งของ QPSKมอดูเลชั่น (QPSK modulation)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

โดยการใช้ความรู้ทางตรีโกณ(trigonometric) เทอมในวงเล็บของสมการที่ (2.1) สามารถเขียนใหม่ได้เป็น

$$\cos\omega_c t \pm \sin\omega_c t = \sqrt{2}.\cos(\omega_c t \pm \frac{\pi}{4})$$

ดังนั้นสัญญาณที่เป็นไปได้ทั้ง 4 รูปแบบข้างต้นสามารถเขียนใหม่ได้ดังนี้

$$\sqrt{2}.\cos(\omega_c t + \frac{\pi}{4})$$

$$\sqrt{2}.\cos(\omega_c t + \frac{3\pi}{4})$$

$$\sqrt{2}.\cos(\omega_c t + \frac{5\pi}{4})$$

$$\sqrt{2}.\cos(\omega_c t + \frac{7\pi}{4})$$

จุดของสัญญาณเหล่านี้บนระนาบสัญญาณ(signal space)จะอยู่ห่างเป็นระยะเท่าๆกันรอบวงกลม 1 หน่วย ดังแสดงในรูปที่ 2.2

รูปที่ 2.2 ระนาบสัญญาณของ QPSK

ดังนั้นการส่งสัญญาณออร์ทอกอนัล(orthogonal) BPSK ออกไปพร้อมๆกันจะเหมือนกับสัญญาณ MPSK ที่มีมุมที่เป็นไปได้ 4 มุม ซึ่งเราเรียกว่า Quadrature Phase-Shift Keying: QPSK

ข้อมูลที่อยู่ในรูปของลำดับข้อมูลไบนารี่นั้นจะถูกจับคู่กันเพื่อสร้างสัญญาณ 4 ระดับ เช่นยกตัวอย่างลำดับข้อมูลไบนารี่

011010110010

เราสามารถเขียนใหม่ในเลขฐาน 10 โดยจับทีละ 2 บิทได้ดังนี้

1 2 2 3 0 2

ซึ่งที่หลักแรกตรงกับ 01, หลักที่ 2 ตรงกับ 10, หลักที่ 3 ตรงกับ 10 และหลักต่อๆไป จากนั้นเราจะกำหนดเฟสที่ใช้กับข้อมูลไบนารี่ 2 บิทดังต่อไปนี้

$$00 \rightarrow \frac{\pi}{4} \quad , \quad 10 \rightarrow \frac{5\pi}{4} = -\frac{3\pi}{4}$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$01 \rightarrow \frac{3\pi}{4} \quad , \quad 11 \rightarrow \frac{7\pi}{4} = -\frac{\pi}{4}$$

ใช้การกำหนดเฟสนี้กับตัวอย่างข้างต้น เฟสที่ถูกส่งออกไปจะเป็น

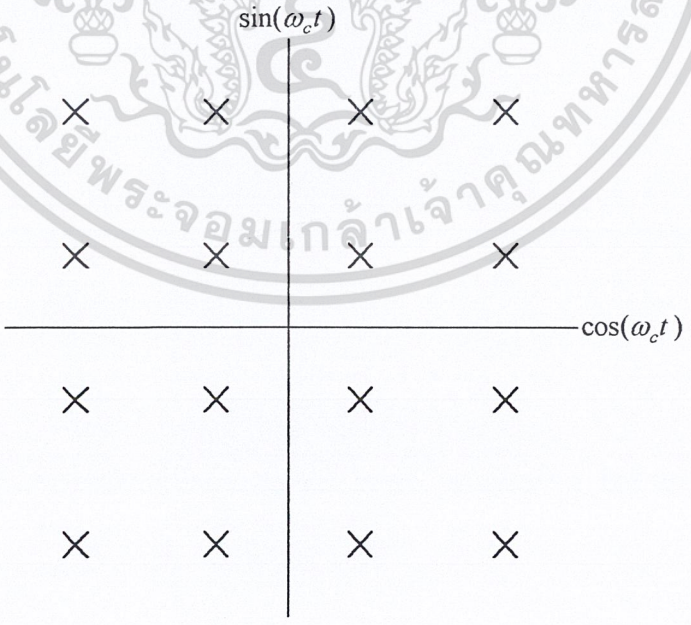
$$\frac{3\pi}{4}, -\frac{3\pi}{4}, -\frac{3\pi}{4}, -\frac{\pi}{4}, \frac{\pi}{4}, -\frac{3\pi}{4}$$

สังเกตว่าบอดเรต (boud rate) ที่ใช้ส่งเป็นครึ่งหนึ่งของที่BPSK ต้องการด้วยอัตราข้อมูลเดียวกัน ดังนั้น QPSK จึงต้องการแบนด์วิดท์เพียงครึ่งเดียวของที่บีพีเอสเคต้องการ อย่างไรก็ตาม หากไม่มีการเพิ่มกำลังงานให้กับสัญญาณQPSK แล้วจะทำให้อัตราการผิดพลาด (error rate) เพิ่มขึ้นเนื่องจากช่วงคงค่าของการตัดสินใจ (decision threshold) เข้ามาใกล้กันมากขึ้น

2.2 Quadrature Amplitude Modulation

จุดภายในระนาบสัญญาณของ MPSK นั้นจะวางตัวที่ตำแหน่งห่างเป็นระยะเท่าๆกัน รอบวงกลม ซึ่งประสิทธิภาพของ MPSK จะถูกปรับปรุงขึ้นได้ เมื่อจุดเหล่านี้ถูกแยกให้ห่างกันให้กว้างที่สุดเท่าที่จะเป็นไปได้

Quadrature Amplitude Modulation (QAM) เป็นอีกเทคนิคหนึ่งที่ทำให้การกระจายตัวของจุดที่แตกต่างกันภายในระนาบสัญญาณอยู่ห่างกันมากขึ้น ยกตัวอย่างเทคนิคการมอดูเลชันแบบ 16-QAM ซึ่งเป็นรูปแบบหนึ่งของเทคนิคการมอดูเลชันแบบ QAM ที่ให้การกระจายตัวของจุดในระนาบสัญญาณประกอบด้วยจุด 16 จุด ซึ่งเรียงเป็นตารางสี่เหลี่ยมอย่างสม่ำเสมอ ดังแสดงในรูปที่ 2.3



รูปที่ 2.3 การกระจายตัวของจุดในระนาบสัญญาณของเทคนิค 16-QAM

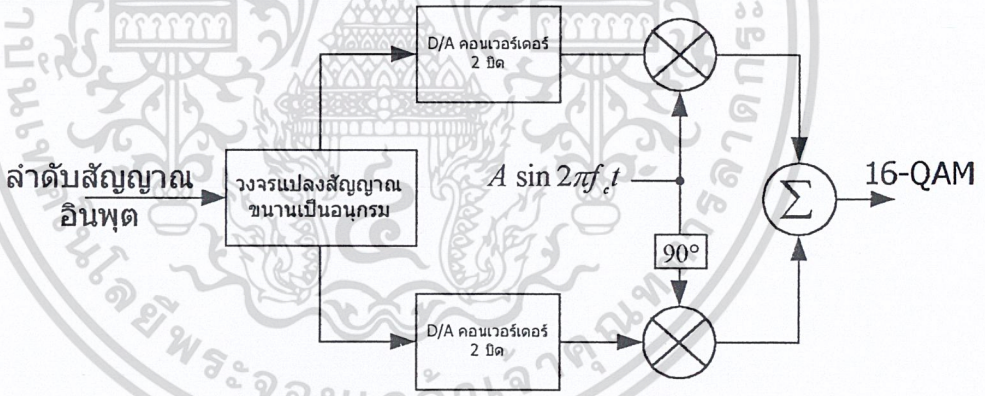
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

แต่ละสัญญาณ 16-QAM สามารถแสดงอยู่ในรูปของ

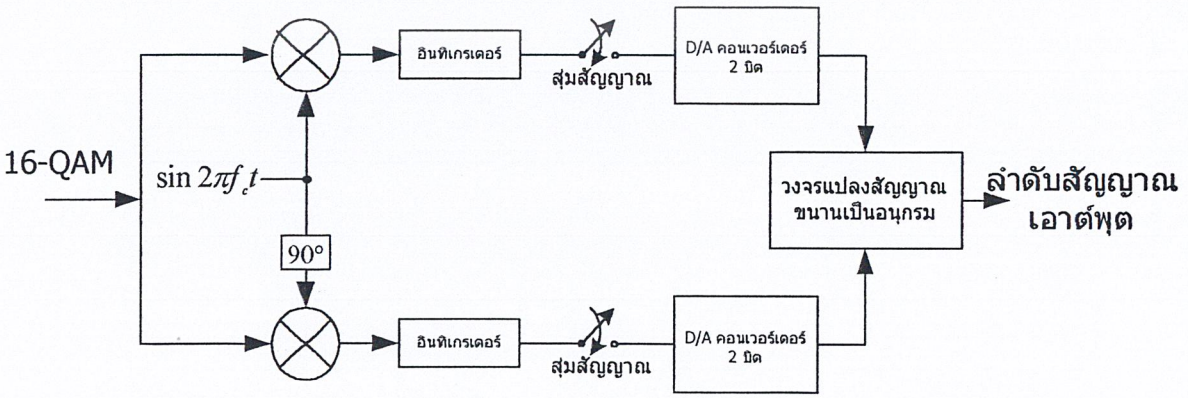
$$s_i(t) = A_i . \cos(\omega_c t + \theta_i)$$

เมื่อ i มีค่าจาก 1 ถึง 16

ระบบนี้จะใช้ข้อมูลอินพุตครั้งละ 4 บิท เพื่อผลิตสัญญาณที่จะส่งออกไปหนึ่งสัญญาณซึ่งทั้งเฟส (phase)และขนาด(amplitude)ของสัญญาณพาห์ไซนูซอยด์(sinusoidal carrier) ที่ส่งออกไปจะถูกควบคุมจากข้อมูลอินพุต4 บิทนี้ บล็อกไดอะแกรมของวงจรมอดูเลเตอร์แสดงในรูปที่ 2.4 บิทข้อมูลที่เป็นเลขคี่ในลำดับข้อมูลอินพุต(data stream input) จะถูกจับเป็นคู่เพื่อสร้างสัญญาณสี่ระดับมามอดูเลททางขนาดกับสัญญาณซายน์ (sine term) และบิทข้อมูลที่เป็นเลขคู่จะถูกจับคู่ในทำนองดียวกันกับบิทเลขคี่เพื่อมอดูเลททางขนาดกับสัญญาณโคซายน์ (cosine term) สัญญาณซายน์และสัญญาณโคซายน์ที่ถูกมอดูเลทแล้วจะถูกนำมารวมกันเกิดเป็นสัญญาณ 16-QAM ซึ่งสัญญาณ 16-QAMนี้จะถูกตรวจจับ (detec) แบบร่วมนัย (coherent) ที่ด้านรับโดยใช้คลื่นพาห์ $\sin \omega_c t$ และ $\cos \omega_c t$ ตามลำดับ บล็อกไดอะแกรมของวงจรดีมอดูเลเตอร์แสดงดังรูปที่ 2.5 หลังการตรวจจับ จะได้รับสัญญาณ 4 ระดับกลับคืนมา ซึ่งสัญญาณนี้จะถูกสุ่มค่าไปตรวจสอบ (sampling) ทุกๆคาบเวลาการส่งสัญญาณ เพื่อแปลงระดับสัญญาณกลับเป็นข้อมูลไบนารี่สองบิทตามเดิม ซึ่งข้อมูลไบนารี่สองบิทในแต่ละกลุ่มนี้จะมารวมกันเป็นสี่บิทอีกครั้ง ก่อนส่งออกไปเป็นลำดับข้อมูล (bit stream) ตามเดิมเหมือนทางด้านส่ง



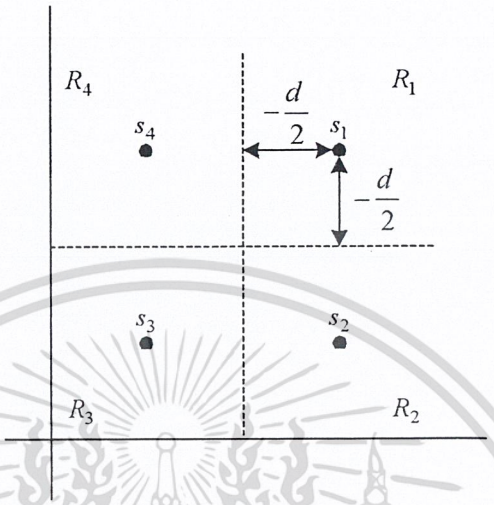
รูปที่ 2.4 บล็อกไดอะแกรมวงจรมอดูเลเตอร์



รูปที่ 2.5 บล็อกไดอะแกรมวงจรดีมอดูเลเตอร์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ถ้ากำหนดให้ทุกๆสัญญาณ16QAMมีความน่าจะเป็นเท่าๆกันและสัญญาณถูกรบกวนโดยAWGN (Average White Gaussian Noise) ซึ่งมี PSD = N/2 แล้วบริเวณขอบเขตการตัดสินใจ (Decision Region) จะเป็นดังรูปที่ 2.6 ซึ่งแสดงเฉพาะควอดแดรนท์ (quadrant) ที่ 1 เท่านั้น



รูปที่ 2.6 บริเวณขอบเขตการตัดสินใจ (Decision Region)

เราสามารถหาความน่าจะเป็นของการผิดพลาด (Error probability) ในการตรวจจับสัญญาณ 16QAM ได้จากรูปดังนี้

ให้ $P(c|m_i)$ เป็นความน่าจะเป็นที่จะตัดสินใจถูกต้อง เมื่อ m_i ถูกส่งมา ; m_i คือข้อมูล4บิท

ดังนั้น $P(c|m_1)$ = P(noise vector ซึ่งมีจุดกำเนิดอยู่ที่ตำแหน่ง s_1 จะอยู่ในอาณาบริเวณ R_1)

$$= P(n_1 \rangle -\frac{d}{2}, n_2 \rangle -\frac{d}{2})$$

$$= [1-Q(\frac{d}{\sqrt{2N}})]^2$$

เมื่อ n_1 = องค์ประกอบสัญญาณรบกวน(noise component) ในแกน $\cos\omega t$

n_2 = องค์ประกอบสัญญาณรบกวน(noise component) ในแกน $\sin\omega t$

เพื่อความสะดวกจะให้

$$p = [1-Q(\frac{d}{\sqrt{2N}})]$$

$$\therefore P(c|m_1) = p^2$$

ในทำนองเดียวกันเราจะได้

$$P(c|m_2) = P(c|m_4) = p(2p-1)$$

และ $$P(c|m_3) = (2p-1)^2$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เนื่องจากความสมมาตรของสัญญาณในทั้งสี่ควอดแดรนท์ ทำให้เราได้ความน่าจะเป็นของทั้งสี่สัญญาณในแต่ละควอดแดรนท์ ด้วยวิธีการทำนองเดียวกับข้างต้น

ให้ $P(c)$ เป็นความน่าจะเป็นของการตัดสินใจถูกต้อง

ซึ่ง
$$P(c) = \sum_{i=1}^{M} P(m_i)P(c|m_i)$$
$$P(c) = \frac{1}{16}\sum_{i=1}^{16} P(c|m_i)$$
$$P(c) = \frac{1}{16}[4p^2 + 4p(2p-1) + 4p(2p-1) + 4(2p-1)^2]$$
$$P(c) = \frac{1}{4}[9p^2 - 6p + 1]$$
$$P(c) = (\frac{3p-1}{2})^2$$

ดังนั้น ความน่าจะเป็นในการผิดพลาด (Error probability: P_{cm})

$$P_{cm} = 1 - P(c) = \frac{9}{4}(p + \frac{1}{3})(1-p)$$

ในทางปฏิบัติ $P_{cm} \to 0$ และดังนั้น $P(c) \to 1$ ซึ่งหมายความว่า $p \approx 1$ ทำให้เราประมาณ P_{cm} ได้ว่า

$$P_{cm} \approx 3(1-p) = 3Q(\frac{d}{\sqrt{2N}}) \qquad (2.2)$$

เพื่อแสดงสมการนี้ในเทอมของกำลังงานของสัญญาณที่รับเข้ามา S_i เรากำหนดให้ $\overline{E}$ เป็นพลังงานเฉลี่ยของชุดสัญญาณในรูปที่ 2.6 เนื่องจาก E_i (พลังงานของ s_i) คือ กำลังสองของระยะทางของ S_i จากจุดกำเนิด

$$E_1 = (\frac{3d}{2})^2 + (\frac{3d}{2})^2 = \frac{9}{2}d^2$$

และในทำนองเดียวกัน

$$E_2 = \frac{5}{2}d^2, E_3 = \frac{d^2}{2} \text{ และ } E_4 = \frac{5}{2}d^2$$

ดังนั้น
$$\overline{E} = \frac{1}{4}[\frac{9}{2}d^2 + \frac{5}{2}d^2 + \frac{d^2}{2} + \frac{5}{2}d^2] = \frac{5}{2}d^2$$
$$\therefore d = \sqrt{\frac{2\overline{E}}{5}}$$

แทนค่า d ลงในสมการ (2.2) จะได้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

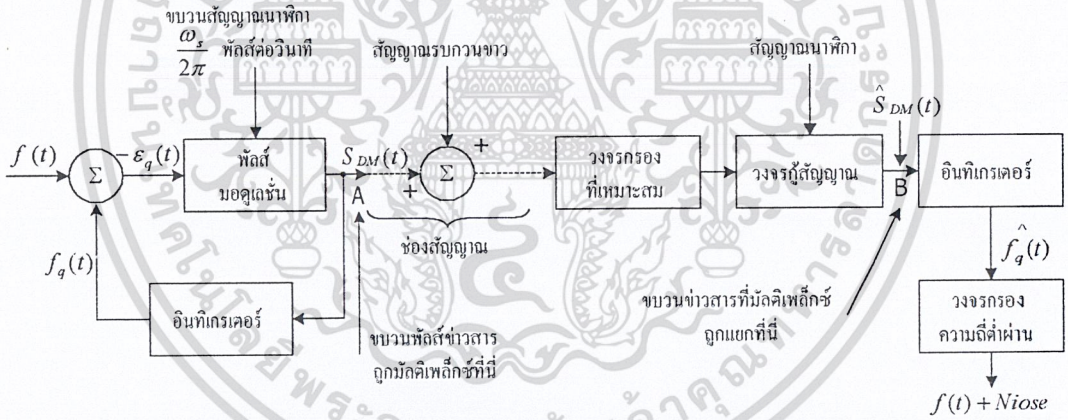
$$P_{cm} = 3Q(\sqrt{\frac{\overline{E}}{5N}})$$

เมื่อเปรียบเทียบระบบ 16 QAMกับระบบบีพีเอสเคแล้วจะพบว่า 16 QAM ต้องการกำลังสัญญาณเกือบ 10 เท่าของที่ BPSK ต้องการที่ความน่าจะเป็นในการผิดพลาด (error probability) เท่ากัน แต่อัตราการส่งถ่ายสูงขึ้นเป็น 4 เท่า

2.3 เดลต้ามอดูเลชั่น (Delta modulation)

เดลต้ามอดูเลชั่นอาจอธิบายได้ว่าเป็นการมอดูเลตรหัสพัลส์ (Pulse Code Modulation :PCM) ชนิดหนึ่งที่ใช้การเข้ารหัสเพียง 1 บิท เท่านั้น การเข้ารหัส 1 บิท ถูกทำให้เป็นไปได้โดย ฟีดแบ็คลูป (feedback loop) ที่เป็นส่วนหนึ่งของกระบวนการเข้ารหัสซึ่งมีอินทิเกรเตอร์แบบอุดมคติ (idel integrator) อยู่ในฟีดแบ็คลูปนั้นและจะถูกเรียกว่า เบสิกเดลต้ามอดูเลชั่น (basic delta modulation)

2.3.1 ระบบของบล็อกไดอะแกรม (System block diagram)



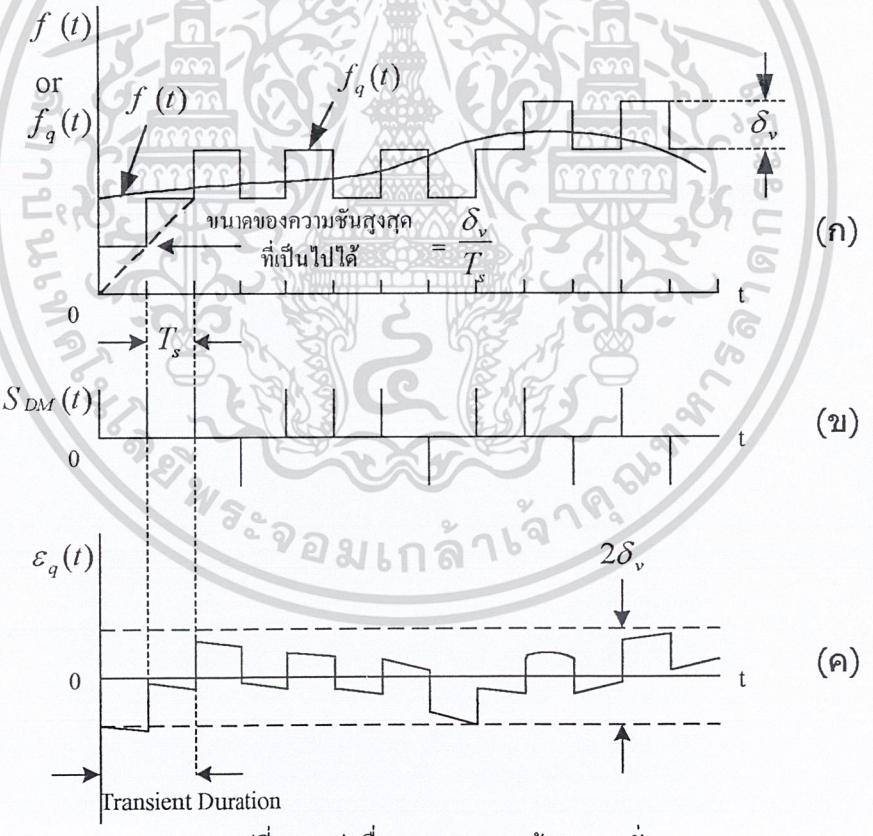
รูปที่ 2.7 บล็อกไดอะแกรมของระบบเดลต้ามอดูเลชั่น

รูปที่ 2.7 แสดงองค์ประกอบของระบบเดลต้ามอดูเลชั่น ทางด้านส่งพัลส์มอดูเลชั่น รับอินพุตขบวนพัลส์ของพัลส์สัญญาณนาฬิกา (clock pulse) ที่มีแอมปลิจูดคงที่และเกิดขึ้นด้วยอัตรา $\omega_s / 2\pi$ พัลส์ต่อวินาที มาแปลงเป็นขบวนเอาต์พุตของโพล่าส์พัลส์ (polar pulse) ซึ่งลักษณะขั้วของมันจะถูกกำหนดโดย สัญญาณความผิดพลาดของลูป (loop error signal : $-\varepsilon_q(t)$) ถ้า $-\varepsilon_q(t)$ เป็นบวกที่เวลาของอินพุตพัลส์ใดๆที่กำหนดให้ เอาต์พุตพัลส์จะเป็นบวก แต่ถ้า $-\varepsilon_q(t)$ เป็นลบ เอาต์พุตพัลส์ก็จะเป็นลบ ค่าความผิดพลาด $-\varepsilon_q(t)$ เป็นผลต่าง $\{f(t)-f_q(t)\}$ ระหว่างข่าวสารอินพุต $f(t)$ และ $f_q(t)$ ที่เกิดจากการอินทิเกรตขบวนพัลส์ $S_{DM}(t)$ ซึ่งถูกกำหนดขึ้นทางเอาต์พุต เราจะสมมติว่าพัลส์ที่ถูกกำหนดขึ้นเหล่านี้มีช่วงเวลา τ ซึ่งสั้นเมื่อเทียบกับเวลาระหว่างแซมเปิลพัลส์ (sample pulse : $T_s = \omega_s / 2\pi$) ดังนั้นเอาต์พุตอินทิเกรเตอร์แบบอุดมคติ $f_q(t)$ จะเป็นรูปคลื่นขั้นบันได ที่ปรับขึ้นทาง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับใช้ในการศึกษาเท่านั้น ไม่อนุญาตให้ทำซ้ำ ดัดแปลง เผยแพร่ หรือนำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บวกสำหรับแต่ละพัลส์ที่เป็นบวก และปรับขั้นลงทางลบสำหรับแต่ละพัลส์ที่เป็นลบ จะเห็นได้ว่าแต่ละพัลส์ที่ถูกส่งออกไปคือ สัญญาณ $-\varepsilon_q(t)$ ที่ถูกเข้ารหัสแบบ 1 บิท เนื่องจากว่าตอนนี้การทำงานของลูปจะพยายามให้ $f_q(t)$ มีค่าประมาณ $f(t)$ ทำให้การทำงานรวมทั้งหมดของมอดูเลเตอร์คือการส่งข้อมูล 1 บิท เกี่ยวกับการเปลี่ยนแปลงของ $f(t)$ ต่อเวลา

เพื่อให้เข้าใจถึงการทำงานดีขึ้น สมมติให้ $f(t)$ ถูกจ่ายที่ t=0 ดังแสดงในรูปที่ 2.8 (ก) ให้ขบวนอินพุตพัลส์สัญญาณนาฬิกาเป็นพัลส์ที่เกิดขึ้นที่เวลา t=0 และช่วงเวลาสั้น ๆ ต่อจากนั้น $f_q(t)$ และเอาต์พุตพัลส์จะเป็นบวกทั้งหมด ดังแสดงในรูปที่ 2.8 (ข) ในระหว่างคาบเวลาชั่วครู่ (transient period) สัญญาณ $f_q(t)$ จะเพิ่มขั้น δ_v ขึ้นให้เข้าใกล้ข่าวสาร $\hat{f}_q(t)$ จนกระทั่งสุดท้าย $f_q(t)$ มีแรงดันเกิน $f(t)$ หลังจากช่วงคาบเวลาชั่วครู่ไปแล้ว $f_q(t)$ จะประมาณเท่ากับ $f(t)$ และเอาต์พุตพัลส์ที่ถูกกำหนดก็จะมีทั้งพัลส์บวกและลบด้วยจำนวนเท่าๆกัน พฤติกรรมของสัญญาณความผิดพลาด $-\varepsilon_q(t)$ แสดงดังรูปที่ 2.8 (ค) ยกเว้นจากช่องคาบเวลาชั่วครู่แล้วสัญญาณความผิดพลาด $-\varepsilon_q(t)$ จะไม่เกินไปจาก $\pm\delta_v$ ซึ่ง δ_v ถูกเรียกว่าขนาดขั้น



รูปที่ 2.8 รูปคลื่นของระบบเดลต้ามอดูเลชั่น

(ก) $f(t)$ และ $f_q(t)$

(ข) สัญญาณเดลต้ามอดูเลชั่น

(ค) สัญญาณความผิดพลาด

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ทางด้านรับวงจรกรองที่เหมาะสม (match fiter) ที่แสดงในรูปที่ 2.7 มีไว้เพื่อให้มีความต้านทานต่อสัญญาณรบกวนได้ดี ถัดไป คือ การสร้างขบวนพัลส์ที่ถูกสร้างมาขึ้นใหม่อีกครั้งเพื่อกำจัดสัญญาณรบกวนออก ซึ่งหลังจากนี้เราจะได้ $\hat{S}_{DM}(t)$ ซึ่งเป็นสัญญาณ $S_{DM}(t)$ ที่ถูกนำกลับมาสร้างขึ้นใหม่อีกครั้ง สำหรับข่าวสารใดๆ เอาต์พุตของอินทิเกรเตอร์ $\hat{f}_q(t)$ จะประมาณเท่ากับสัญญาณ $f_q(t)$ ในด้านส่ง ดังนั้น $\hat{f}_q(t) \approx f_q(t)$ สุดท้าย วงจรกรองความถี่ต่ำผ่านที่มีแบนด์วิดท์ ω_f จะถูกใช้เพื่อทำให้ $\hat{f}_q(t)$ ราบเรียบขึ้น ซึ่งเราก็จะได้สัญญาณ $f_q(t)$ บวกค่าความผิดพลาดที่อาจมองได้ว่าเป็นสัญญาณรบกวน

2.3.2 ค่าความผิดพลาดและความชัน (Error and Slope)

ถึงแม้ว่าสัญญาณรบกวนแบบสุ่ม (random noise) ที่เครื่องรับนั้นเล็กน้อยสามารถตัดทิ้งได้ ข่าวสารที่ถูกสร้างขึ้นใหม่ $\hat{f}_q(t)$ รูปที่ 2.8 ที่ดีที่สุดก็คือเท่ากับ $f_q(t)$ ไม่สามารถเท่ากับข่าวสาร $f(t)$ เดิมได้ เพราะว่าเราใช้การควอนท์ไทซ์ 1 บิท อย่างไรก็ตามเนื่องจาก

$$f_q(t) = f(t) + \varepsilon_q(t) \tag{2.3}$$

เครื่องรับอาจมองเห็นได้ว่าเป็นการกู้สัญญาณ $f(t)$ ที่มีความผิดพลาด $\varepsilon_q(t)$ ซึ่ง $\varepsilon_q(t)$ ถูกเรียกว่า ค่าความผิดพลาดในการควอนท์ไทซ์ (quantization error) ในระบบเดลต้ามอดูเลชั่นมีค่าความผิดพลาดที่ไม่ได้เกิดจากสัญญาณรบกวน 2 ชนิด คือ สัญญาณรบกวนแบบเกร็ดอณู (granular error) , $\varepsilon_q(t)$, เกิดจากการควอนท์ไทซ์ในกระบวนการเข้ารหัส 1 บิท และ (slope overload error), $\varepsilon_{so}(t)$ error ทั้งสองรวมกันเรียกว่า ค่าความผิดพลาดจากการควอนไทซ์ ในเดลต้ามอดูเลชั่น ดังนั้นเราอาจเขียนสมการที่ (2.3) ใหม่ได้เป็น

$$f_q(t) = f(t) + \varepsilon_q(t) + \varepsilon_{so}(t) \tag{2.4}$$

สัญญาณรบกวนแบบเกร็ดอณู จะเกิดขึ้นเมื่อ $f(t) \approx f(t) + \varepsilon_q(t)$ นั่นคือในระหว่างช่วงของเวลาเมื่อไม่มีความผิดพลาดชั่วครู่เกิดขึ้น ส่วนความชันเกินภาระ (slope overload error) เกิดขึ้นเมื่อข่าวสารอินพุตที่เดลต้ามอดูเลชั่นมีความชันเกินความสามารถทางความชันของสัญญาณฟีดแบ็ค $f_q(t)$ จากรูปที่ 2.8 (ก) ความสามารถในการกำเนิดความชันสูงสุดคือ δ_v / T_s ดังนั้นเพื่อป้องกันความชันเกินภาระ

$$\left|\frac{df(t)}{dt}\right|_{\max} \leq \frac{\delta_v}{T_s} \tag{2.5}$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ต้องการเงื่อนไขให้เป็นไปตามสมการ(2.5) ถ้าเงื่อนไขสมการ (2.5) ไม่เป็นจริงแล้วจะเกิดความชันเกินภาระอาจแก้ไขโดยการเพิ่ม step size หรือ โดยการลด T_s ลง (การชักค่าที่อัตราสูงขึ้น) ความชันเกินภาระจึงเป็นข้อจำกัดอันหนึ่งของเดลต้ามอดูเลชั่น

เพื่อให้ตระหนักถึงผลกระทบของความชันเกินภาระ พิจารณาข่าวสารไซนูซอยด์

$$f(t) = Af.\cos(\omega f.t) \tag{2.6}$$

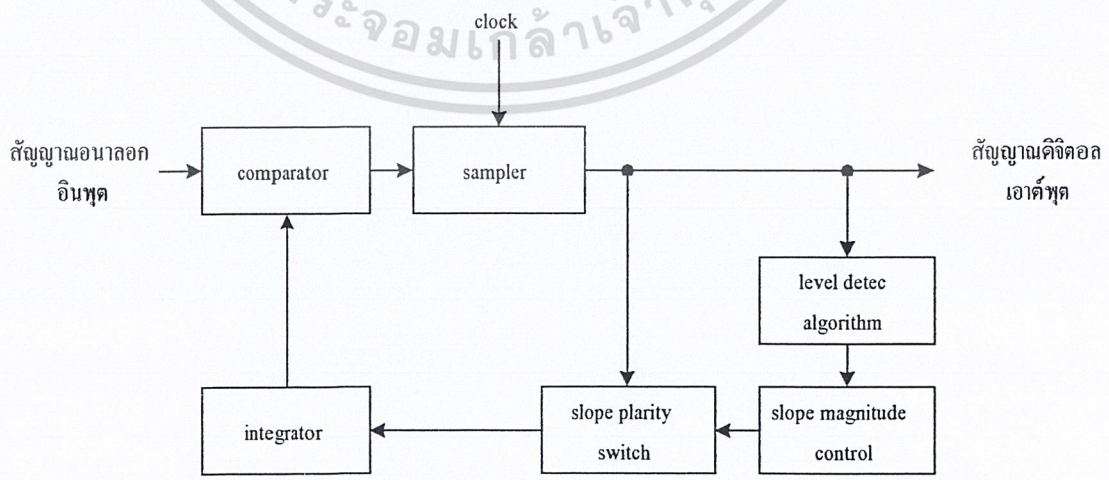
จากสมการ (2.5) จะได้ว่า

$$\frac{Af}{\delta_v} \leq \frac{1}{2\pi}\left(\frac{\omega_s}{\omega_f}\right) \tag{2.7}$$

ทางขวามือของสมการ(2.7) อาจมองได้ว่าเป็นคุณลักษณะของสเปกตรัมของเดลต้ามอดูเลชั่นแบบพื้นฐาน เนื่องจากสมการเป็นฟังก์ชั่นของ ω_f ลักษณะเช่นนี้เราคาดว่าเดลต้ามอดูเลชั่นจะเหมาะสมอย่างยิ่งต่อรูปคลื่นที่มีสเปกตรัมความหนาแน่นกำลังของตัวมันเองประมาณได้ตามที่กล่าวไปแล้วข้างต้น

2.3.3 ระบบเดลต้ามอดูเลชั่นแบบเปลี่ยนแปลงความชันต่อเนื่อง (Continuous Variable Slope Delta Modulation)

เนื่องจากระบบเดลต้ามอดูเลชั่นธรรมดามีค่า ไดนามิกส์เรนจ์ หรือ ความเร็วของการเปลี่ยนแปลงความสูงของสัญญาณ (dynamic range) ที่แคบ จำเป็นต้องมีส่วนเพิ่มเติมทำหน้าที่ขยายไดนามิกส์เรนจ์ให้กว้างขึ้น โดยการควบคุมอัตราการขยายตัวของอินทิเกรเตอร์ เพื่อให้ตอบสนองต่อสัญญาณที่มีความชันมากๆ ได้ทัน ระบบนี้มีชื่อเรียกใหม่ว่า ระบบเดลต้ามอดูเลชั่นแบบเปลี่ยนแปลงความชันต่อเนื่อง หรือ CVSD (Continuous Variable Slope Delta Modulation)



รูปที่ 2.9 บล็อกไดอะแกรมการทำงานของ CVSD ในการแปลงสัญญาณจากอนาลอกเป็นดิจิตอล

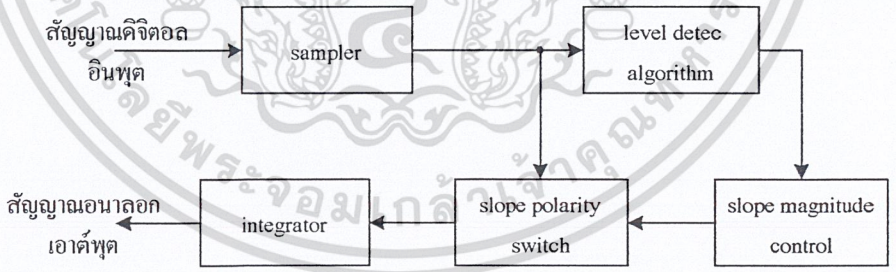
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ระบบ CVSD ทั้งส่วนแปลงจากอนาลอกเป็นดิจิตอล และส่วนแปลงกลับจากดิจิตอลเป็นอนาลอก รูปที่ 2.9 และรูปที่ 2.10 ตามลำดับ วิธีการของ CVSD คือ การตรวจระดับสัญญาณ โดยอาจใช้วิธีการจัดให้มีรีจิสเตอร์ (register) สำหรับเก็บข้อมูลล่าสุดจำนวน 3 ถึง 4 บิท แล้วตรวจดูว่าเป็น "0" หมดหรือ "1" หมดหรือไม่ ถ้าใช่แสดงว่าขณะนี้ต้องการอัตราขยายสูงชันเฉพาะช่วงนั้น ในส่วนของการแปลงกลับก็มีการทำงานในลักษณะเดียวกัน คือ มีรีจิสเตอร์ตรวจดูข้อมูลว่าเป็น "0" หมดหรือ "1" หมดหรือไม่ แล้วจัดการควบคุมอัตราการขยายของอินทิเกรเตอร์ให้สอดคล้องกัน

สำหรับวงจร Continuous Variable Slope นั้นมีจุดประสงค์ เพื่อเพิ่มเติมไดนามิกส์เรนจ์ ซึ่งทำได้โดยการปรับอัตราขยายของวงจรอินทิเกรเตอร์ ด้วยวิธีการตรวจสอบสัญญาณอินพุต โดยใช้วงจรเลื่อนข้อมูล (shift register) นี้จะมี 3 หรือ 4 ตัวตามแต่การใช้งาน CVSD จะคอยเช็คดูว่าค่าภายในวงจรเลื่อนข้อมูลเป็น "0" หรือ "1" ทั้งหมดแสดงว่าอัตราขยายของอินทิเกรเตอร์น้อยไป เราจะได้ผลแสดงออกมาทาง coincidence เอาต์พุตนี้จะไปทำการเพิ่มอัตราขยายของอินทิเกรเตอร์

นอกจากวิธีการใช้วงจรเลื่อนข้อมูลแล้วยังมีวิธีอื่นอีก เช่น การวัดกำลังเฉลี่ย (power average) หรือการวัดขนาดของสัญญาณอินพุต หรือตรวจสอบค่าขณะของอินพุต ซึ่งวิธีการเหล่านี้ล้วนแล้วแต่ต้องการควบคุมอัตราขยาย ของอินทิเกรเตอร์ เพื่อเพิ่มไดนามิกส์เรนจ์ของเดลต้ามอดูเลชั่นทั้งสิ้น

จากวิธีการเข้ารหัสนี้ถ้าถูกนำมาใช้ในการถอดรหัสที่ทางด้านรับ เราก็จะได้สัญญาณดิจิตอลเอาต์พุตที่มีรูปร่างเช่นเดียวกับทางด้านอินพุต จากวิธีการของ CVSD นี้เราเรียกว่าการ Compand (compress + expand) ถ้านำสัญญาณดิจิตอลเอาต์พุตของการเข้ารหัส CVSD มีการถอดรหัสด้วยเดลต้ามอดูเลชั่นแบบธรรมดา เอาต์พุตหลังจากผ่านอินทิเกรเตอร์แล้ว จะมีลักษณะเช่นเดียวกับทางอินต์พุตแต่ระดับแอมปลิจูดจะขนาดเท่ากันตลอด ดังนั้นวิธีการถอดรหัส CVSD ก็ต้องใช้เช่นเดียวกับวิธีการเข้ารหัส



รูปที่ 2.10 บล็อกไดอะแกรมการทำงานของ CVSD ในการแปลงสัญญาณจากดิจิตอลเป็นอนาลอก

2.4 ฟิลเตอร์แบบแอกทีฟ (Active Filter)

ฟิลเตอร์แบบแอกทีฟทำหน้าที่กรองความถี่สัญญาณ ซึ่งมีลักษณะวงจรที่ประกอบด้วยภาคขยาย เช่น ทรานซิสเตอร์หรือไอซี และ เครือข่ายเลือกความถี่ (Frequency Selective Network) จำพวกตัวความต้านทาน ตัวเก็บประจุ วงจรจะให้ผ่านได้เฉพาะสัญญาณในช่วงความถี่ที่กำหนดและในขณะเดียวกันจะขวางกั้น(Block) หรือลดทอนสัญญาณนอกเหนือช่วงความถี่ดังกล่าว มิให้ปรากฏที่เอาต์พุต

โดยทั่วไปแล้ววงจรกรองสัญญาณแบ่งออกเป็นหลายรูปแบบ ดังนี้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

1. วงจรกรองความถี่ชนิดอนาลอกหรือดิจิตอล
2. วงจรกรองความถี่ประเภทแอกทีฟหรือพาสซีฟ
3. วงจรกรองความถี่ย่านความถี่เสียง(Audio Frequency) หรือ ย่านความถี่วิทยุ(Radio Frequency)

ฟิลเตอร์แบบแอกทีฟ ออกแบบมาเพื่อใช้กับสัญญาณอนาลอกส่วนวงจรกรองสัญญาณแบบดิจิตอลใช้งานกับสัญญาณดิจิตอลโดยอาศัยเทคนิคทางอนาลอกมาช่วย ถ้าคำนึงถึงชิ้นส่วน(Element)ที่นำมาประกอบกันเป็นวงจรกรองสัญญาณจะแบ่งออกเป็นฟิลเตอร์แบบแอกทีฟและพาสซีฟชิ้นส่วนที่วงจรใช้ในฟิลเตอร์แบบแอกทีฟประกอบด้วยตัวขยายสัญญาณ จำพวกทรานซิสเตอร์หรือไอซี ในรูปของออปแอมป์และ ตัวต้านทาน ตัวเก็บประจุ ทำงานร่วมกัน ส่วนตัวต้านทาน ตัวเก็บประจุ และตัวเหนียวนำ ถือได้ว่าเป็นชิ้นส่วนประเภท Passive element การจะเลือกใช้ชิ้นส่วนชนิดใดนั้น ขึ้นอยู่กับย่านความถี่ของสัญญาณที่ต้องการให้วงจรกรองสัญญาณทำงาน ยกตัวอย่างเช่น ฟิลเตอร์แบบอาร์ซีใช้กับย่านความถี่เสียงหรือในย่านความถี่ต่ำในขณะที่ ฟิลเตอร์แบบแอลซีจะใช้ในย่านความถี่วิทยุหรือย่านความถี่สูง

ข้อดีของ ฟิลเตอร์แบบแอกทีฟ ที่เหนือกว่า ฟิลเตอร์แบบพาสซีฟ

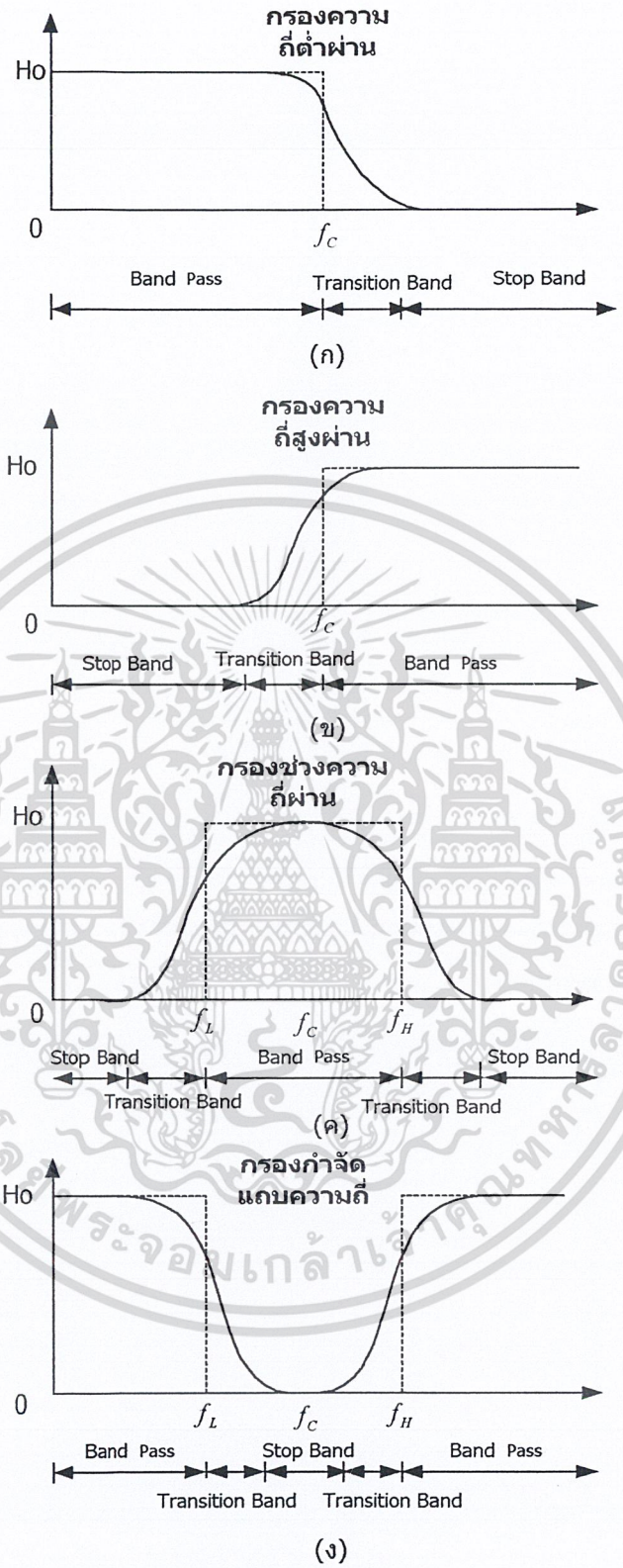
1. การปรับอัตราการขยายและปรับความถี่เป็นอิสระต่อกัน เราสามารถจัดค่าอัตราการขยายของออปแอมป์ชดเชยกับอัตราการลดทอนสัญญาณของวงจรอาร์ซี หรือเพิ่มอัตราการขยายของวงจรทั้งหมดด้วยการจัดค่าชิ้นส่วนอุปกรณ์ในส่วนของวงจรขยายออปแอมป์และการปรับเปลี่ยนความถี่ก็อยู่ที่ค่าอาร์ซี นี้ด้วย
2. ไม่มีปัญหาผลการโหลด (Loading effect) จากการที่ออปแอมป์มีคุณสมบัติของอินพุตอิมพีแดนซ์(Input Impedance)สูงและเอาต์พุตอิมพีแดนซ์(Output Impedance)ต่ำ วงจรฟิลเตอร์แบบแอกทีฟอาศัย ออปแอมป์จึงไม่เกิดปัญหาการโหลดระหว่างเอาต์พุตและอินพุตของวงจร ณ จุดที่นำฟิลเตอร์แบบแอกทีฟเข้าต่อร่วม
3. ราคาถูกกว่าเนื่องจากฟิลเตอร์แบบแอกทีฟมีราคาถูกกว่าฟิลเตอร์แบบพาสซีฟเพราะไม่ต้องอาศัยตัวเหนี่ยวนำที่มีราคาแพงและยังใช้ออปแอมป์ซึ่งในปัจจุบันราคาถูก

เราแบ่ง Active Filter ตามลักษณะการทำงานออกเป็น 5 ชนิด

- กรองความถี่ต่ำผ่าน (Low Pass Filter)
- กรองความถี่สูงผ่าน(High Pass Filter)
- กรองช่วงความถี่ผ่าน(Band Pass Filter)
- กรองกำจัดแถบความถี่ (Band Reject Filter)
- กรองความถี่ผ่านตลอด(All Pass Filter)

ผลตอบสนองความถี่ของวงจรกรองความถี่ทั้ง 5 ชนิดแสดงดังรูปที่ 2.17 เส้นประแสดงถึงการตอบสนองที่เป็นอุดมคติในทางทฤษฎีส่วนเส้นทึบแสดงการตอบสนองในทางปฏิบัติ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่2.11 ผลตอบสนองทางความถี่ของวงจรกรองความถี่แบบต่างๆ

จากรูปที่ 2.11 (ก) แสดงการตอบสนองความถี่ของวงจรกรองความถี่ต่ำผ่านมีขนาดของอัตราขยาย (Gain) คงที่จากความถี่ 0 Hz ถึงความถี่คัทออฟ (f_C) ค่าของแบนวิดท์ (Bandwidth) จึงเท่ากับ f_C

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ที่ f_C หรือตำแหน่งความถี่คัทออฟนั้นอัตราขยายจะลดลง 3 dB และที่ความถี่มากกว่า f_C นั้นคือที่ $f > f_C$ อัตราขยายของวงจรจะลงลดทุกขณะอย่างต่อเนื่องตามความถี่ของของสัญญาณอินพุตที่เพิ่มขึ้น ช่วงความถี่ระหว่าง 0 ถึง f_C เรียกว่าช่วงผ่าน (Bandpass) ส่วนช่วงที่ความถี่สูงกว่า f_C ขึ้นไปซึ่งเกิดการลดทอนทุกขณะจะเรียกว่าช่วงหยุด (Stopband)

จากการตอบสนองที่เป็นทางอุดมคติในเส้นประทำให้วงจรกรองสัญญาณที่เป็นทางอุดมคติจะมีความสูญเสียเป็นศูนย์ในช่วงผ่านและมีความสูญเสียเป็นอนันต์ในช่วงหยุดแต่สภาพความเป็นจริงในทางปฏิบัติ มิเป็นเช่นนั้นเพราะโครงข่ายวงจรชนิดเชิงเส้น (Linear Network) ไม่สามารถสร้างคุณสมบัติของความไม่ต่อเนื่องขึ้นได้ อย่างไรก็ตามเราอาจสร้างเส้นตอบสนองในทางปฏิบัติตามเส้นทึบให้ใกล้เคียงกับเส้นการตอบสนองที่เป็นอุดมคติได้ โดยอาศัยเทคนิคการออกแบบวงจรเป็นพิเศษเข้ามาช่วยรูปแบบของวงจรกรองสัญญาณที่นิยมนำมาใช้กันในทางปฏิบัติ ซึ่งให้เส้นตอบสนองใกล้เคียงทางอุดมคติ ได้แก่ วงจรกรองแบบบัตเทอร์เวิร์ท ให้คุณลักษณะของทั้งช่วงผ่านและช่วงหยุดในลักษณะค่อนข้างราบเรียบซึ่งในโครงงานนี้จะใช้วิธีการนี้เช่นกัน

รูปที่2.11 (ข) เป็นเส้นตอบสนองของวงจรกรองความถี่สูงผ่าน เมื่อให้ f เป็นความถี่ใดๆและ f_C เป็นความถี่คัทออฟ แล้วช่วงหยุดจะอยู่ที่ความถี่ $0 < f < f_C$ และช่วงผ่านอยู่ที่ $f > f_C$

รูปที่2.11 (ค) แสดงการตอบสนองความถี่ของวงจรกรองแถบความถี่ผ่าน ช่วงผ่านจะอยู่ระหว่างสองความถี่คัทออฟได้แก่ f_H (High cutoff frequency) และ f_L (Low cutoff frequency) ซึ่งเป็นตำแหน่งที่อัตราขยายลดลง 3 dB และช่วงหยุดมีสองช่วงที่ $0 < f < f_L$ กับ $f > f_H$ โดยที่ $f_H > f_L$ ค่าแบนวิดธ์ของวงจรกรองแถบความถี่ผ่าน (Band pass filter) เท่ากับ $f_H - f_L$

รูปที่2.11 (ง) แสดงการตอบสนองความถี่ของวงจรกรองกำจัดแถบความถี่ ซึ่งมีเส้นคุณลักษณะตรงข้ามกับ วงจรกรองแถบความถี่ผ่าน กล่าวคือช่วงหยุดจะอยู่ระหว่างความถี่คัทออฟสองจุดคือ f_H กับ f_L และมีช่วงผ่านสองช่วงอยู่ระหว่างความถี่ $f > f_H$ และ $0 < f < f_L$ อาจเรียก Band Reject Filter ว่า Band Stop Filter หรือ Band Elimination Filter ก็ได้ ค่าแบนวิดท์ของช่วงหยุดเท่ากับ $f_H - f_L$

2.5 บาลานซ์มอดูเลเตอร์ (Balanced Modulator)

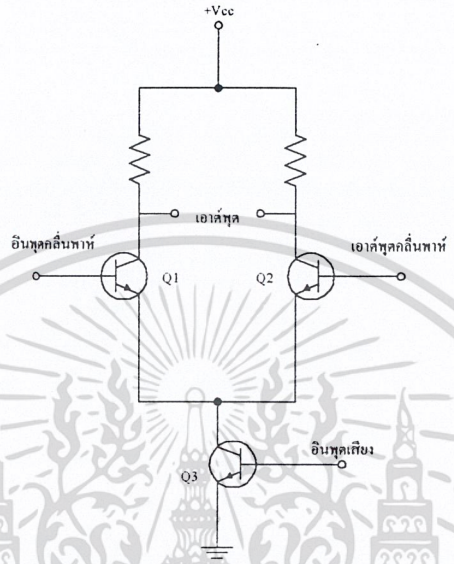
เนื่องจากในระบบเอเอ็มไม่มีข่าวสารปนอยู่ในคลื่นพาห์ เราจึงสามารถกำจัดหรือเอาคลื่นพาห์ออกก่อนที่จะทำการส่งออกอากาศ วงจรที่ทำหน้าที่นี้เรียกว่า วงจรบาลานซ์มอดูเลเตอร์ (Balanced Modulator หรือเรียกย่อๆ BM) วงจรนี้จะผสมสัญญาณเสียงกับคลื่นพาห์และผลลัพธ์ที่ได้จากการผสมเฉพาะไซด์แบนด์เท่านั้นที่ผ่านเอาต์พุตได้ สัญญาณที่ได้จากวงจรบาลานซ์มอดูเลเตอร์เรียกว่าสัญญาณ AMDSBSC

บาลานซ์มอดูเลเตอร์ชนิดใช้ไอซี

วงจรอีกแบบหนึ่งที่เหมาะที่จะนำมาใช้เป็นบาลานซ์มอดูเลเตอร์ก็คือวงจรดิฟเฟอเรนเชียล(รูปที่ 2.18) Q_3 เป็นแหล่งจ่ายกระแสให้แก่ Q_1กับ Q_2 ถ้าสัญญาณ RF ป้อนให้แก่ Q_1 และ Q_2 มีเฟสตรงกันกระแสไหลในทรานซิสเตอร์ทั้งคู่ก็จะเท่ากัน และไม่มีแรงดันผลต่างเกิดขึ้นที่เอาต์พุต สภาวะนี้เป็นการกำจัดโหมดร่วม (Common mode rejection) ของวงจร คลื่นพาห์จึงหักล้างกันเองหมดไป

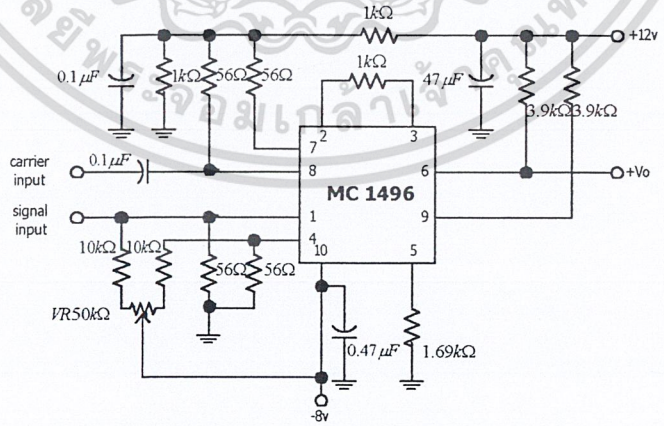
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เมื่อป้อนสัญญาณเสียงที่ขาเบสของ Q_3 สมดุลของวงจรจะเสียไป ทำให้สัญญาณเสียงและ RF เกิดการผสมกันขึ้นที่ Q_1 กับ Q_2 การผสมแบบนอนลิเนียร์(nonlinear)นี้ทำให้เกิดไซด์แบนด์ขึ้นที่เอาต์พุต อย่างไรก็ตามคลื่นพาห์ก็ยังเป็นศูนย์เช่นเดิม เนื่องจากสัญญาณโหมดร่วมถูกกำจัดออกไปตามที่อธิบายในตอนต้น



รูปที่ 2.12 วงจรดิฟเฟอร์เรนเชียล

วงจรดิฟเฟอเรนเชียลที่ดีต้องใช้ทรานซิสเตอร์ที่แมตช์กันอย่างสนิท จึงนิยมทำเป็นไอซี ในรูปที่ 2.13 เป็นไอซีที่ออกแบบเพื่อใช้งานเป็นวงจรบาลานซ์มอดูเลเตอร์(Balanced Modulator)



รูปที่ 2.13 วงจรบาลานซ์มอดูเลเตอร์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สำนักหอสมุดกลาง พระจอมเกล้าลาดกระบัง

ข้อเสียของการมอดูเลทแบบ AM ไร้คลื่นพาห์

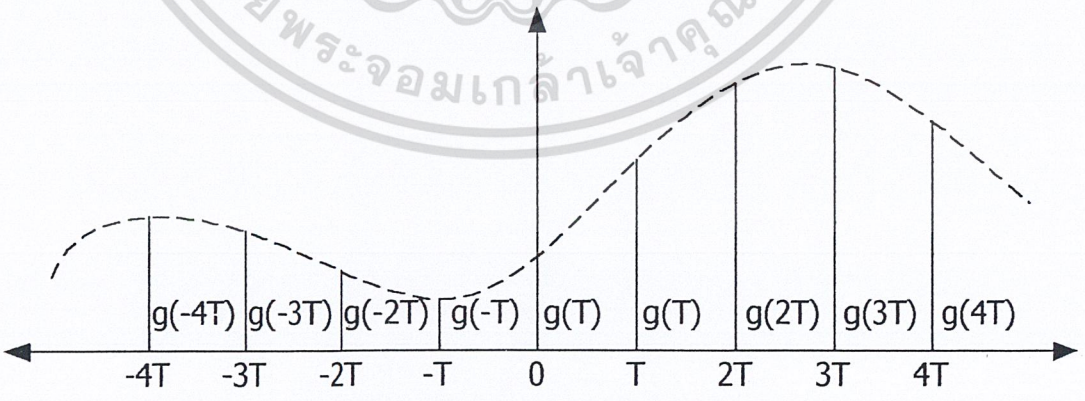
ข้อเสียของการมอดูเลทแบบ AM ธรรมดาก็คือ กำลังส่วนใหญ่อยู่ในคลื่นพาห์ทั้งๆที่ไม่มีข่าวสารปนอยู่เลย ส่งออกอากาศไปก็ไร้ประโยชน์ ต้องใช้วงจรบาลานซ์มอดูเลเตอร์กำจัดคลื่นพาห์เสียก่อน สัญญาณที่ส่งออกอากาศไปก็จะมีแต่ไซน์แบนด์ทั้ง 2 ข้างเท่านั้น อย่างไรก็ตามสัญญาณ AMSC ก็ยังมีข้อเสีย คือ แบนด์วิดท์ยังกว้างเกินความจำเป็นและยังมีปัญหาการแผ่กระจายคลื่น เป็นที่น่าสังเกตว่าแบนด์วิดท์ของสัญญาณ AMSC (หรือ DSB) ก็ยังเป็น 2 เท่าของความถี่ที่มอดูเลท

การรับสัญญาณ AM ที่สมบูรณ์ทั้งคลื่นพาห์และไซน์แบนด์จะต้องรับได้เหมือนกับสัญญาณที่ส่งมาในกรณีของระบบ AMSC มีไซน์แบนด์ส่งมาโดยปราศจากคลื่นพาห์ ฉะนั้นในตอนดีมอดูเลทเราต้องสร้างคลื่นพาห์ขึ้นใหม่เพื่อเติม (reinsert) แก่วงจร คลื่นพาห์ที่เติมใหม่จะต้องมีทั้งความถี่และเฟสตรงกับคลื่นพาห์ที่เครื่องส่งใช้มอดูเลท ปัญหาข้อนี้สำคัญมากที่สุดในการออกแบบวงจรในระบบ AMDSBSC ระบบ AMDSBSC นี้มีใช้ในการส่งโทรทัศน์สีและการส่งระบบ FM สเตอริโอ

ข้อเสียอีกประการหนึ่งของระบบ AMSC ก็คือ การมอดูเลทมักทำที่ระดับสัญญาณต่ำ(low level modulation) ฉะนั้นก่อนส่งออกอากาศจะต้องทำการขยายให้มีกำลังแรงขึ้น การขยายนี้เราต้องรักษาทั้งสัญญาณคลื่นวิทยุ และกรอบของสัญญาณเสียงก็ยังต้องถูกขยายให้คงเดิม นั้นคือต้องใช้วงจรขยายในคลาสบี และ เอบี

2.6 การมัลติเพลกซ์แบบแบ่งเวลา

การมัลติเพลกซ์แบบแบ่งเวลาหมายถึง การรวมสัญญาณเบสแบนด์หลายๆสัญญาณ เพื่อส่งผ่านช่องสัญญาณร่วมอันเดียวกัน โดยการจัดแบ่งช่องเวลา (Time slot) ให้การสุ่มตัวอย่าง (sampling) ของแต่ละสัญญาณเบสแบนด์มีอัตราเร็วสม่ำเสมอ สัญญาณที่ถูกสุ่มตัวอย่างนี้ จะอยู่ในรูปของพัลส์ที่มีความกว้าง (duration) เท่ากันและมีขนาด (amplitude) เหมือนกับขนาดของสัญญาณในขณะสุ่มตัวอย่าง



รูปที่ 2.14 แสดงการสุ่มตัวอย่างตามธรรมชาติ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

46495

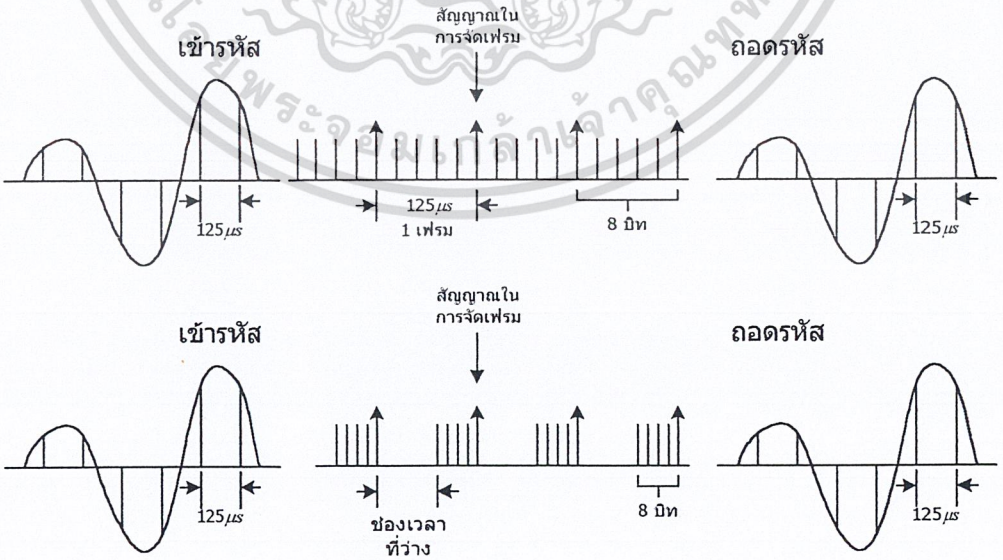
สัญญาณจากช่องสัญญาณอื่นก็จะผ่านการสุ่มตัวอย่าง (Sampling) เช่นเดียวกันแล้วถูกแบ่งตามไทม์สล็อต (time slot) ซึ่งเป็นของสัญญาณพัลส์จากแต่ละช่องสัญญาณจนกว่าจะครบทุกช่อง แล้วส่งเป็นลำดับข้อมูลอนุกรมด้วยความเร็วที่สูงกว่าความเร็วของสัญญาณพัลส์

การสุ่มตัวอย่างตามวิธีการข้างต้นเรียกว่า การสุ่มตัวอย่างตามธรรมชาติ (Natural sampling) ที่ปลายทางจะมีเครื่องแยกช่องสัญญาณ(demultiplexer) ทำการแยกพัลส์ที่ประสานจังหวะกันมา (interleave) ตอนส่งให้แยกออกเป็นพัลส์อย่างถูกต้อง เพื่อความถูกต้องในการแยกพัลส์ที่ปลายทางจึงต้องมีพัลส์จับเวลาให้ตรงกัน (synchronization)

สัญญาณพัลส์ที่ได้จากการสุ่มตัวอย่าง เรียกว่า พัลส์แอมพลิจูดมอดูเลชัน (Pulse Amplitude Modulation : PAM) จะเห็นได้ว่าขนาดของพัลส์แต่ละลูกจะมีการเปลี่ยนแปลงตามสัญญาณเดิมและสัญญาณพัลส์จะเกิดในอัตราสม่ำเสมอ เวลาระหว่างพัลส์หนึ่งกับอีกพัลส์หนึ่งควรมีระยะห่างพอสมควรเพื่อป้องกันไม่ให้พัลส์เกิดการซ้อนทับกันเมื่อผ่านตัวกรองความถี่ต่ำ (lowpass filter) ในภาครับ โดยระยะห่างระหว่างพัลส์ 2 พัลส์นี้เรียกว่า "การ์ดไทม์" (guard time) และอัตราการสุ่มตัวอย่าง (sampling rate) จะเป็นไปตามอัตราการสุ่มตัวอย่างของ Nyquist (Nyquist sampling rate) ซึ่งกล่าวว่า "ความถี่ของการสุ่มตัวอย่างจะต้องมีค่ามากกว่า 2 เท่าของความถี่สูงสุดในสัญญาณข้อมูล (f_m) จึงจะทำให้ได้สัญญาณเดิมกลับคืนมาครบถ้วนในภาครับ

$$f_s \geq 2f_m$$

ดังที่กล่าวมาแล้วข้างต้นจะเห็นว่าเป็นการส่งสัญญาณแบบดิสครีส (Discrete) ซึ่งไม่นิยมในทางปฏิบัติ ทั้งนี้เนื่องมาจากสัญญาณแบบดิสครีตจะถูกรบกวนได้โดยง่าย เราจึงทำการเปลี่ยนแปลงสัญญาณดิสครีตนั้นให้เป็นสัญญาณดิจิตอลเพื่อลดปัญหาจากการถูกรบกวนขณะทำการส่งไปในสายส่งสัญญาณ

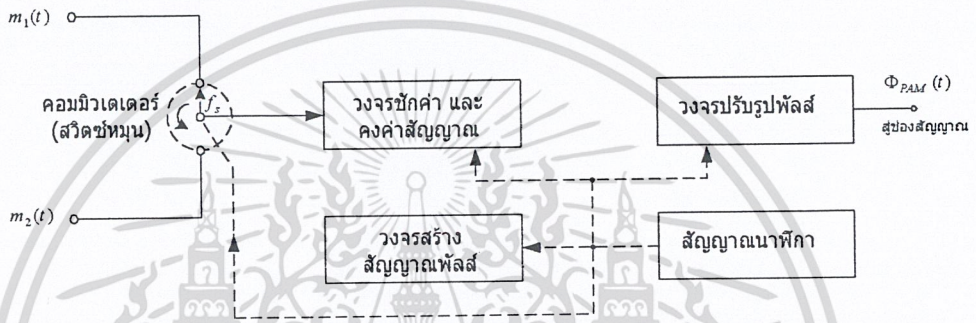


รูปที่ 2.15 แสดงการเพิ่มความเร็วในการส่งพัลส์ทำให้เกิดช่องเวลาที่ว่าง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

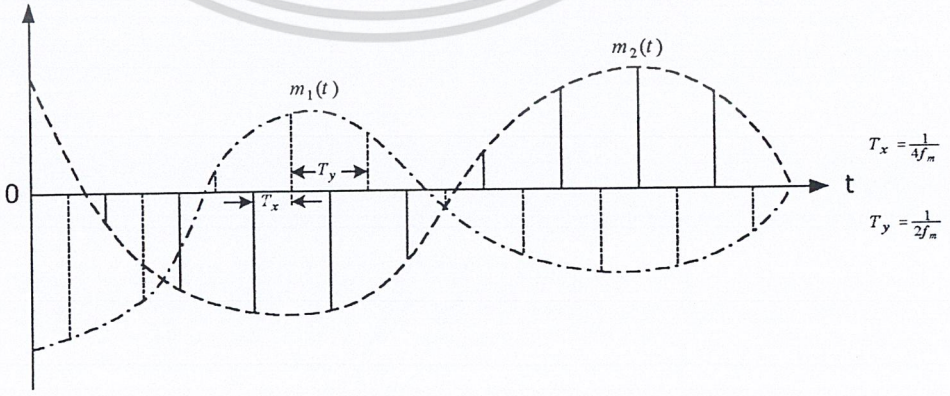
จากสัญญาณเสียงที่ถูกสุ่มตัวอย่างด้วยความถี่ 8kHz แล้วเพิ่มตัวกำหนดเฟรม โดยจัดให้ 8 บิท เป็น 1 เฟรม เมื่อทำการเพิ่มความเร็วในการส่งพัลส์มากขึ้นความกว้างของพัลส์แต่และพัลส์จะแคบลง ซึ่งทำให้มีช่องว่างระหว่างเฟรมทุกๆเฟรมมากขึ้น จากหลักการดังกล่าวเราสามารถที่จะเพิ่มช่องสัญญาณเข้าไปในช่องระหว่างเฟรมนี้ได้ และโดยอาศัยการควบคุมจังหวะการแยกพัลส์เหล่านี้ออกให้ถูกต้อง ก็จะสามารถตรวจจับพัลส์ได้อย่างถูกต้อง กระบวนการที่รวมสัญญาณหลายๆสัญญาณลงเป็นลำดับตามเวลานี้มีชื่อเรียกว่า การมัลติเพลกซ์แบบแบ่งเวลา (Time Division Multiplex:TDM)

ในกรณีที่ต้องการจะทำทีดีเอ็ม (TDM) กับสัญญาณสองสัญญาณ โดยใช้พีเอเอ็ม(PAM)อาจทำได้โดยการจัดวงจรตามรูปที่ 2.16



รูปที่ 2.16 แสดงการมัลติเพลกซ์แบบแบ่งเวลาด้วยระบบพีเอเอ็ม

รูปที่ 2.16 สัญญาณ $m_1(t)$ และ $m_2(t)$ จะถูกชักค่าตัวอย่างสลับกัน โดยวงจรชักค่าตัวอย่างและคงค่าระดับสัญญาณ (Sampling and hold) ด้วยความถี่มากกว่า $2f_m$ ครั้งต่อวินาที สำหรับสัญญาณแต่ละสัญญาณ โดย f_m คือค่าความถี่สูงสุดขององค์ประกอบสัญญาณใน $m_1(t)$ และ $m_2(t)$ ดังนั้นจำนวนตัวอย่างสัญญาณที่ถูกชักค่าเข้ามาสู่วงจรชักค่าและคงสัญญาณ ในกรณีนี้ต้องมีค่ามากกว่าหรือเท่ากับ $4f_m$ ตัวอย่างต่อวินาที ค่าตัวอย่างสัญญาณเหล่านี้จะถูกรักษาระดับอยู่เป็นเวลาเท่ากับความกว้างของพัลส์จาก

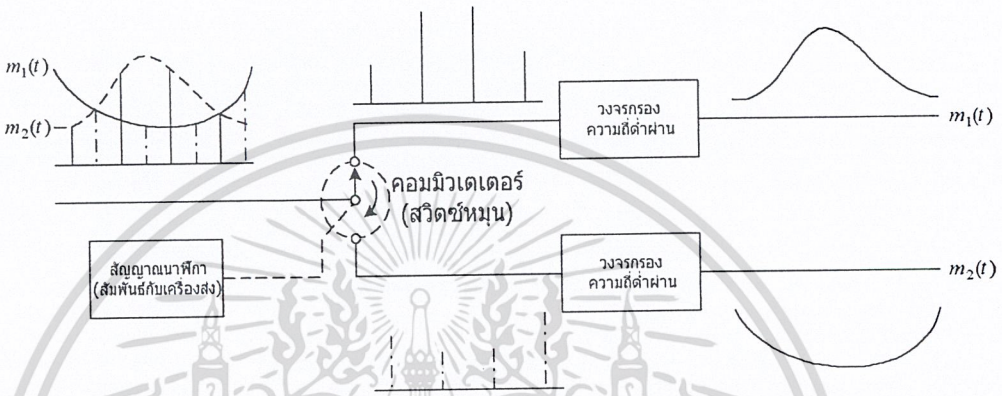


รูปที่ 2.17 แสดงการส่งสัญญาณแบบมัลติเพลกซ์แบบแบ่งเวลา

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

วงจรกำเนิดพัลส์ โดยมีการควบคุมจังหวะการสร้างพัลส์ด้วยสัญญาณนาฬิกา ดังนั้นเอาท์พุตของวงจรชักค่าและคงค่าสัญญาณจะเป็นสัญญาณพีเอเอ็ม ดังรูปที่ 2.17

จะเห็นได้ว่าสัญญาณ $m_1(t)$ และ $m_2(t)$ สลับกันบนแกนเวลา สัญญาณทั้งสองจะไม่มีการรบกวนกัน ส่วนทางด้านเครื่องรับจะใช้สัญญาณนาฬิกาควบคุมอุปกรณ์ทางเครื่องรับให้สลับแยกสัญญาณออกเป็นสองทาง โดยให้ประสานกันในจังหวะเดียวกับเครื่องส่ง ก็จะสามารถแยกสัญญาณพีเอเอ็ม หรือค่าตัวอย่างของสัญญาณออกจากกันได้โดยระบบวงจรดังแสดงในรูปที่ 2.18



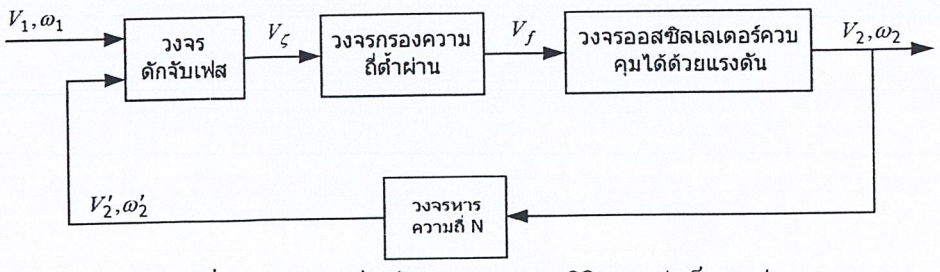
รูปที่ 2.18 แสดงวงจรแยกสัญญาณพีเอเอ็มจากการมัลติเพลกซ์แบบแบ่งเวลาทางด้านเครื่องรับ

จากหลักการเดียวกันนี้สามารถที่จะขยายผลไปเพื่อทำการมัลติเพลกซ์สัญญาณจำนวนมากกว่านี้ได้โดยเพียงแต่เพิ่มจำนวนสวิตช์และความถี่ของสัญญาณนาฬิกาที่จะจัดจังหวะการสลับสวิตช์ให้เหมาะสมและสอดคล้องกันระหว่างเครื่องส่งและเครื่องรับเท่านั้น

2.7 เฟสล็อกลูปแบบดิจิตอล

เฟสล็อกลูปเป็นระบบป้อนกลับที่ใช้การป้อนกลับของสัญญาณเพื่อที่จะล็อกความถี่เอาต์พุต โดยการเปรียบเทียบเฟสของสัญญาณอินพุตกับสัญญาณเอาต์พุต เฟสล็อกลูปมักถูกใช้สำหรับกรองสัญญาณ การสังเคราะห์ความถี่ การควบคุมความเร็วมอเตอร์ การแยกความถี่ เป็นต้น เฟสล็อกลูปสามารถใช้อุปกรณ์ได้ทั้งแบบอนาลอกและดิจิตอล

2.7.1 หลักการเฟสล็อกลูปแบบดิจิตอล



รูปที่ 2.19 แสดงบล็อกไดอะแกรมของดิจิตอลเฟสล็อกลูป

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากบล็อกไดอะแกรมรูปที่ 2.19 ตัวดักจับเฟสทำหน้าที่เปรียบเทียบความแตกต่างระหว่างเฟสของสัญญาณอินพุต V_1 กับสัญญาณ V_2' ซึ่งเป็นสัญญาณป้อนกลับจากวงจรหารความถี่ ซึ่งถ้าเกิดค่าความแตกต่างทางเฟสของสัญญาณทั้งสองเนื่องจากความถี่ไม่ตรงกัน จะทำให้เกิดสัญญาณแรงดันผิดพลาดออกมาป้อนเข้าวงจรกรองสัญญาณความถี่ต่ำผ่านเพื่อส่งไปยังวงจรปรับแรงดันเป็นความถี่ทำให้ได้สัญญาณเอาต์พุต V_2 ออกมาซึ่งหลักการดังกล่าวนี้เป็นวิธีของการสังเคราะห์ความถี่ด้วยเฟสล็อกลูปแบบดิจิตอล สัญญาณแรงดันจากวงจรกรองสัญญาณความถี่ต่ำผ่านจะเป็นสัญญาณควบคุมวงจรปรับแรงดันเป็นความถี่เพื่อควบคุม V_2' ให้มีค่าเท่ากับสัญญาณอินพุต V_1 ส่งผลทำให้วงจรปรับแรงดันเป็นความถี่ถูกล็อกสัญญาณเอาต์พุตให้มีค่าสอดคล้องกับสัญญาณอินพุต

2.7.2ตัวดักเฟสแบบเฟส-ความถี่

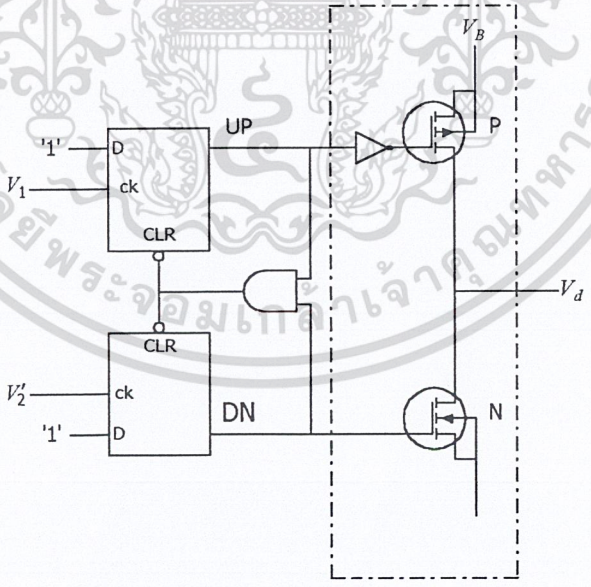
ตัวดักจับเฟสแบบนี้ เอาต์พุตของสัญญาณไม่ได้ขึ้นอยู่กับค่าเฟสผิดพลาด θ_e เท่านั้น แต่ยังขึ้นกับค่าความถี่ผิดพลาด $\Delta\omega = \omega_1 - \omega_2'$ ซึ่งรูปแบบของวงจรจะแสดงดังรูปที่ 2.2 โดยวงจรประกอบด้วยดี-ฟลิปฟลอป มีเอาต์พุตคือ UP และ DN ซึ่งตัวดักจับเฟสสามารถกำหนดสภาวะได้ 4 แบบ คือ

UP = 0 , DN = 0

UP = 1 , DN = 0

UP = 0, DN = 1

UP = 1 , DN = 1



รูปที่ 2.20 แสดงตัวดักจับเฟสแบบเฟส-ความถี่

เมื่อใส่แอนเกต (AND-GATE) เข้าไปจะทำให้สภาวะ UP = 1 , DN = 1 หายไป เพราะเอาต์พุตของแอนเกตจะไปรีเซ็ตฟลิปฟลอปทั้ง 2 ตัว ดังนั้นสภาวะของวงจรจะเหลือเท่ากับ 3 สภาวะ โดยกำหนดมีสัญญาณคือ –1 , 0 และ +1 คือ

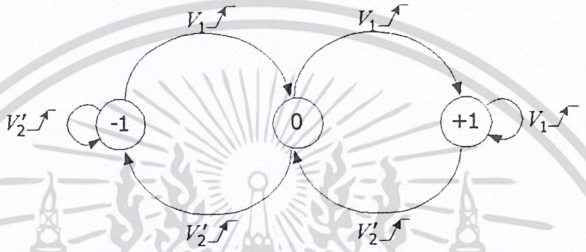
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

UP = 0 , DN = 0 ; state = -1

UP = 1 , DN = 0 ; state = 0

UP = 0, DN = 1 ; state = +1

การแสดงสภาวะของตัวดักจับเฟสจะกำหนดได้จากสภาวะชั่วขณะของสัญญาณ V_1 และ V_2' ซึ่งแสดงดังรูปที่ 2.21 สภาวะบวกของ V_1 จะมีผลทำให้ตัวดักจับเฟสเปลี่ยนสภาวะไปเป็นสภาวะที่สูงกว่าเว้นเสียแต่ได้อยู่ที่สภาวะ +1 อยู่แล้ว ในทำนองเดียวกัน สภาวะบวกของ V_d จะมีผลให้ตัวดักจับเฟสเปลี่ยนสภาวะไปเป็นสภาวะที่ต่ำกว่าเว้นเสียแต่ว่าได้อยู่ในสภาวะ –1 แล้ว เมื่อตัวดักจับเฟสมีสภาวะ +1 V_d จะมีค่าเป็นบวก และเมื่อมีสภาวะ –1 V_d จะมีค่าเป็นลบ และเมื่ออยู่ในสภาวะศูนย์ V_d จะเท่ากับศูนย์



รูปที่ 2.21 แสดงสภาวะของตัวดักจับเฟสแบบเฟส-ความถี่

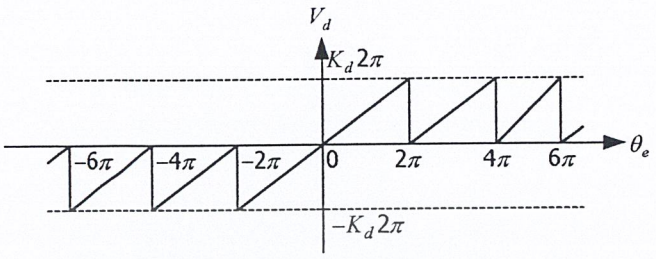
แต่ในความเป็นจริงสัญญาณที่ใช้เป็นแบบไบนารี่ ดังนั้นสภาวะ $V_d = 0$ จะกำหนดให้เป็นค่าความต้านทานสูง ซึ่งวงจรเป็นเส้นประของรูปที่ 2.20 แสดงการกำเนิดสัญญาณ V_d เมื่อสัญญาณ UP เป็นค่าสูง P แชนแนลมอสจะนำกระแส ดังนั้น V_d จะมีค่าเท่ากับแหล่งจ่างแรงดัน V_B เมื่อ DN เป็นค่าสูง N แชนแนลมอสจะนำกระแส ดังนั้น V_d จะมีค่าเท่ากับกราวด์ แต่ถ้าสัญญาณทั้งสองเป็นค่าสูงมอสเฟสทั้งสองก็จะไม่นำกระแส ค่าสัญญาณ V_d จะเสมือนกับไม่มี คือ เป็นค่าความต้านทานสูง โดยถ้าตัวดักจับเฟสแบบเฟส-ความถี่ทำงานจะได้รูปสัญญาณดังรูปที่ 2.23 ซึ่งในรูปที่ 2.23 (ก) แสดงในกรณีค่าเฟสผอดพลาดเท่ากับศูนย์ ซึ่งจะถูกกำหนดให้อยู่ในสภาวะศูนย์ สัญญาณ V_1 และ V_2' จะมีค่าเฟสเท่ากัน สัญญาณขอบขาขึ้นของ V_1 และ V_2' มีช่วงเวลาเท่ากัน ดังนั้นจึงไม่มีสัญญาณด้านเอาต์พุต ในรูปที่ 2.23 (ข) เมื่อ V_1 นำหน้า V_2' ตัวดักจับเฟสแบบเฟส-ความถี่ จะเปลี่ยนสภาวะระหว่าง 0 กับ +1 โดยถ้า V_1 ล้าหลัง V_2' ดังรูปที่ 2.23 (ค) ตัวดักจับเฟสแบบเฟส-ความถี่จะเปลี่ยนสภาวะระหว่าง –1 กับ 0 ถ้าพิจารณาจากรูป 2.23 (ข) และ (ค) ค่า V_2' จะมีค่ามากที่สุดเมื่อค่าเฟสผิดพลาดมีค่าลบและเข้าใกล้มุม –360 องศา ถ้าพล็อตกราฟค่าเฉลี่ยของความสัมพันธ์ระหว่างสัญญาณ V_2' กับค่าเฟสผิดพลาด θ_e จะได้ฟังก์ชันฟันเลื่อย ดังรูปที่ 2.22 ซึ่งจากรูปจะแสดงค่าเฉลี่ยของสัญญาณเอาต์พุตที่ได้จากค่าเฟสผิดพลาดมากกว่า 2π และน้อยกว่า -2π เมื่อค่าเฟสผิดพลาดมีค่าถึง 2π สัญญาณเอาต์พุตจากค่าสูงสุดก็จะมีค่าเริ่มที่ศูนย์ใหม่ ซึ่งจะเห็นได้ว่าคุณสมบัติของรูปสัญญาณเป็นลักษณะคาบเวลา โดยมีคาบเวลาเท่ากับ 2π ในทางกลับกันค่าสัญญาณเอาต์พุตจะมีค่าน้อยที่สุด เมื่อค่าเฟสผิดพลาดมีค่าอยู่ในช่วง $-2\pi < \theta_e < 2\pi$ ค่าเฉลี่ยของสัญญาณเอาต์พุต V_d คือ

$$\overline{V_d} = K_d \theta_e \qquad (2.8)$$

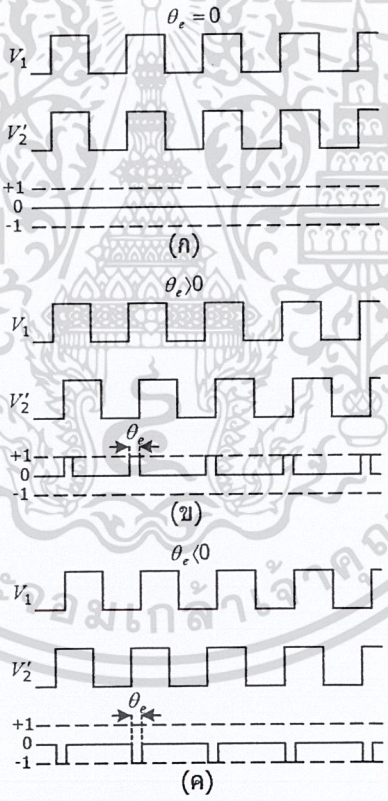
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ค่าอัตราขยายของตัวดักจับเฟส K_d จะมีค่าดังสมการ (2.9)

$$K_d = \frac{V_B}{4\pi} \tag{2.9}$$



รูปที่ 2.22 แสดงกราฟคุณสมบัติเอาต์พุต V_d เฉลี่ยของตัวดักจับเฟสแบบเฟส-ความถี่



รูปที่ 2.23 แสดงรูปสัญญาณของตัวดักจับเฟสแบบเฟส-ความถี่

(ก) รูปสัญญาณค่าเฟสผิดพลาดเท่ากับศูนย์

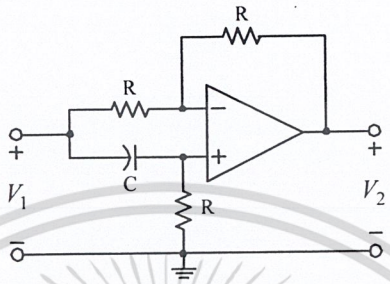
(ข) รูปสัญญาณค่าเฟสผิดพลาดมีค่าเป็นบวก

(ค) รูปสัญญาณค่าเฟสผิดพลาดมีค่าเป็นลบ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.8 วงจรเลื่อนเฟส (Phase shift)

วงจรเลื่อนเฟสหรือก็คือวงจรกรองผ่านหมด (all pass) ซึ่งมีการตอบสนองทางความถี่เท่ากันหมดทุกความถี่ ซึ่งหมายความว่า $|T(j\omega)|$ จะไม่เปลี่ยนแปลงไปกันความถี่ แต่การตอบสนองทางเฟสจะเปลี่ยนแปลงไปกับความถี่ วงจรที่มีคุณสมบัติเช่นนี้มีประโยชน์ในการนำไปใช้เป็นวงจรเลื่อนเฟสสัญญาณที่ความถี่ใดความถี่หนึ่ง

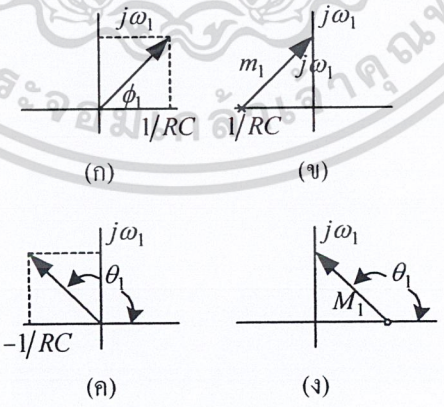


รูปที่ 2.24 วงจรกรองผ่านหมด

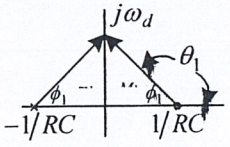
วงจรกรองผ่านหมดแสดงดังรูปที่ 2.24 เมื่อใช้สมการโหนดแรงดันไฟฟ้ามาวิเคราะห์วงจรในรูปที่ จะทำให้เราได้สมการความสัมพันธ์ระหว่างอินพุตและเอาต์พุตของวงจรดังนี้

$$\frac{V_2}{V_1} = T(s) = \frac{s - 1/RC}{s + 1/RC} \qquad (2.10)$$

ซึ่งเป็นรูปแบบของฟังก์ชันถ่ายโอนของ กรองผ่านหมด



รูปที่ 2.25 รูปองค์ประกอบในระนาบ s-plane



รูปที่ 2.26 รูปองค์ประกอบรวมในระนาบ s-plane

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ในการวิเคราะห์ฟังก์ชันถ่ายโอนของวงจรกรองผ่านหมด เราจะแทน $s = j\omega$ ซึ่งจะได้ตัวส่วนของ ฟังก์ชันถ่ายโอนเป็น

$$j\omega + 1/RC = m_1 \angle \phi_1 \tag{2.11}$$

และตัวเศษของฟังก์ชันถ่ายโอนเป็น

$$j\omega - 1/RC = M_1 \angle \phi_1 \tag{2.12}$$

การอธิบายองค์ประกอบเหล่านี้ในระนาบ s-plane ถูกแสดงไว้ในรูปที่ 2.25 ในรูปที่2.25 (ก) ค่าจริง และจินตภาพของสมการที่ 2.11 จะถูกแสดงอยู่ในรูปของรูปแบบเชิงขั้ว (polar form) ในรูปที่ 2.25(ข) เราแสดงว่าขนาดและมุมเฟสจะเหมือนเดิม ถ้าเฟสเซอร์ (phaser) ถูกลากจากตำแหน่งโพลมายังจุด $j\omega$ และด้วยการใช้วิธีการวิเคราะห์ในทำนองเดียวกันนี้กับสมการที่ 2.12 จะทำให้เราได้รูปที่ 2.25 (ค) และ (ง) ออกมา เมื่อนำเอารูปเฟสเซอร์ จากทั้งสององค์ประกอบมารวมกัน จะทำให้เกิดรูปที่ 2.26 ขึ้น ซึ่งค่า ω_d ถูกใช้เพื่อแสดงค่าความถี่เชิงมุมที่ใช้งานและเนื่องจากว่า $m_1 = M_1$ สำหรับทุกๆจุดบนแกนจินตภาพจึงทำให้เห็นได้ชัดเจนว่าขนาดของ $|T(j\omega)| = m_1/M_1$ สำหรับทุกๆค่าความถี่ และมุมเฟส คือ

$$\theta_d = \theta_1 - \phi_1 \tag{2.13}$$

หรือ

$$\theta_d = \tan^{-1}\left(\frac{\omega}{-1/RC}\right) - \tan^{-1}\left(\frac{\omega}{1/RC}\right) \tag{2.14}$$

ถ้าเราให้ความถี่ ω_d เคลื่อนขึ้นไปตามแกนจินตภาพ เริ่มต้นที่จุดกำเนิดและเคลื่อนขึ้นไปสู่ค่าอนันต์ เราจะพบว่าย่านของมุมทั้งสองจะเป็น

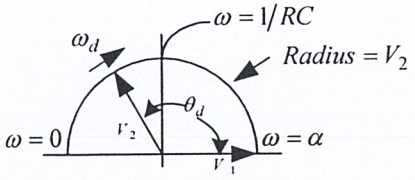
$$90^\circ < -\theta_1 < 180^\circ \text{ และ } 0^\circ < -\theta_1 < 90^\circ$$

เนื่องจาก $\theta_d = -\phi_1 + \theta_1$ ดังนั้นย่านของ θ_d จะเป็น

$$0^\circ < -\theta_d < 180^\circ$$

โดยค่า θ_d จะเข้าใกล้ 180° สำหรับค่า ω ค่าน้อยๆ และ 0° สำหรับ ω ค่ามากๆ ซึ่งแสดงได้ดังรูปที่ 2.27 เนื่องจากว่ามุมเฟส θ_d คือ เฟสของ V_2 เมื่อเทียบกับ V_1 เราจึงสามารถแสดงรูปของ V_2 ได้ว่ามีการเลื่อนด้วยค่าขนาดที่คงที่ผ่านย่านของการเลื่อนเฟส 180° ในระหว่างที่ความถี่เพิ่มขึ้น ดังแสดงในรูปที่ 2.27 นอกจากนั้นการพล็อตกราฟทางขนาดและเฟสในระบบพิกัดฉากยังแสดงไว้ในรูปที่ 2.28

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.27 รูปแสดงค่า θ_d ที่ค่า ω ต่าง

วิธีการในการคำนวณหาค่า R และ C ในวงจร เมื่อรู้ค่าการเลื่อนเฟส θ_d ที่ต้องการสามารถพิจารณาได้จาก รูปที่ 2.26 ซึ่งได้ว่า

$$\phi_1 + \theta_1 = 180 \tag{2.15}$$

ถ้าเรารวมสมการนี้เข้ากับสมการที่ 2.13 เราจะได้

$$\theta_1 = \frac{1}{2}(180^\circ + \theta_d) \tag{2.16}$$

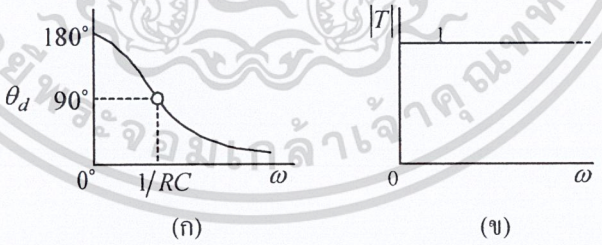
จากสมการที่ 2.14 เราจะได้

$$\theta_1 = -\tan^{-1}(RC.\omega_d) \tag{2.17}$$

ดังนั้น

$$RC = \frac{-\tan^{-1}\theta_1}{\omega_d} \tag{2.18}$$

สมการที่ 2.18 เป็นสมการที่ใช้เลือกค่า R และ C ให้กับวงจร เพื่อทำงานที่มุมเลื่อนเฟส θ_d และความถี่ ω_d



รูปที่ 2.28 การพล็อตกราฟทางขนาดและเฟสในระบบพิกัดฉาก

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่3
การออกแบบและการสร้าง

3.1 การออกแบบวงจรรับ-ส่ง 16-QAM

เทคนิคการมอดูเลตแบบ 16-QAM ที่ได้กล่าวมาแล้วในบทที่ 2 นั้นอาศัยข้อมูลไบนารี่ (binary) 4บิท เป็นตัวกำหนดสัญญาณหลายระดับ (multilevel) เพื่อมอดูเลทกับคลื่นพาห์ไซน์ (sine) และโคไซน์ (cosine) แล้วนำมารวมกันเพื่อกำเนิดเป็นสัญญาณ 16-QAM ส่วนทางด้านรับ สัญญาณหลายระดับที่ดีมอดูเลทมาแล้วนั้นจะถูกนำไปเข้าวงจรตัดสินใจ (decision circuit) เพื่อกำหนดข้อมูลไบนารี่ที่ภาครับตรวจจับ(detect)ได้จากสัญญาณ 16-QAM จากวิธีการข้างต้นหากนำไปใช้งานที่ต้องการบอดเรต (baud rate) และความถี่คลื่นพาห์ (carrier) ที่สูงๆจะพบปัญหาการออกแบบ 2 ประการดังนี้ [2]

1.) ในแง่ของการสร้างวงจร การทำให้วงจรตัดสินใจหลายระดับ (multithreshold decision) มีประสิทธิภาพสูงและการควบคุมความเที่ยงตรงทางขนาดของสัญญาณหลายระดับที่บอดเรตสูงๆนั้นทำได้ยาก

2.) ไม่เหมาะสมในทางปฏิบัติที่จะใช้วงจรลอจิกความเร็วสูง (High-speed logic) ที่ซับซ้อนมาแปลงลำดับข้อมูลไบนารี่อินพุตให้เป็นสัญญาณหลายระดับ

ดังนั้นจึงเกิดเทคนิคที่เรียกว่า "Superposed modulation" ขึ้นโดยมีหลักการออกแบบวงจรทางด้านส่งและรับดังนี้

3.1.1 การออกแบบวงจรภาคส่ง 16 - QAM

ข้อมูลไบนารี่ที่นำมาจากลำดับข้อมูลอินพุต ครั้งละ4บิทนั้นจะถูกแยกออกเป็นสองกลุ่มๆละสองบิท โดยให้บิท D_1, D_2 อยู่ในกลุ่มที่หนึ่งและบิท D_3, D_4 อยู่ในกลุ่มที่สอง จากนั้นข้อมูลไบนารี่แต่ละบิทของกลุ่มจะถูกเปลี่ยนให้มีระดับแรงดันเป็นบวกลบสองระดับตามตารางที่1และ2ดังนี้

D_i	A_i
0	-2.42
1	+2.42

ตารางที่ 3.1 แสดงข้อมูลไบนารี่ของกลุ่ม 1 ที่ถูกเปลี่ยนให้มีระดับแรงดันสองระดับ

เมื่อ $i = 1,2$ และ A_1, A_2 สัมพันธ์กับค่า D_1, D_2 ดังตารางที่ 3.1

D_i	A_i
0	-1
1	+1

ตารางที่ 3.2 แสดงข้อมูลไบนารี่ของกลุ่ม 2 ที่ถูกเปลี่ยนให้มีระดับแรงดันสองระดับ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

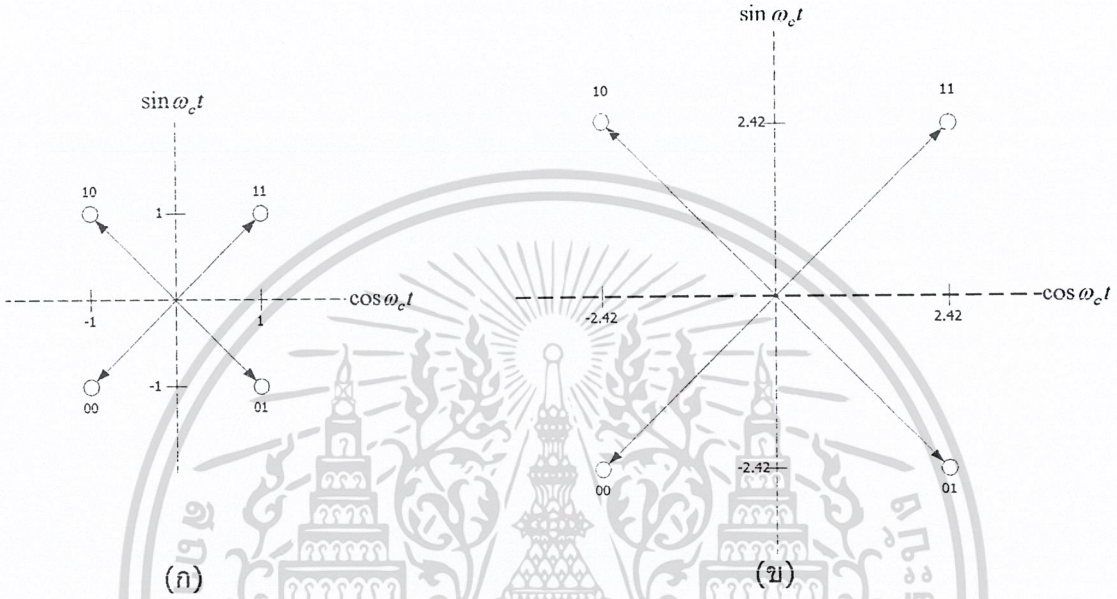
เมื่อ i =3,4 และ A_3, A_4 สัมพันธ์กับค่า D_3, D_4 ดังตารางที่ 3.2

จากนั้นนำระดับแรงดันนี้ไปมอดูเลตแบบ QPSK จะได้สัญญาณ QPSK จากแต่ละกลุ่มคือ

กลุ่มที่1: $$QPSK1 = A_1.\sin(\omega_c t) + A_2.\cos(\omega_c t) \quad (3.1)$$

กลุ่มที่2: $$QPSK2 = A_3.\sin(\omega_c t) + A_4.\cos(\omega_c t) \quad (3.2)$$

ซึ่งในแต่ละกลุ่มจะมีระนาบสัญญาณ (signal space) ดังแสดงในรูปที่3.1



รูปที่ 3.1 (ก) ระนาบสัญญาณของ QPSK กลุ่มที่ 2 (ข)ระนาบสัญญาณของ QPSK กลุ่มที่ 1

สัญญาณ QPSK จากทั้งสองกลุ่มแสดงได้ดังตารางที่ 3.3 และ 3.4

D1	D2	QPSK1
0	0	$(-2.42).\sin(\omega_c t) + (-2.42).\cos(\omega_c t) = 3.42\cos(\omega_c t - 225^\circ)$
0	1	$(-2.42).\sin(\omega_c t) + (+2.42).\cos(\omega_c t) = 3.42\cos(\omega_c t - 315^\circ)$
1	0	$(+2.42).\sin(\omega_c t) + (-2.42).\cos(\omega_c t) = 3.42\cos(\omega_c t - 135^\circ)$
1	1	$(+2.42).\sin(\omega_c t) + (+2.42).\cos(\omega_c t) = 3.42\cos(\omega_c t - 45^\circ)$

ตารางที่3.3 สัญญาณQPSKจากกลุ่มที่1

D3	D4	QPSK2
0	0	$(-1).\sin(\omega_c t) + (-1)\cos(\omega_c t) = \sqrt{2}.\cos(\omega_c t - 225^\circ)$
0	1	$(-1).\sin(\omega_c t) + (+1)\cos(\omega_c t) = \sqrt{2}.\cos(\omega_c t - 315^\circ)$
1	0	$(+1).\sin(\omega_c t) + (-1)\cos(\omega_c t) = \sqrt{2}.\cos(\omega_c t - 135^\circ)$
1	1	$(+1).\sin(\omega_c t) + (+1)\cos(\omega_c t) = \sqrt{2}.\cos(\omega_c t - 45^\circ)$

ตารางที่3.4 สัญญาณQPSKจากกลุ่มที่2

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

หลังจากกำเนิดสัญญาณ QPSK จากแต่ละกลุ่มตามข้อมูลไบนารี่แล้วนำสัญญาณ QPSK ที่ได้จากทั้งสองกลุ่มมารวมกัน หลังการรวมเราจะได้สัญญาณ 16-QAM ดังนี้

$$16-QAM = QPSK1 + QPSK2 \tag{3.3}$$

$$16-QAM = (A_1 + A_3).\sin(\omega_c t) + (A_2 + A_4).\cos(\omega_c t) \tag{3.4}$$

$$16-QAM = A.\cos(\omega_c t - \phi) \tag{3.5}$$

$$16-QAM = \sqrt{((A_1 + A_3)^2 + (A_2 + A_4)^2)}.\cos(\omega_c t - \tan^{-1}((A_1 + A_3)/(A_2 + A_4))) \tag{3.6}$$

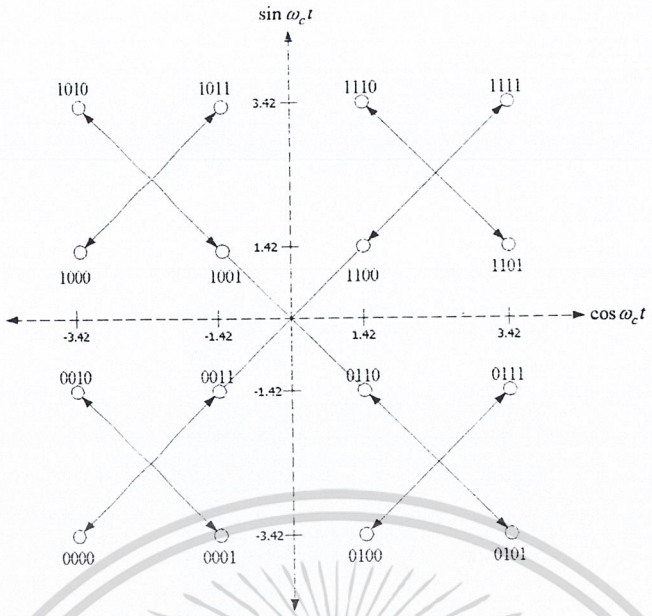
จากสมการเมื่อข้อมูลไบนารี่ทั้ง4บิทมีรูปแบบต่างๆแล้วเราจะได้สัญญาณ 16-QAM ทั้ง 16 สัญญาณดังตารางที่ 3.5

D_1	D_2	D_3	D_4	$QPSK1+QPSK2$	$16-QAM$
0	0	0	0	$(-3.42).\sin(\omega_c t)+(-3.42).\cos(\omega_c t)$	$4.83\cos(\omega_c t-225^\circ)$
0	0	0	1	$(-3.42).\sin(\omega_c t)+(-1.42).\cos(\omega_c t)$	$3.7\cos(\omega_c t-247.5^\circ)$
0	0	1	0	$(-1.42).\sin(\omega_c t)+(-3.42).\cos(\omega_c t)$	$3.7\cos(\omega_c t-202.5^\circ)$
0	0	1	1	$(-1.42).\sin(\omega_c t)+(-1.42).\cos(\omega_c t)$	$2\cos(\omega_c t-225^\circ)$
0	1	0	0	$(-3.42).\sin(\omega_c t)+(1.42).\cos(\omega_c t)$	$3.7\cos(\omega_c t-292.5^\circ)$
0	1	0	1	$(-3.42).\sin(\omega_c t)+(3.42).\cos(\omega_c t)$	$4.83\cos(\omega_c t-315^\circ)$
0	1	1	0	$(-1.42).\sin(\omega_c t)+(1.42).\cos(\omega_c t)$	$2\cos(\omega_c t-315^\circ)$
0	1	1	1	$(-1.42).\sin(\omega_c t)+(3.42).\cos(\omega_c t)$	$3.7\cos(\omega_c t-337.5^\circ)$
1	0	0	0	$(1.42).\sin(\omega_c t)+(-3.42).\cos(\omega_c t)$	$3.7\cos(\omega_c t-157.5^\circ)$
1	0	0	1	$(1.42).\sin(\omega_c t)+(-1.42).\cos(\omega_c t)$	$2\cos(\omega_c t-135^\circ)$
1	0	1	0	$(3.42).\sin(\omega_c t)+(-3.42).\cos(\omega_c t)$	$4.83\cos(\omega_c t-135^\circ)$
1	0	1	1	$(-3.42).\sin(\omega_c t)+(-1.42).\cos(\omega_c t)$	$3.7\cos(\omega_c t-112.5^\circ)$
1	1	0	0	$(1.42).\sin(\omega_c t)+(1.42).\cos(\omega_c t)$	$2\cos(\omega_c t-45^\circ)$
1	1	0	1	$(1.42).\sin(\omega_c t)+(3.42).\cos(\omega_c t)$	$3.7\cos(\omega_c t-22.5^\circ)$
1	1	1	0	$(3.42).\sin(\omega_c t)+(1.42).\cos(\omega_c t)$	$3.7\cos(\omega_c t-67.5^\circ)$
1	1	1	1	$(3.42).\sin(\omega_c t)+(3.42).\cos(\omega_c t)$	$4.83\cos(\omega_c t-45^\circ)$

ตารางที่3.5 สัญญาณ16 QAM

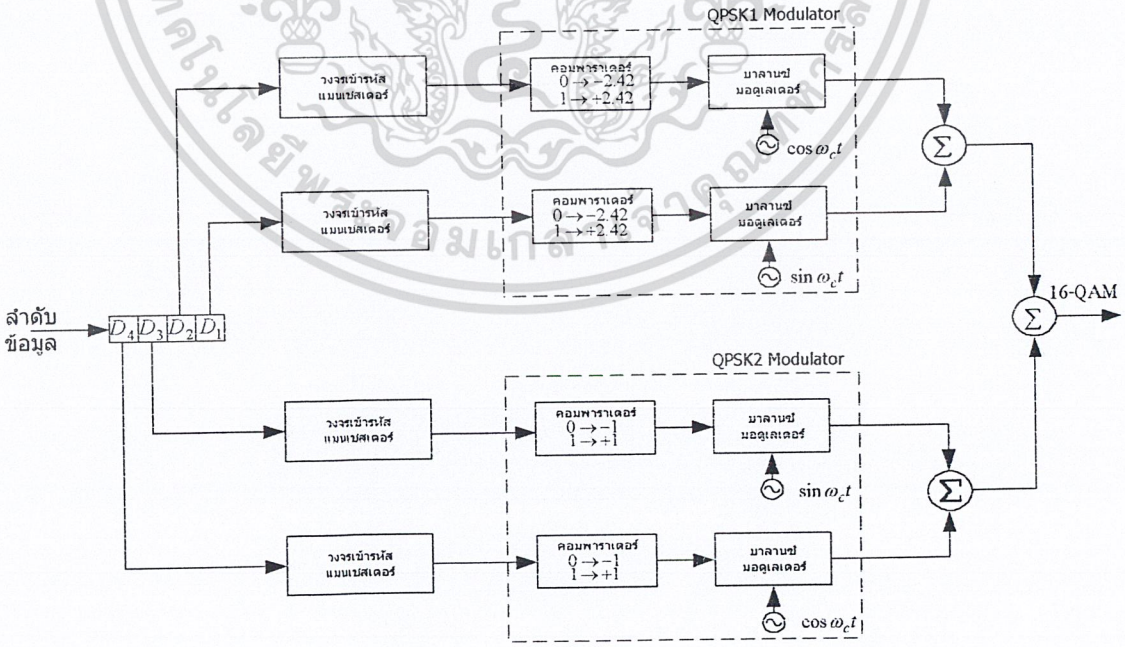
ระนาบสัญญาณ 16-QAM ในตารางที่3.5 จะเกิดจากการจัดหมู่ (combination) ระหว่าง ระนาบสัญญาณ QPSK กลุ่มที่1 และQPSK กลุ่มที่2 ทำให้ได้ระนาบสัญญาณ16-QAM ออกมาดังแสดงในรูปที่3.2

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่3.2 ระนาบสัญญาณ16-QAM

สังเกตว่าระนาบสัญญาณในรูปที่3.2 นั้นมีลักษณะการวางตัวของจุดเช่นเดียวกันกับการมอดูเลตสัญญาณ 16 QAM ด้วยวิธีในบทที่2 แต่รายละเอียดของเทคนิควงจรทางด้านส่งนั้นจะแตกต่างกันโดยสิ้นเชิง โดยเทคนิควงจรทางด้านภาคส่งของวิธีนี้แสดงเป็นบล็อกไดอะแกรมได้ดังรูปที่3.3 ซึ่งก็เป็นหลักการตามทฤษฎีทางภาคส่งที่ได้กล่าวมาแล้วข้างต้น

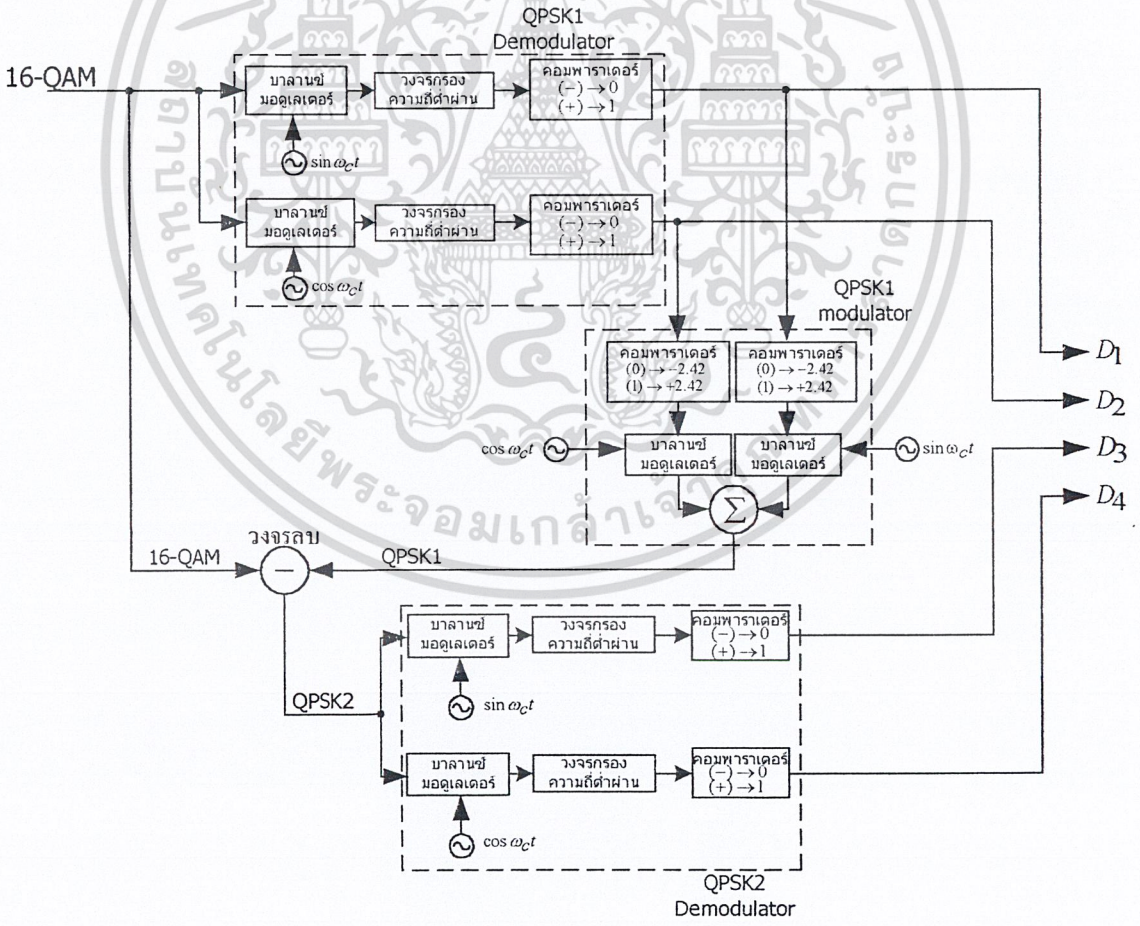


รูปที่3.3 บล็อกไดอะแกรมของวงจรด้านส่ง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.1.2 การออกแบบวงจรภาครับ 16-QAM

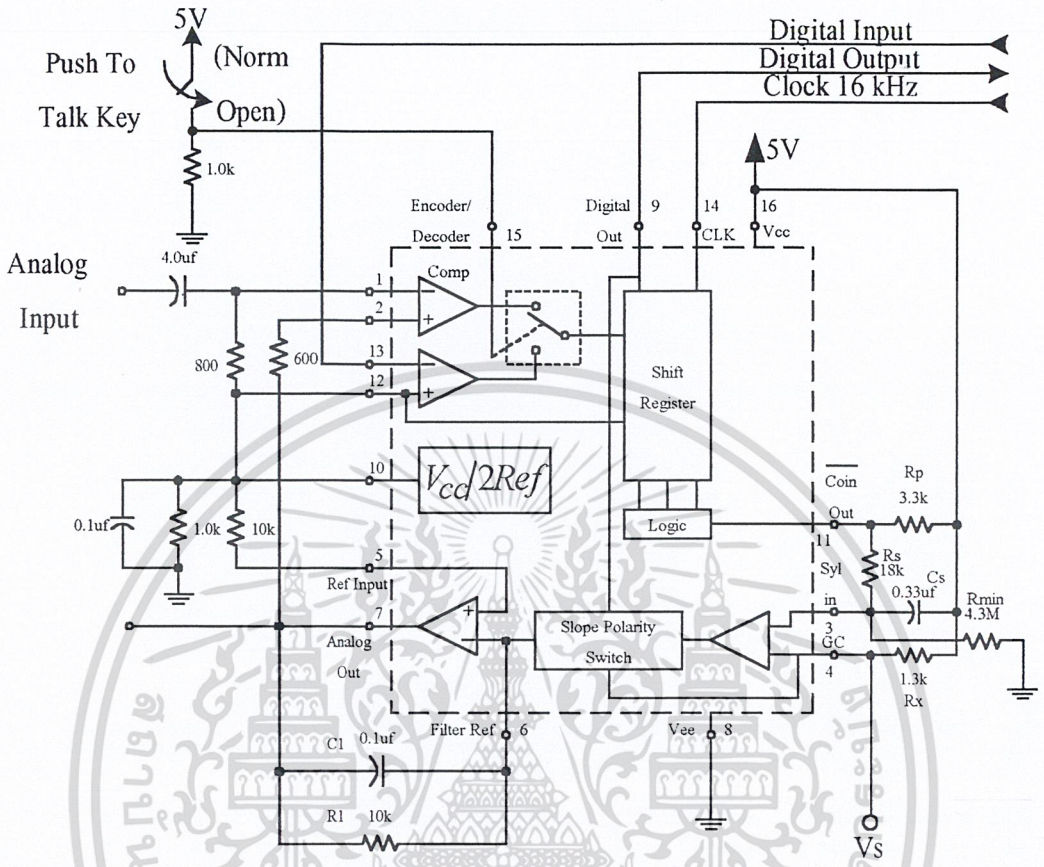
หลักการทางด้านภาครับจะมีลักษณะตรงกันข้ามกับทางด้านส่งคือ เราต้องแยกสัญญาณ QPSK ทั้งสองกลุ่มออกจากสัญญาณ 16-QAM ให้ได้ ดังนั้นถ้าเราสังเกตระนาบสัญญาณของ 16-QAMในรูปที่ 3.2 จะพบว่า ไม่ว่าสัญญาณ QPSK กลุ่มที่2จะเปลี่ยนควอดแดรนท์ไปยังไงก็ตาม มันจะไม่สามารถทำให้สัญญาณ 16-QAM เปลี่ยนควอดแดรนท์ได้ แต่สัญญาณ16-QAMจะเปลี่ยนควอดแดรนท์ตามควอดแดรนท์ของสัญญาณ QPSK กลุ่มที่1 เท่านั้น ดังนั้นจากการสังเกตในเบื้องต้นนี้ทำให้เราสามารถตรวจจับสัญญาณ QPSKกลุ่มที่1 ได้จากการเปลี่ยนแปลงควอดแดรนท์ของสัญญาณ16-QAM กล่าวคือถ้าสัญญาณ16-QAM อยู่ในควอดแดรนท์ที่1 แล้วเราจะรู้ได้ว่าสัญญาณ QPSK กลุ่มที่1 ก็อยู่ในควอดแดรนท์ที่1เช่นกันเมื่อเรารู้ควอดแดรนท์เราก็สามารถจะตรวจจับข้อมูลสองบิท (D_1, D_2) ออกมาได้พร้อมกับการสร้างสัญญาณ QPSK กลุ่มที่1ตามตารางที่3.3 ขึ้นมาใหม่อีกครั้งที่ด้านรับ เพื่อนำไปลบออกจากสัญญาณ 16-QAM ผลลัพธ์จากการลบจะได้สัญญาณ QPSK กลุ่มที่ 2 ตามตารางที่ 3.4 กลับคืนมา จากนั้นข้อมูลสองบิท (D_3, D_4) จะถูกตรวจจับจากสัญญาณ QPSK กลุ่มที่2 แล้วนำไปรวมกลุ่มกับบิท D_1, D_2 ซึ่งรายละเอียดของเทคนิควงจรทางด้านรับแสดงดังรูปที่3.4



รูปที่3.4 บล็อกไดอะแกรมวงจรทางด้านรับ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.2 วงจรแปลงสัญญาณอนาลอกเป็นดิจิตอลและดิจิตอลเป็นอนาลอก



รูปที่ 3.5 วงจรเข้ารหัสและถอดรหัสแบบ Continuously Variable Slope Delta Modulator/Demodulator

ในการออกแบบวงจรจะใช้ไอซีเบอร์ MC3418 ซึ่งเป็น Continuously Variable Slope Delta Modulator/Demodulator การต่อให้ทำงานเป็นวงจรเข้ารหัสและถอดรหัสแสดงดังในรูปที่ 3.5 ไอซีเบอร์นี้เป็น CVSD แบบใช้งานทั่วไป ผู้ใช้สามารถออกแบบปรับปรุงได้ มีสิ่งที่ต้องการกำหนดและออกแบบ 7 ข้อ คือ

1. กำหนดความถี่ของสัญญาณนาฬิกา (clock rate)
2. ขนาดของชิฟรีจิสเตอร์ที่ต้องใช้ (3 หรือ 4 บิท)
3. เลือกอัตราขยายลูป
4. กำหนดขนาดขั้น (step) ที่เล็กที่สุด
5. ออกแบบฟังก์ชั่นถ่ายโอนของอินทิเกรชั่นฟิลเตอร์
6. ออกแบบฟังก์ชั่นถ่ายโอนของ syllabic fillter
7. ออกแบบวงจรกรองความถี่ต่ำผ่าน

ขั้นตอนในการออกแบบวงจรขั้นพื้นฐานในรูปที่ 3.5 แสดงได้ดังนี้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สัญญาณนาฬิกา

ในการออกแบบขั้นต้น เราต้องกำหนดบิทเรทของ CVSD ซึ่งจำนวนบิทเรทนี้ก็คือ สัญญาณนาฬิกาที่ต้องใช้นั่นเอง เนื่องจากวงจรสร้างสัญญาณที่เป็นอนุกรมออกมาเลย ดังนั้นบิทเรทและสัญญาณนาฬิกาหรือความถี่ที่ต้องการแซมปลิ้ง ก็คือตัวเดียวกันนั่นเอง ถ้าความถี่ของสัญญาณนาฬิกาสูง S/N ก็จะสูงไปด้วย

ขนาดของชิฟรีจิสเตอร์

หลังจากการกำหนดบิทเรทแล้ว ก็ต้องทำการกำหนดขนาดของชิฟรีจิสเตอร์ ซึ่งเป็นตัวเก็บข้อมูลของสัญญาณในช่วงเวลาที่ได้ผ่านมาก่อนหน้านี้แล้ว เพื่อควบคุมอัตราขยายของอินทิเกรเตอร์ ซึ่งก็ขึ้นอยู่กับสัญญาณนาฬิกาด้วย ดังนั้นที่อัตราส่วนต่ำกว่า 16 kHz ควรใช้รีจิสเตอร์ขนาด 3 บิท ซึ่งจะให้ผลดีที่สุด และจาก 16 kbit ขึ้นไปจะใช้ 3 หรือ4 บิท อย่างใดอย่างหนึ่ง สำหรับ 4 บิท จะให้ S/N ที่ราบเรียบกว่า เพราะว่ารีจิสเตอร์มีการเก็บข้อมูลที่ยาวกว่า อย่างไรก็ตามผลตอบสนองของทรานเซียน จะไม่ดีเท่าที่ควร เนื่องจากการคอมแพนซ้า ดังนั้นไอซีเบอร์ MC3418 ซึ่งมีรีจิสเตอร์ 3 ตัวนั้นใช้กับระบบที่ใช้บิทเรทต่ำ ส่วน MC3418 รีจิสเตอร์ 4 ตัว ใช้กับระบบที่มีบิทเรทสูงตั้งแต่ 64 kbit ขึ้นไปจะทำงานได้ดี

การเลือกค่าอัตราขยายลูป

อัตราขยายของวงจรในรูปที่ 3.5 ถูกตั้งค่าโดยค่าความต้านทาน Rx ซึ่งค่า Rx นี้ต้องทำให้ขนาดขั้น (step size) ของอินทิเกรเตอร์มีความเหมาะสมกับสัญญาณที่มีระดับสูงๆได้ เพื่อที่จะไม่ทำให้ อัตราส่วนการบีบอัดนั้นมีค่าเกินกว่า 25% ดังนั้นค่าอัตราขยายจึงขึ้นอยู่กับ

1. ระดับและความถี่สูงสุดของสัญญาณอินพุต
2. ฟังก์ชั่นถ่ายโอน ของอินทิเกรชั่นฟิลเตอร์

เพื่อที่จะคำนวณขนาดขั้นของกระแสที่ต้องการ เราจะเริ่มต้นด้วยการอธิบายคุณลักษณะถ่ายโอนของอินทิเกรชั่นฟิลเตอร์ซึ่งเป็นแบบโพลเดี่ยวที่ 160 Hz ก่อน ดังแสดงในรูปที่ 3.5

$$R_1 = 10k\Omega, C_1 = 0.1\mu F$$

$$\frac{V_o}{I_i} = \frac{1}{C(s+\frac{1}{RC})} = \frac{K}{s+\omega_o}$$

$$\omega_o = 2\pi f$$

$$10^3 = \omega_o = 2\pi f$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$f = 159.2Hz$$

สังเกตเห็นว่าอินทิเกรชั่นฟิลเตอร์จะมีผลตอบสนองโพลเดี่ยวจาก 300 Hz ถึง 3 kHz กระแสที่ต้องการที่จะทำให้เอาต์พุตของ อินทิเกรเตอร์ เพิ่มจาก 0 ถึง จุดโวลท์เตจที่ต้องการ คือ

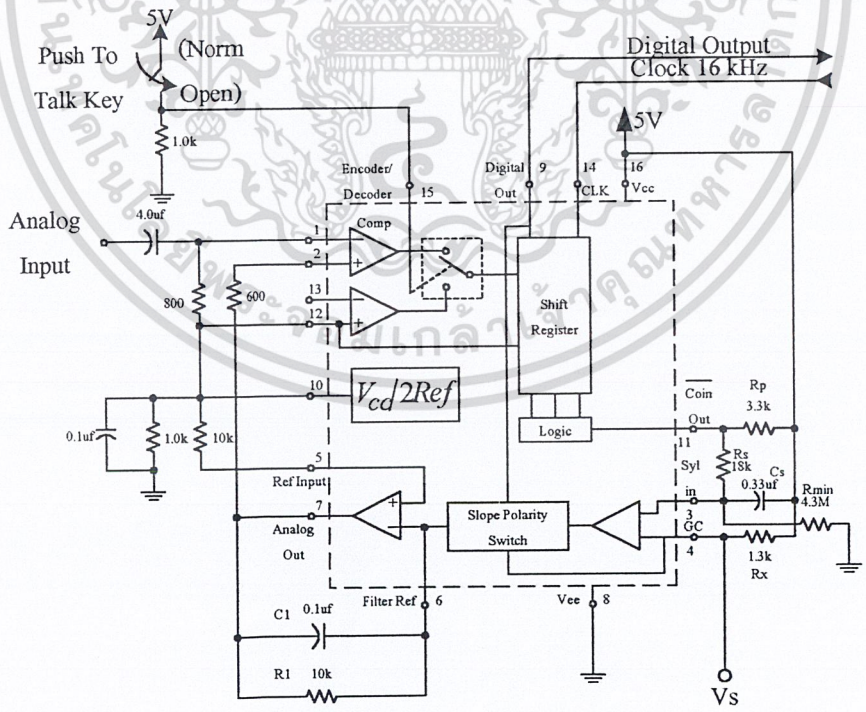
$$I_i = \frac{1.1V}{2(10k\Omega)} + \frac{0.1\mu F}{0.125ms} = 0.935mA$$

ตอนนี้ย่านแรงดันของ syllabic filter คือแหล่งจ่ายไฟเลี้ยงดังนั้น

$$Rx = 0.25(V_{cc})\frac{1}{0.935mA}$$

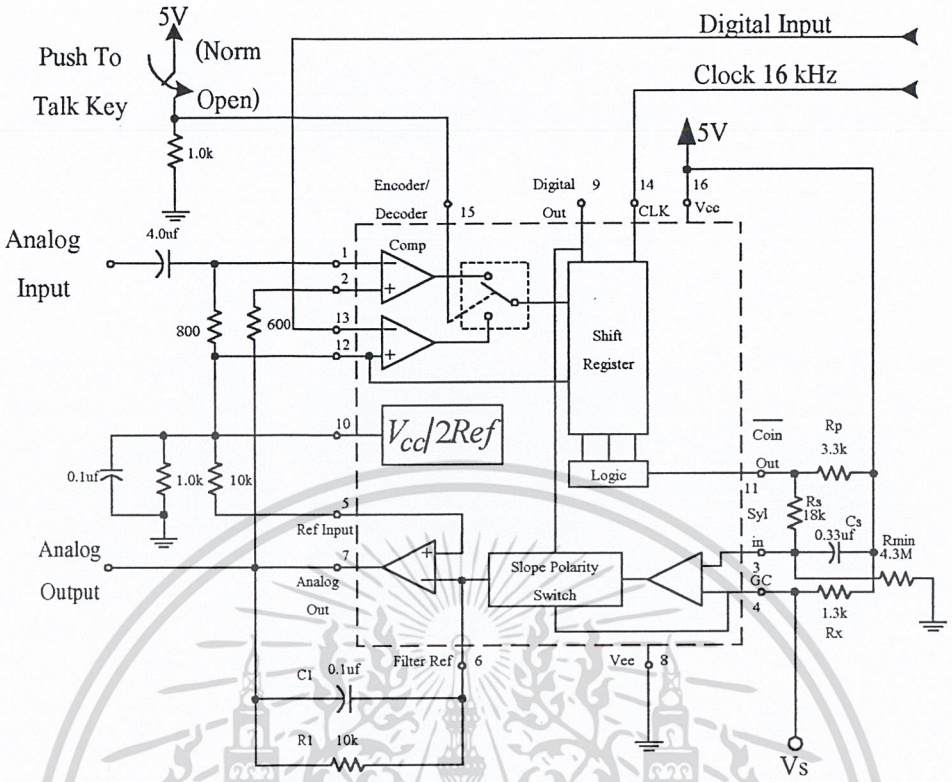
เมื่อ $V_{cc} = 5V$

จะได้ $Rx = 1.3\,k\Omega$



รูปที่ 3.6 วงจรเข้ารหัสแบบเดลต้ามอดูเลเตอร์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.7 วงจรถอดรหัสแบบเดลต้ามอดูเลชั่น

ขนาดขั้นที่เล็กที่สุด (minimum step size)

พารามิเตอร์สุดท้ายที่ต้องออกแบบสำหรับวงจรอย่างง่ายในรูปที่ 3.5 คือขนาดขั้นในขณะที่ไม่มีสัญญาณอินพุต บิทข้อมูลดิจิตอลเอาต์พุตจะมีรูปแบบเป็น “1” , ”0” สลับกัน และอนาลอกเอาต์พุต จะมีลักษณะเป็นคลื่นรูปสามเหลี่ยมเล็กๆ ค่าของขนาดขั้นในขณะที่ไม่มีสัญญาณอินพุตนั้นถูกกำหนดจากค่าของ Rmin เมื่อไม่มีสัญญาณอินพุตเข้ามาส่วนควบคุมความชันจะไม่ทำงาน เพราะไม่มีการเกิดบิท “1” หรือ “0” เรียงต่อเนื่องกัน ดังนั้นแรงดันที่ตกคร่อม syllabic filter capacitor (Cs) จะเป็นศูนย์ อย่างไรก็ตาม การแบ่งแรงดันของ Rs และ Rmin จะทำให้มีแรงดันตกคร่อม Cs บ้าง ซึ่งแรงดันนี้จะทำให้เกิดสัญญาณสามเหลี่ยมที่เอาต์พุตอนาลอก จากสมการกระแสอินพุต

$$I_i = \frac{V_o}{R_1} + c\frac{dV_o}{dt}$$

สำหรับค่าของ V_o ที่เข้าใกล้กับ $V_{cc}/2$ เทอม V_o/R จะมีค่าน้อยมาก ตัดทิ้งได้ ดังนั้น

$$I_i = C_s.\frac{\Delta V_o}{\Delta T}$$

ที่ ΔT คือ คาบเวลาของสัญญาณนาฬิกาและ ΔV_o คือ ค่าพีคทูพีค (peak to peak) ที่ต้องการของเอาต์พุตว่าง (idel output) สำหรับวงจรในรูปที่ 3.5เมื่อใช้งานที่บิทเรท 16 kbps จะได้ว่า

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$I_i = \frac{(0.1\mu F)(20mV)}{(62.5\mu s)} = 33\mu s$$

แรงดันบน Cs ซึ่งจ่ายกระแส 33 μs จะถูกกำหนดโดย ค่าของ Rx

$$I_i.R_X = V_{s\min};\ \text{สำหรับ } 33\ \mu s\ ,\ V_{s\min} = 41.6mV$$

ในรูปที่ 3.5 Rs คือ 18 $k\Omega$ การแบ่งแรงดันของ Rs และ Rmin จะต้องผลิตเอาต์พุตออกมาให้ได้เท่ากับ 41.6 mV

$$V_{cc}.\frac{R_s}{R_s + R_{\min}} = V_{s\min}$$

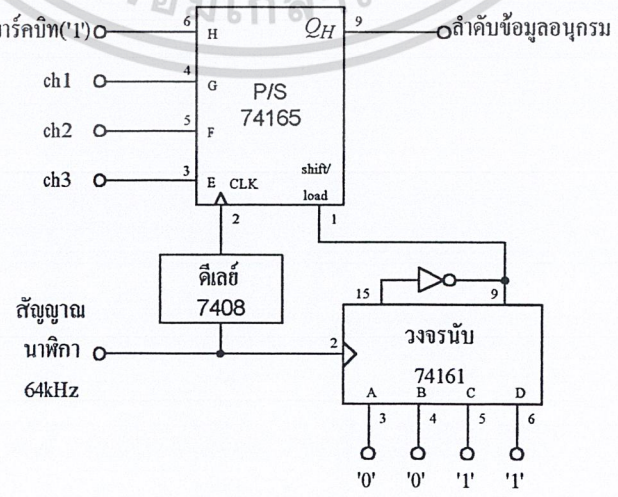
จากการแทนค่า $V_{cc}, R_s, V_{s\min}$ จะได้

$$R_{\min} \approx 2.4M\Omega$$

จากการคำนวณข้าต้นและจากรูปที่ 3.5 ทำให้เราได้วงจร A/D และ D/A แบบ CVSD ซึ่งทำงานที่ความถี่แซมปลิ้ง 16 kHz ดังแสดงในรูปที่ 3.6 และ 3.7. ตามลำดับ

3.3 วงจรมัลติเพล็กซ์

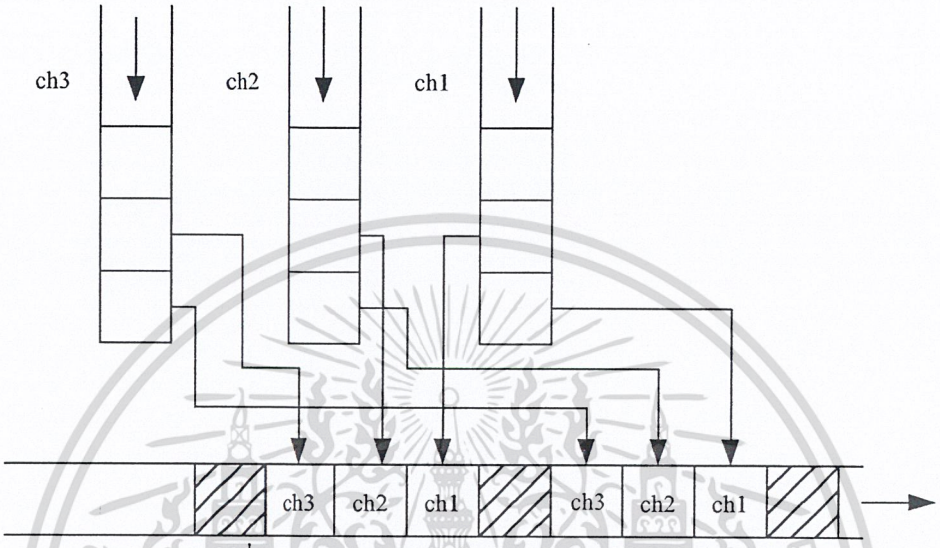
ข้อมูลดิจิตอลในรูปลำดับข้อมูลอนุกรมที่ได้รับมาจากวงจร A/D ของแต่ละช่องสัญญาณจะถูกนำมามัลติเพล็กซ์ รวมกัน โดยใช้วงจรแปลงข้อมูลขนานเป็นอนุกรมดังรูปที่ 3.8



รูปที่ 3.8 วงจรมัลติเพล็กซ์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

วงจรที่แสดงในรูปเป็นวงจรที่สามารถแปลงข้อมูลแบบขนาน 4 บิทให้เป็นข้อมูลอนุกรมซึ่งมีหลักการทำงานของวงจรคือ ข้อมูลในตำแหน่งบิทที่ตรงกันจากข้อมูลอนุกรมของแต่ละช่องสัญญาณจะถูกนำมาจัดวางให้เรียงลำดับกันแบบอนุกรมโดยให้มีมาร์คบิท (mark bit) ("1")เป็นบิทเริ่มต้นทุกครั้งดังรูปที่ 3.9



รูปที่ 3.9 แสดงการเรียงข้อมูลขนานไปเป็นข้อมูลอนุกรม

หลังจากข้อมูลถูกเรียงลำดับเรียบร้อยแล้วข้อมูลจะถูกเลื่อนออกไปแบบอนุกรมด้วยบิทเรทเป็น 4เท่าของบิทเรทข้อมูลจากแต่ละช่องสัญญาณจากนั้นข้อมูลที่มัลติเพล็กซ์นี้จะถูกส่งไปมอดูเลตแบบ 16-QAM ในขั้นตอนถัดไป

3.4 <u>วงจรดีมัลติเพล็กซ์</u>

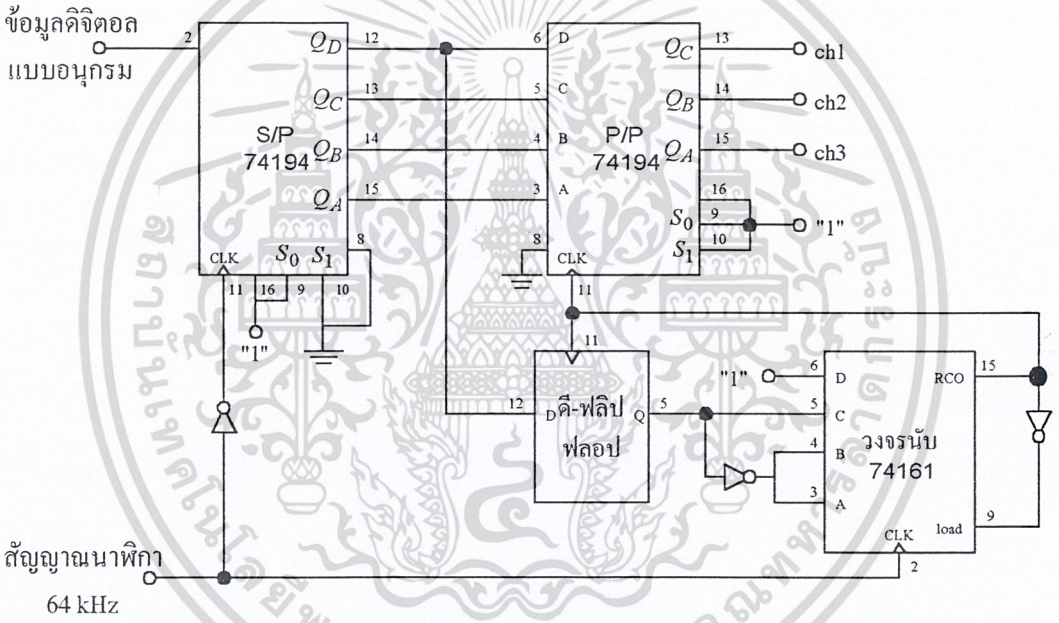
ข้อมูลในรูปแบบอนุกรมที่ได้รับมาหลังการดีมอดูเลทแบบ 16-QAM จะเป็นข้อมูลดิจิตอลที่ถูกมัลติเพล็กซ์รวมกันมาโดยมีมาร์คบิท ("1") แทรกอยู่ระหว่างทุกๆ สล็อท (slot) ซึ่งมีประโยชน์ในการตรวจสอบเพื่อใช้แยกข้อมูลดิจิตอลที่มัลติเพล็กซ์รวมกันมาส่งให้กับแต่ละช่องสัญญาณได้อย่างถูกต้อง

<u>หลักการทำงานของวงจรดีมัลติเพล็กซ์อธิบายได้ดังนี้</u>

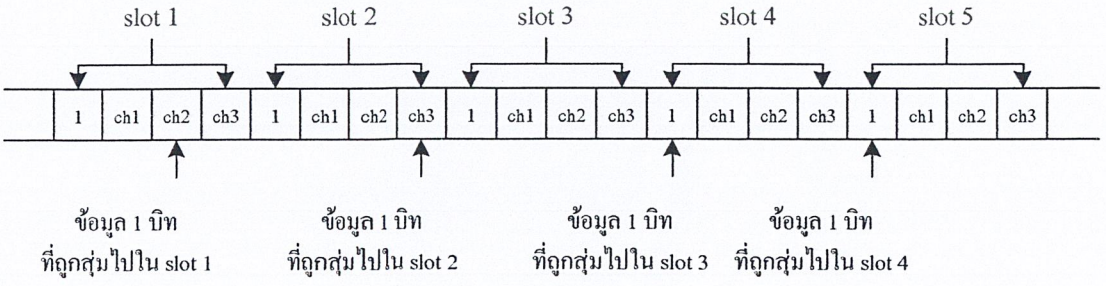
ข้อมูลในรูปแบบอนุกรมที่ได้รับมาจากการดีมอดูเลตแบบ16-QAMถูกส่งให้กับวงจรแปลงข้อมูลอนุกรมเป็นแบบขนาน 4บิท (4 bit S/P) โดยมีขา Q_D ของ 74194 เป็นตำแหน่ง MSB บิท จากนั้นข้อมูลขนาน 4 บิทนี้จะถูกแลตช์ (latch) ไว้โดย วงจร 4 บิทแปลงข้อมูลขนานเป็นขนาน (4 bit P/P) เพื่อแยกบิทข้อมูลภายในแต่ละสล็อทออกจากกัน แล้วส่งให้กับแต่ละช่องสัญญาณโดยช่องสัญญาณที่1 คือขา Q_C , ช่องสัญญาณที่2 คือขา Q_B และช่องสัญญาณที่3 คือขา Q_A ของ 74194 ที่ทำหน้าที่เป็น 4 บิท P/P โดยการแลตช์จะถูกควบคุมจากส่วนของวงจรตรวจสอบและค้นหามาร์คบิทซึ่งวงจรนี้นำข้อมูลอนุกรมมาจากขา Q_D ของ 4 บิท S/Pเพื่อตรวจสอบด้วยวิธีการคือให้ข้อมูลอนุกรมนี้ผ่านเข้า ดี-ฟลิปฟลอป จากนั้นดี-

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ฟลิปฟลอปจะทำการสุ่มข้อมูลขึ้นมาสล็อทละ 1 บิท เพื่อตรวจสอบโดยจะใช้สัญญาณโหลดที่ได้มาจากวงจรนับในการควบคุมจังหวะการสุ่มข้อมูลของดี-ฟลิปฟลอป ผลของการตรวจสอบข้อมูล 1 บิทที่สุ่มได้จะถูกใช้เป็นเงื่อนไขในการกำหนดการทำงานของวงจรนับว่าจะให้เลื่อนจังหวะการส่งสัญญาณโหลด (load) ที่ใช้ในการเลื่อนตำแหน่งการสุ่มข้อมูล 1 บิทไปหนึ่งตำแหน่งบิทในสล็อทถัดไปหรือไม่ ถ้าข้อมูล 1 บิทที่สุ่มมาตรวจสอบเป็นมาร์คบิทจริง ในสล็อทถัดไปวงจรนับจะส่งสัญญาณโหลดให้ ดี-ฟลิปฟลอปสุ่มข้อมูล 1 บิทนี้ที่ตำแหน่งเดิม แต่ถ้าข้อมูล 1 บิทที่สุ่มได้ไม่ใช่มาร์คบิทแล้ว ในสล็อทถัดไปวงจรนับจะส่งสัญญาณโหลดให้ดี-ฟลิปฟลอป เลื่อนตำแหน่งการสุ่มบิทข้อมูล 1 บิทนี้ไปหนึ่งตำแหน่งบิทจากตำแหน่งเดิมในสล็อทที่แล้ว ซึ่งการเลื่อนตำแหน่งข้างต้นนี้จะเกิดขึ้นซ้ำๆในทุกๆสล็อทจนกว่าข้อมูล 1 บิทที่สุ่มมาจะเป็นมาร์คบิทที่ถูกต้องในทุกๆสล็อท กระบวนการดังกล่าวสามารถแสดงเป็นตัวอย่างได้ดังรูปที่ 3.11



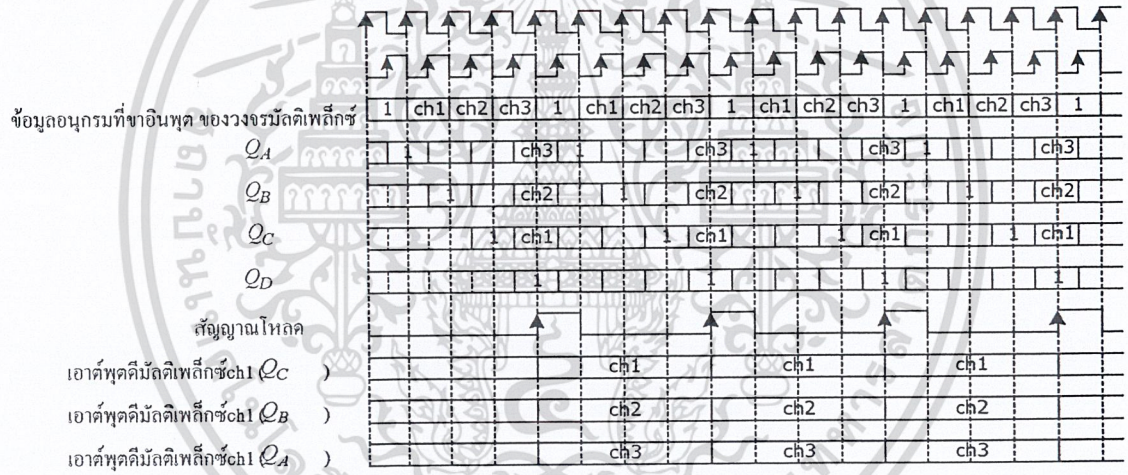
รูปที่ 3.10 วงจรดีมัลติเพล็กซ์



รูปที่ 3.11 ตัวอย่างการสุ่มข้อมูล 1บิท

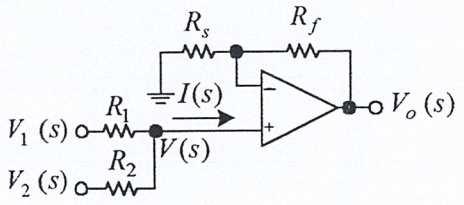
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากรูปที่ 3.11 ข้อมูล 1 บิท (ch2) ที่สุ่มได้จากสล็อทที่1ไม่ใช่มาร์คบิท (“1”) ดังนั้นผลการตรวจสอบจะทำให้วงจรนับส่งสัญญาณโหลดให้ ดี-ฟลิปฟลอป เลื่อนตำแหน่งการสุ่มข้อมูล1บิทในสล็อทที่2 ไปหนึ่งตำแหน่งบิทจากตำแหน่งเดิมในสล็อทที่1 ดังรูป และเมื่อสุ่มในสล็อทที่2 ข้อมูล1บิท(ch3) ที่ได้รับไม่ใช่มาร์คบิทอีกครั้ง เพราะฉะนั้นผลการตรวจสอบจะทำให้วงจรนับส่งสัญญาณโหลดให้ ดี-ฟลิปฟลอป เลื่อนตำแหน่งการสุ่มข้อมูล1บิทในสล็อทที่3 ไปหนึ่งตำแหน่งบิทจากตำแหน่งเดิมในสล็อทที่2 และในสล็อทที่ 3 ข้อมูล1บิท(1) ที่สุ่มได้เป็นมาร์คบิทพอดี ผลการตรวจสอบจึงทำให้วงจรนับส่งสัญญาณให้ ดี-ฟลิปฟลอป สุ่มข้อมูล1บิทนี้ที่ตำแหน่งเดิมในสล็อทที่4 และจากนี้ไปวงจรนับจะส่งสัญญาณโหลดให้ ดี-ฟลิปฟลอป นี้ที่ตำแหน่งเดิมในทุกๆสล็อท ซึ่งสถานะนี้เป็นสถานะที่วงจรตรวจสอบและค้นหามาร์คบิทสามารถล็อค (lock) ตำแหน่งของมาร์คบิทได้ เมื่อพิจารณาไทม์มิ่งไดอะแกรมของวงจรในสภาวะล็อคดังรูปที่3.12 จะพบว่าหากเราใช้สัญญาณโหลดเป็นสัญญาณในการควบคุมจังหวะการแลตช์ให้กับ 4 บิท P/P แล้วเราจะได้ข้อมูลแบบอนุกรมที่ถูกดีมัลติเพล็กซ์ออกมาเป็น ช่องสัญญาณที่1(ch1) ,ช่องสัญญาณที่2(ch2) , ช่องสัญญาณที่3(ch3) ที่ตำแหน่งขา Q_A Q_B Q_C ของ 4 บิท P/P



รูปที่3.12 ไทม์มิ่งไดอะแกรมของวงจรดีมัลติเพล็กซ์

3.5 <u>การออกแบบวงจรรวมสัญญาณ</u>



รูปที่ 3.13วงจรรวมสัญญาณชนิดนอนอินเวอรติ้ง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

วงจรในรูปที่3.13 เป็นวงจรรวมสัญญาณชนิดนอนอินเวอรติ้ง (noninverting summing amplifier) แบบ 2 อินพุต เมื่อนำการวิเคราะห์แบบโหนดมาใช้กับรูปที่ 3.13 จะทำให้ได้ความสัมพันธ์ดังนี้

$$V_o(s) = (1+\frac{R_f}{R_s}).V_s(s) \tag{3.7}$$

เนื่องจากแอมปลิฟลายไม่โหลดที่โหนด Vs ดังนั้นจะได้

$$V_s(s) = \frac{R_p}{R_1}.V_1(s) + \frac{R_p}{R_2}.V_2(s) \tag{3.8}$$

เมื่อ R_p คือ R_1 ขนาน R_2 หลังการรวมสมการที่ 3.7 และ 3.8 เข้าด้วยกันจะได้

$$V_o(s) = \left(1+\frac{R_f}{R_s}\right)\left[K_1.V_1(s) + K_2.V_2(s)\right] \tag{3.9}$$

$$K_1 = \frac{R_p}{R_1}, K_2 = \frac{R_p}{R_2}$$

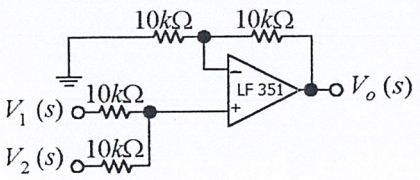
และ

$$R_p = \frac{R_1.R_2}{R_1+R_2}$$

วงจรรวมสัญญาณในรูปที่ 3.13 นั้นจะถูกนำไปใช้งานในตำแหน่งภายในบล็อกไดอะแกรมแสดงหลักการใดก็ตามที่มีสัญลักษณ์การรวมสัญญาณจาก 2 แหล่งเข้าด้วยกัน เช่น บล็อกไดอะแกรมแสดงหลักการของภาคส่ง,ภาครับ และภาคกำเนิดสัญญาณคลื่นพาห์และสัญญาณนำร่อง ซึ่งวงจรรวมสัญญาณที่ใช้ในแต่ละภาคเหล่านี้จะมีการออกแบบที่แตกต่างกัน โดยจะพิจารณาออกแบบวงจรรวมสัญญาณที่ใช้ในแต่ละภาคดังนี้

3.5.1 วงจรรวมสัญญาณของภาคส่ง

วงจรรวมสัญญาณที่ใช้ในภาคนี้มีจุดประสงค์เพื่อรวมสัญญาณเท่านั้น ไม่ต้องการการขยาย เราจึงให้ค่าความต้านทานทุกตัวเท่ากันหมด คือ R = $10k\Omega$ ซึ่งจะทำให้ได้วงจรเป็นดังรูปที่3.14



รูปที่ 3.14 วงจรรวมสัญญาณภาคส่ง

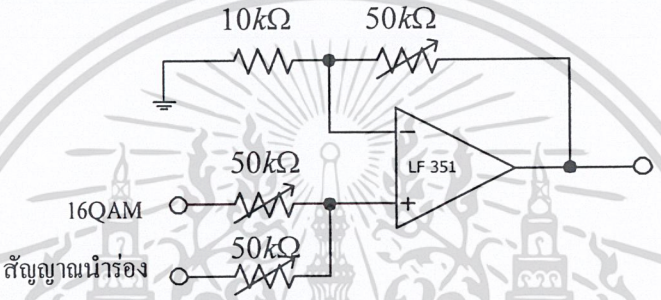
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.5.2 วงจรรวมสัญญาณของภาครับ

วงจรรวมสัญญาณที่ใช้ในภาครับมีจุดประสงค์เช่นเดียวกับภาคส่ง คือ ทำหน้าที่รวมสัญญาณ ดังนั้นการออกแบบวงจรจึงเหมือนกัน

3.5.3 วงจรรวมสัญญาณของภาคกำเนิดสัญญาณคลื่นพาห์และสัญญาณนำร่อง

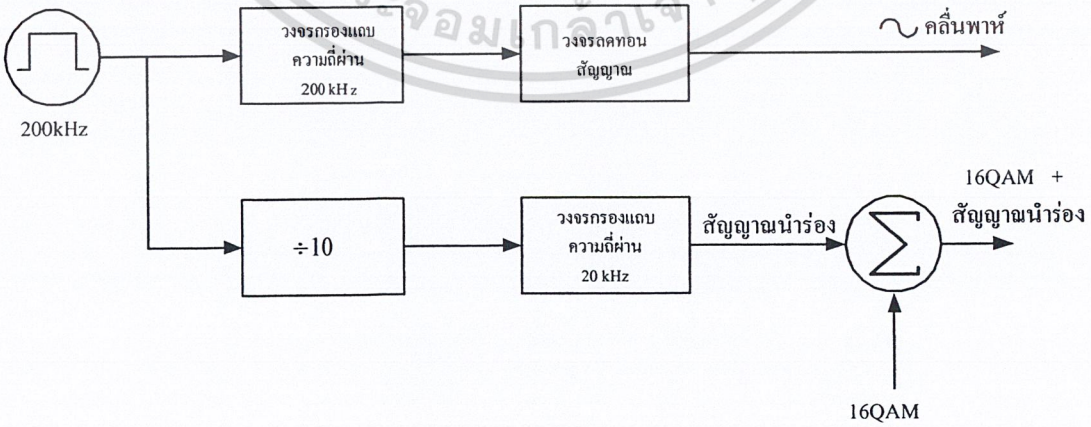
วงจรรวมสัญญาณที่ใช้ในภาคนี้จะเน้นใช้สามารถปรับน้ำหนักการบวกของแต่ละอินพุตและอัตราขยายได้ ดังนั้นจึงออกแบบให้ R_1, R_2 และ R_f เป็นความต้านทานแบบปรับค่าได้ 50 $k\Omega$ และ $R_s = 10k\Omega$ ซึ่งวงจรแสดงดังรูปที่ 3.15



รูปที่ 3.15 วงจรรวมสัญญาณ 16-QAM เข้ากับสัญญาณนำร่อง

3.6 การสร้างสัญญาณนำร่องและคลื่นพาห์

ในการสร้างคลื่นพาห์และสัญญาณนำร่องสามารถทำได้โดยป้อนสัญญาณรูปสี่เหลี่ยม ความถี่ 200 kHz ดังรูปที่ 3.16 ซึ่งจะแยกออกเป็น 2 ส่วน ส่วนแรกเป็นการสร้างคลื่นพาห์โดยการนำสัญญาณรูปสี่เหลี่ยม ความถี่ 200 kHz ผ่านวงจรกรองแถบความถี่ผ่านจะได้สัญญาณไซน์แล้วนำสัญญาณที่ได้ผ่านวงจรลดทอนสัญญาณให้ได้ขนาดประมาณ 60 mVp-p

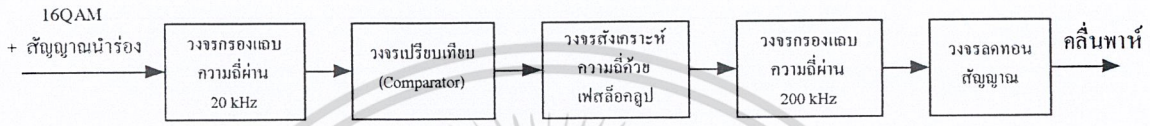


รูปที่3.16 บล็อกไดอะแกรมของการสร้างสัญญาณนำร่องและคลื่นพาห์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

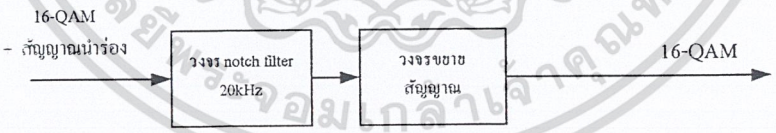
ในส่วนของการสร้างสัญญาณนำร่องสามารถทำได้โดยการนำสัญญาณรูปสี่เหลี่ยม ความถี่ 200 kHz ผ่านวงจรหาร 10 จะได้สัญญาณรูปสี่เหลี่ยม ความถี่ 20 kHz แล้วนำสัญญาณที่ได้ไปกรองสัญญาณด้วยวงจรกรองแถบความถี่ผ่านจะได้สัญญาณไซน์ความถี่ 20 kHz ออกมาจากนั้นจึงนำไปรวมกับสัญญาณ 16-QAM ก่อนส่งออกผ่านสายโคแอคเชียล เพื่อประโยชน์ในการกู้คลื่นพาห์กลับทางด้านรับ

3.7 การกู้สัญญาณนำร่องและคลื่นพาห์



รูปที่3.17 บล็อกไดอะแกรมการกู้คลื่นพาห์

การแยกสัญญาณนำร่องออกจากสัญญาณที่รับได้เพื่อนำไปใช้สร้างคลื่นพาห์ทางด้านรับจะใช้ขั้นตอนดังรูปที่3.17 ซึ่งเริ่มต้นด้วยการใช้วงจรกรองแถบความถี่ผ่านที่ความถี่ 20 kHz กรองเอาสัญญาณนำร่องออกมาแล้วนำสัญญาณนำร่องที่ได้นี้ไปสร้างสัญญาณรูปสี่เหลี่ยมโดยใช้วงจรเปรียบเทียบ (Comparator) เมื่อได้สัญญาณรูปสี่เหลี่ยมความถี่ 20 kHz แล้วนำสัญญาณนี้ไปสังเคราะห์ความถี่ขึ้นเป็น 200 kHz โดยใช้เฟสล็อกลูปจากนั้นนำสัญญาณไปผ่านวงจรกรองแถบความถี่ผ่านที่ความถี่ 200 kHz จะได้สัญญาณไซน์ออกมา นำสัญญาณที่ได้ผ่านวงจรลดถอนสัญญาณให้ได้ขนาดประมาณ 60 mVp-p เพื่อเป็นคลื่นพาห์ให้กับวงจรดีมอดูเลต



รูปที่3.18 บล็อกไดอะแกรมการกู้สัญญาณ 16-QAM

ทางด้านภาครับการแยกสัญญาณ 16-QAM ออกจากสัญญาณที่รับได้จะใช้ขั้นตอนดังแสดงในรูปที่ 3.18 ซึ่งในการแยกสัญญาณ 16-QAM นี้จะใช้วงจรนอตช์ฟิลเตอร์ เพื่อกำจัดสัญญาณนำร่องที่ความถี่ 20 kHz ทิ้งไป ซึ่งจะได้สัญญาณ 16-QAM ออกมาจากนั้นนำไปขยายเพื่อทำการดีมอดูเลตในส่วนต่อไป ซึ่งการออกแบบวงจรต่างๆในแต่ละส่วนจะประกอบด้วย

1 วงจรกรองแถบความถี่ผ่าน 200 kHz
2 วงจรกรองแถบความถี่ผ่าน 20 kHz
3 วงจรนอตช์ฟิลเตอร์ 20 kHz

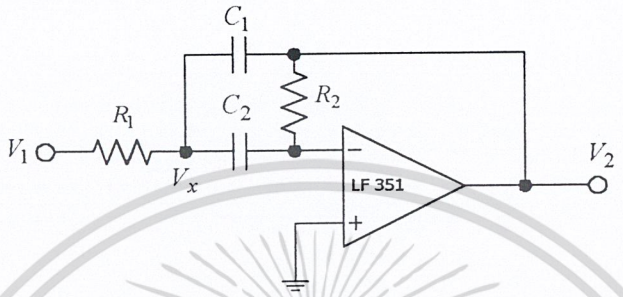
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4 วงจรหาร 10

5 วงจรรวมสัญญาณ

6 วงจรสังเคราะห์ความถี่ด้วยเฟสล็อกลูป

3.8 วงจรกรองแถบความถี่ผ่าน 200 kHz



รูปที่3.19 วงจร DELYIANNIS-FRIEND

จากรูปที่ 3.19 node x

$$V_2 = -\frac{R_2}{1/C_2 s} V_x = -R_2 C_2 s V_x \tag{3.10}$$

$$\frac{1}{R_1}(V_x - V_1) + C_2 s V_x + (V_x - V_2) C_1 s = 0 \tag{3.11}$$

จากสมการที่ (3.10) และ (3.11)

$$\frac{V_2}{V_1} = T(s) = \frac{(-1/R_1 C_1)s}{s^2 + (1/R_2)(1/C_1 + 1/C_2)s + 1/R_1 R_2 C_1 C_2} \tag{3.12}$$

ให้ $C = C_1 = C_2$ จะได้

$$T(s) = \frac{(1/R_1 C)s}{s^2 + (2/R_2 C)s + 1/R_1 R_2 C^2} \tag{3.13}$$

เมื่อเปรียบเทียบกับสมการมาตรฐานของวงจรกรองแถบความถี่ผ่านในสมการที่ (3.14)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$T(s) = \frac{-(\omega_o / Q)s}{s^2 + (\omega_o / Q)s + \omega_o^2} \qquad (3.14)$$

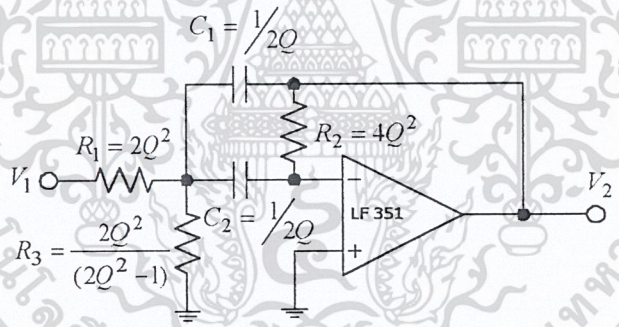
จากสมการที่ (3.13) จะได้

$$\omega_o = \frac{1}{C\sqrt{R_1 R_2}} \ , \ Q = \frac{1}{2}\sqrt{\frac{R_2}{R_1}} \ , \ BW = \frac{\omega_o}{Q} = \frac{2}{R_2 C}$$

กำหนดให้ $R_1 = \omega_o = 1$ ดังนั้นจะได้

$$R_2 = 4Q^2 \quad \text{และ} \quad C = \frac{1}{2Q}$$

จากสมการที่ (3.14) จะพบว่ายิ่ง Q มีค่ามากขึ้นจะทำให้วงจรมีอัตราขยายมากขึ้นแต่เราต้องการให้อัตราขยายเท่ากับ 1 ดังนั้นจึงต้องใส่วงจรลดทอนเข้าไปจะได้วงจรดังรูปที่ 3.20



รูปที่3.20 วงจร DELYIANNIS-FRIEND ที่ใช้ในการคำนวณ

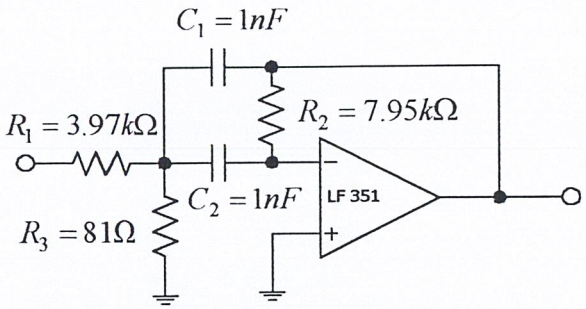
ในการออกแบบวงจรกรองความถี่แถบผ่านที่ความถี่ 200 kHz โดยกำหนดให้ Q = 5 และ C = 1 nF ดังนั้น $\omega = 2\pi \times 200kHz = 1256637.061 rad/s$

$$C_{new} = \frac{1}{kfkm} C_{old}$$

$$km = 79.57$$

เมื่อคำนวณค่าต่างๆในวงจรจะได้ดังรูปที่ 3.21

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่3.21 วงจร DELYIANNIS-FRIEND ที่ความถี่ 200 kHz

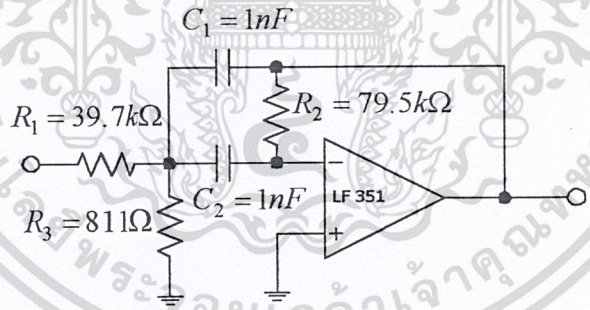
3.9 <u>วงจรกรองแถบความถี่ผ่าน 20 kHz</u>

ในการออกแบบวงจรกรองความถี่แถบผ่านที่ความถี่ 200 kHz โดยกำหนดให้ Q = 5 และ C = 1 nF ดังนั้น $\omega = 2\pi \times 20kHz = 125663.7rad/s$

$$C_{new} = \frac{1}{kfkm} C_{old}$$

$$km = 795.7$$

เมื่อคำนวณค่าต่างๆในวงจรจะได้ดังรูปที่ 3.22



รูปที่3.22 วงจร DELYIANNIS-FRIEND ที่ความถี่ 20 kHz

3.10 <u>วงจรนอตช์ฟิลเตอร์ (notch filter) 20 kHz</u>

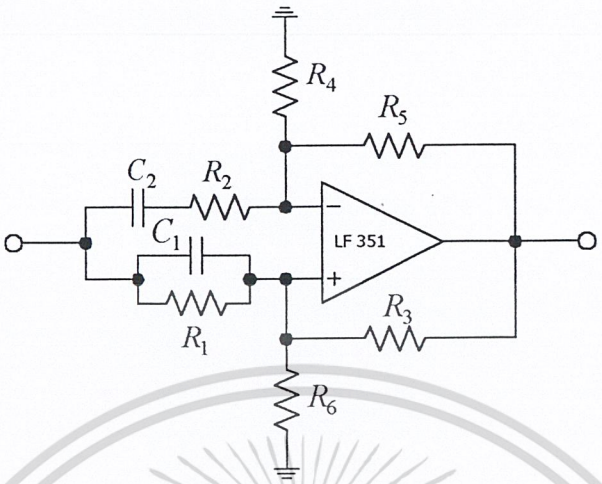
การออกแบบวงจรนอตช์ฟิลเตอร์จะกำหนดให้ Q = 1และ $\omega_o = \sqrt{2}\omega_z$ ดังนั้น $\omega_z^2 = \frac{1}{2}$, G = 1.2

$$\gamma = \frac{1}{Q(1-\omega_z^2)} = 2$$

$$\alpha = \frac{\gamma^2 - 1}{1+\gamma^2\omega_z^2} = 1$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

วงจรในรูปที่ 3.23 เป็นวงจรนอตช์ฟิลเตอร์ที่ใช้งานสามารถหาค่าต่างๆดังนี้



รูปที่3.23 วงจรนอตช์ฟิลเตอร์

$$R_1 = (\frac{1+\alpha}{\alpha\gamma\omega_-})^2 = 2$$

$$R_2 = 1$$

$$R_3 = G\frac{(1+\alpha)^2}{\alpha\gamma^2} = 1.2$$

$$R_4 = \frac{G}{G+1}\frac{1}{\alpha} = 6$$

$$R_5 = \frac{G}{\alpha} = 1.2$$

$$R_6 = \frac{G(1+\alpha)^2}{\alpha\gamma^2[G(1+\alpha-\alpha\omega_z^2)-1]} = 1.5$$

$$C_1 = C_2 = \frac{\alpha\gamma}{1+\alpha} = 1$$

เมื่อ $kf = \sqrt{2}(2\pi \times 20kHz) = 177715.3175$ และให้ C = 1 nF

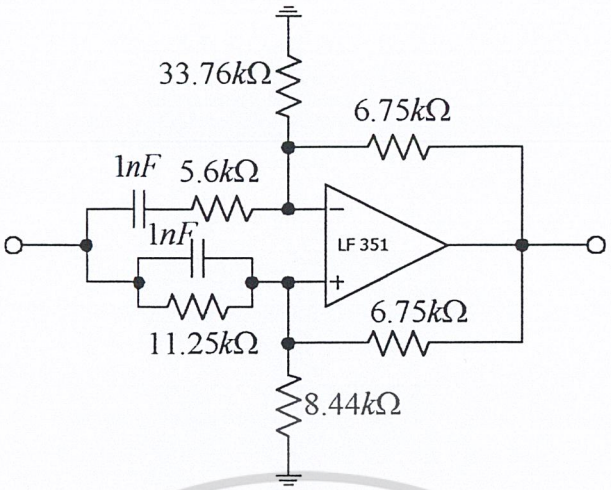
จากสูตร

$$C_{new} = \frac{1}{kfkm}C_{old}$$

$$km = 5.62k\Omega$$

ดังนั้นจะได้ค่า R และ C จริงดังรูปที่ 3.24

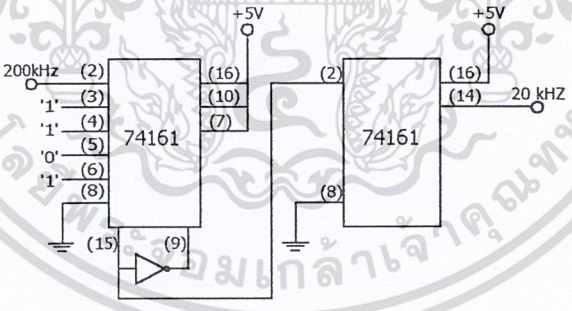
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.24 วงจรนอตช์ฟิลเตอร์ 20kHz

3.11 วงจรหาร 10

วงจรหาร 10 จะใช้ในการหารสัญญาณรูปสี่เหลี่ยมจาก 200 kHz เป็น 20 kHz ดังแสดงในรูปที่ 3.25 ซึ่งใช้ไอซีเบอร์ 74161



รูปที่ 3.25 วงจรหาร 10

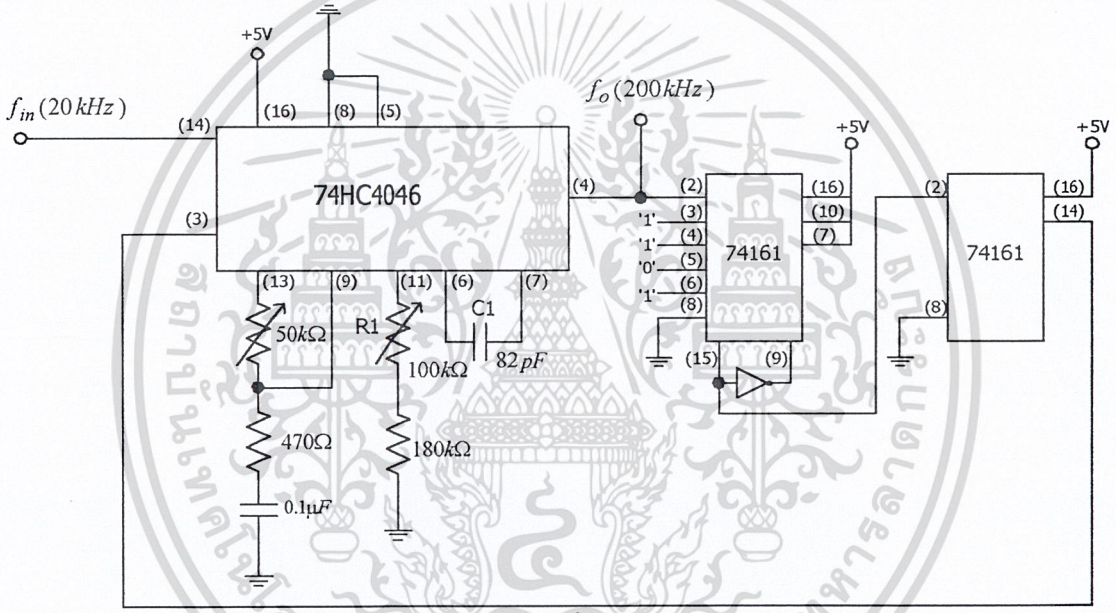
3.12 วงจรรวมสัญญาณ 16-QAM เข้ากับสัญญาณนำร่อง

รูปที่ 3.15 เป็นวงจรรวมสัญญาณ 16-QAM เข้ากับสัญญาณนำร่องแล้วส่งสัญญาณที่ได้ผ่านสายโคแอคเชียล

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.13 วงจรสังเคราะห์ความถี่ 200kHz ด้วยเฟสล็อกลูป

วงจรสังเคราะห์ความถี่ด้วยเฟสล็อกลูปแสดงดังรูปที่ 3.26 ซึ่งจะสังเคราะห์สัญญาณรูปสี่เหลี่ยมความถี่ 200 kHz จากสัญญาณรูปสี่เหลี่ยมความถี่ 20 kHz โดยใช้เฟสล็อกลูปเบอร์ 74HC4046 และตัวดักจับเฟสแบบเฟส-ความถี่และใช้วงจรกรองความถี่ต่ำผ่านแบบพาสซีฟ โดยความถี่ที่เกิดขึ้นที่เอาท์พุทของ VCO ที่ขา 4 ของ 74HC4046 จะขึ้นอยู่กับค่าความต้านทานของ R1 และค่าความจุของ C1 ซึ่งสัญญาณรูปสี่เหลี่ยมความถี่ 200 kHz จะออกที่ขา 4 ของ 74HC4046 และนำสัญญาณรูปสี่เหลี่ยม 200 kHz ไปหารความถี่ให้เหลือ 20 kHz ด้วยวงจรหาร10 ซึ่งใช้ไอซีเบอร์ 74161 แล้วนำสัญญาณนี้ป้อนกลับที่ขา 3 ของไอซีเบอร์ 74HC4046 เพื่อมาเปรียบเทียบเฟสและความถี่กับสัญญาณทางด้านอินพุทที่มีความถี่ 20 kHz ซึ่งสัญญาณทั้ง 2 ต้องมีเฟสตรงกัน



รูปที่ 3.26 วงจรสังเคราะห์ความถี่ 200 kHz ด้วยเฟสล็อกลูป

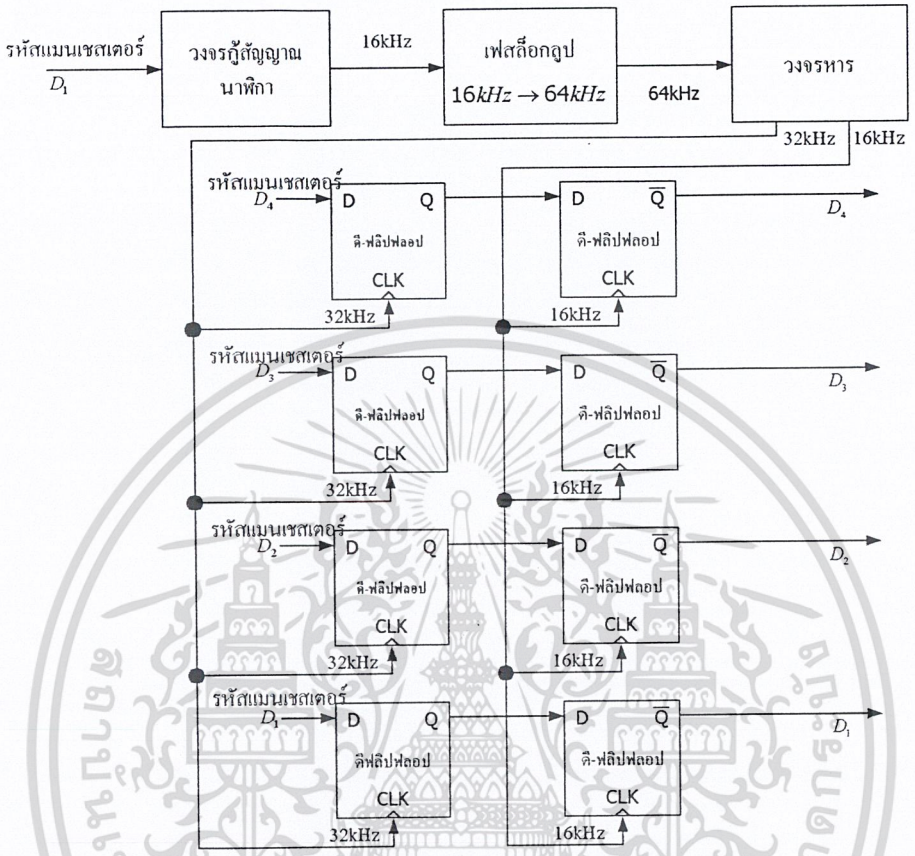
3.14 การออกแบบวงจรกู้ข้อมูลดิจิตอล

จากบล็อกไดอะแกรมในรูปที่ 3.27 ข้อมูลในบิท D_1, D_2, D_3, D_4 ได้จากวงจรดีมอดูเลตแบบ 16-QAM ซึ่งข้อมูลในบิท D_1 จะถูกนำไปใช้ในการกู้สัญญาณนาฬิกาโดยการนำข้อมูลในบิทนี้ป้อนเข้าสู่วงจรกู้สัญญาณนาฬิกาซึ่งสัญญาณนาฬิกาที่กู้ได้จะมีความถี่ 16kHz จากนั้นนำสัญญาณนาฬิกาที่กู้ได้นี้ไปสังเคราะห์ความถี่ด้วยเฟสล็อกลูปให้ได้สัญญาณนาฬิกาที่มีความถี่ 64 kHz

เนื่องจากข้อมูลดิจิตอลทั้งสี่บิทที่ได้จากวงจรดีมอดูเลตแบบ 16-QAM ยังเป็นสัญญาณดิจิตอลที่มีรูปคลื่นไม่สมบูรณ์ ดังนั้นจึงต้องสร้างสัญญาณขึ้นมาใหม่โดยใช้ ดี-ฟลิปฟลอป (D-Flip Flop) ซึ่งทำงานที่สัญญาณนาฬิกาความถี่ 32 kHz ซึ่งสัญญาณดิจิตอลที่ถูกสร้างขึ้นมาใหม่นี้ยังคงเป็นแมนเชสเตอร์อยู่ดังนั้น

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

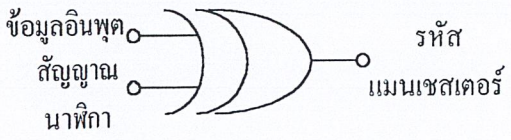
จึงต้องถอดรหัสให้เป็นสัญญาณดิจิตอลแบบ NRZ โดยใช้ ดี-ฟลิปฟลอป(D-Flip Flop) ซึ่งทำงานที่สัญญาณนาฬิกาความถี่ 16 kHz ก็จะได้ข้อมูลทั้งสี่บิท D_1, D_2, D_3, D_4 กลับคืนมาเหมือนทางด้านส่ง



รูปที่3.27 บล็อกไดอะแกรมวงจรกู้ข้อมูลในแต่ละบิทข้อมูล

3.15 <u>วงจรเข้ารหัส แมนเชสเตอร์</u>

การนำเอาข้อมูลดิจิตอลมาเข้ารหัสแบบแมนเชสเตอร์นั้นสามารถทำได้โดยการนำเอาสัญญาณนาฬิกาที่มีความถี่เท่ากับบิทเรทของข้อมูลดิจิตอลนั้นมาทำเอ็กซ์คลูซีฟออร์ โดยการใช้วงจรเอ็กซ์คลูซีฟออร์ เกท ดังรูปที่ 3.28

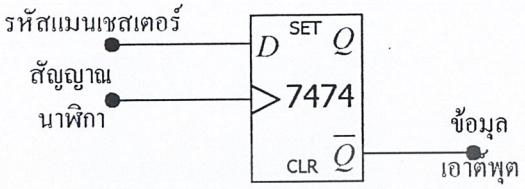


รูปที่ 3.28 วงจรเข้ารหัสแมนเชสเตอร์

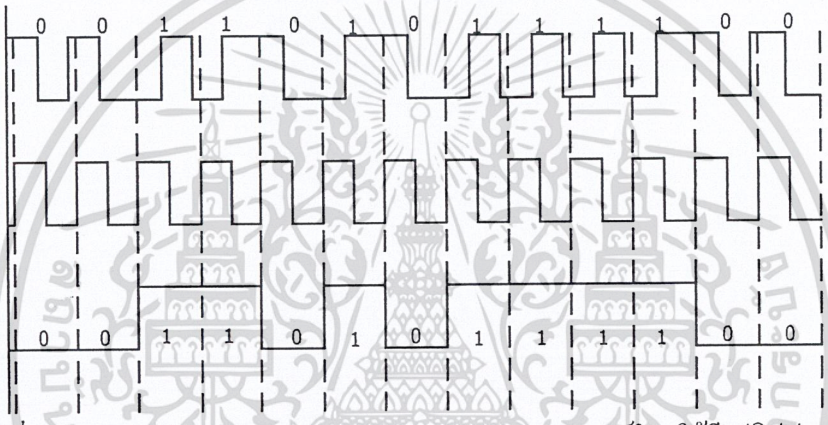
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.16 วงจรถอดรหัสแมนเชสเตอร์

การถอดรหัสทำได้โดยนำสัญญาณแมนเชสเตอร์และสัญญาณนาฬิกาที่กู้กลับมาได้นำมาผ่านดี-ฟลิปฟลอป จะได้ข้อมูลเดิมกลับคืนมาดังรูปที่ 3.30



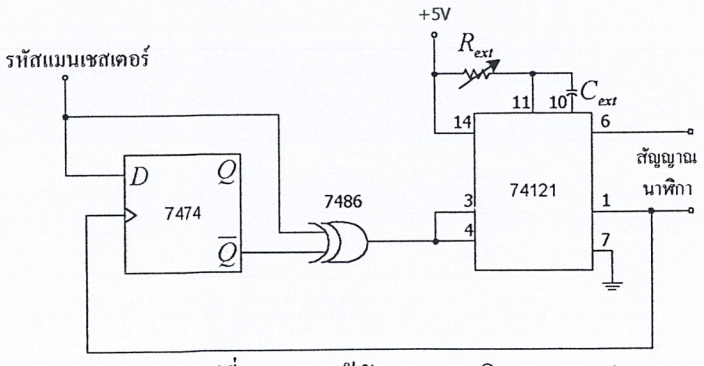
รูปที่3.29 วงจรถอดรหัสแมนเชสเตอร์



รูปที่ 3.30 แสดงรูปของสัญญาณจากการถอดรหัสแมนเชสเตอร์โดยใช้ดี-ฟลิปฟลอป

3.17 วงจรกู้สัญญาณนาฬิกา (Clock Recovery)

ข้อมูลในบิท D_1 ที่ได้จากวงจรดีมอดูเลตแบบ 16-QAM ถูกนำมาเข้าวงจรกู้สัญญาณนาฬิกาเพื่อให้ได้สัญญาณนาฬิกากลับคืนมาสำหรับใช้ในวงจรดิจิตอลทางด้านภาครับ ในวงจรกู้สัญญาณนาฬิกาจะใช้ดี-ฟลิปฟลอป(D-Flip Flop :ใช้ไอซีเบอร์ 74HC74) เอกซ์คลูซีฟออร์เกท(XOR gate: ใช้ไอซีเบอร์ 74HC86) และโมโนสเตเบิล(Monostable : ใช้ไอซีเบอร์ 74121)ดังรูปที่3.31



รูปที่3.31วงจรกู้สัญญาณนาฬิกา

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

โดยค่าความต้านทาน(R)และค่าตัวเก็บประจุ(C)ที่ใช้ในวงจรกู้สัญญาณนาฬิกาในรูปที่3.32 สามารถคำนวณได้ดังนี้

$$T = \frac{1}{f} = \frac{1}{16kHz} = 62.5\mu s$$

จาก

$$T = KCR$$

โดยที่

$K \approx 0.7$ (ใช้ได้ที่ C > 1000pF)

T = ความกว้างของพัลส์ของสัญญาณนาฬิกา หน่วย ns

C = ค่าของตัวเก็บประจุ หน่วย pF

R = ค่าความต้านทาน หน่วย $k\Omega$

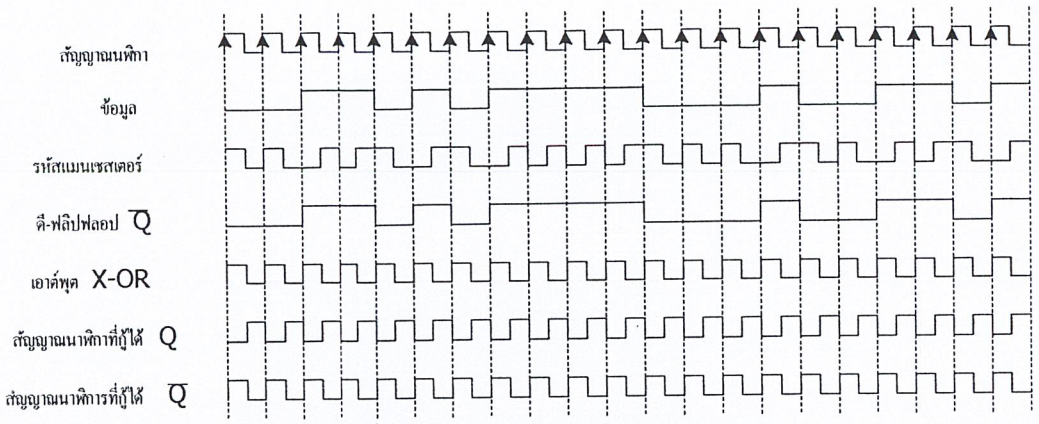
ที่นี้กำหนดให้ $C = 0.01\,\mu F$

$$R = \frac{T}{KC} = \frac{62.5\times10^{-6}}{0.7\times0.01\times10^{-6}} = 8928.57\Omega$$

ค่าความต้านทานและตัวเก็บประจุที่ได้จะเป็นตัวกำหนดค่าคงที่เวลา ในการต่อวงจรจะกำหนดให้ค่าความต้านทานเป็นแบบปรับค่าได้เพื่อสามารถปรับค่าเวลาของโมโนสเตเบิลได้ เวลาใช้งานจะปรับค่าคาบเวลาให้ได้ค่าดิวตี้ไซเคิล(Duty cycle) มากกว่า 50% เล็กน้อย โดยสัญญาณนาฬิกาที่ได้จริง(ขา 6)จะกลับเฟสกับทางด้านส่ง จึงเลือกใช้เอาต์พุตจากขา 1 ($\overline{Q}$)ซึ่งจะมีค่าดิวตี้ไซเคิลต่ำกว่า 50% เล็กน้อยแต่มีเฟสตรงกันกับทางด้านส่ง เพื่อที่จะสามารถถอดรหัสได้อย่างถูกต้อง

เริ่มต้นการทำงานสัญญาณรหัสแมนเชสเตอร์ จะแยกเข้าขา D ของดี-ฟลิปฟลอปและขา 1 ของเอกซ์คลูซีฟออร์เกทเปลี่ยนจาก 1 เป็น 0 ซึ่งจะทำให้โมโนสเตเบิลทำงานเนื่องจากโมโนสเตเบิลทำงานที่ขอบขาลงของสัญญาณ สัญญาณพัลส์จะถูกสร้างออกมาที่ขา 6 ของไอซีซึ่งจะมีความกว้างพัลส์เท่ากับค่าคงที่เวลาRCสัญญาณที่ขา 1 จะเป็นส่วนกลับของสัญญาณของขา 6 ซึ่งเราจะนำไปเข้าขาสัญญาณนาฬิกาของดี-ฟลิปฟลอป เพื่อทริกให้ฟลิปฟลอปรับสัญญาณแมนเชสเตอร์ที่ขอบขาขึ้นของสัญญาณนาฬิกา จะทำให้สัญญาณขา 2 ของเอกซ์คลูซีฟออร์เกทตรงข้ามกับสัญญาณที่เข้าขา 1 ทำให้เอาต์พุตของเอกซ์คลูซีฟออร์เกทเป็น 1 เมื่ออินพุตทางขา 1 เปลี่ยนตามรหัสแมนเชสเตอร์แต่ขา 2 ไม่เปลี่ยนเนื่องจากไม่มีสัญญาณนาฬิกาทริก จึงทำให้สถานะของเอกซ์คลูซีฟออร์เปลี่ยนจาก 1 เป็น 0 เกิดขอบขาลงไปทริกโมโนสเตเบิลวนไปเรื่อยๆอยู่เช่นนี้ จะได้สัญญาณนาฬิกาออกมาที่ขา 1 ของโมโนสเตเบิลซึ่งนำไปใช้การถอดรหัสต่อไป

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

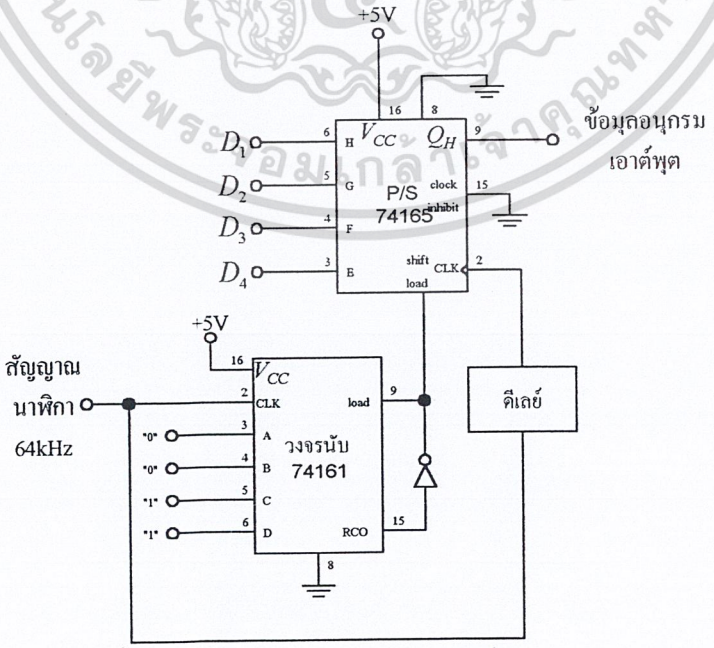


รูปที่ 3.32 ไทม์มิ่งไดอะแกรมของวงจรกู้สัญญาณนาฬิกา

3.18 วงจร แปลงข้อมูลแบบขนานเป็นแบบอนุกรม 4 บิท

หลังจากข้อมูลดิจิตอลทั้ง 4 บิท ถูกดีมอดูเลตแบบ 16-QAM และผ่านการกำเนิดบิทขึ้นมาใหม่แล้ว ข้อมูลทั้ง 4 บิทนี้จะถูกนำมารวมกันและส่งออกไปแบบอนุกรมอีกครั้งหนึ่ง ซึ่งวงจรที่ทำหน้าที่นี้แสดงดังรูปที่3.34

จากวงจรในรูปที่ 3.33 ไอซีเบอร์ 74165 ทำหน้าที่เป็นวงจรแปลงข้อมูลแบบขนานเป็นแบบอนุกรมโดยข้อมูลดิจิตอล 4 บิท จะถูก load เข้าที่ขา H,G,F และ E ของไอซีและการโหลดจะทำทุกๆ 4 คาบเวลาสัญญาณนาฬิกา ซึ่งสัญญาณโหลดนี้นำมาจากวงจรนับแบบโปรแกรมได้ (74161) หลังจากข้อมูลดิจิตอลทั้ง 4 บิท ถูก load เข้ามาแล้วก็จะถูกชิฟ (shift) ให้ไหลเลื่อนออกไปเป็นข้อมูลอนุกรมที่ขา Q_H ของ 74165 ด้วยอัตรา 64 kbps.

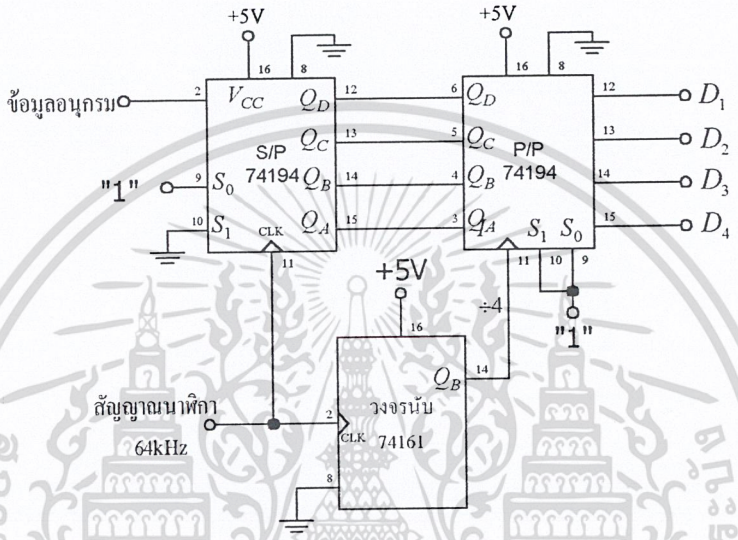


รูปที่ 3.33 วงจรแปลงข้อมูลแบบขนานเป็นแบบอนุกรม

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.19 วงจรแปลงข้อมูลแบบอนุกรมเป็นแบบขนาน 4 บิท

ข้อมูลดิจิตอลจากวงจรแปลงสัญญาณอนาลอกเป็นดิจิตอลทั้งสองช่องสัญญาณที่ถูกนำมามัลติเพล็กซ์กันเกิดเป็นลำดับข้อมูลแบบอนุกรมนั้นจะถูกนำไปส่งให้กับวงจรแปลงข้อมูลแบบอนุกรมเป็นแบบขนาน 4 บิท เพื่อแยกลำดับข้อมูลแบบอนุกรมนี้ออกเป็นลำดับข้อมูลอนุกรม 4 ชุด เพื่อส่งไปให้กับภาคมอดูเลตสัญญาณแบบ 16-QAM ซึ่งวงจรแปลงข้อมูลแบบอนุกรมเป็นแบบขนาน 4 บิท นี้ถูกออกแบบให้มีลักษณะการต่อดังแสดงในรูปที่3.34



รูปที่ 3.34 วงจรแปลงข้อมูลแบบอนุกรมเป็นแบบขนาน 4 บิท

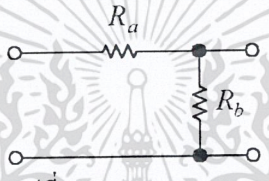
จากรูปที่3.34 ไอซีเบอร์ 74194 ตัวแรกทำหน้าที่เป็นวงจรแปลงข้อมูลแบบอนุกรมเป็นแบบขนาน 4 บิท โดยลักษณะของข้อมูลเอาต์พุตจะเป็นข้อมูลอนุกรมของอินพุตที่เกิดขึ้นไล่เรียงไปจากบิท Q_A ไปจนถึง Q_D ดังนั้นเราจึงต้องใช้ไอซีเบอร์ 74194 ตัวที่สองมาทำหน้าที่เป็นวงจรแปลงข้อมูลแบบขนานเป็นแบบขนาน 4 บิท คอยดึงข้อมูลขนานออกไปคราวละ 4 บิท เพื่อส่งให้กับภาคมอดูเลตแบบ 16-QAM เนื่องจากความถี่สัญญาณนาฬิกาที่ใช้ในวงจรแปลงข้อมูลแบบขนานเป็นแบบขนาน 4 บิท นั้นต่ำกว่าวงจรแปลงข้อมูลแบบอนุกรมเป็นแบบขนาน 4 บิท อยู่4 เท่า เราจึงใช้วงจรนับมาทำการหารสัญญาณนาฬิกาลง 4 เท่าก่อนแล้วจึงค่อยป้อนให้กับวงจรแปลงข้อมูลแบบขนานเป็นแบบขนาน 4 บิท

3.20 การออกแบบวงจรยูนิโพลาร์เป็นไบโพลาร์

ข้อมูลไบนารี่ทั้ง 4 บิท ที่จะถูกนำไปมอดูเลตแบบ 16-QAM นั้นจะต้องผ่านกระบวนการแปลงจากรูปแบบสัญญาณดิจิตอลที่เป็นแบบยูนิโพลาร์ให้เป็นแบบไบโพลาร์ ซึ่งมีการเปลี่ยนแปลงระดับของสัญญาณทั้งบวกและลบก่อนเสมอ เพื่อให้คลื่นพาห์ไซน์ และคลื่นพาห์โคไซน์ที่ถูกมอดูเลตโดยข้อมูลดิจิตอลมีลักษณะเป็นสัญญาณ BPSK ก่อน แล้วจึงนำสัญญาณ BPSK จากคลื่นพาห์ไซน์ และคลื่นพาห์โคไซน์มารวมกันเกิดเป็นสัญญาณ QPSK ขึ้น

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ในการใช้งานจริงข้อมูลไบนารี่ทั้ง 4 บิทนี้ แต่ละบิทจะมีความสุ่มมากพอที่จะทำให้เราสามารถมองได้ว่าข้อมูลดิจิตอลที่เป็นแบบยูนิโพลาร์นี้ก็คือข้อมูลดิจิตอลแบบไบโพลาร์ ที่ขี่อยู่บน DC offset 2.5 V นั่นเอง ดังนั้นในการออกแบบวงจรแปลงข้อมูลดิจิตอลแบบยูนิโพลาร์ไปเป็นไบโพลาร์ เราจึงใช้เพียงตัวเก็บประจุมาต่อคัปปลิ้งข้อมูลดิจิตอลที่เป็นแบบยูนิโพลาร์ เท่านั้นเราก็จะได้ข้อมูลดิจิตอลที่เป็นแบบไบโพลาร์ออกมา โดยปกติแล้วข้อมูลดิจิตอลจะเป็นสัญญาณสี่เหลี่ยมดังนั้นเราควรเลือกค่าของตัวเก็บประจุที่ใช้ให้มีค่ามากๆ เพื่อให้สามารถส่งผ่านทุกๆองค์ประกอบความถี่ไปให้ได้มากที่สุด หลังจากข้อมูลดิจิตอลถูกแปลงไปอยู่ในรูปแบบไบโพลาร์แล้วจะถูกนำไปมอดูเลตกับคลื่นพาห์โดยใช้วงจรบาลานซ์มอดูเลตเตอร์ ซึ่งสามารถรับระดับสัญญาณของข้อมูลที่เป็นดิจิตอลแบบไบโพลาร์ ได้ในช่วงไม่เกิน 2 Vp-p เท่านั้น จึงทำให้ต้องนำวงจรลดทอนมาต่อคั่นระหว่างหลังตัวเก็บประจุที่คัปปลิ้งกับอินพุตข้อมูลของวงจรบาลานซ์มอดูเลตเตอร์ ซึ่งวงจรลดทอนออกแบบได้ดังต่อไปนี้



รูปที่ 3.35 วงจรลดทอน

จากรูปที่ 3.35 เป็นวงจรลดทอนแบบ L ซึ่งมีค่า

$$R_a = Z_{01}\cdot\sqrt{1-\frac{Z_{02}}{Z_{01}}} \tag{3.17}$$

$$R_b = Z_{02}\Big/\sqrt{1-\frac{Z_{02}}{Z_{01}}} \tag{3.18}$$

$$N = \sqrt{\frac{Z_{01}}{Z_{02}}}+\sqrt{\frac{Z_{01}}{Z_{02}}-1} \tag{3.19}$$

เมื่อ Z_{01} คือ เอาต์พุตอิมพีแดนซ์ของไอซี TTL ที่ส่งข้อมูลไบนารี่ออกมา

Z_{02} คือ เอาต์พุตอิมพีแดนซ์ของขาข้อมูลอินพุตของวงจรบาลานซ์มอดูเลตเตอร์

จากการวัดจะได้ว่า

$$Z_{01} = 120\Omega$$

$$Z_{02} = 50\Omega$$

ดังนั้น เมื่อแทนค่าลงในสมการ 3.17, 3.18 และ 3.19 จะทำให้ได้

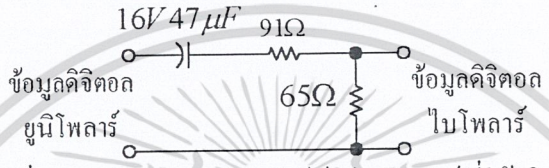
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$R_a = 91\Omega$$
$$R_{ba} = 65\Omega$$

และอัตราส่วนการลดทอน คือ N = 2.73 เท่า

ดังนั้นเมื่อข้อมูลดิจิตอลแบบไบโพลาร์ที่มีระดับสัญญาณ 5Vp-p ผ่านวงจรลดทอนแล้วจะมีระดับสัญญาณลดลงเหลือ 1.83 Vp-p (5Vp-p/2.73)

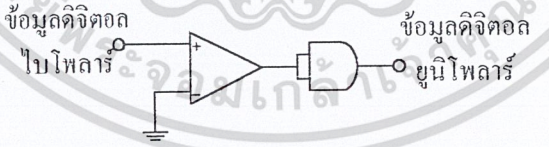
ในการใช้งานจริงตัวเก็บประจุคัปปลิ้งและวงจรลดทอนจะถูกต่ออยู่ด้วยกันและทำงานร่วมกัน รวมเรียกว่าวงจรแปลงยูนิโพลาร์เป็นไบโพลาร์ ซึ่งวงจรดังแสดงในรูปที่ 3.36



รูปที่ 3.36 วงจรแปลงยูนิโพล่าร์เป็นไบโพล่าร์ ที่ใช้จริง

3.21 <u>การออกแบบวงจรแปลงไบโพลาร์ เป็นยูนิโพลาร์</u>

ข้อมูลดิจิตอลที่ได้รับมาหลังการดีมอดูเลตและผ่านวงจรกรองความถี่ต่ำผ่านแล้ว จะอยู่ในรูปของข้อมูลดิจิตอลแบบไบโพลาร์ที่มีลักษณะเกือบเป็นสัญญาณสี่เหลี่ยม ดังนั้นในขั้นตอนการแปลงสัญญาณจากไบโพลาร์มาเป็นยูนิโพลาร์เราจึงนำข้อมูลที่ดีมอดูเลตได้มาผ่านวงจรเปรียบเทียบก่อนเพื่อสร้างเป็นข้อมูลดิจิตอลที่เป็นสี่เหลี่ยมสมบูรณ์ แต่ยังอยู่ในรูปไบโพลาร์ หลังจากนั้นจึงนำไปเข้าแอนเกท ดังแสดงในรูป 3.37 เพื่อสร้างข้อมูลดิจิตอลที่อยู่ในรูปของยูนิโพลาร์



รูปที่3.37 วงจรแปลงไบโพลาร์ เป็นยูนิโพลาร์

3.22 <u>การออกแบบวงจรกรองความถี่ต่ำผ่าน (Low pass filter)</u>

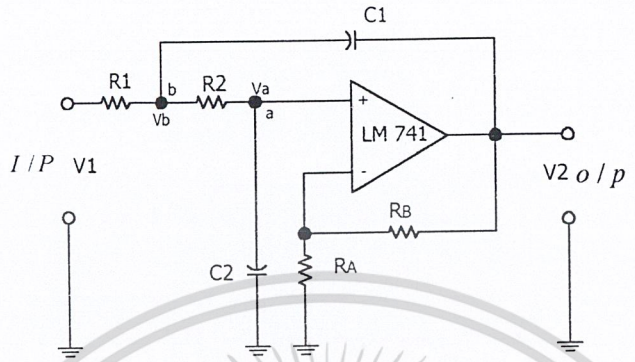
การออกแบบวงจรกรองความถี่ต่ำ โดยต้องการให้ความถี่คัทออฟอยู่ที่ 3.4 kHz และความถี่ที่มากกว่า 4 kHz มีขนาดน้อยมากเพื่อป้องกันการเกิดเอเลียสซิง (aliasing) และใช้เพื่อกู้สัญญาณเดิมกลับคืนหลังจากผ่านวงจรแปลงดิจิตอลเป็นอนาลอก จากคุณลักษณะวงจรกรองความถี่ต่ำผ่านอันดับ 4 จะพบว่าที่ความถี่มากกว่า 4 kHz ยังมีขนาดของสัญญาณที่หลงเหลือจากการกรองมากจึงจำเป็นต้องใช้วงจรนอตช์ฟิลเตอร์ .ในการช่วยลดขนาดสัญญาณที่ความถี่มากกว่า 4 kHz ดังนั้นในการออกแบบวงจรกรองความถี่ต่ำผ่านจะประกอบด้วย 2 ส่วน คือ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

1 วงจรกรองความถี่ต่ำผ่านอันดับ 4

2 วงจรนอตช์ฟิลเตอร์

3.22.1 การออกแบบวงจรกรองความถี่ต่ำผ่านอันดับ4



รูปที่3.38 การวางโหนดวงจร Sallen and Key

จากรูปที่3.38 สามารถหาค่าฟังก์ชันถ่ายโอน (transfer function) ดังนี้

$$\frac{V_2}{V_a} = 1 + \frac{R_B}{R_A} = K \tag{3.20}$$

node (a)

$$Va[SC_2 + \frac{1}{R_2}] - \frac{1}{R_2}V_b = 0 \tag{3.21}$$

node (b)

$$Vb[\frac{1}{R_1} + \frac{1}{R_2} + SC_1] - \frac{1}{R_1}V_1 - \frac{1}{R_2}V_a - SC_1V_2 = 0 \tag{3.22}$$

จากสมการ(3.21)

$$V_a[\frac{SR_2C_2 + 1}{R_2}] = \frac{1}{R_2}V_b \tag{3.23}$$

$$V_b = Va[SR_2C_2 + 1] \tag{3.24}$$

แทน V_b ในสมการ(3.22)จะได้

$$V_a[SR_2C_2 + 1][\frac{1}{R_1} + \frac{1}{R_2} + SC_1] - \frac{1}{R_1}V_1 - \frac{1}{R_2}V_a - SC_1V_2 = 0 \tag{3.25}$$

จากสมการที่(3.20)

$$V_a = \frac{V_2}{K}$$

แทนV_aลงในสมการ(3.25)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$\frac{V_2}{V_1}=\frac{K/R_1R_2C_1C_2}{S^2+S(\frac{1}{R_1C_1}+\frac{1}{R_2C_1}+\frac{1}{R_2C_2}-\frac{K}{C_2R_2})+\frac{1}{R_1R_2C_1C_2}}$$

จากสมการทั่วไปของวงจรกรองความถี่ต่ำผ่าน

$$T(S)=\frac{K\omega_o^2}{S^2+(\omega_o/Q)S+\omega_o^2} \tag{3.26}$$

จากสมการที่(3.13) ถ้าเราให้ $C_1=C_2=1$ และ $R_1=R_2=1$ เพื่อลดความซับซ้อนของสมการลง จะได้ดังนี้

$$\frac{V_2}{V_1}=\frac{K}{S^2+(3-K)S+1} \tag{3.27}$$

จากสมการที่(3.26)และ(3.27)จะได้ความสัมพันธ์ดังนี้

$$Q=\frac{1}{3-K} \tag{3.28}$$

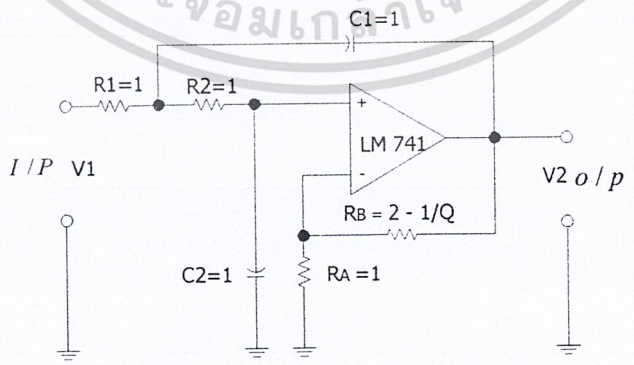
การออกแบบที่1 โดยมี $K=3-1/Q$

สำหรับการออกแแบบเราจะใช้ค่า

$$K=3-\frac{1}{Q}=1+\frac{R_B}{R_A} \tag{3.29}$$

เมื่อให้ $R_A=1$

จะได้ $R_B=2-\frac{1}{Q}$



รูปที่3.39 วงจร Sallen and Key ที่มี $K=3-1/Q$

การออกแบบที่2 โดยมี $K=1$

จากสมการที่(3.11) เมื่อ $K=1$ จะได้

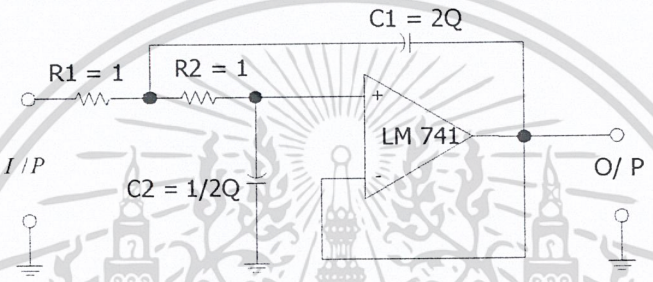
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$\frac{R_B}{R_A} = 0 \qquad \therefore R_B = 0$$

ให้ $R_1 = R_2 = 1$ และ $\omega_o = 1$ จะมี 2 เงื่อนไข คือ

$$\frac{2}{C_1} = \frac{1}{Q} \quad \text{และ} \quad C_1 C_2 = 1$$

$$\therefore \quad C_1 = 2Q \quad \text{และ} \quad C_2 = \frac{1}{2Q}$$



รูปที่3.40 แสดงวงจร Sallen and Key ที่มี $K = 1$

ψ คือ มุมของโพล และ n คือ อันดับของวงจรกรองความถี่ต่ำผ่าน

$\psi = \pm 90^\circ / n$ โดยมุมของโพลจะแยกออกเป็น $\psi = 180^\circ / n$

เมื่อ n = 4 จะได้

$$\psi = \pm 22.5^\circ \quad , \quad \pm 67.5^\circ$$

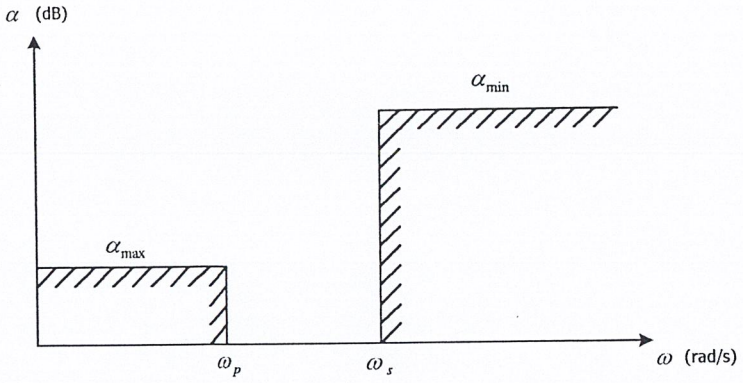
จาก

$$Q = \frac{1}{2\cos\psi}$$

เมื่อแทนค่ามุมของโพลจะได้ค่า Q เท่ากับ 0.541 และ 1.306

$$\omega_o = \frac{\omega_s}{(10^{\alpha_{\min}/10} - 1)^{1/2n}}$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่3.41 แสดงตำแหน่งของ ω_s, ω_p, $\alpha_{\min}$ และ $\alpha_{\max}$

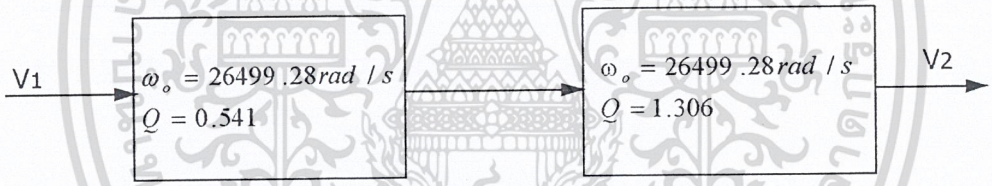
จากรูปที่ 3.41 สามารถกำหนดค่าได้ดังนี้

ω_s = 10 kHz

ω_p = 4 kHz

$\alpha_{\min}$ = 30 dB

$$\omega_o = \frac{2\pi \times 10kHz}{(10^{30/10}-1)^{1/8}} = 26499.28 \text{ rad/s}$$



รูปที่3.42 แสดงการกำหนด ω_o และ Q ของวงจรในแต่ละส่วน

$kf = \omega_o$ = 26499.28 rad/s

จาก $C_{new} = \frac{C_{old}}{kmkf}$ และ $R_{new} = kmR_{old}$

ให้ $C_{new} = 10nF$

$$\therefore km = \frac{C_{old}}{C_{new}\,kf} = \frac{1}{10\times10^{-9}\times26499.28} = 3773.02$$

จากรูปที่3.40 สามารถออกแบบวงจรส่วนแรกได้ค่า

R = 3773.02 Ω

C = 10nF

$R_B = 2 - \frac{1}{Q}$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เราจะต้องให้ผลตอบสนองทางความถี่ของวงจรกรองความถี่ต่ำผ่านมีการพุ่งเกิน(over shoot)เกิดขึ้นเล็กน้อยเพื่อให้หลังจากการรวมกับวงจรนอตช์ฟิลเตอร์แล้วจะไม่ทำให้ผลตอบสนองทางความถี่รวมลดลงมากเกินไปที่ช่วงความถี่3 kHz ดังนั้นจึงเพิ่มค่า Q ขึ้นจาก 0.541 เป็น 0.62

$$R_B = 2 - \frac{1}{0.62} = 0.387$$

$$R_B = kmR_{old} = 1.5\,\text{kHz}$$

จากรูปที่3.41 สามารถออกแบบวงจรส่วนสองได้

$$R = 3773.02\,\Omega$$

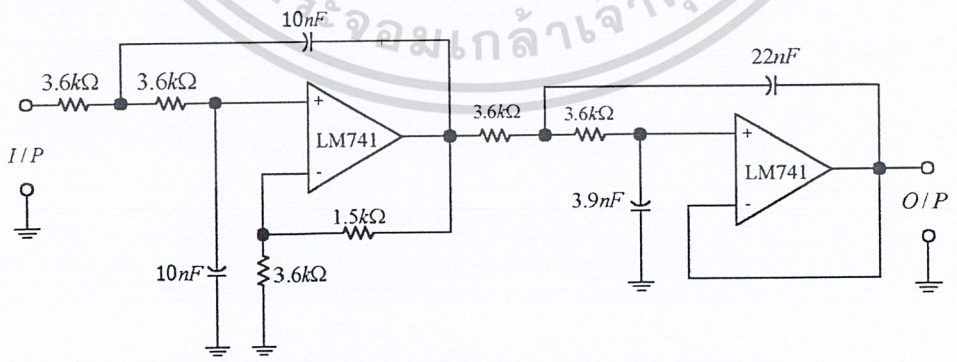
$$C_1 = 2Q = 1.306 \times 2 = 2.612$$

$$\therefore \quad C_{new} = \frac{C_{old}}{kmkf} = 26.12\text{nF}$$

$$C_2 = \frac{1}{2Q} = \frac{1}{2 \times 1.306} = 0.382$$

$$C_{new} = \frac{C_{old}}{kmkf} = 3.82\text{nF}$$

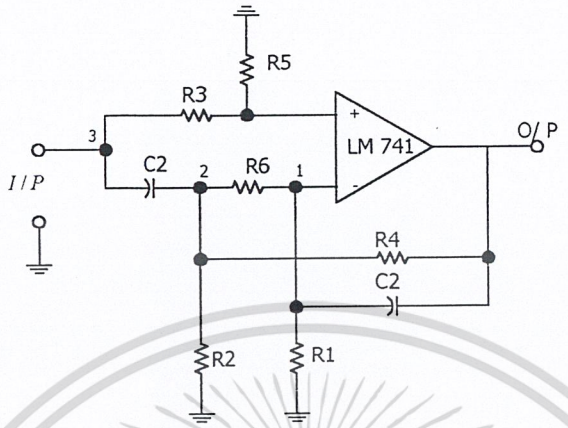
เมื่อนำค่าที่ได้มาต่อวงจรจะได้ดังรูปที่3.43



รูปที่3.43 วงจรกรองความถี่ต่ำผ่านอันดับที่ 4

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.22.2 การออกแบบวงจรนอตช์ฟิลเตอร์



รูปที่3.44 วงจรนอตช์ฟิลเตอร์

จากรูปที่ 3 .44 สามารถวิเคราะห์หาฟังก์ชันถ่ายโอนของวงจรสามารถหาดังนี้

$$V_1(\frac{1}{R_3}+\frac{1}{R_5}) - \frac{1}{R_3}V_{in} = 0$$

$$V_1 = [\frac{R_5}{R_3+R_5}]V_{in}$$

เมื่อ $k = \frac{R_5}{R_3+R_5}$

$$V_1 = kV_{in}$$

node1

$$V_2 = kR_6[\frac{1}{R_6}+\frac{1}{R_1}+SC_1]V_{in} - SC_1R_6V_o \qquad (3.30)$$

node2

$$V_2[SC_2+\frac{1}{R_2}+\frac{1}{R_6}+\frac{1}{R_4}] - \frac{V_o}{R_4} - SC_2V_{in} - \frac{1}{R_6}V_1 = 0 \qquad (3.31)$$

แทน (3.30) ใน (3.31)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$[kR_6(\frac{1}{R_6}+\frac{1}{R_1}SC_1)V_{in}-SC_1R_6V_o][SC_2+\frac{1}{R_2}+\frac{1}{R_6}+\frac{1}{R_4}]-\frac{V_o}{R_4}-SC_2V_{in}-\frac{k}{R_6}V_{in}=0$$

เมื่อ $R_{24}=\frac{R_2R_4}{R_2+R_4}$

จะได้

$$\frac{V_o}{V_{in}}=\frac{k[S^2+S(\frac{1}{R_6C_1}+\frac{1}{R_1C_1}+\frac{1}{R_2C_1}+\frac{1}{R_6C_2}+\frac{1}{R_4C_2}-\frac{1}{R_6C_1}(\frac{R_3}{R_5}))+\frac{R_6+R_1+R_{24}}{R_{24}R_6R_1C_1C_2}]}{S^2+S(\frac{1}{R_6C_2}+\frac{1}{R_{24}C_2})+\frac{1}{R_6R_4C_1C_2}} \quad (3.32)$$

$$T(S)=\frac{S^2+\omega_z^2}{S^2+(\omega_o/Q)S+\omega_o^2} \quad (3.33)$$

ให้ S = $j\omega=0$ และเทียบความสัมพันธ์สมการที่(3.32) และ(3.33)

$$\frac{\omega_z^2}{\omega_o^2}=\frac{R_1+R_{24}+R_6}{R_1R_{24}R_6C_1C_2}\times(R_4R_6C_1C_2)$$

$$\frac{\omega_z^2}{\omega_o^2}=1+\frac{R_4}{R_2}+\frac{R_4}{R_1}+\frac{R_6}{R_1}+\frac{R_6R_4}{R_1R_2} \qquad \text{เมื่อ } \omega_o=1$$

$$\omega_z^2=1+\frac{R_4}{R_2}+\frac{R_4}{R_1}+\frac{R_6}{R_1}+\frac{R_6R_4}{R_1R_2} \quad (3.34)$$

$$\omega_o^2=\frac{1}{R_4R_6C_1C_2} \qquad \text{เมื่อ } \omega_o=1$$

$$R_4R_6C_1C_2=1 \quad (3.35)$$

$$\frac{\omega_o}{Q}=\frac{1}{R_6C_2}+\frac{1}{R_{24}C_2} \qquad \text{เมื่อ } \omega_o=1$$

$$\frac{1}{Q}=\frac{1}{R_6C_2}+\frac{R_2+R_4}{R_2R_4C_2} \quad (3.36)$$

$$R_3=\frac{R_5C_1}{C_2}+\frac{(R_2+R_4)R_6R_5C_1}{R_2R_4C_2}+\frac{R_5R_6}{R_1} \quad (3.37)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จาก $$\frac{\omega_o}{Q} = \frac{1}{R_6 C_2} + \frac{1}{R_{24} C_2}$$

เพื่อให้ง่ายต่อการคำนวณ ให้ $R_6 = R_{24} = 1$ และ $\omega_o = 1$

$$\therefore C_2 = 2Q = 2 \tag{3.38}$$

จากสมการที่(3.35)

$$C_1 = \frac{1}{2QR_4} \tag{3.39}$$

จาก $$R_{24} = \frac{R_2 R_4}{R_2 + R_4} = 1$$

$$R_2 = \frac{R_4}{R_4 - 1} \tag{3.40}$$

กำหนดให้ $R_4 = 1.05$

$\therefore R_2 = 21$

จากสมการที่(3.39)

$\therefore C_1 = 0.476$

กำหนดให้ $\omega_z^2 = 1.25$

แทนค่า R_2, R_4, R_6 และ ω_z^2 ในสมการที่ (3.30)

ดังนั้นจะได้ $R_1 = 10.5$

จากสมการที่ (3.37) ให้ $R_5 = 1$

$\therefore R_3 = 0.571$

จากค่า R และ C ที่หาได้จะสามารถหาค่าที่ใช้งานได้ดังนี้

$$R_{new} = k_m R_{old} \quad \text{และ} \quad C_{new} = \frac{C_{old}}{k_m k_f}$$

$\omega_o = 2\pi \times 5\text{kHz} = 31415.92$ rad/s

กำหนดให้ $k_m = 1511.97$ และ $k_f = 31415.92$

จะได้ค่าต่างๆในวงจรหลังการสเกลดังนี้

$R_1 = 15.87\text{k}\Omega$

$R_2 = 31.75\text{k}\Omega$

$R_3 = 863.33\,\Omega$

$R_4 = 1.587\text{k}\Omega$

$R_5 = 1.511\text{k}\Omega$

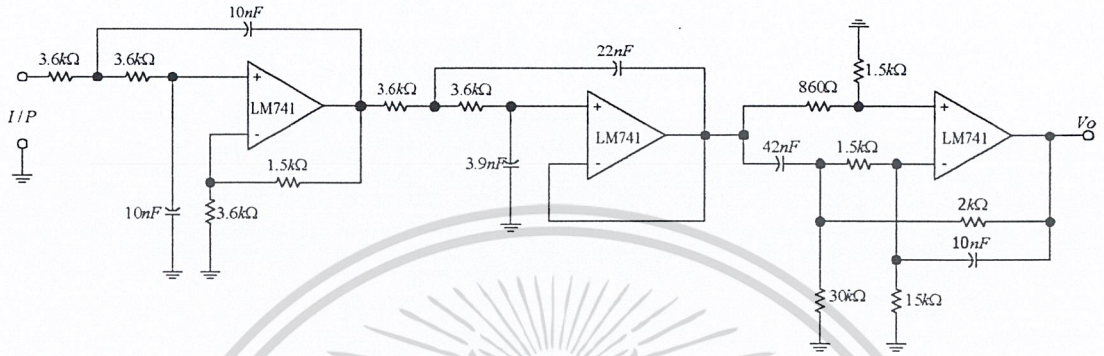
$R_6 = 1.511\text{k}\Omega$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

C_1 = 10 nF

C_2 = 42.1 nF

เมื่อนำวงจรนอตช์ฟิลเตอร์รวมกับวงจรกรองความถี่ต่ำผ่านอันดับที่ 4 จะได้วงจรกรองความถี่ต่ำรวมแสดงดังรูปที่ 3.45

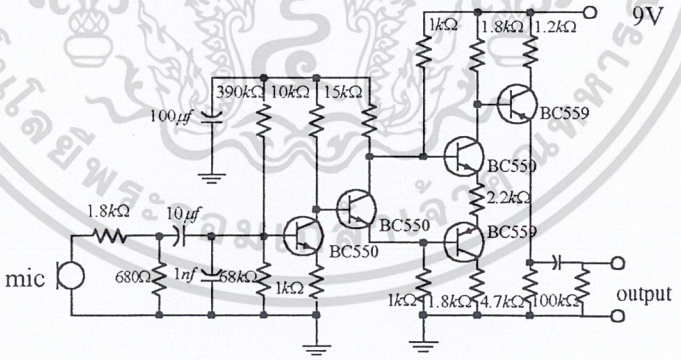


รูปที่ 3.45 วงจรกรองความความถี่ต่ำผ่านรวม

3.23 <u>การออกแบบวงจรปรีไมค์โมดูล(Pre-mic Module)</u>

ในโมดูลนี้จะประกอบด้วยวงจร 3 ส่วนต่อรวมกันคือ

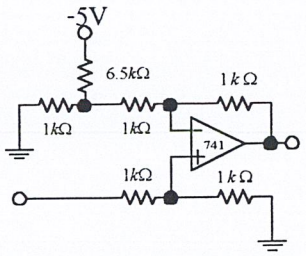
1. วงจรปรีไมค์ทำหน้าที่ขยายสัญญาณเสียงจากไมค์ให้มีความแรงมากพอที่จะทำให้วงจรแปลงสัญญาณอนาลอกเป็นดิจิตอลแบบ CVSD สามารถแปลงสัญญาณเสียงจากไมค์ให้เป็นข้อมูลดิจิตอลได้



รูปที่ 3.46 วงจรปรีไมค์

2. วงจรปรับ DC offset ใช้วงจรดิฟเฟอร์เรนเชียลแอมปลิฟลายเออร์ที่กำหนดให้ความต้านทานทุกตัวในวงจรเท่ากันหมด คือ $1k\Omega$ ดังนั้นจะได้เอาต์พุต $V_o = V_2 - V_1$ โดยเราจะป้อน V_2 เป็นสัญญาณจากวงจรปรีไมค์ และ V_1 ป้อนไฟลบประมาณ 2โวลต์ เพื่อยกระดับสัญญาณเสียงจากวงจรปรีไมค์ให้ขึ้นอยู่บน DC +2 โวลต์ เพราะว่าวงจร A/D ที่ใช้ไม่สามารถแปลงแรงดันที่เป็นลบได้ ดังนั้นเราจึงจำเป็นต้องให้สัญญาณเสียงขึ้นอยู่บน DC +2 โวลต์ เสมอเพื่อให้การเปลี่ยนแปลงของสัญญาณเสียงเกิดขึ้นเฉพาะภายในช่วงบวกเท่านั้น

เอกสารนี้สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

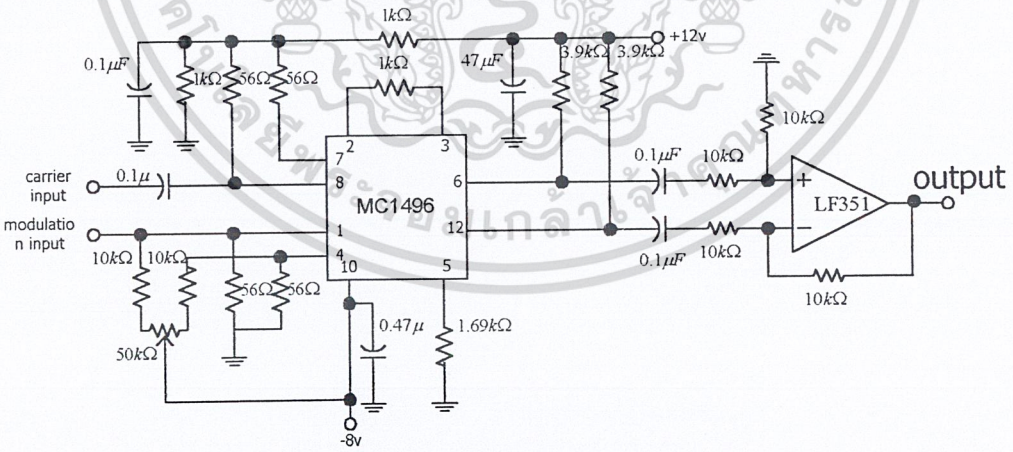


รูปที่ 3.47 วงจรปรับ DC offset

3. วงจรกรองความถี่ต่ำผ่านที่ความถี่คัดออฟที่ 3.4kHz ใช้กรององค์ประกอบความถี่ของสัญญาณเสียงที่มีความถี่สูงกว่า 3.4 kHz ทิ้งไปเพื่อป้องกันการเกิดเอเลียสซิงเนื่องจาก A/D ใช้อัตราแซมปลิ้งเท่ากับ 16 kHz ซึ่งใช้วงจรตามรูปที่ 3.45

3.24 <u>วงจรบาลานซ์มอดูเลเตอร์</u>

วงจรบาลานซ์มอดูเลเตอร์ถูกนำมาใช้เพื่อเป็นวงจรคูณ 4 ควอดแดรนท์ระหว่างคลื่นพาห์และสัญญาณ 2 ระดับที่เกิดจากการแปลงบิทไบนารี่แต่ละบิทของกลุ่มดังแสดงในตารางที่ 3.1 และ 3.2 ซึ่งสัญญาณ 2 ระดับทั้งสี่สัญญาณที่ได้ตามตารางจะถูกมอดูเลตแบบ DSBSC กับคลื่นพาห์ $\sin \omega_c t$ และ $\cos \omega_c t$ ตามกระบวนการดังที่กล่าวมาแล้วในหัวข้อ 3.1.1 โดยใช้วงจรบาลานซ์มอดูเลเตอร์ที่แสดงดังรูปที่3.48

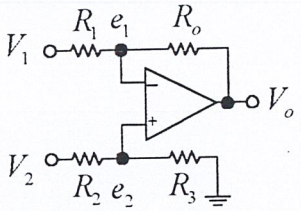


รูปที่ 3.48 วงจรบาลานซ์มอดูเลเตอร์

ส่วนวงจรดีมอดูเลเตอร์ที่ใช้ในหัวข้อ3.1.2 ก็จะใช้วงจรเดียวกับรูปที่3.48 เนื่องจากการดีมอดูเลตสัญญาณก็อาศัยหลักการการคูณสัญญาณเช่นกัน(รายละเอียดของวงจรบาลานซ์มอดูเลเตอร์คูได้จากภาคผนวก)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.25 การออกแบบวงจรลบ



รูปที่ 3.49 วงจรขยายความแตกต่าง

รูปที่ 3.49 เป็นวงจรขยายความแตกต่างซึ่งเราสามารถใช้สมการโหนดมาวิเคราะห์หาความสัมพันธ์ของอินพุตและเอาต์พุตได้ดังนี้

$$e_1\left(\frac{1}{R_1}+\frac{1}{R_o}\right)-\frac{V_o}{R_o}-\frac{V_1}{R_1}=0 \tag{3.41}$$

และ

$$e_2\left(\frac{1}{R_2}+\frac{1}{R_3}\right)-\frac{V_2}{R_2}=0 \tag{3.42}$$

รวมสมการที่ 3.41 และ 3.42 เข้าด้วยกันและสมมติให้ $e_1 = e_2$ เราจะได้

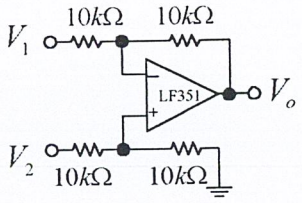
$$V_o=\frac{(R_1+R_o).R_3}{(R_2+R_3).R_1}V_2-\frac{R_o}{R_1}V_1 \tag{3.43}$$

ในการใช้งานวงจรส่วนมากจะนิยมให้ $R_3 = R_o$ และ $R_2 = R_1$ ดังนั้น สมการที่ 3.43 จึงลดรูปลงเป็น

$$V_o=\frac{R_o}{R_1}(V_2-V_1) \tag{3.44}$$

วงจรขยายความแตกต่างในรูปที่3.49 นั้นถูกนำไปทำหน้าที่เป็นวงจรลบตามที่แสดงในบล็อกไดอะแกรมแสดงหลักการของภาครับ ดังนั้นในการออกแบบวงจรจึงกำหนดให้ $R_o = R_1 = 10k\Omega$ เพื่อที่จะทำให้ $V_o = V_2 - V_1$ ซึ่งแสดงดังในรูปที่3.50

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.50 วงจรลบที่ใช้งานจริง

3.26 <u>การออกแบบวงจรเลื่อนเฟส 90 องศา</u>

สัญญาณคลื่นพาห์ที่นำมาใช้ในการมอดูเลทและดีมอดูเลท จะมีทั้งคลื่นพาห์ที่เป็นไซน์และโคไซน์ แต่ในการกำเนิดคลื่นพาห์เราจะกำเนิดคลื่นพาห์ที่เป็นไซน์เท่านั้นส่วนคลื่นพาห์ที่เป็นโคไซน์เราจะใช้วงจรเลื่อนเฟส 90 องศา มาเลื่อนสัญญาณคลื่นพาห์ไซน์ให้มาเป็นโคไซน์ โดยวงจรเลื่อนเฟสออกแบบได้ดังนี้

จากสูตรในสมการที่ 2.16 คือ

$$\theta_1 = \frac{1}{2}(180^\circ + \theta_d)$$

แทนค่า $\theta_d = 90^\circ$ จะได้

$$\theta_1 = 135^\circ$$

จากสูตรในสมการที่ 2.18

$$RC = -\frac{\tan^{-1}\theta_1}{\omega_d}$$

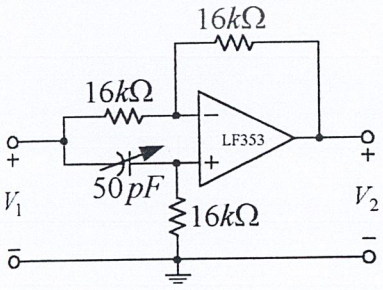
แทน $\theta_1 = 135^\circ$ และ $\omega = 2\pi(200\times10^3)$

จะได้ $RC = 795.77\times10^{-9}$

กำหนดให้ C ที่ใช้ในวงจรเป็น C แบบปรับค่าได้ซึ่งมีค่ากลางอยู่ที่ 50pF

ดังนั้นจะได้ค่า R ในวงจรคือ $R = 16k\Omega$

ทำให้ได้วงจรเลื่อนเลื่อนเฟส 90 องศาเป็นดังรูป 3.51



รูปที่ 3.51 วงจรเลื่อนเฟส 90 องศา

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 4

การทดลองและผลการทดลอง

4.1 การทดลองวงจรกรองความถี่ (filter)

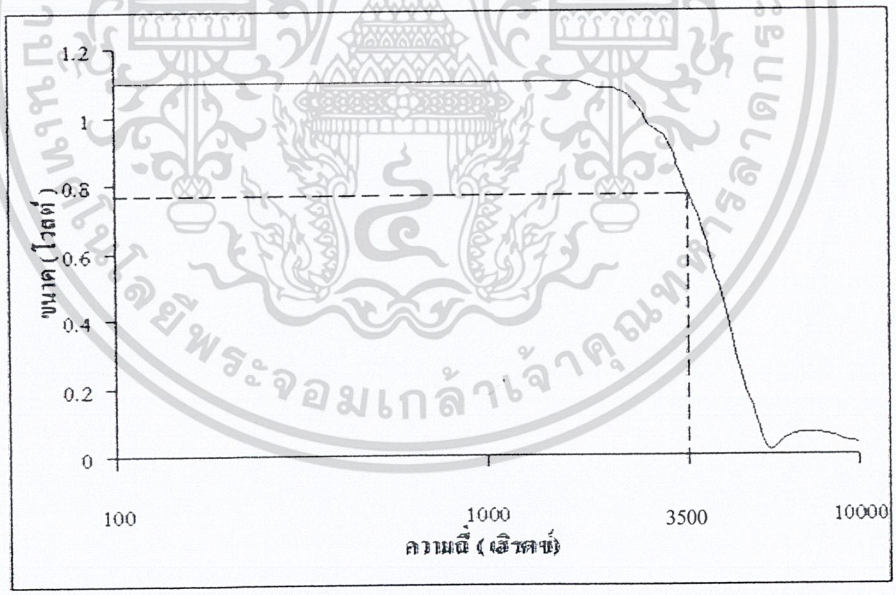
วัตถุประสงค์: เพื่อเป็นการศึกษาการทำงานและคุณลักษณะ(Characteristic) ของวงจรกรองความถี่ต่ำผ่าน

4.1.1 ขั้นตอนการทดลอง

1. ต่อวงจรกรองความถี่ต่ำผ่าน ตามรูปที่ 3.45
2. ป้อนสัญญาณไซน์ ขนาด 1 Vp-p ความถี่ 200 kHz เข้าที่อินพุตของวงจรกรองความถี่ต่ำผ่าน แล้ววัดขนาดแรงดันของสัญญาณเอาต์พุต
3. เพิ่มความถี่ขึ้น แล้วทำการทดลองเช่นเดียวกับข้อ 2
4. นำผลที่ได้มาพล็อตกราฟผลตอบสนองทางความถี่
5. ต่อวงจรตามรูปที่ 3.21 , 3.22 และ 3.24 แล้วทำการทดลองตามข้อ 2. บันทึกผลการทดลอง

4.1.2 ผลการทดลอง

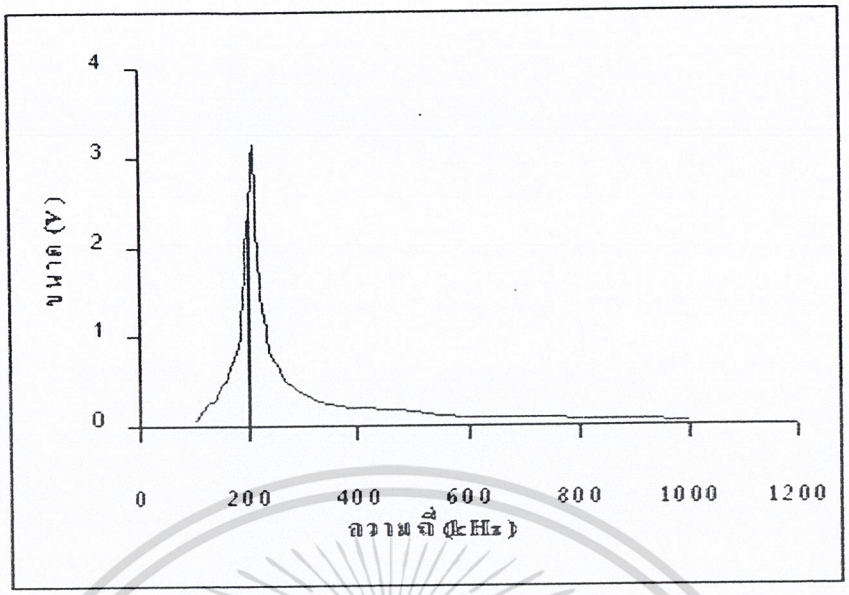
จากการทดลองเมื่อเพิ่มความถี่ทางด้านอินพุต จะได้ขนาดของแรงดันทางด้านเอาต์พุตดังที่วัดได้ เมื่อนำมาพล็อตกราฟผลตอบสนองทางความถี่ที่มีคุณลักษณะทางขนาดได้ดังรูปที่ 4.1



รูปที่ 4.1 แสดงลักษณะผลตอบสนองทางความถี่ของวงจรกรองความถี่ต่ำผ่านที่ได้จากการทดลอง

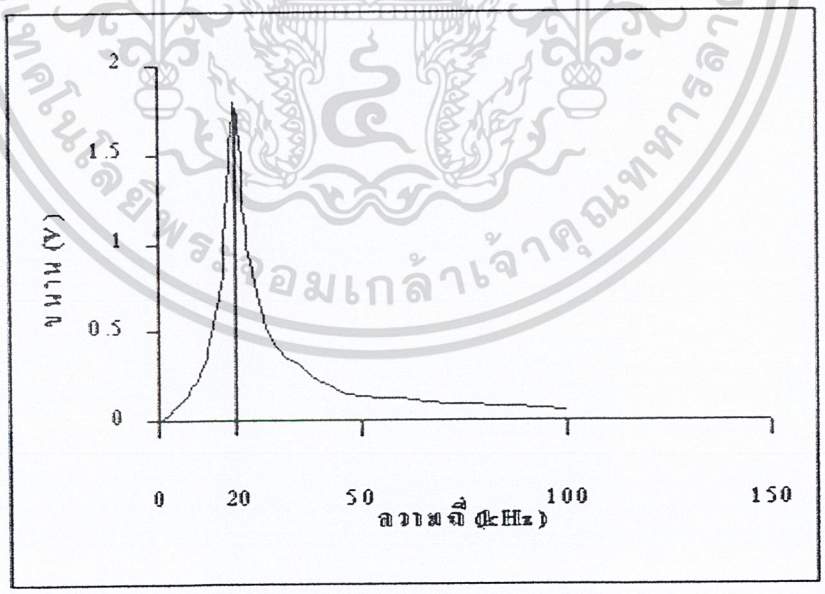
เมื่อทดลองในวงจรที่ 3.21 ซึ่งเป็นวงจรกรองแถบความถี่ผ่านที่ความถี่ 200 kHz จะให้ผลดังรูปที่ 4.2 โดยวงจรนี้ใช้ในการกรองสัญญาณรูปสี่เหลี่ยมให้เป็นสัญญาณไซน์ความถี่ 200 kHz ที่ภาคสร้างและกู้คลื่นพาห์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.2 ลักษณะผลตอบสนองทางขนาดของวงจรกรองแถบความถี่ผ่านความถี่ 200 kHz

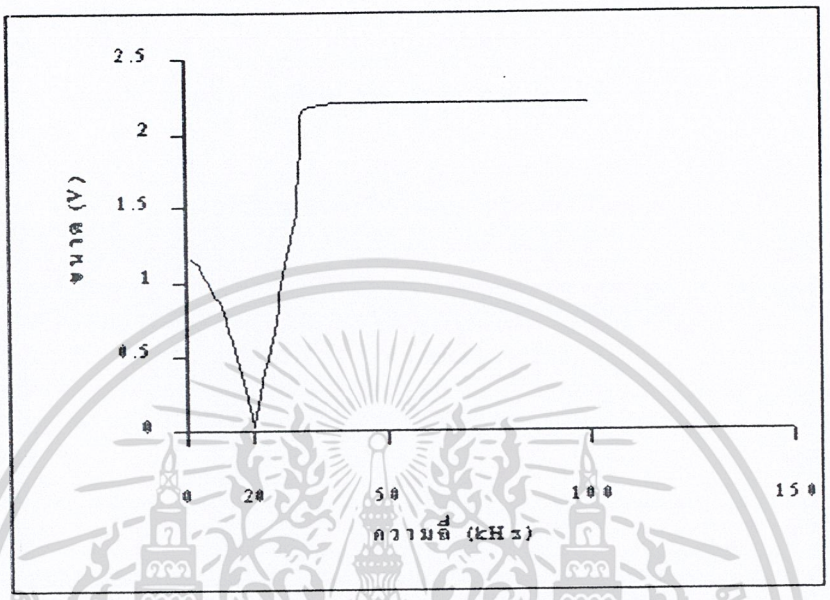
เมื่อทดลองในวงจรที่ 3.22 ซึ่งเป็นวงจรกรองแถบความถี่ผ่านที่ความถี่ 20 kHz จะให้ผลดังรูปที่ 4.3 โดยวงจรนี้ใช้ในการกรองสัญญาณรูปสี่เหลี่ยมให้เป็นสัญญาณไซน์ความถี่ 20 kHz ที่ภาคสร้างและกู้สัญญาณนำร่อง



รูปที่ 4.3 ลักษณะผลตอบสนองทางขนาดของวงจรกรองแถบความถี่ผ่านความถี่ 20 kHz

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เมื่อทดลองในวงจรที่ 3.24 ซึ่งเป็นวงจรนอตช์ฟิลเตอร์ที่ความถี่ 20 kHzจะให้ผลดังรูปที่ 4.4 โดยวงจรนี้ใช้ในการกู้สัญญาณ 16 – QAM จากสัญญาณที่รวมกันระหว่าง 16 – QAM กับสัญญาณนำร่องซึ่งส่งมาจากด้านส่ง



รูปที่ 4.4 แสดงลักษณะผลตอบสนองทางขนาดของวงจรนอตช์ฟิลเตอร์ความถี่ 20 kHz

4.1.3 <u>สรุปผลการทดลอง</u>

จากการทดลองเมื่อป้อนสัญญาณไซน์เข้าวงจรกรองความถี่ต่ำผ่านแล้ววัดขนาดของสัญญาณเอาต์พุต พบว่าวงจรกรองความถี่ต่ำผ่านมีความถี่คัทออฟ (cut-off frequency) ประมาณ 3.5 kHz ซึ่งมีค่าใกล้เคียงกับการออกแบบ (คัทออฟ 3.4 kHz) คือผลการตอบสนองทางขนาดของสัญญาณเอาต์พุตที่ความถี่มากกว่า 4 kHz ต้องน้อยมากเพื่อป้องกันการเกิดเอเลียสซิง(aliasing)จึงจะสามารถกู้สัญญาณอนาลอกเดิมกลับคืนมาได้

4.2 การทดลองวงจรบาลานซ์มอดูเลเตอร์

<u>วัตถุประสงค์</u>: เพื่อศึกษาการทำงานของวงจรบาลานซ์มอดูเลเตอร์ หลักการมอดูเลตสัญญาณและลักษณะของสัญญาณที่ได้รับแบบต่างๆ จากวงจรบาลานซ์มอดูเลเตอร์

4.2.1 <u>ขั้นตอนการทดลอง</u>

1. ต่อวงจรตามรูปที่ 3.48

2. ป้อนสัญญาณคลื่นพาห์โดยใช้สัญญาณรูปไซน์ความถี่ 200 kHzขนาดสัญญาณ 60 mVrms เข้าที่ขา 10 ของไอซีเบอร์ MC 1496 โดยผ่านตัวเก็บประจุขนาด 0.1 μF และป้อนสัญญาณที่จะมอดูเลตโดยใช้สัญญาณไซน์ความถี่ 16 kHz ขนาด 560 mV_{p-p} เข้าที่ขา 1 ของไอซี

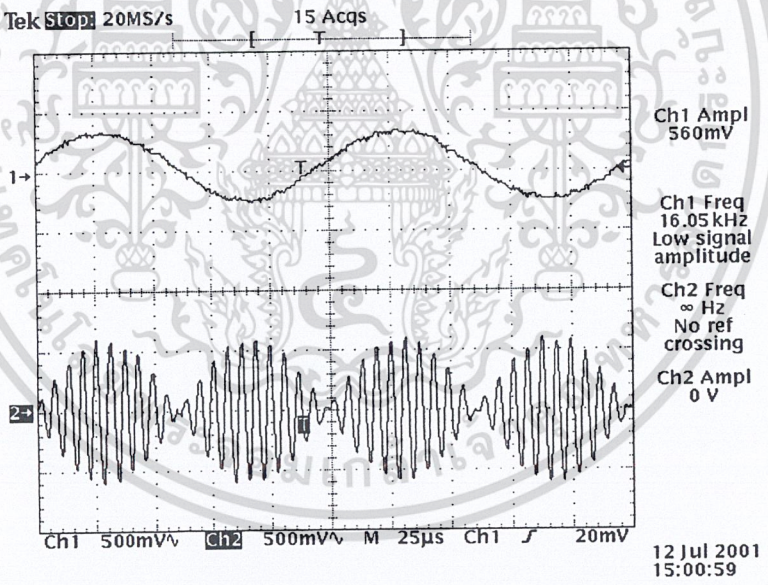
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3. วัดสัญญาณเอาต์พุตที่ได้ โดยใช้ออสซิลโลสโคปพร้อมทั้งวัดสเปกตรัมของสัญญาณได้รับ
4. สังเกตลักษณะของสัญญาณและบันทึกผลการทดลอง
5. ป้อนสัญญาณที่จะมามอดูเลตโดยใช้สัญญาณสี่เหลี่ยมความถี่ 16 kHz และบันทึกผลการทดลอง

4.2.2 ผลการทดลอง

จากการทดลอง พบว่าสัญญาณที่วัดได้ทางเอาต์พุตเป็นคลื่นพาห์ที่มีลักษณะกรอบของมันเปลี่ยนแปลงไปตามสัญญาณที่นำมามอดูเลต ซึ่งเป็นผลเนื่องมาจากการคูณกันระหว่างสัญญาณทั้งสอง โดยสัญญาณมีลักษณะเป็นดังรูปที่ 4.5

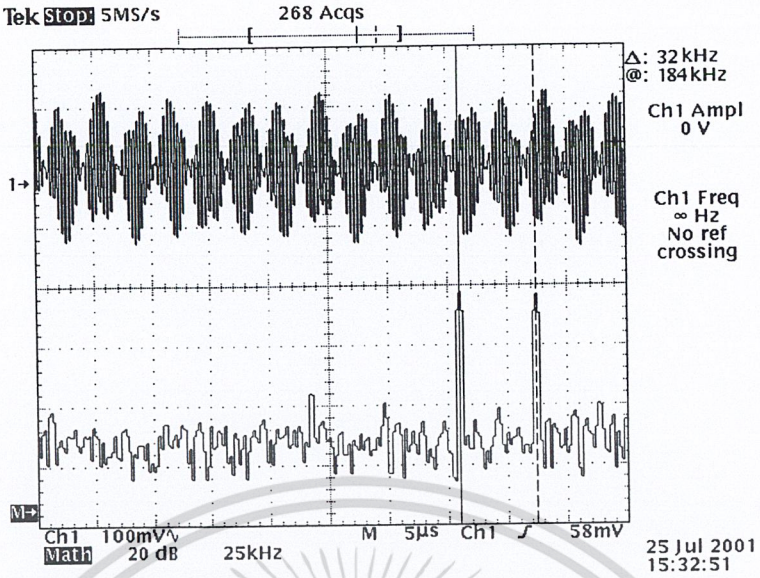
เมื่อวัดสเปคตรัมของสัญญาณที่เอาต์พุตของวงจรบาลานซ์มอดูเลเตอร์จะพบสเปคตรัมที่เป็นไซด์แบนด์ทั้งสองข้างของคลื่นพาห์ โดยที่ไซด์แบนด์ทั้งสองข้างอยู่ห่างกัน 32 kHz ไซด์แบนด์ต่ำ (Lower Sideband) อยู่ที่ตำแหน่งความถี่ 184 kHz (ความถี่คลื่นพาห์ลบออกด้วยความถี่ของสัญญาณที่มามอดูเลต: $f_{carrier} - f_{signal}$) และไซด์แบนด์สูง(Upper Sideband) จะอยู่ที่ความถี่ 216 kHz (ความถี่คลื่นพาห์บวกเข้ากับด้วยความถี่ของสัญญาณที่มามอดูเลต: $f_{carrier} + f_{signal}$) ดังที่ได้แสดงในรูปที่ 4.6



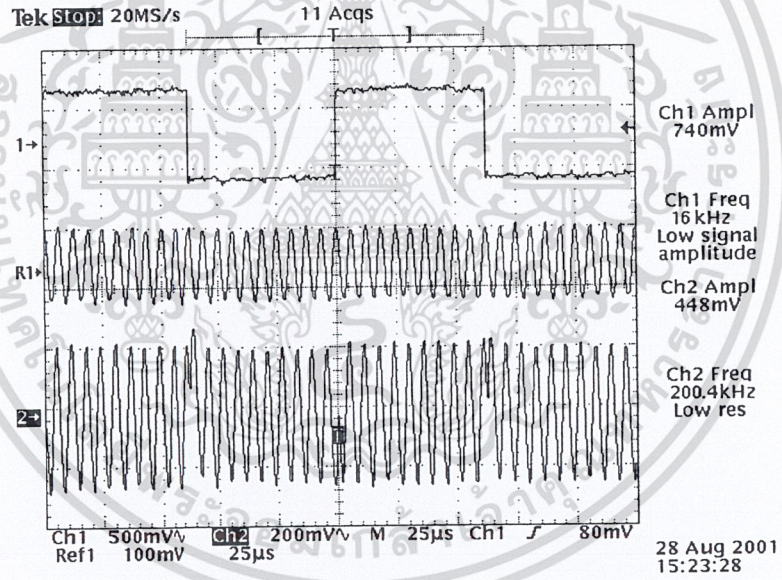
รูปที่ 4.5 ch1 สัญญาณอินพุตของวงจรบาลานซ์มอดูเลเตอร์
ch2 สัญญาณเอาต์พุตของวงจรบาลานซ์มอดูเลเตอร์

เมื่อทำการทดลองโดยเปลี่ยนสัญญาณอินพุตที่เข้ามามอดูเลตเป็นสัญญาณรูปสี่เหลี่ยมที่มีระดับแรงดันบวก-ลบ ซึ่งเปรียบเสมือนสัญญาณไบนารี่บิทที่ป้อนให้กับวงจรบาลานซ์มอดูเลเตอร์ ทำให้สัญญาณเอาต์พุตที่ได้มีการเปลี่ยนแปลงเฟสทุกๆครั้งที่มีการเปลี่ยนแปลงระดับแรงดันของระดับสัญญาณอินพุต ดังแสดงในรูปที่ 4.7

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่4.6 ch1 แสดงสัญญาณเอาต์พุตของวงจรบาลานซ์มอดูเลเตอร์
ch2 สเปคตรัมของสัญญาณเอาต์พุตวงจรบาลานซ์มอดูเลเตอร์



รูปที่ 4.7 ch 1 แสดงสัญญาณอินพุตของวงจรบาลานซ์มอดูเลเตอร์
ch 2 แสดงสัญญาณเอาต์พุตของวงจรบาลานซ์มอดูเลเตอร์
R1 แสดงคลื่นพาห์ของวงจรบาลานซ์มอดูเลเตอร์

4.2.3 <u>สรุปผลการทดลอง</u>

วงจรบาลานซ์มอดูเลเตอร์เป็นวงจรที่ใช้ทำหน้าที่ในการมอดูเลตคลื่นพาห์กับสัญญาณข้อมูลเข้าด้วยกัน โดยให้สเปคตรัมของสัญญาณที่มีลักษณะเป็นไซด์แบนด์สองข้างในแกนความถี่ (Frequency domain) และคลื่นพาห์ถูกกำจัดทิ้งไป ในกรณีที่สัญญาณข้อมูลเป็นสัญญาณสี่เหลี่ยมถูกนำมามอดูเลตกับคลื่นพาห์ เอาต์พุตที่ได้จะมีลักษณะการเปลี่ยนแปลงเฟสของคลื่นพาห์เป็น 0 หรือ 180 องศา ทุกๆครั้งที่มีการเปลี่ยนแปลงของบิทข้อมูล

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

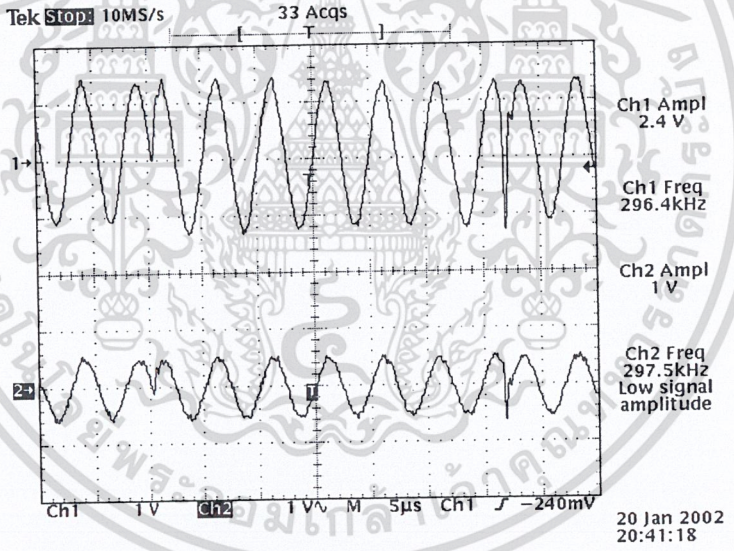
4.3 การทดสอบภาคส่งวงจรมอดูเลตแบบ 16-QAM

<u>วัตถุประสงค์</u> : เพื่อศึกษาและทดลองผลของสัญญาณ 16-QAM ที่ได้รับจากหลักการที่นำเสนอไว้

จากหลักการมอดูเลตสัญญาณแบบ 16-QAM ที่นำเสนอไว้ในหัวข้อที่ 3.1.1 ซึ่งแสดงเป็นบล็อกไดอะแกรมไว้ดังรูปที่ 3.3 เมื่อนำวงจรต่างๆ มาต่อตามบล็อกไดอะแกรม แล้วทำการวัดสัญญาณที่จุดต่างๆ เมื่อบิทข้อมูลที่นำมามอดูเลตทั้ง 4 บิท มีรูปแบบต่างๆกัน และแบ่งการพิจารณาผลของสัญญาณ 16-QAM ที่ได้รับออกเป็นสองส่วนดังนี้

1. พิจารณาผลของสัญญาณ 16-QAM ทางด้านขนาด จากหลักการที่นำเสนอไว้ว่าสัญญาณ 16-QAM ในโครงงานนี้สร้างมาจากการรวมกันของสัญญาณ QPSK1 และ QPSK2 ดังนั้นในการทดลองจึงทำการวัดสัญญาณ QPSK1 และ QPSK2 เทียบกัน เพื่อแสดงให้เห็นถึงการรวมกันและกำเนิดเป็นสัญญาณ 16-QAM ได้อย่างไร ซึ่งการอธิบายจะขอยกตัวอย่างผลการทดลองเฉพาะรูปแบบบิทที่ทำให้เกิดสัญญาณ 16-QAM ขึ้นเฉพาะในควอดแดนท์ที่ 1 เท่านั้นดังนี้

เมื่อรูปแบบข้อมูลไบนารี่ทั้ง 4 บิทที่นำมามอดูเลตเป็น 1111 จะพบว่าสัญญาณ QPSK1 และ QPSK2 ที่วัดได้จะมีเฟสตรงกัน ดังแสดงในรูปที่ 4.8



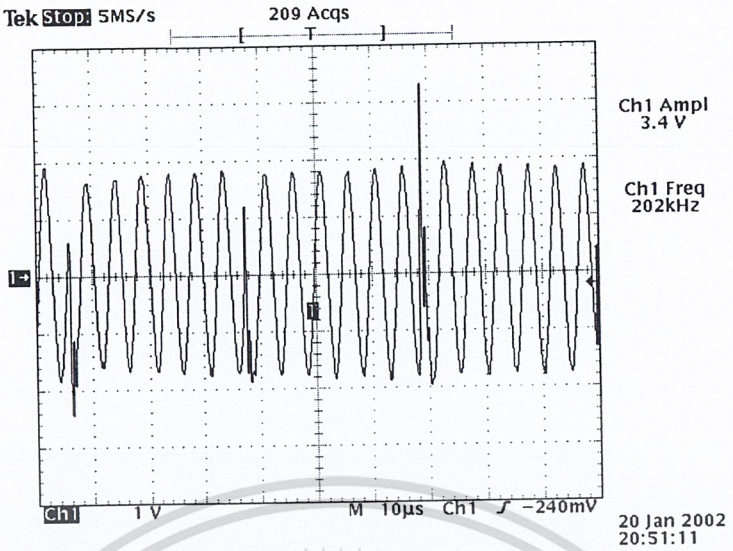
รูปที่4.8 ch1 คือ สัญญาณ QPSK1

ch2 คือ สัญญาณ QPSK2

จากรูประนาบสัญญาณในรูปที่ 3.1 เมื่อบิทข้อมูลไบนารี่เป็น 1111 โดยข้อมูล 2 บิทแรกเป็นของ QPSK1 และ 2 บิทหลังเป็นเป็นของ QPSK2 จะพบว่าสัญญาณทั้งสองในระนาบสัญญาณมีเฟสตรงกัน ซึ่งผลการทดลองที่ได้ในรูปที่ 4.8 ก็ให้ผลอย่างนั้นเช่นเดียวกัน เมื่อนำสัญญาณทั้ง 2 มาบวกกันทางเวคเตอร์ ทำให้ขนาดของสัญญาณ 16-QAM ที่ได้ก็คือขนาดของสัญญาณ QPSK1 กับ QPSK2 บวกกันซึ่งแสดงผลการทดลองที่ได้ดังรูปที่ 4.9

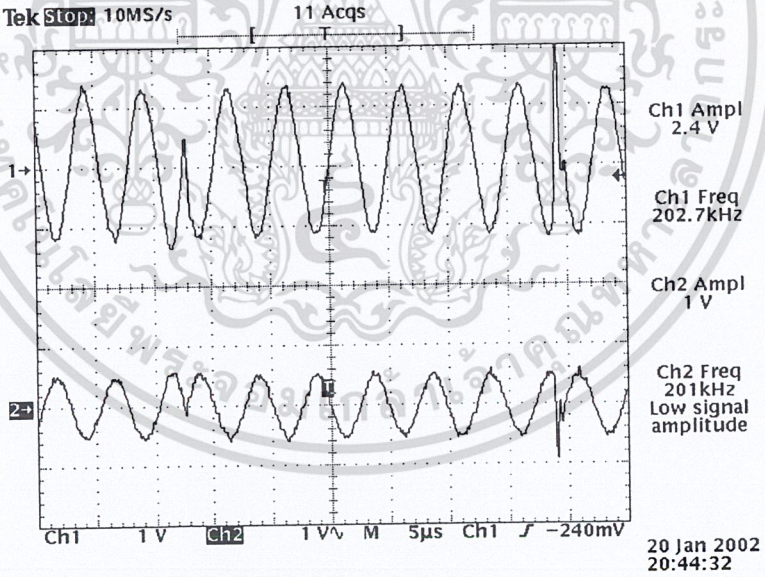
จากรูปจะพบว่าขนาดของสัญญาณ 16-QAM คือขนาดของสัญญาณ QPSK1 คือ 2.4 V บวกกับขนาดของสัญญาณ QPSK2 คือ 1V ซึ่งทำให้ได้ผลลัพธ์สัญญาณ 16-QAM ที่มีขนาด 3.4 V

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่4.9 ch1 คือ สัญญาณ 16-QAM ที่ได้จากการรวมกันของสัญญาณ QPSK1 และสัญญาณQPSK2

เมื่อรูปแบบข้อมูลไบนารี่ทั้ง 4 บิทที่นำมามอดูเลตเป็น 1100 จะพบว่าสัญญาณ QPSK1 และ QPSK2 ที่วัดได้จะมีเฟสตรงข้ามกัน 180 องศาดังแสดงในรูปที่ 4.10

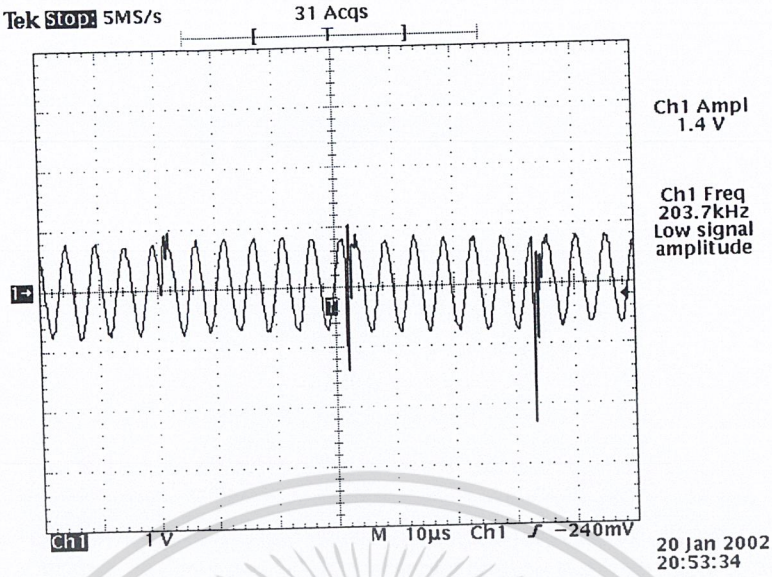


รูปที่4.10 ch1 คือ สัญญาณ QPSK1

ch2 คือ สัญญาณ QPSK2

จากการพิจารณาระนาบสัญญาณในรูปที่ 3.1 ในทำนองเดียวกันกับข้างต้นเมื่อบิทข้อมูลเป็น 1100 พบว่าสัญญาณของทั้งสองในระนาบสัญญาณจะมีเฟสตรงข้ามกัน180องศา ซึ่งในผลการทดลองที่ได้ในรูปที่4.10 ก็ให้ผลอย่างนั้นเช่นเดียวกัน เมื่อนำสัญญาณทั้ง 2 มาบวกกันทางเวคเตอร์จะมีผลทำให้ขนาดของ 16-QAM ลดลงเป็น 1.4 V ดังแสดงในรูปที่ 4.11

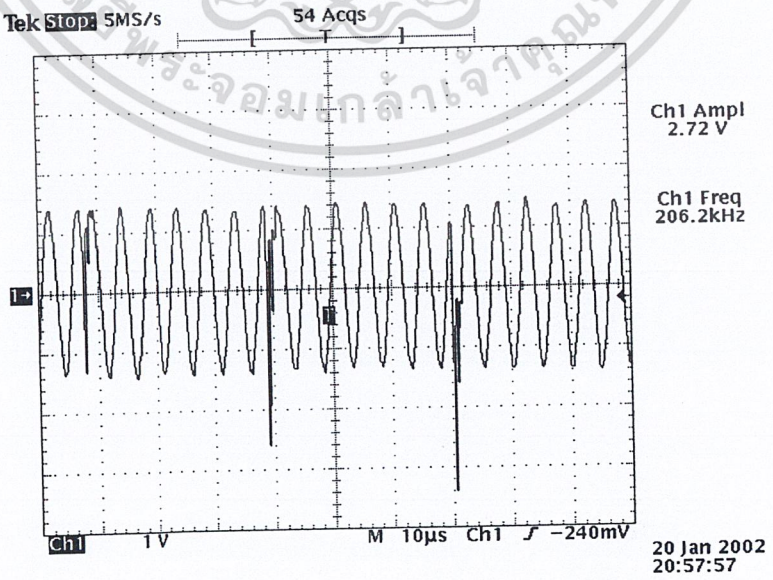
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่4.11 ch1 คือ สัญญาณ 16-QAM ที่ได้จากการรวมกันของสัญญาณ QPSK1และสัญญาณ QPSK2

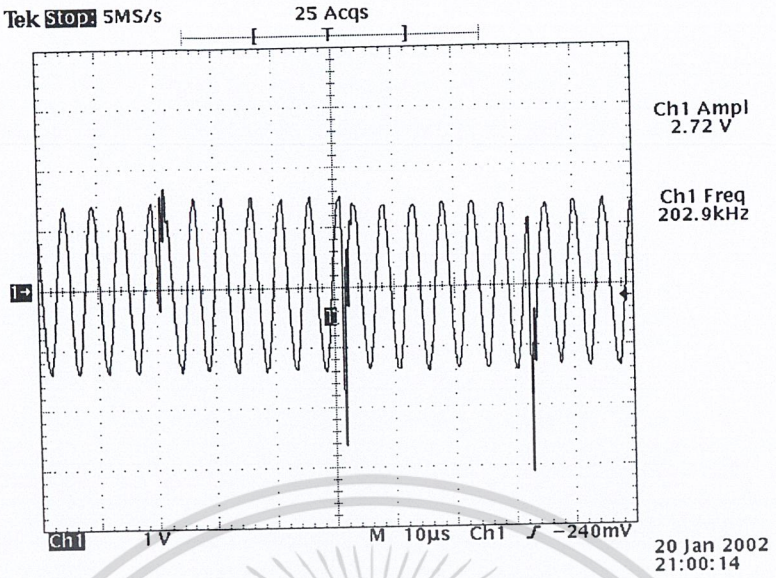
จากรูปจะเห็นว่าขนาดของสัญญาณ 16-QAM ที่ลดลงเหลือ 1.4 V ก็เนื่องมาจาก สัญญาณ QPSK1 และสัญญาณ QPSK2 นั้นกลับเฟสกัน ดังนั้นผลการรวมจึ่งเหมือนกับการนำขนาดของสัญญาณทั้ง 2 มาลบกัน

เมื่อรูปแบบข้อมูลไบนารี่ทั้ง 4 บิทที่นำมามอดูเลตเป็น 1101 และ 1110 จากการพิจารณาสัญญาณในระนาบสัญญาณของสัญญาณ QPSK1 และสัญญาณ QPSK2 ในรูปที่ 3.1 จะสังเกตเห็นได้ว่าผลการรวมกันทางเวคเตอร์ระหว่าง 2 สัญญาณนี้ เมื่อข้อมูลไบนารี่ทั้ง 4 บิท มีรูปแบบข้อมูลเป็น 1101 และ 1110 ควรจะให้ผลลัพธ์สัญญาณ 16-QAM ที่มีขนาดที่เท่ากัน ซึ่งผลของสัญญาณ 16-QAM ที่ได้ในการทดลองจากข้อมูล 4 บิท ที่มีรูปแบบทั้ง 2 แสดงดังรูปที่ 4.12 และ 4.13



รูปที่ 4.12 ch1 คือ สัญญาณ 16-QAM เมื่อข้อมูล 4 บิท เป็น 1101

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.13 ch1 คือ สัญญาณ 16-QAM เมื่อข้อมูล 4 บิท เป็น 1110

ในผลการทดลองรูปที่ 4.12 และ 4.13 ทำให้เราสามารถสรุปได้ว่าผลการรวมกันทางเวคเตอร์ระหว่างสัญญาณ QPSK1 และสัญญาณ QPSK2 ในการทดลองเมื่อมีรูปแบบข้อมูลทั้ง 4 บิท เป็น 1101 และ 1110 ให้ผลลัพธ์สัญญาณ 16-QAM ที่เท่ากันจริงตามทฤษฎี

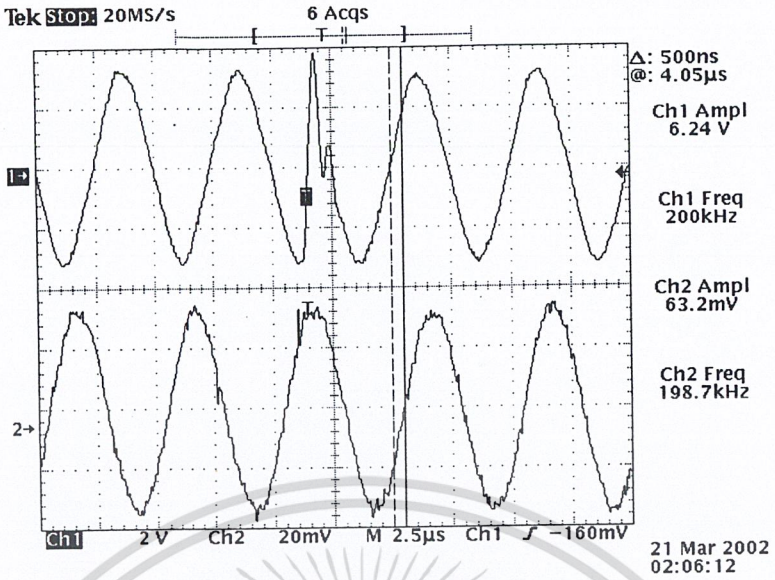
2. พิจารณาผลของสัญญาณ 16-QAM ทางด้านเฟส ในข้อที่ 1 นั้นได้ทำการทดลองผลลัพธ์ของสัญญาณ 16-QAMในเรื่องขนาดของสัญญาณที่ได้จากหลักการในหัวข้อที่ 3.1.1 ไปแล้ว ในข้อที่ 2 นี้จะทำการทดลองในเรื่องเฟสของสัญญาณ 16-QAM บ้าง เมื่อข้อมูลทั้ง 4 บิท มีรูปแบบต่างๆกัน ซึ่งการอธิบายจะยกตัวอย่างผลการทดลองตามรูปแบบบิทที่ใช้ในข้อที่ 1 เท่านั้นดังนี้คือ

เมื่อรูปแบบข้อมูลไบนารี่ทั้ง 4 บิทที่นำมามอดูเลตเป็น 1111 จากการสังเกตระนาบสัญญาณในรูปที่ 3.2 ของสัญญาณ 16-QAM จะพบว่าสัญญาณ16-QAM ต้องนำหน้าสัญญาณคลื่นพาห์ไซน์อยู่ 45 องศา หรือก็คือ 625 nsec ซึ่งจากการทดลองวัดสัญญาณ 16-QAM ที่เอาต์พุตของวงจรเทียบกับคลื่นพาห์ไซน์ จะได้ผลเป็นดังรูปที่ 4.14

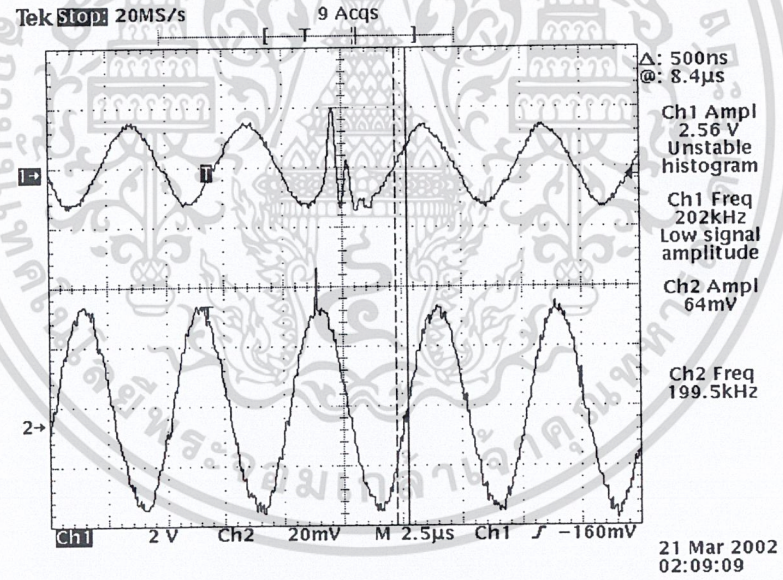
จากรูปจะพบว่าสัญญาณ 16-QAM นำหน้าสัญญาณคลื่นพาห์ไซน์อยู่เพียง 500nsec เท่านั้นซึ่งเป็นเพราะว่าสัญญาณ 16-QAM ที่วัดได้ใน ch1 นั้นเป็นสัญญาณที่เอาต์พุตซึ่งผ่านอุปกรณ์ในวงจรมาหลายภาค จึงทำให้เกิดการดีเลย์ไปบ้างประมาณ 100 nsec และความละเอียดของเคอร์เซอร์ในการวัดที่ขยับได้เพียงครั้งละ 50 ns เท่านั้นจึงทำให้การวัดทำได้ไม่ละเอียด

เมื่อรูปแบบข้อมูลไบนารี่ทั้ง 4 บิทที่นำมามอดูเลตเป็น 1100 และใช้วิธีพิจารณาในทำนองเดียวกับข้างต้นจะพบว่าสัญญาณ16-QAM ต้องนำหน้าสัญญาณคลื่นพาห์ไซน์อยู่ 45 องศา หรือก็คือ 625 nsec ซึ่งจากการทดลองวัดสัญญาณ 16-QAM ที่เอาต์พุตของวงจรเทียบกับคลื่นพาห์ไซน์ จะได้ผลเป็นดังรูปที่ 4.15

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.14 ch1 คือ สัญญาณ 16-QAM ที่มีข้อมูลเป็น 1111
ch2 คือ สัญญาณคลื่นพาห์ไซน์

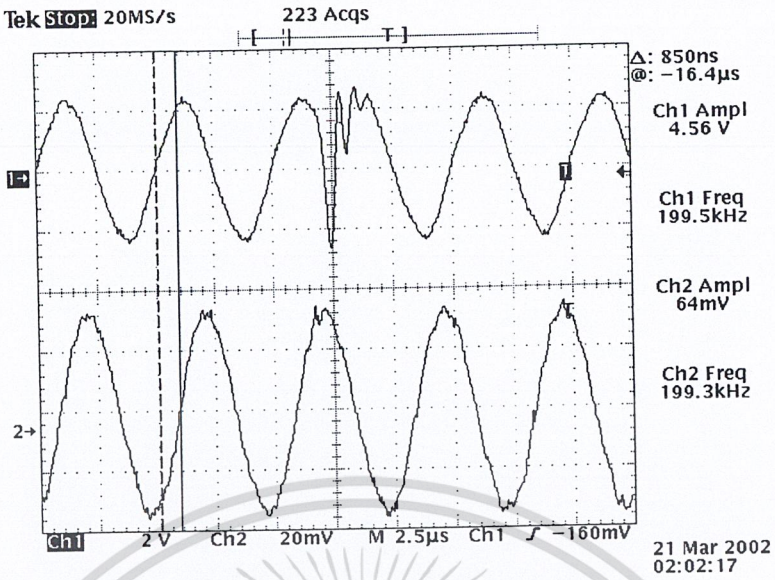


รูปที่ 4.15 ch1 คือ สัญญาณ 16-QAM ที่มีข้อมูลเป็น 1100
ch2 คือ สัญญาณคลื่นพาห์ไซน์

จากรูปพบว่าสัญญาณ 16-QAM นำหน้าสัญญาณคลื่นพาห์ไซน์อยู่เพียง 500 nsec เท่านั้นซึ่งอธิบายได้โดยใช้เหตุผลทำนองเดียวกับข้างต้นคือเกิดจากการดีเลย์

เมื่อรูปแบบข้อมูลไบนารี่ทั้ง 4 บิทที่นำมาอดูเลตเป็น 1101 และใช้วิธีพิจารณาในทำนองเดียวกับข้างต้นจะพบว่าสัญญาณ 16-QAM ต้องนำหน้าสัญญาณคลื่นพาห์ไซน์อยู่ 67.5 องศา หรือก็คือ 937.5 nsec ซึ่งจากการทดลองวัดสัญญาณ 16-QAM ที่เอาต์พุตของวงจรเทียบกับคลื่นพาห์ไซน์ จะได้ผลเป็นดังรูปที่ 4.16

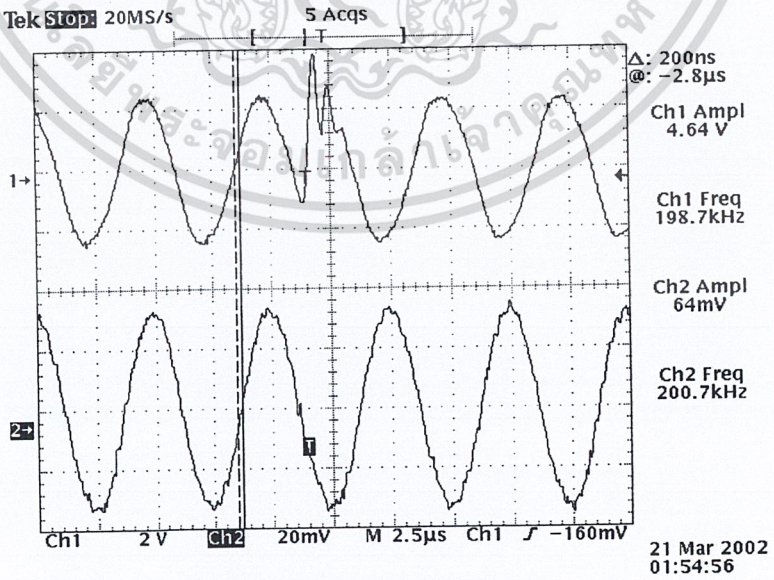
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.16 ch1 คือ สัญญาณ 16-QAM ที่มีข้อมูลเป็น 1101
ch2 คือ สัญญาณคลื่นพาห์ไซน์

จากรูปพบว่าสัญญาณ 16-QAM นำหน้าสัญญาณคลื่นพาห์ไซน์อยู่เพียง 850 nsec เท่านั้นซึ่งก็อธิบายได้โดยใช้เหตุผลทำนองเดียวกัน

เมื่อรูปแบบข้อมูลไบนารี่ทั้ง 4 บิทที่นำมามอดูเลตเป็น 1110 และใช้วิธีพิจารณาในทำนองเดียวกันกับข้างต้นจะพบว่าสัญญาณ 16-QAM ต้องนำหน้าสัญญาณคลื่นพาห์ไซน์อยู่ 22.5 องศา หรือก็คือ 312.5 nsec ซึ่งจากการทดลองวัดสัญญาณ 16-QAM ที่เอาต์พุตของวงจรเทียบกับคลื่นพาห์ไซน์ จะได้ผลเป็นดังรูปที่ 4.17



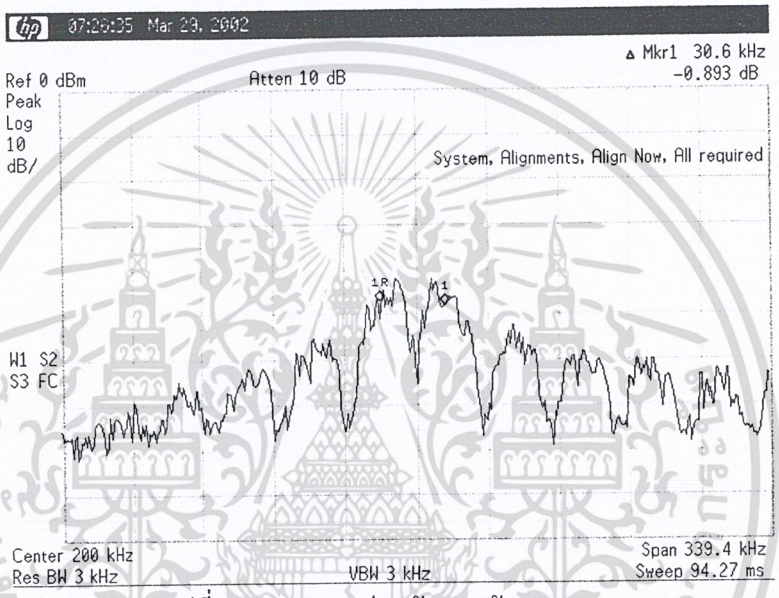
รูปที่ 4.17 ch1 คือ สัญญาณ 16-QAM ที่มีข้อมูลเป็น 1110
ch2 คือ สัญญาณคลื่นพาห์ไซน์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากรูปพบว่าสัญญาณ 16-QAM นำหน้าสัญญาณคลื่นพาห์ไซน์อยู่เพียง 200 nsec เท่านั้นซึ่งอธิบายได้โดยใช้เหตุผลทำนองเดียวกัน

สำหรับสัญญาณของ 16-QAM นั้นสามารถหาแบนด์วิทได้จากการวัดช่วงสเปกตรัมที่ตำแหน่ง - 3dB ของสัญญาณ 16-QAM โดยการป้อนบิทข้อมูลดิจิตอลแบบสุ่ม

จากการวัดแบนด์วิทของสัญญาณ 16-QAM ที่ตำแหน่ง –3 dB ซึ่งจะได้แบนด์วิทของสัญญาณ 16-QAM เท่ากับ 30.6kHz ดังรูปที่ 4.18



รูปที่ 4.18 แสดงสเปกตรัมของสัญญาณ 16 - QAM

<u>สรุปผลการทดลอง</u>

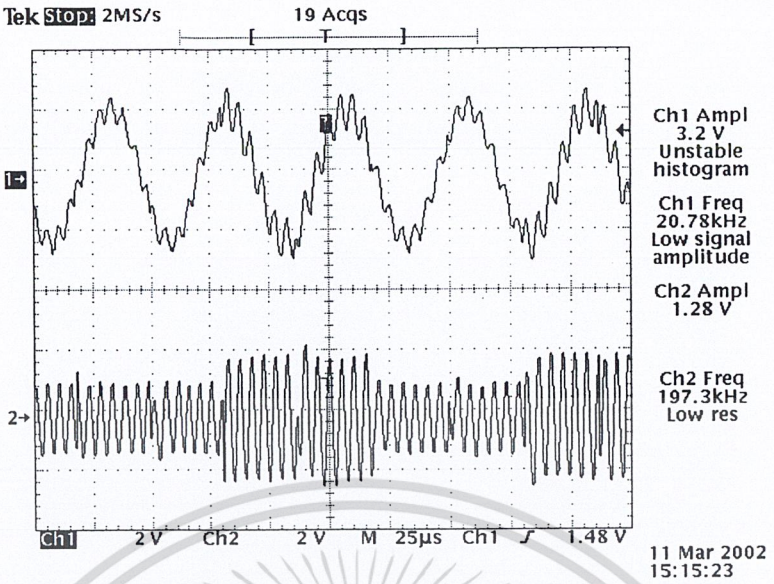
จากผลการทดลองที่นำเสนอและอธิบายไปข้างต้นทำให้สามารถสรุปได้ว่าหลักการสร้างสัญญาณ 16-QAM จากการรวมกันของสัญญาณ QPSK1 และ QPSK2 สามารถสร้างสัญญาณ 16-QAM ขึ้นได้จริงในทางปฏิบัติ

4.4 การทดลองภาครับวงจรดีมอดูเลตสัญญาณแบบ16-QAM

วงจรทางด้านภาครับนี้ประกอบด้วยส่วนสำคัญ 2 ส่วน คือ

1. วงจรแยกสัญญาณ 16-QAM ออกจากสัญญาณที่รับได้ ซึ่งสัญญาณนี้ประกอบด้วยสัญญาณ16-QAMรวมกับสัญญาณนำร่อง โดยบล็อกไดอะแกรมที่แสดงหลักการที่จะนำมาใช้แยกสัญญาณ 16-QAM นี้แสดงดังรูปที่ 3.18 และวงจรต่างๆ ที่จะต้องนำมาใช้ในบล็อกไดอะแกรม แสดงดังรูปที่ 3.24 ซึ่งจากการทดลองให้วงจรทำการแยกสัญญาณ 16-QAM ออกจากสัญญาณที่ภาคส่งส่งมาให้จะได้ผลเป็นดังรูปที่ 4.19

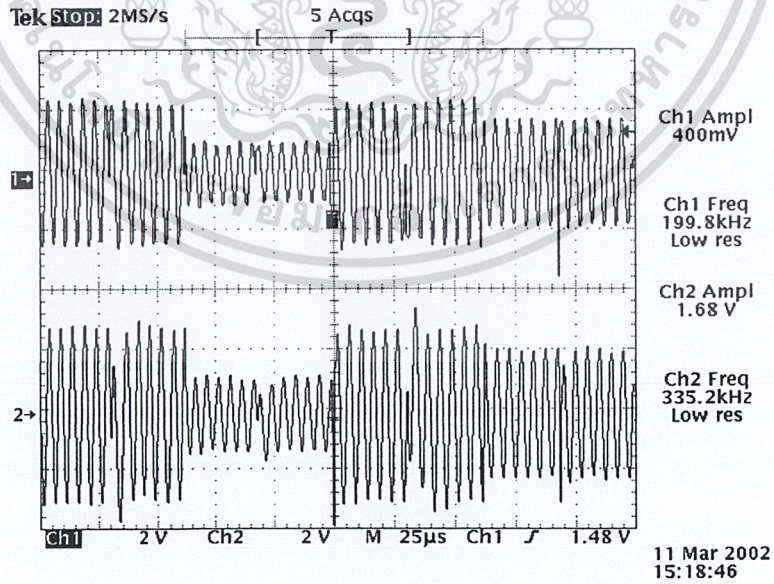
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.19 ch1 คือ สัญญาณ 16-QAM และสัญญาณนำร่องที่ภาคส่งส่งมา
ch2 คือ สัญญาณ 16-QAM ที่แยกออกมาได้

เมื่อทำการวัดสัญญาณ 16-QAM ที่แยกมาได้เทียบกับสัญญาณ 16-QAM ทางด้านภาคส่งเพื่อเปรียบเทียบกันจะได้ผลเป็นดังรูปที่ 4.20

ซึ่งจะพบว่าสัญญาณ 16-QAM ที่แยกออกมาได้นี้มีลักษณะเหมือนกับทางด้านภาคส่งทุกประการ

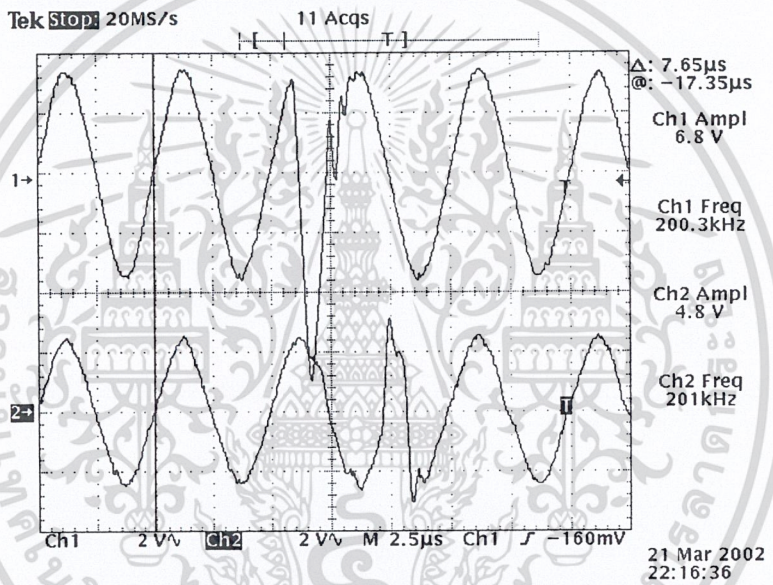


รูปที่ 4.20 ch1 คือ สัญญาณ 16-QAM ที่ทางภาคส่ง
ch2 คือ สัญญาณ 16-QAM ที่ภาครับกู้ได้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2 วงจรดีมอดูเลตสัญญาณแบบ 16-QAM ซึ่งวงจรนี้มีหลักการเป็นไปตามที่ได้อธิบายไว้แล้วในหัวข้อที่3.1.2 ซึ่งมีบล็อกไดอะแกรมแสดงได้ดังรูปที่ 3.4 เมื่อต่อวงจรตามบล็อกไดอะแกรมและทำการทดลองการทำงานของวงจรตามหลักการ โดยให้ดีมอดูเลตสัญญาณ 16-QAM เมื่อข้อมูล 4 บิท ที่มอดูเลตมามีรูปแบบต่างๆกัน แล้ววัดสัญญาณต่างๆที่เกิดขึ้นในกระบวนการดีมอดูเลตดังนี้

เมื่อข้อมูล 4 บิท ที่มอดูเลตมาคือ 1111 ทางด้านภาครับตามหลักการแล้วจะดีมอดูเลตข้อมูล 2 บิทแรกออกมาก่อน ซึ่งก็คือ 11 จากนั้นข้อมูล 2 บิทนี้จะถูกนำไปกำเนิดสัญญาณ QPSK1 ขึ้นมาใหม่อีกครั้งที่ด้านรับ ซึ่งจากระนาบสัญญาณในรูปที่3.1 และ 3.2 จะพบว่าสัญญาณ QPSK1 จะต้องมีเฟสตรงกันกับสัญญาณ 16-QAM ที่รับได้ ซึ่งจากการทดลองก็ได้ผลเป็นไปตามนั้น ดังแสดงในรูปที่ 4.21

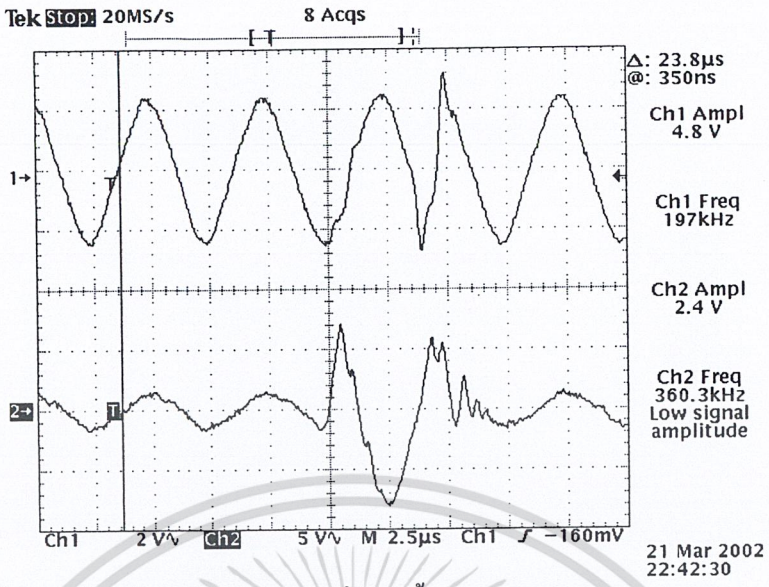


รูปที่ 4.21 ch1 คือ สัญญาณ 16- QAM เมื่อข้อมูล 4 บิท คือ 1111
ch2 คือ สัญญาณ QPSK1 ที่สร้างขึ้นมาใหม่ทางภาครับ

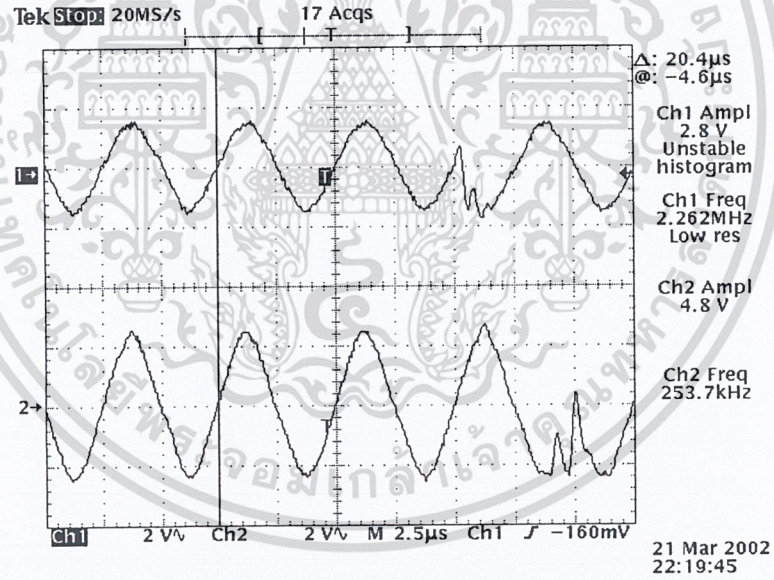
หลังจากที่เรากำเนิดสัญญาณ QPSK1 ได้แล้ว ตามหลักการในการดีมอดูเลตข้อมูลอีก 2 บิทที่เหลือเราจะนำสัญญาณ QPSK1 นี้ไปลบออกจากสัญญาณ 16-QAM เพื่อให้ได้สัญญาณ QPSK2 ออกมา เนื่องจากข้อมูล 4 บิท ที่มอดูเลตมาคือ 1111 ดังนั้นผลลัพธ์สัญญาณ QPSK2 ที่ลบได้จะต้องมีเฟสตรงกันกับสัญญาณ QPSK1 ซึ่งจากการทดลองก็ได้ผลเป็นไปตามนั้นเช่นกันดังแสดงในรูปที่ 4.22

เมื่อข้อมูล 4 บิทที่มอดูเลตมาคือ 1100 ทางด้านรับเมื่อดีมอดูเลตข้อมูล 2 บิทแรกออกมาคือ 11 แล้วนำไปกำเนิดสัญญาณ QPSK1 ขึ้นมาใหม่อีกครั้งและใช้วิธีพิจารณาระนาบสัญญาณในทำนองเดียวกับข้างต้นจะพบว่าสัญญาณ QPSK1 ที่กำเนิดขึ้นมาใหม่จะต้องมีเฟสตรงกันกับสัญญาณ 16-QAM ที่รับได้ ซึ่งมาจากการทดลองก็ได้ผลเป็นไปตามนั้น ดังแสดงในรูปที่ 4.23

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



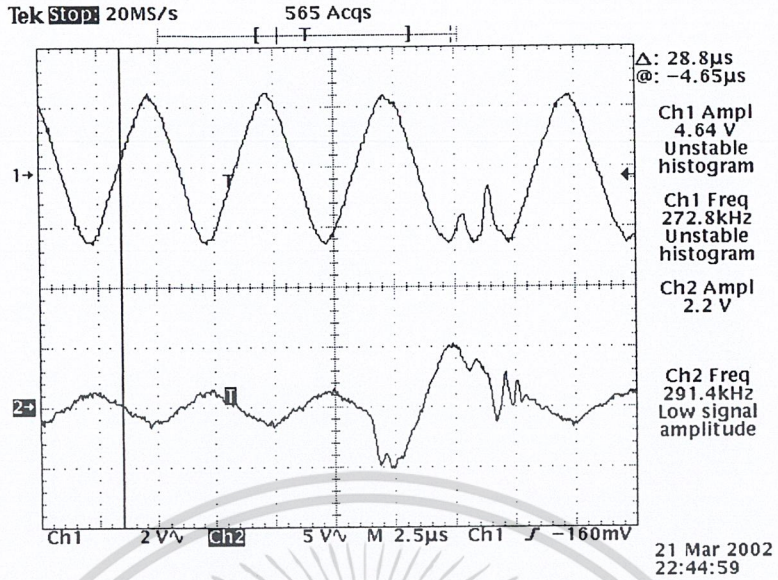
รูปที่ 4.22 ch1 คือ สัญญาณ QPSK1 ที่สร้างขึ้นมาใหม่ทางภาครับ
ch2 คือ สัญญาณQPSK2 ที่ได้จากการลบระหว่างสัญญาณ 16-QAM และ QPSK1



รูปที่ 4.23 ch1 คือ สัญญาณ 16-QAM เมื่อข้อมูล 4 บิท คือ 1100
ch2 คือ สัญญาณ QPSK1 ที่สร้างขึ้นมาสใหม่ทางภาครับ

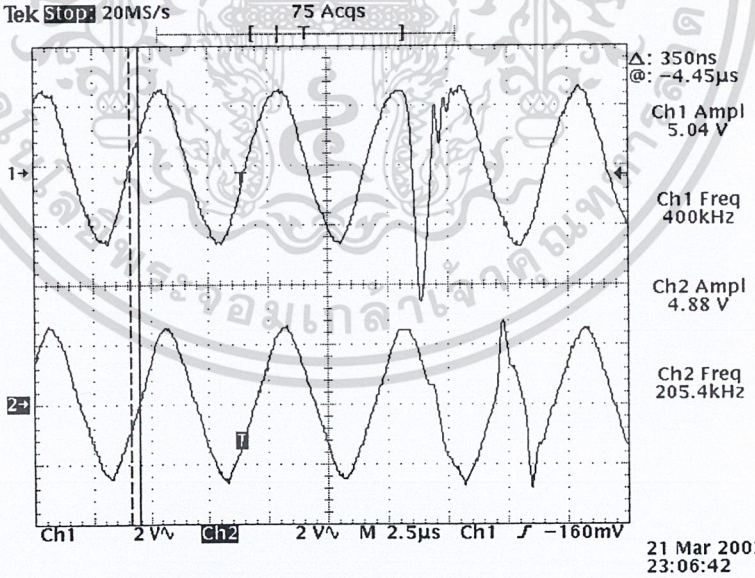
หลังจากได้สัญญาณ QPSK1 แล้วนำไปลบออกจากสัญญาณ 16-QAM เพื่อให้ได้ผลลัพธ์เป็นสัญญาณ QPSK2 ที่จะใช้ในการดีมอดูเลตข้อมูลอีก 2 บิทที่เหลือ เนื่องจากข้อมูล 4 บิทที่มอดูเลตมาคือ 1100 ดังนั้นผลลัพธ์สัญญาณ QPSK2 ที่ได้จะต้องมีเฟสตรงกันข้ามกับสัญญาณ QPSK1 ตามระนาบสัญญาณในรูปที่ 3.1 ซึ่งจากการทดลองก็ได้ผลตามนั้นเช่นกันดังแสดงในรูปที่ 4.24

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.24 ch1 คือ สัญญาณ QPSK1 ที่สร้างขึ้นมาใหม่ทางภาครับ
ch2 คือ สัญญาณQPSK2 ที่ได้จากการลบระหว่างสัญญาณ 16-QAM และ QPSK1

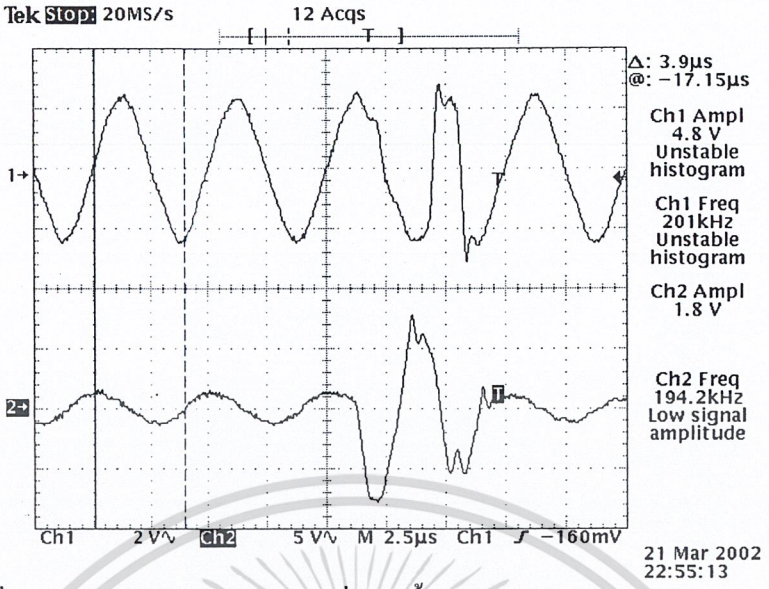
เมื่อข้อมูล 4 บิทที่มอดูเลตมาคือ 1101 และพิจารณาทำนองเดียวกันกับข้างต้นจะพบว่าสัญญาณ QPSK1 ที่กำเนิดขึ้นมาใหม่นี้จะต้องล้าหลังสัญญาณ 16-QAM ที่รับได้อยู่ 22.5 องศา หรือประมาณ 312.5 nsec ซึ่งจากการทดลองก็ได้ผลใกล้เคียงกันดังแสดงในรูปที่ 4.25



รูปที่ 4.25 ch1 คือ สัญญาณ 16-QAM เมื่อข้อมูล 4 บิท คือ 1101
ch2 คือ สัญญาณ QPSK1 ที่สร้างขึ้นมาใหม่ทางภาครับ

เนื่องจากข้อมูล 4 บิท ที่มอดูเลตมาคือ 1101 ดังนั้นสัญญาณ QPSK2 ที่ได้จากการลบจะต้องล้าหลัง QPSK1 อยู่ 270 องศา หรือประมาณ 3.75 μ sec ตามระนาบสัญญาณในรูปที่ 3.2 ซึ่งจากการทดลองก็ได้ผลใกล้เคียงกันดังแสดงในรูปที่ 4.26

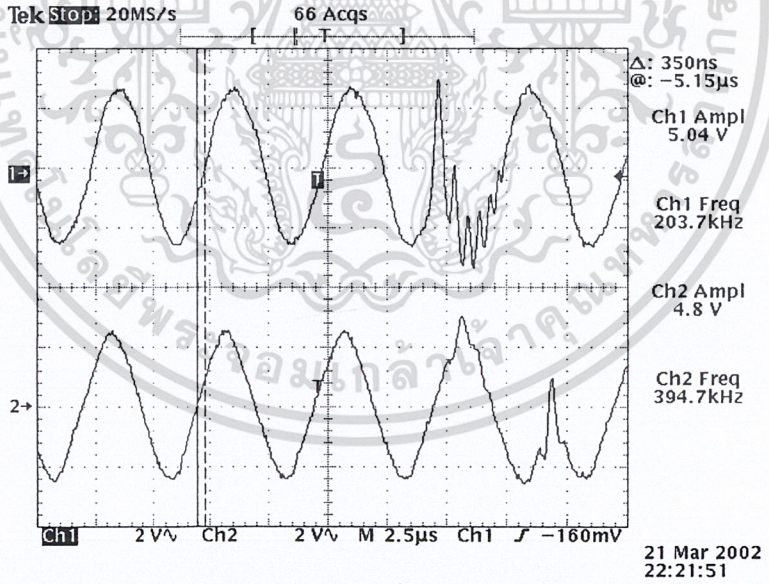
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.26 ch1 คือ สัญญาณ QPSK1 ที่สร้างขึ้นมาใหม่ทางภาครับ

ch2 คือ สัญญาณQPSK2 ที่ได้จากการลบระหว่างสัญญาณ 16-QAM และ QPSK1

เมื่อข้อมูล 4 บิทที่มอดูเลตมาคือ 1110 และใช้วิธีพิจารณาในทำนองเดียวกันเราจะพบว่าสัญญาณ QPSK1 ที่กำเนิดขึ้นมาใหม่จะต้องนำหน้าสัญญาณ 16-QAM ที่รับได้อยู่ประมาณ 22.5 องศา หรือประมาณ

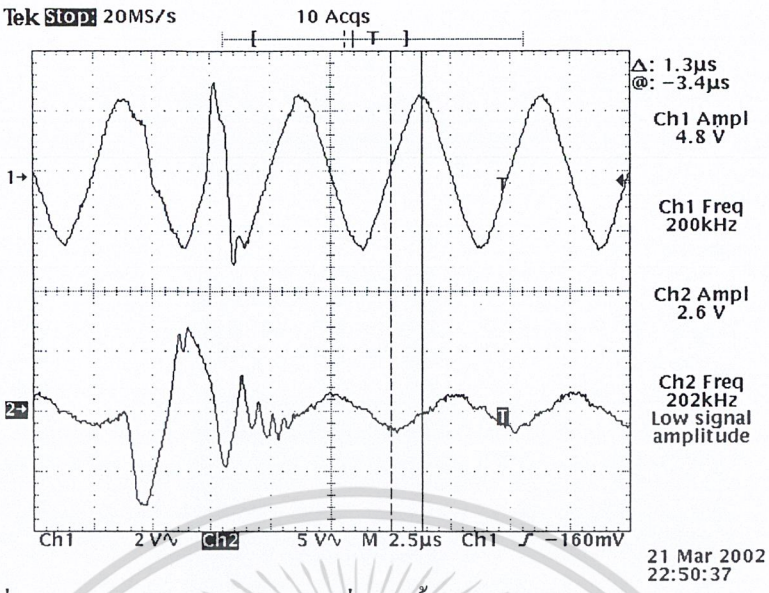


รูปที่ 4.27 ch1 คือ สัญญาณ 16-QAM เมื่อข้อมูล 4 บิท คือ 1110

ch2 คือ สัญญาณ QPSK1 ที่สร้างขึ้นมาใหม่ทางภาครับ

312.5 nsec ซึ่งจากการทดลองก็ได้ผลใกล้เคียงนั้น ดังแสดงในรูปที่ 4.27 และสัญญาณ QPSK2 ที่ได้จะต้องล้าหลังสัญญาณ QPSK1 อยู่ 90 องศา หรือประมาณ 1.25 μ sec ซึ่งจากการทดลองก็ได้ผลใกล้เคียงกัน ดังแสดงในรูปที่ 4.28

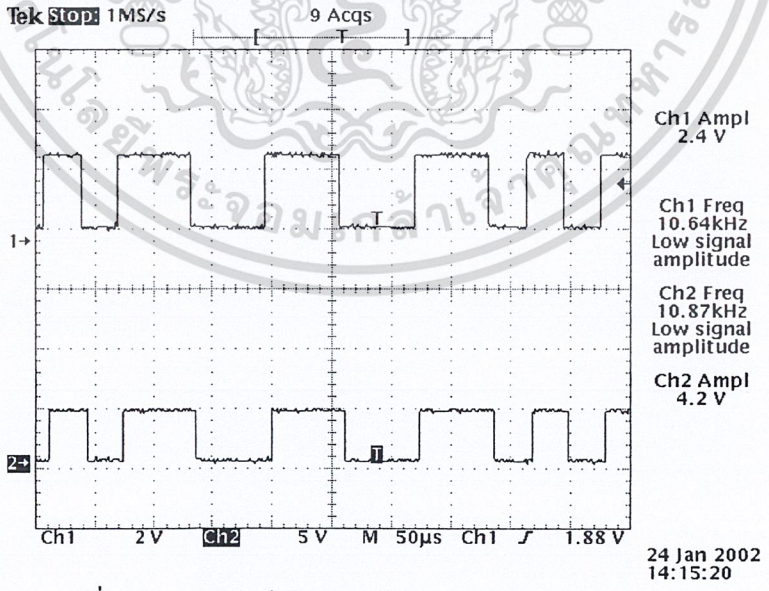
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.28 ch1 คือ สัญญาณ QPSK1 ที่สร้างขึ้นมาใหม่ทางภาครับ

ch2 คือ สัญญาณQPSK2 ที่ได้จากการลบระหว่างสัญญาณ 16-QAM และ QPSK1

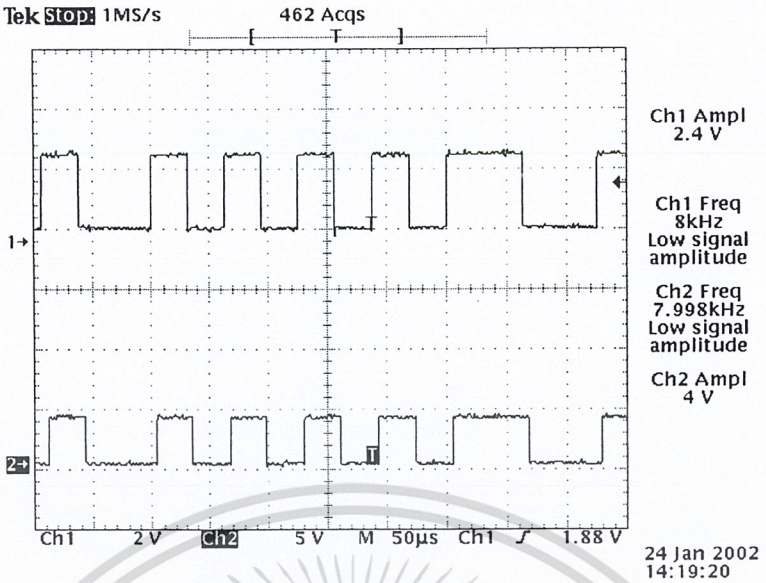
หลังจากทดสอบกระบวนการดีมอดูเลตของภาครับตามรูปแบบบิทต่างๆแล้ว ขั้นตอนต่อไปคือทำการดีมอดูเลตข้อมูลดิจิตอลแบบสุ่มที่มอดูเลตมาทางภาคส่ง ซึ่งผลของข้อมูลดิจิตอลที่ดีมอดูเลตได้ทั้ง 4 บิทเมื่อเทียบกับด้านส่งแสดงได้ดังรูปที่ 4.29 , 4.30 , 4.31 และ 4.32



รูปที่4.29 ch1 คือ ข้อมูลดิจิตอลบิท D_1 ทางภาคส่ง

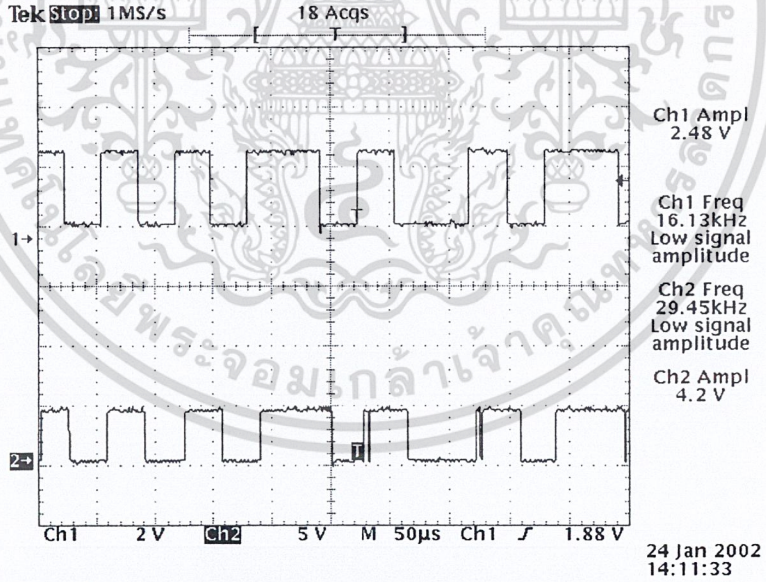
ch2 คือ ข้อมูลดิจิตอลบิท D_1 ที่ดีมอดูเลตได้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่4.30 ch1 คือ ข้อมูลดิจิตอลบิท D_2 ทางภาคส่ง

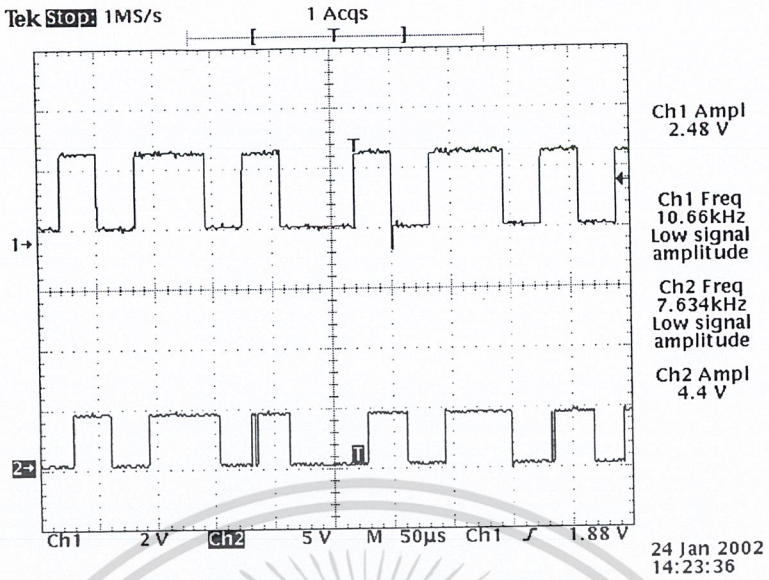
ch2 คือ ข้อมูลดิจิตอลบิท D_2 ที่ดีมอดูเลตได้



รูปที่4.31 ch1 คือ ข้อมูลดิจิตอลบิท D_3 ทางภาคส่ง

ch2 คือ ข้อมูลดิจิตอลบิท D_3 ที่ดีมอดูเลตได้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่4.32 ch1 คือ ข้อมูลดิจิตอลบิท D_4 ทางภาคส่ง

ch2 คือ ข้อมูลดิจิตอลบิท D_4 ที่ดีมอดูเลตได้

สรุปผลการทดลอง

จากรูปผลการทดลองกระบวนของภาครับในการดีมอดูเลตข้อมูล 4 บิท ที่มีรูปแบบต่างๆกันทำให้สรุปได้ว่าหลักการดีมอดูเลตสัญญาณที่นำเสนอไว้สามารถสร้างให้ทำงานได้จริงในทางปฏิบัติ และเมื่อให้วงจรทำงานดีมอดูเลตข้อมูลดิจิตอลแบบสุ่ม พบว่าข้อมูลดิจิตอลที่ดีมอดูเลตได้ 2 บิท แรกจะมีความสมบูรณ์มากกว่า 2 บิทหลัง เหตุผลเนื่องมาจากสัญญาณQPSK2 ที่ลบได้นั้นไม่สมบูรณ์เหมือนทางด้านส่ง

4.5 การทดลองวงจรกำเนิดสัญญาณคลื่นพาห์และสัญญาณนำร่อง

จุดประสงค์: เพื่อเป็นการศึกษาและทดสอบการทำงานของวงจรกำเนิดสัญญาณคลื่นพาห์และสัญญาณนำร่อง

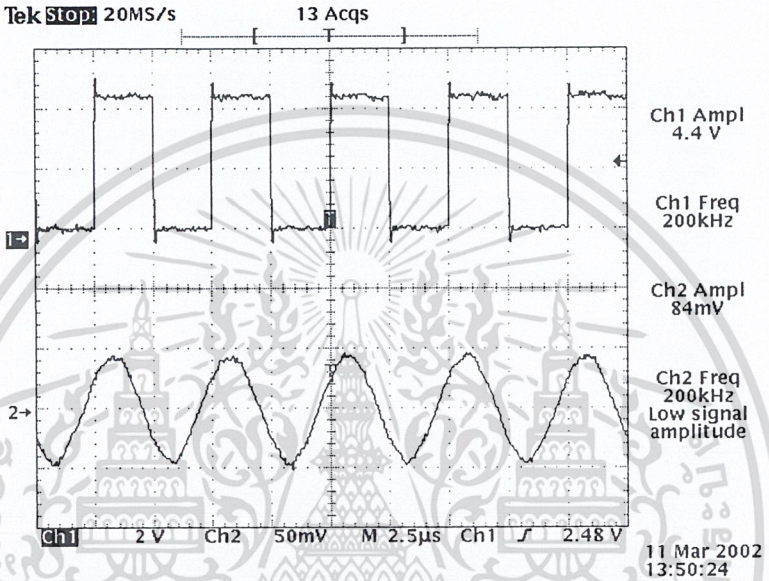
4.5.1 ขั้นตอนการทดลอง

1. ต่อวงจรตามบล็อกไดอะแกรมดังรูปที่ 3.16 โดยวงจรที่ใช้ในแต่ละบล็อกไดอะแกรมดังแสดงในรูปที่ 3.15, 3.21, 3.22 และ 3.25
2. ป้อนสัญญาณรูปสี่เหลี่ยมซึ่งมีระดับแรงดันเป็น 0 Vและ 5 V ความถี่ 200 kHz เข้าที่อินพุตของวงจร
3. วัดสัญญาณเอาต์พุตที่ได้จากวงจรกรองแถบความถี่ผ่าน ความถี่ 200 kHz
4. วัดสัญญาณเอาต์พุตที่ได้จากวงจรหาร 10
5. วัดสัญญาณเอาต์พุตที่ได้จากวงจรกรองแถบความถี่ผ่าน ความถี่ 20 kHz

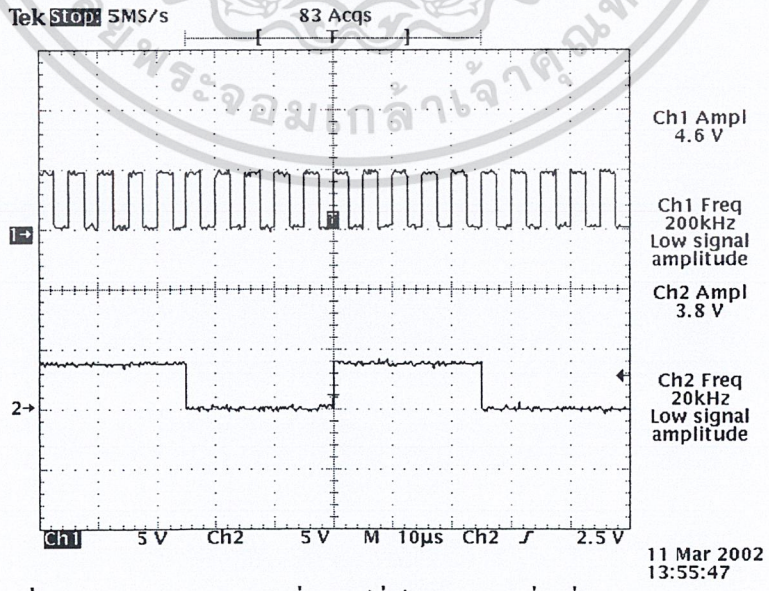
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4.5.2 ผลการทดลอง

เมื่อป้อนสัญญาณคลื่นพาห์ที่เป็นสัญญาณสี่เหลี่ยมตามขั้นตอนการทดลองที่ 2 แล้ววัดสัญญาณเอาต์พุตของวงจรกรองแถบความถี่ผ่านตามขั้นตอนที่ 3 จะพบว่าสัญญาณคลื่นพาห์ที่เป็นสัญญาณสี่เหลี่ยมนั้นถูกวงจรกรองแถบความถี่ผ่านกรองเอาเฉพาะองค์ประกอบความถี่ไซน์ที่มีความถี่ 200kHz ออกมาเท่านั้นซึ่งแสดงรูปสัญญาณที่ได้ดังรูปที่ 4.33



รูปที่ 4.33 ch1 คือ สัญญาณคลื่นพาห์ที่เป็นสัญญาณสี่เหลี่ยม 200kHz
ch2 คือ สัญญาณคลื่นพาห์ที่เป็นสัญญาณไซน์ 200kHz

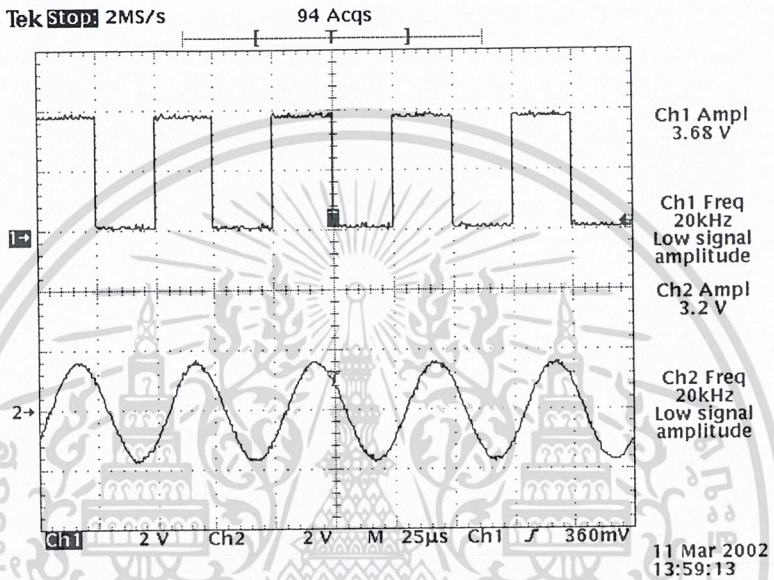


รูปที่ 4.34 ch1 คือ สัญญาณคลื่นพาห์ที่เป็นสัญญาณสี่เหลี่ยม 200 kHz
ch2 คือ สัญญาณสี่เหลี่ยมที่ได้จากวงจรหาร 10

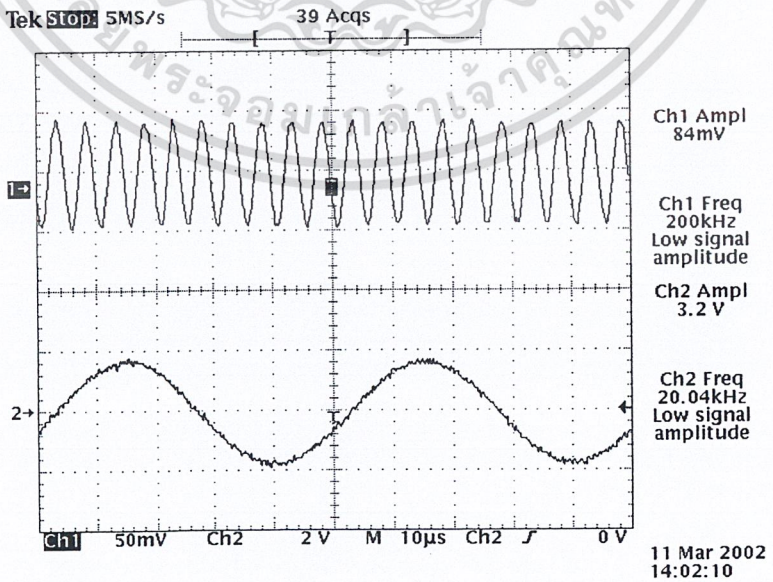
เอกสารนี้เป็นเอกสารที่สงวนไว้สำ[illegible]ให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สัญญาณคลื่นพาห์ที่เป็นสัญญาณสี่เหลี่ยม 200 kHz อีกส่วนหนึ่งจะถูกนำไปเข้าวงจรหาร 10 เพื่อหารความถี่ลง 10 เท่า ซึ่งหลังการหารเราจะได้สัญญาณสี่เหลี่ยมความถี่ 20 kHz ออกมา ดังแสดงในรูปที่ 4.34

จากนั้นสัญญาณสี่เหลี่ยม 20 kHz นี้จะถูกนำไปผ่านวงจรกรองแถบความถี่ผ่าน เพื่อกรองเอาเฉพาะสัญญาณไซน์ความถี่ 20 kHz ออกมา รูปสัญญาณที่ได้แสดงดังในรูปที่4.35 ซึ่งสัญญาณที่ได้นี้จะถูกนำไปใช้เป็นสัญญาณนำร่อง



รูปที่ 4.35 ch1 คือ สัญญาณสี่เหลี่ยม 20 kHz ที่ได้หลังการหาร
ch2 คือ สัญญาณนำร่องที่ได้



รูปที่ 4.36 ch1 คือ สัญญาณคลื่นพาห์ ความถี่ 200 kHz
ch2 คือ สัญญาณนำร่อง ความถี่ 20 kHz

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เมื่อวัดสัญญาณคลื่นพาห์ ความถี่ 200kHz และสัญญาณนำร่อง ความถี่ 20 kHz ที่สร้างได้เทียบกัน จะได้ผลเป็นดังรูปที่ 4.36

4.5.4 สรุปผลการทดลอง

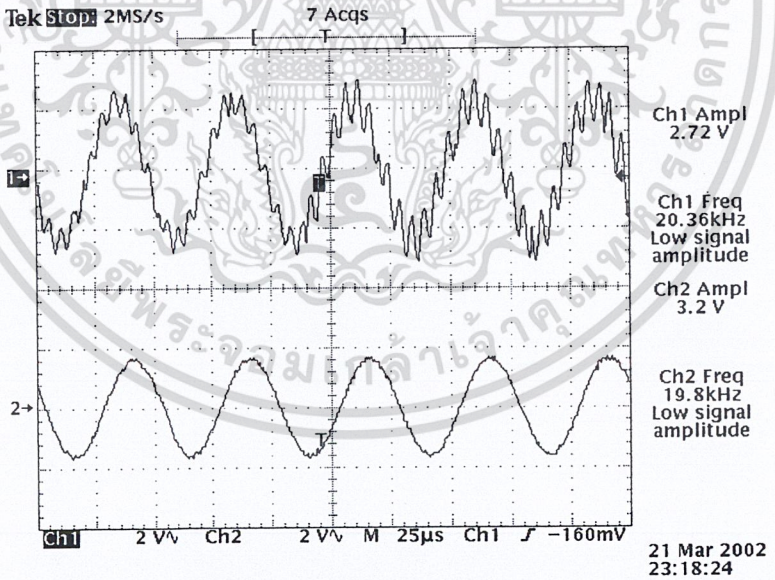
ในรูปที่ 4.36 เป็นผลของสัญญาณคลื่นพาห์ ความถี่ 200kHz และสัญญาณนำร่อง 20 kHz ซึ่งเกิดจากการหารความถี่ลง 10 เท่า โดยไม่ได้ใช้หลักการหารจากสัญญาณคลื่นพาห์โดยตรง เพราะวงจรจะยุ่งยากและซับซ้อน แต่จะใช้หลักการหารจากสัญญาณคลื่นพาห์ที่เป็นสัญญาณสี่เหลี่ยมก่อน โดยใช้วงจรนับ จากนั้นนำสัญญาณสี่เหลี่ยมที่หารได้ไปผ่านวงจรกรอง เพื่อแยกเอาเฉพาะสัญญาณไซน์ที่มีความถี่เดียวกันออกมา ซึ่งหลักการนี้จะง่ายกว่าและให้ผลเหมือนกับการหารจากคลื่นพาห์ที่เป็นคลื่นไซน์

4.6 การทดลองวงจรกู้สัญญาณนำร่องและคลื่นพาห์

บล็อกไดอะแกรมแสดงหลักการกู้สัญญาณคลื่นพาห์จากสัญญาณที่รับได้คือสัญญาณนำร่องและ 16-QAM สามารถแสดงได้ดังรูปที่ 3.17 ซึ่งมีขั้นตอนการทดลองดังต่อไปนี้

1.ต่อวงจรต่างๆตามที่แสดงในบล็อกไดอะแกรม โดยใช้วงจรในรูปที่ 3.21,3.22 และ 3.26

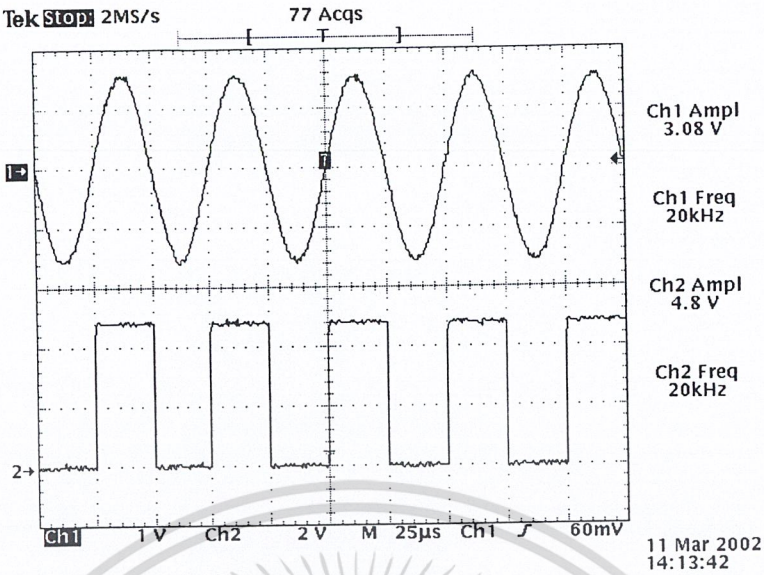
2.วัดสัญญาณนำร่องที่วงจรกรองแถบความถี่ผ่าน 20 kHz กู้ได้จากสัญญาณที่ด้านส่งส่งมา ซึ่งได้ผลเป็นดังรูปที่ 4.37



รูปที่ 4.37 ch1 คือ สัญญาณที่ด้านส่งส่งมา (16-QAM + สัญญาณนำร่อง)
ch2 คือ สัญญาณนำร่องที่กู้ออกมาได้

3.วัดสัญญาณนำร่องหลังจากผ่านวงจรคอมพาราเตอร์ เพื่อสร้างสัญญาณนำร่องที่เป็นสัญญาณสี่เหลี่ยม ซึ่งได้ผลเป็นดังรูปที่ 4.38

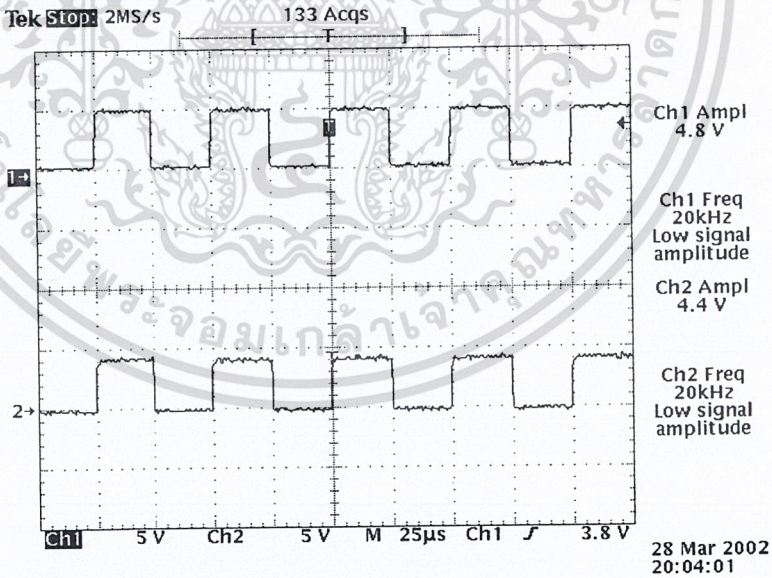
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.38 ch1 คือ สัญญาณนำร่องที่กู้ได้

ch2 คือ สัญญาณนำร่องหลังผ่านวงจรคอมพาราเตอร์ให้เป็นสัญญาณสี่เหลี่ยม

4. หลังจากได้สัญญาณนำร่องที่เป็นสัญญาณสี่เหลี่ยมความถี่ 20 kHz แล้วสัญญาณนี้จะถูกสังเคราะห์ความถี่ขึ้นเป็นสัญญาณสี่เหลียม 200 kHz โดยใช้วงจรเฟสล็อกลูป ซึ่งผลการทดลองของวงจรเฟสล็อกลูปแสดงดังรูปที่ 4.39 โดยมีย่านการล็อก (Lock range) เท่ากับ 3.7 kHz

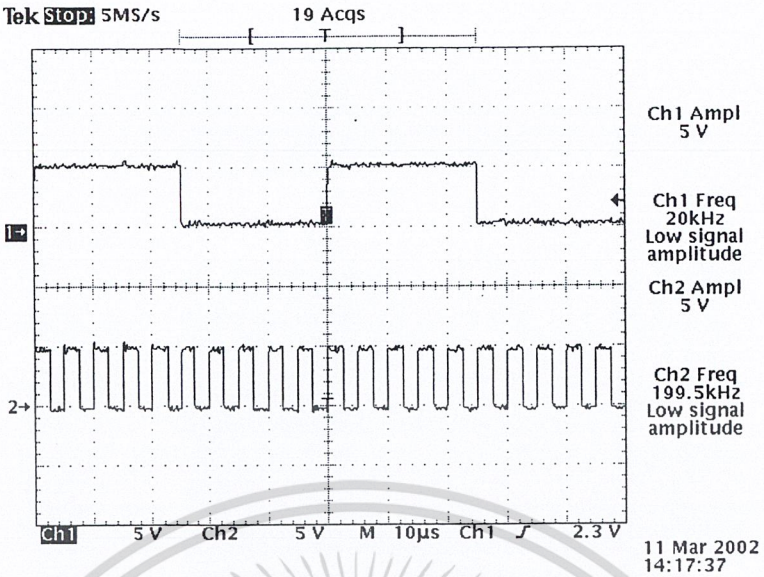


รูปที่4.39 ch1: สัญญาณอินพุตของวงจรเฟสล็อกลูป

ch2: สัญญาณที่นำมาเปรียบเทียบที่ตัวเฟสดีเทคเตอร์

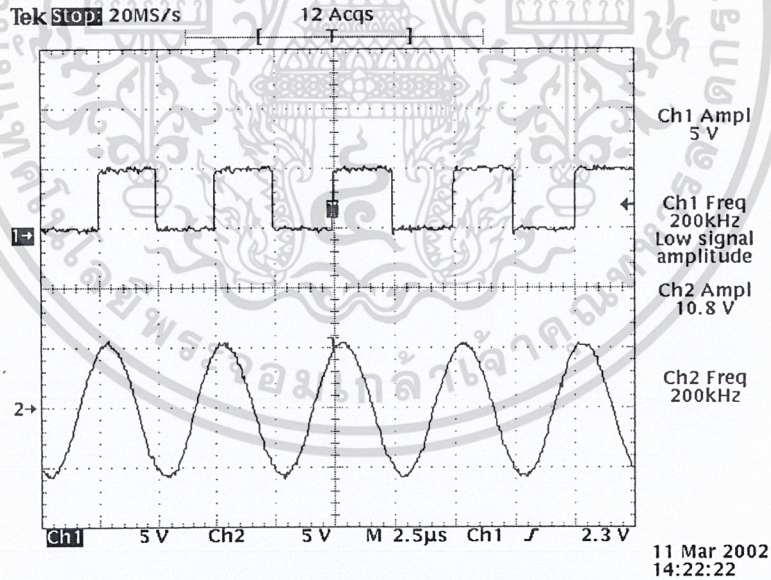
ซึ่งผลของสัญญาณที่ได้ก็คือ สัญญาณคลื่นพาห์ 200 kHz ที่กู้ได้นั่นเอง ซึ่งแสดงดังรูปที่ 4.40

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.40 ch1 คือ สัญญาณนำร่องสี่เหลี่ยมความถี่ 20 kHz
ch2 คือ สัญญาณคลื่นพาห์สี่เหลี่ยม 200kHz ที่กู้ได้

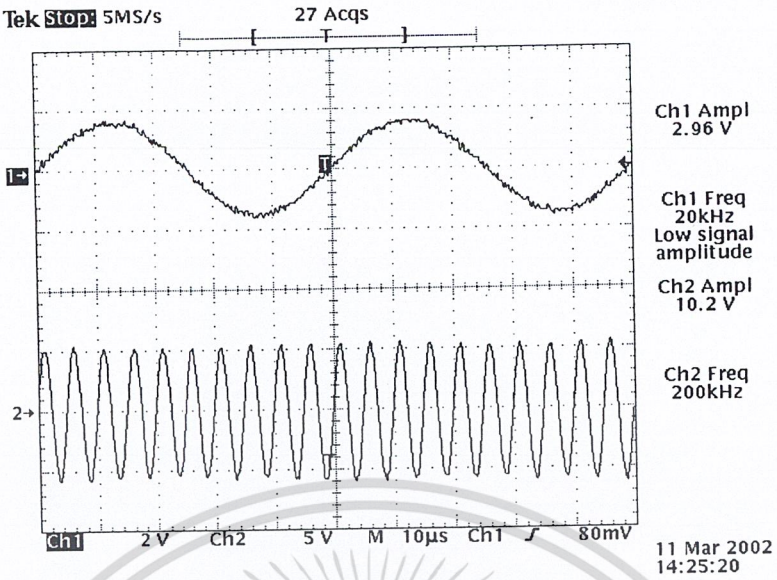
5.วัดสัญญาณคลื่นพาห์สี่เหลี่ยม 200 kHz หลังผ่านวงจรกรองแถบความถี่ผ่าน 200kHz จะได้สัญญาณคลื่นพาห์ที่เป็นไซน์ 200 kHz ออกมา ดังแสดงในรูปที่ 4.41



รูปที่ 4.41 ch1 คือ สัญญาณคลื่นพาห์สี่เหลี่ยมที่กู้ได้
ch2 คือ สัญญาณคลื่นพาห์ไซน์ที่ได้จากวงจรกรอง

6. เมื่อวัดสัญญาณนำร่องและสัญญาณคลื่นพาห์ที่เป็นคลื่นไซน์เทียบกัน พบว่ากระบวนการที่ได้ทดลองมานี้สามารถกู้สัญญาณคลื่นพาห์จากสัญญาณนำร่องที่ส่งมาจากด้านส่งได้ ซึ่งผลแสดงดังรูปที่ 4.42

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.42 ch1 คือ สัญญาณนำร่องที่กู้ได้ทางด้านรับ
ch2 คือ สัญญาณคลื่นพาห์ไซน์ที่กู้ได้ทางด้านรับ

หลังจากได้สัญญาณคลื่นพาห์ที่เป็นคลื่นไซน์กลับคืนมาแล้ว สัญญาณนี้จะถูกนำไปผ่านวงจรลดทอน เพื่อลดระดับขนาดของสัญญาณลงให้เหลือประมาณ 60 mVp-p เพื่อส่งให้กับภาคดีมอดูเลตแบบ 16-QAM ต่อไป

สรุปผลการทดลอง

หลักการในการกู้สัญญาณคลื่นพาห์ในการทดลองข้างต้นเป็นการกู้สัญญาณคลื่นพาห์จากสัญญาณนำร่องทางอ้อม กล่าวคือจะใช้การแปลงสัญญาณนำร่องให้เป็นสัญญาณสี่เหลี่ยมก่อนแล้วจึงใช้เฟสล็อกลูปคูณความถี่ขึ้นเป็นสัญญาณสี่เหลี่ยมความถี่ 200 kHz จากนั้นนำไปผ่านวงจรกรองเพื่อให้ได้สัญญาณคลื่นพาห์ไซน์ออกมา ซึ่งจากผลการทดลองในรูปที่ 4.42 จะพบว่าการทำงานของวงจรให้ผลเหมือนการกู้สัญญาณคลื่นพาห์ไซน์จากสัญญาณนำร่องไซน์

4.7 การทดลองวงจรกู้สัญญาณนาฬิกาและข้อมูลดิจิตอล

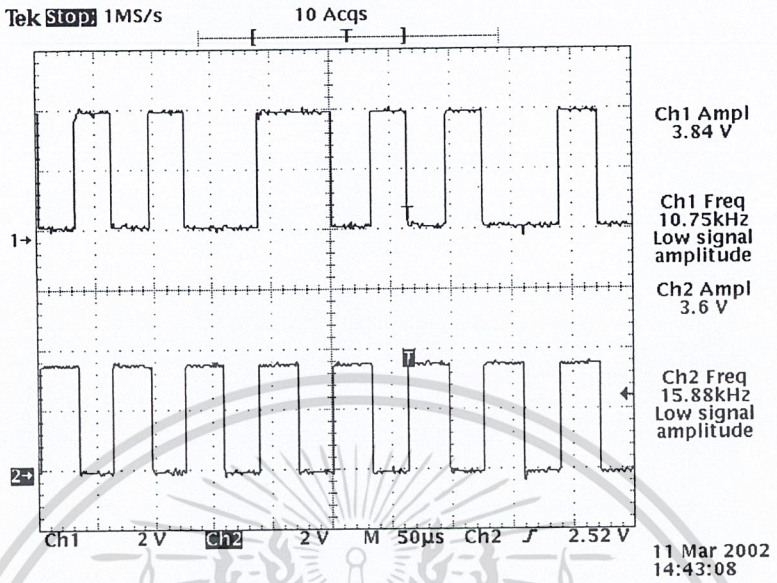
4.7.1 ขั้นตอนการทดลอง

1. ต่อวงจรกู้สัญญาณนาฬิกาตามรูปที่ 3.31
2. ป้อนข้อมูลแบบสุ่มซึ่งถูกเข้ารหัส แมนเชสเตอร์ ให้กับวงจรกู้สัญญาณนาฬิกา
3 วัดสัญญาณนาฬิกาที่กู้ได้จากข้อมูลดิจิตอลแบบสุ่ม ซึ่งถูกเข้ารหัสแบบแมนเชสเตอร์เทียบกัน ซึ่งได้ผลดังแสดงในรูปที่ 4.43

จากรูปสังเกตได้ว่าสัญญาณนาฬิกาที่กู้ได้มีความถี่เพียงแค่ 16 kHz เท่านั้น เพราะว่าในการใช้งานจริงสัญญาณนาฬิกาจะถูกกู้จากข้อมูลบิท D_1 ที่ถูกดีมอดูเลตออกมา ซึ่งมีอัตราเร็วเพียง 16 kbps เท่านั้น เนื่องจากว่าบิทข้อมูลแบบอนุกรมที่นำมามอดูเลตแบบ 16-QAM มีอัตราเร็ว 64 kbps

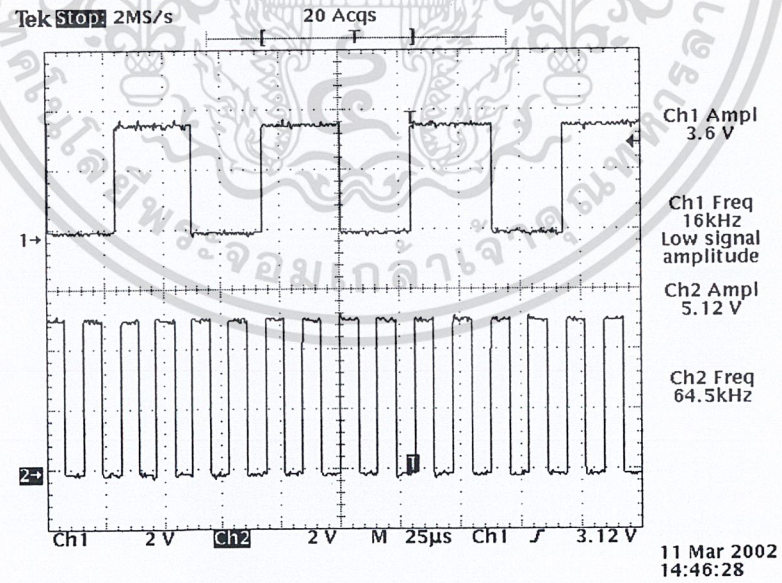
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4. ต่อวงจรเฟสล็อกลูปตามรูปที่ 3.26



รูปที่ 4.43 ch1 คือ ข้อมูลดิจิตอลแบบสุ่มซึ่งถูกเข้ารหัสแบบ แมนเชสเตอร์
ch2 คือ สัญญาณนาฬิกาความถี่ 16 kHz ที่กู้ได้

5 นำสัญญาณนาฬิกาที่กู้ได้ในขั้นตอนการทดลองที่3 มาป้อนให้กับวงจรเฟสล็อกลูป เพื่อทำการคูณความถี่สัญญาณนาฬิกาที่จะใช้งานจริงให้ขึ้นไปที่ความถี่ 64 kHz ซึ่งผลที่ได้แสดงดังรูปที่ 4.44

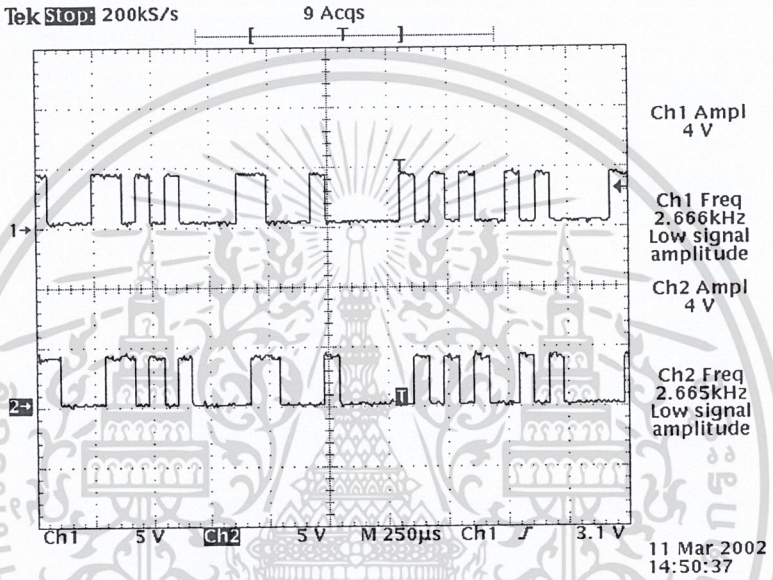


รูปที่ 4.44 ch1 คือ สัญญาณนาฬิกา 16 kHz ที่กู้ได้
ch2 คือ สัญญาณนาฬิกา 64 kHz ที่ถูกสังเคราะห์ขึ้นมาใหม่

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

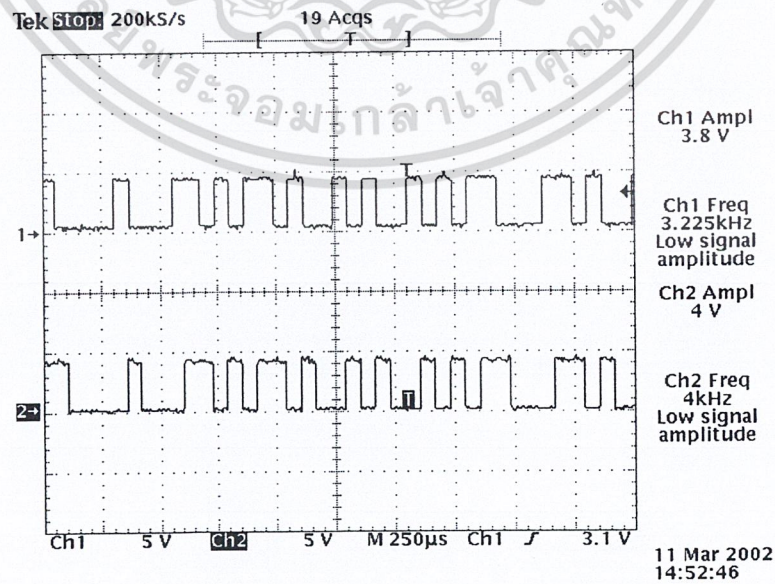
6. ต่อวงจรตามรูปที่3.27 เนื่องจากวงจรนี้ต้องการสัญญาณนาฬิกา 2 ความถี่ คือ 32 kHz และ 16kHz แต่จากขั้นตอนการทดลองที่ 5 เรามีสัญญาณนาฬิกา ความถี่ 64 kHz ดังนั้น เราจะใช้ไอซี 74161 ซึ่งเป็นวงจรนับมาหารความถี่ 64kHz ให้เป็น 32 kHz และ 16 kHz ตามลำดับ เพื่อส่งให้กับวงจรในรูปที่ 3.27

ดี-ฟลิปฟลอปที่ใช้ในคอลัมน์แรกของรูปวงจรที่ 3.27 นั้นจะทำหน้าที่กำเนิดบิทข้อมูลดิจิตอลที่ได้หลังจากการดีมอดูเลตขึ้นมาใหม่ เพื่อให้มีความกว้างและรูปร่างของบิทที่สมบูรณ์หลังจากนั้น ดี-ฟลิปฟลอปที่ใช้ในคอลัมน์ที่สองจะทำหน้าที่ถอดรหัสสัญญาณแมนเชสเตอร์ให้ข้อมูลดิจิตอลกลับมาอยู่ในรูปแบบของ NRZ ตามเดิม



รูปที่ 4.45 ch1 คือ ข้อมูลดิจิตอลที่บิท D_1 ก่อนส่งเข้ามอดูเลต

ch2 คือ ข้อมูลดิจิตอลที่บิท D_1 หลังการดีมอดูเลตและกำเนิดบิทใหม่

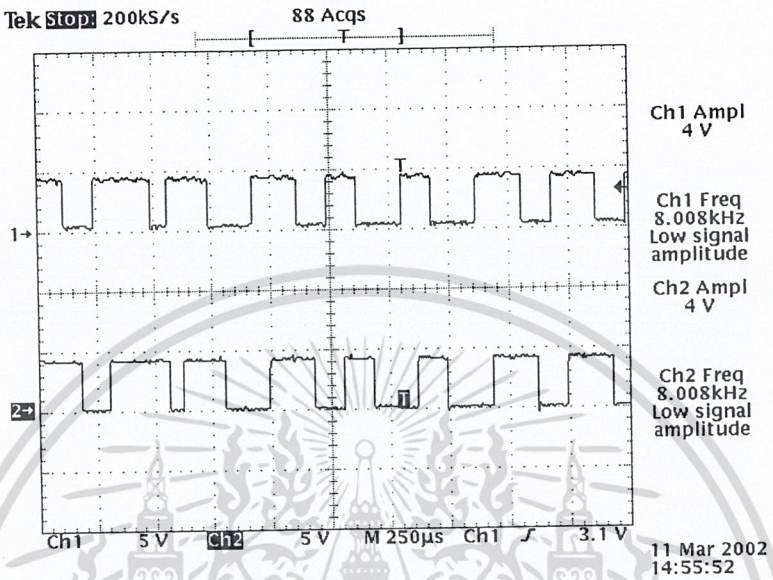


รูปที่ 4.46 ch1 คือ ข้อมูลดิจิตอลที่บิท D_2 ก่อนส่งเข้ามอดูเลต

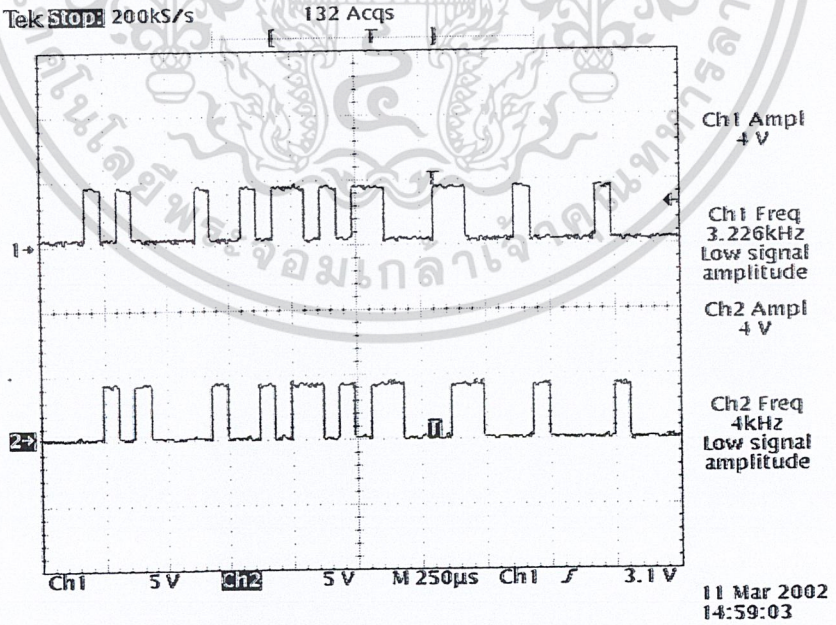
ch2 คือ ข้อมูลดิจิตอลที่บิท D_2 หลังการดีมอดูเลตและกำเนิดบิทใหม่

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ซึ่งจากการทดลองกู้สัญญาณนาฬิกา พร้อมทั้งกำเนิดบิทข้อมูลดิจิตอลที่ดีมอดูเลตออกมาได้ขึ้นมาใหม่ทั้ง 4 บิท และถอดรหัส แมนเชสเตอร์แล้ว จะทำให้ได้ข้อมูลดิจิตอลทั้ง 4 บิท เป็นดังรูปที่ 4.45, 4.46, 4.47 และ 4.48



รูปที่ 4.47 ch1 คือ ข้อมูลดิจิตอลที่บิท D_3 ก่อนส่งเข้ามอดูเลต
ch2 คือ ข้อมูลดิจิตอลที่บิท D_3 หลังการดีมอดูเลตและกำเนิดบิทใหม่



รูปที่ 4.48 ch1 คือ ข้อมูลดิจิตอลที่บิท D_4 ก่อนส่งเข้ามอดูเลต
ch2 คือ ข้อมูลดิจิตอลที่บิท D_4 หลังการดีมอดูเลตและกำเนิดบิทใหม่

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4.7.2 สรุปผลการทดลอง

จากรูปข้อมูลดิจิตอลที่กู้ออกมาได้ทั้ง 4 บิท ในรูปที่ 4.45 ถึง 4.48 ทำให้สรุปได้ว่าวงจรกู้สัญญาณนาฬิกาและข้อมูลดิจิตอลสามารถที่จะกู้ข้อมูลดิจิตอลทั้ง 4 บิท ให้กลับคืนมาได้เหมือนกับทางด้านส่งทุกประการ

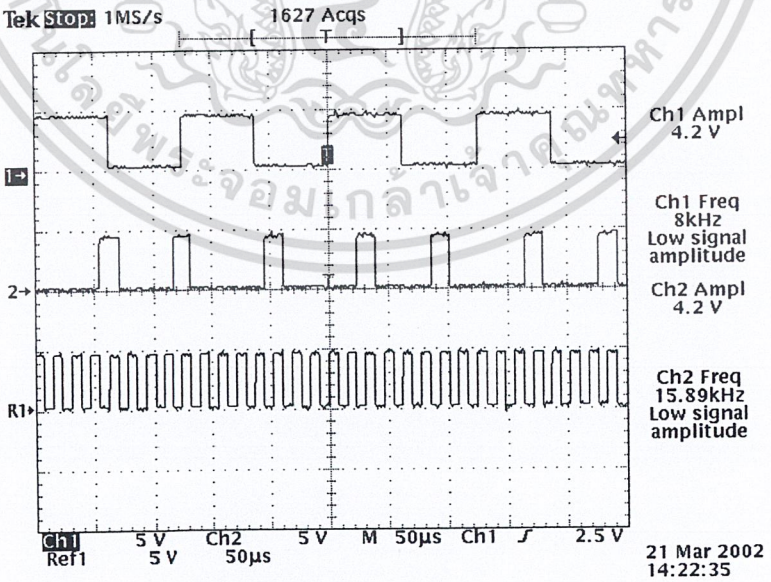
4.8 การทดลองวงจรดีมัลติเพล็กซ์

วัตถุประสงค์ : เพื่อเป็นการศึกษาการทำงานและทดสอบคุณสมบัติของวงจรในการล็อกตำแหน่งมาร์คบิทเพื่อแยกข้อมูลที่มัลติเพล็กซ์รวมกันมาออกจากกัน

4.8.1 ขั้นตอนการทดลอง

1. ต่อวงจรดีมัลติเพล็กซ์ตามรูปที่ 3.10
2. ป้อนสัญญาณนาฬิกาความถี่ 64 kHz ให้กับวงจร
3. ป้อนข้อมูล 111100001111....ซึ่งเป็นลำดับข้อมูลอนุกรมให้กับวงจร
4. วัดสัญญาณที่ขา Q_D ของ ไอซี 74194 ตัวแรกเทียบกับสัญญาณโหลดที่ขา CLK ของไอซี 74194 ตัวที่สอง ซึ่งได้ผลเป็นดังรูปที่ 4.49

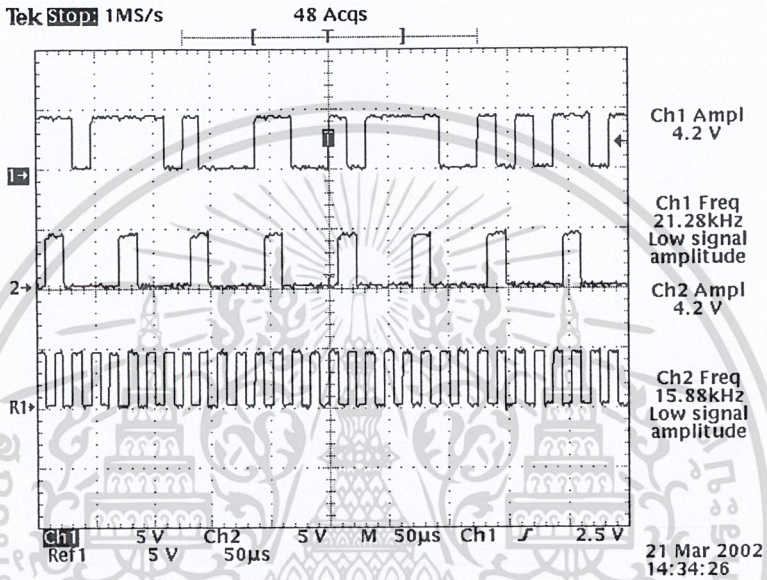
จากรูปที่ 4.49 สังเกตว่าที่ขอบขาขึ้นของสัญญาณโหลดลูกแรกทางซ้ายมือดี-ฟลิปฟลอปสุ่มข้อมูล 1 บิท ขึ้นมาซึ่งเป็น “1” ซึ่งวงจรเข้าใจว่าเป็นมาร์คบิท ดังนั้นในสล็อทถัดไป วงจรนับจะส่งสัญญาณโหลดให้ ดี-ฟลิปฟลอปสุ่มข้อมูล 1 บิทที่ตำแหน่งเดิม (4 clock cycle) ซึ่งในสล็อทถัดไปปรากฏว่าข้อมูล 1 บิทที่ดี-ฟลิปฟลอปสุ่มได้ที่ขอบขาขึ้นของสัญญาณโหลดลูกที่สองเป็นบิท “0” ซึ่งหมายความว่าไม่ใช่มาร์คบิท



รูปที่ 4.49 ch1 คือ ลำดับข้อมูลอนุกรมที่ขา Q_D ของไอซี 74194 ตัวแรก
ch2 คือ สัญญาณโหลด
R1 คือ สัญญาณนาฬิกาที่ป้อนให้กับวงจร

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ดังนั้นในสล็อทถัดไปวงจรนับจะส่งสัญญาณโหลดให้ดี-ฟลิปฟลอปเลื่อนตำแหน่งการสุ่มข้อมูล 1 บิทนี้ไป 1 ตำแหน่งบิทจากตำแหน่งเดิมในสล็อทที่แล้ว (5 clock cycle) ซึ่งจากรูปจะเห็นได้อย่างชัดเจนว่าทุกครั้งที่ขอบขาขึ้นของสัญญาณโหลดตรงกับข้อมูลที่เป็นบิท "1" สัญญาณโหลดจะเกิดขึ้นที่ตำแหน่งเดิมใน สล็อท ถัดไป แต่ถ้าตรงกับข้อมูลที่เป็นบิท "0" สัญญาณโหลดจะเลื่อนไป 1 ตำแหน่งบิทในสล็อทถัดไป ซึ่งปรากฏการณ์ที่เกิดขึ้นนี้เป็นพฤติกรรมของวงจรที่กำลังค้นหาตำแหน่งของมาร์คบิทในลำดับข้อมูลอนุกรมที่มัลติเพล็กซ์กันมา



รูปที่ 4.50 ch1 คือ ข้อมูลอนุกรมที่ใช้งานจริง ซึ่งแต่ละสล็อตประกอบด้วยมาร์คบิท และบิทข้อมูลแบบสุ่มจากแต่ละช่องสัญญาณที่มัลติเพล็กซ์รวมกันมา

ch2 คือ สัญญาณโหลด

R1 คือ สัญญาณนาฬิกาที่ป้อนให้กับวงจร

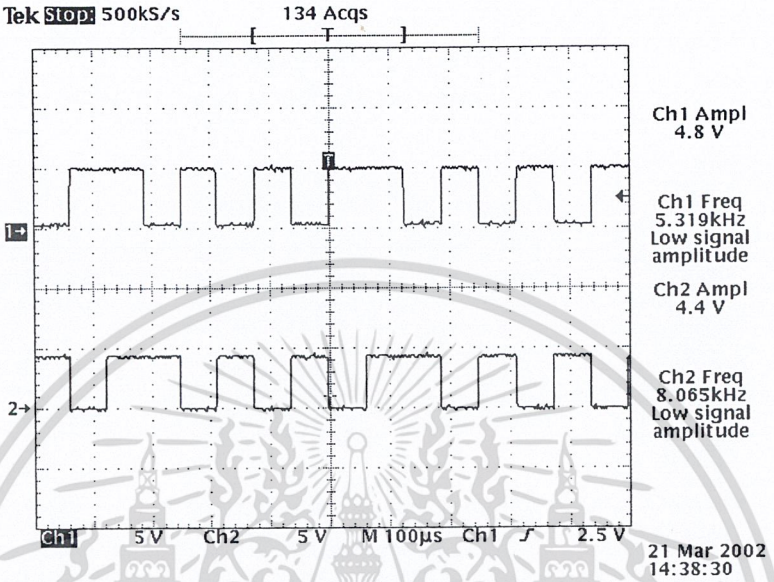
5. ต่อไปลองป้อนข้อมูลที่จะใช้งานจริงเข้าที่อินพุตของวงจรดีมัลติเพล็กซ์ ซึ่งข้อมูลนี้ประกอบด้วยมาร์คบิทและข้อมูลแบบสุ่มจากแต่ละช่องสัญญาณ ซึ่งมัลติเพล็กซ์กันมาจากการวัดสัญญาณในทำนองเดียวกันกับขั้นตอนการทดลองที่ 4 จะได้ผลเป็นดังรูปที่ 4.50

จากรูปที่ 4.50 สังเกตว่าเมื่อข้อมูลในแต่ละสล็อทมีมาร์คบิทบอกตำแหน่งเริ่มต้นของแต่ละสล็อทแล้ววงจรจะสามารถล็อกตำแหน่งของมาร์คบิทได้อย่างแม่นยำ ซึ่งสังเกตได้จากลักษณะของสัญญาณโหลดที่แสดงดังรูปว่าที่ตำแหน่งขอบขาขึ้นของสัญญาณโหลดในทุกๆลูกจะตรงกับบิทข้อมูลที่เป็นมาร์คบิท ("1") พอดีและระยะห่างของสัญญาณโหลดแต่ละลูกจะสม่ำเสมอกัน ซึ่งหมายความว่าวงจรไม่ได้ติดตามหามาร์คบิท แต่อย่างใด เพราะสามารถล็อกตำแหน่งได้แล้ว

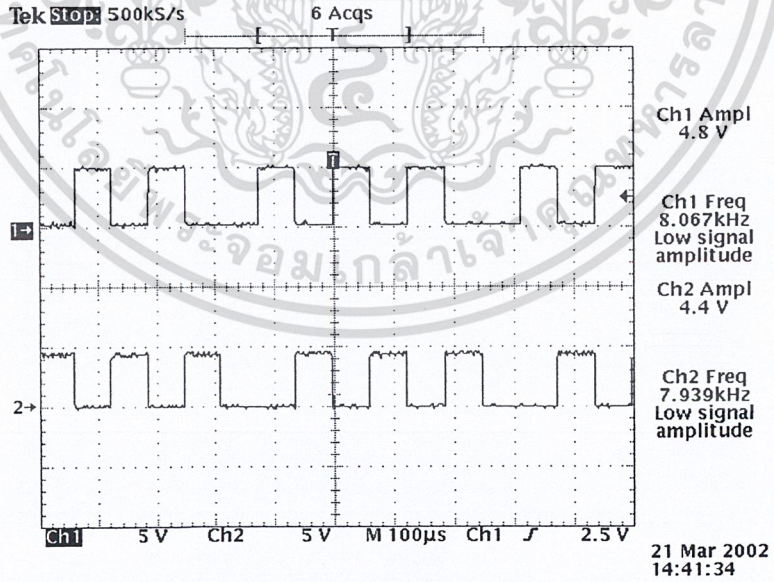
6. ต่อวงจรมัลติเพล็กซ์ตามรูปที่ 3.8 พร้อมป้อนสัญญาณนาฬิกาความถี่ 64 kHz ให้กับวงจร
7. นำวงจรมัลติเพล็กซ์และดีมัลติเพล็กซ์มาต่อให้ทำงานร่วมกัน
8. ป้อนข้อมูลแบบสุ่มที่มีบิทเรท 16 kHz ให้กับแต่ละช่องสัญญาณของวงจรมัลติเพล็กซ์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

9. ทำการวัดสัญญาณข้อมูลดิจิตอลที่ดีมัลติเพล็กซ์ออกมาได้จากแต่ละช่องสัญญาณเทียบกับข้อมูลอินพุตของแต่ละช่องสัญญาณที่วงจรมัลติเพล็กซ์ ซึ่งได้ผลเป็นดังรูปที่ 4.51 และ 4.52



รูปที่ 4.51 ch1 คือ ข้อมูลอินพุตแบบสุ่มที่ป้อนให้ช่องสัญญาณที่ 1 ของวงจรมัลติเพล็กซ์
ch2 คือ ข้อมูลเอาต์พุตที่ดีมัลติเพล็กซ์ออกมาได้ที่ช่องสัญญาณที่1



รูปที่ 4.52 ch1 คือ ข้อมูลอินพุตแบบสุ่มที่ป้อนให้ช่องสัญญาณที่2ของวงจรมัลติเพล็กซ์
ch2 คือ ข้อมูลเอาต์พุตที่ดีมัลติเพล็กซ์ออกมาได้ที่ช่องสัญญาณที่ 2

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

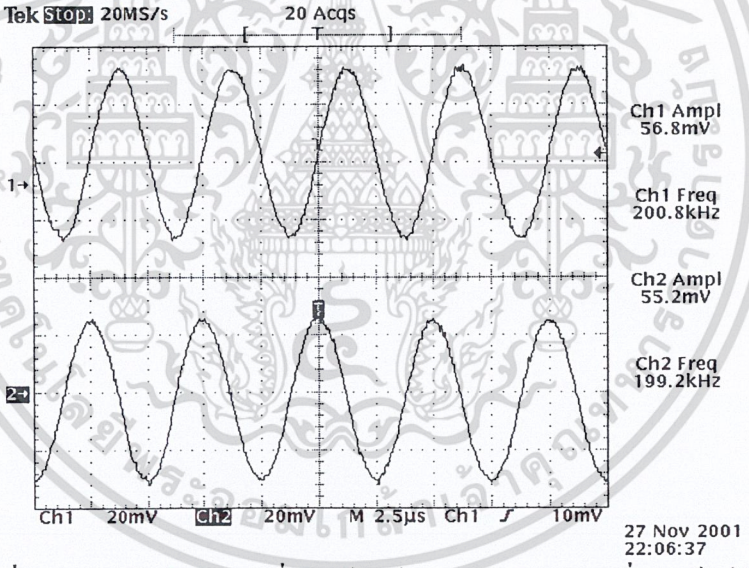
4.7.2 สรุปผลการทดลอง

จากการทดลองที่ผ่านมาสรุปได้ว่าถ้าวงจรดีมัลติเพล็กซ์สามารถล็อกตำแหน่งของมาร์คบิทได้ถูกต้อง จะทำให้วงจรดีมัลติเพล็กซ์สามารถแยกข้อมูลดิจิตอลที่มัลติเพล็กซ์รวมกันมา แยกส่งให้กับแต่ละช่องสัญญาณได้อย่างถูกต้องดังแสดงในรูปที่ 4.51 และ 4.52

4.9 การทดสอบวงจรเลื่อนเฟส 90 องศา

4.9.1 ขั้นตอนการทดลอง

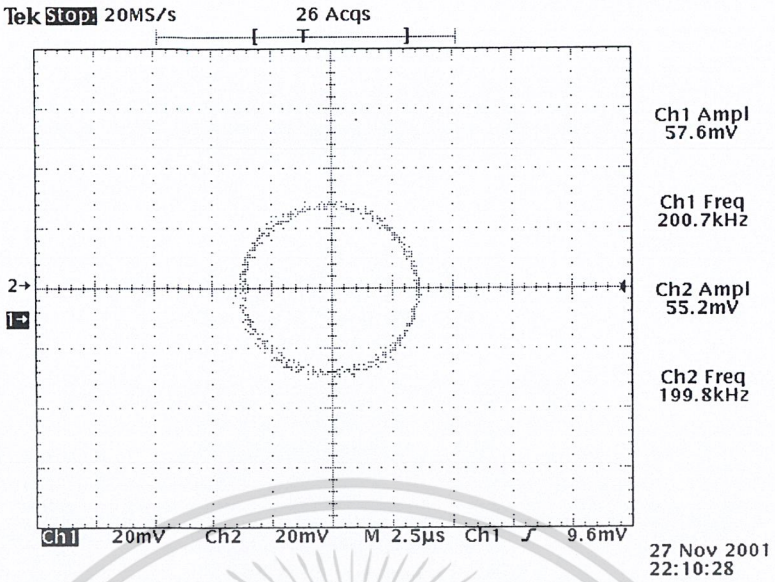
1. ต่อวงจรเลื่อนเฟส 90 องศาดังรูปที่ 3.51
2. ป้อนสัญญาณอินพุตเป็นสัญญาณคลื่นไซน์ ความถี่ 200 kHz ขนาด 55 mVp-p
3. วัดสัญญาณที่เอาต์พุตของวงจรเทียบกับอินพุต ซึ่งได้ผลเป็นดังรูปที่ 4.53



รูปที่ 4.53 ch1 คือ สัญญาณคลื่นพาห์ไซน์ ch2 คือ สัญญาณคลื่นพาห์โคไซน์

จากรูปจะพบว่าสัญญาณคลื่นพาห์ไซน์ถูกเลื่อนเฟสไป 90 องศา จึงทำให้ได้สัญญาณเอาต์พุตของวงจรเป็นสัญญาณคลื่นพาห์โคไซน์ตามที่ต้องการ ซึ่งเมื่อวัดสัญญาณทั้งสองเทียบกันในโหมด XY ได้ผลเป็นดังรูปที่ 4.54

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



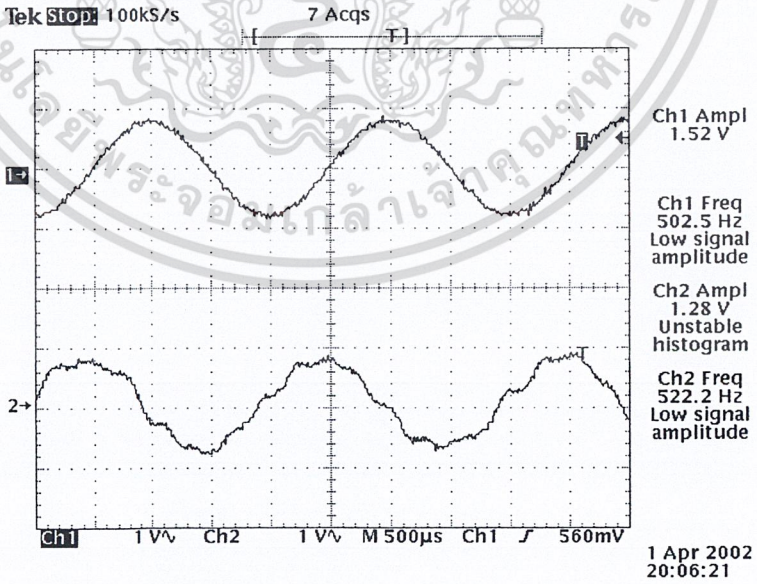
รูปที่ 4.54 แสดงการเปรียบเทียบเฟสระหว่างคลื่นพาห์ไซน์และคลื่นพาห์โคไซน์ในโหมด XY

4.10 การทดสอบประสิทธิภาพของเครื่องรัยเครื่องส่งแบบ 16-QAM

4.10.1 <u>ขั้นตอนการทดลอง</u>

1. ป้อนสัญญาณไซน์ ขนาด 1.5 Vp-p ความถี่ 500 Hz ให้กับเครื่องส่งแบบ 16-QAM
2. วัดสัญญาณไซน์ที่ได้จากเอาต์พุตของเครื่องรับแบบ 16-QAM ซึ่งจะได้สัญญาณเป็นแสดงในดัง

รูปที่ 4.55

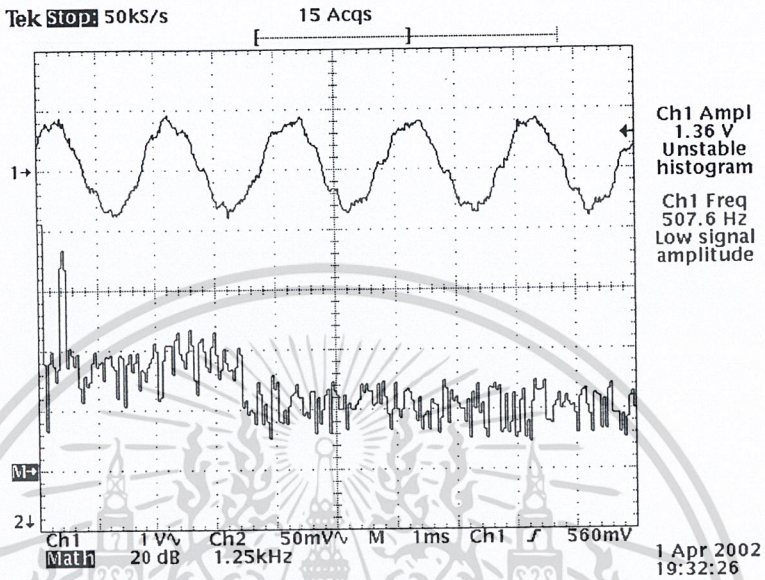


รูปที่ 4.55 ch1 สัญญาณไซน์อินพุตที่ป้อนให้เครื่องส่งแบบ 16-QAM

ch 2 สัญญาณไซน์เอาต์พุตที่วัดได้จากเครื่องรับแบบ 16-QAM

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3. หาประสิทธิภาพของเครื่องรับเครื่องส่งแบบ 16-QAM โดยใช้การคำนวณความเพี้ยนฮาร์โมนิกรวมของสัญญาณที่เอาต์พุตของเครื่องรับแบบ 16-QAM



รูปที่ 4.56 ch1 สัญญาณไซน์เอาต์พุตที่วัดได้จากเครื่องรับแบบ 16-QAM
ch2 สเปกตรัมของสัญญาณใน ch1

จากสเปกตรัมของสัญญาณเอาต์พุตที่วัดได้ในรูปที่ 4.56 จะพบว่ามีขนาดฮาร์มอนิกต่างๆของสัญญาณเป็นดังตารางที่4.1

ฮาร์มอนิก	ขนาด (mV)
C_1	5490
C_2	120.23
C_3	100
C_4	109.65
C_5	95.5
C_6	95.5
C_7	100
C_8	100
C_9	151.36
C_{10}	131.82
C_{11}	218.78
C_{12}	251.19

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

C_{13}	181.97
C_{14}	218.78
C_{15}	114.81

ตารางที่ 4.1 แสดงขนาดสเปกตรัมที่ความถี่ต่าง

คำนวณหาค่าความเพี้ยนฮาร์มอนิกรวมโดยใช้สูตร

$$THD = \frac{\sum_{n=2}^{\infty} C_n^2}{C_1^2}$$

หลังการคำนวณโดยใช้ค่าตามตาราง จะได้ค่า $THD = 1.06\%$

4.10.2 สรุปผลการทดลอง

จากการทดลองวัดประสิทธิภาพของเครื่องรับเครื่องส่งแบบ16-QAM ในการรับส่งสัญญาณไซน์ สรุปได้ว่าความเพี้ยนของสัญญาณที่เอาต์พุตของเครื่องรับส่วนใหญ่เกิดขึ้นจากวงจร A/D และวงจร D/A ที่ไม่สามารถแปลงสัญญาณอนาลอกให้กลับคืนมาเหมือนกับทางด้านส่งได้อย่างสมบูรณ์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่5
บทวิจารณ์และบทสรุป

การทำโครงงานเรื่องเครื่องรับส่ง 16-QAM ในภาคเรียนนี้ได้ทำการสร้างส่วนประกอบวงจรต่างๆ ที่จะต้องนำมาใช้ในการส่งสัญญาณเสียงจากไมค์จำนวน 2 ช่องผ่านเครื่องรับส่งแบบ 16-QAM ไปแล้วทั้งหมด ซึ่งทั้งระบบประกอบด้วยการแปลงสัญญาณเสียงจากไมค์จำนวน 2 ช่องไปเป็นสัญญาณดิจิตอลและสัญญาณดิจิตอลจากทั้งสองช่องถูกนำมามัลติเพล็กกันซึ่งหลังการมัลติเพล็ก สัญญาณดิจิตอลจะถูกส่งไปมอดูเลทแบบ 16-QAM ผลลัพธ์สัญญาณ 16-QAM ที่ได้ถูกส่งผ่านสายโคแอคเชียลไปพร้อมกับสัญญาณนำร่อง ทางด้านรับทำการแยกสัญญาณ 16-QAMและสัญญาณนำร่องออกจากกันโดยสัญญาณนำร่องที่แยกได้ถูกนำไปสร้างคลื่นพาห์เพื่อนำไปดีมอดูเลทแบบ 16-QAM ผลของสัญญาณดิจิตอลที่ดีมอดูเลทได้ถูกนำไปทำการดีมัลติเพล็กแยกสัญญาณดิจิตอลของแต่ละช่องออกจากกันและถูกนำไปแปลงกลับเป็นสัญญาณเสียงตามเดิม ระบบที่ได้อธิบายไปข้างต้นมีปัญหาในการสร้าง การออกแบบ และมีข้อบกพร่องในบางจุดดังจะกล่าวถึงเฉพาะภาคการทำงานที่มีปัญหาดังนี้

ภาควงจรดีมอดูเลทแบบ 16-QAM

ตามหลักการที่กล่าวไว้ในหัวข้อที่3.1.2 ว่าต้องกำเนิดสัญญาณ QPSK1 ขึ้นมาใหม่ทางด้านรับเพื่อนำไปลบออกจากสัญญาณ16-QAM เพื่อให้ได้ผลลัพธ์เป็นสัญญาณ QPSK2 เกิดปัญหาคือ สัญญาณ QPSK1ที่กำเนิดได้มีเฟสที่คลาดเคลื่อนไปจากสัญญาณ 16-QAM ซึ่งไม่เป็นไปตามทฤษฎี เหตุผลเนื่องจากการดีเลย์ของสัญญาณภายในวงจรดังนั้นจึงแก้ปัญหานี้โดยการใช้วงจรเลื่อนเฟสมาชดเชยเฟสของสัญญาณ QPSK1 ให้สอดคล้องกับสัญญาณ 16-QAM ตามหลักการ นอกจากนี้สัญญาณ QPSK2 ที่ได้จากการลบก็มีปัญหาเกิดขึ้นเช่นกันคือ สัญญาณ QPSK2 มีเฟสที่ไม่สัมพันธ์กับคลื่นพาห์ที่กู้ได้จึงทำให้ดีมอดูเลทบิทข้อมูลออกมาผิดพลาด ปัญหานี้ก็แก้โดยการใช้วงจรเลื่อนเฟสมาชดเชยเฟสของคลื่นพาห์อีกเช่นกัน

ภาควงจรมอดูเลทแบบ 16-QAM

โดยหลักการแล้ววงจรในภาคนี้ไม่มีปัญหาในการทำงาน แต่ปัญหาที่กล่าวถึงนี้เกิดจากตัวอุปกรณ์แอคทีฟที่ให้ผลตอบสนองทางเฟสคลาดเคลื่อนไปจากทฤษฎี จึงทำให้ผลการรวมกันทางเวคเตอร์ของสัญญาณ QPSK1 และสัญญาณ QPSK2 ไม่สามารถกำเนิดสัญญาณ16-QAM ที่มีขนาดและเฟสตามหลักการได้ ซึ่งการที่ตัวอุปกรณ์แอคทีฟไม่สามารถให้ผลตอบสนองทางเฟสที่ถูกต้องได้ก็เนื่องมาจากความถี่ของคลื่นพาห์และบิทเรทของข้อมูลสูงเกินไป จึงทำการแก้ปัญหาโดยลดความถี่ของคลื่นพาห์ลงเป็น 200 kHz และบิทเรทของข้อมูลเป็น 64 kbps

วงจรแปลงสัญญาณอนาลอกเป็นดิจิตอลและวงจรสัญญาณดิจิตอลเป็นอนาลอก

ไอซีที่ทำหน้าที่วงจรทั้งสองคือเบอร์ MC3418 ซึ่งเป็น A/D และ D/A แบบ CVSD ปัญหาในการออกแบบวงจรทั้งสองคือ ข้อจำกัดของบิทเรทที่มีอัตราได้เพียง 16 Kbps เนื่องจากเราต้องมัลติเพล็กข้อมูลสองช่องสัญญาณเข้าด้วยกันพร้อม mark bit ซึ่งบิทเรทรวมจะต้องไม่เกิน 64Kbps ดังนั้นจึงทำให้สัญญาณเสียงที่ได้จากวงจร A/D และ D/A มีคุณภาพไม่ดีนัก

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

วงจรกู้สัญญาณคลื่นพาห์

การกู้สัญญาณคลื่นพาห์ที่ใช้ทางด้านภาครับจะใช้วงจรเฟสล็อกลูปเป็นหัวใจสำคัญ ซึ่งปัญหาที่เกิดขึ้นคือ ทุกครั้งที่มีการปิดเปิดเครื่องรับ วงจรเฟสล็อกลูปไม่สามารถล็อคตำแหน่งเฟสของคลื่นพาห์ไว้ที่ตำแหน่งเดิมได้ทุกครั้ง ดังนั้นจึงทำให้ต้องมีการปรับการชดเชยเฟสใหม่ทุกครั้งที่มีการเปิดเครื่อง

วงจรกู้สัญญาณนาฬิกา

การกู้สัญญาณนาฬิกานั้นจะกู้จากข้อมูลที่ดีมอดูเลทได้ในบิท D ซึ่งหัวใจสำคัญของวงจรกู้สัญญาณนาฬิกาอยู่ที่วงจรโมโนสเตเบิลซึ่งทำหน้าที่กำเนิดสัญญาณนาฬิกา ปัญหาการทำงานของวงจรอยู่ที่เมื่อใดก็ตามที่เกิดการกระชากของแรงดันไฟจะทำให้สัญญาณนาฬิกาที่กู้ได้เกิดการกลับเฟส 180 องศา ซึ่งมีผลทำให้การทำงานของวงจรดิจิตอลทางภาครับทำงานผิดพลาด วิธีการแก้คือ ปิดแล้วเปิดเครื่องรับใหม่วงจรก็จะกลับมาทำงานตามปรกติอีกครั้ง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ภาคผนวก

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

National Semiconductor

February 1995

LM1596/LM1496 Balanced Modulator-Demodulator

General Description

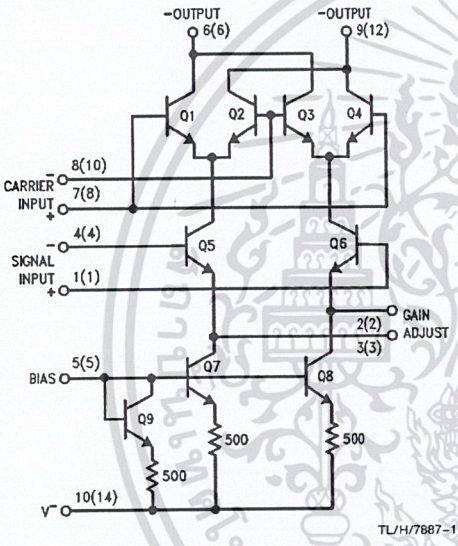
The LM1596/LM1496 are doubled balanced modulator-demodulators which produce an output voltage proportional to the product of an input (signal) voltage and a switching (carrier) signal. Typical applications include suppressed carrier modulation, amplitude modulation, synchronous detection, FM or PM detection, broadband frequency doubling and chopping.

The LM1596 is specified for operation over the −55°C to +125°C military temperature range. The LM1496 is specified for operation over the 0°C to +70°C temperature range.

Features

- Excellent carrier suppression
  - 65 dB typical at 0.5 MHz
  - 50 dB typical at 10 MHz
- Adjustable gain and signal handling
- Fully balanced inputs and outputs
- Low offset and drift
- Wide frequency response up to 100 MHz

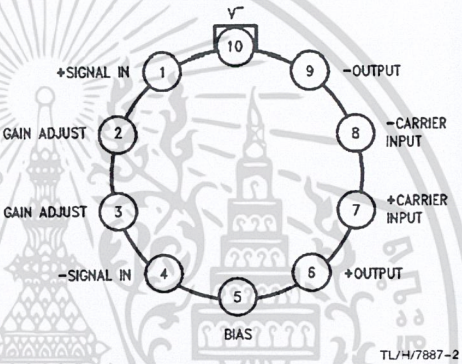
Schematic and Connection Diagrams



TL/H/7887–1

Numbers in parentheses show DIP connections.

Metal Can Package



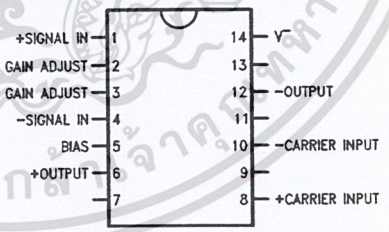
TL/H/7887–2

Top View

Note: Pin 10 is connected electrically to the case through the device substrate.

Order Number LM1496H or LM1596H
See NS Package Number H08C

Dual-In-Line and Small Outline Packages



TL/H/7887–3

Order Number LM1496M or LM1496N
See NS Package Number M14A or N14A

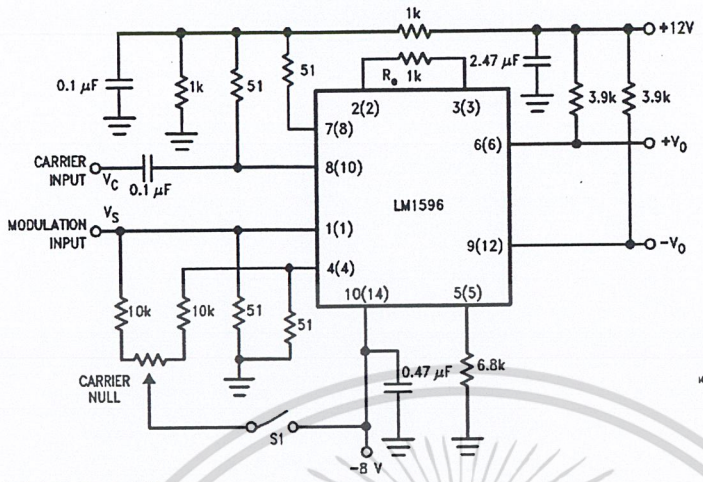
©1995 National Semiconductor Corporation TL/H/7887

RRD-B30M115/Printed in U. S. A.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Typical Application and Test Circuit

Suppressed Carrier Modulator

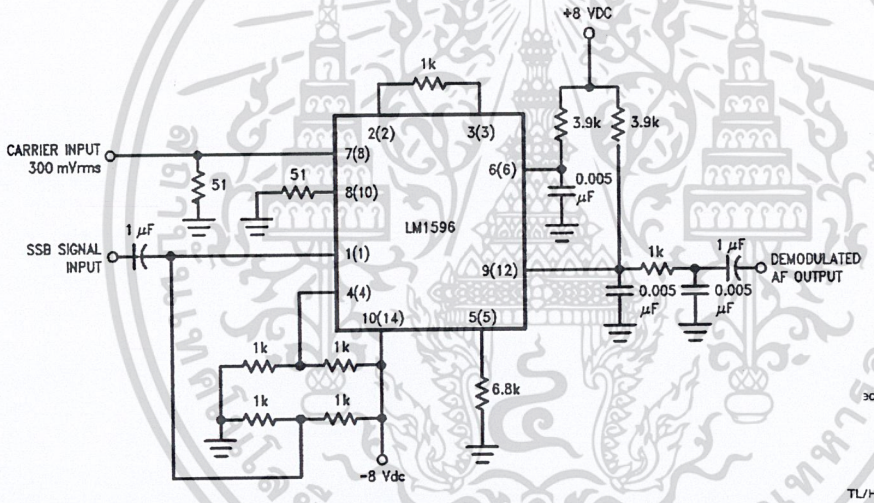


ıow DIP connections.

TL/H/7887–4

Note: S_1 is closed for "adjusted" measurements.

SSB Product Detector



ections.

TL/H/7887–6

This figure shows the LM1596 used as a single sideband (SSB) suppressed carrier demodulator (product detector). The carrier signal is applied to the carrier input port with sufficient amplitude for switching operation. A carrier input level of 300 mVrms is optimum. The composite SSB signal is applied to the signal input port with an amplitude of 5.0 to 500 mVrms. All output signal components except the desired demodulated audio are filtered out, so that an offset adjustment is not required. This circuit may also be used as an AM detector by applying composite and carrier signals in the same manner as described for product detector operation.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Order this document by MC3418/D

MOTOROLA

MC3418

CONTINUOUSLY VARIABLE SLOPE DELTA MODULATOR/DEMODULATOR

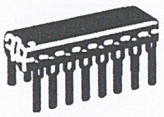
LASER–TRIMMED IC

SEMICONDUCTOR TECHNICAL DATA

Continuously Variable Slope Delta Modulator/Demodulator

Providing a simplified approach to digital speech encoding/decoding, the MC3418 CVSD is designed for military secure communication and commercial telephone applications. A single IC provides both encoding and decoding functions.

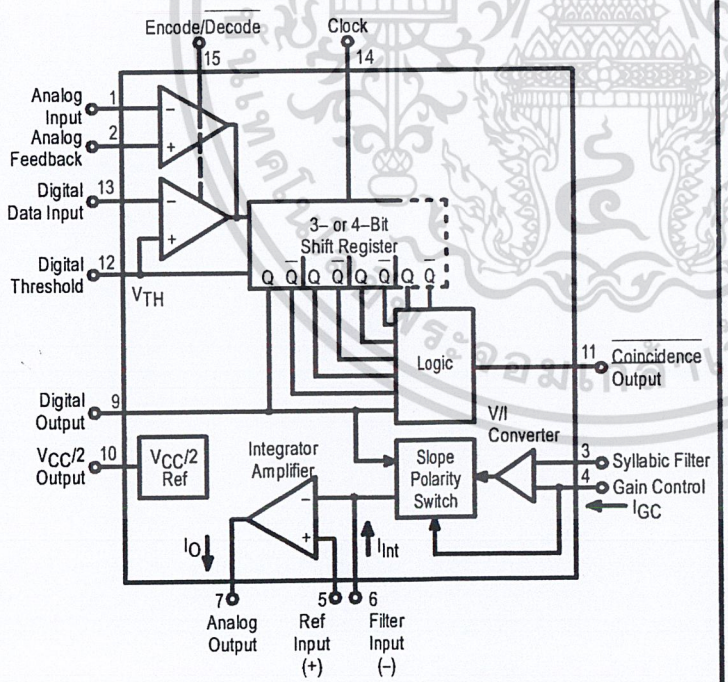
- Encode and Decode Functions on the Same Chip with a Digital Input for Selection
- Utilization of Compatible I^2L – Linear Bipolar Technology
- CMOS Compatible Digital Output
- Digital Input Threshold Selectable ($V_{CC}/2$ Reference Provided On–Chip)
- MC3418 has a 4–Bit Algorithm (Commercial Telephone)



P SUFFIX
PLASTIC PACKAGE
CASE 648

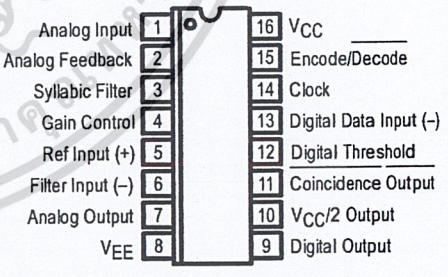
DW SUFFIX
PLASTIC PACKAGE
CASE 751G
(SO–16L)

Representative Block Diagram



This device contains 144 active transistors.

PIN CONNECTIONS



(Top View)

ORDERING INFORMATION

Device	Operating Temperature Range	Package
MC3418DW	T_A = 0° to +70°C	SO–16L
MC3418P		Plastic DIP

© Motorola, Inc. 1996

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Figure 13. Block Diagram of the CVSD Decoder

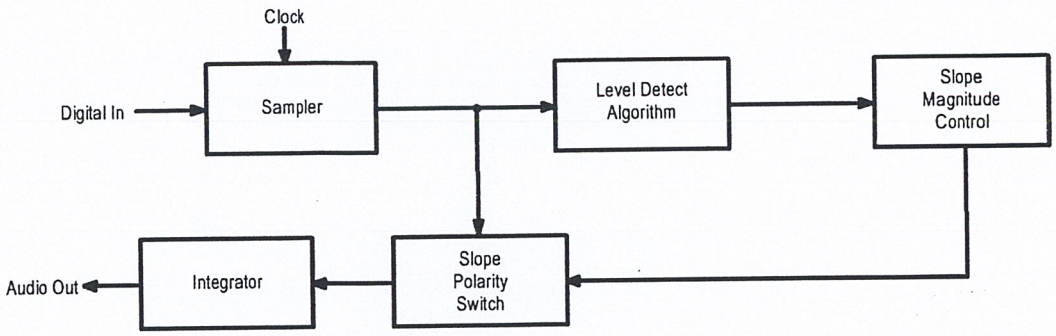
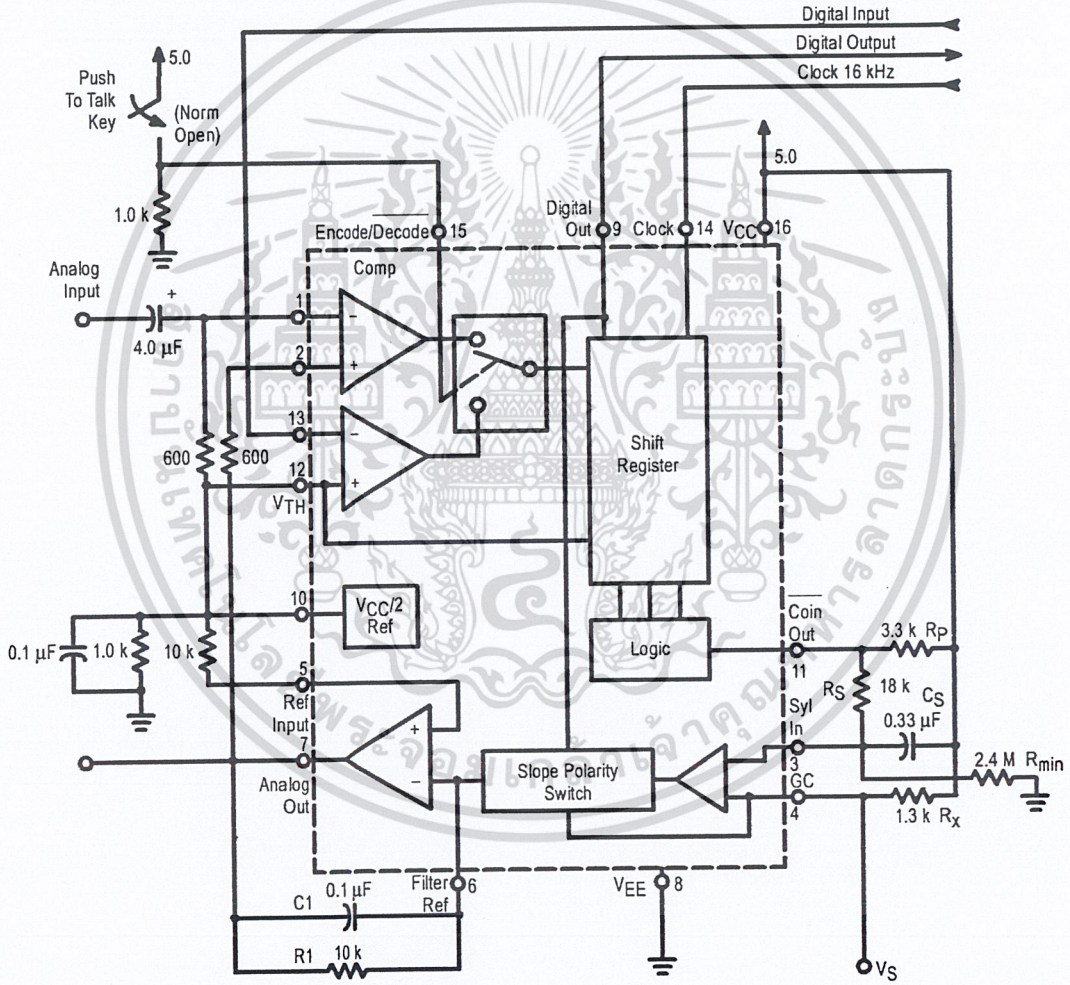


Figure 14. 16 kHz Simplex Voice Codec (Single–Pole Companding and Single Integration)



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

TEXAS INSTRUMENTS

Data sheet acquired from Harris Semiconductor
SCHS204A

February 1998 - Revised May 2000

CD54/74HC4046A, CD54/74HCT4046A

High-Speed CMOS Logic Phase-Locked-Loop with VCO

Features

- Operating Frequency Range
  - Up to 18MHz (Typ) at V_{CC} = 5V
  - Minimum Center Frequency of 12MHz at V_{CC} = 4.5V
- Choice of Three Phase Comparators
  - EXCLUSIVE-OR
  - Edge-Triggered JK Flip-Flop
  - Edge-Triggered RS Flip-Flop
- Excellent VCO Frequency Linearity
- VCO-Inhibit Control for ON/OFF Keying and for Low Standby Power Consumption
- Minimal Frequency Drift
- Operating Power Supply Voltage Range
  - VCO Section . . . . . 3V to 6V
  - Digital Section . . . . . 2V to 6V
- Fanout (Over Temperature Range)
  - Standard Outputs . . . . . 10 LSTTL Loads
  - Bus Driver Outputs . . . . . 15 LSTTL Loads
- Wide Operating Temperature Range . . . -55°C to 125°C
- Balanced Propagation Delay and Transition Times
- Significant Power Reduction Compared to LSTTL Logic ICs
- HC Types
  - 2V to 6V Operation
  - High Noise Immunity: N_{IL} = 30%, N_{IH} = 30% of V_{CC} at V_{CC} = 5V
- HCT Types
  - 4.5V to 5.5V Operation
  - Direct LSTTL Input Logic Compatibility, V_{IL} = 0.8V (Max), V_{IH} = 2V (Min)
  - CMOS Input Compatibility, $I_I \leq 1\mu A$ at V_{OL}, V_{OH}

Description

The 'HC4046A and 'HCT4046A are high-speed silicon-gate CMOS devices that are pin compatible with the CD4046B of the "4000B" series. They are specified in compliance with JEDEC standard number 7.

The 'HC4046A and 'HCT4046A are phase-locked-loop circuits that contain a linear voltage-controlled oscillator (VCO) and three different phase comparators (PC1, PC2 and PC3). A signal input and a comparator input are common to each comparator.

The signal input can be directly coupled to large voltage signals, or indirectly coupled (with a series capacitor) to small voltage signals. A self-bias input circuit keeps small voltage signals within the linear region of the input amplifiers. With a passive low-pass filter, the 4046A forms a second-order loop PLL. The excellent VCO linearity is achieved by the use of linear op-amp techniques.

Ordering Information

PART NUMBER	TEMP. RANGE (°C)	PACKAGE
CD54HC4046AF	-55 to 125	16 Ld CERDIP
CD54HC4046AF3A	-55 to 125	16 Ld CERDIP
CD74HC4046AE	-55 to 125	16 Ld PDIP
CD74HC4046AM	-55 to 125	16 Ld SOIC
CD54HCT4046AF3A	-55 to 125	16 Ld CERDIP
CD74HCT4046AE	-55 to 125	16 Ld PDIP
CD74HCT4046AM	-55 to 125	16 Ld SOIC

NOTES:

1. When ordering, use the entire part number. Add the suffix 96 to obtain the variant in the tape and reel.
2. Wafer and die for this part number is available which meets all electrical specifications. Please contact your local TI sales office or customer service for ordering information.

Applications

- FM Modulation and Demodulation
- Frequency Synthesis and Multiplication
- Frequency Discrimination
- Tone Decoding
- Data Synchronization and Conditioning
- Voltage-to-Frequency Conversion
- Motor-Speed Control

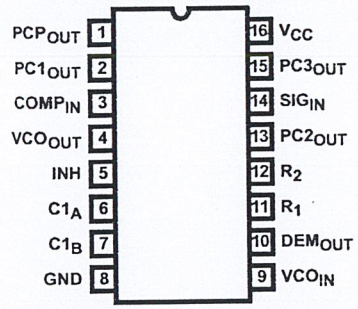
CAUTION: These devices are sensitive to electrostatic discharge. Users should follow proper IC Handling Procedures.

Copyright © 2000, Texas Instruments Incorporated

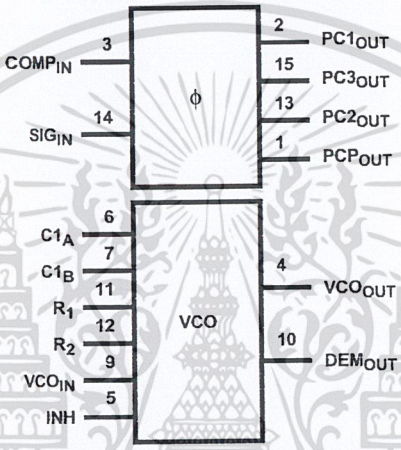
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Pinout

CD54HC4046A, CD54HCT4046A (CERDIP)
CD74HC4046A, CD74HCT4046A (PDIP, SOIC)
TOP VIEW



Functional Diagram



Pin Descriptions

PIN NUMBER	SYMBOL	NAME AND FUNCTION
1	PCP_{OUT}	Phase Comparator Pulse Output
2	$PC1_{OUT}$	Phase Comparator 1 Output
3	$COMP_{IN}$	Comparator Input
4	VCO_{OUT}	VCO Output
5	INH	Inhibit Input
6	$C1_A$	Capacitor C1 Connection A
7	$C1_B$	Capacitor C1 Connection B
8	GND	Ground (0V)
9	VCO_{IN}	VCO Input
10	DEM_{OUT}	Demodulator Output
11	R_1	Resistor R1 Connection
12	R_2	Resistor R2 Connection
13	$PC2_{OUT}$	Phase Comparator 2 Output
14	SIG_{IN}	Signal Input
15	$PC3_{OUT}$	Phase Comparator 3 Output
16	V_{CC}	Positive Supply Voltage

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

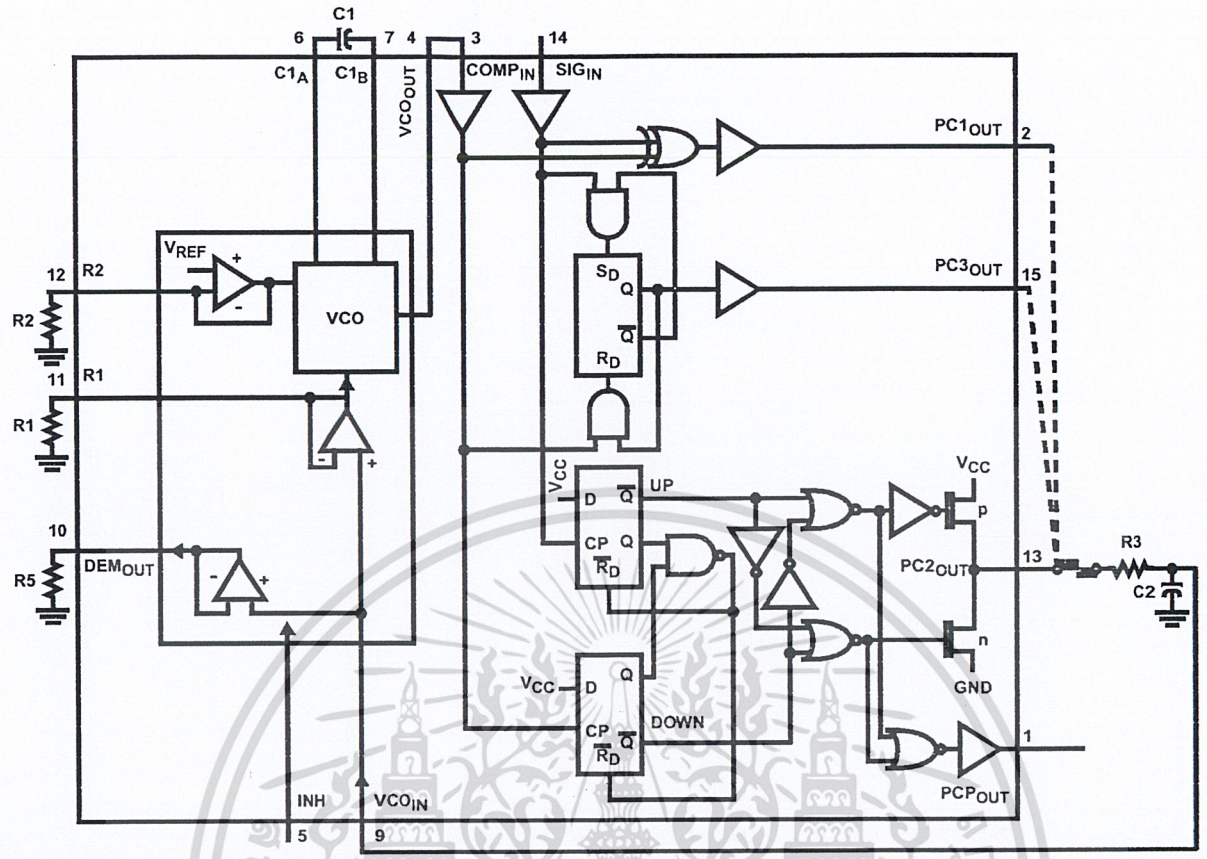


FIGURE 1. LOGIC DIAGRAM

General Description

VCO

The VCO requires one external capacitor C1 (between $C1_A$ and $C1_B$) and one external resistor R1 (between R_1 and GND) or two external resistors R1 and R2 (between R_1 and GND, and R_2 and GND). Resistor R1 and capacitor C1 determine the frequency range of the VCO. Resistor R2 enables the VCO to have a frequency offset if required. See logic diagram, Figure 1.

The high input impedance of the VCO simplifies the design of low-pass filters by giving the designer a wide choice of resistor/capacitor ranges. In order not to load the low-pass filter, a demodulator output of the VCO input voltage is provided at pin 10 (DEM_{OUT}). In contrast to conventional techniques where the DEM_{OUT} voltage is one threshold voltage lower than the VCO input voltage, here the DEM_{OUT} voltage equals that of the VCO input. If DEM_{OUT} is used, a load resistor (R_S) should be connected from DEM_{OUT} to GND; if unused, DEM_{OUT} should be left open. The VCO output (VCO_{OUT}) can be connected directly to the comparator input ($COMP_{IN}$), or connected via a frequency-divider. The VCO output signal has a guaranteed duty factor of 50%. A LOW level at the inhibit input (INH) enables the VCO and demodulator, while a HIGH level turns both off to minimize standby power consumption.

Phase Comparators

The signal input (SIG_{IN}) can be directly coupled to the self-biasing amplifier at pin 14, provided that the signal swing is between the standard HC family input logic levels. Capacitive coupling is required for signals with smaller swings.

Phase Comparator 1 (PC1)

This is an Exclusive-OR network. The signal and comparator input frequencies (f_i) must have a 50% duty factor to obtain the maximum locking range. The transfer characteristic of PC1, assuming ripple ($f_r = 2f_i$) is suppressed, is:

$V_{DEMOUT} = (V_{CC}/\pi)\ (\phi SIG_{IN} - \phi COMP_{IN})$ where V_{DEMOUT} is the demodulator output at pin 10; $V_{DEMOUT} = V_{PC1OUT}$ (via low-pass filter).

The average output voltage from PC1, fed to the VCO input via the low-pass filter and seen at the demodulator output at pin 10 (V_{DEMOUT}), is the resultant of the phase differences of signals (SIG_{IN}) and the comparator input ($COMP_{IN}$) as shown in Figure 2. The average of V_{DEM} is equal to 1/2 V_{CC} when there is no signal or noise at SIG_{IN}, and with this input the VCO oscillates at the center frequency (f_o). Typical waveforms for the PC1 loop locked at f_o are shown in Figure 3.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

The frequency capture range ($2f_C$) is defined as the frequency range of input signals on which the PLL will lock if it was initially out-of-lock. The frequency lock range ($2f_L$) is defined as the frequency range of input signals on which the loop will stay locked if it was initially in lock. The capture range is smaller or equal to the lock range.

With PC1, the capture range depends on the low-pass filter characteristics and can be made as large as the lock range. This configuration retains lock behavior even with very noisy input signals. Typical of this type of phase comparator is that it can lock to input frequencies close to the harmonics of the VCO center frequency.

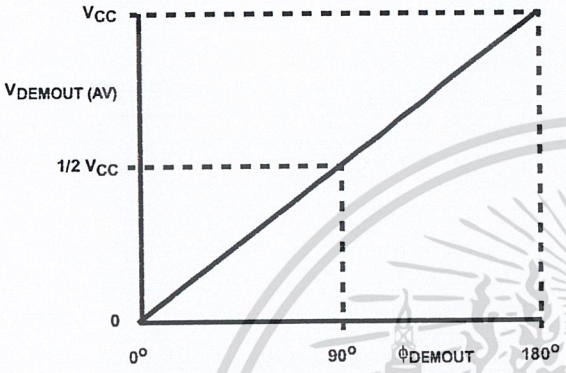


FIGURE 2. PHASE COMPARATOR 1: AVERAGE OUTPUT VOLTAGE vs INPUT PHASE DIFFERENCE: $V_{DEMOUT} = V_{PC1OUT} = (V_{CC}/\pi)\ (\phi SIG_{IN} - \phi COMP_{IN})$; $\phi_{DEMOUT} = (\phi SIG_{IN} - \phi COMP_{IN})$

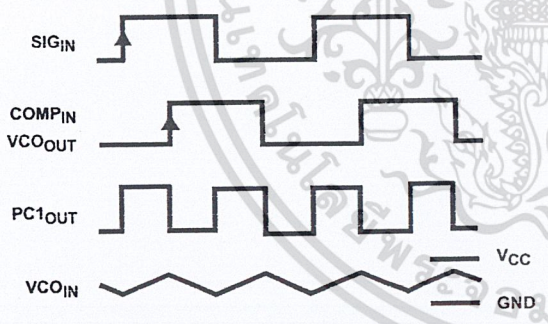


FIGURE 3. TYPICAL WAVEFORMS FOR PLL USING PHASE COMPARATOR 1, LOOP LOCKED AT f_o

Phase Comparator 2 (PC2)

This is a positive edge-triggered phase and frequency detector. When the PLL is using this comparator, the loop is controlled by positive signal transitions and the duty factors of SIG_{IN} and $COMP_{IN}$ are not important. PC2 comprises two D-type flip-flops, control-gating and a three-state output stage. The circuit functions as an up-down counter (Figure 1) where SIG_{IN} causes an up-count and $COMP_{IN}$ a down-count. The transfer function of PC2, assuming ripple ($f_r = f_i$) is suppressed, is:

$V_{DEMOUT} = (V_{CC}/4\pi)\ (\phi SIG_{IN} - \phi COMP_{IN})$ where V_{DEMOUT} is the demodulator output at pin 10; $V_{DEMOUT} = V_{PC2OUT}$ (via low-pass filter).

The average output voltage from PC2, fed to the VCO via the low-pass filter and seen at the demodulator output at pin 10 (V_{DEMOUT}), is the resultant of the phase differences of SIG_{IN} and $COMP_{IN}$ as shown in Figure 4. Typical waveforms for the PC2 loop locked at f_o are shown in Figure 5.

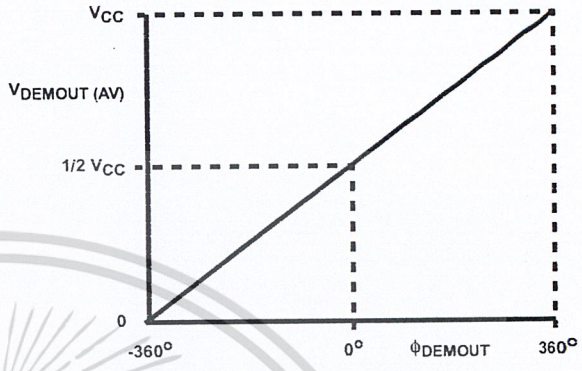


FIGURE 4. PHASE COMPARATOR 2: AVERAGE OUTPUT VOLTAGE vs INPUT PHASE DIFFERENCE: $V_{DEMOUT} = V_{PC2OUT} = (V_{CC}/4\pi)\ (\phi SIG_{IN} - \phi COMP_{IN})$; $\phi_{DEMOUT} = (\phi SIG_{IN} - \phi COMP_{IN})$

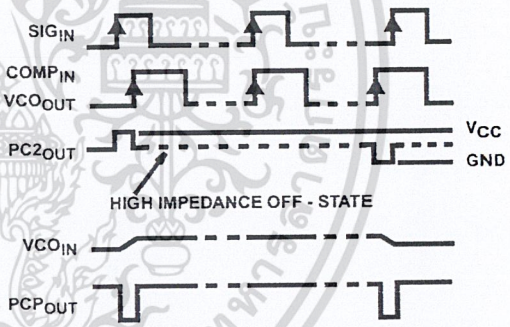


FIGURE 5. TYPICAL WAVEFORMS FOR PLL USING PHASE COMPARATOR 2, LOOP LOCKED AT f_o

When the frequencies of SIG_{IN} and $COMP_{IN}$ are equal but the phase of SIG_{IN} leads that of $COMP_{IN}$, the p-type output driver at $PC2_{OUT}$ is held "ON" for a time corresponding to the phase difference (ϕ_{DEMOUT}). When the phase of SIG_{IN} lags that of $COMP_{IN}$, the n-type driver is held "ON".

When the frequency of SIG_{IN} is higher than that of $COMP_{IN}$, the p-type output driver is held "ON" for most of the input signal cycle time, and for the remainder of the cycle both n- and p-type drivers are "OFF" (three-state). If the SIG_{IN} frequency is lower than the $COMP_{IN}$ frequency, then it is the n-type driver that is held "ON" for most of the cycle. Subsequently, the voltage at the capacitor (C2) of the low-pass filter connected to $PC2_{OUT}$ varies until the signal and comparator inputs are equal in both phase and frequency. At this stable

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

point the voltage on C2 remains constant as the PC2 output is in three-state and the VCO input at pin 9 is a high impedance. Also in this condition, the signal at the phase comparator pulse output (PCP_{OUT}) is a HIGH level and so can be used for indicating a locked condition.

Thus, for PC2, no phase difference exists between SIG_{IN} and $COMP_{IN}$ over the full frequency range of the VCO. Moreover, the power dissipation due to the low-pass filter is reduced because both p- and n-type drivers are "OFF" for most of the signal input cycle. It should be noted that the PLL lock range for this type of phase comparator is equal to the capture range and is independent of the low-pass filter. With no signal present at SIG_{IN}, the VCO adjusts, via PC2, to its lowest frequency.

Phase Comparator 3 (PC3)

This is a positive edge-triggered sequential phase detector using an RS-type flip-flop. When the PLL is using this comparator, the loop is controlled by positive signal transitions and the duty factors of SIG_{IN} and $COMP_{IN}$ are not important. The transfer characteristic of PC3, assuming ripple ($f_r = f_i$) is suppressed, is:

$V_{DEMOUT} = (V_{CC}/2p)$ (fSIG_{IN} - f$COMP_{IN}$) where V_{DEMOUT} is the demodulator output at pin 10; $V_{DEMOUT} = V_{PC3OUT}$ (via low-pass filter).

The average output from PC3, fed to the VCO via the low-pass filter and seen at the demodulator at pin 10 (V_{DEMOUT}), is the resultant of the phase differences of SIG_{IN} and $COMP_{IN}$ as shown in Figure 6. Typical waveforms for the PC3 loop locked at f_o are shown in Figure 7.

The phase-to-output response characteristic of PC3 (Figure 6) differs from that of PC2 in that the phase angle between SIG_{IN} and $COMP_{IN}$ varies between 0^o and 360^o and is 180^o at the center frequency. Also PC3 gives a greater voltage swing than PC2 for input phase differences but as a consequence the ripple content of the VCO input signal is higher. With no signal present at SIG_{IN}, the VCO adjusts, via PC3, to its highest frequency.

The only difference between the HC and HCT versions is the input level specification of the INH input. This input disables the VCO section. The comparator's sections are identical, so that there is no difference in the SIG_{IN} (pin 14) or $COMP_{IN}$ (pin 3) inputs between the HC and the HCT versions.

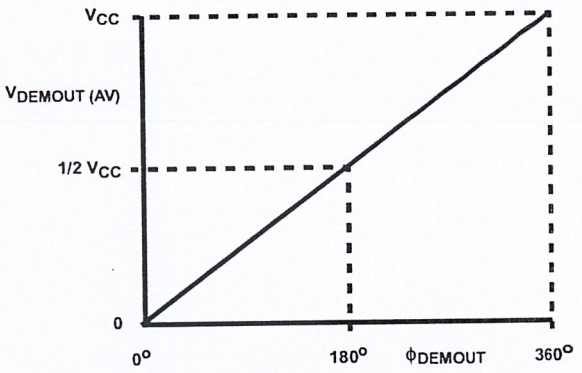


FIGURE 6. PHASE COMPARATOR 3: AVERAGE OUTPUT VOLTAGE vs INPUT PHASE DIFFERENCE: $V_{DEMOUT} = V_{PC3OUT} = (V_{CC}/2\pi)$ ($\phi SIG_{IN} - \phi COMP_{IN}$); $\phi_{DEMOUT} = (\phi SIG_{IN} - \phi COMP_{IN})$

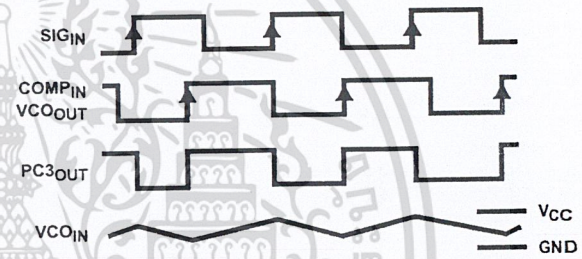


FIGURE 7. TYPICAL WAVEFORMS FOR PLL USING PHASE COMPARATOR 3, LOOP LOCKED AT f_o

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Typical Performance Curves (Continued)

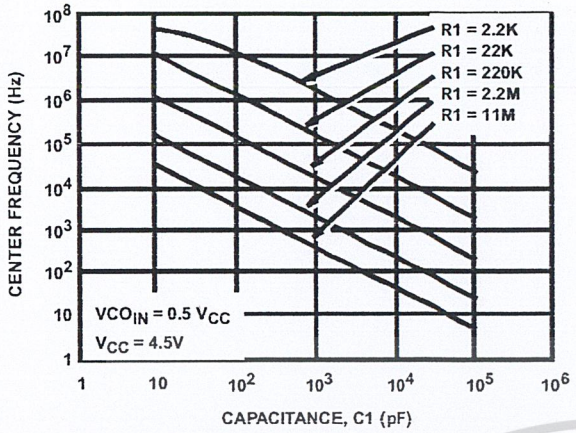


FIGURE 12. HC4046A TYPICAL CENTER FREQUENCY vs R1, C1 (V_{CC} = 4.5V)

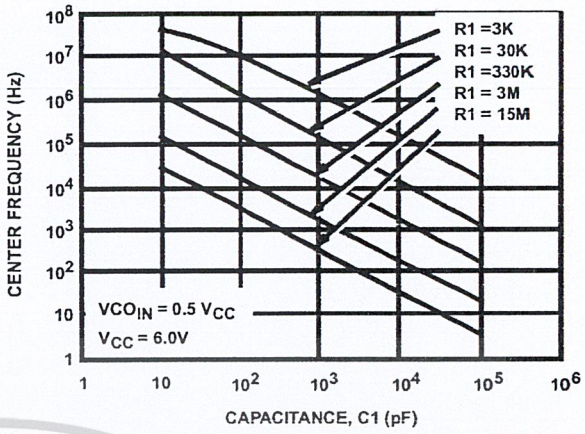


FIGURE 13. HC4046A TYPICAL CENTER FREQUENCY vs R1, C1 (V_{CC} = 6V)

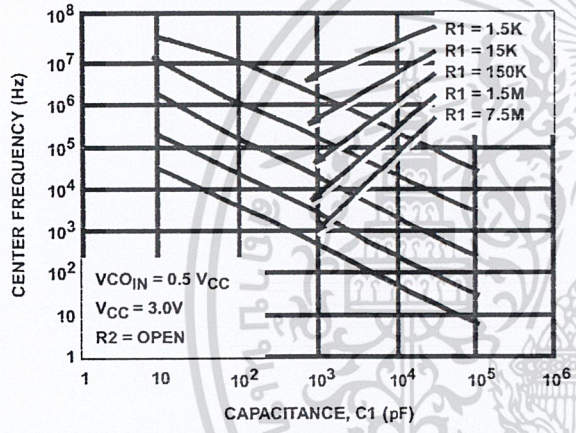


FIGURE 14. HC4046A TYPICAL CENTER FREQUENCY vs R1, C1 (V_{CC} = 3V, R2 = OPEN)

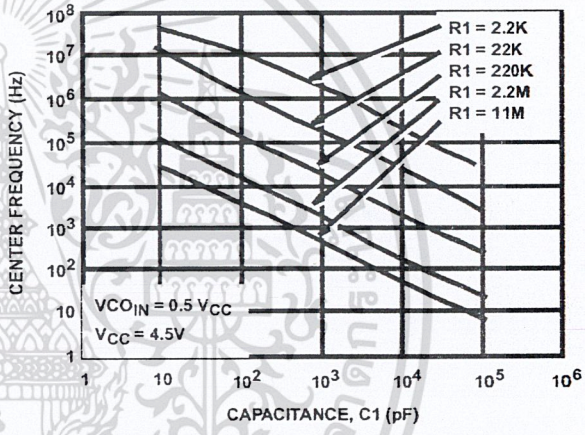


FIGURE 15. HCT4046A TYPICAL CENTER FREQUENCY vs R1, C1 (V_{CC} = 4.5V)

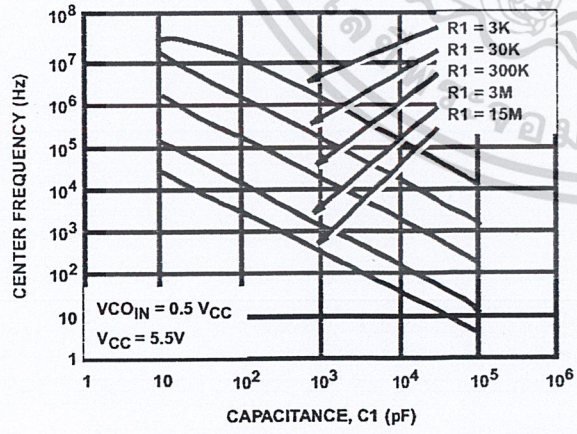


FIGURE 16. HCT4046A TYPICAL CENTER FREQUENCY vs R1, C1 (V_{CC} = 5.5V)

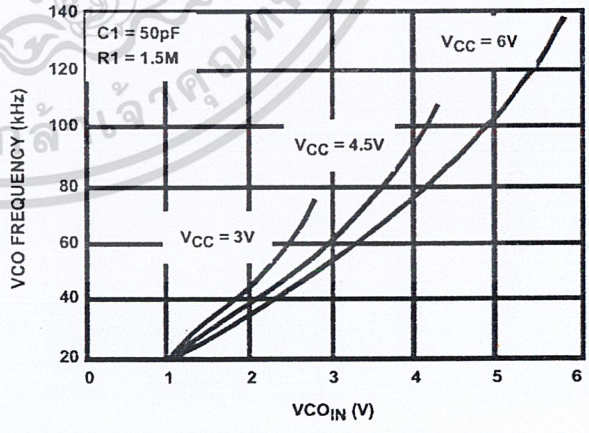


FIGURE 17. HC4046A TYPICAL VCO FREQUENCY vs VCO_{IN} (R1 = 1.5MΩ, C1 = 50pF)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

กิตติกรรมประกาศ

โครงงานและรายงานฉบับนี้สำเร็จลงได้ ด้วยความเมตตากรุณาจากท่านอาจารย์ วิวัฒน์ กิรานนท์ ที่ประสิทธิวิทยาการความรู้ต่างๆ รวมทั้งชี้แนะแนวทางการแก้ปัญหา ตลอดจนพยายามฝึกฝนให้ศิษย์ทุกคนมีความรู้ความสามารถควบคู่กับคุณธรรมอย่างทุ่มเท นอกจากนี้ทางคณะผู้จัดทำต้องขอขอบคุณอาจารย์ วิภา แสงพิสิทธิ์ ที่ให้คำแนะนำและตรวจสอบแก้ไขรายงานฉบับนี้ด้วยดีตลอดมา ขอขอบคุณน้ำใจจากอาจารย์ จริยา เลิศจรัสอร่ามดี และพี่ๆ ปริญญาโทในห้องที่ให้คำแนะนำและรอยยิ้มอันเป็นกำลังใจให้กับทางคณะผู้จัดทำ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

หนังสืออ้างอิง

[1] John D. Oetting , "A Comparison of modulation technique for digital radio" , IEEE Trans. Commun., vol. COM-27, pp. 1752-1762 , Dec. 1979.

[2] K. Miyauchi , S. Seki , and H. Ishio , "New technique for generating multilevel signal format" , IEEE Trans. Commun. , vol. COM-24 , pp. 263-267 , Feb. 1976.

[3] Lathi , B.P. , "Modern Digital and Analog Communication Systems" , Holt , Rinehart and winton,Inc. , Florida , 1989.

[4] Bell , David A. , "Electronic Devices and Circuits" , Prentice-Hall Englewood Cliffs , 1986.

[5] Denton J.David , "Operational Amplifiers and Linear Integrated Circuit Theory and Applications" , McGraw – Hill , Inc. , 1989.

[6]Martin s. Roden L. Carpenter , "Electronic Design From Concept To Reality" , Third Edition , Book Promotion & Service LTD. 1997.

[7] Van Valkenburg. M.E. , "Analog Filter Design" , Holt Rinchart and Winston , New York , 1988.

[8] Martin S. Roden , "Digital Communication System Design" , Prentice – Hall , Inc. , 1988.

[9] ศ. ดร. วิวัฒน์ กิรานนท์ , "วิศวกรรมการสื่อสาร" , สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง , 2542.

[10] ร.ต.อ. สุชาติ กังวารจิตต์ , "เครื่องรับส่งวิทยุและระบบวิทยุสื่อสาร" , บริษัท ซีเอ็ดเคชั่น จำกัด

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้