สำนักหอสมุดกลาง พระจอมเกล้าลาดกระบัง

อุปกรณ์จับภาพวิดีโอ

VIDEO FRAME CAPTURE

โดย

นายบุญชัย อัศวทรงศิลป์

นายปราโมทย์ ทรัพย์ธนศานติ์

นายพงศกร สีขาว

ปริญญานิพนธ์นี้เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรปริญญาวิศวกรรมศาสตรบัณฑิต

สาขาวิชาวิศวกรรมโทรคมนาคม

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

ปีการศึกษา 2542

เลขหมู่.....
เลขทะเบียน.....37124
วัน, เดือน, ปี.....- 4 ก.ย. 2543

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

อุปกรณ์จับภาพวิดีโอ

VIDEO FRAME CAPTURE

โดย

นายบุญชัย อัศวทรงศิลป์ 39014279

นายปราโมทย์ ทรัพย์ธนศานติ์ 39014312

นายพงศกร สีขาว 39014332

อาจารย์ที่ปรึกษา

ดร. สุทธิชัย นพนาคีพงษ์

ปริญญานิพนธ์นี้เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรปริญญาวิศวกรรมศาสตรบัณฑิต

สาขาวิชาวิศวกรรมโทรคมนาคม

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

ปีการศึกษา 2542

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ปริญญานิพนธ์ปีการศึกษา 2542

ภาควิชาวิศวกรรมโทรคมนาคม

คณะวิศวกรรมศาสตร์ สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

เรื่อง **อุปกรณ์จับภาพวิดีโอ**

VIDEO FRAME CAPTURE

ผู้จัดทำ

1. นายบุญชัย อัศวทรงศิลป์ 39014279

2. นายปราโมทย์ ทรัพย์ธนศานติ์ 39014312

3. นายพงศกร สีขาว 39014332

..... อาจารย์ที่ปรึกษา

(ดร. สุทธิชัย นพนาคีพงษ์)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

อุปกรณ์จับภาพวิดีโอ

VIDEO FRAME CAPTURE

โดย นายบุญชัย อัศวทรงศิลป์ 39014279
นายปราโมทย์ ทรัพย์ธนศานติ์ 39014312
นายพงศกร สีขาว 39014332

อาจารย์ที่ปรึกษา ดร. สุทธิชัย นพนาคีพงษ์

บทคัดย่อ

โครงงานนี้เป็นการสร้างเครื่องแปลงสัญญาณภาพ โดยนำสัญญาณภาพจากกล้องวิดีโอหรือเครื่องเล่นวิดีโอ มาทำการแปลงเป็นสัญญาณดิจิตอล จากนั้นนำไปเชื่อมต่อกับเครื่องคอมพิวเตอร์ผ่านทางพอร์ตขนาน เพื่อให้คอมพิวเตอร์แสดงภาพบนจอ และเก็บเป็นไฟล์เพื่อเรียกใช้งานได้ในภายหลัง การที่สามารถเก็บภาพเอาไว้ในคอมพิวเตอร์ได้นั้น ทำให้เราสามารถนำภาพไปประยุกต์ใช้งานได้หลายอย่าง

ABSTRACT

This project is the invention for equipment to adapt video signal. Video signal from video camera and video player is transformed to digital signal , then digital signal is interfaced with computer via parallel port in order to display picture on the monitor and save to file for using later. So , we can apply file with several applications.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญ

	หน้า
บทที่ 1 บทนำ	1
บทที่ 2 ทฤษฎีหรือหลักการ	2
2.1 แสงและสี	2
2.2 การผสมแสงสีในระบบโทรทัศน์สี	4
2.3 สัญญาณวิดีโอ	7
2.4 การสร้างเส้นราสเตอร์	14
2.5 การเปลี่ยนสัญญาณอนาลอกเป็นดิจิตอล	18
2.6 วงจรรวมของวงจรนับแบบซิงโครนัส	33
2.7 หน่วยความจำที่สามารถอ่านเขียนได้	38
2.8 HM628128 สแตติกแรมความเร็วสูง	39
2.9 พอร์ตขนานของคอมพิวเตอร์	41
2.10 การอินเตอร์เฟสกับพอร์ตขนาน	42
บทที่ 3 การคำนวณและการสร้าง	43
3.1 หลักการทำงานโดยรวม	43
3.2 ภาคแปลงสัญญาณอนาลอกเป็นดิจิตอล	43
3.3 ภาคแยกสัญญาณซิงค์	53
3.4 ภาคคอนโทรล	56
3.5 การทำงานของหน่วยความจำ	59
3.6 การอินเตอร์เฟส	60
3.7 การออกแบบโปรแกรม	61
บทที่ 4 การทดลองและผลการทดลอง	65
4.1 การทดลองของภาคแปลงสัญญาณอนาลอกเป็นดิจิตอล	65
4.2 การทดลองของภาคแยกสัญญาณซิงค์	68
4.3 วงจรกำเนิดคล็อค	71
4.4 การทดลองการแสดงภาพบนจอคอมพิวเตอร์	72
บทที่ 5 บทวิจารณ์และบทสรุป	75
ภาคผนวก	
กิตติกรรมประกาศ	
หนังสืออ้างอิง	

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญรูปภาพ

รูปที่		หน้า
2.1	กราฟแสดงความไวของตามนุษย์ต่อแสงสีต่างๆ	2
2.2	แผนภูมิการผสมแสงสีต่างๆ	3
2.3	ขนาดของแสงสีแดง เขียว และน้ำเงิน (RGB)	3
2.4	ขนาดของการผสมภาพสี	4
2.5	แผนภูมิแท่งการผสมสีต่างๆ	6
2.6	เวกเตอร์ของแสงสีต่างๆ	7
2.7	สัญญาณควบคุมตำแหน่งภาพ	8
2.8	สัญญาณควบคุมตำแหน่งภาพและจังหวะสะบัดกลับ	10
2.9	สัญญาณควบคุมตำแหน่งภาพแนวตั้ง	11
2.10	สัญญาณควบคุมตำแหน่งภาพทางแนวตั้งและจังหวะสะบัดกลับ	12
2.11	การกราดเส้นราสเตอร์	14
2.12	จังหวะการกราดเส้นราสเตอร์ในแต่ละลายน์	15
2.13	การกราดเส้นราสเตอร์ในแต่ละฟิลด์	16
2.14	จุดเริ่มต้นและจุดสิ้นสุดของการกราดเส้นราสเตอร์	16
2.15	จังหวะการกราดเส้นราสเตอร์แนวนอน	17
2.16	จังหวะการกราดจนครบ 1 ภาพ	18
2.17	ความแตกต่างของสัญญาณก่อนและหลังการสุ่ม	19
2.18	การโมดูเลท (modulate) ด้วยอิมพัลส์	20
2.19	สเปกตรัมของสัญญาณ f(t)	21
2.20	ผลจากกระบวนการสุ่มสัญญาณ	22
2.21	กระบวนการกู้สัญญาณกลับคืน	23
2.22	สเปกตรัมของสัญญาณแบนด์พาส (bandpass)	25
2.23	การสุ่มสัญญาณแบบธรรมชาติ	25
2.24	สเปกตรัมของสัญญาณ	27
2.25	การทำงานของตัวควอนไตซ์	27
2.26	ตัวควอนไตซ์แบบรูปแบบเดียวกัน	28
2.27	ความผิดพลาดจากการควอนไตซ์แบบรูปแบบเดียวกัน	29
2.28	แบบอย่างคุณลักษณะของคอมเพรสชัน (compression)	30
2.29	ตัวควอนไตซ์แบบไม่เป็นรูปแบบเดียวกัน	31
2.30	ส่วนประกอบของรหัสฐานสองจำนวน 8 บิท	32
2.31	การเปรียบเทียบริบเปิลแคร์รี่ กับ ลุคอะเฮด ในวงจรนับแบบซิงโครนัส	34
2.32	วงจรนับแบบซิงโครนัส 4 บิตอนุกรม 74160 ถึง 74163	35

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญรูปภาพ (ต่อ)

รูปที่		หน้า
2.33	ผังเวลาสำหรับวงจรนับอนุกรม 74163A	36
2.34	แสดงการต่อแคสเคดวงจรนับอนุกรม 74160 ถึง 74163	37
3.1	บล็อกไดอะแกรมของอุปกรณ์จับภาพวิดีโอ	43
3.2	บล็อกไดอะแกรมของภาคแปลงสัญญาณอนาลอกเป็นดิจิตอล	43
3.3	สเปกตรัม (spectrum) ของกระบวนการกรองความถี่	44
3.4	สเปกตรัมของวงจรกรองความถี่ต่ำ	45
3.5	วงจรกรองความถี่ต่ำอันดับหนึ่ง	46
3.6	วงจรกรองความถี่ต่ำอันดับสอง	46
3.7	ฮาร์โมนิก (Harmonic) ที่เกิดขึ้นในสัญญาณความสว่าง	48
3.8	ฮาร์โมนิกที่เกิดขึ้นในสัญญาณความสว่างและสัญญาณคัลเลอร์ซับแคเรียร์	48
3.9	วงจรปรีฟิลเตอร์	49
3.10	โครงสร้างภายในของไอซีเบอร์ CA3318CE	50
3.11	การควบคุม CA3318CE โดยการใช้ขาควบคุมเฟสไปควบคุมระดับโลจิกของสัญญาณนาฬิกา	52
3.12	วงจรกำเนิดสัญญาณนาฬิกา 10 MHz	52
3.13	บล็อกไดอะแกรมของภาคแยกสัญญาณซิงค์	53
3.14	วงจรแยกสัญญาณซิงค์	53
3.15	วงจรกำเนิดสัญญาณแบลงค์	54
3.16	การใช้งานไอซีเบอร์ SN74LS123	54
3.17	กราฟแสดงความสัมพันธ์ระหว่างค่า C_{ext} กับค่า k	55
3.18	บล็อกไดอะแกรมของภาคคอนโทรล	56
3.19	แสดงการเริ่มต้นเก็บข้อมูล	57
3.20	แสดงการใช้งานบิทข้อมูลในแต่ละตำแหน่งแอดเดรส	62
3.21	แผนภูมิแสดงการทำงานของโปรแกรม	64
4.1	กราฟผลตอบสนองความถี่ของวงจรปรีฟิลเตอร์	66
4.2	สัญญาณวิดีโอคอมโพสิตก่อนและหลังผ่านวงจรปรีฟิลเตอร์	67
4.3	สัญญาณฮอริซอนตัลซิงค์ที่ได้จากส่วนแยกสัญญาณซิงค์ออกจากสัญญาณวิดีโอคอมโพสิต	68
4.4	สัญญาณเวอร์ติคอลซิงค์ที่ได้จากส่วนแยกสัญญาณซิงค์ออกจากสัญญาณวิดีโอคอมโพสิต	68
4.5	สัญญาณแสดงฟิลด์คี่/คู่ที่ได้จากส่วนแยกสัญญาณซิงค์ออกจากสัญญาณวิดีโอคอมโพสิต	69
4.6	สัญญาณฮอริซอนตัลแบลงค์ที่ได้จากส่วนกำเนิดสัญญาณแบลงค์	70
4.7	สัญญาณเวอร์ติคอลแบลงค์ที่ได้จากส่วนกำเนิดสัญญาณแบลงค์	70
4.8	แสดงสัญญาณคล็อค 10 MHz	71
4.9	ภาพบนเครื่องรับโทรทัศน์	72

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญรูปภาพ (ต่อ)

รูปที่		หน้า
4.10	ภาพขาวดำความละเอียด 512*256 จุด บนจอคอมพิวเตอร์ที่ยังไม่ได้แก้ไข	72
4.11	ภาพขาวดำความละเอียด 512*256 จุด บนจอคอมพิวเตอร์ที่แก้ไขแล้ว	73
4.12	ภาพขาวดำความละเอียด 512*480 จุด บนจอคอมพิวเตอร์	74
4.13	อุปกรณ์จับภาพวิดีโอ	74
5.1	แสดงการทำงานทั้งหมดของอุปกรณ์จับภาพวิดีโอ	77

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญตาราง

ตารางที่		หน้า
2.1	ค่าสัญญาณความแตกต่างสีของสีต่างๆ	5
2.2	ตารางแสดงค่าความแตกต่างของแสงสีต่างๆ	7
2.3	รายละเอียดของสัญญาณควบคุมตำแหน่งภาพและสัญญาณลบเส้นสะบัดกลับทางแนวนอน	9
2.4	รายละเอียดของสัญญาณควบคุมตำแหน่งภาพและสัญญาณลบเส้นสะบัดกลับทางแนวตั้ง	11
2.5	รายละเอียดของสัญญาณควบคุมตำแหน่งภาพในฟิลด์แรก	12
2.6	รายละเอียดของสัญญาณควบคุมตำแหน่งภาพในฟิลด์ที่สอง	13
2.7	ค่าสูงสุดของ t_{PLH} และ t_{SU}	38
2.8	แสดงลักษณะของขาไอซี HM628128	40
2.9	การใช้งานและหน้าที่ของขาต่าง ๆ	41
2.10	แสดงหน้าที่ของขาต่างๆ ของพอร์ตขนาน	42
2.11	แสดงตำแหน่งแอดเดรส	42
3.1	แสดงการต่อขาเข้ากับฮาร์ดแวร์	60
4.1	ผลการทดลองของวงจรปรีฟิลเตอร์	65
4.2	ผลการทดลองของไอซีเบอร์ CA3318CE	67

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 1 บทนำ

ปัจจุบันสิ่งอำนวยความสะดวกในรูปแบบอุปกรณ์ไฟฟ้าอิเล็กทรอนิกส์ต่างๆ ได้มีบทบาทอย่างมากในชีวิตประจำวันของมนุษย์ โดยเฉพาะคอมพิวเตอร์ ซึ่งนับวันจะยิ่งมีความสำคัญและได้ถูกนำมาใช้งานกันอย่างแพร่หลายในทุกกิจกรรม ทุกวงการ ไม่ว่าจะเป็นวงการแพทย์ วิศวกรรม วิทยาศาสตร์ การศึกษา การบันเทิง งานทางธุรกิจ งานทางสถิติหรือฐานข้อมูลเป็นต้น แม้กระทั่งภายในบ้านเอง เนื่องจากได้มีการพัฒนาเทคโนโลยีใหม่ๆ มาประยุกต์ใช้กับคอมพิวเตอร์มากขึ้น และราคาซึ่งเป็นต้นทุนที่สำคัญในการดำเนินกิจกรรมทุกอย่างข้างต้นก็ได้ลดลงมากเมื่อเทียบกับในอดีต

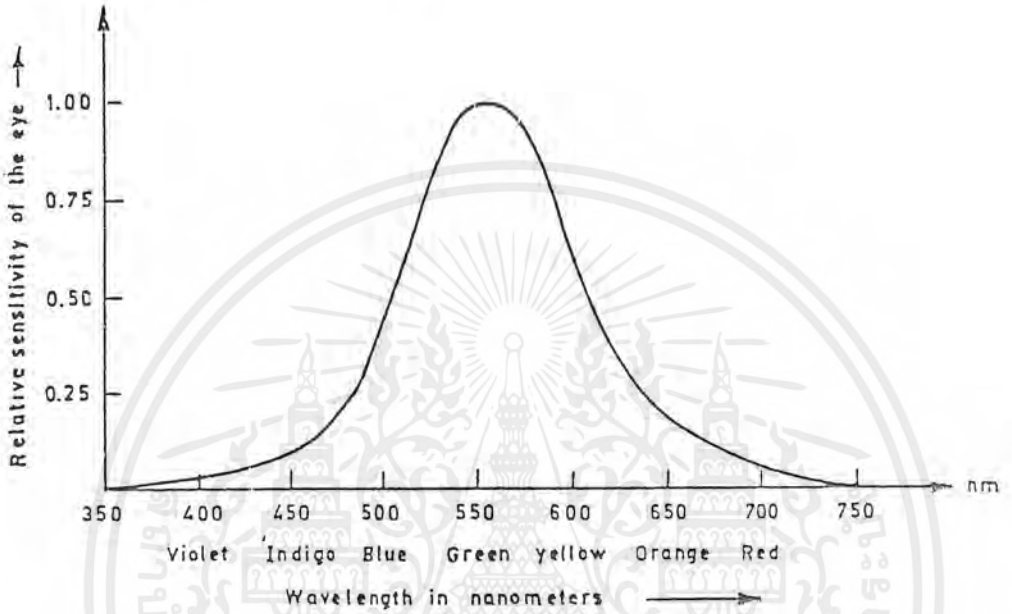
สำหรับอุปกรณ์จับภาพวิดีโอนี้ จะเปลี่ยนภาพจากสัญญาณวิดีโอให้เป็นสัญญาณดิจิตอลแล้วนำไปแสดงผลในคอมพิวเตอร์ โครงงานนี้จำเป็นต้องอาศัยความรู้ในหลายๆ ด้าน ทั้งในส่วนของสัญญาณวิดีโอ การแปลงสัญญาณอนาลอกเป็นดิจิตอล การเชื่อมโยงเข้ากับคอมพิวเตอร์ รวมถึงการเขียนโปรแกรมควบคุมระบบด้วย ซึ่งเป็นแนวทางนำไปสู่การพัฒนางานทางด้านนี้ในอนาคต

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 2 ทฤษฎีและหลักการ

2.1 แสงและสี

ในระบบโทรทัศน์สี สีที่นัยน์ตามองเห็นนั้นเกิดจากแสงซึ่งสามารถทดลองให้เห็นได้ว่าแสงสีขาว เช่น แสงอาทิตย์ ประกอบด้วยแสงสีต่างๆเรียงลำดับตามสีรุ้งคือ สีม่วง คราม น้ำเงิน เขียว เหลือง แสด แดง แสงที่ตามองเห็นเหล่านี้เป็นคลื่นแม่เหล็กไฟฟ้าอย่างหนึ่งคล้ายกับคลื่นวิทยุแต่มีความถี่ที่สูงมาก แสงที่ตามองเห็นเป็นสีต่างๆจะมีความถี่ไม่เท่ากันเช่น แสงสีเขียวมีความถี่ประมาณ 600×10^{12} เฮิรตซ์ แสงสีแดงมีความถี่ประมาณ 430×10^{12} เฮิรตซ์ เป็นต้น



รูปที่ 2.1 กราฟแสดงความไวของตามนุษย์ต่อแสงสีต่างๆ

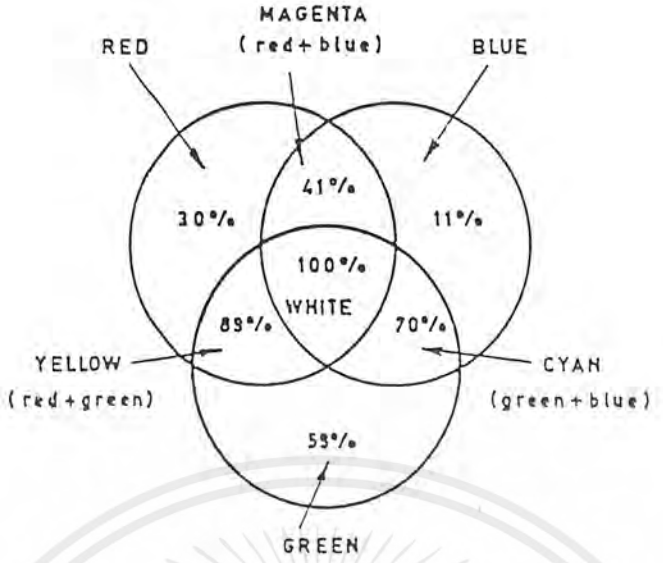
เราสามารถแยกหรือรวมแสงสีต่างๆกลับไปกลับมาได้ หรือกล่าวสรุปได้ว่าเราสามารถผสมแสงสีได้นั่นเอง แสงสีที่ผสมกันให้ตามองเห็นเป็นแสงสีต่างๆได้นั้นมีแม่สีอยู่ 3 สี คือ แสงสีแดง แสงสีเขียว และแสงสีน้ำเงิน เช่น แสงสีแดงผสมกับแสงสีเขียวด้วยอัตราที่พอเหมาะก็จะได้แสงสีเหลืองเป็นต้น การผสมแสงสีในที่นี้แตกต่างจากการผสมสีที่ใช้วาดเขียนซึ่งจะได้อธิบายต่อไป

ในการแพร่ภาพออกอากาศทางโทรทัศน์นั้น เราจะต้องเปลี่ยนภาพสีต่างๆไปเป็นสัญญาณไฟฟ้าเสียก่อน ในการกำเนิดสัญญาณภาพสีจะเห็นว่าเราสามารถแยกภาพสีออกมาดูว่ามีแม่สีแสงประกอบอยู่เป็นปริมาณมากน้อยเท่าใดแล้วก็ใช้หลอดถ่ายภาพ (camera tube) เปลี่ยนเป็นสัญญาณไฟฟ้า

2.1.1 การผสมแสงสี

แสงที่มองเห็นเป็นสีต่างๆนั้นมีความถี่หรือความยาวคลื่นไม่เท่ากัน การที่ตาเรามองเห็นสีสันก็คือเรามองเห็นแสงความถี่ต่างๆกัน แสงจึงเป็นพื้นฐานของเรื่องสีในระบบโทรทัศน์สี การสร้างภาพสีและการกำเนิดสัญญาณภาพสีอาศัยหลักการผสมแสงสีซึ่งเป็นการผสมเชิงบวก คือการผสมสีของลำแสงแล้วตาจะมองเห็นเป็นแสงสีต่างๆ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.2 แผนภูมิการผสมแสงสีต่างๆ

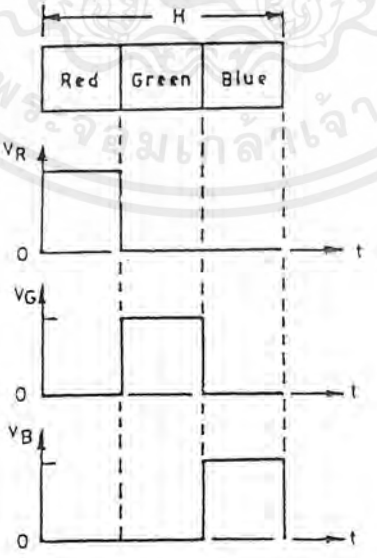
การผสมแสงสีที่เรามองเห็นบนโทรทัศน์สีนั้นต่างกับการผสมสีของวัตถุ สีทา สีพ่นซึ่งเป็นการผสมเชิงลบ เหตุที่เรียกเช่นนี้ก็เพราะว่าวัตถุเหล่านี้ดูดแสงอื่นๆไว้เสียหมด ยกตัวอย่างเช่น เวลาเราเห็นวัตถุชิ้นหนึ่งมีสีน้ำเงินเพราะว่าวัตถุนั้นดูดแสงสีอื่นไว้หมดยกเว้นแสงสีน้ำเงินที่ไม่ถูกดูดจึงสะท้อนเข้าตาให้เราเห็นเป็นสีน้ำเงินได้

แม่สีแสงมีอยู่ 3 สี เรานิยมเขียนย่อดังนี้ สีแดง (R) ,สีเขียว (G) ,สีน้ำเงิน (B) โดย

R+G = สีเหลือง

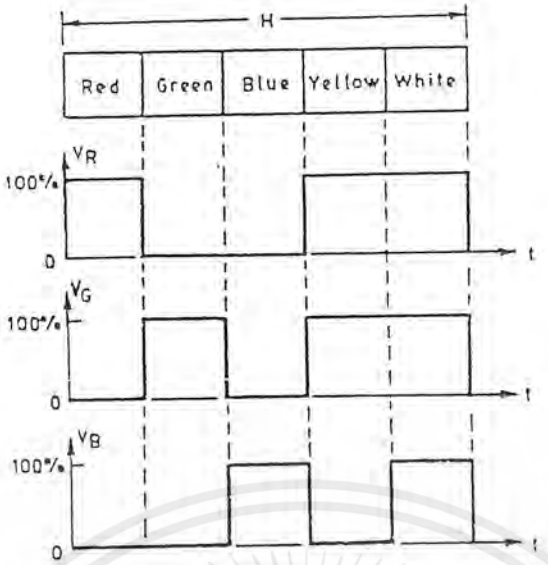
G+B = สีฟ้า

B+R = สีม่วง



รูปที่ 2.3 ขนาดของแสงสีแดง เขียว และน้ำเงิน (RGB)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.4 ขนาดของการผสมสี

2.1.2 คุณสมบัติของแสง

คุณสมบัติ 3 ประการของแสง มีดังนี้

1. สีสัน(hue) หมายถึง สีที่ตาเรามองเห็น เช่นเมื่อเรามองวัตถุสีแดง เราจะรู้สึกว่าวัตถุนั้นมีสีสันเป็นสีแดง กล่าวอีกนัยหนึ่งว่าสีสันกำหนดโดยความถี่ของแสงจากวัตถุที่ให้ความรู้สึกแก่ตาเรา

2. ความเข้มสี (saturation) สีที่เรามองเห็นนั้นมีความเข้มสีมากหรือน้อยขึ้นอยู่กับส่วนผสมของแสงสีขาว เช่นสีแดงอ่อนหรือสีชมพูก็คือ สีแดงที่มีส่วนผสมของสีขาวผสมอยู่

3. ความสว่าง (brightness) เป็นการวัดความสว่างของแสงที่ตามนุษย์เรารู้สึกต่อสี เช่น ตาเราจะรู้สึกว่าสีเหลืองสว่างกว่าสีแดงและสีน้ำเงิน

สีสันขึ้นอยู่กับความถี่ของแสงในความรู้สึกต่อตามากที่สุด สำหรับความเข้มสีขึ้นอยู่กับว่าแสงนั้นมีส่วนผสมของสีขาวปนอยู่มากหรือน้อยเพียงใด

2.2 การผสมสัญญาณแสงสีในระบบโทรทัศน์สี

หลักการของการส่งภาพในระบบโทรทัศน์สีก็คือ ตรวจสอบว่าภาพสีนั้นประกอบด้วยแม่สีเป็นปริมาณมากน้อยเท่าใด แล้วส่งข้อมูลของปริมาณแม่สีออกไปเครื่องรับ เครื่องรับก็จะนำข้อมูลปริมาณแม่สีนั้นมาปรับแม่สีแล้วผสมกันตามสัดส่วนก็จะได้ภาพสีที่ต้องการ ถ้าเปรียบเทียบกับระบบโทรทัศน์ขาวดำ ข้อมูลที่ส่งไปไม่ใช่ปริมาณแม่สีแต่เป็นปริมาณความสว่าง

วิธีการตรวจปริมาณแม่สีของภาพทำได้ด้วยการแยกแสงออกโดยใช้กระจกไดโครอิก กระจกนี้มีคุณสมบัติให้แสงที่เราต้องการผ่านได้ ส่วนแสงที่ไม่ต้องการจะสะท้อนทิ้งไปด้วยกระจกนี้ เราสามารถแยกแสงสีแดง สีเขียวและสีน้ำเงินออกมา จากนั้นจึงนำแม่สีแสงที่แยกออกมานี้ไปแปลงเป็นสัญญาณไฟฟ้าด้วยหลอดถ่ายภาพ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จะเห็นว่าแสงจากภาพสะท้อนผ่านเลนส์ของกล้องถ่ายโทรทัศน์สีแยกผ่านที่กระจกไดโครอิก 3 ชุด คือ R G B แปลงเป็นสัญญาณไฟฟ้าที่หลอดถ่ายภาพและขยายให้โตขึ้นก่อนที่จะไปเข้าภาคเครื่องส่งออกอากาศต่อไป

สีสันต่างๆเมื่อเทียบความสว่างเป็นขาวดำแล้วจะให้ความสว่างมากน้อยต่างกัน สมมติว่าเรามีหลอดไฟ 4 ดวง คือ สี R G B และสีขาว กำลังเทียนเท่ากันทั้ง 4 หลอดฉายไปบนฉากสีขาว และเปรียบเทียบความสว่างกันโดยให้แสงสีขาวสว่าง 100 เปอร์เซ็นต์ จะพบว่าตามนุษย์เรารู้สึกว่าแสงสีแดงสว่าง 30 เปอร์เซ็นต์ของแสงสีขาว แสงสีเขียวสว่าง 59 เปอร์เซ็นต์ของแสงสีขาว แสงสีน้ำเงินสว่าง 11 เปอร์เซ็นต์ของแสงสีขาว ดังรูปที่ 2.2 ซึ่งแสดงความรู้สึกของตามนุษย์ต่อแสงสีต่างๆ สังเกตว่าตามนุษย์จะไวต่อสีเหลืองมากกว่าสีอื่นเพราะเป็นสีที่ตามนุษย์รู้สึกสว่างกว่าสีอื่น เราสามารถนำมาสร้างสัญญาณขาวดำจากสัญญาณแม่สีแดง เขียว น้ำเงินได้ ต่อไปนี้จะเรียกสัญญาณขาวดำว่า สัญญาณ Y หรือสัญญาณลูมิแนนซ์ (luminance) ซึ่งเป็นไปตามสัดส่วนที่ตารู้สึกสว่างเทียบกับแสงสีขาวดังสมการ

$$Y = 0.30R + 0.59G + 0.11B$$

สำหรับสีขาว ส่วนผสมแม่สีคือ R = 1 , G = 1 , B = 1 แทนค่าในสมการได้ Y = 1 (100%)

สำหรับสีแดง ส่วนผสมแม่สีคือ R = 1 , G = 0 , B = 0 แทนค่าในสมการได้ Y = 0.30 (30%)

สำหรับสีเขียว ส่วนผสมแม่สีคือ R = 0 , G = 1 , B = 0 แทนค่าในสมการได้ Y = 0.59 (59%)

สำหรับสีน้ำเงิน ส่วนผสมแม่สีคือ R = 0 , G = 0 , B = 1 แทนค่าในสมการได้ Y = 0.11 (11%)

สามารถคำนวณค่าสัญญาณความแตกต่างสีของสีต่างๆนี้ ดังในตารางที่ 2.1 จะพบว่าค่าเฉลี่ยของสัญญาณความแตกต่างสี (R-Y) = 0.47 , (G-Y) = 0.27 , (B-Y) = 0.59 ซึ่งไม่เท่ากัน จะเห็นว่าค่าเฉลี่ยของ (R-Y) กับ (B-Y) โตกว่าของ (G-Y) เราจึงเลือกส่งสัญญาณ (R-Y) และ (B-Y) ไปให้เครื่องรับ (ส่วน (G-Y) ให้เครื่องรับสร้างขึ้นมาใหม่) การเลือกส่งสัญญาณที่มีขนาดใหญ่กว่ามีข้อดีตรงที่มีภูมิต้านทานต่อนอยส์ (noise) มากกว่า

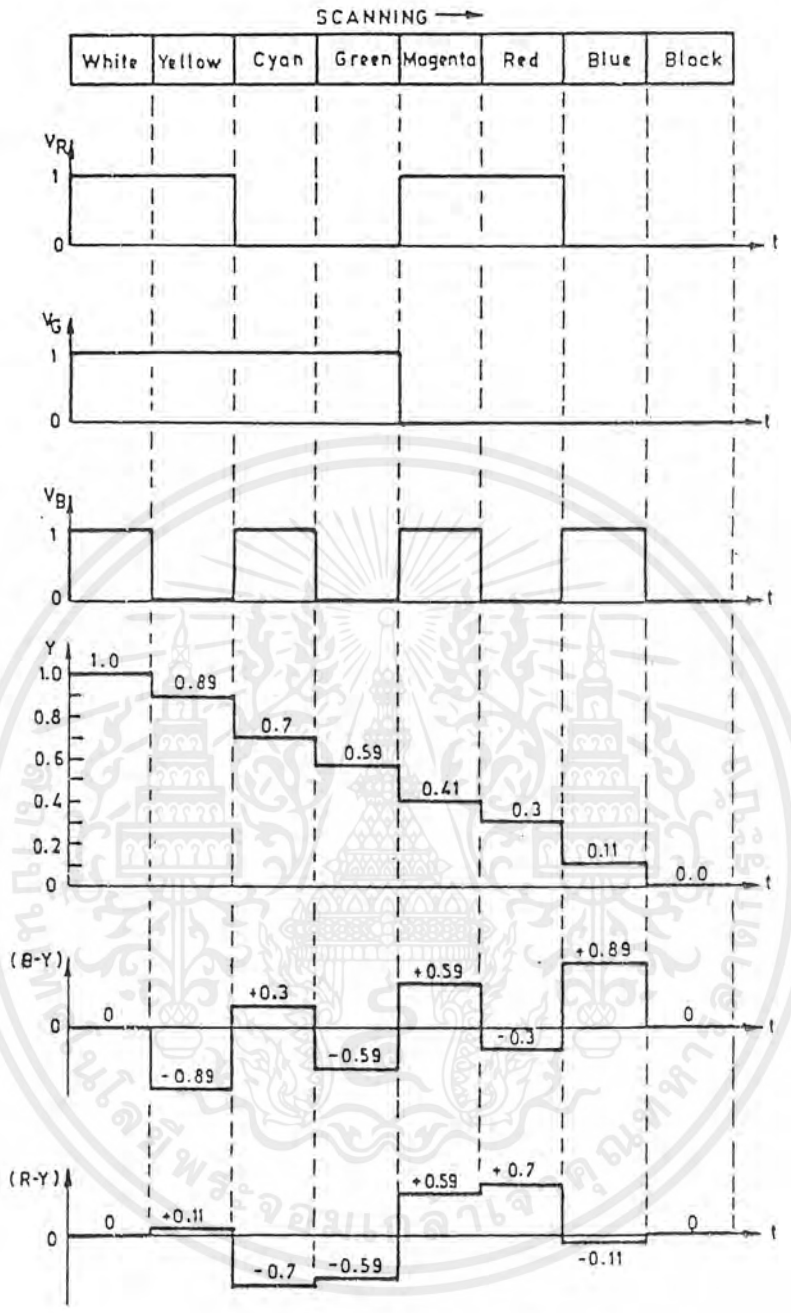
	R	G	B	Y	(R-Y)	(G-Y)	(B-Y)
เหลือง	1.0	1.0	0	0.89	0.11	0.11	-0.89
น้ำเงินเขียว	0	1.0	1.0	0.7	-0.7	0.3	0.3
เขียว	0	1.0	0	0.59	-0.59	0.41	-0.59
ม่วงแดง	1.0	0	1.0	0.41	0.59	-0.41	0.59
แดง	1.0	0	0	0.3	0.7	-0.3	-0.3
น้ำเงิน	0	0	1.0	0.11	-0.11	-0.11	0.89

ตารางที่ 2.1 ค่าสัญญาณความแตกต่างสีของสีต่างๆ

เหตุที่เราส่งสัญญาณสี (R-Y) กับ (B-Y) ไปเพียงสองสัญญาณก็เพราะว่าสัญญาณทั้งสองกับสัญญาณ Y เพียงพอที่จะให้เครื่องรับโทรทัศน์สีสามารถคืนรูปสัญญาณแม่สี RGB เพื่อสร้างภาพสีได้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ตามรูปที่2.5 จะเห็นว่าเครื่องรับสามารถผลิตสัญญาณ (G-Y) ขึ้นเองได้โดยการผสมสัญญาณ (R-Y) กับ (B-Y) ตามสัดส่วนที่พอเหมาะ



รูปที่ 2.5 แผนภูมิแท่งแสดงการผสมสีต่างๆ

การผลิตสัญญาณ (G-Y) สามารถใช้การคำนวณทางคณิตศาสตร์ได้ดังนี้

จากสมการ $Y = 0.30R + 0.59G + 0.11B$ (2.1)

-(2.1) +R ; $R-Y = 0.70R - 0.59G - 0.11B$ (2.2)

-(2.1) +B ; $B-Y = -0.30R - 0.59G + 0.89B$ (2.3)

-(2.1) +G ; $G-Y = -0.30R + 0.41G - 0.11B$ (2.4)

เราทราบว่า $Y = 0.30Y + 0.59Y + 0.11Y$ (2.5)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

(2.1)-(2.5) ; $0 = 0.30R - 0.30Y + 0.59G - 0.59Y + 0.11B - 0.11Y$

$0.59(G-Y) = -0.30(R-Y) - 0.11(B-Y)$

$(G-Y) = -0.51(R-Y) - 0.19(B-Y)$ (2.6)

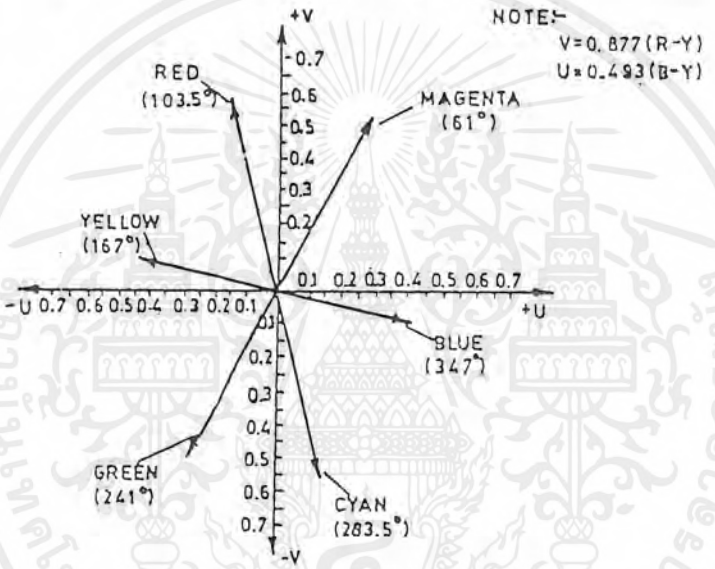
ทำนองเดียวกันคำนวณ (R-Y) กับ (B-Y) ได้

$(R-Y) = -1.96(G-Y) - 0.373(B-Y)$ (2.7)

$(B-Y) = -2.68(R-Y) - 5.26(G-Y)$ (2.8)

สมการที่ใช้ในการสร้างสัญญาณ Y , (R-Y) และ (B-Y) คือ สมการ(2.1) , (2.2) และ (2.3) ตามลำดับสำหรับสมการที่ใช้ในการคืนตัวสัญญาณ (G-Y) ก็คือสมการ(2.6)

สรุปแล้วสัญญาณสีที่เราส่งไปให้เครื่องรับโทรทัศน์สีก็คือสัญญาณความแตกต่างสี (R-Y) กับ (B-Y) เนื่องจากแบนด์วิดท์ (bandwidth) ของคลื่นโทรทัศน์จะต้องคงเดิม ฉะนั้นสัญญาณ (R-Y) กับ (B-Y) จะต้องสอดแทรกอยู่ในแบนด์วิดท์นี้โดยไม่รบกวนกับสัญญาณ Y



รูปที่ 2.6 เวกเตอร์ของแสงสีต่างๆ

COLOUR	Y	U	V	ICI	ϕ
White	1	0	0	0	0°
Yellow	0.89	- 0.4385	+ 0.0965	0.44	167°
Cyan	0.70	+ 0.148	- 0.614	0.63	283°
Green	0.59	- 0.29	- 0.5174	0.59	241°
Magenta	0.41	+ 0.29	+ 0.5174	0.59	61°
Red	0.31	- 0.148	+ 0.614	0.63	103°
Blue	0.11	+ 0.4385	- 0.0965	0.44	347°
Black	0	0	0	0	0°

ตารางที่ 2.2 ตารางแสดงค่าความแตกต่างของแสงสีต่างๆ

2.3 สัญญาณวิดีโอ

เครื่องส่งโทรทัศน์ส่งสัญญาณมา 5 ชนิด คือ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

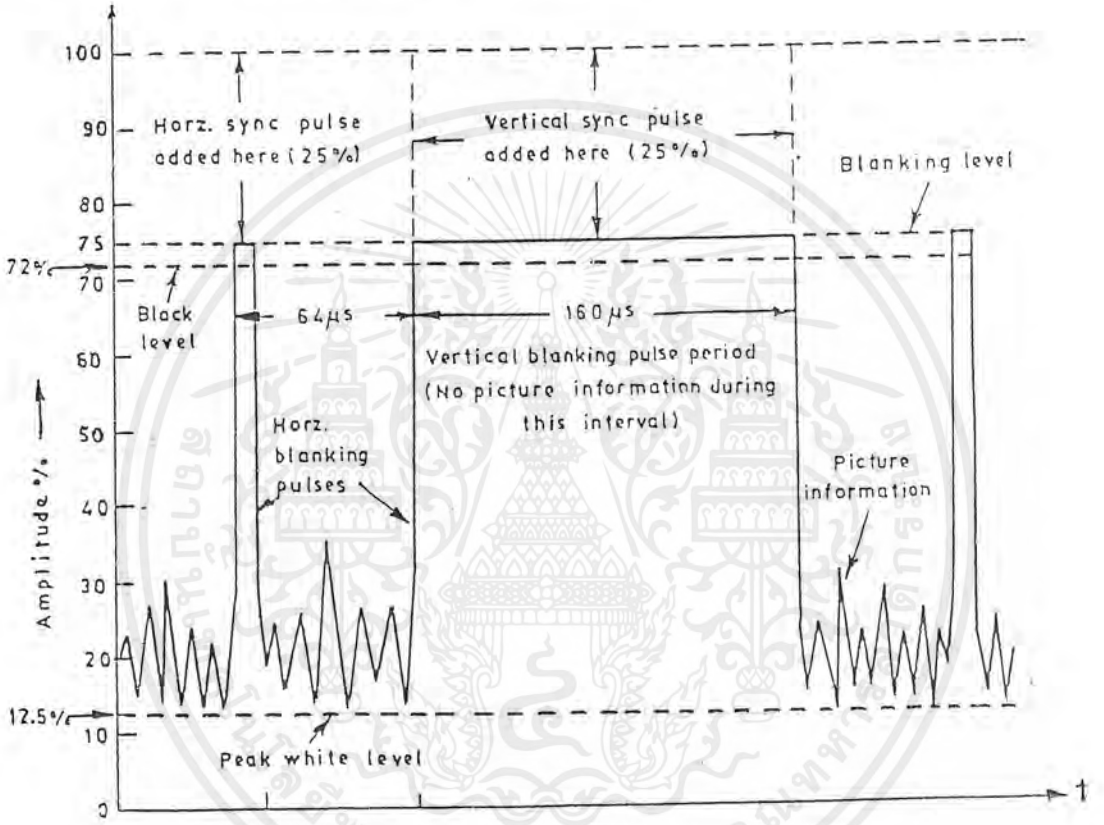
2.3.1 สัญญาณขาวดำ

สัญญาณขาวดำหรือลูมิแนนซ์ คือ สัญญาณความสว่างนั่นเอง วิธีการสร้างสัญญาณก็คือนำสัญญาณ RGB มารวมกัน (ทางไฟฟ้า) ตามสัดส่วนที่ตารู้สึกสว่างเทียบกับแสงสีขาว

สำหรับเครื่องรับขาวดำจะนำเฉพาะสัญญาณลูมิแนนซ์ไปใช้ในการสร้างภาพ

2.3.2 สัญญาณซิงค์

สัญญาณซิงค์ต่างๆ ที่แยกออกจากสัญญาณวิดีโอจะส่งไปใช้ในการควบคุมการสแกนที่เครื่องรับโทรทัศน์ ความถี่ของออสซิลเลเตอร์ (oscillator) ที่ควบคุมด้วยซิงค์พัลส์ (sync pulse) มี 2 ความถี่คือ ความถี่ลายน์ 15,625 Hz กับความถี่ฟิลด์ 50 Hz สัญญาณเหล่านี้ได้แก่



รูปที่ 2.7 สัญญาณควบคุมตำแหน่งภาพ

2.3.2.1 สัญญาณควบคุมตำแหน่งภาพทางแนวนอน (horizontal sync pulse)

คือแรงดันช่วงสั้นๆ (พัลส์) ประมาณ 4.7 μs เป็นสัญญาณที่ระดับแรงดันต่ำที่สุด (ต่ำกว่าจุดคัทออฟ(cut-off)ของหลอดภาพ) ส่งไปยังเครื่องรับเพื่อเป็นสัญญาณอ้างอิงในการสร้างความถี่ของวงจรสร้างสัญญาณเบี่ยงเบนทางแนวนอนในเครื่องรับ เพื่อให้เกิดการทำงานที่ได้จังหวะกับสัญญาณเบี่ยงเบนทางแนวนอนที่สร้างขึ้นมา ตำแหน่งของภาพที่เกิดขึ้นหน้าจอเครื่องรับจึงถูกต้องตรงกับตำแหน่งของภาพที่ปรากฏที่เครื่องส่งทางแนวนอน สัญญาณนี้จะส่งรวมกับสัญญาณฮอริซอนตัลแบลงกิ้งโดยส่งรวมกับสัญญาณภาพไปในช่วงจังหวะสะบัดกลับทางแนวนอนซึ่งเป็นจังหวะที่ไม่มีสัญญาณภาพ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

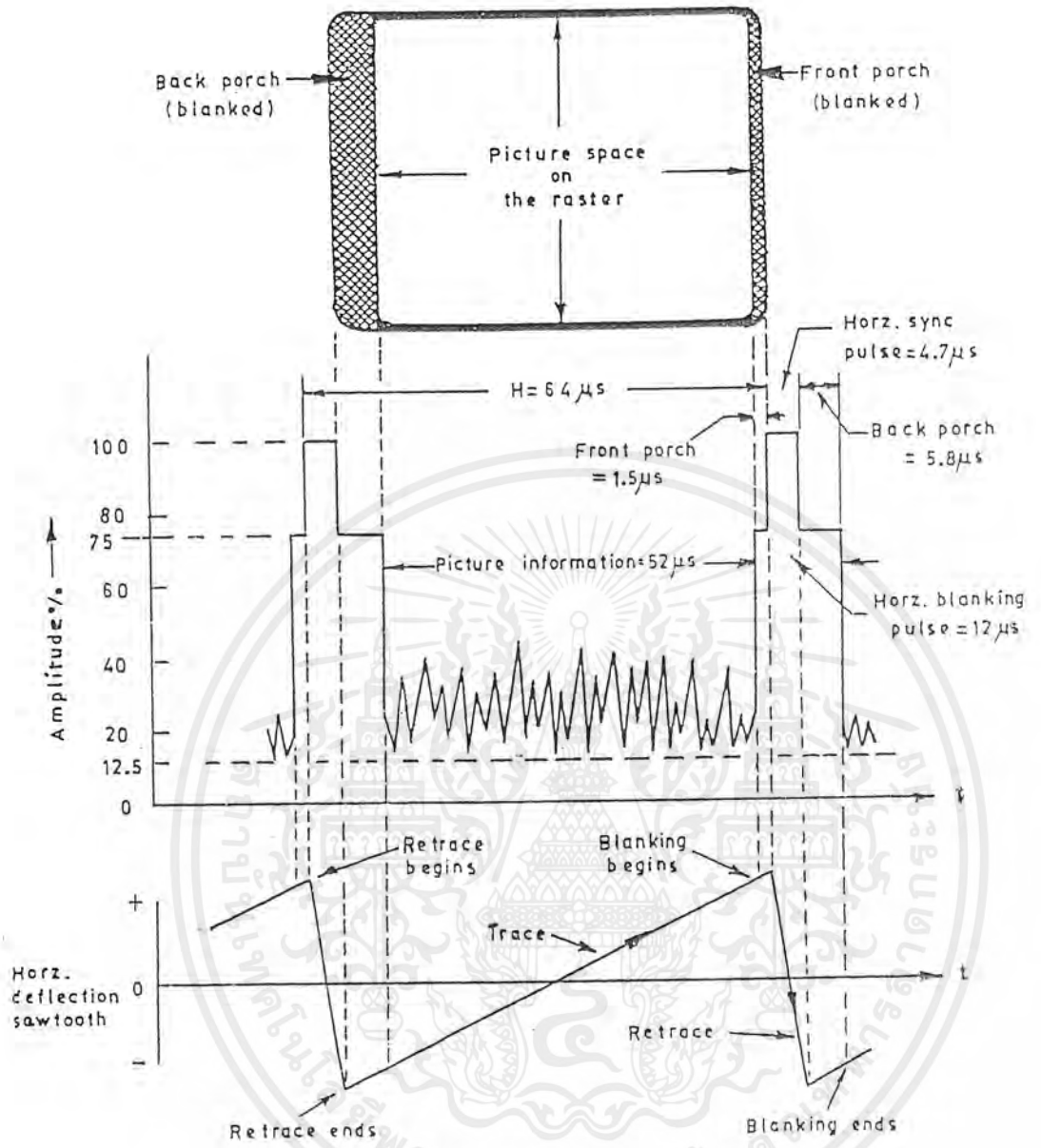
2.3.2.2 สัญญาณลบเส้นสะบัดกลับทางแนวนอน (horizontal blanking)

คือค่าแรงดันที่มีระดับสูงกว่าฮอริซอนตัลซิงค์ประมาณ 25-30% มีช่วงเวลาประมาณ 12.05 μs โดยค่าแรงดันนี้จะอยู่ในระดับคัทออฟของหลอดภาพส่งไปยังเครื่องรับเพื่อทำให้หลอดภาพคัทออฟในจังหวะสะบัดกลับทางแนวนอนจึงไม่เห็นแสงของเส้นสะบัดกลับทางแนวนอนปรากฏที่หน้าจอ สัญญาณนี้จะส่งร่วมกับฮอริซอนตัลซิงค์เติมลงไปในสัญญาณภาพตรงช่วงสะบัดกลับทางแนวนอนซึ่งไม่มีสัญญาณภาพ

Period	Time(μs)
Total line(H)	64
Horizontal blanking	12 ± 0.3
Horizontal sync pulse	4.7 ± 0.2
Front porch	1.5 ± 0.3
Back porch	5.8 ± 0.3
Visible line time	52

ตารางที่ 2.3 รายละเอียดของสัญญาณควบคุมตำแหน่งภาพและสัญญาณลบเส้นสะบัดกลับทางแนวนอน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

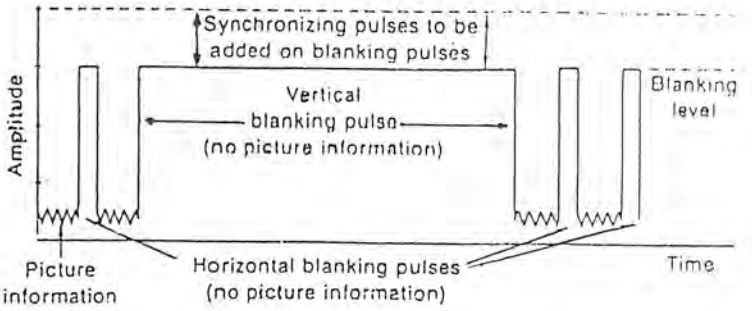


รูปที่ 2.8 สัญญาณควบคุมตำแหน่งภาพและจังหวะสะบัดกลับ

2.3.2.3 สัญญาณควบคุมตำแหน่งภาพทางแนวตั้ง (vertical sync pulse)

คือสัญญาณที่มีระดับแรงดันเท่ากันกับสัญญาณฮอริซอนตัลซิงค์ แต่ช่วงเวลาในการเกิดแรงดันนั้นจะนานกว่าฮอริซอนตัลซิงก์ คือแบ่งออกเป็นช่วงๆ 5 ช่วง (5 พัลส์) แต่ละช่วงเกิดนานประมาณ 29 μs และเว้นระยะห่างกัน 4.7 μs ส่งไปยังเครื่องรับเพื่อเป็นสัญญาณอ้างอิงสำหรับวงจรเบี่ยงเบนทางแนวตั้ง เพื่อให้สร้างความถี่ออกมาได้จังหวะคล้องจองกับสัญญาณเบี่ยงเบนทางแนวตั้งที่สร้างขึ้นที่เครื่องส่ง ตำแหน่งภาพที่หน้าจอเครื่องรับจึงถูกต้องตรงกับตำแหน่งภาพที่เครื่องส่งทางแนวตั้ง สัญญาณนี้จะส่งร่วมกับสัญญาณภาพมาในจังหวะสะบัดกลับทางแนวตั้งซึ่งเป็นจังหวะที่ไม่มีสัญญาณภาพ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.9 สัญญาณควบคุมตำแหน่งภาพแนวตั้ง

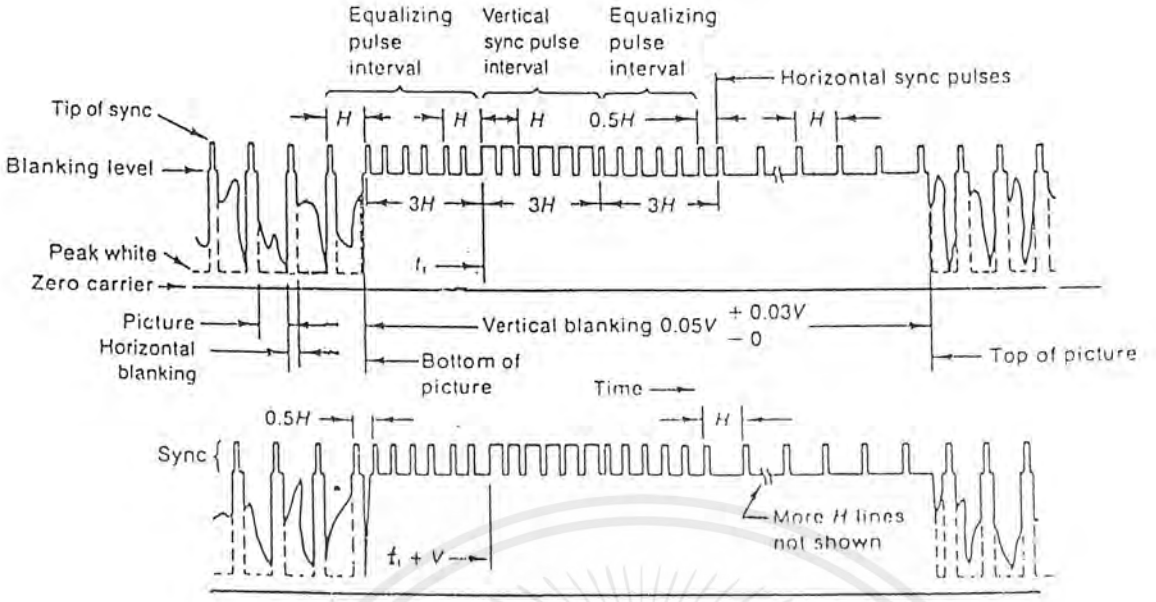
2.3.2.4 สัญญาณลบเส้นสะบัดกลับทางแนวตั้ง (vertical blanking)

คือพัลส์ช่วงเวลาสั้นๆประมาณพัลส์ละ 2.35 μs จำนวน 2 ชุด ชุดละ 5 พัลส์เติมลงไปนำหน้าและตามหลังเวอร์ติคัลซิงค์ เพื่อรักษารูปร่างและช่วงเวลาของเวอร์ติคัลซิงค์ให้สมบูรณ์ขณะที่แยกออกจากฮอริซอนตัลซิงค์ อันจะทำให้การสอดแทรกสัญญาณภาพลงไปเปลี่ยนแปลงความสว่างของราสเตอร์แต่ละพัลส์ให้เป็นไปอย่างถูกต้อง

Period	Time
Total field (v)	1/50 Hz = 20 ms
Vertical blanking	0.05v-0.08v หรือ 1 - 1.6 ms
Each vertical sync pulse	29 μs
Total of six vertical sync pulse	3H = 192 μs
Each E pulse	0.04H = 2.56 μs
Each serration	0.07H = 4.5 μs
Visible field time	0.92v-0.95v หรือ 18.4 – 19 ms

ตารางที่ 2.4 รายละเอียดของสัญญาณควบคุมตำแหน่งภาพและสัญญาณลบเส้นสะบัดกลับทางแนวตั้ง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.10 สัญญาณควบคุมตำแหน่งภาพทางแนวตั้งและจังหวะสะบัดกลับ

2.3.2.5 สัญญาณรักษารูปร่างของสัญญาณเวอร์ติคอลซิงค์ (equalizing pulse)

เป็นแรงดันที่ส่งไปทำให้หลอดภาพดับออฟในช่วงระยะเวลาสะบัดกลับทางแนวตั้งเพื่อทำให้มองไม่เห็นแสงที่เกิดจากการที่ลำอิเล็คตรอนวิ่งจากขอบจอด้านล่างขึ้นไปยังขอบจอด้านบนในจังหวะสะบัดกลับทางแนวตั้งซึ่งมีช่วงเวลาประมาณ 25 เส้นสะแกนทางแนวนอน (25H) ด้วยเหตุนี้สัญญาณนี้จึงส่งร่วมกับสัญญาณภาพโดยเติมลงไปตรงจังหวะสะบัดกลับทางแนวตั้งของสัญญาณภาพซึ่งเป็นจังหวะที่ไม่มีสัญญาณรายละเอียดภาพ

First Field (Odd Field) Line number : one to 1st - half of 313th (312.5 lines)		
Line number	number of line (lines)	Signal
1,2 and 3rd of 1st - half	2.5	Vertical sync pulses
3rd of 2nd – half , 4 and 5	2.5	Post-vertical sync equalizing pulses
6 to 17 , 18th of 1st – half	12.5	Blanking retrace pulses
18th of 1st – half to310	292.5	Picture details
311,312 and 313th of 1st - half	2.5	Pre-vertical sync equalizing pulses of 2nd field
Total	312.5	

ตารางที่ 2.5 รายละเอียดของสัญญาณควบคุมตำแหน่งภาพในฟิลด์แรก

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Second Field (Even Field) Line number : 313th of 2nd – half to 625 (312.5 lines)		
Line number	number of line (lines)	Signal
313 of 2nd - half ,314 and 315	2.5	Vertical sync pulses
316,317 and 318th of 1st – half	2.5	Post-vertical sync equalizing pulses
318th of 2nd – half to 330	12.5	Blanking retrace pulses
331 to 623 of 2nd- half	292.5	Picture details
623,624 and 625 of 2nd - half	2.5	Pre-vertical sync equalizing pulses of 1st field
Total	312.5	

ตารางที่ 2.6 รายละเอียดของสัญญาณควบคุมตำแหน่งภาพในฟิลด์ที่สอง

2.3.3 สัญญาณสี

สัญญาณสีหรือเรียกอีกอย่างหนึ่งว่าสัญญาณโครมิแนนซ์ (chrominance) เป็นสัญญาณแสดงปริมาณแม่สีต่างๆคือ สีแดง สีเขียวและสีน้ำเงิน (RGB) ซึ่งในระบบโทรทัศน์จะส่งไปเป็นสัญญาณความแตกต่างสี 2 สัญญาณ นั่นก็คือ สัญญาณความแตกต่างสี (R-Y) กับ (B-Y) ส่วน (G-Y) นั้นเราไม่ส่ง ด้วยเหตุผลที่ได้อธิบายไปก่อนหน้านี้ และทำการแยกสัญญาณ RGB ออกมาใช้

2.3.4 สัญญาณเบิรสต์ (burst)

การที่จะต้องสร้างสัญญาณเบิรสต์ขึ้นมานั้น เพราะการส่งในระบบโทรทัศน์ใช้ดับเบิ้ลไซด์แบนด์ซัพเพรสแคร์เรียร์ (double sideband suppress carrier) จะต้องมีสัญญาณชี้นำเพื่อที่จะบังคับให้เครื่องส่งกับเครื่องรับทำงานพร้อมกัน เครื่องส่งจะต้องส่งสัญญาณชี้นำที่เราเรียกว่าสัญญาณเบิรสต์ออกไป เครื่องรับจะต้องมีวงจรเบิรสต์เกตเพื่อทำหน้าที่ในการแยกสัญญาณสีต่อไป

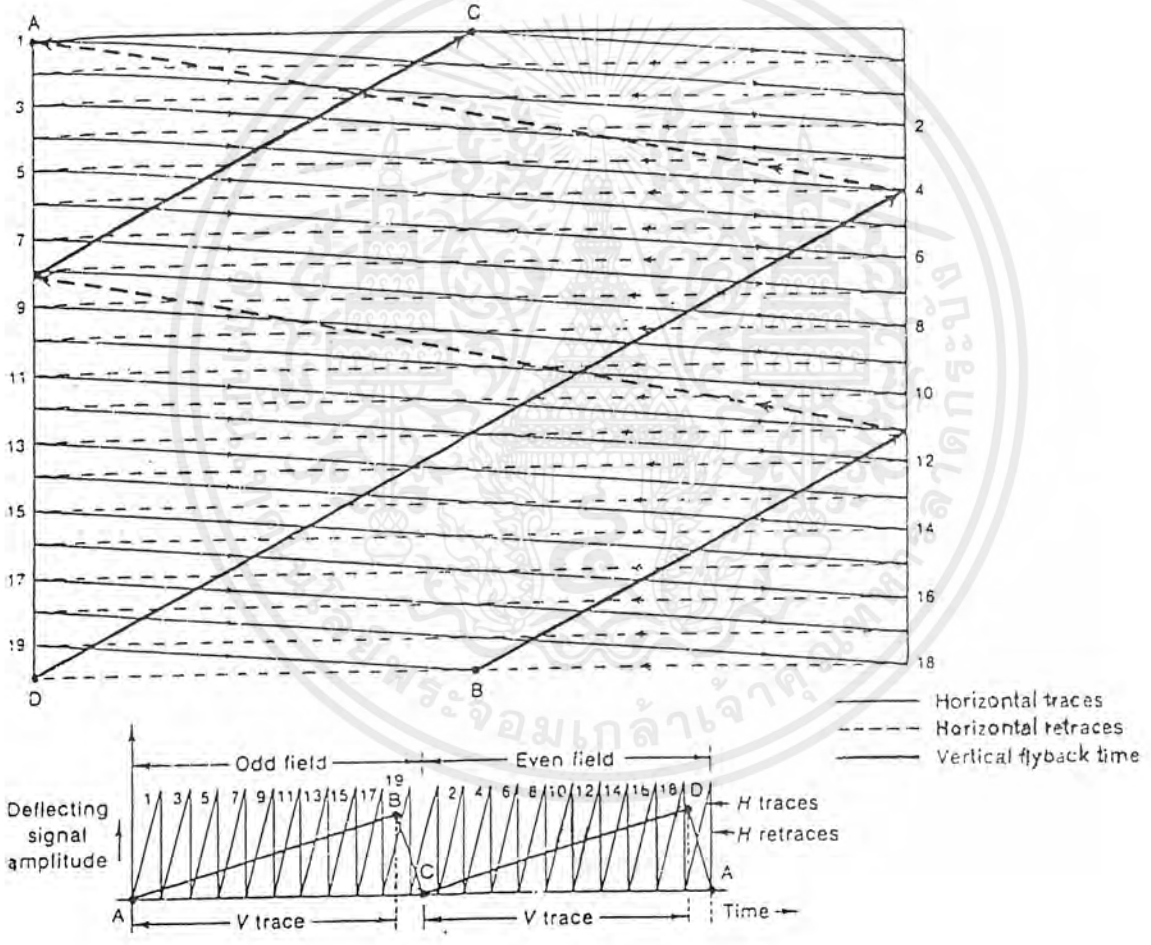
2.3.5 สัญญาณเสียง

สัญญาณเสียงจะถูกโมดูเลทแบบ FM โดยมีความถี่เบี่ยงเบน +50 kHz

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

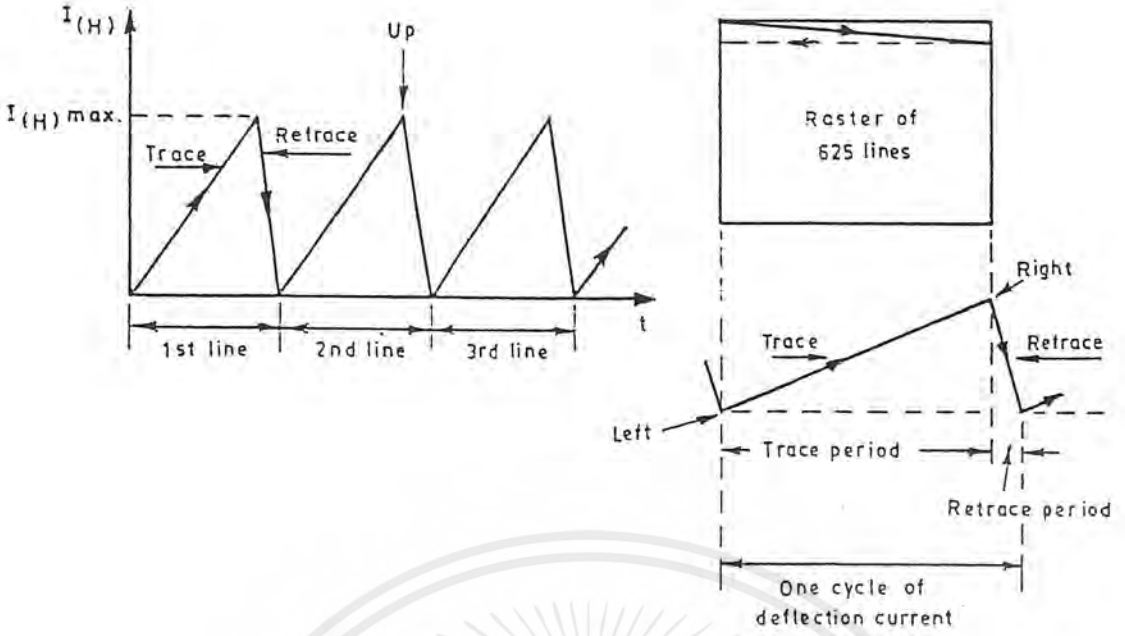
2.4 การสร้างเส้นราสเตอร์ (raster) หน้าจอโทรทัศน์

ในการสร้างแสงที่หน้าจอโทรทัศน์นั้นมีความต้องการให้เกิดเส้นแสงสว่างทางแนวนอน (ราสเตอร์) เฉพาะตรงจังหวะที่ลำอิเล็คตรอนวิ่งจากด้านซ้ายไปทางด้านขวาซึ่งเรียกว่าจังหวะกราดหรือจังหวะเทรซ (trace) เท่านั้น ส่วนจังหวะที่ลำอิเล็คตรอนวิ่งจากด้านขวามายังด้านซ้ายซึ่งเรียกว่าจังหวะสะบัดกลับหรือรีเทรซ (retrace) นั้นไม่ต้องการเห็นแสงจึงใช้สัญญาณซึ่งมีลักษณะเป็นพัลส์ช่วงเวลาสั้นๆซึ่งเรียกว่าสัญญาณลบเส้นสะบัดกลับทางแนวนอนหรือฮอริซอนตัลแบลงกิ้งส่งป้อนให้หลอดภาพเพื่อทำให้คัทออฟในจังหวะสะบัดกลับ ด้วยเหตุนี้แสงที่เกิดขึ้นหน้าจอภาพจึงเกิดจากเส้นแสงสว่างซึ่งเรียกว่าราสเตอร์ที่เกิดจากการวิ่งของลำอิเล็คตรอนจากด้านซ้ายไปยังด้านขวาเท่านั้น เรียงรายกันลงมาจากขอบจอด้านบนถึงขอบจอด้านล่าง ส่วนจังหวะสะบัดกลับจะมองไม่เห็นแสงจึงเห็นเป็นเส้นสีดำคั่นอยู่ระหว่างเส้นราสเตอร์แต่ละเส้น



รูปที่ 2.11 การกราดเส้นราสเตอร์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.12 จังหวะการกราดเส้นราสเตอร์ในแต่ละลายน์

2.4.1 การสร้างเส้นราสเตอร์แบบกราดสลับเส้น (INTERLACED SCANING)

จำนวนของเส้นราสเตอร์ที่ปรากฏหน้าจอนั้นเปรียบเสมือนส่วนของภาพที่ถูกตัดซอยออกมาเป็นชิ้นเล็กๆทางแนวนอน เนื่องจากสัญญาณโทรทัศน์จะสร้างจากส่วนของภาพที่ถูกแยกออกเป็นเส้นทางแนวนอนเรียงรายลงมาจากด้านบนสู่ด้านล่างเช่นกัน ดังนั้นยิ่งจำนวนเส้นราสเตอร์ที่ใช้ในการสร้างภาพมีมาก ความละเอียดชัดเจนของภาพก็จะยิ่งสูง แต่ก็จะมีขอบเขตจำกัดจากแถบความถี่ของสัญญาณภาพ คือ ถ้าจำนวนเส้นต่อภาพสูง แถบความถี่ของสัญญาณภาพจะกว้างมากซึ่งจะทำให้เกิดปัญหาทางด้านคุณสมบัติของวงจรที่จะนำมาใช้ในการส่งและรับสัญญาณรวมทั้งความจำกัดต่อจำนวนช่องของสถานีที่ใช้ออกอากาศในแถบความถี่แต่ละย่านด้วย สำหรับประเทศไทยใช้ระบบยุโรป ระบบ B ซึ่งเรียกว่ามาตรฐานของ CCIR (International Radio Consultative Committee)

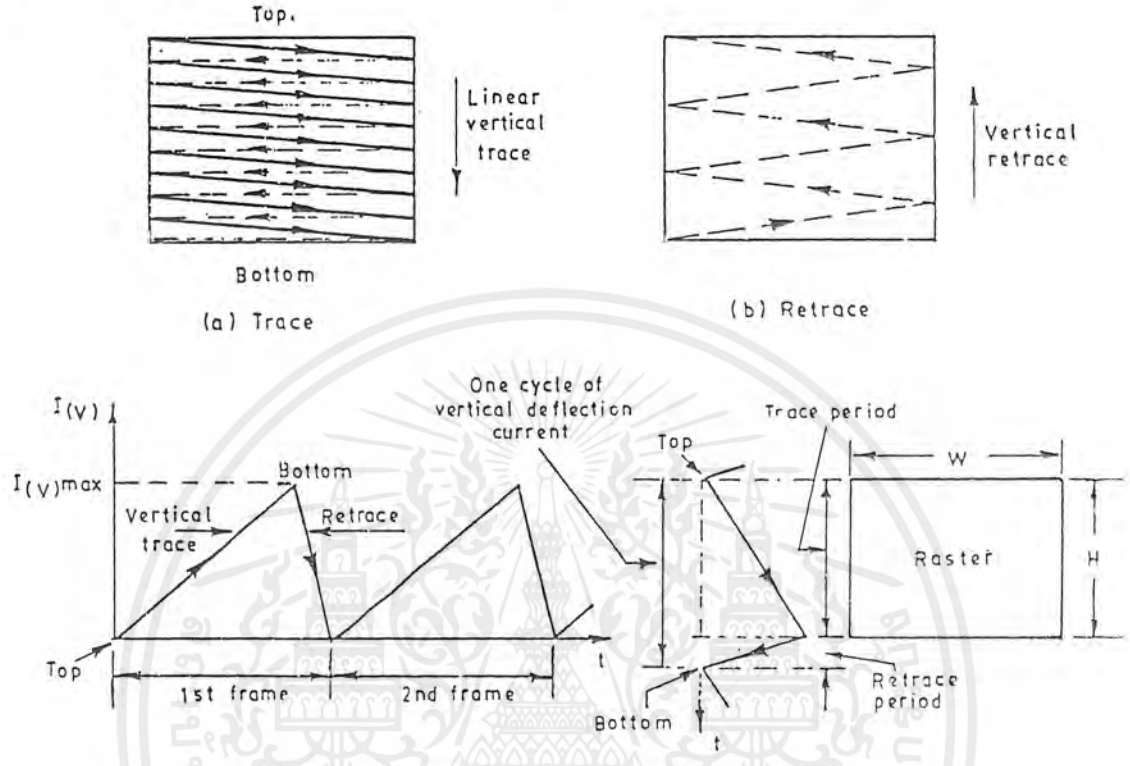
ราสเตอร์ที่สร้างขึ้นสร้างหน้าจอโทรทัศน์นั้นจะไม่สร้างเรียงรายต่อเนื่องกันลงมาจากบนสู่ด้านล่างเป็นจำนวน 625 ในครั้งเดียว เพราะจะเกิดปัญหาเรื่องการเกิดแสงกระพริบที่หน้าจอ (flicker) จึงใช้วิธีสร้างราสเตอร์แบบกราดเส้นสลับเส้น โดยแบ่งการกราดออกเป็น 2 ชุด

ชุดแรกกราดสร้างเส้นราสเตอร์เส้นเว้นเส้นให้เรียงรายจากขอบจอด้านบนลงสู่ด้านล่างเป็นจำนวน 312.5 เส้น โดยใช้เวลาในการสร้าง 1/50 วินาที เรียกว่า ช่วงเวลาการกราดฟิลด์ที่ 1 หรือการกราดฟิลด์เส้นคี่

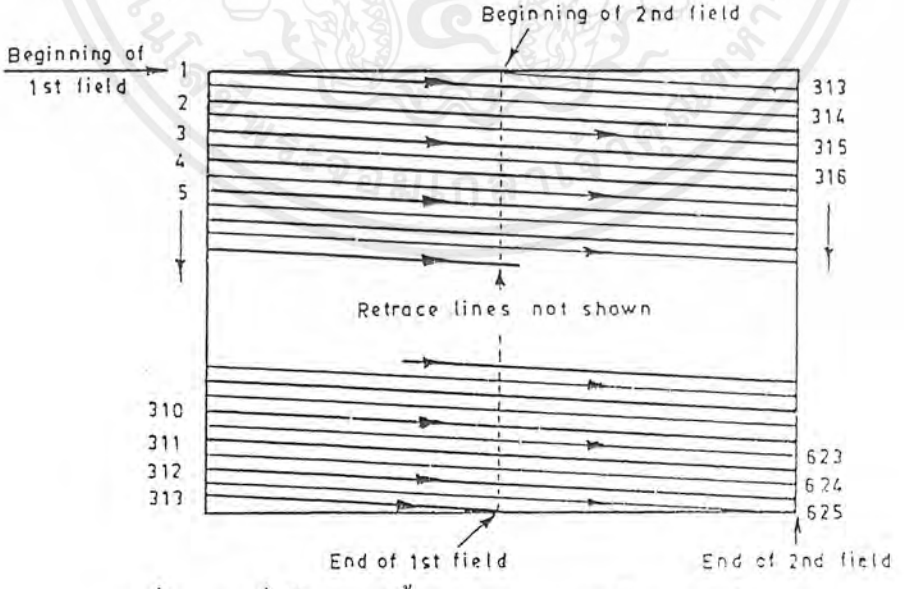
ชุดที่สองจะสร้างแซมตรงช่องว่างระหว่างเส้นราสเตอร์ของฟิลด์ที่ 1 ซึ่งเรียงรายจากด้านบนสู่ด้านล่างอีกเป็นจำนวน 312.5 เส้นโดยใช้เวลา 1/50 วินาที เช่นกัน เรียกว่า การกราดฟิลด์ที่ 2 หรือฟิลด์เส้นคู่ ดังนั้นราสเตอร์ที่ปรากฏบนหน้าจอจำนวน 625 เส้น (312.5H+312.5H = 625H) โดยใช้เวลาในการสร้างทั้งหมด 1/25 วินาที (20 ms)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เส้นราสเตอร์ที่มองเห็นปรากฏอยู่บนหน้าจอโทรทัศน์นั้นจะมีจำนวนจริงไม่ถึง 625 เส้น ทั้งนี้เนื่องจากจะสูญเสียไปในจังหวะสะบัดกลับทางแนวตั้งครั้งละ 25 เส้นซึ่งการสร้างเส้นราสเตอร์ 2 ฟิลด์จะเกิดการสะบัดกลับทางแนวตั้ง 2 ครั้ง เส้นราสเตอร์จะหายไปจำนวน 25+25 = 50 เส้น ดังนั้นเส้นราสเตอร์ที่ปรากฏบนจอจึงมีจำนวนเท่ากับ 625-50 = 575 เส้นเท่านั้น โดยจำนวนราสเตอร์ที่เรียงรายจากขอบจอด้านบนมาถึงขอบจอด้านล่างของแต่ละฟิลด์นั้นจะมีจำนวน 312.5-25 = 287.5 เส้น



รูปที่ 2.13 จังหวะการกราดเส้นราสเตอร์ในแต่ละฟิลด์



รูปที่ 2.14 จุดเริ่มต้นและจุดสิ้นสุดของการกราดเส้นราสเตอร์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.4.2 การสร้างราสเตอร์ฟิลด์ที่ 1

ใช้เวลาในการกราดและสะบัดกลับทางแนวตั้งเพื่อสร้างราสเตอร์จำนวน 312.5 เส้น ในเวลา 1/50 วินาที

จังหวะกราดทางแนวตั้งของฟิลด์ที่ 1 ลำอิเล็คตรอนจะถูกเบี่ยงเบนให้วิ่งเฉียงสร้างเส้นแสงสว่างทางแนวนอนเรียงรายจากขอบจอด้านบนเส้นเว้นเส้นลงมาสู่ขอบจอด้านล่างจำนวน 287.5 เส้น โดยใช้เวลา 18.4 ms

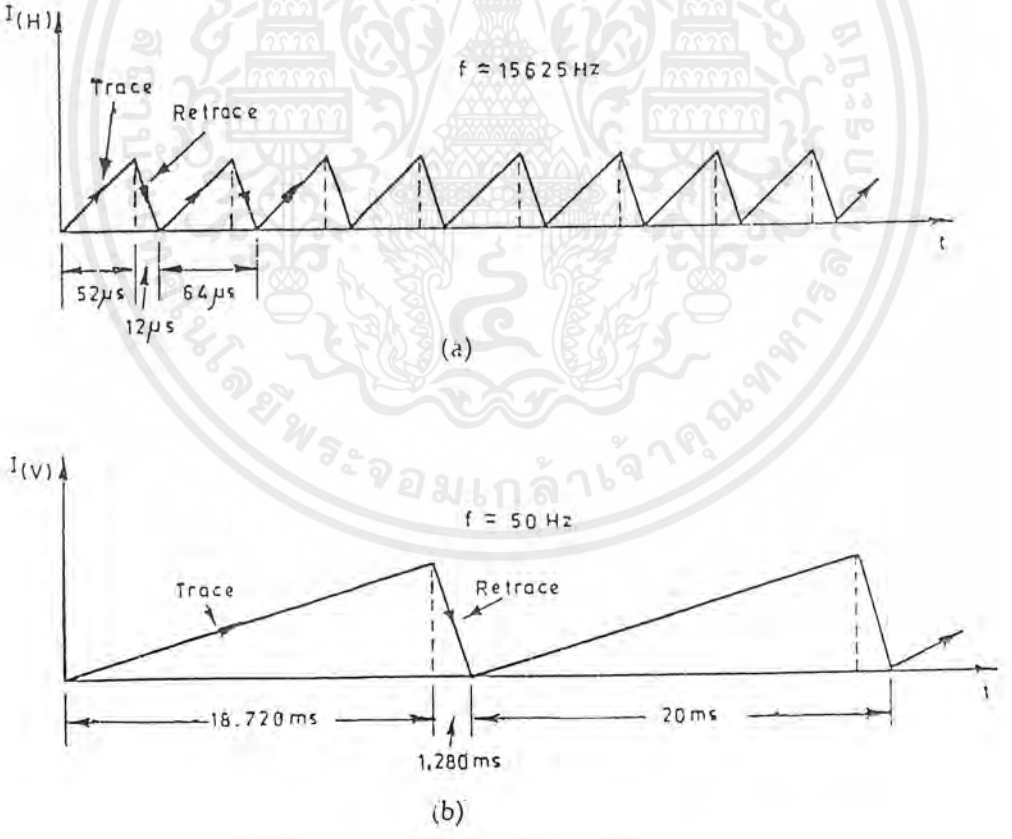
จังหวะสะบัดกลับทางแนวตั้งของฟิลด์ที่ 1 ลำอิเล็คตรอนจะถูกเบี่ยงเบนให้วิ่งจากขอบจอด้านล่างสู่ด้านบนเพื่อเริ่มต้นสร้างเส้นราสเตอร์ฟิลด์ที่ 2 โดยใช้เวลาประมาณ 25 เส้น (1.6 ms)

2.4.3 การสร้างเส้นราสเตอร์ฟิลด์ที่ 2

ใช้เวลาในการกราดและสะบัดกลับทางแนวตั้งเพื่อสร้างเส้นราสเตอร์จำนวน 312.5 เส้นในเวลา 1/50 วินาที (20ms)

จังหวะกราดทางแนวตั้งของฟิลด์ที่ 2 จะสร้างเส้นราสเตอร์แซมตรงช่องว่างระหว่างราสเตอร์ของฟิลด์ที่ 1 เรียงรายกันลงมาจากขอบจอด้านบนสู่ขอบจอด้านล่างจำนวน 287.5 เส้น โดยใช้เวลา 18.4 ms

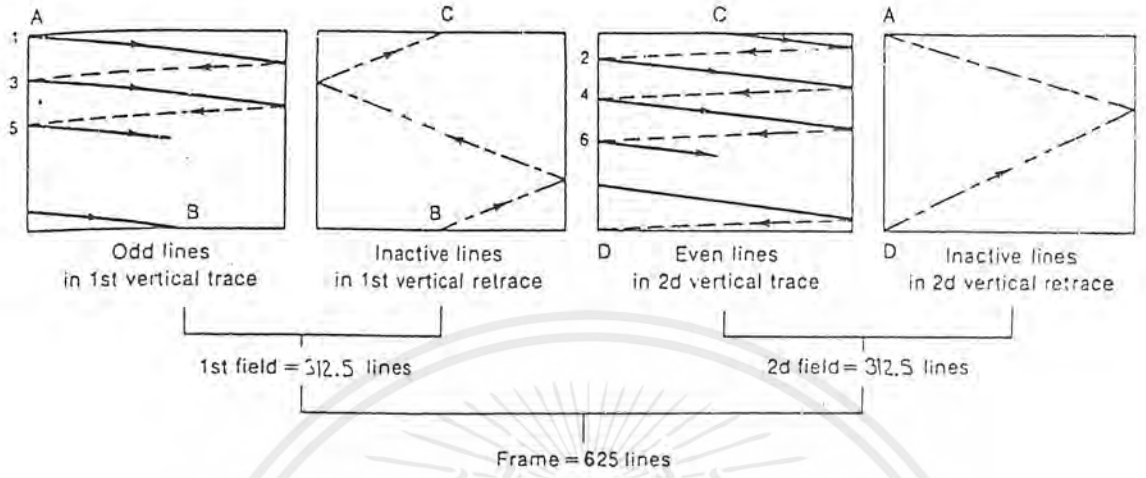
จังหวะสะบัดกลับทางแนวตั้งของฟิลด์ที่ 2 ลำอิเล็คตรอนจะถูกเบี่ยงเบนให้วิ่งจากขอบจอด้านล่างขึ้นไปสู่ขอบจอด้านบนโดยใช้เวลาประมาณ 25 เส้น (1.6 ms) เพื่อเริ่มสร้างเส้นราสเตอร์ของฟิลด์ที่ 1 ซ้ำอีก



รูปที่ 2.15 จังหวะการกราดเส้นราสเตอร์แนวนอน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้
37124

การสร้างราสเตอร์จะสลับกันไประหว่างฟิลด์ที่ 1 และฟิลด์ที่ 2 ด้วยอัตรา 50 ครั้งต่อวินาที เนื่องจากมีความเร็วสูงมาก ตาจะสังเกตการเปลี่ยนแปลงไม่ได้จึงมองเห็นเป็นเส้นราสเตอร์จำนวน 625 เส้น (รวมจังหวะสะบัดกลับทางแนวตั้ง 50 เส้นด้วย) ปรากฏเต็มจอตลอดเวลา



รูปที่ 2.16 จังหวะการกราดจนครบ 1 ภาพ

2.4.4 การสร้างภาพหน้าจอโทรทัศน์

สัญญาณภาพจากสถานีโทรทัศน์ถูกส่งมาเป็นชุดๆ แต่ละชุดเรียกว่าสัญญาณ 1 ฟิลด์ ซึ่งประกอบด้วยรายละเอียดของสัญญาณภาพจำนวน 312.5 เส้น (รวมจังหาะสะบัดกลับทางแนวตั้งด้วย) อันเป็นอัตราเดียวกับการกราดของราสเตอร์ที่หน้าจอภาพของเครื่องรับ 1 ฟิลด์เช่นกัน สัญญาณภาพแต่ละเส้นจะทำให้ราสเตอร์แต่ละเส้นเปลี่ยนแปลงความสว่างเกิดเป็นส่วนของภาพปรากฏขึ้นที่หน้าจอภาพ สัญญาณจำนวน 2 ฟิลด์จะทำให้ราสเตอร์จำนวน 625 เส้น เปลี่ยนแปลงความสว่างเกิดเป็นภาพที่สมบูรณ์ปรากฏขึ้นภาพ 1 ภาพ ในเวลา 1/25 วินาที (อัตราการเกิดภาพที่หน้าจอเครื่องรับโทรทัศน์เท่ากับ 25 ภาพต่อวินาที)

2.5 การเปลี่ยนสัญญาณอนาลอกเป็นดิจิตอล (Analog to Digital Conversion)

สัญญาณ $f(t)$ จะถูกเรียกว่าเป็นสัญญาณที่มีความต่อเนื่องกับเวลา (continuous time) หรือสัญญาณอนาลอก (analog signal) ซึ่งสามารถที่จะหาค่าได้ทุกๆค่าของตัวแปรเวลา (time;t) ถ้า $f(t)$ ถูกกำหนดให้มีค่าเป็นค่าหนึ่งๆที่เวลา t ใดๆ มันจะถูกเรียกว่าสัญญาณที่ไม่ต่อเนื่อง (discrete time signal หรือ analog sampled data signal)

สมมติว่า $f(t)$ เป็นสัญญาณที่ไม่ต่อเนื่อง ขนาดของ $f(t)$ จะมีค่าเป็นค่าที่ไม่ต่อเนื่อง ที่เวลา t หนึ่งๆเท่านั้นและถ้าค่านั้นถูกแสดงโดยรหัส (code) เช่นรหัสฐาน 2 (binary code) สัญญาณนั้นๆจะถูกเรียกว่าสัญญาณดิจิตอล (digital signal)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ก่อนที่สัญญาณอนาลอกจะสามารถประมวลผลในระบบดิจิตอลได้นั้น มันจะต้องถูกเปลี่ยนไปให้อยู่ในรูปของสัญญาณดิจิตอลเสียก่อน

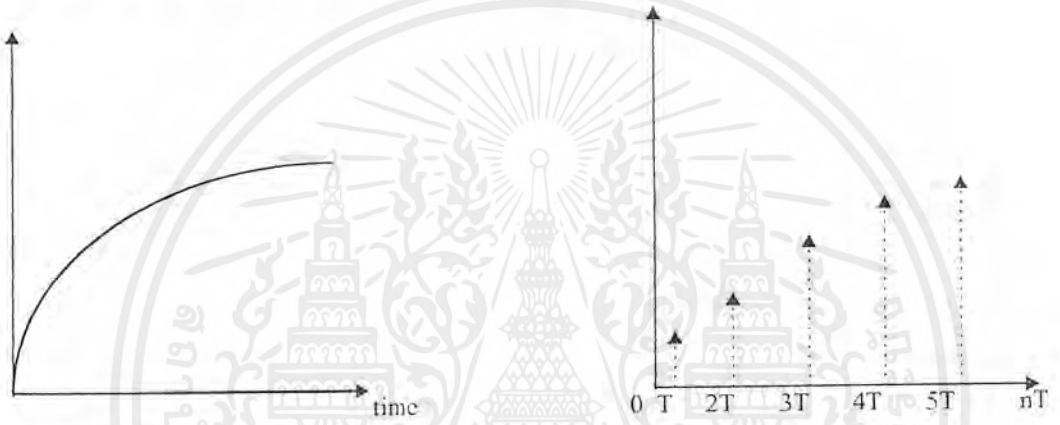
ขั้นแรกในกระบวนการแปลงสัญญาณดิจิตอล (digitization process) ก็คือการสุ่มเอาสัญญาณ f(t) ที่เป็นจังหวะของเวลา (regular) : nT (n = 0,±1,±2,.....) ซึ่งมันก็คือการเปลี่ยนสัญญาณที่มีความต่อเนื่องของเวลาไปเป็นสัญญาณที่ไม่มีความต่อเนื่องนั่นเอง ตอนนี้เราจะได้สัญญาณนี้เป็น f(nT) ซึ่ง T เรียกว่าคาบเวลาของการสุ่ม (sampling period) ดังนั้นสัญญาณจะขึ้นอยู่กับลำดับของตัวเลข

$$\{f(nT)\} = \{f(0), f(\pm T), f(\pm 2T), \ldots\ldots\ldots\ldots\} \qquad (2.9)$$

f(t) = 0 ; t< 0 จะได้

$$\{f(nT)\} = \{f(0), f(1), f(2), \ldots\ldots\ldots\ldots\} \qquad (2.10)$$

ในสมการข้างต้นสัญญาณ f(nT) จะเป็นค่าที่สุ่มในลำดับที่ n



ก) สัญญาณอนาล็อก ข) สัญญาณที่ไม่ต่อเนื่อง

รูปที่ 2.17 ความแตกต่างของสัญญาณก่อนและหลังการสุ่ม

2.5.1 การสุ่มสัญญาณ (sampling)

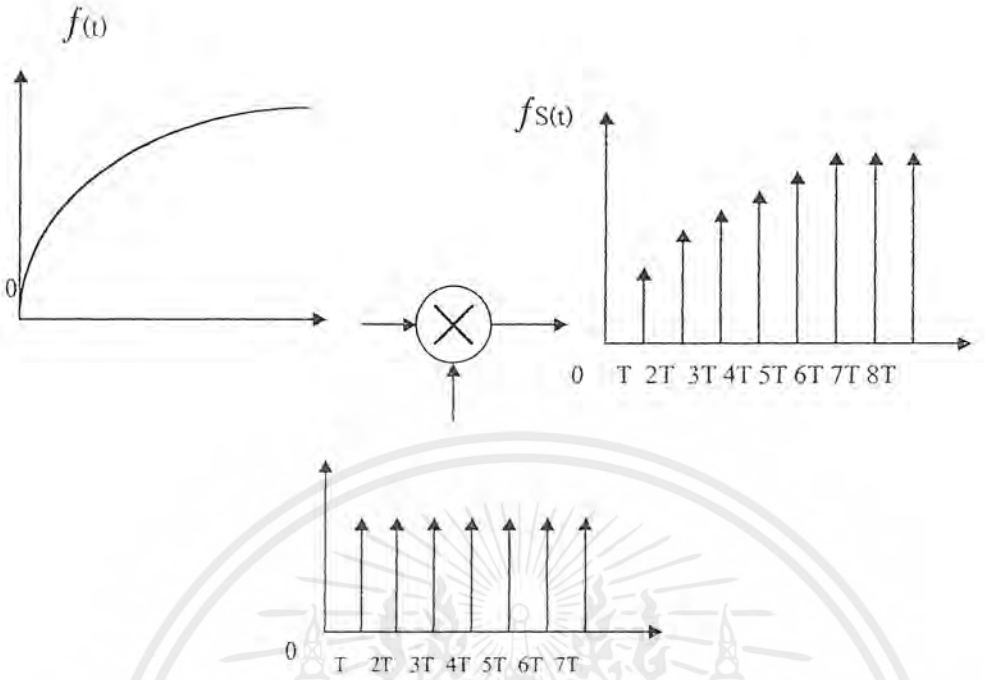
การสุ่มสัญญาณในทางอุดมคติโดยใช้อิมพัลส์ (ideal impulse sampling) ถึงแม้ว่าสัญญาณอิมพัลส์ในทางปฏิบัติกายภาพ (physically) จะไม่สามารถผลิตขึ้นมาได้แต่ก็มีความสำคัญมาก ในการอธิบายการสุ่มสัญญาณจะพิจารณาสัญญาณอนาลอก f(t) ถูกคูณด้วยสัญญาณที่เป็นขบวนอิมพัลส์ (impulse trains)

$$\delta(t) = \sum_{n=-\infty}^{\infty} \delta(t - nT) \qquad (2.11)$$

เราจะได้สัญญาณเป็น fs(t)

$$fs(t) = f(t) \sum_{n=-\infty}^{\infty} \delta(t - nT) \qquad (2.12)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.18 การโมดูเลท (modulate) ด้วยอิมพัลส์

โดยการใช้คุณสมบัติคือ

$$fs(t) = \sum_{n=-\infty}^{\infty} f(nT)\,\delta(t - nT) \qquad (2.13)$$

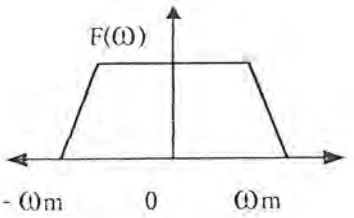
ซึ่งค่าของ fs(t) เท่ากับค่าชั่วขณะของ f(t) ที่ลำดับ n คือ f(nT) คูณกับขบวนสัญญาณของอิมพัลส์นั่นเอง ในรูปที่ 2.18 จะเป็นตัวอย่างของการโมดูเลทแบบอิมพัลส์ซึ่งจะถือว่าขบวนสัญญาณพัลส์เป็นสัญญาณการสุ่ม (sampling signal)

พิจารณาผลของกระบวนการสุ่มสัญญาณโดยฟูเรียร์ทรานสฟอร์มของสัญญาณเดิม f(t) เราให้

$$f(t) \Leftrightarrow F(\omega)$$

สมมติเราให้ $F(\omega)$ มีย่านจำกัดอยู่ที่ ω_m ดังรูปที่ 2.19

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



$$|F(\omega)| = 0 \; ; \; |\omega| \geq \omega m$$

รูปที่ 2.19 สเปกตรัมของสัญญาณ f(t)

โดยความสัมพันธ์ของคอนโวลูชั่นมาประยุกต์แล้วพิจารณา f(t) และ $S_\infty(t)$ เพราะฉะนั้นเราจะได้ผลการแปลงฟูเรียร์ของสัญญาณ fs(t)

$$F[fs(t)] = F[f(t)\,\delta_\infty(t)]$$

$$= \frac{1}{2\pi} F[f(t)] * F\left[\sum_{r=-\infty}^{\infty} \delta(t - nT)\right] \qquad (2.14)$$

$$F\left[\sum_{r=-\infty}^{\infty} \delta(t - nT)\right] = \omega_0 \sum_{n=-\infty}^{\infty} \delta(\omega - n\omega_0)$$

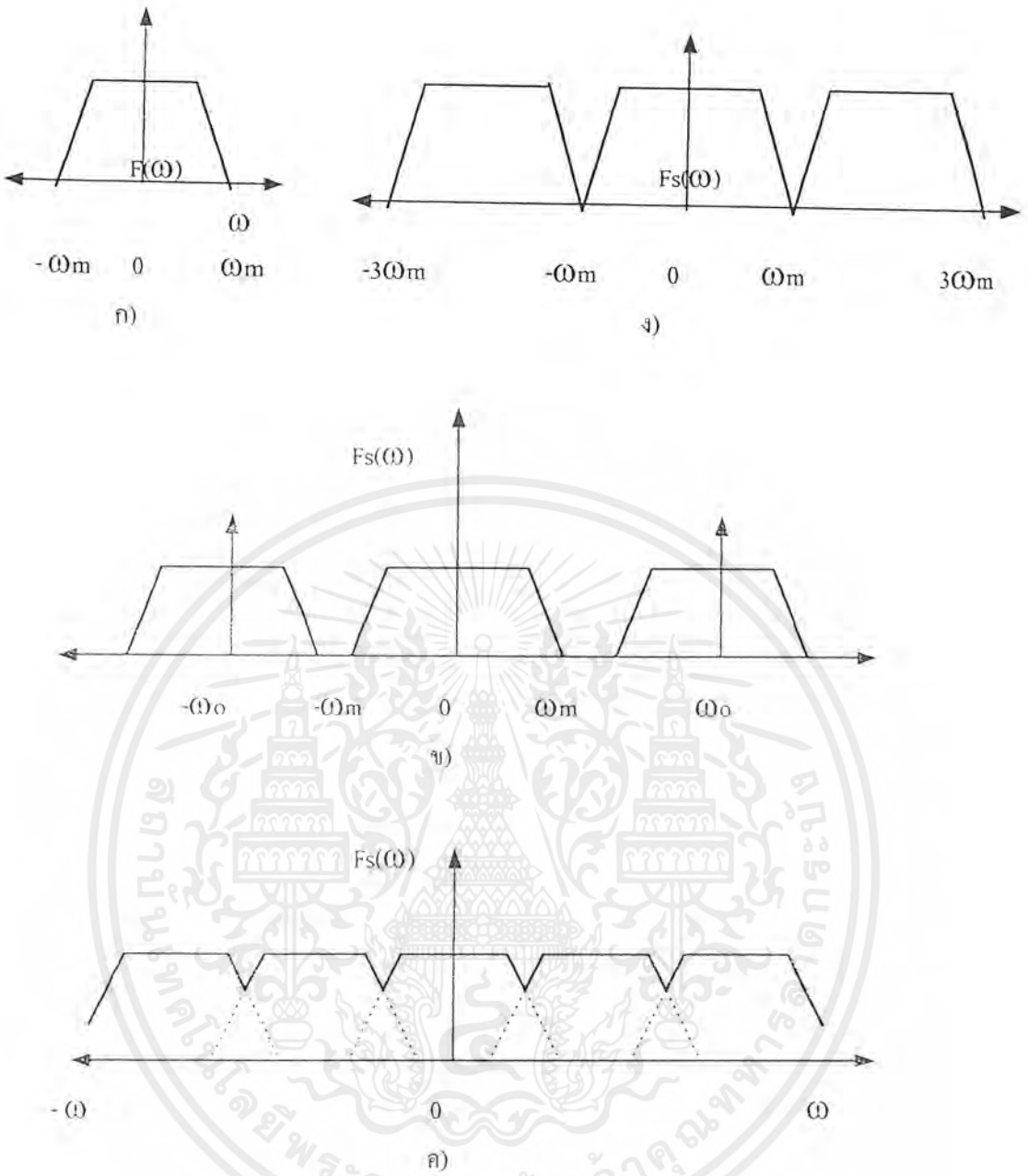
$$= \frac{2\pi}{T} \sum_{n=-\infty}^{\infty} \delta\left(\omega - \frac{2n\pi}{T}\right) \qquad (2.15)$$

ในกระบวนการของคอนโวลูชั่น เราจะได้

$$Fs(\omega) = \frac{1}{T} \sum_{n=-\infty}^{\infty} F(\omega - n\omega_0) \qquad (2.16)$$

ดังนั้นสเปกตรัมของสัญญาณที่ถูกสุ่มจะประกอบด้วยสเปกตรัมของ ซึ่งเป็นสัญญาณเดิม กระจายออกไปเป็นคาบตามแกนของ ดังรูปที่ 2.20 ซึ่งเป็นสิ่งที่สำคัญมากเพราะมันจะเป็นผลที่ตามมาเนื่องจากกระบวนการสุ่มสัญญาณ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.20 ผลจากกระบวนการสุ่มสัญญาณ

ก) สเปกตรัมของสัญญาณเดิม

ข) สเปกตรัมของการสุ่มสัญญาณที่ $\omega_0 > 2\omega m$

ค) สเปกตรัมของการสุ่มสัญญาณที่ $\omega_0 < 2\omega m$

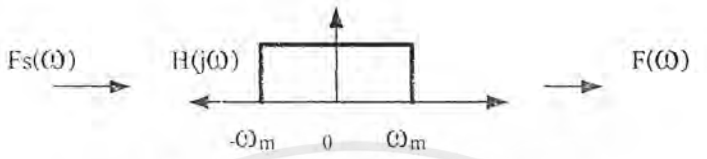
ง) สเปกตรัมของการสุ่มสัญญาณที่ $\omega_0 = 2\omega m$

ซึ่ง $\omega_0 > 2\omega m$ หมายความว่า ω_0 เป็นความถี่ของการสุ่มสัญญาณที่มีค่ามากกว่า 2 เท่าของความถี่สูงสุดของสัญญาณ f(t) ; F(ω) ในกรณีนี้ F(ω) สามารถที่จะกู้สัญญาณกลับคืนมาได้โดยการให้ Fs(ω)ผ่านวงจรกรองความถี่ต่ำซึ่งจะจำกัดสเปกตรัมดังนี้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$\sum_{r=-\infty}^{\infty} F(\omega - r\omega_0) \qquad \text{for} \quad r = 1,2,3,..... \tag{2.17}$$

ในรูป ค) สเปกตรัมของ Fs(ω) แสดงกรณีของ $\omega_0 < 2\omega m$ ซึ่งจะหมายความว่าความถี่ของการสุ่มสัญญาณน้อยกว่าสองเท่าของความถี่สูงสุดของสัญญาณเดิม ในกรณีนี้สเปกตรัมที่เป็นคาบๆ จะเกิดการทับกัน (overlap) ผลที่ตามมาเรียกว่า "การทับซ้อน" (aliasing) ซึ่งทำให้เราไม่สามารถที่จะกู้สัญญาณ (recovery) เดิมกลับคืนมาได้แม้จะเป็นวงจรกรองแบบอุดมคติก็ตาม



รูปที่ 2.21 กระบวนการกู้สัญญาณกลับคืน

ส่วนรูป ง) แสดงกรณีของความถี่ของการสุ่มสัญญาณเท่ากับสองเท่าของความถี่สูงสุดของสัญญาณเดิม ($\omega_0 = 2\omega m$:critical frequency) กรณีนี้เป็นไปได้ตามหลักที่สามารถกู้สัญญาณเดิมกลับคืนมาโดยให้ Fs(ω) ผ่านวงจรกรองความถี่ต่ำที่เป็นแบบอุดมคติซึ่งมีความถี่คัทออฟที่ ωm เพราะฉะนั้นเราจะได้เงื่อนไขของการสุ่มสัญญาณ (sampling condition) คือ อัตราการสุ่มสัญญาณ (sampling rate) ต่ำสุดที่ไม่ก่อให้เกิดการทับซ้อนจะต้องมีค่าเท่ากับ 2 เท่าของความถี่สูงสุดของสัญญาณอนาลอก f(t) ซึ่งอัตราการสุ่มสัญญาณต่ำสุดจะเรียกว่า "ความถี่ไนควิสท์ (nyquist frequency :ωm)

ทฤษฎีของการสุ่มสัญญาณ (Sampling Theorem)

สัญญาณอนาลอก f(t) ซึ่งมีสเปกตรัมที่มีย่านจำกัด (band limited) อยู่ที่ ωm และสามารถกู้สัญญาณกลับคืนมาได้จาก f(nT) ที่มีอัตราการสุ่มสัญญาณคือ

$f_n = \omega_{n/2}$ ซึ่ง $\omega_n = 2\omega m$

สัญญาณ f(t) ถูกกำหนดให้อยู่ในรูปของค่าที่ได้จากการสุ่มสัญญาณ f(nT) จะได้

$$f_n = \frac{\omega_n}{2\pi} \quad (= 1/T) \quad \text{ซึ่ง } \omega_n = 2\omega m \tag{2.18}$$

$$f(t) = \sum_{n=-\infty}^{\infty} f(nT)\frac{\sin \omega m (t - nT)}{\omega m (t - nT)} \tag{2.19}$$

$$T = \frac{\pi}{\omega m} = \frac{2\pi}{\omega_n} = \frac{1}{f_n}$$

สมการที่ (2.19) สามารถพิสูจน์ได้ นั่นคือสัญญาณ f(t) ที่ว่านี้ได้มาจากการกู้สัญญาณกลับคืนมาจากสเปกตรัมของ Fs(ω) โดยการเอา fs(ω) ผ่านเข้าไปในวงจรกรองความถี่แบบอุดมคติที่มีขนาดเท่ากับ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

T และมีความถี่คัทออฟอยู่ที่ ωm สมมติว่า $\omega_0 = 2\omega m$ เราจะได้ผลตอบสนองของอิมพัลส์ในวงจรกรองดังนี้

$$h(t) = F^{-1}[H(j\omega)] \tag{2.20}$$
$$H(j\omega) = T \qquad |\omega| \le \omega m$$
$$= 0 \qquad |\omega| > \omega m$$

จากรูปที่ 2.21 เราใช้ความสัมพันธ์ของการทรานสฟอร์มกลับของฟูเรียร์จะได้

$$h(t) = \frac{T \sin \omega mt}{\pi t}$$
$$= \frac{\sin \omega mt}{\omega mt} \tag{2.21}$$

และเอาต์พุทของวงจรกรองคือ

$$f(t) = fs(t) * h(t) \tag{2.22}$$
$$= \int_{-\infty}^{\infty} \left(\sum_{n=-\infty}^{\infty} f(nT)\delta(t-nT) \frac{\sin \omega m(t-\tau)}{\omega m(t-\tau)} \right) d\tau$$
$$= \sum_{n=-\infty}^{\infty} \left[\int_{-\infty}^{\infty} \left(f(nT)\delta(t-nT) \frac{\sin \omega m(t-\tau)}{\omega m(t-\tau)} \right) d\tau \right] \tag{2.23}$$

เป็นความสัมพันธ์ของคอนโวลูชันจะได้

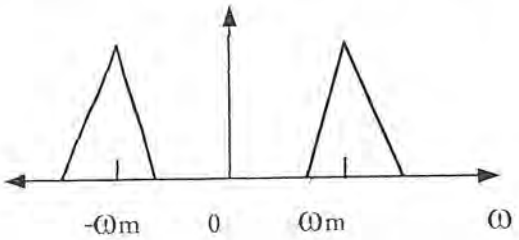
$$f(t) = \sum_{n=-\infty}^{\infty} f(nT)\delta(t-nT) \frac{\sin \omega m(t-\tau)}{\omega m(t-\tau)} \tag{2.24}$$

โดยที่กล่าวมาข้างต้นนี้เป็นการพิจารณากระบวนการสุ่มสัญญาณ สามารถสรุปได้ดังนี้

1)เลือกความถี่ในการสุ่มสัญญาณโดยถูกกำหนดจากองค์ประกอบของความถี่สูงสุดในสเปกตรัมของฟูเรียร์ (fourier spectrum) ของ f(t) ซึ่งในทางปฏิบัติสัญญาณควรมีแบนด์วิดท์ที่จำกัดอยู่ที่ $\omega_n/2$ (ω_n : ความถี่ของการสุ่มสัญญาณ)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2)การสุ่มสัญญาณที่จุดวิกฤตด้วย $\omega_s=2\omega m$ เราจะต้องใช้วงจรกรองความถี่อุดมคติมากู้สัญญาณเดิมกลับคืน แต่ในทางฟิสิกส์ไม่สามารถที่จะสร้างได้ดังนั้นในทางปฏิบัติ ความถี่ของการสุ่มสัญญาณควรเลือกให้มีค่าสูงกว่าอัตราไนควิสท์ จึงจะสามารถกู้สัญญาณเดิมกลับมาได้หมด



รูปที่ 2.22 สเปกตรัมของสัญญาณแบนด์พาส (bandpass)

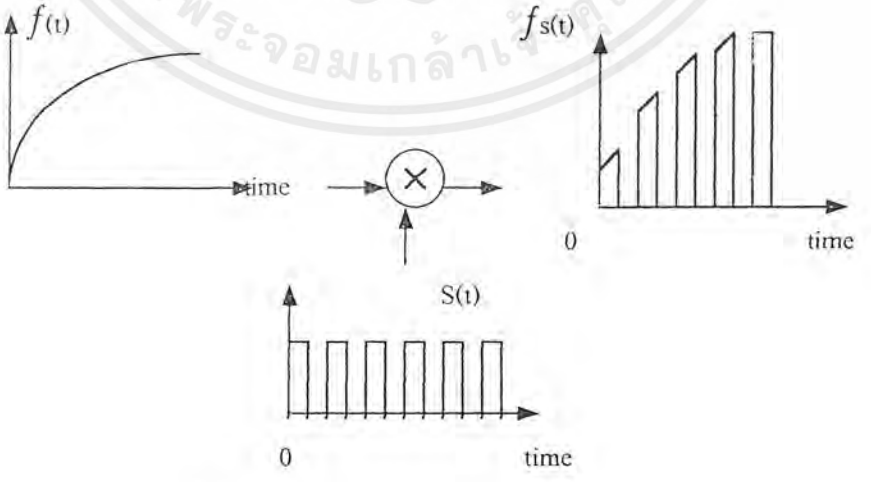
จากรูปที่ 2.22 แสดงให้เห็นว่าความถี่ของสัญญาณการสุ่มมีค่าเป็น $\omega_s= 2(\omega_2-\omega_1)$ ซึ่งการที่จะกู้สัญญาณกลับคืนมาได้นั้นเราจะต้องใช้วงจรกรองแบบย่าน (Band Pass Filter)

2.5.1.1 การสุ่มสัญญาณในทางปฏิบัติ (Practical sampling function)

ในเนื้อหาก่อนๆนั้น เราพิจารณาการสุ่มสัญญาณโดยความหมายของอิมพัลส์ แต่ในทางปฏิบัติการสุ่มสัญญาณโดยการใช้อิมพัลส์นั้นมันเป็นไปไม่ได้ ดังนั้นเราจึงใช้วิธีการสุ่มสัญญาณด้วยการที่มีความใกล้เคียงกับการสุ่มสัญญาณอิมพัลส์มากที่สุด

2.5.1.2 การสุ่มสัญญาณแบบธรรมชาติ (Natural sampling)

พิจารณาสัญญาณ f(t) ที่มีย่านความถี่เท่ากับ ωm ที่ถูกคูณด้วย f(t) (เป็นฟังก์ชันของการสุ่มสัญญาณ) ซึ่งเป็นขบวนพัลส์สี่เหลี่ยม (Rectangular pulse train) ดังรูปข้างล่างนี้ และ s(t) มีอนุกรมฟูเรียร์ (fourier series) ดังนี้



รูปที่ 2.23 การสุ่มสัญญาณแบบธรรมชาติ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$s(t) = \sum_{k=-\infty}^{\infty} ck\left(e^{jk\omega_0}\right) \tag{2.25}$$

$$ck = \frac{\tau}{T}\left(\frac{\sin(k\pi\tau/T)}{k\pi\tau/T}\right) \tag{2.26}$$

ซึ่ง τ ก็คือความกว้างของพัลส์และ $T= 2\pi\omega_0$ เป็นคาบเวลาของสัญญาณการสุ่ม ผลลัพธ์ของการคูณระหว่าง f(t) กับ s(t) แสดงไว้ในรูปข้างบน

$$fs(t) = f(t)*s(t)$$

$$= \sum_{k=-\infty}^{\infty} ck * f(t)\left(e^{jk\omega_0 t}\right) \tag{2.27}$$

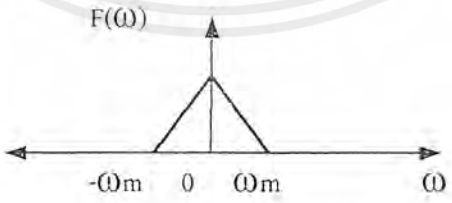
เพราะฉะนั้นผลการแปลงฟูเรียร์จะได้

$$Fs(\omega) = \int_{-\infty}^{\infty}\left[\sum_{k=-\infty}^{\infty} ck * f(t)\left(e^{-j\omega t}\right)\right]dt \tag{2.28}$$

$$= \sum_{k=-\infty}^{\infty} ck\left[\int_{-\infty}^{\infty} f(t)\left(e^{-j(\omega-k\omega_0 t)}\right)dt\right]$$

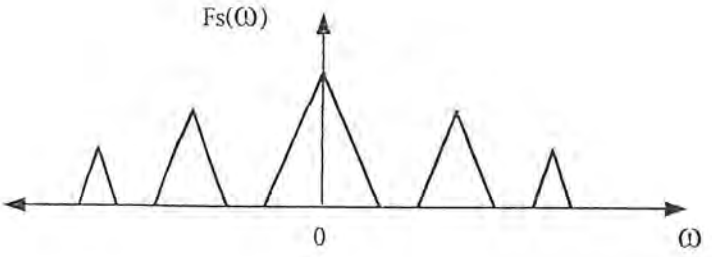
$$= \sum_{k=-\infty}^{\infty} ckF(\omega - k\omega_0)$$

สมการข้างต้นนี้แสดงให้เห็นว่าสเปกตรัมของสัญญาณ (sampled signal) จะมีความคล้ายคลึงกับการใช้อิมพัลส์มาสุ่มสัญญาณยกเว้นย่านด้านข้าง (sideband) คือ $F(\omega-K\omega_0)$ จะมีค่า ck คูณอยู่ (ck คือ สัมประสิทธิ์ฟูเรียร์ของ s(t) หรือ fourier coefficients) ดังนั้นสเปกตรัมจะแสดงได้ดังรูปนี้



ก)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



ข)

รูปที่ 2.24 สเปกตรัมของสัญญาณ

ก) สัญญาณเดิม (baseband signal)

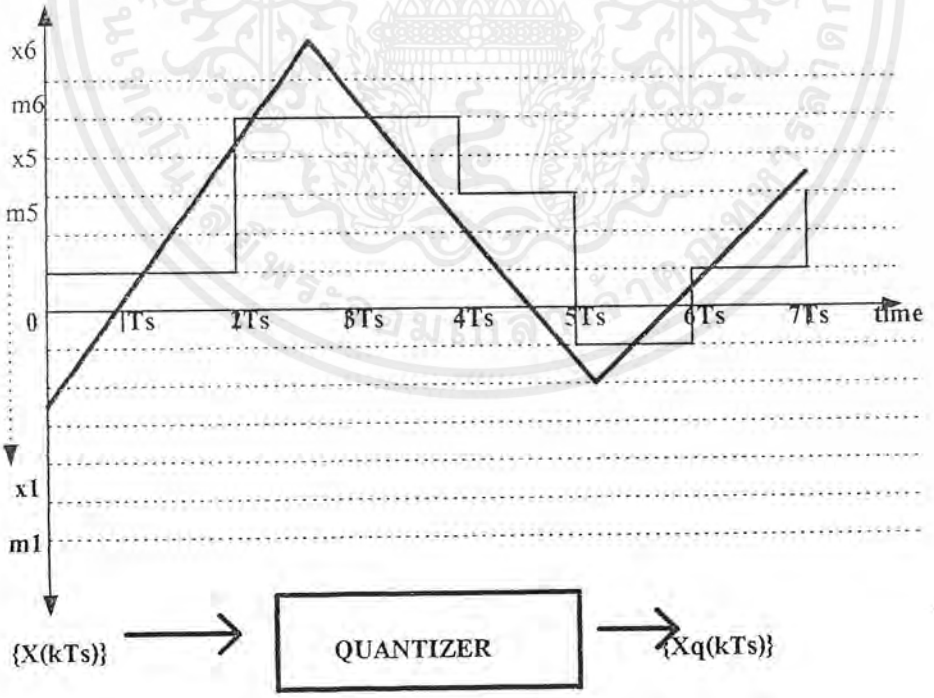
ข) สัญญาณหลังจากการถูกสุ่ม (natural sampling)

จะเห็นว่าการสุ่มสัญญาณแบบนี้เราก็สามารถกู้สัญญาณเดิมกลับคืนมาได้เช่นกันและเงื่อนไขของทฤษฎียังใช้ได้เหมือนกันกับกรณีของการสุ่มสัญญาณโดยอิมพัลส์อีกด้วย

จากสมการทั้งหมดที่กล่าวมานั้น รูปร่างของสัญญาณหลังการสุ่มไม่ว่าจะโดยอิมพัลส์หรือพัลส์แบบสี่เหลี่ยมมันไม่ได้เป็นจุดสำคัญเลย หากแต่จะมีความแตกต่างอยู่อย่างเดียวเท่านั้นคือสัมประสิทธิ์ของฟูเรียร์นั่นเอง

2.5.2 การควอนไตซ์ (Quantization)

การประมาณค่าของสัญญาณอนาลอกที่ถูกสุ่มแล้วนั้นจะใช้กลุ่มของระดับเรียกว่าการควอนไตซ์ ซึ่งการควอนไตซ์เป็นการเปลี่ยนขนาดของสัญญาณที่ถูกสุ่มแล้วเป็นขนาดของสัญญาณที่ไม่ต่อเนื่อง เพราะฉะนั้นการสุ่มสัญญาณและการควอนไตซ์จึงเป็นกระบวนการที่เปลี่ยนข่าวสารทางอนาลอกเป็นลำดับสัญญาณที่ระดับต่างๆกัน ซึ่งตัวอย่างการควอนไตซ์แสดงในรูปที่ 2.25



รูปที่ 2.25 การทำงานของตัวควอนไตซ์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

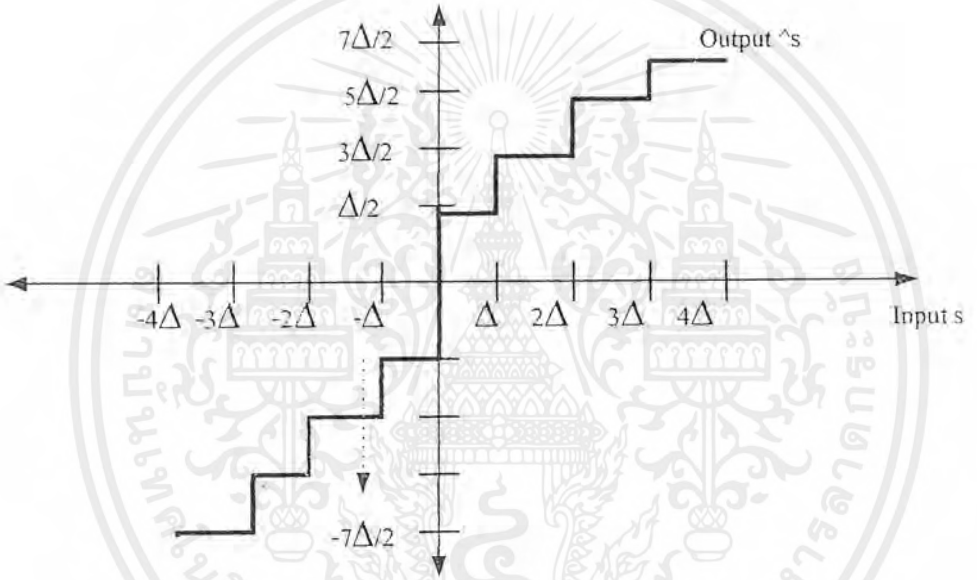
ถ้าอินพุทของตัวควอนไตซ์ (quantizer) คือ X(t) ซึ่งเป็นสัญญาณที่มีรูปร่างต่างๆ (random waveform) ที่ถูกสุ่มสัญญาณด้วยอัตราที่เหมาะสม ดังนั้นด้านทางออกของตัวควอนไตซ์คือ $X_q(t)$ ดังนั้น สัญญาณทางออกที่เป็นฟังก์ชันของเวลาจะกลายเป็น $X_q(kTs)$

$$X_q(t) = X_q(kTs) \qquad ;kTs \leq t < (k+1)Ts$$

เราพิจารณาการควอนไตซ์สองวิธีหลักๆ ปัญหาของการควอนไตซ์ประกอบด้วยปัญหาของการประมาณค่า X(t) (เป็นสัญญาณที่ถูกสุ่ม) ไปเป็นสัญญาณที่ไม่ต่อเนื่อง $X_q(t)$ ซึ่งจะมีค่าผิดพลาดเกิดขึ้น โดยมีค่าในฟังก์ชันของความแตกต่างกันยกกำลังสอง $E\{(X-X_q)^2\}$ ค่านี้จะเป็นตัวบอกปริมาณความผิดพลาด วิธีการควอนไตซ์มีดังนี้

2.5.2.1 การควอนไตซ์แบบรูปแบบเดียวกัน (Uniform quantization)

คุณสมบัติของอินพุทและเอาต์พุทของการควอนไตซ์แบบนี้แสดงในรูปที่ 2.26



รูปที่ 2.26 ตัวควอนไตซ์แบบรูปแบบเดียวกัน

ค่า -3Δ , -2Δ ,$-\Delta$,0 , Δ , 2Δ และ 3Δ ถูกกำหนดไปตามแกนx (absissa) เรียกว่าจุดของสเตป (step point) และค่านอกเหนือจากนี้คือ -4Δ และ 4Δ เรียกว่าจุดโอเวอร์โหลด(overload point) ค่าที่อยู่ในแนวแกน คือ $-7\Delta/2$,....., $-\Delta/2$, $\Delta/2$,....., $7\Delta/2$ เรียกว่าขนาดของเอาต์พุท (output level) วิธีการควอนไตซ์แบบนี้เป็นการควอนไตซ์ที่มีรูปแบบเดียวกัน การวางระยะห่างระหว่างจุดสเตปหรือขนาดของเอาต์พุทมีค่าเท่ากันคือ Δ

Δ เรียกว่าขนาดของสเตป การควอนไตซ์ที่ไม่มีระดับที่ 0 เรียกว่ามิดไครเซอร์ (midriser) และการควอนไตซ์ที่มีระดับที่ 0 เรียกว่ามิดเทรด (midtread quantizer) ดังนั้น เมื่อคุณสมบัติในรูปที่ 2.26 มีระดับและสมมาตร (symmetry) แสดงว่ามันเป็นตัวควอนไตซ์ที่เป็นรูปแบบเดียวกัน สมมาตรแบบมิดไครเซอร์ 8 ระดับ (midriser eight level) ซึ่งมีขนาดของช่วงสเตปคือ Δ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ในรูปที่ 2.26 ถ้าสัญญาณมีอินพุทมีขนาด (sample amplitude) ; S ซึ่งมีค่าอยู่ในช่วง -∞ ถึง +∞ แต่จะมีเอาต์พุทออกมาที่เป็นไปได้มี 8 ค่าเท่านั้น คือ ^S ดังนั้นถ้าอินพุทมีขนาดอยู่ในช่วง $2\Delta \leq S < 3\Delta$ ค่าของ $\hat{S} = 5\Delta/2$ ขนาดของสัญญาณอินพุทที่มีค่ามากที่สุดคืออยู่ระหว่าง -4Δ ถึง 4Δ และมีความผิดพลาดในการควอนไตซ์สูงสุดคือ $\pm\Delta/2$ ถ้า $S > 4\Delta$ หรือ $S < -4\Delta$ ช่วงนั้นจะเรียกว่าบริเวณโอเวอร์โหลด (overload region) ช่วงนี้ค่าความผิดพลาดในการควอนไตซ์จะมากกว่า $\Delta/2$ โดยทั่วไปจะไม่พิจารณาให้มีขึ้นในการออกแบบตัวควอนไตซ์

ถ้าตัวควอนไตซ์แบบนี้ มีความยาว L ระดับและสัญญาณอินพุทมีค่าแรงดันยอดถึงยอดเท่ากับ V โวลท์ (คือ V = Smax-Smin) ถ้าสัญญาณอิ"เพุทสมมาตร (เมื่อเทียบกับศูนย์) นั่นคืออยู่ในช่วง –V/2 ถึง V/2 เราจะหาขนาดสเตปได้ดังนี้

$$\Delta = V/L$$

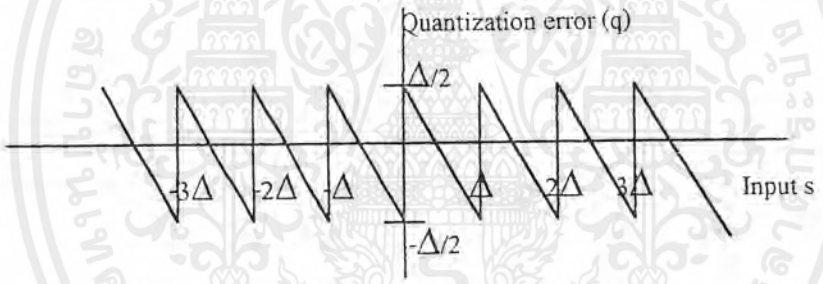
เราจะหาจุดของสเตปได้ $\pm\Delta, \pm2\Delta, \ldots\ldots, \pm[(L/2)-1]\Delta$

และระดับสัญญาณเอาต์พุทจะเป็น $\pm\Delta/2, \pm3\Delta/2, \ldots\ldots, \pm(L-1)\Delta/2$

เราจะได้ความผิดพลาดในการประมาณค่าหรือควอนไตซ์ (quantization error หรือ quantization noise)

$$q = \hat{S} - S$$

รูปร่างของ q จะได้จากรูปที่ 2.27



รูปที่ 2.27 ความผิดพลาดจากการควอนไตซ์แบบรูปแบบเดียวกัน

สำหรับสัญญาณอินพุทที่อยู่ในช่วง $-V/2 \leq S \leq V/2$, $|q| \leq \Delta/2$ (granular distortion) ถ้า $|S| > V/2$ เรียกว่าการผิดเพี้ยนโอเวอร์โหลด (overload distortion) ดังนั้นถึงแม้ว่าสัญญาณอินพุทจะเปลี่ยนแปลงมากกว่า $V = \Delta L$ ขนาดเอาต์พุทของตัวควอนไตซ์ก็จะมีอยู่แค่ช่วง $(L-1)\Delta = V-\Delta$ เท่านั้น การควอนไตซ์จึงไม่สามารถที่จะปราศจากความผิดพลาดในการประมาณค่าได้

2.5.2.2 การประมาณค่าที่มีรูปแบบไม่เป็นรูปแบบเดียวกัน (non-uniform quantization)

สิ่งที่สำคัญที่สุดในการประมาณค่าแบบนี้เป็นการประมาณค่าที่เป็นแบบล็อกการิทึม (logarithmic quantizer) ซึ่งใช้ในโครงข่ายโทรศัพท์สำหรับการแปลงสัญญาณเสียงพูดให้เป็นสัญญาณดิจิตอล แนวคิดโดยทั่วไปคือว่าการประมาณค่าแบบรูปแบบเดียวกัน ถ้าสัญญาณอินพุทมีขนาดต่ำๆ (ต่ำกว่าค่าสูงสุดมาก) มันจะมีอัตราส่วนของสัญญาณที่ควอนไตซ์แล้วต่อสัญญาณรบกวน (signal quantizer noise ratio;SQNR) ต่ำกว่าสัญญาณอินพุทที่มีขนาดสูงๆ (แต่ไม่อยู่ในช่วงบริเวณโอเวอร์โหลด)

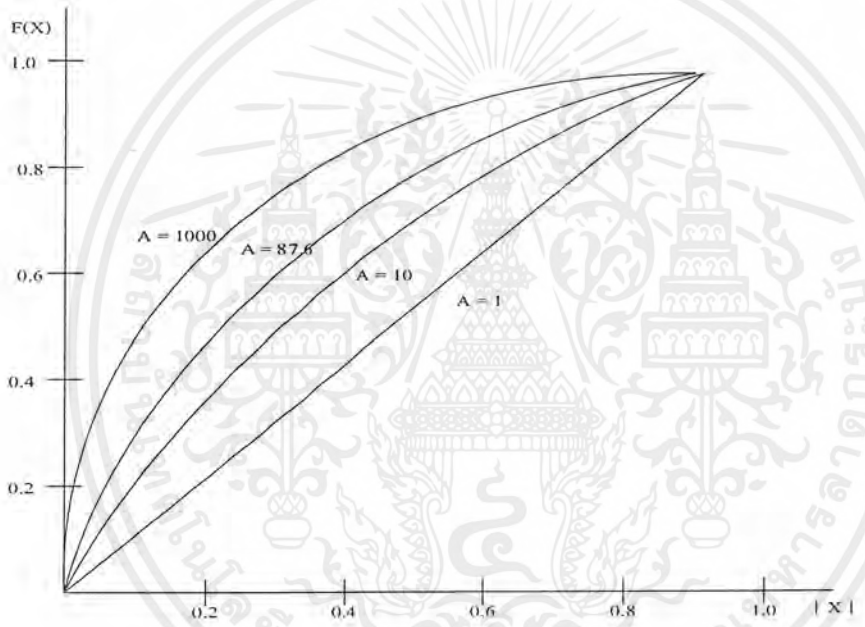
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ดังนั้นเป็นการแก้ไขข้อบกพร่องนี้ ฟังก์ชันของควอนไตซ์ค่าสัญญาณอินพุทคือเมื่อขนาดของสัญญาณอินพุทมีขนาดต่ำถ้าเป็นสัญญาณเสียงพูด สัญญาณเอาต์พุทที่ได้ต้องมี SQNR ดีคือสัญญาณเสียงพูดชัดเหมือนเดิม ในการพิจารณาสัญญาณอินพุทต่ำๆนั้นจะมีความยุ่งยากมากกว่าสัญญาณที่มีขนาดสูงๆ

ดังนั้นสำหรับสัญญาณเสียงพูด (speech signal) จึงจะใช้การประมาณค่าแบบนี้ซึ่งถูกคิดขึ้นในชื่อ "ล็อกการิทึม คอมแพนดิ้ง" (logarithmic companding)

เริ่มต้นด้วยสัญญาณอินพุทผ่านเข้าไปในตัวประมาณค่าแบบนี้ ซึ่งมีคุณสมบัติที่เป็น

$$F(x) = \mathrm{sgn}(x)\frac{\ln(1+\mu|x|)}{\ln(1+\mu)}s$$

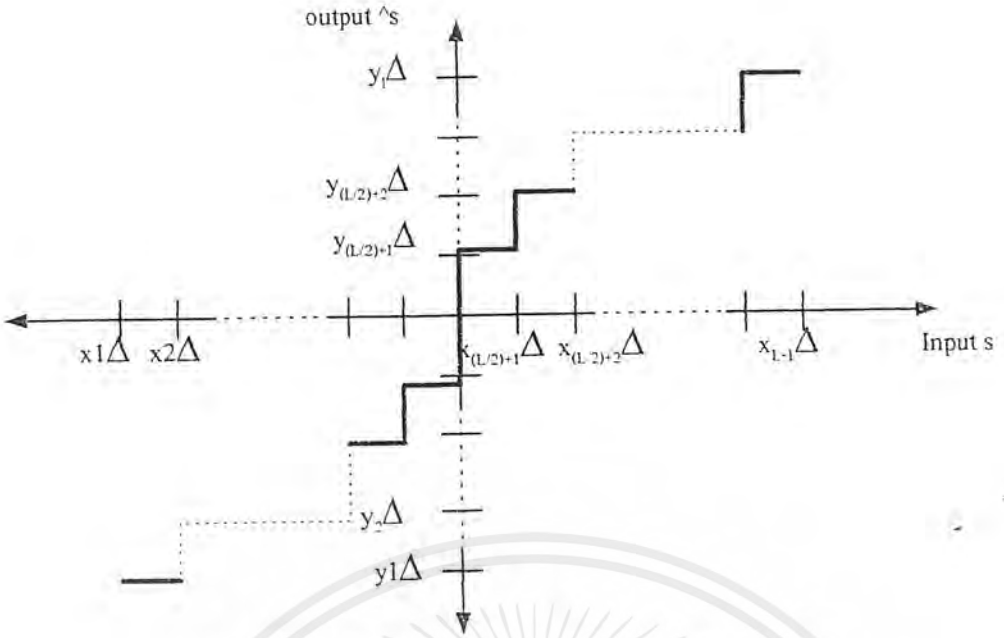


รูปที่ 2.28 แบบอย่างคุณลักษณะของคอมเพรสชัน (compression)

ซึ่ง x ก็คือสัญญาณเสียงพูด(อินพุท) ที่ถูกนอร์มอลไลซ์ (normalized) แล้ว และ μ คือพารามิเตอร์ (parameter) ซึ่งโดยทั่วไปจะใช้ค่า $\mu = 100$ หรือประมาณ $\mu = 255$ ฟังก์ชัน F(x) แสดงในรูปที่ 2.39 จะเห็นว่ามันจะมีการขยายในช่วงที่ขนาดของสัญญาณอินพุทมีขนาดต่ำมากกว่าช่วงของสัญญาณอินพุทมีขนาดสูง เมื่อ $\mu > 0$ เอาต์พุทของ F(x) อยู่ที่การควอนไตซ์ว่ามีค่ากี่บิท

การควอนไตซ์แบบนี้ รูปร่างโดยทั่วไปจะเป็นแบบมิดไรเซอร์ (midriser quantizer characteristic) ดังแสดงในรูปที่ 2.29

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.29 ตัวควอนไตซ์แบบไม่เป็นรูปแบบเดียวกัน

จุดของสเตป x0 = -∞ และ x1,x2,.....,xL-1,xL =+∞ และระดับสัญญาณเอาต์พุท y1,y2,y3,.....yL มีลักษณะคงที่

2.5.3 การเข้ารหัสสัญญาณ (Encoding)

ขั้นตอนสุดท้ายในกระบวนการแปลงสัญญาณอนาลอกเป็นสัญญาณดิจิตอลก็คือการเข้ารหัส ในการเข้ารหัสนี้จะเลือกรหัสแบบเลขฐานสอง (binary code)

สัญญาณอินพุทจะเป็นสัญญาณที่ผ่านการสุ่มและการควอนไตซ์มาแล้วให้เป็น Fq(nT) หลังจากผ่านกระบวนการนี้แล้วมันสามารถที่จะนำสัญญาณไปให้ตัวประมวลผลทำการประมวลผลสัญญาณได้ หรือสามารถเก็บไว้ในหน่วยความจำก็ได้

เราพิจารณาโดยทั่วไปรหัสจะแสดงได้ด้วย

$$N = \sum_{i=-m}^{n} c_i * r^i \qquad (2.29)$$

c_i ก็คือสัมประสิทธิ์ที่ลำดับที่ 2 และ r เรียกว่า เรดิก (radix)

$N = \{c_n, c_{n-1}, \ldots\ldots\ldots, c_0, c_{-1}, c_{-2}, \ldots\ldots\ldots c_m\}r$

ซึ่งจุดระหว่างส่วน 2 ส่วนเป็นจำนวนที่เรียกว่าจุดเรดิกตัวอย่างเช่น r = 10 เราจะมี N เป็นเลขทศนิยมตามจำนวน r จุด ดังนั้น N จะมีเลขจุดทศนิยม ค่า r มันจะแสดงว่า N เป็นเลขฐานสอง r จะเรียกว่าไบนารีพอยท์ (binary point) ดังนั้นสำหรับเลขฐานสองจะมี c_i เป็น 0 กับ 1

$0 \leq c_i \leq 1$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สำหรับเลขฐานสิบ $(N)_{10}$ จะประกอบด้วยส่วนที่เป็นจำนวนเต็มกับส่วนที่เป็นเศษส่วนสามารถเปลี่ยนไปเป็นฐาน 2 ได้โดย

1)หารเลขที่เป็นส่วนของจำนวนเต็มด้วย 2 ผลลัพธ์ที่ได้ไม่คิดเศษส่วน แล้วเอา 2 หารไปเรื่อยๆ จนได้ 0 ส่วนที่เหลือจากการหาร (เศษส่วน) ถ้ามีจะมีค่าลอจิกเป็น "1"

2)เอาส่วนของเศษส่วนคูณด้วย 2 ถ้าคูณแล้วมีค่าจำนวนเต็มด้วยให้เป็น 1 ถ้ามีค่าน้อยกว่า 1 ให้เป็น 0

ตัวอย่างเช่น $(15.375)_{10}$

ส่วนจำนวนเต็ม $(15)_{10}$

15/2 = 7----------1

7/2 = 3----------1

3/2 = 1----------1

½ = 0----------1

ส่วนของเศษส่วน $(0.375)_{10}$

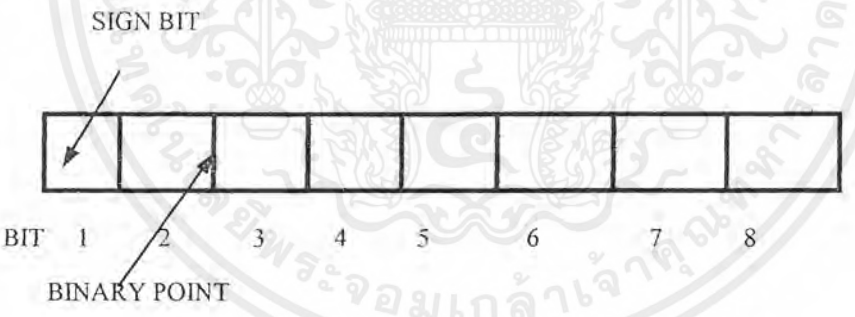
2*0.375 = 0.75-------0

2*0.75 = 1.5---------1

2*0.5 = 1----------1

2*0 = 0----------0

ดังนั้นจะได้ $(15.375)_{10} = (1111.0110)_2$



รูปที่ 2.30 ส่วนประกอบของรหัสฐาน 2 จำนวน 8 บิท

ตำแหน่งแรกเป็นบิทที่บอกเครื่องหมายของเลขนั้น มีอยู่ 3 วิธีในการเปลี่ยนขนาดของสัญญาณอินพุทซึ่งเป็นฐานสิบที่มีค่าเป็นลบ คือ

1) ไซค์แมกนีจูด (signed magnitude) จะแสดงเครื่องหมายที่บิทนัยสำคัญมากที่สุด (most significant bit:MSB) ถ้าตำแหน่งบิท MSB มีบิทเป็น "0" แสดงว่าเป็นจำนวนค่าบวก ถ้า "1" จะแสดงว่าเป็นค่าลบเช่น

$(+5.75)_{10} = (0101.110)_2$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$(-5.75)_{10} = (1101.110)_2$

วิธีนี้โดยทั่วไปจะใช้ในเลขจำนวนบวก ส่วนเลขลบจะถูกใช้ใน 2 วิธีหลัง

2) วันคอมพลีเมนท์ (one's complement) จะแสดงค่า N ดังนี้

$$Noc = N \quad ;N \geq 0$$

$$Noc = 2\text{-}2^{-L}\text{-}\left|N\right| \quad ;N < 0$$

ซึ่ง L คือจำนวนบิท

ยกตัวอย่าง

$$(N)_{10} = (-6.625)_{10} \quad ;L = 7$$

$$Noc = 2\text{-}2^{-L}\text{-}\left|N\right|$$

$$= (1001.10)_2$$

$$(N)_{10} = (6.625)_{10}$$

$$= (0110.101)_2$$

3) ทูคอมพลีเมนท์ (two's complement)

$$Ntc = N \quad ;N \geq 0$$

$$Ntc = 2\text{-}\left|N\right| \quad ;N < 0$$

จะแสดงเลขฐานสิบที่เป็นค่าลบให้อยู่ในรูปของเลขฐานสองก็โดยการบวก 1 ไปยังบิทนัยสำคัญน้อยที่สุด (least significant bit;LSB) ตัวอย่างเช่น

จากวันคอมพลีเมนท์

$$(-6.625)_{10} = (1001.10)_2$$

$$Ntc = (1001.011)_2$$

2.6วงจรรวมของวงจรนับแบบซิงโครนัส

2.6.1 วงจรนับที่โปรแกรมได้

ส่วนมากแล้ววงจรนับแบบซิงโครนัส จะปรากฏอยู่ในรูปของวงจรรวม ที่สามารถพรีโหลด (preload) ได้ด้วยตัวเลขไบนารี่ ในรูปแบบขนานเข้าไปเพื่อเป็นการเริ่มต้นการนับ การพรีโหลดนี้สามารถทำให้วงจรนับเริ่มจากศูนย์ หรือ เลขอื่น ๆ ที่เป็นไปได้ เช่นนี้เราอาจเรียกวงจรนับนี้ว่าเป็น " วงจรนับที่สามารถโปรแกรมได้"

ในการโหลดแบบอะซิงโครนัส การเริ่มต้นสถานะถูกโหลดโดยการใช้ขาอินพุทเซ็ต และ เคลียร์บนตัวฟลิบฟลอบโดยตรง โดยไม่สนใจคล็อค ส่วนในการโหลดแบบซิงโครนัส การเริ่มต้นสถานะ ถูกโหลดโดยขอบขาของคล็อค โดยใช้ขาอินพุท เจ และ เค ของฟลิบฟลอบ

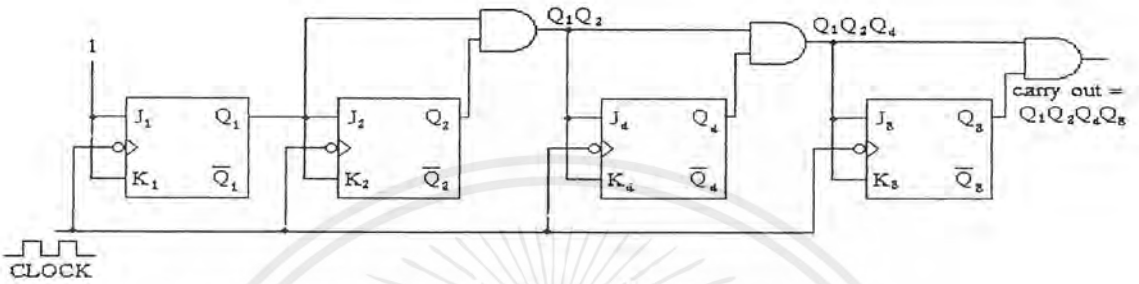
การโหลดแบบซิงโครนัส โดยทั่วไปต้องใช้ความละเอียดรอบคอบในการต่อวงจรลอจิกเข้ากับอินพุท เจ และ เค เนื่องจากอินพุท เจ และ เค นี้ใช้สำหรับควบคุมการนับเรียงลำดับแบบปกติอยู่แล้ว การโหลดทั้งสองกรณี วงจรจะแยกควบคุมอินพุทโหลดซึ่งจะต้องทำการโหลดให้สำเร็จ บางวงจรสามารถที่

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

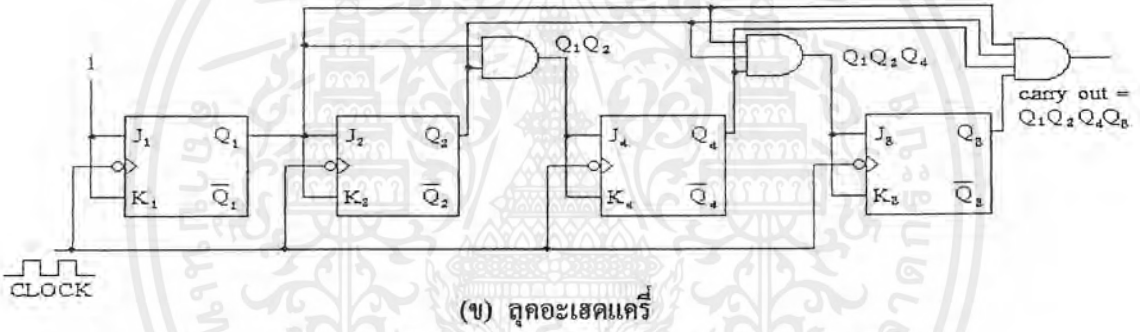
จะโหลดได้ทั้งแบบซิงโครนัส และ อะซิงโครนัส โดยมีชุดควบคุมอินพุทโหลด เช่น SLOAD และ ALOAD เพื่อให้สามารถเลือกชนิดการโหลดได้แบบใดแบบหนึ่ง

2.6.2 ลุคอะเฮดแคร์รี่(Look-Ahead Carry)

เราทราบมาแล้วว่าอินพุท เจ-เค ในวงจรนับไบนารี่แบบซิงโครนัส ถูกควบคุมโดย $J_n = K_n = Q_1Q_2...Q_{n-1}$ ดังรูป 2.31 (ก) แสดงการใช้ลอจิกในวงจรนับ 4 บิต โดยการใช้แอนด์เกต ต่อเข้ากับฟลิปฟลอบแต่ละตัว ซึ่งเรียกลอจิก $Q_1Q_2...$ นี้ว่า " แคร์รี่" ซึ่งถูกต่อไปยังภาคต่อไปของวงจรนับ ดังรูป 2.31(ก) เป็นแบบ ริบเปิลแคร์รี่ ซึ่งวงจรเช่นนี้จะเป็นการจำกัดความเร็วในการนับของวงจรนับแบบซิงโครนัส



(ก) ริบเปิลแคร์รี่



(ข) ลุคอะเฮดแคร์รี่

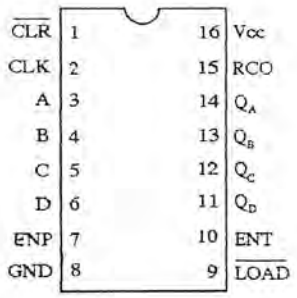
รูป 2.31 การเปรียบเทียบริบเปิลแคร์รี่ กับ ลุคอะเฮด ในวงจรนับแบบซิงโครนัส

เพื่อเป็นการเพิ่มความเร็วในการนับ วงจรรวมหลาย ๆ รุ่นของวงจรนับแบบซิงโครนัส ใช้แคร์รี่แบบลุคอะเฮด ดังแสดงในรูป 2.31(ข) ซึ่งจะสังเกตได้ว่า โลจิกที่ควบคุม เจ-เค จะเหมือนกับแบบริบเปิลแคร์รี่ แต่การคำนวณเวลาในการหน่วงของการแพร่กระจายสัญญาณ(prepagation delay time) จะลดลง โดยที่เวลาหน่วงโดยรวมนั้นจะขึ้นอยู่กับแอนด์เกตเพียงตัวเดียว

2.6.3 วงจรนับใช้วงจรรวมเบอร์อนุกรม 74160ถึง 74163

วงจรนับเบอร์ อนุกรม 74160 ถึง 74163 คือ ตัวอย่างวงจรรวมของวงจรนับแบบซิงโครนัส 4 บิต ที่มีการโหลดแบบซิงโครนัส และมีแคร์รี่แบบลุคอะเฮด ในรุ่นที่เป็นช็อตกี้ โครงสร้างภายในจะเป็นดีฟลิปฟลอบแทนที่จะเป็นชนิด เจ-เค หรือ ที อีกทั้งโลจิกไดอะแกรมจะมีความซับซ้อนกว่ามาก รูป 2.32 แสดงรายละเอียดของขาเพื่อนำไปใช้งาน วงจรรวมเบอร์ 74160 และ 74162 เป็นวงจรนับดีเคด (decade counters) ส่วน 74161 และ 74163 เป็นวงจรนับไบนารี่ ในรูปที่ 2.32 จะสรุปฟังก์ชันการทำงานของอินพุท และเอาต์พุท

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



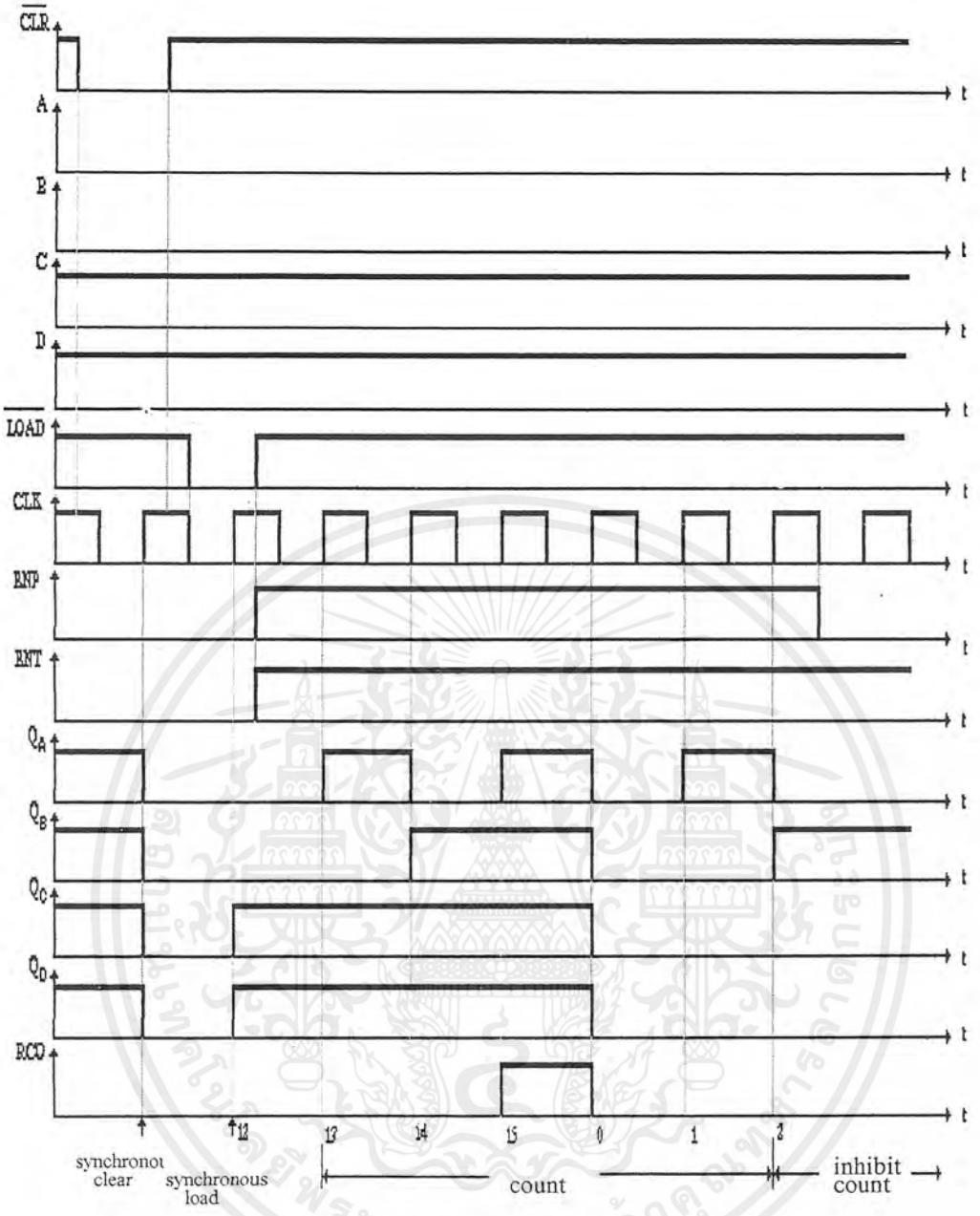
$\overline{CLR}$	Active-low clear. เมื่อมีสถานะ "0" ข้อมูลจะถูกเคลียร์ให้เป็น 0000 ทันทีทันใดใน 74160 และ 74161 ส่วน 74162 และ 74163 ข้อมูลจะถูกเคลียร์เป็น 01000 ที่ขอบขาขึ้นของ คล็อคพัลส์ถูกถัดไป
CLK	Clock input. ฟลิบฟลอบถูกทริกที่ขอบขาขึ้นของคล็อค
A,B,C,D	ข้อมูลอินพุทสำหรับเตรียมการโหลด A คือบิตที่มีนัยสำคัญต่ำสุด (LSB:Least Significant Bit) และ D คือบิตที่มีนัยสำคัญสูงสุด (MSB:Most Significant Bit) ข้อมูลถูกโหลดแบบเข้าจังหวะเมื่อ $\overline{LOAD}$ มีสถานะเป็น "0"
ENP,ENT	Active-high enable inputs. เมื่ออินพุทใดอินพุทหนึ่งเป็น "0" การนับจะถูกระงับไว้วงจรนับจะยังคงสถานะสุดท้ายไว้
Q_A,Q_B,Q_C,Q_D	flip-flop outputs. Q_A คือบิตที่มีนัยสำคัญต่ำสุด Q_D คือบิตที่มีนัยสำคัญสูงสุด
RCO	Ripple carry outputs. ขานี้ถูกอีนาเบิล(enable) โดย ENT สำหรับในวงจรนับไบนารี่นั้นจะได้ RCO=(Q_A,Q_B,Q_C,Q_D)ENT ส่วนในวงจรนับดีเคด RCO=(Q_A,$\overline{Q}_B$,$\overline{Q}_C$,Q_D)ENT
$\overline{LOAD}$	อินพุทสำหรับควบคุมการโหลดแบบเข้าจังหวะ เมื่อ $\overline{LOAD}$ ถูกทำให้เป็น "0" ข้อมูลที่ A B C D ถูกโหลดเข้าไปยัง Q_A,Q_B,Q_C,Q_D ที่ขอบขาขึ้นของ คล็อคพัลส์ถูกถัดไป (โดยไม่คำนึงถึงสถานะของอินพุท ENP และ ENT)

รูป 2.32 วงจรนับแบบซิงโครนัส 4 บิตอนุกรม 74160 ถึง 74163

คุณสมบัติสำหรับวงจรรวมอนุกรมนี้ โดยแสดงค่าต่ำสุด (minimum) ของการใช้งานความถี่คล็อดสูงสุดมีค่าดังนี้

74160 ถึง 74163	: 25 เมกะเฮิร์ท	74160 : Decade counter;asynchronous clear.
74LS160A ถึง 74LS163A	: 25 เมกะเฮิร์ท	74161 : Binary counter;asynchronous clear.
74LS160B ถึง 74LS163B	: 40 เมกะเฮิร์ท	74162 : Decade counter;asynchronous clear.
74AS160 ถึง 74AS163	: 75 เมกะเฮิร์ท	74163 : Binary counter;asynchronous clear.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูป 2.33 ผังเวลาสำหรับวงจรนับอนุกรม 74163A

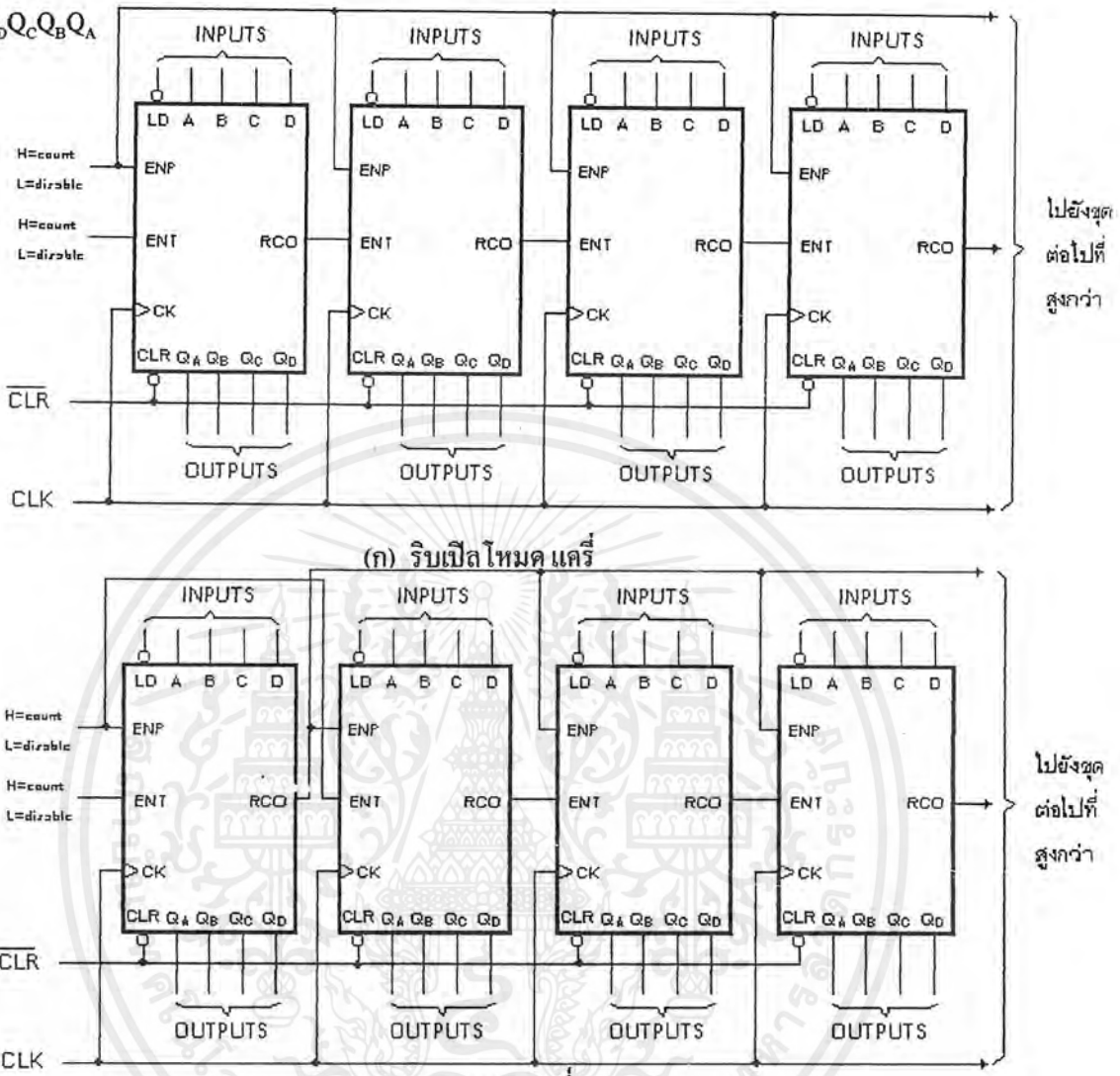
รูปที่ 2.33 แสดงผังเวลาสำหรับวงจรนับ อนุกรม 74163A ซึ่งสมมุติว่ามีสถานะเริ่มต้นที่ 1111 แล้ว การทำงานลำดับต่อไปตามผังเวลา อธิบายได้ดังนี้

1. $\overline{CLR}$ เปลี่ยนสถานะเป็น "0" ทำให้ $Q_DQ_CQ_BQ_A = 0000$ ที่ขอบขาขึ้นของคล็อคพัลส์ลูกถัดไป
2. $\overline{LOAD}$ เปลี่ยนสถานะเป็น "0" และ DCBA = 1100 $=12_{10}$ ถูกโหลดเข้าไปยัง $Q_DQ_CQ_BQ_A$ ที่ขอบขาขึ้นของคล็อคพัลส์ลูกถัดไป
3. ขาอินพุท ENP และ ENT เปลี่ยนเป็น "1" และเป็นการเริ่มต้นการนับขึ้นทำให้วงจรนับมีสถานะ 1101 $= 13_{10}$ ที่ขอบขาขึ้นของ คล็อคพัลส์ลูกถัดไป

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4. การนับดำเนินไปจนถึง 1111 = 15_{10} ณ. จุดนี้ RCO จะมีสถานะเป็น "1" วงจรนับจะรีเซตเป็น 0000 และดำเนินการนับขึ้นต่อไป

5. หลังจากนับได้ 0010 = 2_{10} ขาอินพุท ENP เปลี่ยนสถานะเป็น "0" การนับหยุดลง ข้อมูล 0010 ยังคงอยู่ใน $Q_DQ_CQ_BQ_A$



(ก) ริบเปิลโหมด แคร์รี่

(ข) ลุคอะเฮด แคร์รี่

รูป 2.34 แสดงการต่อแคสเคดวงจรนับ อนุกรม 74160 ถึง 74163

รูป 2.34 แสดงการต่อแคสเคดวงจรนับ อนุกรม 74160 ถึง 74163 ซึ่งมีอยู่ 2 วิธี โดยการใช้ เอาต์พุทริปเปิลแคร์รี่ และ อินพุทอีนาเบิล ในการต่อแคสเคดของวงจรนับไบนารีนั้น ชุด4บิตแต่ละชุดจะกำเนิดพัลส์ RCO เมื่อมันนับถึง 1111 และจะใช้พัลส์ RCO นี้ไปอีนาเบิล ชุดถัดไปที่สูงกว่า ถ้าเป็นการต่อแคสเคดของวงจรนับเดซิมอล RCO จะเกิดเมื่อนับถึง 1001 = 9_{10} ดังนั้นถ้าใช้วงจรนับเดซิมอล 4 บิต ต่อกัน n ตัวก็จะนับได้ BCD n หลัก

ในรูป 2.34(ก) เรียกว่าวงจรริปเปิลโหมด แคร์รี่ ขา ENP ทุกตัวจะป้อน "1" ไว้สำหรับการนับปกติ และ RCO จากชุดหนึ่งจะไปต่อกับ ENT ของชุดต่อไปที่สูงกว่า ทำให้ชุดที่สูงกว่านี้ถูกอีนาเบิล เพียงภายใน คล็อคพัลส์ลูกเดียว ดังนั้นการนับก็จะเพิ่มขึ้นเพียงครั้งละหนึ่ง ในรูป 2.34(ข) เรียกว่าลุคอะเฮดแคร์รี่โหมด ENP ของชุดแรก และ ENT ของชุดที่สองถูกป้อน "1" และ RCO จากชุดที่หนึ่งจะป้อนให้กับ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ENP ของชุดต่อ ๆ ไปในขณะเดียวกัน RCO ของแต่ละชุดที่ถัดจากชุดที่หนึ่ง จะต่อกับ ENT ของชุดต่อ ๆ ไป

ชุดโหมดริปเปิล หรือ ลุคอะเฮด ที่อ้างถึงในกรณีนี้ เพื่อชี้ให้เห็นว่า แคร่ ถูกถ่ายทอดไประหว่างวงจรนับ 4 บิตแต่ละชุดได้อย่างไร การต่อแคสเคดของวงจรนับ อนุกรม 74160 ถึง 74163 ทำให้ความถี่สูงสุดของคล็อค ที่สามารถใช้งานได้ลดลง ถ้าเป็นกรณีของง ริปเปิลโหมด การลดลงจะขึ้นอยู่กับจำนวนชุดที่นำมาต่อนั้นค่าความถี่สูงสุดของสัญญาณคล็อค ที่สามารถใช้งานได้คำนวณได้ดังนี้

ริปเปิลโหมดแคร่ :

$$f_{max} = \frac{1}{t_{pLH}(\text{CLK to RCO}) + (n-2)t_{pLH}(\text{ENT to RCO}) + t_{su}(\text{ENT})}$$

โดยที่ n คือ จำนวนชุดของวงจรนับ 4 บิตที่นำมาต่อแคสเคด

ลุคอะเฮดแคร่ :

$$f_{max} = \frac{1}{t_{pLH}(\text{CLK to RCO}) + t_{su}(\text{ENP})}$$

คุณสมบัติที่ผู้ผลิตกำหนดสำหรับค่าสูงสุด (maximum values) ของปริมาณต่าง ๆ ที่ปรากฏในสมการข้างบนนี้มีดังนี้

อนุกรม	t_{pLH}(CLK to RCO)	t_{pLH}(ENT to RCO)	t_{su}(ENT)	t_{su}(ENP)
74160-74163	35 ns	16 ns	20 ns	20 ns
74LS160A-74LS163A	35 ns	14 ns	20 ns	20 ns
74ALS160B-74ALS163B	20 ns	13 ns	* 15 ns	* 15 ns
74AS160-74AS163	12.5 ns	9 ns	* 8 ns	* 8 ns

* ค่าต่ำสุด

ตารางที่ 2.7 ค่าสูงสุดของ t_{PLH} และ t_{SU}

2.7 หน่วยความจำที่สามารถ อ่านเขียนได้ (Read/Write Memory)

ที่ชื่อว่าหน่วยความจำ อ่าน/เขียน ได้มาจาก ชุดของหน่วยความจำ(memory arrays) ที่ในบางครั้งสามารถเก็บข้อมูลได้ และบางครั้งเราสามารถดึงข้อมูลออกมาใช้ได้ ส่วนมากแล้วมันจะถูกใช้งานในระบบดิจิตอล ซึ่งในปัจจุบันนี้ก็คือ แรม (random-acccss mcmorics :RAMs) ซึ่งในความหมายก็คือ เวลาที่ใช้ในการอ่านหรือเขียนใน หน่วยความจำ จะไม่ขึ้นกับตำแหน่งของข้อมูลในแรม

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ในสแตติกแรม(SRAM) ข้อมูลที่ถูกเขียนลงที่ตำแหน่งหนึ่ง จะยังคงอยู่ดังเดิม ตราบเท่าที่ยังจ่ายแหล่งจ่ายให้กับแรมอยู่ เว้นเสียแต่เราจะเขียนข้อมูลอื่นทับลงไปที่ตำแหน่งเดิม ส่วนในไดนามิกแรม (DRAM) ข้อมูลที่ถูกเก็บไว้แต่ละตำแหน่งจะต้องถูกรีเฟรช(refresh) เป็นระยะ ๆ โดยการอ่านออกมาแล้วเขียนเข้าไปใหม่ถ้าไม่เช่นนั้นข้อมูลจะสูญหายได้

แรมส่วนมากจะสูญเสียข้อมูลเมื่อเอาแหล่งจ่ายออก ซึ่งเราเรียกแบบนี้ว่า โวลาไทล์เมมโมรี่ (volatile memory) ในแรมบางชนิดมันจะยังคงเก็บข้อมูลไว้ได้ทั้งที่เอาแหล่งจ่ายออก ซึ่งเราเรียกรูปแบบนี้ว่า นอนโวลาไทล์เมมโมรี่ (non volatile memory) ยกตัวอย่างเช่น หน่วยความจำแกนแม่เหล็กรูปแบบเก่า และ ซีมอสสแตติกเมโมรี่ สมัยใหม่ ในแบบตัวถังขนาดใหญ่เป็นพิเศษซึ่งภายในบรรจุแบตเตอรี่ลิเทียมซึ่งมีอายุการใช้งาน 10 ปี

ตัวแรม ประเภท นอนโวลาไทล์เมมโมรี่ ที่มีชื่อว่า เฟอร์โรอีเล็คทริคแรม (ferroelectric RAMs) ซึ่งอุปกรณ์นี้จะมีสวนประกอบของแม่เหล็กกับส่วนของอิเล็กทรอนิกส์ รวมกันอยู่ในวงจรรวมชิปเดียว ซึ่งจะทำให้มันยังคงสภาวะเดิมได้ถึงแม้ไม่ได้จ่ายแหล่งจ่ายให้กับมันก็ตาม ซึ่งจะคล้ายกับหน่วยความจำแกนแม่เหล็กรูปแบบเก่า

2.8 HM628128 สแตติกแรมความจุสูง

เนื่องจากความเร็วในการเก็บภาพที่ถูกทำให้เป็นสัญญาณดิจิตอล และต้องจัดเก็บข้อมูลดังกล่าวหน่วยความจำภาพ ซึ่งในการเก็บภาพขนาด 512 * 512 จุดต่อภาพนี้ เราต้องใช้หน่วยความจำขนาด 512 * 512 = 256 กิโลไบต์ และความเร็วในการเก็บข้อมูลของหน่วยความจำแต่ละค่าต้องน้อยกว่า 100 นาโนวินาที (มากกว่า 10 เมกะเฮิรตซ์) เพื่อให้สะดวกต่อการใช้งาน เราจึงเลือกหน่วยความจำแบบสแตติก เราจะไม่ใช้หน่วยความจำแบบไดนามิก (เพราะหน่วยความจำแบบไดนามิกมีการอ้างแอดเดรสที่ยุ่งยาก) ซึ่งหน่วยความจำ 8 บิต ชนิดสแตติกที่มีความเร็วมากกว่า 10 เมกะเฮิรตซ์ ที่มีขายในตลาดขณะนี้ มีความจุสูงสุดเพียง 128 กิโลไบต์ คือ เบอร์ HM628128 บริษัท ฮิตาชิ และเพื่อให้สามารถเก็บข้อมูลภาพได้ถึง 256 กิโลไบต์ เราต้องใช้หน่วยความจำ HM628128 2 ตัว โดยที่ข้อมูลของ HM628128 มีดังนี้

ด้วยเทคโนโลยีของไฮ-ซีมอส (Hi-CMOS tecnology) สามารถผลิตไอซีหน่วยความจำชนิดสแตติกแรม (Static RAM = SRAM) ที่มีความเร็วสูง กินกระแสต่ำและยังมีความเร็วสูง โดยให้ชื่อรุ่นของไอซีหน่วยความจำตระกูลใหม่นี้ว่า HM628128 มีการจัดการตำแหน่งขาสัญญาณต่าง ๆ ตามมาตรฐาน JEDEC โดยบรรจุอยู่ในตัวถังแบบพลาสติก DIP 32 ขา ขนาด 600 มิลลิเมตร

คุณสมบัติพิเศษ

ความเร็วสูง : สามารถเข้าถึงข้อมูลได้เร็วถึง 70, 85, 100 และ120 ns

ความจุสูง 128 K * 8 บิต

ใช้กำลังงานต่ำ

ขณะสแตนด์บาย 0.01 มิลลิวัตต์

ขณะทำงาน 75 มิลลิวัตต์

สามารถแบคอัพข้อมูลได้ด้วยแบตเตอรี่

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เอาต์พุทแบบ 3 สถานะ สามารถต่อบัสร่วมกับอุปกรณ์อื่นได้

เอาต์พุท/อินพุท มีระดับสัญญาณทีทีแอล

ใช้แหล่งจ่ายไฟ 5 โวลต์ชุดเดียว

คุณสมบัติทั่วไป

แรงดันแหล่งจ่ายไฟ 4.5 ถึง 5.5 โวลต์

แรงดันเมื่ออินพุทเป็น "1" 2.2 ถึง 6 โวลต์

แรงดันเมื่ออินพุทเป็น "0" -0.3 ถึง 0.8 โวลต์

แรงดันเอาต์พุท "1" 2.4 โวลต์

แรงดันเอาต์พุท "0" 0.4 โวลต์

กำลังงานสูญเสีย 1 วัตต์

อุณหภูมิขณะใช้งาน 0^0 C ถึง 70^0 C

อุณหภูมิสูงสุด -55^0 C ถึง 125^0 C

ขา	ชื่อสัญญาณ
A_0-A_{16}	อินพุทแอดเดรส
E	ชิปอีนาเบิล
G	เอาต์พุทอีนาเบิล
GND	กราวด์
NC	ไม่ใช้งาน
PGM	เลือกโหมดโปรแกรม
Q_1-Q_8	เอาต์พุท
Vcc	แรงดันแหล่งจ่าย 5 V
Vpp	แรงดันขณะโปรแกรม 12.5 V

ตารางที่ 2.8 แสดงลักษณะของขาไอซี HM628128

การนำมาใช้งาน

HM628128 สามารถนำไปใช้งานในหน่วยความจำชนิด สแตติกแรมเบอร์อื่น เพราะมีลักษณะการจัดขาคล้าย ๆ กัน เพียงแต่ HM628128 มีจำนวนขามากกว่า คือ มีจำนวนขาแอดเดรสเพิ่มเข้ามาเท่านั้นเอง แต่ส่วนอื่น ๆ จะเหมือนเดิมหมด

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ขา	ชื่อสัญญาณ
A_0-A_{16}	แอดเดรส
I/O_0-I/O_7	อินพุท/เอาต์พุท
/CS1	อีนาเบิลชิป 1
CS2	อีนาเบิลชิป 2
/WE	สัญญาณการเขียน
/OE	เอาต์พุทอีนาเบิล
NC	ไม่ใช้งาน
Vcc	ไฟบวก
Vss	กราวด์

ตารางที่ 2.9 การใช้งานและหน้าที่ของขาต่าง ๆ

2.9 พอร์ตขนานของคอมพิวเตอร์

ผู้คนส่วนใหญ่มักจะคิดว่า พอร์ตขนานของคอมพิวเตอร์นั้นเป็นพอร์ตที่ทำหน้าที่เป็นเอาต์พุทพอร์ตเพียงอย่างเดียวเพราะงานส่วนใหญ่ของพอร์ตขนานก็คือการส่งข้อมูลออกไปยังเครื่องพิมพ์ แต่จริง ๆ แล้วพอร์ตขนาน นอกจากจะมีสัญญาณข้อมูลขนาด 8 เส้น แล้วก็ยังมีสายสัญญาณอีก 9 เส้น ในการแสดงสถานะและควบคุมซึ่งเราสามารถใช้งานสายสัญญาณเหล่านี้สำหรับเป็นสัญญาณอินพุท โดยการประยุกต์เอาลักษณะเฉพาะของมันไปใช้ในการตรวจจับหรือตรวจวัดสัญญาณต่าง ๆ

ขา	หน้าที่การทำงาน
DO – D7	ส่งข้อมูลจากคอมพิวเตอร์ไปยังอุปกรณ์ภายนอก
$\overline{STB}$	สัญญาณที่บอกให้อุปกรณ์ภายนอกรู้ว่า เครื่องคอมพิวเตอร์ พร้อมที่จะส่งข้อมูลไปให้แล้ว ให้อุปกรณ์ภายนอกมารับข้อมูลได้เลย
$\overline{SELIN}$	เป็นสัญญาณที่บอกให้เครื่องคอมพิวเตอร์รู้ว่ามีสัญญาณจากภายนอกเข้ามาในเครื่องคอมพิวเตอร์
$\overline{INIT}$	เป็นสัญญาณที่บอกให้อุปกรณ์ภายนอกรู้ว่าเครื่องคอมพิวเตอร์จะทำการกำหนดค่าเริ่มต้นให้กับอุปกรณ์ภายนอก
$\overline{AUTOLF}$	เป็นสัญญาณที่บอกให้อุปกรณ์ภายนอก ซึ่งเป็นเครื่องพิมพ์ ให้ทำการเลื่อนกระดาษไปหนึ่งบรรทัด

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

BSY	เป็นสัญญาณจากอุปกรณ์ภายนอก ที่บอกให้คอมพิวเตอร์ รู้ว่าอุปกรณ์ภายนอกยังไม่พร้อมที่จะติดต่อ
$\overline{ACK}$	เป็นสัญญาณที่บอกให้คอมพิวเตอร์รู้ว่าอุปกรณ์ภายนอกพร้อมที่จะติดต่อแล้ว
PE	เป็นสัญญาณที่บอกให้เครื่องคอมพิวเตอร์รู้ว่าเครื่องพิมพ์ไม่มีกระดาษ
SEL	เป็นขาที่บอกให้คอมพิวเตอร์รู้ว่าเครื่องพิมพ์ทำงานอยู่
$\overline{ERR}$	เป็นสัญญาณที่บอกให้เครื่องคอมพิวเตอร์รู้ว่าอุปกรณ์ที่เชื่อมต่ออยู่มีการผิดพลาดเกิดขึ้น

ตารางที่ 2.10 แสดงหน้าที่ของขาต่าง ๆ ของพอร์ตขนาน

ตำแหน่งแอดเดรส

พอร์ตข้อมูล	พอร์ตแสดงสถานะ	พอร์ตควบคุม
3BCH	3BDH	3BEH
378H	379H	37AH
278H	279H	27AH

ตารางที่ 2.11 แสดงตำแหน่งแอดเดรส

สัญญาณต่าง ๆ ที่กล่าวมาข้างต้นนี้สามารถนำไปประยุกต์ใช้งานต่าง ๆ ได้อย่างมากมาย ซึ่งจะช่วยให้คอมพิวเตอร์สามารถติดต่อกับสัญญาณอินพุทเอาต์พุทภายนอกได้

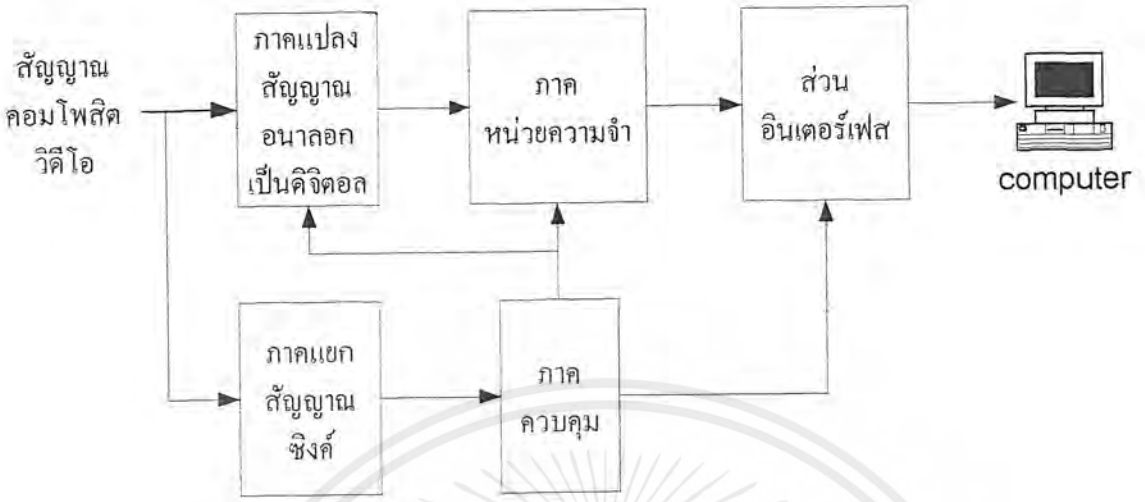
2.10 การอินเตอร์เฟสกับพอร์ตขนาน(PARALLEL PRINTER PORT)

เราสามารถใช้การ์ด พอร์ตขนาน (Parallel Printer Port) เป็นตัวรับสัญญาณอินพุทและเอาต์พุทแบบดิจิตอล เพื่อใช้ในการอินเตอร์เฟสกับอุปกรณ์อื่น การ์ดนี้มีรีจิสเตอร์อยู่หลายแบบ ได้แก่ รีจิสเตอร์เอาต์พุทขนาด 8 บิต ซึ่งเราสามารถอ่านข้อมูลที่ส่งออกไปกลับเข้ามาตรวจสอบได้ รีจิสเตอร์เอาต์พุทขนาด 4 บิต ซึ่งสามารถอ่านข้อมูลกลับมาตรวจสอบและใช้เป็นรีจิสเตอร์อินพุทได้ รีจิสเตอร์อินพุทขนาด 5 บิต และสุดท้ายรีจิสเตอร์เอาต์พุทขนาด 1 บิต ซึ่งสามารถใช้สั่งให้ส่งสัญญาณอินเตอร์รัพท์ระดับที่ 7 ได้ (อยู่ที่พอร์ตแอดเดรสเดียวกับรีจิสเตอร์อินพุท เอาต์พุทขนาด 4 บิต) นอกจากนี้ค่าแอดเดรสของรีจิสเตอร์แต่ละตัวในการ์ดพอร์ตขนาน มีค่าแอดเดรสกำกับอยู่ 2 ค่า เราสามารถกำหนดค่าแอดเดรสที่ต่างกันให้แก่รีจิสเตอร์แต่ละตัวในการ์ดแต่ละแผ่น เพื่อกันไม่ให้รีจิสเตอร์ชนิดเดียวกันในการ์ดทั้งสองแผ่นทำงานขึ้นพร้อมกัน ซึ่งก่อให้เกิด คอนฟลิกท์(conflict) ขึ้น ซึ่งอาจทำให้ข้อมูลที่ส่งผิดพลาดไป เอาต์พุทและอินพุทของรีจิสเตอร์ที่กล่าวมาข้างต้นเข้ากับขาของคอนเน็คเตอร์ 25 ขา แบบ D ที่อยู่ด้านหลังของการ์ดทำให้การใช้งานทำได้สะดวก

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 3 การคำนวณและการสร้าง

3.1 หลักการทำงานโดยรวม

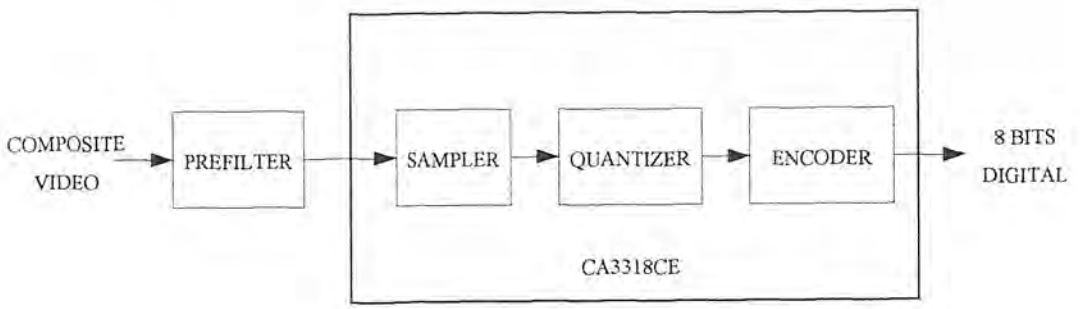


รูปที่ 3.1 บล็อกไดอะแกรมของอุปกรณ์จับภาพวิดีโอ

จากรูปที่ 3.1 อุปกรณ์จับภาพวิดีโอ สามารถแบ่งการทำงานออกได้เป็น 5 ภาค ได้แก่ ภาคแปลงสัญญาณอนาลอกเป็นดิจิตอล ภาคแยกสัญญาณซิงค์ ภาคหน่วยความจำ ภาคควบคุม และภาคการเชื่อมต่อกับคอมพิวเตอร์ ซึ่งสามารถอธิบายการทำงานโดยรวมได้ดังนี้

สัญญาณวิดีโอคอมโพสิตจะถูกแปลงให้เป็นสัญญาณดิจิตอลโดยภาคแปลงสัญญาณอนาลอกเป็นดิจิตอล สัญญาณดิจิตอลที่ได้จะถูกเก็บไว้ในภาคหน่วยความจำ ภาคควบคุมจะทำหน้าที่ควบคุมการเขียนอ่านข้อมูลสัญญาณดิจิตอลบนภาคหน่วยความจำ โดยอาศัยสัญญาณควบคุมตำแหน่งภาพต่างๆ ซึ่งแยกออกจากสัญญาณวิดีโอคอมโพสิตโดยภาคแยกสัญญาณซิงค์ สัญญาณดิจิตอลที่เก็บไว้ในหน่วยความจำจะถูกนำไปเชื่อมต่อกับคอมพิวเตอร์ผ่านทางพอร์ตขนาน โดยภาคการเชื่อมต่อกับคอมพิวเตอร์ เพื่อให้คอมพิวเตอร์สามารถแสดงภาพบนจอและเก็บเป็นไฟล์เพื่อเรียกใช้งานได้ในภายหลัง

3.2 ภาคแปลงสัญญาณอนาลอกเป็นดิจิตอล (Analog to Digital Converter)



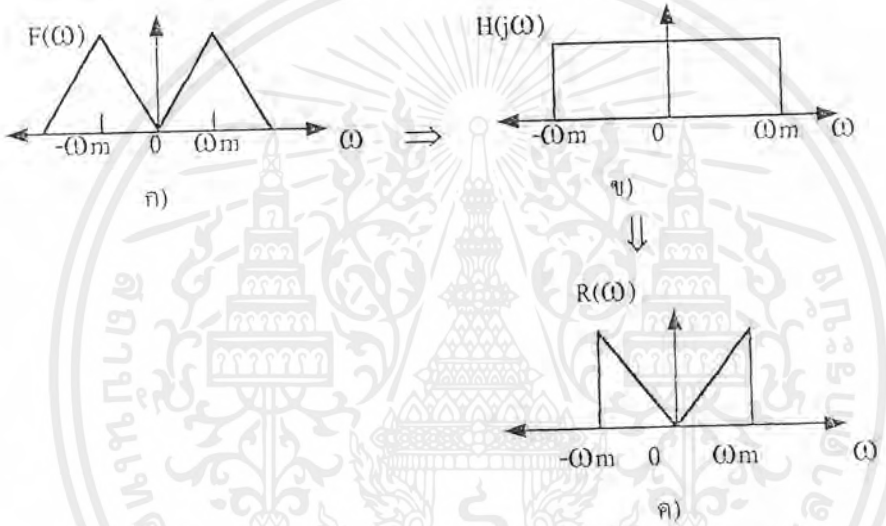
รูปที่ 3.2 บล็อกไดอะแกรมของภาคแปลงสัญญาณอนาลอกเป็นดิจิตอล

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สัญญาณวิดีโอคอมโพสิตจะถูกนำมากรองแยกเอาเฉพาะสัญญาณความสว่าง (สัญญาณลูมิแนนซ์) โดยส่วนปรีฟิลเตอร์ (Prefilter) สัญญาณความสว่างที่ได้จะถูกแปลงเป็นสัญญาณดิจิตอลโดยส่วนการสุ่มตัวอย่างสัญญาณ (Sampler) ส่วนการจัดแบ่งระดับสัญญาณ (Quantizer) และส่วนการเข้ารหัส (Encoder) ซึ่งทั้งสามส่วนนี้ได้รวมอยู่ในไอซีเบอร์ CA3318CE

3.2.1 ส่วนปรีฟิลเตอร์ (Prefilter)

ส่วนปรีฟิลเตอร์นี้เป็นวงจรกรองความถี่ต่ำผ่าน (Low Pass Filter;LPF) ทำหน้าที่กรองเฉพาะความถี่ที่ต้องการเท่านั้นซึ่งในที่นี้คือสัญญาณความสว่าง เป็นการจำกัดย่านความถี่ (Bandlimiting) ตามทฤษฎีการสุ่มสัญญาณ (Sampling Theorem) ที่กล่าวไว้ในบทที่ 2 ซึ่งสัญญาณเบสแบนด์ (Baseband Signal) ที่จะนำมาสุ่มตัวอย่างจะต้องมีแบนด์วิดท์จำกัดอยู่ค่าหนึ่ง ฉะนั้นก่อนทำการแปลงสัญญาณอนาลอกเป็นดิจิตอลจึงจำเป็นต้องมีส่วนนี้ เว้นแต่สัญญาณอนาลอกมีแบนด์วิดท์จำกัดอยู่แล้ว วงจรปรีฟิลเตอร์เรียกอีกชื่อหนึ่งว่า "วงจรป้องกันการทับซ้อน" (Anti-aliasing Filter)



รูปที่ 3.3 สเปกตรัม (spectrum) ของกระบวนการกรองความถี่

ก) สเปกตรัมของสัญญาณเบสแบนด์ (Baseband signal)

ข) สเปกตรัมคุณสมบัติของวงจรกรองความถี่ต่ำผ่าน (Low Pass Filter:LPF)

ค) สเปกตรัมที่ได้จากผลตอบสนองอิมพัลส์ (Impulse response)

จากรูปที่ 3.3 เราจะได้

$$R(\omega) = H(j\omega)F(\omega) \qquad \text{ซึ่ง } H(j\omega) = |A| \; ; \; |\omega| \leq \omega m$$

ในลักษณะจะเป็นวงจรกรองความถี่ต่ำทางอุดมคติ (Ideal Low Pass Filter) เพราะฉะนั้นการแปลงฟูเรียร์ (Fourier Transform) ของ $R(\omega)$ จะได้

$$R(\omega) \Leftrightarrow r(t) \; ; \; H(j\omega) \Leftrightarrow h(t) \; ; \; F(\omega) \Leftrightarrow f(t)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$r(t) = h(t) * f(t) \Leftarrow$ ความสัมพันธ์คอนโวลูชั่น (convolution relation)

$$h(t) = \frac{|A|\sin \omega m(t)}{\omega m(t)}$$

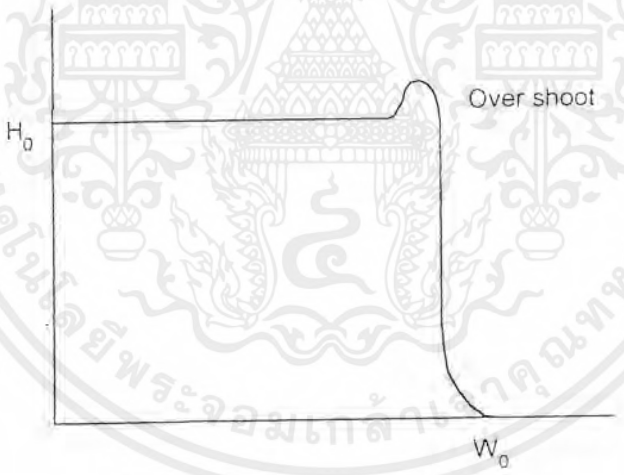
$$r(t) = \frac{|A|\sin \omega m(t)}{\omega m(t)} * f(t)$$

$$r(t) = \int_{-\infty}^{\infty} f(\tau) \frac{|A|\sin \omega m(t-\tau)}{\omega m(t-\tau)} dr$$

เนื่องจากในการใช้งานนี้ จะใช้งานตัวกรองความถี่ต่ำแบบแอคทีฟฟิลเตอร์ (active filter) ซึ่งจะได้ฟังก์ชันทรานสเฟอร์ (transfer function)

$$H(s) = \frac{H_0 \omega_c^2}{s^2 + \frac{\omega_c}{Q} s + \omega_c^2}$$

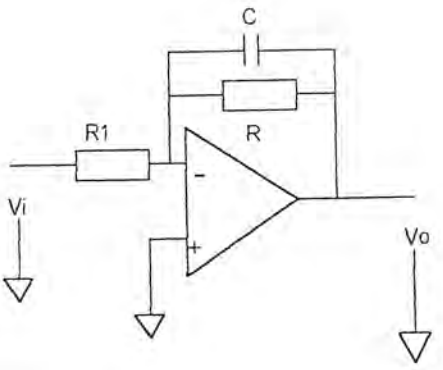
ซึ่ง H_0 เป็นขนาดของสัญญาณที่จุดความถี่คัทออฟ (cut off frequency)



รูปที่ 3.4 สเปกตรัมของวงจรกรองความถี่ต่ำ

จากรูปโอเวอร์ชู้ต (over shoot) จะมากหรือน้อยขึ้นอยู่กับค่า Q ถ้าค่า Q สูง โอเวอร์ชู้ตจะสูง พิจารณาวงจรกรองความถี่ต่ำอันดับหนึ่ง (First order Low Pass Filter)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.5 วงจรกรองความถี่ต่ำอันดับหนึ่ง

จากรูปที่ 3.5 จะได้

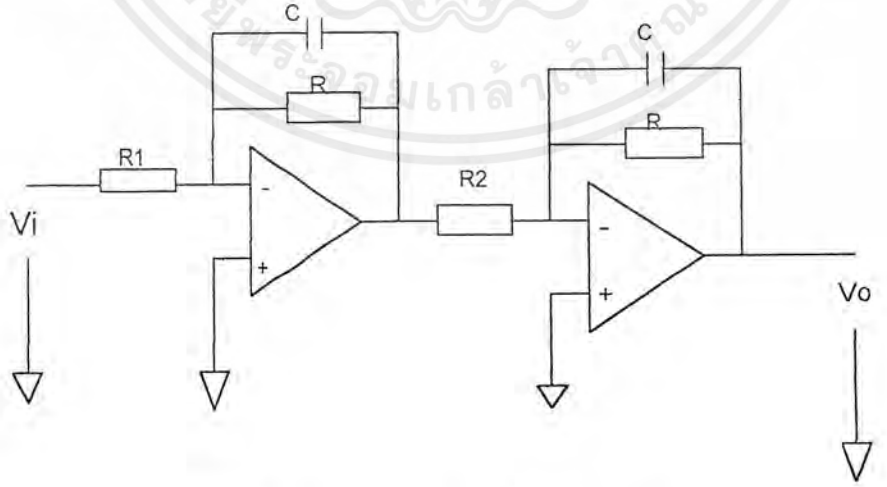
$$\frac{V_i}{R_1} + \frac{V_O}{R} + sCV_O = 0$$

$$V_O\left(\frac{1}{R} + sC\right) = -\frac{V_i}{R_1}$$

$$V_O\left(\frac{1+sCR}{R}\right) = -\frac{V_i}{R_1}$$

$$\frac{V_O}{V_i} = -\frac{R}{R_1}\left(\frac{1}{1+sCR}\right)$$

เมื่อนำวงจรตามรูปที่ 3.5 นี้มาต่อแคสเคด (cascade) กันเป็น 2 สเตท (state) เรียกว่าวงจรกรองความถี่ต่ำอันดับสอง (Second Order Low Pass Filter) แบบแคสเคด ได้ดังนี้



รูปที่ 3.6 วงจรกรองความถี่ต่ำอันดับสอง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากรูปที่ 3.6 จะได้

$$\frac{Vo_1}{R} + sCVo_1 + \frac{V_i}{R_1} = 0$$

$$Vo_1 = -\frac{RV_i}{R_1(1+sCR)}$$

และ $\frac{V_o}{R} + sCV_o + \frac{Vo_1}{R_2} = 0$

$$\frac{V_o}{R} + sCV_o + \frac{-RV_i}{R_1R_2(1+sCR)} = 0$$

$$\frac{V_o}{V_i}\left(\frac{1+sCR}{R}\right) = \frac{R}{R_1R_2(1+sCR)}$$

$$\frac{V_o}{V_i} = \frac{R^2}{R_1R_2}\left\{\frac{1}{(1+sCR)(1+sCR)}\right\}$$

$$= \frac{R^2}{R_1R_2}\left\{\frac{1}{1+2sCR+s^2C^2R^2}\right\} \quad ; \frac{R^2}{R_1R_2} = A$$

จาก $H(s) = \frac{V_o}{V_i} = \frac{H_o\omega_c^2}{s^2 + \frac{\omega_c}{Q}s + \omega_c^2}$

$$= \frac{A}{\left(s^2 + \frac{2s}{CR} + \frac{1}{(CR)^2}\right)C^2R^2} = \frac{\frac{A}{(CR)^2}}{\left(s^2 + \frac{2s}{CR} + \frac{1}{(CR)^2}\right)}$$

จะได้ $H(s) = \frac{\frac{A}{(CR)^2}}{\left(s^2 + \frac{2s}{CR} + \frac{1}{(CR)^2}\right)}$

$$H_o\omega_c^2 = \frac{A}{(CR)^2}$$

$$\omega_c^2 = \frac{1}{(CR)^2}$$

จะได้ $\omega_c = \frac{1}{CR}$ หรือ $f_c = \frac{1}{2\pi CR}$

และ $H_o = A = \frac{R^2}{R_1R_2}$

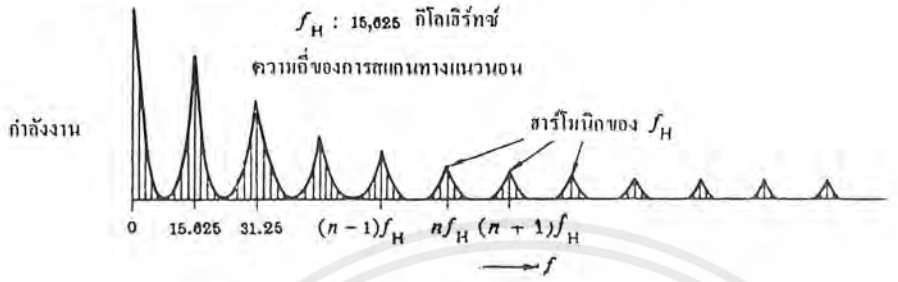
$$\because \frac{\omega_c}{Q}s = \frac{2s}{CR}$$

$$\therefore Q = \frac{1}{2}$$

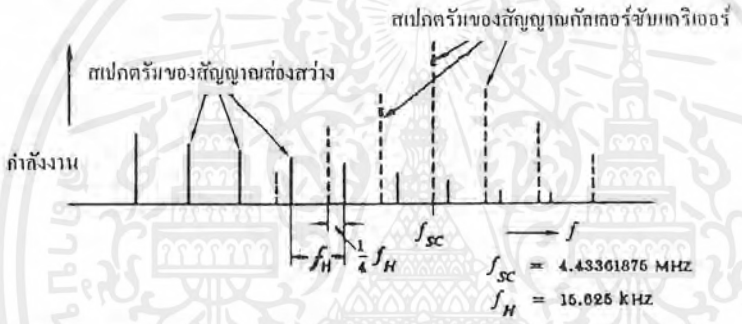
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เราจะใช้วงจรกรองความถี่ต่ำอันดับสองข้างต้นเป็นส่วนปรีฟิลเตอร์แต่เนื่องจากสัญญาณอินพุทของไอซีเบอร์ CA3318CE จะต้องมีค่าตั้งแต่ 0 - 5.12 V แต่สัญญาณวิดีโอคอมโพสิตจะเป็นไฟสลับขนาดประมาณ 1 – 2 V_{pp} ดังนั้นวงจรปรีฟิลเตอร์จึงต้องใช้แอคทีฟฟิลเตอร์เพื่อให้สามารถทำการขยายสัญญาณวิดีโอคอมโพสิต และจะต้องทำการยกระดับสัญญาณวิดีโอคอมโพสิตด้วยแรงดันไฟตรงเพื่อให้สัญญาณข้อมูลที่อยู่ในสัญญาณวิดีโอคอมโพสิตมีค่าระหว่าง 0 - 5.12 V

พิจารณาสเปกตรัมของสัญญาณความสว่างดังรูปที่ 3.7 และ 3.8



รูปที่ 3.7 ฮาร์โมนิก (Harmonic) ที่เกิดขึ้นในสัญญาณความสว่าง



รูปที่ 3.8 ฮาร์โมนิกที่เกิดขึ้นในสัญญาณความสว่างและสัญญาณคัลเลอร์ซับแคเรียร์ (Color Subcarrier)

จากรูปที่ 3.7 และ 3.8 จะเห็นว่าสัญญาณความสว่างจะเกิดในช่วงฮาร์โมนิกต่างๆ ของความถี่ลายน์ 15,625 Hz และจะมีค่าลดลงที่ฮาร์โมนิกอันดับสูงๆ ส่วนสัญญาณคัลเลอร์ซับแคเรียร์จะมีค่าประมาณ 4.43 MHz เพื่อที่จะแยกสัญญาณความสว่างมาใช้โดยที่มีฮาร์โมนิกของสัญญาณคัลเลอร์ซับแคเรียร์ปะปนมาน้อย จึงเลือกใช้วงจรปรีฟิลเตอร์ที่มีความถี่คัทออฟประมาณ 2.27 MHz

เนื่องจากอัตราขยาย (Gain) ของวงจรกรองความถี่ต่ำอันดับสองข้างต้นมีค่าเท่ากับ

$$A = \frac{R^2}{R_1 R_2}$$

และความถี่คัทออฟของวงจรกรองความถี่ต่ำอันดับสองข้างต้นมีค่าเท่ากับ

$$f_c = \frac{1}{2\pi CR}$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ในที่นี้เราเลือกใช้ $R = 10\ k\Omega$ และ $C = 7\ pF$ จะได้

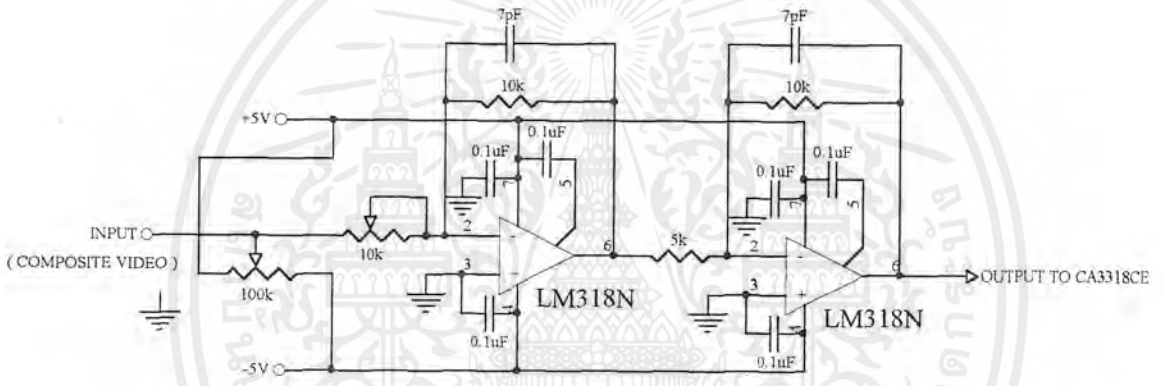
$$f_c = \frac{1}{(2\pi \times 10\ k\Omega \times 7\ pF)} = 2.27\ MHz$$

ซึ่งเพียงพอสำหรับการเก็บสัญญาณความสว่าง

เลือก R_1 แบบปรับค่าได้ $10\ k\Omega$ และ $R_2 = 5\ k\Omega$ จะได้ค่าอัตราขยายต่ำสุดของปรีฟิลเตอร์เท่ากับ

$$A = \frac{(10\ k\Omega)^2}{(10\ k\Omega \times 5\ k\Omega)} = 2\ เท่า$$

สำหรับรูปของวงจรปรีฟิลเตอร์เป็นดังนี้



รูปที่ 3.9 วงจรปรีฟิลเตอร์

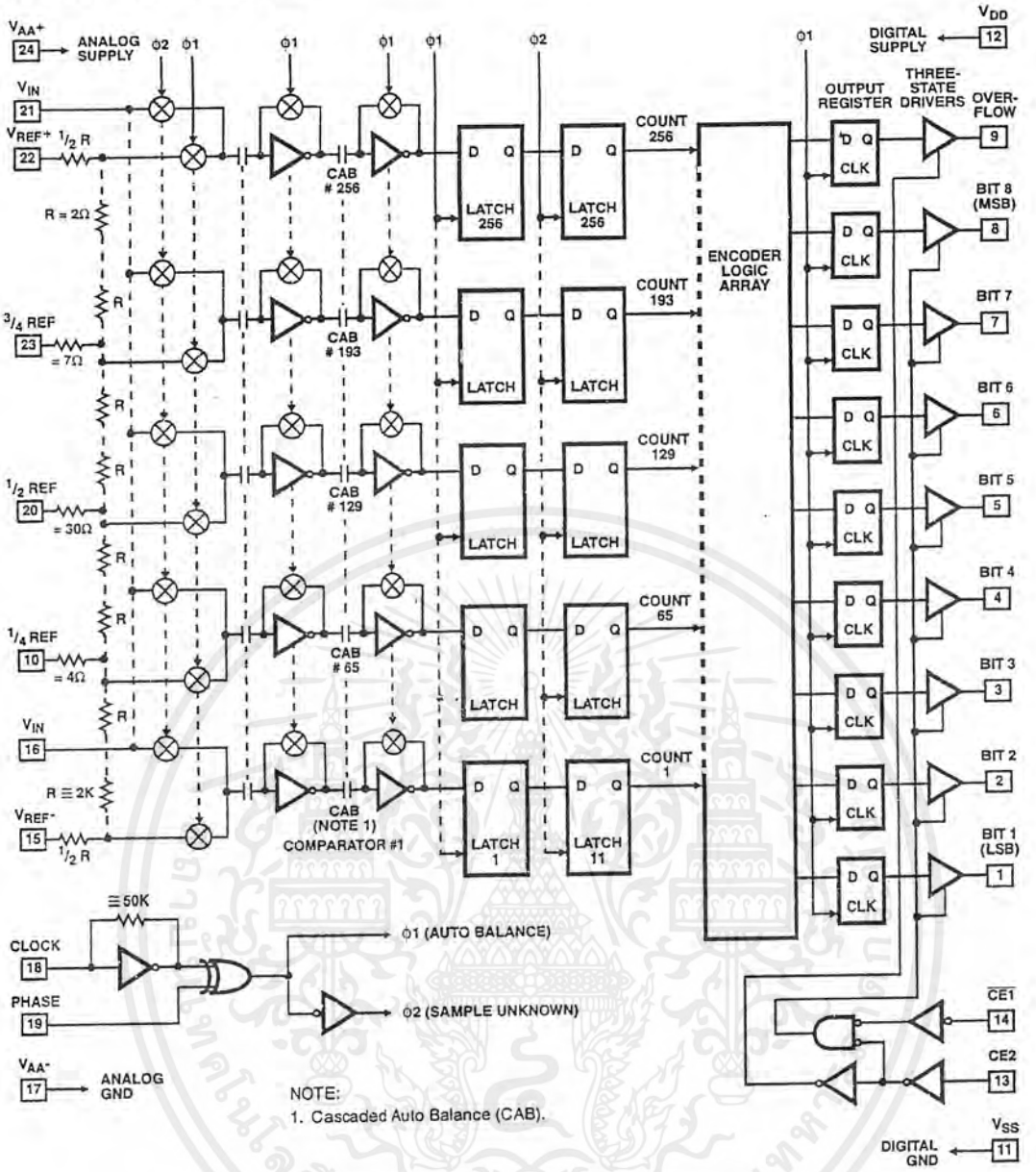
3.2.2 ส่วนการสุ่มตัวอย่างสัญญาณ ส่วนการจัดแบ่งระดับสัญญาณและส่วนการเข้ารหัส (Sampler , Quantizer and Encoder)

ทั้งสามส่วนนี้จะรวมอยู่ในไอซีเบอร์ CA3318CE (CMOS Video Speed, 8-Bit, Flash A/D Converter)

โครงสร้างของไอซีเบอร์ CA3318CE แสดงได้ดังรูปที่ 3.10

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Functional Block Diagram



รูปที่ 3.10 โครงสร้างภายในของไอซีเบอร์ CA3318CE

ชุดสวิทช์อิเล็กทรอนิกส์ (ส่วนที่เห็นเป็นวงกลมที่มีกากบาทอยู่ภายใน) ทำการสุ่มสัญญาณเข้ามาสู่ชุดตัวเปรียบเทียบทั้ง 256 ชุด ที่ได้กำหนดไว้แล้ว

ข้อมูลทั้งหมดจากตัวเปรียบเทียบ (ที่เป็น "0" หรือ "1") ส่งเข้าดีฟลิปฟลอป (D-flipflop) ทำหน้าที่เป็นชิปรีจิสเตอร์ (Shift Register) ทำงานในโหมดสัญญาณนาฬิกา (ตอบสนองต่อสัญญาณนาฬิกาเฉพาะช่วงขอบขาขึ้นและขอบขาลงของพัลส์เท่านั้น) จะทำการแลทช์ไว้ชั่วขณะจนกว่าจะมีข้อมูลใหม่เข้ามาถึงจึงจะเลื่อนข้อมูลนั้นส่งเข้าชุดเข้ารหัส (Encoder Logic Array) เพื่อแปลงข้อมูลทั้ง 256 ค่าเป็นข้อมูลดิจิตอลขนาด 9 บิท (รวมบิทเกินด้วย) ส่งต่อไปยังเอาต์พุทรีจิสเตอร์ซึ่งเป็นดีฟลิปฟลอป ก่อนส่งไปยังตัวขับ 3 สถานะเป็นเอาต์พุทต่อไป เอาต์พุทนี้สามารถควบคุมได้โดย /CE1 และ CE2

คุณสมบัติของ CA3318CE มีดังนี้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

1. ใช้เทคโนโลยีซีมอส/เอสโอเอส (CMOS/SOS)
2. ใช้เทคนิคการแปลงข้อมูลแบบขนาน
3. อัตราการสุ่มตัวอย่างสัญญาณข้อมูลสูงสุด 15 MHz
4. ให้เอาต์พุทขนาด 8 บิท
5. ใช้แหล่งจ่ายไฟชุดเดียว 4 V ถึง 7.5 V
6. แยกระบบกราวนด์ของอนาลอกกับดิจิตอลออกจากกันโดยเด็ดขาด
7. กำลังงานสูญเสีย 200 mW
8. แรงดันอินพุทอยู่ในช่วง 0 – 6.4 V

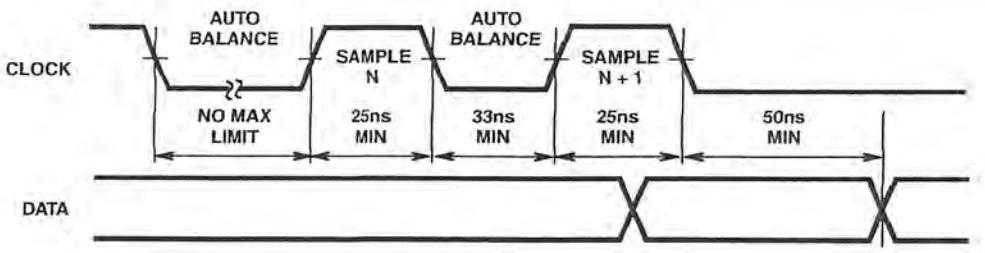
CA3318CE ใช้เทคนิคการแปลงข้อมูลเป็นลำดับแบบขนาน (Sequential Parallel Technique) โดยอาศัยการจัดระดับของสัญญาณนาฬิกาไปควบคุมจังหวะในการทำงานของส่วนต่างๆให้สอดคล้องกัน จากรูปที่ 3.10 ขาป้อนสัญญาณนาฬิกา (ขา 18) และขาควบคุมเฟส (ขา 19) ต่อกับวงจรโลจิกเกต (Logic Gate) ชุดหนึ่ง ซึ่งวงจรนี้ทำหน้าที่จัดสัญญาณนาฬิกาให้แบ่งออกเป็น 2 เฟส คือ 1 (Auto Balance) และ 2 (Sample Unknow) เฟสทั้งสองนี้จะถูกจัดให้อยู่ในช่วงโลจิก (Logic) "0" หรือ "1" ของสัญญาณนาฬิกา (ในหนึ่งคาบเวลา) การจัด 1 และ 2 ให้อยู่คนละช่วงของสัญญาณนาฬิกาซึ่งถูกกำหนดโดยขาควบคุมเฟส ทำให้เราสามารถควบคุมความเร็วในการแปลงสัญญาณของ CA3318CE ให้เปลี่ยนแปลงตามสัญญาณนาฬิกาได้

เราสามารถใช้ขาควบคุมเฟสควบคุมความเร็วในการแปลงสัญญาณได้ 2 วิธี คือ

วิธีแรกโดยการป้อนโลจิก "0" เข้าที่ขาควบคุมเฟส แสดงดังรูปที่ 3.11 ก) 1ถูกจัดให้อยู่ในโลจิก "1" และ 2ถูกจัดให้อยู่ในโลจิก "0" ของสัญญาณนาฬิกาข้อมูลจากตัวเปรียบเทียบจะถูกแลทช์ไว้ที่ขอบขาขึ้นของพัลส์ 2 และเมื่อถึงขอบขาลงของ 1 ข้อมูลจะถูกเลื่อนเข้าสู่รีจิสเตอร์ต่อไป วิธีการแปลงแบบนี้ข้อมูลเสร็จสิ้นภายในครึ่งคาบของสัญญาณนาฬิกาเท่านั้น

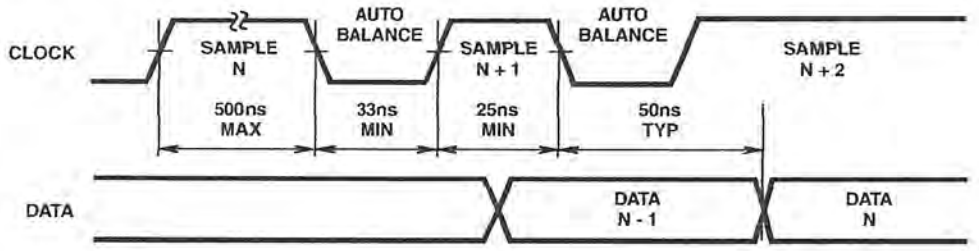
วิธีที่สอง โดยการป้อนโลจิก "1" เข้าที่ขาควบคุมเฟสเช่นกัน แสดงได้ดังรูปที่ 3.11 ข) 1ถูกจัดให้อยู่ในโลจิก "0" และ 2ถูกจัดให้อยู่ในโลจิก "1" ของสัญญาณนาฬิกา เมื่อถึงช่วงขอบขาลงของพัลส์ 2 ข้อมูลจากตัวเปรียบเทียบจะถูกแลทช์ไว้จนกว่าจะถึงช่วงขอบขาขึ้นของพัลส์ 2 ลูกต่อมาจึงจะทำการเลื่อนข้อมูลส่งเข้าเอาต์พุทรีจิสเตอร์ วิธีนี้จะแปลงสัญญาณเสร็จสิ้นภายในหนึ่งคาบเวลาของสัญญาณนาฬิกา

จะเห็นได้ว่าวิธีแรกใช้เวลาในการแปลงสัญญาณน้อยกว่าวิธีที่สอง ซึ่งในโครงงานนี้ได้นำวิธีแรกมาใช้



ก)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



ข)

รูปที่ 3.11 การควบคุม CA3318CE โดยการใช้ขาควบคุมเฟสไปควบคุมระดับโลจิกของสัญญาณนาฬิกา

ก) เมื่อให้ขาควบคุมเฟสเป็น "0"

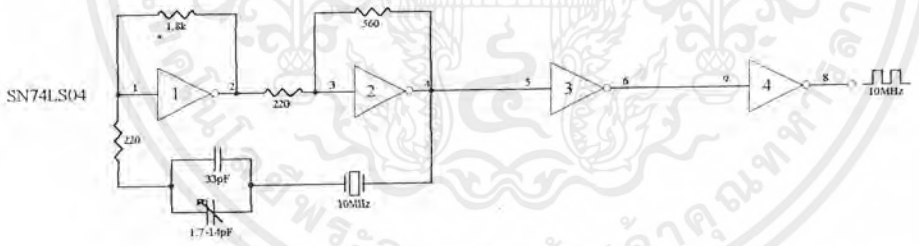
ข) เมื่อให้ขาควบคุมเฟสเป็น "1"

โครงงานนี้ได้เลือกใช้สัญญาณนาฬิกา 10 MHz ป้อนให้กับ CA3318CE เนื่องจาก

1. โครงงานนี้ต้องการความละเอียดของภาพในหนึ่งเส้นสะแกนแนวนอน 512 จุด ในสัญญาณวิดีโอหนึ่งเส้นสะแกนเท่ากับ 64 μs แต่ข้อมูลภาพจริงๆ จะมีอยู่ประมาณ 52 μs ดังนั้นความถี่ที่ต้องใช้ในการเก็บข้อมูลภาพจะเท่ากับ 512 / 52 μs = 9.846 MHz จึงได้เลือกใช้ค่าที่ใกล้เคียงคือ 10 MHz

2. จากทฤษฎีการสุ่มสัญญาณ ความถี่ที่ใช้ในการสุ่มจะต้องมีค่าเท่ากับหรือมากกว่า 2 เท่าของความถี่สูงสุดของสัญญาณเบสแบนด์ จากส่วนปรีฟิลเตอร์ซึ่งได้ออกแบบไว้สำหรับสัญญาณความสว่างโดยมีความถี่คัทออฟ 2.27 MHz ดังนั้นสัญญาณนาฬิกา 10 MHz จึงสามารถใช้ในการสุ่มสัญญาณได้

3.2.3 ส่วนกำเนิดสัญญาณนาฬิกา 10 MHz

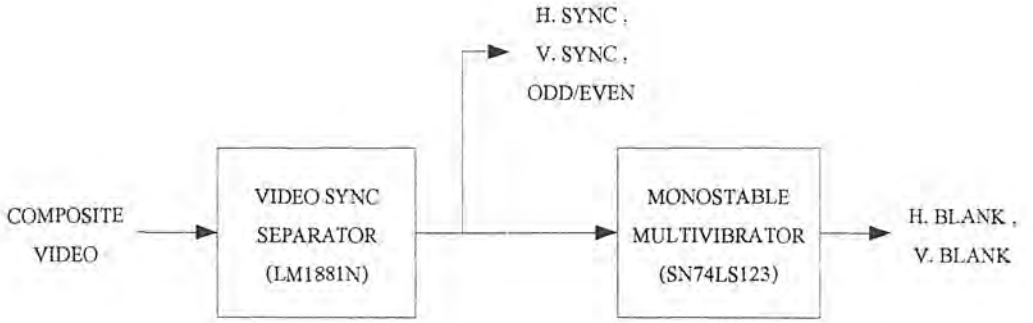


รูปที่ 3.12 วงจรกำเนิดสัญญาณนาฬิกา 10 MHz

ส่วนนี้จะใช้วงจรอะสเตเบิลมัลติไวเบรเตอร์แบบใช้คริสตอล (Crystal Astable Multivibrator) ซึ่งจะกำเนิดความถี่เท่ากับความถี่เรโซแนนซ์ของคริสตอลคือ 10 MHz โดยใช้อินเวอร์เตอร์ (Inverter) สองตัวแรกเป็นตัวกลับเฟสของสัญญาณให้ได้เฟสระหว่างอินพุทและเอาต์พุทของวงจรเป็น 360 องศา หรืออินเฟสกันนั่นเอง จากเอาต์พุทใช้คริสตอลเป็นตัวป้อนสัญญาณกลับจากเอาต์พุทของเกตตัวที่สองมายังอินพุทของเกตตัวที่หนึ่ง เพื่อให้วงจรครบลูปและกำเนิดสัญญาณขึ้น ส่วนเกตตัวที่สามและสี่ต่อเข้าไปเพื่อปรับปรุงรูปคลื่นของสัญญาณให้เป็นรูปสี่เหลี่ยมที่ดีขึ้นกว่าที่ได้จากเอาต์พุทของเกตตัวที่สองโดยตรง และลดภาระในการจ่ายโหลดให้กับเอาต์พุทของวงจรกำเนิดสัญญาณด้วย อีกทั้งยังสามารถต่อโหลดได้เพิ่มขึ้นมากกว่าที่มีเกตตัวที่หนึ่งและสองเพียงสองตัว

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

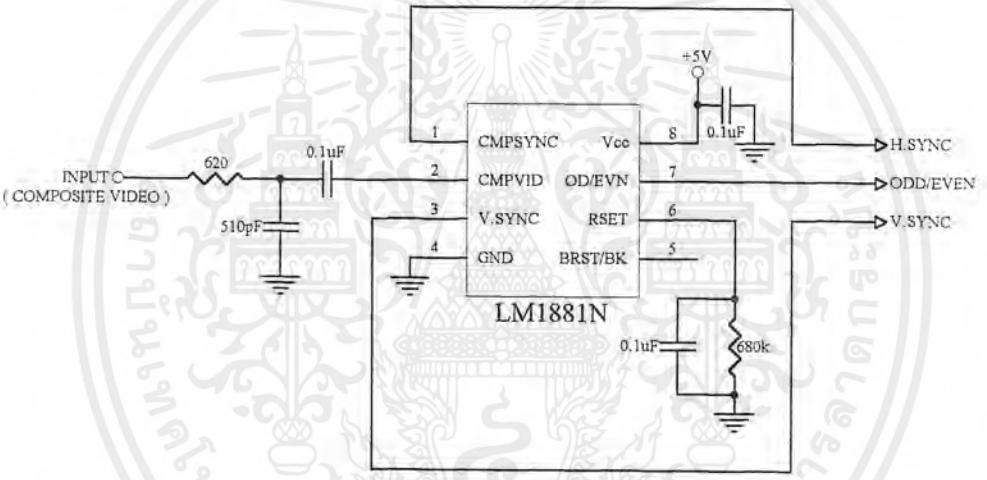
3.3 ภาคแยกสัญญาณซิงค์ (Sync Separator)



รูปที่ 3.13 บล็อกไดอะแกรมของภาคแยกสัญญาณซิงค์

ภาคแยกสัญญาณซิงค์ ประกอบด้วย ส่วนแยกสัญญาณซิงค์ออกจากสัญญาณวิดีโอคอมโพสิต และส่วนกำเนิดสัญญาณแบลงค์ ซึ่งแต่ละส่วนสามารถแยกอธิบายได้ดังนี้

3.3.1 ส่วนแยกสัญญาณซิงค์ (Video Sync Separator)



รูปที่ 3.14 วงจรแยกสัญญาณซิงค์

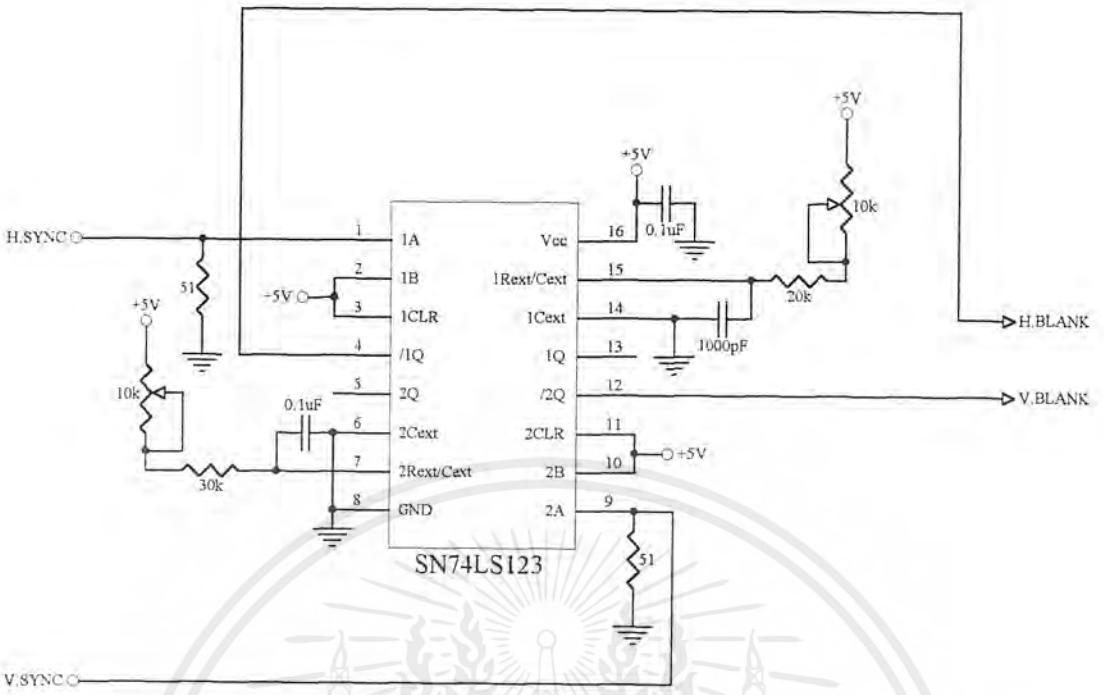
ส่วนแยกสัญญาณซิงค์ คือส่วนของไอซีเบอร์ LM1881N ซึ่งจะทำหน้าที่แยกสัญญาณควบคุมตำแหน่งภาพออกจากสัญญาณวิดีโอคอมโพสิต ซึ่งสัญญาณควบคุมตำแหน่งภาพที่แยกออกมานี้ ประกอบด้วย

1) สัญญาณคอมโพสิตซิงค์ (Composite Sync) มักจะใช้เป็นสัญญาณฮอริซอนตัลซิงค์ (Horizontal Sync)
2) สัญญาณเวอร์ติคอลซิงค์ (Vertical Sync)
3) สัญญาณแสดงฟิลด์คี่/คู่ (Odd/Even)
4) สัญญาณเบิรสต์/แบค (Burst/Back)

ในโครงงานนี้จะใช้สัญญาณควบคุมตำแหน่งภาพ 2 ชนิดแรก ในการควบคุมการเขียน/อ่านหน่วยความจำ รวมทั้งการแสดงภาพบนคอมพิวเตอร์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

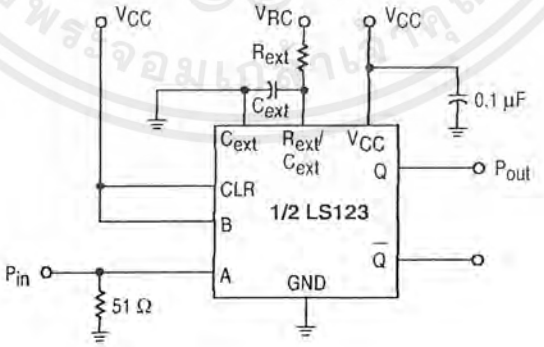
3.3.2 ส่วนกำเนิดสัญญาณแบลงค์



รูปที่ 3.15 วงจรกำเนิดสัญญาณแบลงค์

ส่วนกำเนิดสัญญาณแบลงค์นี้ ก็คือ วงจรโมโนสเตเบิลมัลติไวเบรเตอร์ (Monostable Multivibrator) ซึ่งส่วนสำคัญของวงจรนี้ คือ ไอซีเบอร์ SN74LS123 ซึ่งภายในประกอบด้วยส่วนของโมโนสเตเบิลมัลติไวเบรเตอร์สองตัว

ส่วนกำเนิดสัญญาณแบลงค์นี้ จะนำเอาสัญญาณฮอริซอนตัลซิงค์ (หรือสัญญาณคอมโพสิตซิงค์) และสัญญาณเวอร์ติคอลซิงค์ มาทำให้เป็นสัญญาณฮอริซอนตัลแบลงค์ และสัญญาณเวอร์ติคอลแบลงค์ตามลำดับ โดยการควบคุมความกว้างของพัลส์ ของวงจรโมโนสเตเบิลมัลติไวเบรเตอร์



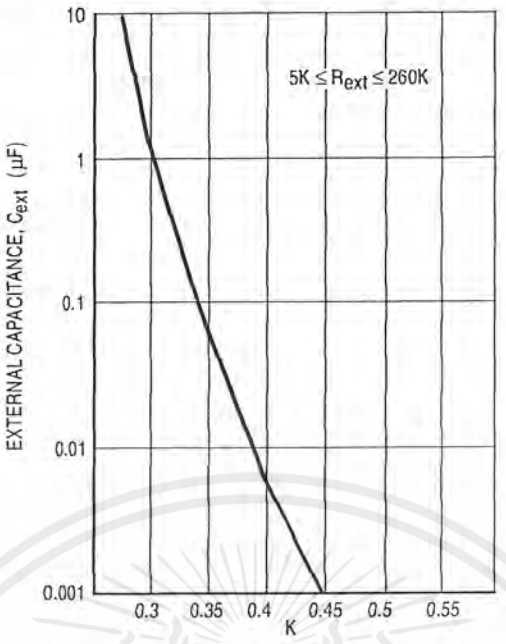
รูปที่ 3.16 การใช้งานไอซีเบอร์ SN74LS123

จากรูปที่ 3.16 การควบคุมความกว้างของพัลส์หรือเวลา t_w หาได้จาก

$$t_W = KR_{ext}C_{ext}$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

โดยที่ค่า K หาได้จากกราฟในรูปที่ 3.17



รูปที่ 3.17 กราฟแสดงความสัมพันธ์ระหว่างค่า C_{ext} กับค่าK

ในโครงงานนี้จะใช้ส่วนของวงจรโมโนสเตเบิลมัลติไวเบรเตอร์ตัวแรกของ SN74LS123 กำเนิดสัญญาณฮอริซอนตัลแบลงค์ โดยเลือกใช้ $C_{ext} = 1000$ pF จากกราฟรูปที่ 3.17 ได้ค่า K = 0.45 ถ้าต้องการให้ $t_w = 10.5\ \mu s$ ดังนั้นจะคำนวณค่า R_{ext} ได้เท่ากับ

$$R_{ext} = 10.5\mu s/(0.45 \times 1000pF) = 23.3k\Omega$$

ส่วนวงจรโมโนสเตเบิลมัลติไวเบรเตอร์ตัวที่สองของ SN74LS123 กำเนิดสัญญาณเวอร์ติคอลแบลงค์ โดยเลือกใช้ $C_{ext} = 0.1\ \mu F$ จากกราฟรูปที่ 3.17 ได้ค่า K = 0.34 ถ้าต้องการให้ $t_w = 1.12$ ms ดังนั้นจะคำนวณค่า R_{ext} ได้เท่ากับ

$$R_{ext} = 1.12ms/(0.34 \times 0.1\mu F) = 32.9k\Omega$$

ค่า R ที่คำนวณได้ทั้งสองกรณีข้างต้นสามารถใช้ความต้านทานปรับค่าได้เพื่อปรับความกว้างของสัญญาณแบลงค์ให้เหมาะสมได้ตามต้องการ

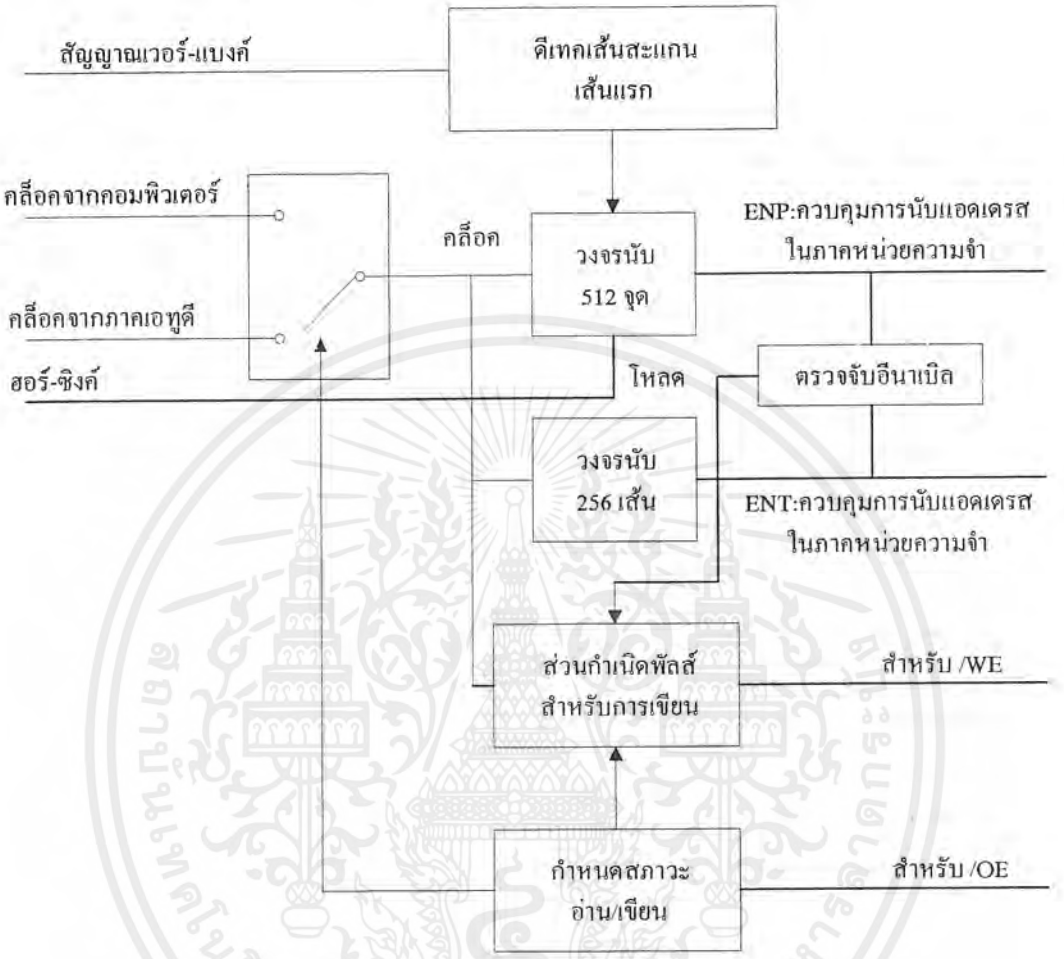
สัญญาณฮอริซอนตัลแบลงค์และสัญญาณเวอร์ติคอลแบลงค์ที่ได้นี้จะนำไปใช้ในภาคควบคุมเพื่อเลือกเก็บเฉพาะสัญญาณข้อมูลภาพเท่านั้น

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.4 ภาคคอนโทรล

3.4.1 บล็อคไดอะแกรมภาคคอนโทรล

สามารถแบ่งการทำงานของภาคคอนโทรลได้เป็น 2 ช่วงคือ ช่วงขณะทำการเขียนข้อมูลเข้าหน่วยความจำ และช่วงทำการอ่านข้อมูลจากหน่วยความจำ



รูปที่ 3.18 บล็อคไดอะแกรมของภาคคอนโทรล

จากบล็อคไดอะแกรม เริ่มจากส่วนกำหนดสภาวะ อ่าน/เขียน ซึ่งทำหน้าที่เลือกว่าขณะนี้จะทำการเขียนหรืออ่าน จะกำหนดโดยสภาวะ 1 เป็นการเขียน 0 เป็นการอ่าน ซึ่งการเลือกสภาวะนี้จะนำไปสู่การเลือกคล็อค กล่าวคือ การเขียนจะใช้คล็อคจากวงจรกำเนิดคล็อคซึ่งมีค่า 10 MHz ส่วนการอ่านจะใช้คล็อคจากคอมพิวเตอร์เพื่อการอ่านข้อมูลจากเครื่องไปสู่คอมพิวเตอร์

การเขียน เริ่มจากสัญญาณเวอร์-แบงค์ ซึ่งเราสามารถปรับได้ จะเริ่มทำการดีเทคเส้นสะแกนเส้นเส้นแรก โดยวงจรนับก็จะเริ่มทำงาน นับจุดไป 512 จุด จนจบ 1 เส้นสะแกน วงจรนับเส้นก็จะนับไปหนึ่ง จากนั้นวงจรนับจุดก็จะเริ่มนับอีกไปจนครบ 512 จุดก็จะจบอีกหนึ่งเส้น แล้ววงจรนับเส้นก็จะนับไปอีกหนึ่ง เป็นเช่นนี้เรื่อยไปจนครบ 256 เส้นตามต้องการ โดยในขณะที่วงจรนับทำงานชุดกำเนิดพัลส์สำหรับ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

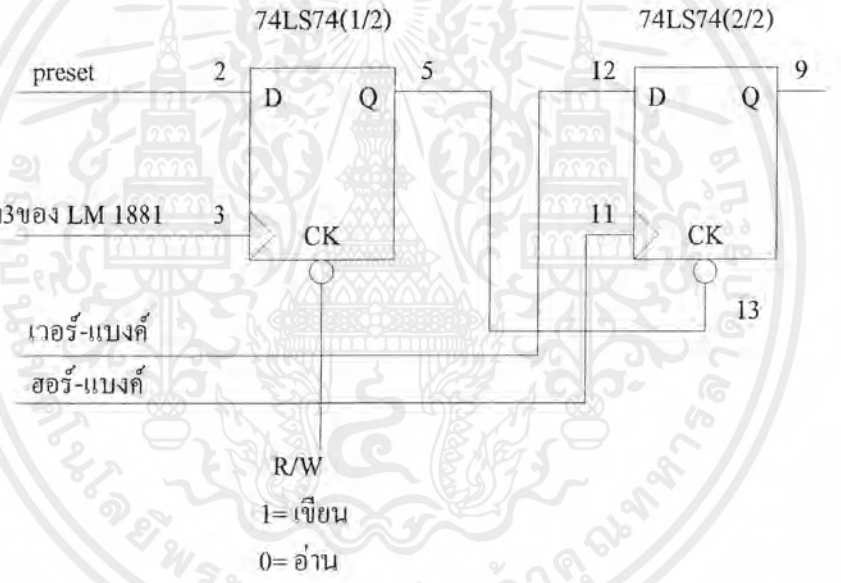
การเขียนก็จะทำงานด้วย ถ้าวงจรนับหยุดทำงาน ชุดกำเนิดพัลส์ก็จะหยุดตาม ซึ่งเป็นการเขียนข้อมูลลงหน่วยความจำเมื่อแอดเดรสเปลี่ยนเท่านั้น

การอ่าน ก็จะเป็นลักษณะเดียวกับการเขียน โดยจะใช้คล็อคจากคอมพิวเตอร์อ่านข้อมูลจากเครื่องไปแสดงผลบนหน้าจอ

3.4.2 การทำงานภาคคอนโทรล

การทำงานช่วงการเขียนข้อมูล

การสะแกนภาพในโทรทัศน์ระบบ 625 เส้นนั้น จะสะแกน 2 ครั้ง คือ 312.5 เส้นในแต่ละฟิลด์ ในโครงงานนี้จะทำการเก็บข้อมูลเพียง 256 เส้นเท่านั้น เพราะฉะนั้นก็จะออกแบบวงจรให้รับข้อมูลภาพเพียง 1 ฟิลด์ สิ่งที่สำคัญก็คือจะต้องเริ่มต้นเก็บข้อมูลที่เส้นสะแกนต้น ๆ ของฟิลด์นั้น เพื่อให้เก็บข้อมูลได้ครบ 256 เส้นก่อนที่จะหมดฟิลด์ มิฉะนั้นแล้วข้อมูลที่ได้จะเป็นภาพที่ขาดความสมบรูณ์ อาจจะเป็นภาพที่ส่วนบนถูกตัดไปก็ได้ เมื่อเก็บฟิลด์หนึ่งแล้วนั้นจะทำการเฉลี่ยค่าของเส้นทั้งสองที่อยู่ติดกันเพื่อมาเป็นเส้นในฟิลด์ที่เหลือ เพื่อให้ได้รูปขนาด 512*480 ซึ่งการเฉลี่ยค่า และการแทรกฟิลด์ลงไปนี้จะทำโดยโปรแกรมโดยจะกล่าวในภายหลัง การเริ่มต้นเก็บข้อมูลจะใช้วงจรดังนี้



รูปที่ 3.19 แสดงการเริ่มต้นเก็บข้อมูล

เงื่อนไขการเริ่มต้นการนับ คือชุดกำหนดสภาวะอ่านเขียนจะต้องอยู่ในสภาวะเขียน ซึ่งสามารถตรวจสอบได้จากสัญญาณลอจิก ที่ขา 13 ของ U6 ต้องมีสถานะ "1" การทำงานของวงจรนับจะมีอยู่ 2 ส่วนคือ

1. ส่วนวงจรนับจุด 512 จุดใช้สำหรับนับจำนวนจุดที่จะทำการเขียนลงไปในหน่วยความจำให้ครบ 512 จุด แล้วทำการหยุดรอ ฮอร์-แบงค์เพื่อมารีเซ็ต ทำการเริ่มนับจุดในเส้นสะแกนต่อไปใหม่
2. ส่วนวงจรนับเส้น 256 เส้น ใช้สำหรับนับจำนวนเส้นให้ครบ 256 เส้น

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การทำงานของวงจรนับในภาคคอนโทรลทั้งสองตัวนี้ จะนำไปควบคุมการนับแอดเดรสในภาคหน่วยความจำ ซึ่งแอดเดรสจะถูกนับและหยุดนับตามการนับของวงจรในภาคคอนโทรลนี้ ทำให้เราสามารถเก็บข้อมูลเข้าหน่วยความจำได้ตรงตามจุดในแต่ละเส้นครบ 512 จุด จำนวน 256 เส้นสะแกน ตามต้องการ

วงจรนับที่นำมาใช้งานนั้นใช้ วงจรรวมเบอร์ 74LS163 ซึ่งเป็นวงจรนับขนาด 4 บิต จำนวน 6 ตัว โดยวงจรนับจุด 512 จุดจะใช้ วงจรรวมเบอร์ 74LS163 จำนวน 3 ตัว (512_{10}=100000000_2) จึงเพียงพอในการนับ ส่วนวงจรนับเส้น 256 เส้น ก็จะใช้ วงจรรวมเบอร์ 74LS163 จำนวน 2 ตัว นับได้ถึง 128 ดังนั้นจึงต้องนับสองครั้ง (128_{10}=10000000_2) ต่อกันแบบลุคอะเฮดแคร่เพื่อให้งานกับคล็อคความถี่สูงได้ ส่วนวงจรรวมเบอร์ 74LS163 อีกตัวที่เหลือก็ต่อเข้าเพื่อเป็นการสร้างสัญญาณ preset ไปควบคุมการสภาวะการเขียน/การอ่าน

ในขณะที่วงนับทำงานชุดกำเนิดพัลส์สำหรับการเขียนก็จะทำงานด้วย ถ้าวงจรนับหยุดทำงานชุดกำเนิดพัลส์ก็จะหยุดตาม ซึ่งเป็นการเขียนข้อมูลลงหน่วยความจำเมื่อแอดเดรสเปลี่ยนเท่านั้น พัลส์ที่กำเนิดขึ้นมานี้เป็นพัลส์ทางลบ โดยต้องควบคุมความกว้างให้เหมาะสม คือความกว้างจะต้องเพียงพอสำหรับค่าเวลาการเข้าถึงข้อมูลของหน่วยความจำ และไม่มากเกินไปสำหรับช่วงเวลาการเปลี่ยนแอดเดรส กล่าวคือถ้าความกว้างของพัลส์น้อยกว่าเวลาในการเข้าถึงข้อมูลของหน่วยความจำจะทำให้ข้อมูลที่ได้มาเขียนลงในหน่วยความจำไม่หมด ข้อมูลเกิดการสูญหาย และเมื่อมีข้อมูลเส้นต่อไปเข้ามาก็จะเขียนต่อไปที่แอดเดรสที่ค้างอยู่เมื่อคอมพิวเตอร์ทำการอ่านข้อมูลก็จะเกิดการเลื่อนของเส้น และถ้าความกว้างของพัลส์มากกว่าช่วงเวลาการเปลี่ยนแอดเดรส ก็จะทำให้เกิดการเขียนข้อมูลซ้ำ เกิดความผิดพลาดขึ้นได้ โดยรายละเอียดจะทราบได้จากหัวข้อการคำนวณ

ส่วนควบคุมสภาวะการอ่านเขียนใช้วงจรรวมเบอร์ 74LS163 ซึ่งก็คือตำแหน่ง U6 โดยจะเป็นการนับว่าครบ 512 จุด 256 เส้นหรือยัง ถ้าครบแล้วมันก็จะเปลี่ยนสถานะลอจิกขา 13 จากเดิม "1" เป็น "0" ซึ่งเป็นการกำหนดว่าหมดช่วงเวลาการเขียนแล้ว ต่อไปจะเป็นช่วงเวลาการอ่าน ซึ่งการควบคุมก็จะเปลี่ยนไปเป็นการควบคุมจากคอมพิวเตอร์แทน โดยคล็อคที่ส่งมาจากคอมพิวเตอร์เป็นการเริ่มการอ่าน

การทำงานช่วงการอ่านข้อมูล

เมื่อคอมพิวเตอร์ตรวจสอบขา 13 ของ U6 ว่ามีสถานะ "0" แสดงว่าอยู่ในเงื่อนไขที่จะทำงานได้แล้วคอมพิวเตอร์จะส่งพัลส์ออกมารีเซ็ตให้ภาคคอนโทรลหยุดการทำงาน แล้วรีเซตแอดเดรสให้เป็นศูนย์แล้วเริ่มอ่านข้อมูลเส้นแรกเมื่อครบแล้ว ในตอนนี้จะมีสัญญาณอีนาเบิลไปยังชุดนับแอดเดรสในภาคหน่วยความจำ เมื่อคอมพิวเตอร์ส่งคล็อคเข้ามาอีกครั้งหนึ่งแอดเดรสจะเพิ่มขึ้นหนึ่ง และก็จะเริ่มทำการอ่านข้อมูลเส้นต่อไปเป็นเช่นนี้ไปเรื่อย ๆ จนครบ 512*256 ตำแหน่ง

3.4.3 การคำนวณค่าต่าง ๆ ในภาคคอนโทรล

1. วงจรนับ 512 จุด

เราต้องการให้วงจรนับจาก 0 ไปถึง 512 จะต้องใช้เลขไบนารี่จำนวน 10 บิต เพราะเราต้องการการเปลี่ยนสถานะของบิตเมื่อครบ 512 ซึ่งก็คือ บิตที่ 10 นั่นเอง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

วงจรรวม 74LS163 นั้นมีขนาด 4 บิตดั้งนั้นเราจึงต้องใช้ 3 ตัว มาต่อแคสเคดกันซึ่งจะทำให้ได้จำนวนบิตเท่ากับ 12 บิตซึ่งเกินพอ แต่เนื่องจากเราต้องการต่อแคสเคดไปอีก 2 ตัว เพื่อเป็นชุดนับ 256 เส้น ซึ่งเราต้องการใช้สัญญาณ TC (หรือRCO) เพราะฉะนั้นเราจะต้องทำการโหลดค่าเริ่มต้นให้บิตที่สูงกว่าบิตที่ 9 จนถึงบิตที่ 12 เป็นค่า "1" ให้หมด ดังนั้นจึงต้องโหลดค่า 111000000000_2 เข้าไปในวงจรนับ

2. วงจรนับ 256 เส้น

ส่วนของวงจรนับ 256 เส้น จะแบ่งการนับเป็นสองรอบ แต่ละรอบนับ 128 เส้น (128_{10} = 10000000_2) เนื่องจากบิตที่ 8 จะเปลี่ยนสถานะได้เมื่อวงจรนับ นับถึง 128 ดังนั้นเราจึงเอาบิตที่ 8 นี้ออกไปเป็นเอาต์พุทสำหรับควบคุม และเราจำเป็นต้องนำเอา TC ไปใช้งานอีกจึงต้องโหลดค่าเข้าวงจรนับ เป็นค่า 10000000_2

3. วงจรกำเนิดพัลส์สำหรับการเขียน

ใช้วงจรรวมเบอร์ 74LS123 ซึ่งต่อวงจรเป็นโมโนสเตเบิล ซึ่งจะต้องทำให้ความกว้างของพัลส์อยู่ในช่วงที่กำหนด คือ ไม่น้อยกว่าค่าเวลาการเข้าถึงข้อมูลของหน่วยความจำ ซึ่งหน่วยความจำที่ใช้คือ วงจรรวมเบอร์ HM628128 มีค่าเวลาการเข้าถึงข้อมูลเท่ากับ 85 นาโนวินาที และไม่มากกว่าคาบเวลาของคล็อคที่ใช้ในการนับแอดเดรส ซึ่งก็คือ 100 นาโนวินาที

สูตรที่ใช้คำนวณคือ

$$tw = 6+0.05C_{ext}(pF)+0.45R_{ext}(k\Omega)C_{ext}+11.6R_{ext}$$

กำหนดให้ C = 5 พิโคฟารัด ความกว้างของพัลส์ 85-100 นาโนวินาที แทนค่าในสูตร

$$85 = 6+(0.05*5)+0.45(R*5)+11.6R$$

$$85 = 6.25 + 13.85R$$

$$R = (85-6.25)/13.85$$

$$= 5.686\ k\Omega$$

$$100 = 6+(0.05*5)+0.45(R*5)+11.6R$$

$$100 = 6.25 + 13.85R$$

$$R = (100-6.25)/13.85$$

$$= 6.768\ k\Omega$$

จากการคำนวณจะได้ว่าความต้านทานที่ต้องใช้มีค่าระหว่าง 5.686 kΩ ถึง 6.768 kΩ

3.5 การทำงานของหน่วยความจำ (MEMORY)

เราต้องการเก็บข้อมูลขนาด 512*256 ซึ่งมีขนาด 128 กิโลไบต์ดังนั้นในภาคหน่วยความจำจึงใช้วงจรรวมเบอร์ HM628128BLP-8 ซึ่งสามารถเก็บข้อมูลสูงสุดได้ 128 กิโลไบต์ตามต้องการ

HM628128BLP-8 มีความเร็วให้การเขียนเข้าถึงข้อมูล 85 นาโนวินาที ซึ่งเร็วพอที่จะเก็บข้อมูลจากการ แซมปลิ้ง ของภาคเอทูดีคอนเวอร์เตอร์ เพราะภาคเอทูดีคอนเวอร์เตอร์ จะใช้ความถี่ในการแซม

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ปลิ้งเท่ากับ 10 MHz ซึ่งคาบเวลาเท่ากับ 100 นาโนวินาที จะเห็นว่า HM628128BLP-8 สามารถเก็บข้อมูลได้เรียบร้อยแล้วก่อนข้อมูลใหม่เข้ามา

HM628128BLP-8 มีขาแอดเดรสในการอ้างตำแหน่ง 17 ขา ซึ่งสามารถอ้างตำแหน่งได้ 131072 (512*256) ตำแหน่ง ในการเปลี่ยนตำแหน่งแอดเดรสจะใช้วงจรรวมเบอร์ 74LS163 ซึ่งเป็นวงจรนับ 4 บิตแบบซิงโครนัส จำนวน 5 ตัวมาใช้นับแอดเดรส ซึ่งจะมีจำนวน 20 บิต เพียงพอต่อการนับแอดเดรส 131072 ตำแหน่ง ในการออกแบบนี้จะให้หน่วยความจำ เริ่มเก็บข้อมูลที่แอดเดรส 0 0000 H เป็นต้นไป ดังนั้นจึงต้องโหลดค่า F FFFF H เป็นค่าเริ่มต้นเมื่อคล็อคของภาคเอทูดีคอนเวอร์เตอร์ เข้ามาลูกแรกแอดเดรสก็จะเปลี่ยนไปที่ 0 0000 H แล้วข้อมูลก็จะถูกเก็บไว้ในแอดเดรส 0 0000 H ได้ตามต้องการ

3.6 การอินเตอร์เฟส

สำหรับโครงงานนี้ถูกออกแบบให้ใช้พอร์ตขนานในการเชื่อมต่อเข้ากับคอมพิวเตอร์ โดยมีการใช้ขาอินพุตสำหรับรับข้อมูลภาพเข้าคอมพิวเตอร์ 8 ขา คือขา 2-9 ซึ่งจะเป็น 8 บิต ของข้อมูลภาพ 1 จุด นอกจากนี้ยังมีขาที่ใช้สำหรับส่งสัญญาณไปควบคุมอุปกรณ์ และรับข้อมูลแสดงทางฮาร์ดแวร์อีกด้วย (ตำแหน่งแอดเดรสของพอร์ตขนานใช้ตำแหน่งแอดเดรสเริ่มต้นของ LPT1 คือ 378H)

ขาของพอร์ตขนานทางคอมพิวเตอร์ จะเป็นพินชนิด DB25 และทางด้านฮาร์ดแวร์จะเป็นพิน 36 ขา ชนิดเซนโทรนิกส์ซึ่งมีการใช้งานเพียงบางขาเท่านั้นที่ต่อกับฮาร์ดแวร์

พิน (DB-25)	พินชนิดเซนโทรนิกส์	การเชื่อมต่อกับฮาร์ดแวร์
1	1	CLR
2	2	ข้อมูลบิตที่ 1(LSB)
3	3	ข้อมูลบิตที่ 2
4	4	ข้อมูลบิตที่ 3
5	5	ข้อมูลบิตที่ 4
6	6	ข้อมูลบิตที่ 5
7	7	ข้อมูลบิตที่ 6
8	8	ข้อมูลบิตที่ 7
9	9	ข้อมูลบิตที่ 8 (MSB)
13	13	RW
14	14	PRESET
16	31	CLOCK
18-25	19-30	GROUND

ตารางที่ 3.1 แสดงการต่อขาเข้ากับฮาร์ดแวร์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การต่อเข้าฮาร์ดแวร์จะพิจารณาพินชนิดเซนโทรนิกส์เป็นหลัก คือ

1) ขา 1 ต่อเข้ากับ CLR ของภาคหน่วยความจำ ใช้สำหรับให้คอมพิวเตอร์ส่งสัญญาณโลว์ไปเคลียร์แอดเดรสของหน่วยความจำให้เป็น 0000H ก่อนทำการอ่านข้อมูลในหน่วยความจำ

2) ขา 2-9 ต่อเข้ากับขา 18,16,14,12,9,7,5 และ 3 ของวงจรรวมเบอร์ SN74LS244N ในภาคหน่วยความจำตามลำดับ ใช้เป็นขาอินพุทรับข้อมูลตามที่ได้อธิบายมาข้างต้น

3) ขา 13 ต่อเข้ากับขา 13 ของไอซี U6 เบอร์ SN74LS163AN ในภาคควบคุม เพื่อให้ฮาร์ดแวร์ส่งสัญญาณโลว์ไปให้คอมพิวเตอร์รู้ว่าพร้อมที่จะส่งข้อมูลไปให้แล้ว

4) ขา 14 ต่อเข้ากับขา 9 ของไอซี U6 เบอร์ SN74LS163AN ในภาคควบคุม ใช้สำหรับให้คอมพิวเตอร์ส่งสัญญาณโลว์ไปให้ฮาร์ดแวร์ทำการจับสัญญาณภาพวิดีโอที่ต้องการ

5) ขา 31 ต่อเข้ากับขา 1 ของไอซี U9A เบอร์ SN74LS08 ในภาคควบคุม ใช้ในสภาวะที่คอมพิวเตอร์กำลังอ่านข้อมูลจากภาคหน่วยความจำโดยส่งสัญญาณคล็อคมาให้ภาคควบคุม และหน่วยความจำ

6) ขา 19-30 ต่อเข้ากับกราวด์ของฮาร์ดแวร์ เนื่องจากขาของพินเหล่านี้เชื่อมถึงกันหมดจึงสามารถเลือกขาใดขาหนึ่งมาเชื่อมต่อกับฮาร์ดแวร์ก็ได้

3.7 การออกแบบของโปรแกรม

3.7.1 แอดเดรสของพอร์ตขนาน

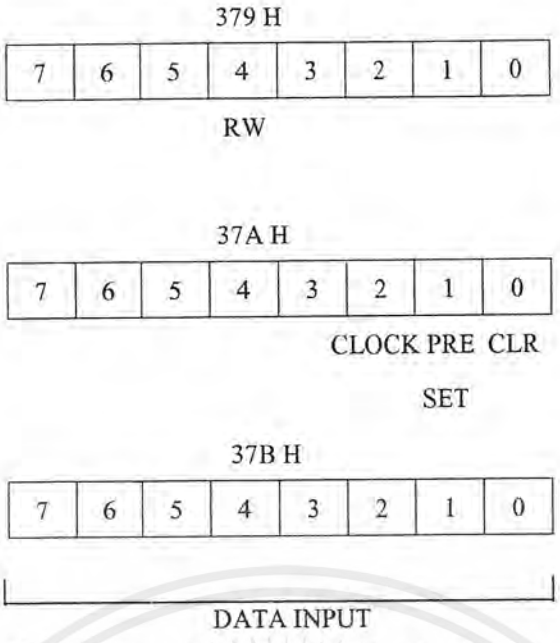
การอ้างอิงตำแหน่งแอดเดรสของพอร์ตขนานสามารถเลือกใช้ได้หลายค่าโดยต้องกำหนดในคอมพิวเตอร์ โครงงานนี้เลือกใช้ LPT 1 ที่แอดเดรสเริ่มต้น 378 H สำหรับแอดเดรสต่าง ๆ ที่ใช้มีดังนี้

1) ตำแหน่ง 379 H ใช้งานบิท 4 เป็นอินพุทของสัญญาณ RW

2) ตำแหน่ง 37A H ใช้งานทั้งหมด 3 บิท คือ บิท 0 ใช้ส่งสัญญาณเคลียร์ บิท 1 ใช้ส่งสัญญาณพรีเซต บิท 2 ใช้ส่งสัญญาณคล็อค

3) ตำแหน่ง 37B H ใช้งานทั้งหมด 8 บิท เป็นอินพุทของสัญญาณข้อมูลทั้งหมด

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.20 แสดงการใช้งานบิทข้อมูลในแต่ละตำแหน่งแอดเดรส

3.7.2 การส่งสัญญาณควบคุมผ่านพอร์ตขนาน

สำหรับการส่งสัญญาณควบคุมไปยังภาคควบคุมและการรับข้อมูลจากภาคหน่วยความจำเข้ามายังคอมพิวเตอร์ผ่านทางพอร์ตขนานนั้น จะเขียนโปรแกรมขึ้นมาใช้ในการควบคุม ซึ่งมีลำดับขั้นการทำงานดังนี้

1) ส่งข้อมูล 01h ออกทางแอดเดรส 37Ah เพื่อรีเซ็ตภาคควบคุม ซึ่งในขณะนี้ขา 1 ของพอร์ตขนานจะมีสถานะลอจิก "0" เพื่อรีเซ็ตภาคควบคุมให้อยู่ในสภาวะเริ่มต้น
2) ส่งข้อมูล 05h ออกทางแอดเดรส 37Ah เพื่อเป็นคล็อคในการทำให้การรีเซ็ตเกิดผล (เนื่องจากเป็นการรีเซ็ตแบบซิงโครนัสจึงต้องใช้คล็อค 1 ลูกในการรีเซ็ต) ในขณะนี้ขา 31 ของพอร์ตขนานจะมีสถานะลอจิก "1"
3) ส่งข้อมูล 02h ออกทางแอดเดรส 37Ah เพื่อพรีเซ็ตภาคควบคุม ในขณะนี้ขา 1 ของพอร์ตขนานจะกลับไปมีสถานะลอจิก "1" ขา 31 กลับไปมีสถานะ "0" ส่วนขา 14 จะมีสถานะ "0"
4) ส่งข้อมูล 06h ออกทางแอดเดรส 37Ah เพื่อเป็นคล็อคในการทำให้การพรีเซ็ตเกิดผล (เนื่องจากเป็นการพรีเซ็ตแบบซิงโครนัสจึงต้องใช้คล็อค 1 ลูกในการพรีเซ็ตเช่นเดียวกับการรีเซ็ต) ในขณะนี้ขา 31 จะมีสถานะลอจิก "1"
5) ส่งข้อมูล 00h ออกทางแอดเดรส 37Ah เพื่อให้ภาคควบคุมเริ่มต้นเก็บข้อมูลเข้าหน่วยความจำ ซึ่งในขณะนี้ ขา 31 , 14 และ 1 ของพอร์ตขนานจะมีสถานะลอจิกเป็น "0" , "1" , "1" ตามลำดับ
6) ในขณะนี้ต้องรอจนกว่าภาคควบคุมจะส่งสถานะ R/W มายังขา 13 ของพอร์ตขนานผ่านทางแอดเดรส 379h จะมีสถานะ "1" เพื่อบอกให้รู้ว่ากำลังเขียนข้อมูลเข้าหน่วยความจำจนครบ

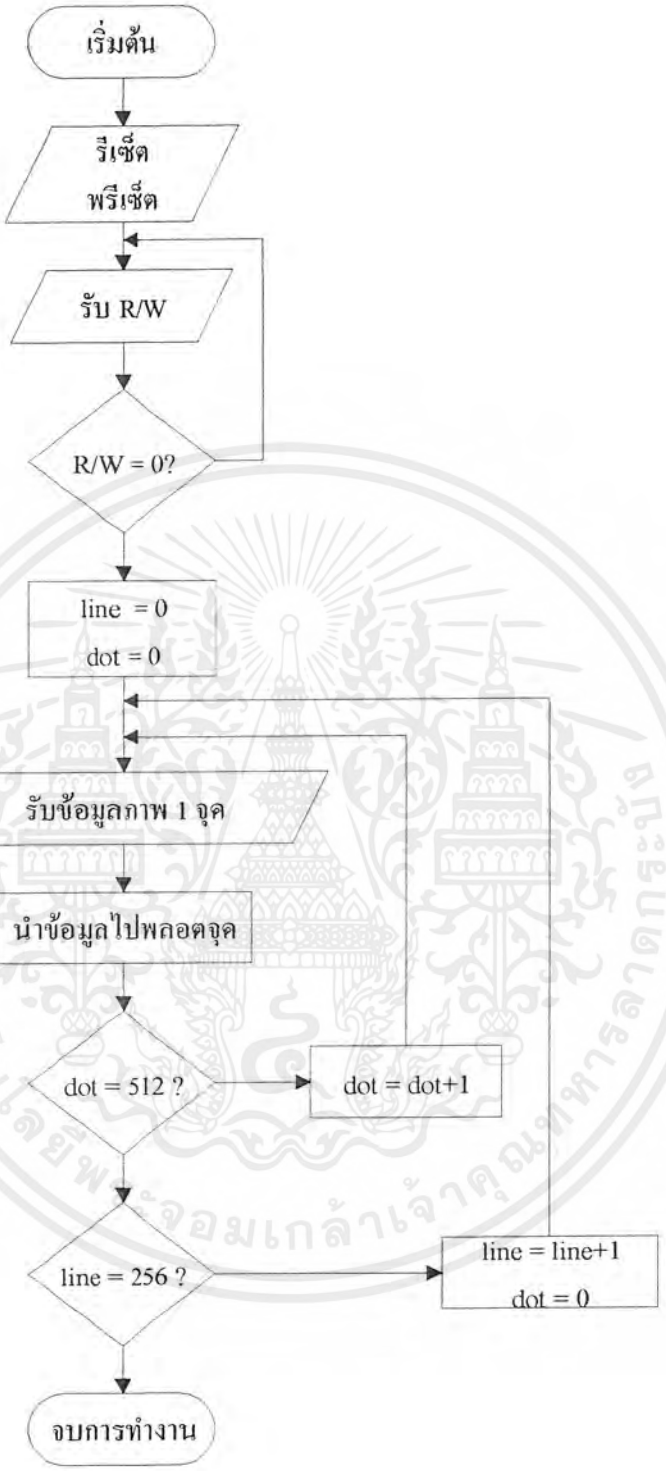
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

แล้ว ก็จะเปลี่ยนสถานะที่ขา 13 นี้ให้เป็น “0” เพื่อบอกให้โปรแกรมทราบว่าถึงเวลาถ่ายข้อมูลเข้าคอมพิวเตอร์แล้ว

7) ในขณะถ่ายข้อมูลเข้าคอมพิวเตอร์ข้อมูลบิต 0 ถึงบิต 7 จะถูกส่งเข้ามาทางขา 2 ถึงขา 9 ของพอร์ตขนาน ซึ่งจะเข้ามาที่แอดเดรส 37Bh ดังนั้นจะต้องเขียนโปรแกรมไปรับข้อมูลที่เข้ามานี้จากแอดเดรส 37Bh จากนั้นจะส่งสัญญาณคล็อคผ่านจากขา 31 ของพอร์ตขนานไป 1 ลูก เพื่อเปลี่ยนไปยังตำแหน่งแอดเดรสของหน่วยความจำถัดไป แล้วจึงถ่ายข้อมูลเข้าคอมพิวเตอร์ ทำเช่นนี้เรื่อยๆ จนกระทั่งสามารถอ่านข้อมูลเข้ามาได้ครบหมด 256 เส้น1

3.7.3 แผนผังการทำงานของโปรแกรม

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.21 แผนภูมิแสดงการทำงานของโปรแกรม

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 4 การทดลองและผลการทดลอง

4.1 การทดลองของภาคแปลงสัญญาณอนาลอกเป็นดิจิตอล

4.1.1 การทดลองของวงจรปรีฟิลเตอร์

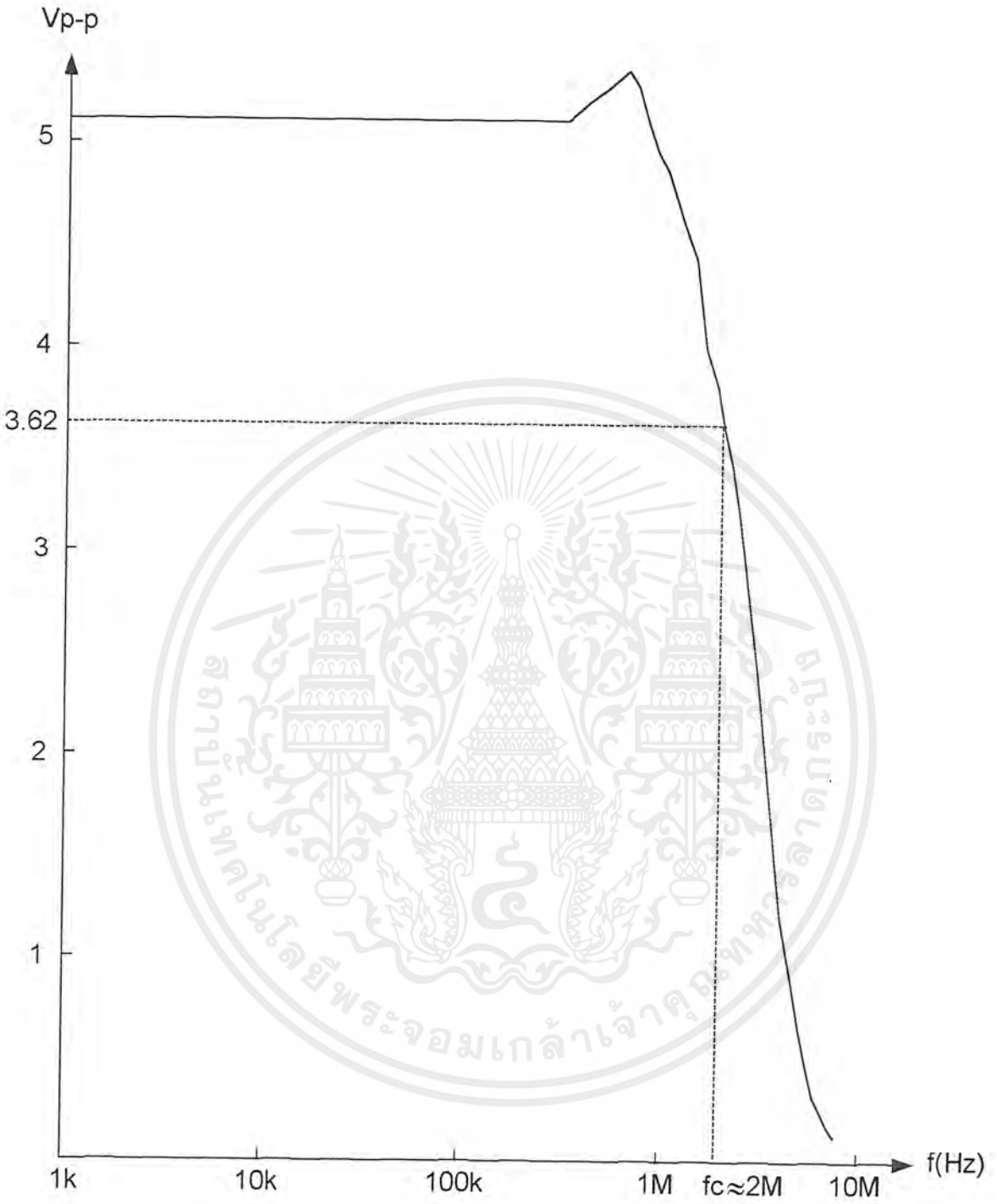
1) จากรูปที่ 3.9 ป้อนสัญญาณอินพุทเป็นสัญญาณซายน์ ขนาด 1 V_{p-p} ด้วยความถี่ต่างๆแล้วทำการวัดขนาดของสัญญาณเอาต์พุท (V_{p-p}) ได้ดังตารางที่ 4.1

ความถี่สัญญาณอินพุท (Hz)	ขนาดสัญญาณเอาต์พุท (V_{p-p})	ความถี่สัญญาณอินพุท (Hz)	ขนาดสัญญาณเอาต์พุท (V_{p-p})
200k	5.12	2.8M	2.72
400k	5.2	3M	2.44
600k	5.36	3.2M	2.2
800k	5.12	3.4M	1.86
1M	4.88	3.6M	1.62
1.2M	4.64	3.8M	1.44
1.4M	4.4	4M	1.28
1.6M	4	4.2M	1.12
1.8M	3.8	4.4M	1
2M	3.6	5M	0.664
2.2M	3.44	5.5M	0.488
2.4M	3.2	6M	0.332
2.6M	2.92	7M	0.172

ตารางที่ 4.1 ผลการทดลองของวงจรปรีฟิลเตอร์

จากตารางที่ 4.1 สามารถนำผลที่ได้ไปวาดกราฟผลตอบสนองความถี่ได้ดังรูปที่ 4.1

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

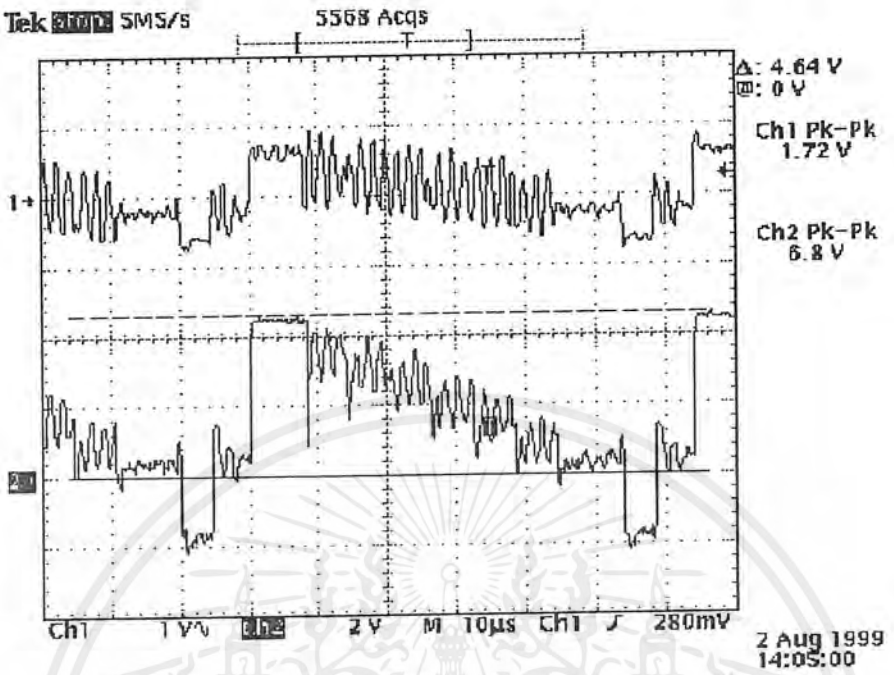


รูปที่ 4.1 กราฟผลตอบสนองความถี่ของวงจรปรีฟิลเตอร์

จากรูปที่ 4.1 จะได้ความถี่คัทออฟประมาณ 2 MHz ซึ่งใกล้เคียงกับค่าที่คำนวณได้จากบทที่ 3

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2) จากรูปที่ 3.9 ป้อนสัญญาณอินพุทเป็นสัญญาณวิดีโอคอมโพสิต (ch1) แล้วทำการวัดสัญญาณเอาต์พุท (ch2) ได้ผลดังนี้



รูปที่ 4.2 สัญญาณวิดีโอคอมโพสิตก่อนและหลังผ่านวงจรปรีฟิลเตอร์

จากผลการทดลองรูปที่ 4.2 จะเห็นว่า สัญญาณวิดีโอคอมโพสิตจะประกอบด้วยสัญญาณคัลเลอร์ซับแคเรียร์ 4.43 MHz ปนกับมาสัญญาณความสว่าง หลังจากผ่านวงจรปรีฟิลเตอร์แล้วสัญญาณซับแคเรียร์จะถูกลดทอนลงเหลือเพียงสัญญาณความสว่าง

4.1.2 การทดลองของไอซีเบอร์ CA3318CE

จากรูปวงจรแปลงสัญญาณอนาลอกเป็นดิจิตอลในภาคผนวก กำหนดค่า Vref เท่ากับ 5.12 V ป้อนสัญญาณอินพุทเป็นแรงดันไฟตรงค่าต่างๆ ให้กับขาอินพุทของไอซีเบอร์ CA3318CE แล้วทำการวัดสัญญาณเอาต์พุทได้ผลดังตารางที่ 4.2

แรงดันอินพุท (V)	รหัสเอาท์พุทเลขฐานสอง							
	MSB B8	B7	B6	B5	B4	B3	B2	LSB B1
0.00	0	0	0	0	0	0	0	0
1.28	0	1	0	0	0	0	0	0
2.56	1	0	0	0	0	0	0	0
3.84	1	1	0	0	0	0	0	0
5.12	1	1	1	1	1	1	1	1

ตารางที่ 4.2 ผลการทดลองของไอซีเบอร์ CA3318CE

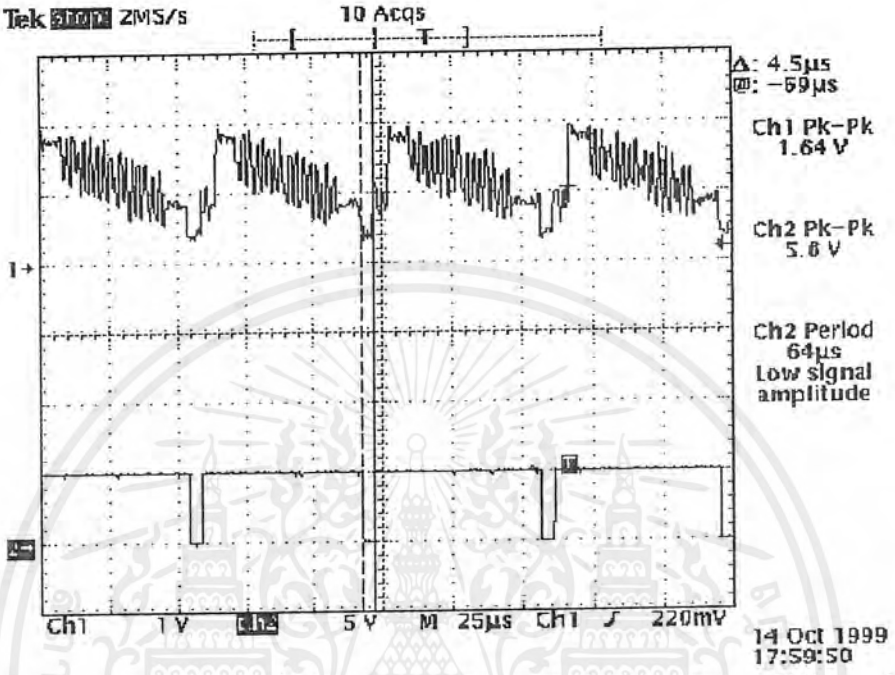
จากตารางที่ 4.2 ลอจิก 0 หมายถึง 0 V , ลอจิก 1 หมายถึง 5 V

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4.2 การทดลองของภาคแยกสัญญาณซิงค์

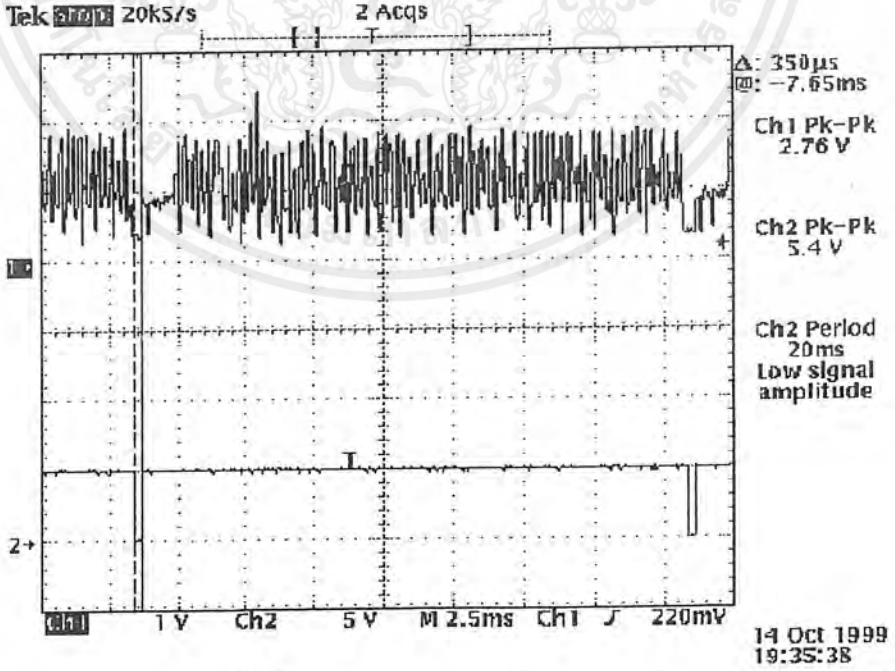
4.2.1 การทดลองของส่วนแยกสัญญาณซิงค์ออกจากสัญญาณวิดีโอคอมโพสิต

จากรูปที่ 3.14 ทำการวัดสัญญาณอินพุทซึ่งเป็นสัญญาณวิดีโอคอมโพสิต วัดสัญญาณฮอริซอนตัลซิงค์ที่ขา CMPSYNC สัญญาณเวอร์ติคอลซิงค์ที่ขา V.SYNC และสัญญาณแสดงฟิลด์คี่/คู่ ที่ขา ของไอซีเบอร์ LM1881N จะได้ผลการทดลองดังนี้



รูปที่ 4.3 สัญญาณฮอริซอนตัลซิงค์ที่ได้จากส่วนแยกสัญญาณซิงค์ออกจากสัญญาณวิดีโอคอมโพสิต

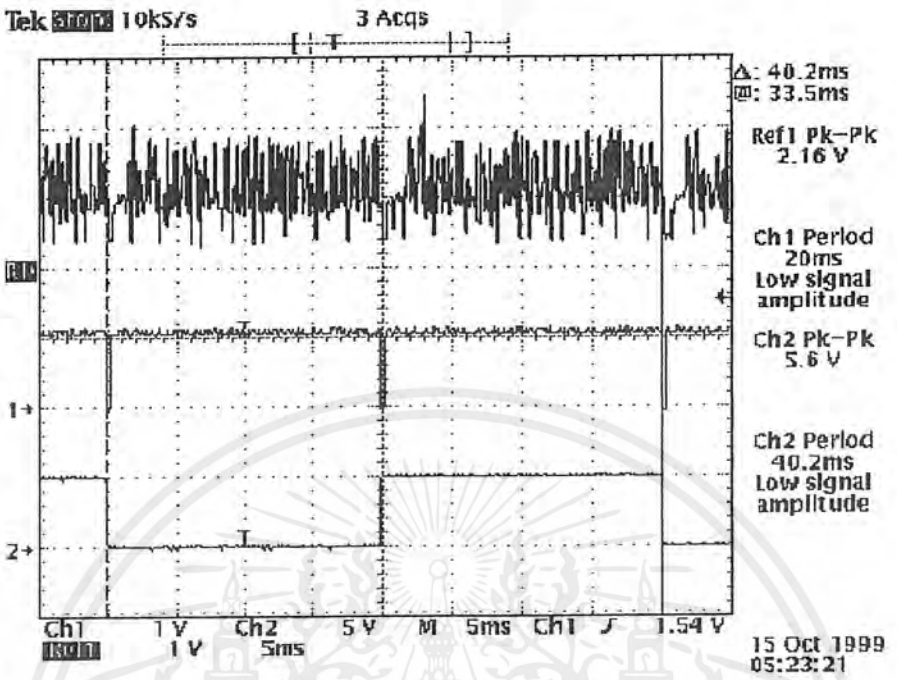
จากรูปที่ 4.3 สัญญาณวิดีโอคอมโพสิต (ch1) และสัญญาณฮอริซอนตัลซิงค์ (ch2)



รูปที่ 4.4 สัญญาณเวอร์ติคอลซิงค์ที่ได้จากส่วนแยกสัญญาณซิงค์ออกจากสัญญาณวิดีโอคอมโพสิต

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากรูปที่ 4.4 สัญญาณวิดีโอคอมโพสิต (ch1) และสัญญาณเวอร์ติคอลซิงค์(ch2)



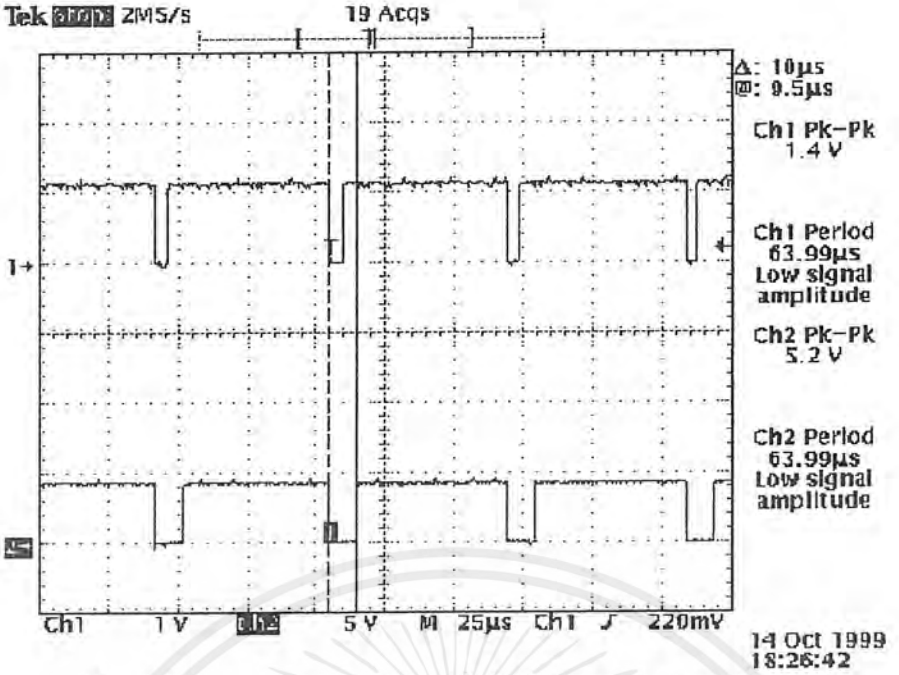
รูปที่ 4.5 สัญญาณแสดงฟิลด์คี่/คู่ที่ได้จากส่วนแยกสัญญาณซิงค์ออกจากสัญญาณวิดีโอคอมโพสิต

จากรูปที่ 4.5 สัญญาณวิดีโอคอมโพสิต (ref1) สัญญาณเวอร์ติคอลซิงค์ (ch1)และสัญญาณแสดงฟิลด์คี่/คู่ (ch2) จะเห็นว่าสัญญาณแสดงฟิลด์คี่/คู่ ถูกแสดงโดยสถานะของสัญญาณ โลจิกคือ ฟิลด์คี่มีสถานะไฮและฟิลด์คู่มีสถานะโลว์ ซึ่งจะมีการเปลี่ยนสถานะเมื่อมีสัญญาณเวอร์ติคอลซิงค์พัลส์เกิดขึ้น

4.2.2 การทดลองของส่วนกำเนิดสัญญาณแบลงค์

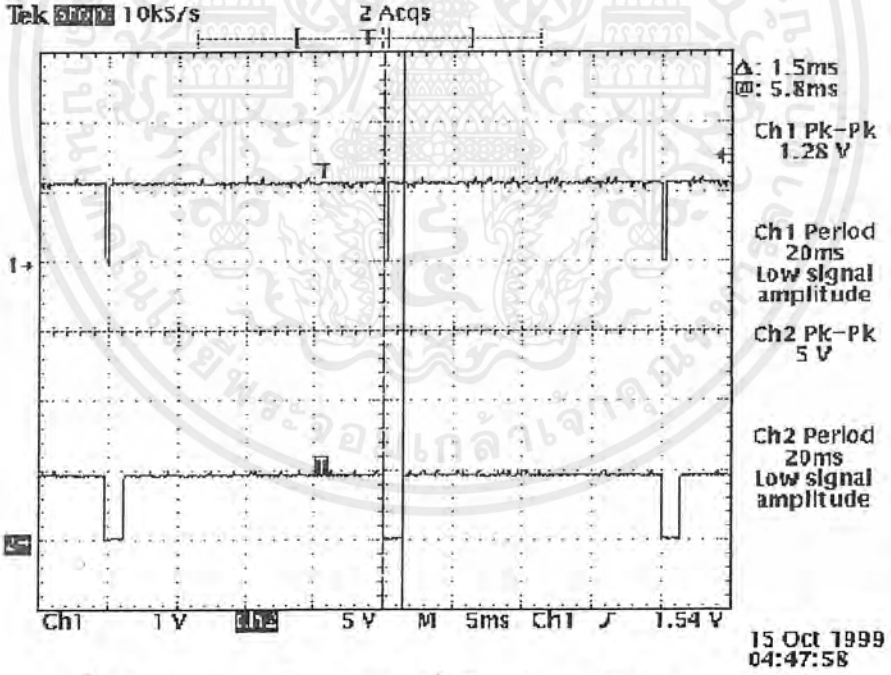
จากรูปที่ 3.15 ทำการวัดสัญญาณอินพุทจากขา 1A และ 2A สัญญาณเอาต์พุทจากขา /1Q และ /2Q ของไอซีเบอร์ SN74LS123 จะได้ผลการทดลองดังนี้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.6 สัญญาณฮอริซอนตัลแบลงค์ที่ได้จากส่วนกำเนิดสัญญาณแบลงค์

จากรูปที่ 4.6 สัญญาณฮอริซอนตัลซิงค์ (ch1) และสัญญาณฮอริซอนตัลแบลงค์ (ch2) จะเห็นว่าสัญญาณฮอริซอนตัลแบลงค์นี้จะเป็นการขยายช่วงพัลส์ลบของสัญญาณฮอริซอนตัลซิงค์ออกไป 10 µs

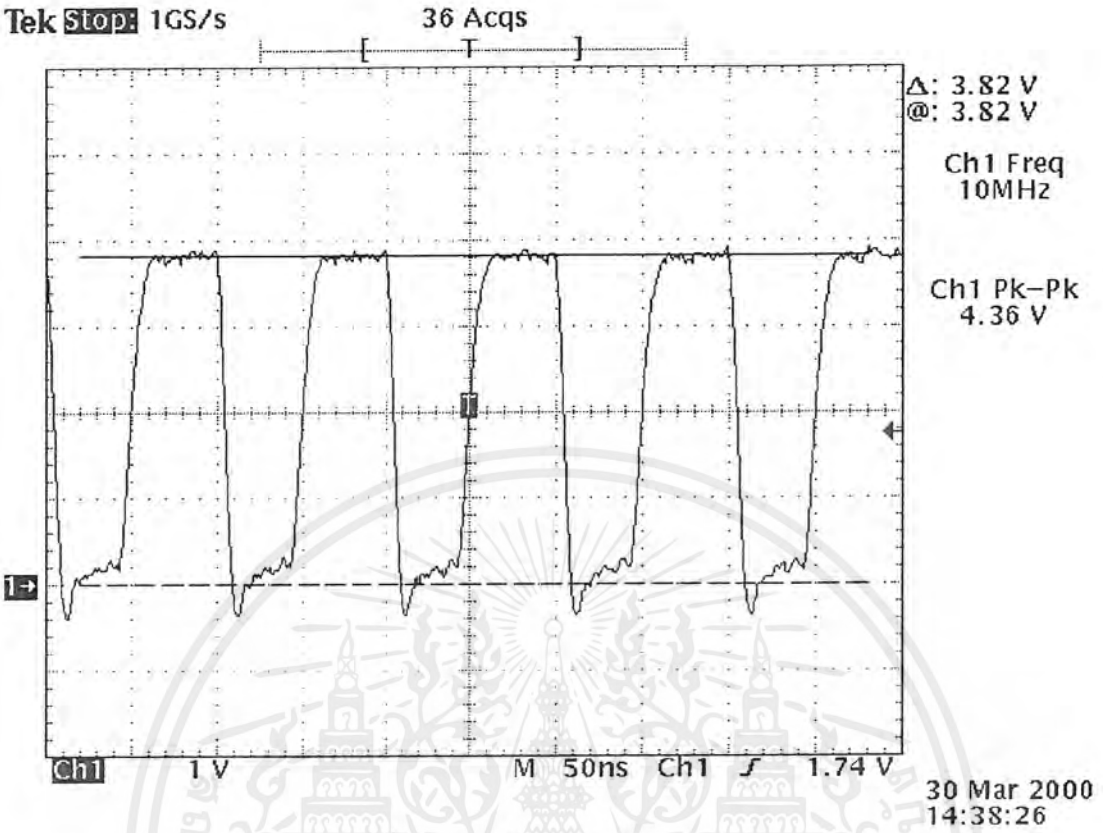


รูปที่ 4.7 สัญญาณเวอร์ติคอลแบลงค์ที่ได้จากส่วนกำเนิดสัญญาณแบลงค์

จากรูปที่ 4.7 สัญญาณเวอร์ติคอลซิงค์ (ch1) และสัญญาณเวอร์ติคอลแบลงค์ (ch2) จะเห็นว่าสัญญาณเวอร์ติคอลแบลงค์นี้จะเป็นการขยายช่วงของพัลส์ลบของสัญญาณเวอร์ติคอลซิงค์ออกไป 1.5 ms

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4.3 วงจรกำเนิดคล็อค

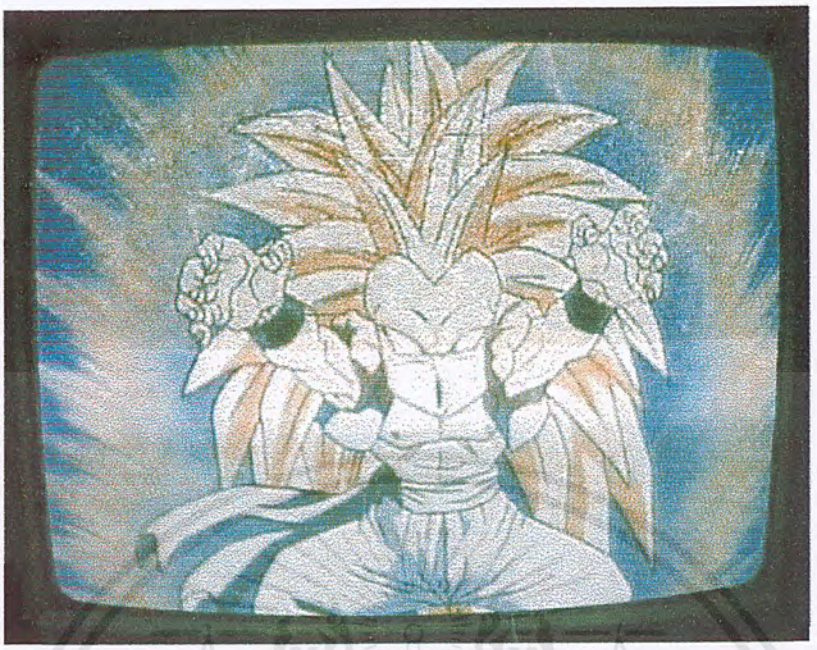


รูปที่ 4.8 แสดงสัญญาณคล็อค 10 MHz

จากวงจรกำเนิดคล็อคจะได้สัญญาณคล็อคดังรูปที่ 4.8 ซึ่งมีความถี่ 10 MHz

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4.4 การทดลองการแสดงภาพบนจอคอมพิวเตอร์

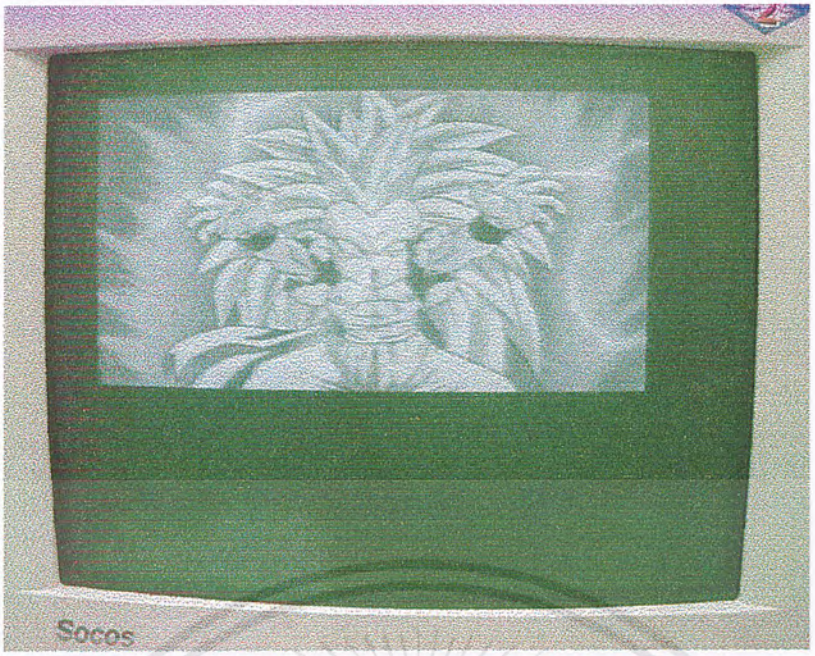


รูปที่ 4.9 ภาพบนเครื่องรับโทรทัศน์

เมื่อทำการเชื่อมต่ออุปกรณ์จับภาพวิดีโอเข้ากับเครื่องคอมพิวเตอร์ผ่านทางพอร์ทขนานแล้วใช้โปรแกรมอ่านข้อมูลภาพจากหน่วยความจำภายนอกมาแสดงผลบนจอคอมพิวเตอร์ได้ผลดังนี้

รูปที่ 4.10 ภาพขาวดำความละเอียด 512*256 จุด บนจอคอมพิวเตอร์ ที่ยังไม่ได้แก้ไข

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



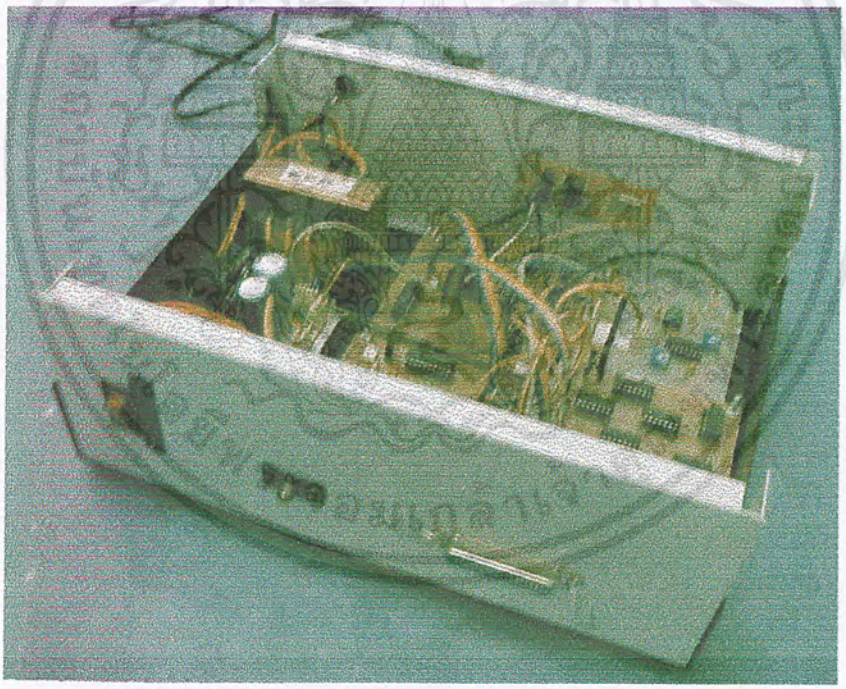
รูปที่ 4.11 ภาพขาวดำความละเอียด 512*256 จุด บนจอคอมพิวเตอร์ ที่แก้ไขแล้ว

จากรูปที่ 4.10 เป็นภาพที่ได้มาจากการใช้โปรแกรมอ่านข้อมูลภาพจากหน่วยความจำภายนอกมาแสดงบนจอคอมพิวเตอร์โดยยังไม่ได้ใช้โปรแกรมแก้ไข จะเห็นได้ว่าภาพถูกสัญญาณอื่นรบกวนทำให้เกิดการเลื่อนของแต่ละเส้นสแกนในแนวนอนเสมือนว่าภาพล้ม จึงทำการแก้ไขโดยเขียนโปรแกรมตรวจหาส่วนของสัญญาณฮอริซอนตัลแบลงค์ ไปอยู่ริมซ้ายสุดของภาพ ซึ่งได้ผลดังรูปที่ 4.11

การเพิ่มขนาดของภาพให้เป็น 512*480 จุดทำได้โดยการเขียนโปรแกรมจำลองเส้นสแกนแนวนอนของฟิดล์ที่ไม่ได้ทำการจัดเก็บจากการหาค่าเฉลี่ยแบบจุดต่อจุดของเส้นสแกนแนวนอน 2 เส้นที่อยู่ติดกันแล้ววางเส้นสแกนแนวนอนที่จำลองนั้นแทรกลงไป ได้ผลดังรูปที่ 4.12

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รูปที่ 4.12 ภาพขาวดำความละเอียด 512*480 จุดบนจอคอมพิวเตอร์



รูปที่ 4.13 อุปกรณ์จับภาพวิดีโอ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 5
บทวิจารณ์ และบทสรุป

5.1 บทสรุป

อุปกรณ์จับภาพวิดีโอจะทำการจับสัญญาณวิดีโอคอมโพสิตในระบบ PAL เพียง 1 ฟิลด์ หรือ 312.5 เส้นสแกนในแนวนอน ทำการแปลงเฉพาะสัญญาณภาพขาวดำ หรือลูมิแนนซ์ให้เป็นข้อมูลดิจิตอล 8 บิต ซึ่งจะได้ระดับความสว่าง 256 ระดับ ที่ความละเอียด 512*256 จุด จัดเก็บในหน่วยความจำภายนอกขนาด 128 กิโลไบต์ เมื่อนำข้อมูลจากหน่วยความจำภายนอกมาแสดงผลบนจอคอมพิวเตอร์ได้ทำการเขียนโปรแกรมเพิ่มรายละเอียดของภาพทางแนวตั้งโดยทำการจำลองเส้นสแกนแนวนอนของฟิลด์ที่ไม่ได้ทำการจัดเก็บจากการหาค่าเฉลี่ยแบบจุดต่อจุดของเส้นสแกนแนวนอน 2 เส้นที่อยู่ติดกัน แล้ววางเส้นสแกนแนวนอนที่จำลองนั้นแทรกลงไป เปรียบเสมือนว่าทำการจัดเก็บภาพ 2 ฟิลด์หรือ 1 เฟรม แต่เนื่องจากโหมดของกราฟฟิคที่ใช้มีความละเอียด 640*480 จุดจึงต้องทำการตัดเส้นสแกนแนวนอนบางส่วนของหัวภาพ และท้ายภาพออก เพื่อให้ได้ความละเอียด 512*480 จุด

5.2 บทวิจารณ์

5.2.1 ปัญหา และอุปสรรค

จากการทดลองอุปกรณ์จับภาพวิดีโอสามารถแปลง และจัดเก็บสัญญาณวิดีโอคอมโพสิต จากเครื่องเล่นวิดีโอ ได้เป็นภาพขาวดำที่มีความชัดพอสมควร แต่ก็ต้องประสบปัญหาที่สำคัญ คือเมื่อทำการอ่านข้อมูลภาพจากหน่วยความจำภายนอกมาแสดงผลบนจอคอมพิวเตอร์ ภาพที่ได้อาจจะเกิดการเลื่อนของแต่ละเส้นสแกนแนวนอน เสมือนว่าภาพล้มหรือเบี้ยว ซึ่งเกิดจากสาเหตุสำคัญสองประการ ประการแรกคือ เนื่องจากโครงงานนี้ออกแบบมาเพื่อเก็บข้อมูลภาพเพียงฟิลด์เดียว ซึ่งในทางปฏิบัติอาจจะเก็บฟิลด์คู่ หรือ ฟิลด์คี่ก็ได้ และเนื่องจากทั้งฟิลด์คู่และฟิลด์คี่ มีการเริ่มสแกนข้อมูลภาพเส้นแรกที่ตำแหน่งต่างกัน ทำให้การเก็บข้อมูลภาพช่วงต้นของบางฟิลด์ผิดผลาดไป ส่วนสาเหตุประการที่สองเกิดจากการกระโดดข้ามของเคาน์เตอร์ที่ใช้ในการอ้างอิงแอดเดรสในจังหวะการเขียนข้อมูลภาพลงหน่วยความจำ เนื่องมาจากรูปร่างของสัญญาณนาฬิกา 10 MHz ผิดเพี้ยน ทำให้เกิดการเลื่อนของเส้นสแกนในแนวนอนบางเส้น การแก้ไขปัญหานี้ทำได้โดยการนำสัญญาณแสดงฟิลด์คี่/ฟิลด์คู่ (odd/even) จากภาคแยกสัญญาณซิงค์ มาใช้ควบคุมการเก็บภาพในฟิลด์ที่ต้องการ และปรับปรุงวงจรกำเนิดสัญญาณนาฬิกาให้มีเสถียรภาพมากขึ้น ซึ่งเป็นการแก้ไขปัญหาทางฮาร์ดแวร์ ควบคู่ไปกับการแก้ไขปัญหาทางซอฟต์แวร์โดยการเขียนโปรแกรมตรวจหาส่วนของสัญญาณลบเส้นเส้นสะบัดกลับทางแนวนอน หรือเส้นสัญญาณฮอริซอนตัลแบลงค์ ของแต่ละเส้นสแกนแนวนอน แล้วจัดเรียงเส้นสแกนแนวนอนเส้นนั้นใหม่โดยให้ส่วนของสัญญาณลบเส้นสะบัดกลับทางแนวนอนอยู่ริมซ้ายสุดของภาพ วิธีนี้สามารถแก้ไขปัญหาภาพล้มได้พอสมควร

นอกจากนี้ ปัญหาที่พบในโครงงานนี้อีกประการหนึ่ง คือวงจรรวมเบอร์ CA3318CE ซึ่งส่วนสำคัญของภาคแปลงสัญญาณอนาลอกเป็นดิจิตอล นั้นหายาก และมีราคาแพง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

5.2.2 แนวทางการพัฒนาในอนาคต

1) ควรพัฒนาให้สามารถทำการจับภาพสีได้ โดยจะต้องมีภาคถอดรหัสสัญญาณสี (RGB Decoder) เพื่อทำการแยกสัญญาณวิดีโอคอมโพสิตให้เป็นสัญญาณ R,G และ B ก่อนที่จะผ่านภาคแปลงสัญญาณอนาลอกเป็นดิจิตอล และภาคหน่วยความจำ ซึ่งจะต้องมี 3 ชุดสำหรับสัญญาณ R,G และ B นอกจากนี้จะต้องทำการปรับปรุงส่วนของภาคคอนโทรล และส่วนโปรแกรมรับและแสดงผลให้สามารถรองรับภาพสีได้ด้วย

2) พัฒนาให้ภาพมีความละเอียดสูงขึ้น โดยเพิ่มความถี่ของสัญญาณนาฬิกาที่ใช้ในการสุ่มสัญญาณ และหน่วยความจำให้สูงขึ้น เช่นใช้วงจรรวมเบอร์ CA3318CE ซึ่งมีอัตราการสุ่มสัญญาณสูงสุด 15 MHz ถ้าต้องการภาพสี 1 เฟรม หรือ 625 เส้น โดยใช้อัตราการสุ่มสูงสุด 15 MHz จะได้ภาพความละเอียด 780*625 จุด ใน 1 จุด มี 24 บิต หรือ 3 ไบต์ ดังนั้นหน่วยความจำจะต้องมีความจุถึง 780*625*3 เท่ากับ 1.4 เมกะไบต์

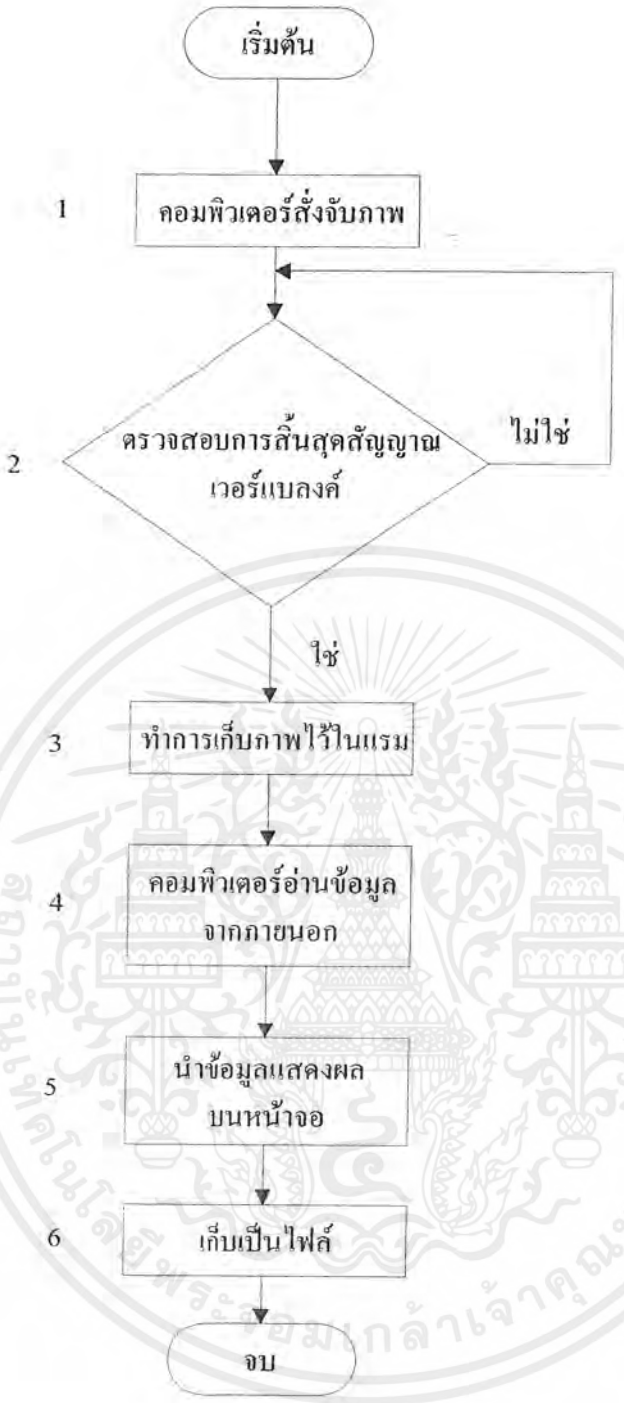
3) จากข้อ 1) และ 2) จะเห็นว่าเมื่อสามารถเก็บภาพสีได้ และความละเอียดสูงขึ้น จะทำให้ต้องใช้หน่วยความจำเพิ่มมากขึ้นด้วย จึงควรพัฒนาโดยนำเทคนิคการบีบอัด และการเข้ารหัสข้อมูลมาประยุกต์ใช้

4) ควรพัฒนาในด้านความเร็วการถ่ายโอนข้อมูลโดยใช้พอร์ต USB หรือสร้างเป็นการ์ดเพื่อพัฒนาไปสู่การเก็บ และแสดงข้อมูลภาพในแบบ Real time

5) ควรใช้ตัวกรองความถี่ของภาพ เข้ามาช่วยในการทำให้เส้นขอบของภาพมีความคมชัดขึ้น เช่น มีเดียนฟิลด์เตอร์ (Median Filter) เป็นต้น

6) ควรพัฒนาให้สามารถเก็บภาพเป็นไฟล์มาตรฐาน เช่น บิตแมป ซึ่งสามารถนำไปประยุกต์ใช้งานได้อย่างกว้างขวาง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



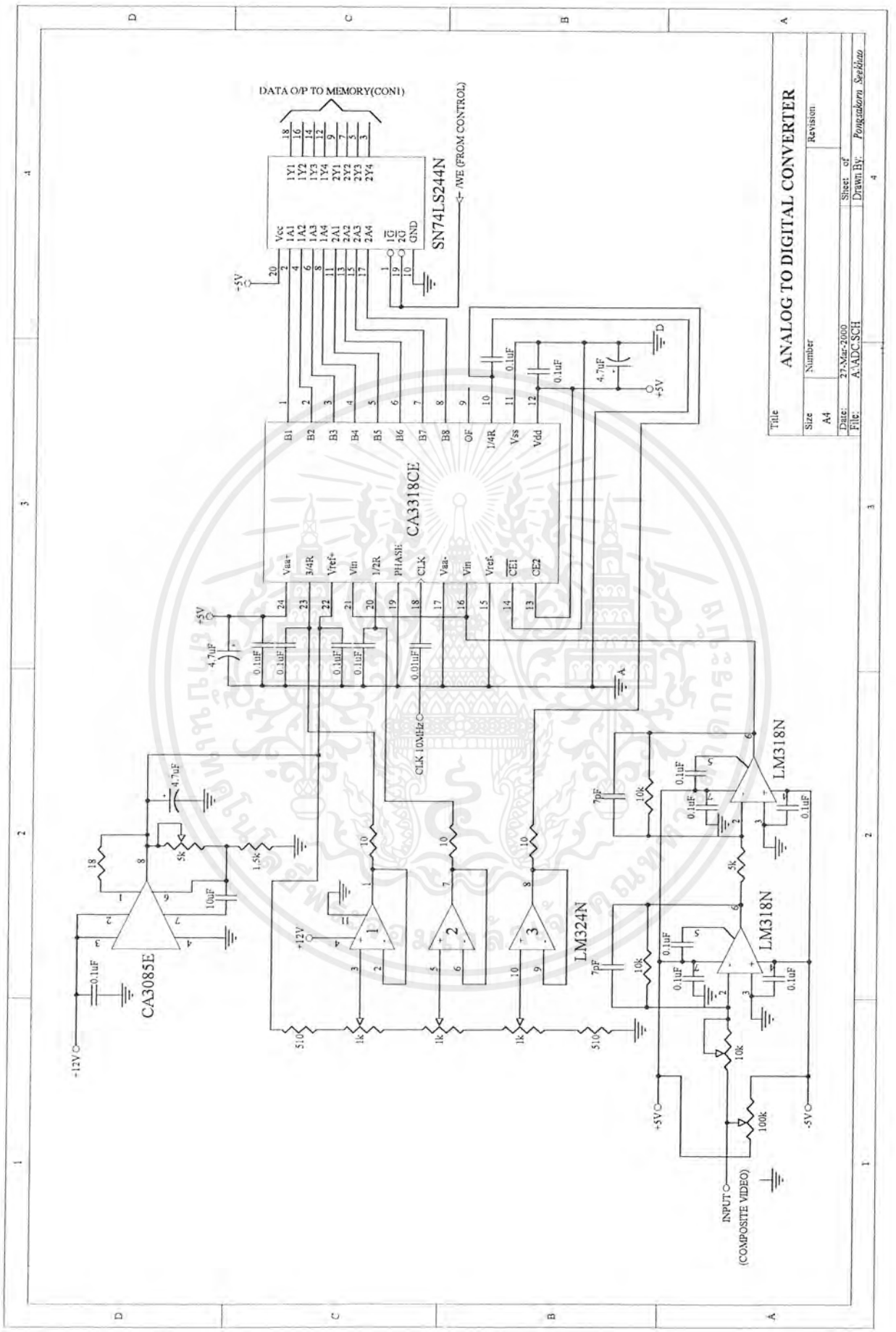
รูปที่ 5.1 แสดงการทำงานทั้งหมดของอุปกรณ์จับภาพวิดีโอ

จากรูปที่ 5.1 เป็นการสรุปการทำงานทั้งหมดของอุปกรณ์จับภาพวิดีโอ โดยเริ่มตั้งแต่การจับภาพจนถึงการเก็บเป็นไฟล์จะเห็นได้ว่าในการแก้ไขที่กล่าวไปแล้วนั้นคือการใช้สัญญาณแสดงฟิลด์คี่/ฟิลด์คู่ที่ใช้ในการเลือกฟิลด์ภาพที่เก็บควรจะนำไปใช้ก่อนขั้นตอนที่ 2 และในส่วนของภาพที่ขาดความคมชัดนั้นก็ได้เสนอแนะในการพัฒนาว่าควรใช้ฟิลเตอร์ในการกรองสัญญาณของภาพซึ่งส่วนของขอบภาพนั้นจะเป็นส่วนที่มีความถี่สูงอยู่ การใช้ฟิลเตอร์นี้จะอยู่ในส่วนของโปรแกรมคือก่อนขั้นตอนที่ 5 ที่เป็นขั้นตอนแสดงภาพ

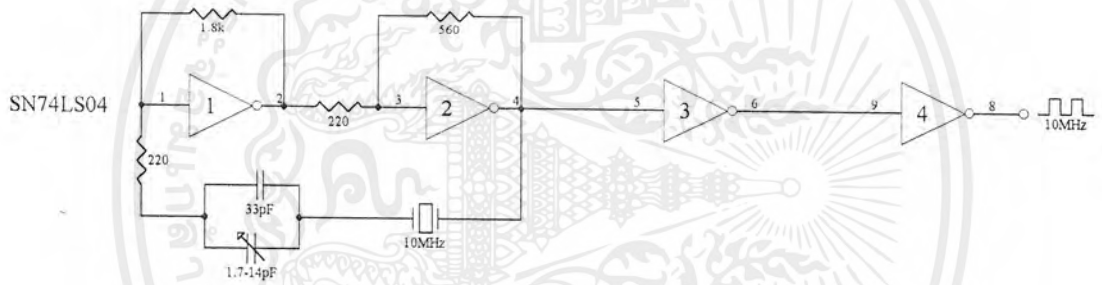
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ภาคผนวก

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

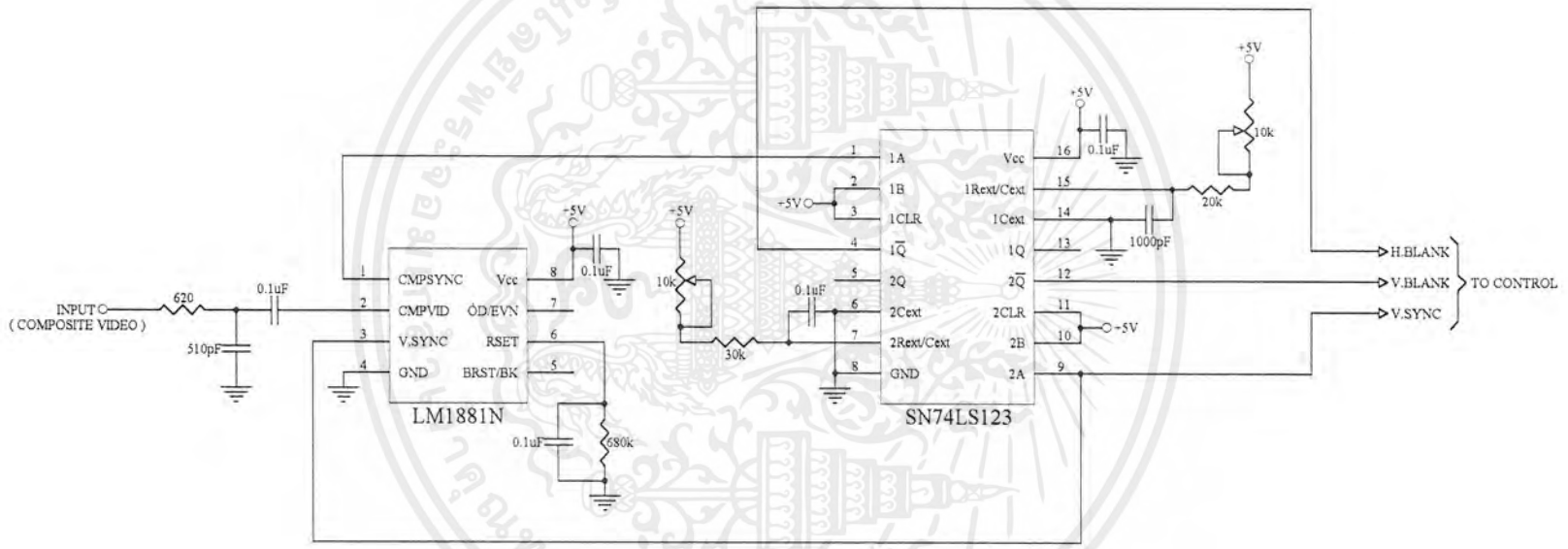


เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



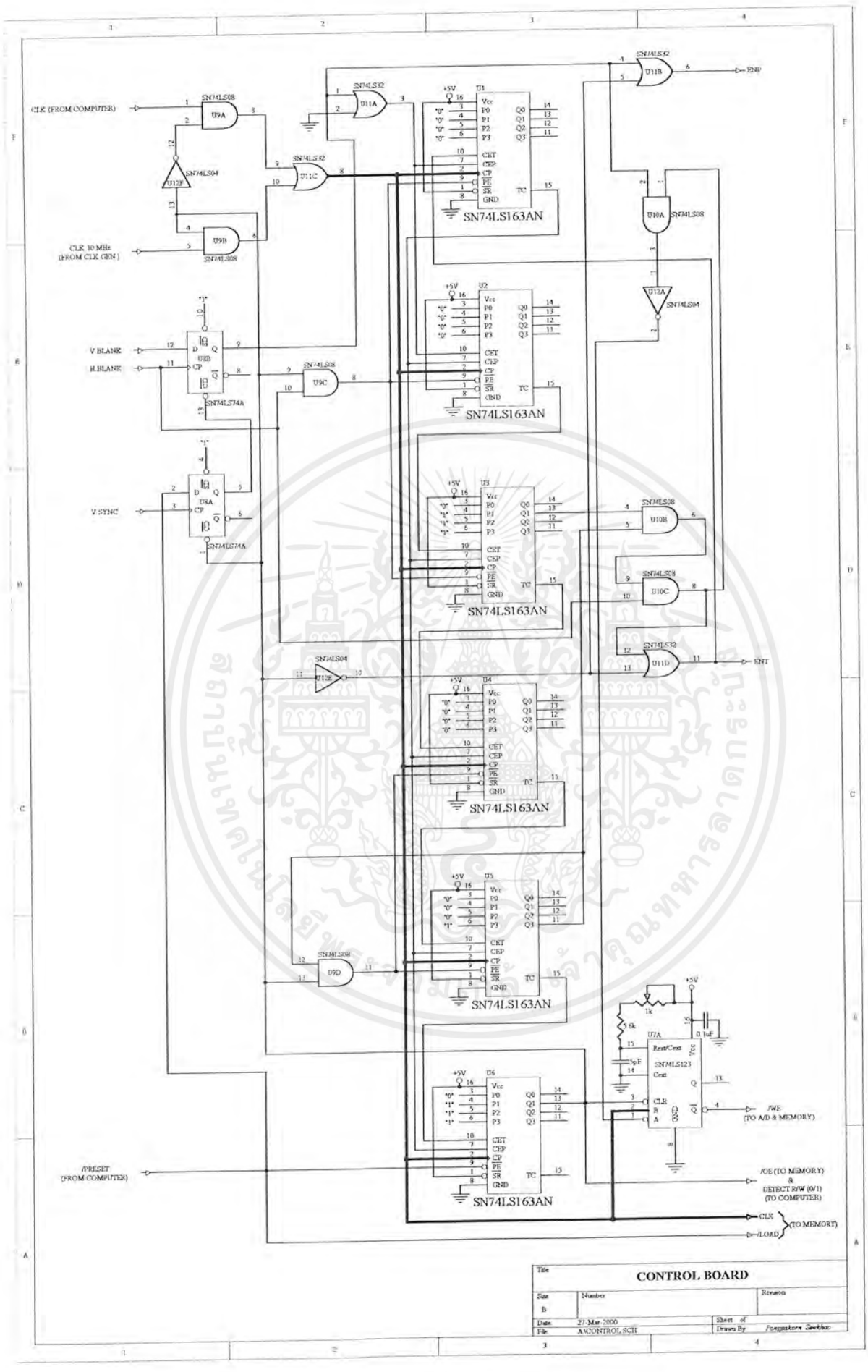
Title	CLOCK GENERATOR	
Size: A4	Number	Revision
Date: 27-Mar-2000		Sheet of
File: A:\CLK_GEN.SCH		Drawn By: *Pongsakorn Seekhao*

ลิขสิทธิ์เป็นของสถาบันวิทยบริการ จุฬาลงกรณ์มหาวิทยาลัย อนุญาตให้นำไปใช้ประโยชน์ทางการศึกษาเท่านั้น ไม่อนุญาตให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของลิขสิทธิ์ทุกครั้งที่มีการนำไปใช้

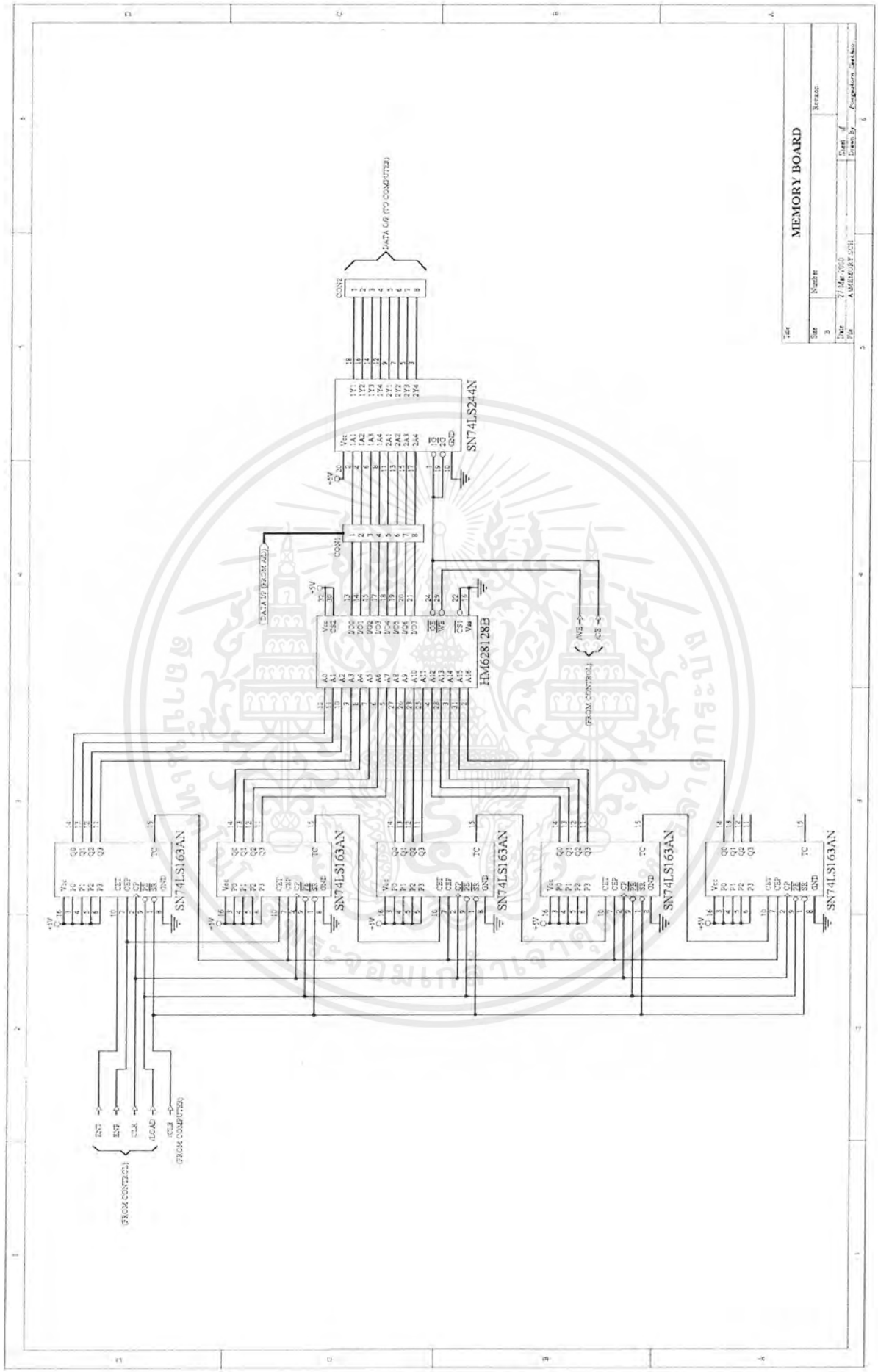


Title	SYNC SEPARATOR	
Size: A4	Number:	Revision:
Date: 27-Mar-2000		Sheet of:
File: A:\SYNC_SEP.SCH		Drawn By: *Pongsakorn Seekhao*

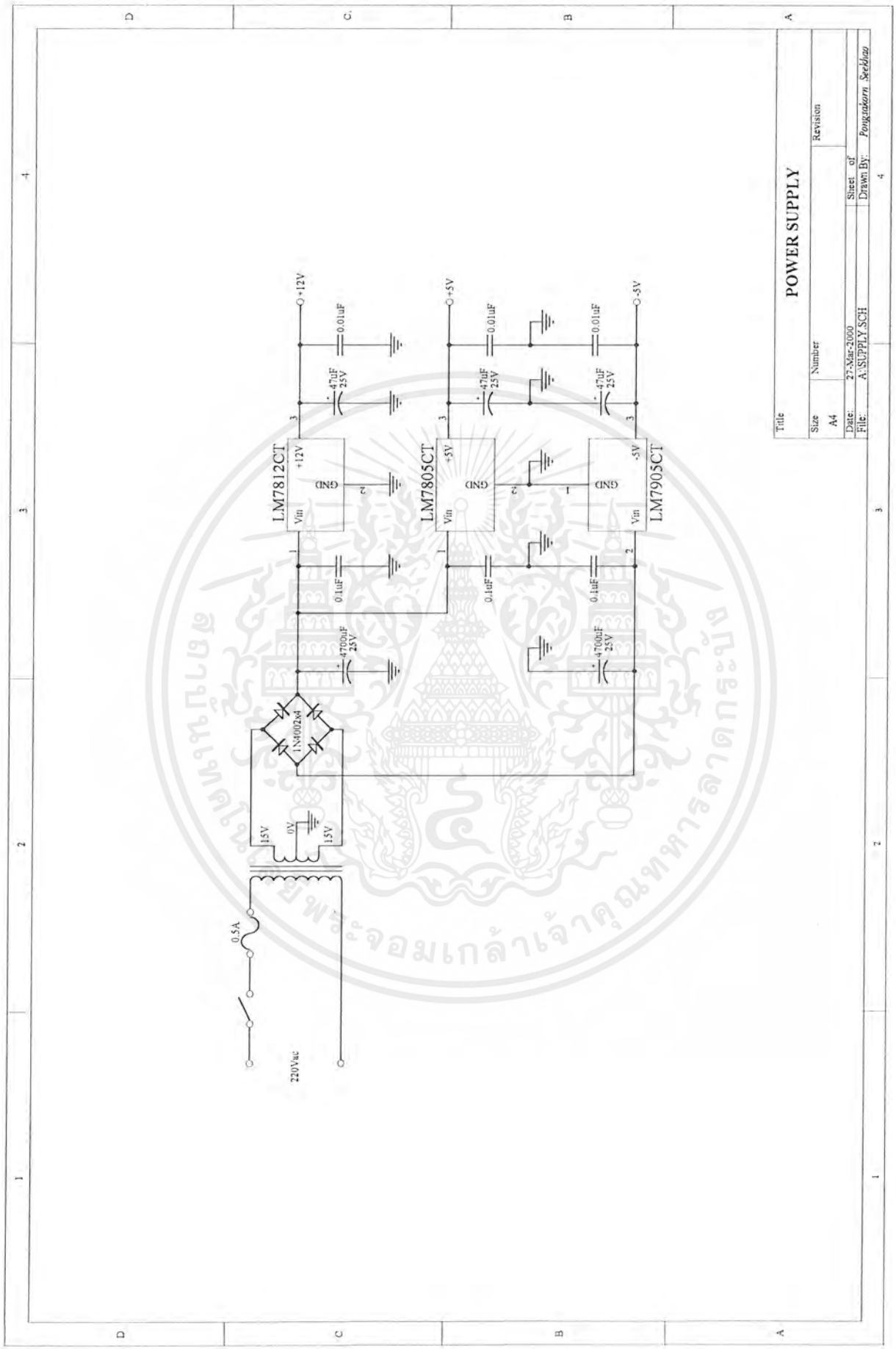
ลิขสิทธิ์เป็นของมหาวิทยาลัยเทคโนโลยีพระจอมเกล้าธนบุรี ห้ามนำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น ยกเว้นจะได้รับอนุญาตจากมหาวิทยาลัยเป็นลายลักษณ์อักษรเท่านั้น



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

โปรแกรมทดสอบการใช้งานเริ่มแรก

```
#include <stdio.h>
#include <stdlib.h>
#include <conio.h>
#include "vesag.cpp"
#define port 0x378


void main(void)
{
     unsigned char RW=0;
     unsigned char p;
     unsigned int  count=0,line=0,dot=0;
     char key;
     while (key!='0')
     {
     clrscr();
     outportb(port,0xff);          //output register
     outportb(port+2,0x00);        //control register
     outportb(port+2,0x01);        //clear address
     outportb(port+2,0x05);        //clock
     outportb(port+2,0x02);        //preset
     outportb(port+2,0x06);        //clock
     outportb(port+2,0x00);
     RW=inportb(port+1);
     while ((RW&0x10)!=0x00)
     RW=inportb(port+1);           //wait for read
     outportb(port+2,0x01);        //clear address
     outportb(port+2,0x05);        //clock
     outportb(port+2,0x00);
     Opengraph(0x112);
     for (line=0;line<256;line++)
     for (dot=0;dot<512;dot++)
     { p=inportb(port+3);          //load data
       outportb(port+2,0x04);       //clock
       outportb(port+2,0x00);
       Putpixel(0+dot,0+line,p,p,p);
     }
     getch();
     Closegraph();
     key=getch();
     }
}
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

โปรแกรมที่แก้ไขปรับปรุงแล้ว

```
#include <stdio.h>
#include <stdlib.h>
#include <conio.h>
#include "vesag.cpp"
#define port 0x378


void main(void)
{
     clrscr();
     unsigned char RW=0;
     unsigned char bound,check1,p,data[512],rdata[512];
     int  test,start,a,d,check,black,count=0,line,dot;
     char key;
     /*********************************/

     while ((key!='0')
     {
     outportb(port,0xff);              //output register
     outportb(port+2,0x00);            //control register
     outportb(port+2,0x01);            //clear address
     outportb(port+2,0x05);            //clock
     outportb(port+2,0x02);            //preset
     outportb(port+2,0x06);            //clock
     outportb(port+2,0x00);
     RW=inportb(port+1);
     while ((RW&0x10)!=0x00)
     RW=inportb(port+1);               //wait for read
     outportb(port+2,0x01);            //clear address
     outportb(port+2,0x05);            //clock
     outportb(port+2,0x00);
     line=0;
     Opengraph(0x112);
     for (line=0;line<256;line++)
       { for (dot=0;dot<=511;dot++)
       { p=inportb(port+3);                //load data
         outportb(port+2,0x04);            //clock
         outportb(port+2,0x00);
         data[dot]=p;
       }
       check=0;  dot=0; start=0;count=0;bound=0;check1=0;
       while ((check==0)&&(dot<=511))

          {   if (data[dot]<=10)
              count++;
              else
              {if (check1==1)
               {if (bound<20)
                   {start=dot-count-bound+1;
                   bound=0;
                   check1=0;
                   check=1;
                   }
                 else
                    {count=0;
                    bound=0;
                    check1=0;
                    start=0;
                    }
               }
              else
                { count=0;}
                  bound=0;
                  check1=0;
                 }
             }
             if (count>9)
             {   bound=bound+1;
                 check1=1;
             }
             dot++;
          }
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
            d=0;
            if (start<0)
            {start=0;}
            for (a=start;a<=511;a++)
              { rdata[d]=data[a];
               d++;
              }
            if (start>0) {for (a=0;a<=start-1;a++)
                         { rdata[d]=data[a];
                           black=black+1;
                           d++;
                         }
                        }

       for (dot=10;dot<=511;dot++)
            Putpixel(30+dot,30+line,rdata[dot],rdata[dot],rdata
            [dot]);
      }
      key=getch();
      Closegraph();
      }
}
```


เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

โปรแกรมที่พัฒนาเป็น 512*480 จุด

```
#include <stdio.h>
#include <stdlib.h>
#include <conio.h>
#include "vesag.cpp"
#define port 0x378

void main(void)
{
     clrscr();
     unsigned char RW=0,odd1[512],odd2[512],even[512];
     unsigned char bound,check1,p,data[512],rdata[512];
     int  test,start,a,d,check,black,count=0,line,dot;
     unsigned int c,n,plotline;
     char key;
     Opengraph(0x112);

     /*********************************/
     while (key!='0')
     {
     outportb(port,0xff);          //output register
     outportb(port+2,0x00);        //control register
     outportb(port+2,0x01);        //clear address
     outportb(port+2,0x05);        //clock
     outportb(port+2,0x02);        //preset
     outportb(port+2,0x06);        //clock
     outportb(port+2,0x00);
     RW=inportb(port+1);
     while ((RW&0x10)!=0x00)
     RW=inportb(port+1);           //wait for read
     outportb(port+2,0x01);        //clear address
     outportb(port+2,0x05);        //clock
     outportb(port+2,0x00);
     line=0;  n=0;  c=2;
     for (line=0;line<=255;line++)
       { for (dot=0;dot<=511;dot++)
       { p=inportb(port+3);          //load data
         outportb(port+2,0x04);      //clock
         outportb(port+2,0x00);
         data[dot]=p;
       }
       check=0;  dot=0; start=0;count=0;bound=0;check1=0;
       while ((check==0)&&(dot<=511))

          {   if (data[dot]<=10)
              count++;
              else
              {if (check1==1)
                {if (bound<9)
                  {start=dot-count-bound+1;
                   bound=0;
                   check1=0;
                   check=1;
                   }
                 else
                   {count=0;
                   bound=0;
                   check1=0;
                   start=0;
                   }
                }
               else
                 { count=0;//loop=0;}
                   bound=0;
                   check1=0;
                 }
            }
            if (count>4)
            {   bound=bound+1;
                check1=1;
            }
            dot++;
          }
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
            d=0;
            if (start<0)
            {start=0;}
            for (a=start;a<=511;a++)
              { rdata[d]=data[a];
                d++;
              }
            if (start>0) {for (a=0;a<=start-1;a++)
                          { rdata[d]=data[a];
                            black=black+1;
                            d++;
                          }
                         }
          if (line>=15)
          { plotline=2*n;
            for (dot=10;dot<=511;dot++)
            {  Putpixel(59+dot,plotline,rdata[dot],rdata[dot],rdata
               [dot]);
               if (plotline==c) { odd2[dot]=rdata[dot];
                                  even[dot]=((odd1[dot]+odd2[dot])/2);
                                  Putpixel(59+dot,plotline-1,even
                                  [dot],even[dot],even[dot]);
                                  odd1[dot]=odd2[dot];
                                  if (dot==511)   c=c+2;
                                }
               else if (plotline!=c) odd1[dot]=rdata[dot];
            }
            n++;
          }
          }
          key=getch();
          }
          Closegraph();
}
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

HARRIS Semiconductor

CA3318

CMOS Video Speed, 8-Bit, Flash A/D Converter

August 1997

Features

- CMOS Low Power with SOS Speed (Typ)..... 150mW
- Parallel Conversion Technique
- 15MHz Sampling Rate (Conversion Time)..... 67ns
- 8-Bit Latched Three-State Output with Overflow Bit
- Accuracy (Typ)..... ±1 LSB
- Single Supply Voltage..... 4V to 7.5V
- 2 Units in Series Allow 9-Bit Output
- 2 Units in Parallel Allow 30MHz Sampling Rate

Applications

- TV Video Digitizing (Industrial/Security/Broadcast)
- High Speed A/D Conversion
- Ultrasound Signature Analysis
- Transient Signal Analysis
- High Energy Physics Research
- General-Purpose Hybrid ADCs
- Optical Character Recognition
- Radar Pulse Analysis
- Motion Signature Analysis
- µP Data Acquisition Systems

Description

The CA3318 is a CMOS parallel (FLASH) analog-to-digital converter designed for applications demanding both low power consumption and high speed digitization.

The CA3318 operates over a wide full scale input voltage range of 4V up to 7.5V with maximum power consumption depending upon the clock frequency selected. When operated from a 5V supply at a clock frequency of 15MHz, the typical power consumption of the CA3318 is 150mW.

The intrinsic high conversion rate makes the CA3318 ideally suited for digitizing high speed signals. The overflow bit makes possible the connection of two or more CA3318s in series to increase the resolution of the conversion system. A series connection of two CA3318s may be used to produce a 9-bit high speed converter. Operation of two CA3318s in parallel doubles the conversion speed (i.e., increases the sampling rate from 15MHz to 30MHz).

256 paralleled auto balanced voltage comparators measure the input voltage with respect to a known reference to produce the parallel bit outputs in the CA3318.

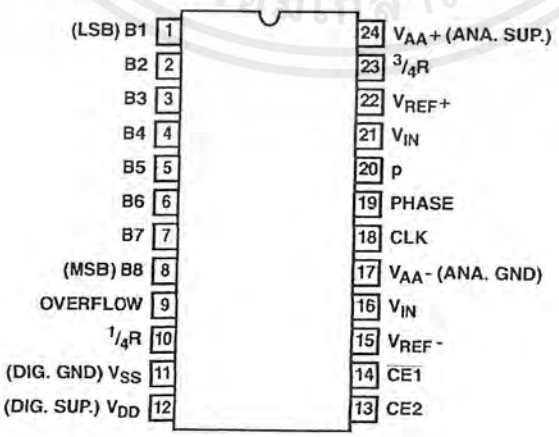
255 comparators are required to quantize all input voltage levels in this 8-bit converter, and the additional comparator is required for the overflow bit.

Ordering Information

PART NUMBER	LINEARITY (INL, DNL)	SAMPLING RATE	TEMP. RANGE (°C)	PACKAGE	PKG. NO.
CA3318CE	±1.5 LSB	15MHz (67ns)	-40 to 85	24 Ld PDIP	E24.6
CA3318CM	±1.5 LSB	15MHz (67ns)	-40 to 85	24 Ld SOIC	M24.3
CA3318CD	±1.5 LSB	15MHz (67ns)	-40 to 85	24 Ld SBDIP	D24.6

Pinout

CA3318
(PDIP, SBDIP, SOIC)
TOP VIEW

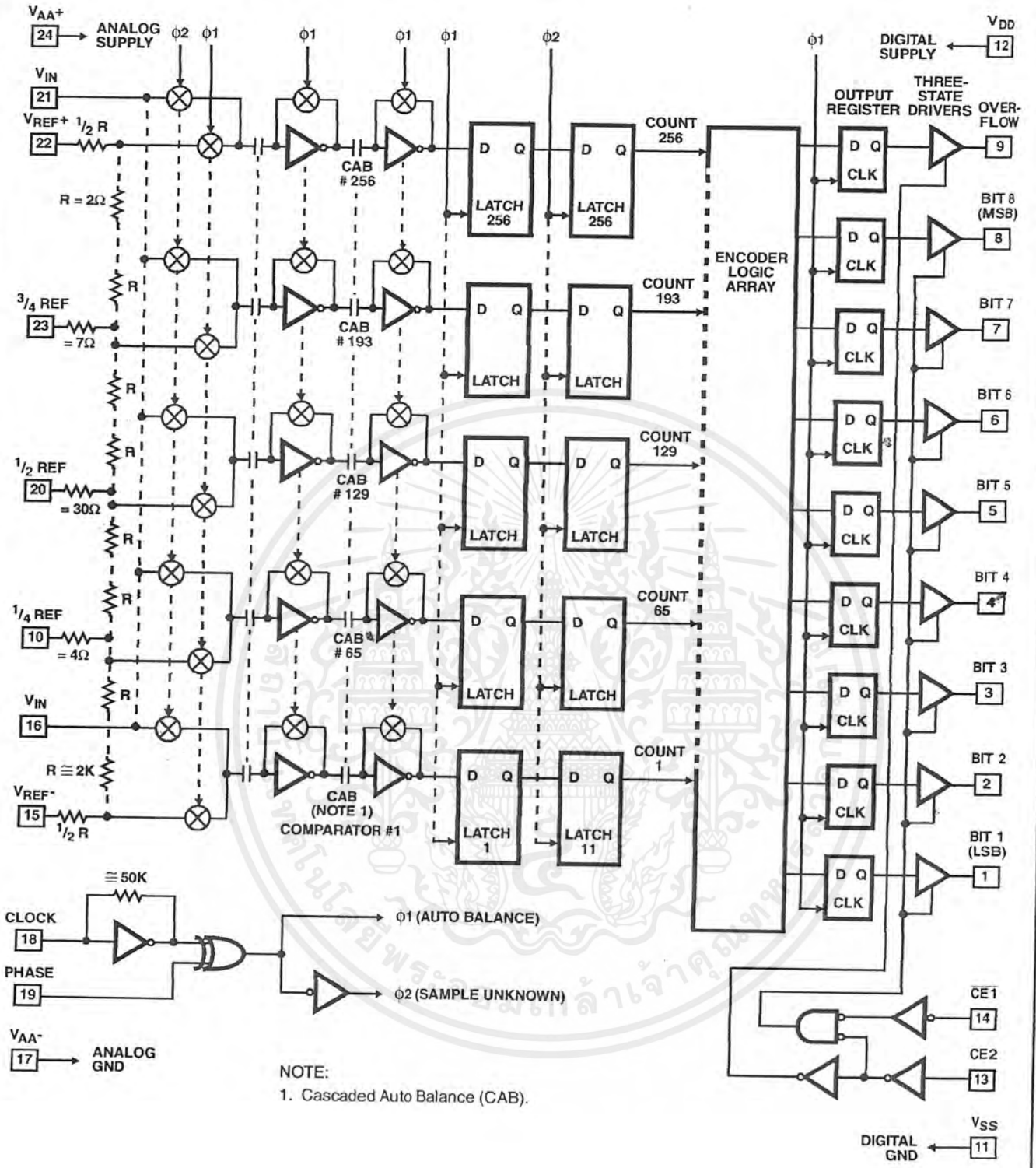


CAUTION: These devices are sensitive to electrostatic discharge. Users should follow proper IC Handling Procedures.
Copyright © Harris Corporation 1997

File Number 3103.1

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Functional Block Diagram



NOTE:

1. Cascaded Auto Balance (CAB).

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Absolute Maximum Ratings

DC Supply Voltage Range (V_{DD} or V_{AA}+) . . . . . -0.5V to +8V
(Referenced to V_{SS} or V_{AA}- Terminal, Whichever is More Negative)
Input Voltage Range
CE2 and $\overline{CE1}$ . . . . . V_{AA}- -0.5V to V_{DD} + 0.5V
Clock, Phase, V_{REF}-, $^1/_2$ Ref . . . . . V_{AA}- -0.5V to V_{AA}+ + 0.5V
Clock, Phase, V_{REF}-, $^1/_4$ Ref . . . . . V_{SS}- -0.5V to V_{DD} + 0.5V
V_{IN}, $^3/_4$ REF, V_{REF}+ . . . . . V_{AA}- -0.5V to V_{AA}- + 7.5V
Output Voltage Range, ... V_{SS} - 0.5V to V_{DD} + 0.5V
Bits 1-8, Overflow (Outputs Off)
DC Input Current . . . . . ±20mA
Clock, Phase, $\overline{CE1}$, CE2, V_{IN}, Bits 1-8, Overflow

Thermal Information

Thermal Resistance (Typical, Note 1)	θ_{JA} ($^oC/W$)	θ_{JC} ($^oC/W$)
SBDIP Package	60	22
PDIP Package	60	N/A
SOIC Package	75	N/A

Maximum Junction Temperature
Ceramic Package . . . . . 175°C
Plastic Packages . . . . . 150°C
Maximum Storage Temperature Range . . . . . -65°C to 150°C
Maximum Lead Temperature (Soldering 10s) . . . . . 265°C
(SOIC - Lead Tips Only)

Operating Conditions

Operating Voltage Range (V_{DD} or V_{AA}+) . . . 4V (Min) to 7.5V (Max)
Recommended V_{AA}+ Operating Range . . . . . V_{DD} ±1V
Recommended V_{AA}- Operating Range . . . . . V_{SS} ±1V
Operating Temperature Range (T_A) . . . . . -40°C to 85°C

CAUTION: Stresses above those listed in "Absolute Maximum Ratings" may cause permanent damage to the device. This is a stress only rating and operation of the device at these or any other conditions above those indicated in the operational sections of this specification is not implied.

NOTE:

1. θ_{JA} is measured with the component mounted on an evaluation PC board in free air.

Electrical Specifications

At 25°C, V_{AA}+ = V_{DD} = 5V, V_{REF}+ = 6.4V, V_{REF}- = V_{AA}- = V_{SS}, CLK = 15MHz, All Reference Points Adjusted, Unless Otherwise Specified

PARAMETER	TEST CONDITIONS	MIN	TYP	MAX	UNITS
SYSTEM PERFORMANCE					
Resolution		8	-	-	Bits
Integral Linearity Error		-	-	±1.5	LSB
Differential Linearity Error		-	-	+1, -0.8	LSB
Offset Error, Unadjusted	V_{IN} = V_{REF}- + $^1/_2$ LSB	-0.5	4.5	6.4	LSB
Gain Error Unadjusted	V_{IN} = V_{REF}+ - $^1/_2$ LSB	-1.5	0	1.5	LSB
DYNAMIC CHARACTERISTICS					
Maximum Input Bandwidth	(Note 1) CA3318	2.5	5.0	-	MHz
Maximum Conversion Speed	CLK = Square Wave	15	17	-	MSPS
Signal to Noise Ratio (SNR) $=\frac{RMS\,Signal}{RMS\,Noise}$	f_S = 15MHz, f_{IN} = 100kHz	-	47	-	dB
	f_S = 15MHz, f_{IN} = 4MHz	-	43	-	dB
Signal to Noise Ratio (SINAD) $=\frac{RMS\,Signal}{RMS\,Noise+Distortion}$	f_S = 15MHz, f_{IN} = 100kHz	-	45	-	dB
	f_S = 15MHz, f_{IN} = 4MHz	-	35	-	dB
Total Harmonic Distortion, THD	f_S = 15MHz, f_{IN} = 100kHz	-	-46	-	dBc
	f_S = 15MHz, f_{IN} = 4MHz	-	-36	-	dBc
Effective Number of Bits (ENOB)	f_S = 15MHz, f_{IN} = 100kHz	-	7.2	-	Bits
	f_S = 15MHz, f_{IN} = 4MHz	-	5.5	-	Bits
Differential Gain Error	Unadjusted	-	2	-	%
Differential Phase Error	Unadjusted	-	1	-	%
ANALOG INPUTS					
Full Scale Range, V_{IN} and (V_{REF}+) - (V_{REF}-)	Notes 2, 4	4	-	7	V
Input Capacitance, V_{IN}		-	30	-	pF
Input Current, V_{IN}, (See Text)	V_{IN} = 5V, V_{REF}+ = 5V	-	-	3.5	mA
REFERENCE INPUTS					
Ladder Impedance		270	500	800	Ω

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Electrical Specifications At 25°C, $V_{AA}+ = V_{DD} = 5V$, $V_{REF}+ = 6.4V$, $V_{REF}- = V_{AA}- = V_{SS}$, CLK = 15MHz, All Reference Points Adjusted, Unless Otherwise Specified **(Continued)**

PARAMETER	TEST CONDITIONS	MIN	TYP	MAX	UNITS
DIGITAL INPUTS					
Low Level Input Voltage, V_{OL} $\overline{CE1}$, CE2	Note 4	-	-	$0.2V_{DD}$	V
Phase, CLK	Note 4	-	-	$0.2V_{AA}$	V
High Level Input Voltage, V_{IN} $\overline{CE1}$, CE2	Note 4	$0.7V_{DD}$	-	-	V
Phase, CLK	Note 4	$0.7V_{AA}$	-	-	V
Input Leakage Current, I_I (Except CLK Input)	Note 3	-	±0.2	±5	µA
Input Capacitance, C_I		-	3	-	pF
DIGITAL OUTPUTS					
Output Low (Sink) Current	$V_O = 0.4V$	4	10	-	mA
Output High (Source) Current	$V_O = 4.5V$	-4	-6	-	mA
Three-State Output Off-State Leakage Current, I_{OZ}		-	±0.2	±5	µA
Output Capacitance, C_O		-	4	-	pF
TIMING CHARACTERISTICS					
Auto Balance Time (ϕ1)		33	-	∞	ns
Sample Time (ϕ2)	Note 4	25	-	500	ns
Aperture Delay		-	15	-	ns
Aperture Jitter		-	100	-	ps
Data Valid Time, t_D	Note 4	-	50	65	ns
Data Hold Time, t_H	Note 4	25	40	-	ns
Output Enable Time, t_{EN}		-	18	-	ns
Output Disable Time, t_{DIS}		-	18	-	ns
POWER SUPPLY CHARACTERISTICS					
Device Current ($I_{DD} + I_A$) (Excludes I_{REF})	Continuous Conversion (Note 4)	-	30	60	mA
	Auto Balance (ϕ1)	-	30	60	mA

NOTES:

1. A full scale sine wave input of greater than $f_{CLOCK}/2$ or the specified input bandwidth (whichever is less) may cause an erroneous code. The -3dB bandwidth for frequency response purposes is greater than 30MHz.
2. V_{IN} (Full Scale) or $V_{REF}+$ should not exceed $V_{AA}+ + 1.5V$ for accuracy.
3. The clock input is a CMOS inverter with a 50kΩ feedback resistor and may be AC coupled with $1V_{P-P}$ minimum source.
4. Parameter not tested, but guaranteed by design or characterization.

Timing Waveforms

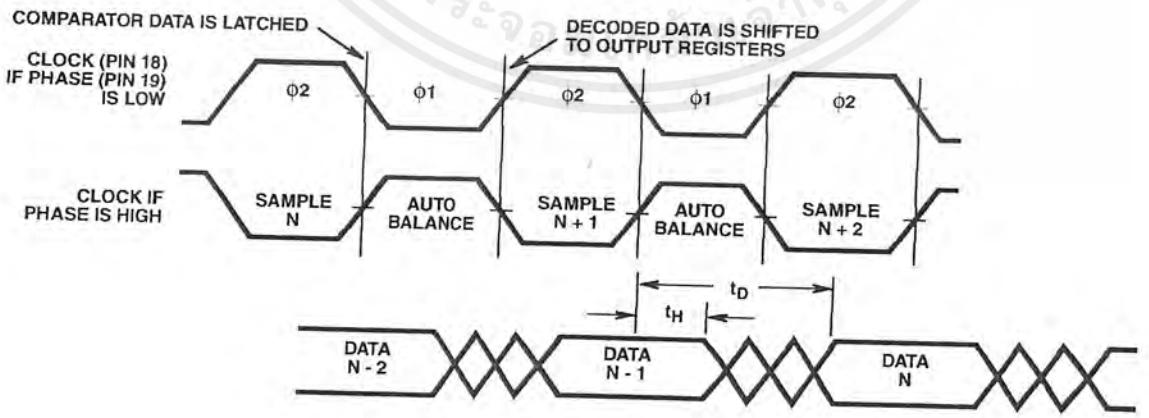


FIGURE 1. INPUT TO OUTPUT TIMING DIAGRAM

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Timing Waveforms (Continued)

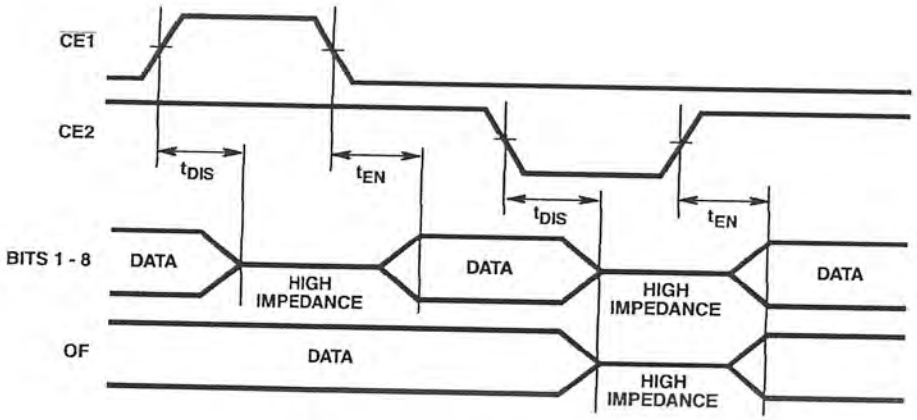


FIGURE 2. OUTPUT ENABLE TIMING DIAGRAM

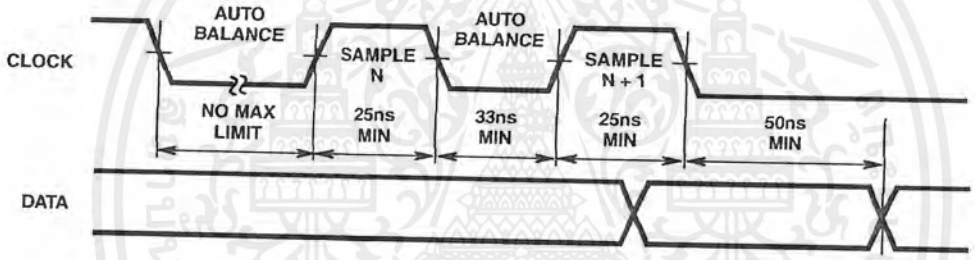


FIGURE 3A. STANDBY IN INDEFINITE AUTO BALANCE (SHOWN WITH PHASE = LOW)

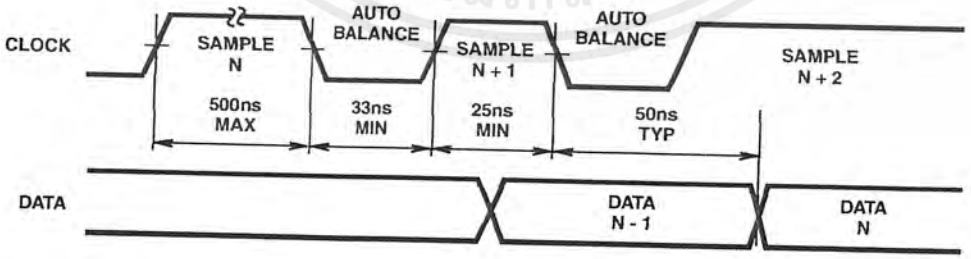


FIGURE 3B. STANDBY IN SAMPLE (SHOWN WITH PHASE = LOW)

FIGURE 3. PULSE MODE OPERATION

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Typical Performance Curves

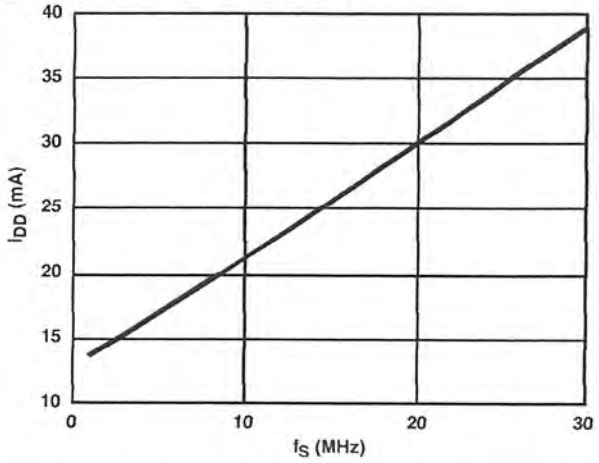


FIGURE 4. DEVICE CURRENT vs SAMPLE FREQUENCY

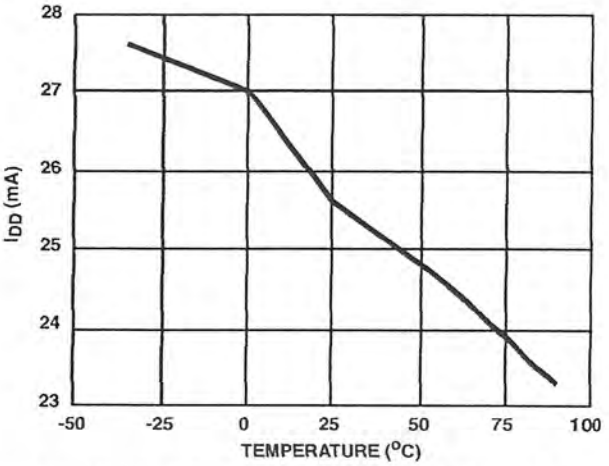


FIGURE 5. DEVICE CURRENT vs TEMPERATURE

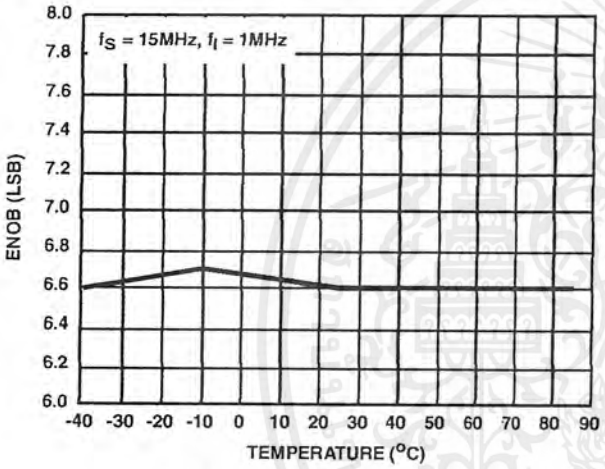


FIGURE 6. ENOB vs TEMPERATURE

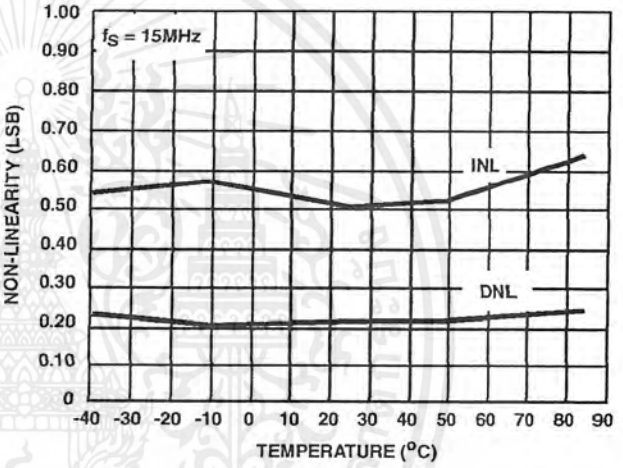


FIGURE 7. NON-LINEARITY vs TEMPERATURE

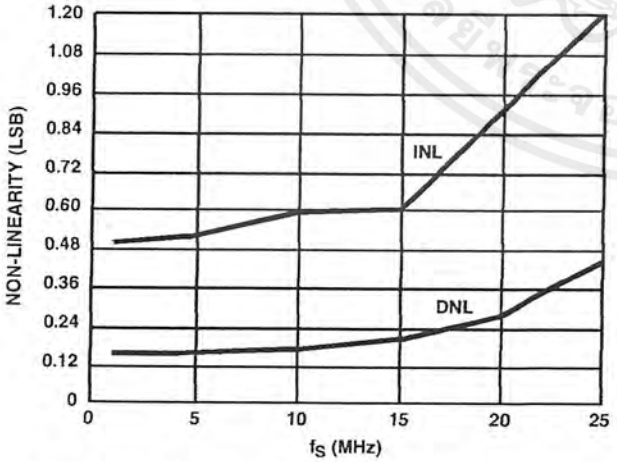


FIGURE 8. NON-LINEARITY vs SAMPLE FREQUENCY

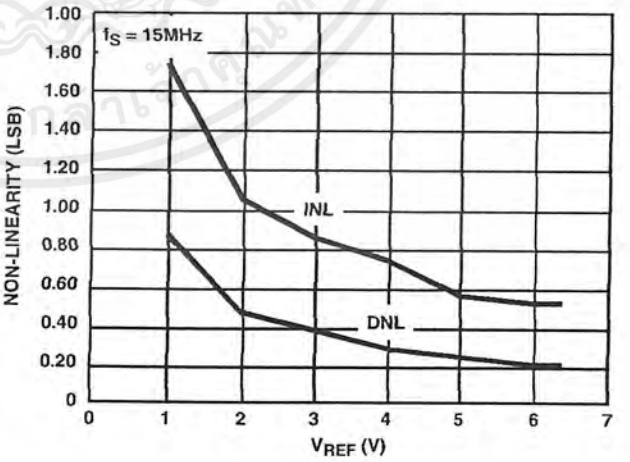


FIGURE 9. NON-LINEARITY vs REFERENCE VOLTAGE

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Typical Performance Curves (Continued)

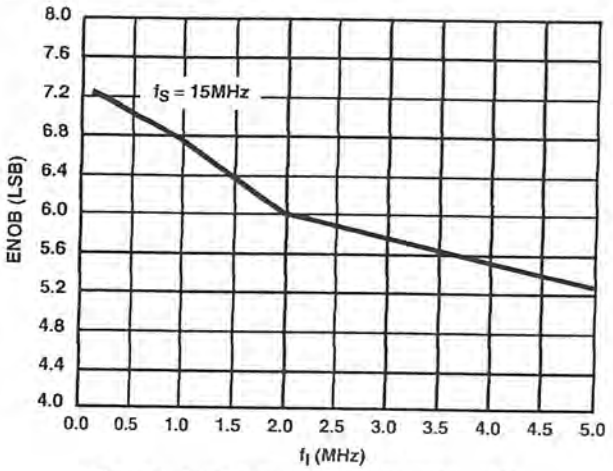


FIGURE 10. ENOB vs INPUT FREQUENCY

Pin Descriptions

PIN	NAME	DESCRIPTION	
1	B1	Bit 1 (LSB)	Output Data Bits (High = True)
2	B2	Bit 2	
3	B3	Bit 3	
4	B4	Bit 4	
5	B5	Bit 5	
6	B6	Bit 6	
7	B7	Bit 7	
8	B8	Bit 8 (MSB)	
9	OF	Overflow	
10	$^1/_4$ R	Reference Ladder $^1/_4$ Point	
11	V_{SS}	Digital Ground	
12	V_{DD}	Digital Power Supply, +5V	
13	CE2	Three-State Output Enable Input, Active Low, See Truth Table.	
14	$\overline{CE1}$	Three-State Output Enable Input Active High. See Truth Table.	
15	V_{REF}-	Reference Voltage Negative Input	
16	V_{IN}	Analog Signal Input	
17	V_{AA}-	Analog Ground	
18	CLK	Clock Input	
19	PHASE	Sample clock phase control input. When PHASE is low, "Sample Unknown" occurs when the clock is low and "Auto Balance" occurs when the clock is high (see text).	
20	$^1/_2$ R	Reference Ladder Midpoint	
21	V_{IN}	Analog Signal Input	
22	V_{REF}+	Reference Voltage Positive Input	
23	$^3/_4$ R	Reference Ladder $^3/_4$ Point	
24	V_{AA}+	Analog Power Supply, +5V	

CHIP ENABLE TRUTH TABLE

$\overline{CE1}$	CE2	B1 - B8	OF
0	1	Valid	Valid
1	1	Three-State	Valid
X	0	Three-State	Three-State

X = Don't Care

Theory of Operation

A sequential parallel technique is used by the CA3318 converter to obtain its high speed operation. The sequence consists of the "Auto-Balance" phase, ϕ1, and the "Sample Unknown" phase, ϕ2. (Refer to the circuit diagram.) Each conversion takes one clock cycle (see Note). With the phase control (pin 19) high, the "Auto-Balance" (ϕ1) occurs during the high period of the clock cycle, and the "Sample Unknown" (ϕ2) occurs during the low period of the clock cycle.

NOTE: The device requires only a single phase clock The terminology of ϕ1 and ϕ2 refers to the high and low periods of the same clock.

During the "Auto-Balance" phase, a transmission switch is used to connect each of the first set of 256 commutating capacitors to their associated ladder reference tap. Those tap voltages will be as follows:

$$V_{TAP}(N) = [(N/256)\ V_{REF}] - (1/512)\ V_{REF}]$$
$$= [(2N - 1)/512]\ V_{REF},$$

Where:

V_{TAP} (n) = reference ladder tap voltage at point n,

V_{REF} = voltage across V_{REF}- to V_{REF}+,

N = tap number (1 through 256).

The other side of these capacitors are connected to single-stage amplifiers whose outputs are shorted to their inputs by switches. This balances the amplifiers at their intrinsic trip points, which is approximately (V_{AA}+ - V_{AA}-)/2. The first set of capacitors now charges to their associated tap voltages.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

At the same time a second set of commutating capacitors and amplifiers is also auto-balanced. The balancing of the second-stage amplifier at its intrinsic trip point removes any tracking differences between the first and second amplifier stages. The cascaded auto-balance (CAB) technique, used here, increases comparator sensitivity and temperature tracking.

In the "Sample Unknown" phase, all ladder tap switches and comparator shorting switches are opened. At the same time V_{IN} is switched to the first set of commutating capacitors. Since the other end of the capacitors are now looking into an effectively open circuit, any input voltage that differs from the previous tap voltage will appear as a voltage shift at the comparator amplifiers. All comparators that had tap voltages greater than V_{IN} will go to a "high" state at their outputs. All comparators that had tap voltages lower than V_{IN} will go to a "low" state.

The status of all these comparator amplifiers is AC coupled through the second-stage comparator and stored at the end of this phase ($\phi 2$) by a latching amplifier stage. The latch feeds a second latching stage, triggered at the end of $\phi 1$. This delay allows comparators extra settling time. The status of the comparators is decoded by a 256 to 9-bit decoder array, and the results are clocked into a storage register at the end of the next $\phi 2$.

A 3-stage buffer is used at the output of the 9 storage registers which are controlled by two chip-enable signals. $\overline{CE1}$ will independently disable B1 through B6 when it is in a high state. CE2 will independently disable B1 through B8 and the OF buffers when it is in the low state.

To facilitate usage of this device, a phase control input is provided which can effectively complement the clock as it enters the chip.

Continuous-Clock Operation

One complete conversion cycle can be traced through the CA3318 via the following steps. (Refer to timing diagram.) With the phase control in a "low" state, the rising edge of the clock input will start a "sample" phase. During this entire "high" state of the clock, the comparators will track the input voltage and the first-stage latches will track the comparator outputs. At the falling edge of the clock, all 256 comparator outputs are captured by the 256 latches. This ends the "sample" phase and starts the "auto-balance" phase for the comparators. During this "low" state of the clock, the output of the latches settles and is captured by a second row of latches when the clock returns high. The second-stage latch output propagates through the decode array, and a 9-bit code appears at the D inputs of the output registers. On the next falling edge of the clock, this 9-bit code is shifted into the output registers and appears with time delay t_D as valid data at the output of the three-state drivers. This also marks the end of the next "sample" phase, thereby repeating the conversion process for this next cycle.

Pulse-Mode Operation

The CA3318 needs two of the same polarity clock edges to complete a conversion cycle: If, for instance, a negative going clock edge ends sample "N", then data "N" will appear after the next negative going edge. Because of this requirement, and because there is a maximum sample time of 500ns (due to capacitor droop), most pulse or intermittent sample applications will require double clock pulsing.

If an indefinite standby state is desired, standby should be in auto-balance, and the operation would be as in Figure 3A.

If the standby state is known to last less than 500ns and lowest average power is desired, then operation could be as in Figure 3B.

Increased Accuracy

In most cases the accuracy of the CA3318 should be sufficient without any adjustments. In applications where accuracy is of utmost importance, five adjustments can be made to obtain better accuracy, i.e., offset trim; gain trim; and $^1/_4$, $^1/_2$ and $^3/_4$ point trim.

Offset Trim

In general, offset correction can be done in the preamp circuitry by introducing a DC shift to V_{IN} or by the offset trim of the op amp. When this is not possible the V_{REF}- input can be adjusted to produce an offset trim. The theoretical input voltage to produce the first transition is $^1/_2$ LSB. The equation is as follows:

$$V_{IN} \text{ (0 to 1 transition)} = {}^1/_2 \text{ LSB} = {}^1/_2 (V_{REF}/256)$$
$$= V_{REF}/512.$$

If V_{IN} for the first transition is less than the theoretical, then a single-turn 50Ω pot connected between V_{REF}- and ground will accomplish the adjustment. Set V_{IN} to 1/2 LSB and trim the pot until the 0-to-1 transition occurs.

If V_{IN} for the first transition is greater than the theoretical, then the 50Ω pot should be connected between V_{REF}- and a negative voltage of about 2 LSBs. The trim procedure is as stated previously.

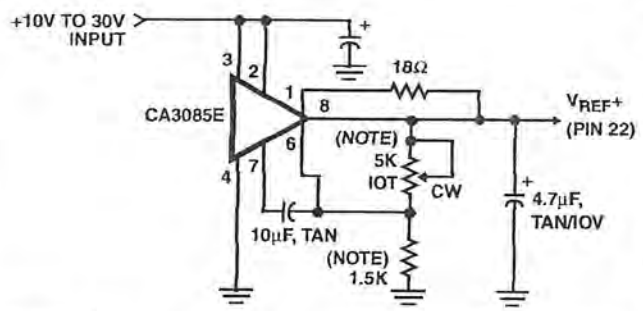
Gain Trim

In general, the gain trim can also be done in the preamp circuitry by introducing a gain adjustment for the op amp. When this is not possible, then a gain adjustment circuit should be made to adjust the reference voltage. To perform this trim, V_{IN} should be set to the 255 to overflow transition. That voltage is $^1/_3$ LSB less than V_{REF}+ and is calculated as follows:

$$V_{IN} \text{ (255 to 256 transition)} = V_{REF} - V_{REF}/512$$
$$= V_{REF}(511/512).$$

To perform the gain trim, first do the offset trim and then apply the required V_{IN} for the 255 to overflow transition. Now adjust V_{REF}+ until that transition occurs on the outputs.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

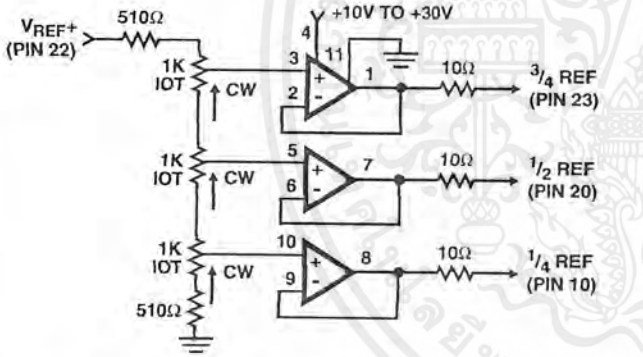


NOTE: Bypass V_{REF+} to analog GND near A/D with 0.1µF ceramic cap. Parts noted should have low temperature drift.

FIGURE 11. TYPICAL VOLTAGE REFERENCE SOURCE FOR DRIVING V_{REF+} INPUT

$^1/_4$ Point Trims

The $^1/_4$, $^1/_2$ and $^3/_4$ points on the reference ladder are brought out for linearity adjusting or if the user wishes to create a nonlinear transfer function. The $^1/_4$ points can be driven by the reference drivers shown (Figure 12) or by 2-K pots connected between V_{REF+} and V_{REF-}. The $^1/_2$ (mid-) point should be set first by applying an input of 257/512 x (V_{REF}) and adjusting for an output changing from 128 to 129. Similarly the $^1/_4$ and $^3/_4$ points can be set with inputs of 129/512 and 385/512 x (V_{REF}) and adjusting for counts of 192 to 193 and 64 to 65. (Note that the points are actually $^1/_4$, $^1/_2$ and $^3/_4$ of full scale +1 LSB.)



NOTES:

1. All Op Amps = $^3/_4$ CA324E.
2. Bypass all reference points to analog ground near A/D with 0.1µF ceramic caps.
3. Adjust V_{REF+} first, then $^1/_3$, $^3/_4$ and $^1/_4$ points.

FIGURE 12. TYPICAL $^1/_4$ POINT DRIVERS FOR ADJUSTING LINEARITY (USE FOR MAXIMUM LINEARITY)

9-Bit Resolution

To obtain 9-bit resolution, two CA3318s can be wired together. Necessary ingredients include an open-ended ladder network, an overflow indicator, three-state outputs, and chip-enable controls - all of which are available on the CA3318.

The first step for connecting a 9-bit circuit is to totem-pole the ladder networks, as illustrated in Figure 13. Since the absolute resistance value of each ladder may vary, external trim of the mid-reference voltage may be required.

The overflow output of the lower device now becomes the ninth bit. When it goes high, all counts must come from the upper device. When it goes low, all counts must come from the lower device. This is done simply by connecting the lower overflow signal to the CE1 control of the lower A/D converter and the CE2 control of the upper A/D converter. The three-state outputs of the two devices (bits 1 through 8) are now connected in parallel to complete the circuitry. The complete circuit for a 9-bit A/D converter is shown in Figure 13.

Grounding/Bypassing

The analog and digital supply grounds of a system should be kept separate and only connected at the A/D. This keeps digital ground noise out of the analog data to be converted. Reference drivers, input amps, reference taps, and the V_{AA} supply should be bypassed at the A/D to the analog side of the ground. See Figure 15 for a block diagram of this concept. All capacitors shown should be low impedance 0.1µF ceramics and should be mounted as close to the A/D as possible. If V_{AA+} is derived from V_{DD}, a small (10Ω resistor or inductor and additional filtering (4.7µF tantalum) may be used to keep digital noise out of the analog system.

Input Loading

The CA3318 outputs a current pulse to the V_{IN} terminal at the start of every sample period. This is due to capacitor charging and switch feedthrough and varies with input voltage and sampling rate. The signal source must be capable of recovering from the pulse before the end of the sample period to guarantee a valid signal for the A/D to convert. Suitable high speed amplifiers include the HA-5033, HA-2542; and CA3450. Figure 16 is an example of an amplifier which recovers fast enough for sampling at 15MHz.

Output Loading

The CMOS digital output stage, although capable of driving large loads, will reflect these loads into the local ground. It is recommended that a local QMOS buffer such as CD74HC541 E be used to isolate capacitive loads.

Definitions

Dynamic Performance Definitions

Fast Fourier Transform (FFT) techniques are used to evaluate the dynamic performance of the converter. A low distortion sine wave is applied to the input, it is sampled, and the output is stored in RAM. The data is then transformed into the frequency domain with a 4096 point FFT and analyzed to evaluate the dynamic performance of the A/D. The sine wave input to the part is -0.5dB down from fullscale for all these tests.

Signal-to-Noise (SNR)

SNR is the measured RMS signal to RMS noise at a specified input and sampling frequency. The noise is the RMS sum of all of the spectral components except the fundamental and the first five harmonics.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Signal-to-Noise + Distortion Ratio (SINAD)

SINAD is the measured RMS signal to RMS sum of all other spectral components below the Nyquist frequency excluding DC.

Effective Number of Bits (ENOB)

The effective number of bits (ENOB) is derived from the SINAD data. ENOB is calculated from:

$$ENOB = (SINAD - 1.76 + V_{CORR})/6.02,$$

where: $V_{CORR} = 0.5dB$.

Total Harmonic Distortion (THD)

THD is the ratio of the RMS sum of the first 5 harmonic components to the RMS value of the measured input signal.

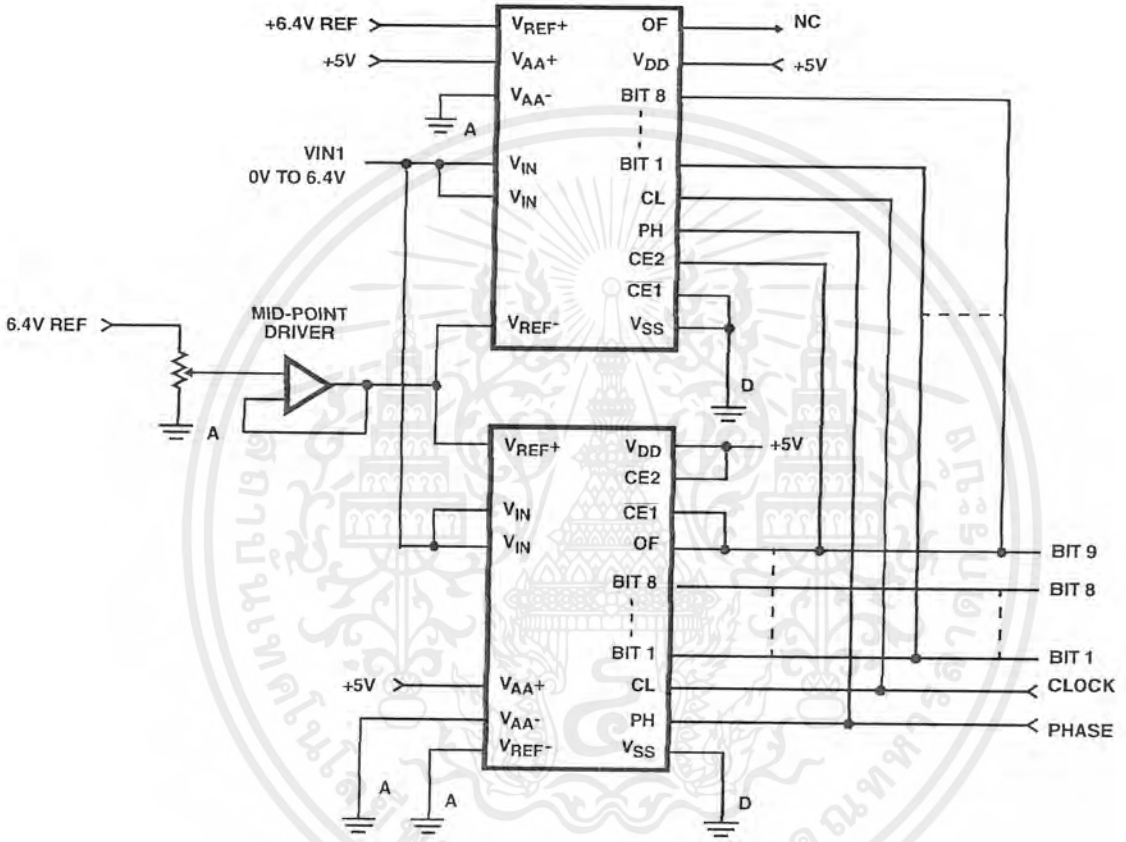


FIGURE 13. USING TWO CA3318s FOR 9-BIT RESOLUTION

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

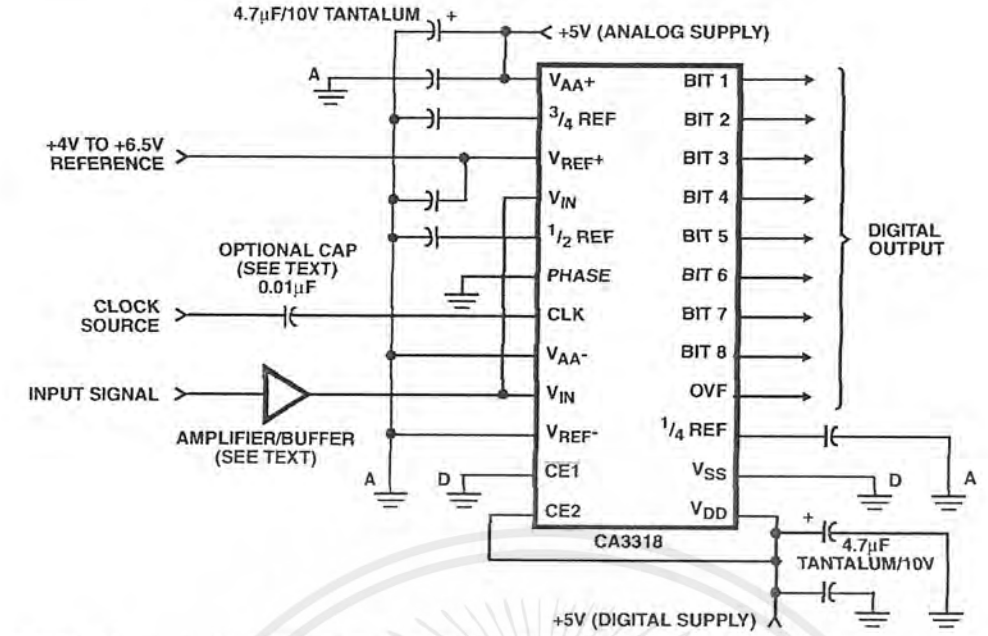


FIGURE 14. TYPICAL CIRCUIT CONFIGURATION FOR THE CA3318 WITH NO LINEARITY ADJUST

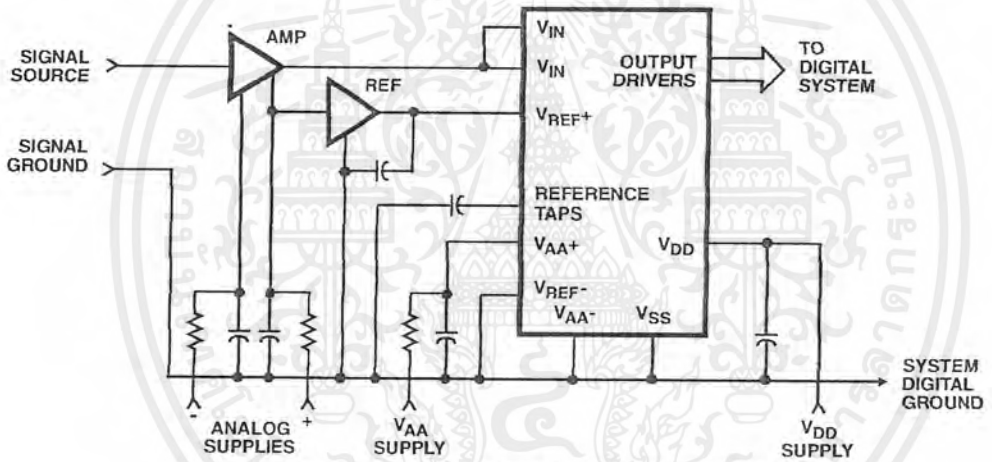
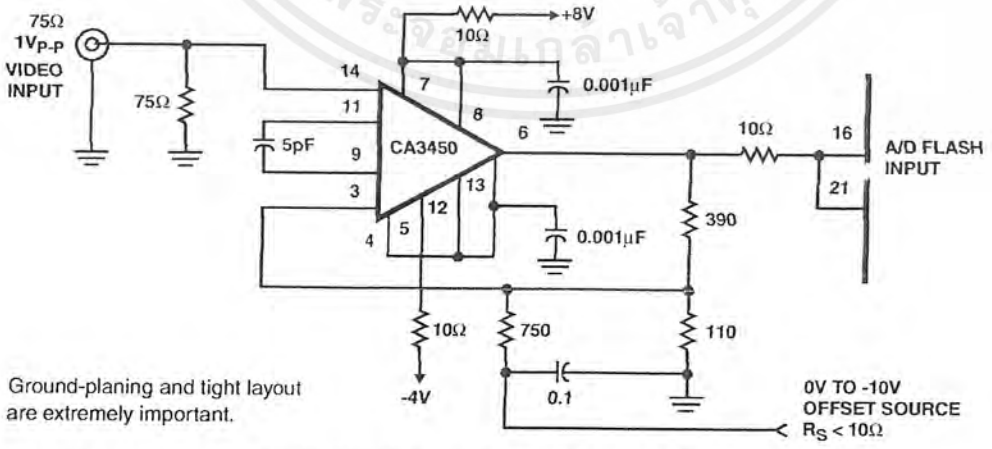


FIGURE 15. TYPICAL SYSTEM GROUNDING/BYPASSING



NOTE: Ground-planing and tight layout are extremely important.

FIGURE 16. TYPICAL HIGH BANDWIDTH AMPLIFIER FOR DRIVING THE CA3318

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

TABLE 1. OUTPUT CODE TABLE

CODE DESCRIPTION	(NOTE 1) INPUT VOLTAGE		BINARY OUTPUT CODE									DECIMAL COUNT
	V_{REF} 6.40V (V)	V_{REF} 5.12V (V)	OF	MSB B8	B7	B6	B5	B4	B3	B2	LSB B1	
Zero	0.00	0.00	0	0	0	0	0	0	0	0	0	0
1 LSB	0.025	0.02	0	0	0	0	0	0	0	0	1	1
2 LSB	0.05	0.04	0	0	0	0	0	0	0	1	0	2
•	•	•					•					•
•	•	•					•					•
•	•	•					•					•
1/4 Full Scale	1.60	1.28	0	0	1	0	0	0	0	0	0	64
•	•	•					•					•
•	•	•					•					•
•	•	•					•					•
1/2 Full Scale - 1 LSB	3.175	2.54	0	0	1	1	1	1	1	1	1	127
1/2 Full Scale	3.20	2.56	0	1	0	0	0	0	0	0	0	128
1/2 Full Scale + 1 LSB	3.225	2.58	0	1	0	0	0	0	0	0	1	129
•	•	•					•					•
•	•	•					•					•
•	•	•					•					•
3/4 Full Scale	4.80	3.84	0	1	1	0	0	0	0	0	0	192
•	•	•					•					•
•	•	•					•					•
•	•	•					•					•
Full Scale - 1 LSB	6.35	5.08	0	1	1	1	1	1	1	1	0	254
Full Scale	6.375	5.10	0	1	1	1	1	1	1	1	1	255
Over Flow	6.40	5.12	1	1	1	1	1	1	1	1	1	511

NOTE: 1. The voltages listed above are the ideal centers of each output code shown as a function of its associated reference voltage.

Reducing Power

Most power is consumed while in the auto-balance state. When operating at lower than 15MHz clock speed, power can be reduced by stretching the sample (ø2) time. The constraints are a minimum balance time (ø1) of 33ns, and a maximum sample time of 500ns. Longer sample times cause droop in the auto-balance capacitors. Power can also be reduced in the reference string by switching the reference on only during auto-balance.

Clock Input

The Clock and Phase inputs feed buffers referenced to $V_{AA}+$ and $V_{AA}-$. Phase should be tied to one of these two potentials, while the clock (if DC coupled) should be driven at least from 0.2 to 0.7 x ($V_{AA}+$ - $V_{AA}-$). The clock may also be AC coupled with at least a $1V_{P-P}$ swing. This allows TTL drive levels or 5V QMOS levels when $V_{AA}+$ is greater than 5V.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

HM628128B Series

1 M SRAM (128-kword × 8-bit)

HITACHI

ADE-203-243E (Z)
Rev. 5.0
Nov. 1997

Description

The Hitachi HM628128B is a CMOS static RAM organized 131,072-word × 8-bit. It realizes higher density, higher performance and low power consumption by employing 0.8 µm Hi-CMOS shrink process technology. It offers low power standby power dissipation, therefore, it is suitable for battery backup systems. The device, packaged in a 525 mil SOP or a 8 mm × 20 mm TSOP or a 600 mil plastic DIP is available.

Features

- Single 5 V supply: 5.0 V ± 10%
- Access time: 70/75/85 ns (max)
- Power dissipation
  - — Active: 50 mW/MHz (typ)
  - — Standby: 10 µW (typ) (L/L-SL version)
- Completely static memory
  - — No clock or timing strobe required
- Equal access and cycle times
- Common data input and output
  - — Three state output
- Directly TTL compatible all inputs and outputs
- Capability of battery backup operation (L/L-SL version)
  - — 2 chip selection for battery backup

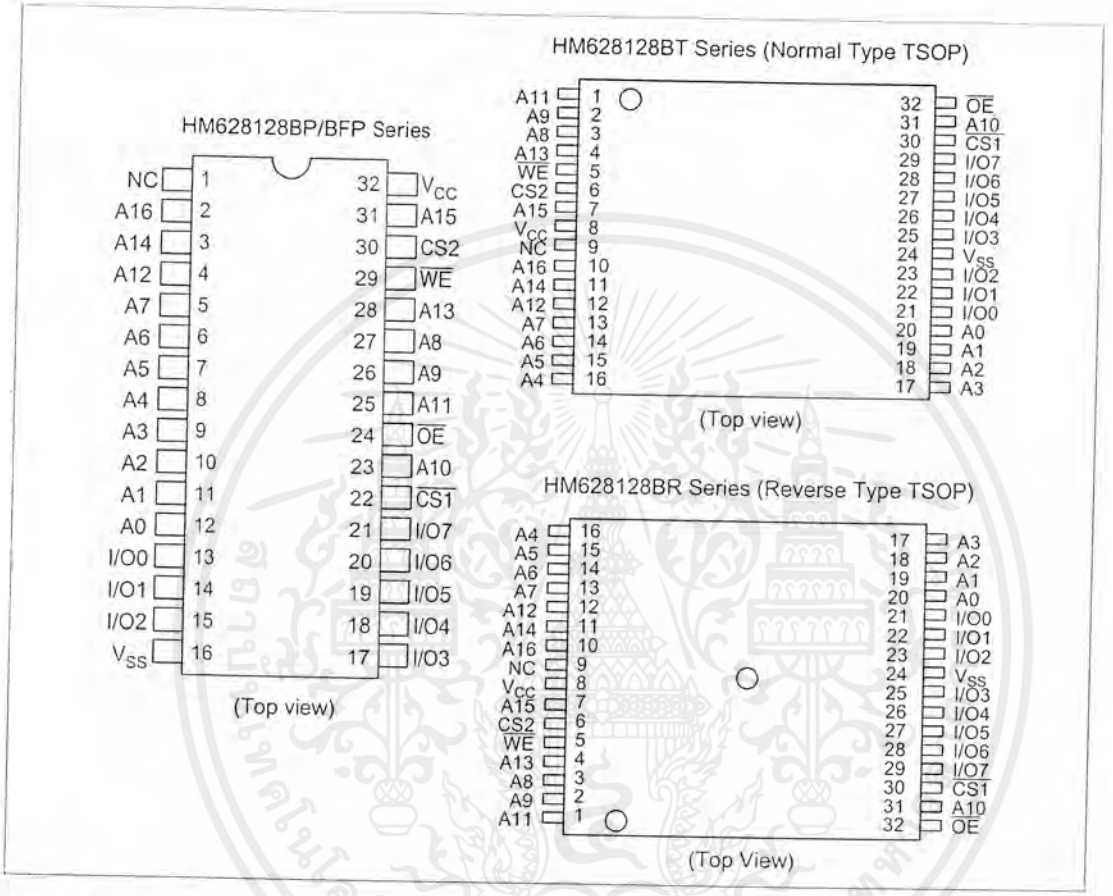
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Ordering Information

Type No.	Access time	Data retention current	Package
HM628128BLP-7	70 ns	50 µA	600-mil 32-pin plastic DIP (DP-32)
HM628128BLP-8	85 ns	50 µA	
HM628128BLP-7SL	70 ns	15 µA	
HM628128BLP-8SL	85 ns	15 µA	
HM628128BLFP-7	70 ns	50 µA	525-mil 32-pin plastic SOP (FP-32D)
HM628128BLFP-75	75 ns	50 µA	
HM628128BLFP-8	85 ns	50 µA	
HM628128BLFP-7SL	70 ns	15 µA	
HM628128BLFP-75SL	75 ns	15 µA	
HM628128BLFP-8SL	85 ns	15 µA	
HM628128BLT-7	70 ns	50 µA	Normal-bend type 32-pin plastic 8 mm × 20 mm TSOP (TFP-32D)
HM628128BLT-75	75 ns	50 µA	
HM628128BLT-8	85 ns	50 µA	
HM628128BLT-7SL	70 ns	15 µA	
HM628128BLT-75SL	75 ns	15 µA	
HM628128BLT-8SL	85 ns	15 µA	
HM628128BLR-7	70 ns	50 µA	Reverse-bend type 32-pin plastic 8 mm × 20 mm TSOP (TFP-32DR)
HM628128BLR-8	85 ns	50 µA	
HM628128BLR-7SL	70 ns	15 µA	
HM628128BLR-8SL	85 ns	15 µA	

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Pin Arrangement

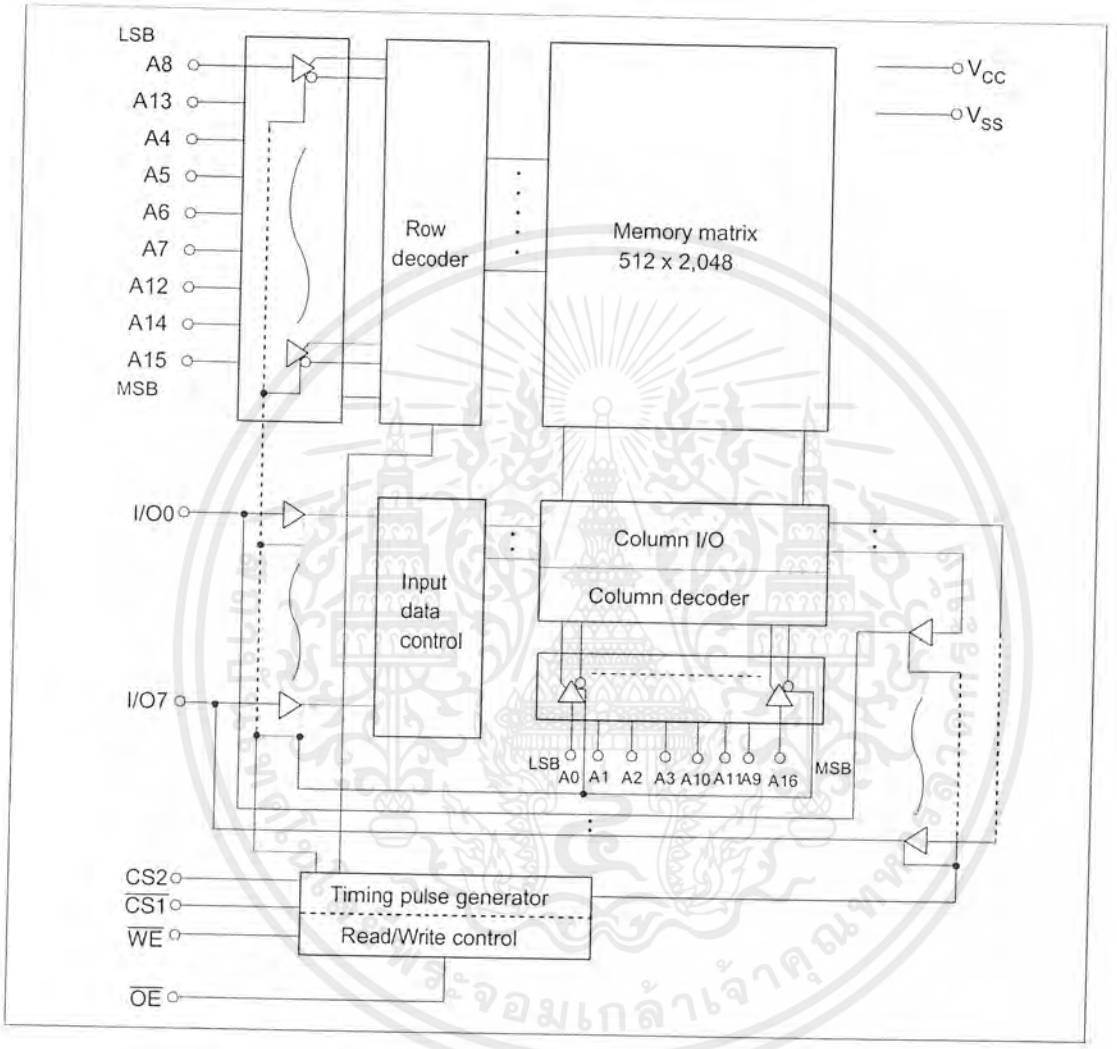


Pin Description

Pin name	Function
A0 to A16	Address input
I/O0 to I/O7	Data input/output
$\overline{CS1}$	Chip select 1
CS2	Chip select 2
$\overline{WE}$	Write enable
$\overline{OE}$	Output enable
NC	No connection
V_{CC}	Power supply
V_{SS}	Ground

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Block Diagram



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Function Table

$\overline{WE}$	$\overline{CS1}$	CS2	$\overline{OE}$	Mode	V_{CC} current	I/O pin	Ref. cycle
×	H	×	×	Standby	I_{SB}, I_{SB1}	High-Z	—
×	×	L	×	Standby	I_{SB}, I_{SB1}	High-Z	—
H	L	H	H	Output disable	I_{CC}	High-Z	—
H	L	H	L	Read	I_{CC}	Dout	Read cycle
L	L	H	H	Write	I_{CC}	Din	Write cycle (1)
L	L	H	L	Write	I_{CC}	Din	Write cycle (2)

Note: ×: H or L

Absolute Maximum Ratings

Parameter	Symbol	Value	Unit
Supply voltage relative to V_{SS}	V_{CC}	–0.5 to + 7.0	V
Voltage on any pin relative to V_{SS}	V_T	–0.5[*1] to V_{CC} + 0.3[*2]	V
Power dissipation	P_T	1.0	W
Operating temperature range	Topr	0 to +70	°C
Storage temperature range	Tstg	–55 to +125	°C
Storage temperature under bias	Tbias	–10 to 85	°C

Notes: 1. V_T min: –3.0 V for pulse half-width ≤ 30 ns
2. Maximum voltage is 7.0 V

Recommended DC Operating Conditions (Ta = 0 to +70°C)

Parameter	Symbol	Min	Typ	Max	Unit
Supply voltage	V_{CC}	4.5	5.0	5.5	V
	V_{SS}	0	0	0	V
Input high voltage	V_{IH}	2.2	—	V_{CC} + 0.3	V
Input low voltage	V_{IL}	–0.3 [*1]	—	0.8	V

Note: 1. V_{IL} min: –3.0 V for pulse half-width ≤ 30 ns

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

DC Characteristics (Ta = 0 to +70°C, V_{CC} = 5 V ± 10%, V_{SS} = 0 V)

Parameter	Symbol	Min	Typ*1	Max	Unit	Test conditions
Input leakage current	$\|I_{LI}\|$	—	—	1	µA	Vin = V_{SS} to V_{CC}
Output leakage current	$\|I_{LO}\|$	—	—	1	µA	$\overline{CS1}$ = V_{IH} or CS2 = V_{IL} or $\overline{OE}$ = V_{IH} or $\overline{WE}$ = V_{IL}, $V_{I/O}$ = V_{SS} to V_{CC}
Operating current	I_{CC}	—	15	25	mA	$\overline{CS1}$ = V_{IL}, CS2 = V_{IH}, Others = V_{IH}/V_{IL}, $I_{I/O}$ = 0 mA
Average operating current	I_{CC1}	—	35	70	mA	Min cycle, duty = 100%, $\overline{CS1}$ = V_{IL}, CS2 = V_{IH}, Others = V_{IH}/V_{IL}, $I_{I/O}$ = 0 mA
	I_{CC2}	—	10	20	mA	Cycle time = 1 µs, duty = 100%, $I_{I/O}$ = 0 mA, $\overline{CS1}$ ≤ 0.2 V, CS2 ≥ V_{CC} – 0.2 V, Others = V_{IH}/V_{IL} V_{IH} ≥ V_{CC} – 0.2 V, V_{IL} ≤ 0.2 V
Standby current	I_{SB}	—	1	2	mA	CS2 = V_{IL} or $\overline{CS1}$ = V_{IH}, CS2 = V_{IH}
	I_{SB1}	—	2*2	100*2	µA	0 V ≤ Vin ≤ V_{CC} (1) 0 V ≤ CS2 ≤ 0.2 V or (2) $\overline{CS1}$ ≥ V_{CC} – 0.2 V, CS2 ≥ V_{CC} – 0.2 V
	I_{SB1}	—	2*3	50*3	µA	
Output high voltage	V_{OL}	—	—	0.4	V	I_{OL} = 2.1 mA
Output low voltage	V_{OH}	2.4	—	—	V	I_{OH} = –1.0 mA

Notes: 1. Typical values are at V_{CC} = 5.0 V, Ta = +25°C and not guaranteed.
2. This characteristic is guaranteed only for L version.
3. This characteristic is guaranteed only for L-SL version.

Capacitance (Ta = 25°C, f = 1.0 MHz)

Parameter	Symbol	Min	Typ	Max	Unit	Test conditions
Input capacitance*1	Cin	—	—	8	pF	Vin = 0 V
Input/output capacitance*1	$C_{I/O}$	—	—	10	pF	$V_{I/O}$ = 0 V

Note: 1. This parameter is sampled and not 100% tested.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

AC Characteristics (Ta = 0 to +70°C, V_{CC} = 5.0 V ±10%)

Test Conditions

- Input pulse levels: 0.8 V to 2.4 V
- Input rise and fall time: 5 ns
- Input and output timing reference levels: 1.5 V
- Output load: 1 TTL Gate and C_L (100 pF) (Including scope and jig)

Read Cycle

		HM628128B							
		-7		-75		-8			
Parameter	Symbol	Min	Max	Min	Max	Min	Max	Unit	Notes
Read cycle time	t_{RC}	70	—	75	—	85	—	ns	
Address access time	t_{AA}	—	70	—	75	—	85	ns	
Chip selection to output valid	t_{CO1}	—	70	—	75	—	85	ns	
	t_{CO2}	—	70	—	75	—	85	ns	
Output enable to output valid	t_{OE}	—	35	—	35	—	45	ns	
Chip selection to output in low-Z	t_{LZ1}	10	—	10	—	10	—	ns	2, 3
	t_{LZ2}	10	—	10	—	10	—	ns	
Output enable to output in low-Z	t_{OLZ}	5	—	5	—	5	—	ns	2, 3
Chip deselection to output in high-Z	t_{HZ1}	0	25	0	25	0	30	ns	1, 2, 3
	t_{HZ2}	0	25	0	25	0	30	ns	
Output disable to output in high-Z	t_{OHZ}	0	25	0	25	0	30	ns	1, 2, 3
Output hold from address change	t_{OH}	10	—	10	—	10	—	ns	

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Write Cycle

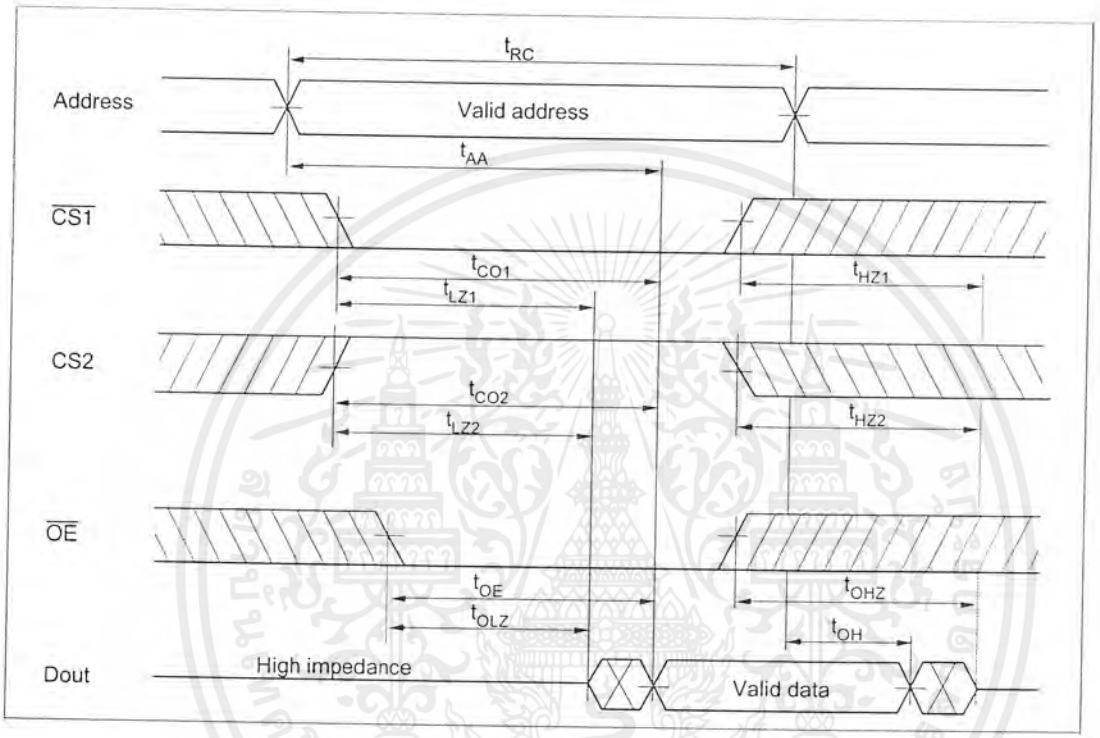
Parameter	Symbol	HM628128B -7 Min	-7 Max	-75 Min	-75 Max	-8 Min	-8 Max	Unit	Notes
Write cycle time	t_{WC}	70	—	75	—	85	—	ns	
Chip selection to end of write	t_{CW}	60	—	60	—	75	—	ns	5
Address setup time	t_{AS}	0	—	0	—	0	—	ns	6
Address valid to end of write	t_{AW}	60	—	60	—	75	—	ns	
Write pulse width	t_{WP}	50	—	50	—	55	—	ns	4, 13
Write recovery time	t_{WR}	0	—	0	—	0	—	ns	7
Write to output in high-Z	t_{WHZ}	0	25	0	25	0	30	ns	1, 2, 8
Data to write time overlap	t_{DW}	30	—	30	—	35	—	ns	
Data hold from write time	t_{DH}	0	—	0	—	0	—	ns	
Output active from end of write	t_{OW}	5	—	5	—	5	—	ns	2
Output disable to output in High-Z	t_{OHZ}	0	25	0	25	0	30	ns	1, 2, 8

Notes:
1. t_{HZ}, t_{OHZ} and t_{WHZ} are defined as the time at which the outputs achieve the open circuit conditions and are not referred to output voltage levels.
2. This parameter is sampled and not 100% tested.
3. At any given temperature and voltage condition, t_{HZ} max is less than t_{LZ} min both for a given device and from device to device.
4. A write occurs during the overlap of a low $\overline{CS1}$, a high CS2, and a low $\overline{WE}$. A write begins at the latest transition among $\overline{CS1}$ going low, CS2 going high, and $\overline{WE}$ going low. A write ends at the earliest transition among $\overline{CS1}$ going high, CS2 going low, and $\overline{WE}$ going high. t_{WP} is measured from the beginning of write to the end of write.
5. t_{CW} is measured from the later of $\overline{CS1}$ going low or CS2 going high to the end of write.
6. t_{AS} is measured from the address valid to the beginning of write.
7. t_{WR} is measured from the earliest of $\overline{CS1}$ or $\overline{WE}$ going high or CS2 going low to the end of write cycle.
8. During this period, I/O pins are in the output state; therefore, the input signals of the opposite phase to the outputs must not be applied.
9. If $\overline{CS1}$ goes low simultaneously with $\overline{WE}$ going low or after $\overline{WE}$ going low, the outputs remain in a high impedance state.
10. Dout is the same phase of the latest written data in this write cycle.
11. Dout is the read data of next address.
12. If $\overline{CS1}$ is low and CS2 h^{i},h during this period, I/O pins are in the output state. Therefore, the input signals of the opposite phase to the outputs must not be applied to them.
13. In the write cycle with $\overline{OE}$ low fixed, t_{WP} must satisfy the following equation to avoid a problem of data bus contention.
$t_{WP} \geq t_{DW}$ min + t_{WHZ} max

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

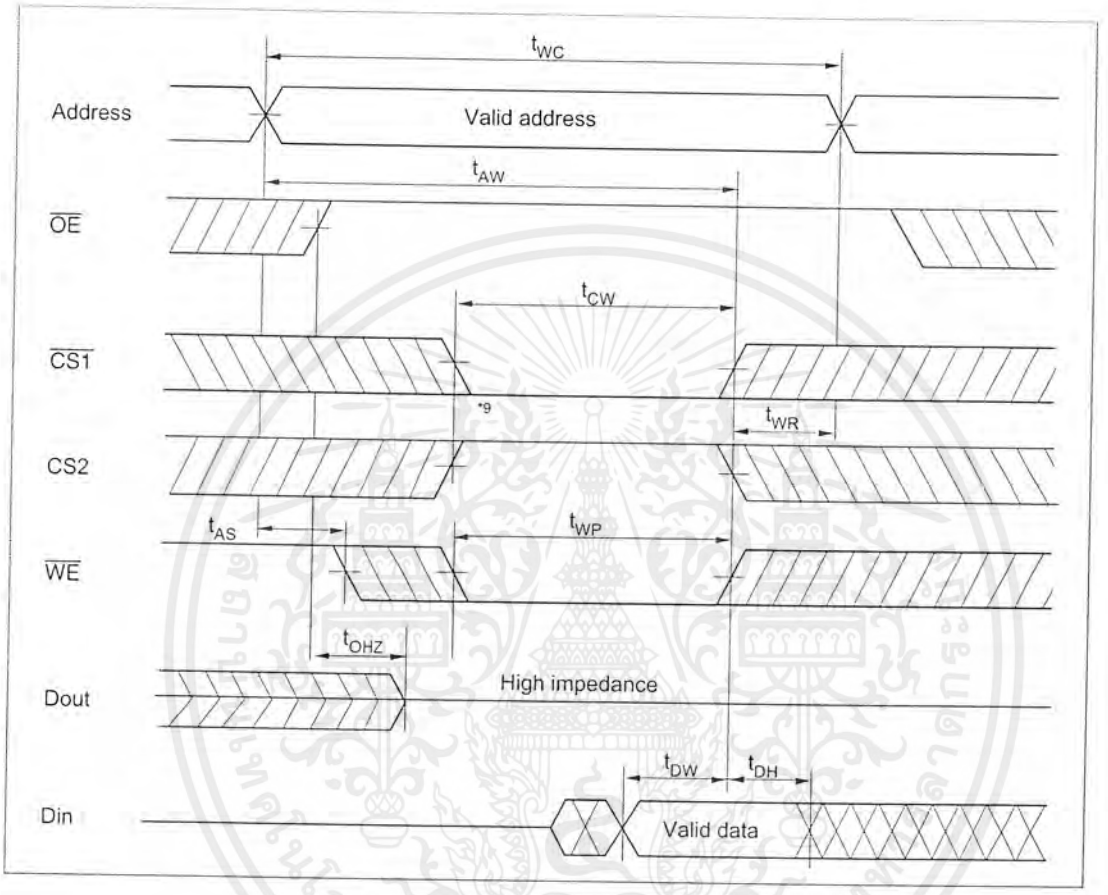
Timing Waveform

Read Timing Waveform ($\overline{WE}$ = V_{IH})



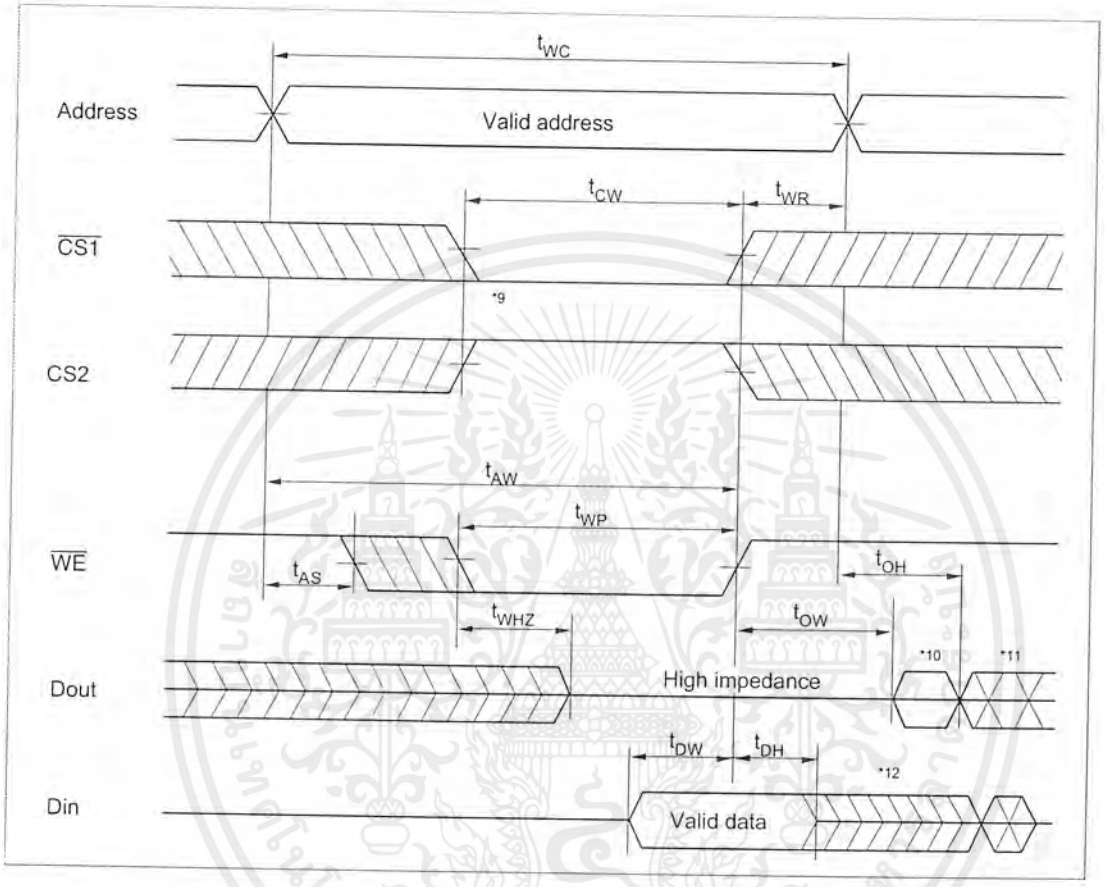
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Write Timing Waveform (1) ($\overline{OE}$ Clock)



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Write Timing Waveform (2) ($\overline{OE}$ Low Fixed)



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

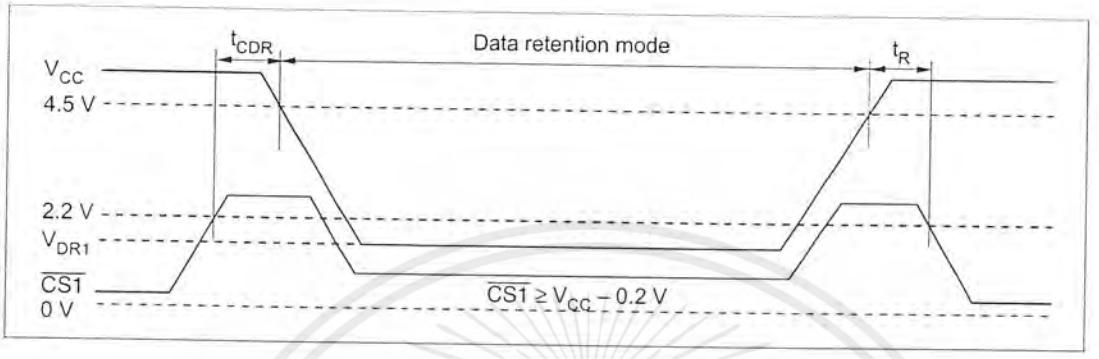
Low V_{CC} Data Retention Characteristics (Ta = 0 to +70°C)

Parameter	Symbol	Min	Typ*4	Max	Unit	Test conditions*3
V_{CC} for data retention	V_{DR}	2.0	—	—	V	$0V \le Vin \le V_{CC}$ (1) $0 V \le CS2 \le 0.2 V$ or (2) $CS2 \ge V_{CC} - 0.2 V$ $\overline{CS1} \ge V_{CC} - 0.2 V$
Data retention current	I_{CCDR}	—	1	50*1	µA	$V_{CC} = 3.0 V$, $0V \le Vin \le V_{CC}$ (1) $0 V \le CS2 \le 0.2 V$ or (2) $CS2 \ge V_{CC} - 0.2 V$, $\overline{CS1} \ge V_{CC} - 0.2 V$
	I_{CCDR}	—	1	15*2	µA	
Chip deselect to data retention time	t_{CDR}	0	—	—	ns	See retention waveform
Operation recovery time	t_R	5	—	—	ms	

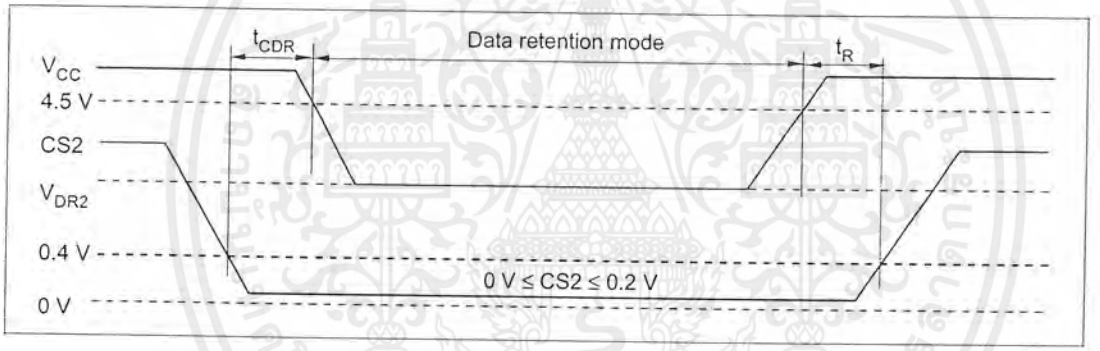
Notes: 1. This characteristic is guaranteed only for L version, 20 µA max. at Ta = 0 to 40°C.
2. This characteristic is guaranteed only for L-SL version, 3 µA max. at Ta = 0 to 40°C.
3. CS2 controls address buffer, $\overline{WE}$ buffer, $\overline{CS1}$ buffer, $\overline{OE}$ buffer, and Din buffer. If CS2 controls data retention mode, Vin levels (address, $\overline{WE}$, $\overline{OE}$, $\overline{CS1}$, I/O) can be in the high impedance state. If $\overline{CS1}$ controls data retention mode, CS2 must be $CS2 \ge V_{CC} - 0.2 V$ or $0 V \le CS2 \le 0.2 V$. The other input levels (address, $\overline{WE}$, $\overline{OE}$, I/O) can be in the high impedance state.
4. Typical values are at $V_{CC} = 3.0 V$, Ta = +25°C and not guaranteed.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Low V_{CC} Data Retention Timing Waveform (1) ($\overline{CS1}$ Controlled)



Low V_{CC} Data Retention Timing Waveform (2) (CS2 Controlled)



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

กิตติกรรมประกาศ

ปริญญานิพนธ์ฉบับนี้ได้รับความอนุเคราะห์ด้วยดีจาก ดร. สุทธิชัย นพนาคีพงษ์ อาจารย์ที่ปรึกษา พี่ เศรษฐกร กาเมือง พี่ อำนวยศักดิ์ มงคลชัชวาลย์ รวมทั้งเพื่อน ๆ อีกหลายคนที่มิได้กล่าวในที่นี้ คณะผู้จัดทำขอขอบคุณสำหรับคำปรึกษา และความช่วยเหลือต่าง ๆ ที่ได้รับซึ่งเป็นส่วนสำคัญที่ทำให้ปริญญานิพนธ์ฉบับนี้สำเร็จลุล่วงด้วยดี

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

หนังสืออ้างอิง

1. เจน สงสมพันธุ์ , นิคม อนันต์ทิพย์ , เทคโนโลยีโทรทัศน์ , กรุงเทพ ฯ; สถาบันอิเลกทรอนิกส์กรุงเทพรังสิต , 2538

2. สมศักดิ์ เตชะเศรษฐ์ธนะ , ร.ต.อ. สุชาติ กังวาลจิตต์ , ทฤษฎีและปฏิบัติโทรทัศน์สีระบบ PAL , กรุงเทพ ฯ ; ซีเอ็ดยูเคชั่น , 2532

3. ปรัชญนันท์ นิลสุข, ทฤษฎีและการทำงานเครื่องรับโทรทัศน์เบื้องต้น , กรุงเทพ ฯ ; ซีเอ็ดยูเคชั่น , 2541

4. สมศักดิ์ เตชะเศรษฐ์ธนะ , ทฤษฎีและปฏิบัติ VCR ระบบดิจิตอล , กรุงเทพ ฯ ; ซีเอ็ดยูเคชั่น , 2532

5. ธนัน ชัยยุทธ , กณพ แก้วพิชัย , ดิจิตอลพื้นฐาน , กรุงเทพ ฯ ; ซีเอ็ดยูเคชั่น , 2540

6. ดร. ธวัช เมฆสวรรค์ , โยชิคะซึ ซางามูระ , เทคนิคการซ่อมเครื่องรับโทรทัศน์สี , กรุงเทพ ฯ ; ดวงกมล , 2538

7. ธันวา ศรีประโมง , การเขียนโปรแกรมภาษาซีสำหรับวิศวกรรม , กรุงเทพ ฯ ;มหาวิทยาลัยเทคโนโลยีมหานคร , 2537

8. ดร. วิทยา เรืองพรวิสุทธิ์ , คู่มือโปรแกรมภาษาCสำหรับผู้เริ่มต้น , กรุงเทพ ฯ ; ซีเอ็ดยูเคชั่น , 2540

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้