สำนักหอสมุดกลาง พระจอมเกล้าลาดกระบัง

เครื่องรับ-ส่ง 4 ช่องสัญญาณแบบ QPSK

4 CHANNEL QPSK MODULATOR AND DEMODULATOR

T042133

โดย

นายยุพเรศ แสงหัวช้าง

นายอธิพงศ์ สุริยา

เลขหมู่.....
เลขทะเบียน 42133
วัน, เดือน, ปี 13 พ.ค. 2545

.b.....
.i.....

ปริญญานิพนธ์นี้เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรปริญญาวิศวกรรมศาสตรบัณฑิต

สาขาวิชาวิศวกรรมโทรคมนาคม

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

ปีการศึกษา 2543

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เครื่องรับ-ส่ง 4 ช่องสัญญาณแบบ QPSK

4 CHANNEL QPSK MODULATOR AND DEMODULATOR

โดย

นายยุพเรศ แสงหัวช้าง 40010622

นายอธิพงศ์ สุริยา 40010935

อาจารย์ที่ปรึกษา

ผศ.วิภา แสงพิสิทธิ์

ปริญญานิพนธ์นี้เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรปริญญาวิศวกรรมศาสตรบัณฑิต

สาขาวิชาวิศวกรรมโทรคมนาคม

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

ปีการศึกษา 2543

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ปริญญานิพนธ์ปีการศึกษา 2543

ภาควิชาวิศวกรรมโทรคมนาคม

คณะวิศวกรรมศาสตร์ สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

เรื่อง **เครื่องรับ-ส่ง 4 ช่องสัญญาณแบบ QPSK**

4 CHANNEL QPSK MODULATOR AND DEMODULATOR

ผู้จัดทำ

1. นายยุพเรศ แสงหัวช้าง 40010622

2. นายอธิพงศ์ สุริยา 40010935

..... อาจารย์ที่ปรึกษา

(ผศ.วิภา แสงพิสิทธิ์)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เครื่องรับ-ส่ง 4 ช่องสัญญาณแบบ QPSK

4 CHANNEL QPSK MODULATOR AND DEMODULATOR

โดย นายยุพเรศ แสงหัวช้าง 40010622
นายอธิพงศ์ สุริยา 40010935

อาจารย์ที่ปรึกษา ผศ.วิภา แสงพิสิทธิ์

บทคัดย่อ

โครงงานนี้เป็นการนำเสนอ ระบบการส่งสัญญาณประกอบด้วย 4 ช่องสัญญาณ สามารถเลือกใช้ได้กับทั้งสัญญาณอนาล็อกและสัญญาณดิจิตอล โดยสัญญาณอนาล็อกจะผ่านวงจรแปลงจากอนาล็อกเป็นดิจิตอลเข้าสู่การเข้ารหัสแบบ QPSK ซึ่งเป็นการเอาสัญญาณดิจิตอลมาเปลี่ยนเฟสของสัญญาณพาหะด้วยอัตราเร็ว 64 kbps ไปตามสายโคแอกเชียล ในโครงงานนี้ใช้วงจรผลิตสัญญาณพาหะ 512 kHz และสัญญาณนำร่อง 480 kHz สัญญาณนำร่องจะถูกส่งไปยังภาครับพร้อมสัญญาณที่ถูกมอดูเลทแล้ว ใช้อ้างอิงในการสร้างสัญญาณพาหะที่ภาครับ เพื่อใช้ในการดีเทกต์สัญญาณ กรณีที่สัญญาณเข้ามาเป็นอนาล็อก จะผ่านวงจรแปลงจากดิจิตอลเป็นอนาล็อกในขั้นตอนสุดท้าย

ABSTRACT

This project presents a 4 channel transmission system that can uses both analog and digital . Analog signal pass into analog to digital converter and use Quadrature Phase Shift Keying (QPSK) for encoding at bit rate 64 kbps in coaxial cable . In this project uses 512 kHz oscillating carrier signal and 480 kHz pilot signal . The pilot signal is transmitted to demodulator stage in the same time as modulating signal . The advantage of pilot signal is using for detect signal . If the input signal is analog . The signal will pass into digital to analog converter in the lastest process .

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญ

	หน้า
บทที่ 1 บทนำ	1
บทที่ 2 ทฤษฎีหรือหลักการ	
2.1 PSK (Phase Shift Keying)	2
2.2 Quadi PSK	3
2.3 วงจรบาลานซ์มอดดูเลเตอร์ (Balance Modulator)	9
2.4 Active Filter	10
2.5 เฟสล็อกลูป (Phase Lock Loop)	13
2.6 วงจรแปลงสัญญาณอะนาลอกเป็นสัญญาณดิจิตอล และวงจรแปลงสัญญาณดิจิตอลเป็นสัญญาณอะนาลอก	16
บทที่ 3 การออกแบบและการสร้างวงจร	
3.1 การออกแบบและสร้างวงจรภาคส่ง	
3.1.1 วงจรแยกสัญญาณดิจิตอล	30
3.1.2 วงจรแปลงบิตเป็น 2 ระดับ	31
3.1.3 วงจรบาลานซ์มอดดูเลเตอร์	32
3.1.4 วงจรกรองช่วงความถี่ผ่าน	33
3.1.5 วงจรเลื่อนเฟส 90 องศา	40
3.1.6 วงจรกำเนิดสัญญาณพาหะ 512 kHz	41
3.1.7 วงจรกำเนิดสัญญาณนำร่อง (Pilot Signal)	42
3.1.8 วงจรรวมสัญญาณ (Summing Amplifier)	42
3.1.9 วงจรผลิตสัญญาณความถี่ 64 kHz	43
3.1.10 วงจรกำเนิดข้อมูลความเร็ว 64 kbps	43
3.1.11 วงจรแปลงสัญญาณอะนาลอกเป็นสัญญาณดิจิตอล	44
3.2 การออกแบบและสร้างวงจรภาครับ	
3.2.1 วงจรกรองความถี่ช่วง 496-528 kHz	49
3.2.2 วงจรกรองความถี่ช่วง 480 kHz	51
3.2.3 วงจรเฟสล็อกลูปกู้สัญญาณนาฬิกา 64 kHz และกู้สัญญาณคลื่นพาหะ 512 kHz	51
3.2.4 วงจรเลื่อนเฟส 90 องศา	52
3.2.5 วงจรบาลานซ์ดีมอดดูเลเตอร์	53
3.2.6 วงจรกรองความถี่ต่ำ	54

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.2.7 วงจรแปลงสัญญาณ 2 ระดับเป็น 1 บิต 58
3.2.8 วงจรรวมสัญญาณดิจิตอล 58
3.2.9 วงจรแปลงสัญญาณดิจิตอลเป็นสัญญาณอะนาลอก 59

บทที่ 4 การทดลองและผลการทดลอง

การทดสอบวงจรส่วนภาคส่ง
4.1 การทดสอบวงจรผลิตสัญญาณความถี่ 64 kHz 64
4.2 การทดสอบวงจรกำเนิดข้อมูลขนาดความเร็ว 64 kbps 65
4.3 การทดสอบวงจรกำเนิดสัญญาณคลื่นพาหะความถี่ 512 kHz 66
4.4 การทดสอบวงจรกำเนิดสัญญาณนำร่อง 480 kHz 69
4.5 การทดสอบวงจรแยกบิต 72
4.6 การทดสอบวงจรเลื่อนเฟสของสัญญาณ 74
4.7 การทดสอบวงจรบาลานซ์มอดดูเลเตอร์ 76
4.8 การทดสอบวงจรรวมสัญญาณ 78
การทดสอบวงจรส่วนภาครับ
4.9 การทดสอบวงจรกรองความถี่สัญญาณ QPSK 80
4.10 การทดสอบวงจรกรองความถี่สัญญาณนำร่อง 480 kHz 81
4.11 การทดสอบวงจรส่วนกู้สัญญาณนาฬิกา 64 kHz 83
4.12 การทดสอบวงจรกู้สัญญาณคลื่นพาหะ 512 kHz 85
4.13 การทดสอบวงจรดีบาลานซ์มอดดูเลเตอร์ 86
4.14 การทดสอบวงจรส่วนกรองความถี่ต่ำ 16 kHz 87
4.15 การทดสอบวงจรรวมบิต 89

บทที่ 5 บทวิจารณ์และบทสรุป 93

ภาคผนวก

กิตติกรรมประกาศ

เอกสารอ้างอิง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญรูปภาพ

	หน้า
รูปที่ 2.1 ไบนารี PSK	2
รูปที่ 2.2 สัญญาณดิจิตอล 2 บิตที่จะส่งพร้อมกัน	2
รูปที่ 2.3 Quadri PSK	2
รูปที่ 2.4 8-เฟส PSK	3
รูปที่ 2.5 เปรียบเทียบอัตราการผิดพลาดของบิตของ PSK แบบต่างๆ	3
รูปที่ 2.6 รหัส 4 คู่ของสัญญาณ QPSK	4
รูปที่ 2.7 Gray code ที่ใช้ใน QPSK	4
รูปที่ 2.8 วงจรโมดูเลท QPSK	4
รูปที่ 2.9 เปรียบเทียบเฟสของสัญญาณในช่องสัญญาณ P และ Q	5
รูปที่ 2.10 เวคเตอร์ผลลัพธ์ของสัญญาณ QPSK	5
รูปที่ 2.11 สัญญาณ QPSK ถูก shift phase $\pi/4$	6
รูปที่ 2.12 วงจรดีมอดดูเลทสัญญาณ QPSK	6
รูปที่ 2.13 การดีเทคสัญญาณ QPSK ออกมาเป็น BPSK 2 สัญญาณ	7
รูปที่ 2.14 keying speed ในการส่งสัญญาณ	8
รูปที่ 2.15 PSK เวคเตอร์ และ noise เวคเตอร์	8
รูปที่ 2.16 เปรียบเทียบขนาดของ noise ball ที่ไม่ทำให้เกิดการผิดพลาดของบิต	9
รูปที่ 2.17 วงจรบาลานซ์มอดดูเลทเตอร์	9
รูปที่ 2.18 Frequency Response ของวงจร Filter	12
รูปที่ 2.19 แสดงบล็อกไดอะแกรมของวงจรเฟสล็อกลูป	13
รูปที่ 2.20 แสดงคุณลักษณะระหว่างความถี่กับ Error Voltage ของเฟสล็อกลูป	14
รูปที่ 2.21 บล็อกไดอะแกรมของวงจรเพิ่มความถี่โดยใช้เฟสล็อกลูป	15
รูปที่ 2.22 บล็อกไดอะแกรม แสดงวงจรภายในและการใช้งานของไอซี 4046 PLL	16
รูปที่ 2.23 การต่อวงจรเอทูดีแบบขนานและความสัมพันธ์ของแรงดันอินพุตกับเอาท์พุต	18
รูปที่ 2.24 การทำงานของวงจรอินทริเกรเตอร์	19
รูปที่ 2.25 หลักการทำงานของวงจร A/D แบบสโลปคู่	20
รูปที่ 2.26 แสดงความละเอียดของแรงดันทางเอาท์พุตตัว DAC	22
รูปที่ 2.27 แสดงวงจร Binary weighted DAC และ กราฟแสดงเอาท์พุทของ DAC ต่อสัญญาณดิจิตอล	23
รูปที่ 2.28 วงจรดีทูเอแบบ R/2R แลดเดอร์	24
รูปที่ 2.29 แสดงวงจรของวงจร Binary Ladder	26

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รูปที่ 2.30 Monotonic DAC จะมากขึ้น ทุกๆ ค่า ของสัญญาณอะนาลอกที่ถูกต้องต่อค่าของรหัสไบนารี่ทางอินพุท 27
รูปที่ 2.31 วงจร Unipolar D/A 27
รูปที่ 2.32 วงจร D/A แบบ Bipolar เอาท์พุตของวงจร สามารถเปลี่ยนแปลงจากแรงดันลบจนถึงแรงดันบวกได้ 28
รูปที่ 3.1 บล็อกไดอะแกรมที่ใช้ในการออกแบบวงจรภาคส่ง 30
รูปที่ 3.2 วงจรแยกสัญญาณดิจิตอล 31
รูปที่ 3.3 วงจรแปลงสัญญาณ 1 บิตเป็น 2 บิต 32
รูปที่ 3.4 วงจรบาลานซ์มอดดูเลทเตอร์ 32
รูปที่ 3.5 แสดงวงจร wide band filter 34
รูปที่ 3.6 แสดงวงจร Narrow Band Filter 35
รูปที่ 3.7 วงจร Positive Feedback Band-Pass Filter 35
รูปที่ 3.8 กราฟแสดงความสัมพันธ์ระหว่าง K parameter เทียบกับความถี่ 38
รูปที่ 3.9 กราฟแสดงความสัมพันธ์ระหว่างค่าความต้านทานเทียบกับ K parameter 39
รูปที่ 3.10 วงจร Phase Shift 90 องศา 40
รูปที่ 3.11 วงจรกำเนิดสัญญาณพาหะ 512 kHz 41
รูปที่ 3.12 วงจรกำเนิดสัญญาณนำร่อง 480 kHz 42
รูปที่ 3.13 วงจร Summing Amplifier 43
รูปที่ 3.14 แสดงวงจรผลิตความถี่ 64 kHz 43
รูปที่ 3.15 วงจรกำเนิดข้อมูลความเร็ว 64 kbps 44
รูปที่ 3.16 แสดงวงจรแปลงสัญญาณอะนาลอกเป็นสัญญาณดิจิตอล 45
รูปที่ 3.17 วงจรภาคส่ง QPSK ส่วนที่ 1 46
รูปที่ 3.18 วงจรภาคส่ง QPSK ส่วนที่ 2 47
รูปที่ 3.19 บล็อกไดอะแกรมของวงจรด้านรับ 48
รูปที่ 3.20 วงจรกรองความถี่ช่วง 496 kHz – 528 kHz 49
รูปที่ 3.21 วงจรเฟสล็อกลูปที่ 1 กู้สัญญาณนาฬิกา 64 kHz 51
รูปที่ 3.22 วงจรเฟสล็อกลูปที่ 2 กู้สัญญาณพาหะ 512 kHz 52
รูปที่ 3.23 วงจรเลื่อนเฟส 90 องศา 53
รูปที่ 3.24 วงจรบาลานซ์ดีมอดดูเลเตอร์ 53
รูปที่ 3.25 วงจรกรองความถี่ต่ำ 54
รูปที่ 3.26 วงจรคอมพาราเตอร์ 58
รูปที่ 3.27 วงจรรวมสัญญาณดิจิตอล 59
รูปที่ 3.28 แสดงวงจรแปลงสัญญาณดิจิตอลเป็นสัญญาณอะนาลอก 60
รูปที่ 3.29 แสดงวงจรรวมภาครับส่วนที่ 1 61

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รูปที่ 3.30 แสดงวงจรรวมภาครับส่วนที่ 2 62
รูปที่ 3.31 แสดงวงจรรวมภาครับส่วนที่ 3 63
รูปที่ 4.1 สัญญาณคลื่นสี่เหลี่ยมที่ได้จากวงจรผลิตสัญญาณความถี่ 64 kHz 64
รูปที่ 4.2 สัญญาณข้อมูลที่เรากำหนดขึ้น เปรียบเทียบกับสัญญาณนาฬิกา 16 kHz 66
รูปที่ 4.3 สัญญาณที่ป้อนเข้าอินพุตและสัญญาณที่ผลิตได้ที่ขา VCO ของไอซีเบอร์ 4046 67
รูปที่ 4.4 แสดงกราฟคุณลักษณะของวงจรกรองความถี่ผ่านย่าน 512 kHz 69
รูปที่ 4.5 สัญญาณที่ป้อนเข้าอินพุตและสัญญาณที่ผลิตได้ที่ขา VCO ของไอซีเบอร์ 4046 70
รูปที่ 4.6 แสดงกราฟคุณลักษณะของวงจรกรองความถี่ผ่านย่าน 480 kHz 72
รูปที่ 4.7 สัญญาณข้อมูลอินพุตที่กำหนดขึ้นเปรียบเทียบกับสัญญาณที่วัดได้ที่เอาต์พุตด้าน I 73
รูปที่ 4.8 สัญญาณข้อมูลอินพุตที่กำหนดขึ้นเปรียบเทียบกับสัญญาณที่วัดได้ที่เอาต์พุตด้าน Q 73
รูปที่ 4.9 เปรียบเทียบสัญญาณของเอาต์พุตด้าน I และด้าน Q 74
รูปที่ 4.10 เปรียบเทียบสัญญาณอินพุต (CH1) และสัญญาณเอาต์พุตที่วัดได้ (CH2) 75
รูปที่ 4.11 แสดงสัญญาณอินพุตและสัญญาณเอาต์พุตเลื่อนเฟสไปประมาณ 90 องศา 75
รูปที่ 4.12 เอาต์พุตของวงจรบาลานซ์มอดดูเลเตอร์ซึ่งเป็น Double Sideband Suppressed Carrier 77
รูปที่ 4.13 สเปกตรัมความถี่ที่เอาต์พุตวงจรบาลานซ์มอดดูเลเตอร์ซึ่งเป็น Double Sideband Suppressed Carrier 77
รูปที่ 4.14 แสดงสัญญาณคลื่นพาหะมอดดูเลตกับสัญญาณคลื่นสี่เหลี่ยม (ข้อมูล) และแสดงเอาต์พุตที่มาทำการชิฟเฟสของสัญญาณคลื่นพาหะ 78
รูปที่ 4.15 สัญญาณที่ได้จากวงจรรวมสัญญาณ 79
รูปที่ 4.16 แสดงกราฟคุณลักษณะของวงจรกรองความถี่ผ่านย่าน 496-528 kHz 81
รูปที่ 4.17 กราฟแสดงคุณลักษณะของวงจรกรองความถี่ของสัญญาณนำร่อง 480 kHz 83
รูปที่ 4.18 แสดงลักษณะของสัญญาณเอาต์พุตที่ได้หลังจากผ่านไอซี 4046 เปรียบเทียบกับอินพุตที่ป้อนเข้ามา 84
รูปที่ 4.19 แสดงลักษณะของสัญญาณที่ได้จากวงจรหารความถี่ด้วย 15 84
รูปที่ 4.20 แสดงสัญญาณที่วัดได้ที่เอาต์พุต VCO ของไอซี 4046 ในวงจรกู้สัญญาณคลื่นพาหะ 512 kHz 85
รูปที่ 4.21 แสดงสัญญาณคลื่นพาหะมอดดูเลตกับสัญญาณคลื่นสี่เหลี่ยม (ข้อมูล) และแสดงเอาต์พุตที่มาทำการชิฟเฟสของสัญญาณคลื่นพาหะ 86
รูปที่ 4.22 แสดงกราฟคุณลักษณะของวงจรกรองความถี่ต่ำผ่าน 16 kHz 88
รูปที่ 4.23 แสดงสัญญาณที่วัดได้ที่เอาต์พุตของวงจรรวมบิตเปรียบเทียบกับอินพุตที่ป้อนเข้ามา 89
รูปที่ 4.24 รูปชิ้นงานเครื่องส่งสัญญาณ QPSK พร้อมทั้งเครื่องกำเนิดข้อมูลความเร็ว 64 kbps 90
รูปที่ 4.25 รูปชิ้นงานเครื่องรับสัญญาณ QPSK 91

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รูปที่ 4.26 รูปเครื่องส่ง-เครื่องรับสัญญาณ QPSK ต่อเชื่อมโดยใช้สายโคแอกเชียล 91
รูปที่ 4.27 รูปวงจรภายในเครื่องส่งสัญญาณ QPSK 92
รูปที่ 4.28 รูปวงจรภายในเครื่องรับสัญญาณ QPSK 92

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญตาราง

	หน้า
ตารางที่ 3.1 การแปลงบิต เป็น 2 ระดับ	31
ตารางที่ 3.2 0.1 dB Chebyshev	55
ตารางที่ 4.1 ค่า Voltage ที่วัดได้ที่ค่าความถี่ต่างๆ ของวงจรกรองความถี่ผ่าน 512 kHz	68
ตารางที่ 4.2 ค่า Voltage ที่วัดได้ที่ค่าความถี่ต่างๆ ของวงจรกรองความถี่ผ่าน 480 kHz	71
ตารางที่ 4.3 ค่า Voltage ที่วัดได้ที่ค่าความถี่ต่างๆ ของวงจรกรองความถี่สัญญาณ QPSK	80
ตารางที่ 4.4 ค่า Voltage ที่วัดได้ที่ค่าความถี่ต่างๆ ของวงจรกรองความถี่สัญญาณนำร่อง 480 kHz	82
ตารางที่ 4.5 ค่า Voltage ที่วัดได้ที่ค่าความถี่ต่างๆ ของวงจรกรองความถี่ต่ำผ่าน	88

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 1
บทนำ

โลกของเราในปัจจุบันนี้อยู่ในยุคโลกาภิวัฒน์ ซึ่งถือว่าการสื่อสารโทรคมนาคม เป็นเรื่องที่มีความสำคัญและจำเป็นอย่างยิ่งที่เราจะต้องทำการศึกษา โดยเราสามารถแบ่งการสื่อสารออกเป็นระบบใหญ่ ๆ ได้ 2 ระบบ อันได้แก่

1. ระบบการสื่อสาร แบบดิจิตอล (Digital Communication System)
2. ระบบการสื่อสาร แบบอนาล็อก (Analog Communication System)

แต่ในปัจจุบัน แนวโน้มของระบบการสื่อสารแบบอนาล็อกจะมีการใช้งานที่ลดลง เพราะประสบกับปัญหาและข้อจำกัดในหลาย ๆ ด้าน เช่น สัญญาณรบกวน , ข้อจำกัดด้านแบนด์วิทของสัญญาณ ฯลฯ ด้วยเหตุผลต่างๆ ดังที่ได้กล่าวไปแล้วนี้ ทำให้ระบบการสื่อสารแบบดิจิตอล ที่ให้ความถูกต้องแม่นยำกว่าจึงได้เข้ามามีบทบาทสำคัญอย่างยิ่ง อีกทั้งมีความต้องการเพิ่มขึ้นอย่างมากทั้งคุณภาพและปริมาณในการใช้งานการส่งสัญญาณหรือข้อมูลในระบบต่างๆ เช่น ระบบโทรศัพท์ , ระบบสื่อสารผ่านดาวเทียมภาคพื้นดิน , ระบบสื่อสารดาวเทียมอวกาศ , ระบบโครงข่ายให้บริการร่วมแบบ ISDN (Integrated Service Digital Network) เป็นต้น ซึ่งจำเป็นที่จะต้องใช้การสื่อสารข้อมูลระบบดิจิตอลที่มีความแม่นยำสูง เพื่อพัฒนาให้ทันกับความต้องการของระบบการสื่อสารที่เป็นอยู่

รูปแบบของการมอดดูเลตสัญญาณดิจิตอล มีหลายรูปแบบ เช่น FSK , PSK , BPSK ,QPSK , 8PSK, QAM , 8 QAM , 16 QAM ฯลฯ แต่ในโครงงานนี้จะเลือกในการศึกษาระบบ QPSK (Quadrature Phase Shift Keying) ซึ่งการเปลี่ยนแปลงของคลื่นพาหะจะสามารถเปลี่ยนแปลงทางเฟสรวม 4 ตำแหน่งในหนึ่งคาบเวลา เท่ากับว่าสามารถส่งข้อมูลได้พร้อมกันครั้งละ 2 บิท โดยเป็นการส่งสัญญาณดิจิตอล ด้วยอัตราเร็ว 64 kbps ส่งสัญญาณแบบ QPSK ซึ่งสามารถลดแบนด์วิดธ์ ลงได้ 2 เท่าของการส่งแบบ BPSK ทำให้เป็นการเพิ่มประสิทธิภาพในการใช้ช่องสัญญาณให้มากขึ้นด้วย

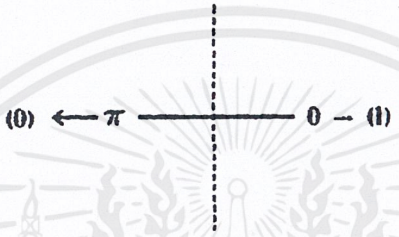
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 2
ทฤษฎีหรือหลักการ

2.1 PSK (Phase Shift Keying)

โดยหลักการแล้วเฟสเริ่มแรกของคลื่นพาหะมีจำนวนมาก จำนวนของเฟสเริ่มแรกที่ใช้ใน PSK สามารถที่จะเพิ่มขึ้นได้ ถ้าเราสามารถแยกแยะสัญญาณทางด้านรับออกได้อย่างถูกต้อง

เนื่องจากระบบดิจิตอลใช้รหัสไบนารี สัญญาณดิจิตอลสามารถจะส่งได้โดยใช้ 2 initial phase เรียกว่า ไบนารี่ PSK เฟสเป็น 0 สำหรับไบนารี 1 และเฟสเป็น π สำหรับรหัส 0



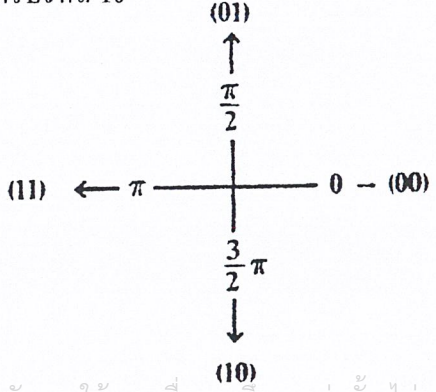
รูปที่ 2.1 ไบนารี PSK

ลองมาพิจารณาการส่งสัญญาณดิจิตอลพร้อมกัน 2 บิตในเวลาเดียวกัน ในกรณีนี้จะมีการรวมรหัส 4 ตัวด้วยกันคือ 00, 01, 10 และ 11 โดยให้รหัสที่รวมกันนี้เทียบเท่ากับเฟส 4 เฟส สัญญาณดิจิตอล 2 บิตจึงสามารถส่งพร้อมกันได้

1st bit	0	0	1	1
2nd bit	0	1	0	1

รูปที่ 2.2 สัญญาณดิจิตอล 2 บิตที่จะส่งพร้อมกัน

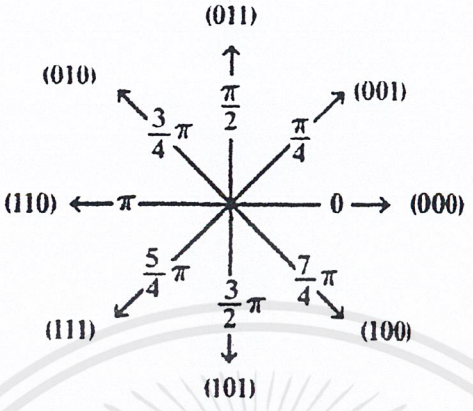
PSK ที่ใช้ 4 เฟสเริ่มแรกเรียกว่า Quadi PSK เฟส 0 สำหรับรหัส 00,เฟส $\pi/2$ สำหรับรหัส 01 , เฟส π สำหรับรหัส 11 และเฟส $3\pi/2$ สำหรับรหัส 10



รูปที่ 2.3 Quadri PSK

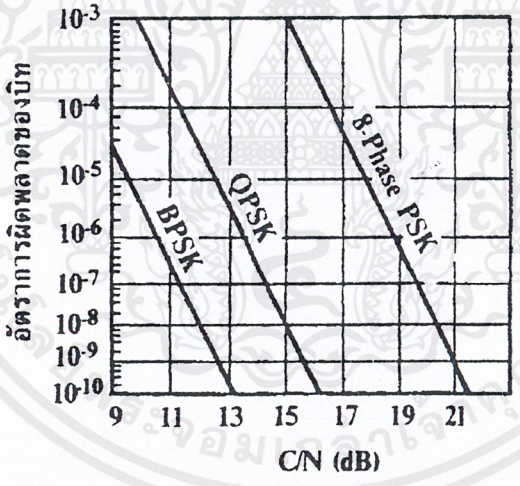
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เมื่อต้องการจะส่งสัญญาณ 3 บิต ไปพร้อมๆ กัน จะมี $2^3 = 8$ combination ของรหัสสัญญาณ 8-เฟส PSK จะต้องใช้เพื่อการนี้ เมื่อจำนวนเฟสเพิ่มขึ้น จำนวนบิตที่สามารถส่งแต่ละครั้งก็มาก แต่กรณีนี้คุณภาพของสัญญาณทางด้านรับจะต่ำลง



รูปที่ 2.4 8-เฟส PSK

จากรูปต่อไปนี้ จะเห็นว่า อัตราการผิดพลาดของบิตจะเลวลง ถ้าเพิ่มจำนวนเฟสมากขึ้น ในการรับส่งสัญญาณ



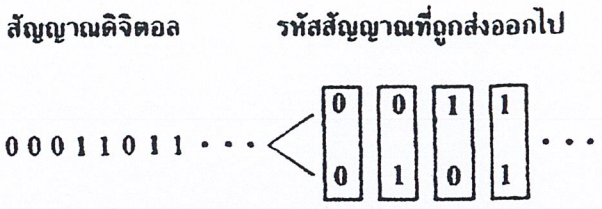
รูปที่ 2.5 เปรียบเทียบอัตราการผิดพลาดของบิตของ PSK แบบต่างๆ

2.2 Quadi PSK

ในวิธีการ QPSK สัญญาณ 2 บิตจะถูกส่งออกไปพร้อมๆ กัน โดยลำดับสัญญาณดิจิตอลที่จะส่งถูกแบ่งเป็นบล็อค 2 บิต และแต่ละรหัสบล็อคประกอบด้วย 2 บิตถูกส่งไปพร้อมๆ กัน ในกรณีนี้จะมีการรวมรหัส 4 คู่ด้วยกันคือ 00, 01, 10 และ 11 คู่ของรหัสทั้ง 4 คู่นี้จะเทียบกับ initial phase 4 เฟส ของสัญญาณ QPSK

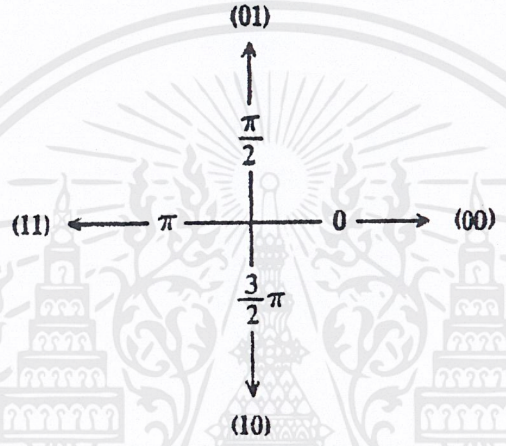
รูปต่อไปนี้แสดงความสัมพันธ์ระหว่างรหัส และ initial phase ใน Gray code ซึ่งใช้ใน QPSK เฟส 0 แทนรหัส 00 เฟส $\pi/2$ แทนรหัส 01 เฟส π แทนรหัส 11 และเฟส $3\pi/4$ แทนรหัส 10 จะเห็นว่าถ้า

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



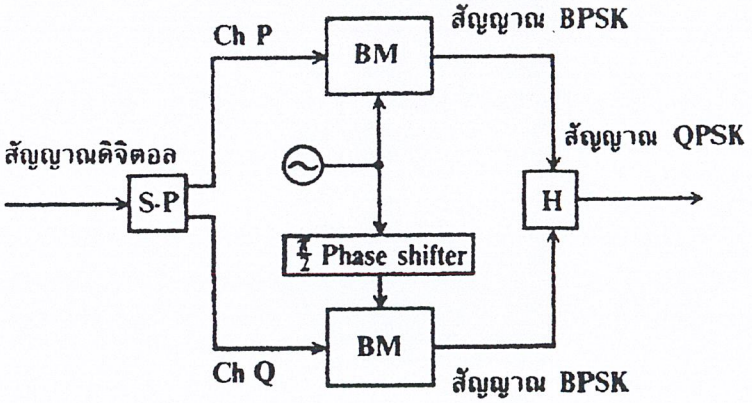
รูปที่ 2.6 รหัส 4 คู่ของสัญญาณ QPSK

เปรียบเทียบรหัสระหว่างสองเฟสข้างเคียง หนึ่งในสองบิตจะเหมือนกันในทุกๆ กรณี ดังนั้นโดยการใช้ Gray code จะมีเพียงบิตเดียวที่ผิดพลาด แม้ว่าสัญญาณที่รับได้ถูกดีมอดดูเลทผิดไปเป็นเฟสข้างเคียง



รูปที่ 2.7 Gray code ที่ใช้ใน QPSK

รูปต่อไปนี้เป็นตัวอย่างวงจร QPSK มอดดูเลชั่น 2 binary PSK คู่กัน สัญญาณดิจิตอลที่จะส่งถูกแยกออกทางช่องสัญญาณ P และ ช่องสัญญาณ Q โดยตัวเปลี่ยนอนุกรมเป็นขนาน (S/P converter) แต่ละด้านถูกมอดดูเลทแบบ BPSK โดย balance modulator คลื่นพาหะ ที่ใช้ในการ มอดดูเลทของช่องสัญญาณ P จะใช้จาก output ของออสซิลเลเตอร์โดยตรง ส่วนคลื่นพาหะที่ใช้สำหรับช่องสัญญาณ Q เฟสจะถูก shift ไป $\pi/2$ หลังจากผ่าน $\pi/2$ phase shifter ดังในรูป สัญญาณโมดูเลท BPSK ทั้งสองนี้ได้รับโดยการใช้คลื่นพาหะที่ต่างเฟสกัน $\pi/2$ และถูกรวมกันโดยวงจรไฮบริดก็จะได้สัญญาณ QPSK ออกมา

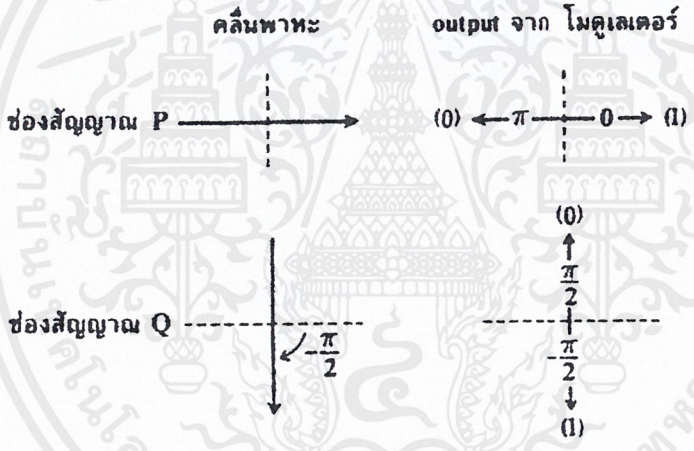


รูปที่ 2.8 วงจรโมดูเลท QPSK

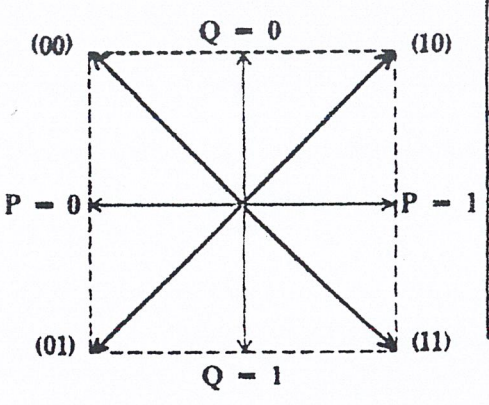
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เราลองมาพิจารณาความสัมพันธ์ระหว่างคลื่นพาหะที่ใช้ในช่องสัญญาณ P และ Q และสัญญาณ BPSK สำหรับรหัส 0 และ 1 โดยใช้เวคเตอร์ไดอะแกรม ถ้าเฟสเริ่มแรกของสัญญาณ output จากออสซิลเลเตอร์กำหนดเป็นตัวอ้างอิง คลื่นพาหะที่ใช้ในช่องสัญญาณ P จะอยู่ในเฟสเดียวกันกับสัญญาณอ้างอิง ส่วนคลื่นพาหะของช่องสัญญาณ Q ได้จากการ shift เฟส $\pi/2$ จากสัญญาณ output ของออสซิลเลเตอร์ สัญญาณที่มอดดูเลทแบบ BPSK ในช่องสัญญาณ P และ Q จะอยู่ในเฟสเดียวกันกับคลื่นพาหะ สำหรับรหัส 1 แต่จะต่างเฟสกับคลื่นพาหะเท่ากับ π สำหรับรหัส 0

โดยการรวมสัญญาณ BPSK ที่ได้รับจากการมอดดูเลทในช่องสัญญาณ P และช่องสัญญาณ Q เราจะได้สัญญาณ QPSK เมื่อรหัสในช่องสัญญาณ P เป็น "1" และรหัสในช่องสัญญาณ Q เป็น "0" เวคเตอร์ผลลัพธ์จะแสดงดังในรูป เวคเตอร์ผลลัพธ์นี้แสดงสัญญาณ QPSK สำหรับรหัส 10 ซึ่งสัญญาณ QPSK นี้จะต่างเฟส $\pi/4$ กับคลื่นพาหะของช่องสัญญาณ P สัญญาณ QPSK สำหรับรหัส 00 จะต่างเฟสเท่ากับ $3\pi/4$ สัญญาณสำหรับรหัส 01 จะต่างเฟส $5\pi/4$ และสัญญาณสำหรับรหัส 11 จะต่างเฟส $7\pi/4$ กับคลื่นพาหะของช่องสัญญาณ P รหัสสัญญาณเหล่านี้เรียกว่า "Gray Code"



รูปที่ 2.9 เปรียบเทียบเฟสของสัญญาณในช่องสัญญาณ P และ Q



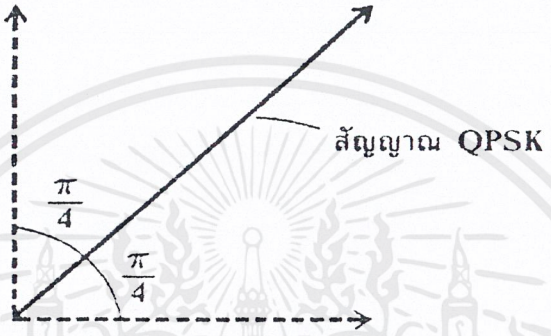
รหัส	เฟส
1 0	$\frac{\pi}{4}$
0 0	$\frac{3}{4}\pi$
0 1	$\frac{5}{4}\pi$
1 1	$\frac{7}{4}\pi$

รูปที่ 2.10 เวคเตอร์ผลลัพธ์ของสัญญาณ QPSK

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

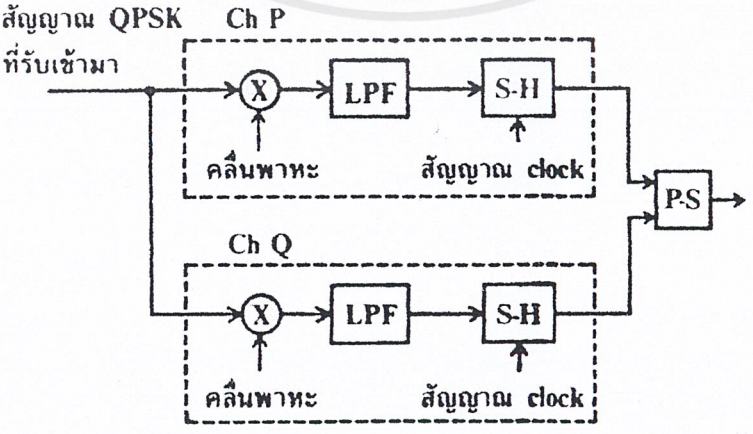
เมื่อเปรียบเทียบรหัสของ 2 เฟสที่อยู่ใกล้เคียงกัน จะเห็นว่า หนึ่งในสองบิตจะเหมือนกัน

ตอนนี้เรามาพิจารณาหลักการของการมอดดูเลทสัญญาณ QPSK โดย coherent detection เวคเตอร์ที่แสดงโดยเส้นทึบเป็นสัญญาณ QPSK ที่รับได้ ซึ่งสัญญาณ QPSK นี้สามารถพิจารณาได้ว่าเป็นสัญญาณผลลัพธ์ที่ได้โดยการรวมสัญญาณ BPSK ที่ตั้งฉากกันคู่หนึ่ง ซึ่งแสดงโดยเส้นประ นั่นคือ การดีมอดดูเลทสัญญาณ QPSK ก็เท่ากับการดีมอดดูเลทสัญญาณ BPSK สองสัญญาณดังกล่าวข้างต้น ดังนั้นสัญญาณ QPSK ที่ได้รับคือการดีเทคแบบ coherent โดยการใช้คลื่นพาหะอ้างอิงที่ตั้งฉากกันคู่หนึ่ง ซึ่งได้โดยการเลื่อนเฟสของสัญญาณที่รับไปเท่ากับ $\pi/4$ นั่นคือ สัญญาณ BPSK ที่ตั้งฉากกันแต่ละสัญญาณถูกการดีเทคแบบ coherent แยกกัน



รูปที่ 2.11 สัญญาณ QPSK ถูก shift phase $\pi/4$

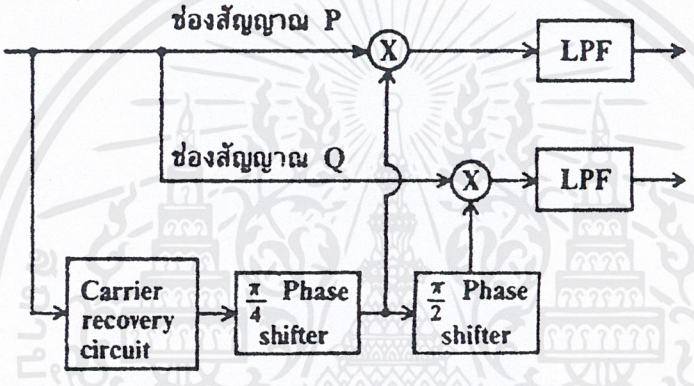
รูปต่อไปนี้เป็นวงจรดีมอดดูเลทสำหรับสัญญาณ QPSK โดยการดีเทคแบบ coherent ซึ่งวงจรประกอบด้วยวงจรดีมอดดูเลทแบบ coherent คู่หนึ่งสำหรับสัญญาณ BPSK ที่ตั้งฉากกัน สัญญาณ QPSK ที่รับได้ถูกแบ่งออกเป็นขบวนสัญญาณ 2 ขบวน ซึ่งถูกดีเทคแบบ coherent แยกกัน คู่ของคลื่นพาหะอ้างอิงที่ตั้งฉากกันถูกป้อนเข้า multiplier ของช่องสัญญาณ P และช่องสัญญาณ Q แต่ละช่องสัญญาณซึ่ง output จะผ่าน low pass filter เพื่อตัดฮาร์โมนิคสูงๆ ออก หลังจากนั้นก็ผ่านไปยังวงจร sample holder พร้อมด้วย clock pulse ดังนั้นสัญญาณจะถูกดีมอดดูเลทแยกกันในช่องสัญญาณ P และ Q ขบวนสัญญาณที่ขนานกันนี้ถูกรวมเข้าด้วยกันที่ P/S converter เพื่อจัดรูปแบบเรียงเป็นสัญญาณอนุกรมตามเดิม



รูปที่ 2.12 วงจรดีมอดดูเลทสัญญาณ QPSK

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ในการดีเทคสัญญาณ QPSK แบบ coherent จำเป็นที่จะต้อง shift เฟสของคลื่นพาหะอ้างอิงทั้งคู่ไป $\pi/4$ เมื่อเทียบกับเฟสของสัญญาณที่รับได้ เพื่อจุดประสงค์นี้ จำเป็นต้องใช้วงจร carrier recovery วงจร $\pi/4$ phase shifter และวงจร $\pi/2$ phase shifter ในวงจร multiplier ของช่องสัญญาณ P คลื่นพาหะอ้างอิงได้จากการเลื่อนเฟสของสัญญาณ ซึ่งเป็น output ของวงจร carrier recovery แล้วเลื่อนเฟสไปโดยใช้ $\pi/4$ phase shifter ส่วนวงจร multiplier ของช่องสัญญาณ Q คลื่นพาหะอ้างอิงได้จาก ให้ output ของ $\pi/4$ phase shifter ผ่านวงจร $\pi/2$ phase shifter อีกครั้งหนึ่ง คลื่นพาหะอ้างอิงนี้ก็จะตั้งฉากกับคลื่นพาหะอ้างอิงในช่องสัญญาณ P โดยการผ่านการดีเทคแบบ coherent ของสัญญาณ QPSK ซึ่งใช้คลื่นพาหะอ้างอิงคู่หนึ่งนี้ เราก็จะได้สัญญาณ BPSK 2 สัญญาณ ซึ่งรวมกันมาจากทางตอนมอดดูเลท สามารถดีเทคแยกออกมาได้ โดยวิธี coherent ดังในรูปที่ 2.13



รูปที่ 2.13 การดีเทคสัญญาณ QPSK ออกมาเป็น BPSK 2 สัญญาณ

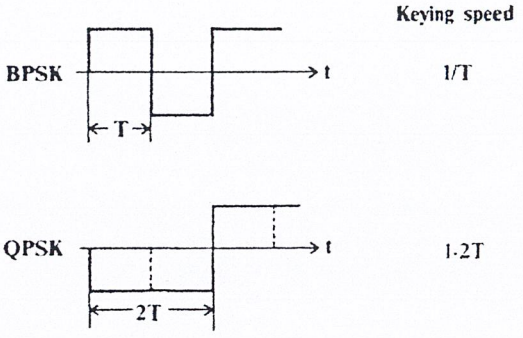
หลักการพื้นฐานของ carrier recovery จากสัญญาณ QPSK ก็เหมือนกันกับกรณีของสัญญาณ BPSK เฟสของคลื่นพาหะอ้างอิงที่ได้กลับคืนมาจะตรงกันกับหนึ่งในสี่เฟสของสัญญาณ QPSK ที่รับได้ แต่เป็นไปไม่ได้ที่จะกำหนดว่าเฟสไหนในสี่เฟสเหล่านี้ตรงกันกับเฟสของคลื่นพาหะอ้างอิงที่แท้จริง โดยลักษณะปัญหาของ $\pi/2$ phase ambiguity ก็จะเกิดขึ้นใน QPSK ซึ่งปัญหานี้สามารถแก้ไขได้โดยใช้ differential coding technique หรือโดยใช้ unique word เข้าช่วยเหมือนในกรณีของ BPSK

ลักษณะของ QPSK

สมมติว่าจำนวนบิตที่จะต้องส่งในหนึ่งหน่วยเวลาคือ bit rate มีค่าเท่ากันทั้งในกรณีของ BPSK และ QPSK สำหรับ QPSK บิตจะถูกส่ง 2 บิตในแต่ละครั้ง ดังนั้นความถี่ของการเปลี่ยนเฟสคลื่นพาหะจะขึ้นอยู่กับรหัส นั่นคือ keying speed จะเป็นครึ่งหนึ่งเมื่อเทียบกับกรณี BPSK เมื่อช่วงระยะเวลาของบิตแต่ ละตัวเป็น T ดังนั้น keying speed จะมีค่าเท่ากับ 1/T สำหรับ BPSK และจะมีค่าเท่ากับ 1/2T สำหรับกรณีของ QPSK

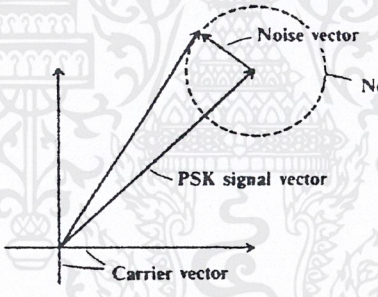
โดยทั่วไปแล้วแถบกว้างความถี่ที่ถูกครอบครองของสัญญาณ PSK จะเพิ่มขึ้นเป็นสัดส่วนกับ keying speed ฉะนั้นเมื่อให้อัตราการส่งบิตคงที่ keying speed ในกรณีของ QPSK จะเป็นครึ่งหนึ่งของ BPSK และแถบกว้างความถี่ที่ถูกครอบครองของสัญญาณ QPSK จะเป็นครึ่งหนึ่งของสัญญาณ BPSK ในทางตรงกันข้ามเมื่อให้แถบกว้างความถี่เท่ากัน จำนวนบิตซึ่งสามารถส่งได้ในกรณีของ QPSK จะเป็น 2 เท่าของ BPSK ดังนั้นเราจึงเห็นว่า QPSK มีข้อดีกว่า BPSK ถ้ามองจากผลในการใช้แถบความถี่คลื่น

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.14 keying speed ในการส่งสัญญาณ

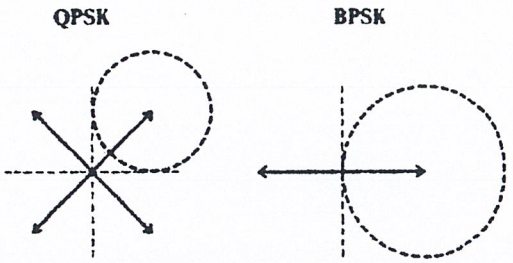
รูปต่อไปนี้เป็นเวคเตอร์ไดอาแกรมของสัญญาณ PSK เมื่อมีเสียงรบกวนเข้ามา ทำให้แอมพลิจูดและเฟสเปลี่ยนไปจะเห็นว่าทิศทางของเวคเตอร์เสียงรบกวนเปลี่ยนไปได้ทุกทิศทาง เวคเตอร์เสียงรบกวนที่มีขนาดคงที่ และหมุนไปทุกทิศทางเป็นวงกลมนี้เรียกว่า "noise ball" เมื่อเวคเตอร์ผลรวมระหว่าง PSK เวคเตอร์ และเวคเตอร์เสียงรบกวนข้าม carrier vector ไปทางใดทางหนึ่ง (ดูรูปประกอบ) เฟสที่ส่งก็จะถูกดีมอดดูเลทผิดไปเป็นเฟสข้างเคียง เพราะฉะนั้นเมื่อ noise ball มีค่ามาก การผิดพลาดของบิตก็จะเกิดขึ้น



รูปที่ 2.15 PSK เวคเตอร์ และ noise เวคเตอร์

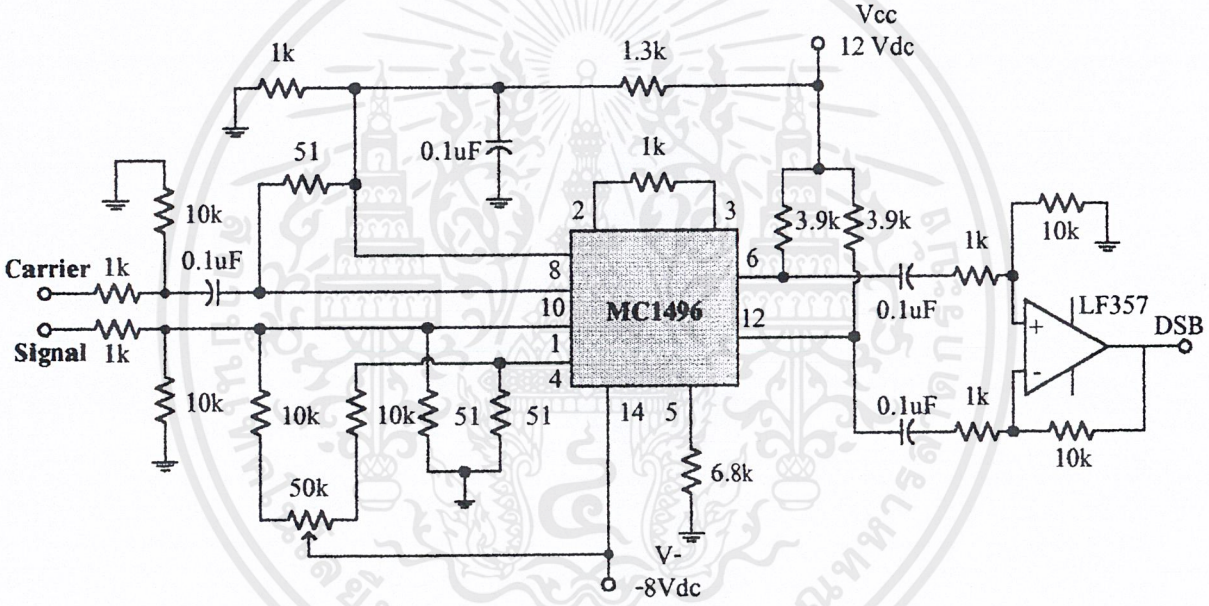
ลองเปรียบเทียบขนาดของ noise ball สูงสุดที่ไม่ทำให้เกิด bit error ขึ้นใน BPSK และ QPSK โดยที่ความมยาวของเวคเตอร์สัญญาณมีขนาดเท่ากัน ซึ่งหมายความว่ากำลังส่งสัญญาณทั้ง QPSK และ BPSK มีกำลังส่งเท่ากัน เราจะเห็นระยะระหว่างสองเวคเตอร์สัญญาณในกรณี QPSK จะสั้นกว่าในกรณี BPSK และช่วงขนาดของ noise ball ที่ไม่ทำให้เกิดการผิดพลาดของบิตในกรณี QPSK จะแคบกว่า ดังในรูป 2.16 ดังนั้นถ้ากำลังในการส่งเท่ากันและย่านกว้างความถี่เท่ากัน อัตราการผิดพลาดของบิตในกรณี QPSK จะสูงกว่ากรณี BPSK แต่จำนวนข้อมูลข่าวสารที่ส่งในกรณีของ QPSK จะมากเป็น 2 เท่าของ BPSK โดยลักษณะเช่นนี้ถ้าต้องการใช้ย่านความถี่ ให้ได้ผลมากที่สุดจึงควรใช้ QPSK มากกว่า BPSK แต่ถ้าจะให้อัตราการผิดพลาดของบิตเท่ากัน ก็จำเป็นที่จะต้องให้กำลังในการส่งสัญญาณในกรณีของ QPSK มากกว่าในกรณี BPSK เพราะฉะนั้น QPSK จึงเหมาะสำหรับระบบสื่อสารดาวเทียม ซึ่งมีย่านกว้างความถี่จำกัดเข้มงวดกว่าข้อจำกัดทางกำลังในการส่งสัญญาณ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.16 เปรียบเทียบขนาดของ noise ball ที่ไม่ทำให้เกิดการผิดพลาดของบิต

2.3 วงจรบาลานซ์มอดดูเลทเตอร์ (Balance Modulator)



รูปที่ 2.17 วงจรบาลานซ์มอดดูเลทเตอร์

วงจรบาลานซ์มอดดูเลทเตอร์หรือเรียกย่อๆ ว่า BM นี้ทำหน้าที่ผสมสัญญาณระหว่างสัญญาณเบสแบนด์กับสัญญาณพาหะ โดยที่ผลลัพธ์ที่ได้จากการผสมจะมีเฉพาะไซด์แบนด์ทั้งสองข้างเท่ากัน โดยสัญญาณพาหะจะถูกกำจัดออกไปในการออกแบบวงจร BM นี้จะใช้ IC MC 1496 ทำหน้าที่เป็นตัวบาลานซ์มอดดูเลทเตอร์ โดยในวงจรจะมี VR 100 kΩ เป็นตัวปรับสมดุลย์ การกำจัดคลื่นพาหะขึ้นอยู่กับระดับสัญญาณพาหะที่ป้อน ระดับสัญญาณพาหะที่เหมาะสมอยู่ระหว่าง 300 ถึง 500 mVp-p ซึ่งวงจรที่ใช้งานแสดงดังรูปที่ 2.17

การทำงานของวงจรบาลานซ์มอดดูเลทเตอร์ เหมือนกับวงจรคูณสัญญาณสมมุติให้สัญญาณแรกคือพาหะ $f_o = \sin w_o t$ และอีกสัญญาณคือเบสแบนด์ $f_m = \sin w_m t$ และจะได้ output

$$V_o = A_o \sin w_o t * A_m \sin w_m t$$

$$V_o = (A_o A_m/2)[\cos (w_o - w_m)t + \cos (w_o + w_m)t]$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

IC MC1496,MC1596 ตัวนี้จะทำหน้าที่เป็น บาลานซ์มอดดูเลทเตอร์/ดีมอดดูเลทเตอร์ ซึ่งถูกออกแบบสำหรับใช้กับเอาท์พุตเกิดจากการคูณของสัญญาณเบสแบนด์กับพาหะซึ่งนอกจากทำเป็นวงจรบาลานซ์มอดดู เลทเตอร์แล้ว ยังสามารถนำไปประยุกต์ได้อีกหลายอย่าง เช่น Amplitude Modulator, Synchronous Detection, FM Detection ฯลฯ และในการนำ IC ตัวนี้มาใช้ต้องพิจารณาด้วยว่า ในวงจรที่เราใช้นั้นมีการกำหนดค่าถูกต้องตาม IC ที่เรามีอยู่หรือไม่เพราะ IC ชนิดนี้มี 2 รูปแบบ คือ แบบที่เป็นตัวถังโลหะมี 10 ขา และแบบตัวถังพลาสติกมี 14 ขา โดยมีขนาดข้อกำหนดของสัญญาณพาหะและสัญญาณเบสแบนด์ วงจรที่ใช้นี้จะใช้เพียงไฟเลี้ยงชุดเดียว คือ +12 V นอกจากนี้ IC MC1496, MC1596 ตัวนี้สามารถใช้กับไฟเลี้ยง 2 ชุด (+12V และ –8V) และถ้าหากต้องการนำ IC ตัวนี้ไปประยุกต์ใช้กับงานอื่นก็ต้องมีข้อกำหนดที่แตกต่างกันไป โดยเราสามารถดูรายละเอียดได้จากคู่มือไอซีในภาคผนวก

2.4 Active Filter

Active Filter ทำหน้าที่กรองความถี่สัญญาณ เป็นวงจรที่ประกอบด้วยภาคขยาย เช่น Transistor หรือ IC และ Network เลือกความถี่ (Frequency Selective Network) จำพวกตัวความต้านทาน ตัวเก็บประจุ วงจรให้ผ่านได้เฉพาะ สัญญาณในช่วงความถี่ที่กำหนด ขณะเดียวกันจะขวางกั้น (Block) หรือลดทอนสัญญาณนอกเหนือช่วงความถี่ดังกล่าว มิให้ปรากฏที่ output

โดยทั่วไปแล้ว Filter แบ่งออกเป็นหลายรูปแบบ ดังนี้

1. Filter ชนิด Analog หรือ Digital
2. Filter ประเภท Active หรือ Passive
3. Filter ย่านความถี่เสียง (Audio Frequency) หรือย่านความถี่วิทยุ (Radio Frequency)

Analog Filter ออกแบบมาเพื่อใช้กับสัญญาณ Analog ส่วน Digital Filter ใช้งานกับสัญญาณ Digital โดยอาศัยเทคนิคทาง Analog มาช่วย ถ้าคำนึงถึงชิ้นส่วน (Element) ที่นำมาประกอบกับเป็นวงจร Filter แบ่งออกเป็น Active และ Passive ชิ้นส่วนที่วงจรใช้ใน Passive Filter ได้แก่ ค่าความต้านทาน ตัวเก็บประจุ ตัวเหนี่ยวนำ ส่วน Active Filter ประกอบด้วยตัวขยายสัญญาณจำพวก Transistor หรือ IC ในรูป Op-Amp และตัวต้านทาน ตัวเก็บประจุ ทำงานร่วมกัน ตัวต้านทาน ตัวเก็บประจุ ตัวเหนี่ยวนำ ถือได้ว่าเป็นชิ้นส่วนประเภท Passive element การจะเลือกใช้ชิ้นส่วนชนิดใดนั้น ขึ้นอยู่กับย่านความถี่ของสัญญาณที่ ต้องการให้วงจร Filter ทำงาน ยกตัวอย่างเช่น RC Filter ใช้กับย่านความถี่เสียงหรือในย่านความถี่ต่ำในขณะที่ IC Filter จะใช้ในย่านความถี่วิทยุหรือย่านความถี่สูง

ข้อดีของ Active Filter ที่มีเหนือกว่า Passive Filter

1. การปรับอัตราการขยายและปรับความถี่เป็นอิสระต่อกัน เราสามารถจัดค่าอัตราการขยายของ Op-Amp ชดเชยกับอัตราการลดทอนสัญญาณของวงจร RC หรือเพิ่มอัตราการขยายของวงจรทั้งหมดด้วยการจัดค่าชิ้นส่วนอุปกรณ์ในส่วนของวงจรขยาย Op-Amp และการปรับเปลี่ยนความถี่ก็อยู่ที่ค่า RC ด้วย

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

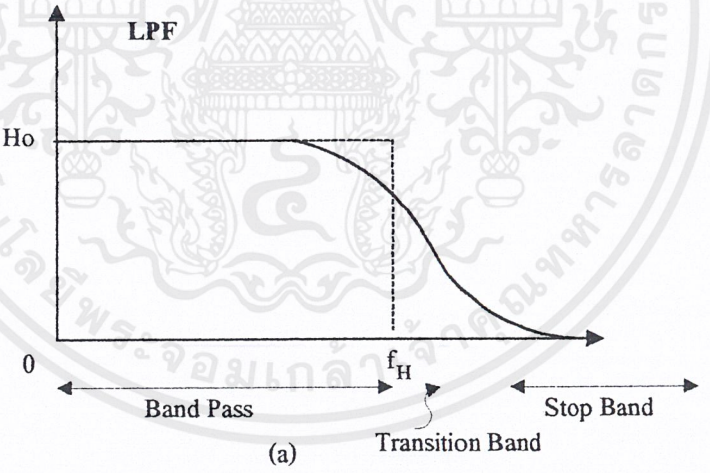
2. ไม่มีปัญหา Loading จากการที่ Op-Amp มีคุณสมบัติของ Input Impedance สูง และ Output Impedance ต่ำ วงจร Active Filter อาศัย Op-Amp จึงไม่เกิดปัญหาการ Loading กับ Output และ Input ของวงจร ณ จุดที่นำ Active Filter เข้าไปต่อร่วม
3. ราคาถูกกว่าเนื่องจาก Active Filter มีราคาถูกกว่า Passive Filter เพราะไม่ต้องอาศัยตัวเหนี่ยวนำที่มีราคาแพงและยังใช้ Op-Amp ซึ่งในปัจจุบันราคาถูกมาก

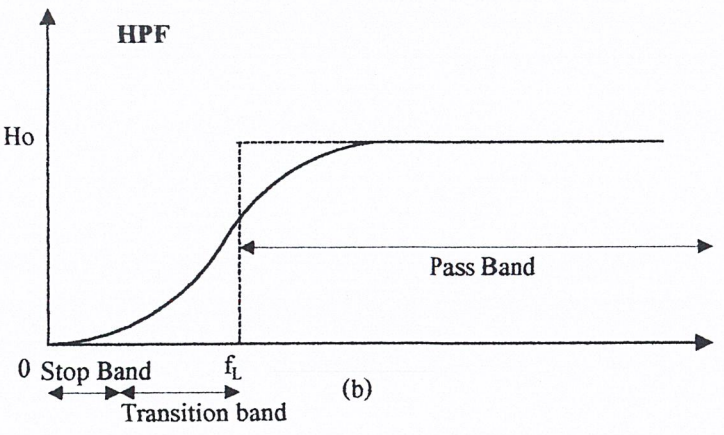
เราแบ่ง Active Filter ตามลักษณะการทำงานออกเป็น 5 ชนิด

- กรองความถี่ต่ำ (Low Pass Filter)
- กรองความถี่สูง (High Pass Filter)
- กรองช่วงความถี่ (Band Pass Filter)
- กำหนดช่วงความถี่ผ่าน (Band Reject หรือ Band Stop Filter)
- ความถี่ผ่านตลอด (All Pass Filter)

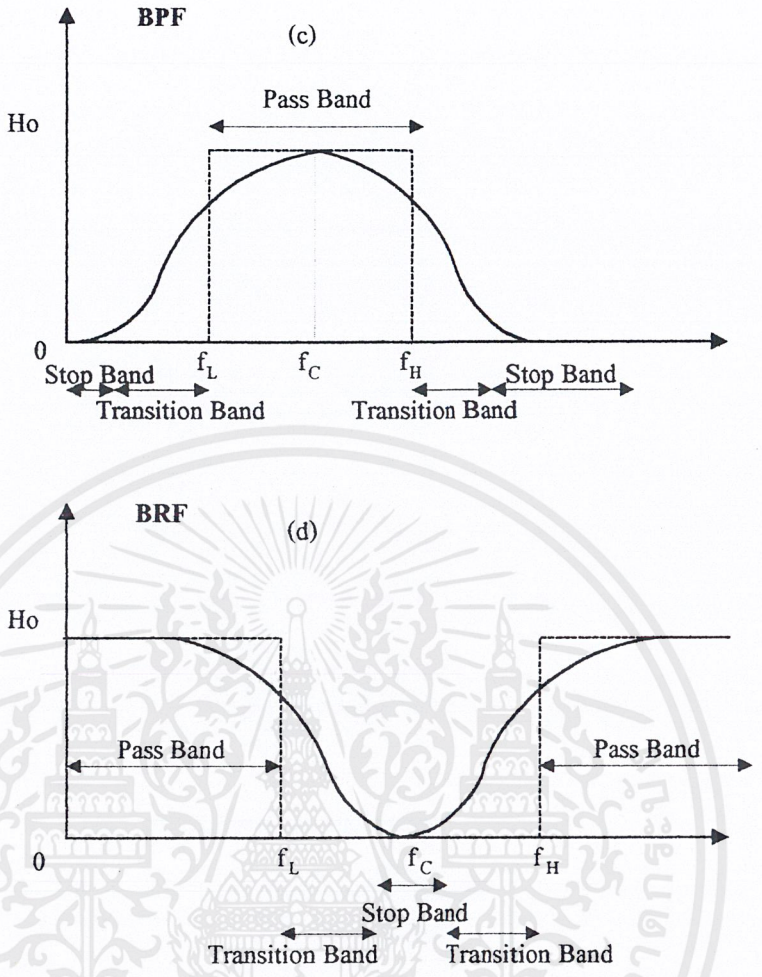
Filter เหล่านี้อาศัยตัวต้านทานและตัวเก็บประจุเป็น Passive Element ทำงานร่วมกับ Active Element จำพวก Op-Amp อาศัย IC ที่มีคุณสมบัติ High Speed ที่มี Slew Rate สูงและ Unity Gain Bandwidth สูงๆ เช่น LM318 หรือ ICL8017 จะช่วยให้วงจรมีคุณสมบัติด้านความถี่และอัตราการขยายของ Filter ดีขึ้น

Frequency Response ของ Filter ทั้ง 5 ชนิดแสดงดังรูปที่ 2.18 เส้นประแสดงถึงการตอบสนองที่เป็นอุดมคติในทางทฤษฎี ส่วนเส้นตอบสนอง ในทางปฏิบัติแสดงด้วยเส้นทึบ





เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.18 Frequency Response ของวงจร Filter

รูปที่ 2.18 (a) แสดงการตอบสนองความถี่ของวงจรกรองความถี่ต่ำมีขนาดของเกน (Gain) คงที่จากความถี่ 0 Hz ถึงความถี่ High Cutoff (f_H) ค่าของแบนวิดธ์ (Bandwidth) จึงเท่ากับ f_H ที่ f_H หรือตำแหน่งความถี่ High Cutoff นั้นเกนจะลดลง 3 dB และความถี่มากกว่า f_H นั่นคือที่ $f > f_H$ อัตราขยายหรือ Gain ของวงจรจะลดลงทุกขณะอย่างต่อเนื่อง ตามความถี่ของสัญญาณ Input ที่เพิ่มขึ้น ช่วงของความถี่ระหว่าง 0- f_H Hz เรียกว่า ช่วงผ่าน (Pass Band) ส่วนช่วงที่ความถี่สูงกว่า f_H ขึ้นไปซึ่งเกิดการลดทอนของสัญญาณลงทุกขณะเรียกว่า ช่วงหยุด (Stop Band) จากการตอบสนองที่เป็นอุดมคติในเส้นประแสดงให้เห็นว่า Filter ที่เป็นอุดมคติจะมีความสูญเสีย (Loss) เป็นศูนย์ตลอดช่วงผ่านและมีความสูญเสียเป็นอนันต์ในช่วงหยุด แต่สภาพความเป็นจริงในทางปฏิบัติ มิได้เป็นเช่นนั้น เพราะโครงข่ายวงจรชนิดเชิงเส้น (Linear Network) ไม่สามารถสร้างคุณสมบัติของความไม่ต่อเนื่องขึ้นได้ อย่างไรก็ตามเราอาจสร้างเส้นตอบสนองในทางปฏิบัติตามเส้นทึบให้ใกล้เคียงกับการตอบสนองที่เป็นอุดมคติตามเส้นประได้เช่นกัน โดยอาศัยเทคนิคการออกแบบวงจรเป็นพิเศษเข้าช่วย ประกอบวงจรด้วยชิ้นส่วนอุปกรณ์เช่นตัวความต้านทานและตัวเก็บประจุที่มีค่าถูกต้องแม่นยำหรือมีค่าผิดพลาดน้อยที่สุดและใช้ Op-Amp ชนิดความเร็วสูง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รูปแบบของ Filter ที่นิยมนำกันมาใช้มากในทางปฏิบัติซึ่งให้ เส้นตอบสนองประมาณใกล้เคียงทางทฤษฎี ได้แก่รูปแบบ Butterworth Filter ให้คุณลักษณะของทั้งช่วงผ่านและช่วงหยุด ในลักษณะค่อนข้างราบเรียบบางโอกาสจึงเรียบว่าFlat Filter สำหรับ Chebyshev Filter มีคุณลักษณะช่วงผ่าน เป็น Ripple และช่วงหยุดเป็น Flat ส่วน Caur Filter ให้ทั้งช่วงผ่านและช่วงหยุดเป็น Ripple ทั้งคู่ ซึ่งการออกแบบและความยุ่งยากของวงจรก็แตกต่างกันไปตามลักษณะการใช้งาน

รูปที่ 2.18 (b) เป็นเส้นตอบสนองของวงจรกรองความถี่สูง เมื่อให้ f เป็นความถี่ใดๆ และ f_L เป็น Low Cutoff Frequency แล้วช่วง ช่วงหยุด จะอยู่ที่ความถี่ $0 < f < f_L$ และช่วงของช่วงผ่านอยู่ที่ $f > f_L$

รูปที่ 2.18 (c) แสดงการตอบสนองความถี่ของวงจรกรองส่วนความถี่ช่วง ช่วงผ่านอยู่ระหว่างสองความถี่ cutoff ได้แก่ High Cutoff Frequency (f_H) และ Low Cutoff Frequency (f_L) ซึ่งเป็นตำแหน่งที่เกนลดลง 3 dB และช่วง ช่วงหยุดมีสองช่วงที่ $0 < f < f_L$ กับ $f < f_L$ โดยที่ $f_H > f_L$ ค่า Bandwidth ของ Band Pass Filter เท่ากับ $f_H - f_L$ และความถี่ตรงกลาง (Center Frequency) อยู่ที่ความถี่ f_0 ปรากฏที่ตำแหน่งกึ่งกลางช่วง (Pass Band Gain) พอดี

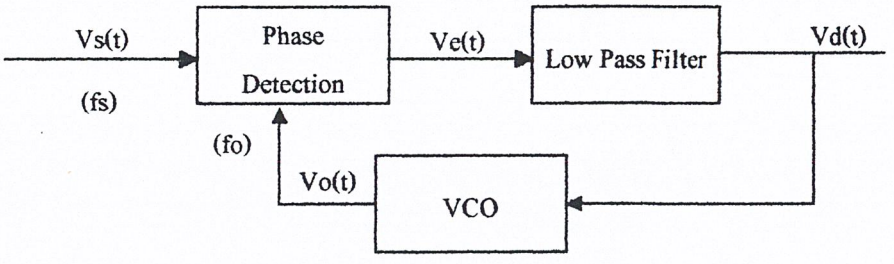
รูปที่ 2.18 (d) แสดงการตอบสนองของ กำหนดช่วงผ่าน มีเส้นโค้งคุณลักษณะตรงข้ามกับกรองช่วงผ่าน กล่าวคือช่วงหยุด อยู่ระหว่างความถี่คัทออฟสองจุดคือ f_H กับ f_L และมีช่วงผ่านสองช่วงอยู่ ระหว่างความถี่ $f > f_H$ และ $0 < f > f_L$ อาจเรียก Band Reject Filter ว่า Band Stop Filter หรือ Band Elimination Filter ก็ได้ ค่าแบนด์วิดธ์ของ ช่วงหยุดเท่ากับ $f_H - f_L$ และตำแหน่งกึ่งกลางของช่วงหยุดเป็นความถี่ ความถี่กึ่งกลางหรือ f_0

2.5 เฟสล็อกลูป (Phase Lock Loop)

เฟสล็อกลูป เป็นอิเล็กทรอนิกส์เซอร์โว ซึ่งสามารถควบคุมออสซิสเลเตอร์ให้ผลิตความถี่ล็อกหรือซิงค์กับความถี่ของสัญญาณที่เข้ามา เมื่อเฟสของความถี่จากออสซิลเลเตอร์เปลี่ยน แสดงว่าสัญญาณที่ เข้ามาเปลี่ยนไป เอาท์พุตจากเฟสดีเทคเตอร์จะมีค่าเพิ่มขึ้นหรือลดลง ควบคุมให้ออสซิลเลเตอร์ผลิตความถี่ให้ตรงและล็อคกับสัญญาณที่เข้ามาดังนั้นโวลเตจเฉลี่ยที่ได้รับจากเฟสดีเทคเตอร์ไปควบคุมออสซิลเลเตอร์ จึงเป็นฟังก์ชันของความถี่ของสัญญาณที่เข้ามา อาทิเช่นหากมีสัญญาณที่เข้ามาเป็น FM (Frequency Modulation) แล้วเอาท์พุตที่ได้จากเฟสดีเทคเตอร์ผ่าน วงจรกรองความถี่ต่ำจะเป็นสัญญาณที่ถูกทำการดีมอดดูเลทด์นั่นเอง

หลักการของเฟสล็อกลูป

หลักการเบื้องต้นของเฟสล็อกลูปก็มาจากระบบการป้อนกลับ ซึ่งประกอบด้วยส่วนสำคัญสามส่วนดังบล็อกไดอะแกรมในรูปที่ 2.19 คือ เฟสดีเทคเตอร์ (Phase Detector), กรองความถี่ต่ำและ Voltage Control Oscillator (VCO)



รูปที่ 2.19 แสดงบล็อกไดอะแกรมของวงจรเฟสล็อกลูป

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

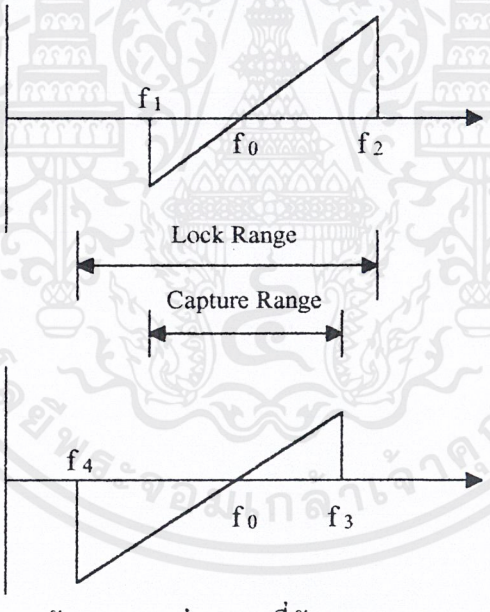
ในขณะที่ไม่มีสัญญาณป้อนเข้ามา Vd จะเท่ากับศูนย์และ VCO จะผลิตความถี่แบบที่เรียกว่า Free-running เท่ากับ fo เมื่อมีอินพุต Vs ป้อนเข้ามามีความถี่เท่ากับ fs วงจรเฟสดีเทคเตอร์จะทำหน้าที่เปรียบเทียบเฟสและความถี่ของสัญญาณที่เข้ามากับสัญญาณที่ VCO ถ้า fs และ fo แตกต่างกันจะได้ Ve (Error Voltage) จากเอาท์พุตของเฟสดีเทคเตอร์ผ่านกรองความถี่ต่ำ Vd ไปเข้า VCO ปรับความถี่ fo ให้เท่ากับ fs และเมื่อ fo เท่ากับ fs ก็คือสภาวะล็อคหรือซิงค์ เอาท์พุตจากเฟสดีเทคเตอร์ Ve จะเป็นศูนย์ และ Vd ก็เท่ากับศูนย์ด้วย

ในเรื่องของเฟสล็อคลูป มีคำที่มักใจสับสนกันบ่อยๆ คือ คำว่า Lock Range กับคำว่า Capture Range ซึ่งมีความหมายแตกต่างกับดังนี้

Lock Range หมายถึง ย่านความถี่ที่ใกล้เคียงกับ fo ซึ่งเฟสล็อคลูปยังสามารถล็อคกับสัญญาณที่เข้ามา ค่าของ Lock Range จะลดลงเมื่ออัตราขยายทั้งหมดของเฟสล็อคลูปลดลง

Capture Range หมายถึง บริเวณแถบความถี่ที่ใกล้เคียงกับ fo ที่เฟสล็อคลูปเริ่มล็อคกับสัญญาณที่ เข้ามา ค่าของ Capture Range ขึ้นอยู่กับแบนด์วิดธ์ของวงจรกรองความถี่ต่ำคือจะลดลงหากแบนด์วิดธ์แคบ และโดยปกติ Capture Range จะมีค่าน้อยกว่า Lock Range

เพื่อให้เข้าใจคำว่า Lock Range และ Capture Range ง่ายขึ้น ลองพิจารณาดูจากรูปที่ 2.20 ซึ่งแสดงถึงคุณลักษณะระหว่างความถี่กับ Error Voltage ของเฟสล็อคลูป



รูปที่ 2.20 แสดงคุณลักษณะระหว่างความถี่กับ Error Voltage ของเฟสล็อกลูป

จากส่วนบนของรูปที่ 2.20 สมมติว่าสัญญาณที่เข้ามามีความถี่ค่อยๆ เปลี่ยนไปจากต่ำไปสูง ตอนแรกจะยังไม่มีอะไรเกิดขึ้นและ Vd เท่ากับศูนย์จนกระทั่งความถี่ของสัญญาณที่เข้ามา fs ซึ่งเป็นความถี่ต่ำสุดของ Capture Range ทำให้ เฟสล็อคลูป เริ่มล็อคกับ fs และ Vd มีค่าเป็นลบเพื่อปรับ VCO ให้ fo เท่ากับ fs แต่ในที่นี้เราสมมติว่า fs เปลี่ยนไปเรื่อยๆ ซึ่งจะทำให้ค่าของ Vd เป็นลบน้อยลง

จนกระทั่ง fs = fo ทำให้ Vd เท่ากับศูนย์ จากนั้น Vd จะเริ่มเป็นบวก และมากขึ้นเรื่อยๆ จนกระทั่ง fs = f_2 ซึ่งเป็นความถี่สูงสุดของ Lock Range จะทำให้หลุดจากการล็อค และ Vd เท่ากับศูนย์

ในทางกลับกันถ้า fs เปลี่ยนจากสูงลงมาต่ำ ให้พิจารณารูปที่ 2.20 ส่วนล่างเฟสล็อคลูปจะเริ่มล็อคเมื่อ fs = f_3 ซึ่งเป็นค่าสูงสุดของ Capture Range ทำให้ Vd มีค่าเป็นบวกทันที เมื่อ fs ลดลงจน fs = fo จะได้ Vd เท่า

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

กับศูนย์แล้วมีค่าเป็นลบมากขึ้นเรื่อยๆ จนกระทั่ง fs = f_4 ซึ่งเป็นค่าต่ำสุดของ Lock Range จะทำให้ fs หลุดจากการล็อคของ เฟสล็อคลูป และ Vd กลับเป็นศูนย์อีกครั้ง เราจึงสรุปได้ว่า

$$\text{Lock Range} = f_2 - f_4$$

$$\text{Capture Range} = f_3 - f_1$$

การเพิ่มความถี่ของ clock โดยใช้ Phase Lock Loop

ภายใน IC ของ Phase Lock Loop จะประกอบด้วยส่วนสำคัญ 2 ส่วนคือ

1. Phase Detector ทำหน้าที่เปรียบเทียบเฟสของอินพุต และเฟสของเอาท์พุตของ VCO ถ้าเฟสของทั้งสองต่างกันจะเกิดพัลส์ที่เอาท์พุตของเฟสดีเทคเตอร์

2. Voltage Control Oscillator ทำหน้าที่ผลิตความถี่ตามระดับของโวลเตจที่ป้อนเข้ามา ในการต่อเฟสล็อกลูปให้เป็นวงจรภายนอกเพิ่มเติมอีก 2 วงจรคือ

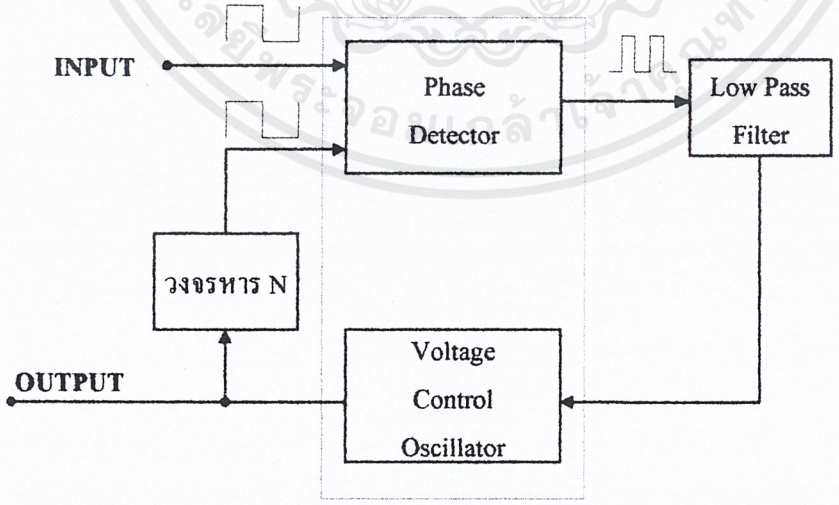
1). Low Pass Filter ทำหน้าที่เปลี่ยนจากพัลส์ที่เอาท์พุตของเฟสดีเทคเตอร์ ให้เป็นระดับโวลเตจเพื่อป้อนให้กับ VCO โดยใช้หลักการกรองความถี่

2). วงจรหารความถี่ เป็นวงจรหลักที่สำคัญที่เปลี่ยนจากเฟสล็อคลูปให้เป็นวงจรเพิ่มความถี่

การทำงาน

เมื่อมีสัญญาณพัลส์เข้ามา วงจรเฟสจะทำการเปรียบเทียบความแตกต่างของพัลส์กับพัลส์อีกด้านหนึ่งของพัลส์ดีเทคเตอร์ จะได้รับความแตกต่างของพัลส์ออกมาค่าหนึ่ง เกิดเป็นพัลส์เล็กๆ ที่เอาท์พุตของเฟสดีเทคเตอร์

วงจรกรองความถี่ต่ำจะทำหน้าที่กรองความถี่ของพัลส์จากวงจรดีเทคเตอร์ ให้เป็นระดับโวลเตจค่าหนึ่ง เพื่อนำไปสร้างความถี่โดยใช้ VCO (Voltage Control Oscillator) จะทำหน้าที่สร้างความถี่ขึ้นมาจากระดับแรงดันที่ได้จากวงจรกรองความถี่ต่ำ ซึ่งโวลเตจนี้จะแปรผันตามพัลส์เอาท์พุตของพัลส์ดีเทคเตอร์

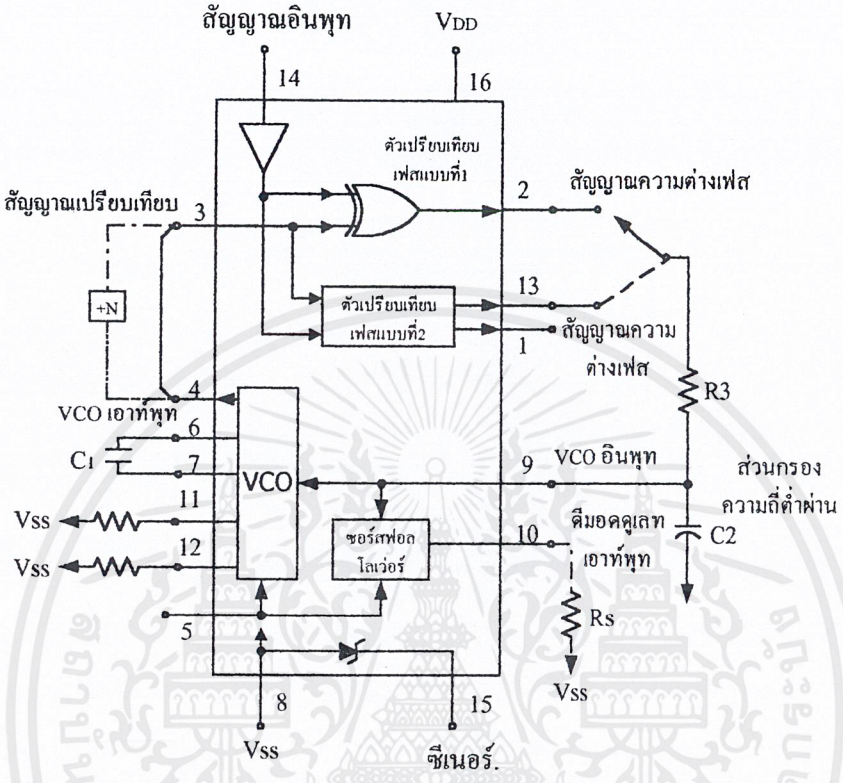


รูปที่ 2.21 บล็อกไดอะแกรมของวงจรเพิ่มความถี่โดยใช้เฟสล็อคลูป

วงจรหาร N ทำหน้าที่หารความถี่ที่ Voltage Control Oscillator ผลิตออกมา เพื่อให้ได้ความถี่ออกมาให้เท่ากับความถี่ที่เข้ามาที่อินพุตของวงจร เพื่อทำการเปรียบเทียบเฟสกัน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากที่เอาท์พุตของวงจรหาร N จะต้องมีความถี่เท่ากับอินพุตของวงจร ดังนั้น Voltage Control Oscillator จึงต้องผลิตความถี่ที่สูงกว่าความถี่ที่ป้อนเข้ามาที่อินพุตของเฟสดีเทคเตอร์จำนวน N เท่าจึงเปรียบเสมือนว่าวงจรเฟสล็อคลูปสามารถสร้างความถี่ได้สูงขึ้นกว่าความถี่อินพุตเป็นจำนวน N เท่า



รูปที่ 2.22 บล็อกไดอะแกรม แสดงวงจรภายในและการใช้งานของไอซี 4046 PLL

2.6 วงจรแปลงสัญญาณอนาลอกเป็นดิจิตอลและวงจรแปลงสัญญาณดิจิตอลเป็นอนาลอก (Analog to Digital Converter :ADC และ Digital to Analog Converter : DAC)

2.6.1 วงจรแปลงสัญญาณอนาลอกเป็นสัญญาณดิจิตอล (Analog to Digital Converter : ADC)

วงจรเอทูดี จะทำหน้าที่แปลงแรงดันหรือกระแสที่เป็นสัญญาณอนาลอกไปเป็นตัวเลขหรือสัญญาณดิจิตอล วงจรเอทูดี มีด้วยกันหลายแบบ แต่ที่นิยมใช้กันแพร่หลายมีได้แก่ แบบสโลปคู่ (Dual Slope), แบบขนานหรือแฟลช (Flash), แบบ R/2R แลดเดอร์, แบบแปลงแรงดันเป็นความถี่ (V to F converter) และ แบบประมาณทีละบิต (Successive Approximation)

วงจรเอทูดี แบบสโลปคู่เป็นแบบที่ง่ายที่สุด ไม่จำเป็นต้องใช้อุปกรณ์ที่มีคุณภาพดีมากนัก ก็สามารถแปลงสัญญาณได้อย่างแม่นยำ แต่มีข้อเสียที่ใช้เวลาในการแปลงสัญญาณนาน จึงไม่เหมาะในการใช้วัดแรงดันในช่วงเวลาสั้นๆ เช่น การวัดแรงดันของรูปคลื่น ณ จุดเวลาใดเวลาหนึ่ง แบบสโลปคู่นี้เหมาะสำหรับใช้วัดค่าเฉลี่ยของแรงดันและกระแส จึงนิยมใช้กันมากในมัลติมิเตอร์แบบดิจิตอล และเครื่องวัดแสดงผลเป็นตัวเลขทั่วๆไป วงจรเอทูดี แบบสโลปคู่ที่เป็นไอซีสำเร็จรูปมีด้วยกันหลายเบอร์ ส่วนใหญ่จะให้ความแม่นยำในการแปลงสัญญาณดีกว่า 0.1 เปอร์เซ็นต์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สำนักหอสมุดกลาง พระจอมเกล้าลาดกระบัง

วงจรเอทูดี แบบแปลงแรงดันเป็นความถี่และแบบประมาณทีละบิต มีข้อดีตรงที่สามารถแปลงสัญญาณได้รวดเร็ว มีความแม่นยำดี แต่วงจรมีความซับซ้อนมากกว่า

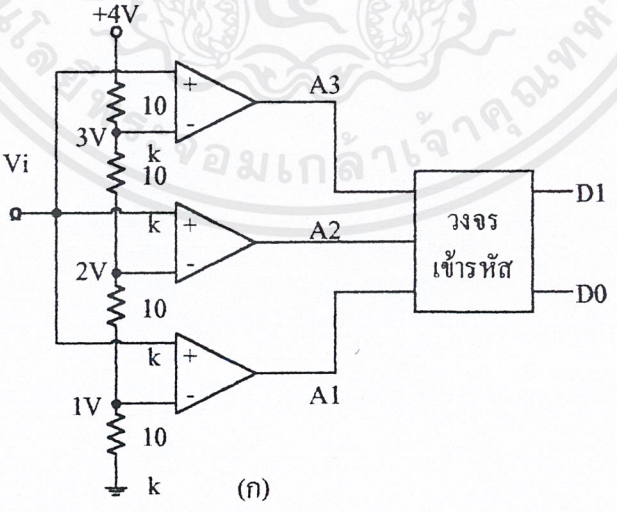
ซึ่งโครงงานนี้ได้เลือกใช้ไอซี เอทูดีแบบแฟลช เบอร์ ADC0820 ความละเอียด 8 บิต โดยสามารถแสดงระดับสัญญาณได้ 256 ระดับ และใช้เทคนิค half-flash conversion เข้ามาใช้ในไอซีเบอร์นี้ ซึ่งมีหลักการทำงานโดยทั่วไปดังนี้

2.6.1.1 วงจรเอทูดีแบบขนานหรือแฟลช (Flash ADC)

ถ้าคำนึงถึงความเร็วในการแปลงสัญญาณเป็นอันดับแรก ก็ควรใช้วิธีการแปลงสัญญาณอนาลอกเป็นดิจิตอลแบบขนานหรือแฟลช โดยวิธีการนี้จะเป็นการป้อนอินพุตพร้อมๆกัน เข้าไปในกลุ่มของคอมพาราเตอร์ที่ต่อแบบขนาน ซึ่งแต่ละตัวประกอบด้วย ออปแอมป์ที่ต่อเป็นวงจรเปรียบเทียบและตัวต้านทานที่ต่อไว้ เพื่อแบ่งแรงดันที่ขาอินพุตแบบกลับ (Inverting) ให้มีขนาดต่างๆ กัน

จากหลักการของวงจรเปรียบเทียบทั่วไป เมื่อแรงดันที่ขาอินพุตแบบไม่กลับ (Non-inverting) มีค่าสูงกว่าที่ขาอินพุตแบบกลับ เอาท์พุตจะได้แรงดันค่าสูง ดังตารางที่แสดงไว้ข้างต้น จะเข้าใจยิ่งขึ้นว่า ที่แรงดันค่าต่างๆ มีผลต่อเอาท์พุตวงจรเปรียบเทียบแต่ละตัวอย่างไร ซึ่งเอาท์พุตที่ได้จากวงจรเปรียบเทียบนี้ จะนำไปเข้ารหัสให้เป็นเลขฐานสองต่อไป จำนวนของวงจรเปรียบเทียบที่ต้องใช้ในวงจรขึ้นอยู่กับขนาดสัญญาณอนาลอกที่อินพุต

จากรูปที่ 2.23 ถ้าแรงดันอินพุตมีค่า 1 โวลต์ ไม่เพียงพอที่จะทำให้วงจรเปรียบเทียบตัวใดให้ค่าเอาท์พุตเป็นสัญญาณสูง (High) ที่แรงดันระหว่าง 1 ถึง 2 โวลต์ วงจรเปรียบเทียบที่ระดับเทรชโฮลด์ (Threshold) ต่ำสุด ก็จะให้เอาท์พุตเป็นสัญญาณสูง



(ก)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

42133

แรงดันอินพุต Vin (โวลต์)	เอาท์พุตของวงจรเปรียบเทียบ			เอาท์พุตเลขฐานสอง	
	A1	A2	A3	D1	D0
0 - 1	0	0	0	0	0
1 - 2	1	0	0	0	1
2 - 3	1	1	0	1	0
3 - 4	1	1	1	1	1

(ข)

รูปที่ 2.23 (ก) แสดงการต่อวงจรเอทูดีแบบขนานหรือแฟลช

(ข) ตารางความสัมพันธ์ระหว่างแรงดันอินพุตที่เป็นอนาลอกกับเอาท์พุตที่เป็นดิจิตอล

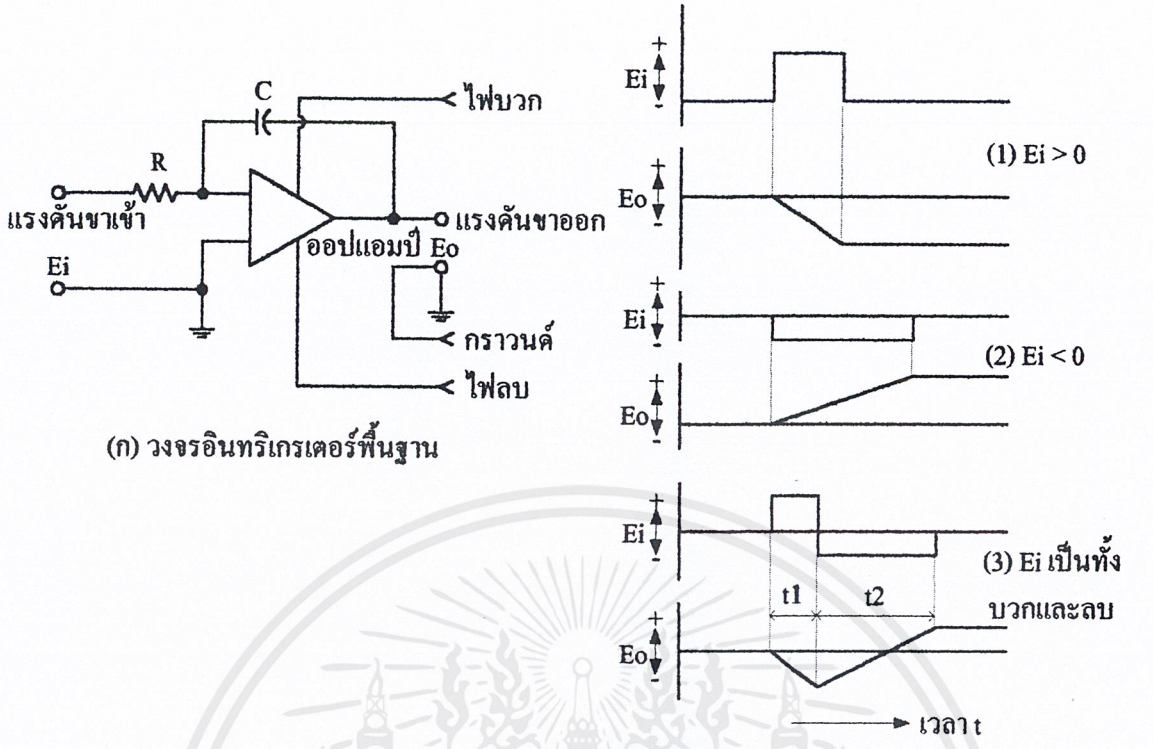
แรงดัน 2-3 โวลต์ วงจรเปรียบเทียบทั้ง A1 และ A2 ให้เอาท์พุตเป็นสูง ถ้าแรงดันอินพุตมากกว่า 3 โวลต์ วงจรเปรียบเทียบก็จะให้เอาท์พุตเป็นสัญญาณสูงทั้งหมด เมื่อต้องการวงจรที่มีความละเอียดสูงขึ้นจำเป็นต้องใช้วงจรเปรียบเทียบเพิ่มขึ้น เช่น ถ้าต้องการความละเอียด 3 บิต ต้องใช้วงจรเปรียบเทียบ 15 ตัว (16 ระดับ) โดยหาจำนวนวงจรเปรียบเทียบได้จาก 2^N-1 เมื่อ N แทนจำนวนบิตหรือความละเอียดที่ต้องการ จะเห็นว่าที่ความละเอียด 8 บิต ต้องใช้วงจรเปรียบเทียบมากถึง 255 ตัว ซึ่งเป็นข้อเสียของวงจรเอทูดีแบบนี้ ข้อเสียอีกประการหนึ่ง คือ เอาท์พุตที่ไม่ได้เป็นเลขฐานสอง ต้องมีวงจรเพิ่มเติมไปทำการเข้ารหัส

ข้อดีของวงจรเอทูดีแบบขนานหรือแฟลชนี้คือ ความเร็วสูงมาก จึงเรียกวงจรเอทูดีแบบนี้ว่าแบบ "แฟลช" (Flash ADC) ซึ่งใช้เวลาในการแปลงได้เร็วในระดับนาโนวินาที

2.6.1.2 วงจร A/D แบบสโลปคู่

ให้ดูตัวอย่างในรูปที่ 2.24 ซึ่งเป็นวงจรอินทิเกรเตอร์ (Integrator Circuit) แบบพื้นฐาน อุปกรณ์ที่มีสัญลักษณ์ เป็นสามเหลี่ยมนั้นคือออปแอมป์ที่ทำหน้าที่เป็นวงจรขยายสัญญาณแตกต่าง R และ C ในวงจรเป็นอุปกรณ์สำคัญที่ทำให้เกิดการชาร์จประจุเข้าไปใน C ทำให้ได้รูปคลื่นแรงดันขาออกซึ่งเท่ากับเป็นการอินทริเกรตสัญญาณอินพุต

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



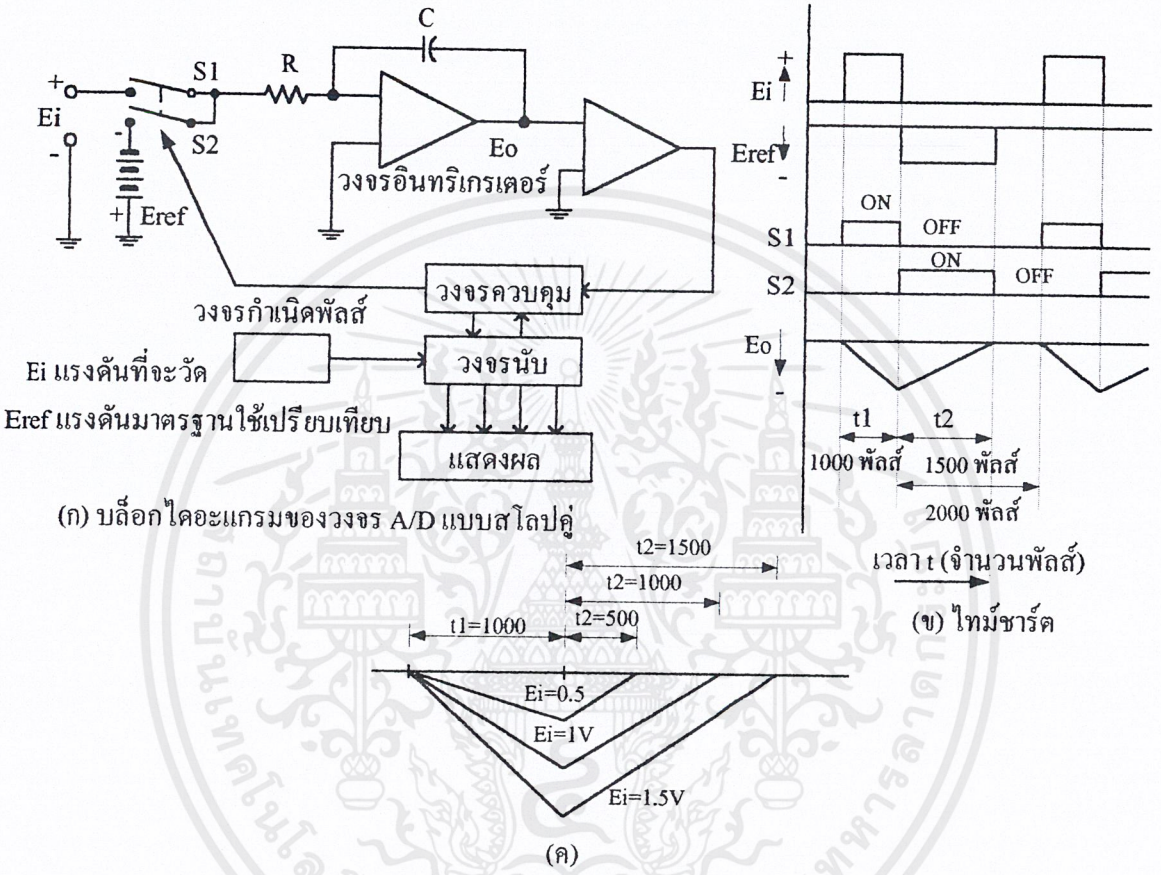
รูปที่ 2.24 การทำงานของวงจรอินทริเกรเตอร์

สมมติว่ามีแรงดัน Ei ป้อนเข้าทางอินพุต จะเกิดมีกระแส I ซึ่งมีค่าเท่ากับ Ei/R ไหลผ่าน R เข้าไปในวงจร กระแสนี้จะไม่ไหลเข้าออปแอมป์ เพราะออปแอมป์มีค่าความต้านทานขาเข้าสูง แต่จะไหลผ่านไปชาร์จตัวเก็บประจุ C ทั้งหมดเป็นผลให้แรงดัน C สูงขึ้นเรื่อยๆ ขั้วลบของออปแอมป์จะมีศักย์ไฟฟ้าเป็น 0 โวลต์ เท่ากับขั้วบวกซึ่งต่อลงกราวนด์ ดังนั้นแรงดันคร่อม C จึงเป็นแรงดันลบเมื่อเทียบกับกราวนด์ แรงดันขาออก Eo ซึ่งเท่ากับแรงดันคร่อม C จึงเป็นลบ แรงดันนี้ก็จะค่อยๆ เพิ่มขึ้นเรื่อยๆ เป็นเส้นตรง แรงดันขาออกของวงจรจึงเหมือนกับการอินทริเกรตแรงดันขาเข้า เพราะเมื่อเราอินทริเกรตค่าคงที่จะได้เป็นเส้นตรงที่เปลี่ยนแปลงตามเวลา

รูปที่ 2.24 แสดงรูปคลื่นของวงจรอินทริเกรเตอร์เมื่อป้อนแรงดันอินพุตค่าต่างๆ เช่น กรณีอินพุตเป็นบวก กรณีอินพุตเป็นลบ และกรณีอินพุตเป็นทั้งบวกและลบโดยเป็นบวกนาน t1 วินาที และเป็นลบนาน t2 วินาที จะเห็นว่าถ้าอินพุตเป็นบวกเอาท์พุตจะเป็นเส้นตรงที่มีสโลปเป็นลบ และถ้าอินพุตเป็นลบจะได้สโลปเป็นบวก การให้วงจรอินทริเกรตขึ้นและลงแบบนี้จะได้เส้นตรงสโลปคู่

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

คราวนี้ลองมาดูรูปที่ 2.25 เป็นรูปแสดงหลักการทำงานของวงจร A/D แบบสโลปคู่ อินพุตของวงจรอินทริเกรเตอร์เป็นแรงดันไฟที่จะวัด Ei และมีอีกอินพุตหนึ่งเป็นแรงดันไฟมาตรฐาน Eref อินพุตทั้งสองนี้มีขั้วสลับกันเสมอและจะผลัดกันต่อเข้ากับวงจรอินทิเกรเตอร์ ทำให้มีการอินทริเกรตขึ้นและลงเป็นจังหวะอยู่ตลอดเวลา เอาท์พุต Eo ของวงจรอินทริเกรเตอร์จะต่อเข้ากับวงจรเปรียบเทียบ ซึ่งจะทำหน้าที่ตรวจจับว่าแรงดัน Eo เมื่อใดเป็น 0 โวลต์



รูปที่ 2.25 หลักการทำงานของวงจร A/D แบบสโลปคู่

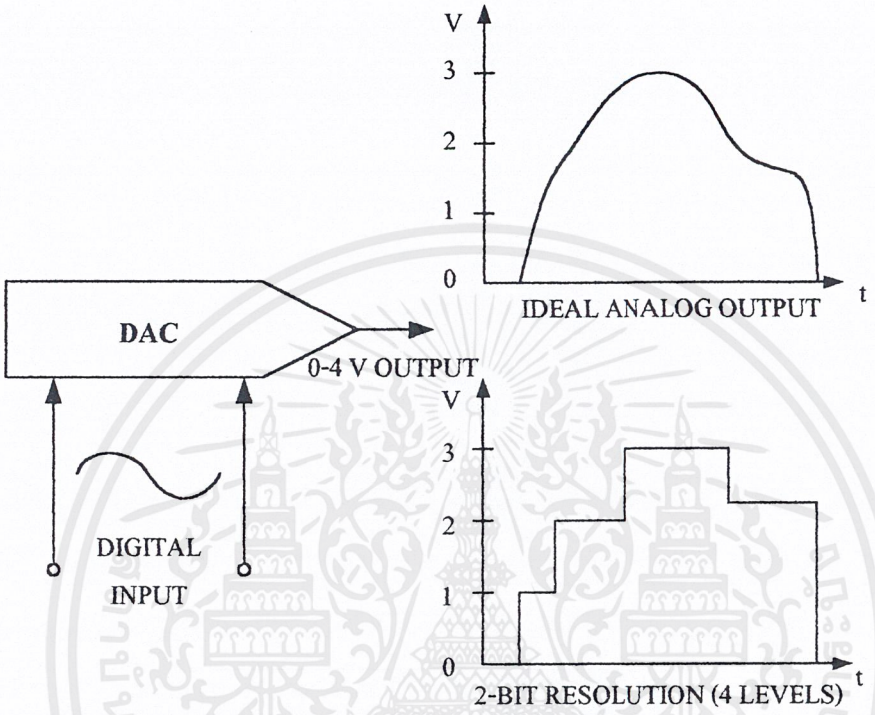
วงจรควบคุมในวงจร A/D นี้เป็นวงจรดิจิตอล ทำหน้าที่ควบคุมการทำงานของวงจรทั้งหมดที่สำคัญ จะควบคุมสวิตซ์ S1 และ S2 เพื่อต่ออินพุตให้กับวงจรอินทริเกรเตอร์

การทำงานของวงจรเริ่มจาก เมื่อแรงดัน Eo = 0 โวลต์ วงจรควบคุมจะปิดสวิตซ์เพื่อให้แรงดันที่จะวัด Ei ต่อเข้ากับวงจรอินทริเกรเตอร์ วงจรควบคุมจะปล่อยให้วงจรอินทริเกรเตอร์ทำการอินทริเกรตสัญญาณ Ei เป็นระยะเวลา t1 วินาที การจับเวลา t1 นี้ทำได้ไม่ยากนัก โดยทั่วไปมักจะใช้วงจรนับ นับพลส์ที่มีความถี่คงที่จนได้ค่าที่กำหนดไว้ เช่น นับพัลส์ความถี่ 10 กิโลเฮิรตซ์ให้ได้ 1000 ลูก ก็จะใช้เวลา 0.1 วินาที เป็นต้น

เมื่อครบเวลา t1 วงจรควบคุมจะปิดสวิตซ์ S1 ในขณะนั้นแรงดันเอาท์พุตของอินทริเกรเตอร์ Eo จะมีค่าแปรผันกับแรงดัน Ei เช่นถ้า Ei = 1 โวลต์ Eo = -1.5 โวลต์ ถ้า Ei = 2 โวลต์ ก็จะได้ Eo = -3.0 โวลต์ เป็นต้น จากนั้นวงจรควบคุมจะปิดสวิตซ์ S2 เพื่อต่อแรงดันไฟมาตรฐาน Eref เข้ากับวงจรอินทริเกรเตอร์และรีเซตวงจรนับ แรงดัน Eref จะมีขั้วตรงข้ามกับ Ei สมมติให้ Eref เป็นแรงดันลบ คราวนี้วงจรอินทริเกรตจะอินทริเกรต

เอกสารนี้สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ที่นี้มาดู DAC ขนาด 8 บิต สามารถให้สัญญาณอนาลอกทางด้านเอาท์พุตที่เป็นระดับแรงดันได้ 2^8 หรือ 256 ระดับ DAC ขนาด 12 บิต สามารถให้ระดับแรงดันทางเอาท์พุตได้ 2^{12} หรือ 4096 ระดับ อย่างที่เราเห็นแล้วว่า DAC มีขนาดอินพุตบิตมากเท่าไร ความละเอียดและความถูกต้องของระดับแรงดันอนาลอกทางเอาท์พุต DAC สามารถผลิตได้จะมากขึ้นตามดังแสดงในรูปที่ 2.26



รูปที่ 2.26 แสดงความละเอียดของแรงดันทางเอาท์พุตตัว DAC ยิ่งมีอินพุตมากเท่าไรความละเอียดทางเอาท์พุตจะมากขึ้นด้วย

ถัดมาจากความละเอียดของ DAC เราจะมาพิจารณาถึง เวลาเข้าสู่สภาวะคงตัว (Setting Time) เวลาที่เข้าสู่สภาวะคงตัวเป็นค่าของเวลาที่ระดับแรงดันเอาท์พุตเข้าสู่สภาวะคงที่ เมื่อรหัสไบนารี่ทางอินพุตเปลี่ยนแปลงไป โดยปกติจะติดที่สัญญาณทางเอาท์พุตคงที่ ในช่วง $\pm 1/2$ ของ LSB (Least significant bit) ของค่าที่คาดว่าจะเป็นหลังจากรหัสไบนารี่ทางด้านอินพุตเปลี่ยนไปนั้นหมายความว่าในเงื่อนไขของการปฏิบัติงานจริงๆมีความสัมพันธ์กับค่าซึ่งเป็นอยู่ในขณะนั้นต่อ LSB ของมันเอง ถ้า DAC ขนาด 8 บิต มีช่วงแรงดันทางเอาท์พุต

อยู่ในช่วง 0 – 10 โวลต์ ดังนั้น LSB มีค่าเท่ากับ $10 / 2^8$ หรือ 0.0195 โวลต์ ครึ่งหนึ่งของค่า $10 / 2^8$ เป็น 0.0195 โวลต์ ดังนั้น ค่าเวลาที่ระดับแรงดันเอาท์พุตเข้าสู่ภาวะคงที่ควรจะเป็นค่าเวลาที่เอาท์พุตเพิ่มขึ้นถึง 0.0195 โวลต์ ของค่าระดับที่คาดหมายไว้ ตามปกติค่าเวลาเข้าสู่ภาวะคงตัวมีค่าน้อยกว่า 10μS

ค่าความแม่นยำเป็นแฟกเตอร์ที่สำคัญอีกตัวหนึ่งของ DAC ในเงื่อนไขปกติ ค่าความแม่นยำของ DAC คือ ±ทุกๆตำแหน่งจาก ½ ถึง 2 ค่าของ LSB สำหรับ DAC ซึ่งมีค่าความแม่นยำ ± 1 ค่า LSB แรงดันเอาท์พุต สามารถเปลี่ยนแปลงไปในทาง + หรือ - ค่าของ 1 บิต ถ้า DAC มีแรงดันเอาท์พุตอยู่ในช่วง 0 ถึง 5 โวลต์ มีความละเอียดเท่ากับ 12 บิต LSB ควรจะ เป็น $5/2^{12}$ หรือ 0.00122 โวลต์ สำหรับทุกๆค่าของรหัสไบนารีทาง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

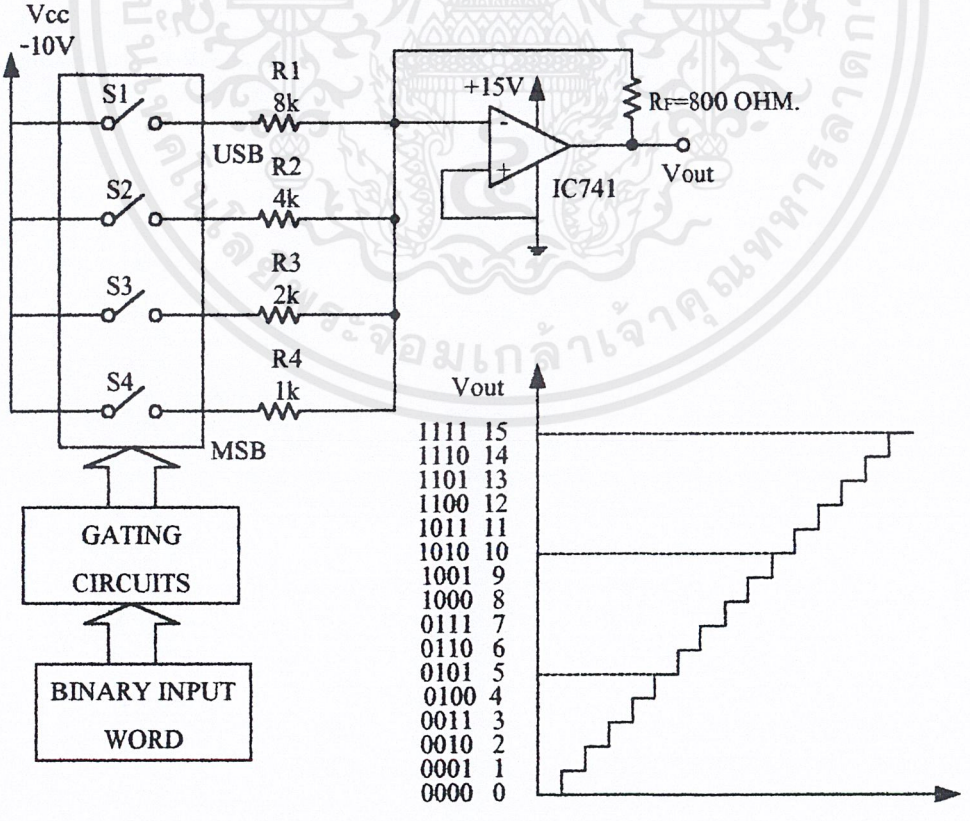
ค้านเอาท์พุตแรงดันอาจจะสูงหรือต่ำกว่าค่าที่คาดหมายไว้ 0.00122 โวลต์ ถ้า DAC ตัวเดียวกันมีค่าความแม่นยำ ½ ค่าความถูกต้อง LSB ค่าเอาท์พุตจะสามารถผิดพลาดไปได้ $\pm 0.00122/2$ หรือ ± 0.00061 โวลต์ ยิ่งค่าความแม่นยำน้อยเท่าไร ค่าความละเอียดก็จะมากขึ้นตาม และจะมีค่าใกล้เคียงกับค่าเอาท์พุตที่คาดไว้

หลายปีที่ผ่านมาได้มีการค้นคิดพัฒนาวิธีการของการเปลี่ยนสัญญาณดิจิตอลไปเป็นสัญญาณอะนาลอก ในบทความนี้เราจะพูดหลักการใหญ่ของวิธีเปลี่ยนสัญญาณดิจิตอลไปเป็นสัญญาณอะนาลอก 2 วิธีด้วยกัน Binary weighted และ Binary ladder D/A

2.6.2.1 Binary – weighted resistor DAC

เทคนิคจัดน้ำหนักของรหัสไบนารี่เป็นวิธีที่ง่ายที่สุดและเก่าที่สุดของการแปลงดิจิตอลบิตให้กลายเป็นสัญญาณอะนาลอก วงจรของ Binary – weighted resistor D/A แสดงไว้ในรูปที่ 2.27

รหัสไบนารี่จะถูกป้อนให้ขาเกตของอะนาลอกสวิตช์ เมื่อรหัสไบนารี่เป็น 0000 ถูกป้อนให้ที่เกทอะนาลอกทั้งหมดจะเปิดวงจรทั้งนั้น จึงไม่มีแรงดันเอาท์พุตจ่ายไปให้ออปแอมป์เอาท์พุตจากออปแอมป์จึงเป็นศูนย์ เมื่อรหัสไบนารี่เป็น 0001 สวิตช์ S_1 จะปิดลง และแรงดัน 10 โวลต์ จะจ่ายให้กับ R_1 เพราะว่าอินพุตของออปแอมป์จะมองได้ว่าเป็นกราวน์เสมือน (Virtual Ground) เป็นผลให้แรงดัน 10 โวลต์ ตกคร่อมตัวต้านทาน 8 kΩ (R_1) ซึ่งเป็นเหตุให้เกิดกระแส 1.25 mA (10 V/ 8000Ω) ไหลผ่านความต้านทานป้อนกลับ (R_F) ค่า 800Ω แรงดันตกคร่อม R_F ควรจะมีค่า 800Ω *1.25 mA หรือเท่ากับ 1 โวลท์



รูปที่ 2.27 แสดงวงจร Binary weighted DAC และ กราฟแสดงเอาท์พุตของ DAC ต่อสัญญาณดิจิตอล

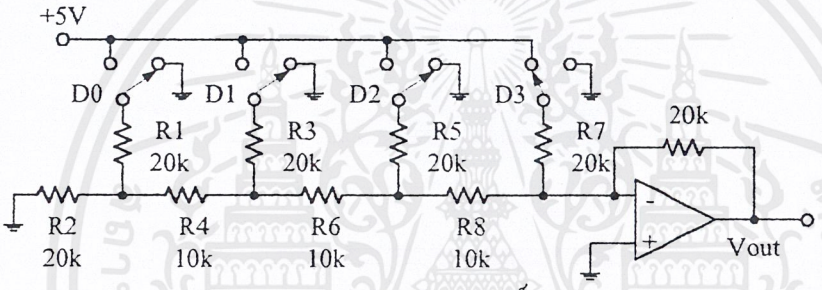
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เมื่อรหัสไบนารีเปลี่ยนไปเป็น 0010 S_1 จะเปิด และ S_2 ปิดวงจร เป็นเหตุให้กระแส 2.5 mA (10 V / 4000 Ω) ไหลผ่าน R_2 มีค่าเท่ากับ 800Ω *2.5 mA หรือ 2 โวลต์ รหัสไบนารี่ 0100 จะให้แรงดันเอาต์พุตเท่ากับ 4 โวลต์ และถ้ารหัสไบนารี่เป็น 1000 แรงดันเอาต์พุตจะมีค่าเป็น 8 โวลต์ จะสังเกตได้ว่า รหัสทางอินพุต และค่าของ R_F มีผลต่อระดับแรงดันทางเอาต์พุต

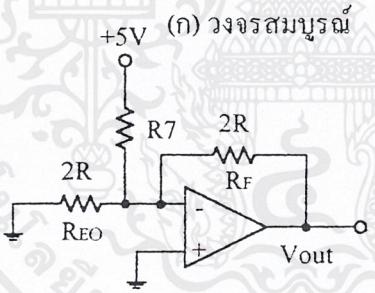
สวิทช์แต่ละตัวสามารถปิดวงจรพร้อมกันได้เมื่อทำการรวมกันเพื่อสร้างสัญญาณอะนาลอกทางอะนาลอกทางเอาท์พุทที่มีค่าจาก 0 ถึง 15 โวลต์ (0000 = 0 โวลต์ , 0111 = 7 โวลต์ และ 1111= 15 โวลต์) ในการเพิ่มขึ้น 1 โวลต์ ต่อ 1 ขั้น

ถึงแม้ว่า Binary – weighted resistor DAC มีลักษณะวงจรที่ง่ายๆ ตรงไปตรงมา แต่ไม่สะดวกในการนำไปใช้งาน ถ้าต้องการความละเอียดของ DAC มากกว่า 4 บิท เพราะว่าค่าของตัวต้านทานที่ใช้มากมายหลายค่าเกินไป ซึ่งต่างจาก Ladder network ที่ต้องการใช้ตัวต้านทานเพียง 2 ค่าเท่านั้น

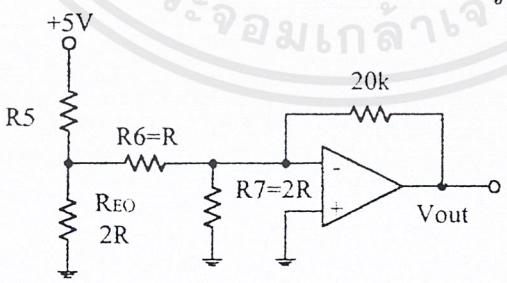
2.6.2.2 Ladder network D/A

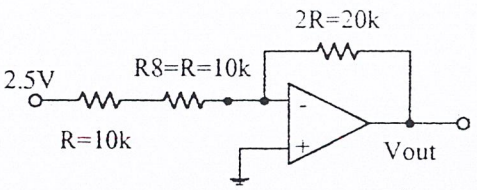


(ก) วงจรสมบูรณ์



(ข) วงจรเสมือนในขณะที่สวิตช์ของบิทที่มีนัยสำคัญสูงสุดปิด





(ค) วงจรเสมือนในขณะที่สวิตช์ของบิทที่มีนัยสำคัญรองลงมาปิด

รูปที่ 2.28 วงจรดิจิตอลแบบ R/2R แลดเดอร์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เมื่อวงจรดีทูเอ (วงจรแปลงข้อมูลดิจิตอลเป็นสัญญาณอนาล็อก) มีขนาดอินพุตมากกว่า 4 บิท วงจรเอทูดีแบบใช้ความต้านทานหลายค่า จะเกิดปัญหาเนื่องจากต้องการค่าความต้านทานที่มีช่วงกว้างมาก สำหรับวิธีที่จะกล่าวถึงนี้ใช้หลักการไบนารี่เวตเหมือนกัน แต่ใช้ความต้านทานเพียง 2 ค่า ดังรูปที่ 2.28 ซึ่งกระแสจะถูกเปลี่ยนค่าแรงดันโดยออปแอมป์ และตัวต้านทานป้อนกลับ RF วิธีนี้เรียกว่าการใช้ความต้านทาน 2 ค่า

ในการอธิบายการทำงาน ขั้นแรกสมมติว่าสวิตช์ D3 ซึ่งเป็นสวิตช์ในบิทที่มีนัยสำคัญสูงสุดนั้น ต่อกับแรงดันอ้างอิง 5 โวลต์ ในขณะที่สวิตช์ตัวอื่นปิดวงกราวด์ ดังนั้น R1 และ R2 จึงต่อขนานกันลงกราวนด์ สังเกตตัวต้านทาน 2R ต่อขนานกับ 2R อีกตัวหนึ่งมีค่าเท่ากับ R ค่า R นี้ถูกบวกกับ R4 กลายเป็นค่า 2R แล้วขนานกับ R3 ลงกราวด์ การรวมของ R3 และตัวต้านทานก่อนหน้า จึงทำให้เหลือเพียงค่า R ต่ออนุกรมกับ R6 พิจารณาเช่นเดียวกับวงจรส่วนที่เหลือก็จะได้เป็นวงจรที่ง่ายขึ้น ดังรูปที่ 2.28

โดยเหตุที่กราวด์เทียมของออปแอมป์ มีแรงดัน 0 โวลต์ ทำให้ไม่มีกระแสไหลผ่านค่าความต้านทานเหล่านี้ลงกราวด์ จึงไม่ต้องสนใจส่วนนี้ ดังนั้นแรงดัน 5 โวลต์ที่ปลายข้างหนึ่งของ R7 ค่า 20 กิโลโอห์มทำให้มีกระแสไหล 0.25 มิลลิแอมป์ ผ่านจุดที่ต่อและผ่าน RF ค่า 20 กิโลโอห์ม แรงดันเอาท์พุทที่ได้จากบิทที่มีนัยสำคัญสูงสุดจึงมีค่า -5 โวลต์

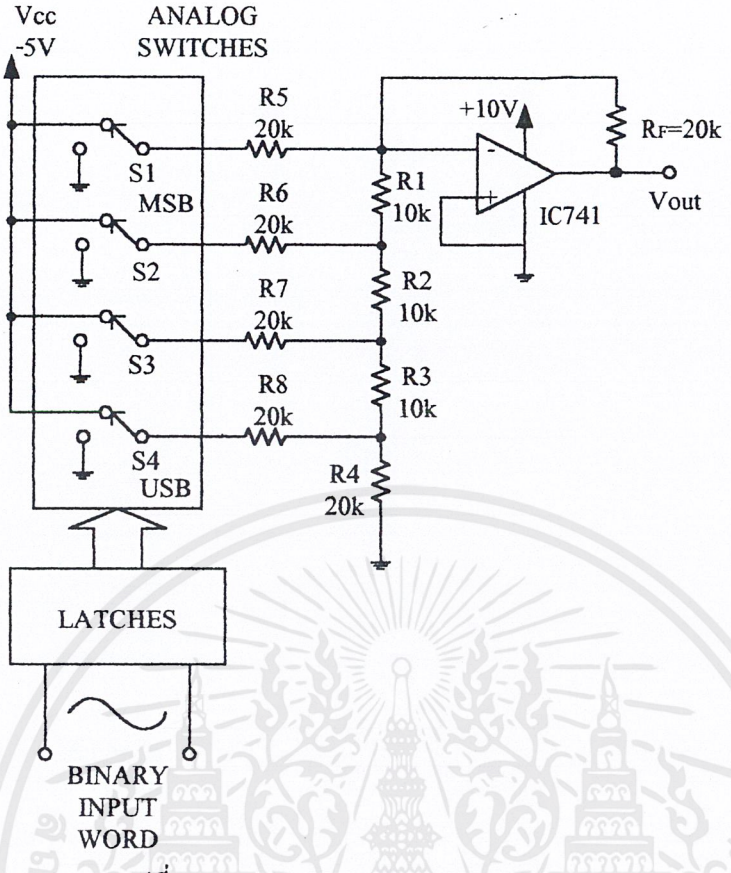
แรงดันที่ได้จากบิทที่มีนัยสำคัญรองลงมา ก็หาได้โดยปิดสวิตช์ D2 ไปยัง +5 โวลต์และ D3 ลงกราวด์ ตัวต้านทานทั้งหมดที่อยู่ทางซ้ายของ R5ในรูปที่ 2.28 ลดรูปลงเหลือเพียง 2R ต่อลงกราวด์ การวิเคราะห์วงจรสามารถนำทฤษฎีของเทวินินมาใช้ได้ โดยมีการแบ่งแรงดันระหว่าง R5 และ 2R ที่ต่อลงกราวด์ดังรูปที่ 2.28 แรงดันของเทวินินคือ แรงดันที่รอยต่อหรือ 2.5 โวลต์ ตัวต้านทานเทวินินมีค่าเท่ากับตัวต้านทาน 2 ตัวต่อขนานกัน (หรือ R) อุปกรณ์ที่อยู่ทางด้านซ้ายของ R6 สามารถลดรูปได้เหลือค่า R ต่อกับ 2.5 โวลต์ และเราสามารถละทิ้ง R7 ได้ เพราะจุดปลายทั้งสองค่าต่อลงกราวด์ ค่าความต้านทานรวมระหว่างที่จุดรวม (จุดกราวด์เทียม) และแรงดันเทวินิน คือ 2R หรือ 20 กิโลโอห์ม กระแสที่จุดรวมคือ 2.5 โวลต์หรือ 0.125 มิลลิแอมป์ กระแสที่ผ่าน RF 20 กิโลโอห์ม ทำให้เกิดแรงดันเอาต์พุต -2.5 โวลต์ (สำหรับบิทที่มีนัยสำคัญถัดมา)

ด้วยการวิเคราะห์ในทำนองเดียวกันนี้ สามารถหาแรงดันเอาต์พุตที่มีบิทต่ำลงมาได้อีก 1.25 โวลต์และที่ค่าดิจิตอลต่ำสุดได้ 0.625 โวลต์ ในขณะที่ค่าดิจิตอลสูงสุด (สวิตช์ทุกตัวต่อไปที่ +5 โวลต์) ได้เอาต์พุตเต็มสเกลคือ 9.375 โวลต์

แม้ว่า วงจรดีทูเอแบบ R/2R แลดเดอร์ ซึ่งใช้ความต้านทาน 2 ค่าจะวิเคราะห์ยากกว่าแบบใช้ตัวต้านทานหลายค่า (Weighted resistor) แต่ง่ายกว่าสำหรับการต่อวงจรให้ถูกต้อง เพราะใช้ความต้านทานเพียง 2 ค่าเท่านั้น จำนวนบิทก็เพิ่มได้ โดยเพิ่มส่วนของ R/2R ลงไป วงจรบัฟเฟอร์ที่เป็นทีทีแอลหรือซีมอส อาจนำมาต่อแทนตำแหน่งของสวิตช์ในวงจรรูปที่ 2.28 เพื่อให้แรงดันเอาท์พุตเป็นขั้นบันไดได้

เทคนิคเลดเดอร์เน็ตเวอร์ก สามารถสร้างแรงดันตามน้ำหนักของรหัสไบนารี่โดยอาศัยความต้านทานเพียง 2 ค่าเท่านั้นที่จัดในลักษณะวงจรแบ่งแรงดัน หรือที่เรียกว่าไบนารี่ เลดเดอร์ ดังแสดงในรูปที่ 2.29

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.29 แสดงวงจรของวงจร Binary Ladder

ถึงแม้ว่าวงจร DAC แบบเลดเดอร์เน็ตเวอร์กดูผ่านๆแล้วค่อนข้างจะยาก แต่การทำงานของวงจรก็ยังคล้ายกับการทำงานของวงจร Binary Weighted DAC (รูปที่ 2.27) เกทที่ต่ออยู่ในลักษณะอนุกรมถูกใช้สำหรับขับอะนาลอกสวิตช์ เมื่อรหัสไบนารี่ 0000 ถูกส่งมายังเกทอะนาลอกสวิตช์ทั้งหมดจะเปิดออก ดังนั้น แรงดันเอาท์พุตที่ได้จากออปแอมป์จึงมีค่าเป็นศูนย์ สวิทช์ S_1 จะปิดลงเมื่อเกทได้รหัสไบนารี่เป็น 1000 เป็นผลให้เกิดแรงดันเอาท์พุต 5 โวลต์ ออกมาจากออปแอมป์ถ้ารหัสไบนารี่เป็น 0010 สวิตช์ S_3 ก็จะปิด และทำให้เกิดแรงดัน 1.25 โวลต์ จึงเกิดเอาท์พุตออกมา 0.0625 โวลต์ จะสังเกตได้ว่า แต่ละแรงดันเอาท์พุตอยู่ในอันดับของไบนารี่ คือ เอาท์พุตสามารถเปลี่ยนจาก 0 ถึง 10 โวลต์ เพิ่มขึ้นขั้นละ 0.625 โวลต์ (24 หรือ 16 ขั้น)

ข้อดีของเลดเดอร์ เน็ตเวอร์ก DAC คือ สามารถออกแบบได้ง่าย เนื่องจากใช้ความต้านทานเพียง 2 ค่าเท่านั้น และในทุกวันนี้ บริษัทผู้ผลิต DAC เกือบทั้งหมดจะใช้เทคนิคแบบเลดเดอร์เน็ตเวอร์กในการผลิต DAC

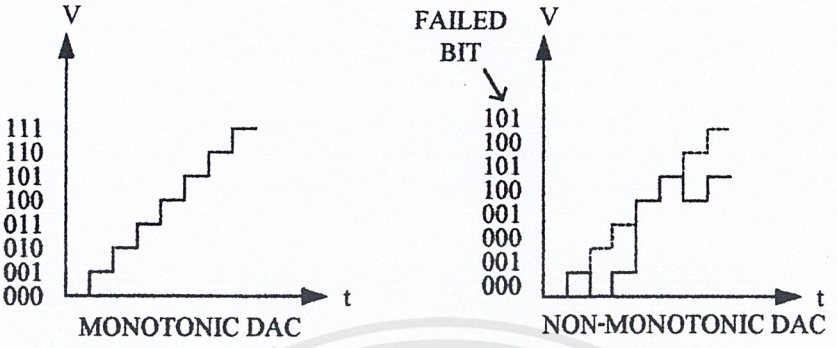
วงจรไบนารี่ เลดเดอร์มักจะมีความถูกต้องแม่นยำมากกว่าวงจร Binary weighted เพราะว่าเราจะหาค่าความต้านทาน D/Aที่ถูกต้อง 2 ค่า (เช่น 10K หรือ 20K) ได้ง่ายกว่าค่าความต้านทานหลายๆค่าที่ใช้ในวงจร Binary weighted DAC ไอซี DAC สำเร็จรูปที่นิยมใช้อยู่คือเบอร์ DAC-08

ที่นี้เราจะอธิบายหลักการเริ่มทำงานของ DAC เราสามารถพิจารณารายละเอียดที่สำคัญของ Monotonicity (ดูความหมายในเทอมนิยาม) ตามที่คุณได้รู้มา แรงดันเอาท์พุตที่เป็นสัญญาณอะนาลอกของ DAC จะเพิ่มขึ้นเป็นลำดับคล้ายกับการเพิ่มของรหัสไบนารี่ที่ทางอินพุตดังแสดงอยู่ในรูปที่ 2.30

ในทางอุดมคติแล้ว การเพิ่มขึ้นของสัญญาณอินพุตที่เป็นรหัสไบนารี่จะเป็นเหตุให้เราสามารถทายและรู้ถึงแรงดันเอาท์พุตได้ ในอุปกรณ์บางตัว ส่วนของการสวิทช์ และส่วนขยายสัญญาณไม่สามารถจ่าย

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

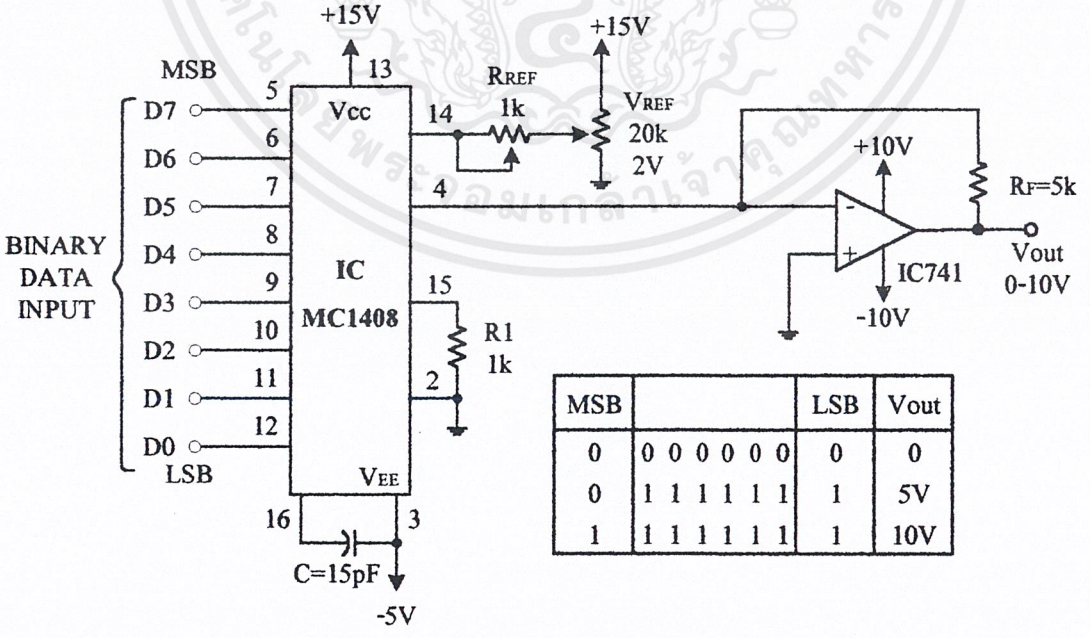
กระแสไฟฟ้าภายในเงื่อนไขเหล่านั้นได้อย่างเพียงพอ จึงเป็นสาเหตุที่ทำให้ DAC เกิดการ "Skip" หรือการกระโดดข้ามนั้นเอง การเกิด Skip นี้จะมีปัญหาน้อยในบิตนัยต่ำๆ แต่จะมีมากขึ้นเมื่อน้ำหนักของบิตเพิ่มขึ้น



รูปที่ 2.30 Monotonic DAC จะมากขึ้น ทุกๆ ค่า ของสัญญาณอะนาลอกที่ถูกต้องต่อค่าของรหัสไบนารี่ทางอินพุต

การประยุกต์ DAC เบื้องต้น

รูปที่ 2.31 แสดงวงจรที่ประยุกต์เอา DAC ไปใช้งานอย่างง่ายๆ โดยที่ใช้เป็นของบริษัทโมโตโลร่า แบบ MC 1408 DAC การทำงานของวงจรจะเป็นไปอย่างตรงไปตรงมาไม่ซับซ้อนระดับสัญญาณ TTL ขนาด 8 บิต ซึ่งเป็นเลขฐานสอง ถูกป้อนให้อินพุต DAC ขา D_0 ถึง D_7 เนื่องจากไม่มีสัญญาณนาฬิกาภายนอกใดๆที่การใช้ในวงจรการแปลงสัญญาณจึงใช้เวลาไปประมาณ 300 ns ซึ่งเป็นเวลาของ "Settle time" ของ MC 1408 ใช้เทคนิคแบบไบนารี่เลดเดอร์ในการสวิทซ์และแปลงสัญญาณได้กลายเป็นกระแสไฟฟ้าออกไปทางเอาท์พุต (ขา14) และเราใช้ไอซี LM 741 ไปเป็นไอซีออปแอมป์แปลงจากกระแสให้เป็นแรงดันทางเอาท์พุตตามต้องการ



MSB								LSB	Vout
0	0	0	0	0	0	0		0	0
0	1	1	1	1	1	1		1	5V
1	1	1	1	1	1	1		1	10V

$$Vout = \frac{V_{REF}}{R_{REF}} \times R_F \times \left\{ \frac{D_7}{2} + \frac{D_6}{4} + \frac{D_5}{8} + \frac{D_4}{16} + \frac{D_3}{32} + \frac{D_2}{64} + \frac{D_1}{128} + \frac{D_0}{256} \right\}$$

รูปที่ 2.31 วงจร Unipolar D/A

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

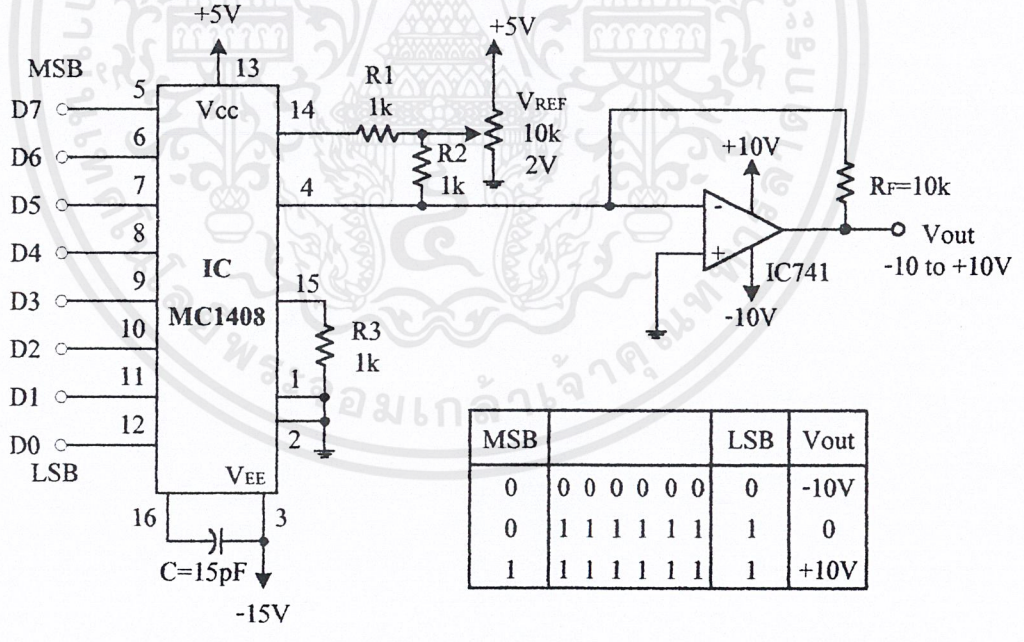
รหัสเลขฐานสองขนาด 8 บิต ถูกป้อนให้กับอินพุตของ DAC เอาท์พุตที่ได้จากไอซี MC 1408 จะเป็นกระแสไฟฟ้าออกมาทางขา 4 ดังนั้น เราจึงต้องใช้ออปแอมป์มาเปลี่ยนกระแสไฟฟ้าที่ได้ให้อยู่ในรูปสัญญาแรงดันไฟฟ้า

ความละเอียดของวงจรนี้มีขนาด 8 บิต ซึ่งหมายถึง แรงดันเอาท์พุตที่ได้สามารถเปลี่ยนแปลงได้ตั้งแต่ 0 จนถึง 30 โวลต์ โดยมีการเปลี่ยนแปลงได้ 256 ขั้นๆละประมาณ 0.039 โวลต์ รหัสเลขฐาน 16 ที่เป็น OOh จะทำให้เอาท์พุตที่ได้เป็น 0 โวลต์ ครึ่งหนึ่งของอินพุต คือ FFh จะทำให้แรงดัน 5 โวลต์ ออกมาที่เอาท์พุตเป็น FFh แรงดันที่ปรากฏทางเอาท์พุตจะมีค่าเท่ากับ 10 โวลต์

วงจรในรูปที่ 2.31 นั้น สามารถนำไปใช้ได้ทุกๆวงจรที่ต้องการใช้ตัว DAC เพื่ออินเตอร์เฟสสัญญาณดิจิตอลเข้ากับวงจรอะนาลอกรหัสดิจิตอล อาจจะได้มาจากการพอร์ตของคอมพิวเตอร์, วงจรนับดิจิตอล หรือวงจร TTL ใดๆ สัญญาณอะนาลอกที่ได้ทางเอาท์พุตอาจจะนำไปใช้ขับมิเตอร์ ภาคแสดงผล, แอมปลิฟลายเออร์ หรือ วงจรอะนาลอกอื่นๆ

การประยุกต์ Bipolar DAC

จากตัวอย่างที่ผ่านมาเป็นวงจร Unipolar (รูปที่ 2.31) ซึ่งหมายถึง เอาท์พุตของวงจรเป็นได้เพียงบวกหรือลบอย่างใดอย่างหนึ่งเท่านั้น ถ้าเราต้องการเอาท์พุตที่สามารถเปลี่ยนแปลงได้จากค่าที่เป็นบวกไปถึงค่าที่เป็นลบ วงจรที่ใช้จึงเปลี่ยนมาเป็นวงจรในรูปที่ 2.32 แทน



MSB		LSB	Vout
0	0 0 0 0 0 0	0	-10V
0	1 1 1 1 1 1	1	0
1	1 1 1 1 1 1	1	+10V

$$Vout = \left\{ \frac{V_{REF}}{R_{REF}} \times R_F \times \left\{ \frac{D_7}{2} + \frac{D_6}{4} + \frac{D_5}{8} + \frac{D_4}{16} + \frac{D_3}{32} + \frac{D_2}{64} + \frac{D_1}{128} + \frac{D_0}{256} \right\} \right\} - \left\{ \frac{V_{REF}}{R_2} \times R_F \right\}$$

รูปที่ 2.32 วงจร D/A แบบ Bipolar เอาท์พุตของวงจร สามารถเปลี่ยนแปลงจากแรงดันลบจนถึงแรงดันบวกได้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การต่ออินพุตของออปแอมป์เข้ากับตัวต้านทานอ้างอิง R2 เป็นการเปลี่ยนลักษณะของวงจรในส่วนอ้างอิง ทำให้เอาท์พุตของภาคขยายจะสวิงจาก –10 โวลต์จนถึง +10 โวลต์ เมื่อรหัสเลขฐานสองทางอินพุตเพิ่มขึ้นถึง 7Fh สัญญาณอะนาลอกทางเอาท์พุตจะเพิ่มขึ้นจนถึง 0 โวลต์ และเมื่อรหัสเลขฐานสองทางอินพุตเป็น FFh เอาท์พุตจะเพิ่มขึ้นจนถึง +10 โวลต์

วงจรในรูป 2.32 เป็น DAC ที่มีความละเอียดขนาด 8 บิต และมี setting time ประมาณ 300 ns และมีแรงดันทางเอาท์พุตเปลี่ยนแปลงได้จากการลบเป็นบวกหรือบวกเป็นลบได้ ดังนั้น ในการใช้งานใดๆ ที่ต้องการคุณสมบัติของวงจร DAC ตามนี้ก็สามารถนำเอาวงจรในรูปที่ 2.32 ไปใช้งานได้

2.6.2.3 BCD-analog converter

สัญญาณอินพุตที่ป้อนให้กลับ MC1408 นั้นไม่จำเป็นต้องเปลี่ยนรหัสเลขฐานสองอย่างเดียว การจัดวงจรของ DAC สามารถทำใช้ MC 1408 เปลี่ยนรหัส BCD ขนาด 2 หลัก ที่เป็นอินพุตของวงจรให้กลายเป็นสัญญาณแรงดันอะนาลอกทางเอาท์พุตได้ รูปที่ 2.33 แสดงวงจร DAC ให้เป็นสัญญาณอะนาลอกได้

จะสังเกตได้ว่า 4 บิตล่างของแต่ละ DAC เท่านั้นที่ถูกใช้รับสัญญาณ BCD ส่วน 4 บิตบนนั้นถูกต่อลงกราวน์ไปสัญญาณ TTL ที่เป็นอินพุตของวงจรได้มาจากวงจรนับแบบ BCD หรือวงจรไบนารี่ใดๆก็ได้ หลักนัยสำคัญสูงสุดของ DAC จะต่อไปขับออปแอมป์โดยตรงเอาท์พุตจากหลักนัยสำคัญต่ำสุดของ DAC ถูกหารด้วย 10 โดยชุดของตัวต้านทาน และนำไปบวกกับสัญญาณจากหลักนัยสำคัญสูงสุด เพื่อที่จะผลักแรงดันเอาท์พุตให้ได้จาก 0 จนถึง 10 โวลต์ ค่าของตัวต้านทานป้อนกลับ R_F สามารถปรับได้ เพื่อเปลี่ยนแปลงช่วงของแรงดันเอาท์พุตให้ได้จาก 0 ถึง 10 โวลต์

อินพุต BCD เป็น 00 จะให้แรงดัน 0 โวลต์ออกมา เช่นเดียวกัน ถ้าอินพุต BCD เพิ่มขึ้นเป็น 50 แรงดันเอาท์พุตเพิ่มขึ้นเป็น 5 โวลต์ และถ้าอินพุตเป็น 99 แรงดันเอาท์พุตที่ได้จะเป็น 10โวลต์ เพราะช่วงของอินพุตในวงจรนี้มีเพียง 100 ขั้นเท่านั้น (00 ถึง 99) สัญญาณอะนาลอกทางเอาท์พุตจะเปลี่ยนจาก 0 ถึง 99 โวลต์ ได้ภายใน 100 ขั้น แทนที่จะเป็น 256 ขั้น เหมือนปกติถ้าแม้ว่า BCD –to-analog converter จะมีการสูญเสียด้านความละเอียดไปบ้าง แต่มันก็มีข้อดีที่น่าสนใจ เมื่อสัญญาณอินพุตเป็นรหัสแบบอื่นๆ

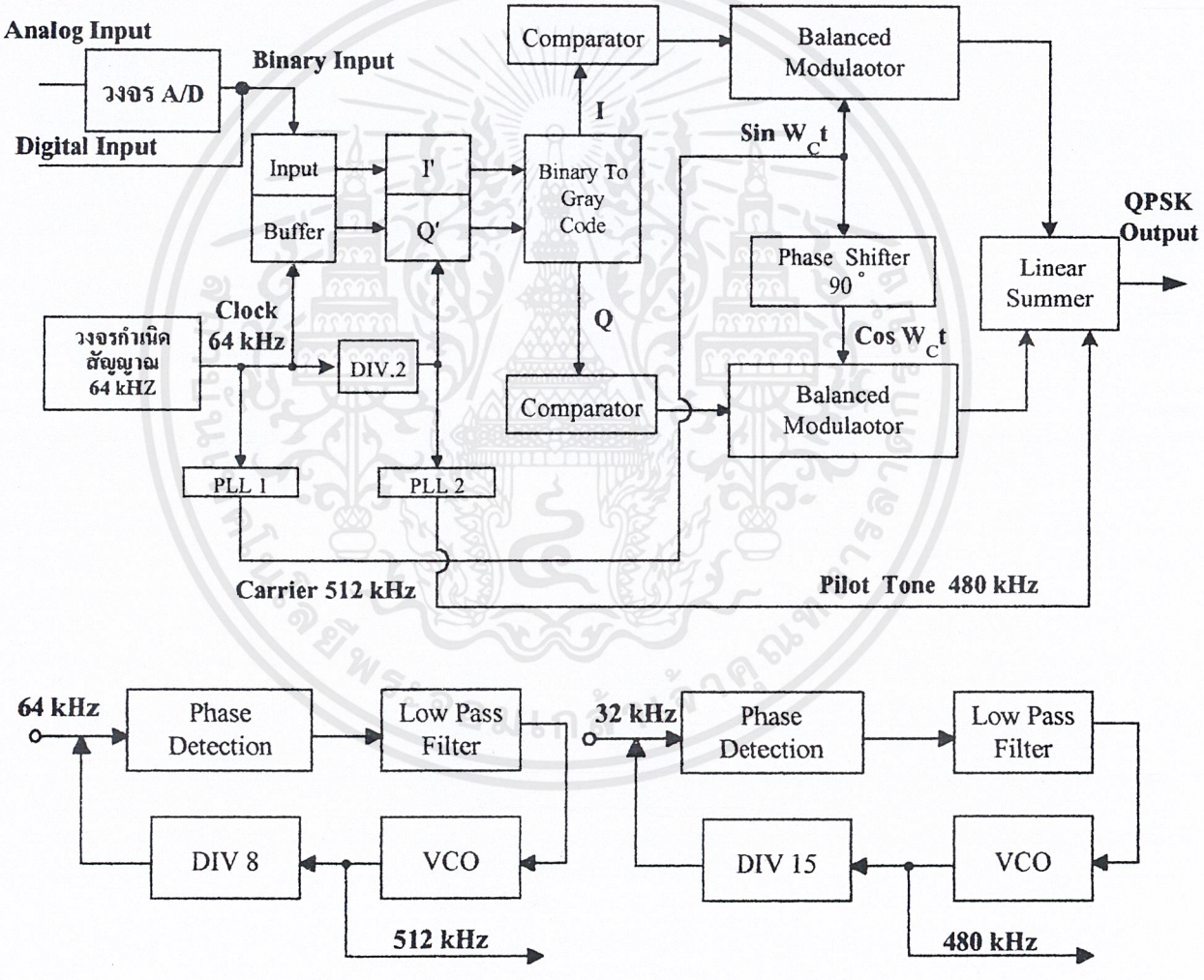
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 3
การออกแบบและการสร้างวงจร

3.1 การออกแบบและสร้างวงจรภาคส่ง

ในการออกแบบทางด้านภาคส่งนั้นเราต้องเพิ่มเติมบางส่วนเพื่อความสะดวกทางการ Synchronized เราต้องสร้างสัญญาณนำร่อง (Pilot Signal) และสัญญาณพาหะโดยใช้ Clock 64 kHz โดยใช้ หลักการของ PLL ให้ได้ความถี่ที่คงที่ แล้วทำการส่งไปยังภาครับต่อไป

ในส่วนของวงจรกำเนิดสัญญาณเรานำ Clock 64 kHz มาทำเป็นพาหะ 512 kHz และทำเป็นสัญญาณนำร่องเท่ากับ 480 kHz ส่วนรายละเอียดแต่ละบล็อกไดอะแกรม ดูการออกแบบแต่ละส่วนภายในบทที่ 3



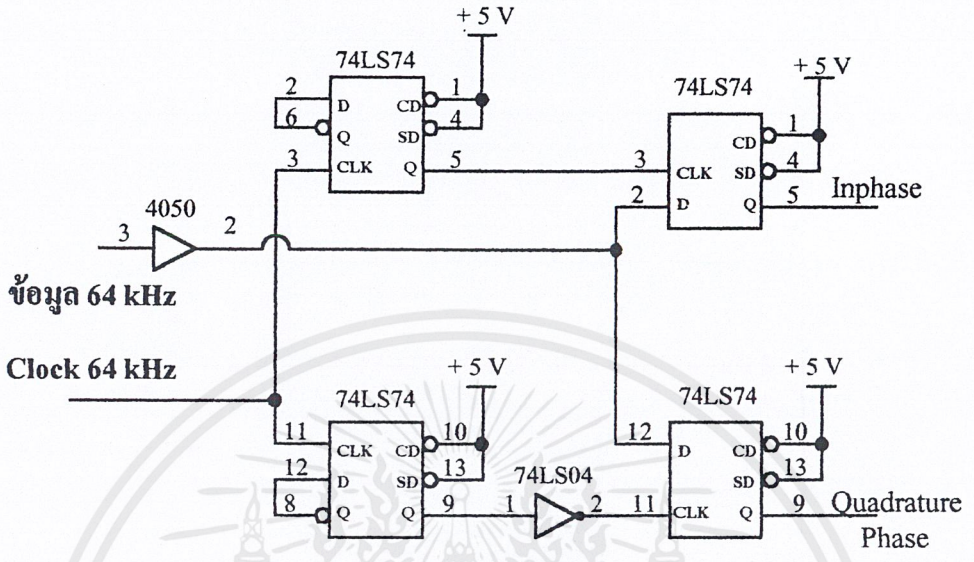
รูปที่ 3.1 บล็อกไดอะแกรมที่ใช้ในการออกแบบวงจรภาคส่ง

3.1.1 วงจรแยกสัญญาณดิจิตอล

เป็นวงจรทำหน้าที่แบ่งข้อมูลดิจิตอลอินพุตเป็น 2 ชุดๆ ละ 1 บิต พร้อมใช้วงจรหน่วงเวลา 2 บิต เพื่อควบคุมให้อินพุต เข้ามาครบ 2 บิตเสียก่อน และจึงทำการแยกสัญญาณ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากรูปที่ 3.2 นั้นจะใช้ D ฟลิปฟลอปและ JK ฟลิปฟลอปทำงานร่วมกัน และที่เป็นส่วนสำคัญของ วงจรส่วนนี้ ก็คือ วงจรหน่วงเวลา 2 บิต หรือวงจรหาร 2 นั่นเอง ช่วยควบคุมจังหวะการรับข้อมูลและส่งข้อมูลให้เหมาะสมกัน แนวทางของวงจะอาศัยหลักการของวงจรอนุกรมและขนานนั่นเอง



รูปที่ 3.2 วงจรแยกสัญญาณดิจิตอล

ข้อมูลที่ออกมาจากส่วนนี้ มีอยู่ 2 ส่วน คือ Inphase และ Quadrature Phase อาจเรียกง่ายๆ ว่า บิตบน บิตล่าง ก็ได้ ข้อมูลที่ได้จะแบ่งเป็นข้างละบิตแล้วนำข้อมูลนี้ไปเข้าวงจรแบ่งระดับแรงดันต่อไป

3.1.2 วงจรแปลงบิตเป็น 2 ระดับ

ด้วยสาเหตุที่ว่าวงจรบาลานซ์มอดดูเลเตอร์นั้น สัญญาณดิจิตอลที่จะทำการมอดดูเลตจะต้องเป็นสัญญาณที่มี ขนาดเกิน 300 Vp-p ดังนั้นความเปลี่ยนแปลงอันเกินจากสัญญาณบิตมีโอกาสเป็นไปได้ $2^1 = 2$ ระดับ การเปลี่ยนแปลงของสัญญาณดังตารางที่ 3.1

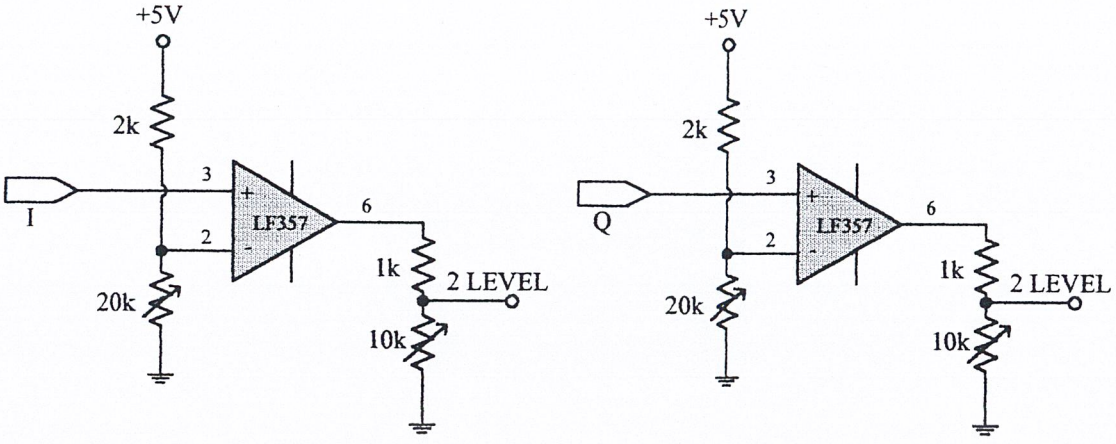
I	Output
0	-150
1	150

Q	Output
0	-150
1	150

ตารางที่ 3.1 การแปลงบิตเป็น 2 ระดับ

ในส่วนของวงจรอาศัยวงจร OP-AMP เป็นตัวเปรียบเทียบระดับแรงดันของสัญญาณจะทำหน้าที่แปลงให้เป็น 2 ระดับดังข้อกำหนดตารางที่ 3.1 จึงได้ทำการออกแบบวงจรแปลงระดับสัญญาณดิจิตอล 1 บิต เป็น 2 ระดับ ดังรูปที่ 3.3

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



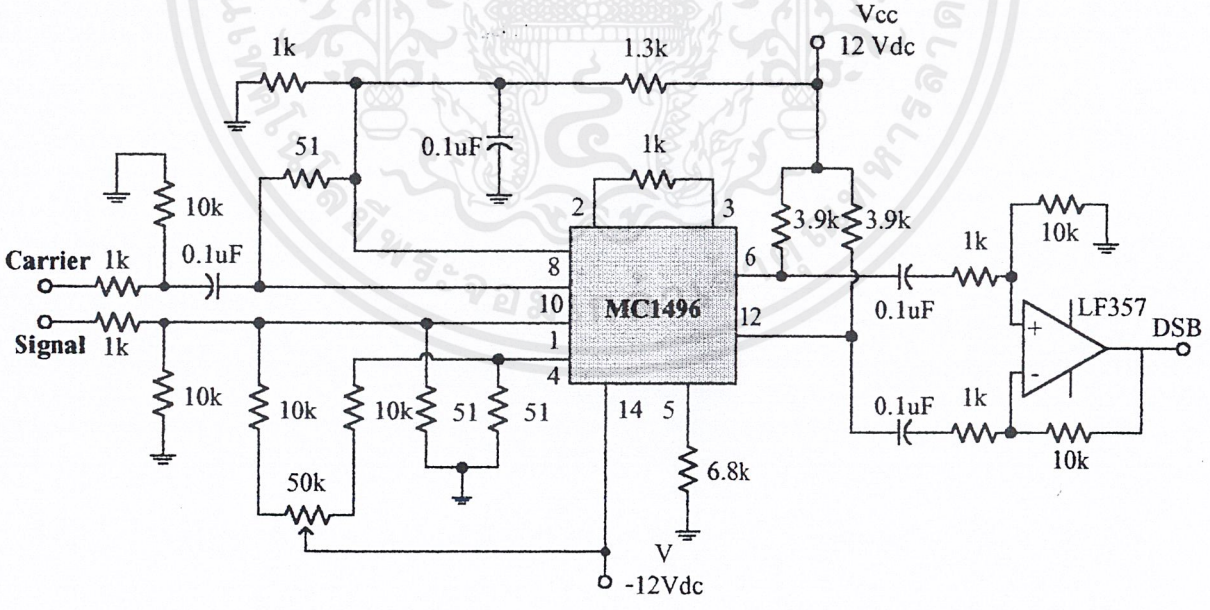
รูปที่ 3.3 วงจรแปลงสัญญาณ 1 บิตเป็น 2 บิต

3.1.3 วงจรบาลานซ์มอดดูเลเตอร์

วงจรนี้ทำหน้าที่คูณกันระหว่างสัญญาณพาหะกับสัญญาณ 2 ระดับ ซึ่งจะมี 2 ส่วนกล่าวคือ จะมีทั้ง Inphase กับ Quadrature Phase

วงจรบาลานซ์มอดดูเลเตอร์ทางด้าน Inphase ก็จะทำหน้าที่คูณสัญญาณ 2 ระดับที่มาจากวงจรแยกสัญญาณดิจิตอลกับสัญญาณพาหะที่ได้มาจากวงจรกำเนิดสัญญาณพาหะโดยตรง ส่วนทางด้าน Quadrature Phase สัญญาณพาหะที่นำมาคูณจะมาจากสัญญาณพาหะผ่านวงจรเลื่อนเฟส 90 องศา

รายละเอียดของวงจรบาลานซ์มอดดูเลเตอร์ทั้งสองวงจร จะเหมือนกับทุกประการดังแสดงดังรูปที่ 3.4



รูปที่ 3.4 วงจรบาลานซ์มอดดูเลเตอร์

ข้อควรคำนึงในวงจรส่วนนี้คือ ข้อกำหนดจาก Data Sheet ของ IC MC 1496 ได้ระบุว่าขนาดของสัญญาณที่จะนำมามอดดูเลตควรมีค่าประมาณ 300 mV (rms) และขนาดของสัญญาณพาหะควรมีค่าประมาณ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

150 mV (rms) ดังนั้นก่อนนำไปคูณควรผ่านตัวต้านทานปรับค่าได้เสียก่อนเพื่อจะได้ควบคุมระดับสัญญาณก่อนนำไปคูณ

3.1.4 วงจรกรองช่วงความถี่ผ่าน

วงจรกรองความถี่ เป็นวงจกรองความถี่ที่ยอมให้ความถี่ในช่วง low frequency cutoff (f_L) กับ high frequency cutoff (f_H) ผ่านไปได้เท่านั้นโดยที่ $f_H > f_L$ ส่วนความถี่ที่นอกเหนือจากนี้ไปจะไม่สามารถผ่านได้

วงจร BPF สามารถแบ่งได้เป็น 2 ชนิด คือ อย่างคือ วงจร wide band filter และวงจร narrow band filter โดยเราสามารถดูได้จากค่า Quality factor (Q) ถ้าค่า Q < 10 เราเรียกว่าวงจร wide band filter และถ้าค่า Q > 10 เรียกว่า วงจร narrow band filter เราสามารถหาค่า Q ได้จากสมการ

$$Q = \frac{f_c}{BW}$$

$$= \frac{f_c}{f_H \pm f_L}$$

สำหรับ wide band filter นั้น เราสามารถหาความถี่กึ่งกลาง ได้จากสมการ

$$f_c = \sqrt{f_H f_L}$$

วงจร filter ชนิดนี้จะมีค่าแรงดันสูงสุด (V_{rms}) อยู่ที่ความถี่หนึ่งซึ่งเรียกว่า เรโซแนนซ์ (W_r) และจุดที่เอาท์พุตโวลเตจมีค่า 0.707 V_{max} นั้นในช่วงพาสแบนด์จะมีความถี่ที่สูงกว่าความถี่ W_r เราเรียกว่า high cutoff frequency (Wh) และความถี่ที่ต่ำกว่าความถี่ Wr เราเรียกว่า low cutoff frequency (Wl) ช่วงระหว่างความถี่ Wh และ Wl เราเรียกว่า แบนด์วิดธ์ (B)

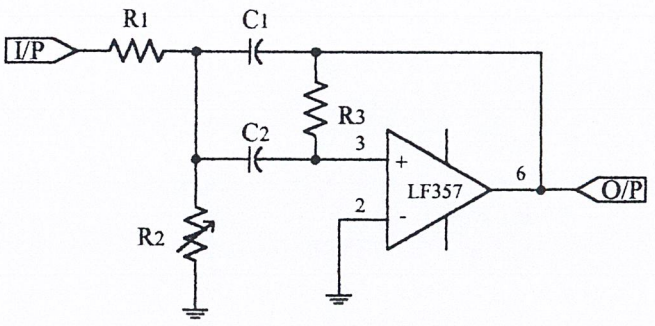
วงจรกรองความถี่ แบ่งได้เป็น 2 อย่างคือ วงจร narrow band filter และวงจร wide band filter โดยวงจร narrow band filter จะมีค่าแบนด์วิดธ์มากกว่า 0.1 เท่าของความถี่รีโซแนนซ์ ($B < 0.1W_r$) และวงจรwide band filter จะมีค่าแบนด์วิดธ์มากกว่า 0.1 เท่าของความถี่รีโซแนนซ์ อัตราส่วนระหว่างความถี่รีโซแนนซ์กับแบนด์วิดธ์ เราเรียกว่า quality factor (Q)

นั้นคือค่า Q ของวงจร narrow band filter จะมีค่ามากกว่า 10 และค่า Q ของวงจร wide band filter จะมีค่าน้อยกว่า 10

3.1.4.1 Wide Band Filter

วงจร wide band filter อย่างง่ายนั้นเราทำได้โดยนำวงจรกรองความถี่สูงมาต่อ cascade กัน เพื่อเป็นการง่ายต่อการออกแบบ ถ้าเรานำวงจร 1st order HPF ต่อกับ 1st order LPF ก็จะได้เป็น ±20 dB/decade band pass และถ้านำวงจร 2nd order HPF มาต่อกับ 2nd order LPF ก็จะได้เป็น ±40 dB/decade band pass ดังนั้น order ของวงจรกรองช่วงความถี่ขึ้นอยู่กับ order ของวงจรกรองความถี่สูงและวงจรกรองความถี่ต่ำ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.5 แสดงวงจร wide band filter

จากวงจรเห็นว่าเราใช้ op-amp เพียงตัวเดียวโดยต่อแบบ multiple feedback

3.1.4.2 Narrow Band Filter

โดยทั่วไปในการออกแบบ narrow band นี้เราสามารถหาความสัมพันธ์ของ f_c กับ Q ซึ่งมีสมการดังนี้ ในการออกแบบเรากำหนดให้ $C_1 = C_2 = C$

$$R1 = \frac{Q}{2\pi f_c CA}$$

$$R2 = \frac{Q}{2\pi f_c C\left(2Q^2 - A\right)}$$

$$R3 = \frac{Q}{\pi f_c C}$$

โดยที่ A เป็นเกนที่ความถี่กึ่งกลางหาได้จากสมการ

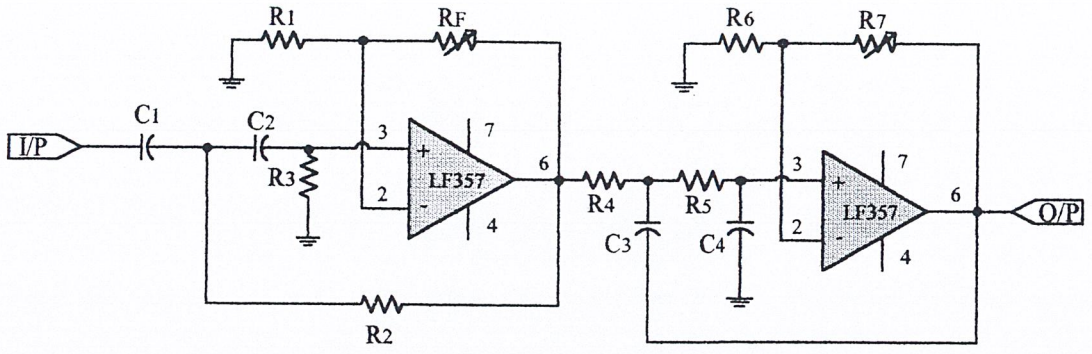
$$A = \frac{R_3}{2R_1}$$

ดังนั้น $A < 2Q^2$

จากวงจรในรูปเราสามารถเปลี่ยนค่าความถี่กึ่งกลาง f_c ไปเป็น f_c' ได้โดยไม่ต้องเปลี่ยนเกนและแบนด์วิดธ์ใหม่ แต่ทำการเปลี่ยนค่า R2 ไปเป็น R2' ซึ่ง R2' หาได้จาก

$$R_2' = R_2\left(\frac{f_2}{f_1'}\right)^2$$

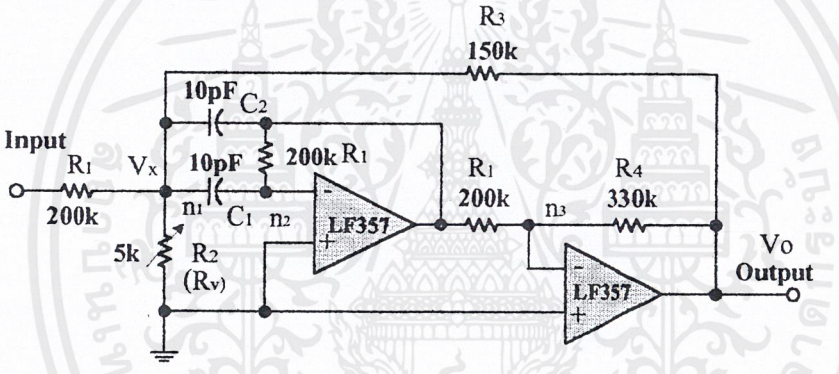
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.6 แสดงวงจร Narrow Band Filter

3.1.4.3 Positive Feedback Band Pass Filter

เป็นวงจรกรองความถี่ย่านผ่าน ใช้สำหรับกรองความถี่ของสัญญาณนำร่อง เราใช้วงจร Positive Feedback Band – Pass Filter เลือกค่า Q = 40 แสดงดังรูป 3.7



รูปที่ 3.7 วงจร Positive Feedback Band-Pass Filter

node n_3 :

$$\frac{0 - V_i}{R_1} + \frac{0 - V_o}{R_4} = 0$$

$$\frac{-V_i}{R_1} = \frac{V_o}{R_4}$$

$$\therefore \frac{Vo}{Vi} = \frac{-R_4}{R_1} = k \qquad \text{---} \rightarrow (1)$$

node n_2 :

$$\frac{0 - Vx}{SC_1} + \frac{0 - V_2}{R_1} = 0$$

$$V_x = \frac{-V_2 G_1}{SC_1} \qquad \text{---} \rightarrow (2)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

node n_1 : $(Vx-0)G_2 + (Vx-0)SC_1 + (Vx-Vi)G_1 + (Vx-V_2)SC_2 + (Vx-V_3)G_3 = 0$

$$Vx(G_2 + SC_1 + G_1 + SC_2 + G_3) - V_2SC_2 - V_3G_3 = ViG_1 \quad --\rightarrow (3)$$

แทนค่า Vx ในสมการ (2) ลงใน (3)

$$\frac{-V_2G_1}{SC_1}(G_2 + SC_1 + G_1 + SC_2 + G_3) - V_2SC_2 - V_3G_3 = ViG_1 \quad --\rightarrow (4)$$

แทนค่า $V_2 = \frac{Vo}{k}$ ลงใน (4)

$$\frac{-V_3}{k}\left(\frac{G_1G_2}{SC_1} + G_1 + \frac{G_1^2}{SC_1} + \frac{G_1G_3}{SC_1} + SC_2 + G_3k\right) = ViG_1$$

$$\frac{-V_3}{k}\left(\frac{G_1G_2 + SC_1G_1 + G_1^2 + SC_2G_1 + G_1G_3 + S^2C_1C_2 + SC_1G_3k}{SC_1}\right) = ViG_1$$

$$\frac{V3}{Vi} = \frac{-G_1kSC_1}{S^2C_1C_2 + S(C_1G_1 + C_2G_1 + C_1G_3k) + (G_1G_V + G_1^2 + G_1G_3)}$$

$$\frac{V3}{Vi} = \frac{\frac{-G_1kS}{C_2}}{S^2 + S\left(\frac{C_1G_1 + C_2G_1 + C_1G_3k}{C_1C_2}\right) + \left(\frac{G_1G_2 + G_1^2 + G_1G_3}{C_1C_2}\right)}$$

จากสมการของ Band Pass Filter

$$T_{BP} = \frac{HoS}{S2 + S\frac{\omega o}{Q} + \omega^2 o}$$

$$H_o = \frac{-G_1k}{C_2} = \frac{R_4}{C_2R_1^2}$$

$$\frac{\omega o}{Q} = \frac{C_1G_1 + C_2G_1 + C_1C_3k}{C_1C_2} = \frac{\left(\frac{C_1}{R_1} + \frac{C_2}{R_1} + C_1C_3k\right)}{C_1C_2}$$

$$\omega o^2 = \frac{G_1G_2 + G_1^2 + G_1G_3}{C_1C_2} = \frac{\left(\frac{1}{R_1R_2} + \frac{1}{R_1^2} + \frac{1}{R_1R_3}\right)}{C_1C_2}$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สำหรับการออกแบบเราจะกำหนดความถี่ที่ต้องการ กำหนดค่า Q หรือ BW และเกนที่ต้องการ ขั้นตอนในการออกแบบมีดังนี้

1.) เลือกค่าคาปาซิเตอร์ และหาค่า K parameter จากรูปที่ 3.8

2.) ใช้ค่า K ที่หาได้มาจากข้อ (1) มาหาค่าความต้านทานจากรูปที่ 3.9 ซึ่งค่าความต้านทานนี้จะขึ้นอยู่กับค่า Q, BW และเกนที่เรากำหนด

3.) เลือกค่าความต้านทานให้ตรงตามกราฟที่ได้และทำการสร้างวงจร

จากขั้นตอนดังกล่าวเราสามารถหาค่าอุปกรณ์ต่างๆ ดังนี้

- ใช้ค่า C = 10 pF ดูกราฟ K parameter ที่ความถี่กลาง 512 kHz
- $K \approx 2$,ใช้ $Q = 40$, $BW = 0.025\ fo$ จะทำให้เราได้ค่า R1 ,R2 ,R3 ,R4
- จากการคำนวณ

$$\omega_o = \sqrt{\frac{\left(\frac{1}{R1}\right)\left(\frac{1}{Rv}+\frac{1}{R1}+\frac{1}{R3}\right)}{C1\,C2}} \quad \text{โดยที่} C1 = C2 = 30\ pF\ ,\ R1 = 200\ k\Omega\ ,\ 150\ k\Omega$$

$$\therefore\ \omega_o = \sqrt{\frac{\left(\frac{1}{200k}\right)\left(\frac{1}{Rv}+\frac{1}{200k}+\frac{1}{150k}\right)}{C1\,C2}}$$

ดังนั้นในกรณีค่าความถี่กลาง512 kHz คำนวณได้ค่า $Rv = 5.12\ k\Omega$

ค่าความถี่กลาง 480 kHz คำนวณได้ค่า $Rv = 5.874\ k\Omega$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

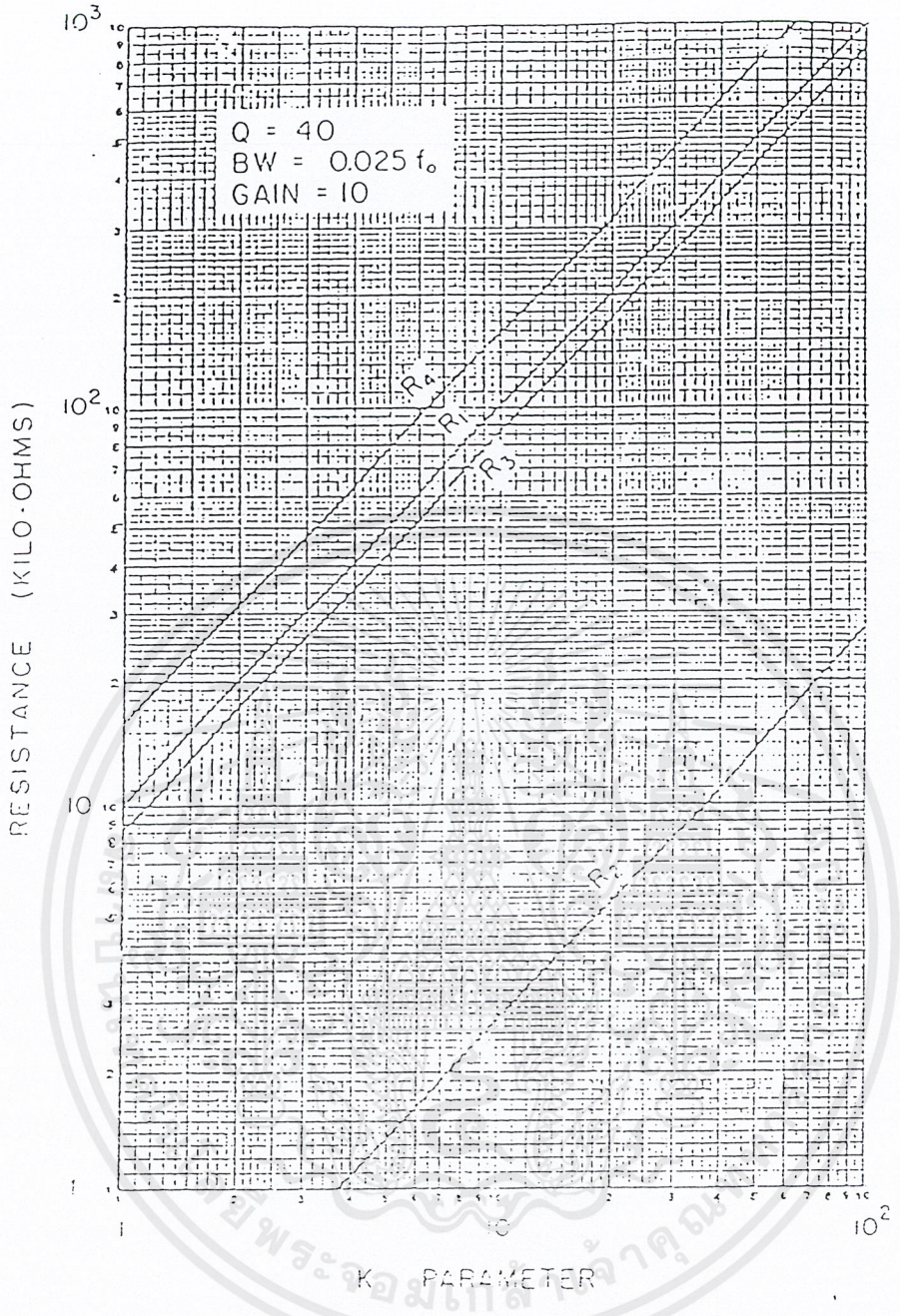


Fig. 4.39. Positive-feedback band-pass filter.

รูปที่ 3.8 กราฟแสดงความสัมพันธ์ระหว่าง K parameter เทียบกับความถี่

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

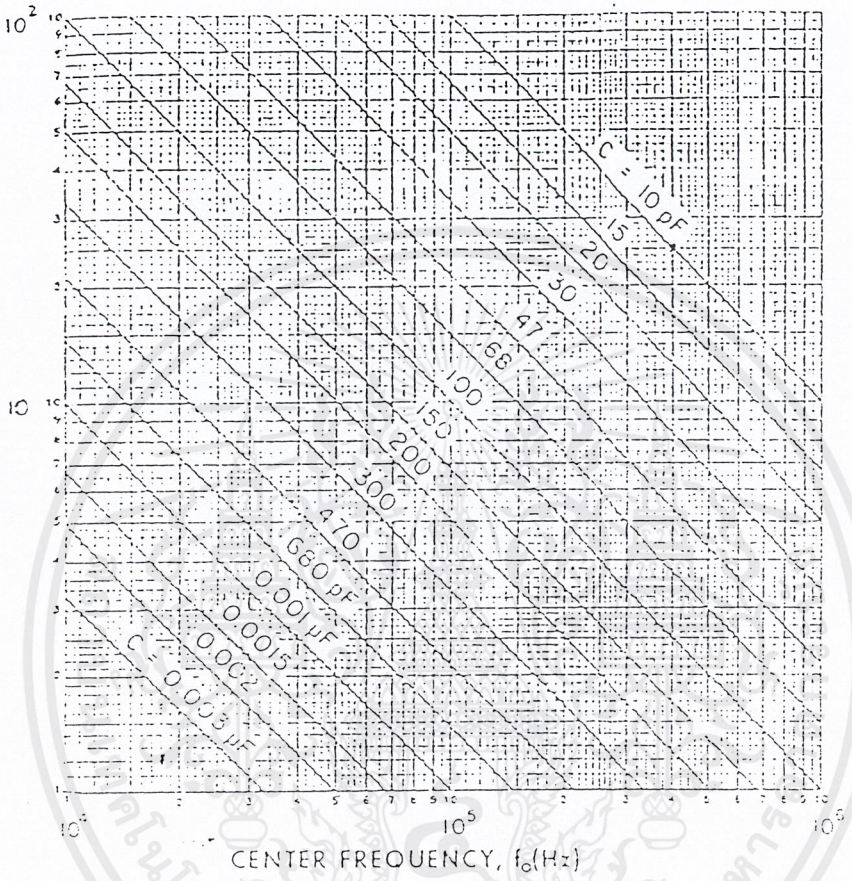


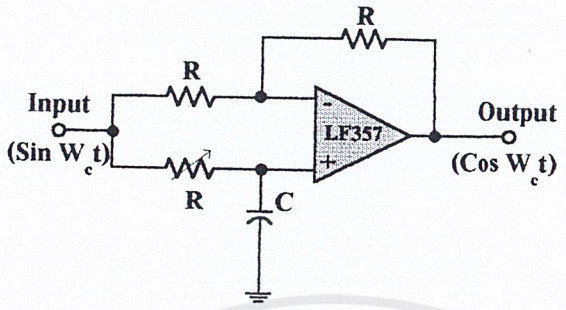
Fig. 4.11. (c) K parameter versus frequency.

รูปที่ 3.9 กราฟแสดงความสัมพันธ์ระหว่างค่าความต้านทานเทียบกับ K parameter

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.1.5 วงจรเลื่อนเฟส 90 องศา

ในการออกแบบวงจรเลื่อนเฟส เพื่อทำการเลื่อนสัญญาณที่เข้ามาทางอินพุต หรือเป็นการหน่วงเวลาสัญญาณอินพุต ให้ช้าลง ซึ่งสามารถเขียนและแสดงผลการตอบสนองต่อความถี่ดังรูปที่ 3.10



รูปที่ 3.10 วงจร Phase Shift 90 องศา

จากรูปวงจรที่ 3.10 เมื่อกำหนดให้ค่าของ R1 = RF จะได้สมการ output voltage (Vo) ดังต่อไปนี้

$$Vo = -Vin + \frac{-jXc}{R - jXc} Vin$$

โดยที่ $-j = 1/j$

$Xc = 1/(2\pi f_c)$

f = ความถี่ที่จะใช้ในการ Shift

แทนค่าของ $-j$ และ Xc จะได้สมการใหม่ดังนี้

$$Vo = Vi\left(-1 + \frac{2}{j2\pi fRC + 1}\right)$$

$$\frac{Vo}{Vi} = \frac{1 - j2\pi fRC}{1 + j2\pi fRC}$$

สามารถคำนวณหาค่าของมุม วงจรเลื่อนเฟส ได้จากสมการ

$$\Phi = -2\tan^{-1}\frac{(2\pi fRC)}{1}$$

เพราะฉะนั้นถ้าต้องการให้มีมุมของ Phase (ϕ) = -90° สามารถหาค่าของอุกรณ์ได้ โดยกำหนดค่า ตัวเก็บประจุ และค่าของ ความถี่ ที่ต้องการจากสมการข้างต้น

$$R = \frac{1}{2\pi f_c}$$

กำหนดค่า $f = 512$ kHz กำหนดค่า $C = 100$ pF

$$R = \frac{1}{2\pi \times 512 \times 10^{3} \times 100 \times 10^{-12}}$$

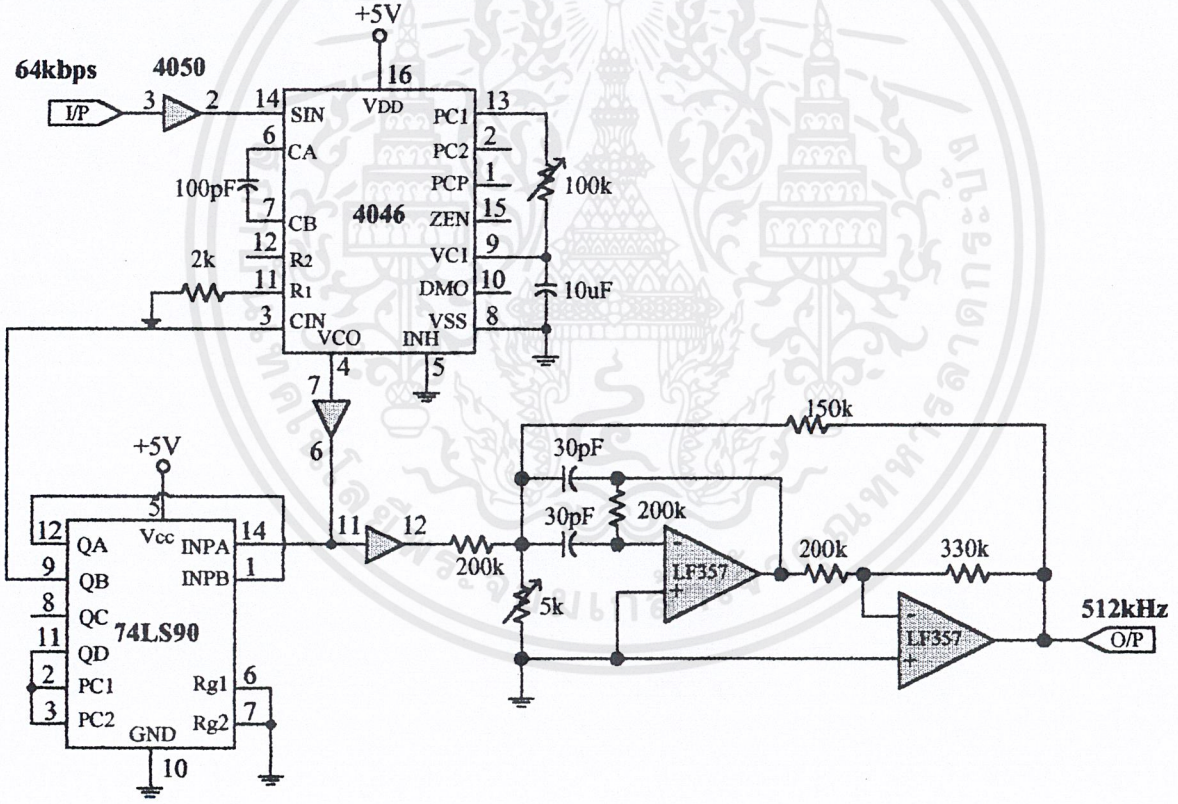
$$R = 31\ k\Omega$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.1.6 วงจรกำเนิดสัญญาณพาหะ 512 kHz

วงจรส่วนนี้ทำหน้าที่กำเนิดสัญญาณ Sine Wave ความถี่ 512 kHz เพื่อใช้เป็นสัญญาณพาหะเพื่อนำไปคูณกับสัญญาณ 2 ระดับ ที่วงจรบาลานซ์มอดดูเตอร์ และอีกส่วนจะนำไปเลื่อนเฟส 90 องศา เป็นสัญญาณ cosine เนื่องจากระบบการส่งสัญญาณแบบดิจิตอลนี้มีหัวใจสำคัญคือ การซิงโครไนซ์เซชั่น (Synchronization) ที่ทำให้จังหวะการทำงานภาคส่งและภาครับมีความสัมพันธ์กันอย่างแม่นยำ ดังนั้นเราจึงนำสัญญาณนาฬิกาที่ได้จากข้อมูลที่ทำการส่ง ในส่วนนี้เราส่งข้อมูลความเร็ว 64 kbps จึงมีสัญญาณนาฬิกา 64 kbps มาอ้างอิงในการทำการสร้างวงจร โดยใช้วงจรเฟสล็อกลูป (Phase Lock Loop) ช่วยในการล็อกสัญญาณนาฬิกาและคูณความถี่ให้สูงขึ้น เราจึงนำสัญญาณนาฬิกาที่ 64 kbps ไปคูณกับ 8 ซึ่งจะได้ความถี่ 64*8 = 512 kbps พอดี

เมื่อสัญญาณนาฬิกาผ่าน วงจรเฟสล็อกลูปแล้วก็ยังเป็นสัญญาณรูปสี่เหลี่ยมอยู่ไม่สามารถนำไปเป็นสัญญาณพาหะได้ เพราะสัญญาณรูปสี่เหลี่ยมประกอบไปด้วยฮาร์โมนิคมากมาย ไม่เหมาะสมในการนำไปมอดดูเลต ดังนั้นจึงใช้วงจรกรองช่วงความถี่ (Band Pass Filter) ทำการกรองเอาความถี่ฮาร์โมนิคที่ 1 เป็น Sine wave มีความถี่เท่ากับสัญญาณสี่เหลี่ยมมาใช้งาน



รูปที่ 3.11 วงจรกำเนิดสัญญาณพาหะ 512 kHz

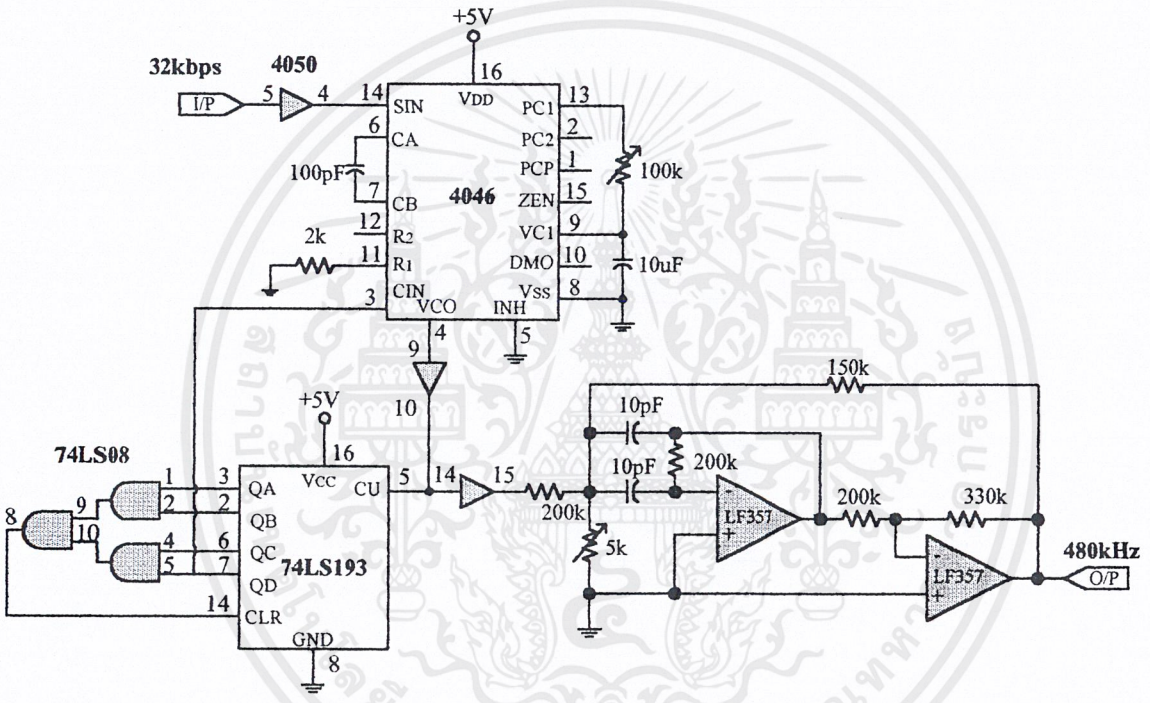
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.1.7 วงจรกำเนิดสัญญาณนำร่อง (Pilot Signal)

สาเหตุที่ต้องทำสัญญาณนำร่อง เพราะว่าในส่วนภาครับนั้นเราต้องการสัญญาณนาฬิกาและสัญญาณคลื่นพาหะที่มีเฟสและความถี่เท่ากันกับภาคส่ง เพื่อการซิงโครไนเซชั่นที่ดีที่สุด

โดยเราเลือกความถี่ 480 kHz จะอยู่ทางด้านไซด์แบนด์ต่ำ (Lower Side Band) ของสเปกตรัม การมอดดูเลตในโครงงานนี้ สาเหตุที่เลือกความถี่ 480 kHz เพราะว่าอยู่ห่างจากความถี่พาหะ 32 kHz และสะดวกในการออกแบบวงจรคูณความถี่ คือจะใช้วงจรหาร 15 ต่อกับวงจรเฟสล็อกลูป

สำหรับวงจรเราใช้เหมือนกับ วงจรกำเนิดสัญญาณพาหะเกือบทุกอย่าง ต่างกันตรงสัญญาณเข้ามาเรานำสัญญาณนาฬิกาที่ผ่านวงจรหาร 2 มาใช้เป็นอินพุตและใช้วงจรหารความถี่เท่ากับ 15 แทนก็ได้สัญญาณความถี่ 480 kHz



รูปที่ 3.12 วงจรกำเนิดสัญญาณนำร่อง 480 kHz

3.1.8 วงจรรวมสัญญาณ (Summing Amplifier)

วงจร summing amplifier ใช้สำหรับการรวมสัญญาณหลายๆ ชุดเข้าด้วยกันเพื่อให้เป็นสัญญาณที่ถูกขยายแล้วเพียงชุดเดียวซึ่งแรงดันที่อาท์พุทเราสามารถหาได้จาก

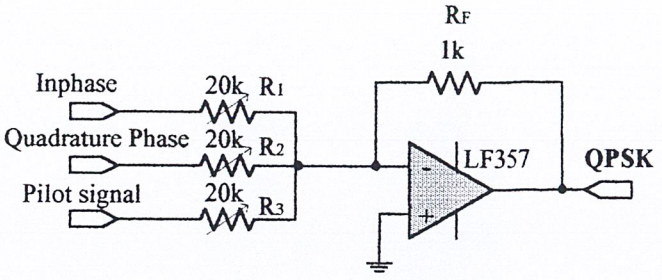
$$V_o = -\left(\frac{R_F V_1}{R_1} + \frac{R_F V_2}{R_2} + \frac{R_F V_3}{R_3}\right)$$

โดยที่ V_1 คือสัญญาณเอาท์พุตจากวงจรบาลานซ์มอดดูเลตด้าน I

V_2 คือสัญญาณเอาท์พุตของวงจรสัญญาณนำร่อง

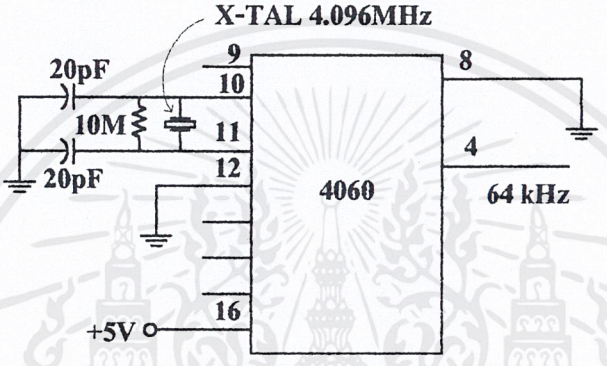
V_3 คือสัญญาณเอาท์พุตของวงจรบาลานซ์มอดดูเลตเตอร์ทางด้าน Q

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.13 วงจร Summing Amplifier

3.1.9 วงจรผลิตสัญญาณความถี่ 64 kHz



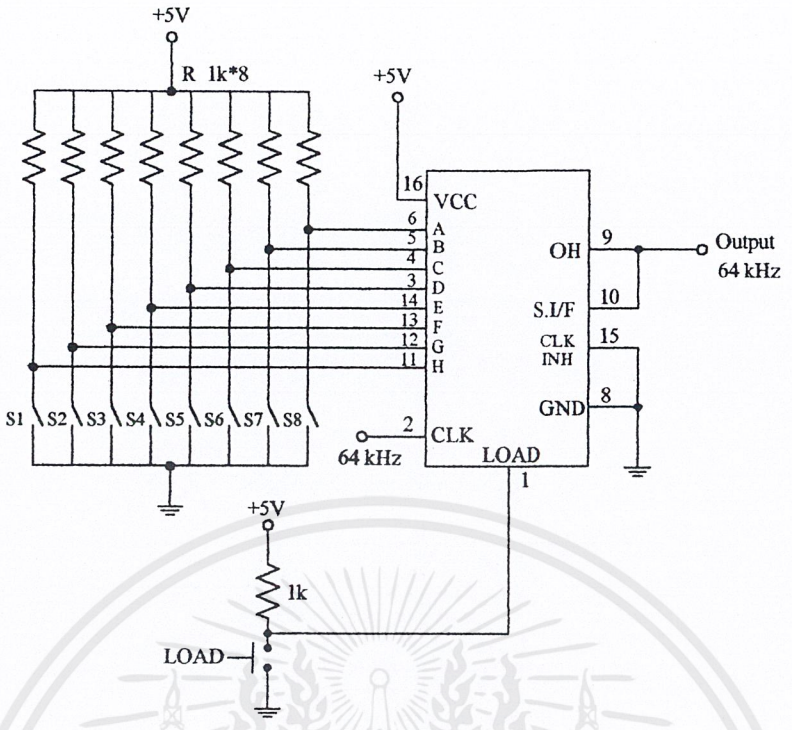
รูปที่ 3.14 แสดงวงจรผลิตความถี่ 64 kHz

วงจรผลิตสัญญาณโดยการต่อคริสตอลกับไอซีเบอร์ 4060 สามารถที่จะทำการกำเนิดสัญญาณคลื่นความถี่ต่างๆได้ ซึ่งขาที่ 4 ของไอซีเบอร์ 4060 จะให้กำเนิดสัญญาณที่ความถี่ 64 kHz ที่มีเสถียรภาพค่อนข้างสูง โดยคลื่นที่ผลิตออกมาเป็นสัญญาณคลื่นสี่เหลี่ยม ซึ่งนำไปใช้เป็นสัญญาณนาฬิกาอ้างอิงของวงจรส่วนอื่นๆ ต่อไปได้ รูปของวงจรกำเนิดสัญญาณนาฬิกา แสดงดังรูปที่ 3.14

3.1.10 วงจรกำเนิดข้อมูลความเร็ว 64 kbps

จากการออกแบบวงจรภาคส่งเพื่อการทดสอบการทำงานของวงจรนั้นต้องสร้างชุดกำเนิดข้อมูลขนาดความเร็ว 64 kbps ขึ้นมาโดยมีวงจรดังรูปที่ 3.15 โดยใช้ IC 74LS165 ซึ่งทำงานเป็น Parallel-Load 8 Bit Shift Register ข้อมูลที่จะโหลดเข้ามาใช้ทดสอบ สามารถกำหนดได้ โดยการปรับสวิตช์สัญญาณนาฬิกา ที่ใช้เลื่อนข้อมูล 64 kHz

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



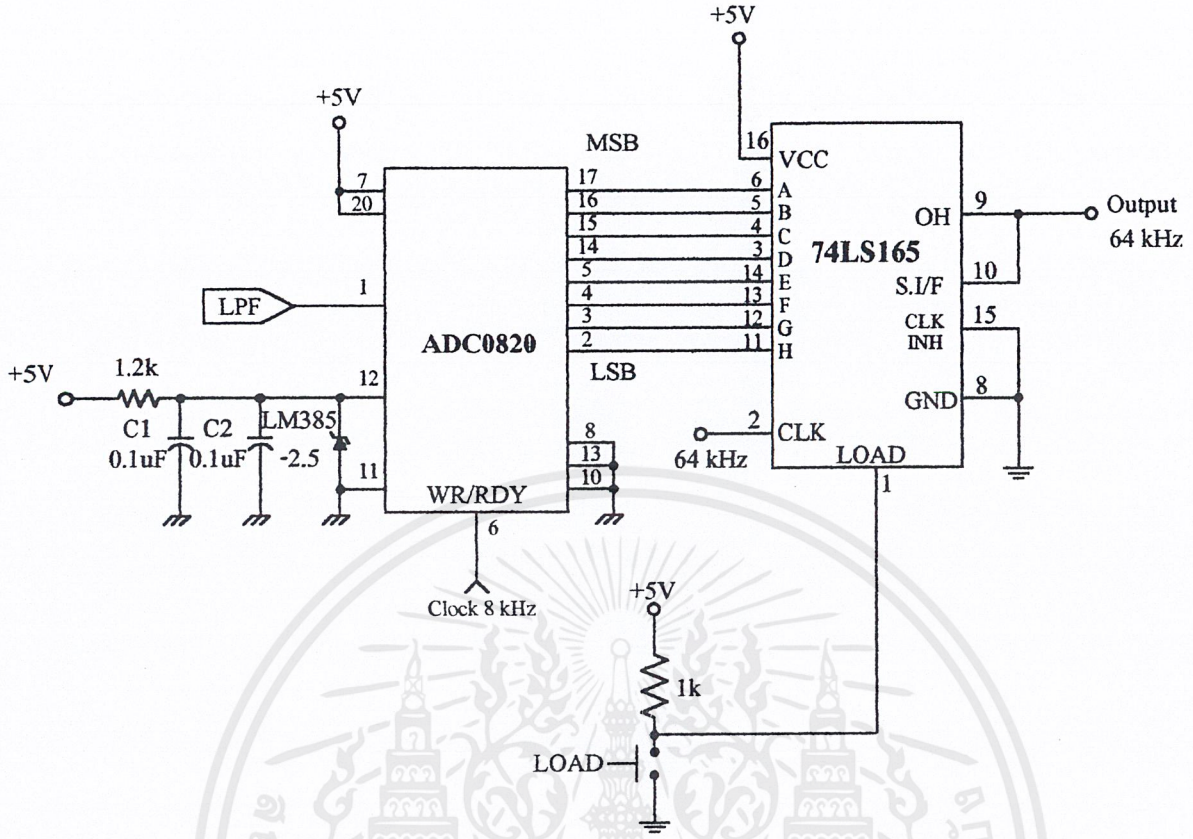
รูปที่ 3.15 วงจรกำเนิดข้อมูลความเร็ว 64 kbps

รูปวงจรรวมในส่วนของภาคส่งของเครื่องรับ-ส่ง 4 ช่องสัญญาณแบบ QPSK แสดงดังรูปที่ 3.17 และรูปที่ 3.18 ซึ่งแสดงไว้ในหน้าถัดไป

3.1.11 วงจรแปลงสัญญาณอะนาลอกเป็นสัญญาณดิจิตอล

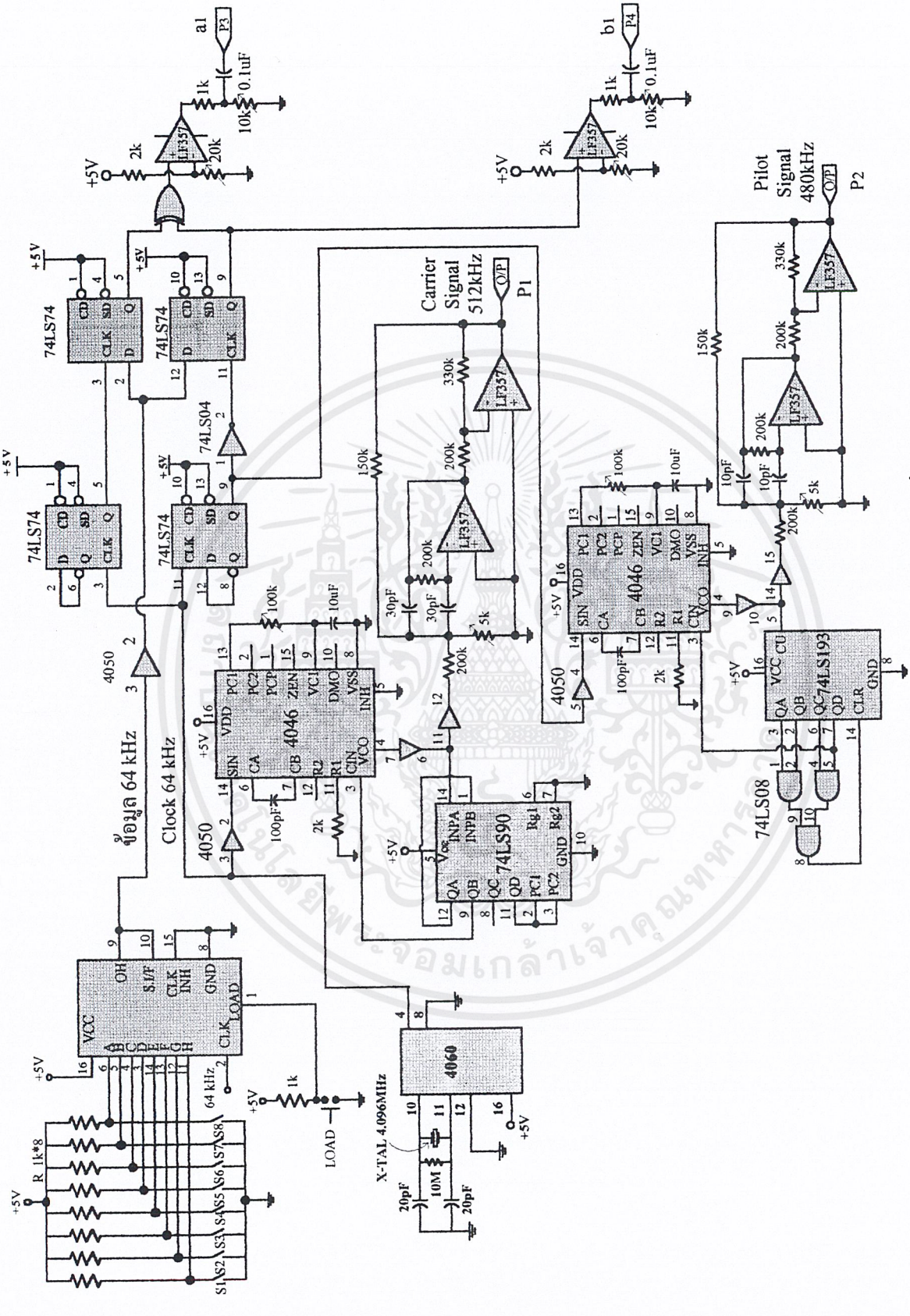
เนื่องจากสัญญาณที่เข้าสู่เครื่องรับ-ส่ง 4 ช่องสัญญาณแบบ QPSK อาจเป็นได้ทั้งสัญญาณในลักษณะต่อเนื่องหรือสัญญาณอะนาลอก เช่น สัญญาณเสียงพูด ฯลฯ หรือ อาจเป็นสัญญาณดิจิตอล เช่น สัญญาณจากคอมพิวเตอร์ ฯลฯ โดยที่การทำงานของอุปกรณ์จะสามารถทำได้กรณีสัญญาณที่เข้ามาเป็นสัญญาณข้อมูลมีลักษณะเป็นสัญญาณดิจิตอลเนื่องจากอาศัยการมอดดูเลตแบบดิจิตอลด้วยวิธี QPSK กล่าวคือการมอดดูเลตสัญญาณคลื่นพาหะที่เป็นสัญญาณไซน์เข้ากับสัญญาณข้อมูลที่เป็นสัญญาณดิจิตอลดังนั้นถ้าหากสัญญาณข้อมูลที่เข้ามามีลักษณะเป็นสัญญาณอะนาลอกจำเป็นที่จะต้องแปลงเป็นสัญญาณดิจิตอล โดยใช้วงจรแปลงสัญญาณอะนาลอกเป็นสัญญาณดิจิตอล โดยในส่วนนี้ใช้ไอซีเบอร์ ADC0820 ซึ่งเป็นวงจรเอทูดีเข้ารหัสเป็นสัญญาณไบนารี่ขนาด 8 บิต โดยใช้ระดับแรงดันอ้างอิงที่ 2.5 โวลต์ และอัตราการแซมปลิ้ง 8 kHz เพื่อให้สามารถครอบคลุมข้อมูลเสียงได้ เนื่องจากข้อมูลเสียงมีความถี่สูงสุดไม่เกิน 4 kHz ดังนั้นตามทฤษฎีของ Nyquist อัตราการแซมปลิ้งจะเป็นอย่างน้อย 2 เท่าของอัตราข้อมูลที่ส่งเข้ามาสูงสุด ทั้งนี้จำเป็นที่จะต้องใช้วงจรเอทูดีควบคู่ไปกับวงจรชิฟรีจิสเตอร์ เพื่อทำการส่งข้อมูลออกเป็นลักษณะของสัญญาณที่เป็นอนุกรม รูปวงจรแปลงสัญญาณอะนาลอกเป็นสัญญาณดิจิตอล แสดงดังรูปที่ 3.16

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



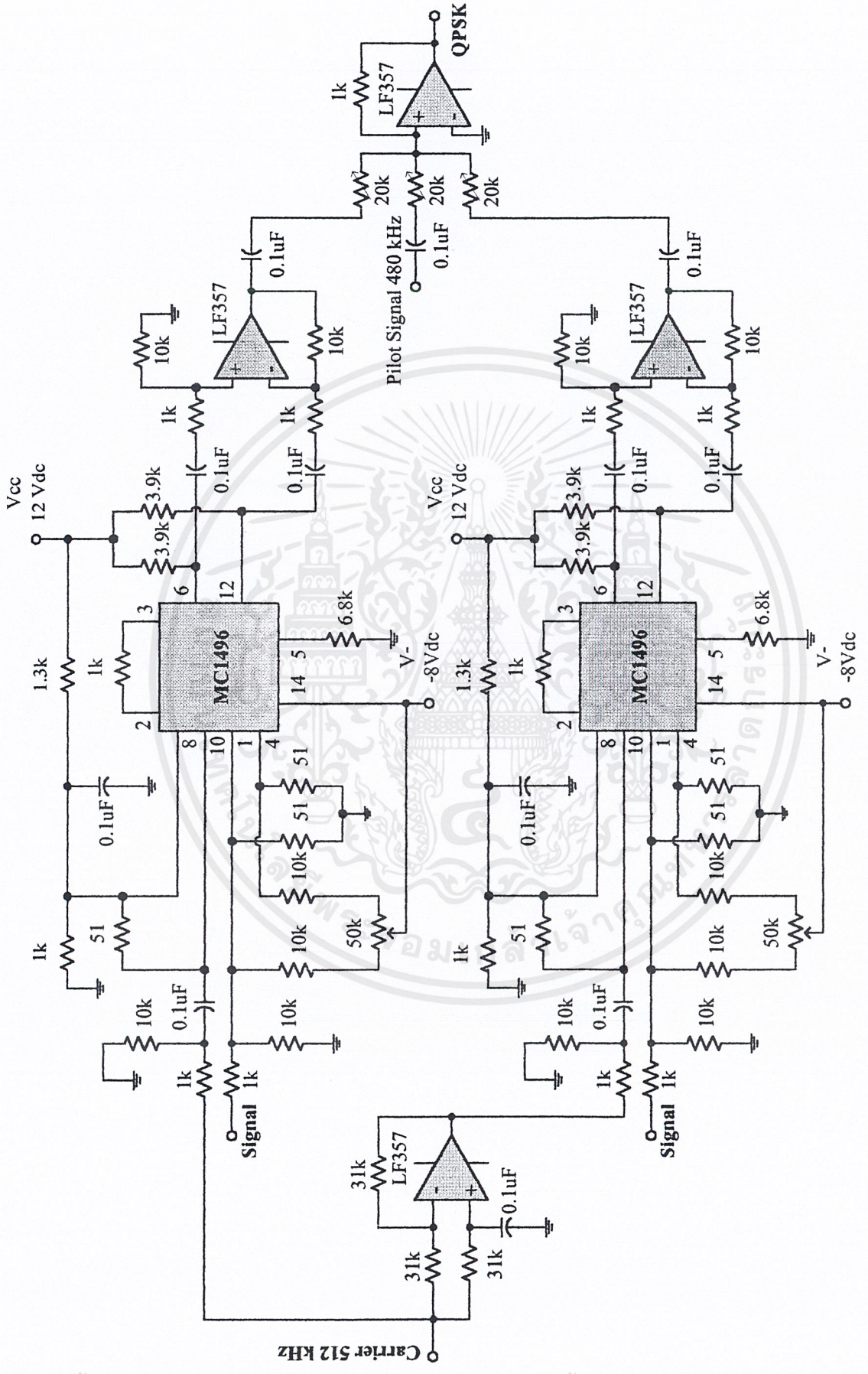
รูปที่ 3.16 แสดงวงจรแปลงสัญญาณอะนาลอกเป็นสัญญาณดิจิตอล

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.16 วงจรภาคส่ง QPSK ส่วนที่ 1

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

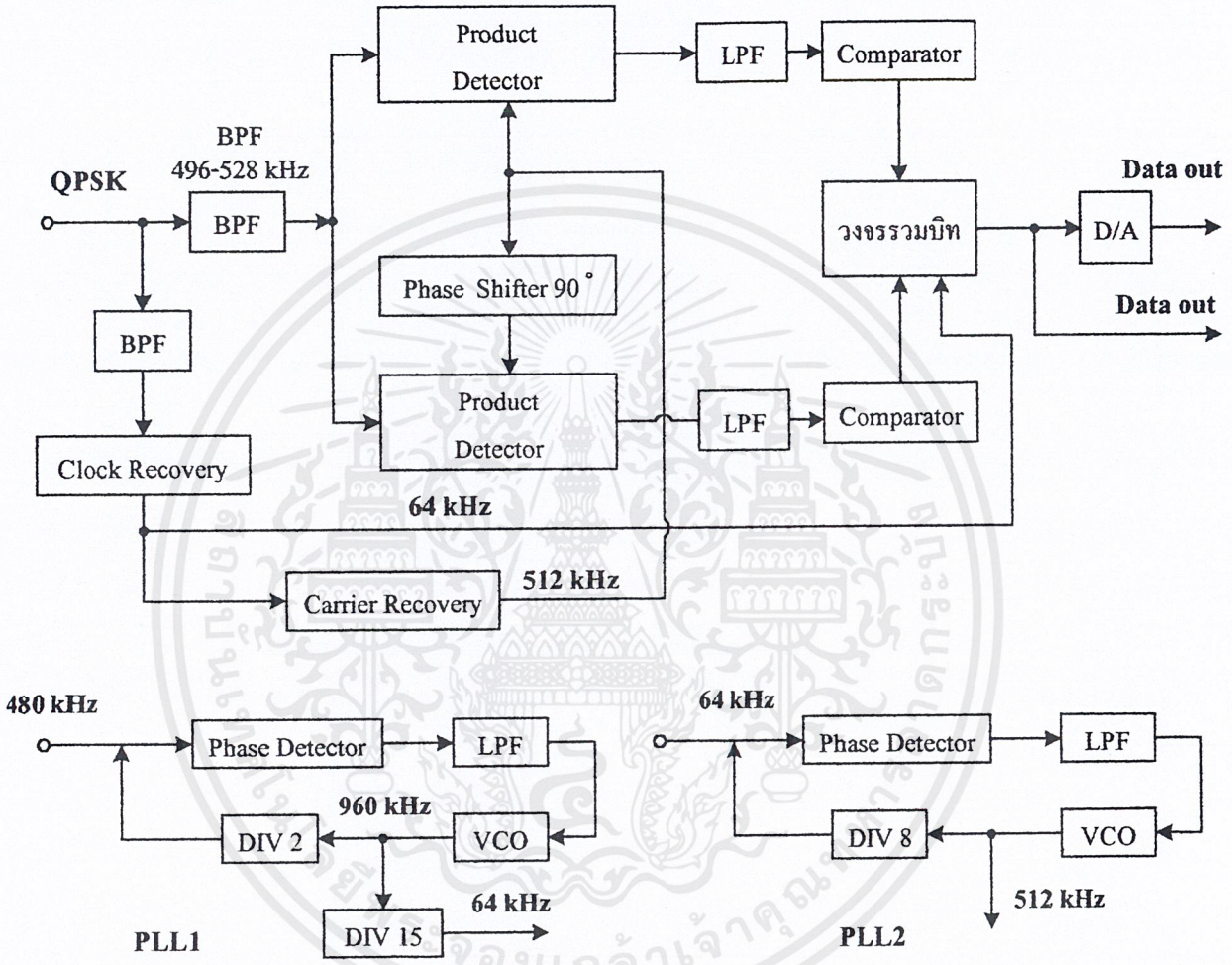


รูปที่ 3.17 วงจรภาคส่ง QPSK ส่วนที่ 2

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.2 การออกแบบและสร้างวงจรภาครับ

ในการออกแบบและทดลองทางด้านภาครับนั้น ต้องมีการเพิ่มเติมบางส่วนจากทฤษฎี เพื่อจะให้สอดคล้อง กับสัญญาณที่ส่งมาทางด้านภาคส่งซึ่งสัญญาณที่ส่งมานั้นมีความถี่ทางด้านสัญญาณนำร่อง 480 kHz ร่วมส่งกับสัญญาณเข้ารหัส ดังนั้นต้องมีวงจรกรองสัญญาณ 2 วงจร วงจรกรองความถี่ในช่วง 496 – 528 kHz และวงจรกรองความถี่ช่วง 480 kHz ดังแสดงในรูปที่ 3.19



รูปที่ 3.19 บล็อกไดอะแกรมของวงจรด้านรับ

ทำการนำสัญญาณนำร่อง 480 kHz มาใช้ในการกู้สัญญาณพาหะ Sine wave 512 kHz เมื่อผ่านวงจรเลื่อนเฟส 90 องศา ทำการดีเทคเตอร์สัญญาณที่ได้ผ่านวงจรกรองความถี่ต่ำ แล้วนำมาเปรียบเทียบสัญญาณจะได้สัญญาณทางด้าน I และ Q เข้ารหัสสัญญาณ Gray code to Binary code ได้ สัญญาณ I และ Q จากนั้นทำการเลื่อนข้อมูลแบบขนานเป็นอนุกรม ก็จะได้สัญญาณเอาท์พุตออกมาแต่สัญญาณนาฬิกา 64 kHz ได้จากการนำเอาสัญญาณนำร่องกู้สัญญาณนาฬิกาผ่านวงจรเฟสล็อคลูปได้สัญญาณนาฬิกา 64 kHz ใช้ในการกระตุ้นข้อมูลออกมาทางเอาท์พุตได้

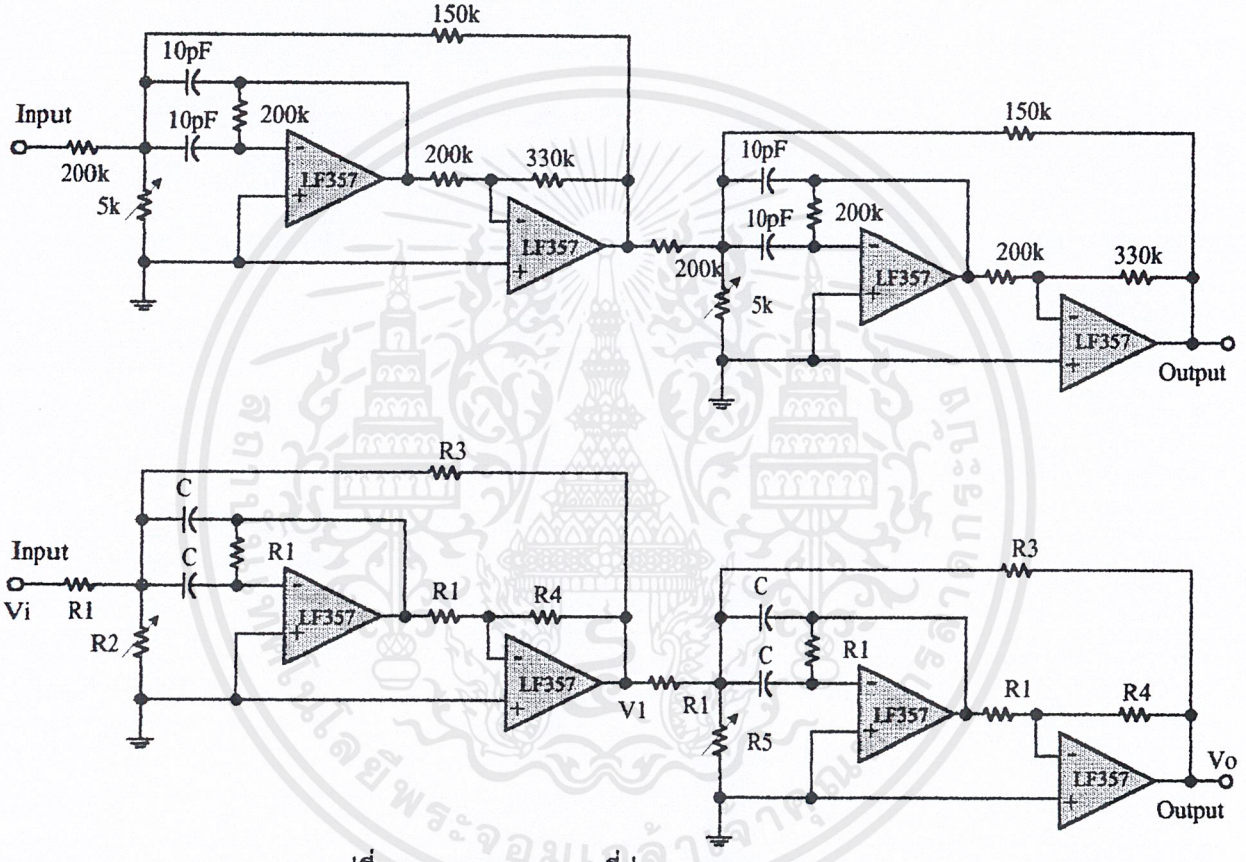
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.2.1 วงจรกรองความถี่ ช่วง 496 – 528 kHz

เมื่อสัญญาณที่ได้เข้ารหัสแบบ QPSK แล้วจะถูกส่งมาตามสายโคแอกเชียลทางภาครับ ต้องการเท่านั้น อีกทั้งสามารถกำจัดสัญญาณรบกวนได้อีกทางหนึ่งด้วย ในการออกแบบนั้นเราใช้วงจรกรองช่วงความถี่ผ่านแบบป้อนกลับทางบวก การออกแบบนั้นเลือกค่า

Q = 40 และค่าคาปาซิเตอร์เท่ากับ 10 pF ทำการเลือกค่าความต้านทานตามรูปที่ 3.9 ในรายละเอียดการออกแบบแสดงไว้แล้วในส่วนการออกแบบและสร้างวงจรภาคส่ง

เรานำวงจรกรองช่วงความถี่ผ่านต่อแบบ Cascade เพื่อจะได้ช่วงความถี่ที่ต้องการมีความคมขึ้น เพื่อจะได้ช่วงความถี่ 496 – 528 kHz ความต้องการดังในวงจรรูปที่ 3.20



รูปที่ 3.20 วงจรกรองความถี่ช่วง 496 – 528 kHz

ในส่วนของการคำนวณวงจรกรองความถี่ช่วง 496-528 kHz จะเห็นว่าตัววงจรประกอบด้วยวงจร Ba..d Pass Filter ต่อ cascade กันอยู่ซึ่งจากการคำนวณในหัวข้อ 3.1.4.3 จะได้สมการดังนี้

$$\frac{V_1}{Vi} = \frac{\dfrac{-G_1 kS}{C_2}}{S^2 + S\left(\dfrac{C_1G_1 + C_2G_1 + C_1G_3k}{C_1C_2}\right) + \left(\dfrac{G_1G_2 + G_1^{\,2} + G_1G_3}{C_1C_2}\right)}$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$C_1 = C_2 = C$ และจะได้ว่า

$$\frac{V_1}{Vi} = \frac{\frac{-kS}{CR_1}}{S^2 + S\left(\frac{CR_3 + CR_3 + CR_1k}{R_1R_3C^2}\right) + \left(\frac{R_1R_3 + R_2R_3 + R_1R_2}{R_1^2R_2R_3C^2}\right)}$$

ให้ $k_1 = \frac{CR_3 + CR_3 + CR_1k}{R_1R_3C^2}$ และ $k_2 = \frac{R_1R_3 + R_2R_3 + R_1R_2}{R_1^2R_2R_3C^2}$

จะได้ว่า

$$\frac{V_1}{Vi} = \frac{\frac{-kS}{CR_1}}{S^2 + Sk_1 + k_2}$$

ในทำนองเดียวกันจะได้สมการจาก stage 2 คือ

$$\frac{Vo}{V_1} = \frac{\frac{-kS}{CR_1}}{S^2 + S\left(\frac{CR_3 + CR_3 + CR_1k}{R_1R_3C^2}\right) + \left(\frac{R_1R_3 + R_5R_3 + R_1R_5}{R_1^2R_3R_5C^2}\right)}$$

ให้ $k3 = \frac{R_1R_3 + R_5R_3 + R_1R_5}{R_1^2R_3R_5C^2}$

จะได้ว่า

$$\frac{Vo}{V_1} = \frac{\frac{-kS}{CR_1}}{S^2 + Sk_1 + k_3}$$

$$\frac{Vo}{Vi} = \frac{Vo}{V_1} \cdot \frac{V_1}{Vi} = \frac{\left(\frac{-kS}{CR_1}\right)^2}{(S^2 + Sk_1 + k_2) \times (S^2 + Sk_1 + k_3)}$$

$$\frac{Vo}{Vi} = \frac{\left(\frac{-kS}{CR_1}\right)^2}{S^4 + S^3k_1 + S^2k_3 + S^3k_1 + S^2k_1^2 + Sk_1k_3 + S^2k_2 + Sk_1k_2 + k_2k_3}$$

$$\frac{Vo}{Vi} = \frac{\left(\frac{-kS}{CR_1}\right)^2}{S^4 + 2S^3k_1 + S^2(k_3 + k_1^2 + k_2) + Sk_1(k_3 + k_2) + k_2k_3}$$

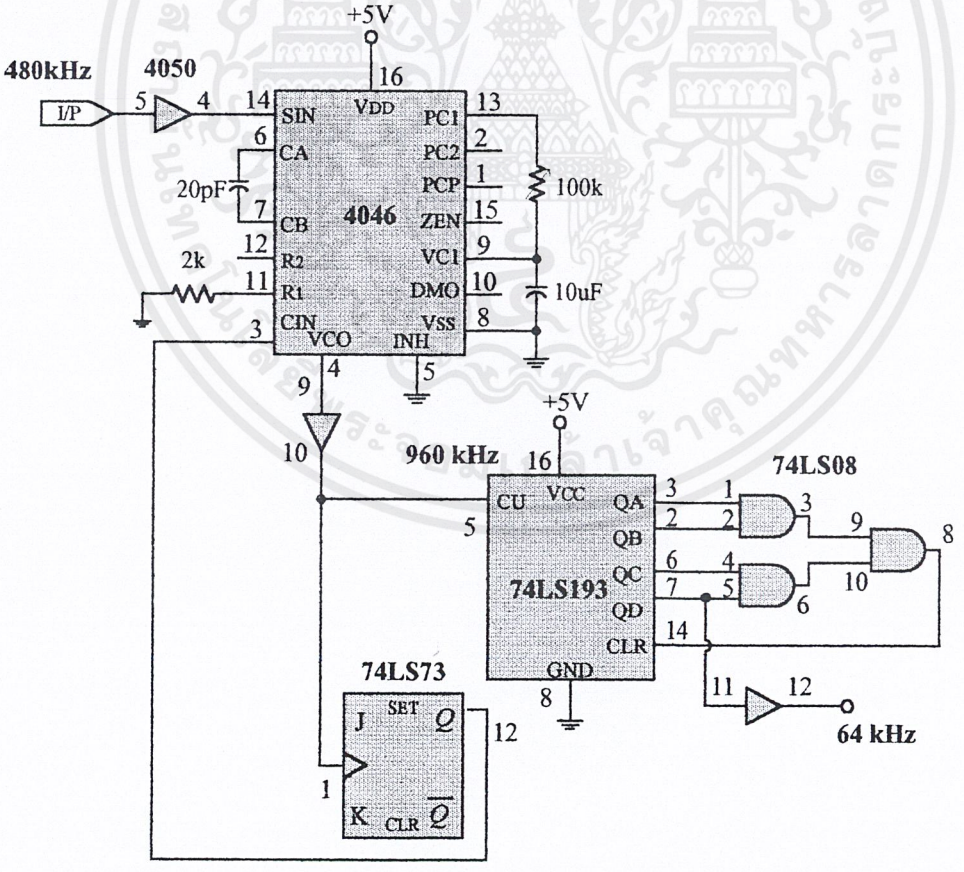
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.2.2 วงจรกรองความถี่ช่วง 480 kHz

เราใช้วงจร Positive feed back band – pass filter เนื่องจากเราต้องการความถี่ 480 kHz ซึ่งมีความสำคัญในการนำมารู้สัญญาณพาหะและกู้สัญญาณนาฬิกา ดังนั้นวงจร Positive feed back band – pass filter จะมีคุณสมบัติในการกรองความถี่ได้ช่วงแบนวิดธ์ แคบมากฉะนั้นเราจึงนำคุณสมบัตินี้มาใช้กรองความถี่ช่วง 480 kHz ทำการต่อแบบ Cascade จะได้วงจรดังรูปที่ 3.20 ทำการปรับความถี่โดยการเปลี่ยนค่าความต้านทานปรับค่าได้เพียงเล็กน้อยเพื่อความสะดวกในการออกแบบ

3.2.3 วงจรเฟสล็อกลูป

ในด้านภาครับนั้น มีวงจรเฟสล็อกลูปด้วยกัน 2 วงจร ในวงจรเฟสล็อกลูปที่ 1 นั้นเราต้องการสัญญาณทางด้านเอาท์พุต 64 kHz เพื่อนำมาเป็นสัญญาณนาฬิกาใช้ในการทริกสัญญาณข้อมูลออกไปหลักการของวงจรเฟสล็อกลูปวงจรที่ 1 คือเรานำสัญญาณ 480 kHz ทำการเปรียบเทียบทางเฟสที่ผ่านวงจร กรองความถี่ต่ำนำสัญญาณที่ได้ทำการปรับค่าความถี่ ให้เท่ากับความถี่ที่เข้ามา โดยวงจร VCO แต่ทางด้านเอาท์พุตของ VCO นั้นความถี่ที่ต้องการคือ 960 kHz แล้วทำการปรับค่าความถี่ได้นี้ลดลงโดยผ่านวงจรหาร 15 จะได้ความถี่ 64 kHz ที่ต้องการดังรูปที่ 3.21

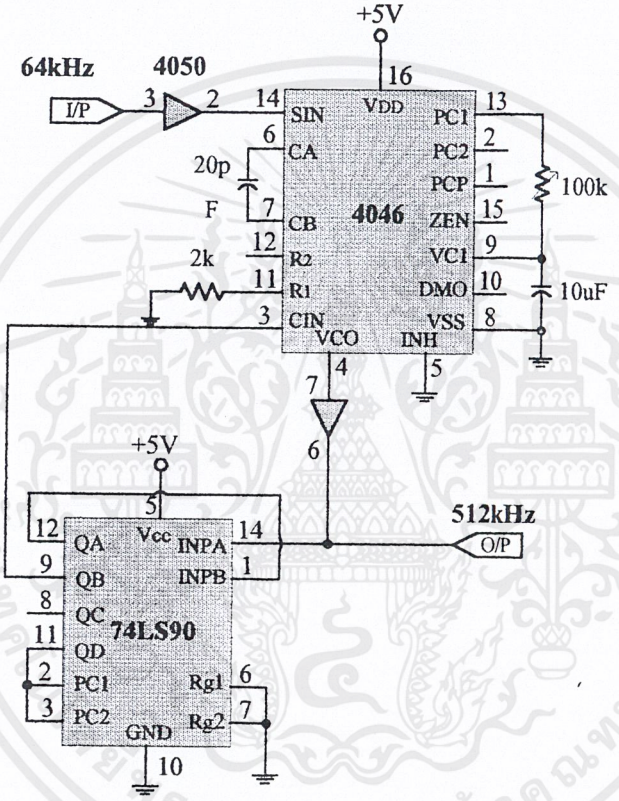


รูปที่ 3.21 วงจรเฟสล็อกลูปที่ 1 กู้สัญญาณนาฬิกา 64 kHz

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ส่วนของวงจรเฟสล็อกลูปวงจรที่ 2 นั้นเราใช้สำหรับกู้สัญญาณพาหะความถี่ 512 kHz เพื่อนำไปทำการดีเทคเตอร์สัญญาณจะได้สัญญาณพาหะ Sine wave 512 kHz ซึ่งจะต้องมีความถี่และเฟสมีค่าตรงกันกับทางด้านภาคส่งเพื่อจะได้การซิงโครไนเซชั่นถูกต้อง

หลักการออกแบบนั้นจะใช้หลักการของเฟสล็อกลูปทั่วๆ ไปที่ได้กล่าวแล้วในข้างต้นแต่จะเพิ่มเติมในบางส่วนคือ เรานำสัญญาณ 64 kHz จากเฟสล็อกลูปวงจรที่ 1 มาใช้เป็นสัญญาณอินพุตของวงจรเฟสล็อกลูปวงจรที่ 2 แต่สัญญาณเอาท์พุตของวงจร VCO นั้น เราต้องการ 512 kHz ดังนั้นทางด้านวงจรเปรียบเทียบเฟส 64 kHz จะมีการลดค่าความถี่ให้ได้ 64 kHz โดยใช้วงจรหาร 8 เท่าก็จะได้เอาท์พุตของ VCO มีค่าเท่ากับ 512 kHz พอดี ดังวงจรในรูปที่ 3.22

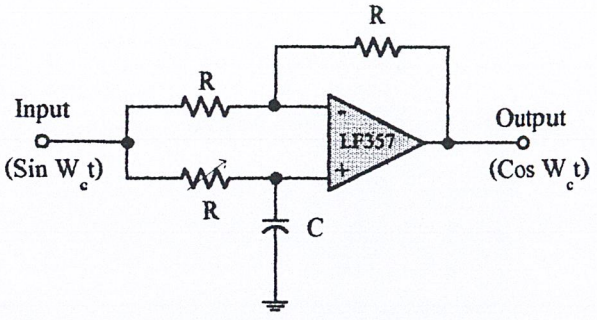


รูปที่ 3.22 วงจรเฟสล็อกลูปที่ 2 กู้สัญญาณพาหะ 512 kHz

3.2.4 วงจรเลื่อนเฟส 90 องศา

ในทางด้านภาครับนั้น เมื่อทำการกู้สัญญาณพาหะที่ใช้ในการดีมอดดูเลเตอร์ทางด้าน Imphase ซึ่งก็คือสัญญาณ Sine wave ได้แล้วนั้นในส่วนของทางด้าน Quadrature phase นั้นต้องนำสัญญาณ Cosine wave เป็นสัญญาณพาหะไปทำการดีมอดดูเลเตอร์อีกทางด้านด้วย ดังนั้นเมื่อได้สัญญาณ Sine wave แล้วต้องการสัญญาณ Cosine wave ต้องวงจรเลื่อนเฟส 90 องศา ซึ่งจะใช้วงจรกรองผ่านทุกความถี่ชนิด Vo ถ้าหลัง Vin เหมือนกับทางด้านส่งทุกประการ ดังวงจรรูปที่ 3.23

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

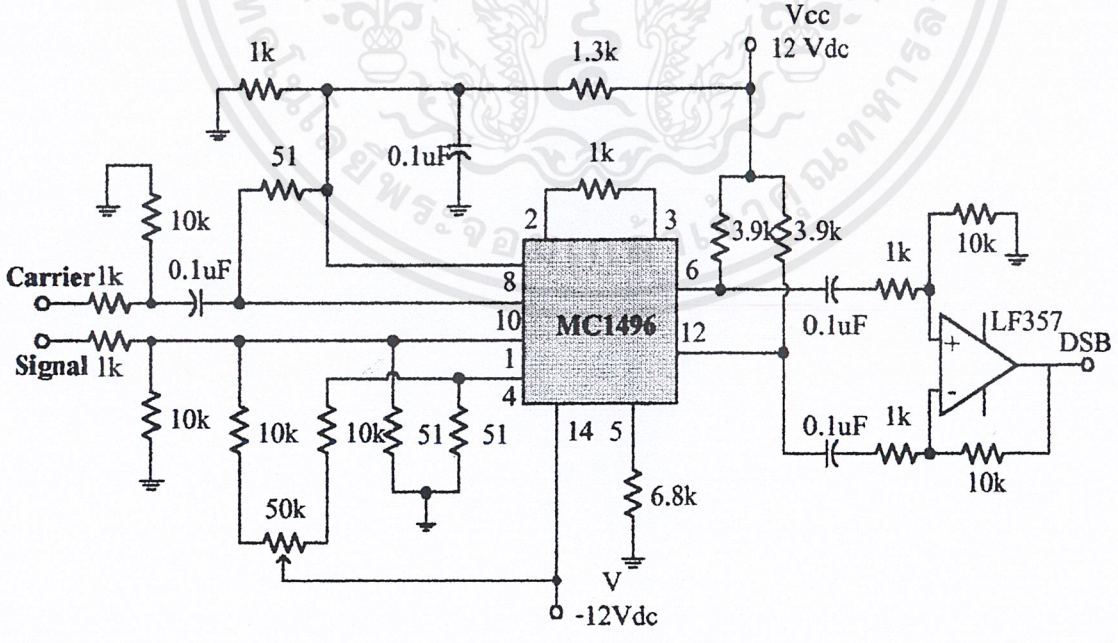


รูปที่ 3.23 วงจรเลื่อนเฟส 90 องศา

การออกแบบนั้นได้กล่าวไว้แล้วในส่วนการออกแบบและสร้างวงจรภาคส่งในหัวข้อวงจรเลื่อนเฟส 90 องศา

3.2.5 วงจรบาลานซ์ดีมอดดูเลเตอร์

ในทางด้านภาครับวงจรบาลานซ์ดีมอดดูเลเตอร์ (Balance Demodulator) จะได้ไอซี MC 1496 รูปแบบวงจรนั้นจะเหมือนกับวงจรบาลานซ์มอดดูเลเตอร์ทางด้านภาคส่ง เกือบทุกประการแต่จะต่างกันกับทางด้านส่งเพียงเล็กน้อย ดังแสดงไว้ในวงจรรูปที่ 3.24 และด้วยเหตุที่ว่าข้อมูลจะส่งมาแล้วแยกเป็น 2 ส่วนดังนั้นจะต้องใช้วงจรบาลานซ์ดีมอดดูเลเตอร์ 2 วงจร เพื่อทำการดีมอดดูเลท ทางด้าน Inphase และทางด้าน Quadrature phase แต่ทั้ง 2 วงจร เหมือนกันทุกประการต่างกันตรงสัญญาณ carrier ที่ทำการดีมอดดูเลททางด้าน Imphase เป็น Sine wave ส่วนทางด้าน Quadrature phase เป็น Cosine ซึ่งเป็นเอาท์พุตของวงจรเลื่อนเฟส 90 องศา ดังแสดงในวงจรรูปที่ 3.24



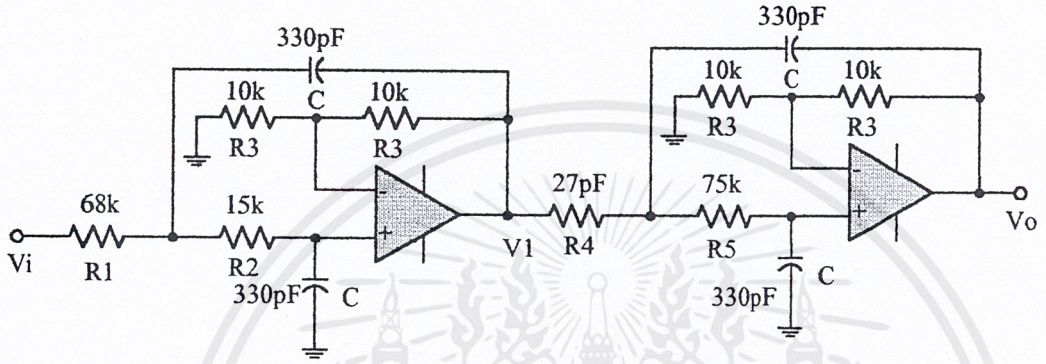
รูปที่ 3.24 วงจรบาลานซ์ดีมอดดูเลเตอร์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.2.6 วงจรกรองความถี่ต่ำ

เมื่อทำการดีมอดดูเลเตอร์ทั้ง 2 ด้าน แล้วสัญญาณเอาท์พุตทั้งสองวงจรนั้นจะประกอบด้วยสัญญาณที่เกิดจากการคูณกันของสัญญาณพาหะกับสัญญาณมอดูเลท และผลที่ได้จะมีสัญญาณความถี่สูงและสัญญาณความถี่ต่ำสัญญาณ 2 ระดับที่ต้องการนั้นอยู่ในรูปของสัญญาณความถี่ต่ำดังนั้น วงจรกรองความถี่ต่ำจะทำหน้าที่กรองเฉพาะสัญญาณความถี่ต่ำที่ต้องการเท่านั้น ส่วนสัญญาณความถี่สูงจะถูกตัดทิ้งไปเหลือเพียงสัญญาณ 2 ระดับในส่วนของความถี่ต่ำที่ต้องการเท่านั้น

ในส่วนการออกแบบนั้น เราใช้ความถี่คัทออฟที่ 16 kHz รูปแบบของวงจรแสดงในรูปที่ 3.25



รูปที่ 3.25 วงจรกรองความถี่ต่ำ

ในส่วนวงจรกรองความถี่ต่ำทั้ง 2 ด้านเหมือนกันทุกประการ

หลักการออกแบบ

1.) กำหนด Forth-order 0.1 dB Chebyshev-avtive 3 dB cutoff 16 kHz

2.) เลือกใช้ค่า C = 330 pF เลือกค่า α และ β จากตารางที่ 3.2

3.) หาค่า α' และ β' คำนวณหาค่าความต้านทาน R_1 และ R_2

ในส่วนที่ 1 $\alpha = 0.2177$, $f_c = 16$ kHz

$\beta = 0.9254$

$\alpha' = \alpha \times 2\pi fc = 0.2177 \times 2\pi \times 16 \times 10^3 = 21.885$ k

$\beta' = \beta \times 2\pi fc = 0.9254 \times 2\pi \times 16 \times 10^3 = 93.031$ k

$$R_1 = \frac{1}{2 \times \alpha' \times C}$$

$R_1 = 69.23\ k\Omega$

เลือกใช้ค่า $R_1 = 69\ k\Omega$

$$R_2 = \frac{2\alpha'}{C[\alpha'^2 + \beta'^2]}$$

$R_2 = 14.52\ k\Omega$

เลือกใช้ค่า $R_2 = 15\ k\Omega$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ในส่วนที่ 2 $\alpha = 0.5257$,fc = 16 kHz

$\beta = 0.3833$

$\alpha' = 52849\ k$

$\beta' = 38533\ k$

$$R_1 = \frac{1}{2 \times \alpha' \times C}$$

$R_1 = 28\ k\Omega$

เลือกใช้ค่า $R_1 = 28\ k\Omega$

$$R_2 = \frac{2\alpha'}{C[\alpha'^2 + \beta'^2]}$$

$R_2 = 74.8\ k\Omega$

เลือกใช้ค่า $R_2 = 75\ k\Omega$

11-20 Normalized Filter Design Tables

TABLE 11-23 0.1-dB Chebyshev Pole Locations

Order n	Real Part $-\alpha$	Imaginary Part $\pm j\beta$
2	0.6104	0.7106
3	0.3490	0.8684
	0.6979	
4	0.2177	0.9254
	0.5257	0.3833
5	0.3842	0.5884
	0.1468	0.9521
	0.4749	
6	0.3916	0.2590
	0.2867	0.7077
	0.1049	0.9667
7	0.3178	0.4341
	0.2200	0.7823
	0.0785	0.9755
	0.3528	
8	0.3058	0.1952
	0.2592	0.5558
	0.1732	0.8319
	0.06082	0.9812
9	0.2622	0.3421
	0.2137	0.6430
	0.1395	0.8663
	0.04845	0.9852
	0.2790	

ตารางที่ 3.2 0.1 dB Chebyshev

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การคำนวณในส่วนของวงจรกรองความถี่ต่ำตามรูปที่ 3.25 นั้นจะได้ว่า

node 1 $(V_1 - V_2)G_2 + V_1SC = 0$

$$V_2 = \left(\frac{G_2 + SC}{G_2}\right)V_1 \qquad \text{.....(1)}$$

node 2 $(V_1 - 0)G3 + (V_1 - Vo)G_3 = 0$

$$V_1 = \frac{Vo}{2} \qquad \text{.....(2)}$$

node 3 $(Vi - V_2)G_1 + (V_1 - V_2)G_2 + (V_{01} - V_2)SC = 0$

$$ViG_1 - V_2G_1 + V_1G_2 - V_2G_2 + V_{01}SC - V_2SC = 0$$

$$ViG_1 + V_1G_2 + V_{01}SC - (G_1 + G_2 + SC)V_2 = 0 \qquad \text{.....(3)}$$

แทน (2) ใน (1) จะได้ว่า

$$\left(\frac{G_2 + SC}{G_2}\right)\left(\frac{V_{01}}{2}\right) = V_2$$

$$V_2 = \frac{V_{01}(G_2 + SC)}{2G_2} \qquad \text{.....(4)}$$

แทนสมการที่ (2) และ (4) ในสมการ (3)

$$ViG_1 + \frac{V_{01}G_2}{2} + V_{01}SC - (G_1 + G_2 + SC)\frac{(G_2 + SC)V_{01}}{2G_2} = 0$$

$$ViG_1 = \left(\frac{G_1G_2 + G_2^{\,2} + G_2SC + G_1SC + G_2SC + S^2C^2}{2G_2} - SC - \frac{G_2}{2}\right)V_{01}$$

$$ViG_1 = \left(\frac{G_1G_2 + G_2^{\,2} + G_2SC + G_1SC + G_2SC + S^2C^2 + 2G_2SC - G_2^{\,2}}{2G_2}\right)V_{01}$$

$$\frac{V_{01}}{Vi} = \frac{2G_1G_2}{S^2C^2 + G_1SC + G_1G_2}$$

∴ จะได้ว่า

$$\frac{V_{01}}{Vi} = \frac{\dfrac{2G_1G_2}{C^2}}{S^2 + \dfrac{G_1}{C}S + \dfrac{G_1G_2}{C^2}} = \frac{\dfrac{2}{R_1R_2C^2}}{S^2 + \dfrac{1}{R_1C}S + \dfrac{1}{R_1R_2C^2}}$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ถ้าให้ $\frac{1}{R_1R_2C^2} = k_1$ จะได้ว่า $\frac{V_{01}}{Vi} = \frac{k_1}{S^2 + \frac{1}{R_1C}S + k_1}$

ในทำนองเดียวกันจะเห็นว่าที่ stage 2 ก็เหมือนกัน จะได้ว่า

$$\frac{V_o}{V_{01}} = \frac{\frac{2G_4G_5}{C^2}}{S^2 + \frac{G_4}{C}S + \frac{G_4G_5}{C^2}} = \frac{\frac{2}{R_4R_5C^2}}{S^2 + \frac{1}{R_4C}S + \frac{1}{R_4R_5C^2}}$$

ถ้าให้ $\frac{1}{R_4R_5C^2} = k_2$ จะได้ว่า $\frac{Vo}{V_{01}} = \frac{k_2}{S^2 + \frac{1}{R_4C}S + k_2}$

เพราะฉะนั้นเราสามารถหาค่าของ $\frac{Vo}{Vi}$ ได้ดังนี้

$$\frac{Vo}{Vi} = \left(\frac{V_{01}}{Vi}\right)\left(\frac{Vo}{V_{01}}\right) = \frac{k_1}{\left(S^2 + \frac{1}{R_1C}S + k_1\right)} \times \frac{k_2}{\left(S^2 + \frac{1}{R_4C}S + k_2\right)}$$

$$\frac{Vo}{Vi} = \frac{k_1k_2}{S^4 + \frac{1}{R_4C}S^3 + k_2S^2 + \frac{1}{R_1C}S^3 + \frac{1}{R_1R_4C^2}S^2 + \frac{k_2}{R_1C}S + k_1S^2 + \frac{k_1}{R_4C}S + k_1k_2}$$

$$\frac{Vo}{Vi} = \frac{k_1k_2}{S^4 + \left(\frac{1}{R_4C} + \frac{1}{R_1C}\right)S^3 + \left(\frac{1}{R_1R_4C^2} + k_1 + k_2\right)S^2 + \left(\frac{k_2}{R_1C} + \frac{k_1}{R_4C}\right)S + k_1k_2}$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

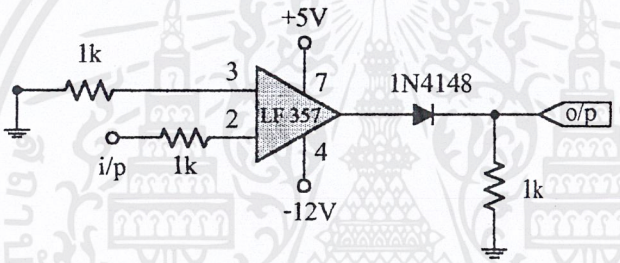
3.2.7 วงจรแปลงสัญญาณ 2 ระดับเป็น 1 บิต

เมื่อเราทำการกรองเอาเฉพาะความถี่ที่ต้องการได้แล้ว ต่อไปต้องนำสัญญาณนั้นมาทำการแยกระดับสัญญาณต่างๆ เป็น 2 ระดับเหมือนกันกับสัญญาณก่อนเข้าบาลานซ์มอดดูเลเตอร์ทางด้านส่งระดับสัญญาณที่ได้แสดงดังตารางที่ 3.3

Input [V]	Output [V]	Gray code
+4.5	5	1
-4.5	0	0

ตารางที่ 3.3 ระดับสัญญาณ 2 ระดับ

ในส่วนของการทำระดับสัญญาณ 2 ระดับ เป็นระดับ 0 กับ 1 นั้นเราใช้วงจรคอมพาราเตอร์ จะทำการจัดระดับสัญญาณเป็น 1 ที่ระดับ +5 V และทำการจัดระดับสัญญาณ 0 ที่ระดับ –12 V ดังแสดงในรูปที่ 3.26



รูปที่ 3.26 วงจรคอมพาราเตอร์

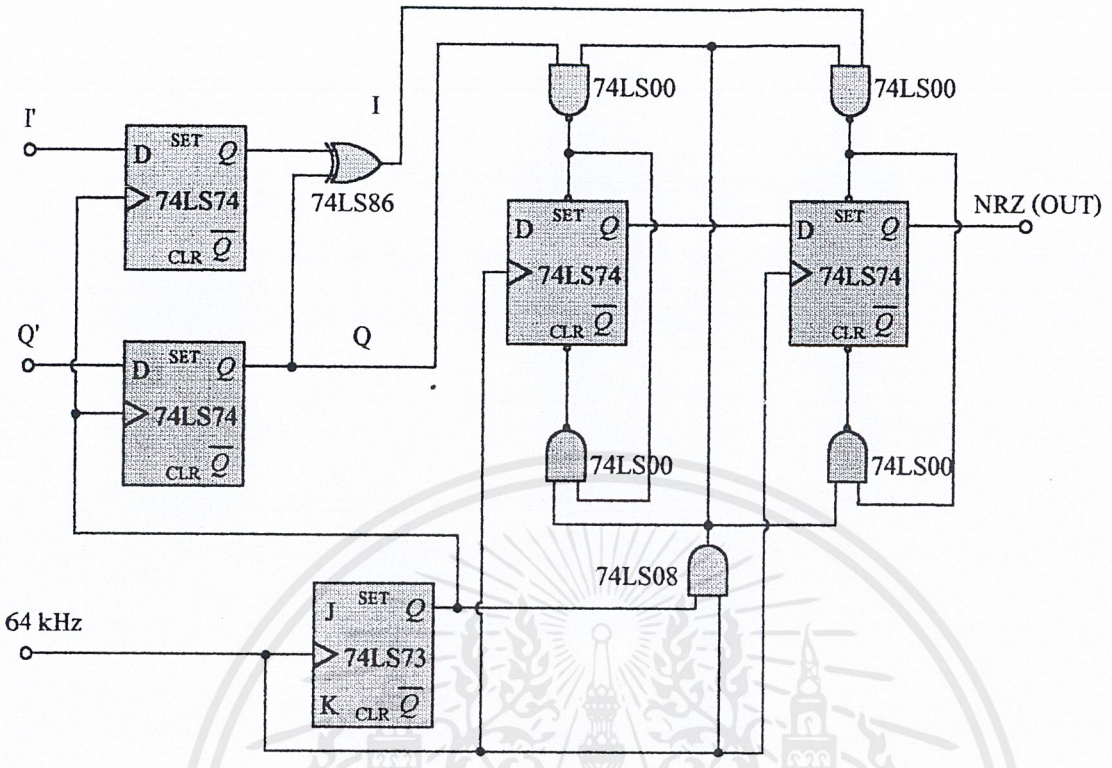
3.2.8 วงจรรวมสัญญาณดิจิตอล

เป็นวงจรที่มีลักษณะและหน้าที่การทำงานตรงกันข้ามกับวงจรแยกสัญญาณดิจิตอลทางด้านภาคส่ง เพื่อทำหน้าที่รวมสัญญาณดิจิตอลทาด้าน Imphase และ Quadrature phase จากสัญญาณแบบขนานไปเป็นสัญญาณดิจิตอลแบบอนุกรม โดยทำการควบคุมจังหวะการทำงานของฟลิปฟลอปจากสัญญาณนาฬิกาที่ได้มาจากการกู้สัญญาณนาฬิกา

แต่ต้องทำการแปลง Gray code เป็น Binary code ก่อนเพราะทางด้านส่งได้ทำการแปลงจาก Binary code เป็น Gray code ส่งมา เพื่อป้องกันการผิดพลาดโดยใช้ Exclusive-OR gate

วงจรหน่วงเวลา 2 บิต นั้นจะเป็นตัวควบคุมจังหวะการทำงานของขา Preset และขา Clear ของ D ฟลิปฟลอป ส่งข้อมูลเฉพาะสัญญาณนาฬิกาลูกแรกเท่านั้น จึงใช้ NAND gate ในการบังคับ D ฟลิปฟลอป หลักการดังกล่าวเป็นหลักการของวงจรแปลงจากขนานไปเป็นอนุกรม วงจรนี้ได้ทำการทดลองเป็นดังรูปที่ 3.27

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

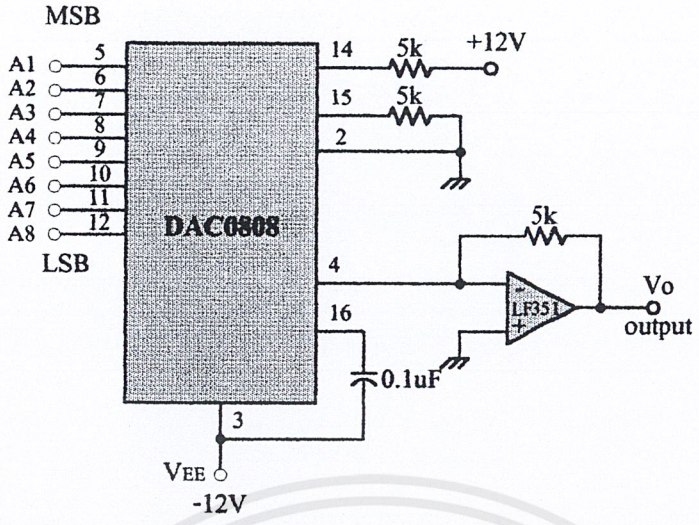


รูปที่ 3.27 วงจรรวมสัญญาณดิจิตอล

3.2.9 วงจรแปลงสัญญาณดิจิตอลเป็นสัญญาณอะนาลอก

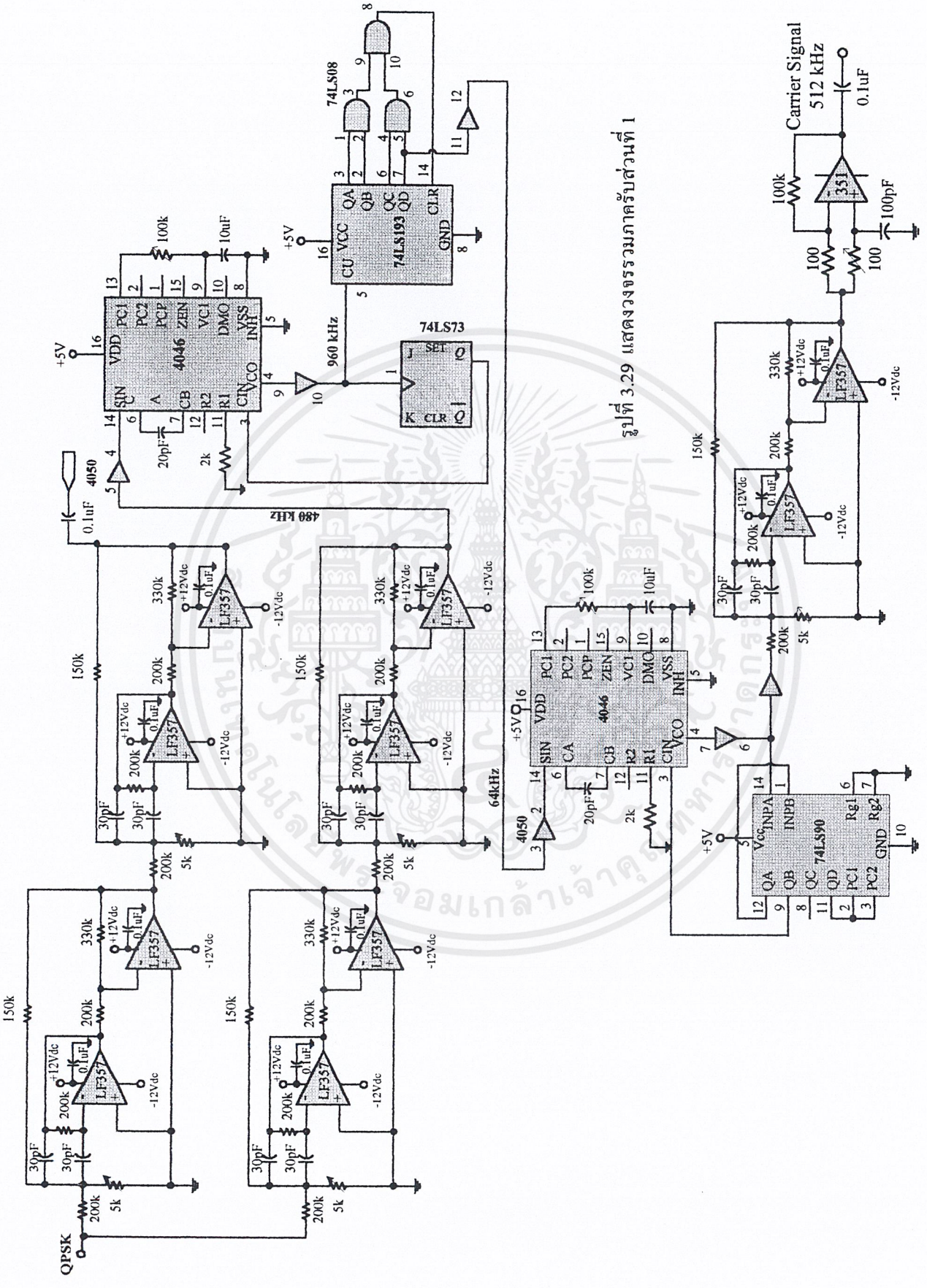
เนื่องจากทางด้านอินพุต สัญญาณอาจจะเป็นได้ทั้งสัญญาณสัญญาณอะนาลอกและสัญญาณดิจิตอล ซึ่งในกรณีของสัญญาณที่เป็นอะนาลอก ทางภาคส่งจะมีการแปลงจากสัญญาณอะนาลอกเป็นสัญญาณดิจิตอล โดยใช้ตัวแปลงสัญญาณอะนาลอกเป็นดิจิตอล หรือ เอทูดี แต่เมื่อสัญญาณรับได้ที่ภาครับและพร้อมที่จะออกไปยังเอาท์พุต จำเป็นที่จะต้องแปลงกลับมาเป็นสัญญาณอะนาลอกดังเดิมเพื่อนำไปใช้ประโยชน์ต่อไป ดังนั้นจึงต้องมีวงจรเพื่อมาทำการแปลงสัญญาณในส่วนนี้ คือ วงจรแปลงสัญญาณดิจิตอลเป็นสัญญาณอะนาลอก หรือ ดีทูเอ ซึ่งในที่นี้จะใช้เป็นดีทูเอ ไอซีเบอร์ DAC0808 ซึ่งเป็นดีทูเอขนาด 8 บิต และใช้โวลเตทอ้างอิง 12 โวลต์ โดยแสดงดังรูปที่ 3.28

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



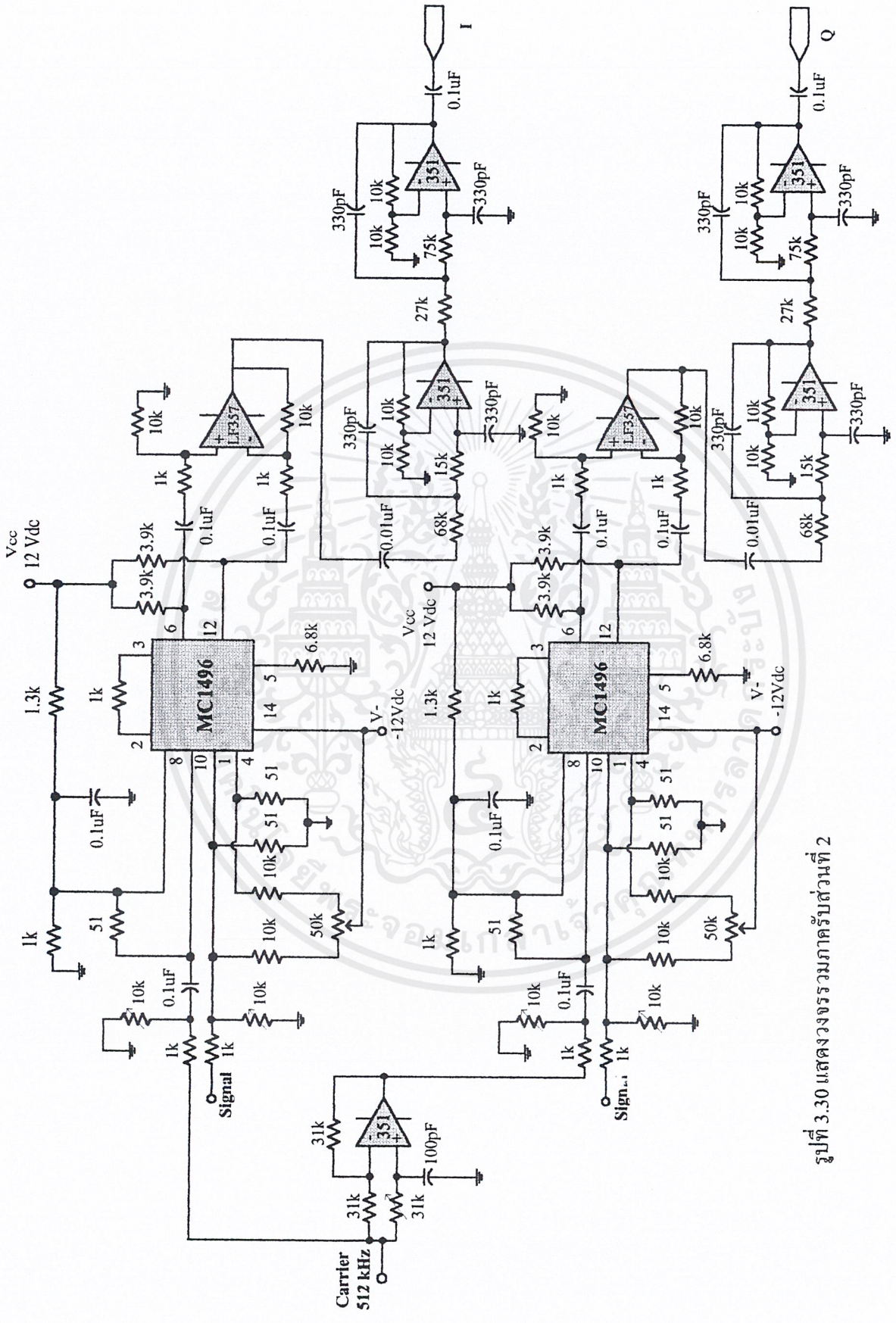
รูปที่ 3.28 แสดงวงจรแปลงสัญญาณดิจิตอลเป็นสัญญาณอะนาลอก

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



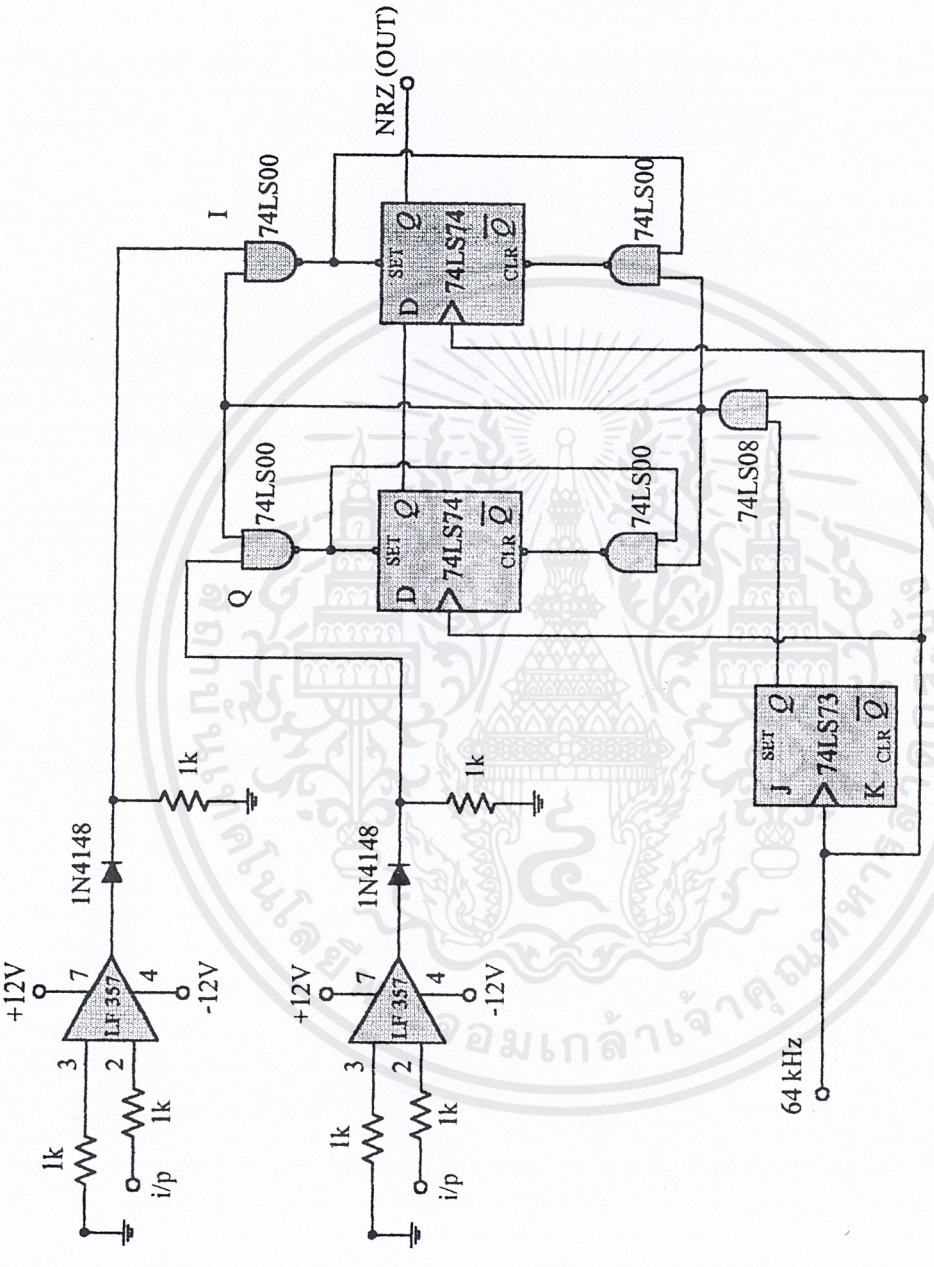
รูปที่ 3.29 แสดงวงจรรวมภาครับส่วนที่ 1

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.30 แสดงวงจรรวมภาครับส่วนที่ 2

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.31 แสดงวงจรรวมภาครับส่วนที่ 3

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 4

การทดลองและผลการทดลอง

<u>การทดสอบวงจรส่วนภาคส่ง</u>

4.1 การทดสอบวงจรผลิตสัญญาณความถี่ 64 kHz

วัตถุประสงค์ : เพื่อให้ทราบลักษณะการทำงานของวงจรซึ่งนำมาใช้ผลิตสัญญาณโดยใช้คริสตอลต่อกับไอซีเบอร์ 4060 พร้อมทั้งศึกษาถึงลักษณะของสัญญาณที่วัดออกมาได้จากวงจรดังกล่าว

4.1.1 <u>ขั้นตอนการทดลอง</u>

1.) ต่อวงจรผลิตสัญญาณความถี่ 64 kHz ดังรูปที่ 3.14 โดยใช้คริสตอล (X-TAL) ต่อกับไอซีเบอร์ 4060

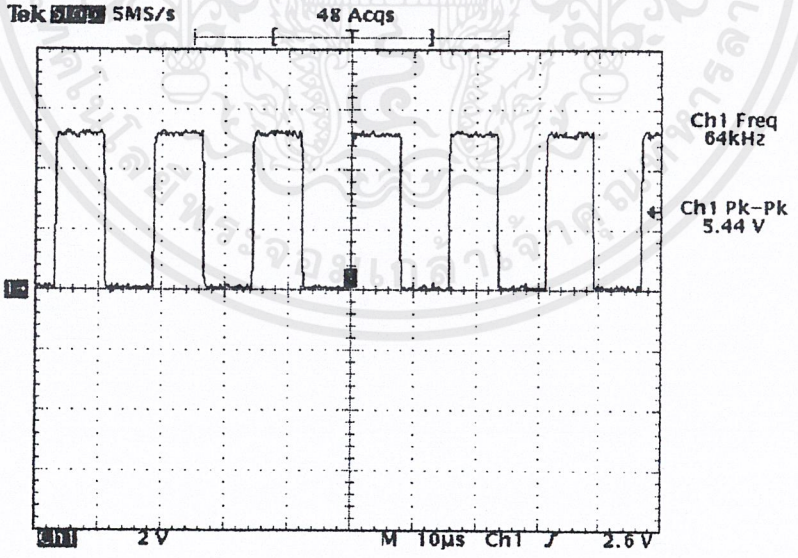
2.) ป้อนสัญญาณไฟเลี้ยง 5 Vdc เข้าที่ขา 16 ซึ่งเป็นขาของ Vcc ของไอซีเบอร์ 4060

3.) วัดสัญญาณที่ขาต่างๆ ของไอซีเบอร์ 4060

4.) สังเกตผลการทดลอง ลักษณะของสัญญาณที่ได้ ตลอดจนความถี่ของสัญญาณ พร้อมทั้งบันทึกผลการทดลอง

4.1.2 <u>ผลการทดลอง</u>

สัญญาณที่วัดได้ที่ขาต่างๆ ของไอซีเบอร์ 4060 มีลักษณะเป็นสัญญาณคลื่นสี่เหลี่ยม (Square Wave) โดยมีความถี่ที่แตกต่างกันออกไป ซึ่งขาที่ 4 ของไอซีเบอร์ 4060 เราสามารถวัดสัญญาณได้ความถี่ 64 kHz และมีขนาดสัญญาณ 5.44 Vp-p ลักษณะของสัญญาณที่ได้แสดงดังรูปที่ 4.1



รูปที่ 4.1 สัญญาณคลื่นสี่เหลี่ยมที่ได้จากวงจรผลิตสัญญาณความถี่ 64 kHz

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4.1.3 สรุปผลการทดลอง

วงจรผลิตสัญญาณโดยการต่อคริสตอลกับไอซีเบอร์ 4060 สามารถที่จะทำการกำเนิดสัญญาณคลื่นความถี่ต่างๆได้ ซึ่งขาที่ 4 ของไอซีเบอร์ 4060 จะให้กำเนิดสัญญาณที่ความถี่ 64 kHz ที่มีเสถียรภาพค่อนข้างสูง โดยคลื่นที่ผลิตออกมาเป็นสัญญาณคลื่นสี่เหลี่ยม ซึ่งนำไปใช้เป็นสัญญาณนาฬิกาอ้างอิงของวงจรส่วนอื่นๆ ต่อไปได้

4.2 การทดสอบวงจรกำเนิดข้อมูลขนาดความเร็ว 64 kbps

เนื่องจากเครื่องรับ-ส่ง 4 ช่องสัญญาณแบบ QPSK สามารถรับสัญญาณที่เข้าเป็นสัญญาณดิจิตอลหรือสัญญาณอนาล็อกก็ได้ โดยสัญญาณดิจิตอลที่ใช้ในการทดสอบสร้างจากวงจรให้กำเนิดข้อมูลขนาดความเร็ว 64 kbps ขึ้น โดยใช้ไอซี 74LS165 ซึ่งทำงานเป็น Parallel – Load 8 Bit Shift Register ดังรูปที่ 3.15 ซึ่งข้อมูลที่โหลดเข้ามาทดสอบสามารถกำหนดได้ โดยการปรับสวิตซ์สัญญาณนาฬิกาที่ใช้ เลื่อนข้อมูล 64 kHz

วัตถุประสงค์ : เพื่อทำการศึกษาการทำงานและลักษณะของสัญญาณที่ได้จากวงจรกำเนิดสัญญาณข้อมูลขนาดความเร็ว 64 kbps

4.2.1 ขั้นตอนการทดลอง

1.) ต่อวงจรกำเนิดสัญญาณข้อมูลขนาดความเร็ว 64 kbps โดยใช้ไอซีเบอร์ 74LS165 ดังรูปที่ 3.15

2.) กำหนดลักษณะของข้อมูลที่จะป้อนไปเพื่อทำการทดสอบในวงจรส่วนอื่นๆ โดยในที่นี้จะกำหนดข้อมูลที่ส่งเป็น “1 0 1 1 1 0 0 1” การกำหนดในส่วนนี้สามารถจะกำหนดเป็นรหัสใดๆ ก็ได้โดยสามารถกำหนดได้ 8 บิต ซึ่งทำได้โดยถ้าต้องการจะให้เป็นรหัส “0” ทำได้โดยการสับสวิตซ์ต่อลงกราวน์ ถ้าต้องการรหัส “1” ทำได้โดยไม่ต้องต่อสวิตซ์ลงกราวน์

3.) จ่ายไฟเลี้ยง 5 Vdc ให้กับวงจรโดยเข้าที่ขา 16 ของไอซีเบอร์ 74LS165 และป้อนสัญญาณนาฬิกา 64 kHz ที่สร้างได้จากวงจรในส่วนแรกเข้าที่ขา 2 ของไอซีเบอร์ 74LS165

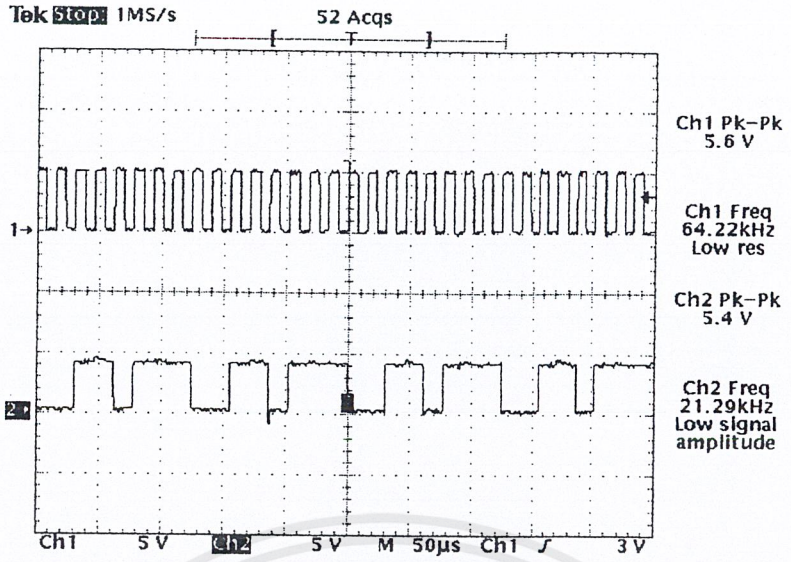
4.) วัดสัญญาณเอาท์พุทที่ขา 9 ของไอซีเบอร์74LS165 โดยเปรียบเทียบกับสัญญาณนาฬิกา64 kHz

5.) สังเกตลักษณะของสัญญาณที่ได้จากออสซิลโลสโคป พร้อมทั้งบันทึกผลการทดลอง

4.2.2 ผลการทดลอง

สัญญาณที่วัดได้มีลักษณะเป็นข้อมูลแบบอนุกรม (Serial) ติดต่อกันไป โดยมีขนาดของสัญญาณเป็น 5.4 Vp-p และมีรหัสของข้อมูลเป็นไปตามที่เรากำหนดคือ “1 0 1 1 1 0 0 1” และจะซ้ำกันไปเช่นนี้ทุกๆ 8 บิตของข้อมูล ดังรูปที่ 4.2 โดย CH1 ของกราฟเป็นสัญญาณนาฬิกาอ้างอิง 64 kHz ส่วน CH2 ของกราฟเป็นสัญญาณข้อมูล “1 0 1 1 1 0 0 1” ที่เรากำหนดขึ้นมา

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.2 สัญญาณข้อมูลที่เรากำหนดขึ้น เปรียบเทียบกับสัญญาณนาฬิกา 64 kHz

CH 1 สัญญาณนาฬิกาอ้างอิง 64 kHz

CH 2 สัญญาณข้อมูล "1 0 1 1 1 0 0 1"

4.2.3 สรุปผลการทดลอง

วงจรกำเนิดข้อมูลสามารถสร้างข้อมูลที่แตกต่างกัน โดยการกำหนดของผู้ใช้งาน สัญญาณที่ออกมามีลักษณะเป็นข้อมูลอนุกรม ซึ่งมีอัตราเร็วในการส่งข้อมูล เท่ากับสัญญาณนาฬิกาที่ป้อนให้กับวงจร ในที่นี้ก็คือ 64 kbps

4.3 การทดสอบวงจรกำเนิดสัญญาณคลื่นพาหะความถี่ 512 kHz

วัตถุประสงค์ : เพื่อทำการศึกษาการทำงานของวงจรกำเนิดสัญญาณความถี่ ซึ่งสร้างจากไอซีเบอร์ 4046 ซึ่งทำหน้าที่เป็นเฟสล็อกลูป และศึกษาคุณลักษณะ (Characteristic) ของวงจรฟิลเตอร์ที่นำมาใช้ในการกรองสัญญาณสี่เหลี่ยมให้เป็นสัญญาณคลื่นไซน์

โดยจะพิจารณาผลการทดลองของวงจรแยกเป็น 2 ส่วน คือ ส่วนของวงจรเฟสล็อกลูปซึ่งใช้ไอซีเบอร์ 4046 และส่วนของวงจรกรองความถี่ (ฟิลเตอร์)

4.3.1 การทดสอบวงจรเฟสล็อกลูปโดยใช้ไอซีเบอร์ 4046

4.3.1.1 ขั้นตอนการทดลอง

1.) ทำการต่อวงจรเฟสล็อกลูปโดยใช้ไอซีเบอร์ 4046 ต่อกับวงจรหารความถี่ด้วย 8 ซึ่งใช้ไอซีเบอร์ 74LS90 ดังรูปที่ 3.11

2.) ป้อนสัญญาณคลื่นสี่เหลี่ยมซึ่งเป็นสัญญาณนาฬิกาอ้างอิง 64 kHz ที่ได้จากวงจรในส่วนแรก เข้าที่ขา 14 ของไอซีเบอร์ 4046

3.) ป้อนไฟเลี้ยง 5 Vdc เข้าที่ขา 16 ของไอซีเบอร์ 4046 และเข้าที่ขา 5 ของไอซีเบอร์ 74LS90

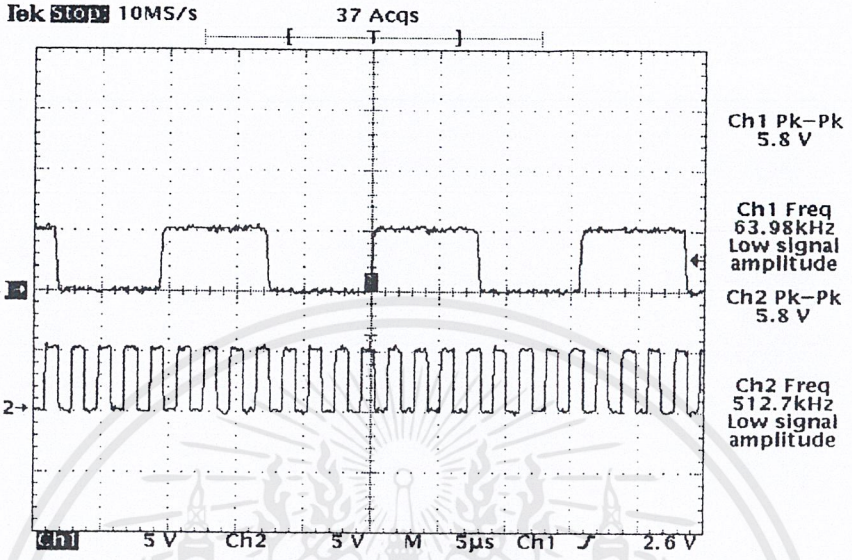
4.) วัดสัญญาณเอาท์พุทที่ขา 4 ซึ่งเป็นขา VCO ของไอซีเบอร์ 4046

5.) สังเกตและบันทึกผลการทดลอง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4.3.1.2 ผลการทดลอง

สัญญาณเอาท์พุทที่วัดได้ขา 4 ของไอซีเบอร์ 4046 ได้สัญญาณคลื่นสี่เหลี่ยมซึ่งมีความถี่ 512.7 kHz และมีขนาดสัญญาณ 5.8 Vp-p ดังรูปที่ 4.3



รูปที่ 4.3 สัญญาณที่ป้อนเข้าอินพุทและสัญญาณที่ผลิตได้ที่ขา VCO ของไอซีเบอร์ 4046

CH 1 สัญญาณนาฬิกาที่ป้อนเข้าอินพุทขา 14

CH 2 สัญญาณที่ผลิตได้ที่เอาท์พุท VCO ขา 4

4.3.1.2 สรุปผลการทดลอง

วงจรเฟสล็อกลูปซึ่งใช้ไอซีเบอร์ 4046 สามารถผลิตความถี่พาหะ 512 kHz ได้ โดยสัญญาณที่ได้นั้นจะเป็นคลื่นสี่เหลี่ยม แต่ความต้องการของวงจร ต้องการสร้างคลื่นไซน์เพื่อนำไปสู่ภาคมอดดูเลตต่อไป ซึ่งเราจำเป็นที่จะต้องแปลงจากคลื่นสี่เหลี่ยมเป็นคลื่นไซน์โดยใช้วงจรฟิลเตอร์

4.3.2 การทดสอบวงจรกรองความถี่ผ่าน

4.3.2.1 ขั้นตอนการทดลอง

1.) ต่อวงจรกรองความถี่ผ่านย่าน 512 kHz แบบ Positive Feedback Band Pass Filter ดังรูปที่ 3.7

2.) จากการคำนวณทางทฤษฎีพบว่าถ้าต้องการความถี่กลางที่ 512 kHz ต้องปรับค่าตัวต้านทานปรับค่าได้ (Rv) ให้มีค่า 540.15 โอห์ม ดังนั้นปรับค่า Rv เป็น 540.15 โอห์ม

3.) เนื่องจากเป็นแอกทีฟฟิลเตอร์ ดังนั้น ป้อนไฟเลี้ยง 12 Vdc เข้าที่ขา 7 และไฟเลี้ยง -12 Vdc เข้าที่ขา 4 ของออปแอมป์เบอร์ LF357

4.) ป้อนสัญญาณคลื่นไซน์ขนาด 1 Vp-p ที่ความถี่ค่าต่างๆ ตั้งแต่ 10 kHz และเพิ่มค่าขึ้นเรื่อยๆ เพื่อดูคุณลักษณะของฟิลเตอร์ พร้อมทั้งบันทึกค่าโวลเตทที่วัดได้ที่เอาท์พุตของวงจรกรองความถี่ที่ความถี่ค่าต่างๆ

5.) สังเกตผลการทดลองที่ได้ พร้อมทั้งพล็อตกราฟแสดงคุณลักษณะของวงจรฟิลเตอร์

6.) เปลี่ยนจากการป้อนสัญญาณไซน์ เป็นการป้อนสัญญาณคลื่นสี่เหลี่ยมที่ความถี่ 512 kHz เข้าที่อินพุทของฟิลเตอร์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

7.) สังเกตสัญญาณที่วัดได้ที่เอาท์พุทของฟิลเตอร์ พร้อมทั้งบันทึกผลการทดลอง

4.3.2.2 ผลการทดลอง

สัญญาณที่วัดได้ที่ความถี่ค่าต่างๆ มีลักษณะเป็นสัญญาณคลื่นไซน์ โดยมีขนาดของสัญญาณแสดงดังตารางที่ 4.1

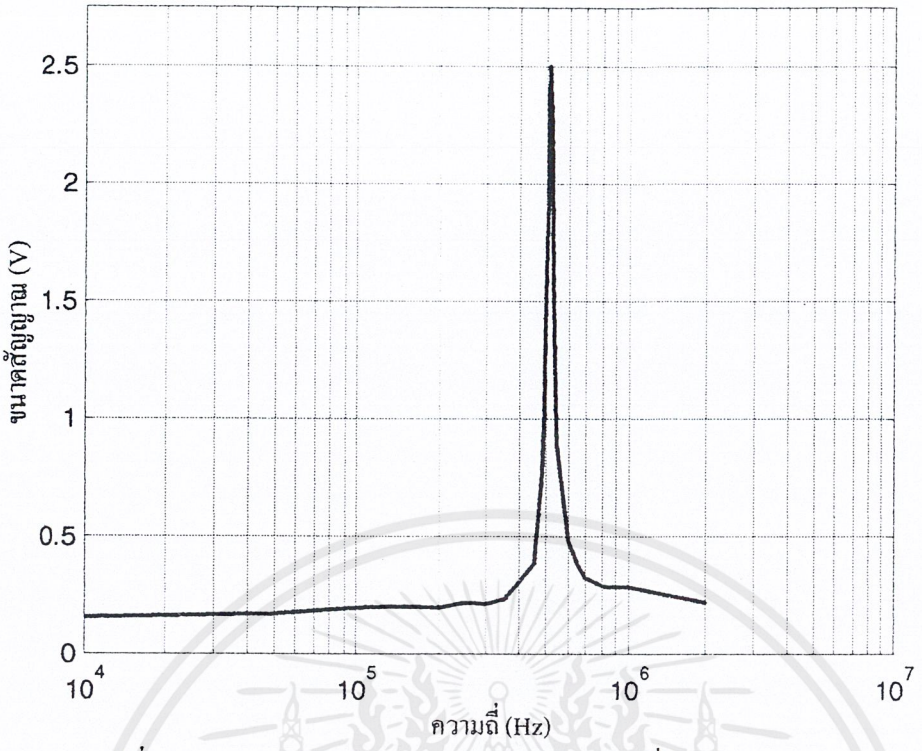
ความถี่ (kHz)	voltage ที่วัดได้ (mV)	ความถี่ (kHz)	voltage ที่วัดได้ (mV)	ความถี่ (kHz)	Voltage ที่วัดได้ (mV)
10	153.1	500	1.516 V	700	318.8
50	171.9	505	1.937 V	750	306.3
100	193.8	510	2.375 V	800	293.8
150	200.0	511	2.438 V	850	281.3
200	193.8	512	2.500 V	900	281.3
250	218.8	513	2.500 V	950	281.3
300	206.2	514	2.500 V	1 MHz	281.3
350	231.2	515	2.469 V	2 MHz	218.8
400	309.4	520	2.250 V		
450	387.5	530	1.594 V		
460	475.0	540	1.141 V		
470	568.7	550	890.6		
480	765.6	600	487.5		
490	1.031 V	650	381.3		

ตารางที่ 4.1 ค่า Voltage ที่วัดได้ที่ค่าความถี่ต่างๆ ของวงจรกรองความถี่ผ่าน 512 kHz

จากค่าของข้อมูลในตารางที่ 4.1 สามารถนำมาพล็อตเป็นกราฟเพื่อศึกษาคุณลักษณะของวงจรกรองความถี่ผ่านได้ดังรูปที่ 4.4

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

กราฟคุณลักษณะของวงจรกรองความถี่ 512 kHz



รูปที่ 4.4 แสดงกราฟคุณลักษณะของวงจรกรองความถี่ผ่านย่าน 512 kHz

4.3.2.3 สรุปผลการทดลอง

จากกราฟแสดงคุณลักษณะของวงจรกรองความถี่ จะเห็นว่าเป็นวงจรกรองความถี่ช่วงผ่าน (Band Pass Filter) โดยมีค่าความถี่กลางประมาณ 512 kHz จะเห็นว่ากราฟคุณลักษณะมีความคมค่อนข้างสูงมากซึ่งจากการออกแบบจะใช้ค่า Q (ค่าอัตราส่วนความถี่กลางต่อแบนด์วิดท์) ประมาณ 40 เนื่องจากต้องการความถี่ที่เป็นสัญญาณคลื่นไซน์โดยไม่มีฮาร์โมนิคอื่นๆ มาปนด้วยมาใช้เป็นสัญญาณคลื่นพาหะซึ่งต้องการความถูกต้องสูง โดยดูได้จากการที่ป้อนสัญญาณคลื่นสี่เหลี่ยมซึ่งประกอบด้วยคลื่นไซน์หลายๆ ความถี่ หรือมีฮาร์โมนิคต่างๆ แต่วงจรจะเลือกกรองเฉพาะในส่วนความถี่ 512 kHz ทำให้สัญญาณที่ออกเอาท์พุทเป็นลักษณะเป็นคลื่นไซน์ที่ความถี่ 512 kHz

4.4 การทดสอบวงจรกำเนิดสัญญาณนำร่อง 480 kHz

วัตถุประสงค์ : เพื่อทำการศึกษาการทำงานของวงจรกำเนิดสัญญาณนำร่อง ซึ่งสร้างจากไอซีเบอร์ 4046 ซึ่งทำหน้าที่เป็นเฟสล็อกลูป และศึกษาคุณลักษณะ (Characteristic) ของวงจรฟิลเตอร์ที่นำมาใช้ในการกรองสัญญาณสี่เหลี่ยมให้เป็นสัญญาณคลื่นไซน์

โดยจะพิจารณาผลการทดลองของวงจรแยกเป็น 2 ส่วน คือ ส่วนของวงจรเฟสล็อกลูปซึ่งใช้ไอซีเบอร์ 4046 และส่วนของวงจรกรองความถี่ (ฟิลเตอร์)

4.4.1 การทดสอบวงจรเฟสล็อกลูปโดยใช้ไอซีเบอร์ 4046

4.4.1.1 ขั้นตอนการทดลอง

1.) ทำการต่อวงจรเฟสล็อกลูปโดยใช้ไอซีเบอร์ 4046 ต่อกับวงจรหารความถี่ด้วย 15 ซึ่งใช้ไอซีเบอร์ 74LS193 และไอซีเบอร์ 74LS08 ดังรูปที่ 3.12

2.) ป้อนสัญญาณคลื่นสี่เหลี่ยมซึ่งเป็นสัญญาณนาฬิกาอ้างอิง 32 kHz เข้าที่ขา 14 ของไอซีเบอร์ 4046

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

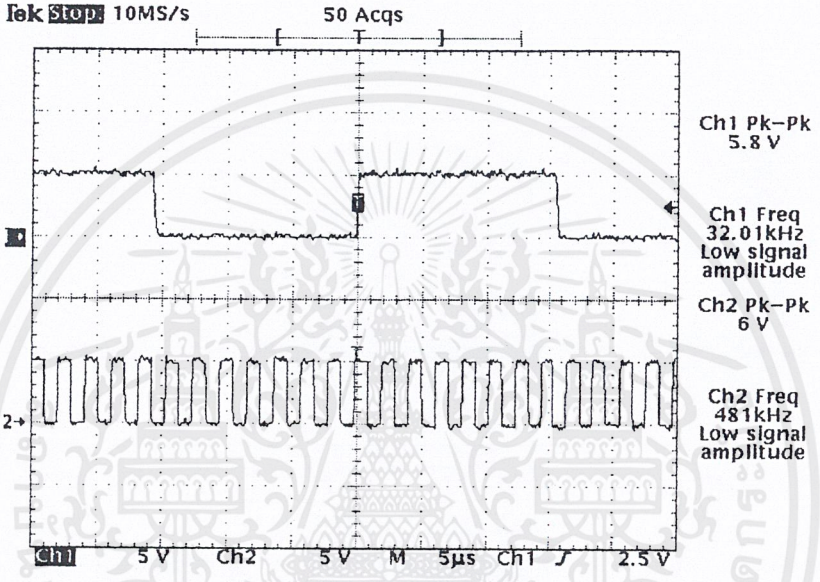
3.) ป้อนไฟเลี้ยง 5 Vdc เข้าที่ขา 16 ของไอซีเบอร์ 4046 , 74LS193 และเข้าที่ขา 14 ของไอซีเบอร์ 74LS08

4.) วัดสัญญาณเอาท์พุทที่ขา 4 ซึ่งเป็นขา VCO ของไอซีเบอร์ 4046

5.) สังเกตและบันทึกผลการทดลอง

4.4.1.2 ผลการทดลอง

สัญญาณเอาท์พุทที่วัดได้ขา 4 ของไอซีเบอร์ 4046 ได้สัญญาณคลื่นสี่เหลี่ยมซึ่งมีความถี่ 481 kHz และมีขนาดสัญญาณ 6 Vp-p ดังรูปที่ 4.5



รูปที่ 4.5 สัญญาณที่ป้อนเข้าอินพุทและสัญญาณที่ผลิตได้ที่ขา VCO ของไอซีเบอร์ 4046

CH 1 สัญญาณนาฬิกาที่ป้อนเข้าอินพุทขา 14

CH 2 สัญญาณที่ผลิตได้ที่เอาท์พุท VCO ขา 4

4.4.1.3 สรุปผลการทดลอง

วงจรเฟสล็อกลูปซึ่งใช้ไอซีเบอร์ 4046 สามารถผลิตสัญญาณนำร่องความถี่ 480 kHz ได้ โดยสัญญาณที่ได้นั้นจะเป็นคลื่นสี่เหลี่ยม แต่ความต้องการของวงจร ต้องการสร้างคลื่นไซน์เพื่อส่งไปยังภาครับเพื่อใช้เป็นสัญญาณอ้างอิงในการสร้างสัญญาณคลื่นพาหะที่ภาครับ ซึ่งเราจำเป็นที่จะต้องแปลงจากคลื่นสี่เหลี่ยมเป็นคลื่นไซน์โดยใช้วงจรฟิลเตอร์

4.4.2 การทดสอบวงจรกรองความถี่ผ่าน

4.4.2.1 ขั้นตอนการทดลอง

1.) ต่อวงจรกรองความถี่ผ่านย่าน 480 kHz แบบ Positive Feedback Band Pass Filter ดังรูปที่ 3.7

2.) จากการคำนวณทางทฤษฎีพบว่าถ้าต้องการความถี่กลางที่ 480 kHz ต้องปรับค่าตัวต้านทานปรับค่าได้ (Rv) ให้มีค่า 615.26 โอห์ม ดังนั้นปรับค่า Rv เป็น 615.26 โอห์ม

3.) เนื่องจากเป็นแอกทีฟฟิลเตอร์ ดังนั้น ป้อนไฟเลี้ยง 12 Vdc เข้าที่ขา 7 และไฟเลี้ยง –12 Vdc เข้าที่ขา 4 ของออปแอมป์เบอร์ LF357

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4.) ป้อนสัญญาณคลื่นไซน์ขนาด 1 Vp-p ที่ความถี่ค่าต่างๆ ตั้งแต่ 10 kHz และเพิ่มค่าขึ้นเรื่อยๆ เพื่อดูคุณลักษณะของฟิลเตอร์ พร้อมทั้งบันทึกค่าโวลเตทที่วัดได้ที่เอาท์พุตของวงจรกรองความถี่ที่ความถี่ค่าต่างๆ

5.) สังเกตผลการทดลองที่ได้ พร้อมทั้งพล็อตกราฟแสดงคุณลักษณะของวงจรฟิลเตอร์

6.) เปลี่ยนจากการป้อนสัญญาณไซน์ เป็นการป้อนสัญญาณคลื่นสี่เหลี่ยมที่ความถี่ 480 kHz เข้าที่อินพุทของฟิลเตอร์

7.) สังเกตสัญญาณที่วัดได้ที่เอาท์พุทของฟิลเตอร์ พร้อมทั้งบันทึกผลการทดลอง

4.4.2.2 ผลการทดลอง

สัญญาณที่วัดได้ที่ความถี่ค่าต่างๆ มีลักษณะเป็นสัญญาณคลื่นไซน์ โดยมีขนาดของสัญญาณแสดงดังตารางที่ 4.2

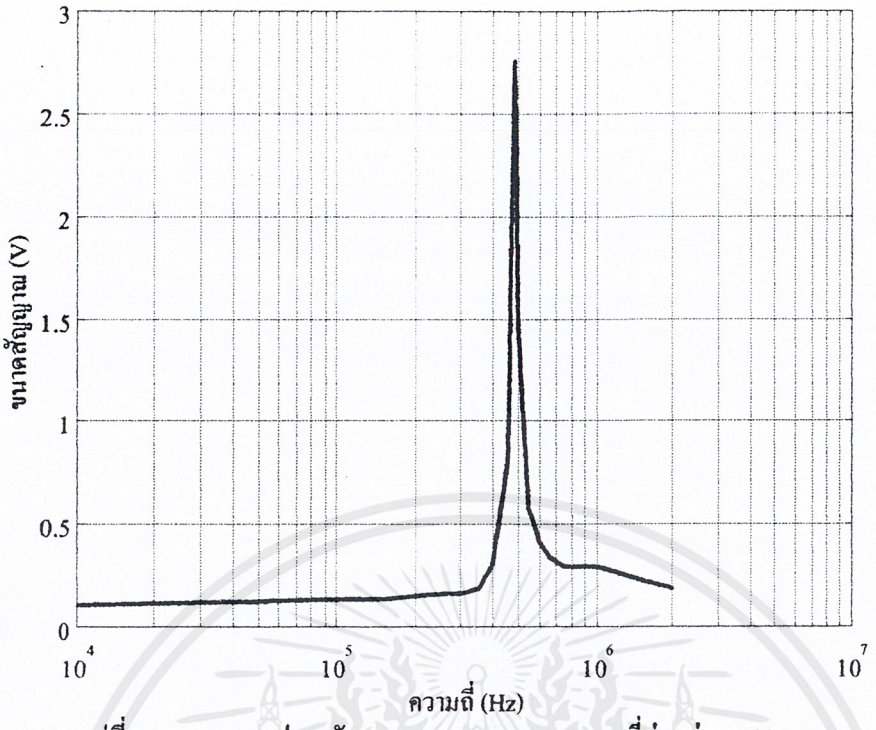
ความถี่ (kHz)	voltage ที่วัดได้ (mV)	ความถี่ (kHz)	Voltage ที่วัดได้ (mV)
10	109.4	485	2.719 V
50	125.0	490	2.250 V
100	128.1	500	1.469 V
150	131.3	550	578.1
200	150.0	600	412.5
250	159.4	650	343.8
300	162.5	700	318.8
350	181.3	750	293.8
400	306.3	800	293.8
450	796.9	850	287.5
460	1.078 V	900	287.5
470	1.781 V	950	287.5
475	2.281 V	1 MHz	287.5
480	2.750 V	2 MHz	181.3

ตารางที่ 4.2 ค่า Voltage ที่วัดได้ที่ค่าความถี่ต่างๆ ของวงจรกรองความถี่ผ่าน 480 kHz

จากค่าของข้อมูลในตารางที่ 4.2 สามารถนำมาพล็อตเป็นกราฟเพื่อศึกษาคุณลักษณะของวงจรกรองความถี่ผ่านได้ดังรูปที่ 4.6

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

กราฟคุณลักษณะของวงจรกรองความถี่ผ่าน 480 kHz



รูปที่ 4.6 แสดงกราฟคุณลักษณะของวงจรกรองความถี่ผ่านย่าน 480 kHz

4.4.2.3 สรุปผลการทดลอง

จากกราฟแสดงคุณลักษณะของวงจรกรองความถี่ จะเห็นว่าเป็นวงจรกรองความถี่ช่วงผ่าน (Band Pass Filter) โดยมีค่าความถี่กลางประมาณ 480 kHz จะเห็นว่ากราฟคุณลักษณะมีความคมค่อนข้างสูงมากซึ่งจากการออกแบบจะใช้ค่า Q (ค่าอัตราส่วนความถี่กลางต่อแบนด์วิดท์) ประมาณ 40 เนื่องจากต้องการความถี่ที่เป็นสัญญาณคลื่นไซน์โดยไม่มีฮาร์โมนิคอื่นๆ มาปนด้วยมาใช้เป็นสัญญาณนำร่องซึ่งต้องการความถูกต้องสูง โดยดูได้จากการที่ป้อนสัญญาณคลื่นสี่เหลี่ยม ซึ่งประกอบด้วยคลื่นไซน์หลายๆ ความถี่ หรือมีฮาร์โมนิคต่างๆ แต่วงจรจะเลือกกรองเฉพาะในส่วนความถี่ 480 kHz ทำให้สัญญาณที่ออกเอาท์พุทเป็นลักษณะเป็นคลื่นไซน์ที่ความถี่ 480 kHz

4.5 การทดสอบวงจรแยกบิต

วัตถุประสงค์ : เพื่อทำการศึกษาการทำงานของวงจรซึ่งทำหน้าที่ในการแยกบิตของสัญญาณโดยใช้วงจรฟลิบฟลอบ ออกเป็นสัญญาณด้าน I และด้าน Q

4.5.1 ขั้นตอนการทดลอง

1.) ต่อวงจรแยกบิตโดยใช้ ดีฟลิบฟลอบ (D-Flip-Flop) ซึ่งอยู่ภายในไอซีเบอร์ 74L74 ดังรูปที่ 3.2

2.) ป้อนสัญญาณข้อมูลที่ถูกกำหนดมาจากวงจรกำเนิดข้อมูลขนาด 64 kbps ซึ่งมีรหัสข้อมูลเป็น "10 11 10 01"

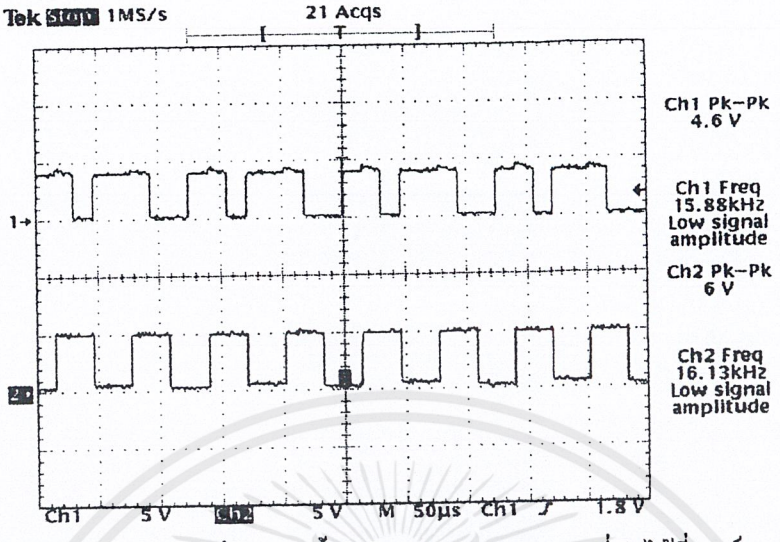
3.) ทำการป้อนไฟเลี้ยง 5 Vdc เข้าที่ขาเซ็ทและเคลียร์ (ขาที่ 1,4 และ 10,13) เพื่อให้ขาเซ็ทและเคลียร์มีสถานะเป็น "High" กล่าวคือมีลอจิกเป็น "1"

4.) สังเกตและบันทึกผลของสัญญาณที่วัดได้ที่เอาท์พุททั้งทางด้าน I(Inphase) และด้าน Q(Quadrature Phase) เปรียบเทียบกับสัญญาณอินพุทที่ป้อนเข้ามา

4.5.2 ผลการทดลอง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

1.) สัญญาณที่วัดได้ที่ด้าน I (Inphase) คือ “0 1 0 1” สลับกันเรื่อยไป มีความถี่ 16.13 kHz และมีขนาดสัญญาณ 6 Vp-p ดังรูปที่ 4.7

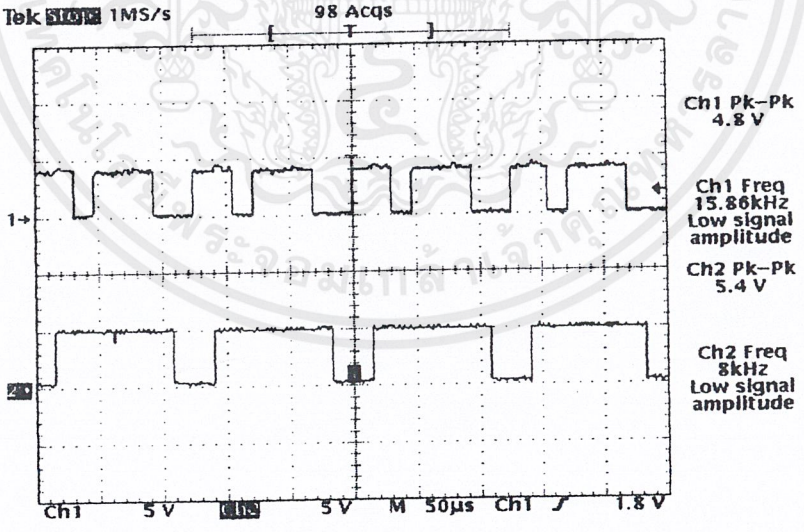


รูปที่ 4.7 สัญญาณข้อมูลอินพุทที่กำหนดขึ้นเปรียบเทียบกับสัญญาณที่วัดได้ที่เอาท์พุทด้าน I

CH 1 สัญญาณข้อมูลความเร็ว 64 kbps ที่กำหนดขึ้น มีรหัสข้อมูลเป็น “1 0 1 1 1 0 0 1”

CH 2 สัญญาณที่วัดได้ที่เอาท์พุทของวงจรแยกบิตด้าน I มีรหัสข้อมูลเป็น “0 1 0 1”

2.) สัญญาณที่วัดได้ที่ด้าน Q (Quadrature phase) คือ “1 1 1 0” สลับกันเรื่อยไป มีความถี่ 8 kHz และมีขนาดสัญญาณ 5.4 Vp-p ดังรูปที่ 4.8



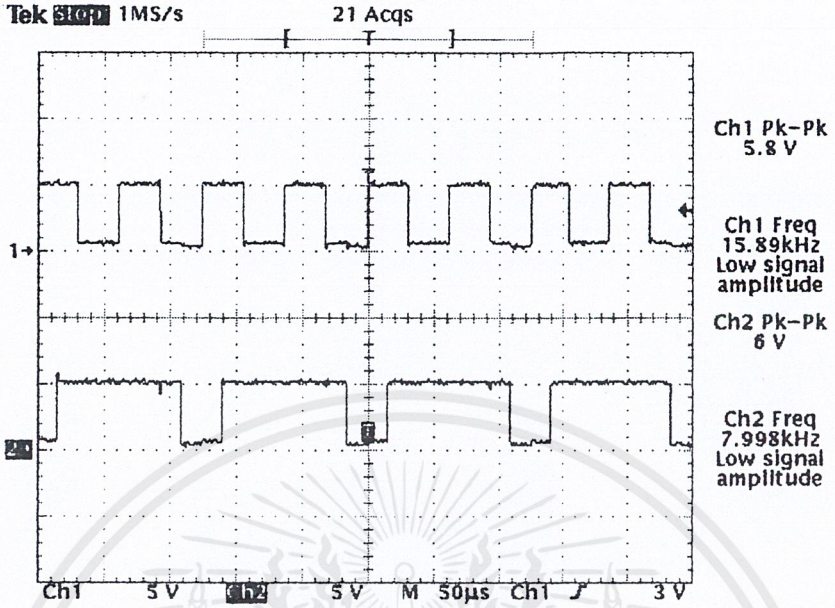
รูปที่ 4.8 สัญญาณข้อมูลอินพุทที่กำหนดขึ้นเปรียบเทียบกับสัญญาณที่วัดได้ที่เอาท์พุทด้าน Q

CH 1 สัญญาณข้อมูลความเร็ว 64 kbps ที่กำหนดขึ้น มีรหัสข้อมูลเป็น “1 0 1 1 1 0 0 1”

CH 2 สัญญาณที่วัดได้ที่เอาท์พุทของวงจรแยกบิตด้าน Q มีรหัสข้อมูลเป็น “1 1 1 0”

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.) เมื่อนำสัญญาณด้าน I และด้าน Q มาแสดงร่วมกันบนจอของออสซิลโลสโคป จะได้สัญญาณดังแสดงในรูปที่ 4.9



รูปที่ 4.9 เปรียบเทียบสัญญาณของเอาท์พุทด้านI และด้าน Q

CH 1 สัญญาณเอาท์พุทด้าน I มีรหัสสัญญาณ "0 1 0 1"

CH 2 สัญญาณเอาท์พุทด้าน Q มีรหัสสัญญาณ "1 1 1 0"

4.5.3 สรุปผลการทดลอง

วงจรแยกบิตโดยใช้การทำงานของฟลิบฟลอบ สามารถที่จะทำการแยกบิตออกได้เป็นเอาท์พุทด้าน I และด้าน Q โดยทำหน้าที่ในการแปลงสัญญาณจากข้อมูลอนุกรม (Serial) เป็นข้อมูลแบบขนาน (Parallel) โดยมีการแยกบิตคี่ของสัญญาณข้อมูลที่เข้ามา (บิตที่ 1, 3, 5,...) ออกเอาท์พุทในด้าน I (Inphase) และสัญญาณบิตคู่ (บิตที่ 2, 4, 6, ...) ออกเป็นเอาท์พุทด้าน Q (Quadrature phase)

4.6 การทดสอบวงจรเลื่อนเฟสของสัญญาณ

วัตถุประสงค์ : เพื่อศึกษาการทำงานและทำความเข้าใจ ถึงการทำงานของวงจรเลื่อนเฟส พร้อมทั้งวิเคราะห์ถึงองค์ประกอบในวงจรที่มีผลต่อการเลื่อนเฟสของสัญญาณ การเลื่อนเฟสมาก น้อยขึ้นกับองค์ประกอบส่วนใดบ้าง

4.6.1 ขั้นตอนการทดลอง

1.) ต่อวงจรเลื่อนเฟสของสัญญาณ ดังรูปที่ 3.10

2.) ป้อนไฟเลี้ยง 5 Vdc ให้กับออปแอมป์ซึ่งใช้ในวงจร โดยป้อนเข้าที่ขา 7 ซึ่งเป็นขา Vcc

3.) ป้อนสัญญาณคลื่นไซน์ขนาดสัญญาณ 2 Vp-p ความถี่ 512 kHz ให้กับอินพุทของวงจร

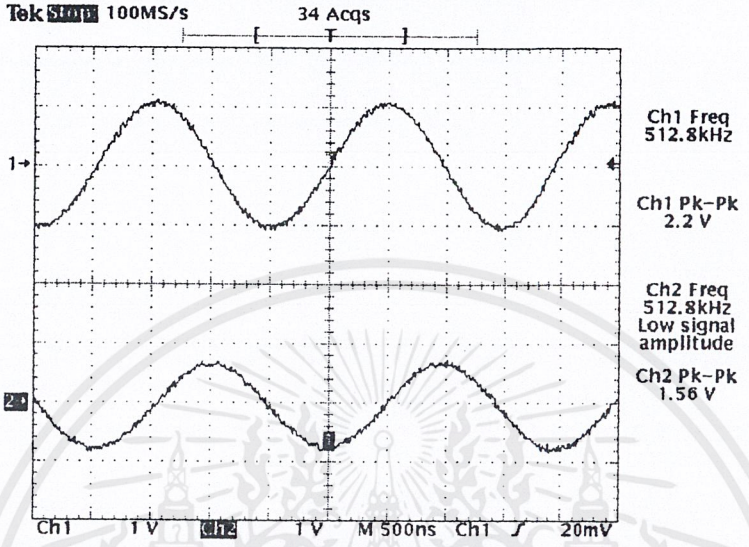
4.) ทดลองปรับค่าของตัวต้านทานปรับค่าได้ จนทำให้เฟสของสัญญาณอินพุทและเอาท์พุทมีค่าเฟสที่แตกต่างกัน 90 องศา

5.) วัดสัญญาณเปรียบเทียบระหว่างสัญญาณอินพุทและสัญญาณเอาท์พุท สังเกตพร้อมทั้งบันทึกผลการทดลอง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

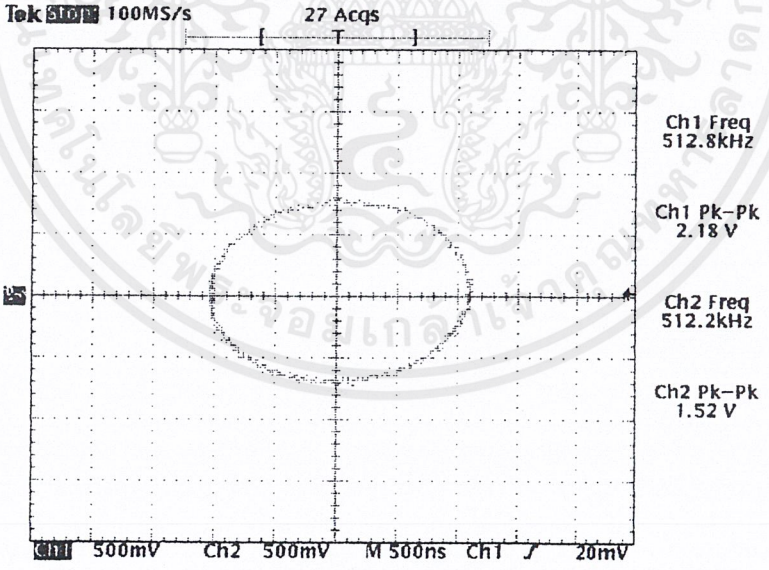
4.6.2 ผลการทดลอง

เมื่อลองปรับความต้านทานของตัวต้านทานปรับค่าได้ จะพบว่า เมื่อปรับความต้านทานค่าต่างๆ กัน จะทำให้ได้ความแตกต่างของเฟสที่แตกต่างกันด้วยโดยมีความต้านทานที่ประมาณ 31 กิโลโอห์ม ที่ได้สัญญาณอินพุทและเอาท์พุทที่มีความแตกต่างของเฟสประมาณ 90 องศา โดยสัญญาณอินพุทมีขนาดสัญญาณ 2.2 Vp-p ความถี่ 512.8 kHz และสัญญาณเอาท์พุทมีขนาดสัญญาณ 1.56 Vp-p ความถี่ 512.8 kHz ดังรูปที่ 4.12



รูปที่ 4.10 เปรียบเทียบสัญญาณอินพุท(CH1) และสัญญาณเอาท์พุทที่วัดได้ (CH2)

เมื่อนำสัญญาณมาแสดงบนจอออสซิลโลสโคปในฟังก์ชั่น X-Y Oscilloscope จะได้สัญญาณดังแสดงในรูปที่ 4.11



รูปที่ 4.11 แสดงสัญญาณอินพุทและสัญญาณเอาท์พุทเลื่อนเฟสไปประมาณ 90 องศา ในลักษณะของ X-Y Oscilloscope

แกน X แสดงสัญญาณอินพุท ; แกน Y แสดงสัญญาณเอาท์พุทที่มีการเลื่อนเฟสไป

4.6.3 สรุปผลการทดลอง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

วงจรเลื่อนเฟสของสัญญาณมีความสามารถในการเลื่อนเฟสของสัญญาณได้ด้วยมุมค่าต่างๆ ทั้งนี้ขึ้นกับปัจจัยคือตัวต้านทานปรับค่าได้ที่อยู่ในวงจร โดยที่ค่าความต้านทานประมาณ 31 กิโลโอห์ม จะได้ค่าความต่างของเฟสประมาณ 90 องศา ซึ่งตรงตามที่ได้จากการคำนวณทางทฤษฎี

4.7 การทดสอบวงจรบาลานซ์มอดดูเลเตอร์

วัตถุประสงค์ : เพื่อศึกษาการทำงานของวงจรบาลานซ์มอดดูเลเตอร์ หลักการมอดูเลตสัญญาณ และลักษณะของสัญญาณที่ได้รับแบบต่างๆ จากวงจรบาลานซ์มอดดูเลเตอร์

4.7.1 ขั้นตอนการทดลอง

1.) ทำการต่อวงจรเฉพาะในส่วนของวงจรบาลานซ์มอดดูเลเตอร์ ดังรูปที่ 3.4

2.) ป้อนไฟเลี้ยง 12, -12 Vdc ให้กับวงจรโดยป้อนเข้าไปยังตำแหน่งที่กำหนดในรูปที่ 3.4

3.) ป้อนสัญญาณคลื่นพาหะโดยใช้สัญญาณคลื่นไซน์ที่มีความถี่ 512 kHz ขนาดสัญญาณ 60 mVrms (84 mVp-p) เข้าที่ขา 10 ของไอซีเบอร์ MC1496 โดยผ่านตัวเก็บประจุขนาด 0.1 ไมโครฟารัด และป้อนสัญญาณคลื่นที่มาทำการมอดดูเลตโดยใช้สัญญาณคลื่นไซน์ความถี่ 64 kHz ขนาดสัญญาณ 300 mVrms (424 mVp-p) เข้าที่ขา 1 ของไอซีเบอร์ MC1496 (ค่าขนาดของสัญญาณที่อินพุท ทั้งสัญญาณคลื่นพาหะและสัญญาณที่นำมามอดดูเลต เป็นค่าที่กำหนดตามข้อมูลที่อ้างอิงจากคู่มือการใช้ไอซีเบอร์ MC1496)

4.) วัดสัญญาณเอาท์พุทที่ได้รับ โดยใช้ออสซิลโลสโคป พร้อมทั้งวัดสเปกตรัมความถี่ของสัญญาณที่ได้รับ

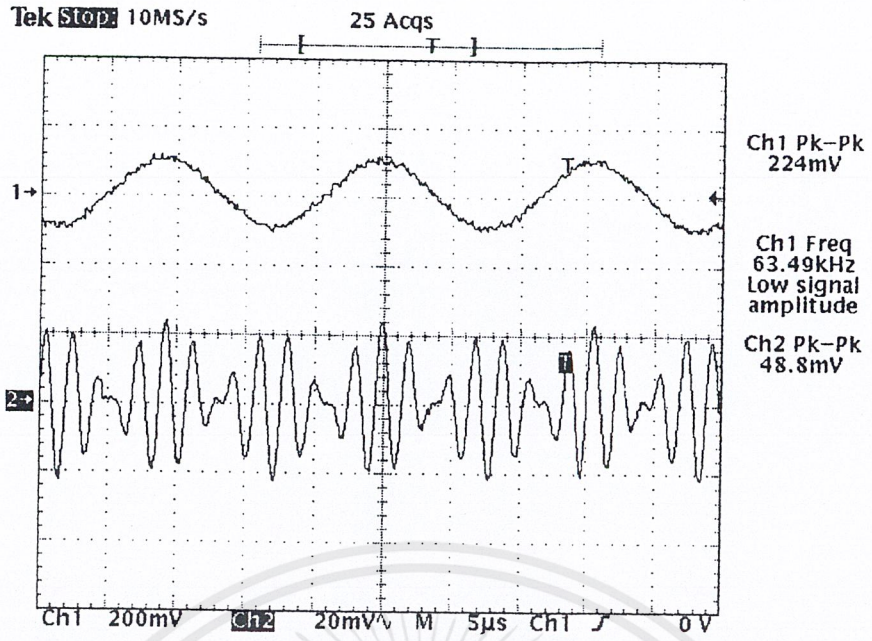
5.) เปลี่ยนจากสัญญาณข้อมูลที่เป็นสัญญาณไซน์เป็นสัญญาณคลื่นสี่เหลี่ยมโดยป้อนจากฟังก์ชั่นเจเนอเรเตอร์ โดยที่ขนาดแอมปลิจูดของสัญญาณเช่นเดิม

6.) สังเกตลักษณะของสัญญาณพร้อมทั้งเก็บบันทึกผลการทดลอง

4.7.2 ผลการทดลอง

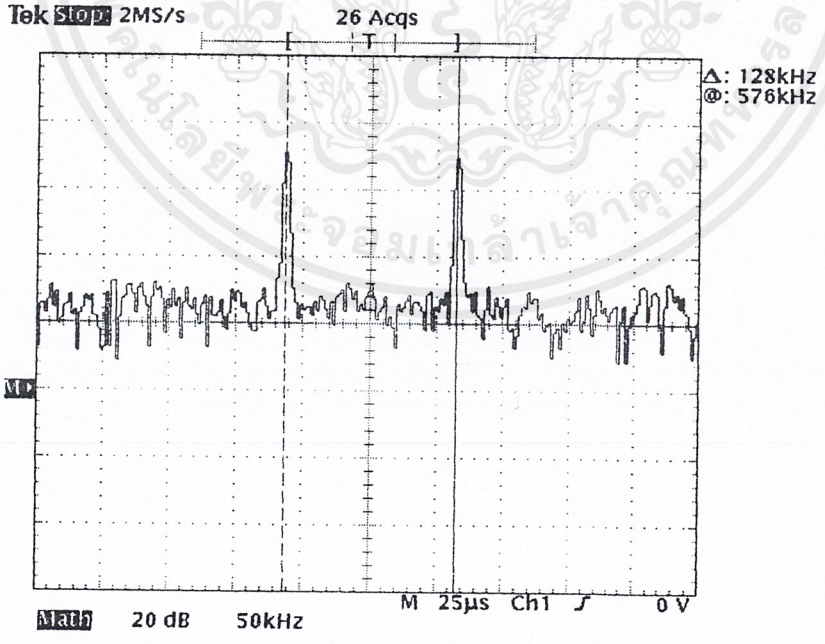
ลักษณะของสัญญาณที่วัดได้ที่เอาท์พุทของวงจรบาลานซ์มอดดูเลเตอร์ มีลักษณะเป็นสัญญาณที่มีไซด์แบนด์สองข้าง โดยที่สัญญาณคลื่นพาหะถูกกำจัดไป (Double Sideband Suppressed Carrier : DSB-SC) โดยลักษณะของสัญญาณมีลักษณะเป็นลูป ๆ ดังแสดงในรูปที่ 4.12 โดยมีขนาดของสัญญาณที่ค่อนข้างเล็กมากคือ 48.8 mVp-p

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.12 เอาท์พุทของวงจรบาลานซ์มอดดูเลเตอร์ ซึ่งเป็น Double Sideband Suppressed Carrier

และเมื่อวัดสเปกตรัมความถี่ของสัญญาณที่เอาท์พุทของบาลานซ์มอดดูเลเตอร์ จะพบสเปกตรัมที่เป็นไซด์แบนด์ทั้งสองข้างของสัญญาณคลื่นพาหะ โดยที่ไซด์แบนด์อยู่ห่างกัน 128 kHz โดยที่ไซด์แบนด์ที่อยู่ต่ำกว่า (Lower Sideband) อยู่ที่ตำแหน่งความถี่ 448 kHz (มาจากความถี่พาหะลบออกด้วยความถี่ของสัญญาณที่มามอดดูเลต : $f_{carrier} - f_{signal}$) กล่าวคือ 512 kHz - 64 kHz = 448 kHz เช่นกันในกรณีของไซด์แบนด์ที่อยู่สูงกว่า (Upper Sideband) จะอยู่ที่ตำแหน่ง 576 kHz มาจากความถี่พาหะบวกด้วยความถี่ของสัญญาณที่มามอดดูเลต : $f_{carrier} + f_{signal}$) กล่าวคือ 512 kHz + 64 kHz = 576 kHz ดังแสดงในรูปที่ 4.13

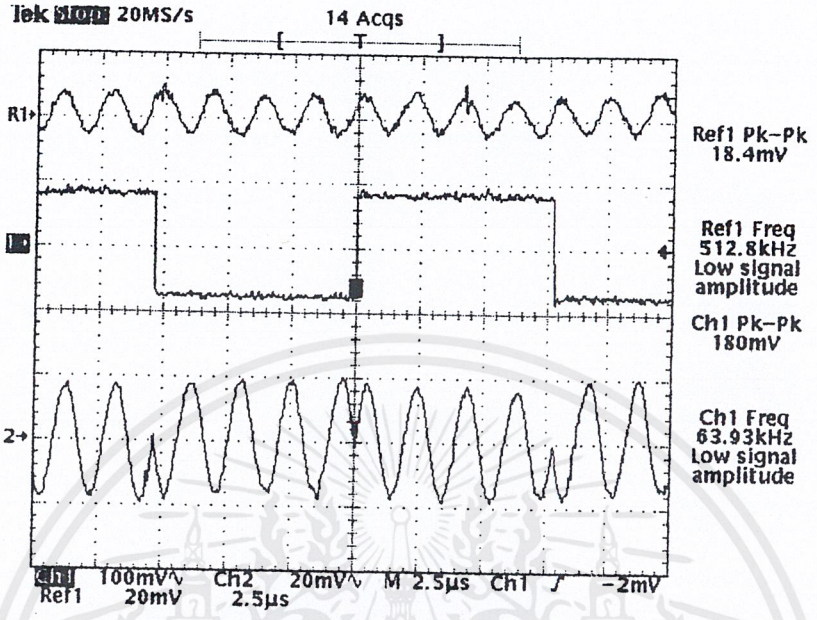


รูปที่ 4.13 สเปกตรัมความถี่ที่เอาท์พุทวงจรบาลานซ์มอดดูเลเตอร์
ซึ่งเป็น Double Sideband Suppressed Carrier

และเมื่อทำการทดลองโดยการเปลี่ยนสัญญาณคลื่นที่นำมามอดดูเลตจากสัญญาณคลื่นไซน์เป็นสัญญาณคลื่นสี่เหลี่ยม ซึ่งก็เปรียบเสมือนข้อมูลที่เราส่งผ่านเข้ามา โดยกำหนดขนาดของสัญญาณตามขนาด

ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

มาตรฐานที่กำหนดไว้ในคู่มือไอซีเบอร์ MC1496 เช่นเดิม ลักษณะของสัญญาณที่วัดได้ที่เอาท์พุทของบาลานซ์มอดดูเลเตอร์ จะมีลักษณะมีการชิฟของเฟสทุกๆครั้งที่มีการเปลี่ยนแปลงของรหัสข้อมูลจากรหัส "0" เป็น "1" ซึ่งเป็นลักษณะการทำงานของวงจร QPSK นั่นเอง ดังแสดงในรูปที่ 4.14



รูปที่ 4.14 แสดงสัญญาณคลื่นพาหะมอดดูเลตกับสัญญาณคลื่นสี่เหลี่ยม (ข้อมูล)
และแสดงเอาท์พุทที่มาการชิฟเฟสของสัญญาณคลื่นพาหะ
REF 1 สัญญาณคลื่นพาหะความถี่ 512 kHz
CH 1 สัญญาณคลื่นสี่เหลี่ยม (ข้อมูล) ความถี่ 64 kHz
CH 2 สัญญาณที่วัดได้ที่เอาท์พุทของวงจรบาลานซ์มอดดูเลเตอร์

4.7.3 สรุปผลการทดลอง

วงจรบาลานซ์มอดดูเลเตอร์เป็นวงจรที่ทำหน้าที่ในการมอดดูเลตสัญญาณคลื่นพาหะกับสัญญาณข้อมูล โดยได้สัญญาณที่มีลักษณะที่มีไซด์แบนด์สองข้าง โดยที่ความถี่พาหะถูกกำจัดทิ้งไป และในกรณีที่สัญญาณที่เข้ามามอดดูเลตกับคลื่นพาหะเป็นสัญญาณคลื่นสี่เหลี่ยม (สัญญาณข้อมูล) จะได้เอาท์พุทที่มีลักษณะที่มีการชิฟเฟสของสัญญาณคลื่นพาหะไปทุก ๆ ครั้งที่มีการเปลี่ยนแปลงจากรหัสของข้อมูลจากรหัส "0" เป็น "1"

4.8 การทดสอบวงจรรวมสัญญาณ (Summing Amplifier)

วัตถุประสงค์ : เพื่อศึกษาการทำงานของวงจรรวมสัญญาณ ว่ามีหลักการในการรวมสัญญาณแบบใด ลักษณะสัญญาณที่ได้รับที่เอาท์พุตมีลักษณะเป็นเช่นไร

4.8.1 ขั้นตอนการทดลอง

1.) ต่อวงจรรวมสัญญาณ ดังรูปที่ 3.13

2.) เนื่องจากในการต่อวงจรรวมสัญญาณต้องใช้ออปแอมป์ ดังนั้น จึงต้องจ่ายไฟเลี้ยงให้กับไอซี

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

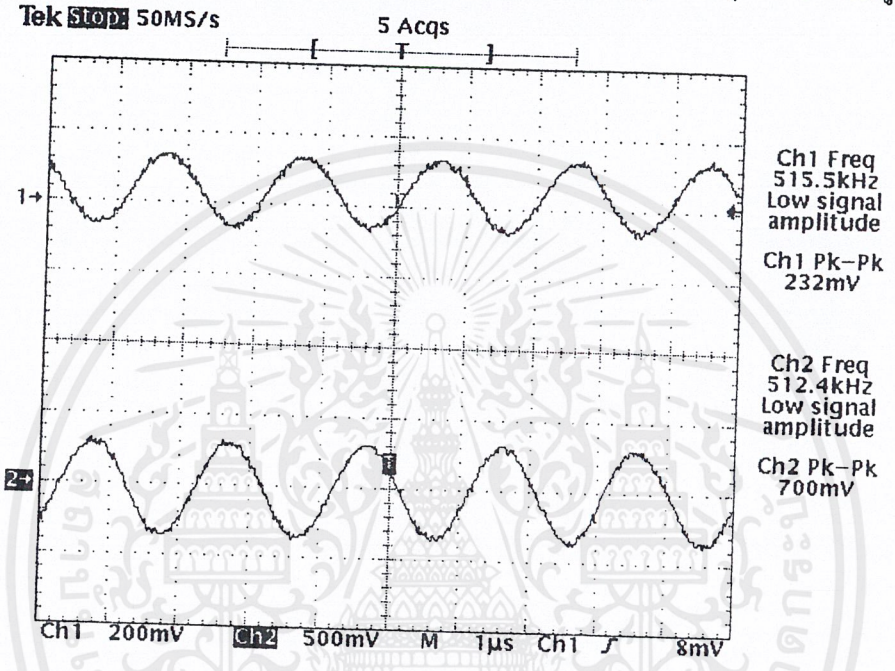
LF357 โดยจ่ายไฟ +12 Vdc เข้าที่ขา 7 และ –12 Vdc เข้าที่ขา 4

3.) ทำการลัดวงจรขาสัญญาณอินพุตทั้ง 3 เข้าด้วยกัน พร้อมทั้งป้อนสัญญาณคลื่นความถี่ 512 kHz ขนาดของสัญญาณ 200 mVp-p เข้าที่อินพุตทั้ง 3 ซึ่งลัดวงจร (Short) กันอยู่

4.) สังเกตพร้อมทั้งบันทึกผลการทดลอง เปรียบเทียบสัญญาณอินพุตกับสัญญาณเอาท์พุต

4.8.2 ผลการทดลอง

ลักษณะของสัญญาณที่ได้ที่เอาท์พุตมีลักษณะเป็นสัญญาณคลื่นไซน์ความถี่ 512 kHz และมีขนาดสัญญาณ 700 mVp-p และมีลักษณะเป็นสัญญาณที่กลับเฟส 180 องศา กับสัญญาณอินพุต ดังแสดงในรูปที่ 4.15



รูปที่ 4.15 สัญญาณที่ได้จากวงจรรวมสัญญาณ

จะสังเกตเห็นว่าสัญญาณมีลักษณะเป็นสัญญาณที่กลับเฟสอยู่ ซึ่งไม่เหมาะจะนำไปใช้งานในโครงงานนี้ เราจึงทำการเพิ่มวงจรในส่วนอินเวอร์ทติ้งแอมป์ เข้าไปอีกเพื่อทำการปรับสัญญาณให้มีเฟสกลับมาเช่นเดิม ซึ่งรูปสัญญาณหลังจากผ่านอินเวอร์ทติ้งแอมป์อีกตัวแล้วจะได้สัญญาณมีเฟสตรงกับสัญญาณอินพุตที่ป้อนให้กับวงจรและพร้อมจะนำไปใช้งานต่อไป

4.8.3 สรุปผลการทดลอง

วงจรรวมสัญญาณสัญญาณจะทำหน้าที่ในการรวมสัญญาณ โดยจะสังเกตได้จากสัญญาณที่วัดได้ที่เอาท์พุตซึ่งเป็นการลัดวงจรของอินพุตทั้ง 3 อินพุตเข้าด้วย มีขนาดประมาณ 3 เท่า ของสัญญาณอินพุต ซึ่งแสดงให้เห็นว่าวงจรสามารถนำไปใช้ในการรวมสัญญาณที่มีลักษณะต่างๆ กันได้

การทดสอบวงจรส่วนภาครับ

4.9 การทดสอบวงจรกรองความถี่สัญญาณ QPSK

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

วัตถุประสงค์ : ศึกษาคุณลักษณะ (Characteristic) ของวงจรกรองความถี่ช่วงผ่าน หรือ Band Pass Filter พร้อมทั้งศึกษาคุณสมบัติข้ออื่นๆ ของวงจรกรองความถี่ เช่น ค่าอัตราการขยาย, แบนด์วิทด์ ฯลฯ

4.9.1 ขั้นตอนการทดลอง

1.) ต่อวงจรกรองความถี่ผ่านช่วง 496- 526 kHz ซึ่งเป็นการต่อในลักษณะการ cascade กันของ band pass filter แบบ Positive Feedback Band Pass Filter 2 ตัว ดังรูปที่ 3.20

2.) จากการคำนวณทางทฤษฎีพบว่าถ้าต้องการความถี่กลางที่ 512 kHz ต้องปรับค่าตัวต้านทานปรับ ค่าได้ (Rv) ให้มีค่า 540.15 โอห์ม ดังนั้นปรับค่า Rv ทั้ง 2 ตัว ให้มีค่าเป็น 540.15 โอห์ม

3.) เนื่องจากเป็นแอกทีฟฟิลเตอร์ ดังนั้น ป้อนไฟเลี้ยง 12 Vdc เข้าที่ขา 7 และไฟเลี้ยง –12 Vdc เข้าที่ขา 4 ของออปแอมป์เบอร์ LF357

4.) ป้อนสัญญาณคลื่นไซน์ขนาด 1 Vp-p ที่ความถี่ค่าต่างๆ ตั้งแต่ 10 kHz และเพิ่มค่าขึ้นเรื่อยๆ เพื่อดูคุณลักษณะของฟิลเตอร์ พร้อมทั้งบันทึกค่าโวลเตทที่วัดได้ที่เอาท์พุตของวงจรกรองความถี่ที่ความถี่ค่าต่างๆ

5.) สังเกตผลการทดลองที่ได้ พร้อมทั้งพล็อตกราฟแสดงคุณลักษณะของวงจรฟิลเตอร์

4.9.2 ผลการทดลอง

สัญญาณที่วัดได้ที่ความถี่ค่าต่างๆ มีลักษณะเป็นสัญญาณคลื่นไซน์ ขนาดของสัญญาณดังตารางที่ 4.3

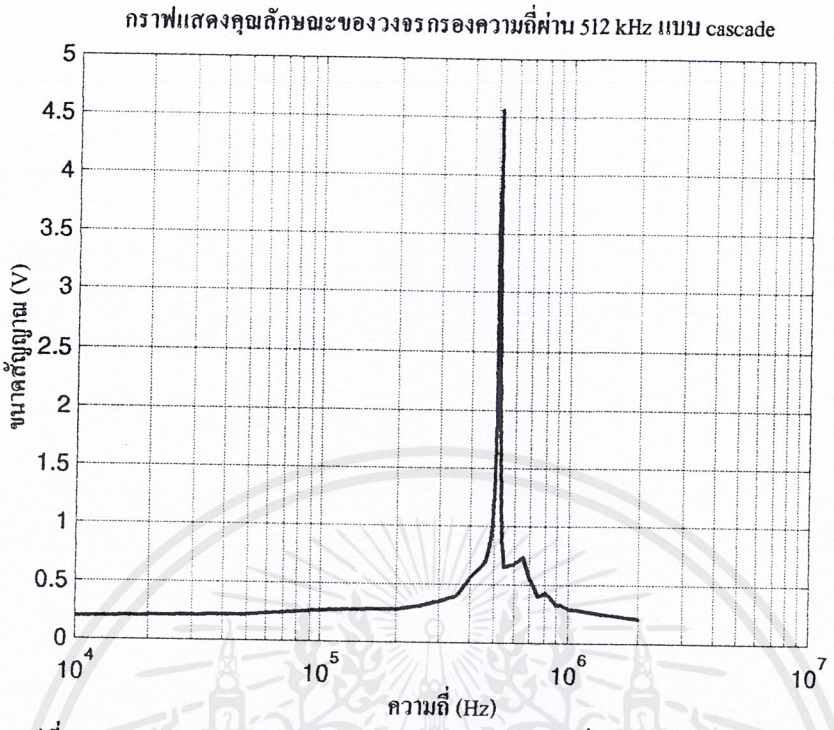
ความถี่ (kHz)	voltage ที่วัดได้ (mV)	ความถี่ (kHz)	voltage ที่วัดได้ (mV)	ความถี่ (kHz)	Voltage ที่วัดได้ (mV)
10	184	500	1.26 V	700	560
50	220	505	1.96 V	750	400
100	264	510	3.52 V	800	420
150	284	511	4.08 V	850	400
200	284	512	4.56 V	900	320
250	312	513	4.4 V	950	320
300	356	514	4.16 V	1 MHz	300
350	396	515	3.44 V	2 MHz	210
400	560	520	1.96 V		
450	680	530	1.08 V		
460	704	540	800		
470	744	550	640		
480	880	600	680		
490	1.02 V	650	740		

ตารางที่ 4.3 ค่า Voltage ที่วัดได้ที่ค่าความถี่ต่างๆ ของวงจรกรองความถี่สัญญาณ QPSK

จากค่าของข้อมูลในตารางที่ 4.3 สามารถนำมาพล็อตเป็นกราฟเพื่อศึกษาคุณลักษณะของวงจร

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

กรองความถี่ผ่าน ได้ดังรูปที่ 4.16



รูปที่ 4.16 แสดงกราฟคุณลักษณะของวงจรกรองความถี่ผ่านย่าน 496-528 kHz

4.9.3 สรุปผลการทดลอง

จากกราฟแสดงคุณลักษณะของวงจรกรองความถี่ จะเห็นว่าเป็นวงจรกรองความถี่ช่วงผ่าน (Band Pass Filter) โดยมีค่าความถี่กลางประมาณ 512 kHz จะเห็นว่ากราฟคุณลักษณะมีความคมค่อนข้างสูงมากซึ่งจากการออกแบบจะใช้ค่า Q (ค่าอัตราส่วนความถี่กลางต่อแบนด์วิดท์) ประมาณ 40 และค่าแบนด์วิดท์ค่อนข้างแคบ จึงสามารถกรองสัญญาณช่วงความถี่ประมาร 496-528 kHz ได้ โดยวงจรกรองความถี่นี้จะนำมาใช้ในการกรองสัญญาณ QPSK ที่ส่งมาจากทางด้านส่งและแยกออกจากสัญญาณนำร่อง 480 kHz และจะไม่ยอมให้ความถี่สัญญาณนำร่องปะปนมา โดยสัญญาณที่ส่งมาตามสายโคแอกเชียลอาจมีการสูญเสียทำให้สัญญาณมีขนาดเล็ก ทำให้การใช้วงจรกรองความถี่มากรองต้องมีอัตราการขยายค่อนข้างสูง ดังนั้น จึงใช้ band pass filter 2 ตัวมาทำการต่อ cascade กัน เพื่อได้อัตราการขยายที่สูงมากขึ้น

4.10 การทดสอบวงจรกรองความถี่สัญญาณนำร่อง 480 kHz

วัตถุประสงค์ : ศึกษาคุณลักษณะ (Characteristic) ของวงจรกรองความถี่ช่วงผ่าน หรือ Band Pass Filter พร้อมทั้งศึกษาคุณสมบัติข้ออื่นๆ ของวงจรกรองความถี่ เช่น ค่าอัตราการขยาย, แบนด์วิทด์, ค่าอัตราส่วนของความถี่กลางต่อแบนด์วิทด์ (ค่า Q: Quality Factor)

4.10.1 ขั้นตอนการทดลอง

1.) ต่อวงจรกรองความถี่ผ่านช่วง 480 kHz ซึ่งเป็นการต่อในลักษณะการ cascade กันของ band pass filter แบบ Positive Feedback Band Pass Filter 2 ตัว ดังรูปที่ 3.20

2.) จากการคำนวณทางทฤษฎีพบว่าถ้าต้องการความถี่กลางที่ 480 kHz ต้องปรับค่าตัวต้านทานปรับ ค่าได้ (Rv) ให้มีค่า 615.26 โอห์ม ดังนั้นปรับค่า Rv ทั้ง 2 ตัว ให้มีค่าเป็น 615.26 โอห์ม

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.) เนื่องจากเป็นแอกทีฟฟิลเตอร์ ดังนั้น ป้อนไฟเลี้ยง 12 Vdc เข้าที่ขา 7 และไฟเลี้ยง –12 Vdc เข้าที่ขา 4 ของออปแอมป์เบอร์ LF357

4.) ป้อนสัญญาณคลื่นไซน์ขนาด 1 Vp-p ที่ความถี่ค่าต่างๆ ตั้งแต่ 10 kHz และเพิ่มค่าขึ้นเรื่อยๆ เพื่อดูคุณลักษณะของฟิลเตอร์ พร้อมทั้งบันทึกค่าโวลเตทที่วัดได้ที่เอาท์พุตของวงจรกรองความถี่ที่ความถี่ค่าต่างๆ

5.) สังเกตผลการทดลองที่ได้ พร้อมทั้งพล็อตกราฟแสดงคุณลักษณะของวงจรฟิลเตอร์

4.10.2 ผลการทดลอง

สัญญาณที่วัดได้ที่ความถี่ค่าต่างๆ มีลักษณะเป็นสัญญาณคลื่นไซน์ โดยมีขนาดของสัญญาณแสดงดังตารางที่ 4.4

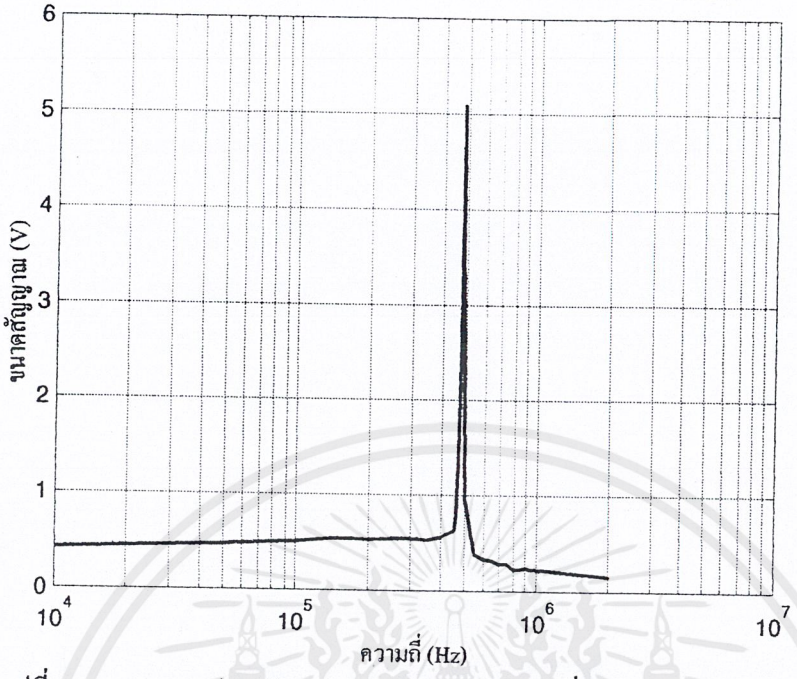
ความถี่ (kHz)	voltage ที่วัดได้ (mV)	ความถี่ (kHz)	Voltage ที่วัดได้ (mV)
10	424	485	3.48 V
50	472	490	2.32 V
100	504	500	960 V
150	552	550	380
200	536	600	340
250	544	650	320
300	552	700	280
350	536	750	280
400	560	800	220
450	640	850	220
460	800	900	24
470	1.36 V	950	220
475	2.48 V	1 MHz	220
480	5.08 V	2 MHz	150

ตารางที่ 4.4 ค่า Voltage ที่วัดได้ที่ค่าความถี่ต่างๆ ของวงจรกรองความถี่สัญญาณนำร่อง 480 kHz

จากค่าของข้อมูลในตารางที่ 4.4 สามารถนำมาพล็อตเป็นกราฟเพื่อศึกษาคุณลักษณะของวงจรกรองความถี่ผ่านได้ดังรูปที่ 4.17

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

กราฟแสดงคุณลักษณะของวงจรกรองความถี่ผ่าน 480 kHz แบบ cascade



รูปที่ 4.17 แสดงกราฟคุณลักษณะของวงจรกรองความถี่สัญญาณนำร่อง 480 kHz

4.10.3 สรุปผลการทดลอง

จากกราฟแสดงคุณลักษณะของวงจรกรองความถี่ จะเห็นว่าเป็นวงจรกรองความถี่ช่วงผ่าน (Band Pass Filter) โดยมีค่าความถี่กลางประมาณ 480 kHz จะเห็นว่ากราฟคุณลักษณะมีความคมค่อนข้างสูงมากซึ่งจากการออกแบบจะใช้ค่า Q (ค่าอัตราส่วนความถี่กลางต่อแบนด์วิดท์) ประมาณ 40 และค่าแบนด์วิดท์ค่อนข้างแคบ จึงสามารถกรองสัญญาณนำร่องความถี่ 480 kHz ซึ่งภาคส่งส่งรวมกันมากับสัญญาณ QPSK ออกมาได้ ซึ่งจะนำความถี่สัญญาณนำร่องนี้เพื่อไปใช้ในกระบวนการกู้สัญญาณนาฬิกา 64 kHz และสัญญาณคลื่นพาหะ 512 kHz ดังนั้น ความถี่ที่กรองออกมาได้จะต้องไม่มีความถี่ค่าอื่นปะปนมาเพื่อจะนำไปใช้ในวงจรกู้สัญญาณนาฬิกาและวงจรกู้สัญญาณคลื่นพาหะได้อย่างถูกต้อง ทั้งนี้สัญญาณที่ส่งมาตามสายโคแอกเชียลอาจมีการสูญเสียทำให้สัญญาณมีขนาดเล็ก ทำให้การใช้วงจรกรองความถี่มากรองต้องมีอัตราการขยายค่อนข้างสูง ดังนั้น จึงใช้ band pass filter 2 ตัวมาทำการต่อ cacade กัน เพื่อได้อัตราการขยายที่สูงมากขึ้น

4.11 การทดสอบวงจรส่วนกู้สัญญาณนาฬิกา 64 kHz

วัตถุประสงค์ : เพื่อทำการศึกษาการทำงานของวงจรกู้สัญญาณนาฬิกา 64 kHz ซึ่งสร้างจากไอซีเบอร์ 4046 ซึ่งทำหน้าที่เป็นเฟสล็อกลูป ทำงานร่วมกับวงจรหาร และดูลักษณะของสัญญาณที่ได้รับจากวงจรนี้

4.11.1 ขั้นตอนการทดลอง

1.) ต่อวงจรกู้สัญญาณนาฬิกา 64 kHz ดังรูปที่ 3.21

2.) จ่ายไฟเลี้ยงให้กับวงจรตามส่วนที่ระบุไว้โดยใช้ไฟเลี้ยง + 5 Vdc

3.) ป้อนสัญญาณคลื่นไซน์ความถี่ 480 kHz ขนาดสัญญาณ 5 Vp-p เข้าที่ขา 5 ของไอซี 4050

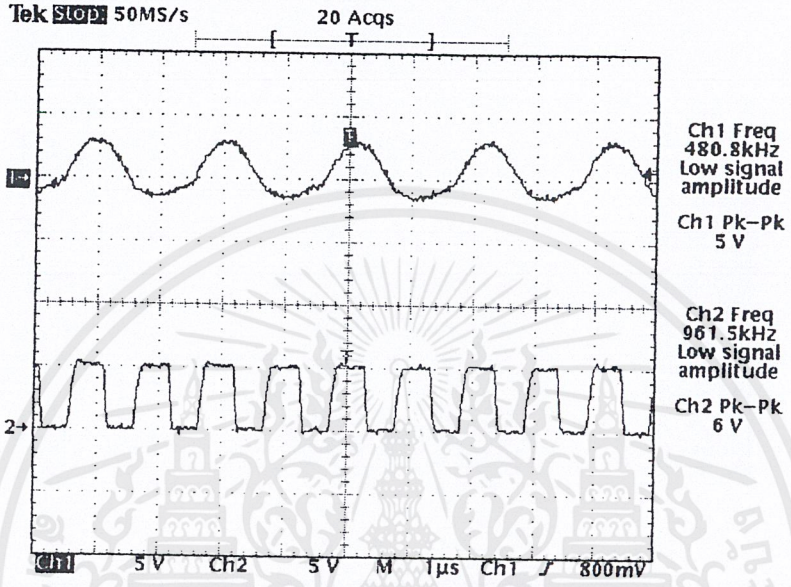
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4) วัดสัญญาณที่เอาท์พุต VCO ของไอซี 4046 ซึ่งก็คือสัญญาณที่ขา 4 พร้อมทั้งวัดสัญญาณหลังจากผ่านวงจรหารความถี่ด้วย 15

5.) สังเกตและบันทึกผลการทดลอง

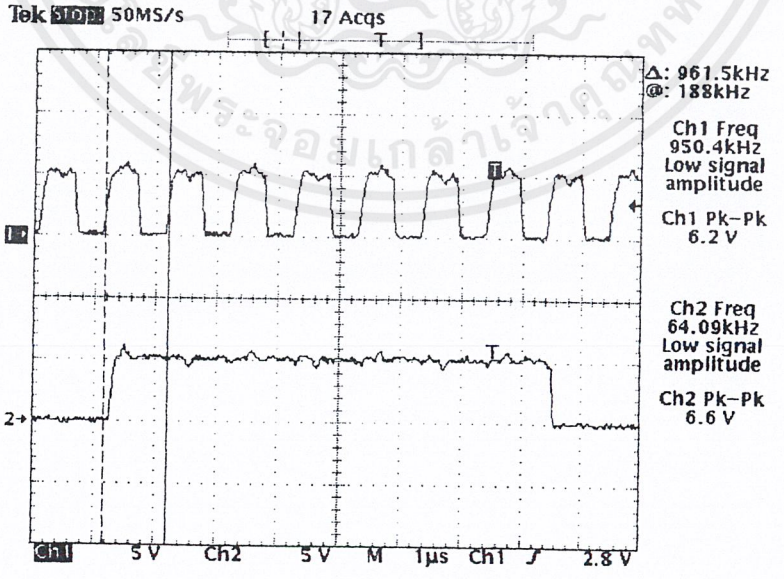
4.11.2 ผลการทดลอง

ที่เอาท์พุต VCO ของไอซี 4046 วัดสัญญาณได้เป็นสัญญาณคลื่นสี่เหลี่ยมความถี่ 961.5 kHz ขนาดสัญญาณ 6 Vp-p ดังแสดงในรูปที่ 4.18



รูปที่ 4.18 แสดงลักษณะสัญญาณเอาท์พุตที่ได้หลังจากผ่านไอซี 4046 เปรียบเทียบกับอินพุตที่ป้อนเข้ามา

และหลังจากผ่านวงจรหารความถี่ด้วย 15 แล้วจะได้สัญญาณคลื่นสี่เหลี่ยมที่มีความถี่ 64 kHz ซึ่งสัญญาณนี้ก็คือสัญญาณนาฬิกาที่กู้กลับคืนมาได้นั่นเอง ดังแสดงในรูปที่ 4.19



รูปที่ 4.19 แสดงลักษณะสัญญาณที่ได้จากวงจรหารความถี่ด้วย 15

4.11.3 สรุปผลการทดลอง

เอกสารนี้สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สัญญาณที่เข้ามาความถี่ 480 kHz ก็คือสัญญาณนำร่องถูกส่งเข้ามาพร้อมกับสัญญาณ QPSK ซึ่งวงจรกู้สัญญาณนาฬิกาสามารถนำเอาความถี่ดังกล่าวเข้ามาและสามารถผลิตความถี่ 64 kHz ซึ่งก็คือความถี่ของสัญญาณนาฬิกานั่นเองโดยการทำงานร่วมกันของไอซี 4046 กับวงจรหารความถี่ด้วย 15

4.12 การทดสอบวงจรกู้สัญญาณคลื่นพาหะ 512 kHz

วัตถุประสงค์ : เพื่อทำการศึกษาการทำงานของวงจรกู้สัญญาณคลื่นพาหะ ตลอดจนสังเกตลักษณะของสัญญาณที่ได้จากวงจรกู้สัญญาณคลื่นพาหะ 512 kHz

4.12.1 <u>ขั้นตอนการทดลอง</u>

1.) ต่อวงจรกู้สัญญาณคลื่นพาหะ 512 kHz ดังรูปที่ 3.22

2.) จ่ายไฟเลี้ยง +5 Vdc ให้กับวงจรตามตำแหน่งที่ระบุไว้ในวงจรดังกล่าว

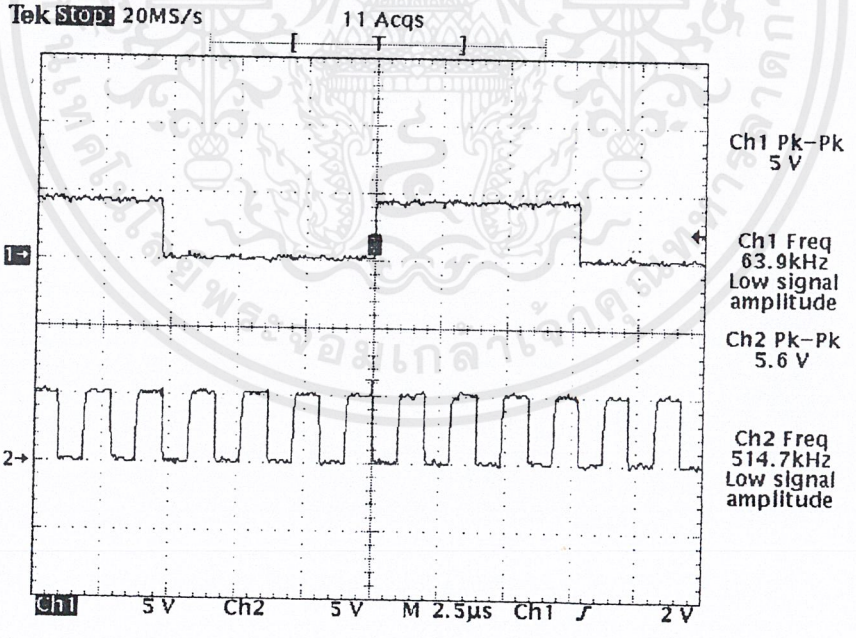
3.) ป้อนสัญญาณคลื่นสี่เหลี่ยมความถี่ 64 kHz ซึ่งกู้ได้แล้วจากวงจรในส่วนก็สัญญาณนาฬิกา ขนาดสัญญาณ 5 Vp-p เข้าที่ขา 3 ของไอซี 4050

4.) วัดสัญญาณที่ได้ที่เอาท์พุต VCO (ขา 4) ของไอซี 4046

5.) สังเกตลักษณะของสัญญาณพร้อมทั้งเก็บบันทึกผลการทดลอง

4.12.2 <u>ผลการทดลอง</u>

สัญญาณที่ได้ที่เอาท์พุต VCO ไอซี 4046 มีลักษณะเป็นสัญญาณคลื่นสี่เหลี่ยมความถี่ 514.7 kHz ขนาดสัญญาณ 5.6 Vp-p ดังแสดงในรูปที่ 4.20



รูปที่ 4.20 แสดงสัญญาณที่วัดได้ที่เอาท์พุต VCO ของไอซี 4046 ในวงจรกู้สัญญาณคลื่นพาหะ 512 kHz

4.12.3 <u>สรุปผลการทดลอง</u>

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สัญญาณที่เอาท์พุตของวงจรกู้สัญญาณคลื่นพาหะเป็นสัญญาณคลื่นสี่เหลี่ยมที่ความถี่ 512 kHz แต่เนื่องจากสัญญาณคลื่นพาหะที่เราจะนำไปใช้ประโยชน์จำเป็นจะต้องเป็นสัญญาณคลื่นไซน์ที่ความถี่ 512 kHz ดังนั้นจำเป็นที่เราจะต้องนำสัญญาณคลื่นสี่เหลี่ยมดังกล่าวไปผ่านวงจรกรองความถี่ช่วงผ่าน โดยกำหนดความถี่กลางไว้ที่ 512 kHz ก็จะทำให้เราได้สัญญาณคลื่นพาหะซึ่งเป็นสัญญาณไซน์เพื่อนำไปใช้ประโยชน์ในส่วนถัด ๆ ไป ซึ่งก็จะเป็นการกู้คลื่นพาหะได้อย่างสมบูรณ์

4.13 การทดสอบวงจรบาลานซ์มอดดูเลเตอร์

4.13.1 ขั้นตอนการทดลอง

1.) ทำการต่อวงจรเฉพาะในส่วนของวงจรบาลานซ์มอดดูเลเตอร์ ดังรูปที่ 3.24

2.) ป้อนไฟเลี้ยง 12, -12 Vdc ให้กับวงจรโดยป้อนเข้าไปยังตำแหน่งที่กำหนดในรูปที่ 3.24

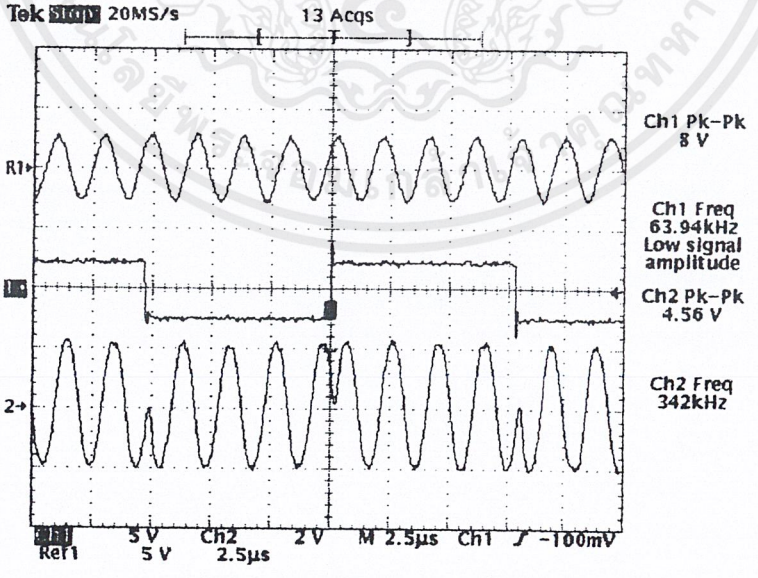
3.) ป้อนสัญญาณคลื่นพาหะโดยใช้สัญญาณคลื่นไซน์ที่มีความถี่ 512 kHz ขนาดสัญญาณ 60 mVrms (84 mVp-p) เข้าที่ขา 10 ของไอซีเบอร์ MC1496 โดยผ่านตัวเก็บประจุขนาด 0.1 ไมโครฟารัด และป้อนสัญญาณคลื่นที่มาทำการมอดดูเลตโดยใช้สัญญาณคลื่นสี่เหลี่ยมความถี่ 64 kHz ขนาดสัญญาณ 300 mVrms (424 mVp-p) เข้าที่ขา 1 ของไอซีเบอร์ MC1496 (ค่าขนาดของสัญญาณที่อินพุท ทั้งสัญญาณคลื่นพาหะและสัญญาณที่นำมามอดดูเลต เป็นค่าที่กำหนดตามข้อมูลที่อ้างอิงจากคู่มือการใช้ไอซีเบอร์ MC1496)

4.) วัดสัญญาณเอาท์พุทที่ได้รับ โดยใช้ออสซิลโลสโคป

5.) สังเกตลักษณะของสัญญาณพร้อมทั้งเก็บบันทึกผลการทดลอง

4.13.2 ผลการทดลอง

ลักษณะของสัญญาณที่วัดได้ที่เอาท์พุทของบาลานซ์มอดดูเลเตอร์ จะมีลักษณะมีการชิฟของเฟสทุกๆ ครั้งที่มีการเปลี่ยนแปลงของรหัสข้อมูลจากรหัส "0" เป็น"1" ซึ่งเป็นลักษณะการทำงานของวงจร QPSK นั่นเอง ดังแสดงในรูปที่ 4.21



รูปที่ 4.21 แสดงสัญญาณคลื่นพาหะมอดดูเลตกับสัญญาณคลื่นสี่เหลี่ยม (ข้อมูล) และแสดงเอาท์พุทที่มาการชิฟเฟสของสัญญาณคลื่นพาหะ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4.13.3 สรุปผลการทดลอง

วงจรบาลานซ์มอดดูเลเตอร์เป็นวงจรที่ทำหน้าที่ในการมอดดูเลตสัญญาณคลื่นพาหะกับสัญญาณข้อมูล โดยได้สัญญาณที่มีลักษณะที่มีไซด์แบนด์สองข้าง โดยที่ความถี่พาหะถูกกำจัดทิ้งไป และในกรณีที่สัญญาณที่เข้ามามอดดูเลตกับคลื่นพาหะเป็นสัญญาณคลื่นสี่เหลี่ยม (สัญญาณข้อมูล) จะได้เอาท์พุทที่มีลักษณะที่มีการชิฟเฟสของสัญญาณคลื่นพาหะไปทุก ๆ ครั้งที่มีการเปลี่ยนแปลงจากรหัสของข้อมูลจากรหัส "0" เป็น "1" โดยในส่วนนี้วงจรดีบาลานซ์มอดดูเลเตอร์ก็ทำหน้าที่ในทำนองเดียวกัน คือทำการคูณสัญญาณคลื่นพาหะเข้ากับสัญญาณข้อมูลที่เข้ามา โดยในส่วนภาคดีบาลานซ์มอดดูเลเตอร์สัญญาณที่คูณกันออกมาจะเป็นสัญญาณอยู่ในรูปของค่าคงที่บวกกันอยู่กันสัญญาณที่เป็นฮาร์โมนิคที่ความถี่สูงและเมื่อผ่านวงจรกรองความถี่ต่ำผ่านก็ได้สัญญาณที่เป็นระดับค่าคงที่ เพื่อนำไปใช้ในวงจรรวมบิตต่อไป

4.14 การทดสอบวงจรส่วนวงจรกรองความถี่ต่ำ 16 kHz

วัตถุประสงค์ : ศึกษาคุณลักษณะ (Characteristic) ของวงจรกรองความถี่ต่ำผ่าน หรือ Low Pass Filter พร้อมทั้งศึกษาคุณสมบัติข้ออื่นๆ ของวงจรกรองความถี่ เช่น ค่าอัตราการขยาย, แบนด์วิทด์, ค่าอัตราส่วนของความถี่กลางต่อแบนด์วิทด์ (ค่า Q: Quality Factor)

4.14.1 ขั้นตอนการทดลอง

1.) ต่อวงจรกรองความถี่ต่ำผ่าน 16 kHz ดังรูปที่ 3.25

2.) เนื่องจากเป็นลักษณะของ Active Filter ดังนั้นจึงต้องจ่ายไฟเลี้ยงให้กับออปแอมป์ซึ่งใช้ LF353 โดยจ่ายไฟเลี้ยง + 12 Vdc เข้าที่ขา 8 และจ่ายไฟเลี้ยง -12 Vdc เข้าที่ขา 4

3.) ป้อนสัญญาณคลื่นไซน์ขนาด 200 mVp-p ที่ความถี่ค่าต่างๆตั้งแต่ 500 Hzและเพิ่มค่าขึ้นเรื่อยๆ เพื่อดู คุณลักษณะของฟิลเตอร์ พร้อมทั้งบันทึกค่าโวลเตทที่วัดได้ที่เอาท์พุตของวงจรกรองความถี่ที่ความถี่ค่าต่างๆ

5.) สังเกตผลการทดลองที่ได้ พร้อมทั้งพล็อตกราฟแสดงคุณลักษณะของวงจรฟิลเตอร์

4.14.2 ผลการทดลอง

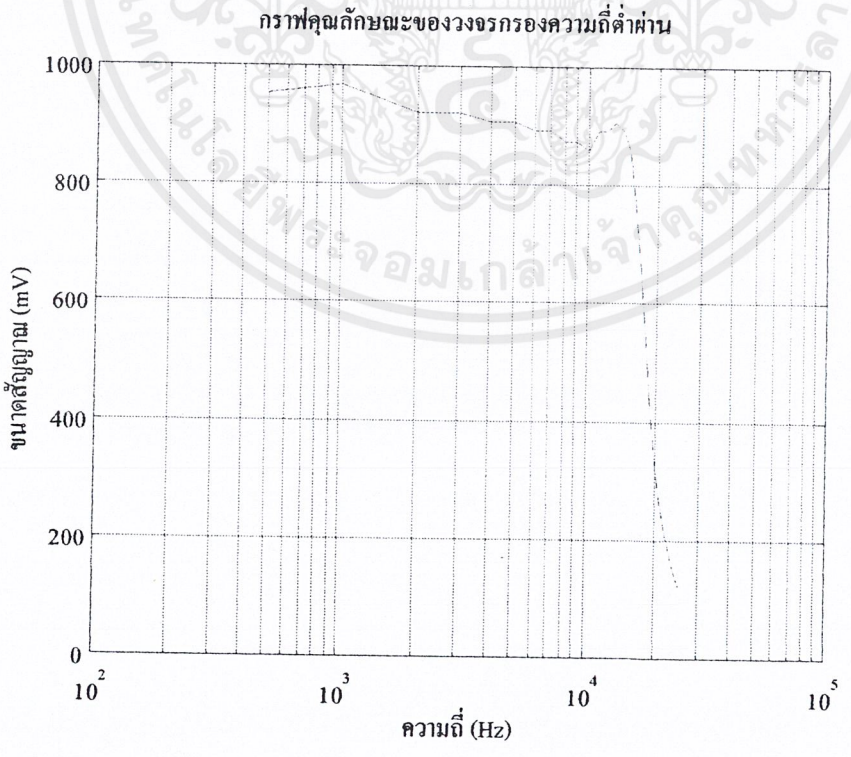
สัญญาณที่วัดได้ที่ความถี่ค่าต่างๆ มีลักษณะเป็นสัญญาณคลื่นไซน์ โดยมีขนาดของสัญญาณแสดงดังตารางที่ 4.5

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ความถี่ (kHz)	voltage ที่วัดได้ (mV)	ความถี่ (kHz)	Voltage ที่วัดได้ (mV)
0.5	953.1	13	906.3
1	968.8	14	890.6
2	921.9	15	859.4
3	921.9	16	765.6
4	906.3	17	656.2
5	906.3	18	531.2
6	890.6	19	409.4
7	890.6	20	321.9
8	875.0	21	256.3
9	875.0	22	206.3
10	859.4	23	165.6
11	890.6	24	134.4
12	890.6	25	118.8

ตารางที่ 4.5 ค่า Voltage ที่วัดได้ที่ค่าความถี่ต่างๆ ของวงจรกรองความถี่ต่ำผ่าน

จากค่าของข้อมูลในตารางที่ 4.5 สามารถนำมาพล็อตเป็นกราฟเพื่อศึกษาคุณลักษณะของวงจรกรองความถี่ต่ำผ่าน ได้ดังรูปที่ 4.22



รูปที่ 4.22 แสดงกราฟคุณลักษณะของวงจรกรองความถี่ต่ำผ่าน 16 kHz

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4.14.3 สรุปผลการทดลอง

จากกราฟแสดงคุณลักษณะของวงจรกรองความถี่ จะเห็นว่าเป็นวงจรกรองความถี่ต่ำผ่าน (Low Pass Filter) โดยมีความถี่คัฟออฟประมาณ 16 kHz ซึ่งเป็นความถี่ที่เราต้องการในการกรองความถี่ และมีค่าความคมของกราฟค่อนข้างสูงจึงเหมาะสมในการนำมาใช้งาน และจากผลการทดลองที่ได้จะพบว่าวงจรกรองความถี่มีอัตราการขยายประมาณ 4 เท่า

4.15 การทดสอบวงจรรวมบิต

วัตถุประสงค์ : เพื่อศึกษาการทำงานของวงจรรวมบิต ลักษณะของข้อมูลที่ได้ ตลอดจนจนวิเคราะห์ความผิดพลาดของบิตหรือข้อมูลที่ส่งและรับ พร้อมทั้งสรุปผลการทดลอง

4.15.1 ขั้นตอนการทดลอง

1.) ทำการต่อวงจรรวมบิต ดังแสดงในรูปที่ 3.27

2.) จ่ายไฟเลี้ยงให้กับวงจร โดยเป็นไฟเลี้ยง +5 Vdc ไอซีในส่วนนี้จะเป็นพวก TTL เป็นไอซีฟลิบฟลอบและไอซีจำพวกเกท

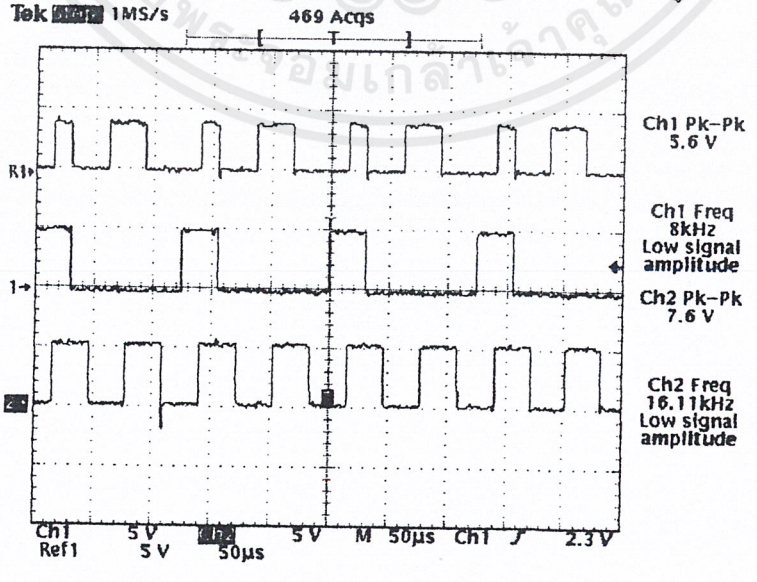
3.) ป้อนสัญญาณเข้าที่อินพุตซึ่งจะแบ่งเป็น 2 อินพุต คือ ช่องสัญญาณ I และQ โดยสัญญาณที่ป้อนสมมติขึ้นโดยที่สัญญาณด้าน I คือ " 0 0 0 1" และสัญญาณด้าน Q คือ "1 0 1 0 "

4.) วัดสัญญาณที่ได้ที่เอาท์พุตของวงจรรวมบิต พร้อมทั้งเปรียบเทียบกับสัญญาณอินพุตที่เข้ามาว่ามีความถูกต้องของข้อมูลมากน้อยเพียงใด

5.) สังเกตและบันทึกผลการทดลอง

4.15.2 ผลการทดลอง

สัญญาณที่วัดได้ที่เอาท์พุตของวงจรรวมบิตจะเป็นการนำเอาสัญญาณทั้ง 2 อินพุตที่เข้ามาเพื่อนำมาเรียงลำดับ โดยเรียงต่อกันไปเรื่อยๆ โดยเริ่มจากช่องสัญญาณ I ก่อนและตามด้วยช่วงสัญญาณ Q สลับกันไปตามลำดับ โดยช่องสัญญาณ I จะถูกรวมในตำแหน่งบิตคี่ (1, 3, 5, 7, ...) และช่องสัญญาณ Q จะถูกรวมในตำแหน่งบิตคู่ (2, 4, 6, 8, ...) ดังนั้นเอาท์พุตที่ได้ก็คือ "1 0 0 0 1 0 0 1" ดังแสดงในรูปที่ 4.23

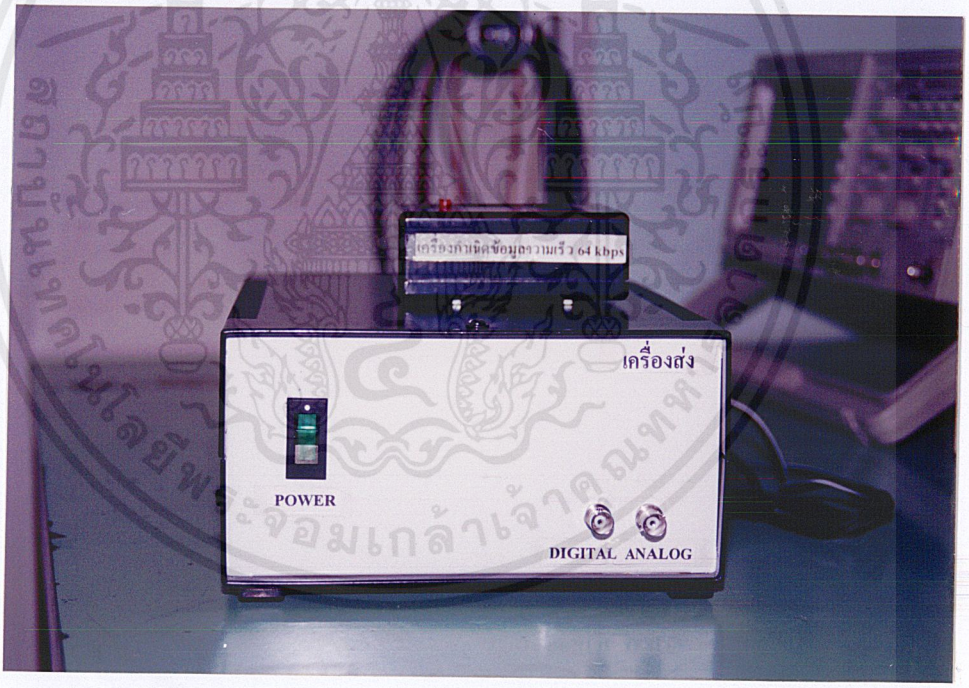


รูปที่ 4.23 แสดงสัญญาณที่วัดได้ที่เอาท์พุตของวงจรรวมบิตเปรียบเทียบกับอินพุตที่ป้อนเข้ามา

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4.15.3 สรุปผลการทดลอง

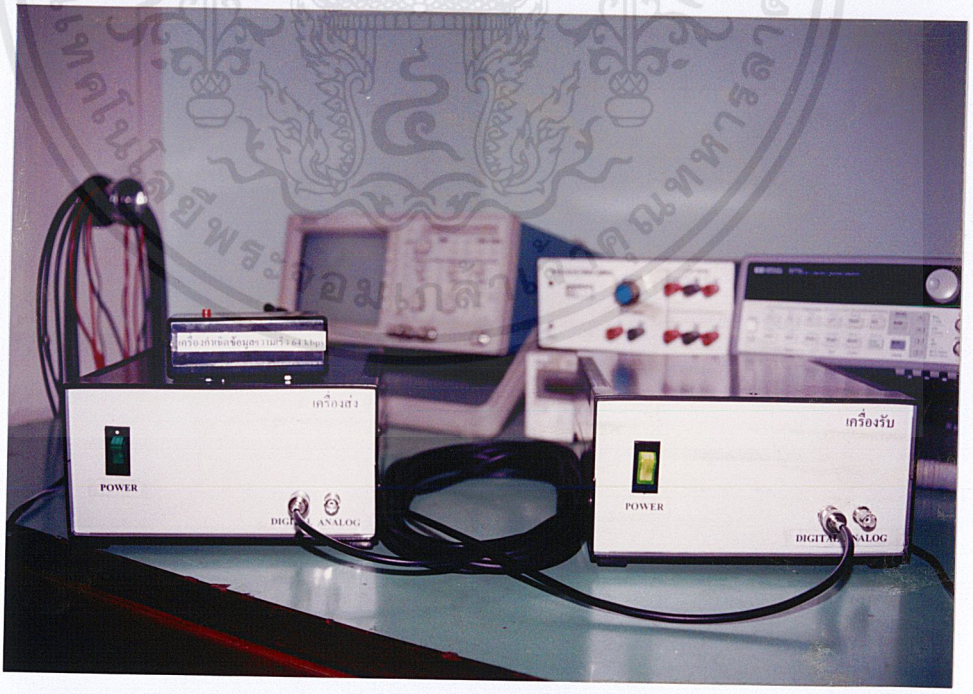
วงจรรวมบิต มีหน้าที่ในการแปลงสัญญาณข้อมูลที่มีลักษณะเป็นสัญญาณข้อมูลแบบขนานซึ่งในกรณีนี้จะมีข้อมูลเข้ามาสองทางคือ ด้าน I (Inphase) และด้าน Q (Quadrature phase) เพื่อมาแปลงเป็นสัญญาณอนุกรม โดยทำการรวมบิตด้าน I ไว้ในตำแหน่งบิตคี่ของข้อมูลอนุกรมและบิตด้าน Q รวมไว้ในตำแหน่งบิตคู่ของข้อมูลอนุกรม โดยสัญญาณที่ได้มีความผิดเพี้ยนอยู่บ้าง ทั้งนี้อาจเกิดจากสัญญาณนาฬิกา 64 kHz ที่กู้มาได้ทางด้านรับ มีความผิดเพี้ยนหรืออาจมีการเลื่อนของเฟสไปจากสัญญาณนาฬิการทางด้านส่ง



รูปที่ 4.24 รูปชิ้นงานเครื่องส่งสัญญาณ QPSK พร้อมทั้งเครื่องกำเนิดข้อมูลความเร็ว 64 kbps

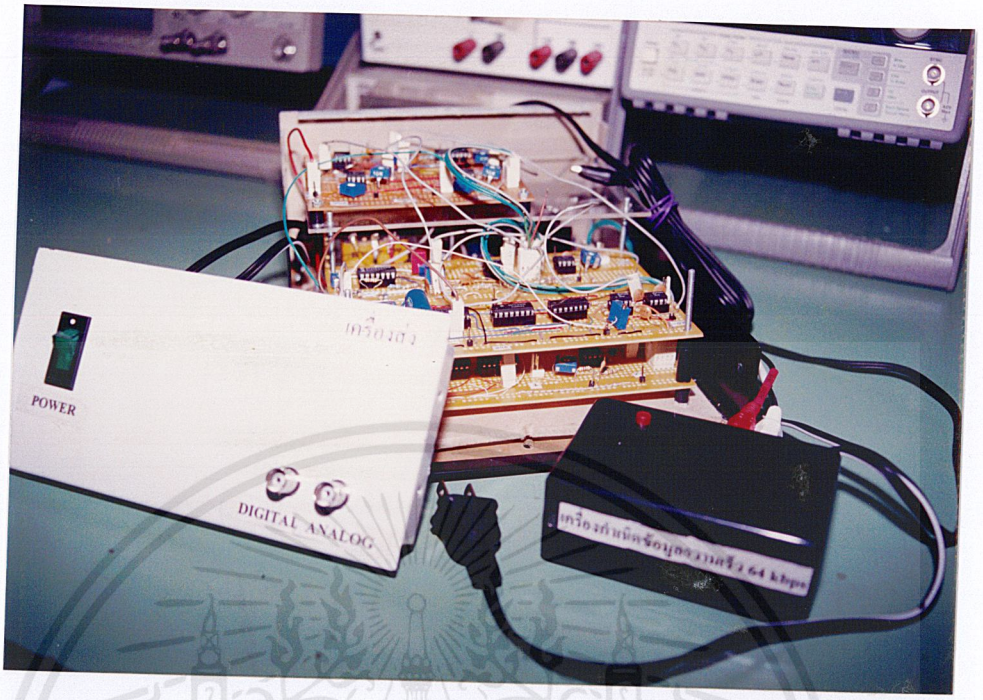
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รูปที่ 4.25 รูปชิ้นงานเครื่องรับสัญญาณ QPSK

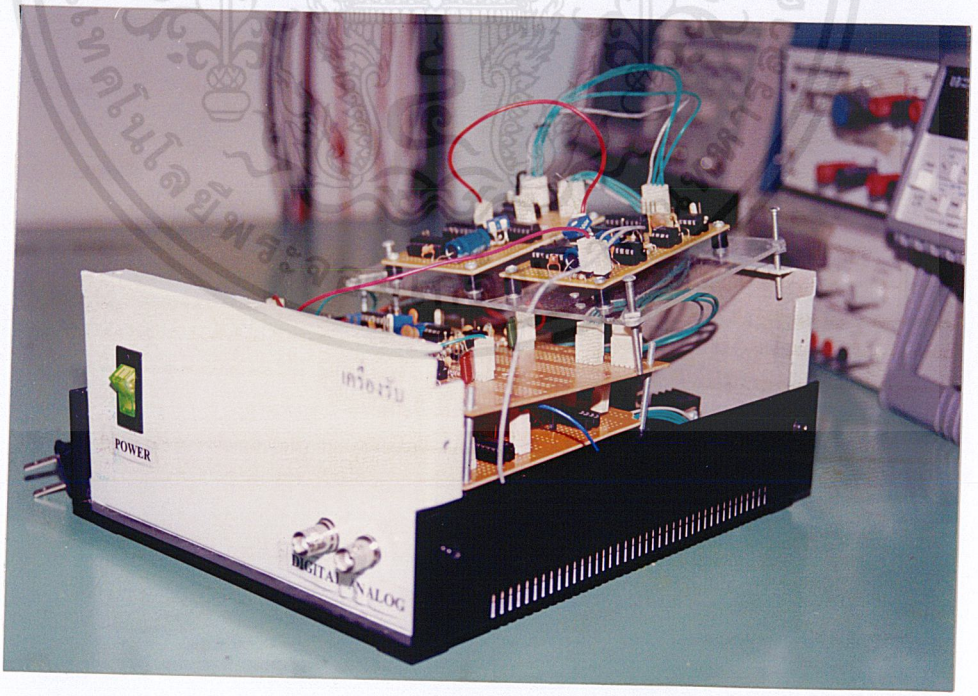


รูปที่ 4.26 รูปเครื่องส่ง-เครื่องรับสัญญาณ QPSK ต่อเชื่อมโดยใช้สายโคแอกเชียล

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.27 รูปวงจรภายในเครื่องส่งสัญญาณ QPSK



รูปที่ 4.28 รูปวงจรภายในเครื่องรับสัญญาณ QPSK

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 5
บทวิจารณ์และบทสรุป

การทำโครงงานในเรื่อง เครื่องรับ-ส่ง 4 ช่องสัญญาณแบบ QPSK โดยมุ่งเน้นถึงหลักการในการมอดดูเลตแบบ QPSK ซึ่งการออกแบบวงจรภาคต่างๆ ของวงจรภาคส่งและภาครับนั้น อาศัยหลักการของวงจรพื้นฐานต่างๆ มาประกอบกันเป็นวงจรรวม ในแต่ละภาคนั้นบางวงจรนำมาจากคู่มือการใช้งานไอซี บางวงจรก็มีการออกแบบเอง โดยในการประกอบวงจรในแต่ละภาคนั้น มีปัญหาที่เกิดขึ้นมากบ้างน้อยบ้างแตกต่างกันออกไป ซึ่งจะขอกล่าวสรุปไว้เป็นข้อเสนอแนะเพื่อเป็นประโยชน์แก่ผู้อ่าน ในแต่ละภาคการทำงานของวงจร ดังต่อไปนี้

ส่วนวงจรภาคส่งข้อมูล

วงจรกำเนิดสัญญาณข้อมูล

เป็นวงจรที่ออกแบบขึ้นมา เพื่อใช้ในการทดสอบการทำงานของวงจร โดยใช้ไอซีเบอร์ 74LS165 ซึ่งทำงานเป็นวงจร Parallel Load 8 Bit Shift Register ต่อวงจรให้ทางด้านเอาท์พุท ป้อนกลับเป็นสัญญาณอนุกรม จึงทำให้ข้อมูลที่โหลดเข้ามาไหลวนเข้าสู่วงจร ข้อมูลที่เข้าสู่วงจรนี้สามารถปรับเปลี่ยนรูปแบบได้ เพื่อให้แน่ใจได้ว่าวงจร QPSK มอดดูเลชั่น นั้นทำงานได้ถูกต้อง ในขั้นตอนแรกนั้นตั้งรูปแบบของข้อมูลก่อน จากนั้นจึงโหลดข้อมูลให้ไหลวนในวงจร Shift Register มีความเร็ว 64 kbps

วงจรแปลงสัญญาณจากอนุกรมเป็นขนาน

ในการออกแบบใช้การทำงานของ D Flip-Flop เบอร์ 74HC74 ทำหน้าที่หน่วงเวลา 2 บิต หรือว่าเป็นวงจรหารสองนั่งเอง ซึ่งจะช่วยควบคุมจังหวะการรับ-ส่งข้อมูลให้เหมาะสมกัน ข้อมูลถูกแยกเป็นสองด้าน คือ ด้าน I และด้าน Q ซึ่งผลการทดลองของวงจรในภาคนี้ ไม่เกิดข้อผิดพลาด โดยเป็นไปตามหลักการทางทฤษฎีทุกประการ

วงจรกำเนิดสัญญาณพาหะ

ใช้วงจรเฟสล็อกลูป ซึ่งใช้ไอซีเบอร์ 4046 ทำหน้าที่เป็นวงจรคูณความถี่จากสัญญาณนาฬิกา 64 kHz ให้เป็นสัญญาณความถี่ 512 kHz สัญญาณที่ออกจากเฟสล็อกลูปเป็นสัญญาณคลื่นสี่เหลี่ยม ซึ่งไม่เหมาะที่จะนำมามอดดูเลต จึงนำสัญญาณดังกล่าวไปผ่านวงจรกรองความถี่ช่วงผ่าน (Band Pass Filter) สัญญาณที่ออกมาจะเป็นคลื่นไซน์ วงจรในส่วนนี้ค่อนข้างจะเกิดปัญหาในเรื่องของเสถียรภาพของวงจรเฟสล็อกลูปจนบางครั้งทำให้ได้สัญญาณที่ไม่เสถียรพอ

วงจรกำเนิดสัญญาณนำร่อง

ใช้วงจรเฟสล็อกลูปเช่นเดียวกันกับวงจรกำเนิดสัญญาณคลื่นพาหะ แต่วงจรนี้จะนำสัญญาณความถี่ 32 kHz ที่ได้จากวงจรหารความถี่ด้วย 2 แล้วมาสร้างเป็นสัญญาณนำร่องซึ่งมีความถี่ 480 kHz โดยวงจรเฟส - ล็อกลูป ซึ่งเมื่อผ่านวงจรกรองความถี่ช่วงผ่านก็จะได้สัญญาณคลื่นไซน์ ปัญหาก็เช่นเดียวกันกับวงจรกำเนิดสัญญาณคลื่นพาหะกล่าวคือเสถียรภาพของเฟสล็อกลูปบางครั้งมีเสถียรภาพต่ำทำให้สัญญาณบางช่วงไม่นิ่งพอ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

วงจรเลื่อนเฟส 90 องศา

การออกแบบใช้วงจร All Pass Filter ชนิดที่ Vo ล้าหลัง(lag) Vin การเลื่อนเฟส ทำได้โดยการปรับความต้านทานปรับค่าได้ โดยสัญญาณที่ได้ออกมามีคุณภาพของสัญญาณค่อนข้างดี มีความต่างเฟสประมาณ 90 องศา แม้ว่าอาจจะคลาดเคลื่อนไปบ้างเล็กน้อย ก็ให้สัญญาณที่พอยอมรับได้

วงจรบาลานซ์มอดดูเลเตอร์

ใช้วงจรจากคู่มือไอซีเบอร์ MC1496 และเพิ่มวงจรขยายความแตกต่างทางด้านเอาท์พุท เพื่อให้ขนาดของสัญญาณมีขนาดใหญ่ขึ้น วงจรนี้เป็นการทำงานในลักษณะของสัญญาณที่มีขนาดเล็กกล่าวคือ มีหน่วยของสัญญาณเป็นมิลลิโวลต์จึงเกิดสัญญาณรบกวนได้ค่อนข้างง่ายและจำเป็นที่จะต้องศึกษาการทำงานจากคู่มือไอซีให้ละเอียด เพื่อความเข้าใจที่ดีที่จะสร้างวงจรโดยไม่เกิดปัญหาติดขัดมากนัก

วงจรรวมสัญญาณ

สัญญาณทางด้านอินพุทประกอบด้วย สัญญาณที่ผ่านการมอดดูเลตทางด้าน I, ด้าน Q และสัญญาณนำร่อง เอาท์พุทที่ได้จะเป็นผลรวมของสัญญาณทั้งสามส่วนนี้ ใช้หลักการรวมกันตามทฤษฎีที่ได้เคยศึกษากันมาแล้ว เป็นไปตามสมการที่ได้นำเสนอไปแล้วในส่วนของบทที่ 3

สำหรับแนวทางในการพัฒนาต่อไปสำหรับโครงงานนี้ ในส่วนของวงจรที่มีเสถียรภาพไม่ค่อยดี เช่น วงจรเฟสล็อกลูป ฯลฯ ถ้าสามารถใช้วงจรอื่นซึ่งให้ผลการทำงานเช่นเดียวกัน ในขณะที่เป็นวงจรที่มีเสถียรภาพที่สูง เราก็สมควรที่นำมาใช้ทดแทน เพื่อการสร้างวงจรที่ประสิทธิภาพดียิ่งขึ้นไปอีก

<u>ส่วนวงจรภาครับ</u>

วงจรกรองความถี่ช่วงผ่าน

วงจรกรองความถี่ช่วงผ่านแบ่งออกเป็นสองชุดคือ ชุดแรกกรองความถี่ช่วง 496 – 528 kHz ใช้วงจร Positive Feedback Band-Pass Filter สองชุดต่อแคสเคสกันเพื่อให้ความสามารถในการกรองเอาสัญญาณนำร่อง 480 kHz ออกได้ดีขึ้น วงจรนี้ยังไม่สามารถตัดสัญญาณนำร่องออกได้ทั้งหมดแต่ใช้งานได้ ถ้าจะให้วงจรมีประสิทธิภาพดียิ่งขึ้น ต้องออกแบบวงจรกรองความถี่ใหม่ แต่ในโครงงานนี้ใช้วงจรนี้เพื่อความสะดวกในการออกแบบเพียงครั้งเดียวใช้ได้หลายวงจร ผลการทดลองเป็นที่น่าพอใจ ส่วนวงจรกรองความถี่ 480 kHz นั้นใช้วงจรลักษณะเดียวกัน เพียงแต่ปรับตัวต้านทานให้ความถี่ช่วงผ่านเปลี่ยนไปเป็น 480 kHz วงจรนี้สำคัญเป็นอย่างมากต้องให้มีประสิทธิภาพสูงสุด เนื่องจากจะนำไปแปลงเป็นความถี่พาหะ และสัญญาณนาฬิกา จากการทดลองอยู่นานพอสมควร จึงจะทำให้สามารถกรองความถี่ได้อย่างถูกต้อง เนื่องจากความถี่ของสัญญาณพาหะจะเข้ามา
รบกวนตลอดเวลา

วงจรเฟสล็อคลูปกู้สัญญาณพาหะ 512 kHz

ในส่วนนี้จะนำเอาสัญญาณนาฬิกาจากวงจรเฟสล็อคลูปชุดแรกทวีคูณให้ได้ความถี่ 512 kHz จากนั้นผ่านวงจรกรองความถี่ช่วงผ่าน เพื่อทำให้ได้สัญญาณรูปไซน์ เพื่อใช้ในการดีมอดูเลทตรงส่วนนี้ต่างหาก การกู้สัญญาณนาฬิกาไม่เกิดการผิดพลาดแล้ว แล้วในส่วนนี้ก็จะไม่เกิดการผิดพลาดด้วย แต่ไม่ควรลืมการป้องกัน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สัญญาณรบกวนด้วยเพื่อความมีเสถียรภาพของสัญญาณพาหะ ป้องกันการเลื่อนเฟสอันจะเป็นผลทำให้การดีมอดดูเลตผิดพลาดได้

วงจรเลื่อนเฟส 90 องศา

วงจรนี้เหมือนกับวงจรทางด้านภาคส่งทุกประการ ไม่เกิดการผิดเพี้ยนแต่อย่างใด แต่ก็ยังคงต้องป้องกันสัญญาณรบกวนด้วย เพราะมิฉะนั้นจะเกิดการผิดผลาดในการดีมอดดูเลตอีกเช่นกัน

วงจรบาลานซ์ดีมอดดูเลเตอร์

เนื่องจากวงจรคล้ายกับทางด้านภาคส่งมากในการทดสอบวงจรมอดดูเลเตอร์ให้ถูกต้องก่อนแล้วจึงมาทดลองทำการดีมอดดูเลท โดยจะตรวจสอบค่อนข้างยากว่าถูกหรือผิดถ้าไม่ได้ต่อวงจรกรองความมถี่ต่ำผ่านเพื่อความสะดวกควรต่อวงจรกรองความถี่ต่ำผ่านการทดสอบแล้วนั้นไว้เลย เพื่อความสะดวกในการตรวจสอบความถูกต้องจากการทดลองมีปัญหาอย่างมากในการดีมอดดูเลตให้ถูกต้อง เพราะเกิดการเลื่อนเฟสของสัญญาณพาหะเนื่องจากสัญญาณรบกวนจากภายนอกด้วย แก้ไขโดยการทำให้สัญญาณรบกวนน้อยลง

วงจรกรองความถี่ต่ำ

วงจรนี้เลือกใช้วงจร Chebyshev Active Filter Fouth – Order เพื่อให้สามารถตัดความถี่สูงออกได้ดี เพราะเนื่องจากถ้าตัดความถี่สูงออกไม่หมดแล้ว จะยากในการเปรียบเทียบระดับสัญญาณ สัญญาณจะไม่คงที่เปลี่ยนแปลงอยู่ตลอด จากการทดลองได้ผลการกรองเป็นที่น่าพอใจ

วงจรแปลงสัญญาณ 2 ระดับเป็น 1 บิต

วงจรนี้ถ้าหากวงจรกรองความถี่ต่ำที่มีประสิทธิภาพดีแล้ว วงจรแปลงระดับสัญญาณ 2 ระดับเป็น 1 บิต ก็จะไม่เกิดปัญหาอะไร ผลการทดลองเป็นที่น่าพอใจเป็นอย่างยิ่ง

วงจรรวมสัญญาณดิจิตอล

ถ้าหากเฟสของสัญญาณที่จะนำมารวมถูกต้องทั้งทางด้าน I และ Q แล้วก็จะไม่เกิดปัญหาแต่ถ้าหากไม่ถูกต้องแล้วจะทำให้ข้อมูลทางด้านเอาท์พุทเกิดการผิดพลาดไปจากเดิมผลการทดลองเป็นที่น่าพอใจ

โดยรวมๆ แล้ววงจรที่ออกแบบมานั้นไม่เกิดปัญหาอะไรมากโดยปัญหาที่ทำให้เสียเวลาในการทำงานส่วนใหญ่แล้วนั้น คือการรบกวนซึ่งกันและกันของภาคกำเนิดสัญญาณพาหะและกำเนิดสัญญาณนำร่อง หากแก้ปัญหาในส่วนนี้ได้แล้วก็จะทำให้งานประสบความสำเร็จได้ในระดับหนึ่ง แต่ถ้าหากต้องการจะปรับปรุงให้เครื่องมีประสิทธิภาพมากขึ้นแล้วนั้น ต้องใช้เวลาในการศึกษาเพิ่มเติมอีกมากทีเดียว ความเร็วในการส่งข้อมูลของโครงงานนี้ 64 kbps ถ้าต้องการเพิ่มความเร็วสูงขึ้น แต่ก็มีข้อจำกัดอยู่ในเรื่องของอุปกรณ์ในบางภาคที่นำมาประกอบในวงจรนี้ ทำให้ความเร็วในการส่งข้อมูลเพิ่มขึ้นได้ไม่มากนักแต่ในเมื่อต้องการความเร็วกันจริงๆ แล้วละก็ สามารถทำได้โดยหลักการของวงจรนี้ได้แต่ใช้อุปกรณ์ที่มีคุณภาพสูงขึ้น สามารถตอบสนองความถี่ได้กว้างขึ้น ก็จะทำให้วงจรสามารถส่งความเร็วสูงขึ้นได้ และเนื่องจากการทำเครื่องรับ-ส่ง 4 ช่องสัญญาณแบบ QPSK ประกอบด้วยช่องสัญญาณหลายช่องซึ่งมีทั้งสัญญาณอะนาลอก และสัญญาณดิจิตอล จึงสามารถจะนำไปประยุกต์ใช้งานโดยอาจนำกระบวนการมัลติเพล็กซ์เข้ามาใช้ ซึ่งก็จะทำให้สามารถเพิ่มอัตราเร็วในการรับ-ส่งข้อมูลได้มากขึ้นอีกระดับหนึ่ง แต่ความยุ่งยากของวงจรก็จะมากขึ้นเป็นเงาตามตัวด้วย

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ภาคผนวก

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

National Semiconductor

February 1995

LM1596/LM1496 Balanced Modulator-Demodulator

General Description

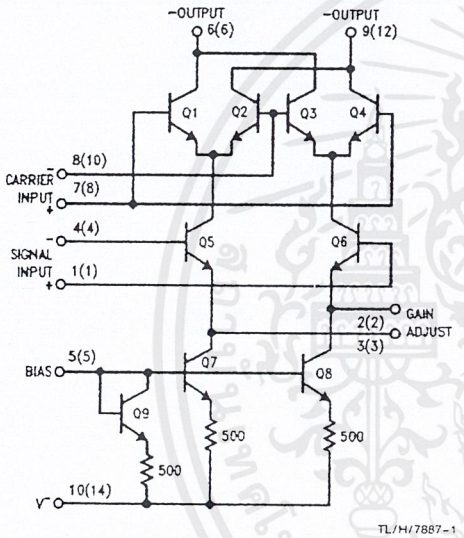
The LM1596/LM1496 are doubled balanced modulator-demodulators which produce an output voltage proportional to the product of an input (signal) voltage and a switching (carrier) signal. Typical applications include suppressed carrier modulation, amplitude modulation, synchronous detection, FM or PM detection, broadband frequency doubling and chopping.

The LM1596 is specified for operation over the −55°C to +125°C military temperature range. The LM1496 is specified for operation over the 0°C to +70°C temperature range.

Features

- Excellent carrier suppression
  - 65 dB typical at 0.5 MHz
  - 50 dB typical at 10 MHz
- Adjustable gain and signal handling
- Fully balanced inputs and outputs
- Low offset and drift
- Wide frequency response up to 100 MHz

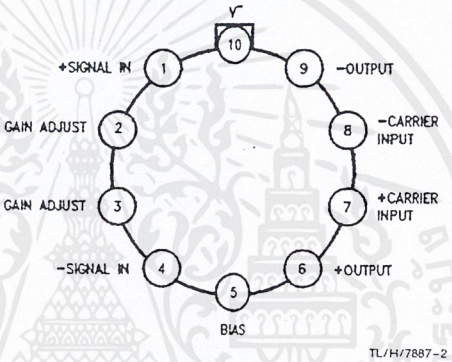
Schematic and Connection Diagrams



TL/H/7887–1

Numbers in parentheses show DIP connections.

Metal Can Package



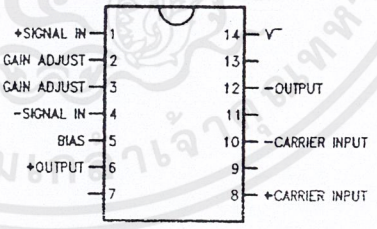
TL/H/7887–2

Top View

Note: Pin 10 is connected electrically to the case through the device substrate.

Order Number LM1496H or LM1596H
See NS Package Number H08C

Dual-In-Line and Small Outline Packages



TL/H/7887–3

Order Number LM1496M or LM1496N
See NS Package Number M14A or N14A

© 1995 National Semiconductor Corporation TL/H/7887

RRD-B30M115/Printed in U. S. A.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Absolute Maximum Ratings

If Military/Aerospace specified devices are required, please contact the National Semiconductor Sales Office/Distributors for availability and specifications.

Internal Power Dissipation (Note 1)	500 mW
Applied Voltage (Note 2)	30V
Differential Input Signal ($V_7 - V_8$)	±5.0V
Differential Input Signal ($V_4 - V_1$)	$\pm(5 + I_5R_0)$V
Input Signal ($V_2 - V_1$, $V_3 - V_4$)	5.0V
Bias Current (I_5)	12 mA
Operating Temperature Range LM1596	−55°C to +125°C
LM1496	0°C to +70°C
Storage Temperature Range	−65°C to +150°C

Soldering Information

- Dual-In-Line Package
  - Soldering (10 seconds) 260°C
- Small Outline Package
  - Vapor Phase (60 seconds) 215°C
  - Infrared (15 seconds) 220°C

See AN-450 "Surface Mounting Methods and their effects on Product Reliability" for other methods of soldering surface mount devices.

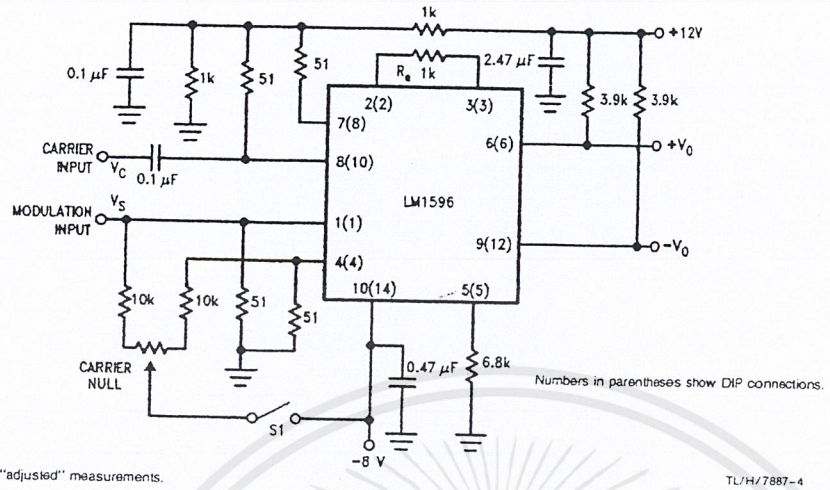
Electrical Characteristics (T_A = 25°C, unless otherwise specified, see test circuit)

Parameter	Conditions	LM1596			LM1496			Units
		Min	Typ	Max	Min	Typ	Max	
Carrier Feedthrough	V_C = 60 mVrms sine wave f_C = 1.0 kHz, offset adjusted		40			40		μVrms
	V_C = 60 mVrms sine wave f_C = 10 kHz, offset adjusted		140			140		μVrms
	V_C = 300 mV_{pp} square wave f_C = 1.0 kHz, offset adjusted		0.04	0.2		0.04	0.2	mVrms
	V_C = 300 mV_{pp} square wave f_C = 1.0 kHz, not offset adjusted		20	100		20	150	mVrms
Carrier Suppression	f_S = 10 kHz, 300 mVrms f_C = 500 kHz, 60 mVrms sine wave offset adjusted	50	65		50	65		dB
	f_S = 10 kHz, 300 mVrms f_C = 10 MHz, 60 mVrms sine wave offset adjusted		50			50		dB
Transadmittance Bandwidth	R_L = 50Ω Carrier Input Port, V_C = 60 mVrms sine wave f_S = 1.0 kHz, 300 mVrms sine wave		300			300		MHz
	Signal Input Port, V_S = 300 mVrms sine wave $V_7 - V_8$ = 0.5Vdc		80			80		MHz
Voltage Gain, Signal Channel	V_S = 100 mVrms, f = 1.0 kHz $V_7 - V_8$ = 0.5 Vdc	2.5	3.5		2.5	3.5		V/V
Input Resistance, Signal Port	f = 5.0 MHz $V_7 - V_8$ = 0.5 Vdc		200			200		kΩ
Input Capacitance, Signal Port	f = 5.0 MHz $V_7 - V_8$ = 0.5 Vdc		2.0			2.0		pF
Single Ended Output Resistance	f = 10 MHz		40			40		kΩ
Single Ended Output Capacitance	f = 10 MHz		5.0			5.0		pF
Input Bias Current	$(I_1 + I_4)/2$		12	25		12	30	μA
Input Bias Current	$(I_7 + I_8)/2$		12	25		12	30	μA
Input Offset Current	$(I_1 - I_4)$		0.7	5.0		0.7	5.0	μA
Input Offset Current	$(I_7 - I_8)$		0.7	5.0		5.0	5.0	μA
Average Temperature Coefficient of Input Offset Current	(−55°C < T_A < +125°C) (0°C < T_A < +70°C)		2.0			2.0		nA/°C nA/°C
Output Offset Current	$(I_6 - I_9)$		14	50		14	60	μA
Average Temperature Coefficient of Output Offset Current	(−55°C < T_A < +125°C) (0°C < T_A < +70°C)		90			90		nA/°C nA/°C

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Typical Application and Test Circuit

Suppressed Carrier Modulator

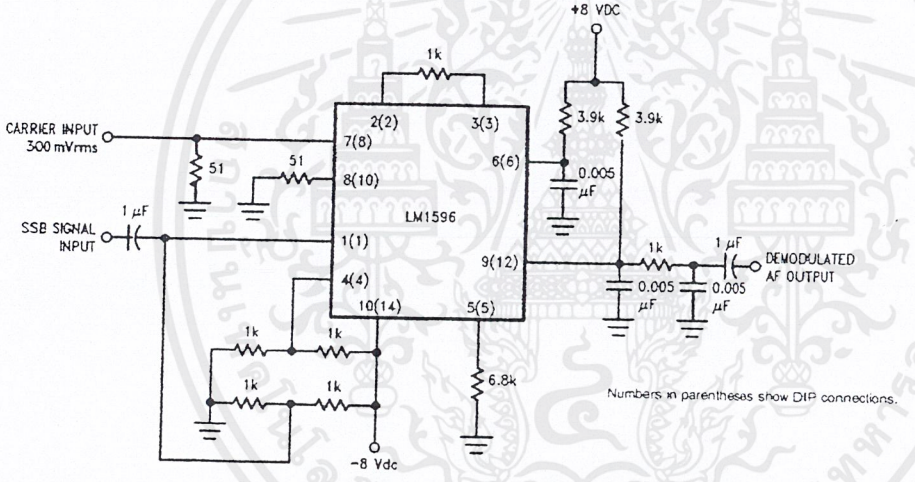


Numbers in parentheses show DIP connections.

Note: S_1 is closed for "adjusted" measurements.

TL/H/7887–4

SSB Product Detector



Numbers in parentheses show DIP connections.

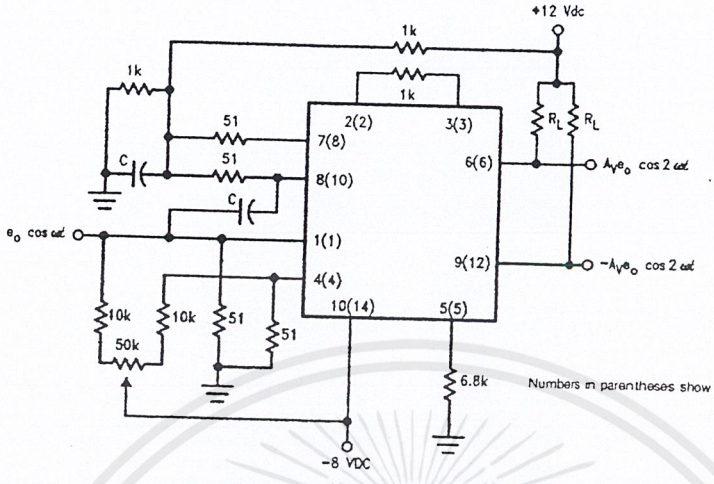
TL/H/7887–6

This figure shows the LM1596 used as a single sideband (SSB) suppressed carrier demodulator (product detector). The carrier signal is applied to the carrier input port with sufficient amplitude for switching operation. A carrier input level of 300 mVrms is optimum. The composite SSB signal is applied to the signal input port with an amplitude of 5.0 to 500 mVrms. All output signal components except the desired demodulated audio are filtered out, so that an offset adjustment is not required. This circuit may also be used as an AM detector by applying composite and carrier signals in the same manner as described for product detector operation.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Typical Applications (Continued)

Broadband Frequency Doubler



TL/H/7887–7

The frequency doubler circuit shown will double low-level signals with low distortion. The value of C should be chosen for low reactance at the operating frequency. Signal level at the carrier input must be less than 25 mV peak to maintain operation in the linear region of the switching differential amplifier. Levels to 50 mV peak may be used with some distortion of the output waveform. If a larger input signal is available a resistive divider may be used at the carrier input, with full signal applied to the signal input.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

FAIRCHILD SEMICONDUCTOR™

February 1984
Revised February 1999

MM74HC4046
CMOS Phase Lock Loop

General Description

The MM74HC4046 is a low power phase lock loop utilizing advanced silicon-gate CMOS technology to obtain high frequency operation both in the phase comparator and VCO sections. This device contains a low power linear voltage controlled oscillator (VCO), a source follower, and three phase comparators. The three phase comparators have a common signal input and a common comparator input. The signal input has a self biasing amplifier allowing signals to be either capacitively coupled to the phase comparators with a small signal or directly coupled with standard input logic levels. This device is similar to the CD4046 except that the Zener diode of the metal gate CMOS device has been replaced with a third phase comparator.

Phase Comparator I is an exclusive OR (XOR) gate. It provides a digital error signal that maintains a 90 phase shift between the VCO's center frequency and the input signal (50% duty cycle input waveforms). This phase detector is more susceptible to locking onto harmonics of the input frequency than phase comparator I, but provides better noise rejection.

Phase comparator III is an SR flip-flop gate. It can be used to provide the phase comparator functions and is similar to the first comparator in performance.

Phase comparator II is an edge sensitive digital sequential network. Two signal outputs are provided, a comparator output and a phase pulse output. The comparator output is a 3-STATE output that provides a signal that locks the VCO output signal to the input signal with 0 phase shift between them. This comparator is more susceptible to noise throwing the loop out of lock, but is less likely to lock onto harmonics than the other two comparators.

In a typical application any one of the three comparators feed an external filter network which in turn feeds the VCO input. This input is a very high impedance CMOS input which also drives the source follower. The VCO's operating frequency is set by three external components connected to the C1A, C1B, R1 and R2 pins. An inhibit pin is provided to disable the VCO and the source follower, providing a method of putting the IC in a low power state.

The source follower is a MOS transistor whose gate is connected to the VCO input and whose drain connects the Demodulator output. This output normally is used by tying a resistor from pin 10 to ground, and provides a means of looking at the VCO input without loading down modifying the characteristics of the PLL filter.

Features

- Low dynamic power consumption: (V_{CC} = 4.5V)
- Maximum VCO operating frequency: 12 MHz (V_{CC} = 4.5V)
- Fast comparator response time (V_{CC} = 4.5V)
  - Comparator I: 25 ns
  - Comparator II: 30 ns
  - Comparator III: 25 ns
- VCO has high linearity and high temperature stability

Ordering Code:

Order Number	Package Number	Package Description
MM74HC4046M	M16A	16-Lead Small Outline Integrated Circuit (SOIC), JEDEC MS-012, 0.150" Narrow
MM74HC4046SJ	M16D	16-Lead Small Outline Package (SOP), EIAJ TYPE II, 5.3mm Wide
MM74HC4046MTC	MTC16	16-Lead Thin Shrink Small Outline Package (TSSOP), JEDEC MO-153, 4.4mm Wide
MM74HC4046N	N16E	16-Lead Plastic Dual-In-Line Package (PDIP), JEDEC MS-001, 0.300" Wide

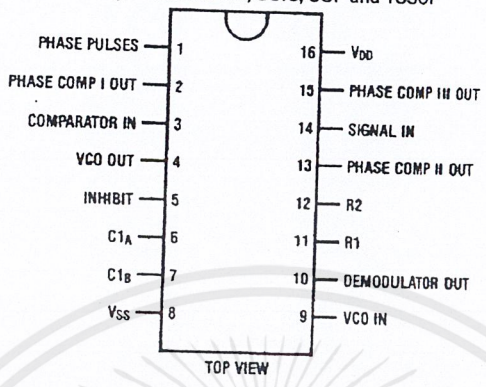
Devices also available in Tape and Reel. Specify by appending the suffix letter "X" to the ordering code.

© 1999 Fairchild Semiconductor Corporation

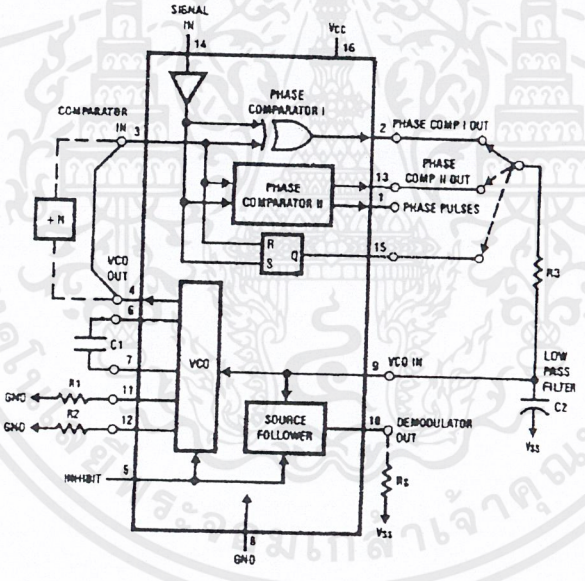
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Connection Diagram

Pin Assignments for DIP, SOIC, SOP and TSSOP



Block Diagram



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

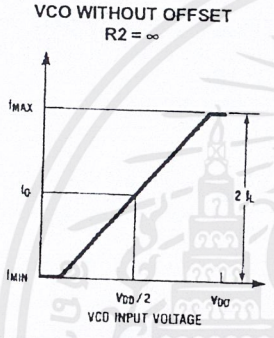
Detailed Circuit Description

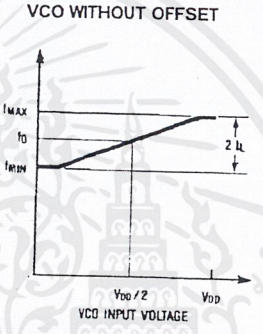
VOLTAGE CONTROLLED OSCILLATOR/SOURCE FOLLOWER

The VCO requires two or three external components to operate. These are R1, R2, C1. Resistor R1 and capacitor C1 are selected to determine the center frequency of the VCO. R1 controls the lock range. As R1's resistance decreases the range of f_{min} to f_{max} increases. Thus the VCO's gain decreases. As C1 is changed the offset (if used) of R2, and the center frequency is changed. (See typical performance curves) R2 can be used to set the offset frequency with 0V at VCO input. If R2 is omitted the VCO range is from 0Hz. As R2 is decreased the offset frequency is increased. The effect of R2 is shown in the design information table and typical performance curves.

By increasing the value of R2 the lock range of the PLL is offset above 0Hz and the gain (Volts/rad.) does not change. In general, when offset is desired, R2 and C1 should be chosen first, and then R1 should be chosen to obtain the proper center frequency.

Internally the resistors set a current in a current mirror as shown in Figure 1. The mirrored current drives one side of the capacitor once the capacitor charges up to the threshold of the schmitt trigger the oscillator logic flips the capacitor over and causes the mirror to charge the opposite side of the capacitor. The output from the internal logic is then taken to pin 4.





Comparator I		Comparator II & III	
$R_2 = \infty$	$R_2 \neq \infty$	$R_2 = \infty$	$R_2 \neq \infty$
•Given: f_0 •Use f_0 with curve titled center frequency vs R1, C to determine R1 and C1	•Given: f_0 and f_L •Calculate f_{min} from the equation $f_{min} = f_o - f_L$ •Use f_{min} with curve titled offset frequency vs R2, C to determine R2 and C1 •Calculate f_{max}/f_{min} from the equation $f_{max}/f_{min} = f_o + f_L/f_o - f_L$ •Use f_{max}/f_{min} with curve titled f_{max}/f_{min} vs R2/R1 to determine ratio R2/R1 to obtain R1	•Given: f_{max} •Calculate f_0 from the equation $f_o = f_{max}/2$ •Use f_0 with curve titled center frequency vs R1, C to determine R1 and C1	•Given: f_{min} and f_{max} •Use f_{min} with curve titled offset frequency vs R2, C to determine R2 and C1 •Calculate f_{max}/f_{min} •Use f_{max}/f_{min} with curve titled f_{max}/f_{min} vs R2/R1 to determine ratio R2/R1 to obtain R1

FIGURE 1.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

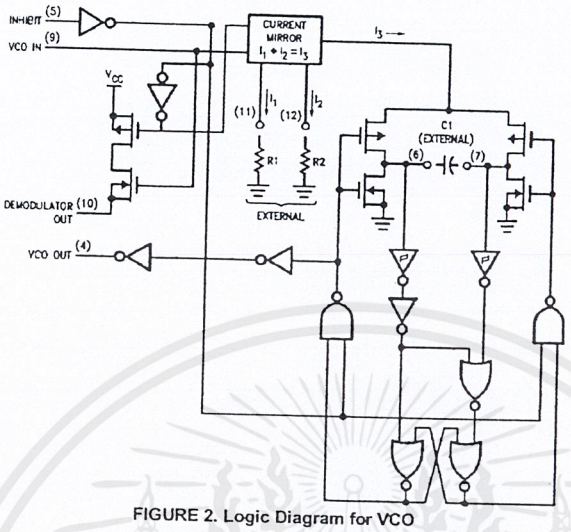


FIGURE 2. Logic Diagram for VCO

The input to the VCO is a very high impedance CMOS input and so it will not load down the loop filter, easing the filters design. In order to make signals at the VCO input accessible without degrading the loop performance a source follower transistor is provided. This transistor can be used by connecting a resistor to ground and its drain output will follow the VCO input signal.

An inhibit signal is provided to allow disabling of the VCO and the source follower. This is useful if the internal VCO is not being used. A logic high on inhibit disables the VCO and source follower.

The output of the VCO is a standard high speed CMOS output with an equivalent LSTTL fanout of 10. The VCO output is approximately a square wave. This output can either directly feed the comparator input of the phase comparators or feed external prescalers (counters) to enable frequency synthesis.

PHASE COMPARATORS

All three phase comparators share two inputs, Signal In and Comparator In. The Signal In has a special DC bias network that enables AC coupling of input signals. If the signals are not AC coupled then this input requires logic levels the same as standard 74HC. The Comparator input is a standard digital input. Both input structures are shown in Figure 3.

The outputs of these comparators are essentially standard 74HC voltage outputs. (Comparator II is 3-STATE.)

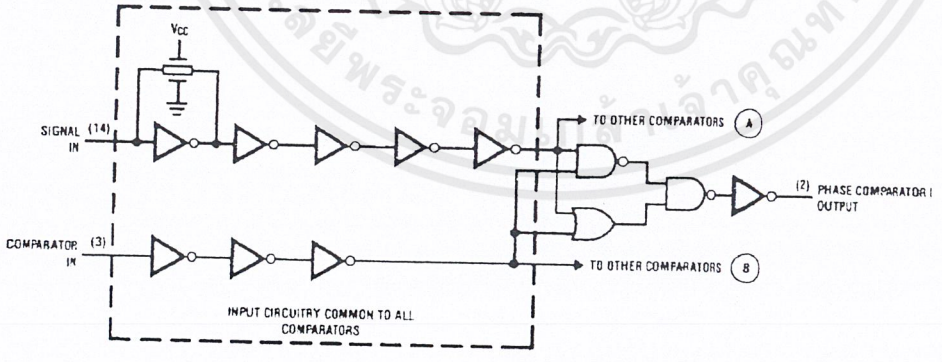


FIGURE 3. Logic Diagram for Phase Comparator I and the common input circuit for all three comparators

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

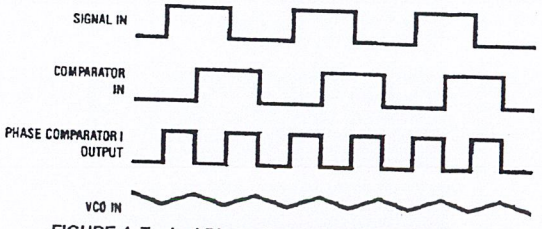


FIGURE 4. Typical Phase Comparator I. Waveforms

Thus in normal operation V_{CC} and ground voltage levels are fed to the loop filter. This differs from some phase detectors which supply a current output to the loop filter and this should be considered in the design. (The CD4046 also provides a voltage.)

Figure 5 shows the state tables for all three comparators.

PHASE COMPARATOR I

This comparator is a simple XOR gate similar to the 74HC86, and its operation is similar to an overdriven balanced modulator. To maximize lock range the input frequencies must have a 50% duty cycle. Typical input and output waveforms are shown in Figure 4. The output of the phase detector feeds the loop filter which averages the output voltage. The frequency range upon which the PLL will lock onto if initially out of lock is defined as the capture range. The capture range for phase detector I is dependent on the loop filter employed. The capture range can be as large as the lock range which is equal to the VCO frequency range.

To see how the detector operates refer to Figure 4. When two square wave inputs are applied to this comparator, an output waveform whose duty cycle is dependent on the phase difference between the two signals results. As the phase difference increases the output duty cycle increases and the voltage after the loop filter increases. Thus in order to achieve lock, when the PLL input frequency increases the VCO input voltage must increase and the phase difference between comparator in and signal in will increase. At an input frequency equal f_{min}, the VCO input is at 0V and this requires the phase detector output to be ground hence the two input signals must be in phase. When the input frequency is f_{max} then the VCO input must be V_{CC} and the phase detector inputs must be 180° out of phase.

The XOR is more susceptible to locking onto harmonics of the signal input than the digital phase detector II. This can be seen by noticing that a signal 2 times the VCO frequency results in the same output duty cycle as a signal equal the VCO frequency. The difference is that the output frequency of the 2f example is twice that of the other example. The loop filter and the VCO range should be designed to prevent locking on to harmonics.

PHASE COMPARATOR II

This detector is a digital memory network. It consists of four flip-flops and some gating logic, a three state output and a phase pulse output as shown in Figure 6. This comparator acts only on the positive edges of the input signals and is thus independent of signal duty cycle.

Phase comparator II operates in such a way as to force the PLL into lock with 0 phase difference between the VCO output and the signal input positive waveform edges. Figure 7 shows some typical loop waveforms. First assume that the signal input phase is leading the comparator input. This means that the VCO's frequency must be increased to bring its leading edge into proper phase alignment. Thus the phase detector II output is set high. This will cause the loop filter to charge up the VCO input increasing the VCO frequency. Once the leading edge of the comparator input is detected the output goes 3-STATE holding the VCO input at the loop filter voltage. If the VCO still lags the signal then the phase detector will again charge up to VCO input for the time between the leading edges of both waveforms.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

If the VCO leads the signal then when the leading edge of the VCO is seen the output of the phase comparator goes LOW. This discharges the loop filter until the leading edge of the signal is detected at which time the output 3-STATE itself again. This has the effect of slowing down the VCO to again make the rising edges of both waveform coincident.

When the PLL is out of lock the VCO will be running either slower or faster than the signal input. If it is running slower the phase detector will see more signal rising edges and so the output of the phase comparator will be HIGH a majority of the time, raising the VCO's frequency. Conversely, if the VCO is running faster than the signal the output of the detector will be LOW most of the time and the VCO's output frequency will be decreased.

As one can see when the PLL is locked the output of phase comparator II will be almost always 3-STATE except for minor corrections at the leading edge of the waveforms. When the detector is 3-STATE the phase pulse output is HIGH. This output can be used to determine when the PLL is in the locked condition.

This detector has several interesting characteristics. Over the entire VCO frequency range there is no phase difference between the comparator input and the signal input. The lock range of the PLL is the same as the capture range. Minimal power is consumed in the loop filter since in lock the detector output is a high impedance. Also when no signal is present the detector will see only VCO leading edges, and so the comparator output will stay LOW forcing the VCO to f_{min} operating frequency.

Phase comparator II is more susceptible to noise causing the phase lock loop to unlock. If a noise pulse is seen on the signal input, the comparator treats it as another positive edge of the signal and will cause the output to go HIGH until the VCO leading edge is seen, potentially for a whole signal input period. This would cause the VCO to speed up during that time. When using the phase comparator I the output of that phase detector would be disturbed for only the short duration of the noise spike and would cause less upset.

PHASE COMPARATOR III

This comparator is a simple S-R Flip-Flop which can function as a phase comparator Figure 8. It has some similar characteristics to the edge sensitive comparator. To see how this detector works assume input pulses are applied to the signal and comparator inputs as shown in Figure 9. When the signal input leads the comparator input the flop is set. This will charge up the loop filter and cause the VCO to speed up, bringing the comparator into phase with the signal input. When using short pulses as input this comparator behaves very similar to the second comparator. But one can see that if the signal input is a long pulse, the output of the comparator will be forced to a one no matter how many comparator input pulses are received. Also if the VCO input is a square wave (as it is) and the signal input is pulse then the VCO will force the comparator output LOW much of the time. Therefore it is ideal to condition the signal and comparator input to short pulses. This is most easily done by using a series capacitor.

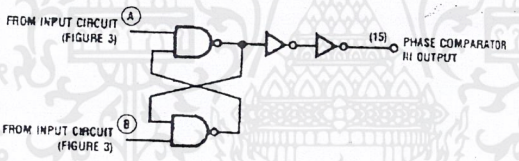


FIGURE 8. Phase Comparator III Logic Diagram

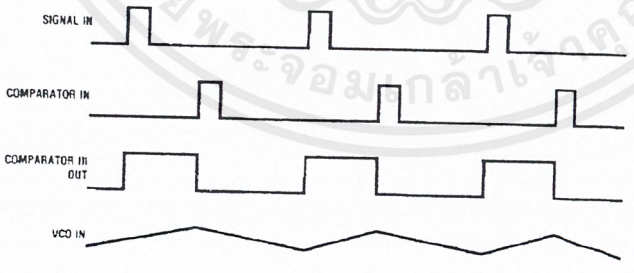


FIGURE 9. Typical Waveforms for Phase Comparator III

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

National Semiconductor

February 1988

CD4020BM/CD4020BC
14-Stage Ripple Carry Binary Counters
CD4040BM/CD4040BC
12-Stage Ripple Carry Binary Counters
CD4060BM/CD4060BC
14-Stage Ripple Carry Binary Counters

General Description

The CD4020BM/CD4020BC, CD4060BM/CD4060BC are 14-stage ripple carry binary counters, and the CD4040BM/CD4040BC is a 12-stage ripple carry binary counter. The counters are advanced one count on the negative transition of each clock pulse. The counters are reset to the zero state by a logical "1" at the reset input independent of clock.

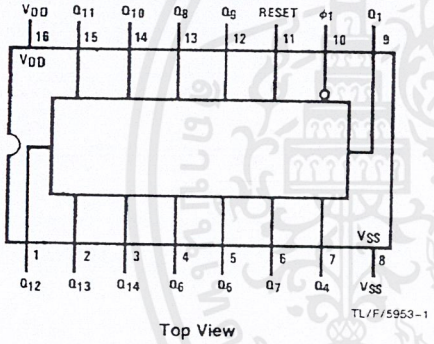
Features

■ Wide supply voltage range	1.0V to 15V
■ High noise immunity	0.45 V_{DD} (typ.)
■ Low power TTL compatibility	Fan out of 2 driving 74L or 1 driving 74LS
■ Medium speed operation	8 MHz typ. at V_{DD} = 10V
■ Schmitt trigger clock input	

Connection Diagrams

Dual-In-Line Package

CD4020BM/CD4020BC



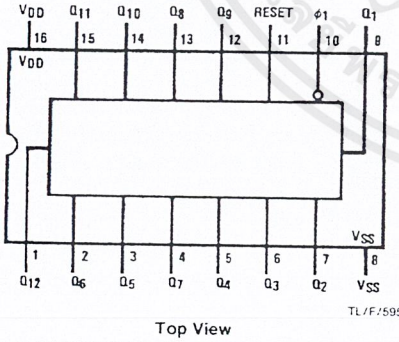
TL/F/5953–1

Top View

Order Number CD4020B, CD4040B or CD4060B

Dual-In-Line Package

CD4040BM/CD4040BC

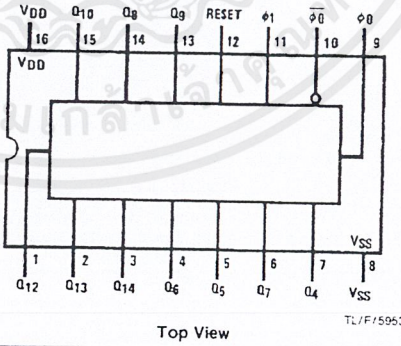


TL/F/5953–2

Top View

Dual-In-Line Package

CD4060BM/CD4060BC



TL/F/5953–3

Top View

© 1995 National Semiconductor Corporation TL/F/5953

RRD-B30M105/Printed in U. S. A.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

AC Electrical Characteristics* CD4060BM/CD4060BC

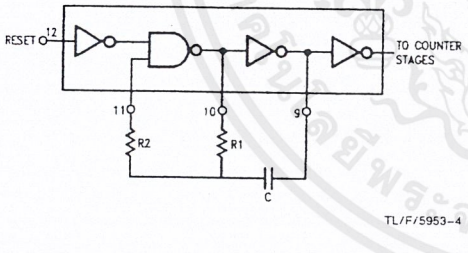
T_A = 25°C, C_L = 50 pF, R_L = 200k, t_r = t_f = 20 ns, unless otherwise noted

Symbol	Parameter	Conditions	Min	Typ	Max	Units
t_{PHL4}, t_{PLH4}	Propagation Delay Time to Q_4	V_{DD} = 5V		550	1300	ns
		V_{DD} = 10V		250	525	ns
		V_{DD} = 15V		200	400	ns
t_{PHL}, t_{PLH}	Interstage Propagation Delay Time from Q_n to Q_{n+1}	V_{DD} = 5V		150	330	ns
		V_{DD} = 10V		60	125	ns
		V_{DD} = 15V		45	90	ns
t_{THL}, t_{TLH}	Transition Time	V_{DD} = 5V		100	200	ns
		V_{DD} = 10V		50	100	ns
		V_{DD} = 15V		40	80	ns
t_{WL}, t_{WH}	Minimum Clock Pulse Width	V_{DD} = 5V		170	500	ns
		V_{DD} = 10V		65	170	ns
		V_{DD} = 15V		50	125	ns
t_{rCL}, t_{fCL}	Maximum Clock Rise and Fall Time	V_{DD} = 5V			No Limit	ns
		V_{DD} = 10V			No Limit	ns
		V_{DD} = 15V			No Limit	ns
f_{CL}	Maximum Clock Frequency	V_{DD} = 5V	1	3		MHz
		V_{DD} = 10V	3	8		MHz
		V_{DD} = 15V	4	10		MHz
$t_{PHL(R)}$	Reset Propagation Delay	V_{DD} = 5V		200	450	ns
		V_{DD} = 10V		100	210	ns
		V_{DD} = 15V		80	170	ns
$t_{WH(R)}$	Minimum Reset Pulse Width	V_{DD} = 5V		200	450	ns
		V_{DD} = 10V		100	210	ns
		V_{DD} = 15V		80	170	ns
C_{in}	Average Input Capacitance	Any Input		5	7.5	pF
C_{pd}	Power Dissipation Capacitance			50		pF

*AC Parameters are guaranteed by DC correlated testing.

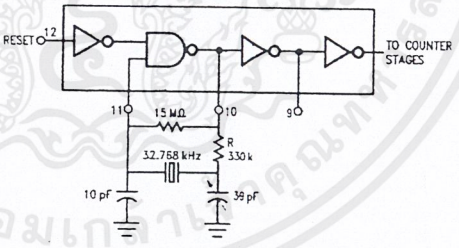
CD4060B Typical Oscillator Connections

RC Oscillator



TL/F/5953–4

Crystal Oscillator

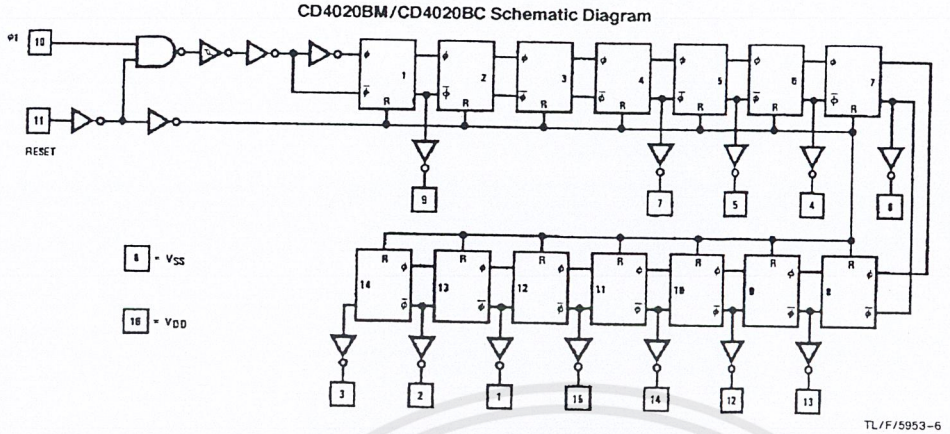


TL/F/5953–5

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

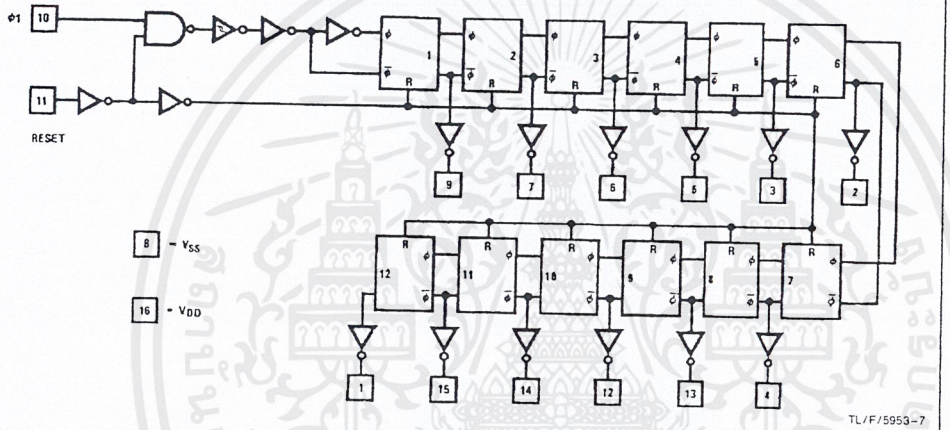
Schematic Diagrams

CD4020BM/CD4020BC Schematic Diagram



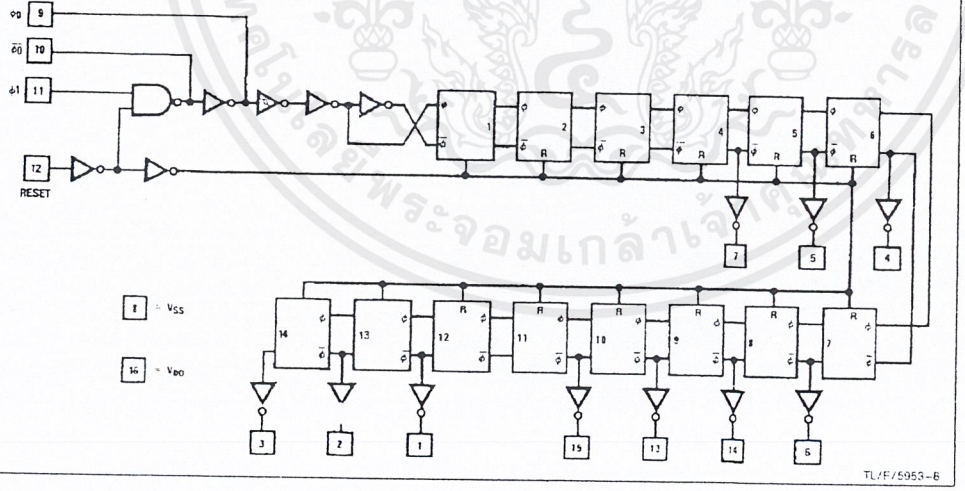
TL/F/5953–6

CD4040BM/CD4040BC Schematic Diagram



TL/F/5953–7

CD4060BM/CD4060BC Schematic Diagram



TL/F/5953–8

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

National Semiconductor

May 1998

DAC0800/DAC0801/DAC0802
8-Bit Digital-to-Analog Converters

General Description

The DAC0800 series are monolithic 8-bit high-speed current-output digital-to-analog converters (DAC) featuring typical settling times of 100 ns. When used as a multiplying DAC, monotonic performance over a 40 to 1 reference current range is possible. The DAC0800 series also features high compliance complementary current outputs to allow differential output voltages of 20 Vp-p with simple resistor loads as shown in *Figure 1*. The reference-to-full-scale current matching of better than ±1 LSB eliminates the need for full-scale trims in most applications while the nonlinearities of better than ±0.1% over temperature minimizes system error accumulations.

The noise immune inputs of the DAC0800 series will accept TTL levels with the logic threshold pin, V_{LC}, grounded. Changing the V_{LC} potential will allow direct interface to other logic families. The performance and characteristics of the device are essentially unchanged over the full ±4.5V to ±18V power supply range; power dissipation is only 33 mW with ±5V supplies and is independent of the logic input states.

The DAC0800, DAC0802, DAC0800C, DAC0801C and DAC0802C are a direct replacement for the DAC-08, DAC-08A, DAC-08C, DAC-08E and DAC-08H, respectively.

Features

- Fast settling output current: 100 ns
- Full scale error: ±1 LSB
- Nonlinearity over temperature: ±0.1%
- Full scale current drift: ±10 ppm/°C
- High output compliance: −10V to +18V
- Complementary current outputs
- Interface directly with TTL, CMOS, PMOS and others
- 2 quadrant wide range multiplying capability
- Wide power supply range: ±4.5V to ±18V
- Low power consumption: 33 mW at ±5V
- Low cost

Typical Applications

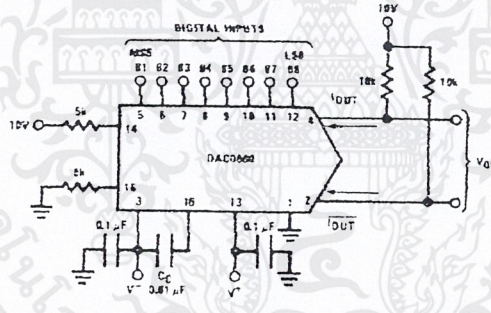


FIGURE 1. ±20 V_{p-p} Output Digital-to-Analog Converter (Note 5)

Ordering Information

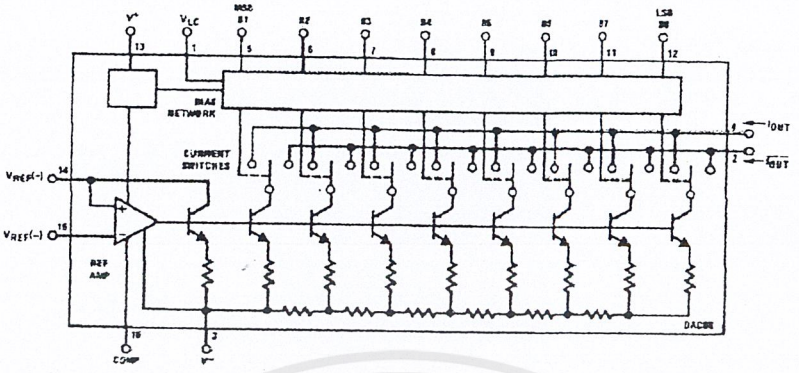
Non-Linearity	Temperature Range	Order Numbers				
		J Package (J16A) (Note 1)		N Package (N16A) (Note 1)		SO Package (M16A)
±0.1% FS	0°C ≤ T_A ≤ +70°C	DAC0802LCJ	DAC-08HQ	DAC0802LCN	DAC-08HP	DAC0802LCM
±0.19% FS	−55°C ≤ T_A ≤ +125°C	DAC0800LJ	DAC-08Q			
±0.19% FS	0°C ≤ T_A ≤ +70°C	DAC0800LCJ	DAC-08EQ	DAC0800LCN	DAC-08EP	DAC0800LCM
±0.39% FS	0°C ≤ T_A ≤ +70°C			DAC0801LCN	DAC-08CP	DAC0801LCM

Note 1: Devices may be ordered by using either order number

© 1999 National Semiconductor Corporation

terial Copyrighted By Its Respective Manufacturer
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

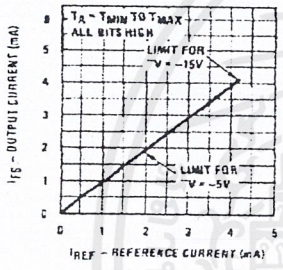
Block Diagram (Note 5)



DS005686-2

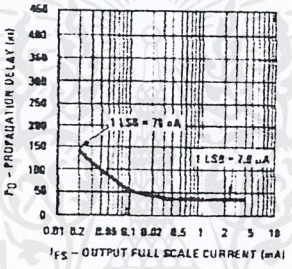
Typical Performance Characteristics

Full Scale Current vs Reference Current



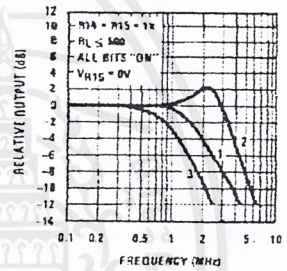
DS005686-22

LSB Propagation Delay vs I_{FS}



DS005686-23

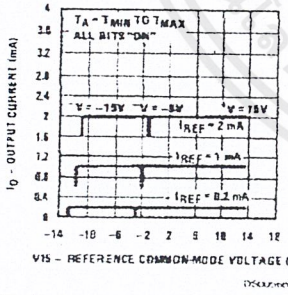
Reference Input Frequency Response



DS005686-24

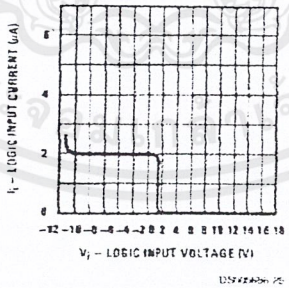
Curve 1: C_C=15 pF, V_{IN}=2 Vp-p centered at 1V
Curve 2: C_C=15 pF, V_{IN}=50 mVp-p centered at 200 mV.
Curve 3: C_C=0 pF, V_{IN}=100 mVp-p centered at 0V and applied through 50Ω connected to pin 14 2V applied to R14

Reference Amp Common-Mode Range

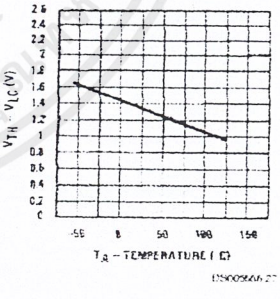


Note: Positive common-mode range is always (V+) − 1.5V.

Logic Input Current vs Input Voltage

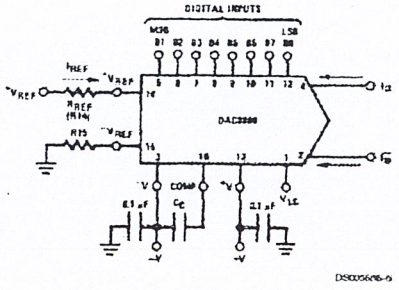


V_{TH} — V_{LC} vs Temperature



terial Copyrighted By Its Respective Manufacturer
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Typical Applications



$$I_{FS} \approx \frac{+V_{REF}}{R_{REF}} \times \frac{255}{256}$$

$I_O + \bar{I}_O = I_{FS}$ for all logic states
For fixed reference, TTL operation, typical values are:
V_{REF} = 10.000V
R_{REF} = 5.000k
R15 ≈ R_{REF}
C_C = 0.01 μF
V_{LC} = 0V (Ground)

FIGURE 3. Basic Positive Reference Operation (Note 5)

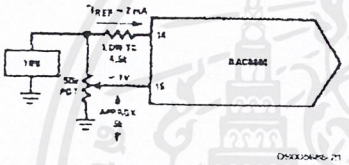
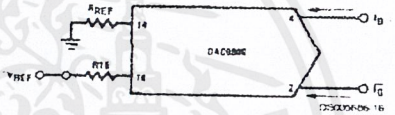


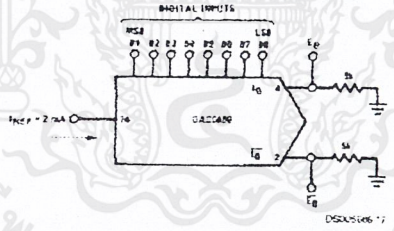
FIGURE 4. Recommended Full Scale Adjustment Circuit (Note 5)



$$I_{FS} = \frac{-V_{REF}}{R_{REF}} \times \frac{255}{256}$$

Note. R_{REF} sets I_{FS}; R15 is for bias current cancellation

FIGURE 5. Basic Negative Reference Operation (Note 5)

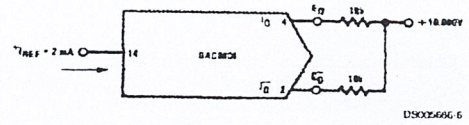


	B1	B2	B3	B4	B5	B6	B7	B8	I_O mA	$\bar{I}_O$ mA	E_O	$\bar{E}_O$
Full Scale	1	1	1	1	1	1	1	1	1.992	0.000	−9.960	0.000
Full Scale-LSB	1	1	1	1	1	1	1	0	1.984	0.008	−9.920	−0.040
Half Scale-LSB	1	0	0	0	0	0	0	1	1.008	0.984	−5.040	−4.920
Half Scale	1	0	0	0	0	0	0	0	1.000	0.992	−5.000	−4.960
Half Scale-LSB	0	1	1	1	1	1	1	1	0.992	1.000	−4.960	−5.000
Zero Scale+LSB	0	0	0	0	0	0	0	1	0.008	1.984	−0.040	−9.920
Zero Scale	0	0	0	0	0	0	0	0	0.000	1.992	0.000	−9.960

FIGURE 6. Basic Unipolar Negative Operation (Note 5)

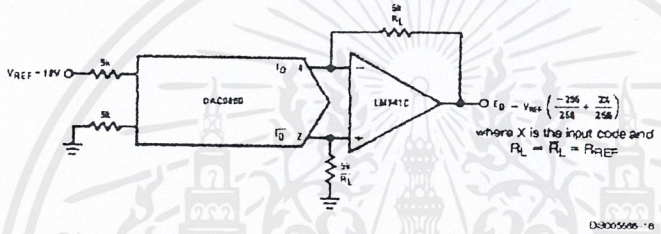
terial Copyrighted By Its Respective Manufacturer
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Typical Applications (Continued)



	B1	B2	B3	B4	B5	B6	B7	B8	E_O	$\bar{E}_O$
Pos. Full Scale	1	1	1	1	1	1	1	1	−9.920	+10.000
Pos. Full Scale−LSB	1	1	1	1	1	1	1	0	−9.840	+9.920
Zero Scale+LSB	1	0	0	0	0	0	0	1	−0.080	+0.160
Zero Scale	1	0	0	0	0	0	0	0	0.000	+0.080
Zero Scale−LSB	0	1	1	1	1	1	1	1	+0.080	0.000
Neg. Full Scale+LSB	0	0	0	0	0	0	0	1	+9.920	−9.840
Neg. Full Scale	0	0	0	0	0	0	0	0	+10.000	−9.920

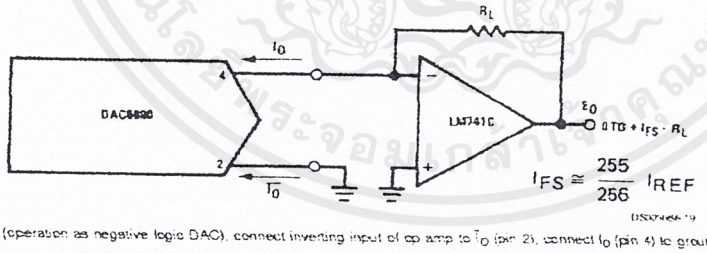
FIGURE 7. Basic Bipolar Output Operation (Note 5)



If $R_L = \bar{R}_L$ within ±0.05%, output is symmetrical about ground

	B1	B2	B3	B4	B5	B6	B7	B8	E_O
Pos. Full Scale	1	1	1	1	1	1	1	1	+9.960
Pos. Full Scale−LSB	1	1	1	1	1	1	1	0	+9.880
(+)Zero Scale	1	0	0	0	0	0	0	0	+0.040
(−)Zero Scale	0	1	1	1	1	1	1	1	−0.040
Neg. Full Scale+LSB	0	0	0	0	0	0	0	1	−9.880
Neg. Full Scale	0	0	0	0	0	0	0	0	−9.960

FIGURE 8. Symmetrical Offset Binary Operation (Note 5)

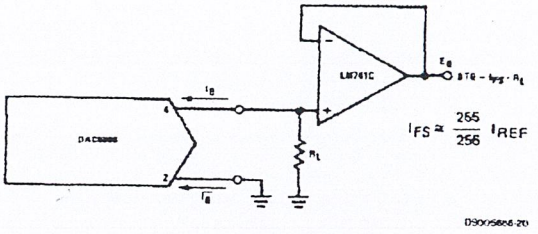


For complementary output (operation as negative logic DAC), connect inverting input of op amp to $\bar{I}_O$ (pin 2), connect I_O (pin 4) to ground.

FIGURE 9. Positive Low Impedance Output Operation (Note 5)

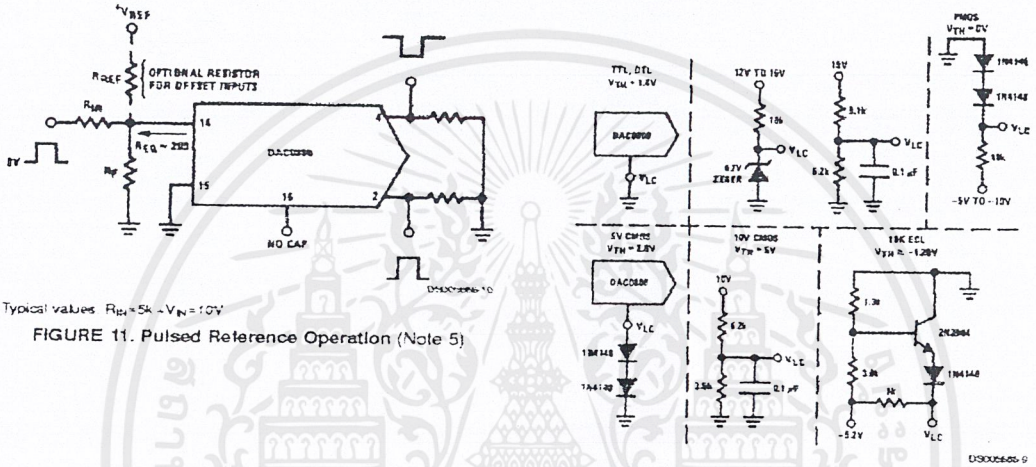
terial Copyrighted By Its Respective Manufacturer
เอกสารนี้อนุโลมให้ใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Typical Applications (Continued)



For complementary output (operation as a negative logic DAC) connect non-inverting input of op amp to $\overline{I}_O$ (pin 2); connect I_O (pin 4) to ground.

FIGURE 10. Negative Low Impedance Output Operation (Note 5)

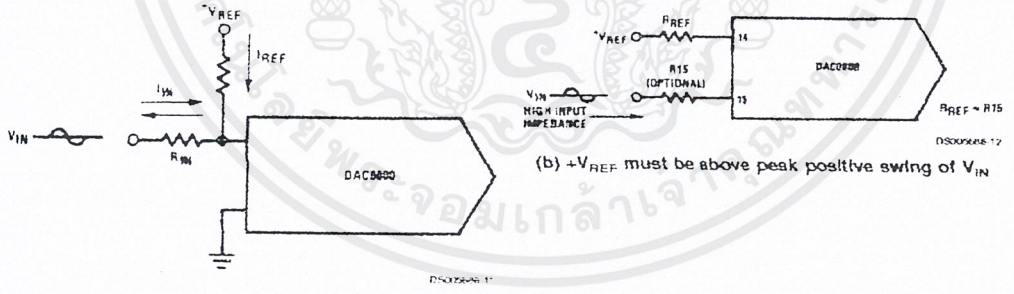


Typical values $R_{IN} = 5k \rightarrow V_{IN} = 10V$

FIGURE 11. Pulsed Reference Operation (Note 5)

$V_{TH} = V_{LC} + 1.4V$
15V CMOS, HTL, HNIL
$V_{TH} = 7.6V$
Note: Do not exceed negative logic input range of DAC.

FIGURE 12. Interfacing with Various Logic Families



(b) $+V_{REF}$ must be above peak positive swing of V_{IN}

(a) $I_{REF} \geq$ peak negative swing of I_{IN}

FIGURE 13. Accommodating Bipolar References (Note 5)

aterial Copyrighted By Its Respective Manufacturer
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Typical Applications (Continued)

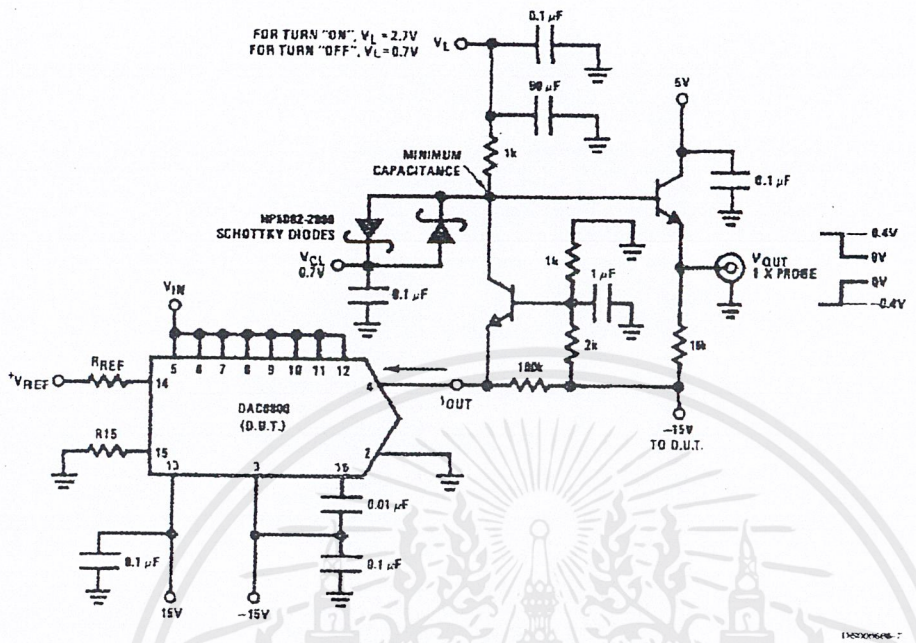
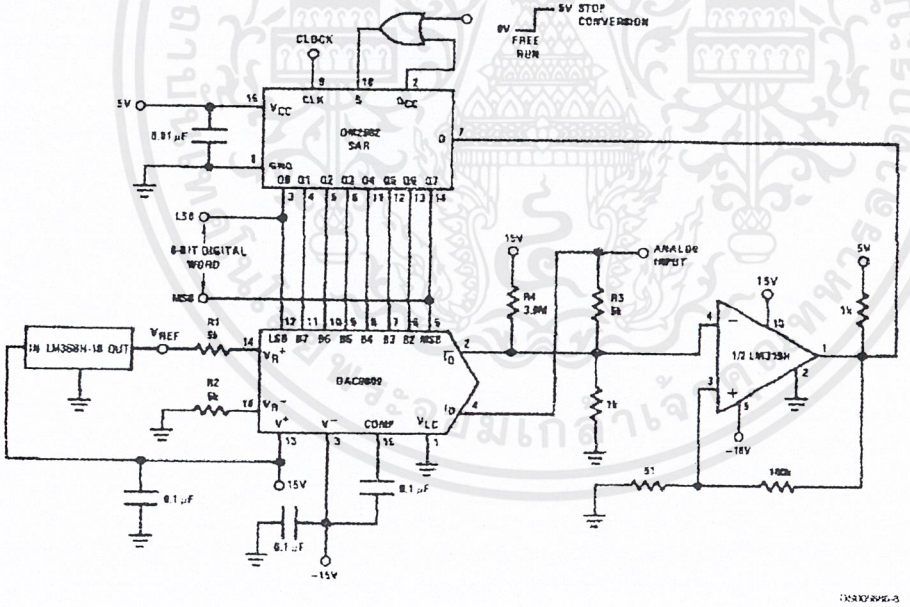


FIGURE 14. Settling Time Measurement (Note 5)



Note: For 1 µs conversion time with 8-bit resolution and 7-bit accuracy, an LM361 comparator replaces the LM319 and the reference current is doubled by reducing R1, R2 and R3 to 2.5 kΩ and R4 to 2 MΩ.

FIGURE 15. A Complete 2 µs Conversion Time, 8-Bit A/D Converter (Note 5)

aterial Copyrighted By Its Respective Manufacturer
เอกสารนี้เอื้อเฟื้อเพื่อการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

National Semiconductor

May 1999

DAC0808
8-Bit D/A Converter

General Description

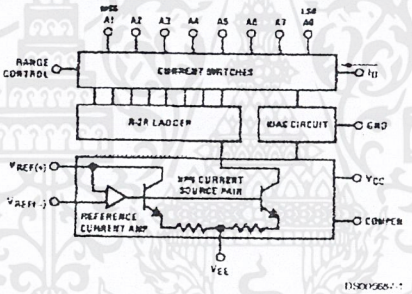
The DAC0808 is an 8-bit monolithic digital-to-analog converter (DAC) featuring a full scale output current settling time of 150 ns while dissipating only 33 mW with ±5V supplies. No reference current (I_{REF}) trimming is required for most applications since the full scale output current is typically ±1 LSB of 255 $I_{REF}/256$. Relative accuracies of better than ±0.19% assure 8-bit monotonicity and linearity while zero level output current of less than 4 µA provides 8-bit zero accuracy for $I_{REF} \geq 2$ mA. The power supply currents of the DAC0808 is independent of bit codes, and exhibits essentially constant device characteristics over the entire supply voltage range.

The DAC0808 will interface directly with popular TTL, DTL or CMOS logic levels, and is a direct replacement for the MC1508/MC1408. For higher speed applications, see DAC0800 data sheet.

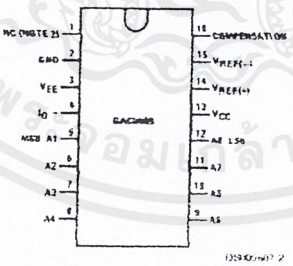
Features

- Relative accuracy: ±0.19% error maximum
- Full scale current match: ±1 LSB typ
- Fast settling time: 150 ns typ
- Noninverting digital inputs are TTL and CMOS compatible
- High speed multiplying input slew rate: 8 mA/µs
- Power supply voltage range: ±4.5V to ±18V
- Low power consumption: 33 mW @ ±5V

Block and Connection Diagrams



Dual-In-Line Package



Top View
Order Number DAC0808
See NS Package M16A or N16A

©1999 National Semiconductor Corporation

terial Copyrighted By Its Respective Manufacturer
เอกสารนี้มีลิขสิทธิ์ สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Electrical Characteristics (Continued)

(V_{CC} = 5V, V_{EE} = −15 V_{DC}, V_{REF}/R14 = 2 mA, and all digital inputs at high logic level unless otherwise noted.)

Symbol	Parameter	Conditions	Min	Typ	Max	Units
	All Bits Low	V_{CC} = 5V, V_{EE} = −5V		33	170	mW
		V_{CC} = 5V, V_{EE} = −15V		106	305	mW
	All Bits High	V_{CC} = 15V, V_{EE} = −5V		90		mW
		V_{CC} = 15V, V_{EE} = −15V		160		mW

Note 2: Absolute Maximum Ratings indicate limits beyond which damage to the device may occur. DC and AC electrical specifications do not apply when operating the device beyond its specified operating conditions.

Note 3: Range control is not required.

Note 4: The maximum power dissipation must be derated at elevated temperatures and is dictated by T_{JMAX}, θ_{JA}, and the ambient temperature, T_A. The maximum allowable power dissipation at any temperature is $P_D = (T_{JMAX} - T_A)/\theta_{JA}$ or the number given in the Absolute Maximum Ratings, whichever is lower. For this device, T_{JMAX} = 125°C, and the typical junction-to-ambient thermal resistance of the dual-in-line J package when the board mounted is 100°C/W. For the dual-in-line N package, this number increases to 175°C/W and for the small outline M package this number is 100°C/W.

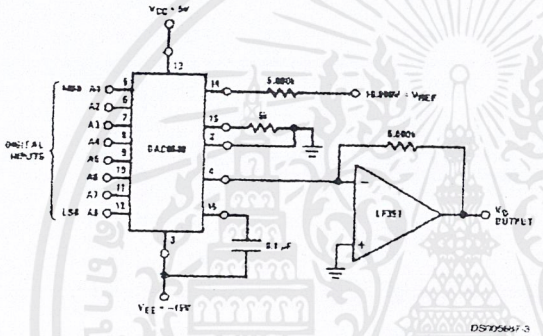
Note 5: Human body model, 100 pF discharged through a 1.5 kΩ resistor.

Note 6: All current switches are tested to guarantee at least 50% of rated current.

Note 7: All bits switched

Note 8: Pin-out numbers for the DAL080X represent the dual-in-line package. The small outline package pinout differs from the dual-in-line package.

Typical Application

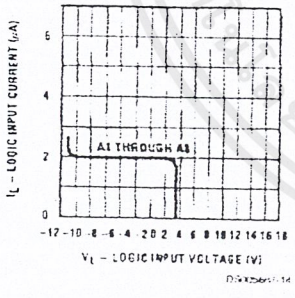


$$V_O = 10V\left(\frac{A1}{2} + \frac{A2}{4} + \cdots \frac{A8}{256}\right)$$

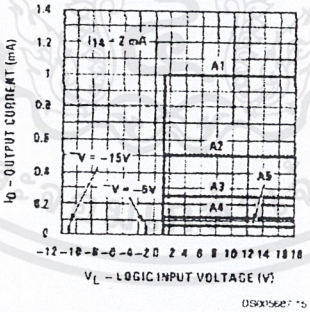
FIGURE 1. +10V Output Digital to Analog Converter (Note 8)

Typical Performance Characteristics V_{CC} = 5V, V_{EE} = −15V, T_A = 25°C, unless otherwise noted

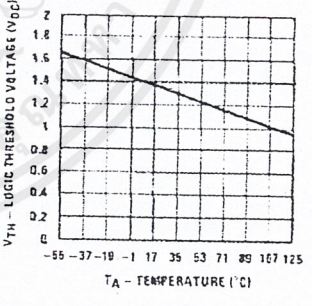
Logic Input Current vs Input Voltage



Bit Transfer Characteristics



Logic Threshold Voltage vs Temperature



terial Copyrighted By Its Respective Manufacturer
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

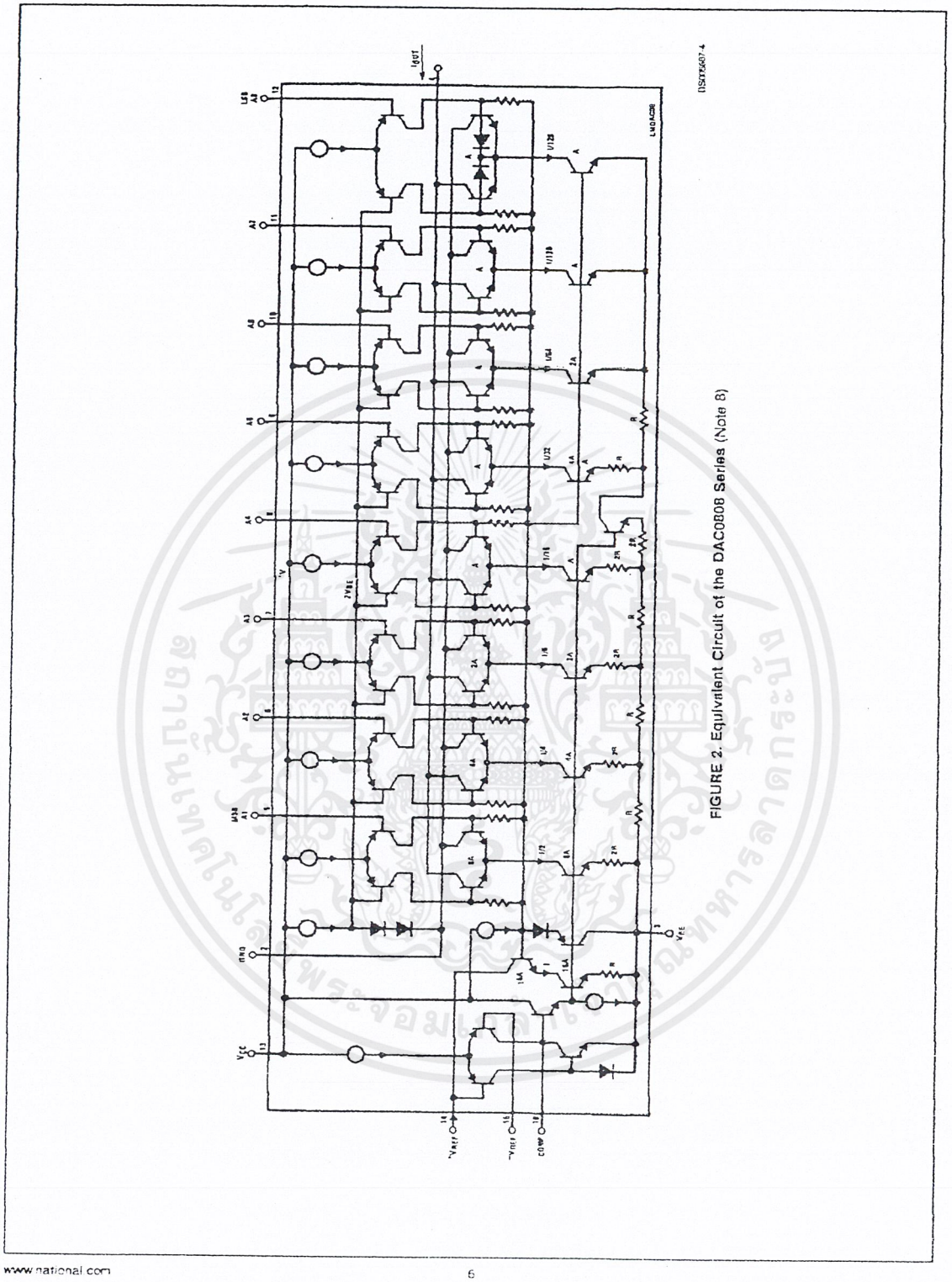
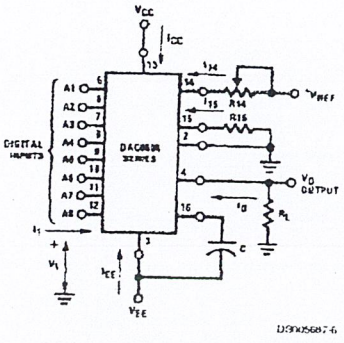


FIGURE 2. Equivalent Circuit of the DAC0808 Series (Note 8)

aterial Copyrighted By Its Respective Manufacturer
เอกสารนี้มีลิขสิทธิ์ที่สงวนไว้ใช้สำหรับการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Test Circuits



V_I and I_I apply to inputs A1–A8.
The resistor tied to pin 15 is to temperature compensate the bias current and may not be necessary for all applications

$$I_O = K\left(\frac{A1}{2} + \frac{A2}{4} + \frac{A3}{8} + \frac{A4}{16} + \frac{A5}{32} + \frac{A6}{64} + \frac{A7}{128} + \frac{A8}{256}\right)$$

where $K \cong \frac{V_{REF}}{R14}$

and A_N = "1" if A_N is at high level
A_N = "0" if A_N is at low level

FIGURE 3. Notation Definitions Test Circuit (Note 8)

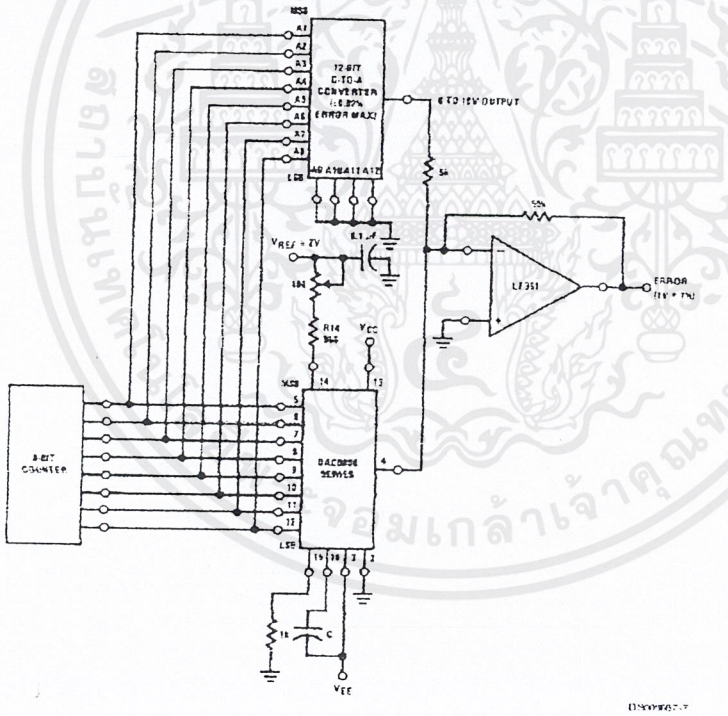


FIGURE 4. Relative Accuracy Test Circuit (Note 8)

terial Copyrighted By Its Respective Manufacturer
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Test Circuits (Continued)

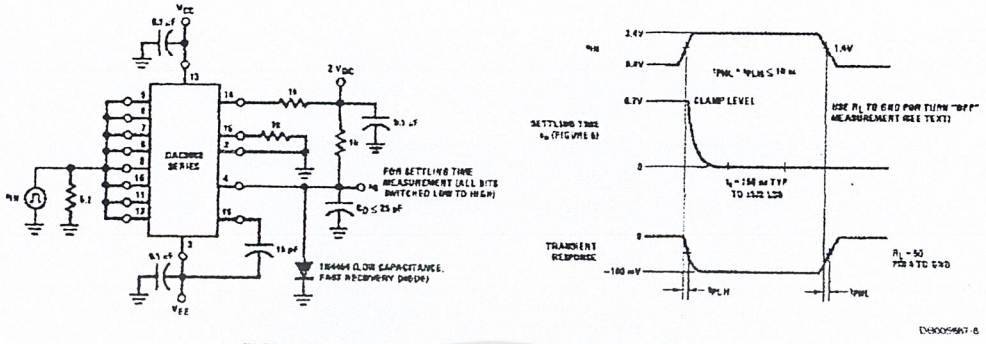


FIGURE 5. Transient Response and Settling Time (Note 8)

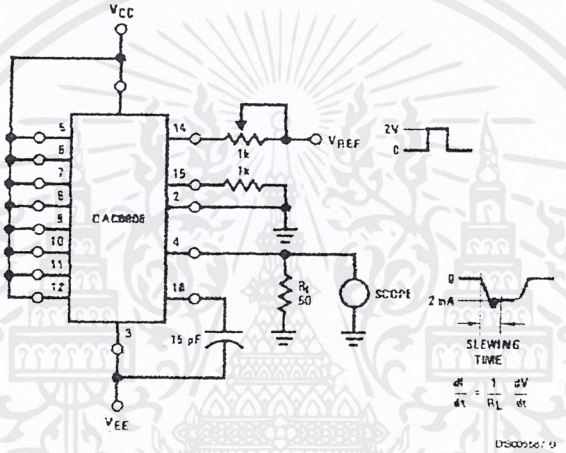


FIGURE 6. Reference Current Slew Rate Measurement (Note 8)

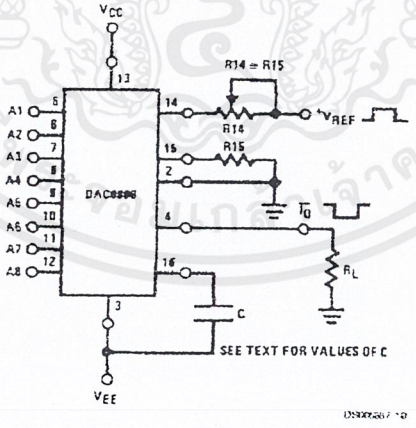


FIGURE 7. Positive V_{REF} (Note 8)

aterial Copyrighted By Its Respective Manufacturer
เอกสารนี้สงวนลิขสิทธิ์สำหรับใช้เพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Test Circuits (Continued)

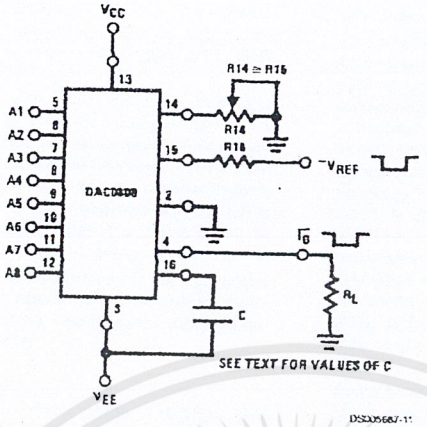


FIGURE 8. Negative V_{REF} (Note 8)

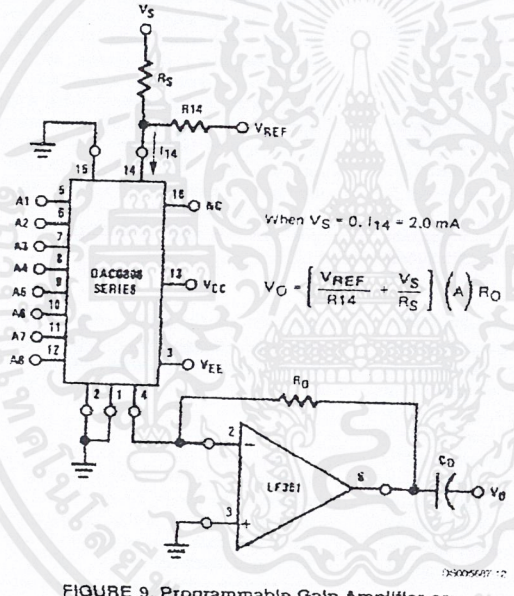


FIGURE 9. Programmable Gain Amplifier or Digital Attenuator Circuit (Note 8)

Application Hints

REFERENCE AMPLIFIER DRIVE AND COMPENSATION

The reference amplifier provides a voltage at pin 14 for converting the reference voltage to a current, and a turn-around circuit or current mirror for feeding the ladder. The reference amplifier input current, I_{14}, must always flow into pin 14, regardless of the set-up method or reference voltage polarity.

Connections for a positive voltage are shown in *Figure 7*. The reference voltage source supplies the full current I_{14}. For bipolar reference signals, as in the multiplying mode, R15 can be tied to a negative voltage corresponding to the minimum input level. It is possible to eliminate R15 with only a small sacrifice in accuracy and temperature drift.

The compensation capacitor value must be increased with increases in R14 to maintain proper phase margin; for R14 values of 1, 2.5 and 5 kΩ, minimum capacitor values are 15, 37 and 75 pF. The capacitor may be tied to either V_{EE} or ground, but using V_{EE} increases negative supply rejection.

A negative reference voltage may be used if R14 is grounded and the reference voltage is applied to R15 as shown in *Figure 8*. A high input impedance is the main advantage of this method. Compensation involves a capacitor

erial Copyrighted By Its Respective Manufacturer
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

กิตติกรรมประกาศ

รายงานและโครงงานนี้คงจะสำเร็จลงไม่ได้ หากไม่ได้รับความช่วยเหลือเป็นอย่างยิ่งจากบุคคลหลายๆ ท่าน เริ่มตั้งแต่การทำโครงงาน ตลอดจนคำแนะนำในการทำรายงานฉบับนี้จนเสร็จสมบูรณ์

ขอขอบพระคุณ อาจารย์วิวัฒน์ กิรานนท์

ขอขอบพระคุณ อาจารย์วิภา แสงพิสิทธิ์

ที่ได้ให้คำปรึกษาแนะนำตลอดมา

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

หนังสืออ้างอิง

[1] ณรงค์ เหมกรณ์ , "การสื่อสารดาวเทียม" , กรุงเทพฯ : สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง , มีนาคม 2533 .

[2] นิกร สุขุดมตันดิ , "การออกแบบวงจรอิเล็กทรอนิกส์ ตำราชุดวิศวกรรมศาสตร์" , กรุงเทพฯ : สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง , พิมพ์ครั้งที่ 1, 2533 .

[3] ประภากร สุวรรณะ , สมศักดิ์ ชุมช่วย , "วิศวกรรมศาสตร์อิเล็กทรอนิกส์ 1" , กรุงเทพฯ :สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง , 2541 .

[4] J. Hiburn and D.E. Johnson , "Manual of Active Filter Design" , Mcgraw - Hill , 1973

[5] D.J. Dailey , "Operational Amplifier and Linear Integrated Circuit Theory and Application , Prentice – Hall , 1991 .

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้