สำนักหอสมุดกลาง พระจอมเกล้าลาดกระบัง

ชุดทดลองเดลต้ามอดูเลชั่นและดีมอดูเลชั่น ผ่านเส้นใยแก้วนำแสง

DELTA MODULATION AND DEMODULATION VIA OPTICAL FIBER

โดย

นายเจษฎา ฝั้นคำอ้าย

นายธรรมรัตน์ ยะนินทร

เลขหมู่.....
เลขทะเบียน 42237
วัน, เดือน, ปี 15 พ.ค. 2545

.b.....
.i.....

ปริญญานิพนธ์นี้เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรอุตสาหกรรมศาสตรบัณฑิต

สาขาวิชาเทคโนโลยีโทรคมนาคม

ภาควิชาเทคนิคอุตสาหกรรม คณะวิศวกรรมศาสตร์

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

ปีการศึกษา 2543

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ชุดทดลองเดลต้ามอดูเลชั่นและดีมอดูเลชั่น ผ่านเส้นใยแก้วนำแสง

DELTA MODULATION AND DEMODULATION VIA OPTICAL FIBER

โดย

นายเจษฎา ฝั้นคำอ้าย 41013363

นายธรรมรัตน์ ยะนินทร 41013368

อาจารย์ที่ปรึกษา

รศ.ชวลิต เบญจางคประเสริฐ

ปริญญานิพนธ์นี้เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรอุตสาหกรรมศาสตรบัณฑิต

สาขาวิชาเทคโนโลยีโทรคมนาคม

ภาควิชาเทคนิคอุตสาหกรรม คณะวิศวกรรมศาสตร์

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

ปีการศึกษา 2543

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ชุดทดลองเดลต้ามอดูเลชั่นและดีมอดูเลชั่น

ผ่านเส้นใยแก้วนำแสง

DELTA MODULATION AND DEMODULATION

VIA OPTICAL FIBER

โดย นายเจษฎา ฝั้นคำอ้าย 41013363

นายธรรมรัตน์ ยะนินทร 41013368

อาจารย์ที่ปรึกษา รศ.ชวลิต เบญจางคประเสริฐ

บทคัดย่อ

โครงงานนี้ออกแบบและสร้างชุดทดลองเดลต้ามอดูเลชั่นและดีมอดูเลชั่นผ่านเส้นใยนำแสง ทางด้านส่งจะนำสัญญาณ ซึ่งเป็นสัญญาณอนาล็อกผ่านวงจรฟิลเตอร์ส่วนหน้าซึ่งจะกรองเอาความถี่ที่ต้องการเท่านั้น ส่งผ่านวงจรแปลงสัญญาณอนาล็อกให้เป็นสัญญาณดิจิตอลด้วยเดลต้ามอดูเลเตอร์ โดยใช้ความถี่ของสัญญาณนาฬิกาเพื่อกำหนดความถี่ในการสุ่มตัวอย่างของเดลต้ามอดูเลเตอร์ สัญญาณดิจิตอลเอาต์พุตจะถูกส่งผ่านวงจรขับแสง เพื่อเปลี่ยนสัญญาณไฟฟ้าให้เป็นสัญญาณแสง และส่งผ่านเส้นใยนำแสง

ทางด้านรับจะใช้ตัวรับแสงเพื่อนำสัญญาณข้อมูลมาทำการดีมอดูเลชั่นด้วยเดลต้ามอดูเลชั่น เพื่อแปลงดิจิตอลให้กลับสู่สัญญาณอนาล็อกดังเดิม

ABSTRACT

The project concerns about a design and implementation of Delta Modulation and Demodulation Via Optical Fiber. A analog signal from lowpass filter are converted to digital signal by delta modulator. The sampling rate of the delta modulators are synchronized by using timing signal from the clock generator. A digital output are converted to light sources via optical fiber.

The receiver use photodetector to detect the signal. A digital signal converted to analog signal by delta demodulation.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ปริญญานิพนธ์ ปีการศึกษา 2543

ภาควิชาเทคนิคอุตสาหกรรม สาขาเทคโนโลยีโทรคมนาคม

คณะวิศวกรรมศาสตร์ สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

เรื่อง ชุดทดลองเดลต้ามอดูเลชั่นและดีมอดูเลชั่นผ่านเส้นใยแก้วนำแสง

DELTA MODULATION AND DEMODULATION VIA OPTICAL FIBER

ผู้จัดทำ

1. นายเจษฎา ฝั้นคำอ้าย 41013363
2. นายธรรมรัตน์ ยะนินทร 41013368

..... อาจารย์ที่ปรึกษา

(รศ.ชวลิต เบญจางคประเสริฐ)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

กิตติกรรมประกาศ

ขอขอบพระคุณอาจารย์ที่ปรึกษา รศ.ชวลิต เบญจางคประเสริฐ สำหรับคำแนะนำและข้อชี้แนะต่างๆที่ท่านมีให้ทั้งทางด้านวิชาการ และทางด้านการดำเนินงานต่างๆ อีกทั้งยังได้เอื้อเฟื้ออุปกรณ์บางส่วนที่หายากในท้องตลาด และเครื่องมือที่ใช้ในการทดลองโครงงาน และขอบพระคุณสำหรับความเอาใจใส่ดูแลมาตลอด คำแนะนำทั้งหมดที่ให้มาผู้จัดการทำจะขอนำไปปฏิบัติเพื่อให้เกิดประโยชน์ ยิ่งขึ้นไป

ขอขอบพระคุณบิดา มารดาที่ให้กำลังใจ และคอยเป็นห่วงเป็นใยในทุกเรื่อง รวมทั้งความเข้าใจในการทำงานอันยาวนานครั้งนี้ เราจะพยายามทำทุกอย่างให้สมกับความหวังดีที่ท่านตั้งใจมอบให้

คุณ ศุภชล มีวันดี ที่เอื้อเฟื้ออุปกรณ์ในการทดลองและ อุปกรณ์การพิมพ์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญ

	หน้า
บทคัดย่อ	ก
กิตติกรรมประกาศ	ข
บทที่1 บทนำ	1
บทที่2 ทฤษฎีและหลักการ	3
2.1 ทฤษฎีและหลักการเดลต้ามอดูเลชั่น	3
2.2 ทฤษฎีและหลักการของ CVSD	5
2.3 ทฤษฎีอนุภาคและคลื่น	8
2.4 ทฤษฎีตัวกำเนิดแสงและตัวรับแสง	10
2.5 ทฤษฎีและหลักการวงจรกรองความถี่ต่ำ	17
บทที่3 การออกแบบ	20
3.1 การออกแบบเดลต้ามอดูเลชั่นและเดลต้าดีมอดูเลชั่น	20
3.2 การออกแบบวงจรอะสะเตเบิ้ลมัลติไวเบรเตอร์	23
บทที่4 ผลการทดลอง	29
4.1 วงจรกรองความถี่ต่ำ	29
4.2 วงจรกำเนิดสัญญาณนาฬิกา	30
4.3 วงจรเดลต้ามอดูเลชั่นและเดลต้าดีมอดูเลชั่น	32
4.4 วงจรขับแสง	37
4.5 วงจรรับแสง	39
บทที่5 บทสรุปและวิจารณ์	42
ภาคผนวก	
หนังสืออ้างอิง	

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 1
บทนำ

ในปัจจุบันการติดต่อสื่อสารมีความสำคัญอย่างยิ่ง โดยเฉพาะในการส่งสัญญาณเสียงแต่ในการส่งสัญญาณอนาล็อกจะพร่าเพี้ยน และเกิดการลดทอนของสัญญาณได้ง่าย ทำให้คุณภาพของการส่งสัญญาณเสียงต่ำลง ความต้องการที่จะได้สัญญาณกลับคืนมาอย่างถูกต้องดังเดิมทำให้มีการพัฒนาเป็นการส่งสัญญาณดิจิตอลซึ่งเป็นการ ส่งในรูปของพัลส์ที่คงแน่นอนเป็น 0 และ 1 พัลส์ที่ส่งออกไปจะเกิดการพร่าเพี้ยน และการลดทอน เช่นเดียวกับสัญญาณอนาล็อกแต่อย่างไรก็ตามจะสามารถใช้อุปกรณ์ตรวจจับและสร้างสัญญาณใหม่ขึ้น จึงทำให้ระบบการส่งสัญญาณดิจิตอลเป็นที่นิยมแพร่หลาย

เทคนิคในการแปลงสัญญาณอนาล็อกให้เป็นสัญญาณดิจิตอล มีหลายวิธีเช่นพัลส์แอมปริจูดมอดูเลชั่น(pules amplitude modulation) พัลส์โค้ดมอดูเลชั่น(pulse codemodulation) เทคนิคในการใช้เดลต้ามอดูเลชั่น(delta modutation) ก็เป็นอีกวิธีหนึ่งที่สามารถแปลงสัญญาณดิจิตอลให้เป็นสัญญาณอนาล็อกได้โดยมีข้อดีคือสามารถแปลงสัญญาณอนาล็อกให้เป็นสัญญาณดิจิตอลได้โดยตรงไม่ต้องการวงจรเข้ารหัสเพิ่มเติมอีก รวมทั้งสามารถกำหนดอัตราเร็วในการแปลงสัญญาณได้จากสัญญาณนาฬิกาเพียงอย่างเดียว ที่สำคัญคือวงจรไม่ยุ่งยาก และมีราคาถูกเทคนิคเดลต้ามอดูเลชั่นยังสามารถปรับปรุงให้ดีขึ้นได้โดยใช้อะแด็ปทีฟเดลต้ามอดูเลชั่น ที่จะพยากรณ์ข้อมูลตัวถัดไปจากข้อมูลที่เข้ามาก่อนหน้า ซึ่งจะทำให้ความผิดพลาดในการแปลงอนาล็อกเป็นสัญญาณดิจิตอลลดลง

ปัจจุบันการสื่อสารด้วยเส้นใยนำแสงกำลังเข้ามามีบทบาทอย่างสูงในโครงข่ายเทคโนโลยีการสื่อสารสมัยใหม่ ดังเราจะเห็นได้จากโครงการเดินเคเบิ้ลนำแสงให้น้ำการเดินเคเบิ้ลนำแสงเพื่อใช้ในการสื่อสารของอาการรถไฟของประเทศไทย และการเดินเคบิ้ลนำแสงในย่านธุรกิจในกรุงเทพฯเพื่อที่จะก้าวไปสู่ระบบการสื่อสาร ISDN ในขณะนี้

สำหรับระบบการสื่อสารที่ใช้เส้นใยนำแสงเป็นตัวกลางนั้น จะเป็นศูนย์รวมของการสื่อสารทุกชนิด ไม่ว่าจะเป็น

- การสื่อสารทางด้านเสียง
- การสื่อสารทางด้านข้อมูล
- การส่งสัญญาณภาพและวีดีโอเป็นต้น

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

อุปกรณ์ส่งสัญญาณซึ่งเป็นแหล่งกำเนิดของแสง แสงที่ได้นั้นได้จากหลอดแอล อี ดี หรือ แอล ดี

อุปกรณ์รับสัญญาณซึ่งรับสัญญาณแสงจากทางด้านส่งแล้วเปลี่ยนเป็นสัญญาณไฟฟ้า โดยใช้อุปกรณ์โฟโต้ไดโอด หรือ อาวาลานซ์โฟโต้ไดโอด

ตัวกลางในการเชื่อมต่อซึ่งก็คือ เส้นใยนำแสง ทำหน้าที่เป็นตัวกลางให้แสงผ่าน มีข้อดีหลายประการเมื่อเทียบกับสายโลหะในระบบส่งสัญญาณไฟฟ้าผ่าน ซึ่งจะกล่าวต่อไป

หลักการของระบบการสื่อสารด้วยแสงนี้ แหล่งกำเนิดแสงจะทำหน้าที่เปลี่ยนสัญญาณไฟฟ้าให้เป็นสัญญาณแสงแล้วส่งสัญญาณแสงนี้ไปยังเครื่องรับโดยผ่านตัวกลางคือ เส้นใยนำแสง จากนั้น เครื่องรับก็จะแปลงสัญญาณแสงที่รับได้ให้กลับเป็นสัญญาณไฟฟ้าอีกครั้งหนึ่งสำหรับรูปแบบการมอดูเลชั่นกับคลื่นแสงนั้นจะให้การมอดูเลชั่นแบบดิจิตอล ซึ่งการมอดูเลชั่นแบบนี้จะทำให้ความเข้มของแสงที่ออกจากแหล่งกำเนิดแสง เปลี่ยนแปลงไปอย่างต่อเนื่องตามข้อมูล

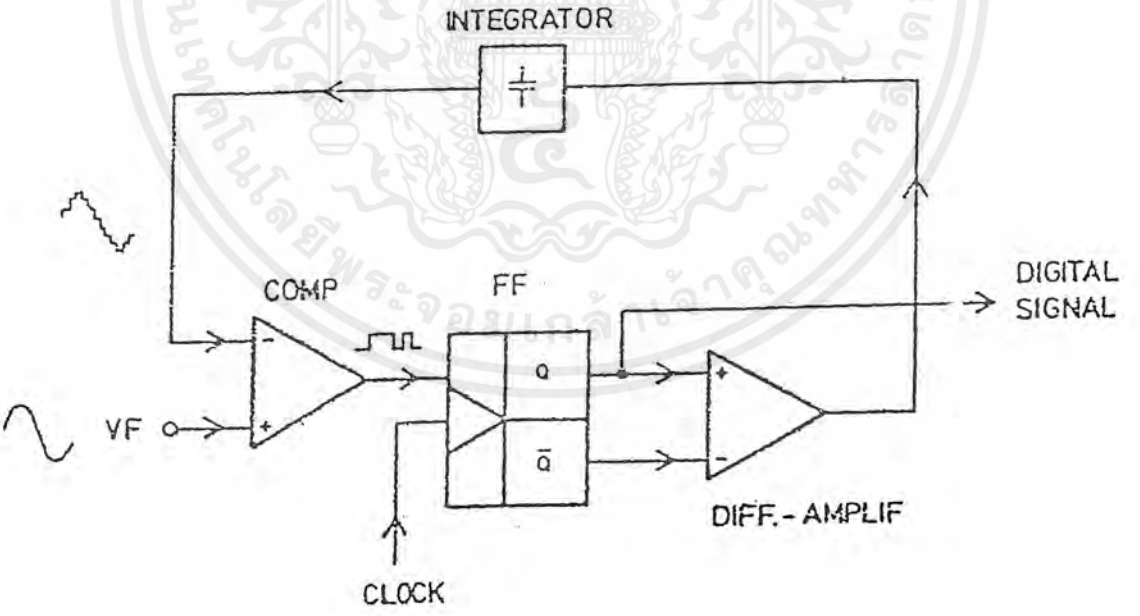
การศึกษาหาวิธีการ และหลักการพื้นฐานจึงจำเป็นต้องทำความเข้าใจ ในโครงงานนี้จะช่วยสร้างเสริมความเข้าใจพื้นฐานของการสื่อสารดิจิตอลผ่านเส้นใยแก้วนำแสง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่2
ทฤษฎีพื้นฐาน และ หลักการพื้นฐาน

2.1ทฤษฎีพื้นฐาน และ หลักการพื้นฐานของเดลต้ามอดูเลชั่น

ในการแปลงสัญญาณอนาล็อกเป็นดิจิตอลแบบหนึ่งคือเดลต้ามอดูเลชั่นdeltamodulation กรรมวิธีของเดลต้ามอดูเลชั่นไม่เหมือนกับวิธีการของ PCM(Plus Code Modulation) คือค่าที่ได้จากการสุ่ม(Sampled) จะถูกแทนค่าความสูงของแอมปริจูด (Amplitude) ด้วย Digital codeword แต่กรรมวิธีเดลต้ามอดูเลชั่น จะมีแต่เพียงการตกลงใจเลือกว่าค่า Analog waveform ขณะนั้นใหญ่กว่าหรือเล็กกว่า เมื่อเปรียบเทียบกับของอันที่แล้วมาเท่านั้น คือจะพิจารณาเฉพาะผลต่างระหว่างแซมปลิ้งที่ต่อเนื่องกันเท่านั้น(เรียกว่า Difference หรือ delta (Δ) modulation) และจะนำไปพิจารณาว่า ใหญ่กว่า - เล็กกว่า เพื่อตกลงใจที่ง่าย และง่ายต่อการแสดงค่า(Expressed) โดยค่า BINARY “ 1 “ หรือ “0” ดังรูปที่2.1



รูปที่2.1

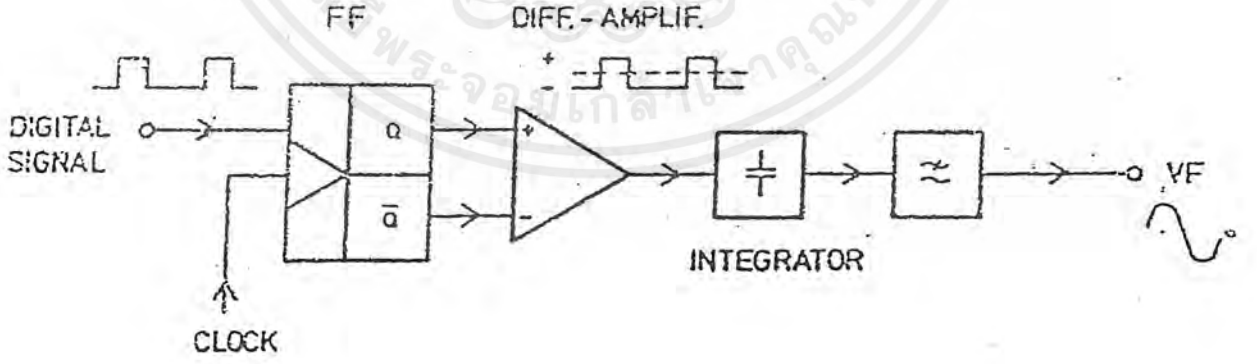
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Comparatorทำหน้าที่เปรียบเทียบ Input wave form ที่ป้อนเข้ามาทาง อินพุต กับเอาต์พุต ที่แซมปลิ้งไว้แล้วครั้งก่อนหน้า ต่อมาก็คือ วงจรฟลิบฟลอบ จะทำงานตาม Timing Clock ที่ 32 kHz ซึ่งจะทำให้เกิดการเปรียบเทียบอย่างต่อเนื่อง แล้วป้อนสัญญาณเอาต์พุตทั้งที่เป็นสัญญาณปกติและสัญญาณที่ Inverter form แล้วป้อนเข้า Differential amplialifer

เนื่องจากที่อินพุต จะมี Polarity ของสัญญาณวงจร ดิฟเฟอร์เรนเชียนแอมป์ จะผ่านสัญญาณทำให้เกิดการ charge และ Dischange ขั้นที่วงจร Integrator ซึ่งจะทำให้เกิดแรงดันไฟฟ้าตกคร่อมตัวเก็บประจุขึ้นในรูปของ Quantised form (ไม่ต่อเนื่องแต่เป็นขั้นบันได)ของสัญญาณอินพุต ขึ้น

สัญลักษณ์ของสัญญาณดิจิตอลที่ถูกต้องมีความสำคัญต่อการส่งเป็นอย่างยิ่งผลที่ได้จาก คอมพาราเตอร์จะชี้ชัดลงไปว่า สัญญาณ Input ขณะนั้นจะใหญ่กว่าหรือเล็กกว่าสัญญาณเปรียบเทียบที่ป้อนกลับมา(FeedBack)

ที่ภาครับ สัญญาณที่ Quantised แล้วเป็นสัญญาณ " Comparison Signal " จะถูกรับเข้ามาด้วยความช่วยเหลือของ bits เหล่านี้ในวงจรที่มีหลักการทำนองเดียวกัน (ดังรูป) แล้วทำการ Smoothed โดยผ่านวงจร กรองความถี่ต่ำผ่าน ความสัมพันธ์กันระหว่าง ภาคส่ง กับภาครับสามารถทำให้บรรลุผลสำเร็จได้



รูปที่2.2

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

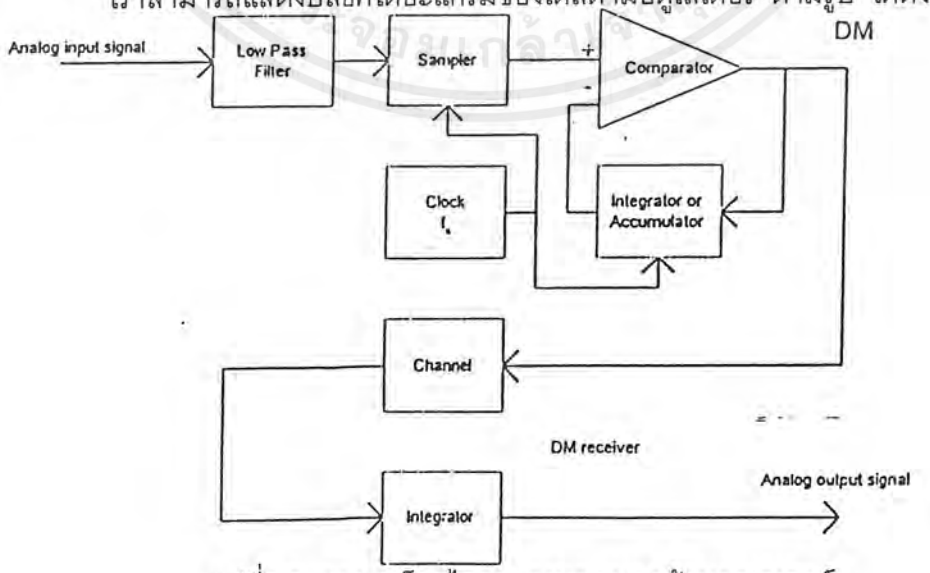
ข้อจำกัดของวิธีการเดลต้ามอดูเลชั่น ก็คือ ถ้าความเร็วในการเปลี่ยนแปลงความสูงของสัญญาณ หรือที่เรียกว่า ไดนามิกส์เรนจ์(Dynamic nange) ระบบเดลต้ามอดูเลชั่นธรรมดามีค่าไดนามิกส์เรจน์ที่แคบ(และมีระดับ noise คงที่) จำเป็นต้องมีส่วนเพิ่มเติมทำหน้าที่ขยายไดนามิกส์เรนจ์ให้กว้างขึ้นโดยการควบคุมอัตราการขยายของอินทิเกรเตอร์(Integrator) เพื่อให้ตอบสนองต่อสัญญาณที่มีความชันมาก ๆ ได้ทัน ระบบนี้มีซึ่งเรียกใหม่ว่า ระบบเดลต้ามอดูเลชั่นแบบเปลี่ยนแปลงความชันต่อเนื่อง หรือ CVSD

ความเที่ยงตรงในการเปลี่ยนสัญญาณอนาล็อกเป็นดิจิตอลด้วย bit rate ที่จำกัด ดังนั้นอนาล็อกอินพุตจึงต้องมีการจำกัดทั้ง bandwidth และ amplitude สำหรับความถี่นั้นจะถูกจำกัดไม่ให้เกินกว่าที่จะ encode ได้อีกด้วย

2.2ทฤษฎีและหลักการของ CVSD(Continuous Variable Slope Delta Modulation)

เดลต้ามอดูเลชันเป็นวิธีใช้ในการแปลงสัญญาณอนาล็อก(Analog signal) เป็นสัญญาณดิจิตอล(Digital signal) หรือเรียกวงจรเอทูดี(Analog To Digital)แม้ว่าจะไม่สามารถทำให้การเปลี่ยนสัญญาณอนาล็อกเป็นสัญญาณดิจิตอลที่มีความถูกต้องสูงก็ตาม แต่สำหรับสัญญาณที่มีความถี่ไม่สูงมากนัก เช่น สัญญาณเสียง จะมีความถูกต้องของการแปลงให้เป็นสัญญาณดิจิตอลนับว่าสูงเพียงพอ และข้อได้เปรียบที่สำคัญของวงจรนี้ คือส่วนประกอบของวงจรไม่ยุ่งยาก และเป็นวงจรที่มีความยืดหยุ่นสูง(Flexibility) นั่นคือสามารถควบคุมคุณสมบัติของการแปลงเอทูดีได้

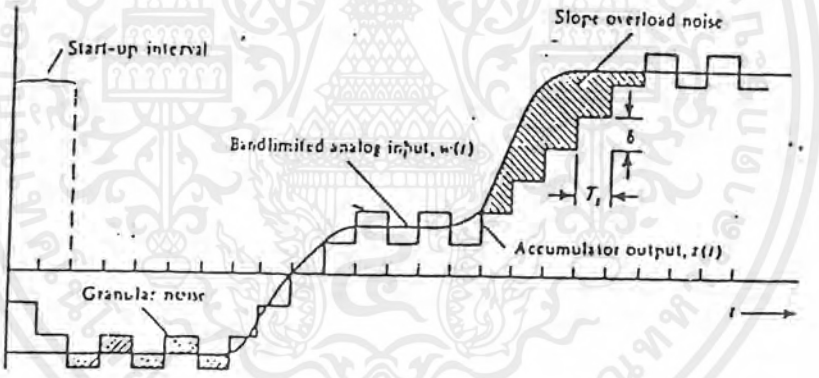
เราสามารถแสดงบล็อคไดอะแกรมของเดลต้ามอดูเลเตอร์ ตามรูป ได้ดังนี้



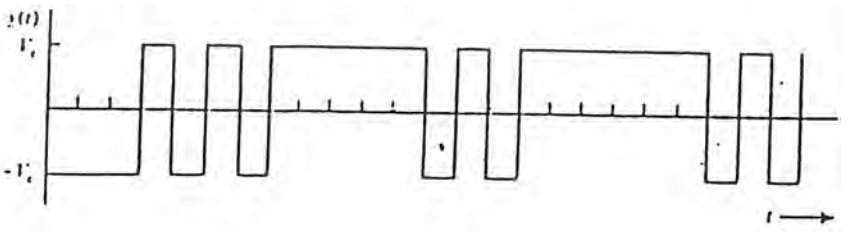
รูปที่2.3แสดง บล็อกไดอะแกรมของเดลต้ามอดูเลเตอร์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากบล็อกไดอะแกรมของเดลต้ามอดูเลเตอร์จะเป็นระบบปิด จะเห็นได้ว่าเมื่อมีสัญญาณเข้ามาที่วงจรกรองความถี่ต่ำผ่าน สัญญาณจะถูกเลือกช่วงความถี่ที่ต้องการเพื่อเข้าวงจรสุ่มตัวอย่าง ซึ่งเป็นการเลือกสัญญาณอินพุตตามจังหวะของสัญญาณนาฬิกา เอาต์พุตที่ได้จะเข้าสู่วงจรที่มีระดับควอนไตซ์ซิ่ง 2 ระดับที่สร้างจากวงจรเปรียบเทียบ ดังนั้นเอาต์พุตที่ได้จะเป็นค่าบวกหรือค่าลบของไฟเลี้ยงที่จ่ายให้กับวงจรเปรียบเทียบ(V_c) ในกรณีนี้สัญญาณที่ได้จากเดลต้ามอดูเลเตอร์จะเป็นสัญญาณที่มีขั้ว สัญญาณส่วนหนึ่งจะถูกส่งออกไปเป็นสัญญาณดิจิตอลที่ต้องการ และสัญญาณอีกส่วนหนึ่งจะถูกป้อนกลับมาเพื่อควบคุมสวิตช์ (slop polarlity switch) ที่ทำหน้าที่กำหนดการเพิ่มขึ้นหรือลดลงของสัญญาณ และการเพิ่มของนาดสัญญาณ (step size) สามารถกำหนดได้เป็นค่าคงที่ โดยสัญญาณตัวที่ออกไปก่อนหน้านี้จะถูกเก็บไว้ที่ แอคิวมูเลเตอร์ (accumulator) เพื่อทำการเปรียบเทียบสัญญาณที่จะเข้ามาที่วงจรเปรียบเทียบต่อไป สัญญาณที่ได้จากเดลต้ามอดูเลเตอร์ สามารถแสดงได้ดังรูปที่2.4



(ก)



(ข)

รูปที่2.4 (ก) แสดงสัญญาณอนาล็อกอินพุต และ เอาต์พุตของแอกคิวมูเลเตอร์
(ข) แสดงเอาต์พุตของเดลต้ามอดูเลเตอร์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากรูป จะเห็นได้ว่าสัญญาณที่ได้จากเอาต์พุตของแอกคิวมูเลเตอร์จะเปลี่ยนแปลงตาสัญญาณอนาล็อกอินพุตไม่ทัน ดังนั้นจะทำให้เกิดสัญญาณรบกวนเนื่องจากการควอนไตซ์ขึ้น เราแบ่งความผิดพลาดที่เกิดจากการควอนไตซ์ได้ 2 แบบด้วยกัน คือ

1.**สัญญาณรบกวนแบบสโลปโอเวอร์โหลด** (slope overload noise)

สัญญาณรบกวนแบบสโลปโอเวอร์โหลด คือ ความผิดพลาดของสัญญาณที่เกิดขึ้นเมื่อขนาดของสเต็ปไซส์(δ)มีค่าน้อยเกินไป สัญญาณเอาต์พุตที่ได้จากแอกคิวมูเลเตอร์จะไม่สามารถติดตามการเปลี่ยนแปลงอย่างรวดเร็วของสัญญาณอินพุตที่เข้ามาได้ จึงทำให้เอาต์พุตของเดลต้ามอดูเลเตอร์ที่ได้ผิดพลาดไปจากสัญญาณจริง

2.**สัญญาณรบกวนแบบแกรนูล่าร์** (granular noise)

สัญญาณรบกวนแบบแกรนูล่าร์ คือ ความผิดพลาดที่เกิดเมื่อสัญญาณไม่มีการเปลี่ยนแปลง ค่าความผิดพลาดนี้จะเกิดที่สเต็ปไซส์ค่าใดก็ได้ แต่ถ้าค่าสเต็ปไซส์มีค่าน้อยจะมีสัญญาณรบกวนแบบแกรนูล่าร์น้อย ส่วนถ้าค่าสเต็ปไซส์มีค่ามากจะมีสัญญาณรบกวนแบบแกรนูล่าร์มาก ดังนั้นเราจะต้องเลือกค่าสเต็ปไซส์ให้เล็กที่สุดเท่าที่จะทำได้ เพื่อลดระดับสัญญาณรบกวนแบบ แกรนูล่าร์ สเปกตรัมของสัญญาณรบกวนแบบแกรนูล่าร์จะไม่เป็นรูปแบบที่แน่นอน และกระจายอยู่ในช่วงความถี่ที่น้อยกว่าความถี่ที่ใช้สุ่มตัวอย่างสัญญาณ ค่ากำลังของสัญญาณรบกวนแบบ แกรนูล่าร์เฉลี่ยจะเท่ากับหนึ่งในสามของค่าสเต็ปไซส์กำลัง เราต้องเลือกค่าของสเต็ปไซส์ที่เหมาะสมเพื่อเป็นการลดความผิดพลาดที่เกิดจากทั้งสัญญาณรบกวนแบบสโลปโอเวอร์โหลด และสัญญาณรบกวนแบบแกรนูล่าร์ เพราะเมื่อค่าของสัญญาณรบกวนแบบแกรล่าร์เพิ่มขึ้น ค่าของสัญญาณรบกวนแบบสโลปโอเวอร์โหลดจะลดลง ซึ่งค่าของสเต็ปไซส์จะขึ้นกับระดับสัญญาณอินพุตที่ใช้ และความถี่ของสัญญาณนาฬิกาที่ใช้ในการสุ่มตัวอย่าง

อะแต็ปทีฟมอดูเลชัน(adaptive delta modulation)

เป็นเทคนิคที่ทำการพัฒนาหลักการของเดลต้ามอดูเลชันให้ทำงานดีขึ้น และมีค่าความผิดพลาดในการแปลงสัญญาณอินพุตน้อยลง คือ สามารลดค่าความผิดพลาดทีเกิดจากสัญญาณรบกวนแบบสโลปโอเวอร์โหลดรวมทั้งยังสามารถรักษาระดับค่าความผิดพลาด ที่เกิดจากสัญญาณรบกวนแบบแกรนูล่าร์ให้มีค่าน้อยที่สุดเท่าที่จะเป็นไปได้ ซึ่งการเปลี่ยนแปลงค่าของสเต็ปไซส์จะเป็นไปตามฟังก์ชันของเวลาเหมือนกับการเปลี่ยนแปลงของอินพุต โดยจะต้องใช้ค่าสเต็ปไซส์ให้น้อยที่สุดเพื่อที่จะรักษาระดับค่าความผิดพลาดเนื่องจากสัญญาณรบกวนแบบแกรนูล่าร์ให้น้อย จนกระทั่งค่าความผิดพลาดเนื่องจากสัญญาณรบกวนแบบสโลปโอเวอร์โหลดมีค่าเพิ่มขึ้นค่าสเต็ปไซด์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จึงจะเพิ่มขึ้น เพื่อลดค่าความผิดพลาดจากสโลปโอเวอร์โหลด ค่าสเต็ปไซส์จะถูกปรับปรุงให้ดีขึ้นเรา สามารถแสดงตัวอย่าง สเต็ปไซด์ที่เปลี่ยนแปลงตามขบวนของข้อมูลที่เข้ามาได้ดังตามราง ดังนี้

Data sequence				Number of successive	Step-size
D0	D1	D2	D3	Binary 1's or 0's	algorithm
x	x	0	1	1	δ
x	0	1	1	2	δ
0	1	1	1	3	2δ
1	1	1	1	4	4δ

ตาราง แสดงค่าสเต็ปไซส์ที่เปลี่ยนแปลงตามอนุกรมของข้อมูล

ตัวอย่างเช่น เมื่อข้อมูลเอาต์พุตที่ได้จากเดลต้ามอดูเลเตอร์เป็นขบวนสัญญาณที่มีพลัส์บวกต่อเนื่อกันค่าสเต็ปไซส์ จะเพิ่มขึ้นจนกระทั่งเอาต์พุตที่ได้จากเดลต้ามอดูเลเตอร์เริ่มสลับขั้ว ระหว่างบวกกับลบค่าสเต็ปไซด์จึงจะลดลง เมื่อสัญญาณ เปลี่ยนแปลงอย่างไม่ต่อเนื่องหรือสัญญาณเป็นข้อมูล 1 หรือ 0 สลับกัน หรือเมื่อมีข้อมูล 1 หรือ 0 ติดกัน 2 ตัว ค่าสเต็ปไซส์จะถูกกำหนดให้เป็น δ แต่ถ้ามีข้อมูลเป็น 1 ติดกัน 3 ตัว ค่าสเต็ปไซส์จะเพิ่มขึ้นเป็น 2δ และเพิ่มขึ้นเป็น 4δ เมื่อข้อมูลเป็น 1 ต่อกัน 4 ตัว

อะแต็ปทีฟมอดูเลเตอร์ จะเก็บข้อมูลที่ใช้ในการเปลี่ยนแปลงค่าสเต็ปไซส์ไว้ที่แอกคิวมูเลเตอร์ และเอาต์พุตที่ได้จะมีลักษณะเป็นขั้นบันได แต่จะมีอะแต็ปทีฟมอดูเลเตอร์แบบอื่นที่การเปลี่ยนแปลงของสเต็ปไซส์เป็นค่าความชันที่เกิดจากวงจรอินทิเกรเตอร์ (integrator) หรือเรียกเทคนิคอะแต็ปทีฟมอดูเลชั่นแบบนี้ว่าการ continuously variable slope delta modulation

2.3ทฤษฎีอนุภาคและคลื่น

แสงมีคุณสมบัติทางอนุภาคและคลื่น แสงจึงเป็นคลื่นแม่เหล็กไฟฟ้า อนุภาคของและจะถูกออกมาจากต้นกำเนิดแสง โดยมีทางเป็นเส้นตรง แสงสามารถผ่านทะลุวัตถุโปร่งใสและสะท้อนจากผิวของวัตถุทึบแสงได้ เมื่ออนุภาคนี้ผ่านเข้าสู่ตาจะทำให้เกิดความรู้สึกในการมองเห็น ลำแสงหรือก็คือเม็ดฝนของอนุภาคแม่เหล็กไฟฟ้าที่มีการเคลื่อนที่อย่างรวดเร็วมากๆ ซึ่งเราเรียกว่า Photons อนุภาคของแสงก็เปรียบเสมือนอนุภาคของวัตถุ ถ้าหากอนุภาคไม่มีการเคลื่อนที่ก็จะไม่มี photon เกิดขึ้น ดังนั้นบางครั้งก็อาจเรียกอนุภาคของแสงนี้ว่า กลุ่มของพลังงาน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากการใช้ทฤษฎีอนุภาคในเชิงฟิสิกส์ เราสามารถอธิบายสิ่งที่เกิดขึ้นกับแสงมีการแพร่แสงหรือการดูดกลืนแสงโดยเฉพาะในทฤษฎีนี้จะอธิบายผลที่เกิดจาก Photoelectric นั่นคือเมื่อแสงจับที่ผิวของแข็งจะทำให้มีการปล่อยอิเล็กตรอนออกมา ถ้าไม่มีทฤษฎีนี้ปรากฏการณ์ทางธรรมชาติของแสงระหว่างการแพร่และดูดกลืนแสงก็จะไม่สามารถอธิบายได้

คลื่นแม่เหล็กไฟฟ้าประกอบด้วยสนามไฟฟ้า โดยที่แต่ละสนามอยู่ทางมุมขวาสของกันและกันและเดินทางไปในทิศที่แพร่กระจายคลื่น ความแรงของแต่ละสนามจะเปลี่ยนแปลงไปมาเป็น Sinusoidal ดังนั้นอาจพูดได้ว่าคลื่นแสงเป็นคลื่นตามขวาง(transverse wave) เช่นเดียวกับคลื่น แม่เหล็กไฟฟ้าอื่นๆ และแสงก็สามารถเดินทางผ่านช่องว่างอากาศที่ว่างเปล่าและเดินทางไปได้ในระยะทางที่ไกลๆมาก

ทฤษฎีคลื่น จะใช้อธิบายการแพร่กระจายแสงหรือการส่งผ่านแสงได้ดีที่สุด ลำแสงสามารถผ่านจากที่หนึ่งไปยังอีกที่หนึ่งได้โดยปราศจากการกระทบกระทั่งกัน ตัวอย่างเช่น ให้สังเกตว่าเกิดอะไรขึ้นเมื่อลำแสงไฟฉายสองลำไขว้ผ่านกันและกัน เมื่อแต่ละลำแสงผ่านแส้นที่ออกมาจะเหมือนเดิมซึ่งเหมือนกับไม่ได้มีอีกลำแสงอยู่ที่นั่น ถ้าเป็นอนุภาคสิ่งเหล่านี้จะไม่สามารถเกิดขึ้นได้

การลดทอน (Attenuation)

การสูญเสียของสัญญาณ(หรือที่เรียกว่า fiber loss หรือ signal loss) เป็นคุณสมบัติที่สำคัญที่สุดของเส้นใยนำแสง เพราะว่ามันจะเป็นตัวกำหนดจำนวน repeater ซึ่งจะราคาแพง ทั้งด้านการบำรุงรักษาและการติดตั้ง ดังนั้นความมากน้อยของ attenuation ในเส้นใยจึงมีอิทธิพลต่อราคาของระบบเส้นใยเป็นอย่างมาก ค่าการสูญเสียหรือการลดทอนนี้ประกอบด้วยขบวนการ 3 อย่าง คือ absorbtion loss, scattering loss และ radiative loss สำหรับ absorbtion จะเกี่ยวข้องกับสารที่นำมาใช้ทำเส้นใย ส่วน scattering เกี่ยวข้องทั้งสารที่นำมาทำเส้นใยและความไม่สมบูรณ์ของโครงสร้างภายในเนื้อสารนั้น สำหรับ radiative loss มีผลมาจากการรบกวนรูปทรงของเส้นใย(fiber geometry)

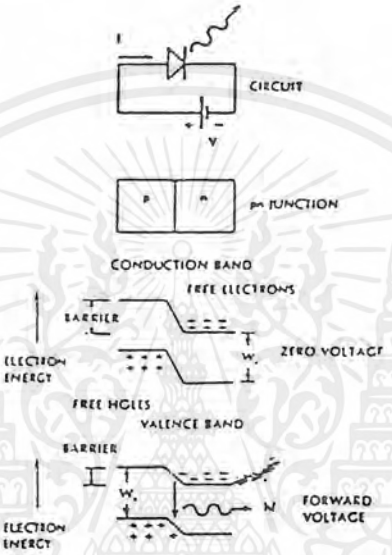
2.4ตัวกำเนิดแสง และตัวรับแสง

แหล่งกำเนิดแสงที่นิยมใช้กันมากที่สุดในระบบเส้นใยแสงได้แก่ Laser diodes และ Light-emitting diodes(LEDs)ด้วยคุณสมบัติทางด้านขนาดที่เหมาะสมกับขนาดเส้นผ่าศูนย์กลางที่เล็กของเส้นใยแสง และความต้องการกำลังไฟฟ้าต่ำ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.4.1Light – Emitting Diodes (LEDs)

LED เป็นสารกึ่งตัวนำแบบรอยต่อ pn ดังรูปแสดง สัญลักษณ์ทางไฟฟ้าและแถบพลังงานที่เกี่ยวข้องกับไดโอด แถบพลังงานด้านบนเรียกว่า conduction band ในระดับของ



รูปที่2.5

พลังงานด้านล่างเรียกว่า valence band ผลต่างของระดับแถบพลังงานทั้งสองมีค่าเท่ากับ Wg โฮลมีประจุบวกซึ่งเกิดจากอิเล็กตรอนหลุดจากอะตอมที่เป็นกลางปล่อยให้อะตอมมีประจุบวก อิเล็กตรอนอิสระสามารถรวมตัวกับโฮลแล้วกลับเป็นอะตอมที่มีสภาวะเป็นกลางอีกครั้งหนึ่ง ปรากฏการณ์ที่เกิดขึ้นนี้จะมีการปลดปล่อยพลังงานออกมา

2.4.2เลเซอร์ไดโอดLASER DIODES

Laser diode และ light –emilting diode มีรูปทรงคล้ายคลึงกัน โครงสร้างของ AlGaAs laser diode แสดงดังรูปเปรียบเทียบกับ เลเซอร์ไดโอดเป็น edge emitter เมื่อไบแอสไปหน้าประจุจะถูกปล่อยเข้าไปใน active layer ที่ซึ่งเกิดการรวมตัวของ emitter และโฮล ทำให้มีการปลดปล่อยโฟตอนออกมาทันที ประจุบางส่วนถูกกระตุ้นให้ปล่อยโฟตอนโดยโฟตอนอื่น ถ้าความหนาแน่นของกระแสมีค่าสูงเพียงพอ ประจุจำนวนมากที่ปล่อยเข้าไปทำให้มีการกระตุ้นให้เกิดการรวมตัวอัตราขยายทางด้านแสงจะเพิ่มขึ้น เมื่ออัตราขยายมากเพียงพอที่จะหักล้าง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การสูญเสียในไดโอดก็จะทำให้เกิดกระแสขีดเริ่มเปลี่ยนขึ้น ถึงจุดนี้ก็จะเกิดการออสซิลเลตของเลเซอร์ เพื่อไม่ให้อุณหภูมิของสารกึ่งตัวสูงเกินขีดจำกัด จะต้องรักษาระดับของกระแสขีดเริ่มเปลี่ยน (threshold current) ให้น้อยเข้าไว้โดยเฉพาะอย่างยิ่ง จุดเริ่มต้นจำต้องจำกัดการปล่อยประจุและคลื่นแสงเข้าไปใน active layer โดย heterojunction ดังได้อธิบายในหัว heterojunction จำกัดขอบเขตของประจุในทิศทางแนวตั้งดังรูปส่วนการจำกัดขอบเขตในทิศทางขนานกับรอยต่อทำโดยแถบหน้าสัมผัส (stripe contact) ประจุถูกปล่อยทั่วความกว้างเล็กๆของ stripe (ประมาณ 10-20 μm) การกระจายของประจุมีเพียงเล็กน้อยเท่านั้นขณะที่เคลื่อนที่เข้าไปในชั้นของการรวมตัว ความยาวคลื่นเอาต์พุต(คำนวณได้จากพลังงานช่องว่าง1.55 eV ในบริเวณแอคทีฟ) มีค่าเท่ากับ 0.8 μm สำหรับ LD ดังรูปที่2.6

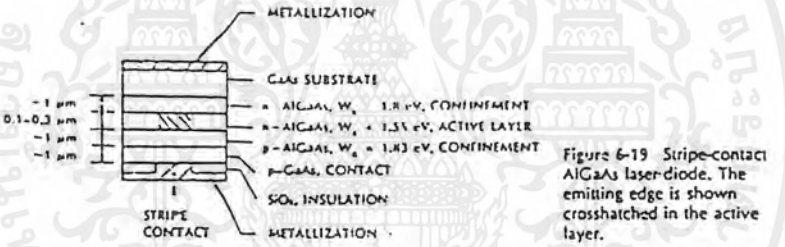
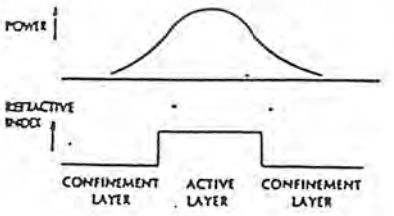


Figure 6-19 Stripe-contact AlGaAs laser diode. The emitting edge is shown crosshatched in the active layer.

รูปที่2.6

คลื่นแสงไม่ได้ถูกจำกัดอยู่ในเฉพาะขอบเขตของ active layer ทั้งหมดเพราะว่าส่วนปลายของคลื่นแสง(เลื่อนหายไปโดยรวดเร็ว) แผ่ขยายไปยังบริเวณที่มีการสะท้อนดังรูปที่2.7

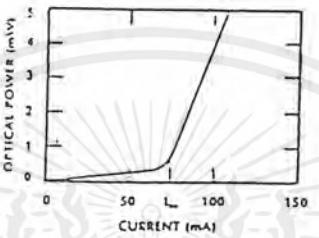


รูปที่2.7

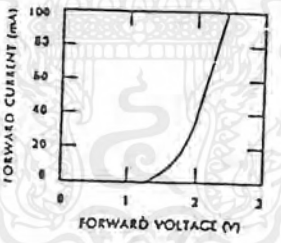
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

คุณลักษณะการทำงานของ Laser diode

คุณลักษณะของค่าเพาเวอร์ทางด้านแสงเอาต์พุตกับกระแสอินพุตของเลเซอร์ไดโอด แสดงดังรูป กระแสขีดเริ่มเปลี่ยนมีค่าเป็น 75mA ที่ระดับกระแสต่ำกว่านี้เพาเวอร์จะเพิ่มขึ้นเพียงเล็กน้อยการแพร่กระจายของ noncoherent เกิดจากการปล่อยอย่างทันทีทันใดของประจุในชั้นของการรวมตัว(recombination layer)ไดโอดส่วนใหญ่จะมีกระแสขีดเริ่มเปลี่ยนเริ่มต้นจาก30-250 mA



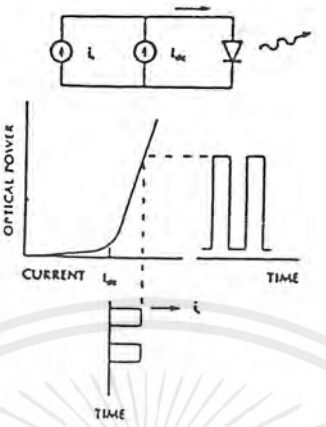
และค่าแรงดันขีดเริ่มเปลี่ยนออยู่ในช่วง 1.2-2 v กระแสไปหน้า (forward current) เพิ่มขึ้นอย่างรวดเร็วเมื่อแรงดันตกกร่อนไดโอดเพิ่มขึ้น ดังนั้นการเพิ่มแรงดันเพียงน้อยจากค่าขีดเริ่มเปลี่ยนจะทำให้มีกระแสเกิดขึ้นที่จุดทำงาน



เพาเวอร์เอาต์พุตสำหรับเลเซอร์ที่ทำงานอย่างเนื่องมีค่าปกติในช่วง 1-10 mW Pulsed lasers ทำงานที่ duty cycle ต่ำสามารถให้ค่ายอดของเพาเวอร์ที่สูงกว่าได้แต่ cw lasers ที่สามารถปิด — เปิดในอัตราสูงจะมีประโยชน์อย่างมากสำหรับระบบสื่อสาร ช่วงการกระแสทำงานโดยปกติอยู่สูงกกว่ากระแสขีดเริ่มเปลี่ยนประมาณ 20-40 mA การทำงานที่กระแสสูงกว่ากำหนดโดยผู้ผลิตจะทำให้ไดโอดมี lifetime สั้น

Digital modulation ของเลเซอร์ไดโอดแสดงดังรูป แตกต่างจาก ดิจิตอลมอดูเลชั่นของ LED

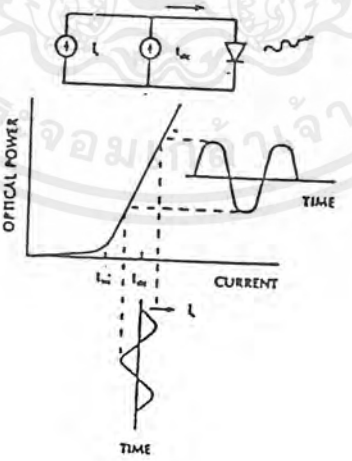
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่2.8

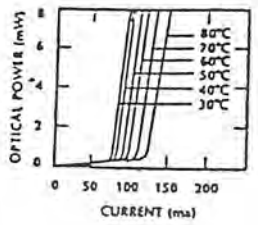
สำหรับ กระแสไบแอสอยู่สูงกว่ากระแสขีดเริ่มเปลี่ยนในบริเวณเชิงเส้นของ power-current characterisitic

เลเซอร์ไดโอดมีความไวต่ออุณหภูมิมากกว่า LED ดังแสดงในรูป ขณะที่อุณหภูมิเพิ่มขึ้นค่ากระแสขีดเริ่มเปลี่ยนแปลงก็มากขึ้นด้วย (เพิ่มขึ้นประมาณ1.5%/C) ที่กระแสแสดงที่เพาเวอร์เอาต์พุตจะลดลงถ้าอุณหภูมิสูงขึ้น



รูปที่2.9 แสดง Analog modulation of a laser diode

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่2.10 แสดงTemperature depence of a laser diode

ตัวรับแสง

เรารับรู้แสงด้วยตา แต่ตาของมนุษย์ไม่เหมาะสมสำหรับการนำมาใช้ในการสื่อสารด้วยเส้นใยแสงทั้งนี้เนื่องจากการตอบสนองของตาช้ามาก และมีความไวไม่เพียงพอต่อระดับสัญญาณต่ำ และยากต่อการต่อการต่อร่วมกับวงจร อีเล็กทรอนิกส์อื่น ๆในภาครับเพื่อที่จะขยายสัญญาณ ถอดรหัส หรือดำเนินการอื่นๆกับสัญญาณ ยิ่งกว่านั้นการตอบสนองของตาจะอยู่ในช่วงความยาวคลื่นระหว่าง 0.4 ถึง 0.7 μm ที่ซึ่งมีค่าการสูญเสียมากในเส้นใยแสง อุปกรณ์ที่เปลี่ยนการแผ่รังสีแสงเป็นสัญญาณไฟฟ้าเรียกว่า photodetector

2.4.1หลักการของโฟโต้ดีเทคเตอร์(Principles of photodetector)

กลไกการตรวจจับแสงแยกออกได้เป็น Extermal photoelectric effect และ intermal photoelectric effect ใน Extermal photoelecteic effect อิเล็กตรอนถูกทำให้ไหลผ่านขั้วโลหะโดยการดูดกลืนพลังงานจากโฟตอนที่วิ่งมาตกกระทบ vacuum photodiode และ photomultiplier อาศัยหลักการดังกล่าวนี้ ส่วนใน interma; photoelectric effect เป็นอุปกรณ์สารกึ่งตัวนำแบบรอยต่อ(semiconductior junction devices) ซึ่งประจุอิสระ (ได้แก่อิเล็กตรอนและโฮล) ถูกสร้างขึ้นโดยการดูดกลืนโฟตรอนที่เข้ามามีอุปกรณ์พื้นฐาน 3 ชนิด ที่ใช้หลักการนี้คือ pn junction photodiode PIN photodiode และ avalanche photodiode

คุณสมบัติที่สำคัญของ detector ได้แก่ สภาพตอบสนอง (responsivity) การตอบสนองสเปกตรัม(spectral response) และ rise time

สภาพตอบสนอง(reponsivity, (ρ) เป็นอัตราส่วนของค่ากระแสเอาต์พุตของ detector ต่อเพาเวอร์ของแสงอินพุต

$$\rho = i / P$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

หน่วยของ responsivity คือ ampere/watt สัญญาณไฟฟ้าเอาต์พุตใน detetor บางตัวอย่างอาจเป็นค่าแรงดันในกรณีนี้ responsivity มีหน่วยเป็น volts/watt

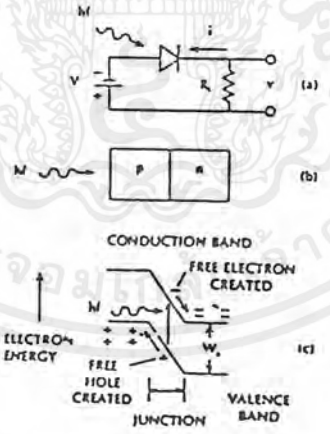
การตอบสนองสเปกตรัม หมายถึง เส้นโค้งแสดงสภาพตอบสนอง โดยขึ้นอยู่กับความยาวคลื่น risetime t_r ซึ่งเป็นช่วงเวลาที่กระแสเอาต์พุตของ detector เปลี่ยนแปลงจาก 10% เป็น 90% ของค่าสุดท้าย เมื่อการเปลี่ยนแปลงของเพาเวอร์ของแสงอินพุตเป็นแบบ step 3-dB modulation bandwitht ของ detector

$$f_{3\text{-}dB} = 0.35/t_r$$

ที่ความถี่นี้ เพาเวอร์ของสัญญาณไฟฟ้าเอาต์พุตในภาครับจะมีค่าเป็นเครึ่งหนึ่งของค่าที่ได้รับที่ความถี่มอดูเลตต่ำมาก ๆ

โฟโต้ไดโอดแบบสารกึ่งตัวนำ (Semiconductor photodiode)

photodiode แบบสารกึ่งตัวนำแบบรอยต่อมีขนาดเล็ก มีความไวต่อแสง ให้การตอบสนองที่รวดเร็วและสามารถทำงานที่แรงดัน 2-3 โวลท์ได้ Photodiode ทั้ง 3 ชนิด ได้แก่ pn , PIN และ avalanche pn photodiode ดังรูป แสดงถึงกลไกการตรวจจับแสงของตัวตรวจจับแบบรอยต่อ



รูป2.11แสดง Semiconductor junction photodiode

(a) Reverse-biased diode.

(b) PN junction.

(c) Energy-level diagram

เมื่อไบแอสย้อนกลับ ศักย์ของพลังงานแนวขวางกั้นระหว่างบริเวณ p และ n เพิ่มขึ้นอิเล็กตรอนอิสระและ hole อิสระไม่สามารถข้ามแนวขวางกั้นได้ ดังนั้นจึงไม่มีกระแสไหลรอยต่อ หมายถึงบริเวณซึ่งเกิดแนวขวางกั้นเนื่องจากไม่ประจุในบริเวณรอยต่อเรียกบริเวณนี้ว่า

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

depletion region เมื่อไม่มีประจุอิสระความต้านทานจึงสูง เป็นผลให้แรงดันเกือบทั้งหมดที่ตกคร่อมไดโอดไปปรากฏที่บริเวณรอยต่อ ดังนั้นแรงไฟฟ้า(electrical force) จึงสูงใน depletion region และน้อยมากนอกบริเวณ depletion

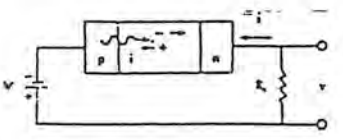
รูป (c) แสดงโฟตอนตกกระทบและถูกดูดกลืนในบริเวณรอยต่อหลังจากผ่านชั้นของสาร p พลังงานดูดกลืนไปเพิ่มศักย์ภาพของอิเล็กตรอนให้ข้ามช่องว่าง (bandgap) จาก valence band ไปยัง conduction band ขณะนี้อิเล็กตรอนจะเป็นอิสระและพร้อมที่จะเคลื่อนที่ โฮลอิสระเคลื่อนที่ไปทางซ้ายใน valence band ที่ตำแหน่งซึ่งว่างลงโดยอิเล็กตรอน ตัวพาประจุอิสระถูกสร้างด้วยการดูดกลืนโฟตอนในลักษณะนี้อิเล็กตรอนจะเคลื่อนที่ลงแนวขวางกั้น และโฮลจะเคลื่อนที่ขึ้นจากแนวขวางกั้น การเคลื่อนที่ของประจุเหล่านี้เป็นเหตุให้กระแสไหลผ่านวงจรภายนอกในลักษณะเดียวกับกระแสที่เกิดขึ้นใน vaccum photodiode เมื่อ hole และอิเล็กตรอนอิสระรวมตัวกันหรือเมื่อถึงขอบของรอยต่อ ที่ซึ่งแรงทางไฟฟ้า (electrical force) มีเพียงเล็กน้อยประจุหยุดการเคลื่อนที่กระแสก็หยุดไหล

rise time ของ pn diode อยู่ในระดับของ(sec) ทำให้ไม่เหมาะสมสำหรับระบบ เส้นใยแสงที่มีอัตราการรับ - ส่งข้อมูลสูง โครงสร้างของ PIN diode จะใช้ แก้ปัญหาของสภาพตอบสนองที่ต่ำ และการตอบสนองที่ช้า

สารกึ่งตัวนำแบบรอยต่อที่ใช้เป็น light emitter และ light detector มีข้อเปรียบเทียบดังนี้สำหรับการปล่อยแสงไดโอดจะถูกไบแอสไปหน้า และประจุจะถูกปล่อยเข้าไปในบริเวณรอยต่อแล้วรวมตัวกันที่จะสร้างโฟตอน สำหรับตัวตรวจจับแสง กระบวนการต่าง จะตรงกันข้าม ไดโอดจะถูกไบแอสย้อนกลับและโฟตอนที่เข้ามาจะสร้าง electron-hole pairs ทำให้เกิดกระแสไฟฟ้าขึ้น pn diode สามารถออกแบบให้ใช้งานได้ทั้งเป็นตัว emitter และ detector แต่มักไม่นิยมใช้กัน

2.4.2โฟโต้ไดโอดพิน (PIN photodiode)

ในระบบเส้นใยแสงมักนิยมใช้ PIN photodiodes เป็นตัวตรวจจับแสง PIN diode มีชั้นของสารกึ่งตัวนำ intrinsic ที่กว้างระหว่างบริเวณ p และ n แสดงดังรูปที่2.12



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

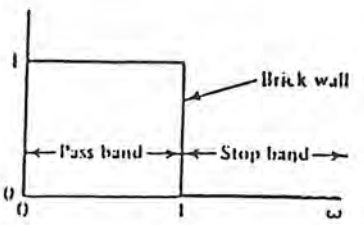
สำนักหอสมุดกลาง พระจอมเกล้าลาดกระบัง

จากรูปแสดง ขั้นของสารกึ่งตัวนำ intrinsic ที่กว้างระหว่างบริเวณ p และ n ในชั้นของ intrinsic จะไม่มีประจุอิสระดังนั้นความต้านทานของมันจึงสูง ส่วนใหญ่ของแรงดันจะปรากฏที่บริเวณนี้และแรงไฟฟ้าจะสูง เนื่องจากชั้นของ intrinsic กว้างมากมีความน่าจะเป็นสูงที่โฟตอนที่เข้ามาจะถูกดูดกลืนในบริเวณนี้มากกว่าในบริเวณ p และ n ลักษณะนี้เป็นการเพิ่มประสิทธิภาพและความเร็วเมื่อเทียบกับ pn photodiode

2.5 การกรองความถี่ต่ำ

วงจรกรองคามถี่ต่ำผ่านในอุดมคติ เป็นวงจรที่ยอมให้สัญญาณที่มีความถี่ต่ำผ่านโดยเราสามารถกำหนดได้ว่าไม่ต้องการให้ความถี่ตั้งแต่ค่าใดผ่านไป เรียกว่า เป็น "ความถี่คัตออฟ" ของวงจร โดยทั่วไปแล้วสัญญาณปกติจะประกอบด้วยสัญญาณรบกวนที่มีความถี่สูง ดังนั้นเราจะใช้วงจรกรองความถี่ต่ำผ่านเพื่อกำจัดสัญญาณที่ไม่ต้องการเหล่านั้น ทั้งยังสามารถแยกสัญญาณที่มีความซับซ้อนออกมาเป็นส่วน ๆ เพื่อป้อนเข้าวงจรต่างๆ ของระบบต่อไปได้

การบ่งบอกถึงคุณสมบัติเป็นวงจรกรองความถี่ที่ดีหรือไม่นั้น สามารถดูได้จากช่วงผ่าน ถ้าความถี่ในช่วงผ่านมีความเรียบและ มีลักษณะชันแสดงว่าวงจรกรองความถี่มีคุณภาพดี แต่ถ้าช่วงผ่านมีการกระเพื่อม ละลาดมากแสดงว่ามีการเลือกความถี่ที่เลว วงจรกรองความถี่ต่ำผ่านแบ่งได้ เป็นวงจรกรองความถี่แบบพาสซีฟ (passive filter) สร้างจากตัวต้านทาน ตัวเก็บประจุ และขดลวดเหนี่ยวนำ สามารถตอบสนองทางความถี่ได้สูงมาก แต่จะเกิดความผิดเพี้ยน(distortion) และการสูญเสียของสัญญาณสูงมากเนื่องจากค่าอิมพีแดนซ์ของอุปกรณ์วงจรกรองความถี่ต่ำผ่านอีกประเภทหนึ่ง คือวงจรกรองความถี่แบบแอกทีฟ(active filter) เรานำอุปกรณ์ประเภทแอคทีฟ เช่น ออปแอมป์ ทรานซิสเตอร์ มาทำงานร่วมกับโครงข่ายของตัวต้านทาน และตัวเก็บประจุ ข้อดีของวงจรประเภท นี้คือ มีเสถียรภาพสูง แต่จะมีการตอบสนองทางความถี่ได้ไม่สูงมากนักเมื่อเทียบกับวงจรแบบพาสซีฟ เราสามารถแสดงช่วงความถี่ของวงจรกรองความถี่ต่ำผ่านได้ดังรูป ดังนี้

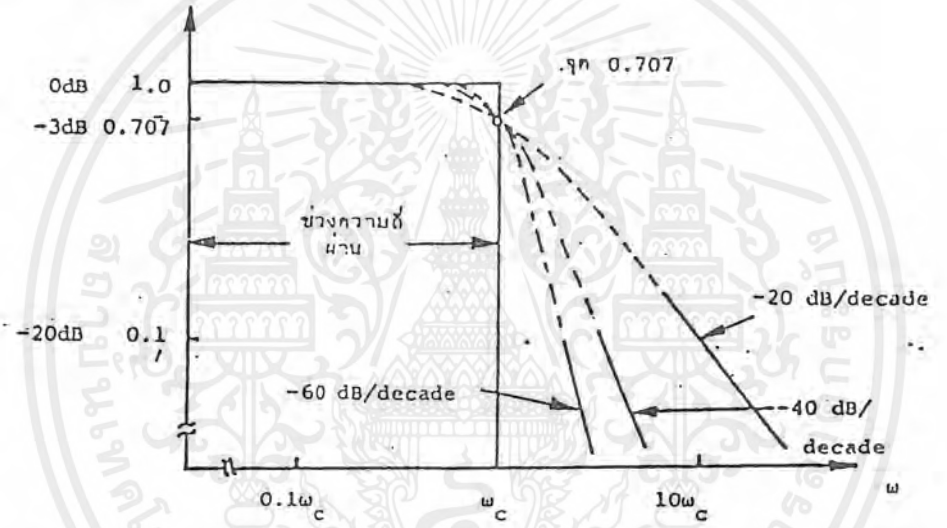


รูปที่2.13แสดง ช่วงความถี่ของวงจรกรองความถี่ต่ำผ่าน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้
42237

วงจรกรองคามถี่ต่ำผ่านแบบบัตเตอร์เวิร์ด

ในทางปฏิบัติงานหลายๆอย่างต้องการวงจรกรองความถี่ต่ำผ่านที่มีอัตราขยายสัญญาณแบบลูปปิดในช่วงความถี่ที่ผ่านใกล้เคียงกับ 1 มากที่สุดเท่าที่จะเป็นไปได้ หรือเป็นวงจรที่ให้อัตราขยายสัญญาณเท่าๆ กันตลอดช่วงความถี่ที่ผ่านได้ ซึ่งวงจรกรองความถี่ต่ำผ่านแบบบัตเตอร์เวิร์ดจะเหมาะสมที่สุด วงจรกรองความถี่ต่ำผ่านแบบบัตเตอร์เวิร์ดบางครั้งเรียกว่าวงจรกรองความถี่ต่ำผ่านแบบแมกซิมอลลีแฟลต(maximally flat filter) เนื่องจากจะมีความเรียบของช่วงความถี่ผ่านสูง



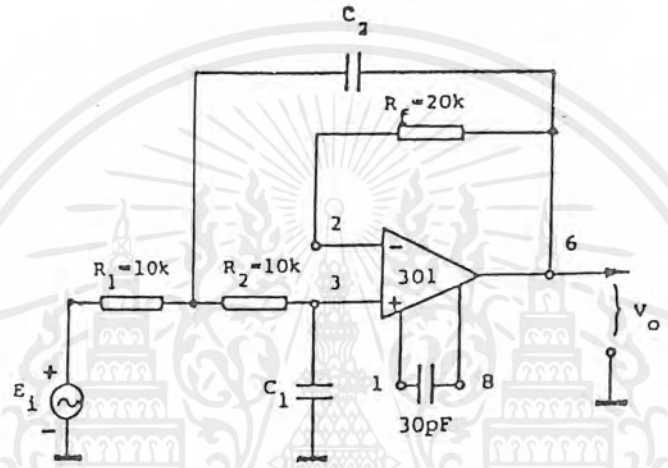
รูปที่2.14 แสดงการตอบสนองความถี่สำหรับวงจรกรองความถี่ต่ำผ่านแบบบัตเตอร์เวิร์ดที่มีการลดทอนค่าต่าง

จากรูป แสดงการตอบสนองความถี่ของวงจรกรองความถี่ต่ำผ่านในอุดมคติ (เส้นทึบ) และการตอบสนองคามถี่ที่ได้จากวงจรกรองความถี่ต่ำผ่านแบบบัตเตอร์เวิร์ด(เส้นประ) 3 แบบ ซึ่งมีความชันของการลดทอนต่างๆ กัน

ตัวอย่างวงจรกรองความถี่ต่ำผ่านแบบแอคทีฟ ดังแสดงในรูป อาจนำมาต่ออนุกรมกัน 2 วงจร เพื่อให้ได้อัตราการลดทอนในช่วงหยุด(stop band) เท่ากับ -40 dB /dccade แต่จะเป็นการออกแบบที่ไม่ประหยัดเพราะต้องต่อออปแอมป์อนุกรมกัน 2 ตัว แต่เราสามารถสร้างวงจรกรองความถี่ต่ำผ่านแบบบัตเตอร์เวิร์ด ที่มีอัตราการลดทอน -40 dB /decade ได้จากออปแอมป์เพียงตัวเดียวและสามารถเพิ่มอัตราการลดทอนของวงจรกรองความถี่ต่ำผ่านโดยการนำวงจรกรองความถี่ต่ำผ่านมาอนุกรมรวมกัน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

วงจรกรองความถี่ต่ำผ่านแบบบัตเตอร์เวิร์ด จะมีค่ามุมเฟสที่ความถี่คัตออฟต่างๆ กัน เช่น วงจรกรองความถี่ต่ำผ่านที่มีอัตราการลดทอนที่ -40 dB /decade จะมีมุมเฟสเท่ากับ -90 องศา ที่ความถี่คัตออฟ



รูปที่2.15แสดงวงจรกรองความถี่ต่ำผ่านแบบบัตเตอร์เวอร์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่3
การออกแบบและการสร้าง

3.1การออกแบบไอซี MC 3418 (Continouslly variable slop modulation)

เป็นไอซีที่ทำหน้าที่เป็นเดลต้ามอดูเลเตอร์ และ เดลต้าดีมอดูเลเตอร์ประกอบด้วย 16 ขา ซึ่งแต่ละขามีหน้าที่ดังนี้

ขา 1 อนาล็อกอินพุต (analog input): เป็นอินพุตขาลบของวงจรเปรียบเทียบแบบอนาล็อก ซึ่งจะป้อนสัญญาณเสียงเข้าที่ขานี้ ถ้าใช้สัญญาณอินพุตเป็นสัญญาณเสียง ต้องมีการเลื่อนระดับสัญญาณเมื่อเทียบกับแรงดันอ้างอิงภายในซึ่งเท่ากันครึ่งหนึ่งของค่าไฟเลี้ยงตัวต่อทานที่ระหว่างขา 1 กับขา 10 จะใช้ตั้งค่าแรงดันไฟตรงอ้างอิงให้กับสัญญาณ วงจรเปรียบเทียบแบบ อนาล็อคจะถูกออกแบบให้อัตราขยายสูง และมีช่วงฮีสเตอร์รีสซีทต่ำ (low hyteresis)

ขา 2 อนาล็อกฟีดแบค(analog feedback): เป็นอินพุตขาบวกของวงจรเปรียบเทียบอนาล็อกภายในไอซีเมื่อใช้เป็นวงจรเข้ารหัส ขานี้จะต่อกับเอาต์พุตที่เป็นสัญญาณอนาล็อกของวงจรเข้ารหัส หรืออาจจะต่อกับขา 7 หรือเอาต์พุตของวงจรกรองความถี่ต่ำผ่าน ในวงจรถอดรหัส ขา 2 จะไม่ได้ใช้ หรืออาจจะต่อกับค่าแรงดันอ้างอิงซึ่งเท่ากับ $V_{cc}/2$ ที่ขา 10 หรือ ต่อลงกราวน์หรือปล่อยลอยไว้ก็ได้ สัญญาณอนาล็อกอินพุตของวงจรเปรียบเทียบจะต้องไบแอสด้วยกระแส 1.5 uA ดังนั้นค่าอิมพีแดนซ์ที่ต่อระหว่างขา 1 และขา 2 ควรจะเท่ากันเพื่อหลีกเลี่ยงการรบกวนช่องสัญญาณที่ว่างของวงจรเข้ารหัส

ขา 3 ซิลลาบิคฟิลเตอร์ (syllable filter): เป็นจุดที่แรงดันของซีลราบิคฟิคเตอร์ กลับเข้าสู่ ไอซีเพื่อความคุ้มค่าสเต็ปไซด์ของอินทิเกรเตอร์ ขานี้เป็นอินพุตของออปแอมป์ ซิลลาบิคฟิตเตอร์ประกอบด้วย ตัวต้านทาน และตัวเก็บประจุที่ต่อระหว่างขา 11 และขา 3 ปกติค่าคงที่ทางเวลา (time constant) ที่อยู่ระหว่าง 6 ms จะใช้เข้ารหัสสัญญาณเสียง

ขา 4 เกนคอนโทรลอินพุต(gain control input): แรงดันของซิลราบิคฟิลเตอร์ที่ตกคร่อมตัวเก็บประจุ C_s และคือแรงดันระหว่างไฟเลี้ยงกับขา 3 ดังนั้นกระแสที่จ่ายให้ขา 4 I_{GC}คือ แรงดันของซิลลาบิคฟิลเตอร์ที่หารด้วยค่าของตัวต้านทาน R_g ตัวต้านทานจะเปลี่ยนเปลงเพื่อปรับค่าของอัตราของวงปิดของวงจรเข้ารหัส แต่ต้องไม่ให้มีค่ามากกว่า 50K (เพื่อรักษาเสถียรภาพของวงจร)

ขา 5 อินพุตอ้างอิง (reference input) : เป็นอินพุตขาบวกของอินทิเกรเตอร์ มันใช้เป็นระดับอ้างอิงไฟตรงของสัญญาณเอาต์พุตในวงจรเข้ารหัส มันต้องอ้างอิงกับแรงดันค่าเดียวกันกับขา 1 และต้องต่อกับขา 10

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ขา 6 อินพุตของฟิตเตอร์ (filter input): เป็นอินพุตขาลบของออปแอมป์ สำหรับใช้ต่ออุปกรณ์ภานอกของอินทิเกรเตอร์กระแสอินทิเกรติ้ง (I_{INT})ไหลเข้าขา6เมื่ออนาล็อคอินพุต (ขา1) เป็นสถานะสูงเมื่อเทียบกับอนาล็อกฟีดแบค (ขา 2) สำหรับวงจรเข้ารหัส หรือดิจิตอลอินพุต (ขา 13) เป็นสถานะสูงสำหรับวงจรถอดรหัสอินทิเกรเตอร์ใช้ตัวเก็บประจุ และตัวต้านทาน ตัวต้านทานระหว่างขา 6 และขา 7 ควรอยู่ระหว่าง 8 kΩ ถึง 13 kΩ

ขา 7 อนาล็อกเอาต์พุต(analog output): เป็นเอาต์พุตของออปแอมป์ของอินทิเกรเตอร์ ขา 5,6 และ 7 จะใช้ ออกแบบการทำงานของอินทิเกรเตอร์ และที่ขานี้จะถูกจำกัดกระแสทั้ง 2 ทิศทางการไหลที่ 30 mA

ขา 8 V_{EE}: วงจรถูกออกแบบเพื่อทำงานกับแหล่งจ่ายไฟทั้งหมดแบบซิงเกิ้ล(single supply) และแบบดูอัล (dualsupply) ซึ่งที่ขา 8 นี้จะต่อกับระดับแรงดันที่เป็นลบมากที่สุด

ขา 9 ดิจิตอลเอาต์พุต (digital output) : ดิจิตอลเอาต์พุตจะเป็นผลการแปลงสัญญาณจากเดลต้ามอดูเลเตอร์ระดับแรงดันที่ขานี้จะเปลี่ยนแปลงอยู่ในช่วง V_{CC} และ V_{EE} ซึ่งเป็นได้ทั้งระบบทีทีเอล และซีมอส ขา 9 นี้จะเป็นกลับเฟสเมื่อเทียบกับขา 1 และเป็นไม่กลับเฟสเมื่อเทียบกับขา 2 มันจะเข้าจังหวะกับขอบขาลงของขา 14

ขา 10 แรงดันอ้างอิง: มีค่าเท่ากับครึ่งหนึ่งของแรงดันไฟเลี้ยง

ขา 11 คอนซิเดนซ์เอาต์พุต(concidence putput): ค่าดิวตี้ไซเคิลของขานี้จะเป็นสัดส่วนกับแรงดันคร่อม C_S ค่าคอนซิเดนซ์เอาต์พุตจะเป็นสถานะต่ำ ถ้าหากค่าในซีฟรีจีสเตอร์ภายในเป็น 0 หรือ1 ทั้งหมด ใน MC34115 และ MC3417 รีจีสเตอร์จะยาว 3 บิท ในขณะที่ MC3418 จะมีรีจีสเตอร์ยาว 4 บิท ขา 11 นี้ต้องการตัวต้านทานพูลอัพ (pull up resister) ถ้าต้องการให้ซิลลาบิคฟิลเตอร์มีค่าคงที่ของเวลาในการเก็บประจุ และคายประจุเท่ากันแล้ว ค่าของตัวต้านทาน R_P ต้องมีค่าน้อยกว่าค่า R_S มากๆ ส่วนระบบที่ต้องการค่าคงที่ของเวลาต่างกัน ค่าคงที่ของเวลาในการเก็บประจุจะเท่ากัน $R_S C_S$ ขณะที่ค่าคงที่ในการคายประจุเท่ากัน ($R_S + R_P$) C_S ดังนั้นค่าคงที่ในการคายประจุที่ยาวกว่าจะทำได้ง่าย

ขา 12 ดิจิตอลแทรดโฮล(digital thresdhold): ค่าแรงดันที่ขานี้จะเป็นตัวกำหนดการสวิตช์ให้กับขา13,14และ17 ขานี้ไว้เพื่อใช้อินเตอร์เฟตกับตระกูลลอจิกที่ต่างออกไปโดยปราศจากส่วนประกอบภายนอก บ่อยครั้งที่ขานี้จะต่อกับแรงดันอ้างอิง V_{CC}/ 2 เพื่อใช้ในการอินเตอร์เฟตกับระบบซีมอส หรือจะถูกไบอัสด้วยไดโอด 2 ตัว ที่ต่อคร่อม V เพื่อใช้ในการอินเตอร์เฟสกับระบบทีทีแอล

ขา 13 ดิจิตอลอินพุต (digital data input): ในการทำงานเป็นตัวถอดรหัส ขบวนของข้อมูลดิจิตอลจะถูกจ่ายเข้าที่ขา13 ในวงจรเข้ารหัสขานี้จะไม่ถูกใช้หรืออาจใช้ส่งสัญญาณอื่นๆ ภายใต้การ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ควบคุมจากขา15 สัญญาณที่ขานี้จะกลับเฟสเมื่อเทียบกับสัญญาณที่ขา9 ระดับสัญญาณดิจิตอลอินพุตควรจะรักษาระดับนาน 0.5 ก่อนและหลังจากการกระตุ้นของสัญญาณนาฬิกา (clock trigger) เพื่อการเข้าจังหวะที่ถูกต้อง

ขา14 สัญญาณนาฬิกา(clock input): สัญญาณนาฬิกาเป็นตัวกำหนดอัตราการเข้ารหัสข้อมูลถ้าต้องการให้มีอัตราการเข้ารหัสสูงๆ จะต้องใช้สัญญาณนาฬิกาที่มีความถี่สูงตามไปด้วย วงจรซีฟรีจีสเตอร์จะทำงานแบบที่ขอบขาลงของสัญญาณนาฬิกาที่ป้อนให้

ขา 15 ตัวเข้ารหัสและตัวถอดรหัส (encode /decode): ขานี้ทำหน้าที่ในการควบคุมการต่อของอนาล็อกอินพุตและดิจิตอลอินพุตกับชิฟรีจีเตอร์ภายใน ถ้าแรงดันที่ขานี้เป็นสถานะสูงไอซีตัวนี้จะทำหน้าที่เป็นตัวเข้ารหัสแต่ถ้าแรงดันที่ขานี้เป็นสถานะต่ำ ไอซีตัวนี้จะทำหน้าที่เป็นตัวถอดรหัส จะเห็นได้ว่าไอซีตัวนี้ทำหน้าที่ได้ทั้งเป็นตัวเข้ารหัส และเป็นตัวถอดรหัสโดยไม่ต้องใช้ส่วนประกอบจากภายนอก

ขา 16 V_{CC} : ช่วงของระดับแรงดันไฟเลี้ยงระหว่างขา V_{CC} กับ V_{EE} เท่ากับ 4.75-16.5 โวลท์

ไอซีเบอร์ MC3418 ที่ใช้เป็นตัวเข้ารหัสแบบ CVSD อย่างง่ายสามารถกำหนดคุณสมบัติของการเข้ารหัสตามงานต่างๆ ได้

ข้อควรพิจารณา 7 อย่างในการออกแบบ ดังนี้คือ

1. การเลือกความถี่ของสัญญาณนาฬิกา
2. การเลือกจำนวนบิทในชิฟรีจิเตอร์
3. การเลือกอัตราการขยายวงปิด
4. การเลือกค่าต่ำสุดของสเต็ปไซส์
5. การออกแบบทรานเฟอร์ฟังก์ชั่นของอินทิเกรชันฟิลเตอร์ (Integration Filter)
6. การออกแบบทรานเฟอร์ฟังก์ชันของซิลลาบิคฟิลเตอร์
7. การออกแบบวงจรกรองความถี่ต่ำผ่านที่เครื่องรับ

สัญญาณนาฬิกา ความถี่ของสัญญาณนาฬิกาจะเป็นตัวกำหนดความถี่ในการเข้ารหัสสัญญาณเสียง เมื่อเราทราบว่าสัญญาณเสียงมีแถบความถี่ (bandwidth) อยู่ในช่วง 0Hz ~ 4 kHz และความถี่ที่ใช้ในการสุ่มตัวอย่างสัญญาณจะต้องมีค่าอย่างน้อยเป็น 2 เท่าของสัญญาณเสียง ดังนั้นความถี่ของสัญญาณนาฬิกาจะต้องมีค่าอย่างน้อย 8 kHz ในการออกแบบเราเลือกความถี่ของสัญญาณนาฬิกาเท่ากับ 32 kHz เพื่อที่จะได้คุณภาพของการเข้ารหัสสัญญาณที่ดีขึ้นสำหรับระบบ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ทีมีความถี่ของสัญญาณนาฬิกาสูงขึ้น จะได้อัตราส่วนระหว่างสัญญาณต่อสัญญาณรบกวน (S/N) ที่ดีขึ้น

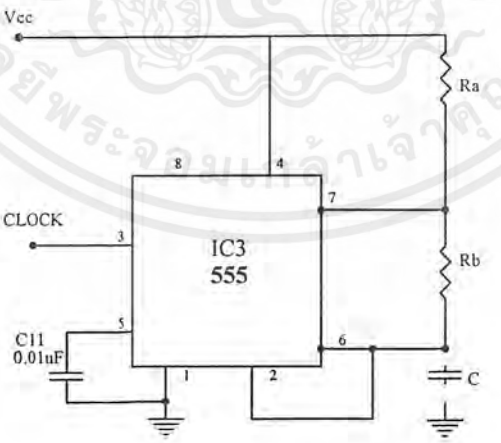
จำนวนบิทในชิฟรีจีเตอร์ จำนวนของข้อมูลที่เก็บไว้ค่าสเต็ปไซด์ที่ใช้ในการเข้ารหัสและถอดรหัสข้อมูลสำหรับความถี่ของสัญญาณนาฬิกา 16 kHz นี้เป็นระบบที่มีความถี่ไม่สูงมากนัก และสามารถใช้กับไอซี MC34115 และไอซี MC3417 ที่มีจำนวนบิทในชิฟรีจีเตอร์ 3 บิท และสำรับระบบที่มีความถี่ของสัญญาณนาฬิกาที่สูงกว่า 32 kHz จะใช้ไอซีเบอร์ MC3418 ที่มีจำนวนบิทในชิฟรีจีสเตอร์ 4 บิท

การเลือกอัตราขยายของวงจรปิด จะถูกกำหนดด้วยค่าความต้านของ R_x และค่าความต้านทาน R_x นี้จะใช้ กำหนดคุณสมบัติของสเต็ปไซส์ของอินติเกรเตอร์เลือกอัตราขยายของวงปิดของระบบจะขึ้นอยู่กับ

1. ระดับสัญญาณและความถี่สูงสุดของสัญญาณอินพุต
2. ทรานเฟอร์ฟังก์ชันของอินทิเกรชันฟิลเตอร์

3.2 วงจรอะสเตเบิ้ลมัลติไวเบรเตอร์ (Astable mutivibrator)

หลักการทำงานของวงจรอะสเตเบิ้ลมัลติไวเบรเตอร์หรือวงจร clock ซึ่งประกอบขึ้นมาจากไทม์เมอร์เบอร์ 555 ดังแสดงในวงจรรูป

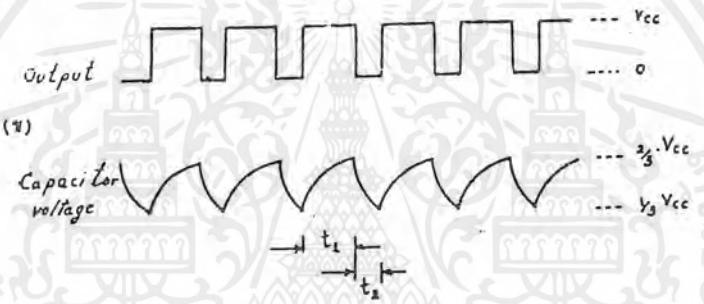


รูป3.1แสดง วงจรอะสเตเบิ้ลมัลติไวเบรเตอร์ ซึ่งประกอบขึ้นจากไอซีเบอร์ 555

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การทำงานของวงจร

จากรูป ตัวความต้านทาน R_a และ R_b ทำหน้าที่เป็น timing resistor เมื่อวงจรได้รับแรงดันไบอัส จากแหล่งจ่ายกำลังตัวเก็บประจุ ซึ่งทำหน้าที่เป็น timing capacitor จะสะสมประจุผ่านตัวความต้านทาน R_a และ R_bจนกระทั่งเมื่อแรงดันตกคร่อมมีค่าเป็น 1/3 Vcc จะทำให้วงจร Upper comparator กระตุ้นวงจรฟลิบฟล็อบซึ่งอยู่ภายในตัวไอซี และมีผลให้ตัวเก็บประจุเริ่มคายประจุผ่านตัวความต้านทาน R_b แรงดันที่ตคร่อม ก็จะลดลงเมื่อมีค่าเหลือเป็น 1/3Vcc แล้ววงจร lower comparator ในไอซีก็จะถูกกระตุ้น และเริ่มการทำงานของวงจรใหม่อีกครั้งหนึ่ง



รูปที่3.2 แสดงการเปรียบเทียบแรงดันที่เอาต์พุตกับแรงดันตกคร่อมตัวเก็บประจุ

ตัวเก็บประจุ จะทำการประจุและคายประจุสลับกันไปอย่างสม่ำเสมอทำให้แรงดันตกคร่อมตัวเก็บประจุ มีค่าระหว่าง 2 / 3Vcc และ 1/3 Vcc ตามลำดับ ศักย์ดาที่เอาต์พุตของวงจรจะมีค่าสูงในขณะที่ตัว ทำการเก็บประจุซึ่งถ้าให้ t_1 คือช่วงเวลาที่เอาท์พุตมีศักย์ดาสูงดังนั้น

$$t_1 = (R_a + R_b)C \log_e [V_{cc} - 2/3V_{cc} / V_{cc} - 1/3V_{cc}]$$

หรือ $t_1 = 0.693 (R_a + R_b)C$ วินาที

และศักย์ดาที่เอาต์พุตจะมีค่าต่ำในขณะที่ตัวเก็บประจุ ทำการคายประจุ ซึ่งถ้าให้ t_2 ช่วงเวลาที่เอาต์พุทมีศักย์ดาต่ำ

ดังนั้น $t_2 = 0.693 R_a . C$ วินาที

ช่วงเวลารวมสำหรับการสะสมและการคายประจุก็คือ

$$T = t_1 + t_2$$

$$= 0.693 (R_a + 2R_b) C \quad \text{วินาที}$$

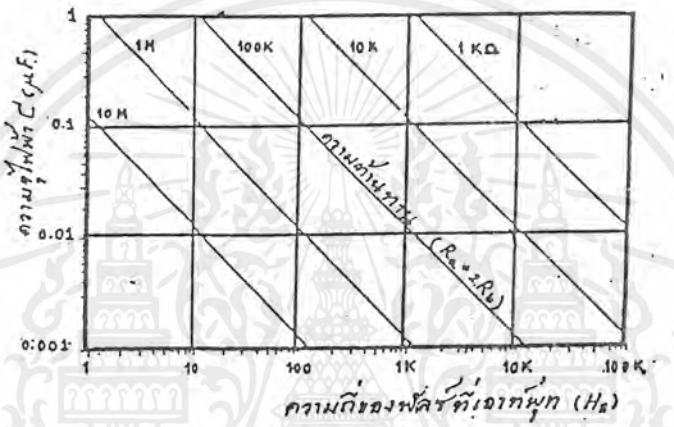
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ซึ่งค่า T ก็คือ ช่วงเวลาความกว้างของพัลซ์หนึ่งลูกคลื่นดังนั้นความถี่ของพัลซ์ที่เอาต์พุตก็คือ

$$f = 1 / T$$

$$= 1.443 / (R_a + 2R_b) C \quad Hz$$

แต่ละค่าของ $(R_a + 2R_b)$ และ ตัวเก็บประจุจะให้ความถี่ของพัลซ์ที่เอาต์พุตค่าต่างๆ กัน ซึ่งกราฟความสัมพันธ์นี้เขียนแสดงได้ดังรูป



รูปที่3.3แสดงกราฟค่าความถี่ของพัลซ์ที่แอาท์พุทในวงจรอะสเตเบิ้ลที่มีค่าความจุไฟฟ้าตัวเก็บประจุและค่าความต้านทาน $(R_a + 2R_b)$ ค่าต่าง ๆ

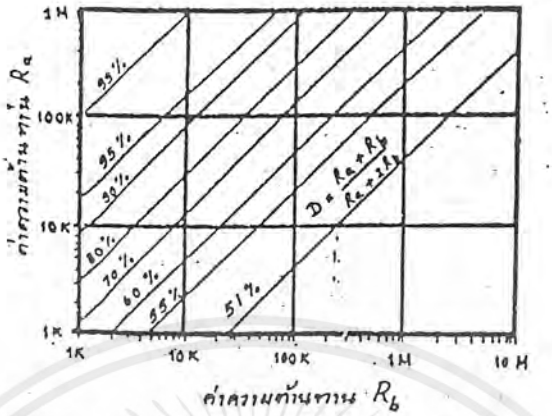
และถ้า "ติวตี้ไซเคิ้ล" ถูกนิยามว่า คืออัตราส่วนของช่วงเวลาที่เอาต์พุตมีศักย์ดาสูงกับช่วงเวลาทั้งหมดของพัลซ์หนึ่งลูกคลื่น และเขียนแทนด้วย D

ดังนั้น duty cycle

$$D = t1 / T = R_a+R_b / R_a+2R_b$$

ซึ่งจะเห็นว่าค่าความต้านทานของ R_a และ R_b จะเป็นตัวกำหนดค่าดีวตี้ไซเคิ้ลและเขียนเป็นกราฟได้ดังรูปในรูป จากกราฟนี้พิจารณาได้

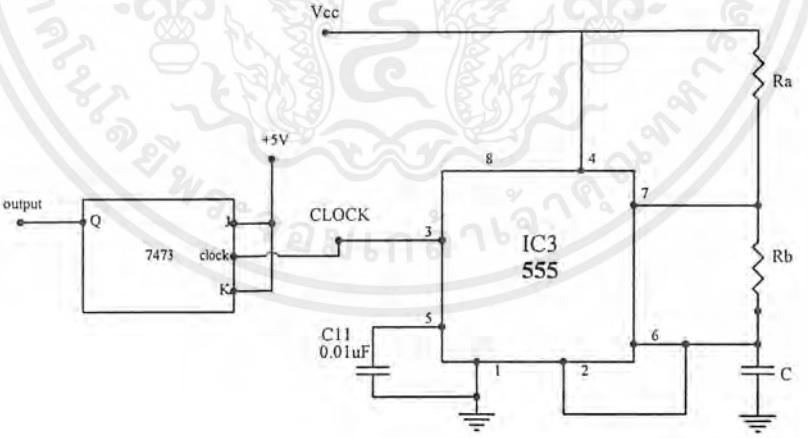
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่3.4 แสดงค่าดิวตี้ไซเคิ้ลของพัลซ์ในวงจรอะสเตเบิ้ลซึ่งขึ้นอยู่กับค่า R_a และค่า R_b

ในวงจรว่าคลื่นสี่เหลี่ยมจัตุรัสที่ดีซึ่งมีค่าดิวตี้ไซเคิ้ลราว 50 % จะเกิดขึ้นได้ในกรณีที่ค่า R_b มีค่าสูงกว่า R_a กราฟนี้จึงมีประโยชน์ในการออกแบบวงจรเพราะจะช่วยทำให้การกำหนดค่า R_a และ R_b เป็นไปอย่างรวดเร็วโดยที่เอาท์พุทของวงจรจะให้พัลซ์ซึ่งมีลักษณะตามที่ต้องการ

อย่างไรก็ดีหากต้องการคลื่นจัตุรัสที่มีลักษณะสมมาตรอย่างสมบูรณ์แบบperfectly symmetrical sguare wave) ก็อาจทำได้โดยเพิ่มเติมวงจรฟลิบฟล็อบเข้าไปที่เอาท์พุตของวงจรเดิม วงจรฟลิบฟล็อบจะทำหน้าที่ลดความถี่ลงครึ่งหนึ่ง ซึ่งในกรณีนี้ไม่ว่า



รูปที่3.5 แสดงวงจรผลิตคลื่นจัตุรัสที่มีลักษณะสมมารอย่างสมบูรณ์

ค่าความต้านทาน R_a และ R_b จะเป็นเท่าไรก็ตามคลื่นที่เอาต์พุตก็จะเป็น คลื่นจัตุรัสที่มีลักษณะสมมาตรอย่างสมบูรณ์แบบเสมอ แต่จะมีความถี่ลดลงเหลือครึ่งหนึ่งของความถี่เดิมที่ออกจากเอาต์พุทของไอซีเบอร์ 555

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

นอกจากนี้แล้วการที่จะทำให้ได้ดิวตี้ไซเคิ้ลมีค่า 50% โดยไม่ต้องมีวงจรฟลิบฟล็อบมาช่วยทำหน้าที่เป็นตัวลดความถี่ลงครึ่งหนึ่ง ก็อาจทำได้โดยการจัดวงจรใหม่แสดงดังรูปที่ 3.5 ในวงจรนี้ตัวเก็บประจุ จะสะสมประจุตัวความต้านทาน R_1 เพียงตัวเดียวทำให้มีแรงดันตกคร่อมเพิ่มขึ้นอย่างเอ็กโปเนนเชียลไปสู่ค่า V_{CC} ดังนั้นช่วงเวลาที่เอาท์พุตของวงจรมีศักย์ดาค่าสูงก็คือ

$$t_1 = 0.693 \quad R_1 C \qquad \text{วินาที}$$

เมื่อแรงดันตกคร่อมตัวเก็บประจุมีค่าเพิ่มขึ้นจนถึงค่า 2/3 V_{CC} จะทำให้ ศักย์ดาที่เอาต์พุตลดต่ำลงทันทีและตัวเก็บประจุตัวเก็บประจุ ก็จะคายประจุอย่างรวดเร็วผ่านตัวความต้านทาน R_1 อีกเช่นเคย ดังนั้นช่วงเวลาที่เอาต์พุตของวงจรมีศักย์ดาค่าต่ำก็คือ

$$t_2 = 0.693 \quad R_1 C \qquad \text{วินาที}$$

ซึ่งช่วงเวลาการสะสมประจุ และคายประจุของตัวเก็บประจุ นี้จะมีค่าเท่ากันดังนั้นช่วงเวลาทั้งหมดของการทำงานของวงจรหนึ่งรอบก็คือ

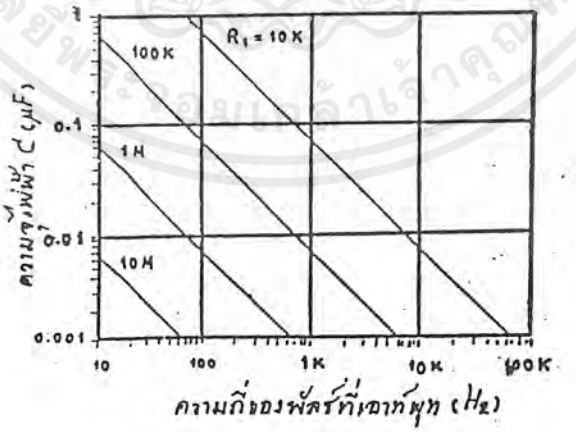
$$T = t_1 + t_2 = 2t_1$$

$$= 1.386 \quad R_1 C \qquad \text{วินาที}$$

ดังนั้นความถี่ของพัลซ์ที่เอาต์พุตก็คือ

$$f = 1/T = 0.722 / R1\ C$$

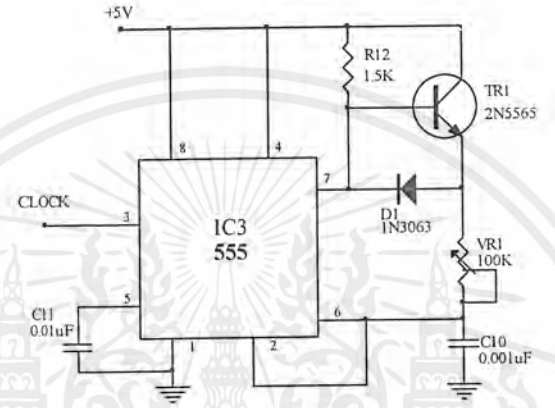
แต่ละค่าของตัวต้านทาน1 และ ตัวเก็บประจุ จะให้ค่าความถี่ที่เอาต์พุตค่าต่างๆ กัน ซึ่งแสดงเป็นกราฟได้ดังรูป



จากรูปที่3.6แสดงค่าความถี่ของพัลซ์ที่เอาต์พุตของวงจร ซึ่งมีค่า ตัวเก็บประจุ และ R_1 ค่าต่าง ๆให้ค่าของศักย์ดาที่เอาต์พุทระดับสูงมีค่าใกล้เคียงกับค่า V_{CC} มากที่สุด R_1 จึงควรมีค่าไม่น้อยกว่า $10R_2$(10 KΩ) ในการใช้งานบางอย่างอาจมีผลทำให้ที่เอาต์พุตของวงจรอะสเตเบิ้ลแบบ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

พื้นฐาน เกิดมีแรงดันออฟเซ็ทถึง 1 โวลต์ หรือ มากกว่านี้ผิดจากค่าที่ควรจะเป็นคือ V_{CC} และจุดกราวด์ ดังนั้นจะมีผลทำให้ความถี่ที่เอาท์พุตเปลี่ยนแปลง และค่าดิวตี้ไซเคิ้ลก็จะมีผลกระทบกระเทือนด้วย การแก้ปัญหา อาจทำได้โดยใช้วงจรดังแสดงในรูปต่อไปนี้



รูป3.7 แสดงวงจรอะเสเตเบิ้ล ซึ่งถูกปรับปรุงให้ดีขึ้น

ซึ่งมีการเพิ่มทรานซิลเตอร์ และไดโอดเข้าไปในวงจรเดิมในวงจรนี้สามารถปรับค่าความถี่ของพลัสที่เอาต์พุตได้แก่ค่าดิวตี้ไซเคิ้ลจะคงที่และมีค่าเป็น 50% เสมอ

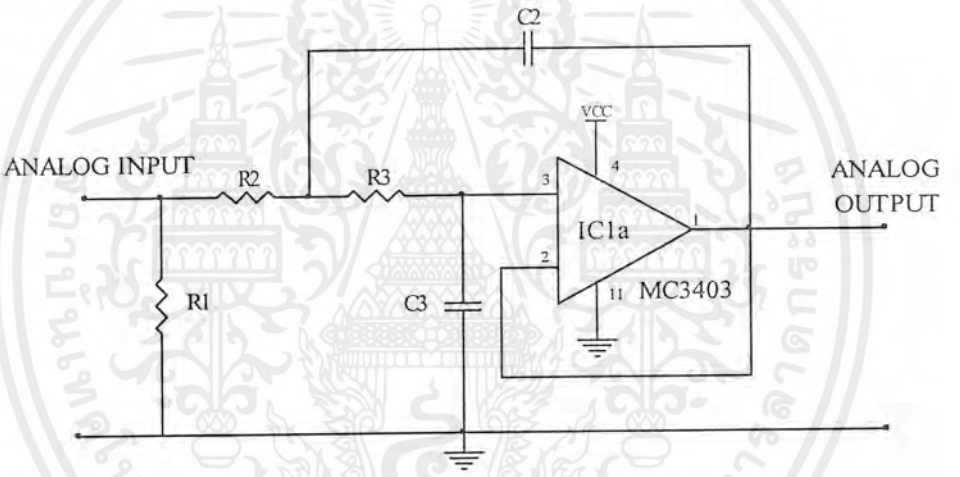
เอาต์พุตมีศักย์ดาสูงทรานซิลเตอร์ Q_1 จะถูกให้ไบอัสและอยู่ในภาวะอิ่มตัวดังนั้นตัวเก็บประจุ จะสะสมประจุผ่าน Q_1 และ R_1 เมื่อเอาต์พุตมีศักย์ดาต่ำ ทรานซิลเตอร์ Q_1 จะอยู่ในภาวะคัทออฟดังนั้นตัวเก็บประจุ จะคายประจุออกผ่าน R_1 และไดโอด D_1เนื่องจากค่าอิมพีแดนซ์ในวงจรของการสะสมประจุและคายประจุของ มีค่าเท่ากันจึงทำให้ช่วงเวลาที่เอาต์พุตมีศักย์ดาสูงและศักย์ดาต่ำมีค่าเท่ากันค่าดิวตี้ไซเคิ้ลจึงเป็น 50% เสมอ ทรานซิลเตอร์ Q_1 ควรจะมีอัตราการขยายสูง ๆ เพื่อว่าถึงแม้ค่าความต้านทาน R_2 สูง ๆ ก็สามารถทำให้ทรานซิลเตอร์ Q_1 ทำงานในภาวะอิ่มตัวได้สำหรับไดโอด D_1 ควรใช้เยอรมันเนียมไดโอดหรือซ็อตต์คีย์ไดโอดทั้งนี้เพื่อให้แรงดันตกคร่อม Q_1 และ D_1มีค่าน้อยที่สุด

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่4
ผลการทดลอง

4.1 วงจรกรองความถี่ต่ำ

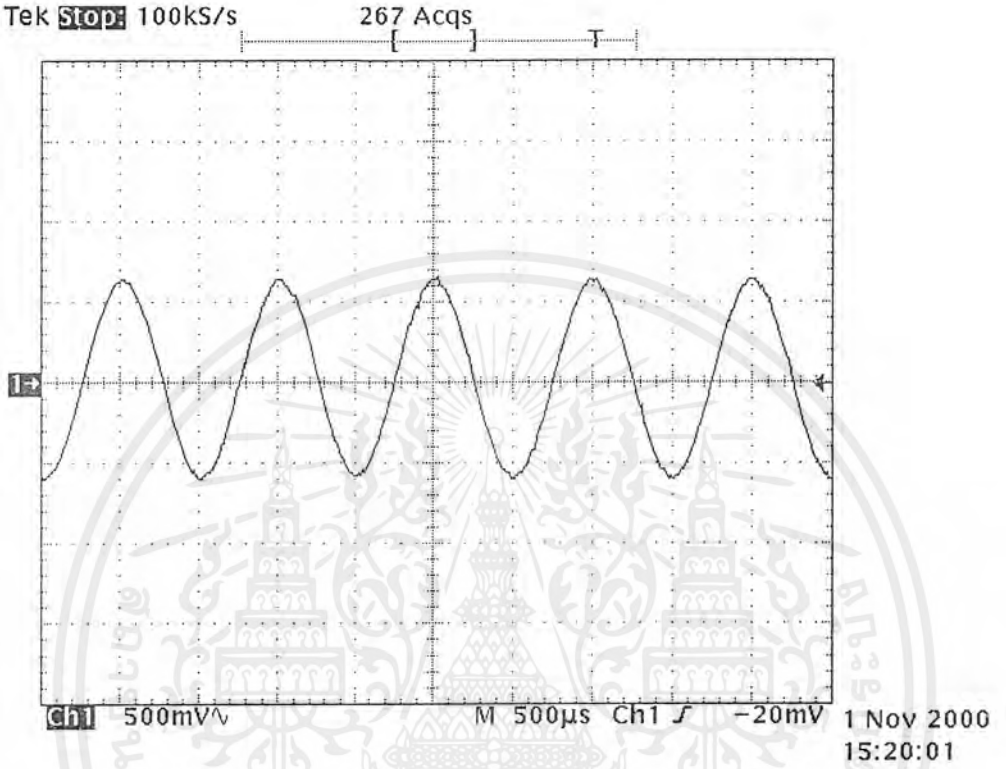
เราทำการทดลองโดยอาศัยไอซีเบอร์ MC3403 ซึ่งเป็น IC- Quad Op Amp ทำหน้าที่เป็นวงจรกรองความถี่ต่ำผ่านโดยจะเลือกเอาเฉพาะความถี่ที่ต้องการเท่านั้น ส่วนวงจรที่ใช้ในการทดลอง ดังนี้



รูป 4.1 แสดงวงจร Low Pass Filter ส่วนหน้า

โดยป้อนสัญญาณอินพุตรูปคลื่นไซน์เวฟที่จุด TP1 ของ วงจรกรองความถี่ต่ำแล้วนำสโคปวัดรูปสัญญาณ โดยเราป้อนที่ความถี่ 1KHz, แอมปริจูด 1 Vp-p

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



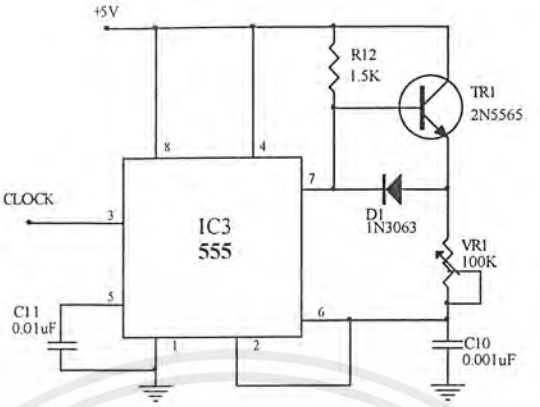
รูป 4.2 แสดงสัญญาณที่วัดได้ที่จุด TP1

แล้วเปลี่ยนแปลงความถี่ตั้งแต่ 0 ถึง 8 KHz เพื่อทดสอบการทำงานของวงจรกรองความถี่ ปรากฏว่าสัญญาณเอาต์พุตที่จุด TP2 ที่มีความถี่อยู่ในช่อง 50 Hz ถึง 2 KHz จะไม่มี การลดทอน แอมปริจูดส่วนความถี่ตั้งแต่ 2 kHz ขึ้นไป แอมปริจูดจะถูกลดทอนลงจนเข้าใกล้ 0 โวลต์

4.2 วงจรกำเนิดสัญญาณ Clock

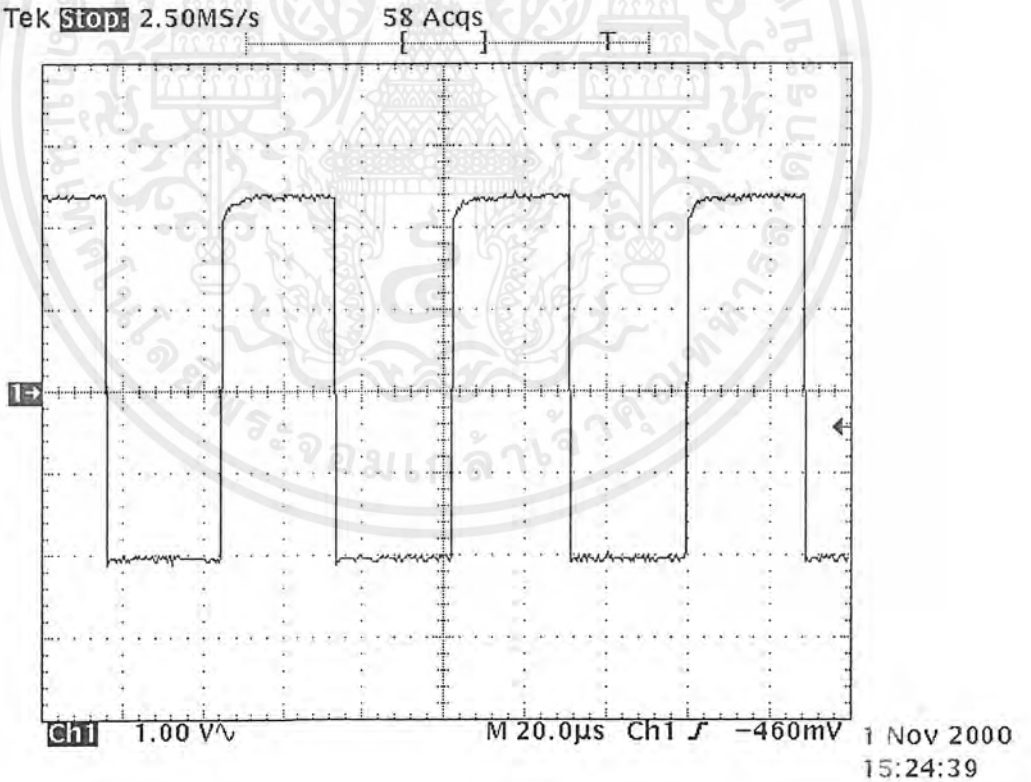
เราทำการทดลองโดยใช้ไอซีเบอร์ 555 เป็นวงจรกำเนิดสัญญาณนาฬิกา ซึ่งวงจรแสดงดังรูปที่4.3

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูป 4.3 แสดงวงจรกำเนิดสัญญาณ Clock

จากวงจรเราจะปรับความถี่ที่ VR1 ให้มีความถี่ที่ 32 KHz, Duty Cycle 50% แล้ววัดสัญญาณที่จุด TP10 ได้ดังรูป



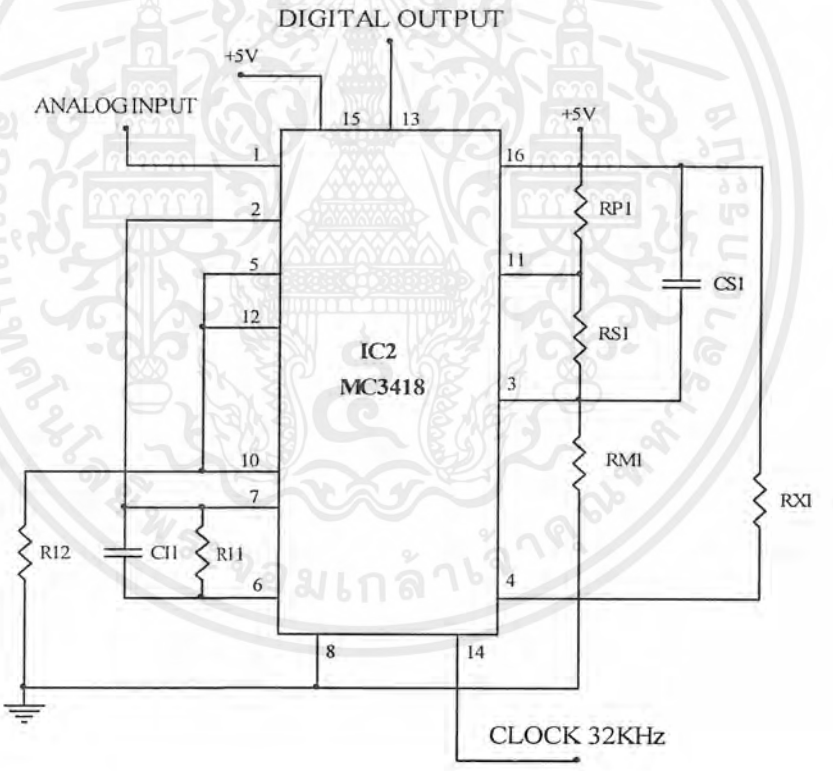
รูป 4.4 แสดงสัญญาณที่จุด TP10

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ซึ่งความถี่ที่ใช้ในการ Sampling จะป้อนให้ทั้งภาคมอดูเลชั่น และดีมอดูเลชั่น เพื่อทำให้เกิดการทำงานที่พร้อมกันระหว่างภาคส่งและภาครับ

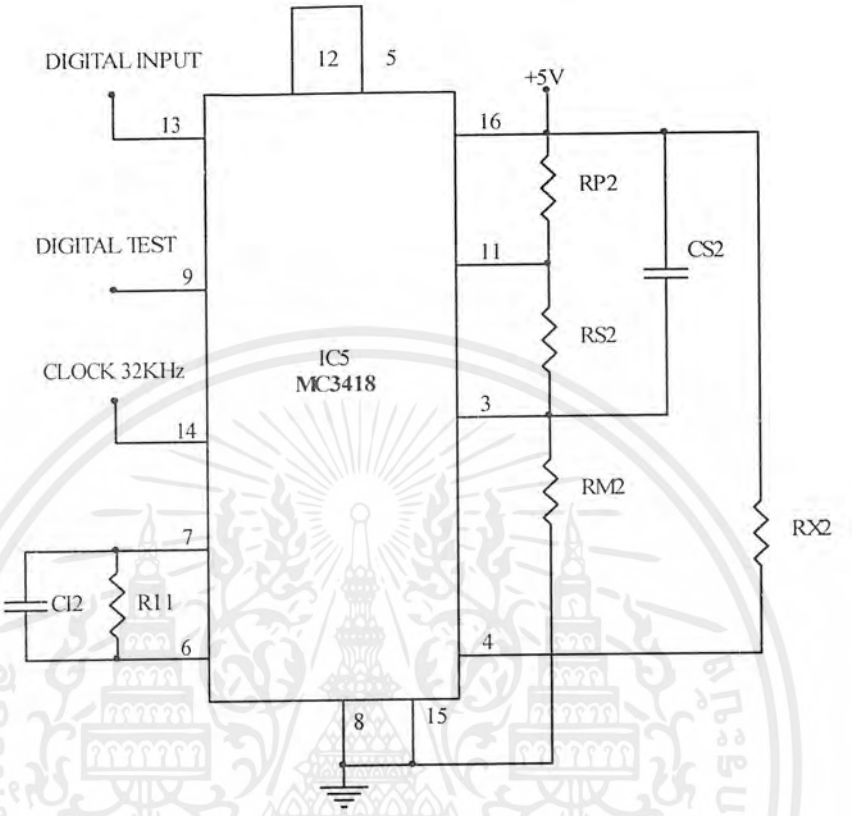
4.3วงจรเดลต้ามอดูเลเตอร์และเดลต้าดีมอดูเลเตอร์

เราทำการทดลองโดยอาศัยไอซีเบอร์ MC 3418 ซึ่งสามารถทำหน้าที่เป็นทั้งวงจรเดลต้ามอดูเลเตอร์ และวงจรเดลต้าดีมอดูเลเตอร์ โดยไม่ใช้ส่วนประกอบจากภายนอก สำหรับวงจรเดลต้ามอดูเลเตอร์ จะต่อวงจรดังรูปที่ 4.5 และวงจรเดลต้าดีมอดูเลเตอร์ จะต่อวงจรดังรูปที่ 4.6 ตามลำดับ



รูป 4.5 แสดงวงจรเดลต้ามอดูเลเตอร์

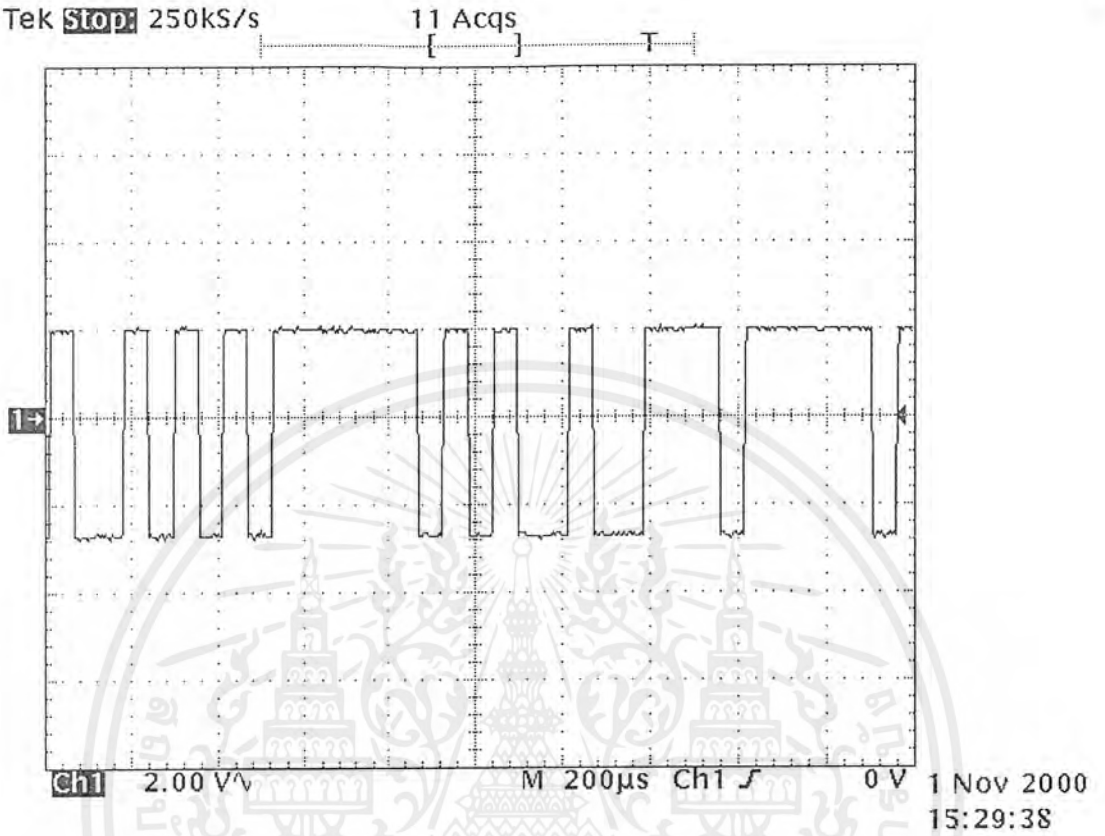
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูป 4.6 แสดงวงจรดีมอดูเลเตอร์

สำหรับวงจรเดลต้ามอดูเลเตอร์จะป้อนอินพุต เป็นสัญญาณรูปคลื่นไซน์เวฟ ความถี่ 1 kHz และมีแอมปริจูด 1 Vp-p ซึ่งจะได้เอาต์พุตจากวงจรเดลต้ามอดูเลเตอร์ที่จุด TP3 ดังรูป

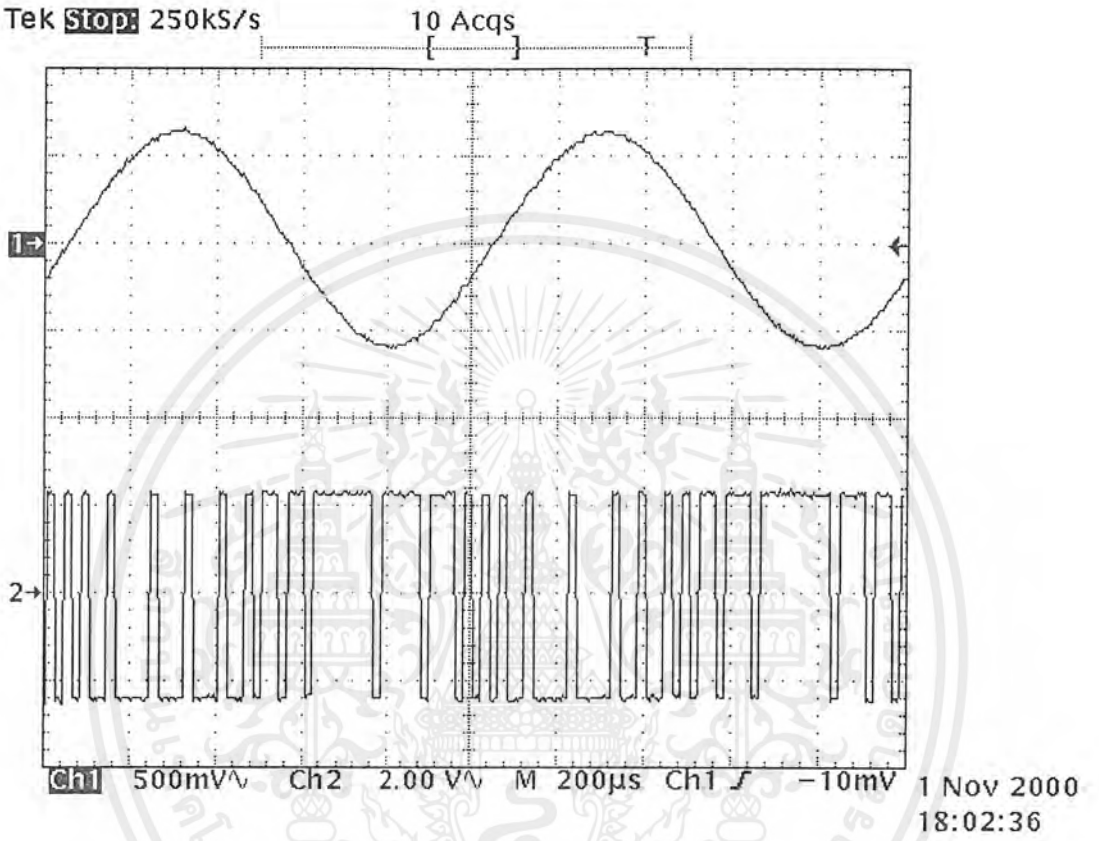
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูป 4.7 แสดงสัญญาณเอาต์พุตของเดลต้ามอดูเลเตอร์

ซึ่งเอาต์พุตที่ได้จะถูกทำงานที่ขอบขาลงสัญญาณนาฬิกา ซึ่งถ้านำเอาต์พุตมาเปรียบเทียบกับสัญญาณอินพุตที่คาบเวลาเดียวกัน จะได้ดังรูป

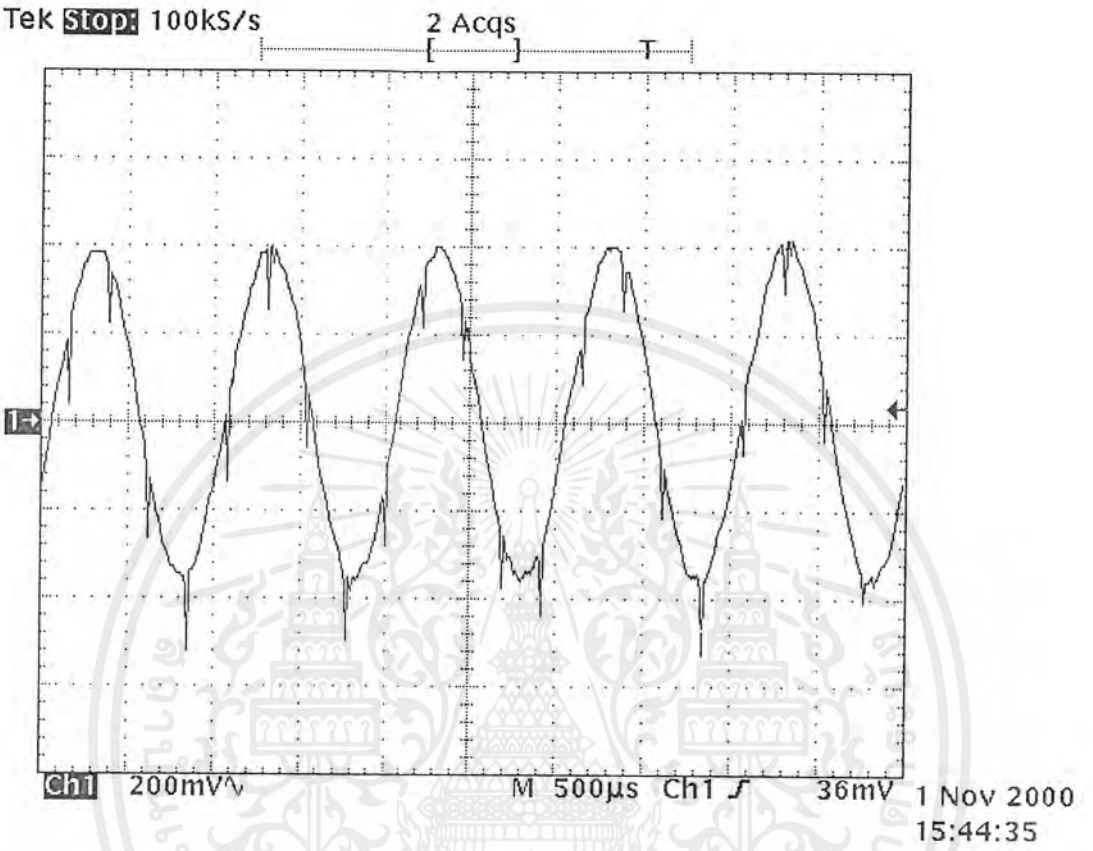
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูป 4.8 แสดงสัญญาณอินพุตและเอาต์พุตของเดลต้ามอดูเลเตอร์ที่คาบเวลาเดียวกัน

ส่วนวงจรเดลต้าดีมอดูเลเตอร์จะรับสัญญาณอินพุตที่เป็นดิจิตอลที่จุด TP7 มาแปลงเป็นสัญญาณอนาล็อกที่ได้ดังรูป

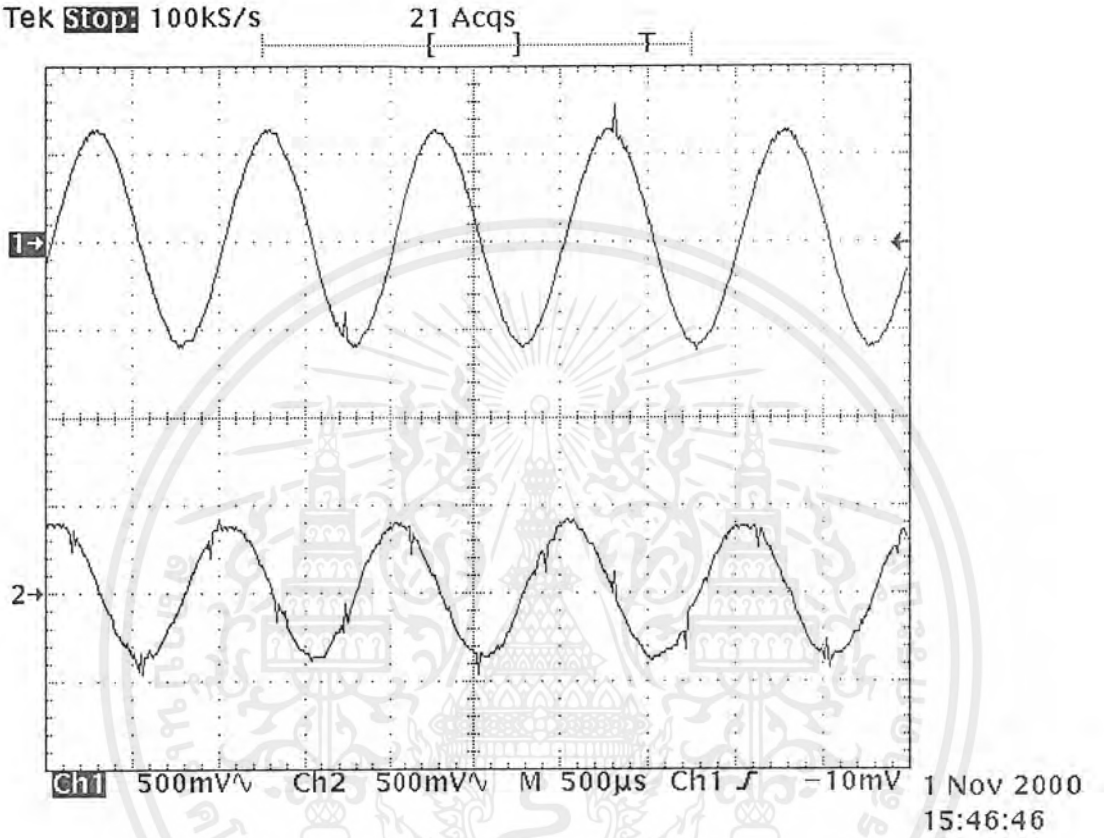
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูป 4.9 แสดง สัญญาณเอาต์พุตของเดลต้าดีมอดูเลเตอร์ ที่จุดTP7

ซึ่งจากรูปจะเห็นว่าสัญญาณรูปคลื่นไซน์เวฟที่ได้จากการดีมอดูเลเตอร์นั้นยังมีความถี่สูงปนมา ซึ่งก็คือค่าของสเตปไซต์ ซึ่งถูกออกแบบให้มีแอมปริจูด 6 mV ถ้านำเอาสัญญาณนี้มาผ่านวงจรกรองความถี่ต่ำ ก็จะกรองเอาความถี่สูงเหล่านั้นออกไป

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



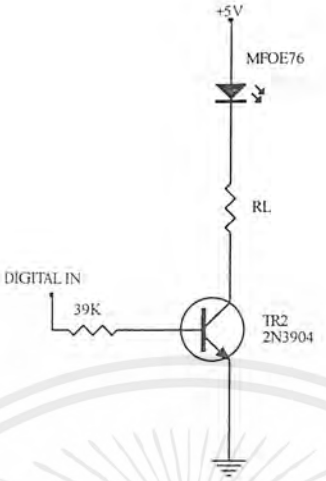
รูป 4.10 แสดงให้เห็นถึงสัญญาณก่อนและหลังเมื่อผ่านวงจรกรองความถี่ต่ำส่วนหลัง

จากรูป 4.10 จะเป็นรูปสัญญาณที่ยังไม่ได้กรองเอาสเตปไซต์ซึ่งมีความถี่สูงออก ส่วนรูปด้านล่างจะแสดงสัญญาณที่ถูกกรองเอาสเตปไซต์ออกแล้ว และ ได้สัญญาณรูปคลื่นไซน์เวฟกลับคืนมา

4.4วงจรขับแสง

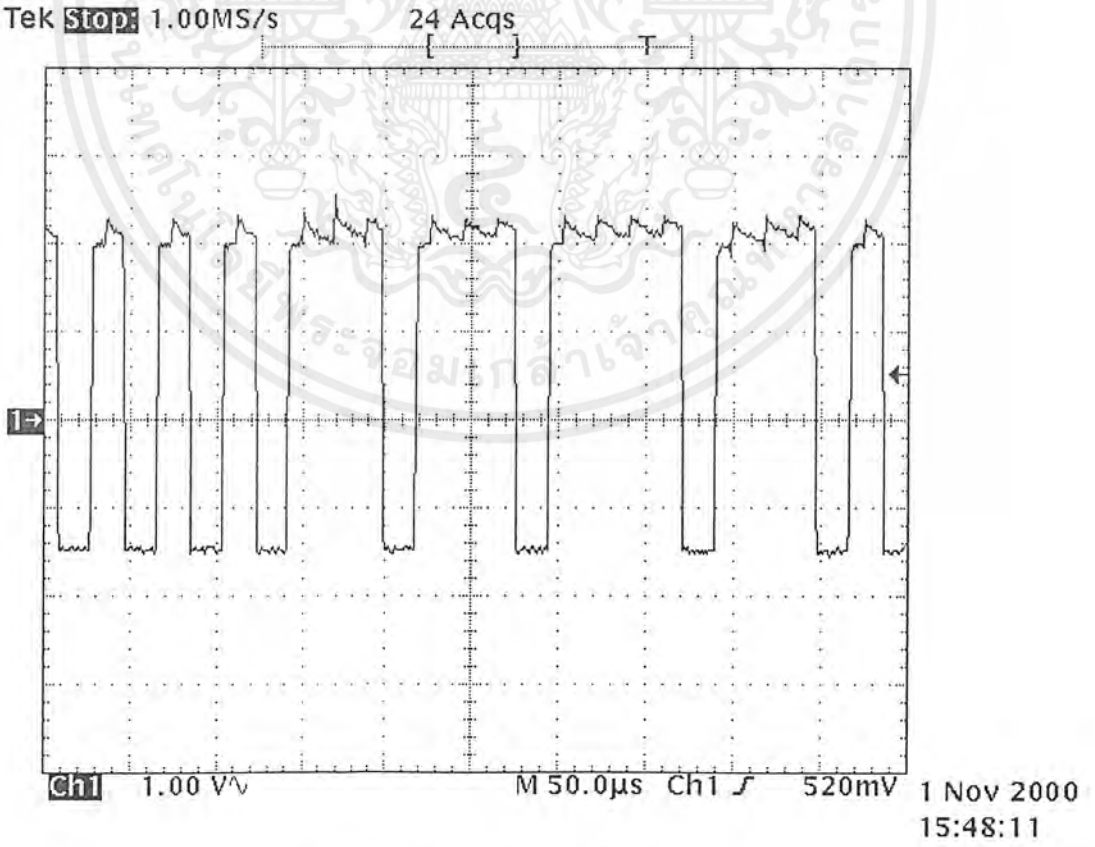
เราทำการทดลองโดยอาศัยตัวกำเนิดแสงเบอร์ MFOD76 ซึ่งทำหน้าที่เปลี่ยนสัญญาณไฟฟ้าให้เป็นสัญญาณแสง ซึ่งมีวงจรดังรูป

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูป 4.11 แสดงวงจรขับตัวกำเนิดแสง

เราอาศัยต้นกำเนิดแสงเบอร์ MFOD 76 ซึ่งทำหน้าที่ขับแสง ตัวต้านทาน RL เป็นตัวกำหนดกระแส If เราทำการทดลองโดยการป้อนสัญญาณนาฬิกา ที่จุดดิจิตอลอินพุตแล้วทำการวัดที่จุด TP 4 ได้รูปสัญญาณดังนี้



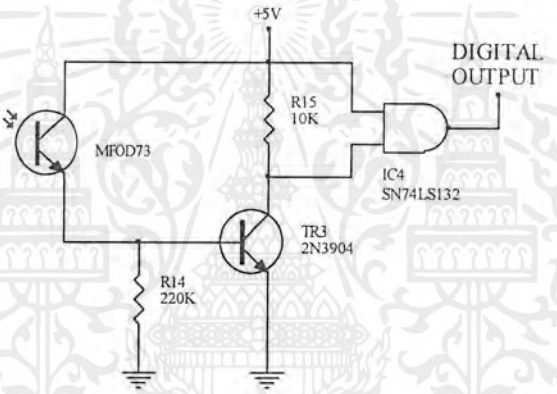
รูป 4.12 แสดงรูปสัญญาณที่จุด TP 4

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ตัวกำเนิดแสง ทำหน้าที่เปลี่ยนพลังงานไฟฟ้าให้เป็นพลังงานแสง ส่งผ่านเส้นใยนำแสงต่อไป

4.5วงจรรับแสง

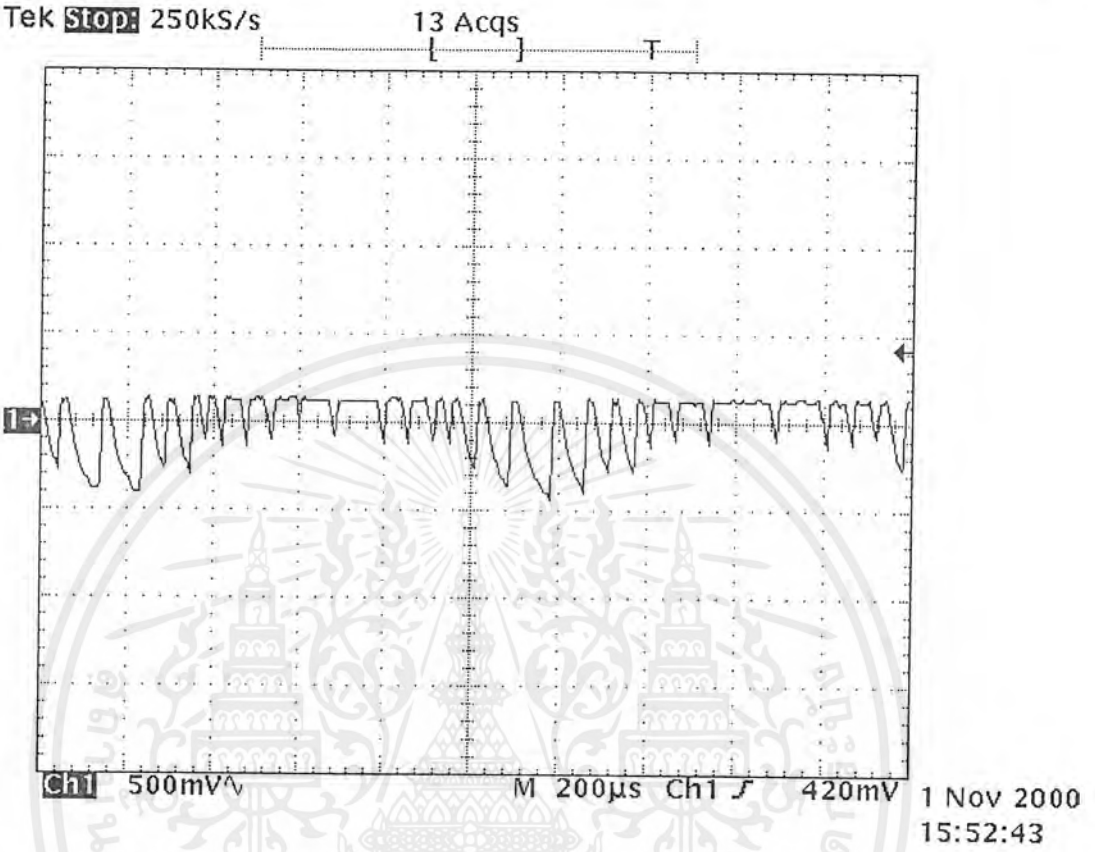
เราทำการทดลองโดยอาศัยตัวรับแสง เบอร์ MFOD 73 ซึ่งทำหน้าที่ตรวจจับแสงที่ถูกส่งมาจากภาคส่ง ส่วนของวงจรที่ใช้ในการทดลองดังรูป



รูป 4.13 แสดงวงจรรับแสง

ตัวตรวจจับแสง MFOD 73 จะเปลี่ยนพลังงานแสงให้เป็นพลังงานไฟฟ้า ซึ่งวัดรูปสัญญาณที่จุด TP5 ได้ดังรูป

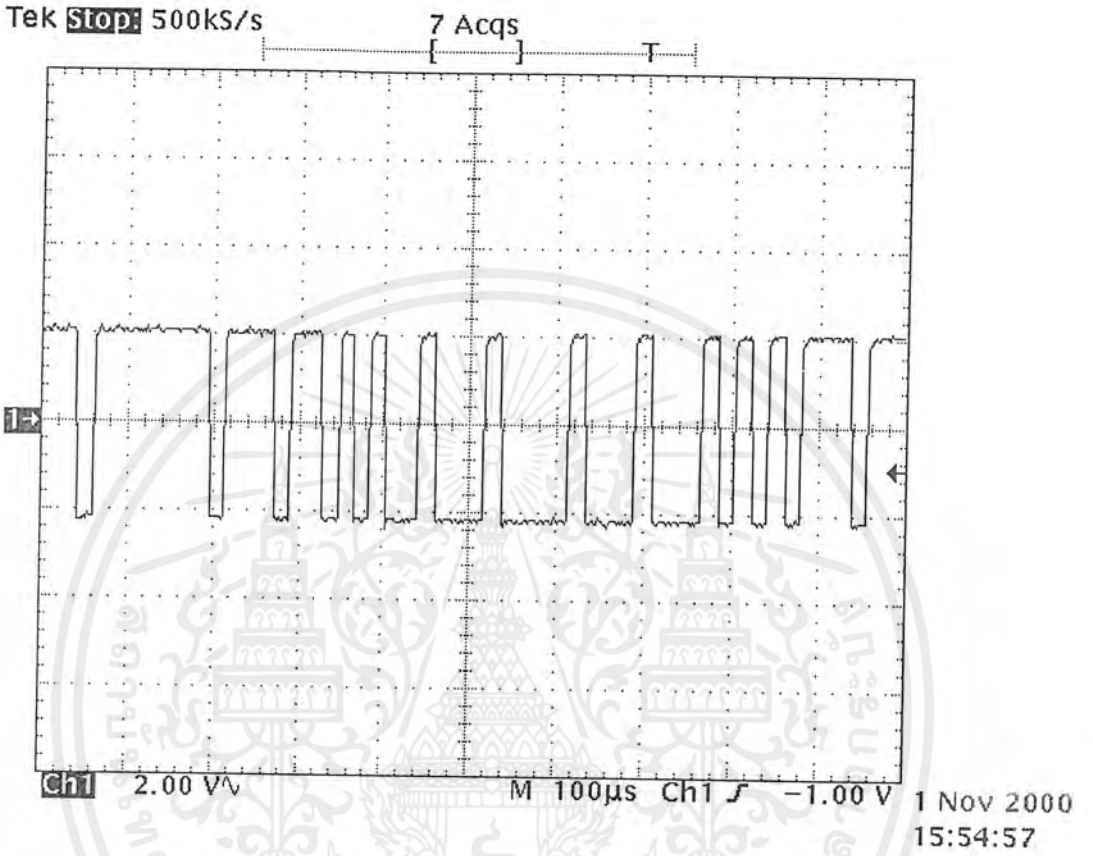
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูป 4.14 แสดงสัญญาณที่จุด TP5

จะเห็นว่าสัญญาณที่ได้มานั้นยังไม่เป็นดิจิตอลที่สมบูรณ์เนื่องจากเกิดการสูญเสียและถูกสัญญาณรบกวนในการส่ง จึงอาศัยไอซีเบอร์ 74LS132 ซึ่งเป็น IC Quad EX AND ซึ่งจะทำให้สัญญาณดิจิตอลที่สมบูรณ์ขึ้นและวัดสัญญาณที่จุด TP6 ได้ดังแสดงดังรูป

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูป 4.15 แสดงรูปสัญญาณที่จุด TP6

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 5
สรุป และ วิจารณ์

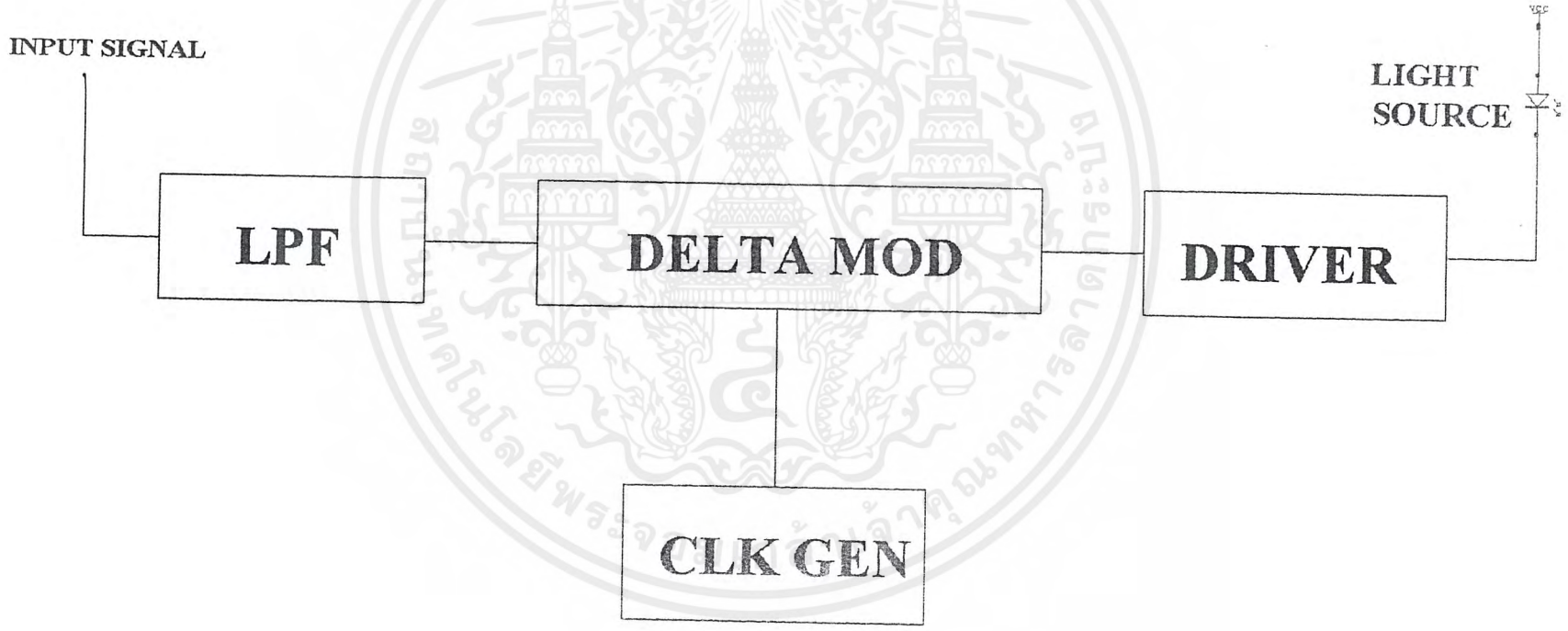
จากการทดลอง ทางด้านเครื่องส่งสามารถเปลี่ยนสัญญาณอนาล็อกเป็นสัญญาณดิจิตอลได้ด้วยเทคนิคเดลต้ามอดูเลชั่น ซึ่งอัตราการแปลงสัญญาณสามารถกำหนดโดยความถี่ของสัญญาณนาฬิกา ความถี่ของสัญญาณนาฬิกาทั้งทางด้านส่งและด้านรับจะต้องเท่ากันเพื่อที่จะสามารถแปลงสัญญาณดิจิตอลกลับเป็นสัญญาณอนาล็อกได้อย่างถูกต้อง สัญญาณที่ถูกมอดูเลตแล้วจะถูกส่งไปยังวงจรขับแสง ซึ่งจะเปลี่ยนพลังงานไฟฟ้าให้เป็นพลังงานแสงตัวกำเนิดแสงที่ใช้อยู่ในช่วงความยาวคลื่น 660 นาโนเมตร จะถูกส่งมายังตัวรับแสงที่ภาครับ ซึ่งจะเปลี่ยนพลังแสงให้เป็นพลังงานไฟฟ้า เพื่อนำสัญญาณข้อมูลดิจิตอลที่ถูกส่งมาแปลงกับเป็นอนาลอกด้วยเดลต้าดีมอดูเลชัน

ค่าของอุปกรณ์ต่างๆ ที่ใช้ในวงจรการทดลองจะมีการเปลี่ยนแปลงไปจากทฤษฎีที่ได้ เนื่องจากอุปกรณ์ บางค่าไม่มีขายในท้องตลาด ดังนั้นจึงต้องทำการเปลี่ยนค่าอุปกรณ์ให้เหมาะสม และใกล้เคียงมากที่สุด เพื่อให้ได้ผลการทดลองที่ถูกต้อง และเป็นไปตามทฤษฎี

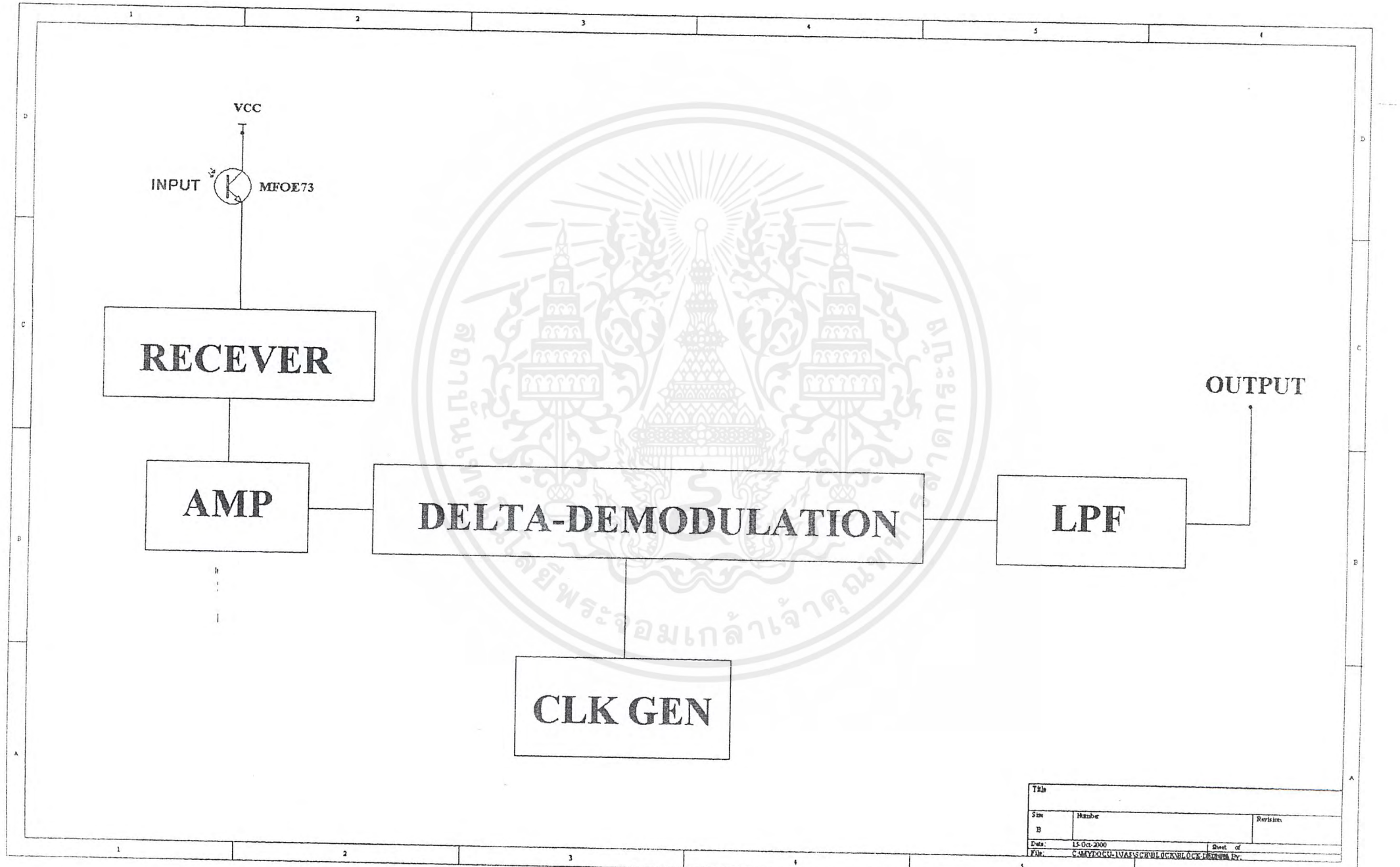
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ภาคผนวก

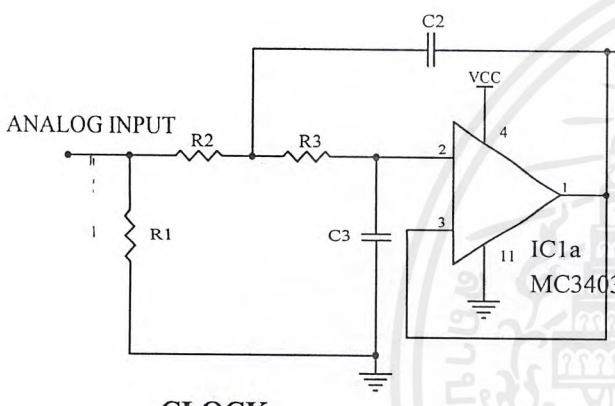
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



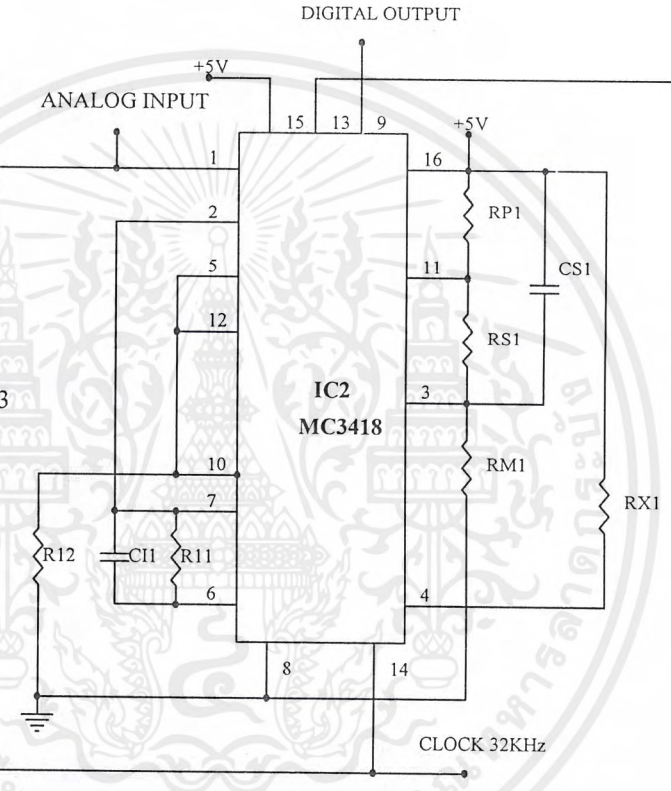
Title		
Size: B	Number	Revision
Date: 13-Oct-2000	Sheet of	
File: C:\MYDOCU~1\VAFS\CRYBLOCK\BLOCK.DDB	Drawn By:	


VCC
INPUT
MFOE73
RECEVER
AMP
DELTA-DEMODULATION
LPF
OUTPUT
CLK GEN
Title
Size
B
Number
Revision
Date:
15-Oct-2000
Sheet of
File:
C:\MYDOCU~1\VAFS\SCH\BLOCK\BLOCK.DDB
Drawn By:

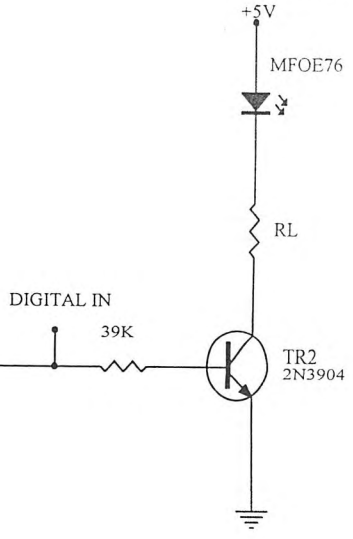
LOWPASS FILTER



DELTAMODULATION

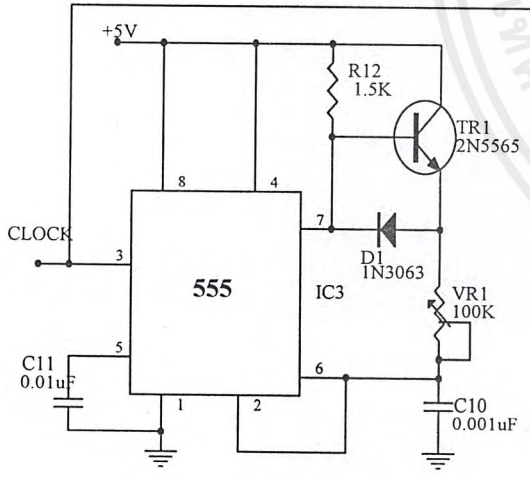


DRIVER



If	RL
10mA	300
50mA	56
100mA	27

CLOCK



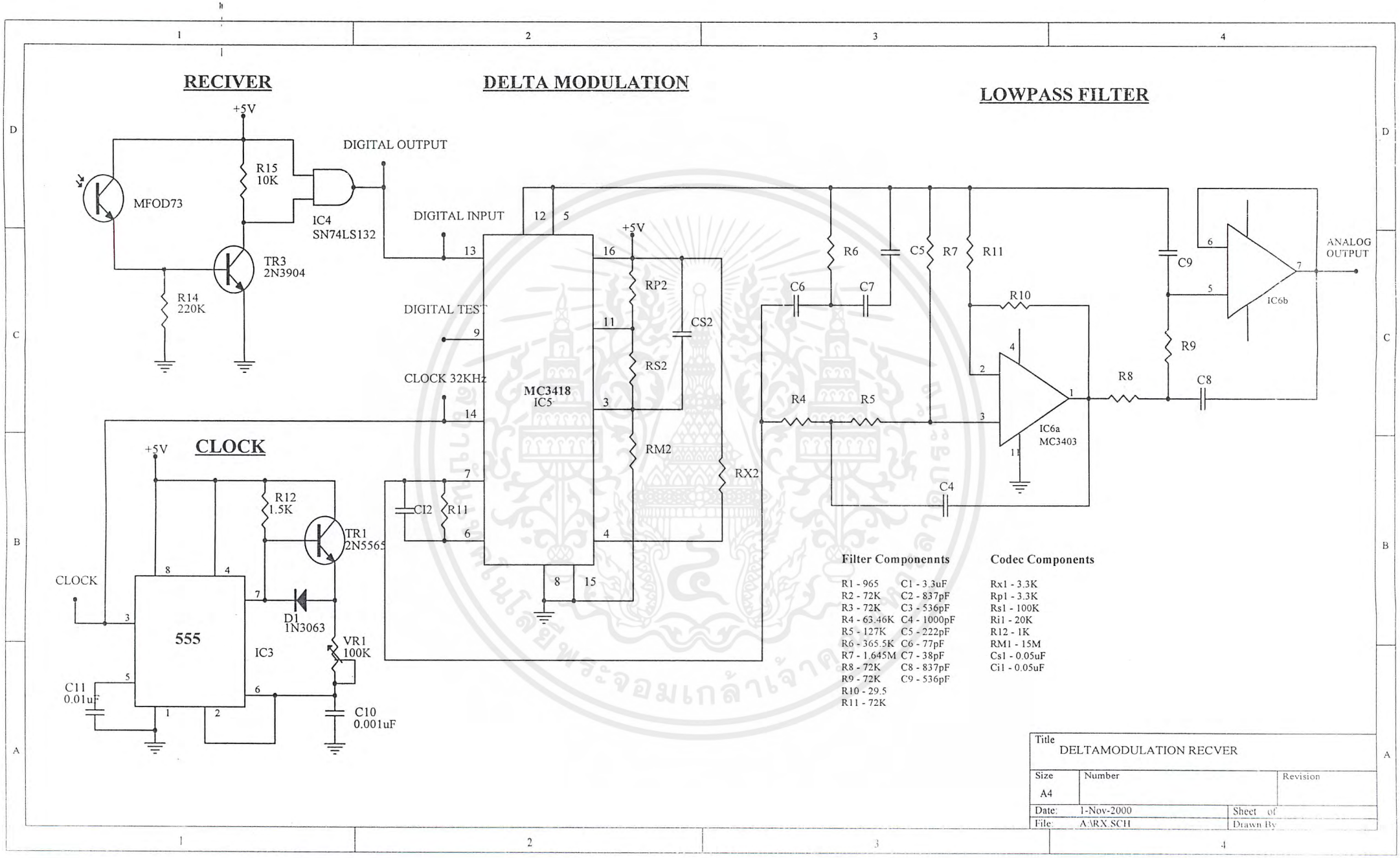
Filter Componennts

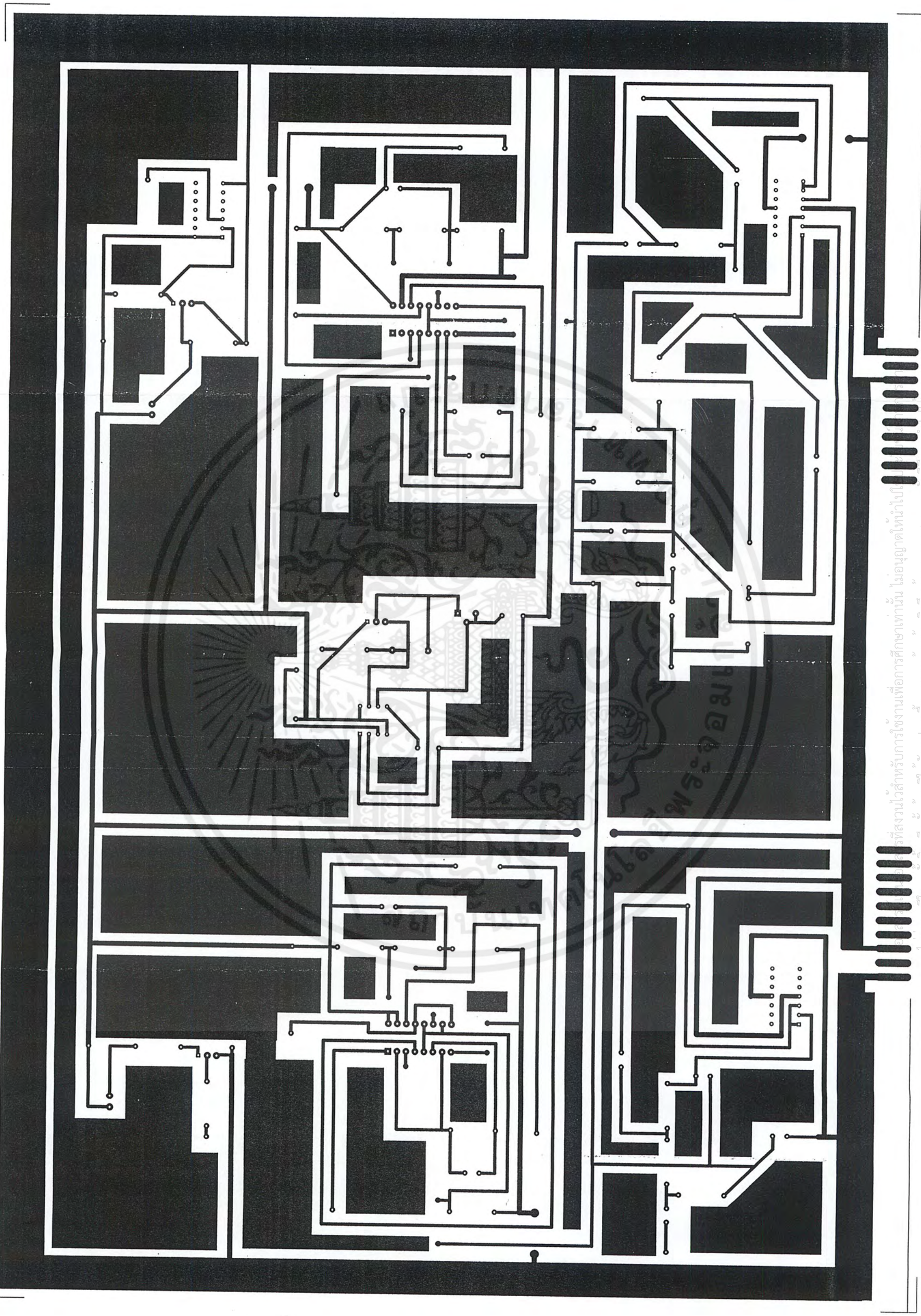
R1 - 965	C1 - 3.3uF
R2 - 72K	C2 - 837pF
R3 - 72K	C3 - 536pF
R4 - 63.46K	C4 - 1000pF
R5 - 127K	C5 - 222pF
R6 - 365.5K	C6 - 77pF
R7 - 1.645M	C7 - 38pF
R8 - 72K	C8 - 837pF
R9 - 72K	C9 - 536pF
R10 - 29.5	
R11 - 72K	

Codec Components

Rx1 - 3.3K
Rp1 - 3.3K
Rs1 - 100K
Ri1 - 20K
R12 - 1K
RM1 - 15M
Cs1 - 0.05uF
Ci1 - 0.05uF

Title: DELTAMODULATION TRANSMITION		
Size: A4	Number	Revision
Date: 1-Nov-2000		Sheet of
File: A:\TX.SCH		Drawn By:


RECIVER
DELTA MODULATION
LOWPASS FILTER
+5V
DIGITAL OUTPUT
R15
10K
MFOD73
IC4
SN74LS132
TR3
2N3904
R14
220K
DIGITAL INPUT
DIGITAL TEST
CLOCK 32KHz
MC3418
IC5
RP2
RS2
RM2
RX2
CS2
CI2
R11
R6
C5
R7
R11
C6
C7
R10
R4
R5
C4
IC6a
MC3403
R8
R9
C8
C9
IC6b
ANALOG
OUTPUT
CLOCK
R12
1.5K
TR1
2N5565
D1
1N3063
VR1
100K
555
IC3
C11
0.01uF
C10
0.001uF
Filter Componennts
R1 - 965
R2 - 72K
R3 - 72K
R4 - 63.46K
R5 - 127K
R6 - 365.5K
R7 - 1.645M
R8 - 72K
R9 - 72K
R10 - 29.5
R11 - 72K
C1 - 3.3uF
C2 - 837pF
C3 - 536pF
C4 - 1000pF
C5 - 222pF
C6 - 77pF
C7 - 38pF
C8 - 837pF
C9 - 536pF
Codec Components
Rx1 - 3.3K
Rp1 - 3.3K
Rs1 - 100K
Ri1 - 20K
R12 - 1K
RM1 - 15M
Cs1 - 0.05uF
Ci1 - 0.05uF
Title
DELTAMODULATION RECVER
Size
A4
Number
Revision
Date: 1-Nov-2000
Sheet of
File: A:\RX.SCH
Drawn By



MC3418

Continuously Variable Slope Delta Modulator/Demodulator

Laser–Trimmed Integrated Circuit

Providing a simplified approach to digital speech encoding/decoding, the MC3418 CVSD is designed for military secure communication and commercial telephone applications. A single IC provides both encoding and decoding functions.

- Encode and Decode Functions on the Same Chip with a Digital Input for Selection
- Utilization of Compatible I^2L — Linear Bipolar Technology
- CMOS Compatible Digital Output
- Digital Input Threshold Selectable ($V_{CC}/2$ Reference Provided On Chip)
- MC3418 has a 4–Bit Algorithm (Commercial Telephone)

P SUFFIX
PLASTIC DIP
CASE 648

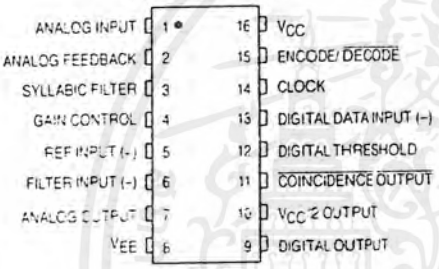
DW SUFFIX
PLASTIC SOIC
CASE 751G
SO–16L

ORDERING INFORMATION

MC3418P	Plastic DIP
MC3418DW	Plastic SOIC

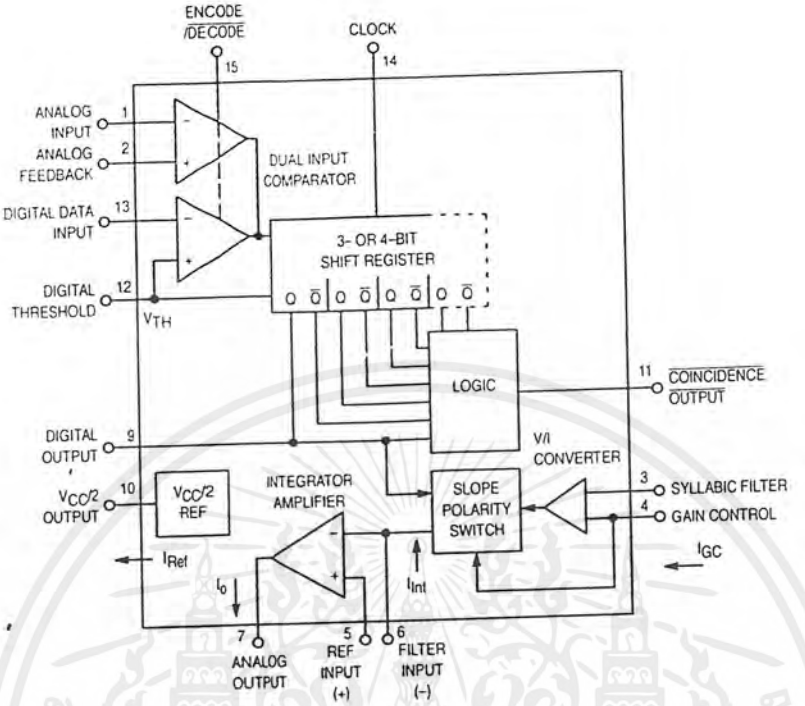
2

PIN ASSIGNMENT



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

BLOCK DIAGRAM



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

MAXIMUM RATINGS

(All voltages referenced to V_{EE}, T_A = 25°C unless otherwise noted)

Parameter	Symbol	Value	Unit
Power Supply Voltage	V_{CC}	– 0.4 to + 18	Vdc
Differential Analog Input Voltage	V_{ID}	± 5.0	Vdc
Digital Threshold Voltage	V_{TH}	– 0.4 to V_{CC}	Vdc
Logic Input Voltage (Clock, Digital Data, Encode/Decode)	V_{Logic}	– 0.4 to + 18	Vdc
Coincidence Output Voltage	$V_{O(Con)}$	– 0.4 to + 18	Vdc
Syllabic Filter Input Voltage	$V_{I(Syl)}$	– 0.4 to V_{CC}	Vdc
Gain Control Input Voltage	$V_{I(GC)}$	– 0.4 to V_{CC}	Vdc
Reference Input Voltage	$V_{I(Ref)}$	V_{CC}/2 – 1.0 to V_{CC}	Vdc
V_{CC}/2 Output Current	I_{Ref}	– 25	mA

ELECTRICAL CHARACTERISTICS (V_{CC} = 12 V, V_{EE} = Gnd, T_A = 0 to 70°C unless otherwise noted)

Characteristic	Symbol	Min	Typ	Max	Unit
Power Supply Voltage Range (Figure 1)	V_{CCR}	4.75	12	16.5	Vdc
Power Supply Current (Figure 1) V_{CC} = 5.0 V	I_{CC}	—	3.7	5.5	mA
(@ Idle Channel) V_{CC} = 15 V		—	6.0	11	
Gain Control Current Range (Figure 2)	I_{GCR}	0.002	—	3.0	mA
Analog Comparator Input Range (Pins 1 and 2) (4.75 V ≤ V_{CC} ≤ 16.5 V)	V_I	1.3	—	V_{CC} – 1.3	Vdc
Analog Output Range (Pin 7) (4.75 V ≤ V_{CC} ≤ 16.5 V, I_O = ± 5.0 mA)	V_O	1.3	—	V_{CC} – 1.3	Vdc
Input Bias Currents (Figure 3) Analog Input (I1)	I_{IB}	—	0.25	1.0	µA
(Comparator in Active Region) Analog Feedback (I2)		—	0.25	1.0	
Syllabic Filter Input (I3)		—	0.06	0.3	
Reference Input (I5)		—	– 0.06	– 0.3	
Input Offset Current Analog Input/Analog Feedback |I1 – I2| (Figure 3)	I_{IO}	—	0.05	0.4	µA
(Comparator in Active Region) Analog Input/Analog Feedback |I5 – I6| (Figure 4)		—	0.01	0.1	
Input Offset Voltage V/I Converter (Pins 3 and 4) (Figure 5)	V_{IO}	—	2.0	6.0	mV
Transconductance V/I Converter, 0 to 3.0 mA	gm	0.1	0.3	—	mA/mV
Integrator Amplifier, 0 to ± 5.0 mA Load		1.0	10	—	
Propagation Delay Times (See Note) Clock Trigger to Digital Output	t_{PLH}	—	1.0	2.5	µs
C_L = 25 pF to Gnd	t_{PHL}	—	0.8	2.5	
Clock Trigger to Coincidence Output	t_{PLH}	—	1.0	3.0	
C_L = 25 pF to Gnd, R_L = 4.0 kΩ to V_{CC}	t_{PHL}	—	0.8	2.0	
Coincidence Output Voltage — Low Logic Stage ($I_{OL(Con)}$ = 3.0 mA)	$V_{OL(Con)}$	—	0.12	0.25	Vdc
Coincidence Output Leakage Current — High Logic State (V_{OH} = 15 V, 0°C ≤ T_A ≤ 70°C)	$I_{OH(Con)}$	—	0.01	0.5	µA
Applied Digital Threshold Voltage Range (Pin 12)	V_{TH}	+ 1.2	—	V_{CC} – 2.0	Vdc
Digital Threshold Input Current (1.2 V ≤ V_{th} ≤ V_{CC} – 2.0 V)	$I_{I(th)}$				µA
V_{IL} Applied to Pins 13, 14, and 15		—	—	5.0	
V_{IH} Applied to Pins 13, 14, and 15		—	– 10	– 50	
Maximum Integrator Amplifier Output Current	I_O	± 5.0	—	—	mA
V_{CC}/2 Generator Maximum Output Current (Source Only)	I_{Ref}	+ 10	—	—	mA
V_{CC}/2 Generator Output Impedance (0 to + 10 mA)	z_{Ref}	—	3.0	6.0	Ω
V_{CC}/2 Generator Tolerance (4.75 V ≤ V_{CC} ≤ 16.5 V)	ε_r	—	—	± 3.5	%

NOTE: All propagation delay times measured 50% to 50% from the negative going (from V_{CC} to + 0.4 V) edge of the clock.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ELECTRICAL CHARACTERISTICS (continued)

Characteristic		Symbol	Min	Typ	Max	Unit
Logic Input Voltage (Pins 13, 14, and 15)	Low Logic State High Logic State	V_{IL} V_{IH}	Gnd V_{th} + 0.4	— —	V_{th} – 0.4 18	Vdc
Dynamic Total Loop Offset Voltage (See Note) (Figures 3, 4, and 5)		ΣV_{offset}				mV
I_{GC} = 12 µA, V_{CC} = 12 V	T_A = 25°C 0°C ≤ T_A ≤ + 70°C		— —	± 0.5 ± 0.75	± 3.0 ± 3.8	
I_{GC} = 12 µA, V_{CC} = 5.0 V	T_A = 25°C 0°C ≤ T_A ≤ + 70°C		— —	± 1.0 ± 1.3	± 3.5 ± 4.3	
Digital Output Voltage	I_{OH} = 3.6 mA I_{OH} = – 3.5 mA	V_{OL} V_{OH}	— V_{CC} – 1.0	0.1 V_{CC} – 2.0	0.4 —	Vdc
Syllabic Filter Applied Voltage (Pin 3) (Figure 2)		$V_{I(Syl)}$	+ 3.2	—	V_{CC}	Vdc
Integrating Current (Figure 2)	I_{GC} = 12 µA I_{GC} = 1.5 mA I_{GC} = 3.0 mA	$\lvert I_{Int} \rvert$	8.0 1.42 2.75	10 1.5 3.0	12 1.58 3.25	µA mA mA
Dynamic Integrating Current Match (Figure 6)	I_{GC} = 1.5 mA	$V_{O(Ave)}$	—	± 100	± 280	mV
Input Current — High Logic State (V_{IH} = 18 V)	Digital Data Input Clock Input Encode/Decode Input	I_{IH}	— — —	— — —	+ 5.0 + 5.0 + 5.0	µA
Input Current — Low Logic State (V_{IL} = 0 V)	Digital Data Input Clock Input Encode/Decode Input Clock Input, V_{IL} = 0.4 V	I_{IL}	— — — —	— — — —	– 10 – 360 – 36 – 72	µA

NOTE: Dynamic total loop offset (ΣV_{offset}) equals V_{IO} (comparator) (Figure 3) minus V_{IOX} (Figure 5). The input offset voltages of the analog comparator and of the integrator amplifier include the effects of input offset current through the input resistors. The slope polarity switch current mismatch appears as an average voltage across the 10 k integrator resistor. The clock frequency is 32 kHz. Idle channel performance is guaranteed if this dynamic total loop offset is less than one–half of the change in integrator output voltage during one clock cycle (ramp step size). Laser trimming is used to ensure good idle channel performance.

DEFINITION AND FUNCTION OF PINS

Pin 1 — Analog Input

This is the analog comparator inverting input where the voice signal is applied. It may be ac or dc coupled depending on the application. If the voice signal is to be level shifted to the internal reference voltage, then a bias resistor between Pins 1 and 10 is used. The resistor is used to establish the reference as the new dc average of the ac coupled signal. The analog comparator was designed for low hysteresis (typically less than 0.1 mV) and high gain (typically 70 dB).

Pin 2 — Analog Feedback

This is the noninverting input to the analog signal comparator within the IC. In an encoder application it should be connected to the analog output of the encoder circuit. This may be Pin 7 or a low pass filter output connected to Pin 7. In a decode circuit Pin 2 is not used and may be tied to $V_{CC}/2$ on Pin 10, ground, or left open.

The analog input comparator has bias currents of 1.5 µA max, thus the driving impedances of Pins 1 and 2 should be equal to avoid disturbing the idle channel characteristics of the encoder.

Pin 3 — Syllabic Filter

This is the point at which the syllabic filter voltage is returned to the IC in order to control the integrator step size. It is an NPN input to an op amp. The syllabic filter consists of an RC network between Pins 11 and 3. Typical time constant values of 6.0 ms to 50 ms are used in voice codecs.

Pin 4 — Gain Control Input

The syllabic filter voltage appears across C_S of the syllabic filter and is the voltage between V_{CC} and Pin 3. The active voltage to current (V – I) converter drives Pin 4 to the same voltage at a slew rate of typically 0.5 V/µs. Thus the current injected into Pin 4 (I_{GC}) is the syllabic filter voltage divided by the R_X resistance. Figure 7 shows the relationship between I_{GC} (x–axis) and the integrating current, I_{Int} (y–axis). The discrepancy, which is most significant at very low currents, is due to circuitry within the slope polarity switch which enables trimming to a low total loop offset. The R_X resistor is then varied to adjust the loop gain of the codec, but should be no larger than 5.0 kΩ to maintain stability.

Pin 5 — Reference Input

This pin is the noninverting input of the integrator amplifier. It is used to reference the dc level of the output signal. In an encoder circuit it must reference the same voltage as Pin 1 and is tied to Pin 10.

Pin 6 — Filter Input

This inverting op amp input is used to connect the integrator external components. The integrating current (I_{Int}) flows into Pin 6 when the analog input (Pin 1) is high with respect to the analog feedback (Pin 2) in the encode mode or when the digital data input (Pin 13) is high in the decode mode. For the opposite states, I_{Int} flows out of Pin 6. Single integration systems require a capacitor and resistor between Pins 6 and 7. Multipole configurations will have different circuitry. The re-

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

sistance between Pins 6 and 7 should always be between 8.0 kΩ and 13 kΩ to maintain good idle channel characteristics.

Pin 7 — Analog Output

This is the integrator op amp output. It is capable of driving a 600–ohm load referenced to $V_{CC}/2$ to + 6.0 dBm and can otherwise be treated as an op amp output. Pins 5, 6, and 7 provide full access to the integrator op amp for designing integration filter networks. The slew rate of the internally compensated integrator op amp is typically 0.5 V/μs. Pin 7 output is current limited for both polarities of current flow at typically 30 mA.

Pin 8 — V_{EE}

The circuit is designed to work in either single or dual power supply applications. Pin 8 is always connected to the most negative supply.

Pin 9 — Digital Output

The digital output provides the results of the delta modulator's conversion. It swings between V_{CC} and V_{EE} and is CMOS or TTL compatible. Pin 9 is inverting with respect to Pin 1 and noninverting with respect to Pin 2. It is clocked on the falling edge of Pin 14. The typical 10% to 90% rise and fall times are 250 ns and 50 ns respectively for V_{CC} = 12 V and C_L = 25 pF to ground.

Pin 10 — $V_{CC}/2$ Output

An internal low impedance mid–supply reference is provided for use in single supply applications. The internal regulator is a current source and must be loaded with a resistor to ensure its sinking capability. If a + 6.0 dBmo signal is expected across a 600 ohm input bias resistor, then Pin 10 must sink 2.2 V/600 Ω = 3.66 mA. This is only possible if Pin 10 sources 3.66 mA into a resistor normally and will source only the difference under peak load. The reference load resistor is chosen accordingly. A 0.1 μF bypass capacitor from Pin 10 to V_{EE} is also recommended. The $V_{CC}/2$ reference is capable of sourcing 10 mA and can be used as a reference elsewhere in the system circuitry.

Pin 11 — $\overline{\text{Coincidence Output}}$

The duty cycle of this pin is proportional to the voltage across C_S. The coincidence output will be low whenever the content of the internal shift register is all 1s or all 0s. The MC3418 contains a 4–bit register. Pin 11 is an open collector of an NPN device and requires a pull–up resistor. If the syllabic filter is to have equal charge and discharge time constants, the value of Rp should be much less than R systems requiring different charge and discharge cons the charging constant is R_SC_S while the decaying constant is $(R_S + R_P)C_S$. Thus longer decays are easily achievable. The NPN device should not be required to sink more than 3.0 mA in any configuration. The typical 10% to 90% rise and fall times are 200 ns and 100 ns respectively for R_L = 4.0 kΩ to + 12 V and C_L = 25 pF to ground.

Pin 12 — Digital Threshold

This input sets the switching threshold for Pins 13, 14, and 15. It is intended to aid in interfacing different logic families without external parts. Often it is connected to the $V_{CC}/2$ reference for CMOS interface or can be biased two diode drops above V_{EE} for TTL interface.

Pin 13 — Digital Data Input

In a decode application, the digital data stream is applied to Pin 13. In an encoder it may be unused or may be used to transmit signaling message under the control of Pin 15. It is an inverting input with respect to Pin 9. When Pins 9 and 13 are connected, a toggle flip–flop is formed and a forced idle channel pattern can be transmitted. The digital data input level should be maintained for 0.5 μs before and after the clock trigger for proper clocking.

Pin 14 — Clock Input

The clock input determines the data rate of the codec circuit. A 32K bit rate requires a 32 kHz clock. The switching threshold of the clock input is set by Pin 12. The shift register circuit toggles on the falling edge of the clock input. The minimum width for a positive–going pulse on the clock input is 300 ns, whereas for a negative–going pulse, it is 900 ns.

Pin 15 — Encode/$\overline{\text{Decode}}$

This pin controls the connection of the analog input comparator and the digital input comparator to the internal shift register. If high, the result of the analog comparison will be clocked into the register on the falling edge at Pin 14. If low, the digital input state will be entered. This allows use of the IC as an encoder/decoder or simplex codec without external parts. Furthermore, it allows non–voice patterns to be forced onto the transmission line through Pin 13 in an encoder.

Pin 16 — V_{CC}

The power supply range is from 4.75 to 16.5 volts between Pin V_{CC} and V_{EE}.

CIRCUIT DESCRIPTION

The continuously variable slope delta modulator (CVSD) is a simple alternative to more complex conventional conversion techniques in systems requiring digital communication of analog signals. The human voice is analog, but digital transmission of any signal over great distance is attractive. Signal/noise ratios do not vary with distance in digital transmission and multiplexing, switching and repeating hardware is more economical and easier to design. However, instrumentation A to D converters do not meet the communications requirements. The CVSD A to D is well suited to the requirements of digital communications and is an economically efficient means of digitizing analog inputs for transmission.

The Delta Modulator

The innermost control loop of a CVSD converter is a simple delta modulator. A block diagram CVSD Encoder is shown in Figure 11. A delta modulator consists of a comparator in the forward path and an integrator in the feedback path of a simple control loop. The inputs to the comparator are the

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

input analog signal and the integrator output. The comparator output reflects the sign of the difference between the input voltage and the integrator output. That sign bit is the digital output and also controls the direction of ramp in the integrator. The comparator is normally clocked so as to produce a synchronous and band–limited digital bit stream.

If the clocked serial bit stream is transmitted, received, and delivered to a similar integrator at a remote point, the remote integrator output is a copy of the transmitting control loop integrator output. To the extent that the integrator at the transmitting locations tracks the input signal, the remote receiver reproduces the input signal. Low pass filtering at the receiver output will eliminate most of the quantizing noise, if the clock rate of the bit stream is an octave or more above the bandwidth of the input signal. Voice bandwidth is 4 kHz and clock rates from 8 k and up are possible. Thus the delta modulator digitizes and transmits the analog input to a remote receiver. The serial, unframed nature of the data is ideal for communications networks. With no input at the transmitter, a continuous one zero alternation is transmitted. If the two integrators are made leaky, then during any loss of contact the receiver output decays to zero and receive restart begins without framing when the receiver reacquires. Similarly, a delta modulator is tolerant of sporadic bit errors. Figure 12 shows the delta modulator waveforms while Figure 13 shows the corresponding CVSD decoder block diagram.

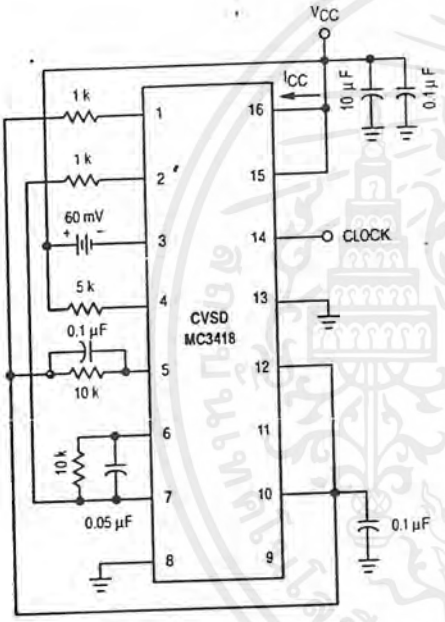
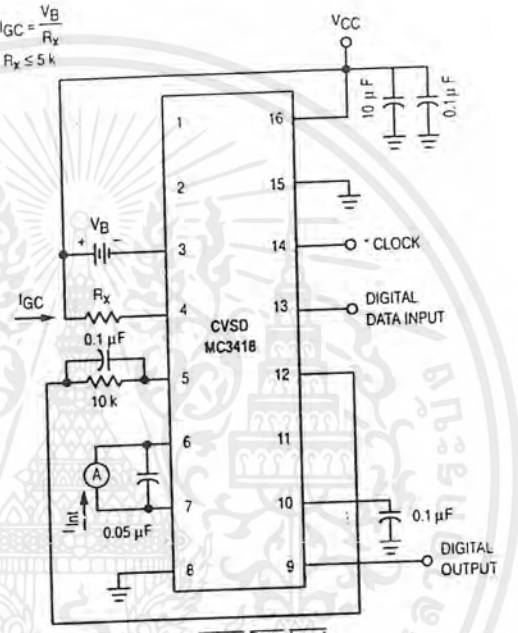


Figure 1. Power Supply Current

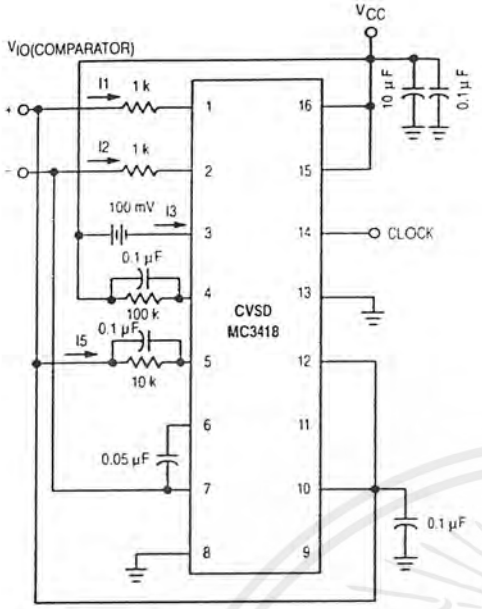


NOTE: Digital Output = Digital Data Input

* For static testing, the clock is only necessary for preconditioning to obtain proper state for a given input.

Figure 2. I_{GCR} — Gain Control Range and I_{Int} — Integrating Current

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



NOTE: The analog comparator offset voltage is tested under dynamic conditions and therefore must be measured with appropriate filtering.

Figure 3. Input Bias Currents, Analog Comparator Offset Voltage and Current

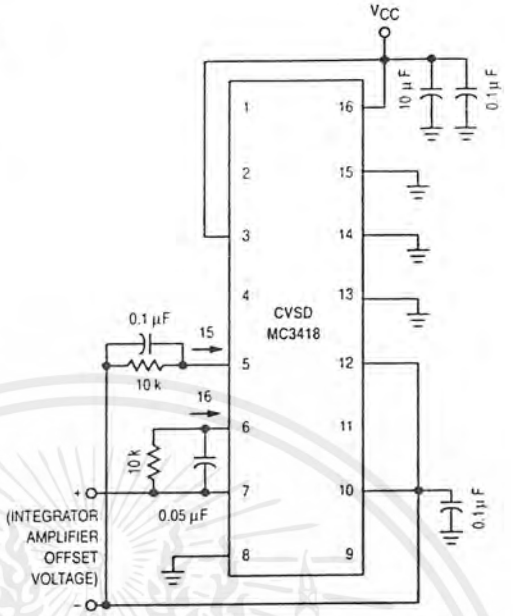
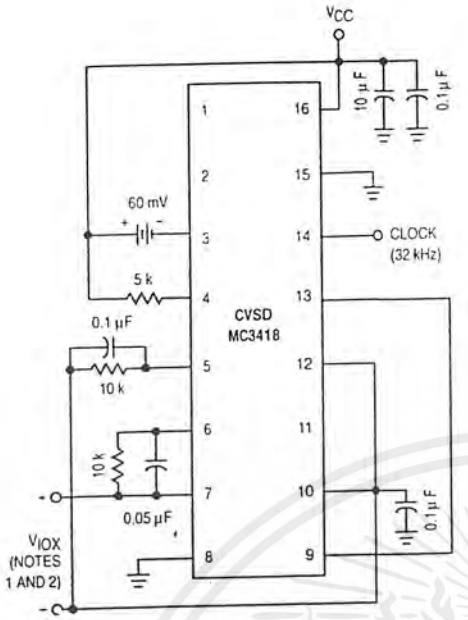


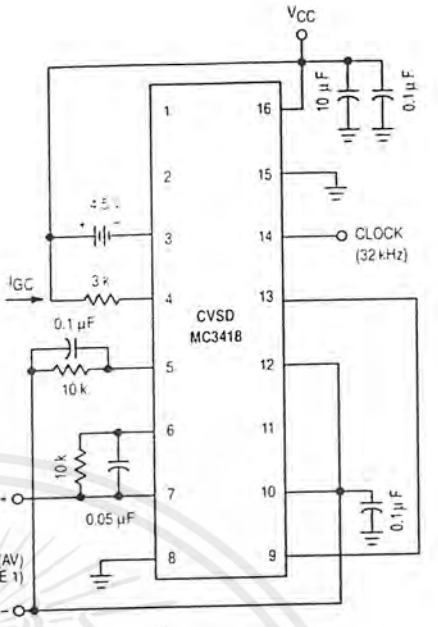
Figure 4. Integrator Amplifier Offset Voltage and Current

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



NOTES:
1. Integrator amplifier offset voltage plus slope polarity switch mismatch.
2. V_{IOX} is the average voltage of the triangular waveform observed at the measurement points.

Figure 5. V/I Converter Offset Voltage, V_{IO} and V_{IOX}



NOTES:
1. $V_{O(AV)}$, Dynamic Integrating Current Match, is the average voltage of the triangular waveform observed at the measurement points, across 10 kΩ resistor with I_{GC} = 1.5 mA.
2. See note in the Electrical Characteristics table.

Figure 6. Dynamic Integrating Current Match

TYPICAL PERFORMANCE CURVES

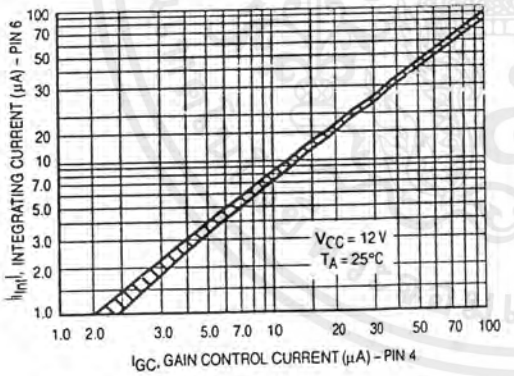


Figure 7. Typical I_{Int} versus I_{GC} (Mean ± 2 σ)

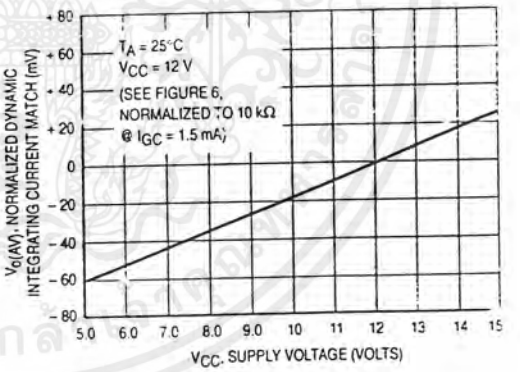


Figure 8. Normalized Dynamic Integrating Current Match versus V_{CC}

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

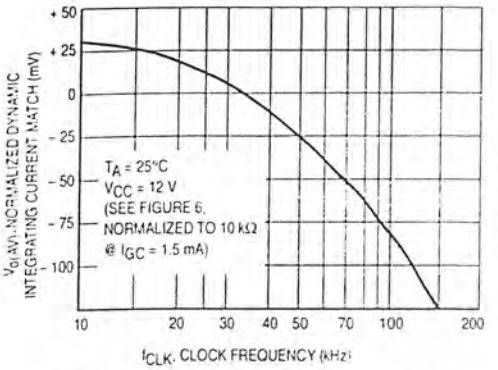


Figure 9. Normalized Dynamic Integrating Current Match versus Clock Frequency

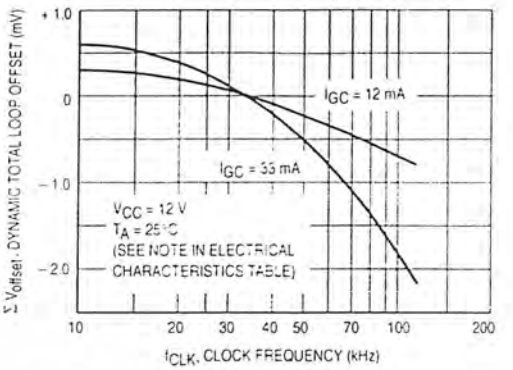


Figure 10. Dynamic Total Loop Offset versus Clock Frequency

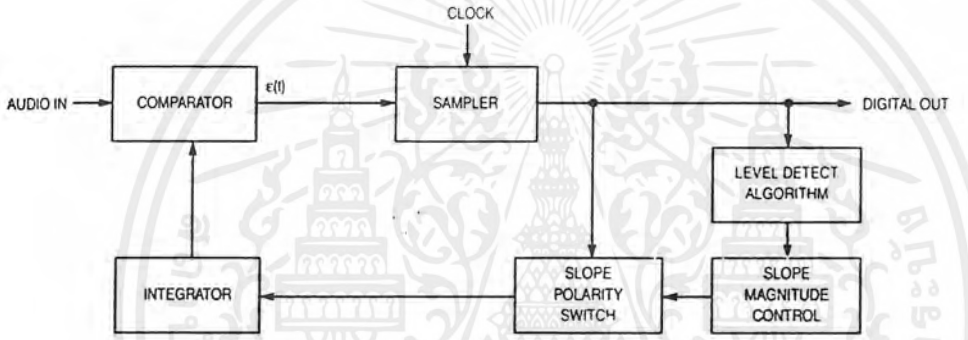


Figure 11. Block Diagram of the CVSD Encoder

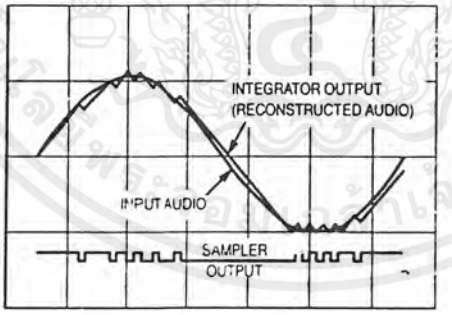


Figure 12. CVSD Waveforms

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

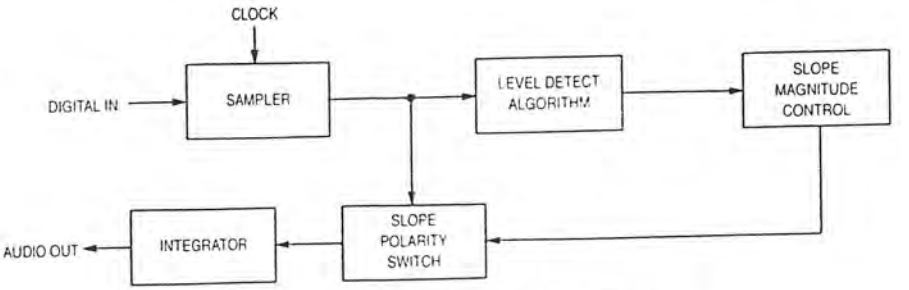


Figure 13. Block Diagram of the CVSD Decoder

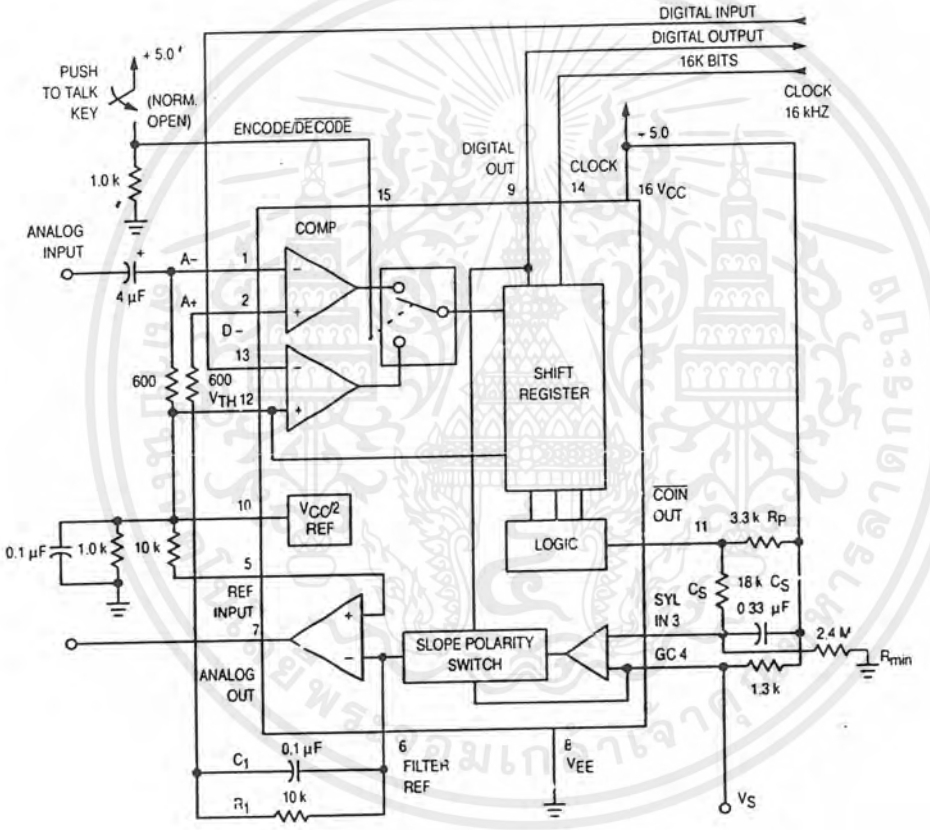
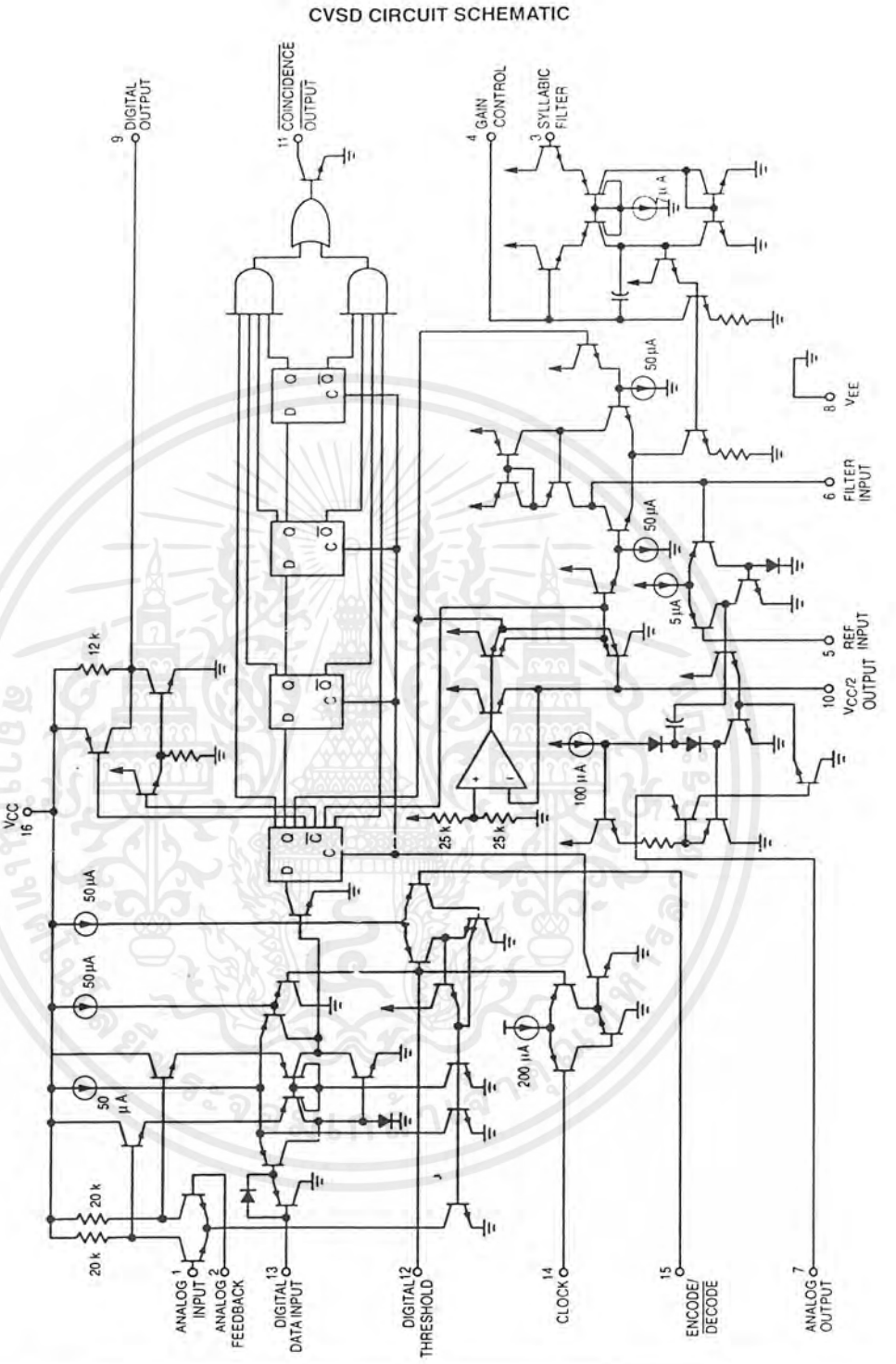


Figure 14. 16 kHz Simplex Voice Codec (Single Pole Companding and Single Integration)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

CVSD CIRCUIT SCHEMATIC



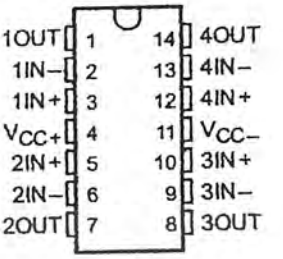
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

MC3303, MC3403
QUADRUPLE LOW-POWER OPERATIONAL AMPLIFIERS

SLOS101A – FEBRUARY 1979 – REVISED MAY 1999

- Wide Range of Supply Voltages, Single Supply . . . 3 V to 36 V or Dual Supplies
- Class AB Output Stage
- True Differential Input Stage
- Low Input Bias Current
- Internal Frequency Compensation
- Short-Circuit Protection
- Designed to Be Interchangeable With Motorola MC3303, MC3403

D OR N PACKAGE
(TOP VIEW)



description

The MC3303 and the MC3403 are quadruple operational amplifiers similar in performance to the µA741, but with several distinct advantages. They are designed to operate from a single supply over a range of voltages from 3 V to 36 V. Operation from split supplies also is possible, provided the difference between the two supplies is 3 V to 36 V. The common-mode input range includes the negative supply. Output range is from the negative supply to V_{CC} – 1.5 V. Quiescent supply currents are less than one-half those of the µA741.

The MC3303 is characterized for operation from –40°C to 85°C, and the MC3403 is characterized for operation from 0°C to 70°C.

logic diagram (each amplifier)

AVAILABLE OPTIONS

T_A	V_{IO}MAX AT 25°C	PACKAGE	
		SMALL OUTLINE (D)	PLASTIC DIP (N)
0°C to 70°C	10 mV	MC3403D	MC3403N
–40°C to 85°C	8 mV	MC3303D	MC3303N

The D packages are available taped and reeled. Add R suffix to the device type (e.g., MC3403DR).

Please be aware that an important notice concerning availability, standard warranty, and use in critical applications of Texas Instruments semiconductor products and disclaimers thereto appears at the end of this data sheet.

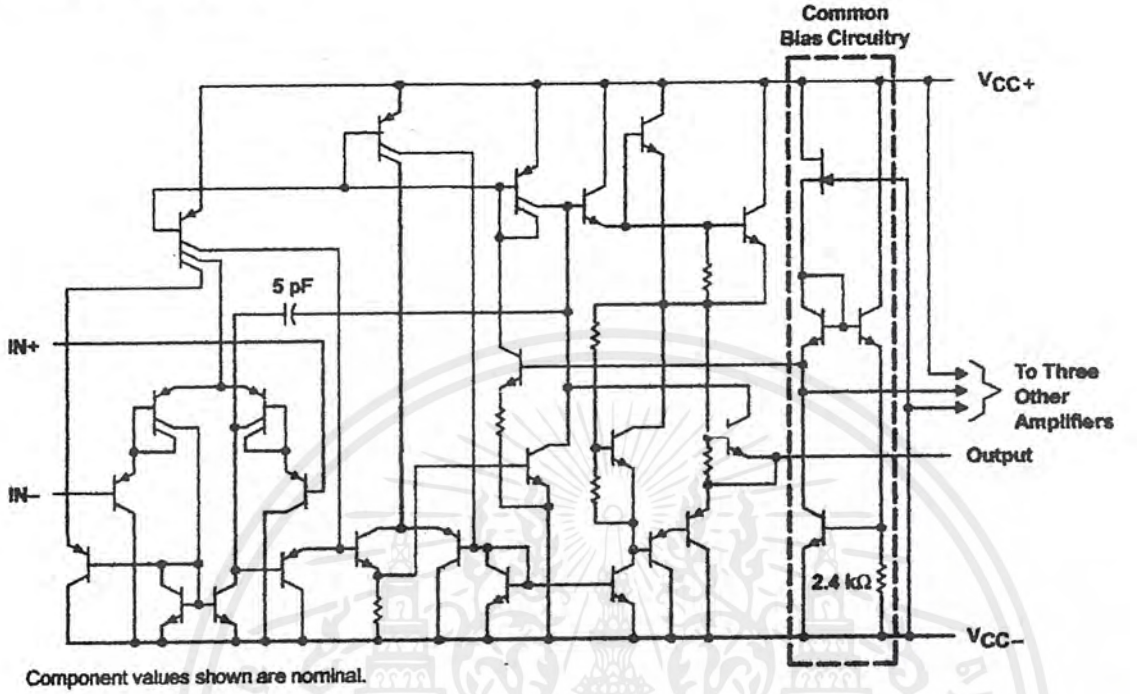
PRODUCTION DATA information is current as of publication date. Products conform to specifications per the terms of Texas Instruments standard warranty. Production processing does not necessarily include testing of all parameters.

Copyright © 1999, Texas Instruments Incorporated

TEXAS INSTRUMENTS
POST OFFICE BOX 655303 • DALLAS, TEXAS 75265

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

schematic (each amplifier)



Component values shown are nominal.

absolute maximum ratings over operating free-air temperature range (unless otherwise noted)

		MC3303	MC3403	UNIT
Supply voltage (see Note 1)	V_{CC+}	18	18	V
	V_{CC-}	–18	–18	
Supply voltage, V_{CC+} with respect to V_{CC-}		36	36	V
Differential input voltage (see Note 2)		±36	±36	V
Input voltage (see Notes 1 and 3)		±18	±18	V
Package thermal impedance, θ_{JA} (see Note 4)	D package	127		°C/W
	N package	78		
Lead temperature 1,6 mm (1/16 inch) from case for 10 seconds		260	260	°C
Storage temperature range		– 65 to 150	– 65 to 150	°C

NOTES: 1. These voltage values are with respect to the midpoint between V_{CC+} and V_{CC-}.
2. Differential voltages are at IN+ with respect to IN–.
3. Neither input must ever be more positive than V_{CC+} or more negative than V_{CC-}.
4. The package thermal impedance is calculated in accordance with JESD 51, except for through-hole packages, which use a trace length of zero.

recommended operating conditions

		MIN	MAX	UNIT
Single-supply voltage, V_{CC}		5	30	V
Dual-supply voltage	V_{CC+}	2.5	15	V
	V_{CC-}	–2.5	–15	
Operating free-air temperature range, T_A	MC3303	–40	85	°C
	MC3403	0	70	

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

electrical characteristics at specified free-air temperature, V_{CC+} = 14 V, V_{CC-} = 0 V for MC3303, $V_{CC\pm}$ = ±15 V for MC3403 (unless otherwise noted)

PARAMETER		TEST CONDITIONS†		MC3303			MC3403			UNIT
				MIN	TYP	MAX	MIN	TYP	MAX	
V_{IO}	Input offset voltage	See Note 5	25°C		2	8		2	10	mV
			Full range			10			12	
α_{VIO}	Temperature coefficient of input offset voltage	See Note 5	Full range		10			10		µV/°C
I_{IO}	Input offset current	See Note 5	25°C		30	75		30	50	nA
			Full range			250			200	
α_{IIO}	Temperture coefficient of input offset current	See Note 5	Full range		50			50		pA/C
I_{IB}	Input bias current	See Note 5	25°C		−0.2	−0.5		−0.2	−0.5	µA
			Full range			−1			−0.8	
V_{ICR}	Common-mode input voltage range‡		25°C	V_{CC-} to 12	V_{CC-} to 12.5		V_{CC-} to 13	V_{CC-} to 13.5		V
V_{OM}	Peak output voltage swing	R_L = 10 kΩ	25°C	12	12.5		±12	±13.5		V
		R_L = 2 kΩ	25°C	10	12		±10	±13		
		R_L = 2 kΩ	Full range	10			±10			
A_{VD}	Large-signal differential voltage amplification	V_O = ±10 V, R_L = 2 kΩ	25°C	20	200		20	200		V/mV
			Full range	15			15			
B_{OM}	Maximum-output-swing bandwidth	V_{OPP} = 20 V, A_{VD} = 1, THD ≤ 5%, R_L = 2 kΩ	25°C		9			9		kHz
B_1	Unity-gain bandwidth	V_O = 50 mV, R_L = 10 kΩ	25°C		1			1		MHz
ϕ_m	Phase margin	C_L = 200 pF, R_L = 2 kΩ	25°C		60°			60°		
r_i	Input resistance	f = 20 Hz	25°C	0.3	1		0.3	1		MΩ
r_o	Output resistance	f = 20 Hz	25°C		75			75		Ω
CMRR	Common-mode rejection ratio	V_{IC} = V_{ICR}min	25°C	70	90		70	90		dB
k_{SVS}	Supply voltage sensitivity ($\Delta V_{IO}/\Delta V_{CC}$)	$V_{CC\pm}$ = ±2.5 to ±15 V	25°C		30	150		30	150	µV/V
I_{OS}	Short-circuit output current§		25°C	±10	±30	±45	±10	±30	±45	mA
I_{CC}	Total supply current	No load, See Note 5	25°C		2.8	7		2.8	7	mA

† All characteristics are measured under open-loop conditions with zero common-mode voltage unless otherwise specified. Full range for T_A is −40°C to 85°C for MC3303, and 0°C to 70°C for MC3403.

‡ The V_{ICR} limits are linked directly, volt-for-volt, to supply voltage; the positive limit is 2 V less than V_{CC+}.

§ Temperature and/or supply voltages must be limited to ensure that the dissipation rating is not exceeded.

NOTE 5: V_{IO}, I_{IO}, I_{IB}, and I_{CC} are defined at V_O = 0 for MC3403 and V_O = 7 V for MC3303.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

electrical characteristics, V_{CC+} = 5 V, V_{CC-} = 0 V, T_A = 25°C (unless otherwise noted)

PARAMETER		TEST CONDITIONS†	MC3303			MC3403			UNIT
			MIN	TYP	MAX	MIN	TYP	MAX	
V_{IO}	Input offset voltage	V_O = 2.5 V			10		2	10	mV
I_{IO}	Input offset current	V_O = 2.5 V			75		30	50	nA
I_{IB}	Input bias current	V_O = 2.5 V			−0.5		−0.2	−0.5	µA
V_{OM}	Peak output voltage swing‡	R_L = 10 kΩ	3.3	3.5		3.3	3.5		V
		R_L = 10 kΩ, V_{CC+} = 5 V to 30 V	V_{CC+} −1.7			V_{CC+} −1.7			
A_{VD}	Large-signal differential voltage amplification	V_O = 1.7 V to 3.3 V, R_L = 2 kΩ	20	200		20	200		V/mV
k_{SVS}	Supply-voltage sensitivity ($\Delta V_{IO}/\Delta V_{CC\pm}$)	$V_{CC\pm}$ = ± 2.5 V to ±15 V			150			150	µV/V
I_{CC}	Supply current	V_O = 2.5 V, No load		2.5	7		2.5	7	mA
V_{O1}/V_{O2}	Crosstalk attenuation	f = 1 kHz to 20 kHz		120			120		dB

† All characteristics are measured under open-loop conditions with zero common-mode input voltage unless otherwise specified.
‡ Output will swing essentially to ground.

operating characteristics, V_{CC+} = 14 V, V_{CC-} = 0 V for MC3303, $V_{CC\pm}$ = ±15 V for MC3403, T_A = 25°C, A_{VD} = 1 (unless otherwise noted)

PARAMETER		TEST CONDITIONS				MIN	TYP	MAX	UNIT
SR	Slew rate at unity gain	V_I = ±10 V,	C_L = 100 pF,	R_L = 2 kΩ,	See Figure 1		0.6		V/µs
t_r	Rise time	ΔV_O = 50 mV,	C_L = 100 pF,	R_L = 10 kΩ,	See Figure 1		0.35		µs
t_f	Fall time						0.35		µs
	Overshoot factor						20%		
	Crossover distortion	$V_{I(PP)}$ = 30 mV,	V_{OPP} = 2 V,	f = 10 kHz			1%		

PARAMETER MEASUREMENT INFORMATION

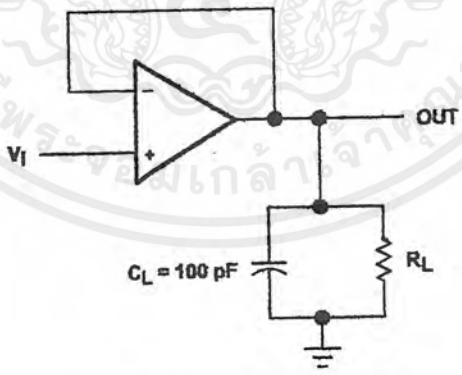


Figure 1. Unity-Gain Amplifier

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

GENERAL SEMICONDUCTOR®

2N3904

Small Signal Transistor (NPN)

Electrical Characteristics (T_J = 25°C unless otherwise noted)

Parameter	Symbol	Test Condition	Min	Typ	Max	Unit
Collector-Base Breakdown Voltage	$V_{(BR)CBO}$	I_C = 10 µA, I_E = 0	60	—	—	V
Collector-Emitter Breakdown Voltage[1]	$V_{(BR)CEO}$	I_C = 1 mA, I_B = 0	40	—	—	V
Emitter-Base Breakdown Voltage	$V_{(BR)EBO}$	I_E = 10 µA, I_C = 0	6	—	—	V
Collector Saturation Voltage	V_{CEsat}	I_C = 10 mA, I_B = 1 mA I_C = 50 mA, I_B = 5 mA	— —	— —	0.2 0.3	V
Base Saturation Voltage	V_{BEsat}	I_C = 10 mA, I_B = 1 mA I_C = 50 mA, I_B = 5 mA	— —	— —	0.85 0.95	V
Collector-Emitter Cutoff Current	I_{CEV}	V_{EB} = 3 V, V_{CE} = 30 V	—	—	50	nA
Emitter-Base Cutoff Current	I_{EBV}	V_{EB} = 3 V, V_{CE} = 30 V	—	—	50	nA
DC Current Gain	h_{FE}	V_{CE} = 1 V, I_C = 0.1 mA V_{CE} = 1 V, I_C = 1 mA V_{CE} = 1 V, I_C = 10 mA V_{CE} = 1 V, I_C = 50 mA V_{CE} = 1 V, I_C = 100 mA	40 70 100 60 30	— — 300 — —	— — — — —	—
Input Impedance	h_{ie}	V_{CE} = 10 V, I_C = 1 mA f = 1 kHz	1	—	10	kΩ
Voltage Feedback Ratio	h_{re}	V_{CE} = 10 V, I_C = 1 mA f = 1 kHz	$0.5 \cdot 10^{-4}$	—	$8 \cdot 10^{-4}$	—
Gain-Bandwidth Product	f_T	V_{CE} = 20 V, I_C = 10 mA f = 100 MHz	300	—	—	MHz
Collector-Base Capacitance	C_{CBO}	V_{CB} = 5 V, f = 100 kHz	—	—	4	pF
Emitter-Base Capacitance	C_{EBO}	V_{CB} = 0.5 V, f = 100 kHz	—	—	8	pF
Small Signal Current Gain	h_{fe}	V_{CE} = 10 V, I_C = 1 mA, f = 1 kHz	100	—	400	—
Output Admittance	h_{oe}	V_{CE} = 1 V, I_C = 1 mA, f = 1 kHz	1	—	40	µS
Noise Figure	NF	V_{CE} = 5 V, I_C = 100 µA, R_G = 1 kΩ, f = 10...15000 kHz	—	—	5	dB
Delay Time (see fig. 1)	t_d	I_{B1} = 1 mA, I_C = 10 mA	—	—	35	ns
Rise Time (see fig. 1)	t_r	I_{B1} = 1 mA, I_C = 10 mA	—	—	35	ns
Storage Time (see fig. 2)	t_s	$-I_{B1}$ = I_{B2} = 1 mA I_C = 10 mA	—	—	200	ns
Fall Time (see fig. 2)	t_f	$-I_{B1}$ = I_{B2} = 1 mA I_C = 10 mA	—	—	50	ns

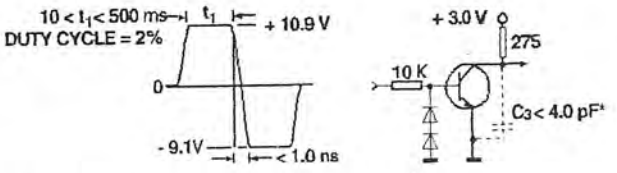


Fig. 1: Test circuit for delay and rise time
* total shunt capacitance of test jig and connectors

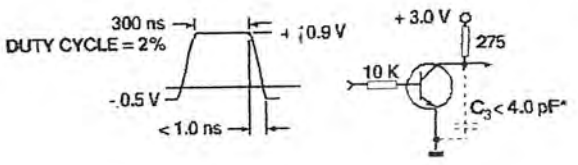


Fig. 2: Test circuit for storage and fall time
* total shunt capacitance of test jig and connectors

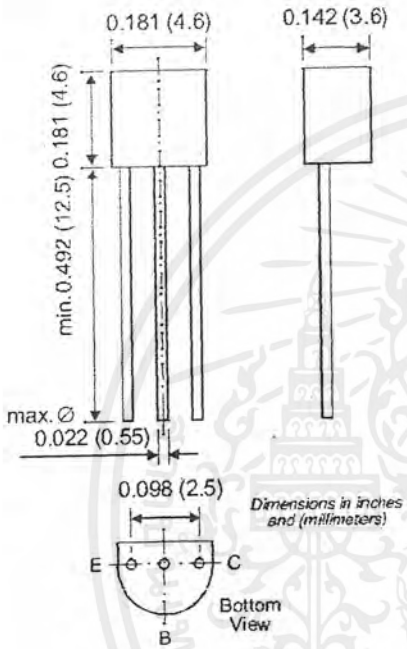
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

GENERAL SEMICONDUCTOR®

2N3904

Small Signal Transistor (NPN)

TO-226AA (TO-92)



Features

- NPN Silicon Epitaxial Planar Transistor for switching and amplifier applications.
- As complementary type, the PNP transistor 2N3906 is recommended.
- On special request, this transistor is also manufactured in the pin configuration TO-18.
- This transistor is also available in the SOT-23 case with the type designation MMBT3904.

Mechanical Data

Case: TO-92 Plastic Package

Weight: approx. 0.18g

Packaging Codes/Options:

E6/Bulk - 5K per container

E7/4K per Ammo tape

Maximum Ratings & Thermal Characteristics

Ratings at 25°C ambient temperature unless otherwise specified.

Parameters	Symbols	Value	Units
Collector-Emitter Voltage	V_{CEO}	40	V
Collector-Base Voltage	V_{CBO}	60	V
Emitter-Base Voltage	V_{EBO}	6.0	V
Collector Current	I_C	200	mA
Power Dissipation T_A = 25°C	P_{tot}	625	mW
Power Dissipation T_C = 25°C	P_{tot}	1.5	W
Thermal Resistance Junction to Ambient Air	$R_{\Theta JA}$	250[1]	°C/W
Junction Temperature	T_J	150	°C
Storage Temperature Range	T_S	– 65 to +150	°C

Notes:
(1) Valid provided that leads are kept at ambient temperature.

2/28/00

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

National Semiconductor

June 1989

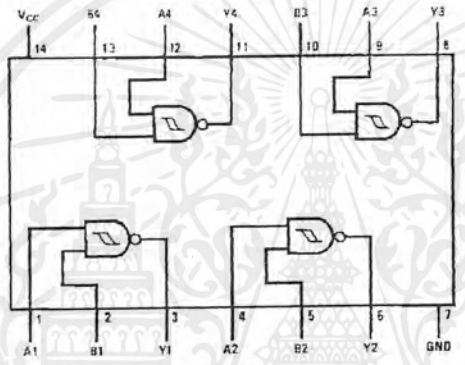
DM54132/DM74132 Quad 2-Input NAND Gates with Schmitt Trigger Inputs

General Description

This device contains four independent gates each of which performs the logic NAND function. Each input has hysteresis which increases the noise immunity and transforms a slowly changing input signal to a fast changing, jitter-free output.

Connection Diagram

Dual-In-Line Package



TL/F/6542–1

Order Number DM54132J or DM74132N
See NS Package Number J14A or N14A

Function Table

$Y = \overline{AB}$

Inputs		Output
A	B	Y
L	L	H
L	H	H
H	L	H
H	H	L

H = High Logic Level
L = Low Logic Level

©1995 National Semiconductor Corporation TL/F/6542

RRD-B30M105/Printed in U. S. A.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Absolute Maximum Ratings (Note)

If Military/Aerospace specified devices are required, please contact the National Semiconductor Sales Office/Distributors for availability and specifications.

Supply Voltage	7V
Input Voltage	5.5V
Operating Free Air Temperature Range	
DM54	−55°C to +125°C
DM74	0°C to +70°C
Storage Temperature Range	−65°C to +150°C

Note: The "Absolute Maximum Ratings" are those values beyond which the safety of the device cannot be guaranteed. The device should not be operated at these limits. The parametric values defined in the "Electrical Characteristics" table are not guaranteed at the absolute maximum ratings. The "Recommended Operating Conditions" table will define the conditions for actual device operation.

Recommended Operating Conditions

Symbol	Parameter	DM54132			DM74132			Units
		Min	Typ	Max	Min	Typ	Max	
V_{CC}	Supply Voltage	4.5	5	5.5	4.75	5	5.25	V
V_{T+}	Positive-Going Input Threshold Voltage (Note 1)	1.5	1.7	2	1.5	1.7	2	V
V_{T-}	Negative-Going Input Threshold Voltage (Note 1)	0.6	0.9	1.1	0.6	0.9	1.1	V
HYS	Input Hysteresis (Note 1)	0.4	0.8		0.4	0.8		V
I_{OH}	High Level Output Current			−0.8			−0.8	mA
I_{OL}	Low Level Output Current			16			16	mA
T_A	Free Air Operating Temperature	−55		125	0		70	°C

Electrical Characteristics over recommended operating free air temperature (unless otherwise noted)

Symbol	Parameter	Conditions		Min	Typ (Note 2)	Max	Units
V_I	Input Clamp Voltage	V_{CC} = Min, I_I = −12 mA				−1.5	V
V_{OH}	High Level Output Voltage	V_{CC} = Min, I_{OH} = Max, V_I = V_{T-} Min	DM54	2.4	3.4		V
			DM74	2.4	3.4		
V_{OL}	Low Level Output Voltage	V_{CC} = Min, I_{OL} = Max, V_I = V_{T+} Max			0.2	0.4	V
I_{T+}	Input Current at Positive-Going Threshold	V_{CC} = 5V, V_I = V_{T+}			−0.43		mA
I_{T-}	Input Current at Negative-Going Threshold	V_{CC} = 5V, V_I = V_{T-}			−0.56		mA
I_I	Input Current @ Max Input Voltage	V_{CC} = Max, V_I = 5.5V				1	mA
I_{IH}	High Level Input Current	V_{CC} = Max, V_I = 2.4V				40	μA
I_{IL}	Low Level Input Current	V_{CC} = Max, V_I = 0.4V			−0.8	−1.2	mA
I_{OS}	Short Circuit Output Current	V_{CC} = Max (Note 3)	DM54	−18		−55	mA
			DM74	−18		−55	
I_{CCH}	Supply Current with Outputs High	V_{CC} = Max			15	24	mA
I_{CCL}	Supply Current with Outputs Low	V_{CC} = Max			26	40	mA

Note 1: V_{CC} = 5V

Note 2: All typicals are at V_{CC} = 5V, T_A = 25°C

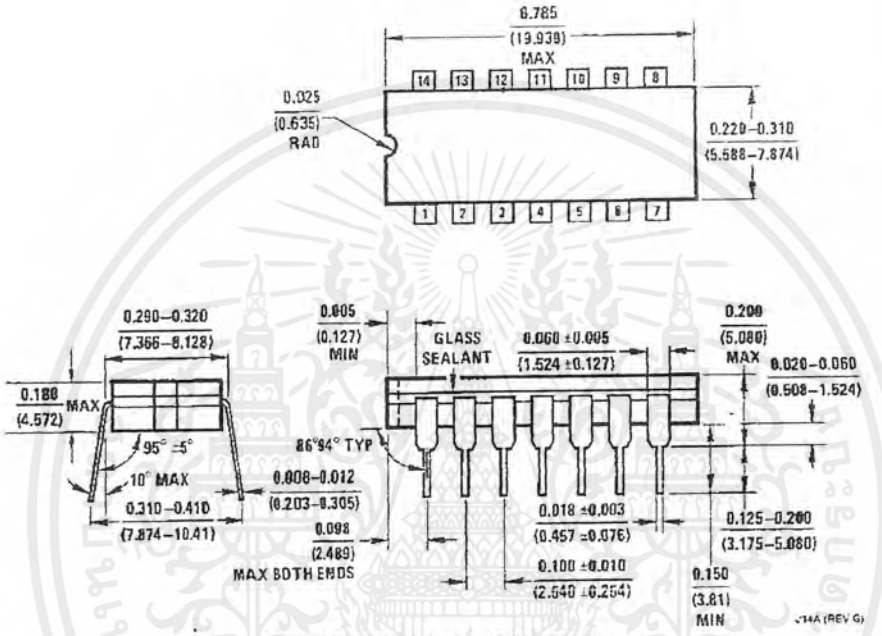
Note 3: Not more than one output should be shorted at a time.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Switching Characteristics at V_{CC} = 5V and T_A = 25°C (See Section 1 for Test Waveforms and Output Load)

Symbol	Parameter	R_L = 400Ω, C_L = 15 pF		Units
		Min	Max	
t_{PLH}	Propagation Delay Time Low to High Level Output		22	ns
t_{PHL}	Propagation Delay Time High to Low Level Output		22	ns

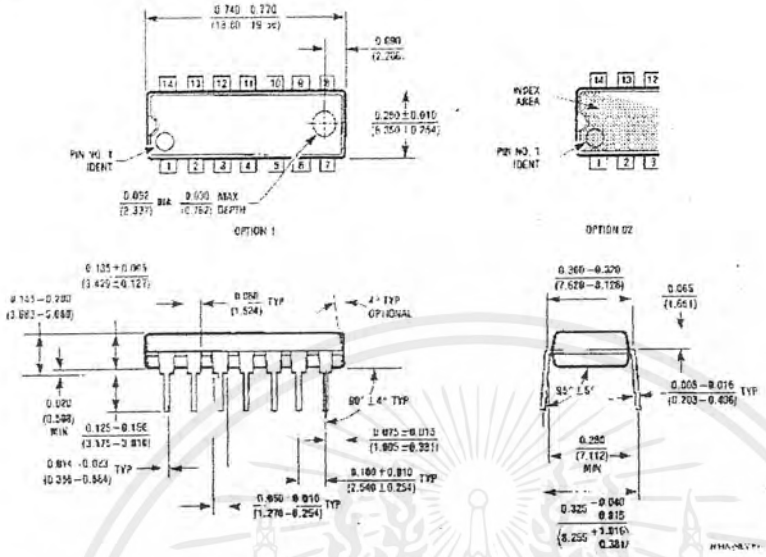
Physical Dimensions inches (millimeters)



14-Lead Ceramic Dual-In-Line Package (J)
Order Number DM54132J
NS Package Number J14A

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Physical Dimensions inches (millimeters) (Continued)



14-Lead Molded Dual-In-Line Package (N)
Order Number DM74132N
NS Package Number N14A

LIFE SUPPORT POLICY

NATIONAL'S PRODUCTS ARE NOT AUTHORIZED FOR USE AS CRITICAL COMPONENTS IN LIFE SUPPORT DEVICES OR SYSTEMS WITHOUT THE EXPRESS WRITTEN APPROVAL OF THE PRESIDENT OF NATIONAL SEMICONDUCTOR CORPORATION. As used herein:

1. Life support devices or systems are devices or systems which, (a) are intended for surgical implant into the body, or (b) support or sustain life, and whose failure to perform, when properly used in accordance with instructions for use provided in the labeling, can be reasonably expected to result in a significant injury to the user.
2. A critical component is any component of a life support device or system whose failure to perform can be reasonably expected to cause the failure of the life support device or system, or to affect its safety or effectiveness.

National Semiconductor Corporation
1111 West Bardin Road
Arlington, TX 76017
Tel: 1(800) 272-9959
Fax: 1(800) 737-7018

National Semiconductor Europe
Fax: (+49) 0-180-530 85 86
Email: cnjwge@tevm2.nsc.com
Deutsch Tel: (+49) 0-180-530 85 85
English Tel: (+49) 0-180-532 78 32
Français Tel: (+49) 0-180-532 93 58
Italiano Tel: (+49) 0-180-534 16 80

National Semiconductor Hong Kong Ltd.
13th Floor, Straight Block,
Ocean Centre, 5 Canton Rd.
Tsimshatsui, Kowloon
Hong Kong
Tel: (852) 2737-1600
Fax: (852) 2736-9960

National Semiconductor Japan Ltd.
Tel: 81-043-299-2309
Fax: 81-043-299-2408

National does not assume any responsibility for use of any circuitry described, no circuit patent licenses are implied and National reserves the right at any time without notice to change said circuitry and specifications.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

MOTOROLA
SEMICONDUCTOR
TECHNICAL DATA

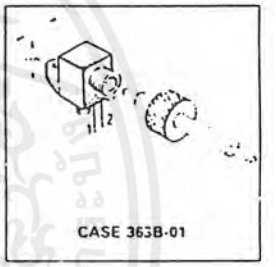
MFOE76

Fiber Optics — FLCS Family Visible Red LED

FLCS FAMILY
FIBER OPTICS
VISIBLE RED
LED
660 nm

This device is designed for low cost, medium frequency, fiber optic systems using 1000 micron core plastic fiber. It is compatible with Motorola's wide variety of detector functions from the MFOD70 series. The MFOE76 employs gallium aluminum technology, and comes pre-assembled into the convenient and popular FLCS connector.

- Low Cost
- Very Simple Fiber Termination and Connection. See Figure 9
- Convenient Printed Circuit Mounting
- Integral Molded Lens for Efficient Coupling
- Mates with 1000 Micron Core Plastic Fiber, such as Eska SH4001



CASE 363B-01

MAXIMUM RATINGS

Rating	Symbol	Value	Unit
Reverse Voltage	V_R	5	Volts
Forward Current — Continuous	I_F	60	mA
Forward Current — Peak Pulse	I_F	1	A
Total Power Dissipation @ T_A = 25°C (1) Derate above 35°C	P_D	132 2	mW mW/°C
Ambient Operating Temperature Range	T_A	-40 to +100	°C
Storage Temperature	T_{stg}	-40 to +100	°C
Lead Soldering Temperature (2)	—	260	°C

Notes: 1. Measured with device soldered into a typical printed circuit board.
2. 5 seconds max, 1/16 inch from case.

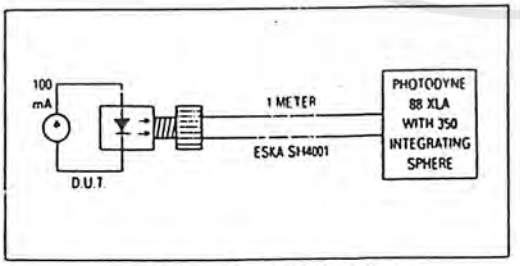


Figure 1. Power Launched Test Setup

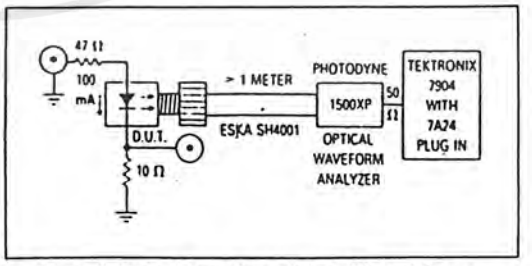


Figure 2. Optical Turn-On and Turn-Off Test Setup

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

MFOE76

ELECTRICAL CHARACTERISTICS (T_A = 25°C unless otherwise noted)

Characteristic	Symbol	Min	Typ	Max	Unit
Reverse Leakage Current (V_R = 3 V)	I_R	—	100	—	nA
Reverse Leakage Current (V_R = 5 V)	I_R	—	10	100	μA
Forward Voltage (I_F = 60 mA)	V_F	—	1.8	2.2	V
Temperature Coefficient of Forward Voltage	ΔV_F	—	−2.2	—	mV/K
Capacitance (f = 1 MHz)	C	—	50	—	pF

OPTICAL CHARACTERISTICS (T_A = 25°C unless otherwise noted)

Characteristic	Symbol	Min	Typ	Max	Unit
Peak Wavelength (I_F = 60 mA)	λ_P	—	660	—	nm
Instantaneous Power Launched (I_F = 100 mA, Figure 1)	P_L	200	540	—	μW
Optical Turn-On Time (Figure 2)	t_{on}	—	200	—	ns
Optical Turn-Off Time (Figure 2)	t_{off}	—	150	—	ns
Half-Power Electrical Bandwidth (1)	BWe	—	6	—	MHz

(1) I_F = 100 mA pk-pk, 100% modulation

TYPICAL CHARACTERISTICS

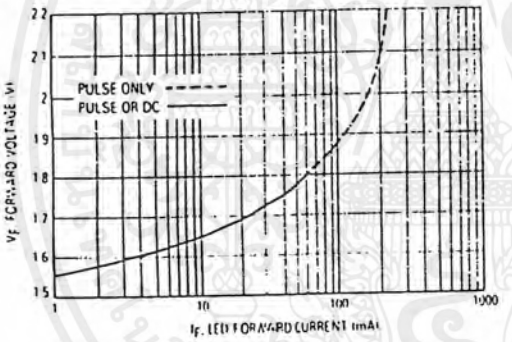


Figure 3. Forward Voltage versus Forward Current

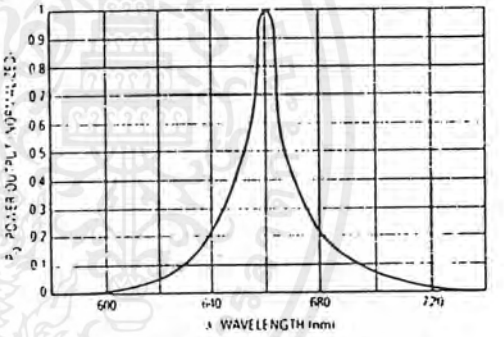


Figure 4. Relative Spectral Output

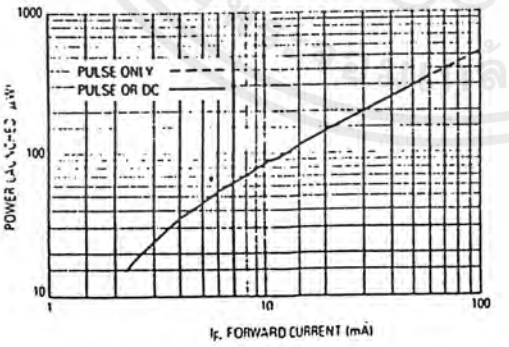


Figure 5. Power Launched versus LED Forward Current

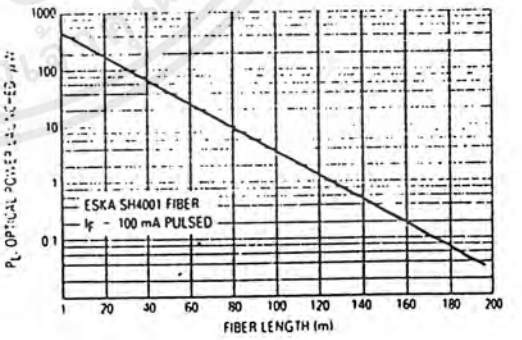


Figure 6. Power Launched versus Fiber Length

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

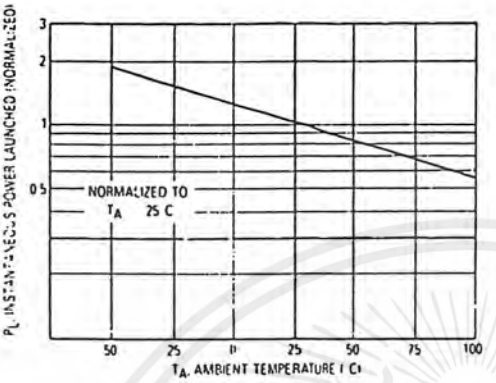


Figure 7. Instantaneous Power Output versus Ambient Temperature

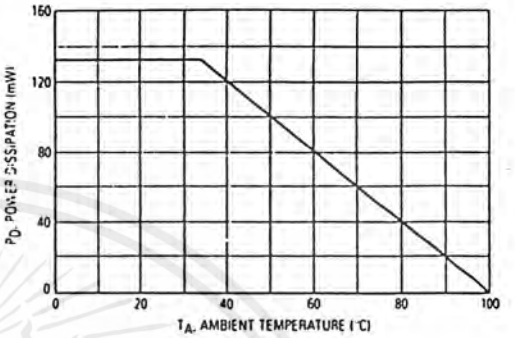


Figure 8. Power Dissipation

The system length achieved with a MFOE76 emitter and various detectors, using 1000 micron core plastic fiber (Eska SH4001 or equivalent), depends on the LED forward current (I_F) and the responsivity of the detector chosen. Each detector will perform with the MFOE76 up to the distances shown below.

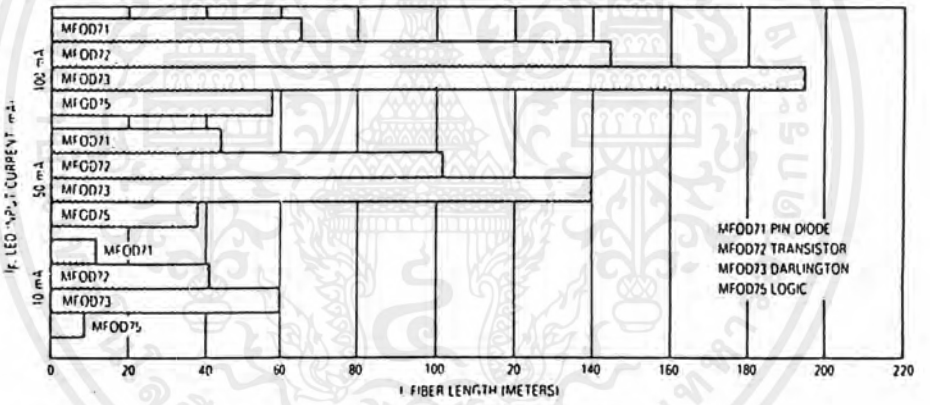


Figure 9. MFOE76 Working Distances

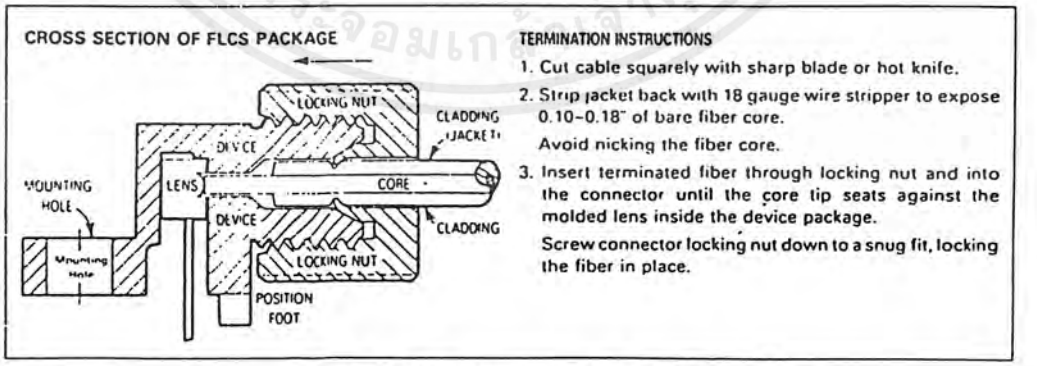
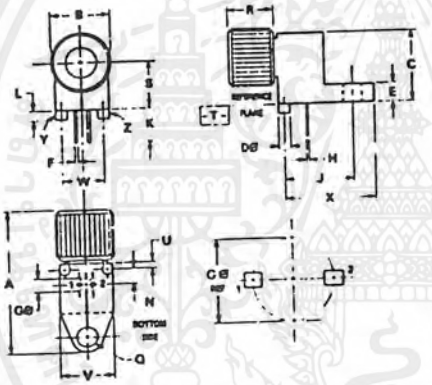


Figure 10. FO Cable Termination and Assembly

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

MFOE76

OUTLINE DIMENSIONS



NOTES:
1. Y AND Z ARE DATUM DIMENSIONS AND T IS A DATUM SURFACE.
2. POSITIONAL TOLERANCE FOR D Ø (7 PLS):
   ⌖ | Ø 0.25 (0.010) M | T | Y M | Z M
3. POSITIONAL TOLERANCE FOR F DIMENSION (7 PLS):
   ⌖ | Ø 0.25 (0.010) M | T | Y M | Z M
4. POSITIONAL TOLERANCE FOR H DIMENSION (7 PLS):
   ⌖ | Ø 0.25 (0.010) M | T | Y M | Z M
5. POSITIONAL TOLERANCE FOR Q Ø:
   ⌖ | Ø 0.25 (0.010) M | T | Y M | Z M
6. POSITIONAL TOLERANCE FOR Ø
   Ø | Ø 0.25 (0.010) Ⓜ | T
7. DIMENSIONING AND TOLERANCING PER ANSI Y14.5M, 1982.
8. CONTROLLING DIMENSION: INCH.

STYLE 1:
PIN 1. ANODE
2. CATHODE

DIM	MILLIMETERS MIN	MILLIMETERS MAX	INCHES MIN	INCHES MAX
A	19.30	21.33	0.760	0.840
B	9.14	9.39	0.360	0.370
C	7.62	8.17	0.300	0.320
D	1.55	1.67	0.061	0.064
E	2.41	2.66	0.095	0.105
F	0.43	0.58	0.017	0.023
G	2.54 BSC		0.100 BSC	
H	0.33	0.45	0.013	0.018
J	7.62 BSC		0.300 BSC	
K	9.91	11.43	0.390	0.450
L	1.14	1.65	0.045	0.065
N	2.54 BSC		0.100 BSC	
Q	3.05	3.30	0.120	0.130
R	7.62	8.17	0.300	0.320
S	5.08 BSC		0.200 BSC	
U	0.66	0.91	0.026	0.036
V	6.86	7.11	0.270	0.280
W	5.08 BSC		0.200 BSC	
X	10.87	11.55	0.428	0.455

CASE 363B-01
PLASTIC

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

MFOD73

TYPICAL COUPLED CHARACTERISTICS

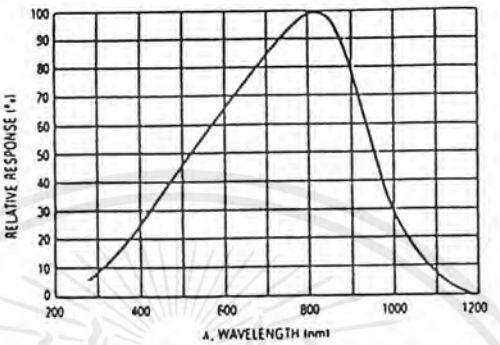


Figure 1. Relative Spectral Response

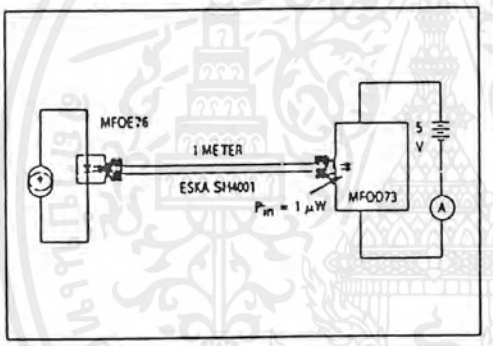


Figure 2. Responsivity Test Configuration

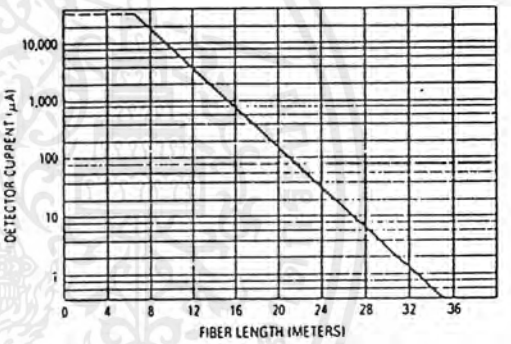


Figure 3. Detector Current versus Fiber Length

The system length achieved with a MFOE76 emitter and various detectors, using 1000 micron core plastic fiber (Eska SH4001 or equivalent), depends on the LED forward current (I_F) and the responsivity of the detector chosen. Each detector will perform with the MFOE76 up to the distances shown below.

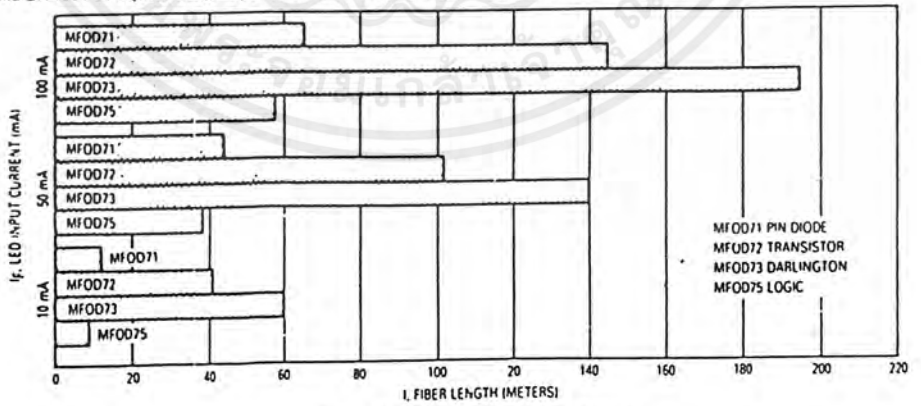


Figure 4. MFOE76 Working Distances

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

MOTOROLA
SEMICONDUCTOR
TECHNICAL DATA

MFOD73

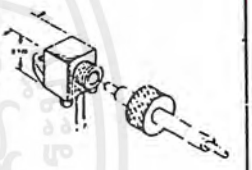
Fiber Optics — FLCS Family
Photo Detector
Darlington Output

FLCS FAMILY
FIBER OPTICS
PHOTO DETECTOR
DARLINGTON OUTPUT

. . . designed for low cost, short distance Fiber Optic Systems using 1000 micron core plastic fiber.

Typical applications include: high isolation interconnects, disposable medical electronics, consumer products, and microprocessor controlled systems such as coin operated machines, copy machines, electronic games, industrial clothes dryers, etc.

- High Sensitivity Photodarlington Output
- Ideally Matched to MFOE76 Emitter for Plastic Fiber Systems
- Annular Passivated Structure for Stability and Reliability
- FLCS Package
  - — Includes Connector
  - — Simple Fiber Termination and Connection (Figure 4)
  - — Easy Board Mounting
  - — Molded Lens for Efficient Coupling
  - — Mates with 1000 Micron Core Plastic Fiber (Eska SH4001)



CASE 363B-01
PLASTIC

MAXIMUM RATINGS (T_A = 25°C unless otherwise noted)

Rating	Symbol	Value	Unit
Collector-Emitter Voltage	V_{CEO}	60	Volts
Total Power Dissipation @ T_A = 25°C Derate above 25°C	P_D	150 2	mW mW/°C
Operating and Storage Junction Temperature Range	T_J, T_{stg}	−40 to +100	°C

ELECTRICAL CHARACTERISTICS (T_A = 25°C unless otherwise noted)

Characteristic	Symbol	Min	Typ	Max	Unit
Collector Dark Current (V_{CE} = 10 V)	I_D	—	—	100	nA
Collector-Emitter Breakdown Voltage (I_C = 10 mA)	$V_{(BR)CEO}$	60	—	—	Volts

OPTICAL CHARACTERISTICS

Responsivity (V_{CC} = 5 V, Figure 2)		R	1,000	1,500	—	μA/μW
Saturation Voltage (λ = 850 nm, V_{CC} = 5 V) (P_{in} = 1 μW, I_C = 2 mA)		$V_{CE(sat)}$	—	0.75	1	Volts
Turn-On Time	R_L = 100 Ω, P_{in} = 1 μW, λ = 850 nm, V_{CC} = 5 V	t_{on}	—	125	—	μs
Turn-Off Time		t_{off}	—	150	—	μs

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

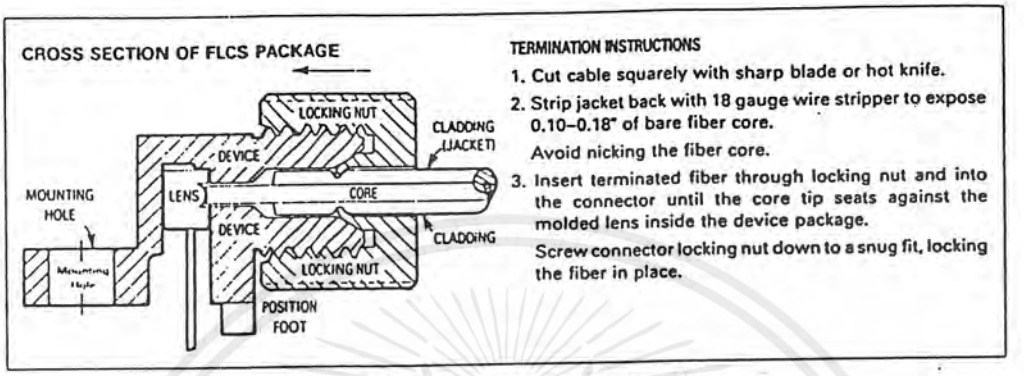


Figure 5. FO Cable Termination and Assembly

INPUT SIGNAL CONDITIONING

The following circuits are suggested to provide the desired forward current through the emitter.

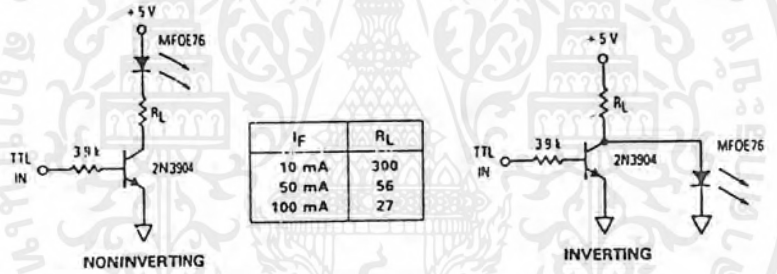


Figure 6. TTL Transmitters

OUTPUT SIGNAL CONDITIONING

The following circuit is suggested to take the FLCS detector output and condition it to drive TTL with an acceptable bit error rate.

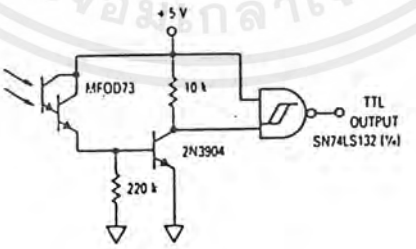
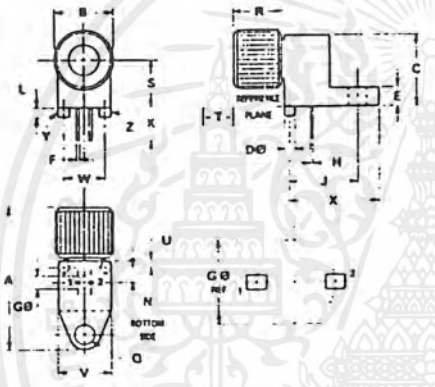


Figure 7. 1 kHz Darlington Receiver

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

MFOD73

OUTLINE DIMENSIONS



NOTES
1. Y AND Z ARE DATUM DIMENSIONS AND T IS A DATUM SURFACE
2. POSITIONAL TOLERANCE FOR D Ø (2 PL)
3. POSITIONAL TOLERANCE FOR F DIMENSION (2 PL)
4. POSITIONAL TOLERANCE FOR H DIMENSION (2 PL)
5. POSITIONAL TOLERANCE FOR Q Ø
6. POSITIONAL TOLERANCE FOR B
7. DIMENSIONING AND TOLERANCING PER ANSI Y14.5M, 1982
8. CONTROLLING DIMENSION: INCH

DIM	MILLIMETERS MIN	MILLIMETERS MAX	INCHES MIN	INCHES MAX
A	19.30	21.33	0.760	0.840
B	9.14	9.25	0.360	0.370
C	7.62	8.13	0.300	0.320
D	1.55	1.67	0.061	0.064
E	2.41	2.66	0.095	0.105
F	0.43	0.58	0.017	0.023
G	2.54 BSC		0.100 BSC	
H	0.33	0.65	0.013	0.018
J	7.62 BSC		0.300 BSC	
K	9.91	11.43	0.390	0.450
L	1.14	1.65	0.045	0.065
N	2.54 BSC		0.100 BSC	
Q	3.05	3.30	0.120	0.130
R	7.62	8.13	0.300	0.320
S	5.08 BSC		0.200 BSC	
U	0.66	0.91	0.026	0.036
V	6.86	7.11	0.270	0.280
W	5.08 BSC		0.200 BSC	
X	10.87	11.55	0.428	0.455

STYLE 3
PIN 1. CATHODE
2. ANODE

CASE 363B-01
PLASTIC

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

National Semiconductor

February 2000

LM555
Timer

General Description

The LM555 is a highly stable device for generating accurate time delays or oscillation. Additional terminals are provided for triggering or resetting if desired. In the time delay mode of operation, the time is precisely controlled by one external resistor and capacitor. For astable operation as an oscillator, the free running frequency and duty cycle are accurately controlled with two external resistors and one capacitor. The circuit may be triggered and reset on falling waveforms, and the output circuit can source or sink up to 200mA or drive TTL circuits.

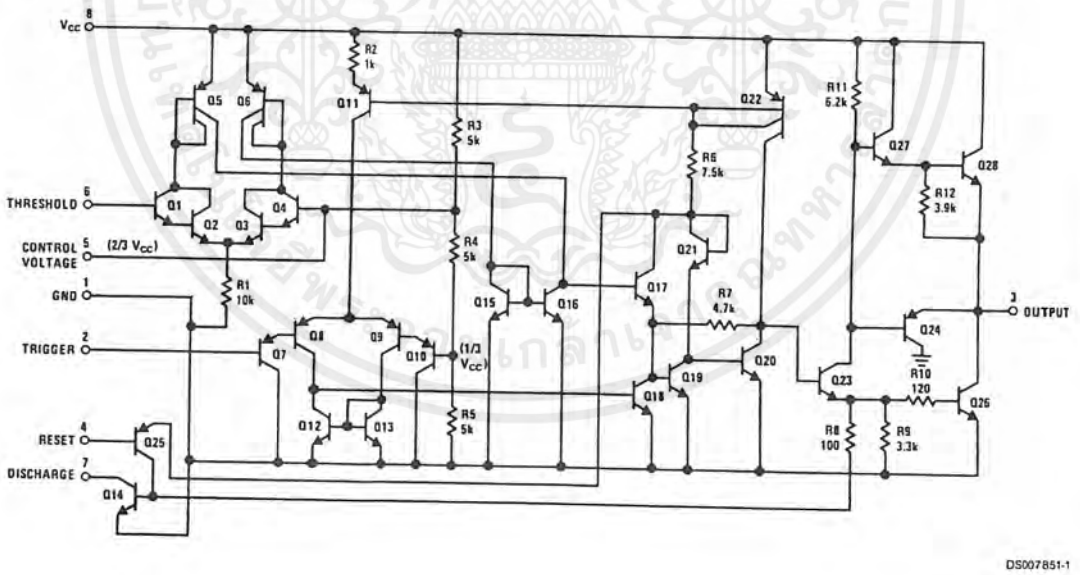
Features

- Direct replacement for SE555/NE555
- Timing from microseconds through hours
- Operates in both astable and monostable modes
- Adjustable duty cycle
- Output can source or sink 200 mA
- Output and supply TTL compatible
- Temperature stability better than 0.005% per °C
- Normally on and normally off output
- Available in 8-pin MSOP package

Applications

- Precision timing
- Pulse generation
- Sequential timing
- Time delay generation
- Pulse width modulation
- Pulse position modulation
- Linear ramp generator

Schematic Diagram

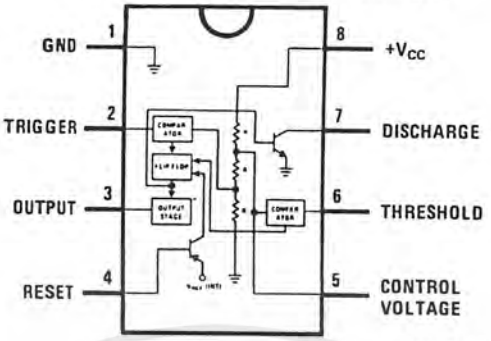


© 2000 National Semiconductor Corporation

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Connection Diagram

Dual-In-Line, Small Outline and Molded Mini Small Outline Packages



DS007851-3

Top View

Ordering Information

Package	Part Number	Package Marking	Media Transport	NSC Drawing
8-Pin SOIC	LM555CM	LM555CM	Rails	M08A
	LM555CMX	LM555CM	2.5k Units Tape and Reel	
8-Pin MSOP	LM555CMM	Z55	1k Units Tape and Reel	MUA08A
	LM555CMMX	Z55	3.5k Units Tape and Reel	
8-Pin MDIP	LM555CN	LM555CN	Rails	N08E

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Absolute Maximum Ratings (Note 2)

If Military/Aerospace specified devices are required, please contact the National Semiconductor Sales Office/ Distributors for availability and specifications.

Supply Voltage	+18V
Power Dissipation (Note 3)	
LM555CM, LM555CN	1180 mW
LM555CMM	613 mW
Operating Temperature Ranges	
LM555C	0°C to +70°C
Storage Temperature Range	−65°C to +150°C

Soldering Information

Dual-In-Line Package	
Soldering (10 Seconds)	260°C
Small Outline Packages	
(SOIC and MSOP)	
Vapor Phase (60 Seconds)	215°C
Infrared (15 Seconds)	220°C

See AN-450 "Surface Mounting Methods and Their Effect on Product Reliability" for other methods of soldering surface mount devices.

Electrical Characteristics (Notes 1, 2)

(T_A = 25°C, V_{CC} = +5V to +15V, unless othewise specified)

Parameter	Conditions	Limits			Units
		LM555C			
		Min	Typ	Max	
Supply Voltage		4.5		16	V
Supply Current	V_{CC} = 5V, R_L = ∞		3	6	mA
	V_{CC} = 15V, R_L = ∞ (Low State) (Note 4)		10	15	mA
Timing Error, Monostable					
Initial Accuracy			1		%
Drift with Temperature	R_A = 1k to 100kΩ, C = 0.1µF, (Note 5)		50		ppm/°C
Accuracy over Temperature			1.5		%
Drift with Supply			0.1		%/V
Timing Error, Astable					
Initial Accuracy			2.25		%
Drift with Temperature	R_A, R_B = 1k to 100kΩ, C = 0.1µF, (Note 5)		150		ppm/°C
Accuracy over Temperature			3.0		%
Drift with Supply			0.30		%/V
Threshold Voltage			0.667		x V_{CC}
Trigger Voltage	V_{CC} = 15V		5		V
	V_{CC} = 5V		1.67		V
Trigger Current			0.5	0.9	µA
Reset Voltage		0.4	0.5	1	V
Reset Current			0.1	0.4	mA
Threshold Current	(Note 6)		0.1	0.25	µA
Control Voltage Level	V_{CC} = 15V	9	10	11	V
	V_{CC} = 5V	2.6	3.33	4	V
Pin 7 Leakage Output High			1	100	nA
Pin 7 Sat (Note 7)					
Output Low	V_{CC} = 15V, I_7 = 15mA		180		mV
Output Low	V_{CC} = 4.5V, I_7 = 4.5mA		80	200	mV

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Electrical Characteristics (Notes 1, 2) (Continued)

(T_A = 25°C, V_{CC} = +5V to +15V, unless othewise specified)

Parameter	Conditions	Limits			Units
		LM555C			
		Min	Typ	Max	
Output Voltage Drop (Low)	V_{CC} = 15V				
	I_{SINK} = 10mA		0.1	0.25	V
	I_{SINK} = 50mA		0.4	0.75	V
	I_{SINK} = 100mA		2	2.5	V
	I_{SINK} = 200mA		2.5		V
	V_{CC} = 5V				
	I_{SINK} = 8mA				V
	I_{SINK} = 5mA		0.25	0.35	V
Output Voltage Drop (High)	I_{SOURCE} = 200mA, V_{CC} = 15V		12.5		V
	I_{SOURCE} = 100mA, V_{CC} = 15V	12.75	13.3		V
	V_{CC} = 5V	2.75	3.3		V
Rise Time of Output			100		ns
Fall Time of Output			100		ns

Note 1: All voltages are measured with respect to the ground pin, unless otherwise specified.

Note 2: Absolute Maximum Ratings indicate limits beyond which damage to the device may occur. Operating Ratings indicate conditions for which the device is functional, but do not guarantee specific performance limits. Electrical Characteristics state DC and AC electrical specifications under particular test conditions which guarantee specific performance limits. This assumes that the device is within the Operating Ratings. Specifications are not guaranteed for parameters where no limit is given, however, the typical value is a good indication of device performance.

Note 3: For operating at elevated temperatures the device must be derated above 25°C based on a +150°C maximum junction temperature and a thermal resistance of 106°C/W (DIP), 170°C/W (S0-8), and 204°C/W (MSOP) junction to ambient.

Note 4: Supply current when output high typically 1 mA less at V_{CC} = 5V.

Note 5: Tested at V_{CC} = 5V and V_{CC} = 15V.

Note 6: This will determine the maximum value of $R_A + R_B$ for 15V operation. The maximum total ($R_A + R_B$) is 20MΩ.

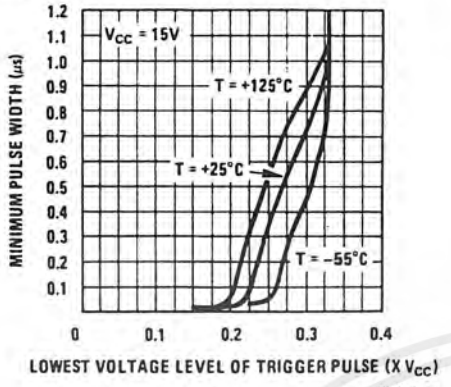
Note 7: No protection against excessive pin 7 current is necessary providing the package dissipation rating will not be exceeded.

Note 8: Refer to RETS555X drawing of military LM555H and LM555J versions for specifications.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

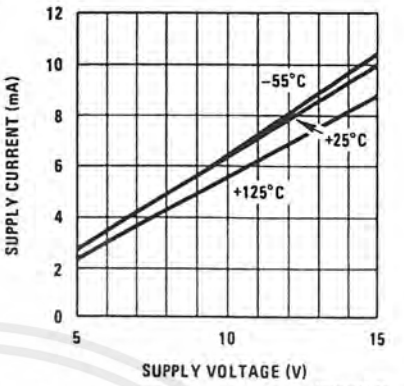
Typical Performance Characteristics

Minimuim Pulse Width Required for Triggering



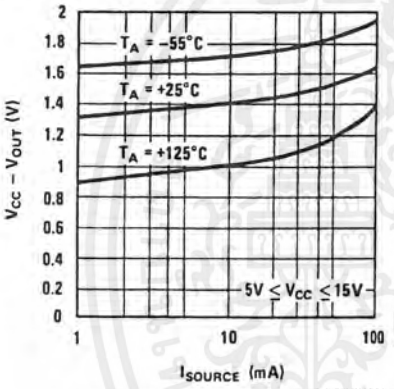
DS007851-4

Supply Current vs. Supply Voltage



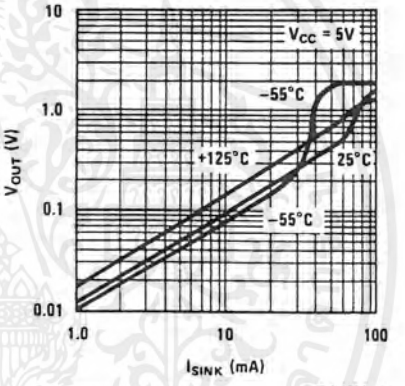
DS007851-19

High Output Voltage vs. Output Source Current



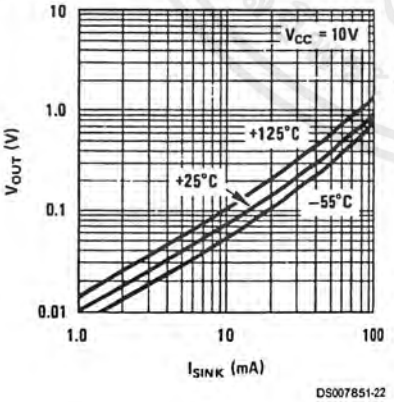
DS007851-20

Low Output Voltage vs. Output Sink Current



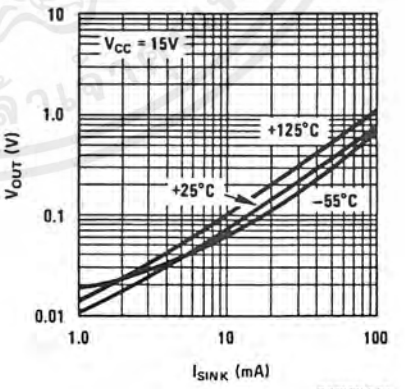
DS007851-21

Low Output Voltage vs. Output Sink Current



DS007851-22

Low Output Voltage vs. Output Sink Current

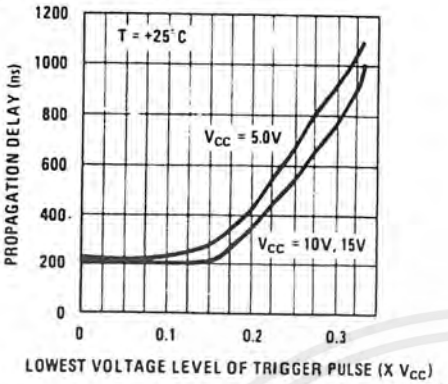


DS007851-23

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

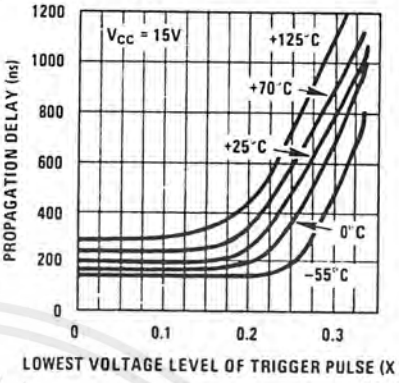
Typical Performance Characteristics (Continued)

Output Propagation Delay vs. Voltage Level of Trigger Pulse



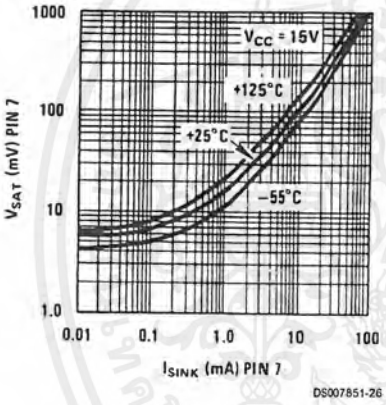
DS007851-24

Output Propagation Delay vs. Voltage Level of Trigger Pulse



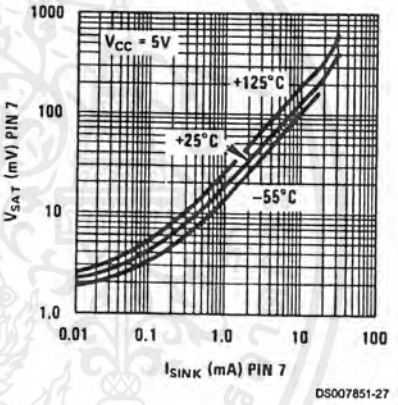
DS007851-25

Discharge Transistor (Pin 7) Voltage vs. Sink Current



DS007851-26

Discharge Transistor (Pin 7) Voltage vs. Sink Current



DS007851-27

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Applications Information

MONOSTABLE OPERATION

In this mode of operation, the timer functions as a one-shot (*Figure 1*). The external capacitor is initially held discharged by a transistor inside the timer. Upon application of a negative trigger pulse of less than 1/3 V_{CC} to pin 2, the flip-flop is set which both releases the short circuit across the capacitor and drives the output high.

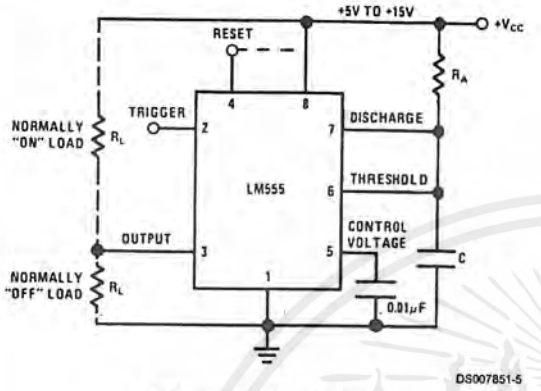
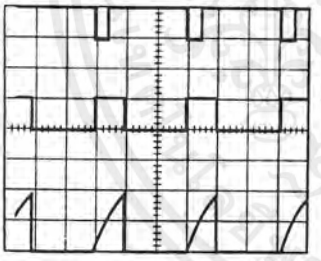


FIGURE 1. Monostable

The voltage across the capacitor then increases exponentially for a period of t = 1.1 R_A C, at the end of which time the voltage equals 2/3 V_{CC}. The comparator then resets the flip-flop which in turn discharges the capacitor and drives the output to its low state. *Figure 2* shows the waveforms generated in this mode of operation. Since the charge and the threshold level of the comparator are both directly proportional to supply voltage, the timing internal is independent of supply.



V_{CC} = 5V
TIME = 0.1 ms/DIV.
R_A = 9.1kΩ
C = 0.01μF

Top Trace: Input 5V/Div.
Middle Trace: Output 5V/Div.
Bottom Trace: Capacitor Voltage 2V/Div.

FIGURE 2. Monostable Waveforms

During the timing cycle when the output is high, the further application of a trigger pulse will not effect the circuit so long as the trigger input is returned high at least 10μs before the end of the timing interval. However the circuit can be reset during this time by the application of a negative pulse to the reset terminal (pin 4). The output will then remain in the low state until a trigger pulse is again applied.

When the reset function is not in use, it is recommended that it be connected to V_{CC} to avoid any possibility of false triggering.

Figure 3 is a nomograph for easy determination of R, C values for various time delays.

NOTE: In monostable operation, the trigger should be driven high before the end of timing cycle.

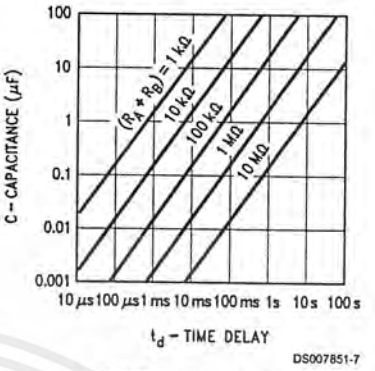


FIGURE 3. Time Delay

ASTABLE OPERATION

If the circuit is connected as shown in *Figure 4* (pins 2 and 6 connected) it will trigger itself and free run as a multivibrator. The external capacitor charges through R_A + R_B and discharges through R_B. Thus the duty cycle may be precisely set by the ratio of these two resistors.

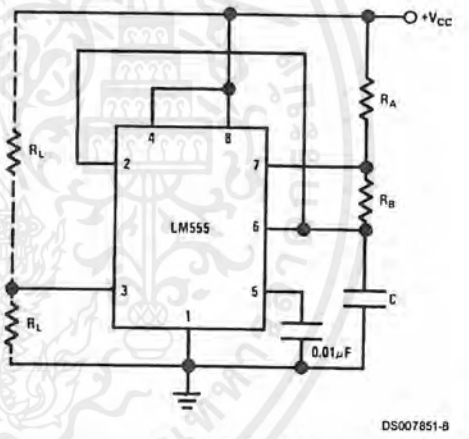


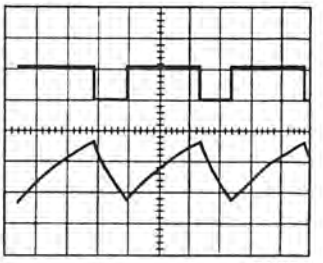
FIGURE 4. Astable

In this mode of operation, the capacitor charges and discharges between 1/3 V_{CC} and 2/3 V_{CC}. As in the triggered mode, the charge and discharge times, and therefore the frequency are independent of the supply voltage.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Applications Information (Continued)

Figure 5 shows the waveforms generated in this mode of operation.



V_{CC} = 5V Top Trace: Output 5V/Div.
TIME = 20μs/DIV. Bottom Trace: Capacitor Voltage 1V/Div.
R_A = 3.9kΩ
R_B = 3kΩ
C = 0.01μF

FIGURE 5. Astable Waveforms

The charge time (output high) is given by:

$$t_1 = 0.693\ (R_A + R_B)\ C$$

And the discharge time (output low) by:

$$t_2 = 0.693\ (R_B)\ C$$

Thus the total period is:

$$T = t_1 + t_2 = 0.693\ (R_A + 2R_B)\ C$$

The frequency of oscillation is:

$$f = \frac{1}{T} = \frac{1.44}{(R_A + 2R_B)\,C}$$

Figure 6 may be used for quick determination of these RC values.

The duty cycle is:

$$D = \frac{R_B}{R_A + 2R_B}$$

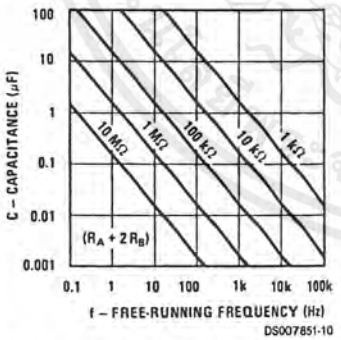
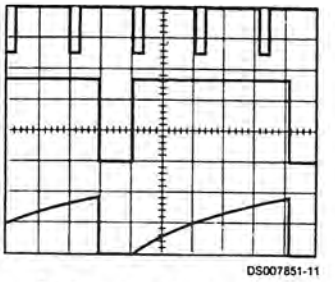


FIGURE 6. Free Running Frequency

FREQUENCY DIVIDER

The monostable circuit of *Figure 1* can be used as a frequency divider by adjusting the length of the timing cycle. *Figure 7* shows the waveforms generated in a divide by three circuit.



V_{CC} = 5V Top Trace: Input 4V/Div.
TIME = 20μs/DIV. Middle Trace: Output 2V/Div.
R_A = 9.1kΩ Bottom Trace: Capacitor 2V/Div.
C = 0.01μF

FIGURE 7. Frequency Divider

PULSE WIDTH MODULATOR

When the timer is connected in the monostable mode and triggered with a continuous pulse train, the output pulse width can be modulated by a signal applied to pin 5. *Figure 8* shows the circuit, and in *Figure 9* are some waveform examples.

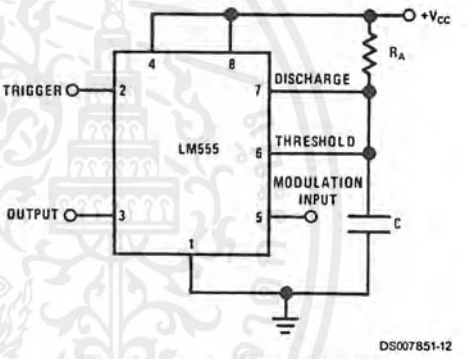
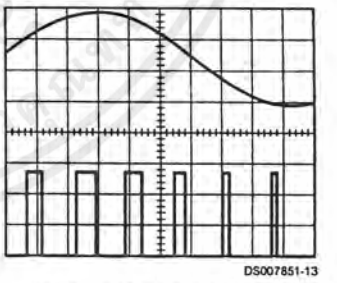


FIGURE 8. Pulse Width Modulator



V_{CC} = 5V Top Trace: Modulation 1V/Div.
TIME = 0.2 ms/DIV. Bottom Trace: Output Voltage 2V/Div.
R_A = 9.1kΩ
C = 0.01μF

FIGURE 9. Pulse Width Modulator

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Applications Information (Continued)

PULSE POSITION MODULATOR

This application uses the timer connected for astable operation, as in *Figure 10*, with a modulating signal again applied to the control voltage terminal. The pulse position varies with the modulating signal, since the threshold voltage and hence the time delay is varied. *Figure 11* shows the waveforms generated for a triangle wave modulation signal.

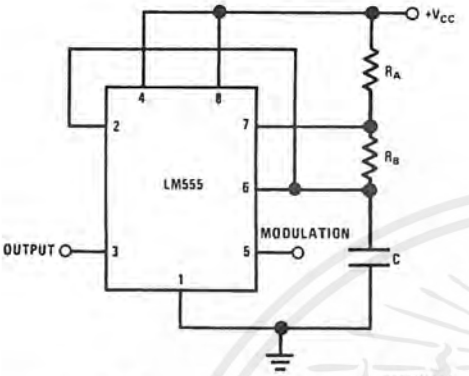
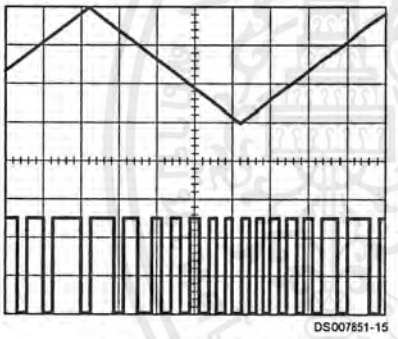


FIGURE 10. Pulse Position Modulator



V_{CC} = 5V
TIME = 0.1 ms/DIV.
R_A = 3.9kΩ
R_B = 3kΩ
C = 0.01μF

Top Trace: Modulation Input 1V/Div.
Bottom Trace: Output 2V/Div.

FIGURE 11. Pulse Position Modulator

LINEAR RAMP

When the pullup resistor, R_A, in the monostable circuit is replaced by a constant current source, a linear ramp is generated. *Figure 12* shows a circuit configuration that will perform this function.

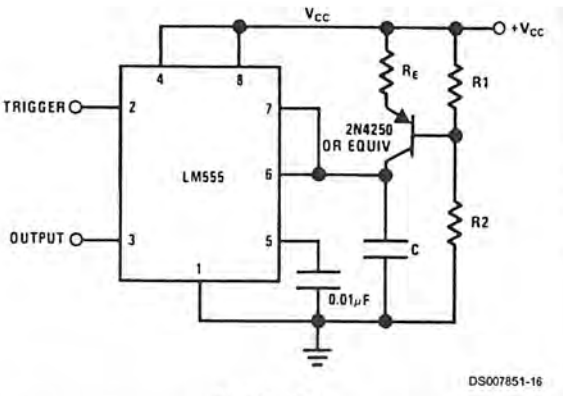


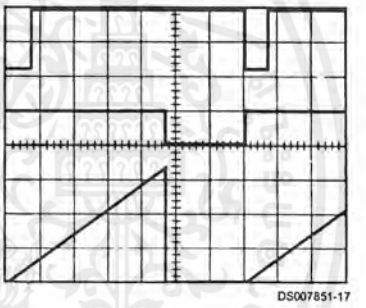
FIGURE 12.

Figure 13 shows waveforms generated by the linear ramp. The time interval is given by:

$$T = \frac{2/3\ V_{CC}\ R_E\ (R_1 + R_2)\ C}{R_1\ V_{CC} - V_{BE}\ (R_1 + R_2)}$$

$V_{BE} \simeq 0.6V$

$V_{BE} \simeq 0.6V$



V_{CC} = 5V
TIME = 20μs/DIV.
R_1 = 47kΩ
R_2 = 100kΩ
R_E = 2.7 kΩ
C = 0.01 μF

Top Trace: Input 3V/Div.
Middle Trace: Output 5V/Div.
Bottom Trace: Capacitor Voltage 1V/Div.

FIGURE 13. Linear Ramp

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Applications Information (Continued)

50% DUTY CYCLE OSCILLATOR

For a 50% duty cycle, the resistors R_A and R_B may be connected as in *Figure 14*. The time period for the output high is the same as previous, $t_1 = 0.693\ R_A\ C$. For the output low it is t_2 =

$$\left[(R_A\ R_B)/(R_A + R_B)\right] C\ \ell n \left[\frac{R_B - 2R_A}{2R_B - R_A}\right]$$

Thus the frequency of oscillation is

$$f = \frac{1}{t_1 + t_2}$$

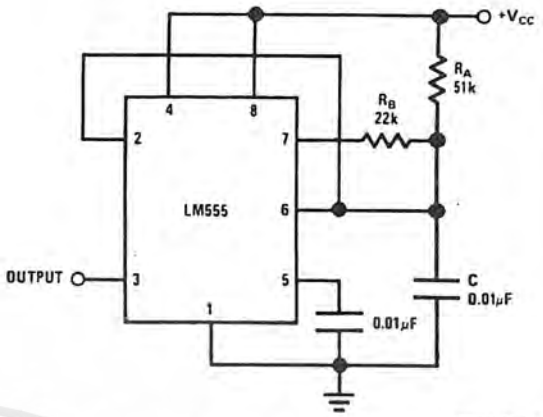


FIGURE 14. 50% Duty Cycle Oscillator

Note that this circuit will not oscillate if R_B is greater than 1/2 R_A because the junction of R_A and R_B cannot bring pin 2 down to 1/3 V_{CC} and trigger the lower comparator.

ADDITIONAL INFORMATION

Adequate power supply bypassing is necessary to protect associated circuitry. Minimum recommended is 0.1µF in parallel with 1µF electrolytic.

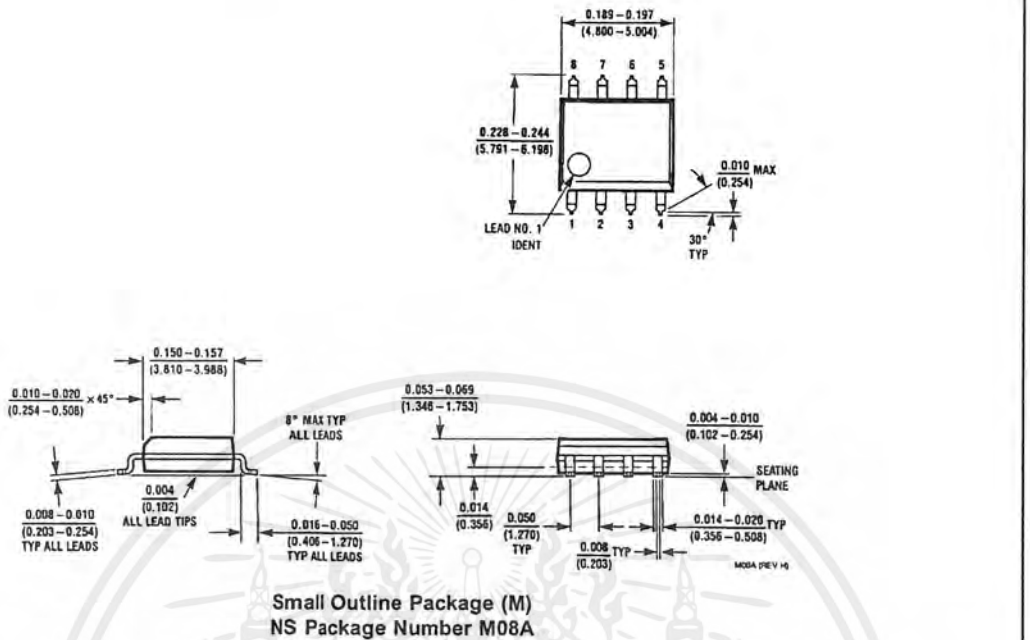
Lower comparator storage time can be as long as 10µs when pin 2 is driven fully to ground for triggering. This limits the monostable pulse width to 10µs minimum.

Delay time reset to output is 0.47µs typical. Minimum reset pulse width must be 0.3µs, typical.

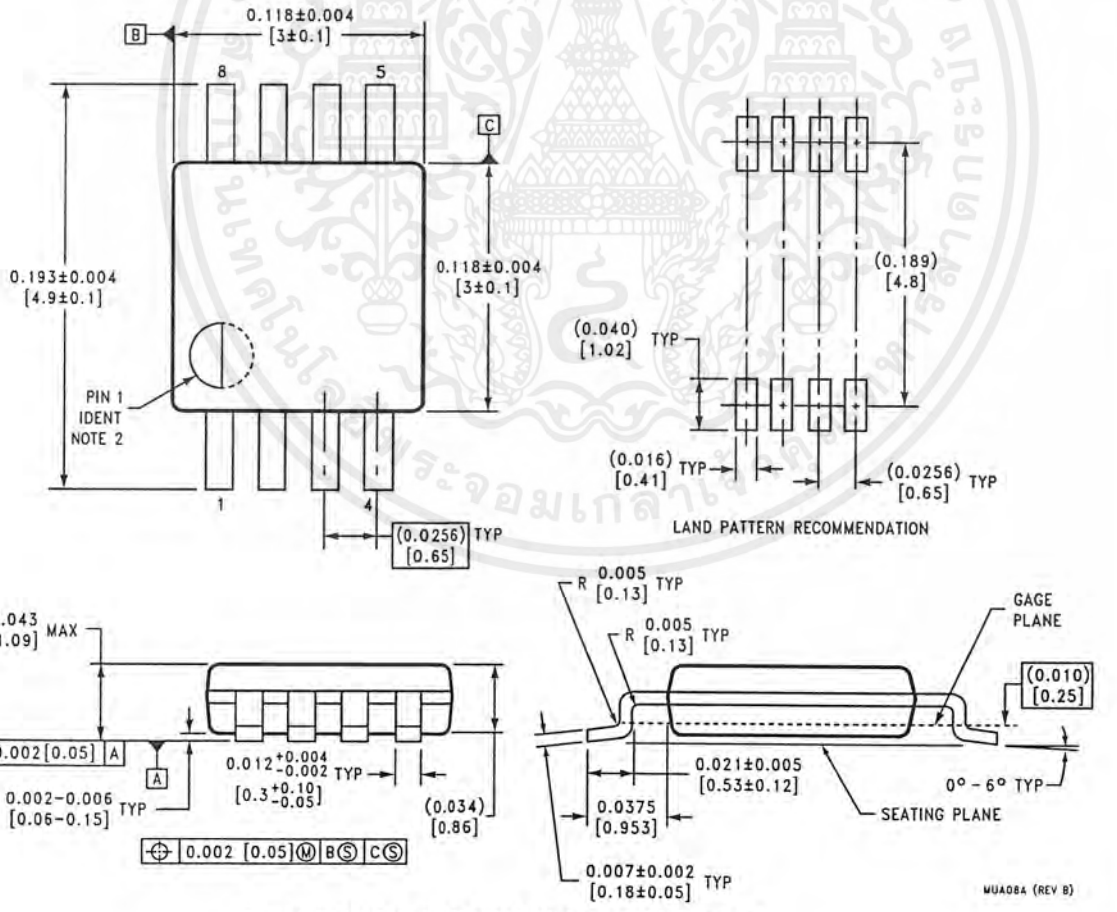
Pin 7 current switches within 30ns of the output (pin 3) voltage.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Physical Dimensions inches (millimeters) unless otherwise noted



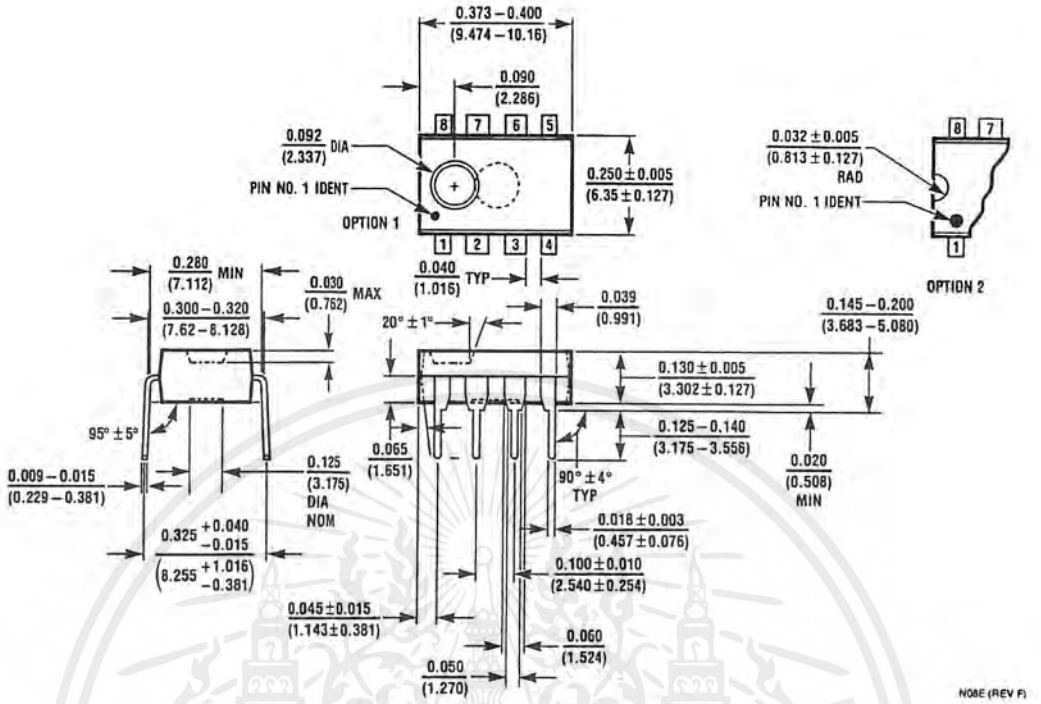
Small Outline Package (M)
NS Package Number M08A



8-Lead (0.118" Wide) Molded Mini Small Outline Package
NS Package Number MUA08A

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Physical Dimensions inches (millimeters) unless otherwise noted (Continued)



Molded Dual-In-Line Package (N)
NS Package Number N08E

LIFE SUPPORT POLICY

NATIONAL'S PRODUCTS ARE NOT AUTHORIZED FOR USE AS CRITICAL COMPONENTS IN LIFE SUPPORT DEVICES OR SYSTEMS WITHOUT THE EXPRESS WRITTEN APPROVAL OF THE PRESIDENT AND GENERAL COUNSEL OF NATIONAL SEMICONDUCTOR CORPORATION. As used herein:

1. Life support devices or systems are devices or systems which, (a) are intended for surgical implant into the body, or (b) support or sustain life, and whose failure to perform when properly used in accordance with instructions for use provided in the labeling, can be reasonably expected to result in a significant injury to the user.
2. A critical component is any component of a life support device or system whose failure to perform can be reasonably expected to cause the failure of the life support device or system, or to affect its safety or effectiveness.

National Semiconductor Corporation
Americas
Tel: 1-800-272-9959
Fax: 1-800-737-7018
Email: support@nsc.com
www.national.com

National Semiconductor Europe
Fax: +49 (0) 180-530 85 86
Email: europe.support@nsc.com
Deutsch Tel: +49 (0) 69 9508 6208
English Tel: +44 (0) 870 24 0 2171
Français Tel: +33 (0) 1 41 91 8790

National Semiconductor Asia Pacific Customer Response Group
Tel: 65-2544466
Fax: 65-2504466
Email: ap.support@nsc.com

National Semiconductor Japan Ltd.
Tel: 81-3-5639-7560
Fax: 81-3-5639-7507

National does not assume any responsibility for use of any circuitry described, no circuit patent licenses are implied and National reserves the right at any time without notice to change said circuitry and specifications.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เอกสารอ้างอิง

1. Van Valkenburg , Analog Filter Design , U.S.A , Holt , Rinchart and Winston, 1982
2. ยืน ภู่วรวรรณ , เทคนิคการประยุกต์ และการใช้งานลิเนียไอซี เล่ม 1, กรุงเทพ , ซีเอ็ดยูเค ชั่น, 2521
3. อภินันท์ มัณยานนท์ , การสื่อสารเส้นใยแสง , ภาควิชาวิศวกรรมโทรคมนาคม สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง
4. Electronics Laboratory I ภาควิชาเทคนิคอุตสาหกรรม, คณะวิศวกรรมศาสตร์, สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง
5. Linear Integrated Circuits ภาควิชาเทคนิคอุตสาหกรรม, คณะวิศวกรรมศาสตร์, สถาบันเทคโนโลยีพระจอมเกล้าพระนครเหนือ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้