สำนักหอสมุดกลาง พระจอมเกล้าลาดกระบัง

วิดีโอวอลล์

Video Wall

โดย

นาย อรรณพ หวงมณีรุ่งโรจน์

นาย อำนาจ สินพรม

นาย อิทธิพันธุ์ กรรณล้วน

เลขหมู่.....
เลขทะเบียน 42754
วัน, เดือน, ปี 7 ส.ค. 2545

.b.....
.i.....

ปริญญานิพนธ์นี้เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรปริญญาวิศวกรรมศาสตรบัณฑิต

สาขาวิชาอิเล็กทรอนิกส์

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

ปีการศึกษา 2543

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

วิดีโอวอลล์

Video Wall

โดย

นาย อรรณพ หวงมณีรุ่งโรจน์ รหัสประจำตัว 40010969

นาย อำนาจ สินพรม รหัสประจำตัว 40011004

นาย อิทธิพันธุ์ กรรณล้วน รหัสประจำตัว 40011013

อาจารย์ที่ปรึกษา

อาจารย์ พลผดุง ผดุงกุล

ปริญญานิพนธ์สำหรับปริญญาวิศวกรรมศาสตรบัณฑิต

สาขาวิชาอิเล็กทรอนิกส์

คณะวิศวกรรมศาสตร์

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

ปีการศึกษา 2543

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ปริญญานิพนธ์ ปีการศึกษา 2543
ภาควิชาอิเล็กทรอนิกส์
คณะวิศวกรรมศาสตร์ สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง
เรื่อง วิดีโอวอลล์

ผู้จัดทำ

นาย อรรณพ	หวงมณีรุ่งโรจน์	รหัสประจำตัว 40010969
นาย อำนาจ	สินพรม	รหัสประจำตัว 40011004
นาย อิทธิพันธุ์	กรรณล้วน	รหัสประจำตัว 40011013

(ผ.ศ. พลผดุง ผดุงกุล)
อาจารย์ที่ปรึกษา

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

วิดีโอวอลล์

Video Wall

นาย อรรณพ	หวงมณีรุ่งโรจน์	รหัสประจำตัว	40010969
นาย อำนาจ	สินพรม	รหัสประจำตัว	40011004
นาย อิทธิพันธุ์	กรรณล้วน	รหัสประจำตัว	40011013

โครงงานได้รับการตรวจสอบแล้ว พร้อมที่จะทำการสอบได้

.....

(ผ.ศ. พลผดุง ผดุงกุล)

อาจารย์ที่ปรึกษา

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

กิตติกรรมประกาศ

การที่โครงงานนี้ได้สำเร็จลุล่วงไปได้ด้วยดี ผู้จัดทำต้องขอขอบพระคุณ อาจารย์ พลผดุง ผดุงกุล อาจารย์ที่ปรึกษา ที่ให้คำแนะนำและแนวทางที่เป็นประโยชน์ต่อการทำโครงงานนี้ จนการทำโครงงานครั้งนี้สำเร็จลุล่วงไปได้

และขอขอบคุณพี่ๆ และเพื่อนๆ ที่มีส่วนช่วยทั้งในด้านคำแนะนำและความสะดวกต่างๆ จึงทำให้โครงงานนี้สำเร็จไปได้ด้วยดี

นาย อรรณพ หวงมณีรุ่งโรจน์
นาย อำนาจ สินพรม
นาย อิทธิพันธุ์ กรรณล้วน
ผู้จัดทำ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

วีดีโอวอลล์

นาย อรรณพ หวงมณีรุ่งโรจน์
นาย อำนาจ สินพรม
นาย อิทธิพันธุ์ กรรณล้วน
ผ.ศ. พลผดุง ผดุงกุล (อาจารย์ที่ปรึกษา)
ปีการศึกษา 2543

บทคัดย่อ

ในยุคปัจจุบันซึ่งเป็นยุคแห่งข้อมูลข่าวสาร สื่อนับว่ามีความสำคัญต่อชีวิตประจำวันของเรามากขึ้น เนื่องจากสื่อก็คือวิธีการต่างๆที่ข้อมูลจะถูกส่งมาถึงผู้รับสารให้ได้รับทราบและเข้าใจในข่าวสารนั้นๆ ดังนั้น หากเราได้ใช้และรับสื่อที่เหมาะสมแล้ว ก็จะทำให้เราเข้าใจในวัตถุประสงค์และรายละเอียดของข่าวสารที่ผู้ส่งต้องการจะส่งถึงเรา อีกทั้งยังทำให้การส่งข่าวสารเป็นไปด้วยความสะดวก รวดเร็ว และมีประสิทธิภาพอีกด้วย

โทรทัศน์เป็นสื่อประเภทหนึ่ง ที่มีการใช้กันอย่างแพร่หลายและเป็นสื่อที่สำคัญ และมีประสิทธิภาพอันหนึ่ง เนื่องจากผู้รับจะได้รับทั้งข้อมูลทางด้านเสียงและภาพในเวลาเดียวกัน

โครงงานนี้เป็นการศึกษาถึงสัญญาณวีดีโอ โดยนำสัญญาณนั้นมาประมวลผลโดยการแปลงสัญญาณจากอนาลอกเป็นดิจิตอล และนำค่าที่ได้ไปจัดเก็บในหน่วยความจำ จากนั้นก็จะทำการเลือกข้อมูลเพียงบางส่วนของภาพจริงนำมาแปลงจากสัญญาณดิจิตอลเป็นสัญญาณอนาลอกเพื่อนำไปแสดงบนหน้าจอโทรทัศน์ โดยระบบทั้งหมดนี้จะใช้ไมโครโพรเซสเซอร์เป็นตัวควบคุม

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Video Wall

Mr. Annop Huangmaneerungroj
Mr. Amnat Sinprom
Mr. Ittipan Kanluan
Assist. Prof. Polphadung Phadungkul (Advisor)
Academic Year 2000 , Second Semester

Abstract

Nowadays , the information and media have been growing their importance significantly and therefore inevitably affecting our everyday life. As the media is the way that the messages is transmitted to us. So the more appropriate and effective the media is , the more accurate and reliable the messages are.

Television is one type of media that is effective and has been used widespread. As it has an advantage that the receiver can perceive the data and the picture simultaneously.

This project is mainly concerned in studying of the video signal which was first transformed into the digital signal. Then we stored the acquired data by using RAM. In the taking-out process , we selected some parts of the data to be transformed into the analog signal and then be displayed on the television set. And the main system is controlled by microprocessor.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญ

	หน้า
กิตติกรรมประกาศ	I
บทคัดย่อ	II
Abstract	III
สารบัญ	IV
สารบัญรูป	VI
บทที่ 1 บทนำ	1
บทที่ 2 หลักการทำงานของ ADC และ DAC	2
ADC...	
1. วงจรเปรียบเทียบขนาน หรือ แฟลช	2
2. วงจร A/D ที่ใช้การอินทิเกรต	3
2.1 แบบสโลปเดี่ยวหรือแบบแรมป์	3
2.2 แบบสโลปคู่	4
2.3 แบบชาร์จบาลานซ์	4
2.4 แบบเคลต้า	5
3. วงจร A/Dที่ใช้วง /A ประกอบกัน	5
4. วงจร A/Dที่ใช้การประมาณค่า	5
DAC...	
1. วงจร DAC แบบ Binary weight ladder	7
บทที่3 ไมโครคอนโทรลเลอร์ MCS-51	8
1. โครงสร้างภายในของ MCS-51	8
2. คุณสมบัติที่สำคัญของ MCS-51	9
3. การจัดขาต่างๆของ MCS-51	9
4. ส่วนประกอบหลักของ MCS-51	12
5. ระบบอินเทอร์รัพท์ของ MCS-51	13

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

	หน้า
บทที่4 ทฤษฎีโดยย่อเกี่ยวกับโทรทัศน์	14
1. สัญญาณภาพ	14
2. เครื่องส่งและเครื่องรับโทรทัศน์	16
3. สถานีโทรทัศน์จำเป็นต้องส่งสัญญาณอะไรบ้าง	17
บทที่5 ลักษณะของโครงงานและการออกแบบระบบ	21
บทที่6 การทดลองและผลการทดลอง	27
บทที่7 สรุปผลการทดลองและแนวทางในการประยุกต์	33
ภาคผนวก	
บรรณานุกรม	

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญรูป

หน้า

บทที่ 2

รูปที่ 2.1 แสดงวิธีการพื้นฐานของ A/D 1
รูปที่ 2.2 วงจรของแฟลช A/D Converter 2
รูปที่ 2.3 วงจร Single Slope A/D Converter 2
รูปที่ 2.4 วงจร Dual Slope A/D Converter 3
รูปที่ 2.5 วงจร A/D แบบ Successive Approximation 5
รูปที่ 2.6 แสดง Block Diagram ของ DAC 6
รูปที่ 2.7 วงจร D/A แบบ Binary Weight Ladder 6
รูปที่ 2.8 วงจร D/A แบบ R-2R Ladder 7

บทที่ 3

รูปที่ 3.1 แสดงโครงสร้างภายในของ MCS-51 8
รูปที่ 3.2 แสดงขาต่างๆของ 8051 9
รูปที่ 3.3 ขาของ MCS-51 ที่ใช้ต่อกับ XTAL 12

บทที่ 4

รูปที่ 4.1 การเคลื่อนที่หักเหของลำอิเล็กตรอนในจังหวะที่ถูกต้อง ทั้งในแนวนอน และแนวตั้งของจอหลอดภาพ 14
รูปที่ 4.2 การหักเหของลำอิเล็กตรอน โดยอาศัยสนามแม่เหล็กเข้าช่วยเหลือ 14
รูปที่ 4.3 การสะแกน 2 ครั้งสำหรับภาพนิ่งแต่ละภาพ โดยแบ่ง 1 เฟรม ออกเป็น 2 ฟิลด์ 16
รูปที่ 4.4 ผลของสัญญาณซิงค์ที่ทำให้ความถี่ของเครื่องส่งและเครื่องรับ เท่ากันตลอดเวลา 17
รูปที่ 4.5 สัญญาณซิงค์ในแนวนอน 18
รูปที่ 4.6 สัญญาณอีควัลไลซิ่งกับสัญญาณซิงค์ในแนวตั้ง 19
รูปที่ 4.7 รูปร่างของสัญญาณโทรทัศน์ที่เกิดจากภาพขาวสลับดำเป็นแถบๆ 20

บทที่ 5

รูปที่ 5.1 แสดงลักษณะของวีดีโอวอลล์ในเมตริกซ์ 2 X 2 21
รูปที่ 5.2 แสดงส่วนต่างๆของภาพสัมพันธ์กับการกดคีย์บอร์ด 21
รูปที่ 5.3 แผนผังแสดงการทำงานของระบบ 22

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

หน้า

บทที่ 6

รูปที่ 6.1 แสดงสัญญาณภาพที่เอาท์พุท 27
รูปที่ 6.2 แสดงสัญญาณภาพที่ออกจาก D/Aเทียบกับสัญญาณภาพเอาท์พุท 27
รูปที่ 6.3 แสดงสัญญาณ Vertical Sync เทียบกับสัญญาณเอาท์พุทของ AND Gate ที่นำไปหยุด Clock 27
รูปที่ 6.4 แสดงสัญญาณอินพุท 28
รูปที่ 6.5 แสดงสัญญาณ R/W เทียบกับ Vertical Sync 28
รูปที่ 6.6 แสดงสัญญาณที่ขา 29 (R/W) ของหน่วยความจำสองชุดที่ต่างกัน 29
รูปที่ 6.7 แสดงสัญญาณ R/W เทียบกับ Chip Select ของหน่วยความจำตัวที่ 1 29
รูปที่ 6.8 แสดงสัญญาณ Chip Select ของหน่วยความจำตัวที่ 1 ตัวที่กับ 2 30
รูปที่ 6.9 แสดงสัญญาณ Chip Select ของหน่วยความจำตัวที่ 1 ตัวที่กับ 3 30
รูปที่ 6.10 แสดงสัญญาณตรวจสอบทุกๆ 4 Vertical Sync กับสัญญาณ Chip Select ของหน่วความจำตัวที่ 1 31
รูปที่ 6.11 แสดงสัญญาณ Vertical Sync และสัญญาณ Pulse ที่ถูกสร้างขึ้นโดยไมโครโพรเซสเซอร์ตัวแม่ และเป็นสัญญาณ Interrupt ของตัวลูก 31
รูปที่ 6.12 แสดงผลที่ได้มุมซ้ายบนของเมตริกซ์ 32

ภาคผนวก

รูป ก. แสดงโครงสร้างโดยรวมของโครงงานทั้งหมด ก
รูป ข. แสดงวงจรหน่วยความจำที่ใช้เก็บข้อมูลทั้งหมด ข
รูป ค. แสดงส่วนควบคุมและกำหนดตำแหน่งอ้างอิง ค
รูป ง. แสดง Flow Chart ของไมโครโปรเซสเซอร์ตัวแม่ ง
รูป จ. แสดง Flow Chart ของไมโครโปรเซสเซอร์ตัวลูก จ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 1
บทนำ

สัญญาณต่างๆที่เราพบเห็นและคุ้นเคยในชีวิตประจำวันล้วนแล้วแต่อยู่ในรูปของสัญญาณอนาลอก (Analog Signal) ซึ่งแต่เดิมการเอาสัญญาณดังกล่าวมาประมวลผล (Process) เพื่อให้มีรูปแบบที่เหมาะสมจะกระทำในรูปแบบอนาลอก แต่เมื่อเทคนิคและอุปกรณ์การประมวลผลสัญญาณดิจิตอลได้มีการพัฒนาขึ้นมาและพบว่า การประมวลผล เก็บ สื่อสาร และการนำเสนอในรูปแบบดิจิตอลกระทำได้ง่ายและมีประสิทธิภาพกว่า ดังนั้นการเปลี่ยนแปลงสัญญาณอนาลอกให้เป็นข้อมูลทางดิจิตอลจึงได้มีความจำเป็นขึ้นมา

ในปัจจุบัน เครื่องรับโทรทัศน์ได้เข้ามามีบทบาทในการดำรงชีวิตประจำวันเป็นอย่างมาก ทั้งให้ความบันเทิง ข่าวสาร ข้อมูลต่างๆ และเป็นสื่อที่มีความได้เปรียบกว่าสื่ออื่นๆมาก เนื่องจากสามารถแสดงภาพที่เหมือนจริงและมีการเคลื่อนไหวได้ เป็นการน่าสนใจอย่างมากที่จะนำสื่อชนิดนี้มาศึกษา ในการประมวลผล จัดเก็บข้อมูล และสื่อสาร เพื่อเพิ่มทักษะ และพื้นฐานความรู้ความเข้าใจ ในการที่จะนำไปประยุกต์ใช้งานต่อๆไป

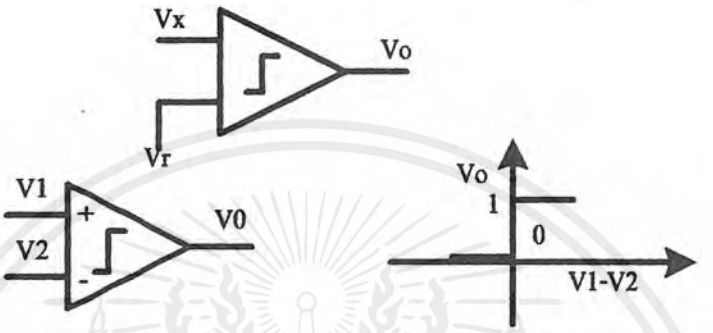
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 2

หลักการทำงานของ ADC และ DAC

วงจรแปลงสัญญาณอนาลอกเป็นดิจิตอล (ADC)

หลักการทำงานพื้นฐานอย่างง่ายๆของการทำงานของวงจรแบบนี้ แสดงได้ดังรูป



รูปที่ 2.1 แสดงวิธีการพื้นฐานของ A/D

แรงดันอินพุทที่ไม่ทราบค่า Vx จะต่อเข้ากับขาอินพุทขาหนึ่งของอนาลอกคอมพาราเตอร์ และแรงดันอ้างอิงที่ขนาดแปรตามเวลา Vr ต่อเข้ากับอินพุทอีกขาหนึ่งของคอมพาราเตอร์ ซึ่งจะทำงานโดย ถ้าแรงดันอินพุท V1 มากกว่าอินพุท V2 แล้วแรงดันเอาท์พุทจะเป็นลอจิก 1 ถ้าอินพุท V1 น้อยกว่า V2 แล้วเอาท์พุทจะเป็นศูนย์ วิธีในการแปลงข้อมูลคือ แรงดันอ้างอิงจะถูกแปรค่าจนกระทั่งรู้ค่าแรงดันอินพุทที่ผิดพลาดไม่เกิน Quantization error ของคอนเวอร์เตอร์

1. แบบใช้วงจรเปรียบเทียบขนานหรือ " แฟลช "

(Parallel Comparator Simultaneous " Flash " A/D Converter)

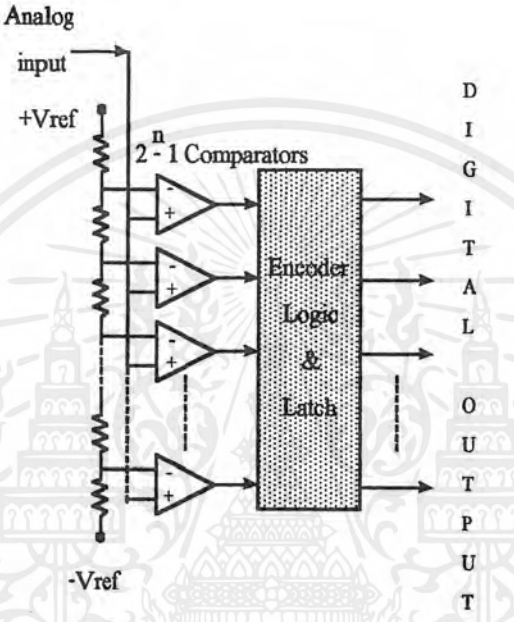
วงจร A/D แบบนี้ใช้หลักการง่ายๆ อีกทั้งยังเป็นวิธีที่รวดเร็วที่สุด คือใช้วงจรเปรียบเทียบที่ต่อขนานกัน ดังรูป ซึ่งประกอบด้วยออปแอมป์ที่ต่อเป็นวงจรเปรียบเทียบ และตัวต้านทานที่ต่อไว้เพื่อแบ่งแรงดันที่ขาอินพุทแบบกลับ (Inverting) ให้มีขนาดต่างๆกัน จากหลักการของวงจรเปรียบเทียบทั่วไป เมื่อแรงดันที่ขาอินพุทแบบไม่กลับ (Non-inverting) มีค่าสูงกว่าที่ขาอินพุทแบบกลับ เอาท์พุทจะได้แรงดันค่าสูง

เมื่อต้องการวงจรที่มีความละเอียดสูงขึ้น จำเป็นต้องใช้วงจรเปรียบเทียบเพิ่มขึ้น เช่น ถ้าต้องการความละเอียด 3 บิต ต้องใช้วงจรเปรียบเทียบ 7 ตัว และถ้าต้องการความละเอียด 4 บิต ก็ต้องใช้วงจรเปรียบเทียบ 15 ตัว (16 ระดับ) โดยหาจำนวนวงจรเปรียบเทียบได้จาก $2^N - 1$ เมื่อ N แทนจำนวนบิตหรือความละเอียดที่ต้องการ จะเห็นได้ว่าที่ความละเอียด 8 บิต ต้องใช้วงจรเปรียบ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เทียบมากถึง 255 ตัว ซึ่งเป็นข้อเสียของวงจร A/D แบบนี้ และข้อเสียอีกประการหนึ่งคือ เอาท์พุทที่ไม่ได้เป็นเลขฐานสองต้องมีวงจรเพิ่มเติมไปทำการเข้ารหัส

ส่วนข้อดีของวงจร A/D ขนานนี้คือมีความเร็วในการทำงานสูงมาก บางครั้งจึงเรียกวงจร A/D แบบนี้ว่า " แฟลช " (Flash Type A/D Converter) โดยใช้เวลาในการแปลงได้ถึงระดับนาโนวินาทีเลยทีเดียว



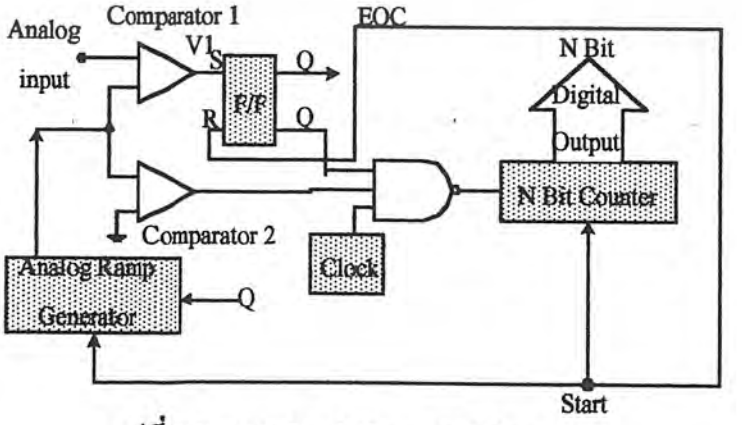
รูปที่ 2.2 วงจรของแฟลช A/D Converter

2. วงจร A/D ที่ใช้การอินทิเกรต

วงจร A/D ที่ใช้หลักการนี้มีอยู่ด้วยกัน 4 แบบ คือ

2.1 แบบสโลปเดี่ยวหรือแบบแรมป์ (Single Ramp หรือ Single Slope A/D Converter)

วงจร A/D แบบนี้แสดงไว้ดังรูปด้านล่าง ซึ่งประกอบด้วยวงจรกำเนิดสัญญาณแรมป์ วงจรเปรียบเทียบ วงจรนับ BCD หรือ วงจรนับเลขฐานสอง

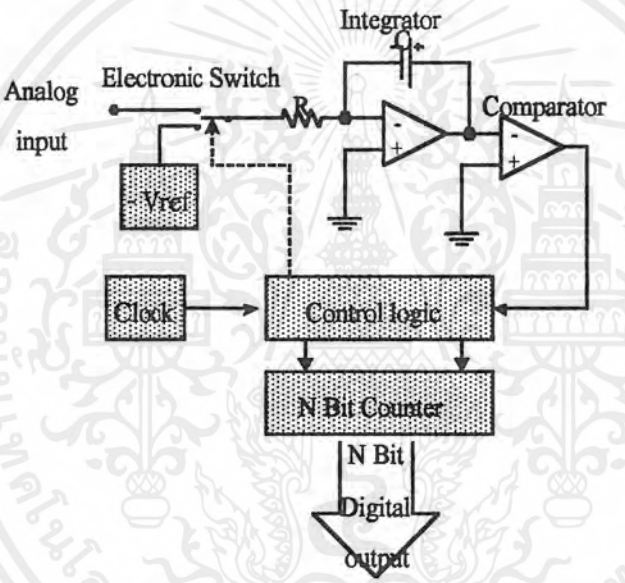


รูปที่ 2.3 วงจร Single Slope A/D Converter

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เมื่อเริ่มทำการเปลี่ยนสัญญาณ สัญญาณแรมป์และวงจรนับจะถูกรีเซตให้เป็น 0 แรงดันอนาลอกจะถูกป้อนไปยังวงจรเปรียบเทียบทางขาอินพุทแบบไม่กลับ (Non-inverting) เมื่อแรงดันอินพุทที่ขานี้เป็นบวกมากกว่าขาอินพุทแบบกลับ (Inverting) วงจรเปรียบเทียบจะให้เอาท์พุทเป็น " High " ทำให้แอนด์เกทปล่อยสัญญาณนาฬิกาไปยังวงจรนับได้ และทำให้เริ่มเกิดสัญญาณแรมป์ สัญญาณแรมป์จะมีแรงดันเป็นบวกมากขึ้นเรื่อยๆ จนมากกว่าระดับแรงดันอินพุท เอาท์พุทของวงจรนับก็จะกลายเป็น " Low " ทำให้แอนด์เกทถูกปิด จึงไม่มีสัญญาณผ่านไปให้วงจรนับ วงจรนับจะหยุดนับและเก็บค่าไว้ที่วงจรแลช จากนั้นจึงทำการรีเซตวงจรนับและวงจรกำเนิดสัญญาณแรมป์

2.2 แบบสโลปคู่ (Dual Slope A/D Converter)



รูปที่ 2.4 วงจร Dual Slope A/D Converter

วงจรส่วนใหญ่จะคล้ายกับแบบสโลปเดี่ยวแต่มีสวิตซ์ที่อินพุทเพิ่มขึ้นเพื่อทำการเลือกระหว่างแรงดันอินพุทกับแรงดันอ้างอิง ข้อดีที่เหนือกว่าแบบสโลปเดี่ยวคือ ค่าที่ได้ไม่ขึ้นกับความถี่ของรอบการทำงาน มีความถูกต้องสูง ราคาถูก และมีเสถียรภาพทางด้านอุณหภูมิดี แต่มีข้อเสียคือความเร็วในการทำงานต่ำ

2.3 แบบชาร์จบาลานซ์ (Charge Balance A/D Converter)

วงจร A/D แบบนี้ใช้วงจรคล้ายกับแบบสโลปคู่ แต่แทนที่จะให้อินพุทสวิตซ์ไปมาระหว่างแรงดันที่ไม่รู้ค่ากับแรงดันอ้างอิง ก็ทำการแทรกพัลส์ของกระแสอ้างอิงมาตรงๆที่จุดรวมของวงจรอินทิเกรเตอร์ในช่วงเวลาที่คงที่ โดยที่จำนวนของพัลส์จะเป็นสัดส่วนโดยตรงกับแรงดันอินพุทที่ไม่รู้ค่า ประโยชน์ของเทคนิคนี้ก็คือ แรงดันตกคร่อมตัวเก็บประจุของวงจรอินทิเกรเตอร์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จะมีค่าใกล้เคียงศูนย์โวลท์ ดังนั้นจึงไม่เกิดความผิดพลาดจากผลของกระแสรั่วไหล A/D แบบนี้จึงมีความถูกต้องสูงกว่าแบบสไลปคู่

2.4 แบบเดลต้า (Delta-Sigma)

วงจรแบบนี้แสดงได้ดังรูปที่2.4 เมื่อมีแรงดันอินพุทป้อนเข้าไปที่วงจรอินทิเกรเตอร์ เอาท์พุทที่ได้จะไปเข้าวงจรเปรียบเทียบเพื่อทำการเปรียบเทียบกับแรงดันคงที่ (จากรูป คือ กราวด์) พัลส์ของกระแสที่ได้ขึ้นอยู่กับเอาท์พุทของวงจรเปรียบเทียบ โดยสวิตซ์ที่ทำขึ้นจากเฟตจะควบคุมให้กระแสเข้าไปยังที่จุดรวมหรือลงกราวด์ไป ส่วนวงจรนับจะนับจำนวนพัลส์ด้วยหลักการที่คล้ายกัน

3. วงจร A/D ที่ใช้วงจรนับและวงจร D/A ประกอบกัน

3.1 แบบวงจรนับเดี่ยว (Single Counter)

แท้ที่จริงแล้วสัญญาณแรมป์เชิงเส้นอาจประกอบขึ้นด้วยสัญญาณขั้นบันไดเล็กๆจำนวนมากที่เกิดจากการต่อเอาท์พุทของวงจรนับเข้ากับวงจรแปลง D/A โดยขนาดของขั้นบันไดแต่ละขั้นขึ้นอยู่กับจำนวนบิตหรือความละเอียดของวงจร D/A นั้นๆ

3.2 แบบแทรคกิ้ง (Tracking A/D Converter)

การทำงานจะคล้ายกับแบบใช้วงจรนับเดี่ยว แต่การนับจะไม่ได้เริ่มจากศูนย์แต่จะทำการนับขึ้นหรือนับลงจากค่าล่าสุด ไปยังค่าใหม่แล้วแต่ว่าแรงดันอินพุทในรอบใหม่มีค่าสูงกว่าหรือต่ำกว่าค่าที่แล้ว ข้อดีของ A/D แบบนี้คือ ทำงานได้เร็วขึ้น

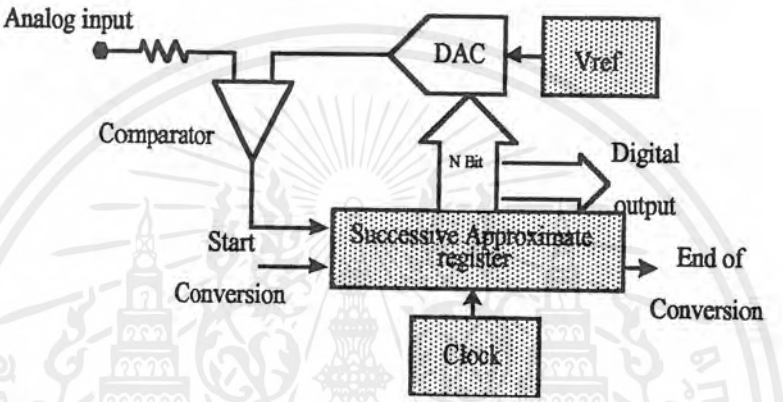
4. วงจร A/D ที่ใช้การประมาณค่า (Successive Approximation A/D Converter)

วงจร A/D แบบนี้มีข้อดีคือได้เปรียบทางด้านความละเอียด เพราะความละเอียด N บิต สามารถกำหนดได้จากค่าสัญญาณนาฬิกา N ลูก เช่น ถ้าเราต้องการความละเอียด 8 บิต จะต้องการพัลส์ของสัญญาณนาฬิกา 8 ลูก ในขณะที่ใช้แบบวงจรนับต้องใช้ถึง 256 ลูก วงจร Successive Approximation นี้แสดงได้ดังรูป ซึ่งหัวใจของวงจรก็คือ Successive Approximation Register (SAR) เช่น เบอร์ MC 14549 ที่มีการทำงานดังต่อไปนี้

เมื่อเริ่มทำการเปลี่ยนสัญญาณ พัลส์ลูกแรกจะทำการส่งบิตที่มีนัยสำคัญสูงสุดไปยัง D/A เบอร์ MC1408 โดย SAR จะรอสัญญาณจากวงจรเปรียบเทียบ LM 319 ซึ่งทำการตรวจสอบว่าเอาท์พุทของวงจร D/A มากกว่าหรือน้อยกว่าแรงดันอินพุท Vin ถ้าเอาท์พุทของวงจรเปรียบเทียบมีระดับ " high " เอาท์พุทของ D/A จึงต่ำกว่า Vin ของ SAR ก็จะทำการเก็บบิตที่มีนัยสำคัญสูงสุดไว้ ถ้าเอาท์พุทของวงจรเปรียบเทียบเป็นระดับ " low " เอาท์พุทของวงจรเปรียบเทียบจึงมากกว่า Vin ของ SAR ก็จะทำการรีเซตบิตที่มีนัยสูงสุดนั้น

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

พัลส์ถูกต่อมาก็ทำเช่นเดียวกัน โดยบิตที่ได้คือบิตที่มีนัยสำคัญรองลงมา SAR ทำงานแบบนี้ไปจนถึงบิตที่มีนัยสำคัญต่ำสุด แต่ละบิตใช้สัญญาณนาฬิกาถูกเดียวจนครบทุกบิต จากนั้น SAR ก็จะทำการส่งสัญญาณ EOC (End of Conversion) ออกไป สัญญาณ EOC เป็นตัวบอกว่าสายสัญญาณเอาท์พุทที่ขนานกันมาทุกเส้นมีข้อมูลดิจิตอลของสัญญาณอินพุทครบถ้วนแล้ว ถ้าสัญญาณ EOC ถูกต่อไปยังอินพุทที่เป็นจุดเริ่มการเปลี่ยนสัญญาณ การเปลี่ยนสัญญาณก็จะเกิดขึ้นอย่างต่อเนื่อง วงจร A/D ชนิดนี้นิยมนำมาใช้งานกันอย่างแพร่หลายเนื่องจากทำงานได้เร็วและมีความ



ละเอียดสูง

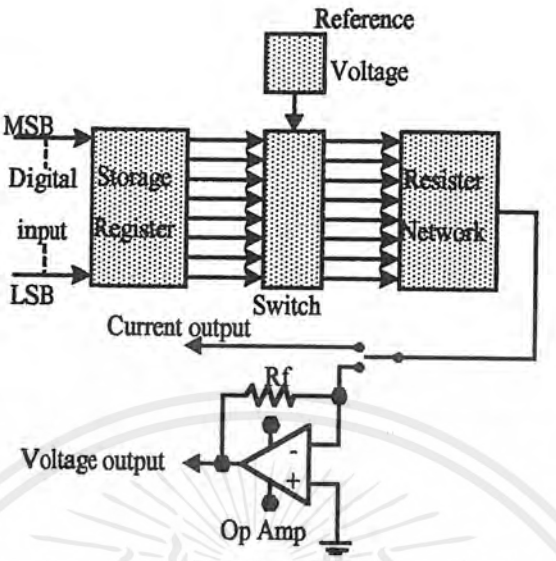
รูปที่ 2.5 วงจร A/D แบบ Successive Approximation

วงจรแปลงสัญญาณดิจิตอลเป็นอนาลอก (DAC)

เป็นวงจรที่แปลงสัญญาณที่ไม่ต่อเนื่อง (Digital) เป็นสัญญาณที่ต่อเนื่อง (Analog) และที่สำคัญ DAC ยังเป็นส่วนประกอบสำคัญใน ADC ที่ใช้กันอยู่ในปัจจุบัน ดังรูปที่1.6 แสดง Block Diagram ของ DAC แบบเบื้องต้น

หัวใจสำคัญของ DAC คือ อาเรย์สวิตช์ที่ควบคุมด้วยลอจิกที่มีจำนวน n ชุด เท่ากับจำนวนไบนารีบิต สวิตช์เหล่านี้จะตัดต่อแรงดันอ้างอิงขนาดหนึ่งเข้ากับวงจรอาเรย์รีซีสเตอร์ค่าต่างๆที่ weight ตามรหัสไบนารีเอาท์พุท และบัฟเฟอร์แอมปลิไฟเออร์จะทำหน้าที่เปลี่ยนกระแสที่ถูก weight โดยวงจรรีซีสเตอร์ให้เป็นแรงดันอนาลอกที่สัมพันธ์ต่อกัน ใน DAC บางวงจรมี digital resistor อยู่ในตัวเพื่อ latch รหัสอินพุทไว้ในขณะที่ DAC กำลังเปลี่ยนสัญญาณเป็นอนาลอก

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

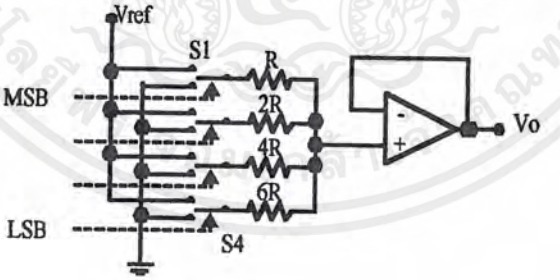


รูปที่ 2.6 แสดง Block Diagram ของ DAC

วงจร DAC มีอยู่หลายแบบด้วยกัน เช่น

1. วงจร DAC แบบ Binary weight ladder

การจัดวงจร Binary weight ladder มีลักษณะตามรูปด้านล่าง สวิตช์ S1 - S4 จะถูกควบคุม เปิด/ปิด ด้วยรหัสดิจิตอลเพื่อ ตัด/ต่อ แรงดันอ้างอิงเข้ากับวงจรรีซิสเตอร์ที่มีค่า R,2R,4R, ...,(2)R ตัวอย่างในกรณี DAC แบบ 4 บิตใช้รีซีสเตอร์เป็น 10k,20k,40k และ 80k ดังรูป



รูปที่ 2.7 วงจร D/A แบบ Binary Weight Ladder

ค่ารีซีสเตอร์ที่ weight ค่าตามรหัสดิจิตอลที่เพิ่มขึ้นจะทำให้กระแสผ่านรีซีสเตอร์เข้าไปรวมกันก่อนเข้าออปแอมป์ลดลงด้วยแฟคเตอร์ 2 ตามค่า R ที่เพิ่มขึ้น ออปแอมป์ที่เอาท์พุทจะทำหน้าที่เปลี่ยนกระแสรวมให้เป็นแรงดันเอาท์พุท

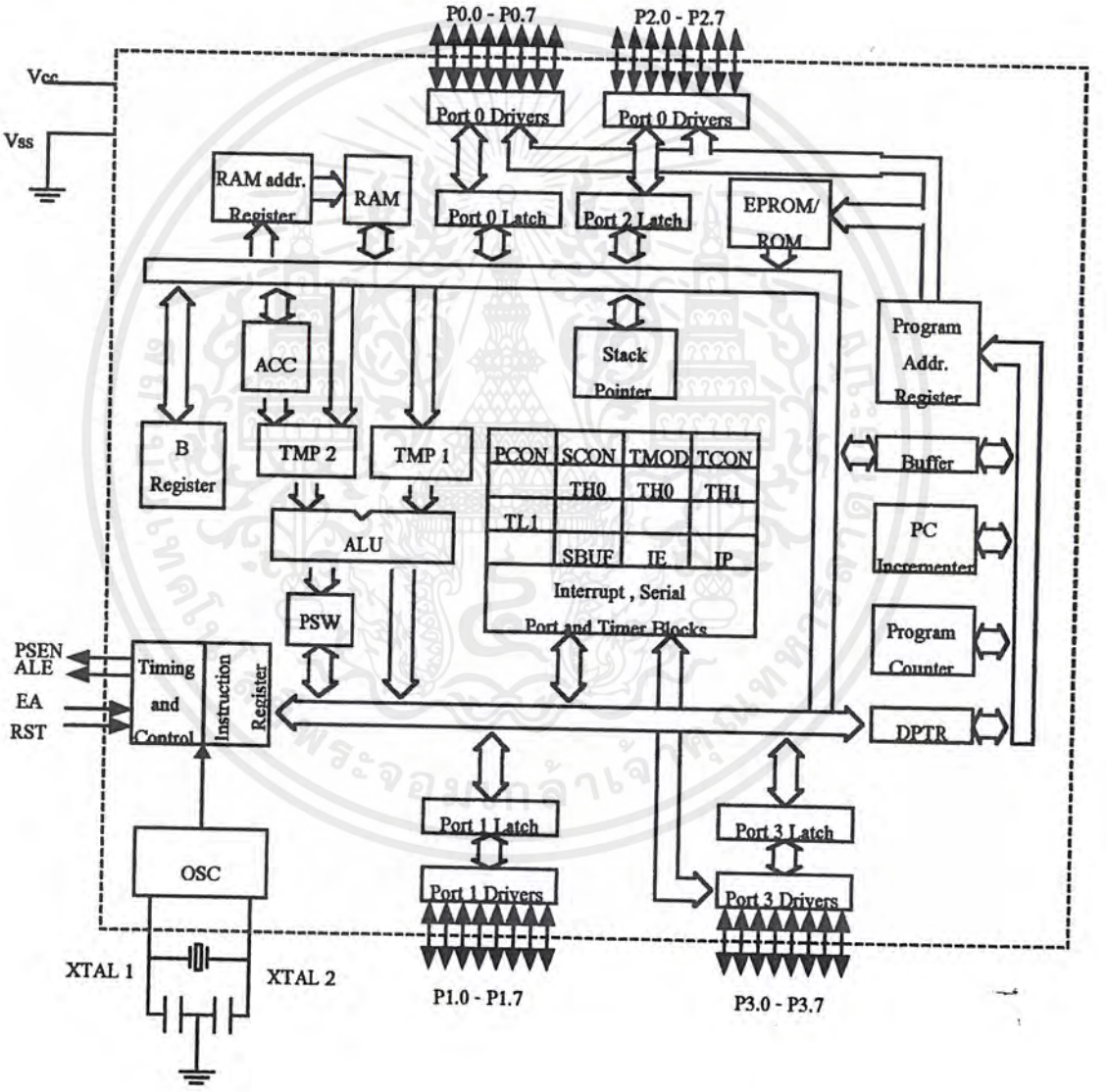
$$Vo = (Vref / 2)(8S1+4S3+2S2+S1) \qquad S\ Close = 1\ ,\ S\ Open = 0$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 3
ไมโครคอนโทรลเลอร์ MCS-51

1. โครงสร้างภายในของ MCS-51

ภายใน MCS-51 ประกอบด้วยเกทต่างๆ ซึ่งจะถูกนำมาออกแบบให้มีหน้าที่ในการทำงานต่างๆ เช่น วงจรถอดรหัสคำสั่ง วงจรสร้างสัญญาณนาฬิกา ซึ่งโครงสร้างภายในของตัว MCS-51 จะประกอบด้วยส่วนย่อยๆ ดังรูป



รูปที่ 3.1 แสดงโครงสร้างภายในของ MCS-51

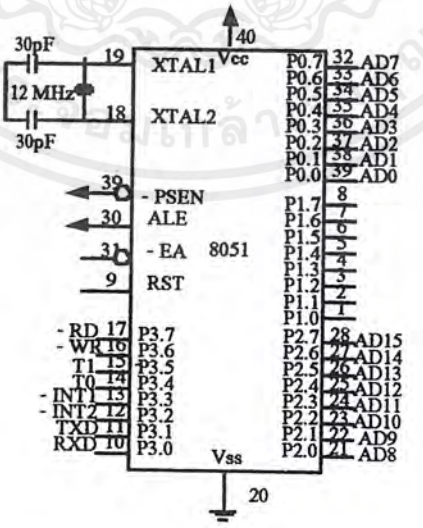
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2. คุณสมบัติที่สำคัญของ MCS-51

ไมโครคอนโทรลเลอร์ตระกูล MCS-51 มีด้วยกันหลายเบอร์ขึ้นกับโครงสร้างภายในของมัน บางเบอร์จะมีหน่วยความจำภายในเป็นแบบ ROM บางเบอร์เป็นแบบ EPROM บางเบอร์มี RAM ภายใน 128 ไบต์ บางเบอร์มี 256 ไบต์ เป็นต้น ซึ่งรายละเอียดจะศึกษาได้จากคู่มือของมันโดยตรง และลักษณะของขาต่างๆจะเหมือนกัน คุณสมบัติที่สำคัญมีดังนี้

- มีหน่วยความจำ ROM 4 กิโลไบต์
- มีหน่วยความจำ RAM 128 ไบต์
- มีพอร์ท I/O ขนาด 8 บิต 4 พอร์ท
- มีไทม์เมอร์ 16 บิต 2 ตัว
- สามารถอินเทอร์รัพท์ได้ 5 แหล่ง
- มีวงจรออสซิลเลเตอร์และวงจรนาฬิกาบนชิพ
- มีพอร์ทอนุกรมที่สามารถรับส่งข้อมูลแบบ Full Duplex ความเร็วสูง
- อ้างหน่วยความจำโปรแกรมภายนอกได้ 64K
- อ้างหน่วยความจำข้อมูลภายนอกได้ 64K
- สามารถประมวลผลทีละบิตได้
- สามารถอ้างหน่วยความจำแบบบิตได้ 210 ตำแหน่ง
- หนึ่งวัฏจักรคำสั่งกินเวลาประมาณ 1 ไมโครวินาที ขณะทำงานด้วย Clock 12 MHz

3. การจัดขาต่างๆของ MCS-51



รูปที่ 3.2 แสดงขาต่างๆของ 8051

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ไมโครคอนโทรลเลอร์ 8051 โครงสร้าง IC เป็นแบบ DIP มีขาทั้งหมด 40 ขา โดยขาต่างๆ จะใช้เป็นขาพอร์ทอินพุท เอาท์พุท ขาสัญญาณควบคุม ขาตำแหน่งหน่วยความจำ และขาข้อมูล ดังรูปที่ 3.2

ความหมายของขาต่างๆ มีดังนี้

1. พอร์ท 0

ได้แก่ ขาที่ 32-39 ของ MCS-51 สามารถใช้เป็นอินพุท เอาท์พุทได้นอกจากนี้ในการติดต่อกับหน่วยความจำภายนอกยังใช้เป็นขาแอดเดรสบัสและดาต้าบัสอีกด้วย

2. พอร์ท 1

ได้แก่ ขาที่ 1-8 เป็นพอร์ท 8 บิต สามารถอ้างทีละบิตได้ คือ P1.0 , P1.1,...

3. พอร์ท 2

ได้แก่ ขาที่ 21-28 จะใช้งาน 2 หน้าที่ คือใช้เป็นพอร์ท 8 บิตกับใช้เป็นขาแอดเดรส 8 บิต ในการอ้างหน่วยความจำภายนอก

4. พอร์ท 3

ได้แก่ ขาที่ 10-17 ใช้งาน 2 หน้าที่คือ เป็นพอร์ทอินพุท และเอาท์พุท และใช้เป็นขาควบคุมต่างๆ ดังตาราง

บิต	ชื่อ	หน้าที่พิเศษ
P3.0	RXD	ใช้รับข้อมูลทางพอร์ทอนุกรม
P3.1	TXD	ใช้ส่งข้อมูลทางพอร์ทอนุกรม
P3.2	INT0	อินเทอร์รัพท์ภายนอกหมายเลข 0
P3.3	INT1	อินเทอร์รัพท์ภายนอกหมายเลข 1
P3.4	T0	ตัวจับเวลา / ตัวนับ ตัวที่ 0
P3.5	T1	ตัวจับเวลา / ตัวนับ ตัวที่ 1
P3.6	WR	สัญญาณเขียนข้อมูลหน่วยความจำภายนอก
P3.7	RD	สัญญาณอ่านข้อมูลหน่วยความจำภายนอก

5. PSEN (Program Store Enable)

ขา PSEN เป็นขาที่ส่งสัญญาณออกคือขา 29 ขานี้จะแอคทีฟเมื่อ MCS-51 ต้องการอ่าน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

โค้ดโปรแกรมภายนอก โดยปกติถ้าหน่วยความจำภายนอกเป็น EPROM ขา PSEN จะต่อกับขาเอาท์พุท Enable (OE) ของ EPROM

6. ALE (Address Latch Enable)

เนื่องจากพอร์ท 0 สามารถใช้เป็นขาอ้างตำแหน่ง และขาข้อมูล MCS-51 จะมีขา ALE ได้แก่ขา 30 ขานี้จะใช้ Multiplex สัญญาณ Adress Bus ของพอร์ท 0 ในการใช้งานระบบ MCS-51 นั้น จะต้องมีอุปกรณ์มาต่อกับพอร์ท 0 ที่ทำหน้าที่ Latch สัญญาณ Address Bus เมื่อ MCS-51 ต้องการติดต่อหน่วยความจำภายนอก MCS-51 จะส่งสัญญาณ Address Bus ออกมาก่อนทางพอร์ท 0 จากนั้นจะส่งสัญญาณ ALE มา Latch อุปกรณ์ภายนอก ให้เก็บค่า Address Bus ของพอร์ท 0 ไว้ เพื่อใช้พอร์ท 0 เป็น Data Bus ต่อไป

7. EA (External Access)

ขา EA ได้แก่ขาที่ 31 ถ้าขานี้เป็นลอจิก 1 จะใช้กับเบอร์ 8051/8052 เพื่อบอกว่าให้อ่านโปรแกรมจากหน่วยความจำโปรแกรมภายใน แต่ถ้าเป็นลอจิก 0 จะบอกว่าให้ MCS-51 ทำโปรแกรมโดยอ่านจากหน่วยความจำโปรแกรมภายนอก (ถ้าขา EA เป็น 0 ขา PSEN จะแอคทีฟ) ถ้าหากเป็นเบอร์ 8031 หรือ 8032 ขา EA จะเป็น 0 เสมอ เพราะว่าไม่มีโปรแกรมหน่วยความจำภายใน แต่ถ้าใช้เบอร์ 8051/8052 ซึ่งมีหน่วยความจำโปรแกรมในและให้ขา EA เป็น 0 ซึ่งจะ Disable ROM ภายในและจะอ่านโปรแกรมจาก EPROM ภายนอกแทน

8. RST (Reset)

ขา RST ได้แก่ขา 9 จะใช้ในการรีเซต MCS-51 โดยจะให้ขานี้เป็นลอจิก 1 อย่างน้อย 2 แมชชีนไซเคิล จึงจะรีเซตระบบได้

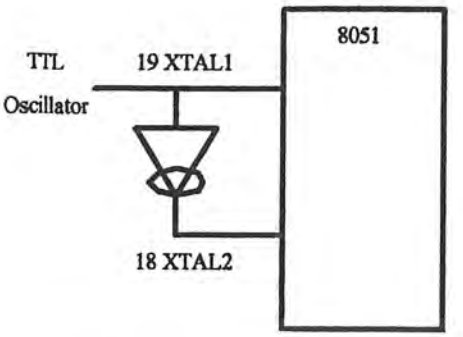
9. ความถี่สัญญาณนาฬิกาบนชิพ (On-chip Oscillator Inputs)

เป็นวงจรออสซิลเลเตอร์บนชิพ ได้แก่ ขา 18-19 โดยต่อคริสตัลเข้ากับขานี้ โดยปกติมักจะใช้คริสตัลความถี่ 12 Mhz กับตัวเก็บประจุหรืออาจใช้สัญญาณนาฬิกาจาก TTL Clock Source ต่อกับ XTAL1 และ XTAL2 ดังรูปที่ 3.3

10. Power Connections

ใน MCS-51 จะใช้แหล่งจ่ายไฟ 5 V ต่อเข้ากับขา Vcc (ขา 40) ส่วนขาVss (ขา 20) จะต่อลงกราวด์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.3 ขาของ MCS-51 ที่ใช้ต่อกับ XTAL

4. 8051 ประกอบด้วย 3 ส่วนหลัก คือ

4.1 ตัวประมวลผล (CPU - Central Processing Unit)

วงจรส่วนนี้ทำหน้าที่สร้างสัญญาณควบคุมในการติดต่อกับส่วนอื่นๆ เรียกว่า วงจรควบคุม (Control Unit) สัญญาณที่สร้างจากวงจรควบคุม ได้แก่ สัญญาณสำหรับการติดต่อกับหน่วยความจำ อุปกรณ์รับข้อมูลเข้าหรือส่งข้อมูลออกจากตัว 8051 ซึ่งส่วนควบคุมการขัดจังหวะ (Interrupt Control) และส่วนควบคุมบัส (Bus Control) ก็เป็นส่วนหนึ่งของวงจรควบคุมด้วย การสร้างสัญญาณควบคุมจากส่วนซีพียูนี้ จะทำการสร้างสัญญาณโดยการถอดรหัสจากคำสั่งตามที่มีการกำหนดไว้ และสัญญาณที่สร้างขึ้นมาจะนำมาอ้างอิงกับกับสัญญาณนาฬิกาที่สร้างจากวงจรออสซิลเลเตอร์ เพื่อให้ทุกๆส่วนในวงจรทำงานประสานกันอย่างถูกต้อง

4.2 หน่วยความจำ (Memory)

ในระบบของไมโครคอนโทรลเลอร์ 8051 จำเป็นต้องมีหน่วยความจำซึ่งประกอบด้วย

1. หน่วยความจำโปรแกรม

หน่วยความจำโปรแกรมของ 8051 เป็นบริเวณหน่วยความจำสำหรับเก็บข้อมูลและคำสั่งใช้งานต่างๆ ซึ่งแม้ว่าจะไม่มีการจ่ายกระแสไฟฟ้าให้กับระบบ ข้อมูลเหล่านี้ก็ยังคงไม่สูญหาย

2. หน่วยความจำข้อมูล

หน่วยความจำข้อมูลมีหน้าที่สำหรับเก็บข้อมูล หรือตัวแปรที่เกิดขึ้นในขณะที่กำลังประมวลผลโปรแกรมไว้ชั่วคราว โดยพื้นฐานแล้วหน่วยความจำข้อมูลจัดเป็นหน่วยความจำ RAM แบบสแตติก ดังนั้นเมื่อไม่มีการจ่ายไฟให้กับระบบก็จะมีผลทำให้ข้อมูลที่จัดเก็บไว้ภายในหน่วยความจำนี้สูญหายไป

4.3 พอร์ทอินพุท / เอาท์พุทของ 8051

เป็นส่วนที่ใช้ส่งข้อมูลเข้าหรือออกจาก 8051 ทำให้ 8051 ติดต่อกับอุปกรณ์ภายนอกได้ ซึ่งได้แก่

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4.3.1 อินพุท / เอาท์พุทพอร์ท

ทำหน้าที่เป็นส่วนที่รับ-ส่งข้อมูล ซึ่งเป็นสัญญาณดิจิตอลเข้าหรือออกจากตัว MCS-51 โดยมีทั้งหมด 4 พอร์ท แต่ละพอร์ทจะรับ-ส่งข้อมูลได้ 8 บิท มี P0 , P1 , P2 และ P3 บางพอร์ทจะทำงานมากกว่า 1 อย่างได้ แต่จะใช้วิธีการทำงานตามลำดับโดยการควบคุมจากสัญญาณควบคุมที่ถอดรหัสมาจากแต่ละคำสั่งที่ให้คอมพิวเตอร์ทำงานและสัญญาณทั้งหมดจะอ้างอิงกับสัญญาณนาฬิกา

4.3.2 ไทม์เมอร์ 0 และไทม์เมอร์ 1

เป็นวงจรนับที่สามารถกำหนดให้ทำการนับจำนวนไซเคิลของสัญญาณที่ต่อจากภายนอก 8051 หรือจำนวนไซเคิลของสัญญาณนาฬิกาภายใน 8051 ก็ได้ค่าจากการนับ ซึ่งจะถูกอ่านหรือตั้งค่าเริ่มต้นของการนับได้โดยซีพียู

4.3.3 พอร์ทอนุกรม (Serial Port)

ซีพียู จะอ่านและเขียนข้อมูลกับพอร์ทอนุกรมเป็นแบบ 8 บิท แต่ข้อมูลจะถูกส่งออกจาก 8051 เรียงไปทีละบิทออกจากขา TXD และการรับข้อมูลเข้า ก็จะรับเข้ามาทีละบิททางขา RXD แล้วจัดเรียงใหม่เป็น 8 บิท เพื่อให้ซีพียูอ่านไปใช้งานต่อไป

8051 มีพอร์ทให้ใช้งานได้งานได้หลายแบบทำให้สะดวกต่อการนำไปใช้งาน โดยจะต้องเขียนโปรแกรมมาควบคุม

5. ระบบอินเทอร์รัพท์ของ 8051

การติดต่อระหว่างไมโครคอนโทรลเลอร์กับอุปกรณ์ภายนอกมักจะทำโดยการตรวจสอบสภาวะของสัญญาณติดต่อระหว่างกัน การอินเทอร์รัพท์เป็นวิธีการหนึ่งที่นิยมนำมาใช้กับไมโครคอนโทรลเลอร์เพื่อสามารถจัดการตอบรับหรือบริการกับอุปกรณ์ต่างๆให้เป็นไปได้อย่างรวดเร็ว

ไมโครคอนโทรลเลอร์ 8051 สามารถเกิดการอินเทอร์รัพท์ โดยการจำแนกตามแหล่งที่มาของสัญญาณ (Signal Source) ของสัญญาณอินเทอร์รัพท์นั้นๆ ได้แก่

5.1 สัญญาณอินเทอร์รัพท์ภายนอก (External Interrupt)

การตรวจสอบสัญญาณที่เข้ามาอินเทอร์รัพท์นี้ จะสามารถกำหนดให้มีการตรวจสอบในลักษณะเมื่อได้มีการเปลี่ยนแปลงสัญญาณไปแล้ว หรือในช่วงเวลาขณะเริ่มมีการเปลี่ยนแปลงสัญญาณจากลอจิกสูงไปต่ำ

5.2 สัญญาณอินเทอร์รัพท์ภายใน (Internal Interrupt)

แหล่งกำเนิดสัญญาณนี้จะเป็นวงจรภายในของไมโครคอนโทรลเลอร์เอง เช่น วงจรนับ / วงจรจับเวลา วงจรเชื่อมต่อสัญญาณอนุกรม เป็นต้น

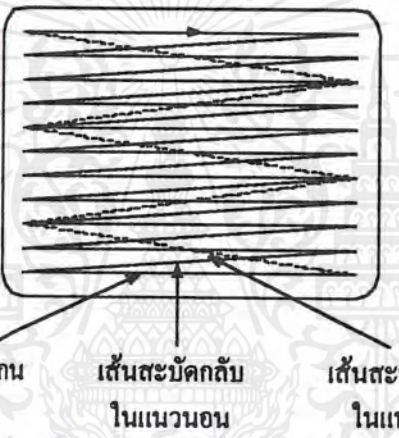
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 4
ทฤษฎีโดยย่อเกี่ยวกับโทรทัศน์

1. สัญญาณภาพ

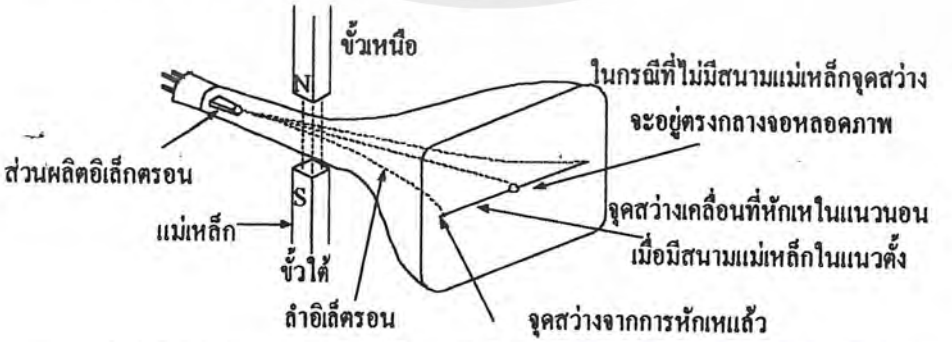
1.1 วิธีการสะแกนและการหักเหของลำอิเล็กตรอน

ภายในหลอดภาพของเครื่องรับโทรทัศน์ อิเล็กตรอนที่หลุดออกมาจากแคโทด และถูกดึงดูดให้วิ่งเป็นลำไปกระทบแอโนด หรือจอหลอดภาพ ซึ่งฉาบวัสดุเรืองแสงบางชนิดเอาไว้ จะทำให้มองเห็นเป็นจุดสว่างขึ้นที่จอการสะแกน ก็คือการทำให้จุดสว่างนี้เคลื่อนที่ไปในจังหวะที่ถูกต้องทั้งในแนวนอนและแนวตั้งของจอหลอดภาพ โดยอาศัยความเข้มของสนามแม่เหล็กเข้าช่วยเหลือตามที่แสดงไว้ในรูปที่ 4.1 และ 4.2



รูปที่ 4.1 การเคลื่อนที่หักเหของลำอิเล็กตรอนในจังหวะที่ถูกต้อง ทั้งในแนวนอน และแนวตั้งของจอหลอดภาพ

กล่าวคือ ในขณะที่ไม่มีสนามแม่เหล็ก ลำอิเล็กตรอนก็จะวิ่งไปกระทบจอหลอดภาพตรงกลางโดยไม่ถูกหักเห แต่หากต้องการเบนลำอิเล็กตรอนไปทางซ้ายมือตามแนวนอน ก็จำเป็นต้องใช้สนามแม่เหล็กที่มีขั้วเหนือ-ใต้อยู่ในแนวตั้งตามรูปที่ 4.2



รูปที่ 4.2 การหักเหของลำอิเล็กตรอน โดยอาศัยสนามแม่เหล็กเข้าช่วยเหลือ

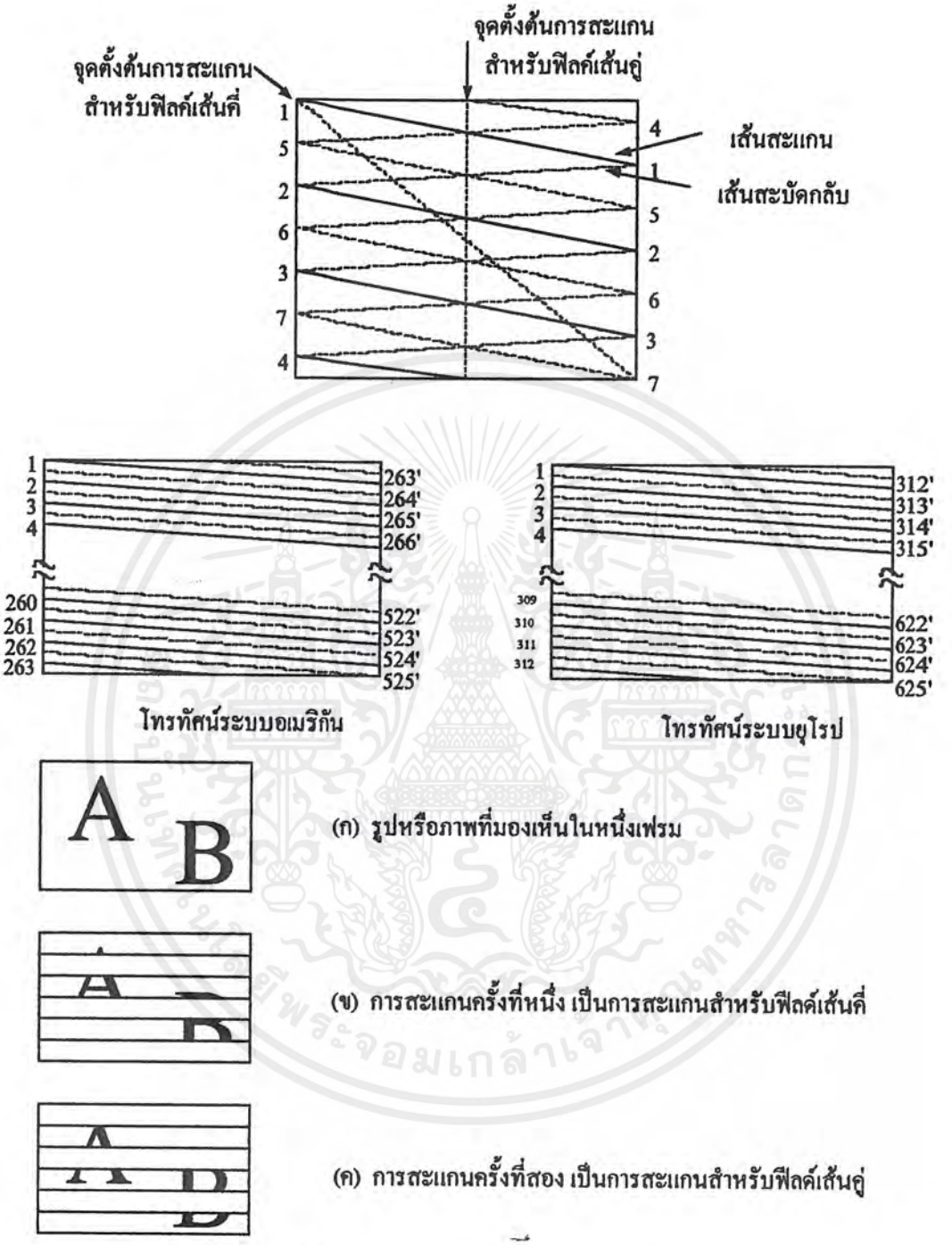
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

หากกลับขั้วแม่เหล็กนี้ ลำอิเล็กตรอนก็จะถูกเบนไปทางขวามือในแนวนอนของจอหลอดภาพ การที่ลำอิเล็กตรอนถูกทำให้เบนไปทางขวามือ หรือทางซ้ายมือของจอนี้ จะทำให้เห็นเป็นจุดสว่างเคลื่อนที่ไปทางเดียวกันด้วย ในทำนองเดียวกัน หากมีขั้วแม่เหล็กในแนวนอน ลำอิเล็กตรอนหรือจุดสว่างก็จะถูกเบนไปในทางแนวตั้งของจอหลอดภาพ ดังนั้น เพื่อช่วยในการหักเหลำอิเล็กตรอนในทิศทางที่ต้องการ จึงนิยมใช้สนามแม่เหล็กทั้งในแนวนอนและในแนวตั้งร่วมกัน 2 สนาม

การสะแกนจะเริ่มต้นขึ้นโดยการทำให้จุดสว่างเคลื่อนที่จากซ้ายมือด้านบนของจอไปทางขวามือในแนวนอน ซึ่งเมื่อไปถึงตำแหน่งขวาสุด ก็จะถูกเบนต่ำลงเล็กน้อย แล้วก็จะกลับไปตั้งต้นใหม่ทางซ้ายมือเพื่อเคลื่อนที่มาทางขวามือในแนวนอนอีก เป็นอยู่เช่นนี้เรื่อยๆ จนกระทั่งจุดสว่างไปถึงตำแหน่งขวามือล่างสุดของหลอดภาพ ก็เป็นอันเสร็จสิ้นการสะแกนภาพนิ่งภาพหนึ่ง ซึ่งเรียกว่า เฟรมหนึ่ง หลังจากนั้น ลำอิเล็กตรอนจะกลับไปตั้งต้นใหม่ทางด้านซ้ายมือของจอหลอดภาพอีกเพื่อสะแกนภาพนิ่งอันดับต่อไป อย่างไรก็ตาม เพื่อลดอาการกระพริบของภาพการสะแกนภาพนิ่งแต่ละภาพจึงมักนิยมจัดทำ 2 ครั้งในแบบของการสะแกนไขว้กัน โดยกำหนดให้ภาพนิ่ง 1 เฟรม ประกอบด้วยภาพนิ่ง 2 ฟิลด์ จึงกลับไปตั้งต้นใหม่ทางซ้ายมือบนสุดของจอ แล้วเริ่มต้นสะแกนภาพนิ่งฟิลด์เส้นคู่ต่อไปจนถึงตำแหน่งขวามือล่างสุด หลังจากนั้น ก็จะเริ่มต้นการสะแกนภาพนิ่งฟิลด์เส้นคี่ในทำนองเดียวกัน สำหรับโทรทัศน์ระบบอเมริกันจะใช้เส้นสะแกน 525 เส้นต่อ 1 ภาพ และ 30 ภาพต่อวินาที ดังนั้น ภาพนิ่งแต่ละเฟรม จะประกอบด้วยเส้นสะแกนแนวนอน 525 เส้น และภาพนิ่งแต่ละฟิลด์ จะมีเส้นสะแกนแนวนอน 262 ½ เส้น โดยภาพนิ่งแต่ละภาพนี้จะเกิดขึ้นภายในระยะเวลา 1/30 วินาที ในทำนองเดียวกัน โทรทัศน์ระบบยุโรป จะใช้เส้นสะแกนแนวนอน 625 เส้น ต่อ 1 ภาพ และ25 ภาพ ต่อวินาที ภาพนิ่งแต่ละภาพหรือแต่ละเฟรม จะประกอบด้วยเส้นสะแกนแนวนอน 625 เส้น และภาพนิ่งแต่ละฟิลด์ จะมีเส้นสะแกนแนวนอน 312 ½ เส้น

เนื่องจากการสะแกนภาพนิ่งตามที่กล่าวมานี้ กระทำติดต่อกันไปเรื่อยๆ โดยมีจำนวนเส้นต่อภาพ และจำนวนภาพต่อ 1 วินาที ตามแต่ชนิดของระบบโทรทัศน์ที่ใช้ ภาพที่มาปรากฏบนจอหลอดภาพเครื่องรับโทรทัศน์ จึงมีผลเหมือนกับการฉายภาพนิ่ง ซึ่งแต่ละภาพแตกต่างกันบ้างเล็กน้อย เป็นจำนวนหลายๆ ภาพต่อ 1 วินาที และด้วยคุณลักษณะพิเศษของสายตาเกี่ยวกับ Persistence of Vision (การเห็นภาพติดตา) นี้ จึงทำให้มองเห็นภาพบนจอหลอดภาพเครื่องรับโทรทัศน์ เป็นภาพที่เคลื่อนที่เคลื่อนไหวติดต่อกันไปตลอดเวลา

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.3 การสะแกน 2 ครั้งสำหรับภาพนิ่งแต่ละภาพ โดยแบ่ง 1 เฟรมออกเป็น 2 ฟิลด์

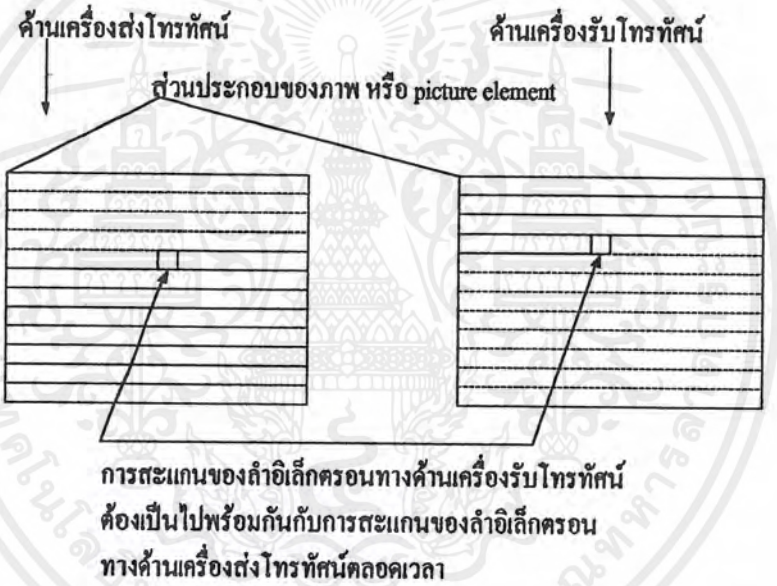
2. เครื่องส่งและเครื่องรับโทรทัศน์

เครื่องส่งและเครื่องรับโทรทัศน์ จำเป็นต้องมีการสะแกนทางแนวนอน และการสะแกนทางแนวตั้งพร้อมกัน จึงจะมีภาพเกิดขึ้นที่เครื่องรับโทรทัศน์ ภาพที่ปรากฏขึ้นบนจอหลอดภาพ จำเป็นต้องอาศัยวงจรของการหักเหทางแนวนอนและวงจรของการหักเหทางแนวตั้ง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สำนักหอสมุดกลาง พระจอมเกล้าลาดกระบัง

ซึ่งแต่ละวงจรจะมีกระแสรูปฟันเลื่อยไหลผ่านทางด้านกล้องโทรทัศน์ ก็จำเป็นต้องอาศัยความถี่ทั้งสองช่วยทำให้เกิดสัญญาณทางไฟฟ้าเช่นเดียวกัน ความถี่ทางวงจรของการหักเหทางแนวนอน และวงจรของการหักเหทางแนวตั้งที่ใช้ในเครื่องส่งโทรทัศน์และเครื่องรับโทรทัศน์นี้ จะต้องเท่ากันตลอดเวลา จึงจะทำให้เกิดภาพขึ้นที่ทางเครื่องรับโทรทัศน์ ด้วยเหตุนี้ จึงจำเป็นต้องมีวิธีที่ทำให้ความถี่ของวงจรดังกล่าวทางเครื่องส่งและทางเครื่องรับโทรทัศน์ เท่ากันอยู่ทุกขณะ ดังรูป 3.4 โดยสถานีโทรทัศน์ต้องส่งสัญญาณชนิดหนึ่งที่เรียกว่า สัญญาณซิงค์ ไปพร้อมกับสัญญาณภาพและสัญญาณเสียงตามรายละเอียดที่จะกล่าวถึงในหัวข้อถัดไป สัญญาณซิงค์นี้จะช่วยทำให้ความถี่ในวงจรของการหักเหทางแนวนอน และแนวตั้งในเครื่องส่งและเครื่องรับโทรทัศน์เท่ากันเพื่อทำให้เกิดภาพที่จอหลอดภาพของเครื่องรับโทรทัศน์ตลอดเวลาได้



รูปที่ 4.4 ผลของสัญญาณซิงค์ที่ทำให้ความถี่ของเครื่องส่งและเครื่องรับเท่ากันตลอดเวลา

3. สถานีโทรทัศน์จำเป็นต้องส่งสัญญาณอะไรบ้าง

เพื่อทำให้เกิดผลสมความมุ่งหมาย สถานีโทรทัศน์ที่ส่งภาพขาวดำ จำเป็นต้องส่งสัญญาณหลายอย่าง ได้แก่

- สัญญาณเสียง
- สัญญาณภาพ
- สัญญาณแบล้งค์กิ้ง
- สัญญาณซิงค์
- สัญญาณอิควัลไลซิ่ง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

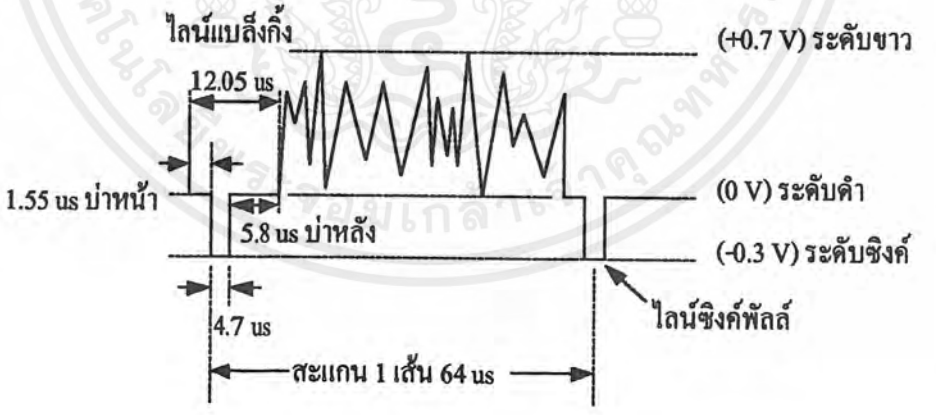
42754

สัญญาณเสียงมีคลื่นพาหะของตัวเองโดยเฉพาะ ส่วนสัญญาณภาพและสัญญาณอื่นๆ นั้นจะรวมเป็นรูปแบบเดียวกัน เรียกว่าสัญญาณภาพรวม แล้วใช้คลื่นพาหะของภาพเป็นตัวพาออกอากาศรวมกับคลื่นพาหะเสียงไปยังเครื่องรับโทรทัศน์ เหตุผลและความจำเป็นในการใช้สัญญาณต่างๆ มีดังนี้

1. สัญญาณภาพ และสัญญาณเสียง เป็นสัญญาณที่ใช้เพื่อทำให้เกิดภาพและเสียงเครื่องรับโทรทัศน์ตามต้องการ

2. สัญญาณแบลงค์กิ้ง เป็นสัญญาณที่ใช้เพื่อลบเส้นสะแกนสะบัดกลับทั้งในแนวนอนและในแนวตั้ง มิให้สังเกตเป็นได้ชัดทางจอหลอดภาพ

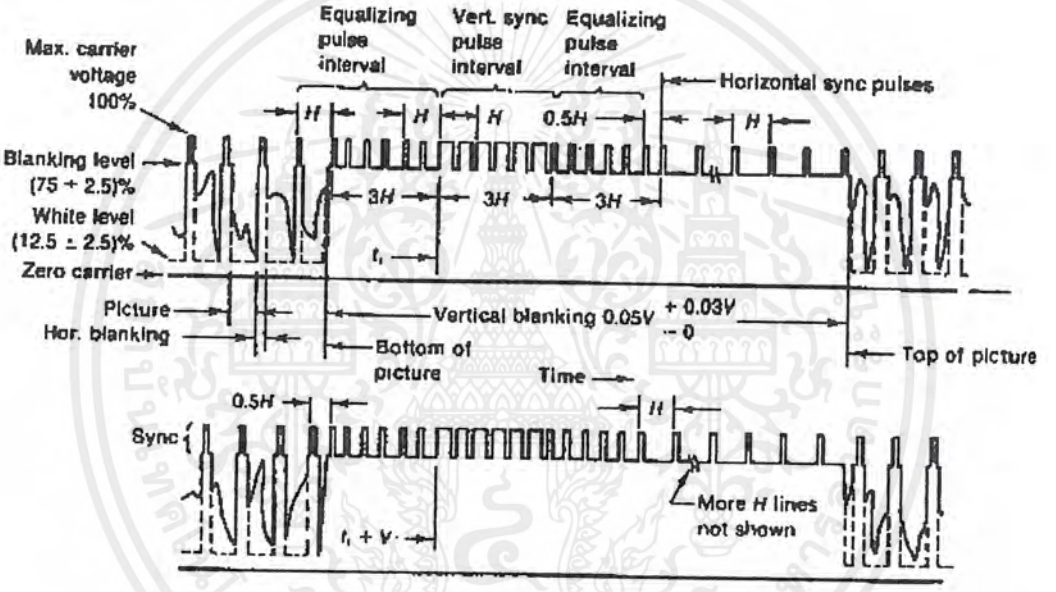
3. สัญญาณซิงค์ เป็นสัญญาณที่ใช้เพื่อช่วยทำให้วงจรของการหักเหทางแนวนอนและแนวตั้งในเครื่องส่งกับเครื่องรับโทรทัศน์มีความถี่ตรงกันตลอดเวลา เนื่องจากว่าความถี่ของสัญญาณซิงค์มีค่าเท่ากับความถี่ของสัญญาณแบลงค์กิ้งพอดี จึงจำเป็นต้องป้องกันการรบกวนที่อาจเกิดขึ้น โดยจำเป็นต้องกำหนดขนาดของซิงค์พัลส์ให้น้อยกว่าขนาดของแบลงค์กิ้งพัลส์ นอกจากนี้ยังใช้วิธีส่งซิงค์พัลส์เหล่านี้ปนกับแบลงค์กิ้งพัลส์อีกด้วย โดยให้ฐานของซิงค์พัลส์อยู่ทับขอบบนของแบลงค์กิ้งพัลส์อีกชั้นหนึ่ง เมื่อจัดขอบเขตความต่างศักดิ์ในระดับสูงสุดของแบล้งค์กิ้งพัลส์เป็นระดับดำมืดจนมองไม่เห็นแล้ว ระดับของซิงค์พัลส์ที่อยู่บนยอดสูงสุดของแบล้งค์กิ้งพัลส์ก็จะเป็นระดับดำมืดสนิท และไม่ทำให้เกิดการรบกวนภาพที่จอหลอดภาพแต่อย่างใด



รูปที่ 4.5 สัญญาณซิงค์ในแนวนอน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4. สัญญาณอีควัลไลซิ่ง เป็นสัญญาณที่ใช้เพื่อช่วยให้สัญญาณซิงค์ทางแนวตั้ง ยังคงมีรูปร่างดีเหมือนเดิมหลังจากแยกออกมาจากสัญญาณซิงค์ทางแนวนอนแล้ว นอกจากนี้ยังช่วยทำให้การสะแกนแบบไขว้กันเป็นโดยเรียบร้อยสม่ำเสมอ รวมทั้งสัญญาณซิงค์ทางแนวนอนก็ไม่ขาดหายไปในช่วงเวลาของสัญญาณซิงค์ทางแนวตั้งอีกด้วย ขนาดของพัลส์ที่กล่าวถึงนี้จะเท่ากับสัญญาณซิงค์ทางแนวตั้ง หรือประมาณ 3 เท่า ของขนาดสัญญาณซิงค์ทางแนวนอนและยังนิยมแบ่งพัลส์นี้ออกเป็น 6 พัลส์เล็กๆ ด้วยกันเพื่อทำให้เกิดสัญญาณซิงค์ทางแนวนอนครั้งหนึ่งในทุกๆ 2 ครั้งที่มีพัลส์เล็กๆนี้ นอกจากนี้ยังนิยมแบ่งสัญญาณซิงค์ทางแนวตั้งออกเป็นพัลส์เล็กๆ เช่นเดียวกัน

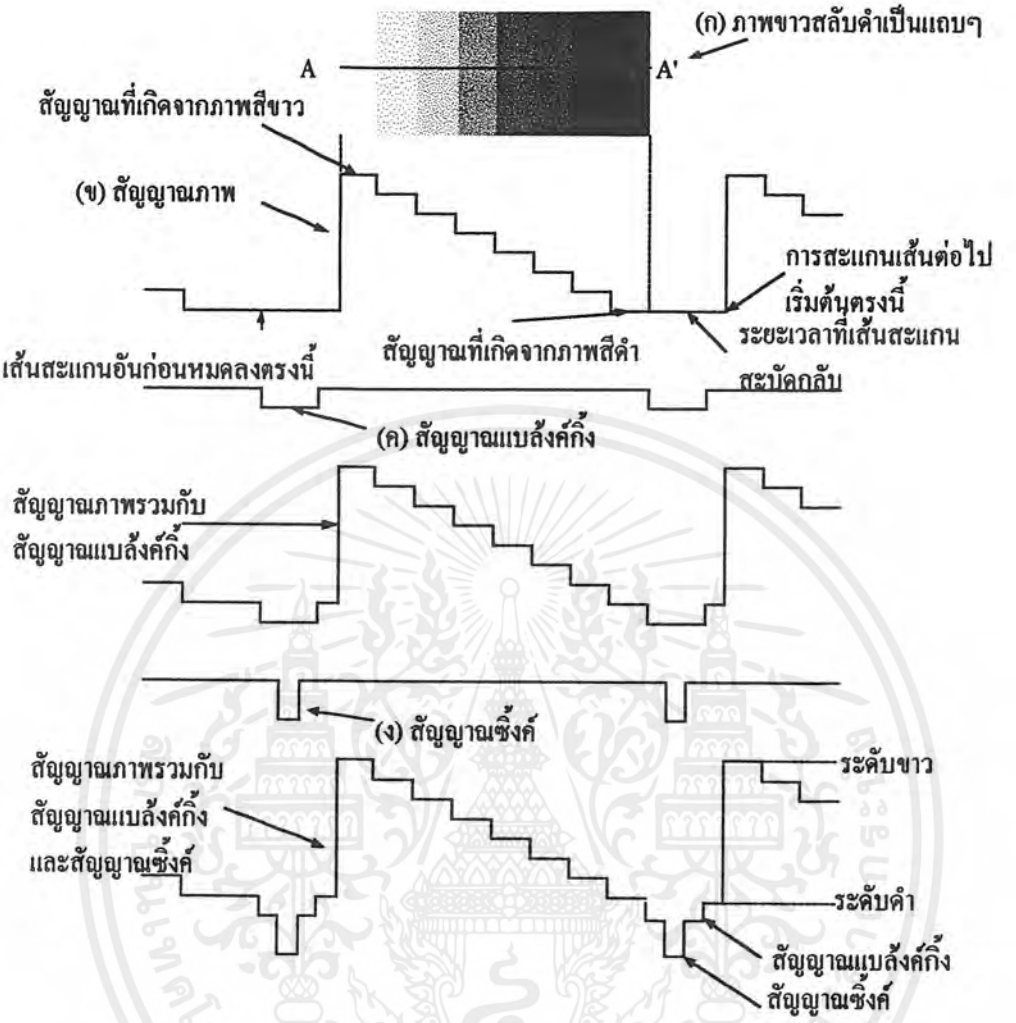


รูปที่ 4.6 สัญญาณอีควัลไลซิ่งกับสัญญาณซิงค์ในแนวตั้ง

สัญญาณโทรทัศน์ที่มีสัญญาณภาพรวมกับสัญญาณอื่นๆ หลายอย่างมีชื่อ เรียกว่า สัญญาณภาพรวม

รูปที่ 4.7 แสดงภาพขาวสลับดำ ซึ่งเริ่มจากสีขาว สีดำจางๆ และสีดำสนิทเป็นแถบๆ กล้องโทรทัศน์จะเปลี่ยนภาพนี้ให้เป็นสัญญาณทางไฟฟ้าชนิดหนึ่ง ซึ่งเมื่อรวมกับสัญญาณแบล้งค์กิ้งและสัญญาณซิงค์แล้ว ก็จะได้สัญญาณภาพรวมตามที่แสดงไว้ ภาพแต่ละชนิดจะให้สัญญาณทางไฟฟ้าที่มีความถี่สูงต่ำแตกต่างกัน สำหรับโทรทัศน์ระบบอเมริกันความถี่สูงสุดของภาพไม่เกิน 4 MHz และสำหรับโทรทัศน์ระบบยุโรป ความถี่สูงสุดนี้จะไม่เกิน 5 MHz ซึ่งภาพที่เกิดจากสัญญาณโทรทัศน์ความถี่สูงย่อมละเอียดกว่า หรือมีจุดดำอันเป็นส่วนประกอบของภาพมากกว่าภาพของสัญญาณโทรทัศน์ที่มีความถี่ต่ำ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.7 รูปร่างของสัญญาณโทรทัศน์ที่เกิดจากภาพขาวสลับดำเป็นแถบๆ

เมื่อเครื่องรับโทรทัศน์รับเอาสัญญาณโทรทัศน์มาได้แล้ว ก็จะมีการแยกเอาสัญญาณต่างๆ ตามที่กล่าวถึงนี้ไปให้วงจรซึ่งทำหน้าที่ต่างๆกัน เพื่อทำให้เกิดภาพและเสียงตามต้องการ สัญญาณเสียงก็จะผ่านไปยังวงจรเสียง สัญญาณภาพและสัญญาณแบล้งค์กิ้งก็จะตรงไปยังแคโทดหรือกริดของหลอดภาพ ส่วนสัญญาณซิงค์นั้น เมื่อแยกออกจากสัญญาณภาพรวมแล้ว ก็จะผ่านไปยังวงจรแยกซิงค์ วงจรของการหักเหทางแนวนอน และวงจรของการหักเหทางแนวตั้ง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 5
ลักษณะของโครงงานและการออกแบบระบบ

ลักษณะของโครงงาน

โครงงานนี้จะเป็นการศึกษาถึงสัญญาณวีดีโอ โดยการนำสัญญาณวีดีโอมาแปลงเป็นสัญญาณดิจิตอล แล้วนำไปประมวลผลโดยการจัดเก็บในแรม จากนั้นจะทำการนำสัญญาณออกมาแสดงบนหน้าจอโทรทัศน์ โดยการสั่งงานผ่านทางคีย์บอร์ดเพื่อเลือกว่าจะนำส่วนใดของภาพออกมาแสดงดังรูปที่ 5.1 โดยหมายรวมถึงการเลือกเมตริกซ์ของภาพด้วย

รูปที่ 5.1 แสดงลักษณะของวีดีโอวอลล์ในเมตริกซ์ 2 X 2

การออกแบบระบบ

ระบบที่ได้ทำการออกแบบไว้สามารถเลือกเมตริกซ์ได้ 3 แบบ คือ เมตริกซ์ 2X2 เมตริกซ์ 3X3 และเมตริกซ์ 4X4 ซึ่งส่วนของภาพที่จะแสดงตามเมตริกซ์ต่างๆ ได้แสดงการกดไว้ดังรูปที่ 5.2

2:1:1	2:1:2
2:1:3	2:1:4

2 X 2

3:1:1	3:1:2	3:1:3
3:1:4	3:1:5	3:1:6
3:1:7	3:1:8	3:1:9

3 X 3

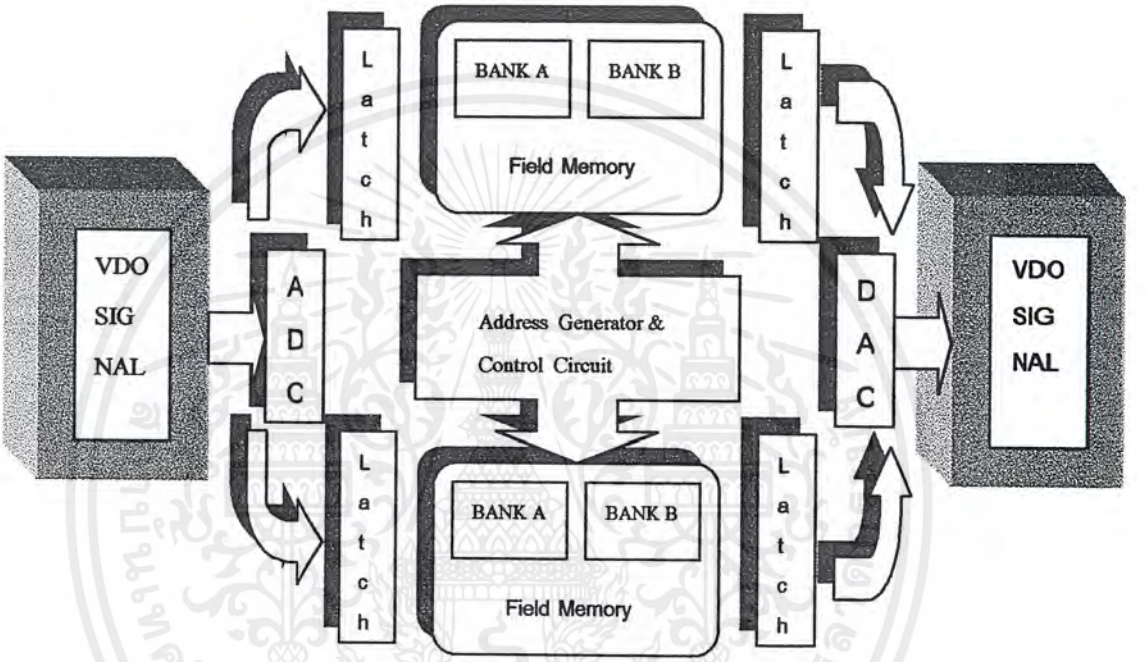
4:1:1	4:1:2	4:1:3	4:1: ↑
4:1:4	4:1:5	4:1:6	4:1: ↓
4:1:7	4:1:8	4:1:9	4:1: 2nd
4:1: clear	4:1:0	4:1: help	4:1: enter

4 X 4

รูปที่ 5.2 แสดงส่วนต่างๆของภาพสัมพันธ์กับการกดคีย์บอร์ด

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ในระบบที่ได้ออกแบบและทดลองสร้างนี้ สามารถแบ่งคร่าวๆได้เป็น 3 ส่วนใหญ่ๆ คือ ส่วนแปลงสัญญาณข้อมูล หน่วยความจำ และส่วนสร้างสัญญาณควบคุมระบบ ซึ่งมีแผนผังการทำงานดังรูปที่ 5.3 และมีรายละเอียดดังนี้



รูปที่ 4.3 แผนผังแสดงการทำงานของระบบ

1. วงจรส่วนแปลงสัญญาณข้อมูล

เป็นส่วนที่สำคัญเพื่อที่จะนำข้อมูลเชิงอุปมานมาแปลงเป็นข้อมูลเชิงเลขเพื่อเก็บไว้ในหน่วยความจำและเพื่อให้สามารถแสดงผล ตรวจสอบคุณภาพของข้อมูลที่จัดเก็บได้จึงต้องมีการแปลงกลับเพื่อให้กลายเป็นสัญญาณอนาลอกกลับไปแสดงผล ส่วนการแปลงข้อมูลสัญญาณนี้ แบ่งย่อยได้เป็น 2 ส่วน คือ

1.1 วงจรแปลงข้อมูลเชิงอุปมานเป็นข้อมูลเชิงเลข ในการแปลงสัญญาณข้อมูลนั้นมีวิธีการมากมายแตกต่างกัน ซึ่งแต่ละเทคนิคก็มีข้อดี-ข้อเสียแตกต่างกันไป แล้วแต่การนำไปใช้งาน เมื่อพิจารณารวมไปถึงเรื่องคุณสมบัติของสัญญาณ เพื่อเลือกใช้การแปลงที่เหมาะสมแล้ว สำหรับสัญญาณวีดีโอจะมีความกว้างแถบในช่วง 0 - 4 เมกกะเฮิร์ท และตามทฤษฎีการสุ่มนั้นความถี่ที่ใช้ในการสุ่มข้อมูลต้องมากกว่าหรือเท่ากับสองเท่าของความถี่สูงสุดของสัญญาณ ซึ่งถ้าความถี่ใน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การสุ่มสูง การแปลงสัญญาณก็จะยิ่งผิดพลาดน้อยลง ในที่นี้จึงเลือกความถี่ในการสุ่มข้อมูลเป็น 10 เมกกะเฮิร์ท และทำการเก็บข้อมูลแบบ 8 บิท จึงเลือกใช้วงจรรวมเบอร์ CA3318 ของบริษัท Harris ซึ่งเป็นตัวแปลงสัญญาณเชิงอุปมานเป็นสัญญาณเชิงตัวเลขแบบแฟลช (Flash) ที่สามารถแปลงข้อมูลด้วยความเร็วสูงสุด ซึ่ง CA3318 จะทำการแปลงสัญญาณข้อมูลให้แล้วเสร็จภายในครึ่งสัญญาณนาฬิกา

สิ่งที่สำคัญในการแปลงข้อมูลให้ถูกต้องนั้น คือการกำหนดระดับแรงดันอ้างอิงสำหรับการแปลงข้อมูลให้คงที่มากที่สุด ในการสร้างวงจรระดับแรงดันอ้างอิงนี้ให้กับ CA3318 นี้ได้เลือกใช้วงจรเบอร์ LM336-2.5 เป็นตัวรักษาระดับแรงดัน เพื่อปรับแรงดันอ้างอิงให้มีค่าเท่ากับ 2.5 โวล์ท จากนั้นแรงดันอ้างอิงนี้จะถูกต่อผ่านวงจรโครงข่ายแบ่งแรงดัน ซึ่งประกอบขึ้นจากตัวต้านทาน 100 โอห์ม ค่าผิดพลาด 1% เพื่อแบ่งแรงดันให้มีค่าเป็น 0.25 ,0.5,0.75 และ 1 เท่าของรงดันอ้างอิง เพื่อจ่ายให้กับวงจรค้างค่าข้อมูล และ CA3318 ต่อไป

1.2 วงจรแปลงข้อมูลเชิงเลขเป็นสัญญาณเชิงอุปมาน เพื่อที่จะนำสัญญาณที่ได้ออกแสดงผลตามที่ต้องการ และตรวจสอบข้อมูลเชิงตัวเลขที่ถูกจัดเก็บไว้ วิธีที่ง่ายที่ดีคือ การแปลงข้อมูลเชิงเลขนี้ให้กลับเป็นข้อมูลเชิงอุปมาซึ่งสามารถแสดงผลได้ง่าย ซึ่งถ้าข้อมูลที่จัดเก็บถูกต้องก็จะได้สัญญาณข้อมูลที่แปลงกลับมาใกล้เคียงกับสัญญาณข้อมูลเดิม ในที่นี้จึงดึงข้อมูลที่จัดเก็บออกจากหน่อยความจำและทำการต่อผ่านวงจรค้างค่าข้อมูลก่อนที่จะนำมาสัญญาณเข้าวงจรรวมเบอร์ CA3338 ของบริษัท Harris เช่นกัน ซึ่งเป็นตัวแปลงสัญญาณเชิงตัวเลขเป็นสัญญาณเชิงอุปมานแบบ R-2R ความถี่สูง และได้ถูกออกแบบมาให้ใช้งานคู่กับ CA3318 อยู่แล้ว ซึ่งใช้เวลาในการแปลงข้อมูล (Settling time) ในการแปลงสัญญาณข้อมูลเพียง 20 นาโนวินาที

สิ่งสำคัญในการแปลงสัญญาณข้อมูลก็คือระดับแรงดันอ้างอิงในการแปลงค่าข้อมูลเช่นเดียวกับวงจรแปลงสัญญาณเชิงอุปมานเป็นสัญญาณเชิงตัวเลข ซึ่งต้องมีค่าเท่ากัน ดังนั้นจึงใช้วงจรสร้างระดับแรงดันอ้างอิงเบอร์ LM336-2.5 เพื่อสร้างระดับแรงดันอ้างอิงเช่นเดียวกัน

2. วงจรหน่วยความจำ

สำหรับส่วนนี้สิ่งที่สำคัญที่สุดที่ต้องพิจารณาคือ ขนาดหน่วยความจำที่เหมาะสมกับสัญญาณข้อมูลที่ต้องการจัดเก็บ นั่นก็คือข้อมูลที่ได้จากการแปลงสัญญาณวีดีโอเป็นข้อมูลเชิงเลขแล้วว่ามีจำนวนข้อมูลเท่าใด

สัญญาณวีดีโอมีหลายระบบด้วยกัน ในที่นี้จะอ้างอิงถึงระบบ PAL (Phase Alternating Line) เป็นหลัก เนื่องจากเป็นระบบที่ได้รับความนิยมในประเทศไทย ซึ่งในระบบ PAL นั้นใน 1 ภาพจะมีการกวาดสัญญาณ 625 เส้นในแนวขวาง ซึ่งแบ่งเป็น 2 ส่วน คือ สนามคี่ (Odd field) และ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สนามคู่ (Even field) และแต่ละเส้นใช้เวลาในการกวาดประมาณ 64 ไมโครวินาที และความถี่ในการสุ่มคือ 10 เมกกะเฮิร์ซ ดังนั้นใน 1 ฟิลด์จะมีการสุ่มเก็บข้อมูลเป็น

$64 \times 10^{-6} \times 10^{6} \times 313 = 200,320$ ไบท์

คิดเป็น $200,320 / 1024 = 195.625$ กิโลไบท์

ดังนั้นจึงเลือกใช้หน่วยความจำความเร็วสูงเบอร์ HM628128 ซึ่งมีขนาดหน่วยความจำ 128 กิโลไบท์ ต้องใช้หน่วยความจำเท่ากับ $195.625 / 128 = 1.528$

เพราะฉะนั้นต้องใช้ HM628128 จำนวน 2 ตัว ต่อ 1 ฟิลด์แต่เราต้องการเก็บข้อมูลทั้งภาพ ซึ่งมีด้วยกันทั้งหมด 2 ฟิลด์ จึงต้องใช้ HM628128 ทั้งสิ้น 4 ตัว

ในการขยายภาพในวีดีโอวอล์ล 1 ฟิลด์ของภาพแต่ละส่วนที่ขยายต้องการทั้งเส้นคู่และเส้นคี่ของฟิล์ด ก่อนหน้านี้ ดังนั้นจึงต้องมีหน่วยความจำสำหรับรองรับข้อมูลตรงนี้ไว้ด้วย รวมหน่วยความจำทั้งหมดเป็น 4 แบงค์ เพื่อให้ได้ภาพที่สมบูรณ์ที่สุด แต่ด้วยเหตุผลข้อจำกัดบางประการทำให้จำเป็นต้องเก็บสัญญาณภาพได้ฟิลด์ใดฟิลด์หนึ่งเท่านั้น ดังนั้นจึงใช้หน่วยความจำพียงแค่ 2 แบงค์ เพื่อสลับกันเขียน-อ่าน ข้อมูล 2 ชุดนี้

เนื่องจากเวลาในการเปลี่ยนค่าข้อมูลแต่ละครั้งมีค่าประมาณ 100 นาโนวินาที จะเห็นได้ว่าเป็นช่วงเวลาที่สั้นมาก จึงต้องใช้หน่วยวามจำความเร็วสูง และจากการพิจารณาพบว่าหน่วยความจำแรมแบบพลวัต (Dynamic Ram) มีความยุ่งยากในการใช้งาน ถึงแม้ว่าจะมีราคาต่อความจุถูกกว่าก็ตาม เนื่องจากต้องมีขั้นตอนในการรีเฟรช (Refresh)ข้อมูล ซึ่งต้องใช้เวลาเท่ากับการอ่านเขียนหนึ่งครั้ง แม้ว่าในหน่วยความจำแรมแบบพลวัตรุ่นใหม่จะมีการรีเฟรชแบบซ่อน (Hidden) ได้ก็ตาม แต่ก็ยังต้องเสียเวลาไปอีกประมาณครึ่งหนึ่งของเวลาในการอ่านเขียนปกติ ดังนั้นจึงเลือกใช้หน่วยความจำแรมแบบสถิตย์แทน

ในปัจจุบันแม้ว่าจะมีการผลิตหน่วยความจำแบบสถิตย์ความเร็วสูงมากๆ ออกมาแล้วแต่ก็ไม่สามารถหาซื้อได้ในประเทศ อีกทั้งยังมีราคาสูงมากอีกด้วย หน่วยความจำแบบสถิตย์ความเร็วสูงที่พอจะหาได้และราคาไม่แพงนักคือ เบอร์ HM628128 ซึ่งมีขนาดหน่วยความจำ 128 กิโลไบท์ เป็นหน่วยความจำหลักของระบบ แต่จากข้อมูลเฉพาะของหน่วยความจำ HM628128 นั้นจะต้องใช้เวลาในการบันทึกเป็น 70 นาโนวินาที ซึ่งจะช้ากว่าการเปลี่ยนแปลงข้อมูลของระบบเมื่อเราจะต้องการ sampling ที่ความถี่สูงกว่านี้(10MHz -15MHz) เพื่อแก้ไขข้อจำกัดนี้จึงได้ออกแบบส่วนของหน่วยความจำให้ทำงานแบบสลับพื้นที่การจัดเก็บ (Bank Switching) โดยจะต้องมีวงจรค้างค่าสัญญาณสำคัญต่างๆที่จำเป็นในการอ่านเขียนไว้อย่างน้อยก็จนกว่าจะครบเวลาทำงานของหน่วยความจำ แล้วจึงเปลี่ยนค่า และในขณะที่ค้างค่าสัญญาณของชุดแรกอยู่นั้น ระบบจะย้ายไปติดต่อกับกลุ่มหน่วยความจำอีกชุดหนึ่งทำให้เพิ่มเวลาในการอ่านเขียนหน่วยความจำได้เป็น 2 เท่าของ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ช่วงเวลาเดิม สัญญาณที่สำคัญได้แก่ สัญญาณตำแหน่งหน่วยความจำ และสัญญาณข้อมูลที่ต้องการอ่านเขียน ซึ่งสัญญาณเหล่านี้จะต่อเข้ากับวงจรรวมเบอร์ 74F244 ซึ่งทำหน้าที่เป็นวงจรค้างค่าตำแหน่งหน่วยความจำคี่ และอีกชุดก็จะถูกติดต่อเมื่อเป็นตำแหน่งหน่วยความจำคู่โดยลักษณะของการจัดวงจรหน่วยความจำทั้ง 2 ชุดนี้จะเหมือนกันทั้งหมด แตกต่างเฉพาะจังหวะของสัญญาณอ่าน-เขียน หน่วยความจำเท่านั้น

3. วงจรสร้างสัญญาณควบคุม

วงจรส่วนนี้จะประกอบด้วยวงจรสร้างค่าตำแหน่งหน่วยความจำ และวงจรสร้างสัญญาณควบคุมการอ่าน – เขียนข้อมูล โดยจะใช้ไมโครโพรเซสเซอร์ 2 ตัวในการควบคุม โดยตัวหนึ่งจะทำหน้าที่ในการเขียนข้อมูลเพียงอย่างเดียว ส่วนอีกตัวหนึ่งก็จะทำการอ่านข้อมูลเพียงอย่างเดียว และสามารถเลือกลักษณะของการแสดงภาพได้จากคีย์บอร์ดที่เรากำหนดฟังก์ชันไว้แล้ว

3.1 วงจรสร้างค่าตำแหน่งหน่วยความจำ เพื่อสร้างสัญญาณนาฬิกาของระบบและค่าตำแหน่งของหน่วยความจำที่รวดเร็วเพียงพอ จึงใช้ชุดกำเนิดสัญญาณนาฬิกาความถี่ 10 เมกกะเฮิร์ท ผ่านเข้า 74F244 เพื่อช่วยจ่ายกระแสแล้วจะถูกต่อเข้า 74F163 สำหรับการเขียนข้อมูล และจะใช้การเลือกความถี่ของสัญญาณนาฬิกาที่สร้างจากวงจรรวมเบอร์ 74F4017 ในการอ่านข้อมูลโดยผ่านการสั่งงานจากไมโครโพรเซสเซอร์ ซึ่งชุดกำหนดตำแหน่งการเก็บและการอ่านข้อมูลนี้จะรีเซทตัวเองทุกครั้งที่มีการเปลี่ยนระหว่างสนามคู่และสนามคี่ โดยใช้วงจรรวมเบอร์ LM1881 เพื่อสร้างสัญญาณซิงค์แนวตั้ง (Vertical Sync) แล้วต่อกับขารีเซท 74F163 ทุกตัวก็จะทำให้ค่าสัญญาณตำแหน่งหน่วยความจำ เริ่มต้นวิ่งใหม่ทุกครั้งที่มีการเปลี่ยนแปลงระหว่างสนามคู่และคี่ โดยที่ขา PE ของเคาท์เตอร์จะต่อเชื่อมกับ เอาท์พุทของ AND Gate ที่เกิดจาก การAND กันระหว่างขาที่กำหนดขามาให้จากพอร์ท และช่วง Horizontal Sync เพื่อให้เคาท์เตอร์ค้างค่าเดิมไว้ตลอดในตอนช่วงที่มีสัญญาณ Horizontal Sync เนื่องจากเราไม่ได้ต้องการที่จะเก็บสัญญาณ Sync นี้ ส่วนในช่วง Vertical Sync เราก็จะหยุดส่วน Counter ไว้เช่นเดียวกันโดยใช้ไมโครโพรเซสเซอร์เป็นตัวควบคุม

3.2 วงจรสร้างสัญญาณควบคุมการเขียน - อ่านข้อมูล เนื่องจากใช้หน่วยความจำหลายชุดด้วยกันจึงจำเป็นต้องใช้ข้อมูลที่ถูกต้อง แม่นยำและรวดเร็วเพียงพอที่จะตอบสนองต่อระบบ การอ่านและเขียนจากที่ออกแบบไว้จะทำการเขียนและอ่านข้อมูลเฉพาะสนามคู่หรือสนามคี่เพียงอย่างเดียว และมีการใช้ไมโครโพรเซสเซอร์ โดยการนำไปควบคุมขา Chip Select ของ RAM ทุกตัวเพื่อให้การอ่านเขียนข้อมูลเป็นไปโดยถูกต้อง

เมื่อสัญญาณภาพที่เราไปจัดเก็บในแรม ได้ถูกนำออกมาโดยผ่าน D/A แล้ว สัญญาณนั้นจะเป็นสัญญาณภาพเพียงอย่างเดียว ซึ่งไม่สามารถทำให้เกิดภาพที่หน้าจอโทรทัศน์ได้ ดังนั้น เราจึง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

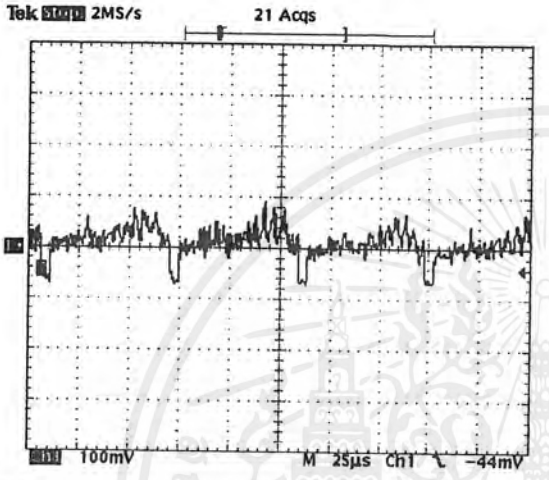
ต้องทำการเพิ่มสัญญาณซิงค์เข้าไป ซึ่งในขั้นตอนนี้ เราจะใช้อนาลอก สวิทช์มาเป็นตัวรวมสัญญาณ โดยจะนำระดับแรงดันอ้างอิง ประมาณ 0.7 V มาเข้าที่อินพุทขาหนึ่ง และสัญญาณภาพที่แปลงจาก D/A มาเข้าที่อินพุทอีกขาหนึ่ง และจะใช้สัญญาณคอมโพสิทซิงค์เป็นตัวควบคุม

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

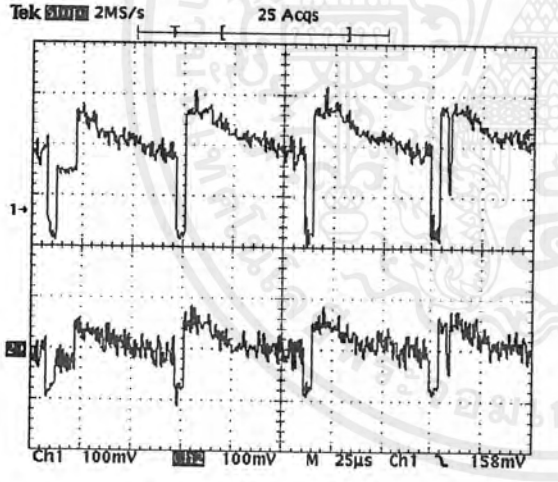
บทที่ 6

การทดลองและผลการทดลอง

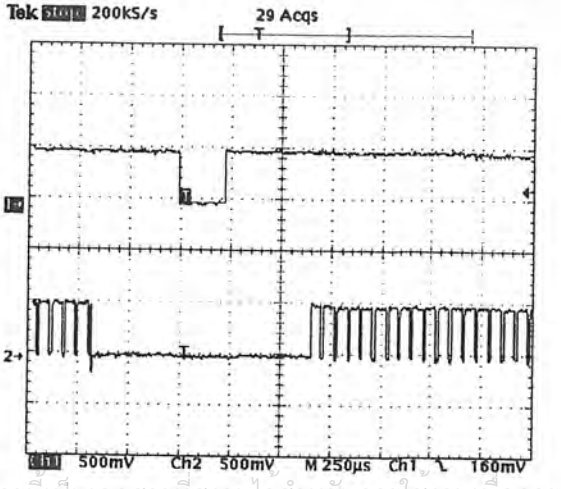
ในขั้นตอนของการทดลองนั้น เรามีการทดลองโดยทดสอบการทำงานของวงจร โดยให้วงจรทำงานจริง จากนั้นก็วัดสัญญาณต่างๆว่าถูกต้องหรือไม่ ซึ่งถ้าวงจรทำงานถูกต้องภาพสัญญาณต่างๆจะออกมาตามที่เราได้ออกแบบไว้ โดยได้วัดสัญญาณที่จุดต่างๆไว้ดังนี้



รูปที่ 6.1 แสดงสัญญาณภาพที่เอาท์พุท

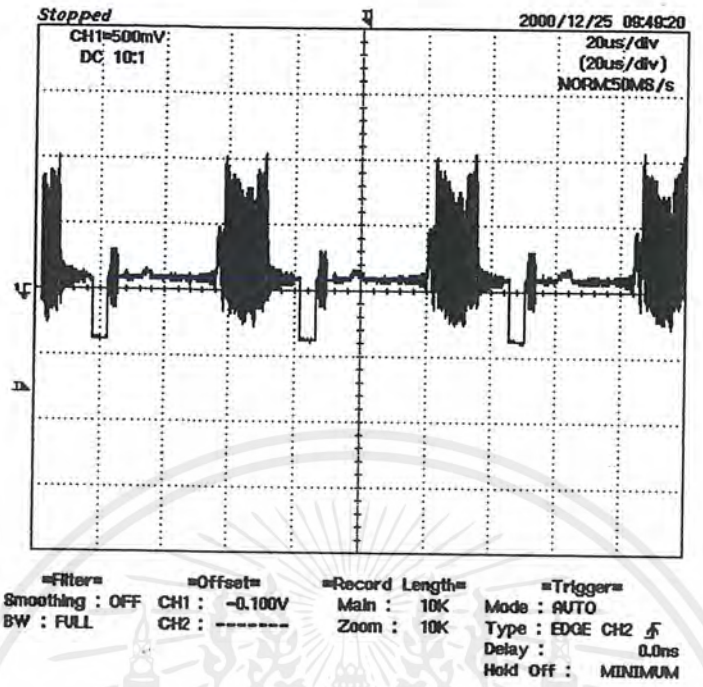


รูป ที่ 6.2 แสดงสัญญาณภาพที่ออกจาก D/Aเทียบกับสัญญาณภาพเอาท์พุท

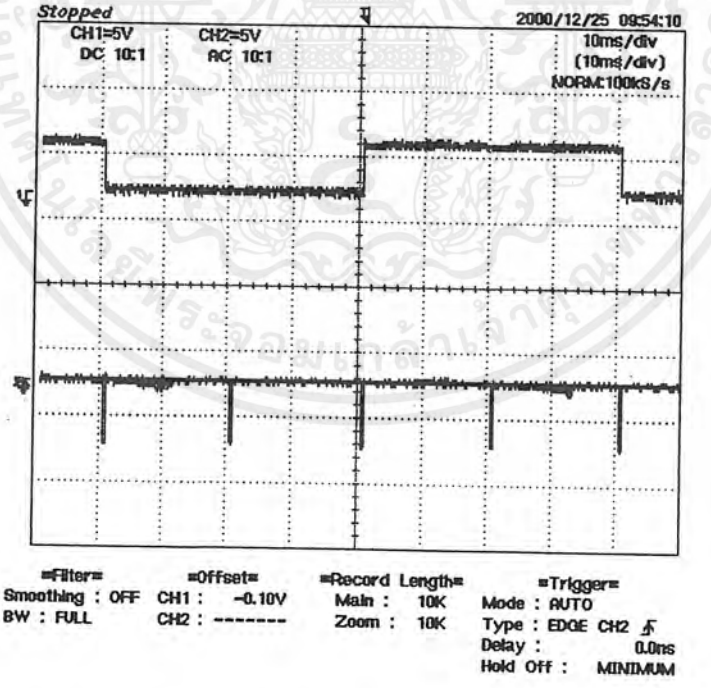


รูปที่ 6.3 แสดงสัญญาณ Vertical Sync เทียบกับสัญญาณเอาท์พุทของ AND Gate ที่นำไปหยุด Clock

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

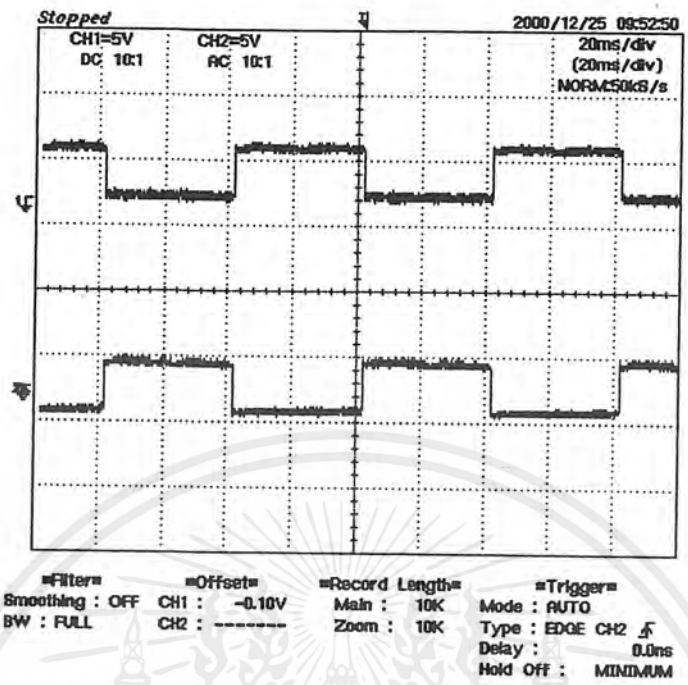


รูปที่ 6.4 แสดงสัญญาณอินพุท

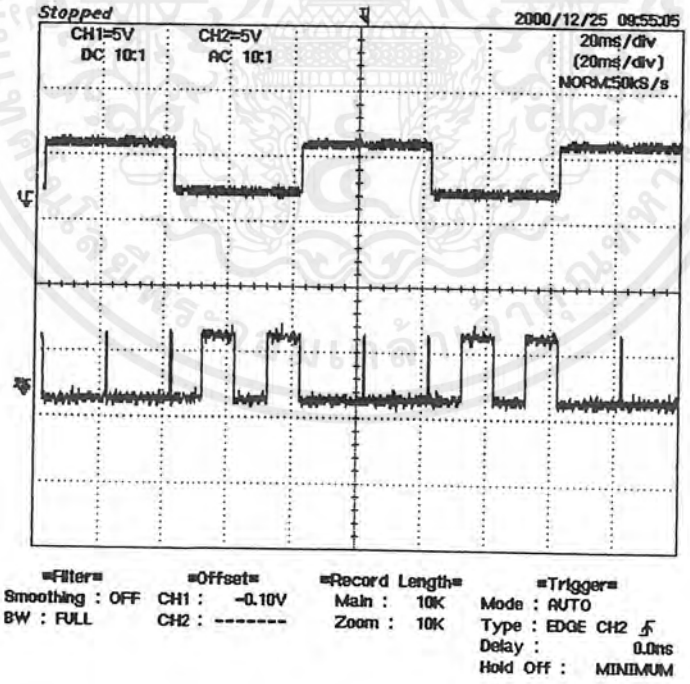


รูปที่ 6.5 แสดงสัญญาณ R/W เทียบกับ Vertical Sync

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

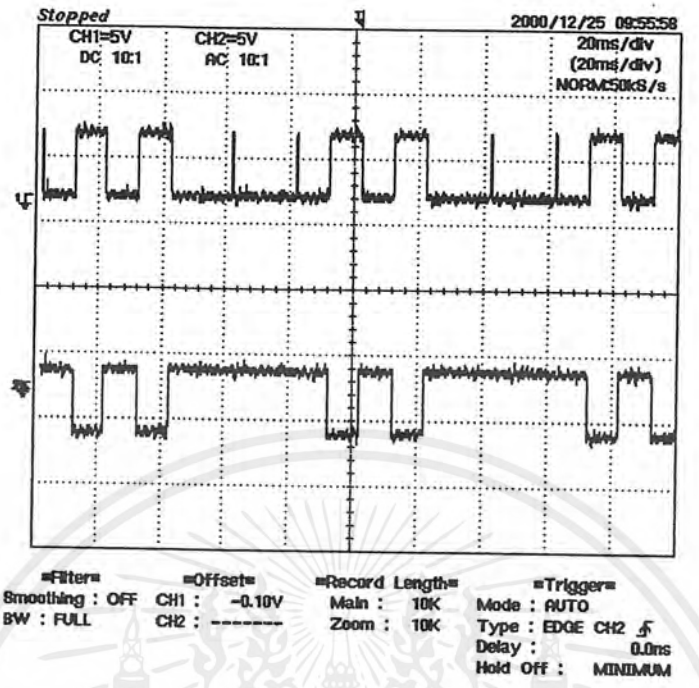


รูปที่ 6.6 แสดงสัญญาณที่ขา 29 (R/W) ของหน่วยความจำสองชุดที่ต่างกัน

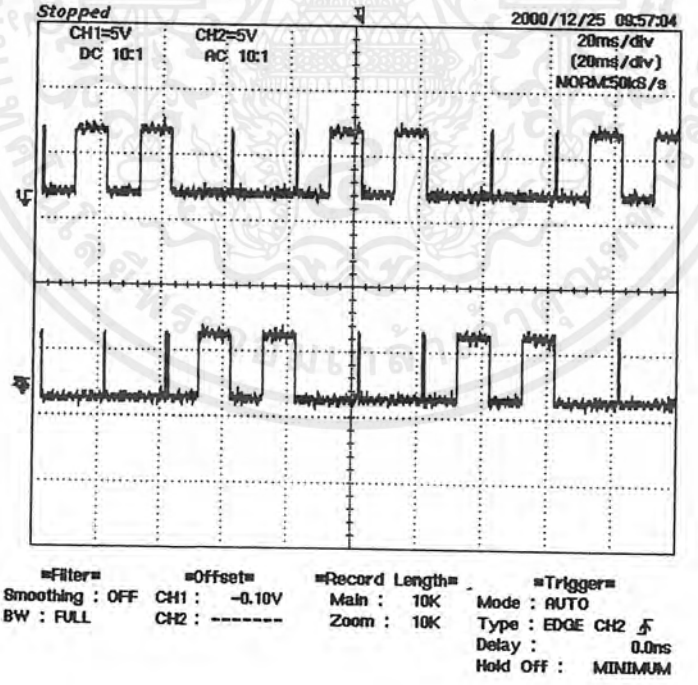


รูปที่ 6.7 แสดงสัญญาณ R/W เทียบกับ Chip Select ของหน่วยความจำตัวที่ 1

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

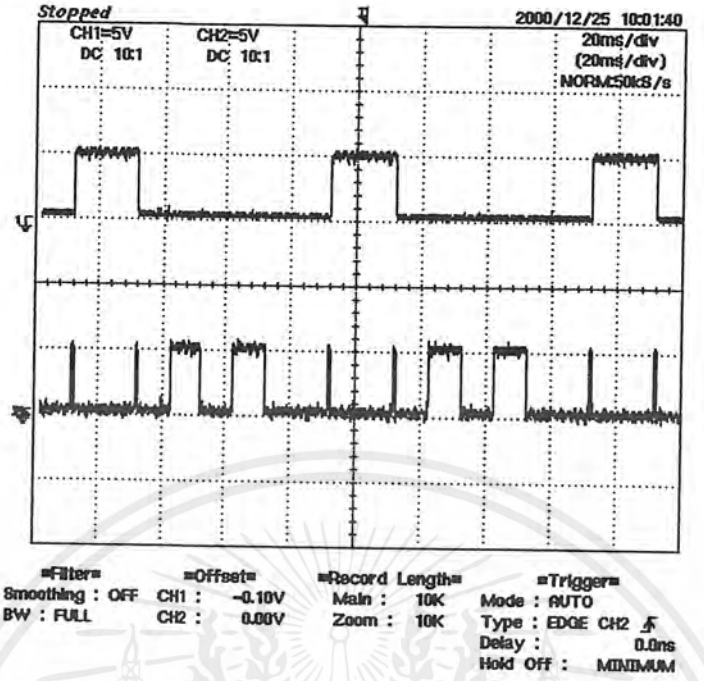


รูปที่ 6.8 แสดงสัญญาณ Chip Select ของหน่วยความจำตัวที่ 1 ตัวที่กับ 2

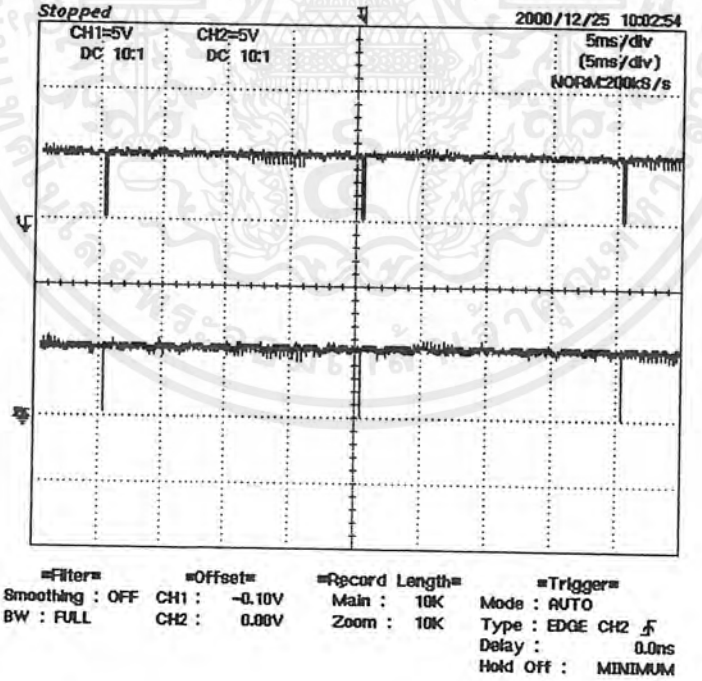


รูปที่ 6.9 แสดงสัญญาณ Chip Select ของหน่วยความจำตัวที่ 1 ตัวที่กับ 3

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 6.10 แสดงสัญญาณตรวจสอบทุกๆ 4 Vertical Sync กับสัญญาณ Chip Select ของหน่วยความจำตัวที่ 1



รูปที่ 6.11 แสดงสัญญาณ Vertical Sync และสัญญาณ Pulse ที่ถูกสร้างขึ้นโดยไมโครโพรเซสเซอร์ตัวแม่ และเป็นสัญญาณ Interrupt ของตัวลูก

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รูปที่ 6.12 แสดงผลที่ได้มุมซ้ายบนของเมตริกซ์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 7
สรุปผลการทดลองและแนวทางในการประยุกต์

จากการทดลองพบว่าวงจรสามารถทำงานได้ถูกต้องตามที่ได้ออกแบบไว้ แต่ในขณะทำการทดลองได้พบปัญหาที่เกิดขึ้นบางประการซึ่งก็ได้แก้ไขตามกรณีดังต่อไปนี้

1. เนื่องจากก่อนหน้านี้ได้กำหนดหน่วยความจำไว้จำนวน 2 แบงค์ ซึ่งในความเป็นจริงแล้วควรจะใช้จำนวนหน่วยความจำทั้งหมด 4 แบงค์ เพื่อความละเอียดของภาพที่ดีที่สุด จากข้อจำกัดนี้ทำให้สามารถเก็บสัญญาณภาพได้ฟิลด์ใดฟิลด์หนึ่งเท่านั้น ความละเอียดจึงถูกลดทอนเป็น 2 เท่า
2. ในการเปลี่ยนเมตริกซ์ หรือเปลี่ยนการแสดงผลให้ออกส่วนต่างๆของภาพ จะต้องทำการรีเซตระบบให้เริ่มทำงานใหม่ทุกครั้ง เหตุผลที่ไม่ทำให้ระบบสามารถควบคุมการเปลี่ยนส่วนการแสดงผลได้ทันทีนั้น เนื่องจากจะทำให้ภาพเกิดความเสียหายเช่นเดียวกัน
3. บิตสุดท้ายที่ใช้ชี้ตำแหน่งหน่วยความจำในการเขียนได้ถูกควบคุมโดยไมโครโพรเซสเซอร์ตัวลูกแทนไมโครโพรเซสเซอร์ตัวแม่เนื่องจากไม่มีความจำเป็นที่จะต้องเพิ่ม Latch อีก 1 ตัว สำหรับระบบที่ออกแบบไว้นี้

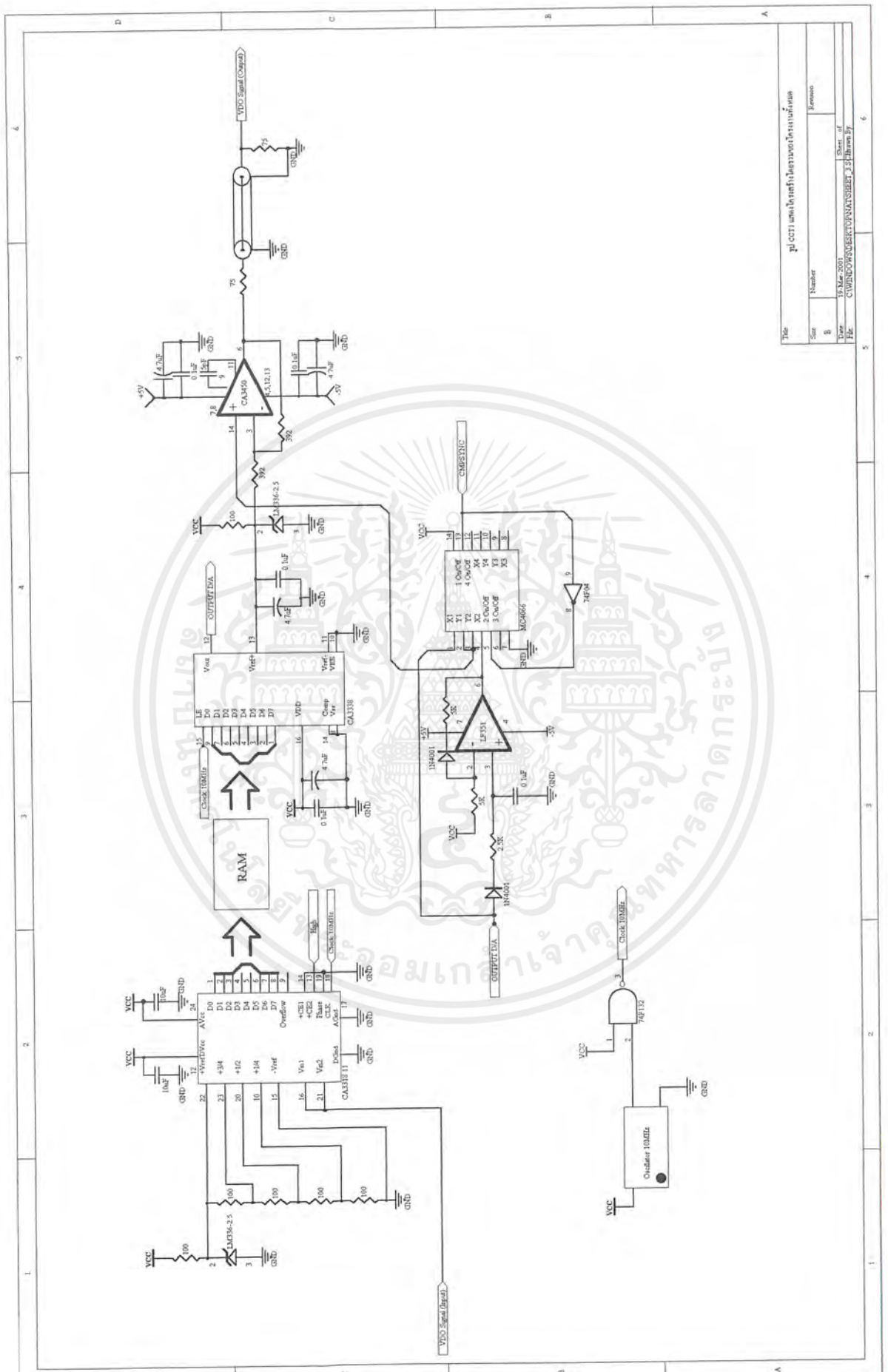
แนวทางในการประยุกต์

สามารถที่จะประยุกต์ไปใช้เพื่อให้เกิดเป็นภาพสีได้ โดยใช้ระบบนี้ถึง 3 ชุด คือชุดของสัญญาณ R G และB และเพิ่มส่วนที่แปลงสัญญาณระหว่างสัญญาณภาพและสัญญาณ R G B อีกทั้งในการแสดงผลสามารถทำให้เปลี่ยนภาพได้เองในเมตริกซ์เดียวกันเพื่อให้ภาพที่ออกมานั้นเกิดความน่าสนใจมากขึ้น

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

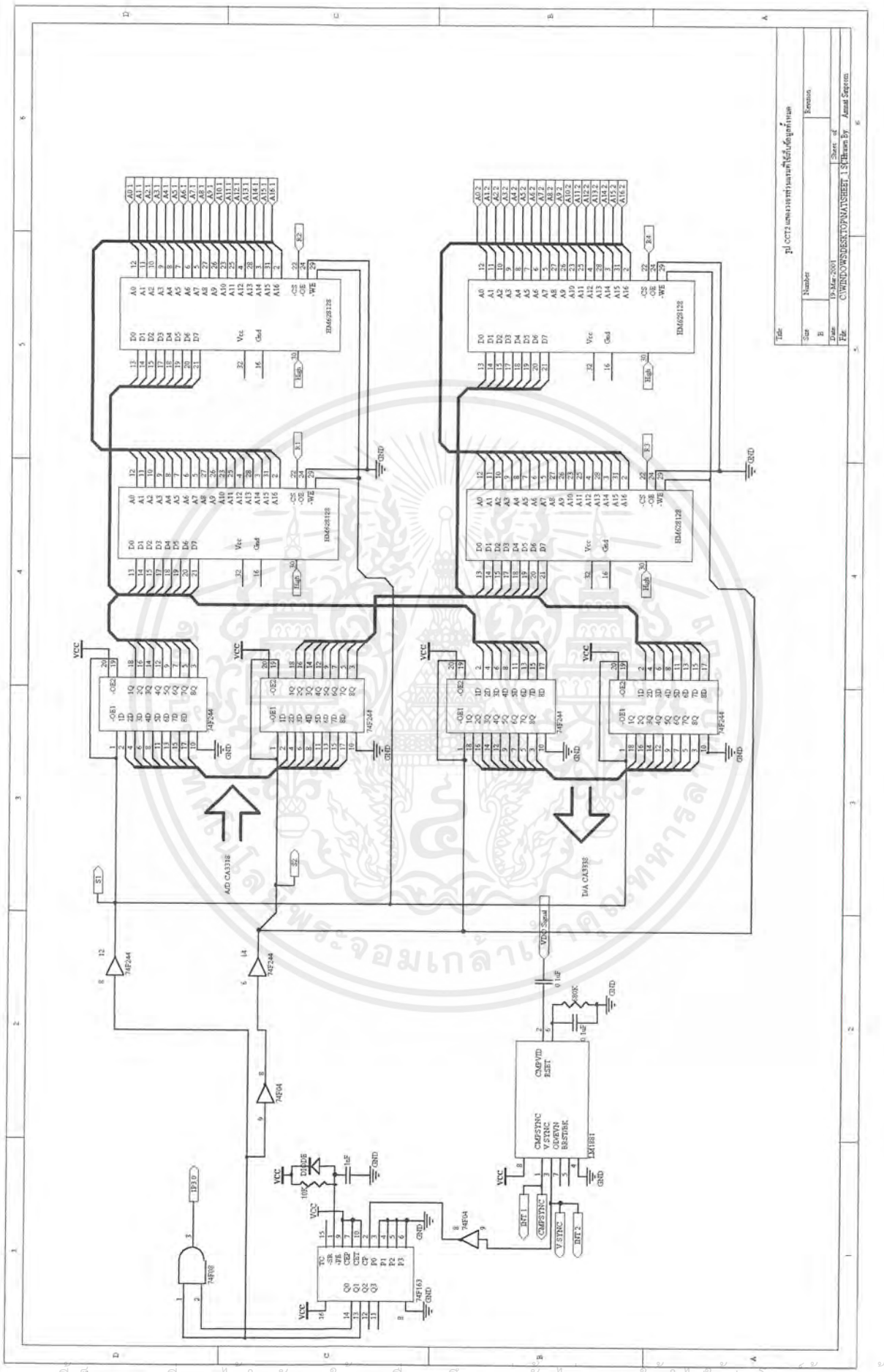
ภาคผนวก

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



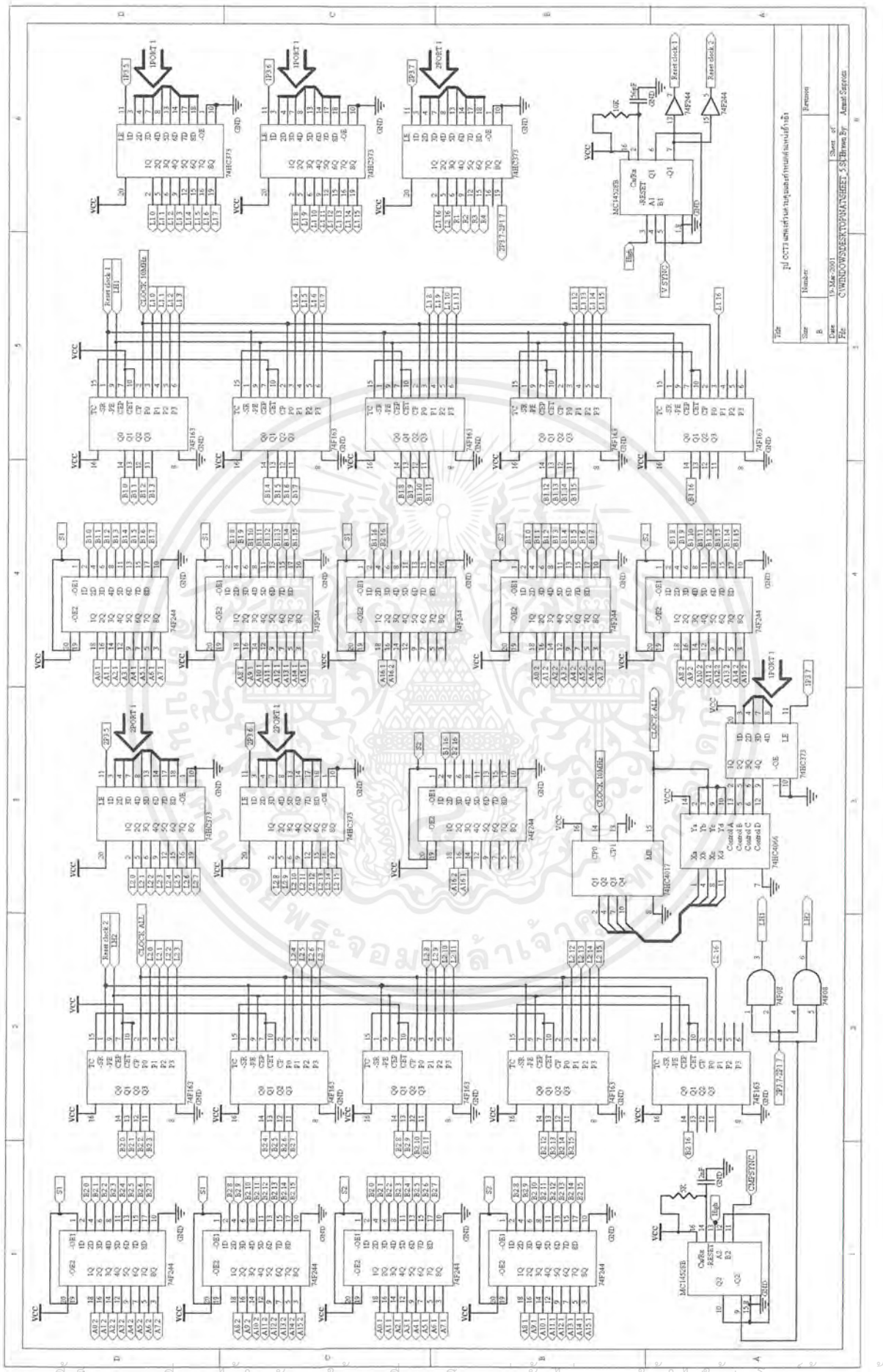
รูป ก แสดงโครงสร้างโดยรวมของโครงงานทั้งหมด

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



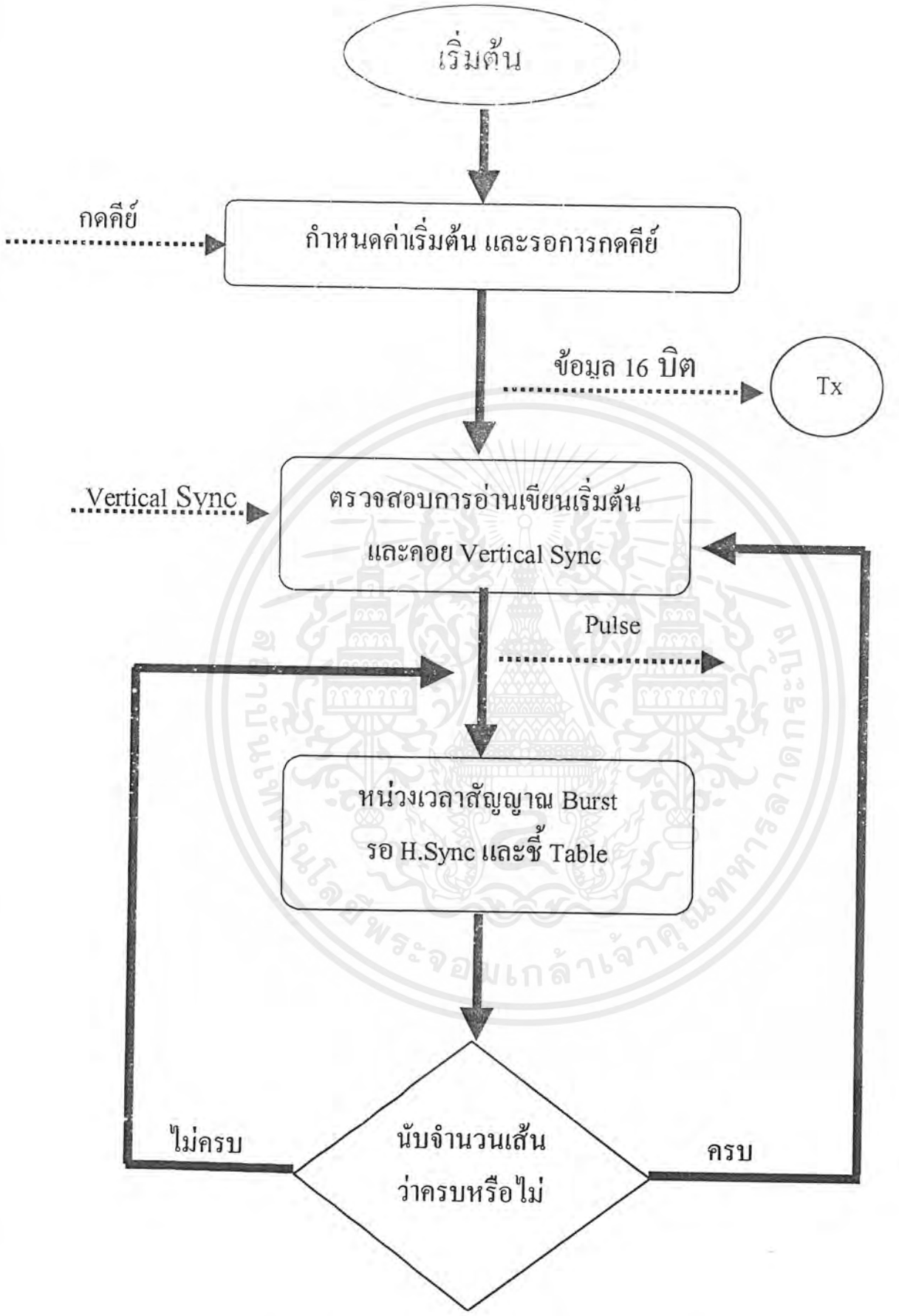
รูป ข แสดงวงจรหน่วยความจำที่ใช้เก็บข้อมูลทั้งหมด

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



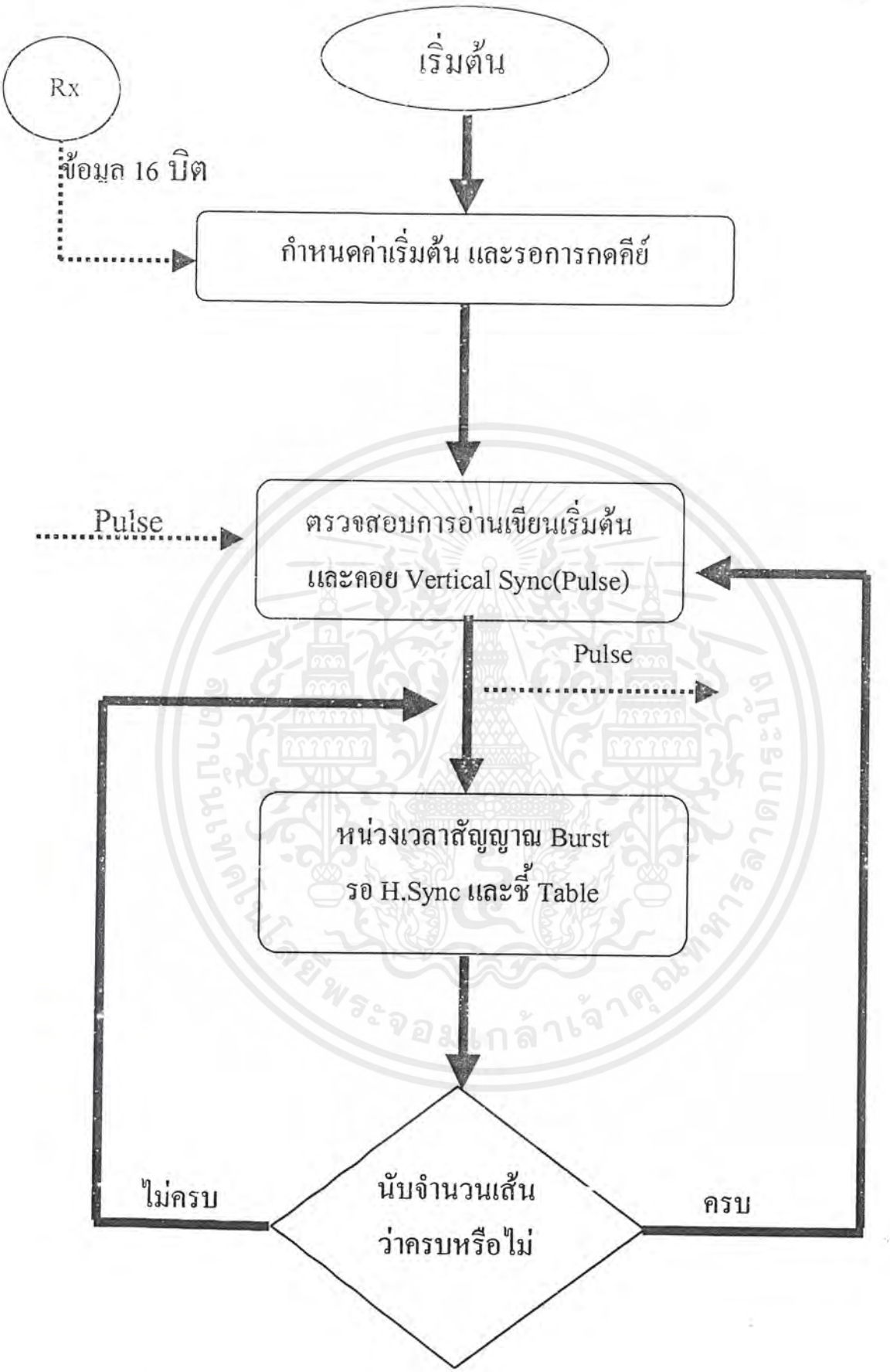
รูป ค แสดงส่วนควบคุมและกำหนดตำแหน่งอ้างอิง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูป ง แสดง Flow Chart ของไมโครโปรเซสเซอร์ตัวแม่

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูป จ แสดง Flow Chart ของไมโครโปรเซสเซอร์ตัวลูก

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บรรณานุกรม

1. ธีรวัฒน์ ประกอบผล , " การประยุกต์ใช้งานไมโครคอนโทรลเลอร์ " , สมาคมส่งเสริมเทคโนโลยี (ไทย-ญี่ปุ่น)
2. ผ.ศ. พลผดุง ผดุงกุล , " ปฏิบัติการไฟฟ้าอิเล็กทรอนิกส์ 3 " , ภาควิชาอิเล็กทรอนิกส์ คณะวิศวกรรมศาสตร์ สจล.
3. ศาสตราจารย์ บุญชัย แน่นหนา , " ตำราโทรทัศน์สี " , มหาวิทยาลัยศรีนครินทรวิโรฒ , กทม . 11 , สำนักพิมพ์โอเดียนสโตร์
4. K.F. Ibrahim เรียบเรียงโดย บุญชัด เนติศักดิ์ , " หลักการทำงานเครื่องรับโทรทัศน์ยุคใหม่ " , บริษัท ซีเอ็ดยูเคชั่น จำกัด (มหาชน)
5. " ANT-31PJ V 2.0 " , SILA RESEARCH , 20 หน้า

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

HARRIS Semiconductor

CA3318

CMOS Video Speed, 8-Bit, Flash A/D Converter

August 1997

Features

- CMOS Low Power with SOS Speed (Typ)..... 150mW
- Parallel Conversion Technique
- 15MHz Sampling Rate (Conversion Time)..... 67ns
- 8-Bit Latched Three-State Output with Overflow Bit
- Accuracy (Typ)..... ±1 LSB
- Single Supply Voltage..... 4V to 7.5V
- 2 Units in Series Allow 9-Bit Output
- 2 Units in Parallel Allow 30MHz Sampling Rate

Applications

- TV Video Digitizing (Industrial/Security/Broadcast)
- High Speed A/D Conversion
- Ultrasound Signature Analysis
- Transient Signal Analysis
- High Energy Physics Research
- General-Purpose Hybrid ADCs
- Optical Character Recognition
- Radar Pulse Analysis
- Motion Signature Analysis
- µP Data Acquisition Systems

Description

The CA3318 is a CMOS parallel (FLASH) analog-to-digital converter designed for applications demanding both low power consumption and high speed digitization.

The CA3318 operates over a wide full scale input voltage range of 4V up to 7.5V with maximum power consumption depending upon the clock frequency selected. When operated from a 5V supply at a clock frequency of 15MHz, the typical power consumption of the CA3318 is 150mW.

The intrinsic high conversion rate makes the CA3318 ideally suited for digitizing high speed signals. The overflow bit makes possible the connection of two or more CA3318s in series to increase the resolution of the conversion system. A series connection of two CA3318s may be used to produce a 9-bit high speed converter. Operation of two CA3318s in parallel doubles the conversion speed (i.e., increases the sampling rate from 15MHz to 30MHz).

256 paralleled auto balanced voltage comparators measure the input voltage with respect to a known reference to produce the parallel bit outputs in the CA3318.

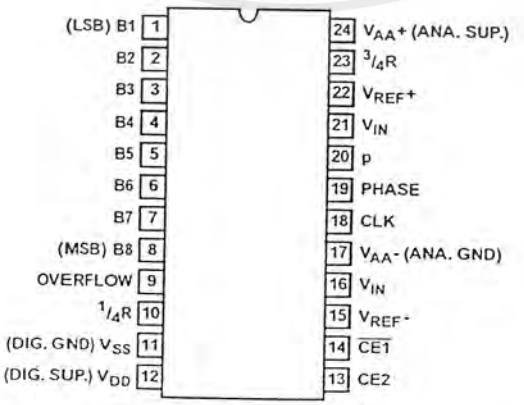
255 comparators are required to quantize all input voltage levels in this 8-bit converter, and the additional comparator is required for the overflow bit.

Ordering Information

PART NUMBER	LINEARITY (INL, DNL)	SAMPLING RATE	TEMP. RANGE (°C)	PACKAGE	PKG. NO.
CA3318CE	±1.5 LSB	15MHz (67ns)	-40 to 85	24 Ld PDIP	E24.6
CA3318CM	±1.5 LSB	15MHz (67ns)	-40 to 85	24 Ld SOIC	M24.3
CA3318CD	±1.5 LSB	15MHz (67ns)	-40 to 85	24 Ld SBDIP	D24.6

Pinout

CA3318
(PDIP, SBDIP, SOIC)
TOP VIEW



CAUTION: These devices are sensitive to electrostatic discharge. Users should follow proper IC Handling Procedures.

Copyright © Harris Corporation 1997

File Number 3103.1

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Absolute Maximum Ratings

DC Supply Voltage Range (V_{DD} or V_{AA}+) ..... -0.5V to +8V
(Referenced to V_{SS} or V_{AA}- Terminal, Whichever is More Negative)
Input Voltage Range
CE2 and $\overline{CE1}$ ..... V_{AA}- -0.5V to V_{DD} + 0.5V
Clock, Phase, V_{REF}-, $^1/_2$ Ref ..... V_{AA}- -0.5V to V_{AA}+ + 0.5V
Clock, Phase, V_{REF}-, $^1/_4$ Ref ..... V_{SS}- -0.5V to V_{DD} + 0.5V
V_{IN}, $^3/_4$ REF, V_{REF}+ ..... V_{AA}- -0.5V to V_{AA}- + 7.5V
Output Voltage Range, ... V_{SS} - 0.5V to V_{DD} + 0.5V
Bits 1-8, Overflow (Outputs Off)
DC Input Current ..... ±20mA
Clock, Phase, $\overline{CE1}$, CE2, V_{IN}, Bits 1-8, Overflow

Thermal Information

Thermal Resistance (Typical, Note 1)	θ_{JA} (°C/W)	θ_{JC} (°C/W)
SBDIP Package	60	22
PDIP Package	60	N/A
SOIC Package	75	N/A

Maximum Junction Temperature
Ceramic Package ..... 175°C
Plastic Packages ..... 150°C
Maximum Storage Temperature Range ..... -65°C to 150°C
Maximum Lead Temperature (Soldering 10s) ..... 265°C
(SOIC - Lead Tips Only)

Operating Conditions

Operating Voltage Range (V_{DD} or V_{AA}+) ... 4V (Min) to 7.5V (Max)
Recommended V_{AA}+ Operating Range ..... V_{DD} ±1V
Recommended V_{AA}- Operating Range ..... V_{SS} ±1V
Operating Temperature Range (T_A) ..... -40°C to 85°C

CAUTION: Stresses above those listed in "Absolute Maximum Ratings" may cause permanent damage to the device. This is a stress only rating and operation of the device at these or any other conditions above those indicated in the operational sections of this specification is not implied.

NOTE:

1. θ_{JA} is measured with the component mounted on an evaluation PC board in free air.

Electrical Specifications

At 25°C, V_{AA}+ = V_{DD} = 5V, V_{REF}+ = 6.4V, V_{REF}- = V_{AA}- = V_{SS}, CLK = 15MHz, All Reference Points Adjusted, Unless Otherwise Specified

PARAMETER	TEST CONDITIONS	MIN	TYP	MAX	UNITS
SYSTEM PERFORMANCE					
Resolution		8	-	-	Bits
Integral Linearity Error		-	-	±1.5	LSB
Differential Linearity Error		-	-	+1, -0.8	LSB
Offset Error, Unadjusted	V_{IN} = V_{REF}- + $^1/_2$ LSB	-0.5	4.5	6.4	LSB
Gain Error Unadjusted	V_{IN} = V_{REF}+ - $^1/_2$ LSB	-1.5	0	1.5	LSB
DYNAMIC CHARACTERISTICS					
Maximum Input Bandwidth	(Note 1) CA3318	2.5	5.0	-	MHz
Maximum Conversion Speed	CLK = Square Wave	15	17	-	MSPS
Signal to Noise Ratio (SNR) $=\frac{RMS\,Signal}{RMS\,Noise}$	f_S = 15MHz, f_{IN} = 100kHz	-	47	-	dB
	f_S = 15MHz, f_{IN} = 4MHz	-	43	-	dB
Signal to Noise Ratio (SINAD) $=\frac{RMS\,Signal}{RMS\,Noise+Distortion}$	f_S = 15MHz, f_{IN} = 100kHz	-	45	-	dB
	f_S = 15MHz, f_{IN} = 4MHz	-	35	-	dB
Total Harmonic Distortion, THD	f_S = 15MHz, f_{IN} = 100kHz	-	-46	-	dBc
	f_S = 15MHz, f_{IN} = 4MHz	-	-36	-	dBc
Effective Number of Bits (ENOB)	f_S = 15MHz, f_{IN} = 100kHz	-	7.2	-	Bits
	f_S = 15MHz, f_{IN} = 4MHz	-	5.5	-	Bits
Differential Gain Error	Unadjusted	-	2	-	%
Differential Phase Error	Unadjusted	-	1	-	%
ANALOG INPUTS					
Full Scale Range, V_{IN} and (V_{REF}+) - (V_{REF}-)	Notes 2, 4	4	-	7	V
Input Capacitance, V_{IN}		-	30	-	pF
Input Current, V_{IN}, (See Text)	V_{IN} = 5V, V_{REF}+ = 5V	-	-	3.5	mA
REFERENCE INPUTS					
Ladder Impedance		270	500	800	Ω

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Electrical Specifications

At 25°C, $V_{AA}+ = V_{DD} = 5V$, $V_{REF}+ = 6.4V$, $V_{REF}- = V_{AA}- = V_{SS}$, CLK = 15MHz, All Reference Points Adjusted, Unless Otherwise Specified **(Continued)**

PARAMETER	TEST CONDITIONS	MIN	TYP	MAX	UNITS
DIGITAL INPUTS					
Low Level Input Voltage, V_{OL}					
$\overline{CE1}$, CE2	Note 4	-	-	$0.2V_{DD}$	V
Phase, CLK	Note 4	-	-	$0.2V_{AA}$	V
High Level Input Voltage, V_{IN}					
$\overline{CE1}$, CE2	Note 4	$0.7V_{DD}$	-	-	V
Phase, CLK	Note 4	$0.7V_{AA}$	-	-	V
Input Leakage Current, I_I (Except CLK Input)	Note 3	-	±0.2	±5	µA
Input Capacitance, C_I		-	3	-	pF
DIGITAL OUTPUTS					
Output Low (Sink) Current	$V_O = 0.4V$	4	10	-	mA
Output High (Source) Current	$V_O = 4.5V$	-4	-6	-	mA
Three-State Output Off-State Leakage Current, I_{OZ}		-	±0.2	±5	µA
Output Capacitance, C_O		-	4	-	pF
TIMING CHARACTERISTICS					
Auto Balance Time (ϕ1)		33	-	∞	ns
Sample Time (ϕ2)	Note 4	25	-	500	ns
Aperture Delay		-	15	-	ns
Aperture Jitter		-	100	-	ps
Data Valid Time, t_D	Note 4	-	50	65	ns
Data Hold Time, t_H	Note 4	25	40	-	ns
Output Enable Time, t_{EN}		-	18	-	ns
Output Disable Time, t_{DIS}		-	18	-	ns
POWER SUPPLY CHARACTERISTICS					
Device Current ($I_{DD} + I_A$) (Excludes I_{REF})	Continuous Conversion (Note 4)	-	30	60	mA
	Auto Balance (ϕ1)	-	30	60	mA

NOTES:

1. A full scale sine wave input of greater than $f_{CLOCK}/2$ or the specified input bandwidth (whichever is less) may cause an erroneous code. The -3dB bandwidth for frequency response purposes is greater than 30MHz.
2. V_{IN} (Full Scale) or $V_{REF}+$ should not exceed $V_{AA}+ + 1.5V$ for accuracy.
3. The clock input is a CMOS inverter with a 50kΩ feedback resistor and may be AC coupled with $1V_{P-P}$ minimum source.
4. Parameter not tested, but guaranteed by design or characterization.

Timing Waveforms

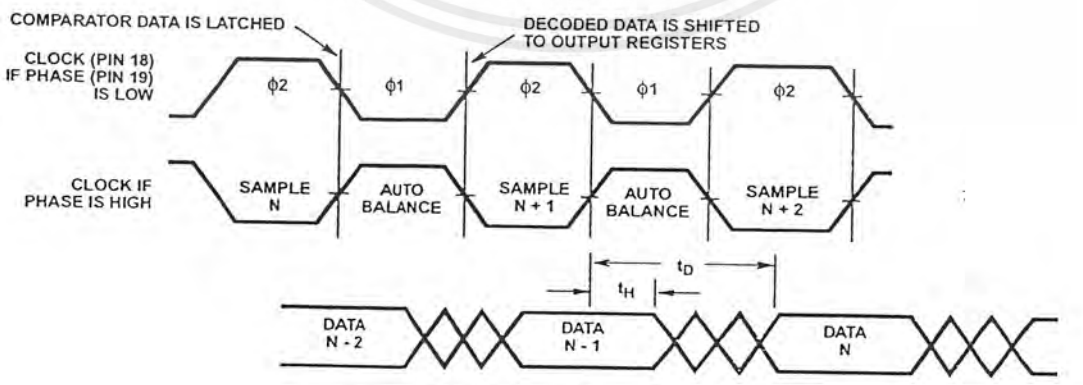


FIGURE 1. INPUT TO OUTPUT TIMING DIAGRAM

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Timing Waveforms (Continued)

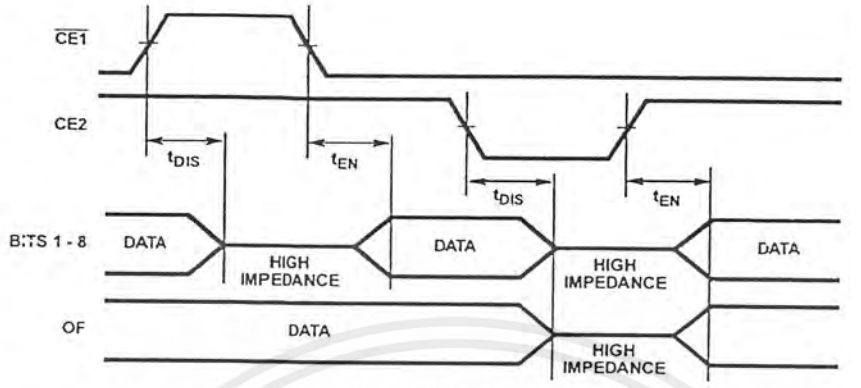


FIGURE 2. OUTPUT ENABLE TIMING DIAGRAM

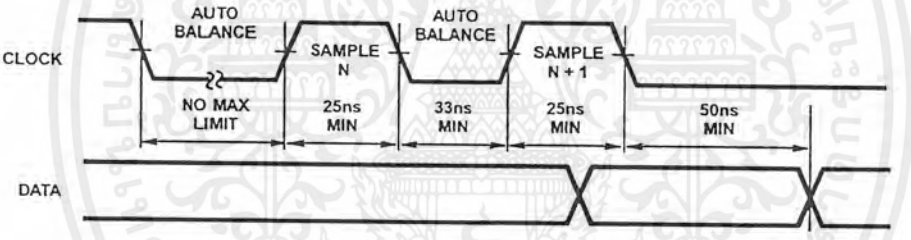


FIGURE 3A. STANDBY IN INDEFINITE AUTO BALANCE (SHOWN WITH PHASE = LOW)

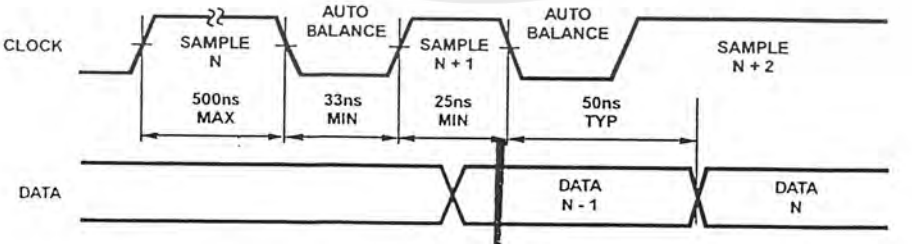


FIGURE 3B. STANDBY IN SAMPLE (SHOWN WITH PHASE = LOW)

FIGURE 3. PULSE MODE OPERATION

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Typical Performance Curves

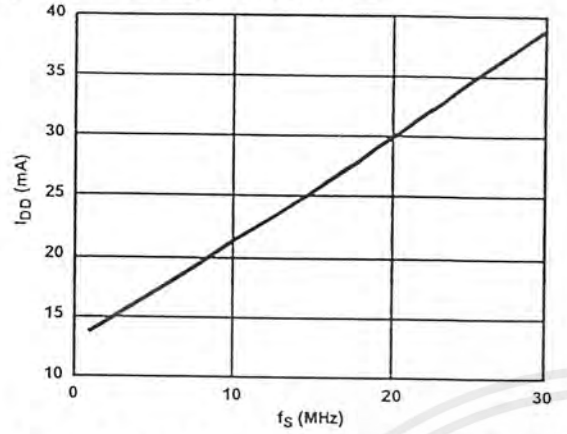


FIGURE 4. DEVICE CURRENT vs SAMPLE FREQUENCY

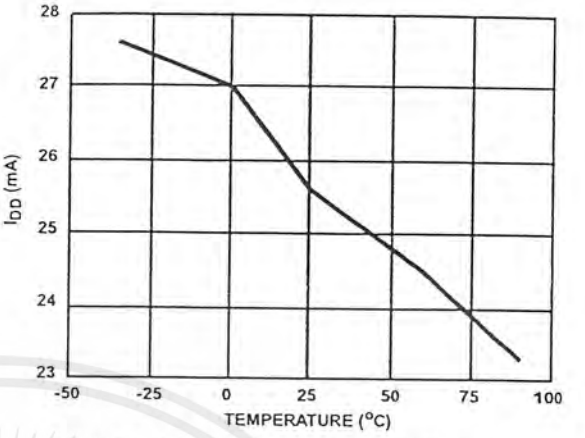


FIGURE 5. DEVICE CURRENT vs TEMPERATURE

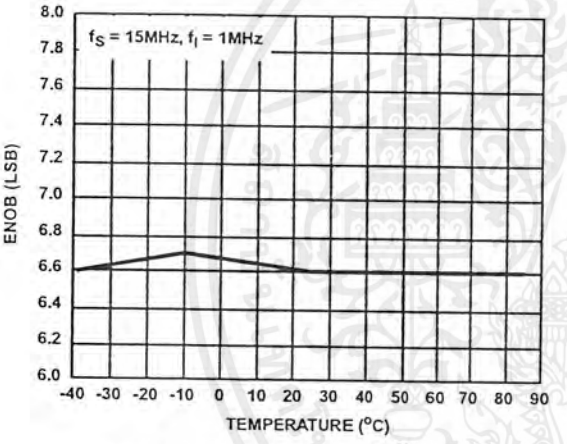


FIGURE 6. ENOB vs TEMPERATURE

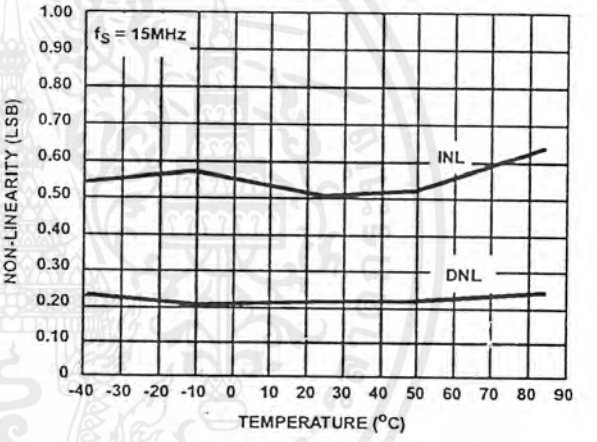


FIGURE 7. NON-LINEARITY vs TEMPERATURE

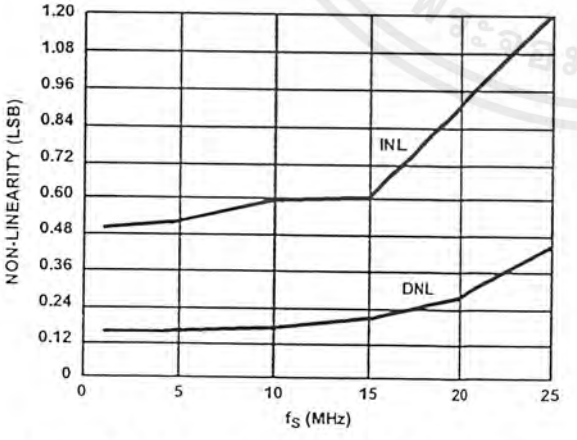


FIGURE 8. NON-LINEARITY vs SAMPLE FREQUENCY

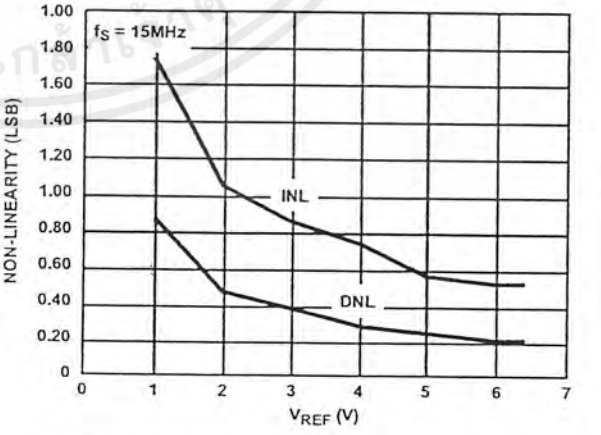


FIGURE 9. NON-LINEARITY vs REFERENCE VOLTAGE

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Typical Performance Curves (Continued)

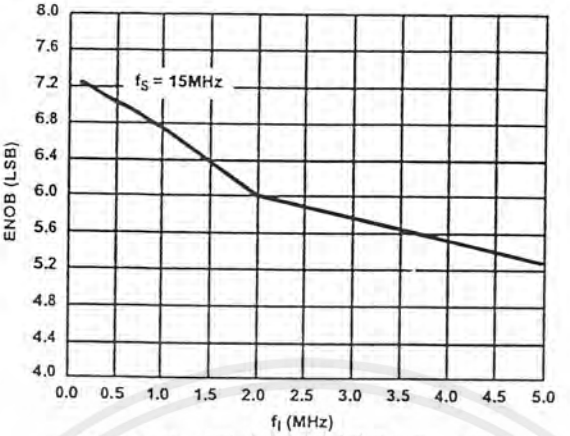


FIGURE 10. ENOB vs INPUT FREQUENCY

Pin Descriptions

PIN	NAME	DESCRIPTION	
1	B1	Bit 1 (LSB)	Output Data Bits (High = True)
2	B2	Bit 2	
3	B3	Bit 3	
4	B4	Bit 4	
5	B5	Bit 5	
6	B6	Bit 6	
7	B7	Bit 7	
8	B8	Bit 8 (MSB)	
9	OF	Overflow	
10	$^1/_4$ R	Reference Ladder $^1/_4$ Point	
11	V_{SS}	Digital Ground	
12	V_{DD}	Digital Power Supply, +5V	
13	CE2	Three-State Output Enable Input, Active Low, See Truth Table.	
14	$\overline{CE1}$	Three-State Output Enable Input Active High. See Truth Table.	
15	V_{REF}-	Reference Voltage Negative Input	
16	V_{IN}	Analog Signal Input	
17	V_{AA}-	Analog Ground	
18	CLK	Clock Input	
19	PHASE	Sample clock phase control input. When PHASE is low, "Sample Unknown" occurs when the clock is low and "Auto Balance" occurs when the clock is high (see text).	
20	$^1/_2$ R	Reference Ladder Midpoint	
21	V_{IN}	Analog Signal Input	
22	V_{REF}+	Reference Voltage Positive Input	
23	$^3/_4$ R	Reference Ladder $^3/_4$ Point	
24	V_{AA}+	Analog Power Supply, +5V	

CHIP ENABLE TRUTH TABLE

$\overline{CE1}$	CE2	B1 - B8	OF
0	1	Valid	Valid
1	1	Three-State	Valid
X	0	Three-State	Three-State

X = Don't Care

Theory of Operation

A sequential parallel technique is used by the CA3318 converter to obtain its high speed operation. The sequence consists of the "Auto-Balance" phase, $\phi 1$, and the "Sample Unknown" phase, $\phi 2$. (Refer to the circuit diagram.) Each conversion takes one clock cycle (see Note). With the phase control (pin 19) high, the "Auto-Balance" ($\phi 1$) occurs during the high period of the clock cycle, and the "Sample Unknown" ($\phi 2$) occurs during the low period of the clock cycle.

NOTE: The device requires only a single phase clock The terminology of $\phi 1$ and $\phi 2$ refers to the high and low periods of the same clock.

During the "Auto-Balance" phase, a transmission switch is used to connect each of the first set of 256 commutating capacitors to their associated ladder reference tap. Those tap voltages will be as follows:

$$V_{TAP}(N) = [(N/256)\,V_{REF}] - (1/512)\,V_{REF}]$$
$$= [(2N - 1)/512]\,V_{REF},$$

Where:

V_{TAP} (n) = reference ladder tap voltage at point n,

V_{REF} = voltage across V_{REF}- to V_{REF}+,

N = tap number (1 through 256).

The other side of these capacitors are connected to single-stage amplifiers whose outputs are shorted to their inputs by switches. This balances the amplifiers at their intrinsic trip points, which is approximately $(V_{AA}+ - V_{AA}-)/2$. The first set of capacitors now charges to their associated tap voltages.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

At the same time a second set of commutating capacitors and amplifiers is also auto-balanced. The balancing of the second-stage amplifier at its intrinsic trip point removes any tracking differences between the first and second amplifier stages. The cascaded auto-balance (CAB) technique, used here, increases comparator sensitivity and temperature tracking.

In the "Sample Unknown" phase, all ladder tap switches and comparator shorting switches are opened. At the same time V_{IN} is switched to the first set of commutating capacitors. Since the other end of the capacitors are now looking into an effectively open circuit, any input voltage that differs from the previous tap voltage will appear as a voltage shift at the comparator amplifiers. All comparators that had tap voltages greater than V_{IN} will go to a "high" state at their outputs. All comparators that had tap voltages lower than V_{IN} will go to a "low" state.

The status of all these comparator amplifiers is AC coupled through the second-stage comparator and stored at the end of this phase ($\phi 2$) by a latching amplifier stage. The latch feeds a second latching stage, triggered at the end of $\phi 1$. This delay allows comparators extra settling time. The status of the comparators is decoded by a 256 to 9-bit decoder array, and the results are clocked into a storage register at the end of the next $\phi 2$.

A 3-stage buffer is used at the output of the 9 storage registers which are controlled by two chip-enable signals. $\overline{CE1}$ will independently disable B1 through B6 when it is in a high state. CE2 will independently disable B1 through B8 and the OF buffers when it is in the low state.

To facilitate usage of this device, a phase control input is provided which can effectively complement the clock as it enters the chip.

Continuous-Clock Operation

One complete conversion cycle can be traced through the CA3318 via the following steps. (Refer to timing diagram.) With the phase control in a "low" state, the rising edge of the clock input will start a "sample" phase. During this entire "high" state of the clock, the comparators will track the input voltage and the first-stage latches will track the comparator outputs. At the falling edge of the clock, all 256 comparator outputs are captured by the 256 latches. This ends the "sample" phase and starts the "auto-balance" phase for the comparators. During this "low" state of the clock, the output of the latches settles and is captured by a second row of latches when the clock returns high. The second-stage latch output propagates through the decode array, and a 9-bit code appears at the D inputs of the output registers. On the next falling edge of the clock, this 9-bit code is shifted into the output registers and appears with time delay t_D as valid data at the output of the three-state drivers. This also marks the end of the next "sample" phase, thereby repeating the conversion process for this next cycle.

Pulse-Mode Operation

The CA3318 needs two of the same polarity clock edges to complete a conversion cycle: If, for instance, a negative going clock edge ends sample "N", then data "N" will appear after the next negative going edge. Because of this requirement, and because there is a maximum sample time of 500ns (due to capacitor droop), most pulse or intermittent sample applications will require double clock pulsing.

If an indefinite standby state is desired, standby should be in auto-balance, and the operation would be as in Figure 3A.

If the standby state is known to last less than 500ns and lowest average power is desired, then operation could be as in Figure 3B.

Increased Accuracy

In most cases the accuracy of the CA3318 should be sufficient without any adjustments. In applications where accuracy is of utmost importance, five adjustments can be made to obtain better accuracy, i.e., offset trim; gain trim; and $^1/_4$, $^1/_2$ and $^3/_4$ point trim.

Offset Trim

In general, offset correction can be done in the preamp circuitry by introducing a DC shift to V_{IN} or by the offset trim of the op amp. When this is not possible the V_{REF}- input can be adjusted to produce an offset trim. The theoretical input voltage to produce the first transition is $^1/_2$ LSB. The equation is as follows:

$$V_{IN} \text{ (0 to 1 transition)} = {}^1/_2 \text{ LSB} = {}^1/_2 (V_{REF}/256)$$
$$= V_{REF}/512.$$

If V_{IN} for the first transition is less than the theoretical, then a single-turn 50Ω pot connected between V_{REF}- and ground will accomplish the adjustment. Set V_{IN} to 1/2 LSB and trim the pot until the 0-to-1 transition occurs.

If V_{IN} for the first transition is greater than the theoretical, then the 50Ω pot should be connected between V_{REF}- and a negative voltage of about 2 LSBs. The trim procedure is as stated previously.

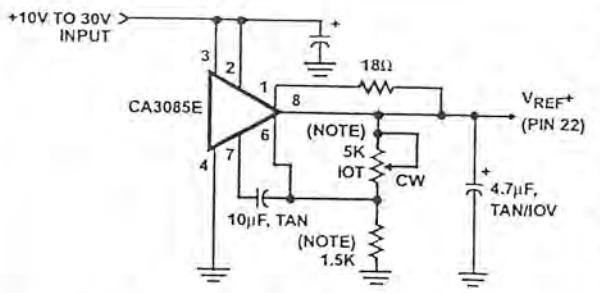
Gain Trim

In general, the gain trim can also be done in the preamp circuitry by introducing a gain adjustment for the op amp. When this is not possible, then a gain adjustment circuit should be made to adjust the reference voltage. To perform this trim, V_{IN} should be set to the 255 to overflow transition. That voltage is $^1/_3$ LSB less than V_{REF}+ and is calculated as follows:

$$V_{IN} \text{ (255 to 256 transition)} = V_{REF} - V_{REF}/512$$
$$= V_{REF}(511/512).$$

To perform the gain trim, first do the offset trim and then apply the required V_{IN} for the 255 to overflow transition. Now adjust V_{REF}+ until that transition occurs on the outputs.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

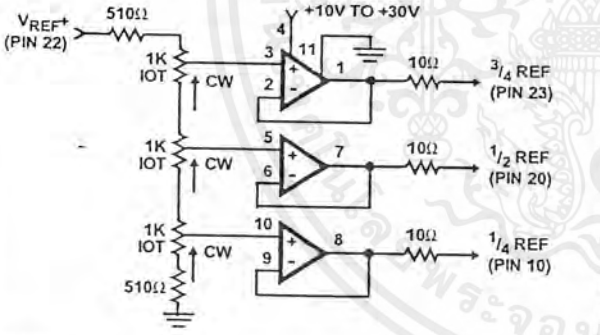


NOTE: Bypass $V_{REF}+$ to analog GND near A/D with 0.1µF ceramic cap. Parts noted should have low temperature drift.

FIGURE 11. TYPICAL VOLTAGE REFERENCE SOURCE FOR DRIVING $V_{REF}+$ INPUT

$^1/_4$ Point Trims

The $^1/_4$, $^1/_2$ and $^3/_4$ points on the reference ladder are brought out for linearity adjusting or if the user wishes to create a nonlinear transfer function. The $^1/_4$ points can be driven by the reference drivers shown (Figure 12) or by 2-K pots connected between $V_{REF}+$ and $V_{REF}-$. The $^1/_2$ (mid-) point should be set first by applying an input of 257/512 x (V_{REF}) and adjusting for an output changing from 128 to 129. Similarly the $^1/_4$ and $^3/_4$ points can be set with inputs of 129/512 and 385/512 x (V_{REF}) and adjusting for counts of 192 to 193 and 64 to 65. (Note that the points are actually $^1/_4$, $^1/_2$ and $^3/_4$ of full scale +1 LSB.)



NOTES:

1. All Op Amps = $^3/_4$ CA324E.
2. Bypass all reference points to analog ground near A/D with 0.1µF ceramic caps.
3. Adjust $V_{REF}+$ first, then $^1/_3$, $^3/_4$ and $^1/_4$ points.

FIGURE 12. TYPICAL $^1/_4$ POINT DRIVERS FOR ADJUSTING LINEARITY (USE FOR MAXIMUM LINEARITY)

9-Bit Resolution

To obtain 9-bit resolution, two CA3318s can be wired together. Necessary ingredients include an open-ended ladder network, an overflow indicator, three-state outputs, and chip-enable controls - all of which are available on the CA3318.

The first step for connecting a 9-bit circuit is to totem-pole the ladder networks, as illustrated in Figure 13. Since the absolute resistance value of each ladder may vary, external trim of the mid-reference voltage may be required.

The overflow output of the lower device now becomes the ninth bit. When it goes high, all counts must come from the upper device. When it goes low, all counts must come from the lower device. This is done simply by connecting the lower overflow signal to the CE1 control of the lower A/D converter and the CE2 control of the upper A/D converter. The three-state outputs of the two devices (bits 1 through 8) are now connected in parallel to complete the circuitry. The complete circuit for a 9-bit A/D converter is shown in Figure 13.

Grounding/Bypassing

The analog and digital supply grounds of a system should be kept separate and only-connected at the A/D. This keeps digital ground noise out of the analog data to be converted. Reference drivers, input amps, reference taps, and the V_{AA} supply should be bypassed at the A/D to the analog side of the ground. See Figure 15 for a block diagram of this concept. All capacitors shown should be low impedance 0.1µF ceramics and should be mounted as close to the A/D as possible. If $V_{AA}+$ is derived from V_{DD}, a small (10Ω resistor or inductor and additional filtering (4.7µF tantalum) may be used to keep digital noise out of the analog system.

Input Loading

The CA3318 outputs a current pulse to the V_{IN} terminal at the start of every sample period. This is due to capacitor charging and switch feedthrough and varies with input voltage and sampling rate. The signal source must be capable of recovering from the pulse before the end of the sample period to guarantee a valid signal for the A/D to convert. Suitable high speed amplifiers include the HA-5033, HA-2542; and CA3450. Figure 16 is an example of an amplifier which recovers fast enough for sampling at 15MHz.

Output Loading

The CMOS digital output stage, although capable of driving large loads, will reflect these loads into the local ground. It is recommended that a local QMOS buffer such as CD74HC541 E be used to isolate capacitive loads.

Definitions

Dynamic Performance Definitions

Fast Fourier Transform (FFT) techniques are used to evaluate the dynamic performance of the converter. A low distortion sine wave is applied to the input, it is sampled, and the output is stored in RAM. The data is then transformed into the frequency domain with a 4096 point FFT and analyzed to evaluate the dynamic performance of the A/D. The sine wave input to the part is -0.5dB down from fullscale for all these tests.

Signal-to-Noise (SNR)

SNR is the measured RMS signal to RMS noise at a specified input and sampling frequency. The noise is the RMS sum of all of the spectral components except the fundamental and the first five harmonics.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Signal-to-Noise + Distortion Ratio (SINAD)

SINAD is the measured RMS signal to RMS sum of all other spectral components below the Nyquist frequency excluding DC.

Effective Number of Bits (ENOB)

The effective number of bits (ENOB) is derived from the SINAD data. ENOB is calculated from:

$$ENOB = (SINAD - 1.76 + V_{CORR})/6.02,$$

where: $V_{CORR} = 0.5dB$.

Total Harmonic Distortion (THD)

THD is the ratio of the RMS sum of the first 5 harmonic components to the RMS value of the measured input signal.

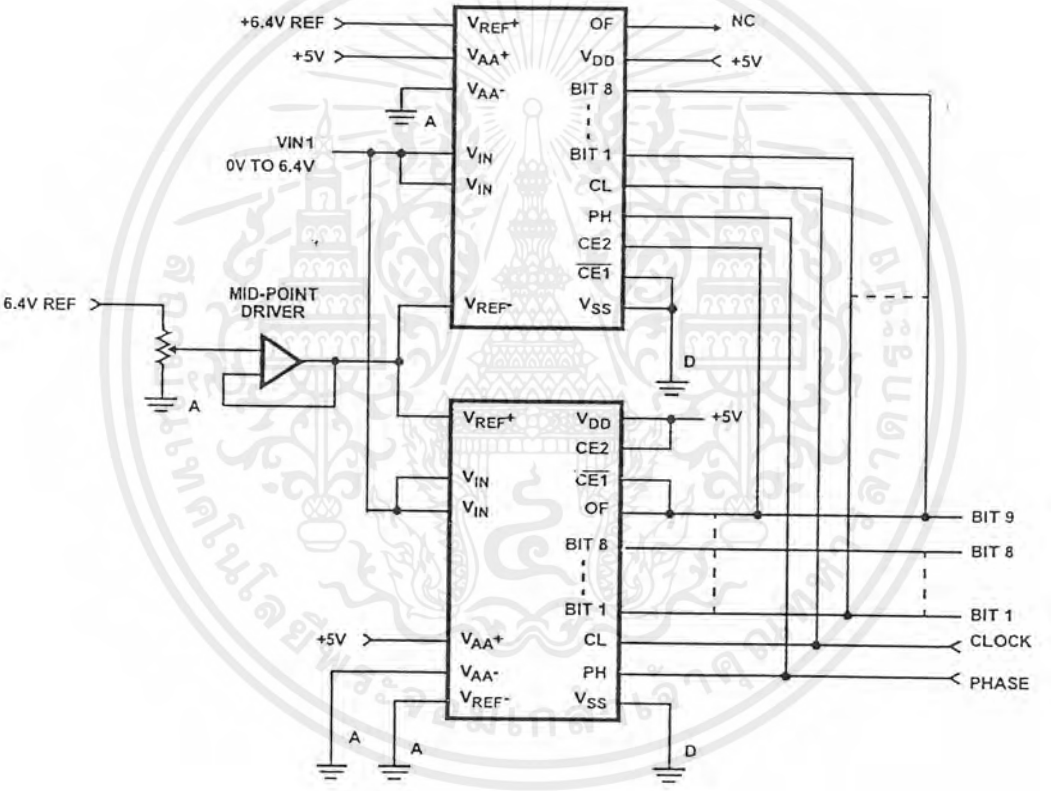


FIGURE 13. USING TWO CA3318s FOR 9-BIT RESOLUTION

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

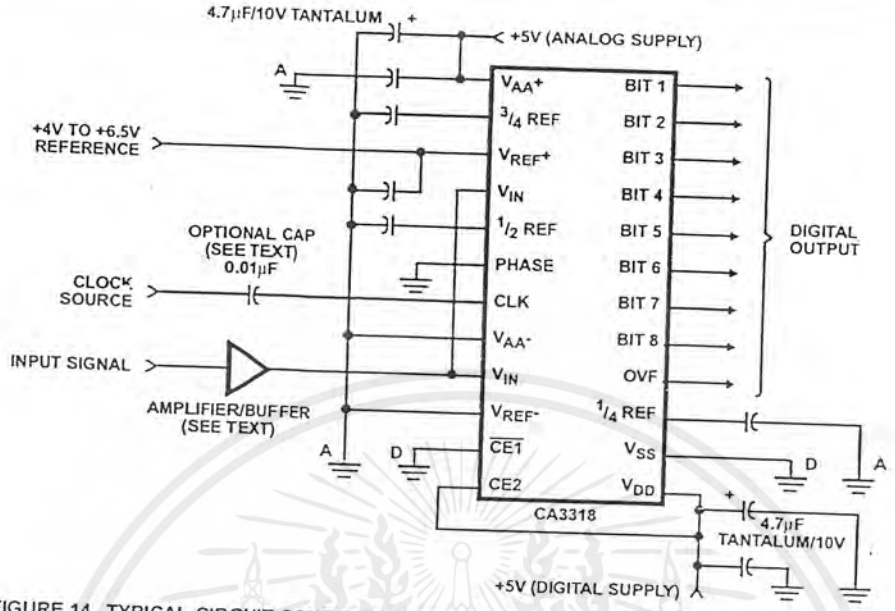


FIGURE 14. TYPICAL CIRCUIT CONFIGURATION FOR THE CA3318 WITH NO LINEARITY ADJUST

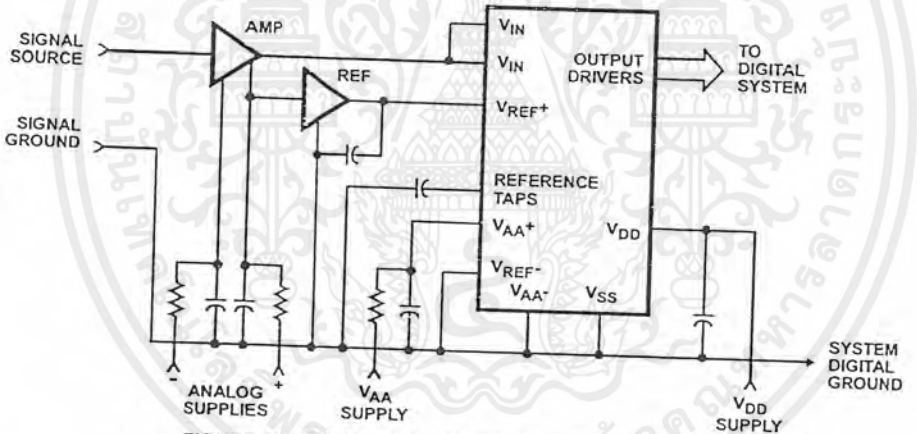
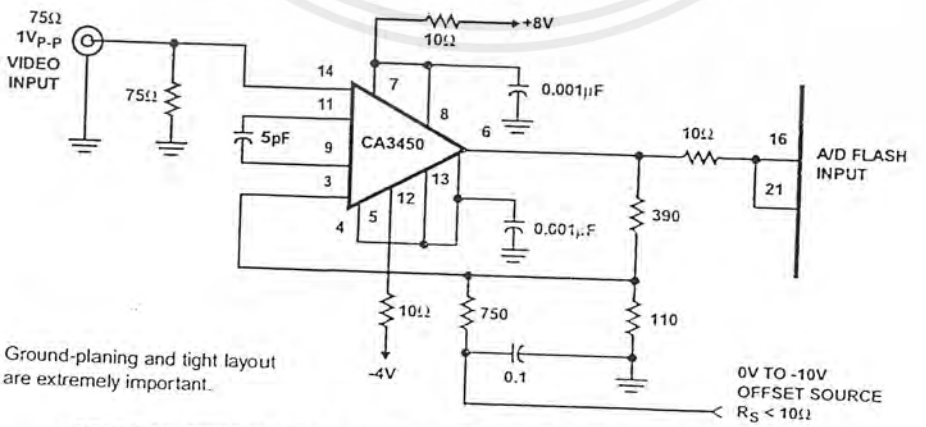


FIGURE 15. TYPICAL SYSTEM GROUNDING/BYPASSING



NOTE: Ground-planing and tight layout are extremely important.

FIGURE 16. TYPICAL HIGH BANDWIDTH AMPLIFIER FOR DRIVING THE CA3318

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

TABLE 1. OUTPUT CODE TABLE

CODE DESCRIPTION	(NOTE 1) INPUT VOLTAGE		BINARY OUTPUT CODE									DECIMAL COUNT
	V_{REF} 6.40V (V)	V_{REF} 5.12V (V)	OF	MSB B8	B7	B6	B5	B4	B3	B2	LSB B1	
Zero	0.00	0.00	0	0	0	0	0	0	0	0	0	0
1 LSB	0.025	0.02	0	0	0	0	0	0	0	0	1	1
2 LSB	0.05	0.04	0	0	0	0	0	0	0	1	0	2
•	•	•					•					•
•	•	•					•					•
•	•	•					•					•
$^1/_4$ Full Scale	1.60	1.28	0	0	1	0	0	0	0	0	0	64
•	•	•					•					•
•	•	•					•					•
•	•	•					•					•
$^1/_2$ Full Scale - 1 LSB	3.175	2.54	0	0	1	1	1	1	1	1	1	127
$^1/_2$ Full Scale	3.20	2.56	0	1	0	0	0	0	0	0	0	128
$^1/_2$ Full Scale + 1 LSB	3.225	2.58	0	1	0	0	0	0	0	0	1	129
•	•	•					•					•
•	•	•					•					•
•	•	•					•					•
$^3/_4$ Full Scale	4.80	3.84	0	1	1	0	0	0	0	0	0	192
•	•	•					•					•
•	•	•					•					•
•	•	•					•					•
Full Scale - 1 LSB	6.35	5.08	0	1	1	1	1	1	1	1	0	254
Full Scale	6.375	5.10	0	1	1	1	1	1	1	1	1	255
Over Flow	6.40	5.12	1	1	1	1	1	1	1	1	1	511

NOTE: 1. The voltages listed above are the ideal centers of each output code shown as a function of its associated reference voltage.

Reducing Power

Most power is consumed while in the auto-balance state. When operating at lower than 15MHz clock speed, power can be reduced by stretching the sample ($\phi 2$) time. The constraints are a minimum balance time ($\phi 1$) of 33ns, and a maximum sample time of 500ns. Longer sample times cause droop in the auto-balance capacitors. Power can also be reduced in the reference string by switching the reference on only during auto-balance.

Clock Input

The Clock and Phase inputs feed buffers referenced to $V_{AA}+$ and $V_{AA}-$. Phase should be tied to one of these two potentials, while the clock (if DC coupled) should be driven at least from 0.2 to 0.7 x ($V_{AA}+ - V_{AA}-$). The clock may also be AC coupled with at least a $1V_{P-P}$ swing. This allows TTL drive levels or 5V QMOS levels when $V_{AA}+$ is greater than 5V.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

HARRIS SEMICONDUCTOR

CA3338, CA3338A

CMOS Video Speed, 8-Bit, 50 MSPS, R2R D/A Converters

August 1997

Features

- CMOS/SOS Low Power
- R2R Output, Segmented for Low "Glitch"
- CMOS/TTL Compatible Inputs
- Fast Settling: (Typ) to $^1/_2$ LSB 20ns
- Feedthrough Latch for Clocked or Unclocked Use
- Accuracy (Typ) . . . . . ±0.5 LSB
- Data Complement Control
- High Update Rate (Typ) 50MHz
- Unipolar or Bipolar Operation

Applications

- TV/Video Display
- High Speed Oscilloscope Display
- Digital Waveform Generator
- Direct Digital Synthesis

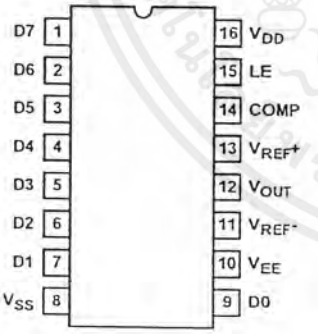
Description

The CA3338 family are CMOS/SOS high speed R2R voltage output digital-to-analog converters. They can operate from a single +5V supply, at video speeds, and can produce "rail-to-rail" output swings. Internal level shifters and a pin for an optional second supply provide for an output range below digital ground. The data complement control allows the inversion of input data while the latch enable control provides either feedthrough or latched operation. Both ends of the R2R ladder network are available externally and may be modulated for gain or offset adjustments. In addition, "glitch" energy has been kept very low by segmenting and thermometer encoding of the upper 3 bits.

The CA3338 is manufactured on a sapphire substrate to give low dynamic power dissipation, low output capacitance, and inherent latch-up resistance.

Pinout

CA3338, CA3338A
(PDIP, SBDIP, SOIC)
TOP VIEW



Ordering Information

PART NUMBER	LINEARITY (INL, DNL)	TEMP. RANGE (°C)	PACKAGE	PKG. NO.
CA3338E	±1.0 LSB	-40 to 85	16 Ld PDIP	E16.3
CA3338AE	±0.75 LSB	-40 to 85	16 Ld PDIP	E16.3
CA3338D	±1.0 LSB	-55 to 125	16 Ld SBDIP	D16.3
CA3338AD	±0.75 LSB	-55 to 125	16 Ld SBDIP	D16.3
CA3338M	±1.0 LSB	-40 to 85	16 Ld SOIC	M16.3
CA3338AM	±0.75 LSB	-40 to 85	16 Ld SOIC	M16.3

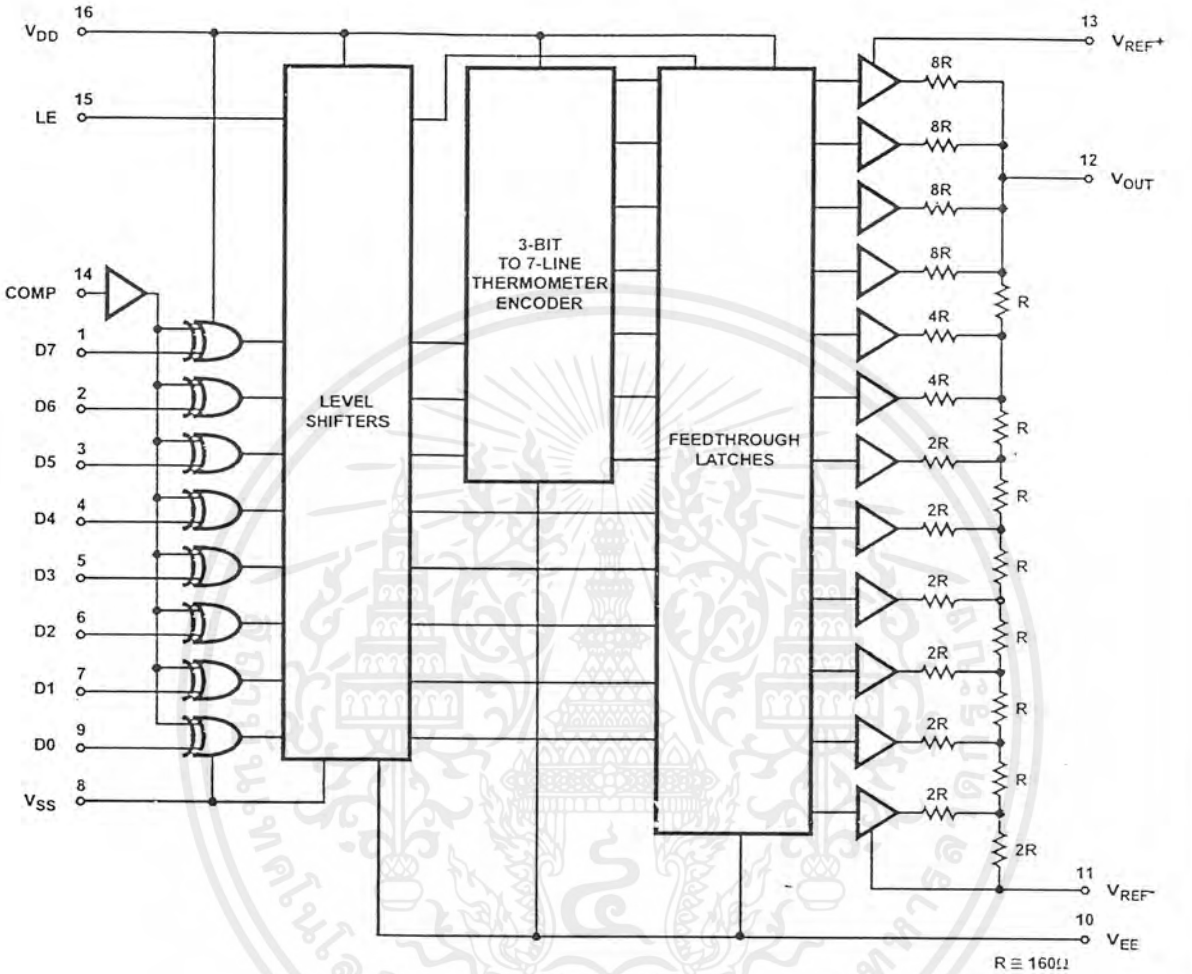
CAUTION: These devices are sensitive to electrostatic discharge. Users should follow proper IC Handling Procedures.

Copyright © Harris Corporation 1997

File Number 1850.2

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Functional Diagram



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Absolute Maximum Ratings

DC Supply-Voltage Range . . . . . -0.5V to +8V
(V_{DD} - V_{SS} or V_{DD} - V_{EE}, Whichever is Greater)
Input Voltage Range
Digital Inputs (LE, COMP D0 - D7) . . . . V_{SS} - 0.5V to V_{DD} + 0.5V
Analog Pins (V_{REF}+, V_{REF}-, V_{OUT}) . . . . V_{DD} - 8V to V_{DD} + 0.5V
DC Input Current
Digital Inputs (LE, COMP, D0 - D7) . . . . . ±20mA
Recommended Supply Voltage Range . . . . . 4.5V to 7.5V

Operating Conditions

Temperature Range (T_A)
Ceramic Package, D suffix . . . . . -55°C to 125°C
Plastic Package, E suffix, M suffix . . . . . -40°C to 85°C

Thermal Information

Thermal Resistance (Typical, Note 1)	θ_{JA} (°C/W)	θ_{JC} (°C/W)
SBDIP Package	75	24
PDIP Package	100	N/A
SOIC Package	100	N/A

Maximum Junction Temperature
Ceramic Package . . . . . 175°C
Plastic Packages . . . . . 150°C
Maximum Storage Temperature Range, T_{STG} . . . . -65°C to 150°C
Maximum Lead Temperature (Soldering 10s) . . . . . 300°C
(SOIC - Lead Tips Only)

CAUTION: Stresses above those listed in "Absolute Maximum Ratings" may cause permanent damage to the device. This is a stress only rating and operation of the device at these or any other conditions above those indicated in the operational sections of this specification is not implied.

NOTE:

1. θ_{JA} is measured with the component mounted on an evaluation PC board in free air.

Electrical Specifications

T_A = 25°C, V_{DD} = 5V, V_{REF}+ = 4.608V, V_{SS} = V_{EE} = V_{REF}- = GND, LE Clocked at 20MHz, $R_L \geq 1$ MΩ, Unless Otherwise Specified

PARAMETER	TEST CONDITIONS	MIN	TYP	MAX	UNITS
ACCURACY					
Resolution		8	-	-	Bits
Integral Linearity Error	See Figure 4				
CA3338		-	-	±1	LSB
CA3338A		-	-	±0.75	LSB
Differential Linearity Error	See Figure 4				
CA3338		-	-	±0.75	LSB
CA3338A		-	-	±0.5	LSB
Gain Error	Input Code = FF_{HEX}, See Figure 3				
CA3338		-	-	±0.75	LSB
CA3338A		-	-	±0.5	LSB
Offset Error	Input Code = 00_{HEX}, See Figure 3	-	-	±0.25	LSB
DIGITAL INPUT TIMING					
Update Rate	To Maintain $^1/_2$ LSB Settling	DC	50	-	MHz
Update Rate	V_{REF}- = V_{EE} = -2.5V, V_{REF}+ = +2.5V	DC	20	-	MHz
Set Up Time t_{SU1}	For Low Glitch	-	-2	-	ns
Set Up Time t_{SU2}	For Data Store	-	8	-	ns
Hold Time t_H	For Data Store	-	5	-	ns
Latch Pulse Width t_W	For Data Store	-	5	-	ns
Latch Pulse Width t_W	V_{REF}- = V_{EE} = -2.5V, V_{REF}+ = +2.5V	-	25	-	ns
OUTPUT PARAMETERS	R_L Adjusted for $1V_{P-P}$ Output				
Output Delay t_{D1}	From LE Edge	-	25	-	ns
Output Delay t_{D2}	From Data Changing	-	22	-	ns
Rise Time t_r	10% to 90% of Output	-	4	-	ns
Settling Time t_S	10% to Settling to $^1/_2$ LSB	-	20	-	ns
Output Impedance	V_{REF}+ = 6V, V_{DD} = 6V	120	160	200	Ω
Glitch Area		-	150	-	pV/s
Glitch Area	V_{REF}- = V_{EE} = -2.5V, V_{REF}+ = +2.5V	-	250	-	pV/s

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Electrical Specifications $T_A = 25^oC$, $V_{DD} = 5V$, $V_{REF}+ = 4.608V$, $V_{SS} = V_{EE} = V_{REF}- = GND$, LE Clocked at 20MHz, $R_L \geq 1 M\Omega$, Unless Otherwise Specified **(Continued)**

PARAMETER	TEST CONDITIONS	MIN	TYP	MAX	UNITS
REFERENCE VOLTAGE					
$V_{REF}+$ Range	(+) Full Scale, Note 1	$V_{REF}- + 3$	-	V_{DD}	V
$V_{REF}-$ Range	(-) Full Scale, Note 1	V_{EE}	-	$V_{REF}+ - 3$	V
$V_{REF}+$ Input Current	$V_{REF}+ = 6V$, $V_{DD} = 6V$	-	40	50	mA
SUPPLY VOLTAGE					
Static I_{DD} or I_{EE}	LE = Low, D0 - D7 = High	-	100	220	µA
	LE = Low, D0 - D7 = Low	-	-	100	µA
Dynamic I_{DD} or I_{EE}	V_{OUT} = 10MHz, 0V to 5V Square Wave	-	20	-	mA
Dynamic I_{DD} or I_{EE}	V_{OUT} = 10MHz, ±2.5V Square Wave	-	25	-	mA
V_{DD} Rejection	50kHz Sine Wave Applied	-	3	-	mV/V
V_{EE} Rejection	50kHz Sine Wave Applied	-	1	-	mV/V
DIGITAL INPUTS D0 - D7, LE, COMP					
High Level Input Voltage	Note 1	2	-	-	V
Low Level Input Voltage	Note 1	-	-	0.8	V
Leakage Current		-	±1	±5	µA
Capacitance		-	5	-	pF
TEMPERATURE COEFFICIENTS					
Output Impedance		-	200	-	ppm/^oC

NOTE:

1. Parameter not tested, but guaranteed by design or characterization.

Pin Descriptions

PIN	NAME	DESCRIPTION
1	D7	Most Significant Bit
2	D6	Input
3	D5	Data
4	D4	Bits
5	D3	(High = True)
6	D2	
7	D1	
8	V_{SS}	Digital Ground
9	D_0	Least Significant Bit, Input Data Bit
10	V_{EE}	Analog Ground
11	$V_{REF}-$	Reference Voltage Negative Input
12	V_{OUT}	Analog Output
13	$V_{REF}+$	Reference Voltage Positive Input
14	COMP	Data Complement Control Input, Active High
15	LE	Latch Enable Input, Active Low
16	V_{DD}	Digital Power Supply, +5V

Digital Signal Path

The digital inputs (LE, COMP, and D0 - D7) are of TTL compatible HCT High Speed CMOS design: the loading is essentially capacitive and the logic threshold is typically 1.5V.

The 8 data bits, D0 (weighted 2^0) through D7 (weighted 2^7), are applied to Exclusive OR gates (see Functional Diagram). The COMP (data complement) control provides the second input to the gates: if COMP is high, the data bits will be inverted as they pass through.

The input data and the LE (latch enable) signals are next applied to a level shifter. The inputs, operating between the levels of V_{DD} and V_{SS}, are shifted to operate between V_{DD} and V_{EE}. V_{EE} optionally at ground or at a negative voltage, will be discussed under bipolar operation. All further logic elements except the output drivers operate from the V_{DD} and V_{EE} supplies.

The upper 3 bits of data, D5 through D7, are input to a 3-to-7 line bar graph encoder. The encoder outputs and D0 through D4 are applied to a feedthrough latch, which is controlled by LE (latch enable).

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

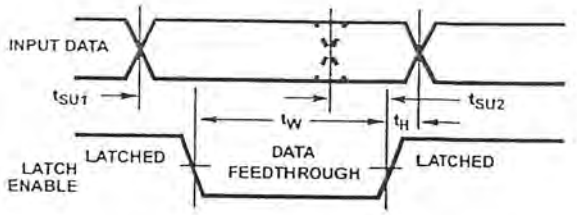


FIGURE 1. DATA TO LATCH ENABLE TIMING

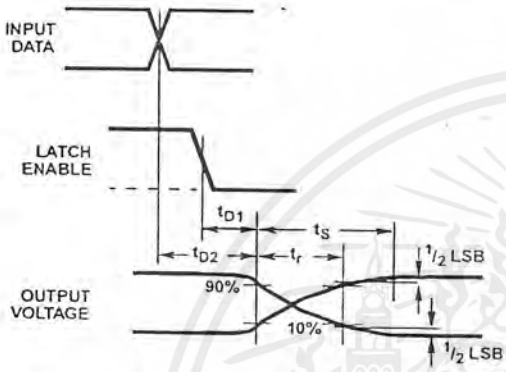


FIGURE 2. DATA AND LATCH ENABLE TO OUTPUT TIMING

Latch Operation

Data is fed from input to output while LE is low: LE should be tied low for non-clocked operation.

Non-clocked operation or changing data while LE is low is not recommended for applications requiring low output "glitch" energy: there is no guarantee of the simultaneous changing of input data or the equal propagation delay of all bits through the converter. Several parameters are given if the converter is to be used in either of these modes: t_{D2} gives the delay from the input changing to the output changing (10%), while t_{SU2} and t_H give the set up and hold times (referred to LE rising edge) needed to latch data. See Figures 1 and 2.

Clocked operation is needed for low "glitch" energy use. Data must meet the given t_{SU1} set up time to the LE falling edge, and the t_H hold time from the LE rising edge. The delay to the output changing, t_{D1}, is now referred to the LE falling edge.

There is no need for a square wave LE clock; LE must only meet the minimum t_W pulse width for successful latch operation. Generally, output timing (desired accuracy of settling) sets the upper limit of usable clock frequency.

Output Structure

The latches feed data to a row of high current CMOS drivers, which in turn feed a modified R2R ladder network.

The "N" channel (pull down) transistor of each driver plus the bottom "2R" resistor are returned to V_{REF}- this is the (-) full-scale reference. The "P" channel (pull up) transistor of each driver is returned to V_{REF}+, the (+) full-scale reference.

In unipolar operation, V_{REF}- would typically be returned to analog ground, but may be raised above ground (see specifications). There is substantial code dependent current that flows from V_{REF}+ to V_{REF}- (see V_{REF}+ input current in specifications), so V_{REF}- should have a low impedance path to ground.

In bipolar operation, V_{REF}- would be returned to a negative voltage (the maximum voltage rating to V_{DD} must be observed). V_{EE}, which supplies the gate potential for the output drivers, must be returned to a point at least as negative as V_{REF}-. Note that the maximum clocking speed decreases when the bipolar mode is used.

Static Characteristics

The ideal 8-bit D/A would have an output equal to V_{REF}- with an input code of 00_{HEX} (zero scale output), and an output equal to 255/256 of V_{REF}+ (referred to V_{REF}-) with an input code of FF_{HEX} (full scale output). The difference between the ideal and actual values of these two parameters are the OFFSET and GAIN errors, respectively; see Figure 3.

If the code into an 8-bit D/A is changed by 1 count, the output should change by 1/255 (full scale output - zero scale output). A deviation from this step size is a differential linearity error, see Figure 4. Note that the error is expressed in fractions of the ideal step size (usually called an LSB). Also note that if the (-) differential linearity error is less (in absolute numbers) than 1 LSB, the device is monotonic. (The output will always increase for increasing code or decrease for decreasing code).

If the code into an 8-bit D/A is at any value, say "N", the output voltage should be N/255 of the full scale output (referred to the zero scale output). Any deviation from that output is an integral linearity error, usually expressed in LSBs. See Figure 4.

Note that OFFSET and GAIN errors do not affect integral linearity, as the linearity is referenced to actual zero and full scale outputs, not ideal. Absolute accuracy would have to also take these errors into account.

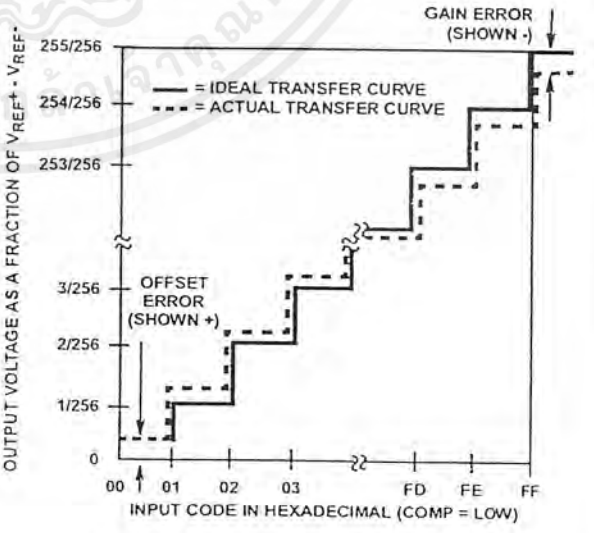


FIGURE 3. D/A OFFSET AND GAIN ERROR

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

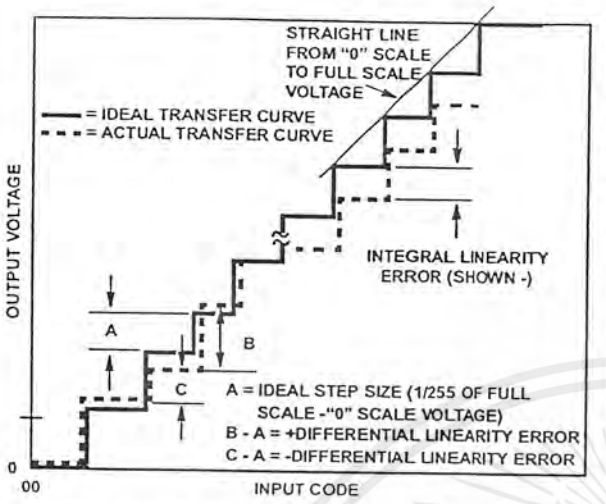


FIGURE 4. D/A INTEGRAL AND DIFFERENTIAL LINEARITY ERROR

Dynamic Characteristics

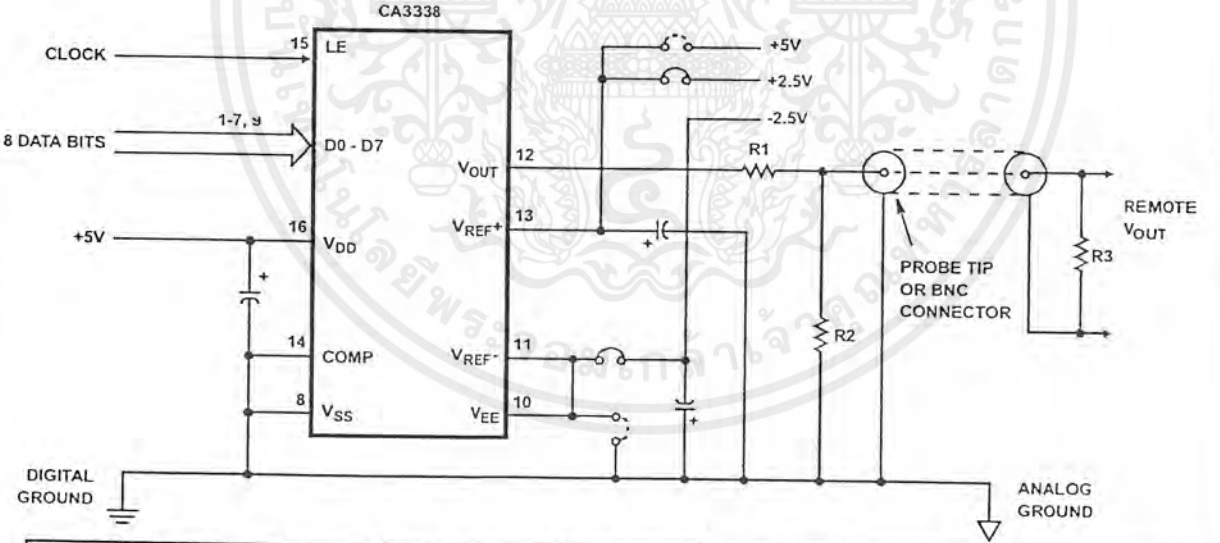
Keeping the full-scale range ($V_{REF}+ - V_{REF}-$) as high as possible gives the best linearity and lowest "glitch" energy (referred to 1V). This provides the best "P" and "N" channel gate drives (hence saturation resistance) and propagation delays. The $V_{REF}+$ (and $V_{REF}-$ if bipolar) terminal should be well bypassed as near the chip as possible.

"Glitch" energy is defined as a spurious voltage that occurs as the output is changed from one voltage to another. In a binary input converter, it is usually highest at the most significant bit transition ($7F_{HEX}$ to 80_{HEX} for an 8 bit device), and can be measured by displaying the output as the input code alternates around that point. The "glitch" energy is the area between the actual output display and an ideal one LSB step voltage (subtracting negative area from positive), at either the positive or negative-going step. It is usually expressed in pV/s.

The CA3338 uses a modified R2R ladder, where the 3 most significant bits drive a bar graph decoder and 7 equally weighted resistors. This makes the "glitch" energy at each $^1/_8$ scale transition ($1F_{HEX}$ to 20_{HEX}, $3F_{HEX}$ to 40_{HEX}, etc.) essentially equal, and far less than the MSB transition would otherwise display.

For the purpose of comparison to other converters, the output should be resistively divided to 1V full scale. Figure 5 shows a typical hook-up for checking "glitch" energy or settling time.

The settling time of the A/D is mainly a function of the output resistance (approximately 160Ω in parallel with the load resistance) and the load plus internal chip capacitance. Both "glitch" energy and settling time measurements require very good circuit and probe grounding: a probe tip connector such as Tektronix part number 131-0258-00 is recommended.



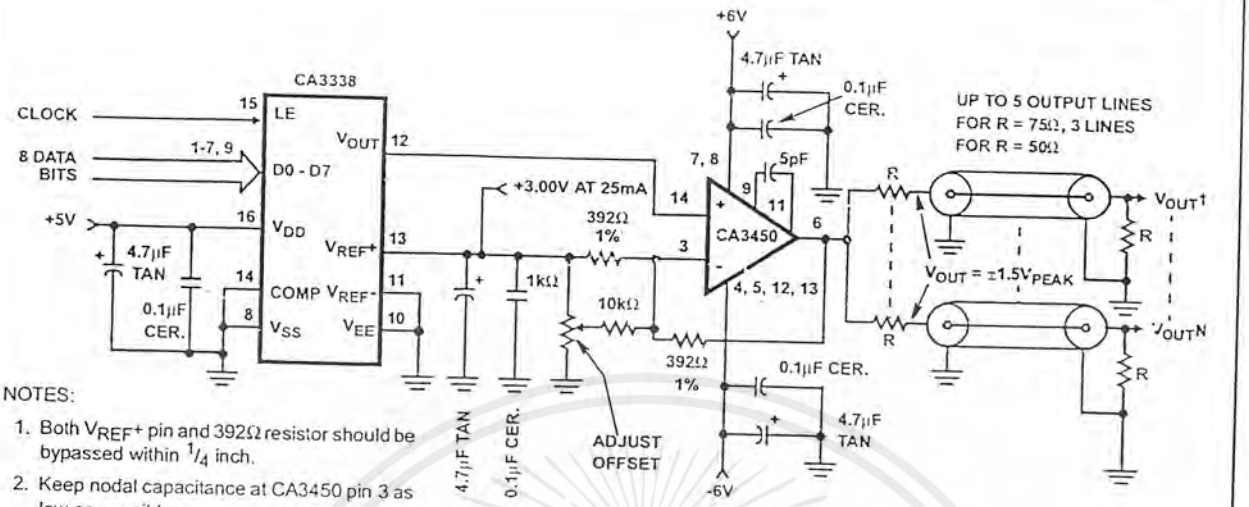
FUNCTION	CONNECTOR	R1	R2	R3	V_{OUT} (P-P)
Oscilloscope Display	Probe Tip	82Ω	62Ω	N/C	1V
Match 93Ω Cable	BNC	75	160	93	1V
Match 75Ω Cable	BNC	18	130	75	1V
Match 50Ω Cable	BNC	Short	75	50	0.79V

NOTES:

2. $V_{OUT(P-P)}$ is approximate, and will vary as R_{OUT} of D/A varies.
3. All drawn capacitors are 0.1µF multilayer ceramic/4.7µF tantalum.
4. Dashed connections are for unipolar operation. Solid connection are for bipolar operation.

FIGURE 5. CA3338 DYNAMIC TEST CIRCUIT

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



NOTES:

1. Both $V_{REF}+$ pin and 392Ω resistor should be bypassed within $^1/_4$ inch.
2. Keep nodal capacitance at CA3450 pin 3 as low as possible.
3. V_{OUT} Range = ±3V at CA3450.

FIGURE 6. CA3338 AND CA3450 FOR DRIVING MULTIPLE COAXIAL LINES

TABLE 1. OUTPUT VOLTAGE vs INPUT CODE AND V_{REF}

$V_{REF}+$ $V_{REF}-$ STEP SIZE	5.12V 0 0.0200V	5.00V 0 0.0195V	4.608V 0 0.0180V	2.56V -2.56V 0.0200V	2.50V -2.50V 0.0195V
Input Code					
$11111111_2 = FF_{HEX}$	5.1000V	4.9805V	4.5900V	2.5400V	2.4805V
$11111102 = FE_{HEX}$	5.0800	4.9610	4.5720	2.5200	2.4610
.					
.					
.					
$10000001_2 = 81_{HEX}$	2.5800	2.5195	2.3220	0.0200	0.0195
$10000000_2 = 80_{HEX}$	2.5600	2.5000	2.3040	0.0000	0.0000
$01111111_2 = 7F_{HEX}$	2.5400	2.4805	2.2860	-0.0200	-0.0195
.					
.					
.					
$00000001_2 = 01_{HEX}$	0.0200	0.0195	0.0180	-2.5400	-2.4805
$00000000_2 = 00_{HEX}$	0.0000	0.0000	0.0000	-2.5600	-2.5000

Applications

The output of the CA3338 can be resistively divided to match a doubly terminated 50Ω or 75Ω line, although peak-to-peak swings of less than 1V may result. The output magnitude will also vary with the converter's output impedance. Figure 5 shows such an application. Note that because of the HCT input structure, the CA3338 could be operated up to +7.5V V_{DD} and $V_{REF}+$ supplies and still accept 0V to 5V CMOS input voltages.

If larger voltage swings or better accuracy is desired, a high speed output buffer, such as the HA-5033, HA-2542, or CA3450, can be employed. Figure 6 shows a typical application, with the output capable of driving ±2V into multiple 50Ω terminated lines.

Operating and Handling Considerations

HANDLING

All inputs and outputs of CMOS devices have a network for electrostatic protection during handling. Recommended handling practices for CMOS devices are described in AN6525, "Guide to Better Handling and Operation of CMOS Integrated Circuits."

OPERATING

Operating Voltage

During operation near the maximum supply voltage limit, care should be taken to avoid or suppress power supply turn-on and turn-off transients, power supply ripple, or ground noise; any of these conditions must not cause the absolute maximum ratings to be exceeded.

Input Signals

To prevent damage to the input protection circuit, input signals should never be greater than V_{DD} nor less than V_{SS}. Input currents must not exceed 20mA even when the power supply is off.

Unused Inputs

A connection must be provided at every input terminal. All unused input terminals must be connected to either V_{CC} or GND, whichever is appropriate.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

May 1990

Video Line Driver, High-Speed Operational Amplifiers

Features:

- *High open loop gain at video frequencies: A_{OL} = > 40 dB at f = 5 MHz*
- *Power bandwidth of 10 MHz; AClosed Loop = 5; V_O = ±3.5 V*
- *Slew rate of 330 V/μsec ($A_V \geq 10$) at full load*
- *f_T = 220 MHz; C_C = 5pF with a load of 50 ohm || 20 pF || 1 MΩ (scope input)*
- *V_{OUT} = ±4.1 V into 75 Ω*
- *Offset null terminals*

Applications:

- *Video line driver*
- *High-frequency unity gain buffer*
- *Pulse amplifier*
- *High-speed comparator*
- *High-frequency oscillator and video amplifiers*
- *Driver for A/Ds in video applications: 10 MHz BW*

The CA3450* is a large signal video line driver and high speed operational amplifier capable of driving 50 ohm transmission lines and flash A/Ds. The uncompensated unity gain crossing occurs at 230 MHz without load. It can operate dual or single supplies of ±7.25 V or 14.5 V, respectively. The CA3450 can be compensated with a single capacitor network. It has output drive capability of 75 mA SINK or SOURCE. The CA3450 is capable of driving Flash A/D's in video or high-speed instrumentation (accurate) applications with bandwidth up to 10 MHz. Offset voltage nulling terminals are also available.

The CA3450 is available in a 16-lead dual-in-line plastic package (E suffix).

*Formerly RCA Development Type No. TA11371A.

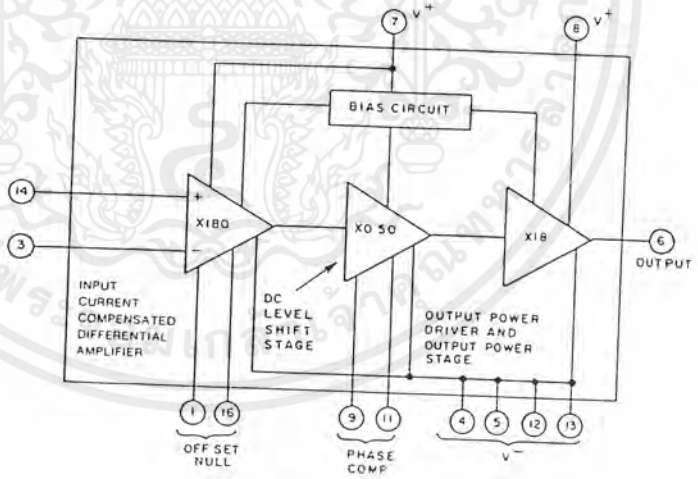


Figure 1 - Block diagram of the CA3450.

Copyright © Harris Corporation 1990

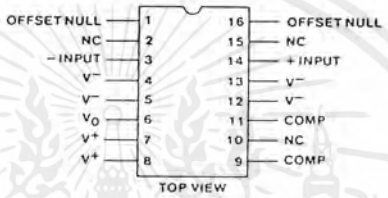
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

MAXIMUM RATINGS, *Absolute-Maximum Values*

DC SUPPLY VOLTAGE (BETWEEN V+ AND V- TERMINAL) ..... 14.5 V
DIFFERENTIAL INPUT VOLTAGE ..... ±5 V
DEVICE DISSIPATION:
- Up to 55°C ..... 1.5 W
- Above 55°C ..... Derate linearly at 16.6 mW/°C

OUTPUT CURRENT (SINK OR SOURCE) ..... 100 mA
TEMPERATURE RANGE
- Operating ..... -40°C to 85°C
- Storage ..... -55°C to 150°C

MAXIMUM JUNCTION TEMPERATURE ..... 150°C
MAXIMUM THERMAL RESISTANCE
- Junction to Air (θJ-A) ..... 60°C/W
- Junction to Case (θJ-C) ..... 12°C/W
- To pins 4, 5, 12, 13 at seat



TERMINAL ASSIGNMENT

ELECTRICAL CHARACTERISTICS, *At T_A = 25°C, C_C = 5 pF, V+, V- = 6 V**

CHARACTERISTICS	CONDITIONS		LIMITS MIN.	LIMITS TYP.	LIMITS MAX.	UNITS
STATIC						
Input Offset Voltage, $\|V_{IO}\|$	T_A = 25°C		—	8	20	mV
	T_A = -40°C to 85°C		—	10	35	
Input Bias Current, $\|I_{IB}\|$	T_A = 25°C		—	100	400	nA
Input Offset Current, $\|I_{IO}\|$	T_A = 25°C		—	50	200	
Open Loop DC Gain, A_{OL}	V_{OUT} = ±2.5 V; R_L = 50 Ω	-40°C to 85°C	55	—	—	dB
		25°C	60	70	—	
Power Supply Rejection Ratio, P_{SRR}	ΔV = ±1 V		55	65	—	
Common-Mode Rejection Ratio, C_{MRR}	V_{ICR}± = ±3.5 V		50	60	—	
Common-Mode Input Range, V_{ICR}	T_A = -40°C to 85°C		±3.0	—	—	V
	T_A = 25°C		±3.5	±3.7	—	
Supply current, I	T_A = -40°C to 85°C		—	—	50	mA
	T_A = 25°C		—	30	40	

*All test are performed with ± 6 volts at the terminals of the device.

A 10 ohm, ¼ watt supply decoupling resistor is shown in all application circuits of this device. The resistor serves two purpose, first provides a means of decoupling the IC directly at its terminal without introducing additional supply resonance due to parallel connected capacitors. Secondly, it also provides protection for the device in event of a substained short circuit applied directly to the output terminals.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

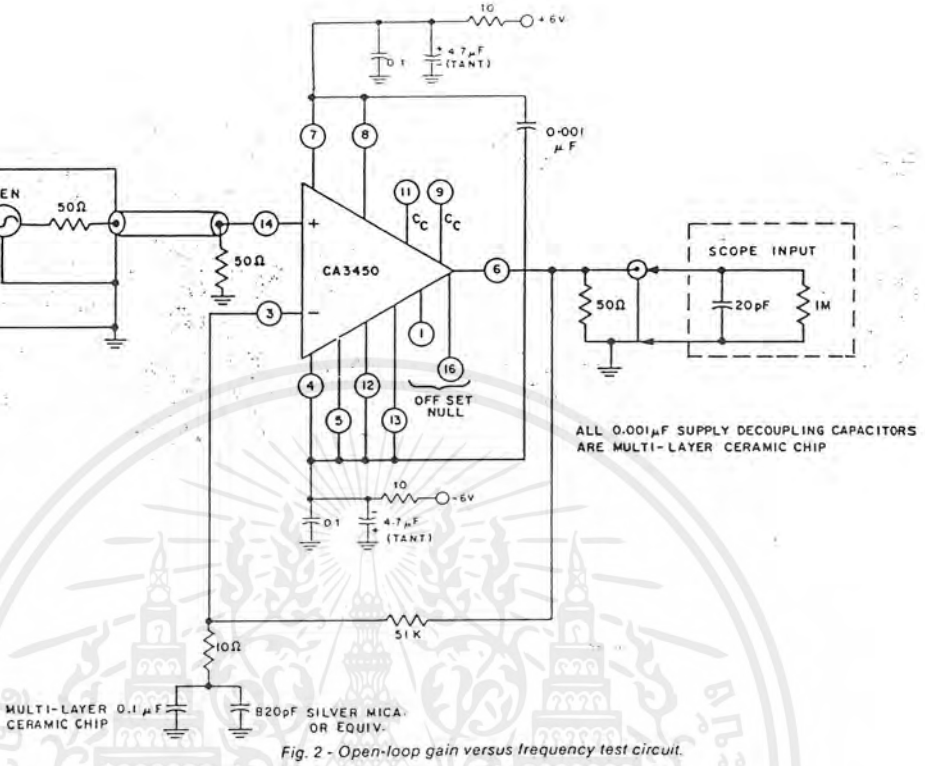


Fig. 2 - Open-loop gain versus frequency test circuit.

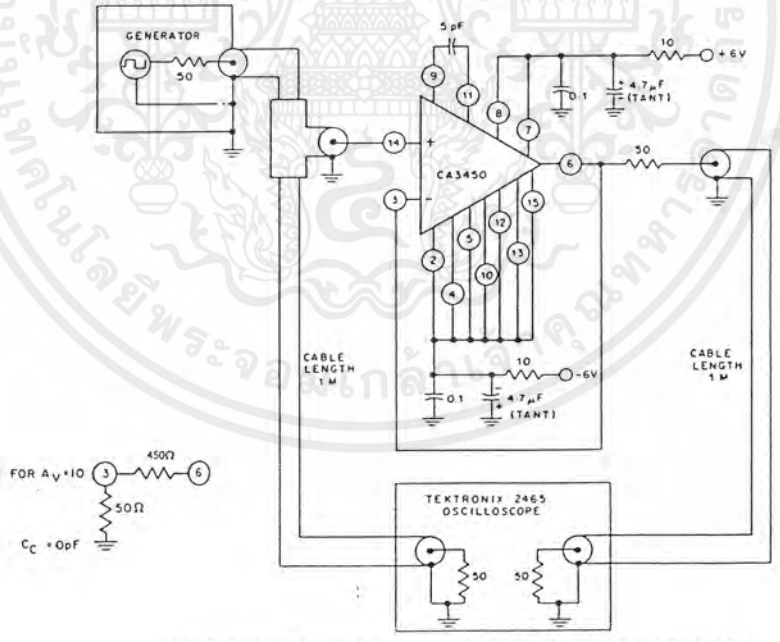


Fig. 3 - Unity-gain and X10 non-inverting amplifier/and slew rate test circuit.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Transient Response Waveforms

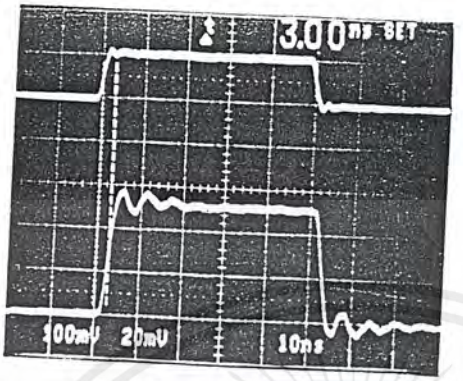


Figure 4 – Transient-response waveform.

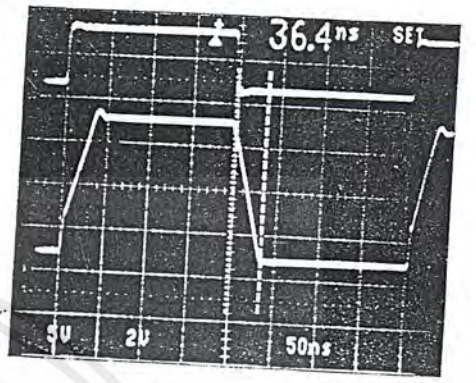


Figure 5 – Slew-rate waveform.

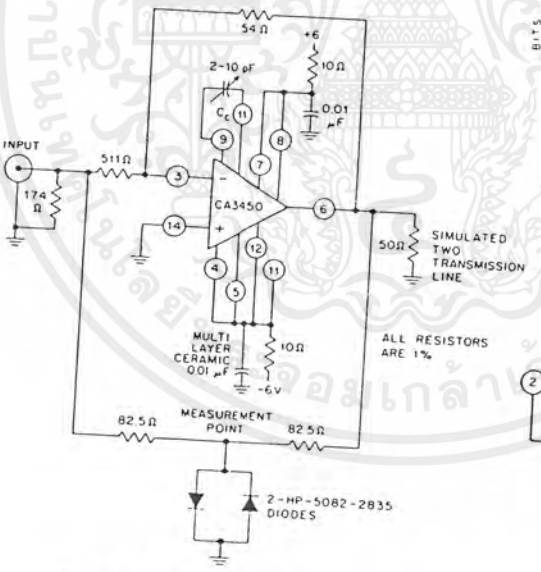


Figure 6 – Circuit used to measure settling time.

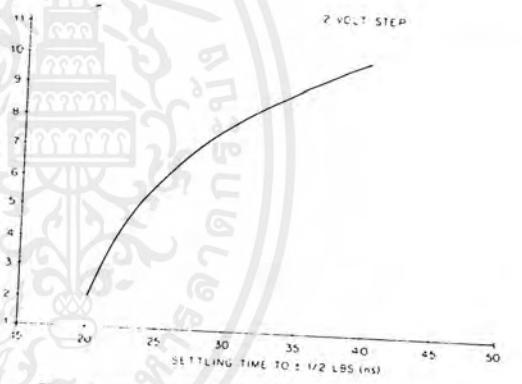


Figure 7 – Accuracy in bits as a function of settling time.

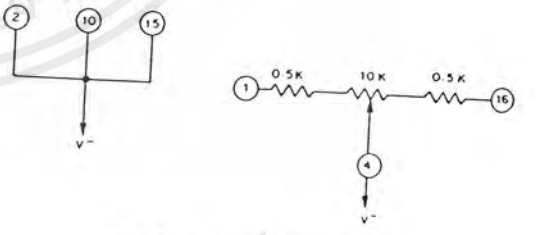


Figure 8 – Nulling circuit for the CA3450.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

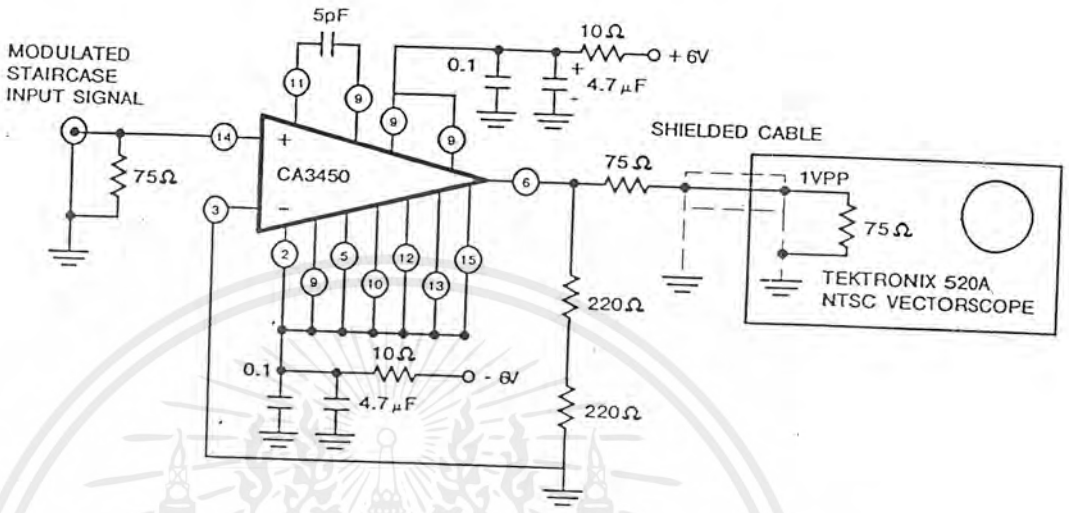


Figure 15 – Configuration used to measure differential gain and phase.

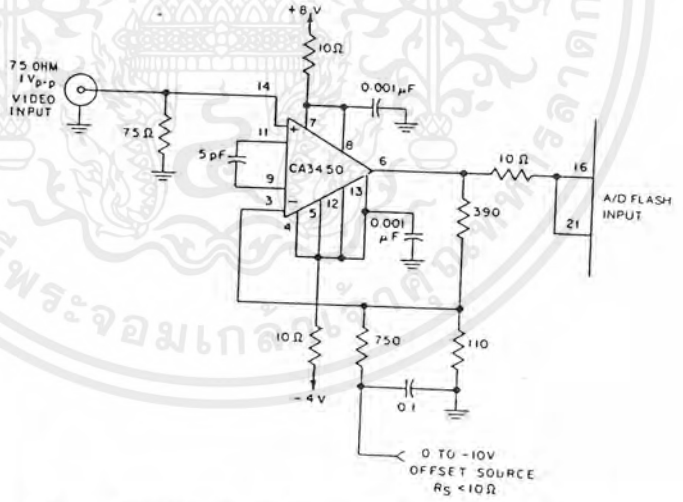


Figure 16 – Typical high-bandwidth X5 amplifier for driving the CA3318 Flash A/D

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้