สำนักหอสมุดกลาง พระจอมเกล้าลาดกระบัง

การออกแบบวงจรขยายสัญญาณโดยใช้ซีมอสออปแอมป์

CMOS Operational Amplifier Design

T042743

โดย

นาย พัฒน์ บุณยาภรณ์

เลขหมู่.....
เลขทะเบียน 42743
วัน, เดือน, ปี - 7 มิ.ย. 2545

b.....
i.....

ปริญญานิพนธ์นี้เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรปริญญาวิศวกรรมศาสตรบัณฑิต
สาขาวิชาอิเล็กทรอนิกส์
สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง
ปีการศึกษา 2543

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การออกแบบวงจรขยายสัญญาณโดยใช้ซีมอสออปแอมป์

CMOS Operational Amplifier Design

โดย

นาย พัฒน์ บุณยาภรณ์ รหัส 41013257

อาจารย์ที่ปรึกษา

ผศ.ดร.วรากร เกษมสุวรรณ์

ปริญญานิพนธ์นี้สำหรับปริญญาวิศวกรรมศาสตรบัณฑิต

สาขาวิชาอิเล็กทรอนิกส์

คณะวิศวกรรมศาสตร์

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

ปีการศึกษา 2543

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ปริญญานิพนธ์ปีการศึกษา 2543

ภาควิชาอิเล็กทรอนิกส์

คณะวิศวกรรมศาสตร์ สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

เรื่อง การออกแบบวงจรขยายสัญญาณโดยใช้ซีมอสออปแอมป์

ผู้จัดทำ นาย พัฒน์ บุณยาภรณ์

.....อาจารย์ที่ปรึกษา

(.....)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ปริญญานิพนธ์เรื่อง การออกแบบวงจรขยายสัญญาณโดยใช้ซีมอสออปแอมป์

CMOS OPERATIONAL AMPLIFIER DESIGN

ผู้จัดทำ นาย พัฒน์ บุณยาภรณ์ รหัส 41013257

โครงงานได้รับการตรวจสอบแล้ว พร้อมที่จะทำการสอบได้

ลงชื่อ.....อาจารย์ที่ปรึกษา

(.....)

อาจารย์ที่ปรึกษา

วันที่ 23 / 03 / 44

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การออกแบบวงจรขยายสัญญาณโดยใช้ซีมอสออปแอมป์

นาย พัฒน์ บุณยาภรณ์

ผศ.ดร. วรากร เกษมสุวรรณ์ อาจารย์ที่ปรึกษา

ปีการศึกษา 2543

บทคัดย่อ

โครงงานนี้ เป็นการออกแบบวงจรขยายสัญญาณโดยใช้ซีมอสออปแอมป์ที่มีเสถียรภาพ โดยค่าพารามิเตอร์ที่ใช้เป็นของ Alcatel Microelectronics (AMS) เทคโนโลยี 0.5 ไมโครเมตร โดยออปแอมป์ที่ออกแบบดังกล่าวมีคุณสมบัติตามข้อกำหนดของวงจรที่ถูกออกแบบขึ้นโดยโครงงานการประกวดการออกแบบวงจรรวมแห่งประเทศไทยครั้งที่ 1 ปีพศ.2543 โดยศูนย์เทคโนโลยีอิเล็กทรอนิกส์และคอมพิวเตอร์แห่งชาติ (NECTEC) เป็นผู้ริเริ่มโดยผู้เสนอโครงงานได้ใช้โปรแกรม Hspice ในการตรวจสอบการทำงานและคุณสมบัติของวงจรให้เป็นไปตามข้อกำหนด และใช้โปรแกรม L-Edit ในการออกแบบลายวงจรของออปแอมป์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

CMOS OPERATION AMPLIFIER DESIGN

Mr.Patt Boonyaporn

Asst.Prof.Dr.Varakorn Kasemsuwan Advisor

Academic Year 2000

Abstract

In this project, the high performance CMOS operational amplifier (OP-AMP) is designed. The parameters being used belong to the Alcatel Microelectronics (AMS) Technology 0.5 um. The CMOS OP-AMP meets the specification requirement set by the 1st national ic design contest 2000 held by NECTEC. All this, to test the overall performance and efficiency of the CMOS OP-AMP by Hspice program and design layout circuit by L-Edit program.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

กิตติกรรมประกาศ

โครงงาน การออกแบบวงจรขยายสัญญาณโดนใช้ซีมอสออปแอมป์นี้ สำเร็จได้ด้วยดี โดยรับรับความอนุเคราะห์ ข้อแนะนำ ความคิดเห็น จาก ผศ.ดร.วรากร เกษมสุวรรณ์ เป็นอย่างดี นอกจากนี้ยังได้รับความสะดวกในการค้นหาข้อมูลจากเจ้าหน้าที่ห้องสมุดคณะวิศวกรรมศาสตร์ และสำนักหอสมุดกลาง รวมทั้งความสะดวกในการใช้ห้องคอมพิวเตอร์ จากเจ้าหน้าที่ห้องคอมพิวเตอร์เป็นอย่างดี

โดยผู้จัดทำขอขอบพระคุณทุกท่านเป็นอย่างสูง และขอน้อมรับข้อผิดพราดทั้งหลายที่เกิดขึ้นเพื่อแก้ไขในโอกาสต่อไป

.....

(นาย พัฒน์ บุณยาภรณ์)

ผู้จัดทำ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญ

หน้า

บทคัดย่อ

Abstract

กิตติกรรมประกาศ

บทที่ 1 บทนำ 1

บทที่ 2 ทฤษฎีมอสเฟท 4

2.1 ลักษณะทั่วไป 4

2.2 โครงสร้างพื้นฐาน 4

2.3 การทำงาน 10

2.4 หลักการให้ไบอัส 11

2.5 คุณสมบัติความสัมพันธ์ระหว่างกระแสกับแรงดัน 14

2.6 ความสัมพันธ์ของค่าความจุและแรงดัน 17

2.7 ระบบมอสในอุดมคติ 17

2.8 ระบบมอสที่แท้จริง 20

2.9 บอดี้ไบอัส 23

2.10 โปรเซสพารามิเตอร์ 23

2.11 พาราซิติกคาปาซิแตนซ์ 24

2.12 เดรน-ซอสรีซีสแตนซ์ 25

บทที่ 3 องค์ประกอบพื้นฐานของวงจรขยาย 26

3.1 ภาคไบอัสวงจรขยายสัญญาณ 26

3.2 ภาควงจรขยายความแตกต่าง 33

3.2.1 Differential Amplifier MOSFET 34

3.3 วงจรภาคเอาท์พุท 45

3.3.1 วงจรเอาท์พุทแบบไม่มีการป้อนกลับ 45

3.3.2 วงจรเอาท์พุทที่มีการป้อนกลับ 48

3.4 ภาคชดเชยความถี่ 51

บทที่ 4 การออกแบบวงจรขยายสัญญาณ 55

4.1 การออกแบบวงจรขยายสัญญาณ 57

4.1.1 การออกแบบวงจรภาคไบอัสให้กับวงจรขยายสัญญาณ 57

4.1.2 การออกแบบวงจรภาคขยายความแตกต่าง 59

4.1.3 การออกแบบภาคเอาท์พุท 62

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4.1.4 การออกแบบวงจรแรงดันอ้างอิง 66
บทที่ 5 การทดสอบคุณสมบัติของวงจรขยายสัญญาณแบบโอเปอเรชั่น 69
5.1 การทดสอบคุณสมบัติของวงจรรวมที่ได้จากการคำนวณโดย
โปรแกรม Hspice 70
5.1.1 การทดสอบอัตราขยายขณะเปิดลูป 71
5.1.2 การทดสอบอัตราสลู 72
5.1.3 การทดสอบ Noise 73
5.1.4 การทดสอบ Settling Time 75
5.1.5 ผลจาก Output file ในสภาวะปกติ 76
5.2 การทดสอบคุณสมบัติของวงจรรวมที่ได้จากการ Layout โดย
โปรแกรม Hspice 83
5.2.1 การทดสอบอัตราขยายขณะเปิดลูป 85
5.2.2 การทดสอบอัตราสลู 86
5.2.3 การทดสอบ Noise 87
5.2.4 การทดสอบ Settling Time 89
5.2.5 ผลจาก Output file ในสภาวะปกติ 90
บทที่ 6 สรุปผลการทดสอบและวิจารณ์ 105
หนังสืออ้างอิง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญรูปภาพ

หน้า

รูปที่ 2.1 รูปโครงสร้างของมอสเฟทชนิด n-channel 6

รูปที่ 2.2 แสดงกราฟคุณลักษณะของ Mosfet 7

รูปที่ 2.3 แสดงโครงสร้างของ Mosfet 7

รูปที่ 2.4 แสดงการไหลของกระแสใน NMOS และ PMOS 8

รูปที่ 2.5 แสดงกราฟคุณลักษณะของ Saturation Region 9

รูปที่ 2.6 แสดงกราฟคุณลักษณะของ Cutoff Region 10

รูปที่ 2.7 แสดงการให้ไบอัสที่ถูกต้องแก่ n-channel เพื่อใช้งานในอุปกรณ์สี่ขั่ว 11

รูปที่ 2.8 แสดง n-channel enhancement mode MOSFET ภายใต้สภาวะการให้ไบอัสในลักษณะต่าง ๆ 13

รูปที่ 2.9 แสดงการจ่ายแรงดันไบอัสระหว่างเดรน – ซอส 14

รูปที่ 2.10 แสดงภาพตัดขวางของมอสคาปาซิเตอร์ 17

รูปที่ 2.11 แสดง MOS C-V Curves ในทางอุดมคติ 18

รูปที่ 2.12 แสดงการเปลี่ยนแปลงของการกระจายประจุในมอสคาปาซิเตอร์ที่ถูกไบอัสในช่วง inversion 20

รูปที่ 2.13 ความแตกต่างของค่าฟังก์ชั่นงานระหว่างโลหะและสารกึ่งตัวนำโดยพล็อตเป็นฟังก์ชั่นของค่าความหนาแน่นอะตอมสารเจือในซิลิกอน สำหรับ Al , Au และ Polysilicon Gate 21

รูปที่ 2.14 พล็อตของ C-V ที่จากการคำนวณและการวัดที่ความถี่สูงของมอสคาปาซิเตอร์บนซิลิกอนฐานรองชนิดพี 22

รูปที่ 2.15 แสดงผลของบอดี้ไบอัสของมอสเฟท 23

รูปที่ 2.16 แสดงพาราซิแตนซ์โมเดลของมอสเฟท 24

รูปที่ 3.1 วงจรสะท้อนกระแส แบบ n-channel 27

รูปที่ 3.2 แสดงพล็อตเปอร์เซนต์ ration error เทียบกับความแตกต่างระหว่างแรงดันเดรนของวงจรสะท้อนกระแสรูปที่ 3.1 ที่ Vds=2V 28

รูปที่ 3.3 แสดงพล็อตเปอร์เซนต์ ration error เทียบกับออฟเซทของแรงดันสำหรับวงจรสะท้อนกระแสของรูปที่ 3.1 VT=1V, K'(W/L)=24uA/V^2 29

รูปที่ 3.4 วงจรสะท้อนกระแสแบบคาสโคด 30

รูปที่ 3.5 แสดงแบบวงจรเสมือนสำหรับสัญญาณขนาดเล็กของรูปที่ 3.4 31

รูปที่ 3.6 วงจรสะท้อนกระแสแบบวิลสัน n-channel 31

รูปที่ 3.7 แสดงวงจรขยายความแตกต่างที่ Vbs1 = Vbs2 = 0 34

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รูปที่ 3.8 แสดงคุณสมบัติแรงดันค่าแรงดันของภาคขยายความแตกต่าง 36
รูปที่ 3.9 แสดงวงจรขยายความแตกต่าง 38
รูปที่ 3.10 แสดงรูปวงจรขนาดเล็กของวงจรรูปที่ 3.9 39
รูปที่ 3.11 แสดงรูปสัญญาณขนาดเล็กของรูปที่ 3.9 c 41
รูปที่ 3.12 แสดงภาคขยายความแตกต่างอินพุทชนิด n-channel 43
รูปที่ 3.13 แสดงรูปสัญญาณขนาดเล็กของรูปที่ 3.9b ในโหมดร่วม 44
รูปที่ 3.14 แสดงวงจรภาคเอาท์พุท Class B หรือ AB 47
รูปที่ 3.15 แสดงการจำลองรูปสัญญาณของวงจรที่ 3.13 VB=0V 47
รูปที่ 3.16 แสดงวงจรภาคเอาท์พุท Class B หรือ AB โดยมีแหลเงจ่ายแรงดัน 48
รูปที่ 3.17 แสดงวงจรภาคเอาท์พุท Class a แบบ feedback 49
รูปที่ 3.18 แสดงรูปสัญญาณขนาดเล็กของรูปที่ 3.17 50
รูปที่ 3.19 แสดงวงจรภาคเอาท์พุท Class B โดยใช้แรงดัน Vb 50
รูปที่ 3.20 แสดงการนำวงจรยกระดับแรงดัน VB ถูกนำมาใช้ในวงจรเอาท์พุท 51
รูปที่ 3.21 ผลตอบสนองทางความถี่ของวงจรออปแอมป์แบบโพลเดียว 52
รูปที่ 3.22 แสดงระบบป้อนกลับแบบลบ 53
รูปที่ 3.23 การหาจากกราฟผลตอบสนองทางความถี่ (Bode Plot) ของออปแอมป์ 54
รูปที่ 4.1 แสดงวงจรที่ใช้งาน 56
รูปที่ 4.2 แสดงวงจรภาคไบอัส 57
รูปที่ 4.3 แสดงวงจรภาคขยายความแตกต่าง 59
รูปที่ 4.4 แสดงวงจรภาคเอาท์พุท 62
รูปที่ 4.5 แสดงวงจรแรงดันอ้างอิง 1.3V 66
รูปที่ 4.6 แสดงวงจรแรงดันอ้างอิง-1.3V 67
รูปที่ 5.1 แสดงการต่อวงจรเพื่อทดสอบอัตราขยายขณะเปิดลูป 71
รูปที่ 5.2 แสดงผลการทดสอบอัตราขยายขณะเปิดลูป 71
รูปที่ 5.3 แสดงการต่อวงจรเพื่อทดสอบอัตราสลู 72
รูปที่ 5.4 แสดงผลการทดสอบอัตราสลู 72
รูปที่ 5.5 แสดงการต่อวงจรเพื่อทดสอบ Noise 73
รูปที่ 5.6 แสดงการต่อวงจรเพื่อทดสอบ Settling Time 75
รูปที่ 5.7 แสดงผลการทดสอบ Settling Time 75
รูปที่ 5.8 แสดงวงจรที่ได้จากการ Layout 84
รูปที่ 5.9 แสดงการต่อวงจรเพื่อทดสอบอัตราขยายขณะเปิดลูป 85
รูปที่ 5.10 แสดงผลการทดสอบอัตราขยายขณะเปิดลูป 85

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รูปที่ 5.11 แสดงการต่อวงจรเพื่อทดสอบอัตราสลู 86
รูปที่ 5.12 แสดงผลการทดสอบอัตราสลู 86
รูปที่ 5.13 แสดงการต่อวงจรเพื่อทดสอบ Noise 87
รูปที่ 5.14 แสดงการต่อวงจรเพื่อทดสอบ Settling Time 89
รูปที่ 5.15 แสดงผลการทดสอบ Settling Time 89

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 1
บทนำ

1. บทนำ

เป็นที่รู้กันดีว่า เทคโนโลยีทางด้านอิเล็กทรอนิกส์ ได้เข้ามามีบทบาทต่อชีวิตความเป็นอยู่ของมนุษย์เป็นอย่างมาก โดยเฉพาะในปัจจุบันและในอนาคต ในระบบไฟฟ้า-อิเล็กทรอนิกส์ ส่วนประกอบที่สำคัญอย่างยิ่ง ก็คือ ชิ้นส่วนอิเล็กทรอนิกส์ ซึ่งได้รับการพัฒนามาอย่างต่อเนื่อง โดยเฉพาะ Op-Amp (Operational Amplifier) ในอดีตออปแอมป์ถูกสร้างขึ้นโดยการนำทรานซิสเตอร์และอุปกรณ์ประเภทพาสซีฟ (Passive devices) หลาย ๆ ตัวมาต่อกันบนแผ่นวงจร อย่างไรก็ตามวงจรออปแอมป์ในปัจจุบัน ถูกออกแบบให้ทรานซิสเตอร์และอุปกรณ์ประเภทพาสซิฟทุกตัวทำงานอยู่บนชิ้นผลึกสารกึ่งตัวนำซิลิกอน (Substrate) หรือเป็นที่รู้จักกันว่า "วงจรรวม" (Integrated circuits)

2. วัตถุประสงค์และเป้าหมาย

1. ศึกษาและพัฒนาทักษะความรู้ความเข้าใจในการออกแบบวงจรรวมเชิงอุปทาน
2. เพื่อเป็นส่วนหนึ่งในการช่วยพัฒนาบุคลากรให้มีความสามารถในการออกแบบวงจรรวมเชิงอุปมาน

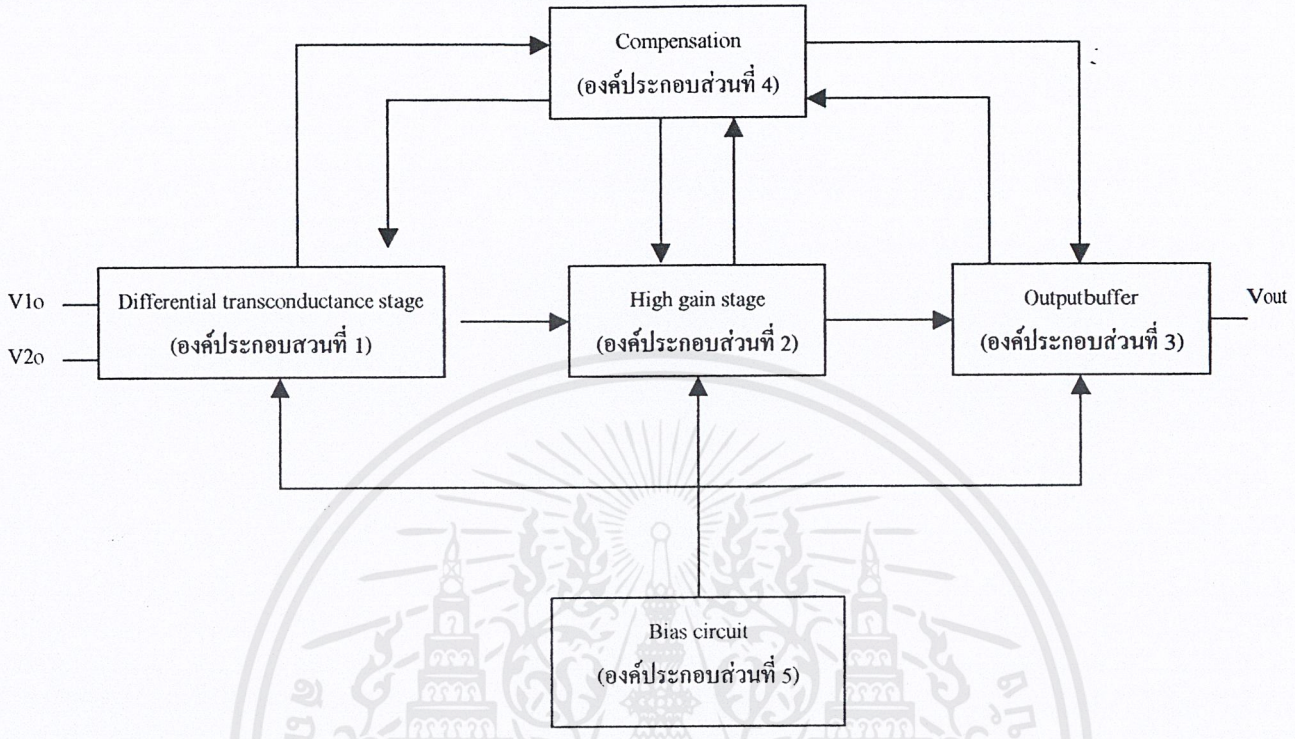
3. แนวคิดในการออกแบบ

ในการออกแบบวงจรออปแอมป์ที่ดีควรมีอัตราขยายผลต่างสูง อัตราขยายร่วมต่ำ และในขณะเดียวกันก็ต้องมีความสามารถในการขับโหลดต่ำ ๆ ได้ การทำงานของวงจรออปแอมป์นั้นควรทำงานอย่างมีเสถียรภาพ (ไม่เกิดการ Oscillate) โดยไม่ขึ้นกับชนิดของโหลด และชนิดของการป้อนกลับ โดยพิจารณาจากหลักการดังกล่าวข้างต้น วงจรออปแอมป์ควรประกอบไปด้วย 5 ส่วนหลักดังต่อไปนี้

1. ภาคอัตราขยายความแตกต่าง (Differential transconductance stage)
2. ภาคขยาย (High gain stage)
3. ภาคขยายกำลัง (Output buffer)
4. ภาคชดเชยความถี่ (Compensation)
5. ภาคจ่ายไฟ (Bias circuit)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากองค์ประกอบข้างต้น สามารถนำมาประกอบกันเป็นวงจรออปแอมป์ในลักษณะบล๊อคไดอะแกรมดังรูป



แนวความคิดในแต่ละส่วนมีดังนี้

1. ภาคอัตราการขยายความแตกต่าง (Differential transconductance stage)

ในภาคนี้จะออกแบบให้วงจรมีอัตราการขยายผลต่าง (Differential mode gain) และช่วงของการขยายสัญญาณร่วม (Input common mode range) ความต้านทานทางอินพุท (Input impedance) และความต้านทานทางเอาท์พุท (Output impedance) สูง ในขณะเดียวกันควรมีแรงดันออฟเซท (Offset) และสัญญาณรบกวน (Noise) ต่ำ

2. ภาคขยาย (High gain stage)

อัตราการขยายที่ได้จากภาคขยายความแตกต่างโดยลำพังนั้น อาจไม่เพียงพอ ดังนั้นจึงต้องมีการออกแบบภาคขยายในส่วนนี้ เพื่อช่วยให้อัตราการขยายรวมของวงจรออปแอมป์มีค่าสูงขึ้น นอกเหนือจากนั้นภาคนี้อาจจะต้องทำหน้าที่ขยายสัญญาณในลักษณะ differential เป็นแบบ Single ended ในกรณีที่ภาคแรกมีสัญญาณทางด้านเอาท์พุทเป็นแบบ differential

3. ภาคขยายกำลัง (Output buffer)

สำหรับในภาคนี้นั้นควรจะออกแบบให้มีอัตราการขยายกระแสสูงและความผิดเพี้ยนของสัญญาณมีค่าน้อยที่สุด นอกจากนั้นภาคนี้ควรมีการออกแบบในส่วนของวงจรป้องกันการช๊อตทางเอาท์พุท และควรมีความสามารถในการยอมให้สัญญาณที่เอาท์พุทมีย่านทำงานอย่างเชิงเส้น (Output swing) กว้าง โดยต้อง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

คำนึงถึงการสูญเสียกำลังที่ตัวทรานซิปเตอร์ด้วย เพื่อใช้ประกอบในการพิจารณาชนิดของวงจรในภาคขยายกำลังนี้ (Class A และ Class AB เป็นต้น)

4. ภาคชดเชยทางความถี่ (Compensation)

การออกแบบภาคชดเชยความถี่นี้ จะต้องพิจารณา Phase margin เป็นหลัก ในโครงงานนี้ ผู้เสนอโครงงานจะออกแบบให้วงจรมี Phase margin อย่างน้อย 60 องศา เพื่อป้องกันการออสซิเลทที่อาจจะเกิดขึ้นได้กับออปแอมป์ในการใช้งานกับโหลดภายใต้การป้อนกลับแบบลบที่มีปัจจัยฟีดแบค (Feedback factor) ต่าง ๆ และในขณะเดียวกันให้ได้ Settling time ที่เหมาะสม

5. ภาคจ่ายไฟ (Bias circuit)

วงจรในส่วนของภาคจ่ายไฟนั้นจะถูกออกแบบให้มีเสถียรภาพในการจ่ายไฟสูงโดยไม่เปลี่ยนแปลงตามสภาวะแวดล้อม เช่น อุณหภูมิ หรือการกระเพื่อมของแหล่งจ่ายไฟหลัก

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 2
ทฤษฎีมอสเฟท

2.1 ลักษณะทั่วไป

มอสเฟทเป็นอุปกรณ์ขั้นพื้นฐานในการใช้สร้างวงจรรวม (Integrated Circuit, IC) แบบซีมอสในความเป็นจริงโดยส่วนใหญ่ ลอจิกเน็ทเวอร์คต่าง ๆ จะมีโครงสร้างของมอสเฟทแทบทั้งสิ้น อุปกรณ์ทางไฟฟ้าอื่น ๆ เช่น ความต้านทาน (Resister) และตัวเก็บประจุ (Capacitor) จะเกิดขึ้นก็เป็นเพียงแต่ พาราซิติก ที่เกิดขึ้นจากโครงสร้างทางฟิสิกข์เท่านั้น ในส่วนนี้จะได้นำเสนอถึงการทำงานของมอสเฟทและวิธีการออกแบบอย่างไรที่จะทำให้เกิดผลกับคุณสมบัติทางไฟฟ้า

มอสเฟทเป็นอุปกรณ์สวิชชิ่งพื้นฐาน ซึ่งสามารถบรรจุใน IC ได้เป็นจำนวนมาก เพราะว่ามีขนาดเล็กและสามารถสลับการทำงานกันระหว่างขาเดรนและขาซอส ซึ่งสามารถกระทำได้ภายใต้การออกแบบวงจรซีมอส อย่างไรก็ตามคุณสมบัติทางไฟฟ้าต่าง ๆ จะถูกเซตค่าโดยกระบวนการสร้าง การออกแบบนั้นจะใช้วิธีการแปรเปลี่ยนมิติ (dimension) ของทรานซิสเตอร์ เพราะว่ามิติของมอสเฟทจะเป็นตัวกำหนดคุณสมบัติทางไฟฟ้าของตัวอุปกรณ์

2.2 โครงสร้างพื้นฐาน

ภาพตัดขวางโครงสร้างของมอสทรานซิสเตอร์ทั่วๆ ไป ซึ่งประกอบด้วยส่วนสำคัญ 3 ส่วนคือ ส่วนเดรน (Drain Region) ส่วนเกท (Gate Region) และส่วนซอส (Source Region) โดยแต่ละส่วนมีหน้าที่การทำงานและคุณสมบัติแตกต่างกันดังนี้

ส่วนซอส เป็นบริเวณของสารกึ่งตัวนำที่ต่างชนิด (Different Type) กับฐานรอง (Substrate) ทำหน้าที่เป็นแหล่งจ่ายประจุพาหะที่ทำให้เกิดกระแสไฟฟ้าของมอส (I_{ds})

ส่วนเดรน เป็นอีกบริเวณหนึ่งของสารกึ่งตัวนำที่ต่างชนิดกับฐานรอง แต่เป็นสารกึ่งนำชนิดเดียวกันกับส่วนซอส ทำหน้าที่เป็นทางออกไปสู่วงจรภายนอกของประจุพาหะที่มาจากส่วนซอส

ส่วนเกท เป็นบริเวณที่เชื่อมอยู่ระหว่างส่วนเดรนกับส่วนของซอส มีโครงสร้างทั่ว ๆ ไปประกอบด้วยชั้นบนสุดเป็น โลหะ (Metal) ตัวนำชั้นรองลงมาจะเป็นพวกฉนวนได้แก่ ออกไซด์ (Oxide) ของสารกึ่งตัวนำที่ใช้และชิ้นส่วนสุดเป็นสารกึ่งตัวนำ (Semiconductor) ซึ่งใช้เป็นฐานรองด้วย ส่วนเกทนี้จะทำหน้าที่เป็นส่วนควบคุมปริมาณประจุพาหะที่เคลื่อนที่จากส่วนซอสไปยังส่วนเดรนตามต้องการ

จากลักษณะโครงสร้างดังกล่าว ซึ่งบริเวณส่วนเกทประกอบด้วย Metal Oxide Semiconductor จึงเรียกทรานซิสเตอร์ชนิดนี้ว่า Mos Transistor และกระแสไหลผ่านเกทนี้มีค่าน้อยมาก เนื่องจากมีชั้นของฉนวนป้องกันอยู่ ดังนั้นในขณะใช้งานส่วนเกทต้องการเพียงแหล่งจ่ายศักดาเท่านั้น จึงทำให้มอสทรานซิสเตอร์มีความต้องการพลังงานในขณะใช้งาน (Power Consumption) ต่ำ สำหรับส่วนเดรนและส่วน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ซอสนั้น โดยปกติแล้วจะมีโครงสร้างเหมือนกันทุกประการ ซึ่งสามารถใช้แทนกันได้ อันเป็นคุณสมบัติพิเศษอีกประการหนึ่งของมอสทรานซิสเตอร์ เมื่อให้ไบอัสที่เหมาะสมกับ ของมอสทรานซิสเตอร์แล้ว ประจุพาหะจากส่วนซอสจะเคลื่อนที่ผ่านช่องทางเดินกระแส (Channel) ในส่วนเกท ซึ่งเป็นส่วนหนึ่งของฐานรองที่อยู่ใกล้ ๆ กับผิวสัมผัสระหว่างออกไซด์ ส่วนเกทกับฐานรองที่เกิดการเปลี่ยนแปลงชนิดของสารกึ่งตัวนำไปเป็นชนิดเดียวกับสารกึ่งตัวนำส่วนเดรนและส่วนซอสแล้วไปยังส่วนเดรน การเคลื่อนที่ของประจุพาหะดังกล่าว เกิดจากสนามไฟฟ้าที่ตกคร่อมตลอด จากส่วนซอสถึงส่วนเดรน อันเนื่องมาจากความต่างศักดาระหว่างส่วนทั้งสองนั้น ดังนั้นกระแสดังกล่าวจึงเป็นกระแสดริฟท์ ซึ่งขึ้นอยู่กับขนาดของสนามไฟฟ้าที่ตกคร่อมนั้น โดยที่ขนาดของสนามไฟฟ้าดังกล่าวจะขึ้นอยู่กับขนาดของความแตกต่างศักดาและระยะห่างระหว่างส่วนเดรนกับส่วนซอสนั่นเอง กระแสดริฟท์ที่เกิดขึ้นนี้จะถูกประมาณว่าเกิดจากการเคลื่อนที่ของประจุพาหะส่วนที่มีอยู่ในสารกึ่งตัวนำชนิดนั้นเพียงชนิดเดียว ดังเหตุนี้มอสทรานซิสเตอร์จึงถูกเรียกว่าเป็น ยูนิโพล่าร์ ทรานซิสเตอร์ (Unipolar Transistor) และเนื่องจากประจุพาหะส่วนมากในสารกึ่งตัวนำเพียง 2 ชนิด คือ อิเลคตรอนหรือประจุลบในสารกึ่งตัวนำชนิดเอ็น และโฮล หรือประจุบวกในสารกึ่งตัวนำชนิดพี ดังนั้นจึงอาจแบ่งมอสทรานซิสเตอร์ ตามชนิดของประจุที่ทำให้เกิดกระแสโดยพิจารณาที่ชนิดของประจุที่บริเวณช่องทางเดินกระแสในขณะที่เกิดกระแสดริฟท์ ได้เป็น 2 ชนิดคือ

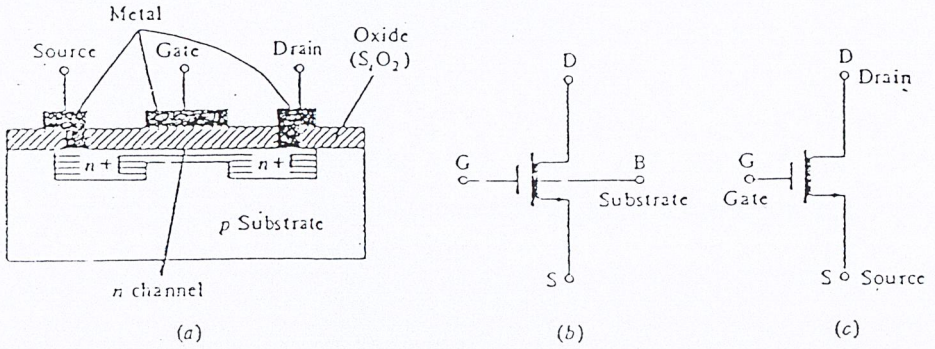
1. เอ็นแชนแนลมอสทรานซิสเตอร์ (N-Channel MOS Transistor : NMOS) ซึ่งหมายถึง มอสทรานซิสเตอร์ ที่มีประจุลบหรืออิเลคตรอนเป็นประจุพาหะส่วนมากที่ทำให้เกิดกระแสดริฟท์ ดังนั้นมอสทรานซิสเตอร์ชนิดนี้ส่วนเดรนและส่วนซอส จึงเป็นสารกึ่งตัวนำชนิดเอ็น (N-type Semiconductor)

2. พีแชนแนลมอสทรานซิสเตอร์ (P-Channel MOS Transistor : PMOS) ซึ่งหมายถึงมอสทรานซิสเตอร์ ที่มีประจุบวกหรือโฮลเป็นประจุพาหะส่วนมากที่ทำให้เกิดกระแสดริฟท์ ดังนั้นมอสทรานซิสเตอร์ชนิดนี้ ส่วนเดรนและส่วนซอสจึงเป็นสารกึ่งตัวนำชนิดพี (P-type Semiconductor)

อย่างไรก็ตามในสภาวะปกติก่อนให้ไบอัสมอสทรานซิสเตอร์ทั่ว ๆ ไป สารกึ่งตัวนำบริเวณช่องทางเดินกระแสกับสารกึ่งตัวนำเดรนและซอสอาจเป็นชนิดเดียวกัน (Depletion-Type Mosfet) หรือต่างชนิดกัน (Enhanament-Type Mosfet) ก็ได้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

1. Depletion-Type Mosfet



รูปที่ 2.1 รูปโครงสร้างของมอสเฟทชนิด n-channel

รูปที่ 2.1 แสดงโครงสร้างของ Depletion-Type MOSFET ซึ่งประกอบด้วยการโด๊ปอย่างเบาด้วย p-type ที่ซับสเตท (Substrate) เรียกว่า body ภายในจะมีการโด๊ปอย่างหนักด้วย n-type โดยการแพร่ออกไปดังรูป 2.1a ส่วนchannel ที่ตื้นจะโด๊ปอย่างเบาด้วยวัสดุที่เป็น n-type ซึ่งอยู่ระหว่างซอสและเดรนโดยการแผ่ออกไป บริเวณระหว่างซอสและเดรนจะถูกปกคลุมด้วยชั้นของออกไซด์ (oxide layer) ใน MOSFET เกทจะแยกออกจากสารกึ่งตัวนำโดยชั้นของออกไซด์ด้วยเหตุนี้จึงมีอีกชื่อหนึ่งว่า insulate-gate field – effect transistor (IGFET)

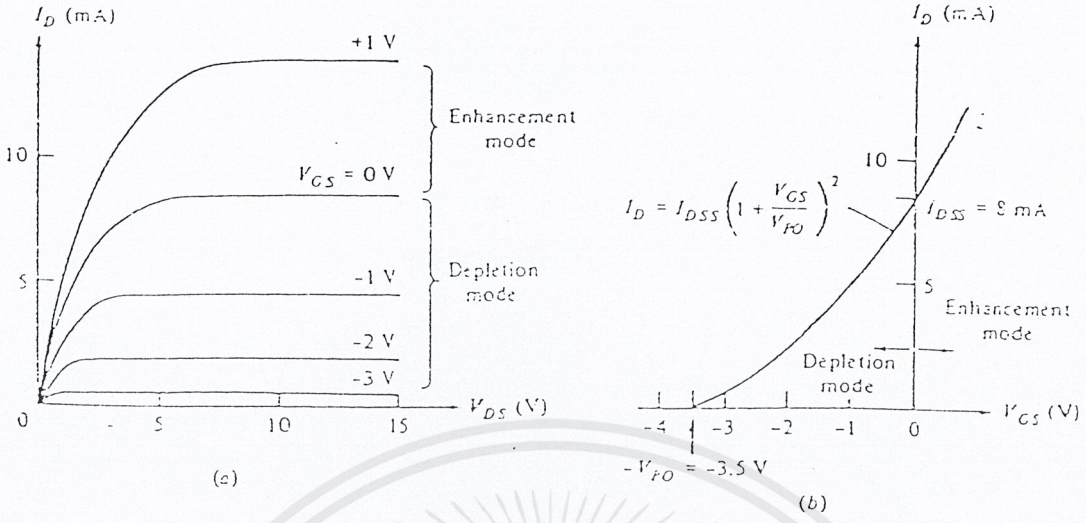
สัญลักษณ์ของ MOSFET ชนิด depletion แบบ n- channel หรือเรียกง่าย ๆ ว่า NMOS แสดงดังรูป 2.1b และ c สำหรับ MOSFET โดยพื้นฐานจะคล้ายกันกับ JFET ในรูปที่ 2.1a ถ้าแรงดังระหว่างเกทและซอสโดยที่เกทเป็นลบ เมื่อเทียบกับซอสจะทำให้ประจุบวกเหนี่ยวนำไปที่ channel การเหนี่ยวนำของประจุบวกทำให้เกิดพาหะส่วนมากที่ดีพลีชั่น (อิเลคตรอนใน n-channel ดังนั้น channel จะมีค่าความนำน้อย)

ถ้าที่เกทได้รับลบอย่างเพียงพอ บริเวณดีพลีชั่นจะขยายข้ามไปยัง channel และ channel จะไม่สามารถนำกระแส เงื่อนไขนี้ก็คือ pinch-off และโดยทั่วไปจะมีค่าอยู่ระหว่างเดียวกันกับค่าของ JFET V-I characteristics ของ MOSFET ใน depletion-mode จะมีความคล้ายกันกับ JFET ซึ่งดีพลีชั่นโหมดจะทำงานอยู่ที่ค่าของ Vgs เป็นลบ ซึ่งก็คือที่เกทได้รับแรงดันลบเมื่อเทียบกับซอส

ถ้าที่ขาเกทได้รับแรงดันเป็นบวกเมื่อเทียบกับซอส ดังรูป 2.1a ประจุลบจะเหนี่ยวนำไปยัง channel ดังนั้นจะทำให้พาหะส่วนมากใน channel เพิ่มขึ้น ค่าความนำของ channel เพิ่มขึ้น ค่าความนำของ channel จึงเพิ่มตาม และกระแสเดรนจะมีค่ามากกว่า Ids enhancement-mode จะทำงานได้ เมื่อค่า Vgs เป็นบวกสำหรับ ชนิด n-channel

ดังนั้น MOSFET ชนิดดีพลีชั่น สามารถทำงานได้ทั้ง enhancement mode หรือ depletion mode และ V-I characteristics ของ MOSFET ชนิดดีพลีชั่น แสดงดังรูป 2.2

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

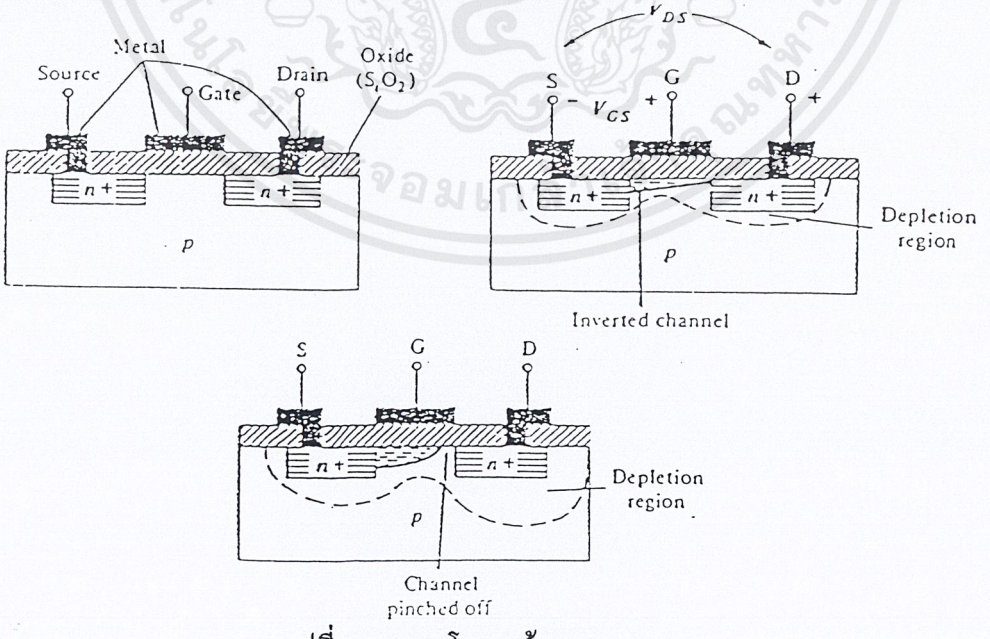


รูปที่ 2.2 แสดงกราฟคุณลักษณะของ Mosfet

2. Enchancement-Type MOSFET

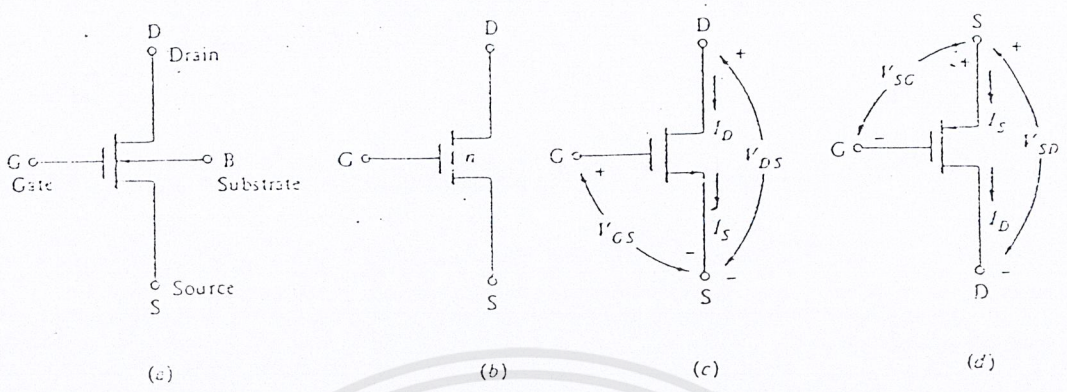
เป็น MOSFET อีกชนิดหนึ่งมีโครงสร้างดังรูป 2.3 และรูปที่ 2.3a นี้เป็นโครงสร้างพื้นฐานใน IC เพราะว่าความสะดวกในการสร้าง และการสูญเสียทางพลังงานต่ำ ในโครงสร้างนี้จะไม่มี channel ในชั้นของ n-type (โดยการสะสมของอิเลคตรอนบนซับสเตท p-type) และจะเพิ่มขึ้นโดยค่า Vgs เป็นบวกอีกเช่นกัน

สัญลักษณ์และโครงสร้างของ enhancement NMOS แสดงดังรูป 2.4a-c สัญลักษณ์ในรูป 2.4a จะเป็นสัญลักษณ์ที่ไม่เป็นมาตราฐาน เนื่องจากโดยปกติซับสเตทบอดี้ (substrate body) จะต่อกับซอสอยู่ภายในควรจะใช้สัญลักษณ์ในรูป 2.4c ส่วนการไหลของกระแสและขั้วของแรงดันของ NMOS และ PMOS แสดงดังรูป 2.4c และ d ตามลำดับ mosfet ชนิดนี้จะทำงานใน enhancement mode เท่านั้น



รูปที่ 2.3 แสดงโครงสร้างของ Mosfet

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.4 แสดงการไหลของกระแสใน NMOS และ PMOS

สำหรับ NMOS จะต้องให้แรงดันที่เกทเมื่อเทียบกับซอสจะเป็นบวก แรงดันเกทที่ซึ่งทำให้เกิด channel ขึ้นเรียกว่า threshold voltage VT ค่าของ VT จะเป็นผลมาจากคุณสมบัติทางไฟฟ้าของซับสเตทและออกไซด์ โดยทั่วไปค่าของ VT จะอยู่ระหว่าง 1-5V ดังนั้นเมื่อไหร่ที่ Vgs มีค่าน้อยกว่า VT จะไม่เกิด channel ขึ้น และกระแสเดรนจะประมาณได้ว่าเป็นศูนย์ เมื่อค่า Vgs มีค่าสูงขึ้น (และ VGS> VT), Vds<Vgs-VT NMOS จะทำงานอยู่ในย่าน Ohmic ดังแสดงในรูปที่ 2.3c และโครงสร้างนี้จะทำงานในย่านแซททูเรชั่น ค่า Ids จะไม่มีใน MOSFET ชนิด enhancement สามารถแบ่งย่านการทำงานได้ 3 ย่านคือ

- Ohmic Region
- Saturation Region
- Cut-off

1. Ohmic Region

เมื่อ Vds < Vgs-VT และจาก V-I characteristic จะได้ว่า

$$Id = K_n(2Vgs\text{-}VT)Vds\text{-}Vds^2) \qquad (2.1)$$

เมื่อ

$$K_n = \frac{\mu_n C_{ox} W}{2L} \qquad (2.2)$$

โดยที่ μ = ค่าความคล่องตัวของอิเลคตรอนที่ผิว [μ_n = 800 $cm^2/(V.S)$]

C_{ox} = Gate capacitance (F/cm^2)

L = ความยาวของ channel

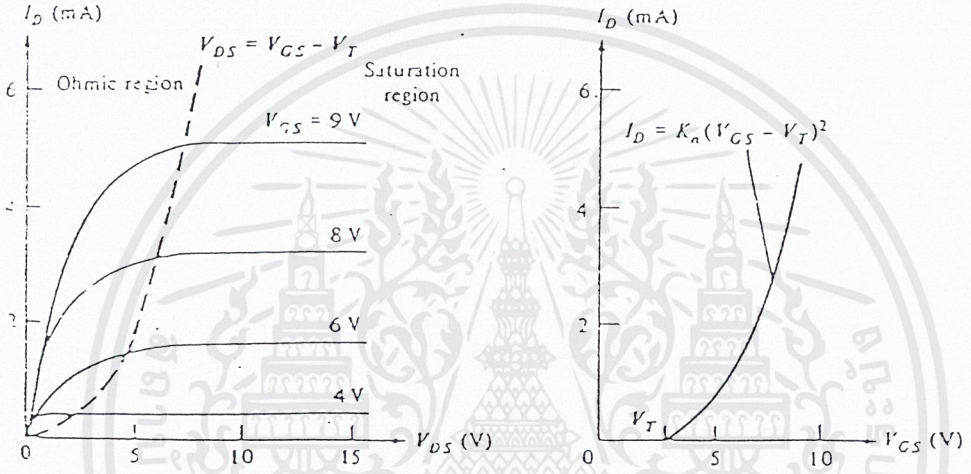
W = ความกว้างของเกท

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ค่าอัตราส่วน W/L เป็นค่าพารามิเตอร์ที่มีความสำคัญในโครงสร้างของ MOS ราคาของ IC จะมีความสัมพันธ์กับพื้นที่ชิพ ขนาดของโครงสร้าง MOS สามารถทำให้น้อยที่สุด โดยการทำให้ค่า W/L เข้าใกล้ 1 อย่างไรก็ตามความต้องการอื่น ๆ ถ้าจะแบ่งตำแหน่งระหว่างย่านแซททูเรชั่นและโอมิคจะได้โดยการแทน Vds = Vgs – VT ในสมการ (2.1) จะได้

$$Id = K_n Vds^2 = \frac{\mu_n C_{OX} W Vds^2}{2L} \qquad (2.3)$$

ตำแหน่งที่บรรยายในสมการ (2.3) แสดงโดยเส้นประในรูป 2.5a



รูปที่ 2.5

2. Saturation Region

เมื่อ Vds > Vgs-VT และกระแส Id จะประมาณได้ว่าเป็นค่าคงที่แสดงในรูป 2.5a ส่วน transfer characteristic จะได้โดยการแทน Vds = Vgs-VT ในสมการ (3) จะได้

$$I_d = K_n(Vgs - VT)^2(1+\lambda Vds) \qquad (2.4)$$

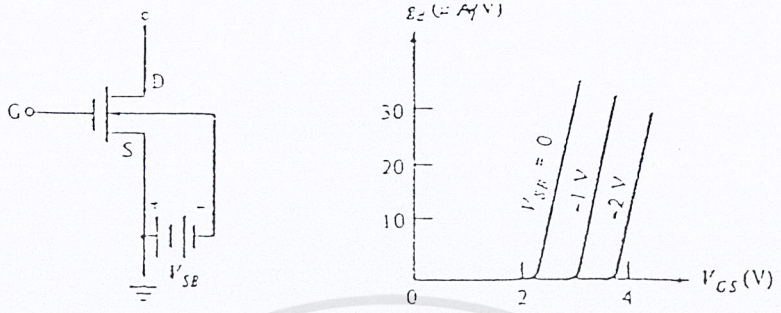
โดยที่ λ = Channel Length Modulation Parameter transfer characteristic จะแสดงดังรูป 2.5b

3. Cutoff Region

เมื่อ Vgs < VT ดังนั้น Id = 0 โครงสร้างนี้จะ OFF ในย่านนี้ และจะนำไปประยุกต์ใช้ในการสวิงชิ่ง ถ้าสมมติให้ที่ซอสต่อกับซับสเตทและที่ขั้วทั้งคู่เป็นกราวน์ อย่างไรก็ดี ถ้าบอดี้ (Substrate) มีศักย์เป็นลบโดยเกี่ยวเนื่องกับซอสต่อกับกราวน์แสดงดังรูปที่ 2.6a ค่า threshold voltage สามารถเปลี่ยนได้ดังรูป 2.6b โดยที่ gd เป็นค่าความนำที่เอาท์พุท ดังนั้นถ้าเพิ่ม Vbs จากศูนย์สามารถจะเพิ่มค่า VT จากค่าต่ำสุดของมัน (ที่ Vbs = 0) ไปยังค่าที่มากกว่า 2 เท่าของค่าต่ำสุดและสำหรับ PMOS จะนำกระแสได้เมื่อ Vsg > |VT| สำหรับการ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สร้าง IC นั้นจะใช้ประโยชน์จาก PMOS และ NMOS ทั้งคู่ เรียกว่า complementary symmetry MOS หรือ CMOS



รูปที่ 2.6

2.3 การทำงาน (Operation)

ค่าของกระแสเดรน (Id) ที่ไหลผ่านมอสเฟต จะขึ้นกับการกำหนดค่าแรงดัน Vgs (เกท ซอส โวลท์เตจ) ซึ่งจ่ายให้กับทรานซิสเตอร์อีกทั้งแรงดันที่ฐานรอง (body bias voltage, Vsb) ก็จะมีผลกับการไหลของกระแสด้วย ชั้นของเกทออกไซด์ และเซมิคอนดันเตอร์ เสมือนหนึ่งเป็นโครงสร้างของตัวเก็บกระจุ โดยที่ออกไซด์เปรียบเสมือนฉนวนระหว่างตัวนำ (Plate) กำหนดให้เป็น C_{ox} ซึ่งมันคือเทอมของคาปาซิแตนท์ต่อหนึ่งหน่วยพื้นที่มีหน่วยเป็น farad/cm^2 คำนวณได้จาก

$$C_{ox} = \frac{\varepsilon_{ox}}{t_{ox}} \qquad (2.5)$$

ในสมการนี้ ε = (3.9)(8.854x10^{-14}) $\approx$ 3.45x10^{-13} farad/cm^2 มันคือ เพอร์มิตติวิตี้ของซิลิกอนไดออกไซด์ (permittivity of silicon dioxide) และ t_{ox} คือ ความหนาของออกไซด์มีหน่วยเป็นเซนติเมตร ตัวอย่างเช่น สมมติให้ t_{ox}= 200x10^{-8} cm(200 A$^{\circ}$) จะให้ออกไซด์คาปาซิแตนท์ คือ

$$C_{ox} = 17.3\ fF\ /\ \mu m^2 \qquad (2.7)$$

เมื่อ fF คือ เฟมโตฟารัด : 1fF = 10^{-15} farad เกทคาปาซิแตนท์รวมกำหนดให้เป็น CG มีหน่วยเป็นฟารัด สามารถคำนวณได้จาก

$$CG \approx C_{ox}WL' \qquad (2.7)$$

เมื่อ W คือความกว้างของแชนแนล และ L' คือความยาวจริงของแชนแนล (ความยาวของโพลี) ทั้งคู่มีหน่วยเป็นเซนติเมตร จะเห็นได้ว่า L และ L' จะมีความยาวที่แตกต่างกัน โดยในความเป็นจริง L' > L

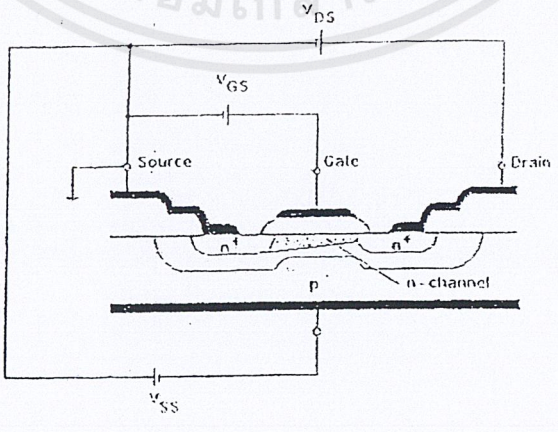
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ในแง่ความคิดอย่างง่าย กระแสที่ไหลผ่าน เอ็น-แชนแนล มอสเฟท จะถูกควบคุมด้วยแรงดัน Vgs สำหรับแรงดันที่มีค่าน้อย ๆ กระแสไหลจากเดรนไปยังขาซอสได้ยากมาก เนื่องจากบริเวณขั้วดังกล่าวถูกแยกออกจากกันโดยฐานรองชนิดพี (P-Type Substrate) ในกรณีนี้ Id ≈ 0 และสามารถพูดได้ว่าทรานซิสเตอร์อยู่ในสภาวะคัทออฟ (Cutoff) แต่ถ้าเพิ่ม Vgs นี้จะเหนี่ยวนำผ่านเกทออกไซด์ ให้เกิดชั้นของอิเลคตรอน ภายใต้เกทออกไซด์นั้น เรียกว่า เกิดแชลแนลขึ้นระหว่างขาเดรน และขาซอส ทำให้เกิดกระแสไหลได้ ด้วยวิธีการนี้จะเรียกการไบอัสในช่วงนี้ว่า แอคทีฟ (Active) ค่าของ Id จะถูกกำหนดโดย Vgs และ Vds (แรงดัน เดรน-ซอส)

แรงดันขีดเริ่ม VTn จะเกิดขึ้น กับลำดับขั้นตอนของการสร้าง และโดยปกติการออกแบบวงจรนั้นจะใช้ค่าพอประมาณเท่านั้น ซึ่งค่าแรงดันดังกล่าว จะมีความไวต่อฟังก์ชันความหนาของเกทออกไซด์ (t_{ox}), ความหนาแน่นของสารเจือที่อยู่บนฐานรอง และโครงสร้างทางฟิสิกข์ของวัสดุที่ใช้

2.4 หลักการให้ไบอัส

ในการที่จะทำให้มอสทรานซิสเตอร์ทำงานอย่างมีประสิทธิภาพตามต้องการนั้น จำเป็นอย่างยิ่งที่จะต้องให้ไบอัสกับส่วนต่าง ๆ ของมันอย่างเหมาะสม โดยคำนึงถึงหน้าที่หลักของแต่ละส่วนดังกล่าวมาแล้วข้างต้น เช่น ส่วนซอส ซึ่งถูกกำหนดให้เป็นแหล่งจ่ายประจุพาหะส่วนมากที่ทำให้เกิดกระแส แล้วประจุเหล่านี้จะเคลื่อนที่ผ่านช่องทางเดินกระแสไปยังส่วนเดรนออกไปสู่วงจรไฟฟ้าภายนอก ทำให้เกิดเป็นกระแสเดรนซอส Ids ดังนั้นในการให้แรงดันไบอัสที่เหมาะสมระหว่างส่วนเดรนและส่วนซอส จึงหมายถึงการให้ศักดาไฟฟ้าแก่ส่วนซอสเมื่อเทียบกับส่วนเดรนแล้ว ส่วนซอสจะต้องเป็นแหล่งจ่ายประจุส่วนมากเสมอ เช่น ในกรณีของเอ็นแชนแนลมอสทรานซิสเตอร์ ซึ่งมีอิเลคตรอนหรือประจุลบ เป็นประจุพาหะส่วนมากที่ทำให้เกิดกระแส ดังนั้นจะต้องให้ศักดาไฟฟ้าเป็นลบที่ส่วนซอสเมื่อเทียบกับส่วนเดรน เพื่อให้ส่วนซอสทำหน้าที่เป็นแหล่งจ่ายอิเลคตรอนนั่นเอง ดังแสดงในรูปที่ 2.7 หรือในกรณีของ พีแชนแนลมอสทรานซิสเตอร์ ซึ่งมีโฮลหรือประจุพาหะส่วนมากที่ทำให้เกิดกระแสก็จะต้องให้ศักดาไฟฟ้าเป็นบวกที่ส่วนซอสเมื่อเทียบกับส่วนเดรน



รูปที่ 2.7 แสดงการให้ไบอัสที่ถูกต้องแก่ N-Channel MOSFET เพื่อใช้งานเป็นอุปกรณ์สี่ขั้ว

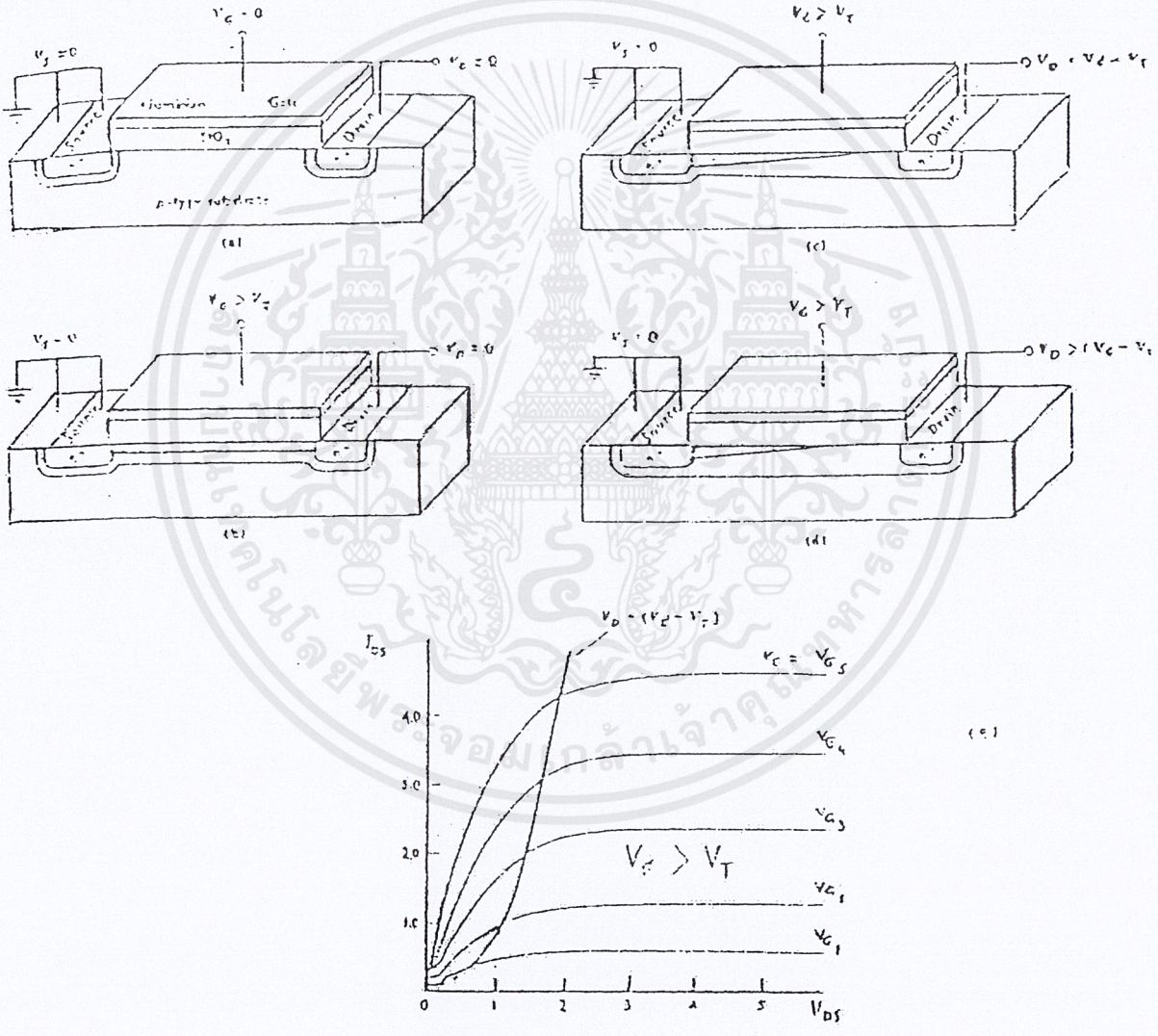
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สำหรับส่วนเกทจะต้องให้ศักดาไฟฟ้า (เมื่อเทียบกับฐานรอง) ในลักษณะที่สามารถควบคุมการเปิดหรือปิดช่องทางเดินทางกระแสได้โดยใช้ในการพิจารณาหลักเดียวกับการให้ศักดาไฟฟ้าแก่ตัวเก็บประจุไฟฟ้า (Capacitor) ทั่ว ๆ ไปเช่น ในรูปที่ 2.7 เป็นเอ็นแชนแนลเอ็นฮานซ์โหมดมอสทรานซิสเตอร์ ซึ่งโดยปกติถ้าไม่มีศักดาไฟฟ้าที่ส่วนเกทช่องทางเดินกระแสจะเปิดอยู่ ทำให้ส่วนเดรนกับส่วนซอสแยกออกจากกัน ดังนั้นจะต้องมีความต่างศักดาไฟฟ้าที่ส่วนเกทเป็นบวกเมื่อเทียบกับฐานรองเพื่อทำให้เกิดการสะสมประจุลบในช่องทางเดินกระแส อันจะเป็นการควบคุมการเปิด-ปิดช่องทางเดินกระแสนั่นเอง หรือในกรณีของเอ็นแชนแนลดีพลีชั่นโหมดมอสทรานซิสเตอร์ ซึ่งโดยปกติขณะที่ไม่มีแรงดันไบอัสที่ส่วนเกท สารกึ่งตัวนำบริเวณช่องทางเดินกระแสจะมีสภาพเป็นสารกึ่งตัวนำชนิดเอ็นอยู่แล้วทำให้เกิดการเชื่อมต่อระหว่างส่วนเดรนกับส่วนซอส ดังนั้นเมื่อมีความต่างศักดาระหว่างส่วนเดรนกับส่วนซอสเกิดขึ้นจะทำให้กระแส Ids ไหลได้ทันที ฉะนั้นในการควบคุมปริมาณกระแส Ids ก็ทำได้โดยการควบคุมความนำไฟฟ้าของช่องทางเดินกระแสนั้น โดยการให้แรงดันไบอัส ส่วนเกทในลักษณะที่ทำให้เกิดการเปลี่ยนแปลงการสะสมประจุลบหรืออิเลคตรอน เช่น ถ้าให้ส่วนเกทมีศักดาไฟฟ้าเป็นบวกเมื่อเทียบกับฐานรอง จะทำให้เกิดการสะสมประจุลบที่ช่องทางเดินกระแสมากขึ้น เป็นผลให้ความนำไฟฟ้ามีค่าเพิ่มขึ้น กระแส Ids ก็ไหลได้มากขึ้น แต่ถ้าให้ส่วนเกทมีศักดาไฟฟ้าเป็นลบเมื่อเทียบกับฐานรอง จะทำให้เกิดการสะสมประจุลบที่ช่องทางเดินกระแสลดลง ดังนั้นกระแส Ids ก็จะไหลได้น้อยลงด้วย ส่วนในกรณีของ PMOS ก็พิจารณาได้ในทำนองเดียวกัน

โดยหลักการที่กล่าวมาข้างต้นเป็นการเตรียมพร้อมที่จะให้มอสทรานซิสเตอร์ทำงานตามที่ต้องการ ซึ่งกลไกการเปลี่ยนแปลงคุณสมบัติทางไฟฟ้าภายในของมันจะอธิบายได้ดังนี้ ตัวอย่างเช่น ในกรณีของเอ็นแชนแนล เอ็นฮานว์เมนท์โหมด มอสทรานซิสเตอร์ เมื่อได้รับแรงดันไบอัสที่เหมาะสมจะมีการเปลี่ยนแปลงคุณสมบัติทางไฟฟ้า ดังแสดงในรูปที่ 2.8a-d ซึ่งจะเห็นว่าในรูปที่ 2.8a จะแสดงสภาพปกติของมอสทรานซิสเตอร์ที่กำลังพิจารณา ในขณะนี้สารกึ่งตัวนำบริเวณช่องทางเดินกระแสเป็นชนิดพี ทำให้ส่วนเดรนกับส่วนซอสแยกออกจากกันทางไฟฟ้า ดังนั้นถึงแม้ว่าจะมีความต่างศักดาไฟฟ้าเกิดขึ้นระหว่างเดรนกับซอส ประจุพาหะส่วนมากก็จะเคลื่อนจากซอสไปเดรนไม่ได้ นั่นคือ กระแส Ids เป็นศูนย์ในรูปที่ 2.8b เมื่อให้ศักดาไฟฟ้าที่เกทมีค่ามากกว่าค่าแรงดันขีดเริ่ม (Threshold Voltage: VT) ของมันแล้วจะเกิดการเหนี่ยวนำประจุลบขึ้นที่ส่วนของฐานรองผิวสัมผัสกับออกไซด์ส่วนเกท ทำให้สารกึ่งตัวนำบริเวณนั้นมีคุณสมบัติเหมือนสารกึ่งตัวนำชนิด เอ็น เชื่อมต่อระหว่างส่วนเดรนกับส่วนซอส ซึ่งเรียกส่วนนี้ว่า ช่องทางเดินกระแส ให้สังเกตว่าตรงรอยต่อระหว่างสารกึ่งตัวนำชนิดเอ็นกับชนิดพี จะมีบริเวณปลอดประจุพาหะอยู่เสมอ (จากทฤษฎีของรอยต่อ พี-เอ็น) ในรูปที่ 2.8c เมื่อให้ความต่างศักดาไฟฟ้าระหว่างส่วนเดรนกับซอสมีค่าเป็น Vg – VT แล้ว แต่เนื่องจากส่วนซอสต่อเชื่อมสัมผัสไฟฟ้า (Short) อยู่กับฐานรอง ดังนั้นจึงเกิดการไบอัสย้อนกลับขึ้นระหว่างรอยต่อ พี-เอ็น ที่ส่วนฐานรอง ๆ กับส่วนเดรน เป็นผลให้เกิดการเปลี่ยนแปลงจำนวนประจุพาหะที่ช่องทางเดินกระแสบริเวณใกล้ ๆ กับส่วนเดรน แต่เนื่องจากแรงดันไบอัส Vd พอดีเท่ากับกับแรงดัน Vg – VT ที่ทำให้เกิดช่องทางเดินกระแส ดังนั้นช่องทางเดินกระแสจึงยังคงเชื่อมต่ออยู่พอดีกับส่วนของเดรน เสมือนเป็นความต้านทานตัวหนึ่ง ฉะนั้นกระแส Ids จึงเพิ่มขึ้นอย่างเป็นเชิงเส้นกับค่าแรงดัน Vd ที่เพิ่มขึ้น

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จาก 0 ถึง Vg – VT รูปที่ 2.8d เป็นการให้ศักดาไฟฟ้าที่ส่วนเดรนมีค่ามากกว่าแรงดัน Vg - VT ซึ่งทำให้ช่องทางเดินกระแสถูกแยกออกจากส่วนเดรนโดยสนามไฟฟ้าของรอยต่อ พี-เอ็น ที่เกิดจากไบอัสย้อนกลับด้วยแรงดันไบอัส Vd นั้นเอง ในกรณีนี้ความต่างศักดาไฟฟ้าระหว่างส่วนเดรนกับซอสส่วนใหญ่จะปรากฏอยู่ที่รอยต่อ พี-เอ็น ดังนั้นถึงแม้จะเพิ่มแรงดัน Vd ให้มากขึ้นอีก แต่ความต่างศักดาไฟฟ้าระหว่างทั้งสองของสารกึ่งตัวนำบริเวณช่องทางเดินกระแส ก็ยังคงมีค่าประมาณเท่าเดิม ดังนั้นกระแส Ids จึงมีค่าประมาณคงที่ กราฟความสัมพันธ์ระหว่างกระแส Ids จึงมีค่าประมาณคงที่ กราฟความสัมพันธ์ระหว่างกระแส Ids กับแรงดัน Vd ในขั้นตอนต่าง ๆ แสดงได้ดังในรูปที่ 2.8c

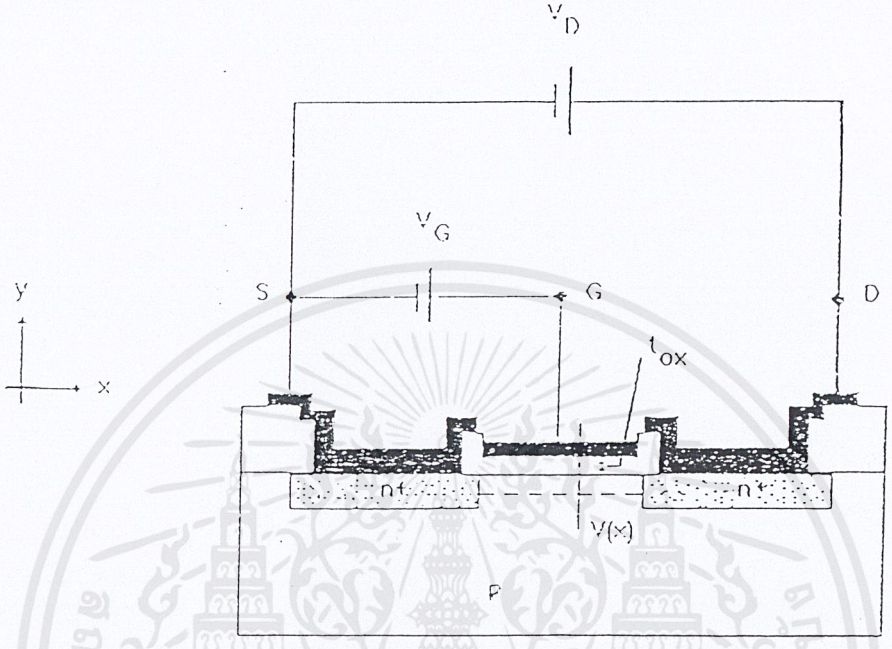


รูปที่ 2.8a-d แสดง N-Channel Enhancemement Mode MOSFET ภายใต้สภาวะการให้ไบอัสในลักษณะต่าง ๆ c แสดงลักษณะกระแสแรงดันโดยทั่วไปสำหรับ N-Channel Enhancement Mode MOSFET

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.5 คุณสมบัติความสัมพันธ์ระหว่างกระแสกับแรงดันของมอสทรานซิสเตอร์

การวิเคราะห์คุณสมบัติความสัมพันธ์ระหว่างกระแส Ids กับแรงดัน Vd ของมอสทรานซิสเตอร์ในที่นี้จะข้อพิจารณาในกรณีของเอ็นแชนแนล เอ็นฮานซ์โหมด มอสทรานซิสเตอร์เป็นแนวทางให้เท่านั้น ซึ่งจะสามารถใช้หลักการเดียวกันนี้ในการพิจารณามอสทรานซิสเตอร์ แบบอื่น ๆ ได้ด้วยดังนี้



รูปที่ 2.9

จากรูปที่ 2.9 สมมติว่าให้แรงดันไบอัสระหว่าง เดรน-ซอส เป็น VT และแรงดันไบอัสที่เกทเป็น Vg ถ้าให้แรงดันที่จุด x บนแนวของแชนแนลมีค่าเป็น V(x) ซึ่งก็คือแรงดันที่เปลี่ยนแปลงในแนวแกน X จากส่วนซอสคือ Vs ถึงส่วนเดรนก็คือ Vd มีค่าแรงดันเป็น IdR เมื่อ R คือความต้านทานของช่องทางเดินกระแส ดังนั้นที่ตกคร่อมชั้นออกไซด์ที่จุด X นี้ก็คือ Vg – V(x) และถ้าชั้นของออกไซด์นี้หนา t_{ox} ซึ่งหนามากกว่าความลึกของช่องทางเดินกระแสมาก ๆ จะได้ว่าสนามไฟฟ้าในชั้นออกไซด์ที่จุด X ก็คือ

$$\xi(x) = \frac{(V_g - V(x))}{t_{ox}} \qquad \text{V/m} \qquad (2.8)$$

จากกฎของเกาส์ จะหาความหนาแน่นของประจุที่ผิว (Surface charge : ρi) ซึ่งถูกเหนี่ยวนำในช่องทางกระแสที่จุด X ได้เป็น

$$\begin{aligned} \rho i(x) &= \varepsilon \xi(x) && \text{c/m}^2 \\ &= \varepsilon_o \varepsilon_{ox} \xi(x) && \text{c/m}^2 \\ &= \varepsilon_o \varepsilon_{ox} \frac{[Vg - V(x)]}{t_{ox}} && \text{c/m}^2 \end{aligned} \qquad (2.9)$$

โดยที่ ε_o คือ Relative Permittivity ของชั้นออกไซด์ มีค่าคงที่เป็น 4

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

อย่างไรก็ตามประจุที่เกิดขึ้น จะยังไม่สามารถนำกระแสในแชนแนลได้ ทั้งนี้เนื่องจากขณะที่แรงดัน Vo มีค่าน้อย ๆ บริเวณผิวสัมผัสระหว่างออกไซด์กับสารกึ่งตัวนำ ฐานรองจะเกิดเฉพาะบริเวณปลอดประจุพาหะขึ้น ยังไม่เกิดเป็นชั้นกลับ แต่ถ้าแรงดัน Vo มีค่ามากกว่าแรงดันขีดเริ่ม VT (ซึ่งนิยามว่าเป็นแรงดันที่ให้ที่ส่วนเกทตกคร่อมชั้นออกไซด์) พอดีทำให้ความหนาแน่นของประจุในช่องทางเดินกระแสมีค่าเป็นศูนย์ แล้วจะเกิดการเหนี่ยวนำให้เกิดชั้นกลับได้ ซึ่งก็จำนำไฟฟ้าระหว่างส่วนเดรนกับส่วนซอสได้ทันที

สมมติว่าความหนาแน่นของประจุพาหะที่เพิ่มขึ้นในช่องทางเดินกระแสซึ่งเป็นชั้นกลับมีค่าเป็น Δn แล้วดังนั้นจะได้ว่า

$$\rho i = q\Delta n \qquad c/m^2 \qquad (2.10)$$

จากนิยามของ VT จะได้ว่า

$$q\Delta n = \frac{\varepsilon_o \varepsilon_{ox} \{[Vg - V(x)] \quad VT}{t_{ox}} \text{เมื่อ} [Vg - V(x)] > VT \qquad (2.11)$$

และ

$$q\Delta n = 0 \text{ เมื่อ } [Vg - V(x)] < VT \qquad (2.12)$$

ถ้าให้ G(x) แทนค่าความนำไฟฟ้า ดังนั้น ค่าความนำไฟฟ้าของส่วนเล็ก ๆ ของช่องทางเดินกระแสซึ่งบางมาก ๆ ในช่วงความยาว dx และความกว้าง W จะมีค่าเป็น

$$G(x) = \sigma(x)\frac{W}{dx} Xj \qquad (2.13)$$

โดยที่ σ (x) คือความนำที่ผิวต่อหนึ่งหน่วยตารางพื้นที่ของแชนแนล ดังนั้นจะได้ว่า

$$G(x) = q\Delta n \mu e \frac{W}{dx}$$

$$= \frac{\varepsilon_o \varepsilon_{ox} \mu_e}{t_{ox}} \{[Vg - V(x)\} - VT\} \qquad (2.14)$$

โดยที่ μ_e คือความคล่องตัวของอิเลคตรอนในแชนแนลจากกฎของโอห์ม จะได้ว่า

$$Ids = G(x)\, dv$$

โดยที่ Vd คือ แรงดันที่ตกคร่อมส่วนเล็ก ๆ ที่แชนแนลซึ่งยาว dx ดังนั้น

$$Ids = \frac{\varepsilon_o \varepsilon_{ox}}{t_{ox}} \mu_e \frac{w}{dx} \{[Vg - V(x)] - Vt\} dv \qquad (2.15)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เมื่อทำการอินทิเกรทตลอดแนวแท่งผลึกซึ่งยาว L และมีแรงดันตกคร่อมรวมทั้งหมดเป็นและสมมติว่าค่าความต้านทานที่ไม่ต้องการซึ่งเกิดขึ้นที่ขั้วเดรนและซอสมีค่าน้อยมาก ๆ ดังนั้นจะได้

$$\int_o^L Ids\,dx = \frac{\varepsilon_o \varepsilon_{ox}}{t_{ox}} \mu_e W \int_o^{vd} \{[Vg - V(x)] - VT\}\,dv \qquad (2.16)$$

$$Ids.L = \frac{\varepsilon_o \varepsilon_{ox}}{t_{ox}} \mu_e W \{[Vg - VT]\,Vd - \frac{Vd^2}{2}\}$$

หรือ

$$Ids = \frac{\varepsilon_o \varepsilon_{ox}}{t_{ox}} \mu_e \frac{W}{L} \{[Vg - VT\}Vd - \frac{Vd^2}{2}\} \qquad (2.17)$$

สมการที่ 2.17 นี้เป็นสมการแสดงความสัมพันธ์ระหว่างกระแส Ids กับแรงดัน Vd ที่ค่าแรงดัน Vd $\leq$ (Vg – VT)อย่างไรก็ตามจากสมการที่ 2.17 นี้ สามารถนำมาพิจารณาหาความสัมพันธ์ระหว่างกระแสและแรงดันในแต่ละกรณี ของการทำงานของมอสทรานซิสเตอร์ได้ดังนี้

ในกรณีที่มอสทรานซิสเตอร์ ทำงานในช่วงเชิงเส้น (Linear of Triode Region) โดยพิจารณาว่าแรงดัน VD มีค่าน้อย ๆ หรือเพื่อให้เกิดช่องทางเดินกระแสเชื่อมต่อระหว่างส่วนซอสกับส่วนเดรน ดังนั้น

$$(Vg - Vt)Vo >> \frac{Vd^2}{2} \qquad (2.18)$$

ซึ่งจากสมการที่ 2.17 จะลดรูปลงได้เป็น

$$Ids = \frac{\varepsilon_o \varepsilon_{ox}}{t_{ox}} \mu_e \frac{W}{L} \{[Vg - VT]\,Vd\} \qquad (2.19)$$

จากสมการที่ 2.19 นี้จะเห็นว่ากระแส Is แปรเป็นสัดส่วนโดยตรงกับแรงดัน Vd ที่ Vg คงที่หนึ่ง ๆ

ในกรณีที่มอสทรานซิสเตอร์ ทำงานในช่วงอิ่มตัว (Saturation or Pentrode Region) โดยพิจารณาว่าแรงดัน Vd $\geq$ (Vg – VT) เพื่อให้แน่ใจว่าเกิดบริเวณปลอดประจุพาหะที่ช่องทางเดินขึ้นอีกก็ตาม ซึ่งกระแส Ids ที่คงที่นี้จะเริ่มคงที่ตั้งแต่ Vd = (Vg – VT) ดังนั้น กระแส Ids ที่คงในช่วงอิ่มตัวนี้ จึงมีค่าเป็น

$$Ids(sat) = \frac{\varepsilon_o \varepsilon_{ox}}{t_{ox}} \mu_e \frac{W}{L} \{(Vg - VT)^2 - \frac{(Vg - Vt)^2}{2}\}$$

$$Ids(sat) = \frac{\varepsilon_o \varepsilon_{ox}}{t_{ox}} \mu_e \frac{W}{L} \frac{(Vg - VT)^2}{2} \qquad (2.20)$$

จากสมการที่ 2.20 นี้จะเป็นว่ากระแส Ids(sat) จะมีค่าคงที่ไม่ขึ้นกับค่าแรงดัน Vd โดยจะมีค่าคงที่ ที่ Vg ค่าหนึ่ง ๆ เป็นที่สังเกตจากสมการที่ 2.17 ว่ากระแส Ids สามารถถูกควบคุมได้โดยโครงสร้างทางเรขาคณิต อันได้แก่ความกว้างของช่องทางเดินกระแส (W) ความยาวของช่องทางเดินกระแส (L) และความ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สำนักหอสมุดกลาง พระจอมเกล้าลาดกระบัง

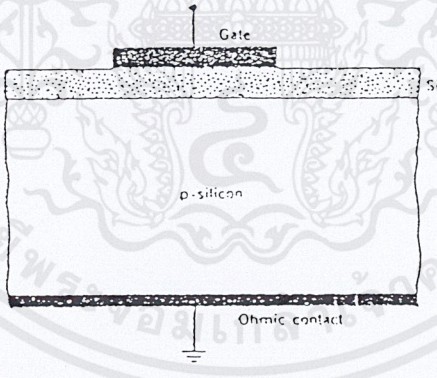
หนาของเกทออกไซด์ นอกจากนั้นยังสามารถควบคุมได้ในขณะทำการสร้างอีกด้วยโดยการควบคุมค่าของแรงดันขีดเริ่ม VT

2.6 ความสัมพันธ์ของค่าความจุและแรงดันในมอสคาปาซิเตอร์ (C-V Characteristics of the MOS Capacitor)

จะทำการศึกษาความสัมพันธ์ของค่าความจุไฟฟ้าและแรงดันในมอสคาปาซิเตอร์ เพื่อให้ได้มาซึ่งเครื่องมือที่สำคัญที่เรียกว่า C-V Plots ซึ่งเป็นเครื่องมือที่มีประโยชน์ในแง่ของการให้ค่าพารามิเตอร์ที่สำคัญ เช่น อย่างคร่าว ๆ นอกจากนี้ประโยชน์ที่สำคัญจริง ๆ ก็คือ ใช้ตรวจสอบและควบคุมคุณภาพของกระบวนการผลิตมอส (Process Quality Control Monitoring) โดยจะบอกให้ทราบว่า มอสที่ผลิตขึ้นมานั้นมีคุณภาพเป็นอย่างไร โครงสร้างที่ได้เป็นไปตามที่กำหนดไว้แค่ไหน ทำให้รู้ไปถึงว่ากระบวนการสร้างในขั้นตอนไหนมีความผิดพลาดเพื่อที่จะได้รู้จุดบกพร่องของกระบวนการและนำไปแก้ไขปรับปรุงต่อไปซึ่งสิ่งเหล่านี้ไม่สามารถบอกได้โดย I-V Curve

2.7 ระบบมอสในอุดมคติ (Ideal Mos System)

เพื่อความเข้าใจในลักษณะของ C-V Plots อย่างคร่าว ๆ ทั้งในความถี่สูงและความถี่ต่ำ จำเป็นต้องมองระบบมอสว่าเป็นตัวเก็บประจุมอสในอุดมคติดังในโครงสร้างในรูปที่ 2.10 โดยสารกึ่งตัวนำจะทำหน้าที่เปรียบเสมือนว่าโครงสร้างมอสประพฤติตัวเป็นประจุแบบแผ่นตัวนำขนาน โดยมี Sio_2 เป็นไดอิเลคตริก



รูปที่ 2.10 แสดงภาพตัดขวางของมอสคาปาซิเตอร์

เมื่อทำการป้อน Vg ให้กับเกท จะเกิดส่วนของ Vox คร่อม Oxide ตามสมการ

$$Vg = V_{ox} + \phi_s \tag{2.21}$$

เมื่อ ϕ_s เป็น Surface Potential ของสารกึ่งตัวนำถ้าไม่มีประจุอยู่ที่รอยต่อของ Oxide กับ Semicondutor โดยที่ Electric Flux Density จะต่อเนื่องที่รอยต่อตามกฎของเกาส์

$$\varepsilon_{ox} \frac{V_{ox}}{t_{ox}} = \varepsilon_s \xi_s = -Q_s \tag{2.22}$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้
42743

ในที่นี้ ε_{ox} และ ε_s แทน Oxide และ Semicnductor Permitivities ตามลำดับ เป็นสนามไฟฟ้าที่ผิวของ Semiconductor และ เป็นความหนาของ Oxide แทนค่า Vox จามสมการที่ 2.21 ลงใน สมการที่ 2.22 จะได้

$$Vg = \frac{-Q_s}{C_{ox}} + \phi_s \tag{2.23}$$

ซึ่ง $C_{ox} = \frac{\varepsilon_{ox}}{t_{ox}}$ แทน Oxide Capacitance ต่อหน่วยพื้นที่หาอนุพันธ์สมการที่ 2.23 เทียบกับ Vg จะได้

$$1 = \frac{-1}{C_{ox}} \frac{dQ_s}{dVg} + \frac{d\phi_s}{dQ_s} \frac{dQ_s}{dVg} \tag{2.24}$$

ค่า Small-Signal Capacitance C ของมอสคาปาวิเตอร์ ถูกนิยามโดยความสัมพันธ์

$$C = \frac{dQ_g}{dV_g} = \frac{-dQ_s}{dV_g} \tag{2.25}$$

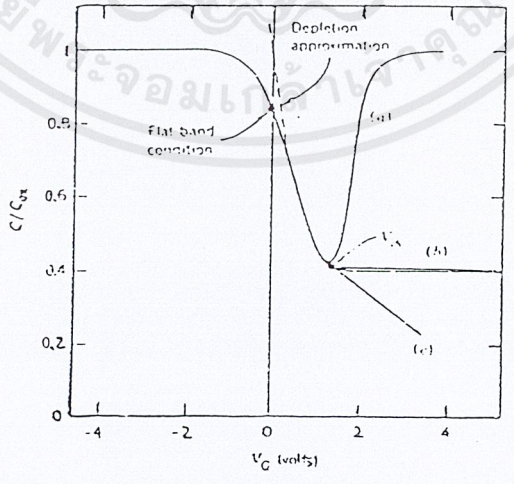
ซึ่ง Qg = -Qs เป็นประจุต่อหน่วยพื้นที่บนขั้วเกท แทนค่า จากสมการที่ 2.25 ลงในสมการที่ 2.24 แล้วจัด term ใหม่จะได้

$$\frac{1}{C} = \frac{1}{C_{ox}} + \frac{1}{C_s} \tag{2.26}$$

ซึ่ง เป็น Semiconductor Space Charge Layer Capacitance ต่อหน่วยพื้นที่ของพื้นผิว Semiconductor จากสมการที่ 2.26 Normalized Capacitance สามารถเขียนได้ว่า

$$\frac{C}{C_{ox}} = \frac{1}{1 + \frac{C_{ox}}{C_s}} \tag{2.27}$$

สำหรับความหนา Oxide ที่กำหนด t_{ox} , C_{ox} คงที่และไม่ขึ้นกับ Vg ดังนั้นถ้ารู้ว่า Cs ขึ้นอยู่กับ Vg ในลักษณะใด จะสามารถ Plot อัตราส่วน เป็นฟังก์ชั่น Vg ได้ซึ่งจะได้ C-V Curve ออกมาดังรูป



รูปที่ 2.11 แสดง MOS C-V Curves ในอุดมคติ (a) ที่ความถี่ต่ำ (b) ที่มีความถี่สูงและ (c) ที่ Deep Depletion

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สามารถอธิบายได้อย่างคร่าว ๆ ว่าทำไมรูป Curve จึงออกมาเป็นดังรูปที่ 2.11 ได้ดังนี้ เมื่อ Gate Voltage ถูกทำให้เป็นลบ ความหนาแน่นโฮลในชั้นผิวจะเพิ่มขึ้นมากกว่าค่า ρ_o ซึ่งเป็นค่าของสมดุลย์ ซึ่งสิ่งนี้จะทำให้เกิดการลดลงของ Effective Dynamic Depletion Region Length และจึงทำให้เกิดการเพิ่มขึ้นของค่า Cs ดังนั้นอัตราส่วน C/C_{ox} จึงเพิ่มขึ้นตามค่า Negative Bias บนเกทดังแสดงตามเส้นทึบในรูปที่ 2.11 สุดท้ายถ้า Negative Gate Voltage มีค่ามากพอโฮลจำนวนมากจะถูกดึงเข้าไปใกล้ Oxide ให้เกิด Strong Accumulation ที่ Surface ดังนั้น Cs จะมีค่ามาก ๆ และ อัตราส่วน C/C_{ox} จะเข้าสู่ 1 สำหรับค่าที่เป็นบวกของ Vg โฮลจะถูกผลักออกจาก Oxide Semiconductor Interface ทำให้เกิด Depletion Region Capacitance จะต่ออนุกรมอยู่กับ Oxide Capacitance ทำให้ Total Capacitance มีค่าน้อยกว่า C_{ox} และเมื่อ Gate Bias ยังคงเพิ่มขึ้นอีก Depletion Region จะขยายออกไปและทำให้ Cs ลดลงต่อไป สิ่งที่จะทำให้ C/C_{ox} ค่อย ๆ ลดลงเมื่อ Vg ค่อย ๆ เพิ่มขึ้นเรื่อย ๆ สุดท้ายเมื่อ Vg มีค่ามากพอที่จะทำให้เกิด Strong Inversion ที่ Surface Depletion Region จะขยายออกเข้าสู่ที่ Maximum ของมัน ทำให้ Cs เป็นค่า Minimum และ C/C_{ox} เข้าสู่ค่าคงที่ไม่ขึ้นกับ Gate Bias ดังกราฟเส้นทึบในรูปที่ 2.11b

ในการปฏิบัติจะทำการวัดค่ามอสคาปาซิเตอร์ C โดยการขี่สัญญาณ AS Small Signal (ประมาณ 5 mv) บน DC Bias แล้วป้อนเข้าขาเกท โดยการวัดจะแบ่งเป็นวัดโดยป้อน AC ที่ High Frequency (ประมาณ 1 MHz) หรือวัดที่ Low Frequency (ประมาณ 10-100 Hz) แต่ที่นำยมใช้จะเป็นการหา CV Plots แบบ High Frequency มากกว่าเพราะว่า สะดวกในการวัดและจัดอุปกรณ์

เพื่อให้เข้าใจถึงการขึ้นกับความถี่ของ CV Plotsทั้ง High และ Low Frequency ให้พิจารณาว่า Positive Bias บน gate เพิ่มขึ้นมา Δv_g ซึ่งทำให้เกิดประจุเพิ่มบนขั้วเกท + ΔQ_g ดังนั้นจะเกิด Negative Charge $-\Delta Q_g$ ถูกเหนียวนำให้เกิดขึ้นใน Semiconductor จากรูปที่ 2.12

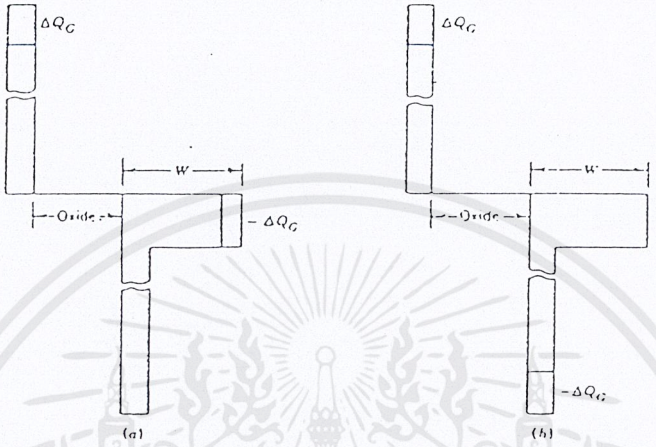
ที่ความถี่สูงการเพิ่มขึ้นของ Negantive Charge จะเกิดจากโฮลที่วิ่งออกจาก Depletion Region ดังรูป ค่า Capacitance ที่วัดได้ในขณะนี้จะเป็น Oxide Capacitance อนุกรมอยู่กับ Depletion Region Capacitance เนื่องจาก depletion region capacitance เข้าสู่ค่าต่ำสุดของมัน ดังนั้นค่า C/C_{ox} ก็จะเข้าสู่ค่าต่ำสุดด้วย ดังรูปที่ 2.12 ในขณะนี้ถ้า Electron-Hole Pair สามารถเกิดขึ้นใน Depletion Region ก่อนที่ ΔV_g จะหมดไป Hole ที่ถูก Generate ขึ้นก็จะเข้าไปแทนที่ Hole ที่เคลื่อนที่ออกมากจาก Depletion Region Edge ขณะนี้ Electron ก็จะเข้าไปอยู่ใน Inversion Layer ตามรูปที่ 2.12 ในสถานการณ์เช่นนี้ค่า Capacitance ที่วัดได้จะเป็นค่า Capacitance ของ Oxide เพียงอย่างเดียว และ C/C_{ox} ก็จะเข้าสู่ค่า 1 ดังนั้นจึงเป็นอันชัดเจนว่าหลังจากเกิด Strong Inversion แล้ว Curve ในรูปที่ 2.12a จะสอดคล้องกับการวัดแบบ Low Frequency ขณะที่ Curve ในรูปที่ 2.12b จะแสดงลักษณะ High Frequency ของมอสคาปาซิเตอร์

อ้างถึง High Frequency cruve ในรูปที่ 2.12b ทำให้ระลึกว่าค่า C/C_{ox} เข้าสู่ Minimum เมื่อ Strong Inversion เกิดขึ้นที่ผิวของ Semiconductor ค่า Gate Voltage ในตอนเริ่มเกิด Strong Inversion ถูกเรียกว่า Threshold Voltage VT ของมอส ซึ่งหาได้จากการแทนสมการให้ $Qs = -qNaW_m, \phi s = 2\phi_f$ ซึ่งเป็นเงื่อนไขการเกิด Inversion Layer จะได้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$VT = \frac{-Q_s}{Cox} + 2\phi_f \tag{2.28}$$

โดยที่ $2_s = -qNaW_m, = -\sqrt{4\varepsilon_s qNa\phi_f}$ ซึ่งค่า Threshold Voltage ได้แสดงในรูปที่ 2.12 ด้วย



รูปที่ 2.12 แสดงการเปลี่ยนแปลงของการกระจายประจุในมอสคาปาซิเตอร์ที่ถูกไบอัสในช่วง inversion (a) ที่มีความถี่สูง (b) ที่มีความถี่ต่ำ

2.8 ระบบมอสที่แท้จริง (Real MOS Capacitor)

ในระบบมอสอุดมคติที่กล่าวมา สมมติว่าไม่มีการงอตัวของแกนพลังงานสำหรับ Vg = 0 ซึ่งเงื่อนไขนี้ไม่เป็นจริงในทางปฏิบัติ ความแตกต่างระหว่างค่าฟังก์ชั่นงานของโลหะสารกึ่งตัวนำ รวมถึงประจุที่อยู่ใน Oxide จะทำให้เกิดพฤติกรรมที่ไม่เป็นอุดมคติ โดยทั่วไปแล้วโลหะที่เป็นเกทและส่วนที่เป็นสารกึ่งตัวนำจะมีค่าฟังก์ชั่นที่ต่างกันโดย

$$\phi_{ns} = (\phi_m - \phi_{sc}) \tag{2.29}$$

เป็นความแตกต่างของฟังก์ชั่นงานที่เกิดขึ้นระหว่าง Gate กับ Semiconductor Bulk ที่ Vg = 0 โดยที่ Semiconductor Work Function หาได้จากความสัมพันธ์

$$q\phi_{sc} = (qX + \frac{E_g}{2} \pm \phi_f) \tag{2.30}$$

ดังนั้นจะได้ว่า

$$\phi_{ns} = \phi_m - (X + \frac{E_s}{2} \pm \phi_f) \tag{2.31}$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

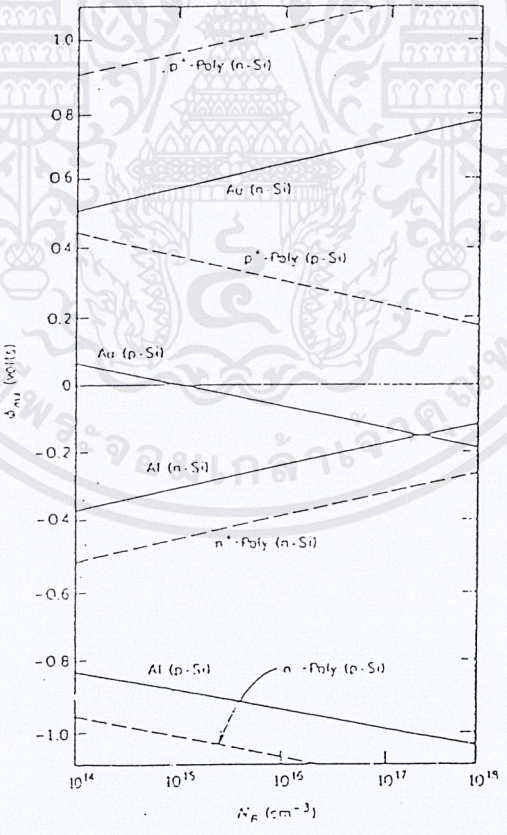
โดยที่เครื่องหมาย + จะเป็นของ P-type Semiconductor เครื่องหมาย – จะเป็นของ n-type Semiconductor ในทางปฏิบัติแล้วนิยม Plot ค่าของ ϕ_{ms} เป็นฟังก์ชั่นของความหนาแน่นสารเจือใน Silicon สำหรับ Gate ที่เป็น A1, Au และ Polysilicon ดังรูปที่ 2.13

โดยทั่วไปแล้วระบบที่เป็น Oxide-Silicon จะประกอบด้วยประจุอยู่ 2 แบบคือ ประจุเคลื่อนที่และอยู่กับที่ใน Oxide และประจุที่รอยต่อของ Si และ Sio_2 โดยที่ประจุทั้งหมดใน Oxide สามารถหาได้จาก C-V Plots ของ MOS Capacitor

เนื่องจากประจุใน Oxide และในรอยต่อ รวมถึงความแตกต่างของฟังก์ชั่นงานระหว่างโลหะที่เป็นเกทกับสารกึ่งตัวนำ จึงทำให้เกิดการเคลื่อนไปจาก C-V Plots ที่ High Frequency ของ MOS Capacitor ที่ใช้ P-silicon โดยมี $N_a = 5.5x10^{16}$ cm^3 กับอลูมิเนียมเกรทและมีความหนาของ Oxide 1100 A° โดย Cureve เส้นประเป็น Curve ในอุดมคติซึ่งสามารถคำนวณได้เมื่อรู้ N_a และความหนาของ Oxide เส้น Curve ที่วัดได้ในทางปฏิบัติเลื่อนจาก Curve อุดมคติไปในทางค่าลบของ Vg ชี้ให้เห็นถึงการเกิดมีประจุบวกใน Oxide ค่า Vg ที่จำเป็นที่จะทำให้เกิด Flat-Band Condition ในสารกึ่งตัวนำเรียกว่า Flat-Band Voltage Vfb ซึ่งหาได้จาก

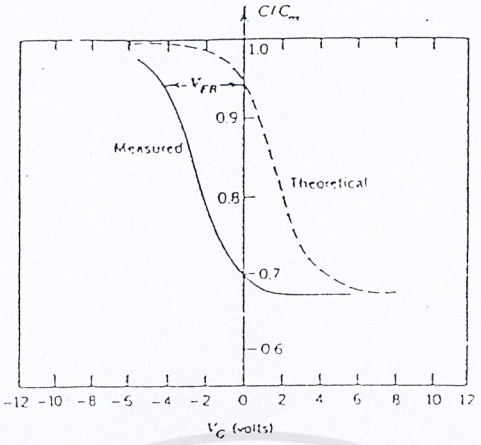
$$Vfb = \phi_{ns} - \frac{Q_{it}}{C_{ox}} - \frac{-1}{C_{ox}t_{ox}} \int_o^{t_{ox}} \rho(y)dy \qquad (2.32)$$

ซึ่ง 2_{it} แทนประจุต่อหน่วยพื้นที่ที่รอยต่อของ Oxide-Semicanductor และ $\rho(\gamma)$ เป็นความหนาแน่นประจุใน Oxide



รูปที่ 2.13 ความแตกต่างของค่าฟังก์ชั่นงานระหว่างโลหะและสารกึ่งตัวนำโดยพล็อตเป็นฟังก์ชั่นของค่าความหนาแน่นอะตอมสารเจือในซิลิกอนสำหรับ Al, Au และ polysiligon เกท

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.14 พล๊อตของ C-V ที่ได้จากการคำนวณและการวัดที่ความถี่สูงของมอสคาปาซิเตอร์บนซิลิกอนฐานรองชนิดพี

ในสมการที่ 2.32 เทอมที่ 2 แสดงถึงการเลื่อนของ C-V Curve เนื่องจากประจุที่รอยต่อและเทอมที่ 3 จะทำให้เกิดการเลื่อนของ C-V Curve เนื่องจากประจุใน Oxide ซึ่งทั้ง 2 เทอมสามารถรวมกันได้ทำให้ Vfb เขียนได้เป็น

$$Vfb = \phi_{ns} - \frac{Q_{ox}}{C_{ox}} \qquad (2.33)$$

ซึ่ง Q_{ax} แทนประจุทั้งหมด

จาก Plot รูปที่ 2.14 ได้ Vfb = -4.5 จากรูปที่ 2.13 แสดงให้เห็นว่าสำหรับ Aluminium Gate บน P-Silicon ϕ_{ns} เป็นลบและขนาดของมันยังน้อยกว่า 1 ด้วย ดังนั้น Total Charge Q0 ต้องเป็นบวก เนื่องมาจากค่าที่เป็นลบของ Vfb บังคับอยู่ค่า Flat-Band Voltage สามารถทำให้เกิดการเปลี่ยนแปลงต่อ Threshold Voltage ได้ค่า Threshold Voltage ใหม่ที่ได้จะเป็นผลรวมทางพีชคณิตของ Vfb กับ Threshold Voltage เดิมในตอนที่พิจารณา Ideal MOS

$$VT = Vfb - \frac{Q_s}{C_{ox}} + 2\phi_f \qquad (2.34)$$

ซึ่งสมการนี้นอกจากจะใช้ได้กับ P-type Semiconductor แล้วยังสามารถใช้วิเคราะห์ N-type Semiconductor ได้ด้วยอย่างไรก็ตามสังเกตว่าสำหรับ Si-Sio_2 system เป็นลบในกรณีของ P-Silicon ส่วนอีก 2 เทอมที่เหลือในสมการที่ 2.34 เป็นบวกแต่สำหรับ N-Silicon ทั้ง 3 เทอมเป็นลบหมด ดังนั้นขนาด Threshold Voltage ของ MOS Transistor ที่สร้างบน N-Silicon จะมากกว่าที่สร้างบน P-Silicon

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.9 บอดี้ไบอัส

แรงดันขีดเริ่ม, VTn ได้รับผลกระทบจากแรงดัน Vsb สอดคล้องกับสมการ

$$VT = VTo + \gamma(\sqrt{2|\phi_f| + Vsb} - \sqrt{2|\phi_f|} \quad (2.35)$$

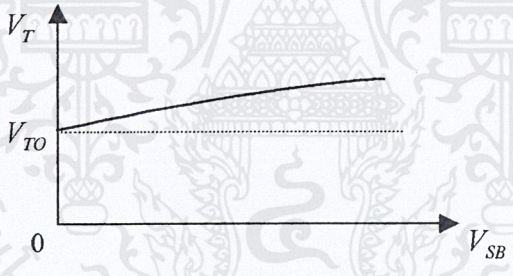
เมื่อ VTO คือแรงดันขีดเริ่มในกรณีที่ Vsb = 0,γ คือบอดี้ไบอัส แฟคเตอร์

$$\gamma = \frac{\sqrt{2q\varepsilon_{si}Na}}{C_{ox}} \quad (2.36)$$

มีหน่วยเป็น [$V^{1/2}$] และ $2|\phi_f|$ คือบัล์ค เฟอร์มิ โพเทนเชียล (Bulk Ferni Potential)

$$2|\phi_f| = 2\left(\frac{KT}{q}\right)In\left(N_i\frac{N_a}{}\right) \quad (2.37)$$

ค่าพารามิเตอร์ N_a ในทั้งสองสมการข้างต้นคือ ความหนาแน่นอะตอมสารเจือผู้รับ (Boron) ในฐานรองชนิดพี โดยปกติ N_a จะมีค่าประมาณ 10^{15} cm^{-3} จากสมการจะแสดงว่าการเพิ่มขึ้นของ Vsb จะทำให้ทรานซิสเตอร์ยากแก่การ Turn on หรืออีกนัยหนึ่งก็หมายถึงจะทำให้ค่าแรงดันขีดเริ่มมีค่าเพิ่มขึ้นนั่นเอง ดังแสดงในรูปที่ 2.15



รูปที่ 2.15 แสดงผลของ บอดี้ไบอัสของมอสเฟท

2.10 โปรเซส พารามิเตอร์

ค่าพารามิเตอร์ทางไฟฟ้าพื้นฐานของมอสเฟตจะถูกกำหนดจากกระบวนการสร้างสำหรับเอ็นแชนแนล ทรานซิสเตอร์ จะมีค่าต่าง ๆ ดังนี้

V_{ton} คือ แรงดันขีดเริ่มกรณีของ ซีโร่-บอดี้ไบอัส ซึ่งมีค่าเป็นบวก โดยปกติจะมีค่าอยู่ระหว่าง 0.50 และ 1.00 Volts

K'_n คือโปรเซส ทรานสคอนดัคเตนซ์ [A/V^2] จะถูกกำหนดโดยค่าของ C_{ox}และเป็นส่วนกลับกับความหนาของเกทออกไซด์ X_{ox} ปกติจะมีค่าอยู่ระหว่าง 50-200 [A/V^2]

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

γ คือ บอดี้-ไบอัส พารามิเตอร์ [$V^{1/2}$] จะมีค่าเปลี่ยนแปลงตามจำนวนของอะตอมสารเจือที่มีอยู่ในฐานรอง และค่าความจุของคาปาซิเตอร์ที่เกท

λ คือ แชนแนล-เลนซ์ มอดูเลชั่น แฟคเตอร์

2.11 พาราซิติก คาปาซิแดนซ์

รูปที่ 2.16 แสดงความจุแฝงพื้นฐานที่เกิดขึ้นกับมอสเฟต กระบวนการทางสวิทซ์ ซึ่งจะถูกกำหนดโดยค่าของ C_{ox} เมื่อมองเข้าไปในเกทจะเห็น Cg ผลรวมของอินพุทคาปาซิแดนท์สามารถคำนวณได้จาก

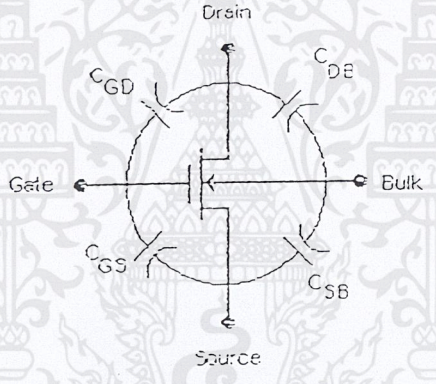
$$Cg = C_{ox} WL' \qquad (2.38)$$

เมื่อ L' คือ ความยาวของแชนแนล

ผลรวมของ พาราซิติก คัปปลิ้ง ระหว่างเกทและซอส หรือเดรน แสดงได้โดย

Cgs ; เกท-ซอส คาปาซิแดนซ์ และ

Cgd ; เกท-เดรน คาปาซิแดนซ์



รูปที่ 2.16 แสดง พาราซิติก คาปาซิแดนซ์ โมเดลของมอสเฟต

สำหรับการประมาณค่าอย่างหยาบ ๆ จะได้

$$Cgs = \frac{1}{2} Cg \approx Cds \qquad (2.39)$$

ถึงแม้ว่าสมการ 2.39 จะเป็นการประมาณค่าก็จริง แต่จะมีประโยชน์มากสำหรับการออกแบบเบื้องต้น ดีพลีชั่นคาปาซิเตอร์ (Depletion Capacitance) จะถูกกำหนดโดยปริมาณของการโดยสารเจือบริเวณขั้นเดรน-ซอส และ ซอส-ฐานรอง ผลอันนี้จะทำให้เกิด Csb และ Cdb ในกรณีของซีโร่ไบอัส คาปาซิแดนซ์/ซม.2 จะกำหนดเป็น Cjo เช่น ผลรวมของคาปาซิแดนซ์ที่เป็นฟังก์ชั่นของแรงดันไบอัสย้อนกลับ, V_γ ได้รับ

$$C = \frac{CjoA}{\left(1 + \frac{V\gamma}{\phi_o}\right)^m} \qquad (2.40)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

โดยที่ A คือผลรวมของพื้นที่บริเวณรอยต่อ (Junction) และ ϕ_0 คือกำแพงศักย์ (Built-in Voltage หรือ Potential Barrier) และ m คือ โคปปิ้งโปรไฟล์แฟคเตอร์ (Doping Profile) ซึ่งมี 2 กรณีคือ m = ½ (Step Profile Junction) และ m = 1/3 (Linear Graded Junction)

2.12 เดรน-ซอส รีซิสศีสแตนซ์

ความต้านทาน เดรน-ซอส ของมอสเฟทจะถูกกำหนดโดยค่ารีซิสทิวิตี้ของแชนแนล ถ้าพยายามที่จะกำหนดความต้านทาน R แบบลิเนียร์ สำหรับทรานซิสเตอร์จะใช้

$$R = \frac{Vds}{Id} \tag{2.41}$$

ในขณะที่ความไม่ลิเนียร์ของดีไวซ์ จะเห็นได้ชัดทันทีเมื่อพยายามที่จะกำหนดรวมเข้ากับสมการกระแสเดรน เพื่อให้เป็นการง่าย สามารถจะคาดคะเนผลของความต้านทาน เดรน-ซอส ของ เอ็นมอส โดยใช้ลิเนียร์ไทม์ อินวาเรียนท์ (linear tirne invariant) ซึ่งได้รับจาก

$$Rn \approx \frac{1}{K'_n\left(\frac{W}{L}\right)(Vdd - VTn)} \tag{2.42}$$

ถึงแม้ว่ามันจะพอเพียงสำหรับการประมาณค่า แต่ก็ไม่ค่อยนิยมใช้ในการนำไปคำนวณในกรณีของการออกแบบวงจรที่เป็นวิกฤต (Critical Situations) การจำลองแบบบนคอมพิวเตอร์จะช่วยได้มากในกรณีนี้ และสมการนี้จะใช้ประโยชน์ในกรณีของการเปรียบเทียบกับการออกแบบวงจร

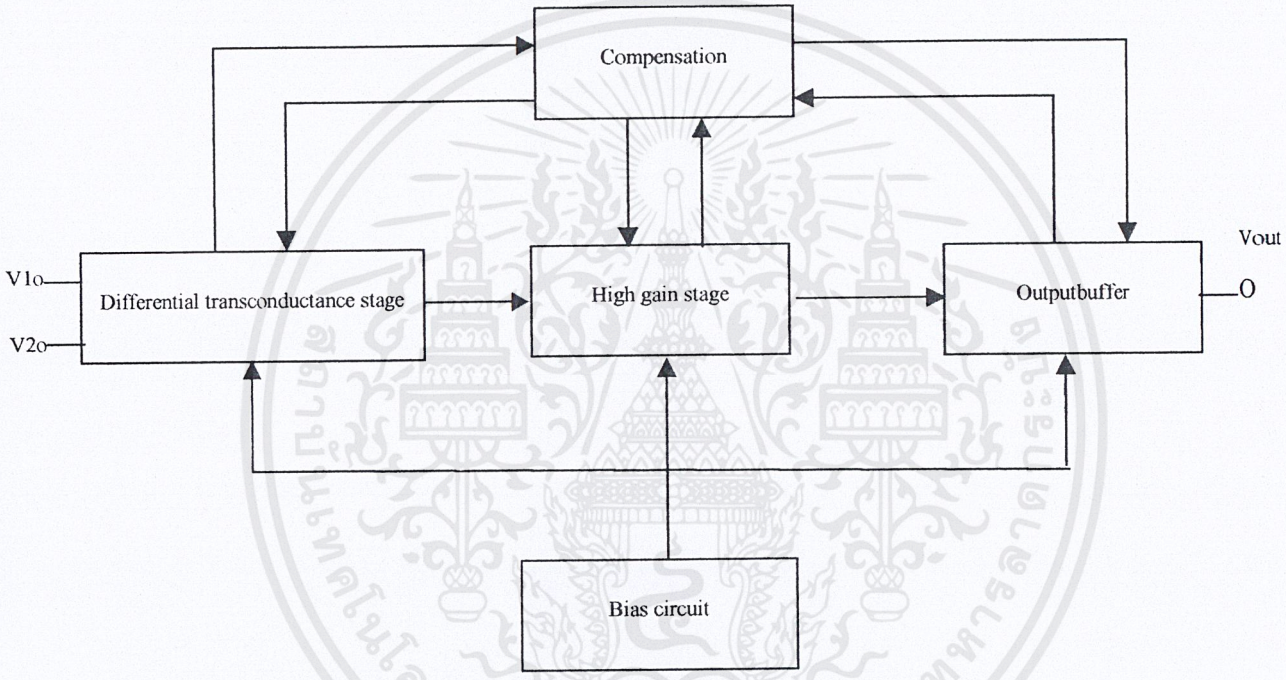
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 3

องค์ประกอบพื้นฐานของวงจรขยายสัญญาณแบบโอเปอเรชั่นแนล

(Building Block Circuits of the Operational Amplifier)

วงจรโอเปอเรชั่นแนลแอมป์ปลิฟลายเออร์ สามารถแยกพิจารณาเป็นองค์ประกอบย่อย ๆ แสดงดังบล๊อคไดอะแกรมดังต่อไปนี้



3.1 ภาคไบอัสวงจรขยายสัญญาณ (Biasing Circuit State)

ในการออกแบบภาคไบอัสให้กับวงจรขยายสัญญาณนั้นจะใช้หลักการของวงจรสะท้อนกระแสทั้งชนิด NMOS และ PMOS โดยมีโครงสร้างและรายละเอียดต่าง ๆ ดังต่อไปนี้

วงจรสะท้อนกระแสเป็นวงจรที่มีประโยชน์มากในการออกแบบวงจรอนาลอก CMOS วงจรนี้ใช้หลักการที่ว่าถ้าแรงดันเกทซอสมอสสองตัวที่มีลักษณะเหมือนกันเท่ากัน กระแสของช่องทางเดิน กระแสควรจะเท่ากัน รูปที่ 3.1a แสดงการสร้างวงจรสะท้อนกระแสชนิดเอ็นมอสแบบธรรมดา กระแส I_i เป็นกระแสเอาท์พุทหรือกระแสที่ถูกสะท้อน M1 อยู่ในช่วงอิ่มตัวของมอสได้ ส่วนมากแล้วในกรณีทั่วไปอัตราส่วน I_0 ต่อ I_i จะเป็น

$$\frac{I_o}{I_i} = \left(\frac{L_1 W_2}{W_1 L_2}\right)\left(\frac{Vgs - VT_2}{Vgs - VT_1}\right)^2\left(\frac{1+\lambda Vds_2}{1+\lambda ds_1}\right)\left(\frac{\mu_{02} Cox_2}{\mu_{01} C_{oxl}}\right) \qquad (3.1)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

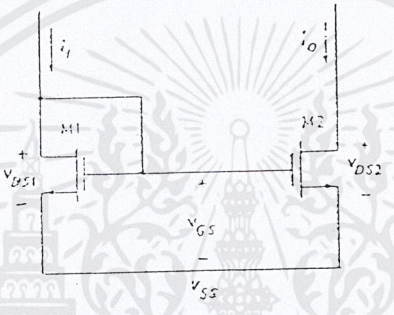
โดยทั่วไปแล้วส่วนประกอบของวงจรสะท้อนกระแสถูกสร้างบนวงจรรวมเดียวกัน ดังนั้นพารามิเตอร์ทางฟิสิกส์ เช่น VT ดังนั้นสมการที่ 3.1 สามารถเขียนได้ดังนี้

$$\frac{I_0}{Ii} = \left(\frac{L_1 W_2}{W_1 L_2}\right)\left(\frac{1+\lambda Vds_2}{1+\lambda Vds_1}\right) \qquad (3.2)$$

ถ้า $Vds_2 = Vds_1$ ไม่เป็นสมมติฐานที่ดีเสมอไป แล้ว อัตราส่วน I_0/I_i จะกลายเป็น

$$\frac{I_o}{I_i} = \left(\frac{L_1 W_2}{W_1 L_2}\right) \qquad (3.3)$$

ดังนั้น I_0/I_i เป็นฟังก์ชั่นของ aspect ratios ซึ่งอยู่ในการควบคุมของผู้ออกแบบ



รูปที่ 3.1 วงจรสะท้อนกระแส แบบ N Channel

มีผลกระทบอยู่ 3 ประการ ซึ่งทำให้วงจรสะท้อนกระแสแตกต่างไปจากอุดมคติตามสมการที่ 3.3 ผลเหล่านี้คือ

1. channel-length modulation
2. ค่า threshold offset ของมอสทั้งสองตัว
3. การไม่ matching กันอย่างสมบูรณ์ทางเรขาคณิต

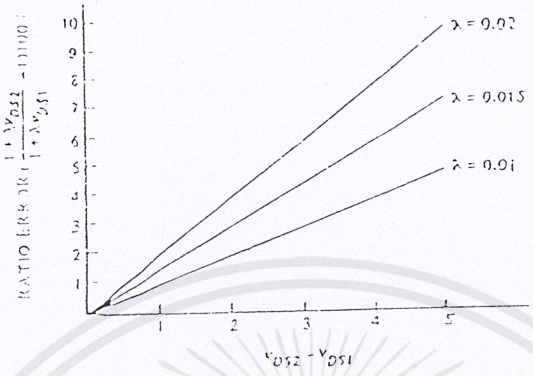
โดยที่ผลกระทบแต่ละอย่างจะนำมาพิจารณาแยกกัน พิจารณาผลของ channel-length mdulation สมมติว่าในแง่อื่นของมอสเป็นอุดมคติ และ aspect ratios ของมอสทั้งสองตัวเท่ากับหนึ่งแล้วสมการที่ 3.2 จะสามารถเขียนสมการได้ดังนี้

$$\frac{I_o}{I_i} = \left(\frac{1+\lambda Vds_2}{1+\lambda Vds_1}\right) \qquad (3.4)$$

ด้วยสมมติฐานที่ว่า λ เท่ากันสำหรับมอสทั้งสองตัว สมการนี้จะแสดงว่าความแตกต่างของแรงดันเดรนซอสของมอสทั้งสองตัวสามารถก่อให้เกิดการเบี่ยงเบนไปจากการมีอัตราการขยายเท่ากับ 1 ซึ่งเป็นอุดมคติ รูปที่ 3.2 แสดงพล๊อตของค่าผิดพลาดของอัตราส่วนกระแสกับ Vds1-Vds1 ในค่าต่าง ๆ กันของ λ ของมอสทั้งสองตัวที่ทำงานในช่วงอิ่มตัว ข้อเท็จจริงสองประการที่สำคัญควรจะถูกนำมาพิจารณาด้วยจากพล๊อต

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

นี้ ประการแรก คือว่าค่าผิดพลาดของอัตราส่วนที่มากสามารถเกิดขึ้นได้เมื่อมอสตัวไม่ได้มีแรงตัดเดรนซอสค่าเดียวกัน และประการที่สองสำหรับความแตกต่างใด ๆ ในแรงดันเดรนซอส อัตราส่วนของกระแสสะท้อนเทียบกับกระแสอ้างอิงจะดีขึ้นเมื่อ λ น้อยลง (ความต้านทานเอาท์พุทมากขึ้น) ดังนั้นวงจรสะท้อนกระแสที่ดีควรจะมีแรงดันเดรนซอสเท่ากันและมีความต้านทานเอาท์พุทที่สูง



รูปที่ 3.2 แสดงพล็อตเปอร์เซ็นต์ ration error เทียบกับความแตกต่างระหว่างแรงดันเดรนของวงจรสะท้อนกระแสรูปที่ 3.1 ที่ Vdsl = 2 V

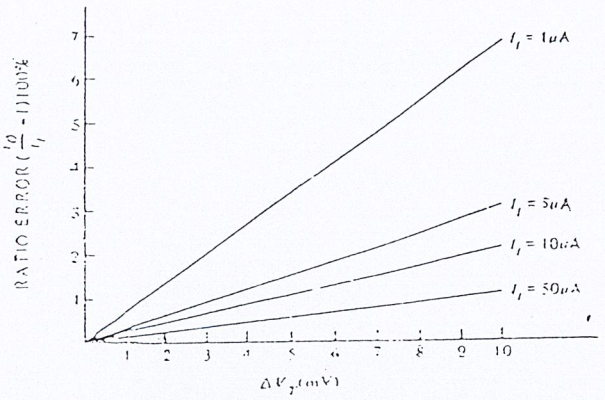
ผลที่ไม่เป็นอุดมคติประการที่สอง คือ ค่า offset ระหว่าง threshold voltage ของมอสทั้งสองตัว พิจารณาว่ามอสทั้งสองตัวในวงจรสะท้อนกระแสมีแรงตันเดรนซอสเท่ากันและในแง่อื่น ๆ เท่ากันยกเว้น ในกรณีสมการที่ 3.1 สามารถเขียนได้ดังนี้

$$\frac{I_o}{I_i} = \left(\frac{Vgs - VT_2}{Vgs - VT_1} \right)^2 \qquad (3.5)$$

รูปที่ 3.3 แสดงพล็อตของค่าผิดพลาดอัตราส่วนเทียบกับ ΔVT โดยที่ $\Delta VT = VT_1 - VT_2$ เห็นได้ชัดจากกราฟว่า การทำงานของวงจรสะท้อนกระแสที่ดีกว่าได้มาจากค่ากระแสที่สูงกว่า เนื่องจาก Vgs ยิ่งสูงสำหรับกระแสยิ่งสูง ดังนั้น ΔVT จะยิ่งเป็นเปอร์เซนต์ที่เล็กของ Vgs เป็นไปได้ที่อัตราขยายทรานคอนดักแตนซ์ K' ของวงจรสะท้อนกระแสอาจจะไม่ match กัน (เนื่องจากขั้นตอนการสร้าง Oxide) วิธีการวิเคราะห์ทางตัวเลขต่อการเปลี่ยนของทั้ง K' และ VT จะถูกนำมาใช้ โดยให้สมมติว่าอัตราส่วน W/L ของมอสทั้งสองตัวเท่ากันแต่ K' และ VT ไม่เท่ากัน สมการที่ (3.5) สามารถถูกเขียนใหม่ได้

$$\frac{I_o}{I_i} = \frac{K'_2 (Vgs - VT_2)^2}{K'_2 (Vgs - VT_1)^2} \qquad (3.6)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.3 แสดงพล็อตเปอร์เซ็นต์ ratio error เทียบกับค่าออฟเซทของแรงดันสำหรับวงจรสะท้อนกระแส ของรูปที่ 3.1 VT = 1 V, K' (W/L)=24 uA/V^2

ซึ่ง Vgsl = Vgs2 = Vgs กำหนดให้ $\Delta K'_2$-K'_1 และ K' = 0.5(K'_2+λ'_1) และVT=VT_2-VT_1 และ VT=0.5(VT_2+VT_1) ทำให้ได้ว่า

$$K'_1 = K' - 0.5K' \quad (3.7)$$

$$K'_2 = K' - 0.5K' \quad (3.8)$$

$$VT_1 = VT - 0.5\Delta VT \quad (3.9)$$

$$VT_2 = VT + 0.5\Delta VT \quad (3.10)$$

แทนค่าสมการที่ (3.7) ถึง (3.10) ลงในสมการที่ (3.6) จะได้

$$\frac{I_o}{I_i} = \frac{(K'+0.5K')(Vgs - VT - 0.5\Delta VT)^2}{(K'-0.5K')(Vgs - VT + 0.5\Delta VT)^2} \quad (3.11)$$

แยกแฟกเตอร์ K' และ (Vgs – VT) ออกจะได้

$$\frac{I_o}{I_i} = \frac{\left[1+\frac{\Delta K'}{2K'}\right]\left[1-\frac{\Delta VT}{2(Vgs-VT)}\right]^2}{\left[1-\frac{\Delta K'}{2K'}\right]\left[1+\frac{\Delta VT}{2(Vgs-VT)}\right]^2} \quad (3.12)$$

สมมติว่าปริมาณในสมการที่ 3.12 ที่ตามหลัง1มีค่าน้อยมาก สมการที่ 3.12 สามารถถูกประมาณได้ว่า

$$\frac{I_o}{I_i} \cong \left[1+\frac{\Delta K'}{2K'}\right]\left[1+\frac{\Delta K'}{2K'}\right]\left[1-\frac{\Delta VT}{2(Vgs-VT)}\right]^2\left[1-\frac{\Delta VT}{2(Vgs-VT)}\right]^2 \quad (3.13)$$

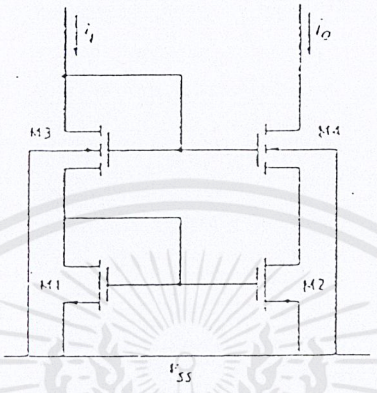
คงไว้เฉพาะผลคูณอันดับแรกจะได้

$$\frac{I_o}{I_i} \cong 1+\frac{\Delta K'}{K'}-\frac{2\Delta VT}{(Vgs-VT)} \quad (3.14)$$

ถ้ารู้การเปลี่ยนแปลงของ K' และ VT สมการที่ (3.14) สามารถถูกใช้เป็นพื้นฐานในกรณีที่จุดต่ำสุดสำหรับทำนายค่าผิดพลาดในอัตราขยายกระแสของวงจรสะท้อนกระแส

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ผลที่ไม่เป็นอุดมคติประการที่ 3 ของวงจรสะท้อนกระแสก็คือ ค่าผิดพลาดใน aspect ratios ของมอสทั้งสองตัวซึ่งเกิดเนื่องจากขั้นตอนการทำมาสก์, โฟโตลิโทรกราฟฟี่, เอชชิ่ง และดิฟฟิวชั่น ความคลาดเคลื่อนเหล่านี้เกิดขึ้นได้แม้ว่ามอสสองตัวเป็นตัวที่อยู่ข้าง ๆ กันก็ตามวิธีหนึ่งที่จะหลีกเลี่ยงผลกระทบเหล่านี้คือ การทำให้ขนาดของมอสใหญ่ขึ้นเพื่อลดผลที่เกิดขึ้น สำหรับมอสที่ขนาด W และ L ที่มากกว่า 10 จะทำให้ค่าผิดพลาดที่เกิดขึ้นเนื่องจากการไม่ match กันทางเรขาคณิตจะน้อยเมื่อเทียบกับค่าผิดพลาดที่เกิดขึ้นเนื่องจากแรงดันออฟเซตและ Vds



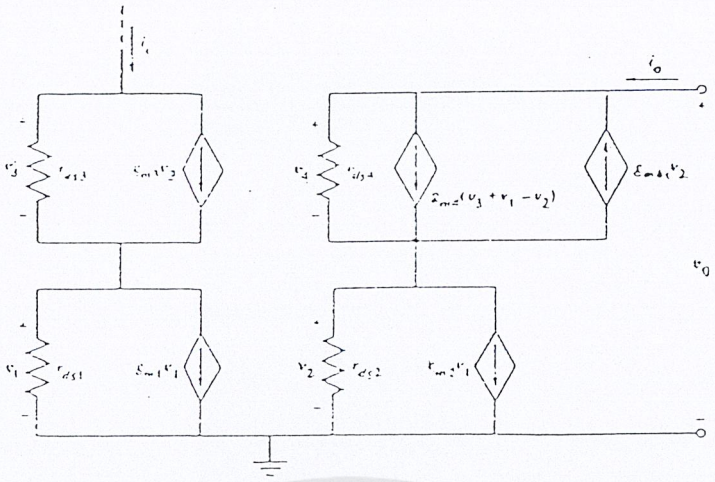
รูปที่ 3.4 แสดงวงจรสะท้อนกระแสแบบคาสโคด

จะเห็นได้ว่าค่าความต้านทานเอาท์พุทของสัญญาณขนาดเล็กเป็นตัววัดความสมบูรณ์ของ วงจรสะท้อนกระแสได้ดี ค่าความต้านทานเอาท์พุทของวงจรสะท้อนกระแสแบบธรรมดา ตามรูปที่ 3.1 สามารถหาได้ว่า

$$R_{out} = \frac{1}{gds} = \frac{1}{\lambda I_d} \qquad (3.15)$$

ดังนั้นวงจรสะท้อนกระแสที่ประสิทธิภาพสูงกว่าจะได้มาจากการเพิ่มค่าของ R_{out} โดยใช้สมการที่ 3.15 นี้เป็นจุดเปรียบเทียบ ถึงจุดนี้ได้แสดงการปรับปรุงวงจรสะท้อนกระแสในแง่ต่าง ๆ ของวงจรในรูปที่ 3.1 แต่ก็ยังมีอีกหลายวิธีที่สามารถปรับปรุงประสิทธิภาพของวงจรสะท้อนกระแสได้โดยอาศัยการปรับเปลี่ยนรูปแบบการต่อวงจร มีการต่อรูปแบบหนึ่งที่ใช้ลดผลของความต้านทานเอาท์พุท คือ การต่อวงจรตามรูปที่ 3.4 ถ้ามอสทุกตัวเหมือนกันแล้ว แรงดันเดรนของทรานซิสเตอร์ M1 จะเท่ากับแรงดันเดรนของทรานซิสเตอร์ M2 ถ้าแรงดันของเดรนของทรานซิสเตอร์ M4 จะเริ่ม turn off เพื่อที่จะชดเชยการเพิ่มขึ้นของกระแส ผลก็คือการลดลงเล็กน้อยใน Vgs4 ทำให้เกิดการเพิ่มขึ้นเล็กน้อยใน Vds2 การเปลี่ยนแปลงที่ได้นี้ใน Vds2 น้อยกว่าการเปลี่ยนแปลงแรงดันเดรนของทรานซิสเตอร์ M4 มาก ดังนั้นการสะท้อนกระแสจะเกิดขึ้นโดยมีความผิดพลาดเพียงเล็กน้อย เนื่องมาจากผลของความต้านทานเอาท์พุท โดยการวิเคราะห์วงจรเสมือนสำหรับสัญญาณขนาดเล็ก จะเห็นได้ชัดถึงการปรับปรุงค่าความต้านทานเอาท์พุท

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

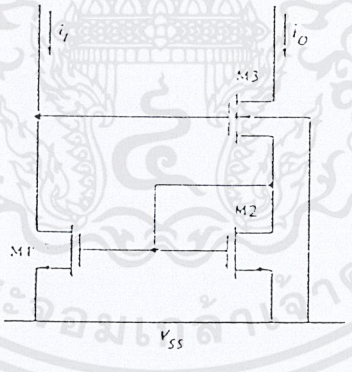


รูปที่ 3.5 แสดงแบบจำลองเสมือนสำหรับสัญญาณขนาดเล็กของรูปที่ 3.4

เนื่องจาก I_1 แรงดันสัญญาณขนาดเล็ก V_1 และ V_3 เป็นศูนย์ทั้งคู่ สามารถใช้ผลของสมการที่ 3.15 เขียนได้ว่า

$$R_{out} = rds_2 + rds_4 + gm_4 rds_2 rds_4 (1+\eta_4) \qquad (3.16)$$

จะเห็นได้ว่าค่าความต้านทานเอาท์พุทสำหรับสัญญาณขนาดเล็กของการต่อแบบนี้สูงกว่าการต่อวงจรสะท้อนกระแสแบบธรรมดาตามสมการที่ 3.15 มาก



รูปที่ 3.6 แสดงวงจรสะท้อนกระแสแบบวิลสัน N-Channel

วงจรสะท้อนกระแสอีกแบบหนึ่งถูกแสดงไว้ในรูปที่ 3.6 วงจรนี้เป็นวงจรสะท้อนกระแสเอ็นแชนแนลแบบวิลสัน ความต้านทานเอาท์ของวงจรสะท้อนกระแสแบบวิลสันถูกทำให้เพิ่มขึ้น โดยผ่านทางการป้อนกลับกระแสลบ ถ้า io เพิ่มขึ้นแล้ว กระแสที่ไหลผ่านทรานซิสเตอร์ M2 จะเพิ่มขึ้นด้วย อย่างไรก็ตามการสะท้อนการกระแสของทรานซิสเตอร์ M1 และ M2 ทำให้กระแส M1 เพิ่มขึ้นด้วยถ้า i คงที่และถ้าสมมติว่ามีค่าความต้านทานเกิดขึ้นจากเกทของทรานซิสเตอร์ M3 (เดรนของ M1) ต่อลงกรานด์แล้วแรงดันเกทของ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ทรานซิสเตอร์ M3 จะลดลง ถ้ากระแส io เพิ่มขึ้นค่าอัตราขยายวงปิดที่ได้จะเป็นผลคูณของ gm1 กับค่าความต้านทานของขนาดสัญญาณขนาดเล็กที่ถูกมองจากเดรนของทรานซิสเตอร์ M1 ไปยังกราวนด์

สามารถแสดงได้ว่าค่าความต้านทานเอาท์พุทสำหรับสัญญาณขนาดเล็กของวงจรดึงกระแสแบบวิลสันตามรูปที่ 3.6 เป็น

$$R_{out} = rds_3 + rds_2\left[\frac{1+rds_3 gm_3(1+\eta_3)+gm_1 rds_1 gm_3 rds_3}{1+gm_2 rds_2}\right] \qquad (3.17)$$

ค่าความต้านทานเอาท์พุทรูปที่ 3.6 ดูเหมือนว่าจะใกล้เคียงกับค่าความต้านทานเอาท์พุทของวงจรรูปที่ 3.4 ข้อเสียคือค่าความต้านทานที่สูงของวงจรนี้ต้องการค่าแรงดันที่ไม่เป็นศูนย์ที่อินพุทและเอาท์พุทมันถึงจะทำงานได้ พิจารณาวงจรสะท้อนกระแสแบบคาสโคดตามรูปที่ 3.4 จากมุมมองของสัญญาณขนาดใหญ่ค่าแรงดันที่อินพุทถูกกำหนดให้เป็น $V_1(min)$ ซึ่งสามารถถูกแสดงได้ว่าขึ้นกับค่าของ I เนื่องจาก Vdg = 0 สำหรับทั้งทรานซิสเตอร์ M1 และ M3 มันจึงทำงานอยู่ในช่วงอิ่มตัวเสมอ ดังนั้นอาจแสดงได้ว่า

$$V_1(\min) = \left(\frac{2I_1}{K'}\right)^{\frac{1}{2}}\left[\left(\frac{L_1}{W_1}\right)^{\frac{1}{2}}+\left(\frac{L_3}{W_3}\right)^{\frac{1}{2}}\right]+(VT_1+VT_3) \qquad (3.18)$$

จะเห็นได้ว่าสำหรับค่า I ใด ๆ วิธีเดียวที่จะลดค่า V_1 (min) ก็คือต้องเพิ่มอัตราส่วน W/L ของทั้งทรานซิสเตอร์ M1 และ M3 สนใจค่าแรงดัน V_{out} (sat) ด้วย ซึ่งเป็นแรงดันที่ทรานซิสเตอร์ M4 ใช้เพื่อเปลี่ยนแปลงสถานะจากช่วงที่ไม่อิ่มตัวไปยังช่วงอิ่มตัว ค่าแรงดันนี้สามารถหาได้จากความสัมพันธ์

$$Vds_4 \geq (Vgs - VT_4) \qquad (3.19)$$

หรือ

$$Vds_4 \geq Vg_4 - VT_4 \qquad (3.20)$$

โดยที่สมการที่ 3.20 สามารถใช้เพื่อหาค่า V_{out} (sat) ได้ว่า

$$V_{out}(sat) = V_1 - VT_4$$

$$= \left(\frac{2I_1}{K'}\right)^{\frac{1}{2}}\left[\left(\frac{L_1}{W_1}\right)^{\frac{1}{2}}+\left(\frac{L_3}{W_3}\right)^{\frac{1}{2}}\right]+(VT_1+VT_3-VT_4) \qquad (3.21)$$

สำหรับแรงดันที่มากกว่า V_{out} (sat) มอสทรานซิสเตอร์ M4 อยู่ในช่วงอิ่มตัวและค่าความต้านทานเอาท์พุทสามารถคำนวณได้จากสมการที่ 3.16 เนื่องมาจากแรงดันที่ตกคร่อมทรานซิสเตอร์ M2 มากกว่าที่จำเป็นในการอยู่ในช่วงอิ่มตัว เทคนิคที่ใช้ในการลด ในหัวข้อที่แล้วสามารถถูกนำมาใช้ได้เพื่อลด V_{out} (sat) แต่โชคไม่ดีที่จะทำให้ค่า V_1(min) เพิ่มขึ้น

ความสัมพันธ์เดียวกันนี้ได้ถูกนำไปใช้กับวงจรสะท้อนกระแสวิลสัน ถ้าทรานซิสเตอร์ M3 อิ่มตัวแล้ว V_1 (min) ถูกแสดงได้ว่า

$$V_1(\min) = \left(\frac{2I_o}{K'}\right)^{\frac{1}{2}}\left[\left[\frac{L_2}{W_2}\right]^{\frac{1}{2}}+\left[\frac{L_3}{W_3}\right]^{\frac{1}{2}}\right]+(VT_2+VT_3) \qquad (3.22)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สำหรับที่ทรานซิสเตอร์ M3 อิ่มตัว V_{out} ต้องการมากกว่าค่า V_{out} (sat) ได้ว่า

$$V_{out}(sat) = V_1 - VT_3 = \left(\frac{2I_o}{K'}\right)^{\frac{1}{2}}\left[\left(\frac{L_2}{W_2}\right)^{\frac{1}{2}} + \left(\frac{L_3}{W_3}\right)^{\frac{1}{2}}\right] + VT_2 \qquad (3.23)$$

จะเห็นว่าทั้งสองวงจรต้องการอย่างน้อย 2VT ตกคร่อมอินพุทของมันก่อนถึงจะได้ค่า V_{out} (sat) ข้างต้นออมาได้และค่าอัตราส่วน W/L ที่ใหญ่กว่าจะช่วยลดค่า V_1(min) และ V_{out} (sat) ได้

3.2 ภาคขยายความแตกต่าง (Differential Transconductance State)

วงจร differential Amplifier เป็นวงจรที่มีความสามารถขยายความแตกต่างของสัญญาณ ซึ่งสัญญาณทั้งสองที่แตกต่างกันนั้น สามารถแบ่งเป็น โหมดสัญญาณความแตกต่าง (differential mode signal, VD) และโหมดสัญญาณร่วม (common-mode signal, VC) ดังจะแสดงให้เห็นถึงความสัมพันธ์ระหว่างสัญญาณอินพุท V_1 และ V_2 ดังต่อไปนี้

$$V_1 = \frac{VD}{2} + VC \qquad (3.24)$$

$$V_2 = -\frac{VD}{2} + VC \qquad (3.25)$$

ดังจะเห็นว่า VD และ VC คือ

$$VD = V_1 - V_2 \qquad (3.26)$$

และ

$$VC = \frac{V_1 + V_2}{2} \qquad (3.27)$$

หลักการของวงจรขยายความแตกต่างก็คือการขยายสัญญาณความแตกต่างระหว่างสัญญาณอินพุท โดยจะไม่ขยายสัญญาณที่เป็นลักษณะโหมดสัญญาณร่วม ซึ่งอัตราขยายโหมดสัญญาณร่วมและอัตราขยายโหมดสัญญาณความแตกต่าง เป็นคุณสมบัติของวงจรขยายความแตกต่าง (differential Amplifier) โดยอัตราส่วนของอัตราการขยายโหมดสัญญาณความแตกต่างกับโหมดสัญญาณร่วมถูกเรียกว่า "Common-Mode Rejection Ratio" (CMRR)

ในทางอุดมคติค่า CMRR จะมีค่ามาก นั่นหมายถึง อัตราขยายโหมดสัญญาณร่วม (common mode) จะมีค่าน้อยมากคุณลักษณะของวงจรขยายความแตกต่างอีกประการหนึ่งคือช่วงของโหมดสัญญาณอินพุท (Common-Mode Range,CMR) การขยายของสัญญาณความแตกต่างจะทำให้เกิดช่วงของโหมดสัญญาณ นอกจากนี้คุณลักษณะที่มีผลกระทบต่อประสิทธิภาพของภาคขยายสัญญาณความแตกต่างก็คือ ออฟเซท (Offset) เมื่อแรงดันความแตกต่างทางอินพุท หรือความแตกต่างของกระแสทางอินพุทเป็นศูนย์ แล้วทางเอาท์พุทของวงจรขยายความแตกต่างไม่เป็นศูนย์ เรียกว่า "Input offset voltage,Vos" หมายถึง ค่าของแหล่งจ่ายแรงดันที่ถูกนำมาต่อที่ขาใดขาหนึ่งทางด้านอินพุทของภาคขยายความแตกต่างแล้วทำให้เอาท์พุทของภาค

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ขยายความแตกต่างเป็นศูนย์นั่นเอง สำหรับ "Input offset current,Ios" ก็คือความแตกต่างของแหล่งจ่ายกระแสที่ถูกนำมาต่อทางอินพุทของภาคขยายความแตกต่าง แล้วทำให้เอาท์พุทของภาคขยายความแตกต่างมีค่าเท่ากับศูนย์ ซึ่งค่า Vos และ Ios จะขึ้นอยู่กับอุณหภูมิ สำหรับภาคขยายความแตกต่าง

3.2.1 Differential Amplifier MOSFET

รูปที่ 3.7 เป็นวงจรที่แสดงให้เห็นถึงวงจรทั่วไปของอุปกรณ์ประเภท MOSFET ของภาคขยายความแตกต่าง จะเห็นว่าประกอบด้วยบล๊อคของ Active load ซึ่งถูกพิจารณาในลักษณะความต้านทานจุดหลักของวงจรขยายความแตกต่างก็คือ คู่ทรานซิสเตอร์ทั้งสองตัว M1 และ M2 และการออกแบบในส่วนของไฟตรงของวงจรดังรูปที่ 3.7 พิจารณาทรานซิสเตอร์ M1 และ M2 อยู่ในย่านนำกระแสคงที่ (Saturation) และ VT1 = VT2 ดังจะเขียนเป็นความสัมพันธ์ดังสมการต่อไปนี้

$$VID = VG_1 - VG_2 = Vgs_1 - Vgs_2 = \left[\frac{2ID_1}{K_1}\right]^{\frac{1}{2}} - \left[\frac{2ID_2}{K_2}\right]^{\frac{1}{2}} \tag{3.28}$$

และ

$$Iss = ID_1 + ID_2 \tag{3.29}$$

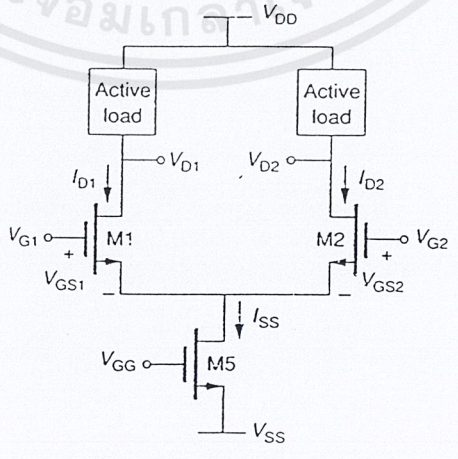
เมื่อ

$$ID_1 = \frac{Iss}{2} + \frac{Iss}{2}\left[\frac{KV_{id}{}^2}{Iss} - \frac{K^2V_{id}{}^2}{4Iss^2}\right]^{\frac{1}{2}} \tag{3.30}$$

และ

$$ID_1 = \frac{Iss}{2} - \frac{Iss}{2}\left[\frac{KV_{id}{}^2}{Iss} - \frac{K^2V_{id}{}^2}{4Iss^2}\right]^{\frac{1}{2}} \tag{3.31}$$

$$|VID| \le \left[\frac{2Iss}{K}\right]^{\frac{1}{2}} \tag{3.32}$$



รูปที่ 3.7 แสดงวงจรขยายความแตกต่างที่ $Vsb_1 = Vsb_2 = 0$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รูปที่ 3.8 แสดงกราฟของกระแสเดรนของทรานซิสเตอร์ M1 ในส่วนของแรงดันความแตกต่างทางอินพุท คุณสมบัติในการถ่ายโอนแรงดันของภาคขยายความแตกต่าง สามารถใช้ผลของสมการ 3.30 และ 3.31 กับคุณสมบัติแรงดัน-กระแสของอุปกรณ์ Active load

สิ่งแรกที่จะพิจารณาคือ ทรานซิสเตอร์ M1 และ M2 จะอยู่ในย่านกระแสคงที่ ในย่านนี้ สามารถที่จะคำนวณและใช้สมการ 3.26 ดังนี้

$$VID = VG_1 - VG_2 \tag{3.33}$$

ถ้าพิจารณาความเป็นสมมาตรของคู่ทรานซิสเตอร์ M1 และ M2 รวมทั้งไม่มีโหมดสัญญาณร่วม

$$VG_1 = \frac{VID}{2} \tag{3.34}$$

และ

$$VG_2 = -\frac{VID}{2} \tag{3.35}$$

ทรานซิสเตอร์ M1 อยู่ในย่านกระแสคงที่ (Saturation)

$$VD_1 \geq VG_1 - V_{TN} = \frac{VID}{2} - V_{TN} \tag{3.36}$$

และทรานซิสเตอร์ M2 อยู่ในย่านกระแสคงที่ (Saturation)

$$VD_1 \geq -\frac{VID}{2} - V_{TN} \tag{3.37}$$

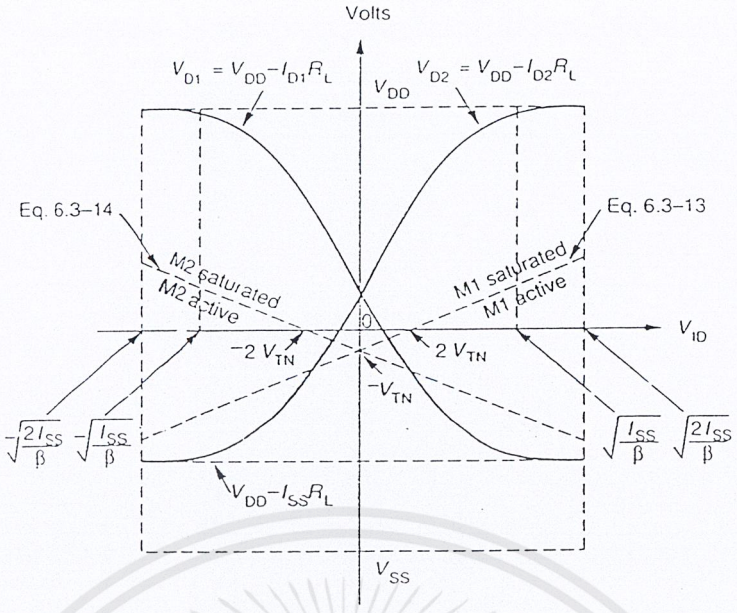
อีกทางหนึ่งที่จะแสดงให้เห็นคือ การพล็อตค่า VD_1 หรือ VD_2 ในฟังก์ชั่นของ VID พิจารณาโหลดของวงจรในรูปที่ 3.7 เป็นความต้านทาน RL รูปที่ 3.9 แสดงกราฟของ VD_1 และ VD_2 สำหรับ ณ ค่า RL ต่าง ๆ สมการ 3.36 และ 3.37 ถูกนำมาพิจารณาและพล็อตดังในรูปที่ 3.9 ซึ่งจะแสดงย่านของทรานซิสเตอร์ M1 และ M2 ในย่านกระแสคงที่ ในส่วนของคุณลักษณะการถ่ายโอนสัญญาณในย่านกระแสคงที่ จุดที่จะต้องพิจารณาสำหรับสัญญาณคือ สภาพความนำ (gm) จากรูปที่ 3.7 โดยการทำอนุพันธ์สมการ 3.30 โดยให้ VID = 0 ดังนั้น

$$gm = \frac{\partial I_{OD}}{\partial V_{ID}}\Big|_{VID=O} = (K_1 Ids)^{\frac{1}{2}} = \left(\frac{K' IdsW_1}{L_1}\right)^{\frac{1}{2}} = \left(\frac{2K' I_{D1} W_1}{L_1}\right)^{\frac{1}{2}} \tag{3.38}$$

เปรียบเทียบผลของ gm กับวงจรขยายทรานซิลเตอร์เดี่ยว สาเหตุของความแตกต่างกันคือ แรงดันทางอินพุทเพียงครึ่งเดียวของทรานซิสเตอร์ M1 หรือ M2 ดังรูปที่ 3.7 ส่งผลให้กระแสทางเอาท์พุทเพียงครึ่งเดียว สภาพความนำของสมการ 3.38 จะเรียกว่า “differential-in, single-ended output transconductance” สามารถหาได้จากความแตกต่างของกระแสทางด้านเอาท์พุท (I_{od})

$$I_{OD} = I_{DI} - I_{D2} \tag{3.39}$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.8 แสดงคุณสมบัติแรงดันค่าความนำของภาคขยายความแตกต่าง

$$gmd = \frac{\partial I_{OD}}{\partial V_{ID}}\Big|_{VID=0} = \left(\frac{K_1 Ids}{4}\right)^{\frac{1}{2}} = \left(\frac{K' Ids W_1}{L_1}\right)^{\frac{1}{2}} = \left(\frac{2K' I_{D1} W_1}{L_1}\right)^{\frac{1}{2}} \qquad (3.40)$$

ค่าสภาพความนำจะมีค่าเท่ากับค่าสภาพความนำของวงจรทรานซิสเตอร์ซอสร่วม (Common-Souce) ถ้า ID มีค่าครึ่งหนึ่งของ Ids จากสมการ 3.38 และ 3.40 จะแสดงให้เห็นถึงความสำคัญของการถูกควบคุมประสิทธิภาพโดยการเปลี่ยนแปลงทาง dc

แรงดันทางด้านเอาท์พุทของภาคอัตราขยายความแตกต่างขึ้นอยู่กับ Active load มีค่าเป็นเท่าไร จากรูป 3.7 โดยการปรับปรุง พิจารณาความต้านทาน (Active load) ชนิด N-channel ในรูปที่ 3.10a แรงดันทางด้านเอาท์พุทจากขาหนึ่งของคู่ทรานซิสเตอร์ M1 หรือ M2 และ Vd1, Vd2

$$V_{D1} = V_{DD} - V_{T3} - \left(\frac{2I_{D1}}{K_3}\right)^{\frac{1}{2}} \qquad (3.41)$$

และ

$$V_{D2} = V_{DD} - V_{T4} - \left(\frac{2I_{D2}}{K_4}\right)^{\frac{1}{2}} \qquad (3.42)$$

เมื่อ M3 และ M4 อยู่ในย่านกระแสคงที่ (Saturation) สมการที่ 3.30 และ 3.31 สามารถแทนในสมการ 3.41 และ 3.42 ซึ่งจะแสดงให้เห็นถึงค่าแรงดันที่ขาเดรนของทรานซิสเตอร์ M1 และ M2 ในฟังก์ชั่นของ VID อัตราขยายแรงดันจากขาใดขาหนึ่งของคู่ทรานซิสเตอร์ M1 และ M2 สามารถหาได้โดยให้ VID = 0 แล้วหาอนุพันธ์จากสมการ 3.41 โดยให้ $V_{id} = 0$ และคูณกับสมการ 3.40 ดังนี้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$A_{vds} = \left(\frac{\partial V_{D1}}{\partial I_{D1}}\right)\left(\frac{\partial I_{D1}}{\partial V_{ID}}\right)\Bigg|_{VID=0} = -\left(\frac{1}{K_3 Ids}\right)^{\frac{1}{2}}\left(\frac{K_1 Ids}{4}\right)^{\frac{1}{2}} = -\frac{1}{2}\left(\frac{K_1}{K_3}\right)^{\frac{1}{2}} \tag{3.43}$$

โดยที่อัตราขยายควรจะมีค่าเพียงครึ่งเดียวของอินพุทที่ทรานซิสเตอร์ M1 อัตราขยายแรงดันทางด้านเอาท์พุทเท่ากับ สัดส่วนของความแตกต่างของแรงดันระหว่างขาเดรนของทรานซิสเตอร์ M1 และ M2 และ V_{id} สัญญาณขนาดเล็กทาง ac ของวงจรรูปที่ 3.9a จะแสดงในรูปที่ 3.10a โดยจะพิจารณาภายใต้เงื่อนไขโหมดความแตกต่าง (differential mode) เพียงครึ่งหนึ่งของ V_{id} ดังสมการ

$$Vgs_1 = -Vgs_2 = \frac{V_{id}}{2} \tag{3.44}$$

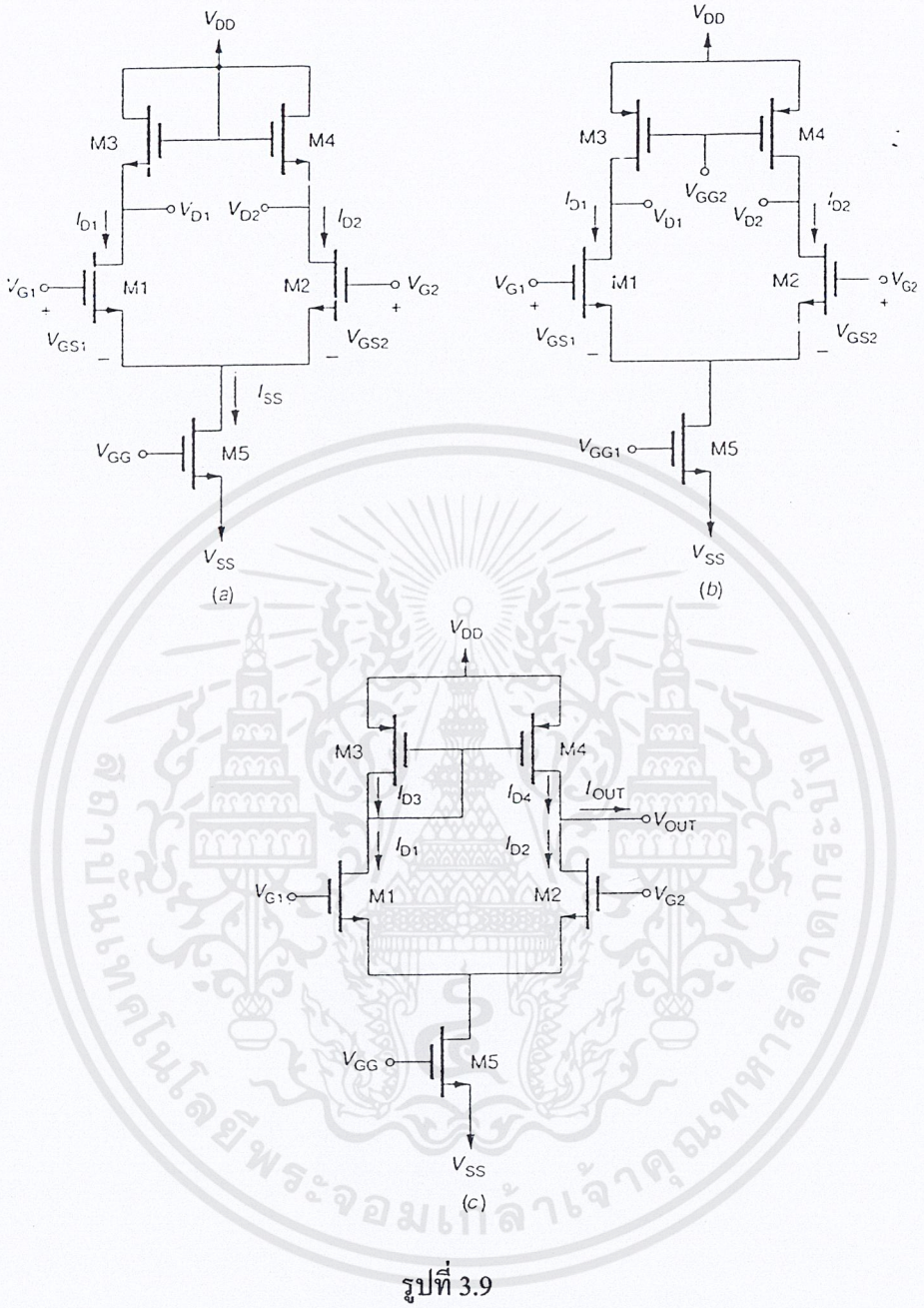
จากรูปที่ 3.10aพิจารณาความเป็นสมมาตรระหว่างทรานซิสเตอร์ M1 และ M2 จะทำให้ $gm_1 = gm_2$ และ $Vgs_1 = -Vgs_2 = Vgs$ ซึ่ง gm_3vgs_3 และ gm_4vgs_4 จะถูกมองอยู่ในรูปความต้านทาน 1/gm3 และ 1/gm4 กระแสที่ไหลผ่าน Vds_1 และ Vds_2 ที่ขาซอสของ M1 และ M2 และที่ขาเดรนของ M5 จะพิจารณาผ่านไป เมื่อมีการควบคุมที่ขาซอส gm1Vid/2 สามารถเขียนได้ดังรูป 3.10c โดยที่จุด A จะเป็น ac ground และในที่สุดวงจรสัญญาณขนาดเล็ก สามารถแสดงได้ดังรูปที่ 3.10d การคำนวณสำหรับ Vd_1 และ Vd_2 ดังนี้

$$A_{V1} = \frac{V_{D1}}{V_{ID}} = \frac{-gm_1}{2(gm_3 + gds_1 + gds_3)} \approx \frac{-gm_1}{2gm_3} = \frac{-1}{2}\left[\frac{K'_N \, W_1/L_1}{K'_P \, W_3/L_3}\right]^{\frac{1}{2}} \tag{3.45}$$

และ

$$A_{V1} = \frac{V_{D2}}{V_{ID}} = \frac{gm_1}{2(gm_4 + gds_2 + gds_4)} \approx \frac{gm_1}{2gm_4} = \frac{1}{2}\left[\frac{K'_N \, W_1/L_1}{K'_P \, W_4/L_4}\right]^{\frac{1}{2}} \tag{3.46}$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



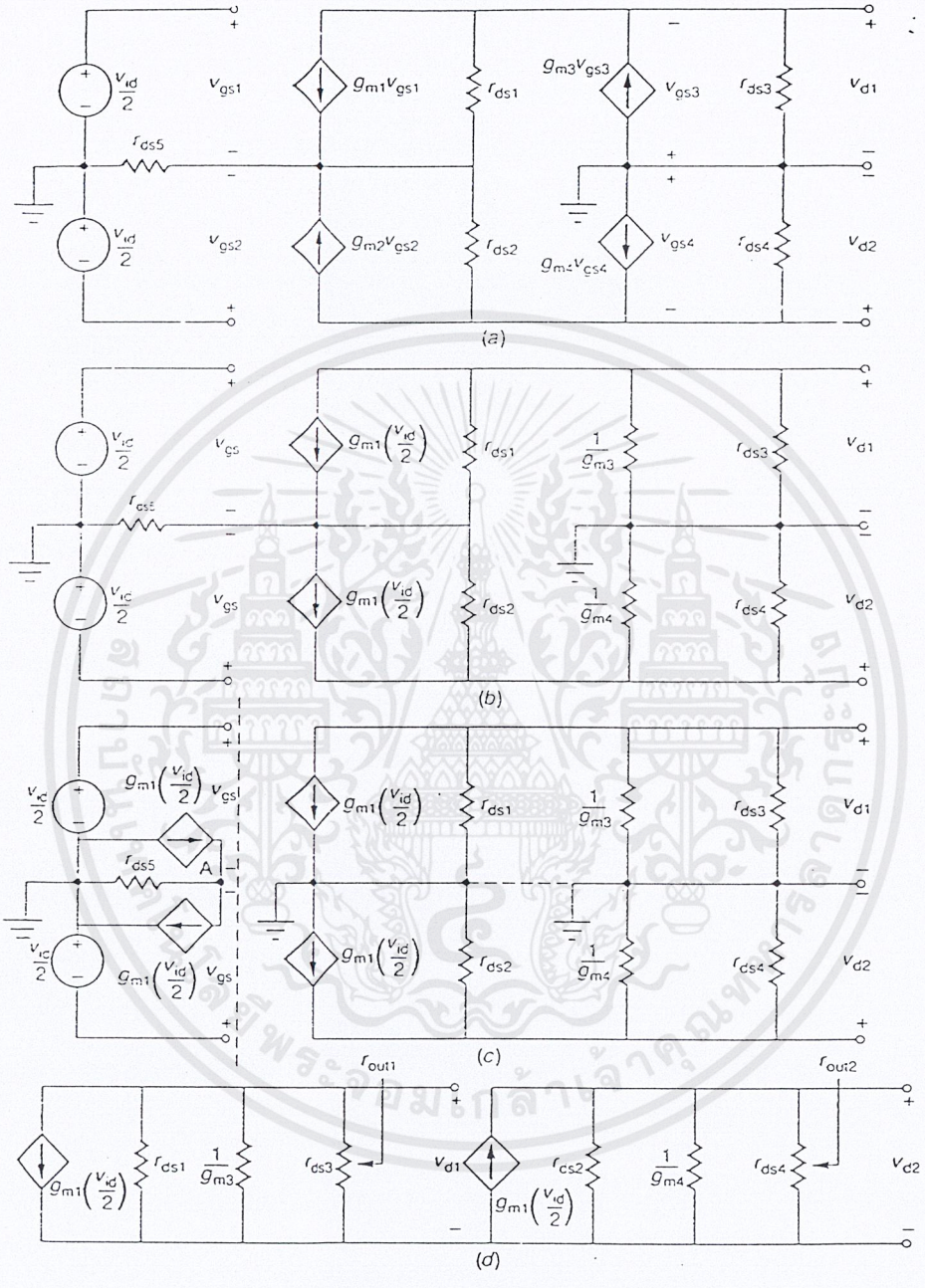
รูปที่ 3.9

เปรียบเทียบสมการ 3.45 หรือสมการ 3.46 กับสมการ 3.43 ซึ่งจะแสดงการวิเคราะห์สัญญาณขนาดเล็กกับการวิเคราะห์สัญญาณขนาดใหญ่ โดยอัตราขยายความแตกต่างของแรงดันดังนี้

$$A_{Vdd} = \frac{V_{od}}{V_{ID}} = \frac{V_{d1} - V_{d2}}{V_{id}} = \frac{-gm_1}{2gm_3} = \frac{-gm_1}{2gm_4} = \frac{-gm_1}{gm_3} \qquad (3.47)$$

ถ้าทรานซิสเตอร์ M3 และ M4 เหมือนกัน ดังนั้น gm3 = gm4

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.10 a) แสดงรูปสัญญาณขนาดเล็กของวงจรรูปที่ 3.9 b) ความสมมาตรของวงจรทางอินพุท c) gmlVid/2 ในการควบคุมแหล่งจ่าย d) รูปสัญญาณขนาดเล็ก

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ความต้านทางจากความแตกต่างทางอินพุท V_{id} เป็นความต้านทานที่มองเข้าไปทางแหล่งจ่ายแรงดันทางอินพุท V_{id} ในลักษณะเช่นนี้ V_{id} จะมีค่าเป็นอนันต์ ความต้านทางทางเอาท์พุทจากขาใดขาหนึ่งของคู่รานซิสเตอร์ M1 และ M2 โดยมองเข้าไปทางด้านเอาท์พุทของวงจรในรูปที่ 3.10d จะมีค่าดังนี้

$$R_{out1} = \frac{1}{gm_3 + gds_1 + gds_3} \approx \frac{1}{gm_3} \quad (3.48)$$

และ

$$R_{out2} = \frac{1}{gm_2 + gds_2 + gds_4} \approx \frac{1}{gm_4} \quad (3.49)$$

ความต้านทางของการขยายความแตกต่างทางด้านเอาท์พุท V_{od} จะมีค่าเท่ากับความต้านทานทาง ac ที่อยู่ระหว่างขาเดรนของทรานซิสเตอร์ M1 และ M2 และเขียนสมการดังนี้

$$R_{od} = R_{out1} + R_{out2} \approx \frac{1}{gm_3} + \frac{1}{gm_4} \approx \frac{2}{gm_3} \quad (3.50)$$

จะพิจารณาและคำนวณทรานซิสเตอร์ทุกตัวของวงจรขยายความแตกต่างที่ทำงานอยู่ในย่านกระแสคงที่ (Saturation) โดยจะคำนึงถึงช่วงแรงดันที่อินพุทและเอาท์พุทประกอบเป็นเงื่อนไข

อัตราขยายความแตกต่างพิจารณาในรูปที่ 3.9a สามารถทำให้มีค่าเพิ่มขึ้นได้โดยใช้แหล่งจ่ายกระแสในตอนต้นสำหรับการวิเคราะห์สัญญาณขนาดเล็กจะให้ gm3 = gm4 =0

$$A_{Vds1} = A_{V1} = \frac{V_{d1}}{V_{id}} = \frac{-gm_1}{2(gds_1 + gds_3)} \quad (3.51)$$

และ

$$A_{Vds_2} = A_{V2} = \frac{V_{d2}}{V_{id}} = \frac{gm_1}{2(gds_1 + gds_4)} \quad (3.52)$$

$$A_{Vdd} = \frac{V_{od}}{V_{id}} = \frac{-gm_1}{gds_1 + gds_3} = \frac{-gm_2}{gds_2 + gds_4} \quad (3.53)$$

$$R_{out1} = \frac{1}{gds_1 + gds_3} \quad (3.54)$$

$$R_{out2} = \frac{1}{gds_2 + gds_4} \quad (3.55)$$

และ

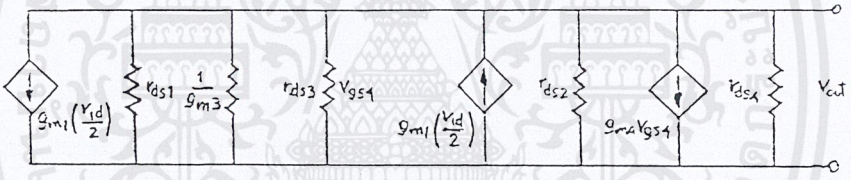
$$R_{od} = \frac{2}{gds_1 + gds_3} \quad (3.56)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากโครงสร้างของโหลดสำหรับภาคขยายความแตกต่างดังแสดงในรูปที่ 3.9c หลักการโดยใช้วงจรสะท้อนกระแสของโหลด แรงดันหรือกระแสจากทรานซิสเตอร์ M2 และ M4 โดยการทำงานดังนี้แรงดันความแตกต่าง V_{id} ที่อยู่ระหว่างขาเกทเพียงครึ่งหนึ่งของแรงดันที่ขาเกทและขาซอสของทรานซิสเตอร์ M1 และครึ่งหนึ่งของทรานซิสเตอร์ M2 โดยการเพิ่มขึ้นของกระแสเดรนที่ทรานซิสเตอร์ M1(Id_1) และการลดลงของกระแสเดรนของทรานซิสเตอร์ M2(Id_2) อย่างสัมพันธ์กัน การเพิ่มขึ้นของ (Id_1) จะถูกสะท้อนผ่านทรานซิสเตอร์ M3 ไปยังทรานซิสเตอร์ M4 ส่งผลให้กระแสเดรนของทรานซิสเตอร์ M4(Id4) เพิ่มขึ้นด้วย เมื่อกระแสเดรนของทรานซิสเตอร์ M4 เพิ่มขึ้นและกระแสเดรนที่ทรานซิสเตอร์ M2 ลดลงกระแสเอาท์พุทจะมีค่าเป็น 2Id ดังนั้นค่าสภาพความต้านทานของวงจรในรูปที่ 3.9c อัตราส่วนของกระแสทางเอาท์พุทกับความแตกต่างของแรงดันทางด้านอินพุทมีค่าเท่ากับ ค่าสภาพความนำของทรานซิสเตอร์เพียงตัวใดตัวหนึ่ง

การวิเคราะห์สัญญาณขนาดเล็กดังแสดงในรูปที่ 3.9c เป็นรูปแบบหนึ่งของวงจรในรูปที่ 3.10 และรูปแบบที่เหมาะสมสำหรับการวิเคราะห์สัญญาณขนาดเล็กจะแสดงในรูปที่ 3.11 ซึ่งอัตราขยายความแตกต่างของสัญญาณขนาดเล็กทางด้านอินพุทและทางด้านเอาท์พุทดังนี้

$$\frac{V_{out}}{V_{id}} = A_{Vdd} = \frac{1}{2}\left(gm_1 + \frac{gm_1 gm_4}{gds_1 + gm_3 + gds_3} \right)\left(\frac{1}{gds_2 + gds_4} \right) \qquad (3.57)$$



รูป 3.11 แสดงรูปสัญญาณขนาดเล็กของรูปที่ 3.9 c

ถ้าพิจารณาทรานซิสเตอร์ M3 และ M4 มีความสมมาตรกัน ดังนั้น gm3 = gm4 และ gm3 มีขนาดใหญ่มาก ๆ gds1 หรือ gds3 จากสมการ 3.56 สามารถเขียนได้ดังนี้

$$A_{Vdd} = \frac{gm_1}{gds_2 + gds_4} \qquad (3.58)$$

สังเกตว่าประสิทธิภาพของสัญญาณขนาดเล็กขึ้นอยู่กับค่า $Ids^{-1/2}$ พิจารณาค่า (W/L)1 = 1 และค่า Ids = 10 uA ฉะนั้นอัตราขยายความแตกต่างทางด้านอินพุทและเอาท์พุทของรูปที่ 3.9c อัตราขยายความแตกต่างทางด้านอินพุทของคู่ทรานซิสเตอร์จะมีค่าเท่ากับครึ่งหนึ่งของค่าในสมการ 3.58 และความต้านทานทางเอาท์พุทของสัญญาณขนาดเล็กดังสมการ

$$r_{out} = \frac{1}{gds_2 + gds_4} = \frac{2}{(\lambda_2 + \lambda_4)Ids} \approx \frac{1}{\lambda Ids} \qquad (3.59)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

อย่างไรก็ตามวงจรสัญญาณขนาดเล็ก ความต้านทานที่ความถี่ต่ำของมอสเฟสในวงจรขยายความแตกต่างมีค่าสูงมาก คุณลักษณะที่สำคัญของวงจรขยายความแตกต่างแบบมอสเฟสคือ ช่วงของแรงดันอินพุทโหมดร่วม โดยจะพิจารณาทรานซิสเตอร์ M1 และ M2 อยู่ในย่านกระแสอิ่มตัว (Saturation) จากรูปที่ 3.9c โดยให้ $VG_1 = VG_2$ และ $Vdg_1 = VT_1$ สามารถเขียนสมการได้ดังนี้

$$V_{DG} = V_{DD} - V_{SG3} - V_{G1} \tag{3.60}$$

หรือ

$$V_{DG1} = V_{DD} - \left(\frac{2I_{D3}}{K_3}\right)^{\frac{1}{2}} - |V_{T03}| + V_{G1} \tag{3.61}$$

ถ้า

$$V_{G1}(\max) = V_{DD} - \left(\frac{Ids}{K_3}\right)^{\frac{1}{2}} - |V_{T03}| + V_{T1} \tag{3.62}$$

และ

$$V_{DG5} = V_{G1} - Vgs_1 - V_{GG} \tag{3.63}$$

ให้ค่า $Vdg_5 = -VT_5$

$$V_{G1}(\min) \cong V_{GG} + \left(\frac{2Ids}{K_1}\right)^{\frac{1}{2}} + VT_1 - VT_5 \tag{3.64}$$

ข้อจำกัดของการแกว่งของสัญญาณจะพิจารณาจากทรานซิสเตอร์ M2 และ M4 ในย่านกระแสคงที่ (Saturation) เมื่อ Vg_1 มีค่ามากกว่า Vg_2 แรงดันทางด้านเอาท์พุท V_{out} จะมีค่าเพิ่มขึ้น แรงดันที่ขาเดรนและขาซอสของทรานซิสเตอร์ M4 เป็นดังสมการ

$$V_{DG4} = V_{DD} - V_{SD3} - V_{out} = V_{DD} - V_{SG3} - V_{out} \tag{3.65}$$

โดยที่ทรานซิสเตอร์ M4 จะทำงานในย่านกระแสคงที่ (Saturation) เมื่อ $Vdg_4 = |VT_4|$ ใช้ความสัมพันธ์และ V_{sd3} ในสมการ 3.60 และ 3.61 จะให้ค่าแรงดันทางเอาท์พุทสูงสุด

$$V_{out}(\max) = V_{DD} - \left(\frac{Ids}{K_3}\right)^{\frac{1}{2}} - |VT_3| + |VT_4| \cong V_{DD} - \left(\frac{2Ids}{K_3}\right)^{\frac{1}{2}} \tag{3.66}$$

และค่าแรงดันทางเอาท์พุทที่น้อยที่สุดดังแสดงในรูปที่ 3.9c สามารถคำนวณได้ขณะที่ทรานซิเตอร์ M2 อยู่ในย่านกระแสคงที่ ดังสมการ

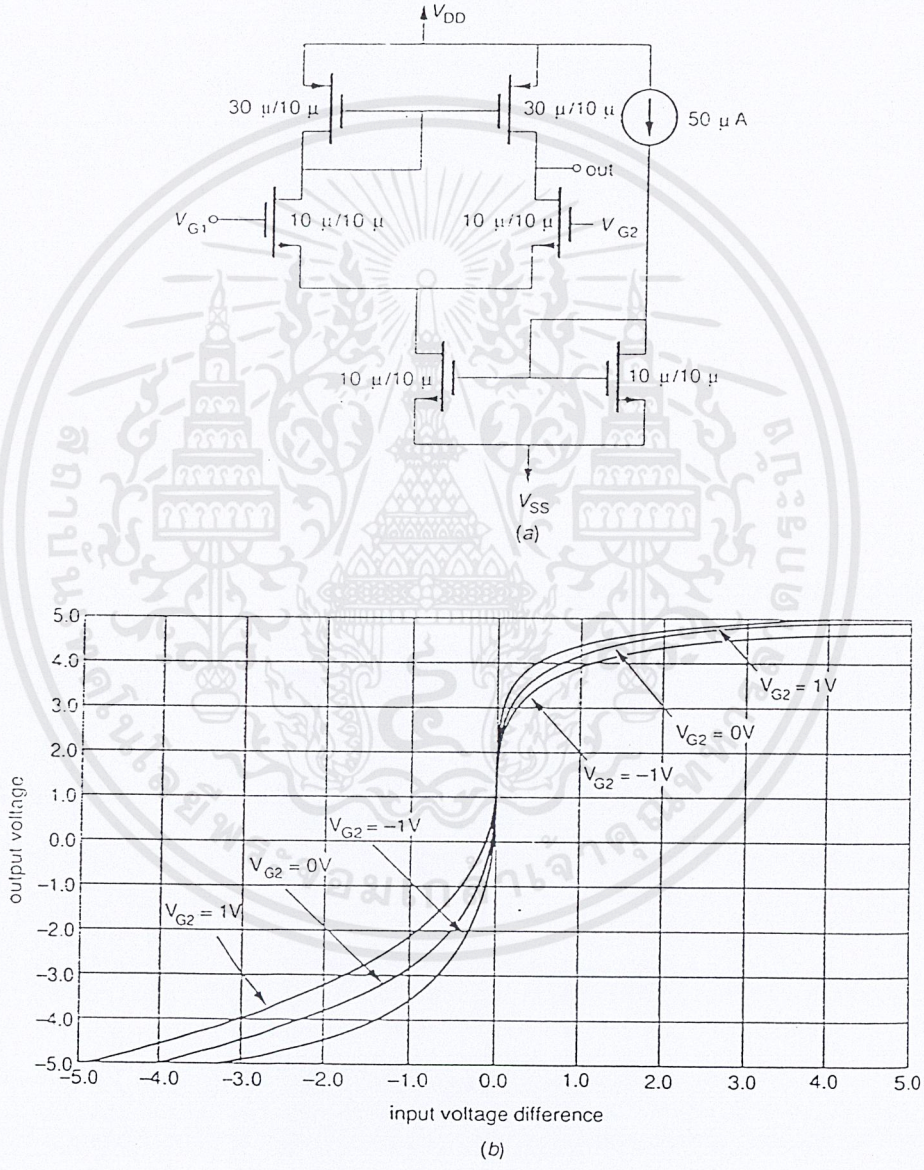
$$V_{out}(\min) = V_{G2} - V_{T2} \tag{3.67}$$

รูปที่ 3.12 แสดงถึงภาคขยายความแตกต่างเหมือนในรูปที่ 3.9c และทำการวิเคราะห์คุณสมบัติการถ่ายโอนแรงดัน จากค่า (W/L) แสดงในรูป 3.12b อิทธิพลของ V_{G2} ขึ้นอยู่กับ V_{out} (min) ดังตัวอย่างในรูป ขีดจำกัดของสัญญาณทางด้านอินพุทและเอาท์พุทของวงจรขยายความแตกต่างในรูปที่ 3.9a และ b

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

อัตราขยายของสัญญาณขนาดเล็กในโหมดร่วมของภาคขยายความแตกต่าง สามารถทำได้โดยการต่ออินพุทเข้าด้วยกัน และป้อนแรงดันเข้าที่ขาอินพุทข้างใดข้างหนึ่ง รูปแบบของสัญญาณขนาดเล็ก สำหรับวงจรขยายความแตกต่างของรูปที่ 3.9b จะแสดงในรูปที่ 3.13a ถ้าพิจารณาทรานซิสเตอร์ M1 และ M2 มีความสมมาตรกันดังจะแสดงในรูปที่ 3.13b อัตราขยายโหมดร่วมจะได้จากการหาค่า Vd2 ในรูปของ Vc กระแสที่ผ่านจาก Vds_1 และ Vds_2 จะไหลผ่าน Vds_5 สามารถเขียนเป็นสมการดังนี้

$$V_s \approx 2gm_1 rds_5 V_c \tag{3.68}$$

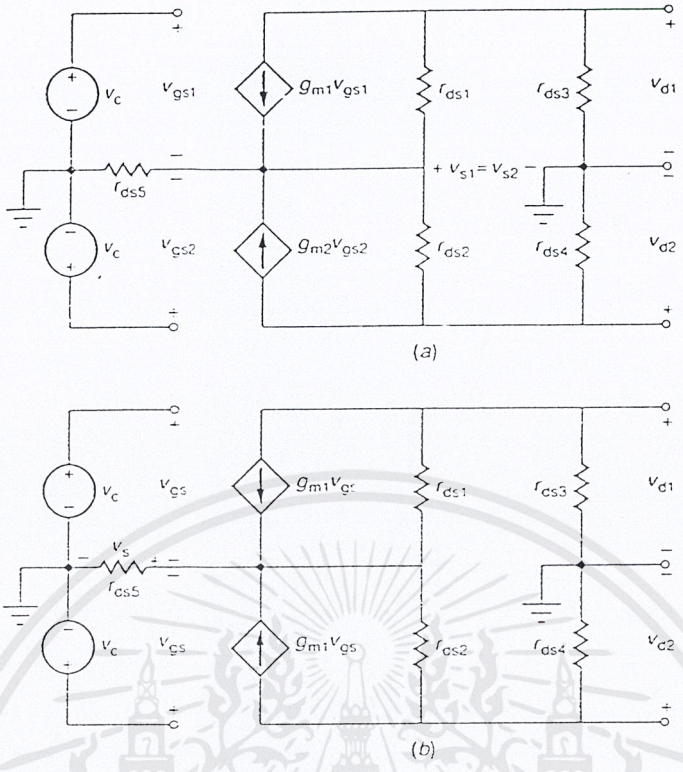


รูปที่ 3.12 a) ภาคขยายความแตกต่างทางอินพุทชนิด N-Channel

b) กราฟแสดงแรงดันค่าความนำเมื่อ Vg2=-1 และ 1V(Vdd=5V,Vss=-5V

K'n=2K'p=28uA/V, VT=+/-0.7V, และ $\lambda_{N=0.01} V^{-1}$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.13 a) แสดงวงจรสัญญาณขนาดเล็กของรูปที่ 3.9b ในโหมดร่วม
b) แสดงวงจรอย่างง่ายของวงจรรูป a)

ใช้ความสัมพันธ์ Vgs = Vg – Vs ดังนี้

$$V_{gs} = \frac{1}{1+2gm_1 rds_5} V_c \tag{3.69}$$

แรงดัน Vd_2 หาได้จากหลักการ superposition ของแหล่งจ่ายทั้งสอง Vgs สามารถพิจารณาได้โดยง่าย ถ้าไม่คิดค่า Vds_1 และ Vds_2 อัตราขยายแรงดันสามารถเขียนได้ดังนี้

$$\frac{V_{d2}}{V_c} = A_{VC} \cong \frac{-gm_1 rds_3}{1+2gm_1 rds_5} \tag{3.70}$$

อย่างไรก็ตามหลักการนี้อาจจะไม่แน่เสมอไป สำหรับวงจรขยายความแตกต่างในรูปที่ 3.9a เพราะว่าไม่มีจุดที่เหมาะสมทางเอาท์พุท ในทางปฏิบัติรูปที่ 3.9c จะแสดงให้เห็นว่าอัตราขยายในโหมดร่วมจะไม่เท่ากับศูนย์ เพราะว่าในความเป็นจริงทรานซิสเตอร์ M1,M2,M3 และ M4 ไม่มีความเสมือนอย่างสมบูรณ์ ความผิดพลาดนี้จะส่งผลกระทบของวงจรขยายความแตกต่างในรูปที่ 3.9c และรูปที่ 3.9b ซึ่งจะทำให้อัตราขยายในโหมดร่วมนั้นไม่เท่ากับศูนย์ สำหรับวงจรขยายความแตกต่างในรูปที่ 3.9b อัตราส่วนของการขจัดโหมดร่วมสามารถหาได้ดังนี้

$$CMRR = \frac{|A_{Vds}|}{|A_{VC}|} = \frac{gds_3(1+2gm_1 rds_5)}{gds_2 + gds_4} \tag{3.71}$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ถ้า $gds_2 = gds_3 = gds_4$ ดังนั้น CMRR ของรูป 3.9b จะประมาณค่าเท่ากับ gm_1rds_5 จะพิจารณาให้ CMRR มีค่ามาก ๆ เท่าที่จะเป็นไปได้ และถ้า Vds_5 หรือ gm_1 มีค่าเพิ่มขึ้น วงจรขยายความแตกต่างก็จะมีความสามารถที่ดีขึ้นในการที่จะขจัดสัญญาณโหมดร่วม ในลักษณะของสัญญาณโหมดความแตกต่าง

3.3 วงจรภาคเอาท์พุท (Output State)

ในวงจรหลาย ๆ ประเภท โหลดทางเอาท์พุทจะมีอิทธิพลต่อประสิทธิภาพของวงจร โดยทั่วไปโหลดจะประกอบด้วยความต้านทาน (RL) ขนานอยู่กับโหลดประเภทคาปาซิเตอร์ (CL) ถ้าโหลดความต้านทานมีค่าน้อยหรือโหลดคาปาซิเตอร์มีค่ามาก อัตราขยายของวงจรจะไม่สามารถทำให้สัญญาณทางเอาท์พุทสวิงตามที่ต้องการได้ หลักการคือ จะต้องทำให้มีแรงดันทางเอาท์พุทตกคร่อมที่โหลดของการสวิง หรือให้กระแสสามารถจ่ายได้ที่โหลดเมื่อมีการสวิงตามที่ต้องการ

ข้อกำหนดในการขยายสัญญาณของสัญญาณทางเอาท์พุทจะสามารถแบ่งออกเป็น 2 ประเภท คือ สแตติก (Static) และไดนามิก (Dynamic) สแตติกคือแรงดันไฟตรงที่สามารถทำให้เกิดการสวิงของสัญญาณตกคร่อมโหลดความต้านทาน ส่วนของไดนามิก คือความสามารถในการเก็บประจุของโหลดคาปาซิเตอร์ที่มีขนาดใหญ่ซึ่งจากข้อกำหนดดังกล่าวจะมีผลต่ออัตราสลูและการสวิงสูงสุดของสัญญาณทางเอาท์พุท สำหรับไดนามิกไม่จำเป็นต้องมีความต้านทานทางเอาท์พุทต่ำแต่ขึ้นอยู่กับกระแสทางเอาท์พุทในการพิจารณาอัตราสลูวงจรภาคเอาท์พุทนั้นจะมีอยู่สองประเภทคือ

3.4.1 วงจรเอาท์พุทแบบไม่มีการป้อนกลับ

วงจรเอาท์พุทแบบไม่มีการป้อนกลับ จะพิจารณาทรานซิสเตอร์ทุกตัวอยู่ในย่านกระแสคงที่ จะใช้ลักษณะของแหล่งจ่ายกระแสเป็นโหลด ซึ่งเรียกว่า “วงจรพุท-พลู” คือจะมีกระแสไหลผ่านทรานซิสเตอร์ทั้งสองตัวระหว่างที่มีการสวิงของแรงดันทางเอาท์พุท ซึ่งเรียกว่า การทำงานในโหมด A (Class A) สิ่งแรกในการพิจารณาคือ ข้อกำหนดในส่วนสแตติก นั่นคือความสามารถในการจ่ายและดึงกระแสที่แรงดันไฟตรงทางด้านเอาท์พุท เมื่อทรานซิสเตอร์ทั้งสองตัวอยู่ในย่านกระแสคงที่ โดยที่การจ่ายกระแสสูงสุด Iout+ จะทำให้ทรานซิสเตอร์ M1 ไม่ทำงาน และ ทรานซิสเตอร์ M2 อยู่ในย่านกระแสคงที่

$$I_{out}^{+} = \frac{K'_P W_2}{2L_2}\left(V_{DD} - V_{GG2} - |VT_2|\right)^2 \qquad (3.72)$$

และการดึงกระแสสูงสุด Iout จะทำให้ทรานซิสเตอร์ M1 ทำงานในย่านกระแสคงที่ และ Vin = Vdd ดังนั้น

$$I_{out}^{-} = \frac{K'_N W_1}{2L_2}\left(V_{DD} - V_{SS} - |VT_1|\right)^2 - I_{out}^{+} \qquad (3.73)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ถ้า Vout มีค่าประมาณ Vss ซึ่งทรานซิสเตอร์ M1 จะทำงานอยู่ในย่านโอมมิก เมื่อ $Vds_1 > Vgs - VT_1$ ถ้าโหลดความต้านทานต่ออยู่ทางเอาท์พุท ค่า Vds_1 จะมีค่าน้อย และ Vin = Vdd จากสมการ 3.73 จะเขียนใหม่ได้เป็น

$$I_{D1} = \frac{K'_N W_1}{2L_1}\left(V_{DD} - V_{SS} - V_{T1}\right)\left(-I_{out}^{-}RL - V_{SS}\right) \tag{3.74}$$

ซึ่ง Id_1 คือผลรวมของ Iout กับ Iout จะสามารถหา Iout ได้

$$I_{out}^{-} = \frac{-K'_N\left(W_1/L_1\right)\left(V_{DD} - V_{SS} - V_{T1}\right)V_{SS} - I_{out}^{+}}{1 + K'_N\left(W_1/L_1\right)\left(V_{DD} - V_{SS} - V_{T1}\right)RL} \tag{3.75}$$

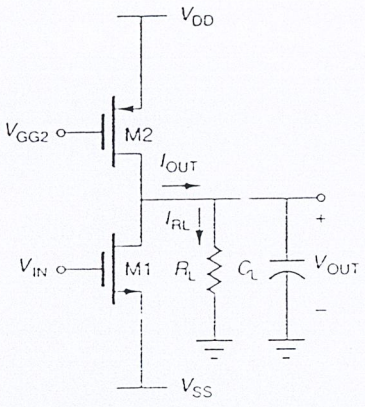
เมื่อ Vout มีค่าประมาณ Vdd, Iout จะขึ้นอยู่กับค่าของโหลดความต้านทาน และจะมีการดึงกระแสทางด้านเอาท์พุทที่ใช้เก็บประจุหรือคายประจุของโหลดคาปาซิเตอร์ จะมีข้อดีกว่าข้อกำหนดแบบสแตติก ที่มีแรงดันตกคร่อมโหลดความต้านทาน ซึ่งจะถูกพิจารณาและนำมาวิเคราะห์ ช่วงของแรงดันทางด้านเอาท์พุทเมื่อทรานซิสเตอร์ทางเอาท์พุททั้งสองตัวทำงานในย่านกระแสคงที่กระแสในการเก็บประจุโหลดคาปาซิเตอร์ คือการเปลี่ยนแปลงของแรงดันทางด้านเอาท์พุทเมื่อเทียบกับการเปลี่ยนแปลงของเวลา dVout/dt

$$\left|I_{out}\right| = C_L\left[\frac{dV_{out}}{dt}\right] \tag{3.76}$$

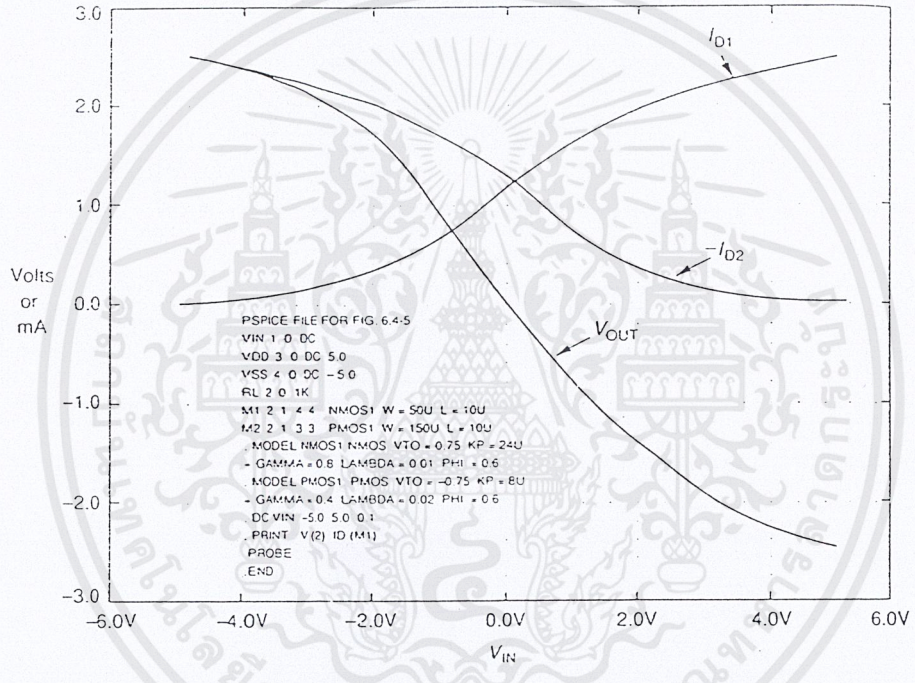
สิ่งหนึ่งที่เป็นข้อเสียของวงจรเอาท์พุท class A ในรูปที่ 3.13 คือการสูญเสียของกำลังไฟฟ้า ซึ่งจะมีค่า 25% ของสัญญาณเลยทีเดียว และสำหรับข้อดีของวงจร class A ก็คือ ความผิดเพี้ยนของสัญญาณจะมีค่าน้อยมาก ซึ่งก็คือ ทรานซิสเตอร์ทั้งสองตัวทางเอาท์พุทจะทำงานในย่านกระแสคงที่

จากหลักการดังกล่าว วิธีการในการปรับปรุงการขยายทางเอาท์พุทแบบไม่มีการป้อนกลับ คือ ใช้วิธีการต่อแบบซอสร่วม หรือ อิมิตเตอร์ร่วม นั่นคือ class B หรือ class AB นั่นเอง วงจรแสดงดังรูปที่ 3.14a โดยที่ VB คือแหล่งจ่ายแรงดันไฟตรงที่ไม่มีผลต่อสัญญาณไฟกระแสสลับ (Floating battary) ถูกใช้ในการไบอัสทรานซิสเตอร์ทั้งสองตัวทางเอาท์พุท ซึ่งสามารถที่จะจ่ายและดึงกระแสทางเอาท์พุทได้มาก แต่จะถูกจำกัดโดยการสูญเสียกำลังงานของอุปกรณ์ ถ้าทรานซิสเตอร์ M1 และ M2 ถูกไบอัส ซึ่งจะไม่มีกระแสไหลผ่านขาเดรนหรือขาคอลเลคเตอร์ เมื่อ Vin มีค่าเป็นศูนย์แต่เมื่อ Vin มีค่าเป็นบวก ทรานซิสเตอร์ M1 จะไม่ทำงานแต่ทรานซิสเตอร์ M2 จะทำงานในทางกลับกัน เมื่อค่า Vin มีค่าเป็นลบ ทรานซิสเตอร์ M1 จะทำงาน (ทำงานในย่านกระแสคงที่) และทรานซิสเตอร์ M2 จะไม่ทำงาน โดยที่ประสิทธิภาพของวงจร Class B ของสัญญาณเอาท์พุทคือ 78.5% เมื่อประสิทธิภาพคืออัตราส่วนของกำลังสูญเสียสัญญาณที่โหลดต่อกำลังของสัญญาณทางอินพุท ข้อดีอย่างหนึ่งของวงจรในรูป 3.14 คือ สามารถจ่ายกระแสและดึงกระแสโดยจะไม่ถูกจำกัดจากกระแสไบอัส นั่นคือการขยายทางด้านเอาท์พุทจะมี Iout เหมือน Iout ของวงจร Class A รูปที่ 3.15 แสดงกราฟความสามาถในการสวิงของสัญญาณทางด้านเอาท์พุทของวงจรรูปที่ 3.14

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.14 แสดงวงจรภาคเอาท์พุท Class B และ AB



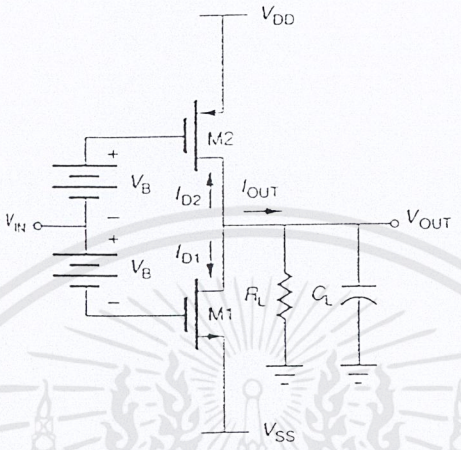
รูป 3.15 แสดงการจำลองรูปสัญญาณของวงจรรูปที่ 3.13 VB=0V

อย่างไรก็ตามความต้านทานทางด้านเอาท์พุทสัญญาณขนาดเล็กของวงจร Class B จะมีค่าสูงโดยปราศจากวงจรยกระดับแรงดัน VB ดังรูปที่ 3.16 แสดงวงจร Class AB หรือ Class B การทำงานของวงจร Class AB หรือ Class B จะถูกกำหนดโดยแรงดัน Vgg_4 และ Vgg_5 (Vbb_4 และ Vbb_5) ซึ่งทำหน้าที่ไบอัสกระแสให้กับทรานซิสเตอร์ M1 และ M2 เมื่อแรงดันทางด้านเอาท์พุทมีค่าเป็นบวก กระแสที่ทรานซิสเตอร์ M8 จะเพิ่มขึ้น ส่วนกระแสที่ทรานซิสเตอร์ M7 จะลดลง ดังนั้น กระแสที่ทรานซิสเตอร์ M8 จะสะท้อนไปยังทรานซิสเตอร์ M1 ซึ่งทำให้เกิดการดึงกระแสทางด้านเอาท์พุท และเมื่อ Vin มีค่าลดลง ทรานซิสเตอร์ M2 ก็จะจ่ายกระแสให้ทางเอาท์พุท การสวิงของสัญญาณทางเอาท์พุทจะถูกจำกัดโดย VT ค่าของ VDD หรือ VSS

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การตอบสนองความถี่ของวงจรเอาท์พุท จะพิจารณาโหลดชนิดความต้านทานและตัวเก็บประจุที่มาต่อขนาน ซึ่งค่าความต้านทาน RL = 1/GL จะมีค่าน้อยกว่า Rout และค่าคาปาซิเตอร์จะมีค่ามากกว่าค่าความจุทางด้านเอาท์พุทของวงจร และสามารถหาค่าแบนด์วิทของวงจรได้

$$\varpi_{-3dB} = \frac{g_{out} + G_L}{C_{out} + C_L} \approx \frac{1}{R_L C_L} \qquad (3.77)$$



รูปที่ 3.16 แสดงวงจรภาคเอาท์พุท Class B หรือ AB โดยมีแหล่งจ่ายแรงดัน

3.3.2 วงจรทางเอาท์พุทที่มีการป้อนกลับ

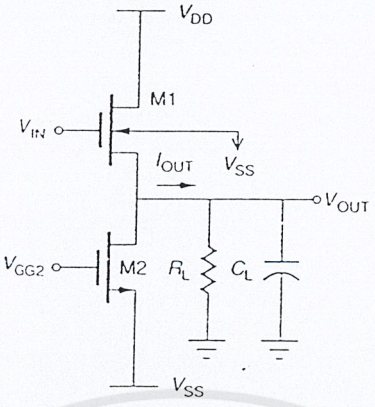
การออกแบบวงจรเอาท์พุทอีกอย่างหนึ่งคือ จะใช้หลักการของการป้อนกลับ ซึ่งเป็นการลดค่าความต้านทานทางเอาท์พุทนั่นเอง

$$r'_{out} = \frac{r_{out}}{1 + LG} \qquad (3.78)$$

เมื่อ Rout คือความต้านทานทางเอาท์พุทที่ไม่มีการป้อนกลับและ LG คืออัตราขยายของการป้อนกลับวงจรรูปที่ 3.16 แสดงวงจรการป้อนกลับแบบ Class A ซึ่งจะมีอัตราขยายกระแสสูง แต่จะมีความต้านทานทางเอาท์พุทต่ำ จะเห็นว่าที่โหมดทางเอาท์พุท (ขาซอสของทรานซิสเตอร์ M1) จะมีผลของ Body effect ซึ่งทำให้ค่า VT เพิ่มขึ้น เมื่อแรงดันทางเอาท์พุทเพิ่มขึ้น

อย่างไรก็ตามแรงดันสูงสุดทางเอาท์พุทจะมีค่าน้อยกว่า Vdd – VT จากวงจรจะเห็นว่าการสวิงของสัญญาณขาขึ้นทางเอาท์พุทจะถูกจำกัดด้วยค่า Vgs_1 ข้อดีประการหนึ่งของวงจรเอาท์พุทแบบนี้คือ ความต้านทานทางเอาท์พุทของสัญญาณกระแสสลับ จะมีค่าต่ำซึ่งเป็นสาเหตุให้การขยายสัญญาณทางกระแสสลับ รวมทั้งผลตอนสนองทางความถี่มีค่าต่ำขึ้นอยู่กับความต้านทาน วงจรสัญญาณขนาดเล็กของวงจรรูปที่ 3.17 จะแสดงในรูปที่ 3.18

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.17 แสดงวงจรภาคเอาท์พุท A แบบ feedback

และ

$$C_1 = Cgd_1 \tag{3.79}$$

$$R2 = \alpha \tag{3.80}$$

$$C_2 = Cgs_1 \tag{3.81}$$

$$R3 = [gm_1 + gmb_1 + gds_1 + gds_2 + G_L]^{-1} \approx [gm_1 + G_L]^{-1} \tag{3.82}$$

$$C_3 = C_L \tag{3.83}$$

วงจรรูปที่ 3.18 เป็นการประมาณค่า สำหรับความต้นทานและตัวเก็บประจุและสามารถเขียนฟังชั่นการถ่ายโอนได้ดังนี้

$$\frac{V_{out}(s)}{V_{in}(s)} = \frac{gm + G_2 + sC_2}{G_2 + G_3 + s(C_L + C_2)} \tag{3.84}$$

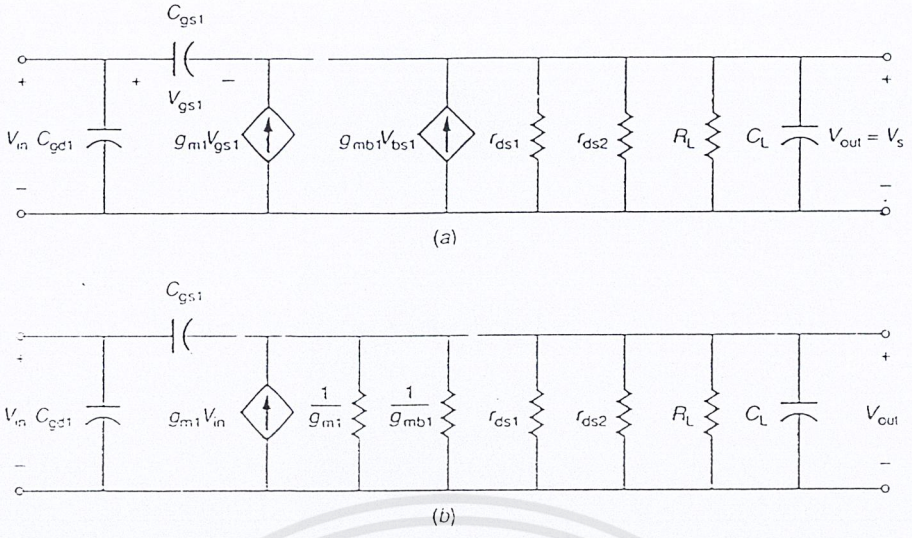
จากสมการ 3.84 สามารถเขียน zero ได้

$$z_1 = -\frac{gm + G_2}{C_2} \approx -\frac{gm_1}{C_2} \tag{3.85}$$

และ

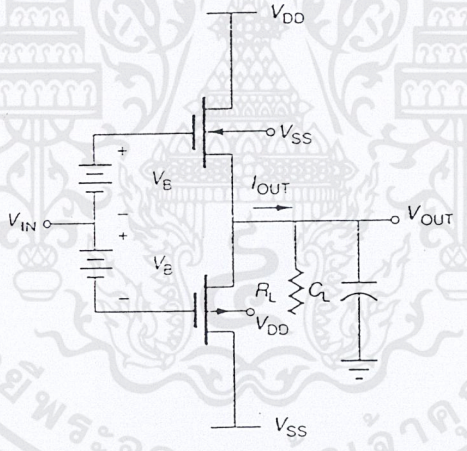
$$p_1 = -\frac{G_2 + G_3}{C_2 + C_L} \approx -\frac{gm_1 + G_L}{C_L} \tag{3.97}$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.18 a) รูปสัญญาณขนาดเล็ดของรูปที่ 3.17 b) แสดงวงจรอย่างง่ายของรูป a

โดยทั่วไปแล้ว $|P1| < |Z1|$ และถ้า pole และ zero มีค่าเข้าใกล้กันแล้วจะทำให้ไม่มีผลกระทบต่อวงจรและความต้านทางเอาท์พุทขณะที่ยังไม่ได้ต่อโหลด



รูปที่ 3.19 แสดงวงจรภาคเอาท์พุท Class B โดยใช้การใช้แรงดัน Vb

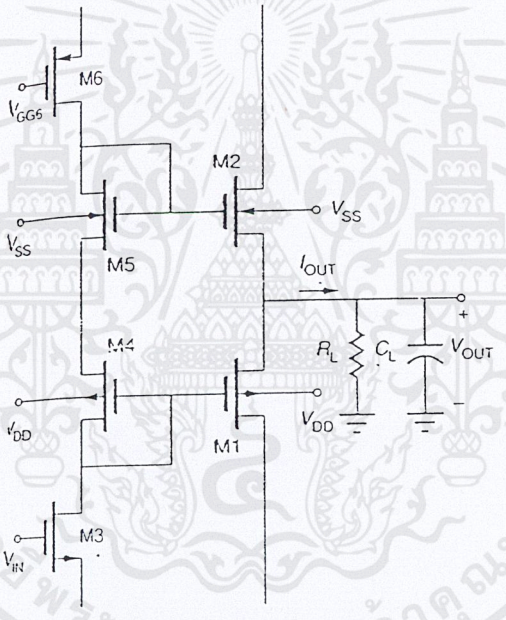
ข้อเสียประการหนึ่งของวงจรเอาท์พุทที่มีการป้อนกลับแบบ Class A คือการจ่ายกระแสและการดึงกระแสทางเอาท์พุทยังไม่ดี สำหรับ MOS แรงดันที่ขาเกทของทรานซิสเตอร์ M1 จะต้องมีค่ามากกว่าแรงดันทางเอาท์พุทเมื่อมีการจ่ายกระแสสูงสุด สำหรับการดึงกระแสจะมีค่าเท่ากับกระแสไบอัสทัน (ทรานซิสเตอร์ M2)

วงจรเอาท์พุทแบบ Class A ดังที่กล่าวมา จะมีความต้านทานทางเอาท์พุทต่ำมาก ซึ่งทำให้การสวิงของสัญญาณไม่ดี และประสิทธิภาพต่ำ (25%) วงจรรูปที่ 3.19 แสดงวงจรเอาท์พุท class B ที่ปรับปรุงจากวง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จรเอาท์พุทแบบ class A การทำงานของวงจรเอาท์พุท class B ถูกเรียกว่า "วงจรพุช-พลู" โดยจะมีประสิทธิภาพสูงถึง 78.5% การสวิงสูงสุดของสัญญาณทางเอาท์พุททั้งทางบวกและทางลบจะถูกจำกัดโดยค่า VT

วงจรรูปที่ 3.20 แสดงการนำวงจรยกระดับแรงดัน VB ถูกนำมาใช้ในวงจรเอาท์พุท class B การทำงานของวงจรคือ ที่สัญญาณอินพุทจะเข้าที่ขาเกทของทรานซิสเตอร์ M3 และทรานซิสเตอร์ M4 และ M5 จะทำหน้าที่เป็นวงจรยกระดับแรงดัน ในการออกแบบไบอัสวงจรต้องคำนึงถึงการผิดเพี้ยนของรูปสัญญาณที่เกิดจากการจ่ายกระแสและดึงกระแส ปัญหาที่เกิดกับวงจรเอาท์พุทแบบ class B คือการสวิงของสัญญาณทางเอาท์พุทโดยจะถูกจำกัดโดย VGG6-VTO6-VT2 อย่างไรก็ตามอยู่ภายใต้เงื่อนไขของ VDD การสวิงของสัญญาณทางด้านลบจะมีค่าน้อย เมื่อทรานซิสเตอร์ M3 นั้น ไบอัสขาเกทของทรานซิสเตอร์ M1 จนกระทั่ง VSS ดังนั้นการสวิงของสัญญาณทางด้านลบจะมีค่าประมาณ VSS+VT1 ที่ VT1 มีค่ามากกว่า VTO1 เนื่องจากผลกระทบของ Body effect ในการออกแบบวงจรเอาท์พุทจะต้องทำให้แรงดันทางเอาท์พุทสามารถสวิงได้สูง, มีค่าความต้านทานทางเอาท์พุทต่ำ,มีประสิทธิภาพสูงและมีความผิดเพี้ยนของสัญญาณน้อย



รูปที่ 3.20 แสดงการนำวงจรยกระดับแรงดัน VB ถูกนำมาใช้ในวงจรเอาท์พุท

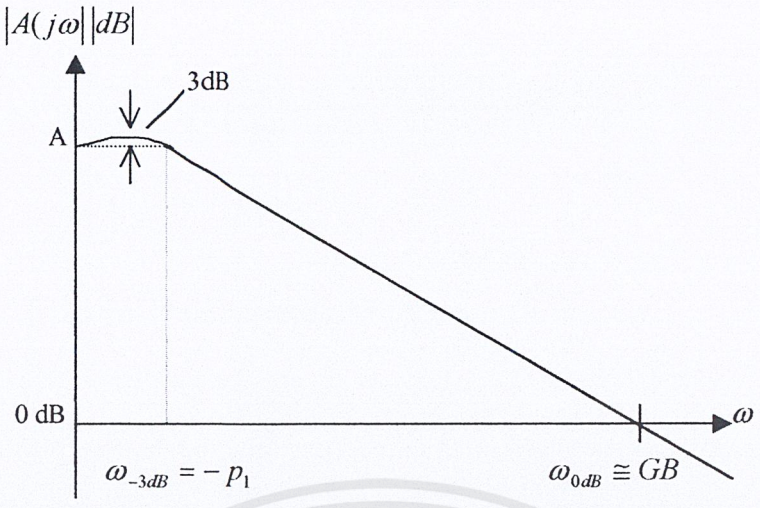
3.4 ภาคชดเชยความถี่ (Frequency Compensation State)

ออปแอมป์ในทางปฏิบัติจะมี pole และ zero อยู่เป็นจำนวนมาก ซึ่ง pole และ zero เหล่านี้จะมีผลอย่างมากต่อผลตอบสนองทางความถี่ของวงจรออปแอมป์ เพื่อความง่ายในการทำความเข้าใจจะสมมติในเวลานี้ว่าออปแอมป์ที่สนใจเป็นแบบโพลเดียว (single-pole) ซึ่งมี transfer functionเท่ากับ

$$A(s) = \frac{V_{out}(s)}{Vid(s)} = \frac{A_o}{1 - \frac{s}{p_1}} \qquad (3.87)$$

โดย A_0 และ P_1 คืออัตราขยายไฟตรง (DC gain) และโพลของออปแอมป์ตามลำดับ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.21 ผลตอบสนองทางความถี่ของออปแอมป์แบบโพลเดียว

ดังแสดงในรูปที่ 3.21 สามารถพิสูจน์ได้ว่าในกรณีที่ออปแอมป์มีโพลเดียว แบนด์วิดธ์ของออปแอมป์จะเท่ากับ $\omega_{-3dB} = -P_1$ นอกจากนี้ยังสามารถแสดงได้ว่าถ้า A_0 มีค่าสูงมาก ๆ transfer function ของออปแอมป์จะเท่ากับ

$$A(s) = \frac{1}{\frac{1}{A_o} - \frac{s}{A_o P_1}} \approx \frac{1}{-\frac{s}{A_0 P_1}} = \frac{GB}{s} \qquad (3.88)$$

โดยจะเรียก GB ว่าคือ Gain-Bandwidth ของออปแอมป์เนื่องจาก $GB = -A_0 P_1 = A_0\omega_{-3dB}$ นั่นคือ GB คือผลคูณของ DC gain และ bandwidth ของออปแอมป์นั่นเอง ทั้งนี้จะสังเกตได้ว่า

$$A(j\omega)\Big|_{\omega=GB} \approx 1 = 0dB \qquad (3.89)$$

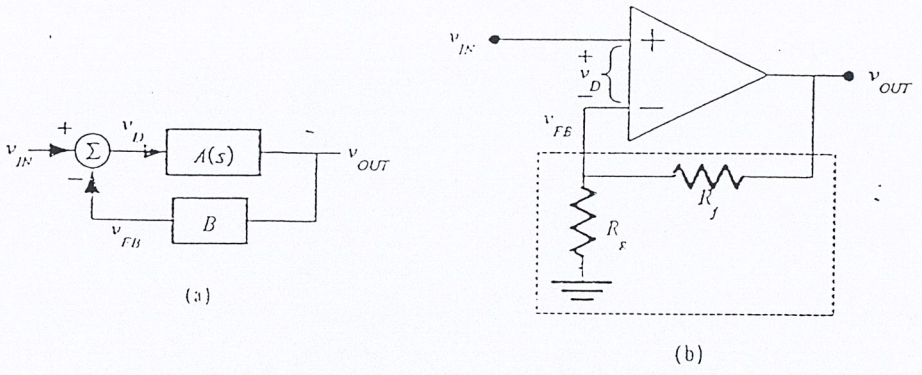
นั่นคือ GB คือความถี่ที่ทำให้อัตราขยายแรงดันของออปแอมป์มีค่าเท่ากับหนึ่ง (unity-gain frequency)

$$GB \approx \omega_{0dB} \qquad (3.90)$$

ถึงแม้ว่าในความเป็นจริงออปแอมป์จะมี pole และ zero อยู่มากมายหลายตัว แต่โดยปกติในการออกแบบออปแอมป์จะทำการชดเชยความถี่เพื่อให้ออปแอมป์มี pole แรกอยู่ที่ต่ำกว่า pole และ zero ตัวอื่น ๆ มาก เรียก pole แรกในกรณีนี้ว่า dominant pole ซึ่งทำให้สามารถประมาณได้ว่า GB มีค่าเท่ากับ ω_{0dB} เสมอ

การชดเชยความถี่เป็นส่วนสำคัญส่วนหนึ่งที่ทำให้วงจรออปแอมป์มีลักษณะแตกต่างไปจากวงจรคอมพาราเตอร์ทั้งนี้เนื่องจากวงจรคอมพาราเตอร์จะถูกใช้งานเฉพาะในลักษณะลูปเปิด (open-loop) เท่านั้น แต่ออปแอมป์มักจะถูกใช้งานในลักษณะลูปปิด (close-loop) โดยการป้อนกลับแบบลบ (negative feedback) ซึ่งทำให้ต้องคำนึงถึงเสถียรภาพของวงจรเป็นอย่างมาก

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.22 a) ระบบป้อนกลับแบบลบ b) วงจรออปแอมป์ที่มีการป้อนกลับแบบลบ

รูปที่ 3.22 a แสดงบล๊อคไดอะแกรมระบบป้อนกลับแบบลบ (negative-feedback system) และรูปที่ 3.24 แสดงวงจรออปแอมป์เมื่อมีการป้อนกลับแบบลบด้วย resistive network ซึ่งมีแฟกเตอร์การป้อนกลับ (feedback factor) เท่ากับ B = Re/(Rf+Re) เป็นที่ทราบกันว่าโดยทั่วไปการป้อนกลับแบบลบจะทำให้วงจรมีเสถียรภาพ (stability) ที่ดีขึ้น มีแบนด์วิดกว้างขึ้นและมีความเป็นเชิงเส้น (linearity) สูงขึ้น ตัวอย่างเช่นถ้าออปแอมป์ในวงจรในรูปที่ 3.22b เป็นออปแอมป์สมมติแบบโพลเดียวสามารถแสดงได้ว่า

$$Av(s) = \frac{Vout(s)}{Vid(s)} = \frac{A(s)}{1 + A(s)B} = \frac{A_o}{1 + A_oB - \dfrac{s}{P_1}} \qquad (3.91)$$

ซึ่งเมื่อจัดรูปสมการ 3. 91 จะได้

$$Av(s) = \frac{\dfrac{A_o}{(1 + A_oB)}}{1 - \dfrac{s}{P_1(1 + A_oB)}} \qquad (3.92)$$

นั่นคือวงจรดังกล่าวจะมีอัตราขยายไฟตรงและแบนด์วิดเท่ากับ A0/(1+A0B) และ –P1(1+A0B) ตามลำดับ และเนื่องจากโดยทั่วไป A0 จะมีค่าสูงมากดังนั้นสามารถประมาณอัตราขยายไฟตรงของวงจรในรูปที่ 3.22b ได้เท่ากับ

$$\frac{A_o}{1 + A_oB} = \frac{1}{\dfrac{1}{A_o} + B} \cong 1 + \frac{Rf}{Rg} \qquad (3.93)$$

จะสังเกตได้ว่าผลคูณของอัตราขยายไฟตรงและแบนด์วิดของวงจรจะมีค่าเท่ากับ $A_0(P_1) = GB \approx \omega_{0dB}$ เสมอไม่ว่า B จะมีค่าเป็นเท่าไหร่ นั่นคือการป้อนกลับแบบลบ จะทำให้อัตราขยายแรงดันของออปแอมป์ลดลงด้วยอัตราส่วนซึ่งเท่ากับอัตราส่วนของแบนด์วิดที่เพิ่มขึ้น ถึงแม้ว่าโดยทั่วไปการป้อนกลับแบบลบจะทำให้เสถียรภาพของวงจรดีขึ้น อย่างไรก็ตามในความเป็นจริงออปแอมป์จะมี pole และ zero อยู่เป็นจำนวนมาก ซึ่งทั้ง pole และ zero เหล่านี้จะส่งผลให้ในบางย่านความถี่ เฟสของแรงพันป้อนกลับ Vfb อาจจะถูกเลื่อนมากพอที่จะทำให้การป้อนกลับแบบลบกลายเป็นแบบบวก (positive-feedback) ไปได้ ส่งผลให้วง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จรขาดเสถียรภาพและเกิดการออสซิลเลตขึ้นจนทำให้วงจรไม่สามารถทำงานได้ ทั้งนี้ถ้ากำหนดให้ LG(s) = -A(s)B โดยเรียกฟังก์ชั่น LG(s) นี้ว่าเป็นลูปเกน (loop-gain) ของวงจร จะเห็นว่าการป้อนกลับแบบบวกจะเกิดขึ้นเมื่อเฟสของลูกมีค่าเป็น 0 องศา ($LG(j\omega_{0dB})) > 0^{o}$ จากทฤษฎีการป้อนกลับ สามารถแสดงได้ว่าเงื่อนไขที่ทำให้วงจรยังรักษาเสถียรภาพได้คือ ที่ความถี่ที่ขนาดของลูปเกรนมีค่าเท่ากับ 1 เฟสของลูปเกนจะต้องมากกว่า 0 องศาหรือ

$$\angle(LG(j\omega_{0dB})) > 0^{o} \tag{3.94}$$

โดยที่ ω_{-3dB} คือความถี่ที่ทำให้ขนาดของลูปเกนมีค่าเท่ากับ 1 นั่นคือ

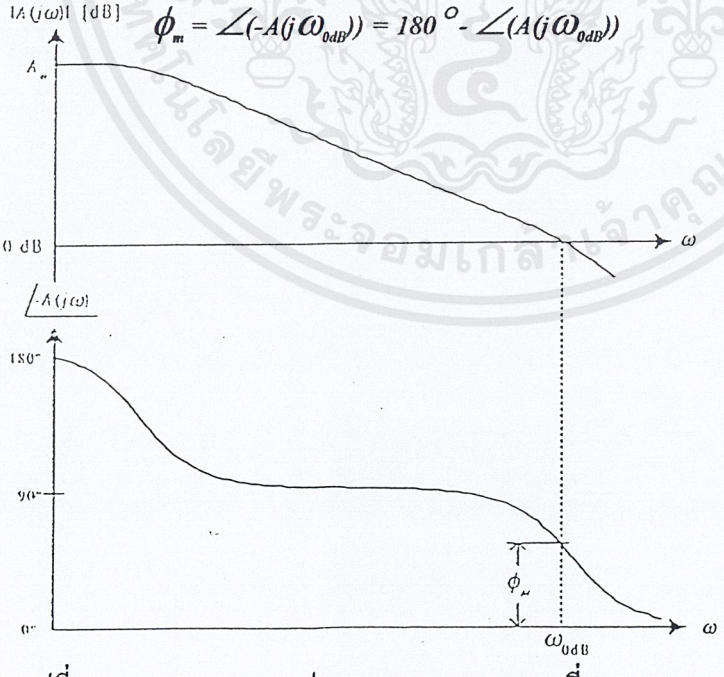
$$|LG(j\omega_{0dB})| = 1 = 0dB \tag{3.95}$$

ดังนั้นถ้ากำหนดให้

$$\phi_m = \angle(LG(\omega_{0dB})) \tag{3.96}$$

จากรูปที่ 3.25 สามารถใช้ ϕ_m เป็นตัวบอกเสถียรภาพของระบบได้ คือ ถ้า ϕ_m มีค่ามากกว่าศูนย์มากระบบก็มีเสถียรภาพดี ถ้า ϕ_m มีค่าเข้าใกล้ศูนย์มากขึ้นเท่าไร ระบบก็จะมีเสถียรภาพลดลงเท่านั้น และในกรณีที่ ϕ_m มีค่าน้อยกว่าหรือเท่ากับศูนย์ระบบก็จะขาดเสถียรภาพโดยสิ้นเชิง ด้วยเหตุนี้ในการออกแบบวงจรออปแอมป์จะต้องระวังไม่ให้ ϕ_m มีค่าต่ำจนเกินไป (โดยปกติ ϕ_m ควรจะมีค่ามากกว่า 45 องศา และในการใช้งานทั่วไปน่าจะมีค่ามากกว่า 60 องศา) ในทุก ๆ กรณีของการป้อนกลับ ดังนั้นเพื่อความปลอดภัยในการออกแบบออปแอมป์จะคิดค่า ϕ_m ในกรณีที่ต่ำที่สุด (worstcase condition) นั่นคือในกรณีที่มีการป้อนกลับ 100% (B = 1) ซึ่งทำได้โดยการป้อน Vout กลับเข้าไปยังขาอินพุทของออปแอมป์โดยตรง) ซึ่งจะทำให้ LG(s) = -A(s) และ

$$\phi_m = \angle(-A(j\omega_{0dB})) = 180^{o} - \angle(A(j\omega_{0dB})) \tag{3.97}$$



รูปที่ 3.24 การหา จากกราฟผลตอบสนองทางความถี่ (Bode Plot) ของออปแอมป์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 4

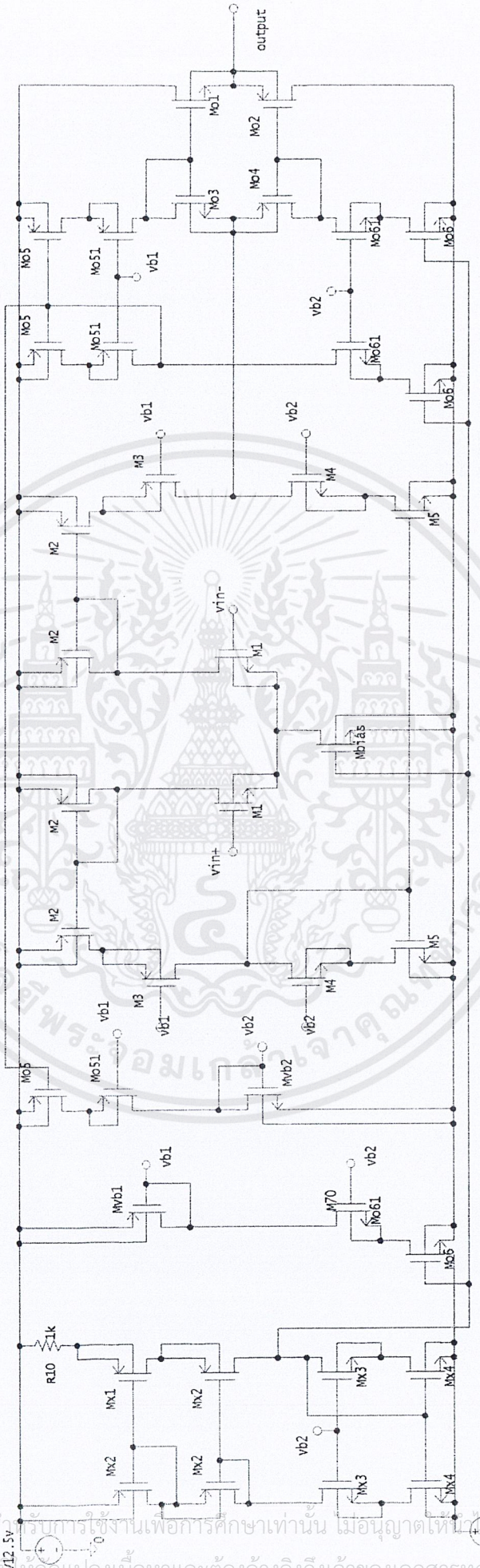
การออกแบบวงจรขยายสัญญาณ

(Operating Amplifier Design)

การออกแบบวงจรขยายสัญญาณ (Operating Amplifier Design) โดยมีข้อกำหนดเบื้องต้นของวงจรดังนี้

1. สามารถทำงานที่ Vdd = -Vss = 2.5V
2. ค่า open-loop gain 65 dB
3. ค่า unity-gain frequency ที่ 1 MHz
4. ค่า slew rate > 5V/us (RL = 1kohm and CL = 10pF)
5. ค่า phase magin > 60 degree.
6. ค่า noise 200 nV/sqrt (Hz) @ 100 Hz และ 30 nV/sqrt (Hz) @ 10kHz
7. ค่า output swing > +/- 1V
8. ค่า total gate area < 0.5 mm^2 (calculate by sum of WL)
9. ค่า setting time (within 0.1% of the final value)<1.2usec (Note : unity-gain buffer with RL=1kohm and CL = 10pF)
10. technology CMOS ของ Alcatel Microeletronics หรือ AMS
11. <u>ข้อกำหนดพิเศษ</u> วงจรมีประสิทธิภาพสูง มีเสถียรภาพสูง สามารถทนทานต่อการเปลี่ยนแปลงของศักดิ์ไฟฟ้า และเทคโนโลยีที่ใช้ผลิต ซึ่งสามารถตรวจสอบได้โดยใช้เทคนิค Monte Carlo

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



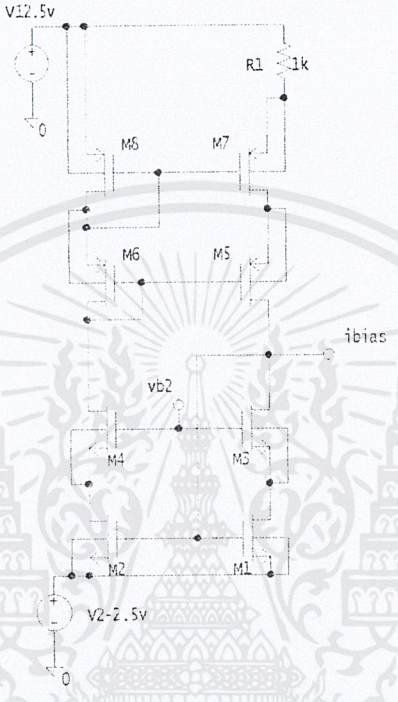
รูปที่ 4.1 แสดงวงจรรวมที่ใช้งาน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4.1 การออกแบบวงจรขยายสัญญาณ (Operation Amplifier)

จากรูปที่ 4.1 เป็นวงจรขยายสัญญาณที่เป็นไปตามข้อกำหนดเบื้องต้น โดยมีรายละเอียดในการออกแบบดังนี้

4.1.1 การออกแบบวงจรภาคไบอัสให้กับวงจรขยายสัญญาณ (Biasing State Operation Amplifier)



รูปที่ 4.2 แสดงวงจรภาคไบอัส

จากวงจรจะออกแบบให้มีกระแสไบอัสวงจร $500\mu A$ และ $Vds(sat)_1$ มีค่า 0.213V ดังนั้นจะได้ $Vgs_1 = Vgs_2 = 1.013V$ สามารถหาขนาดของทรานซิสเตอร์ M1 และ M2 ได้ดังนี้

$$\left(\frac{W}{L}\right)_{1,2} = \frac{2 \times I_1}{K'_n (Vds(sat)_1)^2} \qquad (4.1)$$

$$= \frac{2 \times 50 \times 10^{-6}}{(154.1 \times 10^{-6})(0.3)^2}$$

$$= 7.21$$

$Vds(sat)_{3,4}$ มีค่า 0.1V ที่ $50\mu A$ สามารถหาขนาดของทรานซิสเตอร์ M3 และ M4 ได้ดังนี้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$\left(\frac{W}{L}\right)_{3,4} = \frac{2\times I_3}{K'_n (Vds(sat)_3)^2} \quad (4.2)$$

$$= \frac{2\times 50\times 10^{-6}}{(154.1\times 10^{-6})(0.1)^2}$$

$$= 64.89$$

พิจารณาที่ค่า $Vgs_{5,6}$ และ Vgs_8 เพื่อนำไปหาค่าขนาดของทรานซิสเตอร์ M5 , M6 และ M8 ซึ่งมีขนาดเท่ากันดังนี้

$$Vgs_6 + Vgs_8 = Vdd - Vss - Vgs_2 \quad (4.3)$$

$$Vgs_{5,6,8} = 1.95$$

จะได้ $Vds(sat)_{5,6,8} = 1.25\,\text{V}$

ดังนั้น

$$\left(\frac{W}{L}\right)_{5,6,8} = \frac{2\times Ibias}{K'_p (Vds(sat)_{5,6,8})^2} \quad (4.4)$$

$$= \frac{2\times 50\times 10^{-6}}{(57.5\times 10^{-6})(1.25)^2}$$

$$= 1.11$$

พิจารณาหาค่าแรงดันที่ตกคร่อมความต้านทาน 1Kohm ที่กระแสไบอัส 50μA

$$VR = RL\times Ibias \quad (4.5)$$

$$= 1\times 10^3 \times 50\times 10^{-6}$$

$$= 0.05\ \text{V}$$

ดังนั้น

$$Vgs_7 = Vgs_8 - VR \quad (4.6)$$

$$= 1.95 - 0.05$$

$$= 1.9\ \text{V}$$

หาขนาดทรานซิสเตอร์ M7 ได้ดังนี้

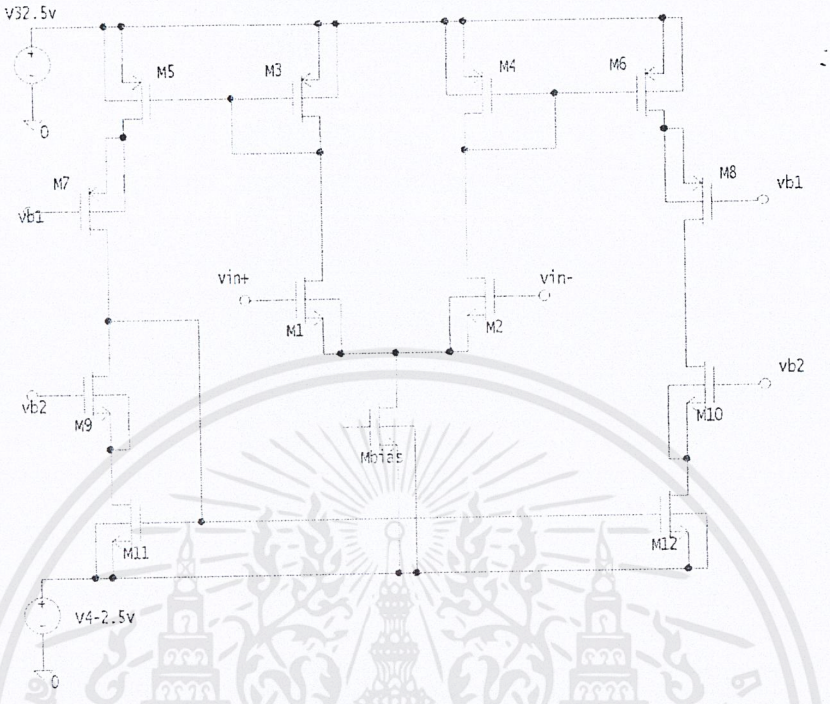
$$\left(\frac{W}{L}\right)_7 = \frac{2\times Ibias}{K'_p (Vds(sat)_7)^2} \quad (4.7)$$

$$= \frac{2\times 50\times 10^{-6}}{(57.5\times 10^{-6})(1.9)^2}$$

$$= 1.20$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4.1.2 การออกแบบวงจรภาคขยายความแตกต่าง (Differential Amplifier)



รูปที่ 4.3 แสดงวงจรภาคขยายความแตกต่าง

เนื่องจากวงจรที่ใช้งานมีเพียง 3 ภาค คือ ภาคไบอัสกระแส ภาคขยายความแตกต่าง และภาคเอาท์พุท ดังนั้น ในการออกแบบภาคขยายความแตกต่าง สิ่งที่ต้องพิจารณามากที่สุดคือ อัตราการขยายของวงจรจะต้องได้ตามข้อกำหนดเบื้องต้นของการออกแบบ เพื่อที่จะให้ได้อัตราขยายดังกล่าว ผู้ออกแบบได้พิจารณาให้ภาคขยายความแตกต่างมีกระแสไบอัสมีค่า 150μA และให้ $gm_{1,2}$ มีค่า 1000μS

จากค่าทรานคอนดักแตนซ์ ($gm_{1,2}$) สามารถได้ขนาด M1 และ M2

$$\left(\frac{W}{L}\right)_{1,2} = \frac{(gm_{1,2})^2}{2K'_n I_1} \qquad (4.8)$$

$$= \frac{(1000\times10^{-6})^2}{2(154.1\times10^{-6})(75\times10^{-6})}$$

$$= 43.26$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

นำค่าขยาดของ M1 และ M2 ไปคำนวณหาค่าแรงดันที่ป้อนเข้าขาเกทของทรานซิสเตอร์ Mbias เพื่อให้ได้กระแส $150\mu A$ ตามที่กำหนดไว้ โดยพิจารณาช่วงการสวิงของสัญญาณอินพุทขาลง (CMR(min)) จากสมการ

$$CMR(\min) = Vss + Vgs_1 + Vds(sat)_{bias} \tag{4.9}$$

โดยพิจารณาให้ CMR มีค่าอย่างน้อยเท่ากับช่วงการสวิงของสัญญาณเอาท์พุท (Output swing +/- 1V) ขณะต่อวงจรแบบ Buffer

$$Vgs_1 = \left[\frac{2\times I_1}{K'_n\left(W/L\right)_1}\right]^{\frac{1}{2}} + VT \tag{4.10}$$

$$= \left[\frac{2(75\times10^{-6}}{(154.1\times10^{-6})(43.26)}\right]^{\frac{1}{2}} + 0.7$$

$$= 1.2 \text{ V}$$

จากสมการที่ 4.9 สามารถหา $Vds(sat)_{bias}$ ได้

$$Vds(sat)_{bias} = Vss + Vgs_1 + CMR(\min) \tag{4.11}$$

$$= -1 + 2.5 - 1.2$$

$$= 0.3 \text{ V}$$

$$Vgs_{bias} = Vds(sat)_{bias} + VT \tag{4.12}$$

$$= 1 \text{ V}$$

$$VG_{bias} = Vss + Vgs_{bias} \tag{4.13}$$

$$= -2.5 + 1$$

$$= 1.5 \text{ V}$$

นำค่า $Vds(sat)_{bias}$ ไปหาขนาดของทรานซิสเตอร์ Mbias

$$\left(\frac{W}{L}\right)_{bias} = \frac{2\times Ibias}{K'_n Vds(sat)_{bias}^{\ 2}} \tag{4.14}$$

$$= \frac{2\times150\times10^{-6}}{(154.1\times10^{-6})(0.3)^2}$$

$$= 21.63$$

จากนั้นพิจารณาในช่วงการสวิงของสัญญาณขาขึ้น

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$CMR(\max) = Vdd - Vgs_{4,6} + VT \geq 1\text{ V} \quad (4.15)$$

$$Vgs_{4,6} \leq 2.5 - 1 + 0.8$$

$$\leq 2.3\text{ V}$$

ดังนั้น $Vds(sat)_{4,6} \leq (2.3 - 0.7)$

$$\leq 1.6\text{ V}$$

จากข้อกำหนดของ Output Swing พิจารณา $Vds(sat)_6$

รวมทั้งกระแสของ M6 โดยพิจารณาให้เท่ากับกระแส M4 คือ 75μA

$$Vdd - \%_p\, swing = Vds(sat)_6 + Vds(sat)_8 \quad (4.16)$$

$$2.5 - 1 = 1.5\text{ V}$$

$$Vds(sat)_6 + Vds(sat)_8 \leq 1.5\text{ V}$$

เพื่อให้การสวิงของสัญญาณเอาท์พุทมีค่าสูงขึ้นพิจารณาให้ $Vds(sat)_6 = 0.3$ V $Vds(sat)_8 = 0.2$ V

ดังนั้น

$$\left(\frac{W}{L}\right)_{3,4,5,6} = \frac{2 \times I_3}{K'_p (Vds(sat)_{3,4,5,6})^2} \quad (4.17)$$

$$= \frac{2 \times 75 \times 10^{-6}}{(57.5 \times 10^{-6})(0.3)^2}$$

$$= 28.98$$

และ

$$\left(\frac{W}{L}\right)_{7,8} = \frac{2 \times I_7}{K'_p (Vds(sat)_{7,8})^2} \quad (4.18)$$

$$= \frac{2 \times 75 \times 10^{-6}}{(57.5 \times 10^{-6})(0.2)^2}$$

$$= 260.86$$

$$Vgs_8 = Vds(sat)_8 + VT \quad (4.19)$$

$$= 0.2 + 0.7$$

$$= 0.9\text{ V}$$

พิจารณาในทำนองเดียวกันในการสวิงลงของเอาท์พุทพิจารณาให้ $Vds(sat)_{10} = Vds(sat)_9 = 0.2$ V และ $Vds(sat)_{11} = Vds(sat)_{12} = 0.3$ V

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$\left(\frac{W}{L}\right)_{9,10} = \frac{2\times I_9}{K'_n\,(Vds(sat)_{9,10})^2} \qquad (4.21)$$
$$= \frac{2\times 75\times 1^{-6}}{(154.1\times 10^{-6})(0.2)^2}$$
$$= 97.33$$

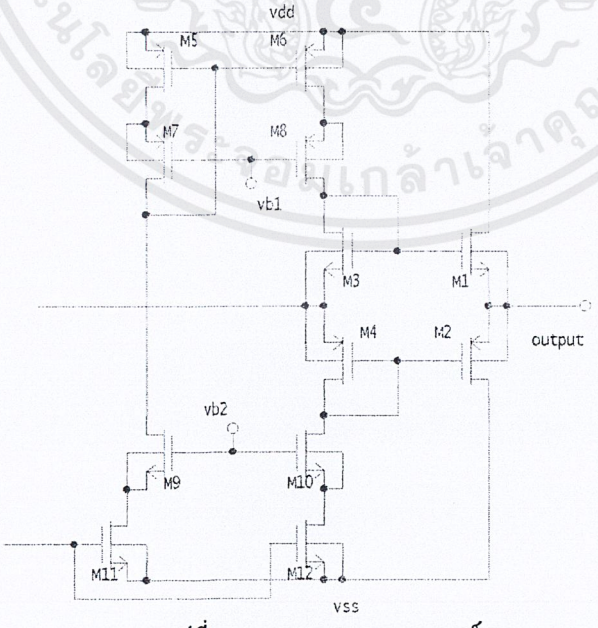
และ

$$\left(\frac{W}{L}\right)_{11,12} = \frac{2\times I_{11}}{K'_n\,(Vds(sat)_{11,12})^2} \qquad (4.22)$$
$$= \frac{2\times 75\times 10^{-6}}{(154.1\times 10^{-6})(0.3)^2}$$
$$= 10.81$$

$$Vgs_{10} = Vds(sat)_{10} + VT \qquad (4.23)$$
$$= 0.2 + 0.7$$
$$= 0.9\,\text{V}$$

$$VB_2 = Vss + Vgs_{10} + Vds(sat)_{12} \qquad (4.24)$$
$$= -2.5 + 09 + 0.3$$
$$= -1.3\,\text{V}$$

4.1.3 การออกแบบภาคเอาท์พุท (Output State)



รูปที่ 4.4 แสดงวงจรภาคเอาท์พุท

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ในการพิจารณาภาคเอาท์พุทนั้น หลักการออกแบบจะพิจารณาในส่วนของการ Swing ของสัญญาณทางเอาท์พุทรวมทั้งการดึงกระแสเนื่องจากการต่อโหลด (1K , 10pF) ดังสมการ

$$Vdd - {}^{o}\!/_{p}\, swing = Vgs_1 + Vds(sat)_6 + Vds(sat)_8 \quad (4.25)$$

$$Vds(sat)_6 + Vds(sat)_8 + Vds(sat)_1 = Vdd - V\,{}^{o}\!/_{p}\, swing - VT \quad (4.26)$$

$$= 2.5 - 1 - 0.7$$

$$= 0.8\,\text{V}$$

พิจารณาเลือกค่า $Vds(sat)$ ให้เหมาะสม โดย $Vds(sat)_6 = 0.3\,\text{V}$, $Vds(sat)_8 = 0.2\,\text{V}$ และ $I_6 = I_8 = 150\mu\text{A}$

$$\left(\frac{W}{L}\right)_{5,6} = \frac{2 \times I_6}{K'_p\,(Vds(sat)_6)^2} \quad (4.27)$$

$$= \frac{2 \times 150 \times 10^{-6}}{(57.5 \times 10^{-6})(0.3)^2}$$

$$= 57.94$$

และ

$$\left(\frac{W}{L}\right)_{7,8} = \frac{2 \times I_8}{K'_p\,(Vds(sat)_{7,8})^2} \quad (4.28)$$

$$= \frac{2 \times 150 \times 10^{-6}}{(57.5 \times 10^{-6})(0.2)^2}$$

$$= 521.73$$

ในการออกแบบขนาดของทรานซิสเตอร์ M1 จะพิจารณากรณีต่อโหลด 1Kohm และ C = 10pF ดังนั้นกระแสสูงสุดที่โหลด = 1.1 mA ที่ 1V.

$$\left(\frac{W}{L}\right)_1 = \frac{2 \times I_1}{K'_n\,(Vds(sat)_1)^2} \quad (4.29)$$

$$= \frac{2 \times 1.1 \times 10^{-3}}{(154.1 \times 10^{-6})(0.3)^2}$$

$$= 158.62$$

พิจารณา $Vds(sat)_1 = Vds(sat)_2$ และ $I_1 = I_2$ จะได้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$\left(\frac{W}{L}\right)_2 = \frac{2\times I_2}{K'_p (Vds(sat)_2)^2} \quad (4.30)$$
$$= \frac{2\times 1.1\times 10^{-3}}{(57.5\times 10^{-6})(0.3)^2}$$
$$= 425.12$$

นำค่าขนาดของทรานซิสเตอร์ M3 และ M4 ที่คำนวณได้จากกรณีกระแสสูงสุดมาพิจารณาค่า $Vds(sat)$ ขณะที่กระแสไบอัส เพื่อนำไปหาค่าขนาดของทรานซิสเตอร์ M3 และ M4 ในการไบอัส ณกระแสที่กำหนดจะพิจารณาถึงความเป็นเชิงเส้นของสัญญาณทางเอาท์พุท (500μA)

$$Vds(sat)_1 = \left[\frac{2\times I_1}{K'_n \left(W/L\right)_1}\right]^{\frac{1}{2}} \quad (4.31)$$
$$= \frac{2\times 500\times 10^{-6}}{(154.1\times 10^{-6})(158.62)}$$
$$= 0.2022\text{ V}$$

จากวงจรได้ $Vgs_1 = Vgs_3$ และ $Vds(sat)_1 = Vds(sat)_3$ สามารถคำนวณขนาดของทรานซิสเตอร์ M3 ได้

$$\left(\frac{W}{L}\right)_3 = \frac{2\times I_3}{K'_n (Vds(sat)_3)^2} \quad (4.32)$$
$$= \frac{2\times 150\times 10^{-6}}{(154.1\times 10^{-6})(0.2022)^2}$$
$$= 47.58$$

และ

$$Vds(sat)_2 = \left[\frac{2\times I_2}{K'_p \left(W/L\right)_2}\right]^{\frac{1}{2}} \quad (4.33)$$
$$= \left[\frac{2\times 500\times 10^{-6}}{(57.5\times 10^{-6})(425.12)}\right]^{\frac{1}{2}}$$
$$= 0.2022$$

จากวงจรได้ $Vgs_2 = Vgs_4$ และ $Vds(sat)_2 = Vds(sat)_4$ สามารถหาขนาดทรานซิสเตอร์ M4 ได้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$\left(\frac{W}{L}\right)_4 = \frac{2\times I_4}{K'_p (Vds(sat)_4)^2} \quad (4.34)$$

$$= \frac{2\times 100\times 10^{-6}}{(57.5\times 10^{-6})(0.2022)^2}$$

$$= 127.53$$

การพิจารณาขนาดของ M9 , M10 , M11 , M12 จะพิจารณาในกรณีเดียวกับการพิจารณาขนาดของ M5 , M6 , M7 , M8 แต่พิจารณาในการสวิงของสัญญาณเอาท์พุทขาลง โดยให้ $Vds(sat)_{9,10} = 0.2\,\text{V}$ และ $Vds(sat)_{11,12} = 0.3\,\text{V}$ ที่กระแสไบอัส $150\mu\text{A}$

ดังนั้น

$$\left(\frac{W}{L}\right)_{9,10} = \frac{2\times I_9}{K'_n (Vds(sat)_{9,10})^2} \quad (4.35)$$

$$= \frac{2\times 150\times 10^{-6}}{(154.1\times 10^{-6})(0.2)^2}$$

$$= 194.67$$

และ

$$\left(\frac{W}{L}\right)_{11,12} = \frac{2\times I_{11}}{K'_n (Vds(sat)_{11,12})^2} \quad (4.36)$$

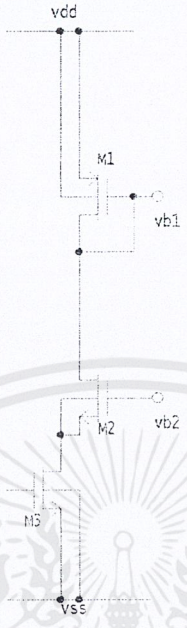
$$= \frac{2\times 150\times 10^{-6}}{(154.1\times 10^{-6})(0.3)^2}$$

$$= 21.63$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4.1.4 การออกแบบวงจรแรงดันอ้างอิง (Voltage Reference)

1. วงจรแรงดันอ้างอิง VB1 = 1.3 V



รูปที่ 4.5 แสดงวงจรแรงดันอ้างอิง 1.3 V

จากรูป ต้องการ VB1 = 1.3 V สามารถพิจารณาขนาดของ M1 ได้จาก

$$Vdd - Vgs_1 = 1.3\,\text{V} \tag{4.37}$$

$$Vgs_1 = 2.5 - 1.3$$

$$= 1.2\,\text{V}$$

ดังนั้น

$$\left(\frac{W}{L}\right)_1 = \frac{2 \times Ibias}{K'_p (Vds(sat)_1)^2} \tag{4.38}$$

$$= \frac{2 \times 150 \times 10^{-6}}{(57.5 \times 10^{-6})(1.2 - 0.7)^2}$$

$$= 32.60$$

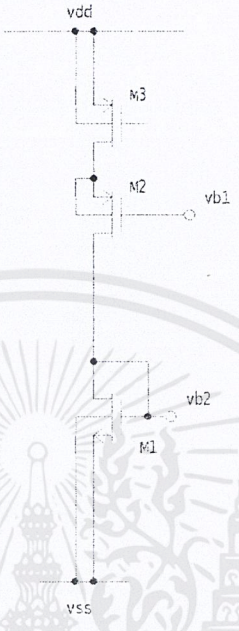
ในส่วนของ M2 และ M3 นั้น เป็นส่วนของการสร้างกระแสไบอัส 150μA ซึ่งมีขนาดเท่ากับ M10 และ M12 ของภาคเอาท์พุท

โดย $$\left(\frac{W}{L}\right)_2 = \left(\frac{W}{L}\right)_{10} = 194.67 \tag{4.39}$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

และ $$\left(\frac{W}{L}\right)_3 = \left(\frac{W}{L}\right)_{12} = 21.63 \quad (4.40)$$

2. วงจรแรงดันอ้างอิง VB2 = -1.3V



รูปที่ 4.6 แสดงวงจรแรงดันอ้างอิง –1.3V

พิจารณาในทำนองเดียวกับ VB1 คือ

$$Vss + Vgs_1 = -1.3 \text{ V} \quad (4.41)$$
$$Vgs_1 = 2.5 - 1.3 \text{ V}$$
$$= 1.2 \text{ V}$$

ดังนั้น

$$\left(\frac{W}{L}\right)_1 = \frac{2 \times Ibias}{K'_n (Vds(sat)_1)^2} \quad (4.42)$$
$$= \frac{2 \times 150 \times 10^{-6}}{(154.1 \times 10^{-6})(1.2 - 0.7)^2}$$
$$= 12.16$$

ในส่วนของ M2 และ M3 นั้น จะเป็นส่วนของการสร้างกระแสไบอัส 150μA ซึ่งมีขนาดเท่ากับ M6 และ M8 ของภาคเอาท์พุท

โดย $$\left(\frac{W}{L}\right)_2 = \left(\frac{W}{L}\right)_8 = 521.73 \quad (4.43)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

และ $$\left(\frac{W}{L}\right)_2 = \left(\frac{W}{L}\right)_8 = 57.94 \quad (4.44)$$

จะเห็นว่าขนาดของทรานซิสเตอร์ทุกตัวที่ได้จากการคำนวณจำเป็นต้องมีการปรับแต่ง เพื่อให้ง่ายในการสร้างและมีเสถียรภาพดียิ่งขึ้น

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 5
การทดสอบคุณสมบัติของวงจรขยายสัญญาณแบบโอเปอเรชั่น

การทดสอบคุณสมบัติของวงจรจะแบ่งออกเป็น 2 กรณี คือ

1. การทดสอบคุณสมบัติของวงจรรวมที่ได้จากการคำนวณโดยโปรแกรม Hspice
2. การทดสอบคุณสมบัติของวงจรรวมที่ได้จากการ Layout โดยโปรแกรม Hspice

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

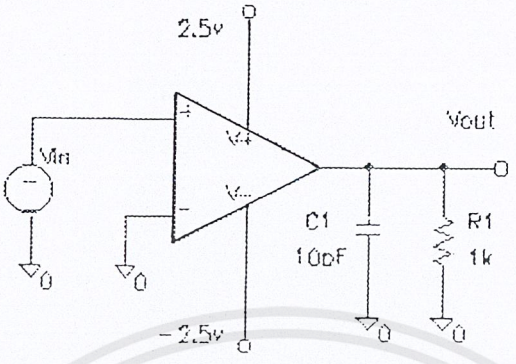
5.1 การทดสอบคุณสมบัติของวงจรรวมที่ได้จากการคำนวณโดยโปรแกรม Hspice

การทดสอบคุณสมบัติต่าง ๆ ของวงจรได้ผลการทดสอบต่าง ๆ ดังต่อไปนี้

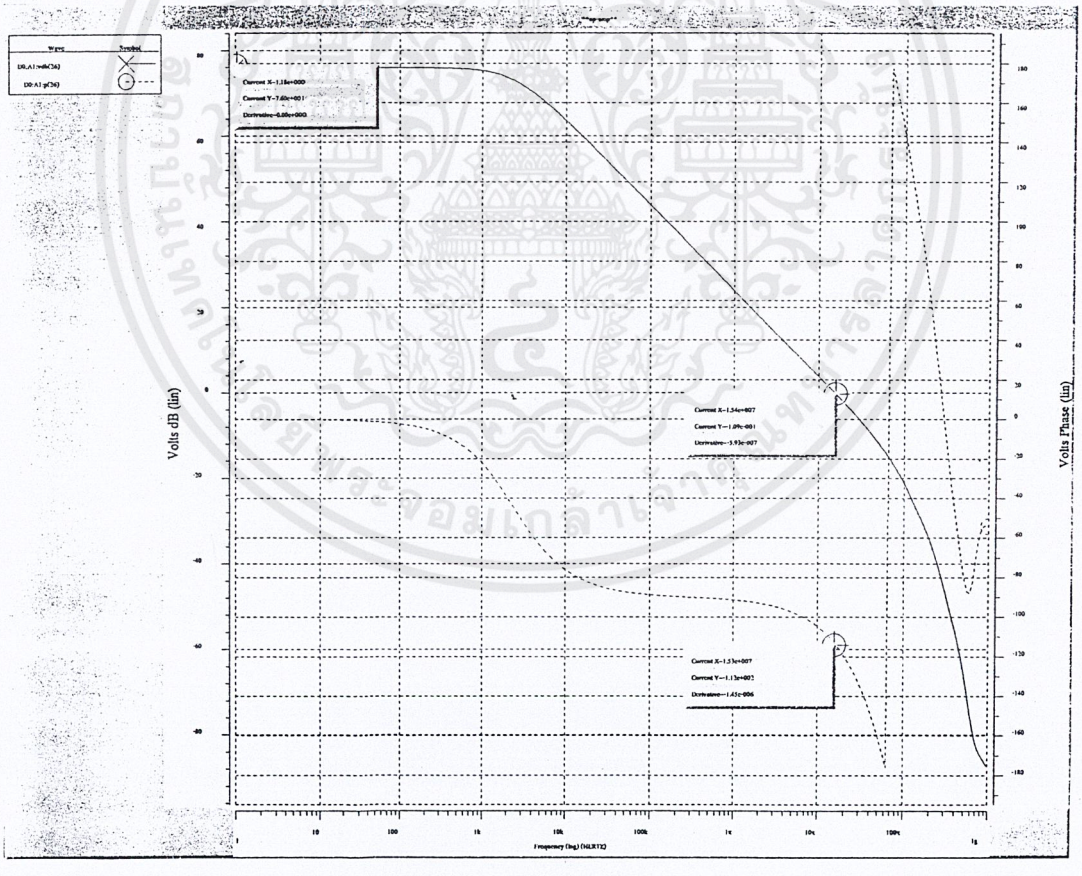
1. อัตราขยายขณะเปิดลูป = 76.0 dB
2. Unity Gain Frequency = 15.4 MHz
3. Phase Margin = 68 องศา
4. อัตราสลูขาขึ้น = 28.714 V/us , อัตราสลูขาลง = 28.571 V/us
5. ค่า setting time <1.2usec
6. ค่า noise 200 nV/sqrt (Hz) @ 100 Hz และ 30 nV/sqrt (Hz) @ 10kHz
7. ค่า output swing = +1.5V / - 1.5V

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

5.1.1 การทดสอบอัตราขยายขณะเปิดลูป,Unity Gain Frequency และ Phase Magin



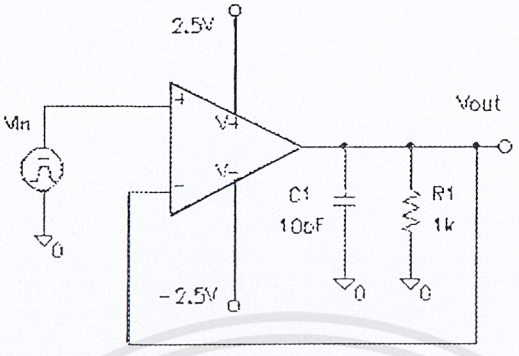
รูปที่ 5.1 แสดงการต่อวงจรเพื่อทดสอบอัตราขยายขณะเปิดลูป,Unity Gain Frequency และ Phase Magin



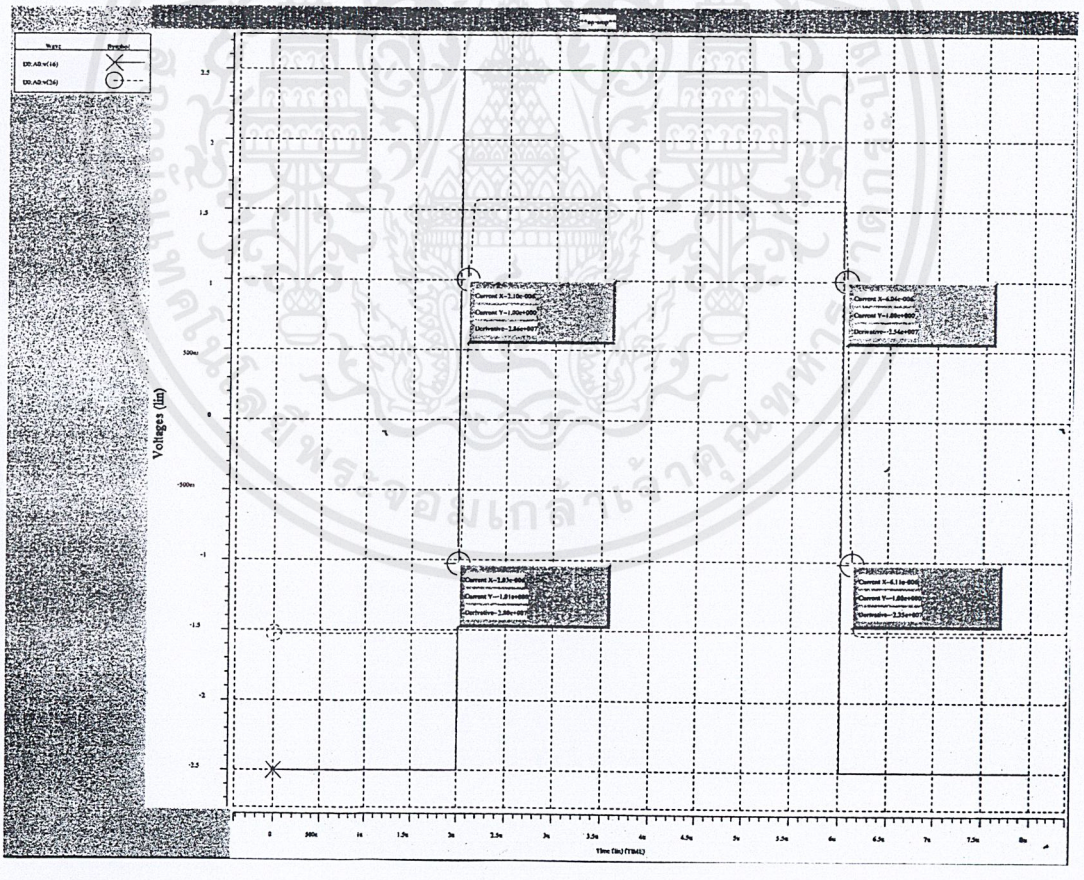
รูปที่ 5.2 แสดงผลการทดสอบอัตราขยายขณะเปิดลูป,Unity Gain Frequency และ Phase Magin

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

5.1.2 การทดสอบอัตราสลู



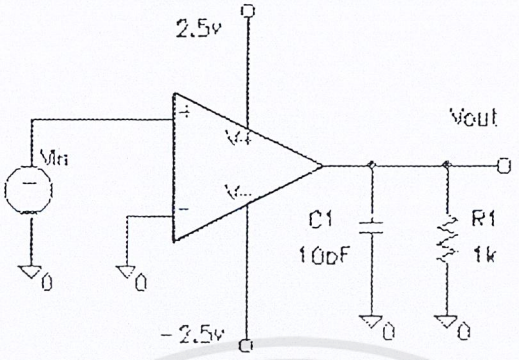
รูปที่ 5.3 แสดงการต่อวงจรเพื่อทดสอบอัตราสลู



รูปที่ 5.4 แสดงผลของการทดสอบอัตราสลู

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

5.1.3 การทดสอบ Noise



รูปที่ 5.5 แสดงการต่อวงจรเพื่อทดสอบ Noise

ผลการทดสอบ Noise ที่ 100 Hz และ 10 KHz

****** Star-HSPICE -- 98.2 (980711) 13:33:50 03/13/2001 pcwin ******

op-amp

****** noise analysis tnom= 25.000 temp= 25.000 ******

frequency = 100.0000 hz

**** total output noise voltage = 20.9403n sq v/hz

= 144.7077u v/rt hz

transfer function value:

v(15)/vin = 2.7551k

equivalent input noise at vin = 52.5236n /rt hz

**** the results of the sqrt of integral (v**2 / freq)

from fstart upto 100.0000 hz. using more freq points

results in more accurate total noise values.

**** total output noise voltage = 205.7425m volts

**** total equivalent input noise = 74.6599u

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

****** Star-HSPICE -- 98.2 (980711) 13:33:50 03/13/2001 pcwin ******

op-amp

****** noise analysis tnom= 25.000 temp= 25.000 ******

frequency = 10.0000k hz

**** total output noise voltage = 406.0221p sq v/hz

= 20.1499u v/rt hz

transfer function value:

v(15)/vin = 1.0949k

equivalent input noise at vin = 18.4035n /rt hz

**** the results of the sqrt of integral (v**2 / freq)

from fstart upto 10.0000khz. using more freq points

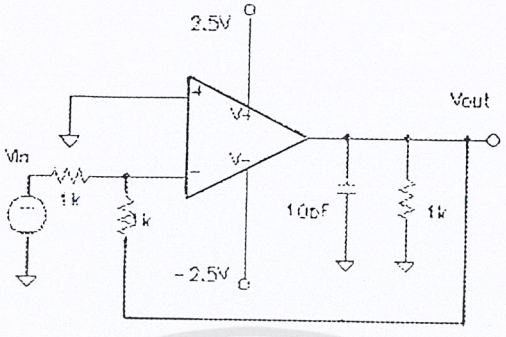
results in more accurate total noise values.

**** total output noise voltage = 276.0560m volts

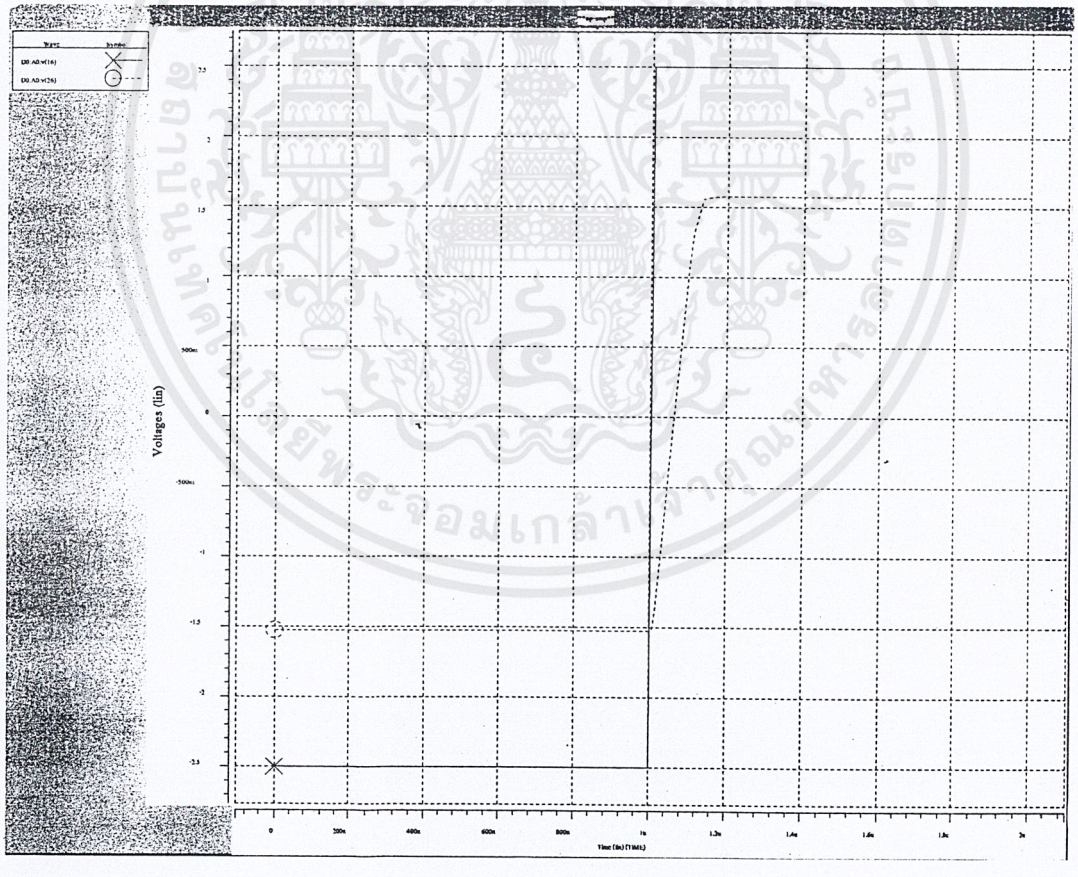
**** total equivalent input noise = 105.6066u

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

5.1.4 การทดสอบ Settling Time



รูปที่ 5.6 แสดงการต่อวงจรเพื่อทดสอบ Settling Time



รูปที่ 5.7 แสดงผลการทดสอบ Settling Time

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

5.1.5 การทดสอบวงจรโดยใช้โปรแกรม Hspice Level 49 ที่ได้จาก output file ขณะวงจรอยู่ในสภาวะปกติ

```
******  Star-HSPICE --  98.2 (980711) 22:18:25 03/10/2001 pcwin     ******
**********          op-amp          **********
 ******  operating point information     tnom=  25.000 temp=  25.000    ******
***** operating point status is all      simulation time is     0.
   node    =     voltage     node    =     voltage     node    =     voltage
+0:1       =   209.4248 m   0:2       =     2.5000     0:3       =     2.4433
+0:4       =   231.7818 m   0:5       =    -2.0812     0:6       =    -1.6052
+0:7       =    -2.5000     0:8       =    -2.1463     0:9       =    -2.1180
+0:10      =     1.5471     0:11      =     2.0570     0:12      =     1.5471
+0:13      =     2.0625     0:14      =    -1.5933     0:15      =   603.5527m
+0:16      =         0.     0:17      =    -2.1218     0:18      =    -2.1109
+0:19      =  -127.3530m    0:20      =     1.4331     0:21      =     1.5581
+0:22      =     2.0616     0:23      =     2.0620     0:24      =    -2.1103
+0:25      =    -2.1026     0:26      =  -904.7427m    0:27      =     2.0540
+0:30      =    -2.1033     0:vb1     =     1.4163     0:vb2     =    -1.4841
+0:x       =   667.3907m

****  voltage sources
subckt
element     0:vdd        0:vss        0:vin
 volts       2.5000      -2.5000       0.
 current    -2.1659m     1.5624m      0.
 power       5.4148m     3.9059m      0.

   total voltage source power dissipation=    9.3207m       watts

**** resistors
subckt
element   0:rb       0:rl
 r value   1.0000k    1.0000k
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

v drop 56.6615m -603.5527m

current 56.6615u -603.5527u

power 3.2105u 364.2758u

**** mosfets

subckt

element 0:m34 0:m35 0:m36 0:m37 0:m38 0:m39

model 0:p 0:p 0:n 0:p 0:n 0:n

id -174.9601u -174.9601u 174.9601u -174.7770u 174.7770u 174.7770u

ibs 0. 0. 0. 0. 0. 0.

ibd 0. 0. 0. 0. 0. 0.

vgs -941.9174m -637.6941m 1.0159 -1.0837 619.2389m 894.7860m

vds -446.0488m -3.5380 1.0159 -1.0837 3.5196 396.6748m

vbs 0. 0. 0. 0. 0. 0.

vth -542.3167m -536.7701m 570.1989m -543.5943m 558.9147m 567.0384m

vdsat -339.9350m -120.4370m 341.8041m -446.7871m 94.8603m 265.9081m

beta 2.5998m 24.6594m 2.1574m 1.4322m 36.6193m 3.9076m

gam eff 650.7205m 650.7205m 609.8245m 650.7205m 609.8245m 609.8245m

gm 780.3542u 2.2746m 679.9655u 583.0942u 2.4609m 910.5314u

gds 18.7426u 4.8149u 6.6769u 6.2149u 12.9312u 33.4496u

gmb 260.7250u 774.1872u 207.4439u 192.5372u 778.5157u 281.8326u

cdtot 8.2068f 73.6782f 1.7382f 4.6365f 27.5834f 3.0826f

cgtot 172.1871f 1.5010p 36.8885f 97.4321f 527.2925f 65.1239f

cstot 112.4258f 967.3242f 23.4689f 63.5044f 322.7894f 41.6238f

cbtot 56.3295f 519.1858f 11.4483f 31.4106f 182.0627f 20.3373f

cgs 152.1863f 1.2896p 32.4485f 86.5256f 436.8064f 57.2225f

cgd 8.1539f 73.2255f 1.7322f 4.6066f 27.5035f 3.0720f

subckt

element 0:m1 0:m2 0:m3 0:m4 0:m5 0:m6

model 0:p 0:p 0:p 0:p 0:n 0:n

id -56.2914u -56.6615u -56.2914u -56.6615u 56.2914u 56.6615u

ibs 0. 0. 0. 0. 0. 0.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ibd	0.	0.	0.	0.	0.	0.
vgs	-2.2906	-2.2339	-2.2906	-2.3129	894.7860m	894.7860m
vds	-2.2906	-2.2116	-2.2906	-1.8370	353.6708m	382.0232m
vbs	0.	0.	0.	0.	0.	0.
vth	-568.5296m	-568.1308m	-568.5296m	-568.9802m	573.9047m	573.8905m
vdsat	-1.3451	-1.3024	-1.3451	-1.3623	260.0823m	260.0916m
beta	49.2907u	52.9304u	49.2907u	49.1288u	1.3250m	1.3250m
gam eff	650.7205m	650.7205m	650.7205m	650.7205m	609.8245m	609.8245m
gm	54.3247u	56.7655u	54.3247u	53.5126u	297.2627u	301.0725u
gds	1.6189u	1.6599u	1.6189u	2.1191u	14.6969u	11.6266u
gmb	15.9470u	16.7635u	15.9470u	15.6443u	92.1410u	93.2292u
cdtot	1.940e-16	2.066e-16	1.940e-16	1.940e-16	1.0465f	1.0465f
cgtot	4.4099f	4.6740f	4.4099f	4.4099f	22.3560f	22.3560f
cstot	2.6556f	2.8283f	2.6556f	2.6560f	14.1318f	14.1317f
cbtot	1.4247f	1.5065f	1.4247f	1.4209f	7.1205f	7.1205f
cgs	3.8415f	4.0795f	3.8415f	3.8460f	19.4601f	19.4599f
cgd	1.927e-16	2.052e-16	1.927e-16	1.927e-16	1.0429f	1.0429f
subckt						
element	0:m28	0:m29	0:m7	0:m8	0:m9	0:m10
model	0:n	0:n	0:p	0:p	0:p	0:p
id	56.2914u	56.6615u	-90.9497u	-93.3642u	-93.3642u	-90.8904u
ibs	0.	0.	0.	0.	0.	0.
ibd	0.	0.	0.	0.	0.	0.
vgs	662.2429m	633.8905m	-952.9415m	-952.9415m	-952.9415m	-952.9415m
vds	65.1788m	512.7629m	-442.9567m	-952.9415m	-952.9415m	-437.5432m
vbs	0.	0.	0.	0.	0.	0.
vth	562.6876m	562.4623m	-544.7527m	-544.2460m	-544.2460m	-544.7581m
vdsat	116.9664m	100.7809m	-346.2938m	-346.6784m	-346.6784m	-346.2898m
beta	12.1484m	12.1989m	1.3002m	1.3004m	1.3004m	1.3002m
gam eff	609.8245m	609.8245m	650.7205m	650.7205m	650.7205m	650.7205m
gm	559.5567u	801.8253u	396.5284u	411.9012u	411.9012u	395.8434u
gds	530.9773u	5.4440u	10.6360u	3.4645u	3.4645u	11.2625u

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

gmb	180.3979u	253.6486u	132.4280u	137.4704u	137.4704u	132.2254u
cdtot	9.2116f	9.2133f	4.1144f	4.1144f	4.1144f	4.1144f
cgtot	187.7230f	180.7178f	86.4993f	86.4993f	86.4993f	86.4993f
cstot	118.6505f	112.0144f	56.3640f	56.3552f	56.3552f	56.3641f
cbtot	61.4010f	61.1953f	28.3718f	28.3728f	28.3728f	28.3718f
cgs	161.2877f	151.8754f	76.3411f	76.3254f	76.3254f	76.3413f
cgd	9.1817f	9.1854f	4.0879f	4.0879f	4.0879f	4.0879f
subckt						
element	0:m11	0:m12	0:m13	0:m14	0:m15	0:m16
model	0:p	0:p	0:n	0:n	0:n	0:n
id	-90.9497u	-90.8904u	93.3642u	93.3642u	186.7284u	90.9497u
ibs	0.	0.	0.	0.	0.	0.
ibd	0.	0.	0.	0.	0.	0.
vgs	-640.7862m	-646.1997m	904.7427m	904.7427m	894.7860m	637.6808m
vds	-3.6504	-1.3951	2.4518	2.4518	1.5953	528.4396m
vbs	0.	0.	0.	0.	0.	0.
vth	-536.9861m	-539.2270m	570.5826m	570.5826m	566.4350m	561.4810m
vdsat	-122.2924m	-124.3622m	269.3125m	269.3125m	266.3016m	103.4741m
beta	12.3266m	12.3099m	1.8583m	1.8583m	3.9080m	18.2696m
gam eff	650.7205m	650.7205m	609.8245m	609.8245m	609.8245m	609.8245m
gm	1.1674m	1.1521m	477.5473u	477.5473u	979.3468u	1.2620m
gds	2.4649u	3.3712u	2.5216u	2.5216u	5.7990u	8.4975u
gmb	397.1494u	393.1687u	146.9952u	146.9952u	301.8649u	398.9739u
cdtot	36.8493f	36.8484f	1.4694f	1.4694f	3.0826f	13.8020f
cgtot	752.5896f	754.2620f	31.2407f	31.2407f	65.1239f	272.8699f
cstot	485.4357f	487.4223f	19.8311f	19.8311f	41.6102f	170.0093f
cbtot	259.8678f	259.7749f	9.8541f	9.8541f	20.3368f	91.6032f
cgs	647.2880f	650.2970f	27.2984f	27.2984f	57.2004f	230.5936f
cgd	36.6219f	36.6201f	1.4643f	1.4643f	3.0720f	13.7595f

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

subckt

element	0:m17	0:m18	0:m19	0:m20	0:m21	0:m22
model	0:n	0:n	0:n	0:p	0:p	0:n
id	90.9497u	91.1652u	91.1652u	-174.5372u	-381.4960u	174.8120u
ibs	0.	0.	0.	0.	0.	0.
ibd	0.	0.	0.	0.	0.	0.
vgs	906.6725m	626.8120m	906.6725m	-794.7437m	-730.9056m	765.7037m
vds	378.2328m	2.7783	389.1016m	-794.7437m	-3.1036	765.7037m
vbs	0.	0.	0.	0.	0.	0.
vth	571.2541m	560.3483m	571.2487m	-540.4905m	-537.2767m	563.3177m
vdsat	270.2225m	98.1067m	270.2260m	-230.1357m	-185.1569m	182.9122m
beta	1.9648m	18.3016m	1.9648m	5.8667m	19.7720m	8.7517m
gam eff	609.8245m	609.8245m	609.8245m	650.7205m	650.7205m	609.8245m
gm	461.2007u	1.2680m	463.3189u	1.2085m	3.3254m	1.4224m
gds	20.7010u	5.6776u	19.0068u	7.0413u	8.9831u	10.2462u
gmb	142.7461u	400.9652u	143.3489u	408.0143u	1.1250m	443.7777u
cdtot	1.5542f	13.8032f	1.5542f	18.0287f	60.0265f	6.7486f
cgtot	33.0238f	267.8546f	33.0238f	377.7398f	1.2551p	141.8917f
cstot	20.9885f	165.1569f	20.9884f	246.8528f	819.5787f	90.9054f
cbtot	10.4025f	91.4248f	10.4025f	125.6020f	420.6076f	44.7850f
cgs	28.8941f	223.7246f	28.8940f	331.8613f	1.0982p	124.2324f
cgd	1.5489f	13.7621f	1.5489f	17.9125f	59.6410f	6.7255f

subckt

element	0:m23	0:m24	0:m25	0:m26	0:m27	0:m30
model	0:n	0:p	0:p	0:n	0:n	0:p
id	985.0486u	-174.8120u	-174.8024u	174.5372u	174.8024u	-174.8024u
ibs	0.	0.	0.	0.	0.	0.
ibd	0.	0.	0.	0.	0.	0.
vgs	829.5417m	-941.9174m	-941.9174m	894.7860m	894.7860m	-645.7816m
vds	1.8964	-438.4375m	-437.9613m	389.6839m	397.4348m	-503.9562m
vbs	0.	0.	0.	0.	0.	0.
vth	559.9807m	-542.3242m	-542.3247m	567.0419m	567.0380m	-539.7847m

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

vdsat	228.0035m	-339.9293m	-339.9289m	265.9058m	265.9084m	-123.7310m
beta	28.8457m	2.5997m	2.5997m	3.9076m	3.9076m	24.6111m
gam eff	609.8245m	650.7205m	650.7205m	609.8245m	609.8245m	650.7205m
gm	6.1939m	778.6921u	778.5816u	908.2316u	910.7720u	2.2242m
gds	32.7691u	20.2072u	20.3062u	35.1787u	33.2713u	8.9593u
gmb	1.9191m	260.2285u	260.1955u	281.1741u	281.9016u	759.2945u
cdtot	22.4746f	8.2068f	8.2068f	3.0826f	3.0826f	73.6754f
cgtot	472.2784f	172.1871f	172.1871f	65.1239f	65.1239f	1.5067p
cstot	303.2381f	112.4261f	112.4261f	41.6238f	41.6238f	973.8109f
cbtot	147.2989f	56.3295f	56.3295f	20.3373f	20.3373f	518.9686f
cgs	415.3610f	152.1867f	152.1868f	57.2226f	57.2225f	1.2993p
cgd	22.3978f	8.1539f	8.1539f	3.0720f	3.0720f	73.2193f
subckt						
element	0:m31	0:m32	0:m33			
model	0:p	0:n	0:n			
id	-174.8120u	174.8024u	174.5372u			
ibs	0.	0.	0.			
ibd	0.	0.	0.			
vgs	-645.3054m	618.4788m	626.2297m			
vds	-628.4682m	3.6606	1.9830			
vbs	0.	0.	0.			
vth	-539.6610m	558.8437m	559.6883m			
vdsat	-123.5008m	94.4961m	98.1917m			
beta	24.6137m	36.6236m	36.5786m			
gam eff	650.7205m	609.8245m	609.8245m			
gm	2.2282m	2.4621m	2.4585m			
gds	8.2864u	14.0104u	11.3214u			
gmb	760.7177u	778.9417u	777.6119u			
cdtot	73.6756f	27.5837f	27.5816f			
cgtot	1.5063p	526.3830f	534.9171f			
cstot	973.4093f	321.9145f	330.1548f			
cbtot	518.9767f	182.0255f	182.3614f			

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

cgs 1.2987p 435.5747f 447.1968f

cgd 73.2197f 27.5039f 27.4995f

Opening plot unit= 79

file=d:\avanti\98\patty\mcdiff~1.ac0

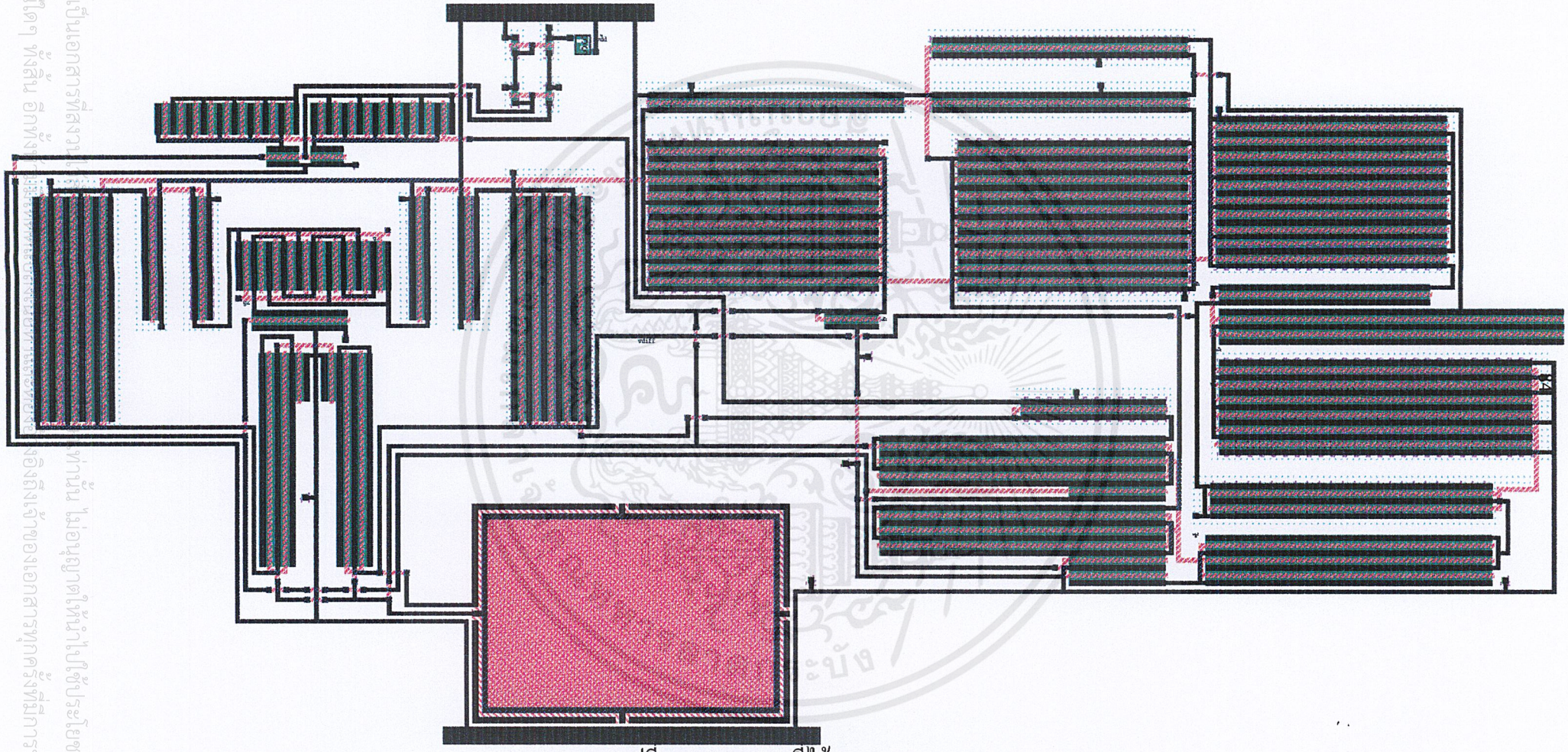
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

5.2 การทดสอบคุณสมบัติของวงจรรวมที่ได้จากการ Layout โดยโปรแกรม Hspice

การทดสอบคุณสมบัติต่าง ๆ ของวงจรได้ผลการทดสอบต่าง ๆ ดังต่อไปนี้

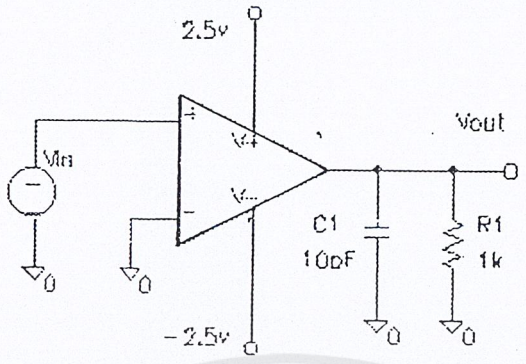
1. อัตราขยายขณะเปิดลูป = 71.7 dB
2. Unity Gain Frequency = 21.4 MHz
3. Phase Margin = 65 องศา
4. อัตราสลูขาขึ้น = 18.3636 V/us , อัตราสลูขาลง = 16.75 V/us
5. ค่า setting time <1.2usec
6. ค่า noise 200 nV/sqrt (Hz) @ 100 Hz และ 30 nV/sqrt (Hz) @ 10kHz
7. ค่า output swing = +1.5V / - 1.5V

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

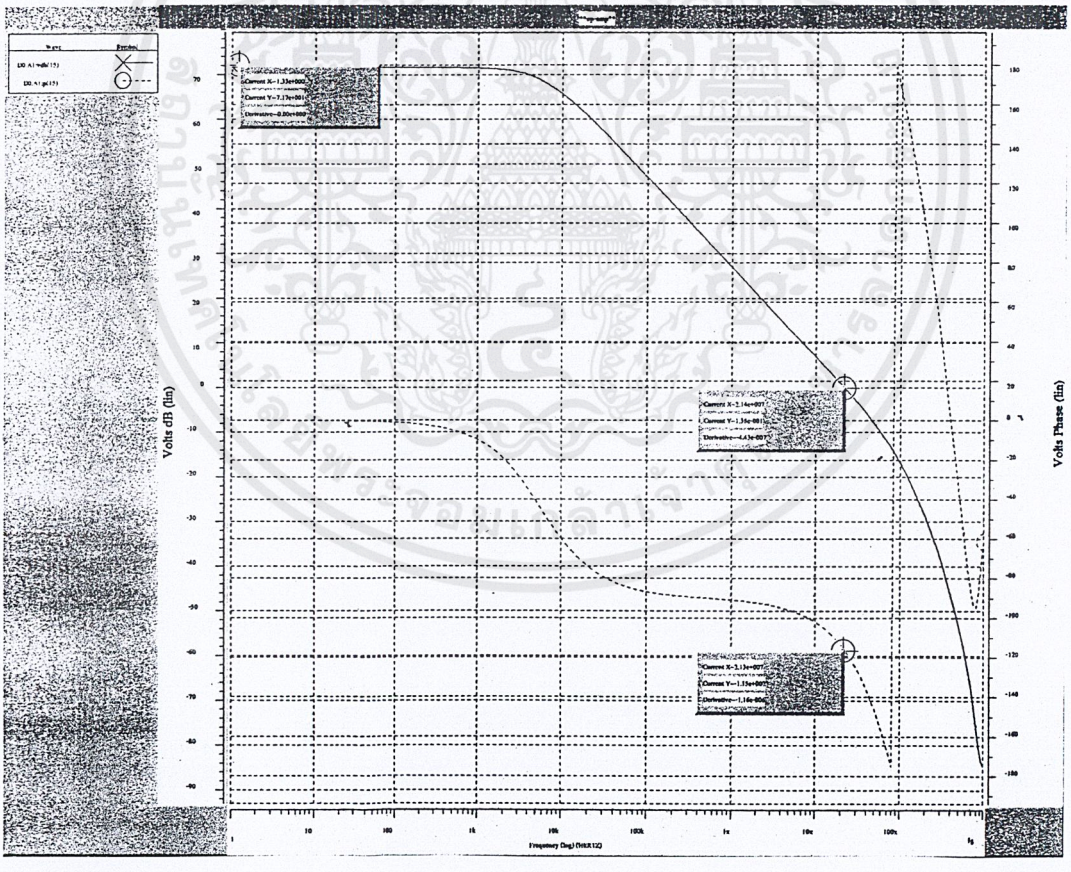


รูปที่ 5.8 แสดงวงจรที่ได้จากการ Layout

5.2.1 การทดสอบอัตราขยายขณะเปิดลูป,Unity Gain Frequency และ Phase Magin



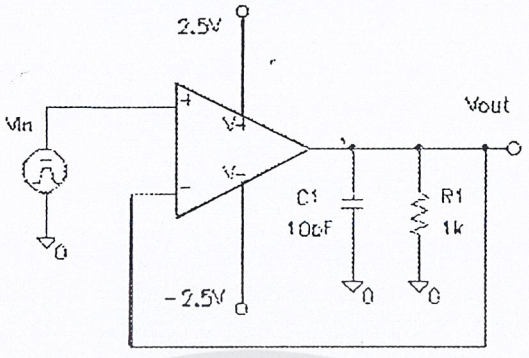
รูปที่ 5.9 แสดงการต่อวงจรเพื่อทดสอบอัตราขยายขณะเปิดลูป,Unity Gain Frequency และ Phase Magin



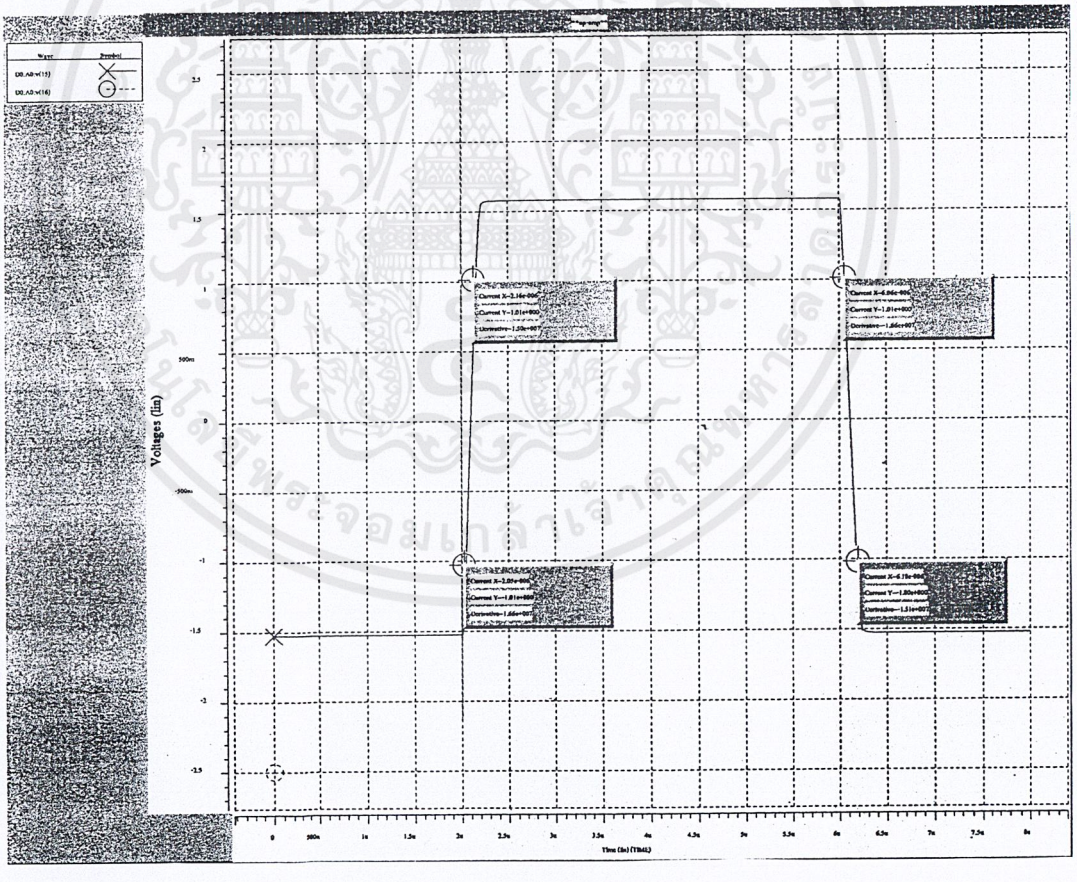
รูปที่ 5.10 แสดงผลการทดสอบอัตราขยายขณะเปิดลูป,Unity Gain Frequency และ Phase Magin

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

5.2.2 การทดสอบอัตราสลู



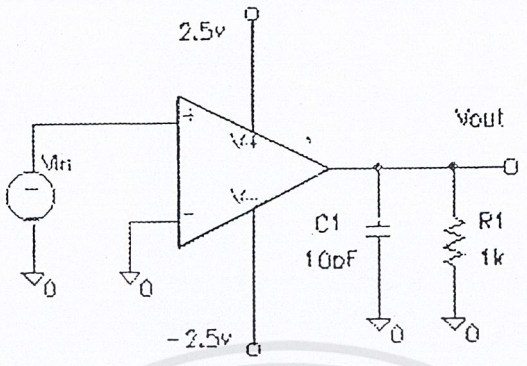
รูปที่ 5.11 แสดงการต่อวงจรเพื่อทดสอบอัตราสลู



รูปที่ 5.12 แสดงผลของการทดสอบอัตราสลู

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

5.2.3 การทดสอบ Noise



รูปที่ 5.13 แสดงการต่อวงจรเพื่อทดสอบ Noise

ผลการทดสอบ Noise ที่ 100 Hz และ 10 KHz

****** Star-HSPICE -- 98.2 (980711) 14:11:27 03/13/2001 pcwin ******

op-amp

****** noise analysis tnom= 25.000 temp= 25.000 ******

frequency = 100.0000 hz

**** total output noise voltage = 1.4495n sq v/hz

= 38.0733u v/rt hz

transfer function value:

v(15)/vin = 1.1363k

equivalent input noise at vin = 33.5064n /rt hz

**** the results of the sqrt of integral (v**2 / freq)

from fstart upto 100.0000 hz. using more freq points

results in more accurate total noise values.

**** total output noise voltage = 85.5484m volts

**** total equivalent input noise = 75.2828u

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

****** Star-HSPICE -- 98.2 (980711) 14:11:27 03/13/2001 pcwin ******

op-amp

****** noise analysis tnom= 25.000 temp= 25.000 ******

frequency = 10.0000k hz

**** total output noise voltage = 139.1715p sq v/hz

= 11.7970u v/rt hz

transfer function value:

v(15)/vin = 825.3470

equivalent input noise at vin = 14.2935n /rt hz

**** the results of the sqrt of integral (v**2 / freq)

from fstart upto 10.0000khz. using more freq points

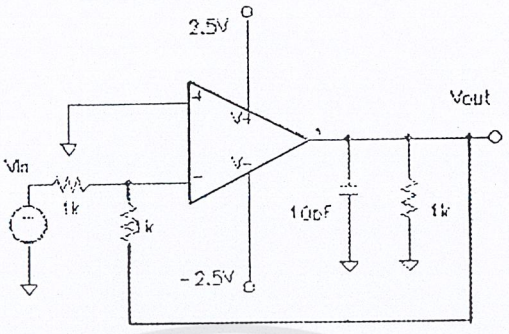
results in more accurate total noise values.

**** total output noise voltage = 118.8880m volts

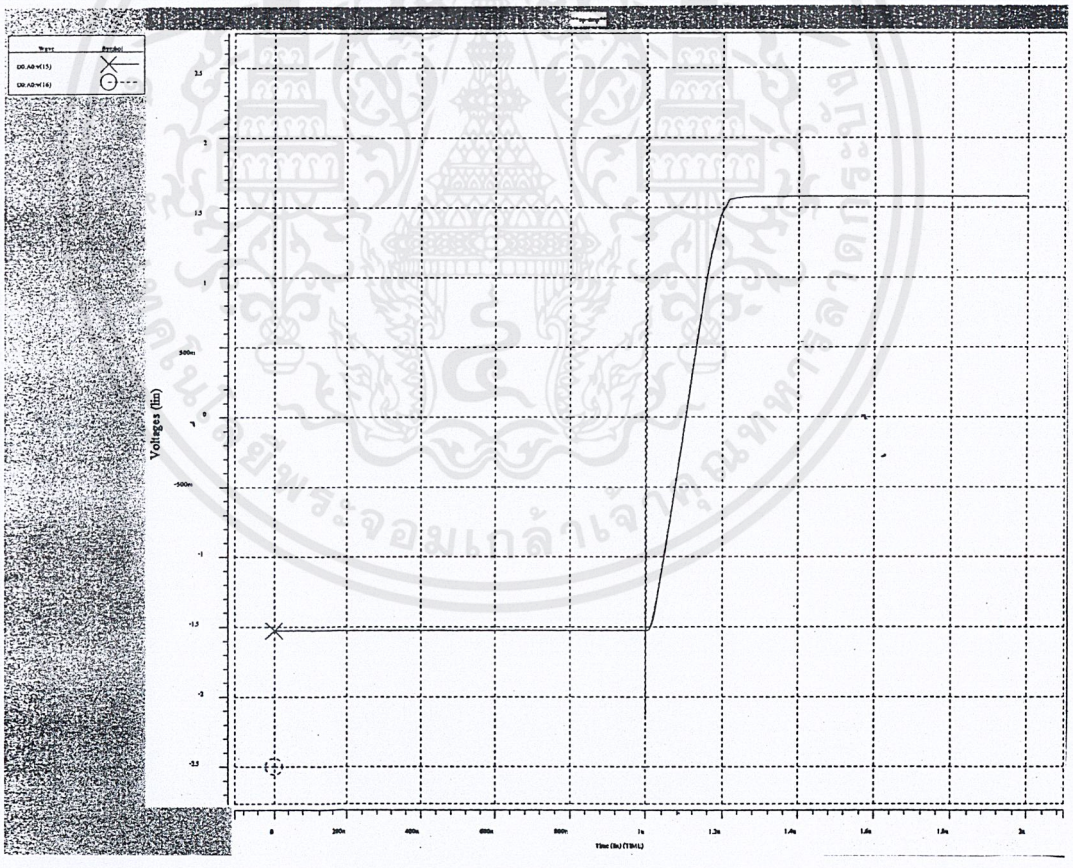
**** total equivalent input noise = 106.4871u

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

5.2.4 การทดสอบ Settling Time



รูปที่ 5.14 แสดงการต่อวงจรเพื่อทดสอบ Settling Time



รูปที่ 5.15 แสดงผลการทดสอบ Settling Time

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

5.2.5 การทดสอบวงจรโดยการนำ list ที่ได้จากการ Extract file จากการ layout โดยใช้โปรแกรม L-Edit มาทดสอบการทำงานของวงจรโดยโปรแกรม Hspice level 49 ที่ได้จาก output file ขณะสภาวะปกติ

****** Star-HSPICE -- 98.2 (980711) 16:49:20 03/10/2001 pcwin ******

********* op-amp *********

****** operating point information tnom= 25.000 temp= 25.000 ******

***** operating point status is all simulation time is 0.

node	=voltage	node	=voltage	node	=voltage
+0:1	= 2.3668	0:2	= 2.3529	0:3	= 2.3592
+0:4	= 2.4991	0:5	= 1.7643	0:6	= 1.7544
+0:7	= 1.9616	0:8	= 1.0286	0:9	= -2.3981
+0:10	= -2.3871	0:11	= 0.	0:12	= 0.
+0:13	= -1.3319	0:14	= -2.3841	0:15	= 1.1622
+0:16	= 666.4142m	0:17	= 2.3529	0:18	= 2.3715
+0:19	= -2.3788	0:20	= -2.3789	0:21	= 1.1640
+0:22	= -1.9616	0:23	= -1.9484	0:24	= -2.4000
+0:25	= -2.3885	0:26	=-845.3916m	0:27	= -2.5000
+0:28	= 1.9512	0:29	= 2.3657	0:30	= 1.3308
+0:31	= 2.5000	0:32	= 1.9512		

**** voltage sources

subckt

element	0:vdd	0:vss	0:vin+	0:vin-
volts	2.5000	-2.5000	0.	0.
current	-34.3712u	34.3712u	0.	0.
power	85.9279u	85.9279u	0.	0.

total voltage source power dissipation= 171.8558u watts

**** resistors

subckt

element	0:r24
r value	1.0000k

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

v drop 932.1298u

current 932.1298n

power 868.8660p

**** mosfets

subckt

element	0:m1	0:m2	0:m3	0:m4	0:m5	0:m6
model	0:en	0:ep	0:ep	0:ep	0:ep	0:ep
id	164.2362u	16.2606u	-16.2606u	16.2606u	-16.2606u	16.2606u
ibs	0.	0.	0.	0.	0.	0.
ibd	0.	0.	0.	0.	0.	0.
vgs	0.	-30.7934m	-435.9344m	-30.7934m	-435.9344m	-30.7934m
vds	-1.1890	405.1410m	-405.1410m	405.1410m	-405.1410m	405.1410m
vbs	-4.8529	405.1410m	0.	405.1410m	0.	405.1410m
vth	1.2462	-542.6420m	-542.6420m	-542.6420m	-542.6420m	-542.6420m
vdsat	56.4867m	-42.8991m	-42.8991m	-42.8991m	-42.8991m	-42.8991m
beta	7.7120m	2.5192m	2.5192m	2.5192m	2.5192m	2.5192m
gam eff	609.4712m	650.7205m	650.7205m	650.7205m	650.7205m	650.7205m
gm	73.1669u	7.6568u	7.6568u	7.6568u	7.6568u	7.6568u
gds	383.5059n	20.3098n	20.3098n	20.3098n	20.3098n	20.3098n
gmb	9.9221u	2.6734u	2.6734u	2.6734u	2.6734u	2.6734u
cdtot	13.9883f	10.9999f	7.4399f	10.9999f	7.4399f	10.9999f
cgtot	44.3282f	65.8428f	65.8428f	65.8428f	65.8428f	65.8428f
cstot	6.7767f	7.4399f	10.9999f	7.4399f	10.9999f	7.4399f
cbtot	20.6998f	47.7970f	47.7970f	47.7970f	47.7970f	47.7970f
cgs	6.7662f	7.4382f	12.1868f	7.4382f	12.1868f	7.4382f
cgd	18.2977f	12.1868f	7.4382f	12.1868f	7.4382f	12.1868f

subckt

element	0:m7	0:m8	0:m9	0:m10	0:m11	0:m12
model	0:ep	0:ep	0:ep	0:ep	0:ep	0:ep
id	-16.2606u	16.2606u	-16.2606u	16.2606u	-16.2606u	16.905u
ibs	0.	0.	0.	0.	0.	0.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ibd	0.	0.	0.	0.	0.	0.
vgs	-435.9344m	-30.7934m	-435.9344m	-30.7934m	-435.9344m	-422.0963m
vds	-405.1410m	405.1410m	-405.1410m	405.1410m	-405.1410m	4.441e-16
vbs	0.	405.1410m	0.	405.1410m	0.	4.441e-16
vth	-542.6420m	-542.6420m	-542.6420m	-542.6420m	-542.6420m	-543.0445m
vdsat	-42.8991m	-42.8991m	-42.8991m	-42.8991m	-42.8991m	-41.7082m
beta	2.5192m	2.5192m	2.5192m	2.5192m	2.5192m	2.5196m
gam eff	650.7205m	650.7205m	650.7205m	650.7205m	650.7205m	650.7205m
gm	7.6568u	7.6568u	7.6568u	7.6568u	7.6568u	8.951e-20
gds	20.3098n	20.3098n	20.3098n	20.3098n	20.3098n	8.7298u
gmb	2.6734u	2.6734u	2.6734u	2.6734u	2.6734u	3.191e-20
cdtot	7.4399f	10.9999f	7.4399f	10.9999f	7.4399f	-38.7509f
cgtot	65.8428f	65.8428f	65.8428f	65.8428f	65.8428f	65.7116f
cstot	10.9999f	7.4399f	10.9999f	7.4399f	10.9999f	105.6779f
cbtot	47.7970f	47.7970f	47.7970f	47.7970f	47.7970f	48.1317f
cgs	12.1868f	7.4382f	12.1868f	7.4382f	12.1868f	94.6245f
cgd	7.4382f	12.1868f	7.4382f	12.1868f	7.4382f	-75.4797f

subckt						
element	0:m13	0:m14	0:m15	0:m16	0:m17	0:m18
model	0:ep	0:ep	0:ep	0:ep	0:ep	0:ep
id	-16.905u	16.905u	-16.905u	16.905u	-16.905u	16.905u
ibs	0.	0.	0.	0.	0.	0.
ibd	0.	0.	0.	0.	0.	0.
vgs	-422.0963m	-422.0963m	-422.0963m	-422.0963m	-422.0963m	-422.0963m
vds	-4.441e-16	4.441e-16	-4.441e-16	4.441e-16	-4.441e-16	4.441e-16
vbs	0.	4.441e-16	0.	4.441e-16	0.	4.441e-16
vth	-543.0445m	-543.0445m	-543.0445m	-543.0445m	-543.0445m	-543.0445m
vdsat	-41.7082m	-41.7082m	-41.7082m	-41.7082m	-41.7082m	-41.7082m
beta	2.5196m	2.5196m	2.5196m	2.5196m	2.5196m	2.5196m
gam eff	650.7205m	650.7205m	650.7205m	650.7205m	650.7205m	650.7205m
gm	8.951e-20	8.951e-20	8.951e-20	8.951e-20	8.951e-20	8.951e-20
gds	8.7298u	8.7298u	8.7298u	8.7298u	8.7298u	8.7298u

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

gmb	3.191e-20	3.191e-20	3.191e-20	3.191e-20	3.191e-20	3.191e-20
cdtot	105.6779f	-38.7509f	105.6779f	-38.7509f	105.6779f	-38.7509f
cgtot	65.7116f	65.7116f	65.7116f	65.7116f	65.7116f	65.7116f
cstot	-38.7509f	105.6779f	-38.7509f	105.6779f	-38.7509f	105.6779f
cbtot	48.1317f	48.1317f	48.1317f	48.1317f	48.1317f	48.1317f
cgs	-75.4797f	94.6245f	-75.4797f	94.6245f	-75.4797f	94.6245f
cgd	94.6245f	-75.4797f	94.6245f	-75.4797f	94.6245f	-75.4797f

subckt

element	0:m19	0:m20	0:m21	0:m22	0:m23	0:m25
model	0:ep	0:ep	0:ep	0:ep	0:ep	0:ep
id	-16.905u	16.905u	-16.905u	-164.2226u	164.2362u	-53.3175u
ibs	0.	0.	0.	0.	0.	0.
ibd	0.	0.	0.	0.	0.	0.
vgs	-422.0963m	-422.0963m	-422.0963m	-538.3630m	-391.3029m	-735.6838m
vds	-4.441e-16	4.441e-16	-4.441e-16	-133.2221m	147.0601m	-735.6838m
vbs	0.	4.441e-16	0.	0.	147.0601m	0.
vth	-543.0445m	-543.0445m	-543.0445m	-542.6253m	-542.6115m	-569.5972m
vdsat	-41.7082m	-41.7082m	-41.7082m	-65.3740m	-65.3790m	-162.3381m
beta	2.5196m	2.5196m	2.5196m	2.7821m	2.7821m	67.5617u
gam eff	650.7205m	650.7205m	650.7205m	650.7205m	650.7205m	650.7205m
gm	8.951e-20	8.951e-20	8.951e-20	62.0682u	62.4278u	9.1918u
gds	8.7298u	8.7298u	8.7298u	1.1496u	835.4156n	40.4071n
gmb	3.191e-20	3.191e-20	3.191e-20	21.4194u	21.5406u	3.1224u
cdtot	105.6779f	-38.7509f	105.6779f	8.2414f	57.2637f	2.066e-16
cgtot	65.7116f	65.7116f	65.7116f	116.6789f	116.6898f	4.6571f
cstot	-38.7509f	105.6779f	-38.7509f	57.2531f	8.2414f	2.8133f
cbtot	48.1317f	48.1317f	48.1317f	55.1532f	55.1541f	1.7760f
cgs	-75.4797f	94.6245f	-75.4797f	74.5205f	8.2169f	3.7888f
cgd	94.6245f	-75.4797f	94.6245f	8.2169f	74.5349f	2.052e-16

subckt

element	0:m26	0:m27	0:m28	0:m29	0:m30	0:m31
model	0:ep	0:ep	0:ep	0:ep	0:ep	0:ep

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

id	-53.1294u	16.0464u	-16.0464u	16.0464u	-16.0464u	16.0464u
ibs	0.	0.	0.	0.	0.	0.
ibd	0.	0.	0.	0.	0.	0.
vgs	-734.7517m	3.8628	-428.3735m	3.8628	-428.3735m	3.8628
vds	-744.6314m	4.2912	-4.2912	4.2912	-4.2912	4.2912
vbs	0.	4.2912	0.	4.2912	0.	4.2912
vth	-569.5883m	-538.7808m	-538.7808m	-538.7808m	-538.7808m	-538.7808m
vdsat	-161.6874m	-42.5562m	-42.5562m	-42.5562m	-42.5562m	-42.5562m
beta	67.5728u	2.5232m	2.5232m	2.5232m	2.5232m	2.5232m
gam eff	650.7205m	650.7205m	650.7205m	650.7205m	650.7205m	650.7205m
gm	9.1479u	7.7154u	7.7154u	7.7154u	7.7154u	7.7154u
gds	39.9124n	13.9678n	13.9678n	13.9678n	13.9678n	13.9678n
gmb	3.1077u	2.6817u	2.6817u	2.6817u	2.6817u	2.6817u
cdtot	2.066e-16	10.6254f	7.4401f	10.6254f	7.4401f	10.6254f
cgtot	4.6567f	65.5974f	65.5974f	65.5974f	65.5974f	65.5974f
cstot	2.8128f	7.4401f	10.6254f	7.4401f	10.6254f	7.4401f
cbtot	1.7761f	47.8865f	47.8865f	47.8865f	47.8865f	47.8865f
cgs	3.7880f	7.4386f	11.6820f	7.4386f	11.6820f	7.4386f
cgd	2.052e-16	11.6820f	7.4386f	11.6820f	7.4386f	11.6820f

subckt						
element	0:m32	0:m33	0:m34	0:m35	0:m36	0:m37
model	0:ep	0:ep	0:ep	0:ep	0:ep	0:ep
id	-16.0464u	16.0464u	-16.0464u	16.0464u	-16.0464u	-163.2305u
ibs	0.	0.	0.	0.	0.	0.
ibd	0.	0.	0.	0.	0.	0.
vgs	-428.3735m	3.8628	-428.3735m	3.8628	-428.3735m	-538.3630m
vds	-4.2912	4.2912	-4.2912	4.2912	-4.2912	-140.7829m
vbs	0.	4.2912	0.	4.2912	0.	0.
vth	-538.7808m	-538.7808m	-538.7808m	-538.7808m	-538.7808m	-542.6178m
vdsat	-42.5562m	-42.5562m	-42.5562m	-42.5562m	-42.5562m	-65.3767m
beta	2.5232m	2.5232m	2.5232m	2.5232m	2.5232m	2.7821m
gam eff	650.7205m	650.7205m	650.7205m	650.7205m	650.7205m	650.7205m

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

gm	7.7154u	7.7154u	7.7154u	7.7154u	7.7154u	62.2808u
gds	13.9678n	13.9678n	13.9678n	13.9678n	13.9678n	958.5671n
gmb	2.6817u	2.6817u	2.6817u	2.6817u	2.6817u	21.4910u
cdtot	7.4401f	10.6254f	7.4401f	10.6254f	7.4401f	8.2414f
cgtot	65.5974f	65.5974f	65.5974f	65.5974f	65.5974f	116.6848f
cstot	10.6254f	7.4401f	10.6254f	7.4401f	10.6254f	57.2589f
cbtot	47.8865f	47.8865f	47.8865f	47.8865f	47.8865f	55.1537f
cgs	11.6820f	7.4386f	11.6820f	7.4386f	11.6820f	74.5284f
cgd	7.4386f	11.6820f	7.4386f	11.6820f	7.4386f	8.2169f

subckt

element	0:m38	0:m39	0:m40	0:m41	0:m42	0:m43
model	0:ep	0:ep	0:en	0:en	0:en	0:en
id	-53.3175u	-53.1234u	53.2872u	53.1261u	6.4731u	-6.4731u
ibs	0.	0.	0.	0.	0.	0.
ibd	0.	0.	0.	0.	0.	0.
vgs	-735.6838m	-725.8041m	425.4998m	436.4606m	455.1952m	-2.9606
vds	-735.6838m	-3.7161	-112.8574m	-101.8966m	3.4158	-3.4158
vbs	0.	0.	-112.8574m	-101.8966m	-112.8574m	-3.5286
vth	-569.5972m	-566.6359m	574.0350m	574.0405m	607.0317m	607.0317m
vdsat	-162.3381m	-157.4763m	55.5184m	55.5169m	40.4101m	40.4101m
beta	67.5617u	67.7173u	1.3939m	1.3939m	1.3841m	1.3841m
gam eff	650.7205m	650.7205m	609.8245m	609.8245m	609.8071m	609.8071m
gm	9.1918u	9.3808u	18.5706u	18.3647u	2.5425u	2.5425u
gds	40.4071n	21.9385n	648.7883n	856.2343n	11.8741n	11.8741n
gmb	3.1224u	3.1771u	5.9567u	5.8919u	777.5651n	777.5651n
cdtot	2.066e-16	2.066e-16	4.4588f	4.4584f	1.0483f	1.1853f
cgtot	4.6571f	4.6533f	12.2144f	12.2140f	8.7422f	8.7422f
cstot	2.8133f	2.8070f	1.0475f	1.0475f	1.1853f	1.0483f
cbtot	1.7760f	1.7778f	6.8214f	6.8214f	6.5119f	6.5119f
cgs	3.7888f	3.7773f	1.0466f	1.0466f	1.2375f	1.0483f
cgd	2.052e-16	2.052e-16	5.7555f	5.7550f	1.0483f	1.2375f

subckt

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

element	0:m44	0:m45	0:m46	0:m47	0:m48	0:m49
model	0:en	0:en	0:en	0:en	0:en	0:en
id	6.4731u	-6.4731u	6.4731u	-6.4731u	6.4731u	-6.4731u
ibs	0.	0.	0.	0.	0.	0.
ibd	0.	0.	0.	0.	0.	0.
vgs	455.1952m	-2.9606	455.1952m	-2.9606	455.1952m	-2.9606
vds	3.4158	-3.4158	3.4158	-3.4158	3.4158	-3.4158
vbs	-112.8574m	-3.5286	-112.8574m	-3.5286	-112.8574m	-3.5286
vth	607.0317m	607.0317m	607.0317m	607.0317m	607.0317m	607.0317m
vdsat	40.4101m	40.4101m	40.4101m	40.4101m	40.4101m	40.4101m
beta	1.3841m	1.3841m	1.3841m	1.3841m	1.3841m	1.3841m
gam eff	609.8071m	609.8071m	609.8071m	609.8071m	609.8071m	609.8071m
gm	2.5425u	2.5425u	2.5425u	2.5425u	2.5425u	2.5425u
gds	11.8741n	11.8741n	11.8741n	11.8741n	11.8741n	11.8741n
gmb	777.5651n	777.5651n	777.5651n	777.5651n	777.5651n	777.5651n
cdtot	1.0483f	1.1853f	1.0483f	1.1853f	1.0483f	1.1853f
cgtot	8.7422f	8.7422f	8.7422f	8.7422f	8.7422f	8.7422f
cstot	1.1853f	1.0483f	1.1853f	1.0483f	1.1853f	1.0483f
cbtot	6.5119f	6.5119f	6.5119f	6.5119f	6.5119f	6.5119f
cgs	1.2375f	1.0483f	1.2375f	1.0483f	1.2375f	1.0483f
cgd	1.0483f	1.2375f	1.0483f	1.2375f	1.0483f	1.2375f

subckt

element	0:m50	0:m51	0:m52	0:m53	0:m54	0:m55
model	0:en	0:en	0:en	0:en	0:en	0:en
id	6.4731u	-6.5693u	-6.5693u	6.5693u	-6.5693u	6.5693u
ibs	0.	0.	0.	0.	0.	0.
ibd	0.	0.	0.	0.	0.	0.
vgs	455.1952m	29.6954m	29.6954m	466.1560m	29.6954m	466.1560m
vds	3.4158	-436.4606m	-436.4606m	436.4606m	-436.4606m	436.4606m
vbs	-112.8574m	-538.3573m	-538.3573m	-101.8966m	-538.3573m	-101.8966m
vth	607.0317m	605.3806m	605.3806m	605.3806m	605.3806m	605.3806m
vdsat	40.4101m	40.9865m	40.9865m	40.9865m	40.9865m	40.9865m

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

beta	1.3841m	1.3846m	1.3846m	1.3846m	1.3846m	1.3846m
gam eff	609.8071m	609.8088m	609.8088m	609.8088m	609.8088m	609.8088m
gm	2.5425u	2.4813u	2.4813u	2.4813u	2.4813u	2.4813u
gds	11.8741n	15.6940n	15.6940n	15.6940n	15.6940n	15.6940n
gmb	777.5651n	761.7927n	761.7927n	761.7927n	761.7927n	761.7927n
cdtot	1.0483f	1.2492f	1.2492f	1.0483f	1.2492f	1.0483f
cgtot	8.7422f	8.8090f	8.8090f	8.8090f	8.8090f	8.8090f
cstot	1.1853f	1.0483f	1.0483f	1.2492f	1.0483f	1.2492f
cbtot	6.5119f	6.5166f	6.5166f	6.5166f	6.5166f	6.5166f
cgs	1.2375f	1.0483f	1.0483f	1.3257f	1.0483f	1.3257f
cgd	1.0483f	1.3257f	1.3257f	1.0483f	1.3257f	1.0483f
subckt						
element	0:m56	0:m57	0:m58	0:m59	0:m60	0:m61
model	0:en	0:en	0:en	0:en	0:en	0:en
id	-6.5693u	6.5693u	-6.5693u	6.5693u	-16.3312u	16.3312u
ibs	0.	0.	0.	0.	0.	0.
ibd	0.	0.	0.	0.	0.	0.
vgs	29.6954m	466.1560m	29.6954m	466.1560m	-1.9512	845.3916m
vds	-436.4606m	436.4606m	-436.4606m	436.4606m	-2.7966	2.7966
vbs	-538.3573m	-101.8966m	-538.3573m	-101.8966m	-4.4512	-1.6546
vth	605.3806m	605.3806m	605.3806m	605.3806m	949.7529m	949.7529m
vdsat	40.9865m	40.9865m	40.9865m	40.9865m	48.0396m	48.0396m
beta	1.3846m	1.3846m	1.3846m	1.3846m	1.9798m	1.9798m
gam eff	609.8088m	609.8088m	609.8088m	609.8088m	609.6304m	609.6304m
gm	2.4813u	2.4813u	2.4813u	2.4813u	9.1352u	9.1352u
gds	15.6940n	15.6940n	15.6940n	15.6940n	42.6649n	42.6649n
gmb	761.7927n	761.7927n	761.7927n	761.7927n	1.6772u	1.6772u
cdtot	1.2492f	1.0483f	1.2492f	1.0483f	2.1833f	1.6511f
cgtot	8.8090f	8.8090f	8.8090f	8.8090f	10.7441f	10.7441f
cstot	1.0483f	1.2492f	1.0483f	1.2492f	1.6511f	2.1833f
cbtot	6.5166f	6.5166f	6.5166f	6.5166f	6.7662f	6.7662f
cgs	1.0483f	1.3257f	1.0483f	1.3257f	1.6507f	2.4665f

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

cgd	1.3257f	1.0483f	1.3257f	1.0483f	2.4665f	1.6507f
subckt						
element	0:m62	0:m63	0:m64	0:m65	0:m66	0:m67
model	0:en	0:en	0:en	0:en	0:en	0:en
id	-16.3312u	16.3312u	-16.3312u	16.3312u	-16.3312u	16.3312u
ibs	0.	0.	0.	0.	0.	0.
ibd	0.	0.	0.	0.	0.	0.
vgs	-1.9512	845.3916m	-1.9512	845.3916m	-1.9512	845.3916m
vds	-2.7966	2.7966	-2.7966	2.7966	-2.7966	2.7966
vbs	-4.4512	-1.6546	-4.4512	-1.6546	-4.4512	-1.6546
vth	949.7529m	949.7529m	949.7529m	949.7529m	949.7529m	949.7529m
vdsat	48.0396m	48.0396m	48.0396m	48.0396m	48.0396m	48.0396m
beta	1.9798m	1.9798m	1.9798m	1.9798m	1.9798m	1.9798m
gam eff	609.6304m	609.6304m	609.6304m	609.6304m	609.6304m	609.6304m
gm	9.1352u	9.1352u	9.1352u	9.1352u	9.1352u	9.1352u
gds	42.6649n	42.6649n	42.6649n	42.6649n	42.6649n	42.6649n
gmb	1.6772u	1.6772u	1.6772u	1.6772u	1.6772u	1.6772u
cdtot	2.1833f	1.6511f	2.1833f	1.6511f	2.1833f	1.6511f
cgtot	10.7441f	10.7441f	10.7441f	10.7441f	10.7441f	10.7441f
cstot	1.6511f	2.1833f	1.6511f	2.1833f	1.6511f	2.1833f
cbtot	6.7662f	6.7662f	6.7662f	6.7662f	6.7662f	6.7662f
cgs	1.6507f	2.4665f	1.6507f	2.4665f	1.6507f	2.4665f
cgd	2.4665f	1.6507f	2.4665f	1.6507f	2.4665f	1.6507f
subckt						
element	0:m68	0:m69	0:m70	0:m71	0:m72	0:m73
model	0:en	0:en	0:en	0:en	0:en	0:en
id	-16.3312u	16.3312u	163.2118u	-163.2226u	-53.0706u	53.0706u
ibs	0.	0.	0.	0.	0.	0.
ibd	0.	0.	0.	0.	0.	0.
vgs	-1.9512	845.3916m	538.3573m	417.1236m	-2.5984	452.1527m
vds	-2.7966	2.7966	115.8999m	-121.2337m	-3.0505	3.0505
vbs	-4.4512	-1.6546	0.	-121.2337m	-3.1664	-115.8999m

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

vth	949.7529m	949.7529m	567.1672m	567.1645m	596.7360m	596.7360m
vdsat	48.0396m	48.0396m	57.7267m	57.7275m	41.0739m	41.0739m
beta	1.9798m	1.9798m	4.1294m	4.1294m	12.2369m	12.2369m
gam eff	609.6304m	609.6304m	609.8245m	609.8245m	609.8067m	609.8067m
gm	9.1352u	9.1352u	62.4724u	62.7386u	25.7222u	25.7222u
gds	42.6649n	42.6649n	2.1519u	1.9187u	115.5269n	115.5269n
gmb	1.6772u	1.6772u	20.0174u	20.1011u	7.8382u	7.8382u
cdtot	2.1833f	1.6511f	3.0966f	14.7593f	10.7252f	9.2332f
cgtot	10.7441f	10.7441f	37.0521f	37.0527f	74.4762f	74.4762f
cstot	1.6511f	2.1833f	14.7587f	3.0966f	9.2332f	10.7252f
cbtot	6.7662f	6.7662f	19.5919f	19.5920f	54.5543f	54.5543f
cgs	1.6507f	2.4665f	19.1728f	3.0936f	9.2328f	11.2903f
cgd	2.4665f	1.6507f	3.0936f	19.1736f	11.2903f	9.2328f
subckt						
element	0:m74	0:m75	0:m76	0:m77	0:m78	0:m79
model	0:en	0:en	0:en	0:en	0:ep	0:ep
id	-58.0706u	475.9535u	-475.9535u	163.2223u	-163.2223u	81.6059u
ibs	0.	0.	0.	0.	0.	0.
ibd	0.	0.	0.	0.	0.	0.
vgs	-2.5984	1.1908	-147.0601m	417.3021m	-569.1564m	0.
vds	-3.0505	1.3378	-1.3378	-121.0551m	-569.1564m	497.5546m
vbs	-3.1664	-3.6622	-5.0000	-121.0551m	0.	497.5546m
vth	596.7360m	1.2440	1.2440	567.1646m	-544.1056m	-542.0251m
vdsat	41.0739m	57.3735m	57.3735m	57.7274m	-77.6016m	-53.0454m
beta	12.2369m	12.8369m	12.8369m	4.1294m	1.5647m	3.0696m
gam eff	609.8067m	609.4713m	609.4713m	609.8245m	650.7205m	650.7205m
gm	25.7222u	133.5902u	133.5902u	62.7302u	56.9683u	34.1767u
gds	115.5269n	689.5327n	689.5327n	1.9258u	169.6441n	92.4563n
gmb	7.8382u	18.0996u	18.0996u	20.0985u	19.5951u	11.8369u
cdtot	10.7252f	11.2711f	25.0031f	14.7593f	4.6458f	32.8087f
cgtot	74.4762f	75.9531f	75.9531f	37.0527f	78.6229f	98.5176f
cstot	9.2332f	25.0031f	11.2711f	3.0966f	44.9128f	9.0773f

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

cbtot	54.5543f	34.2227f	34.2227f	19.5920f	32.0898f	58.7954f
cgs	9.2328f	33.2063f	11.2511f	3.0936f	59.2388f	9.0657f
cgd	11.2903f	11.2511f	33.2063f	19.1736f	4.6256f	41.0165f
subckt						
element	0:m80	0:m81	0:m82	0:m83	0:m84	0:m85
model	0:ep	0:ep	0:ep	0:ep	0:ep	0:ep
id	-81.6059u	-57.9845u	57.9845u	-57.9845u	57.9845u	-57.9845u
ibs	0.	0.	0.	0.	0.	0.
ibd	0.	0.	0.	0.	0.	0.
vgs	-497.5546m	-495.7693m	3.1664	-495.7693m	3.1664	-495.7693m
vds	-497.5546m	-3.6622	3.6622	-3.6622	3.6622	-3.6622
vbs	0.	0.	3.6622	0.	3.6622	0.
vth	-542.0251m	-538.6405m	-538.6405m	-538.6405m	-538.6405m	-538.6405m
vdsat	-53.0454m	-53.4386m	-53.4386m	-53.4386m	-53.4386m	-53.4386m
beta	3.0696m	3.4118m	3.4118m	3.4118m	3.4118m	3.4118m
gam eff	650.7205m	650.7205m	650.7205m	650.7205m	650.7205m	650.7205m
gm	34.1767u	42.0139u	42.0139u	42.0139u	42.0139u	42.0139u
gds	92.4563n	76.7339n	76.7339n	76.7339n	76.7339n	76.7339n
gmb	11.8369u	14.4900u	14.4900u	14.4900u	14.4900u	14.4900u
cdtot	9.0773f	10.0767f	37.4123f	10.0767f	37.4123f	10.0767f
cgtot	98.5176f	110.3740f	110.3740f	110.3740f	110.3740f	110.3740f
cstot	32.8087f	37.4123f	10.0767f	37.4123f	10.0767f	37.4123f
cbtot	58.7954f	65.3507f	65.3507f	65.3507f	65.3507f	65.3507f
cgs	41.0165f	46.8552f	10.0633f	46.8552f	10.0633f	46.8552f
cgd	9.0657f	10.0633f	46.8552f	10.0633f	46.8552f	10.0633f
subckt						
element	0:m86	0:m88	0:m89	0:m90	0:m91	0:m92
model	0:ep	0:en	0:en	0:en	0:en	0:en
id	57.9845u	-53.0741u	163.2305u	53.0741u	-53.0741u	-53.0742u
ibs	0.	0.	0.	0.	0.	0.
ibd	0.	0.	0.	0.	0.	0.
vgs	3.1664	-3.8628	0.	446.9975m	-3.8628	-3.8936

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

vds	3.6622	-4.3098	-568.0526m	4.3098	-4.3098	-4.3404
vbs	3.6622	-4.4308	-568.0526m	-121.0551m	-4.4308	-4.4616
vth	-538.6405m	597.5703m	570.3979m	597.5703m	597.5703m	597.6062m
vdsat	-53.4386m	40.8098m	66.1994m	40.8098m	40.8098m	40.8010m
beta	3.4118m	12.2347m	2.3248m	12.2347m	12.2347m	12.2346m
gam eff	650.7205m	609.8059m	609.8245m	609.8059m	609.8059m	609.8059m
gm	42.0139u	26.0496u	58.9595u	26.0496u	26.0496u	26.0621u
gds	76.7339n	199.3751n	355.7639n	199.3751n	199.3751n	204.3936n
gmb	14.4900u	7.9215u	18.8240u	7.9215u	7.9215u	7.9248u
cdtot	37.4123f	10.4770f	12.3390f	9.2333f	10.4770f	10.4689f
cgtot	110.3740f	74.2164f	25.2245f	74.2164f	74.2164f	74.2079f
cstot	10.0767f	9.2333f	1.7482f	10.4770f	9.2333f	9.2333f
cbtot	65.3507f	54.5359f	11.4127f	54.5359f	54.5359f	54.5353f
cgs	10.0633f	9.2330f	1.7453f	10.9479f	9.2330f	9.2330f
cgd	46.8552f	10.9479f	16.4002f	9.2330f	10.9479f	10.9368f
subckt						
element	0:m93	0:m94	0:m95	0:m96	0:m97	0:m98
model	0:en	0:en	0:ep	0:ep	0:ep	0:ep
id	53.0742u	-53.0742u	-14.2487u	14.2487u	-14.2487u	14.2487u
ibs	0.	0.	0.	0.	0.	0.
ibd	0.	0.	0.	0.	0.	0.
vgs	446.8190m	-3.8936	-440.6177m	766.8748m	-440.6177m	766.8748m
vds	4.3404	-4.3404	-1.2075	1.2075	-1.2075	1.2075
vbs	-121.2337m	-4.4616	0.	1.2075	0.	1.2075
vth	597.6062m	597.6062m	-541.8448m	-541.8448m	-541.8448m	-541.8448m
vdsat	40.8010m	40.8010m	-43.4466m	-43.4466m	-43.4466m	-43.4466m
beta	12.2346m	12.2346m	2.5196m	2.5196m	2.5196m	2.5196m
gam eff	609.8059m	609.8059m	650.7205m	650.7205m	650.7205m	650.7205m
gm	26.0621u	26.0621u	8.8571u	8.8571u	8.8571u	8.8571u
gds	204.3936n	204.3936n	18.9726n	18.9726n	18.9726n	18.9726n
gmb	7.9248u	7.9248u	3.0881u	3.0881u	3.0881u	3.0881u
cdtot	9.2333f	10.4689f	7.4396f	11.6130f	7.4396f	11.6130f

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

cgtot	74.2079f	74.2079f	66.3747f	66.3747f	66.3747f	66.3747f
cstot	10.4689f	9.2333f	11.6130f	7.4396f	11.6130f	7.4396f
cbtot	54.5353f	54.5353f	47.7760f	47.7760f	47.7760f	47.7760f
cgs	10.9368f	9.2330f	13.0085f	7.4376f	13.0085f	7.4376f
cgd	9.2330f	10.9368f	7.4376f	13.0085f	7.4376f	13.0085f
subckt						
element	0:m99	0:m100	0:m101	0:m102	0:m103	0:m104
model	0:ep	0:ep	0:en	0:en	0:en	0:en
id	-14.2487u	-81.8813u	163.9133u	-81.8856u	81.9056u	-42.8115u
ibs	0.	0.	0.	0.	0.	0.
ibd	0.	0.	0.	0.	0.	0.
vgs	-440.6177m	-548.8173m	-1.1163	451.5154m	551.5514m	-3.0959
vds	-1.2075	-128.5388m	-1.6546	-100.0360m	111.5232m	-3.5524
vbs	0.	0.	-1.6546	-100.0360m	0.	-3.6640
vth	-541.8448m	-545.0495m	566.3925m	571.3942m	571.3884m	596.0613m
vdsat	-43.4466m	-68.4266m	57.9477m	60.2434m	60.2452m	41.3072m
beta	2.5196m	1.3960m	4.1303m	2.0727m	2.0727m	9.1896m
gam eff	650.7205m	650.7205m	609.8245m	609.8245m	609.8245m	609.8073m
gm	8.8571u	35.3470u	74.8942u	35.7117u	36.2295u	22.6361u
gds	18.9726n	813.6691n	373.1309n	2.0402u	1.4914u	111.7181n
gmb	3.0881u	12.1901u	23.9786u	11.4382u	11.6003u	6.9065u
cdtot	7.4396f	4.1408f	14.9382f	8.5591f	1.5575f	8.2360f
cgtot	66.3747f	62.0070f	37.2450f	19.9811f	19.9819f	56.2093f
cstot	11.6130f	31.9756f	3.0966f	1.5575f	8.5598f	6.9329f
cbtot	47.7760f	28.0912f	19.6046f	10.0751f	10.0752f	41.0722f
cgs	13.0085f	41.8173f	3.0935f	1.5556f	11.2305f	6.9326f
cgd	7.4376f	4.1269f	19.4198f	11.2295f	1.5556f	8.7298f
subckt						
element	0:m105	0:m106	0:m107	0:m108	0:m109	0:m110
model	0:en	0:en	0:en	0:ep	0:ep	0:ep
id	42.8115u	-42.8012u	42.8012n	-81.9567u	14.1123u	-14.1123u
ibs	0.	0.	0.	0.	0.	0.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ibd	0.	0.	0.	0.	0.	0.
vgs	456.5295m	16.5012m	468.0166m	-548.8173m	3.8793	-434.8473m
vds	3.5524	-451.5154m	451.5154m	-548.8173m	4.3141	-4.3141
vbs	-111.5232m	-551.5514m	-100.0360m	0.	4.3141	0.
vth	596.0613m	594.3174m	594.3174m	-544.6320m	-538.7580m	-538.7580m
vdsat	41.3072m	42.1052m	42.1052m	-68.5922m	-43.1695m	-43.1695m
beta	9.1896m	9.1924m	9.1924m	1.3961m	2.5228m	2.5228m
gam eff	609.8073m	609.8090m	609.8090m	650.7205m	650.7205m	650.7205m
gm	22.6361u	22.0783u	22.0783u	36.9764u	8.9068u	8.9068u
gds	111.7181n	140.2079n	140.2079n	105.9773n	16.2098n	16.2098n
gmb	6.9065u	6.7652u	6.7652u	12.7444u	3.0924u	3.0924u
cdtot	6.9329f	8.8731f	6.9328f	4.1407f	11.2914f	7.4398f
cgtot	56.2093f	56.8757f	56.8757f	62.1745f	66.1513f	66.1513f
cstot	8.2360f	6.9328f	8.8731f	32.1377f	7.4398f	11.2914f
cbtot	41.0722f	41.1193f	41.1193f	28.1048f	47.8407f	47.8407f
cgs	8.7298f	6.9322f	9.6092f	42.0357f	7.4379f	12.5742f
cgd	6.9326f	9.6092f	6.9322f	4.1267f	12.5742f	7.4379f
subckt						
element	0:m111	0:m112	0:m113	0:m114	0:m115	
model	0:ep	0:ep	0:ep	0:ep	0:ep	
id	14.1123u	-14.1123u	14.1123u	-81.8856u	-81.9567u	
ibs	0.	0.	0.	0.	0.	
ibd	0.	0.	0.	0.	0.	
vgs	3.8793	-434.8473m	3.8793	-414.5082m	0.	
vds	4.3141	-4.3141	4.3141	134.3091m	548.8173m	
vbs	4.3141	0.	4.3141	134.3091m	548.8173m	
vth	-538.7580m	-538.7580m	-538.7580m	-545.0438m	-544.6320m	
vdsat	-43.1695m	-43.1695m	-43.1695m	-68.4289m	-68.5922m	
beta	2.5228m	2.5228m	2.5228m	1.3960m	1.3961m	
gam eff	650.7205m	650.7205m	650.7205m	650.7205m	650.7205m	
gm	8.9068u	8.9068u	8.9068u	35.4670u	36.9764u	
gds	16.2098n	16.2098n	16.2098n	698.0116n	105.9773n	

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

gmb	3.0924u	3.0924u	3.0924u	12.2304u	12.7444u
cdtot	11.2914f	7.4398f	11.2914f	31.9778f	32.1377f
cgtot	66.1513f	66.1513f	66.1513f	62.0093f	62.1745f
cstot	7.4398f	11.2914f	7.4398f	4.1408f	4.1407f
cbtot	47.8407f	47.8407f	47.8407f	28.0914f	28.1048f
cgs	7.4379f	12.5742f	7.4379f	4.1269f	4.1267f
cgd	12.5742f	7.4379f	12.5742f	41.8203f	42.0357f

Opening plot unit= 79

file=d:\avanti\98\patty\asic1.ac0

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 6
สรุปผลการทดสอบและวิจารณ์

สรุปและวิจารณ์ผลการทดสอบวงจรขยายสัญญาณแบบโอเปอเรชั่นแนล

จากผลการทดสอบวงจรขยายสัญญาณแบบโอเปอเรชั่นแนลที่ออกแบบนั้น คุณสมบัติของวงจรเป็นไปตามข้อกำหนดของวงจรที่ได้กำหนดไว้ข้างต้น โดยคุณสมบัติของของวงจรบางประการนั้นมีประสิทธิภาพที่ดีกว่าข้อกำหนด ซึ่งเป็นสิ่งที่นักออกแบบวงจรรวมพึงประสงค์

6.1 คุณสมบัติทางด้านอัตราขยายขณะเปิดลูป

จากการทดสอบคุณสมบัติอัตราขยายขณะเปิดลูป จะพบว่าวงจรที่ออกแบบมีขีดความสามารถในการขยายสัญญาณขณะเปิดลูปสูงกว่ากำหนด ในขณะที่ยังคงรักษา Unity Gain Bandwidth และ Phase Margin ของวงจรให้มีคุณสมบัติที่ดีกว่าข้อกำหนดที่ได้กำหนดไว้

6.2 คุณสมบัติทางด้านอัตราสลู

จากการทดสอบคุณสมบัติทางด้านอัตราสลูของวงจร โดยการป้อนสัญญาณ Pulse เข้าที่อินพุท และวัดสัญญารทางด้านเอาท์พุท พิจรณาอัตราสลูของวงจรปรากฏว่าอัตราสลูของวงจรที่ออกแบบนั้นมีค่าสูงกว่าอัตราสลูที่กำหนดไว้ ณ ค่าโหลดเดียวกัน (CL = 10pF , RL = 1Kohm)

6.3 คุณสมบัติทางด้านการกระเพื่อมของสัญญาณ

จากคุณสมบัติทางด้านอัตราสลูของวงจรที่ขอบขาขึ้นของสัญญาณเอาท์พุท ทำการวัดช่วงเวลาในการกระเพื่อมของสัญญาณ โดยจะวัดที่ 10% ของสัญญาณในขณะเสถียรภาพ ปรากฏว่าช่วงเวลาในการกระเพื่อมที่ขอบขาขึ้นและขอบขาลงของสัญญาณทางด้านเอาท์พุทนั้นมีค่าต่ำกว่าข้อกำหนอที่กำหนดไว้

6.4 คุณสมบัติทางด้านการสวิงของสัญญาณทางเอาท์พุท

จากการทดสอบคุณสมบัติทางด้านการสวิงของสัญญาณทางเอาท์พุท ปรากฏว่าการสวิงของสัญญาณทางด้านเอาท์พุทจากวงจรที่ได้ออกแบบนั้น สัญญาณสามารถสวิงได้สูงกว่าที่ข้อกำหนดได้กำหนดไว้ ณ ค่าโหลดเดียวกัน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

6.5 สัญญาณรบกวนของวงจร

จากการทดสอบสัญญาณรบกวนของวงจรที่ออกแบบนั้น ปรากฏว่าสัญญาณรบกวนรวมของวงจรมีค่าต่ำกว่าข้อกำหนดที่ได้กำหนดไว้ ซึ่งสัญญาณรบกวนนี้จะเป็นตัวบอกถึง ขีดจำกัดของสัญญาณอินพุทของวงจร จำเป็นต้องมีค่ามากกว่าสัญญาณรบกวน มิฉะนั้นแล้วสัญญาณที่ถูกขยายนั้นจะเป็นสัญญาณรบกวนนั่นเอง

จากการทดสอบคุณสมบัติของวงจร จะเห็นว่าคุณสมบัติต่าง ๆ ที่ได้จากการออกแบบนั้น มีประสิทธิภาพที่ดีกว่าคุณสมบัติในข้อกำหนด โดยได้ผลการทดสอบจากการจำลองวงจรในโปรแกรม Hspice Level 49 ซึ่งเป็น Level ในการคำนวณวงจรของพารามิเตอร์ที่ใช้ในการออกแบบของ Alcatel Microelectronics Technology 0.5 um ซึ่งเป็นค่าพารามิเตอร์ที่ใช้งานจริงในการผลิตวงจรรวม ดังนั้นวงจรรวมที่ออกแบบมานั้นจึงสามารถที่จะนำไปผลิตได้จริง แต่ถ้าจะนำไปผลิตในการใช้งานจริงนั้นจำเป็นที่จะต้องมีการพัฒนาและปรับปรุงในเรื่องของการ Layout เพื่อให้ได้ขนานของวงจรรวมที่มีขนานที่เล็กลงและจะสามารถช่วยลดต้นทุนในการผลิตได้ ในการออกแบบวงจรรวมนั้นขนานของทรานซิสเตอร์ที่ได้จากการคำนวณนั้นบางครั้งอาจจะต้องมีการปรับแต่งขนาดของทรานซิสเตอร์บางตัวเพื่อให้ประสิทธิภาพของวงจรรวมเป็นไปตามข้อกำหนดที่ต้องการ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

หนังสืออ้างอิง

1. Phillip E. Allen and Douglas R. Holberg, "CMOS analog circuit design" , HOLT, RINEHART AND WINSTON, 1987
2. Paul R. Gray and Robert G. Meyer, "Analog and Design of Analog Integrated Circuit", John Wiley & Sons, 1993
3. Adel S. Sedra and Kenneth C. Smith, "Microelectronic Circuit", Oxford, 1991
4. Randall L. Geiger, Phillip E. Allen and Noel R. Strader, "VLSI design techniques for analog and digital circuit", McGraw-Hill, 1990

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้