ห้องสมุดกลาง พระจอมเกล้าลาดกระบัง

การออกแบบวงจรซีมอสชมิทท์ทริกเกอร์ และอินเวอร์เตอร์ด้วยเทคนิคการบูสแทป

A DESIGN OF BOOTSTRAPPED CMOS SCHMITT TRIGGER AND INVERTER CIRCUIT

TO43279

ทวิช ชูเมือง

TWITCH CHUMUANG

เลขหมู่.....
เลขทะเบียน 43279
วัน, เดือน, ปี 21 ส.ค. 2545

.b.....
.i.....

วิทยานิพนธ์นี้เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรปริญญาวิศวกรรมศาสตรมหาบัณฑิต
สาขาวิชาวิศวกรรมไฟฟ้า
บัณฑิตวิทยาลัย
สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง
พ.ศ. 2545

ISBN 974-648-581-4

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

A DESIGN OF BOOTSTRAPPED CMOS SCHMITT TRIGGER AND INVERTER CIRCUIT

TWITCH CHUMUANG

A THESIS SUBMITTED IN PARTIAL FULFILLMENT

OF THE REQUIREMENT FOR THE DEGREE OF

MASTER OF ENGINEERING IN ELECTRICAL ENGINEERING

SCHOOL OF GRADUATE STUDIES

KING MONGKUT'S INSTITUTE OF TECHNOLOGY LADKRABANG

2002

ISBN 974-648-581-4

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

COPYRIGHT 2002

SCHOOL OF GRADUATE STUDIES

KING MONGKUT'S INSTITUTE OF TECHNOLOGY LADKRABANG

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

หัวข้อวิทยานิพนธ์	การออกแบบวงจรซีมอสชมิทท์ทริกเกอร์ และอินเวอร์เตอร์ด้วยเทคนิคการบูสแทป
นักศึกษา	นาย ทวิช ชูเมือง
รหัสประจำตัว	40061041
ปริญญา	วิศวกรรมศาสตรมหาบัณฑิต
สาขาวิชา	วิศวกรรมไฟฟ้า
พ.ศ.	2545
อาจารย์ผู้ควบคุมวิทยานิพนธ์	รศ.ดร.กอบชัย เดชหาญ

บทคัดย่อ

วิทยานิพนธ์ฉบับนี้เสนอวิธีการออกแบบวงจรอินเวอร์เตอร์และวงจรชมิทท์ทริกเกอร์ด้วยเทคนิคการบูตสแตรปซึ่งเป็นการใช้ศักดาที่สูงกว่าศักดาไฟเลี้ยงวงจรขับไปที่ตัวขับด้านเอาต์พุตจึงทำให้วงจรที่ออกแบบมีความเร็วในการทำงานสูงและลักษณะสัญญาณเอาต์พุตยังสามารถสวิงได้เต็มย่านที่ระดับศักดาไฟเลี้ยงวงจรต่ำที่ 1 โวลท์ ผลการทดลองกระทำโดยการเลียนแบบการทำงานโดยใช้โปรแกรม PSpice

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Thesis Title	A Design of Bootstrapped CMOS Schmitt Trigger and Inverter Circuit
Student	Mr. Twitch Chumuang
Student ID.	40061041
Degree	Master of Engineering
Program	Electrical Engineering
Year	2002
Thesis Advisor	Assoc. Prof. Dr.Kobchai Dejhan

ABSTRACT

This thesis proposes a design of CMOS inverter circuit and Schmitt trigger circuit by using the bootstrapped technique, this technique is used by overdriving the gate of the transistors. The high speed and full swing output are achieved and this circuit can operate with 1 volt supply voltage, all performances are investigated by using Pspice program simulator.

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

กิตติกรรมประกาศ

ผู้วิจัยขอกราบขอบพระคุณ รศ.ดร.กอบชัย เดชหาญ ซึ่งเป็นอาจารย์ควบคุมการวิจัยที่กรุณาให้แนวคิดและคำปรึกษาตลอดจนการแก้ปัญหาต่างๆอันเป็นประโยชน์ต่องานวิจัย และทำให้งานวิจัยนี้สำเร็จลง

ผู้วิจัยขอกราบขอบคุณ บิดา มารดา ที่ให้กำลังใจมาตลอด และ ขอขอบคุณ คุณสุกัญญา ปานวิมล ที่ช่วยเหลือในด้านต่างๆ คุณ ศิริวัฒน์ ลิ้มไพบูลย์ และ คุณ บุษณีย์ จิราษฎ์ ที่กรุณาให้คำปรึกษา และ เอกสารอ้างอิงต่างๆ ประโยชน์อันใดที่เกิดจากงานวิจัยนี้ย่อมเป็นผลมาจากความกรุณาของท่านดังกล่าวข้างต้น ผู้วิจัยรู้สึกซาบซึ้งเป็นอย่างยิ่งจึงใคร่ขอขอบพระคุณเป็นอย่างสูงไว้ ณ โอกาสนี้

ทวิช ชูเมือง

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญ

หน้า

บทคัดย่อภาษาไทย I

บทคัดย่อภาษาอังกฤษ II

กิตติกรรมประกาศ III

สารบัญ IV

สารบัญรูป VIII

สารบัญตาราง XII

บทที่1 บทนำ 1

1.1 ความเป็นมาและความสำคัญของปัญหา 1

1.2 วัตถุประสงค์ของงานวิจัย 1

1.3 แนวความคิดในงานวิจัย 2

บทที่2 ทฤษฎีการทำงานของมอสทรานซิสเตอร์ 3

2.1 บทนำ 3

2.2 โครงสร้างของมอสทรานซิสเตอร์ 3

2.3 สัญญลักษณ์ของมอสทรานซิสเตอร์ 4

2.4 การทำงานของมอสทรานซิสเตอร์ 5

2.5 คุณสมบัติทางศักดากับกระแสของมอสทรานซิสเตอร์ 7

2.5.1 การทำงานในช่วงคัทออฟ (Cutoff Region) 12

2.5.2 การทำงานในช่วงไม่อิ่มตัว (Non-Saturation Region) 12

2.5.3 การทำงานในช่วงอิ่มตัว (Saturation Region) 12

บทที่ 3 ทฤษฎีการทำงานของวงจรซีมอสอินเวอร์เตอร์ 16

3.1 บทนำ 16

3.2 Noise margin 19

3.3 ซีมอสอินเวอร์เตอร์ 21

3.3.1 การคำนวณหา V_{IL} 26

3.3.2 การคำนวณหา V_{IH} 27

3.3.3 การคำนวณหา V_{th} 28

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญ(ต่อ)

หน้า

3.3.4 การออกแบบซีมอสอินเวอร์เตอร์ 28
3.4 คุณลักษณะการสวิทช์ของซีมอสอินเวอร์เตอร์ 32
3.4.1 คำจำกัดความของการหน่วงเวลา 33
3.4.2 การหาค่าการหน่วงเวลา 35
3.5 ผลกระทบจากการใช้เอ็นมอสทรานซิสเตอร์เป็นตัวขับด้านขาขึ้น 41

บทที่ 4 ทฤษฎีการทำงานของวงจรชมิทท์ทริกเกอร์ 43
4.1 บทนำ 43
4.2 ซีมอสชมิทท์ทริกเกอร์ 44
4.2.1 หลักการทำงานของวงจรชมิทท์ทริกเกอร์ 44
4.3 การวิเคราะห์ซีมอสชมิทท์ทริกเกอร์ 48
4.3.1 ฮีสเตอร์รีซิส 49
4.3.2 การประยุกต์ใช้งานของซีมอสชมิทท์ทริกเกอร์ 51
4.3.3 ข้อดีซีมอสชมิทท์ทริกเกอร์ 57

บทที่ 5 วงจรซีมอสอินเวอร์เตอร์แบบใหม่ 58
5.1 บทนำ 58
5.2 วงจรบูตสแตรปซีมอสอินเวอร์เตอร์ 58
5.3 การคำนวณค่าบูตสแตรปคาเพซิสแตนท์ 59
5.4 วงจรบูตสแตรปซีมอสอินเวอร์เตอร์แบบใหม่ 62
5.5 การทดสอบสมรรถนะของวงจร 64
5.5.1 มอสทรานซิสเตอร์โมเดล 64
5.5.2 ค่าบูตสแตรปคาเพซิแตนท์ 64
5.5.3 ค่าการหน่วงเวลา 65
5.5.4 การจำลองการทำงานด้วยโปรแกรม Pspice 66
5.5.4.1 ค่าการหน่วงเวลาเทียบกับโหลดคาเพซิแตนท์ 66
5.5.4.2 ค่าการหน่วงเวลาเทียบกับศักดาไฟเลี้ยงวงจร 70

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญ(ต่อ)

หน้า

5.5.4.3 ความสิ้นเปลืองพลังงาน 73

บทที่ 6 วงจรซีมอสชมิทท์ทริกเกอร์แบบใหม่ 74
6.1 บทนำ 74
6.2 วงจรซีมอสชมิทท์ทริกเกอร์แบบใหม่ 74
6.3 วงจรบูตสแตรปซีมอสชมิทท์ทริกเกอร์ 75
6.4 การหาค่าศักดาทริกเกอร์ 76
6.5 ค่าบูตสแตรปคาแพซิแตนท์ 78
6.6 การทดสอบสมรรถนะของวงจร 78
6.6.1 การหาค่าศักดาทริกเกอร์ 79
6.6.2 การหาค่าบูตสแตรปคาแพซิแตนท์ 80
6.6.3 การจำลองการทำงานเพื่อทดสอบศักดาทริกเกอร์ 80
6.6.4 การทดสอบค่าการหน่วงเวลา 84

บทที่ 7 สรุปผลการทดลอง 87
7.1 วงจรซีมอสอินเวอร์เตอร์ 87
7.1.1 คุณสมบัติการหน่วงเวลา 87
7.1.2 คุณสมบัติด้านการสิ้นเปลืองพลังงาน 87
7.1.3 ข้อเสนอแนะในการปรับปรุง 88
7.2 วงจรซีมอสชมิทท์ทริกเกอร์ 88
7.2.1 คุณสมบัติการหน่วงเวลา 88
7.2.2 คุณสมบัติด้านการสิ้นเปลืองพลังงาน 88
7.2.3 ข้อเสนอแนะในการปรับปรุง 88

บรรณานุกรม 89

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญ(ต่อ)

หน้า

ภาคผนวก 91
ภาคผนวก ก ผลงานที่ได้รับการตีพิมพ์ 92
ภาคผนวก ข มอสทรานซิสเตอร์โมเดลที่ใช้ในการทดสอบวงจรอินเวอร์เตอร์ 93
ภาคผนวก ค มอสทรานซิสเตอร์โมเดลที่ใช้ในการทดสอบวงจรชมิทท์ทริกเกอร์ 95
ภาคผนวก ง โปรแกรม Pspice ที่ใช้วิเคราะห์ในวิทยานิพนธ์ 97

ประวัติผู้เขียน 101

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญรูป

รูปที่ หน้า

2.1 โครงสร้างของเอ็นมอสทรานซิสเตอร์แบบเอ็นฮานเมนท์....4

2.2 โครงสร้างของเอ็นมอสทรานซิสเตอร์แบบดีพลีชั่น....4

2.3 สัญญลักษณ์ของมอสทรานซิสเตอร์....5

2.4 แสดงการไบอัสเอ็นมอสทรานซิสเตอร์แบบเอ็นฮานเมนท์ทำให้เกิดย่านปลอดพาหะ....5

2.5 แสดงการเกิด Inversion Layer ของเอ็นมอสทรานซิสเตอร์แบบเอ็นฮานเมนท์....6

2.6 แสดงภาพตัดขวางของเอ็นมอสทรานซิสเตอร์ที่ทำงานในช่วงเชิงเส้น....7

2.7 แสดงส่วนทางเรขาคณิตบริเวณผิวของ Inversion Layer....9

2.8 แสดงการเกิด pinch-off....11

2.9 คุณลักษณะ กระแสกับศักดาพื้นฐานของเอ็นมอสทรานซิสเตอร์....13

2.10 กระแสเดรนของเอ็นมอสทรานซิสเตอร์ตามฟังก์ชั่นของศักดาระหว่างเกตกับซอส....14

2.11 กระแสเดรนและศักดาระหว่างเดรนกับซอสของมอสทรานซิสเตอร์แบบดีพลีชั่น....14

2.12 กระแสเดรนและศักดาระหว่างเดรนกับซอสของมอสทรานซิสเตอร์แบบเอ็นฮานเมนท์....15

3.1 สัญญลักษณ์ของอินเวอร์เตอร์....16

3.2 คุณลักษณะการถ่ายโอนทางระดับศักดา (Voltage transfer characteristic: VTC)....17

3.3 วงจรเอ็นมอสอินเวอร์เตอร์แบบทั่วไป....18

3.4 คุณลักษณะการถ่ายโอนทางระดับศักดาของอินเวอร์เตอร์ในทางปฏิบัติ....18

3.5 แสดงการส่งผ่านสัญญาณภายใต้อิทธิพลของการรบกวน....20

3.6 แสดงค่า noise margin....21

3.7 วงจรซีมอสอินเวอร์เตอร์....22

3.8 แสดงย่านการทำงานของเอ็นมอสและพีมอสทรานซิสเตอร์....25

3.9 แสดงตัวอย่าง VTC และกระแสจากแหล่งจ่าย....29

3.10 แสดงการโอนถ่ายทางศักดาของวงจรซีมอสอินเวอร์เตอร์ที่อัตราส่วน K_R แตกต่างกัน....31

3.11แสดงซีมอสอินเวอร์เตอร์กับโหลดคาแพซิแตนท์....32

3.12 ตัวอย่างรูปแบบสัญญาณอินพุตและเอาต์พุตของซีมอสอินเวอร์เตอร์....33

3.13 เวลาขาขึ้นและขาลงของศักดาเอาต์พุต....34

3.14 แสดงวงจรเทียบเคียงของซีมอสอินเวอร์เตอร์ในขณะส่งผ่านช่วง High-to-Low....37

3.15 ศักดาอินพุตและเอาต์พุตในขณะการส่งผ่าน High-to-Low....38

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญรูป(ต่อ)

รูปที่ หน้า

3.16 แสดงการใช้เอ็นมอสทรานซิสเตอร์เป็นตัวขับด้านเอาต์พุต 41

3.17 แสดงศักดาเอาต์พุตเมื่อใช้เอ็นมอสทรานซิสเตอร์เป็นตัวขับด้านเอาต์พุต เมื่อเวลา $t \rightarrow \infty$ .42

4.1 สัญญลักษณ์ของวงจรชมิทท์ทริกเกอร์ 43

4.2 คุณสมบัติในการถ่ายโอนถ่ายสัญญาณของวงจรชมิทท์ทริกเกอร์ 43

4.3วงจรของ 74HC14 HCMOS Inverting Schmitt trigger 44

4.4 ศักดาเทรดโฮลด์ V_{T+}และ V_{T-} กับ V_{DD} ของ 74HC14 47

4.5 วงจรซีมอสชมิทท์ทริกเกอร์ 48

4.6 คุณสมบัติการโอนถ่ายสำหรับแหล่งจ่ายศักดา 3 ค่า 49

4.7 ช่วง Guaranteed Trip Point 50

4.8 วงจรซีมอสที่มีสัญญาณรบกวน 50

4.9 การแปลง Sine เป็น Square wave ด้วย การตัดระดับที่สมมาตร 51

4.10 การใช้ไดโอดรักษาระดับรูปคลื่นอินพุต 52

4.11 สวิทช์แสงที่ศักดาอินพุตเพิ่มความเข้มแสงก็เพิ่ม 52

4.12 วงจร RC Oscillator ทำเป็นซีมอสชมิทท์ทริกเกอร์ 53

4.13 การป้องกันสัญญาณรบกวนโดยใช้ซีมอสชมิทท์ทริกเกอร์ 54

4.14 การใช้ไดโอดป้องกันอินพุตโดยตัดสัญญาณด้านบวกและลบลง 55

4.15 ซีมอสทำงานแบบเชิงเส้น(Voltage Controlled Oscillator) 56

4.16 การคายประจุคาแพซิสเตอร์ของซีมอสอินเวอร์เตอร์ 56

5.1 วงจรบูตสแตรปซีมอสอินเวอร์เตอร์ 58

5.2 วงจรเสมือนของวงจรบูตสแตรป 60

5.3 วงจรบูตสแตรปซีมอสอินเวอร์เตอร์แบบใหม่ 63

5.4 กราฟแสดงความสัมพันธ์ของค่าการหน่วงเวลาจากการคำนวณกับโหลดคาแพซิสแตนท์ 66

5.5 สัญญาณเอาต์พุตที่ศักดาไฟเลี้ยง 1.0 โวลท์และโหลดคาแพซิแตนท์ 1.0 pF 67

5.6 สัญญาณเอาต์พุตที่ศักดาไฟเลี้ยง 1.0 โวลท์และโหลดคาแพซิแตนท์ 2.0 pF 67

5.7 สัญญาณเอาต์พุตที่ศักดาไฟเลี้ยง 1.0 โวลท์และโหลดคาแพซิแตนท์ 3.0 pF 68

5.8 สัญญาณเอาต์พุตที่ศักดาไฟเลี้ยง 1.0 โวลท์และโหลดคาแพซิแตนท์ 4.0 pF 68

5.9 สัญญาณเอาต์พุตที่ศักดาไฟเลี้ยง 1.0 โวลท์และโหลดคาแพซิแตนท์ 5.0 pF 69

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญรูป(ต่อ)

รูปที่ หน้า

5.10 กราฟเปรียบเทียบค่าการหน่วงเวลาที่ได้จากการคำนวณกับค่าที่ได้จากการจำลอง.....70

5.11 สัญญาณเอาต์พุตที่ศักดาไฟเลี้ยง 0.8 โวลท์และโหลดคาแพซิแตนท์ 2.0 pF 70

5.12 สัญญาณเอาต์พุตที่ศักดาไฟเลี้ยง 1.2 โวลท์และโหลดคาแพซิแตนท์ 2.0 pF 71

5.13 สัญญาณเอาต์พุตที่ศักดาไฟเลี้ยง 1.6 โวลท์และโหลดคาแพซิแตนท์ 2.0 pF 71

5.14 สัญญาณเอาต์พุตที่ศักดาไฟเลี้ยง 2.0 โวลท์และโหลดคาแพซิแตนท์ 2.0 pF 72

5.15 กราฟแสดงค่าการหน่วงเวลาขาขึ้นเมื่อศักดาไฟเลี้ยงเปลี่ยนแปลงจาก 0.8 – 2.0 โวลท์.....73

5.16 กราฟแสดงความสิ้นเปลืองพลังงาน.....73

6.1 วงจรซีมอสชมิทท์ทริกเกอร์แบบใหม่.....74

6.2 วงจรบูตสแตรปซีมอสชมิทท์ทริกเกอร์.....75

6.3 รูปแบบสัญญาณอินพุตเพื่อหาค่าศักดาทริกเกอร์ของวงจรชมิทท์ทริกเกอร์.....77

6.4 ศักดาฮิสเตอร์รีซิสของวงจรซีมอสชมิทท์ทริกเกอร์จากการคำนวณ.....79

6.5 สัญญาณเอาต์พุตที่ศักดาไฟเลี้ยง 1.0 โวลท์และโหลดคาแพซิแตนท์ 1.0 pF เมื่ออินพุต
เป็นสัญญาณสามเหลี่ยม.....81

6.6 สัญญาณเอาต์พุตที่ศักดาไฟเลี้ยง 1.0 โวลท์และโหลดคาแพซิแตนท์ 2.0 pF เมื่ออินพุต
เป็นสัญญาณสามเหลี่ยม.....81

6.7 สัญญาณเอาต์พุตที่ศักดาไฟเลี้ยง 1.0 โวลท์และโหลดคาแพซิแตนท์ 3.0 pF เมื่ออินพุต
เป็นสัญญาณสามเหลี่ยม.....82

6.8 สัญญาณเอาต์พุตที่ศักดาไฟเลี้ยง 1.0 โวลท์และโหลดคาแพซิแตนท์ 1.0 pF เมื่ออินพุต
เป็นสัญญาณซายน์.....82

6.9 สัญญาณเอาต์พุตที่ศักดาไฟเลี้ยง 1.0 โวลท์และโหลดคาแพซิแตนท์ 2.0 pF เมื่ออินพุต
เป็นสัญญาณซายน์.....83

6.10 สัญญาณเอาต์พุตที่ศักดาไฟเลี้ยง 1.0 โวลท์และโหลดคาแพซิแตนท์ 3.0 pF เมื่ออินพุต
เป็นสัญญาณซายน์.....83

6.11 เปรียบเทียบศักดาทริกเกอร์จากการคำนวณและการจำลอง.....84

6.12 กราฟเปรียบเทียบค่าการหน่วงเวลาของวงจรชมิทท์ทริกเกอร์เมื่อเปลี่ยนโหลด.....84

6.13 สัญญาณเอาต์พุตที่ศักดาไฟเลี้ยง 0.8 โวลท์และโหลดคาแพซิแตนท์ 2.0 pF เมื่ออินพุต
เป็นสัญญาณสามเหลี่ยม.....85

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญรูป(ต่อ)

รูปที่ หน้า

6.14 สัญญาณเอาต์พุตที่ศักดาไฟเลี้ยง 1.2 โวลท์และโหลดคาแพซิแตนท์ 2.0 pF เมื่ออินพุต เป็นสัญญาณสามเหลี่ยม 85

6.15 กราฟเปรียบเทียบค่าการหน่วงเวลาของวงจรชมิท์ทริกเกอร์เมื่อเปลี่ยนศักดาไฟเลี้ยง.....86

6.16 แสดงค่าความสิ้นเปลืองพลังงานของวงจรซีมอสชมิทท์ทริกเกอร์.....86

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญตาราง

ตารางที่ หน้า

3.1 ตารางความจริงของอินเวอร์เตอร์ 17

3.2 แสดงเงื่อนไขการทำงานของซีมอสอินเวอร์เตอร์ 25

5.1 แสดงค่าตัวแปรของวงจรบูตสแตรป 65

5.2 แสดงค่าการหน่วงเวลาที่ได้จากการคำนวณ 65

5.3 เปรียบเทียบค่าการหน่วงเวลาที่ได้จากการคำนวณกับค่าที่ได้จากการจำลอง 69

5.4 ค่าการหน่วงเวลาขาขึ้นเมื่อศักดาไฟเลี้ยงเปลี่ยนแปลงจาก 0.8 – 2.0 โวลท์ 72

6.1 แสดงค่าคาแพซิสแตนท์ของวงจรซีมอสชมิท์ทริกเกอร์ที่ใช้ในการจำลอง 80

ข.1 ตัวแปรของมอสทรานซิสเตอร์ 92

ข.2 ค่าคาแพซิสแตนท์ของมอสทรานซิสเตอร์ในวงจรอินเวอร์เตอร์แบบมาตรฐาน 92

ข.3 ค่าคาแพซิสแตนท์ของมอสทรานซิสเตอร์ในวงจรบูตสแตรปอินเวอร์เตอร์ 92

ข.4 ค่าคาแพซิสแตนท์ของมอสทรานซิสเตอร์ในวงจรบูตสแตรปอินเวอร์เตอร์แบบใหม่ 93

ค.1 ตัวแปรของมอสทรานซิสเตอร์ 94

ค.2 ค่าคาแพซิสแตนท์ของมอสทรานซิสเตอร์ในวงจรซีมอสชมิทท์ทริกเกอร์แบบใหม่ 94

ค.3 ค่าคาแพซิสแตนท์ของมอสทรานซิสเตอร์ในวงจรบูตสแตรปซีมอสชมิทท์ทริกเกอร์ 95

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 1
บทนำ

1.1 ความเป็นมาและความสำคัญของปัญหา

ในปัจจุบันเทคโนโลยีทางด้านวงจรดิจิตอล ได้มีการวิวัฒนาการไปอย่างรวดเร็วมาก ทำให้เทคโนโลยีทางด้านการการออกแบบวงจรดังกล่าวมีการพัฒนาตามไปด้วย ในการออกแบบวงจรทางดิจิตอลนิยมทำเป็นวงจรรวม(IC: Integrated Circuit) และการใช้เทคโนโลยี VLSI (Very Large Scale Integration) ในการออกแบบวงจรรวมจะทำให้ชิพมีขนาดเล็กลงอย่างมาก และการออกแบบวงจรรวมโดยใช้เทคโนโลยีซีมอสเป็นที่นิยมอย่างมากในปัจจุบัน ข้อดีของการใช้เทคโนโลยีซีมอสในการออกแบบวงจร จะทำให้วงจรที่ออกแบบมีการสูญเสียของกำลังงานต่ำ มีอินพุตอิมพิแดนซ์สูง และสามารถทำงานได้ขณะที่ศักดาไฟเลี้ยงต่ำๆ ฯลฯ ในปัจจุบันยังคงมีการวิจัยและพัฒนาวงจรทางดิจิตอลโดยใช้เทคโนโลยีซีมอสอย่างต่อเนื่อง เพื่อทำให้วงจรทางดิจิตอลมีความเร็วในการทำงานสูงและสามารถทำงานได้ที่ระดับศักดาเลี้ยงวงจรที่ค่าต่ำๆได้อย่างมีประสิทธิภาพ เนื่องจากต้องการลดความสิ้นเปลืองพลังงานของระบบลง เพื่อให้เกิดความสะดวกในการจัดหาแหล่งพลังงานและทำให้ระบบสามารถทำงานได้ยาวนานขึ้น เพราะในปัจจุบันเครื่องมือและอุปกรณ์ทางด้านการสื่อสารและคอมพิวเตอร์ที่สามารถพกพาไปในที่ต่างๆ กำลังเป็นที่นิยมใช้กันอย่างสูง เช่น โทรศัพท์มือถือ ,เครื่องคอมพิวเตอร์ส่วนบุคคลขนาดเล็ก และเครื่องมือเครื่องใช้ในสำนักงานต่างๆ เป็นต้น ดังนั้นวงจรที่จะนำประกอบเป็นอุปกรณ์ดังกล่าว จะต้องสามารถทำงานได้ที่ระดับศักดาเลี้ยงต่ำๆ งานวิจัยและพัฒนาวงจรเพื่อให้ได้คุณสมบัติดังกล่าวข้างต้น ได้ถูกนำเสนอกันหลายบทความ [1,2,3-10] แต่ยังมีบางงานวิจัยที่ถูกนำเสนอบางงานยังไม่สามารถทำงานที่ระดับศักดาไฟเลี้ยงวงจรที่ค่าต่ำๆได้อย่างมีประสิทธิภาพ [2, 3] ด้วยเหตุผลดังกล่าวข้างต้น ในวิทยานิพนธ์นี้จึงได้ทำการพัฒนาวงจรเหล่านั้นให้สามารถทำงานที่ระดับศักดาไฟเลี้ยงวงจรที่ค่าต่ำๆได้อย่างมีประสิทธิภาพ

1.2 วัตถุประสงค์ของงานวิจัย

วงจรซีมอสชมิทท์ทริกเกอร์และวงจรซีมอสอินเวอร์เตอร์เป็นวงจรที่มีการใช้งานกันอย่างแพร่หลาย ที่ผ่านมาได้มีการนำเสนอบทความเกี่ยวกับการพัฒนาวงจรทั้งสองขึ้นเป็นอย่างมาก เพื่อพัฒนาวงจรทั้งสองให้สามารถทำงานได้เร็วกว่าวงจรมาตรฐานและมีการสูญเสียกำลังงานต่ำ แต่วงจรดังกล่าวทั้งสองที่ได้ถูกนำเสนอบางงานนั้นยังไม่สามารถทำงานที่ระดับศักดาไฟเลี้ยงวงจรค่าต่ำๆ และที่โหลดคาแพซิแตนท์ค่าสูงๆได้อย่างมีประสิทธิภาพ ดังนั้นในวิทยานิพนธ์ฉบับนี้ จึงได้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ทำการพัฒนาวงจรซีมอสชมิทท์ทริกเกอร์และวงจรซีมอสอินเวอร์เตอร์ให้สามารถทำงานที่ระดับศักดาไฟเลี้ยงวงจรที่ค่าต่ำๆได้อย่างมีประสิทธิภาพ มีความเร็วในการทำงานที่สูงกว่าวงจรที่เคยนำเสนอมาก่อนที่โหลดคาแพซิแตนท์มีค่าสูงๆ และปรับปรุงให้สัญญาณด้านเอาต์พุตของวงจรสามารถสวิงได้เต็มย่านศักดาไฟเลี้ยงวงจร

1.3 แนวความคิดในงานวิจัย

เมื่อให้วงจรซีมอสชมิทท์ทริกเกอร์และวงจรซีมอสอินเวอร์เตอร์ทำงานที่ระดับศักดาไฟเลี้ยงวงจรต่ำๆ จะทำให้ความสามารถของมอสทรานซิสเตอร์ในการขับโหลดคาแพซิสแตนซ์ที่ค่าสูงๆมีประสิทธิภาพลดลง การแก้ปัญหาดังกล่าวได้อย่างมีประสิทธิภาพโดยเทคนิคการใช้ศักดาไฟค่าสูงกว่าระดับศักดาไฟเลี้ยงวงจร(Bootstrapped) ขับไปที่เกตของมอสทรานซิสเตอร์ที่เป็นตัวขับด้านเอาต์พุตได้ถูกนำเสนอขึ้น [1,2] ดังนั้นจึงได้นำแนวทางดังกล่าวไปใช้ในการปรับปรุงวงจรซีมอสชมิทท์ทริกเกอร์เพื่อทำให้วงจรมีประสิทธิภาพในการทำงานที่ระดับศักดาไฟเลี้ยงวงจรต่ำได้เป็นอย่างดี

ในส่วนวงจรซีมอสอินเวอร์เตอร์ที่ใช้เอ็นมอสทรานซิสเตอร์เป็นตัวขับเอาต์พุตด้านขาขึ้น [2] จะให้ความเร็วของการขับสัญญาณของวงจรอินเวอร์เตอร์มีประสิทธิภาพในการทำงานที่ระดับศักดาไฟเลี้ยงวงจรต่ำได้ดีกว่าวงจรซีมอสอินเวอร์เตอร์มาตรฐาน แต่ผลกระทบที่เกิดขึ้นจากการใช้เอ็นมอสทรานซิสเตอร์เป็นตัวขับด้านขาขึ้นจะทำให้สัญญาณด้านเอาต์พุตของวงจรไม่สามารถสวิงได้เต็มย่านที่ระดับศักดาไฟเลี้ยงวงจรและจะลดลงอย่างมากเมื่อโหลดคาแพซิสแตนซ์มีค่าสูงๆ ดังนั้นในวิทยานิพนธ์ฉบับนี้จึงได้ทำการปรับปรุงข้อเสียดังกล่าวของวงจรซีมอสอินเวอร์เตอร์เพื่อให้มีประสิทธิภาพในการทำงานที่ดีกว่าวงจรที่เคยนำเสนอมาก่อน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 2
ทฤษฎีการทำงานของมอสทรานซิสเตอร์

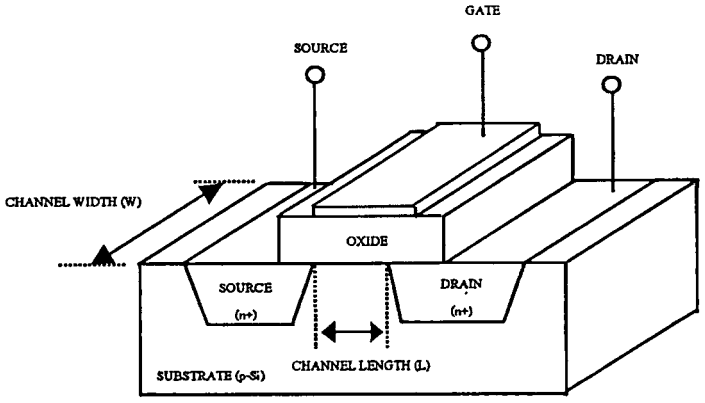
2.1 บทนำ

มอสทรานซิสเตอร์หรือมอสเฟท (MOSFET) มาจากคำเต็มว่า Metal Oxide Semiconductor Field Effect Transsistor เป็นสารกึ่งตัวนำชนิดหนึ่งที่ใช้สนามไฟฟ้าในการควบคุมปริมาณการไหลของกระแสในช่องนำกระแส ในปัจจุบันมีการใช้มอสทรานซิสเตอร์เป็นอุปกรณ์ สวิทช์ชิ่งในวงจร LSI (Large Scale Integration) และ วงจร VLSI (Very Large Scale Integration) เป็นอย่างมาก เนื่องจากมีขบวนการผลิตที่ไม่ยุ่งยากและยังต้องการพื้นที่ซิลิกอนน้อยกว่าเมื่อเทียบกับไบโพลาทรานซิสเตอร์ โครงสร้างและการทำงานของมอสทรานซิสเตอร์จะกล่าวโดยละเอียดในหัวข้อต่อไป

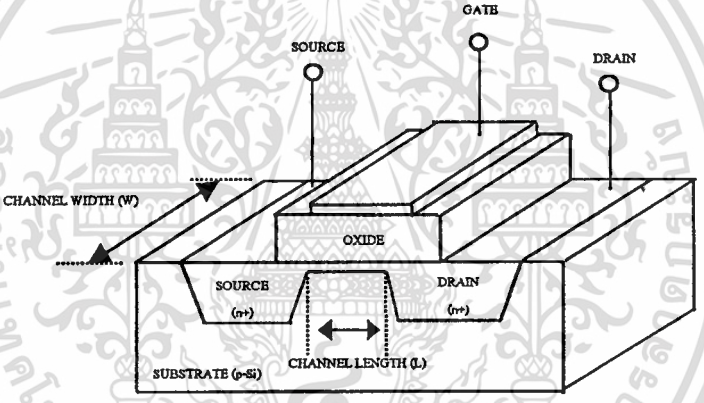
2.2 โครงสร้างของมอสทรานซิสเตอร์

มอสทรานซิสเตอร์สามารถแบ่งตามโครงสร้างได้เป็น 2 แบบคือ เอ็นมอสทรานซิสเตอร์ (N-Channel) และพีมอสทรานซิสเตอร์ (P-Channel) ในแต่ละชนิดยังสามารถแบ่งตามลักษณะการทำงานได้อีก 2 แบบคือ เอ็นฮานเมนท์มอสทรานซิสเตอร์ (Enhancement) และดีพลีชั่นมอสทรานซิสเตอร์ (Depletion) โดยพิจารณาจากรูปที่ 2.1 แสดงถึงรายละเอียดโครงสร้างของเอ็นมอสทรานซิสเตอร์แบบเอ็นฮานเมนท์ ซึ่งจะเห็นการโดปสารกึ่งตัวนำชนิดเอ็น (n^+ Region) อยู่ 2 ส่วนในสารกึ่งตัวนำชนิดพี ในด้านซ้ายจะเรียกว่า ซอส (Source) ในด้านขวาจะเรียกว่า เดรน (Drain) ส่วนบนของบริเวณการโดปสารกึ่งตัวนำชนิดเอ็นทั้งสองจุด จะถูกวางทับด้วยชั้นของออกไซด์บางๆ จากนั้นวางทับด้วยโลหะ (หรือ โพลีซิลิกอน) จะเรียกว่า เกต (Gate) และตัวถังของอุปกรณ์ตัวนี้จะเรียกว่าซับสเตรท (Substrate) หรือ บัค (Bulk) สำหรับระยะห่างระหว่างสารกึ่งตัวนำที่เป็นซอส และ เดรน จะเรียกว่า ความยาวของแชลแนล (Channel Length : L) และความกว้างของช่องระหว่าง ซอสและเดรน จะเรียกว่า ความกว้างของแชลแนล (Channel Width : W) ถ้าส่วนของฐานรองทำด้วยสารกึ่งตัวนำชนิดเอ็นและสารกึ่งตัวนำชนิดพีถูกโดปลงบนฐานรอง โครงสร้างชนิดนี้เรียกว่าพีมอสทรานซิสเตอร์แบบเอ็นฮานเมนท์ สำหรับโครงสร้างของเอ็นมอสทรานซิสเตอร์แบบดีพลีชั่น จะคล้ายกับเอ็นมอสทรานซิสเตอร์แบบเอ็นฮานเมนท์ แต่จะแตกต่างกันตรงที่ช่องระหว่าง ซอส กับ เดรน ของเอ็นมอสทรานซิสเตอร์แบบดีพลีชั่น จะมีการโดปสารกึ่งตัวนำชนิดเอ็นดังรายละเอียดในรูปที่ 2.2

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.1 โครงสร้างของเอ็นมอสทรานซิสเตอร์แบบเอ็นฮานเมนท์

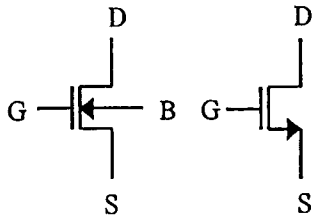


รูปที่ 2.2 โครงสร้างของเอ็นมอสทรานซิสเตอร์แบบดีพลีชั่น

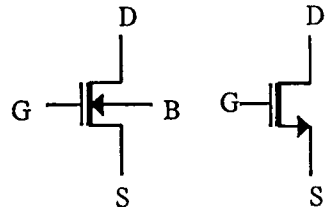
2.3 สัญญลักษณ์ของมอสทรานซิสเตอร์

สัญญลักษณ์ของมอสทรานซิสเตอร์สามารถบอกได้ว่าเป็นมอสทรานซิสเตอร์ชนิดเอ็นหรือชนิดพี โดยดูที่หัวลูกศรที่ขาซอส ถ้าหัวลูกศรหันเข้าหาขาเกตแสดงว่าเป็น พีมอสทรานซิสเตอร์ แต่ถ้าหัวลูกศรหันออกจากขาเกตแสดงว่าเป็น เอ็นมอสทรานซิสเตอร์ หรือดูที่ทิศทางของหัวลูกศรที่ขาฐานรอง (Substrate) หรือบางที่เรียกว่า Bulk โดยถ้าหัวลูกศร หันเข้าหาขาเกตแสดงว่าเป็น เอ็นมอสทรานซิสเตอร์ แต่ถ้าหัวลูกศรหันออกจากขาเกตแสดงว่าเป็น พีมอสทรานซิสเตอร์ และสัญญลักษณ์ยังสามารถบอกได้อีกว่ามอสทรานซิสเตอร์เป็นแบบเอ็นฮานเมนท์หรือแบบดีพลีชั่น ดังรูปที่ 2.3

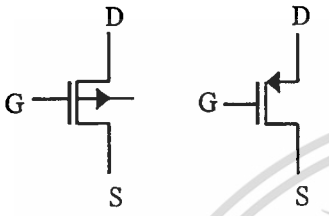
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



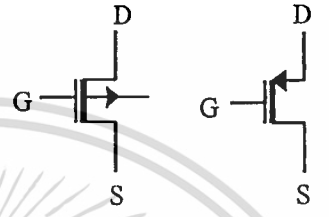
(ก) เอ็นมอสทรานซิสเตอร์แบบเอ็นฮานเมนท์



(ข) เอ็นมอสทรานซิสเตอร์แบบดีพลีชั่น



(ค) พีมอสทรานซิสเตอร์แบบเอ็นฮานเมนท์

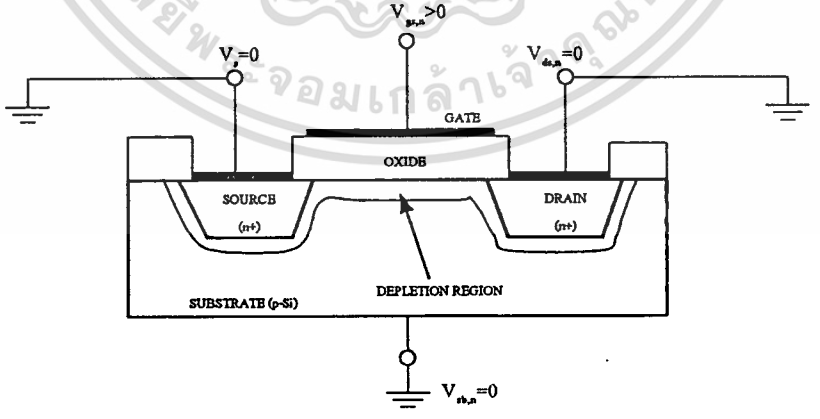


(ง) พีมอสทรานซิสเตอร์แบบดีพลีชั่น

รูปที่ 2.3 สัญญลักษณ์ของมอสทรานซิสเตอร์

2.4 การทำงานของมอสทรานซิสเตอร์

ถ้าพิจารณาโครงสร้างของเอ็นมอสทรานซิสเตอร์แบบเอ็นฮานเมนท์จากรูปที่ 2.1 จะสามารถอธิบายการทำงานอย่างง่ายๆของมอสทรานซิสเตอร์ได้ดังนี้ กระแสไฟฟ้าที่ไหลในแชลแนลระหว่างเดรนและซอสของมอสทรานซิสเตอร์จะถูกควบคุมด้วยสนามไฟฟ้าที่ถูกสร้างขึ้นจากการเปลี่ยนแปลงของระดับศักดาที่เกต และปริมาณกระแสที่ไหลในแชลแนลก็จะถูกควบคุมโดยศักดาระหว่างเดรนกับซอสและศักดาที่ฐานรอง อีกด้วย

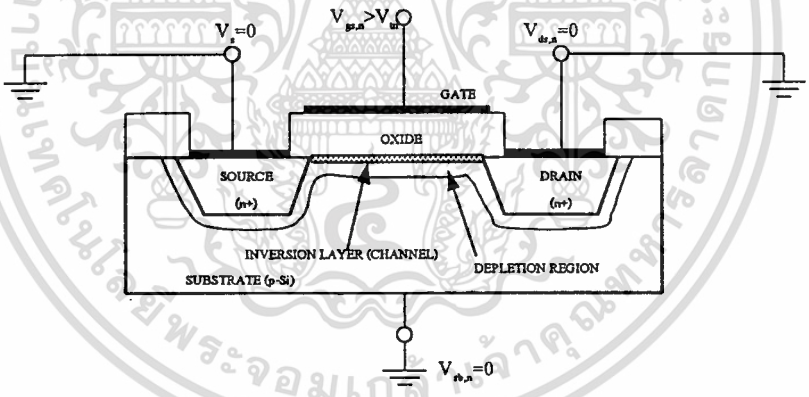


รูปที่ 2.4 แสดงการไบอัสเอ็นมอสทรานซิสเตอร์แบบเอ็นฮานเมนท์ซึ่งทำให้เกิดย่านปลอดพาหะ (Depletion Region)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การไบอัสอย่างง่ายให้กับเอ็นมอสทรานซิสเตอร์แบบเอ็นฮานเมนท์ ดังแสดงในรูปที่ 2.4 โดยให้เดรน ซอส และฐานรอง ($V_{sb,n}$) ถูกต่ออยู่กับกราวด์ และ ให้ศักดาที่มีศักย์บวกระหว่างเกตกับซอส ($V_{gs,n}$) ซึ่งสามารถทำให้เกิดแชลแนลความนำขึ้นภายใต้เกต เมื่อศักดาที่มีศักย์บวกระหว่างเกตกับซอสมีค่าน้อยๆ Majority Carrier (Hold) จะถูกผลักลงไปยังฐานรอง (Substrate) จะทำให้ผิวของฐานรอง P-Type เกิดย่านปลอดพาหะขึ้น และถ้าบริเวณผิวปราศจาก Mobile Carrier ใดๆ ค่าความนำไฟฟ้าระหว่างเดรนกับซอสกจะไม่เกิดขึ้นด้วย

ถ้าทำการไบอัสที่เกตกับซอสด้วยศักดาที่มีศักย์บวกมากขึ้น จนกระทั่งมากกว่าศักดาค่าบวกค่าหนึ่งซึ่งเรียกว่า ศักดาเทรดโฮลด์ (V_{th}) ทำให้ศักย์บวกของเกตที่มากขึ้นนี้ จะดึงอิเล็คตรอนจำนวนมากจาก ฐานรอง P-Type มาใกล้บริเวณผิวสร้างเป็น N-Type Region ใกล้บริเวณผิวจะเรียกว่า Inversion Layer ดังแสดงรายละเอียดในรูปที่ 2.5 ซึ่งเกิดขึ้นระหว่างเดรนกับซอสและจะทำหน้าที่เป็นช่องทางเดินกระแสระหว่างเดรนกับซอส และปริมาณกระแสไหลที่จะไหลผ่านระหว่างเดรนกับซอสจะขึ้นอยู่กับค่าความต่างศักย์ของศักดาที่ไบอัสให้เดรนกับซอส ดังนั้นถ้าให้ศักดาระหว่างเดรนกับซอสเป็นบวกเล็กน้อย ($V_{ds,n}$>0) จะเกิดกระแสไหลจากเดรน ไปยังซอส ถ้าเพิ่มให้ศักดาระหว่างเดรนกับซอสที่ค่าๆหนึ่ง ($V_{ds,n}$=($V_{gs,n}$- V_{tn})) จะทำให้กระแสเดรนจะไหลสูงสุดและจะคงที่ตลอดไปแม้มีการเพิ่มศักดาระหว่างเดรนกับซอส ($V_{ds,n}$) ขึ้นอีกก็ตาม



รูปที่ 2.5 แสดงการเกิด Inversion Layer ของเอ็นมอสทรานซิสเตอร์แบบเอ็นฮานเมนท์

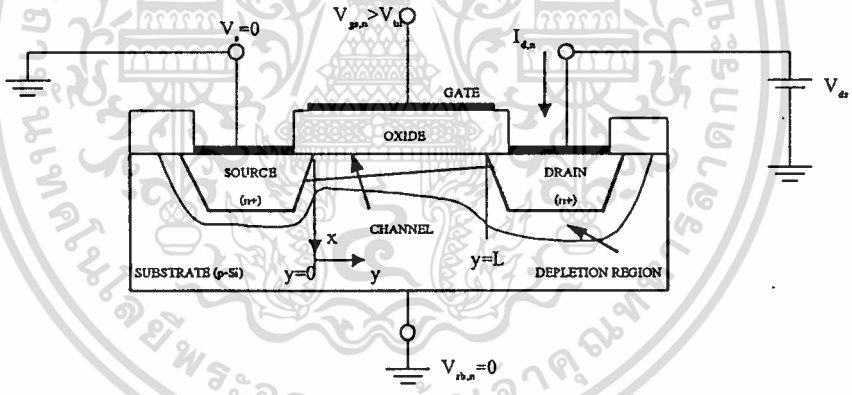
ส่วนการทำงานของเอ็นมอสทรานซิสเตอร์แบบดีพลีชั่นนั้น จากโครงสร้างดังแสดงในรูปที่ 2.2 จะเห็นได้ว่า เมื่อไบอัสศักดาระหว่างเกตกับซอสเป็นศูนย์ และให้ศักดาระหว่างเดรนกับซอสเป็นบวกค่าหนึ่ง จะมีกระแสเดรนไหลค่าหนึ่ง เนื่องจากแชลแนลได้ถูกสร้างไว้แล้ว เมื่อไบอัสศักดาระหว่างเกตกับซอสมีค่าเป็นลบค่าน้อยๆ จะเกิดสนามไฟฟ้าในออกไซด์มีทิศทางไปยังขาเกต ผลที่ได้จะทำให้อิเล็คตรอนบริเวณใกล้ผิวในแชลแนลถูกผลักให้ลงมาในแชลแนลส่วนล่าง เป็นผลทำให้เกิดย่านปลอดพาหะ (Depletion Region) ใกล้บริเวณผิวภายในแชลแนลขึ้น ทำให้สภาพความนำ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ไฟฟ้าของแชลแนลลดลง ผลทำให้กระแสเดรนไหลน้อยลงและถ้าศักดาระหว่างเกตกับซอสเป็นลบมากขึ้น ทำให้ย่านปลอดพาหะแผ่กว้างเพิ่มขึ้นในแชลแนล จะทำให้สภาพความนำไฟฟ้าของแชลแนลลดลงไปอีก ทำให้กระแสเดรนไหลน้อยลงไปอีกและ ถ้าศักดาที่เกตเป็นลบมากๆ ทำให้ย่านปลอดพาหะแผ่กว้างเต็มแชลแนล แชลแนลจะไม่นำกระแส ทำให้กระแสเดรนมีค่าเป็นศูนย์ ซึ่งเรียกการทำงานแบบนี้ว่า การทำงานแบบดีพลีชั่นโหมด (Depletion Mode) สามารถแสดงกราฟความสัมพันธ์ระหว่างกระแสเดรนและศักดาระหว่างเดรนกับซอสของมอสทรานซิสเตอร์แบบดีพลีชั่นได้ดังรูปที่ 2.11 และกราฟความสัมพันธ์ระหว่างกระแสเดรนและศักดาระหว่างเดรนกับซอสของมอสทรานซิสเตอร์แบบเอ็นฮานเมนท์ได้ดังรูปที่ 2.12

2.5 คุณสมบัติทางศักดากับกระแสของมอสทรานซิสเตอร์

การวิเคราะห์หาความสัมพันธ์ของศักดากับกระแสของมอสทรานซิสเตอร์ต้องการข้อกำหนดต่างๆเพื่อทำให้ปัญหาต่างๆง่ายขึ้น ในการวิเคราะห์สำหรับการหาความสัมพันธ์ของศักดากับกระแสของมอสทรานซิสเตอร์ในหัวข้อนี้ จะทำการวิเคราะห์ปัญหาการไหลของกระแสหนึ่งมิติ ทำให้ได้สมการกระแสที่เข้าใจได้ง่ายและสอดคล้องกับผลที่ได้จากการทดลอง



รูปที่ 2.6 แสดงภาพตัดขวางของเอ็นมอสทรานซิสเตอร์ที่ทำงานในช่วงเชิงเส้น (Linear region)

เริ่มต้นด้วยการพิจารณารายละเอียดของภาพตัดขวางของเอ็นมอสทรานซิสเตอร์ที่ทำงานในช่วงเชิงเส้น ดังแสดงในรูปที่ 2.6 จะเห็นว่าซอสและฐานรองถูกต่ออยู่กับกราวด์ ($V_s=V_{sb,n}=0$) ส่วนกระแสเดรน ($I_{d,n}$) จะถูกควบคุมจากภายนอกโดยศักดาระหว่างเกตกับซอส ($V_{gs,n}$) และศักดาระหว่างเดรนกับซอส ($V_{ds,n}$) ค่าศักดาระหว่างเกตกับซอส ($V_{gs,n}$) จะถูกกำหนดให้มีค่ามากกว่าค่าศักดาเทรดโฮลด์ (V_{tn}) เพื่อสร้างค่าความนำไฟฟ้าให้เกิดขึ้นในแชลแนลระหว่างเดรนกับซอส และกำหนดจุดพิกัดของโครงสร้างเป็นดังนี้ ทิศทาง x (x-direction) จะตั้งฉากไปกับพื้นผิวและชี้ลงไป

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

พิกัดของโครงสร้างเป็นดังนี้ ทิศทาง x (x-direction) จะตั้งฉากไปกับพื้นผิวและชี้ลงไปยังฐานรอง ส่วนทิศทาง y (y-direction) จะขนานไปกับพื้นผิว ให้ $V_c(y)$ เป็นศักดาแชลแนล กำหนดให้ค่าศักดาเทรดโฮลด์มีค่าคงที่ตลอดแชลแนล ดังนั้นขอบเขตของศักดาแชลแนลจะเป็นดังนี้

$$V_c(y=0)=V_s=0$$

$$V_c(y=L)=V_{ds,n} \tag{2.1}$$

นอกจากนั้นบริเวณแชลแนลระหว่างเดรนกับซอสจะถูกกำหนดให้มีค่าตรงข้ามกัน

$$V_{gs,n}\geq V_{tn}$$

$$V_{gd,n}=V_{gs,n}-V_{ds,n}\geq V_{tn} \tag{2.2}$$

เมื่อ $V_{gd,n}$ เป็นศักดาระหว่างเกตกับเดรน

กระแสเดรนเกิดจากการเคลื่อนที่ของอิเล็คตรอนภายในแชลแนลจากซอสไปยังเดรนภายใต้สนามไฟฟ้าที่ถูกสร้างขึ้น เมื่อการไหลของกระแสจะถูกกำหนดโดยจำนวนการประจุของโมบายอิเล็คตรอน (Mobile electron) บนผิวของ inversion layer ดังนั้นจะพิจารณาในรายละเอียดของ inversion layer ที่ขึ้นอยู่กับศักดาในการไบอัส

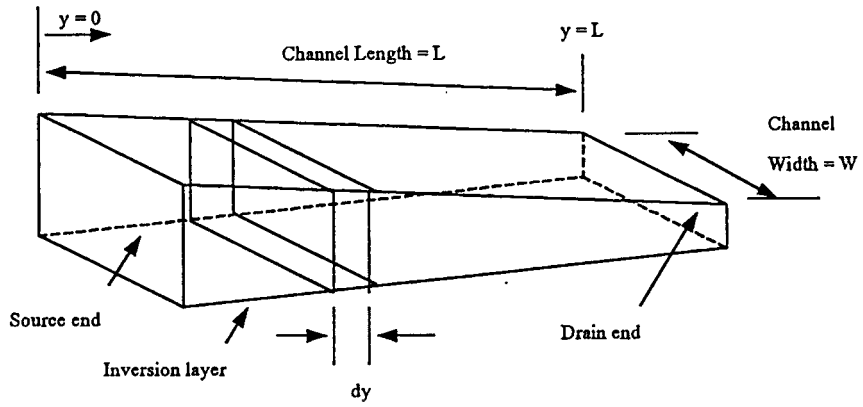
ถ้าให้ $Q_i(y)$ เป็นโมบายอิเล็คตรอนรวมที่ประจุในผิวของ inversion layer การประจุนี้สามารถแสดงในฟังชั่นก์ของศักดาระหว่างเกตกับซอส ($V_{gs,n}$) และศักดาแชลแนล ($V_c(y)$) ได้ดังนี้

$$Q_i(y)=-C_{ox}\left[V_{gs,n}-V_c(y)-V_{tn}\right] \tag{2.3}$$

โดยที่ C_{ox} คือค่าความจุต่อหนึ่งหน่วยพื้นที่ของชั้นออกไซด์ที่กั้นระหว่างเกตกับแชลแนล

รูปที่ 2.7 จะเป็นการแสดงพื้นผิวทางเรขาคณิตของ inversion layer และแสดงขนาดของตัวแปรต่างๆ ค่าความหนาของ inversion layer จะเป็นรูปลิ่มเริ่มจากซอสไปยังเดรน เนื่องจากศักดาระหว่างเกตกับแชลแนลทำให้ผิวของ inversion layerมีค่าน้อยลงที่จุดสิ้นสุดของเดรน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.7 แสดงส่วนทางเรขาคณิตบริเวณผิวของ Inversion Layer

จากนั้นทำการพิจารณาการเพิ่มขึ้นของความต้านทาน (dR) ของการ differential สวนแชลแนลที่แสดงในรูปที่ 2.7 กำหนดให้โมบายอิเล็คตรอนใน inversion layer ทั่งหมดมีค่าความคล่องตัวของอิเล็คตรอน (μ_n) คงที่ การเพิ่มขึ้นของความต้านทานสามารถแสดงได้ดังนี้

$$dR = -\frac{dy}{W\mu_n Q_l(y)} \qquad (2.4)$$

กระแสเดรนจะไหลระหว่างเดรนกับซอสในทิศทาง y ซึ่งเป็นไปตามข้อกำหนดของรูปแบบการวิเคราะห์แบบหนึ่งมิติ ใช้กฎของโอมห์เพื่อหาศักดาตกคร่อมระหว่างการเพิ่มขึ้นของ dy ในทิศทาง y จะได้เป็น

$$dV_c = I_{d,n}\,dR = -\frac{I_{d,n}}{W\mu_n Q_l(y)}dy \qquad (2.5)$$

ทำการอินทิเกรตสมการที่ (2.5) ไปตามความยาวของแชลแนลจาก y=0 ไปยัง y=L โดยใช้ขอบเขตที่กำหนดจากสมการที่ (2.1)

$$\int_0^L I_{d,n}\,dy = -W\mu_n \int_0^{V_{ds,n}} Q_l(y)\,dV_c \qquad (2.6)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สมการด้านซ้ายมือจะได้เป็น $LI_{d,n}$ แทนค่า $Q_i(y)$ ด้วยสมการที่ (2.3) แล้วทำการอินทิเกรตดังนั้น

$$I_{d,n}L = W\mu_n C_{ox} \int_0^{V_{ds,n}} \left(V_{gs,n} - V_c - V_{tn}\right) dV_c \qquad (2.7)$$

กำหนดให้มีการเปลี่ยนแปลงศักดาแชลแนล (V_c) ในสมการที่ (2.7) ขึ้นอยู่กับตำแหน่งของ y จะได้กระแสเดรนเป็นดังนี้

$$I_{d,n} = \frac{\mu_n C_{ox}}{2}\frac{W}{L}\left[2\left(V_{gs,n} - V_{tn}\right)V_{ds,n} - V_{ds,n}^2\right] \qquad (2.8)$$

สมการที่ (2.8) เป็นการแสดงกระแสเดรนในรูปฟังชั่นก์ second-order ของศักดาจากภายนอกคือ ศักดาระหว่างเกตกับซอส ($V_{gs,n}$) และศักดาระหว่างเดรนกับซอส ($V_{ds,n}$) สมการดังกล่าวเป็นสมการความสัมพันธ์ระหว่างกระแสกับศักดาของมอสทรานซิสเตอร์ที่ทำงานในช่วงเชิงเส้น (Linear region) และสามารถเขียนสมการได้ใหม่ดังนี้

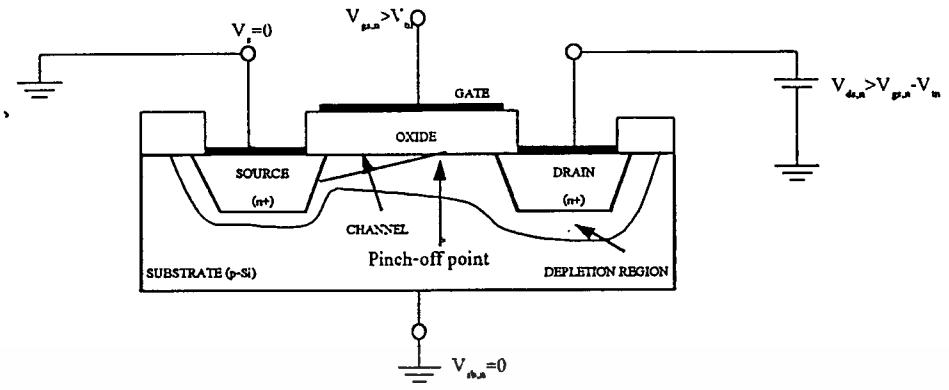
$$I_{d,n} = \frac{k_n}{2}\left[2\left(V_{gs,n} - V_{tn}\right)V_{ds,n} - V_{ds,n}^2\right] \qquad (2.9)$$

เมื่อ $V_{gs,n} > V_{tn}; 0 < V_{ds,n} < \left(V_{gs,n} - V_{tn}\right)$

$$k_n = \mu_n C_{ox}\frac{W}{L} \qquad (2.10)$$

จากสมการที่ (2.9) เป็นการประมาณการที่ใช้ได้ดีในกรณีที่ $V_{ds,n} < (V_{gs,n} - V_{tn})$ เท่านั้น เมื่อ $V_{ds,n} > (V_{gs,n} - V_{tn})$ จะเกิดปรากฏการณ์อีกอย่างหนึ่งขึ้นดังแสดงในรูปที่ 2.8 แสดงถึงค่าศักดาที่เปลี่ยนแปลงไปภายในแชลแนล และปริมาณความเข้มของประจุที่ค่อยๆลดลงเมื่อเข้าใกล้เดรน ถ้าเดรนมีศักดาเท่ากับ $V_{ds,n} > (V_{gs,n} - V_{tn})$ จะทำให้ inversion layer และความลึกของแชลแนลลดลง ซึ่งจะถูกเรียกว่า Pinch-off point จะทำให้มอสทรานซิสเตอร์ทำงานในช่วงอิ่มตัว (Saturation region)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.8 แสดงการเกิด pinch-off

จากรูปที่ 2.8 ทำให้สามารถแสดงขอบเขตการทำงานของมอสทรานซิสเตอร์ในช่วงอิ่มตัวได้เป็นดังนี้

$$V_{ds,n} \geq \left(V_{gs,n} - V_{tn} \right) \tag{2.11}$$

ดังนั้นกระแสเดรนในช่วงการทำงานแบบอิ่มตัวสามารถหาได้โดยการแทนสมการที่ (2.11) ไปในสมการที่ (2.8) จะได้เป็น

$$I_{d,n} = \frac{\mu_n C_{ox}}{2} \frac{W}{L} \left[2\left(V_{gs,n} - V_{tn} \right)\left(V_{gs,n} - V_{tn} \right) - \left(V_{gs,n} - V_{tn} \right)^2 \right] \tag{2.12}$$

$$I_{d,n} = \frac{\mu_n C_{ox}}{2} \frac{W}{L} \left(V_{gs,n} - V_{tn} \right)^2 \tag{2.13}$$

และสามารถเขียนสมการใหม่ได้เป็น

$$I_{d,n} = \frac{k_n}{2} \left(V_{gs,n} - V_{tn} \right)^2 \tag{2.14}$$

เมื่อ $V_{gs,n} > V_{tn}; 0 < V_{ds,n} > \left(V_{gs,n} - V_{tn} \right)$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากรายละเอียดของคุณสมบัติทางศักดาและกระแสของมอสทรานซิสเตอร์ทำให้สามารถสรุปการจัดไบอัสการทำงานของมอสมอสทรานซิสเตอร์ได้เป็น 3 ช่วง โดยการทำงานทั้งหมดจะอ้างอิงการไบอัสเอ็นมอสทรานซิสเตอร์แบบเอ็นฮานเมนท์ เป็นดังนี้

2.5.1 การทำงานในช่วงคัทออฟ (Cutoff Region)

เป็นการไบอัสให้ศักดาระหว่างเกตกับซอส ($V_{gs,n}$) มีค่าน้อยกว่าศักดาเทรดโฮลด์ (V_{tn}) จะเป็นผลทำให้ไม่มีกระแสไหลระหว่างเดรนกับซอส ดังนั้นสมการกระแสเดรนจะเป็นดังนี้

$$I_{d,n} = 0, V_{gs,n} < V_{tn} \tag{2.15}$$

2.5.2 การทำงานในช่วงไม่อิ่มตัว (Non-Saturation Region) หรือช่วงเชิงเส้น (Linear Region) หรือ (Triode Region)

เป็นการไบอัสให้ศักดาระหว่างเกตกับซอส($V_{gs,n}$) มีค่ามากกว่าศักดาเทรดโฮลด์ ($|V_{gs,n}| > V_{tn}$) และขณะเดียวกันจะไบอัสให้ศักดาระหว่างเดรนกับซอสมีค่าน้อยกว่าศักดาระหว่างเกตกับซอสลบด้วยศักดาเทรดโฮลด์ ($V_{ds,n} < (V_{gs,n} - V_{tn})$) จะทำให้มีกระแสไหลระหว่างเดรนกับซอส โดยสมการกระแสเดรนเป็นดังนี้

$$I_{d,n} = \frac{k_n}{2}\left[2\left(V_{gs,n} - V_{tn}\right)V_{ds,n} - V_{ds,n}^2\right] \tag{2.16}$$

$$\text{เมื่อ } V_{gs,n} > V_{tn}; 0 < V_{ds,n} < \left(V_{gs,n} - V_{tn}\right)$$

2.5.3 การทำงานในช่วงอิ่มตัว (Saturation Region)

เป็นการไบอัสให้ศักดาระหว่างเกตกับซอส($V_{gs,n}$) มีค่ามากกว่าศักดาเทรดโฮลด์ ($|V_{gs,n}| > V_{tn}$) และขณะเดียวกันจะไบอัสให้ระหว่างเดรนกับซอสมากกว่าหรือเท่ากับศักดาระหว่างเกตกับซอสลบด้วยศักดาเทรดโฮลด์ ($V_{ds,n} > (V_{gs,n} - V_{tn})$) ดังนั้นจะได้กระแสเดรนในช่วงอิ่มตัวเป็นดังนี้

$$I_{d,n} = \frac{k_n}{2}\left(V_{gs,n} - V_{tn}\right)^2 \tag{2.17}$$

$$\text{เมื่อ } V_{gs,n} > V_{tn}; 0 < \left(V_{gs,n} - V_{tn}\right) \le V_{gs,n}$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จะเห็นได้ว่าสมการกระแสเดรนในช่วงอิ่มตัวที่ได้จะมีค่าคงที่ไม่ขึ้นกับให้ศักดาที่เดรนกับซอส ($V_{ds,n}$) แต่จะขึ้นอยู่กับศักดาระหว่างเกตกับซอสลบด้วยศักดาเทรดโฮลด์ ($V_{gs,n}$-V_{tn}) ซึ่งทำให้สมการเป็นไปตามคุณลักษณะของกฎสมการกำลังสอง (Square-Law Equation) นั่นเอง

ตัวแปรต่างๆที่แสดงในสมการทั้งหมดสามารถแสดงรายละเอียดได้ดังนี้

k_n = ค่าทรานสคอนดัคแตนท์ (Transconductance) มีค่าเท่ากับ $\mu_n C_{ox}\left[\frac{W}{L}\right]$

μ_n = ค่าสภาพความคล่องตัวของโฮลหรืออิเล็คตรอน (Surface Mobility of Carrier)

C_{ox} = ค่าความจุไฟฟ้าต่อพื้นที่ของเกตออกไซด์ (Capacitance Per Unit Area of the Gate Oxide) = ε_{0x}/t_{ox}

ε_{0x} = ค่าคงที่ของ SiO_2 = $3.97*8.85*10^{-14}$ F/cm

t_{ox} = ความหนาของเกตออกไซด์

W = ความกว้างของแชลแนล (Channel Width)

L = ความยาวของแชลแนล (Channel Length)

$V_{gs,n}$ = ศักดาไฟฟ้าระหว่างเกตกับซอส (Gate-Source Voltage)

$V_{gd,n}$ = ศักดาไฟฟ้าระหว่างเกตกับเดรน (Gate-Drain Voltage)

$V_{ds,n}$ = ศักดาไฟฟ้าระหว่างเดรนกับซอส (Drain-Source Voltage)

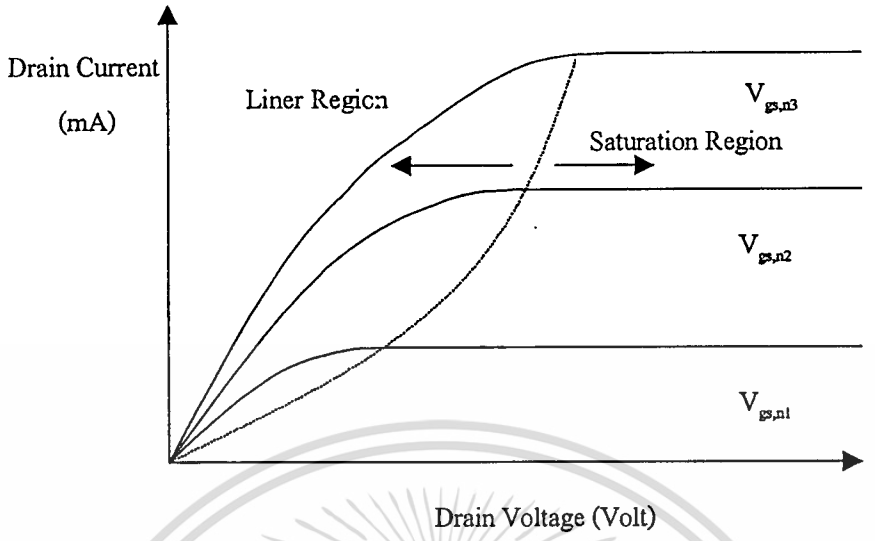
$V_{sb,n}$ = ศักดาที่ฐานรอง (Substrate Voltage)

V_{tn} = ศักดาเริ่มต้นของเอ็นมอส (nMOS Threshold Voltage)

V_{tp} = ศักดาเริ่มต้นของพีมอส (pMOS Threshold Voltage)

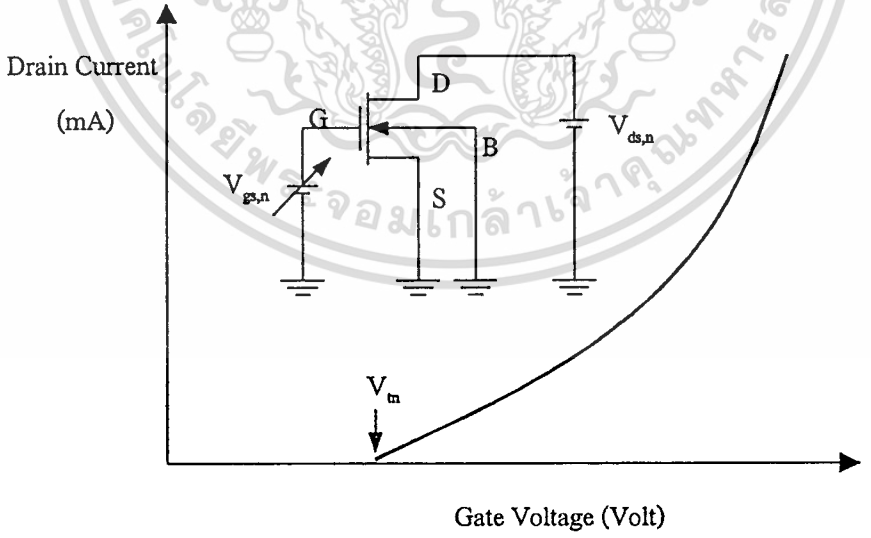
$I_{d,n}$ = กระแสเดรนเอ็นมอสทรานซิสเตอร์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



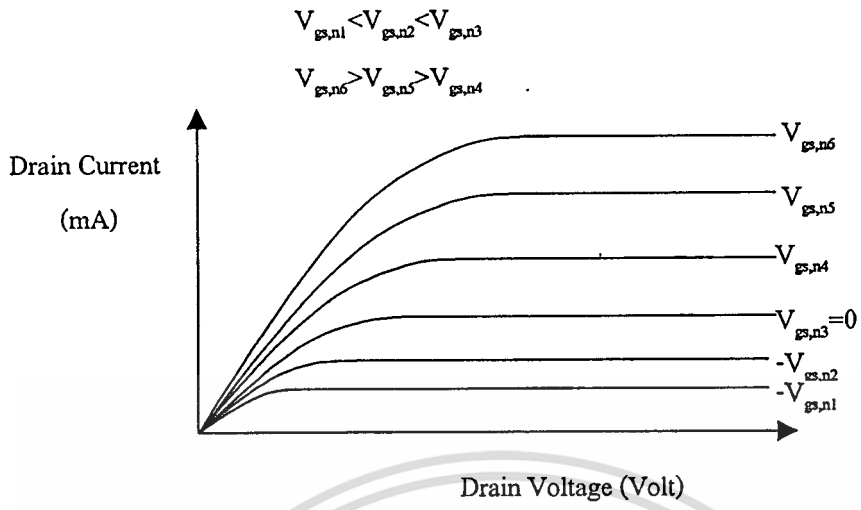
รูปที่ 2.9 คุณลักษณะ กระแสกับศักดาพื้นฐานของเอ็นมอสทรานซิสเตอร์

รูปที่ 2.9 แสดงตัวอย่างคุณลักษณะกระแสเดรนเทียบกับศักดาเดรนของเอ็นมอสทรานซิสเตอร์ โดยใช้สมการกระแสที่ (2.8) และสมการที่ (2.12) เส้นประพาราโบราจะเป็นการแสดงขอบเขตระหว่างช่วงเชิงเส้นและช่วงอิ่มตัว คุณลักษณะของกระแสกับศักดาของมอสทรานซิสเตอร์สามารถเขียนเทียบระหว่างกระแสเดรนและศักดาที่เกต ดังแสดงในรูปที่ 2.10

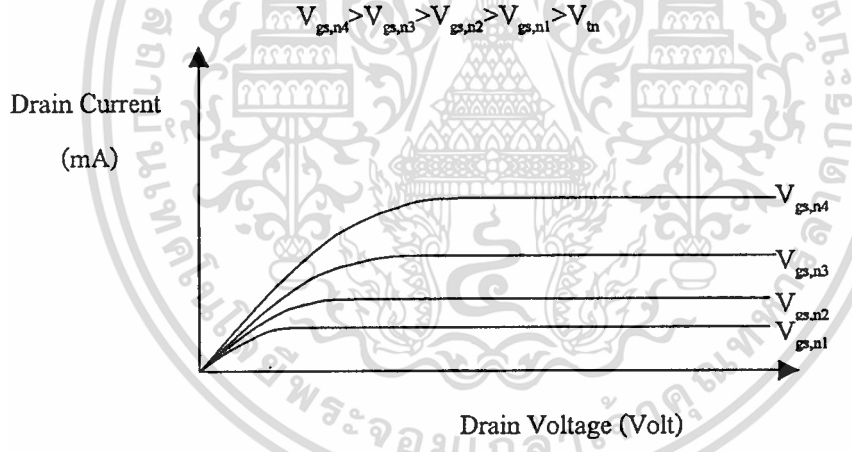


รูปที่ 2.10 กระแสเดรนของเอ็นมอสทรานซิสเตอร์ตามฟังก์ชั่นของศักดาระหว่างเกตกับซอส

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.11 กระแสเดรนและศักดาระหว่างเดรนกับซอสของมอสทรานซิสเตอร์แบบดีพลีชั่น



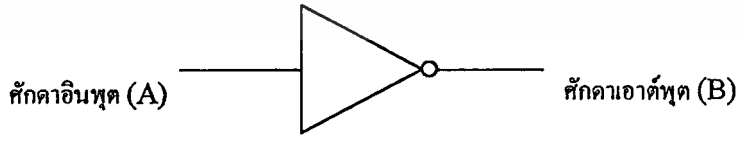
รูปที่ 2.12 กระแสเดรนและศักดาระหว่างเดรนกับซอสของมอสทรานซิสเตอร์แบบเอ็นฮานเมนท์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 3
ทฤษฎีการทำงานของวงจรซีมอสอินเวอร์เตอร์

3.1 บทนำ

อินเวอร์เตอร์เป็นลอจิกเกตพื้นฐานสำหรับการทำงานของสมการบูลีนแบบอินพุตหนึ่งตัวแปร ในบทนี้จะแสดงคุณลักษณะทางกระแสตรงของวงจรซีมอสอินเวอร์เตอร์ สัญญลักษณ์ทางลอจิกของอินเวอร์เตอร์แสดงได้ดังรูปที่ 3.1 และตารางความจริงของอินเวอร์เตอร์ทางอุดมคติสามารถแสดงได้ดังตารางที่ 3.1 ในวงจรอินเวอร์เตอร์ ตัวแปรด้านอินพุต (A) และตัวแปรด้านเอาต์พุต (B) จะถูกแสดงโดยศักย์ศักดาเทียบกับกราวด์ ถ้าสัญญาณทั้งอินพุตและเอาต์พุตเป็นลอจิกหนึ่ง สามารถแสดงได้ด้วยระดับศักดาไฟเลี้ยง (V_{DD}) และลอจิกศูนย์จะถูกแสดงด้วยระดับศักดากราวด์ (0V) สำหรับคุณลักษณะการถ่ายโอนทางระดับศักดา (Voltage transfer characteristic: VTC) ของอินเวอร์เตอร์ในทางอุดมคติจะถูกแสดงดังรูปที่ 3.2 ซึ่งกราฟ VTC สามารถอธิบายได้ดังนี้ เมื่อระดับศักดาอินพุตอยู่ระหว่างกราวด์ (0V) และครึ่งหนึ่งของศักดาไฟเลี้ยง ($V_{DD}/2$) จะทำให้ระดับศักดาเอาต์พุตเท่ากับศักดาไฟเลี้ยง (V_{DD}) หรือลอจิกหนึ่ง และระดับศักดาเอาต์พุตจะเปลี่ยนจากระดับศักดาไฟเลี้ยง (V_{DD}) หรือลอจิกหนึ่งไปเป็นลอจิกศูนย์หรือระดับศักดากราวด์ (0V) ก็ต่อเมื่อระดับศักดาอินพุตเท่ากับหรือมากกว่าครึ่งหนึ่งของศักดาไฟเลี้ยง ($V_{DD}/2$) ดังนั้นจึงสามารถแทนค่าเอาต์พุตลอจิกหนึ่ง เมื่อ ระดับศักดาอินพุตอยู่ระหว่างกราวด์กับครึ่งหนึ่งของศักดาไฟเลี้ยง ($0V<V_{in}<V_{DD}/2$) เอาต์พุตลอจิก ศูนย์เมื่อระดับศักดาอินพุตอยู่ระหว่างครึ่งหนึ่งของศักดาไฟเลี้ยงกับที่ศักดาไฟเลี้ยง($V_{DD}/2<V_{in}<V_{DD}$) ระดับศักดาอินพุตที่ทำให้เอาต์พุตเปลี่ยนจากลอจิกหนึ่งไปเป็นลอจิกศูนย์หรือที่ครึ่งหนึ่งของศักดาไฟเลี้ยงจะถูกเรียกศักดาเทรดโฮลด์ของอินเวอร์เตอร์ (V_{th})

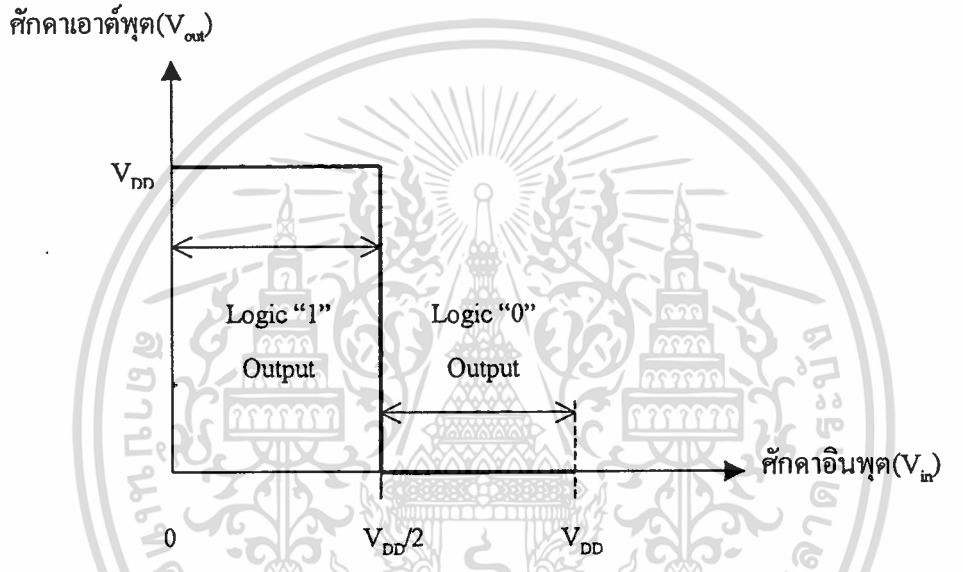


รูปที่ 3.1 สัญญลักษณ์ของอินเวอร์เตอร์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ตารางที่ 3.1 ตารางความจริงของอินเวอร์เตอร์

A	B
0	1
1	0



รูปที่ 3.2 คุณลักษณะการถ่ายโอนทางระดับศักดา (Voltage transfer characteristic: VTC) ของ อิน เวอร์เตอร์ในทางอุดมคติ

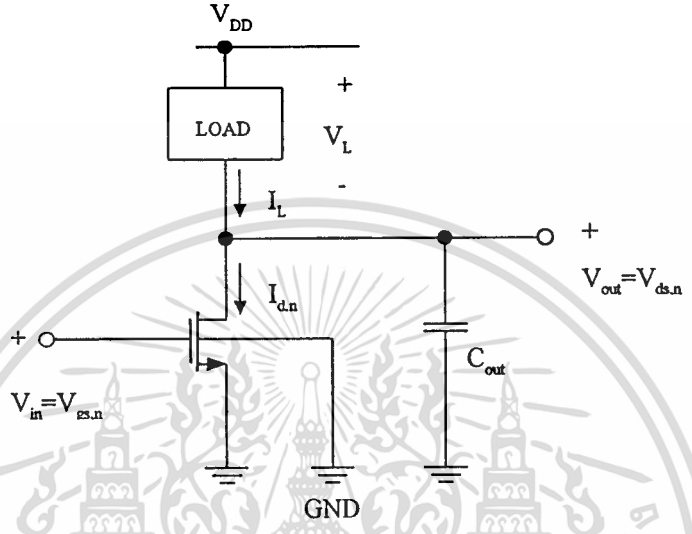
วงจรเอ็นมอสอินเวอร์เตอร์แบบทั่วไปสามารถแสดงได้ดังรูปที่ 3.3 พิจารณาจากวงจรเอ็นมอสอินเวอร์เตอร์แบบทั่วไปจะเห็นได้ว่า ศักดาอินพุต (V_{in}) จะเป็นศักดาระหว่างเกตกับซอสของเอ็นมอส ($V_{in} = V_{gs,n}$) ขณะที่ศักดาเอาต์พุต (V_{out}) จะเป็นศักดาระหว่างเดรนกับซอสของเอ็นมอส ($V_{out} = V_{ds,n}$) โดยที่ซอสและฐานรองจะถูกต่อกับกราวด์ มีโหลดต่ออยู่ระหว่างเดรนกับศักดาไฟเลี้ยงและ I_L เป็นกระแสโหลด V_L เป็นศักดาที่ขั้วทั้งสองของโหลด

ใช้กฎทางกระแสของเคอร์ซอฟกับวงจรเอ็นมอสอินเวอร์เตอร์แบบทั่วไปในรูปที่ 3.3 จะเห็นได้ว่ากระแสโหลดจะเท่ากับกระแสเดรน ดังนั้นจะได้

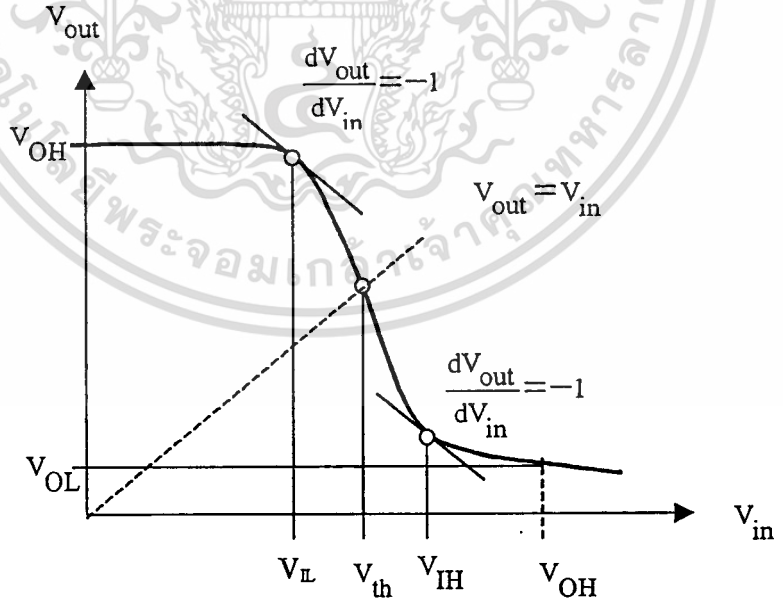
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้
43279

$$I_{d,n}(V_{in}, V_{out}) = I_L(V_L) \tag{3.1}$$

คุณลักษณะการโอนถ่ายทางศักดาจะพิจารณาศักดาเอาต์พุตในฟังก์ชั่นของศักดาอินพุต สามารถหาได้โดยการแก้สมการที่ 3.1 สำหรับตัวอย่างรูปร่างโดยทั่วไปของ VTC สำหรับเอ็นมอสอินเวอร์เตอร์ในทางปฏิบัติจะแสดงดังรูปที่ 3.4



รูปที่ 3.3 วงจรเอ็นมอสอินเวอร์เตอร์แบบทั่วไป



รูปที่ 3.4 คุณลักษณะการถ่ายโอนทางระดับศักดาของอินเวอร์เตอร์ในทางปฏิบัติ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากรูปที่ 3.4 จะพิจารณาเห็นได้ว่ารูปร่างของกราฟจะมีลักษณะคล้ายคลึงกับคุณลักษณะการโอนถ่ายของอินเวอร์เตอร์ทางอุดมคติ อย่างไรก็ตามยังมีส่วนที่แตกต่างกันหลายส่วน สำหรับระดับศักดาอินพุตที่ระดับต่ำๆ จะทำให้ระดับศักดาเอาต์พุต (V_{out}) มีค่าเป็นศักดาเอาต์พุตที่สูงสุด (V_{OH}) ในกรณีนี้ เอ็นมอสทรานซิสเตอร์จะหยุดทำงานและไม่นำกระแสใดๆ เป็นผลทำให้ระดับศักดาที่ตกคร่อมที่โหลดมีค่าน้อยและระดับศักดาเอาต์พุตจะอยู่ที่ระดับสูงสุด ถ้าระดับศักดาอินพุต (V_{in}) เพิ่มขึ้นจนทำให้เอ็นมอสทรานซิสเตอร์จะเริ่มนำกระแส ทำให้ระดับศักดาเอาต์พุตจะเริ่มมีค่าลดลง แต่จะไม่ลดลงอย่างทันทีทันใด เหมือนกับสัญญาณทางแนวตั้งแบบ VTC ของอินเวอร์เตอร์ทางอุดมคติ มันจะลดลงทีละน้อยด้วยความชันที่จำกัด สามารถแสดงศักดาวิกฤติของเส้นโค้งนี้ เมื่อคุณลักษณะทางความโค้งของระดับศักดาอินพุตและเอาต์พุตได้ดังนี้

$$\frac{dV_{out}}{dV_{in}} = -1 \qquad (3.2)$$

เมื่อ V_{OH} = Maximum output voltage เมื่อค่าระดับศักดาเอาต์พุตเป็นโลจิก “1”

V_{OL} = Minimum output voltage เมื่อค่าระดับศักดาเอาต์พุตเป็นโลจิก “0”

V_{IL} = Maximum input voltage ที่ซึ่งสามารถเป็นโลจิก “0”

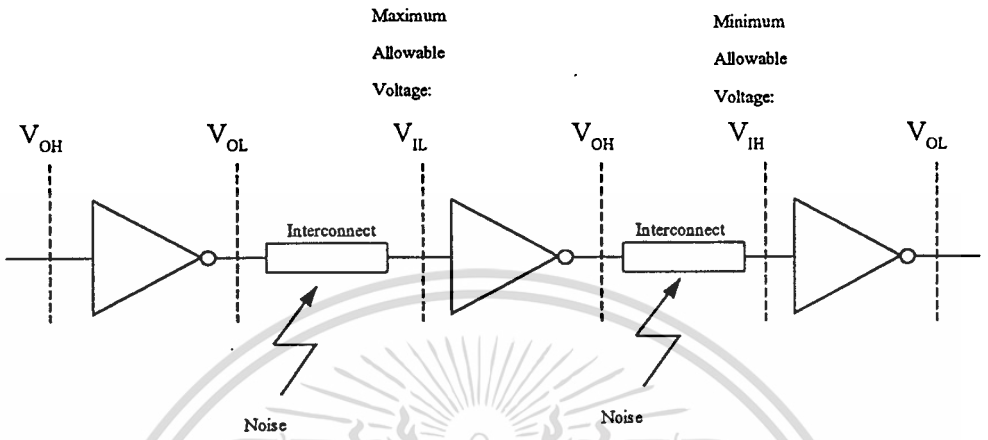
V_{IH} = Minimum input voltage ที่ซึ่งสามารถเป็นโลจิก “1”

3.2 Noise Margin

อินเวอร์เตอร์ที่สามารถทนต่อการรบกวนได้ดีนั้น หมายถึงถ้ามีการรบกวนเข้ามามีผลต่อสัญญาณทำให้สัญญาณนั้นมีค่าเบี่ยงเบนไปจากเดิม แต่ถ้าค่าที่เบี่ยงเบนนั้นยังอยู่ในช่วงๆหนึ่ง สัญญาณนั้นก็จะยังรักษาสถานะนั้นๆไว้ได้ ซึ่งช่วงหรือค่าความไวของอินเวอร์เตอร์ต่อการรบกวนนั้น แสดงได้โดยค่า Noise Margin ผลกระทบของการรบกวนต่อความเชื่อมั่นของวงจรอินเวอร์เตอร์ สามารถอธิบายด้วยรูปภาพประกอบดังแสดงได้ในรูปที่ 3.5 ซึ่งเป็นการต่ออินเวอร์เตอร์เชื่อมโยงกันสามตัว กำหนดให้อินเวอร์เตอร์ทั้งสามตัวมีคุณสมบัติที่เหมือนกันและศักดาอินพุตของอินเวอร์เตอร์ตัวแรกจะเท่ากับค่าศักดา V_{OH} หรือลอจิกหนึ่ง ศักดาเอาต์พุตของอินเวอร์เตอร์ตัวแรกจะเท่ากับค่าศักดา V_{OL} หรือเทียบเท่ากับลอจิกศูนย์ สัญญาณเอาต์พุตนี้จะถูกส่งผ่านจุดต่อภายในไปยังอินพุตของอินเวอร์เตอร์ตัวที่สอง โดยทั่วไปแล้วจุดต่อภายในเหล่านี้มีแนวโน้มที่จะทำให้เกิดการรบกวนขึ้นในระหว่างการส่งผ่านสัญญาณ เป็นผลทำให้ระดับของศักดาที่อินพุตของอินเวอร์ตัวที่สองมีค่ามากกว่าหรือน้อยกว่าค่าศักดา V_{OL} ถ้าระดับศักดาที่อินพุตของอินเวอร์ตัวที่สองมีค่าน้อยกว่าค่าศักดา V_{OL} สัญญาณจะถูกแปลอย่างถูกต้องโดยอินเวอร์เตอร์ตัวที่สองด้วยสัญญาณอินพุตเป็นลอจิกศูนย์ ในทางตรงกันข้ามถ้าระดับศักดาที่อินพุตของอินเวอร์ตัวที่สองมีค่ามากกว่าค่าศักดา

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

V_{IL} ซึ่งเป็นผลมาจากการรบกวนในระหว่างการส่งผ่าน จะทำให้สัญญาณจะถูกแปลอย่างไม่ถูกต้องโดยอินเวอร์เตอร์ตัวที่สอง ดังนั้นสามารถสรุปได้ว่า V_{IL} เป็นค่าศักดาสูงสุดที่อนุญาติให้กับอินพุตของอินเวอร์เตอร์ตัวที่สองเพื่อให้แน่ใจว่าเอาต์พุตเป็นลอจิกหนึ่ง



รูปที่ 3.5 แสดงการส่งผ่านสัญญาณภายใต้อิทธิพลของการรบกวน

ต่อไปพิจารณาการส่งสัญญาณจากเอาต์พุตของอินเวอร์เตอร์ตัวที่สองไปยังอินเวอร์เตอร์ตัวที่สาม กำหนดให้สัญญาณเอาต์พุตจากอินเวอร์เตอร์ตัวที่สองเท่ากับค่าศักดา V_{OH} จากกรณีที่ผ่านมาสัญญาณจะถูกการรบกวนและระดับของศักดาอินพุตของอินเวอร์เตอร์ตัวที่สามจะมีค่าแตกต่างไปจากค่าศักดา V_{OH} ถ้าระดับศักดาที่อินพุตของอินเวอร์ตัวที่สามมีค่ามากกว่าค่าศักดา V_{OH} สัญญาณจะถูกแปลอย่างถูกต้องโดยอินเวอร์เตอร์ตัวที่สามด้วยสัญญาณอินพุตเป็นลอจิกหนึ่ง ในทางตรงกันข้ามถ้าระดับศักดาที่อินพุตของอินเวอร์ตัวที่สามมีค่าต่ำกว่าค่าศักดา V_{IH} ซึ่งเป็นผลมาจากการรบกวนในระหว่างการส่งผ่าน จะทำให้สัญญาณจะถูกแปลงอย่างไม่ถูกต้องโดยอินเวอร์เตอร์ตัวที่สาม ดังนั้นสามารถสรุปได้ว่า V_{IH} เป็นค่าศักดาต่ำสุดที่อนุญาติให้กับอินพุตของอินเวอร์เตอร์ตัวที่สามเพื่อให้แน่ใจว่าเอาต์พุตเป็นลอจิกศูนย์

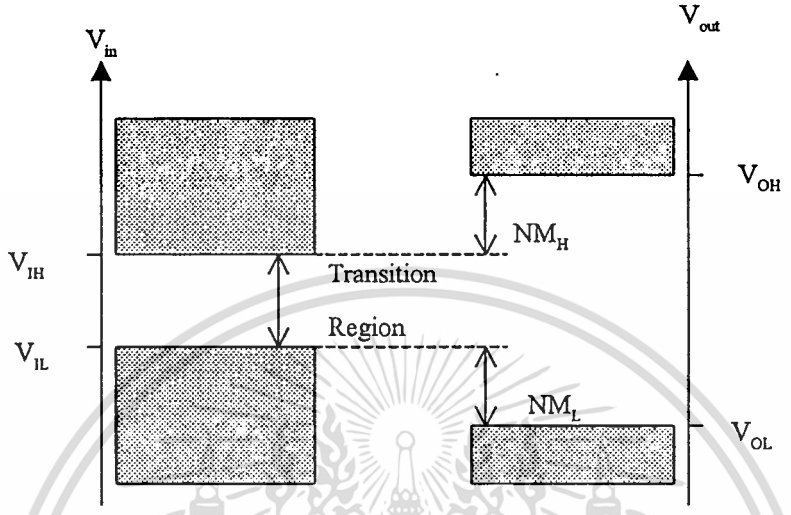
จากตัวอย่างที่ผ่านจะทำให้สามารถให้ความหมายของความสามารถทนต่อการรบกวนของวงจรดิจิตอลได้เป็นอย่างดีหรือเรียกว่า Noise Margin หรอ NM ซึ่งความสามารถทนต่อการรบกวนของวงจรดิจิตอลมี 2 ชนิด คือ NM_L (noise margin for low signal level) และ NM_H (noise margin for high signal level) เป็นดังนี้

$$NM_L = V_{IL} - V_{OL} \tag{3.3}$$

$$NM_H = V_{OH} - V_{IH} \tag{3.4}$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

กราฟของ Noise Margin สามารถแสดงได้ดังรูปที่ 3.6 ในส่วนที่ระบายทึบจะเป็นช่วงของศักดาอินพุตและเอาต์พุตที่ใช้งาน และ Noise Margin จะถูกแสดงด้วยปริมาณของการเปลี่ยนแปลงของระดับสัญญาณที่อนุญาติ ในขณะที่ทำการส่งผ่านจากเอาต์พุตตัวแรกไปยังอินพุตตัวที่สอง



รูปที่ 3.6 แสดงค่า Noise Margins

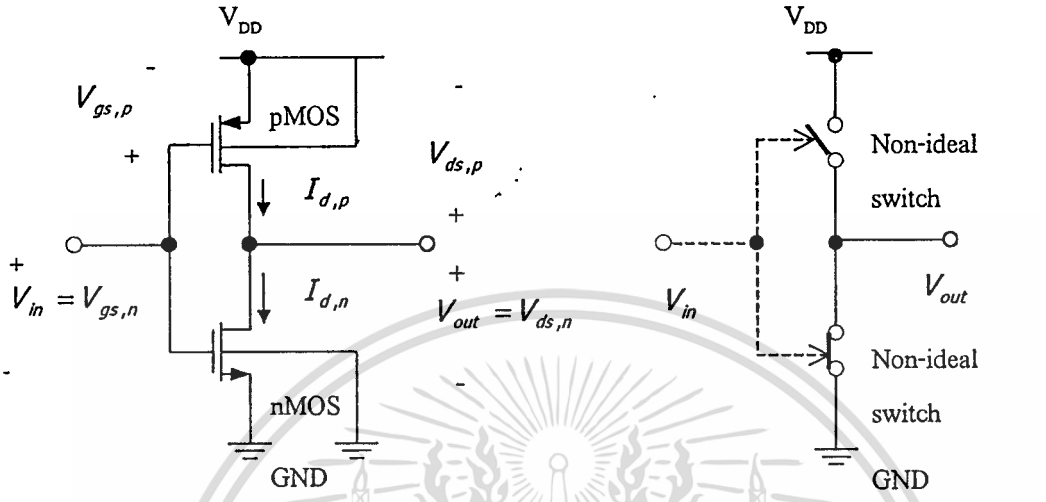
ค่าทั้งสองนี้สามารถใช้พิจารณาการส่งผ่านและรับสัญญาณระหว่างอุปกรณ์ได้ด้วย จากรูปที่ 3.6 จะเห็นได้ว่าค่า NM_H และ NM_L จะต้องมีค่าเป็นบวกเสมอและควรจะมีขนาดใหญ่ที่สุดเท่าที่จะเป็นไปได้

3.3 ซีมอสอินเวอร์เตอร์

วงจรอินเวอร์เตอร์แบบทั่วไปที่พิจารณาในหัวข้อที่ผ่านมาดังแสดงในรูปที่ 3.3 จะมีโครงสร้างที่ประกอบไปด้วยเอ็นมอสทรานซิสเตอร์แบบเอ็นฮานเมนท์ที่เป็นมอสทรานซิสเตอร์ตัวขับและอุปกรณ์โหลด ในโครงสร้างแบบทั่วไปจะเห็นได้ว่าสัญญาณอินพุตจะต่อที่เกตของมอสทรานซิสเตอร์ตัวขับเสมอและการทำงานจะทำการสวิทช์ซึ่งที่มอสทรานซิสเตอร์ตัวขับเท่านั้น ต่อไปเราจะพิจารณาโครงสร้างของอินเวอร์เตอร์ที่แตกต่างไปจากแบบทั่วไป ซึ่งประกอบด้วยเอ็นมอสทรานซิสเตอร์และพีมอสทรานซิสเตอร์ชนิดเอ็นฮานเมนท์ให้ทำงานในโหมดคอมพลีเมนต์ทรารี่ดังแสดงในรูปที่ 3.7 ซึ่งการต่อวงจรในรูปลักษณะแบบนี้จะถูกเรียกว่า Complementary MOS (CMOS) เป็นการต่อแบบ พุช-พูล คอมพลีเมนต์ทรารี่ ที่มีสภาวะการตอบสนองทางอินพุตสูง เอ็นมอสทรานซิสเตอร์จะเป็นตัวขับด้านเอาต์พุตในช่วงขาลง (Pull Down) ในขณะที่พีมอสทรานซิสเตอร์จะทำหน้าที่เสมือนเป็นโหลด สำหรับในสภาวะที่อินพุตเป็นช่วงขาลง (Low)พีมอส

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ทรานซิสเตอร์ จะเป็นตัวขับด้านเอาต์พุต (Pull Up) ในขณะที่เอ็นมอสทรานซิสเตอร์ทำหน้าที่เสมือนเป็นโหลด จะเห็นได้ว่ามอสทรานซิสเตอร์ทั้งสองตัวจะทำงานอย่างเท่าเทียมกัน



ก) วงจรซีมอสอินเวอร์เตอร์ ข) วงจรซีมอสอินเวอร์เตอร์แบบง่าย

รูปที่ 3.7 วงจรซีมอสอินเวอร์เตอร์

เมื่อ V_{in} = ศักดาอินพุต

V_{out} = ศักดาเอาต์พุต

$V_{gs,n}$ = ศักดาระหว่างเกตกับซอสของเอ็นมอสทรานซิสเตอร์

$V_{gs,p}$ = ศักดาระหว่างเกตกับซอสของพีมอสทรานซิสเตอร์

$V_{ds,n}$ = ศักดาระหว่างเดรนกับซอสของเอ็นมอสทรานซิสเตอร์

$V_{ds,p}$ = ศักดาระหว่างเดรนกับซอสของพีมอสทรานซิสเตอร์

$I_{d,n}$ = กระแสเดรนของเอ็นมอสทรานซิสเตอร์

$I_{d,p}$ = กระแสเดรนของพีมอสทรานซิสเตอร์

วงจรซีมอสอินเวอร์เตอร์จะมีข้อดีที่สำคัญสองข้อเมื่อเทียบกับอินเวอร์เตอร์ในรูปแบบอื่นๆข้อแรกบางครั้งอาจจะเป็นข้อดีที่สำคัญคือ การสิ้นเปลืองพลังงานในช่วงการทำงานปกติมีค่าน้อยมากหรือบางทีสามารถตัดทิ้งได้ ยกเว้นการสิ้นเปลืองพลังงานเนื่องจากกระแสรั่วไหลของมอส ข้อที่สองรูปแบบลักษณะของซีมอสจะทำให้การโอนถ่ายศักดาสามารถสวิงได้เต็มย่านระหว่างกราวด์ (0V) และศักดาไฟเลี้ยง (V_{DD}) การเคลื่อนที่ของ VTC จะมีลักษณะชัน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากรูปที่ 3.7 จะให้ศักดาอินพุตต่อเข้าที่เกตของเอ็นมอสทรานซิสเตอร์และพีมอสทรานซิสเตอร์ ดังนั้นมอสทรานซิสเตอร์ทั้งสองจะถูกขับโดยตรงจากสัญญาณอินพุต (V_{in}) ส่วนฐานรอง (Substrate) ของเอ็นมอสทรานซิสเตอร์จะถูกต่ออยู่กับกราวด์ ขณะที่ฐานรองของพีมอสทรานซิสเตอร์จะต่ออยู่กับแหล่งจ่ายศักดาไฟเลี้ยงวงจร เพื่อทำการไบอัสย้อนกลับระหว่างรอยต่อเดรนและซอส ดังนั้นเมื่อศักดาที่ฐานรองของทั้งสองมีค่าเป็นศูนย์ (V_{sb} =0) จึงทำให้มอสทรานซิสเตอร์ทั้งสองจะไม่มีผลกระทบเนื่องจากการไบอัสที่ฐานรอง จากวงจรที่แสดงในรูปที่ 3.7 จะเห็นได้ว่า

$$V_{gs,n} = V_{in}$$

$$V_{ds,n} = V_{out} \qquad (3.5)$$

และ

$$V_{gs,p} = -(V_{DD} - V_{in})$$

$$V_{ds,p} = -(V_{DD} - V_{out}) \qquad (3.6)$$

ทำการวิเคราะห์กรณีง่าย 2 กรณี เมื่อศักดาอินพุตมีค่าน้อยกว่าศักดาเทรดโฮลด์ของเอ็นมอสทรานซิสเตอร์ ($V_{in} < V_{tn}$) เอ็นมอสทรานซิสเตอร์จะหยุดทำงานในเวลาเดียวกันพีมอสทรานซิสเตอร์จะทำงานในช่วงเชิงเส้นเมื่อกระแสเดรนของมอสทรานซิสเตอร์ทั้งสองประมาณเท่ากับศูนย์ (ยกเว้นกระแสรั่วไหล) จะได้

$$I_{d,n} = I_{d,p} = 0 \qquad (3.7)$$

ศักดาที่เดรนและซอสของพีมอสทรานซิสเตอร์จะเท่ากับศูนย์ ส่วนศักดาเอาต์พุตเท่ากับศักดาที่แหล่งจ่าย

$$V_{out} = V_{OH} = V_{DD} \qquad (3.8)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ในทำนองเดียวกันเมื่อค่าศักดาอินพุตมีค่ามากกว่าค่าศักดาไฟเลี้ยงวงจรรวมกับศักดาเทรดโฮลด์ของพีมอสทรานซิสเตอร์ ($V_{in} > V_{DD} + V_{tp}$) จะทำให้พีมอสทรานซิสเตอร์หยุดทำงาน ในกรณีนี้เอ็นมอสทรานซิสเตอร์จะทำงานในช่วงเชิงเส้น แต่ศักดาที่เดรนกับซอสเท่ากับศูนย์ เนื่องจากเป็นไปตามเงื่อนไขสมการที่ 3.7 ดังนั้นศักดาที่เอาต์พุตของวงจรจะเป็น

$$V_{out} = V_{OL} = 0 \tag{3.9}$$

ต่อไปจะทำการทดสอบการทำงานในโหมดต่างๆของเอ็นมอสทรานซิสเตอร์และพีมอสทรานซิสเตอร์ตามฟังชั่นก์ ของศักดาอินพุตและเอาต์พุต เอ็นมอสทรานซิสเตอร์จะทำงานในช่วงอิ่มตัว(Saturation) ถ้าศักดาอินพุตมีค่ามากกว่าศักดาเทรดโฮลด์ ($V_{in} > V_{tn}$) และถ้าเงื่อนไขเหล่านี้เหมาะสม

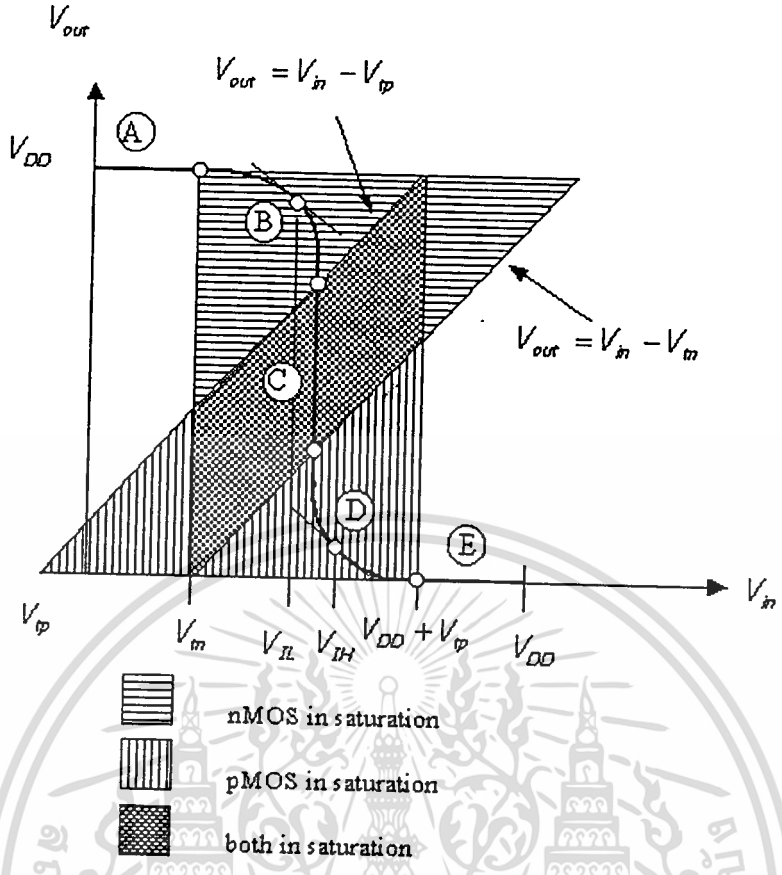
$$V_{ds,n} \geq \left[V_{gs,n} - V_{tn} \right] \Leftrightarrow V_{out} \geq \left[V_{in} - V_{tn} \right] \tag{3.10}$$

ส่วนพีมอสทรานซิสเตอร์จะทำงานในช่วงอิ่มตัว(Saturation) ถ้าศักดาอินพุตมีค่าน้อยกว่าศักดาไฟเลี้ยงวงจรรวมกับศักดาเทรดโฮลด์ ($V_{in} < (V_{DD} + V_{tp})$) และถ้าเงื่อนไขเหล่านี้เหมาะสม

$$V_{ds,p} \leq \left[V_{gs,p} - V_{tp} \right] \Leftrightarrow V_{out} \leq \left[V_{in} - V_{tp} \right] \tag{3.11}$$

เงื่อนไขการทำงานในช่วงอิ่มตัวของอุปกรณ์ทั้งสองสามารถแสดงได้ ในแถบทึบบนแกนของ V_{in}-V_{out} ดังรูปที่ 3.8 ตัวอย่างคุณลักษณะการโอนถ่ายศักดาของซีมอสอินเวอร์เตอร์แสดงซ้อนไว้เพื่อให้ง่ายต่อการอ้างอิง เราสามารถแยกย่านการทำงานของซีมอสอินเวอร์เตอร์ได้เป็น 5 ย่าน โดยแสดงได้จาก A ไปยัง E ในแต่ละย่านจะมีเงื่อนไขการทำงานที่แตกต่างกัน แสดงได้ดังตารางที่ 3.2

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.8 แสดงย่านการทำงานของเอ็นมอสและพีมอสทรานซิสเตอร์

ตารางที่ 3.2 แสดงเงื่อนไขการทำงานของซีมอสอินเวอร์เตอร์

Region	V_{in}	V_{out}	nMOS	pMOS
A	$< V_{tn}$	V_{OH}	Cut-off	Linear
B	V_{IL}	$high \approx V_{OH}$	Saturation	Linear
C	V_{th}	V_{th}	Saturation	Saturation
D	V_{IH}	$low \approx V_{OL}$	Linear	Saturation
E	$> (V_{DD} + V_{tp})$	V_{OL}	Linear	Cut-off

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.3.1 การคำนวณหาค่าศักดาอินพุตมากที่สุดเมื่อเป็นโลจิก"0" หรือ (V_{IL})

จากข้อกำหนดที่ว่า ค่าความชันของVTC จะเท่ากับลบหนึ่ง ($dV_{out}/dV_{in}=-1$) [22] เมื่อศักดาอินพุตเท่ากับศักดา V_{IL} ($V_{in}=V_{IL}$) แสดงว่าในกรณีนี้ เอ็นมอสทรานซิสเตอร์จะทำงานในช่วงอิ่มตัว ขณะที่พีมอสทรานซิสเตอร์จะทำงานในช่วงเชิงเส้น จากเมื่อกระแสเดรนของทั้งสองมีค่าเท่ากัน ($I_{d,n}=I_{d,p}$) ดังนั้นสามารถหาสมการกระแสได้ดังนี้

$$\frac{k_n}{2}\left(V_{gs,n}-V_{tn}\right)^2=\frac{k_p}{2}\left[2\left(V_{gs,p}-V_{tp}\right)V_{ds,p}-V_{ds,p}{}^2\right. \tag{3.12}$$

จากสมการ(3.5) และ (3.6) สามารถเขียนสมการใหม่ได้ดังนี้

$$\frac{k_n}{2}\left(V_{in}-V_{tn}\right)^2=\frac{k_p}{2}\left[2\left(V_{in}-V_{DD}-V_{tp}\right)\left(V_{out}-V_{DD}\right)-\left(V_{out}-V_{DD}\right)^2\right] \tag{3.13}$$

เพื่อหาข้อกำหนดที่เหมาะสมที่ค่าศักดา V_{IL} จะทำการ Differentiate สมการ (3.13) ทั้งสองด้านเทียบกับ V_{in}

$$k_n\left(V_{in}-V_{tn}\right)=k_p\left[\left(V_{in}-V_{DD}-V_{tp}\right)\left(\frac{dV_{out}}{dV_{in}}\right)+\left(V_{out}-V_{DD}\right)-\left(V_{out}-V_{DD}\right)\left(\frac{dV_{out}}{dV_{in}}\right)\right] \tag{3.14}$$

แทนค่า $V_{in}=V_{IL}$ และ $dV_{out}/dV_{in}=-1$ [22] ในสมการที่ (3.14) จะได้

$$k_n\left(V_{IL}-V_{tn}\right)=k_p\left(2V_{out}-V_{IL}+V_{tp}-V_{DD}\right) \tag{3.15}$$

ศักดา V_{IL} วิกฤติสามารถหาได้จากฟังชั่นก์ของศักดาเอาต์พุต (V_{out}) เป็นดังนี้

$$V_{IL}=\frac{2V_{out}+V_{tp}-V_{DD}+k_R V_{tn}}{1+k_R} \tag{3.16}$$

โดยที่ k_R แสดงได้ดังนี้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$k_R = \frac{k_n}{k_p} \tag{3.17}$$

เมื่อ k_n = ค่าทรานคอนดัคแตนท์ของเอ็นมอสทรานซิสเตอร์

k_p = ค่าทรานคอนดัคแตนท์ของพีมอสทรานซิสเตอร์

3.3.2 การคำนวณหาค่าศักดาอินพุตน้อยที่สุดเมื่อเป็นโลจิก "1" หรือ (V_{IH})

เมื่อศักดาอินพุตเท่ากับศักดา V_{IH} เอ็นมอสทรานซิสเตอร์จะทำงานในช่วงเชิงเส้นและพีมอสทรานซิสเตอร์จะทำงานในช่วงอิ่มตัวใช้สมการกระแสของเคอร์ซอฟที่จุดเอาต์พุตจะได้

$$\frac{k_n}{2}\left[2\left(V_{gs,n} - V_{tn}\right)V_{ds,n} - V_{ds,n}^{\,2}\right] = \frac{k_p}{2}\left(V_{gs,p} - V_{tp}\right)^2 \tag{3.18}$$

ใช้สมการ (3.5) และ (3.6) สามารถเขียนสมการใหม่ได้ดังนี้

$$\frac{k_n}{2}\left[2\left(V_{in} - V_{tn}\right)V_{out} - V_{out}^{\,2}\right] = \frac{k_p}{2}\left(V_{in} - V_{DD} - V_{tp}\right)^2 \tag{3.19}$$

ทำการ Differentiate สมการ(3.19) ทั้งสองด้านเทียบกับ V_{in}

$$k_n\left[\left(V_{in} - V_{tn}\right)\left(\frac{dV_{out}}{dV_{in}}\right) + V_{out} - V_{out}\left(\frac{dV_{out}}{dV_{in}}\right)\right] = k_p\left(V_{in} - V_{DD} - V_{tp}\right) \tag{3.20}$$

แทนค่า $V_{in}=V_{IH}$ และ $dV_{out}/dV_{in}=-1$ [22] ในสมการที่ (3.20) จะได้

$$k_n\left(-V_{IH} + V_{tn} + 2V_{out}\right) = k_p\left(V_{IH} - V_{DD} - V_{tp}\right) \tag{3.21}$$

ศักดา V_{IH} วิกฤติสามารถหาได้จากฟังชั่นก์ของศักดาเอาต์พุต (V_{out}) เป็นดังนี้

$$V_{IH} = \frac{V_{DD} + V_{tp} + k_R\left(2V_{out} + V_{tn}\right)}{1 + k_R} \tag{3.22}$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.3.3 การคำนวณหา ศักดาเทรดโฮลด์ของอินเวอร์เตอร์ (V_{th})

ศักดาเทรดโฮลด์ของอินเวอร์เตอร์สามารถแสดงได้เมื่อศักดาเทรดโฮลด์ของอินเวอร์เตอร์เท่ากับศักดาอินพุตและเท่ากับศักดาเอาต์พุต ($V_{th}=V_{in}=V_{out}$) เมื่อซีมอสอินเวอร์เตอร์มีค่า Noise margin ที่กว้างและมีความชันของกราฟ VTC ศักดาเทรดโฮลด์ของอินเวอร์เตอร์ จะเป็นตัวแปรคุณลักษณะทางศักดาไฟตรงที่สำคัญของอินเวอร์เตอร์ เมื่อศักดาอินพุตเท่ากับศักดาเอาต์พุต ($V_{in}=V_{out}$) มอสทรานซิสเตอร์ทั้งสองจะทำงานในช่วงอิ่มตัว ดังนั้นสามารถเขียนสมการกระแสของเดอร์ชอฟ ได้ดังนี้

$$\frac{k_n}{2}\left(V_{gs,n}-V_{tn}\right)^2=\frac{k_p}{2}\left(V_{gs,p}-V_{tp}\right)^2 \tag{3.23}$$

แทนค่า $V_{gs,n}$ และ $V_{gs,p}$ ในสมการ (3.23) ด้วยสมการ (3.5) และ (3.6) จะได้

$$\frac{k_n}{2}\left(V_{in}-V_{tn}\right)^2=\frac{k_p}{2}\left(V_{in}-V_{DD}-V_{tp}\right)^2 \tag{3.24}$$

ทำการย้ายข้างหาค่า V_{in} จะได้

$$V_{in}\left[1+\sqrt{\frac{k_p}{k_n}}\right]=V_{tn}+\sqrt{\frac{k_p}{k_n}}\left(V_{DD}-V_{tp}\right) \tag{3.25}$$

จะได้ค่า V_{th} เป็นดังนี้

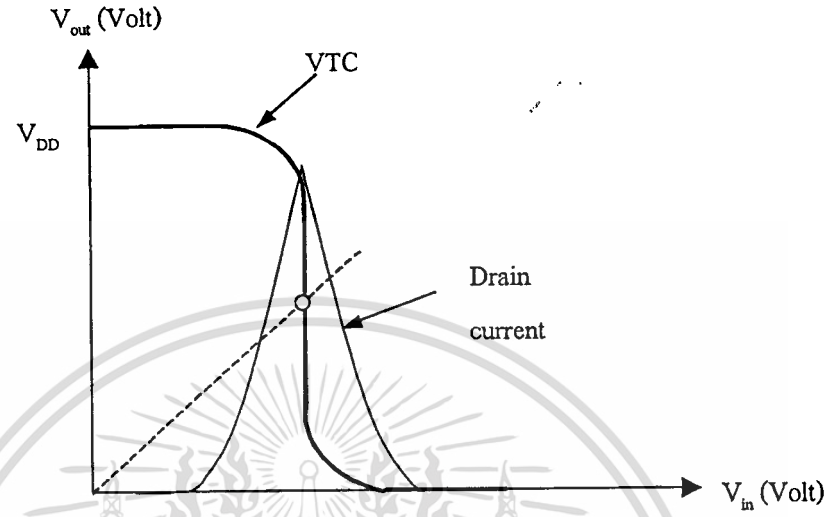
$$V_{th}=\frac{V_{tn}+\sqrt{\frac{1}{k_R}}\left(V_{DD}+V_{tp}\right)}{\left[1+\sqrt{\frac{1}{k_R}}\right]} \tag{3.26}$$

3.3.4 การออกแบบซีมอสอินเวอร์เตอร์

ศักดาเทรดโฮลด์ของอินเวอร์เตอร์ (V_{th}) จะเป็นตัวแปรที่สำคัญที่ใช้แสดงคุณสมบัติของอินเวอร์เตอร์ในสภาวะคงตัว คุณสมบัติที่ดีของซีมอสอินเวอร์เตอร์เป็นผลที่ได้จากการทำงานในโหมดพุช-พูล คอมพลีเมนต์ตารี่ จะทำให้ศักดาเอาต์พุตสวิงได้เต็มย่านระหว่างกราวด์ (0V) และศักดาไฟ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เลี้ยงวงจร (V_{DD}) จึงทำให้ Noise Margin มีค่ากว้าง ดังนั้นปัญหาในการออกแบบซีมอสอินเวอร์เตอร์จึงลดลง โดยการปรับค่าศักดาเทรดโฮลด์ของอินเวอร์เตอร์ (V_{th}) ให้เป็นไปตามที่ต้องการ



รูปที่ 3.9 แสดงตัวอย่าง VTC และกระแสจากแหล่งจ่าย

ถ้าให้ศักดาที่แหล่งจ่ายเป็นV_{DD}ศักดาเทรดโฮลด์ของเอ็นมอส V_{tn}และพีมอสทรานซิสเตอร์ V_{tp} และ ศักดาเทรดโฮลด์ของอินเวอร์เตอร์ V_{th} เป็นสิ่งที่ต้องการที่เกี่ยวข้องกับอัตราส่วน k_R สามารถหาค่าได้ ดังนั้นทำการจัดรูปสมการ 3.26 ใหม่จะได้

$$\sqrt{\frac{1}{k_R}} = \frac{V_{th} - V_{tn}}{V_{DD} + V_{tp} - V_{th}} \qquad (3.27)$$

จากนั้นทำการหาค่า k_R ที่ต้องการให้อยู่ในเทอมของ V_{th}

$$k_R = \frac{k_n}{k_p} = \left(\frac{V_{DD} + V_{tp} - V_{th}}{V_{th} - V_{tn}} \right)^2 \qquad (3.28)$$

จากอินเวอร์เตอร์ทางอุดมคติการสวิทช์ของศักดาเทรดโฮลด์แสดงได้ดังนี้

$$V_{th.ideal} = \frac{1}{2} V_{DD} \qquad (3.29)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

แทนค่า (3.29) ใน (3.28) จะได้

$$\left(\frac{k_n}{k_p}\right)_{ideal} = \left(\frac{0.5V_{DD} + V_{tp}}{0.5V_{DD} - V_{tn}}\right)^2 \tag{3.30}$$

สมการ (3.29) จะถูกต้อง เมื่อ VTC ของอินเวอร์เตอร์มีค่าใกล้เคียงกับทางอุดมคติ ดังนั้นเอ็นมอสและพีมอสทรานซิสเตอร์ของซีมอสอินเวอร์เตอร์จะทำงานแบบสมบูรณ์แบบ สามารถทำให้คุณลักษณะสมมาตรทั้งด้านอินพุตและเอาต์พุตได้โดยการปรับค่าศักดาเทรดโฮลด์ของมอสทรานซิสเตอร์ เป็น $V_t = V_{tn} = |V_{tp}|$ ดังนั้นสมการ (3.30) สามารถลดรูปได้

$$\left(\frac{k_n}{k_p}\right)_{\substack{symmetrical \\ inverter}} = 1 \tag{3.31}$$

และ k_R สามารถแสดงได้ดังนี้

$$\frac{k_n}{k_p} = \frac{\mu_n C_{ox}\left(\frac{W}{L}\right)_n}{\mu_p C_{ox}\left(\frac{W}{L}\right)_p} = \frac{\mu_n\left(\frac{W}{L}\right)_n}{\mu_p\left(\frac{w}{L}\right)_p} \tag{3.32}$$

ถ้าให้ความนำของเกตออกไซด์ (t_{ox}) และเกตออกไซด์คาแพซิแตนท์ (C_{ox}) ของเอ็นมอสและพีมอส มีค่าเท่ากัน อัตราส่วนที่สมมาตรของอินเวอร์เตอร์ทางอุดมคติจะเป็น [22]

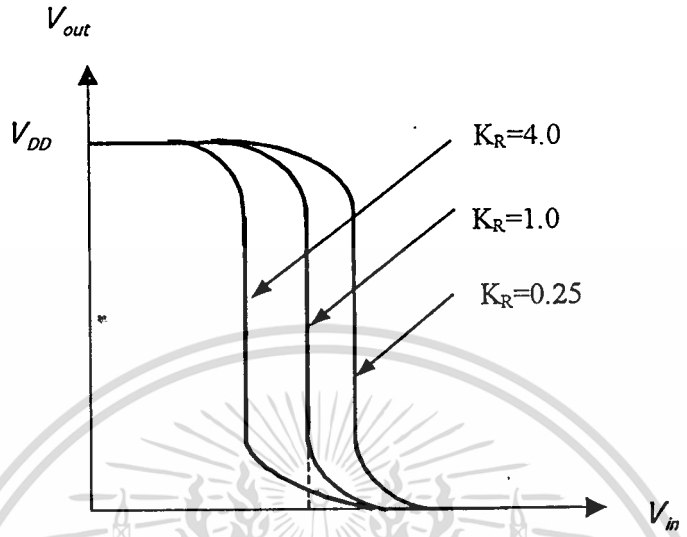
$$\frac{\left(\frac{W}{L}\right)_n}{\left(\frac{w}{L}\right)_p} = \frac{\mu_n}{\mu_p} \approx \frac{230cm^2/V.s}{580cm^2/V.s} \tag{3.33}$$

และ

$$\left(\frac{W}{L}\right)_p \approx 2.5\left(\frac{W}{L}\right)_n \tag{3.34}$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

โดยตัวแปรค่าที่ใช้ในสมการ (3.33) เป็นเพียงค่าตัวอย่าง ส่วนค่า μ_n และ μ_p ที่แท้จริงจะขึ้นอยู่กับความเข้ม ของพื้นผิวที่แพร่ไปในฐานรองและจุดต่อ VTC ของวงจรซีมอสอินเวอร์เตอร์ที่มีอัตราส่วน K_R ที่แตกต่างกัน สามารถแสดงได้ดังรูปที่ 3.10



รูปที่ 3.10 แสดงการโอนถ่ายทางศักดาของวงจรซีมอสอินเวอร์เตอร์ที่อัตราส่วน K_R แตกต่างกัน

ในกรณีที่ซีมอสอินเวอร์เตอร์มีความสามาตร เมื่อ $V_{tn}=|V_{tp}|$ ศักดาวิกฤติ V_{IL} สามารถหาได้จากสมการ (3.16) ดังนี้

$$V_{IL} = \frac{1}{8}\left(3V_{DD} + 2V_{tn}\right) \tag{3.35}$$

และศักดาวิกฤติ V_{IH} สามารถหาได้จาก

$$V_{IH} = \frac{1}{8}\left(5V_{DD} - 2V_{tn}\right) \tag{3.36}$$

โดยผลรวมของ V_{IL} และ V_{IH} จะมีค่าเท่ากับ V_{DD} เสมอ ในกรณีอินเวอร์เตอร์แบบสมมาตร

$$V_{IH} + V_{IL} = V_{DD} \tag{3.37}$$

Noise margin NM_Lและ NM_H ของอินเวอร์เตอร์แบบสมมาตร สามารถคำนวณโดยใช้ สมการ (3.3) และ (3.4)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$NM_L = V_{IL} - V_{OL} = V_{IL}$$

$$NM_H = V_{OH} - V_{IH} = V_{DD} - V_{IH} \quad (3.38)$$

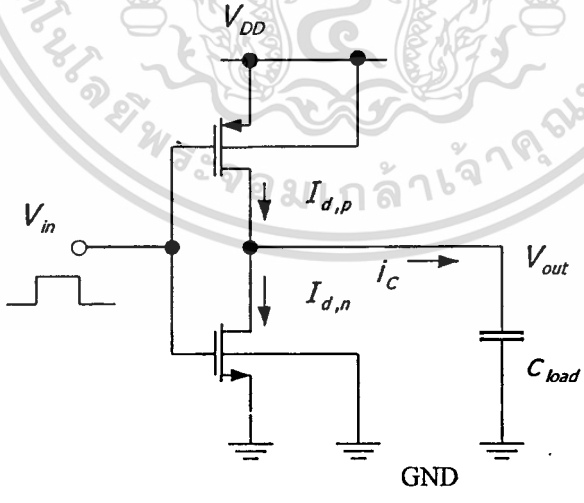
ซึ่งเมื่อทุกส่วนเท่ากัน ดังนั้น

$$NM_L = NM_H = V_{IL} \quad (3.39)$$

3.4 คุณลักษณะการสวิทช์ของซีมอสอินเวอร์เตอร์

ในหัวข้อนี้จะสังเกตุพฤติกรรมการสวิทช์ของวงจรซีมอสอินเวอร์เตอร์คุณสมบัติการสวิทช์ของวงจรรวมทางดิจิตอลโดยเฉพาะอย่างยิ่งในวงจรอินเวอร์เตอร์มีความจำเป็นอย่างมากในการหาความเร็วในการทำงานรวมของระบบ ความต้องการทางสมรรถนะชั่วคราวของระบบดิจิตอลปกติแล้วจะเป็นคุณสมบัติที่สำคัญในการออกแบบวงจร ดังนั้นความเร็วในการสวิทช์ต้องมีการกำหนดและทำให้ดีที่สุดในระหว่างการออกแบบ

คุณสมบัติการสวิทช์ของซีมอสอินเวอร์เตอร์โดยการพิจารณาวงจรซีมอสอินเวอร์เตอร์กับโหลดคาแพซิแตนท์ที่แสดงได้ดังรูปที่ 3.11 การวิเคราะห์วงจรสามารถทำได้ง่ายขึ้น ด้วยการหาค่าเวลาในการประจุและคายประจุของโหลดคาแพซิเตอร์โดยทรานซิสเตอร์เพียงตัวเดียวโดยจะแสดงรายละเอียด ในหัวข้อต่อไป



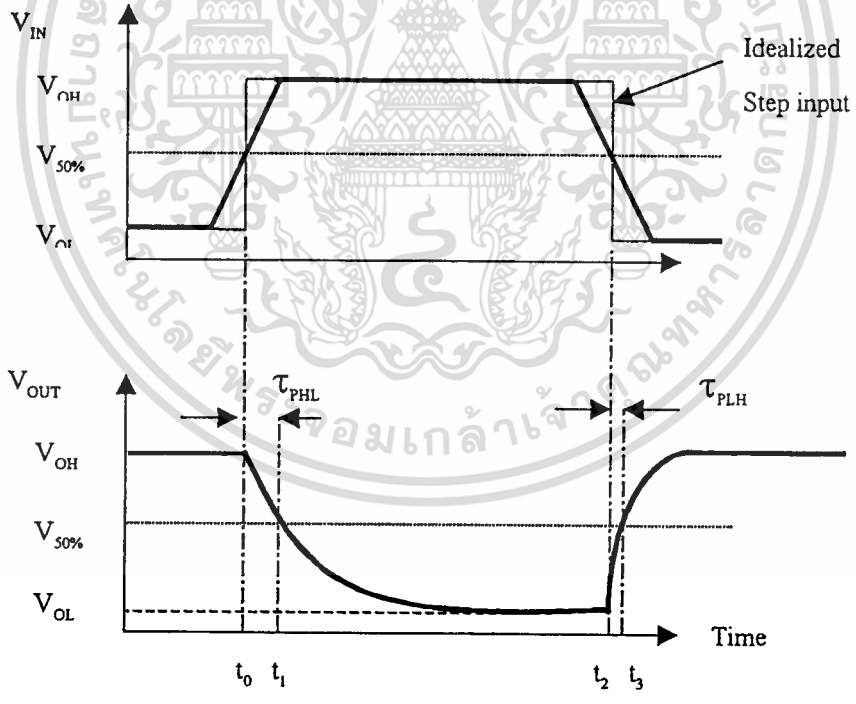
รูปที่ 3.11แสดงซีมอสอินเวอร์เตอร์กับโหลดคาแพซิแตนท์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.4.1 คำจำกัดความของการหน่วงเวลา

ก่อนทำการหาคุณสมบัติการสวิทช์ของซีมอสอินเวอร์จะต้องแสดงคำจำกัดความของการหน่วงเวลาที่จะใช้ในการพิจารณา ตัวอย่างรูปแบบสัญญาณอินพุตและเอาต์พุตของอินเวอร์เตอร์ดังแสดงในรูปที่ 3.12 จะแสดงค่าการหน่วงเวลาในช่วงขาขึ้น (τ_{PHL}) และค่าการหน่วงเวลาในช่วงขาลง (τ_{PLH}) โดยค่าการหน่วงเวลาทั้งสองจะเป็นตัวกำหนดเวลาการหน่วงในการส่งผ่านสัญญาณอินพุตไปยังเอาต์พุต ในช่วงเวลา High-to-Low และ Low-to-High ของสัญญาณเอาต์พุตตามลำดับ คำจำกัดความของ τ_{PHL} จะเป็นค่าการหน่วงเวลาระหว่างสัญญาณศักดาอินพุตขาขึ้นจากศูนย์จนถึง 50% ($V_{50\%}$) และทำให้ศักดาเอาต์พุตลดลงจนถึง50% ในทางคล้ายกัน τ_{PLH} จะเป็นค่าการหน่วงเวลาระหว่างสัญญาณศักดาอินพุตลดลงจาก 50% ($V_{50\%}$) และทำให้ศักดาเอาต์พุตเคลื่อนที่ขึ้นจนถึง50% ระดับศักดาที่50% จะแสดงได้ดังนี้

$$V_{50\%} = V_{OL} + \frac{1}{2}(V_{OH} - V_{OL}) = \frac{1}{2}(V_{OL} + V_{OH}) \qquad (3.40)$$



รูปที่ 3.12 ตัวอย่างรูปแบบสัญญาณอินพุตและเอาต์พุตของซีมอสอินเวอร์เตอร์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ค่าการหน่วงเวลาในช่วงขาขึ้น (τ_{PHL}) และค่าการหน่วงเวลาในช่วงขาลง (τ_{PLH}) สามารถหาได้จากรูปที่ 3.12 ได้ดังนี้

$$\tau_{PHL} = t_1 - t_0$$

$$\tau_{PLH} = t_3 - t_2 \qquad (3.41)$$

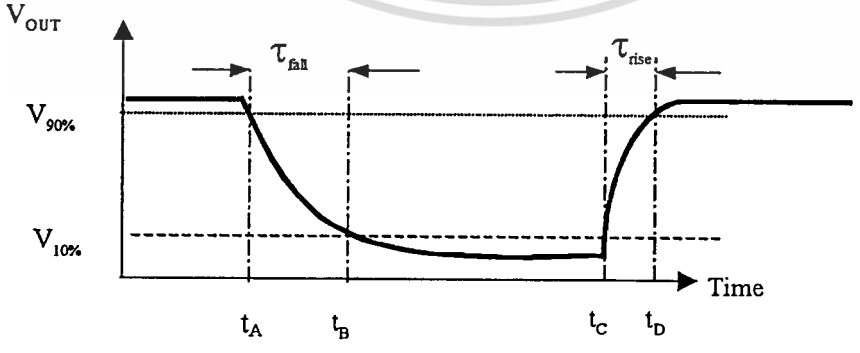
ค่าเฉลี่ยการหน่วงเวลา (τ_p) ของอินเวอร์เตอร์เป็นเวลาเฉลี่ยที่ต้องการของสัญญาณอินพุตในการส่งผ่านอินเวอร์เตอร์จะเป็นดังนี้

$$\tau_P = \frac{\tau_{PHL} + \tau_{PLH}}{2} \qquad (3.42)$$

พิจารณารายละเอียดที่แสดงในรูปที่ 3.13 จะเป็นการแสดงช่วงเวลาเวลาขึ้น (Rise times: τ_{rise}) และเวลาขาลง (Fall times: τ_{fall}) ของศักดาเอาต์พุต เวลาขาขึ้นเป็นเวลาที่ต้องการสำหรับศักดาเอาต์พุตเพิ่มขึ้นจากระดับ 10% ($V_{10\%}$) ไปยังระดับ 90% ($V_{90\%}$) ในทางคล้ายคลึงกัน เวลาขาลงเป็นเวลาที่ต้องการสำหรับศักดาเอาต์พุตลดลงจากระดับ 90% ($V_{90\%}$) ไปยังระดับ 10% ($V_{10\%}$) ศักดาที่ระดับ $V_{10\%}$ และ $V_{90\%}$ สามารถแสดงได้ดังนี้

$$V_{10\%} = V_{OL} + 0.1(V_{OH} - V_{OL}) \qquad (3.43)$$

$$V_{90\%} = V_{OL} + 0.9(V_{OH} - V_{OL}) \qquad (3.44)$$



รูปที่ 3.13 เวลาขึ้นและลงของศักดาเอาต์พุต

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เวลาขาขึ้นและขาลงของศักดาเอาต์พุตสามารถหาได้จากรูปที่ 3.13 ได้ดังนี้

$$\tau_{fall} = t_B - t_A$$

$$\tau_{rise} = t_D - t_C \qquad (3.45)$$

3.4.2 การหาค่าการหน่วงเวลา

การคำนวณหาค่าการหน่วงเวลาในช่วงขาขึ้น (τ_{PHL}) และค่าการหน่วงเวลาในช่วงขาลง (τ_{PLH}) สามารถหาได้บนพื้นฐานของการหากระแสคาแพซิแตนท์เฉลี่ยในช่วงการประจุและการคายประจุตามลำดับ ตัวแปรต่างๆที่ใช้ในการคำนวณหาค่าการหน่วงเวลามีดังนี้

τ_{PHL}	=	ค่าการหน่วงเวลาในช่วงขาขึ้น
τ_{PHL}	=	ค่าการหน่วงเวลาในช่วงขาลง
C_{load}	=	โหลดคาแพซิแตนท์
I_{avg}	=	กระแสคาแพซิแตนท์เฉลี่ย
I_C	=	กระแสโหลดคาแพซิแตนท์
$I_{d,n}$	=	กระแสเดรนของเอ็นมอสทรานซิสเตอร์
$I_{d,p}$	=	กระแสเดรนของพีมอสทรานซิสเตอร์
V_{tn}	=	ศักดาเทรดโฮลด์ของเอ็นมอสทรานซิสเตอร์
V_{tp}	=	ศักดาเทรดโฮลด์ของพีมอสทรานซิสเตอร์
k_n	=	ค่าทรานคอนดัคแตนท์ของเอ็นมอสทรานซิสเตอร์
k_p	=	ค่าทรานคอนดัคแตนท์ของพีมอสทรานซิสเตอร์
$V_{10\%}$	=	ระดับศักดาเอาต์พุตที่ 10%
$V_{50\%}$	=	ระดับศักดาเอาต์พุตที่ 50%
$V_{90\%}$	=	ระดับศักดาเอาต์พุตที่ 90%

ถ้ากระแสคาแพซิแตนท์เฉลี่ย (I_{avg}) ในระหว่างการส่งผ่านประมาณให้เป็นค่าคงที่ ค่าการหน่วงเวลาจะเป็นดังนี้

$$\tau_{PHL} = \frac{C_{load}\left(V_{OH} - V_{10\%}\right)}{I_{avg,HL}} \qquad (3.46)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$\tau_{PLH} = \frac{C_{load}\left(V_{90\%} - V_{OL}\right)}{I_{avg,LH}} \qquad (3.47)$$

โดยกระแสเฉลี่ยในช่วงการส่งผ่าน High-to-Low สามารถคำนวณได้โดยใช้ค่ากระแสที่จุดเริ่มต้นและจุดจบของการส่งผ่าน

$$I_{avg,HL} = \frac{1}{2}\left[I_{d,n}\left(V_{in} = V_{OH}, V_{out} = V_{90\%}\right) + I_{d,n}\left(V_{in} = V_{OH}, V_{out} = V_{10\%}\right)\right] \qquad (3.48)$$

$$I_{avg,HL} = \frac{1}{2}\left[\frac{k_n}{2}\left(V_{in} - V_{tn}\right)^2 + \frac{k_n}{2}\left(2\left(V_{in} - V_{tn}\right)V_{out} - V_{out}^2\right)\right] \qquad (3.49)$$

ในทางคล้ายกัน ค่ากระแสคาแพซิแตนท์เฉลี่ยในช่วงการส่งผ่าน Low-to-High เป็นดังนี้

$$I_{avg,LH} = \frac{1}{2}\left[I_{d,p}\left(V_{in} = V_{OL}, V_{out} = V_{10\%}\right) + I_{d,p}\left(V_{in} = V_{OL}, V_{out} = V_{90\%}\right)\right] \qquad (3.50)$$

$$I_{avg,LH} = \frac{1}{2}\left[\frac{k_p}{2}\left(V_{in} - \left|V_{tp}\right|\right)^2 + \frac{k_p}{2}\left(2\left(V_{in} - \left|V_{tp}\right|\right)V_{out} - V_{out}^2\right)\right] \qquad (3.51)$$

ในการใช้หลักการกระแสเฉลี่ยนั้น จะง่ายและต้องการการคำนวณเพียงเล็กน้อย มันจะไม่จำกัดการเปลี่ยนแปลงของกระแสคาแพซิแตนท์ระหว่างจุดเริ่มต้นและจุดจบของการส่งผ่าน ดังนั้นเราจะไม่คาดหวังความถูกต้องในการคาดคะเนการหน่วงเวลาโดยใช้หลักการกระแสเฉลี่ย แต่มันยังคงใช้เป็นการคาดคะเนอย่างง่ายในช่วงแรกของเวลาในการประจุและคายประจุ

การหน่วงเวลาในการส่งผ่านสามารถคำนวณหาให้มีความถูกต้องได้โดยการหาค่าสมการสถานะที่จุดเอาต์พุตในขอบเขตเวลา สมการที่เกี่ยวข้องกับเอาต์พุตสามารถแสดงได้ดังนี้

$$C_{load}\frac{dV_{out}}{dt} = I_C = I_{d,p} - I_{d,n} \qquad (3.52)$$

ขั้นแรกจะพิจารณา กรณีอินพุตขาขึ้นของวงจรชีมอสอินเวอร์เตอร์ เริ่มต้นกำหนดให้ศักคาเอาต์พุตมีค่าเท่ากับ V_{OH} เมื่อศักคาอินพุตเปลี่ยนจาก Low ไป High เอ็นมอสทรานซิสเตอร์เริ่ม

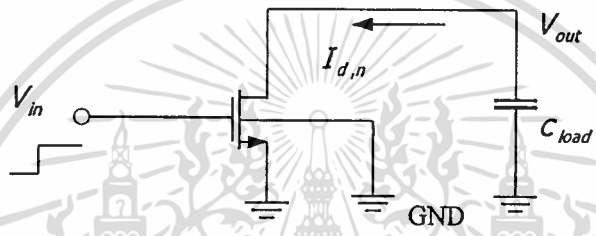
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ทำงานและทำการคายประจุโหลดคาแพซิแตนท์ ในเวลาเดียวกันพีมอสทรานซิสเตอร์จะหยุดทำงาน ดังนั้น

$$I_{d,p} \approx 0 \tag{3.53}$$

วงจรดังแสดงในรูปที่3.11สามารถลดลงเหลือเพียงเอ็นมอสทรานซิสเตอร์เพียงตัวเดียวและคาแพซิแตนท์ดังแสดงในรูปที่ 3.14 สมการคายประจุจะเป็นดังนี้

$$C_{load}\frac{dV_{out}}{dt} = -I_{d,n} \tag{3.54}$$



รูปที่ 3.14 แสดงวงจรเทียบเคียง ของ ซีมอสอินเวอร์เตอร์ในขณะส่งผ่านช่วง High-to-Low

รูปแบบสัญญาณในช่วงการส่งผ่าน High-to-Low แสดงได้ดังรูปที่ 3.14 เมื่อเอ็นมอสทรานซิสเตอร์เริ่มนำกระแส มันจะเริ่มต้นทำงานในช่วงอิ่มตัว เมื่อศักดาเอาต์พุตลดลงต่ำกว่าศักดาไฟเลี้ยงลบด้วยศักดาเทรดโฮลด์ของเอ็นมอส (V_{DD}-V_{tn}) เอ็นมอสทรานซิสเตอร์จะเริ่มทำงานในช่วงเชิงเส้น การทำงานทั้งสองช่วงสามารถแสดงได้ดังรูปที่ 3.15

ลำดับแรกพิจารณาเอ็นมอสทรานซิสเตอร์ทำงานในย่านอิ่มตัว

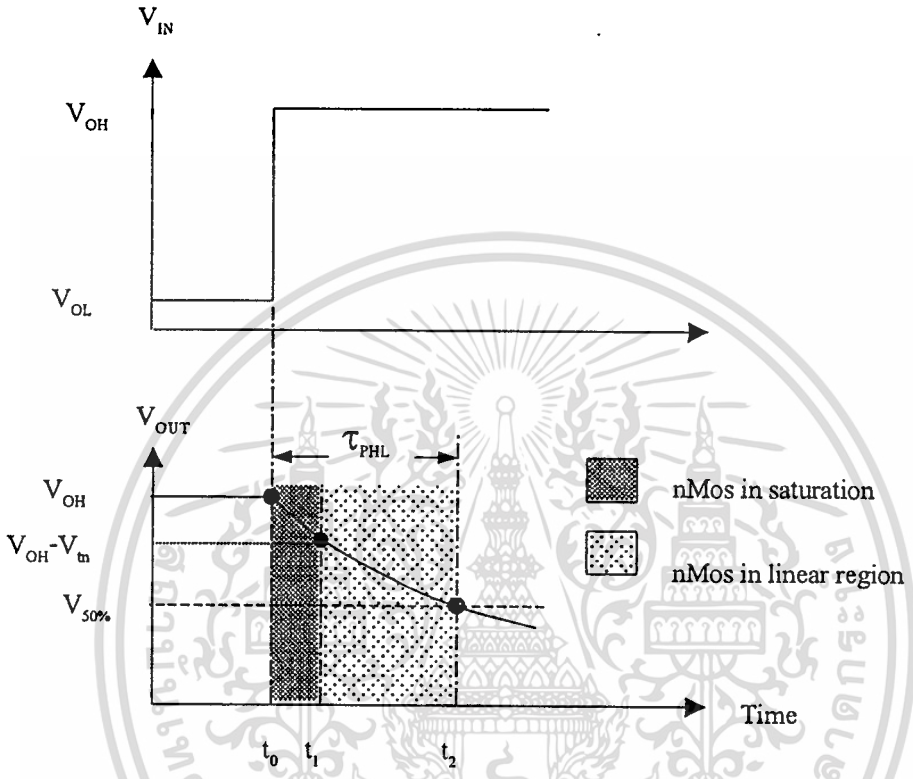
$$I_{d,n} = \frac{k_n}{2}\left(V_{in} - V_{tn}\right)^2$$

$$I_{d,n} = \frac{k_n}{2}\left(V_{OH} - V_{tn}\right)^2 \qquad \text{เมื่อ } V_{OH} - V_{tn} < V_{out} \le V_{OH} \tag{3.55}$$

เมื่อกระแสในย่านอิ่มตัวในทางปฏิบัติจะเป็นอิสระจากศักดาเอาต์พุต (ตัดผลกระทบจากความยาวของแชลแนล) ผลที่ได้จากสมการ 3.54 ในช่วงเวลาระหว่าง t_0และ t_1 สามารถหาได้ดังนี้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$\int_{t_0}^{t_1} dt = -C_{load} \int_{V_{OH}}^{V_{OH}-V_{tn}} \left(\frac{1}{I_{d,n}} \right) dV_{out} \qquad (3.56)$$



รูปที่ 3.15 ศักดาอินพุตและเอาต์พุตในขณะการส่งผ่าน High-to-Low

แทนค่า $I_{d,n}$ จากสมการ 3.55 ลงในสมการ 3.56 จะได้เป็น

$$\int_{t_0}^{t_1} dt = -\frac{2C_{load}}{k_n \left(V_{OH} - V_{tn} \right)^2} \int_{V_{OH}}^{V_{OH}-V_{tn}} dV_{out} \qquad (3.57)$$

ทำการอินทีเกรตสมการ 3.57 จะได้

$$t_1 - t_0 = \frac{2C_{load} V_{tn}}{k_n \left(V_{OH} - V_{tn} \right)^2} \qquad (3.58)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ที่เวลา t = t_1 ศักดาเอาต์พุตจะเท่ากับศักดาไฟเลี้ยงลบด้วยศักดาเทรดโฮลด์ (V_{DD}-V_{tn}) และทรานซิสเตอร์จะทำงานอยู่ในขอบเขตช่วงอิ่มตัวกับช่วงเชิงเส้น ต่อไปจะพิจารณาเอ็นมอสทรานซิสเตอร์ทำงานในช่วงเชิงเส้น

$$I_{d,n}=\frac{k_n}{2}\left[2\left(V_{in}-V_{tn}\right)V_{out}-V_{out}^2\right]$$

$$I_{d,n}=\frac{k_n}{2}\left[2\left(V_{OH}-V_{tn}\right)V_{out}-V_{out}^2\right] \text{ เมื่อ } V_{out}\le V_{OH}-V_{tn} \qquad (3.59)$$

ผลที่ได้จากสมการ3.54 เวลาในช่วงระหว่าง t_1 และ t_2 สามารถหาได้ดังนี้

$$\int_{t_1}^{t_2} dt=-C_{load}\int_{V_{OH}-V_{tn}}^{V_{50\%}}\left(\frac{1}{I_{d,n}}\right)dV_{out} \qquad (3.60)$$

แทนค่า $I_{d,n}$ จากสมการ 3.59 ลงในสมการ 3.60 จะได้เป็น

$$\int_{t_1}^{t_2} dt=-2C_{load}\int_{V_{OH}-V_{tn}}^{V_{50\%}}\left(\frac{1}{k_n\left[2\left(V_{OH}-V_{tn}\right)V_{out}-V_{out}^2\right]}\right)dV_{out} \qquad (3.61)$$

ทำการอินทีเกรตสมการ 3.61 จะได้

$$t_2-t_1=\frac{2C_{load}}{k_n}\frac{1}{2\left(V_{OH}-V_{tn}\right)}\ln\left(\frac{2\left(V_{OH}-V_{tn}\right)-V_{out}}{V_{out}}\right)\Bigg|_{V_{out}=V_{OH}-V_{tn}}^{V_{out}=V_{50\%}} \qquad (3.62)$$

$$t_2-t_1=\frac{C_{load}}{k_n\left(V_{OH}-V_{tn}\right)}\ln\left(\frac{2\left(V_{OH}-V_{tn}\right)-V_{50\%}}{V_{50\%}}\right) \qquad (3.63)$$

เมื่อ $V_{50\%}=(V_{OH}+V_{OL})/2$ จากนั้นทำการรวมสมการ (3.58) กับ (3.63) จะได้เป็นเวลาหน่วงระหว่างการส่งผ่านจาก High-to-Low

$$\tau_{PHL}=\left(t_1-t_0\right)+\left(t_2-t_1\right) \qquad (3.64)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$\tau_{PHL} = \frac{C_{load}}{k_n\left(V_{OH} - V_{tn}\right)}\left[\frac{2V_{tn}}{V_{OH} - V_{tn}} + \ln\left(\frac{4\left(V_{OH} - V_{tn}\right)}{V_{OH} + V_{OL}} - 1\right)\right] \quad (3.65)$$

เมื่อ $V_{OH}=V_{DD}$และ$V_{OL}=0$ ในกรณีนี้ สมการ (3.65) จะได้เป็น

$$\tau_{PHL} = \frac{C_{load}}{k_n\left(V_{DD} - V_{tn}\right)}\left[\frac{2V_{tn}}{V_{DD} - V_{tn}} + \ln\left(\frac{4\left(V_{DD} - V_{tn}\right)}{V_{DD}} - 1\right)\right] \quad (3.66)$$

ในกรณีที่ศักดาอินพุตเปลี่ยนจาก High ไปยัง Low เอ็นมอสทรานซิสเตอร์จะหยุดทำงานและโหลดคาแพซิแตนท์จะถูกประจุผ่านพีมอสทรานซิสเตอร์ การหาเวลาการหน่วงจะคล้ายคลึงกับที่ผ่านมาดังนั้น ค่าการหน่วงเวลาขาลงสามารถแสดงได้ดังนี้

$$\tau_{PLH} = \frac{C_{load}}{k_p\left(V_{OH} - V_{OL} - \left|V_{tp}\right|\right)}\left[\frac{2\left|V_{tp}\right|}{V_{OH} - V_{OL} - \left|V_{tp}\right|} + \ln\left(\frac{4\left(V_{OH} - V_{OL} - \left|V_{tp}\right|\right)}{V_{OH} - V_{50\%}} - 1\right)\right] \quad (3.67)$$

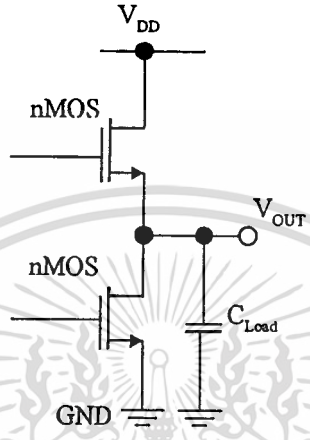
เมื่อ $V_{OH}=V_{DD}=V_{50\%}+V_{DD}/2$ และ $V_{OL}=0$ ในกรณีนี้ สมการ (3.67) จะได้เป็น

$$\tau_{PLH} = \frac{C_{load}}{k_p\left(V_{DD} - \left|V_{tp}\right|\right)}\left[\frac{2\left|V_{tp}\right|}{V_{DD} - \left|V_{tp}\right|} + \ln\left(\frac{4\left(V_{DD} - \left|V_{tp}\right|\right)}{V_{DD}} - 1\right)\right] \quad (3.68)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.5 ผลกระทบจากการใช้เอ็นมอสทรานซิสเตอร์เป็นตัวขับด้านขาขึ้น

การใช้เอ็นมอสทรานซิสเตอร์เป็นตัวขับด้านขาขึ้นสามารถแสดงได้ดังรูปที่ 3.16 ผลกระทบจะทำให้ศักดาด้านเอาต์พุตไม่สามารถสวิงได้เต็มย่าน



รูปที่ 3.16 แสดงการใช้เอ็นมอสทรานซิสเตอร์เป็นตัวขับด้านเอาต์พุต

การวิเคราะห์โดยกำหนดให้ศักดาเริ่มต้นที่เอาต์พุตเป็นศูนย์ ($V_{out}(t=0)=0V$) เมื่อสัญญาณอินพุตเป็นลอจิก "1" ทำให้เอ็นมอสทรานซิสเตอร์เริ่มทำงานและเริ่มประจุโหลดคาแพซิแตนท์ โดยเอ็นมอสทรานซิสเตอร์จะทำงานในช่วงอิ่มตัวเนื่องจาก $V_{DD}>V_{gs}-V_{tn}$ ดังนั้น

$$C_{load}\frac{dV_{out}}{dt}=\frac{k_n}{2}\left(V_{DD}-V_{out}-V_{tn}\right)^2 \tag{3.69}$$

ทำการอินทีเกรตสมการ (3.69) จะได้

$$\int_0^t dt=\frac{2C_{load}}{k_n}\int_0^{V_{out}}\frac{dV_{out}}{\left(V_{DD}-V_{out}-V_{tn}\right)^2} \tag{3.70}$$

$$\int_0^t dt=\frac{2C_{load}}{k_n}\left[\frac{1}{\left(V_{DD}-V_{out}-V_{tn}\right)}\right]\Bigg|_0^{V_{out}} \tag{3.71}$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

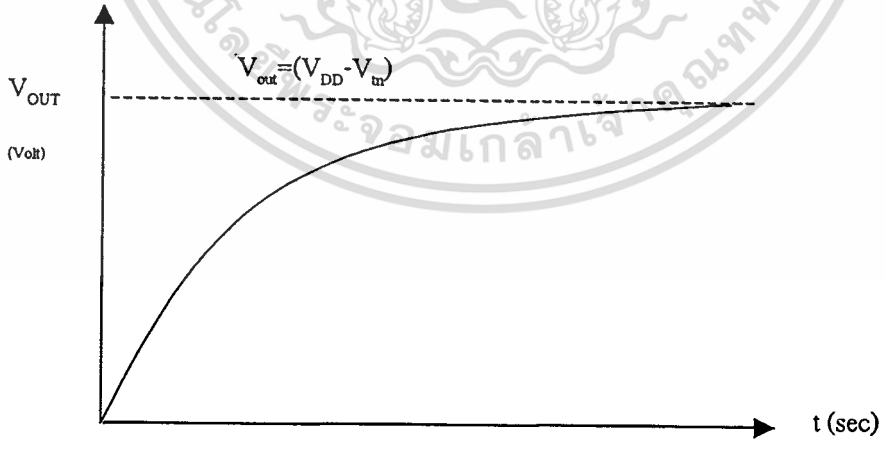
$$t=\frac{2C_{load}}{k_n}\left[\left(\frac{1}{V_{DD}-V_{out}-V_{tn}}\right)-\left(\frac{1}{V_{DD}-V_{tn}}\right)\right] \qquad (3.72)$$

ทำการย้ายข้างเพื่อหาค่า V_{out} (t) จะได้เป็น

$$V_{out}(t)=\left(V_{DD}-V_{tn}\right)\frac{\left(\frac{k_n\left(V_{DD}-V_{tn}\right)}{2C_{load}}\right)t}{1+\left(\frac{k_n\left(V_{DD}-V_{tn}\right)}{2C_{load}}\right)t} \qquad (3.73)$$

การเปลี่ยนแปลงของ V_{out} (t) ตามสมการ(3.72) สามารถเขียนตามฟังก์ชั่นเวลาได้ดังรูปที่ 3.17 ค่าศักดาจะเพิ่มขึ้นจากค่าเริ่มต้นจนกระทั่งจะถูกจำกัดที่ค่าๆหนึ่งเมื่อเวลาผ่านไปมากๆ แต่ไม่สามารถเพิ่มขึ้นจนถึงศักดาไฟเลี้ยง (V_{DD}) แต่มันจะถูกจำกัดอยู่ที่ V_{DD}-V_{tn} เอ็นมอสทรานซิสเตอร์จะหยุดทำงานเมื่อ V_{out} =V_{DD} เนื่องจากที่จุดนี้ ศักดาที่เกตและซอสจะเท่ากับศักดาเทรดโฮลด์ ดังนั้นศักดาที่เอาต์พุตจึงไม่สามารถเพิ่มขึ้นจนถึง V_{DD} ได้ ศักดาเอาต์พุตที่แท้จริงสามารถแสดงได้ดังนี้

$$V_{max}=V_{out}\big|_{t\to\infty}=V_{DD}-V_{tn} \qquad (3.74)$$



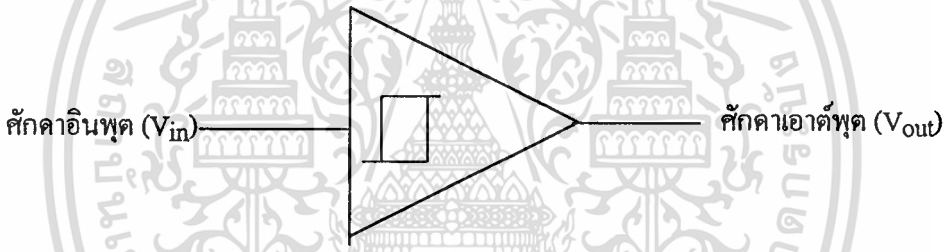
รูปที่3.17 แสดงศักดาเอาต์พุตเมื่อใช้เอ็นมอสทรานซิสเตอร์เป็นตัวขับด้านเอาต์พุต
เมื่อเวลา$t\to\infty$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

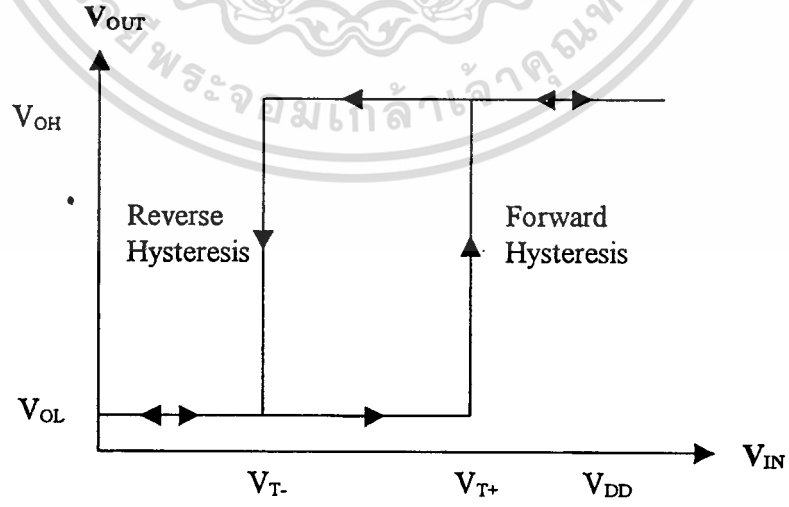
บทที่ 4
ทฤษฎีการทำงานของวงจรชมิทท์ทริกเกอร์

4.1 บทนำ

วงจรชมิทท์ทริกเกอร์เป็นวงจรไบสเตเบิลชนิดหนึ่งมีใช้ทั้งทางวงจรอนาลอกและดิจิตอลในการจัดรูปสัญญาณ เพื่อแก้ไขปัญหาการลดทอนของสัญญาณและป้องกันสัญญาณรบกวนโดยให้ศักดาเอาต์พุตมีสถานะเป็น "0" ตามค่าศักดาวิกฤติของวงจร หลักการทำงานคล้ายกับวงจรเปรียบเทียบสัญญาณ (Comparator Circuit) แต่มีคุณสมบัติพิเศษ คือมีค่าศักดาวิกฤติอยู่สองค่าซึ่งขึ้นอยู่กับสถานะของแรงดันอินพุตและเอาต์พุตเรียกคุณสมบัติพิเศษนี้ว่า ฮิสเตอร์รีซีส (Hysteresis) สัญญลักษณ์ ของวงจรชมิทท์ทริกเกอร์จะแสดงดังรูปที่ 4.1 ส่วนคุณสมบัติในการถ่ายโอนถ่ายสัญญาณ (Transfer Characteristic curve) จะแสดงดังรูปที่ 4.2



รูปที่ 4.1 สัญญลักษณ์ของวงจรชมิทท์ทริกเกอร์

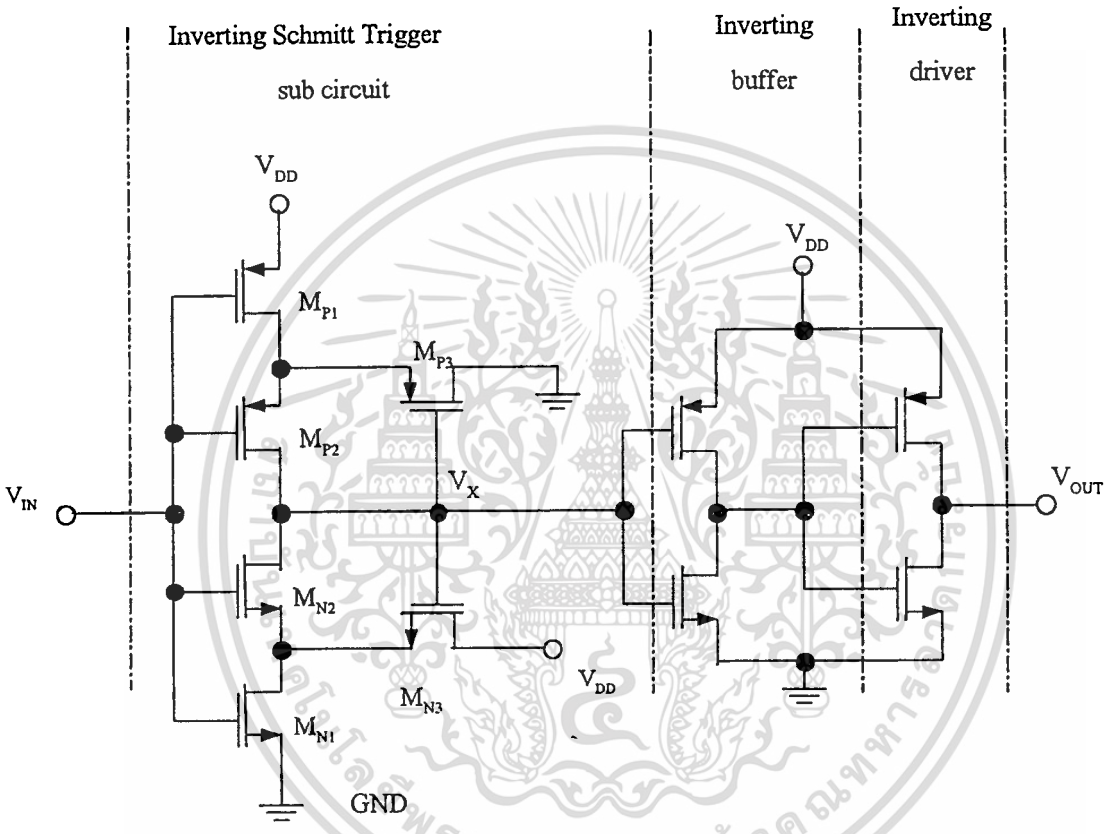


รูปที่ 4.2 คุณสมบัติในการถ่ายโอนถ่ายสัญญาณของวงจรชมิทท์ทริกเกอร์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4.2 ซีมอสชมิทท์ทริกเกอร์

ตัวอย่างของวงจรชมิทท์ทริกเกอร์ 74HC14 เป็นวงจรซีมอสความเร็วสูงมีมอสทรานซิสเตอร์อยู่ 6 ตัว ซึ่งเป็นวงจรชมิทท์ทริกเกอร์แบบอินเวอร์เตอร์ชมิทท์ทริกเกอร์ ดังแสดงในรูปที่ 4.3 ใช้ทรานซิสเตอร์ที่เป็นซีมอสทั้งหมด ส่วนด้านบนเป็นพีมอส และด้านล่างเป็นเอ็นมอส M_{P3}และ M_{N3} ทำงานในลักษณะ Source follower และทำให้เกิดฮิสเตอร์รีซีส โดยการป้อนศักดาเอาต์พุตของวงจรชมิทท์ทริกเกอร์กลับมา ส่วนเอาต์พุตเป็นส่วนของไดรฟ์เวอร์ 2 ตัวต่อกันอยู่



รูปที่ 4.3 วงจรของ 74HC14 HCMOS Inverting Schmitt trigger

4.2.1 หลักการทำงานของวงจรชมิทท์ทริกเกอร์

เมื่อศักดาอินพุตมีค่าเป็นศูนย์ (V_{in} =0V) ทำให้ M_{P1}และ M_{P2} จะนำกระแสเล็กน้อย แต่ M_{N1} และ M_{N2} จะไม่นำกระแสทำให้ $V_X = V_{DD}$ ส่วน M_{P3} ยังคง OFF และ M_{N3} จะ ON และทำงานในลักษณะ Source follower ทำให้ศักดาเอาต์พุตมีค่าเป็น V_{DD} (V_{out}=V_{OH}=V_{DD}) และที่เดรนของ M_{N1} มีค่าเป็น V_{DD}-V_{tn} เมื่อศักดาอินพุตเพิ่มขึ้นถึง V_{tn} โดย M_{N1}จะ ON และศักดาที่เดรนจะลดลง เมื่อ V_{in} เพิ่มขึ้นจนถึงศักดาทริกเกอร์ด้านบวก (V_{in} =V_{T+}) ดังนั้น

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$V_{ds,n1} = V_{T+} - V_{tn} \tag{4.1}$$

เมื่อทั้ง M_{N1}และ M_{N2} นำกระแสทำให้ V_X ลดลงเป็น 0V, M_{N3}จะ OFF และ M_{P3} จะ ON การนำกระแสของ M_{P3} ทำให้กระแสเดรนของ M_{P2} ต่ำลงและอยู่ในสภาวะ OFF ทำให้ศักดาที่เอาต์พุตมีค่าเป็นศูนย์ (V_{out}=V_{OL}=0V) ศักดาทริกเกอร์ด้านบวก (V_{T+}) อาจจะคำนวณโดยการประมาณค่ากระแสของมอสทรานซิสเตอร์ขณะที่ M_{N1} ON โดยกระแสเดรนที่ไหลผ่าน M_{N1}และ M_{N3} มีค่าเท่ากัน

$$I_{d,n1} = I_{d,n3} \tag{4.2}$$

ดังนั้น M_{N1} ทำงานในช่วงจุดอิ่มตัวจะได้

$$I_{d,n1} \approx \frac{k_{n1}}{2}\left(V_{T+} - V_{tn}\right)^2 \tag{4.3}$$

และ M_{N3} ก็ยังคงทำงานในช่วงอิ่มตัวด้วย

$$I_{d,n3} \approx \frac{k_{n3}}{2}\left(V_{DD} - V_{tn} - V_{ds,n1}\right)^2 \tag{4.4}$$

$$I_{d,n3} = \frac{k_{n3}}{2}\left(V_{DD} - V_{T+}\right)^2 \tag{4.5}$$

จากสมการที่ (4.2) ดังนั้น ศักดาทริกเกอร์ด้านบวก (Forward) จะได้เป็น

$$V_{T+} \approx \frac{V_{DD} + \sqrt{k_{n1}/k_{n3}}\,V_{tn}}{1 + \sqrt{k_{n1}/k_{n3}}} \tag{4.6}$$

เมื่อ V_{in}ลดลงจาก V_{DD}ไปจนถึงค่าศักดาทริกเกอร์ด้านลบ (V_{T-}) ทั้ง M_{P1}และ M_{P2} ยังคง OFF แต่ M_{N1}และ M_{N2} ยังคง ON V_X= V_{out} ดังนั้น M_{N3} ยังคง OFF และ M_{P3} จะ ON และทำงานในลักษณะ Source follower ศักดาเอาต์พุตของวงจรยังคงมีค่าเป็นศูนย์ (V_{out} = V_X = V_{OL} =0V)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เมื่อศักดาอินพุตลดลงจนถึง V_{DD}-$|V_{tp}|$ จะทำให้ M_{P1}เริ่มนำกระแส ที่ศักดาอินพุตเท่ากับศักดาทริกเกอร์ด้านลบ (V_{in}=V_{T-}) ทำให้ M_{P1}และ M_{P2} จะON ทำให้ V_X เพิ่มรวดเร็วจนถึง V_{DD} โดย M_{N3} ON และ M_{P3} จะ OFF ที่เอาต์พุตของวงจรจะมีค่าเป็น V_{DD} (V_{out}=V_X =V_{OH}=V_{DD}) ดังนั้น

$$V_{ds,p1} = V_{T-} + \left|V_{tp}\right| \tag{4.7}$$

ในการหาค่าศักดาทริกเกอร์ด้านลบ (V_{T-}) จะกระทำโดยการหาค่ากระแสเดรนของ M_{P1}และ M_{P3}เมื่อกระแสเดรนที่ไหลผ่าน M_{P1}และ M_{P3} มีค่าเท่ากันจะได้

$$I_{d,p1} = I_{d,p3} \tag{4.8}$$

เมื่อ M_{P1}และ M_{P3} ทำงานในช่วงอิ่มตัวจะได้

$$I_{d,p1} \approx \frac{k_{p1}}{2}\left(V_{DD} - V_{T-} - \left|V_{tp}\right|\right)^2 \tag{4.9}$$

และ
$$I_{d,p3} \approx \frac{k_{p3}}{2}\left(\left|V_{ds,p1}\right| - \left|V_{tp}\right|\right)^2 = \frac{k_{p3}}{2}\left(V_{T-}\right)^2 \tag{4.10}$$

จากสมการที่ 4.8 จะได้ศักดาทริกเกอร์ด้านลบ (Reverse) เป็น

$$V_{T-} \approx \frac{\sqrt{k_{p1}/k_{p3}}\left(V_{DD} - \left|V_{tp}\right|\right)}{1+\sqrt{k_{p1}/k_{p3}}} \tag{4.11}$$

การออกแบบชีมอสให้สมมาตร ต้องให้

$$k_R = \frac{k_{n1}}{k_{n3}} = \frac{k_{p1}}{k_{p3}} \tag{4.12}$$

และ
$$V_{tn} = \left|V_{tp}\right| = V_t \tag{4.13}$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

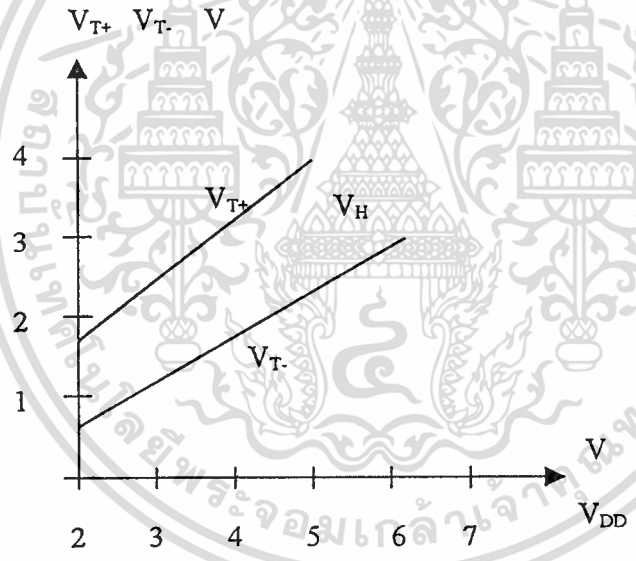
ดังนั้น
$$V_{T+} = \frac{V_{DD}}{2} + \frac{V_t}{2} \quad (4.14)$$

$$V_{T-} = \frac{V_{DD}}{2} - \frac{V_t}{2} \quad (4.15)$$

ดังนั้นศักดาฮิสเตอร์รีซิสจะได้เป็น

$$V_H = V_{T+} - V_{T-} = V_t \quad (4.16)$$

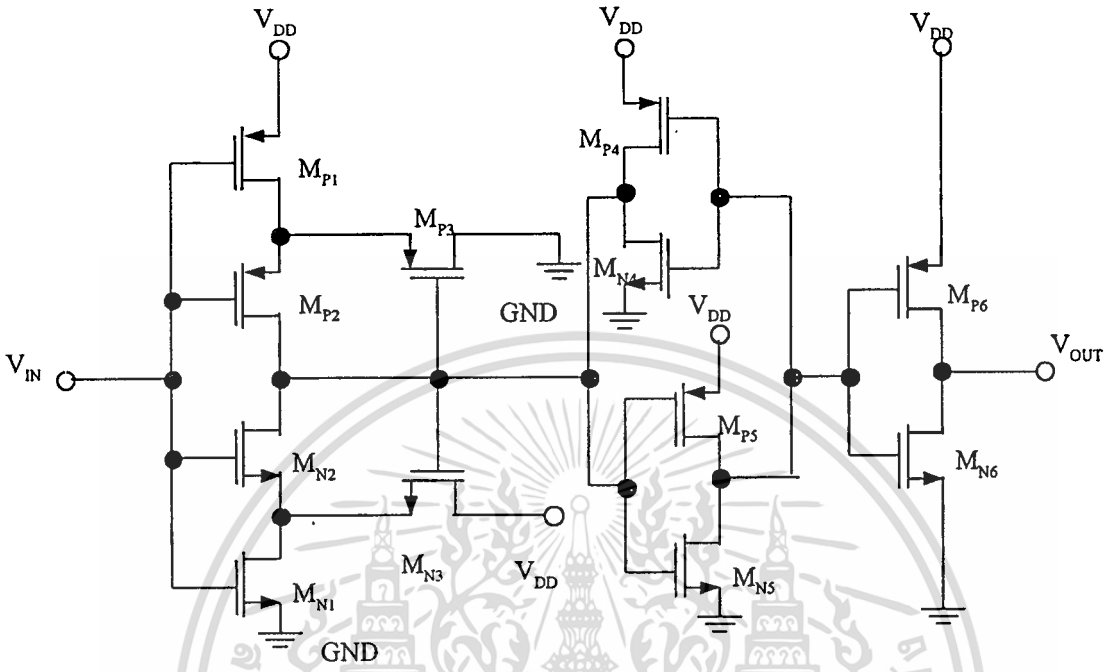
ค่าศักดาเทรดโฮลด์ ที่ V_{DD}=4.5V และอุณหภูมิปกติ 25°C, V_{T+}=2.7V, V_{T-}=1.8V ดังนั้นศักดาฮิสเตอร์รีซิส = 0.9V และเอาต์พุตลดลงเมื่อ V_{DD} ลดลง HCMOS ชมิทท์ทริกเกอร์มีสัญญาณรบกวนต่ำ



รูปที่ 4.4 ศักดาเทรดโฮลด์ V_{T+}และ V_{T-} กับ V_{DD} ของ 74HC14

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4.3 การวิเคราะห์ชีมอสชมิทท์ทริกเกอร์



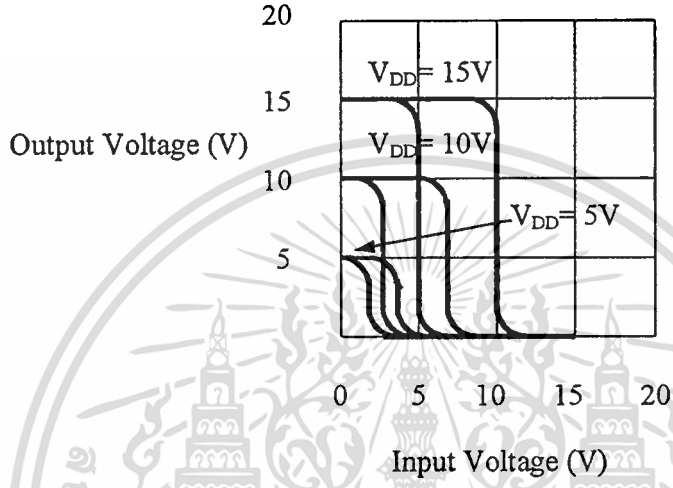
รูปที่ 4.5 วงจรชีมอสชมิทท์ทริกเกอร์

จากรูปที่ 4.5 อินพุตของชมิทท์ทริกเกอร์เป็นแบบอินพุตโปรเทคชั่นส่วนบนประกอบ ด้วยพีมอส 2 ตัว และส่วนล่างมีเอ็นมอส 2 ตัว มอสทรานซิสเตอร์ M_{P3}และM_{N3} ทำงานในลักษณะ Source follower และนำฮิสเตอร์รีซิสกลับมายังศักดาเอาต์พุตของวงจรชมิทท์ทริกเกอร์ทำให้เกิดผลต่าง 2 จุด

เมื่อ V_{in}=0V มอสทรานซิสเตอร์ M_{P1}และ M_{P2} จะนำกระแสเล็กน้อย แต่ M_{N1}, M_{N2} และ M_{P3} จะไม่นำกระแส ดังนั้นเอาต์พุตจะสภาวะ HIGH ทำให้ M_{N3} จะทำงานในลักษณะ Source followerเดรน ของ M_{N1} คือซอสของ M_{N2} มีค่า V_{DD}-V_{tn} ศักดาอินพุตเพิ่มขึ้น 1 เทรดโฮลด์เทียบกราวด์ มอสทรานซิสเตอร์ M_{N1} และ M_{N2} จะเริ่มทำงานในลักษณะแบบแบ่งศักดาของ M_{N2}ที่ครึ่งหนึ่งของศักดาที่แหล่งจ่าย เมื่อศักดาอินพุตมากกว่าครึ่งหนึ่งของศักดาไฟเลี้ยง (V_{DD}) M_{N2}เริ่มทำงานและกลับมาสวิทช์มากกว่า ศักดาที่มากกว่าเป็นเหตุให้เอาต์พุตลดลง เมื่อเอาต์พุตลดลง ซอสของ M_{N3}ลดลงด้วย ซึ่งก็คือเอาต์พุตมีผลต่อ M_{N3} ในการแบ่งศักดากับ M_{N1}อย่างรวดเร็ว ขณะที่ M_{P3}เริ่มทำงานศักดาที่เกตเริ่มจะต่ำลงโดยการลดลงของเอาต์พุตอย่างรวดเร็ว M_{P3}ทำงานทำให้ซอสของ M_{P2}ต่ำและทำให้ M_{P2} หยุดทำงาน ทำให้เอาต์พุตจะลดลงอย่างมาก การกระทำอย่างรวดเร็วขึ้นอยู่กับ Unity gain loop

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จะเกิดการป้อนกลับแบบบวกสู่ Source follower เมื่ออินพุตต่ำลงอีกครั้งหนึ่ง ก็จะเกิดการกระทำอย่างรวดเร็วอีกครั้งหนึ่ง เมื่อศักดาเทรดโฮลด์ต่ำลง เอาต์พุตจะเป็นลักษณะอินเวอร์เตอร์โดย M_{N4} กับ M_{P4} และ M_{N5}กับ M_{P5} มีการแลทช์ และเอาต์พุตมีเสถียรภาพมาก เอาต์พุตของอินเวอร์เตอร์บัฟเฟอร์มีกระแสซิงค์ 360 μA กราฟคุณสมบัติการถ่ายโอนแสดงดังรูปที่ 4.6 และ Guaranteed trip point แสดงดังรูปที่ 4.7 [23]

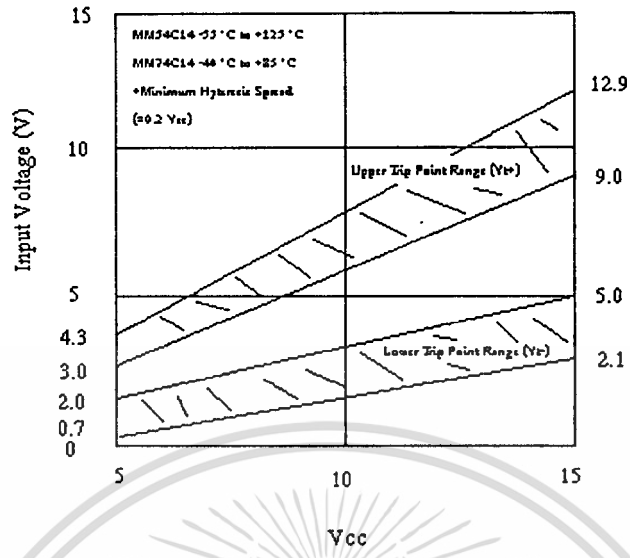


รูปที่ 4.6 คุณสมบัติการโอนถ่ายสำหรับแหล่งจ่ายศักดา 3 ค่า

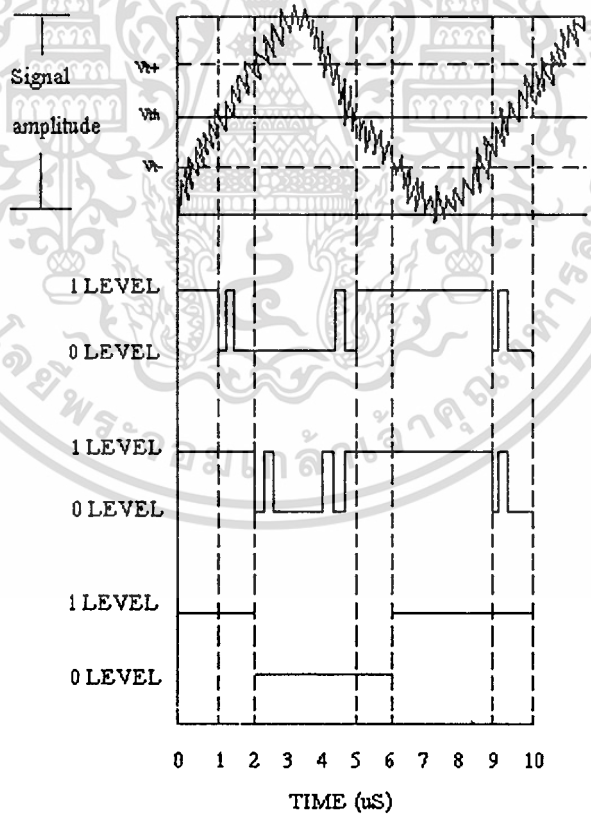
4.3.1 ฮิสเตอร์รีซีส

คือผลต่างของผลตอบสนองที่ขึ้นอยู่กับการเปลี่ยนแปลงของอินพุตโดยตรง เทรดโฮลด์จะกันสัญญาณรบกวนของวงจรเปรียบเทียบ สามารถเพิ่มการส่งผ่านแบบทวีคูณของเอาต์พุตได้ ผลตอบสนองของศักดาต่อเวลาเปรียบเทียบ มีค่าน้อยกว่าเวลาชมิทท์ทริกเกอร์มีค่า 2 เทรดโฮลด์ ซีมอสชมิทท์ทริกเกอร์ที่ V_{DD}=10V มีค่าผลต่างเทรดโฮลด์ 3-6V วงจรเปรียบเทียบใช้ในการแก้ไขข่าวสารที่มีการส่งลดลงอันเนื่องมาจากสายส่งที่ไม่สมบูรณ์ เทรดโฮลด์ของวงจรเปรียบเทียบเป็นครึ่งหนึ่งของขนาดสัญญาณป้องกันระดับสัญญาณที่เกิดรบกวน (noise) ถ้าความกว้างของสัญญาณ 4 μS ถูกส่งไปในสายส่ง 4 μS จะเกิดการรับสัญญาณที่มี Distortion ขึ้น ถ้าวงจรเปรียบเทียบมีเทรดโฮลด์มากกว่าครึ่งหนึ่งของขนาดสัญญาณพัลส์บวกถูกส่งแบบสั้นกว่า และพัลส์ลบมีความยาว สิ่งนี้เรียกว่า ระดับการ Distortion ต่ำ ชมิทท์ทริกเกอร์มี Offset บวก V_{T+} แต่ก็มี Offset ลบ V_{T-} ในซีมอส Offset เหล่านี้ประมาณค่า สมมาตรครึ่งหนึ่งของสัญญาณพัลส์ 4 μS ที่ส่งออกไป และการแก้คืนมาได้ การแก้พัลส์คืนมาถูกดีเลย์เวลา แต่ความยาวไม่เปลี่ยนการป้องกัน noise และ distortion ได้เพราะเทรดโฮลด์ออฟเซ็ท ดังแสดงรูปที่ 4.8

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.7 ช่วง Guaranteed Trip Point

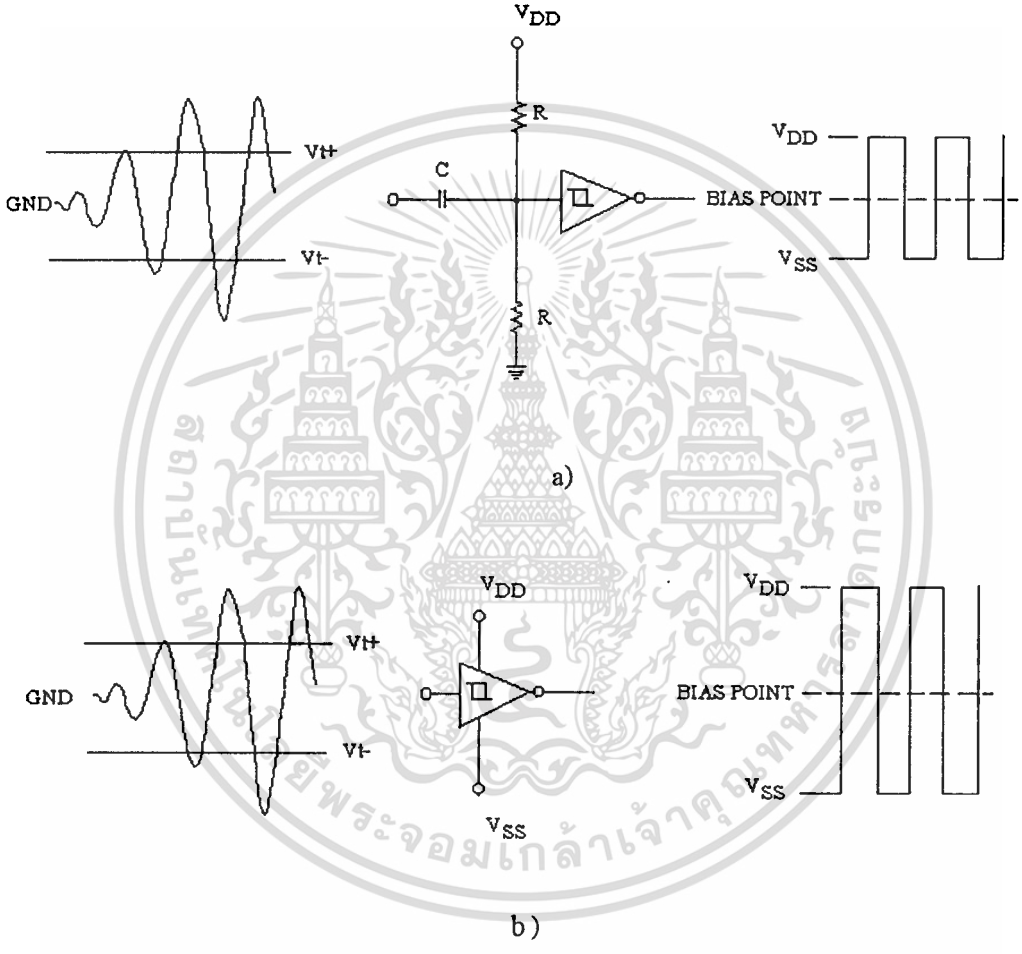


รูปที่ 4.8 วงจรชีมอสที่มีสัญญาณรบกวน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4.3.2 การประยุกต์ใช้งานของซีมอสชมิทท์ทริกเกอร์

จากรูปที่ 4.9 จาก Sine เป็น Square wave เพราะอินพุตของชมิทท์ทริกเกอร์จะสมมาตรและไบอัสได้ง่าย สามารถปรับ 50% duty cycle ได้ อินพุตอิมพีแดนซ์สูงง่ายต่อการเลือก R ไบอัส และ C คับปลิ้ง เพราะซีมอสมีช่วงแหล่งจ่ายที่กว้าง ชมิทท์ทริกเกอร์มีกำลังจากการแยกแหล่งจ่าย การไบอัสนี้หมายถึงค่าเทรดโฮลด์เป็น "0" และทำให้มีการคับปลิ้งโดยตรงจากเอาต์พุตของออปแอมป์

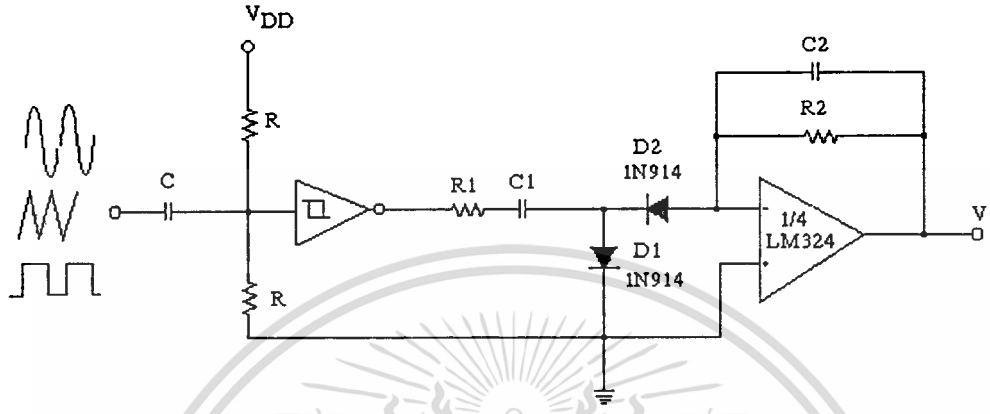


รูปที่ 4.9 การแปลง Sine เป็น Square wave ด้วย การตัดระดับที่สมมาตร

จากรูปที่ 4.10 ดูการเปลี่ยนแปลงความถี่ เป็นแรงดันที่ยอมรับรูปคลื่นหลายแบบกับไม่มีการเปลี่ยนแปลงศักดาเอาต์พุต แม้ว่าพลังงานในรูปคลื่นมีค่าความแตกต่างน้อย ผลก็คือความถี่ที่หาได้จากศักดาเอาต์พุต เพราะเอาต์พุตของซีมอสชมิทท์ทริกเกอร์ที่สมบูรณ์ แหล่งจ่ายจะลดลง ค่าศักดาสวิงคงที่ตกคร่อม C_1 ทำให้กระแสไหลผ่านคาแพซิแตนท์ขึ้นกับค่าความถี่นั้น เอาต์พุตบวกสวิง

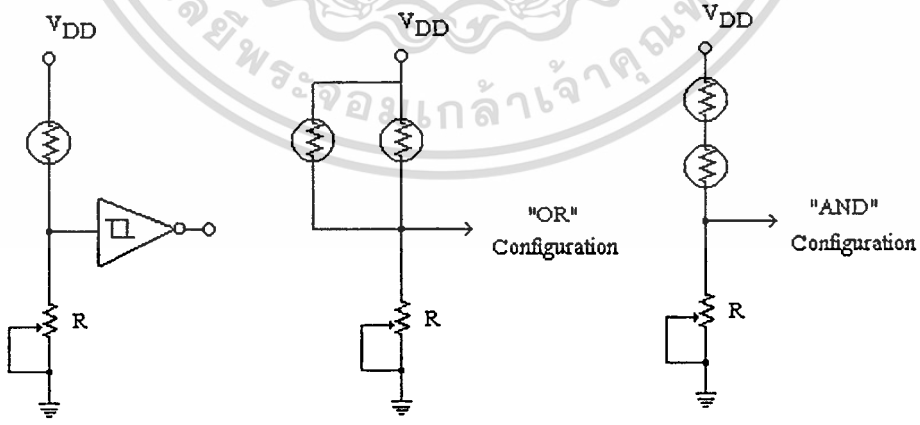
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

กระแสไหลผ่านกราวด์ไป D_1 เอาต์พุตลบสวิงกระแสลดลงจากขั้วอินเวอร์ติ้งออปแอมป์ผ่าน D_2 และอยู่ในรูปศักดาเฉลี่ยโดย R_2และ C_2 ซึมอสชมิทท์ทริกเกอร์ดึงแหล่งจ่ายลดลงอย่างสมบูรณ์ และการเปลี่ยนแปลงศักดาตกคร่อมคาแพซิสเตอร์คือศักดาแหล่งจ่าย



รูปที่ 4.10 การใช้ไดโอดรักษาระดับรูปคลื่นอินพุต

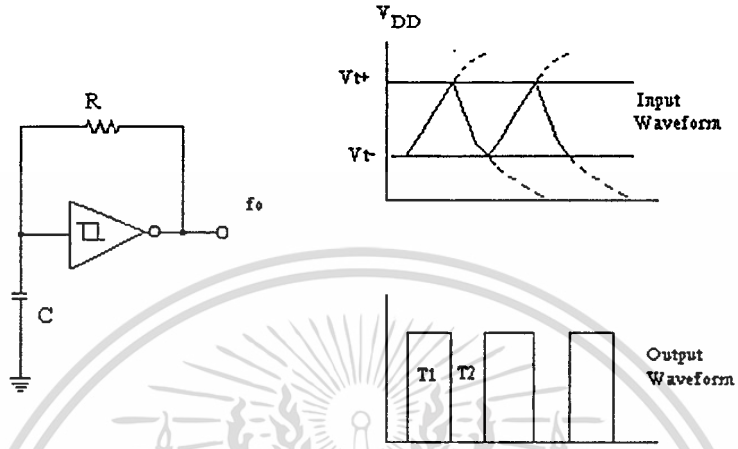
ชมิทท์ทริกเกอร์ใช้ผลิตการส่งผ่านให้เร็ว เมื่อฟังก์ชั่นที่มีการเปลี่ยนแปลงช้าเกินกว่าที่กำหนด รูปที่ 4.11 สวิทช์แสง อินพุตอิมพีแดนซ์ของซึมอสชมิทท์ทริกเกอร์สูง ทำให้ไบอัสง่ายมาก โพโต้เซลส่วนมากมีค่าหลายกิโลโอห์ม ไม่มีผลต่ออินพุตเมื่อเอาต์พุตเปลี่ยนแปลง การเลือก R ไบอัสใช้สมการการแบ่งศักดา



รูปที่ 4.11 สวิทช์แสงที่ศักดาอินพุตเพิ่มความเข้มแสงก็เพิ่ม

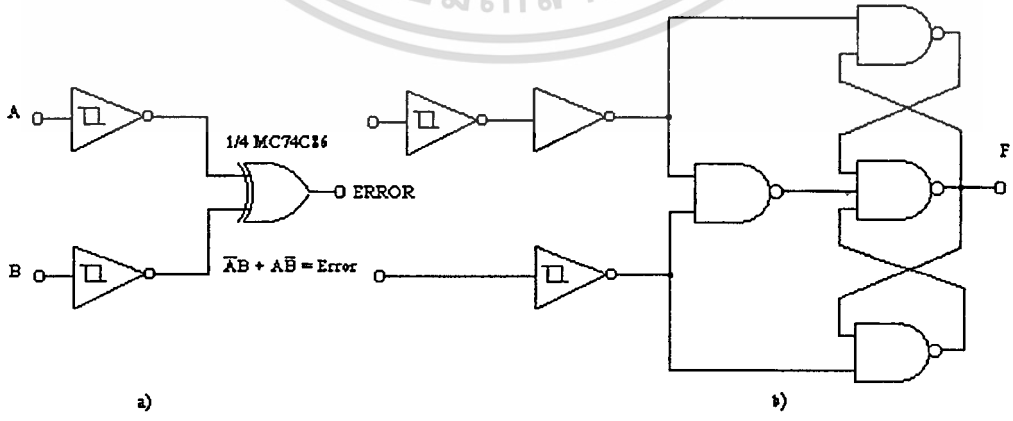
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การประยุกต์ซีมอสจะสมบูรณ์จะต้องใช้กำลังต่ำ ตามรูปที่ 4.12 แสดง RC ออสซิเลเตอร์อย่างง่ายกับ 6R และ C และ Hex ซีมอส 6 Low power ออสซิเลเตอร์ที่สามารถทำได้ Square wave เอาต์พุตจะได้ประมาณ 50% duty cycle เพราะคุณสมบัติของอินพุตเอาต์พุตซีมอสสมดุลย์ สมการความถี่เอาต์พุต $t_1 = t_2 > [t_{pd0} + t_{pd1}]$



รูปที่ 4.12 วงจร RC Oscillator ทำเป็นซีมอสชมิทท์ทริกเกอร์

จะเห็นว่าการใช้ซีมอสชมิทท์ทริกเกอร์ ในการป้องกันสัญญาณรบกวนที่เพิ่มขึ้นบนสายส่งที่ไม่สมดุลย์ตามรูปที่ 4.13 แสดงการประยุกต์สำหรับการสมดุลย์หรือสายส่งที่มีค่าความแตกต่างระหว่างรูปที่ 4.13a คือ CMOS EX-OR MC74C86 ซึ่งจะสร้างจากอินเวอร์เตอร์และแนนด์เกต ถ้าข่าวสารไม่สมดุลย์ ถูกผลิตในสายโดยสัญญาณสนทนาหรือจาก noise ภายนอก จะมีการผิดพลาด (error)



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Truth Table

A	B	F
0	0	NC
0	1	0
1	0	1
1	1	NC

NC = No change

c)

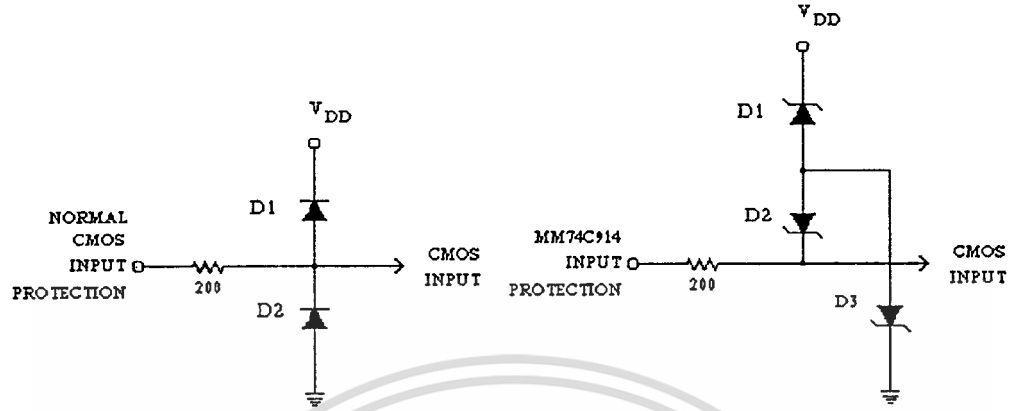
รูปที่ 4.13 การป้องกันสัญญาณรบกวนโดยใช้ซีมอสชมิทท์ทริกเกอร์

จากรูปที่ 4.13 b เป็นสายส่งเครื่องรับที่แตกต่างที่แก้คืนการส่งข้อมูลที่สมดุลย์ แต่ไม่สนใจสัญญาณที่ไม่สมดุลย์ โดย Latching up ถ้าวงจรทั้งสองของรูป 4.13 ถูกใช้เข้าด้วยกัน การตัดการผิดพลาดควรจะตัดสัญญาณส่งเพื่อหยุดการส่งและสายเครื่องรับจะจำค่าข่าวสารบิทสุดท้ายเมื่อสัญญาณที่สมดุลย์ถูกเก็บเครื่องรับจะนำออกมาใช้ได้

ช่วงศักดามาตรฐานของซีมอสอินพุตV_{DD}=+0.8⟶-0.3Vเพราะอินพุตได้ป้องกัน (Protection) ด้วยวงจรไดโอดแคลมป์แหล่งจ่ายอินพุตอื่น ได้รับแหล่งจ่ายจากซอส (Source) และซิงค์ (Sink) จำนวนบวกของกระแสที่ไหลผ่านไดโอด ช่วงศักดาอินพุตจะใช้เวลามาก เช่นสายส่งทำงานที่ ±12V และออปแอมป์±15V วิธีการของโจทย์นี้ใช้ MC74C914 เป็นอุปกรณ์ใหม่มีอินพุตป้องกันเป็นแบบคอมมอนที่สัญญาณอินพุตถึง 25Vเทียบกราวด์ และ 25V ต่ำกว่าV_{DD} คือที่ชมิทท์ทริกเกอร์เป็นการแปลง Square wave ตามรูปที่ 4.13b มีกำลังงาน ±15Vและยังคงใช้กำลังของออปแอมป์±15V

วงจรมาตรฐานของการป้องกันอินพุต และวงจรป้องกันใหม่และอินพุตรูปที่ 4.14 ไดโอดมีจุดเบรคดาวน์ 35V ศักดาอินพุตเป็นบวกจนกระทั่งไบอัสกลับ D_2เบรคดาวน์ผ่านไบอัสตรง D_3ซึ่งจะมีศักดา 35Vเทียบกราวด์ ศักดาอินพุตสามารถเป็นลบจนกระทั่งไบอัสกลับ D_1เบรคดาวน์ผ่านไบอัส ตรง D_2 ซึ่งมีค่า 35V ต่ำกว่าV_{DD} การป้องกันอินพุตก็ยังคงที่รักษาไว้ได้อย่างเหมาะสม

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.14 การใช้ไดโอดป้องกันอินพุตโดยตัดสัญญาณช่วงบวกและลบลง

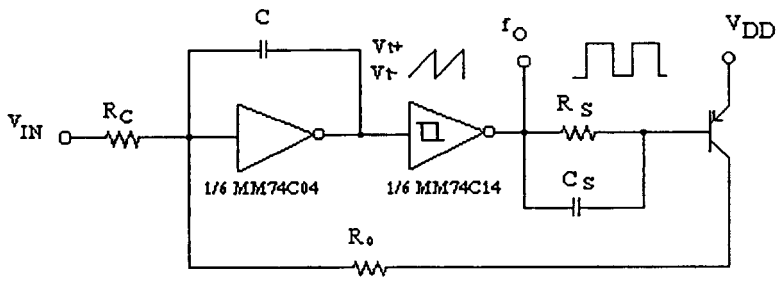
ซีมอสสามารถใช้เป็นเชิงเส้นได้ซึ่งศักดาที่กว้าง ถ้าพิจารณาที่ไบอัสของอินพุต รูปที่ 4.15 แสดงการทำ VCO ด้วยซีมอสอินเวอร์เตอร์และอินทีเกรเตอร์ โดยใช้ซีมอสชมิทท์เป็นคอมพาราเตอร์ด้วยฮิสเตอร์รีซิสอินเวอร์เตอร์อินทีเกรตบวก ความแตกต่างระหว่างเทรดโฮลด์และศักดาอินพุต กับ เอาต์พุตอินเวอร์เตอร์ลาดขึ้นจนกระทั่งถึงเทรดโฮลด์บวกของชมิทท์ทริกเกอร์ ที่เวลานั้นเอาต์พุตชมิทท์ทริกเกอร์จะต่ำลงทำให้ทรานซิสเตอร์ ON ผ่าน R_sและ C_sฮิสเตอร์รีซิสสวิงทำให้เอาต์พุตเป็นค่าต่ำ จนกระทั่งค่า C คายประจุผ่าน R_DโดยR_Dจะทำให้มีค่าน้อยมากกว่า R_Cจะ Reset เวลาเร็วขึ้น ความถี่เอาต์พุต

$$f_O = \frac{V_{TH} - V_{in}}{(V_{T+} - V_{T-})R_C C} \qquad (4.17)$$

ความถี่ขึ้นอยู่กับค่าศักดาควบคุมโดย

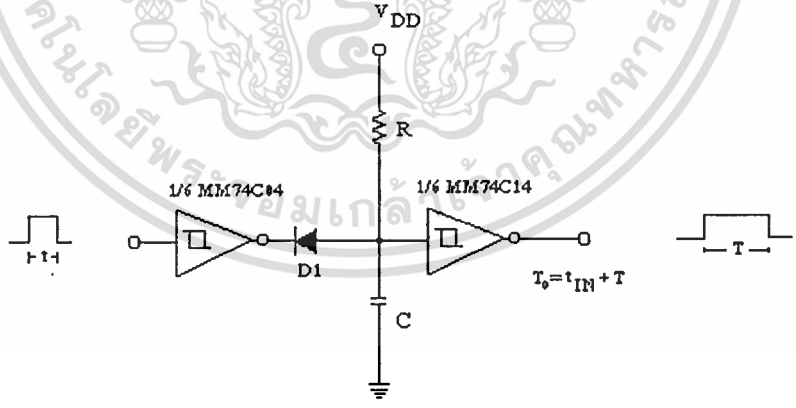
$$\frac{df_O}{dV_{IN}} = \frac{-1}{(V_{T+} - V_{T-})R_C C} \qquad (4.18)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.15 ซีมอสทำงานแบบเชิงเส้น (Voltage Controlled Oscillator)

เครื่องหมายลบชี้ให้เห็นว่าความถี่เอาต์พุตเพิ่มขึ้นมีอินพุตต่ำลงกว่าอินเวอร์เตอร์เทรดโฮลด์ ความถี่สูงสุดเกิดขึ้นเมื่อ V_{in}เป็นกราวด์และความถี่จะลดลงที่ V_{in}เพิ่มขึ้น และจะหยุดสุดท้ายที่อินเวอร์เตอร์เทรดโฮลด์ประมาณ $0.55V_{DD}$พัลส์จากเอาต์พุต VCO มีค่าแคบมาก เพราะรีเซ็ตเวลามีค่าน้อยมากน้อยกว่าอินทีเกรชั่น พัลส์ยืดออกตามธรรมดาน้อยที่ชมิทท์ทริกเกอร์ One-shot หรือ พัลส์ที่ยืดออกทำด้วยอินเวอร์เตอร์และชมิทท์ทริกเกอร์ แสดงดังรูปที่ 4.16 พัลส์บวกเป็นอินเวอร์เตอร์เป็นเหตุให้เอาต์พุตลดต่ำ การคายประจุของคาแพซิแตนท์ผ่านไดโอด D_1 คาแพซิสเตอร์จะคายประจุอย่างรวดเร็ว ดังนั้นอินพุตชมิทท์ทริกเกอร์จะต่ำและเอาต์พุตจะเป็นบวก ตรวจสอบขนาดของคาแพซิสเตอร์ให้แน่ใจที่จะทำอินเวอร์เตอร์สามารถคายประจุได้เต็มและคาแพซิสเตอร์ในเวลาอินพุตพัลส์



รูปที่ 4.16 การคายประจุคาแพซิสเตอร์ของซีมอสอินเวอร์เตอร์

$$I_{sink} > \frac{c\Delta V}{\Delta T} + \frac{\Delta V}{R} \qquad (4.19)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เมื่อ $\Delta V = V_{DD}$ สำหรับซีมอส

ΔT = ความกว้างอินพุตพัลส์

สำหรับพัลส์แคบมากน้อยกว่า 100*ns* คาแพซิสเตอร์ไม่ต้องใช้ และตัวต้านทานจะประจุเพิ่มขึ้นที่ซีมอสเกตคาแพซิสเตอร์เหมือนค่าคาแพซิสเตอร์

เมื่ออินพุตของอินเวอร์เตอร์กลับเป็น "0" บล็อกไดโอดที่ป้องกันอินเวอร์เตอร์จากการประจุคาแพซิสเตอร์มีค่า V_{T+} เอาต์พุตของชมิทท์ทริกเกอร์จะมีค่าต่ำในเวลาหลังจากพัลส์อินพุตมีค่าต่ำ

4.3.3 ข้อดีซีมอสชมิทท์ทริกเกอร์

1. อินพุตอิมพิแดนซ์สูง $(10^{12}\,\Omega)$
2. คุณสมบัติของอินพุตและเอาต์พุตสมดุลย์
3. เทรดโฮลด์สมมาตรเท่ากับครึ่งหนึ่งของแหล่งจ่าย
4. กระแสเอาต์พุตซอสและซิงค์เท่ากัน
5. ศักดาเทรดโฮลด์บวกและลบมีการเปลี่ยนแปลงต่ำเมื่อเทียบกับอุณหภูมิ
6. ช่วงแหล่งจ่ายศักดากว้าง 3 - 15 V
7. ใช้กำลังงานต่ำ
8. มีการป้องกันสัญญาณรบกวนสูง

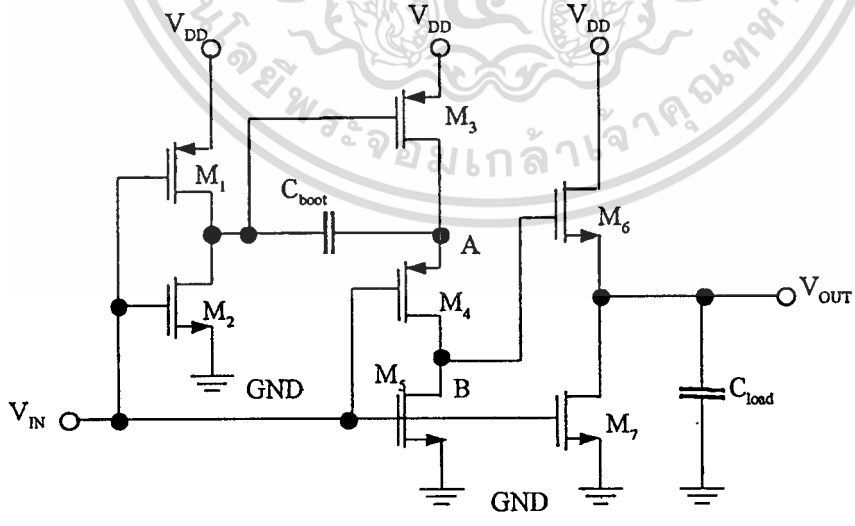
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 5
วงจรซีมอสอินเวอร์เตอร์แบบใหม่

5.1 บทนำ

วงจรซีมอสอินเวอร์เตอร์เป็นวงจรที่มีการใช้งานกันอย่างกว้างขวาง เนื่องจากเป็นวงจรพื้นฐานของวงจรทางดิจิตอล ในปัจจุบันการออกแบบวงจรทางระบบดิจิตอล จะให้ความสำคัญกับการสิ้นเปลืองของพลังงานของวงจรเป็นหลัก เนื่องจากแหล่งจ่ายพลังงานกับระบบที่สามารถพกพาไปในที่ต่างๆได้ กำลังเป็นที่นิยมใช้กันอย่างแพร่หลายในปัจจุบัน วิธีการหนึ่งที่มีประสิทธิภาพสำหรับที่จะนำไปใช้ในการลดอัตราการสิ้นเปลืองพลังงานของวงจรโดยการลดระดับศักดาไฟเลี้ยงของวงจรลง ซึ่งผลที่ตามมาเนื่องจากการลดระดับศักดาไฟเลี้ยง จะทำให้ความสามารถในการขับสัญญาณของมอสทรานซิสเตอร์ลดลง วิธีการชดเชยผลกระทบดังกล่าวได้อย่างมีประสิทธิภาพกระทำได้ด้วยการใช้ศักดาไฟที่ค่าระดับสูงๆ ขับไปที่เกตของมอสทรานซิสเตอร์โดยใช้วงจรบูตสแตรป[1], [2] การปรับปรุงวงจรซีมอสอินเวอร์เตอร์โดยการใช้ วงจรบูตสแตรปได้ถูกนำเสนอขึ้น [2] เพื่อทำให้วงจรมีการทำงานที่เร็วกว่าวงจรอินเวอร์เตอร์มาตรฐานดังแสดงในรูปที่ 5.1 วงจรที่ได้ถูกปรับปรุงขึ้นจะออกแบบโดยใช้เอ็นมอสทรานซิสเตอร์ในด้าน Pull up จึงทำให้วงจรนี้มีความสามารถในการขับสัญญาณด้านเอาต์พุตได้ดีกว่าวงจรอินเวอร์เตอร์มาตรฐาน

5.2 วงจรบูตสแตรปซีมอสอินเวอร์เตอร์



รูปที่ 5.1 วงจรบูตสแตรปซีมอสอินเวอร์เตอร์ [2]

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

วงจรบูตสแตรปซีมอสอินเวอร์เตอร์สามารถแสดงได้ดังรูปที่ 5.1 จะเห็นได้ว่าในวงจรจะประกอบด้วยเอ็นมอสทรานซิสเตอร์และวงจรบูตสแตรปในด้าน Pull Up ส่วนด้าน Pull down จะใช้เอ็นมอสทรานซิสเตอร์เป็นตัวขับเหมือนกับวงจรอินเวอร์เตอร์มาตรฐาน ในส่วนตัวขับมอสทรานซิสเตอร์จะใช้เอ็นมอสทรานซิสเตอร์ (M_6) เป็นตัวขับในด้านPull upและใช้เอ็นมอสทรานซิสเตอร์ (M_7) เป็นตัวขับในด้านPull down ขณะที่เอ็นมอสทรานซิสเตอร์ (M_5) จะใช้ในการคายประจุที่เกตของ M_6 ส่วนด้าน Pull up จะเพิ่มเติมวงจรบูตสแตรปเพื่อใช้ในการเพิ่มศักดาไฟที่จะขับไปที่เกต M_6ซึ่งประกอบไปด้วย M_1, M_2, M_3, M_4และ C_{boot} โดยค่าคาแพซิแตนท์สามารถใช้มอส ทรานซิสเตอร์ที่ถูกต่อลัดวงจรระหว่างขาเดรนกับซอสเพื่อทำหน้าที่เป็นคาแพซิสเตอร์ ซึ่งการทำงานของ วงจรสามารถอธิบายได้ดังนี้

ในช่วงสภาวะ Pull down ศักดาที่ขาเกตของ M_7จะอยู่ในสภาวะ High เป็นผลทำให้ M_7 ทำงานทำการคายประจุที่ด้านเอาต์พุตทำให้ค่าศักดาไฟที่ด้านเอาต์พุตเป็นศูนย์หรือลอจิก '0' ในส่วนด้าน Pull up M_6จะหยุดทำงานเนื่องจาก M_5จะทำงาน จึงทำให้ศักดาที่เกตของ M_6มีค่าเป็นศูนย์ ทำให้ M_6ไม่ทำงาน และ M_2จะทำงานทำให้ C_{boot} ถูกลัดวงจรลงกราวด์ผ่าน M_2 และ M_3ทำให้ C_{boot}ทำการประจุโดยมีศักย์เป็น V_{DD} เมื่อถึงช่วงสภาวะที่สัญญาณอินพุตเปลี่ยนจากสภาวะ High ไป Low ทำให้ตัวคาแพซิสเตอร์ลอยตัว เนื่องจาก M_2หยุดทำงาน แต่ยังคงมีศักดาที่ประจุไว้ในช่วง Pull down ในเวลาเดียวกันมันจะเป็นตัวทำให้ศักดาที่ขาเกตของ M_6มีค่าสูงกว่า V_{DD} โดยผ่าน M_4ซึ่งอยู่ในสภาวะการทำงาน ซึ่งผลจากศักดาที่เพิ่มขึ้นนี้จึงทำให้ระดับสัญญาณด้านเอาต์พุตมีค่าการหน่วงเวลาลดลง

5.3 การคำนวณค่าบูตสแตรปคาแพซิแตนท์

การออกแบบวงจรบูตสแตรปซีมอสอินเวอร์เตอร์จะออกแบบโดยการใช้ศักดาที่มีค่าสูงๆขับไปที่เกตของมอสทรานซิสเตอร์ตัวขับเอาต์พุตด้านขาขึ้น ทำให้วงจรอินเวอร์เตอร์ที่ได้มีการทำงานที่เร็วขึ้นกว่าวงจรแบบทั่วไป จากการวิเคราะห์ค่าการหน่วงเวลาในบทที่ 3 ในหัวข้อที่ 3.4.2 จะเห็นได้ว่าเวลาการหน่วงจะขึ้นอยู่กับความเร็วในการประจุและคายประจุโหลดคาแพซิแตนท์จากสมการ 3.66 เป็นดังนี้

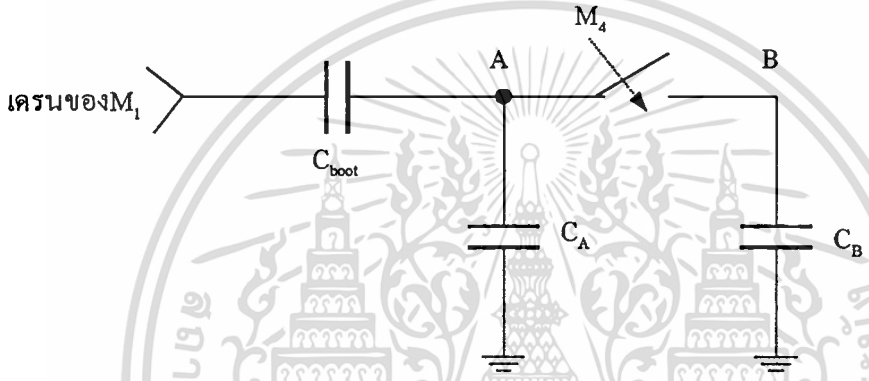
$$\tau_{PHL} = \frac{C_{load}}{k_n\left(V_{OH} - V_{tn}\right)}\left[\frac{2V_{tn}}{V_{OH} - V_{tn}} + \ln\left(\frac{4\left(V_{OH} - V_{tn}\right)}{V_{OH} + V_{OL}} - 1\right)\right] \qquad (5.1)$$

เมื่อให้ V_{OH} มีค่าเป็นศักดาที่เกตกับซอส (V_{gsn}) ของมอสทรานซิสเตอร์ตัวขับและให้ V_{OL} มีค่าเป็นศูนย์ (V_{OL} =0) ดังนั้นสมการ 5.1 จะได้เป็น

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$\tau_{PHL} = \frac{C_{load}}{k_n\left(V_{gs,n} - V_{tn}\right)}\left[\frac{2V_{tn}}{V_{gs,n} - V_{tn}} + \ln\left(\frac{4\left(V_{gs,n} - V_{tn}\right)}{V_{DD}} - 1\right)\right] \qquad (5.2)$$

จากสมการ 5.2 จะเห็นได้ว่าเมื่อทำการเพิ่มศักดาที่เกตจะทำให้ค่าการหน่วงเวลาของวงจรมีค่าลดลง ซึ่งการทำให้ศักดาเพิ่มขึ้นนั้นจะใช้วงจรบูตสแตรปเป็นส่วนทำหน้าที่นี้ ถ้าพิจารณาจากรูปที่ 5.1 จะเห็นได้ว่าวงจรบูตสแตรปจะประกอบไปด้วย M_1, M_2, M_3, M_4และ C_{boot}โดยการทำงานของวงจรได้อธิบายไปแล้วในหัวข้อผ่านมา วงจรบูตสแตรปจากวงจรในรูปที่ 5.1 สามารถเขียนเป็นวงจรเสมือนในช่วงการประจุ C_{boot} ได้ดังรูปที่ 5.2



รูปที่ 5.2 วงจรเสมือนของวงจรบูตสแตรป

จากรูปที่ 5.2 จะเห็นได้ว่ามีคาแพซิสเตอร์อยู่ 3 ตัวเป็นดังนี้ C_{boot} เป็นคาแพซิแตนท์ที่ใช้สำหรับเก็บประจุของวงจรบูตสแตรป C_A และ C_B จะเป็นพาราซิสติกคาแพซิแตนท์ที่จุด A และ B ของวงจรบูตสแตรปซึ่งมอสอินเวอร์เตอร์ที่แสดงในรูปที่ 5.1 โดย C_A จะเป็นคาแพซิแตนท์ระหว่างเดรนกับฐานรองของ M_3 (C_{dbM3}) และคาแพซิแตนท์ระหว่างซอสกับฐานรองของ M_4 (C_{sbM4}) ส่วน C_B จะเป็นคาแพซิแตนท์ระหว่างเดรนกับฐานรองของ M_4 (C_{dbM4}) และ M_5 (C_{dbM5}) และคาแพซิแตนท์ที่เกตของ M_6 (C_{gM6}) ดังนั้นจะได้

$$C_A = C_{dbM3} + C_{sbM4} \qquad (5.3)$$

$$C_B = C_{dbM4} + C_{dbM5} + C_{gM6} \qquad (5.4)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ในช่วงการประจุ C_{boot} จะได้สมการการประจุเป็นดังนี้

$$Q_{boot} = C_{boot} V_{DD} \tag{5.5}$$

เมื่อ C_A จะถูกประจุให้มีค่าเป็น V_{DD} ด้วยการประจุจะเป็นดังนี้

$$Q_A = C_A V_{DD} \tag{5.6}$$

ในช่วงนี้จะไม่มีการประจุใน C_B

ในช่วงการบูตสแตรป M_4 จะทำงานจะให้ศักดาที่จุด A และ B จะถูกเพิ่มให้มีศักดาค่าสูงขึ้น (V_f) ดังนั้นผลรวมประจุที่อยู่ใน C_A และ C_B จะเป็นดังนี้

$$Q_1 = C_A V_f + C_B V_f \tag{5.7}$$

ประจุทั้งหมดที่เพิ่มขึ้นใน C_A และ C_B จะเป็นดังนี้

$$\Delta Q = C_A \left(V_f - V_{DD}\right) + C_B V_f \tag{5.8}$$

ดังนั้นประจุทั้งหมดที่ถูกจ่ายโดย C_{boot} และศักดาที่ตกคร่อมมันจะเป็นดังนี้

$$\Delta V = \frac{C_A \left(V_f - V_{DD}\right) + C_B V_f}{C_{boot}} \tag{5.9}$$

เมื่อ C_{boot} = บูตสแตรปคาแพซิแตนท์

Q_{boot} = ประจุของบูตสแตรปคาแพซิแตนท์

Q_A = ประจุของคาแพซิแตนท์ที่โหนด A

Q_1 = ประจุคาแพซิแตนท์รวมที่โหนด A และ B

ΔQ = ประจุของคาแพซิแตนท์เพิ่มขึ้นที่โหนด A และ B

ΔV = ศักดาตกคร่อมบูตสแตรปคาแพซิแตนท์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

V_{DD} = ศักดาไฟเลี้ยงวงจร

C_A = คาแพซิแตนท์ที่โหนด A

C_B = คาแพซิแตนท์ที่โหนด B

C_{db} = คาแพซิแตนท์ระหว่างรอยต่อเดรนกับฐานรอง

C_{sb} = คาแพซิแตนท์ระหว่างรอยต่อซอสกับฐานรอง

C_g = คาแพซิแตนท์ที่เกต

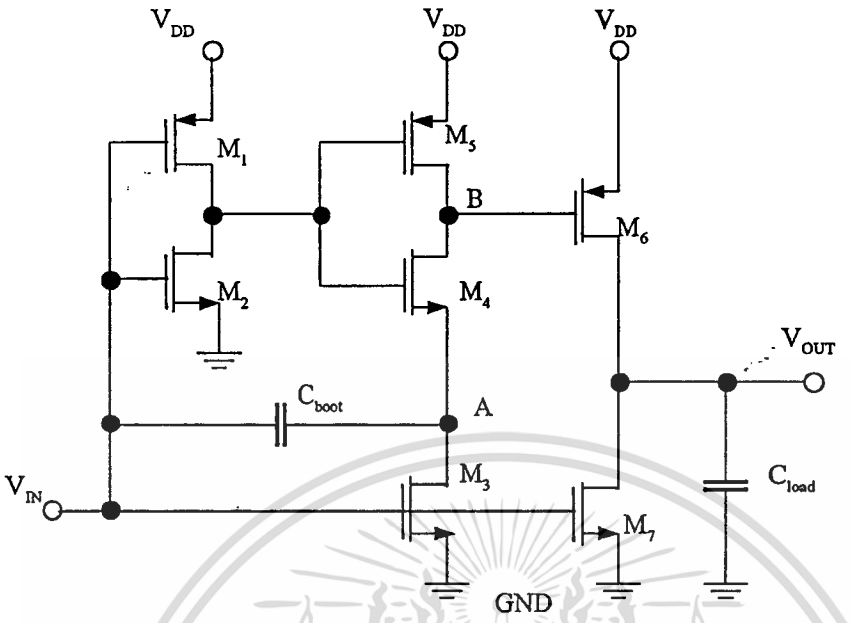
V_f = ศักดาบูตสแตรป

จากสมการ 5.9 จะเห็นได้ว่าศักดาตกคร่อม C_{boot} จะขึ้นอยู่กับศักดา V_f แต่ศักดา V_f ที่ค่าสูงๆเป็นที่ต้องการ ดังนั้น C_{boot} จะต้องมีขนาดใหญ่ตามไปด้วย เพราะฉะนั้นค่าคาแพซิแตนท์จะต้องมีการเลือกให้เหมาะสม

5.4 วงจรบูตสแตรปซีมอสอินเวอร์เตอร์แบบใหม่

การปรับปรุงวงจรซีมอสอินเวอร์เตอร์โดยการใช้วงจรบูตสแตรปได้ถูกนำเสนอขึ้นดังแสดงในหัวข้อ 5.2 เพื่อทำให้วงจรมีการทำงานที่เร็วกว่าวงจรอินเวอร์เตอร์มาตราฐาน วงจรบูตสแตรปซีมอสอินเวอร์เตอร์ที่ได้ถูกปรับปรุงขึ้นจะออกแบบโดยใช้เอ็นมอสทรานซิสเตอร์ในด้าน Pull up จึงทำให้วงจรนี้มีความสามารถในการขับสัญญาณด้านเอาต์พุตได้ดีกว่าวงจรอินเวอร์เตอร์มาตรฐาน แต่วงจรที่ออกแบบโดยใช้เอ็นมอสทรานซิสเตอร์ในด้าน Pull up จะทำให้ผลของศักดาที่สูญเสียไปเนื่องจากค่าศักดาเทรดโฮลด์ของมอสทรานซิสเตอร์จะเป็นส่วนสำคัญกับการสวิงของระดับสัญญาณด้านเอาต์พุต (ดูรายละเอียดในหัวข้อ 3.5) สำหรับวงจรที่ออกแบบให้ทำงานที่ระดับศักดาไฟเลี้ยงวงจรที่ต่ำๆ ซึ่งจะทำให้ระดับสัญญาณเอาต์พุตไม่สามารถสวิงได้เต็มย่านที่ระดับศักดาไฟเลี้ยงวงจรต่ำๆและโหลดคาแพซิแตนท์มีค่าสูงๆ ดังนั้นจึงได้มีการพัฒนาวงจรบูตสแตรปซีมอสอินเวอร์เตอร์แบบใหม่ ซึ่งสามารถทำให้ระดับสัญญาณเอ้าต์พุตสวิงได้เต็มย่านและทำงานได้เร็วกว่าวงจรที่ได้นำเสนอมาก่อน ซึ่งวงจรที่พัฒนาขึ้นจะออกแบบโดยใช้พีมอสทรานซิสเตอร์ในด้าน Pull up และเพิ่มศักดาขับที่เกตของพีมอสทรานซิสเตอร์ด้วยวงจรบูตสแตรป วงจรที่ได้พัฒนาขึ้นดังแสดงในรูปที่ 5.3

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 5.3 วงจรบูตสแตรปซีมอสอินเวอร์เตอร์แบบใหม่

พิจารณาวงจรที่แสดงดังรูปที่ 5.3 จะประกอบไปด้วยพีมอสทรานซิสเตอร์ (M_6) และวงจรบูตสแตรปในด้าน Pull Up ส่วนด้าน Pull down จะใช้เอ็นมอสทรานซิสเตอร์ (M_7) ซึ่งจะเหมือนกับวงจรอินเวอร์เตอร์มาตรฐาน ขณะที่พีมอส ทรานซิสเตอร์ (M_5) จะใช้ในการคายประจุที่เกตของ M_6 ส่วนด้าน Pull up จะเพิ่มเติมวงจรบูตสแตรปเพื่อใช้ในการเพิ่มศักดาไฟที่จะขับไปที่เกต M_6 ซึ่งประกอบไปด้วย M_1, M_2, M_3, M_4และ C_{boot} โดยค่าคาแพซิแตนท์สามารถใช้มอส ทรานซิสเตอร์ที่ถูกต่อลัดวงจรระหว่างขาเดรนกับซอสเพื่อทำหน้าที่เป็นคาแพซิสเตอร์ การทำงานของวงจรสามารถอธิบายได้ดังนี้

ในช่วงสภาวะ Pull down ศักดาที่ขาเกตของ M_7จะอยู่ในสภาวะ High เป็นผลทำให้ M_7 ทำงานทำการคายประจุที่ด้านเอาต์พุตทำให้ค่าศักดาไฟที่ด้านเอาต์พุตเป็นศูนย์หรือลอจิก '0' ในส่วนด้าน Pull up จะมี M_6ซึ่งจะถูกขับโดยอินเวอร์เตอร์ 2 ชุด คือ M_1กับ M_2และ M_4กับ M_5จึงทำให้ศักดาที่เกตของ M_6มีค่าเป็น V_{DD} ทำให้ M_6ไม่ทำงาน และ M_3 จะทำงานทำให้ C_{boot}ถูกลัดวงจรลงกราวด์ผ่าน M_3ทำให้ C_{boot}ทำการประจุโดยมีศักย์ของศักดาเป็น V_{DD}เมื่อถึงช่วงสภาวะที่สัญญาณอินพุตเปลี่ยนจากสภาวะ High ไป Low ทำให้ตัวคาแพซิสเตอร์ลอยตัว เนื่องจาก M_3หยุดทำงาน แต่ยังคงมีศักดาที่ประจุไว้ในช่วง Pull down ในเวลาเดียวกันมันจะเป็นตัวทำให้ศักดาที่ขาเกตของ M_6มีค่าสูงกว่า V_{DD}โดยผ่าน M_4 ซึ่งอยู่ในสภาวะการทำงาน ซึ่งผลจากศักดาที่เพิ่มขึ้นนี้จึงทำให้ระดับสัญญาณด้านเอาต์พุต มีค่าการหน่วงเวลาลดลงและศักดาที่เอาต์พุตสามารถสวิงได้เต็มย่านศักดาไฟเลี้ยงวงจร

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

5.5 การทดสอบสมรรถนะของวงจร

5.5.1 มอสทรานซิสเตอร์โมเดล

การทดสอบสมรรถนะของวงจรบูตสแตรปซีมอสอินเวอร์เตอร์ กระทำโดยการจำลองวงจรโดยใช้โปรแกรม Pspice ในการจำลองโดยใช้ ซีมอส โมเดล 0.35 μm ของ MOSIS โดยค่าตัวแปรต่างๆจะแสดงอยู่ใน ภาคผนวก ข การทดสอบนี้จะเป็นการทดสอบค่าการหน่วงเวลาขาขึ้น (Rise-time) ของวงจรทั้งสามวงจรคือ วงจรซีมอสอินเวอร์เตอร์มาตรฐาน วงจรบูตสแตรปซีมอสอินเวอร์เตอร์และวงจรบูตสแตรปซีมอสอินเวอร์แบบใหม่ โดยการปรับค่าโหลดคาแพซิแตนท์ตั้งแต่ 1.0 pF, 2.0 pF, 3.0 pF, 4.0 pF และ 5.0 pF และที่ค่าศักดาไฟเลี้ยงตั้งแต่ 0.8 – 2.0 โวลท์ จากนั้นนำค่าที่ได้มาเปรียบเทียบกันและเปรียบเทียบกับค่าที่ได้จากการคำนวณ การทดสอบจะใช้สัญญาณอินพุตรูปสี่เหลี่ยมซึ่งมีขนาดเท่ากับศักดาไฟเลี้ยงวงจรป้อนให้อินพุต

5.5.2 ค่าบูตสแตรปคาแพซิแตนท์

ในการออกแบบวงจรบูตสแตรปอินเวอร์เตอร์ดังรูปที่ 5.1 ลำดับแรกทำการหาค่าบูตสแตรปคาแพซิแตนท์จากสมการที่ 5.9 เมื่อให้ศักดาตกคร่อมบูตสแตรปคาแพซิแตนท์มีค่าเป็น 0.5 โวลท์ ($\Delta V = 0.5$ V) และศักดาบูตสแตรปมีค่าเป็น 1.5 โวลท์ ($V_r = 1.5$ V) จากนั้นแทนค่าคาแพซิแตนท์จากภาคผนวก ข ลงในสมการ 5.3, 5.4, 5.9เพื่อหาบูตสแตรปคาแพซิแตนท์ของวงจรรูปที่ 5.1เป็นดังนี้

$$C_A = 2.55*10^{-15} + 2.55*10^{-15} = 5.1*10^{-15}\,F$$

$$C_B = 2.55*10^{-15} + 5.63*10^{-15} + 2.46*10^{-14} = 3.278*10^{-14}\,F$$

$$C_{boot} = \frac{5.1*10^{-15}\,F(1.5-1) + 3.278*10^{-14}\,F*1.5}{0.5} = 103.44*10^{-15}\,F$$

จากนั้นจะทำการหาค่าบูตสแตรปคาแพซิแตนท์ของวงจรรูปที่ 5.3 โดยการแทนค่าคาแพซิแตนท์จากภาคผนวก ข ลงในสมการ 5.3, 5.4, 5.9เพื่อหาบูตสแตรปคาแพซิแตนท์จะได้เป็นดังนี้

$$C_A = 2.06*10^{-15} + 5.63*10^{-15} = 7.69*10^{-15}\,F$$

$$C_B = 5.63*10^{-15} + 2.55*10^{-15} + 2.46*10^{-14} = 3.278*10^{-14}\,F$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$C_{boot} = \frac{7.69*10^{-15}F(1.5-1)+3.278*10^{-14}F*1.5}{0.5} = 106.03*10^{-15}F$$

โดยจะได้ค่าตัวแปรต่างๆของวงจรบูตสแตรปซีมอสอินเวอร์เตอร์รูปที่ 5.1 และ 5.3 เป็นดังนี้

ตารางที่ 5.1 แสดงค่าตัวแปรของวงจรบูตสแตรป

	วงจรรูปที่ 5.1	วงจรรูปที่ 5.3
ศักดาไฟเลี้ยงวงจร	1.0 โวลท์	1.0 โวลท์
ศักดาบูตสแตรป	1.5 โวลท์	1.5 โวลท์
ศักดาตกคร่อมบูตสแตรปคาแพซิแตนท์	0.5 โวลท์	0.5 โวลท์
บูตสแตรปคาแพซิแตนท์	$103.44*10^{-15}$ F	$106.03*10^{-15}$ F

5.5.3 ค่าการหน่วงเวลา

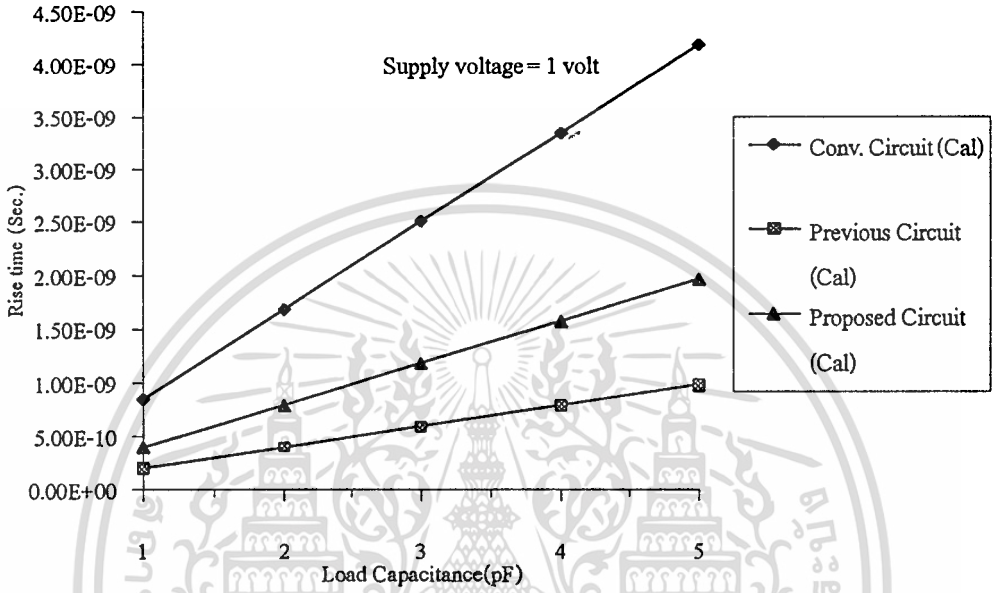
จากข้อกำหนดที่ได้จากหัวข้อที่ 5.5.1 และ 5.5.2 นำค่าตัวแปรต่างๆดังแสดงในตารางที่ 5.1 ไปแทนค่าในสมการที่ 3.58, 3.63 และ 3.64 เพื่อคำนวณหาค่าการหน่วงเวลาจาก V_{DD} ลดลงไปจนถึง $V_{10\%}$ ของวงจรซีมอสอินเวอร์เตอร์ทั้ง 3 แบบ โดยทำการเปลี่ยนแปลงโหลดคาแพซิแตนท์จาก 1.0 – 5.0 pF จากนั้นนำค่าที่ได้จากการคำนวณดังแสดงในตารางที่ 5.2 ไปเขียนกราฟเพื่อนำไปเปรียบเทียบกับผลที่ได้จากการจำลองโดยโปรแกรม Pspice

ตารางที่ 5.2 แสดงค่าการหน่วงเวลาที่ได้จากการคำนวณ

โหลดคาแพซิแตนท์	ค่าการหน่วงเวลา (Sec)		
	Conventional Circuit	Previous Circuit [2]	Proposed Circuit
1 pF	$8.36*10^{-10}$	$1.96*10^{-10}$	$3.93*10^{-10}$
2 pF	$1.67*10^{-09}$	$3.93*10^{-10}$	$7.86*10^{-10}$
3 pF	$2.51*10^{-09}$	$5.89*10^{-10}$	$1.18*10^{-09}$
4 pF	$3.34*10^{-09}$	$7.86*10^{-10}$	$1.57*10^{-09}$
5 pF	$4.18*10^{-09}$	$9.82*10^{-10}$	$1.96*10^{-09}$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากตารางที่ 5.2 สามารถนำมาเขียนกราฟแสดงความสัมพันธ์ระหว่างค่าการหน่วงเวลาจากการคำนวณเทียบกับโหลดคาแพซิแตนท์ได้ดังรูปที่ 5.4



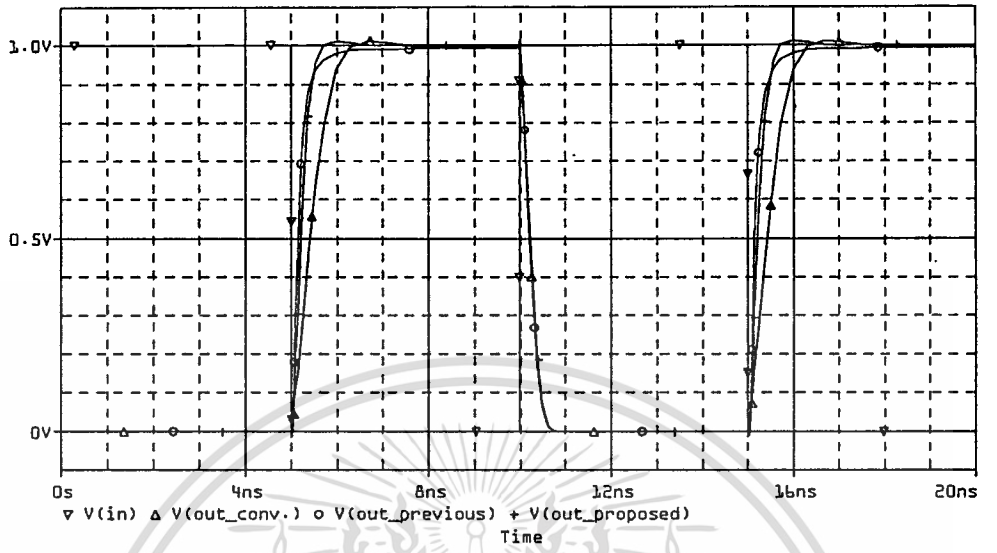
รูปที่ 5.4 กราฟแสดงความสัมพันธ์ของค่าการหน่วงเวลาจากการคำนวณกับโหลดคาแพซิแตนท์

5.5.4 การจำลองการทำงานโดยโปรแกรม Pspice

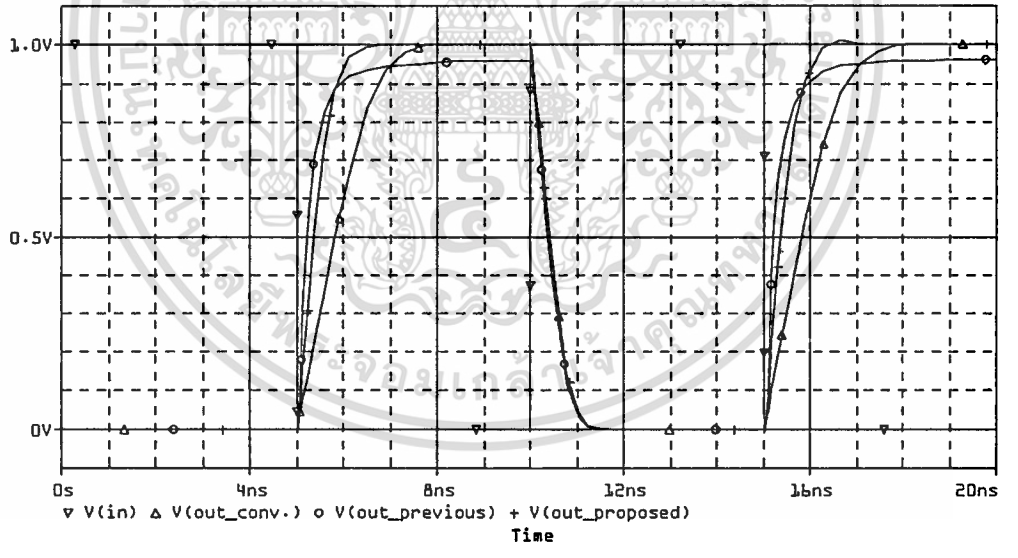
5.5.4.1 ค่าการหน่วงเวลาเทียบกับโหลดคาแพซิแตนท์

การจำลองการทำงานวงจรซีมอสอินเวอร์เตอร์โดยใช้โมเดลของเอ็นมอสและพีมอสที่แสดงไว้ในภาคผนวก ข หัวข้อนี้เป็นการทดสอบค่าการหน่วงเวลาของวงจรซีมอสอินเวอร์เตอร์ทั้งสามแบบ เมื่อกำหนดให้ศักดาไฟเลี้ยงคงที่ 1.0 โวลท์และทำการเปลี่ยนแปลงโหลดคาแพซิแตนท์จาก 1.0 – 5.0 pF เพื่อดูสมรรถนะของวงจรทั้งสาม เมื่อโหลดคาแพซิแตนท์มีค่าเพิ่มขึ้น การหาค่าการหน่วงเวลาจะวัดที่สัญญาณเอาต์พุตที่ระดับ 90% จากนั้นนำค่าที่ได้ไปเขียนกราฟเปรียบเทียบกับค่าที่ได้จากการคำนวณ โดยสัญญาณเอาต์พุตจะแสดงได้ดังรูปที่ 5.5, 5.6, 5.7, 5.8 และ 5.9

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

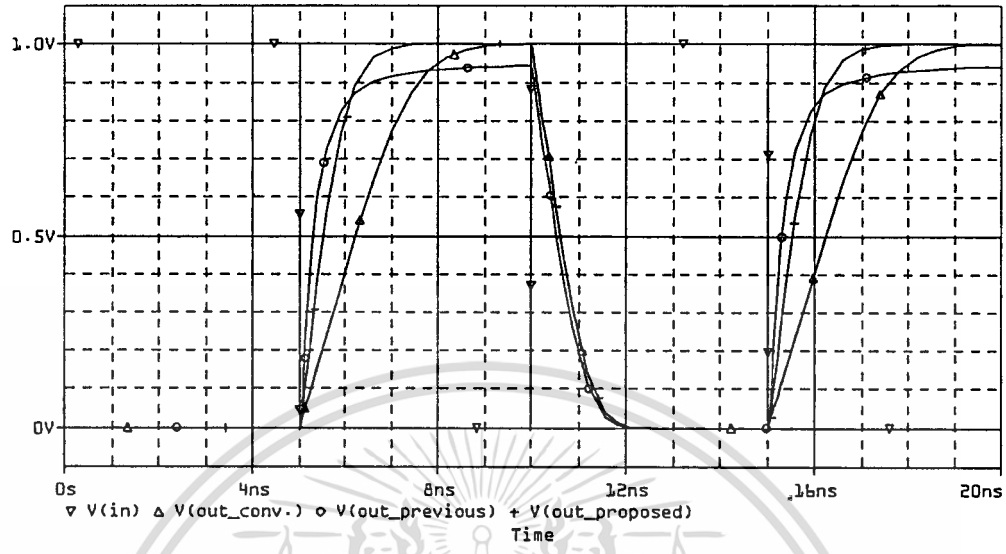


รูปที่ 5.5 สัญญาณเอาต์พุตที่ศักดาไฟเลี้ยง 1.0 โวลท์และโหลดคาแพซิแตนท์ 1.0 pF

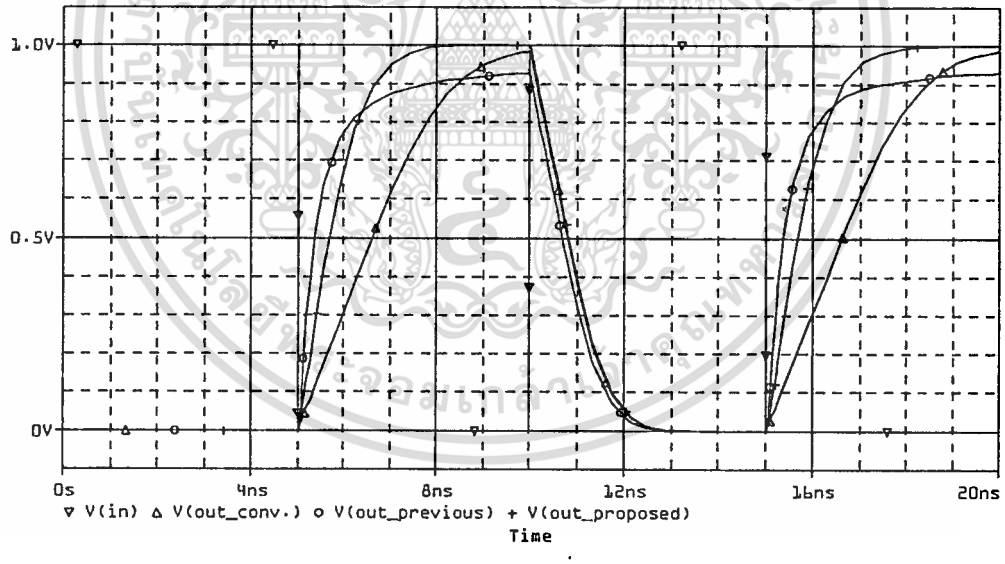


รูปที่ 5.6 สัญญาณเอาต์พุตที่ศักดาไฟเลี้ยง 1.0 โวลท์และโหลดคาแพซิแตนท์ 2.0 pF

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

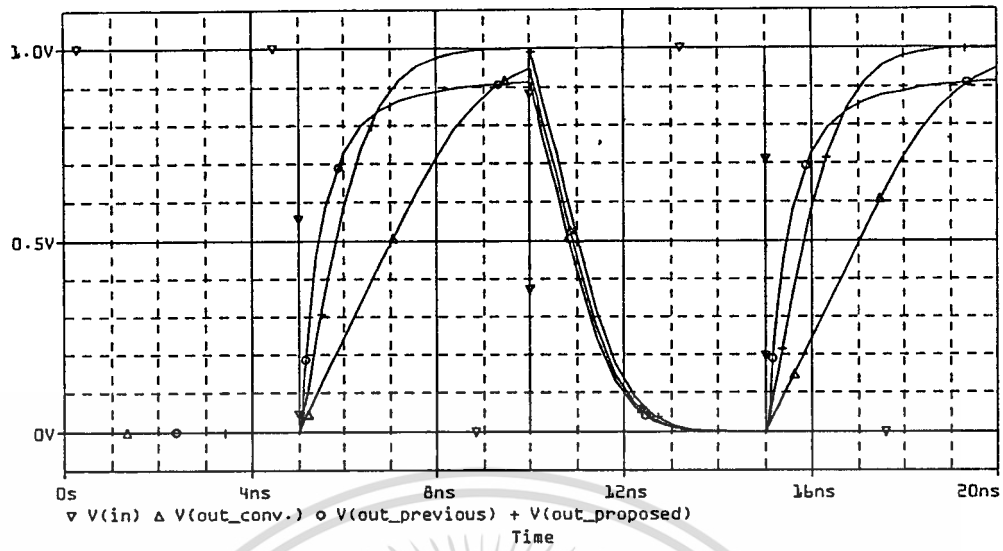


รูปที่ 5.7 สัญญาณเอาต์พุตที่ศักดาไฟเลี้ยง 1.0 โวลท์และโหลดคาแพซิแตนท์ 3.0 pF



รูปที่ 5.8 สัญญาณเอาต์พุตที่ศักดาไฟเลี้ยง 1.0 โวลท์และโหลดคาแพซิแตนท์ 4.0 pF

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



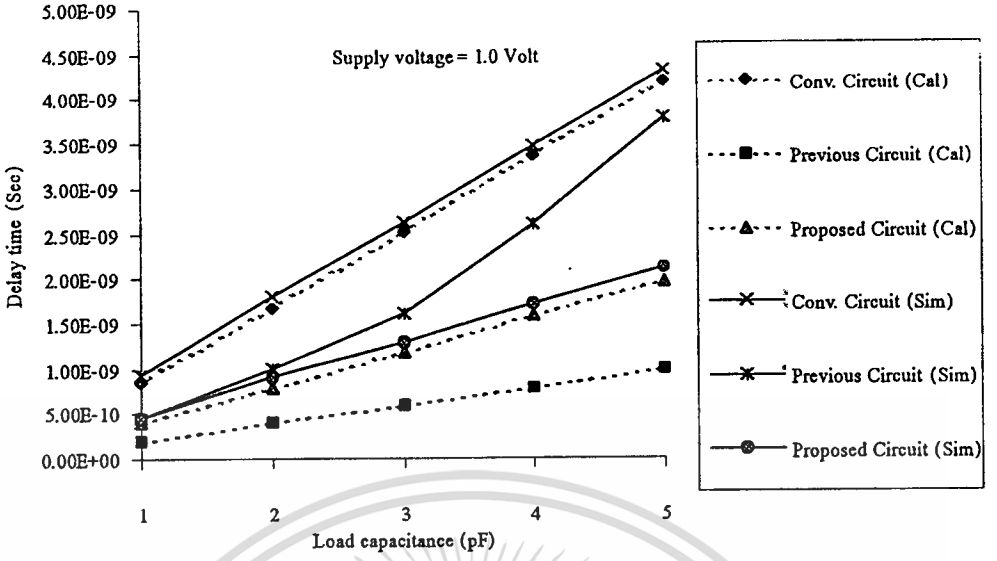
รูปที่ 5.9 สัญญาณเอาต์พุตที่ศักดาไฟเลี้ยง 1.0 โวลท์และโหลดคาแพซิแตนท์ 5.0 pF

หาค่าการหน่วงเวลาจากสัญญาณเอาต์พุตรูปที่ 5.5, 5.6, 5.7, 5.8 และ 5.9 แล้วนำค่าที่ได้ไปเปรียบเทียบกับค่าที่ได้จากการคำนวณจากตารางที่ 5.2 การเปรียบเทียบจะแสดงค่าในตารางที่ 5.3

ตารางที่ 5.3 เปรียบเทียบค่าการหน่วงเวลาที่ได้จากการคำนวณกับค่าที่ได้จากการจำลอง

โหลดคาแพซิแตนท์	ค่าการหน่วงเวลา (Sec)					
	Conventional Circuit		Previous Circuit [2]		Proposed Circuit	
	คำนวณ	จำลอง	คำนวณ	จำลอง	คำนวณ	จำลอง
1 pF	$8.36*10^{-10}$	$9.29*10^{-10}$	$1.96*10^{-10}$	$4.40*10^{-10}$	$3.93*10^{-10}$	$4.40*10^{-10}$
2 pF	$1.67*10^{-09}$	$1.80*10^{-09}$	$3.93*10^{-10}$	$1.00*10^{-09}$	$7.86*10^{-10}$	$9.00*10^{-10}$
3 pF	$1.51*10^{-09}$	$2.61*10^{-09}$	$5.89*10^{-10}$	$1.60*10^{-09}$	$1.18*10^{-09}$	$1.28*10^{-10}$
4 pF	$3.34*10^{-09}$	$3.47*10^{-09}$	$7.86*10^{-10}$	$2.60*10^{-09}$	$1.57*10^{-09}$	$1.71*10^{-09}$
5 pF	$4.18*10^{-09}$	$4.30*10^{-09}$	$9.82*10^{-10}$	$3.77*10^{-09}$	$1.96*10^{-09}$	$2.12*10^{-09}$

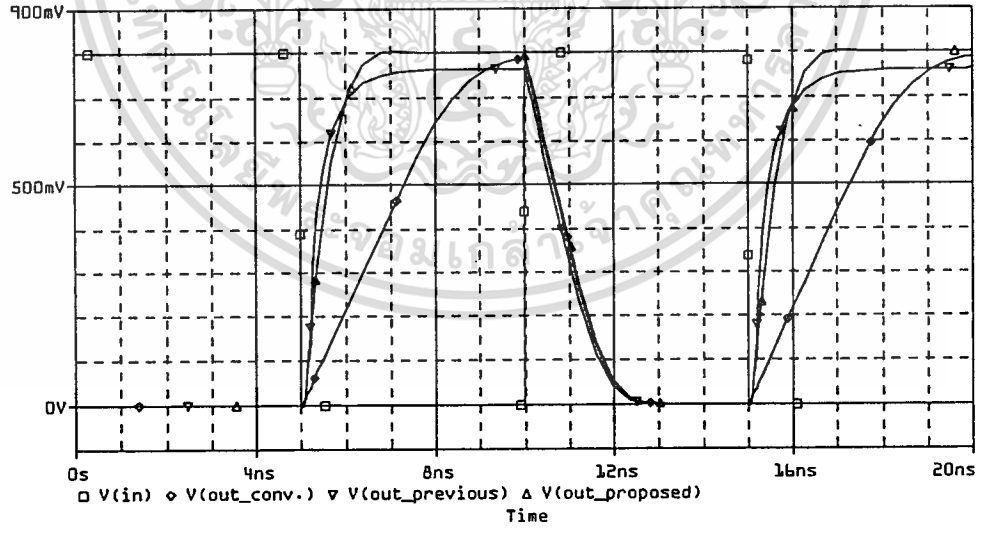
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 5.10 กราฟเปรียบเทียบค่าการหน่วงเวลาที่ได้จากการคำนวณกับค่าที่ได้จากการจำลอง

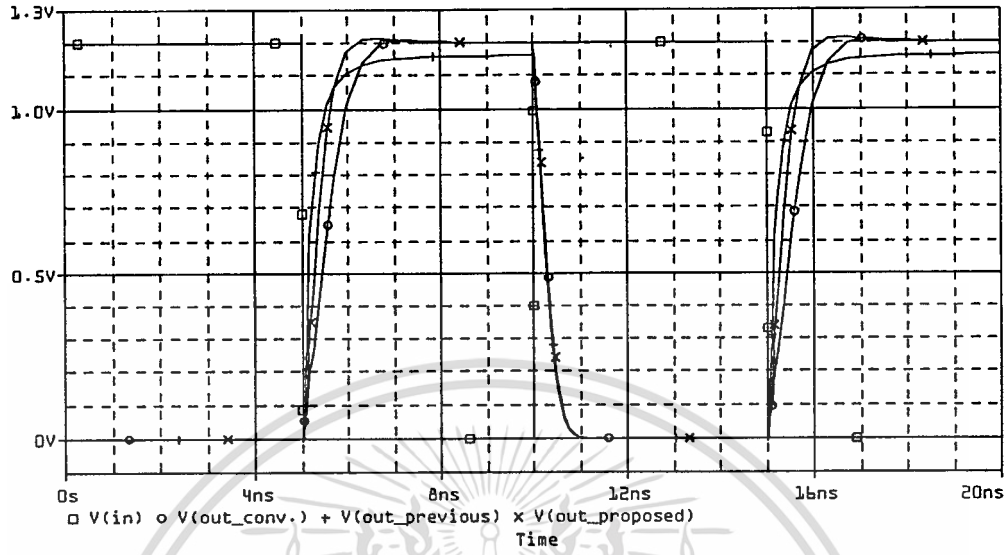
5.5.4.2 ค่าการหน่วงเวลาเทียบกับศักดาไฟเลี้ยงวงจร

การจำลองการทำงานวงจรซีมอสอินเวอร์เตอร์โดยใช้โมเดลของเอ็นมอสและพีมอสที่แสดงไว้ในภาคผนวก ข โดยใช้โหลดคาแพซิแตนท์มีค่าคงที่ 2.0 pF และทำการเปลี่ยนแปลงศักดาไฟเลี้ยงวงจรจาก 0.8 – 2.0 โวลท์ สัญญาณเอาต์พุตจะแสดงได้ดังรูปที่ 5.11, 5.12, 5.13, และ 5.14

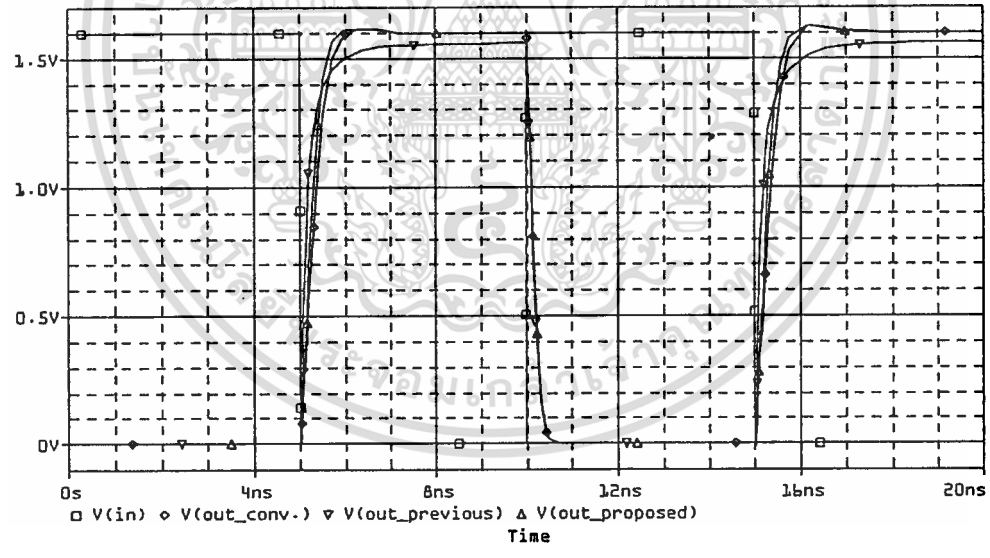


รูปที่ 5.11 สัญญาณเอาต์พุตที่ศักดาไฟเลี้ยง 0.8 โวลท์และโหลดคาแพซิแตนท์ 2.0 pF

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

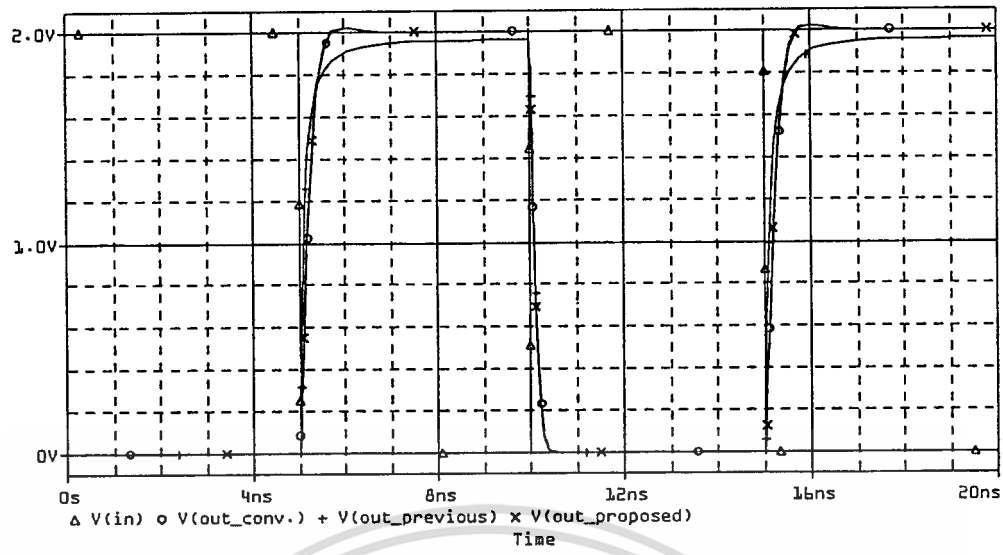


รูปที่ 5.12 สัญญาณเอาต์พุตที่ศักดาไฟเลี้ยง 1.2 โวลท์และโหลดคาแพซิแตนท์ 2.0 pF



รูปที่ 5.13 สัญญาณเอาต์พุตที่ศักดาไฟเลี้ยง 1.6 โวลท์และโหลดคาแพซิแตนท์ 2.0 pF

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



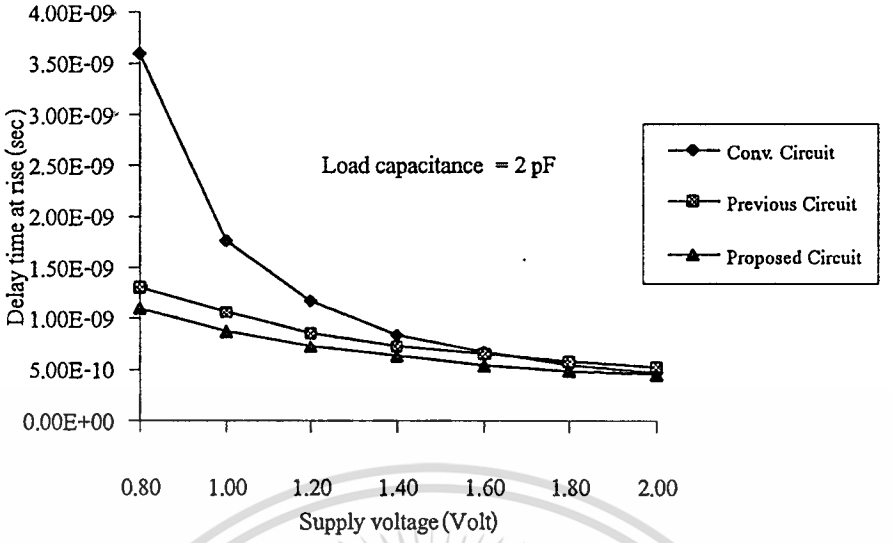
รูปที่ 5.14 สัญญาณเอาต์พุตที่ศักดาไฟเลี้ยง 2.0 โวลท์และโหลดคาแพซิแตนท์ 2.0 pF

จากการจำลองการทำงานของวงจรซีมอสอินเวอร์เตอร์ทั้งสามวงจรสามารถนำค่าการหน่วงเวลาขาขึ้นของวงจรทั้งสามมาแสดงได้ดังตารางที่ 5.4 และเขียนกราฟความสัมพันธ์ระหว่างค่าการหน่วงเวลากับศักดาไฟเลี้ยงวงจรได้ดังรูปที่ 5.15

ตารางที่ 5.4 ค่าการหน่วงเวลาขาขึ้นเมื่อศักดาไฟเลี้ยงเปลี่ยนแปลงจาก 0.8 – 2.0 โวลท์

ศักดาไฟเลี้ยงวงจร	ค่าการหน่วงเวลาขาขึ้น (Sec) เมื่อโหลดคาแพซิแตนท์ = 2.0 pF		
	Conv. Circuit	Previous Circuit [2]	Proposed Circuit
0.8 V	$3.06*10^{-09}$	$1.30*10^{-09}$	$1.10*10^{-09}$
1.0 V	$1.76*10^{-09}$	$1.05*10^{-09}$	$8.70*10^{-10}$
1.2 V	$1.16*10^{-09}$	$8.60*10^{-10}$	$7.30*10^{-10}$
1.4 V	$8.40*10^{-10}$	$7.20*10^{-10}$	$6.30*10^{-10}$
1.6 V	$6.60*10^{-10}$	$6.40*10^{-10}$	$5.40*10^{-10}$
1.8 V	$5.30*10^{-10}$	$5.70*10^{-10}$	$4.80*10^{-10}$
2.0 V	$4.60*10^{-10}$	$5.10*10^{-10}$	$4.40*10^{-10}$

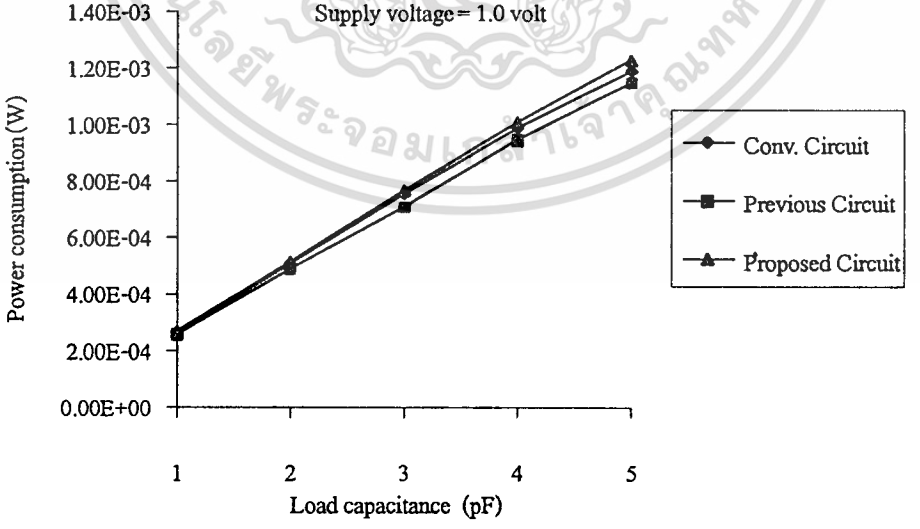
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 5.15 กราฟแสดงค่าการหน่วงเวลาขาขึ้นเมื่อศักดาไฟเลี้ยงเปลี่ยนแปลงจาก 0.8 – 2.0 โวลท์

5.5.4.3 ความสิ้นเปลืองพลังงาน

ความสิ้นเปลืองพลังงานของวงจรซีมอสอินเวอร์เตอร์จะใช้ Power meter ในการแสดงค่าเปรียบเทียบกันทั้งสามวงจร โดยใช้โมเดลของเอ็นมอสและพีมอสที่แสดงไว้ในภาคผนวก ข โดยใช้โหลดคาแพซิแตนท์เปลี่ยนแปลงจาก 1.0 – 5.0 pF ศักดาไฟเลี้ยงวงจรที่ 1.0 โวลท์ และกราฟแสดงความสิ้นเปลืองพลังงานจะแสดงได้ดังรูปที่ 5.16



รูปที่ 5.16 กราฟแสดงความสิ้นเปลืองพลังงาน

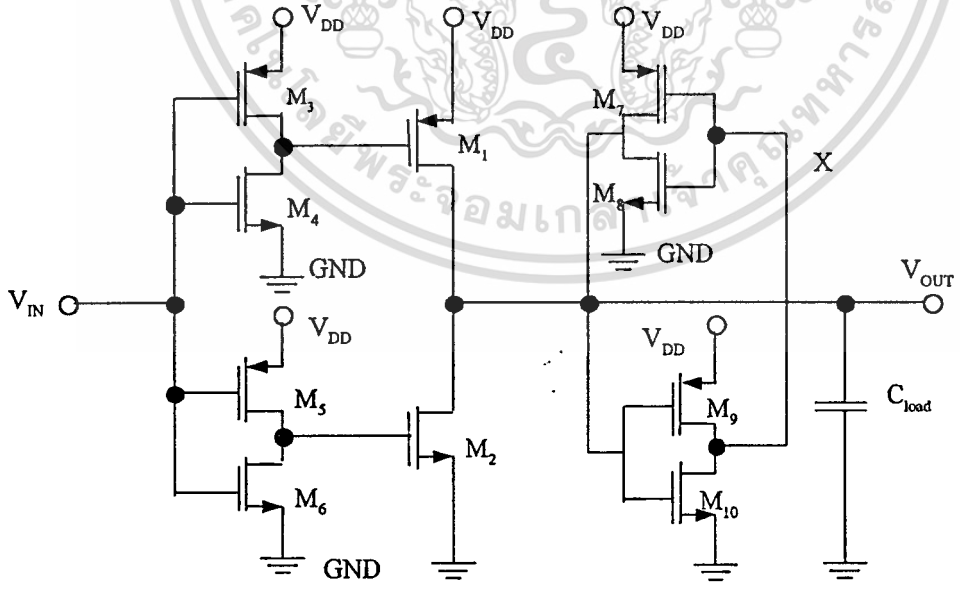
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 6
วงจรซีมอสชมิทท์ทริกเกอร์แบบใหม่

6.1 บทนำ

วงจรซีมอสชมิทท์ทริกเกอร์ถูกใช้งานกันอย่างกว้างขวาง ทั้งในวงจรอนาลอกและวงจรดิจิตอล การใช้งานหลักๆจะใช้ลดความเร็วในการถูกรบกวนจากสัญญาณรบกวนภายนอก วงจรซีมอส ชมิทท์ทริกเกอร์แบบมาตรฐานได้แสดงรายละเอียดในบทที่ 3 ปัจจุบันการพัฒนาวงจรซีมอสชมิทท์ทริกเกอร์ได้ทำกันอย่างต่อเนื่อง เพื่อให้วงจรมีความเร็วในการทำงานเพิ่มขึ้นและลดการสิ้นเปลืองของพลังงาน วงจรซีมอสชมิทท์ทริกเกอร์แบบใหม่ได้ถูกนำเสนอขึ้น [3] โดยทำการปรับเปลี่ยนรูปแบบจากวงจรมาตรฐานดังรูปที่ 6.1 แต่ผลที่ได้จากวงจรดังกล่าวยังไม่สามารถทำงานได้อย่างมีประสิทธิเมื่อทำการลดระดับศักดาไฟเลี้ยงวงจรลง เมื่อศักดาไฟเลี้ยงวงจรลดลงทำให้ความสามารถในการขับสัญญาณของมอสทรานซิสเตอร์ลดลง ในงานวิจัยนี้จึงได้ทำการพัฒนาวงจรดังกล่าวให้มีประสิทธิภาพดีขึ้น โดยการใช้ศักดาไฟที่ค่าระดับสูงๆ ขับไปที่เกตของมอสทรานซิสเตอร์โดยใช้วงจรบูตสแตรป [1], [2] วงจรบูตสแตรปซีมอสชมิทท์ทริกเกอร์จะแสดงรายละเอียดในหัวข้อ 6.3 ผลที่ได้ทำให้วงจรมีการทำงานที่เร็วกว่าวงจรที่นำเสนอโดย [3]

6.2 วงจรซีมอสชมิทท์ทริกเกอร์แบบใหม่



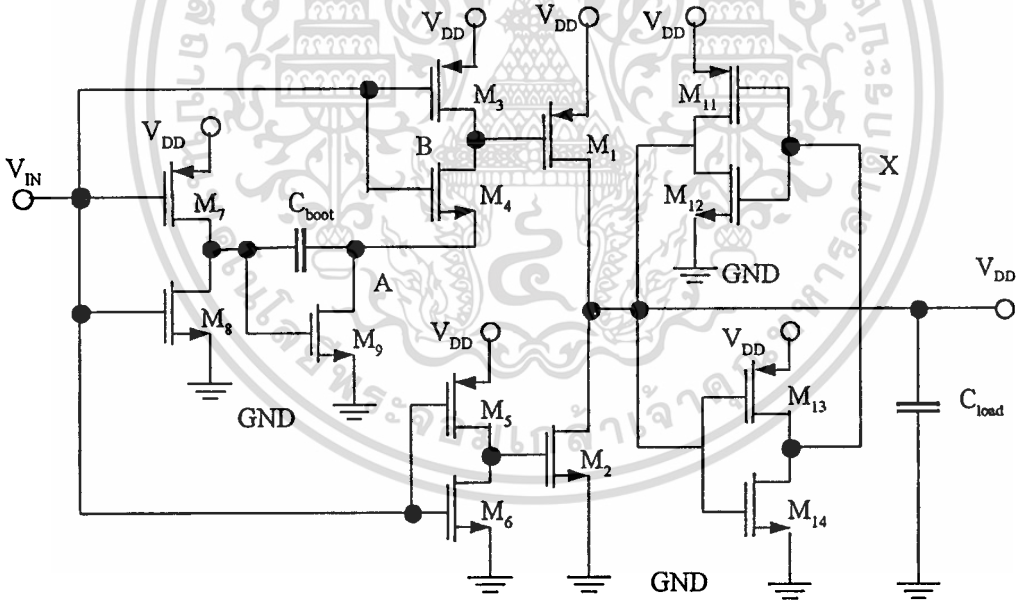
รูปที่ 6.1 วงจรซีมอสชมิทท์ทริกเกอร์แบบใหม่

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การทำงานของวงจรสามารถแสดงรายละเอียดได้ดังนี้ พิจารณารายละเอียดจากวงจรในรูปที่ 6.1 สามารถแยกวงจรชีมอสชมิทท์ทริกเกอร์ออกได้ 2 ส่วนคือ ส่วนแรกเป็นวงจรชีมอสในส่วนควบคุมศักดาทริกเกอร์ด้านบวกและด้านลบจะประกอบไปด้วย M_1, M_2, M_3, M_4, M_5 และ M_6 ส่วนที่สองจะเป็นวงจรแลทช์ ทำหน้าที่ในการคงค่าศักดาเอาต์พุตเมื่อศักดาอินพุตมีการเปลี่ยนแปลง

ถ้ากำหนดให้ลอจิกศักดาเทรดโฮลด์ของอินเวอร์เตอร์ สำหรับ M_3 กับ M_4 และ M_5 กับ M_6 เป็น V_{T1}และ V_{T2} ตามลำดับ และ $V_{T1} > V_{T2}$ เมื่อศักดาอินพุท V_{in} มีค่าน้อยกว่า V_{T2} ทำให้ M_1 หยุดทำงานและ M_2 ทำงานทำให้ศักดาเอ้าพุทลดลงเป็นศูนย์ เมื่อศักดาอินพุท V_{in} อยู่ระหว่าง V_{T1}และ V_{T2}ทำให้ทั้ง M_1และ M_2 หยุดทำงาน แต่ศักดาที่จุดเอาต์พุตจะยังคงเป็นศูนย์ เนื่องจากจุด X ของ วงจรแลทช์จะถูกประจุที่ศักดาเท่ากับ V_{DD} เมื่อศักดาอินพุท V_{in} มีค่าสูงกว่า V_{T1} ทำให้ M_1 ทำงานประจุศักดาด้านเอาต์พุตให้เท่ากับ V_{DD} เมื่อศักดาอินพุตลดลงจนถึง V_{T2} ทำให้ M_2 ทำงานอีกครั้ง ดังนั้น V_{T1}จะเป็นศักดาทริกเกอร์ด้านบวก (V_{T+}) และ V_{T2} จะเป็นศักดาทริกเกอร์ด้านลบ (V_{T-})

6.3 วงจรบูตสแตรปชีมอสชมิทท์ทริกเกอร์



รูปที่ 6.2 วงจรบูตสแตรปชีมอสชมิทท์ทริกเกอร์

จากการทดสอบคุณสมบัติของวงจรชีมอสชมิทท์ทริกเกอร์แบบใหม่รูปที่ 6.1 พบว่าเมื่อทำการลดศักดาไฟเลี้ยงวงจรลง จะทำให้วงจรดังกล่าวไม่สามารถทำงานที่ศักดาไฟเลี้ยงต่ำๆและที่โหลด

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

คาแพซิแตนท์มีค่าสูงๆได้อย่างมีประสิทธิภาพ ดังนั้นในงานวิจัยนี้จึงได้ทำการพัฒนาวงจรซีมอสชมิทท์ทริกเกอร์แบบใหม่ โดยเพิ่มวงจรบูตสแตรปให้กับตัวขับมอสทรานซิสเตอร์ด้านขาขึ้น จึงทำให้วงจรบูตสแตรปซีมอสชมิท์ทริกเกอร์มีประสิทธิภาพในการขับโหลดคาแพซิแตนท์ที่ศักดาไฟเลี้ยงต่ำๆได้อย่างดีกว่าวงจรที่แสดงในหัวข้อ 5.1 ซึ่งวงจรดังกล่าวแสดงได้ดังรูปที่ 6.2

การทำงานของวงจรสามารถแสดงรายละเอียดได้ดังนี้ จากวงจรในรูปที่ 6.2 สามารถแยกวงจรซีมอสออกได้ 3 ส่วนคือ ส่วนแรกเป็นวงจรซีมอสในส่วนควบคุมศักดาทริกเกอร์ทั้งด้านบวกและด้านลบจะประกอบไปด้วย M_1, M_2, M_3, M_4, M_5 และ M_6 ส่วนที่สองจะเป็นวงจรแลทช์ ประกอบไปด้วย M_{11}, M_{12}, M_{13} และ M_{14} ทำหน้าที่ในการคงค่าศักดาเอาต์พุตเมื่อศักดาอินพุตมีการเปลี่ยนแปลง และส่วนที่สามจะวงจรบูตแสตรปจะประกอบไปด้วย M_7, M_8, M_9 และ C_{boot}ทำหน้าที่เป็นส่วนทำให้ศักดาที่ขับไปยังขาเกตมีค่าสูงขึ้น

ถ้ากำหนดให้ลอจิกศักดาเทรดโฮลด์ของอินเวอร์เตอร์ สำหรับ M_3 กับ M_4 และ M_5 กับ M_6 เป็น V_{T1}และ V_{T2} ตามลำดับ และ $V_{T1} > V_{T2}$ เมื่อศักดาอินพุท V_{in} มีค่าน้อยกว่า V_{T2} ทำให้ M_1 หยุดทำงาน และ M_2 ทำงานทำให้ศักดาเอาต์พุตลดลงเป็นศูนย์ เมื่อศักดาอินพุท V_{in} อยู่ระหว่าง V_{T1}และ V_{T2}ทำให้ทั้ง M_1และ M_2 หยุดทำงาน แต่ศักดาที่จุดเอาต์พุตจะยังคงเป็นศูนย์ เนื่องจากจุด X ของวงจรแลทช์จะถูกประจุที่ศักดาเท่ากับ V_{DD} เมื่อศักดาอินพุท V_{in} มีค่าสูงกว่า V_{T1} ทำให้ M_1 ทำงานประจุศักดาด้านเอาต์พุตให้เท่ากับ V_{DD} เมื่อศักดาอินพุตลดลงจนถึง V_{T2} ทำให้ M_2 ทำงานอีกครั้ง ดังนั้น V_{T1}จะเป็นศักดาทริกเกอร์ด้านบวก (V_{T+}) และ V_{T2} จะเป็นศักดาทริกเกอร์ด้านลบ (V_{T-})

ในส่วนที่เป็นวงจรบูตสแตรป จะประกอบด้วยมอสทรานซิสเตอร์ M_7, M_8, M_9 และ C_{boot}โดยค่าคาแพซิแตนท์จะสามารถใช้มอสทรานซิสเตอร์ที่ถูกต่อลัดวงจรระหว่างขาเดรนกับซอสเพื่อทำหน้าที่เป็นคาแพซิเตอร์ ซึ่งสามารถอธิบายการทำงานของวงจรได้ดังนี้

ในช่วงก่อนสภาวะ Pull Up ศักดาที่ขาเกตของ M_7และ M_8จะอยู่ในสภาวะ Low M_3จะทำงานเป็นผลทำให้ศักดาที่เกตของ M_1มีค่าเป็น V_{DD} ทำให้ M_1ไม่ทำงาน ส่วน M_7และ M_9จะทำงาน C_{boot} จะถูกลัดวงจรลงกราวด์ผ่าน M_9 ทำให้ C_{boot}ทำการประจุโดยมีศักย์ที่ประจุเป็น V_{DD} เมื่อถึงช่วงสภาวะ Pull Up ศักดาที่ขาเกตของ M_7, M_8และ M_3จะอยู่ในสภาวะ High ทำให้ M_3 หยุดทำงาน ส่วน M_8และ M_4จะทำงานทำให้ M_9หยุดทำงาน จึงเป็นผลให้ศักดาที่เกตของ M_1ถูกลัดวงจรลงกราวด์โดย M_8, M_4และ C_{boot}ทำให้ M_1ทำงาน ซึ่งการทำงานในช่วง Pull Down จะใช้วงจรอินเวอร์เตอร์ M_5กับ M_6ขับไปยังเกตของ M_2โดยตรง

6.4 การหาค่าศักดาทริกเกอร์

พิจารณาวงจรซีมอสชมิท์ทริกเกอร์ทั้งสองวงจรในรูปที่ 6.1 และ 6.2 จะเห็นว่าค่าศักดาทริกเกอร์ด้านบวกและด้านลบจะถูกกำหนดโดยค่าเทรดโฮลด์ของอินเวอร์เตอร์สองชุดคือ M_3 กับ M_4 และ M_5 กับ M_6 การหาค่าศักดาทริกเกอร์ของวงจรซีมอสชมิท์ทริกเกอร์สามารถหาได้จากสมการที่

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

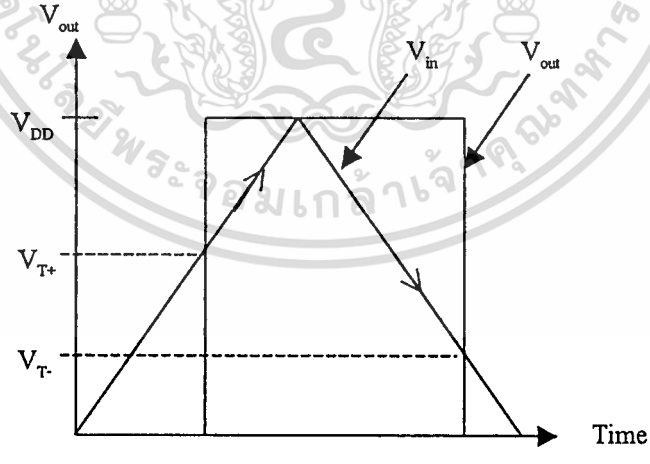
3.26 รวมกับศักดาอินพุตที่เพิ่มขึ้นในช่วงเวลาการประจุดาแพซิแตนท์ที่เกตของ M_1 และ M_2 ดังนั้น ศักดาทริกเกอร์ด้านบวก (V_{T+}) จะเป็นดังนี้

$$V_{T+} = \frac{V_{tn,M4} + \sqrt{\frac{k_{p,M3}}{k_{n,M4}}}\left(V_{DD} + V_{tp,M3}\right)}{\left[1 + \sqrt{\frac{k_{p,M3}}{k_{n,M4}}}\right]} - \left(\frac{V_{tp,M1}}{2}\right) \quad (6.1)$$

และศักดาทริกเกอร์ด้านลบ (V_{T-}) จะเป็นดังนี้

$$V_{T-} = \frac{V_{tn,M6} + \sqrt{\frac{k_{p,M5}}{k_{n,M6}}}\left(V_{DD} + V_{tp,M5}\right)}{\left[1 + \sqrt{\frac{k_{p,M5}}{k_{n,M6}}}\right]} - \left(\frac{V_{tn,M2}}{2}\right) \quad (6.2)$$

ในการทดสอบเพื่อหาค่าศักดาทริกเกอร์ของวงจรชมิทท์ทริกเกอร์ทั้งสองค่าจะให้ศักดาอินพุตเพิ่มขึ้นและลดลงในลักษณะสัญญาณรูปสามเหลี่ยมให้กับวงจรดังแสดงในรูปที่ 6.3



รูปที่ 6.3 รูปแบบสัญญาณอินพุตเพื่อหาค่าศักดาทริกเกอร์ของวงจรชมิทท์ทริกเกอร์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

พิจารณาจากรูปที่ 6.3 จะเห็นได้ว่าเมื่อศักดาอินพุตเพิ่มขึ้นจนถึงศักดาค่าๆหนึ่งจะทำให้ศักดาเอาต์พุตเปลี่ยนสถานะจากศูนย์ไปเป็น V_{DD} ซึ่งจะเรียกศักดาที่จุดนี้ว่าศักดาทริกเกอร์ด้านบวก (V_{T+}) และศักดาเอาต์พุตจะยังคงที่ต่อไป จนกระทั่งศักดาอินพุตมีค่าลดลงมาจนถึงศักดาค่าๆหนึ่งจะทำให้ศักดาเอาต์พุตเปลี่ยนสถานะอีกครั้งจาก V_{DD}ไปเป็นศูนย์โวลท์อีกครั้งหนึ่ง ซึ่งจะเรียกศักดาที่จุดนี้ว่าศักดาทริกเกอร์ด้านลบ (V_{T-}) ดังนั้นในการทดสอบจึงใช้อินพุตเป็นสัญญาณรูปสามเหลี่ยมเพื่อทำการหาค่าศักดาทริกเกอร์ของวงจร

6.5 ค่าบูตสแตรปคาแพซิแตนท์

การหาค่าบูตสแตรปคาแพซิแตนท์จะใช้หลักการที่แสดงรายละเอียดไว้ในหัวข้อที่ 5.3 จากวงจรในรูปที่ 6.2 จะได้คาแพซิแตนท์ที่จุด A และ B เป็นดังนี้

$$C_A = C_{dbM9} + C_{sbM4} \tag{6.3}$$

$$C_B = C_{dbM3} + C_{dbM4} + C_{gM1} \tag{6.4}$$

$$\Delta V = \frac{C_A\left(V_f - V_{DD}\right) + C_B V_f}{C_{boot}} \tag{6.5}$$

6.6 การทดสอบสมรรถนะของวงจร

การทดสอบสมรรถนะของวงจรซีมอสชมิทท์ทริกเกอร์ กระทำโดยการจำลองวงจรโดยใช้โปรแกรม Pspice โดยใช้มอสทรานซิสเตอร์โมเดลที่แสดงในภาคผนวก ค ในการจำลอง การทดสอบนี้จะเป็นการทดสอบค่าการหน่วงเวลาของวงจรโดยการปรับค่าโหลดคาแพซิแตนท์ตั้งแต่ 1.0 pF, 2.0 pF และ 3.0 pF และที่ค่าศักดาไฟเลี้ยง 1.0 โวลท์ การทดสอบจะใช้สัญญาณอินพุตที่เป็นศักดารูปสามเหลี่ยมและสัญญาณซายน์ที่ความถี่ 50 MHz ซึ่งมีขนาดเท่ากับศักดาไฟเลี้ยงวงจร ผลการทดสอบและแสดงรูปสัญญาณเอาต์พุตเทียบกับเวลาที่ค่าโหลดคาแพซิแตนท์ต่างๆโดยการเปรียบเทียบสัญญาณเอาต์พุตของทั้งสองเทียบกับเวลา

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

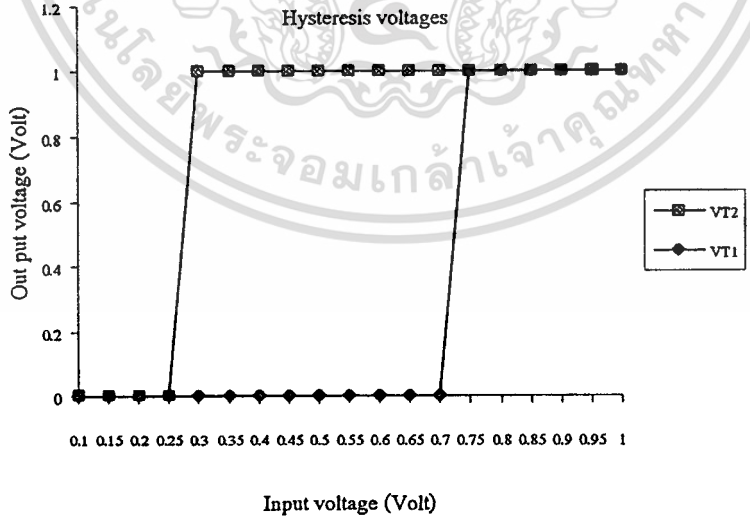
6.6.1 การหาค่าศักดาทริกเกอร์

การคำนวณหาค่าศักดาทริกเกอร์จะใช้สมการที่ 6.1 และ 6.2 โดยใช้โมเดลของมอสทรานซิสเตอร์ที่แสดงในภาคผนวก ค เมื่อกำหนดให้ศักดาไฟเลี้ยงวงจรเป็น 1.0 โวลท์ การหาค่าศักดาทริกเกอร์ทั้งด้านบวกและลบ กระทำโดยการแทนค่าตัวแปรต่างๆของมอสทรานซิสเตอร์จากภาคผนวก ค ลงในสมการที่ 6.1 และ 6.2 จะได้เป็นดังนี้

$$V_{T+} = \frac{0.45+\sqrt{\frac{3.01*10^{-3}}{5.02*10^{-4}}}(1-0.45)}{\left[1+\sqrt{\frac{3.01*10^{-3}}{5.02*10^{-4}}}\right]} + \left(\frac{0.45}{2}\right) = 0.74V$$

$$V_{T-} = \frac{0.45+\sqrt{\frac{3.51*10^{-4}}{3.51*10^{-4}}}(1-0.45)}{\left[1+\sqrt{\frac{3.51*10^{-4}}{3.51*10^{-4}}}\right]} - \left(\frac{0.45}{2}\right) = 0.275V$$

จากนั้นนำค่าศักดาทริกเกอร์ทั้งสองค่ามาเขียนกราฟศักดาฮิสเตอร์รีซิสได้ดังรูปที่ 6.3



รูปที่ 6.4 ศักดาฮิสเตอร์รีซิสของวงจรซีมอสชมิท์ทริกเกอร์จากการคำนวณ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

6.6.2 การหาค่าบูตสแตรปคาแพซิแตนท์

การคำนวณหาบูตสแตรปคาแพซิแตนท์จะใช้สมการที่ 6.3, 6.4 และ 6.5 โดยใช้โมเดลของมอสทรานซิสเตอร์ที่แสดงในภาคผนวก ค เมื่อกำหนดให้ศักดาไฟเลี้ยงวงจรเป็น 1.0 โวลท์ และกำหนดให้ศักดาตกคร่อมบูตสแตรปคาแพซิสเตอร์เป็น 0.45 โวลท์ (ΔV) และศักดาบูตสแตรปมีค่าเป็น 1.45 โวลท์ (V_r) จากนั้นแทนค่าทั้งหมดลงในสมการที่ 6.3, 6.4 และ 6.5 จะได้เป็น

$$C_A = 2.57*10^{-15} + 1.29*10^{-15} = 3.86*10^{-15} F$$

$$C_B = 1.89*10^{-14} + 1.29*10^{-15} + 1.23*10^{-14} = 3.249*10^{-14} F$$

$$C_{boot} = \frac{3.86*10^{-15}(1.45-1) + 3.249*10^{-14}*1.45}{0.45} = 108.55*10^{-15} F$$

ดังนั้นจะได้ค่าบูตสแตรปคาแพซิแตนท์มีค่าเป็น $108.55*10^{-15}$ F

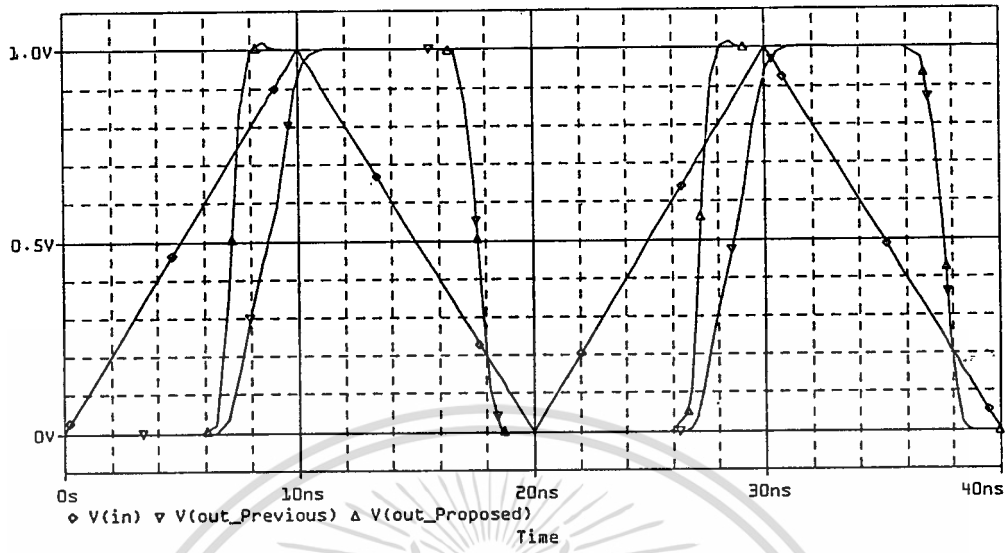
ตารางที่ 6.1 แสดงค่าคาแพซิแตนท์ของวงจรซีมอสชมิทท์ทริกเกอร์ที่ใช้ในการจำลอง

	วงจรรูปที่ 6.1	วงจรรูปที่ 6.2
บูตสแตรปคาแพซิแตนท์	-	$108.55*10^{-15}$ F
โหลดคาแพซิแตนท์	1.0 – 3.0 pF	1.0 – 3.0 pF

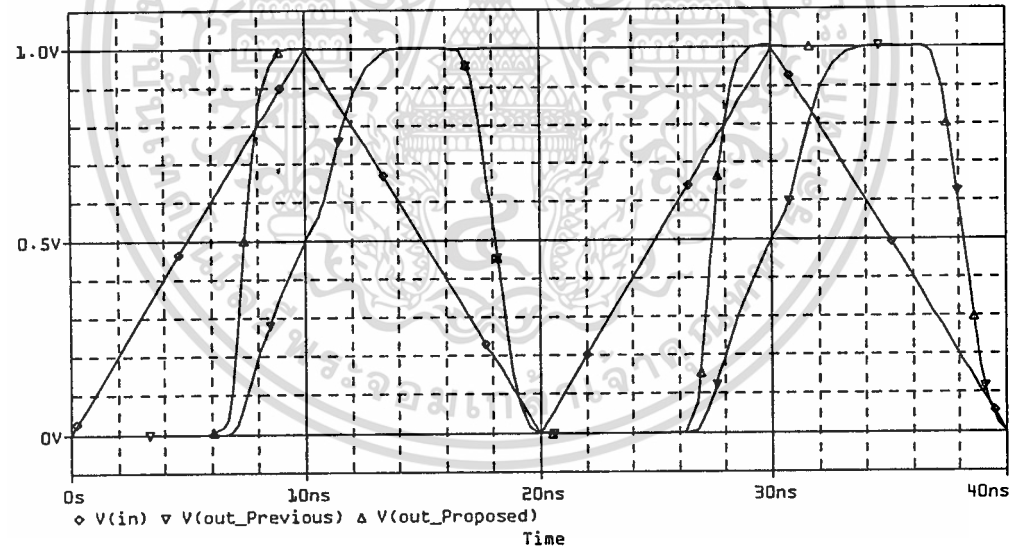
6.6.3 การจำลองการทำงานเพื่อทดสอบค่าศักดาทริกเกอร์

การทดสอบสมรรถนะของวงจรซีมอสชมิทท์ทริกเกอร์ ด้านศักดาทริกเกอร์กระทำโดยจำลองวงจรด้วยโปรแกรม Pspice โดยทำการปรับค่าโหลดคาแพซิแตนท์ตั้งแต่ 1.0 pF, 2.0 pF และ 3.0 pF และที่ค่าศักดาไฟเลี้ยง 1.0 โวลท์ การทดสอบจะใช้สัญญาณอินพุตที่เป็นศักดารูปสามเหลี่ยมและสัญญาณซายน์ที่ความถี่ 50 MHz ซึ่งมีขนาดเท่ากับศักดาไฟเลี้ยงวงจร โดยสัญญาณเอาต์พุตแสดงได้ดังรูปที่ 6.5, 6.6, 6.7, 6.8, 6.9 และ 6.10

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

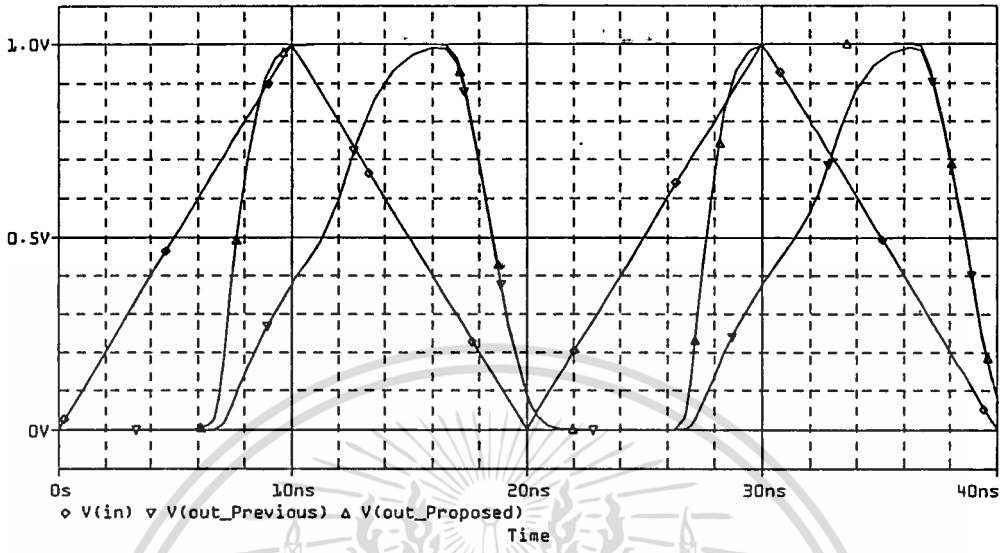


รูปที่ 6.5 สัญญาณเอาต์พุตที่ศักดาไฟเลี้ยง 1.0 โวลท์และโหลดคาแพซิแตนท์ 1.0 pF เมื่ออินพุต เป็นสัญญาณสามเหลี่ยม

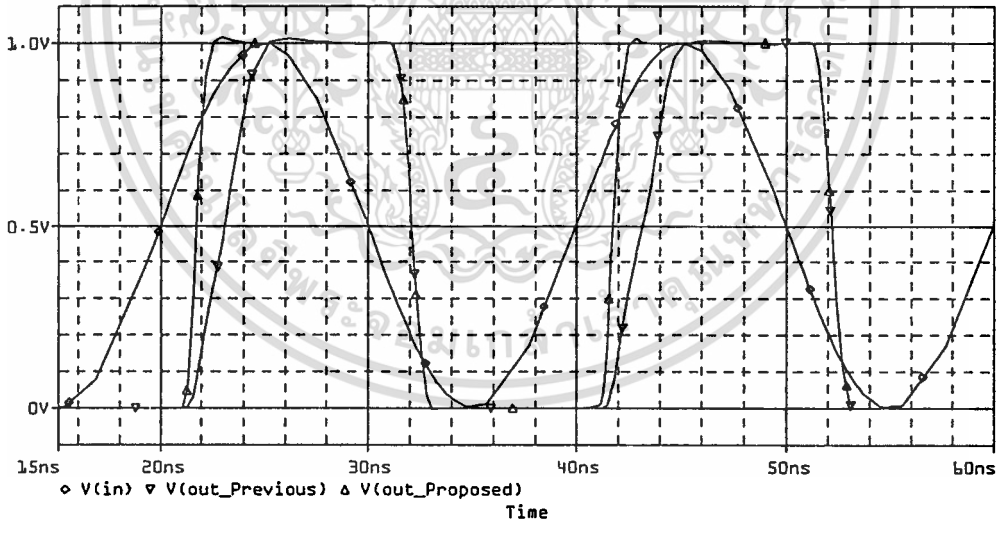


รูปที่ 6.6 สัญญาณเอาต์พุตที่ศักดาไฟเลี้ยง 1.0 โวลท์และโหลดคาแพซิแตนท์ 2.0 pF เมื่ออินพุต เป็นสัญญาณสามเหลี่ยม

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

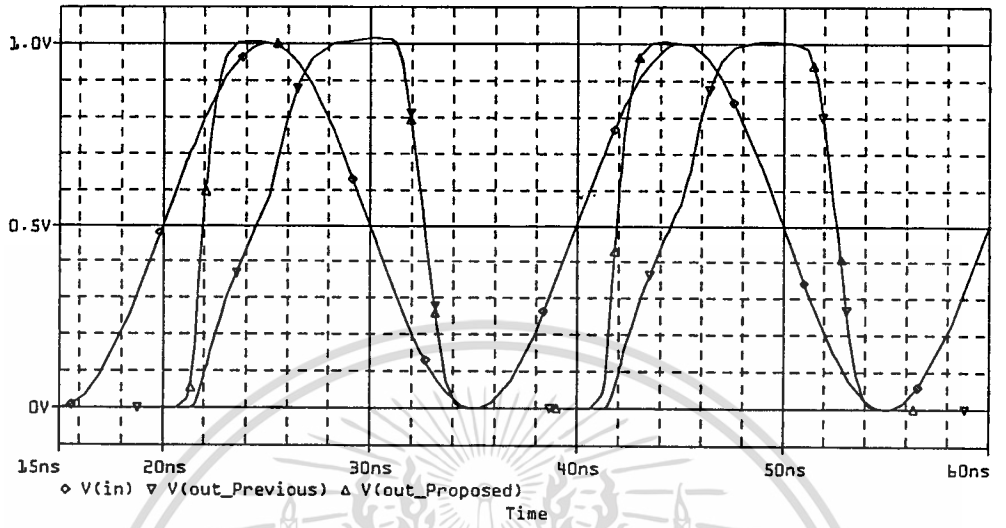


รูปที่ 6.7 สัญญาณเอาต์พุตที่ศักดาไฟเลี้ยง 1.0 โวลท์และโหลดคาแพซิแตนท์ 3.0 pF เมื่ออินพุต เป็นสัญญาณสามเหลี่ยม

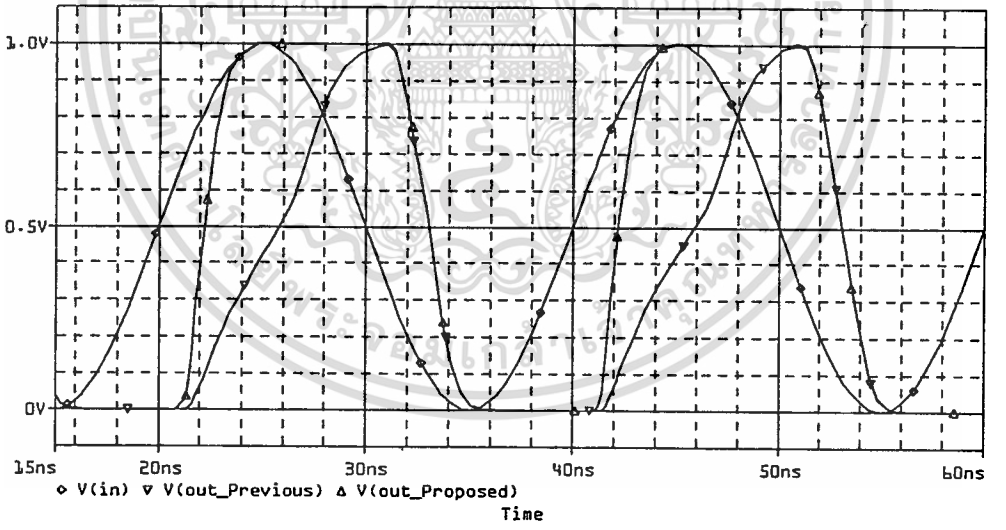


รูปที่ 6.8 สัญญาณเอาต์พุตที่ศักดาไฟเลี้ยง 1.0 โวลท์และโหลดคาแพซิแตนท์ 1.0 pF เมื่ออินพุต เป็นสัญญาณซายน์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



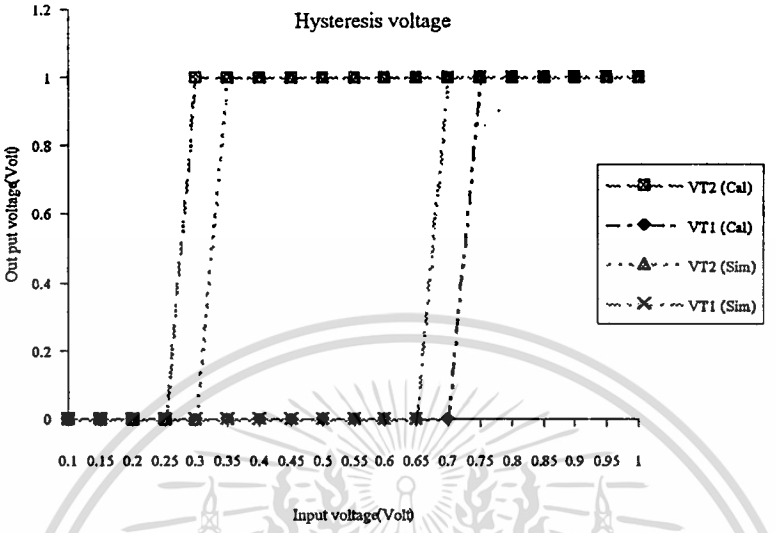
รูปที่ 6.9 สัญญาณเอาต์พุตที่ศักดาไฟเลี้ยง 1.0 โวลท์และโหลดคาแพซิแตนท์ 2.0 pF เมื่ออินพุต เป็นสัญญาณซายน์



รูปที่ 6.10 สัญญาณเอาต์พุตที่ศักดาไฟเลี้ยง 1.0 โวลท์และโหลดคาแพซิแตนท์ 3.0 pF เมื่ออินพุต เป็นสัญญาณซายน์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

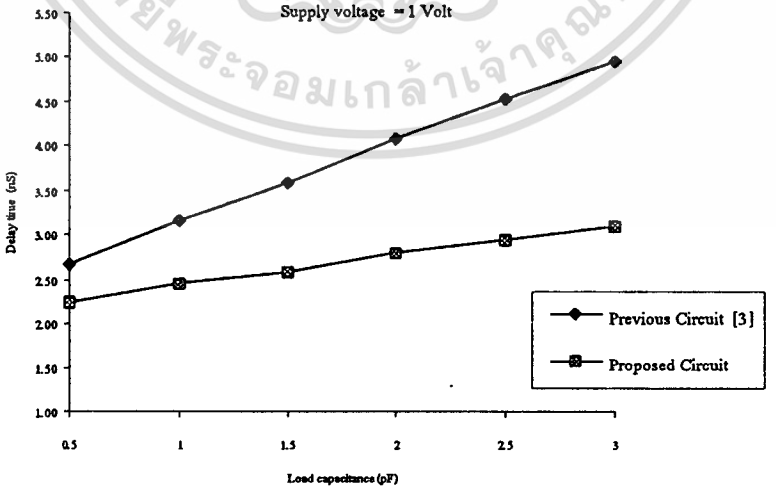
จากนั้นทำการหาค่าศักดาทริกเกอร์ทั้งบวกและลบจากรูปที่ 6.5 แล้วนำไปเปรียบเทียบกับค่าที่ได้จากการคำนวณในรูปที่ 6.4 จะสามารถแสดงได้ดังรูปที่ 6.11



รูปที่ 6.11 เปรียบเทียบศักดาทริกเกอร์จากการคำนวณและการจำลอง

6.6.4 การทดสอบค่าการหน่วงเวลา

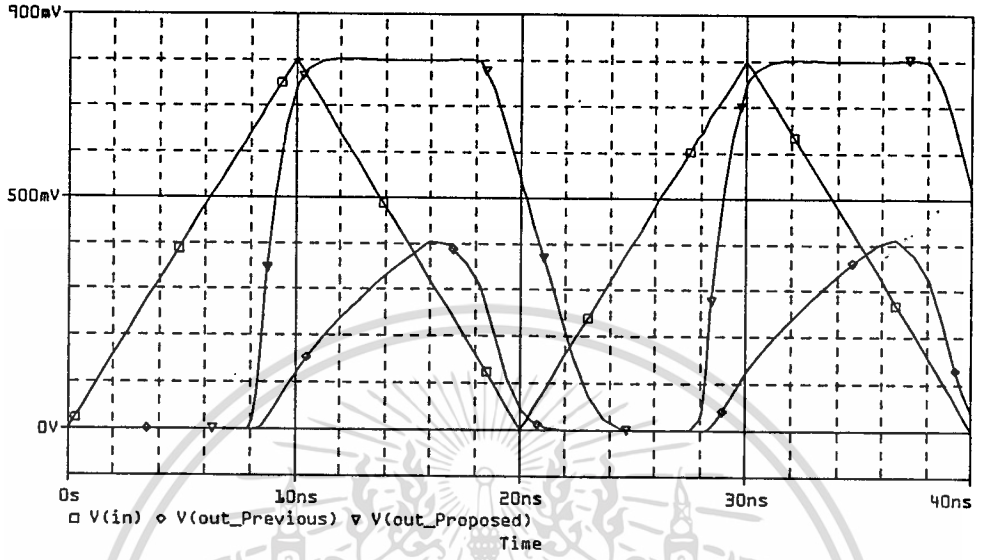
การทดสอบกระทำโดยจำลองการทำงานของวงจรซีมอสชมิท์ทริกเกอร์ทั้งสองวงจรโดยใช้ตัวแปรในหัวข้อ 6.6.2 จากนั้นทำการหาค่าการหน่วงเวลาเฉลี่ยของสัญญาณจากสัญญาณอินพุต $V_{DD}/2$ จนถึง สัญญาณเอาต์พุต $V_{DD}/2$ เมื่อศักดาไฟเลี้ยงเป็น 1 โวลท์และปรับโหลดคาแพซิแตนท์จาก 0.5 pF – 3.0 pF จากนั้นเขียนกราฟเปรียบเทียบค่าการหน่วงเวลาทั้งสองวงจรดังแสดงในรูปที่ 6.12



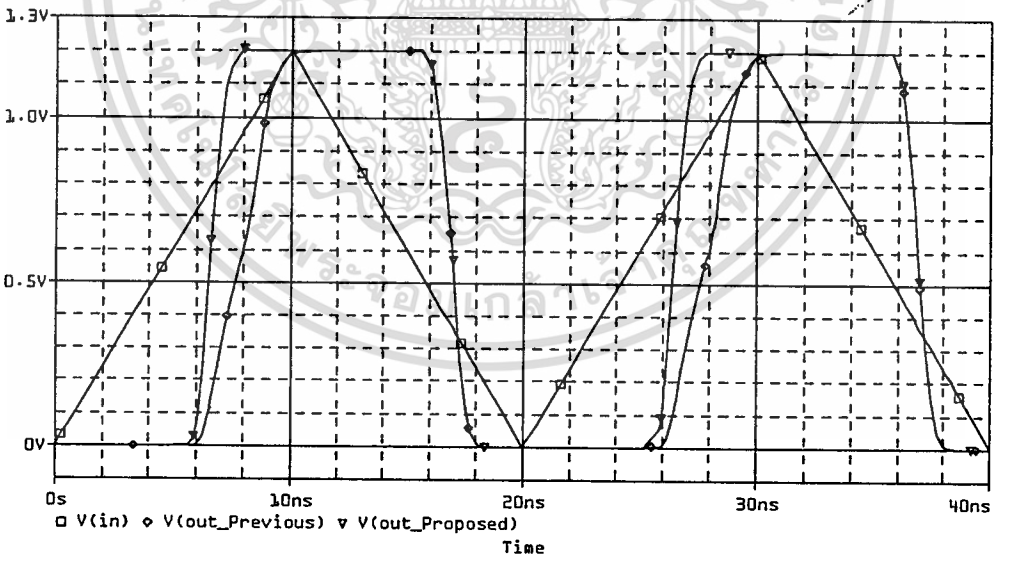
รูปที่ 6.12 กราฟเปรียบเทียบค่าการหน่วงเวลาของวงจรชมิท์ทริกเกอร์เมื่อเปลี่ยนโหลด

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากนั้นทำการทดสอบสมรรถนะของวงจรเมื่อทำงานที่ศักดาไฟเลี้ยงค่าต่างๆ โดยทำการปรับเปลี่ยนศักดาไฟเลี้ยงจาก 0.8 – 2.0 โวลท์และโหลดคาแพซิแตนท์คงที่ๆ 2.0 pF สัญญาณเอาต์พุตที่ศักดาไฟเลี้ยง 0.8 และ 1.2 โวลท์แสดงได้ดังรูปที่ 6.13และ 6.14 จากนั้นสามารถเขียนกราฟเปรียบเทียบค่าการหน่วงเวลาได้ดังรูปที่ 6.15

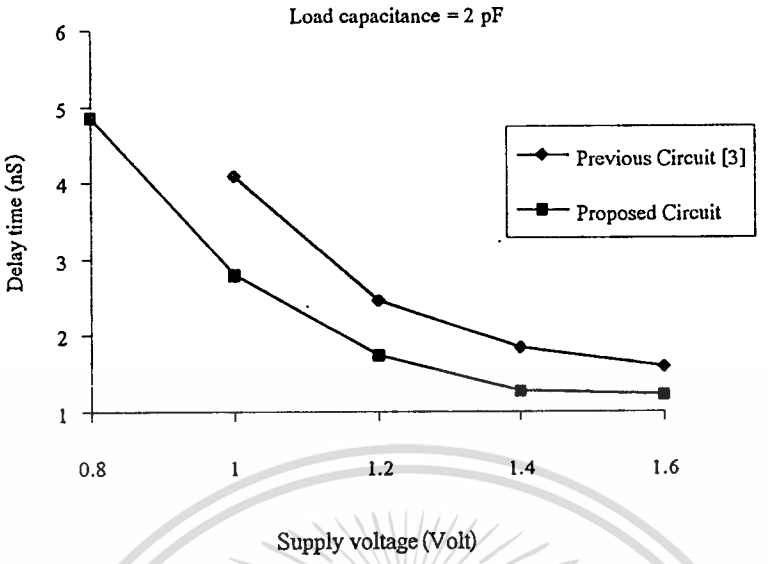


รูปที่ 6.13 สัญญาณเอาต์พุตที่ศักดาไฟเลี้ยง 0.8 โวลท์และโหลดคาแพซิแตนท์ 2.0 pF เมื่ออินพุตเป็นสัญญาณสามเหลี่ยม



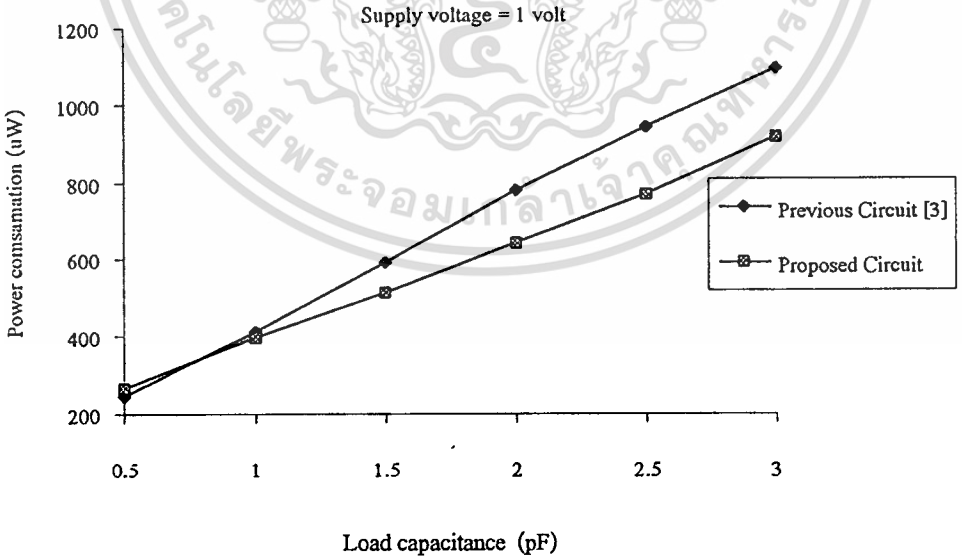
รูปที่ 6.14 สัญญาณเอาต์พุตที่ศักดาไฟเลี้ยง 1.2 โวลท์และโหลดคาแพซิแตนท์ 2.0 pF เมื่ออินพุตเป็นสัญญาณสามเหลี่ยม

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 6.15 กราฟเปรียบเทียบค่าการหน่วงเวลาของวงจรชมิท์ทริกเกอร์เมื่อเปลี่ยนศักดาไฟเลี้ยง

ต่อไปทำการทดสอบความสิ้นเปลืองพลังงานของวงจรเมื่อทำงานที่ศักดาไฟเลี้ยง 1.0 โวลท์และโหลดคาแพซิแตนท์เปลี่ยนแปลงจาก 0.5 – 3.0 pF และสามารถเขียนกราฟเปรียบเทียบค่าความสิ้นเปลืองพลังงานได้ดังรูปที่ 6.14



รูปที่ 6.16 แสดงค่าความสิ้นเปลืองพลังงานของวงจรซีมอสชมิทท์ทริกเกอร์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 7
สรุปผลการทดลอง

จากการทดสอบสมรรถนะวงจรซีมอสชมิทท์ทริกเกอร์ และวงจรซีมอสอินเวอร์เตอร์ โดยนำผลการทดสอบวงจรที่นำเสนอมาก่อนและวงจรที่ได้พัฒนาขึ้นมาเปรียบเทียบคุณสมบัติในแบบต่างๆสามารถสรุปผลการทดลองได้ดังนี้

7.1 วงจรซีมอสอินเวอร์เตอร์

7.1.1 คุณสมบัติการหน่วงเวลา

จากการจำลองวงจรด้วยโปรแกรม Pspice โดยให้สัญญาณอินพุตเป็นศักดาสี่เหลี่ยมที่ความถี่ 100 MHz มีศักดาเป็น 1 โวลท์ และที่ศักดาเลี้ยงวงจรที่ 1 โวลท์ จะเห็นได้ว่าวงจรที่ออกแบบใหม่สามารถให้สัญญาณเอาต์พุตสวิงได้เต็มย่าน และถ้าทำการปรับเปลี่ยนค่าโหลดคาแพซิแตนท์จะเห็นได้ว่าที่ค่าโหลดคาแพซิแตนท์สูงๆ วงจรที่ออกแบบใหม่ยังสามารถให้สัญญาณเอาต์พุตสวิงได้เต็มย่านเมื่อเทียบกับวงจรแบบเก่าเป็นผลเนื่องมาจากวงจรแบบเก่าใช้เอ็นมอสทรานซิสเตอร์เป็นตัวขับในด้านขาขึ้นและถึงแม้ว่าทั้งสองวงจรจะใช้วงจรบูตสแตรปเป็นตัวช่วยขับเหมือนกัน ซึ่งข้อจำกัดดังกล่าวยังเป็นผลทำให้วงจรแบบเก่ามีค่าการหน่วงเวลาเพิ่มขึ้นตามค่าโหลดคาแพซิแตนท์

ค่าการหน่วงเวลาที่ได้จากการจำลองการทำงานเมื่อนำไปเปรียบเทียบกับค่าการหน่วงเวลาที่ได้จากคำนวณจะเห็นว่ามีค่าใกล้เคียงกันมาก โดยเฉพาะวงจรอินเวอร์เตอร์แบบมาตรฐานและวงจรบูตสแตรปอินเวอร์เตอร์แบบใหม่ เนื่องจากใช้พีมอสทรานซิสเตอร์เป็นตัวขับด้านขาขึ้นเหมือนกัน ส่วนวงจรบูตสแตรปอินเวอร์เตอร์แบบเก่าจะมีค่าที่ผิดพลาดมากเนื่องมาจากผลของเอ็นมอสทรานซิสเตอร์ที่เป็นตัวขับด้านขาขึ้น

สำหรับค่าการหน่วงเวลาเมื่อเทียบกับศักดาเลี้ยงวงจรจะมีค่าการหน่วงเวลาลดลงเมื่อศักดาเลี้ยงวงจรมีค่าเพิ่มขึ้น แต่เมื่อถึงศักดาไฟเลี้ยงค่าหนึ่งจะพบว่าวงจรแบบมาตรฐานจะมีความเร็วกว่าวงจรบูตสแตรปอินเวอร์เตอร์แบบเก่า ถ้าศักดาเลี้ยงวงจรมีค่าลดลงต่ำกว่า 1 โวลท์ จะเห็นได้ว่าวงจรที่ออกแบบใหม่จะมีการทำงานที่เร็วกว่าวงจรแบบเก่า และวงจรแบบมาตรฐาน

7.1.2 คุณสมบัติด้านการสิ้นเปลืองพลังงาน

ค่าการสิ้นเปลืองพลังงานของวงจรจะใช้วิธีการที่เรียกว่า Power meter [25] ในการหาค่าเฉลี่ยการสิ้นเปลืองพลังงาน จากการทดสอบจะทำให้เห็นว่าวงจรอินเวอร์เตอร์ทั้งสามแบบจะมีการสิ้นเปลืองพลังงานที่ไม่แตกต่างกันมากนัก แต่วงจรบูตสแตรปแบบใหม่จะมีค่ามากกว่า

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

7.1.3 ข้อเสนอแนะในการปรับปรุง

จากการสรุปผลการทดสอบวงจรอินเวอร์เตอร์ทั้งสามแบบจะพบว่าวงจรที่ออกแบบใหม่ยังมีการสิ้นเปลืองพลังที่มากกว่าและที่ศักดาเลี้ยงต่ำๆความสามารถในการขับด้านขาลงของเอ็นมอสทรานซิสเตอร์ยังไม่สามารถทำงานได้อย่างมีประสิทธิภาพเมื่อโหลดคาแพซิแตนท์มีค่าสูงๆ และค่าคาแพซิแตนท์ที่ใช้ในวงจรบูตสแตรปยังต้องมีการหาค่าที่ทำให้วงจรมีประสิทธิภาพดีที่สุด

7.2 วงจรซีมอสชมิทท์ทริกเกอร์

7.2.1 คุณสมบัติการหน่วงเวลา

จากการจำลองการทำงานด้วยโปรแกรม Pspice โดยให้สัญญาณอินพุตเป็นศักดาสามเหลี่ยมและสัญญาณซายน์ที่ความถี่ 50 MHz มีศักดาเป็น 1 โวลท์ และที่ศักดาไฟเลี้ยงวงจรที่ 1 โวลท์ จะเห็นได้ว่าวงจรบูตสแตรปสามารถให้สัญญาณเอาต์พุตสวิงได้เต็มย่าน และถ้าทำการปรับเปลี่ยนค่าโหลดคาแพซิแตนท์จะเห็นได้ว่าที่ค่าโหลดคาแพซิแตนท์สูงๆ วงจรบูตสแตรปซีมอสชมิทท์ทริกเกอร์สามารถทำงานได้เร็วกว่าวงจรแบบเก่าเป็นผลมาจากการใช้วงจรบูตสแตรปในด้านตัวขับขาขึ้น ส่วนค่าศักดาทริกเกอร์ทั้งด้านบวกและด้านลบจะเห็นได้ว่าเมื่อโหลดคาแพซิแตนท์ที่ค่าสูงๆ ค่าศักดาทริกเกอร์ทั้งด้านบวกของวงจรแบบเก่าจะเปลี่ยนแปลงไปมากเนื่องมาจากผลของค่าการหน่วงเวลาของวงจร

สำหรับค่าการหน่วงเวลาเมื่อเทียบกับศักดาเลี้ยงวงจรจะมีค่าการหน่วงเวลาลดลงเมื่อศักดาเลี้ยงวงจรมีค่าเพิ่มขึ้นทั้งสองวงจร แต่ถ้าศักดาเลี้ยงวงจรมีค่าลดลงต่ำกว่า 1 โวลท์ จะเห็นได้ว่าวงจรที่ออกแบบใหม่จะมีการทำงานที่เร็วกว่าวงจรแบบเก่า

7.2.2 คุณสมบัติด้านการสิ้นเปลืองพลังงาน

ค่าการสิ้นเปลืองพลังงานของวงจรจะใช้วิธีการที่เรียกว่า Power meter [25] ในการหาค่าเฉลี่ยการสิ้นเปลืองพลังงาน จากการทดสอบจะทำให้เห็นว่าวงจรที่ออกแบบใหม่จะมีความสิ้นเปลืองพลังงานน้อยกว่าวงจรแบบเก่า

7.2.3 ข้อเสนอแนะในการปรับปรุง

จากการสรุปผลการทดลองวงจรชมิทท์ทริกเกอร์จะพบการทำงานของวงจรที่ออกแบบใหม่ที่ศักดาเลี้ยงต่ำๆความสามารถในการขับด้านขาลงของเอ็นมอสทรานซิสเตอร์ยังไม่สามารถทำงานได้อย่างมีประสิทธิภาพเมื่อโหลดคาแพซิแตนท์มีค่าสูงๆ และค่าคาแพซิแตนท์ที่ใช้ในวงจรบูตสแตรปยังต้องมีการหาค่าที่ทำให้วงจรมีประสิทธิภาพดีที่สุด

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บรรณานุกรม

1. C.-F. Law, K.-S. Yeo and S. S. Samir, "Sub-1V Bootstrapped CMOS Driver for Giga-Scale-Integration Area," Electron letters., Vol.35, No.5, pp.392-394, March 1999.
2. Y. Moisiadis, I. Bouras, A. Efthymiou and C. Papadas, "Fast 1V Bootstrapped Inverter Sitable for Sandard CMOS Tchnologies," Electron letters., Vol.35, No.2, pp.109-111, January 1999
3. D. Kim, J. Kih and W. Kim, "A New Waveform-Reshaping Circuit: an Alternative Approach to Schmitt Trigger ," IEEE J. Solid-State Circuit, Vol. 28, No.2, pp.162-164, February 1993.
4. B. L. Dokic, "CMOS Schmitt Trigger, " IEE Proc.-Circuit Devices Syst., Vol. 131, No.5, pp.197-202, October 1984.
5. A. Pfister, "Novel CMOS Schmitt Trigger with Controllable Hysteresis," Electron letters., Vol.28, No.7, pp.639-641, March 1992.
6. K. S. Yeo and H. K. Lee, "Novel 1-V Full-Swing High-Speed BiCMOS Circuit Using Positive Feedback Based-Boots Technique," IEE Proc.-Circuit Devices Syst., Vol. 146, No.3, pp.130-134, June 1999.
7. L. Wissel and E. L. Gould, "Optimal Usag of CMOS within a BiCMOS Technology," IEEE J. Solid-State Circuit, Vol. 27, No.3, pp.300-305, March 1992.
8. W. Fang, A. Brunnschweiter and P. Ashburn, "An Accurate Analytical BiCMOS Delay Expression and its Application to Optimizing High-Speed BiCMOS circuit," IEEE J. Solid-State Circuit, Vol. 27, No.2, pp.191-202, February 1992.
9. P. A. Raje, K. C. Saraswat and K. M. Cham, "Accurate Delay Models for Digital BiCMOS," IEEE Trans. on Electron Devices, Vol. 39, No.6, pp.1456-1464, June 1992
10. K. Embabi, A. Bellaouar and K. Islam, "A Bootstrapped CMOS (B^2CMOS) Gate for Low-Voltage Applications," IEEE J. Solid-State Circuit, Vol. 30, No.1, pp.47-53, January 1995.
11. A. Bellaouar, M. I. Elmasry and K. Embabi, "Bootstrapped Full-Swing BiCMOS/BiNMOS Logic Circuits for 1.2 - 3.3V Supply Voltage Regime," IEEE J. Solid-State Circuit, Vol. 30, No.6, pp.629-636, June 1995.
12. Y. K. Seng and S. S. Rofail, "1.1 V Full-Swing Double Bootstrapped BiCMOS Logic gates," IEE Proc.-Circuit Devices Syst., Vol. 143, No.1, pp.41-45, February 1996.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

13.K. Yano, M. Hiraki, S. Shukuri, Y. Onose, M. Hirao N. Ohki, T. Nishida, K. Seki and K. Shimohigashi, "Quasi-Complementary BiCMOS for Sub 3V Digital Circuits," IEEE J. Solid-State Circuit, Vol. 26, No.11, pp.1708-1719, November 1991.

14.H. J. Shin, "Full-Swing BiCMOS Logic Circuits with Complementary Emitter-Follower Driver Configuration," IEEE J. Solid-State Circuit, Vol. 26, No.4, pp.578-584, April 1991.

15.M. Hiraki, K. Yano, M. Minami, K. N. Matsuzaki, A. Watanabe, T. Nishida, K. Sasaki and K. Seki, "A 1.5V Full-Swing BiCMOS Logic Circuits," IEEE J. Solid-State Circuit, Vol. 27, No.11, pp.1568-1574, November 1992.

16.H. Hara, T. Sakurai, M. Noda, T. Nagamatsu, K. Seta, H. Momose, Y. Niitsu, H. Miyakawa and Y. Watanabe, "0.5μm 2M-Transistor BiPNMOS Channelless Gate Array," IEEE J. Solid-State Circuit, Vol. 26, No.11, pp.1615-1620, November 1991.

17.R. B. Ritts, P. A. Raje, J. D. Plummer, K. C. Saraswat and K. M. Cham, "Merged BiCMOS Logic to Extend the CMOS/BiCMOS Performance Crossover Below 2.5V Supply," IEEE J. Solid-State Circuit, Vol. 26, No.11, pp.1606-1614, November 1991.

18.L. C. Fatt, Y. K. Seng and S. S. Rofail, "BiCMOS Logic Circuit for Single-Battery Operation," Electron letters., Vol.34, No.21, pp.2013-2015, October 1998.

19.H. Okamura, T. Atsumo, K. Takeda, M. Takada, K. Imai, Y. Kinoshita and T. Yamazaki, "A Sub 2.0V BiCMOS Logic Circuit with a BiCMOS Charge Pump," IEEE J. Solid-State Circuit, Vol. 31, No.1, pp.84-90, January 1996.

20.C. Suriyaammaranon, K. Dejhan, F. Cheevasuvit and C. Soonyeekan, "A High Speed and Low Voltage BiCMOS Schmitt Trigger Circuit," Proc. the 8th ISIC, Singapore, pp.3-5, September 8-10, 1999.

21.C. Suriyaammaranon, K. Dejhan and F. Cheevasuvit, "A High Speed BiCMOS Tristate Buffer Circuit," Proc. the 6th ICECS, Pafos, Cyprus, pp.197-199, September 5-8, 1999.

22.S. M. Kang and Y. Leblebici, "CMOS Digital Integrated Circuits," McGraw-Hill, Second Edition, 1999.

23.M. Shoji, "CMOS Digital Circuits Technology," Prentice-Hall, 1988.

24.National Semiconductors Corporation, "CMOS Schmitt Trigger- A Uniquely Versatile Design Component, " National Semiconductor Application Note 140, June 1995.

25.S. M. Kang, "Accurate Simulation of Power Dissipation in VLSI Circuits," IEEE J. Solid-State Circuit, Vol. SC-21, No.10, pp.889-891, October 1986.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ภาคผนวก

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ภาคผนวก ก
ผลงานที่ได้รับการตีพิมพ์

[1] ทวิช ชูเมือง กอบชัย เดชหาญ และ วิษณุ กอพยัคฆินทร์ วงจรบูตสแตรปซีมอสอินเวอร์เตอร์ ที่ศักดาไฟเลี้ยงต่ำและสวิงได้เต็มย่าน วิศวสารลาดกระบัง ปีที่ 17 ฉบับที่ 4 หน้า 1-4 ธันวาคม 2543

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ภาคผนวก ข

มอสทรานซิสเตอร์โมเดลที่ใช้ในการทดสอบวงจรอินเวอร์เตอร์

ตาราง ข.1 ตัวแปรของมอสทรานซิสเตอร์

มอสทรานซิสเตอร์	โมเดล 0.35 μm	
	NMOS	PMOS
ศักดาเทรดโฮลด์ (V_t)	0.5 V	-0.5 V
ความคล่องตัวของโฮลหรืออิลีคตรอนบริเวณผิว (μ_0)	1000 $cm^2/(V.s)$	500 $cm^2/(V.s)$
ความหนาชั้นออกไซด์ (t_{ox})	10×10^{-09} m	10×10^{-09} m
คาแพซิแตนท์รอยต่อพีกับเอ็น (CJ)	500 $\mu F/m^2$	618 $\mu F/m^2$
คาแพซิแตนท์รอยต่อรอบซอสและเดรนกับฐานรอง (CJSW)	180 PF/m	220 PF/m
ความลึกของซอสและเดรนในฐานรอง (XJ)	0.1 μm	0.1 μm
ความกว้างแชลแนล (W)	ดูตารางที่ ข.2, 3, 4	ดูตารางที่ ข.2, 3, 4
ความยาวแชลแนล (L)	ดูตารางที่ ข.2, 3, 4	ดูตารางที่ ข.2, 3, 4
ความยาวของเดรนและซอส (Y)	5 μm	5 μm
ค่าทรานคอนดัคแตนท์	$3.51*10^{-4}$(W/L) A/V^2	$1.76*10^{-4}$(W/L) A/V^2

ตารางที่ ข.2 ค่าคาแพซิแตนท์ของมอสทรานซิสเตอร์ในวงจรอินเวอร์เตอร์แบบมาตรฐาน

Conv. Inverter	W (m)	L (m)	C_g (F)	C_{db} (F)	C_{sb} (F)	CGDO (F/m)	CSDO (F/m)
M1	$20*10^{-6}$	$0.35*10^{-6}$	$2.46*10^{-14}$	$6.31*10^{-14}$	$6.31*10^{-14}$	$2.08*10^{-10}$	$2.08*10^{-10}$
M2	$20*10^{-6}$	$0.35*10^{-6}$	$2.46*10^{-14}$	$5.11*10^{-14}$	$5.11*10^{-14}$	$2.08*10^{-10}$	$2.08*10^{-10}$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ตารางที่ ข.3 ค่าคาแพซิแตนท์ของมอสทรานซิสเตอร์ในวงจรบูต์สแตรปอินเวอร์เตอร์

Previous Inverter	W (m)	L (m)	C_g (F)	C_{db} (F)	C_{sb} (F)	CGDO (F/m)	CSDO (F/m)
M1	$10*10^{-6}$	$0.35*10^{-6}$	$1.23*10^{-14}$	$3.16*10^{-14}$	$3.16*10^{-14}$	$2.08*10^{-10}$	$2.08*10^{-10}$
M2	$1*10^{-6}$	$0.35*10^{-6}$	$1.23*10^{-15}$	$2.57*10^{-15}$	$2.57*10^{-15}$	$2.08*10^{-10}$	$2.08*10^{-10}$
M3	$0.8*10^{-6}$	$0.35*10^{-6}$	$9.84*10^{-16}$	$2.55*10^{-15}$	$2.55*10^{-15}$	$2.08*10^{-10}$	$2.08*10^{-10}$
M4	$2.2*10^{-6}$	$0.35*10^{-6}$	$9.84*10^{-16}$	$2.55*10^{-15}$	$2.55*10^{-15}$	$2.08*10^{-10}$	$2.08*10^{-10}$
M5	$0.8*10^{-6}$	$0.35*10^{-6}$	$2.71*10^{-15}$	$5.63*10^{-15}$	$5.63*10^{-15}$	$2.08*10^{-10}$	$2.08*10^{-10}$
M6	$20*10^{-6}$	$0.35*10^{-6}$	$2.46*10^{-14}$	$5.11*10^{-14}$	$5.11*10^{-14}$	$2.08*10^{-10}$	$2.08*10^{-10}$
M7	$20*10^{-6}$	$0.35*10^{-6}$	$2.46*10^{-14}$	$5.11*10^{-14}$	$5.11*10^{-14}$	$2.08*10^{-10}$	$2.08*10^{-10}$

ตารางที่ ข.4 ค่าคาแพซิแตนท์ของมอสทรานซิสเตอร์ในวงจรบูตสแตรปอินเวอร์เตอร์แบบใหม่

Proposed Inverter	W (m)	L (m)	C_g (F)	C_{db} (F)	C_{sb} (F)	CGDO (F/m)	CSDO (F/m)
M1	$10*10^{-6}$	$0.35*10^{-6}$	$1.23*10^{-14}$	$3.16*10^{-14}$	$3.16*10^{-14}$	$2.08*10^{-10}$	$2.08*10^{-10}$
M2	$1*10^{-6}$	$0.35*10^{-6}$	$1.23*10^{-15}$	$2.57*10^{-15}$	$2.57*10^{-15}$	$2.08*10^{-10}$	$2.08*10^{-10}$
M3	$0.8*10^{-6}$	$0.35*10^{-6}$	$9.84*10^{-16}$	$2.06*10^{-15}$	$2.06*10^{-15}$	$2.08*10^{-10}$	$2.08*10^{-10}$
M4	$0.8*10^{-6}$	$0.35*10^{-6}$	$2.71*10^{-15}$	$5.63*10^{-15}$	$5.63*10^{-15}$	$2.08*10^{-10}$	$2.08*10^{-10}$
M5	$2.2*10^{-6}$	$0.35*10^{-6}$	$9.84*10^{-16}$	$2.55*10^{-15}$	$2.55*10^{-15}$	$2.08*10^{-10}$	$2.08*10^{-10}$
M6	$20*10^{-6}$	$0.35*10^{-6}$	$2.46*10^{-14}$	$6.31*10^{-14}$	$6.31*10^{-14}$	$2.08*10^{-10}$	$2.08*10^{-10}$
M7	$20*10^{-6}$	$0.35*10^{-6}$	$2.46*10^{-14}$	$5.11*10^{-14}$	$5.11*10^{-14}$	$2.08*10^{-10}$	$2.08*10^{-10}$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ภาคผนวก ค

มอสทรานซิสเตอร์โมเดลที่ใช้ในการทดสอบวงจรชมิทท์ทริกเกอร์

ตาราง ค.1 ตัวแปรของมอสทรานซิสเตอร์

มอสทรานซิสเตอร์	โมเดล 0.35 μm	
	NMOS	PMOS
ศักดาเทรดโฮลด์ (V_t)	0.45 V	-0.45 V
ความคล่องตัวของโฮลหรืออิล็กตรอนบริเวณผิว (μ_0)	1000 $cm^2/(V.s)$	500 $cm^2/(V.s)$
ความหนาชั้นออกไซด์ (t_{ox})	10×10^{-09} m	10×10^{-09} m
คาแพซิแตนท์รอยต่อพีกับเอ็น (CJ)	500 $\mu F/m^2$	618 $\mu F/m^2$
คาแพซิแตนท์รอยต่อรอบซอสและเดรนกับฐานรอง (CJSW)	180 PF/m	220 PF/m
ความลึกของซอสและเดรนในฐานรอง (XJ)	0.1 μm	0.1 μm
ความกว้างแชลแนล (W)	ดูตารางที่ ค.2, 3	ดูตารางที่ ค.2, 3
ความยาวแชลแนล (L)	ดูตารางที่ ค.2, 3	ดูตารางที่ ค.2, 3
ความยาวของเดรนและซอส (Y)	5 μm	5 μm
ค่าทรานคอนดักแตนท์	$3.51*10^{-4}$ (W/L) A/V^2	$1.76*10^{-4}$ (W/L)A/V^2

ตารางที่ ค.2 ค่าคาแพซิแตนท์ของมอสทรานซิสเตอร์ในวงจรชมิอสชมิทท์ทริกเกอร์แบบใหม่

Previous Inverter	W (m)	L (m)	C_g (F)	C_{db} (F)	C_{sb} (F)	CGDO (F/m)	CSDO (F/m)
M1	$10*10^{-6}$	$0.35*10^{-6}$	$1.23*10^{-14}$	$3.16*10^{-14}$	$3.16*10^{-14}$	$2.08*10^{-10}$	$2.08*10^{-10}$
M2	$10*10^{-6}$	$0.35*10^{-6}$	$1.23*10^{-14}$	$2.55*10^{-14}$	$2.55*10^{-14}$	$2.08*10^{-10}$	$2.08*10^{-10}$
M3	$6*10^{-6}$	$0.35*10^{-6}$	$7.38*10^{-15}$	$1.89*10^{-14}$	$1.89*10^{-14}$	$2.08*10^{-10}$	$2.08*10^{-10}$
M4	$0.5*10^{-6}$	$0.35*10^{-6}$	$6.15*10^{-16}$	$1.29*10^{-15}$	$1.29*10^{-15}$	$2.08*10^{-10}$	$2.08*10^{-10}$
M5	$0.8*10^{-6}$	$0.35*10^{-6}$	$9.84*10^{-16}$	$2.55*10^{-15}$	$2.55*10^{-15}$	$2.08*10^{-10}$	$2.08*10^{-10}$
M6	$0.35*10^{-6}$	$0.35*10^{-6}$	$4.30*10^{-16}$	$9.11*10^{-16}$	$9.11*10^{-16}$	$2.08*10^{-10}$	$2.08*10^{-10}$
M7	$0.35*10^{-6}$	$0.35*10^{-6}$	$4.30*10^{-16}$	$1.13*10^{-15}$	$1.13*10^{-15}$	$2.08*10^{-10}$	$2.08*10^{-10}$
M8	$1.4*10^{-6}$	$0.35*10^{-6}$	$3.44*10^{-15}$	$7.16*10^{-15}$	$7.16*10^{-15}$	$2.08*10^{-10}$	$2.08*10^{-10}$
M9	$0.7*10^{-6}$	$0.35*10^{-6}$	$1.72*10^{-15}$	$4.44*10^{-15}$	$4.44*10^{-15}$	$2.08*10^{-10}$	$2.08*10^{-10}$
M10	$0.7*10^{-6}$	$0.35*10^{-6}$	$8.61*10^{-16}$	$1.80*10^{-15}$	$1.80*10^{-15}$	$2.08*10^{-10}$	$2.08*10^{-10}$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ตารางที่ ค.3 ค่าคาแพซิแตนท์ของมอสทรานซิสเตอร์ในวงจรบูต์สแตรปซีมอสชมิทท์ทริกเกอร์

Proposed Inverter	W (m)	L (m)	C_g (F)	C_{db} (F)	C_{sb} (F)	CGDO (F/m)	CSDO (F/m)
M1	$10*10^{-6}$	$0.35*10^{-6}$	$1.23*10^{-14}$	$3.16*10^{-14}$	$3.16*10^{-14}$	$2.08*10^{-10}$	$2.08*10^{-10}$
M2	$10*10^{-6}$	$0.35*10^{-6}$	$1.23*10^{-14}$	$2.55*10^{-14}$	$2.55*10^{-14}$	$2.08*10^{-10}$	$2.08*10^{-10}$
M3	$6*10^{-6}$	$0.35*10^{-6}$	$7.38*10^{-15}$	$1.89*10^{-14}$	$1.89*10^{-14}$	$2.08*10^{-10}$	$2.08*10^{-10}$
M4	$0.5*10^{-6}$	$0.35*10^{-6}$	$6.15*10^{-16}$	$1.29*10^{-15}$	$1.29*10^{-15}$	$2.08*10^{-10}$	$2.08*10^{-10}$
M5	$0.8*10^{-6}$	$0.35*10^{-6}$	$9.84*10^{-16}$	$2.55*10^{-15}$	$2.55*10^{-15}$	$2.08*10^{-10}$	$2.08*10^{-10}$
M6	$0.35*10^{-6}$	$0.35*10^{-6}$	$4.30*10^{-16}$	$9.11*10^{-16}$	$9.11*10^{-16}$	$2.08*10^{-10}$	$2.08*10^{-10}$
M7	$5*10^{-6}$	$0.35*10^{-6}$	$6.15*10^{-15}$	$1.58*10^{-14}$	$1.58*10^{-14}$	$2.08*10^{-10}$	$2.08*10^{-10}$
M8	$3*10^{-6}$	$0.35*10^{-6}$	$3.69*10^{-15}$	$7.67*10^{-15}$	$7.67*10^{-15}$	$2.08*10^{-10}$	$2.08*10^{-10}$
M9	$1*10^{-6}$	$0.35*10^{-6}$	$1.23*10^{-15}$	$2.57*10^{-15}$	$2.57*10^{-15}$	$2.08*10^{-10}$	$2.08*10^{-10}$
MB	$8*10^{-6}$	$5*10^{-6}$	$1.41*10^{-13}$	$1.28*10^{-14}$	$1.28*10^{-14}$	$2.08*10^{-10}$	$2.08*10^{-10}$
M11	$0.35*10^{-6}$	$0.35*10^{-6}$	$4.30*10^{-16}$	$1.13*10^{-15}$	$1.13*10^{-15}$	$2.08*10^{-10}$	$2.08*10^{-10}$
M12	$1.4*10^{-6}$	$0.35*10^{-6}$	$3.44*10^{-15}$	$7.16*10^{-15}$	$7.16*10^{-15}$	$2.08*10^{-10}$	$2.08*10^{-10}$
M13	$0.7*10^{-6}$	$0.35*10^{-6}$	$1.72*10^{-15}$	$4.44*10^{-15}$	$4.44*10^{-15}$	$2.08*10^{-10}$	$2.08*10^{-10}$
M14	$0.7*10^{-6}$	$0.35*10^{-6}$	$8.61*10^{-16}$	$1.80*10^{-15}$	$1.80*10^{-15}$	$2.08*10^{-10}$	$2.08*10^{-10}$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ภาคผนวก ง

โปรแกรม Pspice ที่ใช้วิเคราะห์ในวิทยานิพนธ์

1.0 วงจรซีมอสอินเวอร์เตอร์

```
**CMOS INVERTER compare with three circuit  /BY TWITCH**
VDD   98 0 dc 1.0
vtstp   98 1 0
fp 0 99 vtstp 0.025
rp 99 0 100k
cp 99 0 100p
**Proposed circuit**
M1 3 in 1 1 MP L=0.35U W=10U
M2 3 in 0 0 MN L=0.35U W=1U
M3 4 in 0 0 MN L=0.35U W=0.8U
M4 5 3 1 1 MP L=0.35U W=0.8U
M5 5 3 4 4 MN L=0.35U W=2.2U
M6 out_proposed 5 1 1 MP L=0.35U W=20U
M7 out_proposed in 0 0 MN L=0.35U W=20U
CB1 4 in 106fF
*M11 4 in 4 4 MP L=5U W=8U
**Previous circuit**
M1A 13 in 1 1 MP L=0.35U W=10U
M2A 13 in 0 0 MN L=0.35U W=1U
M3A 14 13 1 1 MP L=0.35U W=0.8U
M4A 15 in 14 14 MP L=0.35U W=2.2U
M5A 15 in 0 0 MN L=0.35U W=0.8U
M6A 1 15 out_previous out_previous MN L=0.35U W=20U
M7A out_previous in 0 0 MN L=0.35U W=20U
CB2 13 14 103fF
*M11A 13 14 13 13 MN L=5U W=8U
**Conventional CMOS **
M6B out_conv. in 1 1 MP L=0.35U W=20U
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
M7B out_conv. in 0 0 MN L=0.35U W=20U
CL1 out_proposed 0 {CVAL}
CL2 out_previous 0 {CVAL}
CL3 out_conv. 0 {CVAL}
.PARAM CVAL=0.5E-12
.STEP PARAM CVAL 1.0E-12 5E-12 0.50E-12
.MODEL MN NMOS VTO=0.5 UO=1000 TOX=10E-9
+CGDO=2.08E-10 CGSO=2.08E-10 CJ=500E-06 CJSW=180E-15
.MODEL MP PMOS VTO=-0.5 UO=500 TOX=10E-9
+CGDO=2.08E-10 CGSO=2.08E-10 CJ=618E-06 CJSW=220E-15
.TRAN 1pS 20NS
.PROBE
.END
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.0 วงจรซีมอสชมิทท์ทริกเกอร์

Compare with previous and propuse CMOS schmitt /BY TWITCH

VDD 98 0 dc 1.0

vtstp 98 1 0

fp 0 99 vtstp 0.025

rp 99 0 100k

cp 99 0 100p

**Proposed Circuit

M1 out_Proposed 6 1 1 MP L=0.35U W=10U

M2 out_Proposed 10 0 0 MN L=0.35U W=10U

M3 6 in 1 1 MP L=0.35U W=6U

M4 6 in 7 7 MN L=0.35U W=0.5U

M5 10 in 1 1 MP L=0.35U W=0.8U

M6 10 in 0 0 MN L=0.35U W=0.35U

M7 8 in 1 1 MP L=0.35U W=5U

M8 8 in 0 0 MN L=0.35U W=3U

M9 7 8 0 0 MN L=0.35U W=1U

Cboot

*M10 7 8 7 7 MN L=5U W=8U

CB 7 8 103F

M11 out_Proposed 12 1 1 MP L=0.35U W=3.5U

M12 out_Proposed 12 0 0 MN L=0.35U W=2.8U

M13 12 out_Proposed 1 1 MP L=0.35U W=1.4U

M14 12 out_Proposed 0 0 MN L=0.35U W=0.7U

***Previous circuit

M21 out_Previous 16 1 1 MP L=0.35U W=10U

M22 out_Previous 110 0 0 MN L=0.35U W=10U

M23 16 in 1 1 MP L=0.35U W=6U

M24 16 in 0 0 MN L=0.35U W=0.5U

M25 110 in 1 1 MP L=0.35U W=0.8U

M26 110 in 0 0 MN L=0.35U W=0.35U

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
M27 out_Previous 112 1 1 MP L=0.35U W=3.5U
M28 out_Previous 112 0 0 MN L=0.35U W=2.8U
M29 112 out_Previous 1 1 MP L=0.35U W=1.4U
M210 112 out_Previous 0 0 MN L=0.35U W=0.7U
CL1 out_Proposed 0 {CVAL}
CL2 out_Previous 0 {CVAL}
*VS 2 0 PULSE (0 1.0 0 10MS 10MS 1NS)
VS 5 0 dc 0 PULSE 0 1.0 0.002ns 9.998ns 9.998ns 0.002ns 20ns
VS in 0 PWL (0,0 10N,1.0 20N,0 30N,1.0 40N,0)
*VS in 0 sin(0.5,0.5) 50000k
.PARAM CVAL=0.5E-12
.STEP PARAM CVAL 0.5E-12 3E-12 0.5E-12
.MODEL MN NMOS VTO=0.45 UO=1000 TOX=10E-9
+CGDO=2.08E-10 CGSO=2.08E-10 CJ=500E-06 CJSW=180E-15
.MODEL MP PMOS VTO=-0.45 UO=500 TOX=10E-9
+CGDO=2.08E-10 CGSO=2.08E-10 CJ=618E-06 CJSW=220E-15
.TRAN 1PS 40NS
.PROBE
.END
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ประวัติผู้เขียน

นาย ทวิช ชูเมือง เกิดเมื่อวันที่ 20 กันยายน พ.ศ. 2512 ที่อำเภอเมือง จังหวัดพิษณุโลก สำเร็จการศึกษาอุตสาหกรรมศาสตรบัณฑิต สาขาเทคโนโลยีการวัดคุมทางอุตสาหกรรม จากสถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง ปีการศึกษา 2534 ปัจจุบันทำงานในตำแหน่งวิศวกรระบบควบคุมและเครื่องมือวัด บริษัทฟอสเตอร์ วิลเลอร์ อำเภอศรีราชา จังหวัดชลบุรี

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้