

การประยุกต์สร้างพีซี-พีไอดี บนเอฟพีจีเอ

THE APPLICATION FUZZY-PID BASED-ON FPGA



ทนงชัย รุ่งหิมวรรณ

THANONGCHAI RUNGHIMMAWAN

วิทยานิพนธ์นี้เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรปริญญาวิศวกรรมศาสตรมหาบัณฑิต

สาขาวิชาวิศวกรรมการวัดคุม

บัณฑิตวิทยาลัย

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

๐๗.
๗/๑๑๔๓
๒๕๔๖

พ.ศ. 2546

ISBN 974-324-885-4

เลขหมู่.....
เลขทะเบียน..... 48917
วัน, เดือน, ปี 12 ส.ค. 2547

.b.....
.i.....

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

THE APPLICATION FUZZY-PID BASED-ON FPGA



**A THESIS SUBMITTED IN PARTIAL FULFILLMENT
OF THE REQUIREMENT THE DEGREE OF
MASTER ENGINEERING IN INSTRUMENTATION ENGINEERING
SCHOOL OF GRADUATE STUDIES
KING MONGKUT'S INSTITUTE OF TECHNOLOGY LADKRABANG**

2003

ISBN 974-324-885-4

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



COPYRIGHT 2003

SCHOOL OF GRADUATE STUDIES

KING MONGKUT'S INSTITUTE OF TECHNOLOGY LADKRABANG

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

หัวข้อวิทยานิพนธ์	การประยุกต์สร้างฟัซซี-พีไอดี บนเอฟพีจีเอ
นักศึกษา	นายทองชัย รุ่งหิมวรรณ
รหัสประจำตัว	43061418
ปริญญา	วิศวกรรมศาสตรมหาบัณฑิต
สาขาวิชา	วิศวกรรมการวัดคุม
พ.ศ.	2546
อาจารย์ผู้ควบคุมวิทยานิพนธ์	รศ.วิริยะ กองรัตน์

บทคัดย่อ

วิทยานิพนธ์นี้นำเสนอการออกแบบตัวควบคุมฟัซซี-พีไอดี บนชิพเอฟพีจีเอ (Field Programmable Gate Array: FPGA) โดยในการออกแบบตัวควบคุมพีไอดีจะทำการแปลงสมการพื้นฐานพีไอดีแบบต่อเนื่องให้เป็นสมการพีไอดีแบบไม่ต่อเนื่อง (Discrete) ส่วนการออกแบบตัวควบคุมฟัซซีจะใช้วิธีการกำหนดตารางอัตราขยายฟัซซี (Fuzzy gain scheduling) เพื่อปรับค่าพารามิเตอร์ของตัวควบคุมพีไอดี ซึ่งตัวควบคุมฟัซซีนี้จะประกอบด้วย หน่วยการแปลงค่าของกระบวนการที่อยู่ในเซตจำนวนจริงให้เป็นค่าฟัซซี (Fuzzification), หน่วยการอนุมานกฎ (Rule inference) และหน่วยการแปลงค่าฟัซซีให้เป็นค่าที่ใช้ในการควบคุมกระบวนการที่เอาต์พุต (Defuzzification) โดยในการหาค่าฟัซซีอินพุตและเอาต์พุตจะใช้วิธีการเปิดตาราง (Look Up Table: LUT) ส่วนตัวกระทำ Max-Min จะใช้เพื่อหาความสัมพันธ์ฟัซซีจากการอนุมานกฎ ส่วนในกระบวนการดีฟัซซีฟิเคชันจะใช้วิธีการหาค่าเฉลี่ยของค่าถ่วงน้ำหนัก (Weighted average method) เพื่อจัดการกับตัวแปรเอาต์พุต โดยตัวควบคุมฟัซซี-พีไอดีที่ได้จากการออกแบบจะนำไปทำการทดสอบโดยการควบคุมกระบวนการระดับทั้งแบบดั้งเดิม และสองถึง เพื่อเปรียบเทียบกับตัวควบคุมพีไอดีบนเอฟพีจีเอ และพีไอดีมาตรฐานรุ่น E5AK ของบริษัท Omron โดยผลการทดสอบฟัซซี-พีไอดีบนเอฟพีจีเอจะใช้เวลาในการเข้าสู่สภาวะคงตัวเร็วกว่าพีไอดีบนเอฟพีจีเอ แต่จะใช้เวลามากกว่าพีไอดีมาตรฐานในบางกรณี

กิตติกรรมประกาศ

วิทยานิพนธ์ฉบับนี้สำเร็จลุล่วงได้อย่างดี ด้วยคำแนะนำและคำปรึกษาเกี่ยวกับแนวทางการทำ วิทยานิพนธ์ในทุกๆ ด้านจาก รศ. วิริยะ กองรัตน์ ซึ่งเป็นอาจารย์ผู้ควบคุมวิทยานิพนธ์ ผู้วิจัยรู้สึกซาบซึ้งในความอนุเคราะห์จากท่านและขอกราบขอบพระคุณเป็นอย่างสูง

ขอขอบพระคุณ รศ. วิทยา ทิพย์สุวรรณพร, รศ.สุพรรณ กุลพานิชย์ และอาจารย์ทุกท่านที่ให้คำปรึกษาและให้คำแนะนำ พร้อมทั้งในบางจุดที่ผู้วิจัยติดปัญหาบางอย่าง ซึ่งมีส่วนช่วยให้ผู้วิจัยเข้าใจในปัญหานั้น

ขอขอบพระคุณบิดา มารดา และเธอ ของผู้วิจัยที่ให้กำลังใจอย่างใกล้ชิด และอดทนในการรอคอยความสำเร็จ ในการศึกษาของผู้วิจัย

ขอขอบพระคุณบริษัทฟิลิปส์ ประเทศไทย ที่ให้ความอนุเคราะห์ชีพแปลงสัญญาณอะนาล็อกเป็นดิจิทัล TDA8763M/3

ขอขอบคุณนายมารุต เศรษฐมาก, นายพงษ์ศักดิ์ จิตหนักแน่น, นายกฤษดา ศรีสวัสดิ์, นายรัฐพล วงศ์ไตรรัตน์ พี่ๆ เพื่อนๆ และน้อง ๆ ทุกคนที่ช่วยเหลือให้คำแนะนำและให้กำลังใจ การจัดพิมพ์ การแก้ไข และการตรวจสอบรายงานจนสำเร็จลุล่วง

คุณค่าและประโยชน์อันพึงมีจากวิทยานิพนธ์ฉบับนี้ผู้วิจัยขอบแต่ผู้มีพระคุณทุกท่าน

ทางชัย รุ่งหิมวรรณ

สารบัญ

	หน้า
บทคัดย่อภาษาไทย.....	I
บทคัดย่อภาษาอังกฤษ.....	II
กิตติกรรมประกาศ.....	III
สารบัญ.....	IV
สารบัญตาราง.....	VIII
สารบัญรูป.....	IX
บทที่ 1 บทนำ.....	1
1.1 ความเป็นมาและความสำคัญของปัญหา.....	1
1.2 ความมุ่งหมายและวัตถุประสงค์ของการศึกษา.....	1
1.3 แนวคิดที่ใช้และขอบเขตในงานวิจัย.....	1
1.4 ขั้นตอนของการศึกษา.....	2
บทที่ 2 ทฤษฎีฟิซซี-ฟิไอดี.....	3
2.1 ฟิซซี.....	3
2.1.1 ฟิซซีเซต.....	3
2.1.2 ฟังก์ชันการเป็นสมาชิกของฟิซซีเซต.....	4
2.1.3 การเท่ากันของฟิซซีเซต.....	4
2.1.4 การเป็นสับเซตของฟิซซีเซต.....	5
2.1.5 ซัพพอร์ตของฟิซซีเซต.....	5
2.1.6 ฟิซซีซิงเกิลตัน.....	6
2.1.7 เซต α - Level ของฟิซซีเซต.....	6
2.1.8 ความสูงของฟิซซีเซต.....	7
2.1.9 คุณสมบัติของนอมอลไลซ์ฟิซซีเซต.....	7
2.1.10 คุณสมบัติการคอมเวกซ์ของฟิซซีเซต.....	8
2.1.11 ฟิซซีนัมเบอร์.....	9
2.1.12 คาร์ดินาลิตี้ของฟิซซีเซต.....	10
2.1.13 ปฏิบัติการพื้นฐานของฟิซซีเซต.....	10

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญ(ต่อ)

	หน้า
2.1.13.1 ยูเนียน.....	10
2.1.13.2 อินเตอร์เซกชัน.....	10
2.2 ทฤษฎีตรรกะพีชคณิต.....	11
2.2.1 ตัวแปรลิงกวิสติก.....	11
2.2.2 ทฤษฎีตรรกศาสตร์แบบเดิม.....	12
2.2.2.1 ค่าความจริงของประพจน์ในตรรกศาสตร์บูลีน.....	12
2.2.2.2 ปฏิบัติการทางตรรกศาสตร์บูลีน.....	12
2.2.2.2 การหาข้อสรุปตามหลักการเหตุผล.....	12
2.2.3 ทฤษฎีตรรกะพีชคณิต.....	13
2.2.3.1 ค่าความจริงของประพจน์ในทฤษฎีตรรกะพีชคณิต.....	13
2.2.3.2 การหาข้อสรุปตามหลักการเหตุผลโดยใช้ทฤษฎีตรรกะพีชคณิต.....	14
2.2.4 ความสัมพันธ์พีชคณิต.....	14
2.2.4.1 ผลคูณคาร์ทีเซียน.....	14
2.2.4.2 ความสัมพันธ์พีชคณิต.....	15
2.2.5 การคอมโพสิชันแบบพีชคณิต.....	15
2.3 ตัวควบคุมพีชคณิต.....	16
2.3.1 กฎการควบคุมพีชคณิต.....	16
2.3.2 การพีชคณิตพีเคชัน.....	17
2.3.3 การอนุมานพีชคณิต.....	18
2.3.4 การดีพีชคณิตพีเคชัน.....	18
2.3.4.1 การหาค่าระดับการเป็นสมาชิกสูงสุด.....	19
2.3.4.2 การหาค่าจุดศูนย์กลางของพีชคณิต.....	19
2.3.4.3 การหาค่าเฉลี่ยของค่าถ่วงน้ำหนัก.....	20
2.3.4.4 การหาค่ากลางสูงสุด.....	20
2.4 พีไอดี.....	21
2.4.1 องค์ประกอบพี.....	22
2.4.2 องค์ประกอบไอ.....	23
2.4.3 องค์ประกอบดี.....	24

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญ(ต่อ)

	หน้า
2.4.4 ตัวควบคุมพี-ไอ.....	25
2.4.5 ตัวควบคุมพี-ดี.....	25
2.4.6 ตัวควบคุมพีไอดี.....	26
2.5 ฟัซซี-พีไอดี.....	27
2.5.1 Fuzzy self-tuning of a single parameter.....	27
2.5.1 Fuzzy gain scheduling.....	28
บทที่ 3 เอฟพีจีเอ.....	29
3.1 กล่าวนำ.....	29
3.2 ขั้นตอนการออกแบบวงจรด้วยชิพเอฟพีจีเอ.....	29
3.3 รูปแบบการเขียนโปรแกรมภาษาวีเอชดีแอล.....	32
3.3.1 หน่วยการออกแบบเอกลักษณ์.....	32
3.3.2 หน่วยการออกแบบโครงสร้าง.....	33
3.3.3 หน่วยการออกแบบกลุ่ม.....	36
3.3.3.1 การกำหนดกลุ่ม.....	36
3.3.3.2 การกำหนดตัวกลุ่มหลัก.....	37
3.3.4 หน่วยการออกแบบองค์ประกอบ.....	38
3.4 ขั้นตอนการออกแบบโดยใช้โปรแกรมสำเร็จรูป ISE WEBPACK.....	40
บทที่ 4 การออกแบบ.....	42
4.1 การออกแบบวงจรแปลงสัญญาณอะนาลอก เป็นดิจิตอล 10 บิต.....	42
4.2 การออกแบบวงจรแปลงสัญญาณดิจิตอล 12 บิต เป็นอะนาลอก.....	45
4.3 การออกแบบตัวประมวลผลพีไอดีบนเอฟพีจีเอ.....	46
4.4 การออกแบบตัวประมวลผลฟัซซี-พีไอดีบนเอฟพีจีเอ.....	48
4.4.1 ฟัซซีพีเคชัน.....	50
4.4.2 การอนุมานกฎ.....	51
4.4.3 ดีฟัซซีพีเคชัน.....	52

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญตาราง

ตารางที่	หน้า
4.1 ชนิด และค่าใช้งานชีพ TDA8763/AM.....	43
5.1 ค่าฟังก์ชันการเป็นสมาชิกอินพุต $e(t)$ และ $\Delta e(t)$	55
5.2 กฎฟuzzy สำหรับ K_p , K_d และ α	56
5.3 ผลการทดสอบตัวควบคุม.....	70



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญรูป

รูปที่	หน้า
2.1 ฟิชชีเซต.....	3
2.2 การเท่ากันของฟิชชีเซต A กับเซต B	4
2.3 การเป็นสับเซตของฟิชชีเซต.....	5
2.4 เซตพอร์ดของฟิชชีเซต.....	6
2.5 ฟิชชีเซตจริงเกิดขึ้น.....	6
2.6 α -Level ของฟิชชีเซต.....	7
2.7 ความสูงของฟิชชีเซต.....	7
2.8 (ก) คุณสมบัติการนอมอลไลซ์ฟิชชีเซต (ข) ฟิชชีเซตที่ไม่มีคุณสมบัติการนอมอลไลซ์.....	8
2.9 (ก) การคอนแวนซ์ของฟิชชีเซต (ข) ฟิชชีเซตที่ไม่มีคุณสมบัติการคอนแวนซ์.....	9
2.10 ฟิชชีนัมเบอร์.....	9
2.11 การยูเนียนของฟิชชีเซต.....	10
2.12 การอินเตอร์เซกชัน.....	11
2.13 ความสัมพันธ์ฟิชชี.....	15
2.14 การคอมโพสิชันของความสัมพันธ์ฟิชชี.....	15
2.15 โครงสร้างพื้นฐานของตัวควบคุมฟิชชี.....	16
2.16 การฟิชชีฟิเคชันแบบซิงเกิดขึ้น.....	17
2.17 การอินเฟอเรนซ์แบบฟิชชี.....	18
2.18 การดีฟิชชีฟิเคชันโดยใช้วิธีการหาค่าระดับการเป็นสมาชิกสูงสุด.....	19
2.19 การดีฟิชชีฟิเคชันโดยใช้วิธีการหาจุดศูนย์กลางของฟิชชี.....	19
2.20 การดีฟิชชีฟิเคชันด้วยการหาค่าเฉลี่ยของค่าถ่วงน้ำหนัก.....	20
2.21 การดีฟิชชีฟิเคชันโดยการหาค่ากลางสูงสุด.....	21
2.22 ผลตอบสนองของตัวควบคุมแบบพีเมื่ออินพุตเป็นยูนิตสตีป.....	22
2.23 คุณสมบัติของตัวควบคุมแบบ P.....	23
2.24 ผลตอบสนองของตัวควบคุมแบบ I เมื่ออินพุตเป็นยูนิตสตีป.....	24
2.25 ผลตอบสนองของตัวควบคุมแบบ D เมื่ออินพุตเป็นยูนิตสตีป.....	24
2.26 ผลตอบสนองของตัวควบคุม PI.....	25

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญรูป(ต่อ)

รูปที่	หน้า
2.27 ผลตอบสนองของตัวควบคุม PD.....	26
2.28 ผลตอบสนองของตัวควบคุม PID.....	26
2.29 ผลตอบสนองของการจำลองโดยวิธี Fuzzy gain scheduling เมื่อระบบเป็นระบบอันดับ 2....	28
3.1 ขั้นตอนการออกแบบวงจรด้วยชิพเอฟพีจีเอ.....	30
3.2 โครงสร้างพื้นฐานของการกำหนดหน่วยการออกแบบเอกลักษณ์.....	32
3.3 ตัวอย่างการออกแบบส่วนเอกลักษณ์ของวงจร 2 to 1 Multiplexer.....	33
3.4 ตัวอย่างการออกแบบส่วนเอกลักษณ์ของวงจร 2 to 1 Multiplexer โดยเพิ่มข้อมูลเกี่ยวกับเวลา...33	33
3.5 โครงสร้างพื้นฐานของการกำหนดหน่วยการออกแบบโครงสร้าง.....	34
3.6 หน่วยการออกแบบโครงสร้าง ของ 2:1 Mux ตามสมการความจริง.....	34
3.7 หน่วยการออกแบบโครงสร้าง ของ 2:1 Mux ในลักษณะโครงร่างด้วยลอจิกเกต.....	35
3.8 หน่วยการออกแบบโครงสร้าง ของ 2:1 Mux ในลักษณะโครงร่างด้วยภาษาวีเอชดีแอล.....	35
3.9 หน่วยการออกแบบโครงสร้าง ของ 2:1 Mux ในลักษณะพฤติกรรม.....	36
3.10 หลักการเขียนการกำหนดกลุ่ม.....	36
3.11 ตัวอย่างการกำหนดกลุ่ม.....	37
3.12 รูปแบบการกำหนดตัวกลุ่มหลัก.....	37
3.13 ตัวอย่างการออกแบบหน่วยการออกแบบกลุ่มหลัก.....	37
3.14 รูปแบบการกำหนด หน่วยการออกแบบองค์ประกอบ.....	38
3.15 วีเอชดีแอลของ AND gate 2 input.....	38
3.16 ตัวอย่างการออกแบบขององค์ประกอบของ and2.....	39
3.17 ตัวอย่างการออกแบบขององค์ประกอบ.....	39
3.18 Xilinx Design Flow.....	40
4.1 บล็อกไดอะแกรมตัวควบคุมพีซีพีไอดี.....	42
4.2 บล็อกไดอะแกรมชิพ TDA8763 AM.....	43
4.3 วงจร Precision regulator และวงจร Close loop สำหรับแรงดันอ้างอิง.....	44
4.4 วงจร ขยาย และบวกสัญญาณเพื่อทำการปรับ Zero และ Span ของสัญญาณอินพุต.....	44
4.5 วงจรแปลงสัญญาณอะนาลอกเป็นดิจิตอล 10 บิต.....	45
4.6 วงจรแปลงสัญญาณดิจิตอล 12 บิต เป็นอะนาลอก.....	45
4.7 วงจรแปลงแรงดันเป็นกระแส.....	46

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญรูป(ต่อ)

รูปที่	หน้า
4.8 บล็อกไคอะแกรมตัวประมวลผลดิจิทัลพีไอดีบนเอฟพีจีเอ.....	47
4.9 สเตทไคอะแกรมของดิจิทัลพีไอดี.....	47
4.10 บรรยายพฤติกรรมของดิจิทัลพีไอดี ตามสเตทไคอะแกรม.....	48
4.11 ฟังก์ชันการเป็นสมาชิกของอินพุต $e(t)$ และ $\Delta e(t)$	49
4.12 ฟังก์ชันการเป็นสมาชิกของเอาต์พุต.....	49
4.13 บล็อกไคอะแกรมฟuzzyพีไอดี.....	50
4.14 บล็อกไคอะแกรมส่วนฟuzzyพีเคชัน.....	50
4.15 การกำหนดฟังก์ชันการเป็นสมาชิก.....	51
4.16 การบรรยายพฤติกรรมด้วย VHDLของ ฟังก์ชันการเป็นสมาชิกเมื่อค่ากระบวนการอยู่ ในช่วง 3DDh ถึง 178h.....	51
4.17 บล็อกไคอะแกรมส่วนอนุมานกฎ.....	51
4.18 บล็อกไคอะแกรมส่วนดีฟuzzyพีเคชัน.....	52
4.19 สเตทไคอะแกรมส่วนดีฟuzzyพีเคชัน.....	53
5.1 บล็อกไคอะแกรมการจำลองตัวประมวลผลพีไอดี.....	54
5.2 ผลการจำลองตัวประมวลผลดิจิทัลพีไอดี โดยใช้โปรแกรมสำเร็จรูป ModelSimXE.....	55
5.3 ฟังก์ชันการเป็นสมาชิกอินพุต $e(t)$ และ $\Delta e(t)$	56
5.4 ฟังก์ชันการเป็นสมาชิกเอาต์พุตเมื่อ $K_v = 75$ และ $T_v = 2$ s.....	57
5.5 บล็อกไคอะแกรมการจำลองตัวประมวลผลฟuzzyพีไอดี.....	57
5.6 ผลการจำลองตัวประมวลผลฟuzzyพีไอดี โดยใช้โปรแกรมสำเร็จรูป ModelSimXE.....	57
5.7 บล็อกไคอะแกรมกระบวนการระดับ.....	58
5.8 ผลการทดสอบตัวควบคุมพีไอดีบนเอฟพีจีเอ เพื่อควบคุมระดับที่ค่าเป้าหมาย 25 % จากนั้นเพิ่มค่าเป้าหมาย เป็น 75%.....	59
5.9 ผลการทดสอบตัวควบคุมพีไอดีบนเอฟพีจีเอ เพื่อควบคุมระดับที่ค่าเป้าหมาย 50 % จากนั้นเพิ่มค่าเป้าหมาย เป็น 75%.....	60
5.10 ผลการทดสอบตัวควบคุมพีไอดีบนเอฟพีจีเอ เพื่อควบคุมระดับที่ค่าเป้าหมาย 75 % จากนั้นลดค่าเป้าหมาย เป็น 25%.....	60
5.11 ผลการทดสอบตัวควบคุมพีไอดีบนเอฟพีจีเอ เพื่อควบคุมระดับที่ค่าเป้าหมาย 75 % จากนั้นลดค่าเป้าหมาย เป็น 50%.....	60

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้คัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญญรูป(ต่อ)

รูปที่	หน้า
5.12 ผลการทดสอบตัวควบคุมพีไอคิบนเอฟพีจีเอ เพื่อควบคุมระดับที่ค่าเป้าหมาย 50 % จากนั้นจำลองการเกิดสิ่งรบกวน โดยการปิดปั๊มประมาณ 5 วินาที.....	61
5.13 ผลการทดสอบตัวควบคุมพีไอคิบนเอฟพีจีเอ เพื่อควบคุมระดับที่ค่าเป้าหมาย 75 % จากนั้นจำลองการเกิดสิ่งรบกวน โดยการปิดปั๊มประมาณ 5 วินาที.....	61
5.14 ผลการทดสอบตัวควบคุมพีซีซีพีไอคิบนเอฟพีจีเอ เพื่อควบคุมระดับดังเดียว ที่ค่าเป้าหมาย 25 % จากนั้น เพิ่มค่าเป้าหมายเป็น 75%.....	62
5.15 ผลการทดสอบตัวควบคุมพีซีซีพีไอคิบนเอฟพีจีเอ เพื่อควบคุมระดับดังเดียว ที่ค่าเป้าหมาย 50 % จากนั้น เพิ่มค่าเป้าหมายเป็น 75%.....	62
5.16 ผลการทดสอบตัวควบคุมพีซีซีพีไอคิบนเอฟพีจีเอ เพื่อควบคุมระดับดังเดียว ที่ค่าเป้าหมาย 75 % จากนั้น ลดค่าเป้าหมายเป็น 25%.....	62
5.17 ผลการทดสอบตัวควบคุมพีซีซีพีไอคิบนเอฟพีจีเอ เพื่อควบคุมระดับดังเดียว ที่ค่าเป้าหมาย 75 % จากนั้นลดค่าเป้าหมายเป็น 50 %.....	63
5.18 ผลการทดสอบตัวควบคุมพีซีซีพีไอคิบนเอฟพีจีเอ เพื่อควบคุมระดับดังเดียวที่ค่าเป้าหมาย 75 % จากนั้น จำลองการเกิดสิ่งรบกวน โดยการปิดปั๊มประมาณ 5 วินาที.....	63
5.19 ผลการทดสอบตัวควบคุมพีซีซีพีไอคิบนเอฟพีจีเอ เพื่อควบคุมระดับสองดังที่ค่าเป้าหมาย 25 % จากนั้น เพิ่มค่าเป้าหมายเป็น 75%.....	64
5.20 ผลการทดสอบตัวควบคุมพีซีซีพีไอคิบนเอฟพีจีเอ เพื่อควบคุมระดับสองดังที่ค่าเป้าหมาย 50 % จากนั้น เพิ่มค่าเป้าหมายเป็น 75%.....	64
5.21 ผลการทดสอบตัวควบคุมพีซีซีพีไอคิบนเอฟพีจีเอ เพื่อควบคุมระดับสองดังที่ค่าเป้าหมาย 75 % จากนั้น ลดค่า เป้าหมายเป็น 25%.....	64
5.22 ผลการทดสอบตัวควบคุมพีซีซีพีไอคิบนเอฟพีจีเอ เพื่อควบคุมระดับสองดังที่ค่าเป้าหมาย 75 % จากนั้น ลดค่า เป้าหมายเป็น 50%.....	65
5.23 ผลการทดสอบตัวควบคุมพีซีซีพีไอคิบนเอฟพีจีเอ เพื่อควบคุมระดับสองดังที่ค่าเป้าหมาย 50 % จากนั้น จำลองการเกิดสิ่งรบกวน โดยการปิดปั๊มประมาณ 5 วินาที.....	65
5.24 ผลการทดสอบตัวควบคุมพีซีซีพีไอคิบนเอฟพีจีเอ เพื่อควบคุมระดับสองดังที่ค่าเป้าหมาย 75 % จากนั้น จำลองการเกิดสิ่งรบกวน โดยการปิดปั๊มประมาณ 5 วินาที.....	65
5.25 ผลการทดสอบตัวควบคุมพีไอคิบนมาตรฐานรุ่น E5AK เพื่อควบคุมระดับดังเดียวที่ค่าเป้าหมาย 25 % จากนั้นเพิ่มค่าเป้าหมายเป็น 75%.....	66

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญรูป(ต่อ)

รูปที่	หน้า
5.26 ผลการทดสอบตัวควบคุมพีไอดีมาตรฐานรุ่น E5AK เพื่อควบคุมระดับดังเดี่ยวที่ค่าเป้าหมาย 50 % จากนั้นเพิ่มค่าเป้าหมายเป็น 75%.....	66
5.27 ผลการทดสอบตัวควบคุมพีไอดีมาตรฐานรุ่น E5AK เพื่อควบคุมระดับดังเดี่ยวที่ค่าเป้าหมาย 75 % จากนั้นลดค่าเป้าหมายเป็น 50 %.....	67
5.28 ผลการทดสอบตัวควบคุมพีไอดีมาตรฐานรุ่น E5AK เพื่อควบคุมระดับดังเดี่ยวที่ค่าเป้าหมาย 50 % จากนั้นจำลองการเกิดสิ่งรบกวน โดยการปิดปั๊มประมาณ 5 วินาที.....	67
5.29 ผลการทดสอบตัวควบคุมพีไอดีมาตรฐานรุ่น E5AK เพื่อควบคุมระดับดังเดี่ยวที่ค่าเป้าหมาย 75 % จากนั้นจำลองการเกิดสิ่งรบกวน โดยการปิดปั๊มประมาณ 5 วินาที.....	67
5.30 ผลการทดสอบตัวควบคุมพีไอดีมาตรฐานรุ่น E5AK เพื่อควบคุมระดับสองดังที่ค่าเป้าหมาย 25 % จากนั้นเพิ่มค่าเป้าหมายเป็น 75%.....	68
5.31 ผลการทดสอบตัวควบคุมพีไอดีมาตรฐานรุ่น E5AK เพื่อควบคุมระดับสองดังที่ค่าเป้าหมาย 50 % จากนั้นเพิ่มค่าเป้าหมายเป็น 75%.....	68
5.32 ผลการทดสอบตัวควบคุมพีไอดีมาตรฐานรุ่น E5AK เพื่อควบคุมระดับสองดังที่ค่าเป้าหมาย 75 % จากนั้นลดค่าเป้าหมายเป็น 50 %.....	68
5.33 ผลการทดสอบตัวควบคุมพีไอดีมาตรฐานรุ่น E5AK เพื่อควบคุมระดับสองดังที่ค่าเป้าหมาย 50 % จากนั้นจำลองการเกิดสิ่งรบกวน โดยการปิดปั๊มประมาณ 5 วินาที.....	69
5.34 ผลการทดสอบตัวควบคุมพีไอดีมาตรฐานรุ่น E5AK เพื่อควบคุมระดับสองดังที่ค่าเป้าหมาย 75 % จากนั้นจำลองการเกิดสิ่งรบกวน โดยการปิดปั๊มประมาณ 5 วินาที.....	69

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้คัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 1

บทนำ

1.1 ความเป็นมาและความสำคัญของปัญหา

เนื่องจากการควบคุมในระบบอุตสาหกรรมปัจจุบันได้ใช้ตัวควบคุมแบบพีไอดี อย่างแพร่หลาย แต่การปรับแต่งค่าพารามิเตอร์ของระบบอัตโนมัติด้วยพีซีส่วนมากจะออกแบบโดยใช้ไมโครคอนโทรลเลอร์ หรือไมโครคอมพิวเตอร์ ซึ่งจะซับซ้อนด้านความเร็ว และขนาดของตัวควบคุม ดังนั้นเพื่อแก้ปัญหาข้างต้นได้ออกแบบตัวควบคุมโดยใช้ Field Programmable Gate Array: FPGA เนื่องจากเอฟพีจีเอ จะมีลักษณะเป็นลอจิกเกตเชื่อมต่อกันอย่างหนาแน่นสามารถกำหนดแต่ละการเชื่อมต่อลอจิกเกตภายในเอฟพีจีเอ ได้โดยการโปรแกรมด้วยภาษา Hardware Description Language: HDL [1] ดังนั้นการออกแบบจึงสามารถทำได้ง่าย และการที่ชิพเอฟพีจีเอทำงานโดยไม่จำเป็นต้องรอรอบการทำงาน (Machine cycle) ทำให้การทำงานของวงจรมีความเร็วมากกว่าแบบเดิม นอกจากนี้การรวมตัวควบคุมทั้งสองไว้ในชิพเอฟพีจีเอ เพียงตัวเดียวยังทำให้วงจรมีขนาดเล็ก

1.2 ความมุ่งหมายและวัตถุประสงค์ของการศึกษา

งานวิจัยนี้จัดทำเพื่อศึกษา และพัฒนาตัวควบคุมพื้นฐานที่มีอยู่ในปัจจุบันให้มีความเร็วในการทำงานสูงขึ้น และมีขนาดเล็ก โดยผู้จัดทำได้นำชิพเอฟพีจีเอมาออกแบบให้เป็นตัวควบคุมพื้นฐานพีไอดี (Proportional-Integral-Derivative: PID) ซึ่งเป็นตัวควบคุมที่ใช้ในงานอุตสาหกรรมอย่างแพร่หลาย ทั้งนี้เนื่องจากตัวควบคุมพีไอดีมีโครงสร้างการทำงานไม่ซับซ้อน รวมทั้งการบำรุงรักษา และการหาค่าพารามิเตอร์ต่างๆ ทำได้ง่าย โดยการออกแบบตัวควบคุมนี้จะเพิ่มสมรรถนะด้วยการปรับค่าพารามิเตอร์ของพีไอดี อัตโนมัติโดยใช้หลักการของตรรกะฟัซซี

1.3 แนวคิดที่ใช้และขอบเขตในงานวิจัย

เป็นที่ทราบว่าการออกแบบชิพเอฟพีจีเอสัญญาณที่ใช้ในการคำนวณจะต้องเป็นสัญญาณดิจิทัลเท่านั้น ดังนั้นในการออกแบบตัวประมวลผลพีไอดีบนเอฟพีจีเอจะต้องแปลงสมการพื้นฐานพีไอดี [2], [3], [4], [5] แบบต่อเนื่องให้เป็น สมการแบบไม่ต่อเนื่อง ส่วนตัวประมวลผลฟัซซี-พีไอดีจะใช้วิธี Fuzzy gain scheduling [6] ซึ่งเป็นการหาค่าพารามิเตอร์ของตัวควบคุมพีไอดีด้วยกระบวนการตรรกะฟัซซี

งานวิจัยนี้ทำการประยุกต์สร้างฟัซซี-พีไอดีบนเอฟพีจีเอ โดยจะตรวจสอบความถูกต้องของการออกแบบตัวประมวลผล ด้วยการจำลองโดยใช้โปรแกรมสำเร็จรูป ModelSimXe [7] เพื่อตรวจสอบเทียบกับทฤษฎี และทดสอบตัวควบคุมฟัซซีพีไอดีบนเอฟพีจีเอโดยการนำไปควบคุม

กระบวนการระดับทั้งแบบดั้งเดิม และสองถัง เพื่อเปรียบเทียบกับตัวควบคุมพีไอดีบนเอฟพีจีเอ และตัวควบคุมพีไอดีมาตรฐานรุ่น E5AK ของบริษัท Omron

1.4 ขั้นตอนของการศึกษา

การประยุกต์สร้างพีซีพี-ไอดีบนเอฟพีจีเอ เริ่มต้นด้วยการศึกษาทฤษฎี และพฤติกรรมของตัวควบคุมพีไอดี ต่อจากนั้นเป็นการออกแบบตัวประมวลผลพีไอดีบนเอฟพีจีเอ พร้อมทั้งจำลองความถูกต้องของตัวประมวลผลพีไอดี เมื่อได้ตัวประมวลผลพีไอดีแล้ว ต่อไปจะเป็นการศึกษาทฤษฎี และหลักการควบคุมโดยใช้ตรรกะพีซี โดยขั้นต่อไปจะทำการออกแบบตัวควบคุมพีซีพี-พีไอดี พร้อมทั้งจำลองความถูกต้องของตัวประมวลผลพีซีพี-ไอดี ส่วนในขั้นต่อไปเป็นการออกแบบทางด้านวงจรที่เกี่ยวข้อง ซึ่งจะประกอบด้วยการออกแบบวงจรแปลงสัญญาณจากอะนาลอกเป็นดิจิทัล, วงจรแปลงสัญญาณจากดิจิทัลเป็นอะนาลอก และวงจรแปลงแรงดันเป็นกระแส เมื่อได้ส่วนประกอบของตัวควบคุมครบแล้วจึงเชื่อมต่อกับตัวประมวลผลที่ได้ออกแบบไว้ เพื่อนำตัวควบคุมที่ได้ไปทดสอบ โดยการควบคุมกระบวนการระดับทั้งแบบดั้งเดิม และสองถัง

บทที่ 2

ทฤษฎีฟัซซี - พีไอดี

2.1 ฟัซซี

การนำระบบฟัซซีมาใช้งานต้องอาศัยความรู้ทางคณิตศาสตร์เกี่ยวกับฟัซซี [8], [9] เพื่อเป็นพื้นฐาน ในการทำความเข้าใจโครงสร้างของระบบฟัซซี โดยในหัวข้อนี้จะกล่าวถึงทฤษฎีทางคณิตศาสตร์ที่เกี่ยวกับฟัซซี

2.1.1 ฟัซซีเซต (Fuzzy set)

ฟัซซีเซต คือ เซตของคู่อันดับ u และฟังก์ชันการเป็นสมาชิก $\mu_A(u)$ โดยที่ u เป็นสมาชิกใดๆ ของเอกภพสัมพัทธ์ U และ A เป็นฟัซซีเซต เขียนแทนด้วยสัญลักษณ์ได้ดังนี้

$$A = \{(u, \mu_A(u)) \mid u \in U\} \quad (2.1)$$



รูปที่ 2.1 ฟัซซีเซต

จากรูปที่ 2.1 แสดงให้เห็นถึงฟัซซีเซต โดยกำหนดให้เอกภพสัมพัทธ์ U มีสมาชิก $u = \{-4, -3, -2, -1, 0, 1, 2, 3, 4\}$ ซึ่งจะพบว่าสมาชิก u แต่ละค่าจะมีค่าระดับการเป็นสมาชิกของสมาชิกค่านั้นๆ เป็นคู่ลำดับกันไป ซึ่งทำให้พิจารณาได้ว่าฟัซซีเซต จะไม่สามารถแยกแยะการเป็นสมาชิก แต่จะมีค่าอยู่ในช่วง 0 ถึง 1 จึงทำให้ไม่สามารถกำหนดขอบเขตของเซตได้อย่างแน่นอนเหมือนกับเซตแบบเดิมที่มีค่าเท่ากับ 0 หรือ 1

2.1.2 ฟังก์ชันการเป็นสมาชิกของฟuzzyเซต

(Membership Function of Fuzzy set: $\mu_A(u)$)

ฟังก์ชันการเป็นสมาชิกของฟuzzyเซต A ถูกนิยามให้มีค่าอยู่ภายในช่วง $[0,1]$ เขียนแทนด้วยสัญลักษณ์ $\mu_A(u)$

โดยที่ค่า $\mu_A(u)$ เป็นค่าที่ระบุความเป็นสมาชิกของ u ในฟuzzyเซต A

ถ้า $\mu_A(u)$ มีค่าเท่ากับ 0 แสดงว่า u ไม่มีความเป็นสมาชิกของฟuzzyเซต A

ถ้า $\mu_A(u)$ มีค่าน้อย แสดงว่า u มีความเป็นสมาชิกของฟuzzyเซต A น้อย

ถ้า $\mu_A(u)$ มีค่ามาก แสดงว่า u มีความเป็นสมาชิกของฟuzzyเซต A มาก

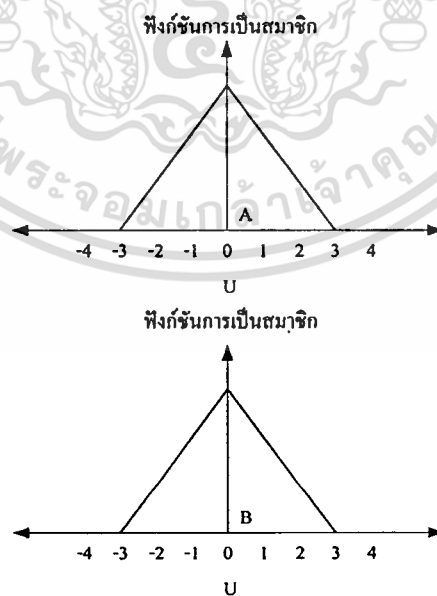
ถ้า $\mu_A(u)$ มีค่าเท่ากับ 1 แสดงว่า u มีความเป็นสมาชิกของฟuzzyเซต A อย่างสมบูรณ์

แสดงได้ว่า $\mu_A(u): U \rightarrow \{0,1\}$

2.1.3 การเท่ากันของฟuzzyเซต

ฟuzzyเซต A จะเท่ากับฟuzzyเซต B ก็ต่อเมื่อ สมาชิก u ทุกตัวในเอกภพสัมพัทธ์ U มีค่าฟังก์ชันการเป็นสมาชิกของฟuzzyเซต A เท่ากับค่าฟังก์ชันการเป็นสมาชิกของฟuzzyเซต B เขียนแทนด้วยสัญลักษณ์

$$(A = B) \leftrightarrow (\mu_A(u) = \mu_B(u): \forall u \in U) \quad (2.2)$$



รูปที่ 2.2 การเท่ากันของฟuzzyเซต A กับเซต B

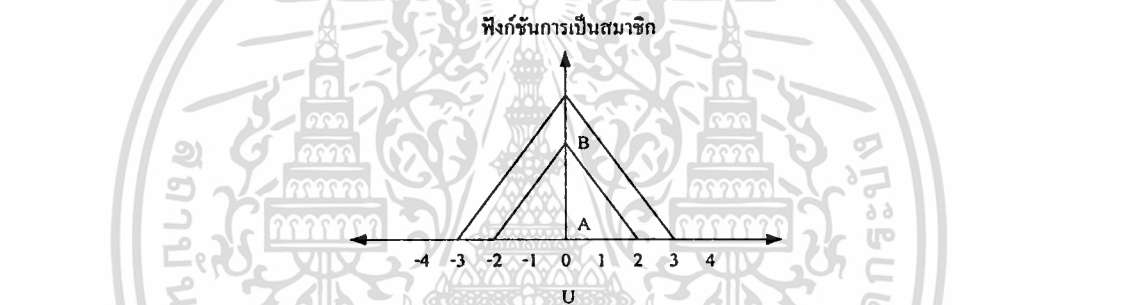
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากรูปที่ 2.2 กำหนด U เป็นเอกภพสัมพัทธ์ μ เป็นสมาชิกในเอกภพสัมพัทธ์ทั้งหมดมีค่า $\{-4,-3,-2,-1,0,1,2,3,4\}$ ฟัซซีเซต A และ B อยู่ในเอกภพสัมพัทธ์เดียวกัน และสมาชิกแต่ละตัวที่มีค่าเดียวกันกับฟัซซีเซต A และฟัซซีเซต B จะมีระดับการเป็นสมาชิกเท่ากันทุกๆ ค่าของสมาชิกแต่ละตัว ซึ่งแสดงว่าฟัซซีเซต A เท่ากับฟัซซีเซต B

2.1.4 การเป็นสับเซตของฟัซซีเซต

ฟัซซีเซต A จะเป็นสับเซตของฟัซซีเซต B ก็ต่อเมื่อ สมาชิก u ทุกตัวในเอกภพสัมพัทธ์ U มีค่าฟังก์ชันการเป็นสมาชิกของฟัซซีเซต A น้อยกว่าหรือเท่ากับค่าฟังก์ชันการเป็นสมาชิกของฟัซซีเซต B เขียนแทนด้วยสัญลักษณ์ $A \subset B$

$$(A \subset B) \Leftrightarrow (\mu_A(u) \leq \mu_B(u) : \forall u \in U) \quad (2.3)$$



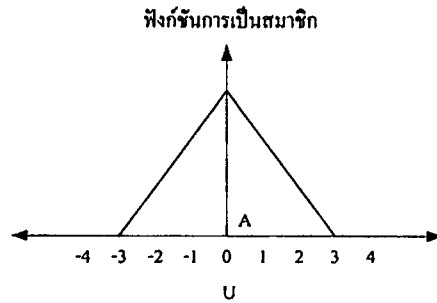
รูปที่ 2.3 การเป็นสับเซตของฟัซซีเซต

รูปที่ 2.3 จะพบว่าระดับการเป็นสมาชิกของสมาชิก u ที่ค่าเดียวกันของทั้งฟัซซีเซต A และ B ค่าระดับการเป็นสมาชิกของ A จะมีค่าน้อยกว่า B ทุกๆ ค่าของสมาชิก u ซึ่งแสดงถึงการที่ A เป็นสับเซตของ B

2.1.5 ซัพพอร์ตของฟัซซีเซต (Support: $S(A)$)

ซัพพอร์ตของฟัซซีเซต คือ เซตของสมาชิก u ในเอกภพสัมพัทธ์ U ที่มีค่าฟังก์ชันการเป็นสมาชิกของฟัซซีเซตมากกว่า 0 เขียนแทนด้วยสัญลักษณ์ ดังนี้

$$S(A) = \{ |u \in U | \mu_A(u) > 0 | \} \quad (2.4)$$

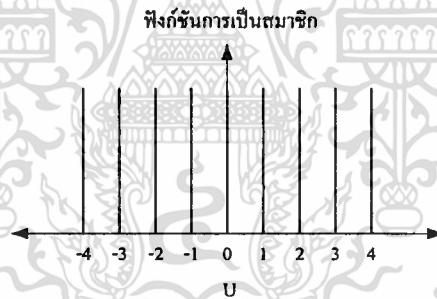


รูปที่ 2.4 ซัพพอร์ตของฟัซซีเซต

จากรูปที่ 2.4 ฟัซซีเซต A มีคุณสมบัติเป็นซัพพอร์ตเซต เมื่อค่าสมาชิก u ที่มากกว่า -3 แต่ น้อยกว่า 3 จะมีระดับการเป็นสมาชิกมากกว่า 0 แต่ถ้าตำแหน่งที่สมาชิก u มีระดับการเป็นสมาชิกเท่ากับ 0 จะไม่เป็นซัพพอร์ตเซต

2.1.6 ฟัซซีซิงเกิลตัน (Fuzzy Singleton)

ฟัซซีซิงเกิลตัน คือ ฟัซซีเซตที่มีซัพพอร์ตของเซตมีสมาชิกเพียงตัวเดียว และมีค่าฟังก์ชันการเป็นสมาชิกเท่ากับ 1



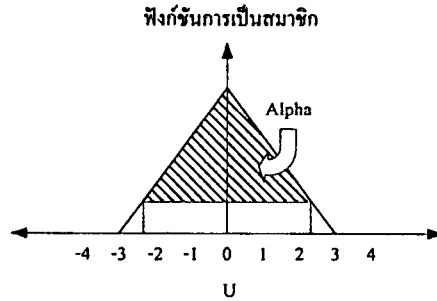
รูปที่ 2.5 ฟัซซีซิงเกิลตัน

จากรูปที่ 2.5 จะพบว่าสมาชิกของแต่ละเซตจะมีค่าเดียว และจะต้องมีระดับการเป็นสมาชิกเท่ากับ 1 ด้วย

2.1.7 เซต α -Level ของฟัซซีเซต (A_α)

เซต α -Level ของฟัซซีเซต A คือเซตของสมาชิก u ในเอกภพสัมพัทธ์ U ที่มีค่าฟังก์ชันการเป็นสมาชิกของฟัซซีเซต A มากกว่าหรือเท่ากับ α เขียนแทนด้วยสัญลักษณ์ ดังนี้

$$A_\alpha = \{u \in U \mid \mu_A(u) \geq \alpha\} \quad (2.5)$$



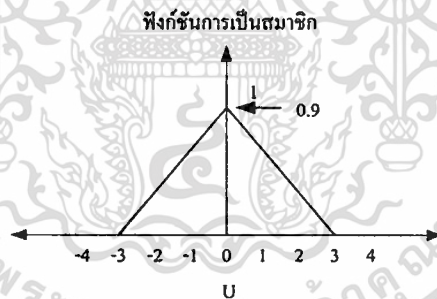
รูปที่ 2.6 α -Level ของฟัซซีเซต

จากรูปที่ 2.6 จะพบว่า α -Level ของฟัซซีเซต A จะมีสมาชิกอยู่ในช่วงมากกว่า -2.3 แต่ น้อยกว่า 2.3 ซึ่งเป็นช่วงที่มีระดับการเป็นสมาชิกมากกว่าระดับ α

2.1.8 ความสูงของฟัซซีเซต (Height of Fuzzy set)

ความสูงของฟัซซีเซต A คือ ค่าฟังก์ชันการเป็นสมาชิกสูงสุดของฟัซซีเซต A เขียนแทน ด้วยสัญลักษณ์ $hgt(A)$

$$hgt(A) = \text{MAX } \mu_A(u) \text{ เมื่อ } u \in U \quad (2.6)$$

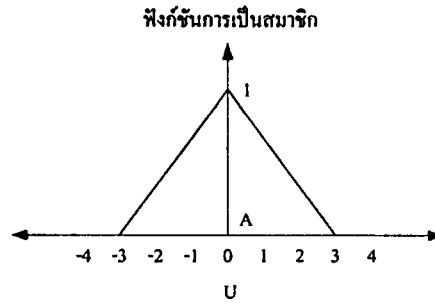


รูปที่ 2.7 ความสูงของฟัซซีเซต

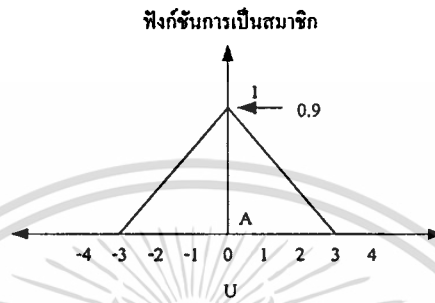
จากรูปที่ 2.7 จะพบว่าค่าสูงสุดของฟังก์ชัน การเป็นสมาชิกของฟัซซีเซต A มีค่าเท่ากับ 0.9 ซึ่งแสดงว่า ความสูงของฟัซซีเซต A มีค่าเท่ากับ 0.9

2.1.9 คุณสมบัติของนอมอลไลซ์ฟัซซีเซต (Normalization)

ฟัซซีเซต A จะมีคุณสมบัติการนอมอลไลซ์ก็ต่อเมื่อ ฟัซซีเซต A มีความสมบูรณ์เท่ากับ 1



(ก)



(ข)

รูปที่ 2.8 (ก) คุณสมบัติการนอมอลไลซ์ฟัซซีเซต

(ข) ฟัซซีเซตที่ไม่มีคุณสมบัติการนอมอลไลซ์

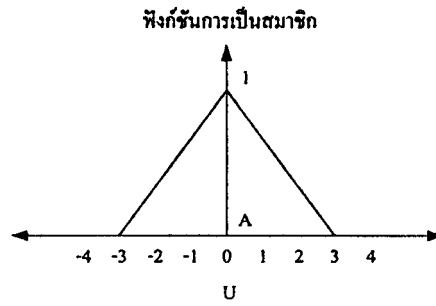
จากรูปที่ 2.8 รูป (ก) แสดงการนอมอลไลซ์ฟัซซีเซตเนื่องมาจากสมาชิกที่มีระดับการเป็นสมาชิกเท่ากับ 1 ส่วนในรูป 2.8 (ข) จะไม่มีคุณสมบัติการนอมอลไลซ์ เนื่องจากสมาชิกไม่มีระดับการเป็นสมาชิกเท่ากับ 1

2.1.10 คุณสมบัติการคอนเวกซ์ของฟัซซีเซต (CONVEXITY)

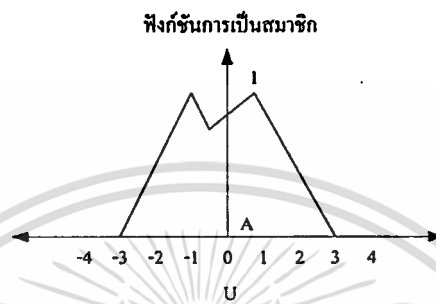
ฟัซซีเซต A จะมีคุณสมบัติการคอนเวกซ์ก็ต่อเมื่อฟังก์ชันการเป็นสมาชิกของ A สอดคล้องตามเงื่อนไขดังต่อไปนี้

$$A \text{ เป็น convexity} \leftrightarrow \mu_A(\lambda u_1 + (1-\lambda) u_2) > \text{MIN} \{ \mu_A(u_1), \mu_A(u_2) \} \text{ เมื่อ } u_1, u_2 \in U, \lambda \in [0, 1]$$

จากรูปที่ 2.9 รูป (ก) ฟัซซีเซต A จะมีคุณสมบัติของการคอนเวกซ์ก็ต่อเมื่อฟัซซีเซต มีค่าระดับการเป็นสมาชิกที่มีค่าสูงสุดเพียงค่าเดียวโดยไม่จำเป็นต้องมีความสูงเท่ากับ 1 ส่วนในรูป (ข) จะมีความสูงของระดับการเป็นสมาชิกสูงสุดมากกว่า 1 ค่า จึงไม่มีคุณสมบัติการคอนเวกซ์



(ก)



(ข)

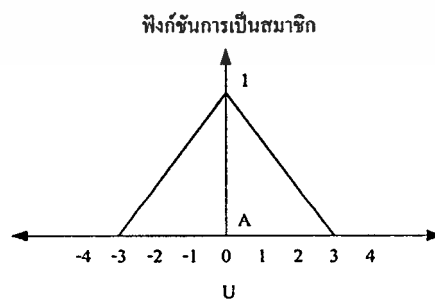
รูปที่ 2.9 (ก) การคอนแวนซ์ของฟัซซีเซต

(ข) ฟัซซีเซตที่ไม่มีคุณสมบัติการคอนแวนซ์

2.1.11 ฟัซซีนัมเบอร์ (Fuzzy Number)

ฟัซซีนัมเบอร์ คือ ฟัซซีเซตที่มีคุณสมบัติการนอมอลไลซ์และการคอนแวนซ์

จากรูปที่ 2.10 จะพบว่าฟัซซีนัมเบอร์จะเกิดขึ้นได้จะต้องมีคุณสมบัติการนอมอลไลซ์ ก็คือค่าสูงสุดของฟังก์ชันการเป็นสมาชิกจะต้องมีค่าเท่ากับ 1 และจะต้องมีคุณสมบัติการคอนแวนซ์ คือจะต้องมีค่าสูงสุดของฟังก์ชันการเป็นสมาชิกค่าเดียว ซึ่งเมื่อนำทั้งสองคุณสมบัติมารวมกันจะได้คุณสมบัติของฟัซซีนัมเบอร์ ก็จะต้องมีค่าฟังก์ชันการเป็นสมาชิกสูงสุดเท่ากับ 1 และจะต้องมีเพียงค่าเดียวในเซตนั้นๆ



รูปที่ 2.10 ฟัซซีนัมเบอร์

2.1.12 คาร์ดินาลิตีของฟัซซีเซต (Cardinality)

สเกลาร์คาร์ดินาลิตี (Scalar Cardinality) ของฟัซซีเซต A บนเอกภพสัมพัทธ์ U คือผลบวกของค่าฟังก์ชันการเป็นสมาชิกของ u ทุกตัวในฟัซซีเซต A เขียนแทนด้วยสัญลักษณ์ดังนี้

$$|A| = \sum \mu_A(u) \text{ เมื่อ } u \in U \quad (2.7)$$

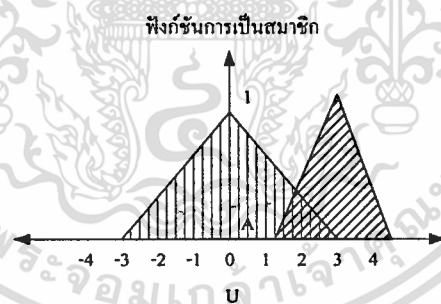
คาร์ดินาลิตีสัมพัทธ์ (Relation Cardinality) ของฟัซซีเซต A บนเอกภพสัมพัทธ์ U คืออัตราส่วนระหว่างค่าสเกลาร์คาร์ดินาลิตีของฟัซซี A เท่ากับ ค่าสเกลาร์คาร์ดินาลิตีของเอกภพสัมพัทธ์ U เขียนแทนด้วยสัญลักษณ์ $\|A\| = |A| / |U|$

2.1.13 ปฏิบัติการพื้นฐานของฟัซซีเซต (Fuzzy set operations)

กำหนดฟัซซีเซต A, B ในเอกภพสัมพัทธ์ U แสดงการกระทำ ดังนี้

2.1.13.1 ยูเนียน (Union)

$$\mu_A \cup \mu_B(u) = \mu_A(u) \vee \mu_B(u) \quad (2.8)$$

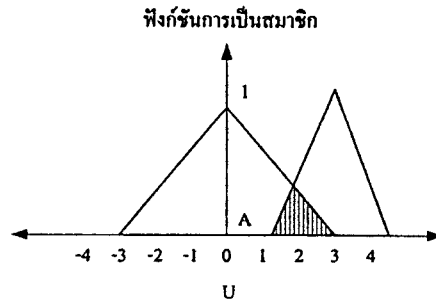


รูปที่ 2.11 การยูเนียนของฟัซซีเซต

จากรูปที่ 2.11 แสดงการยูเนียน ของฟัซซีเซต A กับ ฟัซซีเซต B โดยผลที่ได้คือ พื้นที่ที่แรเงา

2.1.13.2 อินเตอร์เซกชัน (Intersection)

$$\mu_A \cap \mu_B(u) = \mu_A(u) \wedge \mu_B(u) \quad (2.9)$$



รูปที่ 2.12 การอินเตอร์เซกชัน

จากรูปที่ 2.12 ค่าที่ได้จากการอินเตอร์เซกชันคือส่วนที่แรเงา

2.2 ทฤษฎีตรรกะฟัซซี

2.2.1 ตัวแปรลึงกวิสติก (Linguistic Variable)

ตัวแปรลึงกวิสติกคือตัวแปรทางภาษา เหตุที่เรียกว่าตัวแปรทางภาษาก็เนื่องมาจากมีการใช้ตัวแปรนี้มาทดแทนความรู้สึกของมนุษย์ ซึ่งเป็นสิ่งที่บอกขอบเขตที่แน่นอนไม่ได้ โดยสามารถนิยามตัวแปรลึงกวิสติก “Truth” ดังสมการต่อไปนี้

$$T(\text{Truth}) = \{\text{not true, very true, not very true, \dots, not false, very false, not very false, \dots}\}$$

- นิยาม เทอมปฐม (primary term) ของตัวแปรลึงกวิสติก “Truth” คือ “true” และ “false”
- นิยาม ส่วนขยาย (modifier or hedge) ของตัวแปรลึงกวิสติก คือ not, very, not very, ...
- นิยาม T คือตัวแปรลึงกวิสติก

ซึ่งจากนิยามทั้งหมดข้างต้น สามารถที่จะยกตัวอย่างตัวแปรลึงกวิสติก หรือความรู้สึกของมนุษย์ที่เกิดขึ้นในชีวิตประจำวันเป็นสมการได้ดังนี้

ถ้ามองที่ผิวของคนๆหนึ่ง สมมติว่าชื่อสมชาย จะพบว่าแต่ละความรู้สึกของคนอื่นๆ ที่มองดูผิวของสมชายแล้วบอกถึงสีที่ไม่ตรงกัน แต่สามารถที่จะแบ่งได้กว้างๆ ว่าเป็นสีขาว และสีดำ ฉะนั้นจึงสามารถที่จะกำหนดให้

- เทอมปฐม(primary term) ของตัวแปรลึงกวิสติก “ผิว” คือ “ขาว” และ”ดำ”

และเมื่อมองความรู้สึกของคนเหล่านั้น สามารถที่จะแยกความรู้สึกย่อยออกไปได้ว่า ขาวมากๆ, ขาวมาก, ขาว, ดำ, ดำมาก, ดำมากๆ ซึ่งจากข้อความตรงนี้เองที่สามารถกำหนดส่วนขยายของตัวแปรลึงกวิสติกได้คือ

- ส่วนขยาย (modifier or hedge) ของตัวแปรลึงกวิสติก คือ มากๆ, มาก, ไม่รู้สีกมากหรือน้อย ซึ่งสามารถที่จะนำมาเขียนเป็นตัวแปรลึงกวิสติกได้ดังนี้

$T(\text{ผิว}) = \{ \text{ขาวมากๆ, ขาวมาก, ขาว, ดำ, ดำมาก, ดำมากๆ} \}$

จากนิยามและตัวอย่างทั้งหมดจะสามารถนำไปใช้กำหนดคัพซเซตได้ โดยจะกำหนดได้เป็นเซตของ ขาวมากๆ, ขาวมาก, ขาว, ดำ, ดำมาก, ดำมากๆ ซึ่งรูปร่างของเซตจะต้องใช้ความชำนาญหรือข้อมูลด้านสถิติมาใช้เป็นตัวกำหนดว่าช่วงของแต่ละเซตว่าควรมีค่าระดับการเป็นสมาชิกเท่าใดซึ่งจะทำให้เกิดรูปร่างของสติดินั้นขึ้นมา

2.2.2 ทฤษฎีตรรกศาสตร์แบบเดิม

ทฤษฎีตรรกศาสตร์ซึ่งเป็นหลักการพื้นฐานของการหาข้อสรุปโดยใช้เหตุผล ประกอบด้วย 3 ส่วน คือ ค่าความจริง (Truth value) การปฏิบัติการ (Operation) และวิธีการหาข้อสรุปตามหลักเหตุผล (Reasoning procedure) ในตรรกศาสตร์บูลีนได้นิยามส่วนประกอบแต่ละส่วนประกอบดังนี้

2.2.2.1 ค่าความจริงของประพจน์ในตรรกศาสตร์บูลีน

นิยามของประพจน์ คือ ข้อความที่บ่งบอกได้ว่าสิ่งที่สนใจอยู่นั้นเป็นความจริงหรือเท็จ โดยที่ประพจน์ในตรรกศาสตร์บูลีน จะมีค่าความจริงเท่ากับ 0 เมื่อประพจน์เป็นเท็จ และ จะมีค่าความจริงเท่ากับ 1 เมื่อประพจน์เป็นจริง

2.2.2.2 ปฏิบัติการทางตรรกศาสตร์บูลีน

ปฏิบัติการทางตรรกศาสตร์บูลีน คือ การกระทำทางลอจิกของประพจน์ซึ่งผลของการกระทำจะแสดงออกมาในรูปของค่าความจริงของประพจน์โดยตัวกระทำพื้นฐานมีดังนี้

ตัวกระทำ	“และ”	ใช้สัญลักษณ์	\wedge
ตัวกระทำ	“หรือ	ใช้สัญลักษณ์	\vee
ตัวกระทำ	“ถ้า...แล้ว”	ใช้สัญลักษณ์	\rightarrow
ตัวกระทำ	“...ก็ต่อเมื่อ...”	ใช้สัญลักษณ์	\leftrightarrow
ตัวกระทำ	“ตรงข้าม”	ใช้สัญลักษณ์	\neg

2.2.2.3 การหาข้อสรุปตามหลักการเหตุผล

การหาข้อสรุปตามหลักการเหตุผลโดยใช้ทฤษฎีตรรกศาสตร์แบบเดิม จะใช้สัจนิรันดร์ (tautology) สำหรับเป็นพื้นฐานในการหาข้อสรุป

โดยนิยามของสัจนิรันดร์ คือ ประพจน์ที่มีค่าความจริงเป็นจริงเสมอ ตัวอย่างสัจนิรันดร์ที่ใช้เป็นพื้นฐานในการหาข้อสรุปตามหลักการและเหตุผล (forward data-driven) แสดงดังนี้

Modus ponens : $A \wedge (A \rightarrow B) \rightarrow B$

ซึ่งเงื่อนไขของ Modus ponens สามารถอธิบายได้ดังนี้

Modus ponens เป็นพื้นฐานของการหาข้อสรุป โดยการแจกแจงจากเหตุสู่ผลของตรรกศาสตร์แบบเดิม โดยการแจกแจงจากเหตุสู่ผล กำหนดให้

A แทน หลักฐาน (Premise) ที่หาได้

B แทน ข้อสรุป (conclusion) ที่ได้

สามารถเขียนการแจกแจงจากเหตุสู่ผล ได้คือ

IF A THEN B หรือ $A \rightarrow B$ หรือ A หลักฐาน (Premise)

$A \rightarrow B$ การแจกแจงเหตุสู่ผล (Implication)

B ข้อสรุป (Conclusion)

หมายความว่า ถ้ามีเหตุการณ์ใดเหตุการณ์หนึ่งเกิดขึ้นเป็นเหตุการณ์ A ที่เหมือนกับเหตุการณ์ A ที่อยู่ใน $(A \rightarrow B)$ แล้ว ผลของการเกิดเหตุการณ์นี้จะได้ผลเท่ากับ B แต่ถ้าเหตุการณ์ที่เกิดขึ้นไม่เหมือนกับเหตุการณ์ A ที่อยู่ใน $(A \rightarrow B)$ แล้วผลลัพธ์ที่จะได้ไม่เท่ากับ B ซึ่งเป็นตัวอย่างที่แสดงให้เห็นถึงการหาข้อสรุปจากเหตุที่เกิดไปสู่ผลที่จะได้

2.2.3 ทฤษฎีตรรกะฟัซซี

ตรรกะฟัซซีเป็นทฤษฎีทางตรรกศาสตร์ ที่ขยายมาจากทฤษฎีตรรกศาสตร์หลายค่า (Multivalued logic) โดยนิยามค่าความจริงของประพจน์เป็นตัวแปรลิงกวิสติก ได้มีการนิยามการปฏิบัติการทางตรรกศาสตร์สำหรับตรรกะฟัซซีไว้ต่างๆ กันโดยในวิทยานิพนธ์นี้ จะอ้างอิงนิยามดั้งเดิมของ Zadeh

2.2.3.1 ค่าความจริงของประพจน์ในทฤษฎีตรรกะฟัซซี

กำหนดให้ $v(A)$ เป็นฟัซซีเซตในเอกภพสัมพัทธ์ V

โดย v_i จะแทนค่าความจริงในประพจน์ A

ซึ่ง V จะแทนเอกภพสัมพัทธ์ $V = [0, 1]$

ในที่นี้หมายความว่าประพจน์ A จะมีค่าความจริงอยู่ในช่วงของเอกภพสัมพัทธ์คือ 0 ถึง 1 ซึ่งต่างจากประพจน์ของเซตเดิมที่มีค่า 2 ค่า คือ 0 และ 1

จะได้ว่า $v(A) = \{(v_i, \mu) \mid i = 1, 2, \dots, n; v_i \in [0, 1]\}$

เอกสารนี้เป็นเอกสารที่สงวน $v(\text{not } A) = \{(1 - v_i, \mu) \mid i = 1, 2, \dots, n; v_i \in [0, 1]\}$ ไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้คัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.2.3.2 การหาข้อสรุปตามหลักการเหตุผลโดยใช้ทฤษฎีตรรกะฟัซซี

การหาข้อสรุปตามเหตุผล โดยใช้ทฤษฎีตรรกะฟัซซี จะเป็นการขยายนิยามของสัจนิรันดร์ที่ใช้ในตรรกศาสตร์แบบเดิม เพื่อใช้หาข้อสรุปตามหลักการเหตุผลของประพจน์ที่เป็นฟัซซีเซต โดยนำการขยายนิยามของ Modus Ponens สำหรับฟัซซีลอจิกเรียกว่า “Generalized Modus Ponens: GMP” โดย GMP คือ การหาข้อสรุปจากเหตุไปหาผล (forward data-driven) ซึ่งการหาข้อสรุปของฟัซซีโดยนำหลักการของตรรกศาสตร์แบบเดิมมาใช้ นั้น จะมีหลักการคล้ายกันคือกำหนดให้

$A1$ แทนหลักฐานแบบฟัซซี (Fuzzy Premise)

$A2 \rightarrow B$ แทนการแจกแจงเหตุสู่ผลแบบฟัซซี (Fuzzy Implication)

$A1 \circ (A2 \rightarrow B)$ แทนข้อสรุปแบบฟัซซี (Fuzzy Conclusion)

ซึ่งจากข้อกำหนดข้างต้นมีความหมายว่าเหตุการณ์ $A1$ ที่เกิดขึ้นซึ่งเป็นหลักฐานแบบฟัซซีไม่จำเป็นต้องเหมือนกับเหตุการณ์ $A2$ ใน $(A2 \rightarrow B)$ ทุกประการ ฉะนั้นข้อสรุปแบบฟัซซีจึงต้องทำการคอมโพสิชัน (composition (\circ)) ระหว่าง $A1$ และ $(A2 \rightarrow B)$ จึงจะได้ข้อสรุปแบบฟัซซีออกมา

2.2.4 ความสัมพันธ์ฟัซซี (Fuzzy Relation)

2.2.4.1 ผลคูณคาร์ทีเซียน (Cartesian product)

กำหนดให้ A_1, \dots, A_n เป็นฟัซซีเซตในเอกภพสัมพัทธ์ U_1, \dots, U_n

โดยที่ $u_1, \dots, u_n \in U_1, \dots, U_n$

ผลคูณคาร์ทีเซียนของ A_1, \dots, A_n คือ ฟัซซีเซตในเอกภพสัมพัทธ์ $U_1 \times \dots \times U_n$ ที่มีฟังก์ชันการเป็นสมาชิกดังนี้

$$\mu_{A_1 \times \dots \times A_n}(u_1, \dots, u_n) = \text{MIN} \{ \mu_{A_1}(u_1), \dots, \mu_{A_n}(u_n) \}$$

ตัวอย่างถ้า $A_1 = \{(1, 0.2), (2, 0.5), (3, 1.0), (4, 0.6)\}$

$$A_2 = \{(4, 0.1), (5, 0.4), (6, 1.9), (7, 0.3)\}$$

ผลคูณคาร์ทีเซียน ของ $A_1 \times A_2$ หาได้จาก

$$\text{โดย } \mu_{A_1 \times A_2} = \text{MIN} \{ \mu_{A_1}(u_1), \dots, \mu_{A_2}(u_2) \}$$

โดย u_1, u_2 แทนสมาชิกของเซต A_1 และ A_2 ตามลำดับ

ซึ่งจากรูปที่ 2.13 แสดงการหาความสัมพันธ์ของ $A_1 \times A_2$ ซึ่งในการหาความสัมพันธ์ดังในรูปจะใช้วิธีคำนวณโดยใช้ผลคูณคาร์ทีเซียน ซึ่งจะจับคู่ของระดับการเป็นสมาชิกทุกคู่ ซึ่งในแต่ละคู่จะเลือกใช้เฉพาะค่าที่มีค่าน้อยเป็นคำตอบ

$$A_1 \times A_2 = A_1$$

$A_1 \backslash A_2$	4	5	6	7
1	0.1	0.2	0.2	0.2
2	0.1	0.4	0.5	0.3
3	0.1	0.4	0.9	0.3
4	0.1	0.4	0.6	0.3

รูปที่ 2.13 ความสัมพันธ์ฟัซซี

2.2.4.2 ความสัมพันธ์ฟัซซี

กำหนดให้ R เป็นความสัมพันธ์ฟัซซีจากเซต A ไปยังฟัซซีเซต B

โดยที่ A เป็นฟัซซีเซตในเอกภพสัมพัทธ์ U

และ B เป็นฟัซซีเซตในเอกภพสัมพัทธ์ V

จะได้ว่า $R(u \times v) = A \times B = \{(u, v), \mu_R(u, v) \mid (u, v) \in U \times V\}$

$$\mu_R(u \times v) = \mu_A \times B(u, v) = \text{MIN} \{ \mu_A(u), \mu_B(v) \} \text{ MIN - intersection}$$

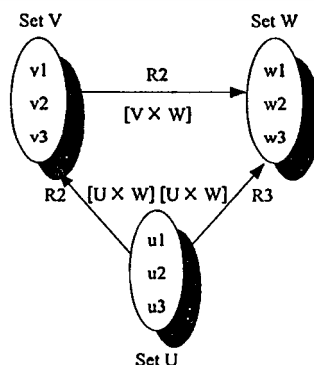
โดยที่ MIN - intersection คือการปฏิบัติอินเตอร์เซกชันของฟัซซี โดยจะมีหลักการปฏิบัติการ คือ จะทำการเลือกค่าระดับการเป็นสมาชิกที่มีค่าต่ำสุด ที่อยู่ในขอบเขตที่พิจารณา

2.2.5 การคอมโพสิชันแบบฟัซซี (Fuzzy Composition)

กำหนดให้ $R_1(u, v)$ เป็นความสัมพันธ์จากเอกภพสัมพัทธ์ U ไป V โดยที่ $(u, v) \in U \times V$

และ $R_2(v, w)$ เป็นความสัมพันธ์จากเอกภพสัมพัทธ์ V ไป W โดยที่ $(v, w) \in V \times W$

การคอมโพสิชัน คือ ปฏิบัติการในการหาความสัมพันธ์ $R_3(u, w)$ จากความสัมพันธ์ที่ถ่ายทอดต่อเนื่องกันเป็นลูกโซ่ $R_1(u, v)$ และ $R_2(v, w)$



รูปที่ 2.14 การคอมโพสิชันของความสัมพันธ์ฟัซซี

กำหนดให้ $R_1(u, v)$ เป็นความสัมพันธ์ฟัซซีบนระนาบ $U \times V$ โดยที่ $(u, v) \in U \times V$

$R_2(u, v)$ เป็นความสัมพันธ์ฟัซซีบนระนาบ $V \times W$ โดยที่ $(v, w) \in V \times W$

การคอมโพสิชันของความสัมพันธ์ฟัซซีที่ใช้ในปริภูมิพจน์นี้และเป็นวิธีการที่นิยมมากที่สุด โดยจะใช้วิธีการของ MAX – MIN Composition ซึ่ง Composition แต่ละแบบถูกนิยามดังนี้

MAX – MIN Composition

$$R_3 = R_1 \circ R_2 = \{((u, w), \text{MAX} \{ \text{MIN}[\mu_{R_1}(u, v), \mu_{R_2}(v, w)] \}) \mid u \in U, v \in V, w \in W, v \in V\}$$

Max-Product Composition

$$R_3 = R_1 * R_2 = \{((u, w), \text{MAX} \{ \mu_{R_1}(u, v) \cdot \mu_{R_2}(v, w) \}) \mid u \in U, v \in V, w \in W\}$$

Max-Average Composition

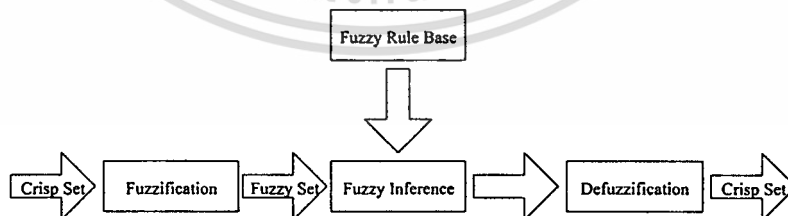
$$R_3 = R_1 \text{ av } R_2 = \{((u, w), \text{MAX} \{ (\mu_{R_1}(u, v) + \mu_{R_2}(v, w)) / 2 \}) \mid u \in U, v \in V, w \in W\}$$

Min-Max Composition

$$R_3 = R_1 \bullet R_2 = \{((u, w), \text{MIN} \{ \text{MAX}[\mu_{R_1}(u, v), \mu_{R_2}(v, w)] \}) \mid u \in U, v \in V, w \in W\}$$

2.3 ตัวควบคุมฟัซซี

โครงสร้างของตัวควบคุมฟัซซีประกอบด้วย 4 ส่วนคือ ส่วนกฎการควบคุม (Fuzzy rule base) ส่วนฟัซซีฟิเคชัน (Fuzzification unit) ส่วนอินเฟอร์เรนซ์ (Inference unit) และ ส่วนดีฟัซซีฟิเคชัน (Defuzzification unit) ดังแสดงในรูปที่ 2.15 โดยแต่ละส่วนจะมีหลักการทำงานดังนี้



รูปที่ 2.15 โครงสร้างพื้นฐานของตัวควบคุมฟัซซี

2.3.1 กฎการควบคุมฟัซซี(Fuzzy Rule Base)

กฎการควบคุมฟัซซี เป็นหน่วยที่รวบรวมกฎการควบคุมแบบฟัซซีซึ่งอยู่ในรูปแบบ IF...THEN กำหนดให้กฎการควบคุมอยู่ในรูปแบบดังต่อไปนี้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้คัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

IF x_1 is X_1^k and ... and x_m is X_m^k THEN y is Y^k

หรือ IF x is X^k THEN y is Y^k ; $k = 1, 2, 3, \dots, m$

โดยที่ x คือ ตัวแปรสถานะของกระบวนการ ซึ่งใช้เป็นอินพุตของตัวควบคุมฟัซซี

$$x = [x_1, \dots, x_m]$$

X^k คือ ฟัซซีเซตของตัวแปรอินพุต ในส่วนเหตุของกฎการควบคุม

$$X^k = X_1^k \times \dots \times X_m^k$$

m คือ จำนวนตัวแปรอินพุตของตัวควบคุม

y คือ ตัวแปรเอาต์พุตของตัวควบคุมฟัซซี

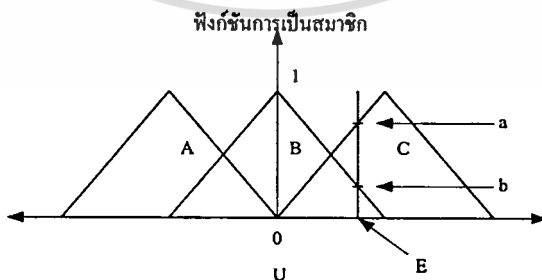
Y^k คือ ฟัซซีเซตของตัวแปรเอาต์พุตในส่วนผลของกฎการควบคุมที่ k

M คือ จำนวนกฎการควบคุมทั้งหมดในฐานกฎการควบคุม

ซึ่งจากคำจำกัดความในรูปสมการข้างต้น สามารถอธิบายได้ว่ากฎการควบคุมจะถูกกำหนดตามเงื่อนไข ถ้า...แล้ว

2.3.2 การฟัซซีฟิเคชัน (Fuzzification)

การฟัซซีฟิเคชัน คือ กระบวนการหาค่าฟัซซีเซตบนเอกภพสัมพัทธ์ U ของอินพุต เพื่อเป็นตัวแทนของอินพุต ซึ่งมีค่าเป็นตัวเลขสำหรับใช้เป็นอินพุตของระบบฟัซซี หรืออีกนัยหนึ่งคือการแปลงค่าตัวแปรของกระบวนการให้เป็นตัวแปรของฟัซซี โดยค่าของฟัซซีจะเป็นค่าตัวเลขที่ได้จากฟัซซีเซตบนเอกภพสัมพัทธ์ U ซึ่งการฟัซซีฟิเคชันจะสามารถกระทำได้หลายวิธี เช่น การฟัซซีฟิเคชันโดยใช้ฟัซซีซิงเกิลตัน, การฟัซซีฟิเคชันโดยใช้ฟัซซินัมเบอร์, การฟัซซีฟิเคชันโดยใช้ไฮบริด นัมเบอร์ ซึ่งในวิทยานิพนธ์นี้จะกล่าวเฉพาะในส่วนของการฟัซซีฟิเคชันโดยใช้ฟัซซีซิงเกิลตัน ซึ่งสามารถแสดงการกระทำได้ดังนี้



รูปที่ 2.16 การฟัซซีฟิเคชันแบบซิงเกิลตัน

โดยที่ E เป็นฟัซซีซิงเกิลตัน ซึ่งมี $S(E) = \{u_0\}$

$$\mu_E(u) = 1; u = u_0$$

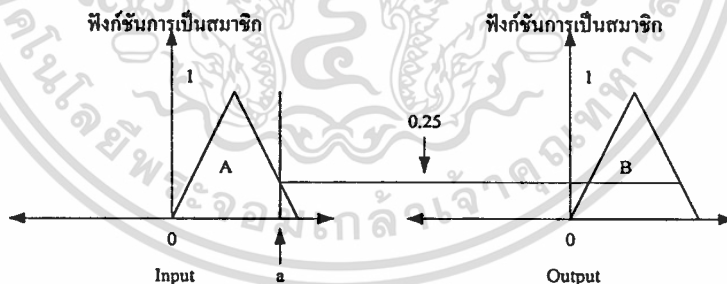
$$\mu_E(u) = 0; u \neq u_0$$

จากรูปที่ 2.16 สามารถแสดงให้เห็นได้ว่าการหาฟัซซีเฟเคชันด้วยการฟัซซีซิงเกิลตันนั้น จะใช้หลักการอินเตอร์เซกชันระหว่างกลุ่มเซตทางอินพุตที่ถูกกำหนดขึ้นกับเซตแบบซิงเกิลตันซึ่ง จากรูปจะเห็นได้ว่าการกำหนดให้กลุ่มเซตทางอินพุตประกอบด้วยเซต A , B และ C ซึ่งเป็นฟัซซีเซตแบบฟัซซีเซตนิ้มเบอร์ และเซตที่จะถูกนำมาอินเตอร์เซกชันคือเซต E ที่เป็นเซตแบบซิงเกิลตัน ซึ่งจะเกิดขึ้นในตำแหน่งที่มีอินพุตเข้ามา ซึ่งเมื่อทำการอินเตอร์เซกชันหรือการซ้อนทับกันจะทำให้เกิดจุดซ้อนทับกัน 2 จุด คือ จุด a ซึ่งเป็นจุดที่เซต E ซ้อนทับกับเซต C และจุด b ซึ่งเป็นจุดที่เซต E ซ้อนทับกับเซต B ซึ่งทั้งจุด a และ จุด b จะเป็นค่าระดับการเป็นสมาชิกที่จะนำมาใช้เป็นตัวแทนทางอินพุต

2.3.3 การอินเฟอเรนซ์แบบฟัซซี (Fuzzy Inference)

การอินเฟอเรนซ์ คือกระบวนการในการหาข้อสรุป (conclusion) จากหลักฐาน (premise) ซึ่งในกระบวนการอินเฟอเรนซ์หลักฐานที่จะนำมาใช้จะได้มาจากส่วนของกฎการควบคุมที่ถูกกำหนดขึ้นมาจากความชำนาญ

จากรูปที่ 2.17 ถ้าส่วนกำหนดกฎการควบคุมกำหนดไว้ว่า ถ้ามีข้อมูลอินพุตเข้ามาที่เซต A ค่าเอาต์พุตที่ได้จะต้องเป็นเซต B ซึ่งจากหลักฐานนี้เองทำให้หน่วยอินเฟอเรนซ์สามารถที่จะหาข้อสรุปออกมาได้โดยให้อินพุต a อยู่ในช่วงสมาชิกของเซต A จึงสามารถที่จะระบุได้เลยว่า ข้อมูลที่ได้จะต้องเป็นสมาชิกของเซต B ซึ่งในรูปจะเห็นได้ว่าการที่สมาชิกแต่ละตัวมีระดับการเป็นสมาชิกไม่เท่ากันจึงทำให้ข้อสรุปจะต้องขึ้นอยู่กับระดับการเป็นสมาชิกของเซตด้วย



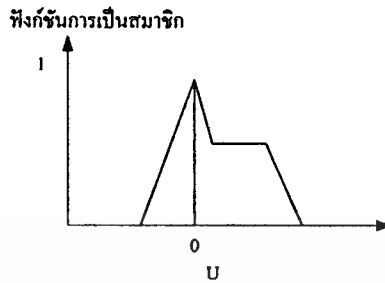
รูปที่ 2.17 การอินเฟอเรนซ์แบบฟัซซี

2.3.4 การดีฟัซซีเฟเคชัน (Defuzzification)

การดีฟัซซีเฟเคชัน คือกระบวนการหาค่าเอาต์พุตเพียงค่าเดียว (ซิงเกิลตัน) ที่เหมาะสมที่สุดเพื่อเป็นตัวแทนของฟัซซีเอาต์พุต โดยที่ค่าที่ได้จะกระจายอยู่บนเอกภพสัมพัทธ์ของเอาต์พุตนั้น หรือจะกล่าวอีกลักษณะหนึ่งคือการแปลงค่าตัวแปรทางฟัซซีให้เป็นตัวแปรของกระบวนการที่จะนำไปควบคุมกระบวนการต่อไป โดยการดีฟัซซีเฟเคชันจะสามารถกระทำได้หลายวิธีดังต่อไปนี้

2.3.4.1 การหาค่าระดับการเป็นสมาชิกสูงสุด (Max - membership principle)

ซึ่งรู้จักในชื่อของ Height method ซึ่งวิธีนี้จะใช้วิธีการหาค่าโดยเลือกค่าเอาต์พุตที่มีค่าระดับการเป็นสมาชิกสูงสุดเพียงค่าเดียว

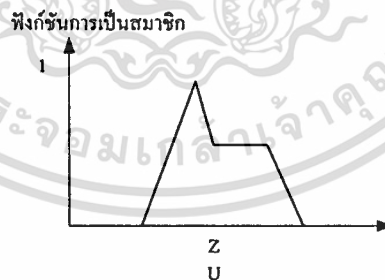


รูปที่ 2.18 การดีฟัซซิฟิเคชันโดยใช้วิธีการหาค่าระดับการเป็นสมาชิกสูงสุด

จากรูปที่ 2.18 จะแสดงถึงเซตเอาต์พุตที่ได้มาจากหน่วยอินเฟอร์เรนซ์ ซึ่งจะเห็นได้ว่าค่าเอาต์พุตมีระดับการเป็นสมาชิกสูงสุด คือค่า u ซึ่งก็คือค่าที่เป็นตัวแทนของเอาต์พุตนั่นเอง

2.3.4.2 การหาค่าจุดศูนย์กลางของฟัซซี (Centroid method)

รูปที่ 2.19 จะเห็นได้ว่าการหาค่าเอาต์พุตของการดีฟัซซิฟิเคชันด้วยวิธีการหาจุดศูนย์กลางของฟัซซีจะเป็นการหาจุดศูนย์กลางของพื้นที่ซึ่งได้มาจากการอินเฟอร์เรนซ์ โดยคำตอบของการดีฟัซซิฟิเคชันที่ได้คือ Z ซึ่งถ้ากำหนดให้ C เป็นเซตเอาต์พุต จะสามารถหาค่า Z ได้จาก สมการต่อไปนี้



รูปที่ 2.19 การดีฟัซซิฟิเคชันโดยใช้วิธีการหาจุดศูนย์กลางของฟัซซี

$$Z = \frac{\int \mu_c(u) \cdot u \cdot du}{\int \mu_c(u) du} \quad (2.10)$$

กำหนดให้ C คือ เซตเอาต์พุต

μ คือ สมาชิกของเอกภพสัมพัทธ์ทางเอาต์พุต

Z คือ ค่าที่ได้จากการดีฟัซซิฟิเคชัน

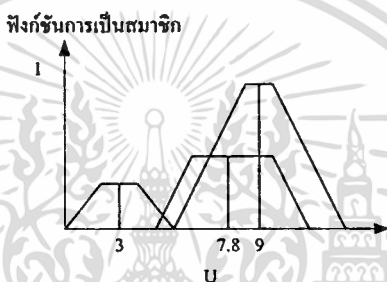
เอกสารนี้เป็นเอกสารที่สงวนลิขสิทธิ์ไว้เพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.3.4.3 การหาค่าเฉลี่ยของค่าถ่วงน้ำหนัก (Weighted average method)

จะเป็นวิธีหาค่าเอาต์พุตที่เหมาะสม ซึ่งหาค่าได้จากสมการ

$$v_o = \frac{\sum \mu_B(v)v}{\sum \mu_B(v)} \tag{2.11}$$

- กำหนดให้ B คือ เซตเอาต์พุต
- v คือ สมาชิกของเอกภพสัมพัทธ์เอาต์พุต
- v_o คือ ค่าจากการดีฟัซซิฟิเคชัน



รูปที่ 2.20 แสดงการดีฟัซซิฟิเคชันด้วยการหาค่าเฉลี่ยของค่าถ่วงน้ำหนัก

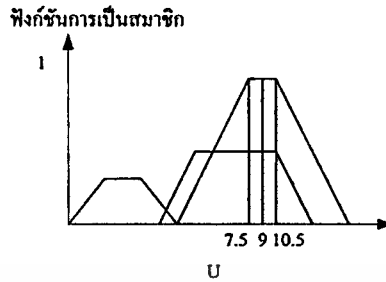
ในการใช้วิธีหาค่าเฉลี่ยของค่าถ่วงน้ำหนักมาทำการดีฟัซซิฟิเคชัน โดยจากรูปที่ 2.20 จะพบได้วก่อนที่จะทำการหาค่าเฉลี่ยของค่าถ่วงน้ำหนักจะต้องแยกกลุ่มเซตเอาต์พุตที่จะนำมาดีฟัซซิฟิเคชันว่าประกอบด้วยเซตใดบ้างซึ่งในรูป 2.20 สมมติว่าประกอบด้วยเซต A, B, C ขึ้นตอนต่อไปของหาค่าดีฟัซซิฟิเคชันด้วยวิธีนี้ โดยการหาค่ากลางของสมาชิกแต่ละเซตซึ่งจากรูปคือตำแหน่งที่ลากเส้นประลงมาในแต่ละเซตแล้วนำค่ากลางในแต่ละเซตที่ได้คูณกับค่าระดับการเป็นสมาชิกของค่ากลาง หรือค่าสมาชิกที่เกิดค่ากลางนั้นๆ แล้วจึงนำค่าที่ได้ของแต่ละเซตมาบวกเข้าด้วยกันแล้วจึงนำผลบวกที่ได้มาหารด้วยผลรวมของระดับการเป็นสมาชิกที่ตำแหน่งค่ากลางของทุกเซตซึ่งค่าที่ได้จึงเป็นคำตอบของการดีฟัซซิฟิเคชันด้วยวิธีนี้ ซึ่งจากในรูปค่ากลางของแต่ละเซตคือ 3, 7.8 และ 9

2.3.4.4 การหาค่ากลางสูงสุด (Mean-max-membership)

เป็นการหาค่ากลางของค่าสูงสุดของระดับการเป็นสมาชิกที่ตำแหน่งสูงสุด

การหาดีฟัซซิฟิเคชันด้วยวิธีนี้จะเป็นการแก้ปัญหาที่เกิดจากการที่เซตที่จะนำมาทำการดีฟัซซิฟิเคชันมีค่าระดับการเป็นสมาชิกสูงสุดอยู่หลายค่าซึ่งการหาค่าดีฟัซซิฟิเคชันด้วยวิธีการของการหาค่าสูงสุดไม่สามารถกระทำได้ซึ่งจากรูปที่ 2.21 จะพบว่าเซตมีค่าระดับการเป็นสมาชิกสูงสุดอยู่หลายค่าจึงต้องใช้วิธีการหาค่ากลางอยู่หลายค่าจึงต้องใช้วิธีการหาค่ากลางของค่าสูงสุดมาทำการดีฟัซซิฟิเคชัน

ซึ่งในการหาค่ากลางจะหาค่าเฉพาะช่วงที่มีค่าสูงสุดตามเส้นประที่ลากลงมาตั้งในรูปซึ่งจะทำให้ได้ค่าการคิพีชซีออกมา



รูปที่ 2.21 การคิพีชซีพีเคชัน โดยการหาค่ากลางสูงสุด

2.4 พีไอดี

ตัวควบคุมพีไอดี เป็นตัวควบคุมที่ได้รับการนำมาประยุกต์ใช้ในภาคอุตสาหกรรมตั้งแต่ปี ค.ศ. 1939 [10] และยังคงได้รับการประยุกต์ใช้กันอย่างกว้างขวางจนถึงปัจจุบัน ตัวควบคุมพีไอดี ประกอบด้วยองค์ประกอบพี (P – Element) หรือพรีอพอชันนัลเทอม (Proportional term), องค์ประกอบไอ (I – Element) หรืออินทิกรัลเทอม (Integral term) และองค์ประกอบดี (D – Element) หรือเดริเวทีฟเทอม (Derivative term) ซึ่งสามารถเขียนฟังก์ชันการถ่ายโอน (Transfer function) ของพีไอดีได้เป็น

$$G(S) = K_p + \frac{K_i}{S} + K_d S \quad (2.12)$$

เมื่อ $G(S)$ คือ ฟังก์ชันการถ่ายโอนของตัวควบคุมพีไอดี

K_p คือ เกนของพรีอพอชันนัลเทอม (Proportional gain)

K_i คือ เกนของอินทิกรัลเทอม (Integral gain)

K_d คือ เกนของเดริเวทีฟเทอม (Derivative gain)

บางครั้งฟังก์ชันการถ่ายโอนของตัวควบคุมพีไอดีสามารถเขียนได้เป็น

$$G(S) = K_c \left(1 + \frac{1}{\tau_i S} + \tau_d S \right) \quad (2.13)$$

เมื่อ K_c คือ เกนของตัวควบคุม (Gain of controller)

τ_i คือ ค่าคงที่เวลาของอินทิกรัลเทอม (Integral time constant)

τ_d คือ ค่าคงที่เวลาของเดริเวทีฟเทอม (Derivative time constant)

เมื่อนำทั้งสองสมการมาเปรียบเทียบกันจะพบว่า

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับใช้เพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$\begin{aligned}
 K_p &= K_c \\
 K_i &= \frac{K_c}{\tau_i} \\
 K_d &= K_c \tau_d
 \end{aligned}
 \tag{2.14}$$

สามารถพิจารณาแต่ละองค์ประกอบของตัวควบคุมพีไอดี ได้ดังต่อไปนี้

2.4.1 องค์ประกอบพี (P-Element)

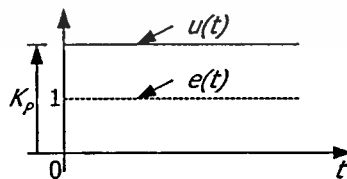
สัญญาณเอาต์พุตขององค์ประกอบพีจะมีลักษณะเป็นสัดส่วนตรงกับสัญญาณอินพุต ซึ่งมีฟังก์ชันการถ่ายโอน ขององค์ประกอบพีคือ K_p ถ้ากำหนดให้ $e(t)$ เป็นตัวแปรอินพุต และ $u(t)$ เป็นตัวแปรเอาต์พุต จะได้ดังสมการที่ (2.15)

$$\begin{aligned}
 u(t) &= K_p e(t) \\
 U(S) &= K_p E(S)
 \end{aligned}
 \tag{2.15}$$

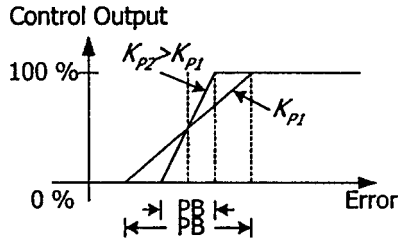
ฟังก์ชันการถ่ายโอนเขียนได้ดังสมการที่ (2.16)

$$\frac{U(S)}{E(S)} = K_p = K_c
 \tag{2.16}$$

ถ้าอินพุต $e(t)$ มีลักษณะเป็น unit step เอาต์พุต $u(t)$ จะมีลักษณะเป็น step เช่นกันแต่ขนาดจะขึ้นอยู่กับ K_p ดังแสดงในรูปที่ 2.22 ส่วนในรูปที่ 2.23 แสดงคุณสมบัติของตัวควบคุมแบบพี



รูปที่ 2.22 ผลตอบสนองของตัวควบคุมแบบพีเมื่ออินพุตเป็น Unit step



รูปที่ 2.23 คุณสมบัติของตัวควบคุมแบบ P

จากรูปที่ 2.23 แสดงได้ว่าเมื่อค่าผิดพลาดเพิ่มขึ้นค่าเอาต์พุต จะเพิ่มขึ้นตามขนาดของ K_p แต่เมื่อค่าเอาต์พุตเพิ่มมากขึ้นมากๆ จะทำให้ค่าเอาต์พุตเกิดการอิ่มตัวไม่สามารถเพิ่มขึ้นได้อีก ในกรณีตรงข้ามคือถ้าค่าความผิดพลาดลดลงมากๆ ก็จะทำให้เอาต์พุตเกิดการอิ่มตัวไม่สามารถลดลงได้อีก ช่วงอิ่มตัวนี้คือช่วง Proportional Band (PB) โดยค่า PB จะมีผลต่ออัตราขยายของตัวควบคุมคือเมื่อ PB สูงขึ้นค่าอัตราขยายของตัวควบคุมจะลดลง เนื่องจาก $K_p = 100/PB$

2.4.2 องค์ประกอบไอ (I – element)

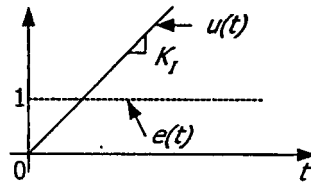
องค์ประกอบไอมี่ชื่อเรียกอีกอย่างหนึ่งว่าการควบคุมแบบรีเซ็ต (Reset control) โดยการควบคุมจะพิจารณาค่าความคลาดเคลื่อนที่เกิดขึ้นทั้งหมด ซึ่งการหาค่าความคลาดเคลื่อนในการควบคุมแบบ I นี้จะต้องหาค่าพื้นที่ทั้งหมดภายใต้กราฟของค่าความคลาดเคลื่อนต่อเวลา จากนั้นคูณกับค่าคงที่ ที่เรียกว่า อัตราขยายของตัวควบคุมแบบ I (Integral gain) เพื่อหาค่าเอาต์พุตดังสมการที่ (2.17)

$$u(t) = K_i \int e(t) dt = \frac{K_c}{\tau_i} \int e(t) dt \quad (2.17)$$

และสามารถเขียนฟังก์ชันการถ่ายโอนแสดงได้ดังสมการที่ (2.18)

$$\frac{U(S)}{E(S)} = \frac{K_i}{S} \quad (2.18)$$

ถ้าอินพุต $e(t)$ มีลักษณะเป็น unit step เอาต์พุต $u(t)$ จะมีลักษณะเป็น ramp ที่ค่าความชันขึ้นอยู่กับ K_i ดังแสดงในรูปที่ 2.24



รูปที่ 2.24 ผลตอบสนองของตัวควบคุมแบบไอเมื่ออินพุตเป็น unit step

2.4.3 องค์ประกอบดี (D – element)

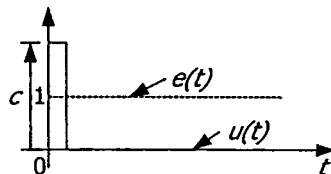
องค์ประกอบ D เอาต์พุตของตัวควบคุมจะขึ้นอยู่กับอัตราการเปลี่ยนแปลงของค่าความคลาดเคลื่อนต่อเวลา จะเห็นว่าค่าความคลาดเคลื่อนนี้มีโอกาสเป็นศูนย์ได้ และค่าเอาต์พุตก็สามารถเปลี่ยนแปลงให้มีค่าสูงขึ้น เมื่อความคลาดเคลื่อนเปลี่ยนแปลง ซึ่งอัตราการเปลี่ยนแปลงของค่าความคลาดเคลื่อนสามารถประมาณได้โดยการหาค่าความแตกต่างระหว่างค่าความคลาดเคลื่อน 2 ค่าหารด้วยเวลาระหว่าง 2 ค่านี้ แล้วนำไปคูณกับค่าคงที่ที่เรียกว่า อัตราขยายของตัวควบคุมแบบ D (Derivative gain) เพื่อหาค่าสัญญาณเอาต์พุตของตัวควบคุมดังสมการที่ (2.19)

$$u(t) = K_d \frac{de(t)}{dt} = K_c \tau_d \frac{de(t)}{dt} \quad (2.19)$$

และสามารถเขียนฟังก์ชันการถ่ายโอนแสดงได้ดังสมการที่ (2.20)

$$\frac{U(S)}{E(S)} = K_d S \quad (2.20)$$

ถ้าอินพุต $e(t)$ มีลักษณะเป็น unit step เอาต์พุต $u(t)$ จะมีลักษณะเป็น Impulse ดังแสดงในรูปที่ 2.25 จะเห็นได้ว่าส่วนของ c ในทางทฤษฎีจะมีค่าเป็น ∞ แต่ในทางปฏิบัติขึ้นอยู่กับเงื่อนไขทางกายภาพของระบบหรือวงจร กล่าวคือส่วนของ c จะแปรผันตรงกับ K_d



รูปที่ 2.25 ผลตอบสนองของตัวควบคุมแบบ D เมื่ออินพุตเป็น unit step

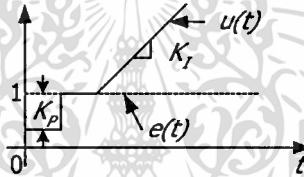
2.4.4 ตัวควบคุมพี - ไอ (PI - controller)

ตัวควบคุมนี้เป็นการนำเอาองค์ประกอบ P และ I มารวมกัน ซึ่งสมการสัญญาณเอาต์พุตของตัวควบคุมแบบนี้จะเป็นดังสมการที่ (2.21)

$$u(t) = K_p e(t) + K_i \int e(t) dt = K_c e(t) + \frac{K_c}{\tau_i} \int e(t) dt \quad (2.21)$$

และสามารถเขียนฟังก์ชันการถ่ายโอนแสดงได้ดังสมการที่ (2.22)

$$\frac{U(S)}{E(S)} = K_p + \frac{K_i}{S} \quad (2.22)$$



รูปที่ 2.26 ผลตอบสนองของตัวควบคุม PI

จากรูปที่ 2.26 แสดงได้ว่าตัวควบคุม PI จะทำให้ค่าออฟเซตที่สภาวะคงที่เป็นศูนย์ และลดค่าพุงเกิน และการแกว่ง (Oscillation) ของระบบ แต่จะทำให้ช่วงเวลาขาขึ้น (Rise time) และช่วงเวลาที่เข้าสู่เป้าหมาย (Settling time) เพิ่มมากขึ้น

2.4.5 ตัวควบคุมพี - ดี (PD - controller)

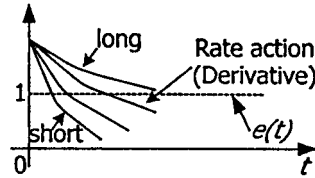
เป็นการนำเอาองค์ประกอบ P และ D รวมเข้าด้วยกัน เพื่อให้ผลตอบสนองของระบบเร็วขึ้น แต่จะไม่มีผลโดยตรงต่อผลตอบสนองที่สภาวะคงที่ ซึ่งสมการเอาต์พุตแสดงได้ดังสมการที่ (2.23)

$$u(t) = K_p e(t) + K_d \frac{de(t)}{dt} = K_c e(t) + K_c \tau_d \frac{de(t)}{dt} \quad (2.23)$$

และสามารถเขียนฟังก์ชันการถ่ายโอนแสดงได้ดังสมการที่ (2.24)

$$\frac{U(S)}{E(S)} = K_p + K_d S \quad (2.24)$$

ข้อเสียของตัวควบคุม PD นี้คือไม่สามารถทำให้ออฟเซตของระบบลดลงหรือหมดไปได้ และอาจจะทำให้ค่าพ่วงสูงเกินของระบบมีค่าสูงขึ้น ผลตอบสนองของตัวควบคุม PD แสดงได้ดังรูปที่ 2.27



รูปที่ 2.27 ผลตอบสนองของตัวควบคุม PD

2.4.6 ตัวควบคุมพีไอดี (PID – controller)

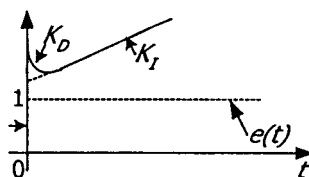
จากที่ได้กล่าวมาแล้วว่า ตัวควบคุมแบบ PI ทำให้ค่าความคลาดเคลื่อนลดลงหรือหมดไป แต่จะทำให้ช่วงเวลารอช้าขึ้น และช่วงเวลาในการเข้าสู่ค่าเป้าหมายเพิ่มขึ้น ส่วนตัวควบคุม PD จะทำให้ผลตอบสนองเร็วขึ้นคือช่วงเวลารอช้าขึ้น และช่วงเวลาในการเข้าสู่ค่าเป้าหมายมีค่าต่ำลง ดังนั้นเพื่อต้องการเพิ่มสมรรถนะจึงนำเอาตัวควบคุมทั้งสองมารวมกัน ซึ่งจะทำได้สัญญาณาเอาต์พุตแสดงดังสมการที่ (2.25)

$$u(t) = K_p e(t) + K_d \frac{de(t)}{dt} + K_i \int e(t) dt = K_c e(t) + K_c \tau_d \frac{de(t)}{dt} + \frac{K_c}{\tau_i} \int e(t) dt \quad (2.25)$$

และสามารถเขียนฟังก์ชันการถ่ายโอนแสดงได้ดังสมการที่ (2.26)

$$\frac{U(S)}{E(S)} = K_p + \frac{K_i}{S} + K_d S \quad (2.26)$$

ผลตอบสนองตัวควบคุมพีไอดี แสดงได้ดังรูปที่ 2.28



รูปที่ 2.28 ผลตอบสนองของตัวควบคุม PID

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้คัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.5 ฟัชซี – พีไอดี

หลักการฟัชซี-พีไอดี ได้มีงานวิจัยที่นำเสนอเปรียบเทียบหลักการ [11] การปรับพารามิเตอร์ต่างๆ ของตัวควบคุม พีไอดี โดยใช้ฟัชซี ซึ่งหลักการที่นำเสนอเปรียบเทียบมีดังนี้

2.5.1 Fuzzy self – tuning of a single parameter

วิธีนี้ถูกนำเสนอโดย He et al.[12] หลักการคือจะนำเอาสมการของ Ziegler – Nichols แปลงให้อยู่ในรูปพารามิเตอร์เดียวคือ α จากนั้นนำไปหาผลสรุปในระบบฟัชซี โดยค่าพารามิเตอร์ต่างๆ ของพีไอดีสามารถหาได้จากสมการที่ (2.27)

$$\begin{aligned} K_p &= 1.2\alpha(t)K_u \\ T_i &= 0.75 \frac{1}{1+\alpha(t)} t_u \\ T_d &= 0.25T_i \end{aligned} \quad (2.27)$$

เมื่อ K_u = Ultimate gain
 T_u = Ultimate period
 และค่าของ $\alpha(t)$ กำหนดได้ดังสมการที่ (2.28)

$$\alpha(t+1) = \begin{cases} \alpha(t) + \gamma h(t)(1-\alpha(t)) & \text{for } \alpha(t) > 0.5 \\ \alpha(t) + \gamma h(t)\alpha(t) & \text{for } \alpha(t) \leq 0.5 \end{cases} \quad (2.28)$$

เมื่อ γ เป็นค่าคงที่บวกซึ่งถูกกำหนดไว้ในช่วง $[0.2, 0.6]$ และ $h(t)$ เป็นเอาต์พุตของระบบการอนุมานฟัชซี (Fuzzy Inference) ซึ่งในบทความนี้ได้ใช้ฟังก์ชันการเป็นสมาชิก 7 เซต สำหรับสัญญาณอินพุต และเอาต์พุต โดยอินพุตประกอบด้วยค่าความผิดพลาด และอัตราการเปลี่ยนแปลงของค่าผิดพลาด (Error ($e(t)$) และ change of error ($\Delta e(t)$)) โดยกำหนดให้ $\alpha(t) = 0.5$ ในสถานะเริ่มต้น ซึ่งสัมพันธ์กับสมการของ Ziegler – Nichols โดยในบทความนี้ไม่ได้กล่าวถึงการปรับค่า γ อีกทั้งยังไม่กำหนดขอบเขตของกฎที่นำมาใช้

2.5.2 Fuzzy gain scheduling

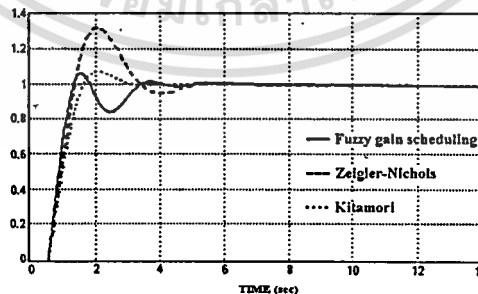
วิธีนี้ถูกนำเสนอโดย Zhao et al. [6] ซึ่งพารามิเตอร์ของพีไอดีสามารถกำหนดได้โดยคังสมการที่ (2.29)

$$\begin{aligned} K_p &= (K_{p,max} - K_{p,min})K'_p + K_{p,min} \\ K_d &= (K_{d,max} - K_{d,min})K'_d + K_{d,min} \\ K_i &= \frac{K_p^2}{\alpha K_d} \end{aligned} \quad (2.29)$$

เมื่อ K'_p, K'_d และ α ถูกกำหนดด้วยกระบวนการฟัซซี และ $K_{p,max}, K_{p,min}, K_{d,max}$ และ $K_{d,min}$ ได้มาจากการทำให้เป็นค่าปรกติ (normalize) ของ K_p และ K_d โดยจะมีช่วงอยู่ระหว่าง 0 และ 1 ซึ่งค่าคงที่ต่างๆ กำหนดให้เป็นไปตามสมการที่ 2.30

$$\begin{aligned} K_{p,min} &= 0.32K_u; & K_{p,max} &= 0.6K_u \\ K_{d,min} &= 0.08K_uT_u; & K_{d,max} &= 0.15K_uT_u \end{aligned} \quad (2.30)$$

โดยในงานวิจัยนี้จะกำหนดให้ อินพุตทั้งสอง ($e(t)$ และ $\Delta e(t)$) มีฟังก์ชันการเป็นสมาชิก 7 เซต ซึ่งเป็นรูปสามเหลี่ยม ในขณะที่เอาต์พุต K_p และ K_d จะใช้ฟังก์ชันการเป็นสมาชิก 2 เซต แบบ exponential ส่วน α กำหนดให้มีฟังก์ชันการเป็นสมาชิก 4 เซต ที่เป็นซิงเกิลตัน (Singletons) ซึ่งผลการจำลองระบบแสดงดังรูปที่ 2.29 โดยจะเห็นได้ว่าค่าพ่วงเกินมีค่าน้อยกว่าการหาพารามิเตอร์โดยวิธี Ziegler – Nichols



รูปที่ 2.29 ผลตอบสนองของการจำลองโดยวิธี Fuzzy gain scheduling เมื่อระบบเป็นระบบอันดับ 2

ทั้งสองวิธีใช้อ้างอิงเพื่อเป็นแนวทางในการออกแบบการปรับค่าพารามิเตอร์ของตัวควบคุมพีไอดี โดยใช้ฟัซซี โดยวิทยานิพนธ์ฉบับนี้จะใช้วิธี Fuzzy gain scheduling มาใช้เป็นแนวทางในการออกแบบ Fuzzy – PID บนชิป FPGA

บทที่ 3

เอฟพีจีเอ

3.1 กล่าวนำ

เอฟพีจีเอ ย่อมาจาก Field Programmable Gate Array เป็นชิพที่สามารถโปรแกรมการทำงานได้ ซึ่งชิพนี้ถูกผลิตขึ้นประมาณยุคปี 80 โดยข้อดีของชิพนี้ คือผู้ออกแบบวงจรในระดับ Chip-Level ไม่จำเป็นต้องทำการเจือสาร (Fabrication) เพื่อนำมาทดสอบ เหมือนสมัยก่อน โดยผู้ออกแบบสามารถใช้โปรแกรมในการจำลองการทำงานของวงจร และสามารถทดสอบการทำงานบนเอฟพีจีเอ ได้เลย ถ้าวงจรที่ออกแบบไม่ถูกต้อง ก็สามารถแก้ไขโปรแกรมและ Download ลงเอฟพีจีเอ เพื่อทำการทดสอบการทำงานได้ทันที นี่ก็คือข้อดีของการใช้เอฟพีจีเอ ในการออกแบบชิพต้นแบบ ซึ่งจะประหยัดเวลาและต้นทุนเป็นอย่างมาก

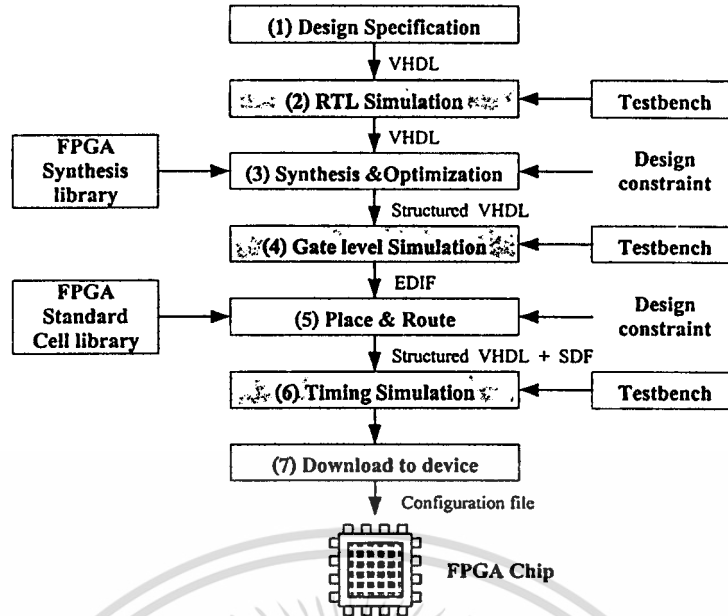
ชิพเอฟพีจีเอเป็นไอซีประสิทธิภาพสูงที่ใช้สำหรับงานจำเพาะ (Application Specification Integrated Circuit: ASIC) ซึ่งสามารถ โปรแกรมได้ ที่ถูกพัฒนาโดยบริษัทไซลิงซ์ (Xilinx Inc.) การโปรแกรมการทำงานสามารถทำได้โดยใช้ภาษาวีเอชดีแอล (VHDL) หรือเวริล็อก (Verilog) ซึ่งภาษาทั้งสองเป็นภาษาอธิบายพฤติกรรมของวงจร (Hardware Description Language: HDL) ที่ถูกพัฒนาเพื่อรองรับการออกแบบวงจรที่มีความซับซ้อน และให้เป็นมาตรฐานหรือเป็นภาษากลางสำหรับการออกแบบวงจร ซึ่งภาษาทั้งสองจะแตกต่างกันที่รูปแบบ (Syntax) การเขียน โดยในที่นี้จะกล่าวถึงเฉพาะรูปแบบการเขียนโปรแกรมภาษาวีเอชดีแอล และขั้นตอนการออกแบบวงจรด้วยชิพเอฟพีจีเอ โดยในส่วนของโปรแกรมสำเร็จรูปจะกล่าวถึงขั้นตอนการออกแบบชิพโดยใช้โปรแกรมสำเร็จรูป ISE WEBPACK

3.2 ขั้นตอนการออกแบบวงจรด้วยชิพเอฟพีจีเอ

โดยทั่วไปขั้นตอนการออกแบบวงจรด้วยชิพเอฟพีจีเอ [13] จะมีขั้นตอนต่างๆ ดังรูปที่ 3.1 ซึ่งจะมีขั้นตอนดังนี้

ขั้นตอนที่ 1 การสร้างข้อกำหนดของการออกแบบ (Design Specification)

เป็นขั้นตอนการสร้างข้อกำหนดต่างๆ ของวงจร เช่น วงจรทำงานที่ความถี่เท่าไร ฟังก์ชันการทำงานเป็นอย่างไร ซึ่งเป็นรายละเอียดของวงจรที่ต้องการออกแบบ และเขียนฟังก์ชันการทำงานของ วงจรตามผู้ออกแบบกำหนดด้วยภาษา HDL ในระดับการถ่ายโอนข้อมูล (Register transfer level: RTL)



รูปที่ 3.1 ขั้นตอนการออกแบบวงจรด้วยชิพเอฟพีจีเอ

ขั้นตอนที่ 2 จำลองการทำงานโมเดลวงจรระดับ RTL (RTL Simulation)

เป็นขั้นตอนตรวจสอบการทำงานของโมเดลวงจรระดับ RTL หรือฟังก์ชัน โดยการจำลองการทำงาน และถูกทดสอบด้วย Testbench ซึ่งการจำลองการทำงานในขั้นตอนนี้ จะจำลองการทำงานเพียงระดับฟังก์ชัน ไม่คำนึงถึงค่าดีเลย์ (Delay) ของวงจร

ขั้นตอนที่ 3 สังเคราะห์ และปรับวงจรให้เหมาะสม (Synthesis & Optimization)

เป็นขั้นตอนการสร้างผังวงจร (Schematic) จากโมเดลวงจรระดับ RTL ให้อยู่ในรูปแบบของลอจิกเกต โดยอาศัยซอฟต์แวร์ช่วยในการสังเคราะห์วงจร โดยในขั้นตอนนี้ต้องมีการเลือกใช้เทคโนโลยีชิพเอฟพีจีเอ ที่ผู้ออกแบบต้องการเลือกใช้ ซึ่งบริษัทผู้ผลิตชิพจะมีไลบรารีเตรียมไว้ให้ เลือกใช้อยู่แล้ว โดยเมื่อทำการสังเคราะห์ได้ผังวงจร จากนั้นซอฟต์แวร์จะทำการปรับแต่ง (Optimize) วงจรตามข้อกำหนดหรือเงื่อนไขของการสังเคราะห์ (Design constraint) ที่ผู้ออกแบบกำหนดขึ้นตามขั้นตอนแรกของการออกแบบ ซึ่งผลลัพธ์ที่ได้จากการสังเคราะห์วงจรจะอยู่ในรูปแบบของไฟล์ VHDL หรือ Verilog แบบโครงสร้างลอจิก (Structural logic) และไฟล์เน็ตลิสต์มาตรฐานประเภท EDIF (Electronics Design Interchange Format) ที่จะนำไปใช้ในขั้นตอนการเชื่อมต่อ (Place & Route) ต่อไป

ขั้นตอนที่ 4 การจำลองการทำงานของวงจรระดับลอจิกเกต (Gate level Simulation)

เป็นขั้นตอนที่ผู้ออกแบบจะต้องทดสอบไฟล์เน็ตลิสต์ที่เป็น โมเดลของวงจรระดับลอจิก โดยใช้ Testbench ตัวเดิมที่ใช้จำลองการทำงานระดับ RTL มาแล้ว ซึ่งในการจำลองการทำงานในเอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้คัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ระดับนี้ จะมีเรื่องของเกตติลลีย์เข้ามาเกี่ยวข้องในผลการจำลองการทำงาน ซึ่งจะแตกต่างจากการจำลองการทำงานในระดับ RTL เนื่องจากโมเดลของวงจรระดับเกตติลลีย์จะมีข้อมูลเรื่องติลลีย์ของเกตภายในเทคโนโลยีที่ผู้ออกแบบเลือกมาใช้ ดังนั้นผู้ออกแบบจะต้องทำการจำลองการทำงานเพื่อตรวจสอบไทม์มิ่งอีกครั้ง ว่ายังทำงานถูกต้องตามข้อกำหนดของวงจรหรือไม่ ถ้าไม่ตรงตามข้อกำหนดจะต้องกลับไปขั้นตอนที่ 3 เพื่อทำการสังเคราะห์และปรับวงจรให้เหมาะสมอีกครั้ง เพื่อให้ผลการจำลองการทำงานถูกต้องตาม Design specification

ขั้นตอนที่ 5 การวางและเชื่อมต่อเซลล์ภายในของชิพเอฟพีจีเอ

ขั้นตอนนี้เป็นการนำไฟล์เนตลิสที่อยู่ในรูปแบบ EDIF มาทำการแปลงลงสู่เทคโนโลยีเซลล์ภายในของชิพเอฟพีจีเอ และทำการเชื่อมต่อเซลล์ภายในเข้าด้วยกันตามรูปแบบการเชื่อมต่ออุปกรณ์ต่างๆ ภายในเนตลิสต์ โดยขั้นตอนนี้เป็นการเรียกใช้เทคโนโลยีเซลล์ของชิพเอฟพีจีเอ ซึ่งผู้ผลิตชิพได้ออกแบบไว้สำหรับชิพแต่ละตัว โดยการวางและเชื่อมต่อเซลล์ต่างๆ จะถูกควบคุมด้วยข้อกำหนดในการ Place & Route เพื่อให้ซอฟต์แวร์ทำการวางและเชื่อมต่อกันตามความต้องการของผู้ออกแบบ โดยผลลัพธ์จากขั้นตอนนี้ จะอยู่ในรูปไฟล์ SDF (Standard Delay Format) ซึ่งเป็นไฟล์รูปแบบมาตรฐานที่มีข้อมูลเกี่ยวกับค่าติลลีย์ของเส้นทางการเชื่อมต่อภายใน (Routing delay) เซลล์ชิพเอฟพีจีเอ และไฟล์ที่ใช้สำหรับ โปรแกรมลงชิพเอฟพีจีเอ ซึ่งส่วนใหญ่จะอยู่ในรูปแบบของ Configuration file

ขั้นตอนที่ 6 การจำลองการทำงานวงจรระดับฐานเวลาจริง (Timing Simulation)

เป็นขั้นตอนสุดท้ายของการตรวจสอบความถูกต้องก่อนจะนำวงจรที่ออกแบบไปโปรแกรมลงสู่ชิพ โดยขั้นตอนการจำลองการทำงานในระดับไทม์มิ่ง ผลลัพธ์จากการจำลองการทำงานที่ได้จะมีความใกล้เคียงกับไทม์มิ่งการทำงานจริงบนชิพเอฟพีจีเอ เนื่องจากในการจำลองการทำงานในขั้นตอนนี้มีข้อมูลเกี่ยวกับติลลีย์ของเซลล์ภายในชิพ และติลลีย์ของการเชื่อมต่อเข้ามาเกี่ยวข้อง ทำให้ผลการจำลองในระดับนี้ใกล้เคียงกับไทม์มิ่งการทำงานบนฮาร์ดแวร์จริง

ขั้นตอนที่ 7 โปรแกรมลงสู่ชิพจริง (Download to device)

เป็นขั้นตอนสุดท้ายสำหรับการออกแบบวงจรเพื่อการใช้งานชิพเอฟพีจีเอคือขั้นตอนนี้ โปรแกรม Configuration file ลงสู่ชิพเอฟพีจีเอบนบอร์ดเพื่อทดสอบการทำงานจริงต่อไป

3.3 รูปแบบการเขียนโปรแกรมภาษาวีเอชดีแอล

ภาษาวีเอชดีแอล เป็นภาษาที่ใช้ในการบรรยายพฤติกรรมของฮาร์ดแวร์ประเภทหนึ่งที่ถูกพัฒนาขึ้นโดยกระทรวงกลาโหมสหรัฐอเมริกา (DoD: Department of Defense) ปี ค.ศ. 1980 โดยมีเป้าหมายหลัก 2 ประการคือ

- ต้องการภาษาที่สามารถรองรับการออกแบบวงจรที่มีความซับซ้อนได้
- ต้องการภาษาที่เป็นมาตรฐานหรือเป็นภาษากลางที่ทำให้สามารถเผยแพร่ผลงานการออกแบบกันภายใน กลุ่มนักออกแบบด้วยกันได้

DoD ได้ให้บริษัท IBM, Texas Instruments และ Intermetrics เป็นผู้ออกแบบตัวภาษา โดยในระยะแรกเป็นความลับทางทหาร จนกระทั่งปี 1985 ITAR ยกเลิกการถ่ายทอดเทคโนโลยีทางการทหาร ทำให้เริ่มมีการนำเอาวีเอชดีแอลมาใช้งานอย่างกว้างขวาง โดยในปี 1987 ทาง IEEE (The Institute of Electrical and Electronics Engineering) ได้นำวีเอชดีแอลมาศึกษา และกำหนดเป็นมาตรฐานที่เรียกว่า IEEE 1076 – 1987 ซึ่ง Tool's ต่างๆ เรียกว่า VHDL' 87 และในปี 1993 IEEE ได้ปรับปรุงบางส่วนใหม่และกำหนดเป็นมาตรฐานที่เรียกว่า IEEE 1076 – 1993 หรือเรียกว่า VHDL' 93

ภาษาวีเอชดีแอล ประกอบด้วยส่วนต่างๆ [14] ที่สำคัญและเป็นพื้นฐานของการเขียนรูปแบบระบบดิจิทัลที่สำคัญ 4 หน่วยคือ

1. หน่วยการออกแบบเอกลักษณ์ (Entity Design Unit)
2. หน่วยการออกแบบโครงสร้าง (Architecture Design Unit)
3. หน่วยการออกแบบกลุ่ม (Package Design Unit)
4. หน่วยการออกแบบองค์ประกอบ (Configuration Design Unit)

โดยแต่ละหน่วยจะมีความหมาย และความสัมพันธ์กันดังนี้

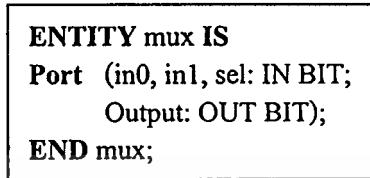
3.3.1 หน่วยการออกแบบเอกลักษณ์

ส่วนนี้เป็นส่วนกำหนดการเชื่อมต่อ และทิศทางของสัญญาณ ซึ่งมีรูปแบบการกำหนดค่าต่างๆ แสดงดังรูปที่ 3.2

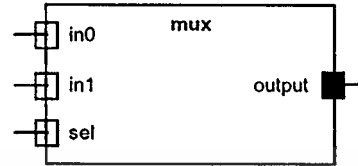
```
ENTITY component_name IS
    Input and out ports
    Physical and other parameters
END [component_name];
```

รูปที่ 3.2 โครงสร้างพื้นฐานของการกำหนดหน่วยการออกแบบเอกลักษณ์

ส่วนนี้จะเริ่มต้นด้วยคำว่า Entity ต่อด้วยชื่อของ Entity ซึ่งการตั้งชื่อจะต้องเป็นไปตามกฎการตั้งชื่อ ตามด้วย IS ต่อมาเป็นการกำหนดสัญญาณต่างๆ รวมทั้งทิศทางของสัญญาณ และพารามิเตอร์อื่นๆ และที่สำคัญส่วน Entity นี้จะต้องลงท้ายด้วย End ตามด้วยชื่อของ Entity และปิดด้วยเครื่องหมายอัฒภาค (;)



(ก)



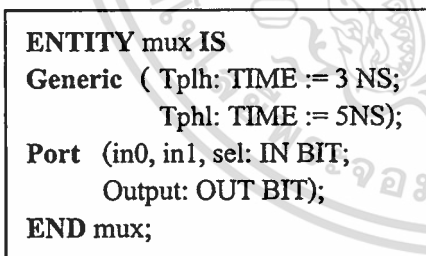
(ข)

รูปที่ 3.3 ตัวอย่างการออกแบบส่วนเอกลักษณ์ ของวงจร 2 to 1 Multiplexer

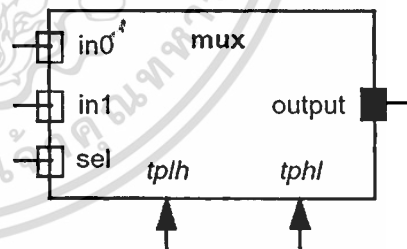
(ก) การออกแบบโดยใช้ภาษาวีเอชดีแอล

(ข) มุมมองในการเชื่อมต่อของวงจร

จากรูปที่ 3.3 แสดงตัวอย่างการกำหนดวงจร 2 to 1 Multiplexer โดยรูป (ก) เป็นการกำหนดโดยใช้ภาษาวีเอชดีแอล ส่วนรูป (ข) เป็นมุมมองในการเชื่อมต่อของวงจร นอกจากนี้ยังสามารถกำหนดพารามิเตอร์อื่นๆ โดยใช้คำสั่ง Generic แสดงได้ดังรูปที่ 3.4 ซึ่งจะเห็นว่าเป็นการกำหนดเพิ่มส่วนข้อจำกัดทางด้านเวลาให้กับวงจร ซึ่งค่าเวลาที่กำหนดนี้สามารถเปลี่ยนแปลง หรือเพิ่มเติมได้ขึ้นอยู่กับกรออกแบบ



(ก)



(ข)

รูปที่ 3.4 ตัวอย่างการออกแบบส่วนเอกลักษณ์ ของวงจร 2 to 1 Multiplexer โดยเพิ่มข้อมูลเกี่ยวกับเวลา

(ก) การออกแบบโดยใช้ภาษาวีเอชดีแอล

(ข) มุมมองในการเชื่อมต่อของวงจร

3.3.2 หน่วยการออกแบบโครงสร้าง

เป็นส่วนที่ใช้บรรยายพฤติกรรมต่างๆ ของวงจร โดยการบรรยายจะสัมพันธ์กับสัญญาณอินพุต และเอาต์พุต ตลอดจนพารามิเตอร์ต่างๆ ที่กำหนดในส่วนการออกแบบเอกลักษณ์ ซึ่งมีรูปแบบการกำหนดค่าต่างๆ แสดงดังรูปที่ 3.5

เอกสารประกอบการเรียนการสอนวิชาเทคโนโลยีการศึกษานี้ ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```

ARCHITECTURE identifier OF component_name IS
  [declaration]
BEGIN
  Specification of the functionality of the
  component in term of its input line and as
  influenced by physical and other parameters
END [identifier];

```

รูปที่ 3.5 โครงสร้างพื้นฐานของการกำหนดหน่วยการออกแบบโครงสร้าง

ส่วนนี้เริ่มต้นด้วยคำว่า Architecture และตามด้วยชื่อ (Identifier) สิ่งที่ต้องกำหนดลงไป ได้แก่ สิ่ง que แสดงให้เห็นว่า Architecture นั้นใช้บรรยายหน่วยการออกแบบเอกลักษณ์ใด (OF <entity design unit> IS) ส่วนที่อยู่ระหว่าง ARCHITECTURE และ BEGIN เป็นส่วนประกาศกำหนด (Architecture declarative area) ที่เป็นเพียงส่วนเพื่อเลือก (Option) ในบริเวณนี้สามารถใช้เขียนประกาศกำหนดค่าต่างๆ ที่จะนำไปใช้ภายใน Architecture นั้นได้ และส่วนที่ใช้บรรยายความสัมพันธ์ระหว่างข้อมูลอินพุต และเอาต์พุต จะถูกบรรยายในบริเวณเนื้อที่ระหว่างคำว่า BEGIN กับ END ของหน่วยการออกแบบโครงสร้าง และนอกจากนั้นชุดคำสั่งที่อยู่ภายในบริเวณนี้จะเป็นแบบขนาน (Concurrent statement) เท่านั้น หน่วยการออกแบบโครงสร้างจะต้องปิดท้ายด้วยคำสั่ง END และชื่อของ Architecture (Identifier) นั้นๆ ที่เป็นส่วนเพื่อเลือก

โดยทั่วไปการเขียนอธิบายพฤติกรรมของวงจรด้วยภาษาวีเอชดีแอล สามารถออกแบบหน่วยการออกแบบโครงสร้าง ได้ในลักษณะต่างๆ ดังนี้

- ลักษณะการไหลข้อมูล (Dataflow description)
- ลักษณะพฤติกรรม (Behavioral description)
- ลักษณะโครงสร้าง (Structure description)
- ลักษณะรวมแต่ละโครงสร้าง (Mixed model description)

```

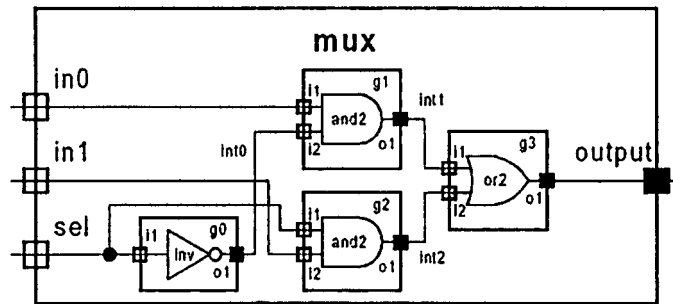
ARCHITECTURE data_flow OF mux IS
BEGIN
  output <= ((NOT sel) AND in0) OR (sel AND in1);
END data_flow;

```

รูปที่ 3.6 หน่วยการออกแบบโครงสร้างของ 2:1 Mux ตามสมการความจริง

$$\text{output} = (\overline{\text{sel}} \cdot \text{in0}) + (\text{sel} \cdot \text{in1})$$

รูปที่ 3.6 แสดงการบรรยายพฤติกรรมของวงจร 2:1 Mux โดยจะมีส่วนที่บรรยายความสัมพันธ์ระหว่างอินพุต และเอาต์พุตด้วยชุดคำสั่งแบบขนานชุดเดียว ในลักษณะการไหลของข้อมูล



รูปที่ 3.7 หน่วยการออกแบบโครงสร้างของ 2:1 Mux ในลักษณะโครงสร้างของลอจิกเกต

รูปที่ 3.7 เป็นโครงสร้างของการบรรยายวงจร 2: 1 Mux ในลักษณะโครงสร้างโดยใช้เกตมาเชื่อมต่อกัน และในรูปที่ 3.8 เป็นการบรรยายในลักษณะโครงสร้าง โดยใช้ภาษาวีเอชดีแอล ซึ่งจะมี int0, int1 และ int2 เป็นสัญญาณภายในที่ใช้ในการเชื่อมต่อ (Netlist)

```

ARCHITECTURE struc OF mux IS
COMPONENT inv
PORT( i1: IN BIT; o1: OUT BIT );
END COMPONENT;
COMPONENT and2
PORT( i1, i2: IN BIT; o1: OUT BIT );
END COMPONENT;
COMPONENT or2
PORT( i1, i2: IN BIT; o1: OUT BIT );
END COMPONENT;
SIGNAL int0, int1, int2: BIT
BEGIN
    g0: inv
    PORT MAP(i1 => sel, o1 => int0);
    g1: and2
    PORT MAP(i1 => int0, i2 => int0, o1 => int1);
    g2: and2
    PORT MAP(i1 => sel, i2 => int1, o1 => int2);
    g3: or2
    PORT MAP(i1 => int1, i2 => int2, o1 => output);
END struc;

```

รูปที่ 3.8 หน่วยการออกแบบโครงสร้างของ 2:1 Mux ในลักษณะโครงสร้างด้วยภาษาวีเอชดีแอล

ในรูปที่ 3.9 จะแสดงการบรรยายพฤติกรรมวงจร 2: 1 Mux ในลักษณะของ Behavioral description จากรูปที่ 3.6 - 3.9 จะเห็นได้ว่าหน่วยการออกแบบโครงสร้าง จะให้ผลลัพธ์ในการจำลองที่เหมือนกัน

```

ARCHITECTURE behav OF mux IS
BEGIN
    PROCESS
    BEGIN
        IF(sel = '1') THEN
            output <= in0;
        ELSE
            output <= in1;
        END IF;
    END PROCESS;
END behav;

```

รูปที่ 3.9 หน่วยการออกแบบโครงสร้างของ 2:1 Mux ในลักษณะพฤติกรรม

3.3.3 หน่วยการออกแบบกลุ่ม

ข้อมูลต่างๆ ตลอดจนโปรแกรมย่อย (Subprogram) ที่เป็นประโยชน์ต่อการเขียนบรรยายวงจร สามารถเก็บไว้ในส่วนที่เรียกว่า Package ได้ และข้อมูลเหล่านี้สามารถนำไปใช้ได้โดย หน่วยการออกแบบเอกลักษณ์, หน่วยการออกแบบโครงสร้าง หรือจาก หน่วยการออกแบบกลุ่มอื่นๆ ด้วยชุดคำสั่ง USE statement สิ่งที่สามารถประกาศหรือเก็บไว้ใน Package ได้แก่ โปรแกรมย่อย (Subprogram), ชนิด (Types), ค่าคงที่ (Constants), สัญญาณ (Signals), นามแฝง (Aliases), คุณลักษณะ (Attributes), ส่วนประกอบ (Component) และ รายละเอียดการแยกออก (Disconnection specification) โดยปกติแล้ว Package จะแบ่งออกเป็นสองส่วนคือ การกำหนดกลุ่ม (Package declaration) และ การกำหนดตัวกลุ่มหลัก (Package body) ซึ่งในการเรียกใช้นั้นจะกระทำผ่าน USE statement

3.3.3.1 การกำหนดกลุ่ม (Package declaration)

เป็นส่วนที่สำคัญที่สุดของ Package เพราะจะเป็นส่วนที่กำหนดชื่อ (Identifier) ของสิ่งที่ประกาศอยู่ภายใน Package สำหรับนำไปใช้นอก Package ถ้าสิ่งใดๆ ถูกประกาศในส่วนของตัวกลุ่ม แต่ไม่ถูกประกาศในการกำหนดกลุ่ม จะไม่สามารถนำไปใช้นอก Package ได้ โดยการกำหนดกลุ่ม มีหลักการแสดงดังรูปที่ 3.10 ซึ่งระหว่างคำว่า PACKAGE และ END PACKAGE เป็นการกำหนดขอบเขตของการกำหนดกลุ่ม และระหว่างคำทั้งสองจะเป็นส่วนที่ใช้ประกาศ โปรแกรมย่อย, ชนิด, ค่าคงที่, สัญญาณ, นามแฝง, คุณลักษณะ, ส่วนประกอบ และ รายละเอียดการแยกออก โดยรูปที่ 3.11 แสดงตัวอย่างการกำหนดกลุ่ม

```

PACKAGE package_name IS
    Package_declarative_part
END package_name;

```

รูปที่ 3.10 หลักการกำหนดกลุ่ม

```

PACKAGE example IS
  TYPE cd IS ('C','D');
  CONSTANT pi: REAL := 3.14159;
  COMPONENT ttl_74163 IS
  PORT ( a, b: IN BIT;
         c: OUT BIT);
  END COMPONENT;
  SIGNAL global_clk: BIT
END example;

```

รูปที่ 3.11 ตัวอย่างการกำหนดกลุ่ม

3.3.3.2 การกำหนดตัวกลุ่มหลัก (Package body)

เป็นโครงสร้างที่ประกอบด้วยคำสั่งต่างๆ ในรูปคำสั่งลำดับ (Sequential statement) ที่ใช้บรรยายฟังก์ชันการทำงานของโปรแกรมย่อยทั้งหลาย โดยที่ชื่อของโปรแกรมย่อยนั้น ถูกประกาศไว้ในส่วนของการกำหนดกลุ่มแล้ว โดยจะถูกเก็บไว้ในตัวกลุ่ม ทั้งนี้รวมทั้ง เป็นตัวแปรค่าคงที่ที่ถูกประกาศไว้ในส่วนของการกำหนด แต่ถูกกำหนดค่าในส่วนของตัว (Deferred constants) ดังนั้นส่วนของตัวกลุ่ม จึงไม่จำเป็นต้องมี ถ้าในส่วนของกำหนดกลุ่ม ไม่มีการประกาศชื่อ ที่เป็นโปรแกรมย่อย หรือ Deferred constants รูปแบบ และหลักการเขียนตัวกลุ่ม แสดงดังรูปที่ 3.12 ซึ่งชื่อของกลุ่ม จะต้องเป็นชื่อเดียวกับชื่อที่กำหนดไว้ในกำหนดกลุ่ม รูปที่ 3.13 แสดงตัวอย่างการเขียนหน่วยการออกแบบกลุ่ม

```

PACKAGE BODY package_name IS
  declarative_part
END package_name;

```

รูปที่ 3.12 รูปแบบการกำหนดตัวกลุ่ม

```

-- package declaration
PACKAGE pack_func IS
  FUNCTION mean(a, b, c: REAL) RETURN REAL;
END pack_func;
-- package body
PACKAGE BODY pack_func IS
  FUNCTION mean(a, b, c:REAL) RETURN REAL IS
  BEGIN
    RETURN (a+b+c)/3.0;
  END mean;
END pack_func;

```

รูปที่ 3.13 ตัวอย่างหน่วยการออกแบบกลุ่ม

จากรูปที่ 3.12 ในส่วนของการกำหนดกลุ่ม จะเก็บส่วนที่เรียกว่าการกำหนดฟังก์ชัน (Function declaration) ในที่นี้เป็นการประกาศชื่อของโปรแกรมย่อย Mean และส่วนที่บรรยายการทำงานของโปรแกรมย่อย Mean จะถูกเก็บไว้ในส่วนตัวกลุ่ม แต่สิ่งที่สำคัญอย่างหนึ่งของการเขียน Package คือ ก่อนที่จะนำ Package ไปใช้ Package นั้นจะต้องผ่านการเรียบเรียง (Compile) ก่อน

3.3.4 หน่วยการออกแบบองค์ประกอบ

ในส่วนนี้มีหน้าที่เชื่อมเอกลักษณ์ เข้ากับโครงสร้าง ในกรณีที่มีโครงสร้าง มีมากกว่าหนึ่งชุด ซึ่งหน่วยการออกแบบองค์ประกอบมีรูปแบบการกำหนดแสดงดังรูปที่ 3.14

```
CONFIGURATION identifier OF entity_name IS
    Configuration_declarative_part
END;
```

รูปที่ 3.14 รูปแบบหน่วยการออกแบบองค์ประกอบ

รูปที่ 3.15 เป็นการออกแบบวงจรง่ายๆ โดยใช้ AND gate 2 input ที่มีสองโครงสร้าง คือ แบบ ลักษณะการไหล และ ลักษณะพฤติกรรม โดยก่อนที่จะนำไปจำลองจะต้องมีการประกอบโครงสร้างก่อน ซึ่งระบบวีเอชดีแอล ส่วนใหญ่ถ้าไม่มีการประกอบโครงสร้างแล้วตัวจำลอง จะนำโครงสร้าง ชุดสุดท้ายมาใช้ในการวิเคราะห์ และจำลองการทำงาน ส่วนรูปที่ 3.16 แสดงการทำ องค์ประกอบโครงสร้าง ชื่อ Dataflow เข้ากับหน่วยการออกแบบเอกลักษณ์

```
ENTITY and2 IS
    GENERIC (ttl_delay : TIME := 3NS);
    POTR ( in1, in2 : IN BIT;
           Output : OUT BIT);
END and2;
ARCHITECTURE dataflow OF and2 IS
    BEGIN
        output <= in1 and in2 AFTER ttl_delay;
    END dataflow;
ARCHITECTURE behave OF and2 IS
    BEGIN
        PROCESS(in1, in2)
        BEGIN
            IF (in1 = '1' AND in2 = '1') THEN
                output <= '1' AFTER ttl_delay;
            ELSE
                output <= '0';
            END IF;
        END PROCESS;
    END behave;
```

รูปที่ 3.15 วีเอชดีแอลของ AND gate 2 input

เอกสารนี้เป็นเอกสารสงวนลิขสิทธิ์สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้คัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```

CONFIGURATION dataflow_and OF and2 IS
  FOR dataflow
  END FOR;
END dataflow_and;

```

รูปที่ 3.16 ตัวอย่างการออกแบบขององค์ประกอบ ของ and2

รูปที่ 3.16 แสดงการประกอบองค์ประกอบ ชื่อ Dataflow_and ให้เป็นตัวกำหนดการเชื่อมเอกลักษณ์ ชื่อ And2 เข้ากับโครงสร้าง ชื่อ Dataflow ซึ่งจะเห็นว่าเป็นการประกอบโครงร่างอย่างง่าย ส่วนในรูปที่ 3.17 เป็นการสร้างองค์ประกอบ ที่ซับซ้อนขึ้น

```

ARCHITECTURE examp_config OF decode IS
  COMPONENT inv PORT (in1: IN BIT; o1: OUT BIT);
  END COMPONENT;
  COMPONENT and3 PORT (in1, in2, in3: IN BIT; o1: OUT BIT);
  END COMPONENT;
  :
  END examp_config;

```

```

CONFIGURATION decode_llcon OF decode IS
  FOR structural
    FOR i1: inv USE CONFIGURATION WORK.invcon;
    END FOR;
    FOR i2: inv USE CONFIGURATION WORK.invcon;
    END FOR;
    FOR ALL: and3 USE CONFIGURATION WORK.and3con;
    END FOR;
  END FOR;
END decode_con;

```

รูปที่ 3.17 ตัวอย่างการออกแบบขององค์ประกอบ

รูปที่ 3.17 องค์ประกอบ ชื่อ Decode_llcon เชื่อมต่อเอกลักษณ์ชื่อ Decode กับ โครงสร้าง ชื่อ Structure และภายในโครงสร้างชื่อ Structure นี้ประกอบด้วยอุปกรณ์ย่อยๆ ซึ่งแต่ละตัวมีลักษณะการประกอบกับส่วนอื่นด้วยโครงสร้าง FOR... END โดย FOR... END หลังจาก จัดทำ โครงสร้างแล้ว จะต้องผ่านการเรียบเรียง ก่อนเพื่อนำไปใช้ในการจัดทำโครงร่าง ซึ่งหลังจากการ วิเคราะห์โครงสร้าง แล้วจะถูกเก็บไว้ที่ Working directory การกำหนดอุปกรณ์จำเพาะสามารถทำ ได้โดยการบอกชื่อ Label เช่นในกรณีของ i1 และ i2 สำหรับ inv หรือใช้ ALL หรือ OTHERS ซึ่งมี ความหมายว่าอุปกรณ์ inv จะใช้องค์ประกอบ ชื่อ invcon จาก library WORK ที่กำลังทำงานอยู่ จะ เห็นได้ว่าเป็นการสร้างองค์ประกอบ ซ้อนองค์ประกอบการใช้งานองค์ประกอบบนสุดได้ องค์ เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้คัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

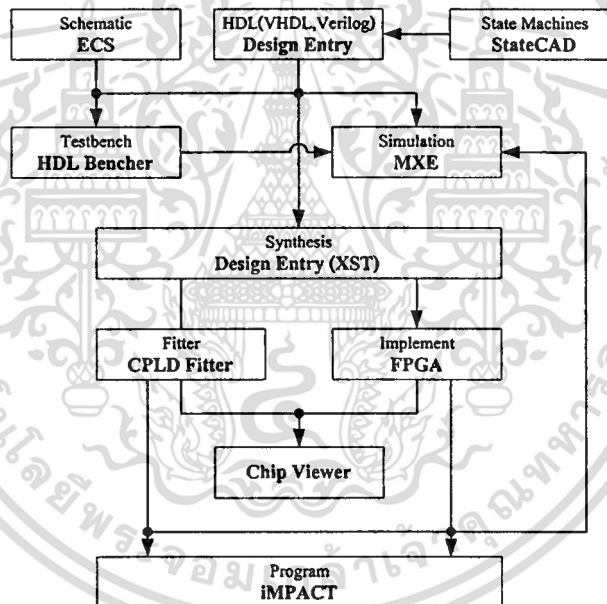
ประกอบล่างสุดจะต้องผ่านการเรียงเรียง ว่าถูกต้องก่อนการสร้างโครงสร้างเช่นนี้เรียกว่า Lower – level configuration

3.4 ขั้นตอนการออกแบบโดยใช้โปรแกรมสำเร็จรูป ISE WEBPACK

การออกแบบโดยใช้โปรแกรมสำเร็จรูป ISE WEBPACK จะมีขั้นตอนแสดงดังรูปที่ 3.18 ซึ่งเป็น Xilinx data flow มีขั้นตอนดังนี้ [13]

ขั้นตอนที่ 1

เป็นขั้นตอนของการออกแบบ ซึ่งสามารถออกแบบได้โดยใช้การวาดวงจร (ใช้โปรแกรมย่อ ย่อ ECS) หรือการเขียนภาษา HDL ซึ่งจะสามารถเลือกเขียนได้ทั้งแบบ VHDL หรือ Verilog และนอกเหนือจากทั้งสองรูปแบบนี้แล้วยังสามารถออกแบบได้จาก State Machines ซึ่งอาศัยโปรแกรมย่อ StateCAD



รูปที่ 3.18 Xilinx Design Flow

ขั้นตอนที่ 2

เป็นการตรวจสอบการออกแบบในขั้นตอนแรกกว่ามีการทำงานถูกต้องหรือไม่ โดยทำการจำลองการทำงาน ซึ่งการจำลองการทำงานจะต้องสร้างโปรแกรมที่สร้างชุดข้อมูลในการทดสอบวงจรที่เรียกว่า Testbench โดยอาศัยโปรแกรมย่อ HDL Benchner ในการสร้างชุดข้อมูลทดสอบอัตโนมัติของวงจรที่ออกแบบในขั้นตอนที่ 1 โดยโปรแกรมที่ทำหน้าที่จำลองการทำงาน ของวงจรที่ออกแบบได้แก่ MXE (ModelSim XE)

ขั้นตอนที่ 3

เมื่อทำการจำลองการทำงานในระดับฟังก์ชันเป็นที่ถูกต้องแล้ว ขั้นตอนต่อไปเป็นการสังเคราะห์ โดยใช้โปรแกรมช่วยในการสังเคราะห์วงจรถัดโนมัติ XST (Xilinx Synthesis Technology) โดยขั้นตอนดังกล่าวจะต้องเลือกใช้งานชิพ ซึ่งแล้วแต่ผู้ออกแบบว่าจะเลือกใช้เทคโนโลยีใดระหว่าง CPLD กับ เอฟพีจีเอ

ขั้นตอนที่ 4

หลังจากขั้นตอนที่ 3 แล้วผู้ออกแบบจะได้ไฟล์เนตลิสต์ของผังวงจรที่ถูกสังเคราะห์ขึ้นจากเทคโนโลยีที่ผู้ออกแบบเป็นคนเลือกใช้ โดยจะนำไฟล์เนตลิสต์ที่ได้ทำการ Fitter หรือที่เรียกว่า Implementation ลงบนเซลล์ภายในชิพ โดยในขั้นตอนนี้สามารถกำหนดรายละเอียดเกี่ยวกับขาต่างๆ ของวงจรที่ออกแบบกับอุปกรณ์ CPLD หรือ เอฟพีจีเอ

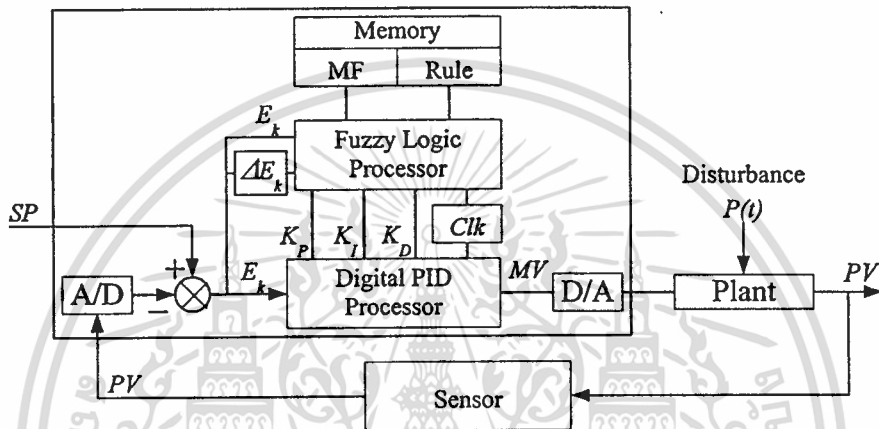
ขั้นตอนที่ 5

เป็นขั้นตอนสุดท้ายของการออกแบบ คือเป็นการนำไฟล์ที่ผ่านการ Implementation แล้วไปโปรแกรมลงสู่ชิพ โดยอาศัยโปรแกรมย่อย iMPACT ซึ่งเป็นโปรแกรมที่ใช้ในการดาวน์โหลดวงจรที่ออกแบบลงสู่ชิพผ่านทางสาย JTAG Cable ได้ทันทีโดยไม่ต้องอาศัยเครื่องมืออื่นใด เนื่องจากอุปกรณ์ดังกล่าวมีระบบ ISP (In-System Programming) อยู่ภายใน

บทที่ 4

การออกแบบ

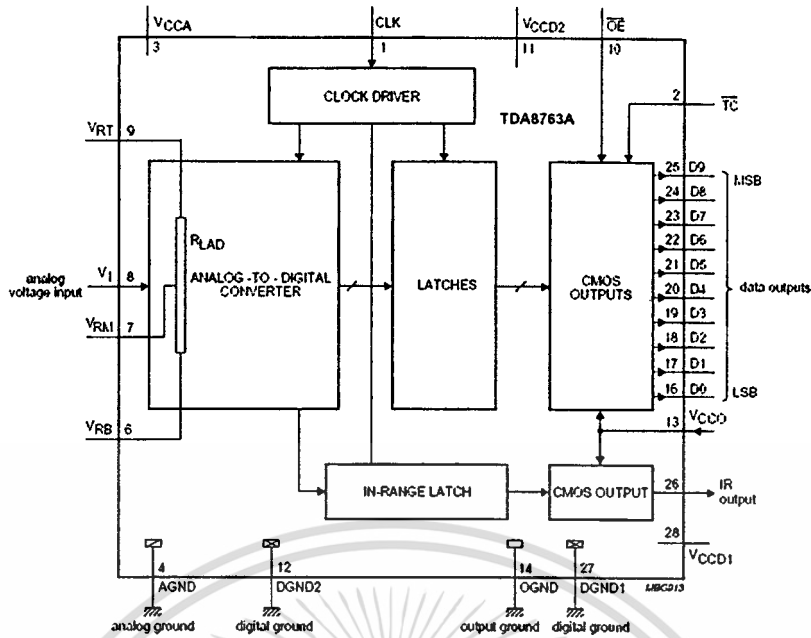
ตัวควบคุม Fuzzy-PID บนชิพเอฟพีจีเอ จะมีส่วนประกอบดังรูปที่ 4.1 โดยการออกแบบจะประกอบด้วยวงจรแปลงสัญญาณอะนาลอกเป็นดิจิทัล, ตัวประมวลผลฟัซซีฟิวอี้, วงจรแปลงสัญญาณดิจิทัลเป็นอะนาลอก และวงจรแปลงแรงดันเป็นกระแส



รูปที่ 4.1 บล็อกไดอะแกรมตัวควบคุมฟัซซีฟิวอี้

4.1 การออกแบบวงจรแปลงสัญญาณอะนาลอก เป็นดิจิทัล 10 บิต

ตัวควบคุม Fuzzy - PID บนชิพเอฟพีจีเอ สัญญาณที่ใช้ในการประมวลผลจะต้องเป็นสัญญาณดิจิทัลเท่านั้น ดังนั้นการวัดค่าที่เปลี่ยนแปลงของกระบวนการจำเป็นต้องมีชุดวงจรสำหรับแปลงสัญญาณอะนาลอก เป็นสัญญาณดิจิทัล (Analog to digital: A to D) ซึ่งวิทยานิพนธ์ฉบับนี้ได้ออกแบบโดยใช้วงจรรวมเบอร์ TDA8763/AM ของบริษัทฟิลิปส์ ซึ่งเป็นชิพที่แปลงสัญญาณอะนาลอกเป็นสัญญาณดิจิทัล 10 บิต มีความเร็วในการแปลงสัญญาณให้เลือก 3 รุ่นด้วยกันคือ -3, -4 และ -5 ซึ่งมีความเร็วสูงสุดในการแปลงสัญญาณคือ 30, 40 และ 50 MHz ตามลำดับ โดยการออกแบบจะเหมือนกันทุกประการแต่จะแตกต่างที่ความเร็วของสัญญาณนาฬิกา ที่ใช้ในการเข้าถึงข้อมูลเท่านั้น รูปที่ 4.2 แสดงบล็อกไดอะแกรมของชิพ TDA8763/AM [15] ซึ่งสัญญาณแต่ละขาสามารถกำหนดค่าใช้งานในการออกแบบแสดงดังตารางที่ 4.1 โดยสัญญาณที่ต้องออกแบบจะมีช่วงอินพุตอยู่ระหว่าง 1.475 ถึง 3.495 โวลต์ เมื่อแรงดันออฟเซตของทั้งสองช่วงคือ 0.175 โวลต์ ดังนั้นขาสัญญาณ $V_{RT} = 3.67$ โวลต์ และ $V_{RB} = 1.3$ โวลต์ ส่วนขาสัญญาณ Clk จะสร้างจากชิพเอฟพีจีเอ



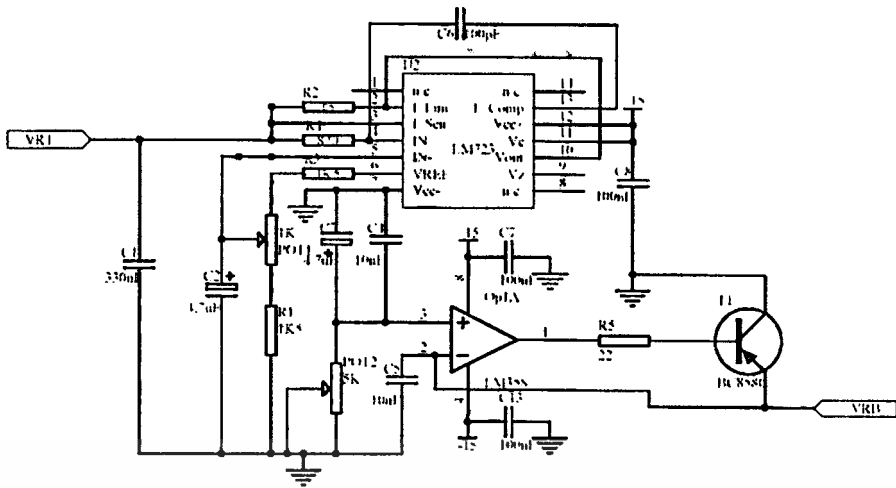
รูปที่ 4.2 บล็อกไดอะแกรมชิพ TDA8763 AM

ตารางที่ 4.1 ชนิด และค่าใช้งานชิพ TDA8763/AM

สัญญาณ	ชนิดของสัญญาณ	แรงดัน
V_{CCD1} , V_{CCD2} , V_{CCA}	แรงดันแหล่งจ่าย	5 V
V_{CCO}	แรงดันแหล่งจ่ายเอาต์พุต	3.3 V
AGND, DGND1, DGND2, OGND	กราวด์	Ground
\overline{TC}	Nonpolar, bipolar	'1' = 3.3 V; '0' = 0 V
\overline{OE}	Output Enable	'1' = 3.3 V; '0' = 0 V
CLK	Clock signal	'1' = 3.3 V; '0' = 0 V
IR, D0 – D9	Digital data	'1' = 3.3 V; '0' = 0 V
V_{IN}	Analog voltage input	1.475 – 3.495 V
V_{RT}	Reference voltage top	3.67 V
V_{RM}	Reference voltage medium	-
V_{RB}	Reference voltage bottom	1.3 V

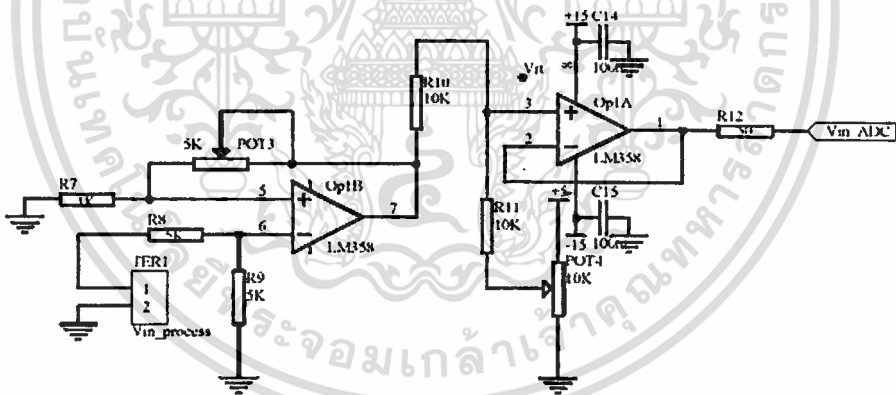
เนื่องจากกำหนดให้แรงดันอ้างอิงที่ใช้จะต้องมีความถูกต้องสูงดังนั้นจึงใช้วงจร Precision regulator สำหรับแรงดันอ้างอิง V_{RT} และวงจร Close loop สำหรับแรงดันอ้างอิง V_{RB} ซึ่งสามารถปรับค่าแรงดัน V_{RT} ได้ที่ POT1 และปรับค่าแรงดัน V_{RB} ได้ที่ POT2 แสดงผังวงจรดังรูปที่ 4.3

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



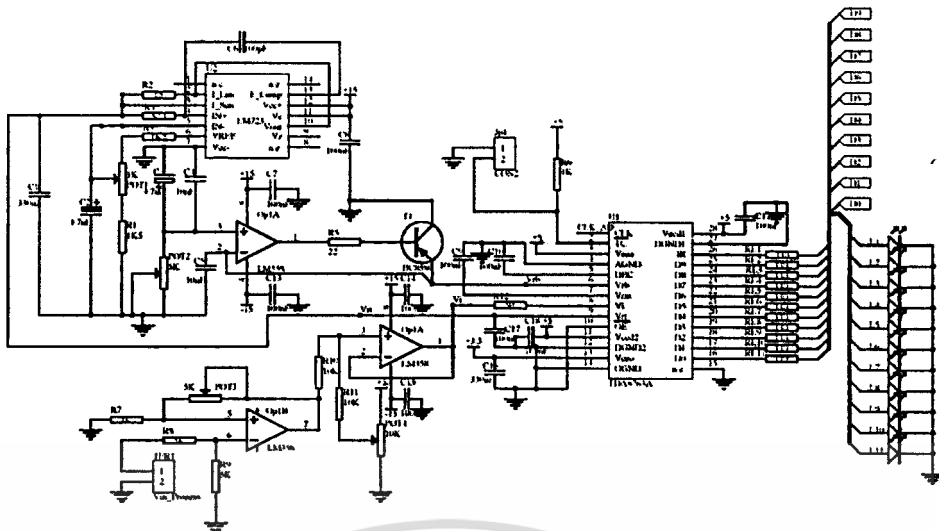
รูปที่ 4.3 วงจร Precision regulator และวงจร Close loop สำหรับแรงดันอ้างอิง

เมื่อสัญญาณที่ได้จากกระบวนการเป็นระดับแรงดัน 1 ถึง 5 โวลท์ ดังนั้นจำเป็นต้องแปลงสัญญาณให้อยู่ในระดับที่ A to D สามารถแปลงสัญญาณได้อย่างถูกต้องโดยใช้วงจรขยาย และบวกสัญญาณเพื่อทำการปรับ Zero และ Span ของสัญญาณอินพุต โดยปรับ Zero ได้ที่ POT4 และ Span ได้ที่ POT3 แสดงวงจรดังรูปที่ 4.4



รูปที่ 4.4 วงจร ขยาย และบวกสัญญาณเพื่อทำการปรับ Zero และ Span ของสัญญาณอินพุต

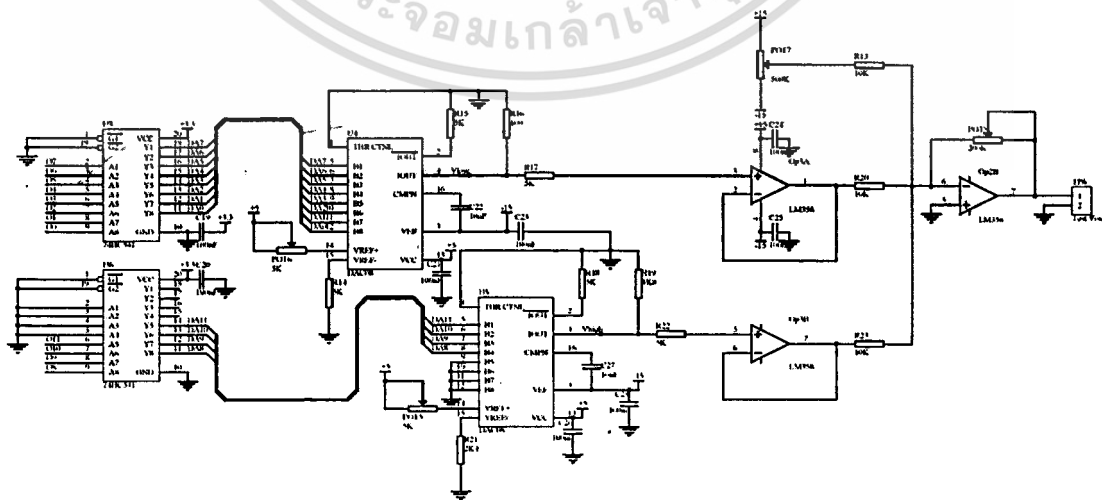
เมื่อนำวงจรส่วนนี้ทั้งหมดมาเชื่อมต่อจะแสดงได้ดังรูปที่ 4.5



รูปที่ 4.5 วงจรแปลงสัญญาณอะนาลอกเป็นดิจิทัล 10 บิต

4.2 การออกแบบวงจรแปลงสัญญาณดิจิทัล 12 บิต เป็นอะนาลอก

เนื่องจากสัญญาณที่ใช้ควบคุมกระบวนการจะเป็นสัญญาณอะนาลอกดังนั้นจึงต้องมีวงจรที่แปลงกลับสัญญาณจากดิจิทัลเป็นอะนาลอก ซึ่งวิทยานิพนธ์ฉบับนี้ได้ออกแบบโดยใช้วงจรรวมเบอร์ DAC08 2 ตัว อนุกรมกันโดยกำหนดให้ตัวแรกคือ 8 บิต ล่าง มีแรงดันอยู่ในช่วง 0 – 255 mV บิตต่ำสุดมีค่า 1 mV ส่วนตัวที่สองเป็น 4 บิต บนจะมีแรงดันอยู่ในช่วง 0 – 3.840 V บิตต่ำสุดมีค่า 256 mV ซึ่งสามารถทำการปรับให้แรงดันอยู่ในช่วงที่ต้องการได้โดย 8 บิตล่างปรับที่ POT6 และ 4 บิต บนปรับที่ POT5 นำแรงดันที่ได้จากทั้งสองตัวรวมเข้าด้วยกัน แรงดันที่ได้จะอยู่ในช่วง 0 – 4.095 V ซึ่งสามารถปรับให้แรงดันอยู่ในช่วง 1 – 5 V ได้โดยปรับ POT7 และ POT8 (Zero และ Span) แสดงวงจรดังรูปที่ 4.6



รูปที่ 4.6 วงจรแปลงสัญญาณดิจิทัล 12 บิต เป็นอะนาลอก

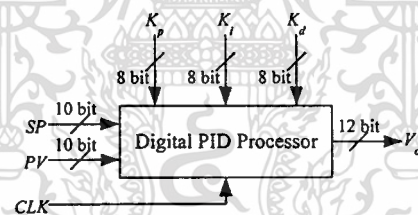
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้คัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จัดรูปสมการ (4.1) โดยแทนค่า K_i และ K_d ในสมการได้สมการพีไอดีแบบไม่ต่อเนื่องเป็น

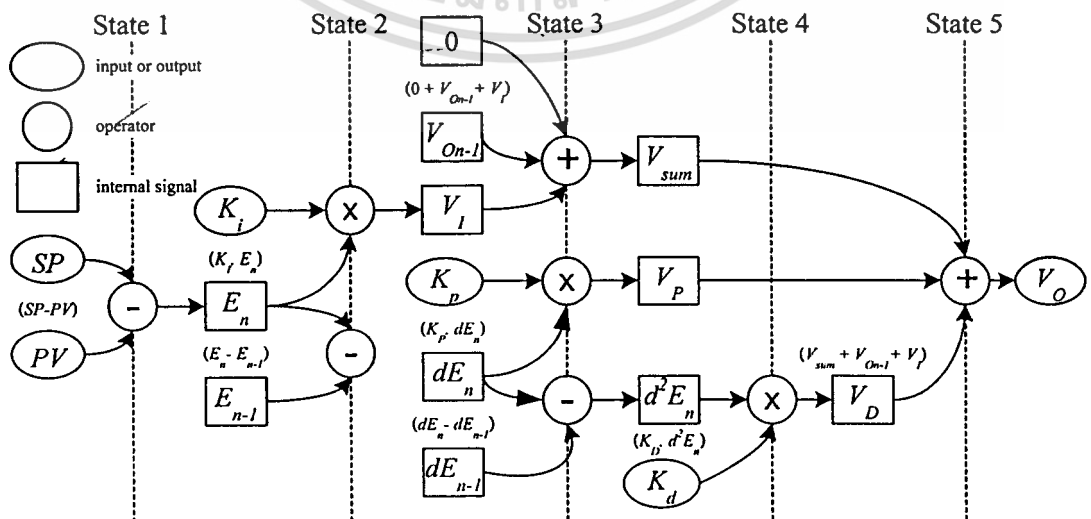
$$V_o = V_{o_{n-1}} + K_p(\Delta e_n) + K_i(e_n) + K_d(\Delta^2 e_n) \tag{4.2}$$

เมื่อ $\Delta e_n = e_n - e_{n-1}$
 $\Delta^2 e_n = \Delta e_n - \Delta e_{n-1} = e_n - 2e_{n-1} - e_{n-2}$

การบรรยายพฤติกรรมตัวประมวลผลดิจิทัลพีไอดีบนเอฟพีจีเอที่แสดงดังรูปที่ 4.8 จะใช้สถาปัตยกรรมในลักษณะอนุกรม ซึ่งตัวกระทำ (Operator) จะทำงานร่วมกันเป็นลำดับเพื่อลดจำนวนเกตภายในเอฟพีจีเอ โดยควบคุมลำดับการทำงานของตัวกระทำด้วยสเตตแมชชีน (State machine) ซึ่งจากการออกแบบแต่ละสเตตจะใช้สัญญาณนาฬิกา 1 คาบ ดังนั้นจากสมการที่ (4.2) จะออกแบบลำดับการทำงานของตัวกระทำแสดงดังรูปที่ 4.9 โดยตัวกระทำจะประกอบไปด้วย วงจรคูณ (10 × 10 บิต), วงจรลบ (10 - 10 บิต), วงจรบวก (20 + 20 + 20 บิต) ซึ่งจะเห็นว่าในแต่ละสเตตจะไม่ใช่ตัวกระทำเหมือนกันดังนั้นจึงสามารถใช้ตัวกระทำร่วมกันได้ และวงจรดิจิทัลพีไอดีบนเอฟพีจีเอจะใช้สัญญาณนาฬิกาทั้งหมด 5 คาบ



รูปที่ 4.8 บล็อกโคะแกรมตัวประมวลผลดิจิทัลพีไอดีบนเอฟพีจีเอ



เอกสารรูปที่ 4.9 สเตตโคะแกรมของดิจิทัลพีไอดี การศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```

IF clk'event AND clk = '1' THEN
  IF st1 = '1' THEN
    IF st2 = '1' THEN
      IF st3 = '1' THEN
        IF st4 = '1' THEN
          IF st5 = '1' THEN
            Vo <= sumO;      Von <= sumO;      sumB <= Vp;
            ELSE            sumA <= Vsum;      sumC <= mulO;      st5 <= '1';
          END IF;
          ELSE            mulA <= subO;      mulB <= kd;
            Vsum <= sumO;      Vp <= mulO;      st4 <= '1';
          END IF;
          ELSE            sumA <= "0";      sumB <= mulO;      sumC <= Von;
            mulA <= subO;      mulB <= kp;      subA <= subO;
            subB <= dck;      dck <= subO;      st3 <= '1';
          END IF;
          ELSE            mulA <= subO;      mulB <= ki;      subA <= subO;
            subB <= ek;      ek <= subO;      st2 <= '1';
          END IF;
          ELSE            subA <= sp;      subB <= pv;      st1 <= '1';
          END IF;
        END IF;
      END IF;
    END IF;
  END IF;
END IF;

```

รูปที่ 4.10 บรรยายพฤติกรรมของคิจิตอลพีไอดี ตามสเตตโคอะแกรม

รูปที่ 4.10 แสดงส่วนหนึ่งของการออกแบบคิจิตอลพีไอดี ซึ่งส่วนที่แสดงนี้เป็นส่วนหลักที่เรียกใช้ Component ตัวกระทำบวก ลบ และ คูณ โดยแต่ละตัวกระทำจะถูกควบคุมด้วยสเตตแมชชีน st1 – st5

4.4 การออกแบบตัวประมวลผลพีซี-พีไอคิบนเอฟฟี่เอ

การออกแบบส่วนนี้จะใช้หลักการ Fuzzy gain scheduling [6] โดยจะกำหนดให้อินพุตประกอบด้วยค่าความผิดพลาด (Error: $e(t)$) และอัตราการเปลี่ยนแปลงของค่าความผิดพลาด (Change of error: $\Delta e(t)$) ซึ่งในแต่ละอินพุตจะประกอบด้วยเซตของฟังก์ชันการเป็นสมาชิก ที่เป็นสามเหลี่ยม 7 เซต โดยที่เซตจะสามารถซ้อนทับกันได้ไม่เกิน 2 เซต ต่อหนึ่งค่ากระบวนการ แสดงฟังก์ชันการเป็นสมาชิกดังรูปที่ 4.11 เมื่อ NB คือ negative big, NM คือ negative medium, NS คือ negative small, ZO คือ zero, PS คือ positive small, PM คือ positive medium และ PB คือ positive big ส่วนเอาต์พุตจะประกอบไปด้วย proportional gain (K_p), derivative gain (K_d) และ integral gain (K_i) โดยที่ค่า K_i หาได้จากความสัมพันธ์ระหว่าง Derivative time constant กับค่าคงที่ α คือ $T_i = \alpha T_d$ ดังนั้น

$$K_i = \frac{K_p^2}{\alpha K_d} \quad (4.3)$$

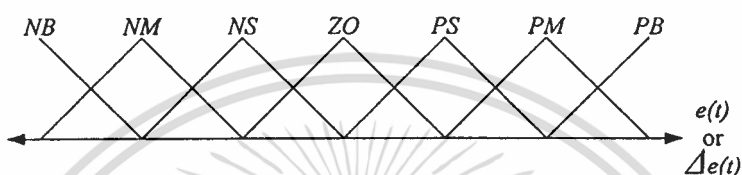
กำหนดให้เอาต์พุต K_p และ K_d จะประกอบด้วยเซตของฟังก์ชันการเป็นสมาชิก ที่เป็น Singleton 6 เซต และ α จะประกอบด้วยเซตของฟังก์ชันการเป็นสมาชิก ที่เป็น Singleton 4 เซต เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

แสดงฟังก์ชันการเป็นสมาชิก ดังรูปที่ 4.12 เมื่อ Z คือ zero, VS คือ very small, S คือ small, M คือ medium, B คือ big และ VB คือ very big โดยที่ช่วงของ K_p และ K_d จะกำหนดได้ดังสมการที่ (4.4)

$$\begin{aligned} K_{p,min} &= 0.32 K_u, & K_{p,max} &= 0.6 K_u \\ K_{d,min} &= 0.08 K_u T_u, & K_{d,max} &= 0.15 K_u T_u \end{aligned} \tag{4.4}$$

เมื่อ K_u คือ gain of oscillation

T_u คือ period of oscillation



รูปที่ 4.11 ฟังก์ชันการเป็นสมาชิกของอินพุต $e(t)$ และ $\Delta e(t)$

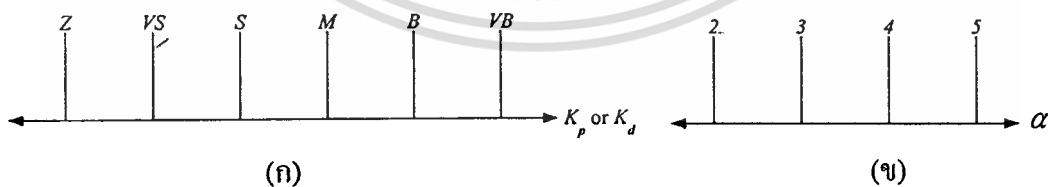
ส่วนกฎของฟัซซี (Fuzzy rule) จะหาได้จากสมการที่ (4.5) โดยจะใช้ตัวกระทำ Max-Min ในการหาความสัมพันธ์ฟัซซี (Fuzzy relation)

$$\text{if } e(t) \text{ is } A_i \text{ and } \Delta e(t) \text{ is } B_i \text{ then } K_p = C_i \text{ also } K_d = D_i \text{ also } \alpha = \alpha_i \tag{4.5}$$

เมื่อ A_i และ B_i เป็น ฟัซซีเซตที่สัมพันธ์กับ $e(t)$ และ $\Delta e(t)$ ในรูปที่ 4.11

C_i และ D_i เป็น ฟัซซีเซตที่สัมพันธ์กับ K_p และ K_d ในรูปที่ 4.12 (ก)

α_i เป็น ฟัซซีเซตที่สัมพันธ์กับ α ในรูปที่ 4.12 (ข)



รูปที่ 4.12 ฟังก์ชันการเป็นสมาชิกของเอาต์พุต

(ก) ฟังก์ชันการเป็นสมาชิกของ K_p และ K_d

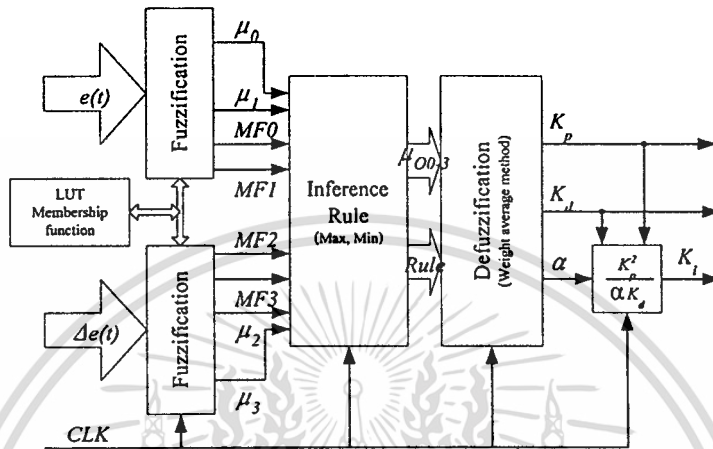
(ข) ฟังก์ชันการเป็นสมาชิกของ α

การหาค่าเอาต์พุตของตัวควบคุมจะใช้วิธีหาค่าเฉลี่ยของค่าน้ำหนัก (Weight average method) แสดงดังสมการที่ (4.6)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$v_o = \frac{\sum \mu_B(v)v}{\sum \mu_B(v)} \quad (4.6)$$

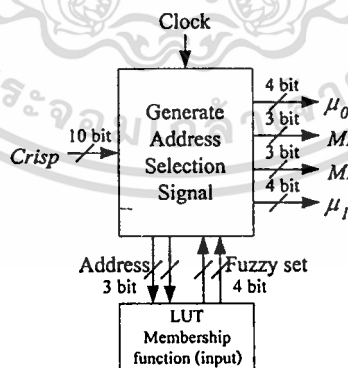
โดยการออกแบบตัวควบคุมฟัซซีสำหรับพีไอดี แสดงดังบล็อกโคอะแกรมรูปที่ 4.13 โดยการออกแบบสามารถแบ่งเป็นส่วนๆ ได้ดังนี้



รูปที่ 4.13 บล็อกโคอะแกรมฟัซซีพีไอดี

4.4.1 ฟัซซีพีเคชัน

เป็นส่วนแปลงสัญญาณอินพุตที่เป็นค่าของกระบวนการ ให้เป็นค่าฟัซซี โดยจะกำหนดค่าของฟัซซี ไว้ในหน่วยความจำ ซึ่งการเข้าถึงค่าต่างๆ ในหน่วยความจำจะสัมพันธ์กับค่าของกระบวนการ แสดงบล็อกโคอะแกรมส่วนนี้ดังรูปที่ 4.14

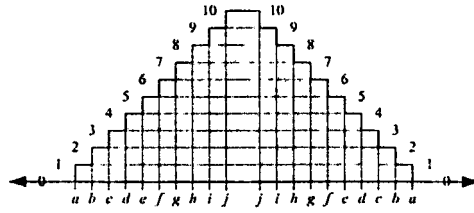


รูปที่ 4.14 บล็อกโคอะแกรมส่วนฟัซซีพีเคชัน

การออกแบบจะกำหนดให้ฟังก์ชันการเป็นสมาชิก 1 เซต ประกอบด้วยข้อมูลในหน่วยความจำ 10 ตำแหน่ง มีค่าตั้งแต่ 0 ถึง 10 (0 – Ah) รูปที่ 4.15 แสดงการกำหนดฟังก์ชันการเป็นสมาชิกโดยกำหนดให้ $a, b, c, d, e, f, g, h, i$ และ j เป็นค่าของกระบวนการ และ 0 ถึง 10 เป็นค่าฟัซซี

ในหน่วยความจำ แสดงการบรรยาย ฟังก์ชันการเป็นสมาชิก โดยใช้ภาษาวีเอชดีแอล ดังรูปที่ 4.16

ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้คัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.15 การกำหนดฟังก์ชันการเป็นสมาชิก

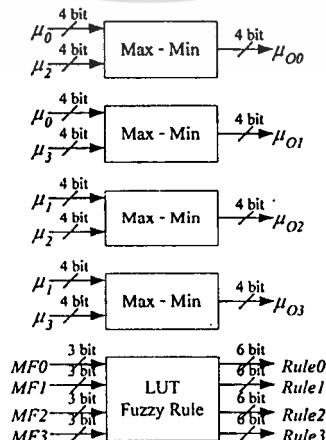
```

FUNCTION MF_1_5(Crisp : STD_LOGIC_VECTOR(9 downto 0)) RETURN STD_LOGIC_VECTOR IS
BEGIN
IF (Crisp(9) and Crisp(8) and Crisp(7) and Crisp(6) and Crisp(5))='1' THEN RETURN ("0000");
ELSIF (Crisp(9) and Crisp(8) and Crisp(7) and Crisp(6))='1' THEN RETURN ("0001");
ELSIF (Crisp(9) and Crisp(8) and Crisp(7) and Crisp(5))='1' THEN RETURN ("0010");
ELSIF (Crisp(9) and Crisp(8) and Crisp(7))='1' THEN RETURN ("0011");
ELSIF (Crisp(9) and Crisp(8) and Crisp(6) and Crisp(5))='1' THEN RETURN ("0100");
ELSIF (Crisp(9) and Crisp(8) and Crisp(6))='1' THEN RETURN ("0101");
ELSIF (Crisp(9) and Crisp(8) and Crisp(5))='1' THEN RETURN ("0110");
ELSIF (Crisp(9) and Crisp(8))='1' THEN RETURN ("0111");
ELSIF (Crisp(9) and Crisp(7) and Crisp(6))='1' THEN RETURN ("1000");
ELSIF (Crisp(9) and Crisp(7) and Crisp(5))='1' THEN RETURN ("1001");
ELSIF (Crisp(9) and Crisp(7))='1' THEN RETURN ("1010");
ELSIF (Crisp(9) and Crisp(6) and Crisp(5))='1' THEN RETURN ("1011");
ELSIF (Crisp(9) and Crisp(6))='1' THEN RETURN ("1100");
ELSIF (Crisp(9) and Crisp(5))='1' THEN RETURN ("1101");
ELSIF (Crisp(9))='1' THEN RETURN ("1110");
ELSIF (Crisp(8) and Crisp(7) and Crisp(6) and Crisp(5))='1' THEN RETURN ("0101");
ELSIF (Crisp(8) and Crisp(7) and Crisp(6))='1' THEN RETURN ("0100");
ELSIF (Crisp(8) and Crisp(7) and Crisp(5))='1' THEN RETURN ("0011");
ELSIF (Crisp(8) and Crisp(7))='1' THEN RETURN ("0010");
ELSIF (Crisp(8))='1' THEN RETURN ("0001");
ELSE RETURN ("0000");
END IF;
END;
    
```

รูปที่ 4.16 การบรรยายพฤติกรรมด้วยวีเอชดีเอลของฟังก์ชันการเป็นสมาชิกเมื่อค่ากระบวนการอยู่ในช่วง 3DDh ถึง 178h

4.4.2 การอนุมานกฎ

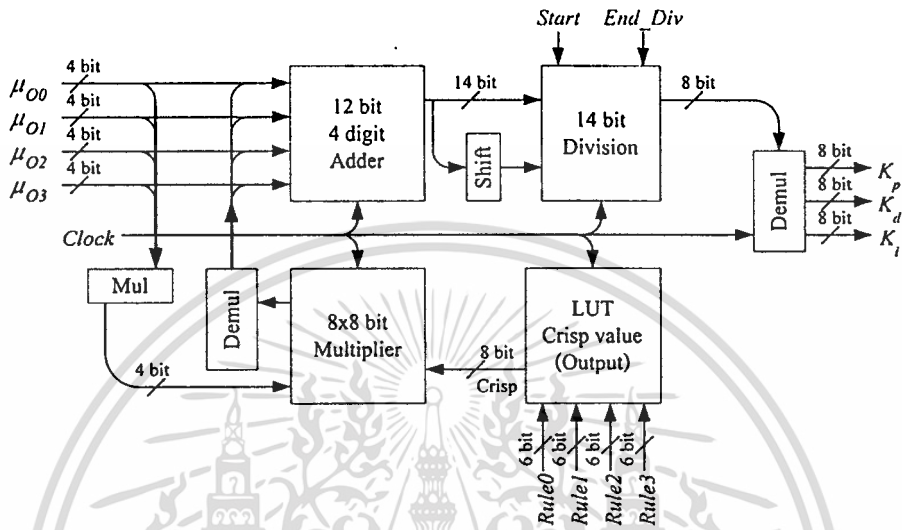
ในส่วนนี้จะรับค่าฟัซซี และตำแหน่งของฟังก์ชันการเป็นสมาชิกมาจากส่วน ฟัซซีฟิเคชัน โดยส่วนนี้จะหาตำแหน่งของฟังก์ชันการเป็นสมาชิกเอคต์พุด และข้อสรุป (Reasoning) ด้วยตัวกระทำ Max-Min ที่สัมพันธ์กับกฎฟัซซี ซึ่งบล็อก โคอะแกรมแสดงดังรูปที่ 4.17



รูปที่ 4.17 บล็อกโคอะแกรมส่วนอนุมานกฎ

4.4.3 ดีฟัซซิฟิเคชัน

ส่วนนี้เป็นส่วนที่หาค่าเอาต์พุตของตัวประมวลผล โดยจะรับค่าฟัซซี และตำแหน่งของฟังก์ชันการเป็นสมาชิกเอาต์พุต ซึ่งจะหาค่าโดยวิธีหาค่าเฉลี่ยของค่าถ่วงน้ำหนัก (Weight average method) แสดงดังสมการที่ (4.6)



รูปที่ 4.18 บล็อกไดอะแกรมส่วนดีฟัซซิฟิเคชัน

รูปที่ 4.18 แสดงบล็อกไดอะแกรมส่วนดีฟัซซิฟิเคชัน ซึ่งส่วนนี้จะทำการหาค่าเอาต์พุตทั้งหมด 3 ค่าคือ K_p , K_i และ K_d ดังนั้นตัวกระทำจะต้องมีการใช้งานร่วมกันแต่ในเวลาที่แตกต่างกัน โดยส่วนนี้จะใช้ตัวกระทำ คือ วงจรบวก (12 + 12 + 12 + 12 บิต), วงจรคูณ (8 × 8 บิต), วงจรหาร (14 ÷ 14 บิต) ซึ่งแสดงสเตทไดอะแกรมของส่วนนี้ดังรูปที่ 4.19 โดยส่วนนี้ในแต่ละสเตทที่ตัวกระทำเป็น บวก และคูณ จะใช้สัญญาณนาฬิกา 1 คาบ แต่ตัวกระทำหารจะใช้สัญญาณนาฬิกา 14 คาบ ดังนั้นในระหว่างที่ทำการหาร จะสามารถเรียกใช้ตัวกระทำอื่นๆ ได้เพื่อลดระยะเวลาในการคำนวณค่าเอาต์พุต ดังนั้นการหาค่าเอาต์พุตจะใช้สัญญาณนาฬิกาทั้งหมด 65 คาบ

บทที่ 5

การทดสอบ และผลการทดสอบ

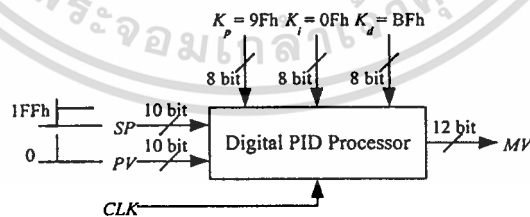
การทดสอบตัวควบคุมพีซีพีไอดีบนเอฟพีจีเอ จะทดสอบโดยแบ่งออกเป็นสองส่วนคือ ส่วนที่ทดสอบโดยการจำลอง (Simulation) ซึ่งใช้โปรแกรมสำเร็จรูป ModelSimXE และการทดสอบ โดยนำไปควบคุมแบบจำลองกระบวนการระดับ (Level process)

5.1 การจำลองด้วยโปรแกรมสำเร็จรูป ModelSimXE

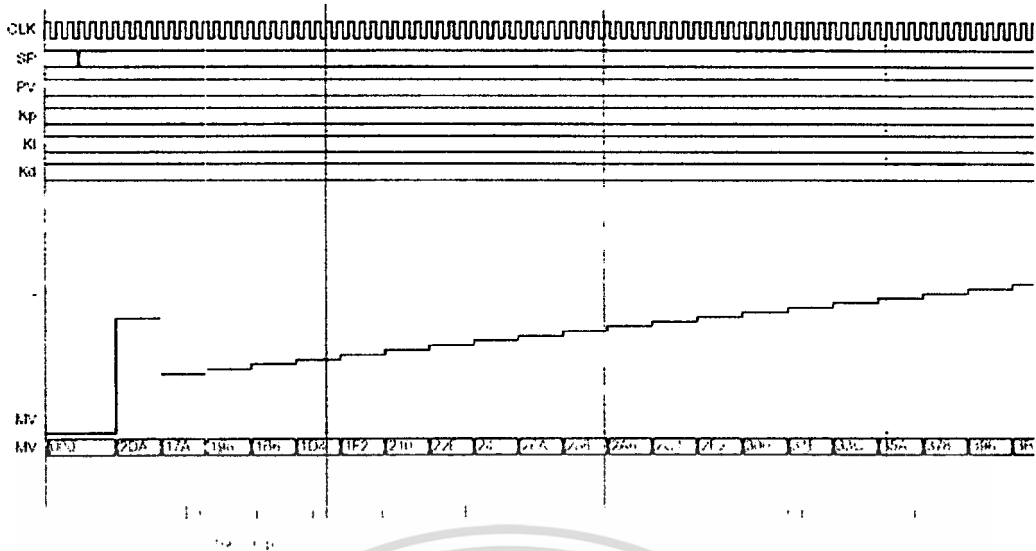
การทดสอบในขั้นตอนนี้ จะเป็นการทดสอบเพื่อตรวจสอบความถูกต้องของตัวประมวลผล และ ความเร็วของตัวประมวลผลที่ออกแบบ ซึ่งการจำลองจะทำการสมมุติค่าอินพุตให้กับตัวประมวลผล และดูการเปลี่ยนแปลงค่าเอาต์พุตว่าเป็นไปตามทฤษฎีหรือไม่ โดยจะแบ่งการจำลองออกเป็น การจำลอง ตัวประมวลผลดิจิทัลพีไอดี และการจำลองตัวประมวลผลพีซีพีไอดี

5.1.1 การจำลองตัวประมวลผลดิจิทัลพีไอดีบนเอฟพีจีเอ

การจำลองส่วนนี้จะเป็นการจำลองแบบวงรอบเปิด (Open loop) แสดงบล็อกไดอะแกรมรูปที่ 5.1 โดยสมมุติให้อินพุตเป็นยูนิคสเต็ป ขนาด 0 ถึง 1FFh และพารามิเตอร์ของตัวควบคุมคือ $K_p = 9Fh$, $K_i = 0Fh$ และ $K_d = BFh$ ผลลัพธ์ที่ได้จากการจำลองคือตัวประมวลผลมีการทำงานเป็นไปตามสมการที่ได้ออกแบบ และเหมือนกับทฤษฎีตัวควบคุมพีไอดี ซึ่งการประมวลผลจะใช้สัญญาณนาฬิกา 5 คาบ แสดงผลการจำลองดัง รูปที่ 5.2



รูปที่ 5.1 บล็อกไดอะแกรมการจำลองตัวประมวลผลพีไอดีบนเอฟพีจีเอ



รูปที่ 5.2 ผลการจำลองตัวประมวลผลดิจิทัลฟิวซีด้วยโปรแกรมสำเร็จรูป

ModelSimXE

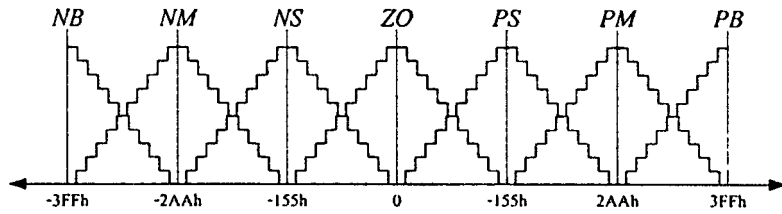
5.1.2 การจำลองตัวประมวลผลฟัซซี่ฟิวซี

การจำลองในส่วนนี้จะต้องกำหนดค่าฟังก์ชันการเป็นสมาชิกอินพุต, กฎฟัซซี่ (Fuzzy rule) และ ฟังก์ชันการเป็นสมาชิกเอาต์พุต ซึ่งการกำหนดค่าต่างๆ นี้จะทำการกำหนดโดยให้สัมพันธ์กับกระบวนการระดับที่จะต้องนำตัวประมวลผลไปทดสอบต่อไป โดยกำหนดค่า ฟังก์ชันการเป็นสมาชิกอินพุต ดังตารางที่ 5.1 และรูปที่ 5.3 แสดงฟังก์ชันการเป็นสมาชิก ตามตารางข้อมูล

ตารางที่ 5.1 ค่า ฟังก์ชันการเป็นสมาชิกอินพุต $e(t)$ และ $\Delta e(t)$

Linguistic \ Fuzzy	0	1	2	3	4	5	6	7	8	9	10
NB (000) L-3FF and -2AA	Other	-717 (2CDh)	-751 (2EFh)	-785 (311h)	-819 (333h)	-853 (355h)	-887 (377h)	-921 (399h)	-955 (3BBh)	-989 (3DDh)	L-1023 (U 3FFh)
NM (001) -3FF, -2AA and -155	Other	-989 (3DDh)	-955 (3BBh)	-921 (399h)	-887 (377h)	-853 (355h)	-819 (333h)	-785 (311h)	-751 (2EFh)	-717 (2CDh)	-682 (2AAh)
	Other	-376 (178h)	-410 (19Ah)	-444 (1BCh)	-478 (1DEh)	-512 (200h)	-546 (222h)	-580 (244h)	-614 (266h)	-648 (288h)	-682 (2AAh)
NS (010) -2AA, -155 and 0	Other	-648 (288h)	-614 (266h)	-580 (244h)	-546 (222h)	-512 (200h)	-478 (1DEh)	-444 (1BCh)	-410 (19Ah)	-376 (178h)	-341 (155h)
	Other	-34 (023h)	-68 (045h)	-102 (067h)	-136 (089h)	-170 (0ABh)	-204 (0CDh)	-239 (0EFh)	-273 (111h)	-307 (133h)	-341 (155h)
ZO (011) -155, 0 and 155	Other	-307 (133h)	-273 (111h)	-239 (0EFh)	-204 (0CDh)	-170 (0ABh)	-136 (089h)	-102 (067h)	-68 (045h)	-34 (023h)	0
	Other	307 (133h)	273 (111h)	239 (0EFh)	204 (0CDh)	170 (0ABh)	136 (089h)	102 (067h)	68 (045h)	34 (023h)	0
PS (100) 0, 155 and 2AA	Other	34 (023h)	68 (045h)	102 (067h)	136 (089h)	170 (0ABh)	204 (0CDh)	239 (0EFh)	273 (111h)	307 (133h)	341 (155h)
	Other	648 (288h)	614 (266h)	580 (244h)	546 (222h)	512 (200h)	478 (1DEh)	444 (1BCh)	410 (19Ah)	376 (178h)	341 (155h)
PM (101) 3FF, 2AA and 155	Other	376 (178h)	410 (19Ah)	444 (1BCh)	478 (1DEh)	512 (200h)	546 (222h)	580 (244h)	614 (266h)	648 (288h)	682 (2AAh)
	Other	989 (3DDh)	955 (3BBh)	921 (399h)	887 (377h)	853 (355h)	819 (333h)	785 (311h)	751 (2EFh)	717 (2CDh)	682 (2AAh)
PB (110) 2AA and 3FF U	Other	717 (2CDh)	751 (2EFh)	785 (311h)	819 (333h)	853 (355h)	887 (377h)	921 (399h)	955 (3BBh)	989 (3DDh)	U 1023 (U 3FFh)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 5.3 ฟังก์ชันการเป็นสมาชิกอินพุต $e(t)$ และ $\Delta e(t)$

ส่วนต่อไปเป็นการกำหนดกฎฟuzzy เพื่อนำไปควบคุมกระบวนการระดับโดยกำหนดค่าต่างๆ แสดงดังตารางที่ 5.2 ซึ่งได้จากการสังเกตผลตอบสนองแบบสเต็ปของกระบวนการ

ตารางที่ 5.2 กฎฟuzzyสำหรับ K_p , K_d และ α

$\Delta e(t)$ $e(t)$	NB 000	NM 001	NS 010	ZO 011	PS 100	PM 101	PB 110
NB 000	$K_p = VB$ $K_d = Z$ $\alpha = 2$	$K_p = VB$ $K_d = Z$ $\alpha = 2$	$K_p = VB$ $K_d = Z$ $\alpha = 2$	$K_p = VB$ $K_d = Z$ $\alpha = 2$	$K_p = VB$ $K_d = Z$ $\alpha = 2$	$K_p = VB$ $K_d = Z$ $\alpha = 2$	$K_p = VB$ $K_d = Z$ $\alpha = 2$
NM 001	$K_p = Z$ $K_d = VB$ $\alpha = 3$	$K_p = B$ $K_d = M$ $\alpha = 3$	$K_p = VB$ $K_d = Z$ $\alpha = 2$	$K_p = VB$ $K_d = Z$ $\alpha = 2$	$K_p = VB$ $K_d = Z$ $\alpha = 2$	$K_p = B$ $K_d = M$ $\alpha = 3$	$K_p = Z$ $K_d = VB$ $\alpha = 3$
NS 010	$K_p = Z$ $K_d = VB$ $\alpha = 4$	$K_p = S$ $K_d = B$ $\alpha = 3$	$K_p = M$ $K_d = S$ $\alpha = 3$	$K_p = VB$ $K_d = Z$ $\alpha = 2$	$K_p = M$ $K_d = S$ $\alpha = 3$	$K_p = S$ $K_d = B$ $\alpha = 3$	$K_p = Z$ $K_d = VB$ $\alpha = 4$
ZO 011	$K_p = Z$ $K_d = VB$ $\alpha = 5$	$K_p = S$ $K_d = B$ $\alpha = 4$	$K_p = S$ $K_d = B$ $\alpha = 3$	$K_p = VB$ $K_d = B$ $\alpha = 3$	$K_p = S$ $K_d = B$ $\alpha = 3$	$K_p = S$ $K_d = B$ $\alpha = 4$	$K_p = Z$ $K_d = VB$ $\alpha = 5$
PS 100	$K_p = Z$ $K_d = VB$ $\alpha = 4$	$K_p = S$ $K_d = B$ $\alpha = 3$	$K_p = M$ $K_d = S$ $\alpha = 3$	$K_p = VB$ $K_d = Z$ $\alpha = 2$	$K_p = M$ $K_d = S$ $\alpha = 3$	$K_p = S$ $K_d = B$ $\alpha = 3$	$K_p = Z$ $K_d = VB$ $\alpha = 4$
PM 101	$K_p = Z$ $K_d = VB$ $\alpha = 3$	$K_p = B$ $K_d = M$ $\alpha = 3$	$K_p = VB$ $K_d = Z$ $\alpha = 2$	$K_p = VB$ $K_d = Z$ $\alpha = 2$	$K_p = VB$ $K_d = Z$ $\alpha = 2$	$K_p = B$ $K_d = M$ $\alpha = 3$	$K_p = Z$ $K_d = VB$ $\alpha = 3$
PB 110	$K_p = VB$ $K_d = Z$ $\alpha = 2$	$K_p = VB$ $K_d = Z$ $\alpha = 2$	$K_p = VB$ $K_d = Z$ $\alpha = 2$	$K_p = VB$ $K_d = Z$ $\alpha = 2$	$K_p = VB$ $K_d = Z$ $\alpha = 2$	$K_p = VB$ $K_d = Z$ $\alpha = 2$	$K_p = VB$ $K_d = Z$ $\alpha = 2$

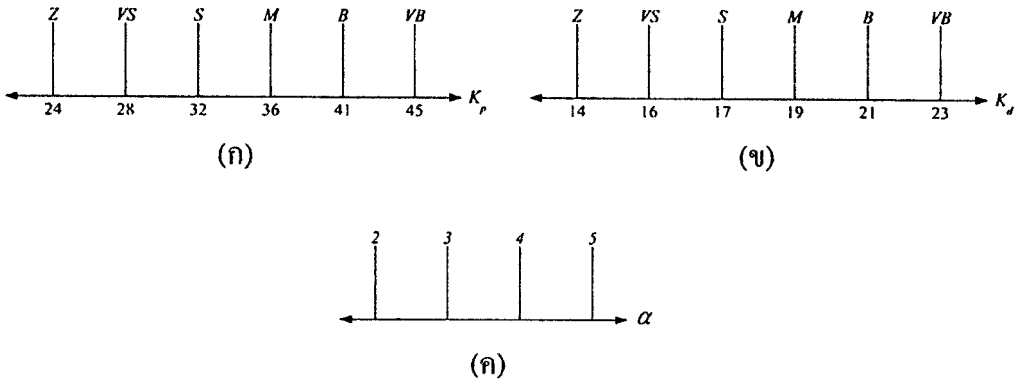
แสดงฟังก์ชันการเป็นสมาชิกของเอาต์พุต K_p , K_d และ α ดังรูปที่ 5.4 ซึ่งช่วงของ K_p และ K_d หาได้จากสมการ ที่ (4.4) เมื่อ $K_u = 75$ และ $T_u = 2$ s ดังนั้นจะได้

$$K_{p,min} = 0.32 \times 75 = 24;$$

$$K_{p,max} = 0.6 \times 75 = 45$$

$$K_{d,min} = 0.08 \times 75 \times 2 = 14;$$

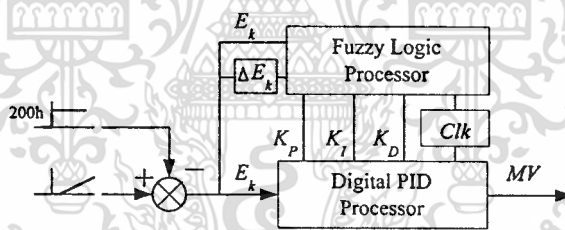
$$K_{d,max} = 0.15 \times 75 \times 2 = 22.5$$



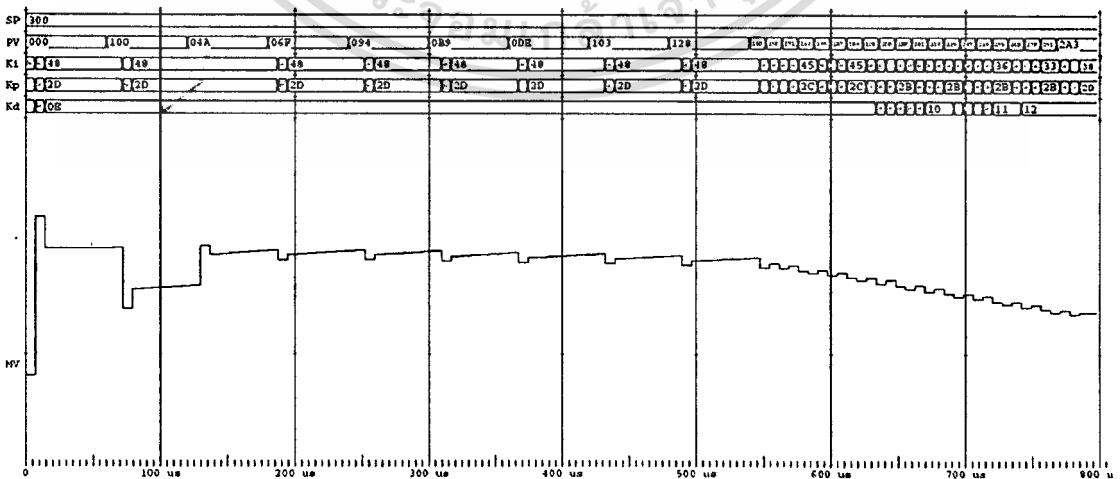
รูปที่ 5.4 ฟังก์ชันการเป็นสมาชิกเอาค์พุดเมื่อ $K_u = 75$ และ $T_u = 2 s$

- (ก) ฟังก์ชันการเป็นสมาชิกของ K_p
- (ข) ฟังก์ชันการเป็นสมาชิกของ K_d
- (ค) ฟังก์ชันการเป็นสมาชิกของ α

จากการกำหนดค่าทั้งหมดทำการจำลองตามบล็อกไดอะแกรมรูปที่ 5.5 โดยใช้โปรแกรมสำเร็จรูป ModelSimXe ซึ่งจะได้ผลการทดลองแสดงดังรูปที่ 5.6 จะเห็นได้ว่าเมื่อกระบวนการมีการเปลี่ยนแปลงค่าพารามิเตอร์ของพีไอดีก็จะเปลี่ยนแปลงสัมพันธ์กับกฎฟัซซี



รูปที่ 5.5 บล็อกไดอะแกรมการจำลองตัวประมวลผลฟัซซีพีไอดี



รูปที่ 5.6 ผลการจำลองตัวประมวลผลฟัซซีพีไอดีบนเอฟพีซีเอ โดยใช้โปรแกรมสำเร็จรูป

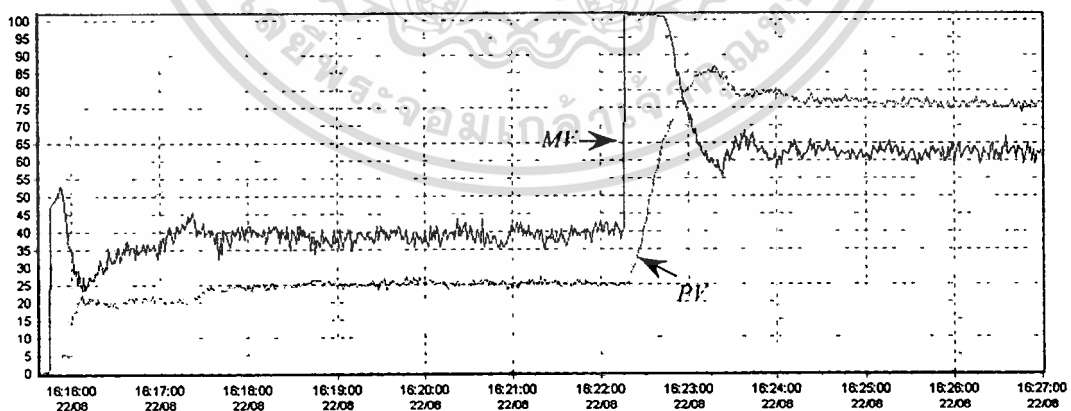
ModelSimXE

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

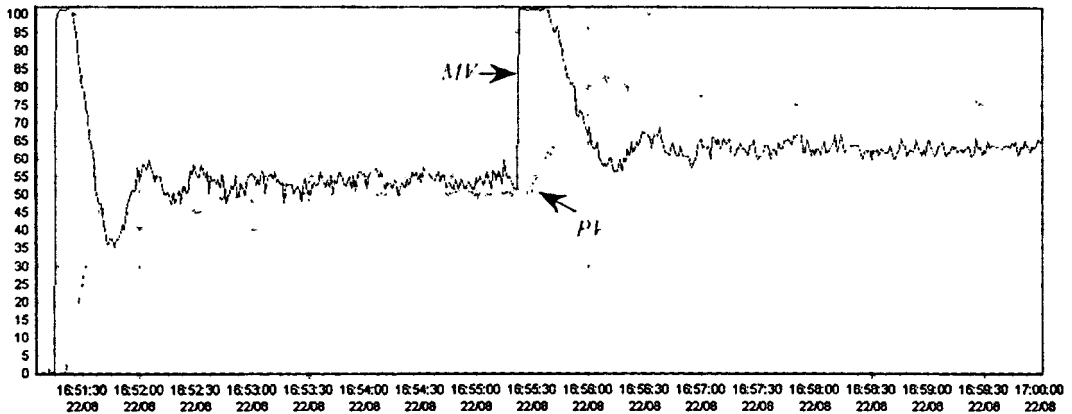
การควบคุมกระบวนการทำได้โดยการควบคุมการ เปิด - ปิด ระดับวาล์ว ด้วยกระแสไฟฟ้า 4 – 20 mA โดยที่ค่าของกระบวนการจะถูกวัดด้วยชุด Differential pressure transmitter: DPT เพื่อเปลี่ยนค่าระดับภายในกระบวนการให้เป็นกระแสไฟฟ้าขนาด 4 – 20 mA ส่วนความแรงของปั๊มจะควบคุมด้วยความถี่ ซึ่งผลการทดสอบจะแยกออกเป็นสามส่วนคือ การทดสอบโดยใช้ตัวควบคุมดิจิทัลพีไอคิบนเอฟพีจีเอ, การทดสอบโดยใช้ตัวควบคุมพีซีพีไอคิบนเอฟพีจีเอ และ การทดสอบโดยใช้ตัวควบคุมดิจิทัลพีไอคิบนเอฟพีจีเอของบริษัท Omron เพื่อเปรียบเทียบความถูกต้องของตัวควบคุม โดยกำหนดให้ความถี่ที่จ่ายให้กับปั๊มในการควบคุมระดับดังเดี๋ยวยู่ที่ 32.17 MHz ส่วนในกรณีสองถึงจะปรับความถี่อยู่ที่ 33.16 MHz

5.2.1 การทดสอบตัวควบคุมพีไอคิบนเอฟพีจีเอ

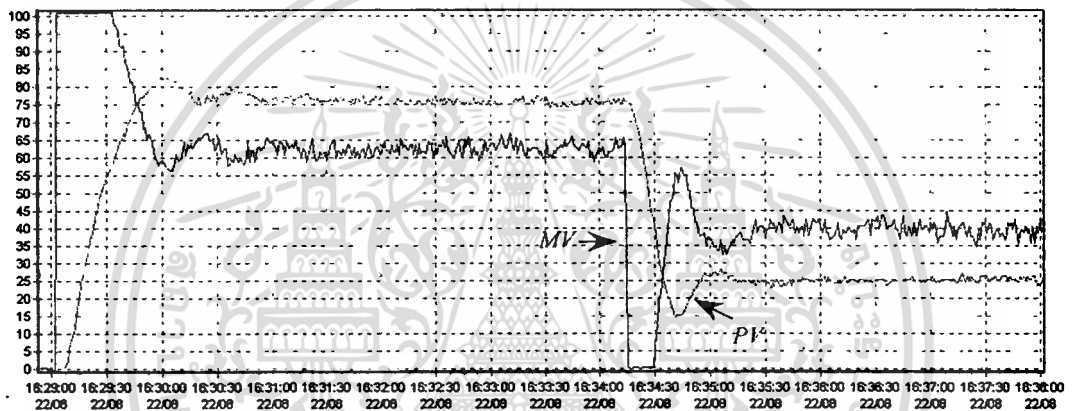
การทดสอบตัวควบคุมพีไอคิบนเอฟพีจีเอ จะทำการทดสอบกับกระบวนการสองถึงโดยจะให้ พารามิเตอร์ของพีไอคิบนเอฟพีจีเอ ที่ $K_p = 128$, $K_d = 23$ และ $K_i = 76$ โดยที่อัตราสุ่ม (Sampling rate) คือ 100 ms ส่วนค่าเป้าหมายจะถูกเปลี่ยนแปลงทั้งเปลี่ยนแปลงโดยการเพิ่มค่า และเปลี่ยนแปลงโดยการลดค่าเป้าหมาย สุดท้ายของการทดสอบจะจำลองการเกิดสิ่งรบกวน (Disturbance) โดยการปิดปั๊มประมาณ 5 วินาที ซึ่งผลการทดสอบแสดงดังรูปที่ 5.8 ถึง 5.13 โดยที่รูปที่ 5.8 ถึง 5.11 เป็นการทดสอบการเปลี่ยนค่าเป้าหมายจะเห็นว่าจากการทดสอบเมื่อค่าเป้าหมายเปลี่ยนไปตัวควบคุมสามารถที่จะกลับเข้าสู่ค่าเป้าหมายใหม่ได้อย่างถูกต้องเป็นไปตามทฤษฎีการควบคุมพีไอคิบนเอฟพีจีเอ ส่วนรูปที่ 5.12 และ 5.13 จะเป็นการจำลองการเกิดสิ่งรบกวน ซึ่งผลการทดสอบตัวควบคุมพีไอคิบนเอฟพีจีเอสามารถที่จะกลับเข้าสู่ค่าเป้าหมายเดิมได้อย่างถูกต้อง



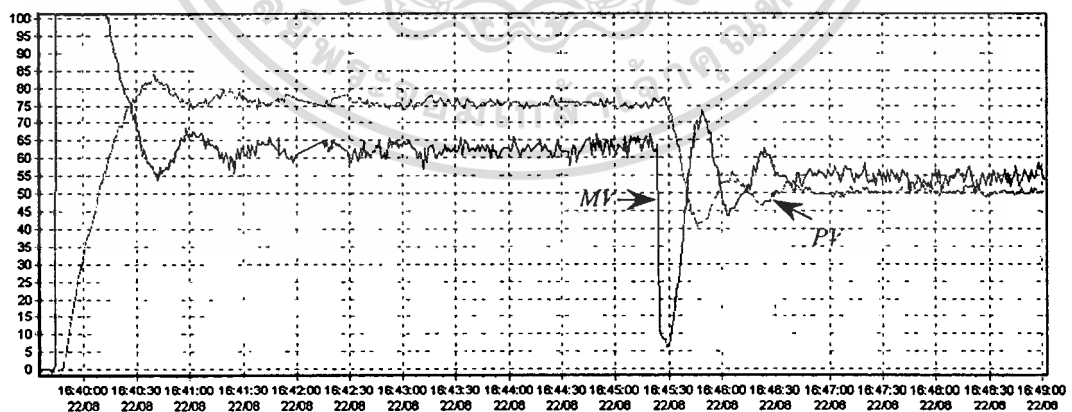
รูปที่ 5.8 ผลการทดสอบตัวควบคุมพีไอคิบนเอฟพีจีเอ เพื่อควบคุมระดับที่ค่าเป้าหมาย 25 % จากนั้นเพิ่มค่าเป้าหมายเป็น 75%



รูปที่ 5.9 ผลการทดสอบตัวควบคุมพีไอไดบนเอฟพีจีเอ เพื่อควบคุมระดับที่ค่าเป้าหมาย 50 %
จากนั้นเพิ่มค่าเป้าหมายเป็น 75%

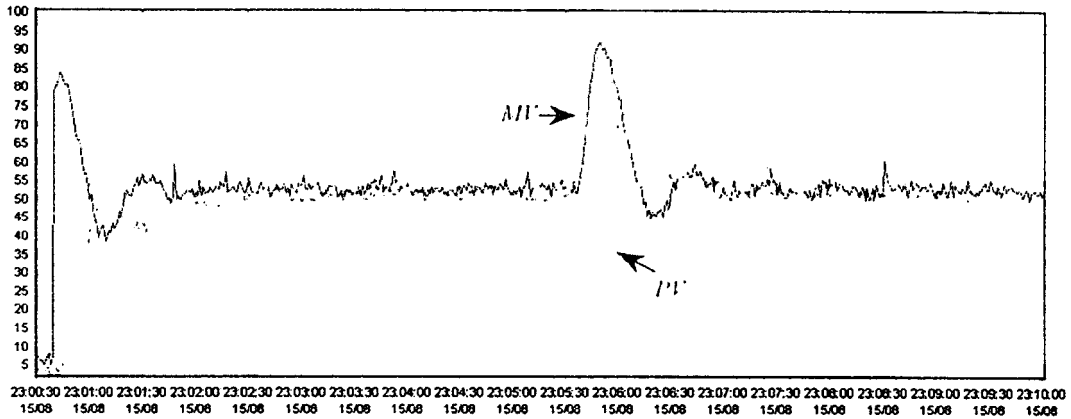


รูปที่ 5.10 ผลการทดสอบตัวควบคุมพีไอไดบนเอฟพีจีเอ เพื่อควบคุมระดับที่ค่าเป้าหมาย 75 %
จากนั้นลดค่าเป้าหมายเป็น 25%

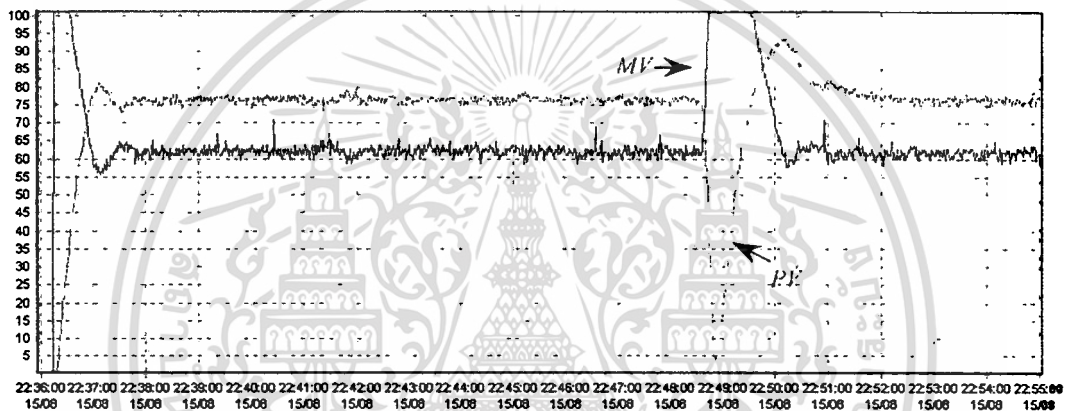


รูปที่ 5.11 ผลการทดสอบตัวควบคุมพีไอไดบนเอฟพีจีเอ เพื่อควบคุมระดับที่ค่าเป้าหมาย 75 %
จากนั้นลดค่าเป้าหมายเป็น 50%

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 5.12 ผลการทดสอบตัวควบคุมพีไอไดบนเอฟพีจีเอ เพื่อควบคุมระดับที่ค่าเป้าหมาย 50 % จากนั้นจำลองการเกิดสิ่งรบกวน (Disturbance) โดยการปิดปั๊มประมาณ 5 วินาที



รูปที่ 5.13 ผลการทดสอบตัวควบคุมพีไอไดบนเอฟพีจีเอ เพื่อควบคุมระดับที่ค่าเป้าหมาย 75 % จากนั้นจำลองการเกิดสิ่งรบกวน (Disturbance) โดยการปิดปั๊มประมาณ 5 วินาที

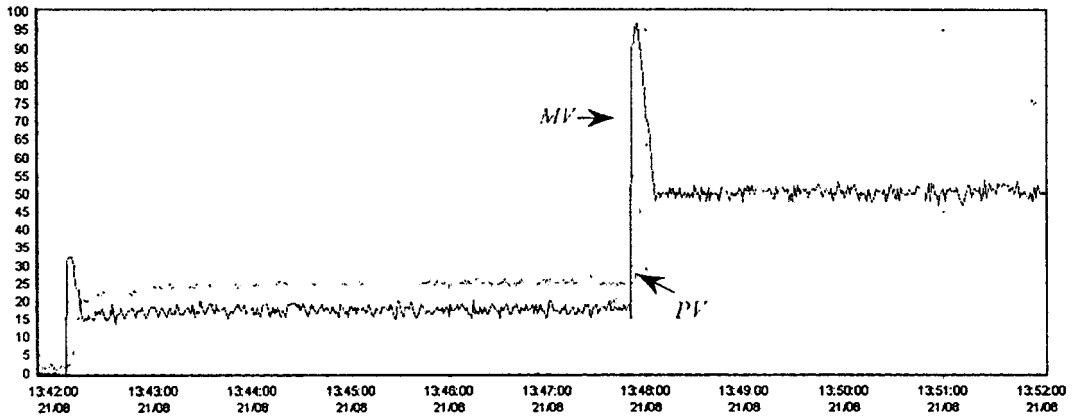
5.2.2 การทดสอบตัวควบคุมฟัซซี่พีไอไดบนเอฟพีจีเอ

การทดสอบตัวควบคุมฟัซซี่พีไอไดบนเอฟพีจีเอจะทำการทดสอบกับกระบวนการระดับทั้งแบบถังเดียว และสองถังโดยพารามิเตอร์ของพีไอจะถูกเปลี่ยนแปลงโดยกระบวนการของตัวควบคุมฟัซซี่ และอัตราสุ่ม (Sampling rate) คือ 100 ms ซึ่งจะใช้ ฟังก์ชันการเป็นสมาชิก และ Fuzzy rule ที่ได้กล่าวไว้ใน การจำลองตัวประมวลผลฟัซซี่ แต่จะเปลี่ยนเพียงค่าใน ฟังก์ชันการเป็นสมาชิก เอาต์พุตเท่านั้น

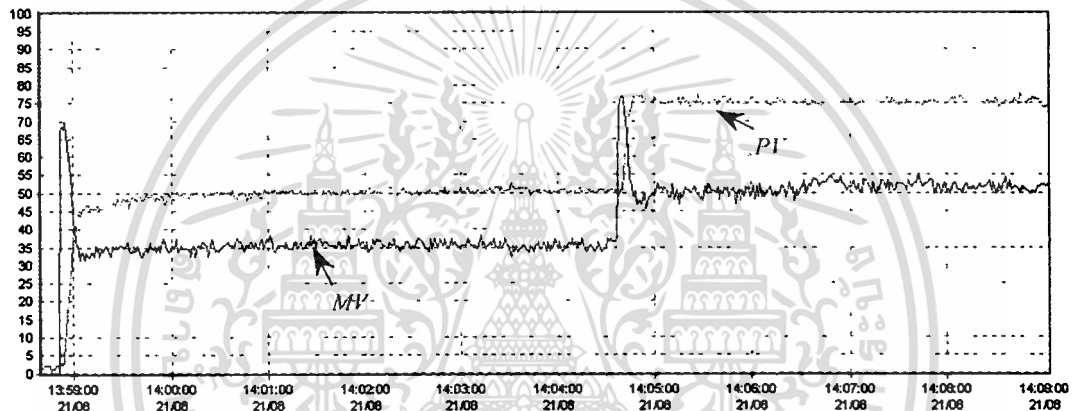
5.2.2.1 การทดสอบตัวควบคุมฟัซซี่พีไอ ได บนเอฟพีจีเอ ในการควบคุมกระบวนการระดับถังเดียว

ในการทดสอบกระบวนการระดับแบบถังเดียวนี้อาจกำหนดค่า $K_u = 150$ และ $T_u = 0.625$ s ซึ่งการทดสอบจะเหมือนกับ การทดสอบตัวควบคุมพีไอไดบนเอฟพีจีเอ คือเปลี่ยนแปลงระดับ

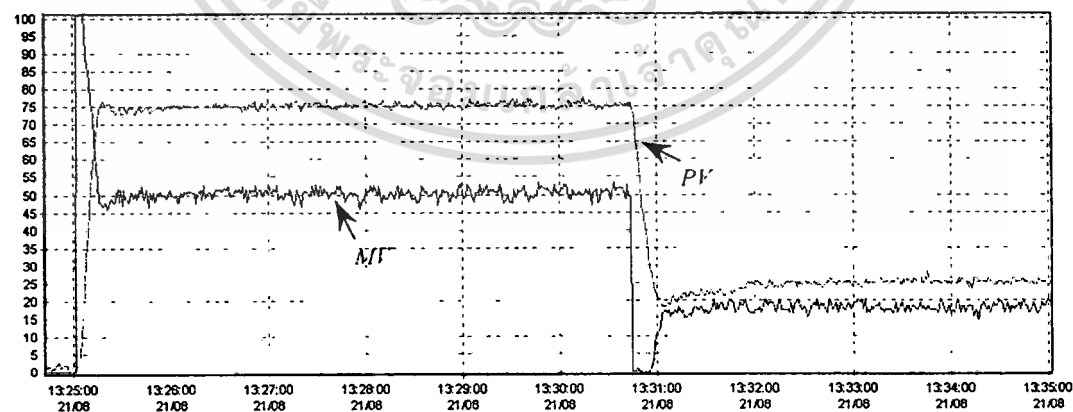
เอกสาร และจำลองสิ่งรบกวน แสดงผลการทดลองดังรูปที่ 5.14 ถึง 5.18 อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 5.14 ผลการทดสอบตัวควบคุมพีซีพีไอดีบนเอฟพีจีเอ เพื่อควบคุมระดับถังเดียวที่
ค่าเป้าหมาย 25 % จากนั้นเพิ่มค่าเป้าหมายเป็น 75%

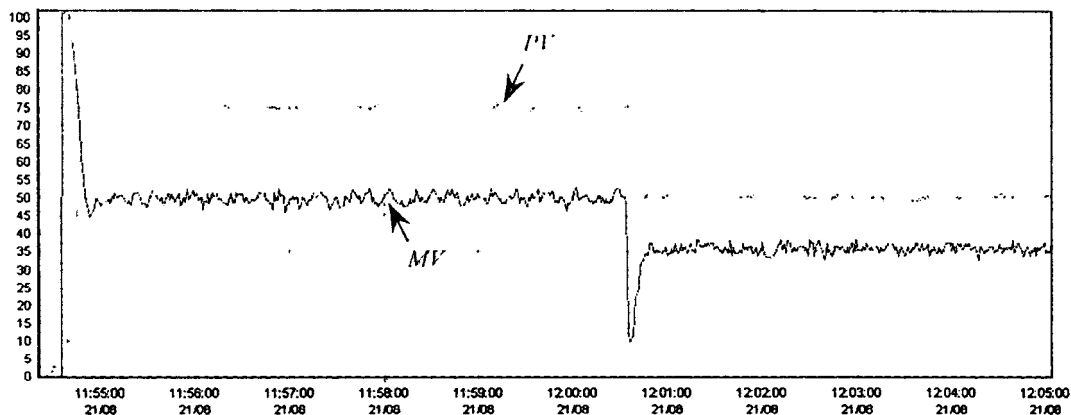


รูปที่ 5.15 ผลการทดสอบตัวควบคุมพีซีพีไอดีบนเอฟพีจีเอ เพื่อควบคุมระดับถังเดียวที่
ค่าเป้าหมาย 50 % จากนั้นเพิ่มค่าเป้าหมายเป็น 75%

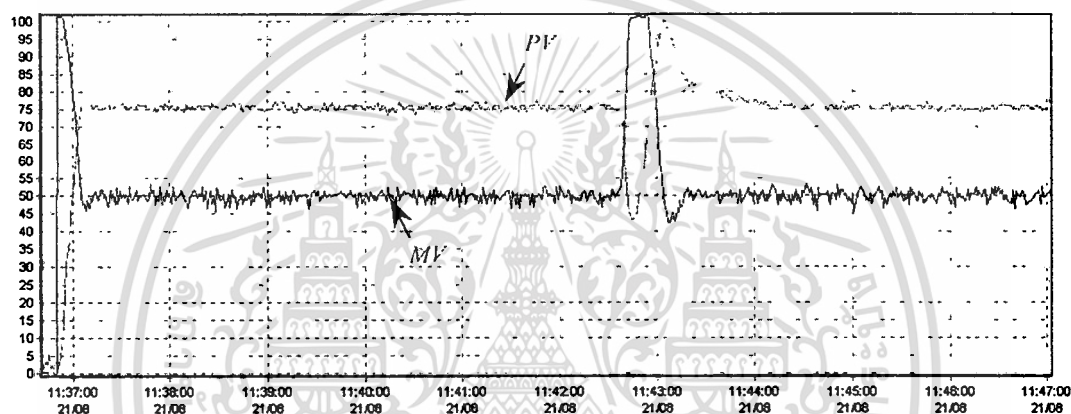


รูปที่ 5.16 ผลการทดสอบตัวควบคุมพีซีพีไอดีบนเอฟพีจีเอ เพื่อควบคุมระดับถังเดียวที่
ค่าเป้าหมาย 75 % จากนั้นลดค่าเป้าหมายเป็น 25%

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 5.17 ผลการทดสอบตัวควบคุมฟัซซีพีไอดีบนเอฟพีจีเอ เพื่อควบคุมระดับถังเดียวที่
ค่าเป้าหมาย 75 % จากนั้นลดค่าเป้าหมายเป็น 50 %

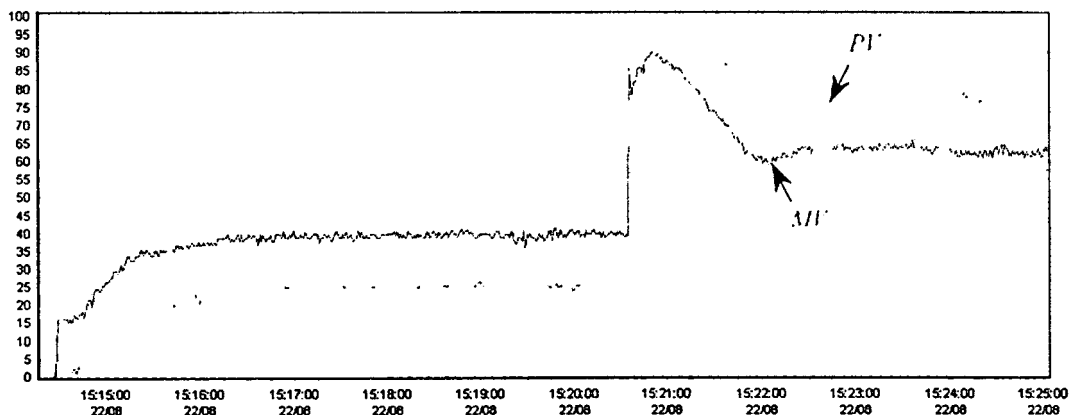


รูปที่ 5.18 ผลการทดสอบตัวควบคุมฟัซซีพีไอดีบนเอฟพีจีเอ เพื่อควบคุมระดับถังเดียวที่
ค่าเป้าหมาย 75 % จากนั้นจำลองการเกิดสิ่งรบกวน (Disturbance) โดยการปิดปั๊ม
ประมาณ 5 วินาที

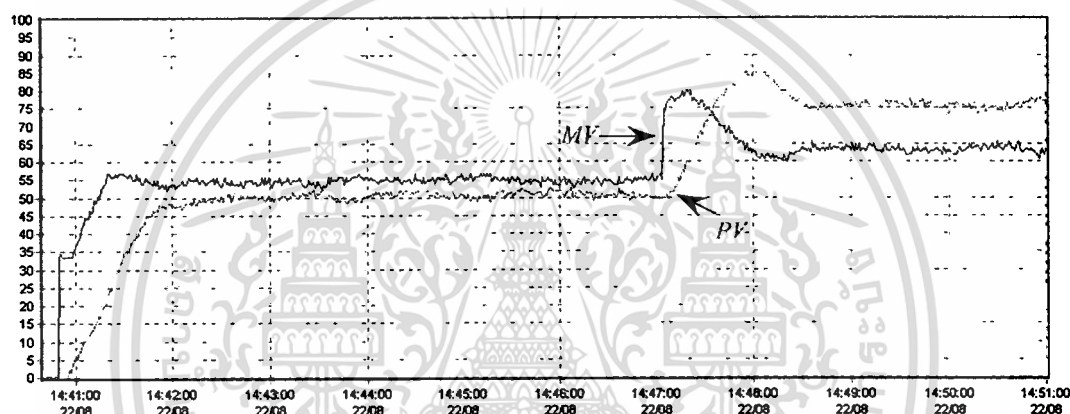
จากผลการทดสอบจะเห็นได้ว่าตัวควบคุมสามารถควบคุมกระบวนการให้เป็นไปตามค่าเป้าหมายที่กำหนดไว้ได้อย่างถูกต้อง และเมื่อค่าเป้าหมายเปลี่ยนไปตัวควบคุมสามารถที่จะปรับระดับการเปิดวาล์วให้สัมพันธ์กับค่าเป้าหมายใหม่ได้อย่างถูกต้อง ส่วนในกรณีเมื่อเกิดสิ่งรบกวนตัวควบคุมก็สามารถที่จะกลับเข้าสู่ค่าเป้าหมายเดิมได้อย่างถูกต้อง

5.2.2.2 การทดสอบตัวควบคุมฟัซซีพีไอดี บนเอฟพีจีเอ ในการควบคุมกระบวนการระดับสองถัง

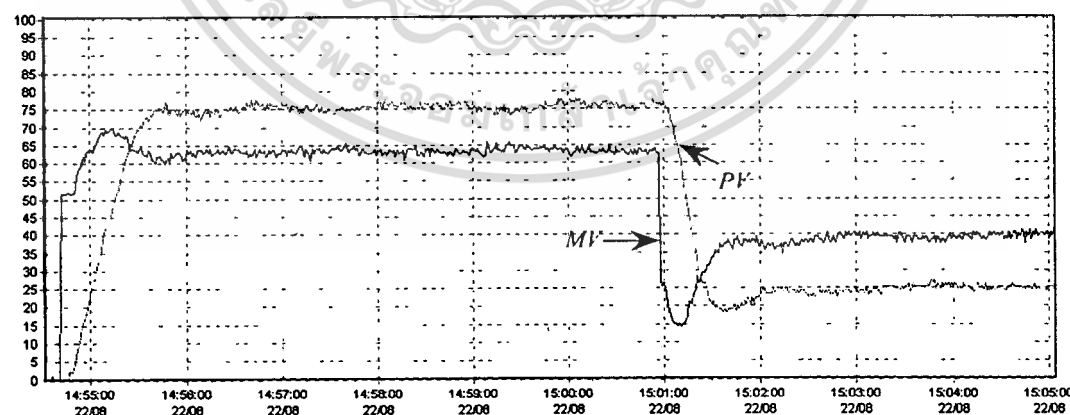
ในการทดสอบกระบวนการระดับแบบสองถังนี้จะกำหนดค่า $K_u = 75$ และ $T_u = 2s$ ซึ่งการทดสอบจะทำเหมือนกับการทดสอบตัวควบคุมฟัซซีพีไอดี ในการควบคุมกระบวนการระดับถังเดียว คือเปลี่ยนแปลงระดับ และจำลองสิ่งรบกวน แสดงผลการทดลองดังรูปที่ 5.19 ถึง 5.24



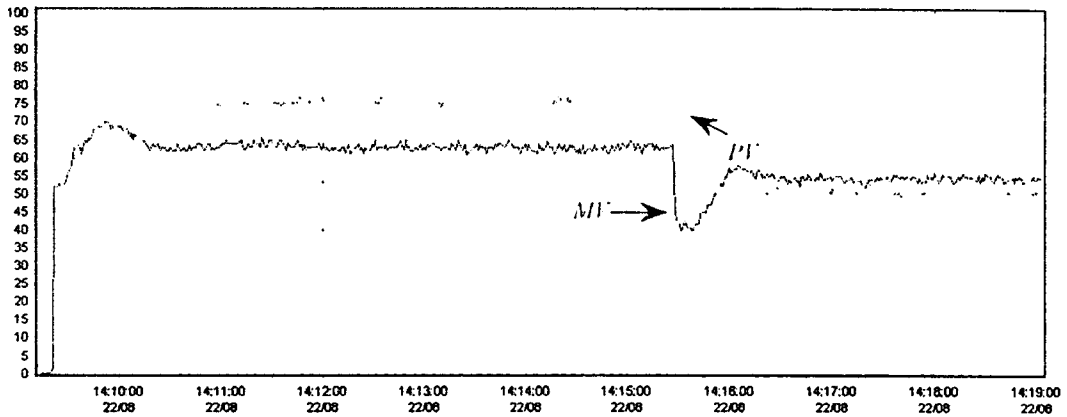
รูปที่ 5.19 ผลการทดสอบตัวควบคุมฟัซซี่พีไอคิบินเอฟทีจีเอ เพื่อควบคุมระดับสองถังที่
ค่าเป้าหมาย 25 % จากนั้นเพิ่มค่าเป้าหมายเป็น 75%



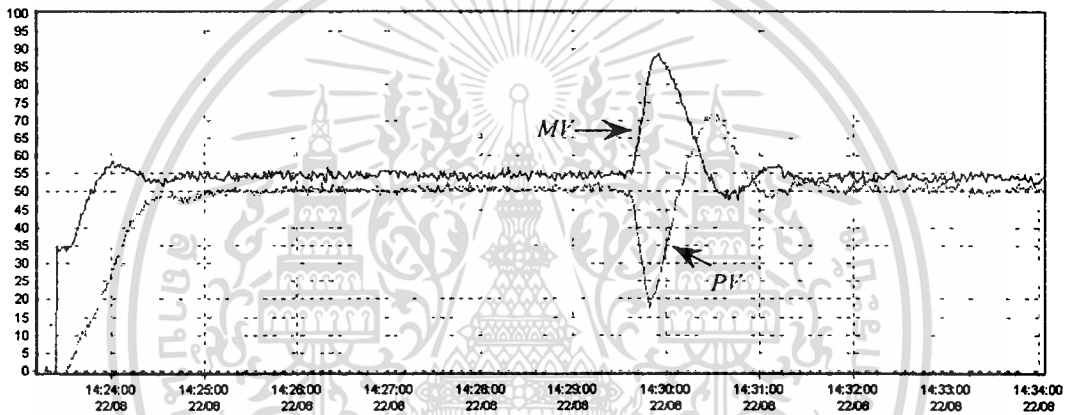
รูปที่ 5.20 ผลการทดสอบตัวควบคุมฟัซซี่พีไอคิบินเอฟทีจีเอ เพื่อควบคุมระดับสองถังที่
ค่าเป้าหมาย 50 % จากนั้นเพิ่มค่าเป้าหมายเป็น 75%



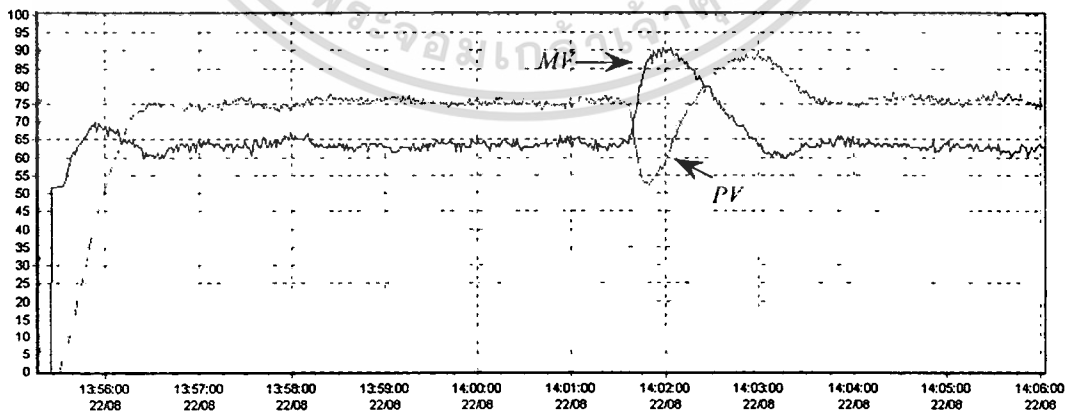
รูปที่ 5.21 ผลการทดสอบตัวควบคุมฟัซซี่พีไอคิบินเอฟทีจีเอ เพื่อควบคุมระดับสองถังที่
ค่าเป้าหมาย 75 % จากนั้นลดค่าเป้าหมายเป็น 25%



รูปที่ 5.22 ผลการทดสอบตัวควบคุมพีซีพีไอคิบนเอฟพีจีเอ เพื่อควบคุมระดับสองถึงที่
ค่าเป้าหมาย 75 % จากนั้นลดค่าเป้าหมายเป็น 50%



รูปที่ 5.23 ผลการทดสอบตัวควบคุมพีซีพีไอคิบนเอฟพีจีเอ เพื่อควบคุมระดับสองถึงที่
ค่าเป้าหมาย 50 % จากนั้นจำลองการเกิดสิ่งรบกวน (Disturbance) โดยการปิดปั๊ม
ประมาณ 5 วินาที



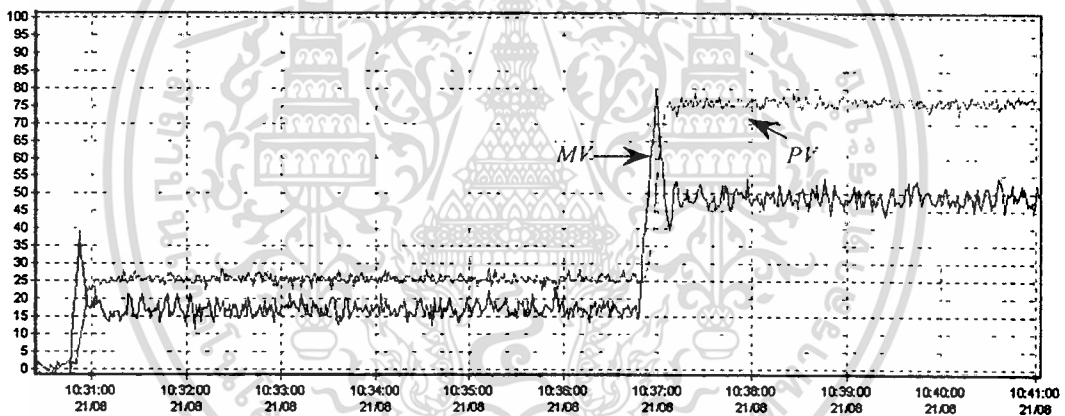
รูปที่ 5.24 ผลการทดสอบตัวควบคุมพีซีพีไอคิบนเอฟพีจีเอ เพื่อควบคุมระดับสองถึงที่
ค่าเป้าหมาย 75 % จากนั้นจำลองการเกิดสิ่งรบกวน (Disturbance) โดยการปิดปั๊ม
ประมาณ 5 วินาที

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

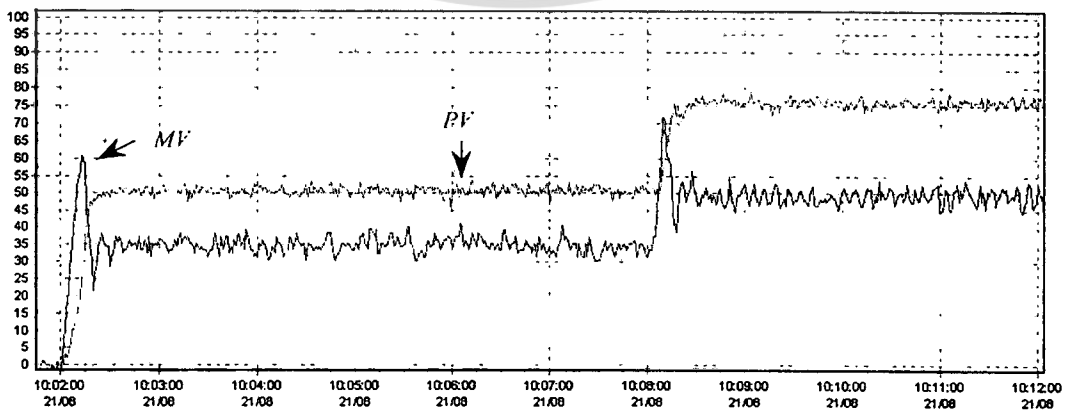
จากผลการทดลองจะเห็นได้ว่าตัวควบคุมสามารถควบคุมกระบวนการให้เป็นไปตามค่าเป้าหมายที่กำหนดไว้อย่างถูกต้อง และเมื่อค่าเป้าหมายเปลี่ยนไปตัวควบคุมสามารถที่จะปรับระดับการเปิดวาล์วให้สัมพันธ์กับค่าเป้าหมายได้อย่างถูกต้อง ส่วนในกรณีเมื่อเกิดสิ่งรบกวนตัวควบคุมก็สามารถที่จะกลับเข้าสู่ค่าเป้าหมายเดิมได้อย่างถูกต้อง

5.2.3 การทดสอบตัวควบคุมพีไอดีมาตรฐานรุ่น E5AK ของบริษัท Omron

การทดสอบตัวควบคุมมาตรฐานนี้ทดสอบ เพื่อใช้ในการเปรียบเทียบความถูกต้องของการออกแบบตัวควบคุมพีซีพีไอดี บนเอฟพีจีเอ ซึ่งจะทดสอบที่กระบวนการระดับทั้งแบบดั้งเดิม ใช้ค่าพารามิเตอร์ $K_p = 30$, $T_d = 1$ และ $T_i = 7$ ซึ่งได้จากกระบวนการหาค่าพารามิเตอร์อัตโนมัติ และสองถึงใช้ค่าพารามิเตอร์ $K_p = 27.7$, $T_d = 3$ และ $T_i = 21$ ซึ่งได้จากกระบวนการหาค่าพารามิเตอร์อัตโนมัติ โดยแสดงผลการทดสอบแบบดั้งเดิมดังรูปที่ 5.25 ถึง 5.29 และผลการทดสอบแบบสองถึงดังรูปที่ 5.30 ถึง 5.34

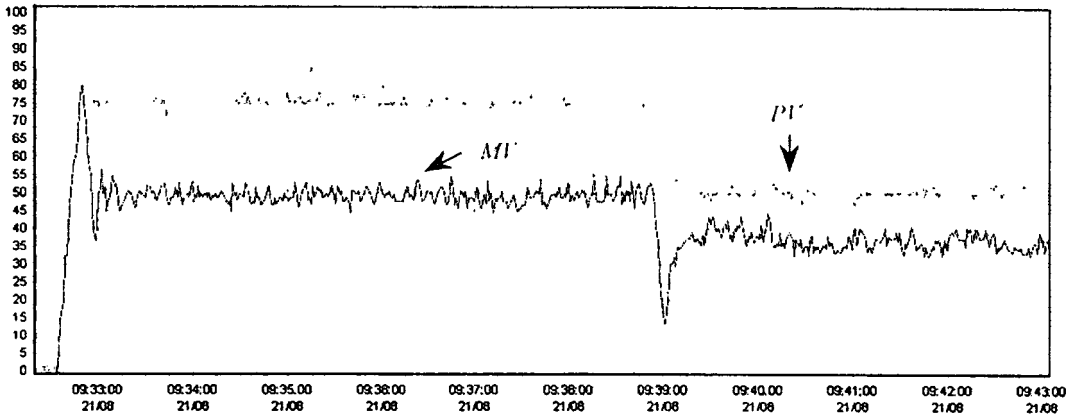


รูปที่ 5.25 ผลการทดสอบตัวควบคุมพีไอดีมาตรฐานรุ่น E5AK เพื่อควบคุมระดับถังเดียว ที่ค่าเป้าหมาย 25 % จากนั้นเพิ่มค่าเป้าหมายเป็น 75%

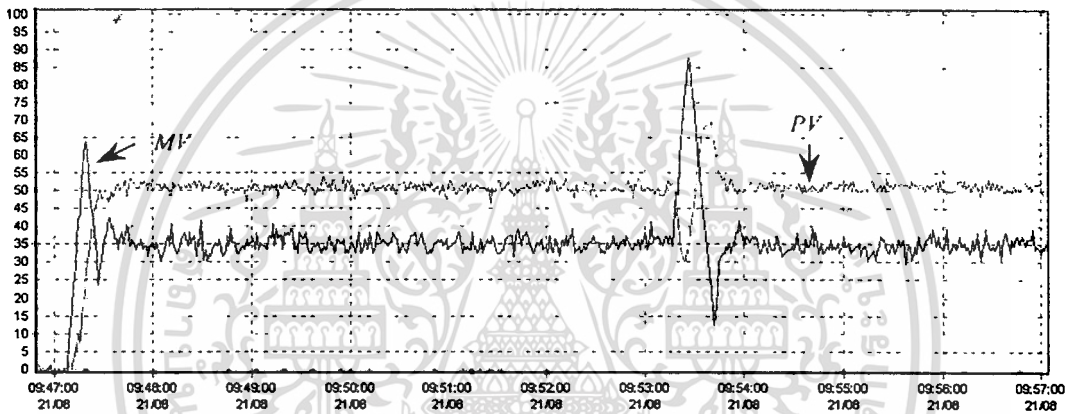


รูปที่ 5.26 ผลการทดสอบตัวควบคุมพีไอดีมาตรฐานรุ่น E5AK เพื่อควบคุมระดับถังเดียว

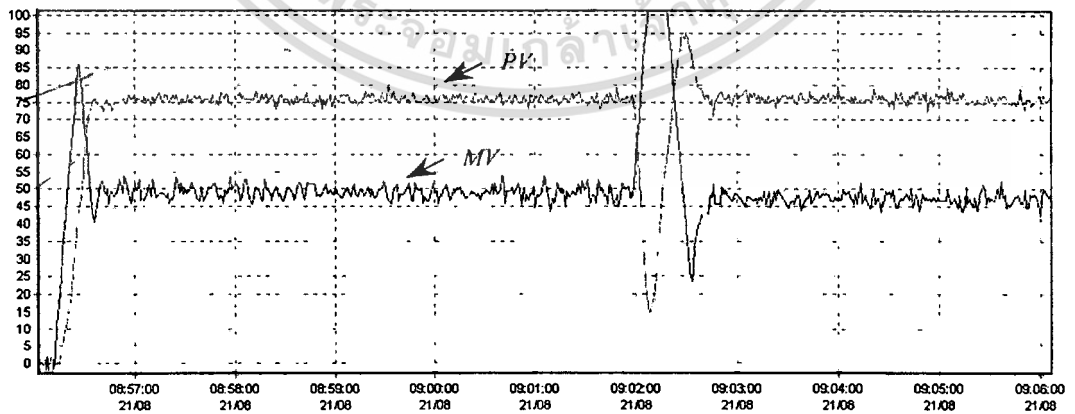
ที่ค่าเป้าหมาย 50 % จากนั้นเพิ่มค่าเป้าหมายเป็น 75% อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 5.27 ผลการทดสอบตัวควบคุมพีไอคิมาตรฐานรุ่น E5AK เพื่อควบคุมระดับถังเดียว
ที่ค่าเป้าหมาย 75 % จากนั้นลดค่าเป้าหมายเป็น 50 %

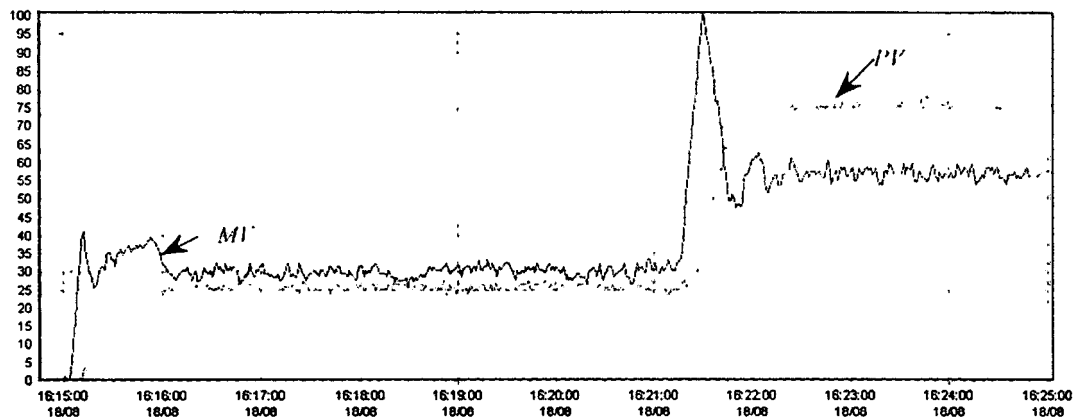


รูปที่ 5.28 ผลการทดสอบตัวควบคุมพีไอคิมาตรฐานรุ่น E5AK เพื่อควบคุมระดับถังเดียว
ที่ค่าเป้าหมาย 50 % จากนั้นจำลองการเกิดสิ่งรบกวน (Disturbance) โดยการปิดปั๊ม
ประมาณ 5 วินาที

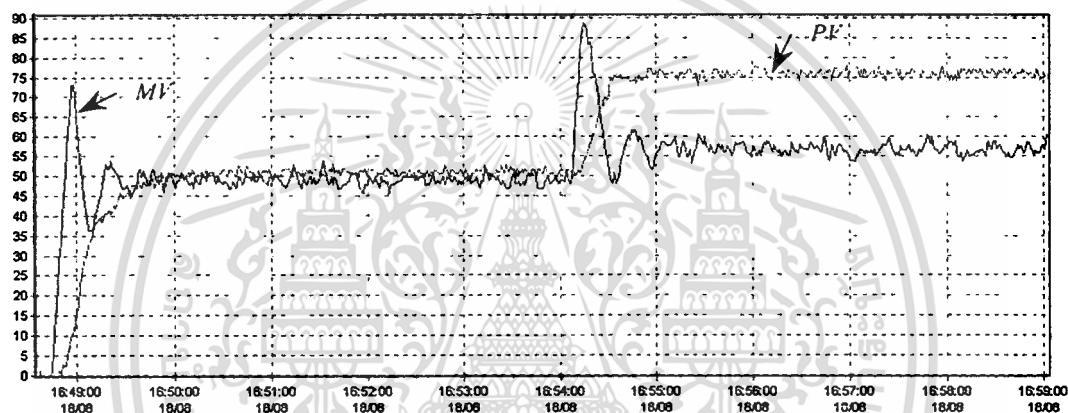


รูปที่ 5.29 ผลการทดสอบตัวควบคุมพีไอคิมาตรฐานรุ่น E5AK เพื่อควบคุมระดับถังเดียว
ที่ค่าเป้าหมาย 75 % จากนั้นจำลองการเกิดสิ่งรบกวน (Disturbance) โดยการปิดปั๊ม
ประมาณ 5 วินาที

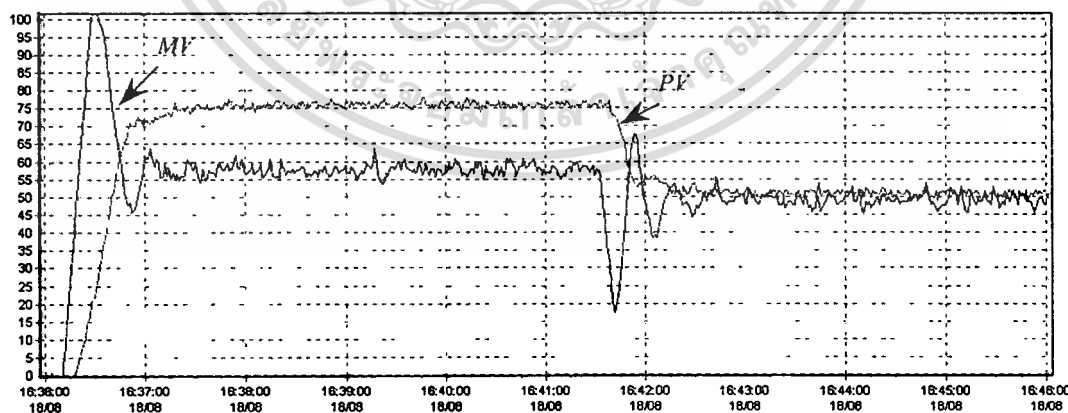
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



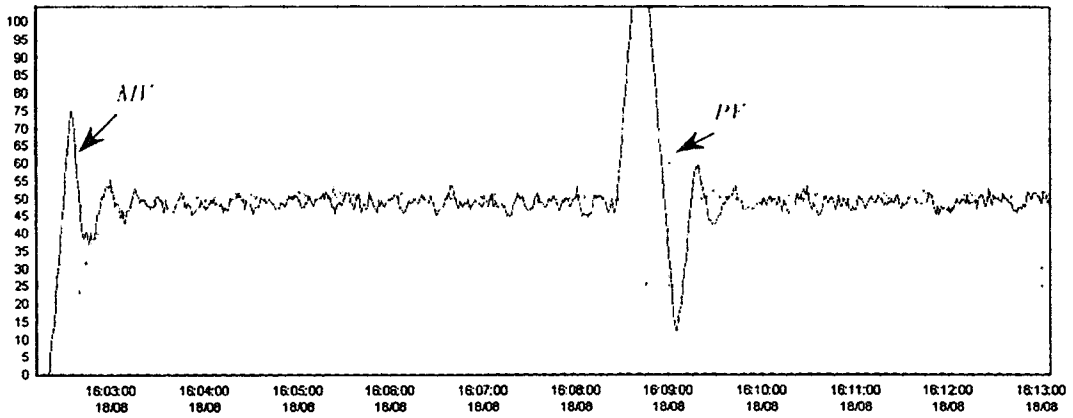
รูปที่ 5.30 ผลการทดสอบตัวควบคุมพีไอดีมาตรฐานรุ่น E5AK เพื่อควบคุมระดับสองถึง
ที่ค่าเป้าหมาย 25 % จากนั้นเพิ่มค่าเป้าหมายเป็น 75%



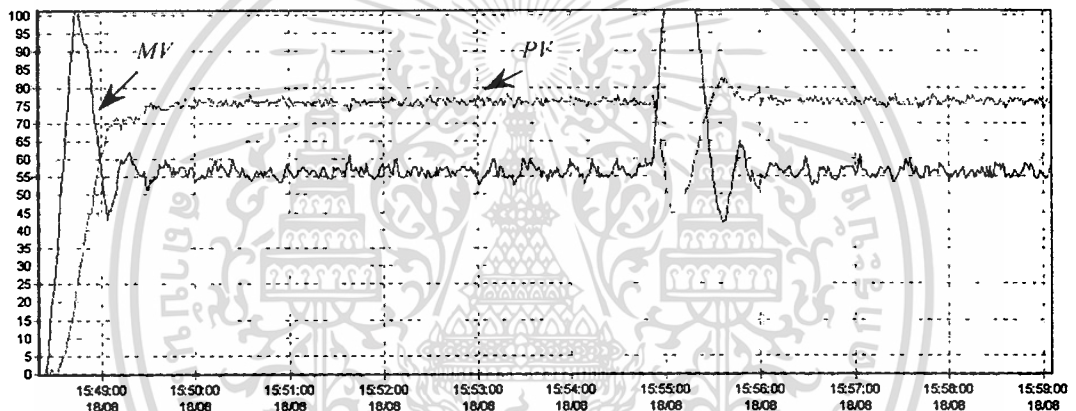
รูปที่ 5.31 ผลการทดสอบตัวควบคุมพีไอดีมาตรฐานรุ่น E5AK เพื่อควบคุมระดับสองถึง
ที่ค่าเป้าหมาย 50 % จากนั้นเพิ่มค่าเป้าหมายเป็น 75%



รูปที่ 5.32 ผลการทดสอบตัวควบคุมพีไอดีมาตรฐานรุ่น E5AK เพื่อควบคุมระดับสองถึง
ที่ค่าเป้าหมาย 75 % จากนั้นลดค่าเป้าหมายเป็น 50 %



รูปที่ 5.33 ผลการทดสอบตัวควบคุมพีไอดีมาตรฐานรุ่น E5AK เพื่อควบคุมระดับสองถัง
ที่ค่าเป้าหมาย 50 % จากนั้นจำลองการเกิดสิ่งรบกวน (Disturbance) โดยการปิดปั๊ม
ประมาณ 5 วินาที



รูปที่ 5.34 ผลการทดสอบตัวควบคุมพีไอดีมาตรฐานรุ่น E5AK เพื่อควบคุมระดับสองถัง
ที่ค่าเป้าหมาย 75 % จากนั้นจำลองการเกิดสิ่งรบกวน (Disturbance) โดยการปิดปั๊ม
ประมาณ 5 วินาที

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

5.2.4 สรุปผลการทดสอบตัวควบคุม

จากส่วนที่ผ่านมาเป็นการแสดงสัญญาณควบคุม และระดับที่วัดได้จากกระบวนการ ดังนั้นส่วนนี้จะเป็นการวิเคราะห์เวลา และขนาดที่ใช้ในแต่ละค่าเป้าหมาย แสดงดังตารางที่ 5.3

ตารางที่ 5.3 ผลการทดสอบตัวควบคุม

กระบวนการ	ESAK	PID บน FPGA	Fuzzy – PID บน FPGA
ถึงเดียว	$K_p = 30$ $T_d = 1$ $T_i = 7$		
	ระดับ 25 % $O_s = 0$ $t_r = 10 \text{ sec}$ $t_s = 13 \text{ sec}$		ระดับ 25 % $O_s = 0$ $t_r = 15 \text{ sec}$ $t_s = 50 \text{ sec}$
	ระดับ 50 % $O_s = 0$ $t_r = 13 \text{ sec}$ $t_s = 20 \text{ sec}$		ระดับ 50 % $O_s = 0$ $t_r = 10 \text{ sec}$ $t_s = 50 \text{ sec}$
	ระดับ 75 % $O_s = 0$ $t_r = 15 \text{ sec}$ $t_s = 20 \text{ sec}$		ระดับ 75 % $O_s = 0$ $t_r = 10 \text{ sec}$ $t_s = 10 \text{ sec}$
สองถึง	$K_p = 27.7$ $T_d = 3$ $T_i = 21$	$K_p = 128$ $K_d = 23$ $K_i = 76$	
	ระดับ 25 % $O_s = 0$ $t_r = 55 \text{ sec}$ $t_s = 60 \text{ sec}$	ระดับ 25 % $O_s = 0$ $t_r = 90 \text{ sec}$ $t_s = 120 \text{ sec}$	ระดับ 25 % $O_s = 0$ $t_r = 80 \text{ sec}$ $t_s = 120 \text{ sec}$
	ระดับ 50 % $O_s = 0$ $t_r = 45 \text{ sec}$ $t_s = 60 \text{ sec}$	ระดับ 50 % $O_s = 0$ $t_r = 20 \text{ sec}$ $t_s = 80 \text{ sec}$	ระดับ 50 % $O_s = 0$ $t_r = 50 \text{ sec}$ $t_s = 65 \text{ sec}$
	ระดับ 75 % $O_s = 0$ $t_r = 45 \text{ sec}$ $t_s = 60 \text{ sec}$	ระดับ 75 % $O_s = 10 \%$ $t_r = 30 \text{ sec}$ $t_s = 90 \text{ sec}$	ระดับ 75 % $O_s = 0$ $t_r = 40 \text{ sec}$ $t_s = 50 \text{ sec}$

จากตารางที่ 5.3 จะไม่พบว่ามีความพุ่งเกิน (Overshoot) แต่ค่าเวลาจะแตกต่างกันไป ซึ่งที่ค่าเป้าหมายต่างๆ ตัวควบคุมฟัซซีพีไอดีจะเข้าสู่สภาวะคงตัว (Settling time) ช้ากว่าตัวควบคุมพีไอดีมาตรฐาน แต่ในกรณีที่ค่าเป้าหมายมีค่าสูงตัวควบคุมฟัซซีพีไอดีจะเข้าสู่สภาวะคงตัวได้เร็วกว่าทั้งนี้เนื่องจากกฎฟัซซี ที่ออกแบบนั้นออกแบบเพื่อการควบคุมค่าเป้าหมายที่ 75 % ดังนั้นที่ค่าเป้าหมายอื่นๆ ก็สามารถควบคุมได้แต่จะใช้ระยะเวลาในการเข้าสู่สภาวะคงตัวนาน

บทที่ 6

สรุปผลการวิจัยและข้อเสนอแนะ

6.1 สรุปผลการวิจัย

งานวิจัยนี้ได้นำเสนอการประยุกต์สร้างฟuzzy-พีไอคิบนเอฟพีจีเอ โดยการออกแบบจะแบ่งเป็นการออกแบบวงจร และการออกแบบตัวประมวลผลบนเอฟพีจีเอ ซึ่งตัวประมวลผลจะแบ่งการออกแบบเป็นสองช่วงคือ การออกแบบตัวประมวลผลพีไอดีจากสมการพื้นฐาน และการออกแบบตัวประมวลผลฟuzzy-พีไอดีจากวิธี Fuzzy gain scheduling ในการหาค่าพารามิเตอร์ของ พีไอดี เมื่อการออกแบบเรียบร้อยแล้วจะนำตัวประมวลผลไปทำการจำลอง โดยใช้โปรแกรมสำเร็จรูป ModelSimXE ซึ่งผลจากการจำลองตัวประมวลผลพีไอดี จะมีลักษณะเหมือนกับทฤษฎีพีไอดี และใช้สัญญาณนาฬิกา 5 คาบ ส่วนผลการจำลองตัวประมวลผลฟuzzyพีไอดี จะให้ผลการจำลองคือเมื่อกระบวนการมีการเปลี่ยนแปลงไปตัวประมวลผลสามารถปรับพารามิเตอร์ต่างๆ ของพีไอดีให้สัมพันธ์กับกฎฟuzzyที่กำหนดไว้ และใช้สัญญาณนาฬิกา 85 คาบ ต่อหนึ่งสัญญาณอินพุต ดังนั้นเมื่อความเร็วสูงสุดของสัญญาณนาฬิกาที่สามารถทำงานได้คือ 40.55 MHz ดังนั้นตัวประมวลผลมีความเร็วในการประมวลสัญญาณ 2.125 μ s ต่อหนึ่งสัญญาณการเปลี่ยนแปลงของกระบวนการ

ส่วนการตรวจสอบการทำงานของตัวควบคุมจะทดสอบโดยการนำไปควบคุมกระบวนการระดับทั้งแบบถึงเดือว และสองถึง โดยใช้อัตราการสุ่มที่ 100 ms ซึ่งผลการทดสอบตัวควบคุมพีไอคิบนเอฟพีจีเอ สามารถควบคุมกระบวนการระดับให้เป็นไปตามค่าเป้าหมายได้อย่างถูกต้อง และเมื่อค่าเป้าหมายเปลี่ยนไป ตัวควบคุมก็ยังสามารถควบคุมให้ระดับเปลี่ยนตามค่าเป้าหมายได้อย่างถูกต้อง แม้แต่ในกรณีเมื่อเกิดสิ่งรบกวนตัวควบคุมก็ยังสามารถปรับให้ระดับกลับเข้าสู่ค่าเป้าหมายเดิมได้อย่างถูกต้อง ส่วนการทดสอบตัวควบคุมฟuzzyพีไอคิบนเอฟพีจีเอ ก็สามารถควบคุมกระบวนการได้อย่างถูกต้องไม่ว่าจะเป็นการเปลี่ยนค่าเป้าหมาย หรือการจำลองสิ่งรบกวน แต่ตัวควบคุมฟuzzyพีไอคิบนเอฟพีจีเอจะใช้ค่าเวลาขาขึ้น (Rise time) และค่าเวลาคงตัวน้อยกว่าตัวควบคุมพีไอคิบนเอฟพีจีเอ และไม่เกิดค่าพุ่งเกิน ในกรณีที่นำตัวควบคุมฟuzzy-พีไอคิบนเอฟพีจีเอเปรียบเทียบกับพีไอดีมาตรฐานรุ่น E5AK ของบริษัท Omron การควบคุมที่ระดับเป้าหมายต่ำๆ จะใช้เวลาคงตัวมากกว่า ส่วนกรณีที่ระดับเป้าหมายสูงขึ้นตัวควบคุมฟuzzyพีไอดีจะเข้าสู่สภาวะคงตัวได้เร็วกว่า ทั้งนี้เนื่องจากกฎฟuzzy และฟังก์ชันการเป็นสมาชิกของอินพุต และ เอาต์พุต ถูกออกแบบเพื่อใช้ในการควบคุมที่กระบวนการระดับที่ค่าเป้าหมาย 75 %

6.2 ข้อเสนอแนะ

งานวิจัยนี้ได้ทำการออกแบบ สร้าง และทดสอบตัวควบคุมซึ่งผลที่ได้ พอลงกล่าวได้ว่า ซิปเอฟพีจีเอสามารถที่จะออกแบบให้เป็นตัวควบคุม และทำงานได้อย่างถูกต้อง ส่วนตัวควบคุมที่ได้แนะนำเสนอนี้ มีข้อจำกัดคือเมื่อค่าเป้าหมายเปลี่ยนแปลงไป ถึงจะยังสามารถควบคุมกระบวนการได้ แต่จะใช้เวลาในการเข้าสู่สภาวะคงตัวนานขึ้น ดังนั้นจุดบกพร่องนี้จะสามารถแก้ไขได้โดยอาจจะออกแบบให้ค่าเป้าหมายมีการถ่วงน้ำหนัก (Fuzzy set - point weighting [11]) หรืออาจจะออกแบบให้กฎฟัซซี และฟังก์ชันการเป็นสมาชิกมีการปรับค่าตามระดับเป้าหมาย ซึ่งอย่างไรก็ตามการออกแบบเพิ่มเติมนี้อาจจะทำให้ความเร็วของตัวควบคุมลดลง และต้องคำนึงถึงจำนวนเกตภายในซิปด้วย

สุดท้ายนี้ผู้จัดทำหวังเป็นอย่างยิ่งว่าจะมีการวิจัย ปรับปรุง และพัฒนาซิปเอฟพีจีเอ มาใช้งานทางด้านอุตสาหกรรมการควบคุม ทั้งนี้เนื่องจากความเร็วในการประมวลผลของซิปเอฟพีจีเอ ขึ้นอยู่กับการออกแบบแล้ว ด้านเครื่องมือ และวิธีการออกแบบก็สามารถหา และทำได้ง่าย อีกทั้งยังมีราคาถูกเมื่อเทียบกับเทคโนโลยีการสร้างชิปใช้งานจำเพาะ (Application Specification Integrated Circuit: ASIC)

เอกสารอ้างอิง

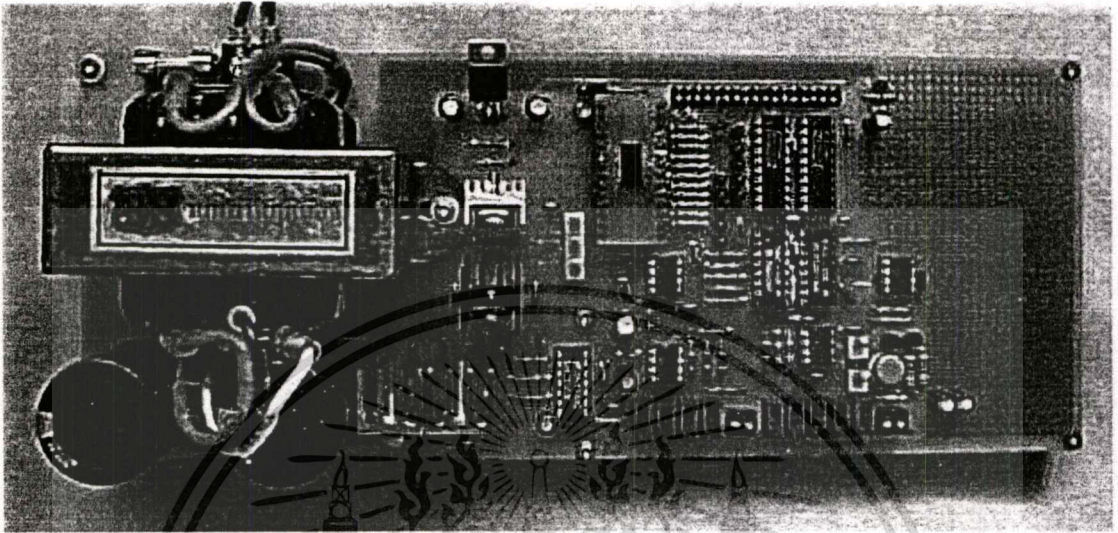
- [1] Charles H. Roth, Jr, "Digital System Design Using VHDL," PWS Publishing Company, Boston, 1998.
- [2] C.A. Smith, A.B. Corripio, "Principles and Practice of Automatic of Process Control," John Wiley & Sons, Inc., 1985.
- [3] L. Tanachaikhan, et.al., "Application of Personal Computer as a Self-Tuning PID Controller," Proc., The 14th KACC, Korea, Oct. 1999.
- [4] R. Townsend., Digital Computer Structure and Design, Butterworth Scientific, london, 2nd, pp.117 – 143, 1982.
- [5] Chi-Tsong Chen, et.al., "Analog and Digital Control System Design," Saunders College Publishing, 1993.
- [6] Z.Y. Zhao, et al., "Fuzzy gain scheduling of PID controller," IEEE, pp. 698-703, 1992.
- [7] [Http://www.xilinx.com/](http://www.xilinx.com/)
- [8] J. Yan, M. Ryan and J. Power, "Using fuzzy logic toward intelligent system," Prentice Hall, New York, 1994.
- [9] H.J. Zimmermann, "Fuzzy set theory and its applications," Kluwer Academic Pub., 1991.
- [10] S. Bennett, "Development of the PID controller," IEEE Control System Magazine, Dec, pp. 58 – 56, 1994.
- [11] A. Visioli, "Tuning of PID controllers with fuzzy logic," IEEE proc.-Control Theory Appl., Vol. 148.No.1, 2001.
- [12] He, S. Z.Y. Tomizuka and S. Isaka, "Fuzzy self – tuning of PID controller," Fuzzy Set Sys., 1993.
- [13] FPGA & CPLD ก๊ับการออกแบบ และพัฒนางจรดิจิทัล, บริษัท Silicon Soft, 2003.
- [14] ชรรค์ชัย ตูลละสกุล, การใช้งานโปรแกรมออกแบบวงจรรวมดิจิทัล, บ.ซีเอ็ดยูเคชั่น จก., 2002.
- [15] [Http://www.philips.com/](http://www.philips.com/)
- [16] Omron co., ltd. "User's Manual E5AK Digital Controller,"



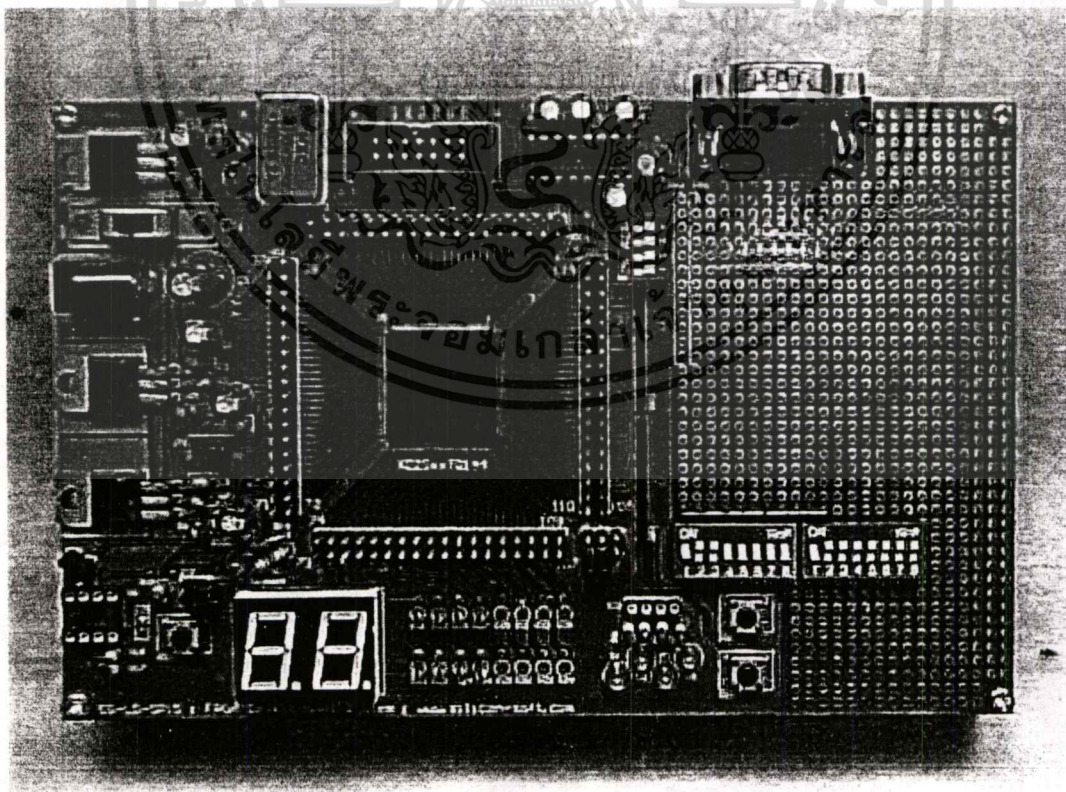
ภาคผนวก

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ภาคผนวก ก. ภาพถ่ายวงจร



รูปที่ ก.1 ภาพถ่ายบอร์ดวงจรแปลงสัญญาณอะนาลอกเป็นดิจิทัล และวงจรแปลงดิจิทัลเป็นอะนาลอก

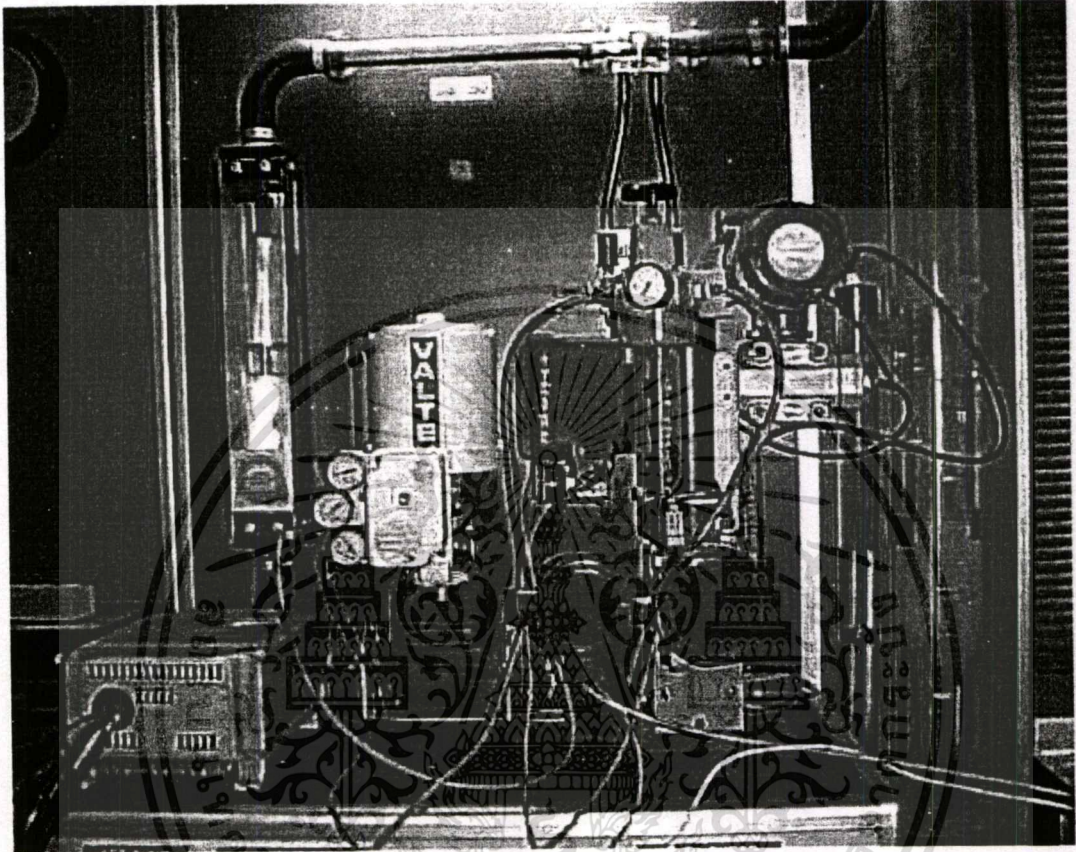


รูปที่ ก.2 ภาพถ่ายบอร์ดวงจร FPGA

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ภาคผนวก ข.

ภาพถ่ายกระบวนการระดับ



รูปที่ ข.1 ภาพถ่ายกระบวนการระดับ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ภาคผนวก ก.

รายละเอียดการใช้งานพีไอดีมาตรฐาน E5AK ของบริษัท Omron

● Ratings

	AC100-240V type	AC/DC24V type
Supply Voltage	AC100-240V~, 50/60 Hz	AC/DC24V \approx , 50/60 Hz
Power Consumption	16VA	12VA, 8W
Operating Voltage Range	85% to 110% of rated supply voltage	
Main Input	Thermocouple : K, J, T, E, L, U, N, R, S, B, W, PLII Platinum resistance thermometer : JPt100, Pt100 Current input : 4 to 20mA, 0 to 20mA (Input impedance 150 Ω) Voltage input : 1 to 5V, 0 to 5V, 1 to 10V (Input impedance 15M)	
Sub - Input	CT input : E54-CT1, E54-CT3 Potentiometer : 100 Ω to 2.5k Ω Remote SP input : 4 to 20mA (Input impedance 150 Ω)	
Control Output	According to output unit (see "User Manual Output Unit Ratings")	
Auxiliary Output	SPST-NO, 3A at 250 VAC (resistive load)	
Control Method	Advanced PID or ON/OFF control (Fuzzy self tuning method)	
Setting Method	Digital setting using front panel keys	
Indication Method	7-segment digital display, Bar graph and LEDs	
Other Functions	According to option unit (see "User Manual Option Unit Ratings")	
Ambient Temperature	Operating : -10 °C (with no icing)/ 3-year warranty period Storage : -25 °C to 65 °C (with no icing)	
Ambient Humidity	35% to 85%	

*1 Thermocouple W is W/Re5-26

● Characteristics

Indication Accuracy	Thermocouple: ($\pm 0.3\%$ of indication value or °C whichever greater) 1 digit max. Platinum resistance thermometer: ($\pm 0.2\%$ of indication value or °C whichever greater) 1 digit max. Analog input: $\pm 0.2\% \pm 1$ digit max. CT input: $\pm 5\%$ FS ± 1 digit max. Potentiometer: $\pm 5\%$ FS ± 1 digit max. Remote SP: $\pm 0.2\%$ FS ± 1 digit max.	
Hysteresis	0.01 to 99.99%FS (in unites of 0.01%FS)	
Proportional Band (P)	0.1 to 999.99%FS (in unites of 0.1%FS)	
Integral (reset) Time (I)	0 to 3999 s (in unites of 1 second)	
Derivative (rate) Time (D)	0 to 3999 s (in unites of 1 second)	
Control Period	1 to 99 s (in unites of 1 second)	
Manual Reset Value	0.0 to 100.0% s (in unites of 0.1%)	
Alarm Setting Range	-1999 to 9999 or -199.9 to 999.9 decimal point position dependent on input type or result scaling)	
Sampling Period	Temperature input: 250 ms, Analog input: 100 ms, Sub-input: 1s	
Insulation Resistance	20 M Ω min. (at 200 VDC)	
Dielectric Strength	2000VAC, 50/60Hz for 1 min (between terminals of different polarities)	
Vibration Resistance	Malfunction	10 to 55 Hz, 10 m/s ² (approx.1G) in 10 min each in X,Y and Z directions
	Destruction	10 to 55 Hz, 20 m/s ² (approx.2G) in 2 min each in X,Y and Z directions
Shock Resistance	Malfunction	200 m/s ² min. (approx.20G) 3 times each in 6 directions (100 m/s ² (approx.10G) applied to the relay)
	Destruction	300 m/s ² min. (approx.30G) 3 times each in 6 directions
Weight	Approx. 450 g, mounting bracket approx. 65 g	
Enclosure Ratings	Front panel: NEMA4 for indoor use (equivalent to IP66) Rear case: IEC standard IP20 Terminals: IEC standard IP00	
Memory Protection	Nonvolatile memory (number of writing: 100000 operations)	

*1 The indication accuracy of the K1, T and N thermocouples at a temperature of -100°C or less is $\pm 2^\circ\text{C} \pm 1$ digit maximum.

The indication accuracy of the U, L1 and L2 thermocouples at any temperature is $\pm 2^\circ\text{C} \pm 1$ digit maximum.

The indication accuracy of the B thermocouple at a temperature of 400°C or less is unrestricted.

The indication accuracy of the R and S thermocouples at a temperature of 200°C or less is $\pm 3^\circ\text{C} \pm 1$ digit maximum.

The indication accuracy of the W thermocouple is ± 1 digit max. of whichever is the greater of $\pm 0.3\%$ or $\pm 3^\circ\text{C}$ of the indicated value.

The indication accuracy of the PLII thermocouple is ± 1 digit max. of whichever is the greater of $\pm 0.3\%$ or $\pm 2^\circ\text{C}$ of the indicated value.

*2 On a position-proportional control type type, 1 to 3999

เอกสารนี้เป็นเอกสารของบริษัท Omron จำกัด (มหาชน) เพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

● Heater Burnout Alarm

Max. heater current	Single-phase 50A VAC (see note 1)
Heater current value display accuracy	$\pm 5\%FS \pm 1$ digit max.
Heater burnout alarm setting range	0.1 to 49.9 A (in units of 1 A) (see note 2)
Min. detection ON time	190 ms (see note 3)

- Note:
1. Use the K2CU-FA-GS (with gate input terminals for the detection of three-phase heater burnout.
 2. The heater burnout alarm is always OFF if the alarm is set to 0.0A and always ON if the alarm is set to 50.0A
 3. No heater burnout detection or heater current value measurement is possible if the control output (heat) is ON for less than 190ms.



ภาคผนวก ง.

ผลงานวิจัยที่เกี่ยวข้องกับวิทยานิพนธ์ที่ได้รับการตีพิมพ์

บทความวิจัยซึ่งเป็นส่วนหนึ่งในวิทยานิพนธ์ฉบับนี้ซึ่งได้รับการตีพิมพ์ในการประชุมวิชาการ แสดงดังต่อไปนี้

[1] V. Tipsuwanporn, T. Runghimmawan, V. Krongratana, T. Suesut and P. Jitnaknan, "Fuzzy Logic PID controller based on FPGA," Proceedings of International Conference on Control, Automation and System, Korea, 2003.

[2] วิทยา ทิพย์สุวรรณพร, ทนงชัย รุ่งหิมวรรณ, วิริยะ กองรัตน์, ทวีพล ชื้อสตัย และ พงษ์ศักดิ์ จิตหนักแน่น, การออกแบบตัวควบคุมพีไอดีบนชิพเอฟพีจีเอสำหรับควบคุมกระบวนการ, การประชุมวิชาการทางวิศวกรรมไฟฟ้า ครั้งที่ 26, 2546

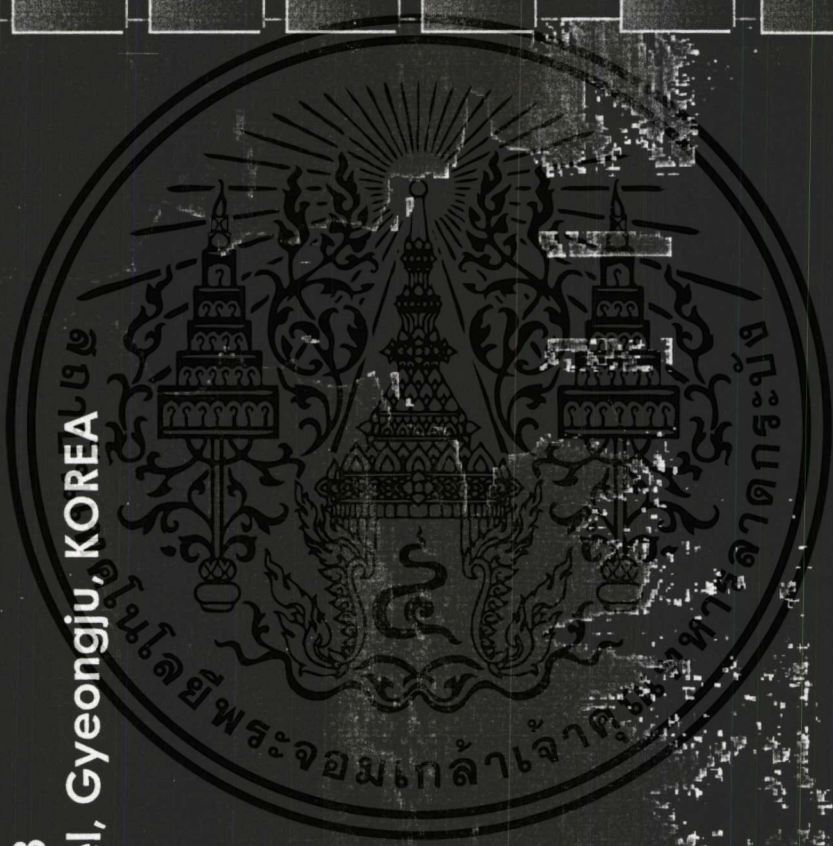


ICCAS2003

International Conference on Control, Automation and Systems

October, 22-25, 2003

Gyeongju TEMF Hotel, Gyeongju, KOREA ๒๒



Welcome Message

Conference Organization

Conference Information

Table of Contents

Author Index

Search This CD-ROM

CD-ROM Help

EXIT



<http://www.iccas.org>

Fuzzy Logic PID controller based on FPGA

V. Tipsuwanporn, T. Runghimawan, V. Krongratana, T. Suesut and P. Jitnaknan

Department of Instrumentation Engineering, Faculty of Engineering,
King Mongkut's Institute of Technology Ladkrabang, Bangkok 10520, Thailand
(Tel: 66 – 2326 – 7347: Ext. 102; E – mail: ktvittay@kmitl.ac.th)

Abstract: Recently technologies have created new principle and theory but the PID control system remains its popularity as the PID controller contains simple structure, including maintenance and parameter adjustment being so simple. Thus, this paper proposes auto tune PID by fuzzy logic controller based on FPGA which to achieve real time and small size circuit board. The digital PID controller design to consist of analog to digital converter which use chip TDA8763AM/3 (10 bit high-speed low power ADC), digital to analog converter which use two chip DAC08 (8 bit digital to analog converters) and fuzzy logic tune digital PID processor embedded on chip FPGA XC2S50-5tq-144. The digital PID processor was designed by fundamental PID equation which architectures including multiplier, adder, subtractor and some other logic gate. The fuzzy logic tune digital PID was designed by look up table (LUT) method which data storage into ROM refer from trial and error process. The digital PID processor verified behavior by the application program ModelSimXE. The result of simulation when input is units step and vary controller gain (K_p , K_i and K_d) are similarity with theory of PID and maximum execution time is 150 ns/action at frequency are 30 MHz. The fuzzy logic tune digital PID controller based on FPGA was verified by control model of level control system which can control level into model are correctly and rapidly. Finally, this design use small size circuit board and very faster than computer and microcontroller.

Keywords: FPGA, PID, Fuzzy logic, Process.

1. INTRODUCTION

The fuzzy - PID controller was designed by consist of analog to digital 10 bit converter, digital 12 bit to analog converter and digital fuzzy - PID processor. In this paper not present designing analog to digital 10 bit converter and digital 12 bit to analog converter but will be show its schematic circuit. The fuzzy - PID processor to consist of the digital PID processor will be use algorithm of digital PID-equation, which come from fundamental PID equation and the fuzzy logic processor that have 2 inputs, 8 membership function in each fuzzy input and 3 output for PID controller gain.

Section II explains theory PID and fuzzy logic. The next section discusses designing the fuzzy – PID processor based on chip FPGA by VHDL. Section IV show the verification and implementation of the fuzzy - PID controller. Final section is summary.

2. THEORY

2.1 Principle and theory of digital PID controller

PID controller has a fundamental equation [1].

$$V_o(t) = K_p \left[e(t) + \frac{1}{T_i} \int e(t) dt + T_d \frac{de(t)}{dt} \right] \quad (1)$$

And

$$e(t) = sp(t) - pv(t) \quad (2)$$

When $V_o(t)$ = controller output.

$e(t)$ = error.

$st(t)$ = set point.

$pv(t)$ = process output.

K_p = controller gain.

T_i = integral time (sec.).

T_d = derivative time (sec.).

From Eq. (1), change to digital PID controller by discrete differential equation following.

$$V_o = V_{o_{n-1}} + K_p \left[(e_n - e_{n-1}) + \frac{\Delta T}{T_i} e_n + \frac{T_d}{\Delta T} (e_n - 2e_{n-1} + e_{n-2}) \right] \quad (3)$$

When ΔT = the sampling period.

$V_{o_{n-1}}$ = Controller output at the n th sampling instant.

e_n = error at the n th sampling instant.

$$\text{Define } K_i = \frac{K_p \Delta T}{T_i}$$

$$K_d = \frac{K_p T_d}{\Delta T}$$

So that digital PID equation show below.

$$V_o = V_{o_{n-1}} + (K_p + K_i + K_d) e_n - (K_p + 2K_d) e_{n-1} + K_d e_{n-2} \quad (4)$$

2.2 Principle and theory of fuzzy logic controller

The fuzzy logic, unlike conventional logic system, is able to model inaccurate or imprecise models. Fuzzy logic can handle problems that may be too complex for conventional modeling techniques. The fuzzy logic approach offers a simpler, quicker and more reliable solution that is clear advantages over conventional techniques. Fuzzy logic may be viewed as form of set theory [2]. The universe of discourse U is a collection of objects under consideration. The fuzzy subset A in U is characterized by a membership function μ_A which takes the values in the interval $[0,1]$, with 0 representing no membership and 1 representing full membership. In designing a fuzzy system, universe of discourse and membership functions of inputs and outputs (linguistic variables) are first determined. To allow fuzzy approximate reasoning, the fuzzy inference mechanism based on the generalized modus ponens (GMP) shown below is usually adopted:

Promise 1: if input x is A then output y is B

Promise 2: input x is A'

Consequence: output y is B'

Where A , B , A' and B' are fuzzy sets. Promise 1 (the "if...then" part) can be represented by fuzzy relation R which

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

can be derived from different fuzzy implication functions. The one based on the "min" implication function requires the following computation:

$$\mu_R(u, v) = \min(\mu_A(u), \mu_B(v)); \quad u \in U, v \in V.$$

Where $\mu_R(u, v)$ is the membership function of R. With a specific input, the fuzzy inference is completed through the fuzzy composition show below:

$$B' = A' \circ R$$

The fuzzy composition based on the max - min operator requires the flowing computation:

$$\mu_B(v) = \max \min(\mu_A(u), \mu_R(u, v))$$

To obtain a crisp output from the fuzzy inference engine, a defuzzification algorithm is needed. This design uses the center of gravity (COG) algorithm show below:

$$z_0 = \frac{\sum \mu_i z_i}{\sum \mu_i} \quad (5)$$

Where μ_i and z_i are the weight (value) and center (in the universe of discourse), respectively, of an output MF which is in effect; z_0 is crisp output of the fuzzy inference engine.

2.3 Fuzzy gain scheduling

According to the methodology proposed by Zhao et al. [3], the three current PID parameters are determined as follows

$$K_p = (K_{p,max} - K_{p,min}) K'_p + K_{p,min}$$

$$K_d = (K_{d,max} - K_{d,min}) K'_d + K_{d,min} \quad (6)$$

$$K_i = \frac{K_p^2}{\alpha K_d}$$

Where K'_p , K'_d and α are determined by means of fuzzy mechanism and $K_{p,max}$, $K_{p,min}$, $K_{d,max}$ and $K_{d,min}$ are adopted to normalize the values of K_p and K_d into the range between zero and one. These constants are determined by the following rule of thumb.

$$K_{p,min} = 0.32K_u, \quad K_{p,max} = 0.6K_u$$

$$K_{d,min} = 0.08K_u T_u, \quad K_{d,max} = 0.15K_u T_u \quad (7)$$

Where K_u and T_u are respectively the gain and the period of oscillation at the stability limit under P-control.

The input $e(t)$ and $\Delta e(t)$ of the fuzzy module are use seven triangular membership function, while the output K'_p and K'_d are use two and four singletons define the output of α . The fuzzy rule determined heuristically based on the step response of process. Thus a set of rules as shown in table 1 for tuning rules K'_p . The tuning rule for K'_d and α are given in table 2 and Table 3, respectively.

Table 1 Fuzzy tuning rules for K'_p

		$\Delta e(t)$						
		NB	NM	NS	ZO	PS	PM	PB
$e(t)$	NB	B	B	B	B	B	B	B
	NM	S	B	B	B	B	B	S
	NS	S	S	B	B	B	S	S
	ZO	S	S	S	B	S	S	S
	PS	S	S	B	B	B	S	S
	PM	S	B	B	B	B	B	S
	PB	B	B	B	B	B	B	B

Table 2 Fuzzy tuning rules for K'_d

		$\Delta e(t)$						
		NB	NM	NS	ZO	PS	PM	PB
$e(t)$	NB	S	S	S	S	S	S	S
	NM	B	B	S	S	S	B	B
	NS	B	B	B	S	B	B	B
	ZO	B	B	B	B	B	B	B
	PS	B	B	B	S	B	B	B
	PM	B	B	S	S	S	B	B
	PB	S	S	S	S	S	S	S

Table 3 Fuzzy tuning rules for α

		$\Delta e(t)$						
		NB	NM	NS	ZO	PS	PM	PB
$e(t)$	NB	2	2	2	2	2	2	2
	NM	3	3	2	2	2	3	3
	NS	4	3	3	2	3	3	4
	ZO	5	4	3	3	3	4	5
	PS	4	3	3	2	3	3	4
	PM	3	3	2	2	2	3	3
	PB	2	2	2	2	2	2	2

3. DESIGN

3.1 PID processor

The digital PID processor embedded on chip FPGA which use algorithm from digital PID controller equation. Fig. 1, show block diagram which will be define variable SP and PV have size 10 bit, K_p , K_i and K_d have size 8 bit and V_o has size 12 bit.

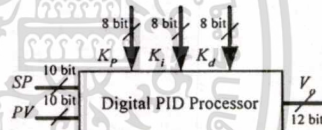


Fig. 1 Block diagram digital PID processor.

An internal digital PID processor to consist of 3 process show in Fig. 2. Process 1, 2 and 3 are share operator in order to reduce number gate of FPGA. Thus all operator are compose 3 input 20 bit full adder, 2 input 10 bit full adder, both 2 input 10 bit multipliers. To work each process defined by state machine which relate to clock signal.

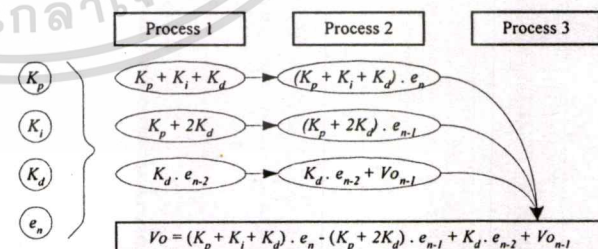


Fig. 2 The process within digital PID processor.

Fig. 3 State diagrams for share operator within PID processor.

3.2 Fuzzy - PID Processor

The algorithm internal fuzzy processor will be use the fuzzy gain scheduling method [3] which the integral time constant is determined from Eq. (6), which consist of two input ($e(t)$ and $\Delta e(t)$), in each input have seven triangle membership function. The five triangle membership function are used for two outputs K_p and K_d and five singletons for output α . Figs. 3 and 4 show membership function of inputs

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่นอนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

and outputs. The fuzzy rule determined from heuristically based on the step response of process.

send to inference rule block. The inference rule block will find reasoning from membership function by LUT and find fuzzy value use max - min operator which fuzzy value will relate to reasoning show architecture in Fig. 7.

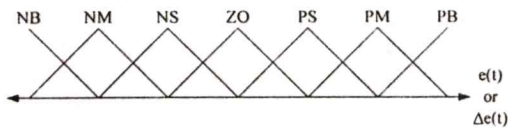


Fig. 3 Membership function for $e(t)$ and $\Delta e(t)$

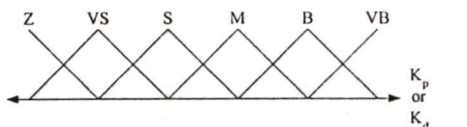


Fig. 4 Membership function for K_p and K_d

When linguistic variables following:

- NB: Negative Big; NM: Negative Medium;
- NS: Negative Small; Z: Zero;
- PS: Positive Small; PM: Positive Medium;
- PB: Positive Big; VS: Very Small;
- S: Small; M: Medium;
- B: Big; VB: Very Big;

The Fig. 5, show block diagram fuzzy processor which the Fuzzification block are use Look Up Table method: LUT for transfer crisp value to fuzzy set (Notice: the overlapping degree of its membership function is at most two). The Inference rule block performs approximate reasoning by associating input variables with fuzzy rule. The Defuzzification block converts the fuzzy output to crisp value by Center of Gravity (COG) method which shown in Eq. (5). Every block was controlled by clock signal.

The architecture of fuzzy processor on FPGA in each block shown in Figs. 6 - 8.

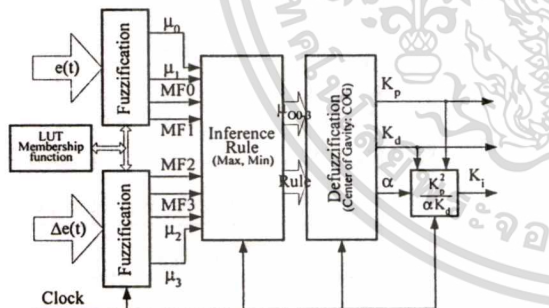


Fig. 5 Block diagram of Fuzzy processor.

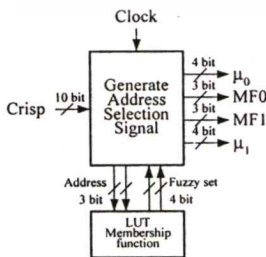


Fig. 6 architecture of the Fuzzification block.

Fig. 6, is show architecture of the fuzzification block. The generate address selection signal block will be generate by relative to crisp value for read fuzzy set from memory and

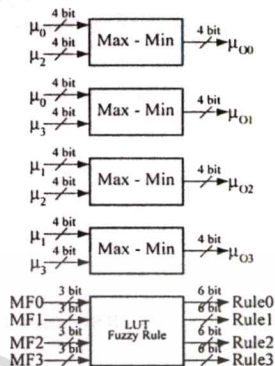


Fig. 7 architecture of the Inference rule block.

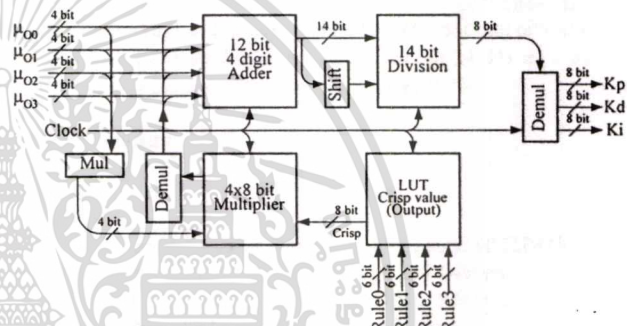


Fig. 8 architecture of the defuzzification block.

Fig. 8, shown architecture of the defuzzification block, which algorithm are use Eq. (5). Then this block consist of adder module, multiplier module [4], division module, memory crisp output value and some other logic. Of cause fuzzy - PID processor desire find parameter of PID (K_p , K_d and K_i) then each module necessary use once again due to desire reduce gate internal chip FPGA. The recall module controlled by clock signal. From designing adder and multiplier module use one clock signal while division module will use 14 clock signals. When fuzzy - PID processor find parameter K_p , K_d , and K_i , so that processor will be use 16 clock for multiplier, 3 clock for adder, 56 clock for division, 5 clock for PID processor and some other 5 clock which altogether is 85 clock. Fig. 9 show block diagram of the fuzzy - PID controller which consist of ADC, DAC and fuzzy - PID processor.

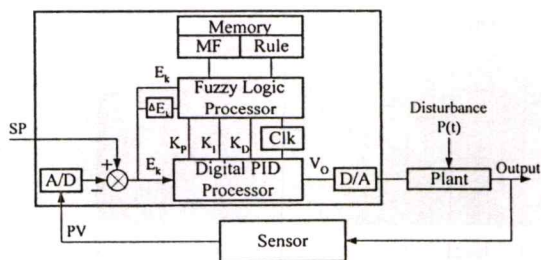


Fig. 9 block diagram of the fuzzy - PID controller.

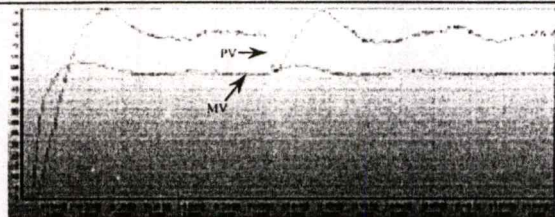


Fig. 14 The experimental result when control level at 75 % and then close valve about 5 sec. (Disturbance).

From the result of controlling the process has overshoot about 18 % and stable about 5 minutes.

5. CONCLUSIONS

The fuzzy – PID processor can change parameter of PID processor in order to relate to fuzzy rule. Then other process, controller is necessary to adjust fuzzy rule inference in order to suitability with process. From the timing summary maximum execute time about 2.096 μs per action.

The fuzzy – PID controller based on chip FPGA are verified by experimental with level process. The fuzzy rule inference are obtain form observe process (trial and error) which $K_c = 75$ and $T_u = 5$ Seconds at sampling rate = 100 ms. After consider manipulate variable (MV) of the result are change follow to algorithm of PID but nonlinear due to parameter change depend on process variable (PV). According to the overshoot about 18 % and stable about 5 minutes.

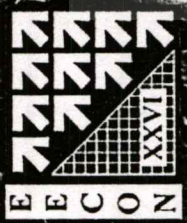
Finally, the fuzzy PID processor can embedded on chip FPGA. This designing had maximum execute time about 2.096 μs per action. Then it can apply to control process faster than this process only if adjust fuzzy rule inference and sampling time.

REFERENCES

- [1] Chi-Tsong Chen, et al., "Analog and digital control system design," Saunders College Publishing, 1993.
- [2] J. Yan, M. Ryan and J. Power, "Using fuzzy logic toward intelligent system," Prentice Hall, New York, 1994.
- [3] Z.Y. Zhao, et al., "Fuzzy gain scheduling of PID controller," IEEE, pp. 698-703, 1992.
- [4] Charles H. Roth, Jr., "Digital System Design Using VHDL," PWS Publishing Company, Boston, 1998.
- [5] R. Townsend, "Digital Computer Structure and Design," Butterworth Scientific, London, 2nd, pp.117-143, 1982.
- [6] A. Visioli, "Tuning of PID controllers with fuzzy logic," IEE proc.-Control Theory Appl., Vol. 148.No.1, 2001.

EECON26

การประชุมวิชาการทางวิศวกรรมไฟฟ้าครั้งที่ 26 26th Electrical Engineering Conference



- ประกาศรับบทความ
- คณะกรรมการประชุมวิชาการฯ
- สาขาเอกสิทธิ์การตี/คนบทตี/ประธาน
- สารบัญ
- คนตามบทความ CDROM
- ผู้สนับสนุนการประชุม

6-7 พฤษภาคม 2546

ภาควิชาวิศวกรรมไฟฟ้าและภาคความรู้เทคโนโลยีไฟฟ้าอุตสาหกรรม
 คณะวิศวกรรมศาสตร์ สถาบันเทคโนโลยีพระจอมเกล้าพระนครเหนือ
 ณ โรงแรมโกลเด้นทรีทรีเวลล์ กรุงเทพฯ



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
 ไม่ว่าจะกรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การออกแบบตัวควบคุมพีไอดีบนชิพเอฟพีจีเอสำหรับควบคุมกระบวนการ

PID Controller Design Based on FPGA for Process Control

วิทยา ทัพสุวรรณพร, ทนงชัย รุ่งหิมวรรณ, วิริยะ กองรัตน์, ทวีพล ช้อยส์ศย์ และ พงษ์ศักดิ์ จิตหนักแน่น
ภาควิชาวิศวกรรมการวัดคุม คณะวิศวกรรมศาสตร์ สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง
ถนนฉลองกรุง เขตลาดกระบัง กรุงเทพฯ 10520

โทร (66-2) 326-7347 ต่อ 102 (E-mail: ktvittay@kmit.ac.th)

บทคัดย่อ

การออกแบบตัวควบคุมพีไอดีจะประกอบด้วยสามส่วนคือ ส่วนการแปลงสัญญาณอะนาลอกเป็นดิจิทัลเพื่อนำไปใช้ในการคำนวณโดยใช้ชิพของบริษัทฟิลิปป์เบอร์ TDA8763AM/3 (10 bit high-speed low power ADC) ส่วนที่สองเป็นส่วนประมวลผลตัวควบคุมแบบพีไอดีซึ่งจะฝังตัวอยู่บนชิพเอฟพีจีเอเบอร์ XC2S50-5tq-144 และส่วนสุดท้ายเป็นส่วนการแปลงสัญญาณดิจิทัล เพื่อนำไปใช้ในการควบคุมกระบวนการใช้ชิพเบอร์ DAC08 2 ตัว ต่ออนุกรมกัน การออกแบบตัวประมวลผลพีไอดีจะแปลงสมการพื้นฐานการควบคุมพีไอดีแบบ ต่อเนื่องให้เป็น การควบคุมพีไอดีแบบไม่ต่อเนื่อง ซึ่งการออกแบบตัวควบคุมแบบไม่ต่อเนื่องจะประกอบด้วยวงจร การคูณ การบวก การลบ และ วงจรตรรกอื่นๆ โดยในการทดสอบตัวประมวลผลพีไอดีจะจำลองพฤติกรรมด้วยโปรแกรมสำเร็จรูป ModelSimXE และทดสอบตัวประมวลผลแบบ Open loop โดยให้อินพุตเป็นขั้นบันได และปรับค่าพารามิเตอร์ ผลที่ได้คือตัวประมวลผลจะมีผลตอบสนองเหมือนกับทฤษฎีการควบคุมพีไอดี และมีความเร็วในการประมวลผล 160 ns/action ที่สัญญาณนาฬิกา 25 MHz สุดท้ายนำตัวควบคุมพีไอดีบนเอฟพีจีเอไปทดสอบควบคุมกระบวนการระดับ โดยผลลัพธ์จะมีความถูกต้อง และเข้าสู่สภาวะคงตัวขึ้นอยู่กับพารามิเตอร์ของตัวควบคุมเหมือนพีไอดีมาตรฐาน

คำสำคัญ : ตัวควบคุมพีไอดี, เอฟพีจีเอ, การควบคุมกระบวนการ

Abstract

The PID controller design are consist of analog to digital converter which use chip TDA8763AM/3 (10 bit high-speed low power ADC), digital PID processor embedded on chip FPGA XC2S50-5tq-144 and digital 12 bit to analog converter which use two chip DAC08 (8 bit digital to analog converters). The PID processor was designed by fundamental continuous PID equation converted to discrete PID equation which architectures include multiplier, adder, subtracter and some other logic gate. The digital PID processor verified by the application program ModelSimXE. The result of simulation when input is units step and vary parameter of controller (K_p , K_i and K_d) like theory of PID and maximum execution time is 160 ns/action at frequency are 25 MHz.

Finally, The PID controller based on FPGA was implemented to control level process. The result of process likes standard PID controller.

Keyword: PID controller, FPGA, process control

1. บทนำ

ปัจจุบันการควบคุมทางอุตสาหกรรมได้มีการพัฒนาไปอย่างต่อเนื่อง เพื่อให้ระบบควบคุมมีความถูกต้อง มีความคงทนต่อสิ่งรบกวน และมีความเร็วในการทำงานสูง ด้วยเหตุนี้ในบทความนี้จึงได้นำเสนอการออกแบบ และสร้างตัวควบคุมบนชิพเอฟพีจีเอ (Field Programmable Gate Array: FPGA) ซึ่งเป็นชิพที่มีความเร็วในการทำงานสูง ขึ้นอยู่กับ การออกแบบอีกทั้งยังเปลี่ยนแปลง และแก้ไขข้อผิดพลาดในชิพได้ง่าย ส่วนวิธีการควบคุมที่นำมาสร้างไว้บนชิพเอฟพีจีเอเป็นวิธีควบคุมพื้นฐานพีไอดี ซึ่งเป็นวิธีที่นิยมใช้งานอย่างแพร่หลายในทางอุตสาหกรรม เพราะมีโครงสร้างการทำงานไม่ซับซ้อน รวมทั้งการบำรุงรักษา และการหาค่าพารามิเตอร์ต่างๆ ทำได้ง่าย โดยในบทความนี้ส่วนแรกนำเสนอทฤษฎีพื้นฐานพีไอดี และกราฟความสัมพันธ์ระหว่างอินพุต และเอาต์พุตของพีไอดี ขั้นตอนการโปรแกรมชิพเอฟพีจีเอ ส่วนที่สองเป็นการออกแบบตัวประมวลผลพีไอดีบนชิพเอฟพีจีเอ ส่วนที่สามเป็นส่วนผลการทดลอง ซึ่งจะแบ่งเป็นการจำลองโดยใช้โปรแกรมสำเร็จรูปเพื่อความเป็นตัวควบคุมพีไอดีเทียบกับทฤษฎี และการทดสอบตัวควบคุมพีไอดีบนเอฟพีจีเอ โดยการนำตัวควบคุมไปทำการควบคุมกระบวนการระดับเพื่อเปรียบเทียบกับตัวควบคุมพีไอดีมาตรฐาน ส่วนบทสรุปจะเห็นว่าตัวควบคุมพีไอดีบนชิพเอฟพีจีเอสามารถควบคุมกระบวนการได้อย่างถูกต้อง เหมือนพีไอดีมาตรฐาน

2. ทฤษฎีที่เกี่ยวข้อง

2.1 ทฤษฎีพื้นฐานตัวควบคุมพีไอดี

เครื่องควบคุมหรือตัวควบคุมแบบ PID พัฒนามาจากตัวควบคุม PI ที่สร้างขึ้นในปี 1939 โดยบริษัท Taylor Instrument และ บริษัท Foxboro Instrument [1] จากนั้นถูกนำมาใช้ในการควบคุมกระบวนการผลิตอย่างแพร่หลายในอุตสาหกรรมมากกว่า 50 ปี ปัจจุบันตัวควบคุมพีไอดียังได้

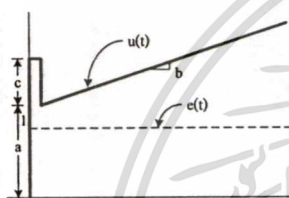
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า การประชุมวิชาการทางวิศวกรรมไฟฟ้า ครั้งที่ 26 (EECON-26) 6-7 พฤศจิกายน 2546 สฟพ.

ไม่มีการแก้ไขทั้งสิ้น อีกทั้งห้ามมีเหตุใดเปลี่ยนแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รับความนิยมอยู่ ทั้งนี้เนื่องจากรูปแบบของตัวควบคุมพีไอดี เป็นรูปแบบที่สามารถควบคุมกระบวนการต่างๆ ได้อย่างกว้างขวาง ไม่ว่าจะกระบวนการนั้นจะมีผลตอบสนองต่อความถี่ต่ำ ความถี่กลาง หรือความถี่สูง ตัวควบคุมพีไอดีก็สามารถควบคุมได้อย่างมีประสิทธิภาพ เมื่อได้รับการปรับแต่งค่าพารามิเตอร์ของตัวควบคุมที่เหมาะสม ตัวควบคุมพีไอดีประกอบด้วยองค์ประกอบสามส่วนคือ ส่วนของ P (Proportional term) ส่วนของ I (Integral term) และส่วนของ D (Derivative term) ดังสมการที่ (1) [2].

$$V_o(t) = K_p \left[e(t) + \frac{I}{T_i} \int e(t) dt + T_d \frac{de(t)}{dt} \right] \quad (1)$$

โดยผลตอบสนองของการควบคุมแบบพีไอดี แสดงดังรูปที่ 1

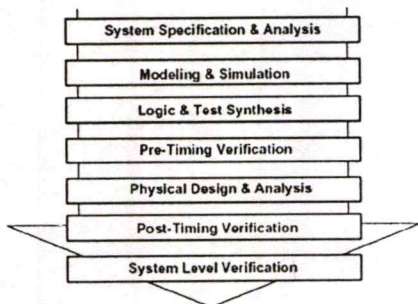


รูปที่ 1 ผลตอบสนองของตัวควบคุมพีไอดี

ในการออกแบบตัวควบคุมพีไอดีบนเอฟทีจีจะนำสมการพื้นฐานพีไอดีที่ได้กล่าวมาแล้ว แปลงให้เป็นสมการพีไอดีแบบไม่ต่อเนื่อง (Discrete) แล้วจึงกำหนดแต่ละขั้นตอนการทำงานภายในซีพเอฟทีจีเอ โดยผลลัพธ์ที่ได้ของตัวควบคุมพีไอดีบนเอฟทีจีเอ เมื่อนำไปจำลองในลักษณะ Open loop จะต้องให้ผลตอบสนองเหมือนกับทฤษฎีดังรูปที่ 1

2.2 ขั้นตอนการโปรแกรมซีพเอฟทีจีเอ

ซีพเอฟทีจีเอจะมีลักษณะการทำงานเป็นแบบวงจรถัดจอล ซึ่งสามารถกำหนดพฤติกรรมของซีพได้โดยใช้ภาษาการบรรยายพฤติกรรมของวงจร (Hardware Description language: HDL) [3] ซึ่งขั้นตอนในการออกแบบมีลักษณะจากบนลงล่าง (Top - Down design) ดังรูปที่ 2



รูปที่ 2 ขั้นตอนการออกแบบจากบนลงล่าง

- การออกแบบจากบนลงล่างนี้มีข้อดีคือการออกแบบจะทำการกำหนดลักษณะ และหน้าที่ต่างๆ ของวงจรก่อนแล้วจึงทำการตรวจสอบโดยใช้การจำลองพฤติกรรมต่างๆ ที่วงจรจะสามารถทำได้ตามลักษณะและหน้าที่ที่กำหนด ทำให้สามารถตรวจสอบหาข้อผิดพลาดและทำการแก้ไขได้ก่อนที่จะนำไปทดสอบจริง ซึ่งขั้นตอนการออกแบบเป็นดังนี้
 - ขั้นที่ 1 เป็นการวิเคราะห์ และกำหนดรายละเอียดของระบบเพื่อให้เป็นไปตามความต้องการ
 - ขั้นที่ 2 เป็นการเขียนออกแบบ และจำลองพฤติกรรมต่างๆ โดยใช้ภาษาวีเอชดีแอล
 - ขั้นที่ 3 ทำการสังเคราะห์ และจำลองพฤติกรรมต่างๆ ของระบบในระดับตรรกะเพื่อตรวจสอบความถูกต้อง
 - ขั้นที่ 4 ทดสอบระบบที่ได้โดยนำค่าเวลามารวมในการวิเคราะห์
 - ขั้นที่ 5 ออกแบบ และ วิเคราะห์ในระดับโครงสร้างของซีพ
 - ขั้นที่ 6 ทดสอบในระดับ โครงสร้างของซีพโดยนำค่าเวลามารวมด้วย
 - ขั้นที่ 7 ตรวจสอบความถูกต้องของระบบที่ออกแบบโดยเชื่อมต่อกับอุปกรณ์ตัวอื่นๆ
- การออกแบบอาจจะคัดบางขั้นตอนออกได้เนื่องจากโปรแกรมสำเร็จรูปที่ใช้ในการออกแบบมีความสามารถในการวิเคราะห์ค่าพารามิเตอร์ต่างๆ เพื่อนำไปใช้ในการออกแบบในขั้นตอนต่อไปได้อย่างถูกต้อง ทั้งนี้เพื่อลดเวลาในการออกแบบ

3. การออกแบบ

การออกแบบตัวประมวลผลพีไอดีบนเอฟทีจีเอ จะใช้ทฤษฎีพื้นฐานของพีไอดี โดยจะทำการแปลงสมการแบบต่อเนื่อง (Continuous) ในสมการที่ (1) ให้เป็นสมการแบบไม่ต่อเนื่อง (Discrete) จะได้สมการดังสมการที่ (2)

$$V_o = V_{o_{n-1}} + K_p \left[(\Delta e_n) + \frac{\Delta T}{T_i} e_n + \frac{T_d}{\Delta T} (\Delta^2 e_n) \right] \quad (2)$$

- เมื่อ
- ΔT = คาบของการสุ่ม
 - $V_{o_{n-1}}$ = เอาต์พุตของตัวควบคุมที่การสุ่มค่าหนึ่งๆ
 - e_n = $SP - PV$ = ค่าผิดพลาดที่การสุ่มค่าหนึ่งๆ
 - Δe_n = $e_n - e_{n-1}$
 - $\Delta^2 e_n$ = $\Delta e_n - \Delta e_{n-1} = e_n - 2e_{n-1} - e_{n-2}$

กำหนดให้ $K_i = \frac{K_p \Delta T}{T_i}$; $K_d = \frac{K_p T_d}{\Delta T}$

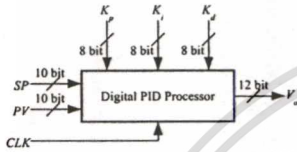
จัดรูปสมการ (2) โดยแทนค่า K_i และ K_d ในสมการจะได้เป็น

$$V_o = V_{o_{n-1}} + K_p (\Delta e_n) + K_i (e_n) + K_d (\Delta^2 e_n) \quad (3)$$

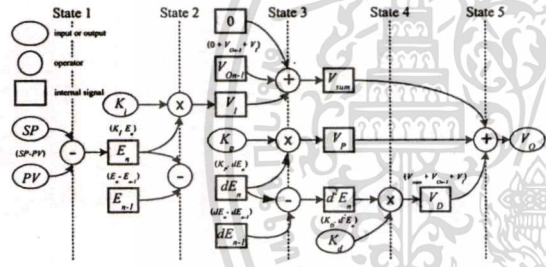
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า การประชุมวิชาการทางวิศวกรรมไฟฟ้า ครั้งที่ 26 (ECON-26) 6-7 พฤศจิกายน 2546 สทพ.

ไม่มีการณีใดๆ ทั้งสิ้น อีกทั้งยังมีมติให้เปิดเผยเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การบรรยายพฤติกรรมของตัวประมวลผลดิจิทัลที่ไอดีบนเอฟพีจีเอที่แสดงดังรูปที่ 3 จะใช้สถาปัตยกรรมในลักษณะอนุกรม ซึ่งตัวกระทำ (Operator) จะทำงานร่วมกันเป็นลำดับเพื่อลดจำนวนเกทภายในเอฟพีจีเอ โดยควบคุมลำดับการทำงานของตัวกระทำด้วย State machine ซึ่งจากการออกแบบแต่ละ State จะใช้สัญญาณนาฬิกา 1 คาบ ดังนั้นจากสมการที่ (3) สามารถออกแบบลำดับการทำงานของตัวกระทำแสดงดังรูปที่ 4 โดยตัวกระทำจะประกอบไปด้วย วงจรคูณ (10 × 10 บิต), วงจรลบ (10 - 10 บิต) และ วงจรบวก (20 + 20 บิต) ซึ่งจะเห็นว่าในแต่ละ State จะไม่ใช้ตัวกระทำเหมือนกัน ดังนั้นจึงสามารถใช้ตัวกระทำร่วมกันได้ และวงจรดิจิทัลที่ไอดีบนเอฟพีจีเอจะใช้สัญญาณนาฬิกาทั้งหมด 5 คาบ



รูปที่ 3 บล็อกไออะแกรมตัวประมวลผลดิจิทัลที่ไอดีบนเอฟพีจีเอ



รูปที่ 4 State ไออะแกรมของดิจิทัลที่ไอดี

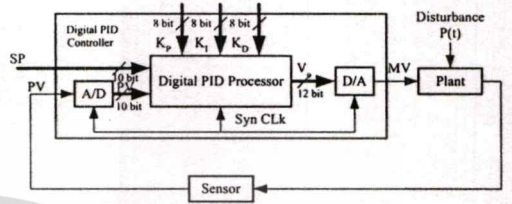
```

IF clk'event AND clk = '1' THEN
  IF st1 = '1' THEN
    IF st2 = '1' THEN
      IF st3 = '1' THEN
        IF st4 = '1' THEN
          IF st5 = '1' THEN
            Vo <= sumO; Von <= sumO;
          ELSE sumA <= Vsum
              sumB <= Vp;
              sumC <= mulO; st5 <= '1';
          END IF;
        ELSE mulA <= subO; mulB <= kd;
            Vsum <= sumO; Vp <= mulO; st4 <= '1';
        END IF;
      ELSE sumA <= "0"; sumB <= mulO; sumC <= Von;
          mulA <= subO; mulB <= kp; subA <= subO;
          subB <= dek; dek <= subO; st3 <= '1';
        END IF;
    ELSE mulA <= subO; mulB <= ki; subA <= subO;
        subB <= ck; ck <= subO; st2 <= '1';
    END IF;
  ELSE subA <= sp; subB <= pv; st1 <= '1';
  END IF;
END IF;
    
```

รูปที่ 5 บรรยายพฤติกรรมของดิจิทัลที่ไอดี ตาม State ไออะแกรม

ส่วนหนึ่งของการออกแบบตัวประมวลผลดิจิทัลที่ไอดี ส่วนหลักที่เรียกใช้ Component ตัวกระทำบวก ลบ และ คูณ แสดงดังรูปที่ 5 ซึ่งแต่ละตัวกระทำจะถูกควบคุมด้วย State machine st1 - st5

การออกแบบขั้นสุดท้ายจะเป็นการออกแบบตัวควบคุมที่ไอดี โดยนำเอาตัวประมวลผลดิจิทัลที่ไอดีบนเอฟพีจีเอ รวมทั้งวงจรแปลงสัญญาณเพื่ออ่านค่า และควบคุมกระบวนการ แสดงดังรูปที่ 6

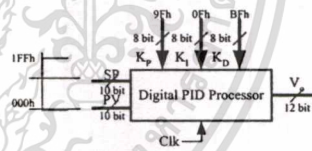


รูปที่ 6 บล็อกไออะแกรมตัวควบคุมที่ไอดีบนเอฟพีจีเอ

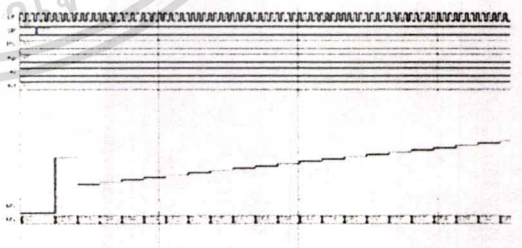
4. ผลการทดลอง

4.1 จำลองตัวควบคุมที่ไอดีบนเอฟพีจีเอ

การจำลองตัวควบคุมจะจำลองแบบ Open loop ดังบล็อกรูปที่ 7 โดยใช้โปรแกรมสำเร็จรูป ModelSimXE โดยกำหนดให้อนุพัทธ์เป็นชนิดสตีปที่ค่าเป้าหมายเป็น 50 เปอร์เซนต์ หรือ 1Ffh และกำหนดให้ Kp = 7Fh, Ki = 0Fh และ Kd = BFh ซึ่งผลการจำลองแสดงดังรูปที่ 8 ซึ่งพบว่าผลการจำลองมีลักษณะเหมือนกับทฤษฎีของตัวควบคุมที่ไอดี



รูปที่ 7 บล็อกไออะแกรมสำหรับจำลองตัวประมวลผลที่ไอดีบนเอฟพีจีเอ

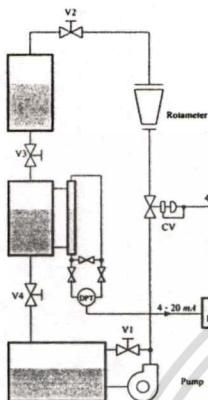


รูปที่ 8 ผลการจำลองตัวประมวลผลที่ไอดีบนเอฟพีจีเอด้วยโปรแกรมสำเร็จรูป ModelSimXE

4.2 การควบคุมกระบวนการระดับด้วยที่ไอดีบนเอฟพีจีเอ

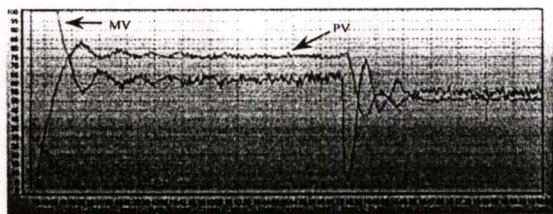
การทดสอบการทำงานของตัวควบคุมที่ไอดีบนเอฟพีจีเอ จะทดสอบโดยการควบคุมกระบวนการระดับอันดับสอง (Second Order)

ซึ่งมีบล็อกไดอะแกรมแสดงดังรูปที่ 9 โดยตัวควบคุมพีไอคิบินเอฟทีจีเอ จะรับสัญญาณอะนาลอกที่เป็นกระแสขนาด 4 – 20 mA เพื่อใช้ในการคำนวณระดับน้ำภายในถัง และส่งสัญญาณอะนาลอกที่เป็นกระแสขนาด 4 – 20 mA เพื่อควบคุมระดับการเปิด-ปิดวาล์ว ส่วนความแรงของปั๊มจะ กำหนดให้คงที่

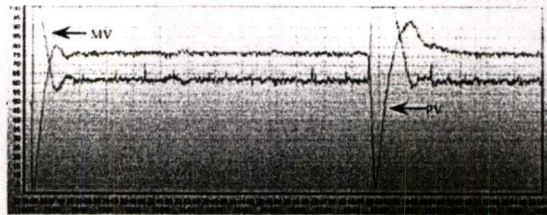


รูปที่ 9 กระบวนการระดับที่ใช้ทดสอบตัวควบคุม

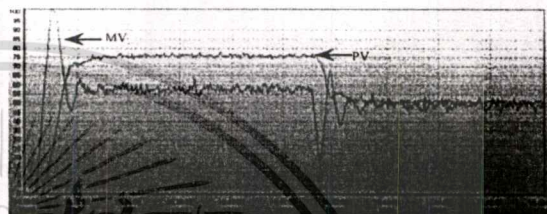
การทดสอบจะทดสอบการเปลี่ยนแปลงค่าเป้าหมาย และจำลอง การเกิดสิ่งรบกวน (Disturbance) โดยกำหนดให้ค่าอัตราการสุ่ม (Sampling rate) 100 ms ส่วนค่าพารามิเตอร์ของตัวควบคุมพีไอคิบินเอฟทีจีเอ กำหนดให้เท่ากัน ทุกครั้ง คือ $K_p = 128$, $K_i = 76$ และ $K_d = 23$ ซึ่งผลการทดสอบแสดงได้ดัง รูปที่ 10 และ 11 โดยรูปที่ 10 เป็นการทดสอบการเปลี่ยนแปลงค่าเป้าหมาย จาก 75 % เป็น 50 % ซึ่งจะเห็นว่าเมื่อมีการเปลี่ยนแปลงค่าเป้าหมาย ตัวควบคุมสามารถปรับระดับของวาล์วให้ระดับเข้าสู่เป้าหมายใหม่ได้ อย่างถูกต้อง ส่วนรูปที่ 11 เป็นการทดสอบการจำลองสิ่งรบกวนโดยการ ปิดวาล์วประมาณ 5 วินาที ซึ่งตัวควบคุมก็สามารถปรับระดับวาล์วให้ ระดับภายในถังกลับเข้าสู่เป้าหมายเดิมได้อย่างถูกต้อง เมื่อนำผลการ ทดสอบในรูปที่ 12 ซึ่งเป็นตัวควบคุมพีไอคิบินเอฟทีจีเอ รุ่น E5AK ของ บริษัท Omron ที่มีระบบการปรับค่าพารามิเตอร์อัตโนมัติ เปรียบเทียบกับ รูปที่ 10 จะเห็นว่าสัญญาณควบคุม (Manipulate variable: MV) และค่าตัว แปรกระบวนการ(Process variable: PV) มีลักษณะคล้ายกัน



รูปที่ 10 ผลการทดสอบตัวควบคุมพีไอคิบินเอฟทีจีเอ ควบคุมระดับที่ค่า เป้าหมาย 75 % จากนั้นลดค่าเป้าหมายเป็น 50%



รูปที่ 11 ผลการทดสอบตัวควบคุมพีไอคิบินเอฟทีจีเอ ควบคุมระดับที่ค่า เป้าหมาย 75 % จากนั้นจำลองการเกิดสิ่งรบกวน (Disturbance) โดยการปิดปั๊มประมาณ 5 วินาที



รูปที่ 12 ผลการทดสอบตัวควบคุมพีไอคิบินเอฟทีจีเอ รุ่น E5AK ควบคุม ระดับที่ค่าเป้าหมาย 75 % จากนั้นลดค่าเป้าหมายเป็น 50 %

สามารถสรุปผลการทดสอบตัวควบคุมที่ค่าเป้าหมาย 75 % แสดงดังตารางที่ 1 พบว่าค่าเวลาต่างๆ จะขึ้นอยู่กับค่าพารามิเตอร์ ของตัวควบคุม

ตารางที่ 1 ผลการทดสอบตัวควบคุม

ตัวควบคุม	PID based on FPGA	Standard PID (E5AK)
รายการ		
Rise time	30 sec	45 sec
Setting time	90 sec	60 sec
Overshoot	10 %	0 %

5. สรุป

บทความนี้ได้นำเสนอการออกแบบ พีไอคิบินเอฟทีจีเอ โดยจะ ออกแบบตัวประมวลผลพีไอคิบินจากการแปลงสมการพื้นฐานพีไอคิบินแบบ ต่อเนื่องเป็นพีไอคิบินแบบไม่ต่อเนื่อง แล้วนำการตัวประมวลผลพีไอคิบินที่ได้ ไปทำการจำลอง พบว่าตัวประมวลผลพีไอคิบินที่ได้มีลักษณะการทำงาน เหมือน ทฤษฎีตัวควบคุมพีไอคิบิน และมีความเร็วในการประมวลผลต่อหนึ่ง ค่ากระบวนการเท่ากับ 160 ns/action (ดังผลการทดลองรูปที่ 7) ส่วนใน การทดลองนำตัวควบคุมพีไอคิบินเอฟทีจีเอ ไปควบคุมกระบวนการระดับ ที่สามารถควบคุมกระบวนการได้อย่างถูกต้อง ไม่ว่าจะเป็นการเปลี่ยน ระดับเป้าหมาย หรือการจำลองสิ่งรบกวน ซึ่งตัวควบคุมก็สามารถเปลี่ยนแปลงระดับสัญญาณควบคุมให้ค่าเป้าหมายเป็นไปตามที่กำหนดได้ โดย ผลการทดลองจะมีลักษณะเหมือนกับตัวควบคุมพีไอคิบินมาตรฐาน ดังนั้น

จึงสรุปได้ว่าตัวควบคุมพีไอคินนเอฟพีจีเอสามารถใช้แทนพีไอดีมาครฐาน
ได้ และสามารถนำไปประยุกต์ใช้ในการควบคุมระบบที่มีความเร็วสูงได้
อย่างถูกต้อง

เอกสารอ้างอิง

- [1] Chi-Tsong Chen, et.al., "Analog and Digital Control System Design," Saunders College Publishing, 1993.
- [2] Chi-Tsong Chen, et.al., "Analog and Digital Control System Design," Saunders College Publishing, 1993.
- [3] Charles H. Roth, Jr., "Digital System Design Using VHDL," PWS Publishing Company, Boston, 1998.
- [4] L. Tanachaikhan, et.al., "Application of Personal Computer as a Self-Tuning PID Controller," Proc., The 14th KACC, Korea, Oct. 1999.
- [5] R. Townsend., *Digital Computer Structure and Design*, Butterworth Scientific, london, 2nd, pp.117 – 143, 1982.



ร.ศ. วิทยา ทิพย์สุวรรณพร อาจารย์ระดับ 9
ภาควิชาวิศวกรรมการวัดคุม คณะวิศวกรรมศาสตร์
สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง
งานวิจัยการควบคุมระบบด้วยดิจิทัล



ร.ศ. วิริยะ กองรัตน์ อาจารย์ระดับ 9
ภาควิชาวิศวกรรมการวัดคุม คณะวิศวกรรมศาสตร์
สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง
งานวิจัยการออกแบบ PLC และการประยุกต์ใช้ไมโคร
คอนโทรเลอร์



ผ.ศ. ทวีพล ชื้อชิตซ์ อาจารย์ระดับ 6
ภาควิชาวิศวกรรมการวัดคุม คณะวิศวกรรมศาสตร์
สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง
งานวิจัยการออกแบบ PLC และระบบอัตโนมัติ MIS, IT



นายทนงชัย รุ่งหิมวรรณ นักศึกษาระดับปริญญาโท
ภาควิชาวิศวกรรมการวัดคุม คณะวิศวกรรมศาสตร์
สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง
งานวิจัยการประยุกต์ใช้ซีพเอฟพีจีเอ และไมโครคอน
โทรเลอร์



นายพงษ์ศักดิ์ จิตหนักแน่น นักศึกษาระดับปริญญาโท
ภาควิชาวิศวกรรมการวัดคุม คณะวิศวกรรมศาสตร์
สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง
งานวิจัยเกี่ยวกับกระบวนการควบคุม โดยใช้ซีพเอฟพีจีเอ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
การประชุมวิชาการทางวิศวกรรมไฟฟ้า ครั้งที่ 26 (ECON-26) 6-7 พฤศจิกายน 2546 สทพ.

ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมีเหตุดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ประวัติผู้เขียน

นายทนงชัย รุ่งหิมวรรณ เกิดเมื่อวันที่ 27 กันยายน พ.ศ. 2519 ที่จังหวัดนครราชสีมา สำเร็จการศึกษาวิศวกรรมศาสตรบัณฑิต สาขาวิชาวิศวกรรมไฟฟ้า จากมหาวิทยาลัยเทคโนโลยีมหานคร ปีการศึกษา 2542

ขณะศึกษาระดับปริญญาโท สาขาวิศวกรรมการวัดคุม ณ สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง ได้มีผลงานที่ได้รับการตีพิมพ์จำนวน 2 เรื่อง

ผลงานทางวิชาการ

[1] V. Tipsuwanporn, T. Runghimmawan, V. Krongratana, T. Suesut and P. Jitnaknan, "Fuzzy Logic PID controller based on FPGA," Proceedings of International Conference on Control, Automation and System, Korea, 2003.

[2] วิทยา ทิพย์สุวรรณพร, ทนงชัย รุ่งหิมวรรณ, วิริยะ กองรัตน์, ทวีพล ชื้อสตัย และ พงษ์ศักดิ์ จิตหนักแน่น, การออกแบบตัวควบคุมพีไอดีบนชิพเอฟพีจีเอสำหรับควบคุมกระบวนการ, การประชุมวิชาการทางวิศวกรรมไฟฟ้า ครั้งที่ 26, 2546