สำนักหอสมุดกลาง พระจอมเกล้าลาดกระบัง

การพัฒนาหลักสูตรฝึกอบรมการออกแบบวงจรดิจิตอลด้วยภาษา VHDL ขั้นพื้นฐาน

A DEVELOPMENT OF THE TRAINING CURRICULUM ON DIGITAL LOGIC CIRCUIT DESIGN WITH THE BASIC VHDL

T047601

ทองคำ เกตุโชติ

TONGKUM KADCHOTI

วพ.
ท1249ก
2546

เลขหมู่.....
เลขทะเบียน.....47601
วัน, เดือน, ปี.....21 ส.ค. 2546

b.....11326736
i.....12210067

วิทยานิพนธ์นี้เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรครุศาสตร์อุตสาหกรรมมหาบัณฑิต
สาขาวิชาวิศวกรรมไฟฟ้าสื่อสาร
บัณฑิตวิทยาลัย
สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง
พ.ศ. 2546

ISBN 974-324-673-8

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

A DEVELOPMENT OF THE TRAINING CURRICULUM ON DIGITAL LOGIC CIRCUIT DESIGN WITH THE BASIC VHDL

TONGKUM KADCHOTI

A THESIS SUBMITTED IN PARTIAL FULFILLMENT

OF THE REQUIREMENT FOR THE DEGREE OF

MASTER OF SCIENCE IN INDUSTRIAL EDUCATION PROGRAM

IN ELECTRICAL COMMUNICATION ENGINEERING

SCHOOL OF GRADUATE STUDIES

KING MONGKUT'S INSTITUTE OF TECHNOLOGY LADKRABANG

2003

ISBN 974-324-673-8

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

COPY RIGHT 2003

SCHOOL OF GRADUATE STUDIES

KING MONGKUT'S INSTITUTE OF TECHNOLOGY LADKRABANG

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

หัวข้อวิทยานิพนธ์	การพัฒนาหลักสูตรฝึกอบรมการออกแบบวงจรดิจิตอลด้วยภาษา VHDL ขั้นพื้นฐาน
นักศึกษา	นายทองคำ เกตุโชติ
รหัสประจำตัว	42064619
ปริญญา	ครุศาสตร์อุตสาหกรรมมหาบัณฑิต
สาขาวิชา	วิศวกรรมไฟฟ้าสื่อสาร
พ.ศ.	2546
อาจารย์ผู้ควบคุมวิทยานิพนธ์	ผศ.วิสุทธิ์ อธิพรธรรม
อาจารย์ผู้ควบคุมวิทยานิพนธ์ร่วม	ผศ.กิติพงค์ มะโน

บทคัดย่อ

วิทยานิพนธ์นี้มีวัตถุประสงค์ เพื่อพัฒนาและหาประสิทธิภาพของหลักสูตรฝึกอบรมการออกแบบวงจรดิจิตอลด้วยภาษา VHDL ขั้นพื้นฐาน และเพื่อเปรียบเทียบผลสัมฤทธิ์ของการฝึกอบรมของนักศึกษา สาขาวิชาอิเล็กทรอนิกส์และคอมพิวเตอร์ ชั้นปีที่ 2 คณะครุศาสตร์อุตสาหกรรม สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบังที่เข้ารับการฝึกอบรม

ผู้วิจัยได้พัฒนาหลักสูตรฝึกอบรมการออกแบบวงจรดิจิตอลด้วยภาษา VHDL ขั้นพื้นฐาน แล้วนำไปทดลองกับกลุ่มตัวอย่างจำนวน 15 คน โดยวิธีการสุ่มตัวอย่างตามตารางเลขสุ่ม โดยให้กลุ่มตัวอย่างได้ทำแบบทดสอบวัดความรู้ ก่อนฝึกอบรม ระหว่างฝึกอบรมและหลังฝึกอบรม ผลการวิจัยพบว่าหลักสูตรมีประสิทธิภาพ 89.10/82.00 และกลุ่มตัวอย่างมีผลสัมฤทธิ์หลังฝึกอบรมสูงกว่าก่อนฝึกอบรมอย่างมีนัยสำคัญที่ระดับ .05 แสดงว่าหลักสูตรฝึกอบรมการออกแบบวงจรดิจิตอลด้วยภาษา VHDL ขั้นพื้นฐาน ที่พัฒนาขึ้นมีประสิทธิภาพและผลสัมฤทธิ์ตามสมมติฐานที่ตั้งไว้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Thesis Title	A Development of the Training Curriculum on Digital Logic Circuit Design with the Basic VHDL
Student	Mr. Tongkum Kadchoti
Student ID.	42064619
Degree	Master of Science in Industrial Education
Programme	Electrical Communications Engineering
Year	2003
Thesis Advisor	Assistant Professor Wisuit Atiporntum
Thesis Co-Advisor	Assistant Professor Kitipong Mano

ABSTRACT

The purposes of this thesis were: (1) to develop and evaluate the basic VHDL design training curriculum and (2) to compare student's achievement scores before and after they experienced the training curriculum.

The samples were 15 students studying in the Electronic and computer bachelor program at the Faculty of Industrial Education, Electronic and computer bachelor degree at King Mongkut's Institute of Technology Ladkrabang (KMITL). The table random sampling method was used in selecting the samples.

The efficiency of the basic VHDL design training curriculum was 89.10/82.00, meeting the assumption. The student's achievement scores after experiencing the training curriculum were higher than the scores before training with the statistical significance at .05 level.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

กิตติกรรมประกาศ

วิทยานิพนธ์ฉบับนี้ สำเร็จลุล่วงได้อย่างดี ผู้วิจัยขอกราบขอบพระคุณ อาจารย์ผู้ควบคุมวิทยานิพนธ์ ผศ.วิสุทธิ์ อธิพรธรรม และ ผศ. กิติพงค์ มะโน ที่ได้ให้คำแนะนำเกี่ยวกับการดำเนินการวิจัย ปรับปรุงหลักสูตรฝึกอบรม ตรวจทานและแก้ไขข้อบกพร่องของวิทยานิพนธ์ฉบับนี้ จนสำเร็จลุล่วงไปด้วยดี

ขอขอบพระคุณ สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบังที่ได้อำนวยความสะดวก และเอื้อเฟื้อสถานที่ เครื่องมือ วัสดุฝึก สำหรับการวิจัยครั้งนี้

ขอขอบพระคุณ ผศ.ธีรวัฒน์ ประกอบผล, ดร. สุรสิทธิ์ ราตรี , ดร. นวลปภัสร์ แผ้วสกุล, อาจารย์ สมพร ผลประพฤติ, อาจารย์ เอื้อ จานทอง ที่เป็นผู้ทรงคุณวุฒิด้านเนื้อหา ที่กรุณาอ่านตรวจปรับเนื้อหา และการนำเสนอ จนกระทั่งหลักสูตรฝึกอบรมนี้เสร็จสมบูรณ์

ขอขอบคุณเจ้าหน้าที่บัณฑิตวิทยาลัย สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง ทุกท่านที่ช่วยให้คำแนะนำ และอำนวยความสะดวก ในการติดต่อที่เกี่ยวเนื่องกับการทำวิทยานิพนธ์ในครั้งนี้

สุดท้ายขอขอบคุณ คุณรื่นฤดี เกตุโชติ และบุตรี ที่เข้าใจ และให้กำลังใจตลอดเวลา จนวิทยานิพนธ์นี้สำเร็จสมบูรณ์

ทองคำ เกตุโชติ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญ

		หน้า
บทคัดย่อภาษาไทย		I
บทคัดย่อภาษาอังกฤษ		II
กิตติกรรมประกาศ		III
สารบัญ		IV
สารบัญตาราง		VIII
สารบัญรูป		IX
บทที่ 1	บทนำ	1
	1.1 ความเป็นมาและความสำคัญของปัญหา	1
	1.2 วัตถุประสงค์ของการวิจัย	3
	1.3 สมมติฐานในการวิจัย	3
	1.4 กรอบแนวคิดที่ใช้ในการวิจัย	4
	1.5 ขอบเขตของการวิจัย	4
	1.6 คำนิยามศัพท์เฉพาะ	5
บทที่ 2	เอกสารและงานวิจัยที่เกี่ยวข้อง	7
	2.1 ความรู้พื้นฐานเกี่ยวกับหลักสูตร	7
	2.1.1 ความหมายของหลักสูตร	7
	2.1.2 ส่วนประกอบของหลักสูตร	8
	2.1.3 ลักษณะของหลักสูตรที่ดี	12
	2.2 การฝึกอบรม	13
	2.2.1 ความหมายของการฝึกอบรม	13
	2.2.2 ความสำคัญของการฝึกอบรม	14
	2.2.3 วัตถุประสงค์ของการฝึกอบรม	15
	2.2.4 ประโยชน์ของการฝึกอบรม	16
	2.3 การพัฒนาหลักสูตรการฝึกอบรม	18

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญ (ต่อ)

		หน้า
	2.4 การประเมินผล	26
	2.4.1 ความหมายของการประเมิน	26
	2.4.2 ความสำคัญของการประเมิน	27
	2.4.3 รูปแบบของการประเมินโครงการฝึกอบรม	28
	2.4.4 การหาประสิทธิภาพของการฝึกอบรม	32
	2.5 ภาษาบรรยายพฤติกรรม VHDL	34
	2.5.1 ข้อดีของภาษา VHDL	34
	2.5.2 การใช้งานภาษา VHDL	35
	2.5.3 วิธีการออกแบบระบบอิเล็กทรอนิกส์	35
	2.5.4 การออกแบบ แบบบนลงล่าง	35
	2.5.5 รูปแบบในการเขียนภาษา VHDL	36
	2.5.6 โมเดลที่ใช้ในการทดสอบ	39
	2.6 เอกสารและงานวิจัยที่เกี่ยวข้อง	41
บทที่ 3	**วิธีดำเนินการวิจัย**	43
	3.1 ประชากรและกลุ่มตัวอย่าง	43
	3.2 เครื่องมือที่ใช้ในการวิจัย	43
	3.3 การสร้างเครื่องมือ	44
	3.4 การเก็บรวบรวมข้อมูล	51
	3.5 การวิเคราะห์ข้อมูล	52
	3.6 สถิติที่ใช้ในการวิเคราะห์ข้อมูล	52
บทที่ 4	**ผลการวิเคราะห์ข้อมูล**	56
	4.1 ผลการวิเคราะห์ประสิทธิภาพของหลักสูตรฝึกอบรมการออกแบบวงจรดิจิตอล ด้วยภาษา VHDL ขั้นพื้นฐาน	56
	4.2 ผลการเปรียบเทียบผลสัมฤทธิ์ของการฝึกอบรม	57

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญ (ต่อ)

หน้า

บทที่ 5 สรุปผลการวิจัย อภิปรายผล และข้อเสนอแนะ 59

5.1 วัตถุประสงค์ของการวิจัย 59

5.2 สมมติฐานการวิจัย 59

5.3 ประชากรและกลุ่มตัวอย่าง 59

5.4 เครื่องมือที่ใช้ในการวิจัย 60

5.5 การเก็บรวบรวมข้อมูล 60

5.6 สรุปผลการวิจัย 61

5.7 อภิปรายผลการวิจัย 61

5.8 ข้อเสนอแนะ 62

5.8.1 ข้อเสนอแนะเพื่อการนำผลการวิจัยไปใช้ 62

5.8.2 ข้อเสนอแนะเพื่อการวิจัยต่อไป 63

บรรณานุกรม 64

ภาคผนวก 68

ภาคผนวก ก. เครื่องมือที่ใช้ในการวิจัย 69

- โครงสร้างหลักสูตรฝึกอบรมการออกแบบวงจรดิจิตอลด้วยภาษา VHDL ขั้นพื้นฐาน 70
- หน่วยการฝึกอบรม 77
- คู่มือฝึกอบรม 105
- คู่มือการใช้งานโปรแกรม ModelSim PE/Plus (VSYSTEM) 168
- แบบประเมินความสอดคล้อง 172
- แบบประเมินคุณภาพหลักสูตรฝึกอบรมด้านเนื้อหา 200
- แบบทดสอบระหว่างฝึกอบรม 207
- แบบทดสอบก่อนและหลังฝึกอบรม 222

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญ (ต่อ)

หน้า

ภาคผนวก ข. ข้อมูลและการวิเคราะห์ข้อมูล..... 228
- ระดับคะแนนเฉลี่ยของแบบประเมินคุณภาพด้านเนื้อหา..... 229
- ผลการวิเคราะห์ความสอดคล้อง..... 230
- ผลการเปรียบเทียบผลสัมฤทธิ์ของการฝึกอบรม..... 235
ภาคผนวก ค. หนังสือราชการต่างๆ 236
- บันทึกข้อความขออนุญาตทดลองเครื่องมือและเก็บรวบรวมข้อมูลเพื่อการวิจัย..... 237
- ผลการพิจารณาหัวข้อและเค้าโครงวิทยานิพนธ์..... 238
- หนังสือเชิญเป็นผู้ทรงคุณวุฒิตรวจเครื่องมือการวิจัย..... 239
ภาคผนวก ง. ผู้ทรงคุณวุฒิ..... 244
- รายนามผู้ทรงคุณวุฒิ..... 245
ประวัติผู้เขียน..... 247

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญตาราง

ตารางที่	หน้า
4.1 แสดงผลการทำแบบทดสอบวัดความรู้ของผู้เข้ารับการฝึกอบรม.....	57
4.2 ข้อมูลเปรียบเทียบผลรวมคะแนนก่อนและหลังฝึกอบรม.....	58
6.1 แสดงค่าระดับคะแนนเฉลี่ยของแบบประเมินคุณภาพเนื้อหาของหลักสูตรฝึกอบรม การออกแบบวงจรดิจิตอลด้วยภาษา VHDL ขั้นพื้นฐาน.....	229
6.2 แสดงผลการวิเคราะห์ความสอดคล้องของแบบทดสอบระหว่างฝึกอบรมกับ วัตถุประสงค์เชิงพฤติกรรม.....	230
6.3 แสดงผลการวิเคราะห์ความสอดคล้องของแบบทดสอบก่อนและหลังฝึกอบรมกับ วัตถุประสงค์เชิงพฤติกรรม.....	232
6.4 แสดงการทดสอบการแจกแจงของข้อมูล.....	234
6.5 แสดงการคำนวณและเปรียบเทียบสถิติ t – test Dependent Sample โดย SPSS FOR WINDOWS.....	235

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญรูป

รูปที่	หน้า
2.1 แผนภูมิองค์ประกอบของหลักสูตร	9
2.2 กระบวนการพัฒนาหลักสูตรฝึกอบรมของเครือวัลย์ ลิ่มอภิชาติ	19
2.3 การพัฒนาหลักสูตรฝึกอบรมของนิภา วงษ์ไทย	21
2.4 การพัฒนาหลักสูตรของสุชาติ ลี้ตระกูล	23
2.5 กระบวนการพัฒนาหลักสูตรของสุนทร บำเรอราช	25
2.6 แบบการประเมินของไทเลอร์	30
2.7 แบบการประเมินของทาบา	30
2.8 ความสัมพันธ์ระหว่างการประเมินกับการตัดสินใจในแบบจำลองซิปป์	32
2.9 หลักการแยกองค์ประกอบออกมาเป็นส่วนต่างๆ เพื่อลดความซับซ้อน	36
2.10 การออกแบบลอจิกไดอะแกรมโดยใช้โครงสร้างแบบ Structural	36
3.1 แสดงขั้นตอนการดำเนินการวิจัยเพื่อพัฒนาหลักสูตรฝึกอบรมการออกแบบวงจรดิจิตอลด้วยภาษา VHDL ขั้นพื้นฐาน	47
6.1 แผนภูมิแสดงค่าความยากง่ายของแบบทดสอบระหว่างฝึกอบรม	231
6.2 แผนภูมิแสดงค่าอำนาจจำแนกของแบบทดสอบระหว่างฝึกอบรม	231
6.3 แผนภูมิแสดงค่าความยากง่ายของแบบทดสอบก่อนและหลังฝึกอบรม	233
6.4 แผนภูมิแสดงค่าอำนาจจำแนกของแบบทดสอบก่อนและหลังฝึกอบรม	233

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 1
บทนำ

1.1 ความเป็นมาและความสำคัญของปัญหา

ในปัจจุบัน เทคโนโลยีทางด้านไมโครอิเล็กทรอนิกส์ได้พัฒนาไปอย่างรวดเร็ว มีวงจรดิจิตอลอิเล็กทรอนิกส์หลายวงจร ที่แต่เดิมถูกสร้างขึ้นมาจากชิ้นส่วนอุปกรณ์อิเล็กทรอนิกส์จำนวนหลายชิ้น ถูกนำมาประกอบกันอยู่บนแผงวงจรไฟฟ้า (Printed Circuit Board หรือ PCB) ที่มีขนาดใหญ่ แต่ปัจจุบันสามารถที่จะใช้เทคโนโลยีการออกแบบและผลิตวงจรรวมขนาดใหญ่มาก (Very Large Scale Integration หรือ VLSI) รวมอุปกรณ์ต่างๆ เหล่านั้นให้อยู่บนชิ้นสารกึ่งตัวนำที่มีขนาดประมาณ 1 – 2 ตารางเซนติเมตร ได้ ซึ่งเป็นผลให้ประสิทธิภาพในการทำงานของวงจรสูงขึ้น ตลอดจนความน่าเชื่อถือ และความคงทนต่อสภาพแวดล้อมสูง ในขณะเดียวกันการจะปรับเปลี่ยนวงจรจะทำได้ยุ่งยากมากขึ้น ซึ่งจะเสียเวลาและค่าใช้จ่ายในการปรับเปลี่ยน และจะประสบกับปัญหาเช่นเดิม คือ อุปกรณ์ใหม่ที่ได้รับการพัฒนาจะใช้เวลานานเช่นกัน เพราะว่าขั้นตอนการออกแบบ ผลิต และตรวจสอบวงจรต้นแบบ เป็นขบวนการที่ต้องใช้วิศวกรและเวลาในการดำเนินการมาก จึงได้มีการออกแบบและพัฒนาวิธีการที่จะช่วยพัฒนาวงจรอิเล็กทรอนิกส์ โดยเฉพาะอย่างยิ่งวงจรดิจิตอล ให้สามารถนำไปผลิตได้เร็วขึ้นด้วยวิธีการต่างๆ และหนึ่งในวิธีการที่ได้รับความนิยมในปัจจุบัน คือ การใช้ภาษาบรรยายพฤติกรรมของวงจรหรือฮาร์ดแวร์ของระบบซึ่งมีคุณลักษณะดังนี้

1. เป็นภาษาที่นำไปเขียนรูปแบบระบบดิจิตอล และมีคุณสมบัติที่สามารถเข้าใจได้
2. สามารถนำไปใช้เป็นเอกสารประกอบโครงการได้
3. เป็นภาษาที่เขียนขึ้นสำหรับใช้จำลองการทำงานของวงจร

และเป็นภาษาในระดับสูง (High Level Language) เช่นเดียวกับภาษา Pascal, Fortran และ ADA และเนื่องจากใช้บรรยายพฤติกรรมของวงจรรวมความเร็วสูงมากจึงมีชื่อเรียกในภาษาอังกฤษว่า VHSIC-HDL (Very High Speed Integrated Circuit – Hardware Description Language หรือ VHDL)

ข้อดีและสิ่งท้าทายอันเนื่องมาจากการนำเอาภาษา VHDL มาใช้กำหนดและบรรยายพฤติกรรมฟังก์ชั่นการทำงานของฮาร์ดแวร์ในระบบดิจิตอลนั้น คือ ความอ่อนตัวของภาษาที่สามารถจำลองการทำงานจากหลักการของรูปแบบ (Simulation Conceptual Design) แต่ในขณะเดียวกันจะสามารถจำลองการทำงานของฮาร์ดแวร์ ที่ให้รายละเอียดเกี่ยวกับเวลาอย่างถูกต้อง (Time Base Simulation) และจากโครงสร้างของภาษายังสามารถจำลองการทำงานในรูปของลำดับ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ชั้น (Hierarchy of Simulation Levels) ความสามารถดังกล่าวนี้จึงช่วยให้การออกแบบสามารถที่จะเขียนรูปแบบการบรรยายจากระดับสูงสุดของวงจรที่อยู่ในรูปนามธรรม (High Level of Abstraction) ลงสู่รายละเอียดในระดับล่างของวงจรได้ เช่น Gate Level เป็นต้น และภาษา VHDL ได้ถูกเพิ่มขีดความสามารถของภาษาขึ้นอีกประการหนึ่ง คือ เป็นภาษาที่สามารถใช้สำหรับสังเคราะห์วงจร (Synthesis Language) ด้วยความสามารถที่จะเขียนรูปแบบ (Modeling) ได้ในลักษณะต่างๆ นี้เอง จึงเปิดโอกาสให้ผู้ออกแบบได้พัฒนาและจำลองการทำงานของรูปแบบได้รวดเร็วตั้งแต่ในระยะเริ่มต้นของแนวความคิดเกี่ยวกับฟังก์ชั่นการทำงานของวงจรอย่างสังเขปโดยที่ยังไม่ต้องคำนึงถึงรายละเอียดเกี่ยวกับโครงสร้างวงจรจริง นอกจากนั้น VHDL ยังเป็นภาษาที่สนับสนุนลักษณะต่างๆ ของระบบดิจิตอลที่มีความซับซ้อนได้ทั้งหมด

ซึ่ง Sagahyroon(2000 : 449 – 454) ได้สรุปว่าควรให้ความสำคัญที่จะเพิ่มการเรียนการสอนและการฝึกอบรม VHDL ให้มากขึ้น ซึ่งจะเป็นผลทำให้การเรียนรู้จะมุ่งเข้าสู่ทฤษฎีการออกแบบวงจรขนาดใหญ่มากได้ อีกทั้งยังได้แนะนำให้ใช้วิธีการสอนในแนวกว้าง ไม่ควรจะสอนในแนวลึก เพราะว่าการสอนในแนวกว้างจะทำให้ได้ความรู้ในด้านต่างๆ มากกว่า ส่วนในด้านลึกนักศึกษาจะสามารถศึกษาหาความรู้ได้ด้วยตนเองหลังจากที่เข้าใจในด้านกว้างแล้ว

หลักสูตรที่ Sagahyroon ใช้สอนในมหาวิทยาลัย Northern Arizona University (NAU) มีหัวข้อดังนี้

1. Design Conventions
2. Introduction to A Hardware Programming Language (AHPL)
3. Modeling in AHPL
4. Introduction to VHDL
5. VHDL Modeling Concepts
6. Structural Modeling in VHDL
7. Data Flow Modeling Using VHDL
8. Behavioral Modeling in VHDL
9. Sub Program, Packages and Libraries
10. Modeling of Test Benches
11. Basic Input - Output

โดยในประเทศไทยได้มีหน่วยงานที่จัดการฝึกอบรมในหัวข้อการฝึกอบรมเชิงปฏิบัติการการใช้งานภาษา VHDL คือศูนย์วิจัยและพัฒนาไมโครอิเล็กทรอนิกส์แห่งชาติ ศูนย์เทคโนโลยีอิเล็กทรอนิกส์และคอมพิวเตอร์แห่งชาติ (http://www.tmec.nectec.or.th) โดยเนื้อหาของหลักสูตรที่ใช้ในการฝึกอบรมมีดังนี้

เอกสารนี้สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

1. ขั้นตอนการออกแบบ FPGAs และ ASICs

2. รูปแบบการเขียนภาษา VHDL ทั้งในขั้นพื้นฐานและขั้นสูงที่ใช้ในการออกแบบในปัจจุบัน

3. การเขียนภาษา VHDL ที่สามารถนำไปสังเคราะห์วงจรลงใน FPGAs และ ASICs ได้

4. การสร้างโมเดลที่อยู่ในรูปของ Behavioral และโมเดลที่ใช้ในการทดสอบ (Test Bench)

5. การจัดรูปแบบโครงสร้างของโมเดลต่างๆ เพื่อที่จะประกอบขึ้นเป็นวงจรรวม

6. ประยุกต์การใช้ภาษา VHDL ให้เกิดประโยชน์สูงสุดในการออกแบบวงจรรวม

7. คำแนะนำเทคนิคต่างๆ ในการออกแบบ รวมทั้งแหล่งอื่นๆ ที่ช่วยพัฒนาทักษะในการออกแบบให้มีประสิทธิภาพยิ่งขึ้น

โดยใช้เวลาในการอบรม 3 วัน ครอบคลุมเนื้อหาทั้งหมด

ในปัจจุบันความแพร่หลายของการใช้ภาษาบรรยายพฤติกรรม VHDL ในประเทศไทยยังไม่แพร่หลายมากนัก อีกทั้งยังขาดบุคลากรที่มีความรู้ความเข้าใจและหลักสูตรในการฝึกอบรมที่มีประสิทธิภาพและมีมาตรฐาน ผู้วิจัยจึงสนใจพัฒนาหลักสูตรฝึกอบรมการออกแบบวงจรดิจิตอลด้วยภาษา VHDL ขั้นพื้นฐาน เพื่อให้เกิดความรู้ความเข้าใจในการออกแบบวงจรดิจิตอลด้วยภาษา VHDL มากขึ้น โดยยึดแนวโครงสร้างหลักสูตรของศูนย์วิจัยและพัฒนาไมโครอิเล็กทรอนิกส์แห่งชาติ ศูนย์เทคโนโลยีอิเล็กทรอนิกส์และคอมพิวเตอร์แห่งชาติ และของมหาวิทยาลัย Northern Arizona University เพื่อทำวิจัยในครั้งนี้

1.2 วัตถุประสงค์ของการวิจัย

1.2.1 เพื่อพัฒนาหลักสูตรการฝึกอบรมการออกแบบวงจรดิจิตอลด้วยภาษา VHDL ขั้นพื้นฐาน

1.2.2 เพื่อหาประสิทธิภาพของหลักสูตรฝึกอบรมการออกแบบวงจรดิจิตอลด้วยภาษา VHDL ขั้นพื้นฐาน

1.2.3 เพื่อเปรียบเทียบผลสัมฤทธิ์ก่อนการฝึกอบรมและหลังการฝึกอบรมการออกแบบวงจรดิจิตอลด้วยภาษา VHDL ขั้นพื้นฐาน

1.3 สมมติฐานในการวิจัย

1.3.1 หลักสูตรการฝึกอบรมการออกแบบวงจรดิจิตอลด้วยภาษา VHDL ขั้นพื้นฐานมีประสิทธิภาพตามเกณฑ์ที่กำหนด 80/80 (E1/E2)

1.3.2 ผลสัมฤทธิ์ของผู้เข้าการฝึกอบรมหลังเข้ารับการฝึกอบรมการออกแบบวงจรดิจิตอลด้วยภาษา VHDL ขั้นพื้นฐานสูงกว่าก่อนฝึกอบรมอย่างมีนัยสำคัญทางสถิติ .05

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

1.4 กรอบแนวคิดที่ใช้ในการวิจัย

ผู้วิจัยได้นำขั้นตอนการพัฒนาหลักสูตรของ นิภา วงศ์ไทย(2525 : 34 – 35) และเกรือวัลย์ ลิ่มอภิชาติ(2531 : 64 – 69) มาเป็นกรอบแนวคิดในการพัฒนาหลักสูตรฝึกอบรม โดยมีขั้นตอนดังนี้

1. ศึกษาเอกสารและงานวิจัยที่เกี่ยวข้อง
2. กำหนดวัตถุประสงค์ของหลักสูตร
3. กำหนดหน่วยการฝึกอบรม
4. กำหนดจุดประสงค์เชิงพฤติกรรมของแต่ละหน่วยฝึกอบรม
5. คัดเลือก จัดลำดับเนื้อหาของแต่ละหน่วยการฝึกอบรม
6. กำหนดกิจกรรมและวิธีการฝึกอบรม
7. กำหนดวิธีการประเมินผลผู้เข้ารับการฝึกอบรม
8. ตรวจสอบความเหมาะสมของหลักสูตรโดยผู้ทรงคุณวุฒิ
9. นำหลักสูตรที่ได้รับการพัฒนาไปทดลองใช้
10. ปรับปรุงหลักสูตร
11. นำหลักสูตรไปใช้จริง

1.5 ขอบเขตของการวิจัย

การวิจัยครั้งนี้มีขอบเขตในการวิจัยดังนี้

1.5.1 ขอบเขตของหลักสูตรที่สร้างขึ้นครอบคลุมเฉพาะเรื่องภาษา VHDL ขั้นพื้นฐานโดย ผู้วิจัยได้นำเนื้อหาที่ศูนย์วิจัยและพัฒนาไมโครอิเล็กทรอนิกส์แห่งชาติ ศูนย์เทคโนโลยีอิเล็กทรอนิกส์และคอมพิวเตอร์แห่งชาติ ใช้ในการฝึกอบรมให้แก่บุคคลที่สนใจ และหลักสูตรที่ใช้สอนในมหาวิทยาลัย Northern Arizona University ซึ่งประกอบด้วย หัวข้อ ดังนี้

1. รูปแบบการเขียนภาษา VHDL ขั้นพื้นฐาน
2. การสร้างโมเดลที่อยู่ในรูปของ Behavioral
3. การสร้างโมเดลที่อยู่ในรูปของ Structural
4. การสร้างโมเดลที่อยู่ในรูปของ Data flow
5. โปรแกรมที่ใช้ในการทดสอบการทำงาน (Test Bench)
6. การประยุกต์ใช้ภาษา VHDL ขั้นพื้นฐาน

1.5.2 ประชากรที่ใช้ในการวิจัย คือ นักศึกษาหลักสูตรครุศาสตร์อุตสาหกรรมบัณฑิต สาขาวิชาอิเล็กทรอนิกส์และคอมพิวเตอร์ ชั้นปีที่ 2 ภาควิชาครุศาสตร์วิศวกรรม คณะครุศาสตร์อุตสาหกรรม สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง ประจำปีการศึกษา 2545

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

1.5.3 กลุ่มตัวอย่างที่ใช้ในการวิจัย คือ นักศึกษาหลักสูตรครุศาสตร์อุตสาหกรรมบัณฑิต สาขาวิชาอิเล็กทรอนิกส์และคอมพิวเตอร์ ชั้นปีที่ 2 ภาคเรียนที่ 2 ประจำปีการศึกษา 2545 โดยวิธีสุ่มตามตารางเลขสุ่มของ Krejcie and Morgan (1970 : 607 – 610) จากประชากรทั้งหมด จำนวน 15 คน

1.5.4 ตัวแปรที่ศึกษา คือ ประสิทธิภาพของหลักสูตรการฝึกอบรมและผลสัมฤทธิ์ของการฝึกอบรมของผู้เข้าอบรม

1.6 คำนิยามศัพท์เฉพาะ

1.6.1 การฝึกอบรมหลักสูตรการออกแบบวงจรดิจิตอลด้วยภาษา VHDL ขั้นพื้นฐาน คือ กระบวนการที่จะช่วยพัฒนาความรู้ความเข้าใจ ทักษะ และทัศนคติ ให้แก่ผู้เข้ารับการฝึกอบรมในเรื่องการออกแบบวงจรดิจิตอลด้วยภาษา VHDL อย่างมีระบบ มีขั้นตอน และจุดมุ่งหมาย ซึ่งจะประกอบไปด้วยการจัดเนื้อหาวิชา กิจกรรมและประสบการณ์ต่างๆ เพื่อให้ผู้เข้ารับการฝึกอบรมมีความรู้ ทักษะ และทัศนคติที่พึงประสงค์ ตามวัตถุประสงค์ที่ได้ตั้งไว้

1.6.2 นักศึกษา หมายถึง นักศึกษาหลักสูตรครุศาสตร์อุตสาหกรรมบัณฑิต สาขาวิชาอิเล็กทรอนิกส์และคอมพิวเตอร์ ชั้นปีที่ 2 ภาควิชาครุศาสตร์วิศวกรรม คณะครุศาสตร์อุตสาหกรรม สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง ประจำปีการศึกษา 2545

1.6.3 ภาษา VHDL หมายถึง โปรแกรมภาษาที่สามารถสร้างรูปแบบการทำงานของระบบสัญญาณดิจิตอลโดยโปรแกรมสามารถที่จะจำลองการทำงานของฮาร์ดแวร์ซึ่งสามารถให้รายละเอียดเกี่ยวกับเวลาที่ถูกต้อง

1.6.4 ประสิทธิภาพ หมายถึง กลุ่มตัวอย่างทำข้อสอบระหว่างการฝึกอบรมและหลังการฝึกอบรม แล้วจึงนำมาคำนวณคะแนนเฉลี่ย โดยใช้หลักเกณฑ์ 80 / 80 (E1/E2)

(1) 80 ตัวแรก คือ คะแนนเฉลี่ยของผู้เข้ารับการฝึกอบรมทำข้อสอบระหว่างการฝึกอบรมได้ถูกต้องไม่ต่ำกว่า 80 % ของคะแนนเต็ม

(2) 80 ตัวหลัง คือ คะแนนเฉลี่ยของผู้เข้ารับการฝึกอบรมทำข้อสอบหลังการฝึกอบรมได้ถูกต้องไม่ต่ำกว่า 80 % ของคะแนนเต็ม

โดยข้อสอบจะเป็นชนิด 4 ตัวเลือก จำนวน 30 ข้อ แบ่งการใช้งานเป็น 2 ลักษณะ คือ

(1) แบบทดสอบระหว่างฝึกอบรมใช้กับกลุ่มตัวอย่างระหว่างฝึกอบรมการออกแบบวงจรดิจิตอลด้วยภาษา VHDL ขั้นพื้นฐาน

(2) แบบทดสอบหลังฝึกอบรม ใช้กับกลุ่มตัวอย่างหลังเข้ารับการฝึกอบรมการออกแบบวงจรดิจิตอลด้วยภาษา VHDL ขั้นพื้นฐาน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

1.6.5 ผลสัมฤทธิ์ของผู้เข้ารับการฝึกอบรม คือ คะแนนของกลุ่มตัวอย่างที่ได้จากค่าผลต่างของคะแนนข้อสอบก่อนเข้ารับการฝึกอบรมและการทำข้อสอบหลังเข้ารับการฝึกอบรมโดยใช้ข้อสอบที่ผู้วิจัยสร้างขึ้น

1.6.6 แบบประเมินคุณภาพ หมายถึง แบบแสดงค่าระดับความคิดเห็นของผู้ทรงคุณวุฒิที่มีต่อหลักสูตรการออกแบบวงจรดิจิตอลด้วยภาษา VHDL ขั้นพื้นฐาน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 2
เอกสารและงานวิจัยที่เกี่ยวข้อง

ในการพัฒนาหลักสูตรฝึกอบรมการออกแบบวงจรดิจิตอลด้วยภาษา VHDL ขั้นพื้นฐาน ผู้วิจัยได้ศึกษาเอกสารและงานวิจัยที่เกี่ยวข้องดังนี้

2.1 ความรู้พื้นฐานเกี่ยวกับหลักสูตร

2.2 การฝึกอบรม

2.3 การพัฒนาหลักสูตรการฝึกอบรม

2.4 การประเมินผล

2.5 ภาษา VHDL

2.6 งานวิจัยที่เกี่ยวข้อง

2.1 ความรู้พื้นฐานเกี่ยวกับหลักสูตร

2.1.1 ความหมายของหลักสูตร คำว่า "หลักสูตร" (Curriculum) มีผู้ให้ความหมายต่างกันไปหลายประการตามแนวความคิด และปรัชญาของนักการพัฒนาหลักสูตรของแต่ละคน โดยได้มีผู้ให้ความหมายของหลักสูตรไว้ ดังนี้

Good (1973 : 149) ได้ให้ความหมายของหลักสูตรว่า

1. หลักสูตร หมายถึง เนื้อหาวิชาที่จัดไว้อย่างเป็นระบบ เพื่อให้ผู้เรียนได้ศึกษาจนจบชั้น หรือได้รับประกาศนียบัตร

2. หลักสูตร หมายถึง เค้าโครงของเนื้อหาวิชา หรือสิ่งที่เฉพาะเจาะจงที่จะต้องสอนเพื่อให้ผู้เรียนได้ศึกษาจนจบชั้น หรือได้รับประกาศนียบัตร

3. หลักสูตร หมายถึง เค้าโครงของเนื้อหาวิชา หรือสิ่งเฉพาะเจาะจงที่จะต้องสอนเพื่อให้ผู้เรียนได้ศึกษา

ธำรง บัวศรี (2532 : 6) กำหนดนิยามของหลักสูตร คือ แผนซึ่งได้ออกแบบจัดทำขึ้น เพื่อแสดงถึงจุดมุ่งหมาย การจัดเนื้อหาสาระ กิจกรรม และมวลประสบการณ์ในแต่ละโปรแกรมการศึกษา เพื่อให้ผู้เรียนมีพัฒนาการในด้านต่างๆ ตามจุดมุ่งหมายที่กำหนด

สุนทร บำเรอราช (2536 : 6) ได้สรุปความหมายของหลักสูตรว่า หลักสูตร คือ กรอบและแนวทางที่จะนำมาใช้ในการสอน การอบรม การฝึกงานเท่านั้น และหลักสูตรจะต้องอยู่ร่วมกับสิ่งอื่นเสมอ คือ หลักสูตรต้องอยู่ร่วมกับการสอนและการสอบ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สงัด อุทรานันท์ (2532 : 16) ได้สรุปลักษณะของหลักสูตรไว้ดังนี้

1. หลักสูตร คือ สิ่งที่สร้างขึ้นในลักษณะของรายวิชา ซึ่งประกอบด้วยเนื้อหาสาระที่ได้จัดเรียงลำดับความยากง่าย หรือเป็นขั้นตอนดีแล้ว

2. หลักสูตรประกอบด้วยประสบการณ์ทางการเรียนซึ่งได้วางแผนไว้เป็นการล่วงหน้าเพื่อมุ่งหวังจะให้เด็กได้เปลี่ยนแปลงพฤติกรรมไปในทางที่ต้องการ

3. หลักสูตรเป็นสิ่งที่สังคมสร้างขึ้นสำหรับประสบการณ์ทางการศึกษาแก่เด็กในโรงเรียน

4. หลักสูตรประกอบด้วยประสบการณ์ทั้งหมดของผู้เรียน ซึ่งเขาได้ทำ ได้รับรู้ และได้ตอบสนองต่อการแนะแนวของโรงเรียน

จากความหมายของหลักสูตรที่ได้กล่าวมานี้ พอสรุปได้ว่าหลักสูตร หมายถึง เนื้อหาสาระวิชา หรือโครงการสอนที่กำหนดขึ้นไว้ล่วงหน้าอย่างเป็นขั้นตอน เพื่อสร้างประสบการณ์ให้แก่ผู้เรียนได้ศึกษาเรียนรู้ เพื่อให้บรรลุจุดมุ่งหมายของการศึกษาที่กำหนดไว้

2.1.2 ส่วนประกอบของหลักสูตร

หลักสูตรประกอบไปด้วยส่วนต่างๆ ที่สัมพันธ์และสอดคล้องกันตามที่ Taba (1962 : 10) เสนอไว้ว่า หลักสูตรประกอบไปด้วยส่วนสำคัญ 4 ส่วน คือ

1. จุดมุ่งหมาย เป็นส่วนที่กล่าวถึงจุดมุ่งหมายทั่วไป และวัตถุประสงค์เฉพาะวิชา

2. เนื้อหาวิชา เป็นส่วนที่กล่าวถึงเนื้อหาวิชาที่จัดไว้ในหลักสูตร เพื่อให้ผู้เรียนศึกษาจนมีคุณลักษณะตามจุดมุ่งหมาย

3. กิจกรรม และรูปแบบการเรียนการสอนเป็นส่วนที่กล่าวถึงวิธีการ และกระบวนการที่จะทำให้ผู้เรียนได้รู้เนื้อหาวิชาอย่างมีประสิทธิภาพ

4. การประเมินผล เป็นส่วนที่กล่าวถึงวิธีการตรวจสอบว่าผู้เรียนได้บรรลุตามจุดมุ่งหมายเพียงใด นอกจากนั้นนักพัฒนาหลักสูตรคนอื่นๆ ได้แบ่งส่วนประกอบของหลักสูตรคล้ายคลึงกับทาบา ดังเช่น Kerr (1968 : 16) ได้แบ่งส่วนประกอบของหลักสูตรไว้เป็น 4 ส่วน คือ วัตถุประสงค์ของหลักสูตร ความรู้ ประสบการณ์การเรียน และการประเมินผลหลักสูตร ส่วน สงัด อุทรานันท์ (2532 : 224) ได้เสนอว่าควรแบ่งหลักสูตรออกเป็น 7 ส่วนประกอบดังนี้

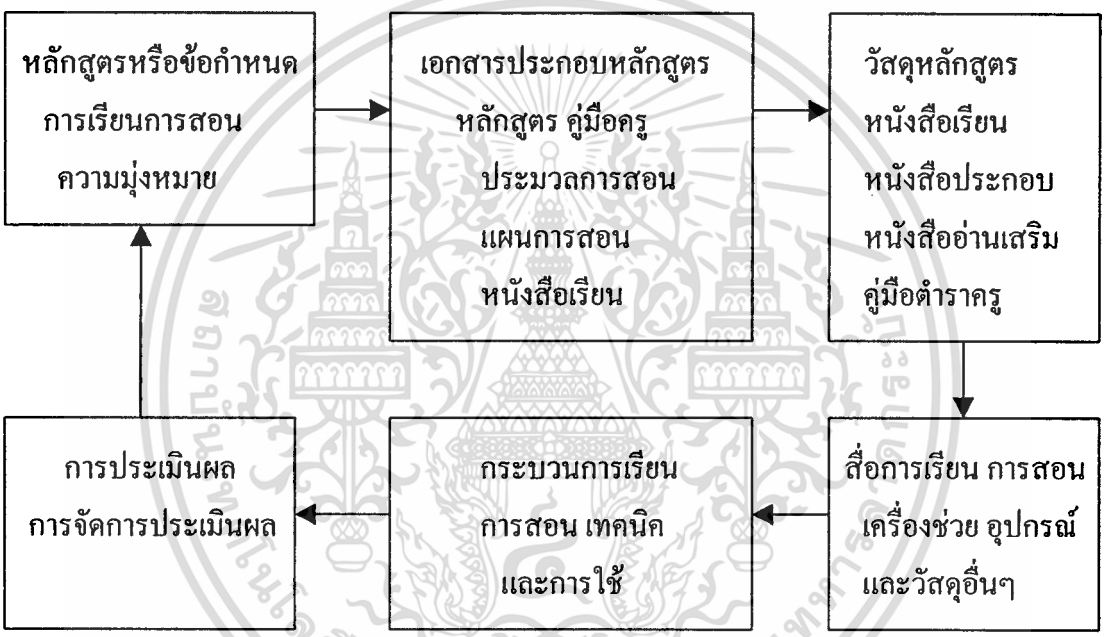
1. เหตุผล และความจำเป็นของหลักสูตร
2. จุดมุ่งหมายของหลักสูตร
3. เนื้อหาสาระและประสบการณ์
4. การเสนอแนะเกี่ยวกับการจัดการเรียนการสอน
5. การเสนอแนะเกี่ยวกับการใช้สื่อการเรียนการสอน และแหล่งวิชาในชุมชน
6. การประเมินผล
7. การเสนอแนะเกี่ยวกับการช่วยเหลือและส่งเสริมผู้เรียน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ก่อ สวัสดิพานิช (2514 : 20) ได้กล่าวว่าส่วนประกอบของหลักสูตรในทัศนะของนักบริหารการศึกษา หมายถึง

1. ความมุ่งหมายของหลักสูตร
2. โครงสร้างของหลักสูตร
3. เนื้อหาของหลักสูตร
4. วัสดุประกอบหลักสูตร
5. กระบวนการเรียนการสอนให้เป็นไปตามหลักสูตร

ในขณะที่ สันต์ ธรรมบำรุง (2527 : 12) ได้กล่าวถึงส่วนประกอบของหลักสูตร ถ้าพิจารณาในแง่ของการปฏิบัติ หรือการนำไปใช้ให้เกิดประสิทธิภาพ ดังรูปที่ 2.1



รูปที่ 2.1 แผนภูมิองค์ประกอบของหลักสูตร (สันต์ ธรรมบำรุง 2527 : 12)

ส่วนประกอบที่สำคัญของหลักสูตร คือ การนำหลักสูตรไปใช้ปฏิบัติ การนำหลักสูตรไปใช้นั้นรวมถึงกิจกรรมต่างๆ ตลอดจนวัสดุอุปกรณ์การสอน แต่กิจกรรมที่สำคัญยิ่ง คือ การสอน หรืออาจกล่าวได้ว่าการสอนเป็นหัวใจของหลักสูตร

ส่วนประกอบของหลักสูตรในทัศนะของ นงลักษณ์ โรจนพันธ์ (2539 : 25 – 28)

1. วัตถุประสงค์ของหลักสูตรในการฝึกอบรม วัตถุประสงค์ของการฝึกอบรมเปรียบได้ดังเข็มทิศที่จะกำหนดแนวทางของการฝึกอบรม จะเป็นสิ่งที่ทำให้ผู้สร้างหลักสูตรทราบว่าควรกำหนดวิชาใด หรือควรใช้วิธีการอบรมแบบใดที่จะทำให้โครงการฝึกอบรมอยู่ในรูปของการปฏิบัติได้ การพิจารณาเลือกวัตถุประสงค์ ควรต้องกระทำอย่างระมัดระวัง โดยวิเคราะห์จากข้อมูลเกี่ยวกับงานหรือพฤติกรรมที่ต้องการที่ได้จากการสำรวจความจำเป็นในการฝึกอบรม

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2. หมวดวิชาที่จะทำการฝึกอบรม หมวดวิชาที่จะทำการฝึกอบรมอาจจะมีหมวดเดียว หรือหลายๆ หมวดก็ได้แล้วแต่ความจำเป็นของการฝึกอบรมแต่ละโครงการ ผู้สร้างหลักสูตรควรคัดเลือกให้เหมาะสม และสนองต่อความจำเป็นนั้น ซึ่งคือการกำหนดขอบข่ายของการฝึกอบรมนั่นเอง

3. รายละเอียดของหัวข้อวิชา จากหมวดวิชาที่กำหนดเอาไว้แล้วจึงนำมาแยกแยะในส่วนของรายละเอียดว่าควรจะมีหัวข้อย่อยอะไรบ้าง เพื่อให้ขอบข่ายของเรื่องที่ฝึกอบรมชัดเจนขึ้น หรือเรียกว่าเป็นประเด็นสำคัญๆ ที่ผู้สอนจะต้องให้แก่ผู้เข้ารับการฝึกอบรม ในการฝึกอบรมอาจไม่จำเป็นที่จะต้องสอนในรายละเอียดของวิชาทุกหัวข้อ ดังเช่น ส่วนที่เป็นความรู้พื้นฐาน อย่างเช่น คณิตศาสตร์เบื้องต้น และภาษาย่อมไม่จำเป็นต้องมาฝึกอบรมกัน หรือทักษะบางอย่างก็ไม่อาจนำมาฝึกอบรมได้ เนื่องจากขาดอุปกรณ์ที่จำเป็นเป็นต้น ดังนั้น การกำหนดรายละเอียดหัวข้อวิชา มักจะเลือกเอาเฉพาะเจาะจงที่จะทำให้ผู้รับการฝึกอบรมมีความรู้ทักษะ ความสามารถที่จะต้องนำไปใช้ในการปฏิบัติงานจริงๆ โดยบางหัวข้อที่คิดว่าเป็นพื้นฐานหรือสามารถฝึกอบรมในขณะปฏิบัติงานได้ หรือสามารถไปค้นคว้าเพิ่มเติมด้วยตนเองได้ไม่นำมาฝึกอบรม

เมื่อกำหนดหัวข้อวิชาต่างๆ แล้วนำมาจัดเรียงลำดับให้ต่อเนื่องสอดคล้องกัน เพื่อให้แนวความคิด และทักษะเหล่านั้นได้พัฒนาขึ้นอย่างมีระบบ โดยอาศัยหลักการจิตวิทยาทางการเรียนรู้ โดยมีแนวทางการปฏิบัติงานดังนี้

3.1 กำหนดหัวข้อวิชาที่ง่ายไว้ระยะต้นของหลักสูตร หัวข้อวิชาที่เป็นพื้นฐาน เช่นแนวความคิด ความหมาย และทฤษฎีที่กำหนดไว้ เป็นต้น

3.2 หัวข้อวิชาซึ่งให้ความรู้ และทักษะ ซึ่งจะเป็นประโยชน์ในการเรียนวิชาอื่นๆ ต่อไป ต้องกำหนดไว้ในระยะเริ่มต้นของหลักสูตร

3.3 หัวข้อวิชาที่เป็นภาคปฏิบัติ ควรจัดให้อยู่ในระดับต่อเนื่องจากภาคทฤษฎี

3.4 วิชาที่มีกิจกรรมซ้ำกันหลายๆ ชั่วโมง เช่น บรรยาย หรืออภิปรายอย่างเดียว เป็นต้น ควรกระจายให้อยู่ในวันต่างๆ กันไม่ควรสอนวิชาใดเกิน 3 ชั่วโมงใน 1 วัน

3.5 วิชาที่ยากหรือเป็นวิชาที่ต้องการความรู้เรื่องอื่นๆ มาก่อน ให้กำหนดอยู่ในลำดับสุดท้าย

4. กำหนดการฝึกอบรม คือ การกำหนดแผนการในรายละเอียด เพื่อเป็นแนวทางให้ผู้สอนและผู้เข้ารับการฝึกอบรมได้มองเห็นหลักสูตรโดยส่วนรวมว่าจะต้องทำกิจกรรมอะไรบ้างและใช้เวลาเท่าใด การกำหนดการฝึกอบรมจะต้องพิจารณาถึงเทคนิค หรือวิธีการฝึกอบรมให้เหมาะสมกับแต่ละหัวข้อที่กำหนดไว้แล้ว โดยมีข้อควรคำนึงว่าถ้าให้ผู้เข้ารับการฝึกอบรมปฏิบัติตามวิธีการที่เลือกแล้วเขาจะได้รับความรู้ ทักษะ หรือพัฒนาทัศนคติใหม่ๆ หรือไม่เพียงใด อาจจะใช้คำถามเหล่านี้เป็นแนวทาง คือ

4.1 ผู้เข้ารับการฝึกอบรมสามารถปฏิบัติตามเทคนิค หรือวิธีการฝึกอบรมนั้นๆ ได้หรือไม่

4.2 ผู้เข้ารับการฝึกอบรมทำในสิ่งที่วิทยากรบอกให้ทำได้หรือไม่

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4.3 ถ้าผู้เข้ารับการฝึกอบรมปฏิบัติตามที่วิทยากรบอก เขาจะได้รับความรู้ตามที่คาดหมายหรือไม่

4.4 หลังจากที่ผู้เข้ารับการฝึกอบรมปฏิบัติตามแล้ว เขาจะมีความรู้สึกเช่นใด นอกจากนี้ยังควรนำสิ่งเหล่านี้มาพิจารณา คือ

4.4.1 วัตถุประสงค์ของวิชาต้องการเน้นหนักให้เกิดพฤติกรรมด้านใด เช่น ถ้าให้เกิดความรู้ความเข้าใจก็ใช้การบรรยายหรืออภิปราย ถ้าต้องการทางด้านทักษะก็อาจให้ลงมือปฏิบัติเป็นต้น

4.4.2 ผู้เข้ารับการฝึกอบรมเป็นใครระดับความรู้พื้นฐาน ประสบการณ์ความสามารถเป็นอย่างไร ถ้ามีความแตกต่างกันมากในกลุ่มควรจะจัดกลุ่มอย่างไร กิจกรรมหรือวิธีสอนบางอย่างอาจจะนำมาใช้กับบุคคลบางประเภทไม่ได้

4.4.3 สิ่งอำนวยความสะดวกในการฝึกอบรม เช่น สถานที่ วัสดุอุปกรณ์ต่างๆ เป็นต้น มีเพียงพอหรือไม่

4.4.4 ระยะเวลาที่กำหนดให้มีมากน้อยเพียงใด เพียงพอต่อการจัดกิจกรรมการสอนหรือไม่

4.4.5 วิทยากร กิจกรรมการสอนบางอย่างต้องการผู้ชำนาญ หรือมีทักษะ ซึ่งจะหาได้หรือไม่ วิทยากรจะสะดวกมาให้การฝึกอบรมหรือไม่

ซึ่งสอดคล้องกับ น้อย ศิริโชติ (2524 : 49) ซึ่งได้ลำดับขั้นที่สำคัญของการสร้างหลักสูตรการฝึกอบรม ตามลำดับขั้นดังนี้

1. การวิเคราะห์ และระบุความจำเป็นของการฝึกอบรม
2. การกำหนดหัวข้อวิชา
3. การจัดลำดับเนื้อหาวิชา
4. การกำหนดวัตถุประสงค์ของหัวข้อวิชา
5. การกำหนดเทคนิคการฝึกอบรม
6. การกำหนดระยะเวลาของแต่ละวิชา
7. การกำหนดวิทยากร
8. การเตรียมเอกสารและอุปกรณ์
9. การจัดทำตารางการฝึกอบรม

ในส่วนของ มณีรัตน์ จำรูญรัตน์ (2530 : 10) ได้อธิบายแนวทางในการกำหนดหัวข้อวิชาของการฝึกอบรมมีขั้นตอนดังนี้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

1. ทบทวนความจำเป็นในการฝึกอบรม ความต้องการในการฝึกอบรม หรือสภาพการณ์ปัญหาที่เกิดขึ้นนั้นคืออะไร ก่อให้เกิดผลเสียหายอย่างไร

2. ศึกษาหน้าที่หรือภารกิจของงานที่เป็นปัญหา หรือที่มาของความจำเป็นในการฝึกอบรม ว่ามีลำดับความสำคัญอย่างไร โดยพิจารณาตามเกณฑ์ความสำคัญของภารกิจหรือหน้าที่ต่างๆ ซึ่งเกณฑ์การวิเคราะห์ภารกิจนี้จะเป็นแนวทางในการกำหนดความจำเป็นก่อน-หลังการฝึกอบรม การกำหนดเทคนิคการฝึกอบรม ตลอดจนการกำหนดเวลาอบรมในแต่ละหัวข้อวิชาด้วย

ดังนั้น หลักสูตรทุกหลักสูตรจะมีลักษณะสมบูรณ์ต้องมีองค์ประกอบครบถ้วน อันได้แก่ จุดมุ่งหมายหรือวัตถุประสงค์ เนื้อหาวิชาหรือรายละเอียดของหัวข้อวิชา วิธีการสอนหรือการกำหนดการฝึกอบรม หรือปัจจัยที่เอื้ออำนวยต่อการฝึกอบรม และการประเมินผล จึงสามารถทำให้ผู้เรียนหรือผู้เข้ารับการฝึกอบรมเกิดการเรียนรู้ จนกระทั่งเปลี่ยนแปลงพฤติกรรมทั้ง 3 ด้าน คือ ความรู้ เจตคติ และการปฏิบัติ

2.1.3 ลักษณะของหลักสูตรที่ดี

สันต์ ธรรมบำรุง (2527 : 10) ได้กล่าวถึงหลักสูตรที่ดีควรมีคุณสมบัติดังต่อไปนี้

1. หลักสูตรควรจะมีความคล่องตัวพอสมควร และสามารถที่จะปรับปรุงเปลี่ยนแปลงให้เหมาะสมกับสภาพการณ์ต่างๆ ได้เป็นอย่างดี

2. หลักสูตรควรจะเป็นเครื่องมือที่จะช่วยให้การศึกษาบรรลุตามความมุ่งหมายที่กำหนดไว้

3. บุคคลทุกฝ่าย เช่น ผู้ปกครอง ครู ประชาชน นักวิชาการ นักเรียน เป็นต้น ควรจะได้มีส่วนร่วมในการพัฒนาหลักสูตร และมีส่วนร่วมได้รับรู้หลักสูตรด้วยไม่ใช่เป็นหน้าที่ของนักวิชาการศึกษาเพียงอย่างเดียว

4. การวางแผนหลักสูตรที่ดีจะต้องเป็นขบวนการที่ต่อเนื่องกัน

5. การดำเนินการวางแผนหลักสูตร ควรตั้งอยู่บนรากฐานที่เชื่อถือได้

6. ในการพัฒนาหลักสูตรนั้น ควรคำนึงถึงสิ่งสำคัญต่างๆ เช่น รากฐานทางปรัชญาการศึกษา รากฐานทางจิตวิทยา เป็นต้น

7. หลักสูตรควรจะเป็นแนวกว้าง เปิดโอกาสให้ผู้เรียนได้สำรวจความสนใจ ความถนัด และความสามารถในรายบุคคล

8. หลักสูตรในระดับต่างๆ ควรจะมีความสัมพันธ์และต่อเนื่องกันโดยไม่ขาดตอน

9. การประเมินผลหลักสูตรเป็นสิ่งที่จำเป็น และต้องทำเป็นระยะๆ เพื่อนำผลการประเมินมาปรับปรุงหรือพัฒนาหลักสูตร

และจากอีกแนวคิดหนึ่งของ บุญทรง สังข์ทอง และ อุบล เล่นวารี (2529 : 241) ได้ให้แนวในการพิจารณาเกี่ยวกับหลักสูตรที่ดี ดังนี้

1. จะต้องส่งเสริมความเจริญงอกงาม และพัฒนาการของเด็กวัยต่างๆ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2. ต้องเป็นประสบการณ์เกี่ยวกับชีวิตประจำวันของเด็ก เพื่อให้เด็กได้มีโอกาสแก้ปัญหาต่างๆ ในชีวิต เพื่อให้มีความเป็นอยู่อย่างผาสุขในชุมชน

3. ต้องเพิ่มพูนทักษะเบื้องต้นที่จำเป็นให้นักเรียน

4. ต้องจัดประสบการณ์ที่มีความหมายต่อชีวิตของเด็ก

5. จะต้องให้นักเรียนเรียนรู้ต่อเนื่องกันอย่างมีระบบ

6. หลักสูตรจะต้องยืดหยุ่นได้ตามความเหมาะสม

7. จะต้องส่งเสริมให้เด็กทำงานเป็นอิสระ และทำงานร่วมกันเป็นหมู่คณะ

8. หลักสูตรต้องส่งเสริมให้นักเรียนรู้จักแก้ปัญหาด้วยวิธีทางวิทยาศาสตร์

9. บอกแนวทางจัดกิจกรรมอันเหมาะสมวิธีการวัดผลและการกำหนดวัสดุที่จะใช้ประกอบการสอนไว้พร้อม

10. สอดคล้องกับความต้องการ ความสนใจของนักเรียนและชุมชนที่เด็กอยู่

วิชัย ดิสสระ (2535 : 38) ได้สรุปหลักสูตรที่ดีต้องมีรายละเอียดเกี่ยวกับการบริหารหลักสูตร การจัดแผนการเรียนการสอน วิธีสอนและคุณสมบัติผู้สอน สถานที่ สื่อการเรียนการสอน หนังสือหรือตำราเรียน ดังนั้น โดยสรุปแล้วหลักสูตรที่ดีควรมีลักษณะที่มีความยืดหยุ่นได้ และสามารถที่จะปรับปรุงเปลี่ยนแปลงให้สอดคล้องเหมาะสมกับสภาพการณ์ต่างๆ ได้ เช่นเดียวกับหลักสูตรในการฝึกอบรมจะต้องมีลักษณะเดียวกันกับที่ได้กล่าวมาแล้วข้างต้นในการที่จะให้บรรลุวัตถุประสงค์ของโครงการการฝึกอบรม

2.2 การฝึกอบรม

2.2.1 ความหมายของการฝึกอบรม

ความหมายของการฝึกอบรม (Training) มีนักการศึกษาหลายท่านได้ให้ความหมายไว้ต่างๆ ดังนี้

Beach (1970 : 375) กล่าวถึงความหมายของการฝึกอบรมว่าการฝึกอบรมเป็นกระบวนการที่จัดขึ้นเพื่อให้บุคคลเปลี่ยนพฤติกรรมไปในทางที่ต้องการ

Good (1973 : 613) ได้ให้ความหมายของการฝึกอบรมไว้ในพจนานุกรมการศึกษาว่า การฝึกอบรมเป็นกระบวนการที่ช่วยให้บุคคลมีทักษะและความรู้ โดยจัดขึ้นภายใต้สภาวะเงื่อนไขบางประการ

ภิญโญ สาธร (2517 : 442) กล่าวไว้ว่า การฝึกอบรม หมายถึง กระบวนการที่มีระเบียบแบบแผน ซึ่งมุ่งหมายที่จะพัฒนาบุคลากรให้มีความรู้ และมีความชำนาญ เพื่อวัตถุประสงค์อย่างใดอย่างหนึ่งโดยเฉพาะขององค์การหรือหน่วยงานต่างๆ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

น้อย ศิริโชติ (2524 : 4) ให้ความหมายของการฝึกอบรมว่าเป็นขบวนการอย่างใดอย่างหนึ่งที่จัดขึ้น เพื่อเพิ่มพูนความรู้และทักษะให้แก่ผู้เข้ารับการฝึกอบรม

สมคิด บางโม (2538 : 2) ได้อธิบายถึงความหมายของการฝึกอบรมและการพัฒนาว่าเป็นกิจกรรมการเรียนรู้เฉพาะอย่างของบุคคล เพื่อปรับปรุงและเพิ่มพูนความรู้ ความเข้าใจ ทักษะ หรือความชำนาญ และทัศนคติอันเหมาะสมจนสามารถก่อให้เกิดความเปลี่ยนแปลงในพฤติกรรม และทัศนคติ เพื่อการปฏิบัติงานในหน้าที่ เพื่อยกมาตรฐานการปฏิบัติงานให้อยู่ในระดับสูงขึ้น และทำให้บุคลากรมีความเจริญก้าวหน้าในงาน และ อาชัญญา รัตนอุบล (2540 : 1) ได้สรุปความหมายของการฝึกอบรมที่นักการศึกษาได้กล่าวมาข้างต้นว่าการฝึกอบรมเป็นกระบวนการพัฒนาบุคคล โดยใช้กรรมวิธีต่างๆ เพื่อเพิ่มพูนความรู้ ความเข้าใจ ทักษะ และการเปลี่ยนแปลงทัศนคติไปในทางที่ต้องการขององค์กร ภายใต้เงื่อนไขของสภาพการณ์และระยะเวลาอันเหมาะสม เพื่อเป็นการช่วยให้การปฏิบัติงานของบุคคลนั้นมีประสิทธิภาพยิ่งขึ้น

2.2.2 ความสำคัญของการฝึกอบรม

การฝึกอบรมมีความสำคัญหลายประการ เครือวัลย์ ลิ่มอภิชาติ (2531 : 4) ได้สรุปไว้ดังนี้

1. การฝึกอบรมช่วยป้องกันปัญหาที่อาจจะเกิดขึ้น โดยการสร้างเสริมความรู้ความเข้าใจกับบุคลากร เพื่อหลีกเลี่ยงปัญหาระหว่างปฏิบัติงาน

2. การฝึกอบรมเป็นกรรมวิธีช่วยแก้ปัญหาที่เกิดขึ้นแล้ว โดยการสร้างเสริมความรู้ความเข้าใจเกี่ยวกับวิธีการแก้ปัญหา และฝึกปฏิบัติการแก้ปัญหานั้นๆ

3. การฝึกอบรมเป็นการสร้างเสริมวิทยาการอันทันสมัยให้กับบุคลากรในหน่วยงานเพราะในปัจจุบันวิทยาการต่างๆ เปลี่ยนแปลงอย่างรวดเร็ว จึงจำเป็นต้องฝึกอบรมเพิ่มเติมอยู่เสมอ

4. การฝึกอบรมช่วยประหยัดรายจ่าย เนื่องจากการฝึกอบรมเป็นกรรมวิธีที่จัดขึ้นในระยะเวลาสั้น ภายในงบประมาณจำกัด และได้ผลคุ้มค่าตามวัตถุประสงค์

5. การฝึกอบรมเป็นกรรมวิธีที่ช่วยให้บุคลากรเกิดการเรียนรู้เพิ่มเติม ประสบการณ์โดยไม่ก่อให้เกิดความเสียหายต่องานประจำที่ปฏิบัติอยู่ เนื่องจากการฝึกอบรมใช้ระยะเวลาสั้น อาจจัดในเวลาหรือนอกเวลาทำงาน

6. การฝึกอบรมเป็นกรรมวิธีก่อให้เกิดความสามัคคีระหว่างบุคลากรที่ทำงานในหน่วยงานเดียวกัน เนื่องจากการฝึกอบรมเปิดโอกาสให้บุคลากรได้แลกเปลี่ยนทรรศนะซึ่งกันและกัน ก่อให้เกิดความเข้าใจกันมากขึ้น

7. การฝึกอบรมเป็นกรรมวิธีที่ช่วยให้บุคลากรได้มีโอกาสพัฒนาท่าที หรือบุคลิกภาพของตนเองให้เหมาะสมกับงานที่ปฏิบัติ

8. การฝึกอบรมเป็นกรรมวิธีที่ช่วยให้บุคลากรมีความเชื่อมั่นในตนเอง มีความพร้อมที่จะทำงาน กล้าเผชิญอุปสรรค

9. การฝึกอบรมเป็นกรรมวิธีที่สนับสนุนการศึกษาตลอดชีวิต

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

10. การฝึกอบรมเป็นกรรมวิธีที่ช่วยเหลือนักเรียนที่ลาออก เนื่องจากมีอุปสรรคไม่สามารถศึกษาต่อได้ เพราะว่าจำเป็นต้องเข้ารับตำแหน่งงานใดงานหนึ่ง จากความสำคัญของการฝึกอบรมดังกล่าว สรุปได้ว่าการฝึกอบรมมีความสำคัญต่อการพัฒนาส่วนรวม ซึ่งหมายถึงหน่วยงาน สังคม ประเทศชาติ และการพัฒนาตนเองให้เป็นผู้มีสมรรถภาพสูงขึ้น ความสำคัญในการฝึกอบรมแต่ละครั้งจะมากหรือน้อยย่อมขึ้นอยู่กับปัจจัยหลายประการ เช่น ปัญหาและความจำเป็นในการฝึกอบรม วัตถุประสงค์ของการฝึกอบรม และกลุ่มผู้เข้ารับการฝึกอบรม เป็นต้น

2.2.3 วัตถุประสงค์ของการฝึกอบรม

การฝึกอบรมไม่ว่าจะเป็นไปในรูปแบบใดก็ตาม ย่อมมีวัตถุประสงค์เฉพาะของหน่วยงานหรือองค์กร ซึ่งมีนักการศึกษาหลายท่านกล่าวถึงวัตถุประสงค์การฝึกอบรม ไว้ดังนี้

ภิญโญ สาธร (2517 : 422-423) กล่าวถึงวัตถุประสงค์สำคัญของการฝึกอบรม คือ การที่จะเปลี่ยนแปลงพฤติกรรมในการทำงานของบุคลากรที่เข้ารับการฝึกอบรม การเปลี่ยนพฤติกรรมดังกล่าวรวมถึงความชำนาญในการทำงานด้วยมือ การรู้จักใช้ความรู้ทางเทคนิคต่างๆ ความสามารถในการแก้ปัญหา และทัศนคติที่มีต่อการทำงาน นอกจากนี้ การฝึกอบรมยังมุ่งหวังที่จะให้บุคลากรที่รับการฝึกอบรมแล้ว นำความรู้ความสามารถที่ได้รับใหม่ไปใช้ปฏิบัติงานจริงๆ เพื่อทำงานให้บรรลุผลสำเร็จตามวัตถุประสงค์ขององค์กรหรือหน่วยงานนั้นๆ

น้อย ศิริโชติ (2524 : 9-10) กล่าวว่าการดำเนินการฝึกอบรมจะดำเนินการไปเป็นผลสำเร็จหรือไม่นั้นย่อมขึ้นอยู่กับวัตถุประสงค์การฝึกอบรม ซึ่งสามารถแบ่งออกเป็น 2 ประเภทใหญ่ๆ คือ

1. การฝึกอบรมให้บุคคลสามารถที่จะทำงานในหน้าที่ในปัจจุบันได้อย่างมีประสิทธิภาพและมีประสิทธิผล

2. การฝึกอบรมเพื่อพัฒนาบุคคลให้ถึงขีดความสามารถ เพื่อสับเปลี่ยน โยกย้ายตัวบุคคลในการปฏิบัติงาน และเพื่อเลื่อนขั้น เลื่อนตำแหน่งต่อไปในอนาคต

ทองฟู ชินะโชติ (2531 : 7-8) กล่าวถึงวัตถุประสงค์การฝึกอบรมว่า วัตถุประสงค์หลักเน้นในการพัฒนา และรักษาบุคลากรให้มีความรู้ ความชำนาญ สามารถแบ่งออกเป็น 2 ด้าน คือ

1. วัตถุประสงค์ขององค์กรต่อการฝึกอบรม มีดังนี้

1.1 เพื่อสร้างความสนใจในการปฏิบัติงานของพนักงานในองค์กร

1.2 เพื่อสอนแนะวิธีการปฏิบัติงานที่ดีที่สุด

1.3 พัฒนาการปฏิบัติงานให้ได้ผลดีที่สุด

1.4 ลดความสิ้นเปลือง และป้องกันอุบัติเหตุในการปฏิบัติงาน

1.5 เพื่อวางมาตรฐานในการปฏิบัติงาน

1.6 การพัฒนาในการปฏิบัติงานบุคคล

1.7 เพื่อพัฒนาการบริหาร โดยเฉพาะการบริหารด้านบุคคลให้มีความพอใจในทุกฝ่าย

1.8 ฝึกฝนบุคคลไว้เพื่อความก้าวหน้าของงาน และการขยายองค์กร

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

1.9 ฝึกฝนให้ทันต่อเทคนิคใหม่ๆ เพื่อให้องค์กรมีความก้าวหน้า

2. วัตถุประสงค์ต่อความมุ่งหมายส่วนบุคคล ดังนี้

2.1 เพื่อความก้าวหน้าในการเลื่อนขั้น เลื่อนตำแหน่ง

2.2 เพื่อพัฒนาท่าที บุคลิกภาพในการปฏิบัติงาน

2.3 เพื่อพัฒนาฝีมือในการปฏิบัติงานโดยการทดลองปฏิบัติ

2.4 เพื่อฝึกฝนการใช้วินิจฉัย การตัดสินใจ

2.5 เพื่อเรียนรู้งาน ลดการเสี่ยงอันตรายในการปฏิบัติงาน

2.6 เพื่อปรับปรุงสภาพการปฏิบัติงานให้ดีขึ้น

2.7 เพื่อส่งเสริมและสร้างขวัญในการปฏิบัติงาน

2.8 เพื่อเข้าใจนโยบายและความมุ่งหมายขององค์กรที่ปฏิบัติงานอยู่ให้ดีขึ้น

2.9 เพื่อให้มีความพอใจในการปฏิบัติงาน

สุเทพ สังข์เพชร (2536 : 15) กล่าวถึงวัตถุประสงค์การฝึกอบรมว่าเพื่อปรับปรุงและเพิ่มประสิทธิภาพของบุคลากร เพื่อให้ทำงานเกิดประสิทธิผล และประสิทธิภาพสูงขึ้น การฝึกอบรมทำให้เกิดการเปลี่ยนแปลงในทางที่ดีขึ้น ในด้านความรู้ ทักษะ ทัศนคติ และพฤติกรรมเกี่ยวกับหลักการ วิธีการทำงานร่วมกัน เป็นเครื่องมือสำคัญขององค์กร

ไพฑูรย์ โพธิสว่าง (2537 : 45) ได้กล่าวถึงวัตถุประสงค์ของการฝึกอบรมว่าเป็นการส่งเสริมและสนับสนุนบุคลากรทุกคน ทุกระดับ ทุกตำแหน่ง ให้มีการเตรียมพร้อมทั้งในด้านโลกทัศน์ บุคลิกภาพ และความรู้ความสามารถที่มีศักยภาพเพียงพอต่อการตอบสนองเงื่อนไขการเปลี่ยนแปลงทางสังคม เศรษฐกิจ ที่กำลังดำเนินอยู่ในปัจจุบันและอนาคต

จากที่กล่าวมาแล้วนั้นจะเห็นได้ว่าการฝึกอบรมนั้นมีวัตถุประสงค์ที่สำคัญๆ ได้แก่

1. เพื่อเพิ่มพูนความรู้เกี่ยวกับงานในหน้าที่ของแต่ละบุคคล รวมทั้งเทคนิควิทยาการใหม่ๆ ที่ใช้ในการปฏิบัติงาน

2. เพื่อเสริมสร้างความสามารถ ความชำนาญในการปฏิบัติงานให้มีประสิทธิภาพสูงยิ่งขึ้น

3. เพื่อสร้างทัศนคติที่ดีเกี่ยวกับงานในหน้าที่ เกิดขวัญกำลังใจในการปฏิบัติงาน

4. เพื่อให้ทราบนโยบาย หน้าที่ และความรับผิดชอบขององค์กรหรือหน่วยงาน เข้าใจระเบียบข้อบังคับ วิธีการปฏิบัติงาน สิทธิประโยชน์ที่จะได้รับ

5. เพื่อรู้แนวทางการปฏิบัติงานที่เป็นแบบอย่างเดียวกัน ก่อให้เกิดความสัมพันธ์ระหว่างกันและเป็นประโยชน์ในการประสานงานในองค์กร

6. เพื่อใช้ในการพิจารณาเลื่อนขั้น เลื่อนตำแหน่ง

2.2.4 ประโยชน์ของการฝึกอบรม

การฝึกอบรมเป็นกระบวนการหนึ่งในการบริหารงานบุคคลขององค์กร หรือหน่วยงานต่างๆ ที่มีความสำคัญ และเป็นประโยชน์อย่างมากทั้งต่อองค์กรหรือบุคลากร การฝึกอบรมเป็น

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

กระบวนการพัฒนาบุคลากรให้สามารถปฏิบัติงานได้อย่างมีประสิทธิภาพ สัมฤทธิ์ผลจากการปฏิบัติงานย่อมก่อให้เกิดความสำเร็จแก่องค์กรส่วนรวม ได้มีผู้กล่าวถึงประโยชน์หรือผลที่ได้รับจากการฝึกอบรมไว้ต่างๆ กัน ดังเช่น สมพงศ์ เกษมสิน (2536 : 201) กล่าวถึงประโยชน์หรือผลที่ได้รับจากการฝึกอบรมไว้ดังนี้

1. การฝึกอบรมช่วยทำให้ระบบวิธีการปฏิบัติงานมีสมรรถภาพสูงขึ้น มีการติดต่อประสานงานดีขึ้น เพราะว่าการฝึกอบรมจะช่วยกระตุ้นความสนใจในการปฏิบัติงานของผู้ปฏิบัติงานให้มีใจรักงานและทำงานได้ผลมากขึ้น ทั้งเมื่อได้รับความรู้จากการฝึกอบรมมากขึ้นแล้ว ก็สามารถนำเทคนิคและวิธีใหม่ๆ ไปใช้ในการปฏิบัติงาน ซึ่งจะแก้ไขข้อบกพร่อง และปรับปรุงการทำงานให้มีประสิทธิภาพอยู่เสมอ

2. การฝึกอบรมเป็นวิธีหนึ่งที่ทำให้เกิดการประหยัด และลดความสิ้นเปลืองของวัสดุที่ใช้ในการปฏิบัติงาน ซึ่งจะมีผลต่อเนื่องไปถึงงบประมาณค่าใช้จ่ายในการซื้อวัสดุที่ใช้ในการปฏิบัติงานให้ลดลงไปด้วย เพราะว่าเมื่อผู้ปฏิบัติงานได้รับการพัฒนาเป็นอย่างดีแล้ว ความผิดพลาดที่ก่อให้เกิดความสิ้นเปลืองเสียหายย่อมลดน้อยลงไป

3. การฝึกอบรมช่วยลดเวลาในการเรียนงานให้น้อยลง ปกติในการปฏิบัติงานนั้น เมื่อเริ่มปฏิบัติงานควรจะได้รับการอบรมแนะนำเสียก่อน เพราะว่าเจ้าหน้าที่ที่ได้รับการฝึกอบรมแล้วสามารถปฏิบัติงานได้ผลดี และทุ่นเวลามากกว่าการที่จะต้องปฏิบัติงานและเรียนงานควบคู่กันไปในเวลาเดียวกัน เพราะว่าการปฏิบัติงานตามวิธีหลังนี้เป็นการกระทำแบบลองผิดลองถูก ซึ่งไม่อาจทำให้เกิดสัมฤทธิ์ผลในงานเท่าใดนัก

4. การฝึกอบรมเป็นการช่วยแบ่งเบาภาระหน้าที่ การงานของผู้บังคับบัญชาได้มากขึ้น ทั้งผู้บังคับบัญชาจะไม่เสียเวลามาชี้แจงสั่งสอนในงานที่สั่ง นอกจากนี้การฝึกอบรมยังช่วยลดการปฏิบัติงานล่วงเวลาให้น้อยลง เพราะว่าการปฏิบัติงานล่วงเวลามิใช่เกิดจากปริมาณงานที่มากอย่างเดียว ส่วนใหญ่มักเกิดจากความล่าช้า และความไม่เข้าใจในงานเสียเป็นส่วนมาก

5. การฝึกอบรมเป็นอีกทางหนึ่งที่จะกระตุ้นเตือนให้ผู้ปฏิบัติงานได้ปฏิบัติงาน เพื่อก่อให้เกิดความก้าวหน้าในการงานของตน ตามปกติการเลื่อนขั้นเลื่อนตำแหน่ง และการโยกย้ายพนักงานในองค์กร มักได้รับการพิจารณาก่อน เพราะว่าเป็นผู้รู้งานและได้รับการฝึกอบรมมาเป็นอย่างดี ทั้งนี้ย่อมแสดงว่าการฝึกอบรมเป็นการแนะแนวทางในความก้าวหน้าของบุคคลอย่างหนึ่ง

สำหรับประโยชน์ของการฝึกอบรมตามความคิดเห็นของ พยอม วงศ์สารศรี (2531 : 197)นั้น นอกจากการฝึกอบรมจะเป็นสิ่งจำเป็นเพื่อแก้ปัญหาต่างๆ ภายในองค์กรดังได้กล่าวมาแล้ว ยังมีประโยชน์ที่เห็นได้ชัดแจ้งหลายประการ เช่น

1. ผลประโยชน์ที่พนักงานได้รับจากการฝึกอบรม

1.1 ทำให้เกิดความมั่นใจในการปฏิบัติงาน

1.2 พนักงานสามารถรู้ถึงมาตรฐานการทำงานและนโยบาย

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

47601

1.3 ทำให้พนักงานมีอนาคตก้าวหน้าต่อไปในตำแหน่งและหน้าที่ ซึ่งจะเป็นการกระตุ้นให้เกิดขวัญและกำลังใจในการทำงานด้วย

2. ประโยชน์ต่อผู้จัดการ ผู้บังคับบัญชา หรือหัวหน้างาน

2.1 ประหยัดเวลาในการที่จะใช้สอนหรือแนะนำงานต่างๆ ให้กับพนักงาน

2.2 ประหยัดเวลาที่จะใช้ควบคุมดูแล สามารถเอาเวลาไปใช้ในการวางแผนงานและบริหารงานด้านอื่นได้

2.3 ทำให้พนักงานสามารถทำงานร่วมกันได้อย่างมีประสิทธิภาพ

3. ผลประโยชน์ขององค์กร

3.1 ช่วยทำให้ผลผลิตมีคุณภาพได้มาตรฐาน

3.2 ช่วยลดค่าใช้จ่ายต่างๆ ในการซ่อมแซมและบำรุงรักษาเครื่องจักร

3.3 ช่วยลดอุบัติเหตุการสิ้นเปลืองและความเสียหายต่างๆ

และ พลากร สุวรรณรัฐ (2535 : 37) ยังได้กล่าวถึงประโยชน์ของการพัฒนาและฝึกอบรมไว้ว่าการปฏิบัติงานทำงานไประยะหนึ่ง เมื่อถึงเวลาที่ต้องรับผิดชอบงานที่เปลี่ยนแปลงไปจากเดิมหรืองานในระดับที่สูงขึ้น จำเป็นอย่างยิ่งที่ต้องได้รับการพัฒนาและฝึกอบรม เนื่องจากการพัฒนาและฝึกอบรมก่อให้เกิดประโยชน์ 2 ประการ คือ

1. นอกเหนือจากการเรียนรู้จากตำรา สถานศึกษา หรือประสบการณ์แล้ว ผู้ปฏิบัติงานยังต้องการความมั่นใจในสิ่งหรือแนวทางปฏิบัติอยู่ว่าเป็นสิ่งที่ถูกต้องหรือไม่ และผู้อื่นปฏิบัติงานอย่างไร เหมือนกันหรือแตกต่างกันอย่างไร

2. เพื่อแลกเปลี่ยนความคิดและทัศนคติในการทำงาน ซึ่งจะช่วยให้เกิดทัศนคติในทางบวก เป็นการนำทัศนคติที่ดีมาเผยแพร่กัน

การฝึกอบรมจึงถือว่าเป็นการลงทุนอย่างหนึ่งขององค์กร เพื่อก่อให้เกิดประโยชน์ต่อตัวผู้ปฏิบัติงานที่จะมีการเรียนรู้สิ่งใหม่ๆ ที่ช่วยให้การทำงานดีขึ้น มีทัศนคติที่ดี ลดอัตราการขาดงาน ก่อให้เกิดความจงรักภักดีต่อองค์กร ทำให้องค์กรมีความมั่นคงเนื่องจากการฝึกอบรม และจะช่วยให้ผู้ปฏิบัติงานมีการพัฒนาอยู่เสมอ หากขาดแคลนผู้ปฏิบัติงานในตำแหน่งใดก็สามารถทดแทนกันได้

2.3 การพัฒนาหลักสูตรการฝึกอบรม

จากกระบวนการพัฒนาหลักสูตร ที่นักวิชาการต่างๆ ได้กล่าวไว้ในหัวข้อกระบวนการพัฒนาหลักสูตร จะเห็นได้ว่าเป็นกระบวนการทั่วไปที่สามารถใช้ได้กับหลักสูตรทุกรูปแบบ สำหรับการพัฒนาหลักสูตรการฝึกอบรมนั้น สามารถดำเนินการตามกระบวนการดังกล่าวได้เช่นกัน ซึ่งเครือวัลย์ ลิ่มอภิชาติ (2531 : 64-69) กล่าวถึงกระบวนการพัฒนาหลักสูตรว่า ประกอบด้วยกิจกรรมหลัก 5 ประการ คือ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

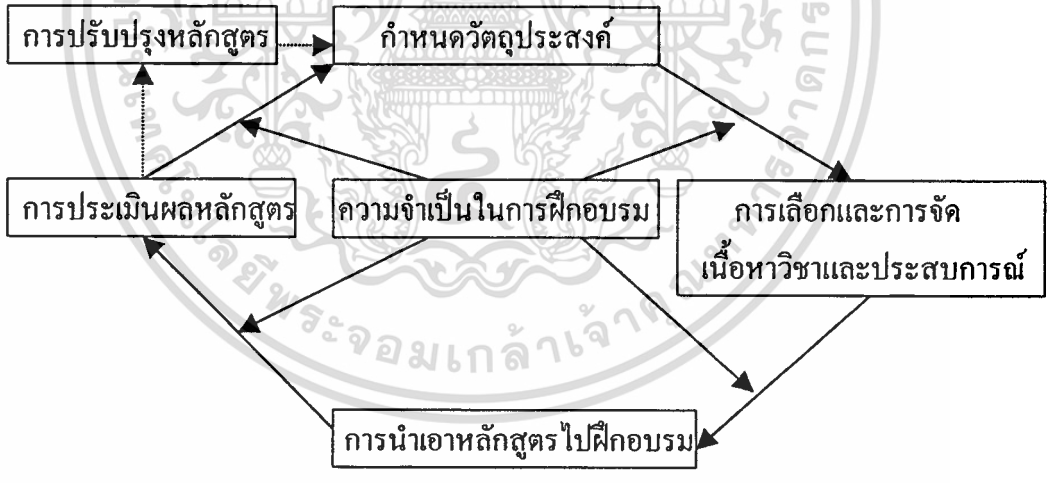
1. การกำหนดวัตถุประสงค์ของหลักสูตร เป็นการกำหนดความต้องการที่จะเปลี่ยนแปลงพฤติกรรมของผู้รับการฝึกอบรมว่าจะให้เป็นไปในลักษณะใดจึงจะสามารถแก้ไขปัญหาได้ การกำหนดวัตถุประสงค์จะกำหนด 3 ระดับ คือ วัตถุประสงค์ของหลักสูตร วัตถุประสงค์หมวดวิชา และวัตถุประสงค์ของรายวิชา

2. การเลือก การจัดเนื้อหาวิชา และเทคนิคการฝึกอบรม เนื้อหาวิชา หมายถึง เนื้อหาสาระความรู้ และประสบการณ์เรียนรู้ เป็นขั้นตอนที่กำหนดว่าผู้เข้ารับการฝึกอบรมควรมีความรู้ และมีประสบการณ์และ การจัดลำดับความรู้ประสบการณ์นั้นเป็นอย่างไรจึง เกิดผลการฝึกอบรมที่สูงสุด

3. การนำเอาหลักสูตรไปใช้ หมายถึง การให้ผู้บริหารโครงการฝึกอบรม เอาโครงการของหลักสูตรไปฝึกอบรมให้เกิดผลอย่างมีประสิทธิภาพ

4. การประเมินผลหลักสูตร คือ การหาคำตอบว่าหลักสูตรสัมฤทธิ์ผลตามที่วัตถุประสงค์กำหนดไว้หรือไม่ และมากน้อยเพียงใด

5. การปรับปรุงหลักสูตร กระบวนการพัฒนาหลักสูตรมีวัฏจักรเริ่มต้นจากการกำหนดวัตถุประสงค์ เลือก และจัดเนื้อหาวิชาและประสบการณ์ให้สอดคล้องกับวัตถุประสงค์ นำหลักสูตรไปฝึกอบรม ประเมินผลสัมฤทธิ์การฝึกอบรม และนำผลการประเมินไปใช้ในการปรับหลักสูตร เมื่อปรับปรุงหลักสูตรแล้วจึงกลับไปสู่การปรับปรุงวัตถุประสงค์การฝึกอบรม ดังแสดงในรูปที่ 2.2



รูปที่ 2.2 กระบวนการพัฒนาหลักสูตรฝึกอบรมของเครือวัลย์ ลิ่มอภิชาติ (2531 : 64-69)

นิภา วงศ์ไทย (2525 : 34-35) ได้เสนอขั้นตอนการสร้างและพัฒนาหลักสูตรฝึกอบรม ดังนี้

1. กำหนดสภาพปัญหาและความจำเป็นของชุมชนเกษตรกรรมชนบท ซึ่งจะกำหนดให้สอดคล้องกับแนวนโยบายของชาติ โดยการสำรวจเอกสารและชุมชน รวมทั้งการสำรวจความต้องการของผู้เข้ารับการฝึกอบรมมาเป็นข้อมูลในการกำหนดจุดมุ่งหมายของหลักสูตร

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2. กำหนดจุดมุ่งหมายของหลักสูตรการฝึกอบรมให้สอดคล้องเหมาะสมกับสภาพปัญหาและความจำเป็นที่ได้สำรวจมา

3. กำหนดหน่วยการฝึกอบรม โดยแบ่งจุดมุ่งหมายออกเป็นเรื่องๆ และกำหนดหน่วยการฝึกอบรมให้ครอบคลุมเรื่องนั้นๆ ซึ่งเมื่อได้ดำเนินการครบทุกหน่วยการฝึกอบรมแล้วจะบรรลุจุดมุ่งหมายของหลักสูตรที่กำหนดไว้

4. กำหนดจุดมุ่งหมายเชิงพฤติกรรมของแต่ละหน่วยการฝึกอบรม โดยพิจารณากำหนดให้สอดคล้องกับจุดมุ่งหมายของหลักสูตร

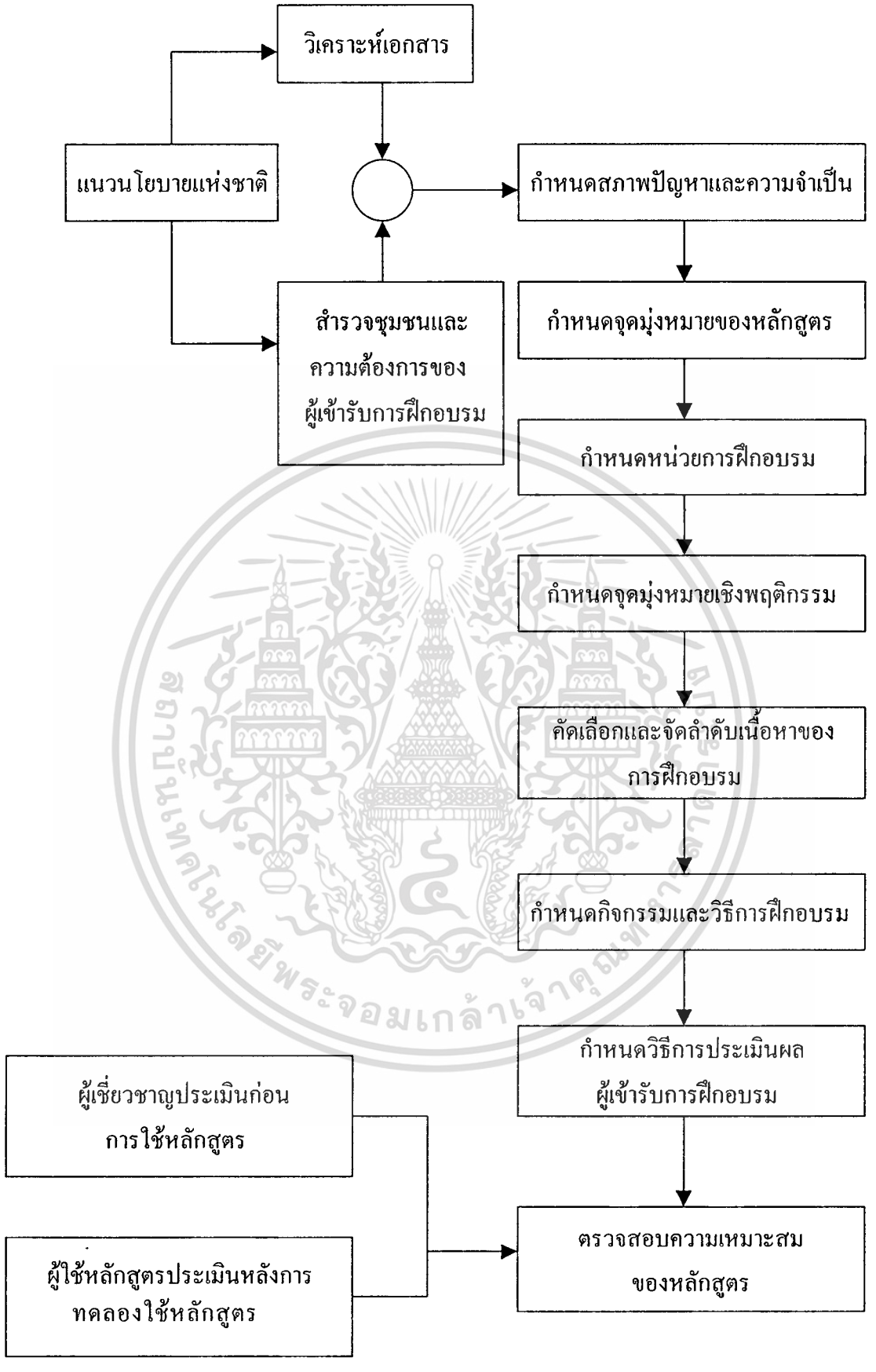
5. คัดเลือกจัดลำดับเนื้อหาของแต่ละหน่วยการฝึกอบรม โดยยึดจุดมุ่งหมายเชิงพฤติกรรมเป็นขอบเขต และดำเนินการจัดลำดับความสำคัญของเนื้อหา โดยพิจารณาตามลำดับของเนื้อหา และตามลำดับความต้องการของผู้เข้ารับการฝึกอบรม ซึ่งได้ทำการสำรวจไว้แล้ว

6. กำหนดกิจกรรมและวิธีการฝึกอบรม โดยพิจารณาจากเนื้อหาการฝึกอบรม ประกอบกับพิจารณาถึงความพร้อม และพื้นฐานของผู้เข้ารับการฝึกอบรม

7. กำหนดวิธีการประเมินผลผู้เข้ารับการฝึกอบรม โดยพิจารณาวิธีการประเมินผลให้สอดคล้องกับจุดมุ่งหมายเชิงพฤติกรรม กิจกรรมการฝึกอบรม และพื้นฐานของผู้เข้ารับการฝึกอบรม

8. การตรวจสอบความเหมาะสมของหลักสูตร ดำเนินการตรวจสอบโดยผู้เชี่ยวชาญและผู้ใช้หลักสูตร

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.3 การพัฒนาหลักสูตรฝึกอบรมของนิภา วงศ์ไทย (2525 : 34-35)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

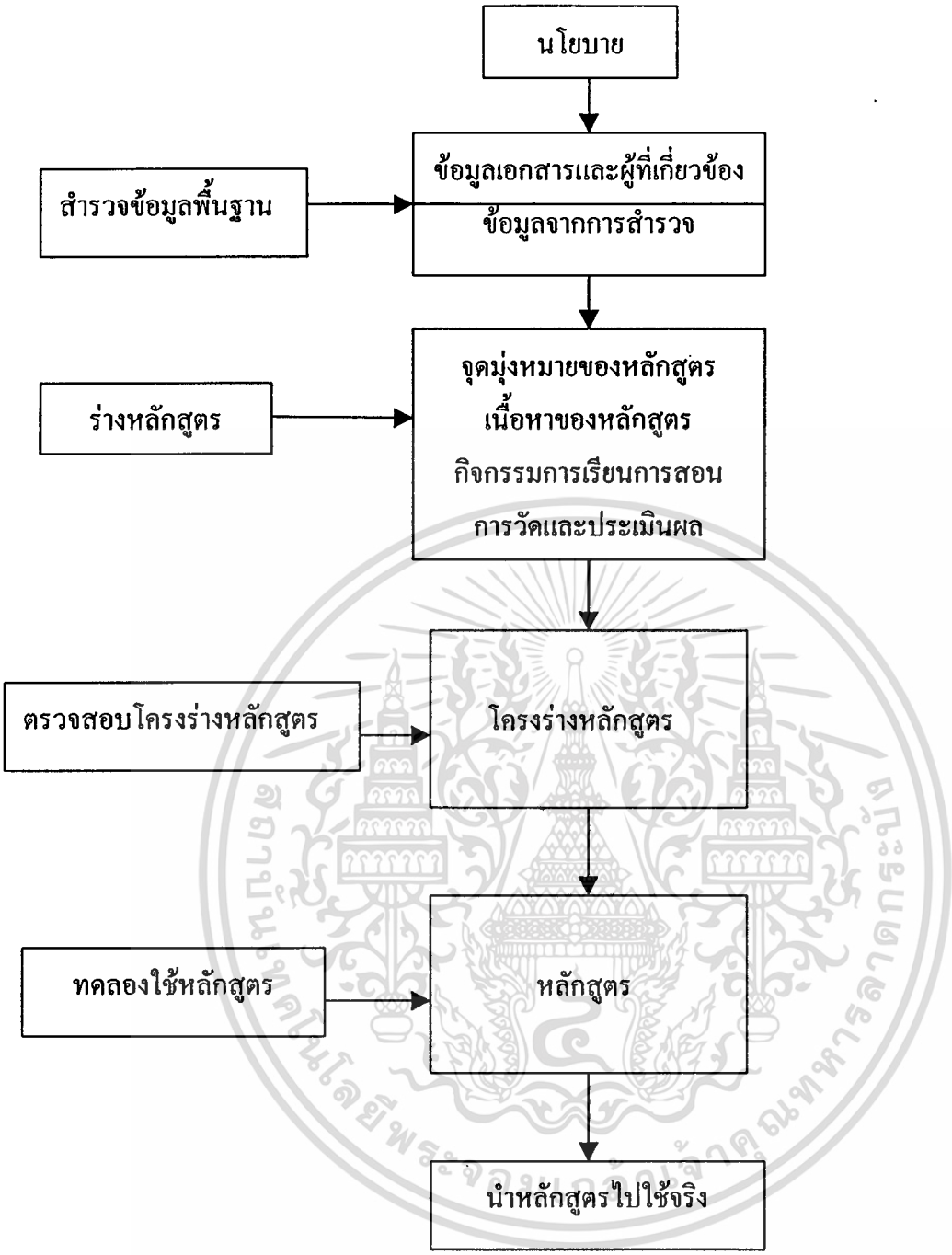
สุชาติ ลี้ตระกูล (2532 : 86-87) ได้พัฒนาหลักสูตร โดยมีขั้นตอนการพัฒนา 3 ขั้นตอน ดังนี้

1. สำรวจข้อมูลพื้นฐานดำเนินการ ในลักษณะการวิจัยเชิงสำรวจเพื่อให้ได้ข้อมูลที่จะนำมาสร้างหลักสูตรให้สอดคล้องกับสภาพความต้องการที่แท้จริงของลูกกรรมกรก่อสร้าง

2. ร่างหลักสูตร ดำเนินการในลักษณะของการพัฒนา คือ หลังจากนำผลการสำรวจข้อมูลพื้นฐาน สารสนเทศจากเอกสารงานวิจัยที่เกี่ยวข้องมากำหนดปัญหาของชุมชน แล้วจึงดำเนินการร่างเป็นโครงร่างหลักสูตร ทำการประเมินก่อนที่จะนำไปใช้โดยให้ผู้เชี่ยวชาญตรวจสอบ

3. ทดลองใช้หลักสูตร ดำเนินการในลักษณะของการประเมินเพื่อตรวจสอบหาประสิทธิภาพของหลักสูตร โดยทดลองใช้กับผู้เรียน พิจารณาว่าทำให้ผู้เรียนมีผลสัมฤทธิ์ตามจุดมุ่งหมายของหลักสูตรหรือไม่

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.4 การพัฒนาหลักสูตรของสุชาติ ลี้ตระกูล (2532 : 86-87)

จากกระบวนการพัฒนาหลักสูตรของนักการศึกษาที่ได้กล่าวมาแล้วนั้น จะเห็นได้ว่าขั้นตอนการพัฒนาหลักสูตรฝึกอบรมมีส่วนคล้ายคลึงกัน คงมีบางส่วนเท่านั้นที่แตกต่างกัน เช่น ในส่วนของวัตถุประสงค์หรือจุดมุ่งหมาย เนื้อหาวิชาการฝึกอบรม เป็นต้น ดังนั้น จึงสามารถสรุปขั้นตอนการพัฒนาหลักสูตรการฝึกอบรม ได้ 4 ขั้นตอน ดังนี้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

1. การศึกษาข้อมูลขั้นพื้นฐาน ได้แก่ ข้อมูลทางวัฒนธรรม สังคม การเมือง เศรษฐกิจ ปรัชญาการศึกษา ข้อมูลเกี่ยวกับผู้เรียน ทฤษฎีการเรียนรู้ เป็นพื้นฐานที่สำคัญในการกำหนดลักษณะหลักสูตร

สำหรับวิธีการได้มาซึ่งข้อมูลพื้นฐานนั้น สงัด อุทรานันท์ (2532 : 194) กล่าวว่า สามารถทำได้ทั้งทางตรงและทางอ้อม หรือใช้ทั้ง 2 กรณีประกอบกัน คือ การศึกษาโดยทางตรง ได้แก่ สอบถามโดยใช้แบบสอบถาม การสัมภาษณ์ผู้ที่มีส่วนเกี่ยวข้อง ส่วนการศึกษาทางอ้อม ได้แก่ การศึกษาค้นคว้าจากเอกสาร การรับฟังความคิดเห็นจากแหล่งต่างๆ การวิเคราะห์ตัวชี้นำที่สำคัญ

2. การสร้างหลักสูตรฝึกอบรม เมื่อได้ข้อมูลพื้นฐานด้านต่างๆ แล้วนำมาวิเคราะห์ จะทำให้ทราบสภาพปัญหา หรือความต้องการของผู้เรียน หรือสังคม จึงมาถึงขั้นตอนการสร้างหลักสูตร ซึ่งมีรายละเอียดดังนี้

2.1 การกำหนดจุดมุ่งหมายของหลักสูตร ในการกำหนดจุดมุ่งหมายของหลักสูตรนั้น สงัด อุทรานันท์ (2532 : 211-212) ได้เสนอแนะลักษณะที่สำคัญของหลักสูตรที่ดี ดังนี้

2.1.1 จุดมุ่งหมายของหลักสูตร ควรตั้งอยู่บนพื้นฐานทางการศึกษาอย่างถูกต้อง และตั้งอยู่บนรากฐานของความจริงและสามารถนำไปปฏิบัติได้

2.1.2 สอดคล้องกับความต้องการของสังคม

2.1.3 สนองความต้องการของผู้เรียน

2.1.4 มุ่งสร้างเสริมค่านิยม ขนบธรรมเนียม ประเพณี และวัฒนธรรม

2.1.5 เน้นและส่งเสริมคุณสมบัติส่วนบุคคลของผู้เรียนให้มีความเจริญงอกงามหลายด้าน

2.1.6 ช่วยให้ผู้เรียนได้รับประโยชน์จากการศึกษามากที่สุด

2.1.7 ควรจะยืดหยุ่นได้ และเปลี่ยนแปลงได้ตามความเหมาะสมกับสภาพการณ์ที่เปลี่ยนแปลงไป

2.2 การเลือกเนื้อหาวิชา และการจัดกิจกรรมการเรียนรู้ เป็นสิ่งที่สำคัญมากอย่างหนึ่ง เพราะว่าเปรียบเสมือนเป็นสื่อกลางที่จะนำผู้เรียนไปสู่จุดหมายที่ได้กำหนด ดังนั้น จำเป็นต้องพิจารณาอย่างรอบคอบ แซป (สุนทร บำเรอราช. 2536 : 48 อ้างอิงจาก Schwab. 1964 : 4) กล่าวว่า การเลือกเนื้อหาควรพิจารณาจากคำถามต่อไปนี้

2.2.1 แก่นสารสาระของการศึกษาคืออะไรเนื้อหาทั้งหมดเป็นความรู้ที่แท้จริงหรือไม่

2.2.2 เนื้อหาวิชาใดที่ควรบรรจุอยู่ในหลักสูตร และใช้เกณฑ์อะไรมาคัดเลือกเนื้อหาสาระ

2.2.3 มีเนื้อหาวิชาอะไรบ้างที่ผู้เรียนทุกคนต้องรู้ และมีอะไรบ้างที่ผู้เรียนบางคนจำเป็นต้องรู้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.2.4 จะจัดลำดับเนื้อหาวิชาให้ผู้เรียนเรียนอย่างไร และใช้เกณฑ์อะไร

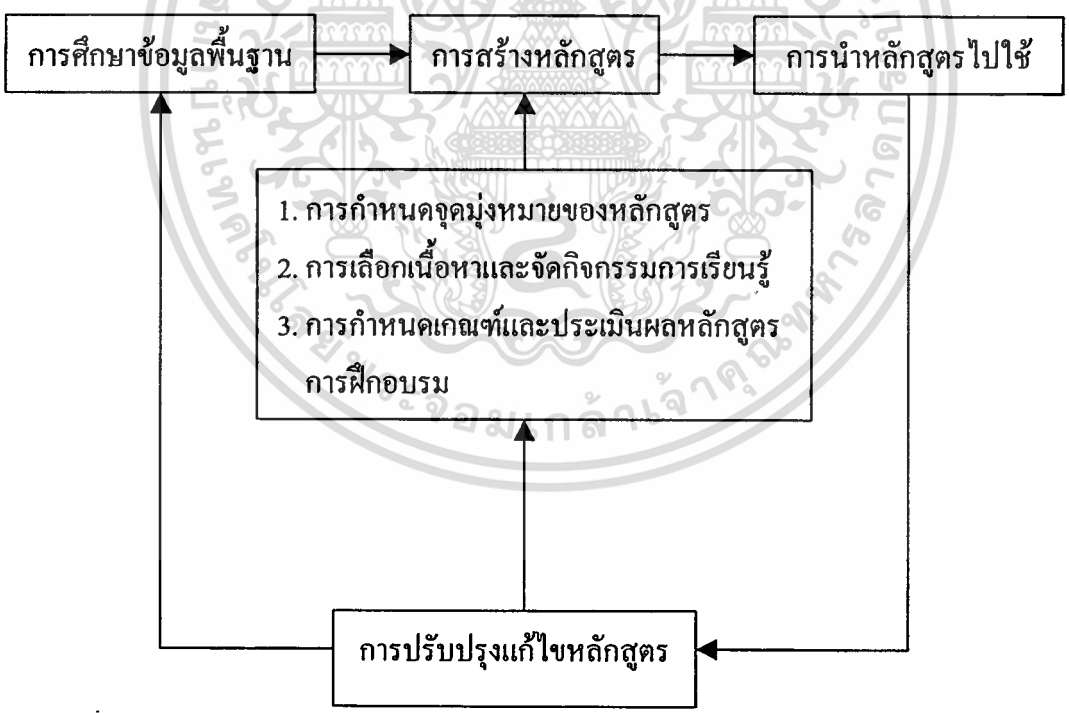
2.2.5 เมื่อผู้เรียนเรียนเนื้อหาวิชาเหล่านั้น ผู้เรียนจะต้องเรียนอย่างไร ผู้เรียนจะพัฒนาความสามารถและความคิดอย่างไร

2.3 การกำหนดเกณฑ์ และการประเมินผลหลักสูตรการฝึกอบรมควรประเมินอะไร ประเมินอย่างไร และเป็นสิ่งชี้ให้เห็นว่าการดำเนินงานฝึกอบรมนั้นจะประสบผลสำเร็จ และบรรลุจุดมุ่งหมายมากน้อยเพียงใด มีอุปสรรคอะไรบ้าง เพื่อใช้เป็นข้อมูลในการปรับปรุงหลักสูตรฝึกอบรมครั้งต่อไป

3. การนำหลักสูตรไปใช้ นำหลักสูตรที่ผ่านขั้นตอนที่ 1 และ 2 แล้วนำไปใช้ในสถานการณ์จริง เพื่อเป็นการศึกษาหาจุดอ่อนหรือข้อบกพร่องต่างๆ เพื่อแก้ไขให้ดีขึ้น

4. การปรับปรุงแก้ไขหลักสูตรการฝึกอบรม เป็นขั้นตอนการปรับปรุงแก้ไขหลักสูตรให้มีความเหมาะสมหรือสอดคล้องกับสภาพสังคมมากขึ้น ซึ่งการปรับปรุงนี้สามารถดำเนินการได้ทุกขั้นตอนของการพัฒนาหลักสูตรฝึกอบรม

จากการสรุปกระบวนการพัฒนาหลักสูตรฝึกอบรมข้างต้นสามารถ เขียนสรุปเป็นแผนภูมิได้ดังรูปที่ 2.5



รูปที่ 2.5 กระบวนการพัฒนาหลักสูตรของสุนทร บำเรอราช (2536 : 48 อ้างอิงจาก Schwab. 1964: 4)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.4 การประเมินผล

2.4.1 ความหมายของการประเมิน

นักวิชาการและนักการประเมินผลได้ให้ความหมายเกี่ยวกับการประเมิน ไว้ต่างๆ กันดังเช่น

สมหวัง พิธิยานุวัฒน์ (2528 : 87) ได้กล่าวไว้ว่าการประเมิน หมายถึง การตัดสินคุณค่าของสิ่งใดสิ่งหนึ่ง หรืออีกนัยหนึ่ง การประเมินเป็นกระบวนการให้ได้มาซึ่งสารสนเทศสำหรับตัดสินคุณค่า และจุดเน้นของการประเมิน คือ การเก็บรวบรวมและวิเคราะห์ข้อมูลอย่างเป็นระบบเพื่อให้ได้สารสนเทศ เพื่อตัดสินสิ่งใดสิ่งหนึ่งโดยเฉพาะ

Welch (1974 : 21) ได้ให้ความหมายของการประเมินไว้ว่าเป็นกระบวนการที่ก่อให้เกิดสารสนเทศ เพื่อให้ผู้บริหารใช้ในการตัดสินใจ

Riecken (1972 : 1) ได้ให้ความหมายว่าการประเมิน คือ การวัดผลทั้งที่พึงปรารถนา และไม่พึงปรารถนาอันสืบเนื่องจากการดำเนินงานที่กำลังกระทำอยู่ เพื่อที่จะมุ่งเป้าประสงค์ที่ต้องการ

Suchman (1978 : 29) ได้ให้ความหมายเช่นเดียวกับ สมหวัง และ Welch คือ การประเมินหมายถึง การใช้กระบวนการทางวิทยาศาสตร์ หรือการใช้เทคนิคการวิจัยทางด้านสังคมศาสตร์ เพื่อหาข้อมูลที่เป็นจริงและเชื่อถือได้เกี่ยวกับโครงการ เพื่อการตัดสินว่าโครงการดังกล่าวดีหรือไม่ดีอย่างไร หรือเป็นการค้นหาว่าผลของกิจกรรมที่วางไว้ในโครงการประสบผลสำเร็จตรงกับวัตถุประสงค์หรือความมุ่งหมายของโครงการหรือไม่

มาณพ ภาษิตวิไลธรรม (2525 : 9) ได้ให้ความหมายของการประเมินว่า หมายถึง การศึกษาเปรียบเทียบผลการปฏิบัติงานของโครงการกับเป้าหมายของโครงการที่กำหนดไว้ โดยมีการรวบรวมข้อมูล และวิธีการศึกษาอย่างมีระเบียบ แต่ Weiss (1972 : 21) ไม่ได้มองการประเมินเพียงแค่ผลสัมฤทธิ์ของโครงการเท่านั้น แต่ยังดูผลกระทบของโครงการที่เกิดขึ้นด้วย

อนันต์ ศรีโสภา (2525 : 2) ได้ให้ความหมายของการประเมินว่าเป็นกรรมวิธีของการวางแผน การเก็บรวบรวมข้อมูล และการให้ข้อมูลที่เป็นประโยชน์ต่อการตัดสินใจในทางเลือกต่างๆ โดยเปรียบเทียบกับเกณฑ์

ตามความหมาย์ของการประเมินที่กล่าวมาข้างต้น พอจะสรุปได้ว่าการประเมิน หมายถึง กระบวนการรวบรวมข้อมูลเพื่อให้ได้ซึ่งสารสนเทศ เพื่อเป็นประโยชน์ในการตัดสินใจในการดำเนินงาน โดยเปรียบเทียบผลการปฏิบัติกับเกณฑ์ที่ตั้งไว้ เพื่อตรวจสอบว่าการดำเนินงานบรรลุวัตถุประสงค์หรือไม่ หรือกล่าวอีกนัยหนึ่งว่า เป็นการตรวจสอบผลสัมฤทธิ์ของการดำเนินงานนั้นๆ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.4.2 ความสำคัญของการประเมิน

Steel and Torrie (1973 : 21-39) ได้สรุปลักษณะที่สำคัญของการประเมินโครงการ 7 ประการ คือ

1. การประเมินโครงการ เป็นกระบวนการมากกว่าเป็นวิธีการ เพราะว่าโครงการที่มีการนำไปปฏิบัติในปัจจุบันมีลักษณะ และขอบเขตที่กว้างขวางมาก จึงจำเป็นต้องพิจารณาว่าการประเมินโครงการเป็นกระบวนการ 2 ลักษณะ คือ

1.1 เป็นกระบวนการของการตัดสินเกี่ยวกับโครงการโดยมาตรฐาน หรือเกณฑ์ในการเปรียบเทียบ รวมทั้งการบรรยายผลที่เกิดจากโครงการ ซึ่งเน้นในเรื่องการตัดสิน และหาข้อสรุปเกี่ยวกับผลของโครงการ เพื่อนำไปสู่การตัดสินใจในการดำเนินงานในอนาคต

1.2 เป็นกระบวนการของการใช้ข้อมูลประกอบการเปรียบเทียบหาแนวทางเลือกปฏิบัติให้เหมาะสม เน้นในเรื่องการหาแนวทางเลือก และการใช้การประเมิน เพื่อช่วยในการเลือกแนวทางเหล่านี้

2. การประเมินโครงการ เป็นการตรวจสอบดูว่าโครงการนั้นได้บรรลุผลตามจุดมุ่งหมายที่กำหนดไว้มากน้อยเพียงใด รวมทั้งเป็นการประเมินผลกระทบที่เกิดจากโครงการด้วย

3. การประเมินโครงการ เป็นการประเมินผลย่อย และการประเมินผลสรุป ทั้งนี้เพื่อการหาข้อมูลต่างๆ มาพัฒนาปรับปรุงการดำเนินงานของโครงการให้ดีขึ้น ตลอดจนการหาข้อบกพร่องว่าจะต้องแก้ไขเรื่องปัจจัยวิธีการดำเนินการอย่างไร จึงจะทำให้การดำเนินงานมีประสิทธิภาพ และเมื่อโครงการได้สิ้นสุดลงแล้วจำเป็นต้องมีการประเมินเพื่อหาข้อมูลมาใช้ในการประกอบการตัดสินใจว่าจะทำอย่างไรต่อไปเกี่ยวกับโครงการในอนาคต

4. การประเมินโครงการ เป็นเรื่องเกี่ยวกับการประเมินองค์ประกอบต่างๆ ของการเรียนการสอนที่ดำเนินมาจนจบโครงการ และเน้นในเรื่องผลที่เกิดจากการเปลี่ยนแปลงในตัวบุคคลและองค์ประกอบอื่นๆ ดังนั้น การประเมินผลการเรียนการสอนจึงเป็นส่วนหนึ่งของการประเมินโครงการ

5. การประเมินโครงการ เป็นกระบวนการที่มุ่งค้นหาคำตอบเฉพาะโครงการใดโครงการหนึ่ง ไม่ได้มุ่งในเรื่องการค้นหาทฤษฎี หรือหลักเกณฑ์เพื่อการหาข้อสรุปอ้างอิง แต่เป็นการรวบรวมข้อมูล เพื่อการใช้ประโยชน์เฉพาะโครงการนั้นๆ

6. การประเมินโครงการเป็นเครื่องมือสำคัญในการบริหารงาน มีบทบาทสำคัญในการจัดดำเนินโครงการต่างๆ เพราะว่าประโยชน์ที่ได้รับจากการประเมินโครงการมีมากมาย เช่น ช่วยในการให้ข้อมูลเพื่อการตัดสินเลือกแนวทางปฏิบัติ ช่วยในการปรับปรุงการปฏิบัติให้มีประสิทธิภาพมากยิ่งขึ้นช่วยในการให้ข้อมูลที่จะใช้ในการตัดสินใจว่าจะดำเนินการเกี่ยวกับโครงการต่อไปอย่างไร เป็นต้น

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

7. การประเมินโครงการ เป็นกิจกรรมที่เกี่ยวข้องกับบุคคลที่ปฏิบัติงานโครงการ การประเมินเพื่อการปรับปรุงโครงการนั้นจะต้องทำการประเมินโดยผู้รับผิดชอบและปฏิบัติงานโครงการนั้น นอกจากนี้ การประเมินเพื่อตัดสินโครงการ ซึ่งจำเป็นจะต้องมีการสร้างเกณฑ์การประเมินนั้น ผู้ที่กำหนดเกณฑ์ คือ บุคคลต่างๆ ที่มีส่วนเกี่ยวข้องกับโครงการ กล่าวโดยสรุป บทบาทในการประเมินโครงการ ในปัจจุบันเป็นความรับผิดชอบของคณะผู้ปฏิบัติงานโครงการ นักประเมินที่เป็นบุคคลภายนอกจึงอยู่ในฐานะที่ปรึกษาการประเมินโครงการ

ประชุม รอดประเสริฐ (2539 : 75-76) ได้สรุปถึงความสำคัญหรือประโยชน์ของการประเมินผลโครงการไว้ดังนี้

1. การประเมินจะช่วยทำให้การกำหนดวัตถุประสงค์ และมาตรฐานของการดำเนินงานที่มีความชัดเจนขึ้น กล่าวคือ ก่อนที่โครงการจะได้รับการสนับสนุนให้นำไปใช้ย่อมจะได้รับการตรวจสอบอย่างละเอียดจากผู้บริหารและผู้ประเมิน ส่วนใดที่ไม่ชัดเจน เช่น วัตถุประสงค์หรือมาตรฐานในการดำเนินงาน เป็นต้น หากขาดความแน่นอนแจ่มชัด จะต้องได้รับการปรับปรุงแก้ไขให้มีความถูกต้องชัดเจนเสียก่อน ดังนั้น จึงกล่าวได้ว่าการประเมินโครงการมีส่วนช่วยทำให้โครงการมีความชัดเจนและสามารถที่จะนำไปปฏิบัติได้อย่างได้ผลมากกว่าโครงการที่ไม่ได้รับการประเมิน

2. การประเมินโครงการช่วยให้การใช้ทรัพยากรเป็นไปอย่างคุ้มค่า หรือให้เกิดประโยชน์เต็มที่ ทั้งนี้ เพราะว่าการประเมินโครงการจะต้องวิเคราะห์ทุกส่วนของโครงการ ข้อมูลใดหรือปัจจัยใดที่เป็นปัญหาจะได้รับการปรับปรุงแก้ไข เพื่อให้สามารถปฏิบัติงาน หรือใช้ในการปฏิบัติงานเหมาะสมคุ้มค่า ทรัพยากรทุกชนิดจะได้รับการจัดสรรให้อยู่ในจำนวนหรือปริมาณที่เหมาะสมเพียงพอแก่การดำเนินงาน ทรัพยากรที่ไม่จำเป็นหรือมีมากเกินไปจะได้รับการตัดทอน และทรัพยากรใดที่ขาดจะได้รับการจัดหาเพิ่มเติม ดังนั้น การประเมินโครงการจึงมีส่วนที่ทำให้การใช้ทรัพยากรของโครงการเป็นไปอย่างคุ้มค่าและมีประสิทธิภาพ

3. การประเมินโครงการช่วยให้แผนงานบรรลุวัตถุประสงค์ ดังที่ได้กล่าวแล้วว่าโครงการเป็นส่วนหนึ่งของแผน ดังนั้น เมื่อโครงการได้รับการตรวจสอบ วิเคราะห์ ปรับปรุงแก้ไขให้ดำเนินการไปด้วยดี ย่อมทำให้แผนงานดำเนินไปด้วยดี และบรรลุถึงวัตถุประสงค์ที่ได้ตั้งไว้

2.4.3 รูปแบบของการประเมินโครงการฝึกอบรม

การประเมินโครงการเท่าที่ได้ปฏิบัติกันมา กระทำได้หลายรูปแบบ และมีบุคคลที่แบ่งประเภทของการประเมินโครงการในลักษณะต่างๆ ไว้โดยสรุปได้ดังนี้

Stufflebeam (1985 : 203) ได้แบ่งการประเมินออกเป็น 3 ประเภท คือ

1. การประเมินเปรียบเทียบ (Pseudo Evaluation) ได้แก่ การประเมินที่ผลของการประเมินให้คุณค่าเป็นบวกหรือลบ แต่ไม่สอดคล้องกับคุณค่าที่แท้จริง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2. การประเมินกึ่งจริง (Quasi Evaluation) ได้แก่ การประเมินที่อาศัยคำถามเฉพาะเจาะจง ใช้วิธีการที่เป็นระบบ แต่อาจจะไม่ได้วัดคุณค่าที่แท้จริง

3. การประเมินที่แท้จริง (True Evaluation) ได้แก่ การประเมินที่ต้องการศึกษาคุณค่าของสิ่งนั้นๆ อย่างแท้จริง

การแบ่งการประเมินผลอีกลักษณะหนึ่ง คือ การพิจารณาตามวงจรของการวางแผนงาน จะแบ่งการประเมินออกเป็น 2 ประเภท คือ

1. การประเมินก่อนปฏิบัติงานตามแผน (Intrinsic Evaluation) เป็นการประเมินเพื่อดูความคาดหวังของการปฏิบัติงานว่าถ้าทำตามแผนแล้วจะได้ผลอะไรเกิดขึ้นบ้าง จะเห็นได้ว่ายังไม่มีข้อมูลเกิดขึ้นจริงๆ การปฏิบัติจึงต้องใช้วิธีการให้เหตุผล

2. การประเมินขณะปฏิบัติงานตามแผน (On Going Evaluation) เป็นการตรวจสอบผลที่เกิดจากการดำเนินงานโครงการนั้น เพื่อต้องการดูว่าโครงการประสบความสำเร็จเพียงใดนั่นเอง

Scriven (1967 : 60-75) ได้แบ่งการประเมินออกเป็น 2 ลักษณะ คือ

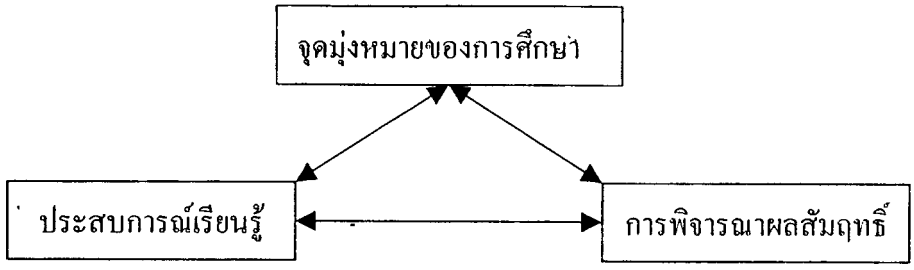
1. การประเมินความก้าวหน้า หรือการประเมินระยะสั้น (Formative Evaluation) ได้แก่ การประเมินในระหว่างที่โครงการกำลังดำเนินอยู่ เพื่อประโยชน์ต่อผู้ประเมินโครงการปรับปรุงโครงการให้ดีขึ้น โดยการให้ข้อติชม (Feedback) ที่มีประโยชน์ต่อผู้ประเมินโครงการ

2. การประเมินสรุป หรือการประเมินระยะยาว (Summative Evaluation) ได้แก่ การประเมินเมื่อโครงการสิ้นสุดลงแล้ว เพื่อประโยชน์ในการศึกษาคุณค่าของโครงการ และเพื่อการพิจารณานำลักษณะที่ดีของโครงการนั้นไปใช้ในสถานการณ์อื่นต่อไป

ในปัจจุบัน นักการศึกษาได้เสนอแนวคิดเกี่ยวกับการประเมินทางการศึกษาไว้หลายรูปแบบ ดังนั้น ผู้ที่ทำหน้าที่ประเมินผลจำเป็นต้องศึกษารูปแบบการประเมินชนิดต่างๆ เพื่อจะได้สามารถกลั่นกรองแนวคิด และรูปแบบของการประเมินมาใช้ได้เหมาะสม รูปแบบของการประเมินที่สำคัญมีดังนี้

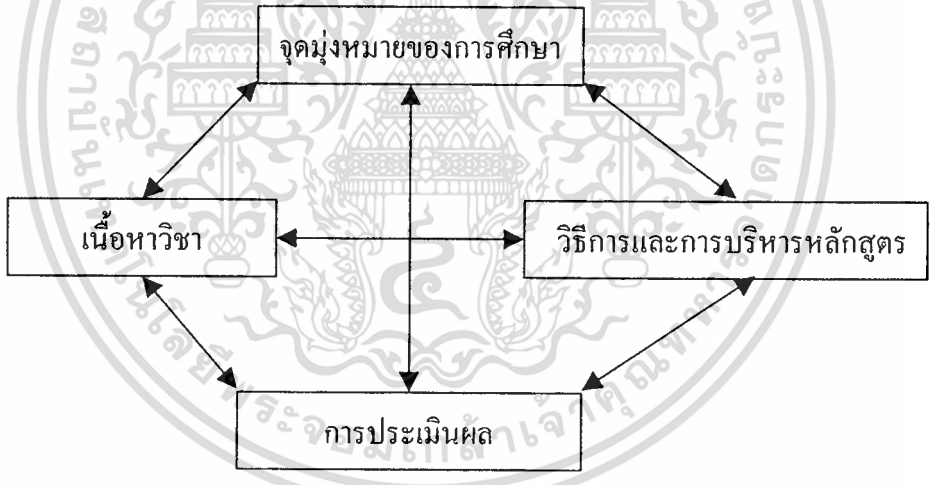
1. รูปแบบการประเมินของไทเลอร์ (Tyler's Model of Evaluation) Tyler (1970 : 110 – 125) กล่าวว่ากระบวนการจัดการศึกษามีองค์ประกอบ 3 อย่าง คือ จุดมุ่งหมายของการศึกษา ประสบการณ์การเรียนรู้ และการพิจารณาผลสัมฤทธิ์ การประเมินทางการศึกษาตามรูปแบบนี้ คือการพิจารณาว่าผู้เรียนมีความก้าวหน้าตามที่ได้ตั้งจุดมุ่งหมายไว้หรือไม่ ความสัมพันธ์ขององค์ประกอบทั้งสามมีดังที่เสนอไว้ในรูปที่ 2.6

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.6 แบบการประเมินของไทเลอร์ Tyler (1970 : 110-125)

2. รูปแบบการประเมินของทาบา (Taba's Model of Evaluation) Taba (1962 : 413 - 444) ได้แสดงรูปแบบของการพัฒนาหลักสูตรโดยให้ชื่อว่า "A Conceptual Framework for Curriculum Design" ในรูปแบบที่อธิบายการประเมินผลว่าเป็นการพิจารณาขั้นตอนต่างๆ ของการพัฒนาหลักสูตรว่าสอดคล้องกับจุดมุ่งหมายของการศึกษาที่ตั้งไว้หรือไม่ เช่นเดียวกับของ Tyler แต่แยกพิจารณาองค์ประกอบต่าง ๆ ดังรูปที่ 2.7



รูปที่ 2.7 แบบการประเมินของทาบา Taba (1962 : 413-444)

3. รูปแบบการประเมินของซิปป์ (The CIPP Model of Evaluation) แบบจำลองซิปป์เป็นการประเมินเพื่อให้ได้รายละเอียดต่างๆ เพื่อช่วยในการตัดสินใจเกี่ยวกับโครงการ เนื่องจากการประเมินจะบ่งชี้จุดเด่น จุดด้อยของโครงการ เพื่อที่จะได้นำผลไปปรับปรุงโครงการได้ทันท่วงที และมีการประเมินรวมสรุปหลังโครงการสิ้นสุด เพื่อบ่งชี้ผลสัมฤทธิ์ของโครงการด้วย (ศิริวิทย์ สุขหลาย และคณะ 2528 : 184) ซึ่งมีการประเมินในด้านต่างๆ ดังนี้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.1 การประเมินบริบท หรือสภาวะแวดล้อม (Context Evaluation) การประเมินสภาวะแวดล้อมเป็นรูปแบบพื้นฐานของการประเมินโดยทั่วๆ ไป เป็นการประเมินเพื่อให้ได้มาซึ่งเหตุผลเพื่อช่วยในการกำหนดจุดประสงค์ของโครงการ

3.2 การประเมินปัจจัยเบื้องต้น (Input Evaluation) เป็นการจัดหาข้อมูลเพื่อใช้ในการตัดสินความเหมาะสมของแผนงานต่างๆ ที่จัดขึ้น โดยดูว่าข้อมูลนั้นจะมีส่วนช่วยให้บรรลุจุดมุ่งหมายของโครงการหรือไม่ ซึ่งจะประเมินในด้านต่างๆ คือ

3.2.1 ความสามารถของหน่วยงานหรือตัวแทนในโครงการ

3.2.2 ยุทธวิธีที่ใช้ในการบรรลุวัตถุประสงค์ของโครงการ

3.2.3 การได้รับความช่วยเหลือในด้านต่างๆ ซึ่งจะช่วยให้โครงการดำเนินไปได้ เช่น หน่วยงานที่จะช่วยเหลือ เวลา เงินทุน อาคาร สถานที่ อุปกรณ์ และเครื่องมือ เป็นต้น

3.3 การประเมินกระบวนการ (Process Evaluation) เป็นการประเมินผลโดยมีวัตถุประสงค์ใหญ่ๆ อยู่ 3 ประการ คือ

3.3.1 เพื่อหาและทำนายข้อบกพร่องของกระบวนการหรือการดำเนินการตามขั้นตอนที่วางไว้

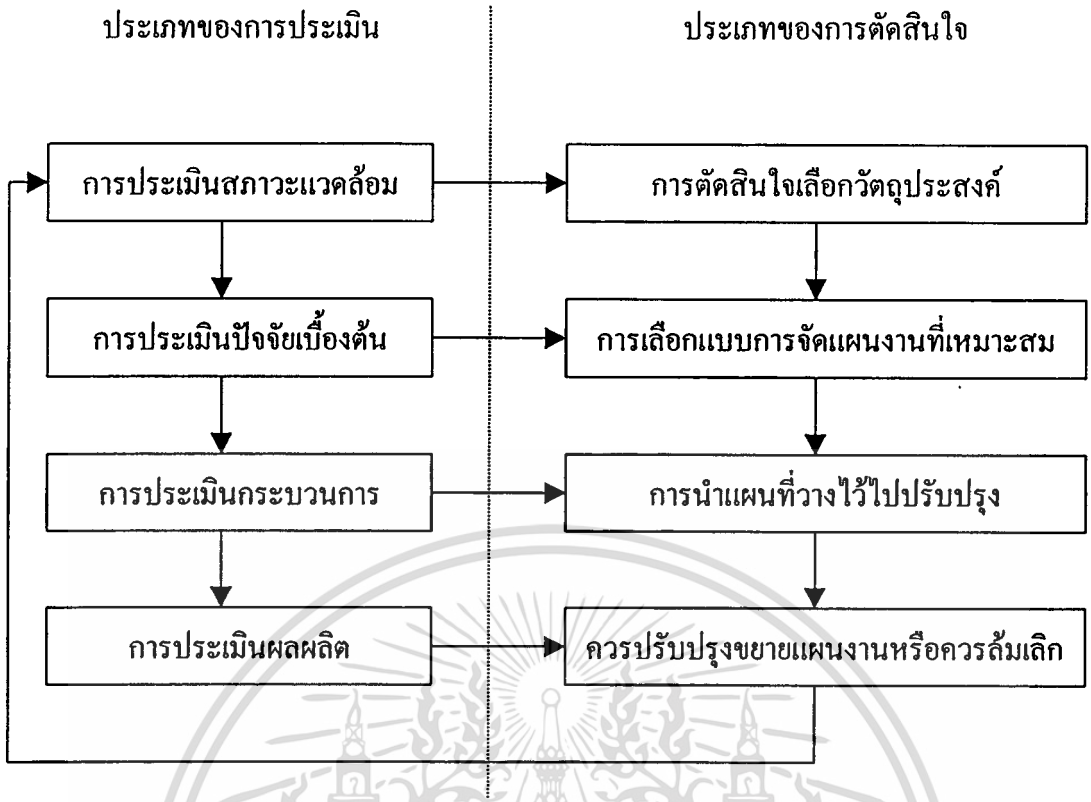
3.3.2 เพื่อรวบรวมสารสนเทศสำหรับผู้ตัดสินใจวางแผนงาน

3.3.3 เพื่อเป็นรายงานสะสมถึงการปฏิบัติต่างๆ ที่เกิดขึ้น

3.4 การประเมินผลผลิต (Product Evaluation) มีจุดมุ่งหมายเพื่อวัด และแปลความหมายของความสำเร็จ ไม่เฉพาะเมื่อสิ้นสุดวัฏจักรของโครงการเท่านั้น แต่ยังมีความจำเป็นอย่างยิ่งในระหว่างการปฏิบัติตามโครงการด้วย ซึ่งการประเมินผลผลิตจะรวมเรื่องต่อไปนี้เข้าไว้ด้วยกัน คือ การดูว่าการกำหนดวัตถุประสงค์นั้นนำไปใช้ได้หรือไม่ เกณฑ์ในการวัดที่สัมพันธ์กับวัตถุประสงค์ของการทำกิจกรรมคืออะไร เปรียบเทียบผลที่วัดมาได้กับมาตรฐานสัมบูรณ์ (Absolute Criteria) หรือมาตรฐานสัมพันธ์ (Relative Criteria) ที่กำหนดไว้ก่อน และทำการแปลความหมายถึงเหตุของสิ่งที่เกิดขึ้น โดยอาศัยรายงานจากการประเมินสภาวะแวดล้อม ปัจจัย และกระบวนการร่วมด้วย (ศิริวิทย์ สุขหลาย และคณะ 2528 : 184-190)

ตามแบบประเมินโครงการที่กล่าวมาข้างต้นจะเห็นว่าการประเมินตามรูปแบบของซิปป์นั้นเป็นการประเมินเพื่อให้ได้ข้อมูลในด้านต่างๆ สำหรับประกอบการตัดสินใจ คือ ประเมินด้านสภาวะแวดล้อม เพื่อให้ได้ข้อมูลประกอบการตัดสินใจเลือกวัตถุประสงค์ ประเมินปัจจัยเบื้องต้นเพื่อให้ได้ข้อมูลเลือกแบบการจัดแผนงานที่เหมาะสมที่สุด ประเมินกระบวนการเพื่อพิจารณาแผนที่วางไว้ไปปรับปรุง และการประเมินผลผลิตเพื่อการปรับปรุงขยายแผนงานหรือควรล้มเลิก การประเมินกับการตัดสินใจดังกล่าว แสดงดังรูปที่ 2.8 ดังนี้ (สมหวัง พิธิยานุวัฒน์ 2525 : 194)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.8 ความสัมพันธ์ระหว่างการประเมินกับการตัดสินใจในแบบจำลอง CIPP (สมหวัง พิธิยานุวัฒน์ 2525 : 194)

ตามความหมาย ความสำคัญ และความจำเป็นของการประเมินโครงการโดยนำเอารูปแบบการประเมินของซิปป์มาประยุกต์ใช้ เพราะว่าเป็นแบบจำลองที่ง่ายแก่การปฏิบัติ และครอบคลุมการตัดสินใจทั้งหมด นับตั้งแต่การกำหนดวัตถุประสงค์ของโครงการ การตัดสินใจเกี่ยวกับสิ่งนำเข้าและกระบวนการดำเนินงาน นอกจากนี้ ยังช่วยในการตัดสินใจและปรับปรุงกระบวนการดำเนินงานในระหว่างดำเนินงานอีกด้วย จึงนับว่าการประเมินผลแบบ CIPP ของ Stufflebeam และคณะนี้สามารถครอบคลุมตั้งแต่จุดเริ่มแรกของโครงการจนถึงเสร็จสิ้นโครงการ

2.4.4 การหาประสิทธิภาพของการฝึกอบรม

ชัยยงค์ พรหมวงศ์ (2521 : 134-140) ได้กล่าวถึงขั้นตอนการหาประสิทธิภาพของการฝึกอบรมโดยใช้สูตร E1/E2 ดังนี้

1. การกำหนดเกณฑ์ประสิทธิภาพ ทำโดยการประเมินพฤติกรรมของผู้เข้ารับการฝึกอบรม 2 ประเภท คือ พฤติกรรมต่อเนื่อง (กระบวนการ) และพฤติกรรมสุดท้าย (ผลลัพธ์) โดยการกำหนดค่าประสิทธิภาพเป็น E1 (ประสิทธิภาพกระบวนการ) และ E2 (ประสิทธิภาพผลลัพธ์) ประสิทธิภาพของการฝึกอบรมจะเป็นเกณฑ์ที่ผู้สอนคาดหมายว่า ผู้เข้ารับการฝึกอบรมจะเปลี่ยนแปลงพฤติกรรม

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เป็นที่พอใจ โดยกำหนดเป็นค่าเฉลี่ยคิดเป็นร้อยละของคะแนนที่ได้ จากการทำแบบทดสอบหลังเข้ารับการฝึกอบรมของผู้เข้ารับการฝึกอบรมทั้งหมด นั้นคือ E1/E2 หรือประสิทธิภาพของกระบวนการ/ประสิทธิภาพของผลลัพธ์

การที่จะกำหนดเกณฑ์ E1/E2 ให้มีค่าเท่าใดนั้น ให้ผู้สอนเป็นผู้พิจารณา โดยปกติเนื้อหาที่เกี่ยวกับความรู้ความจำ มักตั้งที่ 80/80, 85/85 หรือ 90/90 ส่วนเนื้อหาที่เป็นทักษะ หรือเจตคติอาจตั้งไว้ 70/70 หรือ 75/75

การกำหนดประสิทธิภาพของบทเรียนโปรแกรมนิยมกำหนดเป็น 80/80 สำหรับเนื้อหาที่เกี่ยวกับความรู้ความจำ โดยมีความคลาดเคลื่อน ± 2.5 %

80 ตัวแรก หมายถึง ผู้เข้ารับการฝึกอบรมทั้งหมดสามารถทำแบบฝึกหัดระหว่างฝึกอบรมได้ผลเฉลี่ย 80%

80 ตัวหลัง หมายถึง ผู้เข้ารับการฝึกอบรมทั้งหมดสามารถทำแบบทดสอบหลังฝึกอบรมได้ผลเฉลี่ย 80%

2. คำนวณหาประสิทธิภาพ โดยการใช้สูตร E1/E2 โดย E1 และ E2 ได้มาจาก

$$E_1 = \frac{\sum X / N}{A} \times 100$$

$$E_2 = \frac{\sum F / N}{B} \times 100$$

เมื่อ E_1 หมายถึง ประสิทธิภาพของกระบวนการ

E_2 หมายถึง ประสิทธิภาพของผลลัพธ์

$\sum X$ หมายถึง คะแนนรวมของแบบฝึกหัด

$\sum F$ หมายถึง คะแนนรวมของผลลัพธ์จากการทำแบบทดสอบหลังฝึกอบรม

N หมายถึง จำนวนผู้เข้ารับการฝึกอบรมทั้งหมด

A หมายถึง คะแนนเต็มของแบบฝึกหัดทุกชิ้นรวมกัน

B หมายถึง คะแนนเต็มของการสอบหลังฝึกอบรม

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.5 ภาษา VHDL

ภาษา VHDL หรือ VHSIC (Very High Speed Integrated Circuit) Hardware Description Language ซึ่งเป็นภาษาที่พัฒนาขึ้นโดยกระทรวงกลาโหมของสหรัฐในช่วงปี 1980 โดยเป้าหมายของโครงการนี้คือ เพื่อพัฒนาขีดความสามารถในการออกแบบวงจรรวมให้สูงขึ้นและสามารถทำได้ง่ายมากยิ่งขึ้น เป้าหมายหลักของการพัฒนาภาษา VHDL มี 2 ประการคือ

1. เนื่องจากนักออกแบบวงจรรวมมีความต้องการภาษาที่รองรับการออกแบบวงจรที่ซับซ้อน

2. นักออกแบบต้องการภาษาที่เป็นมาตรฐานหรือเป็นภาษากลางที่ทำให้สามารถเผยแพร่ผลงานการออกแบบกันภายในกลุ่มนักออกแบบด้วยกันได้ภาษา

ในปี 1986 ภาษา VHDL ได้เริ่มมีการปรับปรุงภาษา VHDL เพื่อให้สามารถกำหนดเป็นมาตรฐานของ IEEE โดยสามารถประกาศเป็นมาตรฐานได้ในเดือนธันวาคมปี 1987 โดยอยู่ในหมวด IEEE 1076 – 1987 หลังจากนั้นได้มีการพัฒนาปรับปรุงอย่างต่อเนื่องโดยได้มีประกาศปรับปรุงอีกครั้งอีกครั้งในปี 1993 ซึ่งเรียกว่า IEEE 1076 – 1993 โดยได้มีการเพิ่มเติม Syntax พิเศษเพื่อให้ผู้ใช้สามารถใช้งานได้สะดวกมากยิ่งขึ้น สำหรับขีดความสามารถในการออกแบบโดยใช้ภาษา VHDL นั้นสามารถออกแบบได้เฉพาะวงจรที่มีลักษณะเป็น Digital เท่านั้นส่วนวงจรที่เป็น Analog ในขณะนี้ยังไม่สามารถออกแบบได้โดยการใช้ภาษา VHDL แต่จะทำได้ในอนาคต

2.5.1 ข้อดีของภาษา VHDL

1. Standard VHDL เป็นมาตรฐานของ IEEE ทำให้มี Tools และบริษัทที่สนับสนุนการทำงานมากมาย นอกจากนี้วงจรที่ออกแบบโดย VHDL จะใช้งานได้นานเนื่องจากมีความเข้ากันได้ของภาษากับวงจรที่ออกแบบใหม่

2. Government Support เนื่องจาก VHDL ได้รับการพัฒนาโดยกระทรวงกลาโหมของสหรัฐอเมริกา ดังนั้นการออกแบบวงจรโดยใช้ภาษา VHDL จึงได้รับการสนับสนุนจากรัฐบาลสหรัฐอเมริกา

3. Industrial Support เนื่องจากภาษา VHDL เป็นภาษาที่เป็นมาตรฐานของ IEEE จึงมีอุตสาหกรรมจำนวนมากที่รองรับการออกแบบที่ใช้ภาษา VHDL

4. Portability การออกแบบโดยใช้ภาษา VHDL สามารถนำไปจำลองการทำงานหรือสังเคราะห์ด้วย Software ที่รองรับภาษา VHDL จึงทำให้การออกแบบด้วยภาษา VHDL จึงเป็นการออกแบบที่ไม่ยึดติดกับ Software ที่ใช้ในการออกแบบ

5. Modeling Capability ผู้ออกแบบวงจรสามารถออกแบบวงจรได้หลายระดับตั้งแต่ระดับ Electronic Boxes ถึงระดับทรานซิสเตอร์ และสามารถออกแบบวงจรที่มีความซับซ้อนสูง และมีขนาดใหญ่มากได้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

6. Reusability วงจรที่ออกแบบโดยภาษา VHDL สามารถนำกลับมาใช้ใหม่ได้ง่าย เนื่องจากสามารถเปลี่ยนแปลงแก้ไขวงจรได้

7. Documentation เป็นภาษาที่อยู่ในรูปแบบบรรยายพฤติกรรม ทำให้สามารถอธิบายการทำงานของวงจรภายในได้ทันที

2.5.2 การใช้งานภาษา VHDL

1. Document Language ใช้สำหรับบรรยายรายละเอียดการทำงานของวงจรที่ออกแบบ

2. Design Language ใช้สำหรับออกแบบวงจรที่มีความซับซ้อนสูงเพื่อใช้สำหรับการจำลองการทำงาน

3. Verification Language ใช้ในการตรวจสอบการทำงานของวงจรที่ออกแบบว่าถูกต้องหรือไม่

4. Test Language ใช้สำหรับสร้าง Test Vector เพื่อใช้สำหรับเป็นข้อมูลที่ใช้สำหรับทดสอบการทำงานของวงจรที่ออกแบบ

5. Synthesis Language ใช้สำหรับสร้างวงจรจริงเพื่อนำไป Implement เป็น Hardware ต่อไป

2.5.3 วิธีการออกแบบระบบอิเล็กทรอนิกส์

การออกแบบระบบอิเล็กทรอนิกส์ จะเริ่มต้นจากการกำหนดหน้าที่การทำงานของระบบอิเล็กทรอนิกส์ที่ต้องการซึ่งโดยส่วนใหญ่แล้วระบบอิเล็กทรอนิกส์มักประกอบด้วย 2 ส่วนคือส่วนที่เป็น Hardware และส่วนที่เป็น Software โดยทั่วไปแล้วการออกแบบทั้ง 2 ส่วนดังกล่าวนี้จะต้องทำไปพร้อมๆ กัน หลังจากนั้นจะเป็นขั้นตอนการกำหนดหน้าที่การทำงานของ Hardware และ Software โดยสำหรับการออกแบบทางด้าน Hardware สามารถเลือกได้ว่าต้องการออกแบบเป็น ASIC, FPGA, PLD หรือจาก Standard Component ที่มีขายอยู่ในท้องตลาด สำหรับการออกแบบทางด้าน Software ผู้ออกแบบสามารถเลือกใช้ภาษา Programming ต่างๆ เช่น ภาษา C/C++ ภาษา Assembly เป็นต้น สำหรับในการออกแบบทาง Firmware และ Application โดยในระหว่างการออกแบบนั้น ผู้ออกแบบทั้งทางด้าน Hardware และ Software จะต้องมีการทดสอบการทำงานร่วมกันเพื่อทำให้สามารถแก้ไขความผิดพลาดในการออกแบบที่เกิดขึ้นได้

2.5.4 การออกแบบ แบบบนลงล่าง (Top-Down Design)

เป็นการออกแบบที่เน้นความถูกต้องและประสิทธิภาพในการทำงานของวงจรที่ออกแบบโดยจะใช้การออกแบบ ในลักษณะที่เรียกว่า High-Level Behavioral Description จะมีการแบ่งวงจรทั้งหมดที่ต้องการออกแบบออกเป็นส่วน แล้วทำการออกแบบในแต่ละส่วน จึงจะทำการจำลองการทำงานของวงจร โดยแต่ละส่วนแยกอิสระออกจากกันเพื่อตรวจสอบความถูกต้อง ของหน้าที่การทำงานของวงจรและประสิทธิภาพการทำงานของวงจร ขั้นต่อไปจะนำการออกแบบไปสังเคราะห์เพื่อให้ได้เป็นวงจรในระดับ Gate Level แล้วทำการจำลองการทำงาน เพื่อตรวจสอบความล่าช้าของงานทำงานภายในวงจร และทดสอบประสิทธิภาพการทำงานของวงจรก่อนที่จะนำไป Implement เป็น Hardware

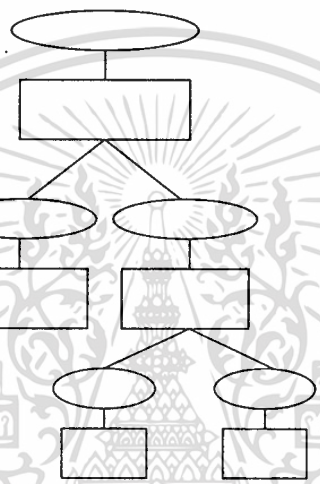
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.5.5 รูปแบบในการเขียนภาษา VHDL

2.5.5.1 Structural คือ วิธีการออกแบบโดยการแตกองค์ประกอบออกเป็นบล็อกย่อย ๆ ซึ่งแต่ละบล็อกนี้จะเชื่อมต่อเป็นวงจรสมบูรณ์ แต่ละบล็อกจะประกอบไปด้วยคอมโพเนนต์ (Component) ที่มีอยู่ Design Entity เป็น Conceptually เก็บไว้ใน Design Library ที่กำหนดไว้ใน VHDL จะมีอยู่ด้วยกัน 2 ตัว คือ STD กับ WORK STD เป็น Declaration for Predefined เช่นคำว่า BIT ส่วน WORK เป็น Library ใน Working Direction เป็นต้น

Hierarchical Structures

ใช้หลักการแยกองค์ประกอบออกมาเป็นส่วนย่อย ๆ เพื่อลดความซับซ้อน ดังรูปที่ 2.9



รูปที่ 2.9 หลักการแยกองค์ประกอบออกมาเป็นส่วนๆ เพื่อลดความซับซ้อน

การออกแบบ Structural

รูปที่ 2.10 การออกแบบลอจิกไดอะแกรมโดยใช้โครงสร้างแบบ Structural

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
- - Interface
entity MAJORITY is
        port
        (
                A_IN,B_IN,C_IN :    in      BIT;
                Z_OUT          :            out     BIT
        );
end  MAJORITY
- -Body
architecture STRUCTURE of MAJORITY is
                port
                (
                        A,B,C  :    in      BIT;
                        Z      :    out     BIT
                );
        end component
        - -Declare signals to interconnect logic operators
        signal  INT1,INT2,INT3 :    BIY;
begin
        - -Connect logic operators to describe schematic
        A1: AND2_OP port map (A_IN, B_IN, INT1);
        A2: AND2_OP port map (A_IN, C_IN, INT2);
        A3: AND2_OP port map (B_IN,C_IN, INT3);
        O1 :OR3_OP port map (INT, INT2, INT3, Z_OUT);
end STRUCTURE;
```

ใน Architecture ประกอบด้วย 2 ส่วน (Declaration and Statement)

1. Declarative Part สามารถกำหนดได้ 2 อย่าง

   1.1 Component Declaration (คล้ายกับ Entity Declaration)

   1.2 Signal Declaration (เป็นสัญญาณที่ใช้ภายใน)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2. Statement Part ประกอบด้วย Component Instantiation สำหรับอธิบายการเชื่อมต่อระหว่าง Component คือ บรรทัดที่ประกอบด้วย Label, Component Name, Define Mapping Signal และ Name Association

2.5.5.2 Behavioral เป็นการออกแบบที่ไม่ต้องสนใจถึงวิธีการสร้างวงจร สำหรับการใช้งานจริง มักจะใช้เพื่อประโยชน์ 2 ประการ ดังนี้

1. ทดสอบการทำงานในระบบที่ซับซ้อน เช่น การจำลองการทำงานวงจรที่ออกแบบขึ้นเชื่อมต่อกับไมโครโพรเซสเซอร์ เป็นต้น

2. เป็นการออกแบบที่สะดวก และใช้งานง่าย การออกแบบ Behavior สามารถใช้งาน Process โดยใส่ไว้ใน Body ของ Architecture เช่นเดียวกันกับ Signal Assignment แต่ Process สามารถใช้คำสั่ง Sequential (ทำงานเป็นลำดับ) ได้เหมือนภาษาสูงทั่วไป เช่น ซี หรือปาสคาล เป็นต้น ยกตัวอย่างคำสั่ง if-then-else, for-loop และภายใน Process สามารถมี Signal Assignment บรรจุอยู่ได้

การออกแบบ Behavioral

```
entity MUX is
        port
        (
                A,B,Sel :       in      BIT;
                Z       :       out     BIT
        );
end MUX;
architecture Behavior of MUX is
begin
        process (A,B.Sel)
        begin
                if Sel ='1' then
                        Z<=A;
                        Else
                                Z<=B;
                End if;
        end process;
end Behavior;
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.5.5.3 Data Flow เป็นวิธีการออกแบบที่อธิบายว่า สัญญาณอินพุต และเอาท์พุตนั้นเชื่อมต่อกันอย่างไร หรือพูดได้อีกแบบหนึ่งว่า สัญญาณต่าง ๆ มีการไหลอย่างไรในวงจร

การออกแบบ Data Flow

```
entity adder is
        port
        (
                        a       :       in  BIT;
                        b       :       in  BIT;
                        Cin     :       in  BIT;
                        sum     :       out  BIT;
                        cout    :       out  BIT
        );
end  adder;

architecture  dataflow of adder is
begin
        sum     <=      a xor b xor Cin;
        cout    <=      (a and b) or (a and Cin) or (b and Cin);
end dataflow;
```

2.5.6 โมเดลที่ใช้ในการทดสอบ

Test Bench คือโปรแกรมที่ทดสอบการทำงานโดยการส่งค่าไปยังวงจรที่ออกแบบขึ้นแทนการใช้คำสั่ง Force Signal การสร้าง Test Bench เหมือนการสร้างคอมโพเน็นท์หนึ่ง ซึ่งจะต้องประกอบด้วย entity และ architecture แต่ Test Bench จะไม่มี Interface เพราะไม่มีสัญญาณเข้าออกจากคอมโพเน็นท์ การเขียนโปรแกรม Test Bench นิยมเขียนแบบ Behavior เนื่องจากสะดวก และง่าย สามารถใช้คำสั่ง Sequential ได้

การออกแบบ testbench

```
entity testbench is
end;
architecture behavior of testbench is
        component adder4bit
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
        (
                A,B     :       in      bit_vector (3 downto 0);
                S       :       out     bit_vector (3 downto 0);
                Co      :       out     bit
        );
    end component;
        signal  a,b,sum :       bit_vector(3 downto 0);
        signal  cout    :       bit;
begin
        adder : adder4bit port map (A => a, B =>b,S => sum, Co => cout);
    test :  process
    begin
        A <= "1011";
        B <= "0100";
        wait for 100 ns;
        A <= "0011";
        B <= "1100";
        wait for 100 ns;
        A <= "1111";
        B <= "0001";
        wait for 100 ns;
        B <= "1111";
        wait;
        end process;
end behavior;
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.6 เอกสารและงานวิจัยที่เกี่ยวข้อง

เนื่องจากงานวิจัยที่เกี่ยวข้องกับการพัฒนาหลักสูตรฝึกอบรม การออกแบบวงจรดิจิตอลด้วยภาษา VHDL ขั้นพื้นฐาน ยังไม่มีผู้ใดทำไว้ จึงมีเพียงงานวิจัยที่เกี่ยวข้องกับการสร้างและประเมินหลักสูตร

สมสวย สะหรั่งบิน (2538 : 78 – 84) ได้ศึกษาวิจัยเรื่อง การสร้างหลักสูตรการฝึกอบรมสิ่งแวดล้อมศึกษา เรื่องการจัดการขยะมูลฝอยในครัวเรือน สำหรับคณะกรรมการชุมชนเขต เทศบาลเมืองนครปฐม โดยแบ่งการวิจัยออกเป็น 3 ขั้นตอน คือ ขั้นตอนที่ 1 ขั้นเตรียมหลักสูตร โดยศึกษาเอกสารและงานวิจัย และสำรวจสภาพปัญหาและความจำเป็นในการอบรมด้วยแบบสอบถาม ขั้นที่ 2 สร้างหลักสูตร ประกอบไปด้วยวัตถุประสงค์ ความคิดรวบยอด เนื้อหาวิชา วิธีการดำเนินการฝึกอบรม ระยะเวลา สื่อ อุปกรณ์ การวัดและการประเมินผล โดยนำหลักสูตรมาทดลองใช้กับกลุ่มตัวอย่าง 30 คน ให้ผู้เข้าอบรมประเมินผลหลักสูตร พบว่าผู้รับการอบรมมีความตระหนักมากกว่าก่อนอบรมอย่างมีนัยสำคัญทางสถิติที่ 0.05

ชาพงษ์ ประทุมวินิจ (2538 : บทคัดย่อ) ได้ศึกษาวิจัยเรื่อง การสร้างหลักสูตรและชุดฝึกอบรมเรื่องระบบควบคุมการทำงาน ของเครื่องยนต์ด้วยอิเล็กทรอนิกส์ สำหรับพัฒนาครู-อาจารย์ สาขาวิชาช่างยนต์ การวิจัยครั้งนี้ มีวัตถุประสงค์ เพื่อสร้างหลักสูตร และชุดฝึกอบรม ใช้เพิ่มพูนความรู้และทักษะ ให้กับครู-อาจารย์ ในสาขาวิชาช่างยนต์ เรื่องระบบควบคุม การทำงานเครื่องยนต์ ด้วยอิเล็กทรอนิกส์ โดยหลักสูตร และชุดฝึกอบรม ที่ผ่านเกณฑ์ประเมิน ของผู้เชี่ยวชาญ นำไปใช้ฝึกอบรม มีประสิทธิภาพ 80/75 และครู-อาจารย์มีทัศนคติ ที่ดีต่อชุดฝึกอบรม ที่ได้ทำการพัฒนาขึ้นผู้วิจัยได้นำชุดฝึกอบรม ไปทดลองกับ กลุ่มตัวอย่าง เป็นครู-อาจารย์ ที่สอน ในสาขาวิชาช่างยนต์สังกัดกองวิทยาลัยเทคนิค กรมอาชีวศึกษา จำนวน 20 คน ผลการทดลองปรากฏว่า หลักสูตรผ่านเกณฑ์ประเมิน ของผู้เชี่ยวชาญในระดับเหมาะสมมาก และชุดฝึกอบรม มีประสิทธิภาพ ทางการอบรม 88.7/79 และผู้เข้ารับ การฝึกอบรมมี ทัศนคติระดับ 4.06 คือมีทัศนคติที่ดี ต่อหลักสูตร และการฝึกอบรม แสดงให้เห็นได้ชัดว่า หลักสูตรและชุดฝึกอบรม เรื่องระบบควบคุมการทำงานของเครื่องยนต์ด้วยอิเล็กทรอนิกส์ที่ใช้สำหรับพัฒนาครู-อาจารย์ สาขาวิชาช่างยนต์ มีประสิทธิภาพสูงกว่าเกณฑ์ และสามารถนำไปใช้ฝึกอบรม ครู-อาจารย์ สาขาวิชาช่างยนต์ เพื่อขยายผลต่อไปได้

คณิต เฉลยจรรยา (2543 : บทคัดย่อ) ได้ศึกษาวิจัยเรื่องการพัฒนาหลักสูตรการฝึกอบรมการบำรุงรักษาทวีผลที่ทุกคนมีส่วนร่วมในอุตสาหกรรมการผลิต หลักสูตรที่ผู้วิจัยได้พัฒนาขึ้นใหม่นี้ได้นำไปทดลองโดยการฝึกอบรมกับกลุ่มตัวอย่าง 3 กลุ่ม ซึ่งเลือกมาแบบเจาะจง ประกอบด้วยผู้บริหาร 20 คน หัวหน้างาน 27 คน และพนักงาน 10 คน ทั้งหมดเป็นบุคลากรของบริษัทไทยกูลิโกะ จำกัด ระยะเวลาในการอบรมสำหรับบุคลากรทั้ง 3 กลุ่มคือ 1 วัน 3 วัน และ 2 วัน ตามลำดับ การทดลองในแต่ละกลุ่มได้ทดสอบความรู้ทางทฤษฎีก่อนและหลัง การฝึกอบรม สำหรับพนักงานระดับปฏิบัติการจะทดสอบทักษะด้านการปฏิบัติงานในกิจกรรมการบำรุงรักษา ด้วยตนเองร่วมด้วย

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ หาประโยชน์เชิงพาณิชย์ ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

และหลังการฝึกอบรมกลุ่มตัวอย่างทุกคนได้รับแบบสอบถามเพื่อประเมินความคิดเห็นต่อหลักสูตร ผลการวิจัยพบว่าผลสัมฤทธิ์ของผู้เข้าอบรมทั้ง 3 หลักสูตร มีคะแนนเฉลี่ยก่อนและหลังการฝึกอบรมแตกต่างกัน อย่างมีนัยสำคัญทางสถิติที่ระดับ 0.01 โดยมีคะแนนวัดผลหลังการฝึกอบรมสูงกว่าคะแนนวัดผลก่อนการฝึกอบรม พนักงานระดับปฏิบัติการ มีผลคะแนนเฉลี่ยการปฏิบัติงานในกิจกรรมการบำรุงรักษาด้วยตนเอง ร้อยละ 87.31 สูงกว่าเกณฑ์ที่กำหนดไว้คือร้อยละ 80 ผู้เข้าอบรมทั้ง 3 ระดับมีความคิดเห็นต่อหลักสูตรการฝึกอบรมอยู่ในระดับดี ผลการวิจัยสรุปได้ว่า หลักสูตรการฝึกอบรมที่ผู้วิจัยสร้างขึ้นมีความเหมาะสม สามารถนำไปใช้ฝึกอบรมบุคลากร ของสถานประกอบการได้ดี และสามารถนำไปใช้ในการเรียนการสอนของสถาบันการศึกษาที่เกี่ยวข้องกับอุตสาหกรรมได้อีกทางหนึ่ง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 3
วิธีดำเนินการวิจัย

การพัฒนาหลักสูตรฝึกอบรมเรื่องการออกแบบวงจรดิจิตอลด้วยภาษา VHDL ขั้นพื้นฐาน มีขั้นตอนการวิจัยดังต่อไปนี้

3.1 ประชากรและกลุ่มตัวอย่าง

3.2 เครื่องมือที่ใช้ในการวิจัย

3.3 การสร้างเครื่องมือ

3.4 การเก็บรวบรวมข้อมูล

3.5 การวิเคราะห์ข้อมูล

3.6 สถิติที่ใช้ในการวิเคราะห์ข้อมูล

3.1 ประชากรและกลุ่มตัวอย่าง

ประชากรที่ใช้ในการวิจัย คือ นักศึกษาหลักสูตรครุศาสตร์อุตสาหกรรมบัณฑิต สาขาวิชาอิเล็กทรอนิกส์และคอมพิวเตอร์ ชั้นปีที่ 2 ภาควิชาครุศาสตร์วิศวกรรม คณะครุศาสตร์อุตสาหกรรม สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง ประจำปีการศึกษา 2545 จำนวน 74 คน

กลุ่มตัวอย่างที่ใช้ในการวิจัยใช้วิธีสุ่มอย่างง่าย (Simple Random Sampling) ด้วยวิธีสุ่มตามตารางเลขสุ่มของ Krejcie and Morgan (1970 : 607 – 610) จากประชากรทั้งหมด จำนวน 15 คน

3.2 เครื่องมือที่ใช้ในการวิจัย

เครื่องมือที่ใช้ในการวิจัย คือ

3.2.1 หลักสูตรฝึกอบรมการออกแบบวงจรดิจิตอลด้วยภาษา VHDL ขั้นพื้นฐาน

3.2.2 แบบทดสอบก่อนและหลังฝึกอบรมการออกแบบวงจรดิจิตอลด้วยภาษา VHDL ขั้นพื้นฐาน

3.2.3 แบบทดสอบระหว่างฝึกอบรมการออกแบบวงจรดิจิตอลด้วยภาษา VHDL ขั้นพื้นฐาน

3.2.4 แบบประเมินคุณภาพด้านเนื้อหาของผู้ทรงคุณวุฒิ

3.2.5 คู่มือการฝึกอบรมการออกแบบวงจรดิจิตอลด้วยภาษา VHDL ขั้นพื้นฐาน

3.2.6 แบบฝึกหัดการออกแบบวงจรดิจิตอลด้วยภาษา VHDL ขั้นพื้นฐานจำนวน 6 หน่วยฝึกอบรม

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.3 การสร้างเครื่องมือ

3.3.1 การพัฒนาหลักสูตรการฝึกอบรมการออกแบบวงจรดิจิตอลด้วยภาษา VHDL ขั้นพื้นฐาน ผู้วิจัยได้ดำเนินการพัฒนาหลักสูตร โดยมีรายละเอียดดังนี้

3.3.1.1 ศึกษาเอกสารและงานวิจัยที่เกี่ยวข้อง

3.3.1.2 ศึกษาโครงสร้างของภาษาบรรยายพฤติกรรม VHDL

3.3.1.3 วิเคราะห์เนื้อหา และกำหนดวัตถุประสงค์เชิงพฤติกรรมของหลักสูตรที่ใช้ในการฝึกอบรม

3.3.1.4 จัดลำดับเนื้อหา ให้สอดคล้องกับวัตถุประสงค์ พร้อมทั้งคำนึงถึงหลักการจัดกิจกรรมขณะฝึกอบรมให้อาจารย์ผู้ควบคุมวิทยานิพนธ์ และอาจารย์ผู้ควบคุมวิทยานิพนธ์ร่วมตรวจสอบโครงร่างหลักสูตรการฝึกอบรม เพื่อหาข้อบกพร่องของหลักสูตรและองค์ประกอบต่างๆ เพื่อผู้วิจัยจะได้นำมาปรับปรุงแก้ไขให้สมบูรณ์ต่อไป

3.3.1.5 ดำเนินการพัฒนาหลักสูตรฝึกอบรม การออกแบบวงจรดิจิตอลด้วยภาษา VHDL ขั้นพื้นฐาน

3.3.1.6 นำหลักสูตรที่พัฒนาขึ้นเสนอต่ออาจารย์ผู้ควบคุมวิทยานิพนธ์ อาจารย์ผู้ควบคุมวิทยานิพนธ์ร่วมตรวจสอบ

3.3.1.7 นำหลักสูตรที่ได้รับการแก้ไขแล้ว ไปให้ผู้ทรงคุณวุฒิประเมินคุณภาพด้านเนื้อหา โดยผู้ทรงคุณวุฒิมีรายนามดังนี้

1. ผศ.ธีรวัฒน์ ประกอบผล ตำแหน่ง ผู้ช่วยศาสตราจารย์ประจำภาควิชาฟิสิกส์ คณะวิทยาศาสตร์ สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง
2. ดร.สุรสิทธิ์ ราตรี ตำแหน่ง อาจารย์ประจำภาควิชาครุศาสตร์วิศวกรรม คณะครุศาสตร์อุตสาหกรรม สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง
3. ดร.นวลปภัสร์ แผ้วสกุล ตำแหน่ง ศึกษานิเทศก์ 8 หน่วยศึกษานิเทศก์ กรมสามัญศึกษา เขตการศึกษา 12 จังหวัดชลบุรี ผู้เชี่ยวชาญด้านการศึกษา การวิจัยทางการศึกษา และงานนิเทศการศึกษา
4. อาจารย์สมพร ผลประพฤติ ตำแหน่ง อาจารย์ 2 ระดับ 8 แผนกเล็กทรอนิกส์ วิทยาลัยเทคนิคจันทบุรี
5. อาจารย์เอื้อ จานทอง ตำแหน่ง ศึกษานิเทศก์ 7 หน่วยศึกษานิเทศก์ กรมสามัญศึกษา เขตการศึกษา 12 จังหวัดชลบุรี ผู้เชี่ยวชาญทางด้านการจัดการฝึกอบรม การวิจัยทางการศึกษา

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ได้ผลการวิเคราะห์ความคิดเห็นของผู้ทรงคุณวุฒิ จากการตรวจแบบสอบถามทั้ง 5 ท่าน เกี่ยวกับความเหมาะสมของหลักสูตรฝึกอบรมการออกแบบวงจรดิจิตอลด้วยภาษา VHDL ขั้นพื้นฐาน ที่พัฒนาขึ้นพบว่า ระดับความเหมาะสมอยู่ในเกณฑ์ที่ดี มีค่าเฉลี่ย 4.35 เมื่อพิจารณาถึงรายละเอียดในแบบสอบถามเกือบทั้งหมดอยู่ในระดับดี พิจารณาแยกเป็นหน่วยการฝึกอบรมข้อที่มีคะแนนสูงสุดในหน่วยการฝึกอบรมคือข้อที่ 1 คือความสอดคล้องของเนื้อหากับจุดประสงค์เชิงพฤติกรรม ส่วนข้อที่มีคะแนนน้อยที่สุดคือข้อที่ 6 คือบทเรียนมีลักษณะจูงใจและน่าสนใจ
(ดังรายละเอียด ในภาคผนวก ก. ตารางที่ 6.1 หน้า 229)

3.3.1.8 นำหลักสูตรที่ผ่านการประเมินคุณภาพมาทำการแก้ไข และทดลองใช้กับนักศึกษาที่ไม่อยู่ในกลุ่มตัวอย่าง จำนวน 3 คน การทดลองครั้งนี้เป็นการตรวจสอบความเหมาะสมของคู่มือฝึกอบรม บทเรียน ความถูกต้องของเนื้อหา แบบฝึกหัด และอื่น ๆ ในหลักสูตรทั้งหมดเพื่อหาข้อบกพร่องและทำการพัฒนาปรับปรุง

3.3.1.9 ทำการปรับปรุงหลักสูตรแล้วนำเสนอต่ออาจารย์ผู้ควบคุมวิทยานิพนธ์และอาจารย์ผู้ควบคุมวิทยานิพนธ์ร่วมเพื่อตรวจสอบความถูกต้องเหมาะสม

3.3.1.10 นำหลักสูตรที่แก้ไขจากข้อที่ 3.3.1.9 ไปทดลองใช้กับนักศึกษาที่ไม่อยู่ในกลุ่มตัวอย่างจำนวน 5 คน ได้ผลการวิเคราะห์ข้อมูลของผู้เข้ารับการฝึกอบรมหลักสูตร การออกแบบวงจรดิจิตอลด้วยภาษา VHDL ขั้นพื้นฐาน เพื่อหาข้อบกพร่องและทำการพัฒนาปรับปรุง

3.3.1.11 ทำการปรับปรุงหลักสูตรแล้วนำเสนอต่ออาจารย์ผู้ควบคุมวิทยานิพนธ์ และอาจารย์ผู้ควบคุมวิทยานิพนธ์ร่วม เพื่อตรวจสอบความถูกต้องเหมาะสม

3.3.1.12 ทดลองใช้หลักสูตรฝึกอบรม โดยทำการฝึกอบรมกลุ่มตัวอย่างจำนวน 15 คน ตามโครงสร้างหลักสูตรฝึกอบรมการออกแบบวงจรดิจิตอลด้วยภาษา VHDL ขั้นพื้นฐาน ที่ได้ทำการปรับปรุงแก้ไข และได้รับความเห็นชอบจากอาจารย์ผู้ควบคุมวิทยานิพนธ์ อาจารย์ผู้ควบคุมวิทยานิพนธ์ร่วม ตามขั้นตอนดังนี้

(1) ให้กลุ่มตัวอย่างที่เข้ารับการฝึกอบรมทำข้อสอบก่อนเข้ารับการฝึกอบรมเป็นแบบเลือกตอบ 4 ตัวเลือก จำนวน 30 ข้อ

(2) ทำการฝึกอบรมตามโครงสร้างหลักสูตรที่สร้างขึ้น โดยแต่ละหน่วยการฝึกอบรมจะมีการให้แบบฝึกหัดเพื่อทดสอบความรู้ความเข้าใจ และติดตามความก้าวหน้าในการฝึกอบรมเมื่อทำการฝึกอบรมครบแต่ละหน่วยการฝึกอบรมแล้ว ให้กลุ่มตัวอย่างทำแบบทดสอบแบบเลือกตอบ 4 ตัวเลือกซึ่งเป็นคำถามท้ายหน่วยการฝึกอบรม รวมทั้งสิ้นจำนวน 30 ข้อ หลังจากทำการฝึกอบรมครบตามหน่วยฝึกอบรมจำนวน 6 หน่วยฝึกอบรม ให้กลุ่มตัวอย่างที่เข้ารับการฝึกอบรมทำแบบทดสอบแบบเลือกตอบ 4 ตัวเลือกจำนวน 30 ข้อ

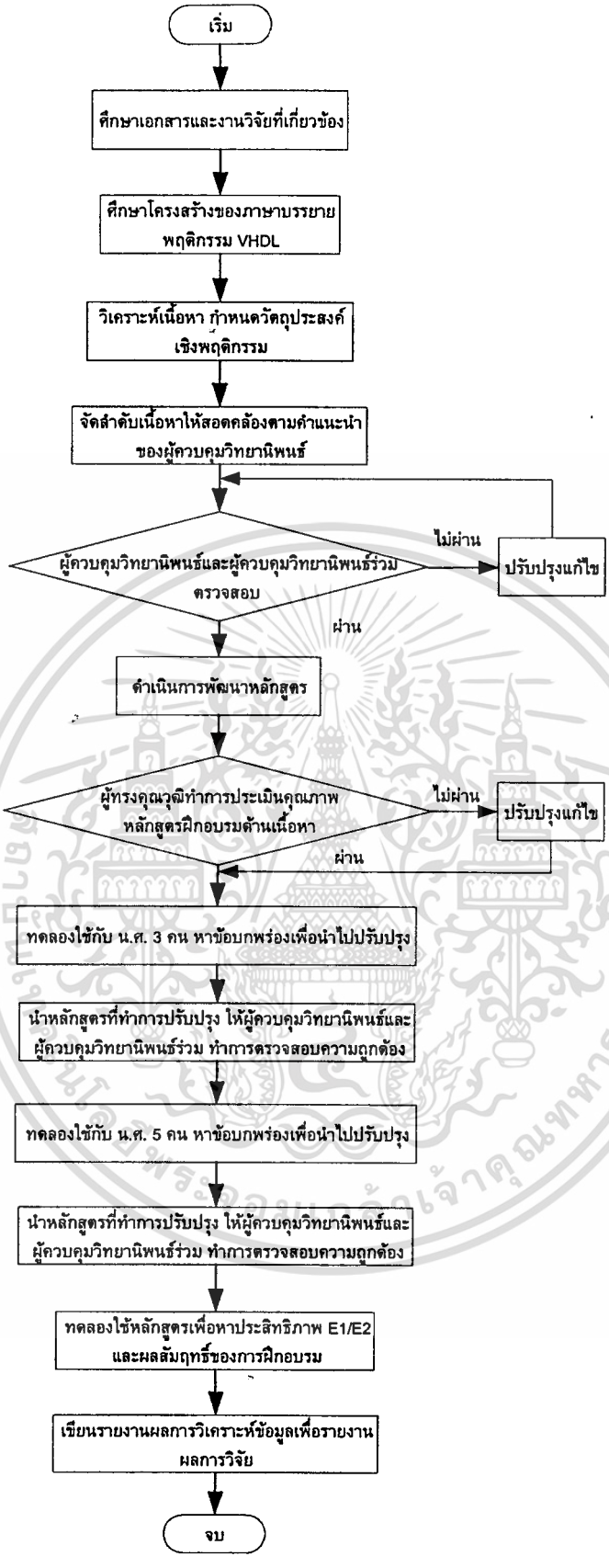
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

(3) หาประสิทธิภาพของ หลักสูตรฝึกอบรมการออกแบบวงจรดิจิตอลด้วยภาษา VHDL ขั้นพื้นฐาน ตามเกณฑ์ที่กำหนด 80 / 80 (E1 / E2)

(4) หาผลสัมฤทธิ์ ในการฝึกอบรมหลักสูตรการออกแบบวงจรดิจิตอลด้วยภาษา VHDL ขั้นพื้นฐาน

(5) เขียนรายงานวิเคราะห์ข้อมูลเพื่อรายงานความเหมาะสมของหลักสูตรประสิทธิภาพของหลักสูตร และผลสัมฤทธิ์ของหลักสูตรที่ได้พัฒนาขึ้น โดยวิธีดำเนินการวิจัยสามารถแสดงดังรูปที่ 3.1

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.1 แสดงขั้นตอนการดำเนินการวิจัยเพื่อพัฒนาหลักสูตรฝึกอบรมการออกแบบวงจรดิจิตอลด้วยภาษา VHDL ขั้นพื้นฐาน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.3.2 การสร้างแบบทดสอบวัดผลสัมฤทธิ์ระหว่างฝึกอบรม (Pre-test, Post-test, E2)

การสร้างแบบทดสอบวัดผลสัมฤทธิ์การฝึกอบรม ผู้วิจัยได้ดำเนินการดังนี้

3.3.2.1 วิเคราะห์เนื้อหาและกำหนดวัตถุประสงค์เชิงพฤติกรรมของบทเรียน

3.3.2.2 สร้างแบบทดสอบซึ่งเป็นปรนัย 4 ตัวเลือก จำนวน 30 ข้อ โดยกำหนดข้อที่ตอบถูกเป็น 1 คะแนน และข้อที่ตอบผิดหรือตอบมากกว่าหนึ่งครั้งในข้อเดียวกันหรือไม่ตอบให้ 0 คะแนน โดยสร้างขึ้นตามวัตถุประสงค์ของหลักสูตรการฝึกอบรมการออกแบบวงจรดิจิตอลด้วยภาษา VHDL ขั้นพื้นฐาน

3.3.2.3 หาความเที่ยงตรงเชิงเนื้อหา (Content Validity) โดยผู้ทรงคุณวุฒิตรวจสอบโดยการตรวจสอบความสอดคล้องใช้หลักเกณฑ์กำหนดความคิดเห็นดังนี้

คะแนน 1 สำหรับข้อสอบที่มีความสอดคล้องกับวัตถุประสงค์เชิงพฤติกรรม

คะแนน 0 สำหรับข้อสอบที่ไม่แน่ใจว่ามีความสอดคล้องกับวัตถุประสงค์เชิงพฤติกรรม

คะแนน –1 สำหรับข้อสอบที่แน่ใจว่าไม่มีความสอดคล้องกับวัตถุประสงค์เชิงพฤติกรรม

บันทึกผลการพิจารณาของผู้ทรงวุฒิแต่ละข้อ นำไปหาดัชนีความสอดคล้องระหว่างข้อสอบกับวัตถุประสงค์เชิงพฤติกรรม จากนั้นเลือกข้อสอบที่มีค่าดัชนีความสอดคล้องน้อยกว่า 0.5 ไปปรับปรุงและแก้ไขให้ได้ตามเกณฑ์ต่อไป (บุญเชิด ภิญโญอนันตพงษ์. 2526 : 88-90)

จากการวิเคราะห์ความเที่ยงตรงเชิงเนื้อหาตามวัตถุประสงค์เชิงพฤติกรรมและเนื้อหาที่กำหนด จากแบบประเมินความสอดคล้องที่สร้างขึ้น โดยผู้ทรงคุณวุฒิด้านเนื้อหา 5 ท่าน ได้ผลค่าดัชนีความสอดคล้อง (IOC) อยู่ระหว่าง 0.6 ถึง 1 แสดงให้เห็นว่าข้อสอบทุกข้อมีความสอดคล้องระหว่างเนื้อหา กับวัตถุประสงค์เชิงพฤติกรรม อยู่ในเกณฑ์ปานกลาง
(ดังรายละเอียดในผนวก ข. ตารางที่ 6.3 หน้า 232)

3.3.2.4 นำแบบทดสอบวัดผลสัมฤทธิ์การฝึกอบรมเสนอต่ออาจารย์ผู้ควบคุมวิทยานิพนธ์และอาจารย์ผู้ควบคุมวิทยานิพนธ์ร่วมเพื่อตรวจสอบ เสร็จแล้วนำมาแก้ไขปรับปรุง

3.3.2.5 นำแบบทดสอบวัดผลสัมฤทธิ์การฝึกอบรม ไปทดลองใช้กับนักศึกษาหลักสูตรครุศาสตร์อุตสาหกรรมบัณฑิต สาขาอิเล็กทรอนิกส์และคอมพิวเตอร์ ชั้นปีที่ 1 ภาคเรียนที่ 2 ที่มีพื้นฐานด้าน วงจรดิจิตอลและวงจรซีเควนเชียล จำนวน 30 คน เสร็จแล้วนำมาตรวจให้คะแนน

3.3.2.6 นำคะแนนที่ได้มาวิเคราะห์หาค่าความยากง่าย (P) และค่าอำนาจจำแนก (r) โดยกำหนดเกณฑ์ความยากง่าย หรือกำหนดค่า P = 0.20 – 0.80 และกำหนดเกณฑ์อำนาจในการจำแนกหรือกำหนดค่า r = 0.20 ขึ้นไป

ผลจากการวิเคราะห์แบบทดสอบที่สร้างขึ้นพบว่า แบบทดสอบมีค่าความยากง่าย (P) อยู่ระหว่าง 0.27 ถึง 0.76 คิดเป็นค่าความยากง่าย (P) เฉลี่ย 0.52 แสดงว่าแบบทดสอบมีค่าความยากง่ายอยู่ในเกณฑ์เหมาะสม และอำนาจจำแนก (r) อยู่ระหว่าง 0.25 ถึง 0.75 คิดเป็นค่าอำนาจ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จำแนก (r) เฉลี่ย 0.46 แสดงว่าแบบทดสอบมีค่าอำนาจจำแนก (r) อยู่ในระดับปานกลาง คือคุณภาพของแบบทดสอบดีพอสมควร
(ดังรายละเอียดในผนวก ข. ตารางที่ 6.3 หน้า 232)

3.3.2.7 หาความเชื่อมั่นของแบบทดสอบวัดผลสัมฤทธิ์การฝึกอบรม ทั้งหมดโดยใช้สูตร KR – 20 ของ Kuder Richardson ค่าความเชื่อมั่น (r_{tt}) ของข้อสอบมีค่าเท่ากับ 0.61 แสดงว่าแบบทดสอบมีค่าความเชื่อมั่นปานกลางสามารถนำไปใช้ได้

3.3.2.8 นำแบบทดสอบวัดผลสัมฤทธิ์การฝึกอบรมที่เสร็จสมบูรณ์ นำไปใช้

3.3.3 การสร้างแบบทดสอบวัดประสิทธิภาพของการฝึกอบรม (E1)

การสร้างแบบทดสอบวัดประสิทธิภาพกระบวนการฝึกอบรม ผู้วิจัยได้ดำเนินการดังนี้

3.3.3.1 วิเคราะห์เนื้อหาและกำหนดวัตถุประสงค์เชิงพฤติกรรมของบทเรียน

3.3.3.2 สร้างแบบทดสอบซึ่งเป็นปรนัย 4 ตัวเลือก จำนวน 30 ข้อ โดยกำหนดข้อที่ตอบถูกเป็น 1 คะแนน และข้อที่ตอบผิดหรือตอบมากกว่าหนึ่งครั้งในข้อเดียวกันหรือไม่ตอบให้ 0 คะแนน โดยสร้างขึ้นตามวัตถุประสงค์ของหลักสูตรการฝึกอบรมการออกแบบวงจรดิจิตอลด้วยภาษา VHDL ขั้นพื้นฐาน

3.3.3.3 หาความเที่ยงตรงเชิงเนื้อหา (Content Validity) โดยผู้ทรงคุณวุฒิตรวจสอบโดยการตรวจสอบความสอดคล้องใช้หลักเกณฑ์กำหนดความคิดเห็นดังนี้

คะแนน 1 สำหรับข้อสอบที่มีความสอดคล้องกับวัตถุประสงค์เชิงพฤติกรรม

คะแนน 0 สำหรับข้อสอบที่ไม่แน่ใจว่ามีความสอดคล้องกับวัตถุประสงค์เชิงพฤติกรรม

คะแนน –1 สำหรับข้อสอบที่แน่ใจว่าไม่มีความสอดคล้องกับวัตถุประสงค์เชิงพฤติกรรม

บันทึกผลการพิจารณาของผู้ทรงวุฒิแต่ละข้อ นำไปหาดัชนีความสอดคล้องระหว่างข้อสอบกับวัตถุประสงค์เชิงพฤติกรรม จากนั้นเลือกข้อสอบที่มีค่าดัชนีความสอดคล้องน้อยกว่า 0.5 ไปปรับปรุงและแก้ไขให้ได้ตามเกณฑ์ต่อไป (บุญเชิด ภิญโญอนันตพงษ์. 2526 : 88-90)

จากการวิเคราะห์ความเที่ยงตรงเชิงเนื้อหาตามวัตถุประสงค์เชิงพฤติกรรม และเนื้อหาที่กำหนด จากแบบประเมินความสอดคล้องที่สร้างขึ้น โดยผู้ทรงคุณวุฒิด้านเนื้อหา 5 ท่าน ได้ผลค่าดัชนีความสอดคล้อง (IOC) อยู่ระหว่าง 0.8 ถึง 1 แสดงให้เห็นว่าข้อสอบทุกข้อมีความสอดคล้องระหว่างเนื้อหา กับวัตถุประสงค์เชิงพฤติกรรม อยู่ในเกณฑ์ค่อนข้างมาก
(ดังรายละเอียดในผนวก ข. ตารางที่ 6.2 หน้า 230)

3.3.3.4 นำแบบทดสอบวัดประสิทธิภาพของการฝึกอบรมเสนอต่ออาจารย์ผู้ควบคุมวิทยานิพนธ์ และอาจารย์ผู้ควบคุมวิทยานิพนธ์ร่วมเพื่อตรวจสอบ เสร็จแล้วนำมาแก้ไขปรับปรุง

3.3.3.5 นำแบบทดสอบวัดประสิทธิภาพการฝึกอบรม ไปทดลองใช้กับนักศึกษาหลักสูตรครุศาสตร์อุตสาหกรรมบัณฑิตสาขาอิเล็กทรอนิกส์และคอมพิวเตอร์ ชั้นปีที่ 1 ภาคเรียนที่ 2 ที่มีพื้นฐานด้านวงจรดิจิตอลและวงจรซีเควนเชียล จำนวน 30 คน เสร็จแล้วนำมาตรวจให้คะแนน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.3.3.6 นำคะแนนที่ได้มาวิเคราะห์หาค่าความยากง่าย (P) และค่าอำนาจจำแนก (r) โดยกำหนดเกณฑ์ความยากง่าย โดยกำหนดค่า P = 0.20 – 0.80 และกำหนดเกณฑ์อำนาจในการจำแนกหรือกำหนดค่า r = 0.20 ขึ้นไป

ผลจากการวิเคราะห์แบบทดสอบที่สร้างขึ้นพบว่า แบบทดสอบมีค่าความยากง่าย (P) อยู่ระหว่าง 0.20 ถึง 0.76 คิดเป็นค่าความยากง่าย (P) เฉลี่ย 0.52 แสดงว่าแบบทดสอบมีค่าความยากง่ายอยู่ในเกณฑ์เหมาะสม และอำนาจจำแนก (r) อยู่ระหว่าง 0.25 ถึง 1 คิดเป็นค่าอำนาจจำแนก (r) เฉลี่ย 0.44 แสดงว่าแบบทดสอบมีค่าอำนาจจำแนก (r) อยู่ในระดับปานกลาง คือคุณภาพของแบบทดสอบดีพอสมควร

(ดังรายละเอียดในผนวก ข. ตารางที่ 6.2 หน้า 230)

3.3.3.7 หาความเชื่อมั่นของแบบทดสอบวัดประสิทธิภาพการฝึกอบรมทั้งหมดโดยใช้สูตร KR – 20 ของ Kuder Richardson ค่าความเชื่อมั่น (r_{tt}) ของข้อสอบมีค่าเท่ากับ 0.79 แสดงว่าแบบทดสอบมีค่าความเชื่อมั่นค่อนข้างสูงสามารถนำไปใช้ได้

3.3.3.8 นำแบบทดสอบวัดประสิทธิภาพของการฝึกอบรมที่เสร็จสมบูรณ์ นำไปใช้

3.3.4 แบบประเมินความคิดเห็นของผู้ทรงคุณวุฒิ

โดยมีลำดับขั้นตอนการสร้างแบบประเมินดังนี้ คือ

3.3.4.1 ศึกษาการสร้างแบบประเมินความคิดเห็นของผู้ทรงคุณวุฒิ โดยกำหนดหัวข้อที่จะประเมิน แล้วกำหนดระดับความคิดเห็น เป็นมาตราส่วนประมาณค่า ซึ่งระดับค่าความคิดเห็นมี 5 ระดับ ตามแบบของ John W. Best (1977) คือ

5	หมายถึง	ดีมาก
4	หมายถึง	ดี
3	หมายถึง	ปานกลาง
2	หมายถึง	พอใช้
1	หมายถึง	ควรปรับปรุง

3.3.4.2 นำแบบประเมินผลเพื่อหาคุณภาพของหลักสูตรฝึกอบรม ให้อาจารย์ผู้ควบคุมวิทยานิพนธ์ และอาจารย์ผู้ควบคุมวิทยานิพนธ์ร่วม ทำการตรวจสอบแล้วนำมาปรับปรุงแก้ไขในขั้นต่อไป

3.3.4.3 นำแบบประเมินหลักสูตรฝึกอบรม ที่ได้ออกแบบไว้ นำไปให้ผู้ทรงคุณวุฒิแสดงความคิดเห็น เพื่อการประเมินหลักสูตรฝึกอบรมด้านเนื้อหา โดยเกณฑ์การจัดระดับค่าเฉลี่ย 5 ระดับ ตามแบบของ John W. Best (1977) ดังนี้

เกณฑ์การจัดระดับค่าเฉลี่ย 5 ระดับ

4.50-5.00	มากที่สุด
3.50-4.49	มาก
2.50-3.49	ปานกลาง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

1.50-2.49 น้อย

1.00-1.49 น้อยที่สุด

ในการประเมิน คะแนนเฉลี่ยที่ได้ในแต่ละด้าน จะต้องได้เกณฑ์ ($\bar{X}$) ตั้งแต่ 3.00 ขึ้นไป จึงถือว่าผ่านเกณฑ์การประเมินจากผู้ทรงคุณวุฒิ

3.4 การเก็บรวบรวมข้อมูล

การวิจัยครั้งนี้ เป็นการวิจัย เพื่อหาประสิทธิภาพและผลสัมฤทธิ์ของหลักสูตรฝึกอบรมการออกแบบวงจรดิจิตอลด้วยภาษา VHDL ขั้นพื้นฐาน การวิจัยได้กระทำในภาคเรียนที่ 2 ปีการศึกษา 2545 กับนักศึกษาหลักสูตรครุศาสตร์อุตสาหกรรมบัณฑิต สาขาวิชาอิเล็กทรอนิกส์และคอมพิวเตอร์ ชั้นปีที่ 2 ภาควิชาครุศาสตร์วิศวกรรม คณะครุศาสตร์อุตสาหกรรม สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง จำนวน 15 คน การดำเนินการวิจัย มีขั้นตอนดังนี้

3.4.1 ทำบันทึกข้อความถึงหัวหน้าภาควิชาครุศาสตร์วิศวกรรม คณะครุศาสตร์อุตสาหกรรม สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง เพื่อขออนุญาตทำการวิจัยและเก็บข้อมูล

3.4.2 เตรียมเครื่องคอมพิวเตอร์ทำการติดตั้งโปรแกรม V-SYSTEM และ HDE EDITOR กับเครื่องคอมพิวเตอร์ โดยชี้แจงถึงวัตถุประสงค์ของการใช้โปรแกรม V-SYSTEM, HDE EDITOR และทดลองใช้งาน

3.4.3 ให้กลุ่มตัวอย่าง ทำแบบทดสอบก่อนการฝึกอบรมจำนวน 30 ข้อ ในเวลา 30 นาที

3.4.4 ผู้วิจัยอธิบายขั้นตอนต่างๆ ในการฝึกอบรมการออกแบบวงจรดิจิตอลด้วยภาษา VHDL ขั้นพื้นฐาน

3.4.5 กลุ่มตัวอย่างฟังการบรรยายจากผู้วิจัยโดยเรียงลำดับตามหน่วยการฝึกอบรม จำนวน 6 หน่วย เมื่อฟังบรรยายแต่ละหน่วยเสร็จเรียบร้อยผู้เข้ารับการฝึกอบรมจะทำการทดลองตามหน่วยต่างๆ ที่กำหนดขึ้นจากนั้นทำแบบฝึกหัดเพื่อตรวจสอบความเข้าใจ

3.4.6 ในระหว่างการฝึกอบรมเมื่อทำแบบฝึกหัดเสร็จ กลุ่มตัวอย่างจะทำแบบทดสอบระหว่างการฝึกอบรมแต่ละหน่วยตามที่จัดไว้ให้ โดยทั้ง 6 หน่วยฝึกอบรมมีแบบทดสอบจำนวน 30 ข้อ

3.4.7 เมื่อทำการฝึกอบรมครบทั้ง 6 หน่วยฝึกอบรม ให้กลุ่มตัวอย่างทำแบบทดสอบหลังฝึกอบรม จำนวน 30 ข้อ

3.4.8 นำข้อมูลที่ได้ไปวิเคราะห์ข้อมูลทางสถิติเพื่อหาประสิทธิภาพ และเปรียบเทียบผลสัมฤทธิ์ของหลักสูตรฝึกอบรมที่พัฒนาขึ้น

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.5 การวิเคราะห์ข้อมูล

ในการวิเคราะห์ข้อมูลผู้วิจัยได้ใช้สถิติในการวิเคราะห์ข้อมูล

3.5.1 หาคุณภาพของแบบทดสอบ ดังนี้

(1) หาค่าความยากง่ายของข้อสอบ (P)

(2) หาค่าอำนาจจำแนกของข้อสอบ (r)

(3) หาค่าความเชื่อมั่นของแบบทดสอบ (KR – 20)

3.5.2 หาค่าประสิทธิภาพของหลักสูตรฝึกอบรม (E1 / E2)

3.5.3 เปรียบเทียบผลสัมฤทธิ์ของการฝึกอบรม

3.6 สถิติที่ใช้ในการวิเคราะห์ข้อมูล

3.6.1 สถิติที่ใช้ในการวิเคราะห์ข้อมูลเพื่อหาความสอดคล้องของเครื่องมือวิจัย

3.6.1.1 การหาดัชนีความสอดคล้องระหว่างแบบทดสอบภาคทฤษฎีกับวัตถุประสงค์เชิงพฤติกรรม (บุญเชิด ภิญโญอนันตพงษ์ 2526 : 88-90)

$$IOC = \frac{\sum R}{N}$$

IOC คือ ดัชนีความสอดคล้องระหว่างแบบทดสอบภาคทฤษฎี กับวัตถุประสงค์เชิงพฤติกรรม

$\sum R$ คือ ผลรวมของคะแนนความคิดเห็นของผู้ทรงคุณวุฒิด้านเนื้อหา

N คือ จำนวนของผู้ทรงคุณวุฒิ

3.6.1.2 สถิติที่ใช้ในการหาความยากง่าย (Difficulty) (ล้วน สายยศ และอังคณา สายยศ. 2538 : 210 – 211) โดยใช้สูตร

$$P = \frac{R}{N}$$

เมื่อ P คือ ความยากง่าย

R คือ จำนวนคนที่ทำข้อสอบถูก

N คือ จำนวนคนที่ทำข้อสอบทั้งหมด

กำหนดเกณฑ์ความยากง่ายหรือกำหนดค่า P = 0.20 – 0.80

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.6.1.3 สถิติที่ใช้ในการหาค่าอำนาจจำแนกของข้อสอบ (Discrimination Power) (ล้วน สายยศ และอังคณา สายยศ. 2538 : 210 – 211)

$$r = \frac{R_U - R_L}{\frac{N}{2}}$$

เมื่อ r คือ อำนาจในการจำแนก

R_U คือ จำนวนคนที่ทำข้อสอบถูกในกลุ่มเก่ง

R_L คือ จำนวนคนที่ทำข้อสอบถูกในกลุ่มอ่อน

N คือ จำนวนคนที่ทำข้อสอบทั้งหมดทั้งกลุ่มเก่งและกลุ่มอ่อน

กำหนดค่าในการจำแนก หรือกำหนดค่า r = 0.20 ขึ้นไป

3.6.1.3 สถิติที่ใช้ในการหาค่าความเชื่อมั่น (Reliability) (ล้วน สายยศ และอังคณา สายยศ. 2538 : 197 - 198)

$$r_{tt} = \frac{n}{n-1}\left\{1 - \frac{\sum pq}{S^2}\right\}$$

เมื่อ r_{tt} คือ ความเชื่อมั่น

n คือ จำนวนข้อสอบ

p คือ สัดส่วนของคนตอบข้อสอบถูกในแต่ละข้อ(จำนวนคนทำถูก / จำนวนคนทำทั้งหมด

q คือ สัดส่วนของผู้ที่ตอบผิดในแต่ละข้อ

S^2 คือ ความแปรปรวนของคะแนนทั้งฉบับ

3.6.2 สถิติที่ใช้ในการหาประสิทธิภาพ (ชัยยงค์ พรหมวงศ์. 2520 : 136)

$$E_1 = \frac{\frac{\sum X}{N}}{A} x100 \qquad E_2 = \frac{\frac{\sum F}{N}}{B} x100$$

เมื่อ E_1 คือ ประสิทธิภาพของกระบวนการ

E_2 คือ ประสิทธิภาพของผลลัพธ์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$\sum X$ คือ คะแนนรวมของแบบฝึกหัด

$\sum F$ คือ คะแนนรวมของผลลัพธ์จากการทำแบบทดสอบหลังฝึกอบรม

N คือ จำนวนผู้เข้ารับการฝึกอบรมทั้งหมด

A คือ คะแนนเต็มของแบบทดสอบระหว่างฝึกอบรม

B คือ คะแนนเต็มของการสอบหลังฝึกอบรม

3.6.3 สถิติที่ใช้ในการหาผลสัมฤทธิ์ (ล้วน สายยศ และอังคณา สายยศ. 2538 : 216 – 217)

3.6.3.1 การหาค่าเฉลี่ย

$$\overline{X} = \frac{\sum X}{N}$$

3.6.3.2 การหาค่าส่วนเบี่ยงเบนมาตรฐาน (*S.D.*)

$$S.D. = \sqrt{\sum \frac{\left(X - \overline{X}\right)^2}{n-1}}$$

เมื่อ $\overline{X}$ คือ ค่าเฉลี่ยของกลุ่มทดลอง

S.D. คือ ค่าส่วนเบี่ยงเบนมาตรฐานของกลุ่มทดลอง

X คือ คะแนนแต่ละตัวในชุดข้อมูล

n คือ จำนวนสมาชิกในกลุ่มทดลอง (ขนาดของกลุ่มทดลอง)

3.6.4 เปรียบเทียบผลสัมฤทธิ์ของนักศึกษาระดับปริญญาตรี คณะครุศาสตร์อุตสาหกรรม ภาควิชาครุศาสตร์อุตสาหกรรม สาขาวิชาอิเล็กทรอนิกส์และคอมพิวเตอร์ ชั้นปีที่ 2 สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง ก่อนและหลังฝึกอบรมตามวัตถุประสงค์ข้อที่ 3 ดำเนินการดังนี้

(1) ทดสอบการแจกแจงของข้อมูล

ทำการทดสอบการแจกแจงของข้อมูลแล้วพบว่าการแจกแจงของข้อมูลมีลักษณะเป็นโค้งปกติ (ดังรายละเอียดในผนวก ข. ตารางที่ 6.4 หน้า 234)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

(2) หากการแจกแจงของข้อมูลมีลักษณะโค้งปกติ จะใช้สถิติ t – test Dependent Sample (ชูศรี วงศ์รัตนะ.2541 : 191-192)

(3) หากการแจกแจงของข้อมูลมีลักษณะไม่เป็นโค้งปกติใช้สถิตินอนพาราเมตริก The Wincoxon Signed Ranks Test (อำนวย เลิศชยันตี.2539 : 174)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 4
ผลการวิจัย

การศึกษาวิจัยเรื่อง การพัฒนาหลักสูตรฝึกอบรมการออกแบบวงจรดิจิตอลด้วยภาษา VHDL ขั้นพื้นฐาน ซึ่งได้กระทำกับกลุ่มตัวอย่างจำนวน 15 คน ได้วิเคราะห์หาประสิทธิภาพและผลสัมฤทธิ์ของหลักสูตรฝึกอบรมการออกแบบวงจรดิจิตอลด้วยภาษา VHDL ขั้นพื้นฐานโดยมีผลการวิจัยดังนี้

4.1 ผลการวิเคราะห์ประสิทธิภาพของหลักสูตรฝึกอบรมการออกแบบวงจรดิจิตอลด้วยภาษา VHDL ขั้นพื้นฐาน

หลักสูตรการฝึกอบรมการออกแบบวงจรดิจิตอลด้วยภาษา VHDL ขั้นพื้นฐานมีประสิทธิภาพตามเกณฑ์ที่กำหนด 80/80 (E1/E2) จากการวิเคราะห์หาประสิทธิภาพของหลักสูตรนี้ได้กระทำกับกลุ่มตัวอย่าง ซึ่งเป็นนักศึกษาของสถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง คณะครุศาสตร์อุตสาหกรรม สาขาวิชาอิเล็กทรอนิกส์และคอมพิวเตอร์ ชั้นปีที่ 2 ภาคเรียนที่ 2 ปีการศึกษา 2545 จำนวน 15 คน โดยกลุ่มตัวอย่างได้เข้ารับการฝึกอบรมตามโครงสร้างหลักสูตรที่ทำการพัฒนาขึ้น หลังจากนั้นทำการทดสอบเพื่อวัดความรู้ของกลุ่มตัวอย่าง โดยแบ่งเป็นคะแนนระหว่างฝึกอบรม 30 คะแนน (E1) คะแนนหลังจากฝึกอบรม 30 คะแนน (E2) ซึ่งต้องมีคะแนนตามเกณฑ์ที่ตั้งไว้ คือ 80/80 ซึ่งผลคะแนนระหว่างฝึกอบรมมีค่าเท่ากับ 89.10% และคะแนนหลังฝึกอบรมมีค่าเท่ากับ 82.00% แสดงว่าหลักสูตรฝึกอบรมที่พัฒนาขึ้นมีประสิทธิภาพตามเกณฑ์ที่ตั้งไว้ดังปรากฏผลตามตารางที่ 4.1

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ตารางที่ 4.1 แสดงผลการทำแบบทดสอบวัดความรู้ของผู้เข้ารับการฝึกอบรม

ผู้เข้าอบรม คนที่	คะแนนของผู้เข้าฝึกอบรมก่อนฝึกอบรม (30)	คะแนนของผู้เข้าฝึกอบรมระหว่างฝึกอบรม (30)	คะแนนของผู้เข้าฝึกอบรมหลังฝึกอบรม (30)
1	15	27	23
2	16	27	25
3	7	28	25
4	13	28	26
5	12	26	24
6	14	25	24
7	15	28	24
8	18	27	25
9	12	26	25
10	17	28	26
11	15	26	25
12	13	22	21
13	15	26	23
14	21	29	27
15	19	28	26
ค่าเฉลี่ย	14.80	26.73	24.60
ค่าส่วนเบี่ยงเบนมาตรฐาน	3.34	1.71	1.50
ร้อยละ	49.33%	89.10%	82.00%

4.2 ผลของการเปรียบเทียบผลสัมฤทธิ์ของการฝึกอบรม

จากตารางที่ 4.1 เมื่อทำการเปรียบเทียบผลสัมฤทธิ์ของการฝึกอบรมของนักศึกษาหลักสูตรครุศาสตร์อุตสาหกรรมบัณฑิต สาขาวิชาอิเล็กทรอนิกส์และคอมพิวเตอร์ ชั้นปีที่ 2 ภาควิชาครุศาสตร์วิศวกรรม คณะครุศาสตร์อุตสาหกรรม สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง ประจำปีการศึกษา 2545 ผลจากการเปรียบเทียบผลสัมฤทธิ์ทางการเรียนของกลุ่มตัวอย่าง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จำนวน 15 คน กลุ่มตัวอย่างได้ผลเฉลี่ยคะแนนก่อนฝึกอบรมเท่ากับ 49.33% และคะแนนหลังฝึกอบรมเท่ากับ 82.00%

ตารางที่ 4.2 ข้อมูลเปรียบเทียบผลรวมคะแนนก่อนและหลังฝึกอบรม

ผลคะแนน	ค่าคะแนนเฉลี่ย $\overline{X}$	ค่าส่วนเบี่ยงเบนมาตรฐาน S.D.	$t_{คำนวณ}$
ก่อนฝึกอบรม	14.80	3.34	**12.25**
หลังฝึกอบรม	24.60	1.50	

จากตารางที่ 4.2 แสดงผลการทำแบบทดสอบวัดความรู้เป็นรายบุคคลจากคะแนนแบบทดสอบที่ได้ของผู้เข้ารับการฝึกอบรมนำมาหาค่าคะแนนเฉลี่ย และความเบี่ยงเบนมาตรฐาน จากคะแนนแบบทดสอบวัดความรู้ก่อนฝึกอบรมและหลังฝึกอบรม นำมาวิเคราะห์ข้อมูลทางสถิติ เพื่อหาความแตกต่างระหว่างค่าเฉลี่ยรายคู่ โดยใช้การทดสอบแบบ ที (t- test) ค่าทางสถิติที่ออกมาได้ค่า $t_{คำนวณ}$ ดังตารางที่ 4.2

เนื่องจากค่า $t_{คำนวณ}$ ที่ได้จากการทดสอบได้มีค่า = 12.25 นำมาเปรียบเทียบกับค่า $t_{ตาราง}$ ที่ได้จากตารางทางสถิติ ซึ่งค่า $t_{ตาราง}$ เมื่อใช้จำนวนข้อมูลของกลุ่มตัวอย่าง 15 คน ที่ระดับนัยสำคัญทางสถิติ 0.05 ได้ค่า $t_{ตาราง}$ เท่ากับ 1.753 (Bruce E. Wampold,1990 : 451) เมื่อไปเปรียบเทียบกับค่า $t_{คำนวณ}$ แล้วทราบว่า ค่า $t_{คำนวณ}$ มากกว่า $t_{ตาราง}$ จึงยอมรับสมมุติฐานทางสถิติได้ว่ากลุ่มตัวอย่างมีคะแนนเฉลี่ยแตกต่างกันโดยกลุ่มตัวอย่างที่ผ่านการฝึกอบรมหลักสูตรการออกแบบวงจรดิจิตอลด้วยภาษา VHDL ขั้นพื้นฐาน มีคะแนนมากกว่าก่อนฝึกอบรมอย่างมีนัยสำคัญทางสถิติที่ระดับ 0.05

(ดังรายละเอียด ภาคผนวก ข. ตารางที่ 6.5 หน้า 235)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 5

สรุปผลการวิจัย อภิปรายผล และข้อเสนอแนะ

การศึกษาวิจัยเรื่อง การพัฒนาหลักสูตรฝึกอบรมการออกแบบวงจรดิจิตอลด้วยภาษา VHDL ขั้นพื้นฐาน เป็นการวิจัย และพัฒนา (Research and Development) โดยมีขั้นตอนการวิจัยสรุปได้ดังนี้

5.1 วัตถุประสงค์ของการวิจัย

5.1.1 เพื่อพัฒนาหลักสูตรการฝึกอบรมการออกแบบบวงจรดิจิตอลด้วยภาษา VHDL ขั้นพื้นฐาน

5.1.2 หาประสิทธิภาพของหลักสูตรฝึกอบรม

5.1.3 เพื่อเปรียบเทียบผลสัมฤทธิ์ของการฝึกอบรมการออกแบบบวงจรดิจิตอลด้วยภาษา VHDL ขั้นพื้นฐาน

5.2 สมมติฐานในการวิจัย

5.2.1 หลักสูตรการฝึกอบรมการออกแบบวงจรดิจิตอลด้วยภาษา VHDL ขั้นพื้นฐานสามารถใช้ฝึกอบรมได้อย่างมีประสิทธิภาพตามเกณฑ์ที่กำหนด 80/80

5.2.2 ผลสัมฤทธิ์ของการฝึกอบรมการออกแบบวงจรดิจิตอลด้วยภาษา VHDL ขั้นพื้นฐานสูงกว่าก่อนฝึกอบรมอย่างมีนัยสำคัญทางสถิติ .05

5.3 ประชากรและกลุ่มตัวอย่าง

5.3.1 ประชากรที่ใช้ในการวิจัย คือ นักศึกษาหลักสูตรครุศาสตร์อุตสาหกรรมบัณฑิต สาขาวิชาอิเล็กทรอนิกส์และคอมพิวเตอร์ ชั้นปีที่ 2 ภาควิชาครุศาสตร์วิศวกรรม คณะครุศาสตร์อุตสาหกรรม สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง ประจำปีการศึกษา 2545 จำนวน 74 คน

5.3.2 กลุ่มตัวอย่างที่ใช้ในการวิจัย คือ นักศึกษาหลักสูตรครุศาสตร์อุตสาหกรรมบัณฑิต สาขาวิชาอิเล็กทรอนิกส์และคอมพิวเตอร์ ชั้นปีที่ 2 โดยวิธีสุ่มตามตารางเลขสุ่มของ Krejcie and Morgan (1970 : 607 – 610) จากประชากรทั้งหมด จำนวน 15 คน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

5.4 เครื่องมือที่ใช้ในการวิจัย

เครื่องมือที่ใช้ในการวิจัยครั้งนี้ มีดังนี้

5.4.1 หลักสูตรฝึกอบรมการออกแบบวงจรดิจิตอลด้วยภาษา VHDL ขั้นพื้นฐาน

5.4.2 แบบทดสอบก่อนและหลังฝึกอบรมการออกแบบวงจรดิจิตอลด้วยภาษา VHDL ขั้นพื้นฐาน

5.4.3 แบบทดสอบระหว่างฝึกอบรมการออกแบบวงจรดิจิตอลด้วยภาษา VHDL ขั้นพื้นฐาน

5.4.4 แบบประเมินคุณภาพด้านเนื้อหาของผู้ทรงคุณวุฒิ

5.4.5 คู่มือการฝึกอบรมการออกแบบวงจรดิจิตอลด้วยภาษา VHDL ขั้นพื้นฐาน

5.4.6 แบบฝึกหัดการออกแบบวงจรดิจิตอลด้วยภาษา VHDL ขั้นพื้นฐานจำนวน 6 หน่วยฝึกอบรม

5.5 การเก็บรวบรวมข้อมูล

ผู้วิจัยได้ดำเนินการเก็บรวบรวมข้อมูลในการวิจัย ตามขั้นตอนดังต่อไปนี้

5.5.1 ทำบันทึกข้อความถึงหัวหน้าภาควิชาครุศาสตร์วิศวกรรม คณะครุศาสตร์อุตสาหกรรม สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง เพื่อขออนุญาตทำการวิจัยและเก็บข้อมูล

5.5.2 เตรียมเครื่องคอมพิวเตอร์ทำการติดตั้งโปรแกรม V-SYSTEM และ HDE EDITOR กับเครื่องคอมพิวเตอร์ โดยชี้แจงถึงวัตถุประสงค์ของการใช้โปรแกรม V-SYSTEM, HDE EDITOR และทดลองใช้งาน

5.5.3 ให้กลุ่มตัวอย่าง ทำแบบทดสอบก่อนการฝึกอบรมจำนวน 30 ข้อ ในเวลา 30 นาที

5.5.4 ผู้วิจัยอธิบายขั้นตอนต่างๆ ในการฝึกอบรมการออกแบบวงจรดิจิตอลด้วยภาษา VHDL ขั้นพื้นฐาน

5.5.5 กลุ่มตัวอย่างฟังการบรรยายจากผู้วิจัย โดยเรียงลำดับตามหน่วยการฝึกอบรม จำนวน 6 หน่วย เมื่อฟังบรรยายแต่ละหน่วยเสร็จเรียบร้อยผู้เข้ารับการฝึกอบรมจะทำการทดลองตามหน่วยต่างๆ ที่กำหนดขึ้นจากนั้นทำแบบฝึกหัดเพื่อตรวจสอบความเข้าใจ

5.5.6 ในระหว่างการฝึกอบรมเมื่อทำแบบฝึกหัดเสร็จ กลุ่มตัวอย่างจะทำแบบทดสอบระหว่างการฝึกอบรมแต่ละหน่วยตามที่จัดไว้ให้ โดยทั้ง 6 หน่วยฝึกอบรมมีแบบทดสอบจำนวน 30 ข้อ

5.5.7 เมื่อทำการฝึกอบรมครบ 6 หน่วยฝึกอบรม ให้กลุ่มตัวอย่างทำแบบทดสอบหลังฝึกอบรมจำนวน 30 ข้อ

5.5.8 นำข้อมูลที่ได้ไปวิเคราะห์ข้อมูลทางสถิติ เพื่อหาประสิทธิภาพและผลสัมฤทธิ์ของหลักสูตรฝึกอบรมที่พัฒนาขึ้น

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

5.6 สรุปผลการวิจัย

5.6.1 การหาประสิทธิภาพของหลักสูตรฝึกอบรมการออกแบบวงจรดิจิตอล ซึ่งทดสอบกับกลุ่มตัวอย่าง ผลปรากฏคะแนนระหว่างฝึกอบรมและหลังฝึกอบรมมีค่าเท่ากับ 89.10/82.00

แสดงว่า หลักสูตรฝึกอบรมการออกแบบวงจรดิจิตอลด้วยภาษา VHDL ขั้นพื้นฐาน มีประสิทธิภาพตามเกณฑ์

5.6.2 เปรียบเทียบผลสัมฤทธิ์ของการฝึกอบรมการออกแบบวงจรดิจิตอลด้วยภาษา VHDL ขั้นพื้นฐาน ของนักศึกษาสาขาวิชาอิเล็กทรอนิกส์และคอมพิวเตอร์ คณะครุศาสตร์อุตสาหกรรม สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง ที่เข้ารับการฝึกอบรมการออกแบบวงจรดิจิตอลด้วยภาษา VHDL ขั้นพื้นฐาน สูงกว่าก่อนเข้ารับการฝึกอบรมอย่างมีนัยสำคัญทางสถิติที่ระดับ .05

สรุปได้ว่า หลักสูตรฝึกอบรมการออกแบบวงจรดิจิตอลด้วยภาษา VHDL ขั้นพื้นฐานเมื่อเปรียบเทียบกับผลการฝึกอบรมก่อนและหลังฝึกอบรม เมื่อฝึกอบรมแล้วมีผลสัมฤทธิ์สูงกว่าก่อนฝึกอบรมอย่างมีนัยสำคัญทางสถิติที่ระดับ 0.05 ซึ่งหลักสูตรการออกแบบวงจรดิจิตอลด้วยภาษา VHDL ขั้นพื้นฐาน มีประสิทธิภาพตามเกณฑ์ของสมมุติฐานที่ตั้งไว้

5.7 อภิปรายผลการวิจัย

จากผลการวิจัยหลักสูตรฝึกอบรมการออกแบบวงจรดิจิตอลด้วยภาษา VHDL ขั้นพื้นฐาน พบว่าสามารถนำไปสู่กระบวนการปฏิบัติได้อย่างมีประสิทธิภาพที่กำหนดไว้คือ กลุ่มตัวอย่างนักศึกษาที่เป็นผู้เข้ารับการฝึกอบรมจำนวน 15 คน ผ่านเกณฑ์ที่กำหนดไว้ ได้ประสิทธิภาพของหลักสูตรฝึกอบรมเท่ากับ 89.10 / 82.00 แสดงว่าหลักสูตรฝึกอบรมการออกแบบวงจรดิจิตอลด้วยภาษา VHDL ขั้นพื้นฐานนี้ สามารถให้ความรู้แก่นักศึกษา สาขาวิชาอิเล็กทรอนิกส์และคอมพิวเตอร์ ภาควิชาครุศาสตร์วิศวกรรม คณะครุศาสตร์อุตสาหกรรม สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง ได้อย่างมีประสิทธิภาพ ซึ่งสอดคล้องกับงานวิจัยของ ชาพงษ์ ประทุมวินิจ (2538 : บทคัดย่อ) ทำการวิจัย เรื่องการสร้างหลักสูตรและชุดฝึกอบรม เรื่องระบบควบคุมการทำงานของเครื่องยนต์ด้วยอิเล็กทรอนิกส์ สำหรับพัฒนาครู-อาจารย์ สาขาวิชาช่างยนต์ ผลการวิจัยพบว่าชุดฝึกอบรมมีประสิทธิภาพทางการอบรม 88.7/79 แสดงว่าหลักสูตรและชุดฝึกอบรมมีประสิทธิภาพสูงกว่าเกณฑ์และสามารถนำไปใช้ฝึกอบรมได้

จากผลการประเมิน โดยใช้แบบวัดผลสัมฤทธิ์ทางการเรียน ปรากฏว่า คะแนนของนักศึกษากลุ่มตัวอย่างที่เข้ารับการประเมิน เมื่อประเมินครบทั้ง 6 หน่วยแล้ว ผู้เข้าฝึกอบรมสามารถผ่านเกณฑ์ที่กำหนดไว้ ทั้ง 15 คน โดยผลสัมฤทธิ์ของการฝึกอบรมของกลุ่มตัวอย่างที่เข้าฝึกอบรมหลักสูตรการออกแบบวงจรดิจิตอลด้วยภาษา VHDL ขั้นพื้นฐานมีผลสัมฤทธิ์ของการฝึกอบรมสูงกว่า

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ก่อนฝึกอบรมอย่างมีนัยสำคัญทางสถิติ ที่ 0.05 เหตุผลที่เป็นเช่นนี้อาจเป็นเพราะผู้วิจัยได้พัฒนาหลักสูตรฝึกอบรมตามขั้นตอนการพัฒนาหลักสูตรของนิภา วงษ์ไทย (2525 : 34 – 35) และเครือวัลย์ ลิ่มอภิชาติ (2531 : 64 – 69) มาเป็นกรอบแนวคิดในการพัฒนาหลักสูตรฝึกอบรม และสอดคล้องกับงานวิจัยของ คณิต เฉลยจรรยา(2543 : บทคัดย่อ) ทำการวิจัยเรื่อง การพัฒนาหลักสูตรการฝึกอบรมการบำรุงรักษาทวีผลที่ทุกคนมีส่วนร่วมในอุตสาหกรรมการผลิต ผลการวิจัยพบว่าผลสัมฤทธิ์ของผู้เข้าอบรมทั้ง 3 หลักสูตร มีคะแนนเฉลี่ยก่อนและหลังการฝึกอบรมแตกต่างกัน อย่างมีนัยสำคัญทางสถิติที่ระดับ 0.01 โดยมีคะแนนวัดผลหลังการฝึกอบรมสูงกว่าคะแนนวัดผลก่อนการฝึกอบรม พนักงานระดับปฏิบัติการ มีผลคะแนนเฉลี่ยการปฏิบัติงานในกิจกรรมการบำรุงรักษาด้วยตนเอง ร้อยละ 87.31 สูงกว่าเกณฑ์ที่กำหนดไว้คือร้อยละ 80 ผู้เข้าอบรมทั้ง 3 ระดับมีความคิดเห็นต่อหลักสูตรการฝึกอบรมอยู่ในระดับดี

ในการประเมินคุณภาพด้านเนื้อหาของหลักสูตรฝึกอบรมการออกแบบวงจรดิจิตอลด้วยภาษา VHDL ขั้นพื้นฐาน มีค่าเฉลี่ยทั้งฉบับเท่ากับ 4.35 มีคุณภาพอยู่ในเกณฑ์ดี เนื้อหามีความสอดคล้องกับจุดประสงค์เชิงพฤติกรรมมากที่สุด แบบฝึกหัดและเนื้อหาในส่วนที่ใช้ในการฝึกอบรมมีความเหมาะสมและสอดคล้องกับพื้นฐานของผู้เข้าฝึกอบรม นอกจากนั้นการแบ่งหน่วยการฝึกอบรมมีเนื้อหาชัดเจน และเรียงลำดับอย่างเป็นขั้นตอน ทำให้เกิดการกระตุ้นการเรียนรู้ยิ่งขึ้น

ดังนั้นหลักสูตรฝึกอบรมการออกแบบวงจรดิจิตอลด้วยภาษา VHDL ขั้นพื้นฐาน ที่ผู้วิจัยพัฒนาขึ้น สามารถนำไปใช้กับผู้เรียนกลุ่มอื่น หรือผู้ที่สนใจ ได้อย่างมีประสิทธิภาพ

5.8 ข้อเสนอแนะ

5.8.1 ข้อเสนอแนะเพื่อการนำผลการวิจัยไปใช้

5.8.1.1 ในการนำหลักสูตรที่พัฒนาขึ้นไปใช้นั้น ผู้วิจัยเห็นว่าควรจะนำไปใช้กับกลุ่มนักศึกษาหรือบุคคลทั่วไปที่มีความรู้พื้นฐานเรื่องดิจิตอล วงจรซีเควนเชียล และการเขียนโปรแกรมใดโปรแกรมหนึ่งก่อน เพื่อที่จะได้มีความเข้าใจและสามารถเรียนรู้ภาษา VHDL ได้เร็ว

5.8.1.2 คอมพิวเตอร์ที่ใช้สำหรับติดตั้งโปรแกรม ModelSim PE/Plus (VSYSTEM) ซีพียูที่มีจำหน่ายอยู่ในปัจจุบัน ถือว่าเพียงพอ ควรเพิ่มหน่วยความจำ RAM ให้เป็น 256 Mb. หรือมากกว่า ควรใช้จอแสดงสีขนาด 17 นิ้วขึ้นไป ส่วนอุปกรณ์อื่น ๆ นั้นสำหรับเครื่องคอมพิวเตอร์ในยุคนี้สามารถใช้งานได้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

5.8.2 ข้อเสนอแนะเพื่อการวิจัยต่อไป

การวิจัยเรื่องการพัฒนาหลักสูตรฝึกอบรมการออกแบบวงจรดิจิตอลด้วยภาษา VHDL ขั้นพื้นฐาน ในครั้งนี้ ใช้กับกลุ่มตัวอย่าง จำนวน 15 คน ใช้เวลาในการฝึกอบรมทั้งสิ้น 2 วัน ผู้วิจัยเห็นว่าควรมีการทำวิจัยและพัฒนาหลักสูตรการฝึกอบรมการออกแบบวงจรดิจิตอลด้วยภาษา VHDL ขั้นสูง โดยทำในด้านของการจำลองการทำงานจริงบนอุปกรณ์ FPGA, CPLD หรืออุปกรณ์อื่นๆ ที่รองรับการทำงานของโปรแกรม VHDL ซึ่งจะทำให้มีการพัฒนาการออกแบบวงจรดิจิตอลด้วยโปรแกรม VHDL แพร่หลายมากขึ้น

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บรรณานุกรม

กมลวัลย์ อุตะเดช. 2532 . **การสร้างหลักสูตรฝึกอบรมเรื่องการส่งเสริมและรักษาคุณภาพสิ่งแวดล้อมในชนบทสำหรับพัฒนากร.** วิทยานิพนธ์ศึกษาศาสตร์มหาบัณฑิต สาขาสิ่งแวดล้อมศึกษา บัณฑิตวิทยาลัย : มหาวิทยาลัยมหิดล.

ก่อ สวัสดิพานิช. 2541 . **หลักสูตรมัธยมศึกษา.** กรุงเทพฯ : มหาวิทยาลัยรามคำแหง.

คณิต เฉลยจรรยา. 2543. **การพัฒนาหลักสูตรการฝึกอบรมการบำรุงรักษาทวีผลที่ทุกคนมีส่วนร่วมในอุตสาหกรรมการผลิต.** ปริญญานิพนธ์ดุษฎีบัณฑิต, กรุงเทพฯ : สถาบันเทคโนโลยีพระจอมเกล้าพระนครเหนือ.

เครือวัลย์ ลิ่มอภิชาติ. 2531. **หลักการและเทคนิคการจัดการฝึกอบรมและการพัฒนาแนวทางการวางแผนการเขียนโครงการและบริหารโครงการ.** กรุงเทพฯ : สยามศิลป์การพิมพ์.

จรวย บุญยุคล. 2535 . "การพัฒนาทรัพยากรมนุษย์ในสภาวะของการเปลี่ยนแปลงอย่างรวดเร็วทางเทคโนโลยี" **วารสารสาธารณสุขมูลฐาน.**ฉบับที่ 4 ปีที่ 7.

ชัยยงค์ พรหมวงศ์. 2521. **ระบบสื่อการสอน.** กรุงเทพฯ : จุฬาลงกรณ์มหาวิทยาลัย.

ชาพงษ์ ประทุมวินิจ. 2538. **การสร้างหลักสูตรและชุดฝึกอบรม เรื่องระบบควบคุมการทำงาน ของเครื่องยนต์ด้วยอิเล็กทรอนิกส์ สำหรับพัฒนาครู-อาจารย์ สาขาวิชาช่างยนต์ ภาควิชา ครุศาสตร์เครื่องกล.** ปริญญานิพนธ์ครุศาสตร์มหาบัณฑิต, กรุงเทพฯ : สถาบันเทคโนโลยีพระจอมเกล้าพระนครเหนือ.

ชูศรี วงศ์รัตนะ. 2541. **เทคนิคการใช้สถิติเพื่อการวิจัย.** พิมพ์ครั้งที่ 7. กรุงเทพฯ : เทพเนรมิต.

ดวงจันทร์ อ่าววิจิตรกุล. 2533. **วิธีการฝึกอบรมที่เหมาะสมสำหรับรัฐวิสาหกิจตามการรับรู้ของวิทยากรฝึกอบรม.** ปริญญานิพนธ์ครุศาสตร์มหาบัณฑิต, กรุงเทพฯ : จุฬาลงกรณ์มหาวิทยาลัย.

ทองฟู ชินะโชติ. 2531. **การฝึกอบรมและการพัฒนาบุคลากร.** กรุงเทพฯ : ภาควิชาบริหารธุรกิจ คณะเศรษฐศาสตร์ มหาวิทยาลัยเกษตรศาสตร์.

ธีรยุทธ์ หล่อเลิศรัตน์. 2533. "ทำอย่างไรการฝึกอบรมจึงคุ้มค่า" **จุลสารพัฒนาข้าราชการพลเรือน.** ฉบับที่ 4 : กรุงเทพฯ.

ธำรง บัวศรี. 2535. **ทฤษฎีหลักสูตร : การออกแบบและการพัฒนา.** กรุงเทพฯ : โอเดียนสโตร์.

ธำรง บัวศรี. 2532. **ทฤษฎีหลักสูตร : การออกแบบและการพัฒนา .** พิมพ์ครั้งที่ 2. กรุงเทพฯ : โรงพิมพ์คุรุสภาลาดพร้าว.

นงลักษณ์ โรจนพันธ์. 2529. **เทคนิคการฝึกอบรม.** กรุงเทพฯ : มหาวิทยาลัยศรีนครินทรวิโรฒประสานมิตร.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

นิภา วงศ์ไทย. 2525. **หลักสูตรการฝึกอบรมเลี้ยงดูเด็กก่อนวัยเรียนสำหรับพ่อแม่ในชุมชนเกษตรกรรมชนบท.** ปริญญานิพนธ์การศึกษาดุษฎีบัณฑิต. กรุงเทพฯ : มหาวิทยาลัยศรีนครินวิโรฒ ประสานมิตร.

น้อย ศิริโชติ. 2524. **เทคนิคการฝึกอบรม.** กรุงเทพฯ : โอเดียนสโตร์.

บุญทรง สังข์ทอง และอุบล เล่นวารี. 2529. **คู่มือสอบบรรจุครู – อาจารย์ ระดับ 1- 2 - 3.** กรุงเทพฯ : อุดมศึกษา.

ประชุม รอดประเสริฐ. 2539. **การบริหารโครงการ.** กรุงเทพฯ : เนติกุลการพิมพ์.

พลากร สุวรรณรัฐ. 2535. "เปิดห้องรับแขก" **จุลสารพัฒนาข้าราชการพลเรือน.** กรุงเทพฯ .

พยอม วงศ์สารศรี. 2531. **การบริหารงานบุคคล.** กรุงเทพฯ : โรงพิมพ์พรานนกการพิมพ์.

ไพฑูรย์ โพธิสว่าง. 2537. "แนวทางการฝึกอบรมบุคลากรทุกระดับในหน่วยงาน : ข้อคิดและบทเรียนจากประเทศญี่ปุ่น" **วารสารพัฒนาชุมชน.** 33 (5) : พฤษภาคม 2537.

ภิญโญ สาธร. **การบริหารงานบุคคล.** กรุงเทพฯ : วัฒนาพานิช, 2517.

มณีรัตน์ จำรูญรัตน์. 2530. "การจัดการฝึกอบรมในหน่วยงาน" ใน **ประมวลบทความประกอบการฝึกอบรมเรื่องการจัดฝึกอบรมเรื่องการจัดฝึกอบรมในหน่วยงานของศูนย์เพิ่มผลผลิตแห่งประเทศไทย.** หน้า 1 – 10.

มาณพ ภาษิตวิไลธรรม. 2525. **การประเมินโครงการฝึกอบรมครูและบุคลากรทางการศึกษาประจำการ.**วิทยานิพนธ์ปริญญาการศึกษาดุษฎีบัณฑิต, สาขาการบริหารการศึกษา บัณฑิตวิทยาลัย มหาวิทยาลัยศรีนครินทรวิโรฒ ประสานมิตร.

รุ่ง แก้วแดง. 2540. **ปฏิวัติการศึกษาไทย.** กรุงเทพฯ : พิมเนศ พริ้นติ้ง เซนเตอร์.

ล้วน สายยศและอังคณา สายยศ. 2538. **เทคนิคการวิจัยทางการศึกษา.** กรุงเทพฯ : ศูนย์ส่งเสริมวิชาการ

วิชัย ดิสสระ. 2535. **การพัฒนาหลักสูตรและการสอน.** กรุงเทพฯ : มหาวิทยาลัยศรีนครินทรวิโรฒ ประสานมิตร.

วิชัย วงษ์ใหญ่. 2535. **พัฒนาหลักสูตรและการสอน – มิติใหม่.** กรุงเทพฯ : โอเดียนสโตร์.

ศิริวิทย์ สุขหลาย และคณะ. 2528. "แบบจำลอง CIPP." **บทความทางการประเมินโครงการ.** กรุงเทพฯ : จุฬาลงกรณ์มหาวิทยาลัย.

สุเทพ สังข์เพชร. 2536. "การฝึกอบรมพัฒนาบุคลากร." **จุลสารการศึกษาต่อเนื่อง.** 2(3) : มกราคม – เมษายน.

สงัด อุทรานันท์. 2532. **พื้นฐานและหลักการพัฒนาหลักสูตร** . พิมพ์ครั้งที่ 3. ภาควิชาบริหารการศึกษา จุฬาลงกรณ์มหาวิทยาลัย. กรุงเทพฯ : อัดสำเนา.

สันต์ ธรรมบำรุง. 2527. **หลักสูตรและการบริหารหลักสูตร.** กรุงเทพฯ : โรงพิมพ์การศาสนา.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สมคิด บางโม. 2538. **เทคนิคการฝึกอบรมและการประชุม**. กรุงเทพฯ บริษัทวิทยาพัฒน์.

สมพงศ์ เกษมสิน. 2536. **การบริหารงานบุคคลแบบใหม่**. กรุงเทพฯ : ไทยวัฒนาพานิช.

สุชาติ ลี้ตระกูล: 2532. **การพัฒนาหลักสูตรสำหรับลูกกรรมกรก่อสร้างก่อนวัยเรียนในเขตกรุงเทพมหานคร**.ปริญญานิพนธ์ดุษฎีบัณฑิต. กรุงเทพฯ : มหาวิทยาลัยศรีนครินทรวิโรฒประสานมิตร.

สุนทร บำเรอราช. 2536. **ความรู้เบื้องต้นเกี่ยวกับหลักสูตร**. ชลบุรี : ภาควิชาหลักสูตรและการสอน คณะศึกษาศาสตร์ มหาวิทยาลัยบูรพา.

สมหวัง พิธิยานุวัฒน์. 2528. **รวมบทความทางการประเมินโครงการ**. กรุงเทพฯ : จุฬาลงกรณ์มหาวิทยาลัย.

สมหวัง พิธิยานุวัฒน์. 2525. **การประเมินผลโครงการประชุมหลักการและการประยุกต์ใช้**. กรุงเทพฯ : พีระพัธนา.

สมสวย สะหรั่งบิน. 2538. **การสร้างหลักสูตรฝึกอบรมสิ่งแวดล้อมศึกษาเรื่องการจัดการขยะมูลฝอยในครัวเรือนสำหรับคณะกรรมการชุมชน เขตเทศบาลเมืองนครปฐม**. วิทยานิพนธ์ศึกษาศาสตร์มหาบัณฑิต สาขาสิ่งแวดล้อมศึกษา บัณฑิตวิทยาลัย : มหาวิทยาลัยมหิดล.

อนันต์ ศรีโสภา. 2525. **การวัดผลทางการศึกษา**. กรุงเทพฯ : ไทยวัฒนาพานิช.

อาชัญญา รัตนอุบล. 2540. **กระบวนการ การฝึกอบรมสำหรับการศึกษานอกระบบโรงเรียน**. กรุงเทพฯ : บริษัทประชาชน.

อำนวย เลิศชยันตี. 2539. **สถิตินอนพารามเตริก**. กรุงเทพฯ : ศิลปสนองการพิมพ์.

Assim, A. S. 2000. IEEE Transaction on education. Vol 43 No 4 November.

Beach, D. S. 1970. **Personnel The Management of People at Work**. 2nd ed. New York : Macmillan.

Best , J. W. 1977. **Research in education.** New Delhi : Prentice-Hall.

Bruce, E. W. 1990. "**Theory and Application of Statistics**". Mc.Graw-Hill, New York.

Good, C. V. 1973. **Dictionary of education**. 3rd ed. New York : McGraw – Hill.

Kerr, J. F. 1986. **Changing The Curriculum**. London : University of London Press.

Krejcie, R. V., and Morgan, D. W. 1970. "Determining Sample Size for Research Activities" **Education and Psychological Measurement**. 30(3) : 607 - 610 Actumn.

Riecken, H. 1972. **Evaluation action programs : readings in social action research**. Boston : Allyn & Bacon.

Scriven, M. 1967. "**The Methodology of Evaluation" in curriculum evaluation**. P. 60-75, Chicago : American Educational Research Association.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Steel, R.G.D. and Torrie, J.H. 1973. **Principles of evaluation**. New York : McGraw Hill Book Company.

Stufflebeam, D. L. and Anthony J. S. 1985. **Systematic evaluation**. Boston : Kluwep-Nijhoff Publishing.

Suchman, E. A. 1987. **Evaluation research : principle and practice in public service and social action programs**. New York : Ruge Sage Foundation.

Taba, H. 1962. **Curriculum Development: Theory and practice**. New York : Harcourt, Brace& World.

Tyler, R. W. 1970. **Basic principles of curriculum and instruction**. Chicago : University of Chicago Press.

Weiss, C. H. 1972. **Evaluation action programs.Massachusette** : Allyn and Bacon.

Welch, W. W. 1974. **"The Process of Evaluation," Journal of research on science teaching**. 11(2) : 175-183 ; April.

[Online]. Availble : http://www.tmec.nectec.or.th. 2001

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ภาคผนวก

ภาคผนวก ก เครื่องมือที่ใช้ในการวิจัย

ภาคผนวก ข ข้อมูล และการวิเคราะห์ข้อมูล

ภาคผนวก ค หนังสือราชการต่างๆ

ภาคผนวก ง ผู้ทรงคุณวุฒิ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ภาคผนวก ก
เครื่องมือที่ใช้ในการวิจัย

- โครงสร้างหลักสูตรฝึกอบรมการออกแบบวงจรดิจิตอลด้วยภาษา VHDL ขั้นพื้นฐาน
- หน่วยการฝึกอบรม
- คู่มือฝึกอบรมการออกแบบวงจรดิจิตอลด้วยภาษา VHDL ขั้นพื้นฐาน
- คู่มือการใช้โปรแกรม VSYSTEM
- แบบประเมินความสอดคล้อง
- แบบประเมินคุณภาพหลักสูตรฝึกอบรมด้านเนื้อหา
- แบบทดสอบระหว่างฝึกอบรม
- แบบทดสอบก่อนและหลังฝึกอบรม

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

โครงสร้างหลักสูตรฝึกอบรม
การออกแบบวงจรดิจิตอลด้วยภาษา VHDLขั้นพื้นฐาน

จุดประสงค์ทั่วไปของการฝึกอบรม

1. เพื่อให้ผู้เข้ารับการฝึกอบรมมีความสามารถในการใช้งานโปรแกรมภาษา VHDL ขั้นพื้นฐานได้
2. เพื่อให้ผู้เข้ารับการฝึกอบรมสามารถใช้โปรแกรมภาษา VHDL เพื่อออกแบบวงจรดิจิตอลขั้นพื้นฐานได้

เนื้อหาวิชา

1. รูปแบบการเขียนภาษา VHDL ขั้นพื้นฐาน
2. การสร้างโมเดลที่อยู่ในรูปของ Behavioral
3. การสร้างโมเดลที่อยู่ในรูปของ Structural
4. การสร้างโมเดลที่อยู่ในรูปของ Data flow
5. โมเดลที่ใช้ในการทดสอบ (test bench)
6. การประยุกต์ใช้ภาษา VHDL ขั้นพื้นฐาน

ระยะเวลาในการฝึกอบรม

2 วัน ครอบคลุมเนื้อหาทั้งหมด

กิจกรรมในการฝึกอบรม

1. บรรยายประกอบคู่มือการฝึกอบรม

การประเมินผลการฝึกอบรม

1. ทำแบบฝึกหัดท้ายหน่วยการฝึกอบรมเพื่อหาประสิทธิภาพของหลักสูตรฝึกอบรม
2. ทำข้อสอบวัดผลสัมฤทธิ์ของการฝึกอบรมหลังจากฝึกอบรมหลักสูตรการออกแบบวงจรดิจิตอลด้วยภาษา VHDL ขั้นพื้นฐาน เพื่อเปรียบเทียบผลสัมฤทธิ์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การทดลองที่ 1 เรื่อง รูปแบบการเขียนภาษา VHDL ขั้นพื้นฐาน

จุดประสงค์เชิงพฤติกรรม

1. เพื่อให้ผู้เข้ารับการฝึกอบรมสามารถอธิบายโครงสร้างของรูปแบบการเขียนภาษา VHDL
2. เพื่อให้ผู้เข้ารับการฝึกอบรมสามารถเขียนสัญญลักษณ์ตัวแปรและการประกาศได้
3. เพื่อให้ผู้เข้ารับการฝึกอบรมสามารถจำแนกประเภทของข้อมูลได้
4. เพื่อให้ผู้เข้ารับการฝึกอบรมสามารถเขียนสัญญลักษณ์ตัวปฏิบัติการของภาษา VHDL ได้

เนื้อหาวิชา

1. ประวัติความเป็นมาของโปรแกรมภาษา VHDL
2. การออกแบบวงจรดิจิตอลด้วยวิธี Top – Down Design
3. ตัวแปรและการประกาศใช้
4. ประเภทของข้อมูล
5. ตัวปฏิบัติการ

ระยะเวลาในการฝึกอบรม

2 ชั่วโมง

กิจกรรมในการฝึกอบรม

1. บรรยายประกอบคู่มือการฝึกอบรม
2. ทำแบบฝึกหัดท้ายหน่วยการฝึกอบรม

การประเมินผลการฝึกอบรม

ตรวจแบบฝึกหัดระหว่างการทดลอง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การทดลองที่ 2 เรื่อง การสร้างโมเดลที่อยู่ในรูปของ Behavioral

จุดประสงค์เชิงพฤติกรรม

1. เพื่อให้ผู้เข้ารับการฝึกอบรมสามารถอธิบายโมเดลที่อยู่ในรูปของ Behavioral ได้
2. เพื่อให้ผู้เข้ารับการฝึกอบรมสามารถวิเคราะห์การทำงานของโมเดลที่อยู่ในรูปของ Behavioral ได้

เนื้อหาวิชา

1. โครงสร้างของโมเดล Behavioral
2. วิธีการเขียนโมเดลแบบ Behavioral

ระยะเวลาในการฝึกอบรม

2 ชั่วโมง

กิจกรรมในการฝึกอบรม

1. บรรยายประกอบคู่มือการฝึกอบรม
2. ทำแบบฝึกหัดท้ายหน่วยการฝึกอบรม

การประเมินผลการฝึกอบรม

ตรวจแบบฝึกหัดท้ายหน่วยการฝึกอบรม

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การทดลองที่ 3 เรื่อง การสร้างโมเดลที่อยู่ในรูปของ Structural

จุดประสงค์เชิงพฤติกรรม

1. เพื่อให้ผู้เข้ารับการฝึกอบรมสามารถอธิบายโมเดลที่อยู่ในรูปของ Structural ได้
2. เพื่อให้ผู้เข้ารับการฝึกอบรมสามารถวิเคราะห์การทำงานของโมเดลที่อยู่ในรูปของ Structural ได้

เนื้อหาวิชา

1. โครงสร้างของโมเดล Structural
2. วิธีการเขียนโมเดลแบบ Structural

ระยะเวลาในการฝึกอบรม

2 ชั่วโมง

กิจกรรมในการฝึกอบรม

1. บรรยายประกอบคู่มือการฝึกอบรม
2. ทำแบบฝึกหัดท้ายหน่วยการฝึกอบรม

การประเมินผลการฝึกอบรม

ตรวจแบบฝึกหัดท้ายหน่วยการฝึกอบรม

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การทดลองที่ 4 เรื่อง การสร้างโมเดลที่อยู่ในรูปของ Data flow

จุดประสงค์เชิงพฤติกรรม

1. เพื่อให้ผู้เข้ารับการฝึกอบรมสามารถอธิบายโมเดลที่อยู่ในรูปของ Data flow ได้
2. เพื่อให้ผู้เข้ารับการฝึกอบรมสามารถวิเคราะห์การทำงานของโมเดลที่อยู่ในรูปของ Data flow ได้

เนื้อหาวิชา

1. โครงสร้างของโมเดล Data flow
2. วิธีการเขียนโมเดลแบบ Data flow

ระยะเวลาในการฝึกอบรม

2 ชั่วโมง

กิจกรรมในการฝึกอบรม

1. บรรยายประกอบคู่มือการฝึกอบรม
2. ทำแบบฝึกหัดท้ายหน่วยการฝึกอบรม

การประเมินผลการฝึกอบรม

ตรวจแบบฝึกหัดท้ายหน่วยการฝึกอบรม

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การทดลองที่ 5 เรื่อง โมเดลที่ใช้ในการทดสอบ (test bench)

จุดประสงค์เชิงพฤติกรรม

1. เพื่อให้ผู้เข้ารับการฝึกอบรมสามารถอธิบายโมเดลที่ใช้ในการทดสอบ (test bench) ได้
2. เพื่อให้ผู้เข้ารับการฝึกอบรมสามารถวิเคราะห์โมเดลที่ใช้ในการทดสอบ (test bench) ได้

เนื้อหาวิชา

1. โครงสร้างของโมเดลที่ใช้ในการทดสอบ (test bench)
2. วิธีการเขียนโมเดลที่ใช้ในการทดสอบ (test bench)

ระยะเวลาในการฝึกอบรม

2 ชั่วโมง

กิจกรรมในการฝึกอบรม

1. บรรยายประกอบคู่มือการฝึกอบรม
2. ทำแบบฝึกหัดท้ายหน่วยการฝึกอบรม

การประเมินผลการฝึกอบรม

ตรวจแบบฝึกหัดท้ายหน่วยการฝึกอบรม

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การทดลองที่ 6 เรื่อง การประยุกต์ใช้ภาษา VHDL ขั้นพื้นฐาน

จุดประสงค์เชิงพฤติกรรม

1. เพื่อให้ผู้เข้ารับการฝึกอบรมสามารถประยุกต์ใช้ภาษา VHDL ขั้นพื้นฐานได้
2. เพื่อให้ผู้เข้ารับการฝึกอบรมสามารถจำลองการทำงานของวงจรดิจิตอลที่สร้างขึ้นโดยใช้ภาษา VHDL ได้

เนื้อหาวิชา

1. การออกแบบวงจรดิจิตอล Logic Design

ระยะเวลาในการฝึกอบรม

3 ชั่วโมง

กิจกรรมในการฝึกอบรม

1. บรรยายประกอบคู่มือการฝึกอบรม
2. เขียนโปรแกรมตามลอจิกไดอะแกรม

การประเมินผลการฝึกอบรม

ตรวจรูปแบบการเขียนโปรแกรม

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การทดลองที่ 1 เรื่องรูปแบบการเขียนภาษา VHDL ขั้นพื้นฐาน

จุดประสงค์เชิงพฤติกรรม

1. เพื่อให้ผู้เข้ารับการฝึกอบรมสามารถอธิบายโครงสร้างของรูปแบบการเขียนภาษา VHDL
2. เพื่อให้ผู้เข้ารับการฝึกอบรมสามารถเขียนสัญญลักษณ์ตัวแปรและการประกาศได้
3. เพื่อให้ผู้เข้ารับการฝึกอบรมสามารถจำแนกประเภทของข้อมูลได้
4. เพื่อให้ผู้เข้ารับการฝึกอบรมสามารถเขียนสัญญลักษณ์ตัวปฏิบัติการของภาษา VHDL ได้

แนะนำภาษา VHDL

VHDL (VHSIC Hardware Descript Language)

VHDL คือโปรแกรมที่สามารถสร้างรูปแบบการทำงานของระบบสัญญาณดิจิตอล (VHDL สามารถใช้กับระบบดิจิตอลเท่านั้น)

ลักษณะการทำงานแบบต่างๆ ของ VHDL

1. สร้างแบบจำลองการทำงานของระบบตั้งแต่เกต (Gate)ง่ายๆ จนถึงระดับไมโครโปรเซสเซอร์
2. สังเคราะห์ระบบจากแบบจำลอง คือ เมื่อได้แบบจำลองระบบที่เป็นโปรแกรมภาษา VHDL แล้ว สามารถที่จะแปลงวงจรซึ่งอาจจะเขียนลงในชิพ (Chips) แล้ว ชิพนั้นจะมีคุณสมบัติตามที่เราเขียนโปรแกรม เช่น Xilink หรืออาจจะเป็นกระบวนการผลิตในโรงงานเลย เป็นต้น
3. ทดสอบแบบจำลองที่สร้างขึ้น เช่น มีการเขียนโปรแกรมวงจรการนับขึ้นมา จึงจะมีการสร้าง Seven Segment จาก VHDL เพื่อที่จะนำมาทดสอบ การทำงานของวงจรนับ
4. เป็นมาตรฐานโปรแกรมที่ทำการจำลองการทำงานของระบบดิจิตอลภาษาต่างๆ

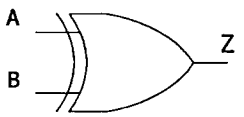
ข้อดีของภาษา VHDL

1. สามารถสร้างระบบต่างๆ ตามความต้องการได้ง่าย เพราะเป็นการจำลองการทำงานไม่เหมือนกับที่ต้องไปสร้างระบบจริง
2. การส่งข้อมูลของการผลิตเป็นไปได้ง่ายเพราะอยู่ในรูปไฟล์
3. สามารถสร้างระบบต่างๆ ได้ราคาถูก และประหยัดเวลา
4. สามารถทำระบบให้อยู่ในรูปชิพตัวเดียวได้โดยการโปรแกรมชิพประเภท Xilink

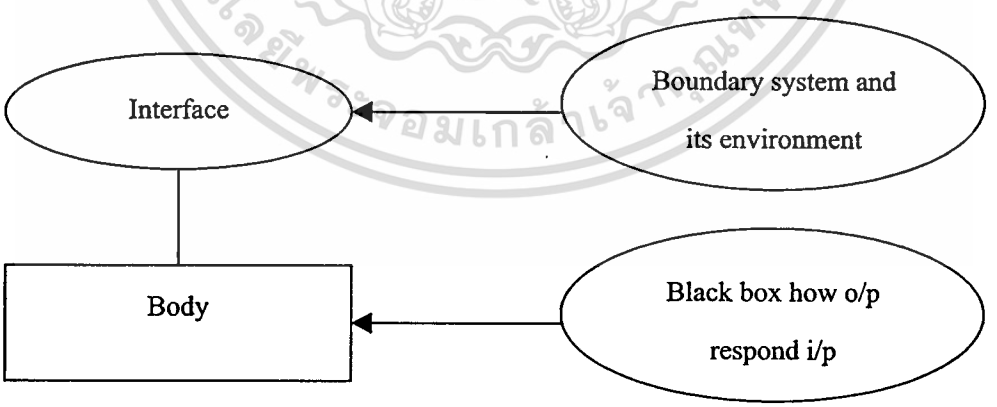
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ลักษณะของภาษา VHDL

VHDL Module ประกอบด้วย Statement Segment




```
-- interface
entity XOR2_OP is
--input/output ports
        port
        (
                A,B     :       in      BIT;
                Z       :       out     BIT
        );
end XOR2_OP
--body
architecture EX_DISJUNCTION of XOR2_OP is
begin
        Z <= A xor B;
end EX_DISJUNCTION;
```



รูปแบบของการใช้ Port

(1) ชื่อ (2) ทิศทางการไหลของข้อมูล (3) ชนิดของข้อมูลที่สัญญาณ ทิศทางการไหล หรือเรียกว่า Mode มีอยู่ด้วยกัน 5 mode ดังนี้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

1. in ข้อมูลไหลเข้า design entity อย่างเดียว
2. out ข้อมูลไหลออกจาก design entity อย่างเดียว
3. inout ข้อมูลทั้งไหลเข้าและออกจาก design entity
4. Linkage
5. Buffer

ชนิดของข้อมูลที่เป็นสัญญาณ

BIT คือ '0', '1' คำว่า BIT เป็นชนิดของข้อมูลที่กำหนดไว้ล่วงหน้า

Signal assigment statement

Z <= A xor B ←- Assigment operator

Logic operator

and	conjunction
or	disjunction
xor	exclusive disjunction
xnor	complement exclusive disjunction
nand	complement disjunction
not	complement

Operator สามารถมีพร้อมกันหลายตัวได้ เช่น

A*B*C ← Z = A and B and C

(/A*B)+(A*/B) ← Z = (not A and B) or (A and not B)

หมายเหตุ Operator ทำงานแบบ short cut คือถ้าพจน์แรกเป็นเท็จจะไม่พิจารณาพจน์ถัดไป

Concurrrentcy

ลักษณะการทำงานแบบ Concurrent (ทำงานไปพร้อมๆ กัน) ไม่ใช่ Sequential แบบ programming ทั่วไปซึ่งจะทำงานทุกครั้งที่ I/P Signal เปลี่ยนไป นั่นหมายถึงลำดับไม่มีความสำคัญ

```
signal INT, INT2 :  BIT;
begin
        INT1 <= A and not B;
        INT2 <= not A and B;
        Z <= INT1 or INT2;
end.....
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

INT1 และ INT2 จะเปลี่ยนค่าเมื่อ I/P A และ B เปลี่ยน และมีผลทำให้ Z เปลี่ยนภายหลัง ถ้าเปลี่ยน code ใหม่ ดังข้างล่าง ผลลัพธ์ที่ได้ยังคงเดิม

```
Signal INT1, INT2 : BIT;
begin
        INT1 <= A and not B;
        Z <= INT1 or INT2;
        INT2 <= not A and B;
end.
```

การทดลองที่ 1.1

1. ให้เขียนโปรแกรมแสดงการทำงานของ and gate ลงไฟล์ชื่อ AND.VHD โดยใช้โปรแกรม Notepad ดังตัวอย่างต่อไปนี้

```
entity  AND2_OP is
        port
        (
                A,B     :       in      BIT;
                Z       :       out     BIT
        );
end AND2_OP;
architecture RTL of AND2_OP is
begin
        Z <= A and B;
end RTL;
```

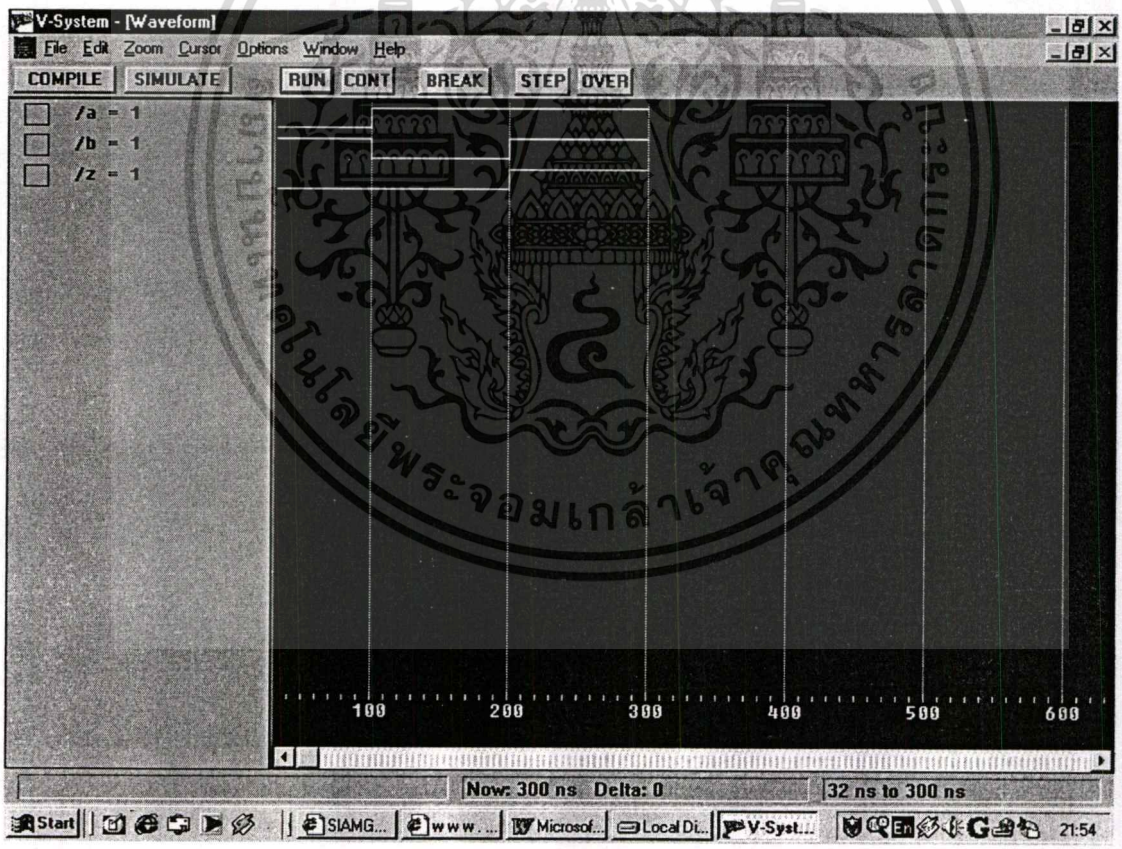
2. สร้าง library ชื่อ work สำหรับเก็บผลลัพธ์ที่ได้จากการคอมไพล์โดยคลิกที่เมนู Library/new ใส่ชื่อ "work" ลงในชื่อของ library ที่ต้องการสร้างแล้วกดปุ่ม crate ซึ่งจะปรากฏคำว่า vlib work ในหน้าต่าง transcript (การสร้าง library นี้ทำครั้งแรกครั้งเดียว)

3. ทำการคอมไพล์ AND.VHD โดยการกดปุ่ม VCOM เลือกไฟล์ชื่อ AND.VHD แล้วกดปุ่ม compile (แต่ถ้ามีข้อผิดพลาดเกิดขึ้นขอให้กลับไปดูที่ source code และแก้ไขให้เรียบร้อย จึงทำการคอมไพล์)

4. ทำการจำลองการทำงานของโปรแกรมโดยกดปุ่ม VSIM ที่ช่อง Design Unit Name เลือก entity and2_op Architecture :rtl เสร็จแล้วกดปุ่ม OK ที่หน้าต่าง Transcript

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

5. เลือกไปที่เมนู View/Wave เพื่อแสดงหน้าต่าง Wave ออกมา
6. เลือกไปที่เมนู View/signal เพื่อแสดง Signal ออกมา
7. เลือกไปที่เมนู Signal/Add to Waveform/Signal in Region จะเป็นการนำเอาสัญญาณทั้งหมดใน หน้าต่าง Signal ใส่ลงในหน้าต่าง Wave
8. เมื่อกดที่ปุ่ม Run จะเห็นผลลัพธ์ที่หน้าต่าง Wave
9. ผู้เข้ารับการฝึกอบรมสามารถเปลี่ยนสัญญาณได้เฉพาะที่เป็น input port โดยการเลือกที่เมนู Signal/Force Signal ซึ่งจะแสดงหน้าต่าง Force Signal ขึ้นมา ให้ระบุที่ช่อง Signal และ Value หมายเหตุ สามารถทำการเปลี่ยนได้ครั้งละ 1 สัญญาณเท่านั้น
10. ทดลองเปลี่ยนสัญญาณ /a/b เป็น 0 1 แล้วกดปุ่ม RUN
11. ทดลองเปลี่ยนสัญญาณ /a/b เป็น 1 0 แล้วกดปุ่ม RUN
12. ทดลองเปลี่ยนสัญญาณ /a/b เป็น 1 1 แล้วกดปุ่ม RUN
13. จะได้ผลการทดลองดังรูปที่ 1



14. จบการทดลองที่ 1.1

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การทดลองที่ 1.2

1. ให้เขียน VHDL ให้เขียนวงจรบวกขนาด 1 บิตโดยกำหนดให้ interface เป็นดังนี้

```
entity adder is
        port
        (
                a       :       in      BIT;
                b       :       in      BIT;
                cin     :       in      BIT;
                sum     :       out     BIT;
                cout    :       out     BIT
        );
end adder;
```

ในส่วนของ Body กำหนดสมการเป็น

sum = a xor b xor cin

cout = a*b + a*cin + b*cin

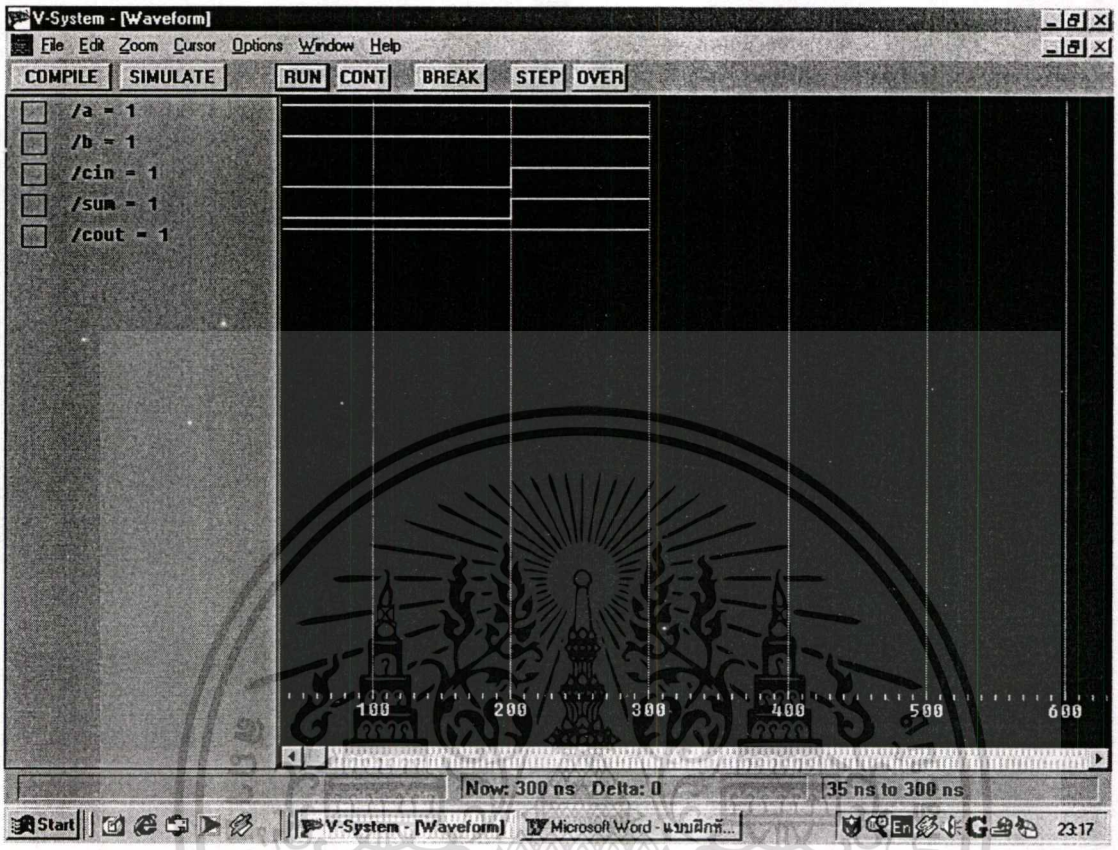
2. เขียนลงในไฟล์ชื่อ Adder.vhd

3. ทำการคอมไพล์ และจำลองการทำงาน

```
entity adder is
        port
        (
                a       :       in      BIT;
                b       :       in      BIT;
                cin     :       in      BIT;
                sum     :       out     BIT;
                cout    :       out     BIT
        );
end adder;
architecture RTL of adder is
        begin
                sum <= a xor b xor cin;
                cout <= (a and b) or (a and cin) or (b and cin)
        end RTL;
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4. จะได้ผลการทดลองดังรูป



แบบฝึกหัดท้ายหน่วยการฝึกอบรม

1. จากการทดลองที่ 1.1 จงทำการเขียนโปรแกรม AND Gate 3 Input โดยกำหนดให้ A,B,C เป็นอินพุต, Z เป็นเอาท์พุต พร้อมทั้งรายงานผล

2. จงเขียนโปรแกรม OR Gate 2 Input โดยกำหนดให้ A,B เป็นอินพุต, Z เป็นเอาท์พุต พร้อมทั้งรายงานผล

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การทดลองที่ 2 เรื่อง การสร้างโมเดลที่อยู่ในรูปของ Behavioral

จุดประสงค์เชิงพฤติกรรม

1. เพื่อให้ผู้เข้ารับการฝึกอบรมสามารถอธิบายโมเดลที่อยู่ในรูปของ Behavioral ได้
2. เพื่อให้ผู้เข้ารับการฝึกอบรมสามารถวิเคราะห์การทำงานของโมเดลที่อยู่ในรูปของ Behavioral ได้

คำแนะนำ

Behavioral เป็นการออกแบบที่ไม่ต้องสนใจถึงวิธีการสร้างวงจร สำหรับการใช้งานจริง มักจะใช้เพื่อประโยชน์ 2 ประการ ดังนี้

1. ทดสอบการทำงานในระบบที่ซับซ้อน เช่น การจำลองการทำงานวงจรที่ออกแบบขึ้นเชื่อมต่อกับไมโครโพรเซสเซอร์ เป็นต้น
2. เป็นการออกแบบที่สะดวก และใช้งานง่าย การออกแบบ Behavior สามารถใช้งาน proces โดยใส่ไว้ใน body ของ architecture เช่นเดียวกันกับ signal assignment แต่ process สามารถใช้คำสั่ง sequential (ทำงานเป็นลำดับ) ได้เหมือนภาษาสูงทั่วไป เช่น ซี หรือปาสคาล เป็นต้น ยกตัวอย่างคำสั่ง if-then-else,for-loop และภายใน process สามารถมี signal assignment บรรจุอยู่ด้วยได้

การออกแบบ Behavioral

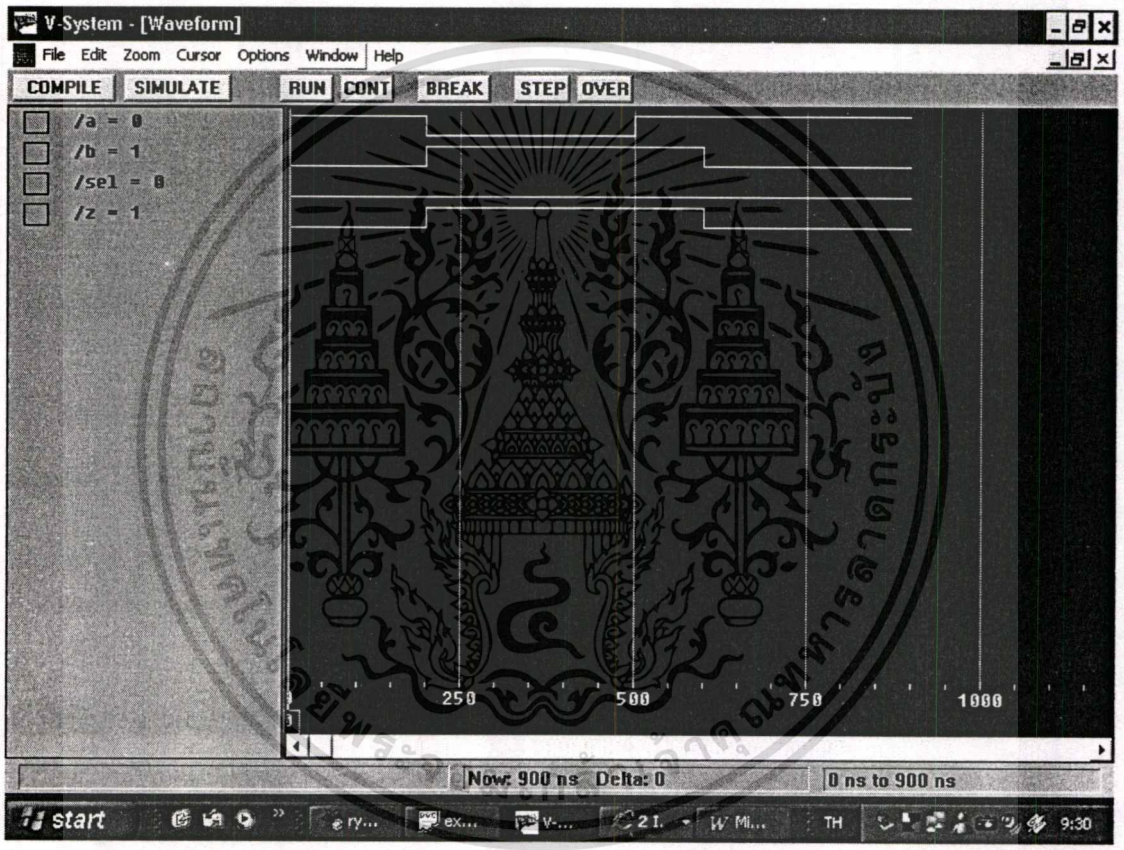
```
entity MUX is
        port
        (
                A,B,Sel :       in      BIT;
                Z       :       out     BIT
        );
end MUX;
architecture Behavior of MUX is
begin
        process (A,B,Sel)
        begin
                if Sel ='1' then
                        Z<=A;
                        Else
                                Z<=B;
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
            End if;
        end process;
end Behavior;
```

เมื่อสัญญาณอันหนึ่งอันใดที่อยู่ในวงเล็บข้างหลัง process มีการเปลี่ยนแปลง เช่นเปลี่ยนจาก 0 เป็น 1 หรือ เปลี่ยนจาก 1 เป็น 0 process นั้น ๆ จะถูกเรียกขึ้นมาทำงาน

1) ทดสอบการทำงานโดยการเปลี่ยนสัญญาณอินพุตเป็นค่าต่าง ๆ แล้วตรวจดูสัญญาณที่เอาท์พุตว่าถูกต้องหรือไม่
2) บันทึกผลการทดลอง รายงานผล



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

แบบฝึกหัดท้ายหน่วยการฝึกอบรม

จากโปรแกรมที่กำหนดให้จงอธิบายการทำงานของโปรแกรม

```
entity AND_OR is
        port (A, B   :  in  bit;
                Z_OR, Z_AND  :  out  bit);
End AND_OR;
Architecture BEHAVE of AND_OR is
        Begin
                AND_OR_FUNC : process (A, B)
                Begin
                        If  (A= '1' or B= '1') then
                                Z_OR  <= '1';
                        Else
                                Z_OR  <= '0';
                        End if;
                        If (A= '1' and B= '1')  then
                                Z_AND  <= '1';
                        Else
                                Z_AND  <= '0';
                        End if;
                End process AND_OR_FUNC;
        End behave;
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การทดลองที่ 3 เรื่อง การสร้างโมเดลที่อยู่ในรูปของ Structural

จุดประสงค์เชิงพฤติกรรม

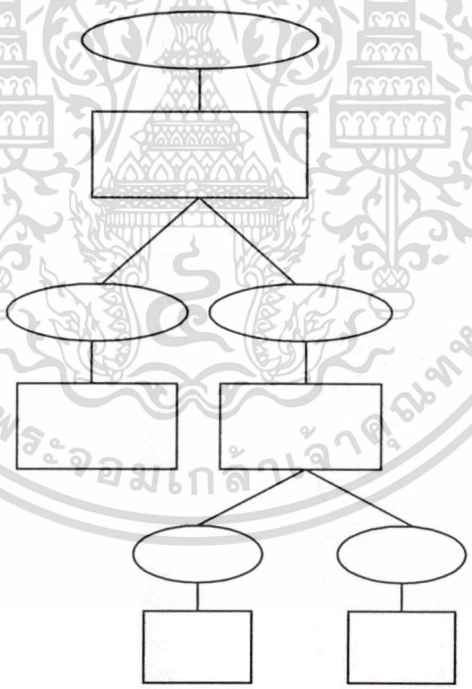
1. เพื่อให้ผู้เข้ารับการฝึกอบรมสามารถอธิบายการทำงานโมเดลที่อยู่ในรูปของ Structural ได้
2. เพื่อให้ผู้เข้ารับการฝึกอบรมสามารถวิเคราะห์การทำงานของโมเดลที่อยู่ในรูปของ Structural ได้

คำแนะนำ

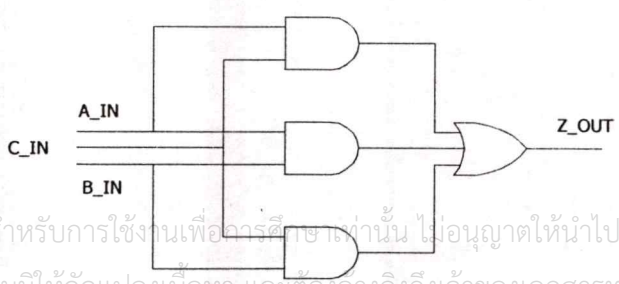
Structural คือ วิธีการออกแบบโดยการแตกองค์ประกอบออกเป็นบล็อกย่อย ๆ ซึ่งแต่ละบล็อกนี้จะเชื่อมต่อเป็นวงจรสมบูรณ์ แต่ละบล็อกจะประกอบไปด้วยคอมโพเน็นต์ (Component) ที่มีอยู่ Design entity เป็น conceptually เก็บไว้ใน design library ที่กำหนดไว้ใน VHDL จะมีอยู่ด้วยกัน 2 ตัว คือ STD กับ WORK STD เป็น declaration for predefined เช่นคำว่า BIT ส่วน WORK เป็น library ใน Working direction เป็นต้น

Hierarchical Structures

ใช้หลักการแยกองค์ประกอบออกมาเป็นส่วนย่อย ๆ เพื่อลดความซับซ้อน ดังรูป



การออกแบบ Structural



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
- - Interface
entity MAJORITY is
        port
        (
                A_IN,B_IN,C_IN :      in       BIT;
                Z_OUT          :               out      BIT
        );
end  MAJORITY
- -Body
architecture STRUCTURE of MAJORITY is
                port
                (
                        A,B,C   :      in       BIT;
                        Z       :      out      BIT
                );
        end component
        - -Declare signals to interconnect logic operators
        signal  INT1,INT2,INT3 :       BIY;
begin
        - -Connect logic operators to describe schematic
        A1: AND2_OP port map (A_IN, B_IN, INT1);
        A2: AND2_OP port map (A_IN, C_IN, INT2);
        A3: AND2_OP port map (B_IN,C_IN, INT3);
        O1 :OR3_OP port map (INT, INT2, INT3, Z_OUT);
end STRUCTURE;
```

ใน Architecture ประกอบด้วย 2 ส่วน (Declaration & Statement)

1. Declarative part สามารถกำหนดได้ 2 อย่าง
   1.1 component declaration (คล้ายกับ entity declaration)
   1.2 signal declaration (เป็นสัญญาณที่ใช้ภายใน)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2. Statement part อาจจะประกอบด้วย

Component instantiation สำหรับอธิบายการเชื่อมต่อระหว่าง Component คือ บรรทัดที่ประกอบด้วย Label, Component Name, Define mapping signal และ Name Association ตามตัวอย่าง

1) ทดสอบการทำงานโดยการเปลี่ยนสัญญาณอินพุตเป็นค่าต่าง ๆ แล้วตรวจดูสัญญาณที่เอาท์พุตว่าถูกต้องหรือไม่
2) บันทึกผลการทดลอง รายงานผล

แบบฝึกหัดท้ายหน่วยการฝึกอบรม

จงเขียนโปรแกรม Full_adder โดยกำหนดให้ A, B, Cin เป็นอินพุท Sum, Co เป็นเอาท์พุท โดยโครงสร้างในการเขียนโปรแกรมให้ใช้การเขียนแบบ Structural

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การทดลองที่ 4 เรื่อง การสร้างโมเดลที่อยู่ในรูปของ Data flow

จุดประสงค์เชิงพฤติกรรม

1. เพื่อให้ผู้เข้ารับการฝึกอบรมสามารถอธิบายโมเดลที่อยู่ในรูปของ Data flow ได้
2. เพื่อให้ผู้เข้ารับการฝึกอบรมสามารถวิเคราะห์การทำงานของโมเดลที่อยู่ในรูปของ Data flow ได้

คำแนะนำ

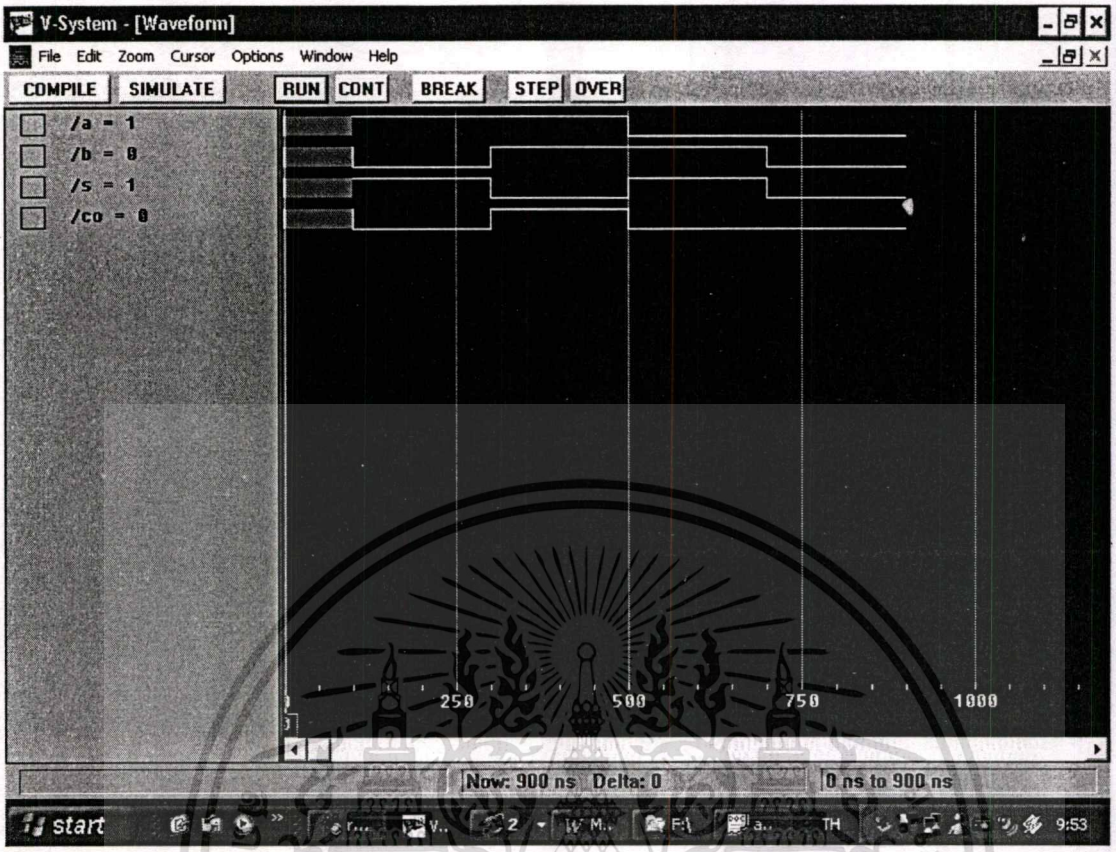
Data Flow เป็นวิธีการออกแบบที่อธิบายว่า สัญญาณอินพุต และเอาท์พุตนั้นเชื่อมต่อกันอย่างไร หรือพูดได้อีกแบบหนึ่งว่า สัญญาณต่าง ๆ มีการไหลอย่างไรในวงจร

การออกแบบ Data Flow

```
entity adder is
        port
        (
                a       :       in  BIT;
                b       :       in  BIT;
                Cin     :       in  BIT;
                sum     :       out  BIT;
                cout    :       out  BIT
        );
end  adder;

architecture  dataflow of adder is
begin
        sum     <=      a xor b xor Cin;
        cout    <=      (a and b) or (a and Cin) or (b and Cin);
end dataflow;
```

1) ทดสอบการทำงานโดยการเปลี่ยนสัญญาณอินพุตเป็นค่าต่าง ๆ แล้วตรวจดูสัญญาณที่เอาท์พุตว่าถูกต้องหรือไม่
2) บันทึกผลการทดลอง รายงานผล

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



แบบฝึกหัดท้ายหน่วยการฝึกอบรม

จากการทดลองจงเขียนโปรแกรม half_adder โดยกำหนดให้ A, B เป็นอินพุต S, Co เป็นเอาท์พุต โดยรูปแบบในการเขียนโปรแกรมกำหนดให้เป็นแบบ Dataflow

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การทดลองที่ 5 เรื่อง โมเดลที่ใช้ในการทดสอบ (test bench)

จุดประสงค์เชิงพฤติกรรม

1. เพื่อให้ผู้เข้ารับการฝึกอบรมสามารถอธิบายโมเดลที่ใช้ในการทดสอบ (test bench) ได้
2. เพื่อให้ผู้เข้ารับการฝึกอบรมสามารถวิเคราะห์การทำงานของโมเดลที่ใช้ในการทดสอบ (test bench) ได้

การสร้าง Testbench

Testbench คือโปรแกรมที่ทดสอบการทำงานโดยการส่งค่าไปยังวงจรที่ออกแบบขึ้น แทนการใช้คำสั่ง Force Signal การสร้าง Testbench เหมือนการสร้างคอมโพเน็นท์หนึ่ง ซึ่งจะต้องประกอบด้วย entity และ architecture แต่ Testbench จะไม่มี interface เพราะไม่มีสัญญาณเข้าออกจากคอมโพเน็นท์ การเขียนโปรแกรม Testbench นิยมเขียนแบบ Behavior เนื่องจากสะดวก และง่าย สามารถใช้คำสั่ง Sequential ได้

การทดลองที่ 5.1

ให้นักศึกษาทำการเขียนโปรแกรม adder4bit ตามโปรแกรมดังนี้

```
entity half_adder is
        port
        (
                A,B     :       in      BIT;
                S,Co    :       out     BIT
        );
end half_adder;
architecture RTL of half_adder is
begin
        S <=A xor B;
        Co<=A and B;
End RTL;
entity full_adder is
        Port
        (
                A,B,Ci  :       in      BIT;
                S,Co    :       out     BIT
        );
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
end full_adder;
architecture RTL of full_adder is
begin
        S  <=A xor B xor Ci;
        Co <=(A and B) or (A and Ci) or (B and Ci);
end RTL;

entity adder4bit is
        port
        (
                A,B     :       in      BIT_VECTOR (3 DOWNTO 0);
                S       :       out     BIT_VECTOR (3 DOWNTO 0);
                Co      :       out     BIT
        );
end adder4bit;

architecture RTL of adder4bit is
        component half_adder
                port
                (
                        A,B     :       in      BIT;
                        S,Co    :       out     BIT
                );
        end component;
component full_adder
        port
        (
                A,B,Ci  :       in      BIT;
                S,Co    :       out     BIT
        );
        end component;
        signal INT0,INT1,INT2 : bit;
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
begin
        H1:half_adder port map (A(0),B(0),S(0),INT0);
        F1:full_adder port map (A(1),B(1),INT0,S(1),INT1);
        F2:full_adder port map (A(2),B(2),INT1,S(2),INT2);
        F3:full_adder port map (A(3),B(3),INT2,S(3),Co);
end RTL;
```

1) ทดสอบการทำงานโดยการเปลี่ยนสัญญาณอินพุตเป็นค่าต่าง ๆ แล้วตรวจดูสัญญาณที่เอาท์พุต ว่าถูกต้องหรือไม่

2) บันทึกผลการทดลอง รายงานผล

การทดลองที่ 5.2

1) ให้นักศึกษาเขียนโปรแกรมทดสอบ (testbench) การทำงานของโปรแกรม adder4bit ดังนี้

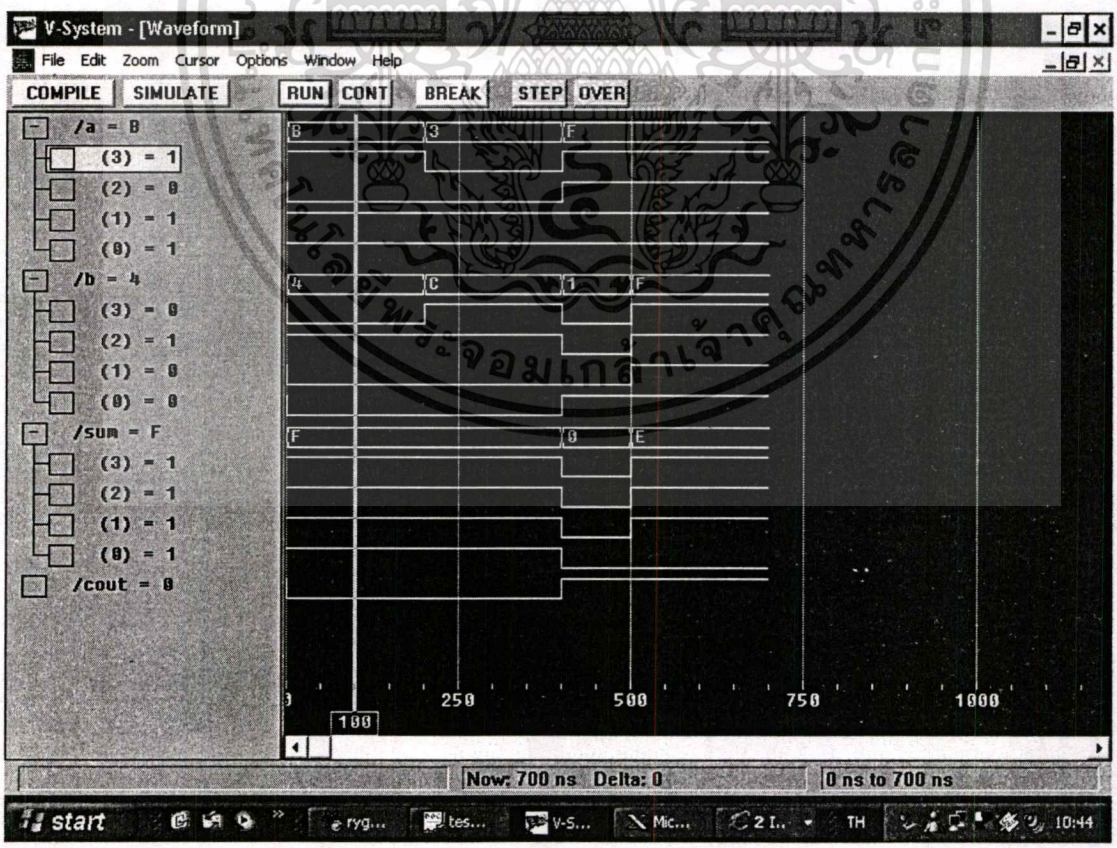
```
entity testbench is
end;
architecture behavior of testbench is
    component adder4bit
        port
        (
            A,B     :     in     bit_vector (3 downto 0);
            S       :     out    bit_vector (3 downto 0);
            Co      :     out    bit
        );
    end component;
        signal  a,b,sum :     bit_vector(3 downto 0);
        signal  cout    :     bit;
begin
        adder : adder4bit port map (A => a, B =>b,S => sum, Co => cout);
    test :  process
    begin
        A <= "1011";
        B <= "0100";
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
        wait for 100 ns;
        A <= "0011";
        B <= "1100";
        wait for 100 ns;
        A <= "1111";
        B <= "0001";
        wait for 100 ns;
        B <= "1111";
        wait;
        end process;
end behavior;
```

คำว่า test ในบรรทัดที่ 14 เป็น Label จะมีหรือไม่มีก็ได้ คำสั่งในบรรทัดที่ 16 เป็นการกำหนดค่าให้สัญญาณบรรทัดที่ 18 เป็นการหน่วงเวลาหรือรอเป็นเวลา 100 ns ก่อนทำคำสั่งต่อไป เนื่องจากเป็น Sequential จึงต้องทำงานตามลำดับ

2) บันทึกผลการทดลอง รายงานผล



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

แบบฝึกหัดท้ายหน่วยการฝึกอบรม

จากโครงสร้างโปรแกรมของการทดลองที่ 5.1จงอธิบายทางเดินสัญญาณพร้อมทั้งเขียนบล็อกไดอะแกรมวงจรบวกแบบ 4 Bit

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การทดลองที่ 6 เรื่องการประยุกต์ใช้ภาษา VHDL ขั้นพื้นฐาน

จุดประสงค์เชิงพฤติกรรม

1. เพื่อให้ผู้เข้ารับการฝึกอบรมสามารถ ประยุกต์ใช้ภาษา VHDL ขั้นพื้นฐานได้
2. เพื่อให้ผู้เข้ารับการฝึกอบรมสามารถจำลองการทำงานของวงจรดิจิตอลที่สร้างขึ้นโดยใช้ ภาษา VHDL ได้

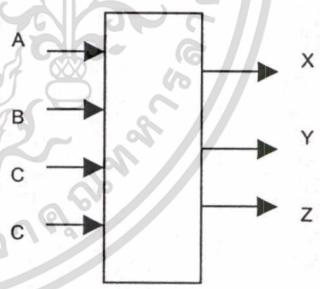
คำแนะนำ

การทดลองนี้เป็นการทดลองเพื่อที่จะฝึกหัดให้ผู้เข้ารับการฝึกอบรมได้ออกแบบวงจรดิจิตอลและลดรูปวงจรโดยใช้ Karnaugh map และทดลองเขียนโปรแกรมภาษา VHDL เพื่อจำลองการทำงานของวงจร

การทดลองที่ 6.1 วงจรบวกเลขฐานสองขนาด 2 บิต

วงจรบวกเลขฐานสองขนาด 2 บิต มีอินพุทขนาด 2 บิต 2 จำนวน คือ N1(A,B) และ N2 (C,D) ผลลัพธ์จากการบวกจะมีขนาด 3 บิต คือ N3(X,Y,Z)แสดง Block Diagram และตารางค่าความจริง ดังในรูปที่ 6.1

A	B	C	D	X	Y	Z
0	0	0	0	0	0	0
0	0	0	1	0	0	1
0	0	1	0	0	1	0
0	0	1	1	0	1	1
0	1	0	0	0	0	1
0	1	0	1	0	1	0
0	1	1	0	0	1	1
0	1	1	1	1	0	0
1	0	0	0	0	1	0
1	0	0	1	0	1	1
1	0	1	0	1	0	0
1	0	1	1	1	0	1
1	1	0	0	0	1	1
1	1	0	1	1	0	0
1	1	1	0	1	0	1
1	1	1	1	1	1	0



รูปที่ 6.1 Block Diagram และ truth table

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

1. ให้เขียนสมการของ X,Y และ Z โดยมีตัวแปรอินพุทเป็นค่า A,B,C และ D กำหนดให้ใช้ Kanaugh Map ในการลดรูปสมการ

X=(a.C)+(a.b_bar.d)+(b.c.d)

Y=(a.c_bar.d_bar)+(a.b_bar.c_bar)+(a_bar.b_bar.c)+(a_bar.c.d_bar)+(a_bar.b.c_bar.d)+(a.b.c.d)

Z=b xor d

2. เมื่อได้สมการทั้งสามแล้ว นำมาเขียน VHDL เพื่อจำลองการทำงานของวงจรโดยใช้ entity ตามที่กำหนด entity adder2bit is

```
        port
        (
                N1,N2  :       in      BIT_VECTOR(1 downto 0);
                N3     :       out     BIT_VECTOR(2 downto 0);
        );
end adder2bit;
```

3. ทดสอบการทำงานโดยเปลี่ยนสัญญาณอินพุทเป็นค่าต่าง ๆ แล้วตรวจดูสัญญาณที่เอาท์พุทว่าถูกต้องหรือไม่

```
entity adder2bit is
port
(
        N1,N2  :       in      BIT_VECTOR(1 downto 0);
        N3     :       out     BIT_VECTOR(2 downto 0)
);
end adder2bit;
architecture structure of adder2bit is
        component and2_op
                port(A,B: in bit;Z:out bit);
        end component;

        component and3_op
                port(A,B,C:in bit;Z:out bit);
        end component;

        component and4_op
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
        port(A,B,C,D:in bit;Z:out bit);
end component;
component or2_op
        port(A,B: in bit;Z:out bit);
end component;
component or3_op
        port(A,B,C:in bit;Z:out bit);
end component;
component or4_op
        port(A,B,C,D:in bit;Z:out bit);
end component;
component or6_op
        port(A,B,C,D,E,F:in bit;Z:out bit);
end component;
component not_op
        port(A : in bit;Z:out bit);
end component;
component xor2_op
        port(A,B:in bit;Z:out bit);
end component;
component nxor2_op
        port(A,B:in bit;Z:out bit);
end component;
signal A_BAR, B_BAR, C_BAR, D_BAR                    : BIT;
signal INT0, INT1, INT2, INT3, INT4                  : BIT;
signal INT5, INT6, INT7 ,INT8                        : BIT;
        begin
                NO1 : NOT_OP port map (N1(1),A_BAR);
                NO2 : NOT_OP port map (N1(0),B_BAR);
                NO3 : NOT_OP port map (N2(1),C_BAR);
                NO4 : NOT_OP port map (N2(0),D_BAR);
        --X
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
        XA1 : AND2_OP port map (N1(1),N2(1),INT0);
        XA2 : AND3_OP port map (N1(1),N2(0),N2(0),INT1);
        XA3 : AND3_OP port map (N1(1),N2(0),N2(0),INT2);
        XO1 : OR3_OP port map (INT0,INT1,INT2,N3(2));
    --Y
        YA1 : AND3_OP port map (N1(1),C_BAR,D_BAR,INT3);
        YA2 : AND3_OP port map (N1(1),C_BAR,D_BAR,INT4);
        YA3 : AND3_OP port map (N1(1),C_BAR,D_BAR,INT5);
        YA4 : AND3_OP port map (N1(1),C_BAR,D_BAR,INT6);
        YA5 : AND4_OP port map (A_BAR,N1(0),C_BAR,N2(0),INT7);
        YA6 : AND4_OP port map (N1(1),N1(0),N2(1),N2(0),INT8);
        YO1 : OR6_OP port map (INT3,INT4,INT5,INT6,INT7,INT8,N3(1));
    --Z
        ZX1 : XOR2_OP port map (N1(0),N2(0),N3(0));
    end structure;
```

4. กำหนดให้ใช้ Testbench ต่อไปนี้ในการตรวจสอบการทำงานของวงจร

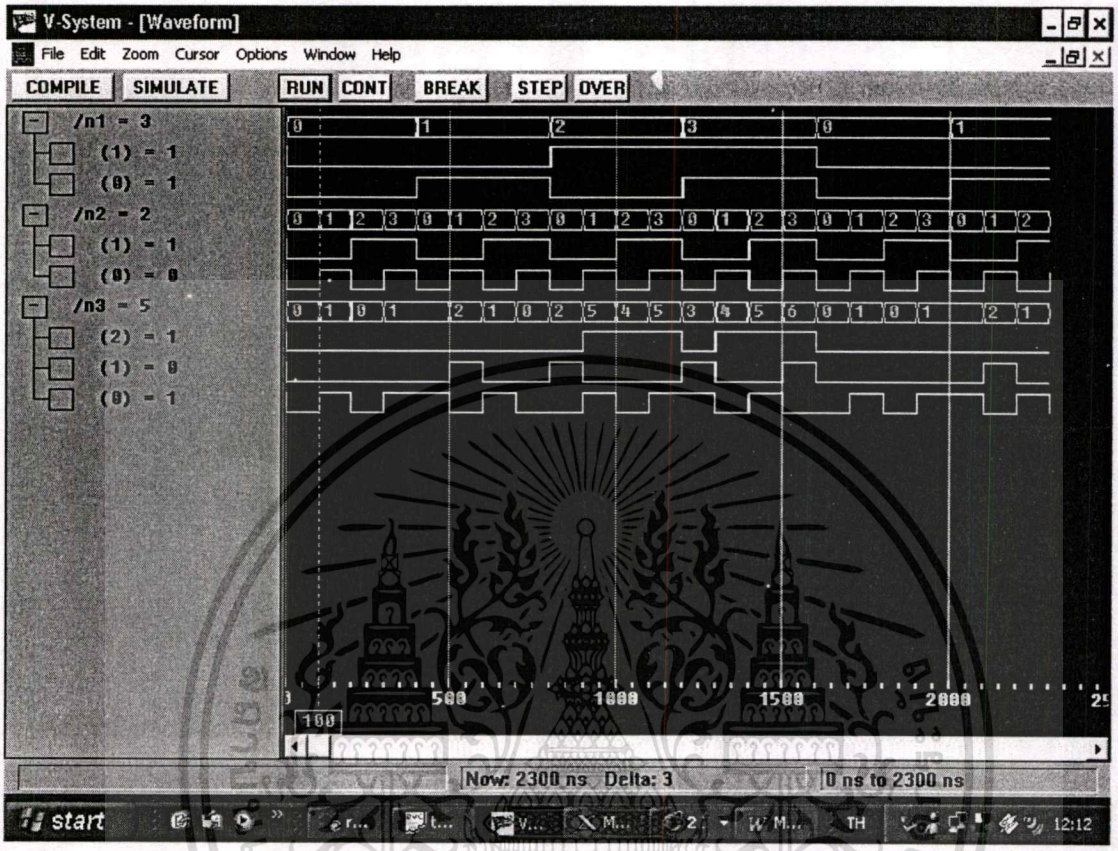
```
entity testbench is
end;
Architecture behavior of testbench is
    component adder2bit
        port
        (N1,N2 :        in      bit_vector(1 downto 0);
        N3      :out    out     bit_vector(2 downto 0);
    end component
    signal  N1,N2 : bit_vector(1 downto 0);
    signal  N3 : bit_vector(2 downto 0);
begin
    adder : adder2bit port map (N1,N2,N3);
    test :process
    begin
        N1<="00",N2<="00";
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
wait for 100 ns;
N1<="00",N2<="01";
wait for 100 ns;
N1<="00",N2<="10";
wait for 100 ns;
N1<="00",N2<="11";
wait for 100 ns;
N1<="01",N2<="00";
wait for 100 ns;
N1<="01",N2<="01";
wait for 100 ns;
N1<="01",N2<="10";
wait for 100 ns;
N1<="01",N2<="11";
wait for 100 ns;
N1<="10",N2<="00";
wait for 100 ns;
 N1<="10",N2<="01";
wait for 100 ns;
N1<="10",N2<="10";
wait for 100 ns;
N1<="10",N2<="11";
wait for 100 ns;
N1<="11",N2<="00";
wait for 100 ns;
N1<="11",N2<="01";
wait for 100 ns;
N1<="11",N2<=:10";
wait for 100 ns;
N1<="11",N2<="11";
wait for 100 ns;
end behavior
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

5. หลังจากผู้เข้ารับการฝึกอบรมทดสอบจนแน่ใจว่าถูกต้องแล้ว ทำการบันทึกผลการทดลอง และรายงานผล



การทดลองที่ 6.2 LOGIC Design

```
entity LOGIC_DESIGN is
        port
        (
        A,B,C,D         :       in      BIT;
        Z       :       out     BIT
        );
end LOGIC_DESIGN;
architecture structure of logic_design is
    component AND2_OP
        port
        (
            A,B     :       in      BIT;
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
            Z       :       out     BIT
        );
end component;
component OR2_OP
        port
        (
            A,B     :       in      BIT;
            Z       :       out     BIT
        );
end component;
component XNOR2_OP
        port
        (
            A,B     :       in      BIT;
            Z       :       out     BIT
        );
end component;

component NOT_OP
        port
        (
            A       :       in      BIT;
            Z       :       out     BIT
        );
end component;
signal A_BAR, B_BAR, C_BAR          : BIT;
signal I1, I2, I3, I4               : BIT;
begin

        N1 : NOT_OP port map (A,A_BAR);
        N2 : NOT_OP port map (B,B_BAR);
        N3 : NOT_OP port map (C,C_BAR);
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
    A1 : AND2_OP port map (A_BAR, C_BAR, I1);
    NX1 : XNOR2_OP port map (B,D,I2);
    A2 : AND2_OP port map (B_BAR, C, I3);
    A3 : AND2_OP port map (I1, I2, I4);
    O1 : OR2_OP port map (I3, I4, Z);
end structure;
```

แบบฝึกหัดท้ายหน่วยการฝึกอบรม

จากโปรแกรมที่กำหนดให้ ให้ผู้เข้ารับการฝึกอบรมตอบคำถามต่อไปนี้

1. เขียนวงจรคอมไบเนชั่นจากโปรแกรมที่ให้มา
2. เขียนสมการเอาท์พุทของวงจร Z
3. ให้หาผลลัพธ์ของเอาท์พุท เมื่อกำหนดให้อินพุตดังต่อไปนี้
   3.1. ABCD="0000"
   3.2. ABCD="0101"
   3.3. ABCD="1010"
   3.4. ABCD="1111"

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 1

บทนำ (Introduction)

1.1 กล่าวนำ

จุดประสงค์ของคู่มือฝึกอบรมฉบับนี้เพื่อแนะนำพื้นฐานของภาษา VHDL อันได้แก่การเขียนรูปแบบ (modeling) และการตรวจสอบการทำงานของรูปแบบดังกล่าว โดยการจำลองการทำงาน (model simulation) อย่างไรก็ตามไม่สามารถที่จะหลีกเลี่ยงการศึกษาถึงกฎเกณฑ์ (syntax) ของภาษา ตลอดจนความหมายต่างๆ ของภาษา (semantics) ได้ แต่จะกล่าวถึง เท่าที่จำเป็น สำหรับความเข้าใจเบื้องต้นเท่านั้น และพอเพียงที่จะสามารถนำไปใช้เขียนรูปแบบระบบดิจิตอลพื้นฐานได้ ส่วนในเรื่องของรายละเอียดนั้น สามารถศึกษาได้จากหนังสือคู่มือ Language Reference Manual (LRM) ของ IEEE (Institute of Electrical and Electronics Engineers) ฉะนั้นในบทนี้จะบรรยายถึงประวัติความเป็นมา และวิวัฒนาการของภาษา VHDL อธิบายคำจำกัดความ (definition) ตลอดจนคำต่างๆ และวิธีการเขียนที่ใช้ในหนังสือเล่มนี้

1.2 ประวัติความเป็นมาของภาษา VHDL

วิวัฒนาการของภาษา VHDL นั้นเริ่มต้นประมาณปี ค.ศ. 1981 โดยที่กระทรวงกลาโหมสหรัฐอเมริกาหรือ Department of Defense (DOD) มองเห็นว่าอุปกรณ์อิเล็กทรอนิกส์และคอมพิวเตอร์ที่ใช้ในกิจการทางทหาร เป็นอุปกรณ์ที่ได้รับการพัฒนามาเมื่อประมาณ 20 ปีก่อนเพราะเทคโนโลยีในขณะนั้นทำให้การพัฒนาอุปกรณ์อิเล็กทรอนิกส์เป็นไปอย่างล่าช้า ซึ่งเป็นสภาพที่ไม่อาจยอมรับได้ในปัจจุบัน เพราะเทคโนโลยีทางด้านไมโครอิเล็กทรอนิกส์ ได้รับการพัฒนาไปอย่างรวดเร็ว ดังที่จะเห็นได้ว่ามีวงจรดิจิตอลอิเล็กทรอนิกส์หลายวงจร ที่แต่เดิมถูกสร้างขึ้นมาจากชิ้นส่วนอุปกรณ์อิเล็กทรอนิกส์จำนวนหลายชิ้น ถูกนำประกอบกันอยู่บนแผงวงจรไฟฟ้า (Printed Circuit Board หรือ PCB) ที่มีขนาดใหญ่ แต่ในปัจจุบันสามารถที่จะใช้เทคโนโลยีการออกแบบและผลิตวงจรรวมขนาดใหญ่มาก Very Large Scale Integration หรือ VLSI) รวมอุปกรณ์ต่างๆ เหล่านั้นให้อยู่บนชิ้นอุปกรณ์สารกึ่งตัวนำ ที่มีขนาดประมาณ 1-2 ตร.ซม. ได้ ซึ่งเป็นผลให้ประสิทธิภาพในการทำงานของวงจรสูงขึ้น (ความเร็วในการทำงานของวงจร) ตลอดจนความน่าเชื่อถือ (reliability) และความคงทนต่อสภาพแวดล้อมสูง ขณะเดียวกันนั้นในวงการทหารได้มีการนำระบบคอมพิวเตอร์และอิเล็กทรอนิกส์ มาใช้ในระบบอาวุธอย่างแพร่หลาย โดยเฉพาะอย่างยิ่งในระบบอาวุธ ดังนั้นอุปกรณ์ที่มีใช้อยู่จึงไม่เหมาะสมกับเทคโนโลยีด้านอาวุธของประเทศคู่แข่งขันการที่จะเปลี่ยนอุปกรณ์ใหม่เป็น

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สิ่งที่ต้องใช้งบประมาณมาก และก็จะประสบกับปัญหาเช่นเดิมคือ อุปกรณ์ใหม่ก็ได้รับการพัฒนามานานแล้วเช่นกัน เพราะในขณะนั้นขั้นตอนของการออกแบบ ผลิตและตรวจสอบวงจรต้นแบบ เป็นขบวนการที่ต้องใช้วิศวกร และเวลาสำหรับดำเนินการมาก ฉนั้นทาง DOD จึงตั้งโครงการขึ้นมาเพื่อศึกษา วิธีการที่จะช่วยพัฒนาวงจรอิเล็กทรอนิกส์ โดยเฉพาะอย่างยิ่งวงจรระบบดิจิตอล ให้สามารถนำไปผลิตได้เร็วขึ้น และโครงการดังกล่าวชื่อว่า Very High Speed Integrated Circuits หรือ VHSSSIC ในระยะแรกนั้นโครงการเป็นความลับทางด้านความมั่งคงของประเทศ และอยู่ในความดูแลควบคุมของ United States International Traffic and Arms Regulations (ITAR) ในปี ค.ศ. 1983 ตามคำแนะนำของคณะทำงาน ("Woods Hole" workshop) ทาง DOD ได้ออกความต้องการมาตรฐานของภาษาที่ใช้สำหรับบรรยายพฤติกรรมของวงจรหรือ Hardware ของระบบสำหรับโครงการ VHSIC ซึ่งมีสาระสำคัญพอสรุปได้ดังนี้

- ต้องเป็นภาษาที่นำไปเขียนรูปแบบระบบดิจิตอล และมีคุณสมบัติที่สามารถจะเข้าใจได้ทั้งคนและเครื่องโดยไม่ต้องมีการแปลหรือเปลี่ยนแปลงอีก
- สามารถนำไปใช้เป็นเอกสารประกอบโครงการได้ (Project Documentation)
- ต้องเป็นภาษาที่เขียนขึ้นสำหรับใช้จำลองการทำงานของวงจร (Simulation Language)

ฉนั้นภาษาดังกล่าวนี้จึงจัดเป็นภาษาโปรแกรมระดับสูง (High Level Language) เช่นเดียวกับภาษา PASCAL, FORTRAN และ ADA ซึ่งในทางวิศวกรรมการออกแบบ hardware เรียกว่า Hardware Description Language หรือ HDL ดังนั้นภาษามาตรฐานนี้จึงมีชื่อว่า VHSIC-**HDL** หรือ **VHDL** นั่นเอง

เริ่มต้นโครงการ DOD ได้มอบหมายให้บริษัท IBM, Texas instruments และ Intermetrics เป็นผู้ศึกษาและพัฒนา การดีเนินการได้กระทำอย่างต่อเนื่อง และได้ผลเป็นที่น่าพอใจ จนกระทั่งปี ค.ศ. 1958 ทาง ITAR ได้ยกเลิกข้อจำกัดในการถ่ายทอดเทคโนโลยีทางทหาร ออกจากโครงการนี้ ดังนั้น VHDL จึงเริ่มเป็นที่รู้จักกันโดยทั่วไป จนกระทั่งทาง IEEE จึงได้รับภาษานี้เข้ามาศึกษาและประมาณปี ค.ศ. 1987 และมีชื่อเรียกว่า VHDL มาตรฐานนี้ก็ได้รับการปรับปรุงจนปัจจุบัน (ช่วงเวลาที่เขียนหนังสือ) ได้ชื่อว่า IEEE 1076-1993 หรือ VHDL 1993

การที่ทาง DOD ในขณะนั้น เป็นลูกค้ารายใหญ่ของอุตสาหกรรมอิเล็กทรอนิกส์และคอมพิวเตอร์จึงมีผู้รับโครงการต่างๆ จาก DOD ไปดีเนินการด้านวิจัยและพัฒนามาก เพื่อที่จะให้เป็นมาตรฐานเดียวกันหมด ทาง DOD เองที่เป็นมาตรฐานเดียวกัน สามารถนำไปจำลองกับเครื่องคอมพิวเตอร์ได้หลายๆ ระบบ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

1.3 Top-Down Design

สิ่งที่ท้าทายอันเนื่องมาจากการนำภาษา VHDL มาใช้กำหนดและบรรยายพฤติกรรมฟังก์ชันการทำงานของ hardware ในระบบดิจิตอลนั้น คือความอ่อนตัวของภาษาที่สามารถจำลองการทำงานจรกหลักการของรูปแบบ (simulate conceptual designs) แต่ในขณะเดียวกันก็สามารถจำลองการทำงานของ hardware ที่ให้รายละเอียดเกี่ยวกับเวลาอย่างถูกต้อง (timing based simulation) และจากโครงสร้างของภาษายังสามารถจำลองการทำงานในรูปของลำดับชั้น (hierarchy of simulation levels) ความสามารถดังกล่าวนี้จึงช่วยให้วิศวกรออกแบบ สามารถที่จะเขียนรูปแบบบรรยาย จากระดับบนสุดของวงจรที่อยู่ในรูปสังเขป (high level of abstraction) ลงสู่รายละเอียดในระดับล่างของวงจรได้เช่น gate level เป็นต้น ในช่วงเวลานั้นเองวงการอุตสาหกรรมไมโครอิเล็คทรอนิกส์ ตลอดจนสถาบันวิจัยและศึกษา กำลังพัฒนาภาษาที่จะใช้สำหรับการสังเคราะห์วงจรแบบอัตโนมัติ เพื่อลดเวลาในการพัฒนาวงจรลง ภาษา VHDL จึงถูกนำเข้าพิจารณาในโครงการนี้ด้วย โดยเพิ่มขีดความสามารถของภาษาขึ้นอีกประการหนึ่ง นอกเหนือจากสิ่งที่ทาง DOD กำหนดในครั้งแรกคือเป็นภาษาที่ใช้สำหรับสังเคราะห์วงจร(synthesis language)

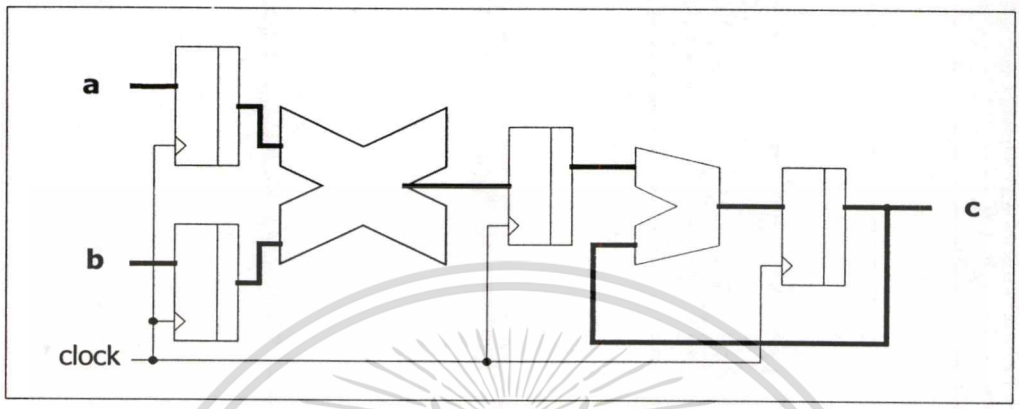
ภาษา VHDL เป็นภาษาที่สนับสนุนการเขียนรูปแบบในทุกๆ ลักษณะและวิธีการ ดังเช่นตัวอย่างที่แสดงในรูปที่ 1.1 คือรูปแบบ (model) ของลำดับขั้นตอนของการคูณและหาผลรวม (multiply accumulate algorithm) ของตัวแปรสองตัว a และ b ส่วนผลลัพธ์คือ c ในลักษณะของเลขฐานสอง (binary number) รูปแบบนี้แสดงในระดับที่สังเขปที่สุดของแนวความคิดที่จะแก้ปัญหา เพื่อหาผลลัพธ์โดยไม่ได้คำนึงถึงโครงสร้างของวงจรอย่างที่เคยชิน เช่นอุปกรณ์วงจรรวม Arithmetic and Logic Unit (ALU)

```
FOR i IN 1 TO 1024 LOOP
                result :=result + a(i) * b(i);
END LOOP;
c<=result;
```

รูปที่ 1.1: VHDL Statement สำหรับ Multiply Accumulate Algorithm

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ในขณะที่อีกด้านหนึ่งของมุมมองในปัญหาเดียวกันนี้ ภาษา VHDL ก็สามารถใช้บรรยายลำดับขั้นตอนของการคูณและหาผลรวม (multiply accumulate algorithm) โดยแสดงได้ในรายละเอียดของการสร้างวงจรดังกล่าวจริงๆ ตามที่เห็นได้จากรูปที่ 1.2



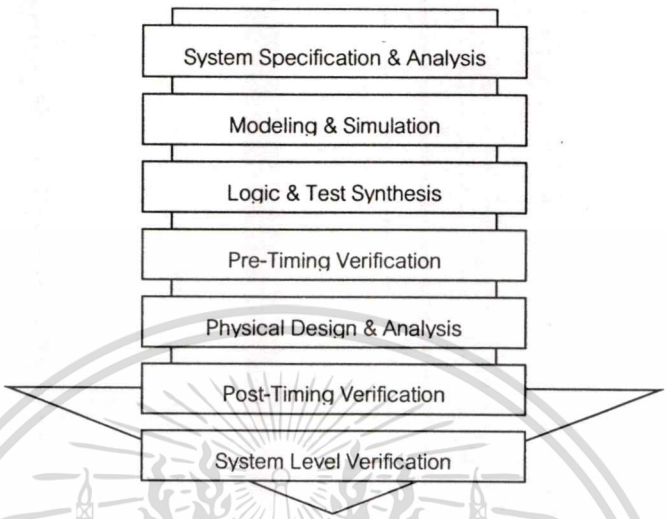
รูปที่ 1.2: โครงสร้างของ Multiply-Accumulate Unit

ฉะนั้นจากความสามารถที่จะเขียนรูปแบบ (modeling) ได้ในลักษณะต่างๆ นี้เอง จึงเปิดโอกาสให้วิศวกรผู้ออกแบบได้พัฒนาและจำลองการทำงานของรูปแบบได้เร็ว ตั้งแต่ในระยะเริ่มต้นของแนวความคิดเกี่ยวกับฟังก์ชันการทำงานของวงจรอย่างสังเขป โดยที่ยังไม่ต้องไปคำนึงถึงรายละเอียดเกี่ยวกับโครงสร้างวงจรจริง นอกจากนั้น VHDL ยังเป็นภาษาที่สนับสนุนลักษณะต่างๆ ของระบบดิจิตอล (digital system) ที่มีความซับซ้อนได้ทั้งหมด

การเริ่มต้นด้วยวิธีการเขียนรูปแบบจากแนวความคิดอย่างสังเขป พร้อมทั้งการจำลองการทำงานของรูปแบบที่เขียนขึ้น เพื่อตรวจสอบความถูกต้อง ประกอบกับการกลั่นกรองเพิ่มเติมรายละเอียดลงสู่ระบบดิจิตอลที่สมบูรณ์ในรูปของวงจรไฟฟ้าทีละขั้น นั้นเป็นขบวนการของ Top-Down design การที่เริ่มต้นด้วยการเขียนรูปแบบ (modeling) ในระดับบน (top-level) ของแนวความคิดอย่างสังเขปนั้น วิศวกรออกแบบสามารถที่จะพัฒนาสภาพแวดล้อมต่างๆ เพื่อการตรวจสอบการทำงานของวง (test environment) ได้ตั้งแต่ในระยะแรกๆ ของการออกแบบ เพื่อใช้สำหรับตรวจสอบความถูกต้องของแนวความคิดกับสิ่งที่ต้องการจริงหรือ specification ของงาน ดังนั้นจึงเป็นไปได้ยากที่ในระดับล่างลงมา โดยที่ได้เพิ่มรายละเอียดของรูปแบบให้มากขึ้นตามลำดับจะเกิดข้อผิดพลาด หรือเบี่ยงเบนไปจากจุดประสงค์เดิม เพราะในแต่ละขั้นตอนย่อยจะมีการสร้างสภาพแวดล้อมเพื่อการตรวจสอบขึ้นใหม่ โดยอ้างอิงจากระดับที่อยู่สูงกว่าขึ้นไปเสมอ จากรูปที่ 1.3 แสดงให้เห็นขั้นตอนของการออกแบบในลักษณะของ Top-Down Design ทั้งนี้ในทางปฏิบัติอาจจะมีข้อแตกต่างไปจากนี้บ้างเล็ก

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

น้อย ก็เนื่องมาจากขั้นตอนของการผลิต (implementation) สามารถกระทำได้ในหลายๆ เทคโนโลยี เช่น Programmable Logic Devices อันได้แก่ PLA, FPGA หรือ CPLD เป็นต้น นอกจากนั้นยังมี Semi-Custom IC (Gate Array, Standard Cell) และ Full Custom IC



รูปที่ 1.3: ขั้นตอนของ Top-Down Design

ขั้นตอนของขบวนการออกแบบโดยใช้วิธี Top-Down Design มีรายละเอียดดังนี้

- System Specification and Analysis ขั้นตอนของการสร้างข้อกำหนดของความต้องการ (specification) และวิเคราะห์ระบบ เพื่อหาแนวความคิดและหลักการ (Idea and Concept) ในการแก้ปัญหา
- Modeling and Simulation การเขียนรูปแบบของระบบที่ต้องการออกแบบโดยภาษา VHDL หรือ ภาษา HDL อื่นๆ จากแนวความคิดอย่างสังเขปที่ได้ สำหรับบรรยายพฤติกรรมการทำงาน พร้อมทั้งจำลองการทำงาน เพื่อเปรียบเทียบและตรวจสอบความถูกต้องกับข้อกำหนด (specification)
- Logic and Test Synthesis หลังจากที่ได้หลักการขั้นต้นพร้อมกับแนวความคิดที่ผ่านการตรวจสอบแล้ว หลักการนี้จะถูกเพิ่มเติมในรายละเอียดลงมาเป็นลำดับขั้นตอนที่เหมือนกัน คือ modeling and simulation จนกระทั้งอยู่ในระดับที่จะนำไปผลิตวงจรหรือสังเคราะห์ (synthesis) ในขั้นตอนนี้เองเทคโนโลยีที่จะมารองรับวงจรออกแบบจะถูกกำหนดขึ้น และระบบช่วงการออกแบบจะสังเคราะห์วงจรที่ได้จากรูปแบบที่เขียนขึ้นให้อยู่ในรูปของวงจรที่ประกอบด้วยอุปกรณ์อิเล็กทรอนิกส์ (gate-level) และการเชื่อมต่อระหว่างกันของอุปกรณ์เหล่านั้น หรือไม่ก็อยู่ในรูปของ netlist ทีสามารถนำไปผลิตลงบนอุปกรณ์อื่นได้ นอกจากนั้นการผลิตบางเทคโนโลยี อาทิเช่น Gate Array หรือ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Standard Cell และ Full Custom IC อาจจะมีความจำเป็นที่ต้องสร้างโครงสร้างของวงจรใหม่หลังจากที่สังเคราะห์ครั้งแรกแล้ว เพื่อความสะดวกต่อการตรวจสอบการทำงานหลังจากที่ผลิตเป็นวงจรต้นแบบแล้ว หรือที่เรียกว่า "design for test" (DFT) พร้อมทั้งข้อมูลในการตรวจสอบ (test pattern) จะถูกกำหนดในขั้นตอนนี้

- Pre-Timing Verification หลังจากการสังเคราะห์วงจรให้อยู่ในรูป gate-level หรือ netlist แล้ว ข้อมูลที่ได้จากผู้ผลิตอุปกรณ์วงจรนั้น นอกจากจะเป็นข้อมูลสำหรับจำลองการทำงาน ในเรื่องของความถูกต้องของฟังก์ชัน (functional simulation) แล้ว ยังมีข้อมูลที่เกี่ยวกับเวลาด้วย ซึ่งเป็นความจริงที่ว่า อุปกรณ์ทางอิเล็กทรอนิกส์ทุกชิ้นจะมี propagation delay เสมอ ถึงแม้ว่าจะเป็นเวลาที่น้อยมากในระดับ nanosecond (10^{-9} second) แต่ถ้าภายในวงจรหนึ่งประกอบด้วย gate ของฟังก์ชันต่างๆ จำนวน 10,000 gate ขึ้นไป เวลาดังกล่าวนี้จะสะสมกันมากขึ้น จนอาจจะทำให้การทำงานของวงจรรวมทั้งหมดผิดไป หรือไม่สามารถทำงานในย่านความถี่สัญญาณาฬิกาที่สูงได้
- Physical Design and Analysis คือขั้นตอนของการผลิตเป็นวงจรจริง (technology and device mapping) โดยนำข้อมูลที่ได้จากการสังเคราะห์มาผลิต ซึ่งอาจจะอยู่ในรูปของแผงวงจรไฟฟ้า (Printed Circuit Board: PCB) ที่ประกอบด้วยอุปกรณ์หลายๆ ชิ้น หรืออยู่ในรูปของวงจรรวมเฉพาะงาน (ASIC)
- Post-Timing Verification หลังจากที่ได้วงจรจริงมาแล้ว ยังต้องมีความจำเป็นที่ต้องตรวจสอบการทำงานที่คำนึงถึงเวลาด้วย เพื่อความถูกต้องของวงจรครั้งสุดท้ายก่อนที่จะนำไปรวมเข้ากับอุปกรณ์อื่นๆ ให้เป็นระบบดิจิตอล เพราะในขั้นตอนนี้วงจรที่ออกแบบ จะประกอบด้วย input และ output pad ซึ่งเป็นจุดต่อสำหรับและส่งสัญญาณกับภายนอก
- System Level Verification หลังจากที่นำวงจรที่ออกแบบรวมเข้ากับอุปกรณ์อื่นๆ ให้เป็นระบบดิจิตอลแล้วนั้น จะต้องทดสอบการทำงานรวมทั้งระบบร่วมกับอุปกรณ์อื่นๆ อีกครั้ง เป็นการควบคุมคุณภาพของผลิตภัณฑ์

จากความอ่อนตัวของภาษา และความสามารถที่จะเขียนรูปแบบได้หลายลักษณะนี้เอง VHDL จึงเป็นเครื่องมือที่ใช้สำหรับออกแบบตั้งแต่ขั้นตอนบนสุด คือแนวความคิดที่จะแก้ปัญหาลงไปที่ละขั้นจนถึงขั้นตอนของการผลิตวงจรจริง (form idea to implementation) ข้อดีที่เห็นได้ชัดของการนำ VHDL มาใช้ในการออกแบบลักษณะ top-down นี้คือ วิศวกรออกแบบสามารถที่จะสร้างรูปแบบ (model) และจำลองการทำงาน เพื่อตรวจสอบความถูกต้องกับข้อกำหนด (specification) ตั้งแต่เริ่มแกที่มีแนวความคิดอย่างสังเขป จากการจำลองการทำงานในระยะต้นๆ ของการออกแบบนั้น หลักการต่างๆ ที่ถูกกำหนดขึ้นใช้ในการแก้ปัญหา (สร้างวงจรให้เป็นตามความต้องการของข้อกำหนด) จะถูกตรวจสอบด้วยทุกครั้ง ก่อนที่จะมีการลงทุนในขั้นตอนสุดท้ายของการออกแบบ หรือ

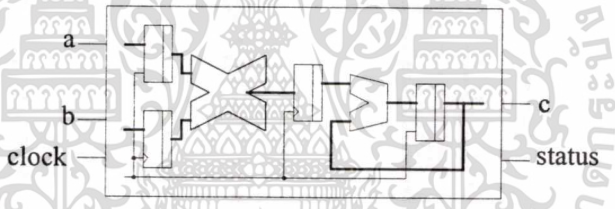
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การสร้างวงจรนั้นเอง นั้นหมายความว่าข้อผิดพลาดที่อาจจะเกิดขึ้นได้จากหลักการที่กำหนดขึ้น จะถูกตรวจพบและจัดการแก้ไขให้ถูกต้องได้ ก่อนที่จะทำงานในขั้นตอนต่อๆ แของขบวนการการออกแบบ

ในตัวอย่างของ multiply accumulate algorithm สามารถแสดงให้เห็นขบวนการออกแบบในลักษณะของ Top-Down Design ได้ โดยการใช้ multiply accumulate function จุดประสงค์แรกก็คือการเขียนรูปแบบขอฟังก์ชันในระดับบนสุดด้วยภาษา VHDL และจำลองการทำงานของรูปแบบที่ได้ เพื่อตรวจสอบความถูกต้อง ซึ่งฟังก์ชันนี้อาจจะเป็น Discrete Fourier Transform (DFT) ก็ได้ หลังจากที่ได้ฟังก์ชันที่ต้องการแล้ว (เช่นในรูปที่ 1.1 และมีชื่อว่า"multiply_accum") สามารถนำไปใช้ได้ในรูปของ function call คือ

C <= multiply_accum(a, b) ;

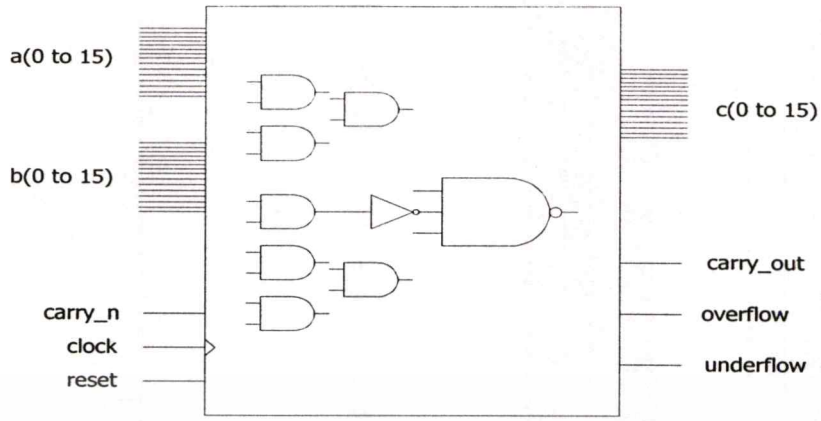
ถ้าฟังก์ชันที่ได้ทำงานเป็นที่พอใจแล้ว ในขั้นตอนต่อไปจะเป็นการเริ่มต้นของการแปลงแนวความคิด ไปสู่การสร้างวงจรจริง ขบวนการดังกล่าวเกิดขึ้นโดยการ เพิ่มรายละเอียดให้กับแนวความคิดเดิม รูปที่ 1.4 แสดงให้เห็นวิธีการบรรยายแบบ dataflow (dataflow description) multiply accumulate function



รูปที่ 1.4 : Dataflow Description ของ multiply-multiply-accumulate function

จาก dataflow format ที่ได้นี้ ขบวนการต่อไปคือการสร้างวงจรให้อยู่ในรูปของอุปกรณ์พื้นฐาน หรือ gate-level implementation ซึ่งอาจใช้วิธีการสังเคราะห์อัตโนมัติ ผลลัพธ์ที่ได้จากการสังเคราะห์จะเป็นการแสดงภาพวงจรด้วย gate จองฟังก์ชันต่างๆ หรือในรูปของ metlist และจะเป็นการกำหนดเทคโนโลยีจำเพาะที่จะนำไปผลิตในภายหลัง ในรูปที่ 1.5 แสดงให้เห็นรูปร่างของวงจรที่ได้จากการสังเคราะห์ในระดับ gate-level

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 1.5 : Gate-level Representation ของ Multiply-Accumulate Function

คุณสมบัติหลักของภาษา VHDL คือความสามารถที่จะใช้บรรยาย hardware ได้ในทุกๆ ระดับของภาพรวมทั้งระบบ ฉะนั้นวิศวกรออกแบบจึงสามารถใช้เครื่องมือ (ภาษา) เพียงอันเดียวในการบรรยายทั้งระบบ ซึ่งก็เช่นเดียวกันกับเครื่องมือจำลองการทำงาน (simulator)

1.4 Terminology and Conventions

การเขียนรูปแบบของระบบดิจิตอลด้วยภาษา VHDL นั้น จะมีศัพท์เทคนิคเฉพาะ ฉนั้นในบทนี้จะเป็นการบรรยาย และอธิบายศัพท์บางคำที่จะต้องพบในหนังสือเล่มนี้

- ลักษณะของรูปแบบ (model styles): ลักษณะของการเขียนรูปแบบ (model) ด้วยภาษา VHDL สามารถแบ่งได้เป็น
  - behavioral Model: หรือเรียกอีกอย่างได้ว่า algorithmic description เป็นรูปแบบที่บรรยายพฤติกรรมของระบบดิจิตอล ในส่วนที่บรรยายมีโครงสร้างคล้ายกับภาษาชั้นสูง (high level language) ทั่วๆ ไป เช่น PASCAL หรือ C เป็นต้น ในการจำลองการทำงาน (simulation) คำสั่งแต่ละคำสั่ง (statement) จะถูกประเมินผลเป็นไปตามลำดับ (sequential) จากบนลงล่าง ยกเว้นในกรณีของคำสั่ง LOOP หรือการเรียกใช้โปรแกรมย่อย รูปแบบลักษณะนี้จะไม่ให้รายละเอียดที่เกี่ยวกับผลิต หรือโครงสร้างของ hardware แต่ในทางตรงข้ามที่จะให้รายละเอียดเกี่ยวกับความสัมพันธ์ระหว่าง input กับ output ที่ดี
  - Dataflow Model: เรียกอีกอย่างหนึ่งได้ว่า "Register Transfer Level" (RTL) เป็นรูปแบบที่ถูกเขียนขึ้น เพื่อจุดประสงค์ที่จะใช้เครื่องมือสำหรับสังเคราะห์วงจรอัตโนมัติ รูปแบบลักษณะนี้ส่วนใหญ่จะเป็น procedural constructs และfunctional operators (ดูรูปที่ 1.1)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

- Structural Model: เป็นรูปแบบที่แสดงการเชื่อมต่อกันระหว่างอุปกรณ์ต่างๆ ที่ประกอบกันขึ้นเป็นวงจรหรือระบบดิจิตอล และสามารถเรียกอีกอย่างได้ว่า "netlist representation" เป็นการเขียนที่แสดงให้เห็นโครงสร้างของ hardware
- Mixed-Level Model: จากคุณสมบัติที่อ่อนตัวของภาษา VHDL จึงสามารถที่จะเขียนรูปแบบ โดยใช้ลักษณะต่างๆ ที่กล่าวมาแล้วข้างต้น บรรยายวงจรหรือระบบดิจิตอลเดียวกันได้ ฉนั้นรูปแบบเช่นนี้จึงมีการเขียนแบบผสม

- Concurrency: ในภาษา VHDL นั้น ชุดคำสั่ง (statements) แต่ละชุดจะทำงานในเวลาเดียวกันและอิสระต่อกัน ลักษณะเช่นนี้เป็นคุณสมบัติที่เป็นความจริงทางฟิสิกค์ของวงจรอิเล็กทรอนิกส์ ชุดคำสั่งนี้เรียกว่า "concurrent statement" และจะทำงานก็ต่อเมื่อมีการเปลี่ยนแปลงค่าของสัญญาณ
- Sequential: นอกจากความสามารถที่ชุดคำสั่งจะทำงานแบบ concurrent แล้ว บางครั้งการเขียนรูปแบบในลักษณะที่บรรยายพฤติกรรมของวงจร มีความจำเป็นที่จะต้องให้ชุดคำสั่งทำงานเป็นลำดับขั้นเรียงกันจากบนลงล่าง อย่างเช่นการเขียนแบบ behavioral model เป็นต้น ชุดคำสั่งที่เป็น sequential นี้จะใช้ในโปรแกรมย่อย (subprogram) และ process statement ซึ่งจะกล่าวถึงต่อไปในภายหลัง
- Driver: สัญญาณต่างๆ (signal) ใน VHDL นั้นจะถูกควบคุมด้วยตัวขับหรือ "driver" สัญญาณเหล่านี้จะรับค่าใหม่ (ระดับของสัญญาณ) ได้ด้วยตัวขับนี้เอง
- Transaction: การเกิด transaction กับ signal นั้นจะเกิดขึ้นเมื่อมีการกำหนดค่าๆ หนึ่งให้กับ signal นั้น ค่าใหม่ที่ signal ได้รับอาจจะมีผลหรือไม่มีผลทำให้เกิดการเปลี่ยนแปลงของระดับสัญญาณ (event) เช่นการเปลี่ยนจากค่า Logic 'O' เป็นต้น
- Event: คือการเปลี่ยนระดับค่าของ SIGNAL จากระดับหนึ่งไปสู่ระดับอื่น อย่างเช่นในระบบดิจิตอลการเปลี่ยนจาก Logic 'O' เป็น Logic 'I' หรือในทางตรงกันข้ามถือว่า SIGNAL นั้นเกิด "event" ฉนั้นจะเห็นได้ว่า การที่จะเกิด event ได้นั้นจะต้องเกิด transaction ด้วย แต่ในทางตรงกันข้ามการเกิด transaction ไม่จำเป็นต้องเกิด event ทุกครั้ง
- Sensitivity List: คือรายของ signal ต่างๆ ที่มีผลให้เกิดการทำงานของ concurrent statement เมื่อเกิด event ขึ้นกับ signal ตัวใดตัวหนึ่งหรือหลายตัวพร้อมกันในรายชื่อนั้น
- Objects: ในภาษา VHDL นั้นคำว่า object ใช้เขียนเพื่อบ่งบอกถึงองค์ประกอบส่วนหนึ่งของรูปแบบ ซึ่งเปรียบได้เหมือนกับภาชนะที่มีไว้สำหรับบรรจุค่าต่างๆ สามารถแบ่งออกได้เป็นสามชั้น (class) ด้วยกันคือ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

- CONSTANT: ได้แก่ object ประเภทหนึ่งที่เมื่อกำหนดค่าเริ่มต้นให้แล้ว จะคงค่านั้นไว้ตลอด ไม่สามารถดัดแปลง หรือแก้ไขได้ สามารถประกาศใช้ได้ในส่วนที่เป็นส่วนประกาศต่างๆ ของรูปแบบ (model)
- SIGNAL: หมายถึง object ประเภทหนึ่งที่สามารถกำหนดค่าที่สัมพันธ์กับเวลาให้ได้ นั้นหมายความว่า SIGNAL สามารถรับค่าได้เพียงค่าเดียวเท่านั้นใน-ณะเวลาหนึ่ง SIGNAL จะรับค่าๆ หนึ่งได้จากตัวขับสัญญาณหรือ driver ซึ่งตัวขับนี้อาจจะเก็บค่าในอนาคตสำหรับ SIGNAL ไว้ด้วย SIGNAL จึงสามารถถูกนำไปใช้ได้ตลอดโครงสร้างของรูปแบบ (model) หรือที่เรียกว่า global object
- VARIABLE: หรือตัวแปรได้แก่ object ที่สามารถกำหนดค่าใดๆ ให้ได้ และสามารถที่จะเปลี่ยนแปลงค่าตลอดการจำลองการทำงาน แต่จะเก็บค่าเพียงค่าเดียวเท่านั้นในขณะเวลาหนึ่งเนื่องจาก VARIABLE สามารถประกาศใช้ได้ในส่วนที่เป็น sequential body เท่านั้นอันได้แก่ส่วนประกาศของ PROCESS, FUNCTION หรือ PROCEDURE ดังนั้น VARIABLE จึงสามารถนำไปใช้ได้เฉพาะในขอบเขตที่ถูกประกาศใช้เท่านั้น (local object)[1]

- การประกาศใช้ object (object declaration): การที่จะใช้ object ชั้นต่างๆ ตามที่กล่าวมาแล้วในการเขียนรูปแบบด้วยภาษา VHDL นั้นจะต้องมีการประกาศใช้ก่อน การประกาศใช้ object สามารถใช้ชุดคำสั่งตามโครงสร้างดังนี้

```
object_class identifier: TYPE [:=initial_value];
```

ซึ่ง object_class ได้แก่ CONSTANT, SIGNAL หรือ VARIABLE การตั้งชื่อ (identifier) เป็นไปตามกฎของภาษา VHDL ซึ่งจะกล่าวถึงในส่วนต่อไป TYPE คือการกำหนดประเภทของ object ที่ประกาศนั้นๆ นอกจากนั้นยังสามารถกำหนดค่าเริ่มต้นของ object ได้ (initial_value) ซึ่งส่วนนี้เป็นเพียง option และการประกาศจะต้องอยู่ในพื้นที่ที่กำหนดให้ของแต่ละส่วนของรูปแบบ (declarative area)

- การตั้งชื่อ object: การตั้งชื่อจะต้องเป็นไปตามกฎต่อไปนี้

1) ชื่อ(identifier)ประกอบด้วยตัวหนังสือ(พยัญชนะและตัวเลข) ในภาษาอังกฤษได้แก่

- พยัญชนะ A-Z, a-z
- ตัวเลข 0, 1, 2, 3, 4, 5, 6, 7, 8, 9
- เครื่องหมายขีดเส้นใต้ (underscore) “_”

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2) ชื่อจะต้องขึ้นต้นด้วยพยัญชนะเสมอ
3) ชื่อสามารถประกอบด้วย พยัญชนะ ตัวเลข และเครื่องหมายขีดเส้นใต้จำนวนไม่จำกัด
4) การใช้เครื่องหมายขีดเส้นใต้ (_) ทุกครั้ง จะต้องนำหน้าด้วยตัวพยัญชนะหรือตัวเลข และตามด้วยตัวพยัญชนะหรือตัวเลขเช่นกัน
5) พยัญชนะตัวใหญ่หรือตัวเล็กไม่มีความแตกต่างกัน (case insensitive)
6) ห้ามใช้คำสงวน (reserved word) ของภาษา DHDL (ผนวก ง.)

- ค่าเริ่มต้น (initial value): การประกาศใช้ object ทุกครั้งควรจะต้องกำหนดค่าเริ่มต้นให้ด้วย เพราะค่าที่กำหนดนี้จะถูกนำไปใช้ เมื่อเริ่มต้นจำลองการทำงาน (simulation) ของรูปแบบ

```
SIGNAL example_signal : BIT := '1';
```

ในกรณีที่ไม่มีการกำหนดค่าเริ่มต้น ระบบจำลองการทำงานจะนำค่าที่น้อยที่สุด (อยู่ทางซ้ายมือสุดของกลุ่มค่า) ของแต่ละประเภท (TYPE) มาเป็นค่าเริ่มต้นแทน

- ประเภทข้อมูล (data type): ได้แก่ TYPE ของ object ที่จะเป็นตัวกำหนดว่าค่าใดบ้างในกลุ่มของค่า (set of value) ของแต่ละ TYPE สามารถที่จะกำหนดให้กับ object ได้ นอกจากนั้น TYPE ยังเป็นตัวกำหนดการทำงานในลักษณะต่างๆ (operation) ของ object นั้นๆ TYPE แบ่งออกเป็น 4 ประเภทคือ
  1) Scalar ได้แก่ตัวเลข (numeric) ซึ่งในภาษา VHDL มีตัวเลขจำนวนเต็มบวก (INTEGER) เช่น 1, 30, 100 เป็นต้น และเลขจำนวนจริง (REAL) เช่น 1.0, 30., 1E2 เป็นต้น
  2) Enumeration กลุ่มของค่าประเภทนี้ได้แก่ ตัวหนังสือ หรือชื่อต่างๆ
  3) Physical ได้แก่หน่วยทางฟิสิกส์ในระบบ SI
  4) File เป็น TYPE ภายนอกสามารถมีค่าได้หลายๆ อย่าง
- ประเภทย่อยของข้อมูล (subtypes): สำหรับ TYPE ที่กำหนดไว้แล้ว (predefined type และ user-defined type) สามารถที่จะแบ่งออกเป็นกลุ่มย่อยลงไปได้อีก โดยที่องค์ประกอบของ TYPE ใหม่นี้จะเป็นส่วนหนึ่งของ TYPE เดิม หรือที่เรียกว่า subtype

```
TYPE qit IS ('0', '1', 'Z', 'X');
SUBTYPE tit IS qit RANGE '0' TO 'Z';
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

- ประเภทของ object ที่กำหนดไว้แล้ว (predefined type): ได้แก่ TYPE ที่กำหนดไว้ใน package ชื่อ STANDARD และกำหนดโดย IEEE ว่าจะต้องมีในระบบที่ใช้พัฒนา VHDL ฉะนั้นจึงไม่จำเป็นต้องประกาศใช้ในทุกๆ รูปแบบที่เขียนขึ้น TYPE ประเภทนี้ได้แก่

  1) BOOLEAN คือกลุ่มของค่า FALSE และ TRUE
  2) BIT คือกลุ่มของค่า '0' และ '1'
  3) INTEGER คือกลุ่มของค่า -214748347 ถึง 214748347
  4) REAL คือกลุ่มของค่า -1.0E38 ถึง 1.05E38[3]
  5) CHARACTER คือกลุ่มของค่า พยัญชนะ 'A'-'Z', 'a'-'z', อักษรหรือเครื่องหมายพิเศษ และตัวอักษรควบคุม
  6) TIME ได้แก่หน่วยเวลาที่มีค่าพื้นฐานเป็นวินาที (second ย่อด้วย s หรือ S)
  7) SEVERITY LEVEL คือกลุ่มของค่า NOTE, WARNING, ERROR, FAILURE (จะกล่าวในบทที่ 5 เรื่อง Assertion Statement)

- Operator: เนื่องจาก TYPE ของ object จะเป็นตัวบ่งบอกถึง operator ที่ object นั้นๆ สามารถกระทำได้ ตลอดจน TYPE ของผลลัพธ์ที่ได้จากการทำงาน ในภาษา VHDL แบ่ง operator ออกได้เป็นประเภทต่างตามที่แสดงในรูปที่ 1.6
- Delay: หมายถึงช่วงระยะเวลาระหว่างที่เริ่มต้นของสาเหตุ จนกระทั่งเป็นผลออกมาให้เห็นของปรากฏการณ์หนึ่งๆ ในความเป็นจริงทางธรรมชาติอุปกรณ์ hardware ทุกอย่าง อาทิเช่น gate ต่างๆ ในระบบดิจิตอล จะมี delay แฝงอยู่เสมอ (ที่เรียกว่า propagation delay time) การที่ภาษา VHDL เป็นภาษาที่ใช้บรรยาย hardware จึงสามารถบรรยายพฤติกรรมของ delay ได้ ซึ่งจำแนก delay ออกเป็น

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Predefined Operators	
Logical Operators:	NOT, AND, OR, NAND, NOR, XOR
Operand TYPE:	BIT, BOOLEAN
Result TYPE:	BIT, BOOLEAN
Relational Operators:	=, /=, <, <=, >, >=
Operand TYPE:	TYPE ใดๆ ก็ได้
Result TYPE:	BOOLEAN
Arithmetic Operator:	+, -, *, /, **, MOD, REM, ABS
Operand TYPE:	INTEGER, REAL, Physical
Result TYPE:	INTEGER, REAL, Physical
Concatenation Operators:	&
Operand TYPE:	Array ของ TYPE ทุกประเภท
Result TYPE:	Array ของ TYPE ทุกประเภท

รูปที่ 1.6: Operator ที่กำหนดไว้ในภาษา VHDL

1) Delay Selection คือกำรกำหนด delay ที่จะมีผลต่อ SIGNAL ในรูปแบบลักษณะใน Inertial Delay ได้แก่ปฏิกิริยาต่อต้านการเปลี่ยนแปลง ระบบที่ประกอบด้วย inertial delay จะแสดงผลของการหน่วงเวลาต่อเมื่อ สัญญาณที่มาบังคับให้เกิดการเปลี่ยนแปลง (จาก driver) มีช่วงระยะเวลานานกว่า inertial delay ของระบบนั้น ๆ

Transport Delay จากความหมายของคำว่า transport คือการขนส่งจากจุดหนึ่งไปยังอีกจุดหนึ่งนั้น ฉะนั้น transport delay จึงแสดงผลจองการหน่วงเวลาทุกครั้งเสมอไม่ว่าการเปลี่ยนแปลงของตัวขับ (driver) นั้นจะมีช่วงระยะเวลานานเท่าไร

2) Internal Delay ได้แก่ delay ภายในระบบของ VHDL ทั้งนี้เนื่องจากภาษา VHDL เป็นภาษาที่ชุดคำสั่งทั้งหลายทำงานแบบ concurrent ต่อกัน ซึ่งแตกต่างไปจากภาษาโปรแกรมชั้นสูงทั่วๆ ไป แต่การทำงานของระบบจำลองการทำงานด้วยเครื่องคอมพิวเตอร์ (simulator) เครื่องไม่สามารถที่จะทำงานสองคำสั่ง (หรือมากกว่า) ได้กลไกที่จะทำให้เป็นไปตามหลักการของ concurrent statement ได้นั้นเรียกว่า delta delay ( ) ที่หมายถึง internal delay ของระบบพัฒนา VHDL (รายละเอียดจะกล่าวในบทที่ 5)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

- LRM: คือคู่มืออ้างอิง (Language Reference Manual) ของมาตรฐาน IEEE 1076 (ปัจจุบัน IEEE 1076-1993)

ตลอดหนังสือเล่มนี้การแสดงกฎเกณฑ์การเขียนคำสั่งในภาษา VHDL จะอยู่ในรูปของ Bachus-Naur Format (BNF) ซึ่งแน่นอนที่ว่าไม่สามารถที่จะนำกฎเกณฑ์ทุกอย่างมาบรรยายในหนังสือได้หมด สิ่งที่จาดหายไปสามารถค้นคว้าเพิ่มเติมได้จากหนังสือคู่มือ IEEE Standard 1076 Language Reference Manual (LRM) การแสดงวิธีการเขียนแบบ BNF นั้น ในหนังสือได้มีการดัดแปลงไปบ้างเล็กน้อย เพื่อความสะดวกในการศึกษาและมีสิ่งที่ต้องอธิบาย ณ ที่นี้ดังนี้

- เครื่องหมายวงเล็บเหลี่ยม [square brackets]
  - สิ่งที่อยู่ในเครื่องหมายนี้เป็น option สามารถที่จะเขียนหรือไม่เขียนได้
- เครื่องหมายวงเล็บปีกกา {squiggly brackets}
  - สิ่งที่อยู่ในเครื่องหมายแสดงว่า ในภาษา VHDL อนุญาตให้มีได้ 0, 1 หรือหลายๆ ครั้ง
- ตัวพิมพ์ใหญ่ 'CAPITALEZE'
  - ในหนังสือเล่มนี้ใช้ในความหมายที่แสดงว่า คำที่เขียนด้วยตัวพิมพ์ใหญ่ เป็นคำของ VHDL และคำที่อยู่ใน standard package ที่สามารถนำมาใช้ได้ทันทีโดยไม่ต้องการประกาศใหม่ ปกติภาษา VHDL เป็นภาษาที่มี case insensitive เช่นการเขียนในลักษณะนี้จะมีความหมายเดียวกันหมด

```
Entity = Entity =EnTiTy =ENTITY
```

นอกจากนั้นยังมีจุดประสงค์ เพื่อที่จะแยกความหมายทั่วไปของภาษาประจำวัน กับภาษา VHDL เช่น ฟังก์ชัน (function) ในภาษาทั่วไปหมายถึงหน้าที่ในการทำงานเพื่อให้ได้ผลอย่างใดอย่างหนึ่งออกมา แต่ในขณะที่ FUNCTION เป็นโปรแกรมย่อยประเภทหนึ่งของ VHDL

- ตัวพิมพ์หนาทึบ '**BOLD**'
  - มีจุดประสงค์เพื่อต้องการเน้น ไม่ได้เป็นส่วนของกฎเกณฑ์ของภาษาแต่อย่างใด มาดูตัวอย่างของการเขียนในลักษณะ BNF จาก IF-THEN-ELSE statement

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ตามกฎเกณฑ์การเขียนสามารถที่จะเขียน ELSIF ได้หลายครั้ง หรือไม่มีก็ได้ คำว่า ELSIF เป็น option จะเขียนหรือไม่เขียนก็ได้ แต่ถ้าเขียนจะมีได้เพียงครั้งเดียว ในขอบเขตของ sequential statement(s) สามารถเขียน sequential statement ต่างๆ ลงไปได้หลายๆ คำสั่งหรือไม่มีก็ได้

นอกจากนั้นในหนังสือเล่มนี้ผู้เรียบเรียงพยายามที่จะใช้คำศัพท์ที่เป็นภาษาไทยเท่าที่สามารถกระทำได้ และส่วนใหญ่จะเป็นคำที่ผู้อ่านทั่วไปมีความเข้าใจในความหมายดีอยู่แล้ว แต่ก็มีบางคำในภาษา VHDL ที่ให้ความหมายเฉพาะ คำเหล่านี้ผู้เรียบเรียงขอใช้ทับศัพท์ด้วยเหตุผลที่ว่า ถ้าผู้อ่านได้มีโอกาสศึกษาเพิ่มเติมจากหนังสือต่างประเทศ จะสามารถสร้างความเข้าใจได้ทันทีโดยไม่ต้องแปลกลับเป็นภาษาอังกฤษอีก สุดท้ายจะขอยกตัวอย่างบางคำเช่น

- function หรือ ฟังก์ชัน หมายถึงหน้าที่ที่กระทำการใดการหนึ่ง แต่ FUNCTION หมายถึงโปรแกรมย่อย (subprogram) ชนิดหนึ่งในภาษา VHDL
- process หมายถึงขบวนการใดๆ ในการทำงาน แต่ PROCESS หมายถึง concurrent statement ในภาษา VHDL
- signal หมายถึงสัญญาณต่างๆ แต่ SIGNAL หมายถึงการประกาศใช้ object ที่มีชั้นเป็นประเภท SIGNAL

1.5 สรุป

ในบทแรกนี้ได้ศึกษาถึงประวัติความเป็นมาของภาษ VHDL ซึ่งในอนาคตนับว่าเป็นสิ่งที่ต้องติดตามตลอดเวลา เพราะแนวโน้มของ EDA Vendor ที่เสนอเครื่องช่วยในการออกแบบวงจรดิจิตอล ได้หันมาใช้ภาษา VHDL เป็นสื่อสำหรับสังเคราะห์วงจร ตลอดจนสามารถที่จะใช้เป็นเอกสารประกอบโครงการได้ (project document)

หลังจากนั้นได้แสดงให้เห็นถึงวิธีการออกแบบลักษณะใหม่ที่เรียกว่า Top-Down Design โดยการนำภาษา VHDL มาใช้ และสุดท้ายได้อธิบายถึงวิธีการอ่านรูปแบบที่ใช้เขียนบรรยายกฎเกณฑ์การเขียน และลักษณะที่ใช้ในหนังสือเล่มนี้ ทั้งนี้ผู้เรียบเรียงขอใช้คำศัพท์บางตัวเป็นคำภาษาอังกฤษตามที่แสดงไว้ใน IEEE 1076 เพื่อให้เกิดมาตรฐาน และสำหรับผู้ที่ต้องการค้นคว้าเพิ่มเติมจากหนังสือหรือเอกสารทางวิชาการจากต่างประเทศ สามารถที่จะเข้าใจได้ทันทีโดยไม่ต้องแปลกลับอีกครั้ง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 2

ส่วนต่างๆ ของแบบ (Design Units)

2.1 กล่าวนำ

ก่อนที่จะศึกษาต่อไปถึงชุดคำสั่งอื่นๆ ที่ใช้ในการเขียนรูปแบบหรือ modeling ด้วยภาษา VHDL มีความจำเป็นที่จะต้องแนะนำให้รู้จักกับส่วนต่างๆ ของแบบ (design units) ที่ใช้ในภาษาเสียก่อน และนี่ก็เป็นขั้นตอนแรกที่สำคัญที่สุดของการศึกษาเรียนรู้การใช้ภาษ VHDL เขียนรูปแบบบรรยายระบบดิจิตอลในมุมมองของการออกแบบลักษณะ Top-Down Design นอกจากนั้นการที่จะเข้าใจในกฎเกณฑ์ของภาษาได้นั้น จะต้องทำความเข้าใจในเรื่องของโครงสร้าง และส่วนต่างๆ ของรูปแบบ VHDL ให้ถูกต้องเสียก่อน

ภาษา VHDL นั้นประกอบด้วยส่วนต่างๆ ที่สำคัญและเป็นพื้นฐานของการเขียนรูปแบบระบบดิจิตอลที่สำคัญ 4 หน่วยคือ

1. Entity Design Unit
2. Architecture Design Unit
3. Package Design Unit
4. Configuration Design Unit

ในบทนี้จะเป็นการศึกษาถึงความหมาย และความสัมพันธ์ระหว่างกันของหน่วยเหล่านี้ เพื่อแสดงให้เห็นถึงหลักการอย่างสังเขป ส่วนรายละเอียดนั้นจะกล่าวในบทต่อๆ ไป

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เนื่องจากเอกสารและคู่มือที่เกี่ยวข้องส่วนใหญ่อ้างอิงมาตราฐาน IEEE Standard VHDL Language Reference Manual (IEEE Std 1076-1987) ฉะนั้นกฎเกณฑ์ต่างๆ ในหนังสือนี้จะยึดหนังสือดังกล่าวเป็นหลักเช่นกัน ซึ่งปัจจุบันแล้ว (เวลาขณะเขียนหนังสือเล่มนี้) ทางสมาคมฯ ได้กำหนดเป็นมาตราฐาน IEEE Std 1076-1993 สิ่งที่แตกต่างจากฉบับปี 1987 เป็นเพียงมีการเพิ่มเติมบางอย่างในภาษา แต่สิ่งที่อ้างถึงในหนังสือเล่มนี้เป็นบทพื้นฐานที่ไม่มีการเปลี่ยนแปลง และจาก LRM นี้เองสามารถที่จะค้นคว้ารายละเอียดเกี่ยวกับกฎเกณฑ์ของภาษาได้

2.2 Entity Design Unit

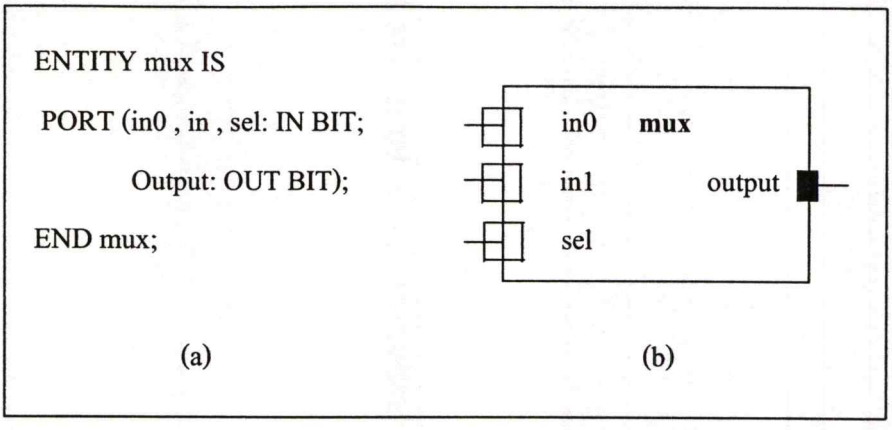
หน่วยของแบบ (design unit) ส่วนที่ใช้สำหรับติดต่อระหว่างโลกภายนอกกับรูปแบบ (model) ที่จะเขียนขึ้น ส่วนนี้เรียกว่า "entity design unit" ในส่วนนี้ใช้กำหนดจุดต่อ (connection point) ของรูปแบบ กำหนดทิศทางการไหลของสัญญาณ (model) และประเภทของค่า (type of value) ที่สามารถกำหนดให้กับสัญญาณตามจุดต่างๆ (PORT) ของข้อมูลที่ไหลผ่านจุดต่อเหล่านั้น รูปที่ 2.1 แสดงให้เห็นโครงสร้างอย่างง่ายๆ ของ entity design unit

```
ENTITY component_name IS
        input and output ports
        physical and other parameters
END [component_name] ;
```

รูปที่ 2.1: โครงสร้างอย่างง่ายๆ ของ entity design unit

ส่วนนี้จะขึ้นต้นด้วยคำ **ENTITY** และ **IS** ระหว่างคำทั้งสองเป็นส่วนสำหรับชื่อของรูปแบบที่ต้องการจะเขียน(component_name)สำหรับการตั้งชื่อนั้นจะต้องเป็นไปตามกฎเกณฑ์ของภาษาหลังจากนั้นจะตามด้วยส่วนที่ใช้กำหนดช่องทาง เข้า-ออก ของข้อมูล (input-output) รวมทั้งพารามิเตอร์อื่นๆ ส่วนนี้เรียกว่าส่วนหัว (entity header) และที่สำคัญคือ entity design unit จะต้องปิดท้ายด้วยคำว่า **END** และเครื่องหมายอัฒภาค หรือ semicolon (;)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



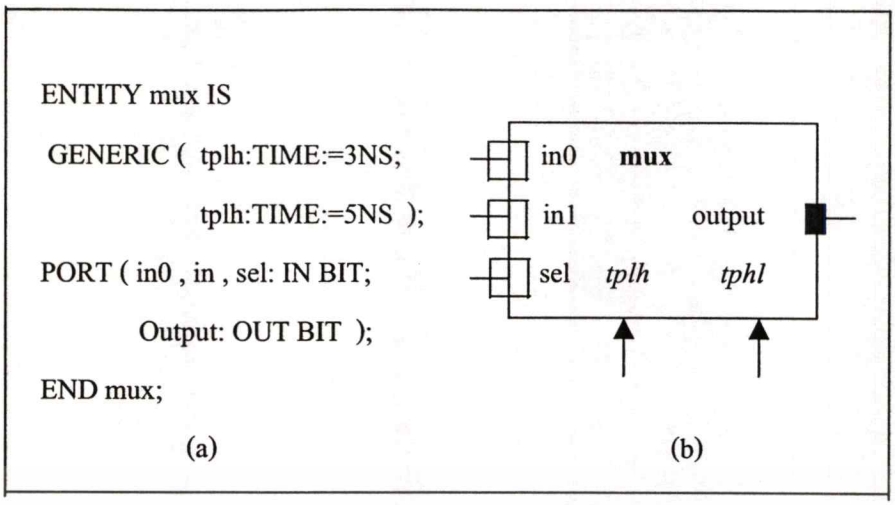
รูปที่ 2.2: รูปแบบของ 2:1 multiplexer, (a) VHDL entity design, (b) มุมมองของ interface

ในรูปที่ 2.2 เป็น entity design unit ที่บรรยายอุปกรณ์ที่มีชื่อว่า mux ในส่วนหัวของ entity (header) มีการกำหนดจุดต่อ 4 จุดภายใต้ชุดคำสั่ง PORT โดยที่ 3 จุดแรกเป็นจุดให้ข้อมูลไหลผ่านเข้า (input) ได้แก่ in0, in1 และ sel ซึ่งกำหนดด้วยทิศทางการติดต่อกับภายนอก (model) เป็นการไหลเข้า (IN) ที่แสดงด้วยรูปสี่เหลี่ยมโปร่งในรูปที่ 2.1 ส่วนจุด output เป็นจุดให้ข้อมูลไหลออก (output) ซึ่งกำหนดด้วยทิศการติดต่อกับภายนอกเป็นการไหลออก (OUT) ที่แสดงด้วยรูปสี่เหลี่ยมทึบในรูปที่ 2.2 ส่วนประเภท (type) ของข้อมูลที่จะไหล เข้า-ออก นั้น เป็นประเภท BIT ที่สามารถมีค่าได้เพียงสองค่าคือ '0' และ '1' เท่านั้น

นอกจากนั้นผู้ออกแบบยังสามารถกำหนดค่าพารามิเตอร์ทางฟิสอคส์ที่เป็นข้อมูลเพิ่มเติมอื่นๆ ลงในส่วนหัวของ entity ได้อีก อาทิเช่น ข้อมูลเกี่ยวกับความเร็วในการทำงานของอุปกรณ์ อันได้แก่ propagation delay time พารามิเตอร์เหล่านี้ เรียกว่า generic ที่กำหนดด้วยคำสั่ง GENERIC จากตัวอย่างในรูปที่ 2.2 สามารถที่จะเพิ่มข้อมูลเกี่ยวกับความเร็วในการทำงานได้ตามที่แสดงในรูปที่ 2.3

เช่นเดียวกับตัวอย่างแรกหน่วยของแบบนี้มีช่องทางติดต่อกับภายนอก 4 จุด แต่ได้เพิ่มข้อมูลของ propagation delay time สำหรับนำไปใช้ในการบรรยายพฤติกรรมของอุปกรณ์ ตัวพารามิเตอร์หรือที่เรียกว่า generic นี้มีชื่อว่า tpIh และ tphI มีประเภทของข้อมูลเป็นเวลา (TIME) และจะเป็นค่าตายตัว (default value) สำหรับรูปแบบนี้เสมอ ซึ่งในที่นี้จะมีค่า 3 nanosecond และ 5 nanosecond ตามลำดับ ค่าตายตัวนี้สามารถที่จะเปลี่ยนแปลงให้มีค่าอื่นได้แล้วแต่กรณี ทั้งนี้ขึ้นอยู่กับอุปกรณ์ที่จะทำการเขียนรูปแบบ ซึ่งจะเห็นได้ภายหลังในบทที่ 9 ได้ว่า generic นั้นเป็นส่วนที่มีประโยชน์มาก เพราะสามารถสร้างรูปแบบที่มีความอ่อนตัวสูง สามารถนำไปใช้บรรยายอุปกรณ์ประเภทเดียวภัย แต่มีความแตกต่างกันทางเทคโนโลยีได้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.3 : รูปแบบ 2:1 multiplexer ที่ประกอบด้วยข้อมูลเกี่ยวกับเวลา
(a) VHDL entity design, (b) มุมมองของ interface

ในบางกรณีสามารถที่จะใช้ภาษา VHDL สร้างรูปแบบที่ปราศจากช่องทางไหล เข้า-ออก ของข้อมูล (input-output) ได้ ซึ่งส่วนใหญ่จะพบในการสร้างรูปแบบ สำหรับตรวจสอบการทำงาน ของรูปแบบหนึ่ง (VHDL test bench)

```
ENTITY test_vench IS
END test_bench;
```

รูปที่ 2.4: Entity design unit ที่ไม่มีการกำหนดช่องติดต่อกับภายนอก

2.3 Architecture Design Unit

คือส่วนที่ใช้เขียนบรรยายกำหนดพฤตกรรมของรูปแบบ ในมุมมองขอการจำลองการทำงาน (simulation) พฤติกรรมต่างๆ ที่บรรยายในส่วนนี้ขึ้นอยู่กับข้อมูลที่ผ่าน เข้า-ออก ตรงช่องทางตลอดจนพารามิเตอร์ต่างๆ (ports and generics) ที่กำหนดใน entity design unit รูปที่ 2.5 แสดงให้เห็นโครงสร้างอย่างง่ายๆ ของ architecture design unit

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
ARCHITECTURE identifier OF component_name IS
        [ declaration ]
BEGIN
        specification of the functionality of the
        component in terms of its input lines and as
        influenced by physical and other parameters
END [identifier];
```

รูปที่ 2.5: โครงสร้างอย่างง่ายๆ ของ architecture design unit

ส่วนของ architecture design unit นั้น เริ่มต้นด้วยคำ ARCHITECTURE และตามด้วยชื่อ (identifier) สิ่งที่ต้องกำหนดลงไปได้แก่ สิ่งที่แสดงให้เห็นว่า architecture นั้นใช้บรรยาย entity design unit ใด (OF <entity design unit> IS) ส่วนที่อยู่ระหว่าง ARCHITECTURE และ BEGIN เป็นส่วนประกาศกำหนด (architecture declarative area) เป็นเพียงส่วนเผื่อเลือก (option) ในบริเวณนี้สามารถใช้เขียนประกาศกำหนดค่าต่างๆ ที่จะนำไปใช้ภายใน architecture นั้นได้ อาทิ เช่นประเภท (type) ต่างๆ (ตัวอย่างเช่น BIT, BIT_VECTOR), สัญญาณ (SIGNAL), ตัวคงที่ (CONSTANT), โปรแกรมย่อย (ได้แก่ FUNCTION และ PROCEDURE) และอุปกรณ์ (COMPONENT) ส่วนที่ใช้บรรยายความสัมพันธ์ระหว่างข้อมูลที่ไหลเข้า และไหลออกของรูปแบบ (สัญญาณที่กำหนดในชุดคำสั่ง PORT) นั้นจะถูกบรรยายในบริเวณเนื้อที่ระหว่างคำว่า BEGIN กับ END ของ architecture design unit และนอกจากนั้นชุดคำสั่งทุกคำสั่งที่อยู่ภายในบริเวณนี้จะเป็นชุดคำสั่งแบบแข่งขนาน (concurrent statement) เท่านั้น architecture design unit จะต้องปิดท้ายด้วยคำสั่ง END และชื่อของ architecture (identifier) นั้นๆ ที่เป็นส่วนเผื่อเลือก

โดยทั่วไปการเขียนรูปแบบระบบดิจิตอลด้วยภาษา VHDL สามารถเขียนได้ในลักษณะต่างๆ ตามที่กล่าวมาแล้วในบทที่ 1 ดังนี้

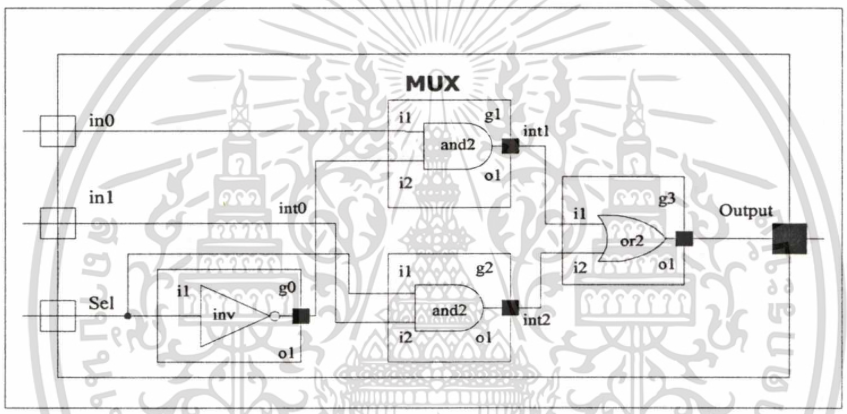
- Dataflow description
- Behavioral description
- Structure description
- Mixed model description

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
ARCHITECTURE data_flow OF mux IS
BEGIN
Output <= ((NOT sel)  AND ino) OR (sel AND in1);
END data_flow;
```

รูปที่ 2.6: Architecture design unit ของ 2:1 mux ตาม boolean expression

รูปที่ 2.6 ส่วนที่บรรยายความสัมพะนธ์ระหว่างข้อมู่ลที่ไหลเข้า (in0, in1) กับข้อมูลที่ไหลออก (output) ประกอบด้วยชุดคำสั่งแบบแข่งขนานเพียงชุดเดียว ซึ่งเป็นการบรรยายพฤติกรรมของ 2:1 mux การบรรยายลักษณะนี้เรียกว่า dataflow description หรือ rtegister transfer level (RTL)



รูปที่ 2.7(a): Architecture description ของ 2:1 multiplexer (structural description)

รูปที่ 2.7 เป็น architecture ของการบรรยาย 2:1 mux ในลักษณะของ structural description โดยใช้ inverter (inv ที่อุปกรณ์ g0), AND-gate 2 inputs จำนวน 2 gates (and2 ที่อุปกรณ์ g1 และ g2) และ OR-gate 2 inputs (or2 ที่อุปกรณ์ g3) มาสร้างตาม boolean expression ของรูปที่ 2.6

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
ARCHITECTURE struct OF mux IS
        COMPONENT inv
        PORT ( i1:IN BIT; 01:OUT BIT );
        END COMPONENT;
        COMPONENT and2
        PORT ( i1,i2:IN BIT; 01:OUT BIT );
        END COMPONENT;
        COMPONENT or2
        PORT ( i1,i2:IN BIT; 01:OUT BIT );
END COMPONENT;
        SIGNAL int0, int1, int2: BIT
BEGIN
        g0:inv
        PORT MAP (i1=>sel, 01 =>int0);
        g1:and2
        PORT MAP (i1=>in0, i2 =>int0,01=>int1);
        g2:and2
        PORT MAP (i1=>sel, i2 =>in1,01=>int2);
        g3:or2
        PORT MAP (i1=>in1, i2 =>int2,01=>output);
END struct;
```

รูปที่ 2.7(b): Architecture description ของ 2:1 mux (structural description)

รูปที่ 2.7 (a) เป็นโครงสร้าง (structure) ของการต่อวงจรภายในโดยที่มี สัญญาณ int0, int1 และ int2 เป็นสัญญาณภายใน รูปที่ 2.7 (b) เป็น architecture ของ VHDL model ที่เขียนกำหนดการเชื่อมต่อภายในด้วย VHDL netlist

```
ARCHITECTURE behav OF mux IS
BEGIN
    PROCESS (in0, in1, sel)
    BEGIN
        IF (sel = '0') THEN
            output <=in0;
        ELSE
            output <=in1;
        END IF;
    END PROCESS;
END behav;
```

รูปที่ 2.8: Architecture description ของ 2:1 mux (behavioral description)

การบรรยาย 2:1 mux ในลักษณะของ behavioral description ได้แสดงให้เห็นอีกครั้งในรูปที่ 2.8 ซึ่งจะเห็นได้ว่าส่วนที่เป็น architecture design unit ทั้งหมด (รูปที่ 2.6, 2.7 และ 2.8) ต่างบรรยายพฤติกรรมเดียวกัน และจะให้ผลลัพธ์จากการจำลองการทำงานที่เหมือนกัน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.4 Package Design Unit

ข้อมูลต่างๆ ตลอดจนโปรแกรมย่อย (subprogram) ที่เป็นประโยชน์ต่อการเขียนรูปแบบบรรยายระบบดิจิตอล สามารถเก็บไว้ในส่วนที่เรียกว่า package ได้ และข้อมูลเหล่านี้สามารถนำไปใช้ได้โดย entity design unit, architecture densign unit หรือจาก package design unit อื่นๆ ด้วยชุดคำสั่ง USE statement นอกจากนั้นสิ่งที่นิยมทำกันมากคือรูปแบบ (model) มาตรฐานต่างๆ อาทิเช่น standard components (model ของ IC ตระกูล 74xx) จะถูกเก็บไว้ใน package ที่ทุกคนสามารถเข้าถึง และนำไปใช้ได้ สิ่งที่สามารถประกาศหรือบรรจุได้ใน package ได้แก่

- Subprogram
- Types
- Constants
- Signals
- Aliases *
- Attributes **
- Component
- Disconnection Apecification *

โดยปกติแล้ว package จะแบ่งเป็นสองส่วนคือ

1) Package declaration
2) Package body

เนื่องจาก package ถูกสร้างเป็นส่วนแยกต่างหากออกจากรูปแบบ (model) ที่กำลังเขียนอยู่ ฉะนั้นการที่จะนำ package ไปใช้นั้น จะต้องมีการเชื่อมโยงหรืออ้างอิงเสียก่อน ซึ่งในภาษา VHDL สามารถกระทำได้ด้วยชุดคำสั่ง USE statement

2.4.1 Package declaration

ส่วนที่มีความสำคัญที่สุดของ package (มองในแง่ของการนำไปใช้จากภายนอก) ได้แก่ package declaration เพราะจะเป็นส่วนที่กำหนดชื่อ (identifier) ของสิ่งที่ประกาศอยู่ภายใน package สำหรับนำไปใช้ภายนอกตัวของ package เอง ถ้าสิ่งใดๆ ถูกประกาศในส่วนของ package body แต่ไม่ถูกประกาศใน package declaration จะไม่สามารถถูกนำค่า และพฤติกรรมไปใช้จากส่วนนอกได้ ซึ่งสามารถเปรียบเทียบได้กับสิ่งที่ประกาศไว้ในส่วนของ entity declaration คือ interface ที่มีหน้าที่ติดต่อกับโลกภายนอก ฉนั้นโดยทั่วไปแล้ว package สามารถสร้างขึ้นได้โดยไม่จำเป็นต้องมีส่วน body และยังสามารถถูกนำไปใช้จากรูปแบบ (model) ภาย

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

นอกได้เช่นใช้สำหรับประกาศ TYPE หรือ signal (global) เช่นเดียวกันกับ package body ที่ไม่จำเป็นต้องมี package declaration แต่ package นั้นจะไม่สามารถถูกนำไปใช้จากรูปแบบ (model) อื่นได้ การเขียน package declaration มีกำเกณฑ์ตามที่แสดงในรูปที่ 2.9

```
PACKAGE package_name IS
    package_declarative_part
END package_name;
```

รูปที่ 2.9: โครงสร้างของ package declaration

คำว่า PACKAGE และ END PACKAGE กำหนดขอบเขตของ package declaration ระหว่างนั้นจะเป็นส่วนที่ใช้ประกาศต่างๆ สิ่งที่สามารถประกาศในส่วนนี้ได้แก่

- ส่วนประกาศกำหนดโปรแกรมย่อย (Subprogram declarations)
- Type declaration
- Subtype declarations*
- Object declarations (signals, constants)
- Alias declarations*
- Attribute specifications**
- Component specifications
- Desconnection specification*

รูปที่ 2.10 เป็นตัวอย่างของการเขียน package declaration ที่มีการประกาศ TYPE, CONSTANT, COMPONENT และ SIGNAL

```
PACKAGE example IS
        TYPE cd IS ('C', 'D');
        CONSTANT pi : REAL :=3.14159;
        COMPONENT ttl_74163 IS
            PORT ( a, b: IN BIT;
                   c: OUT BIT );
        END COMPONENT;
        SIGNAL global_clock: BIT;
END example;
```

รูปที่ 2.10: ตัวอย่างของ package declaration

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.4.2 Package body

โครงสร้างที่ประกอบด้วยคำสั่งต่างๆ ในรูปของคำสั่งลำดับ (sequential statement) ที่ใช้บรรยายฟังก์ชันการทำงานของโปรแกรมย่อย (subprogram) ทั้งหลายที่ชื่อของโปรแกรมย่อยนั้นๆ ที่ถูกประกาศไปในส่วนของ package declaration แล้ว จะถูกเก็บไว้ใน package body ทั้งนี้รวมทั้ง deferred constants (อันได้แก่ตัวคงที่ที่ถูกประกาศชื่อก่อนในส่วนของ declaration แต่ถูกกำหนดค่าในส่วนของ body ของ package) ฉนั้นส่วน package body จึงไม่จำเป็นต้องมี ถ้าในส่วน package declaration ไม่มีการประกาศชื่อ (identifier) ที่เป็นโปรแกรมย่อย (subprogram) หรือ deferred constant การเขียน package body นั้นเป็นไปตามกฎเกณฑ์ที่แสดงในรูปที่ 2.11

```
PACKAGE package_name IS
   declarative part
END package_name;
```

รูปที่ 2.11: โครงสร้างของ package body

ชื่อของ package_name ที่ใช้ใน package body จะต้องเป็นชื่อเดียวกับชื่อที่กำหนดไว้ใน package declaration ในรูปที่ 2.12 แสดงตัวอย่างของการเขียน package (declaration และ body ที่สัมพันธ์กัน) โดยนำการกำหนดโปรแกรมย่อย (subprogram) ประเภท FUNCTION

```
-- package declaration
PACKAGE pack_funct IS
    FUNCTION mean (a,b,c: REAL) RETURN REAL;
END pack_funct;
-- package body
PACKAGE BODY pack_funct IS
    FUNCTION mean (a,b,c: REAL) RETURN REAL IS
    BEGIN
        RETURN (a+b+c)/3.0;
    END mean;
END pack_funct;
```

รูปที่ 2.12: ตัวอย่างการเขียน package

ในส่วนของ package declaration จะบรรจุส่วนที่เรียกว่า function declaration ในที่นี้เป็นการประกาศชื่อของโปรแกรมย่อย (FUNCTION) mean และส่วนที่บรรยายการทำงานของโปรแกรมย่อย mean (เรียกว่า function body) จะถูกเก็บไว้ในส่วน package body แต่สิ่งที่สำคัญอย่างหนึ่งของการเขียน package คือ ***ก่อนที่จะนำ package ไปใช้ (โดยการอ้างจากภายนอก)***

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

package นั้นจะต้องถูกวิเคราะห์เสียก่อนว่าถูกต้อง หรือพูดง่ายๆ ได้ว่า จะต้องผ่านการ compile ก่อนนั้นเอง

2.5 Configuration Design Unit

ดังที่ทราบกันแล้วว่ารูปแบบ หนึ่งของระบบดิจิตอลไม่ว่าจะเป็นอะไร จะมี entity design unit ได้เพียงหน่วยเดียวเท่านั้น แต่ในขณะที่ entity design unit หนึ่งหน่วยนี้อาจจะมี architecture ที่เป็นหน่วยรองได้หลายหน่วย

ดังนั้นจึงเกิดคำถามขึ้นว่า ในการจำลองการทำงานของรูปแบบ (model) นั้น simulator จะนำ architecture อันไหนไปจำลอง? คำตอบของคำถามนี้คือ ต้องบอกให้ simulator ทราบ และในรูปแบบ VHDL นั้นการบอกหรือกำหนดคือการใช้ CONFIGURATION ประกอบ entity กับ architectur design unit ที่ต้องการเข้าด้วยกัน รูปที่ 2.13 แสดงกฎเกณฑ์การเขียน configuration

```
CONFIGURATION identifier OF entity_name IS
        Configuration_declarative_part
END;
```

รูปที่ 2.13: โครงสร้างของ configuration

ในรูปที่ 2.14 เป็นรูปแบบ (model) ง่ายๆ ของ AND-gate 2 input ที่มีส่วนรองอันได้แก่ architecture สองแบบคือ dataflow description และ behavioral description

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
ENTITY and2 IS
    GENERIC (ttl_delay : TIME :=3NS);
    PORT ( in1, in2 : IN BIT );
                output : OUT BIT );
ENEDE and2;

ARCHITECTURE dataflow OF and2 IS
BEGIN
    output<=in1 AND in2 AFTER ttl_delay;
END dataflow;

ARCHITECTURE behave OF abd2 IS
BEGIN
    PROCESS (in1, in2)
    BEGIN
        IF (in1='1' AND in2='1') THEN
            output <='1'AFTER ttl_delay;
        ELSE
        output <='0';
    END PROCESS;
END behave;
```

รูปที่ 2.14 รูปแบบ (model) ง่ายๆ ของ AND-gate 2 input

ก่อนที่จะนำรูปแบบ (model) ไปจำลองการทำงานจะต้องมีการประกอบ architecture ที่ต้องการเข้ากับ entity design unit เสียก่อน (configuration) ซึ่งระบบ VHDL ส่วนใหญ่ถ้าไม่กำหนดการประกอบ architecture เครื่อง simulator จะนำ architecture หน่วยสุดท้ายที่ผ่านการวิเคราะห์ไปใช้จำลองการทำงาน ในรูปที่ 2.15 แสดงการประกอบ architecture ชื่อ dataflow เข้ากับ entity design unit

```
CONFIGURATION  dataflow_and  OF and2 IS
        FOR dataflow
        END FOR;
END dataflow_and;
```

รูปที่ 2.15: Configuration ของรูปแบบ (model) and2

ในตัวอย่างแสดงการประกอบโครงร่าง (configuration) ชื่อ dataflow_and ให้เป็นตัวกำหนดการเชื่อม entity ชื่อ and2 เข้ากับ architecture ชื่อ dataflow ซึ่งจะเห็นได้ว่าเป็นการประกอบโครงร่างอย่างง่ายๆ ในรูปที่ 2.16 จะเป็นโครงสร้างที่ซับซ้อนมาขึ้น

ตัวอย่างในรูปที่ 2.16 (a) configuration ชื่อ decode_llcon เชื่อมต่อ entity ชื่อ decode กับ architecture ชื่อ struture และภายใน architecture ชื่อ structure นี้ประกอบด้วยอุปกรณ์ย่อยๆ ซึ่ง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

แต่ละตัวมีลักษณะการประกอบกับส่วนอื่นด้วยโครงสร้าง FOR....END และ FOR....END ที่กำหนด configuration จำเพาะที่อยู่ภายใต้อีกครั้ง (เรียกว่า configuration specification) และ configuration ภายในนี้จะต้องผ่านการวิเคราะห์สำหรับ configuration ปัจจุบัน (วงนอก) ผลลัพธ์ที่ได้จากการ วิเคราะห์จะต้องถูกเก็บไว้ภายใต้ working directory (symbolic name WORK) การกำหนดอุปกรณ์จำเพาะนั้น สามารถที่จะ กระทำได้โดยการบอกชื่อ label เช่นในกรณีของ il สำหรับ inv หรือใช้ ALL หรือ OTHERS ดังเช่นในกรณีของอุปกรณ์ and3 เป็นต้น ในที่นี้หมายความว่าอุปกรณ์ inv จะใช้ configuration ชื่อ invcon จาก library WORK (หรือ working directory ที่มีชื่อตายตัวว่า WORK) ที่กำลังทำงานอยู่ จะเห็นได้ว่าเป็นการสร้าง configuration ซ้อน configuration การที่จะใช้งาน configuration บนสุด (decode_llcon) ได้ configuration ล่างสุด (invcon และ and3con) จะต้องผ่านการ วิเคราะห์ว่าถูกต้องมาแล้ว การสร้างโครงสร้างเช่นนี้เรียกว่า lower-level configuration

รูปที่ 2.16 (b) ใช้ entity และ architecture design unit เดียวกับรูป (a) สำหรับอุปกรณ์ inv (กำหนดในส่วน architecture declaration) ถูกกำหนดจำเพาะด้วย label il กับอุปกรณ์ที่มี entity ชื่อ inv (สามารถมีชื่อเหมือนหรือต่างกันได้) และใช้ architecture ชื่อ behave ที่ยังคงเหลือในโครงสร้าง (ถ้ามีการใช้อุปกรณ์ inv มากว่าหนึ่งตัว) จะถูกประกอบเข้ากับอุปกรณ์ที่มี entity ชื่อ inv เช่นกันแต่จะใช้ architecture ชื่อ dataflow แทน ทั้งนี้ entity design unit ชื่อ inv และ architecture design unit ชื่อ behave และ dataflow จะต้องถูกวิเคราะห์ก่อน ผลลัพธ์ที่ได้จากการวิเคราะห์จะต้องถูกเก็บไว้ภายใต้ working derectory การประกอบลักษณะนี้เรียกว่า entity-architecture pair configuration

```
ARCHITECTURE examp_config OF decode IS
    COMPONENT inv PORT (IN1:IN BIT; 01:OUT BIT);
    END COMPONENT;
    COMPONENT and3 PORT (in1,in2, in3:BIT;o1:OUT BIT);
    END COMPONENT;
    :
END examp_config;
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
CONFIGURATION decode_llcon OF decode IS
    FOR structural
        FOR i1:inv USE CONFIGURATION WORK.invcon;
        END FOR;
        FOR i2:inv USE CONFIGURATION WORK.INVCON;
        END FOR;
        FOR ALL:and3 USE CONFIGURATION WORK.and3con;
        END FOR;
    END FOR;
END decode_llcon;
```

รูปที่ 2.16 (a): ตัวอย่างของ configuration

```
CONFIGURATION decode_eacon  OF decode IS
    FOR structural
        FOR i1:inv USE ENTITY  WORK.inv(behave);
        END FOR;
        FOR OTHERS: inv USE ENTITY WORK.inv (behave);
        END FOR;
        FOR a1:and3 USE ENTITY WORK.and3 (behave);
        END FOR;
        FOR OTHERS:and3 USE ENTITY WORK.and3 (dataflow);
        END FOR;
    END FOR;
END decode_eacon;
```

รูปที่ 2.16(b): ตัวอย่างของ configuration

2.6 สรุป

ในบทนี้ได้ศึกษาถึงส่วนที่สำคัญที่สุดของโครงสร้างใน VHDL model ที่มีอยู่ด้วยกัน 4 หน่วยคือ entity-, architecture-, pachage- และ configuration design unit

ส่วนของ entity, architecture และ configuration ประกอบกันเข้าเป็นรูปร่างของวงจรที่ออกแบบ รูปแบบเหล่านี้รวมกันในรูปของฟังก์ชันการทำงานของส่วนต่างๆ โดยที่ entity design unit มีหน้าที่กำหนดการติดต่อข้อมูล (interface) กับภายนอกของอุปกรณ์ ส่วน architecture กำหนดพฤติกรรมของอุปกรณ์ เนื่องจากอาจจะมีการบรรยายพฤติกรรมได้หลายลักษณะ สำหรับ entity ตัวเดียว จึงมีความจำเป็นที่ต้องประกอบ architecture ที่ต้องการเข้ากับ entity ดังนั้น configuration design unit จึงทำหน้าที่นี้ด้วยการเชื่อ entity- กับ architecture design unit เข้าด้วย

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

กัน นอกจากนั้น entity ยังเป็นส่วนที่จะผ่านพารามิเตอร์ต่างๆ เข้าสู่โครงสร้างภายในเช่น architecture ส่วนที่เป็น package design unit นั้นคือที่รวมของฟังก์ชันต่างๆ ที่สามารถไปใช้ได้จากรูปแบบ (model) อื่นๆ สิ่งที่บรรจุอยู่ภายใน package อาจจะเป็น TYPE declaration หรือโปรแกรมย่อย (subprogram) ตลอดจนอุปกรณ์ต่างๆ และสามารถที่จะเข้าสู่ได้ด้วยคำสั่ง USE statement

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 3
ความสัมพันธ์ระหว่างส่วนต่างๆ ของแบบ
(Design Unit Relationships)

3.1 กล่าวนำ

จากบทที่แล้วผ่านมาได้รู้จักหน่วยต่างๆ ของรูปแบบ (design unit) ที่มีทั้งหมด 4 หน่วยด้วยกัน design unit เหล่านี้จะประกอบกันขึ้นเป็นรูปแบบ VHDL ที่สมบูรณ์ ในแต่ละหน่วยมีกฎเกณฑ์การเขียนที่แตกต่างกันออกไป ตามที่แสดงให้เห็นในรูปของ BNF พร้อมทั้งตัวอย่างประกอบ แต่ความสัมพันธ์ภายใน model ระหว่าง design unit ต่างๆ นั้นยังไม่ได้มีการกล่าวถึง

ฉะนั้นในบทนี้จะเป็นการบรรยายที่ครอบคลุมหัวข้อ ที่เกี่ยวกับความสัมพันธ์ระหว่างหน่วยตลอดจนกลไกของการทำงานที่มีผลต่อกัน เมื่อแต่ละส่วนถูกนำมาประกอบเข้าด้วยกัน ซึ่งจะเป็นการศึกษาในหลักการของ "library" ในภาษา VHDL ในบางครั้งอาจจะมอง library ในภาษา VHDL เสมือนกับตู้ที่ใช้เก็บอุปกรณ์อิเล็กทรอนิกส์ต่างๆ (architecture) ที่ถูกจัดให้อยู่ตามลิ้นชักต่างๆ ของตู้ (entity design unit) ดังนั้นจึงสามารถแบ่ง design unit ใน VHDL ออกได้เป็นสองส่วนคือ หน่วยหลัก (primary) และหน่วยรอง (secondary) ที่มีความสัมพันธ์กัน

3.2 Libraries

หลักการของ library คือพื้นฐานสำคัญที่จะสร้างความเข้าใจในความสัมพันธ์ระหว่าง design unit ต่างๆ ของ VHDL หลังจากที่ design unit ถูกวิเคราะห์ตรวจสอบความถูกต้องตามกฎเกณฑ์การเขียน และความถูกต้องของฟังก์ชันหรือพฤติกรรมการทำงานแล้ว(compiled and simulated) ผลลัพธ์ที่ได้จากการวิเคราะห์จะถูกเก็บไว้ในส่วนที่เรียกว่า library

ในมาตรฐาน IEEE 1076 ไม่ได้กำหนดกลไกหรือกฎเกณฑ์ไว้ว่า library จะถูกสร้างและมีการจัดการอย่างไร ฉะนั้นในปัจจุบันการจัดการต่างๆ ที่เกี่ยวกับ library จึงขึ้นอยู่กับผู้พัฒนาระบบ VHDL ที่แต่ละระบบจะมีความแตกต่างกัน ในบทนี้จึงจะกล่าวเฉพาะหลักการทั่วไปของ library ใน VHDL ที่ทาง IEEE กำหนด

ส่วนที่เป็น design library ของ VHDL นั้น สามารถนำไปใช้ได้ใน design unit อื่นๆ โดยการอ้างถึงชื่อของ library นั้นๆ ชื่อของ library นี้เรียกว่า ชื่อสัญลักษณ์ หรือ symbolic name และการอ้างถึงดังกล่าวนี้ก็เพื่อที่จะเข้าสู่สิ่งที่อยู่ภายใน library นั้นเอง ข้อมูลที่อยู่ภายในจะแบ่งเป็น

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

- **หน่วยหลัก** (primary units)
  - entity declarations
  - package declarations
  - configuration specifications

- **หน่วยรอง** (secondary units)
  - architecture bodies
  - package bodies

เนื่องจากหน่วยรองมีความสัมพันธ์กับหน่วยหลัก ฉนั้นหน่วยรองจึงต้องถูกวิเคราะห์ภาย หลังจากที่หน่วยหลักถูกวิเคราะห์แล้ว package, entity, architecture หรือ configuration design unit ที่อยู่ภายในเหล่านี้จะต้องถูกกฎเกณฑ์การเขียน ขบวนการที่บรรจุ design unit ต่างๆ ลงใน library เป็นไปอย่างอัตโนมัติเมื่อ VHDL source file ที่ผู้ออกแบบเขียนขึ้นผ่านการวิเคราะห์ และตรวจสอบว่าถูกต้องตามกฎเกณฑ์การเขียนแล้ว (หรือเรียกได้อีกอย่างว่าผ่านการ compile) หน่วยรองจะต้องอยู่ใน library เดียวกันกับหน่วยหลักที่เกี่ยวข้องกัน โดยปกติแล้วจะมี library อยู่สองประเภท ได้แก่

1) **Working library**

   หมายถึง working directory ในระบบคอมพิวเตอร์ นั้นคือ directory ที่กำลังทำงานอยู่ ชื่อของ working library จพถูกกำหนดให้เป็น **WORK** เสมอ

2) **Resource libraries**

   ทำหน้าที่เป็นที่เก็บข้อมูลเพิ่มเติมสำหรับ design unit สามารถตั้งชื่ออะไรก็ได้เพื่อกำหนดสถานที่อยู่ หรือเรียกว่า ชื่อสัญลักษณ์ (symbolic name) ในการกำหนดชื่อ VHDL ได้สงวนชื่อของ library ไว้สองชื่อ คือ STD และ WORK (หมายถึง working library เสมอ) ใน STD ประกอบด้วยสอง packages คือ

   - Package STANDARD กำหนดโดย IEEE 1076 โดยที่ภายในจะประกอบด้วยการประกาศ (declaration) ต่างๆ อาทิเช่น VHDL type (INTEGER, REAL, TIME, BIT BOOLEAN เป็นต้น)
   - Package TESTIO ภายในประกอบด้วยโปรแกรมย่อยต่างๆ ที่ใช้สำหรับแก้ไขดัดแปลงข้อมูลที่เขียนในรูปของ ASCII code

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เมื่อ VHDL source file ที่ผู้ออกแบบเขียนถูกวิเคราะห์ (compile) ผลลัพธ์ที่ได้ (เมื่อไม่มีข้อผิดกฎเกณฑ์การเขียน) จะถูกเก็บไว้ใน library ที่มีชื่อว่า WORK ทุกๆ ตำแหน่งและเวลาสามารถที่จะอ้างอิง library ที่จะบรรจุผลลัพธ์จากการวิเคราะห์ได้สองวิธีคือ

1) ใช้ absolute address ของ library นั้นคือชื่อสัญลักษณ์ (symbolic name) ของ library
2) ใช้ relarive address ของ library คือ WORK

3.3 Design Unit Names

หน่วยหลักที่อยู่ภายใน library จะต้องมีชื่อบ่งบอกถึงเอกลักษณ์ หรือที่เรียกว่า "identifier" และ identifier ที่ตั้งขึ้นนี้จะต้องเป็นไปตามกฎการเขียนของภาษา VHDL (บทที่ 1 การตั้งชื่อ object)

ตัวอย่างของการตั้งชื่อที่ถูกต้อง	ตัวอย่างของการตั้งชื่อที่ไม่ถูกต้อง
entity1	1_entity
ENTITY1	_and_gate
a_long_legal_identifier_with_underscores	and
CasE_InsEnsITlve	ampersand&

รูปที่ 3.1: ตัวอย่างการตั้งชื่อในภาษา VHDL

ชื่อของหน่วยรองจะต้องบ่งบอกให้เห็นเอกลักษณ์ของหน่วยหลักที่ตัวเองเกี่ยวข้องอยู่ ดังเช่นถ้ามี ENTITY ชื่อ and_gate เป็นหน่วยหลัก ดังนั้นหน่วยรองได้แก่ ARCHITECTURE จะมีชื่อใดๆ ก็ได้ตราบเท่าที่มีการบ่งบอกความสัมพันธ์ระหว่างตัวเองกับหน่วยหลัก ว่าเป็น architecture ของใครดังตัวอย่างในรูปที่ 3.2

```
ARCHITECTURE behavioral OF and_gate IS
หรือ
ARCHITECTURE dataflow OF and_gate IS
```

รูปที่ 3.2: การตั้งชื่อหน่วยรองทีสัมพันธ์กับหน่วยหลัก

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

แต่อย่างไรก็ตามบางครั้งอาจจะมี entity สองหน่วยที่มีชื่อต่างกันแต่มีชื่อ architecture เดียวกันได้ดังในรูปที่ 3.3

```
LIBRARY ttl_lib

ENTITY "and_gate"
ARCHITECTURE "behave"

ENTITY "or_gate"
ARCHITECTURE "behave"
```

รูปที่ 3.3: หน่วยหลักสองหน่วยมีหน่วยรองที่ชื่อเดียวกัน

3.4 File Organization

ในมาตรฐาน IEEE 1076 VHDL ไม่ได้กำหนดไว้ว่า design unit ที่เขียนขึ้นในระหว่างการออกแบบ จะถูกจัดระเบียบอย่างไร รูปแบบที่เขียนขึ้นนั้นเป็นข้อมูลที่ประกอบด้วยตัวหนังสือ (text file) ข้อมูลสามารถที่จะเขียนขึ้นมา แก้ไข หรือดัดแปลงจากผู้ออกแบบได้ หลังจากนั้นจะถูกวิเคราะห์ด้วย VHDL analyzer (เปรียบเทียบได้กับ compiler ในภาษาโปรแกรมเช่น C หรือ PASCAL เป็นต้น) VHDL analyzer ทำการวิเคราะห์ design file เพื่อตรวจสอบความถูกต้องของกฎการเขียน (syntax) มีอยู่เพียงอย่างเดียวเท่านั้นที่ VHDL ต้องการคือ design unit ต่างๆ ที่อยู่ใน design file จะต้องครบสมบูรณ์ในตัวภายใน design file เดียวกัน ซึ่งเป็นเรื่องธรรมดามากที่ใน design file หนึ่งจะประกอบด้วย design unit จำนวน 1, 2, 3, ... 100, ..หน่วย

3.5 Visibility

ความหมายของคำว่า visibility ในภาษา VHDL เป็นพื้นฐานที่จะทำให้เข้าใจถึงความสัมพันธ์ระหว่างส่วนต่างๆ ของรูปแบบที่ดี เพราะการที่โครงสร้างต่างๆ ที่ประกาศขึ้นเพื่อนำไปใช้กับรูปแบบที่กำลังเขียน (ออกแบบ) จะต้องมีการสร้างให้มีความสัมพันธ์กันก่อน จึงจะสามารถนำมาอ้างอิงได้ ดังในตัวอย่างของ architecture design unit สามารถที่จะแก้ไขดัดแปลงข้อมูลที่ผ่านเข้ามาทาง PORT ของ entity design unit ได้ (รวมทั้งส่งข้อมูลออก) โดยที่ไม่ต้องมีการประกาศกำหนดขึ้นใหม่ในส่วนของ architecture สาเหตุที่ทำเช่นนี้ได้เพราะว่าส่วนที่เป็น architecture เป็นหน่วยรอง (secondary unit) ที่อยู่ภายใต้หน่วนหลัก (primary unit) อันได้แก่ entity และการที่ใช้ชุดคำสั่ง PORT กำหนดช่องทาง เข้า-ออก ของสัญญาณ (กำหนดด้วยชื่อ) คือการทำให้ชื่อเหล่านั้น

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

visible สำหรับ entity design unit และสามารถนำไปใช้กับหน่วยรองได้ อันได้แก่ส่วนที่เป็น architecture ของ entity นั้นๆ เช่นเดียวกันกับค่า generic ที่ประกาศกำหนดใช้ในส่วน entity ฉนั้น โดยหลักการแล้วข้อมูลใดๆ ที่ visible สำหรับหน่วยหลักแล้วจะ visible สำหรับหน่วยรอง ด้วย เช่นเดียวกันกับคู่ของ package (package declaration/package body)

การที่จะทำให้ข้อมูลที่บรรจุอยู่ใน package สามารถถูกนำออกไปใช้ในส่วนของ entity และ architecture หรือใน package อื่นๆ ภายนอกได้จะต้องทำให้ package นั้น visible สำหรับส่วนต่างๆ เหล่านั้นเสียก่อน ซึ่งสามารถกระทำได้โดยใช้ชุดคำสั่ง LIBRARY และ USE ก่อนที่จะถึงส่วนที่เป็นรูปแบบที่กำลังออกแบบ

3.6 ชุดคำสั่ง LIBRARY

ในตอนต้นของบทนี้ได้กล่าถึงการสร้าง design library ไปแล้ว การที่จะเข้าสู่หรืออ้างอิงส่วนดังกล่าว กระทำได้โดยการอ้างอิงชื่อ (identifier) ของ library นั้น ก่อนที่จะทำเช่นนั้นได้ต้องทำให้ชื่อของ library นั้น visible สำหรับหน่วยที่ต้องการใช้ ชุดคำสั่ง LIBRARY ในรูปที่ 3.4 ชุดคำสั่งทำให้ library ที่มีชื่อสัญลักษณ์ว่า IEEE สามารถนำมาใช้ในส่วนที่เป็นๆ entity ชื่อ test ได้ นั้นคือ library ชื่อ IEEE จะ visible สำหรับ entity ชื่อ test รวมทั้งส่วนที่เป็นหน่วยรองด้วย (architecture)

```
LIBRARY IEEE;
--
ENTITY test IS
END test;
```

รูปที่ 3.4: การทำให้ library ชื่อสัญลักษณ์ IEEE visible

โดยทั่วไประบบพัฒนา VHDL ทุกระบบจะแฝงคำสั่งในรูปที่ 3.5 ไว้บนบรรทัดแรกของรูปแบบทุกครั้งที่ผู้ออกแบบเริ่มทำงาน คำสั่งดังกล่าวทำให้ library ชื่อสัญลักษณ์ (symbolic name) STD และ WORK สามารถนำมาอ้างอิงได้โดยไม่ต้องใช้คำสั่ง LIBRARY ใหม่

```
LIBRARY STD;
LIBRARY WORK;
```

รูปที่ 3.5: คำสั่ง LIBRARY ที่แฝงอยู่ในทุกๆ รูปแบบ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.7 ชุดคำสั่ง USE

เนื่องจากภายใน library (กำหนดชื่อเป็นชื่อสัญลักษณ์) อาจประกอบด้วย package หลายๆ ชุด หลังจากทำให้ library นั้น visible แล้ว (คำสั่ง LIBRARY) จะต้องกำหนดเฉพาะด้วยคำสั่ง USE คำสั่งนี้มีหน้าที่คล้ายกับคำสั่ง INCLUDE ในภาษาโปรแกรมทั่วไป รูปที่ 3.6 แสดงกฎการเขียนคำสั่ง USE

```
USE library_name.package_name[.element_of_package];
```

รูปที่ 3.6: กฎการเขียนชุดคำสั่ง USE

คำสั่ง USE จะตามด้วยชื่อสัญลักษณ์ของ library และเครื่องหมายจุด (.) หลังเครื่องหมายจุดอันแรกเป็นชื่อของ package ที่ต้องการภายใน library นั้นๆ และตามด้วยเครื่องหมายจุด (.) อันที่สอง สิ่งที่ตามมาได้แก่ชื่อขององค์ประกอบย่อยที่ประกาศอยู่ภายใน package นั้นๆ ซึ่งอาจจะเป็น TYPE, CONSTANT, SIGNAL, FUNCTION หรือ PROCEKURE คำสั่ง USE จะปิดท้ายด้วยเครื่องหมายอัฒภาค (;)

```
LIBRARY IEEE;                          --make library symbolic name "IEEE" visible
--
USE ieee.std_logic_1164.and;           --make the "and" FUNCTION in package
                                       --std_logic_1164 in library ieee visible
--
ENTITY test IS
end  test;
```

รูปที่ 3.7: การใช้คำสั่ง LIBRARY และ USE

รูปที่ 3.7 คำสั่ง LIBRARY ทำให้ library ชื่อสัญลักษณ์ IEEE สามารถ visible สำหรับการออกแบบคำสั่ง USE กำหนด package ชื่อ std_logic_1164 ที่อยู่ภายใน IEEE องค์ประกอบภายใน package คือการเรียกโปรแกรมย่อยชื่อ and ซึ่งสามารถสรุปได้ว่าชุดคำสั่ง LIBRARY และ USE ทำให้ FUNCTION ภายใน (ชื่อ and) visible สำหรับ entity ชื่อ test

ในกรณีที่ผู้ออกแบบมีจุประสงค์ทุกๆ องค์ประกอบที่ประกาศไว้ภายใน package หนึ่งๆ visible สำหรับการออกแบบ ในภาษ VHDL สามารถใช้คำว่า ALL แทนการบอกชื่อเฉพาะขององค์ประกอบ ดังที่แสดงในรูปที่ 3.8

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

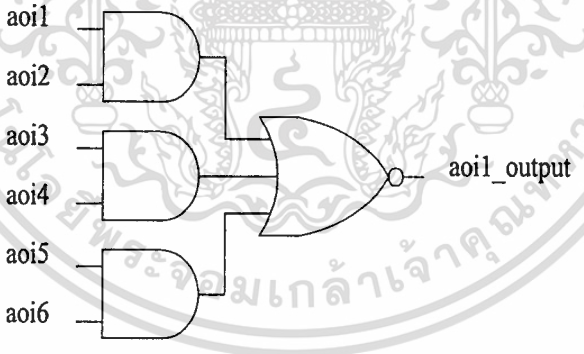
```
LIBRARY ieee;
USE ieee.std_logic_1164.ALL;

ENTITY test IS
End test;
```

รูปที่ 3.8: การกำหนดใช้ทุกอย่างภายใต package ชื่อ STANDARD

คำสั่งดังกล่าวมีความหมายว่าทำให้ทุกๆ สิ่งที่อยู่ใน package ชื่อ std_logic_1164 ที่อยู่ใน library ที่สัมพันธ์กันด้วยชื่อสัญลักษณ์ (ในที่นี้ ieee) visible สำหรับ entity ชื่อ test และส่วนที่เป็นหน่วยรองทั้งหมด

3.8 ตัวอย่างการออกแบบ

หลังจากได้ศึกษาถึงส่วนประกอบของภาษ VHDL ตลอดจนความสัมพันธ์ระหว่างส่วนต่างๆ ของรูปแบบ และการอ้างอิงซึ่งกันและกันแล้ว ในบทนี้จะแสดงให้เห็นรูปแบบของวงจรดิจิตอลอย่างง่ายๆ โดยอยู่ในรูปแบบที่เขียนด้วยภาษ VHDL เพื่อเปรียบเทียบให้เห็นกับโครงสร้างที่อยู่ในรูปของ schematic ของอุปกรณ์ (gate) ตามรูปที่ 3.9



รูปที่ 3.9: วงจรดิจิตอลลักษณะของ schematic diagram

จากรูปที่ 3.9 จะสังเกตได้ทันที่ว่า ทั้งวงจรประกอบด้วยอุปกรณ์พื้นฐานเพียงสองประเภท ได้แก่ 2_input AND-gate (จำนวน 3 ชิ้น) และ 3_input NOR-gate (จำนวน 1 ชิ้น) โดยสมมุติว่าอุปกรณ์เหล่านี้ถูกเก็บไว้ในตู้เก็บอุปกรณ์ชื่อ(สัญลักษณ์) ieee ลิ้นชักใส่ของชื่อ std_logic_1164

การออกแบบโดยวิธีการเขียนรูปแบบ (modeling) ด้วยภาษา VHDL เริ่มต้นด้วยการทำให้ตู้เก็บอุปกรณ์ (สำหรับระบบ VHDL หมายถึง library) ชื่อสัญลักษณ์ ieee ให้ visible และบ่งบอกถึง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ลิ้นชัก (สำหรับระบบ VHDL หมายถึง package) ชื่อ std_logic_1164 ที่เก็บอุปกรณ์ (component) ทั้งสองโดยชุดคำสั่ง LIBRARY และ USE ตามที่แสดงในรูปที่ 3.10

```
LIBRARY IEEE;
USE ieee.std_logic_1164.ALL;
ENTITY and2 IS
    PORT ( in1, in2: IN std_logic;
           output:OUT std_logic);
END and2;

LIBRARY ieee;
USE ieee.std_logic_1164.ALL;
ENTITY nor3 IS
    PORT ( in1, in2, in3: IN std_logic;
           output: OUT std_logic );
END nor3;
```

รูปที่ 3.10: ส่วนที่บรรยายการติดต่อกับภายนอกของ gate

หลังจากที่ทำให้ทุกๆ อย่าง (ALL) ที่อยู่ใน package ชื่อ std_logic_1164 ภายใต้ library ชื่อสัญลักษณ์ ieee สำหรับการออกแบบต่อไป visible แล้ว การเขียนรูปแบบจะเริ่มในระดับล่างสุดของวงจร (gete-level) ซึ่งได้แก่ส่วนที่ติดต่อกับโลกภายนอกของอุปกรณ์ (entity design unit) สิ่งที่ต้องบรรยายต่อมาได้แก่ พฤติกรรมของวงจร หรือความสัมพันธ์ระหว่างสัญญาณ output และ input ซึ่งหมายถึง architecture design unit ตามที่แสดงในรูปที่ 3.11

```
ARCHITECTURE and2_behave OF and2 IS
BEGIN
    output<=in1 AND in2 AFTER 3 NS;
END and2_behave;

ARCHITECTURE nor3_behave OF nor3 IS
BEGIN
    output<=NOT (in2 OR in3)) AFTER 4 NS;
END nor3_behave;
```

รูปที่ 3.11: ส่วนที่บรรยายพฤติกรรมของ gate

สำหรับการบรรยายวงจรสมบูรณ์นั้น จำเป็นที่ต้องกำหนดส่วน entity ใหม่ โดยที่ชื่อของสัญญาณต่างๆ เป็นไปตามวงจร schematic ที่เขียนได้ตามรูปที่ 3.12

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
LIBRARY ieee;
USE ieee.std_logic_1164.ALL;

ENTITY aoi IS
PORT ( aoi1, aoi2, aoi3, aoi4, aoi5, aoi6: IN std_logic;
        aoi_output:OUT sstd_logic);
END aoi;
```

เนื่องจากส่วนที่เป็น architecture ของรูปแบบเป็นหน่วยรองของส่วนที่เป็น entity ดังนั้นข้อมูลทั้งหลายที่ visible สำหรับหน่วยหลัก จะสามารถนำไปใช้ได้กับหน่วยรอง

หลังจากที่สร้างรูปแบบในระดับล่างสุดแล้ว (ในตัวอย่างหมายถึงการบรรยายส่วนที่เป็น entity และ architecture ของอุปกรณ์ 2_input AND-gate และ 3_input NOR-gate) ขั้นตอนต่อไปคือการออกแบบในระดับสูงขึ้นอีกชั้น ได้แก่การนำอุปกรณ์ (gate) มาประกอบกันตามโครงสร้างของวงจร ตามที่แสดงในรูปที่ 3.13

```
ARCHITECTURE struct  OF and2 IS

   COMPONENT and2
      PORT ( in1, in2: IN std_logic;
             output: OUT std_logic);
   END COMPONENT;
   COMPONENT nor3
      PORT ( in1, in2, in3: IN std_logic;
             output: OUT std_logic);
   END COMPONENT;
   SIGNAL internal1, internal2, internal3: std_logic;
BEGIN
   u1:and2  PORT MAP (aoi1, aoi2, internal1);
   u2:and2  PORT MAP (aoi3, aoi2, internal2);
   u3:and2  PORT MAP (aoi5, aoi2, internal3);
   u4:nor3  PORT MAP (internal1, internal2, internal3,aoi_output);
END struct;
```

เนื่องจากการใช้ภาษา VHDL เขียนบรรยายระบบดิจิตอล อนุญาตให้ผู้ออกแบบสามารถเขียนส่วนที่เป็น architecuture สำหรับหน่วยหลักได้หลายๆ ลักษณะ ดังนั้นในขั้นตอนของการจำลองการทำงาน (simulation) หรือสังเคราะห์วงจร (circuit synthesis) ผู้ออกแบบจะต้องกำหนดโครงสร้าง (configuration specification) เพื่อเชื่อมหน่วยหลักเข้ากับหน่วยรองที่ต้องการ ซึ่งได้แก่การเขียนส่วนที่เป็น configuration (configuration design unit) ที่เป็นส่วนบนสุด (top level) ของรูปแบบตามที่แสดงในรูปที่ 3.14

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
LIBRARY ieee;
CONFIGURATION top_level OF aoi IS
    FOR struct
        FOR u1:and2 USE ENTITY WORK.and2(and2_behave);
        END FOR;
        FOR u2:and2 USE ENTITY WORK.and2(and2_behave);
        END FOR;
        FOR u3:and2 USE ENTITY WORK.and2(and2_behave);
        END FOR;
        FOR u4:and2 USE ENTITY WORK.and2(and2_behave);
        END FOR;
    END FOR;
END top_level;
```

รูปที่ 3.14: โครงสร้างระดับบนสุดของรูปแบบ

โครงสร้างของ configuration ในรูปที่ 3.14 เป็นโครงสร้างแบบง่าย เป็นเพียงลักษณะหนึ่งที่สามารถสร้างได้ ในส่วนของรายละเอียดจะกล่าวในบทที่ 9

3.9 สรุป

หลักจากที่ได้ศึกษาหน่วยต่างๆ ของ VHDL model ในบทที่แล้ว ในบทนี้ได้บรรยายเพิ่มเติมในเรื่องของความสัมพันธ์ระหว่างหน่วยต่างๆ เหล่านั้น ที่สามารถเชื่อโยง และอ้างอิงระหว่างกันได้ เพื่อให้ได้ model ที่สมบูรณ์

สิ่งที่แตกต่างกันอยู่ในปัจจุบันคือ การจัดระบบข้อมูลใน design file เพราะทาง IEEE 1076 ได้มีการกำหนดวิธีการไว้ แต่โดยทั่วๆ ไปแล้วระบบที่พัฒนา VHDL จะยึดหลักเดียวกับการจัดการในระบบ UNIX เพราะต้นกำเนิดของ VHDL นั้นได้รับการพัฒนามาบนเครื่องระบบดังกล่าว

ในตอนท้ายของบทได้แสดงให้เห็นตัวอย่างการเขียนรูปแบบ โดยเปรียบเทียบกับโครงสร้างของ schematic ของวงจรดิจิตอล ดังนั้นถึงจุดนี้ผู้อ่านควรจะมีความเข้าใจ ในโครงสร้างของรูปแบบใช้ภาษา VHDL บรรยายระบบดิจิตอล ตลอดจนความสัมพันธ์และการจัดการข้อมูลต่างๆ เป็นอย่างดี

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 4
การออกแบบในลักษณะโครงสร้าง และการบรรยายพฤติกรรม
(structural Design & Behavioral Design)

4.1 กล่าวนำ

ภาษา VHDL เป็นเครื่องมือสำหรับช่วยสร้างรูปแบบ (model) ของระบบดิจิตอลที่ซับซ้อน โดยอาศัยขบวนการของ Top-Down Design ขบวนการดังกล่าวคือการบรรยายระบบดิจิตอลในระดับบนสุด (top-level) ในรูปของแนวความคิดฟังก์ชันการทำงานอย่างสังเขป (abstract) เขียนรูปแบบและจำลองการทำงาน เพื่อตรวจสอบความถูกต้อง หลังจากที่ผ่านการตรวจสอบแล้ว แนวความคิดอย่างสังเขปนี้ จะถูกแบ่ง (partition) ให้เป็นส่วนย่อยๆ และลำดับชั้น (hierarchical) ตามกลุ่มของฟังก์ชันการทำงาน และเช่นเดียวกันส่วนย่อยๆ ที่สร้างขึ้นเหล่านั้น จะถูกจำลองการทำงาน (simulation) ตรวจสอบความถูกต้อง (test and verification) เป็นเช่นนี้ไปเรื่อยๆ ของวงรอบการทำงาน ระดับล่างสุด (gate-level) สามารถที่จะนำไปเปรียบเทียบกับอุปกรณ์ digital hardware ต่างๆได้ อาทิเช่น microprocessors, RAM, ROM, PLD และ FPGA โดยผ่านขั้นตอกของการสังเคราะห์วงจร (circuit synthesis)

ฉะนั้นการเขียนรูปแบบในลักษณะของ structural description จึงเป็นการบรรยายที่แสดงให้เห็นโครงสร้างของระบบในรูปของอุปกรณ์ต่างๆ และการเชื่อมต่อสัญญาณระหว่างกัน อุปกรณ์แต่ละตัวอาจจะถูกบรรยายพฤติกรรมในลักษณะ behavioral description สำหรับการทำงานของตัวเองหรืออาจจะบรรยายด้วยอุปกรณ์ระดับล่างลงไปอีกเช่น gate หรือ transistor เป็นต้น หลักการง่ายๆ ที่จะทำให้เข้าใจลักษณะการบรรยายในลักษณะของ behavioral และ structural description คือ behavioral description จะเป็นตัวอย่างที่ดีของรูปแบบอย่างสังเขป (abstract model) รูปแบบลักษณะนี้จะไม่ชี้ให้เห็นชัดว่า วงจรจะมีรูปร่างและโครงสร้างเป็นอย่างไร ส่วนรูปแบบลักษณะ structural description นั้นจะเป็นรูปแบบที่สามารถมองเห็นรูปร่างของวงจรได้ชัดเจน เช่นวงจรประกอบด้วยอุปกรณ์อะไรบ้าง และแต่ละประเภทมีจำนวนเท่าไร มีการเชื่อมต่อกัน และลำดับชั้นอย่างไร

ในบทนี้จะเป็นการขยายความของหลักการ behavioral description และ structural description พร้อมกับแสดงให้เห็นว่า โครงสร้างทั้งสองมีความสำคัญอย่างไรกับวิธีการออกแบบในลักษณะของ Top-Down Design

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4.2 Behavioral Design

การเขียนรูปแบบลักษณะของ behavioral description ของระบบดิจิตอลด้วยภาษา VHDL นั้น ถูกจัดให้อยู่ในประเภทของการบรรยายที่ไม่ต้องมีการอ้างถึงรูแบบย่อย (submodel) ภายใน architecture นั้นอีก ทั้งนี้จะไม่รวมถึงการเรียกโปรแกรมย่อย (subprogram) ที่สามารถเกิดขึ้นได้เสมอในรูปแบบลักษณะนี้ แต่จะหมายถึงการอ้างถึงอุปกรณ์อื่นที่ถูกกำหนดด้วย VHDL ก่อนแล้ว

ลักษณะของ behavioral description โดยทั่วไปแล้วจะเป็นขั้นตอนของการบรรยายที่จะกำหนดฟังก์ชันการทำงานของแบบ ดังในรูปที่ 4.1 ที่แสดงให้เห็น behavioral description ของอุปกรณ์ที่ใช้สำหรับการคูณและหาผลรวม (multiply accumulate device) ซึ่งในที่นี้มีชื่อว่า mac

ในที่นี้จะไม่กล่าวถึงกฎเกณฑ์ (syntax) ของภาษา VHDL ในรูปที่ 4.1 แต่สิ่งที่สำคัญขณะนี้คือความเข้าใจการทำงานของฟังก์ชันการคูณและหาผลรวมของตัวแปรสองตัว สำหรับกฎเกณฑ์ที่ถูกต้องนั้นจะกล่าวในบทต่อไปอย่างละเอียด

ส่วนที่กำหนดการติดต่อกับโลกภายนอกคือ entity declaration (คำสั่ง ENTITY) มีชื่อว่า mac มีช่องทางเข้าสู่ภายใน (input port) 4 ช่อง ได้แก่ in1, in2, clk และ reset และมีช่องทางออก 1 ช่องคือ out1 ช่องทางเข้า clk และ reset สามารถรับประเภทของสัญญาณ (และเพื่อความเป็นมาตรฐานตาม IEEE 1076 ต่อไปนี้ประเภทของสัญญาณจะใช้คำว่า TYPE) ประเภท BIT (BIT เป็น standard TYPE ของ IEEE 1076) ได้เท่านั้น ซึ่ง TYPE ชนิดนี้จะมีความของสัญญาณอันใดอันหนึ่งใน 2 ค่าได้เท่านั้นอันได้แก่ '0' หรือ '1' และ out1 มี TYPE เป็น BIT_VECTOR ซึ่งก็คือ array ที่มีขนาด 1 มิติ (one dimension array บางที่เรียกว่า vector) และองค์ประกอบ (element) ทุกตัวภายในมี TYPE เป็น BIT ความกว้างของ array ถูกกำหนดอยู่ในส่วนของการกำหนดช่องเข้า-ออก (port statement) ในที่นี้สัญญา in1 และ in2 มีขนาด 16 bits ในขณะที่ out1 มีขนาด 32 bits สัญญาณ input และ output เช่นนี้สามารถที่จะเรียกว่า bus ได้ เช่น bus ขนาด 16 และ 32 bits ตามลำดับ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
1. USE WORK.util.ALL;
2. ENTITY mac IS
3.     GENERIC (tco:time:=10 NS);
4.     PORT ( in1,in2: IN BIT_VECTOR(15 DOWNTO 0);
5.         clk,reset: IN BIT;
6.         out1: OUT BIT_VECTOR(31 DOWNTO 0));
7. END mac;
8. ARCHITECTURE behave OF mac IS
9. BEGIN
10.    PROCESS (clk,reset)
11.     VARIABLE reg_in1,reg_in2,reg_mul,accum:INTEGER;
12.    BEGIN
13.     IF reset = '0' THEN
14.     reg_in1 :=0;
15.     reg_in2     :=0;
16.     reg_mul     :=0;
17.     accum       :=0;
18.     ELSIF rising_edge (clk) THEN
19.     accum       :=accum + reg_mul;
20.     reg_mul      :=reg_in1 + reg_in2;
21.     reg_in1     :=vect_to_int (in1);
22.     reg_in2     :=vect_to_int (in2);
23.     END IF;
24.     out1<=int_to_vec(accum,32) AFTER tco;
25.    END PROCESS;
26. END behave;
```

รูปที่ 4.1: รูปแบบ VHDL ในลักษณะ behavioral description ของอุปกรณ์ที่ใช้สำหรับคูณและหาผลรวม (Multiply-Accumulate Device)

โดยการใช้คำสั่ง GENERIC ในส่วนที่ใช้ประกาศกำหนดการติดต่อกับภายนอก (entity declaration) นั้น ทำให้สามารถเพิ่มเติม แก้ไข และดัดแปลงค่าพารามิเตอร์ โดยไม่ต้องแก่ไขภายในส่วนของ architecture ในที่นี้ได้แก่พารามิเตอร์เวลา (tco) ซึ่ง tco จะเป็น 1 propagation delay time ระหว่างช่วงเวลาเริ่มกระตุ้นสัญญาณทาง input ถึงเวลาที่ระบบตอบสนองของสัญญาณ output (รูปที่ 4.1 บรรทัดที่ 24) ค่าหน่วงเวลาของ tco นี้เป็นค่าตายตัว (default value) และสามารถที่จะเขียนทับ (override) ด้วยค่าใหม่ได้

ก่อนอื่นจะทำความเข้าใจถึงชุดคำสั่งที่อยู่เหนือ entity declaration ได้แก่คำสั่ง USE คำสั่งนี้มีหน้าที่ทำให้ TYPE หรือ subprogram ตลอดจน utility ต่างๆ ที่เป็นประโยชน์ต่อการเขียนรูปแบบที่เก็บไว้ใน package ชื่อ util สามารถถูกเรียกใช้ได้ในส่วนของ entity declaration และส่วนที่อยู่ภายใน้ อันได้แก่ architecture design unit (use statement อยู่ก่อน entity declaration และ architecture declaration) หรือสามารถพูดได้อีกอย่างหนึ่งว่า ทำให้ทุกๆ สิ่ง (ALL) ที่กำหนดขึ้นที่อยู่ใน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

PACKAGE ที่มีชื่อว่า util และอยู่ภายใน LIBRARY ชื่อสัญลักษณ์ WORK สามารถถูกมองเห็น (visibility) ได้โดย entity-และ architecture design unit นี้

ส่วนที่เป็น architecture ของรูปแบบ มีชื่อว่า behave เป็นส่วนที่ถูกจัดให้อยู่ภายใต้ entity ชื่อ mac คำสั่งแรกภายใต้ architecture declaration ได้แก่คำสั่ง PROCESS ซึ่งเป็น concurrent statement แต่การบรรยายทั้งหมด (statement ต่างๆ) ที่อยู่ภายใต้ proicess statement (process statement เริ่มต้นด้วยคำ PROCESS และปิดท้ายด้วยคำ END PROCESS;) นั้นเป็นการบรรยายแบบลำดับ (sequential) นั้นคือจะประกอบด้วย sequential statement เท่านั้น สัญญาณ clk และ reset เป็นสัญญาณใน sensitivity list ของ process statement สัญญาณทั้งสองทำหน้าที่เป็นตัวควบคุมการทำงานของ process statement โดยที่เมื่อเกิดการเปลี่ยนแปลงระดับค่าของสัญญาณ (event) ของสัญญาณตัวใดตัวหนึ่งใน sensitivity list จะมีผลทำให้ process statement ถูกกระตุ้นให้ทำงาน และคำสั่งทุกๆ คำสั่งภายในจะทำงานตามลำดับ (sequentially) เช่นในกรณีที่สัญญาณมี TYPE เป็น BIT การเกิด event ในตัวสัญญาณคือการเปลี่ยนจากค่าเดิมที่เป็น '0' เป็นค่าใหม่ '1' หรือในทางตรงข้ามเป็นต้น

หลังจากที่ process ถูกกระตุ้น ลำดับของชุดคำสั่ง IF-THEN-ELSE จะทำงาน คำสั่ง IF จะตรวจสอบค่าของสัญญาณ reset ว่าเป็น '0' หรือเปล่า ถ้าเป็น '0' จะทำให้ boolean expression (reset = '0') ในส่วนของข้อแม้ IF clause มีผลลัพธ์เป็น TRUE (boolean expression สามารถให้ผลลัพธ์ที่มี TYPE เป็นประเภท boolean ได้เพียงสองอย่างคือ TRUE กับ FALSE) ตัวแปร (variable) ภายในทั้งหมด (reg_in1, reg_in2, reg_mul และ accum) จะถูกกำหนดค่าเป็น '0' แต่ถ้าสัญญาณ reset ไม่เท่ากับ '0' (reset= '1') ทำให้ boolean expression (reset= '0') ในส่วนของข้อแม้ IF clause มีผลลัพธ์เป็น FALSE คำสั่งในลักษณะของการตรวจสอบ ELSIF(ในภาษา VHDL ใช้คำสั่ง ELSIF ไม่ใช้ ELSEIF หรือ ELSE IF) จะทำงาน เพื่อสอบถามว่าสัญญาณ clk เกิดการเปลี่ยนค่าของสัญญาณ '0' เป็น '1' (ในขณะเวลาปัจจุบันของการจำลองวงจร) หรือเปล่า ในที่นี้จะมีการเรียกโปรแกรมย่อย (subprogram) ประเภท FUNCTION (subprogram ในภาษา VHDL มีสองประเภทคือ FUNCTION และ PROCEDURE รายละเอียดจะกล่าวในบทต่อไป) ชื่อ rising_edge ที่ถูกเก็บไว้ใน package ชื่อ util (นี่คือเหตุผลที่ว่าทำไมถึงต้องกำหนด use statement บรรทัดที่ 1 ในรูปที่ 4.1) โปรแกรมย่อยนี้จะตรวจสอบการเปลี่ยนระดับค่าจาก '0' เป็น '1' ของสัญญาณ clk ถ้ามีเกิดขึ้นโปรแกรมย่อยจะให้ผลลัพธ์ที่เป็นค่า boolean คือ TRUE ทำให้ข้อแม้ ELSIF เป็นจริง คำสั่งทั้งสี่ที่อยู่ทัดลงมาจะทำงานตามลำดับ ซึ่งก็คือการทำขั้นตอนของการคูณและหาผลรวม (multiply accumulate) นั้นเอง ในที่นี้โปรแกรมย่อยประเภท FUNCTION ชื่อ vect_to_int ทำหน้าที่แปลงค่าของสัญญาณ ที่มี TYPE ประเภท BIT_VECTOR ของสัญญาณ in1 และ in2 เป็น INTEGER (เลขจำนวนเต็มบวก) ในที่นี้คือการเปลี่ยนเลข binary ขนาด 16 bits ให้เป็นเลข integer เพื่อที่จะสามารถใช้ arithmetic operator ได้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บรรทัดสุดท้ายของ sequential statement (บรรทัดที่ 24) คือการกำหนดค่าของ output ให้กับช่องทางออก out1 โดยที่สัญญาณมีการหน่วงเวลาเท่ากับ tco (AFTER clause) โปรแกรมย่อยประเภท FUNCTION ชื่อ int_to_vect ทำหน้าที่แปลงค่าของสัญญาณ ที่มี TYPE ประเภท INTEGER ของตัวแปร accum ให้เป็นเลข binary ขนาด 32 bits

จากตัวอย่างในรูปที่ 4.1 จะเห็นได้ว่ารูปแบบ VHDL ที่ใช้บรรยาย multiply accumulate function มีลักษณะคล้ายกับการเขียนโปรแกรมด้วยภาษา C หรือ PASCAL มากกว่าที่จะเป็นโครงสร้างของ hardware ฉนั้นด้วยเหตุผลนี้เอง จึงไม่สามารถที่จะหาความสัมพันธ์ของการบรรยายในรูปของฟังก์ชันการทำงาน กับโครงสร้างทางฟิสิกส์ในรูปของอุปกรณ์ดิจิตอลได้ รูปแบบ VHDL เช่นนี้จึงจัดให้อยู่ในประเภท behavioral

จากความจริงอย่างหนึ่งที่เห็นในตัวอย่างคือ ข้อดีของการบรรยายแบบ behavioral ที่ว่าวิศวกรออกแบบสามารถที่จะสร้างรูปแบบของระบบดิจิตอล โดยไม่ต้องคำนึงถึงรายละเอียดของการสร้างวงจรจริง จึงสามารถที่จะเขียนรูปปแบบ ให้เข้าสู่จุดประสงค์ของงาน (specification) โดยไม่ต้องเบี่ยงเบนความคิด ว่าจะใช้อุปกรณ์อะไรมาสร้างให้ได้ฟังก์ชันตามต้องการ

4.3 Structural Design

การบรรยายในลักษณะโครงสร้าง (structural description) ด้วยภาษา VHDL จัดอยู่ในประเภทการแสดงด้วยการแทนที่โดยอุปกรณ์ (ในที่นี้หมายถึงอุปกรณ์ที่อยู่ในรูปแบบของ VHDL คือ entity และ architecture design unit) และการเชื่อมต่อภายในระหว่างอุปกรณ์เหล่านั้น (instantiation and interconnection) ด้วยโครงสร้าง VHDL (VHDL component) การบรรยายเช่นนี้จะอยู่ในรูปที่เรียกว่า VHDL netlist ดังตัวอย่างของ architecture description ของ multiply and accumulate function ที่แสดงในรูปที่ 4.2

จากตัวอย่างในรูปที่ 4.2 ในส่วนของ architecture declatation จะสังเกตได้ว่ามีการประกาศกำหนดอุปกรณ์ด้วย component statement (กลุ่มคำสั่ง COMPONENT ...END COMPONENT;) ภายในโครงสร้าง และสัญญาณภายใน (local signal) อีก 6 สัญญาณ (คำสั่ง SIGNAL) ที่ใช้สำหรับเชื่อมต่อระหว่างอุปกรณ์ต่างๆ ภายในตัวของโครงสร้างเอง

ตัวอย่างในรูปที่ 4.1 และ 4.2 แสดงให้เห็นถึงข้อแตกต่างในระดับของการออกแบบคือระหว่าง behavioral level (รูปที่ 4.1) กับ structural level (รูปที่ 4.2) วิศวกรออกแบบที่ประสงค์จะเขียนรูปแบบของระบบดิจิตอลด้วยภาษา VHDL ไม่ควรตั้งข้อสมมุติ ว่าจะเขียนรูปแบบในลักษณะหนึ่งลักษณะใด โดยเหตุที่ว่าสมมุติฐานเหล่านั้นจะหมดไปตามข้อกำหนด และข้อบังคับของภาษาเอง เพราะภาษา VHDL สนับสนุนแนวทางขบวนการของการแบ่งและปฏิบัติให้ได้ผล (divide and conquer) โดยการแยกแบบออกเป็นส่วนๆ (design partition) แล้วพัฒนารายละเอียด

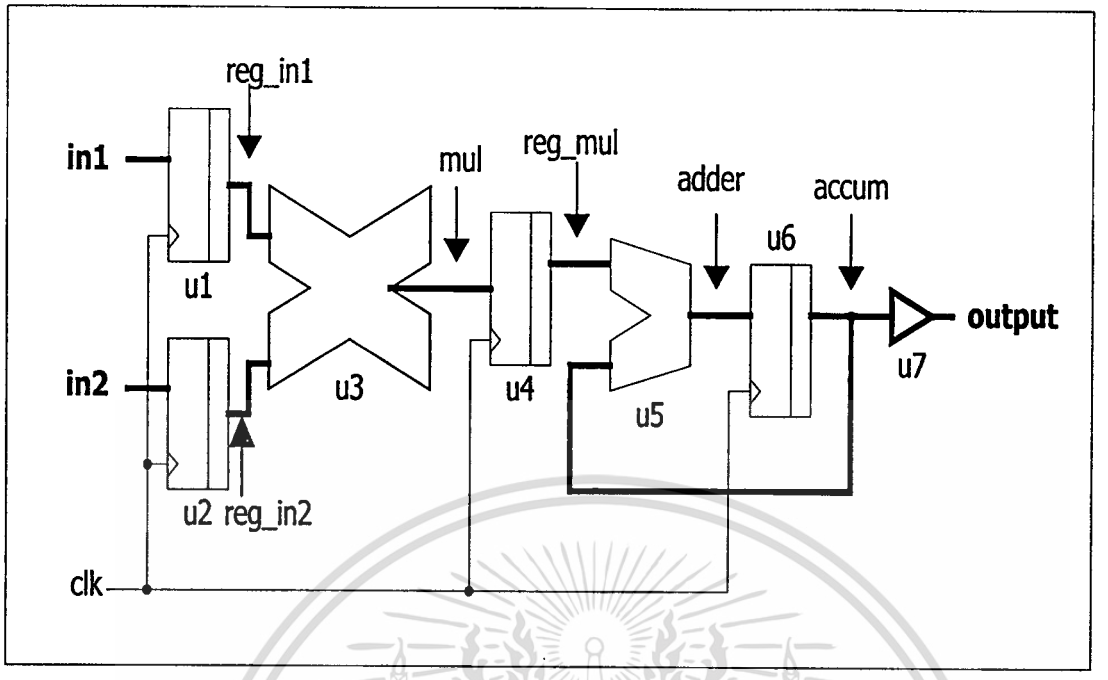
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ในแต่ละกลุ่มและสร้างรูปแบบลักษณะโครงสร้าง (structural) เป็นชิ้นสมบูรณ์ทีละชั้น (hierarchical)

```
1. ARCHITECTURE structure OF mac IS
2.   COMPONENT reg
3.   GENERIC (width: INTEGER:=16);
4.   PORT ( d: IN BIT_VECTOR ((width - 1) DOWNTO 0);
5.         clk: IN BIT;
6.         q:OUT BIT_VECTOR ( (width - 1) DOWNTO 0) );
7.   END COMPONENT;
8.   COMPONENT adder
9.   PORT ( port1, port2: IN BIT_VECTOR (31 DOWNTO 0);
10.        output: OUT BIT_VECTOR (31 DOWNTO 0) );
11. END COMPONENT;
12. COMPONENT multiply
13. PORT ( port1, port2: IN BIT_VECTOR (15 DOWNTO 0);
14.        output: OUT BIT_VECTOR (31 DOWNTO 0) );
15. END COMPONENT;
16. COMPONENT buf
17. PORT (input: IN BIT_VECTOR(31 DOWNTO 0);
18.        output: OUT BIT_VECTOR (31 DOWNTO 0) );
19. END COMPONENT;
20. SIGNAL reg_in1,reg_in2: BIT_VECTOR (15 DOWNTO 0);
21. SIGNAL mul, mul_reg, adder, accum: BIT_VECTOR (31 DOWNTO 0);
22.BEGIN
23. u1: reg GENERIC MAP (16) PORT MAP (in1, clk, reg_in1);
24. u2: reg GENERIC MAP (16) PORT MAP (in2, clk, reg_in2);
25. u3: multiply PORT MAP (reg_in1, reg_in2,mul);
26. u4: reg GENERIC MAP (32) PORT MAP (mul, clk, reg_mul);
27. u5:adder PORT MAP (reg_mul, accum,adder);
28. u6: reg GENERIC MAP (32) PORT MAP (adder, clk,accum);
29. u7: buf PORT MAP (accum,out1);
30. END structure;
```

รูปที่ 4.2: โครงสร้าง (structure) ของวงจร Multipluy-Accumulate Unit

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.3: โครงสร้างอุปกรณ์ของวงจร Multiply-Accumulate Unit

4.4 Mixed Level Modeling

ด้วยเหตุผลที่ชุดคำสั่งแบบแข่งขนาน (concurrent statement) สามารถที่จะเขียนลงในตำแหน่งใดๆ ภายในส่วนของ architecture ได้นี่เอง ภาษา VHDL จึงเปิดโอกาสให้วิศกรออกแบบค่อยๆ แปลงรูปแบบจาก behavioral model ไปสู่ structural model ได้

จนกระทั่งถึงจุดนี้ยังไม่ได้มีการศึกษาถึงรายละเอียดของ concurrent statement แต่จากตัวอย่างที่ผ่านมา ได้มีการนำ concurrent statement มาใช้บ้างแล้ว concurrent statement สามารถมองให้เป็นส่วนย่อยของแบบ (subdesign) ที่เป็นอิสระในการทำงาน และจากการที่ concurrent statement ทั้งหลายเป็นอิสระต่อกัน ฉนั้นภายใน architecture เดียวกันสามารถที่จะมีชุดคำสั่งประเภท concurrent statement ได้หลายๆ ชุด

ต่อไปจะมาศึกษา concúrrent statement ทั้งสามที่ได้เคยนำมาใช้ในตัวอย่าง โดยที่ชนิแรกได้แก่

- Signal assignment statement:

  C <= a AND b AFTER 10 NS;

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

- Process statement:

```
PROCESS(signal1, signal2,...)
.
.
END PROCESS;
```

- Component instantiation statement:

```
U2: and2
        GENERIC MAP (2 NS, 1 NS);
        PORT MAP (in1, in2, in3);
```

ทั้งสาม concurrent statement นี้แสดงให้เห็นหลักการของการเขียนรูปแบบ (model) ในลักษณะของ mixed level modeling

เพื่อให้เห็นตัวอย่างของ mixed level modeling จึงขอยกตัวอย่างของ multiply accumulate function มาแสดงให้เห็นอีกครั้งในรูปที่ 4.4

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
1.  USE WORK.util.ALL;
2.  ARCHITECTURE mixed OF mac IS
3.     COMPONENT reg
4.     GENERIC (width:: INTEGER:=16);
5.     PORT ( D:IN BIT_VECTOR (width - 1 DOWNTO 0);
6.              clk: IN BIT;
7.              Q:OUT BIT_VECTOR  (width - 1, DOWNTO 0);
8.     END COMPONENT;
9.     SIGAL reg_in1, reg_in2, accum:BIT_VECTOR (15 DOWNTO 0);
10. BEGIN
11. -- structural description
12.   u1:reg     GENERIC MAP (16) PORT MAP (in1, clk, reg_in1);
13.   u2:reg     GENERIC MAP (16) PORT MAP (in2, clk, reg_in2);
14. -- behavioral description
15.   PROCESS
16.     VARIABLE temp1, temp2, mul, adder: INTEGER:=0;
17.   BEGIN
18.     WAIT UNTIL clk = '1';            -- rising edge of clk
19.     temp1  := vect_to_int (reg_in1);
20.     temp2  := vect_to_int (reg_in2);
21.     mul     := temp1 *temp2;
22.     adder  := accum + mul;
23.     accum  <=int_to_vect (adder,32);
24.     END PROCESS;
25.  -- dataflow description
26.     out1<=accum;
27.  END mixed;
```

รูปที่ 4.4: โครงสร้างแบบ mixed level modeling ของ Multiply-Accumulate Unit

4.5 สรุป

ในบทนี้ได้แสดงให้เห็นถึงหลักการของวิธีการเขียนรูปแบบในลักษณะต่างๆ ดังที่จะเห็นได้ว่าภาษา VHDL สนับสนุนการเขียนรูปแบบทั้งลักษณะ behavioral และ structural ในลักษณะของ behavioral modeling นั้นจะเป็นการเขียนรูปแบบของฟังก์ชัน แต่ไม่ได้แสดงรายละเอียดของโครงสร้าง (structure) ของวงจรจริง ข้อดีของการเขียนลักษณะนี้คือ วิศวกรออกแบบสามารถที่จะเขียนบรรยายฟังก์ชันได้ตั้งแต่ระดับบนของแนวความคิดอย่างสังเขป อาทิเช่นสามารถใช้ TYPE สำหรับข้อมูลประเภท TNTEGER ได้ ซึ่งในระบบดิจิตอลจริงๆ แล้ว (hardware) ลักษณะของข้อมูลจะเป็นระบบ binary นอกจากนั้นยังสามารถใช้ภาษา VHDL บรรยายให้รายละเอียดเพิ่มเติมในระดับล่างลงมา โดยที่การเขียนแบบ structural modeling จะแสดงให้เห็นว่าอุปกรณ์ใด ใช้ทำอะไร และมีการเชื่อมต่อกันอย่างไร เพื่อทำให้เกิดฟังก์ชันที่ต้องการ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สุดท้ายของบทนี้ได้แสดงให้เห็นถึงความอ่อนตัวของภาษา VHDL ที่สามารถใช้เขียนบรรยายรูปแบบของระบบดิจิตอลในลักษณะผสม (mixed modeling) ระหว่าง behavioral และ structural modeling ภายในโครงสร้าง architecture เดียวกัน เพื่อแสดงรายละเอียดของรูปแบบที่เขียนในระดับต่างๆ ซึ่งขั้นตอนที่กล่าวมานี้จะครอบคลุมวิธีการของ Top-Down Design Process ทั้งหมด

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 5
หลักการเบื้องต้นของการจำลองการทำงานโดย VHDL
(VHDL Simulation Conceptual)

5.1 กล่าวนำ

ในคู่มืออ้างอิงภาษา (LRM) ตีพิมพ์โดยสมาคม IEEE เพื่อกำหนดมาตรฐานและกฎเกณฑ์ของภาษา VHDL ซึ่งรวมการวิเคราะห์และความสัมพันธ์ระหว่างส่วนต่างๆ ของรูปแบบภายใต้สภาพแวดล้อมของการออกแบบเดียวกัน ตลอดจนการเพิ่มความสมบูรณ์ของรูปแบบ การเตรียมค่าเริ่มต้น และการทำงานของวงรอบจำลองการทำงาน จากมาตรฐานที่กำหนดนี้เองที่ช่วยทำให้ภาษา VHDL สามารถนำไปใช้ได้กับระบบพัฒนา VHDL จากผู้ผลิต (vendor) อื่นๆ ได้ ซึ่งเรียกได้ว่ามีความเป็นอิสระต่อระบบ (vendor independence) ซึ่งทำให้ผู้ออกแบบสามารถเลือกระบบออกแบบได้หลายแบบ ในบทนี้จะเป็นการศึกษาลักษณะของการจำลองการทำงานของภาษา VHDL ที่เป็นหลักการของระบบพัฒนา VHDL ซึ่งจะช่วยทำให้ผู้อ่านเกิดความเข้าใจหลักการของภาษามากขึ้น

5.2 ค่าจำลองเบื้องต้น (Simulation Primitives)

ในระบบจำลองการทำงานในลักษณะของดิจิตอลลอจิกนั้น ผู้ใช้จะคุ้นเคยกับคำว่าจำลองเบื้องต้นหรือ simulstion primitive ในระบบดังกล่าวนี้ค่า simulation primitive จะเป็นค่าลอจิกที่คงที่ และมีฟังก์ชันการทำงานที่ถูกกำหนดตายตัวลงไปในแกนหลักของการจำลอง ค่าจำลองเบื้องต้นที่พบกันมากได้แก่ฟังก์ชันของ AND, OR, XOR, DFF, LATCH, BUFFER และ PULL-UP เป็นต้น ในการออกแบบทุกครั้งจะต้องกำหนดวงจรลงสู่ฟังก์ชันเหล่านี้

ข้อเสียที่สำคัญของระบบจำลองการทำงานในลักษณะของดิจิตอลลอจิกแบบเดิมนี้ คือ ความจำเป็นที่ต้องกำหนดแบบให้ลงสู่ค่าจำลองเบื้องต้นนี้ เนื่องจากฟังก์ชันเบื้องต้นเหล่านี้ประกอบกันเป็นอุปกรณ์ดิจิตอล และนำไปใช้ในการออกแบบอุปกรณ์ที่มีความซับซ้อนสูง ซึ่งเป็นการบังคับให้ต้องออกแบบในลักษณะที่เรียกว่า Bootom-Up Desing โดยที่ผู้ออกแบบจะออกแบบจากพื้นฐานของฟังก์ชันของค่าจำลองเบื้องต้น เพื่อพัฒนาระบบและจำลองการทำงานของระบบดิจิตอล นั่นหมายความว่าการออบแบบลักษณะของ Bottom-Up Design ที่ผู้ออกแบบจะต้องคำนึงถึงการผลิต (implementation) มากกว่าฟังก์ชันการทำงาน (functionalityป ของงาน

ในระบบออกแบบด้วย VHDL (Top-Down Design) จะไม่มีสิ่งที่เรียกว่า built-in simulator ค่าจำลองเบื้องต้นที่มีอยู่อย่างแท้จริงระดับล่างสุดของชั้นลำดับ (hierarchical model) ในแบบ จะ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เป็นตัวสร้างค่าจำลองเบื้องต้น ซึ่งสิ่งที่สำคัญที่สุดที่ต้องจดจำไว้คือ ค่าเบื้องต้นนั้นเป็นค่าที่สามารถกำหนดได้โดยผู้ใช้ระบบ และกำหนดด้วยภาษา VHDL

ผู้ออกแบบสามารถที่จะควบคุมค่าจำลองเบื้องต้นในระบบ VHDL ได้เต็มที่ และเป็นไปได้ที่จะพัฒนารูปแบบในระดับบนสุดของแนวความคิดอย่างสังเขป การออกแบบตามฟังก์ชันการทำงานคือกุญแจสำคัญที่นำไปสู่จุดหมาย และความจริงอีกอย่างหนึ่งที่ว่า จากรูปแบบที่ออกมานั้นไม่จำเป็นต้องเป็นระบบดิจิตอลเสมอไป ซึ่งหลักการนี้คล้ายกับการเขียนภาษาโปรแกรมที่ว่าโปรแกรมถูกเขียนขึ้น แล้วถูกนำไปแปล (compile) และนำไปใช้งาน (execute)ในที่สุด

จากความสามารถในการจำลองการทำงานในลักษณะพิเศษของระบบ VHDL นี่เอง จึงเปิดโอกาสให้วิศวกรออกแบบสามารถที่จะเริ่มต้นทำงานโดยการเริ่มต้นสร้างแนวทางการออกแบบจากแนวความคิดอย่างสังเขปและเริ่มสร้างรูปแบบ พร้อมทั้งจำลองการทำงานของรูปแบบ (แนวความคิด) นั้นได้อย่างรวดเร็ว และค่อยๆ เพิ่มเติมในรายละเอียดทีละชั้น ถ้าทดลองเปรียบเทียบกับการออกแบบลักษณะ Bottom-Up Design จะเห็นได้ว่าวิศวกรออกแบบจะใช้เวลามากกว่า 90% สำหรับการป้อนแบบวงจรด้วยอุปกรณ์ (schematic capture) จำลองการทำงาน ตรวจสอบความถูกต้อง และงานขีดเขียนแบบวงจร ซึ่งในการนำวงจรเก่ามาออกแบบใหม่ โดยที่มีความต้องการที่จะลดขนาดของวงจรให้เล็กลง และใช้อุปกรณ์ที่มีความเร็วในการทำงานสูงขึ้น หรือใช้อุปกรณ์ที่มีความหนาแน่นของวงจรสูงมากขึ้นเพื่อรวมฟังก์ชันการทำงาน การออกแบบในลักษณะดังกล่าวจะไม่มีเวลาเหลือให้มากสำหรับงานต่างๆ เหล่านั้น ดังนั้นการใช้ภาษ VHDL ในการออกแบบลักษณะของ Top-Down Design วิศวกรออกแบบจะสามารถค้นพบความจริงใหม่ๆ ของศิลป์และศาสตร์แห่งวิศวกรรมของการออกแบบ hardware ระบบดิจิตอล

5.3 ระบบสภาวะ (State System)

การที่ระบบจำลองการทำงานแบบเดิมที่มีค่าเบื้องต้นต่างๆ ที่แน่นอน (fixed values) จะทำให้มีระบบสภาวะที่คงที่และหรือขึ้นอยู่กับระบบที่ใช้จำลองเช่นกัน ระบบสภาวะเหล่านี้ (ปกติจะมี 8 ถึง 12 สภาวะ) ใช้ได้กับการจำลองการทำงานของระบบดิจิตอลที่มีค่าสภาวะแน่นอน (discrete digital system) เช่นเดียวกันกับข้อจำกัดของค่าเบื้องต้น ผู้ออกแบบจะต้องคำนึงถึงขั้นตอนการผลิตทันทีที่เกิดความคิดใหม่ๆ และจะต้องแก้ไขแบบวงจร

ระบบจำลองการทำงานแบบเดิมจะบังคับด้วยข้อจำกัดเหล่านี้ ทำให้ต้องใช้วิธีการออกแบบ โดยใช้การป้อนแบบด้วยอุปกรณ์ (schematic capture) วิศวกรออกแบบจะต้องคิดในรูปของ gate (NOT, AND, OR, ...), FlipFlop, Multiplexer และ Register แทนที่จะใช้ความคิดสำหรับหาฟังก์ชันการทำงานของงานที่ได้รับมอบได้อย่างเต็มที่

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ด้วยระบบ VHDL ที่ผู้ออกแบบเป็นผู้กำหนดระบบสภาวะ และยังคงสามารถใช้ระบบสภาวะของระบบเดิม หรือกำหนดให้สังเขปมากยิ่งขึ้น ตัวอย่างเช่นถ้าต้องการที่จะเขียนรูปแบบของระบบสี สามารถที่จะกำหนดระบบสภาวะในระดับบนสุดได้ตามที่แสดงในรูปที่ 5.1 เป็นต้น

```
TYPE color IS (red, green, blue, yellow, violet, orange);
```

รูปที่ 5.1: การกำหนดระบบสภาวะสำหรับระบบสี

หรือสามารถที่จะกำหนดระบบสภาวะเพื่อการจำลองการทำงานของระบบดิจิตอลตามรูปที่ 5.2

```
TYPE std_ulogic IS ('U', '0', '1', 'Z', 'X', 'W', 'L', 'H', '-');
```

รูปที่ 5.2: การกำหนดระบบสภาวะสำหรับระบบดิจิตอล

ตามที่ได้ศึกษาในหัวข้อระบบสภาวะของภาษา VHDL และการกำหนดค่าโดยใช้คำสั่ง TYPE ไปแล้ว โดยที่ความหมายในภาษา VHDL คำว่า TYPE คือกลุ่มของค่า (set of value) กลุ่มของค่าเหล่านี้จะเป็นตัวบอกค่าที่สามารถเป็นไปได้ของ SIGNAL, VARIABLE และ CONSTANT หรือที่เรียกรวมว่า object เมื่อ object ถูกประกาศขึ้น กลุ่มของค่า (TYPE) ก็จะถูกกำหนดขึ้นด้วยระบบจำลองการทำงานจะไม่อนุญาตให้ค่าที่ไม่ได้ถูกกำหนดไว้ในกลุ่มของค่า (set of value) ไว้สำหรับ object นั้น กำหนด (assignment) ให้กับ object ได้
ตัวอย่าง :

```
SIGNAL clock : std_ulogic;
VARIABLE crayon : color := yellow;
CONSTANT clear : std_ulogic := '0';
```

ในแต่ละกรณีเมื่อ object ถูกประกาศขึ้นจะมีความสัมพันธ์กับ (TYPE) ด้วย เช่นในกรณีของ crayon ที่ประกาศเป็นตัวแปร (คำสั่ง VARIABLE) มีการกำหนดค่าเริ่มต้นได้แก่ yellow (ซึ่งเป็นองค์ประกอบในกลุ่มของค่าประเภท color ตามรูปที่ 5.1) และตัวคงที่ clear มีค่าเท่ากับ '0' ใน TYPE ชนิด std_ulogic

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

หลังจากได้รู้จักกับกฎการเขียนกำหนดประเภท (TYPE) ในภาษา VHDL แล้ว ขั้นตอนต่อไปจะเป็นการศึกษาความหมายในการใช้งาน TYPE โดยทั่วไปแล้วจะประกาศอยู่ใน package ซึ่งจะเปิดโอกาสให้นำไปใช้ได้ในการออกแบบ (เขียนรูปแบบ) ที่มีการอ้างอิงถึง package นั้นๆ การประกาศ TYPE ใน package มีโครงสร้างโดยทั่วไปดังที่แสดงในรูปที่ 5.3

```
PACKIAGE std_logic_1164 IS
    TYPE std_ulogic IS ('U', '0', '1', 'Z', 'X', 'W', 'L', 'H', '-');
END std_logic_1164;
--
LIBRARY ieee;
USE ieee.std_logic_1164.ALL;
--
ENTITY mux IS
    GENERIC ( tplh: TIME:=3 NS;tphl:TIME :=5 NS;
                    sel_out: TIME :=3 NS );
    PORT ( in1, in2, sel: IN std_ulogic;
           output:OUT std_ulogic);
END mux;
```

รูปที่ 5.3: การประกาศ TYPE ใน package และการอ้างอิง

การประกาศกำหนด TYPE ชื่อ std_ulogic ทำใน package ชื่อ std_logic_1164 ทุกๆ ส่วนของรูปแบบที่อ้างอิง package นี้ สามารถใช้ std_ulogic ได้ เช่นตัวอย่างของส่วนที่เป็น entity ในรูปที่ 5.3 ด้วยคำสั่ง LIBRARY และ USE เป็นการเปิด (making visible) package ชื่อ std_logic_1164 ฉะนั้น object ต่างๆ ที่ประกาศในส่วนของ entity สามารถใช้ค่าทั้งหมดของ TYPE ที่ชื่อ std_ulogic ได้

โดยปกติแล้วผู้เขียนรูปแบบสามารถกำหนด TYPE ได้ในส่วนประกาศ (declarative area) ของส่วนต่างๆ ได้ ตัวอย่างเช่นการกำหนด TYPE ชนิด std_ulogic ในส่วนที่เป็นเนื้อที่ประกาศของ entity ตามที่แสดงในรูปที่ 5.4

```
ENTITY mux IS
    TYPE std_ulogic IS ('U', '0', '1', 'Z', 'X', 'W', 'L', 'H', '-');
     GENERIC ( tplh: TIME :=3 NS;tphl: TIME := 5 NS;
                    sel_out: TIME := 3 NS );
    PORT ( in1, in2, sel: IN std_ulogic;
                output:OUT std_ulogic );
END mux;
```

รูปที่ 5.4: การประกาศ TYPE ใน entity design unit

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากตัวอย่างในรูปที่ 5.3 และ 5.4 การเขียนส่วนที่เป็น entity เหมือนกัน สิ่งที่แตกต่างกันได้แก่ TYPE ชนิด std_ulogic โดยที่ในรูปที่ 5.3 นั้นสามารถที่จะอ้างอิงได้โดยรวม (global) ในขณะที่รูปที่ 5.4 นั้นสามารถอ้างอิงได้เฉพาะใน entity ชื่อ mux และส่วนที่เป็น architecture และส่วนรอง (secondary unit) ของ entity เท่านั้น

เป็นที่เข้าใจอย่างชัดเจนว่าสิ่งที่ประกาศในส่วนที่เป็น entity นั้น (PORT และ GENERIC) ได้แก่สิ่งที่เรียกว่า object ที่สามรถมีชั้น (class) ได้สามประเภทคือ SIGNAL, VARIABLE และ CONSTANT สิ่งที่ประกาศด้วยชุดคำสั่ง PORT จะเป็น SIGNAL และสิ่งที่ประกาศด้วยชุดคำสั่ง GENERIC จะเป็น CONSTANT

5.4 ลำดับเวลาของสัญญาณและเวลา (Signal Queues & Delta Times)

การจำลองการทำงานในลักษณะของ VHDL นั้นเป็นการทำงานตามการเปลี่ยนแปลงระดับค่าของสัญญาณ (event driven simulation) คือระบบจะตรวจสอบและมีปฏิกิริยาต่อการเปลี่ยนแปลงภายใต้กรอบบังคับที่กำหนด กรอบบังคับดังกล่าวในระบบของ VHDL คือสิ่งที่เกิดการเปลี่ยนแปลงอันได้แก่สัญญาณ (SIGNAL) และปฏิกิริยาต่อเนื้องที่เกิดจากการเปลี่ยนแปลงครั้งแรกของสัญญาณที่บรรยายในชุดคำสั่งแบบแข่งขนาน (concurrent statement) ที่มีความไว (sensitive) ต่อสัญญาณนั้นๆ

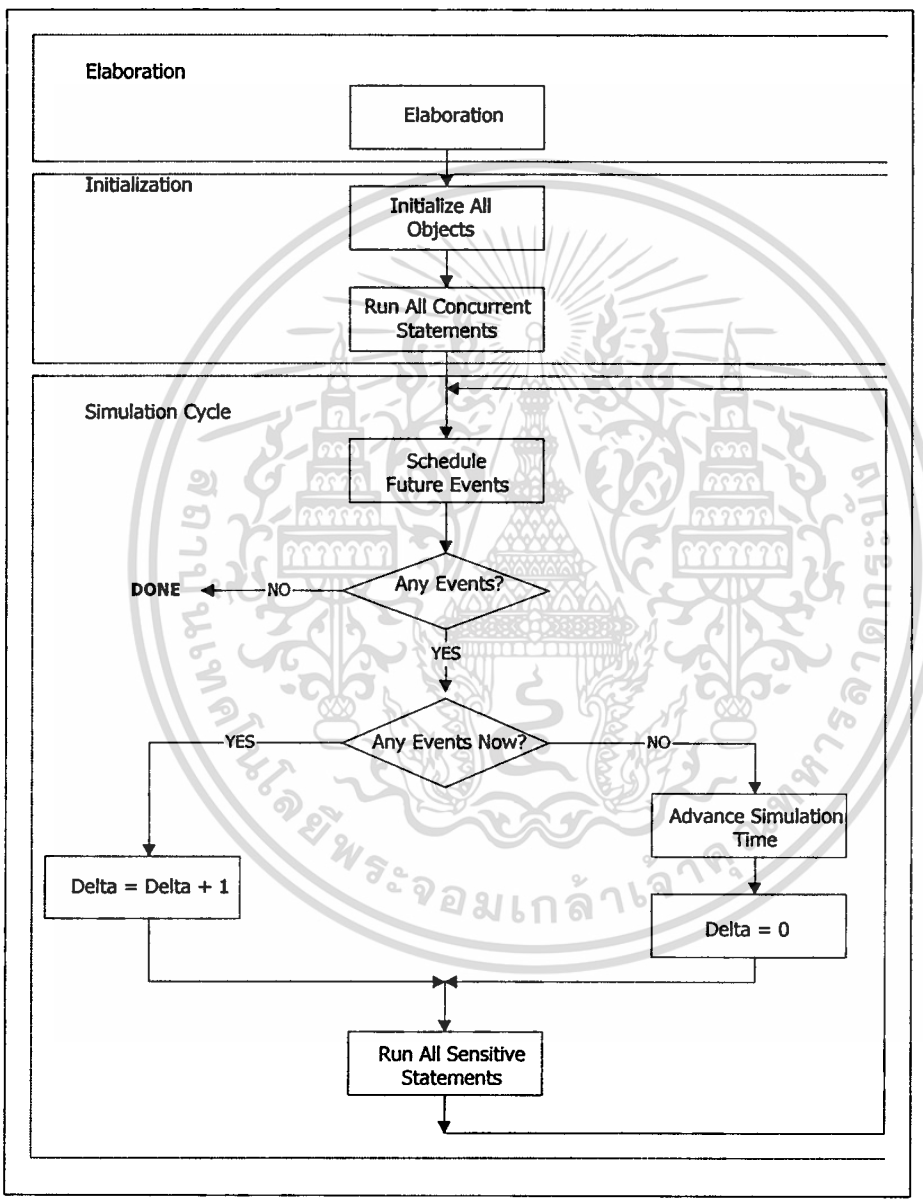
ในวงรอบการจำลองการทำงานของระบบ VHDL สัญญาณจะถูกปรับปรุงค่าใหม่ทุกครั้งที่มีการตรวจพบการเปลี่ยนแปลงระดับค่า (event) ชุดคำสั่งใด (concurrent) ที่ไวต่อการเปลี่ยนแปลงนั้น (สามารถมีได้มากกว่า 1 ชุดคำสั่ง) จะจัดลำดับการทำงาน ชุดคำสั่งหลายๆ ชุดสามารถเข้าลำดับและทำงานได้ ชุดคำสั่งเหล่านี้อาจเป็นสาเหตุที่ทำให้เกิดการเปลี่ยนแปลงเพิ่มเติมขึ้นอีก โดยที่ไม่มีการทำให้เวลาของการจำลองการทำงาน (simulation time) เพิ่มขึ้น (เกิดขึ้นในเวลาของการจำลองเดียวกัน) ดังนั้นภายในหนึ่งวงรอบการทำงานของการจำลอง ทุกๆ ชุดคำสั่งที่อยู่ในลำดับจะถูกปฏิบัติ ปรับปรุงค่าของสัญญาณใหม่ ตรวจสอบการเปลี่ยนแปลงถ้ามี จะสร้างลำดับการทำงานขึ้นมาใหม่ (โดยที่ยังคงอยู่ในเวลาของการจำลองการทำงานเดิม)

การที่การจำลอ งในระบบ VHDL สามารถที่จะทำงานในลักษณะดังกล่าวได้ โดยที่ไม่มีการเพิ่มเวลาจำลองทำงานนั้น กลไกสำคัญที่ช่วยทำให้การทำงานโดยปราศจากข้อแม้ทางเวลานี้เรียกว่า delta time (-time) หรือ internal delay

เวลาของการจำลองการทำงานในระบบ VHDL สามารถที่จะมองให้อยู่ในภาพระนาบที่มี 2 มิติได้ โดยที่มิติแรกได้แก่ระนาบเวลาจำลองการทำงาน และมิติที่สองได้แก่ระนาบของ -time ซึ่งเป็นระนาบที่อยู่เหนือระนาบเวลาการจำลองทำงาน นั่นคือวเลาจำลองทำงานจะไม่มีการเพิ่มขึ้นจนกว่าเวลา -time ทั้งหมดจะผ่านไป

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รูปที่ 5.5 แสดงรายละเอียดของขบวนการทำงานการจำลองการทำงานของ VHDL ที่สามารถแบ่งออกได้เป็นสามส่วนคือ elaboration, initialization และ simulation cycle เมื่อระบบจำลองถูกเรียกใช้งาน ระบบจะเริ่มด้วยขั้นตอนของ elaboration และตามด้วยการ initialization ค่าต่างๆ ในรูปแบบ และจากจุดนี้เองวงรอบของ simulation cycle จะทำงานจนกระทั่งสิ้นสุดเวลาการจำลอง

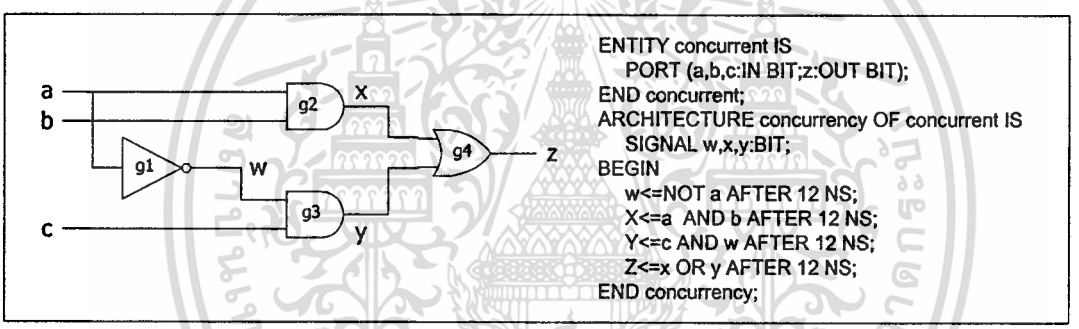


รูปที่ 5.5: แผนภาพลำดับการทำงานของระบบจำลองการทำงาน VHDL

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

5.4.1 จังหวะเวลาและการทำงานแบบแข่งขนาน (Timing and Concurrency)

ในวงจรอิเล็กทรอนิกส์นั้นอุปกรณ์ทุกชิ้นจะตื่นตัว (active) อยู่ตลอดเวลาต่อสิ่งที่เปลี่ยนแปลงในวงจร การที่ภาษา VHDL เป็นภาษาที่ใช้บรรยายพฤติกรรมของวงจรในลักษณะดังกล่าว ฉะนั้นระบบพัฒนา VHDL จึงต้องสามารถที่จะนำมาใช้เขียนรูปแบบที่ให้ความถูกต้องในจังหวะเวลาการทำงาน และการทำงานแบบแข่งขนานในวงจรดิจิตอล โครงสร้างแบบแข่งขนานของภาษาจะใช้ในส่วนที่เป็น concurrent body และชุดคำสั่งแบบลำดับจะใช้ในส่วนที่เป็น sequential body ในส่วนที่เป็น architecture ของรูปแบบจะเป็น concurrent body ในขณะที่ภายใน process statement จะเป็น sequential body ชุดคำสั่งแบบลำดับที่เป็น sequential body ภายใน concurrent body (PROCESS) จะทำงานไปพร้อมๆ กับโครงสร้างแบบแข่งขนานที่อยู่ในรูปแบบเดียวกัน ความสัมพันธ์ด้านจังหวะเวลาระหว่างสัญญาณ และส่วนต่างๆ ในรูปแบบ เป็นสิ่งที่มีความซับซ้อนและสำคัญมาก เพื่อที่จะให้เห็นถึงหลักการดังกล่าวจะแสดงให้เห็นด้วยตัวอย่างต่อไป



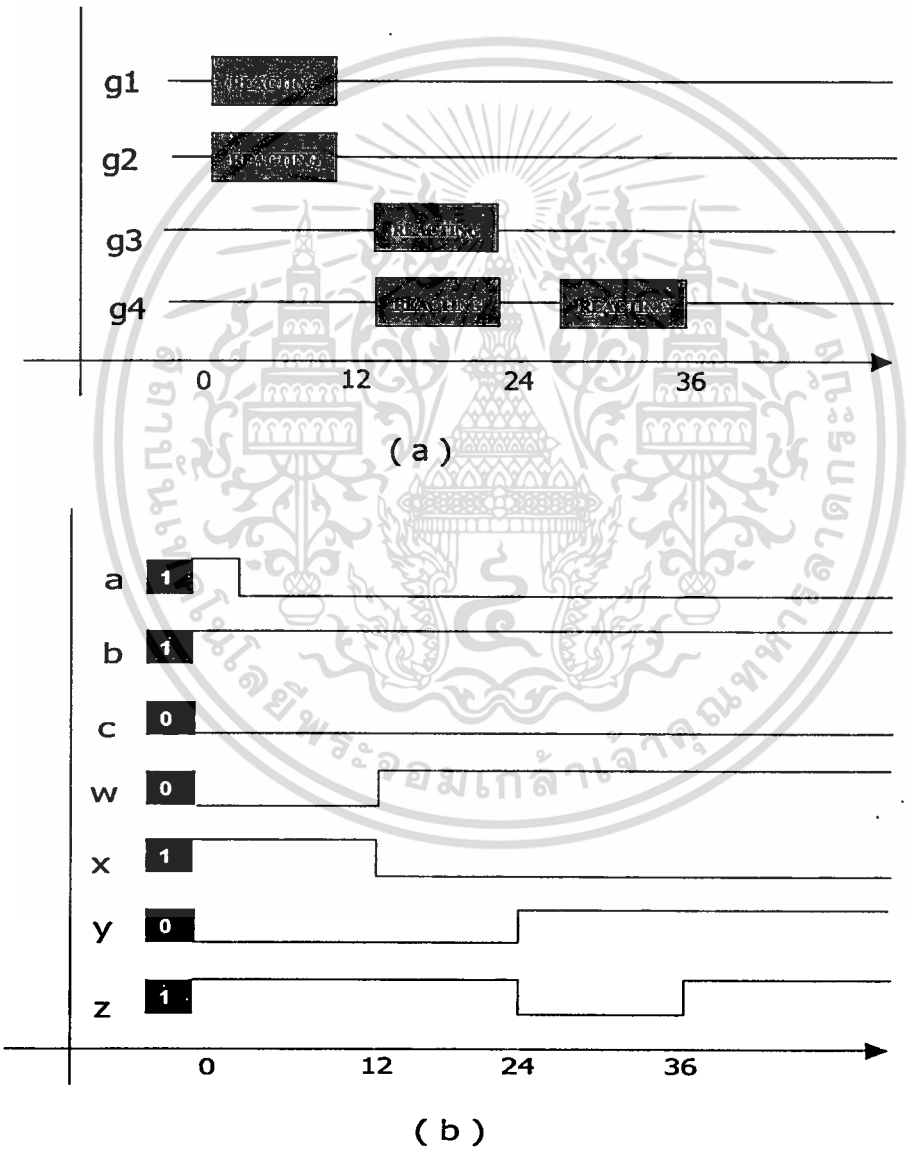
รูปที่ 5.6: วงจรในระดับ gate-level และรูปแบบ VHDL

รูปที่ 5.6 เป็นวงจรและรูปแบบ VHDL ที่บรรยายวงจรดังกล่าว โดยที่ตั้งข้อสมมุติไว้ว่าทุกๆ gate (inverter, 2-input AND และ 2-input OR) มีการหน่วงเวลาปฏิกิริยาระหว่าง output ต่อการเปลี่ยนแปลงทาง input เท่ากันหมดคือ 12 ns. และระดับค่าของสัญญาณ input ทั้งหมดคงตัวอยู่ที่ระดับค่าลอจิก '1' ในขณะเวลาเริ่มต้นการจำลองการทำงาน (หรือเป็นค่าเริ่มต้นของระบบ) นั่นหมายความว่าที่ตำแหน่ง w, x และ y จะมีระดับค่าของสัญญาณเป็น '0', '1' และ '0' ตามลำดับ ตามที่แสดงในรูปที่ 5.7(b) ถ้าสัญญาณ a เปลี่ยนระดับค่าจาก '1' เป็น '0' ซึ่งการเปลี่ยนแปลงนี้เป็นสาเหตุให้อุปกรณ์ g1 และ g2 มีปฏิกิริยาที่จะเปลี่ยนแปลงพร้อมขนานกัน ตามที่แสดงให้เห็นในลักษณะของ timing diagram ในรูปที่ 5.7(a) อุปกรณ์ g1 จะทำให้ระดับสัญญาณที่ตำแหน่ง w เปลี่ยนเป็น '1' ในเวลาที่ 12 ns. หลังจากนั้น และอุปกรณ์ g2 เป็นสาเหตุทำให้ระดับสัญญาณที่ตำแหน่ง w เปลี่ยนเป็น '0' ในระยะเวลาเดียวกัน ในเวลานี้เอง (ที่ 12 ns.) อุปกรณ์ g3 และ g4 จะมองเห็นการเปลี่ยนแปลงดังกล่าวที่เกิดขึ้นกับ input ของตัวเอง และเริ่มต้นมีปฏิกิริยาต่อค่าใหม่นั้น

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การเปลี่ยนแปลงที่ตำแหน่ง x ทำให้อุปกรณ์ g4 เปลี่ยนค่า outptu จาก '1' เป็น '0' ในอีก 12 ns. ข้างหน้า ในขณะเวลาเดียวกันนั้นเอง การเปลี่ยนแปลงที่ตำแหน่ง w เป็นสาเหตุทำให้ระดับ

สัญญาณที่ตำแหน่ง y เป็น '1' ในอีก 12 ns. ข้างหน้าเช่นกัน (การเปลี่ยนแปลงสมบูรณ์ที่ 24 ns. จากเวลาเริ่มต้น) อุปกรณ์ g4 ที่เป็น OR-gate ขณะเวลาที่ 24 ns. จากจุดเริ่มต้นมีระดับค่าของสัญญาณที่ขา input ข้างหนึ่งเป็น '1' จะมีผลทำให้ระดับค่าสัญญาณ output ที่ตำแหน่ง z เปลี่ยนกลับไปเป็น '1' อีกครั้งหลังจากที่ได้มีค่า '0' เพียง 12 ns. เท่านั้น จากรูปที่ 5.7(b) สังเกตได้ว่าระดับของสัญญาณที่ตำแหน่ง z มีค่าเท่ากับ '0' เป็นเวลาเพียง 12 ns. (24 ns. ถึง 36 ns.) และมีชื่อเรียกว่า zero glitch ระบบพัฒนา VHDL จะต้องแสดงการเกิดอาการดังที่กล่าวมาแล้วนี้ได้



รูปที่ 5.7: Timign diagram ของการจำลองการทำงานวงจรในรูปที่ 5.6

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การวิเคราะห์ดังกล่าวจะซับซ้อนและยุ่งยากมากยิ่งขึ้นถ้าในกรณีที่อุปกรณ์แต่ละชิ้นมีค่าหน่วงเวลา (delay) ที่ไม่เท่ากัน หรือเมื่อเกิดการเปลสี่ยนแปลงขึ้นที่ input อีกในขณะที่วงจรยังไม่อยู่ในสภาวะคงตัว (stable) การวิเคราะห์ที่ผ่านมานี้ถึงแม้จะเป็นเพียงตัวอย่างเล็กๆ แต่ให้ความเข้าใจถึงหลักการของการทำงานแบบแข่งขนาน ซึ่งเป็นหัวใจสำคัญของภาษาที่ใช้บรรยาย hardware โดยตรง จากเหตุผลนี้เองภาษา VHDL จึงเป็นภาษาที่มีส่วนของจังหวะเลาที่มีความสัมพันธ์กับสัญญาณทุกตัว และสามารถมีโครงสร้างของการกำหนดค่าสัญญาณ ในลักษณะของการแข่งขนานได้ การเขียนรูปแบบระบบดิจิตอลด้วยภาษา VHDL มีความจำเป็นอย่างยิ่งที่จะต้องมีความเข้าใจในหลักการที่กล่าวมาแล้ว

5.4.2 ตัวหน่วงเวลา (-Delay Time)

ตามที่ได้กล่าวถึงไปแล้วในบทที่ 1 ว่าตัวหน่วงเวลา (-delay time) จัดเป็นประเภท internal delay ซึ่งเป็นค่าหน่วงเวลาที่เกิดขึ้นภายในระบบพัฒนา VHDL เองโดยไม่มีผลต่อเวลาในการจำลองการทำงาน (simulation time) ของรูปแบบ ตามในตัวอย่างที่แสดงในรูปที่ 5.6 และ 5.7 เป็นวงจร (รูปแบบ) ที่อุปกรณ์ทุกตัวมีค่าหน่วงเวลา เพื่อที่จะบรรยายในหลักการของตัวหน่วงเวลาจึงต้องตั้งสมมุติฐานว่าอุปกรณ์ g1, g2 และ g3 ในรูปที่ 5.6 ไม่มีค่าหน่วงเวลา (inertial delay) ยกเว้นอุปกรณ์ g4 ด้วยความตั้งใจที่จะแสดงให้เห็นผลลัพธ์ของวงจรที่ตำแหน่ง z และมีรูปแบบตามที่แสดงในรูปที่ 5.8

```
ARCHITECTURE delta_time OF concurrent IS
   SIGNAL w,x,y : BIT :='0';
BEGIN
Y<= c AND w;
w<= NOT a;
x<= a AND b;
z<= x OR y AFTER 36 NS;
END delta_time;
```

รูปที่ 5.8 : ตัวอย่างรูปแบบแสดง delta-time

การวิเคราะห์ครั้งนี้จะใช้ค่าของสัญญาณที่ป้อนให้ทาง input เดียวกับในรูปที่ 5.7 รูปของ timign diagram ใหม่ที่เกิดขึ้นแสดงในรูปที่ 5.9 ซึ่งมีการแสดงตำแหน่งเวลาที่เกิด transaction ของสัญญาณด้วยบริเวณแถบสีเทา เช่นเดิมในการเริ่มต้นสมมติให้สัญญาณ a, b และ c เป็นสัญญาณภายนอกและมีค่าเริ่มต้นเท่ากับ '1' (หมายความว่าระดับค่าของสัญญาณในเวลก่อนศูนย์ มีค่าเท่ากับ '1' หรือ lim(a, b, c) = lim(a, b, c) = '1') ขณะเวลา 0 ns. สัญญาณ a ถูกกำหนดจากภาย

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

นอกให้มีค่า '0' ซึ่งสัญญาณ a จะรับค่าใหม่นี้ในเวลา 1 ต่อมา หลังจากที่ a เปลี่ยนค่าไปได้อีก ต่อมา ตำแหน่ง w และ x จะรับค่าใหม่ที่ input นั้นคือ w จะเปลี่ยนเป็น '1' (ผลลัพธ์ของ NOT a) และ x จะเปลี่ยนค่าเป็น '0' (ผลลัพธ์ของ a AND b) โดยที่ทั้งหมดเกิดขึ้นที่เวลา 2 การเปลี่ยนแปลงระดับค่า (event) ที่ตำแหน่ง x เป็นสาเหตุทำให้ค่า '0' จะถูกกำหนดให้กับ z (output) ในอีก 36 ns. ข้างหน้า (ชุดคำสั่ง z <= x OR y AFTER 36 NS;) ส่วนการเปลี่ยนแปลงระดับค่า (event) ที่ตำแหน่ง w จะสาเหตุทำให้ชุดคำสั่ง y <= c AND w ทำงาน และผลลัพธ์ที่ได้คือค่าตรงตำแหน่ง y จะเปลี่ยนในเวลา 1 ต่อมา หลังจากที่ w มีการเปลี่ยนแปลง ซึ่งเป็นการเปลี่ยนจาก '0' เป็น '1' เป็นผลทำให้ที่เวลา 3 เกิดมีการเปลี่ยนแปลง (event) ที่ y ทำให้ชุดคำสั่ง z <= x OR y AFTER 36 NS; ทำงานอีกครั้ง โดยที่จะเป็นการกำหนดค่า '1' ในอีก 36 ns. ข้างหน้าเช่นกัน

รูปที่ 5.9: Timing Diagram ที่แสดง delta-time

การกำหนดค่า '1' ในอีก 36 ns. ครั้งหลังนี้มีผลเหนือการกำหนดค่า '0' ในอีก 36 ns. ครั้งแรกแต่เนื่องจากค่า z เป็น '1' อยู่เดิมแล้วจึงไม่ทำให้เกิดการเปลี่ยนแปลงระดับค่า (event) ในเวลา 36 ns. คงเกิดแต่เพียง transaction เท่านั้น นั่นหมายความว่าระดับคงที่ของค่าสัญญาณที่ z ถูกต้อง แล้วอย่างไรก็ตามการกำหนดค่าต่างๆ ของ x และ y ในช่วงเวลาที่ 0 ns. จะไม่มีผลต่อระดับค่าสัญญาณของ z ในอีก 36 ns. ข้างหน้า ด้วยเหตุผลที่ว่า ค่าหน่วงเวลาในทางฟิสิกส์ จะดูดกลืน (absorb) ค่าเวลา ทั้งหมด

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เนื่องจากเวลา เป็นส่วนสำคัญที่จะทำให้เกิดความเข้าใจการทำงานระบบจำลองการทำงานแบบ VHDL จึงขอแสดงตัวอย่างให้เห็นอีกครั้งตามรูปที่ 5.10 และ 5.11

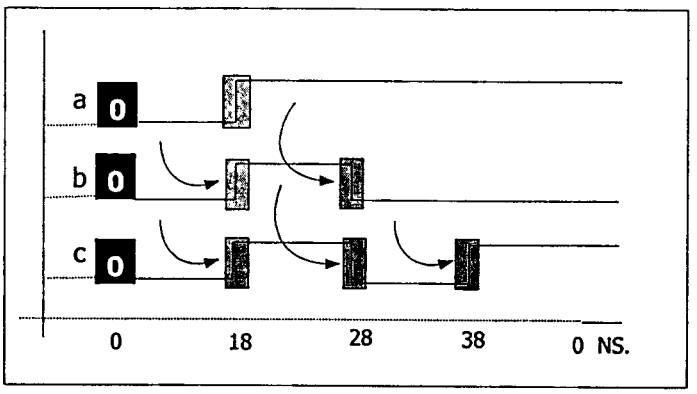
```
ARCHITECTURE concurrent OF delta_time IS
    SIGNAL a,b,c : BIT :='0';
BEGIN
a<= '1';
b<= NOT a;
c<= NOT a;
END concurrent;
```

รูปที่ 5.10: ตัวอย่างรูปแบบแสดง concurrency และ delta-time

ในรูปที่ 5.10 เป็นรูปแบบของวงจรที่ประกอบด้วยอุปกรณ์ inverter ที่ไม่มีการหน่วงเวลาและต่อเรียงกันสองชิ้น โดยที่จุด a เป็น input จุด c เป็น output และจุด b เป็นจุดระหว่างกลาง ระดับสัญญาณที่ตำแหน่ง a, b และ c ถูกกำหนดค่าเริ่มต้นเป็น '0' ขณะเวลาที่ 0 ns. ระดับค่าสัญญาณ '1' ถูกกำหกนดให้กับ a ซึ่งเป็นสาเหตุทำให้เกิด transaction ที่ตำแหน่ง b และ c

รูปที่ 5.11 เป็น timing diagram ที่แสดงให้เห็นการทำงานของชุดคำสั่งแบบแข่งขนานและการเปลี่ยนแปลงของสัญญาณ a, b และ c ในช่วงเวลาที่ 0 ns. ทุกๆ transaction ในที่นี้จะทำให้เกิดการเปลี่ยนแปลงของระดับสัญญาณในทุกๆ ตำแหน่ง ที่เวลา 0 ns. ระดับค่าของสัญญาณที่ตำแหน่ง a, b และ c เป็นไปตามที่ประกาศในรูปแบบ (SIGNAL) ณ เวลานี้เอง ค่าลอจิก '1' ถูกกำหนดให้กับ และค่าตรงข้าง (complement) ของ a ซึ่งยังคงเป็น '0' ที่เวลา 0 ns. (จากค่าเริ่มต้น) จะเป็นค่าที่กำหนดให้กับ b นั้นคือทั้ง a และ b จะมีเกิด transaction ด้วยค่า '1' ที่ 0 ns. เป็นตัวขับ (driver) ในเวลา 0 ns. นี้เองค่าตรงข้าม (complement) ของ b ซึ่งเป็น '0' (จากค่าเริ่มต้น) จะเป็นค่าที่กำหนดให้กับ c เป็นสาเหตุทำให้เกิด transaction ด้วยค่า '1' ที่ 0 ns. เป็นตัวขับให้กับ c เวลา ต่อมาที่ 1 สัญญาณ a, b และ c รับค่าใหม่คือ '1' ค่าใหม่ของ a ทำให้เกิด transaction บน b ในอีก ต่อมาที่ 2 ซึ่งได้แก่การเปลี่ยนระดับค่าเป็น '0' ในลักษณะเดียวกันค่าของ b ที่ 1 เป็นเหตุทำให้เกิดการเปลี่ยนแปลงระดับค่าสัญญาณบน c ที่ 2 การเปลี่ยนแปลงที่เวลา 2 ทำให้ชุดคำสั่ง c <= NOT b ทำงานและเป็นเหตุทำให้เกิดการเปลี่ยนแปลงของ c ใน ต่อมาที่ 3

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 5.11: Timing Diagram สำหรับรูปแบบในรูปที่ 5.10

อย่างไรก็ตามระบบจำลองการทำงานของ VHDL ที่แสดง timing diagram ในรูปของ waveform จะไม่แสดงเวลา ให้เห็น เพราะเป็น internal delay ที่ไม่ใช่ physical time ที่มีหน่วยวัดทางฟิสิกส์ (เช่น ns.) การที่จะดูการเปลี่ยนแปลงระดับค่าสัญญาณในช่วงเวลา นั้นจำเป็นต้องแสดงด้วยหน้าต่างแสดงผล list ของระบบ (list windows) ตามที่แสดงในรูปที่ 5.12

ns	delta	a	b	c
0	+0	0	0	0
0	+1	1	1	1
0	+2	1	0	0
0	+3	1	0	1

รูปที่ 5.12: ผลลัพธ์การจำลองการทำงานแบบแข่งขนาน และมีเวลา

ความแตกต่างของการแสดงผลระหว่างหน้าต่าง waveform (timing diagram) กับหน้าต่าง list นั้นจะสังเกตได้ว่าในหน้าต่าง list จะแสดงค่าและเวลาที่สัญญาณมีการเปลี่ยนแปลงระดับค่าของสัญญาณ รวมทั้งเวลา ด้วย ในการทำงานจริงกับระบบพัฒนา VHDL นับว่าหน้าต่าง list มีประโยชน์มากในการตรวจสอบขั้นตอนการทำงานทีละขั้น (debugging) และช่วยให้เกิดความเข้าใจในเรื่องของเวลา อย่างมาก

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

5.5 สรุป

ระบบจำลองการทำงานแบบ VHDL เป็นระบบที่ไม่มีระบบสภาวะที่คงตัว หรือค่าจำลองพื้นฐานที่กำหนดไว้แล้ว ผู้ใช้หรือวิศวกรออกแบบสามารถที่จะกำหนดค่าจำลองได้เอง โดยให้เหมาะสมกับงาน และระดับความละเอียดของงาน สำหรับการทำงานในลักษณะแข่งขนานกันระหว่างชุดคำสั่งต่างๆ ลักษณะพิเศษของระบบจำลองแบบ VHDL นี้ทำให้วิศวกรสามารถที่จะเริ่มต้นทำงานได้ตั้งแต่ในระดับบนสุด และค่อยๆ เพิ่มเติมในรายละเอียดทีละขั้นตอน ซึ่งนอกจากข้อดีตามที่กล่าวมานี้ ผู้ใช้ยังสามารถที่จะทดสอบแนวความคิดในการแก้ปัญหา โดยการจำลองการทำงานของแนวความคิดนั้นในรูปของรูปแบบก่อนได้ นอกจากนั้นระบบนี้ยังสนับสนุนการทำงานแบบผสมระหว่างความละเอียดของขั้นตอนแต่ละระดับ

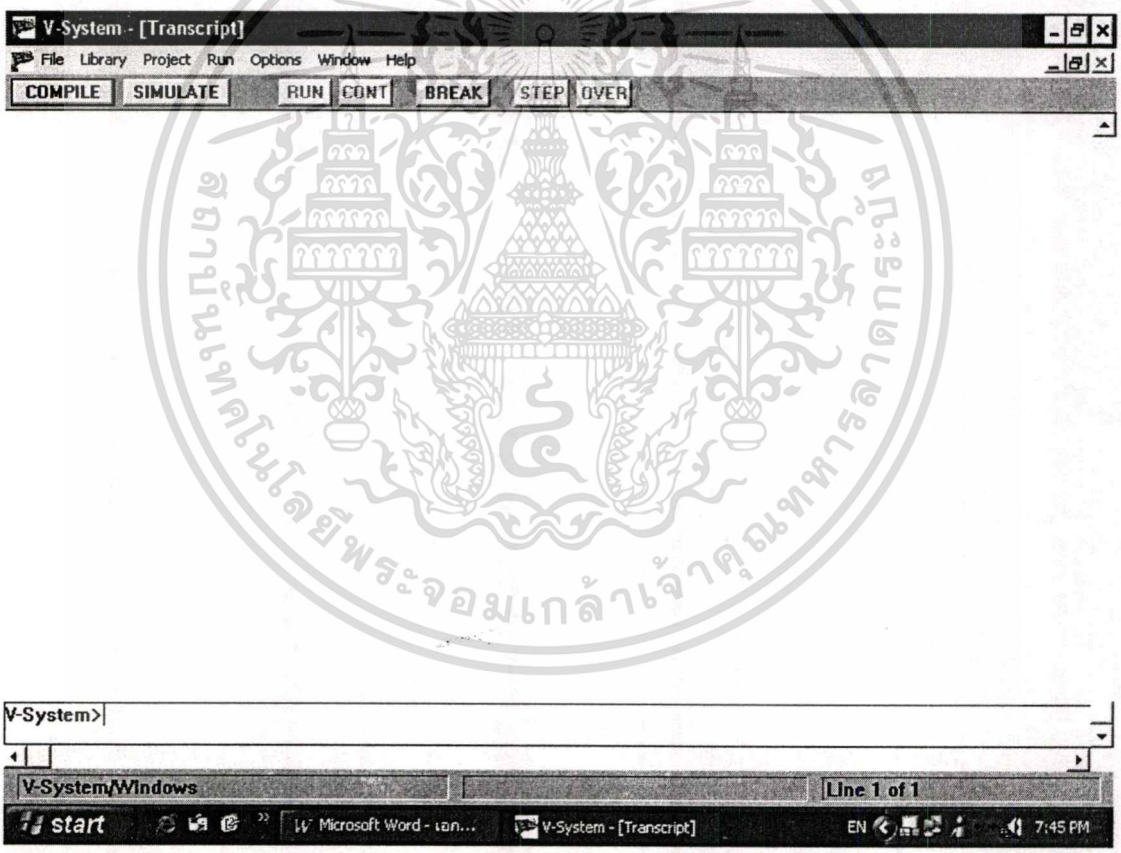
ระบบจำลองการทำงานแบบ VHDL เป็นระบบจำลองการทำงานในลักษณะแข่งขนาน และสามารถที่จะถ่ายทอดรูปแบบสู่ระบบพัฒนา VHDL ได้จากหลายระดับ ด้วยเหตุผลที่ความมีมาตรฐานกำกับอยู่นั้นเอง

ในส่วนหลังของบทนี้ ได้อุทิศให้กับการบรรยายลักษณะการทำงานในระหว่างการจำลองการทำงานแบบแข่งขนาน ซึ่งต้องอาศัยเวลา ช่วยในการทำงาน พร้อมทั้งยกตัวอย่างแสดงให้เห็นอย่างละเอียด หลังจากบทนี่ผู้อ่านควรจะมีความสามารถที่จะเข้าใจลักษณะของการทำงานแบบแข่งขนาน ตลอดจนกลไกสำคัญที่สามารถทำให้การจำลองการทำงาน เป็นไปตามคุณสมบัติของวงจรอิเล็กทรอนิกส์จริง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

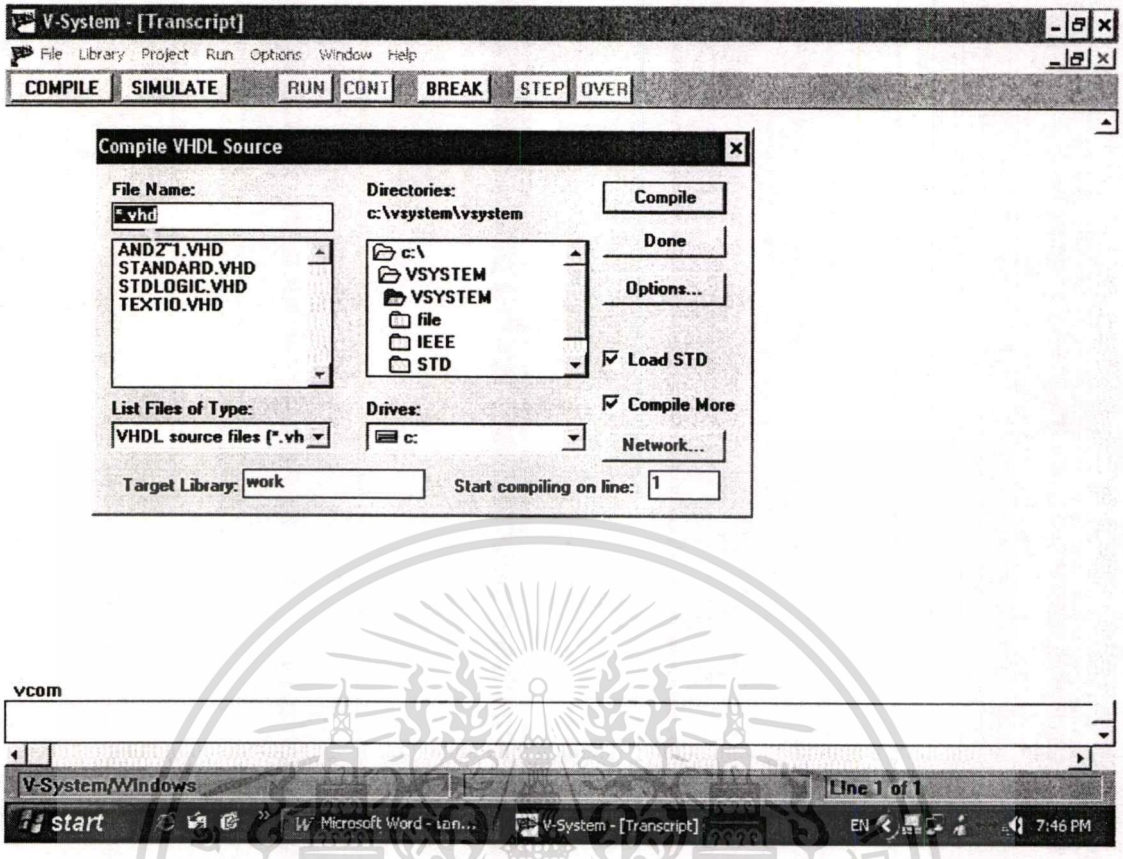
คู่มือการใช้งาน ModelSim PE/PLUS (VSYSTEM)

ModelSim เป็นโปรแกรมคอมไพเลอร์ และซิมมูเลเตอร์ของภาษา VHDL วิธีการใช้งานให้คลิกที่ไอคอน ModelSim หรือเรียกจากเมนู Program/modelTtech/modelSim จะปรากฏดังรูปที่ 1.1 ซึ่งจะสามารถเรียกโปรแกรม VHDL มาคอมไพล์ โดยการกดปุ่ม VCOM หรือจากเมนู File/Compile VHDL (หมายเหตุ การเขียนโปรแกรมภาษา VHDL สามารถใช้ Editor ใดๆ เขียนขึ้นมาก็ได้ เช่น Notepad, Microword โปรแกรม ModelSim จะไม่มี Editor ในตัวเหมือน Turbo Pascal) เมื่อกดปุ่ม VCOM แล้วจะปรากฏหน้าต่างดังรูปที่ 1.2 ซึ่งจะสามารถเลือกว่าจะคอมไพล์โปรแกรมใด ขณะที่คอมไพล์ผลลัพธ์รวมทั้งข้อผิดพลาด (Error) จะแสดงออกมาที่หน้าต่าง Transcript เมื่อคอมไพล์เสร็จแล้วจะต้องกดปุ่ม DONE หน้าต่างนี้จะหายไป



รูปที่ 1.1 เมื่อเรียกโปรแกรม ModelSim

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2 หน้าต่างเมื่อเรียกให้มีการคอมไพล์

1. ให้เขียนโปรแกรมแสดงการทำงานของ and gate ลงไฟล์ชื่อ AND.VHD โดยใช้โปรแกรม Notepad ดังตัวอย่างต่อไปนี้

```
entity  AND2_OP is
        port
        (
                A,B     :       in      BIT;
                Z       :       out     BIT
        );
end AND2_OP;
architecture RTL of AND2_OP is
begin
        Z <= A and B;
end RTL;
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2. สร้าง library ชื่อ work สำหรับเก็บผลลัพธ์ที่ได้จากการคอมไพล์โดยคลิกที่เมนู Library/new ใส่ชื่อ “work” ลงในชื่อของ library ที่ต้องการสร้างแล้วกดปุ่ม crate ซึ่งจะปรากฏคำว่า vlib work ในหน้าต่าง transcript (การสร้าง library นี้ทำครั้งแรกครั้งเดียว)

3. ทำการคอมไพล์ AND.VHD โดยการกดปุ่ม VCOM เลือกไฟล์ชื่อ AND.VHD แล้วกดปุ่ม compile (แต่ถ้ามีข้อผิดพลาดเกิดขึ้นขอให้กลับไปดูที่ source code และแก้ไขให้เรียบร้อย จึงทำการคอมไพล์ใหม่จนกระทั่งไม่มี Error)

Vcom D:/mydocu~1/assign/advand~1/and.vhd

#-Loading package standard

#-Compile entity and2_op

#-Compile architecture rtl of and2_op

4. ทำการจำลองการทำงานของโปรแกรมโดยกดปุ่ม VSIM ที่ช่อง Design Unit Name เลือก entity and2_op Architecture :rtl เสร็จแล้วกดปุ่ม OK ที่หน้าต่าง Transcript ควรจะปรากฏข้อความดังนี้

vsim

#-Loading d:/vsystem/std.standard

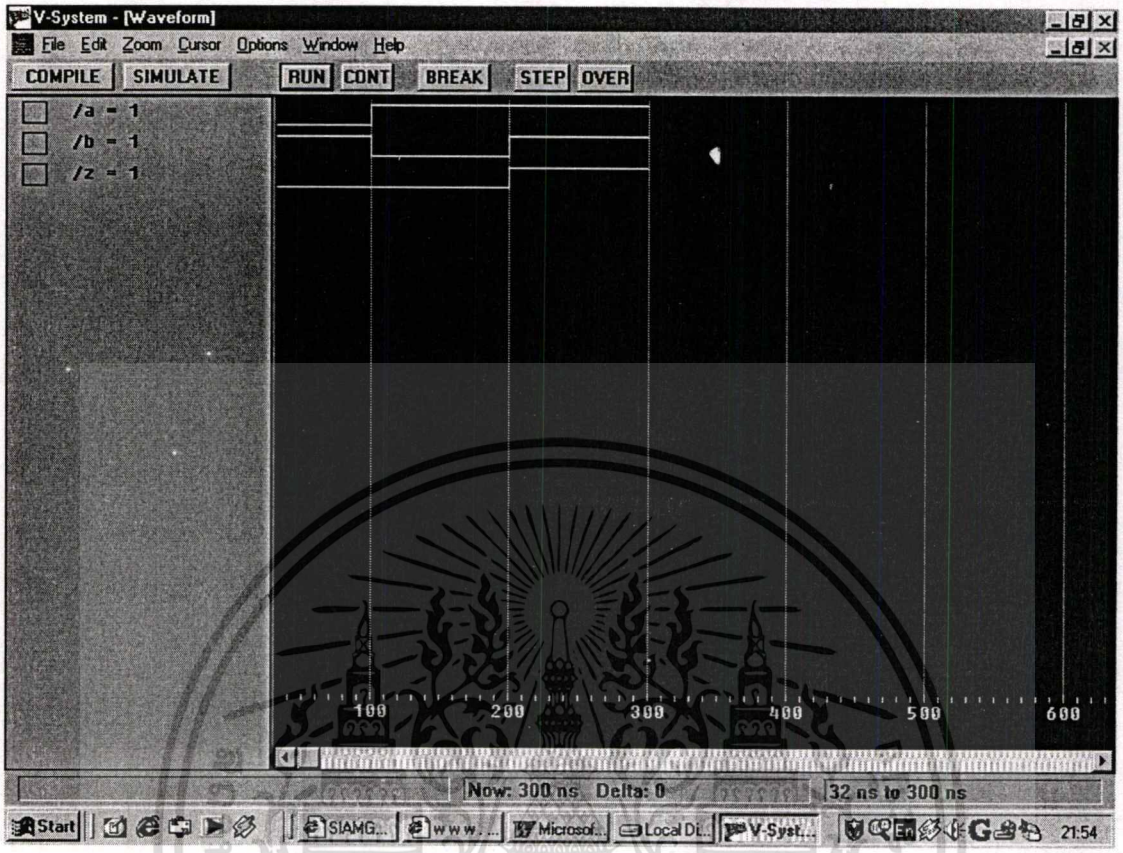
#-Loading work.and2_op[rtl]

5. เลือกไปที่เมนู View/Wave เพื่อแสดงหน้าต่าง Wave ออกมา
6. เลือกไปที่เมนู View/signal เพื่อแสดง Signal ออกมา
7. เลือกไปที่เมนู Signal/Add to Waveform/Signal in Region จะเป็นการนำเอาสัญญาณทั้งหมดในหน้าต่าง Signal ใส่ลงในหน้าต่าง Wave
8. เมื่อกดที่ปุ่ม Run จะเห็นผลลัพธ์ที่หน้าต่าง Wave
9. ผู้เข้ารับการฝึกอบรมสามารถเปลี่ยนสัญญาณได้เฉพาะที่เป็น input port โดยการเลือกที่เมนู Signal/Force Signal ซึ่งจะแสดงหน้าต่าง Force Signal ขึ้นมา ให้ระบุที่ช่อง Signal และ Value

   หมายเหตุ สามารถทำการเปลี่ยนได้ครั้งละ 1 สัญญาณเท่านั้น
10. ทดลองเปลี่ยนสัญญาณ /a/b เป็น 0 1 แล้วกดปุ่ม RUN
11. ทดลองเปลี่ยนสัญญาณ /a/b เป็น 1 0 แล้วกดปุ่ม RUN
12. ทดลองเปลี่ยนสัญญาณ /a/b เป็น 1 1 แล้วกดปุ่ม RUN

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

13. จะได้ผลการทดลองดังรูปที่ 1.3



รูปที่ 1.3 แสดงผลการทดลองคอมไพล์โปรแกรม and2_op.vhd

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

แบบแสดงความคิดเห็นของผู้ทรงคุณวุฒิ

ความสอดคล้องของแบบทดสอบระหว่างฝึกอบรมกับวัตถุประสงค์เชิงพฤติกรรมที่เกี่ยวกับความสามารถในการวัดความรู้ความเข้าใจ

คำชี้แจง

ให้ท่านทำเครื่องหมาย ✔ ลงในช่อง ☐ ที่ตรงกับความคิดเห็นของท่านว่า แบบทดสอบแต่ละข้อมีโจทย์คำถามและคำเฉลยสามารถวัดความรู้ความเข้าใจได้ถูกต้องสอดคล้องกับวัตถุประสงค์เชิงพฤติกรรม โดยพิจารณาดังนี้

+ 1 ท่านคิดว่าแบบทดสอบข้อนั้นสอดคล้องกับวัตถุประสงค์เชิงพฤติกรรม

0 ท่านไม่แน่ใจว่าแบบทดสอบข้อนั้นสอดคล้องกับวัตถุประสงค์เชิงพฤติกรรม

- 1 ท่านคิดว่าแบบทดสอบข้อนั้นไม่สอดคล้องกับวัตถุประสงค์เชิงพฤติกรรม

หมายเหตุ

หากท่านทำเครื่องหมาย ✔ ลงในช่อง –1 ขอความกรุณาท่านช่วยให้ข้อเสนอแนะท้ายข้อเพื่อใช้เป็นข้อมูลในการปรับปรุงต่อไป

.....

ตรวจสอบเรียบร้อยแล้ว

.....

(.....)

ผู้ทรงคุณวุฒิ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

แบบทดสอบระหว่างการฝึกอบรม

หลักสูตรการออกแบบวงจรดิจิตอลด้วยภาษา VHDL ขั้นพื้นฐาน

แบบทดสอบระหว่างหน่วยฝึกอบรมที่ 1 เรื่อง รูปแบบการเขียนภาษา VHDL ขั้นพื้นฐาน

วัตถุประสงค์เชิงพฤติกรรม/แบบทดสอบ	ความสอดคล้อง		
	+1	0	-1
เพื่อให้ผู้เข้ารับการฝึกอบรมสามารถเข้าใจโครงสร้างของรูปแบบการเขียนภาษา VHDL			
1. ภาษา VHDL จัดเป็นภาษาระดับใด			

ก. ภาษาระดับต่ำ
ค. ภาษาระดับสูง
ข. ภาษาระดับกลาง
ง. ภาษาระดับทั่วไป

ข้อเสนอแนะ			
2. Entity Design Unit คือ			

ก. ส่วนที่ใช้เขียนบรรยายกำหนดพฤติกรรมของรูปแบบ
ข. ข้อมูลและโปรแกรมย่อยที่เป็นประโยชน์ต่อการเขียนรูปแบบ
ค. หน่วยของแบบ ส่วนที่ใช้สำหรับติดต่อระหว่างโลกภายนอกกับรูปแบบที่เขียนขึ้น
ง. กฎเกณฑ์ในการใช้งานของโปรแกรม

ข้อเสนอแนะ			
3. หัวใจสำคัญของภาษาที่ใช้ในการบรรยาย Hard Ward คือข้อใด			

ก. ตัวหน่วงเวลา
ค. โครงสร้างของการกำหนดค่า
ข. การทำงานแบบแข่งขนาน
ง. การจำลองการเขียนโปรแกรม

ข้อเสนอแนะ			
เพื่อให้ผู้เข้ารับการฝึกอบรมสามารถเขียนสัญลักษณ์ตัวแปรและประกาศได้			
4. ในการกำหนดชื่อ VHDL ได้สงวนชื่อ Library คือชื่อใด			

ก. SDT กับ WORK
ค. STTD กับ WORK
ข. STD กับ WORDS
ง. STD กับ WORK

ข้อเสนอแนะ

จากโปรแกรมที่กำหนดให้จงตอบคำถามข้อที่ 5 – 6

```
entity Driver is
port(     x: in bit
          F: out bit   );
end Driver;
architecture drive1 of Driver is
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
begin
        process(x)
        begin
            if (x='1') then
            F <= '1';
                else
                  F <= '0';
                end if;
        end process;
    end drive1;
architecture drive2 of Driver is
        begin
          F <= x;
        end behv2;
```

เพื่อให้ผู้เข้ารับการฝึกอบรมสามารถจำแนกประเภทของข้อมูลได้			
5. ตัวแปร X ถูกกำหนดให้มีการรับข้อมูลในลักษณะใด			

ก. รับข้อมูลเป็นอินพุทแบบ BIT

ข. รับข้อมูลเป็นเอาท์พุตแบบ BIT

ค. รับข้อมูลเป็นอินพุตแบบ BIT โดยขึ้นอยู่กับสัญญาณนาฬิกา

ง. รับข้อมูลเป็นเอาท์พุตแบบ BIT โดยขึ้นอยู่กับสัญญาณนาฬิกา

ข้อเสนอแนะ			
6. ค่าของ F จะมีค่าเท่าใดเมื่อกำหนดให้ X เท่ากับ '1'			

ก. 1

ข. 0

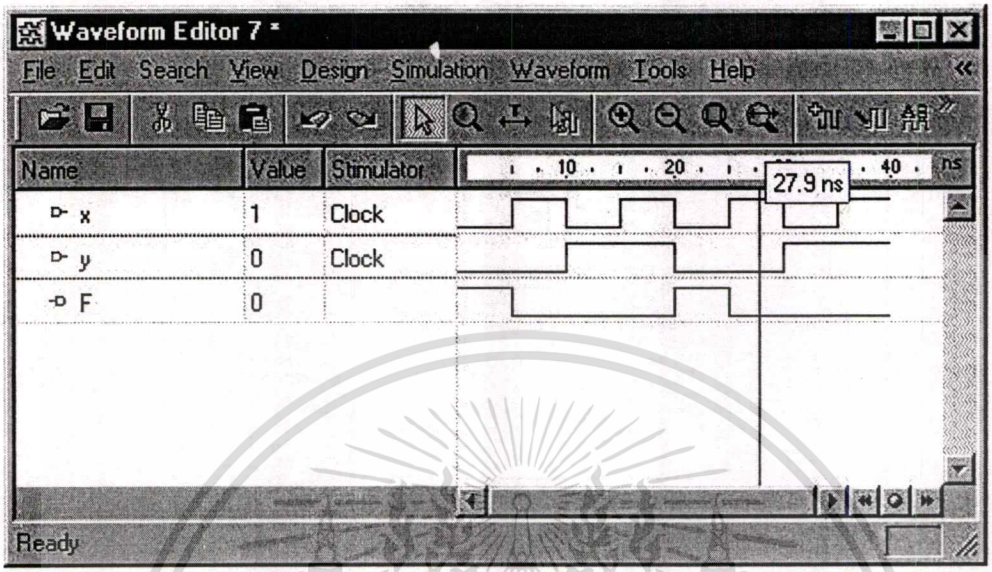
ค. 1 เมื่อ clk => '0' --→ '1'

ง. 0 เมื่อ clk => '0' --→ '1'

ข้อเสนอแนะ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เพื่อให้ผู้เข้ารับการฝึกอบรมสามารถเขียนสัญญลักษณ์ตัวปฏิบัติการของภาษา VHDL ได้			
7. จากรูปที่กำหนดให้ เอาท์พุต F แสดงการทำงานเป็น Logic ใด			



ก. OR GATE

ข. NOR GATE

ค. NAND GATE

ง. AND GATE

ข้อเสนอแนะ

แบบทดสอบระหว่างหน่วยฝึกอบรมที่ 2 เรื่องการสร้างโมเดลที่อยู่ในรูปของ Behavioral

จากโปรแกรมที่กำหนดให้จงตอบคำถามข้อที่ 8

```
entity tristate_dr is
port(    d_in:    in BIT_vector(7 downto 0);
         en:      in BIT;
         d_out:   out BIT_vector(7 downto 0)
);
end tristate_dr;
architecture behavior of tristate_dr is
begin
 process(d_in, en)
 begin
      if en='1' then
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
        d_out <= d_in;
      else
        -- array can be created simply by using vector
        d_out <= "ZZZZZZZZ";
      end if;
  end process;
end behavior;
```

เพื่อให้ผู้เข้ารับการฝึกอบรมสามารถอธิบายโมเดลที่อยู่ในรูปของ Behavioral ได้			
8. ตัวแปร d_out จะมีค่าเท่ากับ “ZZZZZZZZ” เมื่อใด			

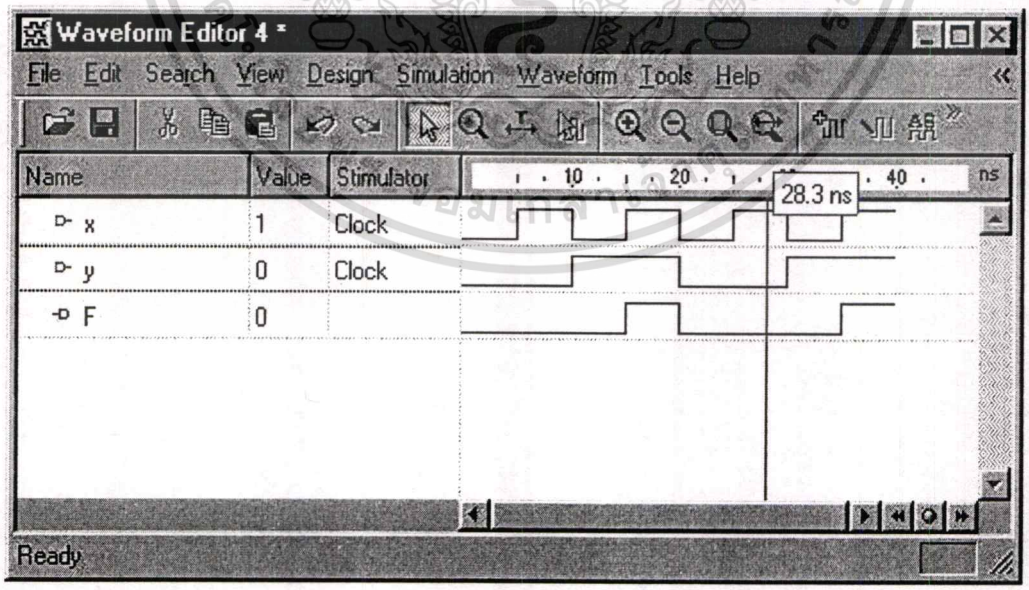
ก. เมื่อค่า en = ‘1’

ข. เมื่อค่า en = ‘0’

ค. เมื่อค่า d_in = ‘1’

ง. เมื่อค่า d_in = ‘0’

ข้อเสนอแนะ			
เพื่อให้ผู้เข้ารับการฝึกอบรมสามารถวิเคราะห์การทำงานของโมเดลที่อยู่ในรูปของ Behavioral ได้			
9. จากรูปที่กำหนดให้ เอาท์พุต F แสดงการทำงานเป็น Logic ใด			



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ก. **AND GATE**

ข. NOR GATE

ค. NAND GATE

ง. XOR GATE

ข้อเสนอแนะ

จากโปรแกรมที่กำหนดให้จงตอบคำถามต่อไปนี้

```
entity google is
generic(n: natural :=2);
port(   A:      in bit_vector(n-1 downto 0);
        B:      in bit_logic_vector(n-1 downto 0);
        less:           out bit;
        equal:          out bit;
        greater:        outbit          );
end google;
architecture behv of google is
begin
process(A,B)
  begin
    if (A<B) then
        less <= '1';
        equal <= '0';
        greater <= '0';
      elsif (A=B) then
        less <= '0';
        equal <= '1';
        greater <= '0';
      else
        less <= '0';
        equal <= '0';
        greater <= '1';
      end if;
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
    end process;
end behv;
```

10. การทำงานของโปรแกรมที่กำหนดให้เป็นแบบใด			

ก. JK-FF

ข. RS-FF

ค. Comparator

ง. Combination logic

ข้อเสนอแนะ

แบบทดสอบระหว่างหน่วยฝึกอบรมที่ 3 เรื่องการสร้างโมเดลที่อยู่ในรูปของ Structural

จากโปรแกรมที่กำหนดให้จงตอบคำถามต่อไปนี้

```
Entity  fulladd is
Port   (A,B,Cin : in  BIT;
   Sum, carry  :  in  BIT);
End fulladd;
Architecture struc  of  fulladd  is
Signal  N_SUM,  N_CARRY1,  N_CARRY2  :  BIT;
        Begin
                U1  :  halfadd  port map (A,B,N_SUM,N_CARRY1);
                U2  :  halfadd  port map (N_SUM,Cin,SUM,N_CARRY2);
                U3  :  orgate  port map (N_CARRY2,N_CARRY1,CARRY);
        End  struc;
```

เพื่อให้ผู้เข้ารับการฝึกอบรมสามารถอธิบายโมเดลที่อยู่ในรูปของ Structural ได้			
11. บรรทัดคำสั่ง Signal N_SUM, N_CARRY1, N_CARRY2 : BIT; ตัวแปร N_SUM ตรงกับข้อใด			

ก. เป็นอินพุทของ halfadd U1

ข. เป็นเอาท์พุตของ halfadd U1

ค. เป็นสัญญาณอินพุตของ halfadd U1

ง. เป็นสัญญาณเอาท์พุตของ halfadd U1

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ข้อเสนอแนะ			
12. บรรทัดคำสั่ง U3 : orgate port map (N_CARRY2, N_CARRY1,CARRY); U3 มีโครงสร้างลักษณะใด			

ก. orgate 2 อินพุต N_CARRY2,N_CARRY1 เป็นอินพุต CARRY เป็นเอาท์พุต

ข. orgate 2 อินพุต CARRY,N_CARRY1, เป็นอินพุต N_CARRY2 เป็นเอาท์พุต

ค. orgate 2 อินพุต CARRY2,CARRY, เป็นอินพุต N_CARRY เป็นเอาท์พุต

ง. orgate 3 อินพุต CARRY,N_CARRY1,N_CARRY2 เป็นอินพุท SUM เป็นเอาท์พุต

ข้อเสนอแนะ			
เพื่อให้ผู้เข้ารับการฝึกอบรมสามารถวิเคราะห์การทำงานของโมเดลที่อยู่ในรูปของ Structural ได้			
13. กำหนดให้ A = 1, B = 0, Cin = 0 ตัวแปร N_CARRY มีค่าเท่ากับข้อใด			

ก. 1

ข. 0

ค. 1 เมื่อ clk จาก '0' → '1'

ง. 0 เมื่อ clk จาก '0' → '1'

ข้อเสนอแนะ

แบบทดสอบระหว่างหน่วยฝึกอบรมที่ 4 เรื่องการสร้างโมเดลที่อยู่ในรูปของ Dataflow

จากโปรแกรมที่กำหนดให้จงตอบคำถามต่อไปนี้

```
entity combination is
port (a,b,qt,eq,lt    : in bit;
a_gt_b,a_eq_b,a_lt_b, : out bit);
end combination;
architecture dataflow of combination is
        signal s : bit;
        begin
                s <= (a and b) or (not a and not b);
                a_gt_b <= (qt  and s) or (a and not b);
                a_lt_b  <= (lt and s) or (not a and b);
                a_eq_b  <= eq and s;
        end dataflow
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เพื่อให้ผู้เข้ารับการฝึกอบรมสามารถอธิบายโมเดลที่อยู่ในรูปของ Dataflow ได้			
14. กำหนดให้ a = 1, b = 0, qt = 1, lt = 1, eq = 0 : a_gt_b มีค่าเท่ากับข้อใด			

ก. 1

ข. 0

ค. s

ง. ถูกทุกข้อ

ข้อเสนอแนะ			
15. กำหนดให้ a = 0, b = 0, qt = 0, lt = 1, eq = 1 : a_eq_b มีค่าเท่ากับข้อใด			

ก. 1

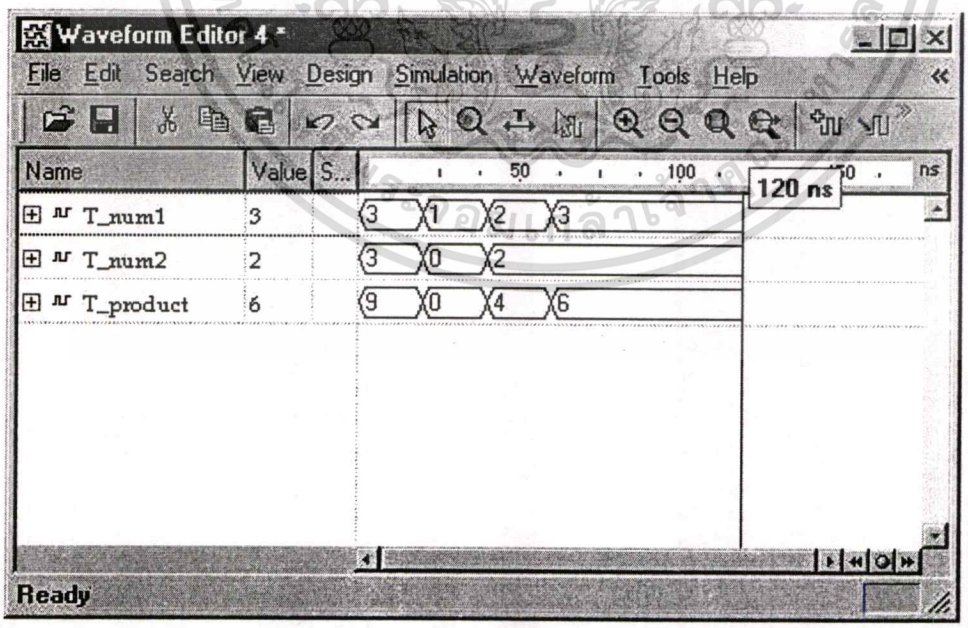
ข. 0

ค. b

ง. ถูกทุกข้อ

ข้อเสนอแนะ

จากรูปที่กำหนดให้จงตอบคำถามข้อที่ 16



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เพื่อให้ผู้เข้ารับการฝึกอบรมสามารถวิเคราะห์การทำงานของโมเดลที่อยู่ในรูปของ Dataflow ได้			
16. กำหนดให้ T_num1,T_num2, เป็นอินพุต T_product เป็นเอาท์พุต ค่า T_product เป็นการแสดงการทำงานของวงจรใด			

ก. ADDER

ข. COMPLEMENT

ค. MULTIPLIER

ง. DECODE

ข้อเสนอแนะ

แบบทดสอบระหว่างหน่วยฝึกอบรมที่ 5 เรื่องโมเดลที่ใช้ในการทดสอบ (testbench)

จากโปรแกรมที่กำหนดให้จงตอบคำถามข้อที่ 17 – 18

```
Entity testbench is
end;
architecture behavior of testbench is
        component adder4bit
                port
                (
                        A,B     :       in      bit_vector (3 downto 0);
                        S       :       out     bit_vector (3 downto 0);
                        Co      :       out     bit
                );
        end component;
                signal  a,b,sum :       bit_vector(3 downto 0);
                signal  cout    :       bit;
begin
                adder : adder4bit port map (A => a, B =>b,S => sum, Co => cout);
        test :  process
        begin
                A <= "1011";
                B <= "0100";
                wait for 100 ns;
                A <= "0011";
                B <= "1100";
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
        wait for 100 ns;
        A <= "1111";
        B <= "0001";
        wait for 100 ns;
        B <= "1111";
        wait;
        end process;
end behavior;
```

เพื่อให้ผู้เข้ารับการฝึกอบรมสามารถอธิบายโมเดลที่ใช้ในการทดสอบ (testbench) ได้			
17. ตัวแปร A,B มีค่าเท่ากับค่าใดเมื่อเวลาผ่านไป 250 nS			

ก. A = 1011, B =0100

ข. A = 0011, B =1100

ค. A = 1111, B =0001

ง. A = 1110, B =1111

ข้อเสนอแนะ			
เพื่อให้ผู้เข้ารับการฝึกอบรมสามารถวิเคราะห์โมเดลที่ใช้ในการทดสอบ (testbench) ได้			
18. การเขียนโปรแกรมทดสอบ testbench นั้นมีประโยชน์ตรงกับข้อใดมากที่สุด			

ก. จำลองการทำงานของโปรแกรมได้โดยง่าย

ข. ทดสอบค่า Logic ภายในของโปรแกรม

ค. ลดเวลาในการทดสอบโปรแกรมลง

ง. ทดสอบโครงสร้างทั้งหมดของโปรแกรมที่เขียนขึ้น

ข้อเสนอแนะ

แบบทดสอบระหว่างหน่วยฝึกอบรมที่ 6 เรื่องการประยุกต์ใช้ภาษา VHDL ขั้นพื้นฐาน

จากโปรแกรมที่กำหนดให้จงตอบคำถามข้อที่ 19 – 20

```
entity ALU is
port(   A:      in bit_vector(1 downto 0);
        B:      in bit_vector(1 downto 0);
        Sel:    in bit_vector(1 downto 0);
        Res:    out bit_vector(1 downto 0)
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
);
end ALU;
architecture behv of ALU is
begin
  process(A,B,Sel)
  begin
        -- use case statement to achieve
        -- different operations of ALU
        case Sel is
          when "00" =>
                Res <= A + B;
          when "01" =>
            Res <= A + (not B) + 1;
          when "10" =>
                Res <= A and B;
          when "11" =>
                Res <= A or B;
          when others =>
                Res <= "XX";
    end case;
  end process;
end behv;
```

เพื่อให้ผู้เข้ารับการฝึกอบรมสามารถประยุกต์ใช้ภาษา VHDL ขั้นพื้นฐานได้			
19. กำหนดให้ค่า sel = 01 ค่า Res มีค่าเท่ากับข้อใด			

ก. A or B

ข. A and B

ค. XX

ง. A + (not B) + 1

ข้อเสนอแนะ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

20. บรรทัดคำสั่ง case Sel is คำว่า case คือข้อใด

ก. ตรวจสอบค่า A

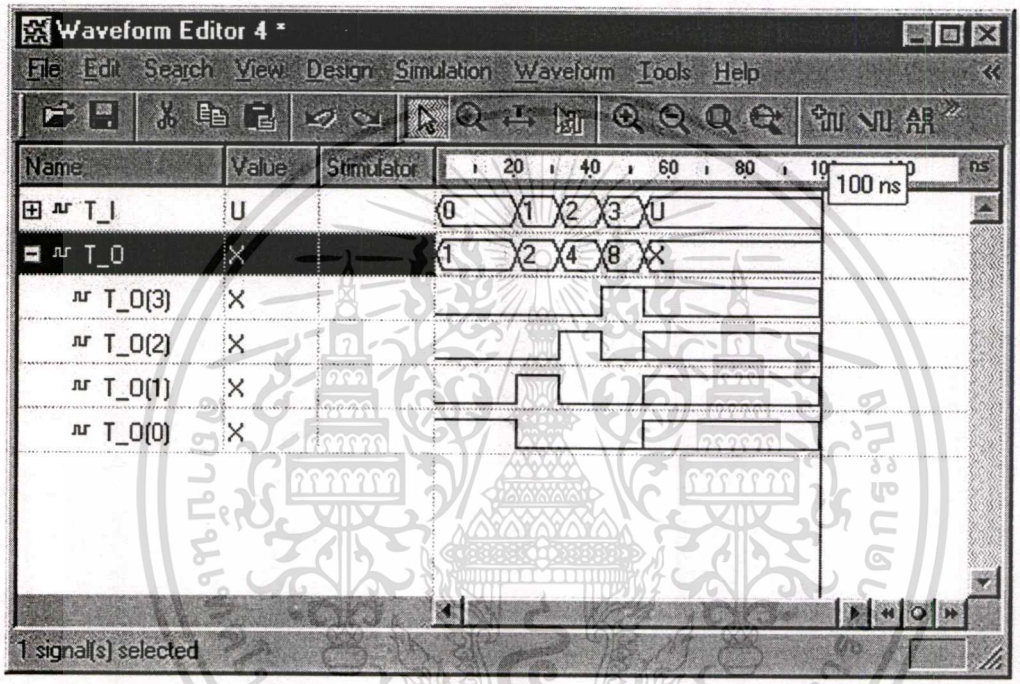
ข. ตรวจสอบค่า B

ค. ตรวจสอบค่า sel

ง. ตรวจสอบค่า Res

ข้อเสนอแนะ

21. จากรูปที่กำหนดให้ ค่า T_O(3), T_O(2), T_O(1), T_O(0) เป็นการทำงานในลักษณะใด



ก. Multiplier

ข. Decode

ค. Adder

ง. ALU

ข้อเสนอแนะ

จากโปรแกรมที่กำหนดให้จงตอบคำถามต่อไปนี้

```
entity hot is
port(          data_in: in bit;
    enable:  in bit;
    data_out:          out bit
    );
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
end hot;
architecture behv of  hot is
begin
   process(data_in, enable)
   begin
     if (enable='1') then
       data_out <= data_in;
     end if;
   end process;
end behv;
```

22. จากโครงสร้างโปรแกรมเป็นการทำงานของอุปกรณ์ดิจิตอลชนิดใด

ก. RS-FF

ข. D-latch

ค. T-FF

ง. JK-FF

ข้อเสนอแนะ

จากโปรแกรมที่กำหนดให้จงตอบคำถามข้อที่ 23 - 25

```
entity AB is
port (      clock:          in bit;
            A, B:           in bit;
            reset:          in bit;
            Q, Qbar:        out bit      );
end AB;
architecture behv of AB is
   signal state: bit;
   signal input: bit_vector(1 downto 0);
begin
   input <= A & B;
   p: process(clock, reset) is
   begin
     if (reset='1') then
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
        state <= '0';
    elsif (rising_edge(clock)) then
        case (input) is
            when "11" =>
                state <= not state;
            when "10" =>
                state <= '1';
            when "01" =>
                state <= '0';
            when others =>
                null;
            end case;
    end if;
  end process;
  Q <= state;
  Qbar <= not state;
end behv;
```

23. เมื่อค่า reset = 1 ค่าเอาท์พุตที่ Q มีค่าเท่าใด

ก. **0**

ข. 1

ค. state

ง. null

ข้อเสนอแนะ

24. จากโครงสร้างโปรแกรมเป็นการทำงานของอุปกรณ์ดิจิตอลชนิดใด

ก. RS-FF

ข. **JK-FF**

ค. T-FF

ง. D-FF

ข้อเสนอแนะ

25. คำสั่ง input <= A & B; หมายถึงข้อใด

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ก. ให้ input มีค่าเท่ากับ A and B

ข. ให้ input มีค่าเท่ากับ A XOR B

ค. ให้ input มีค่าเท่ากับโดยนำ A และ B ต่อเรียงกัน

ง. ให้ input มีค่าเท่ากับโดยนำ A และ B แยกกัน

ข้อเสนอแนะ

จากโปรแกรมที่กำหนดให้จงตอบคำถามข้อที่ 26 – 27

```
entity x is
port(   I3:     in bit_vector(2 downto 0);
        I2:     in bit_vector(2 downto 0);
        I1:     in bit_vector(2 downto 0);
        I0:     in bit_vector(2 downto 0);
        S:      in bit_vector(1 downto 0);
        O:      out bit_vector(2 downto 0)
);
end x;
architecture behv1 of x is
begin
  process(I3,I2,I1,I0,S)
  begin
    case S is
          when "00" => O <= I0;
          when "01" => O <= I1;
          when "10" => O <= I2;
          when "11" => O <= I3;
          when others =>O <= "ZZZ";
        end case;
  end process;
end behv1;
architecture behv2 of x is
begin
  O <= I0 when S="00" else
                I1 when S="01" else
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
        I2 when S="10" else
        I3 when S="11" else
        "ZZZ";
end behv2;
```

26. คำสั่ง when "11" => O <= I3; ตรงกับข้อใด

ก. เมื่อ S = '11' ให้นำค่าใน I3 มาใส่ไว้ในตัวแปร O

ข. เมื่อ S = '11' ให้นำค่าในตัวแปร O มาใส่ไว้ในตัวแปร I3

ค. เมื่อ S = '11' ให้นำค่า 11 มาใส่ไว้ในตัวแปร O

ง. เมื่อ S = '11' ให้นำค่าใน 11 และ I3 มาใส่ไว้ในตัวแปร O

ข้อเสนอแนะ

27. จากโครงสร้างโปรแกรมเป็นการทำงานในลักษณะใด

ก. Multiplier

ข. Multiplexor

ค. Adder

ง. Switching

ข้อเสนอแนะ

จากโปรแกรมที่กำหนดให้จงตอบคำถามข้อที่ 28 – 29

```
entity INCOMP_IF is
port (EN, D : in BIT;
      Q     : out BIT);
End INCOMP_IF;
Architecture A of INCOMP_IF is
      Begin
      Process(EN,D)
            If (EN = '1') then
                  Q <= D;
            End if;
      End process;
End A;
```

28. ค่าเอาท์พุตของตัวแปร Q จะมีค่าเท่าใด

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ก. 1

ข. 0

ค. ไม่แน่นอน

ง. Null

ข้อเสนอแนะ			
เพื่อให้ผู้เข้ารับการฝึกอบรมสามารถจำลองการทำงานของวงจรที่สร้างขึ้นโดยใช้ภาษา VHDL ได้			
29. จากโครงสร้างโปรแกรมจะสามารถทำการจำลองการทำงานได้หรือไม่			

ก. ได้ เนื่องจากโครงสร้างของโปรแกรมสมบูรณ์

ข. ได้ แต่อาจทำให้ค่าเอาท์พุตไม่ถูกต้อง

ค. ไม่ได้ เนื่องจากโปรแกรมไม่สมบูรณ์

ง. ไม่ได้ เนื่องจากมีการกำหนดค่าตัวแปรผิดพลาด

ข้อเสนอแนะ

30. ประโยชน์ของภาษา VHDL ที่มีต่อวงจรดิจิตอลยุคใหม่ที่ถูกที่สุดคือข้อใด

ก. สามารถทำให้วงจรดิจิตอลพัฒนาได้โดยไม่มีขีดจำกัดทางด้าน HARD WARE

ข. สามารถจำลองการทำงานของวงจรดิจิตอลได้อย่างสมบูรณ์แบบ

ค. สามารถตรวจสอบการทำงานของวงจรดิจิตอลที่ออกแบบได้ตามเวลาจริง

ง. ถูกทุกข้อ

ข้อเสนอแนะ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

แบบแสดงความคิดเห็นของผู้ทรงคุณวุฒิ

ความสอดคล้องของแบบทดสอบก่อนและหลังฝึกอบรมกับวัตถุประสงค์เชิงพฤติกรรมที่เกี่ยวกับความสามารถในการวัดความรู้ความเข้าใจ

คำชี้แจง

ให้ท่านทำเครื่องหมาย ✔ ลงในช่อง ☐ ที่ตรงกับความคิดเห็นของท่านว่า แบบทดสอบแต่ละข้อมีโจทย์คำถามและคำเฉลยสามารถวัดความรู้ความเข้าใจได้ถูกต้องสอดคล้องกับวัตถุประสงค์เชิงพฤติกรรม โดยพิจารณาดังนี้

+ 1 ท่านคิดว่าแบบทดสอบข้อนั้นสอดคล้องกับวัตถุประสงค์เชิงพฤติกรรม

0 ท่านไม่แน่ใจว่าแบบทดสอบข้อนั้นสอดคล้องกับวัตถุประสงค์เชิงพฤติกรรม

- 1 ท่านคิดว่าแบบทดสอบข้อนั้นไม่สอดคล้องกับวัตถุประสงค์เชิงพฤติกรรม

หมายเหตุ

หากท่านทำเครื่องหมาย ✔ ลงในช่อง –1 ขอความกรุณาท่านช่วยให้ข้อเสนอแนะท้ายข้อเพื่อใช้เป็นข้อมูลในการปรับปรุงต่อไป

.....

ตรวจสอบเรียบร้อยแล้ว

.....

(.....)

ผู้ทรงคุณวุฒิ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

แบบทดสอบก่อนและหลังฝึกอบรมแบบเลือกตอบ

ความสอดคล้องของคำถามกับวัตถุประสงค์เชิงพฤติกรรม

วัตถุประสงค์เชิงพฤติกรรม/แบบทดสอบ	ความสอดคล้อง		
	+1	0	-1
เพื่อให้ผู้เข้ารับการฝึกอบรมสามารถเข้าใจโครงสร้างของรูปแบบการเขียนภาษา VHDL			
1. ข้อใดไม่ใช่มาตรฐานของภาษาที่ใช้สำหรับบรรยาย Hardware ของระบบภาษา VHDL			
ก. ต้องเป็นภาษาที่นำไปเขียนรูปแบบระบบดิจิตอล และมีคุณสมบัติที่สามารถจะเข้าใจได้ทั้งคนและเครื่องโดยไม่ต้องมีการแปลงหรือเปลี่ยนแปลงอีก			
ข. สามารถนำไปใช้เป็นเอกสารประกอบโครงการได้ (Project Documentation)			
ค. เป็นภาษาที่นำไปเขียนรูปแบบระบบดิจิตอบที่ต้องมีการแปลและเปลี่ยนภาษาระหว่างคนกับเครื่อง			
ง. ต้องเป็นภาษาที่เขียนขึ้นสำหรับใช้จำลองการทำงานของวงจร (Simulation Language)			
ข้อเสนอแนะ....			
2. ลักษณะเด่นของภาษา VHDL ที่กำหนดและอธิบายการทำงาน Hardware ในระบบดิจิตอลคือ			
ก. ความอ่อนตัวของภาษาที่สามารถจำลองการทำงานจากหลักการของรูปแบบ			
ข. เป็นภาษาที่มีความแข็งตัวในการจำลองการทำงานจากหลักของรูปแบบ			
ค. ความอ่อนตัวของภาษาที่สามารถจำลองการทำงานที่เกี่ยวกับเวลาอย่างถูกต้อง			
ง. ถูกทั้งข้อ ก และข้อ ค			
ข้อเสนอแนะ....			
3. ข้อใดไม่ใช่วิธีการของ Top Down Design			
ก. ปฏิบัติอย่างจริงจังโดยไม่ต้องออกแบบ			
ข. เขียนรูปแบบความคิด			
ค. จำลองการทำงาน เพื่อตรวจสอบความถูกต้อง			
ง. การกลั่นกรองเพิ่มเติมรายละเอียดสู่ระบบดิจิตอล			
ข้อเสนอแนะ....			
เพื่อให้ผู้เข้ารับการฝึกอบรมสามารถเขียนสัญลักษณ์ตัวแปรและการประกาศได้			
4. การตั้งชื่อในข้อใดถูกต้องตามกฎ			
ก. 01_MAN			
ข. BOVI007			
ค. _BEGIN_BEGIN_			
ง. One_1_oNe_1			
ข้อเสนอแนะ....			

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

วัตถุประสงค์เชิงพฤติกรรม/แบบทดสอบ	ความสอดคล้อง		
	+1	0	-1
เพื่อให้ผู้เข้ารับการฝึกอบรมสามารถจำแนกประเภทของข้อมูลได้			
5. ข้อใดถูกต้อง			
ก. ตัวเลขในภาษา VHDL สามารถเป็นค่าติดลบได้ **ข. ตัวเลขในภาษา VHDL มีจำนวนเต็มบวกและเลขจำนวนจริง** ค. ตัวเลขในภาษา VHDL เป็นทั้งจำนวนเต็มบวกและติดลบได้ ง. ตัวเลขในภาษา VHDL เป็นทั้งจำนวนติดลบและไม่เป็นจำนวนจริงได้			
ข้อเสนอแนะ….			
6. CHARACTER คือ			
ก. กลุ่มของค่า FALSE และ TRUE ข. กลุ่มของค่า “0” และ “1” **ค. กลุ่มค่าของพยัญชนะ เครื่องหมาย และอักษรควบคุม** ง. กลุ่มค่าของ NOTE, WARNING, ERROR, FAILURE			
ข้อเสนอแนะ….			
เพื่อให้ผู้เข้ารับการฝึกอบรมสามารถเขียนสัญญลักษณ์ตัวปฏิบัติการของภาษา VHDL ได้			
7. (/A*B) + (A*/B) คือข้อใด			
ก. (A and B) or (A and B) **ข. (not A and B) or (A and not B)** ค. (not (A and B) or (A and not B)) ง. (not (A and B)) or (A and not B)			
ข้อเสนอแนะ….			
เพื่อให้ผู้เข้ารับการฝึกอบรมสามารถอธิบายโมเดลที่อยู่ในรูปของ Behavioral ได้			
8. Behavioral Design คือการบรรยายแบบใด			
ก. การบรรยายที่ไม่ต้องอ้างถึงรูปแบบรวมภายใน architecture **ข. การบรรยายที่ไม่ต้องอ้างถึงรูปแบบย่อยภายใน architecture** ค. การบรรยายที่ต้องอ้างถึงรูปแบบรวมภายใน architecture ง. การบรรยายที่ต้องอ้างถึงรูปแบบย่อยภายใน architecture			
ข้อเสนอแนะ….			

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

วัตถุประสงค์เชิงพฤติกรรม/แบบทดสอบ	ความสอดคล้อง		
	+1	0	-1
เพื่อให้ผู้เข้ารับการฝึกอบรมสามารถวิเคราะห์การทำงานของโมเดลที่อยู่ในรูปของ Behavioral ได้			
9. การเกิด event ในตัวเปลี่ยนสัญญาณคือ			
ก. การเปลี่ยนจากเลขคี่เป็นเลขคู่ ข. การเปลี่ยนจากค่าบวกให้เป็นลบ **ค. การเปลี่ยนจากค่าเดิมที่เป็น "0" เป็นค่าใหม่ "1" หรือทางตรงข้าม** ง. การเปลี่ยนจากจำนวนเท็จเป็นจำนวนจริง			
ข้อเสนอแนะ....			
10. Process Statement ถูกกระตุ้นให้ทำงานโดยวิธีการใด			
ก. ใช้สัญญาณ reset ข. ใช้คำสั่ง IF จบด้วยคำสั่ง ENDIF ค. ใช้คำสั่ง ELSIF **ง. ใช้สัญญาณ reset และ CLK ใน Sensitivity list**			
ข้อเสนอแนะ....			
เพื่อให้ผู้เข้ารับการฝึกอบรมสามารถอธิบายโมเดลที่อยู่ในรูปของ Structural ได้			
11. Structural description คือ			
ก. การบรรยายที่แสดงให้เห็นโครงสร้างของระบบในรูปอุปกรณ์ต่าง ๆ ข. การออกแบบโครงสร้างของระบบ ค. การบรรยายรูปแบบโครงสร้าง ง. ถูกทั้งข้อ ข และ ค			
ข้อเสนอแนะ....			
12. ข้อดีของการเขียนแบบ Structural คือ			
ก. แสดงให้เห็นตัวอย่างที่ดีของรูปแบบ ข. สามารถมองเห็นรูปร่างวงจรได้ชัดเจน ค. ผู้ออกแบบสามารถเขียนบรรยายฟังก์ชันได้ตั้งแต่ระดับบนของแนวความคิด **ง. ถูกทุกข้อที่กล่าวมา**			
ข้อเสนอแนะ....			

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

วัตถุประสงค์เชิงพฤติกรรม/แบบทดสอบ	ความสอดคล้อง		
	+1	0	-1
เพื่อให้ผู้เข้ารับการฝึกอบรมสามารถวิเคราะห์การทำงานของโมเดลที่อยู่ในรูปของ Structural ได้			
13. ลักษณะพิเศษของการเขียนโปรแกรมภาษา VHDL แบบ Structural คือข้อใด			
ก. แยกออกเป็นบล็อกย่อยๆ และเชื่อมต่อกัน ข. เขียนบรรยายการทำงานตามโครงสร้างที่ต้องการ ค. เขียนบรรยายการทำงานของโครงสร้างอย่างละเอียด ง. แยกสัญญาณภายในออกจากกันอย่างเด็ดขาด			
ข้อเสนอแนะ....			
เพื่อให้ผู้เข้ารับการฝึกอบรมสามารถอธิบายโมเดลที่อยู่ในรูป Data flow ได้			
14. Dataflow Model เรียกอีกอย่างว่า			
ก. Algorithmic description ข. Procedural Constructs ค. netlist representation **ง. Register Transfer Level**			
ข้อเสนอแนะ....			
15. หลังจากผ่านวิธีการบรรยายแบบ Data Flow แล้ว ขบวนการต่อไปคือ			
ก. การออกแบบวงจร **ข. การสร้างวงจรให้อยู่ในรูปของอุปกรณ์พื้นฐาน** ค. การจำลองการทำงาน ง. สามารถนำไปใช้ได้			
ข้อเสนอแนะ....			
เพื่อให้ผู้เข้ารับการฝึกอบรมสามารถวิเคราะห์การทำงานของโมเดลที่อยู่ในรูปของ Data flow ได้			
16. จากโปรแกรม ค่า output ที่ถูกต้องคือข้อใด Architecture data_flow of mux is Begin Output <= (not sel) and in0) or (sel and in1); End data_flow;			
ก. เท่ากับ 1 เมื่อ sel = 0, in1 = 1, in0 = 0 ข. เท่ากับ 0 เมื่อ sel = 0, in1 = 1, in0 = 0 **ค. เท่ากับ in0 เมื่อ sel = 0, in1 = 1, in0 = 0** ง. เท่ากับ in1 เมื่อ sel = 0, in1 = 1, in0 = 1			
ข้อเสนอแนะ....			

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

วัตถุประสงค์เชิงพฤติกรรม/แบบทดสอบ	ความสอดคล้อง		
	+1	0	-1
เพื่อให้ผู้เข้ารับการฝึกอบรมสามารถอธิบายโมเดลที่ใช้ในการทดสอบ (test bench) ได้			
17. test bench คือข้อใด			
ก. เป็นโปรแกรมที่ใช้ทดสอบโปรแกรมที่เขียนขึ้น ข. ใช้ทดแทนคำสั่ง Force signal ค. มีโครงสร้างเหมือน Component ทั่วๆ ไป **ง. ถูกทุกข้อ**			
ข้อเสนอแนะ….			
เพื่อให้ผู้เข้ารับการฝึกอบรมสามารถวิเคราะห์โมเดลที่ใช้ในการทดสอบ (test bench) ได้			
18. โปรแกรม test bench นิยมเขียนในรูปแบบใดมากที่สุด			
ก. Behavioral ข. Structural ค. Data flow ง. Mixed model			
ข้อเสนอแนะ….			
เพื่อให้ผู้เข้ารับการฝึกอบรมสามารถประยุกต์ใช้ภาษา VHDL ขั้นพื้นฐานได้			
19. Architecture Design Unit คือ			
ก. ข้อมูลและโปรแกรมย่อยที่เป็นประโยชน์ต่อการเขียนรูปแบบ **ข. ส่วนที่ใช้สำหรับเขียนบรรยายกำหนดพฤติกรรมของรูปแบบ** ค. หน่วยของแบบส่วนที่ใช้สำหรับติดต่อระหว่างโลกภายนอกกับรูปแบบที่เขียนขึ้น ง. กฎเกณฑ์ในการใช้งานของโปรแกรม			
ข้อเสนอแนะ….			
20. “Library” ในภาษา VHDL เปรียบเสมือนกับสิ่งใด			
ก. ตู้เก็บข้อมูลเอกสารเกี่ยวกับอิเล็กทรอนิกส์ต่าง ๆ **ข. ตู้เก็บอุปกรณ์อิเล็กทรอนิกส์ต่าง ๆ** ค. อุปกรณ์ป้องกันความเสียหายของวงจร ง. ข้อมูลป้องกันความเสียหายของวงจร			
ข้อเสนอแนะ….			

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

วัตถุประสงค์เชิงพฤติกรรม/แบบทดสอบ	ความสอดคล้อง		
	+1	0	-1
21. หลักการของ Library คือ			
ก. เก็บและแก้ไขข้อมูลให้ถูกต้องตามกฎเกณฑ์การเขียนความถูกต้องของ function ของ Design Unit ข. ออกกฎเกณฑ์การเขียนความถูกต้องของฟังก์ชัน การเขียนของ Design Unit ค. ออกแบบข้อมูลที่ได้จากการวิเคราะห์ตามกฎเกณฑ์การเขียนของ Design Unit **ง. เก็บข้อมูลที่ได้จากการวิเคราะห์ตามกฎเกณฑ์การเขียน และความถูกต้องของฟังก์ชัน Design Unit**			
ข้อเสนอแนะ....			
22. Boolean expression ให้ผลลัพธ์ที่เป็น TYPE ได้ 2 อย่างคือ			
ก. TRUE กับ FALSE ข. NO กับ YES ค. NO กับ OK ง. OK กับ Clear			
ข้อเสนอแนะ....			
23. Simulation Primitives คือ			
ก. ค่าลอจิกที่ไม่คงที่ และฟังก์ชันการทำงานถูกกำหนดตายตัว **ข. ค่าลอจิกที่คงที่ และฟังก์ชันการทำงานถูกกำหนดตายตัว** ค. ค่าลอจิกที่ไม่คงที่ และฟังก์ชันการทำงานไม่คงที่ ง. ค่าลอจิกที่คงที่ และฟังก์ชันการทำงานที่ไม่คงที่			
ข้อเสนอแนะ....			
24. ในระบบภาษา VHDL ค่าจำลองเบื้องต้นที่สำคัญที่สุดคือ			
ก. ค่าที่กำหนดด้วยภาษา ข. ค่าที่สามารถกำหนดโดยผู้ใช้ระบบ ค. ค่าที่สามารถกำหนดด้วยการคิด **ง. ถูกทั้งข้อ ก และข้อ ข**			
ข้อเสนอแนะ....			

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

วัตถุประสงค์เชิงพฤติกรรม/แบบทดสอบ	ความสอดคล้อง		
	+1	0	-1
25. ภายในหนึ่งวงรอบการทำงานของการจำลอง ชุดคำสั่งที่อยู่ในลำดับจะถูกปฏิบัติอย่างไร			
ก. ปรับปรุงค่าสัญญาณใหม่ ในเวลาการทำงานเดิม ข. ปรับปรุงค่าสัญญาณใหม่ ในเวลาที่เปลี่ยนแปลง ค. สร้างค่าสัญญาณใหม่ ในเวลาการทำงานเดิม ง. สร้างค่าสัญญาณใหม่ ในเวลาที่เปลี่ยนแปลง			
ข้อเสนอแนะ....			
26. เมื่อระบบจำลองการทำงานถูกเรียกใช้ ระบบจะเริ่มต้นด้วยขั้นตอนใดก่อน			
ก. Initialization ข. Simulation Cycle **ค. Elaboration** ง. Intemal Delay			
ข้อเสนอแนะ....			
27. หัวใจสำคัญของภาษาที่ใช้ในการบรรยาย Hard Ware คือข้อใด			
ก. ตัวหน่วงเวลา **ข. การทำงานแบบแข่งขนาน** ค. โครงสร้างของการกำหนดค่า ง. การจำลองการเขียนโปรแกรม			
ข้อเสนอแนะ....			
28. ข้อใดถูกต้อง			
ก. สิ่งที่ประกาศด้วยชุดคำสั่ง PORT จะเป็น SIGNAL ข. สิ่งที่ประกาศด้วยชุดคำสั่ง GENERIC จะเป็น CONTANT ค. สิ่งที่ประกาศด้วยชุดคำสั่ง PORT จะเป็น GENERIC **ง. ถูกทั้งข้อ ก และข้อ ข**			
ข้อเสนอแนะ....			

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

วัตถุประสงค์เชิงพฤติกรรม/แบบทดสอบ	ความสอดคล้อง		
	+1	0	-1
เพื่อให้ผู้เข้ารับการฝึกอบรมสามารถจำลองการทำงานของวงจรดิจิตอลที่สร้างขึ้นโดยใช้ภาษา VHDL ได้			

จากโปรแกรมที่กำหนดให้จงตอบคำถามข้อที่ 29,30

```
Entity REG is
        Port
        (
                DATA : in BIT_VECTOR (3 downto 0)
                Clk,reset : in bit
                Q : out BIT_VECTOR (3 downto 0)
        );
end REG;
architecture RTL of REG is
begin
        reg : process
        begin
                if reset = '1' then
                        Q <="0000"
                Elsif CLK'event and (clk ='1')then
                        Q<= DATA;
                End if;
                Wait for 1 ns;
        End process;
                                        End RTL;
```

29. Q : out BIT_VECTOR(3 downto 0) มีความหมายตรงกับข้อใด

ก. Q มีค่าเท่ากับ 3 ถึง 0

ข. Q เป็นoutput มีค่าเท่ากับ 3 ถึง 0

ค. Q เป็น output มีค่า Q3,Q2,Q1,Q0

ง. Q มีค่าเท่ากับ BIT_VECTOR(3 downto 0)

ข้อเสนอแนะ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

วัตถุประสงค์เชิงพฤติกรรม/แบบทดสอบ	ความสอดคล้อง		
	+1	0	-1
30. โครงสร้างของโปรแกรมทำงานในลักษณะใดถูกต้องที่สุด			
ก. เก็บข้อมูลขนาด 4 bit ทำงานเมื่อมีสัญญาณนาฬิกาเข้าสู่วงจร ข. เก็บข้อมูลขนาด 4 bit ทำการ reset เมื่อ reset = '0' **ค. เก็บข้อมูลขนาด 4 bit ค่า Q = DATA เมื่อ clk = '0' -> '1'** ง. เก็บข้อมูลขนาด 4 bit ค่า Q = '0000' เมื่อมีสัญญาณนาฬิกาเข้าสู่วงจร			
ข้อเสนอแนะ			

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

แบบประเมินคุณภาพหลักสูตรฝึกอบรมการออกแบบวงจรดิจิตอลด้วยภาษา VHDL ขั้นพื้นฐาน
(ด้านเนื้อหา)

คำชี้แจง

ให้ท่านทำเครื่องหมาย ✔ ลงในช่อง ☐ ที่ตรงกับความคิดเห็นของท่านจะมีลักษณะแบบเลือก 5 ระดับ โดยกำหนดเกณฑ์การให้คะแนน ดังนี้

ระดับ 5 เท่ากับ คุณภาพระดับดีมาก

ระดับ 4 เท่ากับ คุณภาพระดับดี

ระดับ 3 เท่ากับ คุณภาพระดับปานกลาง

ระดับ 2 เท่ากับ คุณภาพระดับพอใช้

ระดับ 1 เท่ากับ คุณภาพระดับควรปรับปรุง

หมายเหตุ

ขอความกรุณาท่านช่วยให้ข้อเสนอแนะ เพื่อใช้เป็นข้อมูลในการปรับปรุงต่อไป

.....

ตรวจสอบเรียบร้อยแล้ว

(ลงชื่อ).....

(.....)

ผู้ทรงคุณวุฒิ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

แบบประเมินคุณภาพหลักสูตรฝึกอบรมการออกแบบวงจรดิจิตอลด้วยภาษา VHDL ขั้นพื้นฐาน (ด้านเนื้อหา)

การทดลองที่ 1 เรื่อง รูปแบบการเขียนภาษา VHDL ขั้นพื้นฐาน

โปรดทำเครื่องหมาย ✔ ลงในช่องตามความคิดเห็นของท่าน

รายการ	ระดับคุณภาพ				
	5	4	3	2	1
1. ความสอดคล้องของเนื้อหากับจุดประสงค์เชิงพฤติกรรม					
2. ความเหมาะสมของเนื้อหากับพื้นฐานความรู้ของผู้เรียน					
3. ความเหมาะสมในการนำเข้าสู่บทเรียน					
4. ลำดับและวิธีการนำเสนอเหมาะสม					
5. การป้อนกลับต่อการตอบสนองของผู้เรียนมีความเหมาะสม					
6. บทเรียนมีลักษณะจูงใจและน่าสนใจ					
7. ความเหมาะสมของการเชื่อมโยงส่วนประกอบแต่ละส่วนภายในบทเรียน					
8. การทดลองสามารถนำไปใช้ในสถานการณ์ฝึกอบรมทั่ว ๆ ไป					
9. ผู้เรียนทำความเข้าใจบทเรียนได้ง่าย แม้ไม่เคยศึกษาเนื้อหาวิชามาก่อน					
10. ความสอดคล้องของแบบฝึกหัดกับจุดประสงค์เชิงพฤติกรรม					

ความคิดเห็นอื่น ๆ (โปรดระบุ)

1. ข้อดีของหลักสูตรฝึกอบรมการออกแบบวงจรดิจิตอลด้วยภาษา VHDL ขั้นพื้นฐานโดยภาพรวม

.....

.....

2. ความไม่เหมาะสมของหลักสูตรฝึกอบรมการออกแบบวงจรดิจิตอลด้วยภาษา VHDL ขั้นพื้นฐานโดยภาพรวม

.....

.....

3. ข้อเสนอแนะในการนำไปใช้

.....

.....

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

แบบประเมินคุณภาพหลักสูตรฝึกอบรมการออกแบบวงจรดิจิตอลด้วยภาษา VHDL ขั้นพื้นฐาน (ด้านเนื้อหา)

การทดลองที่ 3 เรื่องการสร้างโมเดลที่อยู่ในรูปของ Structural

โปรดทำเครื่องหมาย ✔ ลงในช่องตามความคิดเห็นของท่าน

รายการ	ระดับคุณภาพ				
	5	4	3	2	1
1. ความสอดคล้องของเนื้อหากับจุดประสงค์เชิงพฤติกรรม					
2. ความเหมาะสมของเนื้อหากับพื้นฐานความรู้ของผู้เรียน					
3. ความเหมาะสมในการนำเข้าสู่บทเรียน					
4. ลำดับและวิธีการนำเสนอเหมาะสม					
5. การป้อนกลับต่อการตอบสนองของผู้เรียนมีความเหมาะสม					
6. บทเรียนมีลักษณะจูงในและน่าสนใจ					
7. ความเหมาะสมของการเชื่อมโยงส่วนประกอบแต่ละส่วนภายในบทเรียน					
8. การทดลองสามารถนำไปใช้ในสถานการณ์ฝึกอบรมทั่ว ๆ ไป					
9. ผู้เรียนทำความเข้าใจบทเรียนได้ง่าย แม้ไม่เคยศึกษาเนื้อหาวิชามาก่อน					
10. ความสอดคล้องของแบบฝึกหัดกับจุดประสงค์เชิงพฤติกรรม					

ความคิดเห็นอื่น ๆ (โปรดระบุ)

1. ข้อดีของหลักสูตรฝึกอบรมการออกแบบวงจรดิจิตอลด้วยภาษา VHDL ขั้นพื้นฐานโดยภาพรวม

.....

.....

2. ความไม่เหมาะสมของหลักสูตรฝึกอบรมการออกแบบวงจรดิจิตอลด้วยภาษา VHDL ขั้นพื้นฐานโดยภาพรวม

.....

.....

3. ข้อเสนอแนะในการนำไปใช้

.....

.....

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

แบบประเมินคุณภาพหลักสูตรฝึกอบรมการออกแบบวงจรดิจิตอลด้วยภาษา VHDL ขั้นพื้นฐาน (ด้านเนื้อหา)

การทดลองที่ 4 เรื่องการสร้างโมเดลที่อยู่ในรูปของ Data flow

โปรดทำเครื่องหมาย ✔ ลงในช่องตามความคิดเห็นของท่าน

รายการ	ระดับคุณภาพ				
	5	4	3	2	1
1. ความสอดคล้องของเนื้อหากับจุดประสงค์เชิงพฤติกรรม					
2. ความเหมาะสมของเนื้อหากับพื้นฐานความรู้ของผู้เรียน					
3. ความเหมาะสมในการนำเข้าสู่บทเรียน					
4. ลำดับและวิธีการนำเสนอเหมาะสม					
5. การป้อนกลับต่อการตอบสนองของผู้เรียนมีความเหมาะสม					
6. บทเรียนมีลักษณะจูงใจและน่าสนใจ					
7. ความเหมาะสมของการเชื่อมโยงส่วนประกอบแต่ละส่วนภายในบทเรียน					
8. การทดลองสามารถนำไปใช้ในสถานการณ์ฝึกอบรมทั่ว ๆ ไป					
9. ผู้เรียนทำความเข้าใจบทเรียนได้ง่าย แม้ไม่เคยศึกษาเนื้อหาวิชามาก่อน					
10. ความสอดคล้องของแบบฝึกหัดกับจุดประสงค์เชิงพฤติกรรม					

ความคิดเห็นอื่น ๆ (โปรดระบุ)

1. ข้อดีของหลักสูตรฝึกอบรมการออกแบบวงจรดิจิตอลด้วยภาษา VHDL ขั้นพื้นฐานโดยภาพรวม

.....

.....

2. ความไม่เหมาะสมของหลักสูตรฝึกอบรมการออกแบบวงจรดิจิตอลด้วยภาษา VHDL ขั้นพื้นฐานโดยภาพรวม

.....

.....

3. ข้อเสนอแนะในการนำไปใช้

.....

.....

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

แบบประเมินคุณภาพหลักสูตรฝึกอบรมการออกแบบวงจรดิจิตอลด้วยภาษา VHDL ขั้นพื้นฐาน (ด้านเนื้อหา)

การทดลองที่ 5 เรื่องโมเดลที่ใช้ในการทดสอบ (test bench)

โปรดทำเครื่องหมาย ✔ ลงในช่องตามความคิดเห็นของท่าน

รายการ	ระดับคุณภาพ				
	5	4	3	2	1
1. ความสอดคล้องของเนื้อหากับจุดประสงค์เชิงพฤติกรรม					
2. ความเหมาะสมของเนื้อหากับพื้นฐานความรู้ของผู้เรียน					
3. ความเหมาะสมในการนำเข้าสู่บทเรียน					
4. ลำดับและวิธีการนำเสนอเหมาะสม					
5. การป้อนกลับต่อการตอบสนองของผู้เรียนมีความเหมาะสม					
6. บทเรียนมีลักษณะจูงในและน่าสนใจ					
7. ความเหมาะสมของการเชื่อมโยงส่วนประกอบแต่ละส่วนภายในบทเรียน					
8. การทดลองสามารถนำไปใช้ในสถานการณ์ฝึกอบรมทั่ว ๆ ไป					
9. ผู้เรียนทำความเข้าใจบทเรียนได้ง่าย แม้ไม่เคยศึกษาเนื้อหาวิชามาก่อน					
10. ความสอดคล้องของแบบฝึกหัดกับจุดประสงค์เชิงพฤติกรรม					

ความคิดเห็นอื่น ๆ (โปรดระบุ)

1. ข้อดีของหลักสูตรฝึกอบรมการออกแบบวงจรดิจิตอลด้วยภาษา VHDL ขั้นพื้นฐานโดยภาพรวม

.....

.....

2. ความไม่เหมาะสมของหลักสูตรฝึกอบรมการออกแบบวงจรดิจิตอลด้วยภาษา VHDL ขั้นพื้นฐานโดยภาพรวม

.....

.....

3. ข้อเสนอแนะในการนำไปใช้

.....

.....

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

แบบประเมินคุณภาพหลักสูตรฝึกอบรมการออกแบบวงจรดิจิตอลด้วยภาษา VHDL ขั้นพื้นฐาน (ด้านเนื้อหา)

การทดลองที่ 6 เรื่องการประยุกต์ใช้ภาษา VHDL ขั้นพื้นฐาน

โปรดทำเครื่องหมาย ✔ ลงในช่องตามความคิดเห็นของท่าน

รายการ	ระดับคุณภาพ				
	5	4	3	2	1
1. ความสอดคล้องของเนื้อหากับจุดประสงค์เชิงพฤติกรรม					
2. ความเหมาะสมของเนื้อหากับพื้นฐานความรู้ของผู้เรียน					
3. ความเหมาะสมในการนำเข้าสู่บทเรียน					
4. ลำดับและวิธีการนำเสนอเหมาะสม					
5. การป้อนกลับต่อการตอบสนองของผู้เรียนมีความเหมาะสม					
6. บทเรียนมีลักษณะจูงใจและน่าสนใจ					
7. ความเหมาะสมของการเชื่อมโยงส่วนประกอบแต่ละส่วนภายในบทเรียน					
8. การทดลองสามารถนำไปใช้ในสถานการณ์ฝึกอบรมทั่ว ๆ ไป					
9. ผู้เรียนทำความเข้าใจบทเรียนได้ง่าย แม้ไม่เคยศึกษาเนื้อหาวิชามาก่อน					
10. ความสอดคล้องของแบบฝึกหัดกับจุดประสงค์เชิงพฤติกรรม					

ความคิดเห็นอื่น ๆ (โปรดระบุ)

1. ข้อดีของหลักสูตรฝึกอบรมการออกแบบวงจรดิจิตอลด้วยภาษา VHDL ขั้นพื้นฐานโดยภาพรวม

.....

.....

2. ความไม่เหมาะสมของหลักสูตรฝึกอบรมการออกแบบวงจรดิจิตอลด้วยภาษา VHDL ขั้นพื้นฐานโดยภาพรวม

.....

.....

3. ข้อเสนอแนะในการนำไปใช้

.....

.....

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

แบบทดสอบระหว่างการฝึกอบรม
หลักสูตรการออกแบบวงจรดิจิตอลด้วยภาษา VHDL ขั้นพื้นฐาน

แบบทดสอบระหว่างหน่วยฝึกอบรมที่ 1 เรื่อง รูปแบบการเขียนภาษา VHDL ขั้นพื้นฐาน

1. ภาษา VHDL จัดเป็นภาษาระดับใด
   ก. ภาษาระดับต่ำ
   ข. ภาษาระดับกลาง
   ค. ภาษาระดับสูง
   ง. ภาษาระดับทั่วไป
2. Entity Design Unit คือ
   ก. ส่วนที่ใช้เขียนบรรยายกำหนดพฤติกรรมของรูปแบบ
   ข. ข้อมูลและโปรแกรมย่อยที่เป็นประโยชน์ต่อการเขียนรูปแบบ
   ค. หน่วยของแบบ ส่วนที่ใช้สำหรับติดต่อระหว่างโลกภายนอกกับรูปแบบที่เขียนขึ้น
   ง. กฎเกณฑ์ในการใช้งานของโปรแกรม
3. หัวใจสำคัญของภาษาที่ใช้ในการบรรยาย Hard Ward คือข้อใด
   ก. ตัวหน่วงเวลา
   ข. การทำงานแบบแข่งขนาน
   ค. โครงสร้างของการกำหนดค่า
   ง. การจำลองการเขียนโปรแกรม
4. ในการกำหนดชื่อ VHDL ได้สงวนชื่อ Library คือชื่อใด
   ก. SDT กับ WORK
   ข. STD กับ WORDS
   ค. STTD กับ WORK
   ง. STD กับ WORK

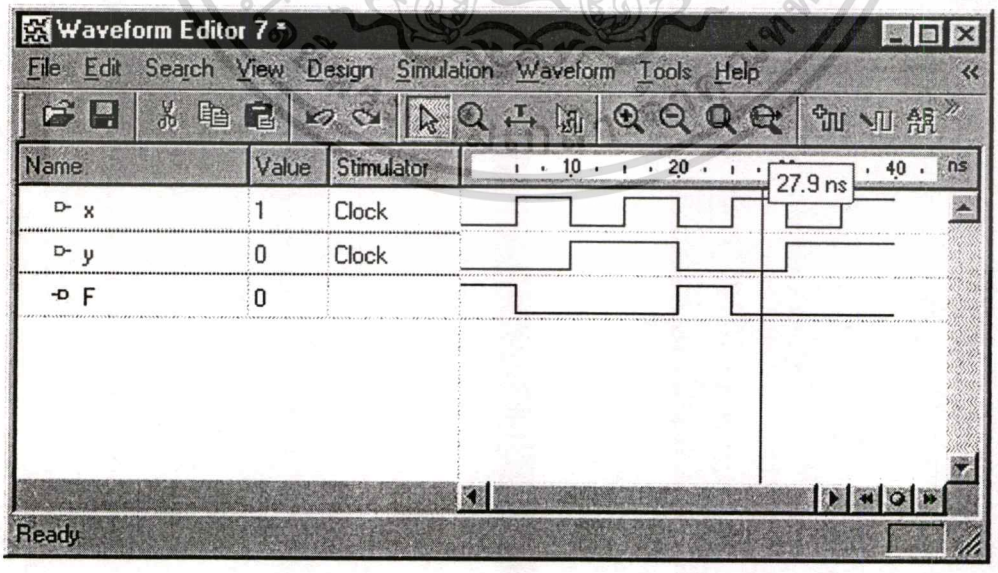
จากโปรแกรมที่กำหนดให้จงตอบคำถามข้อที่ 5 – 6

```
entity Driver is
port(    x: in bit
         F: out bit  );
end Driver;
architecture drive1 of Driver is
         begin
                  process(x)
                  begin
                     if (x='1') then
                     F <= '1';
                        else
                           F <= '0';
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
            end if;
        end process;
    end drive1;
architecture drive2 of Driver is
    begin
      F <= x;
    end behv2;
```

5. ตัวแปร X ถูกกำหนดให้มีการรับข้อมูลในลักษณะใด
   ก. รับข้อมูลเป็นอินพุทแบบ BIT
   ข. รับข้อมูลเป็นเอาท์พุตแบบ BIT
   ค. รับข้อมูลเป็นอินพุตแบบ BIT โดยขึ้นอยู่กับสัญญาณนาฬิกา
   ง. รับข้อมูลเป็นเอาท์พุตแบบ BIT โดยขึ้นอยู่กับสัญญาณนาฬิกา
6. ค่าของ F จะมีค่าเท่าใดเมื่อกำหนดให้ X เท่ากับ '1'
   ก. 1
   ข. 0
   ค. 1 เมื่อ clk => '0' --> '1'
   ง. 0 เมื่อ clk => '0' --> '1'
7. จากรูปที่กำหนดให้ เอาท์พุต F แสดงการทำงานเป็น Logic ใด



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ก. OR GATE

ข. NOR GATE

ค. NAND GATE

ง. AND GATE

แบบทดสอบระหว่างหน่วยฝึกอบรมที่ 2 เรื่องการสร้างโมเดลที่อยู่ในรูปของ Behavioral

จากโปรแกรมที่กำหนดให้จงตอบคำถามข้อที่ 8

```
entity tristate_dr is
port(    d_in:    in BIT_vector(7 downto 0);
         en:      in BIT;
         d_out:   out BIT_vector(7 downto 0)
);
end tristate_dr;
architecture behavior of tristate_dr is
begin
 process(d_in, en)
 begin
         if en='1' then
          d_out <= d_in;
         else
          -- array can be created simply by using vector
          d_out <= "ZZZZZZZZ";
         end if;
 end process;
end behavior;
```

8. ตัวแปร d_out จะมีค่าเท่ากับ “ZZZZZZZZ” เมื่อใด

ก. เมื่อค่า en = ‘1’

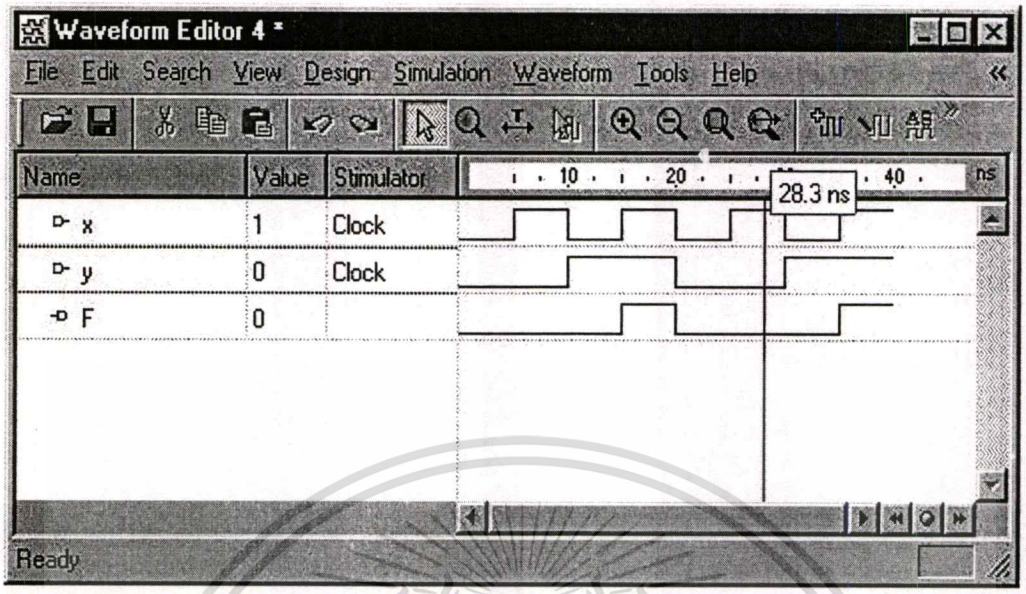
ข. เมื่อค่า en = ‘0’

ค. เมื่อค่า d_in = ‘1’

ง. เมื่อค่า d_in = ‘0’

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

9. จากรูปที่กำหนดให้ เอาท์พุต F แสดงการทำงานเป็น Logic ใด



ก. AND GATE

ข. NOR GATE

ค. NAND GATE

ง. XOR GATE

จากโปรแกรมที่กำหนดให้จงตอบคำถามต่อไปนี้

```
entity google is
generic(n: natural :=2);
port(   A:      in bit_vector(n-1 downto 0);
        B:      in bit_logic_vector(n-1 downto 0);
        less:           out bit;
        equal:          out bit;
        greater:        outbit          );
end google;
architecture behv of google is
begin
process(A,B)
  begin
    if (A<B) then
        less <= '1';
        equal <= '0';
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
            greater <= '0';
        elsif (A=B) then
            less <= '0';
            equal <= '1';
            greater <= '0';
        else
            less <= '0';
            equal <= '0';
            greater <= '1';
        end if;
    end process;
end behv;
```

10. การทำงานของโปรแกรมที่กำหนดให้เป็นแบบใด

ก. JK-FF

ข. RS-FF

ค. Comparator

ง. Combination logic

แบบทดสอบระหว่างหน่วยฝึกอบรมที่ 3 เรื่องการสร้างโมเดลที่อยู่ในรูปของ Structural

จากโปรแกรมที่กำหนดให้จงตอบคำถามต่อไปนี้

```
Entity  fulladd is
Port   (A,B,Cin : in  BIT;
   Sum, carry  :  in  BIT);
End fulladd;
Architecture struc  of  fulladd  is
Signal  N_SUM,  N_CARRY1,  N_CARRY2  :  BIT;
        Begin
                U1  :  halfadd  port map (A,B,N_SUM,N_CARRY1);
                U2  :  halfadd  port map (N_SUM,Cin,SUM,N_CARRY2);
                U3  :  orgate  port map (N_CARRY2,N_CARRY1,CARRY);
        End  struc;
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

11. บรรทัดคำสั่ง Signal N_SUM, N_CARRY1, N_CARRY2 : BIT; ตัวแปร N_SUM ตรงกับข้อใด

    ก. เป็นอินพุทของ halfadd U1

    ข. เป็นเอาท์พุตของ halfadd U1

    ค. เป็นสัญญาณอินพุตของ halfadd U1

    ง. เป็นสัญญาณเอาท์พุตของ halfadd U1

12. บรรทัดคำสั่ง U3 : orgate port map (N_CARRY2,N_CARRY1,CARRY); U3 มีโครงสร้างลักษณะใด

    ก. orgate 2 อินพุต N_CARRY2,N_CARRY1 เป็นอินพุต CARRY เป็นเอาท์พุต

    ข. orgate 2 อินพุต CARRY,N_CARRY1, เป็นอินพุต N_CARRY2 เป็นเอาท์พุต

    ค. orgate 2 อินพุต CARRY2,CARRY, เป็นอินพุต N_CARRY เป็นเอาท์พุต

    ง. orgate 3 อินพุต CARRY,N_CARRY1,N_CARRY2 เป็นอินพุท SUM เป็นเอาท์พุต

13. กำหนดให้ A = 1, B = 0, Cin = 0 ตัวแปร N_CARRY มีค่าเท่ากับข้อใด

    ก. 1

    ข. 0

    ค. 1 เมื่อ clk จาก '0' → '1'

    ง. 0 เมื่อ clk จาก '0' → '1'

แบบทดสอบระหว่างหน่วยฝึกอบรมที่ 4 เรื่องการสร้างโมเดลที่อยู่ในรูปของ Dataflow

จากโปรแกรมที่กำหนดให้จงตอบคำถามต่อไปนี้

```
entity combination is
port (a,b,qt,eq,lt    : in bit;
a_gt_b,a_eq_b,a_lt_b, : out bit);
end combination;
architecture dataflow of combination is
        signal s : bit;
        begin
                s <= (a and b) or (not a and not b);
                a_gt_b <= (qt  and s) or (a and not b);
                a_lt_b  <= (lt and s) or (not a and b);
                a_eq_b  <=  eq and s;
        end dataflow
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

14. กำหนดให้ a = 1, b = 0, qt = 1, lt = 1, eq = 0 : a_gt_b มีค่าเท่ากับข้อใด

    ก. 1

    ข. 0

    ค. s

    ง. ถูกทุกข้อ

15. กำหนดให้ a = 0, b = 0, qt = 0, lt = 1, eq = 1 : a_eq_b มีค่าเท่ากับข้อใด

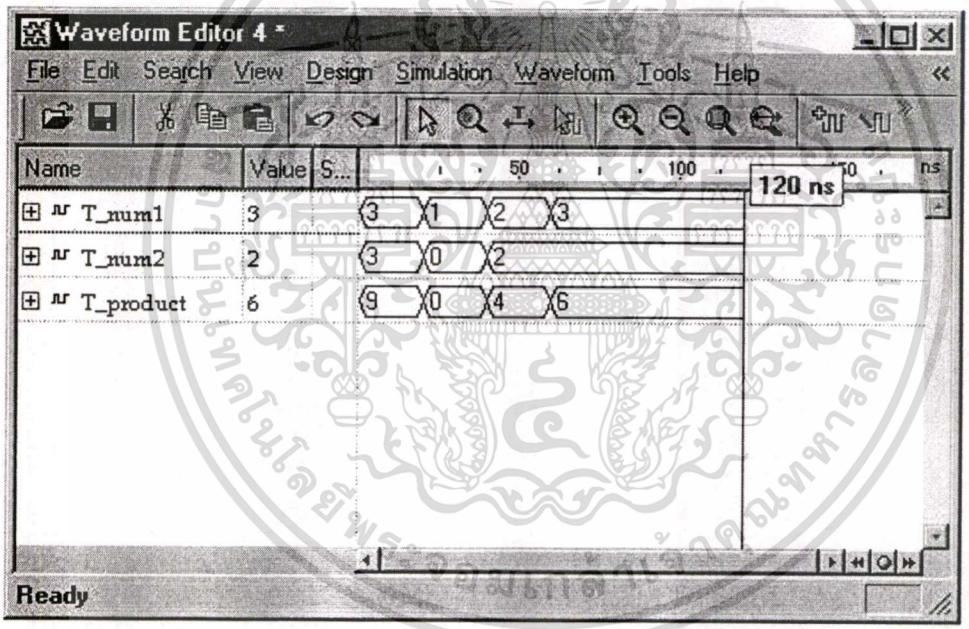
    ก. 1

    ข. 0

    ค. b

    ง. ถูกทุกข้อ

จากรูปที่กำหนดให้จงตอบคำถามข้อที่ 16



16. กำหนดให้ T_num1,T_num2, เป็นอินพุต T_product เป็นเอาท์พุต ค่า T_product เป็นการแสดงการทำงานของวงจรใด

    ก. ADDER

    ข. COMPLEMENT

    ค. MULTIPLIER

    ง. DECODE

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

แบบทดสอบระหว่างหน่วยฝึกอบรมที่ 5 เรื่องโมเดลที่ใช้ในการทดสอบ (testbench)

จากโปรแกรมที่กำหนดให้จงตอบคำถามข้อที่ 17 – 18

```
Entity testbench is
end;
architecture behavior of testbench is
        component adder4bit
                port
                (
                        A,B     :       in      bit_vector (3 downto 0);
                        S       :       out     bit_vector (3 downto 0);
                        Co      :       out     bit
                );
        end component;
                signal  a,b,sum :       bit_vector(3 downto 0);
                signal  cout    :       bit;
begin
                adder : adder4bit port map (A => a, B =>b,S => sum, Co => cout);
        test :  process
        begin
                A <= "1011";
                B <= "0100";
                wait for 100 ns;
                A <= "0011";
                B <= "1100";
                wait for 100 ns;
                A <= "1111";
                B <= "0001";
                wait for 100 ns;
                B <= "1111";
                wait;
                end process;
end behavior;
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

17. ตัวแปร A,B มีค่าเท่ากับค่าใดเมื่อเวลาผ่านไป 250 nS

    ก. A = 1011, B =0100

    ข. A = 0011, B =1100

    ค. A = 1111, B =0001

    ง. A = 1110, B =1111

18. การเขียนโปรแกรมทดสอบ testbench นั้นมีประโยชน์ตรงกับข้อใดมากที่สุด

    ก. จำลองการทำงานของโปรแกรมได้โดยง่าย

    ข. ทดสอบค่า Logic ภายในของโปรแกรม

    ค. ลดเวลาในการทดสอบโปรแกรมลง

    ง. ทดสอบโครงสร้างทั้งหมดของโปรแกรมที่เขียนขึ้น

แบบทดสอบระหว่างหน่วยฝึกอบรมที่ 6 เรื่องการประยุกต์ใช้ภาษา VHDL ขั้นพื้นฐาน

จากโปรแกรมที่กำหนดให้จงตอบคำถามข้อที่ 19 – 20

```
entity ALU is
port(   A:      in bit_vector(1 downto 0);
        B:      in bit_vector(1 downto 0);
        Sel:    in bit_vector(1 downto 0);
        Res:    out bit_vector(1 downto 0)
);
end ALU;
architecture behv of ALU is
begin
  process(A,B,Sel)
  begin
        -- use case statement to achieve
        -- different operations of ALU
        case Sel is
          when "00" =>
                Res <= A + B;
          when "01" =>
             Res <= A + (not B) + 1;
          when "10" =>
                Res <= A and B;
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
            when "11" =>
                Res <= A or B;
            when others =>
                Res <= "XX";
        end case;
    end process;
end behv;
```

19. กำหนดให้ค่า sel = 01 ค่า Res มีค่าเท่ากับข้อใด

    ก. A or B

    ข. A and B

    ค. XX

    ง. A + (not B) + 1

20. บรรทัดคำสั่ง case Sel is คำว่า case คือข้อใด

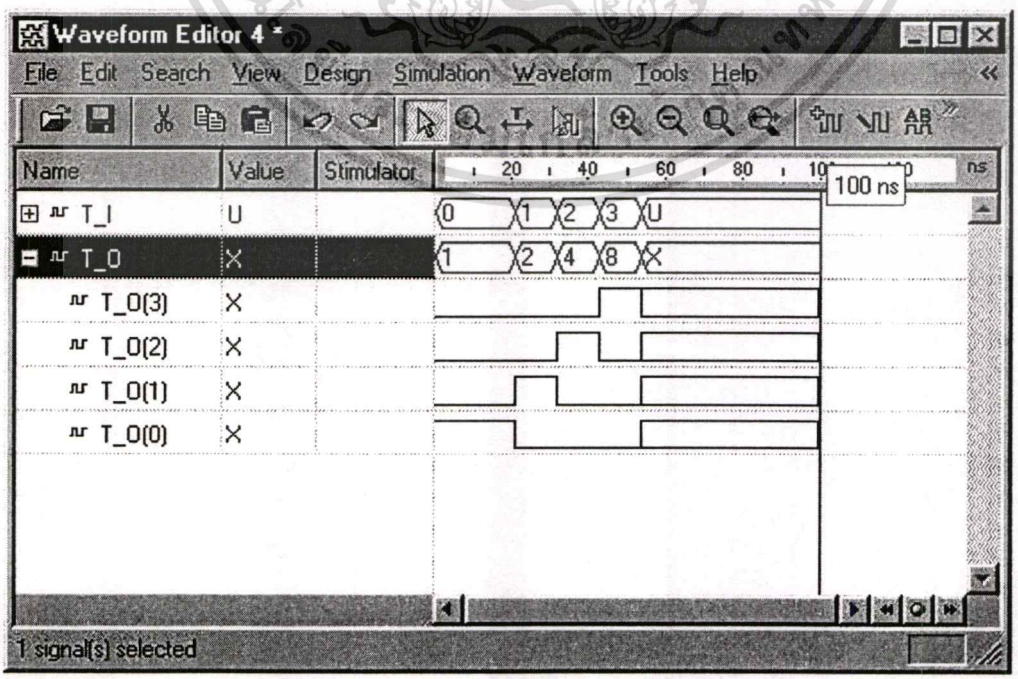
    ก. ตรวจสอบค่า A

    ข. ตรวจสอบค่า B

    ค. ตรวจสอบค่า sel

    ง. ตรวจสอบค่า Res

21. จากรูปที่กำหนดให้ ค่า T_O(3), T_O(2), T_O(1), T_O(0) เป็นการทำงานในลักษณะใด



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ก. Multiplier

ข. Decode

ค. Adder

ง. ALU

จากโปรแกรมที่กำหนดให้จงตอบคำถามต่อไปนี้

```
entity hot is
port(        data_in: in bit;
     enable:  in bit;
     data_out:        out bit
);
end hot;
architecture behv of  hot is
begin
   process(data_in, enable)
   begin
     if (enable='1') then
       data_out <= data_in;
     end if;
   end process;
end behv;
```

22. จากโครงสร้างโปรแกรมเป็นการทำงานของอุปกรณ์ดิจิตอลชนิดใด

ก. RS-FF

ข. D latch

ค. T-FF

ง. JK-FF

จากโปรแกรมที่กำหนดให้จงตอบคำถามข้อที่ 23 - 25

```
entity AB is
port (       clock:          in bit;
             A, B:           in bit;
             reset:          in bit;
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
            Q, Qbar:        out bit     );
end AB;
architecture behv of AB is
   signal state: bit;
   signal input: bit_vector(1 downto 0);
begin
   input <= A & B;
   p: process(clock, reset) is
   begin
     if (reset='1') then
        state <= '0';
     elsif (rising_edge(clock)) then
        case (input) is
              when "11" =>
                state <= not state;
              when "10" =>
                state <= '1';
              when "01" =>
                state <= '0';
              when others =>
                null;
              end case;
     end if;
   end process;
   Q <= state;
   Qbar <= not state;
end behv;
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

23. เมื่อค่า reset = 1 ค่าเอาท์พุตที่ Q มีค่าเท่าใด

ก. 0

ข. 1

ค. state

ง. null

24. จากโครงสร้างโปรแกรมเป็นการทำงานของอุปกรณ์ดิจิตอลชนิดใด

ก. RS-FF

ข. JK-FF

ค. T-FF

ง. D-FF

25. คำสั่ง input <= A & B; หมายถึงข้อใด

ก. ให้ input มีค่าเท่ากับ A and B

ข. ให้ input มีค่าเท่ากับ A XOR B

ค. ให้ input มีค่าเท่ากับ โดยนำ A และ B ต่อเรียงกัน

ง. ให้ input มีค่าเท่ากับ โดยนำ A และ B แยกกัน

จากโปรแกรมที่กำหนดให้จงตอบคำถามข้อที่ 26 – 27

```
entity x is
port(   I3:     in bit_vector(2 downto 0);
        I2:     in bit_vector(2 downto 0);
        I1:     in bit_vector(2 downto 0);
        I0:     in bit_vector(2 downto 0);
        S:      in bit_vector(1 downto 0);
        O:      out bit_vector(2 downto 0)
);
end x;
architecture behv1 of x is
begin
  process(I3,I2,I1,I0,S)
  begin
    case S is
          when "00" => O <= I0;
          when "01" => O <= I1;
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
            when "10" => O <= I2;
            when "11" => O <= I3;
            when others =>O <= "ZZZ";
        end case;
    end process;
end behv1;
architecture behv2 of x is
begin
    O <= I0 when S="00" else
                I1 when S="01" else
                I2 when S="10" else
                I3 when S="11" else
                "ZZZ";
end behv2;
```

26. คำสั่ง when "11" => O <= I3; ตรงกับข้อใด

ก. เมื่อ S = '11' ให้นำค่าใน I3 มาใส่ไว้ในตัวแปร O

ข. เมื่อ S = '11' ให้นำค่าในตัวแปร O มาใส่ไว้ในตัวแปร I3

ค. เมื่อ S = '11' ให้นำค่า 11 มาใส่ไว้ในตัวแปร O

ง. เมื่อ S = '11' ให้นำค่าใน 11 และ I3 มาใส่ไว้ในตัวแปร O

27. จากโครงสร้างโปรแกรมเป็นการทำงานในลักษณะใด

ก. Multiplier

ข. Multiplexor

ค. Adder

ง. switching

จากโปรแกรมที่กำหนดให้จงตอบคำถามข้อที่ 28 – 29

```
entity INCOMP_IF is
port (EN, D : in BIT;
      Q     : out BIT);
End INCOMP_IF;
Architecture A of INCOMP_IF is
    Begin
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
        Process(EN,D)
                If (EN = '1') then
                        Q <= D;
                End if;
        End process;
End A;
```

28. ค่าเอาท์พุตของตัวแปร Q จะมีค่าเท่าใด
    ก. 1
    ข. 0
    ค. ไม่แน่นอน
    ง. Null
29. จากโครงสร้างโปรแกรมจะสามารถทำการจำลองการทำงานได้หรือไม่
    ก. ได้ เนื่องจากโครงสร้างของโปรแกรมสมบูรณ์
    ข. ได้ แต่อาจทำให้ค่าเอาท์พุตไม่ถูกต้อง
    ค. ไม่ได้ เนื่องจากโปรแกรมไม่สมบูรณ์
    ง. ไม่ได้ เนื่องจากมีการกำหนดค่าตัวแปรผิดพลาด
30. ประโยชน์ของภาษา VHDL ที่มีต่อวงจรดิจิตอลยุคใหม่ที่ถูกที่สุดคือข้อใด
    ก. สามารถทำให้วงจรดิจิตอลพัฒนาได้โดยไม่มีขีดจำกัดทางด้าน HARD WARE
    ข. สามารถจำลองการทำงานของวงจรดิจิตอลได้อย่างสมบูรณ์แบบ
    ค. สามารถตรวจสอบการทำงานของวงจรดิจิตอลที่ออกแบบได้ตามเวลาจริง
    ง. ถูกทุกข้อ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

แบบทดสอบก่อนและหลังฝึกอบรมการออกแบบวงจรดิจิตอล
ด้วยภาษา VHDL ขั้นพื้นฐาน

1. ข้อใดไม่ใช่มาตรฐานของภาษาที่ใช้สำหรับบรรยาย Hardware ของระบบภาษา VHDL
ก. ต้องเป็นภาษาที่นำไปเขียนรูปแบบระบบดิจิตอล และมีคุณสมบัติที่สามารถจะเข้าใจได้ทั้งคนและเครื่อง โดยไม่ต้องมีการแปลงหรือเปลี่ยนแปลงอีก
ข. สามารถนำไปใช้เป็นเอกสารประกอบโครงการได้ (Project Documentation)
ค. เป็นภาษาที่นำไปเขียนรูปแบบระบบดิจิตอลที่ต้องมีการแปลและเปลี่ยนภาษาระหว่างคนกับเครื่อง
ง. ต้องเป็นภาษาที่เขียนขึ้นสำหรับใช้จำลองการทำงานของวงจร (Simulation Language)
2. ลักษณะเด่นของภาษา VHDL ที่กำหนดและอธิบายการทำงาน Hardware ในระบบดิจิตอลคือ
ก. ความอ่อนตัวของภาษาที่สามารถจำลองการทำงานจากหลักการของรูปแบบ
ข. เป็นภาษาที่มีความแข็งตัวในการจำลองการทำงานจากหลักของรูปแบบ
ค. ความอ่อนตัวของภาษาที่สามารถจำลองการทำงานที่เกี่ยวกับเวลาอย่างถูกต้อง
ง. ถูกทั้งข้อ ก และข้อ ค
3. ข้อใดไม่ใช่วิธีการของ Top Down Design
ก. ปฏิบัติอย่างจริงจังโดยไม่ต้องออกแบบ
ข. เขียนรูปแบบความคิด
ค. จำลองการทำงาน เพื่อตรวจสอบความถูกต้อง
ง. การกลั่นกรองเพิ่มเติมรายละเอียดสู่ระบบดิจิตอล
4. การตั้งชื่อในข้อใดถูกต้องตามกฎ
ก. 01_MAN
ข. BOVI007
ค. _BEGIN_BEGIN_
ง. One_1_oNe_1
5. ข้อใดถูกต้อง
ก. ตัวเลขในภาษา VHDL สามารถเป็นค่าติดลบได้
ข. ตัวเลขในภาษา VHDL มีจำนวนเต็มบวกและเลขจำนวนจริง
ค. ตัวเลขในภาษา VHDL เป็นทั้งจำนวนเต็มบวกและติดลบได้
ง. ตัวเลขในภาษา VHDL เป็นทั้งจำนวนติดลบและไม่เป็นจำนวนจริงได้
6. CHARACTER คือ
ก. กลุ่มของค่า FALSE และ TRUE
ข. กลุ่มของค่า “0” และ “1”
ค. กลุ่มค่าของพยัญชนะ เครื่องหมาย และอักษรควบคุม
ง. กลุ่มค่าของ NOTE, WARNING, ERROR, FAILURE

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

7. (/A*B) + (A*/B) คือข้อใด
ก. (A and B) or (A and B) ข. (not A and B) or (A and not B) ค. (not (A and B) or (A and not B)) ง. (not (A and B)) or (A and not B)
8. Behavioral Design คือการบรรยายแบบใด
ก. การบรรยายที่ไม่ต้องอ้างถึงรูปแบบรวมภายใน architecture ข. การบรรยายที่ไม่ต้องอ้างถึงรูปแบบย่อยภายใน architecture ค. การบรรยายที่ต้องอ้างถึงรูปแบบรวมภายใน architecture ง. การบรรยายที่ต้องอ้างถึงรูปแบบย่อยภายใน architecture
9. การเกิด event ในตัวเปลี่ยนสัญญาณคือ
ก. การเปลี่ยนจากเลขคี่เป็นเลขคู่ ข. การเปลี่ยนจากค่าบวกให้เป็นลบ ค. การเปลี่ยนจากค่าเดิมที่เป็น “0” เป็นค่าใหม่ “1” หรือทางตรงข้าม ง. การเปลี่ยนจากจำนวนเท็จเป็นจำนวนจริง
10. Process Statement ถูกกระตุ้นให้ทำงานโดยวิธีการใด
ก. ใช้สัญญาณ reset ข. ใช้คำสั่ง IF จบด้วยคำสั่ง ENDIF ค. ใช้คำสั่ง ELSIF ง. ใช้สัญญาณ reset และ CLK ใน Sensitivity list
11. Structural description คือ
ก. การบรรยายที่แสดงให้เห็นโครงสร้างของระบบในรูปอุปกรณ์ต่าง ๆ ข. การออกแบบโครงสร้างของระบบ ค. การบรรยายรูปแบบโครงสร้าง ง. ถูกทั้งข้อ ข และ ค
12. ข้อดีของการเขียนแบบ Structural คือ
ก. แสดงให้เห็นตัวอย่างที่ดีของรูปแบบ ข. สามารถมองเห็นรูปร่างวงจรได้ชัดเจน ค. ผู้ออกแบบสามารถเขียนบรรยายฟังก์ชันได้ตั้งแต่ระดับบนของแนวความคิด ง. ถูกทุกข้อที่กล่าวมา
13. ลักษณะพิเศษของการเขียนโปรแกรมภาษา VHDL แบบ Structural คือข้อใด
ก. แยกออกเป็นบล็อกย่อยๆ และเชื่อมต่อกัน ข. เขียนบรรยายการทำงานตามโครงสร้างที่ต้องการ ค. เขียนบรรยายการทำงานของโครงสร้างอย่างละเอียด ง. แยกสัญญาณภายในออกจากกันอย่างเด็ดขาด

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

14. Dataflow Model เรียกอีกอย่างว่า

ก. Algorithmic description

ข. Procedural Constructs

ค. netlist representation

ง. Register Transfer Level

15. หลังจากผ่านวิธีการบรรยายแบบ Data Flow แล้ว ขบวนการต่อไปคือ

ก. การออกแบบวงจร

ข. การสร้างวงจรให้อยู่ในรูปของอุปกรณ์พื้นฐาน

ค. การจำลองการทำงาน

ง. สามารถนำไปใช้ได้

16. จากโปรแกรม ค่า output ที่ถูกต้องคือข้อใด

```
Architecture data_flow of mux is
    Begin
        Output <= (not sel) and in0) or (sel and in1);
    End data_flow;
```

ก. เท่ากับ 1 เมื่อ sel = 0, in1 = 1, in0 = 0

ข. เท่ากับ 0 เมื่อ sel = 0, in1 = 1, in0 = 0

ค. เท่ากับ in0 เมื่อ sel = 0, in1 = 1, in0 = 0

ง. เท่ากับ in1 เมื่อ sel = 0, in1 = 1, in0 = 1

17. test bench คือข้อใด

ก. เป็นโปรแกรมที่ใช้ทดสอบโปรแกรมที่เขียนขึ้น

ข. ใช้ทดแทนคำสั่ง Force signal

ค. มีโครงสร้างเหมือน Component ทั่วๆ ไป

ง. ถูกทุกข้อ

18. โปรแกรม test bench นิยมเขียนในรูปแบบใดมากที่สุด

ก. Behavioral

ข. Structural

ค. Data flow

ง. Mixed model

19. Architecture Design Unit คือ

ก. ข้อมูลและโปรแกรมย่อยที่เป็นประโยชน์ต่อการเขียนรูปแบบ

ข. ส่วนที่ใช้สำหรับเขียนบรรยายกำหนดพฤติกรรมของรูปแบบ

ค. หน่วยของแบบส่วนที่ใช้สำหรับติดต่อระหว่างโลกภายนอกกับรูปแบบที่เขียนขึ้น

ง. กฎเกณฑ์ในการใช้งานของโปรแกรม

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

20. "Library" ในภาษา VHDL เปรียบเสมือนกับสิ่งใด
ก. ตู้เก็บข้อมูลเอกสารเกี่ยวกับอิเล็กทรอนิกส์ต่าง ๆ ข. ตู้เก็บอุปกรณ์อิเล็กทรอนิกส์ต่าง ๆ ค. อุปกรณ์ป้องกันความเสียหายของวงจร ง. ข้อมูลป้องกันความเสียหายของวงจร
21. หลักการของ Library คือ
ก. เก็บและแก้ไขข้อมูลให้ถูกต้องตามกฎเกณฑ์การเขียนความถูกต้องของ function ของ Design Unit ข. ออกกฎเกณฑ์การเขียนความถูกต้องของฟังก์ชัน การเขียนของ Design Unit ค. ออกแบบข้อมูลที่ได้จากการวิเคราะห์ตามกฎเกณฑ์การเขียนของ Design Unit ง. เก็บข้อมูลที่ได้จากการวิเคราะห์ตามกฎเกณฑ์การเขียน และความถูกต้องของฟังก์ชัน Design Unit
22. Boolean expression ให้ผลลัพธ์ที่เป็น TYPE ได้ 2 อย่างคือ
ก. TRUE กับ FALSE ข. NO กับ YES ค. NO กับ OK ง. OK กับ Clear
23. Simulation Primitives คือ
ก. ค่าลอจิกที่ไม่คงที่ และฟังก์ชันการทำงานถูกกำหนดตายตัว ข. ค่าลอจิกที่คงที่ และฟังก์ชันการทำงานถูกกำหนดตายตัว ค. ค่าลอจิกที่ไม่คงที่ และฟังก์ชันการทำงานไม่คงที่ ง. ค่าลอจิกที่คงที่ และฟังก์ชันการทำงานที่ไม่คงที่
24. ในระบบภาษา VHDL ค่าจำลองเบื้องต้นที่สำคัญที่สุดคือ
ก. ค่าที่กำหนดด้วยภาษา ข. ค่าที่สามารถกำหนดโดยผู้ใช้ระบบ ค. ค่าที่สามารถกำหนดด้วยการคิด ง. ถูกทั้งข้อ ก และข้อ ข
25. ภายในหนึ่งวงรอบการทำงานของการจำลอง ชุดคำสั่งที่อยู่ในลำดับจะถูกปฏิบัติอย่างไร
ก. ปรับปรุงค่าสัญญาณใหม่ ในเวลาการทำงานเดิม ข. ปรับปรุงค่าสัญญาณใหม่ ในเวลาที่เปลี่ยนแปลง ค. สร้างค่าสัญญาณใหม่ ในเวลาการทำงานเดิม ง. สร้างค่าสัญญาณใหม่ ในเวลาที่เปลี่ยนแปลง
26. เมื่อระบบจำลองการทำงานถูกเรียกใช้ ระบบจะเริ่มต้นด้วยขั้นตอนใดก่อน
ก. Initialization ข. Simulation Cycle ค. Elaboration ง. Intemal Delay

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

27. หัวใจสำคัญของภาษาที่ใช้ในการบรรยาย Hard Ware คือข้อใด

ก. ตัวหน่วงเวลา

ข. การทำงานแบบแข่งขนาน

ค. โครงสร้างของการกำหนดค่า

ง. การจำลองการเขียนโปรแกรม

28. ข้อใดถูกต้อง

ก. สิ่งที่ประกาศด้วยชุดคำสั่ง PORT จะเป็น SIGNAL

ข. สิ่งที่ประกาศด้วยชุดคำสั่ง GENERIC จะเป็น CONTANT

ค. สิ่งที่ประกาศด้วยชุดคำสั่ง PORT จะเป็น GENERIC

ง. ถูกทั้งข้อ ก และข้อ ข

จากโปรแกรมที่กำหนดให้จงตอบคำถามข้อที่ 29,30

```
Entity REG is
        Port
        (
                DATA : in BIT_VECTOR (3 downto 0)
                Clk,reset : in bit
                Q : out BIT_VECTOR (3 downto 0)
        );
end REG;
architecture RTL of REG is
begin
        reg : process
        begin
                if reset = '1' then
                        Q <="0000"
                Elsif CLK'event and (clk ='1')then
                        Q<= DATA;
                End if;
                Wait for 1 ns;
        End proces
End RTL;
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

29. Q : out BIT_VECTOR(3 downto 0) มีความหมายตรงกับข้อใด
ก. Q มีค่าเท่ากับ 3 ถึง 0
ข. Q เป็นoutput มีค่าเท่ากับ 3 ถึง 0
ค. Q เป็น output มีค่า Q3,Q2,Q1,Q0
ง. Q มีค่าเท่ากับ BIT_VECTOR(3 downto 0)
30. โครงสร้างของโปรแกรมทำงานในลักษณะใดถูกต้องที่สุด
ก. เก็บข้อมูลขนาด 4 bit ทำงานเมื่อมีสัญญาณนาฬิกาเข้าสู่วงจร
ข. เก็บข้อมูลขนาด 4 bit ทำการ reset เมื่อ reset = '0'
ค. เก็บข้อมูลขนาด 4 bit ค่า Q = DATA เมื่อ clk = '0' -> '1'
ง. เก็บข้อมูลขนาด 4 bit ค่า Q = '0000' เมื่อมีสัญญาณนาฬิกาเข้าสู่วงจร

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ภาคผนวก ข

ข้อมูลและการวิเคราะห์ข้อมูล

- ระดับคะแนนเฉลี่ยของแบบประเมินคุณภาพหลักสูตรด้านเนื้อหา
- ผลการวิเคราะห์ความสอดคล้อง
- ผลการเปรียบเทียบผลสัมฤทธิ์ของการฝึกอบรม

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ตารางที่ 6.1 แสดงค่าระดับคะแนนเฉลี่ยของแบบประเมินคุณภาพเนื้อหาของหลักสูตรฝึกอบรม การออกแบบวงจรดิจิตอลด้วยภาษา VHDL ขั้นพื้นฐาน

รายการ	ระดับคะแนนเฉลี่ย
1. ความสอดคล้องของเนื้อหากับจุดประสงค์เชิงพฤติกรรม	4.67
2. ความเหมาะสมของเนื้อหากับพื้นฐานความรู้ของผู้เรียน	4.60
3. ความเหมาะสมในการนำเข้าสู่บทเรียน	4.53
4. ลำดับและวิธีการนำเสนอเหมาะสม	4.40
5. การป้อนกลับต่อการตอบสนองของผู้เรียนมีความเหมาะสม	4.20
6. บทเรียนมีลักษณะจูงใจและน่าสนใจ	4.03
7. ความเหมาะสมของการเชื่อมโยงส่วนประกอบแต่ละส่วนภายในบทเรียน	4.13
8. การทดลองสามารถนำไปใช้ในสถานการณ์ฝึกอบรมทั่ว ๆ ไป	4.20
9. ผู้เรียนทำความเข้าใจบทเรียนได้ง่าย แม้ไม่เคยศึกษาเนื้อหาวิชามาก่อน	4.16
10. ความสอดคล้องของแบบฝึกหัดกับจุดประสงค์เชิงพฤติกรรม	4.60
ค่าเฉลี่ย	4.33

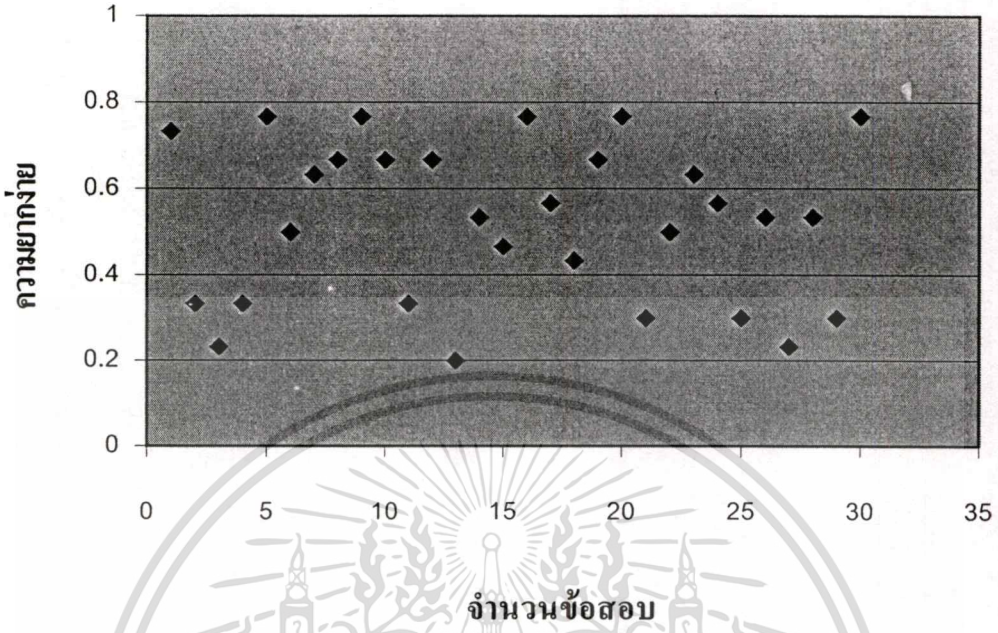
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ตารางที่ 6.2 แสดงผลการวิเคราะห์ความสอดคล้องของแบบทดสอบระหว่างฝึกอบรมกับวัตถุประสงค์เชิงพฤติกรรม

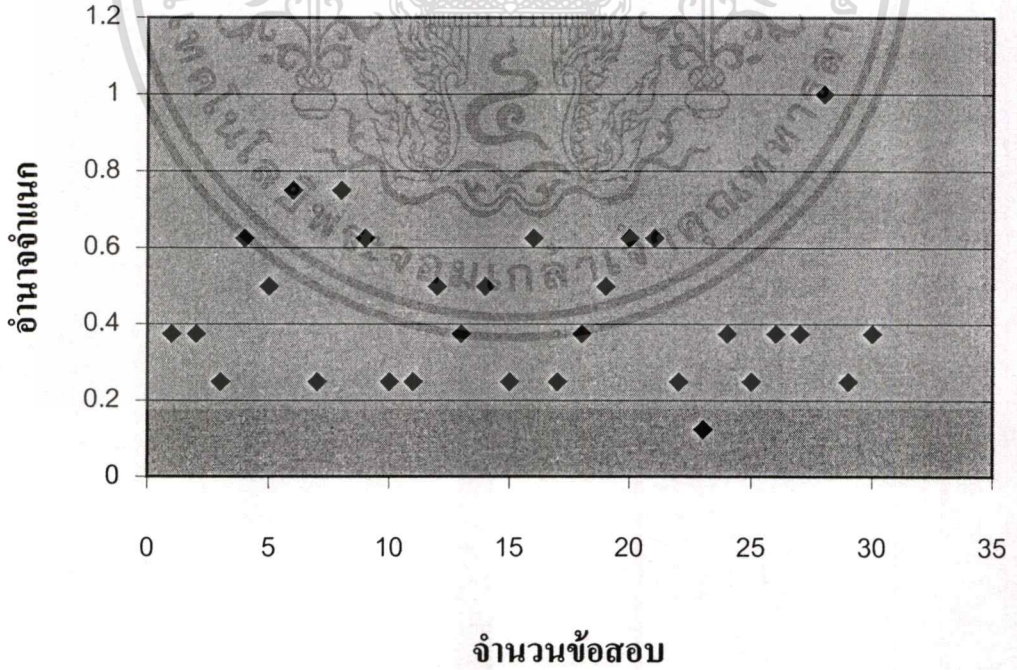
ข้อสอบ	ค่าความยากง่าย (P)	ค่าอำนาจจำแนก (r)	ค่า IOC
1	0.73	0.38	1.00
2	0.33	0.38	1.00
3	0.23	0.25	0.80
4	0.33	0.63	0.80
5	0.77	0.50	1.00
6	0.50	0.75	1.00
7	0.63	0.25	1.00
8	0.67	0.75	1.00
9	0.77	0.63	1.00
10	0.67	0.25	1.00
11	0.33	0.25	1.00
12	0.667	0.50	1.00
13	0.20	0.38	0.80
14	0.53	0.50	1.00
15	0.47	0.25	1.00
16	0.77	0.63	0.80
17	0.57	0.25	1.00
18	0.43	0.38	0.80
19	0.67	0.50	0.80
20	0.77	0.63	0.80
21	0.30	0.63	1.00
22	0.50	0.25	0.80
23	0.63	0.25	1.00
24	0.57	0.38	1.00
25	0.30	0.25	1.00
26	0.53	0.38	1.00
27	0.23	0.38	0.80
28	0.53	1.00	0.80
29	0.30	0.25	1.00
30	0.77	0.36	0.80

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รูปที่ 6.1 แผนภูมิแสดงค่าความยากง่ายของแบบทดสอบระหว่างฝึกอบรม



รูปที่ 6.2 แผนภูมิแสดงค่าอำนาจจำแนกของแบบทดสอบระหว่างฝึกอบรม



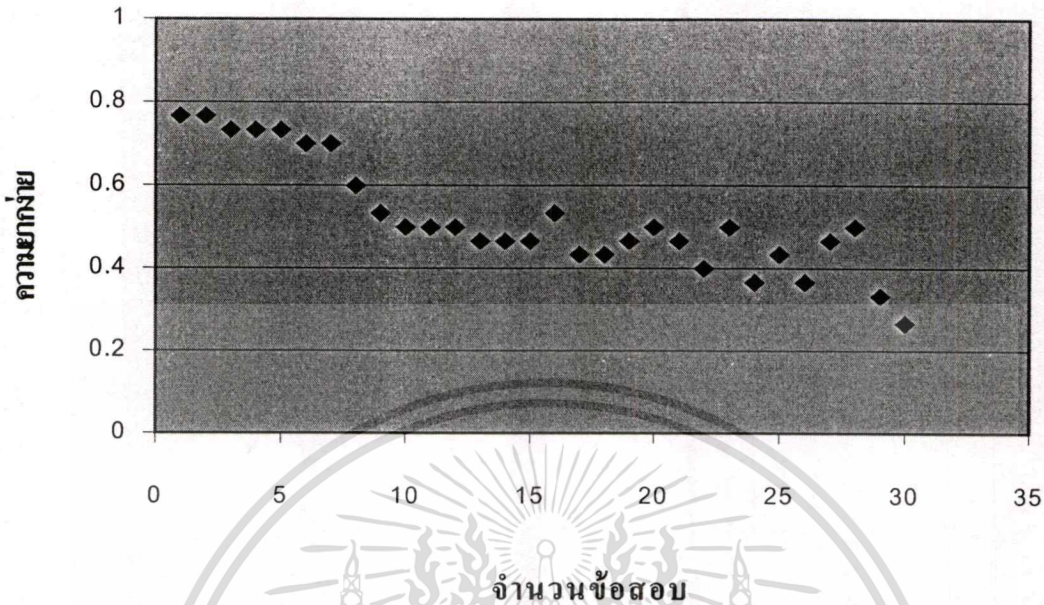
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ตารางที่ 6.3 แสดงผลการวิเคราะห์ความสอดคล้องของแบบทดสอบก่อนและหลังฝึกอบรม กับวัตถุประสงค์เชิงพฤติกรรม

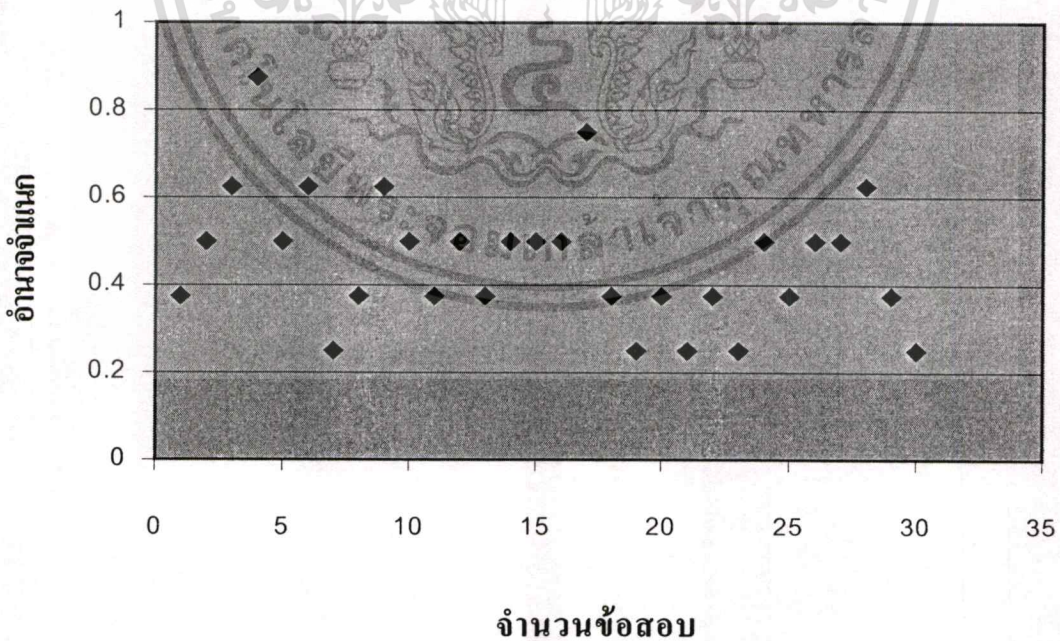
ข้อสอบ	ค่าความยากง่าย (P)	ค่าอำนาจจำแนก (r)	ค่า IOC
1	0.76	0.38	0.60
2	0.76	0.50	0.80
3	0.73	0.50	0.60
4	0.73	0.75	0.80
5	0.73	0.50	1.00
6	0.70	0.50	1.00
7	0.70	0.25	0.80
8	0.60	0.25	0.80
9	0.53	0.63	1.00
10	0.50	0.38	1.00
11	0.50	0.38	0.60
12	0.50	0.38	1.00
13	0.47	0.25	1.00
14	0.47	0.50	0.60
15	0.47	0.50	1.00
16	0.53	0.38	1.00
17	0.43	0.63	1.00
18	0.43	0.38	1.00
19	0.47	0.25	0.80
20	0.50	0.38	0.80
21	0.47	0.25	0.60
22	0.40	0.38	1.00
23	0.50	0.25	0.80
24	0.37	0.50	0.80
25	0.43	0.25	0.80
26	0.37	0.50	0.60
27	0.47	0.38	0.60
28	0.50	0.50	0.60
29	0.33	0.25	0.80
30	0.27	0.25	1.00

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รูปที่ 6.3 แผนภูมิแสดงค่าความยากง่ายของแบบทดสอบก่อนและหลังฝึกอบรม



รูปที่ 6.4 แผนภูมิแสดงค่าอำนาจจำแนกของแบบทดสอบก่อนและหลังฝึกอบรม



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ค่าความเชื่อมั่นของแบบทดสอบระหว่างฝึกอบรมที่คำนวณโดย SPSS FOR WINDOWS

****** Method 1 (space saver) will be used for this analysis ******

R E L I A B I L I T Y A N A L Y S I S - S C A L E (A L P H A)

Reliability Coefficients

N of Cases = 30.0 N of Items = 30

Alpha = .79

ค่าความเชื่อมั่นของแบบทดสอบก่อนและหลังฝึกอบรมที่คำนวณโดย SPSS FOR WINDOWS

****** Method 1 (space saver) will be used for this analysis ******

R E L I A B I L I T Y A N A L Y S I S - S C A L E (A L P H A)

Reliability Coefficients

N of Cases = 30.0 N of Items = 30

Alpha = .62

ตารางที่ 6.4 แสดงการทดสอบการแจกแจงของข้อมูล

Test Statistics

		PRE	POST
Chi-Square	a,b	5.667	4.600
df		9	5
Asymp. Sig.		.773	.467

a. 10 cells (100.0%) have expected frequencies less than 5. The minimum expected cell frequency is 1.5.

b. 6 cells (100.0%) have expected frequencies less than 5. The minimum expected cell frequency is 2.5.

พิจารณาจากค่า Asymp. Sig ที่ค่า PRE = .773 และ POST = .467 แสดงว่ามีค่ามากกว่านัยสำคัญทางสถิติที่ 0.05 ซึ่งหมายถึงข้อมูลที่ได้ มีการแจกแจงเป็นโค้งปกติ จึงใช้สถิติ t – test dependent sample ทำการวิเคราะห์เพื่อทำการเปรียบเทียบผลสัมฤทธิ์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ผลการเปรียบเทียบผลสัมฤทธิ์ของการฝึกอบรม

ขั้นตอนการทดสอบทางสถิติ

1. ตั้งสมมติฐาน

H_0 : $\mu_1 = \mu_2$ คือ ค่าคะแนนเฉลี่ยไม่แตกต่างกัน

H_1 : $\mu_1 > \mu_2$ คือ ค่าคะแนนเฉลี่ยของการทดสอบหลังฝึกอบรม สูงกว่าก่อนฝึกอบรม

2. กำหนดค่านัยสำคัญ (α) = 0.05

3. กำหนดเกณฑ์ที่จะปฏิเสธ Ho

ถ้า $T' > t_{0.05}$ ปฏิเสธ H_0

df = 14 ยอมรับ H_1 ว่า $\mu_1 > \mu_2$

ตารางที่ 6.5 แสดงการคำนวณและเปรียบเทียบ สถิติ t – test dependent sample โดย SPSS FOR WINDOWS

Paired Samples Correlations

		N	Correlation	Sig.
Pair 1	PRE & POST	15	.381	.161

Paired Samples Statistics

		Mean	N	Std. Deviation	Std. Error Mean
Pair 1	PRE	14.8000	15	3.3424	.8630
	POST	24.6000	15	1.5024	.3879

Paired Samples Test

	Paired Differences					t	df	Sig. (2-tailed)
	Mean	Std. Deviation	Std. Error Mean	95% Confidence Interval of the Difference Lower	Upper			
Pair 1 PRE - POS	-9.8000	3.0984	.8000	-11.5158	-8.0842	-12.250	14	.000

พิจารณาจากค่า t = 12.250 ที่คำนวณได้จากโปรแกรม SPSS FOR WINDOWS และในช่องข้อมูลที่ sig(2-tailed) = .000 แสดงว่าข้อมูลที่ได้ทำการเปรียบเทียบมีนัยสำคัญทางสถิติที่ระดับ 0.05 คือ ปฏิเสธ H_0 ยอมรับ H_1 คือ ค่าคะแนนเฉลี่ยของการทดสอบหลังฝึกอบรม สูงกว่าก่อนฝึกอบรมอย่างมีนัยสำคัญทางสถิติที่ 0.05

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ภาคผนวก ค
หนังสือราชการต่างๆ

- บันทึกข้อความขออนุญาตทดลองเครื่องมือและเก็บรวบรวมข้อมูลเพื่อการวิจัย
- ผลการพิจารณาหัวข้อและเค้าโครงวิทยานิพนธ์
- หนังสือเชิญเป็นผู้ทรงวุฒิ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บันทึกข้อความ

เรื่อง ขออนุญาตทดลองเครื่องมือและเก็บรวบรวมข้อมูลเพื่อการวิจัย

เรียน หัวหน้าภาควิชาครุศาสตร์วิศวกรรม คณะครุศาสตร์อุตสาหกรรม สถาบันเทคโนโลยีพระจอมเกล้า เจ้าคุณทหารลาดกระบัง

ตามที่ข้าพเจ้านายทองคำ เกตุโชติ นักศึกษาระดับปริญญาโท คณะครุศาสตร์อุตสาหกรรม สาขาวิชาวิศวกรรมไฟฟ้าสื่อสาร จะทำวิทยานิพนธ์ เรื่อง การพัฒนาหลักสูตรฝึกอบรมการออกแบบวงจรดิจิตอลด้วยภาษา VHDL ขั้นพื้นฐาน และได้รับอนุมัติหัวข้อและเค้าโครงวิทยานิพนธ์แล้วเมื่อวันที่ 20 ธันวาคม 2544 ในการทำวิจัยเรื่องนี้ข้าพเจ้ามีความจำเป็นจะต้องทดลองเครื่องมือและเก็บรวบรวมข้อมูลเพื่อการวิจัยโดยใช้แบบทดสอบ จึงขอความอนุเคราะห์จากท่านโปรดอนุญาตให้ข้าพเจ้านายทองคำ เกตุโชติ ทดลองเครื่องมือและเก็บรวบรวมข้อมูลเพื่อการวิจัยได้ในภาควิชาของท่าน

จึงเรียนมาเพื่อโปรดพิจารณาอนุญาตและขอขอบคุณในความอนุเคราะห์ของท่าน

.....

(นายทองคำ เกตุโชติ)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ประกาศบัณฑิตวิทยาลัย

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

เรื่อง ผลการพิจารณาหัวข้อและเค้าโครงวิทยานิพนธ์

.....

บัณฑิตวิทยาลัย โดยความเห็นชอบของคณะกรรมการพิจารณาหัวข้อและเค้าโครงวิทยานิพนธ์ คณะครุศาสตร์อุตสาหกรรม ขอประกาศรายชื่อหัวข้อและเค้าโครงวิทยานิพนธ์ หลักสูตรครุศาสตร์อุตสาหกรรมมหาบัณฑิต สาขาวิชาวิศวกรรมไฟฟ้าสื่อสาร ที่ได้รับอนุมัติให้ดำเนินการดังนี้

นายทองคำ เกตุโชติ รหัสประจำตัว 42064619 ให้ทำวิทยานิพนธ์เรื่อง "การพัฒนาหลักสูตรฝึกอบรมการออกแบบวงจรดิจิตอลด้วยภาษา VHDL ขั้นพื้นฐาน (THE DEVELOPMENT OF A TRANING CURRICULUM ON THE VHDL BASE COURES PROGRAM)" โดยมี ผศ.วิสุทธิ์ อธิพรธรรม เป็นอาจารย์ผู้ควบคุมวิทยานิพนธ์ อ.กิติพงค์ มะโน เป็นอาจารย์ผู้ควบคุมวิทยานิพนธ์ร่วม

ซึ่งได้รับอนุมัติเมื่อวันที่ 20 ธันวาคม 2544

ทั้งนี้ให้นักศึกษาค้นคว้าและเขียนวิทยานิพนธ์ โดยปรึกษากับอาจารย์ผู้ควบคุมวิทยานิพนธ์ ให้เสร็จสิ้นภายในเวลาที่กำหนดในระเบียบของบัณฑิตวิทยาลัย

ประกาศ ณ วันที่ 11 มกราคม พ.ศ.2545

(ผู้ช่วยศาสตราจารย์ ร้อยเอก วีระเชษฐ์ ขันเงิน)

รองคณบดีฝ่ายวิชาการ

ปฏิบัติราชการแทนคณบดีบัณฑิตวิทยาลัย

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บันทึกข้อความ

ส่วนราชการ คณะครุศาสตร์อุตสาหกรรม หน่วยบัณฑิตศึกษา งานทะเบียน โทร. 3692

ที่ ทม 1504/ 0631 **วันที่** 19 กุมภาพันธ์ 2546

เรื่อง ขอเชิญเป็นผู้ทรงคุณวุฒิตรวจเครื่องมือการวิจัย

เรียน ผศ.ธีรวัฒน์ ประกอบผล

ด้วย นายทองคำ เกตุโชติ นักศึกษาระดับปริญญาโท สาขาวิชาวิศวกรรมไฟฟ้าสื่อสาร จะทำวิทยานิพนธ์ เรื่อง "การพัฒนาหลักสูตรฝึกอบรมการออกแบบวงจรดิจิตอลด้านภาษา VHDL ขั้นพื้นฐาน" คณะครุศาสตร์อุตสาหกรรมพิจารณาแล้วเห็นว่าท่านเป็นผู้มีความรู้ความสามารถเกี่ยวกับเรื่องดังกล่าวเป็นอย่างดี จึงขอเชิญท่านเป็นผู้ทรงคุณวุฒิตรวจเครื่องมือการวิจัยว่ามีเนื้อหาถูกต้องและเหมาะสมมากน้อยเพียงใด ซึ่งผลการตรวจของท่านจะช่วยให้การเก็บรวบรวมข้อมูลของ นายทองคำ เกตุโชติ มีความสมบูรณ์ยิ่งขึ้น พร้อมกันนี้ได้แนบแบบสอบถาม เพื่อการวิจัย จำนวน 1 ชุด

จึงเรียนมาเพื่อโปรดทราบและหวังว่าจะได้รับความอนุเคราะห์ด้วยดีและขอบคุณเป็นอย่างยิ่งมา ณ โอกาสนี้ด้วย

(นายณรงค์ พิมสาร)
รองคณบดีฝ่ายบัณฑิตศึกษา
ปฏิบัติราชการแทนคณบดี

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บันทึกข้อความ

ส่วนราชการ คณะครุศาสตร์อุตสาหกรรม หน่วยบัณฑิตศึกษา งานทะเบียน โทร. 3692

ที่ ทม 1504/ 0631 **วันที่** 14 กุมภาพันธ์ 2546

เรื่อง ขอเชิญเป็นผู้ทรงคุณวุฒิตรวจเครื่องมือการวิจัย

เรียน ดร.สุรสิทธิ์ ราตรี

ด้วย นายทองคำ เกตุโชติ นักศึกษาระดับปริญญาโท สาขาวิชาวิศวกรรมไฟฟ้าสื่อสาร จะทำวิทยานิพนธ์ เรื่อง "การพัฒนาหลักสูตรฝึกอบรมการออกแบบวงจรดิจิตอลด้านภาษา VHDL ขั้นพื้นฐาน" คณะครุศาสตร์อุตสาหกรรมพิจารณาแล้วเห็นว่าท่านเป็นผู้มีความรู้ความสามารถเกี่ยวกับเรื่องดังกล่าวเป็นอย่างดี จึงขอเชิญท่านเป็นผู้ทรงคุณวุฒิตรวจเครื่องมือการวิจัยว่ามีเนื้อหาถูกต้องและเหมาะสมมากน้อยเพียงใด ซึ่งผลการตรวจของท่านจะช่วยให้การเก็บรวบรวมข้อมูลของ นายทองคำ เกตุโชติ มีความสมบูรณ์ยิ่งขึ้น พร้อมกันนี้ได้แนบแบบสอบถาม เพื่อการวิจัย จำนวน 1 ชุด

จึงเรียนมาเพื่อโปรดทราบและหวังว่าจะได้รับความอนุเคราะห์ด้วยดีและขอบคุณเป็นอย่างยิ่งมา ณ โอกาสนี้ด้วย

(นายณรงค์ พิมสาร)
รองคณบดีฝ่ายบัณฑิตศึกษา
ปฏิบัติราชการแทนคณบดี

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ที่ ทม 1504 / 0631

คณะครุศาสตร์อุตสาหกรรม
สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง
ถนนฉลองกรุง เขตลาดกระบัง กรุงเทพฯ 10520

19 กุมภาพันธ์ 2546

เรื่อง ขอเชิญเป็นผู้ทรงคุณวุฒิตรวจเครื่องมือการวิจัย

เรียน ดร.นวลปภัสร์ แผ้วสกุล

สิ่งที่ส่งมาด้วย แบบสอบถาม เพื่อการวิจัย จำนวน 1 ชุด

ด้วย นายทองคำ เกตุโชติ นักศึกษาระดับปริญญาโท สาขาวิชาวิศวกรรมไฟฟ้าสื่อสาร จะทำวิทยานิพนธ์ เรื่อง "การพัฒนาหลักสูตรฝึกอบรมการออกแบบวงจรดิจิตอลด้านภาษา VHDL ขั้นพื้นฐาน"

คณะครุศาสตร์อุตสาหกรรมพิจารณาแล้วเห็นว่าท่านเป็นผู้มีความรู้ความสามารถเกี่ยวกับเรื่องดังกล่าวเป็นอย่างดียิ่ง จึงขอเชิญท่านเป็นผู้ทรงคุณวุฒิตรวจเครื่องมือการวิจัยดังที่แนบมาพร้อมนี้ว่ามีเนื้อหาถูกต้องและเหมาะสมมากน้อยเพียงใด ซึ่งผลการตรวจของท่านจะช่วยให้การเก็บรวบรวมข้อมูลของ นายทองคำ เกตุโชติ มีความสมบูรณ์ยิ่งขึ้น

จึงเรียนมาเพื่อโปรดทราบและหวังว่าจะได้รับความอนุเคราะห์จากท่านด้วยดีและขอขอบคุณเป็นอย่างยิ่งมา ณ โอกาสนี้ด้วย

ขอแสดงความนับถือ

(นายณรงค์ พิมสาร)
รองคณบดีฝ่ายบัณฑิตศึกษา
ปฏิบัติราชการแทนคณบดี

หน่วยบัณฑิตศึกษา
โทร. 737-3000 ต่อ 3692
โทรสาร. 3264325

เอกสารนี้สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า การแสวงหากำไร อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ที่ ทม 1504 / 0631

คณะครุศาสตร์อุตสาหกรรม
สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง
ถนนฉลองกรุง เขตลาดกระบัง กรุงเทพฯ 10520

19 กุมภาพันธ์ 2546

เรื่อง ขอเชิญเป็นผู้ทรงคุณวุฒิตรวจเครื่องมือการวิจัย

เรียน อาจารย์สมพร ผลประพฤติ

สิ่งที่ส่งมาด้วย แบบสอบถาม เพื่อการวิจัย จำนวน 1 ชุด

ด้วย นายทองคำ เกตุโชติ นักศึกษาระดับปริญญาโท สาขาวิชาวิศวกรรมไฟฟ้าสื่อสาร จะทำวิทยานิพนธ์ เรื่อง "การพัฒนาหลักสูตรฝึกอบรมการออกแบบวงจรดิจิตอลด้านภาษา VHDL ขั้นพื้นฐาน"

คณะครุศาสตร์อุตสาหกรรมพิจารณาแล้วเห็นว่าท่านเป็นผู้มีความรู้ความสามารถเกี่ยวกับเรื่องดังกล่าวเป็นอย่างดียิ่ง จึงขอเชิญท่านเป็นผู้ทรงคุณวุฒิตรวจเครื่องมือการวิจัยดังที่แนบมาพร้อมนี้ว่ามีเนื้อหาถูกต้องและเหมาะสมมากน้อยเพียงใด ซึ่งผลการตรวจของท่านจะช่วยให้การเก็บรวบรวมข้อมูลของ นายทองคำ เกตุโชติ มีความสมบูรณ์ยิ่งขึ้น

จึงเรียนมาเพื่อโปรดทราบและหวังว่าจะได้รับความอนุเคราะห์จากท่านด้วยดีและขอขอบคุณเป็นอย่างยิ่งมา ณ โอกาสนี้ด้วย

ขอแสดงความนับถือ

(นายณรงค์ พิมสาร)
รองคณบดีฝ่ายบัณฑิตศึกษา
ปฏิบัติราชการแทนคณบดี

หน่วยบัณฑิตศึกษา
โทร. 737-3000 ต่อ 3692
โทรสาร. 3264325

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ที่ ทม 1504 / 0631

คณะครุศาสตร์อุตสาหกรรม
สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง
ถนนฉลองกรุง เขตลาดกระบัง กรุงเทพฯ 10520

19 กุมภาพันธ์ 2546

เรื่อง ขอเชิญเป็นผู้ทรงคุณวุฒิตรวจเครื่องมือการวิจัย

เรียน อาจารย์เอื้อ จานทอง

สิ่งที่ส่งมาด้วย แบบสอบถาม เพื่อการวิจัย จำนวน 1 ชุด

ด้วย นายทองคำ เกตุโชติ นักศึกษาระดับปริญญาโท สาขาวิชาวิศวกรรมไฟฟ้าสื่อสาร จะทำวิทยานิพนธ์ เรื่อง "การพัฒนาหลักสูตรฝึกอบรมการออกแบบวงจรดิจิตอลด้านภาษา VHDL ขั้นพื้นฐาน"

คณะครุศาสตร์อุตสาหกรรมพิจารณาแล้วเห็นว่าท่านเป็นผู้มีความรู้ความสามารถเกี่ยวกับเรื่องดังกล่าวเป็นอย่างดียิ่ง จึงขอเชิญท่านเป็นผู้ทรงคุณวุฒิตรวจเครื่องมือการวิจัยดังที่แนบมาพร้อมนี้ว่ามีเนื้อหาถูกต้องและเหมาะสมมากน้อยเพียงใด ซึ่งผลการตรวจของท่านจะช่วยให้การเก็บรวบรวมข้อมูลของ นายทองคำ เกตุโชติ มีความสมบูรณ์ยิ่งขึ้น

จึงเรียนมาเพื่อโปรดทราบและหวังว่าจะได้รับความอนุเคราะห์จากท่านด้วยดีและขอขอบคุณเป็นอย่างยิ่งมา ณ โอกาสนี้ด้วย

ขอแสดงความนับถือ

(นายณรงค์ พิมสาร)
รองคณบดีฝ่ายบัณฑิตศึกษา
ปฏิบัติราชการแทนคณบดี

หน่วยบัณฑิตศึกษา
โทร. 737-3000 ต่อ 3692
โทรสาร. 3264325

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ภาคผนวก ง

รายนามผู้ทรงคุณวุฒิ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รายนามผู้ทรงคุณวุฒิ

1. ผศ.ธีรวัฒน์ ประกอบผล	ตำแหน่งผู้ช่วยศาสตราจารย์ประจำภาควิชาฟิสิกส์ คณะวิทยาศาสตร์ สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง
2. ดร. สุรสิทธิ์ ราตรี	อาจารย์ประจำภาควิชาครุศาสตร์วิศวกรรม คณะครุศาสตร์อุตสาหกรรม สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง
3. ดร. นวลปภัสร์ แผ้วสกุล	ตำแหน่งศึกษานิเทศก์ 8 หน่วยศึกษานิเทศ กรมสามัญศึกษา เขตการศึกษา 12 จังหวัดชลบุรี ผู้เชี่ยวชาญด้านการศึกษา การวิจัยทางการศึกษา และงานนิเทศการศึกษา
4. อาจารย์สมพร ผลประพฤติ	ตำแหน่งอาจารย์ 2 ระดับ 8 แผนกอิเล็กทรอนิกส์ วิทยาลัยเทคนิคจันทบุรี
5. อาจารย์เอื้อ จานทอง	ตำแหน่งศึกษานิเทศก์ 7 หน่วยศึกษานิเทศ กรมสามัญศึกษา เขตการศึกษา 12 จังหวัดชลบุรี ผู้เชี่ยวชาญทางด้านการจัดการฝึกอบรม การวิจัยทางการศึกษา

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ประวัติผู้เขียน

ชื่อ-นามสกุล	นายทองคำ เกตุโชติ
วัน เดือน ปีเกิด	21 พฤษภาคม 2515
สถานที่อยู่ปัจจุบัน	72/13 ถ.พิศาลธีรคุณ ต.จันทนิมิต อ.เมือง จ.จันทบุรี 22000
ประวัติการศึกษา	พ.ศ. 2534 สำเร็จการศึกษาระดับ ปวช. สาขาวิชาช่าง อิเล็กทรอนิกส์จากวิทยาลัยเทคนิคจันทบุรี
	พ.ศ. 2536 สำเร็จการศึกษาระดับ ปวส. สาขาวิชาช่าง อิเล็กทรอนิกส์จากวิทยาลัยเทคนิคจันทบุรี
	พ.ศ. 2539 สำเร็จการศึกษาระดับปริญญาตรีครุศาสตร์อุตสาหกรรม บัณฑิตสาขาวิชาอิเล็กทรอนิกส์และคอมพิวเตอร์ จาก สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง
	พ.ศ. 2546 สำเร็จการศึกษาระดับปริญญาโทครุศาสตร์อุตสาหกรรม มหาบัณฑิตสาขาวิชาวิศวกรรมไฟฟ้าสื่อสาร จาก สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้