สำนักหอสมุดกลาง พระจอมเกล้าลาดกระบัง

การส่งสัญญาณแบบ QPSK
QUADRATURE PHASE SHIFT KEYING

T037137

โดย

นายสุดภักดี อรุณ

นายณรงค์กร สีจันทร์

ปริญญานิพนธ์นี้เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรปริญญาวิศวกรรมศาสตรบัณฑิต

สาขาวิชาวิศวกรรมโทรคมนาคม

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

ปีการศึกษา 2542

เลขหมู่.....
เลขทะเบียน 37137
วัน, เดือน, ปี - 4 ก.ย. 2543

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การส่งสัญญาณแบบ QPSK
QUADRATURE PHASE SHIFT KEYING

โดย

นายสุดภักดี อรุณ 40013030

นายณรงค์กร สีจันทร์ 40013048

อาจารย์ที่ปรึกษา

รศ.ณรงค์ เหมกรณ์

ปริญญานิพนธ์นี้เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรปริญญาวิศวกรรมศาสตรบัณฑิต

สาขาวิชาวิศวกรรมโทรคมนาคม

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

ปีการศึกษา 2542

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ปริญญานิพนธ์ปีการศึกษา 2542

ภาควิชาวิศวกรรมโทรคมนาคม

คณะวิศวกรรมศาสตร์ สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

เรื่อง **การส่งสัญญาณแบบ QPSK**

QUADRATURE PHASE SHIFT KEYING

ผู้จัดทำ

1.นายสุดภักดี อรุณ 40013030

2.นายณรงค์กร สีจันทร์ 40013048

อาจารย์ที่ปรึกษา

(รศ.ณรงค์ เหมกรณ์)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การส่งสัญญาณแบบ QPSK
QUADRATURE PHASE SHIFT KEYING

โดย นายสุดภักดี อรุณ 40013030
นายณรงค์กร สีจันทร์ 40013048

อาจารย์ที่ปรึกษา รศ.ณรงค์ เหมกรณ์

บทคัดย่อ

โครงงานนี้เสนอเทคนิคการรับส่งข้อมูลดิจิตอลโดย การมอดูเลตทางเฟส แบบ Quadrature Phase Shift Keying โดยการส่งสัญญาณไปตามสายโคแอคเชียล (Coaxial Cable) โดยทางภาคส่งจะทำการมอดูเลตแบบดิจิตอลสัญญาณข้อมูล 64 กิโลบิทต่อวินาที จะถูกมอดูเลต กับ สัญญาณคลื่นพาห์ความถี่ 512 กิโลเฮิตร์ซ และใช้สัญญาณนำร่อง ความถี่ 256 กิโลเฮิตร์ซ ส่วนทางภาครับ จะทำการดีมอดูเลตและถอดรหัสเพื่อให้ได้สัญญาณข้อมูลกลับออกมา ข้อดีของการมอดูเลตแบบ QPSK สัญญาณจะมีความถี่เพียงความถี่เดียวและไม่มีส่วนประกอบของไฟกระแสตรง นอกจากนี้สัญญาณ QPSK ยังง่ายต่อการดีมอดูเลต และการกู้สัญญาณนาฬิกา ดังนั้นจึงนิยมใช้ในการสื่อสารระยะไกล เช่น ในระบบไมโครเวฟ และ การสื่อสารดาวเทียม

ABSTRACT

This project is proposed, transmitted and received using Quadrature Phase Shift Keying. The data will be transmitted via coaxial cable. In the transmitter the signals differ by phase shift and the receiver must be demodulate and decode the data. In this project used 64 kbps data stream modulated with 512 kHz carrier signal and used 256 kHz pilot signals. The advantage of QPSK is the signals have a single frequency, no DC component, easy to demodulate and clock recovery.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญ

		หน้า
บทที่ 1	บทนำ	1
บทที่ 2	ทฤษฎีที่เกี่ยวข้อง	2
	2.1 การมอดูเลตทางเฟส	2
	2.2 Quardrature Phase Shift keying (QPSK)	4
	2.3 ประสิทธิภาพของแถบความถี่	6
	2.4 ความน่าจะเป็นของการเกิดข้อผิดพลาด และอัตราผิดพลาดในแต่ละบิท	7
	2.5 ค่าความถี่ผิดพลาดในการส่งข้อมูลแบบ QPSK	9
	2.6 วงจรบาลานซ์มอดูเลเตอร์	10
	2.7 วงจรกรองความถี่ผ่านแบบแอคทีฟ	10
	2.8 เฟสล็อคลูป	14
บทที่ 3	การออกแแบวงจรภาคส่งและภาครับ	17
	3.1 การออกแบบทางภาคส่ง	17
	3.1.1 วงจรแยกสัญญาณดิจิตอล	18
	3.1.2 วงจรแปลง 1 บิท เป็น 2 ระดับ	19
	3.1.3 วงจรบาลานซ์มอดูเลเตอร์	19
	3.1.4 วงจรเลื่อนเฟส 90 องศา	20
	3.1.5 วงจรกำเนิดสัญญาณคลื่นพาห์ 512 kHz	21
	3.1.6 วงจรกำเนิดสัญญาณนำร่อง	22
	3.1.7 วงจรกรองช่วงความถี่	22
	3.1.8 วงจรรวมสัญญาณ	23
	3.2 การออกแบบทางภาครับ	24
	3.2.1 วงจรกรองความถี่พาห์	25
	3.2.2 วงจรกรองความถี่ช่วงความถี่สัญญาณนำร่อง	26
	3.2.3 วงจรกู้สัญญาณนาฬิกา	26
	3.2.4 วงจรกู้สัญญาณพาห์	27
	3.2.5 วงจรเลื่อนเฟส 90 องศา	27
	3.2.6 วงจรบาลานซ์มอดูเลต	28
	3.2.7 วงจรกรองความถี่ต่ำผ่าน	29
	3.2.8 วงจรแปลงสัญญาณ 2 ระดับ เป็น 1 บิท	30
	3.2.9 วงจรรวมสัญญาณดิจิตอล	31

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญ (ต่อ)

		หน้า
บทที่ 4	ผลการทดลอง	33
	4.1 เครื่องส่ง	33
	4.2 เครื่องรับ	40
บทที่ 5	สรุปและวิจารณ์ผลการทดลอง	47
	5.1 เครื่องส่ง	47
	5.2 เครื่องรับ	48
ภาคผนวก		
	รายละเอียดโครงสร้างไอซี เบอร์ที่สำคัญ	
	กิตติกรรมประกาศ	
	เอกสารอ้างอิง	

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญรูปภาพ

		หน้า
รูปที่ 2.1	รูปคลื่นสัญญาณของ BPSK	3
รูปที่ 2.2	Constellation Diagram ของ BPSK	3
รูปที่ 2.3	Power Spectral density สำหรับ BPSK	4
รูปที่ 2.4	แผนผังการทำงานทางภาคส่ง ของ QPSK	4
รูปที่ 2.5	แผนผังการทำงานทางภาครับ ของ QPSK	5
รูปที่ 2.6	Phase Constellation different สำหรับ QPSK	6
รูปที่ 2.7	One Possible di-bit Phase Constellation different สำหรับ QPSK	6
รูปที่ 2.8	QPSK error region	9
รูปที่ 2.9	วงจรบาลานซ์มอดูเลชั่น	10
รูปที่ 2.10	วงจรกรองความถี่ในอุดมคติ	12
รูปที่ 2.11	วงจรกรองความถี่ที่มีผลตอบสนองใกล้เคียงทฤษฎี	13
รูปที่ 2.12	วงจรทุกแถบความถี่ผ่านหรือวงจรเลื่อนเฟส	13
รูปที่ 2.13	แสดงการเปรียบเทียบสัญญาณระหว่างอินพุทและเอ้าท์พุท	14
รูปที่ 2.14	แผนผังการทำงานของวงจรเฟสล็อคลูป	15
รูปที่ 2.15	คุณลักษณะระหว่างความถี่กับ V_c ของเฟสล็อคลูป	16
รูปที่ 3.1	แผนผังการทำงานทางภาคส่ง	17
รูปที่ 3.2	แผนผังการทำงานของ PLL 1 ทางภาคส่ง	17
รูปที่ 3.3	แผนผังการทำงานของ PLL 2 ทางภาคส่ง	18
รูปที่ 3.4	วงจรแยกสัญญาณดิจิตอล	18
รูปที่ 3.5	วงจรแปลงสัญญาณ 1 บิท เป็น 2 ระดับ	19
รูปที่ 3.6	วงจรมอดูเลต	20
รูปที่ 3.7	วงจรเลื่อนเฟส 90 องศา	20
รูปที่ 3.8	วงจรสร้างสัญญาณพาห์ 512 kHz	21
รูปที่ 3.9	วงจรสร้างสัญญาณนำร่อง	22
รูปที่ 3.10	วงจรกรองช่วงความถี่ผ่าน ป้อนกลับแบบบวก	23
รูปที่ 3.11	วงจรรวมสัญญาณ	23
รูปที่ 3.12	แผนผังการทำงานทางภาครับ	24
รูปที่ 3.13	แผนผังการทำงานของ PLL 1 ทางภาครับ	25
รูปที่ 3.14	แผนผังการทำงานของ PLL 2 ทางภาครับ	25
รูปที่ 3.15	วงจรกรองความถี่พาห์	25

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญรูปภาพ(ต่อ)

		หน้า
รูปที่ 3.16	วงจรกรองความถี่สัญญาณนำร่อง	26
รูปที่ 3.17	วงจรกู้สัญญาณนาฬิกา	27
รูปที่ 3.18	วงจรกู้สัญญาณพาห์	27
รูปที่ 3.19	วงจรเลื่อนเฟส 90 องศา	28
รูปที่ 3.20	วงจรดีมอดูเลเตอร์	28
รูปที่ 3.21	วงจรโครงสร้างภายใน ของ MAX 274 ใน 1 ส่วน	29
รูปที่ 3.22	วงจรกรองความถี่ต่ำแบบ กำลังสี่	30
รูปที่ 3.23	วงจรเปรียบเทียบสัญญาณ	31
รูปที่ 3.24	วงจรรวมสัญญาณดิจิตอล	32
รูปที่ 4.1.1	สัญญาณนาฬิกาที่สร้างขึ้น	33
รูปที่ 4.1.2	สัญญาณนาฬิกาเปรียบเทียบกับข้อมูลที่ส่ง 10110100	33
รูปที่ 4.1.3	สัญญาณข้อมูลที่ถูกแยกเป็นช่อง I และ Q เปรียบเทียบกับสัญญาณนาฬิกา	34
รูปที่ 4.1.4	สัญญาณ I และ Q ที่เปลี่ยนเป็นรหัสเกรย์แล้วเปรียบเทียบกับสัญญาณนาฬิกา	34
รูปที่ 4.1.5	สัญญาณ I' และ Q' ที่ทำการปรับระดับแล้ว	35
รูปที่ 4.1.6	สัญญาณจากวงจรกำเนิดสัญญาณนาฬิกาเปรียบเทียบกับสัญญาณนำร่อง	35
รูปที่4.1.7(ก)	สัญญาณคลื่นพาห์ที่ได้จากวงจรกรองช่วงความถี่ผ่านเปรียบเทียบกับสัญญาณที่ทำการเลื่อนเฟส 90 องศา	36
รูปที่4.1.7(ข)	แสดงการเปรียบเทียบสัญญาณคลื่นพาห์ทั้งสองใน X-Y Mode	36
รูปที่4.1.8(ก)	เปรียบเทียบสัญญาณช่อง I และ I'	37
รูปที่4.1.8(ข)	เปรียบเทียบสัญญาณช่อง Q และ Q'	37
รูปที่4.1.8(ค)	เปรียบเทียบสัญญาณช่อง I (I Channel) และช่อง Q(Q Channal)	38
รูปที่4.1.9(ก)	สเปกตรัมของสัญญาณช่อง I รวมกับช่อง Q	38
รูปที่4.1.9(ข)	สัญญาณ QPSK	39
รูปที่4.1.9(ค)	เปรียบเทียบสัญญาณ QPSK กับสัญญาณพาห์ใน X-Y Mode	39
รูปที่4.1.9(ง)	สเปกตรัมของ QPSK	40
รูปที่ 4.2.1	สัญญาณที่ทางภาครับ รับได้	40
รูปที่ 4.2.2	รูปสัญญาณนาฬิกาที่กู้ได้เปรียบกับทางภาคส่ง	41
รูปที่4.2.3(ก)	สัญญาณพาห์ที่กู้ได้แล้วผ่านวงจรเลื่อนเฟสไป 90 องศา	41
รูปที่4.2.3(ข)	สัญญาณพาห์ที่กู้ได้เปรียบเทียบกับสัญญาณที่เลื่อนเฟส 90 องศาใน X-Y Mode	42
รูปที่4.2.4(ก)	สัญญาณเอ้าท์พุทที่ได้จากวงจรดีมอดูเลตเปรียบเทียบกับสัญญาณช่อง I	42

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญรูปภาพ(ต่อ)

		หน้า
รูปที่4.2.4(ข)	สัญญาณเอ้าท์พุทที่ได้จากวงจรดีมอดูเลตเปรียบเทียบกับสัญญาณช่อง Q	43
รูปที่4.2.5(ก)	สัญญาณที่ผ่านวงจรเปรียบเทียบสัญญาณในช่อง I เปรียบเทียบกับทางภาคส่ง	43
รูปที่4.2.5(ข)	สัญญาณที่ผ่านวงจรเปรียบเทียบสัญญาณในช่อง Q เปรียบเทียบกับทางภาคส่ง	44
รูปที่4.2.5(ค)	เปรียบเทียบสัญญาณช่อง I และ Q	44
รูปที่4.2.6(ก)	สัญญาณ I และ Q ที่ถูกเปลี่ยนเป็นรหัสไบนารีเปรียบเทียบสัญญาณนาฬิกา	45
รูปที่4.2.6(ข)	สัญญาณนาฬิกาที่ถูกหารสอง	45
รูปที่4.2.6(ค)	สัญญาณข้อมูลช่อง I และ Q เปรียบเทียบกับสัญญาณนาฬิกาหารสอง	46
รูปที่ 4.2.7	สัญญาณข้อมูลทางภาครับเปรียบเทียบกับทางภาคส่ง	46

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญตาราง

	หน้า
ตาราง 2.1 ตารางการเปรียบเทียบแบนด์วิธต่ำสุดที่ใช้	7
ตาราง 3.1 การแปลงรหัสไบนารีเป็นรหัสเกรย์	18
ตาราง 3.2 การแปลงสัญญาณ 1 บิท เป็น 2 บิท	19
ตาราง 3.3 ระดับที่ สัญญาณ 2 ระดับ	31

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 1

บทนำ

ในปัจจุบันการสื่อสารแบบดิจิตอล (Digital Communication System) ได้เข้ามามีบทบาทมาก เนื่องจากการสื่อสารแบบอนาลอก (Analog Communication System) มีข้อเสียอยู่หลายประการ อาทิเช่น มีภูมิคุ้มกันสัญญาณรบกวน (noise) ต่ำ ซึ่งเหตุนี้เองเป็นผลให้ระบบการสื่อสารแบบดิจิตอลที่ให้ความถูกต้องและแม่นยำกว่า เข้ามามีบทบาท

การสื่อสารแบบดิจิตอล เข้ามามีบทบาทในระบบโทรศัพท์ , ระบบสื่อสารผ่านดาวเทียมภาคพื้นดิน หรือระบบสื่อสารดาวเทียมอวกาศ รูปแบบการมอดูเลชั่น (Modulation) ในระบบดิจิตอลมากมาย อาทิเช่น FSK , PSK , BPSK , QPSK , 8-PSK , QAM , 16-QAM ฯลฯ ในโครงงานนี้เลือกศึกษารูปแบบการมอดูเลตแบบ QPSK (Quadrature Phase Shift Keying) ซึ่งมีการเปลี่ยนแปลงของคลื่นพาห์ทางเฟสรวม 4 ตำแหน่งในการมอดูเลต ขอบเขตของโครงการนี้มี 2 ส่วนคือ หนึ่งส่วนภาคส่ง และสองส่วนภาครับ

ภาคส่ง (Transmitter)

1. วงจรแปลงจากอนุกรมเป็นขนาน (Serial to Parallel)
2. วงจรแปลงจากหนึ่งบิทเป็นสองระดับ (1 Bit to 2 Level)
3. วงจรเฟสล็อคลูป (Phase Lock Loop)
4. วงจรกรองความถี่ช่วงผ่าน (Band Pass Filter)
5. วงจรเลื่อนเฟส 90 องศา (Phase Shift 90 degree)
6. วงจรบาลานซ์มอดูเลเตอร์ (Balance Modulator)
7. วงจรรวมสัญญาณ (Summing Amplifier)

ภาครับ (Receiver)

1. วงจรกรองความถี่ช่วงผ่าน (Band Pass Filter)
2. วงจรเฟสล็อคลูป (Phase Lock Loop)
3. วงจรกู้สัญญาณพาห์ (Carrier Recovery)
4. วงจรกู้สัญญาณนาฬิกา (Clock Recovery)
5. วงจรเลื่อนเฟส 90 องศา (Phase Shift 90 degree)
6. วงจรบาลานซ์มอดูเลเตอร์ (Balance Modulator)
7. วงจรกรองความถี่ต่ำผ่าน (Low Pass Filter)
8. วงจรแปลงจากสองระดับเป็นหนึ่งบิท (2 Level to 1 Bit)
9. วงจรแปลงจากขนานเป็นอนุกรม (Parallel to Serial)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 2
ทฤษฎีที่เกี่ยวข้อง

2.1 การมอดูเลตทางเฟส (Phase Shift Keying : PSK)

โดยทั่วไปการมอดูเลตทางเฟส สัญญาณจะอยู่ในรูปของ S(t) โดย

$S(t) = A\cos[\phi(t)]$; $\phi(t)$ คือค่าเฟสช่วงขณะ (Instantaneous Phase)

โดยที่ $\phi(t) = 2\pi [f_c t + k_p S_b(t)]$

ดังนั้น $S(t) = A\cos\ 2\pi[f_c t + kp\ S_b(t)]$

พิจารณา สัญญาณไบนารีเฟสชิฟคีอิ้ง (Binary Phase Shift Keying :BPSK)เนื่องจากค่า $\phi(t)$ ต้องเปลี่ยนแปลงตามสัญญาณเบสแบนด์ หรือสัญญาณข้อมูล ใน BPSK สัญญาณคลื่นพาห์จะมีความถี่คงที่แต่เฟสจะเปลี่ยนแปลง โดยที่สัญญาณ BPSK นั้น จะมีการเปลี่ยนแปลง คือโลจิก 0 และ 1

ถ้า $S_0(t)$ คือ สัญญาณเมื่อระดับโลจิก เป็น 0

$S_1(t)$ คือ สัญญาณเมื่อระดับโลจิก เป็น 1

$S_0(t) = A\cos(2\pi f_c t + \theta_0)$; θ_0 คือ เฟสเมื่อระดับโลจิกเป็น 0

$S_1(t) = A\cos(2\pi f_c t + \theta_1)$; θ_1 คือ เฟสเมื่อระดับโลจิกเป็น 1

แต่ θ มีค่าคงที่ ดังนั้น

$$S_{i(t)} = A\cos(2\pi f_c t + \Delta\theta\, d_i(t)) \text{ ; i คือ 0 และ1} \quad \ldots\ldots(2.1)$$

โดยที่ $\Delta\theta$: ค่าความเบี่ยงเบนทางเฟส หรือค่าดัชนีการมอดูเลต

(Phase deviation or Modulation Index)

d_i : ลำดับของข้อมูล มีค่า +1 และ -1

จากสมการ 2.1

$$S_i(t) = A\cos(2\pi f_c t)\cos(\Delta\theta d_i(t)) - A\sin(2\pi f_c t)\cos(\Delta\theta d_i(t)) \quad \ldots\ldots(2.2)$$

จะเห็นว่า $\cos(\Delta\theta d_i(t)) = \cos\Delta\theta$; $d_i(t)$ คือ +1,-1

และ $\sin(\Delta\theta d_i(t)) = -d_i(t)\sin\Delta\theta$; $d_i(t)$ คือ +1,-1

ดังนั้นจาก 2.2

$$\therefore S_i(t) = A\cos(\Delta\theta)\cos(2\pi f_c t) - Ad_i(t)\cos(\Delta\theta)\sin(2\pi f_c t) \quad \ldots\ldots(2.3)$$

จากสมการ 2.3 จะเห็นได้ว่าสัญญาณเกิดจากส่วนประกอบ 2 เทอม คือ

1.ในเทอมแรกเป็นส่วนของ สัญญาณคลื่นพาห์ โดยมีกำลังงาน (P_C) คือ

$$P_C = A^2\cos^2(\Delta\theta)/2 \quad \ldots\ldots(2.4)$$

2.เทอมที่สองคือ ส่วนของสัญญาณข้อมูลโดยมีกำลังงาน (P_d) คือ

$$P_d = A^2\sin^2(\Delta\theta)/2 \quad \ldots\ldots(2.5)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ดังนั้นพลังงานรวม (P_t) คือ

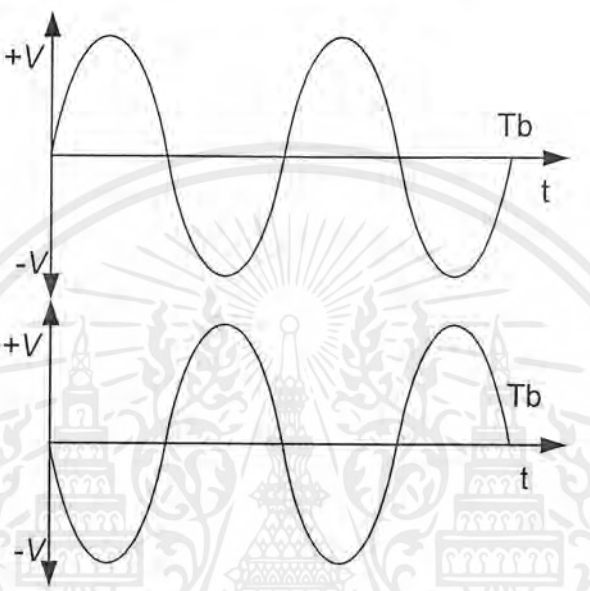
$$P_t = P_c + P_d = \frac{A^2}{2}$$

จากสมการที่ 2.4 และ 2.5 จะเห็นได้ว่า พลังงานบางส่วนจะใช้ในการส่งสัญญาณคลื่นพาห์

ถ้าให้ $\Delta\theta = \pi/2$ แล้ว

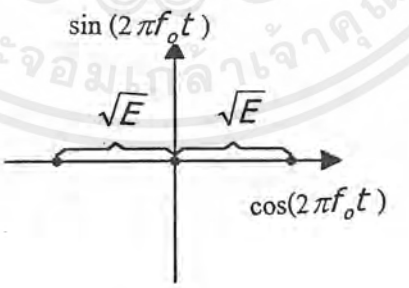
$$S_i = Ad_j(t)\ \mathrm{Cos}\ (2\pi f_c t)$$

นั่นคือจะไม่มีสัญญาณคลื่นพาห์ (Suppress Carrier) ดังรูป ที่ 2.1



รูปที่ 2.1 รูปคลื่นสัญญาณ ของ BPSK

เรามักจะเขียนให้อยู่ในรูปของคอนสแทลเลชั่น ไดอะแกรม (Constellation Signal or Signal Space) ดังรูปที่ 2.2



รูปที่ 2.2 Constellation Diagram ของ BPSK

พลังงานรวมของสัญญาณคือ $= A^2/2$

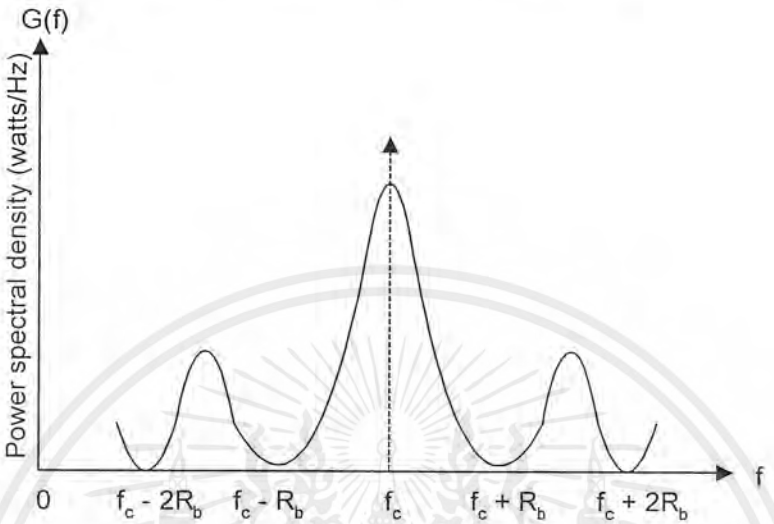
ดังนั้นพลังงานต่อหนึ่งหน่วยบิท มีค่า $= A^2Tb/2$

เมื่อ Tb คือคาบ เวลาของข้อมูลหนึ่งหน่วยบิทข้อมูล

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากรูป 2.2 ระยะทางระหว่างจุดทั้งสอง $= 2\sqrt{E} = 2\sqrt{A^2Tb/2}$

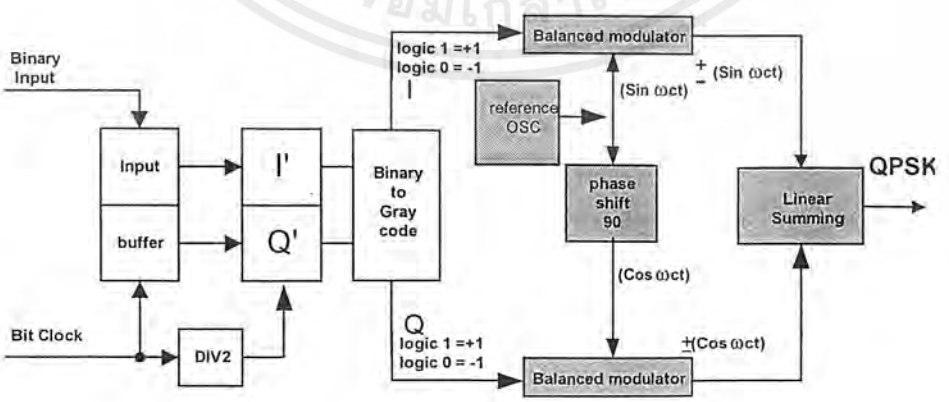
สัญญาณ BPSK แบบไม่มีคลื่นพาห์ (Suppressed Carrier BPSK) จะมีสเปกตรัม(Spectrum) ดังรูปที่ 2.3 โดยที่สเปกตรัมแรกจะเกิดที่ระยะ เท่ากับ บิทเรท (Bit rate : Rb) ดังนั้น ค่าแบนด์วิธในงาน (Nominal bandwidth) ของ BPSK จะมีค่าเป็นสองเท่าของ บิทเรท (Rb)



รูปที่ 2.3 Power Spectral density for BPSK

2.2 Quadrature Phase Shift Keying (QPSK)

ในวิธีการมอดูเลตแบบ QPSK สัญญาณ 2 บิทจะถูกส่งไปพร้อม ๆ กัน โดยลำดับสัญญาณดิจิตอลที่จะส่งถูกแบ่งเป็นสองช่อง (I และ Q) แต่ละช่องประกอบด้วย 2 บิท ซึ่งถูกส่งไปพร้อมกัน ก่อนที่จะนำสัญญาณแต่ละช่องเข้าวงจรมอดูเลตนั้น ควรที่จะต้องเข้ารหัสไบนารีเป็นรหัสเกรย์ก่อนเพื่อป้องกันและลดการผิดพลาดในการส่งข้อมูล



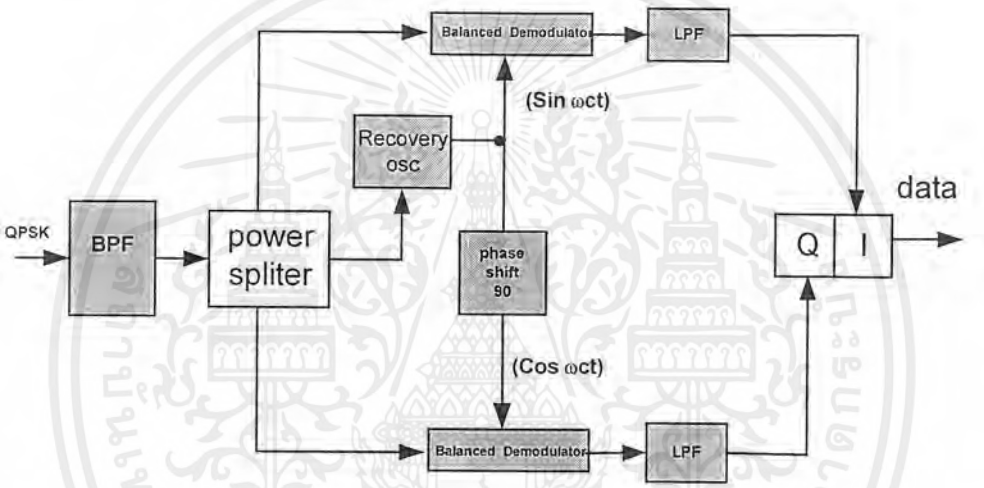
รูปที่ 2.4 แผนผังการทำงาน ทางภาคส่ง ของ QPSK

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เมื่อได้สัญญาณช่อง I และช่อง Q นำสัญญาณที่ ได้เข้าวงจรมอดูเลตทั้งสองช่องโดยแต่ละช่องมอดูเลตกับสัญญาณพาห์และสัญญาณพาห์ที่เลื่อนเฟส 90 องศา ตามลำดับ นำสัญญาณที่ได้เข้ามารวมสัญญาณก่อนส่งข้อมูล

เนื่องจากสัญญาณ BPSK ใช้แบนด์วิธในการส่งข้อมูลกว้าง ดังนั้นถ้าส่งสัญญาณโดยการรวมเป็นคู่ ๆ โดยการส่งหนึ่งครั้งจะส่งไปสี่ค่า ก็จะทำให้การส่งสัญญาณแบบ QPSK ใช้แบนด์วิธเป็นครึ่งหนึ่งของ BPSK และจะเห็นว่าการส่งสัญญาณแบบ QPSK คือ การนำเอา BPSK 2 วงจรมารวมกันนั่นเอง ดังนั้นสมมุติอัตราการส่งข้อมูลที่อัตรา 1200 bps เมื่อผ่านระบบแล้วจะเป็น 1200 symbol per second หรือมีอัตราบอร์ดเป็น 1200

ในการรับข้อมูลในทางภาครับของ QPSK นั้น มีลักษณะของแผนผังการทำงานดังนี้

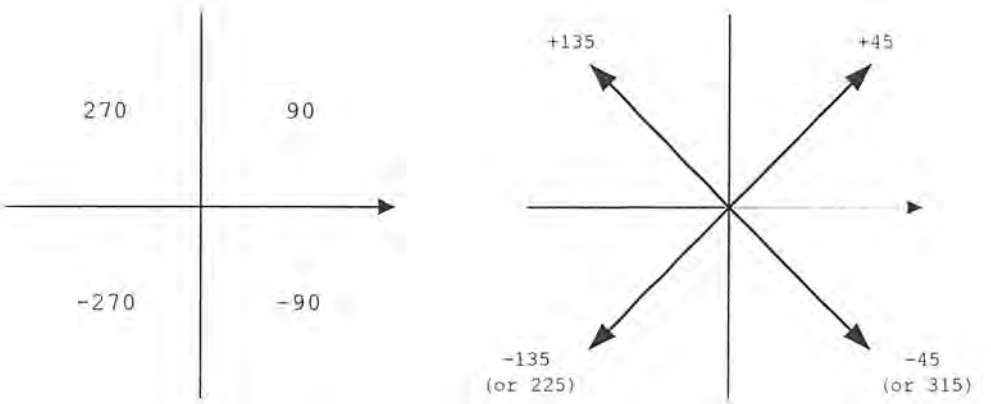


รูปที่ 2.5 แผนผังการทำงานภาครับของ QPSK

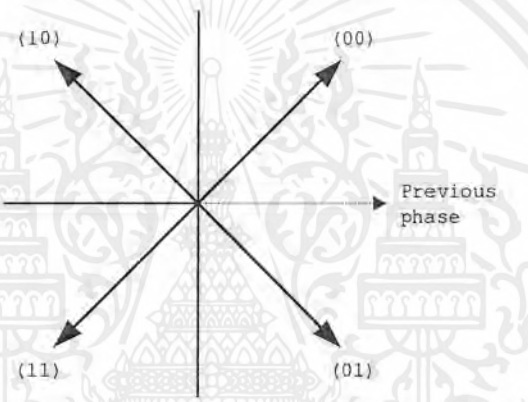
เมื่อภาครับ รับสัญญาณ QPSK เข้ามาแล้วนั้น ส่วนที่สำคัญที่สุดคือการกู้สัญญาณพาห์ให้สัมพันธ์กับภาคส่งให้ได้ ถ้าไม่สัมพันธ์กันแล้วนั้น สัญญาณหรือข้อมูลที่รับได้ก็จะผิดพลาดทันทีส่วนวงจรในภาครับนั้นมีลักษณะคล้ายกับภาคส่งจะแตกต่างอยู่ที่วงจรกรองความถี่ต่ำ และ วงจรกู้สัญญาณพาห์

เมื่อสัญญาณพาห์ที่ถูกกู้ขึ้นมาได้แล้วนั้น ก็จะนำสัญญาณพาห์ไปเข้าวงจรดีมอดูเลตเพื่อดีเทคสัญญาณ ในการดีมอดูเลตนั้นจะมีอยู่สองส่วน ซึ่งส่วนแรกจะใช้สัญญาณพาห์โดยตรงจากการที่กู้สัญญาณได้ นำไปใช้ในการดีมอดูเลตอีกส่วนหนึ่งจะต้องนำสัญญาณพาห์มาเข้าวงจรเลื่อนเฟส 90องศาก่อนถึงจะนำไปเข้าวงจรดีมอดูเลต หลังจากนั้นสัญญาณจะถูกนำเข้าวงจรกรองความถี่ต่ำแล้วเปรียบเทียบสัญญาณเพื่อที่จะได้ข้อมูลที่ถูกต้องที่ทางภาคส่ง ส่งมา เนื่องจากข้อมูลที่ดีเทคได้เป็นข้อมูลแบบขนานดังนั้นจะต้องแปลงข้อมูลเป็นอนุกรมก่อน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.6 Phase constellation สำหรับ different QPSK



รูปที่ 2.7 One possible di-bit constellation สำหรับ differential QPSK

2.3 ประสิทธิภาพของแถบความถี่ (BANDWIDTH EFFICIENCY)

ประสิทธิภาพของแถบความถี่ (Bandwidth efficiency) หรือความหนาแน่นของข้อมูล มักจะใช้ในการเปรียบเทียบการมอดูเลตแบบดิจิตอล เป็นอัตราส่วนของอัตราเร็วในการส่งกับแบนด์วิธต่ำสุดโดยจะทำการนอมอลไลซ์ (normalized) ที่ 1 Hz ค่าที่ได้นี้จะแสดงจำนวนของข้อมูลบิท ที่สามารถเคลื่อนที่ผ่านตัวกลาง โดย

$$BW \quad efficiency = \frac{Transmission \quad rate \quad (bps)}{Minimum \quad bandwidth \quad (Hz)}$$

$$= \left(\frac{\left(bits/Second \right)}{hertz} \right) = \left(\frac{\left(bits/Second \right)}{\left(cycle/Second \right)} \right)$$

$$= bits/cycle$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การหาประสิทธิภาพของแถบความถี่สำหรับการมอดูเลตแบบ BPSK , QPSK ,8-PSK และ 16-QAM จากตารางเป็นการแสดงแถบความถี่ที่น้อยที่สุดที่ใช้ส่งสัญญาณที่มี อัตราการส่ง คือ 10 Mbps

ชนิดแบบการส่งข้อมูล (Modulate Scheme)	แบนด์วิธต่ำที่สุดที่ใช้ (MHz)
BPSK	10
QPSK	5
8-PSK	3.33
16-QAM	2.5

ตารางที่ 2.1 ตารางการเปรียบเทียบแบนด์วิธต่ำที่สุดที่ใช้

ดังนั้น ถ้าเปรียบเทียบที่การส่งข้อมูล 10 Mbps

$$\text{BPSK BW efficiency} = \frac{10Mbps}{10MHz} = 1bit/cycle$$

$$\text{QPSK BW efficiency} = \frac{10Mbps}{5MHz} = 2bit/cycle$$

$$8-\text{PSK BW efficiency} = \frac{10Mbps}{3.33MHz} = 3bit/cycle$$

$$\text{16-QAM BW efficiency} = \frac{10Mbps}{2.5MHz} = 4bit/cycle$$

2.4 ความน่าจะเป็นของการเกิดข้อผิดพลาด และ อัตราการผิดพลาดในแต่ละบิท(Probability of error and bit error rate :P(e) and BER)

อัตราการผิดพลาดในแต่ละบิท (BER) เป็นพารามิเตอร์ที่สำคัญในการตรวจสอบระบบ ส่วนความน่าจะเป็นของการเกิดข้อผิดพลาด {P (e)} เป็นฟังก์ชันของอัตราส่วนระหว่างสัญญาณพาห์กับสัญญาณรบกวน (Carrier – to – Noise power Ratio :C/N) ซึ่งค่า อัตราส่วนระหว่างสัญญาณพาห์กับสัญญาณรบกวน (Carrier – to – Noise power Ratio :C/N) เป็นผลมาจาก สัญญาณรบกวนที่เกิดความร้อน (thermal noise)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

โดยที่

$$\frac{C}{N} = \frac{C}{KTB}$$

C : พลังงานของสัญญาณคลื่นพาห์ [Carrier power (W)]

K :ค่าคงที่ของโบลซ์มาน[Boltzmann' s proportionality constant (1.38×10^{-23} J / K)]

T : อุณหภูมิ [Temperature (Kelvin)]

B : แบนด์วิธ [Bandwidth (Hz)]

$$\left(\frac{C}{N}\right)_{dB} = 10\log\frac{C}{KTB}$$

$$= 10\log C - 10\log KTB$$

ค่าพลังงานต่อข้อมูลหนึ่งบิท(Energy per bit) คือการคิดพลังงานต่อหนึ่งบิทของข้อมูล

$$E_b = CT_b(J/bit)$$

โดยที่

E_b: energy of a single bit (J / bit)

T_b: time of a single bit (S)

C : carrier power (W)

จาก $T_b = 1/f_b$

$\therefore E_b = C$ (J / bit)

ในการทำนอมอลไลซ์ (Normalization) จะทำการคิดที่ B.W. เป็น 1 Hz ดังนั้น

$$N_o = \frac{N}{B}(W/Hz)$$

N_0: สัญญาณรบกวนที่ทำการนอมอลไลซ์แล้ว [noise power density (W / Hz)]

N : พลังงานของสัญญาณรบกวนที่เกิดจากความร้อน[thermal noise power(W)]

B : แบนด์วิธ [Bandwidth (Hz)]

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Energy per bit – to – noise power density (E_b / N)จะใช้ในการเปรียบเทียบการ มอดูเลต แบบ ดิจิตอล

$$\frac{Eb}{N} = \frac{C/fb}{N/B} = \frac{CB}{Nfb}$$

$$\frac{Eb}{N} = \frac{C}{N} = \frac{B}{fb}$$

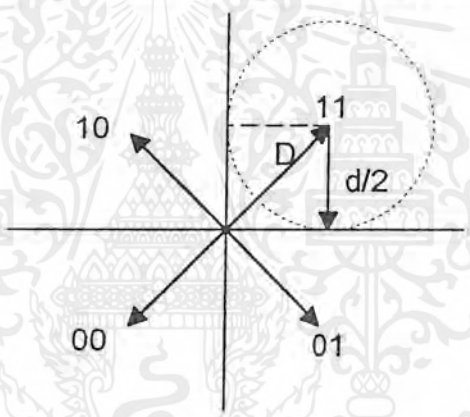
โดยที่

$\frac{Eb}{N}$: Energy per bit-to-noise power density ratio

$\frac{C}{N}$: Carrier-to-noise power ratio

$\frac{B}{fb}$: Noise bandwidth-to-bit rate ratio

2.5 ค่าความผิดพลาดของการส่งแบบ QPSK (QPSK Error Performance)



รูปที่ 2.8 QPSK error region

จากรูป แสดง การเกิดข้อผิดพลาดของสัญญาณ QPSK

$$\text{Sin}\,\theta = \text{Sin}\,(d/2\,D) = \text{Sin}\,(360^{\circ}/2M)$$

โดยที่ d : ระยะที่ผิดพลาด(error distance)

D : peak signal amplitude

M : จำนวนของเฟส

ดังนั้น ในการส่งสัญญาณด้วย QPSK ค่าเฟสสูงสุดในการเลื่อนที่จะไม่เกิดข้อผิดพลาด จะได้

$\theta = 360^{\circ}/2(4) = \pm 45^{\circ}$

ถ้าเป็น 8- PSK

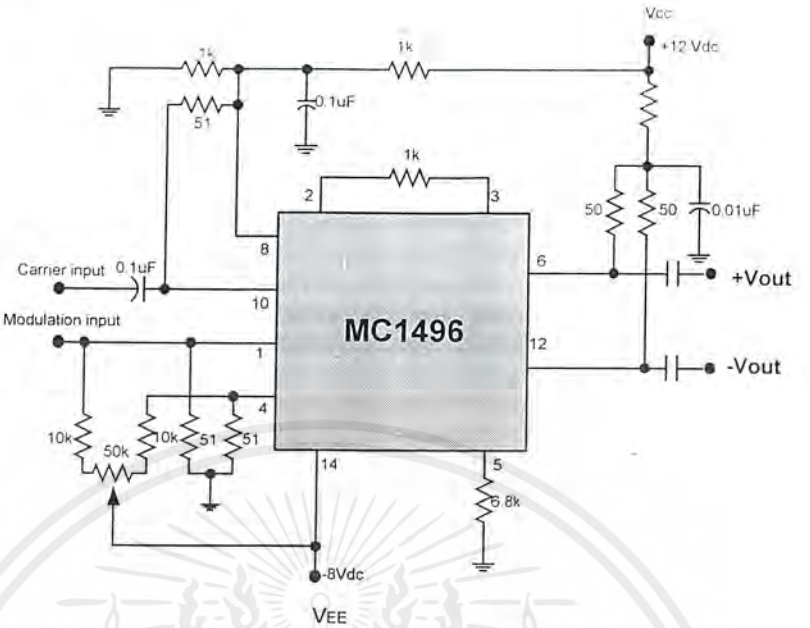
$\theta = 360^{\circ}/2(8) = \pm 22.5^{\circ}$

และ ถ้าเป็น 16 – PSK

$\theta = 360^{\circ}/2(16) = \pm 11.25^{\circ}$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.6 วงจรบาลานซ์มอดูเลเตอร์



รูปที่ 2.9 วงจรบาลานซ์มอดูเลชั่น

วงจรบาลานซ์มอดูเลชั่นทำหน้าที่ผสมสัญญาณระหว่างสัญญาณเบสแบนด์และสัญญาณพาห์โดยจะใช้ ไอซีเบอร์ MC1496 หรือ อาจใช้ไอซีเบอร์ MC 1596 ก็ได้

สมมติให้ สัญญาณพาห์ $(f_c) = E_1 \cos(2\pi f_1 t)$

สัญญาณเบสแบนด์ $(f_m) = E_2 \cos(2\pi f_2 t)$

สัญญาณเอ้าท์พุท $= \frac{E_1 E_2}{2} \{\cos[2\pi(f_1 + f_2)t] + \cos[2\pi(f_1 - f_2)t]\}$

จากสมการข้างบนสัญญาณเอ้าท์พุทที่ได้ จะไม่มีสัญญาณพาห์เลย

ไอซีเบอร์MC1496, MC 1596 จะทำหน้าที่ มอดูเลเตอร์ / ดีมอดูเลเตอร์และยังสามารถประยุกต์เป็นวงจรอื่น ๆ ได้อีก IC MC1496,1596 นี้ สามารถใช้งานได้ในความถี่สูงมากสามารถใช้งานได้ในความถี่สูงกว่า 100 MHz

2.7 วงจรกรองความถี่ผ่านแบบแอคทีฟ (ACTIVE FILTER)

วงจรกรองความถี่ผ่านแบบแอคทีฟ ทำหน้าที่กรองความถี่สัญญาณ เป็นวงจรที่ประกอบด้วยภาคขยาย เช่น ทรานซิสเตอร์ หรือ ไอซี และ เนคเวิร์คเลือกความถี่ (Frequency Selective Network) จำพวกตัวต้านทาน ตัวเก็บประจุ วงจรให้ผ่านได้เฉพาะสัญญาณในช่วงความถี่กำหนด ขณะเดียวกันจะขวางกั้น (Block) หรือลดทอนสัญญาณนอกเหนือช่วงความถี่ดังกล่าว มิให้ปรากฏที่ เอ้าท์พุท(Output)

โดยทั่วไปแล้ว วงจรกรองความถี่ผ่าน แบ่งออกเป็นหลายรูปแบบ ดังนี้

1. วงจรกรองความถี่ผ่าน ชนิด อนาลอก หรือ ดิจิตอล
2. วงจรกรองความถี่ผ่าน ประเภท แอคทีฟ หรือ พาสซีฟ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3. วงจรกรองความถี่ผ่าน ย่านความถี่เสียง (Audio Frequency) หรือย่านวิทยุ(Radio Frequency)

วงจรกรองความถี่ผ่านแบบอนาลอก (Analog Filter) ออกแบบมาเพื่อใช้กับ สัญญาณอนาลอก และ วงจรกรองความถี่ผ่านแบบดิจิตอล (Digital Filter)ใช้งานกับสัญญาณ ดิจิตอล โดยอาศัยเทคนิคทางวงจรกรองความถี่ผ่านแบบอนาลอก มาช่วย ถ้าคำนึงถึงชิ้นส่วน (Element) ที่นำมาประกอบกันเป็น วงจรกรองความถี่ผ่านสามารถแบ่งออกเป็น วงจรกรองความถี่ผ่านแบบพาสซีฟ และวงจรกรองความถี่ผ่านแบบแอคทีฟ ชิ้นส่วนที่ใช้ประกอบวงจรในวงจรกรองความถี่ผ่านแบบ พาสซีฟ ฟิลเตอร์(Passive Filter) ได้แก่ ค่าความต้านทาน ตัวเก็บประจุ ตัวเหนี่ยวนำ ส่วนวงจรกรองความถี่ผ่านแบบแอคทีฟ ฟิลเตอร์ ประกอบด้วยตัวขยายสัญญาณจำพวก ทรานซิสเตอร์ หรือ ไอซี ในรูปออปแอมป์ (Op-Amp) และตัวต้านทาน และตัวเก็บประจุ ทำงานร่วมกัน ตัวต้านทาน ตัวเก็บประจุ ตัวเหนี่ยวนำถือได้ว่าเป็นชิ้นส่วนประเภทพาสซีฟ(Passive Element) การจะเลือกใช้ชิ้นส่วนชนิดใดนั้น ขึ้นอยู่กับย่านความถี่สัญญาณที่ต้องการให้วงจร กรองความถี่ทำงาน ยกตัวอย่าง วงจรกรองความถี่แบบ RC ใช้กับย่านความถี่เสียงหรือในย่านความถี่ต่ำ ในขณะที่ ไอซี ฟิลเตอร์ จะใช้ในย่านความถี่วิทยุหรือความถี่สูง

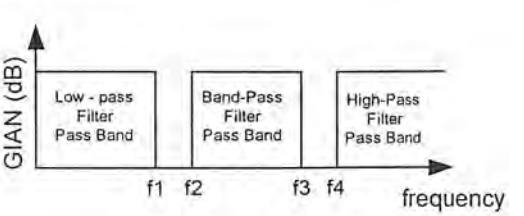
ข้อดีของวงจรกรองความถี่แบบ แอคทีฟ ฟิลเตอร์ ที่มีเหนือกว่าวงจรกรองความถี่แบบ พาสซีฟ ฟิลเตอร์

1.การปรับอัตราการขยายและปรับความถี่เป็นอิสระต่อกัน เราสามารถจัดค่าอัตราการขยายของออปแอมป์ชดเชยกับอัตราลดทอนสัญญาณของวงจร RC หรือเพิ่มอัตราการขยายของวงจรทั้งหมดด้วยการจัดชิ้นส่วนอุปกรณ์ในส่วนของวงจรขยาย ออปแอมป์ และการปรับเปลี่ยนความถี่ก็มีอยู่ที่ค่า RC เท่านั้น

2.ไม่มีปัญหาในเรื่อง Loading จากการที่ออปแอมป์ มีคุณสมบัติของ อินพุท อิมพีแดนซ์(Input Impedance) สูงและ เอ้าท์พุท อิมพีแดนซ์ (Output Impedance) ต่ำวงจรวงจรกรองความถี่แบบ แอคทีฟ ฟิลเตอร์ อาศัยออปแอมป์จึงไม่เกิดปัญหาการ Loading กับ เอ้าท์พุท และ อินพุท ของวงจร ณ จุดที่นำวงจรกรองความถี่ผ่านแบบแอคทีฟ ฟิลเตอร์ เข้าไปต่อร่วม

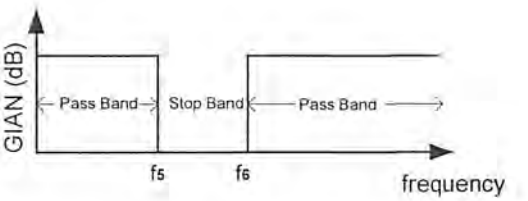
3.ราคาถูกกว่าเนื่องจากวงจรกรองความถี่ผ่านแบบแอคทีฟ ฟิลเตอร์ มีราคาถูกกว่า วงจรกรองความถี่ ผ่านแบบพาสซีฟ ฟิลเตอร์ เพราะไม่ต้องอาศัยตัวเหนี่ยวนำที่มีราคาแพงและยังใช้ออปแอมป์ ซึ่งในปัจจุบันราคาถูก

วงจรกรองความถี่ผ่านจะแบ่งได้ตามผลการตอบสนองความถี่ เป็น วงจรกรองความถี่ต่ำผ่าน (Low pass filter) วงจรกรองความถี่สูงผ่าน (High Pass Filter) วงจรกรองช่วงความถี่ผ่าน(Band pass Filter) และ วงจรกรองช่วงความถี่ไม่ให้ผ่าน(Stop band Filter)ในวงจรกรองความถี่ที่มีผลตอบสนองความถี่ในอุดมคติสามารถแสดงในรูป ที่2.10



(A)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



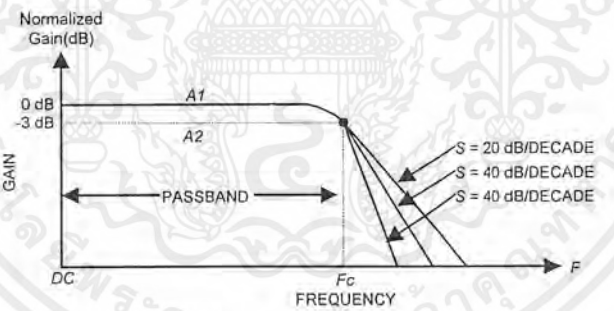
(B)

รูปที่ 2.10 วงจรกรองความถี่ผ่านในอุดมคติ

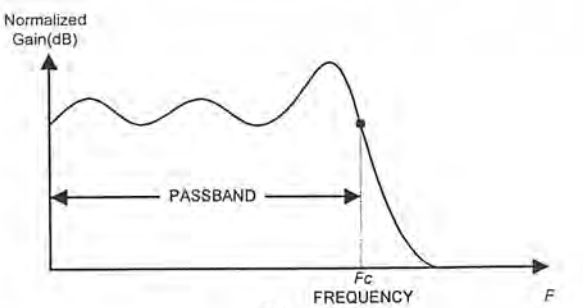
(A)ความถี่ต่ำผ่าน ช่วงความถี่ผ่าน และ ความถี่สูงผ่าน

(B)ช่วงความถี่ไม่ให้ผ่าน

ในการใช้งานจริงจะมีวงจรกรองความถี่ผ่านที่มีผลตอบสนองใกล้เคียงทฤษฎี คือรูปแบบ บัทเตอร์เวิร์ธ (Butterworth), เชฟบีเชฟ (Chebyshev), คอร์ หรือ อีลิปติก (Cauer or elliptic) และ เบสเซล (Bessel) วงจรบัทเตอร์เวิร์ธแสดงในรูป 2.11 (A) ช่วงแถบความถี่ผ่านจะอยู่ที่ความถี่ที่ต่ำลงมา -3 dB จากกลางของแถบความถี่ผ่าน ดังรูป ความถี่ศูนย์กลาง จะต่ำลงจาก A_1 เป็นค่า 0.707 ถ้าความถี่ $f > f_c$ แล้ว อัตราขยายของวงจรจะลดต่ำลงอย่างเป็นเชิงเส้น ในส่วนของวงจรเชฟบีเชฟแถบความถี่นอกเหนือจาก f_c จะลดลงอย่างไม่เป็นเชิงเส้น และจะลดลงอย่างรวดเร็ว วงจรแบบคอร์จะมีลักษณะคล้าย กับวงจรกรองช่วงความถี่ไม่ให้ผ่าน (Stop-band filter)

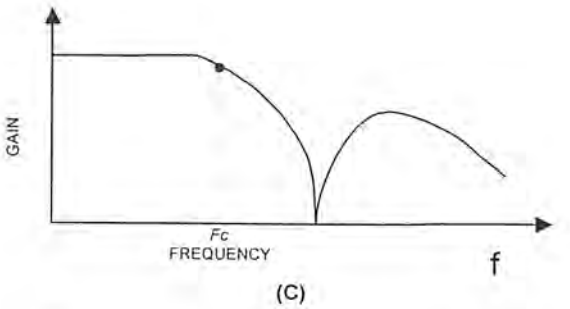


(A)



(B)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

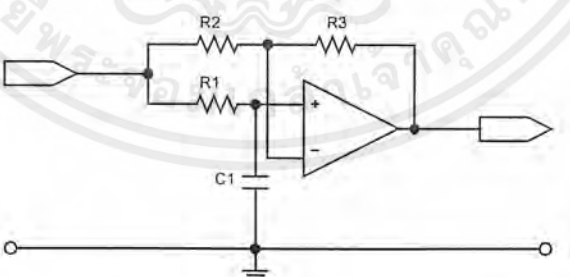


รูปที่ 2.11 วงจรกรองความถี่ผ่านที่มีผลตอบสนองใกล้เคียงกับทฤษฎี

(A)Butter worth response (B)Chebyshev response

(C)Cauer or Elliptic response (D)Bessel response

วงจรกรองความถี่ผ่านอีกชนิดหนึ่งที่สำคัญ คือ วงจรกรองความถี่ผ่านทุกช่วงความถี่ (All – Pass Phase Shift filter) จะให้ความถี่ทุกแถบความถี่ผ่านแต่จะทำการเลื่อนเฟส โดยการปรับค่า R และ C ในวงจร ดังรูป 2.12



รูปที่ 2.12 วงจรทุกแถบความถี่ผ่านหรือวงจรเลื่อนเฟส

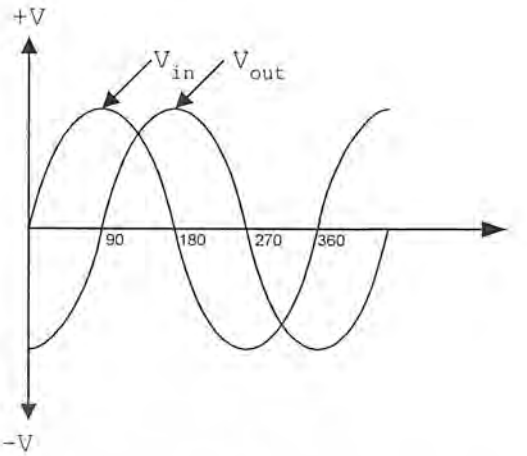
โดยอัตราการขยายของวงจรคือ

$$Av = (1-2\pi f R_1C_1)/(1+2\pi f R_1C_1) \text{ ; โดยที่ } R_1=R_2=R_3$$

และค่าความเปลี่ยนแปลงของเฟสคือ

$$\Delta\phi = -2\tan^{-1}(2\pi R_1C_1)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



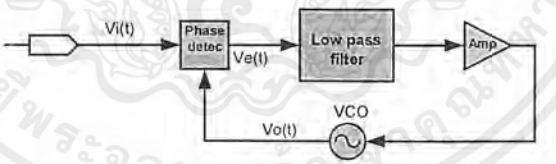
รูปที่ 2.13 แสดงการเปรียบเทียบสัญญาณระหว่าง อินพุทกับเอ้าท์พุท

2.8 เฟสล็อคลูป (Phase Lock Loop : PLL)

เฟสล็อคลูป เป็นการสังเคราะห์สัญญาณโดยการทางอ้อม (Indirect Synthesis) จะอาศัยการกำเนิดสัญญาณจากวงจรออสซิลเลเตอร์ โดยการปรับแรงดัน (VCO) และสัญญาณจาก VCO จะถูกป้อนกลับมาเปรียบเทียบกับความถี่อ้างอิงแล้วนำผลมาควบคุม VCO อีกที

หลักการของเฟสล็อคลูป

หลักการเบื้องต้นของเฟสล็อคลูปก็มาจากระบบการป้อนกลับซึ่งประกอบด้วยส่วนสำคัญสามส่วน ดังแผนผังการทำงานในรูปที่ 2.14 คือเฟสดีเทคเตอร์,วงจรกรองความถี่ต่ำผ่าน และ โวลต์เทจคอนโทรลออสซิลเลเตอร์ (Voltage Control Oscillator , VCO)



รูปที่ 2.14 แผนผังการทำงานของวงจรเฟสล็อคลูป

ในขณะที่ไม่มีสัญญาณป้อนเข้ามา V_d จะเท่ากับศูนย์และ VCO จะผลิตความถี่แบบที่เรียกว่าความถี่อิสระ (free-running) เท่ากับ f_o เมื่อมีอินพุท V_s ป้อนเข้ามามีความถี่เท่ากับ f_s วงจรเฟสดีเทคเตอร์จะทำหน้าที่เปรียบเทียบเฟสและความถี่ของสัญญาณที่เข้ามากับสัญญาณที่ VCO ถ้า f_s และ f_o แตกต่างกันจะได้ V_e (Error Voltage)จากเอ้าท์พุทของเฟสดีเทคเตอร์ผ่านกรองความถี่ต่ำ V_d ไปเข้า VCO ปรับความถี่ f_o ให้เท่ากับ f_s และเมื่อ f_o เท่ากับ f_s ก็คือสภาวะล็อคหรือซิงค์ เอ้าท์พุทจากเฟสดีเทคเตอร์ V_e จะเป็นศูนย์ และ V_d ก็เท่ากับศูนย์ด้วย

ในเรื่องของเฟสล็อคลูป มีคำที่มักเข้าใจสับสนกันบ่อยๆคือคำว่า ล็อคเรนจ์ (Lock Range) กับคำว่า แคปเจอร์เรนจ์ (Capture Range) ซึ่งมีความหมายต่างกันดังนี้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ในเรื่องของเฟสล็อคลูป มีคำที่มักเข้าใจสับสนกันบ่อยๆคือคำว่า ล็อคเรนจ์ (Lock Range) กับคำว่า แคปเจอร์เรนจ์ (Capture Range) ซึ่งมีความหมายต่างกันดังนี้

ล็อคเรนจ์ (Lock Range) หมายถึง ย่านความถี่ที่ใกล้เคียงกับ f_o ซึ่งเฟสล็อคลูปยังสามารถล็อคกับสัญญาณที่เข้ามา ค่าของล็อคเรนจ์จะลดลงเมื่อ อัตราการขยายทั้งหมดของเฟสล็อคลูปลดลง

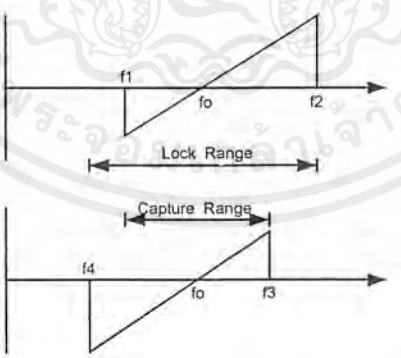
แคปเจอร์เรนจ์ (Capture Range) หมายถึง บริเวณแถบความถี่ที่ใกล้เคียงกับ f_o ที่เฟสล็อคลูปเริ่มล็อคกับสัญญาณที่เข้ามา ค่าของแคปเจอร์เรนจ์ขึ้นอยู่กับแบนด์วิดของวงจรกรองความถี่ต่ำผ่าน คือจะลดลงหากแบนด์วิดแคบ และโดยปกติแคปเจอร์เรนจ์จะมีค่าน้อยกว่าล็อคเรนจ์

เพื่อให้เข้าใจคำว่าล็อคเรนจ์และแคปเจอร์เรนจ์ง่ายขึ้นพิจารณาดูรูปที่2.15ซึ่งแสดงถึงคุณลักษณะระหว่างความถี่กับ V_e ของเฟสล็อคลูปดังรูป จากส่วนบนของรูปที่ 2.14 สมมติว่าสัญญาณที่เข้ามามีความถี่ค่อยๆเปลี่ยนจากต่ำไปสูง ตอนแรกจะยังไม่มีอะไรเกิดขึ้น และ V_d เท่ากับศูนย์ จนกระทั่งความถี่ของสัญญาณที่เข้ามา f_s ซึ่งเป็นความถี่ต่ำสุดของแคปเจอร์เรนจ์ ทำให้เฟสล็อคลูปเริ่มล็อคกับ f_s และ V_d มีค่าเป็นลบ เพื่อปรับ VCO ให้ f_o เท่ากับ f_s แต่ในที่นี้เราสมมติว่า f_s เปลี่ยนไปเรื่อยๆซึ่งจะทำให้ค่าของ V_d เป็นลบน้อยลง จนกระทั่ง f_s เท่ากับ f_o ทำให้ V_d เท่ากับศูนย์ จากนั้น V_d จะเริ่มเป็นบวกและมากขึ้นเรื่อยๆจนกระทั่ง f_s เท่ากับ f_2 ซึ่งเป็นความถี่สูงสุดของล็อคเรนจ์ จะทำให้หลุดจากการล็อค และ V_d เท่ากับศูนย์

ในทางกลับกันถ้า f_s เปลี่ยนจากสูงมาต่ำ ให้พิจารณารูปที่ 2.15 ส่วนล่างเฟสล็อคลูปจะเริ่มล็อคเมื่อ f_s เท่ากับ f_3 ซึ่งเป็นค่าสูงสุดของแคปเจอร์เรนจ์ ทำให้ V_d มีค่าเป็นบวกทันทีเมื่อ f_s ลดลงจน f_s เท่ากับ f_o จะได้ V_dเท่ากับศูนย์แล้วมีค่าเป็นลบมากขึ้นเรื่อยๆจนกระทั่ง f_s เท่ากับ f_4 ซึ่งเป็นค่าต่ำสุดของล็อคเรนจ์ จะทำให้ f_s หลุดจากการล็อคของเฟสล็อคลูป และ V_d กลับเป็นศูนย์อีกครั้ง เราจึงได้ว่า

ล็อคเรนจ์ $= f_2 - f_4$

แคปเจอร์เรนจ์ $= f_3 - f_1$



รูปที่ 2.15 คุณลักษณะระหว่างความถี่กับ V_e (Error Voltage) ของเฟสล็อคลูป

ในวงจรที่ใช้ทดลองจะใช้ IC เบอร์ SCL4046B ซึ่ง SCL4046Bเป็นวงจรรวมที่ใช้เป็นเฟสล็อคลูป ซึ่งประกอบด้วย วงจรเปรียบเทียบเฟส 2 วงจร และ VCO 1 วงจร โดยสามารถป้อนสัญญาณได้โดยตรง และสามารถใช้แรงดันสูงได้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ส่วนของวงจรเปรียบเทียบเฟส 1 จะเป็นเอ็กซ์คลูซีฟออร์เกท (Exclusive Orgate) จะทำให้สัญญาณขาออกมีเฟสเลื่อนไป 90 องศา และ วงจรเปรียบเทียบเฟส 2 จะทำงานที่ขอบขาขึ้นของพัลซ์ (pulse) และสัญญาณขาออกจะไม่มีการเลื่อนเฟสกับสัญญาณขาเข้า และใช้ IC 7490 เป็นวงจรหาร

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สำนักหอสมุดกลาง พระจอมเกล้าลาดกระบัง

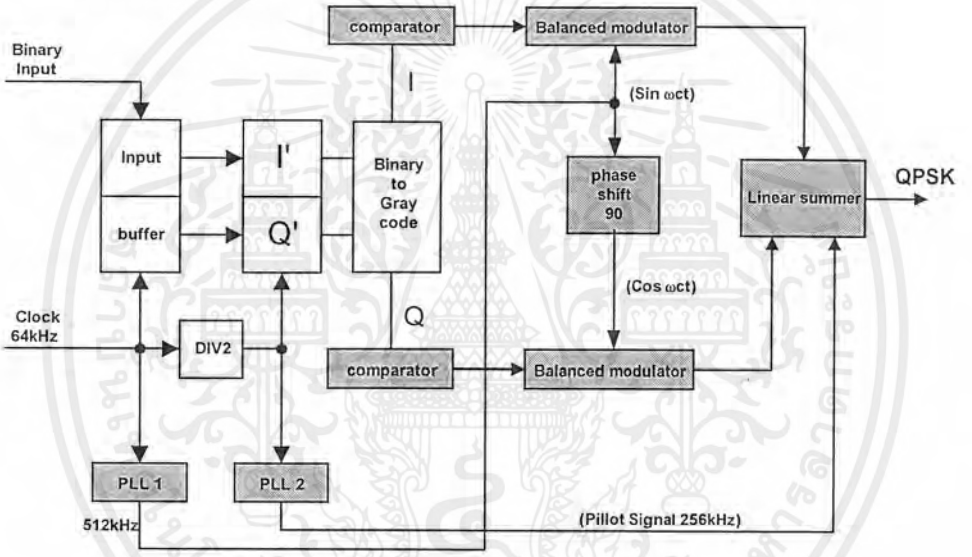
บทที่ 3

การออกแบบวงจรภาคส่งและภาครับ

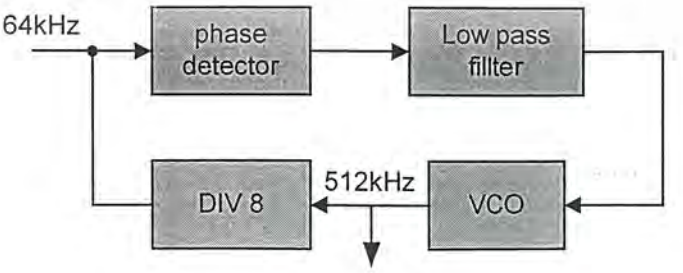
3.1 การออกแบบวงจรทางภาคส่ง

เนื่องจากการส่งสัญญาณ แบบ QPSK สามารถใช้ได้ กับการส่งข้อมูล 64 kbps ดังนั้น สัญญาณข้อมูลที่นำมาใช้ในการส่งต้องมีความเร็ว 64 kbps และ เพื่อสะดวกในการให้สัญญาณเกิดการสัมพันธ์กัน จึงใช้สัญญาณนำร่อง (Pilot Signal) มารวม กับ สัญญาณเอ้าท์พุท โดยใช้สัญญาณนาฬิกามาเป็นสัญญาณอ้างอิงซึ่งมีความถี่ 64 kHz แล้วใช้เฟสล็อคลูป(Phase Lock Loop :PLL)เพื่อเปลี่ยนแปลงความถี่เพื่อสร้างสัญญาณพาห์และสัญญาณนำร่องต่อไป

ในส่วนของสัญญาณพาห์จะใช้ความถี่ 512 kHz และสัญญาณนำร่องจะใช้ความถี่ 256 kHz รายละเอียดของวงจรแสดงได้ดังแผนผังการทำงานข้างล่างนี้



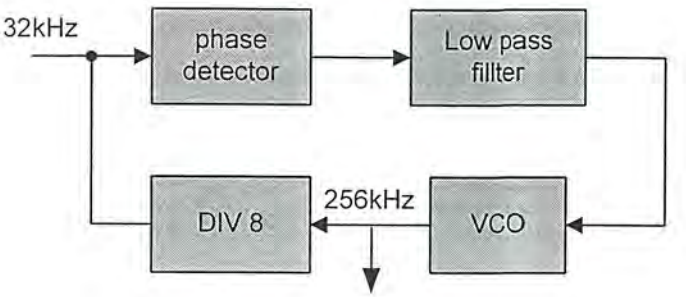
รูปที่ 3.1 แผนผังการทำงานภาคส่ง



รูปที่ 3.2 แผนผังการทำงานของPLL1

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

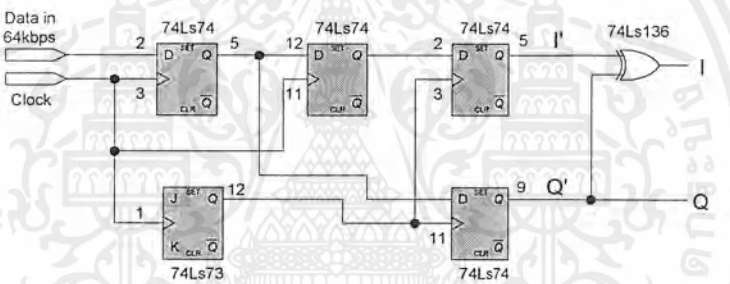
37137



รูปที่ 3.3 แผนผังการทำงานของ PLL2

3.1.1 วงจรแยกสัญญาณดิจิตอลและวงจรเข้ารหัสเกรย์

จากสัญญาณอินพุทที่เข้ามา จะทำการแบ่งข้อมูลของสัญญาณเป็น 2 ชุด ชุดละ 1 บิท พร้อมทั้งหน่วงเวลา 2 บิท เพื่อควบคุมให้อินพุทเข้ามาพร้อมกันเสียก่อน โดยจะแบ่งเป็นข้อมูล I และ Q



รูปที่ 3.4 วงจรแยกสัญญาณดิจิตอล

จากรูปวงจรที่ 3.4 จะใช้ ดี ฟลิปฟลอป (D Flip Flop) และ เจ เค ฟลิปฟลอป (J – K Flip Flop) ทำหน้าที่ ควบคุมจังหวะในการรับข้อมูล โดยใช้หลักการของ การเลื่อนข้อมูลแบบทางขวา (Shift Right Register) ในส่วนของ เอ็กคลูซีฟออร์เกท(EX-OR) ทำหน้าที่เปลี่ยนสัญญาณรหัสไบนารีให้เป็นสัญญาณรหัสเกรย์ เพื่อป้องกันการผิดพลาด ดังตาราง 3.1

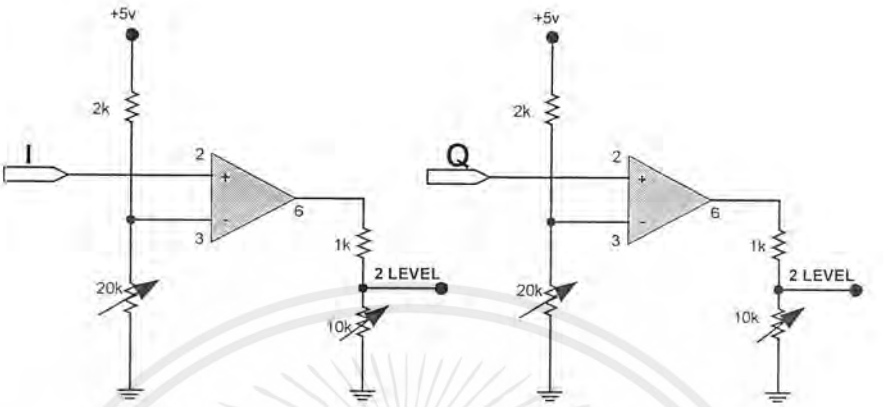
Binary Code		Gray Code	
Q'	I'	Q	I
0	0	0	0
0	1	0	1
1	0	1	1
1	1	1	0

ตารางที่ 3.1 การแปลงรหัสไบนารีเป็นรหัสเกรย์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.1.2 วงจรแปลง 1 บิท เป็น 2 ระดับ

โดยการใช้วงจรออปแอมป์ (Op-Amp) เป็นตัวเปรียบเทียบระดับแรงดัน โดยจะเปลี่ยนให้มีค่า 2 ระดับ โดยมีรายละเอียดดังรูป 3.5 และตาราง 3.2



รูปที่ 3.5 วงจรแปลงสัญญาณ 1 บิท เป็น 2 ระดับ

I or Q	Out Put Voltage
0	-150 mV
1	150 mV

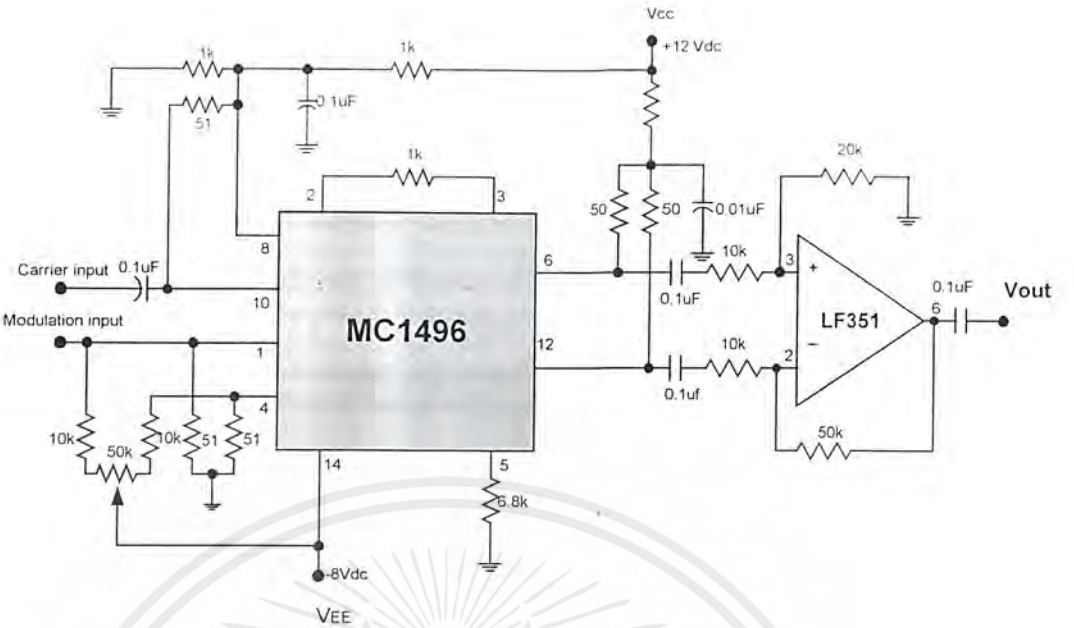
ตารางที่ 3.2 การแปลงสัญญาณ 1 บิท เป็น 2 ระดับ

3.1.3 วงจรบาลานซ์มอดูเลเตอร์

จะใช้วงจรเดียวกันทั้งส่วนของ I และ Q คือในส่วนของIn-phase จะคูณด้วยสัญญาณ $\cos(2\pi f_c t)$ แต่ในส่วนของ Quadrature Phase จะคูณกับสัญญาณ $\sin(2\pi f_c t)$ ในการออกแบบใช้ไอซีเบอร์ MC1496 ซึ่งจะมีด้วยกันสองชุดโดยจะใช้มอดูเลตสัญญาณที่ ช่อง I และอีกส่วนหนึ่งจะใช้มอดูเลตกับช่อง Q

ในการออกแบบนั้นไอซีเบอร์ MC 1496 นี้มีข้อจำกัดอยู่ว่า สัญญาณที่จะนำมามอดูเลตนั้นจะต้องมีค่าประมาณ 300 มิลลิโวลท์ และขนาดของสัญญาณพาห์ควรมีค่าประมาณ 500 มิลลิโวลท์ ดังนั้นในการออกแบบนั้นสัญญาณที่จะนำมาคูณกันนั้นต้องผ่านตัวต้านทานปรับค่าได้ก่อนเพื่อควบคุมระดับสัญญาณตามข้อกำหนด

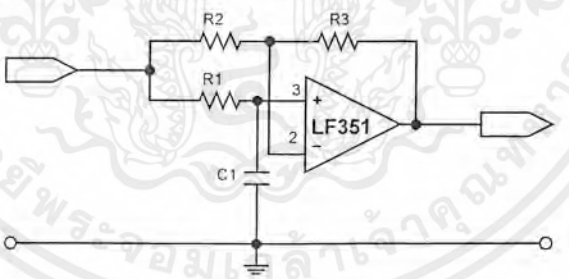
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.6 วงจรมอดูเลต

3.1.4 วงจรเลื่อนเฟส 90 องศา

วงจรเลื่อนเฟสนั้น เรียกอีกอย่างว่าวงจรหน่วงเวลาของสัญญาณอินพุท ซึ่งในการออกแบบนั้นอินพุทจะเลื่อนเฟสมากน้อยเพียงใดนั้นจะขึ้นอยู่กับการคำนวณ ซึ่งจะใช้วงจรดังรูป 3.7 ในการออกแบบในโครงงานนี้ใช้ เฟสที่เลื่อนไป 90 องศา



รูปที่ 3.7 วงจรเลื่อนเฟส 90 องศา

จากรูปวงจรกำหนดให้ R2 = R3 จะได้สมการ Vo ดังนี้

$$Vo = -Vin + \frac{jX_c Vin}{R_i jX_c} \quad \text{.....(3.1)}$$

โดย $-j = \frac{1}{j}$

$X_c = \frac{1}{2\pi f_c}$

f_c = ความถี่ที่ใช้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$\frac{V_o}{V_{in}} = \frac{1 - j2\pi f R_1 C}{1 + j2\pi f R_1 C} \quad \text{.....(3.2)}$$

โดยค่าเฟสที่เลื่อนไป หาได้จากสมการ

$$\Delta\phi = -2\tan^{-1}(2\pi f_c RC)$$

ดังนั้นต้องการ $\Delta\phi = 90^{\circ}$ และใช้ความถี่ 512 kHz และกำหนดใช้ C = 100 pF

$$\therefore \quad R1 = 1/2\pi f_c C$$

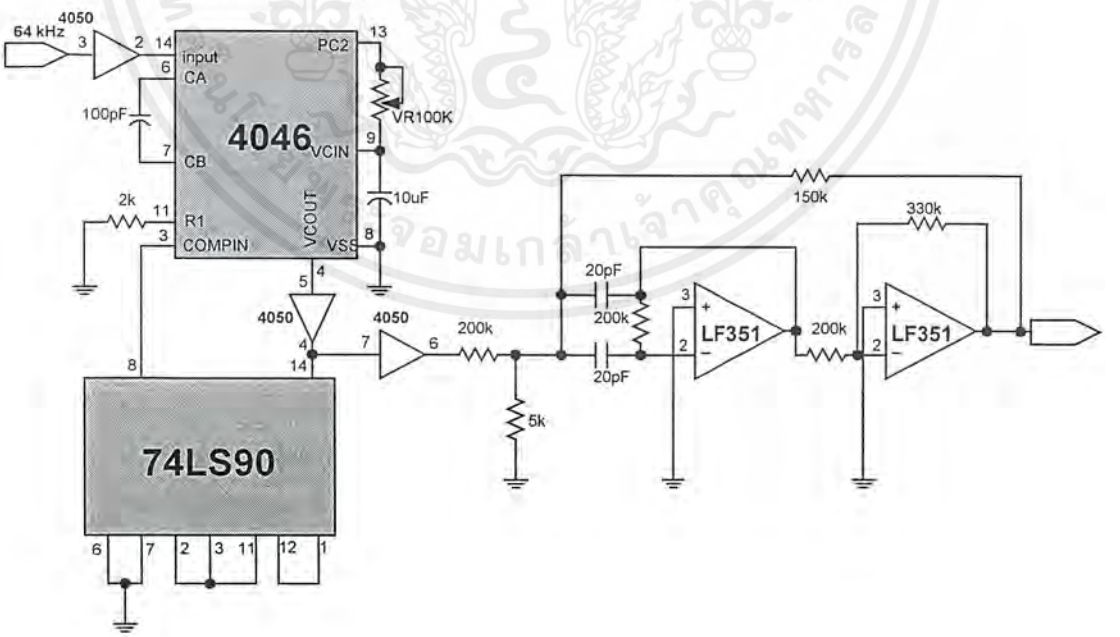
$$= 1/2\pi(512 \times 10^{3})(100 \times 10^{-12})$$

$$= 31 \quad k\Omega$$

ในวงจรใช้ R1 เป็น ค่าความต้านทานปรับค่าได้ 50 $k\Omega$

3.1.5 วงจรกำเนิดสัญญาณคลื่นพาห์ 512 kHz

วงจรในส่วนนี้จะทำหน้าที่กำเนิดสัญญาณไซน์ ความถี่ 512 kHz เพื่อคูณกับสัญญาณสองระดับที่วงจรบาลานซ์มอดูเลเตอร์ โดยการนำสัญญาณนาฬิกา 64 kHz ไปคูณ กับ 8 ก็จะได้ 64 คูณ 8 จะเท่ากับ 512 kHz พอดี โดยการใช้ ไอซีเบอร์ 4046 และใช้ IC 7490 เป็นวงจรหาร 8 สัญญาณที่ได้จะเป็นสัญญาณสี่เหลี่ยม ดังนั้นจึงต้องผ่านวงจรกรองความถี่ที่ช่วงความถี่ที่ 512 kHz เพื่อกรองเอาสัญญาณรูปไซน์ออกมา โดยใช้วงจรดังรูป 3.8

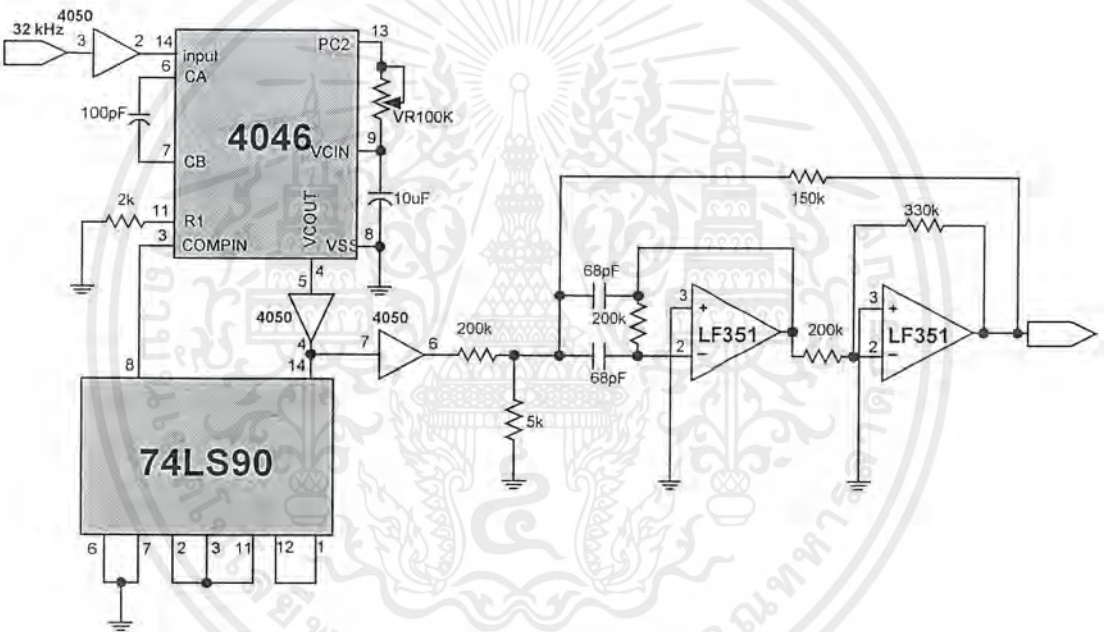


รูปที่ 3.8 วงจรสร้างสัญญาณพาห์ 512 kHz

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.1.6 วงจรกำเนิดสัญญาณนำร่อง (896 kHz)

สัญญาณนำร่องในที่นี้ คือ สัญญาณคลื่นรูปไซน์ที่มีความสัมพันธ์กับสัญญาณพาห์ และ ยังมีความสัมพันธ์กันกับสัญญาณนาฬิกาด้วย เพราะอาศัยสัญญาณนาฬิกาคูณความถี่ขึ้นมา ใช้หลักการและวิธีการเหมือนกันกับวงจรกำเนิดสัญญาณพาห์นั่นเองโดยในโครงงานนี้จะเลือกกำเนิดสัญญาณนำร่องที่ความถี่ 256 kHz ซึ่งจะอยู่ทางด้านที่มีความถี่ต่ำกว่า (Lower Side Band) ของสเปกตรัมการมอดูเลตในโครงงานนี้ สาเหตุที่เลือกความถี่ 256 kHz ก็เพราะว่าอยู่ห่างจากความถี่ 512 kHz เท่ากับ 256 kHz และสะดวกในการออกแบบวงจรคูณความถี่ คือจะได้ใช้สัญญาณนาฬิกาผ่านวงจรหาร 2 ซึ่งจะได้เท่ากับสัญญาณที่ความถี่ที่ 32 kHz แล้วนำสัญญาณที่ได้ผ่านวงจรคูณความถี่ 8 เท่าซึ่งใช้วงจรเฟสล็อคลูปซึ่งทำงานร่วมกับวงจรหารความถี่ 8 เท่าโดยใช้ไอซีเบอร์4046 กับไอซีเบอร์74LS90 ตามลำดับ คล้ายกับวงจรกำเนิดสัญญาณพาห์แต่จะแตกต่างกันที่วงจรกรองความถี่ ซึ่งจะเปลี่ยนจากความถี่ศูนย์กลางในการกรองช่วงความถี่จาก 512 kHz เป็น 256 kHz



รูปที่ 3.9 วงจรสร้างสัญญาณนำร่อง

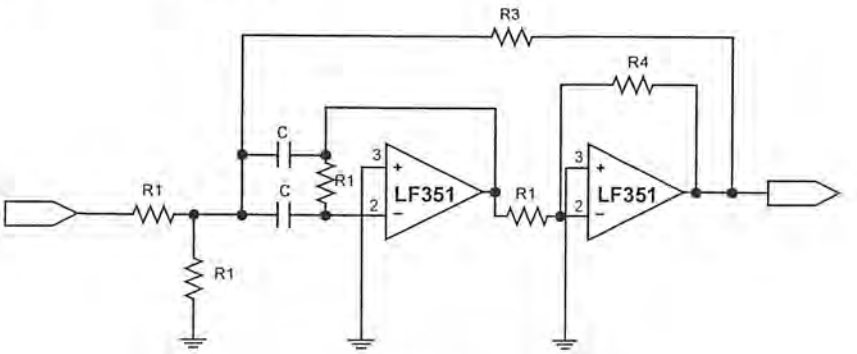
3.1.7 วงจรกรองช่วงความถี่

วงจรกรองช่วงความถี่นี้ จะทำหน้าที่คัดเลือกสัญญาณในช่วงความถี่ที่ต้องการให้สามารถผ่านวงจรออกมาไปได้ โดยที่ไม่ถูกลดทอน หน้าที่ของวงจรกรองช่วงความถี่ผ่านจะทำหน้าที่กรองสัญญาณคลื่นรูปไซน์ออกจากสัญญาณสี่เหลี่ยม ภายในส่วนวงจรกำเนิดสัญญาณพาห์และวงจรกำเนิดสัญญาณนำร่องและยังช่วยกำจัดสัญญาณรบกวน ที่เกิดจากวงจรข้างเคียงก่อนจะส่งออกไปยังภาครับอีกด้วย

วงจรกรองช่วงความถี่ผ่าน แบ่งเป็น สองแบบ กล่าวคือ Narrow band filter และ Wide band filter ซึ่งวงจร Narrow band filter จะมีค่าแบนด์วิธ มากกว่า 0.1 เท่าของความถี่รีโซแนนซ์ และวงจร Wide band filter จะมีแบนด์วิธน้อยกว่า 0.1 เท่าของความถี่รีโซแนนซ์ อัตราส่วนระหว่างความถี่รีโซแนนซ์กับแบนด์วิธเราเรียกว่า Quality factor :Q

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ในการออกแบบใช้วงจรกรองช่วงความถี่แบบกรองช่วงความถี่ผ่านป้อนกลับแบบบวก(Positive Feedback Filter) ดังแสดงดังรูปที่ 3.10



รูปที่ 3.10 วงจรกรองช่วงความถี่ผ่านป้อนกลับแบบบวก

ขั้นตอนในการออกแบบมีดังนี้

1.เลือกค่าคาปาซิเตอร์ และหาค่า K parameter

2.ใช้ค่า Kที่หาได้จากข้อ 1) มาหาค่าความต้านทาน ซึ่งค่าความต้านทานนี้จะขึ้นอยู่กับ Q , BW และเกนที่เรากำหนด

3.เลือกค่าความต้านทานที่ได้และทำการสร้างวงจร

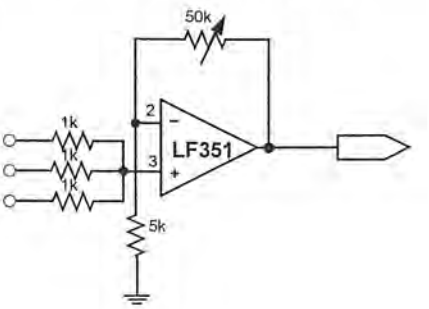
จากการออกแบบได้ผลดังนี้

ค่าความถี่ศูนย์กลางที่ 256 kHz เลือกใช้ค่า Q = 40 , G =10 เลือกค่า C = 68 pF ดังนั้นจะได้ค่า K = 5.6 จะได้ค่า R1 = 60 kΩ , R2 = 5 kΩ , R3 = 50kΩ , R4 = 100 kΩ

ค่าความถี่ศูนย์กลางที่ 512 kHz เลือกใช้ค่า Q = 40 , G =10 เลือกค่า C = 20 pF ดังนั้นจะได้ค่า K = 5.6 จะได้ค่า R1 = 60 kΩ , R2 = 8 kΩ , R3 = 50kΩ , R4 = 100 kΩ

3.1.8 วงจรรวมสัญญาณ

วงจรในส่วนนี้จะใช้ ออปแอมป์(op–Amp)ทำการรวมสัญญาณทั้งสัญญาณที่ผ่านวงจรมอดูเลตทั้งสองช่อง และ สัญญาณนำร่อง ในการออกแบบใช้วงจรดังรูปที่ 3.11



รูปที่ 3.11 วงจรรวมสัญญาณ

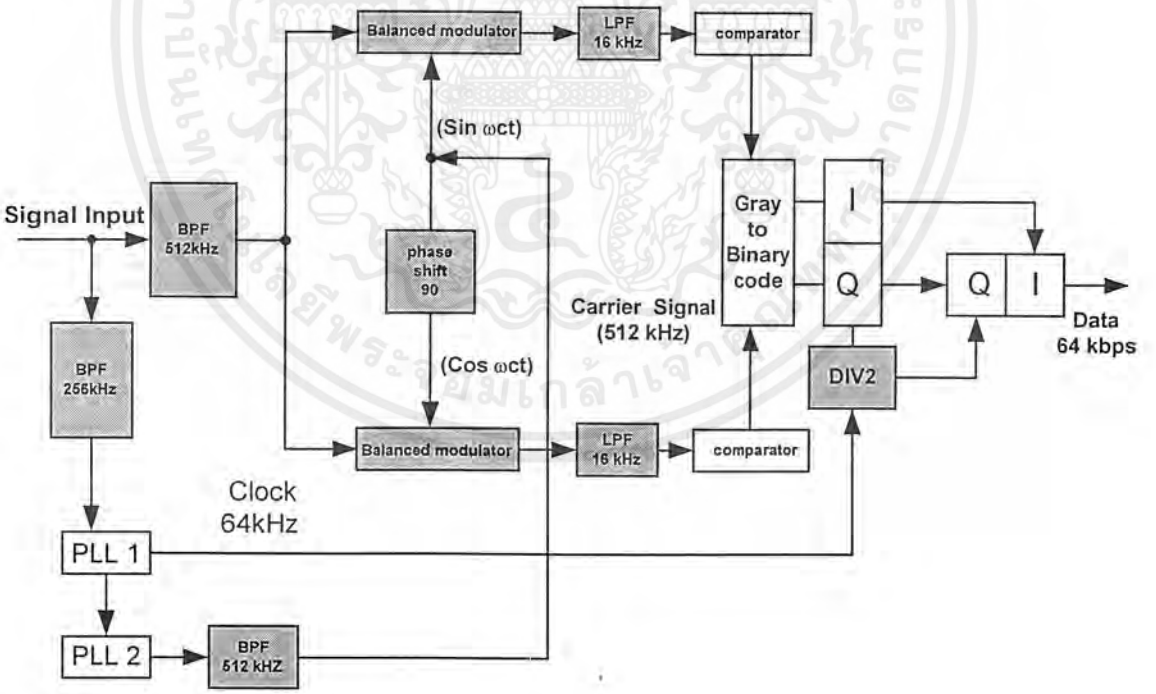
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.2 การออกแบบวงจรทางภาครับ

ในการออกแบบ และ ทดลองทางด้านรับนั้นเพื่อที่จะให้สัมพันธ์ กับ สัญญาณที่ส่งมาทางด้านภาคส่งซึ่งสัญญาณที่ส่งมานั้นมีความถี่นำร่อง 256 kHz รวมส่งกับสัญญาณมอดูเลต ดังนั้นต้องมีวงจรกรองความถี่ผ่าน 2 วงจร กล่าวคือ

1.วงจรกรองความถี่สัญญาณนำร่อง 256 kHz (pilot signal) สัญญาณนี้มีความสำคัญมากในการกู้สัญญาณพาห์ และ สัญญาณนาฬิกา

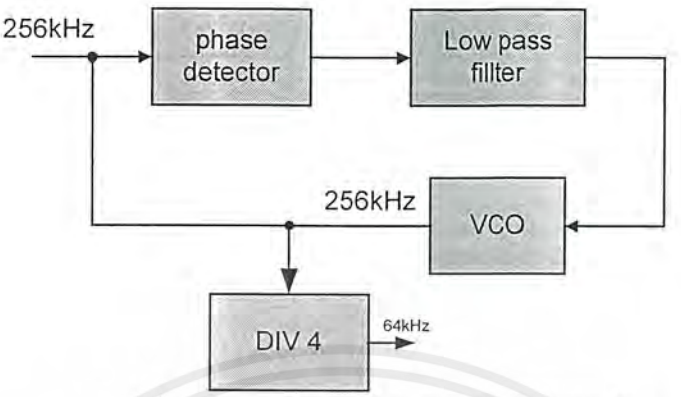
2.วงจรกรองช่วงความถี่ 480 – 544 kHz ซึ่งเป็นวงจรกรองช่วงความถี่ที่ได้จากการมอดูเลตระหว่างสัญญาณข้อมูลและสัญญาณพาห์ทางภาคส่ง สัญญาณที่ได้จะถูกส่งไปยัง วงจรดีมอดูเลตเพื่อดีเทคสัญญาณที่ต้องการออกมา สัญญาณความถี่ที่ใช้ในการดีมอดูเลต ในภาคนี้คือ 512 kHz ซึ่งจะเท่ากับสัญญาณพาห์ทางภาคส่ง แต่ในวงจรดีมอดูเลต นี้ จะต้องมีการดีมอดูเลต ถึง สองส่วน คือส่วนแรกจะใช้ความถี่เท่ากับสัญญาณพาห์โดยตรงซึ่งจะได้มาจากการกู้สัญญาณพาห์ และ อีกส่วนหนึ่งต้องนำสัญญาณที่กู้มาได้มาเลื่อนเฟส 90 องศา ก่อนถึงจะนำมาดีมอดูเลต สัญญาณที่ได้ จะถูกส่งไป ยังวงจรกรองความถี่ต่ำแล้วมาเปรียบเทียบสัญญาณโดยใช้ วงจรเปรียบเทียบสัญญาณ จะได้สัญญาณ I' และ Q' แล้วเข้ารหัสสัญญาณเกรย์เป็นรหัสไบนารี (Gray code to binary code) ได้สัญญาณ I กับ Q จากนั้นทำการเปลี่ยนข้อมูลแบบขนานเป็นอนุกรมก็จะได้ สัญญาณเอ้าท์พุต ออกมา ดังแสดงตามแผนผังการทำงานดังนี้



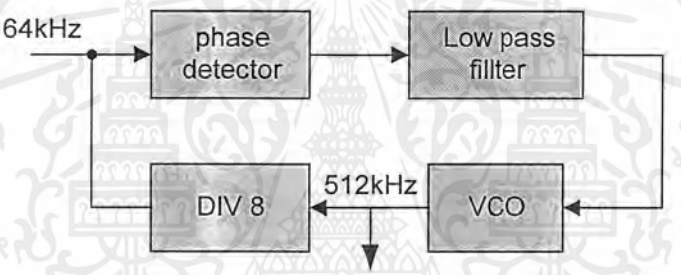
รูปที่ 3.12 แสดงแผนผังการทำงานทางภาครับ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

แสดงแผนผังการทำงานของ PLL1และ PLL2



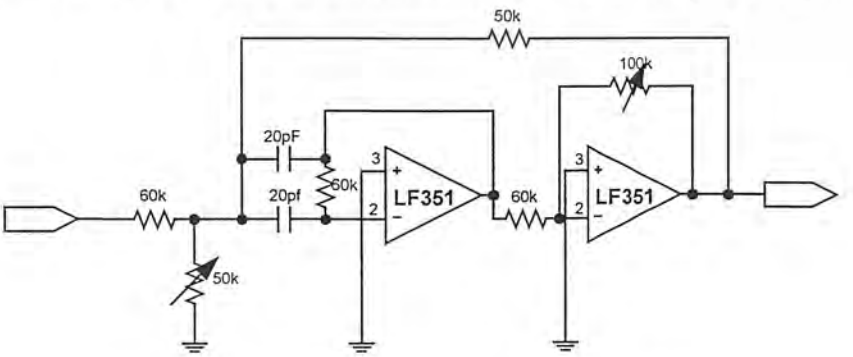
รูปที่ 3.13 แผนผังการทำงานของ PLL1ทางภาครับ



รูปที่ 3.14 แผนผังการทำงานของ PLL2ทางภาครับ

3.2.1 วงจรกรองช่วงความถี่พาห์

สัญญาณ QPSK จะถูกส่งมาทาง สายโคแอคเซียลเข้ามายังภาครับ ดังนั้น จำเป็นจะต้องมี วงจรกรองช่วงความถี่ (band pass filter) ในการตรวจรับสัญญาณมอดูเลตในขั้นต้น เพื่อทำหน้าที่คัดเลือกสัญญาณที่สามารถเข้าสู่ภาครับได้ให้อยู่ในช่วงความถี่ที่ต้องการเท่านั้น อีกทั้งยังเป็นวงจรกำจัดสัญญาณรบกวนได้อีกทางหนึ่งด้วย ในที่นี้ จะใช้วงจรกรองความถี่ของสัญญาณมอดูเลตช่วง 512 kHz

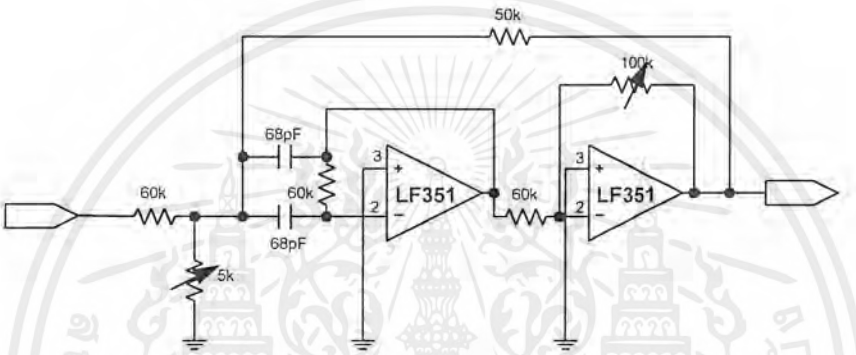


รูปที่ 3.15 วงจรกรองช่วงความถี่พาห์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.2.2 วงจรกรองความถี่ช่วงความถี่สัญญาณนำร่อง (pilot signal)

ในการออกแบบวงจรกรองช่วงความถี่สัญญาณนำร่องนี้ จะใช้วงจรกรองความถี่ที่ 256 kHz ในการออกแบบวงจรนั้นควรที่จะออกแบบให้ดีเป็นอย่างมาก เนื่องจากถ้าออกแบบไม่ดีจริงแล้วนั้นจะทำให้สัญญาณที่ได้ผิดเพี้ยนไปจากเดิม ทำให้ทางภาครับและทางภาคส่ง ไม่สัมพันธ์ กัน ซึ่งการสัมพันธ์กันเป็นหัวใจหลักในการส่งข้อมูลแบบ QPSK และที่สำคัญสัญญาณนำร่องที่ได้ต้องนำไปเป็นสัญญาณอ้างอิงในการสร้างสัญญาณนาฬิกาและสัญญาณพาห์ ยังกล่าวได้เลยอีกว่าเมื่อสัญญาณนำร่องไม่สัมพันธ์กันแล้วสัญญาณนาฬิกาและสัญญาณพาห์ก็จะไม่สัมพันธ์กันด้วย ซึ่งถ้าไม่เกิดการสัมพันธ์กันระหว่างภาคส่ง และภาครับแล้วนั้น การรับข้อมูลที่ได้จะผิดพลาดทันทีหรือกล่าวอีกนัยหนึ่งคือ ภาครับทำงานไม่ได้เลย



รูปที่ 3.16 วงจรกรองช่วงความถี่สัญญาณนำร่อง

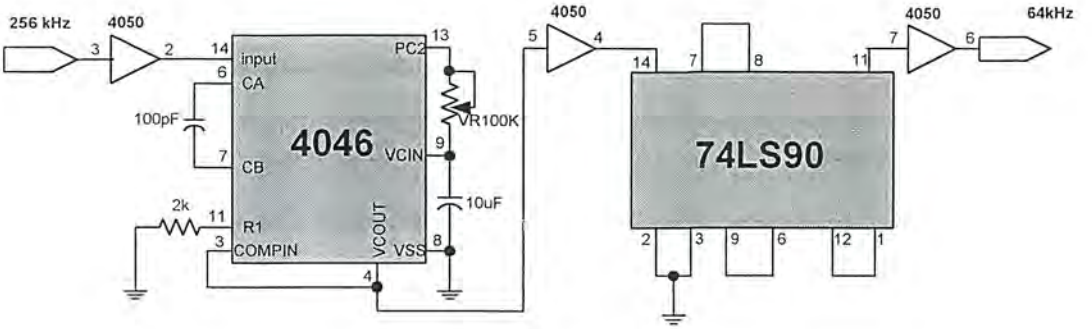
3.2.3 วงจรกู้สัญญาณนาฬิกา

เมื่อสัญญาณนำร่อง 256 kHz ผ่านวงจรกรองความถี่แล้วจะถูกส่งไปยังวงจรกู้สัญญาณนาฬิกาเพื่อทำการแปลงสัญญาณรูปไซน์ ให้เป็นสัญญาณสี่เหลี่ยม แล้วใช้วงจรหารความถี่ 4 เท่า ซึ่งจะเท่ากับ 64 kHz ซึ่งจะเท่ากับสัญญาณนาฬิกาทางภาคส่งพอดี

เนื่องจากการที่ภาคส่งนั้น สัญญาณนำร่อง ได้มาจากการอ้างอิงสัญญาณนาฬิกาโดยใช้วงจร เฟสล็อคลูป ทำการล็อคสัญญาณนาฬิกาเอาไว้ แล้วคูณความถี่ให้สูงขึ้นจากนั้นใช้วงจรกรองความถี่ช่วยทำสัญญาณสี่เหลี่ยม กลายเป็นสัญญาณไซน์ และที่ภาครับเมื่อรับสัญญาณนำร่อง ได้แล้วจะใช้ เฟสล็อคลูป ทำการล็อคความถี่เอาไว้พร้อมกับแปลงสัญญาณรูปไซน์ ให้เป็นสัญญาณสี่เหลี่ยม จากนั้นก็ใช้วงจรหารความถี่เพื่อให้ความถี่ลดลงเหลือเท่ากับความถี่ของ สัญญาณนาฬิกาพอดี

ดังนั้นจะเห็นได้ว่า การสร้างสัญญาณนำร่อง ของทางภาคส่ง และสัญญาณนาฬิกาของภาครับนั้นจะอาศัยการอ้างอิงและเปรียบเทียบกับสัญญาณที่มีอยู่แล้วในวงจร อีกทั้งเป็นสัญญาณตัวเดียวกันอีกด้วย รวมทั้งการใช้วงจรเฟสล็อคลูป ซึ่งมีวงจรผลิตความถี่ และ วงจรเปรียบเทียบเฟสสัญญาณอยู่ภายใน จึงเป็นทำการให้เกิด การสัมพันธ์ กันระหว่างภาคส่งและภาครับ

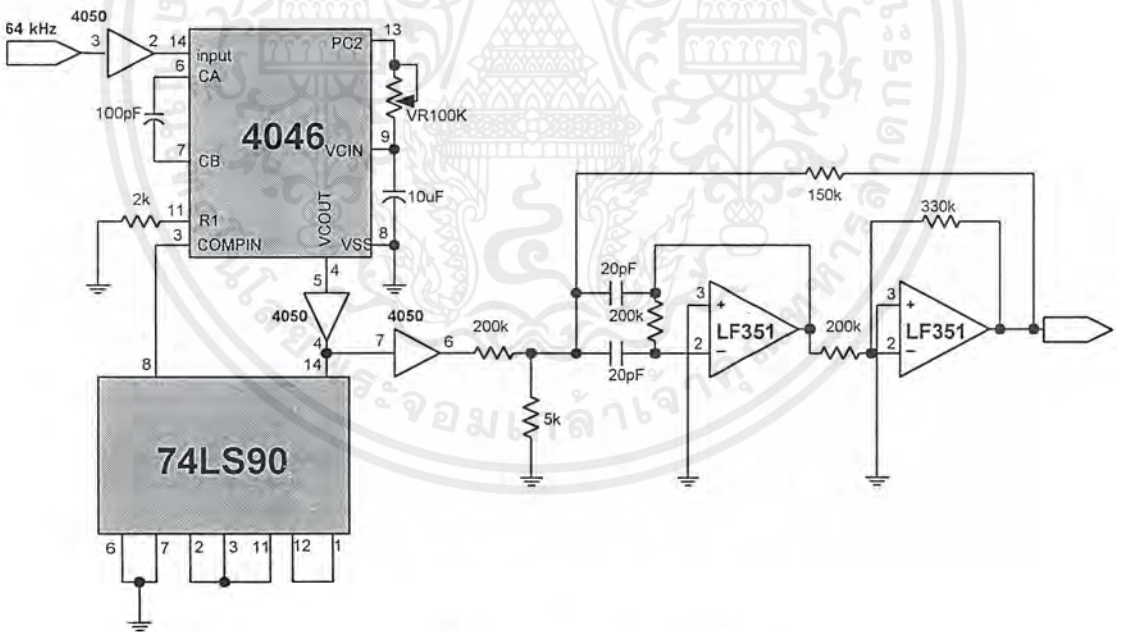
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.17 วงจรกู้สัญญาณนาฬิกา

3.2.4 วงจรกู้สัญญาณพาห์

วงจรกู้สัญญาณพาห์นั้นก็ใช้หลักการและวิธีการเหมือนกันทุกประเภทกับวงจรกำเนิดสัญญาณพาห์ของทางภาคส่ง กล่าวคือจะอาศัยสัญญาณนาฬิกาที่ได้จากวงจรกู้สัญญาณนาฬิกา มาใช้เป็นสัญญาณอ้างอิง แล้วคูณความถี่เป็น 8 เท่า โดยใช้วงจร เฟสล็อคลูป จากนั้นก็จะผ่านวงจรกรองความถี่ ทำการคัดเลือกเฉพาะสัญญาณรูปไซน์เพื่อนำไปเป็นสัญญาณพาห์ สำหรับใช้ในวงจรบาลานซ์ดีมอดูเลเตอร์ต่อไปนี้ ดังแสดงดังรูปที่ 3.18



รูปที่ 3.18 วงจรกู้สัญญาณพาห์

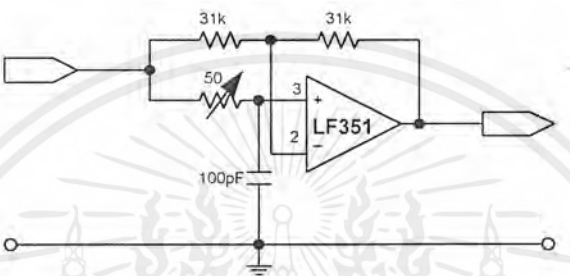
3.2.5 วงจรเลื่อนเฟสสัญญาณ 90 องศา

เนื่องจากสัญญาณมอดูเลตที่รับมานั้น จะประกอบไปด้วยสัญญาณดิจิตอลที่ถูกแยกออกเป็นสองส่วนคือ ส่วนช่องสัญญาณ I และ ช่องสัญญาณ Q สัญญาณข้อมูล 1 บิท ที่ถูกแยกออกมานั้น จะกลายเป็นของสัญญาณ 2 ระดับแล้วมอดูเลตมา กับ สัญญาณพาห์ โดยวงจรบาลานท์มอดูเลเตอร์ และนำมารวมกัน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ระหว่างสัญญาณมอดูเลตทางด้านช่อง I ที่ใช้สัญญาณคลื่นรูปไซน์ เป็นสัญญาณพาห์ และ สัญญาณมอดูเลตทางด้าน ช่อง Q ที่ใช้สัญญาณคลื่นรูปโคไซน์ เป็นสัญญาณพาห์ ในทำนองเดียวกัน ณ ที่ภาครับนี้ สัญญาณพาห์ก็ต้องมี 2 ชุด ด้วยโดยจะใช้สัญญาณคลื่นรูปไซน์ ที่ได้มาจากวงจรกู้สัญญาณพาห์เพื่อนำมาใช้ในวงจรบาลานซ์ดีมอดูเลเตอร์ ของทาง อินเฟส และจะใช้สัญญาณคลื่นรูปโคไซน์ ที่ได้มาจากวงจรกู้สัญญาณพาห์แล้วผ่านวงจรเลื่อนเฟส 90 องศาเพื่อนำไปใช้ในวงจรบาลานซ์ดีมอดูเลเตอร์ของทางด้านควอดราเจอร์เฟส

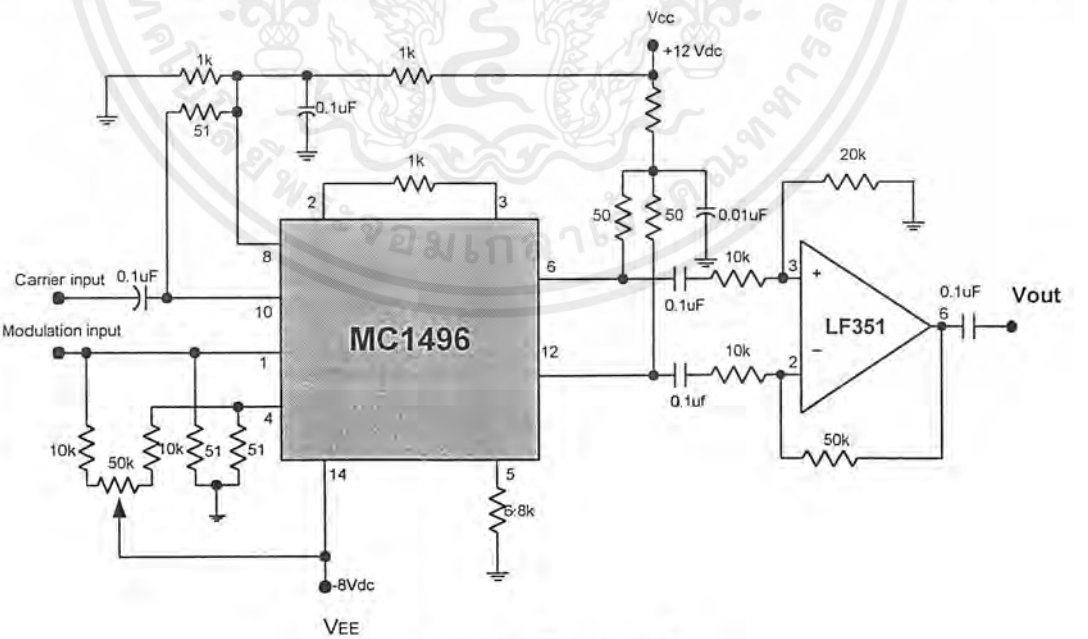
สำหรับวงจรเลื่อนเฟสสัญญาณ 90 องศา นั้น ก็จะใช้วงจรกรองทุกความถี่ผ่าน ชนิด V_o ล้าหลัง V_{in} อยู่ 90 องศา ซึ่งวงจรที่ใช้วงจรรูปที่ 3.19



รูปที่ 3.19 วงจรเลื่อนเฟส 90 องศา

3.2.6 วงจรบาลานซ์ดีมอดูเลต

วงจรบาลานซ์ดีมอดูเลตที่ใช้ในภาครับนี้ จะเป็นวงจรที่คล้ายกับวงจรบาลานซ์มอดูเลตที่ใช้ในทางภาคส่ง กล่าวคือใช้ ไอซี เบอร์ 1496 ซึ่งเป็นไอซีที่ใช้ในการคูณสัญญาณโดยตรง แต่ ในการออกแบบ



รูปที่ 3.20 วงจรดีมอดูเลเตอร์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

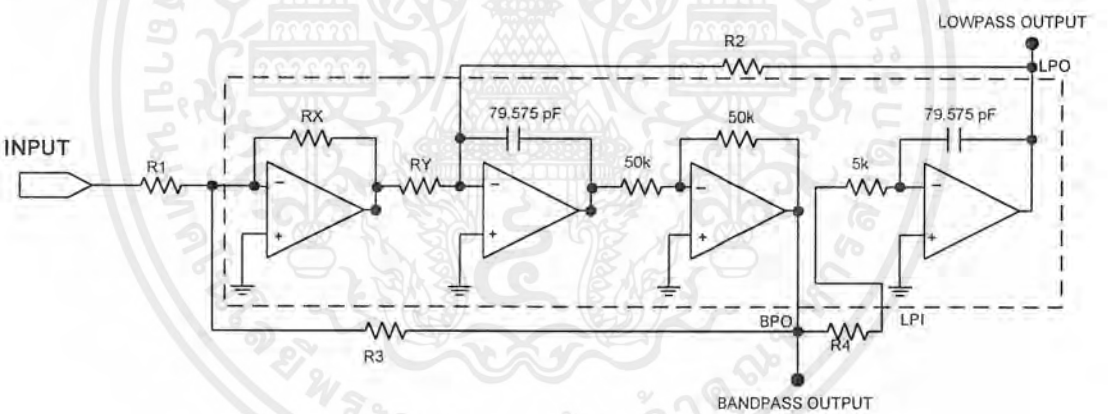
นั้นมีข้อจำกัดอยู่ว่า สัญญาณพาห์ที่นำมา คูณนั้นต้องไม่เกิน 300 มิลลิโวลท์ และสัญญาณที่นำมามอดูเลต ต้องมีค่าประมาณ 500 มิลลิโวลท์ แต่ในทางการออกแบบนั้นจะต้องใช้ ตัวต้านทานแบบปรับค่าได้ ก่อนที่จะนำไปคูณหรือ ดีมอดูเลต

สัญญาณที่ออกจากวงจรดีมอดูเลตแล้วนั้น จะได้สัญญาณที่ต่ำมาก ดังนั้นจึงต้องนำสัญญาณที่ได้ไปผ่านวงจรขยายก่อนถึงจะนำไปผ่านวงจรกรองความถี่ต่ำผ่านต่อไป

3.2.7 วงจรกรองความถี่ต่ำผ่าน

เมื่อทำการดีมอดูเลตทั้งสองช่องแล้ว สัญญาณเอ้าท์พุท ทั้งสองวงจรนั้นจะประกอบด้วยสัญญาณที่เกิดจากการคูณกันระหว่างสัญญาณพาห์และสัญญาณมอดูเลตทางภาคส่งและผลที่ได้จะมีสัญญาณความถี่สูง และสัญญาณความถี่ต่ำผ่าน สัญญาณ 2 ระดับที่ต้องการนั้นอยู่ในรูปของสัญญาณความถี่ต่ำ ดังนั้น วงจรกรองความถี่ต่ำผ่านจะทำหน้าที่กรองความถี่ต่ำที่ต้องการเท่านั้น ส่วนสัญญาณความถี่สูงจะถูกต้องตัดทิ้งไปเหลือเพียงสัญญาณ 2 ระดับ ในส่วนของความถี่ต่ำเท่านั้น

ในการออกแบบนั้นใช้ไอซีเบอร์MAX274 ซึ่งเป็น วงจรกรองความถี่แบบ แอคทีฟ ฟิลเตอร์ โดยวงจรภายในประกอบด้วย วงจรกรองความถี่แบบ แอคทีฟ ฟิลเตอร์แบบกำลังสอง(Second-order active filter) จำนวน 4 ส่วน ซึ่งแต่ 1ส่วน (Section) มีวงจรดังรูป



รูปที่ 3.21 วงจรโครงสร้างภายในของไอซีเบอร์MAX 274 ใน 1 ส่วน (Section)

ในการออกแบบมีขั้นตอนดังนี้

1. คำนวณหาค่า R_2

$$R_2 = (2\times10^9)/f_c \qquad \text{โดย } f_c = \text{ความถี่ศูนย์กลาง}$$
$$= (2\times10^9)/(16\times10^3)$$
$$= 125\ \text{k}\Omega$$

2. คำนวณหาค่า R_4

$$R_4 = R_2 - 5\ \text{k}\Omega \qquad \text{โดย ค่าความต้านทาน } R_2 \text{ และ } R_4 \text{ จะทำหน้าที่ปรับค่าความถี่ศูนย์กลาง}$$
$$= 125\ \text{k}\Omega - 5\text{k}\Omega$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$= 120\ k\Omega$

3. คำนวณหาค่า R_3

R_3 จะทำหน้าที่ปรับค่าความเบี่ยงเบนความถี่ (Q) โดยการเลือกค่า R_3 นี้ขึ้นอยู่กับขา FC(ขา 8)

$$R_3 = [\, Q\,(2 \times 10^9) / f_c \,] \times (\, Rx / Ry \,) \qquad \text{โดย } Rx / Ry = 1/5$$

$$= (125 \times 10^3) / 5$$

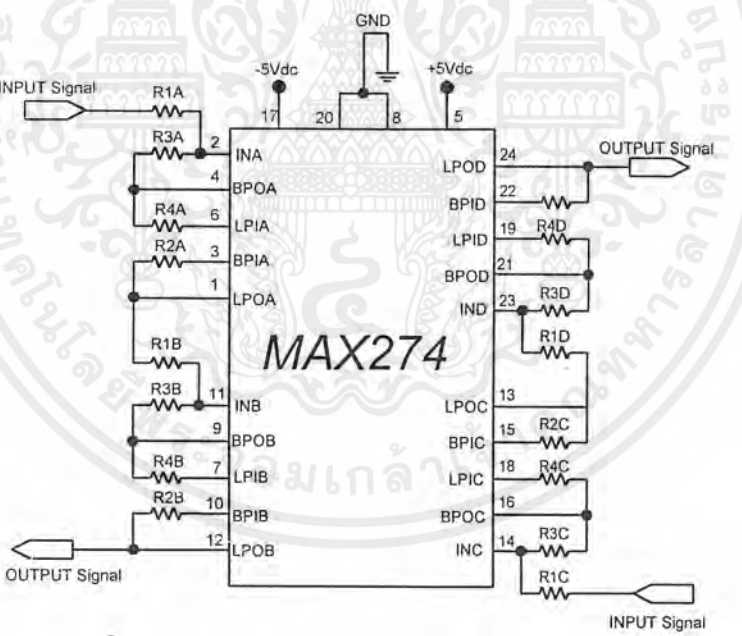
$$= 25\ k\Omega$$

4. คำนวณหาค่า R_1

R_1 ทำหน้าที่ปรับอัตราการขยาย (Gain) ของวงจร

$$R_1 = [\, (2 \times 10^9) / f_c(H_{OLP}) \,] \times (\, Rx / Ry \,) \qquad \text{โดย } H_{OLP} = \text{อัตราการขยายของวงจร}$$

ในการออกแบบวงจร เนื่องจากว่าในตัวไอซีเบอร์ MAX 274 นี้มีอยู่ 4 ส่วน แต่ละส่วนมี วงจรกรองความถี่ต่ำผ่าน ซึ่งเป็นวงจรกรองความถี่ต่ำแบบกำลังสอง(Second Order) เมื่อใช้ในงานจริงแล้วเมื่อเราต่อแต่ละส่วนเข้าด้วยกันแล้ว ทำให้มีกำลัง(Order) สูงขึ้น ซึ่งเป็นผลดีอย่างมาก ดังนั้นจะได้วงจรดังรูปดังนี้



รูปที่ 3.22 วงจรกรองความถี่ต่ำผ่าน แบบกำลังสี่(fourth order)

3.2.8 วงจรแปลงสัญญาณ 2 ระดับ เป็น 1 บิท

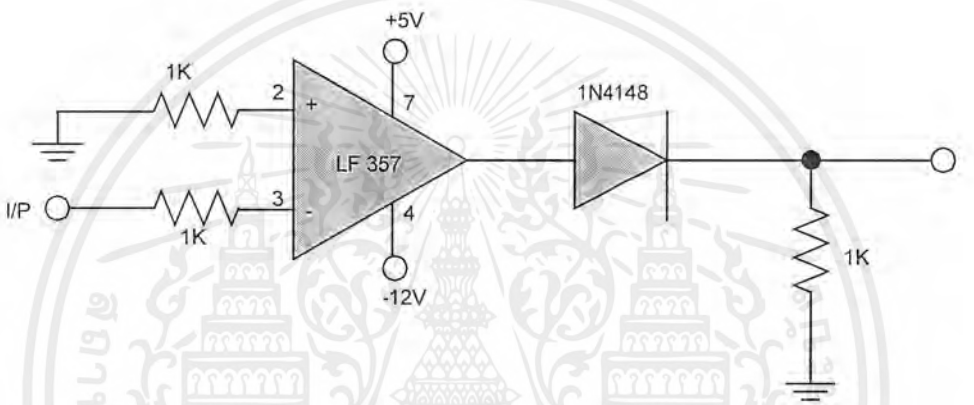
เมื่อทำการกรองเฉพาะความถี่ต่ำที่ต้องการได้แล้ว ต่อไปต้องนำสัญญาณนั้นมาทำการแยกระดับสัญญาณต่างๆ เป็น 2 ระดับเหมือนกันกับสัญญาณก่อนเข้าบาลานซ์มอดูเลเตอร์ทางด้านส่ง ระดับสัญญาณที่ได้ดังแสดงตารางที่ 3.3

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Input	Output	Gray code
+4.5	5	1
-4.5	0	0

ตารางที่ 3.3 ระดับที่ สัญญาณ 2 ระดับ

ในส่วนของการทำระดับสัญญาณ 2 ระดับเป็น ระดับ 0 กับ 1 นั้นเราต้องใช้วงจร เปรียบเทียบสัญญาณ จะทำการจัดระดับสัญญาณเป็น 1 ที่ระดับ +5 โวลท์ และทำการจัดระดับสัญญาณเป็น 0 ที่ระดับ –12 หรือต่ำกว่า 5 โวลท์ ดังรูปที่ 3.23



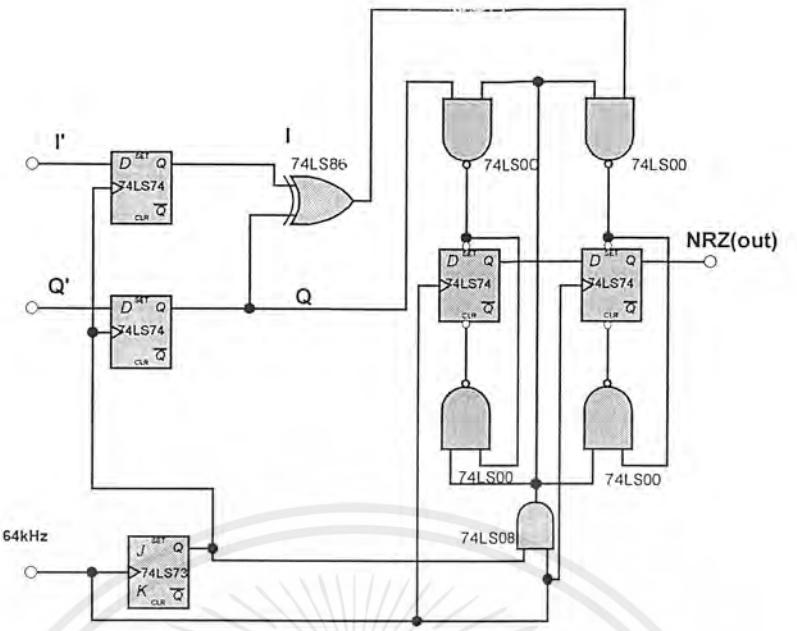
รูปที่ 3.23 วงจรเปรียบเทียบสัญญาณ

3.2.9 วงจรรวมสัญญาณดิจิตอล

เป็นวงจรที่มีลักษณะ และ ทำหน้าที่การทำงานตรงกันข้ามกับวงจรแยกสัญญาณดิจิตอลทางภาคส่ง เพื่อที่จะรวมสัญญาณดิจิตอลทางด้านช่อง I และ ช่อง Q จากสัญญาณแบบขนานไปเป็นสัญญาณดิจิตอลแบบอนุกรมโดยการควบคุมจังหวะการทำงานของฟลิปฟลอป จากสัญญาณนาฬิกาที่ได้จากการกู้สัญญาณนาฬิกา แต่ต้องแปลงรหัสเกรย์ เป็น รหัสไบนารีก่อน โดยใช้เอ็กคลูซีฟออร์เกท

ส่วนวงจรหน่วงเวลา 2 บิท นั้นเป็นตัวควบคุมจังหวะการทำงานของขา Present และ ขา Clear ของ ดี ฟลิปฟลอป ส่งข้อมูลเฉพาะสัญญาณนาฬิกาลูกแรกเท่านั้น จึงใช้ NAND Gate ในการบังคับ ดี ฟลิปฟลอป หลักการดังกล่าวเป็นหลักการของวงจรแปลงข้อมูลจากขนานไปเป็นอนุกรม วงจรนี้ได้ทำการทดลองเป็นดังรูปที่ 3.24

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.24 วงจรรวมสัญญาณดิจิตอล

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 4

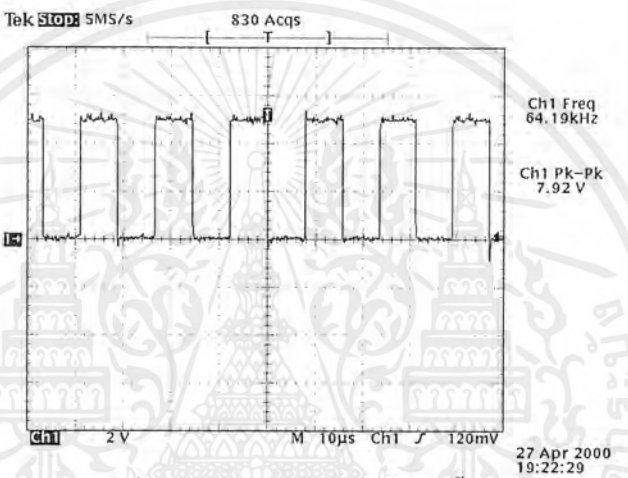
ผลการทดลอง

4.1 เครื่องส่ง

ในการทดลองส่งข้อมูลแบบ QPSK จะทำการต่อสายโคแอคเชียล(Coaxial cable) จากเครื่องส่งไปยังเครื่องรับเมื่อเปิดเครื่องแล้วนำ ออสซิลโลสโคป(Oscilloscope) วัดตามจุดต่างๆในแต่ละภาคดังนี้

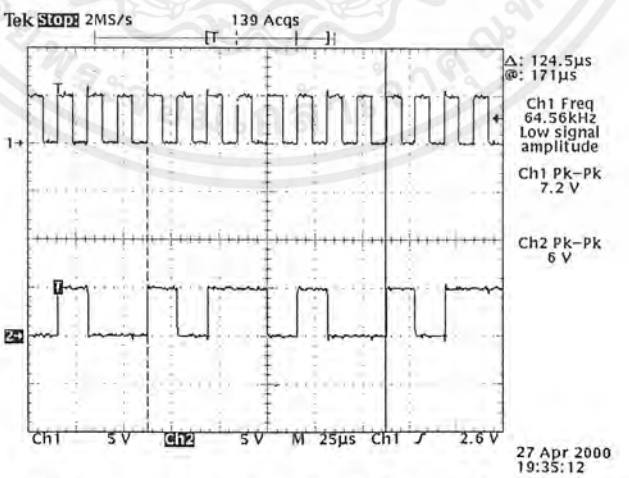
4.1.1 ภาควงจรกำเนิดสัญญาณนาฬิกา 64 kHz

วงจรภาคนี้ใช้เป็นฐานเวลาในการส่งสัญญาณข้อมูลและยังนำไปใช้ในการกำเนิดสัญญาณนำร่องและสัญญาณพาห์



รูปที่ 4.1.1 สัญญาณนาฬิกาที่สร้างขึ้น

4.1.2 วงจรกำเนิดข้อมูลไบนารี NRZ ความเร็วในการส่ง 64 kbps



รูปที่ 4.1.2 สัญญาณนาฬิกาเปรียบเทียบกับสัญญาณข้อมูล 10110100

CH1 สัญญาณนาฬิกา

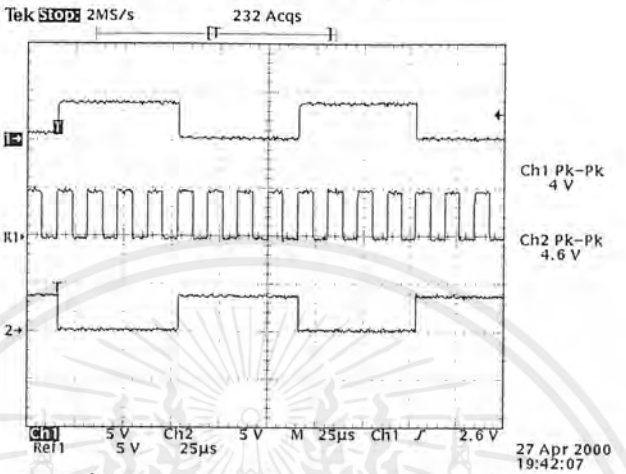
CH2 สัญญาณข้อมูล 10110100

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

วงจรส่วนนี้จะใช้สัญญาณนาฬิกามากำหนดความเร็วในการเลื่อนข้อมูลของไอซีเบอร์ 74165 โดยสามารถเปลี่ยนแปลงข้อมูลได้ โดยการใช้ Dip Switch ข้อมูลที่ได้จะมีลักษณะต่อเนื่องกัน 8 bit

4.1.3 วงจรแยกสัญญาณข้อมูล

เนื่องจากในการส่งข้อมูล QPSK ข้อมูลที่จะส่งเป็นแบบอนุกรม ดังนั้นจึงต้องทำการแยกให้อยู่ในรูปของข้อมูลที่ขนานกัน โดยแบ่งเป็นสองช่องคือ ช่อง I และ Q



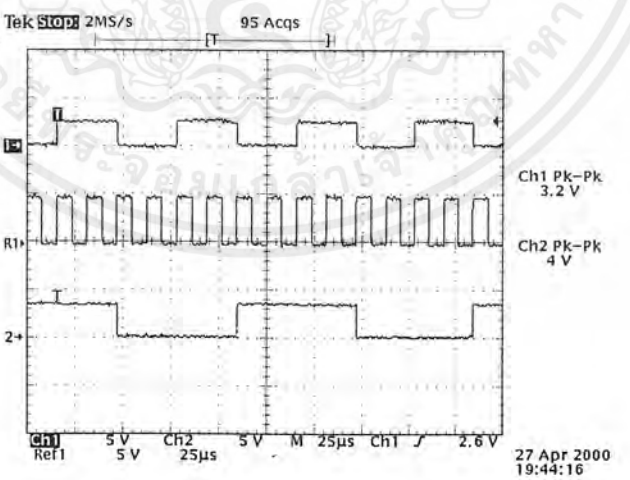
รูปที่ 4.1.3 สัญญาณข้อมูลที่ถูกแยกเป็นช่อง I และ Q เปรียบเทียบกับสัญญาณนาฬิกา

CH1 สัญญาณช่อง I

CH2 สัญญาณช่อง Q

Ref1 สัญญาณนาฬิกา

4.1.4 วงจรเปลี่ยนรหัสไบนารีเป็นรหัสเกรย์



รูปที่ 4.1.4 สัญญาณ I และ Q ที่เปลี่ยนเป็นรหัสเกรย์แล้ว เปรียบเทียบกับสัญญาณนาฬิกา

CH1 สัญญาณ I'

CH2 สัญญาณ Q'

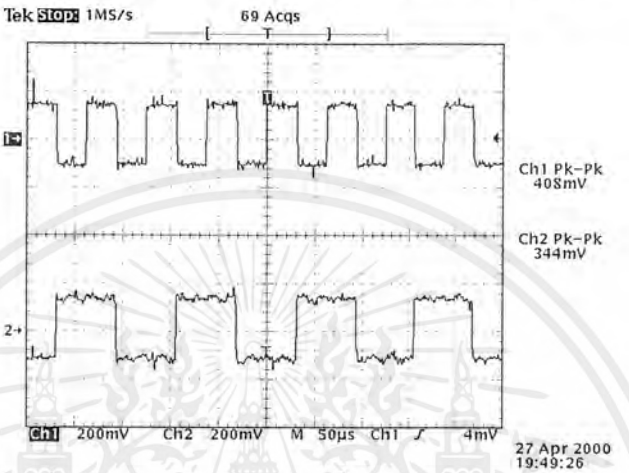
Ref1 สัญญาณนาฬิกา

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การเข้ารหัสเกรย์ก็เพื่อป้องกันการผิดพลาดของข้อมูลที่ทำการส่ง โดยเรียกสัญญาณ I และ Q ที่เปลี่ยนเป็นรหัสเกรย์แล้วว่า I' และ Q' ตามลำดับ

4.1.5 วงจรปรับระดับสัญญาณ

เนื่องจากสัญญาณขาออกจากวงจรประเภท TTL จะมีระดับลอจิก 1,0 เป็น ระดับสัญญาณ +5 โวลท์และกราวด์ตามลำดับ แต่ในการส่งสัญญาณแบบ QPSK นั้น สัญญาณดิจิตอลที่จะนำมามอดูเลตกับสัญญาณคลื่นพาหะ จะต้องมีความแตกต่างเป็นสัญญาณ 1,0 ต้องมีระดับเป็น +V และ –V ตามลำดับ

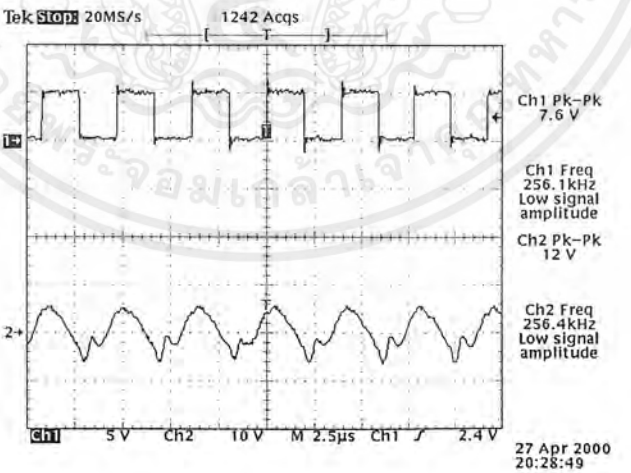


รูปที่ 4.1.5 สัญญาณ I' และ Q' ที่ทำการปรับระดับแล้ว

CH1 สัญญาณ I' ที่ทำการปรับระดับแล้ว

CH2 สัญญาณ Q' ที่ทำการปรับระดับแล้ว

4.1.6 วงจรกำเนิดสัญญาณนำร่อง 256 kHz



รูปที่ 4.1.6 สัญญาณจากวงจรกำเนิดสัญญาณนาฬิกาเปรียบเทียบกับสัญญาณนำร่อง

CH1 สัญญาณจากวงจรกำเนิดสัญญาณนาฬิกา

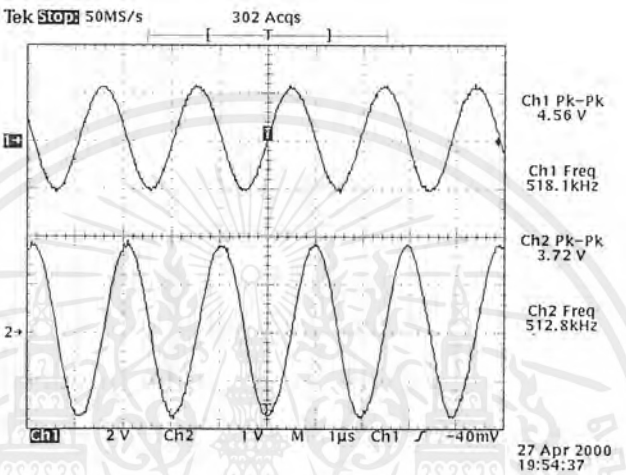
CH2 สัญญาณที่ผ่านวงจรกรองความถี่แถบผ่านแล้วเป็นสัญญาณนำร่อง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เนื่องจากในการรับข้อมูล ทางภาครับต้องความสัมพันธ์กับภาคส่ง ดังนั้นเพื่อเป็นการง่ายจึงทำการส่งสัญญาณนำร่อง โดยสัญญาณนำร่องจะได้จากสัญญาณคลื่นสี่เหลี่ยม 256 kHz จากวงจรสร้างสัญญาณนาฬิกา นำมาผ่านวงจรกรองช่วงความถี่เพื่อให้ได้สัญญาณไซน์ที่มีความถี่ 256 kHz

4.1.7 วงจรกำเนิดสัญญาณพาห์ความถี่ 512 kHz

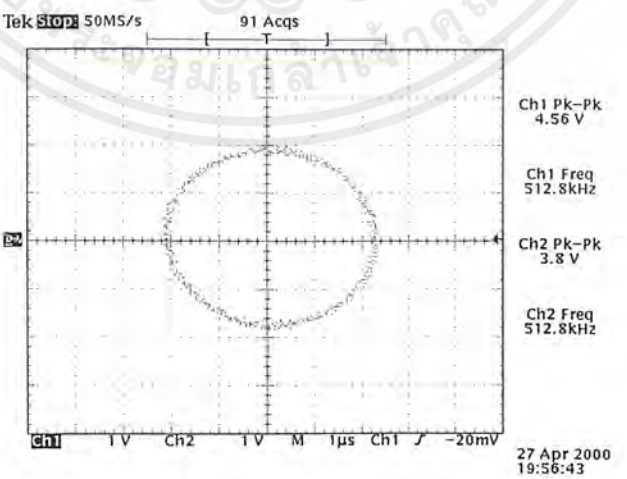
ในการกำเนิดสัญญาณพาห์ จะใช้สัญญาณนาฬิกา 64 kHz มาเข้าวงจรเฟสล็อคลูป เพื่อคูณความถี่ไป 8 เท่า แล้วจึงนำสัญญาณนี้ไปเข้าวงจรกรองช่วงความถี่ เพื่อให้ได้สัญญาณพาห์ 512 kHz ก่อน แล้วจึงนำไปเลื่อนเฟสอีก 90 องศา



รูปที่4.1.7(ก) สัญญาณคลื่นพาห์ที่ได้จากวงจรกรองความถี่แถบผ่านเทียบกับสัญญาณที่ทำการเลื่อนเฟส 90 องศา

CH1 สัญญาณคลื่นพาห์

CH2 สัญญาณคลื่นพาห์ที่เลื่อนเฟส 90 องศา

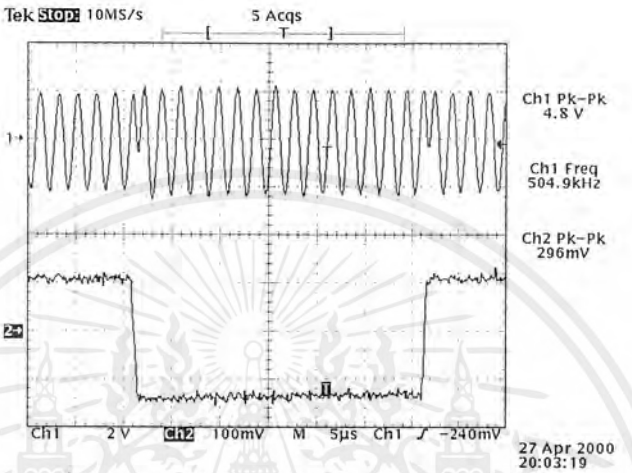


รูปที่ 4.1.7 (ข) แสดงการเปรียบเทียบสัญญาณคลื่นพาห์ทั้งสองใน X-Y MODE

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4.1.8 วงจรมอดูเลเตอร์แบบแยกคลื่นพาห์

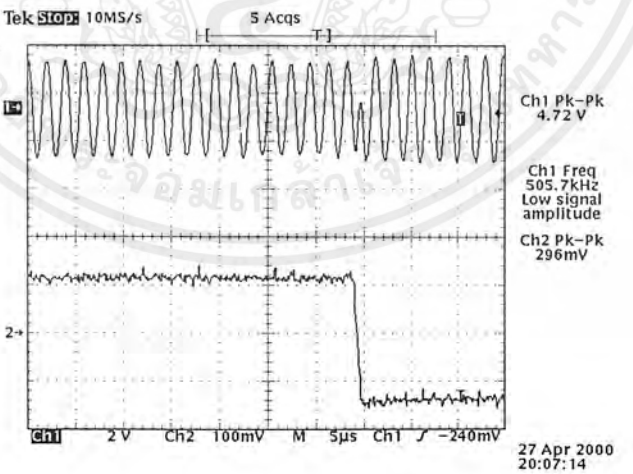
จะแบ่งเป็น 2 วงจรคือ นำ I' มามอดูเลตกับสัญญาณคลื่นพาห์ และนำ Q' มามอดูเลตกับสัญญาณคลื่นพาห์ที่เลื่อนเฟส 90 องศา จะเรียกสัญญาณทั้งคู่ว่า สัญญาณช่อง I(I channel) และ สัญญาณ ช่องQ (Q channel) ตามลำดับ



รูปที่4.1.8(ก) เปรียบเทียบสัญญาณ I channel กับ I'

CH1 สัญญาณ I channel

CH2 สัญญาณ I'

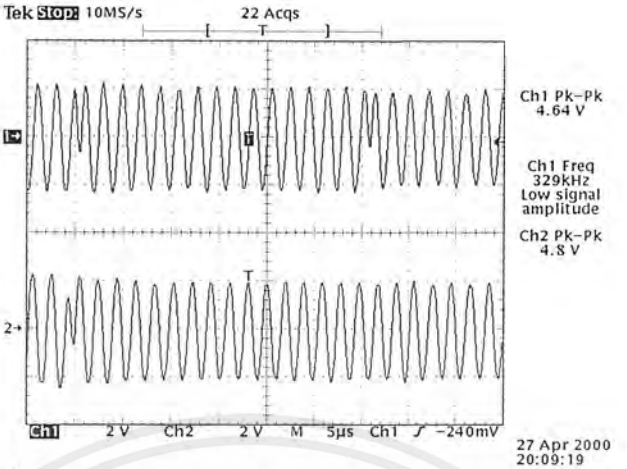


รูปที่ 4.1.8(ข) เปรียบเทียบสัญญาณ Q กับ Q'

CH1 สัญญาณ Q channel

CH2 สัญญาณ Q'

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



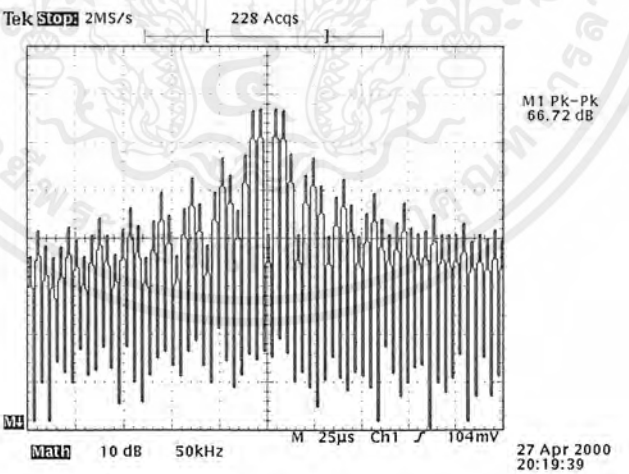
รูปที่ 4.1.8(ค) เปรียบเทียบสัญญาณ I channel และ Q channel

CH1 สัญญาณ I channel

CH2 สัญญาณ Q channel

4.1.9 วงจรรวมสัญญาณ

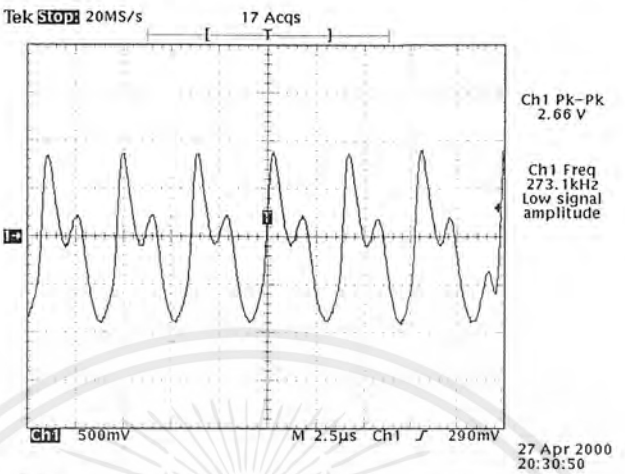
ในการส่งสัญญาณ QPSK จะทำการส่งข้อมูลที่เป็นผลรวมของ I channel ,Q channel และสัญญาณนำร่อง โดยในการทดสอบครั้งแรกจะยังไม่รวมสัญญาณนำร่อง



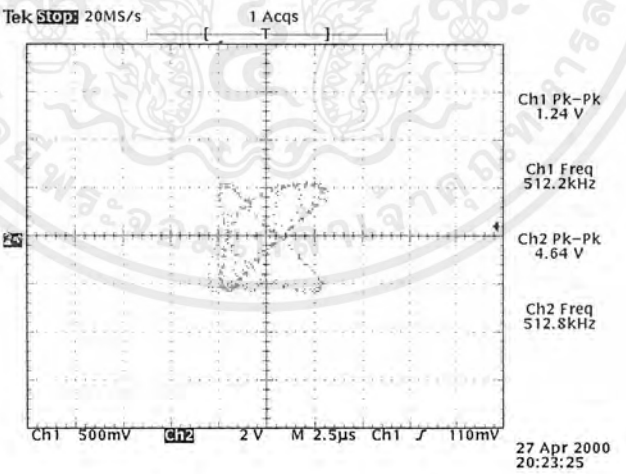
รูปที่ 4.1.9(ก) สเปกตรัมของสัญญาณ I channel รวมกับ Q channel

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ทำการส่งสัญญาณ QPSK จะทำการรวมสัญญาณนำร่อง

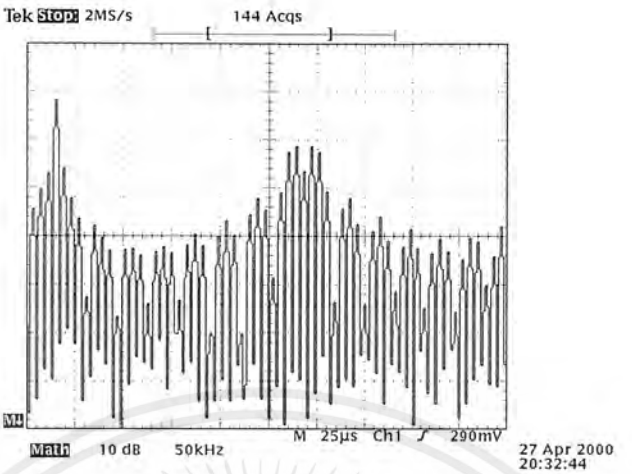


รูปที่ 4.1.9(ข) สัญญาณ QPSK



รูปที่ 4.1.9 (ค) เปรียบเทียบสัญญาณ QPSK กับสัญญาณพาหะใน X-Y MODE

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



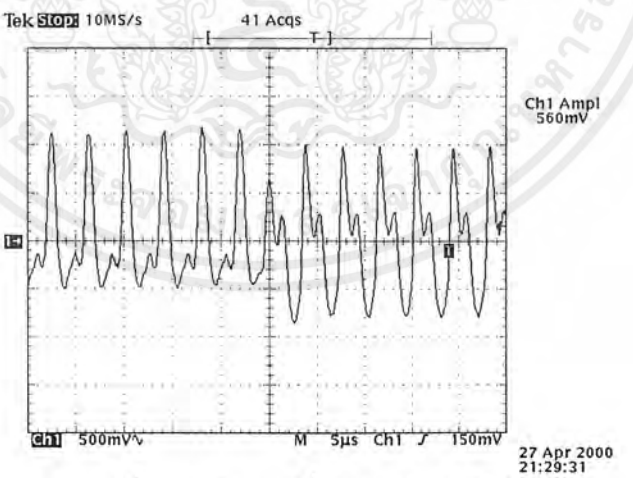
รูปที่ 4.1.9(ง) สเปกตรัมของสัญญาณ QPSK

4.2 เครื่องรับ

เมื่อทางภาคส่ง ส่งข้อมูลมาทางภาครับ โดยผ่านสายโคแอคเชียล ใช้ออสซิลโลสโคปวัดตามจุดต่างดังนี้

4.2.1สัญญาณที่รับได้จากภาคส่งก่อนที่จะเข้าภาควงจรกรองช่วงความถี่ผ่าน

ซึ่งการการเปรียบเทียบระหว่างภาครับและภาคส่งจะมีลักษณะเหมือนกัน



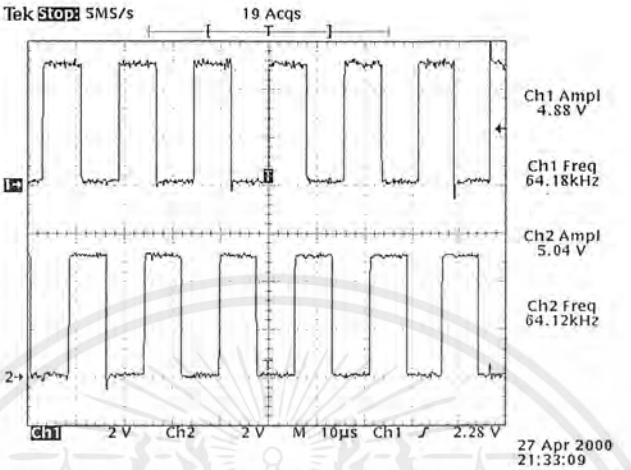
รูปที่ 4.2.1 สัญญาณที่ทางภาครับ รับได้

สัญญาณที่รับได้จะถูกวงจรกรองช่วงความถี่ผ่าน อยู่ 2 วงจร กล่าวคือ วงจรกรองช่วงความถี่นำร่อง และวงจรกรองช่วงความถี่สัญญาณที่มอดูเลตทางภาคส่ง สัญญาณที่ถูกวงจรกรองช่วงความถี่นำร่องแล้ว สัญญาณที่ได้จะถูกนำไปเป็นสัญญาณอ้างอิงในการกู้สัญญาณนาฬิกา

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4.2.2 ภาคกรองช่วงความถี่นำร่องและวงจรกู้สัญญาณนาฬิกา

เมื่อสัญญาณข้อมูลที่รับได้จะถูกกรองความถี่ด้วยวงจรกรองช่วงความถี่ 256 kHz แล้วนำเป็นสัญญาณอ้างอิงในการกู้สัญญาณนาฬิกา



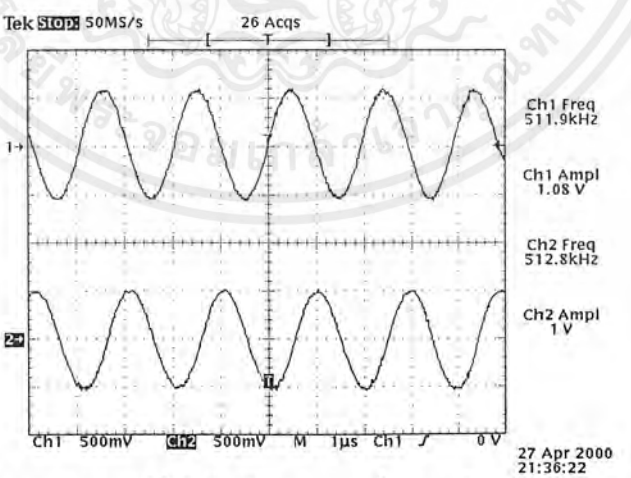
รูปที่ 4.2.2 แสดงรูปของสัญญาณนาฬิกาที่กู้ได้เปรียบเทียบกับสัญญาณนาฬิกาทางภาคส่ง

CH1 สัญญาณนาฬิกาทางภาคส่ง

CH2 สัญญาณนาฬิกาที่กู้ได้ทางภาครับ

4.2.3 นำสัญญาณนาฬิกาเป็นสัญญาณอ้างอิงในการกู้สัญญาณพาห์

นำสัญญาณนาฬิกาที่กู้ได้มาเป็นสัญญาณอ้างอิงในการสร้างสัญญาณพาห์เมื่อได้สัญญาณพาห์แล้วนำสัญญาณที่ได้ไปผ่านวงจรเลื่อนเฟส 90 องศา ผลการทดลองได้ดังรูป



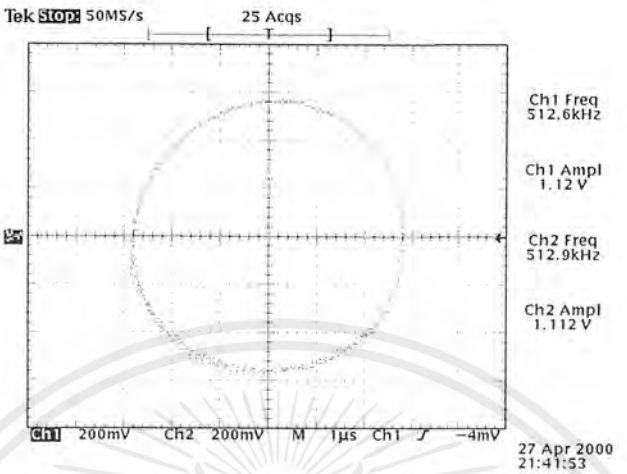
รูปที่ 4.2.3 (ก) สัญญาณพาห์ที่กู้ได้ แล้วผ่านวงจรเลื่อนเฟสไป 90 องศา

CH 1 สัญญาณพาห์ก่อนผ่านวงจรเลื่อนเฟส 90 องศา

CH 2 สัญญาณพาห์หลังการผ่านวงจรเลื่อนเฟส 90 องศา

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

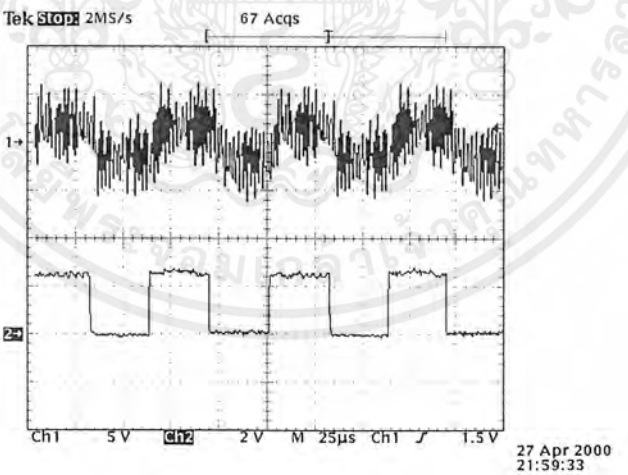
นำสัญญาณทั้งสองมาวัดทาง X-Y Mode



รูปที่ 4.2.3 (ข) สัญญาณพาห์ที่กู้ได้เปรียบเทียบกับสัญญาณพาห์ที่ถูกเลื่อนเฟสไป 90 องศา

4.2.4 ภาควงจรดีมอดูเลต

คือการนำเอาสัญญาณพาห์มาคูณกับสัญญาณข้อมูลที่รับได้ สัญญาณพาห์ที่กู้ได้ เข้าวงจรดีมอดูเลตเพื่อดีเทคสัญญาณช่อง I

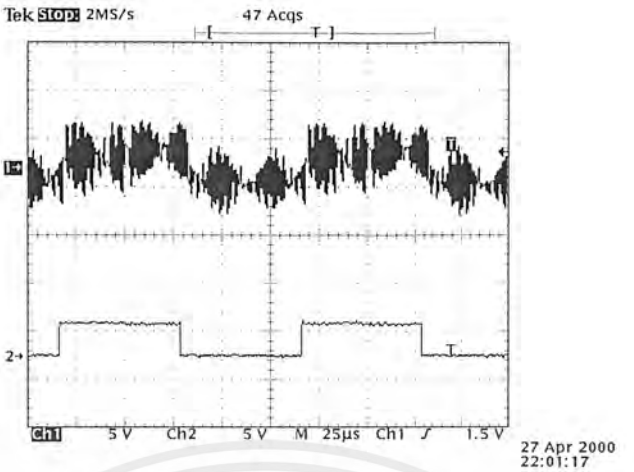


รูปที่ 4.2.4 (ก) สัญญาณเอ้าท์พุทที่ได้จากวงจรดีมอดูเลต เปรียบเทียบกับสัญญาณช่อง I

CH 1 สัญญาณที่ผ่านวงจรดีมอดูเลต

CH 2 สัญญาณช่อง I

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



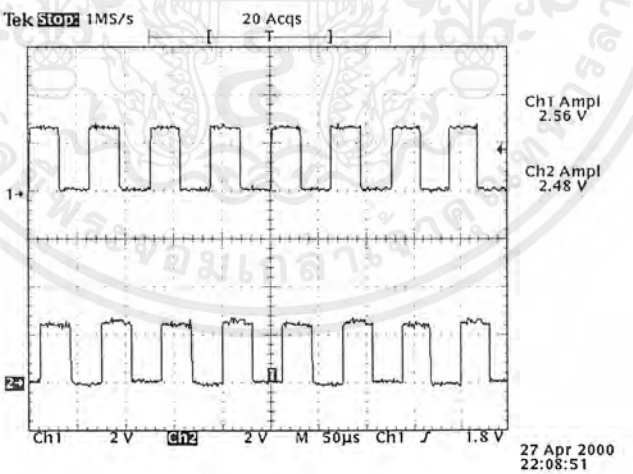
รูปที่ 4.2.4 (ข) สัญญาณเอ้าท์พุทที่ได้จากวงจรดีมอดูเลต เปรียบเทียบกับสัญญาณ ช่อง Q

CH 1 สัญญาณที่ผ่านวงจรดีมอดูเลต

CH 2 สัญญาณช่อง Q

4.2.5ภาควงจรกรองความถี่ต่ำผ่านและวงจรเปรียบเทียบสัญญาณ

สัญญาณที่ผ่านวงจรดีมอดูเลตจะต้องถูกส่งไปวงจรกรองความถี่ต่ำผ่านก่อนแล้วเข้าวงจรเปรียบเทียบสัญญาณต่อไป

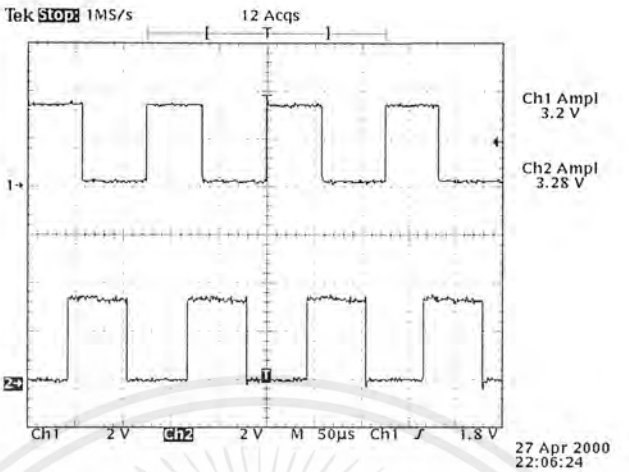


รูปที่ 4.2.5 (ก) สัญญาณที่ผ่านวงจรเปรียบเทียบสัญญาณในช่อง I เปรียบเทียบกับทางภาคส่ง

CH 1 สัญญาณช่อง I ทางภาคส่ง

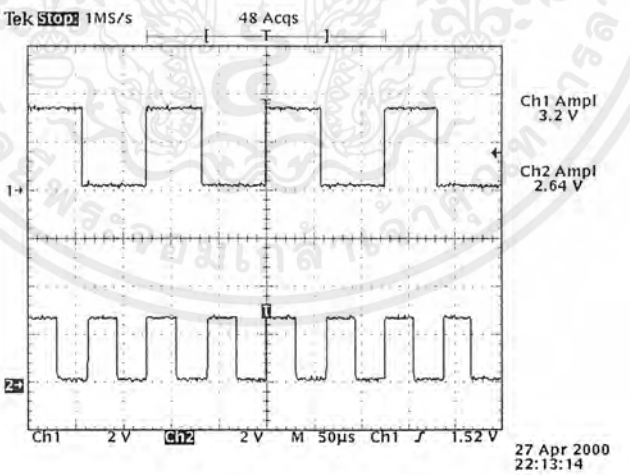
CH2 สัญญาณช่อง I ทางภาครับ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.2.5 (ข) สัญญาณที่ผ่านวงจรเปรียบเทียบสัญญาณในช่อง Q
เปรียบเทียบกับทางภาคส่ง
CH 1 สัญญาณ Q ทางด้านส่ง
CH 2 สัญญาณ Q ทางด้านรับ

สัญญาณช่อง I และ ช่อง Q เปรียบเทียบกันทั้งสอง ช่อง



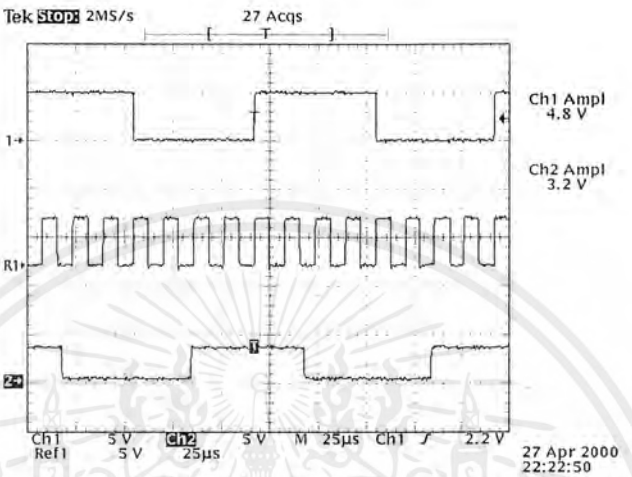
รูปที่ 4.2.5 (ค) สัญญาณช่อง I และ ช่อง Q เปรียบเทียบกัน
CH 1 คือสัญญาณ Q ที่ผ่านวงจรเปรียบเทียบสัญญาณ
CH 2 คือสัญญาณ I ที่ผ่านวงจรเปรียบเทียบสัญญาณ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4.2.6 การแปลงรหัสจากรหัสเกรย์เป็นรหัสไบนารี

เนื่องจากทางภาคส่งมีการแปลงรหัสจากรหัสไบนารีเป็นรหัสเกรย์เพื่อป้องกันการผิดพลาดดังนั้นทางภาครับต้องแปลงรหัสจากรหัสเกรย์เป็นรหัสไบนารี

ดังนั้นจึงต้องนำสัญญาณ I และ Q เข้าแปลงรหัส เกรย์เป็นรหัสไบนารีผลการทดลองได้ดังนี้



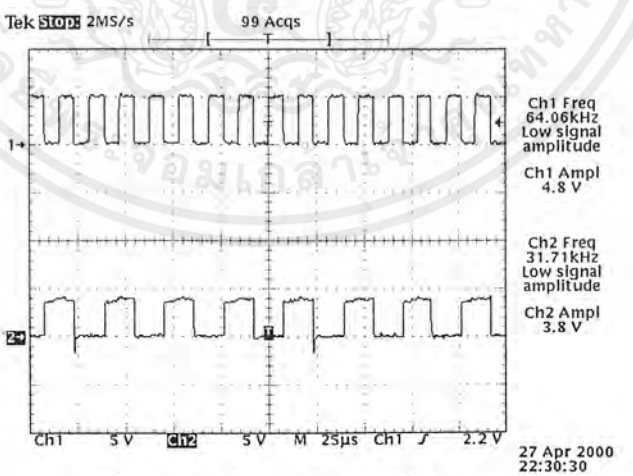
รูปที่ 4.2.6(ก) สัญญาณ I และ Q ที่ถูกเปลี่ยนเป็นรหัสไบนารี เปรียบเทียบกับสัญญาณนาฬิกา

CH1 สัญญาณช่อง I ที่ถูกแปลงรหัสแล้ว

CH2 สัญญาณช่อง Q ที่ถูกแปลงรหัสแล้ว

Ref1 สัญญาณนาฬิกา

สัญญาณช่อง I และ Q เปรียบเทียบสัญญาณนาฬิกาที่ถูกหารสอง

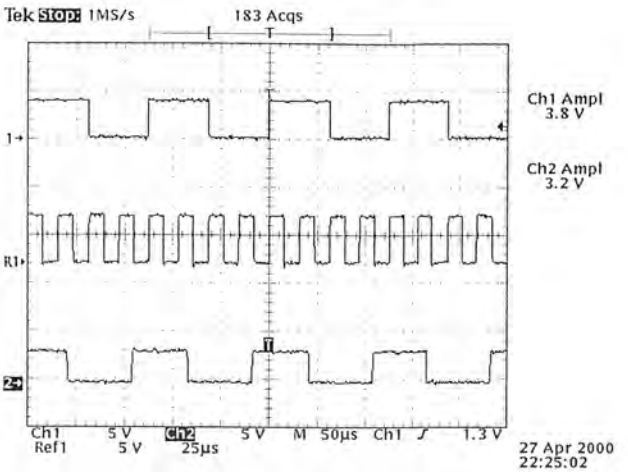


รูปที่ 4.2.6 (ข) สัญญาณนาฬิกาที่ถูกหารสอง

CH 1 สัญญาณนาฬิกา

CH 2 สัญญาณนาฬิกาที่ถูกหารสอง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.2.6(ค) สัญญาณข้อมูลช่อง I และ Q เปรียบเทียบกับสัญญาณนาฬิกาที่ถูกหารสอง

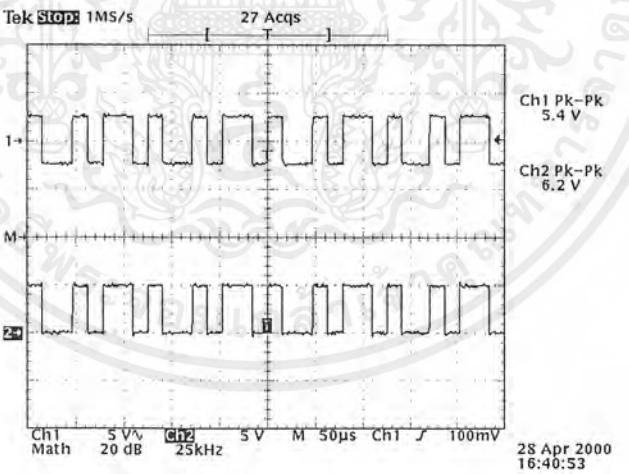
CH1 สัญญาณ I

CH2 สัญญาณ Q

Ref1 สัญญาณนาฬิกาที่ถูกหารสอง

4.2.7 ภาควงจรรวมสัญญาณดิจิตอล

สัญญาณที่ได้เข้าวงจรรวมสัญญาณแปลงจากการส่งข้อมูลขนานเป็นการส่งข้อมูลแบบอนุกรม ผลการทดลองได้ดังรูป



รูปที่ 4.2.7 สัญญาณข้อมูลทางภาครับเปรียบเทียบกับสัญญาณข้อมูลทางภาคส่ง

CH 1 สัญญาณข้อมูลทางภาคส่ง

CH 2 สัญญาณข้อมูลทางภาครับ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่5

สรุปและวิจารณ์ผลการทดลอง

5.1 เครื่องส่ง

ในการทดสอบเครื่องส่ง QPSK ในขั้นตอนแรกได้ทำการทดสอบแยกแต่ละวงจรก่อนแล้วจึงประกอบเข้าด้วยกัน โดยสรุปผลแต่ละวงจรมีดังนี้

5.1.1 วงจรกำเนิดสัญญาณนาฬิกา

วงจรนี้สำคัญมาก เนื่องจากต้องนำสัญญาณนาฬิกามาใช้ในการเลื่อนข้อมูล และนำมาสร้างสัญญาณคลื่นพาห์ รวมทั้งนำสัญญาณความถี่ 256 kHz มาสร้างสัญญาณนำร่อง โดยวงจรใช้ปีนวงจรหารความถี่ที่ได้จากคริสตอลจึงมีความเที่ยงตรงสูง

5.1.2 วงจรกำเนิดข้อมูลไบนารี

เนื่องจากข้อมูลที่ใช้ส่งเป็นข้อมูลอนุกรม ซึ่งในการส่งข้อมูลได้กำหนดให้ไหลในลักษณะวนรอบซ้ำกันทุกๆ 8 บิท ซึ่งเอ้าท์พุทที่ได้น่าพอใจเป็นอย่างยิ่ง แต่ในการส่งข้อมูลในลักษณะนี้พบว่า ในการเปรียบเทียบข้อมูลระหว่างเครื่องส่งและเครื่องรับไม่สามารถจัดลำดับก่อนหลังของข้อมูลได้

5.1.3 วงจรแยกสัญญาณข้อมูล

ในส่วนของวงจรนี้จะใช้อุปกรณ์ประเภท TTL ดังนั้นจึงไม่มีปัญหามากนักเพียงแต่ควรเลือกใช้อุปกรณ์ให้เหมาะสม และออกแบบวงจรให้ลดความยุ่งยาก

5.1.4 วงจรปรับระดับสัญญาณ

วงจรในส่วนนี้ค่อนข้างมีปัญหา เนื่องจาก ในการปรับระดับสัญญาณ ถ้าปรับระดับสัญญาณให้มีแอมปลิจูดสูงเกินไป ก็จะไม่สามารถนำไปมอดูเลตได้ และมีการผิดเพี้ยนของสัญญาณ ดังนั้นควรปรับให้มีค่าที่เหมาะสมและใช้อุปกรณ์ที่สามารถปรับค่าได้อย่างละเอียด

5.1.5 วงจรกำเนิดสัญญาณนำร่องความถี่ 256 kHz

วงจรนี้ได้อินพุท เป็นสัญญาณคลื่นสี่เหลี่ยมความถี่ 256 kHz จากวงจรกำเนิดสัญญาณนาฬิกาแล้วทำการกรองความถี่ ดังนั้น คุณภาพของสัญญาณจึงขึ้นอยู่กับวงจรกรองช่วงความถี่ผ่าน ซึ่งในการทดลองได้ใช้วงจรกรองช่วงความถี่ผ่านป้อนกลับแบบบวกกำลังสอง(Second-order Positive feedback) ซึ่งก็ได้ผลดี

5.1.6 วงจรกำเนิดสัญญาณคลื่นพาห์ 512 kHz และวงจรเลื่อนเฟส 90 องศา

วงจรนี้ได้สัญญาณอินพุท เป็นสัญญาณคลื่นสี่เหลี่ยม ความถี่ 64 kHz มาทำการทวีคูณไปอีก 8 เท่า โดยวงจรเฟสล็อคลูป แล้วจึงนำมาเข้าวงจรกรองความถี่ ในส่วนนี้ค่อนข้างมีปัญหา เนื่องจากในส่วนของวงจร เฟสล็อคลูป กล่าวคือเมื่อมีการเปลี่ยนแปลงข้อมูลการซ้อนทับกันของสัญญาณไบนารีจะเป็นผลทำให้เฟสล็อคลูปล็อคความถี่ผิดพลาดจึงทำให้ไม่สัมพันธ์กัน กับ ทางภาครับ และ ในส่วนของวงจรเลื่อนเฟสจะใช้วงจรกรองช่วงความถี่ผ่านหมด ผลที่ได้น่าพอใจมาก

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

5.1.7 วงจรบาลานซ์มอดูเลเตอร์

เนื่องจากวงจรนี้ใช้อินพุทที่มีค่าต่ำมากดังนั้นจึงต้องทำการต่อตัวต้านทานปรับค่าได้เพื่อให้วงจรทำงานได้อย่างมีเสถียรภาพ ซึ่งผลที่ได้น่าพอใจมาก

5.1.8 วงจรรวมสัญญาณ

วงจรนี้เป็นวงจรที่ไม่ยุ่งยาก ผลที่ได้น่าพอใจมาก

สรุปภาคส่ง

เมื่อทำการรวมวงจรและทดสอบการส่งข้อมูลนั้น พบว่า วงจรส่วนมากทำงานได้ดี ปัญหาที่เกิดส่วนใหญ่มาจากวงจรเฟสล็อคลูป ซึ่งมักล็อคความถี่ผิดพลาดแต่ก็แก้ไขไปได้

5.2 เครื่องรับ

5.2.1 วงจรกรองช่วงความถี่นำร่อง

ในส่วนวงจรนี้มีส่วนสำคัญมากในภาครับเนื่องจากเป็นสิ่งที่ทำให้ภาครับและภาคส่งสัมพันธ์กัน ในการทดลองแล้วส่วนใหญ่เจอปัญหาตรงที่วงจรที่ออกแบบไม่ดีพอทำให้สัญญาณเอ้าท์พุทที่ได้ผิดเพี้ยนไปแต่เมื่อแก้ปัญหาโดยสร้างวงจรที่ประสิทธิภาพสูงคือ เพิ่มกำลัง(Order) ของวงจรให้สูงขึ้น

5.2.2 วงจรกรองช่วงความถี่พาห์

เป็นวงจรกรองเอาความถี่สัญญาณที่มอดูเลตทางภาคส่ง ปัญหาที่เจอส่วนใหญ่คล้ายวงจรกรองช่วงความถี่นำร่อง และการแก้ปัญหาก็ทำนองเดียวกัน

5.2.3 วงจรกู้สัญญาณนาฬิกา

เมื่อวงจรกรองช่วงความถี่นำร่องไม่มีปัญหาแล้ว ในส่วนวงจรนี้ก็จะเจอปัญหาไม่มากนัก ส่วนใหญ่ปัญหาที่เจอก็คือ สัญญาณนาฬิกาไม่สัมพันธ์กับทางภาคส่ง ดังนั้น ต้องปรับตัวต้านทานที่วงจรให้สัญญาณสัมพันธ์กัน ผลที่ได้น่าพอใจ

5.2.4 วงจรกู้สัญญาณพาห์

ใช้วงจรเหมือนกับทางภาคส่ง เมื่อสัญญาณนาฬิกาสัมพันธ์กันแล้ว ก็จะทำให้สัญญาณพาห์ก็สัมพันธ์กันด้วย

5.2.5 วงจรดีมอดูเลเตอร์

ใช้วงจรเดียวกับวงจรบาลานซ์มอดูเลต ปัญหาที่เจอก็คือต้องปรับสัญญาณก่อนเข้าวงจรให้ตรงตามข้อกำหนด

5.2.6 วงจรกรองความถี่ต่ำ

ในการทดลองใช้ไอซี เบอร์ MAX 274 ซึ่งเป็นไอซีที่มีวงจรกรองความถี่ต่ำ แบบ เชฟบีเชฟกำลังสอง(Second-order Chebyshev filter) แต่ในการใช้งานจริงได้ออกแบบให้มีกำลังสี่ (Fourth - order) เพื่อจะได้สัญญาณเอ้าท์พุทที่ดีขึ้น

5.2.7 วงจรเปรียบเทียบสัญญาณ

วงจรที่ออกแบบไม่ค่อยยากมากผลที่ได้น่าพอใจมาก

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

5.2.8 วงจรรวมสัญญาณดิจิตอล

ในการออกแบบวงจรรวมสัญญาณนั้น ปัญหาที่เจอก็คือ ไอซีที่นำมาใช้ในวงจรต้องตรวจสอบให้ให้ดีเพราะไอซีบางตัว จะเสียได้ ส่วนในการออกแบบวงจรนั้นไม่เจอปัญหามากนัก

สรุปภาครับ

ปัญหาที่เจอส่วนใหญ่ก็คือการที่จะทำให้ภาคส่งและภาครับสัมพันธ์กันให้ได้ ทั้งสัญญาณพาห์และ สัญญาณนาฬิกา แต่เมื่อแก้ปัญหานี้ได้ปัญหาก็จะไม่มี

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

DATA SHEET

For a complete data sheet, please also download:

- The IC04 LOCMOS HE4000B Logic Family Specifications HEF, HEC
- The IC04 LOCMOS HE4000B Logic Package Outlines/Information HEF, HEC

HEF4046B
MSI
Phase-locked loop

Product specification
File under Integrated Circuits, IC04

January 1995

Philips Semiconductors

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

PHILIPS

Phase-locked loop

HEF4046B
MSI

DESCRIPTION

The HEF4046B is a phase-locked loop circuit that consists of a linear voltage controlled oscillator (VCO) and two different phase comparators with a common signal input amplifier and a common comparator input. A 7 V regulator (zener) diode is provided for supply voltage regulation if necessary. For functional description see further on in this data.

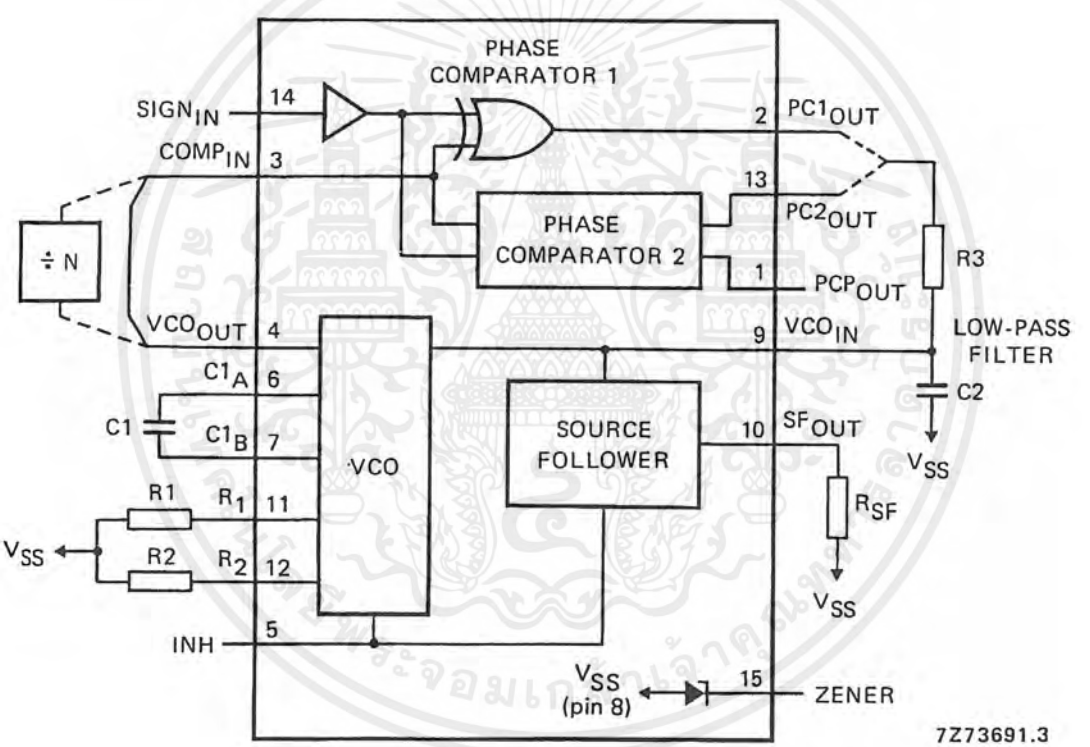


Fig.1 Functional diagram.

HEF4046BP(N): 16-lead DIL; plastic (SOT38-1)
HEF4046BD(F): 16-lead DIL; ceramic (cerdip) (SOT74)
HEF4046BT(D): 16-lead SO; plastic (SOT109-1)
( ): Package Designator North America

FAMILY DATA

See Family Specifications

I_{DD} LIMITS category MSI

See further on in this data.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

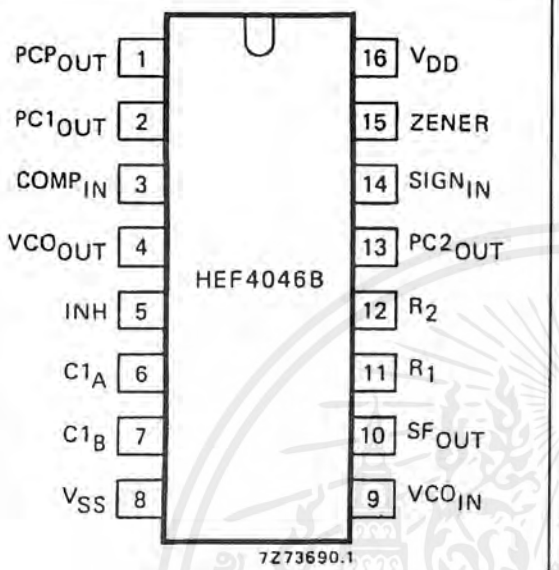


Fig.2 Pinning diagram.

PINNING

1. Phase comparator pulse output
2. Phase comparator 1 output
3. Comparator input
4. VCO output
5. Inhibit input
6. Capacitor C1 connection A
7. Capacitor C1 connection B
8. V_{SS}
9. VCO input
10. Source-follower output
11. Resistor R1 connection
12. Resistor R2 connection
13. Phase comparator 2 output
14. Signal input
15. Zener diode input for regulated supply.

FUNCTIONAL DESCRIPTION

VCO part

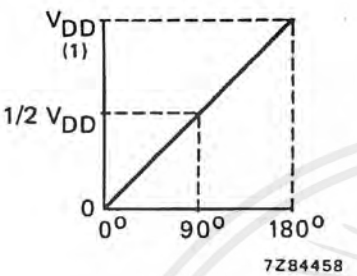
The VCO requires one external capacitor (C1) and one or two external resistors (R1 or R1 and R2). Resistor R1 and capacitor C1 determine the frequency range of the VCO. Resistor R2 enables the VCO to have a frequency off-set if required. The high input impedance of the VCO simplifies the design of low-pass filters; it permits the designer a wide choice of resistor/capacitor ranges. In order not to load the low-pass filter, a source-follower output of the VCO input voltage is provided at pin 10. If this pin (SF_{OUT}) is used, a load resistor (R_{SF}) should be connected from this pin to V_{SS}; if unused, this pin should be left open. The VCO output (pin 4) can either be connected directly to the comparator input (pin 3) or via a frequency divider. A LOW level at the inhibit input (pin 5) enables the VCO and the source follower, while a HIGH level turns off both to minimize stand-by power consumption.

Phase comparators

The phase-comparator signal input (pin 14) can be direct-coupled, provided the signal swing is between the standard HE4000B family input logic levels. The signal must be capacitively coupled to the self-biasing amplifier at the signal input in case of smaller swings. Phase comparator 1 is an EXCLUSIVE-OR network. The signal and comparator input frequencies must have a 50% duty factor to obtain the maximum lock range. The average output voltage of the phase comparator is equal to $\frac{1}{2} V_{DD}$ when there is no signal or noise at the signal input. The average voltage to the VCO input is supplied by the low-pass filter connected to the output of phase comparator 1. This also causes the VCO to oscillate at the centre frequency (f_o). The frequency capture range ($2 f_c$) is defined as the frequency range of input signals on which the PLL will lock if it was initially out of lock. The frequency lock range ($2 f_L$) is defined as the frequency range of input signals on which the loop will stay locked if it was initially in lock. The capture range is smaller or equal to the lock range.

With phase comparator 1, the range of frequencies over which the PLL can acquire lock (capture range) depends on the low-pass filter characteristics and this range can be made as large as the lock range. Phase comparator 1 enables the PLL system to remain in lock in spite of high amounts of noise in the input signal. A typical behaviour of this type of phase comparator is that it may lock onto input frequencies that are close to harmonics of the VCO centre frequency. Another typical behaviour is, that the phase angle between the signal and comparator input varies between 0° and 180° and is 90° at the centre frequency. Figure 3 shows the typical phase-to-output response characteristic.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



(1) Average output voltage.

Fig.3 Signal-to-comparator inputs phase difference for comparator 1.

Figure 4 shows the typical waveforms for a PLL employing phase comparator 1 in locked condition of f_o.

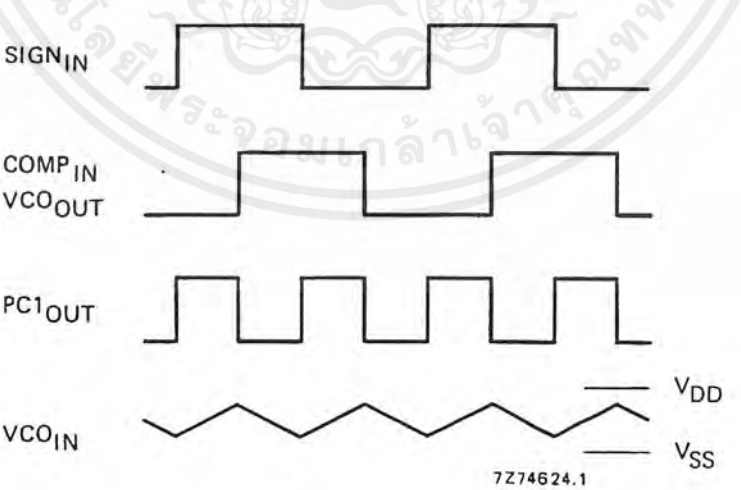


Fig.4 Typical waveforms for phase-locked loop employing phase comparator 1 in locked condition of f_o.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Phase comparator 2 is an edge-controlled digital memory network. It consists of four flip-flops, control gating and a 3-state output circuit comprising p and n-type drivers having a common output node. When the p-type or n-type drivers are ON, they pull the output up to V_{DD} or down to V_{SS} respectively. This type of phase comparator only acts on the positive-going edges of the signals at $SIGN_{IN}$ and $COMP_{IN}$. Therefore, the duty factors of these signals are not of importance.

If the signal input frequency is higher than the comparator input frequency, the p-type output driver is maintained ON most of the time, and both the n and p-type drivers are OFF (3-state) the remainder of the time. If the signal input frequency is lower than the comparator input frequency, the n-type output driver is maintained ON most of the time, and both the n and p-type drivers are OFF the remainder of the time. If the signal input and comparator input frequencies are equal, but the signal input lags the comparator input in phase, the n-type output driver is maintained ON for a time corresponding to the phase difference. If the comparator input lags the signal input in phase, the p-type output driver is maintained ON for a time corresponding to the phase difference. Subsequently, the voltage at the capacitor of the low-pass filter connected to this phase comparator is adjusted until the signal and comparator inputs are equal in both phase and frequency. At this stable point, both p and n-type drivers remain OFF and thus the phase comparator output becomes an open circuit and keeps the voltage at the capacitor of the low-pass filter constant.

Moreover, the signal at the phase comparator pulse output (PCP_{OUT}) is a HIGH level which can be used for indicating a locked condition. Thus, for phase comparator 2 no phase difference exists between the signal and comparator inputs over the full VCO frequency range. Moreover, the power dissipation due to the low-pass filter is reduced when this type of phase comparator is used because both p and n-type output drivers are OFF for most of the signal input cycle. It should be noted that the PLL lock range for this type of phase comparator is equal to the capture range, independent of the low-pass filter. With no signal present at the signal input, the VCO is adjusted to its lowest frequency for phase comparator 2 . Figure 5 shows typical waveforms for a PLL employing this type of phase comparator in locked condition.

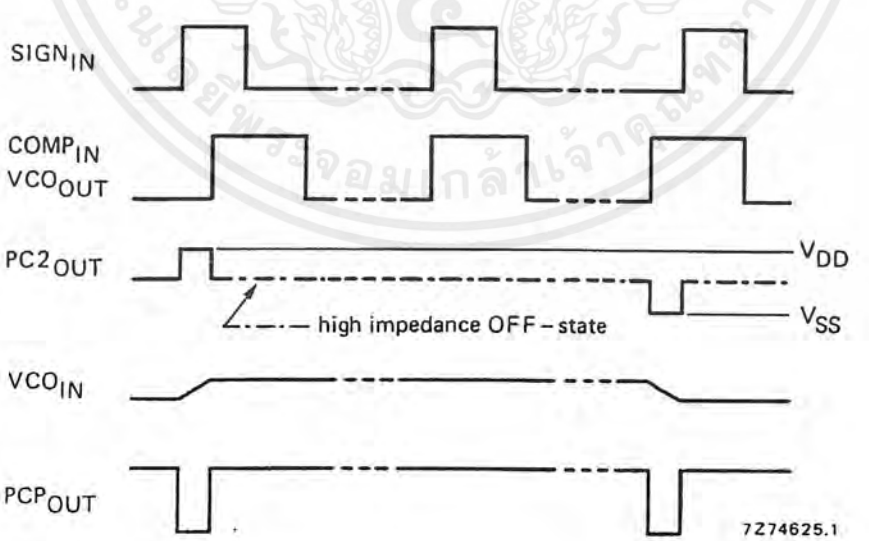


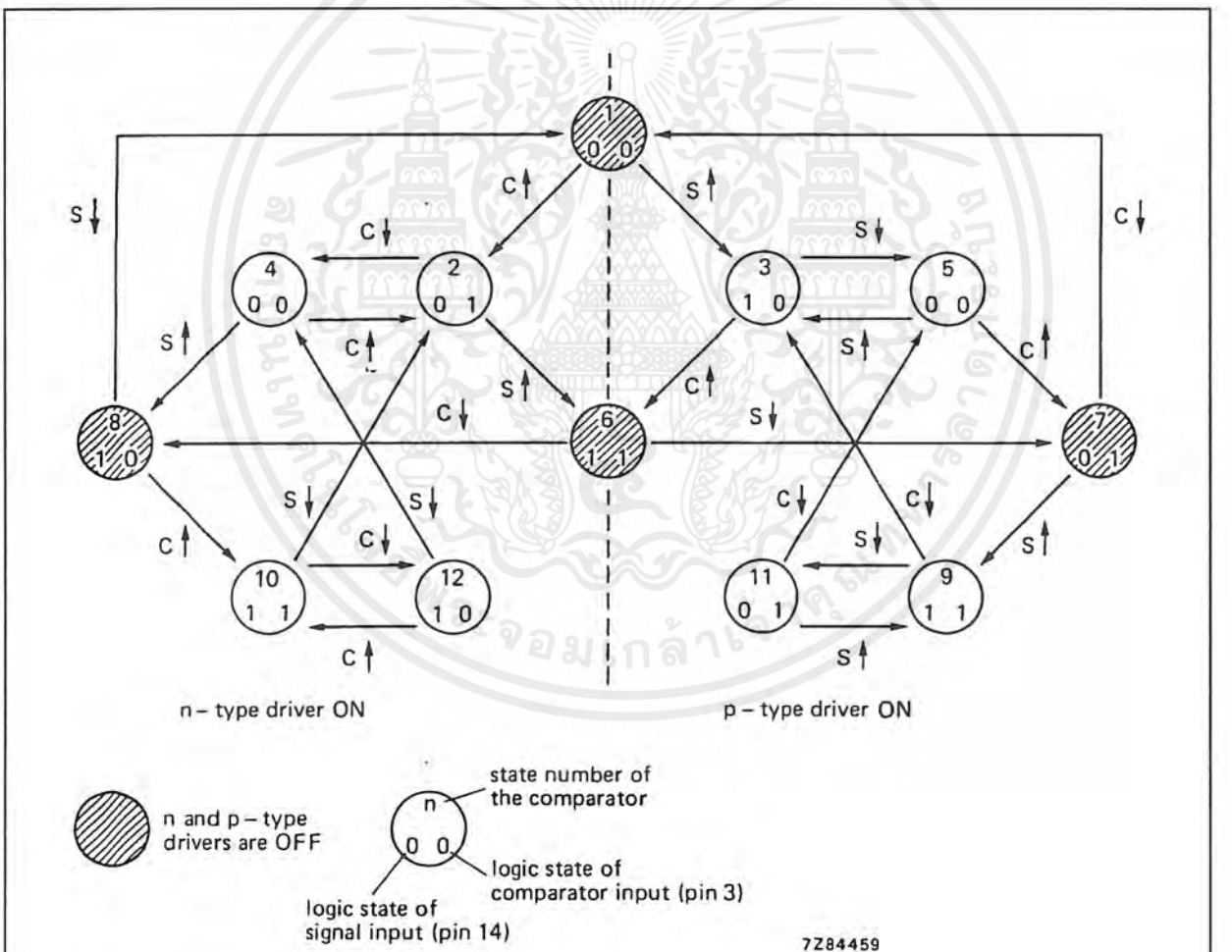
Fig.5 Typical waveforms for phase-locked loop employing phase comparator 2 in locked condition.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Figure 6 shows the state diagram for phase comparator 2. Each circle represents a state of the comparator. The number at the top, inside each circle, represents the state of the comparator, while the logic state of the signal and comparator inputs are represented by a '0' for a logic LOW or a '1' for a logic HIGH, and they are shown in the left and right bottom of each circle.

The transitions from one to another result from either a logic change at the signal input (S) or the comparator input (C). A positive-going and a negative-going transition are shown by an arrow pointing up or down respectively.

The state diagram assumes, that only one transition on either the signal input or comparator input occurs at any instant. States 3, 5, 9 and 11 represent the condition at the output when the p-type driver is ON, while states 2, 4, 10 and 12 determine the condition when the n-type driver is ON. States 1, 6, 7 and 8 represent the condition when the output is in its high impedance OFF state; i.e. both p and n-type drivers are OFF, and the PCP_{OUT} output is HIGH. The condition at output PCP_{OUT} for all other states is LOW.



S ↑: 0 to 1 transition at the signal input.
C ↓: 1 to 0 transition at the comparator input.

Fig.6 State diagram for comparator 2.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

DC CHARACTERISTICS

V_{SS} = 0 V

	V_{DD} V	SYMBOL	T_{amb} (°C)						
			−40		+ 25		+ 85		
			TYP.	MAX.	TYP.	MAX.	TYP.	MAX.	
Supply current (note 1)	5	I_D	–	–	20	–	–	–	µA
	10		–	–	300	–	–	–	µA
	15		–	–	750	–	–	–	µA
Quiescent device current (note 2)	5	I_{DD}	–	20	–	20	–	150	µA
	10		–	40	–	40	–	300	µA
	15		–	80	–	80	–	600	µA

Notes

1. Pin 15 open; pin 5 at V_{DD}; pins 3 and 9 at V_{SS}; pin 14 open.
2. Pin 15 open; pin 5 at V_{DD}; pins 3 and 9 at V_{SS}; pin 14 at V_{DD}; input current pin 14 not included.

AC CHARACTERISTICS

V_{SS} = 0 V; T_{amb} = 25 °C; C_L = 50 pF; input transition times ≤ 20 ns

	V_{DD} V	SYMBOL	MIN.	TYP.	MAX.		
Phase comparators							
Operating supply voltage		V_{DD}	3		15	V	
Input resistance at $SIGN_{IN}$	5	R_{IN}		750		kΩ	at self-bias operating point
	10			220		kΩ	
	15			140		kΩ	
A.C. coupled input sensitivity at $SIGN_{IN}$	5	V_{IN}		150		mV	peak-to-peak values; R1 = 10 kΩ; R2 = ∞; C1 = 100 pF; independent of the lock range
	10			150		mV	
	15			200		mV	
D.C. coupled input sensitivity at $SIGN_{IN}$; $COMP_{IN}$ LOW level	5	V_{IL}			1,5	V	full temperature range
	10				3,0	V	
	15				4,0	V	
HIGH level	5	V_{IH}	3,5			V	
	10		7,0			V	
	15		11,0			V	
Input current at $SIGN_{IN}$	5	$+I_{IN}$		7		µA	$SIGN_{IN}$ at V_{DD}
	10			30		µA	
	15			70		µA	
	5	$-I_{IN}$		3		µA	$SIGN_{IN}$ at V_{SS}
	10			18		µA	
	15			45		µA	

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

	V_{DD} V	SYMBOL	MIN.	TYP.	MAX.		
VCO							
Operating supply voltage		V_{DD}	3		15	V	as fixed oscillator only
			5		15	V	phase-locked loop operation
Power dissipation	5	P		150		μW	f_o = 10 kHz; R1 = 1 MΩ; R2 = ∞; VCO_{IN} at ½ V_{DD}; see also Figs 10 and 11
	10			2500		μW	
	15			9000		μW	
Maximum operating frequency	5	f_{max}	0,5	1,0		MHz	VCO_{IN} at V_{DD}; R1 = 10 kΩ; R2 = ∞; C1 = 50 pF
	10		1,0	2,0		MHz	
	15		1,3	2,7		MHz	
Temperature/ frequency stability	5			0,22—0,30		%/°C	no frequency offset (f_{min} = 0); see also note 1
	10			0,04—0,05		%/°C	
	15			0,01—0,05		%/°C	
	5			0—0,22		%/°C	with frequency offset (f_{min} > 0); see also note 1
	10			0—0,04		%/°C	
	15			0—0,01		%/°C	
Linearity	5			0,50		%	R1 > 10 kΩ — see Fig.13
	10			0,25		%	R1 > 400 kΩ — and Figs 14
	15			0,25		%	R1 = 1 MΩ — 15 and 16
Duty factor at VCO_{OUT}	5	δ		50		%	
	10			50		%	
	15			50		%	
Input resistance at VCO_{IN}	5	R_{IN}		10^6		MΩ	
	10			10^6		MΩ	
	15			10^6		MΩ	
Source follower							
Offset voltage VCO_{IN} minus SF_{OUT}	5			1,7		V	R_{SF} = 10 kΩ; VCO_{IN} at ½ V_{DD}
	10			2,0		V	
	15			2,1		V	
	5			1,5		V	R_{SF} = 50 kΩ; VCO_{IN} at ½ V_{DD}
	10			1,7		V	
	15			1,8		V	
Linearity	5			0,3		%	R_{SF} > 50 kΩ; see Fig.13
	10			1,0		%	
	15			1,3		%	
Zener diode							
Zener voltage		V_Z		7,3		V	I_Z = 50 μA
Dynamic resistance		R_Z		25		Ω	I_Z = 1 mA

Notes

1. Over the recommended component range.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

DESIGN INFORMATION

CHARACTERISTIC	USING PHASE COMPARATOR 1	USING PHASE COMPARATOR 2
No signal on $SIGN_{IN}$	VCO in PLL system adjusts to centre frequency (f_o)	VCO in PLL system adjusts to min. frequency (f_{min})
Phase angle between $SIGN_{IN}$ and $COMP_{IN}$	90° at centre frequency (f_o), approaching 0° and 180° at ends of lock range (2 f_L)	always 0° in lock (positive-going edges)
Locks on harmonics of centre frequency	yes	no
Signal input noise rejection	high	low
Lock frequency range (2 f_L)	the frequency range of the input signal on which the loop will stay locked if it was initially in lock; 2 f_L = full VCO frequency range = $f_{max} - f_{min}$	
Capture frequency range (2 f_C)	the frequency range of the input signal on which the loop will lock if it was initially out of lock	
	depends on low-pass filter characteristics; $f_C < f_L$	$f_C = f_L$
Centre frequency (f_o)	the frequency of the VCO when VCO_{IN} at $\frac{1}{2}V_{DD}$	

VCO component selection

Recommended range for R1 and R2: 10 kΩ to 1 MΩ; for C1: 50 pF to any practical value.

1. VCO without frequency offset (R2 = ∞).
   a) Given f_o: use f_o with Fig.7 to determine R1 and C1.
   b) Given f_{max}: calculate f_o from $f_o = \frac{1}{2} f_{max}$; use f_o with Fig.7 to determine R1 and C1.
2. VCO with frequency offset.
   a) Given f_o and f_L : calculate f_{min} from the equation $f_{min} = f_o - f_L$; use f_{min} with Fig.8 to determine R2 and C1; calculate $\frac{f_{max}}{f_{min}}$ from the equation $\frac{f_{max}}{f_{min}} = \frac{f_o + f_L}{f_o - f_L}$; use $\frac{f_{max}}{f_{min}}$ with Fig. 9 to determine the ratio R2/R1 to obtain R1.
   b) Given f_{min} and f_{max}: use f_{min} with Fig.8 to determine R2 and C1; calculate $\frac{f_{max}}{f_{min}}$; use $\frac{f_{max}}{f_{min}}$ with Fig.9 to determine R2/R1 to obtain R1.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

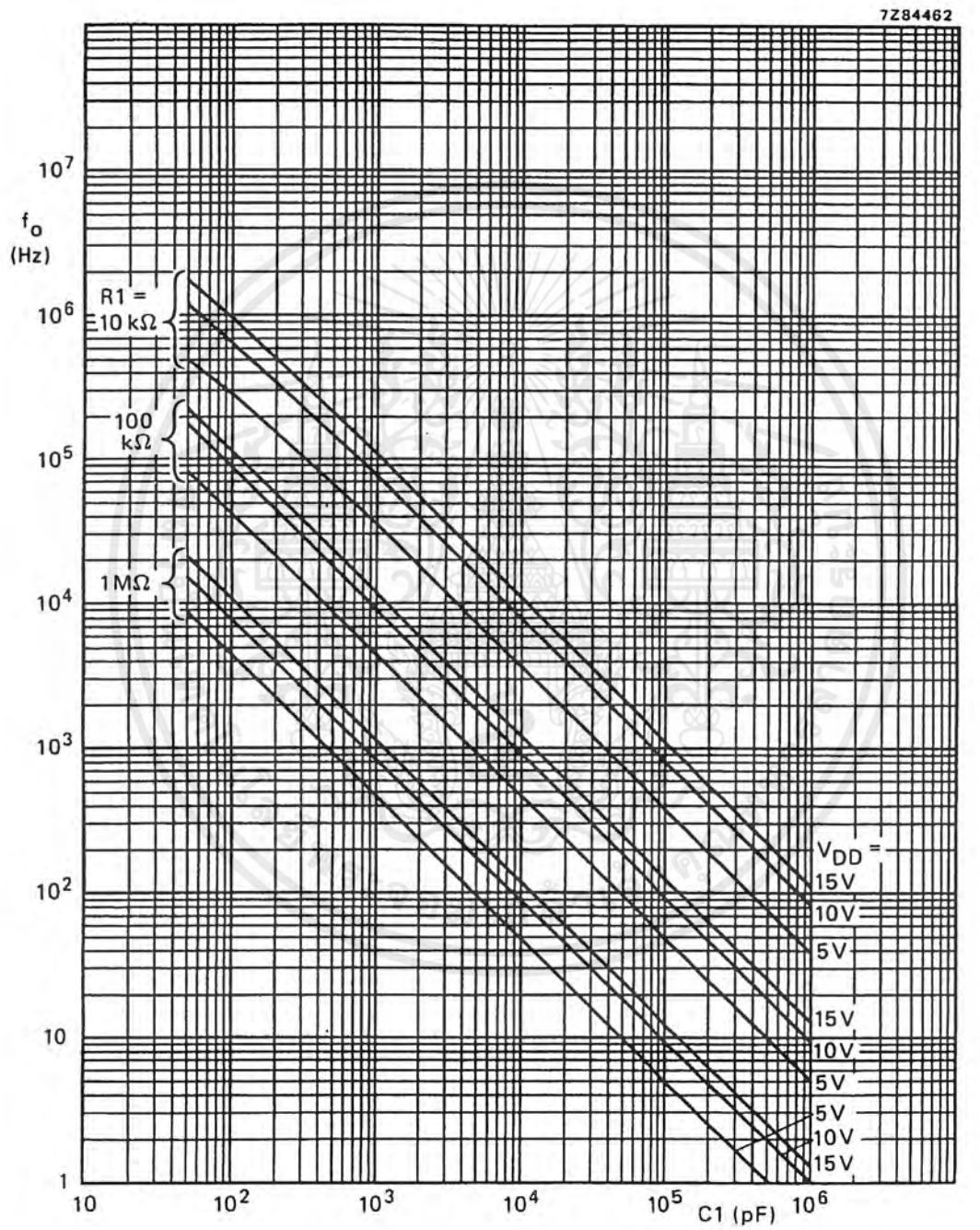


Fig.7 Typical centre frequency as a function of capacitor C1; T_{amb} = 25 °C; VCO_{IN} at ½ V_{DD}; INH at V_{SS}; R_2 = ∞.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

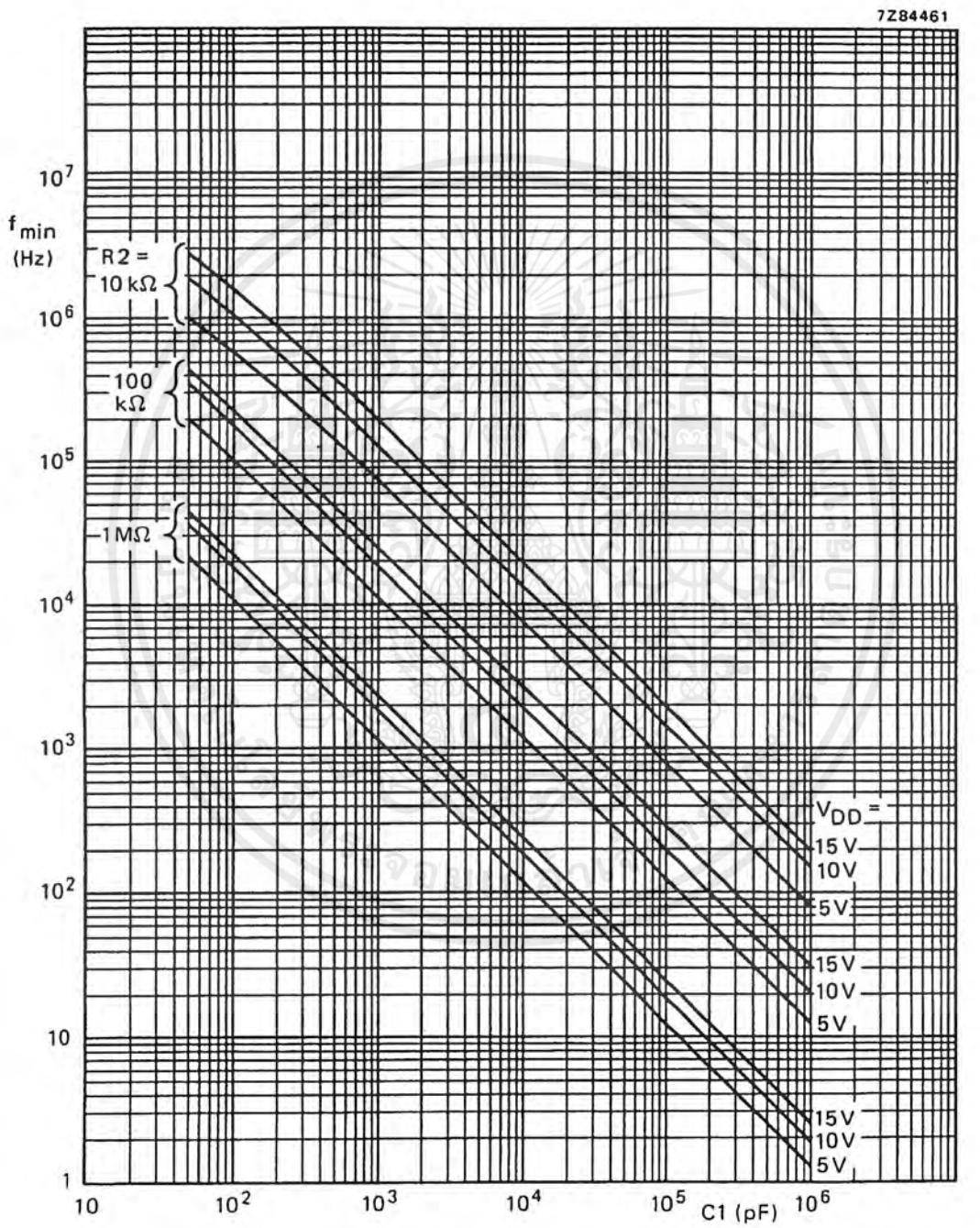


Fig.8 Typical frequency offset as a function of capacitor C1; T_{amb} = 25 °C; VCO_{IN} at V_{SS}; INH at V_{SS}; R1 = ∞.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

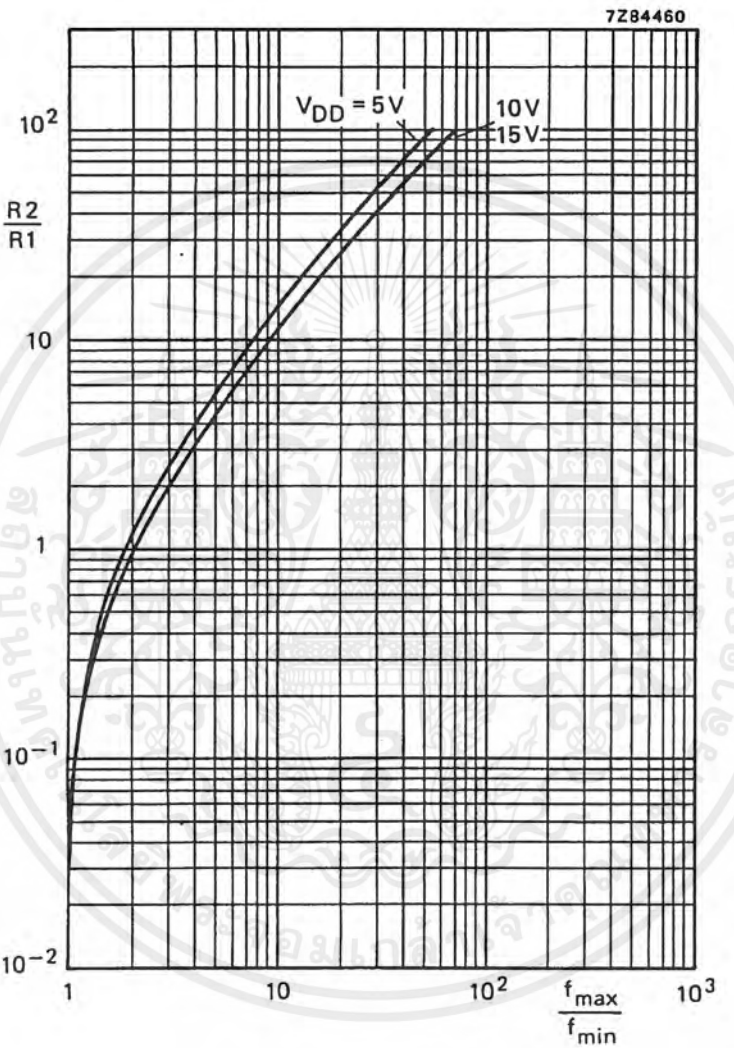


Fig.9 Typical ratio of R2/R1 as a function of the ratio f_{max}/f_{min}.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

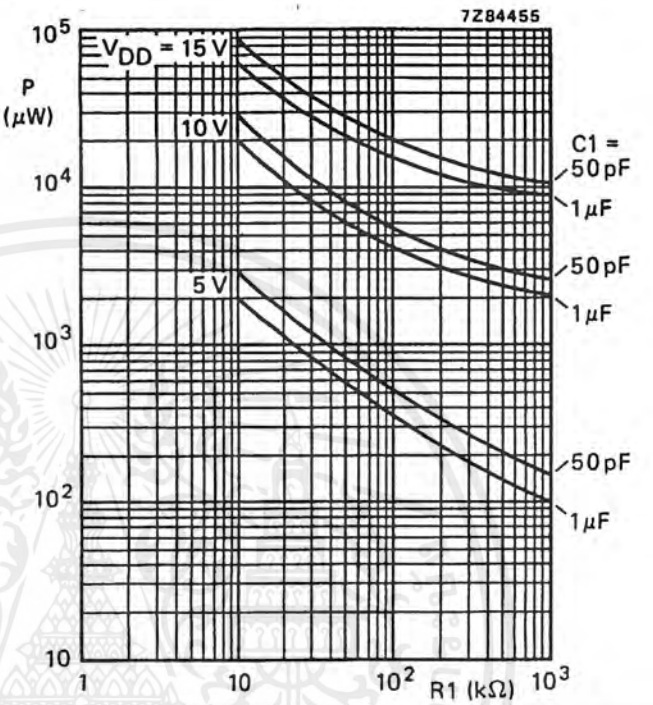


Fig.10 Power dissipation as a function of R1; R2 = ∞; VCO_{IN} at ½ V_{DD}; C_L = 50 pF.

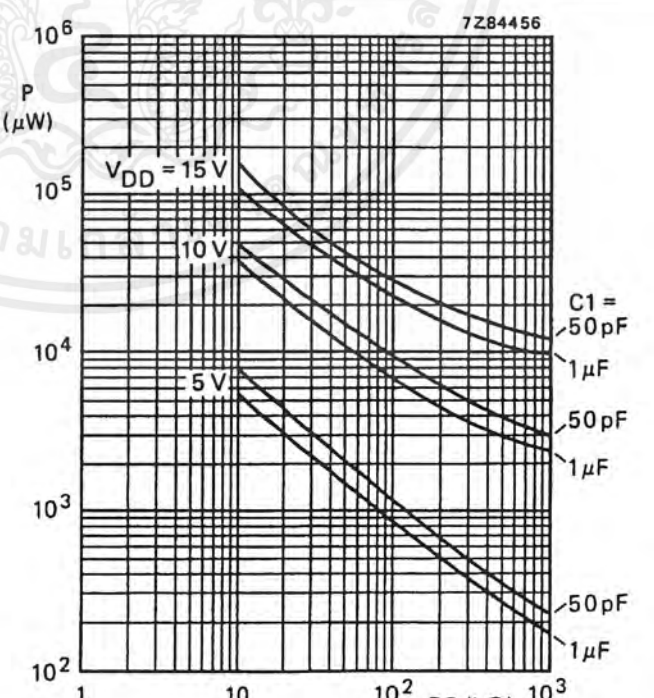


Fig.11 Power dissipation as a function of R2; R1 = ∞; VCO_{IN} at V_{SS} (0 V); C_L = 50 pF.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

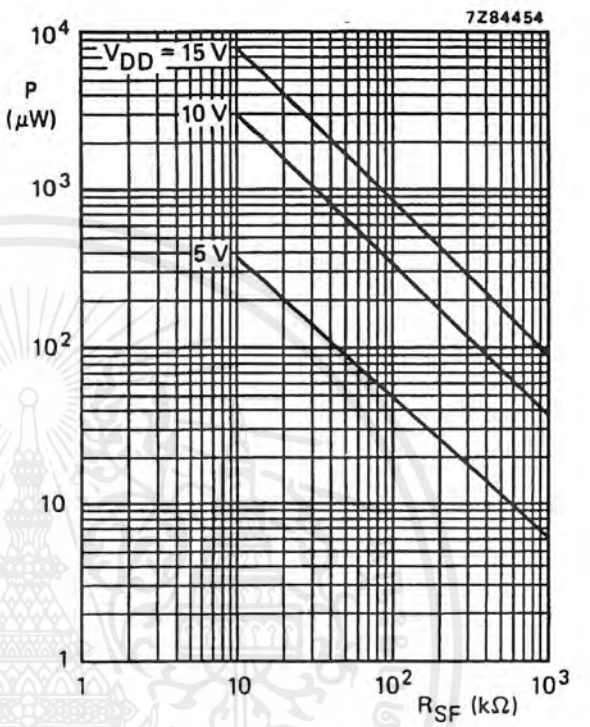


Fig.12 Power dissipation of source follower as a function of R_{SF}; VCO_{IN} at ½ V_{DD}; R1 = ∞; R2 = ∞.

For VCO linearity:

$$f_o' = \frac{f_1 + f_2}{2}$$

$$\text{lin.} = \frac{f_o' - f_o}{f_o'} \times 100\%$$

Figure 13 and the above formula also apply to source follower linearity: substitute $V_{SF\,OUT}$ for f.

ΔV = 0,3 V at V_{DD} = 5 V
ΔV = 2,5 V at V_{DD} = 10 V
ΔV = 5 V at V_{DD} = 15 V

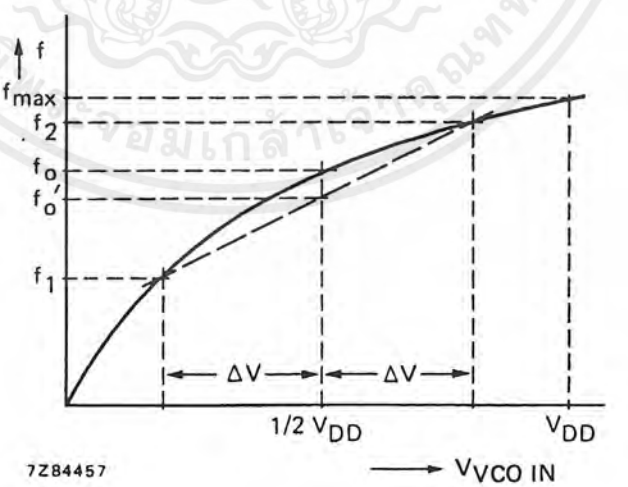


Fig.13 Definition of linearity (see AC characteristics).

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

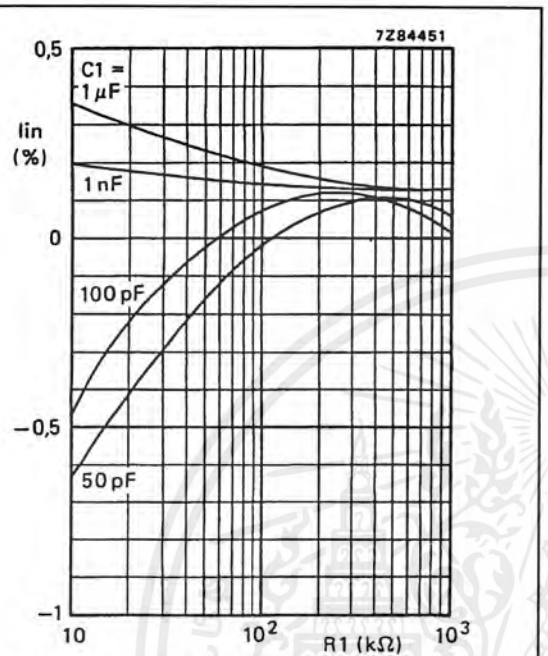


Fig.14 VCO frequency linearity as a function of R1; R2 = ∞; V_{DD} = 5 V.

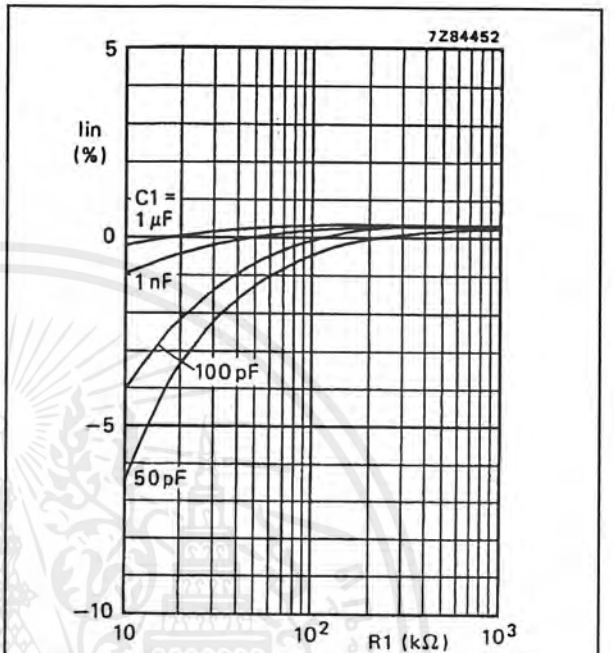


Fig.15 VCO frequency linearity as a function of R1; R2 = ∞; V_{DD} = 10 V.

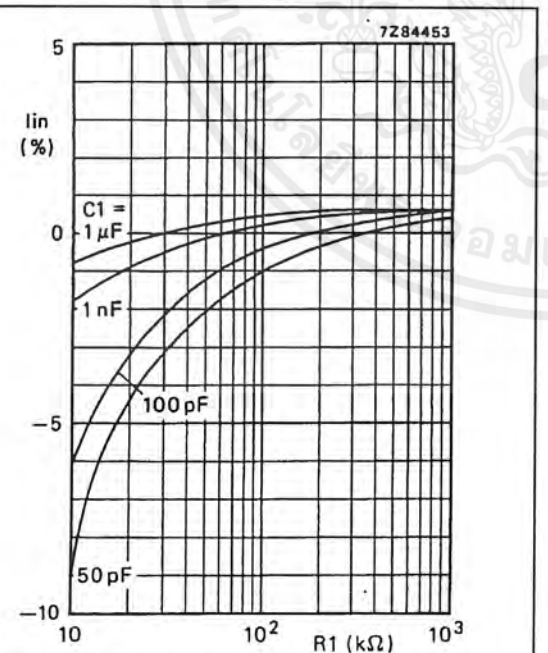


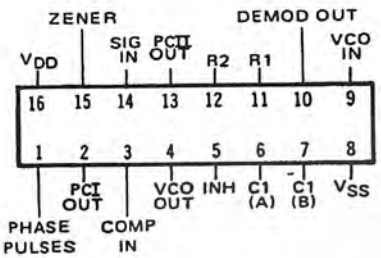
Fig.16 VCO frequency linearity as a function of R1; R2 = ∞; V_{DD} = 15 V.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

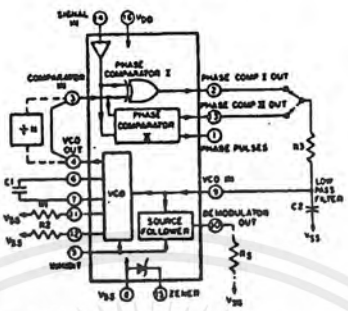
SCL4046B & SCL4446B

PHASED - LOCKED LOOPS

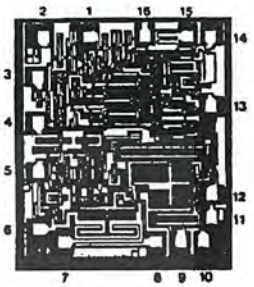
CONNECTION DIAGRAM



BLOCK DIAGRAM



DIE DRAWING
75 mils x 86 mils



STATIC CHARACTERISTICS: (V_{SS} = 0 V)

PARAMETER	CONDITIONS	V_{DD} (Vdc)	T_{LOW}* MIN	T_{LOW}* MAX	+25°C MIN	+25°C TYP	+25°C MAX	T_{HIGH}** MIN	T_{HIGH}** MAX	UNIT
QUIESCENT DEVICE CURRENT I_{DD}	Inhibit = V_{DD} Signal Input = V_{DD}	5		5		0.05	5		150	µAdc
		10		10		0.1	10		300	
		15		20		0.2	20		600	
POWER DISSAPTION TOTAL P_T R1 = 1MΩ R2=R_S=∞	Inh = V_{SS} C_L = 15pF VCO_{IN} = V_{DD} ÷ 2 f_o = 10k Hz	5				0.07				mW
		10				0.6				
		15				2.4				

Note: *T_{LOW} = -55°C for C / H devices, -40°C for E / S devices, **T_{HIGH} = +125°C for C / H devices, +85°C for E / S devices.

DYNAMIC CHARACTERISTICS: (C_L = 50pF, T_A = 25°C)

PARAMETER	CONDITION	V_{DD} (Vdc)	MINIMUM	TYPICAL	MAXIMUM	UNIT
MAXIMUM OPERATING FREQUENCY SCL4046B f_{max} VCO_{IN} = V_{DD}	R1 = 10k C1 = 50pF R2 = ∞	5	0.5	0.8		MHz
		10	1.0	1.5		
		15	1.3	1.9		
MAXIMUM OPERATING FREQUENCY SCL4046B f_{max} VCO_{IN} = V_{DD}	R1 = 5k C1 = 50pF R2 = ∞	5	0.6	1.0		MHz
		10	1.4	2.1		
		15	1.8	2.7		
MAXIMUM OPERATING FREQUENCY SCL4046B f_{max} VCO_{IN} = V_{DD}	R1 = 2k C1 = 50pF R2 = ∞	5		1.3		MHz
		10		2.9		
		15		3.8		
MAXIMUM OPERATING FREQUENCY SCL4446B f_{max} VCO_{IN} = V_{DD}	R1 = 10k C1 = 50pF R2 = ∞	5	0.7	1.0		MHz
		10	1.3	2.0		
		15	1.9	2.8		
MAXIMUM OPERATING FREQUENCY SCL4446B f_{max} VCO_{IN} = V_{DD}	R1 = .5k C1 = 50pF R2 = ∞	5	0.9	1.3		MHz
		10	1.9	2.9		
		15	2.6	3.9		
MAXIMUM OPERATING FREQUENCY SCL4446B f_{max} VCO_{IN} = V_{DD}	R1 = 2k C1 = 50pF R2 = ∞	5		1.8		MHz
		10		3.9		
		15		5.4		

EXTENSIVE APPLICATION NOTES ARE AVAILABLE FOR *R&E*'S PHASE LOCKED LOOPS. CALL *R&E* AT 1 (800) 253-7007 AND REQUEST A COPY OF APPLICATION NOTE AN-112.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

SCL4046B & SCL4446B

PHASED - LOCKED LOOPS

DYNAMIC CHARACTERISTICS: (C_L = 50pF, T_A = 25°C)

PARAMETER	CONDITION	V_{DD} (Vdc)	MINIMUM	TYPICAL	MAXIMUM	UNIT
LINEARITY VCO_{IN} = 2.5 ± 0.3V	R1≥10kΩ	5		1		%
VCO_{IN} = 5.0 ± 2.5V	R1≥400kΩ	10		1		
R2 = ∞ VCO_{IN} = 7.5 ± 5.0V	R1≥1MΩ	15		1		
INPUT CAPACITANCE C_{IN}	PIN 9 & 14				15	pF
	ALL OTHER				7.5	
TEMPERATURE - FREQUENCY STABILITY (NO OFFSET)	R2 = ∞	5		0.12-0.24		%/°C
		10		0.04-0.08		
		15		0.015-0.03		
TEMPERATURE - FREQUENCY STABILITY (WITH OFFSET)	R2≤10x R1	5		0.06-0.12		%/°C
		10		0.05-0.1		
		15		0.03-0.06		
INPUT RESISTANCE VCO_{IN}	R_{IN}	5,10,15		10^6		MΩ
OUTPUT DUTY CYCLE	ALL VALID INPUTS			50		%
OUTPUT TRANSISTION TIME t_{TLH}, t_{THL}	C_L = 50 pF	5		100	200	ns
		10		50	100	
		15		40	80	
INPUT RESISTANCE R_{IN} (SIGNAL INPUT)		5	1	3		MΩ
		10	0.2	0.7		
		15	0.1	0.3		
INPUT RESISTANCE R_{IN} (COMPARATOR INPUT)		5,10,15		10^6		MΩ
AC - COUPLED INPUT SENSITIVITY (SIGNAL INPUT) V_{IN}		5		200	400	mV
		10		400	800	
		15		700	1400	
OUTPUT TRANSIITION TIME (PCI, PCII OUTPUTS) t_{TLH}, t_{THL}	C_L = 50 pF	5		100	200	ns
		10		50	100	
		15		40	80	
OUTPUT TRANSITION TIME (PHASE PULSE OUTPUTS) t_{TLH}, t_{THL}	C_L = 50 pF	5		130	260	ns
		10		65	130	
		15		50	100	
OFFSET VOLTAGE VCO_{IN} (DEMODUALTOR OUTPUT V_{DEM})	RS≥50kΩ	5		1.4	2.2	Vdc
		10		1.6	2.2	
		15		1.8	2.2	
LINEARITY (DEMODUALTOR OUTPUT) RS≥50kΩ	VCO_{IN} = 2.5 + 0.3V	5		0.1		%
	VCO_{IN} = 5.0 + 2.5V	10		0.6		
	VCO_{IN} = 7.5 + 5.0V	15		0.8		
ZENER VOLTAGE V_Z	I_Z = 50μA		6.3	7	7.7	V
DYNAMIC RESISTANCE R_Z	I_Z = 1mA			100		Ω

Note: Refer to "SCL4000B SERIES FAMILY SPECIFICATIONS" for remaining Dynamic & Static Characteristics, and, for recommended and maximum operating conditions.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

19-4191; Rev 3; 10/96

MAX274 Evaluation Kit & MAX274/275 Software Manuals Follow Data Sheet

MAXIM

4th- and 8th-Order Continuous-Time Active Filters

General Description

The MAX274 and MAX275 are continuous-time active filters consisting of independent cascadable 2nd-order sections. Each section can implement any all-pole bandpass or lowpass filter response, such as Butterworth, Bessel, and Chebyshev, and is programmed by four external resistors. The MAX274/MAX275 provide lower noise than switched-capacitor filters, as well as superior dynamic performance - both due to the continuous-time design. Since continuous-time filters do not require a clock, aliased and clock noise are eliminated with the MAX274/MAX275.

The MAX274 comprises four 2nd-order sections, permitting 8th-order filters to be realized. Center frequencies range up to 150kHz, and are accurate to within ±1% over the full operating temperature range. Total harmonic distortion (THD) is typically better than -89dB

The MAX275 comprises two 2nd-order sections, permitting 4th-order filters to be realized. Center frequencies range up to 300kHz, and are accurate to within ±0.9% over the full operating temperature range. Total harmonic distortion (THD) is typically better than -86dB

Both filters operate from a single +5V supply or from dual ±5V supplies

Applications

Low-Distortion Anti-Aliasing Filters
DAC Output Smoothing Filters
Modems
Audio/Sonar/Avionics Frequency Filtering
Vibration Analysis

Features

- **Continuous-Time Filter - No Clock, No Clock Noise**
- **Implement Butterworth, Chebyshev, Bessel and Other Filter Responses**
- **Lowpass, Bandpass Outputs**
- **Operate from a Single +5V Supply or Dual ±5V Supplies**
- **Design Software Available**
- **MAX274 Evaluation Kit Available**
- **8th-Order – Four 2nd-Order Sections (MAX274)**
  4th-Order – Two 2nd-Order Sections (MAX275)
- **Center-Frequency Range:**
  150kHz for MAX274
  300kHz for MAX275
- **Low Noise: -86dB THD Typical for MAX274**
  -89dB THD Typical for MAX275
- **Center-Frequency Accurate Over Temp:**
  within ±1% for MAX274
  within ±0.9% for MAX275

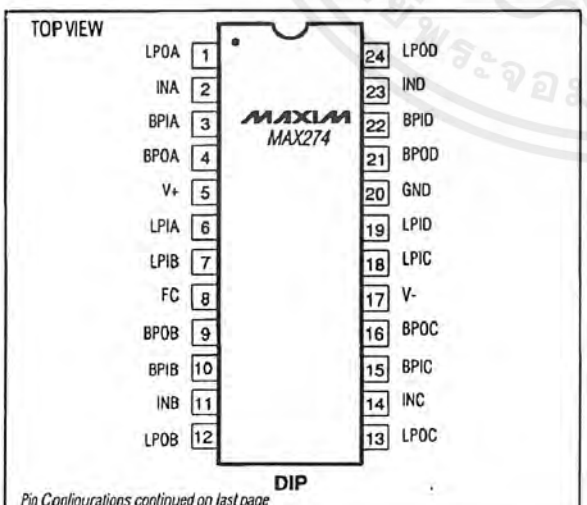
Ordering Information

PART	TEMP. RANGE	PIN-PACKAGE
MAX274ACNG	0°C to +70°C	24 Narrow Plastic DIP
MAX274BCNG	0°C to +70°C	24 Narrow Plastic DIP
MAX274ACWI	0°C to +70°C	28 Wide SO
MAX274BCWI	0°C to +70°C	28 Wide SO
MAX274BC/D	0°C to +70°C	Dice*

Ordering Information continued on last page

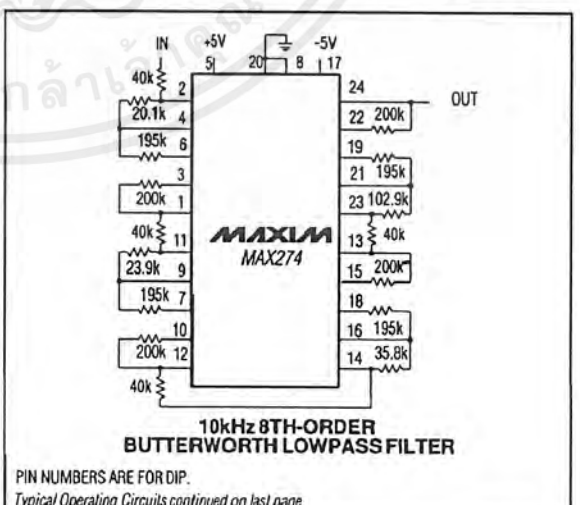
Contact factory for dice specifications.

Pin Configurations



Pin Configurations continued on last page

Typical Operating Circuits



10kHz 8TH-ORDER BUTTERWORTH LOWPASS FILTER

PIN NUMBERS ARE FOR DIP.

Typical Operating Circuits continued on last page

For free samples & the latest literature: http://www.maxim-ic.com, or phone 1-800-998-8800

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4th- and 8th-Order Continuous-Time Active Filters

ABSOLUTE MAXIMUM RATINGS

V+ to V- ..... -0.3V, 12V
Any Pin Voltage to GND (any input) ..... V- - 0.3V, V+ + 0.3V
Continuous Power Dissipation (T_A = +70°C)
MAX274
24-Pin Narrow Plastic DIP
(derate 13.33mW/°C above +70°C) ... 1067mW
28-Pin Wide SO (derate 12.50mW/°C above +70°) . 1000mW
24-Pin CERDIP (derate 12.50mW/°C above +70°C) . 1000mW
MAX275
20-Pin Plastic DIP(derate 11.11mW/°C above +70°C) 889mW
20-Pin Wide SO (derate 10.00mW/°C above +70°) .. 800mW
20-Pin CERDIP (derate 11.11mW/°C above +70°C) .. 889mW

Operating Temperature Ranges:
MAX27_ _C_ _ ..... 0°C to +70°C
MAX27_ _E_ _ ..... -40°C to +85°C
MAX27_ _MRG ..... -55°C to +125°C
Storage Temperature Range ..... -65°C to +165°C
Lead Temperature (soldering, 10 sec) ..... +300°C

Stresses beyond those listed under "Absolute Maximum Ratings" may cause permanent damage to the device. These are stress ratings only, and functional operation of the device at these or any other conditions beyond those indicated in the operational sections of the specifications is not implied. Exposure to absolute maximum rating conditions for extended periods may affect device reliability.

ELECTRICAL CHARACTERISTICS – MAX274

(V+ = 5V, V- = -5V, test circuit A of Figure 1a, T_A = T_{MIN} to T_{MAX}, unless otherwise noted.)

PARAMETER	SYMBOL	CONDITIONS		MIN	TYP	MAX	UNITS
FILTER CHARACTERISTICS							
Maximum Operating Frequency					10		MHz
Center-Frequency Range	F_O	(Note 1)			100 to 150k		Hz
Center-Frequency Accuracy	F_O		MAX274A	-1.0		1.0	%
			MAX274B	-1.4		1.4	
Q Accuracy - Unadjusted			MAX274A	-10		10	%
			MAX274B	-15		15	
Q Accuracy - Adjusted		Scaled for bandwidth compensation			±2.8		%
F_O Temperature Coefficient	$\Delta F_O/\Delta T$	(Note 2)			-28		ppm/°C
Q Temperature Coefficient	$\Delta Q/\Delta T$	(Note 2)			160		ppm/°C
Wideband Noise	V_{NOISE}	LPO_, Figure 1a, test circuit B	1Hz to 10Hz		23		μV_{RMS}
			10Hz to 10kHz		120		
DC CHARACTERISTICS							
DC Lowpass Gain Accuracy	H_{OLP}	Assume ideal resistors	MAX274A	-2		2	%
			MAX274B	-3		3	
Offset Voltage at Outputs	V_{OS}	LPO_	MAX274A	-200		200	mV
			MAX274B	-300		300	
		BPO_	MAX274A	-40		40	
			MAX274B	-80		80	
Offset Voltage Drift	$\Delta V_{OS}/\Delta T$				20		µV/°C
Leakage Current at FC Pin	I_{FC}			-10		10	µA
DYNAMIC FILTER CHARACTERISTICS							
Signal-to-Noise plus Distortion	SINAD	F_{TEST} = 1kHz, Figure 1a, test circuit B	LPO_, V_{LPO} = 8Vp-p		-86		dB
		F_{TEST} = 10kHz, Figure 1a, test circuit C			-82		

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ELECTRICAL CHARACTERISTICS (continued) – MAX274

(V+ = 5V, V- = -5V, test circuit A of Figure 1a, T_A = T_{MIN} to T_{MAX}, unless otherwise noted.)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
Output Voltage Swing	V_{OUT}	LPO_, BPO_, R_{LOAD} = 5kΩ	±3.25	±4.50		V
Slew Rate	SR			10		V/µs
Gain-Bandwidth Product	GBW			7.5		MHz
POWER REQUIREMENTS						
Supply Voltage Range	V_{SUPP}	(Note 3)	±2.37		±5.50	V
Supply Current	I_C	For V+, V-		20	30	mA
Power-Supply Rejection Ratio	PSRR	V+ = 5V + 100mVp-p at 1kHz, V- = -5V		-30		dB

Note 1: Center frequencies (F_{OS}) below 100Hz are possible at reduced dynamic range.
Note 2: Assume no drift for external resistors.
Note 3: See Figure 9 for single-supply operation.

ELECTRICAL CHARACTERISTICS – MAX275

(V+ = 5V, V- = -5V, test circuit A of Figure 1b, T_A = T_{MIN} to T_{MAX}, unless otherwise noted.)

PARAMETER	SYMBOL	CONDITIONS		MIN	TYP	MAX	UNITS
FILTER CHARACTERISTICS							
Maximum Operating Frequency					10		MHz
Center-Frequency Range	F_O	(Note 1)			100 to 300k		Hz
Center-Frequency Accuracy	F_O		MAX275A	-0.9		0.9	%
			MAX275B	-1.4		1.4	
Q Accuracy – Unadjusted			MAX275A	-8		8	%
			MAX275B	-12		12	
Q Accuracy – Adjusted		Scaled for bandwidth compensation			±1		%
F_O Temperature Coefficient	$\Delta F_O/\Delta T$	(Note 2)			-24		ppm/°C
Q Temperature Coefficient	$\Delta Q/\Delta T$	(Note 2)			38		ppm/°C
Wideband Noise	V_{NOISE}	LPO_ test circuit B of Figure 1b.	1Hz to 10Hz		6		μV_{RMS}
			10Hz to 10kHz		42		
DC CHARACTERISTICS							
DC Lowpass Gain Accuracy	H_{OLP}	Assume ideal resistors	MAX275A	-1		1	%
			MAX275B	-2		2	
Offset Voltage at Outputs	V_{OS}	LPO_	MAX275A	-125		125	mV
			MAX275B	-250		250	
		BPO_	MAX275A	-50		50	
			MAX275B	-100		100	
Offset Voltage Drift	$\Delta V_{OS}/\Delta T$				20		µV/°C
Leakage Current at FC Pin	I_{FC}			-10		10	µA
DYNAMIC FILTER CHARACTERISTICS							
Signal-to-Noise plus Distortion	SINAD	F_{TEST} = 1kHz, test circuit B of Figure 1b.	LPO_, V_{LPO} = 8Vp-p		-89		dB
		F_{TEST} = 10kHz, test circuit C of Figure 1b.			-83		

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4th- and 8th-Order Continuous-Time Active Filters

ELECTRICAL CHARACTERISTICS (continued) – MAX275

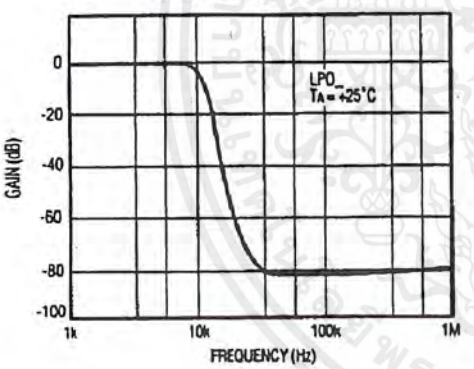
(V+ = 5V, V- = -5V, test circuit A of Figure 1b, $T_A = T_{MIN}$ to T_{MAX}, unless otherwise noted.)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
Output Voltage Swing	VOUT	LPO_, BPO_, R_{LOAD} = 5kΩ	±3.25	±4.50		V
Internal Amplifier Slew Rate	SR			10		V/µs
Gain-Bandwidth Product	GBW			15		MHz
POWER REQUIREMENTS						
Supply Voltage Range	VSUPP	(Note 3)	±2.37		±5.50	V
Supply Current	IC	For V+, V-		10	24	mA
Power-Supply Rejection Ratio	PSRR	V+ = 5V + 100mVp-p at 1kHz, V- = -5V		-35		dB

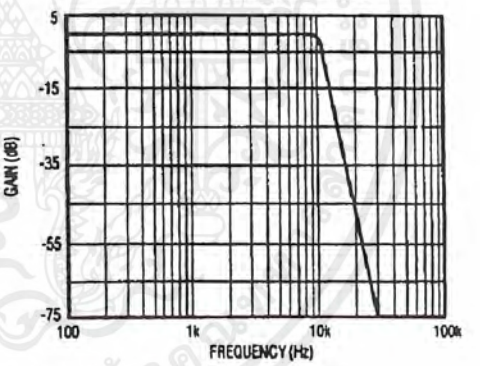
Note 1: Center frequencies (F_0s) below 100Hz are possible at reduced dynamic range.
Note 2: Assume no drift for external resistors.
Note 3: See Figure 9 for single-supply operation.

Typical Operating Characteristics–MAX274

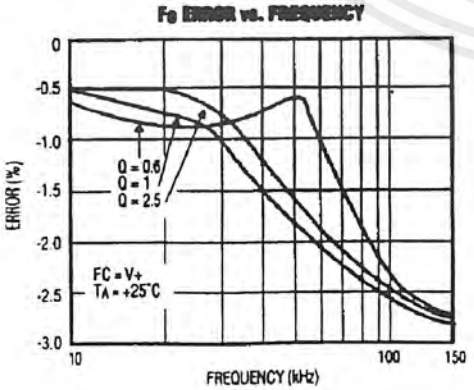
FILTER WIDEBAND RESPONSE USING TYPICAL OPERATING CIRCUIT



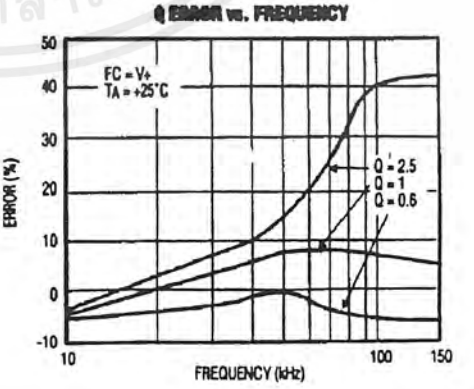
FILTER RESPONSE USING TYPICAL OPERATING CIRCUIT



Fo ERROR vs. FREQUENCY

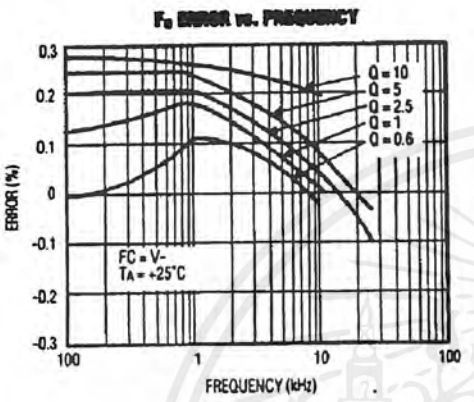


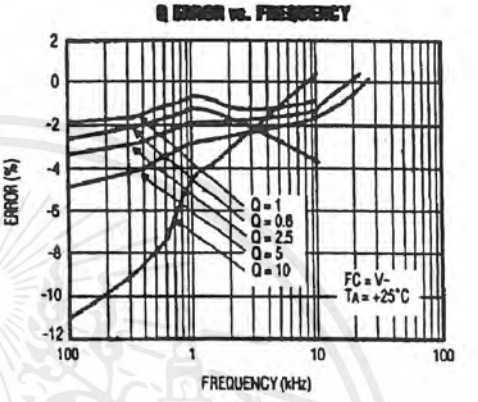
Q ERROR vs. FREQUENCY

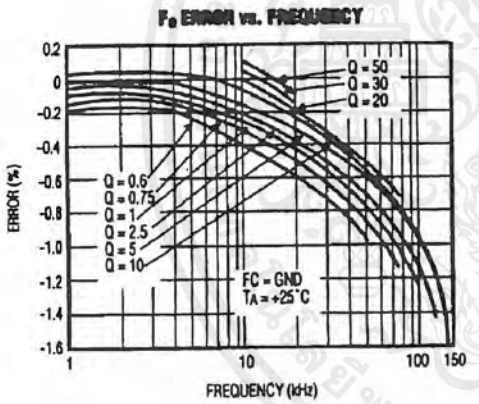


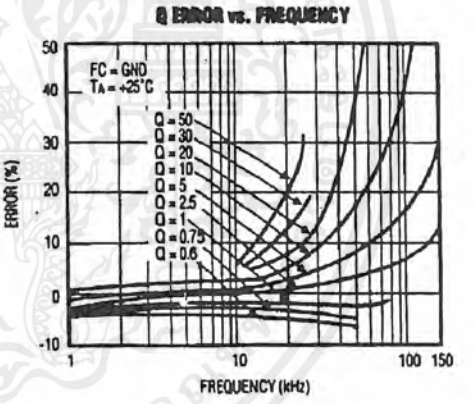
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

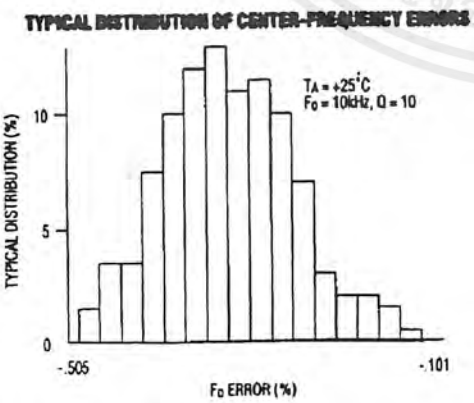
Typical Operating Characteristics–MAX274 (continued)

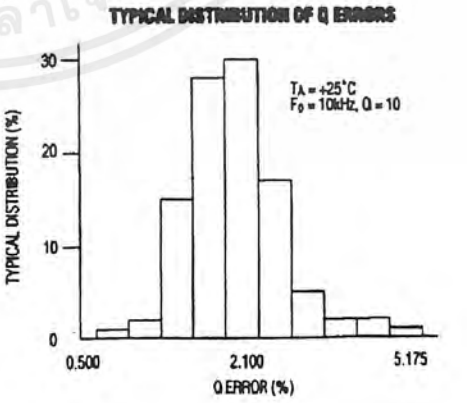










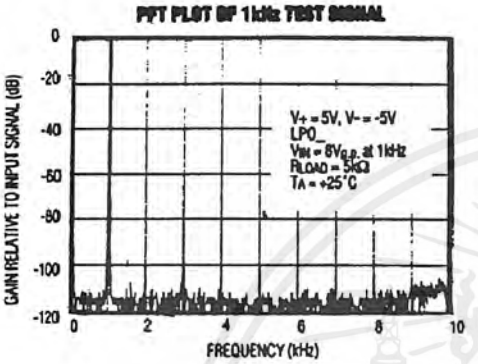


เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

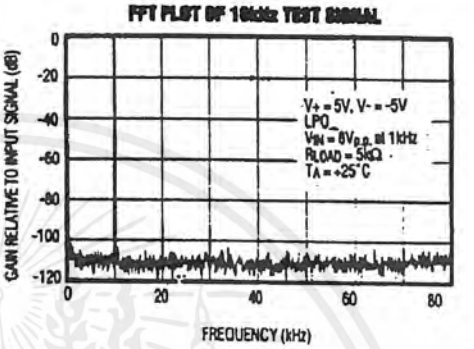
4th- and 8th-Order Continuous-Time Active Filters

Typical Operating Characteristics–MAX274 (continued)

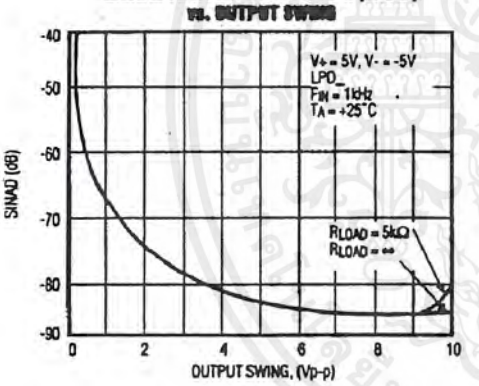
FFT PLOT OF 1kHz TEST SIGNAL



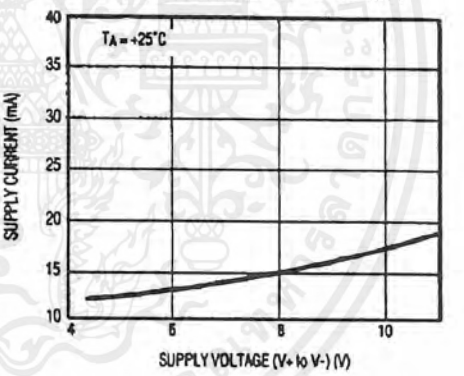
FFT PLOT OF 16kHz TEST SIGNAL



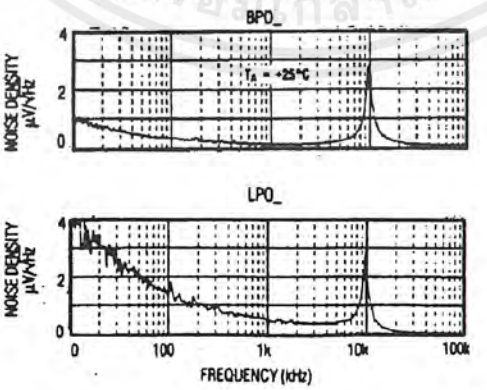
SIGNAL TO NOISE + DISTORTION (SINAD) vs. OUTPUT SWING



SUPPLY CURRENT vs. SUPPLY VOLTAGE



SPECTRAL NOISE DENSITY vs. FREQUENCY

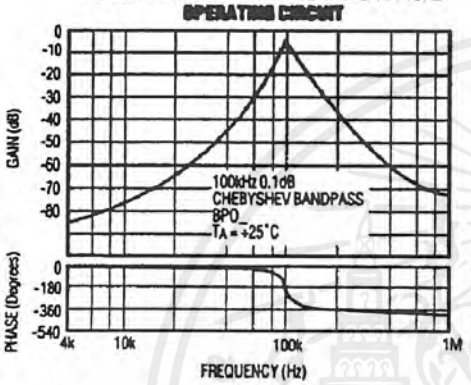


เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

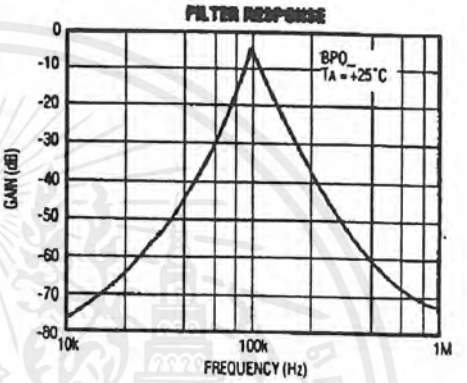
4th- and 8th-Order Continuous-Time Active Filters

Typical Operating Characteristics—MAX275

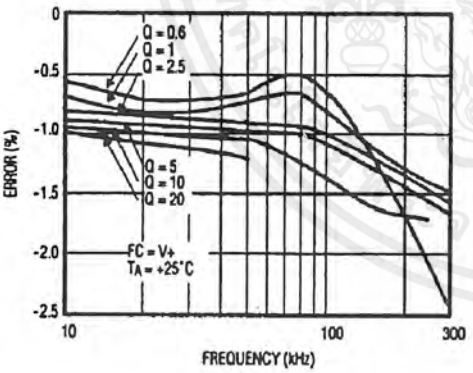
FILTER WIDEBAND RESPONSE USING TYPICAL OPERATING CIRCUIT



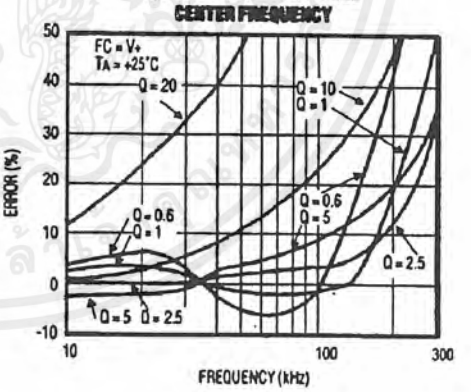
FILTER RESPONSE



CENTER-FREQUENCY ERROR vs. PROGRAMMED CENTER FREQUENCY



Q ERROR vs. PROGRAMMED CENTER FREQUENCY

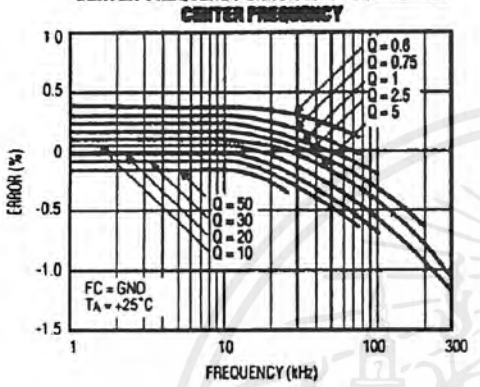


เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

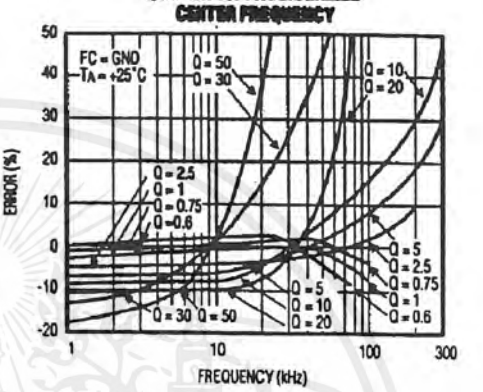
4th- and 8th-Order Continuous-Time Active Filters

Typical Operating Characteristics–MAX275 (continued)

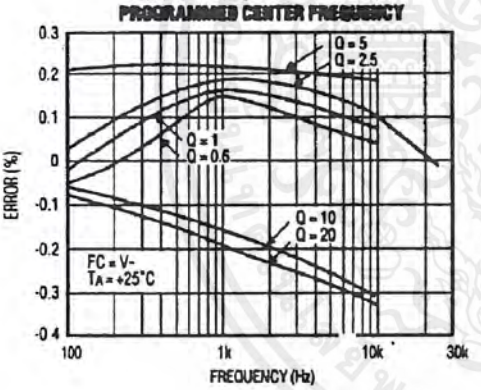
CENTER-FREQUENCY ERROR vs. PROGRAMMED CENTER FREQUENCY



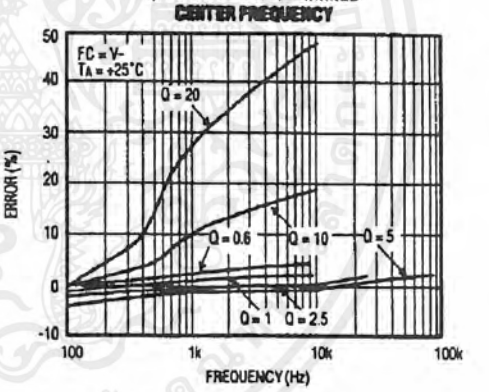
Q ERROR vs. PROGRAMMED CENTER FREQUENCY



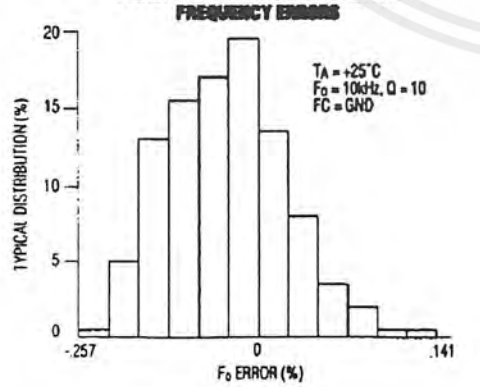
CENTER-FREQUENCY ERROR vs. PROGRAMMED CENTER FREQUENCY



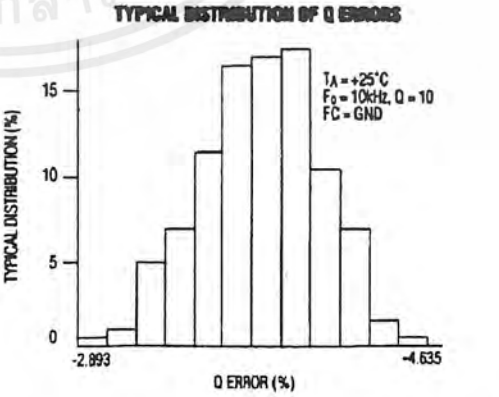
Q ERROR vs. PROGRAMMED CENTER FREQUENCY



TYPICAL DISTRIBUTION OF CENTER-FREQUENCY ERRORS



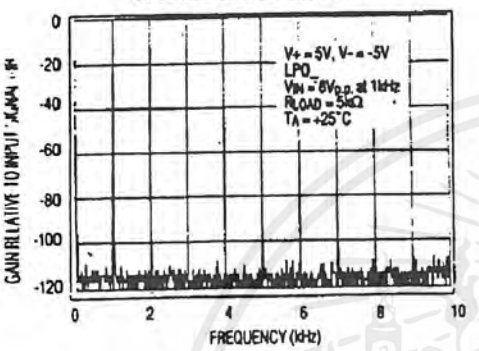
TYPICAL DISTRIBUTION OF Q ERRORS



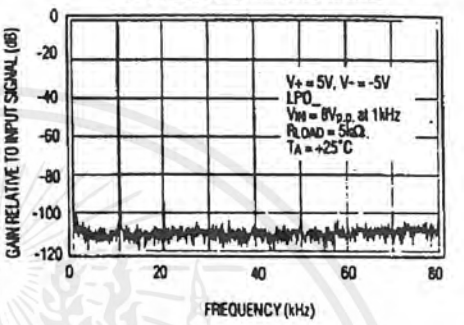
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Typical Operating Characteristics–MAX275 (continued)

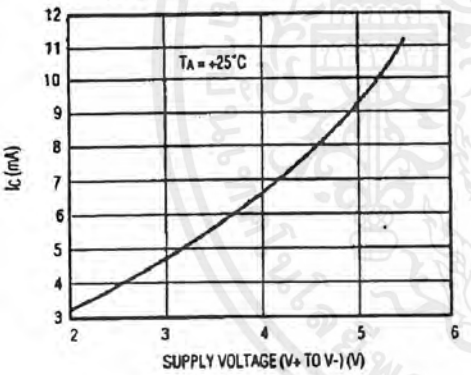
FFT PLOT OF 1kHz TEST SIGNAL



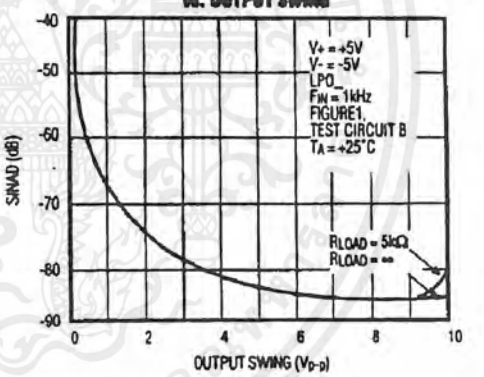
FFT PLOT OF 10kHz TEST SIGNAL



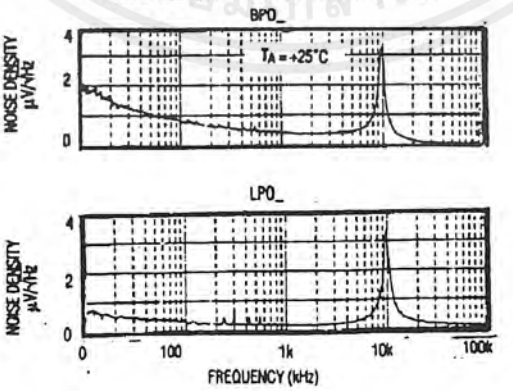
SUPPLY CURRENT vs. SUPPLY VOLTAGE



SIGNAL-TO-NOISE + DISTORTION (SINAD) vs. OUTPUT SWING

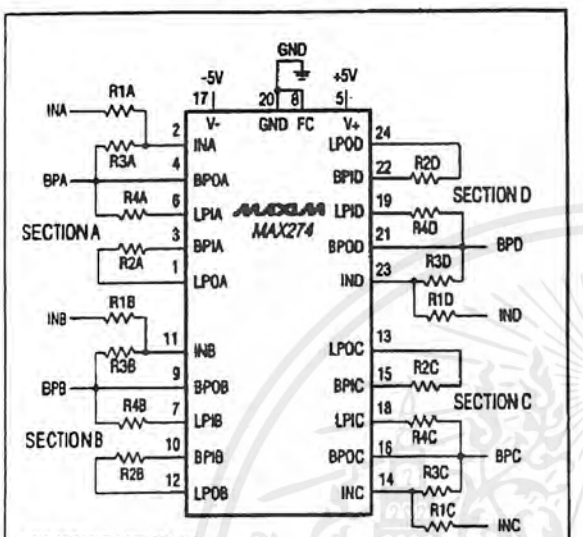


NOISE SPECTRAL DENSITY vs. FREQUENCY



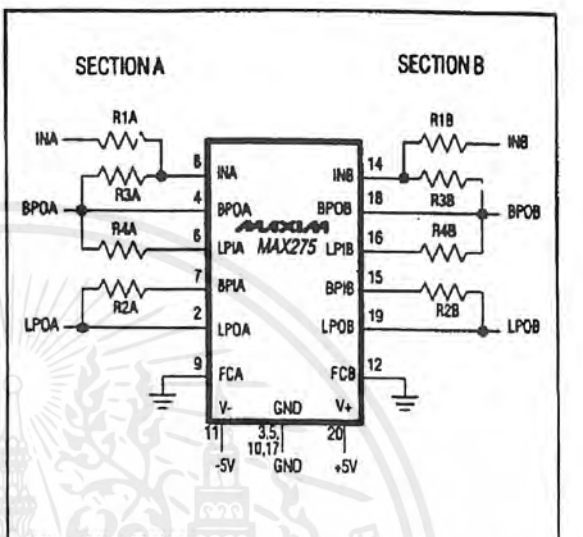
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4th- and 8th-Order Continuous-Time Active Filters



TEST CIRCUIT	F_o (kHz)	Q	R1X (kΩ)	R2X (kΩ)	R3X (kΩ)	R4X (kΩ)	FC PIN
A	10	10	80	200	400	195	GND
B	10	0.707	40	200	28	195	GND
C	100	0.707	40	20	48	15	V+

Figure 1a. MAX274 Connection Diagram and Test Circuit



TEST CIRCUIT	F_o (kHz)	Q	R1X (kΩ)	R2X (kΩ)	R3X (kΩ)	R4X (kΩ)	FC PIN
A	10	10	80	200	400	195	GND
B	10	0.707	40	200	28	195	GND
C	100	0.707	40	20	48	14	V+

Figure 1b. MAX275 Connection Diagram and Test Circuit

Detailed Description

The MAX274 contains four identical 2nd-order filter sections while the MAX275 contains two sections. Figure 2 shows the state-variable topography employed in each filter section. This topography allows simultaneous lowpass and bandpass functions at separate outputs.

The MAX274/MAX275 employ a four-amplifier design, chosen for its relative insensitivity to parasitic capacitances and high bandwidth. The built-in capacitors and amplifiers, together with external resistors, form cascaded integrators with feedback to provide simultaneous lowpass and bandpass filtered outputs. To maximize bandwidth, the highpass (HP) node is not accessible. A 5kΩ resistor is connected in series with the input of the last stage amplifier to isolate the integration capacitor from external parasitic capacitances that could alter the filter's pole accuracy.

Although a notch output pin is not available, a notch can be created at the pole frequency by summing the input and bandpass output. See Creating a Notch Output Section

Filter Design Procedure

Figure 3 outlines the overall filter design procedure. Maxim's Filter Design Software is highly recommended. This software automatically calculates filter order, poles, and Qs based on the required filter shape, so no manual calculations are necessary. Menu-driven commands and on-screen filter response graphs take the user through the complete design process, including the selection of resistor values for implementing a filter with the MAX274/MAX275. See *Maxim Filter Design Software* section.

If designing without the filter software, see the filter design references listed at the end of this data sheet. These references provide numerical tables and equations needed to translate a desired filter response into order, poles, and Q. Once these three parameters have been calculated, see the next section, *Translating F_o/Q Pairs into MAX274/MAX275 Hardware (Resistor Selection)*.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

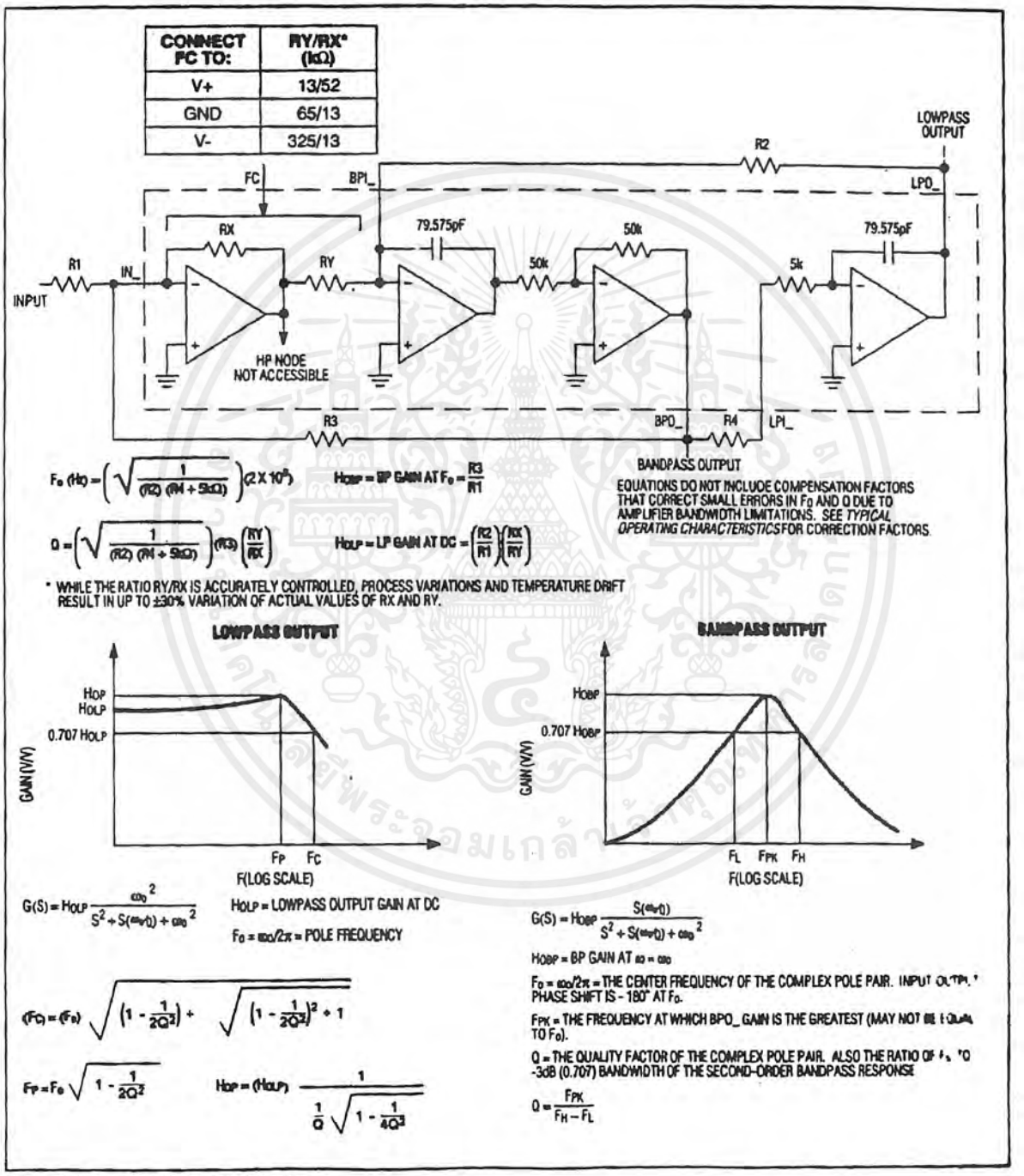


Figure 2. Single 2nd-Order Filter Section

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4th- and 8th-Order Continuous-Time Active Filters

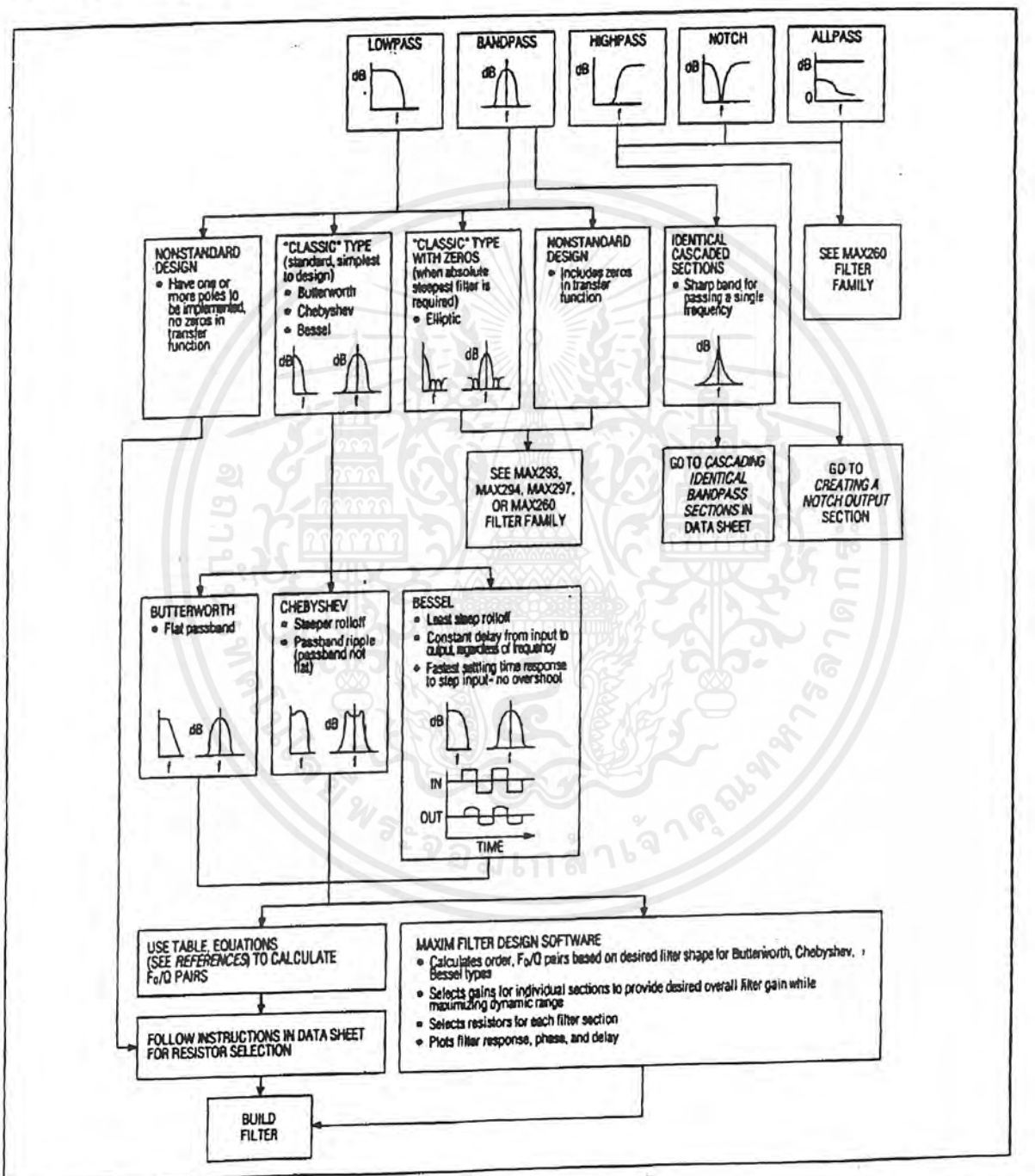


Figure 3. General Filter Design Flowchart

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Translating Calculated F_o/Q Pairs into MAX274/MAX275 Hardware (Resistor Selection)

If the filter design procedure has been completed as outlined in Figure 3, with the exception of external resistor selection, follow these steps:

1. Check all F_o/Q pairs for realizability. The MAX274/MAX275 have limits on which F_o/Q values can be implemented. These limits are bound by finite amplifier gain-bandwidth and amplifier load drive capability (which limit the highest frequency F_o/highest Qs) as well as amplifier noise pickup and susceptibility to errors caused by stray capacitance (which sets a low-frequency limit on the poles). Refer to Figure 4 to be sure each F_o/Q pair is within the "realizable" portion of the graph. If filter Qs are too high, reduce them by increasing the filter order (that is, increase the number of poles in the overall filter).

High-frequency F_os (up to 400kHz) and high Qs outside of Figure 4's limits are also realizable, but F_o and Q will deviate significantly from the ideal. Adjust resistor values by prototyping.

To implement F_os less than 100Hz, see *High-Value Resistor Transformation* section.

2. Calculate resistor values for each section (F_o/Q pair). Calculate resistor values using graphs and equations in steps A through D of this section. Begin by estimating required values according to the graphs; then use the given equations to derive a precise value.

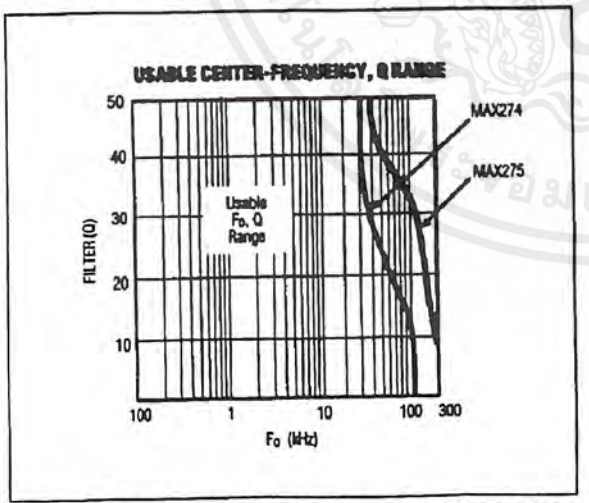


Figure 4. Usable F_o, Q Range. See Translating Fo/Q Pairs into Hardware (Resistor Selection).

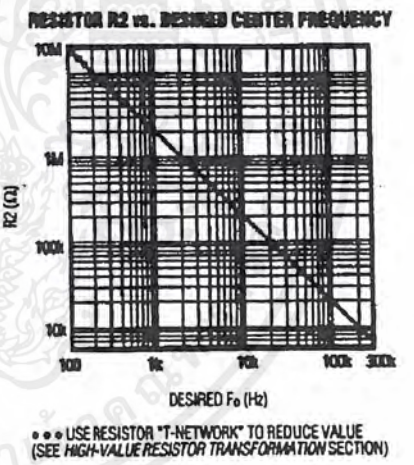
Resistor values should not exceed 4MΩ because parasitic capacitances shunting such high values cause excessive F_o/Q errors. Values lower than 5kΩ for R2 and R3 are not recommended due to limited amplifier output drive capability. For cases where larger values are unavoidable (as in low-frequency sections) refer to the *High-Value Resistor Transformation* section.

The Frequency Control (FC) pin is connected to V+, GND, or V- and scales R3 and R1 to accomodate a wide range of gains and Q values. Different FC settings may be chosen for each section. Refer to the *FC Pin Connection* section.

The steps for calculating resistor values are given below.

STEP A. CALCULATE R2.

$$R2 = \frac{(2 \times 10^9)}{F_o}$$



Resistors R2 and R4 set the center frequency.

STEP B. CALCULATE R4.

$$R4 = R2 - 5k\Omega$$

R4 may be less than 5kΩ because an internal series 5kΩ resistor limits BPO_ loading

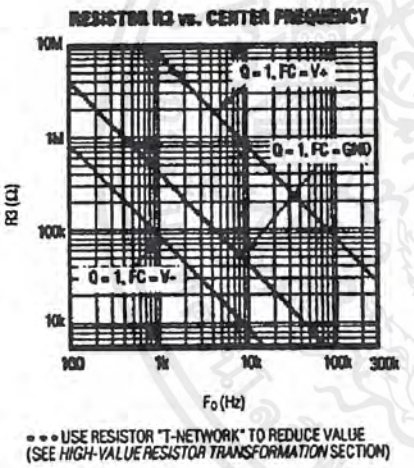
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4th- and 8th-Order Continuous-Time Active Filters

STEP C. CALCULATE R3.

R3 sets the Q for the section. R3 values are plotted assuming Q = 1; since R3 is proportional to Q, multiply the graph's value by the desired Q.

Given Q, three choices exist for R3, depending on the FC setting. Choose a setting that provides a reasonable resistor value (5kΩ < R3 < 4MΩ). R3 > 4MΩ may be used if unavoidable – refer to the *High-Value Resistor Transformation* section for an explanation of resistor "Ts."



• • • USE RESISTOR "T-NETWORK" TO REDUCE VALUE (SEE *HIGH-VALUE RESISTOR TRANSFORMATION* SECTION)

Scale R3 to desired Q

$$R3 = \frac{(Q)\ (2X10^9)}{F_o} \times \left(\frac{RX}{RY}\right)$$

CONNECT FC TO:	RX/RY
V+	4/1
GND	1/5
V-	1/25

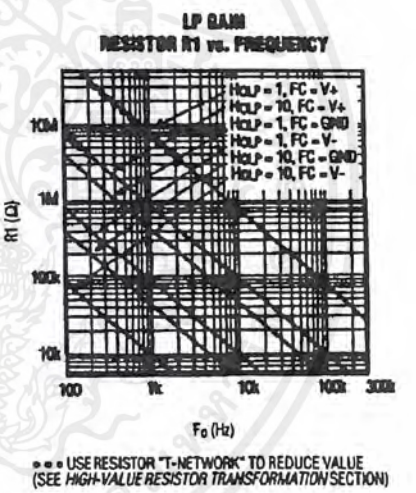
STEP D. CALCULATE R1.

R1 sets the gain. If individual section gains have not yet been calculated, refer to *Cascaded Filter Gain Optimization, Ordering of Sections.*

R1 is inversely proportional to LP gain. R1 values for gains of 1 and 10 are plotted; scale R1 according to desired gain.

Lowpass Filters:

The FC pin setting was chosen in Step C (or from previous section calculations).



• • • USE RESISTOR "T-NETWORK" TO REDUCE VALUE (SEE *HIGH-VALUE RESISTOR TRANSFORMATION* SECTION)

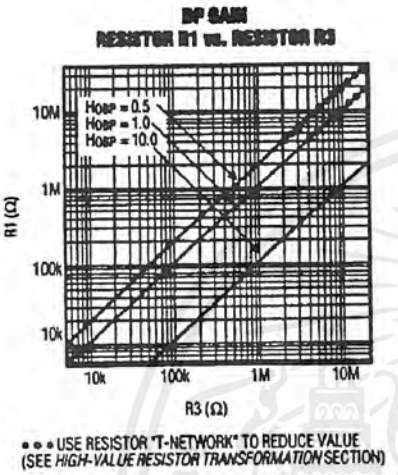
$$R1 = \frac{(2)\ (10^9)}{(F_o)\ (H_{OLP})} \times \left(\frac{RX}{RY}\right)$$

CONNECT FC TO:	RX/RY
V+	4/1
GND	1/5
V-	1/25

where H_{OLP} is the gain at LPO_ at DC.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Bandpass Filters:



$$R1 = \frac{R3}{H_{OBP}}$$

where H_{OBP} is the gain at BPO_ at F_0.

3. Recalculate resistor values to compensate for filter amplifier bandwidth errors. Some of the *Typical Operating Characteristics* graphs show deviations in F_0 and Q compared with expected values, due to gain rolloff of the internal amplifiers. If desired, correct these deviations by recalculating values R1- R4.

4. Build a filter prototype. Build and test all filter designs! Refer to the Prototyping, PC-Board Layout section of this data sheet.

For applications that require high accuracy (for example, those with filter sections containing Qs greater than 10) or those that use a ground plane, a final prototype tuning procedure is recommended. Build a prototype filter; then adjust resistor values of each section until desired accuracy is achieved.

High-Value Resistor Transformation

High-value resistors (greater than 4MΩ) used in the MAX274/MAX275 filter circuit introduce excessive F_0 and Q errors. To reduce the impedance of these feedback paths while maintaining equivalent feedback current, use the resistor 'T' method shown in Figure 5.

F_0s less than 100Hz can be realized using T-networks. T-networks provide the equivalent of large resistor values for R2, R3, and R4, necessary for low-frequency filters; however, T-networks reduce dynamic range by attenuating the input signal level. Note that parasitic capacitances across these high resistor values affect the filter response at high frequencies. For best results, build a prototype and check its performance thoroughly.

Odd Number of Poles

For lowpass designs containing an odd number of poles, add an RC lowpass filter after the final filter section. The value of RC should be:

$$RC = 1/2\pi F_0$$

where F_0 is the desired real pole frequency. If required, buffer the RC with an op amp.

In many cases it may be advantageous to simply increase the filter order by 1, and implement it with an additional 2nd-order section.

FC Pin Connection

Connect FC to GND for all applications, except where resistor values fall below 5kΩ (at high F_0s, low Qs). In these cases connect FC to V+. For low F_0s and high Qs, connect FC to V- to keep the value of R1 and R3 below 4MΩ.

F_0 and Q errors are significantly higher when FC is connected to V+ or V- (see Typical Operating Characteristics). Adjusting resistor values compensates for these errors, since the errors are repeatable from part to part. Note that noise increases threefold when FC is connected to V+.

Cascading Identical Sections for Simplest Bandpass

If designing a bandpass filter where a single frequency (or a very narrow band of frequencies) must be passed, several 2nd-order sections with identical F_0s and Qs may be cascaded. The resulting Q (selectivity) of the filter is a function of the individual sections' Qs and the number of sections cascaded:

$$Q_t = \frac{Q}{\sqrt{2^{1/n} - 1}}$$

where Qt is the overall cascaded filter Q, Q is the Q of each individual section, and N is the number of sections.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4th- and 8th-Order Continuous-Time Active Filters

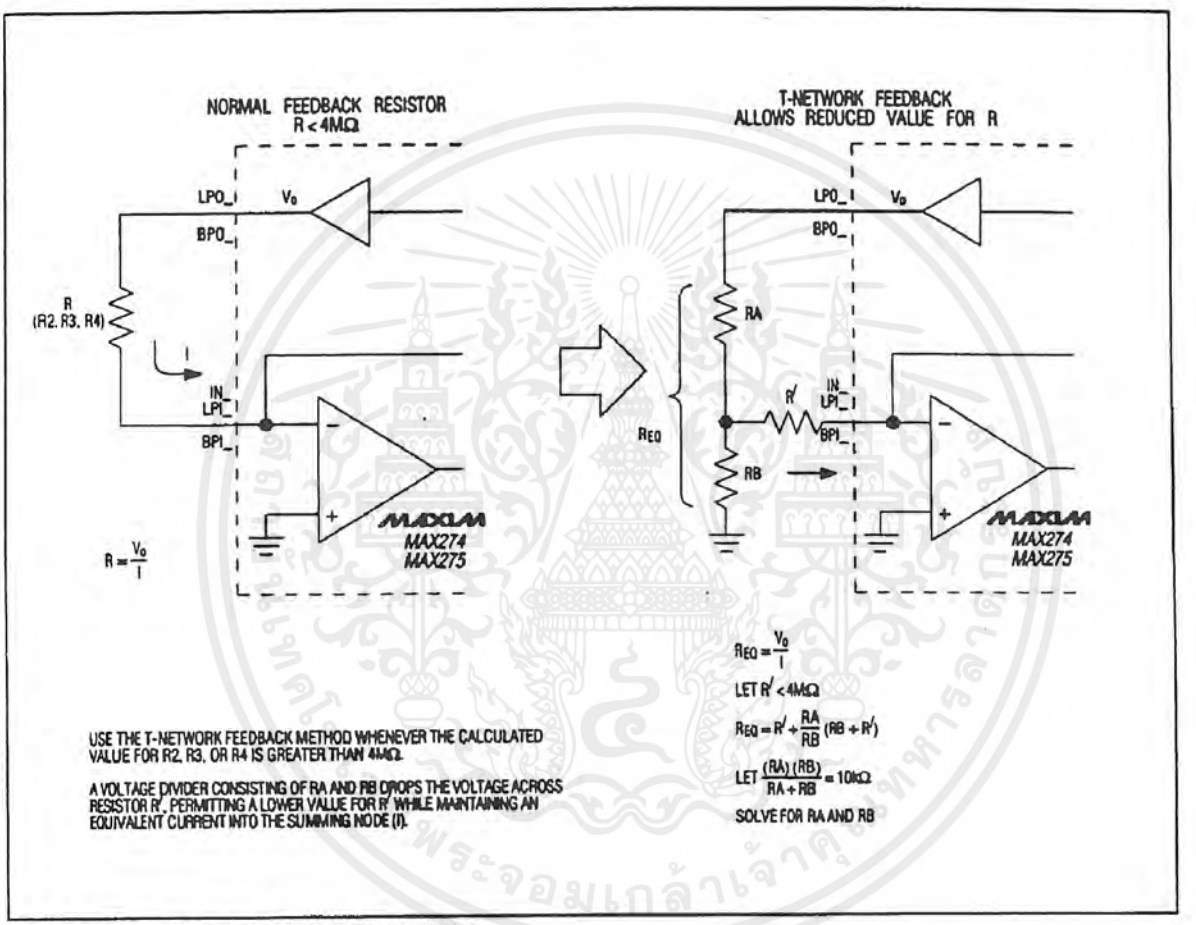


Figure 5. Resistor T-Networks Reduce Resistor Values

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

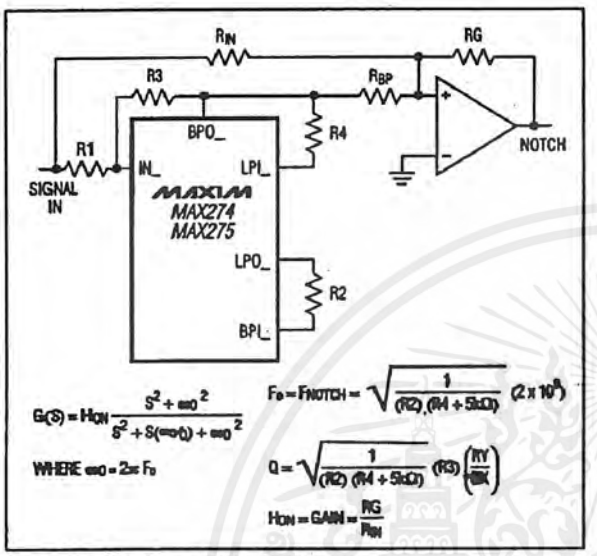


Figure 6a. Creating a Notch Output

Creating a Notch Output

A notch (zero) can be created in the filter response by summing the input signal with BPO_ using an external op amp (Figure 6a). The notch will have the poles and Q characteristics of the 2nd-order section, as well as a zero at the pole frequency (transfer function given in Figure 6a). H_{OBP} (BP gain at F_0) must be accurately set to unity so the input signal summed with BPO_ cancels precisely at the pole frequency. The notch's maximum attenuation is therefore a function of the accuracy of R1, R3, R_{IN}, and R_{BP}.

A notch can be used to create a null within the passband of a lowpass filter to reject specific frequencies (see *Applications* section).

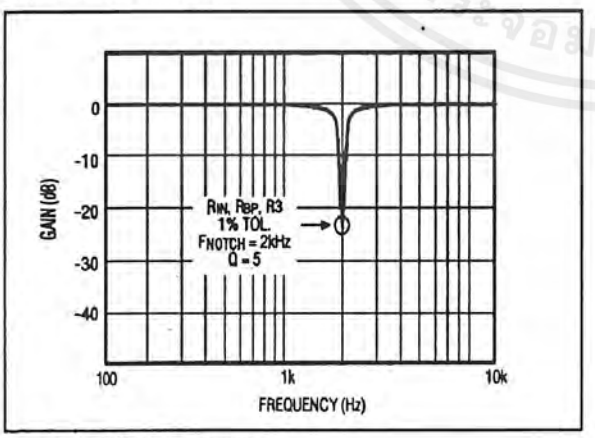


Figure 6b. Notch Response

Cascaded Filter Gain Optimization, Ordering of Sections

Gains across the individual sections in a filter may be set an infinite number of ways, as long as the total gain from filter input to output is correct. Often, gains cannot be equally divided among sections, since different F_0s and Qs create gain peaks and valleys at different frequencies for each section.

The goal in choosing gains is to prevent section outputs from swinging beyond the ±3.25V limit (using ±5V supplies) while the full input signal is applied. On the other hand, if section gains are set too low and only a small proportion of output range is used, the noise factor increases. An optimal gain distribution between sections allows each section to swing as close to ±3.25V as possible in a wide range of frequencies.

Check the unused output (BPO_ or LPO_), and the internal HP node for overvoltage, since clipping at any node will cause distortion at the outputs. The HP node is not available for probing (Figure 2); however, its gain may approach RX / R1. Low R1 values and connecting FC to V+ (which sets RX as high as 64kΩ) may cause this node to clip.

Maxim's Filter Design Software allows optimum gain by plotting output gains of each successive cascaded filter section, including the internal node. Gains may be adjusted manually and sections reordered for the best overall dynamic range.

To optimize gain without the help of software, begin by ordering the sections from lowest Q to highest Q. Divide gains equally between sections, setting each section gain to:

$$H_O = A^{(1/N)}$$

where A = overall filter gain

$H_O = H_{OBP}$ for bandpass designs (gain at F_0)

$H_O = H_{OLP}$ for lowpass designs (gain at DC)

N = total number of sections

This approach offers a good first-pass solution to clipping problems in the high Q sections by keeping gains low in the first (low Q) sections. The gains may then be adjusted in hardware to maximize overall dynamic range.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4th- and 8th-Order Continuous-Time Active Filters

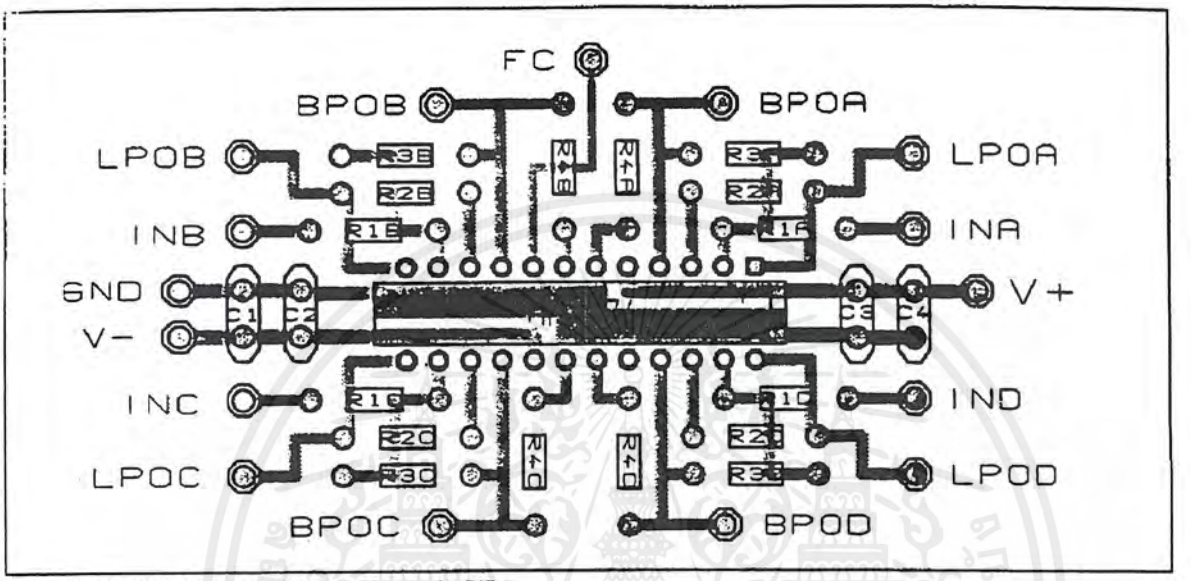


Figure 7a. MAX274 Suggested PC-Board Layout for DIP

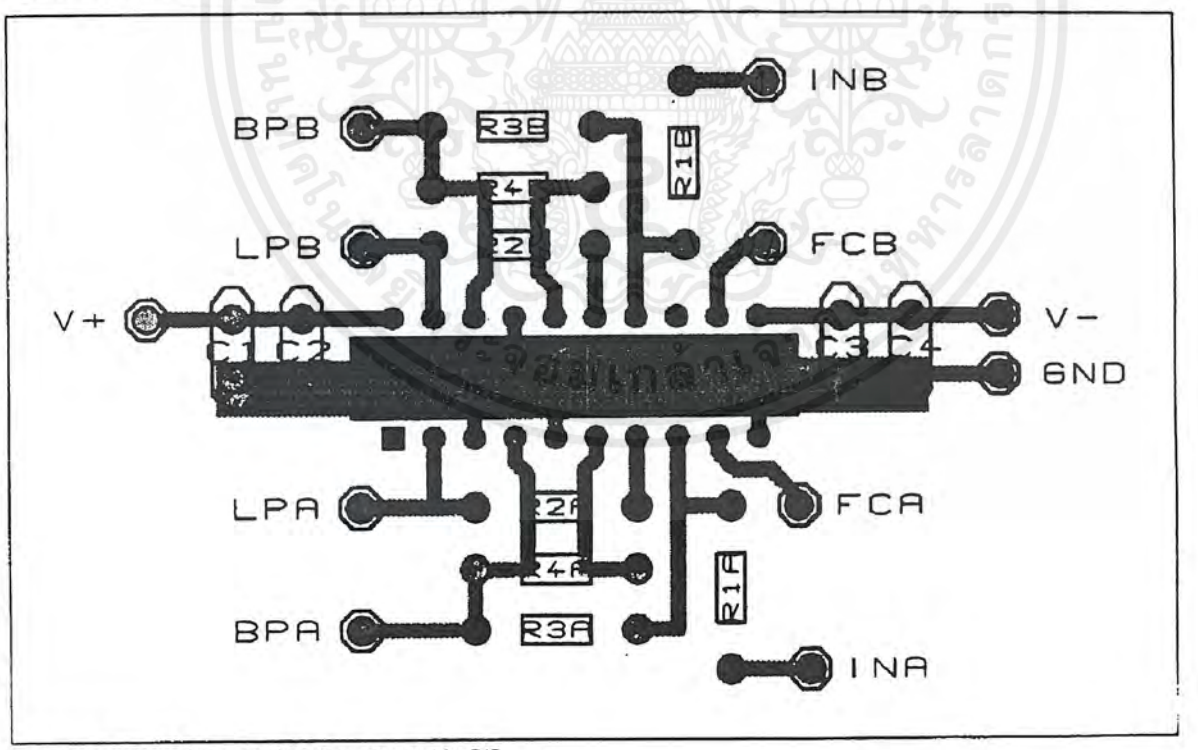


Figure 7b. MAX275 Suggested PC-Board Layout for DIP

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4th- and 8th-Order Continuous-Time Active Filters

Resistors

Aside from accuracy, the most important criterion for resistor selection is parasitic capacitance across the resistor. Typical capacitance should be less than 1pF. Precision wire-wound resistors exhibit several picofarads, as well as unacceptable inductance – DO NOT USE THESE. Capacitance effectively reduces the resistance at high frequencies (especially when using high-value resistors), and causes phase shifts in feedback loops. Do not mount resistors in sockets. Socket capacitance appearing across resistors is often several picofarads, and will cause significant errors in F_O and Q. Metal-film resistors minimize noise better than carbon types.

Prototyping, PC-Board Layout

For highest accuracy filters, build the filter prototype on a PC board with a layout as similar as possible to the final production circuit. If a ground plane will be used in production, build prototype filters on a copper board. Do not use push-in type breadboards for prototyping – pin-to-pin capacitance is too high. For faster prototyping, the MAX274 evaluation kit includes a PC-board circuit to test designs.

Layout-sensitive errors, though repeatable from part to part, vary according to resistor placement, trace routing, and ground-plane layout. For highest accuracy, use the recommended layout provided in Figures 7a and 7b. Keep all traces, especially LPI_ and BPI_, as short as possible. LPI_ and BPI_ are particularly sensitive to ground capacitance, and may cause errors in Q. If a ground plane is used, tune the prototype filter by adjusting resistor values to cancel errors caused by ground capacitance.

Prevent capacitive coupling between pins. Coupling between BPI_ and BPO_ can cause F_O errors; capacitance across resistors connecting IN and BPO_ (R3), BPI_ and LPO_ (R2), and BPO_ and LPI_ (R4) cause F_O and Q errors. Minimize these errors with "tight" (shortest trace) layout practices.

Measuring F_o and Q

For multiple-order filters, measure each section individually, before cascading, to verify correct F_O and Q. For best results, measure BPO_ with a spectrum analyzer. F_O is the frequency at which the input and BPO_ are 180° out of phase. Q is the ratio of F_{PK} to BPO_'s - 3dB bandwidth (Figure 2), where F_{PK} is the frequency at which BPO_ gain is the greatest (which may not be equal to F_O).

Filter F_o and Q Accuracy

F_O sensitivity to external resistor tolerance is 1:1 – for example, use of 1% tolerant resistors for R2 and R4 adds ±1% error to F_O (which should be added to the ±1% tolerance of the MAX274/MAX275, guaranteed over temperature). Q errors are of greater magnitude, since they are a function of the internal resistor divider (controlled by the FC pin) and also involve R3. Typical Q error distributions are given in the *Typical Operating Characteristics*; additional Q errors associated with resistor tolerances are a function of R2, R3, and R4, and must be calculated according to the values used.

DC Offset Removal

Figures 8a and 8b show methods for removing the DC offset voltage at LPO_. The first method shows adjustable DC nulling signals injected into either BPI_ or the filter input. R_{TRIM} must be adjusted until DC offset is nulled at the LPO_ (Figure 8a). Figure 8b shows a trimless solution for lowpass filters that removes DC offset by AC coupling the LPO_ output, while allowing a DC path through R from the input. At DC and low frequencies, the output is equal to the prefiltered signal input (across R); at higher frequencies, C conducts and the output equals the signal at LPO_. The external RC pole should be set at least one frequency decade lower than the overall filter F_O. A low offset amplifier can buffer the output signal, if desired. For bandpass filters, a simple buffered RC highpass filter at the output removes DC offset.

Noise and Distortion

Noise-spectral density is shown in the *Typical Operating Characteristics*. The noise frequency distribution is shaped by the filter gain and response (higher Q section will have a proportionally higher noise peak around the pole frequency), as well as by amplifier 1/*f* noise. With FC set to V+, noise is 3 times greater than if set to GND or V-; therefore, avoid this setting for noise-sensitive applications. The noise density graphs from the *Typical Operating Characteristics* can be scaled to any gain or Q for an accurate noise estimation.

The MAX274/MAX275 can drive 5kΩ loads to typically within ±500mV of the supply rails with negligible distortion. The outputs can drive up to 100pF; however, filters with high F_Os and Qs will undergo some phase shift (1° at 100kHz driving 130pF, F_O = 100kHz, Q = 10 section).

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4th- and 8th-Order Continuous-Time Active Filters

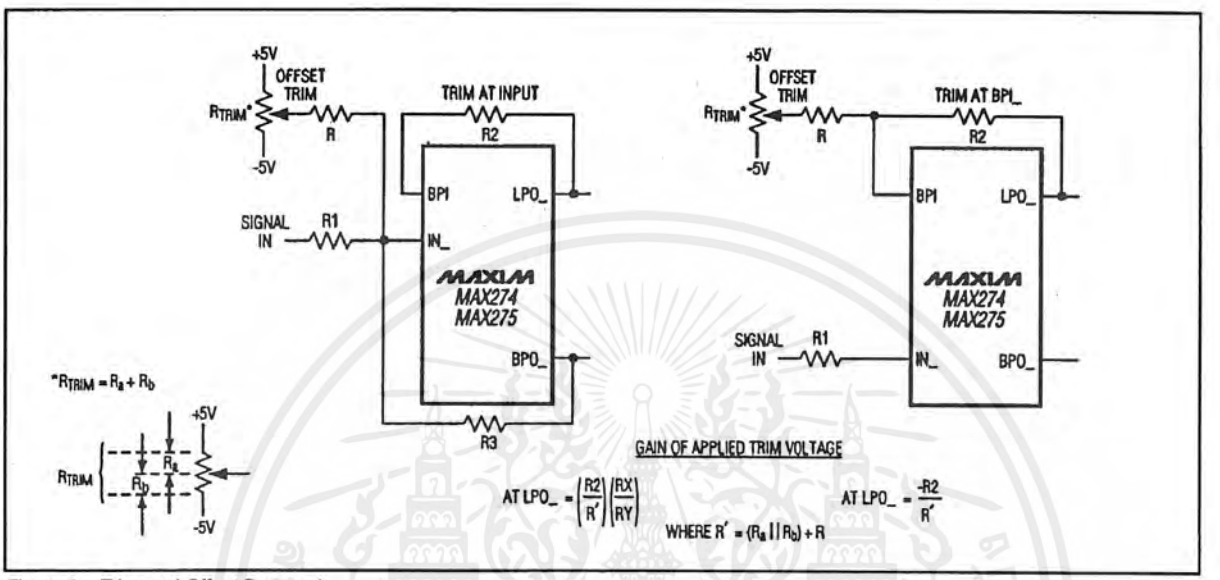


Figure 8a. Trimmed Offset Removal

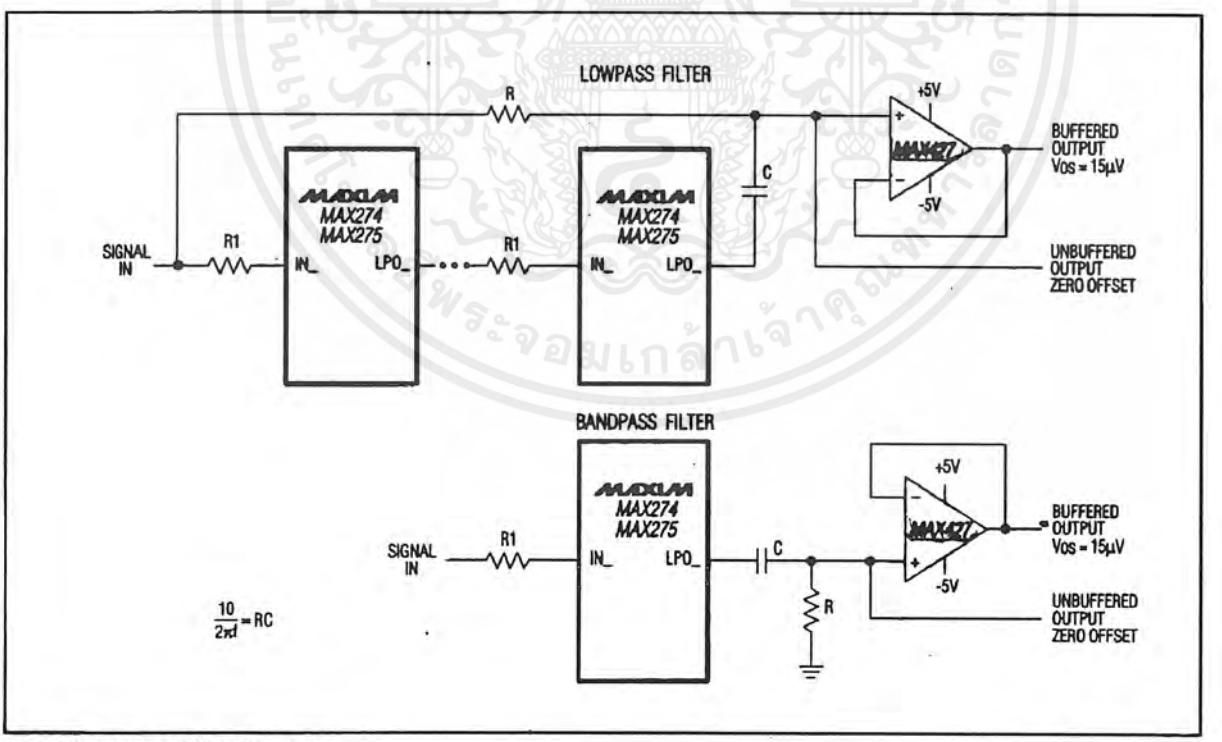


Figure 8b. Trimless Offset Removal

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

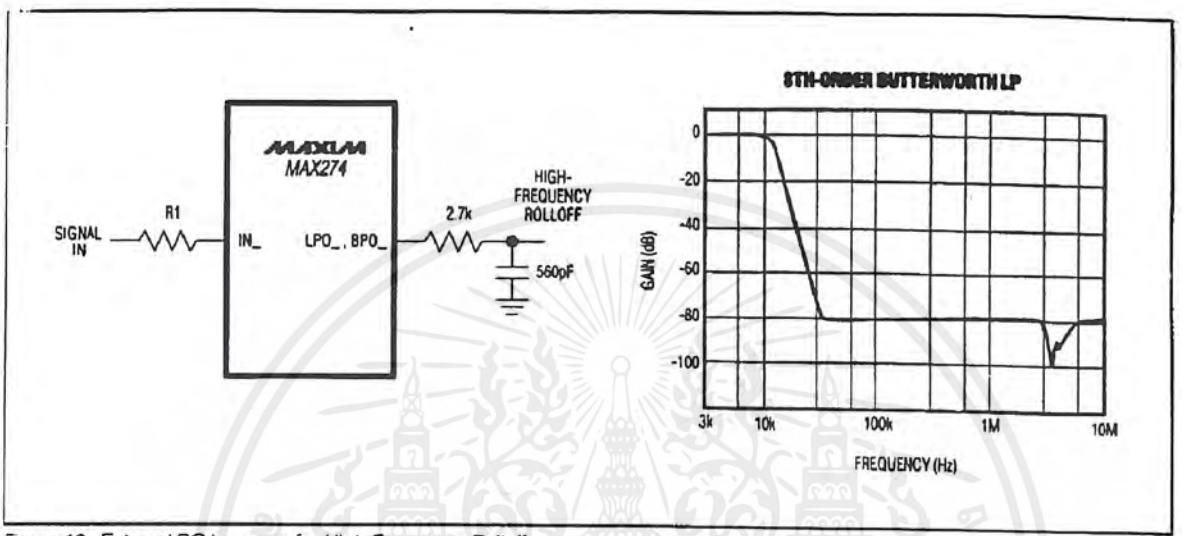


Figure 10. External RC Lowpass for High-Frequency Rolloff

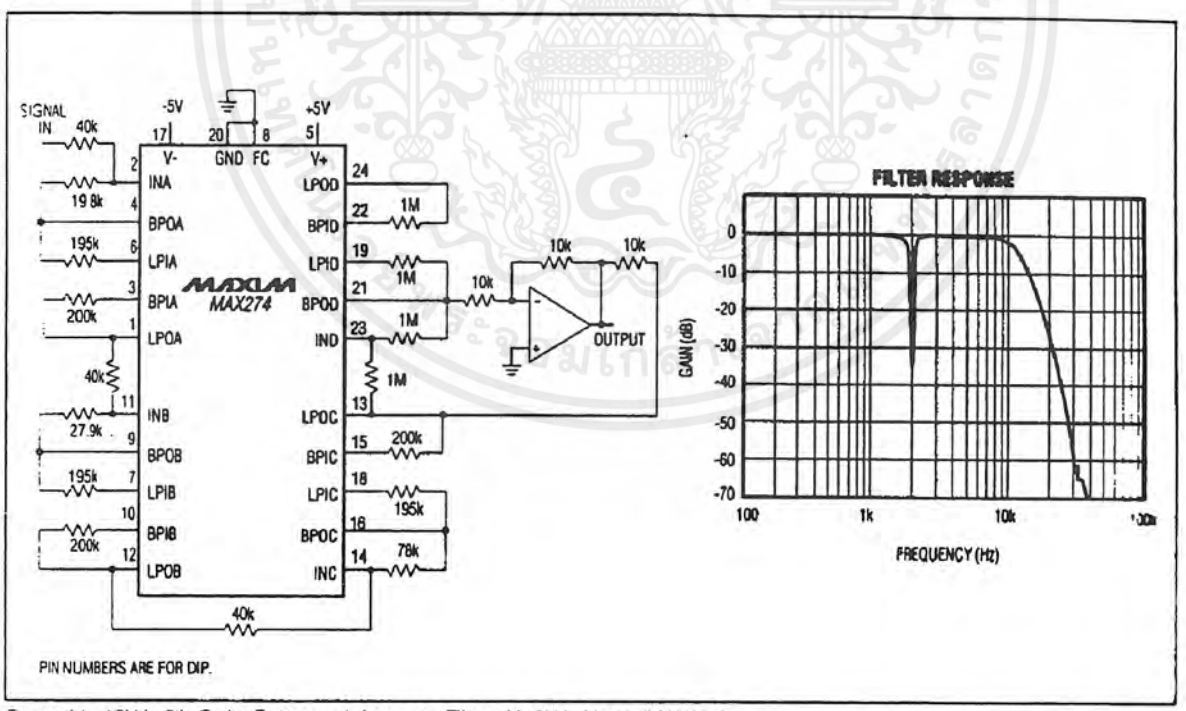


Figure 11. 10kHz 6th-Order Butterworth Lowpass Filter with 2kHz Notch (MAX274)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4th- and 8th-Order Continuous-Time Active Filters

Applications (continued)

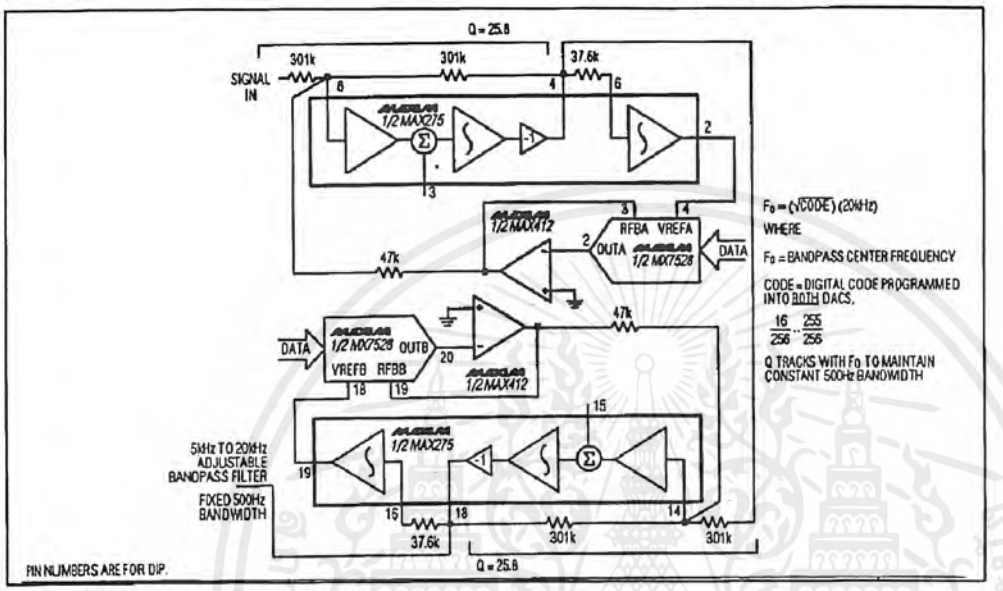
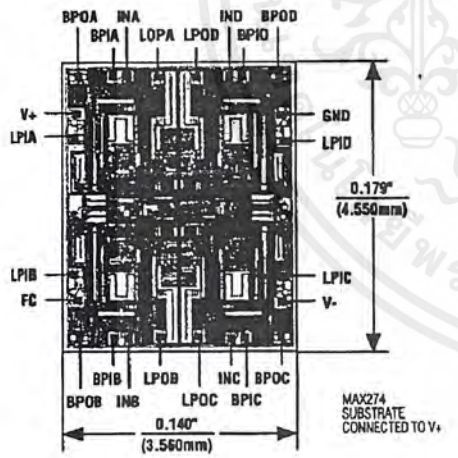
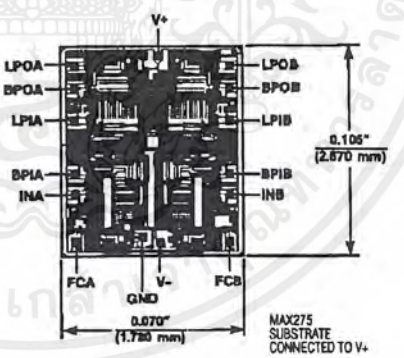


Figure 12. Programmable Bandpass Filter (MAX275)

Chip Topographies





เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

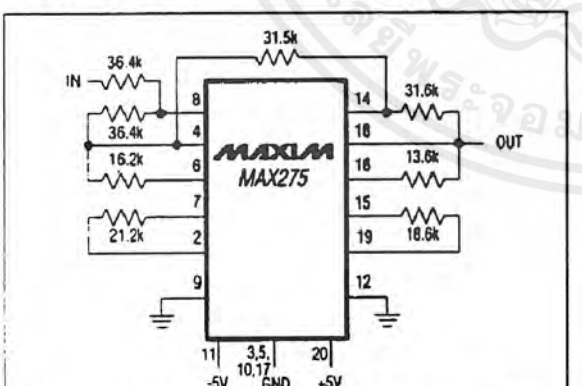
Ordering Information (continued)

PART	TEMP. RANGE	PIN-PACKAGE
MAX274AENG	-40°C to +85°C	24 Narrow Plastic DIP
MAX274BENG	-40°C to +85°C	24 Narrow Plastic DIP
MAX274AEWI	-40°C to +85°C	28 Wide SO
MAX274BEWI	-40°C to +85°C	28 Wide SO
MAX274AMRG	-55°C to +125°C	24 CERDIP**
MAX274BMRG	-55°C to +125°C	24 CERDIP**
MAX274EV KIT-DIP	0°C to +70°C	Plastic DIP – Through Hole
MAX274_SOFT	—	MAX274/MAX275 Design Software
MAX275ACPP	0°C to +70°C	20 Plastic DIP
MAX275BCPP	0°C to +70°C	20 Plastic DIP
MAX275ACWP	0°C to +70°C	20 Wide SO
MAX275BCWP	0°C to +70°C	20 Wide SO
MAX275BC/D	0°C to +70°C	Dice*
MAX275AEPP	-40°C to +85°C	20 Plastic DIP
MAX275BEPP	-40°C to +85°C	20 Plastic DIP
MAX275AEWP	-40°C to +85°C	20 Wide SO
MAX275BEWP	-40°C to +85°C	20 Wide SO
MAX275AMJP	-55°C to +125°C	20 CERDIP**
MAX275BMJP	-55°C to +125°C	20 CERDIP**
MAX274_SOFT	—	MAX274/MAX275 Design Software

* *Contact factory for dice specifications.*

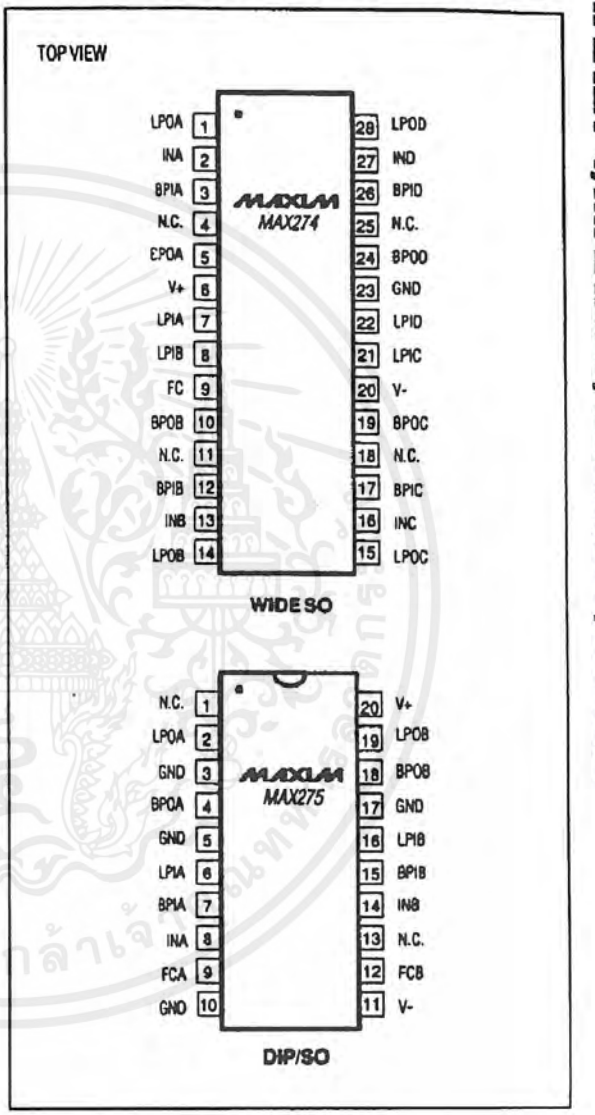
** *Contact factory for availability and processing to MIL-STD-883.*

Typical Operating Circuits (continued)



100kHz 4TH-ORDER 0.1dB CHEBYSHEV BANDPASS FILTER
PIN NUMBERS ARE FOR DIP

Pin Configurations (continued)



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4th- and 8th-Order Continuous-Time Active Filters

Power Supplies

The MAX274/MAX275 can be operated from a single power supply or dual supplies (Figure 9). V+ and V- pins must be properly bypassed to GND with 4.7µF electrolytic (tantalum preferred) and 0.1µF ceramic capacitors in parallel. These should be as close as possible to the chip supply pins.

For single-supply applications, GND must be centered between V+ and V- voltages so signals remain in the common-mode range of the internal amplifiers.

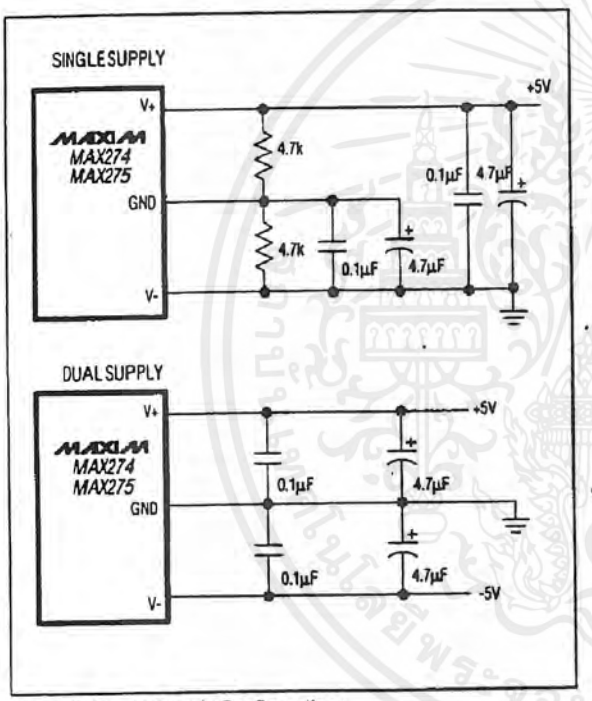


Figure 9. Power-Supply Configurations

Design Software General Description

Maxim's filter software reduces the time required to design a continuous-time lowpass or bandpass filter using the MAX274 or MAX275. Starting from your basic filter requirements, using a "spreadsheet-style" format, the software calculates order, poles and Qs of classic filter types (Butterworth, Chebyshev, or Bessel), and resistor values required to implement the desired filter response.

For hardware prototyping with the MAX274, the MAX274 evaluation kit is recommended, which includes a PC board and a MAX274 IC.

Features

- **Calculates filter order, poles, and Qs from your filter requirements.**
- **Plots filter responses – gain, phase, and group delay – for inspection BEFORE you build the filter.**
- **Calculates resistor values used to obtain desired filter response using the MAX274 or MAX275.**

Ordering Information

PART	DISK TYPE
MAX274SOFT	5¼" Floppy
MAX275SOFT	5¼" Floppy

In the USA and Canada, order directly from Maxim (1-800-998-8800). In other countries, call your local Maxim representative.

Software Operation

NOTE: CHECK FILE "README.DOC" FOR IMPORTANT CHANGES.

Installation

You will need an IBM-compatible PC, DOS version 2.0 or later with a 5¼" floppy disk drive, and one of the following video displays: Hercules graphics, CGA, EGA, VGA, or compatible. Either a hard drive or an additional floppy drive is also required.

To install the program, insert the floppy into your disk drive and type "A: INSTALL" (or B:INSTALL). Follow the instructions on the screen. After installation, type "FILTER" to start the program. Be sure you are in the drive/directory where the software is installed.

Help

After installing the software, print a hard copy of the file FILTER.HLP by entering "TYPE FILTER.HLP > PRN" from DOS. This collection of help screens serves as the instruction manual for operating the software. Individual help screens may be printed while running the software by pressing F1, then following the instructions on the screen.

References

The following references contain information and tables to aid in filter designs:

Carson, Chen. *Active Filter Design*, Hayden, 1982.

Tedeschi, Franck. *Active Filter Cookbook*, Tab Books No 1133, 1979.

Hilburn, Johnson. *Manual of Active Filter Design*, McGraw Hill, 1973.

German Language:

U. Tietze; Ch. Schenk. *Halbleiter-Schaltungstecknik Springer-Verlag*, Berlin Heidelberg, New York/Tokyo 1991.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4th- and 8th-Order Continuous-Time Active Filters

EV Kit General Description

The MAX274 Evaluation Kit (EV Kit) shrinks the time required to design and implement a continuous-time lowpass or bandpass filter by providing a software design tool and a prototyping PC board complete with a MAX274 8th-order, continuous-time filter IC. Starting from your basic filter requirements, Maxim's Filter Design Software calculates filter order, poles, and Qs of classic filter types (Butterworth, Chebyshev, or Bessel), then calculates resistor values required to implement the complete filter. Installing these resistors on the PC board provided and cascading the required number of sections of the MAX274 filter yields a complete filter — ready for testing — eliminating the need for expensive and time-consuming prototyping. The MAX274 PC board layout may be incorporated directly in production PC boards for absolutely consistent results from prototype to production.

Feature

- **Allows You to Design and Build Lowpass or Bandpass Filters**
- **Pole Frequencies (Fo) from 100Hz to 150kHz**
- **Kit Supports Butterworth, Chebyshev, and Bessel Designs**
- **Includes Design Software:**
  - **Calculates filter order, poles, and Qs from your filter requirements**
  - **Plots filter responses — gain, phase, and group delay — for inspection BEFORE you build the filter**
  - **Calculates resistor values needed to build filter**
- **Includes PC Board for Evaluation:**
  - **PC board allows you to build filters immediately — simply install proper resistor values on board**
  - **Build up to 8th-order filters by cascading the four second-order sections — or use sections individually for multiple filters**
  - **Operates from single +5V or dual 5V supplies**

EV Kit

Figure 1. The MAX274 EV kit includes filter design software, PC board with MAX274 IC, and full documentation.

Ordering Information

PART	TEMP. RANGE	BOARD TYPE
MAX274EVKIT	0°C to +70°C	Plastic DIP – Through Hole

Component List

QUANTITY	COMPONENT	SYMBOL
1	MAX274ACNG Filter IC	None
1	MAX274 Filter Circuit PC Board	None
2	BNC Screw-In Connectors	None
3	Banana Jacks	None
4	Standoffs, 4-40 Screws	None
2	10µF/16V Dipped Tantalum Capacitors	C1, C4 or CS1
2	0.1µF Ceramic Capacitors	C2, C3
1	Filter Design Software on 5 1/4" Floppy Disk	None

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4th- and 8th-Order Continuous-Time Active Filters

Filter Design Software

NOTE: CHECK FILE "README.DOC" FOR IMPORTANT CHANGES

Installation

You will need an IBM-compatible PC, DOS version 2.0 or later, with a 5 1/4" floppy disk drive, and one of the following video displays: Hercules graphics, CGA, EGA, VGA or compatible. Either a hard drive or an additional floppy drive is also required.

To install the program, insert the floppy into your disk drive and type "A:INSTALL" (or "B:INSTALL"). Follow the instructions on the screen. After installation, type "FILTER" to start the program. Be sure you are in the drive/directory where the software is installed.

Help

After installing the software, print a hard copy of the file FILTER.HLP by entering TYPE FILTER.HLP > PRN from DOS. This collection of help screens serves as the instruction manual for operating the software. Individual help screens may be printed while running the software by pressing F1, then following instructions on the screen.

Assembly Instructions

1. Install BNC connectors and banana jacks as shown in Figure 2. Connect wires from the V+, GND, and V- jacks to the nodes designated V+, GND, and V- on the circuit. Install MAX274 IC as shown (or install an IC socket if desired).
2. Install filter feedback resistors (R1A-R4A, R1B-R4B, R1C-R4C, R1D-R4D). The values of these resistors depend on the particular filter being built, and can be calculated from the data sheet or with the aid of Maxim's Filter Design Software. All resistors except RS1 and RS2 should be either carbon or metal-film type (not wire-wound).

   If using resistor T-networks (described in the *High-Value Resistor Transformation* section of the MAX274 data sheet — denoted as R5_ - R10_ in the filter software), perform the following:

   On the PC board, scratch off the green soldermask from the ground trace (Figure 2). Where required, substitute each normal resistor connection (R2, R3, or R4) with three T-network resistors on the underside of the board, using jumper wire to connect the T-network ground connection with the ground trace on the PC board (Figure 3).

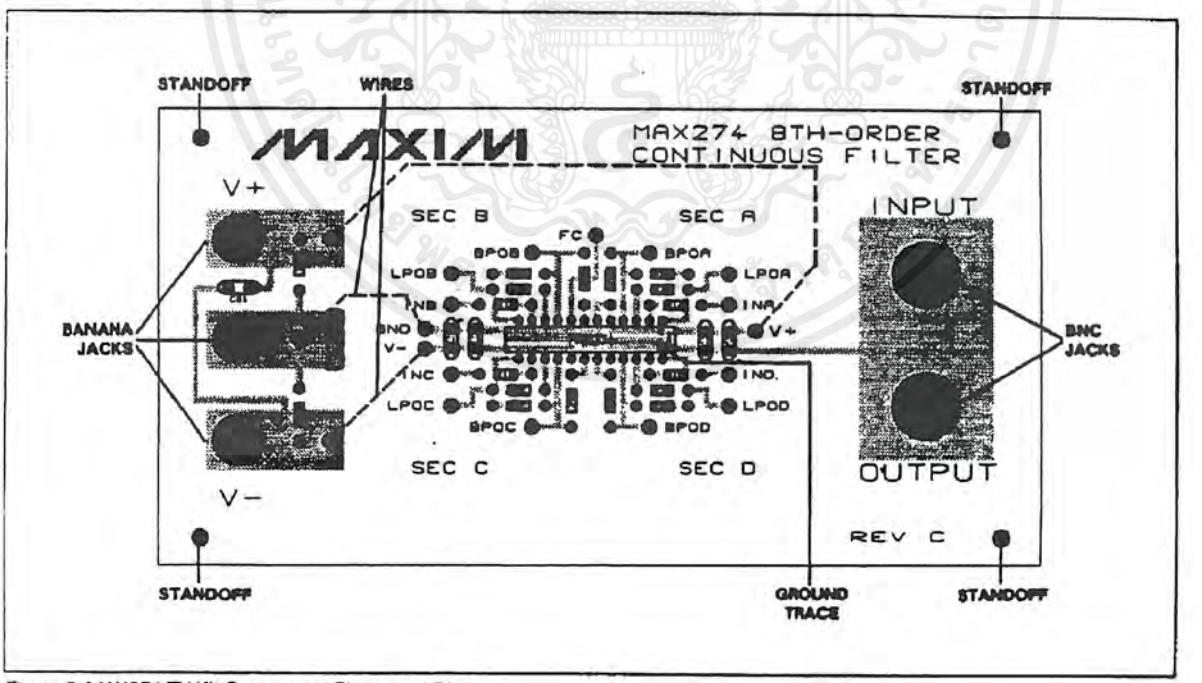


Figure 2. MAX274 EV Kit Component Placement Diagram

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

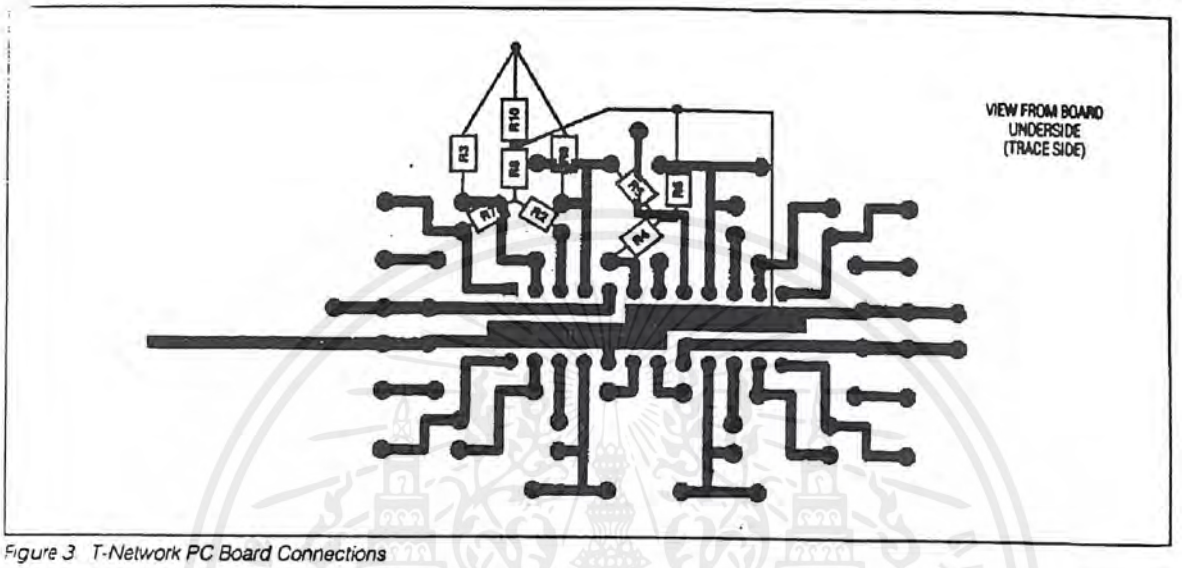


Figure 3. T-Network PC Board Connections

Recommended Resistor Sources

AVAILABLE TOLERANCES	TYPE	MANUFACTURER
1%, 0.1%, Others 5-100ppm/°C	Metal Film PTF Series	Dale 402-371-0800 FAX: 402-644-4206
1%, 0.1%	Surface Mount RN73H2B RN73E2B	KOA Speer 814-362-5536 FAX: 814-362-8883
1%, 0.1% to 2ppm/°C	PR, RL Series	Precision Resistive Products 319-394-9131 FAX: 319-394-9280

3. BE SURE IC IS INSTALLED ON BOARD BEFORE POWER IS APPLIED. Single +5V or +10V operation: Install RS1 and RS2 (both 4.7kΩ). Install C1, C2, and CS1 - omit C3 and C4. Apply positive supply to V+, supply ground to V-. Do not connect any supply to GND. For dual supply (5V) operation, omit RS1 and RS2, and apply positive supply, negative supply, and ground to V+, V-, and GND respectively.

4. Perform a frequency-response test for each filter section used (A,B,C, and D) to verify F_O/Q accuracy, before connecting them in series (cascading). For highest-accuracy results, perform frequency-response tests using a spectrum analyzer. Use the F_O and Q measurement techniques described in the MAX274 data sheet in the *Measuring F_O and Q* section. These methods apply to both lowpass and bandpass designs.

To measure filter section A's F_O and Q, apply the test sweep signal at INA, measure BPOA. F_O is the frequency at which INA and BPOA are exactly 180° out of phase. Q is determined by the formula:

$$Q = FPK/-3dB\ bandwidth$$

where FPK is the frequency at which the gain at BPOA is greatest (this may not be equal to F_O); and the -3dB bandwidth is the difference between the two frequencies at which BPOA is attenuated by 3dB from its peak gain. Repeat these measurements for filter sections B, C, and D. For more information, refer to Figure 2 of the MAX274 data sheet, *Bandpass Output*.

If the filter operates from a single supply, signals applied to the filters must be "centered" between V+ and V- so that signals remain in the common-mode range of the internal amplifiers.

5. Cascade the filter sections (connect them in series) to produce the desired filter response. For example for an 8th-order bandpass filter, use jumper wires to connect BPOA to INB, BPOB to INC, and BPOC to IND. Apply the signal input at INA; the filter output is taken at OUTD. If desired, connect the INPUT and OUTPUT BNC connectors to the input and output of the cascaded filter using jumper wires. For lowpass filters, cascade the sections using LPO_ as the outputs. For lower-order filters, omit unused sections. For higher than 8th-order filters, order additional MAX274 PC boards from Maxim to add the required number of sections.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

National Semiconductor

February 1995

LM1596/LM1496 Balanced Modulator-Demodulator

General Description

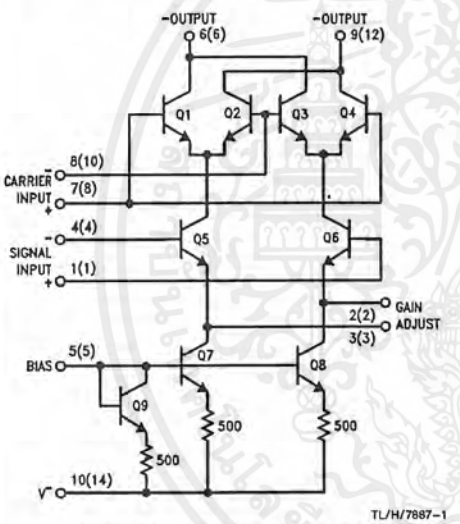
The LM1596/LM1496 are doubled balanced modulator-demodulators which produce an output voltage proportional to the product of an input (signal) voltage and a switching (carrier) signal. Typical applications include suppressed carrier modulation, amplitude modulation, synchronous detection, FM or PM detection, broadband frequency doubling and chopping.

The LM1596 is specified for operation over the −55°C to +125°C military temperature range. The LM1496 is specified for operation over the 0°C to +70°C temperature range.

Features

- Excellent carrier suppression
  - 65 dB typical at 0.5 MHz
  - 50 dB typical at 10 MHz
- Adjustable gain and signal handling
- Fully balanced inputs and outputs
- Low offset and drift
- Wide frequency response up to 100 MHz

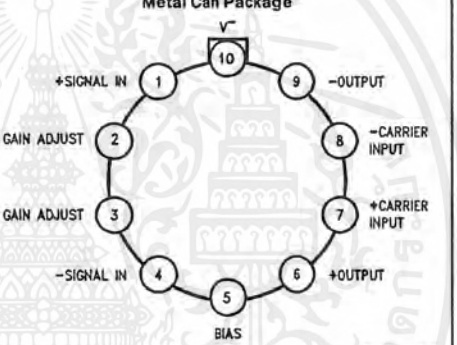
Schematic and Connection Diagrams



TL/H/7887–1

Numbers in parentheses show DIP connections.

Metal Can Package



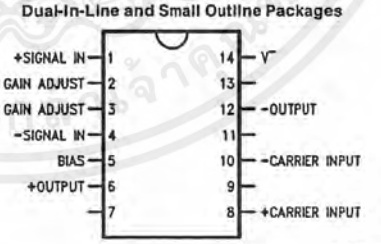
TL/H/7887–2

Top View

Note: Pin 10 is connected electrically to the case through the device substrate.

Order Number LM1496H or LM1596H
See NS Package Number H08C

Dual-In-Line and Small Outline Packages



TL/H/7887–3

Order Number LM1496M or LM1496N
See NS Package Number M14A or N14A

©1995 National Semiconductor Corporation TL/H/7887

RRD-B30M115/Printed in U. S. A.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Absolute Maximum Ratings

If Military/Aerospace specified devices are required, please contact the National Semiconductor Sales Office/Distributors for availability and specifications.

Internal Power Dissipation (Note 1)	500 mW
Applied Voltage (Note 2)	30V
Differential Input Signal ($V_7 - V_8$)	±5.0V
Differential Input Signal ($V_4 - V_1$)	$\pm(5+I_5R_0)$V
Input Signal ($V_2 - V_1$, $V_3 - V_4$)	5.0V
Bias Current (I_5)	12 mA
Operating Temperature Range LM1596	−55°C to +125°C
LM1496	0°C to +70°C
Storage Temperature Range	−65°C to +150°C

Soldering Information

- Dual-In-Line Package
  - Soldering (10 seconds) 260°C
- Small Outline Package
  - Vapor Phase (60 seconds) 215°C
  - Infrared (15 seconds) 220°C

See AN-450 "Surface Mounting Methods and their effects on Product Reliability" for other methods of soldering surface mount devices.

Electrical Characteristics (T_A = 25°C, unless otherwise specified, see test circuit)

Parameter	Conditions	LM1596			LM1496			Units
		Min	Typ	Max	Min	Typ	Max	
Carrier Feedthrough	V_C = 60 mVrms sine wave f_C = 1.0 kHz, offset adjusted		40			40		μVrms
	V_C = 60 mVrms sine wave f_C = 10 kHz, offset adjusted		140			140		μVrms
	V_C = 300 mV_{pp} square wave f_C = 1.0 kHz, offset adjusted		0.04	0.2		0.04	0.2	mVrms
	V_C = 300 mV_{pp} square wave f_C = 1.0 kHz, not offset adjusted		20	100		20	150	mVrms
Carrier Suppression	f_S = 10 kHz, 300 mVrms f_C = 500 kHz, 60 mVrms sine wave offset adjusted	50	65		50	65		dB
	f_S = 10 kHz, 300 mVrms f_C = 10 MHz, 60 mVrms sine wave offset adjusted		50			50		dB
Transadmittance Bandwidth	R_L = 50Ω Carrier Input Port, V_C = 60 mVrms sine wave		300			300		MHz
	f_S = 1.0 kHz, 300 mVrms sine wave Signal Input Port, V_S = 300 mVrms sine wave $V_7 - V_8$ = 0.5Vdc		80			80		MHz
Voltage Gain, Signal Channel	V_S = 100 mVrms, f= 1.0 kHz $V_7 - V_8$ = 0.5 Vdc	2.5	3.5		2.5	3.5		V/V
Input Resistance, Signal Port	f = 5.0 MHz $V_7 - V_8$ = 0.5 Vdc		200			200		kΩ
Input Capacitance, Signal Port	f = 5.0 MHz $V_7 - V_8$ = 0.5 Vdc		2.0			2.0		pF
Single Ended Output Resistance	f = 10 MHz		40			40		kΩ
Single Ended Output Capacitance	f = 10 MHz		5.0			5.0		pF
Input Bias Current	$(I_1 + I_4)/2$		12	25		12	30	μA
Input Bias Current	$(I_7 + I_8)/2$		12	25		12	30	μA
Input Offset Current	$(I_1 - I_4)$		0.7	5.0		0.7	5.0	μA
Input Offset Current	$(I_7 - I_8)$		0.7	5.0		5.0	5.0	μA
Average Temperature Coefficient of Input Offset Current	(−55°C < T_A < +125°C) (0°C < T_A < +70°C)		2.0			2.0		nA/°C nA/°C
Output Offset Current	$(I_6 - I_9)$		14	50		14	60	μA
Average Temperature Coefficient of Output Offset Current	(−55°C < T_A < +125°C) (0°C < T_A < +70°C)		90			90		nA/°C nA/°C

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Electrical Characteristics (T_A = 25°C, unless otherwise specified, see test circuit) (Continued)

Parameter	Conditions	LM1596			LM1496			Units
		Min	Typ	Max	Min	Typ	Max	
Signal Port Common Mode Input Voltage Range	f_S = 1.0 kHz		5.0			5.0		V_{p-p}
Signal Port Common Mode Rejection Ratio	$V_7 - V_8$ = 0.5 Vdc		−85			−85		dB
Common Mode Quiescent Output Voltage			8.0			8.0		Vdc
Differential Output Swing Capability			8.0			8.0		V_{p-p}
Positive Supply Current	$(I_6 + I_9)$		2.0	3.0		2.0	3.0	mA
Negative Supply Current	(I_{10})		3.0	4.0		3.0	4.0	mA
Power Dissipation			33			33		mW

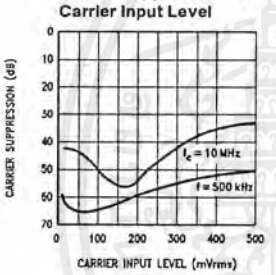
Note 1: LM1596 rating applies to case temperatures to +125°C; derate linearly at 6.5 mW/°C for ambient temperature above 75°C. LM1496 rating applies to case temperatures to +70°C.

Note 2: Voltage applied between pins 6-7, 8-1, 9-7, 9-8, 7-4, 7-1, 8-4, 6-8, 2-5, 3-5.

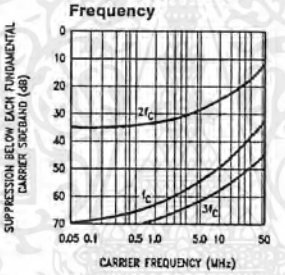
Note 3: Refer to rets1596x drawing for specifications of military LM1596H versions.

Typical Performance Characteristics

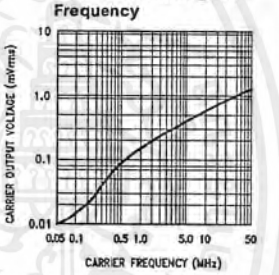
Carrier Suppression vs Carrier Input Level



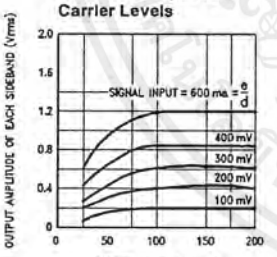
Carrier Suppression vs Frequency



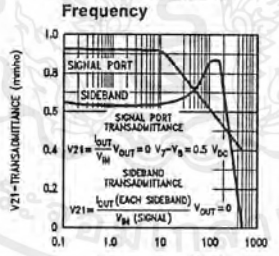
Carrier Feedthrough vs Frequency



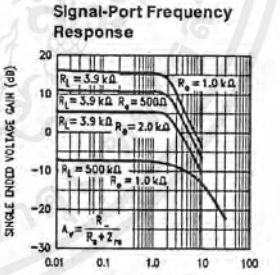
Sideband Output vs Carrier Levels



Sideband and Signal Port Transadmittances vs Frequency



Signal-Port Frequency Response

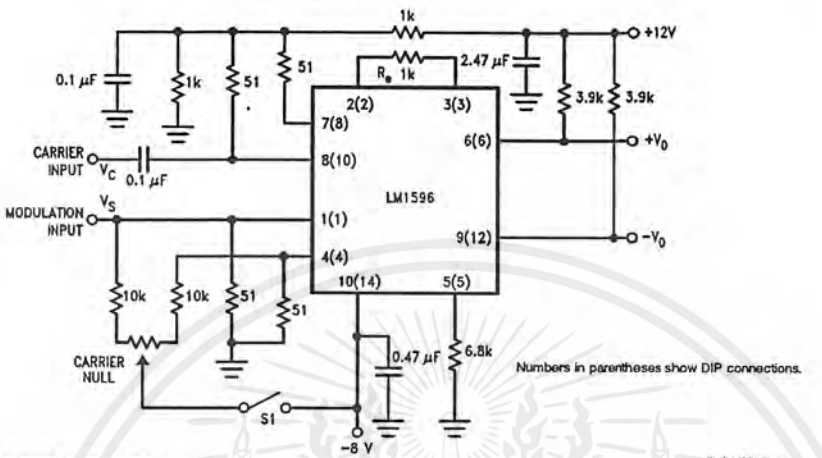


TL/H/7887–5

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Typical Application and Test Circuit

Suppressed Carrier Modulator

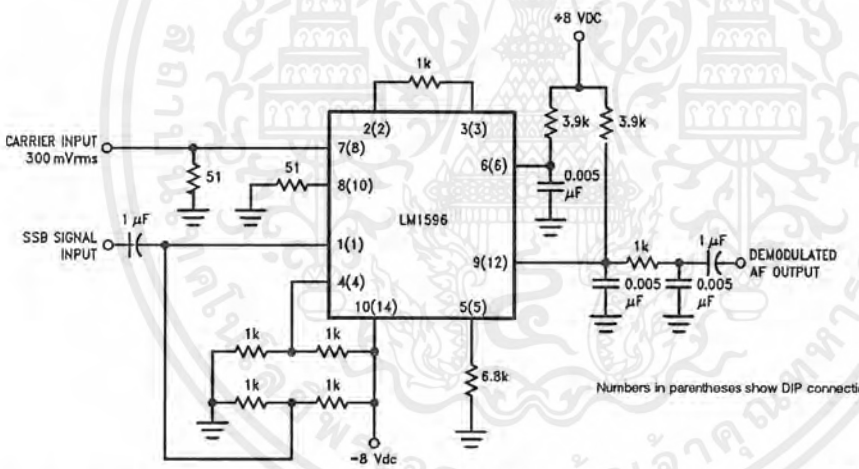


Numbers in parentheses show DIP connections.

Note: S_1 is closed for "adjusted" measurements.

TL/H/7887–4

SSB Product Detector



Numbers in parentheses show DIP connections.

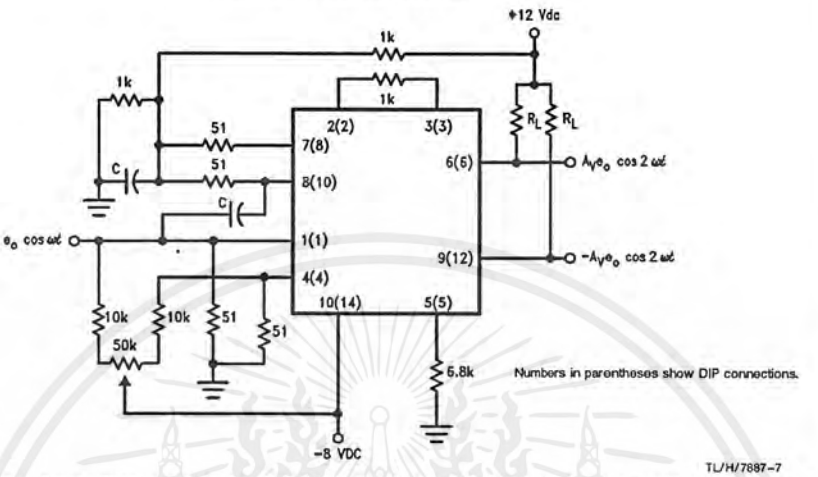
TL/H/7887–6

This figure shows the LM1596 used as a single sideband (SSB) suppressed carrier demodulator (product detector). The carrier signal is applied to the carrier input port with sufficient amplitude for switching operation. A carrier input level of 300 mVrms is optimum. The composite SSB signal is applied to the signal input port with an amplitude of 5.0 to 500 mVrms. All output signal components except the desired demodulated audio are filtered out, so that an offset adjustment is not required. This circuit may also be used as an AM detector by applying composite and carrier signals in the same manner as described for product detector operation.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Typical Applications (Continued)

Broadband Frequency Doubler



Numbers in parentheses show DIP connections.

TL/H/7687–7

The frequency doubler circuit shown will double low-level signals with low distortion. The value of C should be chosen for low reactance at the operating frequency. Signal level at the carrier input must be less than 25 mV peak to maintain operation in the linear region of the switching differential amplifier. Levels to 50 mV peak may be used with some distortion of the output waveform. If a larger input signal is available a resistive divider may be used at the carrier input, with full signal applied to the signal input.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

National Semiconductor

April 1998

LF353
Wide Bandwidth Dual JFET Input Operational Amplifier

General Description

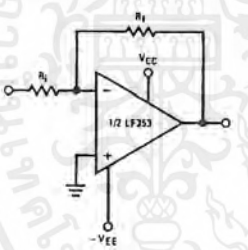
These devices are low cost, high speed, dual JFET input operational amplifiers with an internally trimmed input offset voltage (BI-FET II™ technology). They require low supply current yet maintain a large gain bandwidth product and fast slew rate. In addition, well matched high voltage JFET input devices provide very low input bias and offset currents. The LF353 is pin compatible with the standard LM1558 allowing designers to immediately upgrade the overall performance of existing LM1558 and LM358 designs.

These amplifiers may be used in applications such as high speed integrators, fast D/A converters, sample and hold circuits and many other circuits requiring low input offset voltage, low input bias current, high input impedance, high slew rate and wide bandwidth. The devices also exhibit low noise and offset voltage drift.

Features

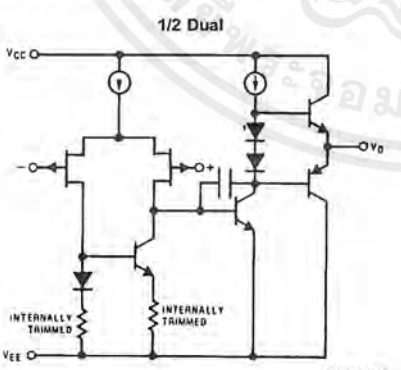
- Internally trimmed offset voltage: 10 mV
- Low input bias current: 50pA
- Low input noise voltage: 25 nV/$\sqrt{Hz}$
- Low input noise current: 0.01 pA/$\sqrt{Hz}$
- Wide gain bandwidth: 4 MHz
- High slew rate: 13 V/μs
- Low supply current: 3.6 mA
- High input impedance: $10^{12}\Omega$
- Low total harmonic distortion A_V=10,: <0.02% RL=10k, V_O=20Vp-p, BW=20 Hz-20 kHz
- Low 1/f noise corner: 50 Hz
- Fast settling time to 0.01%: 2 μs

Typical Connection



DS005649-14

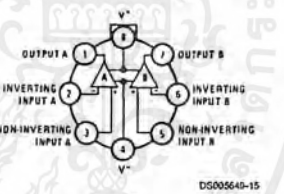
Simplified Schematic



DS005649-16

Connection Diagrams

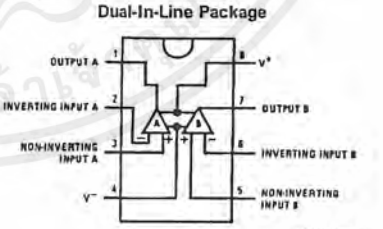
Metal Can Package



DS005649-15

Top View
Order Number LF353H
See NS Package Number H08A

Dual-In-Line Package



DS005649-17

Top View
Order Number LF353M or LF353N
See NS Package Number M08A or N08E

BI-FET II™ is a trademark of National Semiconductor Corporation

© 1999 National Semiconductor Corporation

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Absolute Maximum Ratings (Note 1)

If Military/Aerospace specified devices are required, please contact the National Semiconductor Sales Office/ Distributors for availability and specifications.

Supply Voltage	±18V
Power Dissipation	(Note 2)
Operating Temperature Range	0°C to +70°C
T_j(MAX)	150°C
Differential Input Voltage	±30V
Input Voltage Range (Note 3)	±15V
Output Short Circuit Duration	Continuous
Storage Temperature Range	−65°C to +150°C
Lead Temp. (Soldering, 10 sec.)	260°C
Soldering Information	
Dual-In-Line Package	
Soldering (10 sec.)	260°C
Small Outline Package	
Vapor Phase (60 sec.)	215°C
Infrared (15 sec.)	220°C

See AN-450 "Surface Mounting Methods and Their Effect on Product Reliability" for other methods of soldering surface mount devices.

ESD Tolerance (Note 8)	1700V
θ_{JA} M Package	TBD

Note 1: Absolute Maximum Ratings indicate limits beyond which damage to the device may occur. Operating ratings indicate conditions for which the device is functional, but do not guarantee specific performance limits. Electrical Characteristics state DC and AC electrical specifications under particular test conditions which guarantee specific performance limits. This assumes that the device is within the Operating Ratings. Specifications are not guaranteed for parameters where no limit is given, however, the typical value is a good indication of device performance.

DC Electrical Characteristics

(Note 5)

Symbol	Parameter	Conditions	LF353			Units
			Min	Typ	Max	
V_{OS}	Input Offset Voltage	R_S=10kΩ, T_A=25°C		5	10	mV
		Over Temperature			13	mV
$\Delta V_{OS}/\Delta T$	Average TC of Input Offset Voltage	R_S=10 kΩ		10		µV/°C
I_{OS}	Input Offset Current	T_j=25°C, (Notes 5, 6)		25	100	pA
		T_j≤70°C			4	nA
I_B	Input Bias Current	T_j=25°C, (Notes 5, 6)		50	200	pA
		T_j≤70°C			8	nA
R_{IN}	Input Resistance	T_j=25°C		10^{12}		Ω
A_{VOL}	Large Signal Voltage Gain	V_S=±15V, T_A=25°C	25	100		V/mV
		V_O=±10V, R_L=2 kΩ				
		Over Temperature	15			V/mV
V_O	Output Voltage Swing	V_S=±15V, R_L=10kΩ	±12	±13.5		V
V_{CM}	Input Common-Mode Voltage	V_S=±15V	±11	+15		V
	Range			−12		V
CMRR	Common-Mode Rejection Ratio	R_S≤ 10kΩ	70	100		dB
PSRR	Supply Voltage Rejection Ratio	(Note 7)	70	100		dB
I_S	Supply Current			3.6	6.5	mA

AC Electrical Characteristics

(Note 5)

Symbol	Parameter	Conditions	LF353			Units
			Min	Typ	Max	
	Amplifier to Amplifier Coupling	T_A=25°C, f=1 Hz−20 kHz (Input Referred)		−120		dB
SR	Slew Rate	V_S=±15V, T_A=25°C	8.0	13		V/µs
GBW	Gain Bandwidth Product	V_S=±15V, T_A=25°C	2.7	4		MHz
e_n	Equivalent Input Noise Voltage	T_A=25°C, R_S=100Ω, f=1000 Hz		16		nV/√Hz
i_n	Equivalent Input Noise Current	T_j=25°C, f=1000 Hz		0.01		pA/√Hz

Note 2: For operating at elevated temperatures, the device must be derated based on a thermal resistance of 115°C/W typ junction to ambient for the N package, and 158°C/W typ junction to ambient for the H package.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

AC Electrical Characteristics (Continued)

Note 3: Unless otherwise specified the absolute maximum negative input voltage is equal to the negative power supply voltage.

Note 4: The power dissipation limit, however, cannot be exceeded.

Note 5: These specifications apply for V_S=±15V and 0°C≤T_A≤+70°C. V_{OS}, I_B and I_{OS} are measured at V_{CM}=0.

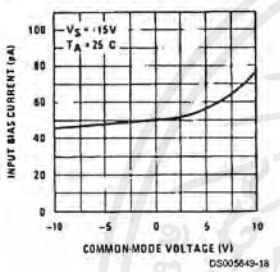
Note 6: The input bias currents are junction leakage currents which approximately double for every 10°C increase in the junction temperature, T_J. Due to the limited production test time, the input bias currents measured are correlated to junction temperature. In normal operation the junction temperature rises above the ambient temperature as a result of internal power dissipation, P_D. T_J=T_A+θ_{JA} P_D where θ_{JA} is the thermal resistance from junction to ambient. Use of a heat sink is recommended if input bias current is to be kept to a minimum.

Note 7: Supply voltage rejection ratio is measured for both supply magnitudes increasing or decreasing simultaneously in accordance with common practice. V_S = ±6V to ±15V.

Note 8: Human body model, 1.5 kΩ in series with 100 pF.

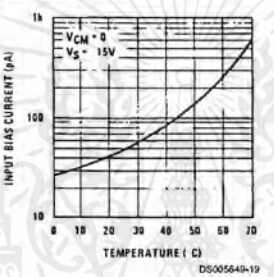
Typical Performance Characteristics

Input Bias Current



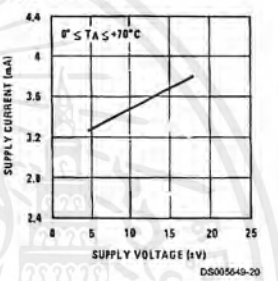
DS005649-18

Input Bias Current



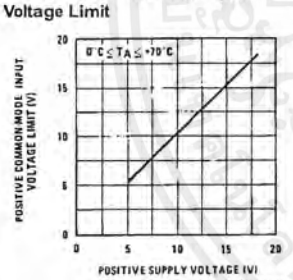
DS005649-19

Supply Current



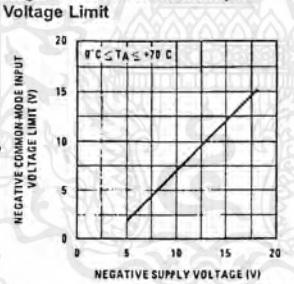
DS005649-20

Positive Common-Mode Input Voltage Limit



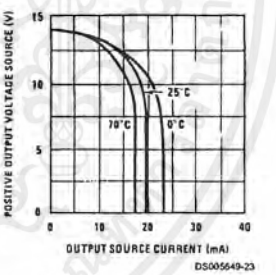
DS005649-21

Negative Common-Mode Input Voltage Limit



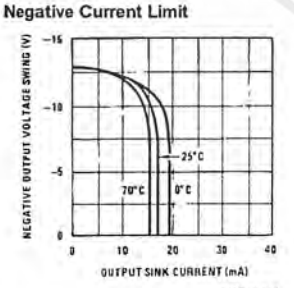
DS005649-22

Positive Current Limit



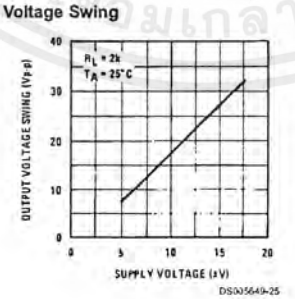
DS005649-23

Negative Current Limit



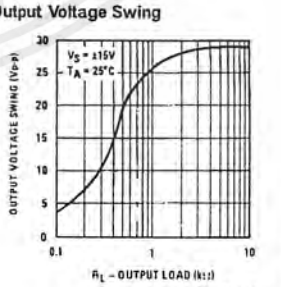
DS005649-24

Voltage Swing



DS005649-25

Output Voltage Swing

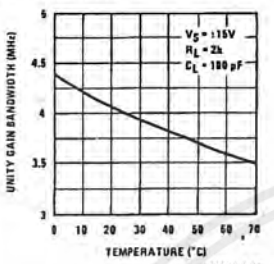


DS005649-26

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

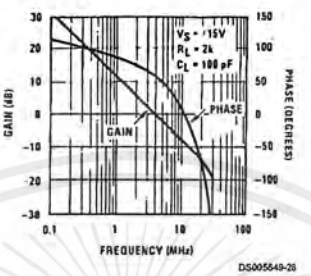
Typical Performance Characteristics (Continued)

Gain Bandwidth



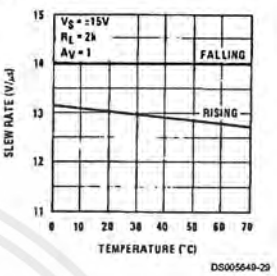
DS005649-27

Bode Plot



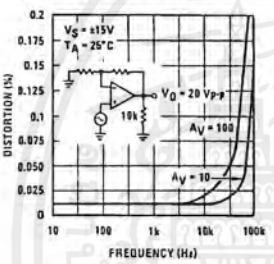
DS005649-28

Slew Rate



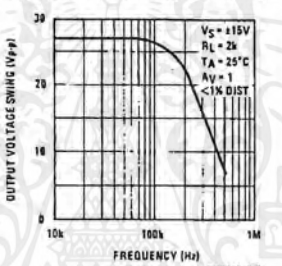
DS005649-29

Distortion vs Frequency



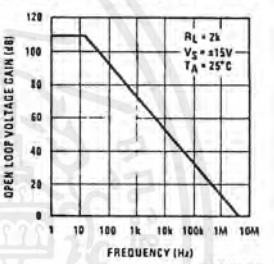
DS005649-30

Undistorted Output Voltage Swing



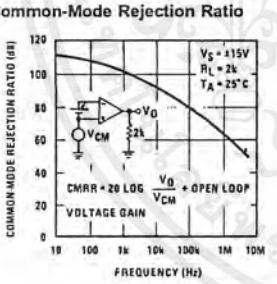
DS005649-31

Open Loop Frequency Response



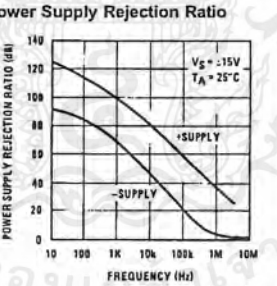
DS005649-32

Common-Mode Rejection Ratio



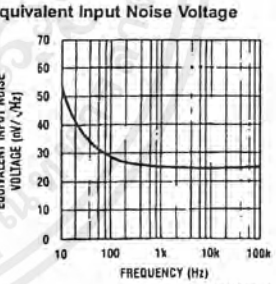
DS005649-33

Power Supply Rejection Ratio



DS005649-34

Equivalent Input Noise Voltage

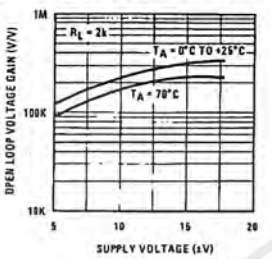


DS005649-35

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

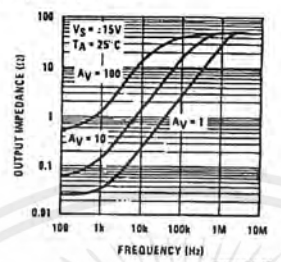
Typical Performance Characteristics (Continued)

Open Loop Voltage Gain (V/V)



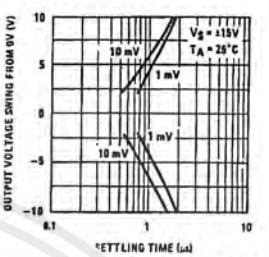
DS005649-36

Output Impedance



DS005649-37

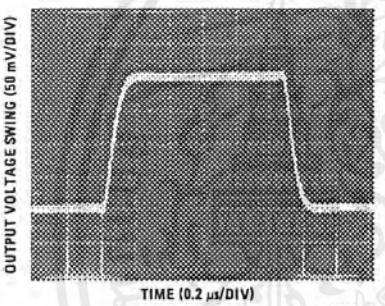
Inverter Settling Time



DS005649-38

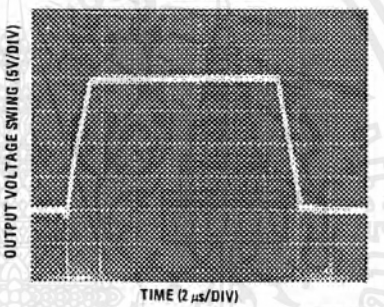
Pulse Response

Small Signaling Inverting



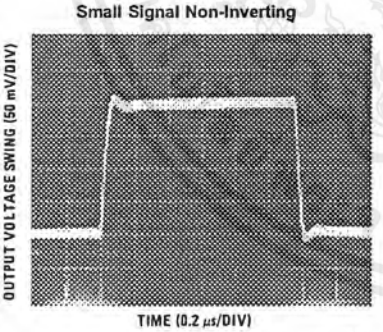
DS005649-4

Large Signal Inverting



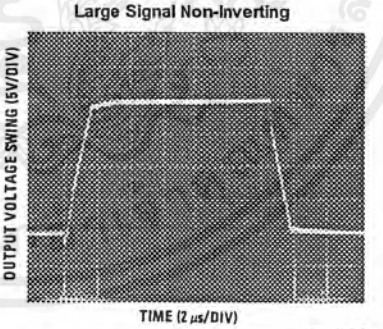
DS005649-6

Small Signal Non-Inverting



DS005649-5

Large Signal Non-Inverting

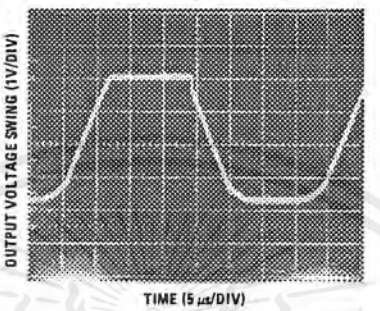


DS005649-7

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Pulse Response (Continued)

Current Limit (R_L = 100Ω)



DS005549-8

Application Hints

These devices are op amps with an internally trimmed input offset voltage and JFET input devices (BI-FET II). These JFETs have large reverse breakdown voltages from gate to source and drain eliminating the need for clamps across the inputs. Therefore, large differential input voltages can easily be accommodated without a large increase in input current. The maximum differential input voltage is independent of the supply voltages. However, neither of the input voltages should be allowed to exceed the negative supply as this will cause large currents to flow which can result in a destroyed unit.

Exceeding the negative common-mode limit on either input will force the output to a high state, potentially causing a reversal of phase to the output. Exceeding the negative common-mode limit on both inputs will force the amplifier output to a high state. In neither case does a latch occur since raising the input back within the common-mode range again puts the input stage and thus the amplifier in a normal operating mode.

Exceeding the positive common-mode limit on a single input will not change the phase of the output; however, if both inputs exceed the limit, the output of the amplifier will be forced to a high state.

The amplifiers will operate with a common-mode input voltage equal to the positive supply; however, the gain bandwidth and slew rate may be decreased in this condition. When the negative common-mode voltage swings to within 3V of the negative supply, an increase in input offset voltage may occur.

Each amplifier is individually biased by a zener reference which allows normal circuit operation on ±6V power supplies. Supply voltages less than these may result in lower gain bandwidth and slew rate.

The amplifiers will drive a 2 kΩ load resistance to ±10V over the full temperature range of 0°C to +70°C. If the amplifier is forced to drive heavier load currents, however, an increase in input offset voltage may occur on the negative voltage swing and finally reach an active current limit on both positive and negative swings.

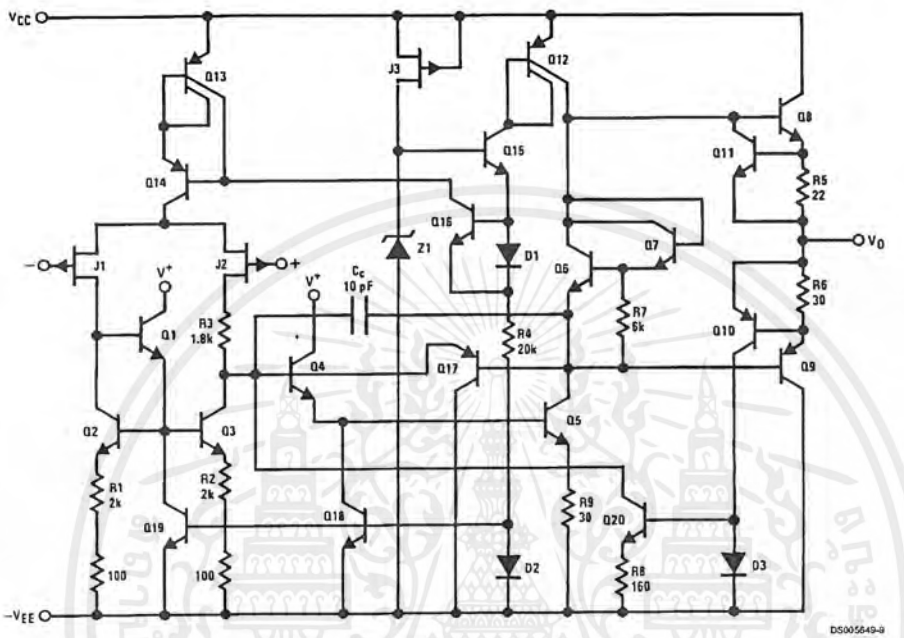
Precautions should be taken to ensure that the power supply for the integrated circuit never becomes reversed in polarity or that the unit is not inadvertently installed backwards in a socket as an unlimited current surge through the resulting forward diode within the IC could cause fusing of the internal conductors and result in a destroyed unit.

As with most amplifiers, care should be taken with lead dress, component placement and supply decoupling in order to ensure stability. For example, resistors from the output to an input should be placed with the body close to the input to minimize "pick-up" and maximize the frequency of the feedback pole by minimizing the capacitance from the input to ground.

A feedback pole is created when the feedback around any amplifier is resistive. The parallel resistance and capacitance from the input of the device (usually the inverting input) to AC ground set the frequency of the pole. In many instances the frequency of this pole is much greater than the expected 3 dB frequency of the closed loop gain and consequently there is negligible effect on stability margin. However, if the feedback pole is less than approximately 6 times the expected 3 dB frequency a lead capacitor should be placed from the output to the input of the op amp. The value of the added capacitor should be such that the RC time constant of this capacitor and the resistance it parallels is greater than or equal to the original feedback pole time constant.

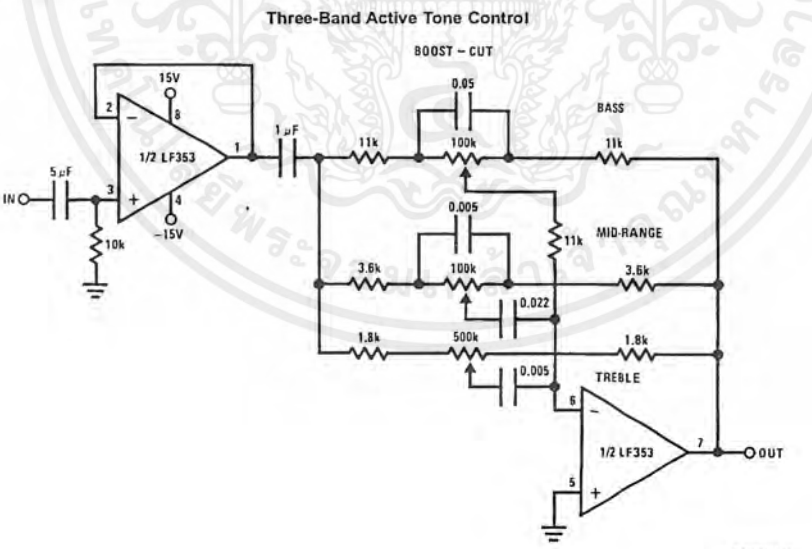
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Detailed Schematic



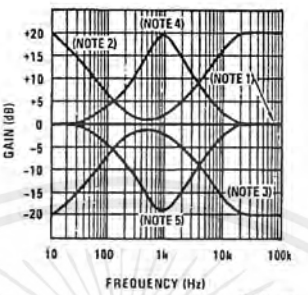
Typical Applications

Three-Band Active Tone Control



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Typical Applications (Continued)

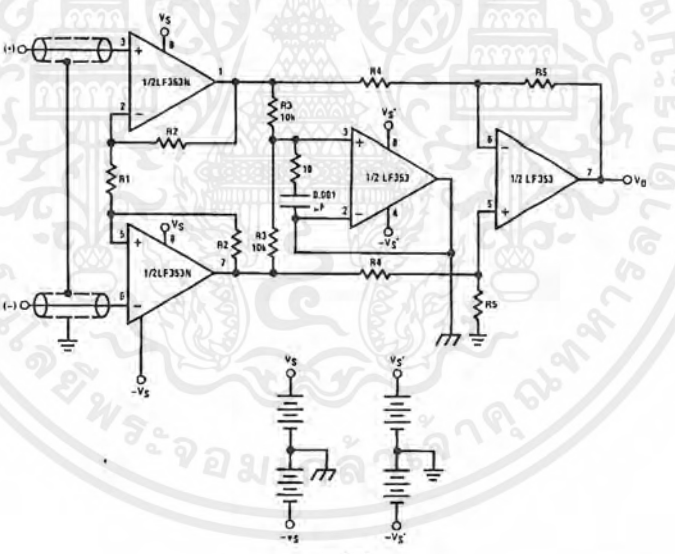


DS005649-40

Note 1: All controls flat.
Note 2: Bass and treble boost, mid flat.
Note 3: Bass and treble cut, mid flat.
Note 4: Mid boost, bass and treble flat.
Note 5: Mid cut, bass and treble flat.

- All potentiometers are linear taper
- Use the LF347 Quad for stereo applications

Improved CMRR Instrumentation Amplifier



DS005649-41

$$A_V = \left(\frac{2R2}{R1} + 1\right) \frac{R5}{R4}$$

⏚ and ⏚ are separate isolated grounds

Matching of R2's, R4's and R5's control CMRR

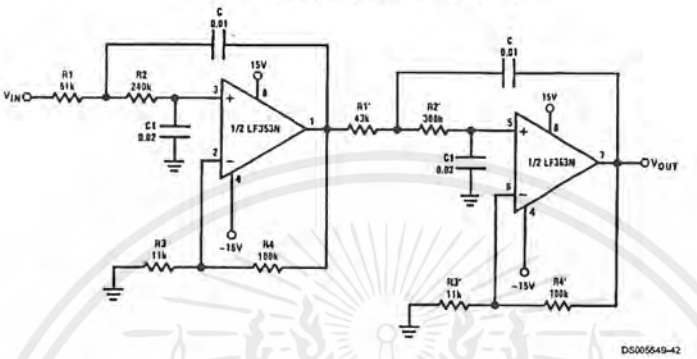
With A_{V_T} = 1400, resistor matching = 0.01%: CMRR = 136 dB

- Very high input impedance
- Super high CMRR

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

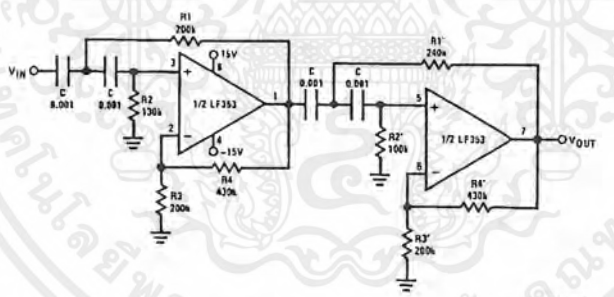
Typical Applications (Continued)

Fourth Order Low Pass Butterworth Filter



- Corner frequency (f_c) = $\sqrt{\frac{1}{R1R2CC1}} \cdot \frac{1}{2\pi} = \sqrt{\frac{1}{R1'R2'CC1}} \cdot \frac{1}{2\pi}$
- Passband gain (H_O) = (1 + R4/R3) (1 + R4'/R3')
- First stage Q = 1.31
- Second stage Q = 0.541
- Circuit shown uses nearest 5% tolerance resistor values for a filter with a corner frequency of 100 Hz and a passband gain of 100
- Offset nulling necessary for accurate DC performance

Fourth Order High Pass Butterworth Filter

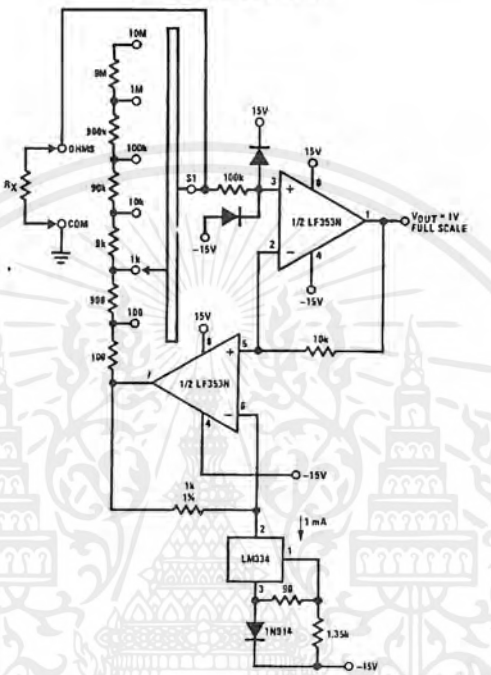


- Corner frequency (f_c) = $\sqrt{\frac{1}{R1R2C^2}} \cdot \frac{1}{2\pi} = \sqrt{\frac{1}{R1'R2'C^2}} \cdot \frac{1}{2\pi}$
- Passband gain (H_O) = (1 + R4/R3) (1 + R4'/R3')
- First stage Q = 1.31
- Second stage Q = 0.541
- Circuit shown uses closest 5% tolerance resistor values for a filter with a corner frequency of 1 kHz and a passband gain of 10.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Typical Applications (Continued)

Ohms to Volts Converter

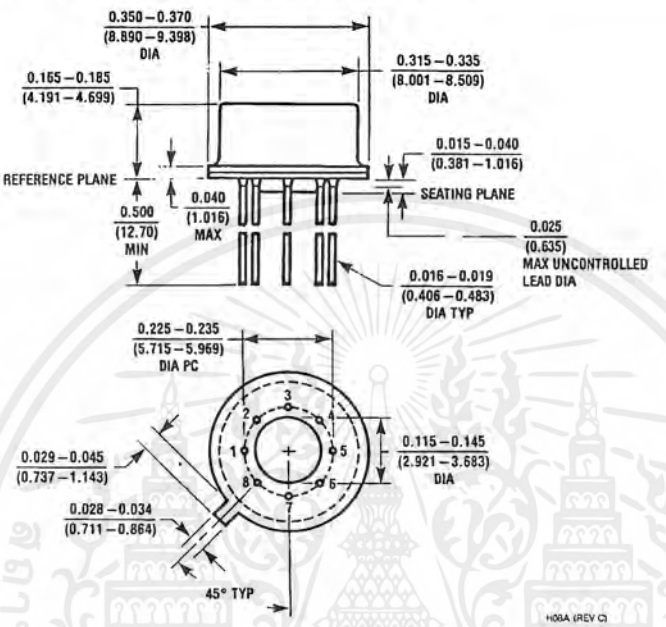


$$V_O = \frac{1V}{R_{LADDER}} \times R_X$$

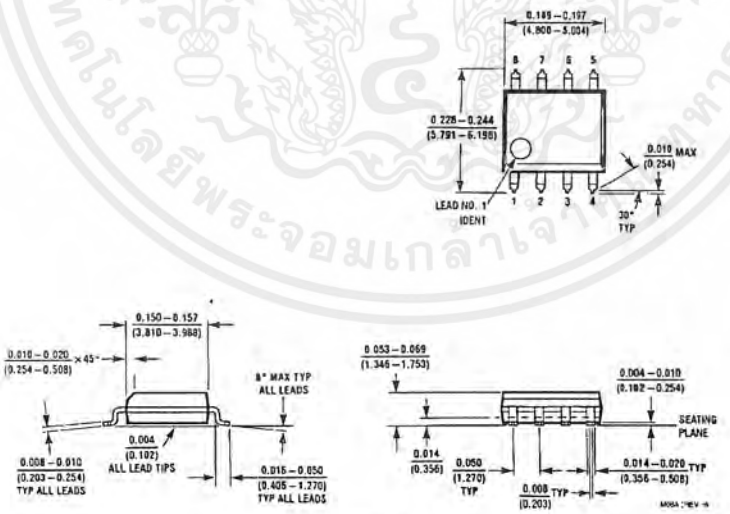
Where R_{LADDER} is the resistance from switch S1 pole to pin 7 of the LF353.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Physical Dimensions inches (millimeters) unless otherwise noted



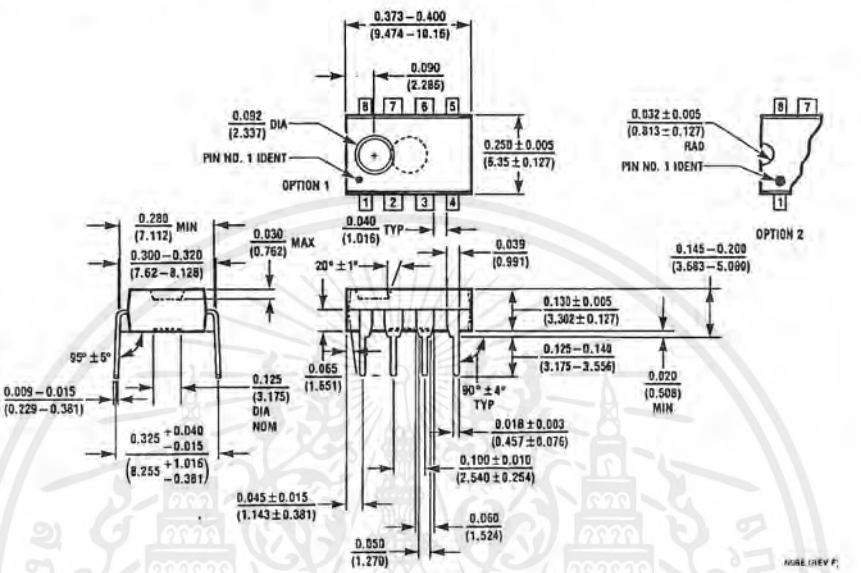
Metal Can Package (H)
Order Number LF353H
NS Package Number H08A



Order Number LF353M
NS Package Number M08A

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Physical Dimensions inches (millimeters) unless otherwise noted (Continued)



Molded Dual-In-Line Package
Order Number LF353N
NS Package N08E

LIFE SUPPORT POLICY

NATIONAL'S PRODUCTS ARE NOT AUTHORIZED FOR USE AS CRITICAL COMPONENTS IN LIFE SUPPORT DEVICES OR SYSTEMS WITHOUT THE EXPRESS WRITTEN APPROVAL OF THE PRESIDENT OF NATIONAL SEMICONDUCTOR CORPORATION. As used herein:

1. Life support devices or systems are devices or systems which, (a) are intended for surgical implant into the body, or (b) support or sustain life, and whose failure to perform when properly used in accordance with instructions for use provided in the labeling, can be reasonably expected to result in a significant injury to the user.
2. A critical component is any component of a life support device or system whose failure to perform can be reasonably expected to cause the failure of the life support device or system, or to affect its safety or effectiveness.

National Semiconductor Corporation
Americas
Tel: 1-800-272-9959
Fax: 1-800-737-7018
Email: support@nsc.com
www.national.com

National Semiconductor Europe
Fax: +49 (0) 1 80-530 85 86
Email: europe.support@nsc.com
Deutsch Tel: +49 (0) 1 80-530 85 85
English Tel: +49 (0) 1 80-532 78 32
Français Tel: +49 (0) 1 80-532 93 58
Italiano Tel: +49 (0) 1 80-534 16 80

National Semiconductor Asia Pacific Customer Response Group
Tel: 65-2544466
Fax: 65-2504466
Email: sea.support@nsc.com

National Semiconductor Japan Ltd.
Tel: 81-3-5639-7560
Fax: 81-3-5639-7507

National does not assume any responsibility for use of any circuitry described, no circuit patent licenses are implied and National reserves the right at any time without notice to change said circuitry and specifications.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

National Semiconductor

December 1995

LF351 Wide Bandwidth JFET Input Operational Amplifier

General Description

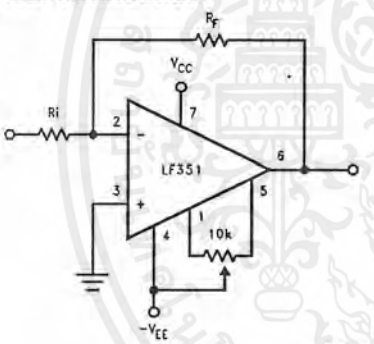
The LF351 is a low cost high speed JFET input operational amplifier with an internally trimmed input offset voltage (BI-FET II™ technology). The device requires a low supply current and yet maintains a large gain bandwidth product and a fast slew rate. In addition, well matched high voltage JFET input devices provide very low input bias and offset currents. The LF351 is pin compatible with the standard LM741 and uses the same offset voltage adjustment circuitry. This feature allows designers to immediately upgrade the overall performance of existing LM741 designs.

The LF351 may be used in applications such as high speed integrators, fast D/A converters, sample-and-hold circuits and many other circuits requiring low input offset voltage, low input bias current, high input impedance, high slew rate and wide bandwidth. The device has low noise and offset voltage drift, but for applications where these requirements are critical, the LF356 is recommended. If maximum supply current is important, however, the LF351 is the better choice.

Features

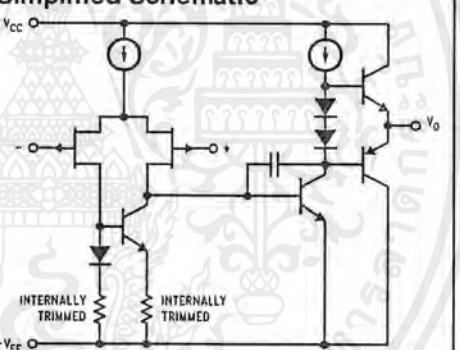
■ Internally trimmed offset voltage	10 mV
■ Low input bias current	50 pA
■ Low input noise voltage	25 nV/$\sqrt{\text{Hz}}$
■ Low input noise current	0.01 pA/$\sqrt{\text{Hz}}$
■ Wide gain bandwidth	4 MHz
■ High slew rate	13 V/μs
■ Low supply current	1.8 mA
■ High input impedance	$10^{12}\Omega$
■ Low total harmonic distortion A_V = 10, R_L = 10k, V_O = 20 Vp-p, BW = 20 Hz–20 kHz	<0.02%
■ Low 1/f noise corner	50 Hz
■ Fast settling time to 0.01%	2 μs

Typical Connection



TL/H/5648–11

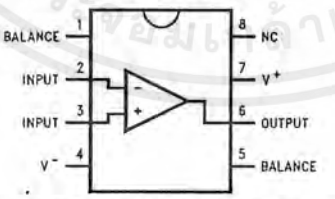
Simplified Schematic



TL/H/5648–12

Connection Diagrams

Dual-In-Line Package



TL/H/5648–13

Order Number LF351M or LF351N
See NS Package Number M08A or N08E

© 1995 National Semiconductor Corporation TL/H/5648

RRD-B30M125/Printed in U. S. A.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Absolute Maximum Ratings

If Military/Aerospace specified devices are required, please contact the National Semiconductor Sales Office/Distributors for availability and specifications.

Supply Voltage	±18V
Power Dissipation (Notes 1 and 6)	670 mW
Operating Temperature Range	0°C to +70°C
$T_{j(MAX)}$	115°C
Differential Input Voltage	±30V
Input Voltage Range (Note 2)	±15V
Output Short Circuit Duration	Continuous
Storage Temperature Range	−65°C to +150°C
Lead Temp. (Soldering, 10 sec.)	
Metal Can	300°C
DIP	260°C
θ_{JA}	
N Package	120°C/W
M Package	TBD
Soldering Information	
Dual-In-Line Package	
Soldering (10 sec.)	260°C
Small Outline Package	
Vapor Phase (60 sec.)	215°C
Infrared (15 sec.)	220°C

See AN-450 "Surface Mounting Methods and Their Effect on Product Reliability" for other methods of soldering surface mount devices.

ESD rating to be determined.

DC Electrical Characteristics (Note 3)

Symbol	Parameter	Conditions	LF351			Units
			Min	Typ	Max	
V_{OS}	Input Offset Voltage	$R_S = 10\,k\Omega$, $T_A = 25°C$ Over Temperature		5	10 13	mV mV
$\Delta V_{OS}/\Delta T$	Average TC of Input Offset Voltage	$R_S = 10\,k\Omega$		10		µV/°C
I_{OS}	Input Offset Current	$T_j = 25°C$, (Notes 3, 4) $T_j \leq 70°C$		25	100 4	pA nA
I_B	Input Bias Current	$T_j = 25°C$, (Notes 3, 4) $T_j \leq +70°C$		50	200 8	pA nA
R_{IN}	Input Resistance	$T_j = 25°C$		10^{12}		Ω
A_{VOL}	Large Signal Voltage Gain	$V_S = \pm 15V$, $T_A = 25°C$ $V_O = \pm 10V$, $R_L = 2\,k\Omega$ Over Temperature	25 15	100		V/mV V/mV
V_O	Output Voltage Swing	$V_S = \pm 15V$, $R_L = 10\,k\Omega$	±12	±13.5		V
V_{CM}	Input Common-Mode Voltage Range	$V_S = \pm 15V$	±11	+15 −12		V V
CMRR	Common-Mode Rejection Ratio	$R_S \leq 10\,k\Omega$	70	100		dB
PSRR	Supply Voltage Rejection Ratio	(Note 5)	70	100		dB
I_S	Supply Current			1.8	3.4	mA

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

AC Electrical Characteristics (Note 3)

Symbol	Parameter	Conditions	LF351			Units
			Min	Typ	Max	
SR	Slew Rate	$V_S = \pm 15V$, $T_A = 25°C$		13		V/μs
GBW	Gain Bandwidth Product	$V_S = \pm 15V$, $T_A = 25°C$		4		MHz
e_n	Equivalent Input Noise Voltage	$T_A = 25°C$, $R_S = 100\Omega$, $f = 1000$ Hz		25		$nV/\sqrt{Hz}$
i_n	Equivalent Input Noise Current	$T_j = 25°C$, $f = 1000$ Hz		0.01		$pA/\sqrt{Hz}$

Note 1: For operating at elevated temperature, the device must be derated based on the thermal resistance, θ_{JA}.

Note 2: Unless otherwise specified the absolute maximum negative input voltage is equal to the negative power supply voltage.

Note 3: These specifications apply for $V_S = \pm 15V$ and $0°C \leq T_A \leq +70°C$. V_{OS}, I_B and I_{OS} are measured at $V_{CM} = 0$.

Note 4: The input bias currents are junction leakage currents which approximately double for every 10°C increase in the junction temperature, T_j. Due to the limited production test time, the input bias currents measured are correlated to junction temperature. In normal operation the junction temperature rises above the ambient temperature as a result of internal power dissipation, P_D. $T_j = T_A + \theta_{jA} P_D$ where θ_{jA} is the thermal resistance from junction to ambient. Use of a heat sink is recommended if input bias current is to be kept to a minimum.

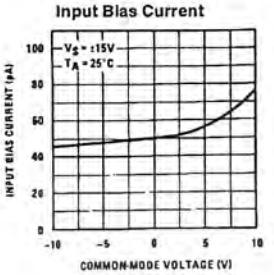
Note 5: Supply voltage rejection ratio is measured for both supply magnitudes increasing or decreasing simultaneously in accordance with common practice. From ±15V to ±5V.

Note 6: Max. Power Dissipation is defined by the package characteristics. Operating the part near the Max. Power Dissipation may cause the part to operate outside guaranteed limits.

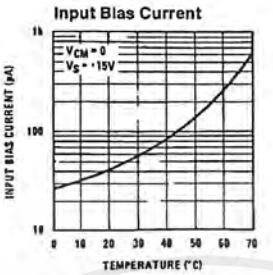
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Typical Performance Characteristics

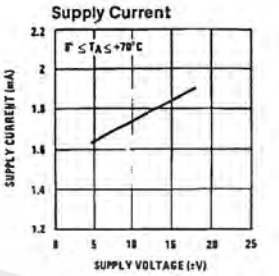
Input Bias Current



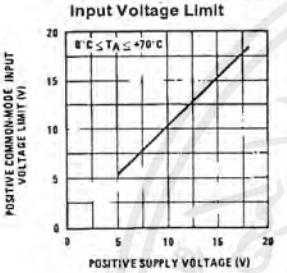
Input Bias Current



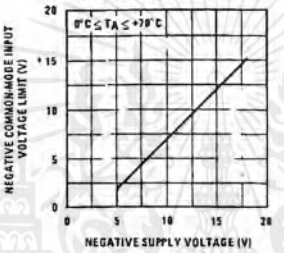
Supply Current



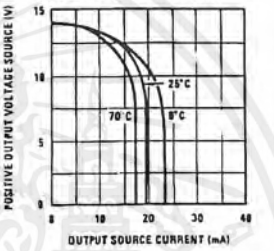
Positive Common-Mode Input Voltage Limit



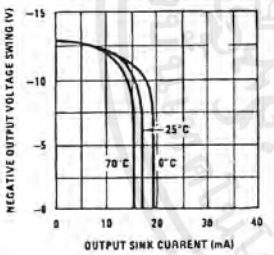
Negative Common-Mode Input Voltage Limit



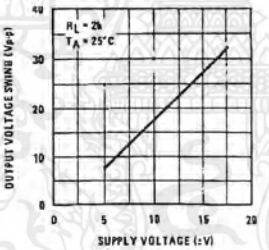
Positive Current Limit



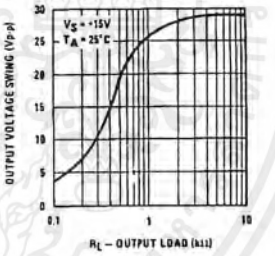
Negative Current Limit



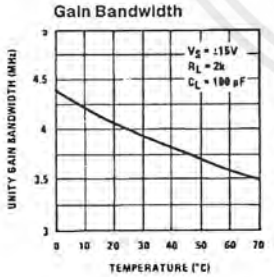
Voltage Swing



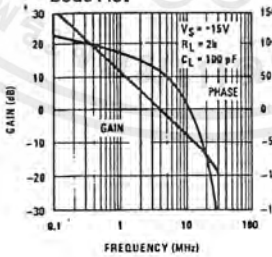
Output Voltage Swing



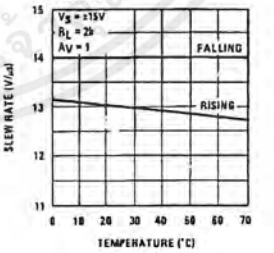
Gain Bandwidth



Bode Plot



Slew Rate

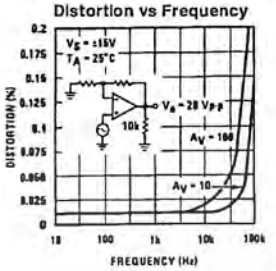


TL/H/5648–2

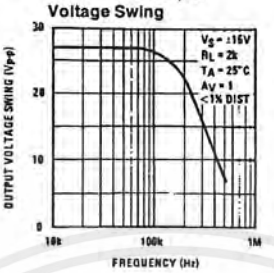
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Typical Performance Characteristics (Continued)

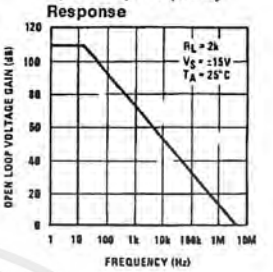
Distortion vs Frequency



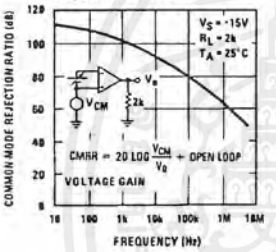
Undistorted Output Voltage Swing



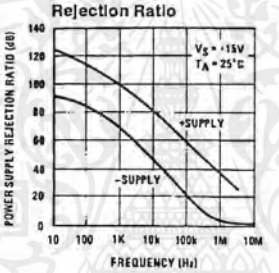
Open Loop Frequency Response



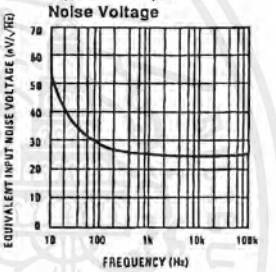
Common-Mode Rejection Ratio



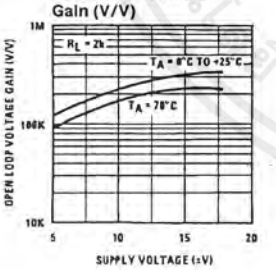
Power Supply Rejection Ratio



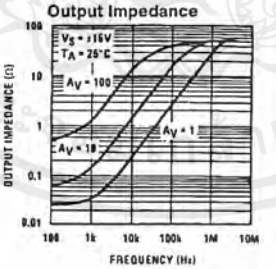
Equivalent Input Noise Voltage



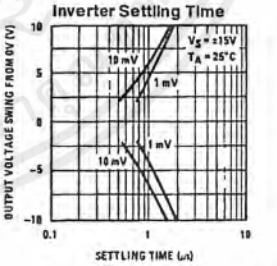
Open Loop Voltage Gain (V/V)



Output Impedance



Inverter Settling Time

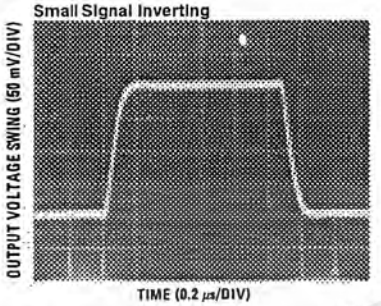


TL/H/5648–3

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

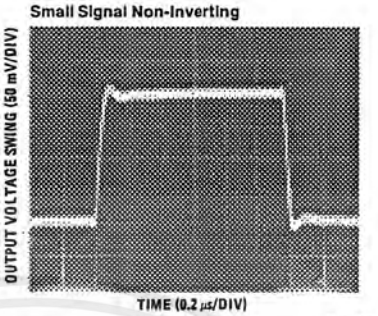
Pulse Response

Small Signal Inverting



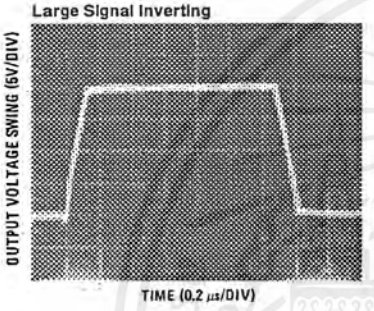
TL/H/5648–4

Small Signal Non-Inverting



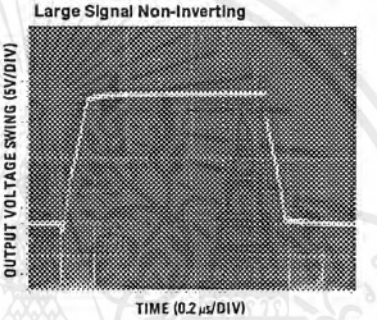
TL/H/5648–5

Large Signal Inverting



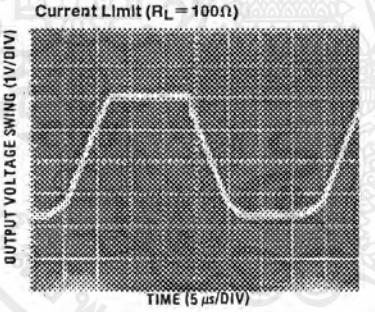
TL/H/5648–6

Large Signal Non-Inverting



TL/H/5648–7

Current Limit ($R_L = 100\Omega$)



TL/H/5648–8

Application Hints

The LF351 is an op amp with an internally trimmed input offset voltage and JFET input devices (BI-FET II™). These JFETs have large reverse breakdown voltages from gate to source and drain eliminating the need for clamps across the inputs. Therefore, large differential input voltages can easily be accommodated without a large increase in input current. The maximum differential input voltage is independent of the supply voltages. However, neither of the input voltages should be allowed to exceed the negative supply as this will cause large currents to flow which can result in a destroyed unit.

Exceeding the negative common-mode limit on either input will force the output to a high state, potentially causing a reversal of phase to the output.

Exceeding the negative common-mode limit on both inputs will force the amplifier output to a high state. In neither case does a latch occur since raising the input back within the

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Application Hints (Continued)

common-mode range again puts the input stage and thus the amplifier in a normal operating mode.

Exceeding the positive common-mode limit on a single input will not change the phase of the output; however, if both inputs exceed the limit, the output of the amplifier will be forced to a high state.

The amplifier will operate with a common-mode input voltage equal to the positive supply; however, the gain bandwidth and slew rate may be decreased in this condition. When the negative common-mode voltage swings to within 3V of the negative supply, an increase in input offset voltage may occur.

The LF351 is biased by a zener reference which allows normal circuit operation on ±4V power supplies. Supply voltages less than these may result in lower gain bandwidth and slew rate.

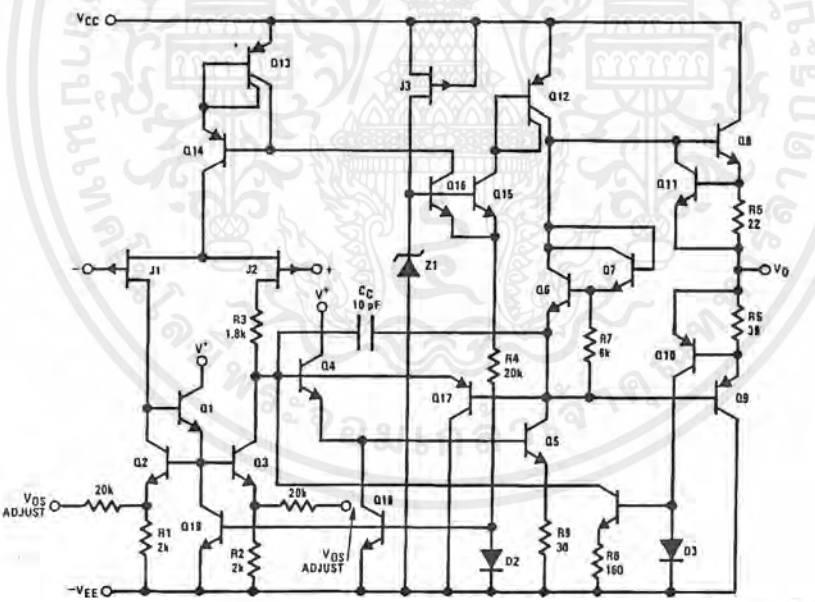
The LF351 will drive a 2 kΩ load resistance to ±10V over the full temperature range of 0°C to +70°C. If the amplifier is forced to drive heavier load currents, however, an increase in input offset voltage may occur on the negative voltage swing and finally reach an active current limit on both positive and negative swings.

Precautions should be taken to ensure that the power supply for the integrated circuit never becomes reversed in polarity or that the unit is not inadvertently installed backwards in a socket as an unlimited current surge through the resulting forward diode within the IC could cause fusing of the internal conductors and result in a destroyed unit.

As with most amplifiers, care should be taken with lead dress, component placement and supply decoupling in order to ensure stability. For example, resistors from the output to an input should be placed with the body close to the input to minimize "pick-up" and maximize the frequency of the feedback pole by minimizing the capacitance from the input to ground.

A feedback pole is created when the feedback around any amplifier is resistive. The parallel resistance and capacitance from the input of the device (usually the inverting input) to AC ground set the frequency of the pole. In many instances the frequency of this pole is much greater than the expected 3 dB frequency of the closed loop gain and consequently there is negligible effect on stability margin. However, if the feedback pole is less than approximately 6 times the expected 3 dB frequency a lead capacitor should be placed from the output to the input of the op amp. The value of the added capacitor should be such that the RC time constant of this capacitor and the resistance it parallels is greater than or equal to the original feedback pole time constant.

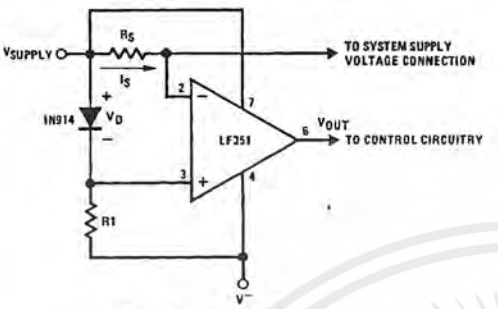
Detailed Schematic



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

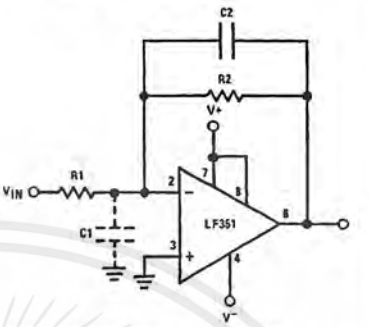
Typical Applications

Supply Current Indicator/Limiter



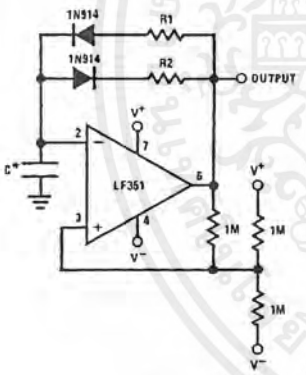
* V_{OUT} switches high when $R_S I_S > V_D$

Hi-Z_{IN} Inverting Amplifier



Parasitic input capacitance C1 ≈ (3 pF for LF351 plus any additional layout capacitance) interacts with feedback elements and creates undesirable high frequency pole. To compensate, add C2 such that: R2C2 ≈ R1C1.

Ultra-Low (or High) Duty Cycle Pulse Generator



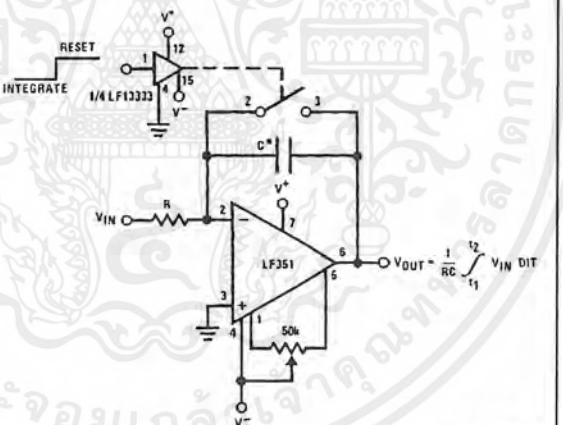
* $t_{OUTPUT\ HIGH} \approx R1C\ \ell n \frac{4.8 - 2V_S}{4.8 - V_S}$

* $t_{OUTPUT\ LOW} \approx R2C\ \ell n \frac{2V_S - 7.8}{V_S - 7.8}$

where $V_S = V^+ + |V-|$

*low leakage capacitor

Long Time Integrator



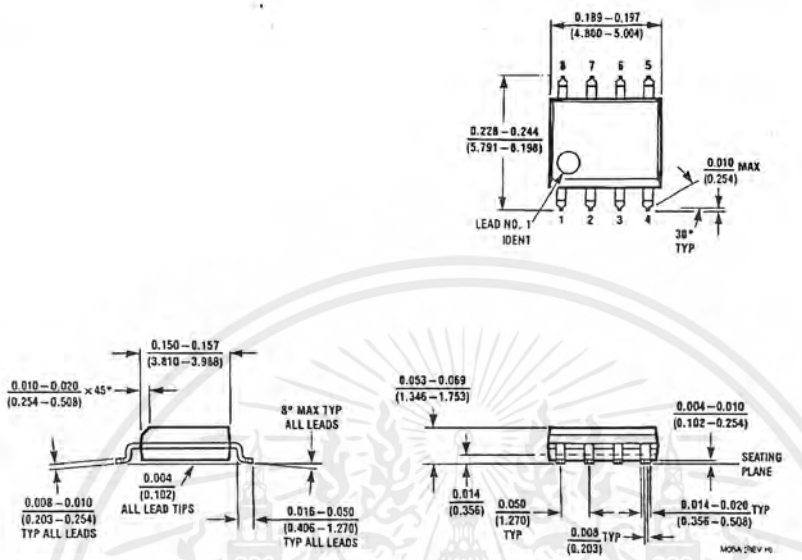
*Low leakage capacitor

* 50k pot used for less sensitive V_{OS} adjust

TL/H/5648–10

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

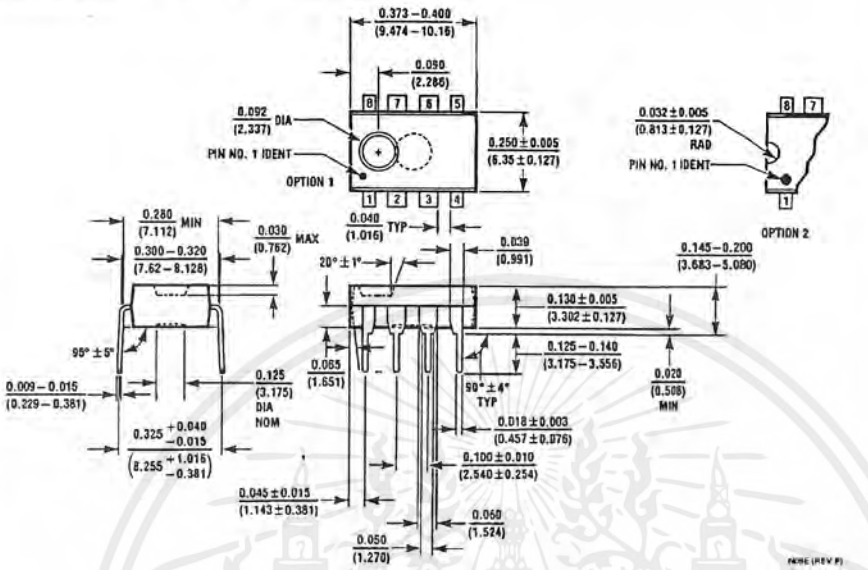
Physical Dimensions inches (millimeters)



SO Package (M)
Order Number LF351M
NS Package Number M08A

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Physical Dimensions inches (millimeters) (Continued)



Molded Dual-In-Line Package (N)
Order Number LF351N
NS Package Number N08E

LIFE SUPPORT POLICY

NATIONAL'S PRODUCTS ARE NOT AUTHORIZED FOR USE AS CRITICAL COMPONENTS IN LIFE SUPPORT DEVICES OR SYSTEMS WITHOUT THE EXPRESS WRITTEN APPROVAL OF THE PRESIDENT OF NATIONAL SEMICONDUCTOR CORPORATION. As used herein:

1. Life support devices or systems are devices or systems which, (a) are intended for surgical implant into the body, or (b) support or sustain life, and whose failure to perform, when properly used in accordance with instructions for use provided in the labeling, can be reasonably expected to result in a significant injury to the user.

2. A critical component is any component of a life support device or system whose failure to perform can be reasonably expected to cause the failure of the life support device or system, or to affect its safety or effectiveness.

National Semiconductor Corporation
1111 West Bardin Road
Arlington, TX 76017
Tel: 1(800) 272-9959
Fax: 1(800) 737-7018

National Semiconductor Europe
Fax: (+49) 0-180-530 85 86
Email: cnjwge@tevm2.nsc.com
Deutsch Tel: (+49) 0-180-530 85 85
English Tel: (+49) 0-180-532 78 32
Français Tel: (+49) 0-180-532 93 58
Italiano Tel: (+49) 0-180-534 16 80

National Semiconductor Hong Kong Ltd.
13th Floor, Straight Block,
Ocean Centre, 5 Canton Rd.
Tsimshatsui, Kowloon
Hong Kong
Tel: (852) 2737-1600
Fax: (852) 2736-9960

National Semiconductor Japan Ltd.
Tel: 81-043-299-2309
Fax: 81-043-299-2408

National does not assume any responsibility for use of any circuitry described, no circuit patent licenses are implied and National reserves the right at any time without notice to change said circuitry and specifications.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

กิตติกรรมประกาศ

ในการจัดทำโครงงานครั้งนี้ได้มีอุปสรรคและปัญหาอย่างมากมาย แต่ ก็ต่อสู้กับปัญหาดังกล่าวได้เป็นผลสำเร็จ เนื่องจากท่าน รศ.ณรงค์ เหมกรณ์ ซึ่งท่านให้เกียรติเป็น อาจารย์ที่ปรึกษา ซึ่งท่านคอยแนะนำ , เพื่อน ๆ ที่คอยช่วยเหลือตลอดเวลา อาทิเช่น นาย พรชัย สุคนพาทิพย์ ,นาย เรืองยศ พันธุ์ไทย และนายปรเมษฐ์ หลอดอาสา และขาดเสียมิได้เลยคือกำลังแรงใจจากพ่อและแม่ของผู้จัดทำ

ทางผู้จัดทำจึงขอขอบพระคุณเป็นอย่างสูงมา ณ ที่นี้ด้วย

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เอกสารอ้างอิง

1. ณรงค์ เหมกรณ์, การสื่อสารดาวเทียม, โครงการตำรา คณะวิศวกรรมศาสตร์ สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง,กรุงเทพ,2533
2. รศ.กฤษดา วิศวธีรานนท์., เรียน/เล่น/ใช้ ไอซีดิจิตอล ,บริษัท ซีเอ็ดยูเคชั่น จำกัด,2538
3. Wayne Tomasi ,Advanced Electronic Communication System ,second edition Prentice Hall .Engle Wood Cliffs,N.J.,1992

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้