สำนักหอสมุดกลาง พระจอมเกล้าลาดกระบัง

เครื่องคัดแยกผลิตภัณฑ์

SEPARATING MACHINE

โดย

นาย นพดล กสิพล รหัส 42015180

นาย จตุพล มานะกุล รหัส 42015212

นาย ศิวพร สอนขำ รหัส 42015240

อาจารย์ที่ปรึกษา

อ.ชินภัทร นันทจิวากรชัย

เลขหมู่.....
เลขทะเบียน 46286
วัน, เดือน, ปี 21 มี.ค. 2546

.b.....
.i.....

ปริญญานิพนธ์สำหรับปริญญาวิศวกรรมศาสตรบัณฑิต

สาขาวิชาอิเล็กทรอนิกส์

คณะวิศวกรรมศาสตร์

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

ปีการศึกษา 2544

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ปริญญานิพนธ์ ปีการศึกษาที่ 2544

ภาควิชาอิเล็กทรอนิกส์

คณะวิศวกรรมศาสตร์ สถานบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

เรื่อง เครื่องคัดแยกผลิตภัณฑ์

ผู้จัดทำ

1. นาย นพดล กสิพล รหัส 42015180
2. นาย จตุพล มานะกุล รหัส 42015212
3. นาย ศิวพร สอนขำ รหัส 42015240

.....อาจารย์ที่ปรึกษา

(อาจารย์ ชินภัทร นันทจิวากรชัย)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เครื่องคัดแยกผลิตภัณฑ์

SEPARATING MECHINE

นาย นพดล กสิพล 42015180

นาย จตุพล มานะกุล 42015212

นาย ศิวพร สอนขำ 42015240

โครงงานนี้ได้รับการตรวจสอบแล้ว พร้อมที่จะทำการสอบได้

.....

(ชินภัทร นันทจิวากรชัย)

อาจารย์ที่ปรึกษา

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เครื่องคัดแยกผลิตภัณฑ์

นาย นพดล กสิพล
นาย จตุพล มานะกุล
นาย ศิวพร สอนขำ
อ. ชินภัทร นันทจิวากรชัย
ภาคการศึกษาที่ 2 ปีการศึกษา 2544

บทคัดย่อ

โครงงานนี้ได้นำเสนอเครื่องคัดแยกผลิตภัณฑ์ โดยผลิตภัณฑ์จะถูกส่งมาตามสายพานการผลิต มีกล้องโทรทัศน์เป็นตัวตรวจจับภาพของผลิตภัณฑ์ ในการคัดแยกนั้นจะอาศัยหลักการนำสัญญาณภาพโทรทัศน์ซึ่งเป็นข้อมูลทางอนาลอก มาแปลงเป็นข้อมูลทางดิจิตอลมีความละเอียด 8 บิท โดยในการเก็บข้อมูลภาพนั้น จะเก็บ 256 เส้นสะแกน ซึ่งแต่ละเส้นสะแกนจะเก็บ 256 จุด ทำให้ได้ความละเอียดของภาพ 256 X 256 จุดภาพ และสัญญาณอนาลอกที่แปลงเป็นข้อมูลแบบดิจิตอลแล้ว จะถูกนำไปเก็บลงหน่วยความจำขนาด 64 กิโลไบต์ จากนั้นข้อมูลในแอดเดรส จะถูกนำไปประมวลผล โดยการเปรียบเทียบข้อมูลในแอดเดรสเดียวกันว่าเหมือนกันหรือใกล้เคียงกับข้อมูลต้นแบบหรือไม่แล้วจึงนำไปคัดแยกต่อไป

ในโครงงานนี้ได้แบ่งวงจรการทำงานเป็นส่วนๆประกอบด้วย ส่วนของกล้องวีดีโอ ส่วนแปลงข้อมูลอนาลอกเป็นดิจิตอลได้ใช้ไอซีเบอร์ TDA8708 ส่วนแยกสัญญาณซิงค์ ส่วนกำหนดแอดเดรสและเก็บข้อมูลลงหน่วยความจำ ส่วนประมวลผลเลือกใช้ CPU เบอร์ Z80180 และส่วนควบคุมอินพุทเอาท์พุท

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

SEPARATING MACHINE

Mr. Noppadon Kasipon

Mr. Jatupol Manakul

Mr. Siwaphon Sonkam

Mr. Chinnapat Nantajiwakornchai (Advisor)

Abstract

This project presents separating machine that products will be transmited by converyer. We use video camera for detected video signal form products.To separate material,we must convert video signal to digital signal (analog to digital) 8 bit resolutions digital data output. The resolution of picture is 256 x 256 pixel and that is stored into 64 Kbyte memory per picture . After data and address are transmitted to process by comparing the data at the same address and CPU decided to control separating product.

This project compound with many circuit modules; video camera, analog to digital conversion used TDA8708, sync separating, Addressing mode and data stored into memory, and Central Processing Unit used Z80180.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญ

	หน้า
บทคัดย่อ	I
Abstract	II
สารบัญ	III
บทที่ 1 บทนำ	1
บทที่ 2 ทฤษฎีของสัญญาณโทรทัศน์	4
2.1 องค์ประกอบภาพ	4
2.2 การสแกน	5
2.3 การหักเหลำอิเล็กตรอน	9
2.4 สัญญาณภาพรวม	14
บทที่ 3 ตัวแปลงสัญญาณอนาลอกให้เป็นดิจิตอล	22
3.1 ทฤษฎีการสุ่มตัวอย่าง	22
3.2 วิธีแปลงสัญญาณอนาลอกเป็นดิจิตอล	23
บทที่ 4 Z80180	31
4.1 คุณสมบัติและโครงสร้างของ Z80180	31
4.2 ขาการใช้งานของ Z80180	32
4.3 รีจิสเตอร์ภายในของ Z80180	35
4.4 การอ้างหน่วยความจำ	39
4.5 การอินเตอร์รัพ	42
บทที่ 5 อธิบายการทำงานของวงจรและโปรแกรมควบคุม	46
5.1 ภาควงจรสร้างสัญญาณนาฬิกา 5 เมกะเฮิรตซ์	46
5.2 ภาคแยกสัญญาณซิงค์	46
5.3 ภาควงจรแปลงสัญญาณอนาลอกเป็นดิจิตอล	47
5.4 ภาควงจรนับ	49
5.5 การทำงานของวงจรภาคหน่วยความจำและประมวลผล	50
5.6 วงจรภาคควบคุมกลไก	52
5.7 ระบบกลไก	53
5.8 โปรแกรมควบคุม	54

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 6 การทดลองและผลการทดลอง 60
6.1 ผลการทดลองภาคสร้างสัญญาณนาฬิกา 5 เมกะเฮิรตซ์ 60
6.2 ผลการทดลองภาควงจรแยกสัญญาณซิงค์ 60
6.3 ผลการทดลองภาควงจรนับ 64
6.4 ผลการทดลองของภาควงจรแปลงอนาลอกเป็นดิจิตอล 66
6.5 ผลการทดลองการเก็บข้อมูลทางดิจิตอล 67
6.6 ผลการทดลองการแยกผลิตภัณฑ์ 69
บทที่ 7 สรุปผลการทดลอง 72
ภาคผนวก
กิตติกรรมประกาศ
หนังสืออ้างอิง

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 1
บทนำ

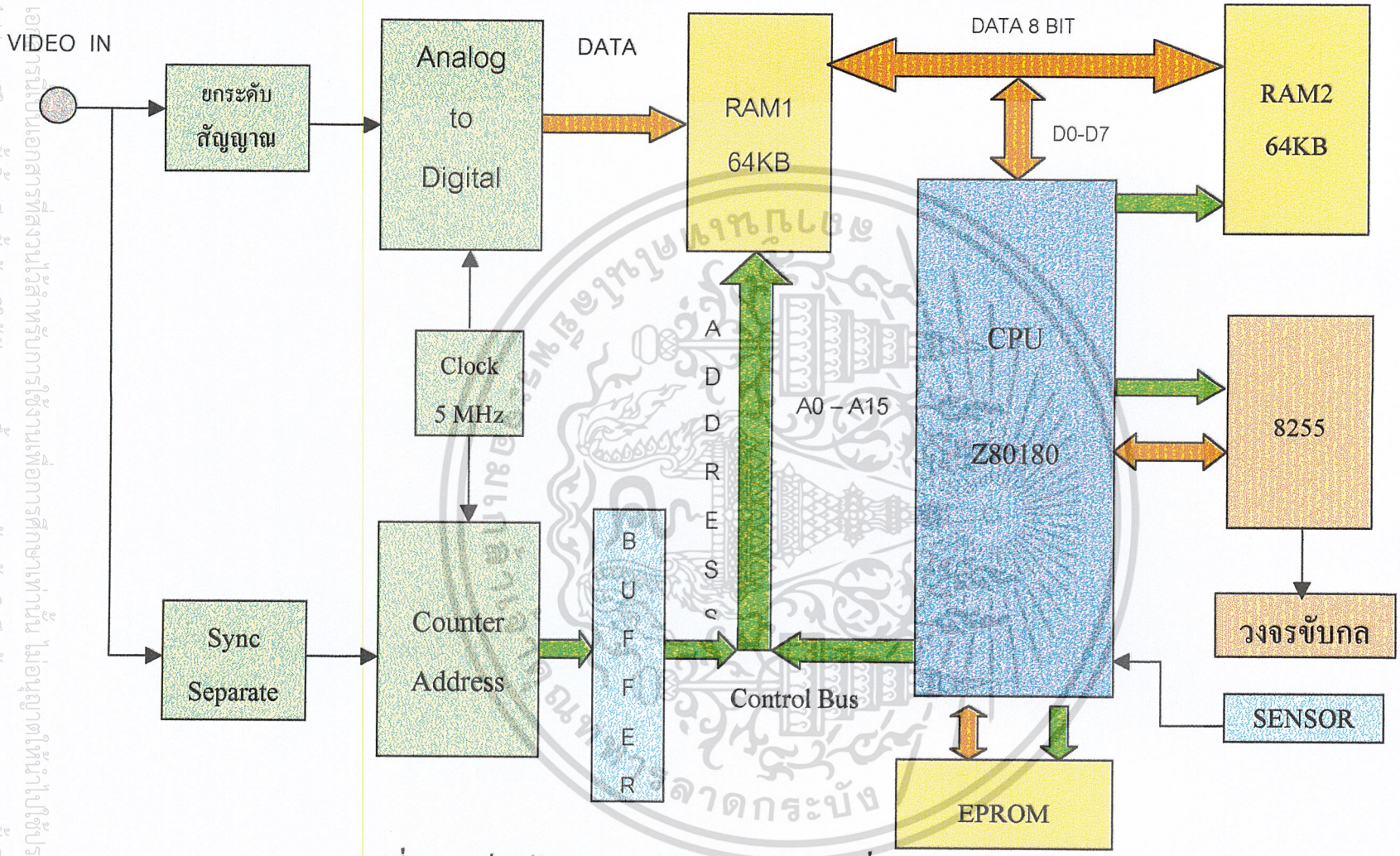
ในสายการผลิตของงานอุตสาหกรรมมีการผลิตสินค้า ตัวสินค้าหรือผลิตภัณฑ์ที่ผลิตได้จะถูกส่งมาตามสายพานการผลิต ซึ่งบางครั้งอาจมีสินค้าที่ไม่ได้มาตรฐาน ถ้าหากว่าเราใช้สินค้าที่ไม่ได้มาตรฐานตามที่ผู้ซื้อต้องการ ทำให้สินค้ามีราคาถูกลงหรือผู้ซื้ออาจส่งสินค้ากลับคืน ทำให้เกิดความเสียหายต่อผู้ผลิตได้ จึงจำเป็นต้องมีการคัดแยก ซึ่งปัจจุบันบางบริษัทได้ใช้คนในการคัดแยกหรือบางบริษัทก็ใช้เครื่องคัดแยกผลิตภัณฑ์แต่เครื่องคัดแยกนั้นมีราคาที่ค่อนข้างสูง จึงได้คิดโครงงานนี้ขึ้นมาโดย ใช้ไมโครโปรเซสเซอร์ในการควบคุมซึ่งจะทำให้ต้นทุนต่ำลง

โดยโครงงานนี้ การทำงานของเครื่องคือจะใช้กล้องวีดีโอ ในการตรวจจับภาพของผลิตภัณฑ์ ที่ถูกส่งมาตามสายพานการผลิต แล้วใช้ไมโครโปรเซสเซอร์ ในการประมวลผลข้อมูลภาพที่อ่านมาจากหน่วยความจำซึ่งได้มาจากการแปลงสัญญาณวีดีโอเป็นสัญญาณดิจิตอล แล้วนำสัญญาณที่ได้มาประมวลผลเปรียบเทียบกับสัญญาณภาพต้นแบบที่เก็บไว้ในหน่วยความจำ ภาพที่ไม่ตรงกับที่กำหนดหรือไม่ได้มาตรฐานก็จะทำการคัดแยกออกจากสายพานการผลิตโดยไมโครโปรเซสเซอร์จะเป็นตัวประมวลผลเพื่อควบคุมการคัดแยก ซึ่งมีขั้นตอนการทำงานดังรูปที่ 1.1

วัตถุประสงค์ของโครงงาน

1. เพื่อศึกษาหลักการและการทำงานของระบบสัญญาณภาพ
2. เพื่อศึกษาและประยุกต์ใช้งานไมโครโปรเซสเซอร์
3. เพื่อศึกษาการประมวลผลภาพทางดิจิตอลและการนำไปประยุกต์ใช้งาน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 1.1 บล็อคไดอะแกรมการทำงานของเครื่องคัดแยกผลิตภัณฑ์

หลักการทำงาน

การทำงานของบล็อกไดอะแกรมสามารถอธิบายได้ดังนี้ เริ่มจากสินค้าหรือผลิตภัณฑ์จะถูกส่งมาตามสายพานการผลิต เมื่อสินค้าหรือผลิตภัณฑ์ที่เคลื่อนที่ไปตามสายพานมาถึงจุดที่เซ็นเซอร์สามารถตรวจสอบได้ เซ็นเซอร์ก็จะส่งข้อมูลเพื่อให้ CPU โดยการร้องขอที่ BUSRQ เมื่อ CPU รับรู้การขอบัส CPU ก็จะหยุดการทำงาน โดยจะส่งสัญญาณ BUSAK ออกมา

ในขณะที่สัญญาณวีดีโอ ที่ได้จากกล้องวีดีโอ จะถูกส่งเข้ามายังวงจรยกระดับสัญญาณ ต่อจากนั้นจะถูกส่งต่อไปยังวงจรแปลงสัญญาณอนาลอกเป็นสัญญาณดิจิตอล ทำให้ได้ข้อมูลดิจิตอลขนาด 8 บิท เพื่อรอเก็บลงหน่วยความจำตัวที่ 1 และในอีกส่วนหนึ่งสัญญาณวีดีโอ จะถูกส่งเข้าไปยังวงจรแยกสัญญาณซิงค์ เพื่อนำสัญญาณซิงค์ไปสร้างสัญญาณควบคุม เพื่อใช้ในการอ้างแอดเดรสให้กับหน่วยความจำ ตัวที่ 1 จากนั้นเมื่อสัญญาณดิจิตอลเก็บลงหน่วยความจำตัวที่ 1 ครบแล้ว CPU ก็จะรับรู้แล้วทำการเปรียบเทียบข้อมูลที่ได้จากหน่วยความจำที่ 1 นำมาเปรียบเทียบกับภาพต้นแบบซึ่งเก็บไว้ในหน่วยความจำตัวที่ 2 โดยในการเปรียบเทียบนั้น จะทำการหาตำแหน่งหรือแอดเดรสที่เป็นตำแหน่งเริ่มต้นของภาพ โดยอาศัยหลักการเปรียบเทียบแบบบิทต่อบิทในตำแหน่งเดียวกันว่ามีความเหมือนหรือต่างกัน ซึ่งสามารถตั้งค่าได้ว่าต้องการความเหมือนกี่เปอร์เซ็นต์ จากนั้นCPU ก็จะทำการคัดแยกหากภาพที่ได้เหมือนกับภาพต้นแบบก็จะยอมให้สิ่งของหรือผลิตภัณฑ์ตัวนั้นผ่านไปได้ แต่หากว่าภาพที่ได้ต่างกับภาพต้นแบบก็จะคัดแยกของชิ้นนั้นออกไป.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 2

ทฤษฎีของสัญญาณโทรทัศน์

ในโครงงานนี้ได้มีการศึกษาเรื่องต่างๆ มากมาย แต่เรื่องที่สำคัญมากที่สุดในที่นี้ก็คือเรื่องที่เกี่ยวข้องกับสัญญาณภาพวีดีโอรวมและการนำสัญญาณภาพเหล่านี้มาใช้งาน เพื่อจะได้นำมาประยุกต์ใช้ในโครงงานชิ้นนี้

ภาพที่เกิดขึ้นที่จอโทรทัศน์อันที่จริงแล้วเกิดจาก การที่เราเอาภาพนิ่งมาต่อกัน โดยแต่ละภาพจะมีความแตกต่างกันเล็กน้อย และเกิดขึ้นในเวลาอันรวดเร็วจนทำให้สายตาของคนเราเห็นเป็นภาพที่ต่อเนื่อง ในภาพแต่ละเฟรมในตัวของมันเองประกอบด้วยพื้นที่เล็กๆ ของแสงและจุด หากภาพนั้นมีรายละเอียด (Detail) ของจุดแสงมากภาพที่ออกมาจะมีรายละเอียดมากกว่าภาพที่มีจุดและแสงรายละเอียดน้อย (ซึ่งภาพจะออกมาหยาบ)

2.1 องค์ประกอบภาพ

หากเราตัดภาพจากหนังสือพิมพ์มาสักภาพหนึ่ง แล้วขยายให้ใหญ่ขึ้นด้วยกล้องหรือแว่นขยาย จะพบว่ามีองค์ประกอบมาจากจุดสีขาวและจุดสีดำมากมาย มาเรียงกันประกอบขึ้นเป็นภาพ จุดเหล่านี้เองที่เรียกว่าองค์ประกอบภาพ หรือพิคเจอร์อีลีเมนต์ (Picture Element) หรือ พิกเซล (Pixel)

ทำนองเดียวกันภาพที่เกิดขึ้นบนจอโทรทัศน์ก็เอามาจากหลักการนี้ ภาพที่เกิดขึ้นบนจอโทรทัศน์ประกอบด้วยเส้นขวางเล็กๆ ในแนวนอนเป็นจำนวนมาก แต่ละเส้นนั้นมีทั้งส่วนที่ดำสนิทและส่วนที่สว่างรวมกันอยู่ เส้นเหล่านี้เราได้มาจากการกวาดลำแสง (Scan) ความแตกต่างกันบนเส้นกวาดลำแสงหรือเส้นสแกนเหล่านี้เองที่เราจัดว่าเป็นองค์ประกอบของภาพ

ระบบการสแกน 525 เส้น เราจะแบ่งเส้นทางแนวตั้งได้ 700 เส้น ดังนั้นจึงกล่าวได้ว่าหากจะหาจำนวนขององค์ประกอบภาพในระบบการสแกน 525 เส้นแล้ว จะได้เท่ากับ 525*700 เท่ากับ 3671,500 พิกเซล ยิ่งภาพมีจำนวนเส้นมากเท่าไรรายละเอียดภาพยิ่งมากขึ้นเท่านั้น เหมือนอย่างที่เรากล่าวถึงรายละเอียดภาพมาแต่ข้างต้น โทรทัศน์ที่มีจำนวนเส้นสแกนมากย่อมได้รายละเอียดหรือความชัดเจนของภาพมากกว่า แต่การออกแบบวงจรก็จะแยกตามไปด้วยเนื่องจากแบนด์วิธของความถี่จะต้องกว้างขึ้นด้วยให้พิจารณาจากสูตรต่อไปนี้

เมื่อ fmax คือ ความถี่สูงสุด

k คือ ค่าคงที่ประมาณ

n คือ จำนวนเส้นสแกน

fp คือ จำนวนภาพต่อวินาที

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

b/h คือ อัตราส่วนแอสเป็คซึ่งทั่ว ๆ ไปเราใช้อัตรา 4 ต่อ 3

Y/X คือ ค่าแอฟเฟ็คทีฟแฟ็คเตอร์ มีค่า 0.95/0.84

จากสูตรนี้เราพบว่าถ้าจำนวนเส้นสแกนเพิ่มมากขึ้น ความถี่จะเพิ่มตามขึ้นมาด้วย จากที่กล่าวว่าระบบ 525 เส้นนั้นมีองค์ประกอบภาพ 367,500 พิกเซล แต่ความเป็นจริงแล้วเรามองเห็นได้ไม่ครบทุกพิกเซล เนื่องจากมีบางส่วยหายไประหว่างการสแกน จากการทดลองพบว่าภาพที่พอดูได้จะมีองค์ประกอบไม่ต่ำกว่า 200,000 พิกเซล

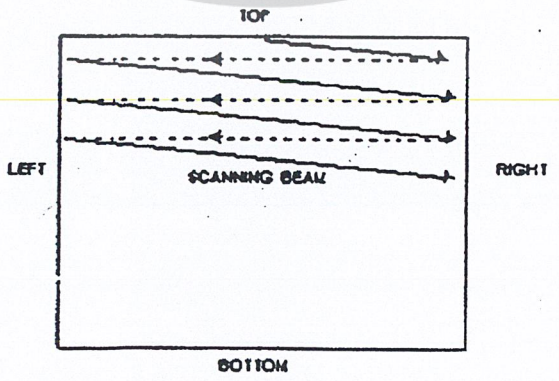
ต่อระบบที่ใช้อยู่ในประเทศไทย ปัจจุบันเราใช้ระบบการสแกน 625 เส้น 25 ภาพต่อวินาที จึงทำให้แบนด์วิธต้องกว้างถึง 7 เมกะเฮิรตซ์ ในขณะที่ระบบ 525 เส้นกว้างเพียง 6 เมกะเฮิรตซ์ เท่านั้น อย่างไรก็ตามองค์ประกอบของภาพจะมีความละเอียดมากขึ้น โดยสามารถหาองค์ประกอบของภาพได้จากค่าจำนวนของเส้นสแกน 625 เส้นคูณกับจำนวนจุดหรือองค์ประกอบทางแนวตั้ง 851 เส้น ได้เท่ากับ 531,875 พิกเซล

2.2 การสแกน

จากองค์ประกอบภาพที่ได้กล่าวมาข้างต้น เครื่องส่งจะรับภาพแล้วเปลี่ยนเป็นพลังงานแสงเป็นพลังงานไฟฟ้าแล้วส่งเป็นจุดขาวดำมา เครื่องรับจะรับเอาสัญญาณเหล่านี้มาเรียงกันใหม่ โดยการกวาดเป็นเส้นภาพขึ้นที่หน้าจอ วิธีการนี้เราเรียกว่าการสแกน (Scanning) โดยตัวที่มีหน้าที่สำคัญคือจอภาพหรือหลอดภาพนั่นเอง

หลอดภาพมีโครงสร้างคล้าย ๆ หลอดสูญญากาศทั่วไปที่ปล่อยอิเล็กตรอนออกมาจากแคโถด แล้วจะมีการดึงลำอีเล็กตรอนให้วิ่งไปเป็นลำกระทบที่แอโนดหรือหน้าจอ ตรงหน้าจอนั้นมีการฉาบสารเรืองแสงไว้เพื่อให้เกิดการเรืองแสงของจอ

การสแกนมี 2 วิธี คือ การสแกนแบบก้าวหน้า (Progressive Scanning) กับการสแกนแบบสลับเส้น (Interlaced Scanning)



รูปที่ 2.1 แสดงวิธีการเบื้องต้นของการสแกน

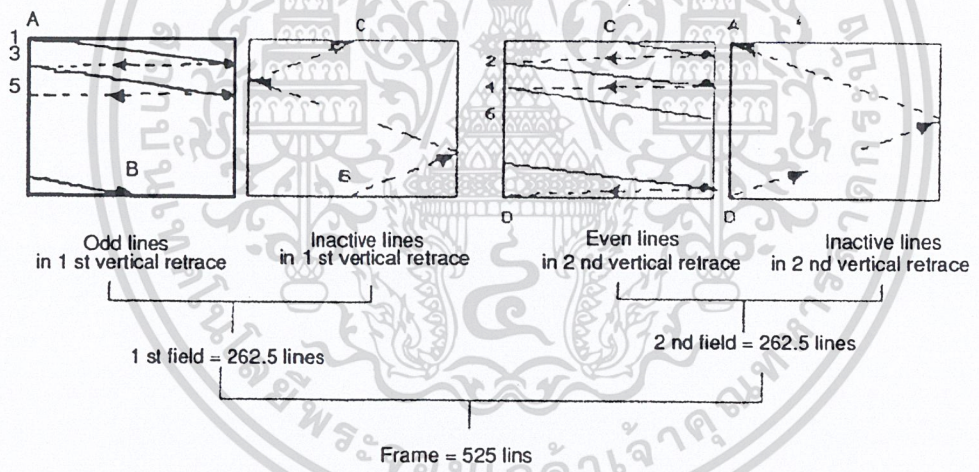
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การที่จะทำให้การสแกนมีความต่อเนื่องขององค์ประกอบภาพดังที่กล่าวมาแล้วจะต้องคำนึงถึงหลัก 3 ประการ คือ

1. ลำอิเล็กตรอนที่กวาดไปทางแนวนอน (Horizontal Scanning) ในแต่ละครั้ง จะต้องคลอบคลุมองค์ประกอบภาพทั้งหมดของเส้นนั้น ๆ

2. ในแต่ละเส้นของการสแกนลำอิเล็กตรอน ลำแสงจะต้องกวาดกลับด้วยความเร็วสูงไปยังด้านซ้ายเพื่อเริ่มต้นภาพทางแนวนอนลำดับต่อไปเวลาของการสะบัดเราเรียกว่า "รีเทรซ" (Retrace) หรือฟลายแบ็ค (Flyback) ในกรณีดังกล่าวจะต้องไม่มีข้อมูลภาพใด ๆ เพราะว่าทั้งกล้องถ่ายและหลอดภาพจะเกิดการแบลงค์เอาท์ (Blank Out) ในขณะนั้น

2. ในขณะที่เส้นสแกนสะบัดกลับมาเพื่อเริ่มต้นทางซ้ายใหม่ ตำแหน่งทางแนวตั้งต้องต่ำกว่าตำแหน่งเดิมเพื่อให้การสแกนเส้นต่อไปไม่ทับกัน ทั้งนี้โดยการควบคุมของสัญญาณทางแนวตั้ง (Vertical Scannign)



รูปที่ 2.2 รายละเอียดของการสแกนแบบสลับเส้นหรือแบบสอดแทรก

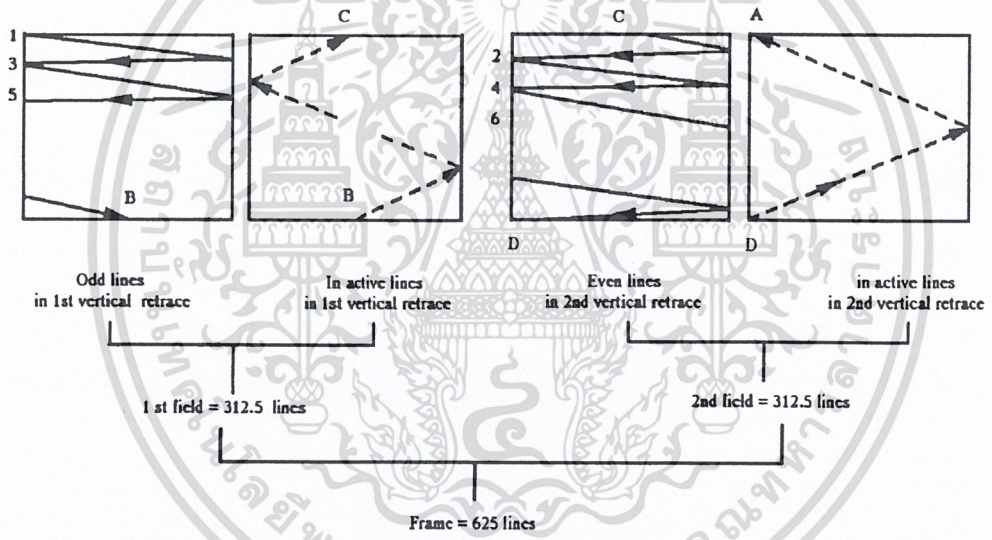
การสแกนที่ใช้เครื่องรับโทรทัศน์ถึงแม้ว่าเราจะพบว่าหากให้มีการเรียงภาพเกินกว่า 16 ภาพต่อวินาทีแล้วสายตาจะเห็นเป็นภาพที่ต่อเนื่อง จากการทดลองสแกนเส้นภาพเราพบว่าแม้ภาพที่เกิดขึ้นจะเกิดขึ้น 24 ภาพต่อวินาทีแล้วก็ตาม ยังมีการกระพริบ (Flicker) เกิดขึ้น เนื่องจากว่าในขณะที่มีการสแกนเริ่มจากขอบบนลงมาด้านล่าง (ซึ่งคล้ายกับการเขียนหนังสือที่เริ่มจากซ้ายไปขวาบนลงล่าง) เริ่มเส้นสแกนลงมาถึงขอบด้านล่างทางด้านบนในความรู้สึกของมนุษย์เริ่มมืดลงกว่าด้านล่าง เวลาที่ลำแสงการสแกนวกกลับไปด้านบน ด้านล่างก็เกิดปัญหาเช่นเดียวกัน ความรู้สึกต่อกรณีนี้ก็คือเกิดแสงกระพริบหรือวูบวาบขึ้น (Flicker) จึงต้องใช้การสแกนสลับหรือบางคนเรียกว่าการ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สแกนแบบสอดแทรก (Interlaced Scanning) โดยครั้งแรกจะสแกนฟิลด์คี่ (Odd Line Trace) และครั้งต่อไปจะสแกนฟิลด์คู่ (Even Line Trace) เป็นการสแกนแบบเส้นเว้นเส้น นั่นหมายความ

ว่าการได้ภาพ 1 ภาพหรือที่เรียกว่าภาพ 1 เฟรม (Frame) ต้องใช้การสแกนแนวตั้ง 2 ครั้ง หรือ 2 ฟิลด์ (Field)

ตามมาตรฐาน ซีซีไออาร์ (CCIR) ใช้เส้นสแกน 625 เส้นต่อหนึ่งภาพ และใช้ภาพ 25 ภาพต่อวินาทีดังนั้นใน 1 ฟิลด์จะมีเส้นสแกน 312.5 เส้น ภาพนิ่งแต่ละภาพซึ่งเป็นส่วนประกอบขององค์ประกอบภาพจะเกิดขึ้นภายใน 1/25 วินาที ความถี่ที่ใช้เพื่อหาการหักเหลำอิเล็กตรอนในแนวนอนจึงได้จากจำนวนเส้นภาพ 625 คูณกับจำนวนภาพในแต่ละเฟรม ดังนั้นเราจึงสามารถหาความถี่ได้จาก 625*25 เท่ากับ 15,625 เฮิรตซ์ ความถี่หักเหทางแนวตั้งจึงเท่ากับ 50 เฮิรตซ์



รูปที่ 2.3 การสแกนแบบสลับเส้นหรือแบบสอดแทรกในระบบ ซีซีอาร์

จากรูปที่ 2.2 และ 2.3 ได้แสดงวิธีการสแกนแบบสอดแทรกของระบบโทรทัศน์ ทั้ง 2 ระบบใหญ่ที่ใช้กันในปัจจุบัน โดยเมื่อเริ่มต้นการสแกนสมมุติว่าการเริ่มสแกนในกรณีนี้เริ่มจากสแกนในเฟรมที่เป็นเส้นสแกนคี่ โดยเริ่มจาก A ซึ่งอยู่ทางซ้ายแล้วกวาดไปทางขวา นับเป็นเส้นสแกนเส้นที่ 1 แล้วจึงสแกนเส้นที่ 3,5,7,9,... จนกระทั่งได้เส้นสแกน 262.5 เส้นในระบบ เอฟซีซี หรือ 312.5 เส้นในระบบซีซีไออาร์ ซึ่งก็คือเส้นสแกนมาถึงจุด B ดังภาพที่ 2.2 และ 2.3 ณ. จุดนี้การสแกนจะถูกความถี่หักเหทางแนวตั้งซึ่งเราเรียกว่า เวอร์ติคอล รีเทรซ (Vertical Retrace) หรือ สัญญาณฟลายแบ็ค (Flyback) ดึงกลับ ไปยังตำแหน่งในจุด C เพื่อเริ่มต้นการสแกนเส้นคู่ต่อไป

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เวลาของการรีเทรซ (Retrace Time) ทั้งการรีเทรซทางเวอร์ติคอล และ ฮอริซอนตอลเป็นเวลาสั้นๆ ถึงอย่างไรก็ตาม เราไม่ต้องการให้เส้นสแกนที่เป็นช่วงของการสบัดกลับนี้เข้ามารบกวนการทำให้เกิดสัญญาณภาพ ในส่วนนี้จึงต้องทำการลบเส้นสบัดกลับ ก่อนที่จะถึงจุดที่ว่านั้น เรามาดูรายละเอียดของการสะบัดกลับว่าในส่วนของการกวาดลำแสงหรือการสแกนในทางแนวนอน (Horizontal) เวลาของการรีเทรซจะได้ประมาณ 10-16 เปอร์เซ็นต์ของเวลาทั้งหมด ในระบบเอฟซีซี. เราใช้เวลาในการสแกนทางแนวนอนเท่ากับ 63.5 ไมโครเซคคั่น ส่วนระบบซีซีไออาร์. เราใช้เวลาในการสแกนเท่ากับ 64 ไมโครเซคคั่น ดังนั้นเวลาของการรีเทรซจะได้ประมาณ 6.4 ไมโครเซคคั่น ในส่วนของทางด้านความถี่หักเหทางแนวตั้ง (Vertical) เราใช้เวลาในการรีเทรซไม่เกิน 5-8 เปอร์เซ็นต์ อย่างเช่นเราใช้เวลาในส่วนนี้เท่ากับ 3 เปอร์เซ็นต์ ของเวลา 1/50 หรือ 1/60 ของวินาที ดังนั้นเวลาของการรีเทรซจึงเท่ากับ 600 ไมโครเซคคั่น และ 500 ไมโครเซคคั่นตามลำดับ นั่นก็คือในช่วงของการรีเทรซทางแนวตั้ง กินเวลาการสแกนนานกว่าการสแกนทางแนวนอนประมาณ 8-10 เส้นภาพ

จากหลักการดังกล่าวเราสามารถสรุปกฎเกณฑ์บางอย่างได้ว่า ตามความเป็นจริงแล้วในเส้นภาพ 525 เส้น หรือ 625 เส้นนั้น เรามิอาจจะเห็นได้ครบทุกเส้น อย่างน้อยๆ ในกรณีที่เกิดเวอร์ติคอลรีเทรซจะกินเวลาของการสแกนทางแนวนอน (Line) ไปด้วย แต่จะกินไปกี่เส้นนั้นขึ้นอยู่กับสัญญาณบังคับการฟลายแบ็ค ซึ่งในเครื่องรับเราเรียกสัญญาณตัวนี้ว่าสัญญาณแบลงกิ้ง

ตัวอย่าง ในระบบโทรทัศน์ เรากำหนดการสแกนภาพด้วยระบบ 625 เส้นภาพ และกำหนดว่าการสแกนนั้นให้มีเวอร์ติคอลรีเทรซ เท่ากับ 3 เปอร์เซ็นต์ของเวลาทั้งหมดของการสแกนทางแนวตั้ง ดังนั้นจงหาเส้นภาพที่หายไปจากจอภาพในระบบสแกนนี้

วิธีทำ	เวลาของการสแกนทางแนวตั้ง	= 1/50	วินาที
	ค่า 3 เปอร์เซ็นต์ในกรณีรีเทรซ	= 3/(50*100)	วินาที
	เวลาในการรีเทรซ	= 600	ไมโครเซคคั่น
	เวลาในการสแกนเส้นภาพ	= 1/15625	วินาที
	ดังนั้นการรีเทรซจะกินเส้นภาพไป	= 600/64	เส้น
		= 9.375	เส้น

หรือประมาณ 10 เส้น

ตัวอย่าง ในระบบโทรทัศน์ซีซีไออาร์ หากว่าค่าการรีเทรซทางเวอร์ติคอลใช้ค่าเวลามากที่สุดตามที่มาตรฐานในปัจจุบันกำหนดไว้ คือใช้เวลาประมาณ 5 เปอร์เซ็นต์ของเวลาทั้งหมดของการสแกนทางเวอร์ติคอล จงหาเส้นภาพที่ปรากฏจริงบนหน้าจอว่ามีกี่ภาพ

วิธีทำ	เวลาของการสแกนทางแนวตั้ง	= 1/50	วินาที

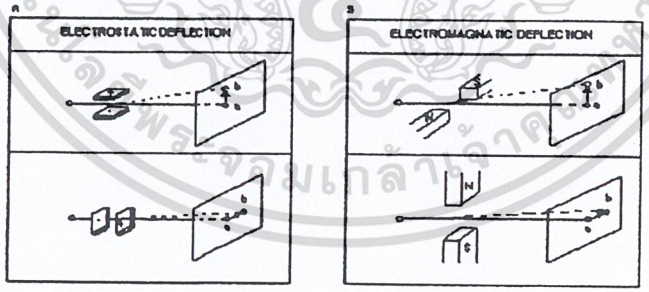
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ค่า 5 เปอร์เซ็นต์	= 5/(50*100)	วินาที
เพราะฉะนั้นเวลาในการรีเทรซ	= 1000	ไมโครเซคคั่น
เวลาในการสแกนเส้นภาพ	= 64	ไมโครเซคคั่น
การรีเทรซทางแนวตั้งกินเส้นภาพ	= 1000/64	
	= 15.625 หรือประมาณ 16 เส้น	
จำนวนเส้นภาพที่จอที่ปรากฏให้เห็น	= 625-16	
หรือประมาณ 609 เส้นภาพ		

2.3 การหักเหลำอิเล็กตรอน

เมื่อกล่าวถึงการสแกนเพื่อเปลี่ยนสัญญาณภาพให้เป็นสัญญาณไฟฟ้าในเครื่องส่ง หรือสแกนเพื่อเปลี่ยนสัญญาณไฟฟ้าให้เป็นสัญญาณภาพบนจอของหลอดภาพในเครื่องรับโทรทัศน์ล้วนต้องใช้ลำอิเล็กตรอนเป็นตัวสำคัญ โดยเฉพาะในเครื่องรับ ภาพแสดงผลของหลอดภาพคือหลอดภาพ ซึ่งโครงสร้างของหลอดภาพเบื้องต้นอาศัยการยิงลำอิเล็กตรอนจากปืนอิเล็กตรอน (Electron Gun) โดยมีไฟแรงสูงเป็นตัวคอยดึงให้ลำอิเล็กตรอนวิ่งเข้าชนสารเรืองแสงที่หน้าจอ กรณีเช่นนี้จะทำให้เกิดแสงเพียงจุดตรงกลางจอ เราจะทำให้ได้เส้นภาพอย่างที่กล่าวมาแล้วสามารถกระทำได้โดยการเบี่ยงเบนหรือหักเหลำอิเล็กตรอน ให้เกิดการกวาดตามหลักการที่กล่าวมา

ลักษณะของลำอิเล็กตรอนนั้นเมื่อมันวิ่งเข้าไปยังสนามไฟฟ้าสถิตย์หรือสนามแม่เหล็กจะสามารถเปลี่ยนทิศทางได้ดังแสดงไว้ในรูปที่ 2.4



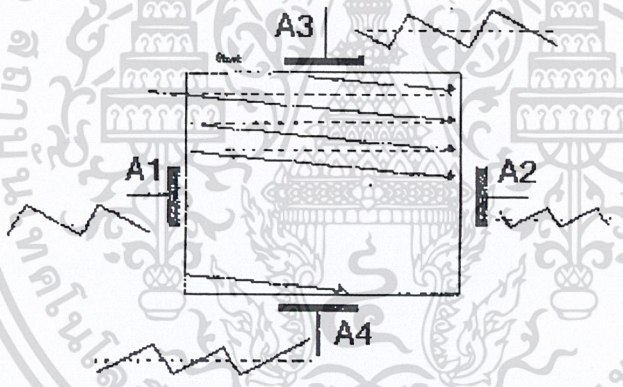
รูปที่ 2.4 การหักเหของลำอิเล็กตรอนเมื่ออยู่ในสนามไฟฟ้าและสนามแม่เหล็ก

จากหลักการสนามไฟฟ้ากับเรื่องของสนามแม่เหล็กมีความแตกต่างกันอยู่ตามหลักการของการเบี่ยงเบนหักเห อย่างเช่นเรื่องของสนามไฟฟ้าเมื่อมาพบกับลำอิเล็กตรอนเราต้องเอาศัยหลักการสนามไฟฟ้าโดยขั้วหรือศักย์ไฟฟ้าเหมือนกันจะผลักกัน ต่างกันจะดึงดูดกันอย่างในภาพ 2.4 ก ลำอิเล็กตรอนเราถือว่าเป็นสนามไฟฟ้าศักย์ลบ หากสนามไฟฟ้าที่เป็นอิเล็กโตรสแตติกขั้วบวกอยู่ด้านบน ขั้วลบอยู่ด้านล่าง จะมีผลทำให้ลำอิเล็กตรอนเฉไปทางด้านบน เนื่องจากสนามไฟฟ้าบวกดึง

เอกสารนี้เป็นเอกสารที่สงวนลิขสิทธิ์ไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ในการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ดูดลำอิเล็กตรอนเข้าไปหาและสนามไฟฟ้าลบผลักลำอิเล็กตรอนให้ห่างออกไปนั่นเป็นวิธีการหักเหทางแนวตั้ง ในทางกลับกันหากเราจะให้เกิดการหักเหทางแนวนอนก็สามารถทำได้โดยวางสนามไฟฟ้าในแนวนอน

หากเอาการหักเหลำอิเล็กตรอนตามหลักการของสนามแม่เหล็กจำเป็นต้องอาศัยทฤษฎีเข้ามาอธิบายหลักการของสนามแม่เหล็กตามกฎมือซ้ายทำให้เราสามารถอธิบายได้ว่าการที่ลำอิเล็กตรอนวิ่งเข้าชนสารเรืองแสงที่หน้าจอนั้นเปรียบดังกระแสวิ่งออกดังนั้นทิศทางของสนามแม่เหล็กจึงจะหมุนด้วยทิศทางทวนเข็มนาฬิกาเมื่อมาเจอกับสนามแม่เหล็กที่ใช้หักเหลำอิเล็กตรอนที่พุ่งจากขั้วเหนือไปยังขั้วใต้ กรณีเช่นนี้หากวางแม่เหล็กในแนวนอนจะเกิดการเบี่ยงเบนลำอิเล็กตรอนทางแนวตั้ง ในทางตรงกันข้ามหากวางแม่เหล็กในแนวตั้งจะเกิดการหักเหในทางแนวนอนก็จะเกิดการเบี่ยงเบนลำอิเล็กตรอนทางแนวตั้ง ในทางตรงกันข้าม หากวางแม่เหล็กในแนวตั้งจะเกิดการหักเหในแนวนอน



รูปที่ 2.5 การสแกนโดยใช้หลักการของการเบี่ยงเบนสนามไฟฟ้า (Deflection Electrostatic)

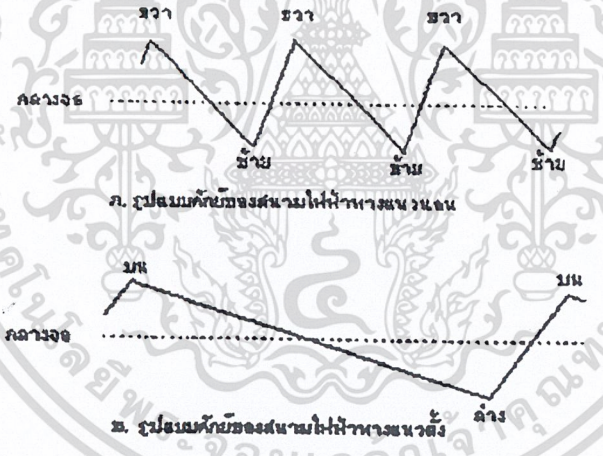
หลักการเบี่ยงเบนลำอิเล็กตรอนโดยอำนาจสนามไฟฟ้า (Deflection Electrostatic) น่าจะอธิบายได้ง่ายที่สุดในการอธิบายถึงการสแกน

สมมุติว่าในการกวาดลำสแกนครั้งแรกเราต้องให้เส้นที่ต้องการเริ่มต้นที่ตรงจุดสตาร์ทหรือมุมบนซ้าย ในกรณีนี้เราต้องใช้สนามไฟฟ้าศักย์บวกป้อนเข้าที่อิเล็กโถดแผ่นที่ 1 (A1) และแผ่นอิเล็กโถดแผ่นที่ 2 (A2) ต้องที่ศักย์ตรงกันข้ามคือเป็นลบ ในกรณีนี้มีผลทำให้อิเล็กตรอนถูกสนามไฟฟ้าบวกดึงลำเข้าไปหาในขณะแผ่นลบลผลักช่วยด้วยในเวลาเดียวกันนี้ คือ สนามไฟฟ้าในแนวนอน (Horizontal Electrostatic) หากสนามไฟฟ้าที่แผ่นอิเล็กโถดแผ่นที่ 3 (A3) ได้รับสนามไฟฟ้าบวกและแผ่นที่ 4 (A4) ได้รับศักย์ไฟฟ้าลบแผ่นที่ A3 จะดึงลำอิเล็กตรอนให้ขึ้นไปยังด้าน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บนในขณะที่แผ่นที่ A4 ช่วยในการผลักขึ้นไป กรณีเช่นนี้ทำให้ลำแสงปรากฏอยู่ตรงมุมบนซ้ายของจอภาพได้แล้ว

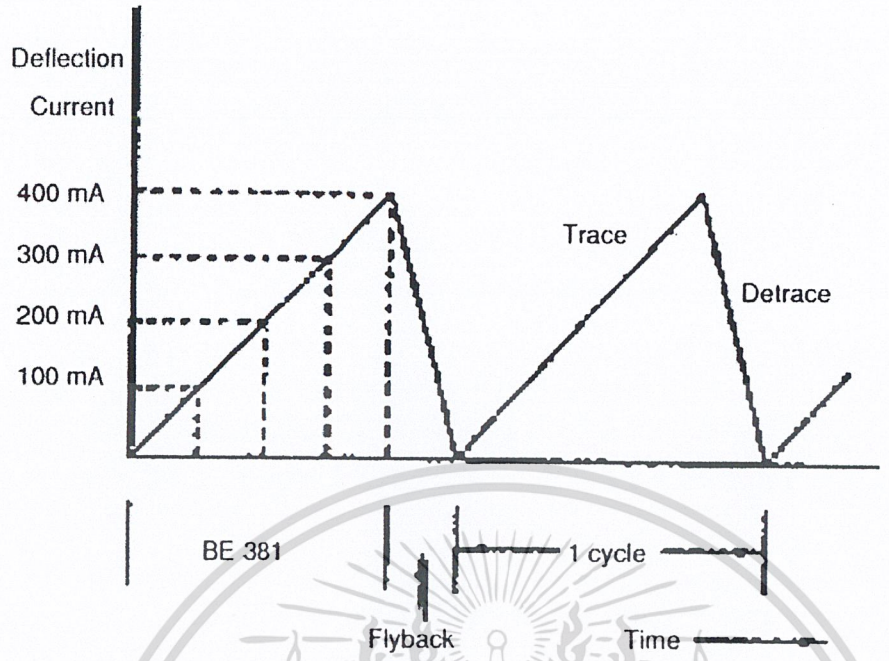
หากต้องการให้ลำแสงสแกนจากด้านซ้ายไปทางด้านขวา แผ่น A1 จะต้องลดศักย์ไฟฟ้าบวกลงจนกลับเป็นลบ และให้แผ่น A2 เพิ่มศักย์ขึ้นเป็นบวก ลำอิเล็กตรอนจึงถูกแผ่น A1 ผลักออกห่างและแผ่น A2 จะดึงลำอิเล็กตรอนเข้าไปหา จึงเกิดลำแสงจากซ้ายไปด้านขวาได้แล้วหากต้องการให้มีการกวาดลำแสงจากขวากลับมาซ้ายอีกครั้ง สนามไฟฟ้าแผ่น A1 และ A2 ต้องสลับสนามไฟฟ้าเหมือนตอนแรกอีกครั้งหนึ่ง แต่หลักการสแกนบอกว่าการสแกนครั้งต่อ ๆ ไป ต้องไม่ทับเส้นเดิมหากเราจะให้เป็นไปในลักษณะดังกล่าวสามารถทำได้โดยค่อย ๆ ลดศักย์ของสนามไฟฟ้าของแผ่น A3 ลง และค่อย ๆ เพิ่มศักย์ของสนามไฟฟ้าของแผ่น A4 ขึ้น ก็จะทำให้อิเล็กตรอนถูกดึงลงมาข้างล่าง เมื่อแผ่น A3 มีศักย์ลบสูงสุดและแผ่น A4 มีศักย์บวกสูงสุด นั่นหมายถึงเส้นภาพลงมาสุดขอบจอภาพทางด้านล่างแล้ว



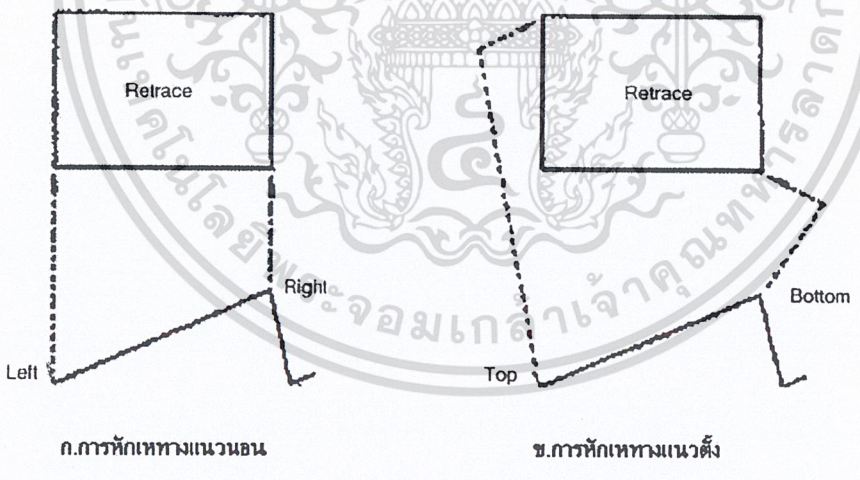
รูปที่ 2.6 สนามไฟฟ้าที่ใช้เพื่อการสแกน

จากหลักการดังกล่าวถ้าเอามาเปรียบเทียบกับสัญญาณทางไฟฟ้าแล้ว เราจะพบว่าหากเราจะสร้างกรรมวิธีสแกน ต้องสร้างสัญญาณการสแกนเป็นรูปฟันเลื่อย และสัญญาณดังกล่าวจะต้องเป็นเส้นตรงจริง ๆ จึงจะทำงานได้ถูกต้อง (Precision) เมื่อเรานำหลักการเบี่ยงเบนลำอิเล็กตรอนดังกล่าวมาใช้ในรูปแบบของสนามแม่เหล็ก (Electrostatic Deflection) ซึ่งตัวที่จะสร้างอำนาจแม่เหล็กไฟฟ้าคือดีเฟล็คชั่นโย๊ค (Deflection Yoke) ซึ่งเป็นขดลวดสร้างสนามแม่เหล็กไฟฟ้า สัญญาณที่จะต้องป้อนเข้าไปยังขดลวดชุดนี้จึงต้องมีลักษณะเบื้องต้นดังรูปที่ 2.7

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.7 สัญญาณฟันเลื่อยที่จะใช้บังคับการสแกน ทั้งทางแนวนอนและแนวตั้ง



รูปที่ 2.8 แสดงวิธีการเบื้องต้นอันเป็นแนวคิดของเส้นเทรซและรีเทรซทั้งสองแนว

จากรูปที่ 2.9 เป็นรูปแบบของการสแกนที่เราแสดงการสแกนเพียง 21 เส้น โดยในระบบ 525 เส้น หรือในระบบ 625 เส้น ครึ่งหนึ่งของ 21 เส้น คือ 10.5 เส้น ในส่วนนี้มีผลจากเส้นรีเทรซทางเวอร์ติคอลพ่วงเข้ามาด้วยดังนั้นเส้นภาพที่ปรากฏจริงจึงไม่ครบ 21 เส้น สมมุติว่าเราสามารถเห็นเส้นภาพในการสแกนในกรณีนี้เพียงครั้งละ 9.5 เส้นเท่านั้น

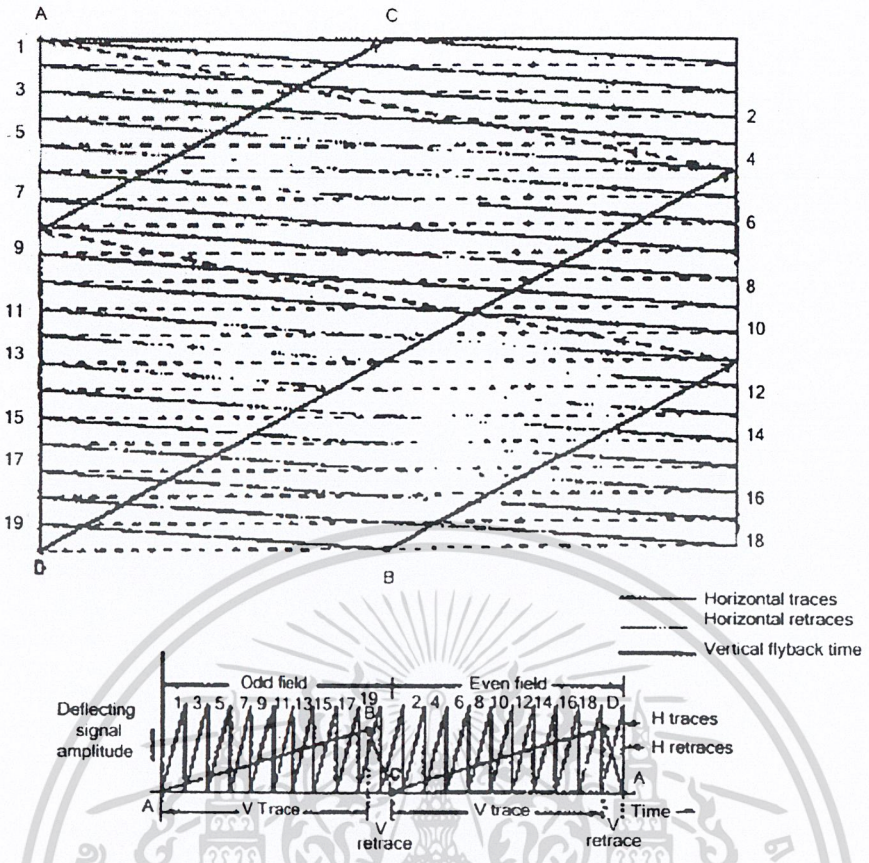
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เริ่มตั้งแต่การสแกนจากจุดมุมซ้ายบนสุด (จุด A) เส้นสแกนจะเรียกบีม (Beam) ลำอิเล็กตรอนจากทางซ้ายไปทางขวาและสบัดกลับ (Retrace) มาเริ่มต้นทางซ้ายอีกครั้งในตำแหน่งไลน์ที่ 3 (คำว่าเส้นภาพอาจจะใช้ทับศัพท์ว่าไลน์ก็ได้) และขบวนการสแกนเส้นภาพเส้นคี่จะดำเนินเป็นเหมือนครั้งแรกแล้วเริ่มไลน์ถัดไป จนกระทั่งได้ 9.5 เส้นหรือจุด B ซึ่งเป็นขอบล่างของจอภาพ การที่มันสามารถสแกนได้อย่างนี้เพราะในขณะนั้นมีสัญญาณเพื่อการเบี่ยงเบนลำอิเล็กตรอนทางแนวนอน ทำให้เกิดการเทรซและรีเทรซ โดยสัญญาณเบี่ยงเบนลำอิเล็กตรอนทางแนวตั้งจะถึงเส้นภาพที่ได้จากการสแกนมิให้เกิดการทับเส้นสแกนกัน จนกระทั่งแรงดึงดูดสูงสุดเมื่อเส้นภาพถึงจุด B ในเวลานี้เองจะเป็นช่วงเวลาของการรีเทรซสัญญาณทางแนวตั้ง ลำอิเล็กตรอนจึงลาดเอียงขึ้นไปทางด้านบนของทิศทางการสแกนจนกระทั่งสิ้นสุดที่จุด C อย่าลืมว่าในขณะที่เกิดการรีเทรซทางแนวตั้งสัญญาณเทรซและรีเทรซทางแนวนอนจะยังคงดำเนินต่อไป นี่เองที่ทำให้เส้นภาพที่ควรจะเกิดบนหน้าจอหายไป อย่างกรณีตัวอย่างนี้เราจะเห็นว่าขาดหายไปประมาณ 2 เส้นภาพ โดยขาดหายไปในระหว่างการสแกนเส้นคี่ 1 เส้นภาพ และเมื่อมีการสแกนเส้นคู่จากจุด C จนกระทั่งมาถึงจุด D จังหวะนั้นจะมีการรีเทรซทางแนวตั้งอีกครั้งจะพบว่าเส้นจะขาดหายไปอีก 1 เส้น

การที่จะให้การสแกนเส้นคี่และเส้นคู่ในระบบการสแกนแบบสอดแทรกเป็นไปในลักษณะที่เห็น (คือหากตอนแรกสแกนเส้นคี่ และครั้งต่อมาสแกนเส้นคู่ โดยเส้นคู่ที่เริ่มสแกนตรงส่วนบนของจอภาพจะเริ่มที่จุดกึ่งกลางของเส้นภาพ) ความถี่เพื่อการหักเหเบี่ยงเบนลำอิเล็กตรอนเพื่อการสแกนทางแนวตั้งและแนวนอนต้องแน่นอน มิฉะนั้นจะควบคุมสัญญาณฟันเลื่อยเพื่อการเทรซและรีเทรซไม่ได้เลย

ในช่วงการรีเทรซไม่ว่าจะเป็นทางแนวตั้งหรือแนวนอนจะต้องถูกควบคุมให้เกิด “แบลงกิ้ง” (Blanking) ซึ่งความหมายของแบลงกิ้งมีความหมายถึงการ “ทำให้มืด” (go to black) ดังนั้นสัญญาณภาพรวมต้องมีสัญญาณแบลงกิ้งส่งไปให้เครื่องรับลบเส้นสะบัดกลับด้วยในเวลาเดียวกัน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.9 หลักการเบื้องต้นที่เป็นตัวอย่างในการอธิบายเรื่องการสแกน

2.4 สัญญาณภาพรวม (Composite Video Signal)

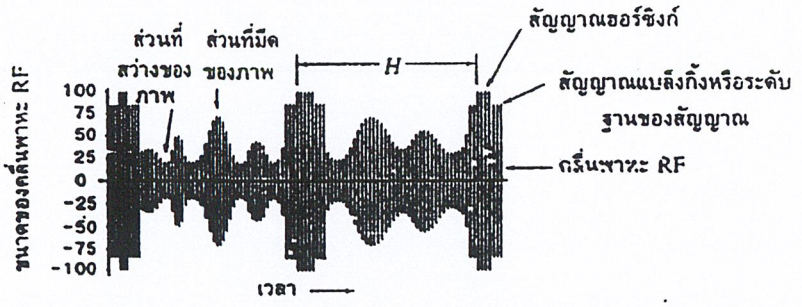
การเปลี่ยนภาพในรูปของแสงให้เป็นสัญญาณภาพ เมื่อจะส่งให้กับเครื่องรับเพื่อเปลี่ยนเป็นภาพ จะมีสัญญาณรวมอยู่กับสัญญาณภาพเพื่อช่วยในการสร้างภาพที่หน้าจอโทรทัศน์ ดังรูปที่ 2.10 ซึ่งประกอบไปด้วย

- สัญญาณลบเส้นสะบัดกลับหรือสัญญาณแบล็งกิ้ง
- สัญญาณควบคุมการสร้างความถี่เบี่ยงเบนหรือสัญญาณซิ้งค์
- สัญญาณรายละเอียดภาพหรือสัญญาณอีควอไลซิ่ง (Equalizing Pulse)

การรวมกับสัญญาณภาพจึงเรียกว่าสัญญาณภาพรวมเหตุผลสำคัญที่ต้องมีสัญญาณต่างๆ รวมอยู่กับสัญญาณภาพคือ

1. เพื่อให้เส้นสแกนที่หน้าจอภาพเกิดเป็นภาพตรงกับเส้นสแกนภาพที่กล้องโทรทัศน์
2. การเบี่ยงเบนทางแนวนอนของเครื่องส่งและเครื่องรับตรงจังหวะกัน
3. ในจังหวะสะบัดกลับของเส้นสแกนจะไม่ปรากฏสัญญาณภาพ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.10 สัญญาณภาพรวม

2.4.1 สัญญาณลบเส้นสะบัดกลับ (Blanking Pulse)

- สัญญาณลบเส้นสะบัดกลับเป็นสัญญาณที่ส่งให้กับภาคขยายสัญญาณภาพภาคสุดท้ายเพื่อหยุดการขยายสัญญาณภาพในขณะที่เส้นสแกนกำลังย้อนกลับมาตั้งต้นใหม่หรือสะบัดกลับมาตั้งต้นใหม่ การลบเส้นสะบัดกลับจะทำให้ไม่เห็นเส้นขณะย้อนกลับบนจอภาพ สัญญาณแบล็งกิ้งจะมีด้วยกันสองสัญญาณคือ สัญญาณลบเส้นสะบัดกลับทางแนวนอนและแนวตั้งซึ่งทำหน้าที่แตกต่างกันในช่วงเวลาที่แตกต่างกันคือ

- สัญญาณลบเส้นสะบัดกลับแนวนอน (Horizontal Blanking) ทำหน้าที่ลบเส้นสะกลับทางแนวนอนในช่วงสะบัดของเส้นสแกนจากด้านขวาของจอภาพให้กลับมาเริ่มต้นกราดทางด้านซ้ายของจอภาพ สัญญาณลบเส้นสะบัดกลับทางแนวนอนจะมีความถี่เท่ากับเส้นสแกนทางแนวนอนคือ 15,625 เฮิรตซ์

- สัญญาณลบเส้นสะบัดกลับทางแนวตั้ง(Vertical Blanking Pulse) ทำหน้าที่ลบเส้นสะบัดกลับทางแนวตั้ง ในช่วงเวลาสะบัดกลับของเส้นสแกนจากด้านล่างของจอภาพขึ้นมาเริ่มต้นที่ด้านบนของจอภาพ ซึ่งการสแกนเส้นคี่จะสิ้นสุดที่กึ่งกลางขอบล่างของจอภาพแล้วย้อนกลับไปเริ่มการสแกนเส้นคู่ที่กึ่งกลางด้านบนของขอบจอ ส่วนช่วงเวลาสะบัดกลับของการสิ้นสุดการสแกนเส้นคู่จะเริ่มสะบัดกลับมาที่ด้านขวาสุดของขอบจอภาพด้านล่าง แล้วย้อนกลับมาเริ่มสแกนเส้นคี่ที่ด้านซ้ายสุดของขอบจอภาพด้านบน ช่วงเวลาสะบัดกลับจะไม่เห็นการสแกน โดยการลบเส้นสะบัดกลับจะใช้ความถี่ 50 เฮิรตซ์ โดยสะบัดกลับในขณะที่สิ้นสุดการสแกนเส้นคี่ 25 ครั้ง และสิ้นสุดการสแกนเส้นคู่ 25 ครั้ง

2.4.2 สัญญาณซิงค์ (Sync)

สัญญาณซิงค์เป็นสัญญาณที่ทำหน้าที่ควบคุมการสแกนของเครื่องส่งและเครื่องรับให้ทำงานตรงกันในจังหวะการสแกนพร้อม ๆ กันสัญญาณซิงค์จึงเป็นสัญญาณหนึ่งที่ส่งมาจากเครื่อง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

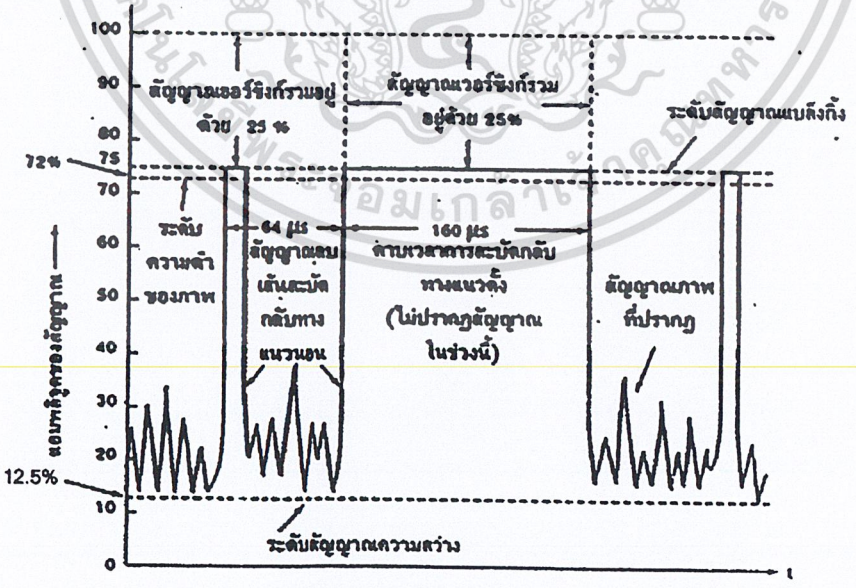
ส่งเพื่อให้เครื่องรับนำมาใช้ในการสร้างสัญญาณภาพการเบี่ยงเบนทางแนวตั้งและแนวนอนของภาค สร้างสัญญาณความถี่เบี่ยงเบน สัญญาณซิงค์จึงประกอบด้วย 2 สัญญาณคือ

- สัญญาณซิงค์ทางแนวตั้ง หรือเวอร์ซิงค์ (Vertical Sync) เป็นสัญญาณควบคุมการสร้างความถี่เบี่ยงเบนทางแนวตั้ง โดยจะมีอยู่ที่การสแกนของฟิลด์เส้นคี่และฟิบด์เส้นคู่ เพื่อเป็นจังหวะในการเริ่มการเบี่ยงเบนของลำอิเล็กตรอนทางแนวตั้ง ซึ่งจะใช้สัญญาณเวอร์ซิงค์ 5 ลูกอยู่ระหว่างสัญญาณอีควอไลซิ่ง

- สัญญาณซิงค์ทางแนวนอนหรือฮอร์ซิงค์(Horizontal Sync)เป็นสัญญาณควบคุมการสร้างความคี่เบี่ยงเบนทางแนวนอน โดยสัญญาณฮอร์ซิงค์จะอยู่ด้านบนของสัญญาณแบล็งกิ้งเพื่อเป็นจังหวะในการเริ่มต้นการเบี่ยงเบนทางแนวนอน สัญญาณฮอร์ซิงค์จะเริ่มจากประมาณ 75 เปอร์เซนต์ของสัญญาณรวมภาพมีความกว้างของสัญญาณ 4.7 ไมโครเซคคั่น

2.4.3 ความสัมพันธ์ความสัมพันธ์ระหว่างสัญญาณแบล็งกิ้งกับสัญญาณซิงค์

สัญญาณแบล็งกิ้งและสัญญาณซิงค์เห็นสัญญาณที่ทำงานสัมพันธ์กัน เมื่อมีการสแกนของเส้นจังหวะเริ่มต้นก็ตรงจังหวะกับทางเครื่องส่งและเมื่อสแกนจากซ้ายไปขวาสุดของขอบจอก็ต้องสะบัดกลับมาตั้งต้นใหม่ สัญญาณการสแกนทางแนวตั้งและแนวนอนกับสัญญาณการสะบัดกลับทางแนวนอนจึงต้องสัมพันธ์กัน ดังรูปที่ 2.11



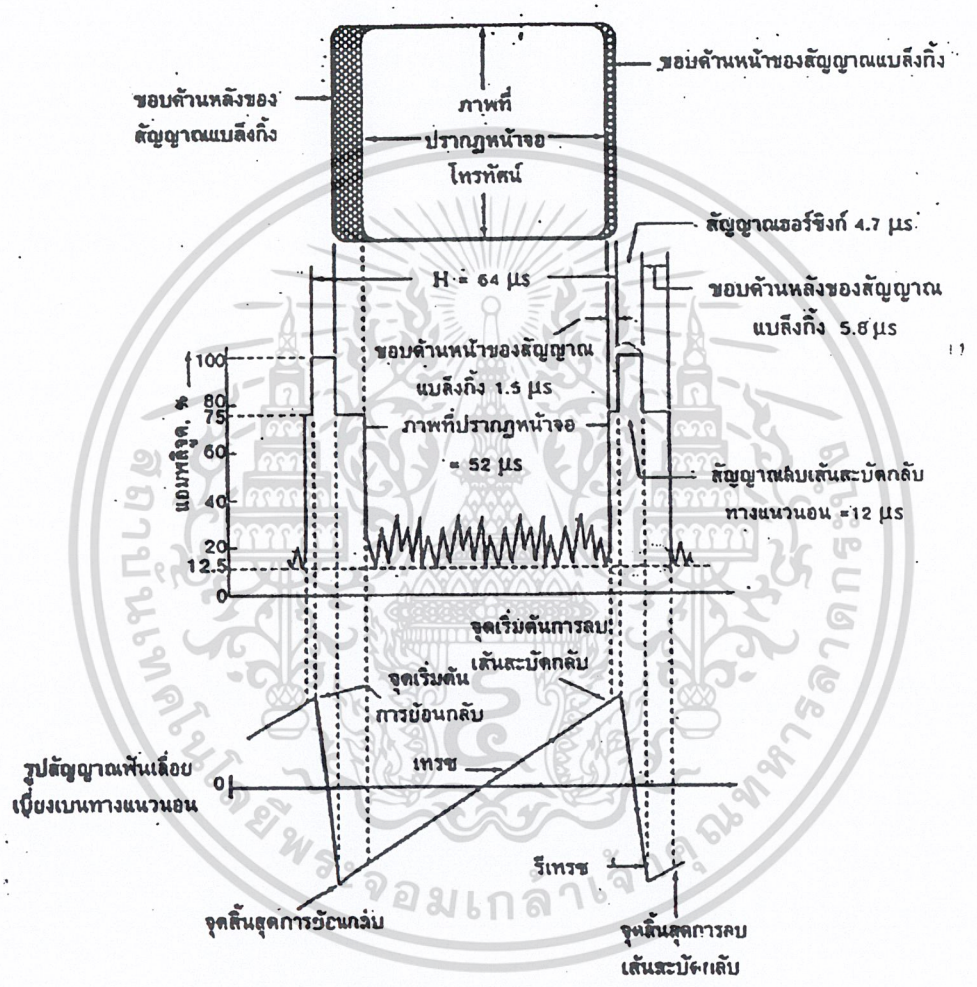
รูปที่ 2.11 ความสัมพันธ์ระหว่างสัญญาณแบล็งกิ้งกับสัญญาณซิงค์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สำนักหอสมุดกลาง พระจอมเกล้าลาดกระบัง

2.4.4 สัญญาณแบลึงกิ้งและสัญญาณฮอร์ซิงค์(Holizontal Blanking and Sync)

สัญญาณภาพในหนึ่งเส้นสแกนทางแนวนอนมาตราฐาน CCIR จะใช้เวลาในการสแกน 64 ไมโครเซคคั่น การเริ่มสแกนกระทำตามการเริ่มของฮอร์ซิงค์ เมื่อสิ้นสุดการสแกนหนึ่งเส้นก็จะสะบัดกลับมาตั้งต้นนใหม่โดยสัญญาณแบลึงกิ้ง ดังรูปที่ 2.12



รูปที่ 2.12 สัญญาณแบลึงกิ้งกับสัญญาณฮอร์ซิงค์

- คาบเวลาการสแกน คาบเวลาการสแกนทางแนวนอน เริ่มต้นจากขอบบนสุดของสัญญาณซิงค์รูปแรกถึงจุดเริ่มต้นของสัญญาณซิ้งค์อีกรูปหนึ่ง ใช้เวลา 64..มโครเซคคั่น ได้จากเส้นสแกนทางแนวนอน 625 เส้น ต่อภาพคูณจำนวนภาพ 25 ภาพในหนึ่งวินาที เท่ากับ 15,625 เส้น/วินาที ดังนั้นการสแกนทางแนวนอนต่อหนึ่งเส้นจะใช้เวลา

1/15,625=64 ไมโครเซคคั่น

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

46286

- เส้นสะบัดกลับทางแนวนอน เป็นหนึ่งในการสแกนทางแนวนอนโดยมีสัญญาณซิงค์แรกอยู่ด้วย ช่วงเวลาการสะบัดกลับโดยไม่ปรากฏลำแสงที่หน้าจอภาพจะเป็นช่วงมืดของจอภาพมีช่วงเวลาประมาณ 12 ไมโครเซคคั่น มีความคลาดเคลื่อนระหว่าง 11.8 ถึง 12.3 ไมโครเซคคั่น

- สัญญาณฮอร์ซิงค์ เป็นสัญญาณสำคัญที่ส่งมาจากเครื่องส่งเพื่อควบคุมการสแกนของเครื่องรับโทรทัศน์ให้ตรงจังหวะกับเครื่องส่งเพื่อให้เบี่ยงเบนลำอิเล็กตรอนได้อย่างถูกต้อง ช่วงความกว้างซิงค์ประมาณ 4.7 ไมโครเซคคั่นความคลาดเคลื่อนระหว่าง 4.5 ถึง 4.9 ไมโครเซคคั่น

- ช่องว่างด้านหน้าสัญญาณซิงค์ จากจุดเริ่มต้นของสัญญาณแบล็งกิ้งถึงจุดเริ่มต้นของสัญญาณซิงค์มีคาบเวลาประมาณ 1.5 ไมโครเซคคั่น ความคลาดเคลื่อนประมาณ 1.3 ถึง 1.8 ไมโครเซคคั่น

- ช่องว่างด้านหลังสัญญาณซิงค์ จากจุดสิ้นสุดของสัญญาณซิงค์ถึงจุดสิ้นสุดของสัญญาณแบล็งกิ้งมีคาบเวลาประมาณ 5.8 ไมโครเซคคั่น

2.4.5 สัญญาณแบล็งกิ้งและสัญญาณเวอร์ซิงค์

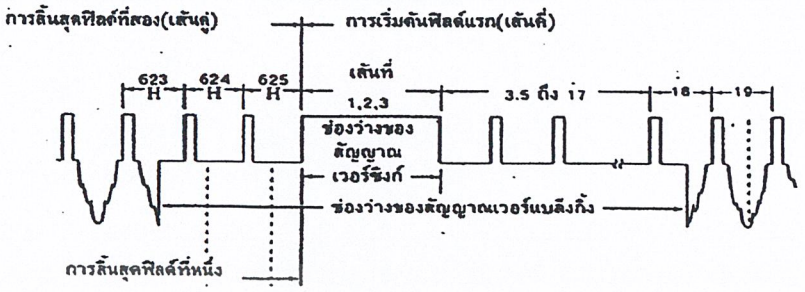
เมื่อสิ้นสุดการสแกนทางแนวนอน 312.5 เส้นของแต่ละฟิลด์ ก็จะเป็นหน้าที่ของสัญญาณแบล็งกิ้งทางแนวตั้งที่ทำให้เส้นการสแกนทางแนวนอนกลับไปเริ่มต้นสแกนต่อไปที่จุดเริ่มต้นด้านบนของขอบจอ พร้อมทั้งสัญญาณซิงค์ก็จะเบี่ยงเบนลำอิเล็กตรอนทางแนวตั้ง

- ช่องเวลาสะบัดกลับทางแนวตั้ง ในช่วงเวลานี้จะไม่ปรากฏสัญญาณภาพที่หน้าจอโทรทัศน์โดยการสะบัดกลับจะกระทำทั้งฟิลด์เส้นคี่และฟิลด์เส้นคู่ ใช้เวลาฟิลด์ละ 20 เส้น เส้นละ 64 รูปที่ 2.13 จะใช้เวลาในการสะบัดกลับในแต่ละฟิลด์ 64*20 เท่ากับ 1,280 ไมโครเซคคั่น

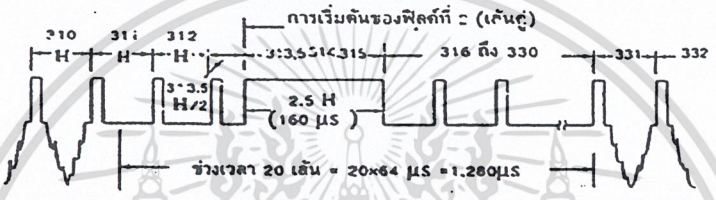
- การสะบัดกลับทางแนวตั้งของฟิลด์เส้นคี่ จะเริ่มสะบัดกลับตั้งแต่เส้นที่ 310 ทางแนวนอนของฟิลด์เส้นคู่ไปจนถึงเส้นที่ 330 ทางแนวนอนของฟิลด์เส้นคู่ดังรูปที่ 2.13 (ก)

- การสะบัดกลับทางแนวตั้งของฟิลด์เส้นคู่จะเริ่มสะบัดกลับตั้งแต่เส้นที่ 622.5 หรือ กึ่งกลางเส้นที่ 623 ทางแนวนอนในฟิลด์เส้นคู่ ไปจนถึงเส้นที่ 17.5 หรือกึ่งกลางเส้นที่ 18 ทางแนวนอนในฟิลด์เส้นคี่ดัง รูปที่ 2.13(ข)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



(ก) รูปสัญญาณการสแกนเส้นคู่



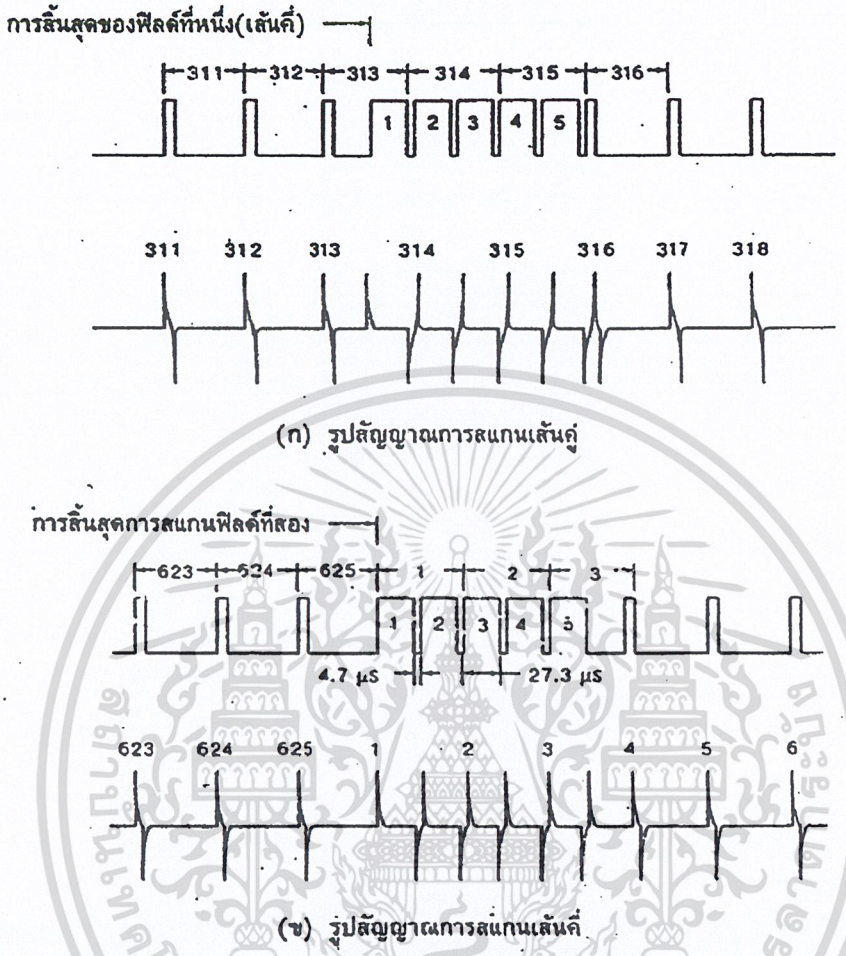
(ข) รูปสัญญาณการสแกนเส้นคี่

รูปที่ 2.13 สัญญาณแบล็งกิ้งและสัญญาณเวอร์ซิงค์

- สัญญาณเวอร์ซิงค์ฟิลด์เส้นคู่ จะใช้ความกว้างสัญญาณ 2.5 เส้นทางแนวนอนตั้งแต่เส้นที่ 312.5 หรือ กึ่งกลางเส้นที่ 313 จนถึงเส้นที่ 315 ในฟิลด์เส้นคู่ ความกว้างของสัญญาณเวอร์ซิงค์ 27.3 ไมโครเซคคั่น ช่องว่างระหว่างซิงค์ 4.7 ไมโครเซคคั่น จะมีด้วยกัน 5 ลูก ดังรูปที่ 2.14 (ก)

- สัญญาณเวอร์ซิงค์ฟิลด์เส้นคี่ เริ่มตั้งแต่ฟิลด์เส้นที่ 1 จนถึงเส้นที่ 2.5 หรือกึ่งกลางเส้นที่ 3 ในฟิลด์เส้นคี่ ความกว้างของสัญญาณเวอร์ซิงค์ 27.3 ไมโครเซคคั่น ช่องว่างระหว่างสัญญาณซิงค์ 4.7 ไมโครเซคคั่น ดังรูปที่ 2.14 (ข)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



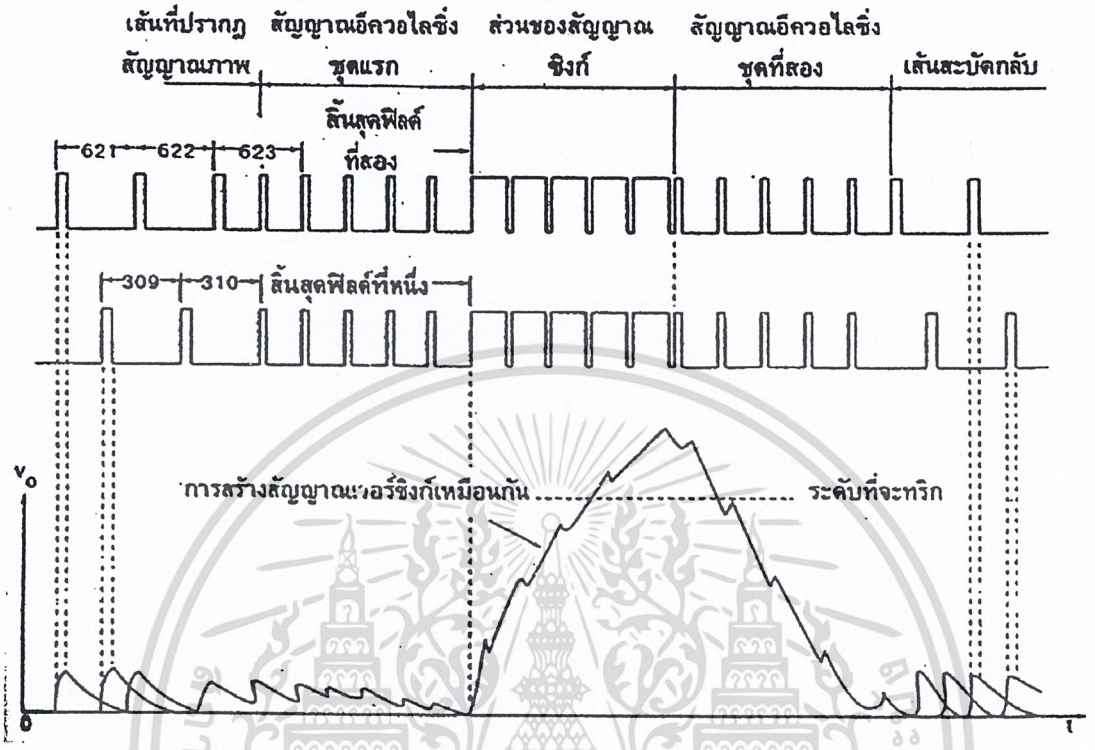
รูปที่ 2.14 สัญญาณซิงค์

2.4.6 สัญญาณอีควอไลซิ่ง

สัญญาณอีควอไลซิ่งหรือสัญญาณรายละเอียดของภาพ เป็นสัญญาณที่ทำหน้าที่ดูแลการสะบัดทางแนวตั้งเมื่อมีการสแกนของเส้นทางแนวนอนสิ้นสุดในฟิลด์เส้นคี่และฟิลด์เส้นคู่ ต้องถูกสัญญาณเวอร์แบล็งกิ้งเบี่ยงเบนให้กลับไปตั้งต้นที่ขอบบนของจอภาพอีกครั้ง การสิ้นสุดการสแกนในฟิลด์แรก (เส้นคี่) จะสิ้นสุดที่เส้น 312.5

ดังนั้นจะมีครึ่งหนึ่งของเส้นสแกนไม่ครบเส้นแล้วต้องกลับไปเริ่มต้นใหม่ ทำให้รายละเอียดของภาพขาดหายในขณะที่การสิ้นสุดการสแกนของฟิลด์ที่สอง (เส้นคู่) จะสิ้นสุดครบเส้นสแกนเส้นที่ 625 พอดี ดังรูปที่ 2.15

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.15 สัญญาณอีควอไลซิ่ง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 3

ตัวแปลงสัญญาณอนาลอกให้เป็นดิจิตอล หรือ A/D(Analog to Digital converter)

A/D Converter หรือ ADC ใช้สำหรับการแปลงสัญญาณอินพุท ที่เป็นจำนวนจำกัดของดิจิตอลบิท ผลลัพธ์ที่ได้จะอยู่ในรูปของเวิร์ด (Word) ทางดิจิตอลซึ่งจะกลายเป็นรหัสเลขฐานสองที่แทนระดับแต่ละระดับของสัญญาณอนาลอกในขณะที่กำลังแปลงสัญญาณอยู่

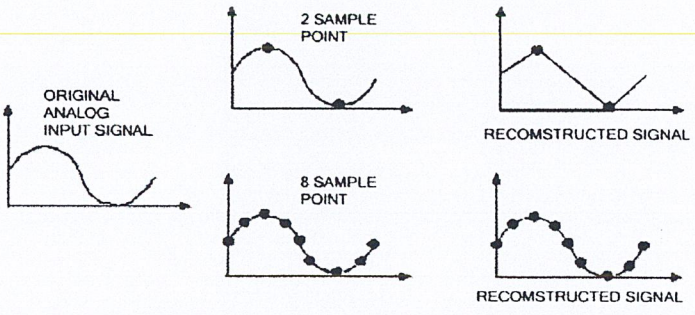
ค่าเวลาการแปรผัน (Conversion time) เป็นเกณฑ์ที่สำคัญอีกตัวหนึ่งของ ADC ตามที่ได้เห็นมา การแปลงสัญญาณอนาลอกให้เป็นสัญญาณดิจิตอล ไม่ได้เกิดขึ้นในทันทีทันใดแต่ต้องมีการผ่านกระบวนการต่างๆ ด้วย เหตุที่ผลลัพท์ ต้องการค่าเวลาค่าเวลาขณะหนึ่งที่จะทำการสุ่ม (Sampling) สัญญาณอินพุท และให้สัญญาณดิจิตอลที่เป็นรหัสไบนารี่ออกมาที่เอาท์พุท ดังนั้น ค่าเวลาการแปลงผัน คือ ช่วงเวลาที่ต้องการกระทำกระบวนการให้เสร็จสิ้น ซึ่งจะมีค่าอยู่ในช่วงประมาณไมโครเซคคั่นสำหรับ DAC ความเร็วสูงและเป็น มิลลิเซคคั่น สำหรับ DAC แบบธรรมดาเนื่องจากการเปลี่ยน ADC นั้นจะต้องการขบวนการซิงโครไนซ์ที่แน่นอนและแม่นยำ แหล่งกำเนิดสัญญาณนาฬิกาจึงต้องมีไว้ในวงจร

3.1 ทฤษฎีการสุ่มตัวอย่าง(Sampling Theory)

เนื่องจาก ADC ต้องการค่าเวลาขณะหนึ่งที่ใช้ในกระบวนการแปลงสัญญาณอนาลอกไปเป็นสัญญาณดิจิตอล ช่วงเวลาช่วงหนึ่งจะใช้สำหรับการสุ่มตัวอย่าง (Sampling) ของสัญญาณ เช่น ADC สามารถเปลี่ยนสัญญาณเสร็จสมบูรณ์ได้ภายใน 1 มิลลิเซคคั่น ดังนั้น มันจึงสามารถเปลี่ยนสัญญาณได้ 1000 ครั้งใน 1 วินาที อัตราการเปลี่ยนสัญญาณสูงสุดมีค่าเท่ากับส่วนกลับของค่าเวลาการเปลี่ยน

ตัวคอนเวอร์เตอร์จะสุ่มตัวอย่างของสัญญาณด้วยอัตราต่ำสุดเป็น 2 เท่า ของความถี่สูงสุดของสัญญาณอินพุทที่เข้ามา อัตราการสุ่มนี้เรียกว่า Nyquist rate

พิจารณาสัญญาณอนาลอกที่เป็นคลื่นสัญญาณรูปซายน์ 10 เฮิรตซ์ จ่ายให้กับตัว ADC ตามรูปที่ 3.1



รูปที่ 3.1 การสุ่มหลาย ๆ ช่วงจะมีลักษณะที่ใกล้เคียงกับสัญญาณเดิม

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

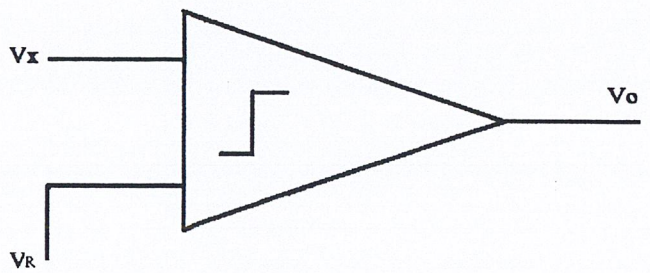
อัตราต่ำสุดของการสุ่มตัวอย่างเป็น 20 เฮิร์ท ซึ่งจะให้ข้อมูลดิจิตอลขนาด 2 บิท ออกมาในแต่ละไซเกิล เมื่อข้อมูลดิจิตอลถูกนำมาสร้างเป็นสัญญาณอนาลอกขึ้นมาใหม่ โดย DAC สัญญาณอนาลอกตัวใหม่มีลักษณะคล้ายคลึงกับสัญญาณเดิม ถ้าความถี่ 10 เฮิร์ท เป็นความถี่สูงสุดที่เข้ามายังตัว ADC ค่าเวลาที่ใช้ในการเปลี่ยนสัญญาณสูงสุดเป็น 1/20 เฮิร์ท หรือ 50 มิลลิเซคคั่น เป็นต้น

การที่เราจะปรับปรุงประสิทธิภาพของ ADC ในแง่ความเหมือนจริงของสัญญาณการแปลงให้อยู่ในรูปดิจิตอล เราจะต้องเพิ่มอัตราการสุ่มขึ้นในขณะที่คาบเวลาเท่าเดิมอัตราการสุ่ม 8 จุดต่อไซเกิล ต้องการอัตราการสุ่มของส่วนประกอบความถี่สูงสุดอินพุท 8 ครั้ง เช่น สัญญาณความถี่อินพุท 10 เฮิร์ท จะต้องสุ่มตัวอย่างที่ 80 เฮิร์ท ดังนั้น ตัวคอนเวอร์เตอร์ควรจะมีค่าเวลาการเปลี่ยนแปลงเป็น 1/80 เฮิร์ท หรือ 12.5 มิลลิเซคคั่น ถ้าตัว ADC ไม่สามารถสุ่มตัวอย่างได้เร็วพอต่อสัญญาณอินพุทที่เปลี่ยนแปลงไป ข้อมูลที่บรรจุในสัญญาณอนาลอกทางอินพุทจะสูญหายไปความสัมพันธ์ระหว่ามความถี่ทางอินพุท ค่าเวลาในการเปลี่ยนสัญญาณและอัตราการสุ่มเป็นพารามิเตอร์ของ ที่สำคัญตำแหน่งวิธีการหลาย ๆ วิธีได้ถูกพัฒนาในช่วงหลายปีที่ผ่านมา เพื่อที่จะทำการแปลงสัญญาณอนาลอกให้อยู่ในรูปของสัญญาณดิจิตอล วิธีที่ยังใช้จนถึงปัจจุบัน มีอยู่ด้วยกัน 6 วิธี

3.2 วิธีแปลงสัญญาณอนาลอกเป็นดิจิตอล

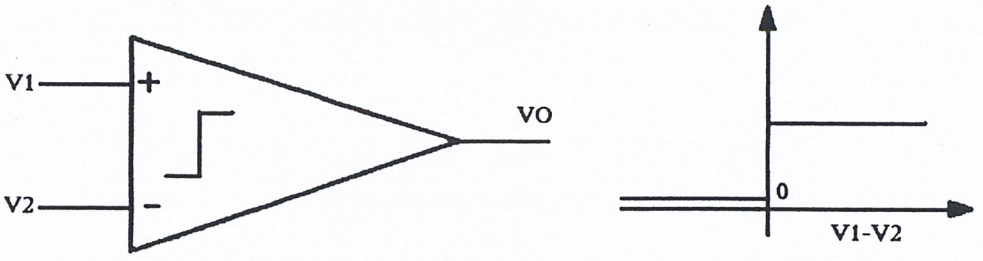
3.2.1 Basic conversion method

วิธีการแปลงสัญญาณอนาลอกเป็นดิจิตอลแบบง่าย ๆ แสดงดังรูปที่ 3.2 แรงดันอินพุทที่ไม่ทราบค่า V_x จะต่อเข้ากับขาอินพุทขาหนึ่งของอนาลอกคอมพาราเตอร์และแรงดันอ้างอิงที่ขนาดแปรตามเวลา VR ต่อเข้ากับขาอินพุทอีกขาหนึ่งของคอมพาราเตอร์ ลักษณะของทรานเฟอร์ฟังก์ชั่นของคอมพาราเตอร์แสดงในรูปที่ 3.2 ถ้าแรงดันอินพุท V1 มากกว่าอินพุท V2 แล้วแรงดันเอาท์พุทจะเป็นลอจิก 1 ถ้าอินพุทน้อยกว่า V2 แล้วเอาท์พุทจะเป็นศูนย์ วิธีในการแปลงข้อมูลคือ แรง ดันอ้างอิงจะถูกแปรค่าจนกระทั่งรู้ค่าแรงดันอินพุทที่ผิดพลาดไม่เกิน Quantization error ของคอนเวอร์เตอร์ในแนวความคิดแล้วตรรกะของ ADC สัมประสิทธิ์ไบนารี a1 เพื่อให้ผลต่างระหว่างแรงดันอินพุท V_x และค่าที่ Quantize ได้ครั้งสุดท้ายน้อยกว่า 0.5 LSB



รูปที่ 3.2 แสดงวิธีการพื้นฐานของ ADC

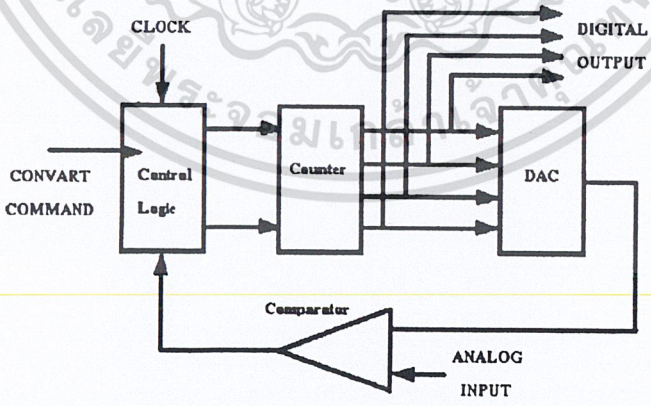
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.3 แสดงทรานส์เฟอร์ฟังก์ชั่นของคอมพาราเตอร์

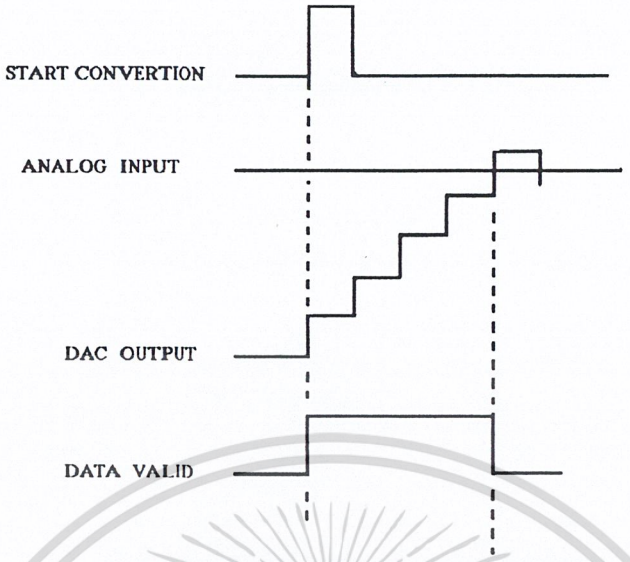
3.2.2 Counter Type ADC

การจัดวงจร ADC ลักษณะนี้เป็นแบบที่ง่ายที่สุดหลักการทำงานของวงจร คือ การเปรียบเทียบขนาดของแรงดันที่เอาท์พุทของ DAC กับสัญญาณอนาลอกที่ไม่ทราบค่า V_{in} การทำงานจะเริ่มโดยสัญญาณ Start conversion ลอจิกคอนโทรลจะรีเซตเคาท์เตอร์ให้เป็นศูนย์ แล้วเริ่มนับขึ้นจากศูนย์ เอาท์พุทของเคาท์เตอร์ (Counter) จะป้อนให้ DAC เพื่อแปลงเป็นสัญญาณอนาลอกลักษณะเป็นขั้นบันได นำมาเปรียบเทียบกับสัญญาณอนาลอกอินพุทที่คอมพาราเตอร์ โดยเคาท์เตอร์จะยังนับจนกระทั่งเอาท์พุทเท่ากับสัญญาณอนาลอกอินพุทหรือต่างกันไม่เกิน 1 LSB แล้วคอมพาราเตอร์จะเปลี่ยนสถานะไปหยุดการนับของเคาท์เตอร์และแลทช์ค่าจากเคาท์เตอร์เพื่อรอการประมวลต่อไปและรอสัญญาณเริ่มต้นใหม่



ก. บล็อกไดอะแกรมของ Couter Type ADC

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



ข.Timing Diagram ของ Counter Type ADC

รูปที่ 3.4 บล็อกไดอะแกรมและไทม์มิ่งไดอะแกรมของ Counter Type ADC

วงจรนี้มีข้อเสียคือ ทำงานได้ช้าเพราะการ Conversion แต่ละครั้งเคาท์เตอร์จะต้องถูกรีเซตและเริ่มนับจากศูนย์ทุกครั้ง ดังนั้นในการ Conversion เป็นดิจิตอล n บิท จะใช้จำนวนนาฬิกา (clock) ถึง 2^n เพื่อเปลี่ยนให้ได้ค่าสูงสุดเต็มสเกล ส่วนข้อดี คือ สร้างง่าย รวดเร็ว ราคาถูกแต่ความแม่นยำขึ้นอยู่กับ DAC

3.2.3 Tracking ADC

Tracking ADC จะปรับปรุงวงจรจากแบบ Counter Type ทางด้านความเร็ว โดยใช้เคาท์เตอร์แบบนับขึ้นลงได้โดยไม่จำเป็นต้องเริ่มนับจากศูนย์ทุกครั้ง แต่จะเริ่มนับจากค่าที่ได้แลตช์ไว้จากการเปลี่ยนสัญญาณครั้งล่าสุด ดังนั้น ส่วนควบคุมทางลอจิกจึงซับซ้อนมากกว่าโดยการทำงานจะ เป็นดังนี้ O/P จาก ADC จะถูกเปรียบเทียบกับสัญญาณ I/P หาก V_{in} น้อยกว่าเคาท์เตอร์จะนับลงจนกว่าค่าหลังสุดของเคาท์เตอร์จะต่างจากสัญญาณอนาลอก I/P ไม่เกิน 1 LSB และค่าเคาท์เตอร์จะถูกแลตช์ไว้จากนั้นเคาท์เตอร์จะทำงานแบบติดตาม (Track) สัญญาณ I/P จะได้ค่าเท่ากันอีกก็จะแลตช์ค่าใหม่ไว้

จากลักษณะการทำงานดังกล่าว V_{in} จะต้องไม่เปลี่ยนแปลงเร็วกว่าการทำงานของเคาท์เตอร์ มิฉะนั้นค่า O/P ที่ได้จะไม่สอดคล้องกับค่าสัญญาณ I/P ตัวอย่างในกรณีนี้คือ สัญญาณรูปซายน์ซึ่งเปลี่ยนแปลงขนาดได้มากที่สุดเท่ากับค่าเต็มสเกล อัตราการเปลี่ยนแปลงจะเท่ากับ อัตราการเปลี่ยนแปลง ของ O/P ของเคาท์เตอร์คือ 1 LSB/clock period ดังนั้น ถ้าต้องการให้ ADC ตาม I/P ได้จะต้องให้ f_c น้อยกว่า1/2n เท่าของ f_n

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.2.4 Integrating ADC

หัวใจสำคัญของวงจร ADC ชนิดนี้คือ Integrator เทคนิคของการ ADC แบบ Integration คือจะใช้สัญญาณ ramp ต่อเนื่องแทนสัญญาณขั้นบันไดจาก DAC ซึ่งแบ่งตามลักษณะการทำงานได้สองแบบ คือ Single Slope Converter และ Dual Slope Converter

3.2.4.1 Single Slope Converter

สัญญาณอนาลอกแบบ ramp จะใช้ใช้เป็นแรงดันอ้างอิงที่เพิ่มอย่างคงที่จาก ค่าต่ำกว่าศูนย์เล็กน้อย จนถึงค่าสูงสุดกว่าเต็มสเกลเล็กน้อย ซึ่งเวลาที่ใช้จากการสแกนของสัญญาณ ramp จากศูนย์จนถึงค่าแรงดัน O/P จะเป็นสัดส่วนกับแรงดัน I/P

การ Conversion จะเริ่มด้วยสัญญาณ Start Conversion ทำการ reset ไบนารีเคาท์เตอร์ และเริ่มสร้างสัญญาณ ramp จากแรงดันที่ต่ำกว่าศูนย์โวลท์เมื่อสัญญาณ ramp ผ่าน ศูนย์โวลท์ O/P จากคอมพาราเตอร์ 2 จะอยู่ในสถานะสูง (Hight) และเปิดเกทปล่อยพัลส์เข้าสู่เคาท์เตอร์ เคาท์เตอร์จะเริ่มนับจนกระทั่งสัญญาณ ramp มีขนาดเท่าแรงดันอินพุท Vin ในเวลานี้เอาท์พุทจากคอมพาราเตอร์ 1 จะ hight และปิดเกทไม่ให้ clock เข้าสู่เคาท์เตอร์ จำนวนพัลส์จากเคาน์เตอร์จะเป็นสัดส่วนแรงดันกับอินพุท เนื่องจาก VR = KT โดยให้ R เป็น slop ของ ramp (ซึ่งคงที่)ในหน่วย V/sec และ T เป็นจำนวนในการเคาท์เตอร์หารด้วย f_o ซึ่งเป็นความถี่ของสัญญาณ clock ถ้าเลือกให้ slop ของ ramp เป็น V_{FSR} $f_o/2n$ จำนวนเคาท์เตอร์นับได้จะเท่ากับอัตราส่วนทางไบนารี หรือ V_{in} เวลามากที่สุด

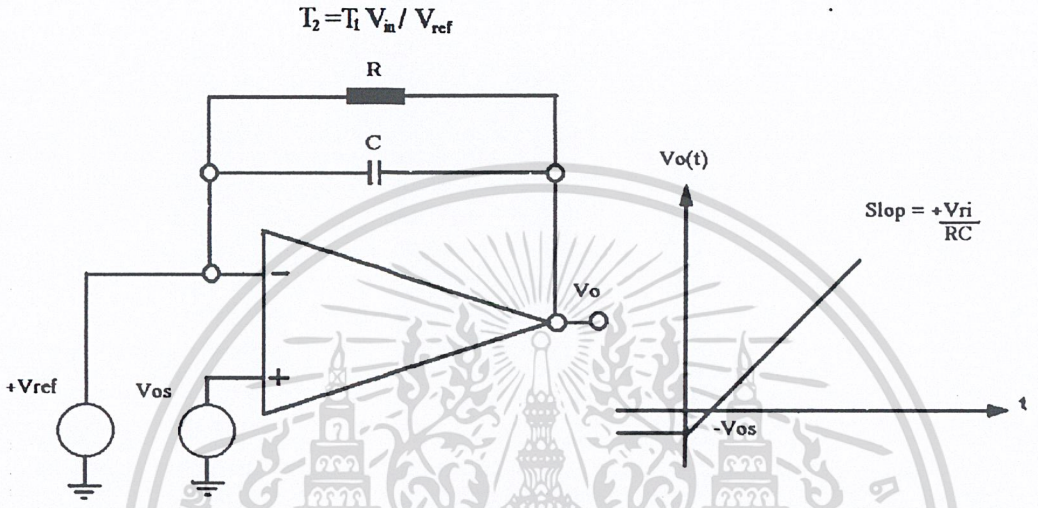
เมื่อ $V_{in} = V_{FSR}$ คือ $T_{MAX} = 2n/f_o$ และเช่นเดียวกันกับใน ADC แบบเคาท์เตอร์ ramp ค่าของรหัส O/P สุดท้าย จะต่างจากค่าของ V_{in} ไม่เกิน 0.5 LSB ในรูปที่ 3.5 แสดงวงจรกำเนิดของแรงดัน ramp อย่างง่าย โดยการต่อแรงดันอ้างอิงกับอินติเกรเตอร์ เมื่อ SW เปิด C จะทำการประจุและเพิ่มขนาดแรงดันO/P ข้อเสียอีกประการหนึ่งคือ หากใช้งานไปนานๆ การเปลี่ยนแปลงค่า RC ตามอุณหภูมิจะทำให้ slop คลาดเคลื่อนด้วยเหตุนี้ ADC ชนิดนี้จึงไม่เป็นที่นิยมใช้ในปัจจุบัน

3.2.4.2 Dual Slope Converter

ADC แบบ Dual slope ได้รับการพัฒนาขึ้นมาเพื่อแก้ไขจุดบกพร่องของ single slope ADC การจัดวงจรแสดงในรูปที่ 3.5 ในแต่ละวัฏจักรของการทำงานของวงจร จะมีสองช่วงคือ T_1 , T_2 ในเวลา T_1 จะเป็นช่วงที่ได้รับการออกแบบให้มีค่าแน่นอนคงที่ในช่วงเวลานี้สัญญาณอินพุทจะต่อเข้ากับอินทิเกรเตอร์ผ่านสวิทซ์ ซึ่งทำให้เอาท์พุทที่ถูกอินทิเกรท V_{int} เป็นสัญญาณ ramp ที่ขนาดเพิ่มขึ้นทางบวกและสโลปขึ้นกับขนาดของ Vin จนกระทั่ง V_{int} ถึงค่า ๆ หนึ่งเมื่อสิ้นสุด T_1 ในช่วงเวลา T_2 อินพุทจะถูกตัดออกจากอินทิเกรเตอร์และต่อกับแรงดันอ้างอิง ซึ่งมีค่าลบเข้ากับอินพุทของอินทิเกรเตอร์ โดยการควบคุมทางลอจิก ในลักษณะเช่นนี้จะทำให้ V_{int} ลดลงด้วยสโลปคงที่จากการคายประจุผ่านลง -Vref เมื่อเริ่มต้นเวลา T_2

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

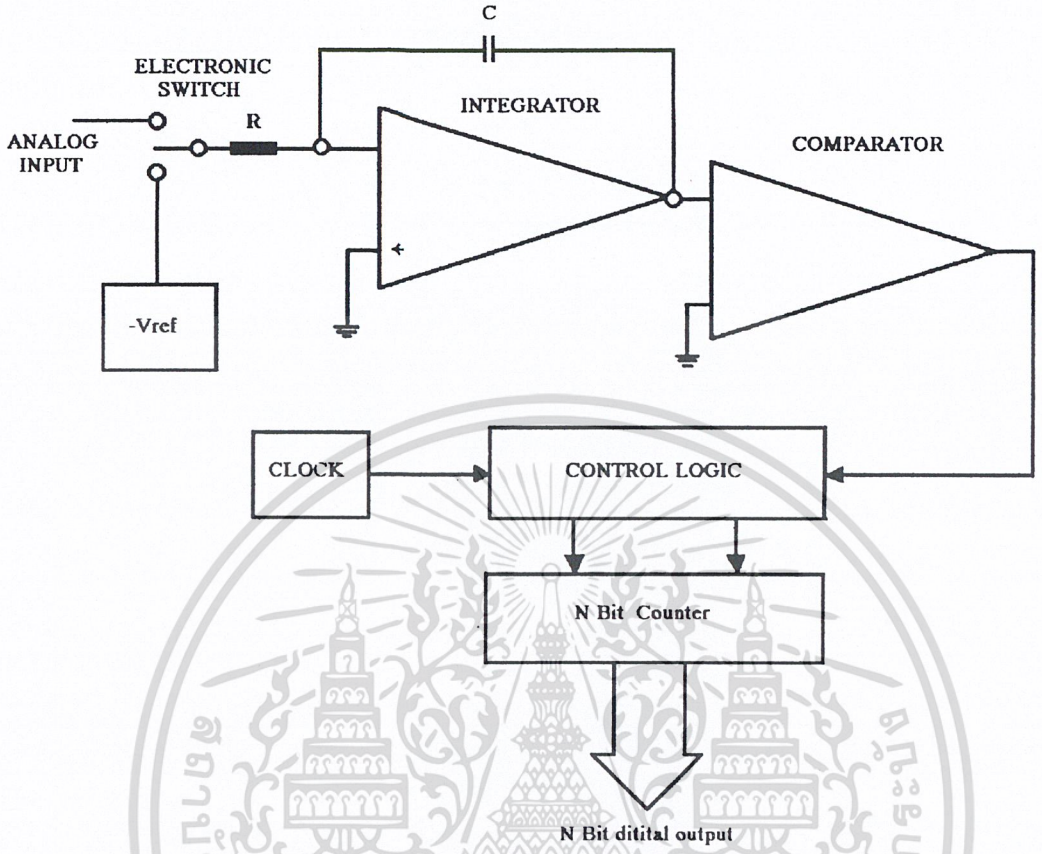
เคาน์เตอร์จะรีเซ็ทและเริ่มนับจนเมื่อ V_{int} มีค่าลดถึงศูนย์ คอมพาราเตอร์จะเปลี่ยนสถานะไปบอกส่วนควบคุมลอจิกให้หยุดนับและเอาท์พุทของเคาน์เตอร์จะถูกแปลงเป็นรหัสดิจิตอลความสัมพันธ์ระหว่างช่วงเวลากับแรงดันอินพุทจะเป็นไปตามสมการ



รูปที่ 3.5 วงจร Ramp voltage generator อย่างง่ายและลักษณะของเอาท์พุท

ดังนั้นรหัสดิจิตอลที่แสดงค่า T_2 จะแสดงค่าอัตราส่วนของแรงดันอินพุทต่อแรงดันอ้างอิงด้วย คุณลักษณะสำคัญของ dual slope มีหลายประการคือ ประการแรกเป็นความแม่นยำของมันไม่ขึ้นอยู่กับเสถียรภาพของสัญญาณ clock และตัวเก็บประจุ แต่จะขึ้นอยู่กับค่าความเที่ยงตรงของแรงดันอ้างอิงและความเป็นเชิงเส้นของอินทิเกรเตอร์ ประการที่สอง การจำกัดสัญญาณรบกวนด้วยตนเองของวงจรสามารถทำได้ ถ้าเซ็ทให้ T_1 มีขนาดเท่ากับคาบเวลาของสัญญาณรบกวน เช่น ในการจำกัดสัญญาณ 50 เฮิร์ท T_1 จะให้มีค่า 20 ms ส่วนข้อเสียที่สำคัญของ ADC นี้คือ ความเร็วในการ conversion ค่อนข้างต่ำจึงมักนิยมใช้กับเครื่องมือวัดที่ไม่ต้องการความเร็ว เช่น ดิจิตอลมิเตอร์ เป็นต้น

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.6 บล็อคไดอะแกรมของ Dual Slope ADC

3.2.5 Successive Approximation ADC

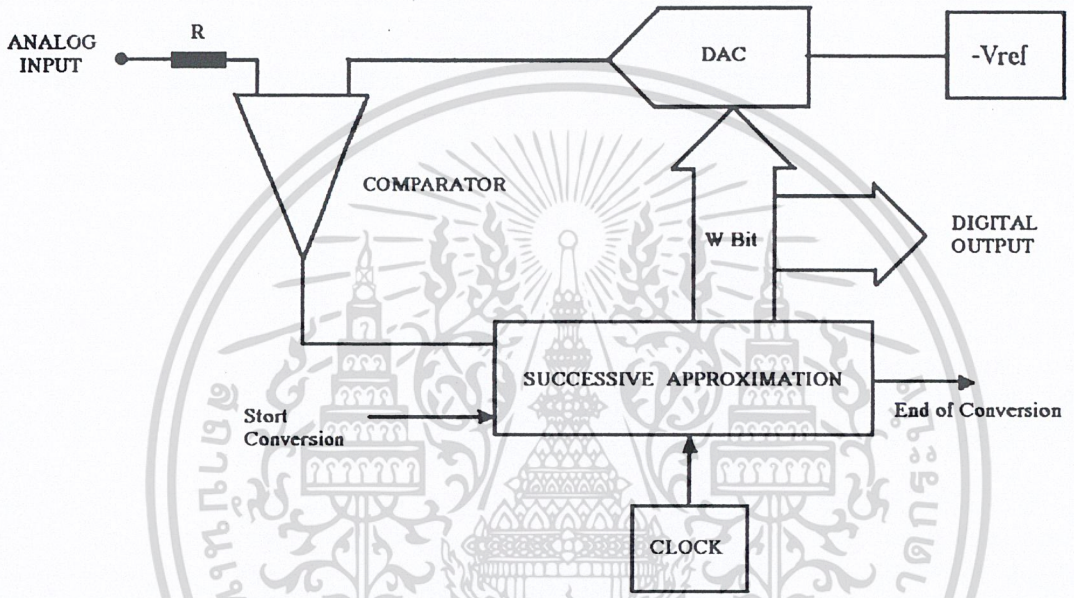
วงจร ADC ชนิดนี้ได้รับความนิยมในงานประยุกต์ที่ต้องการความเร็วปานกลางและค่อนข้างสูง การจัดวงจรจะคล้ายกันแบบเคาน์เตอร์ที่ทำงานในลักษณะการป้อนกลับ ซึ่งบล็อกไดอะแกรมในรูปที่ 3.7 แสดงฟังก์ชั่นต่าง ๆ ใน ADC ชนิดนี้คอมพาราเตอร์จะคอยเปรียบเทียบเอาท์พุทจาก DAC กับอนาลอกอินพุท Vin เอาท์พุทจะไปควบคุมSuccessiveApproximationResistor (SAR) ซึ่งเป็นไอซี MSI(Medium Scale Integrated Circuit) ที่ได้รับการออกแบบเป็นพิเศษเพื่อทำหน้าที่นี้โดยเฉพาะ

การทำงานของ ADC แบบนี้เปรียบเทียบได้กับการใช้งานของตาชั่งสองแขน เมื่อวัตถุที่ต้องการทราบน้ำหนักเสมือนเป็นอินพุทของ ADC และเอาท์พุทที่เป็นดิจิตอลบิท เสมือนเป็นตุ้มน้ำหนักมาตรฐานที่จะวางบนจานอีกข้างหนึ่ง เมื่อตาชั่งที่ยังไม่สมดุลย์ จะต้องมีการปรับตุ้มน้ำหนักมาตรฐานจนกว่าจะเกิดสมดุลย์ ในรูปที่ 3.7 คอมพาราเตอร์จะเป็นตัวตรวจสอบการสมดุลย์ดังกล่าวและ SAR จะทำหน้าที่ปรับแต่งดิจิตอลบิท (ตุ้มน้ำหนักมาตรฐาน)

มีข้อจำกัดประการหนึ่งสำหรับการ conversion คือ สัญญาณอนาลอกอินพุท จะต้องคงที่ในช่วงเวลาที่ทำการเปลี่ยนแปลงสัญญาณได้ไม่เกิน LSB ในช่วงสุดท้ายของการเปลี่ยนสัญญาณดิจิตอลเอาท์พุทมาขนสนกันทุกบิท แต่บางแบบจะให้เอาท์พุทออกมาในลักษณะอนุกรม วงจร ADC แบบนี้สามารถ

เอกสารนี้สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ทำงานได้สองโหมด คือ โหมดที่ทำงานโดยอิสระ (free run) และโหมดทีรอคำสั่ง strat conversion จากภายนอก เวลาที่ใช้ในการเปลี่ยนสัญญาณใช้ (n+1) ลูกของ pule clock โดย clock ลูกแรกจะใช้ในการรีเซ็ทรีจิสเตอร์ภายใน สุดท้ายคุณภาพของระบบจะขึ้นอยู่กับคุณภาพของ ADC ในระบบอย่างยิ่ง



รูปที่ 3.7 บล็อกไดอะแกรมของ Successive Apploximation ADC

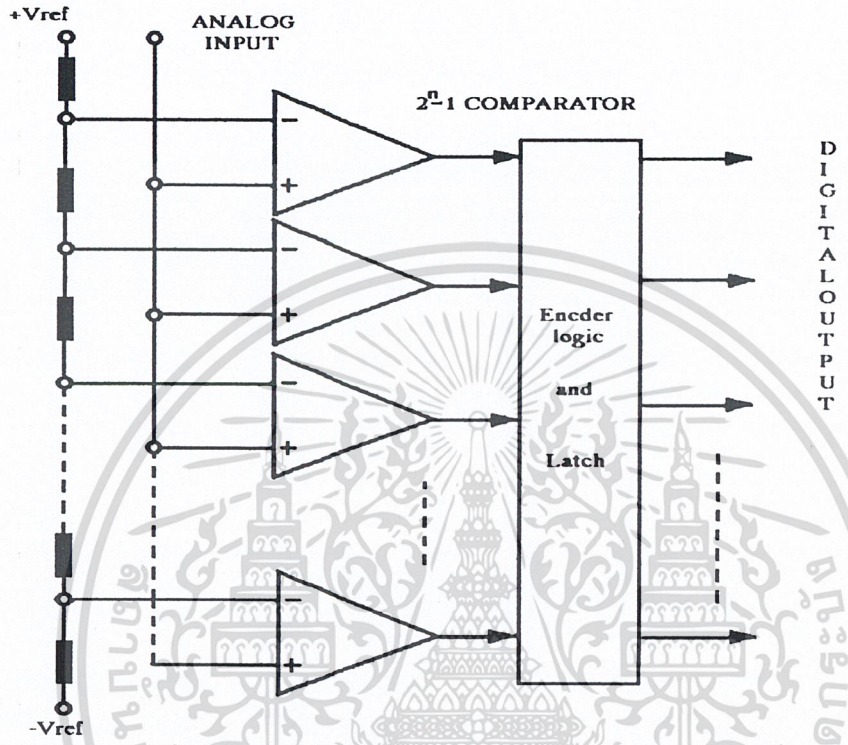
3.2.6 แฟลช ADC (Flash A/D)

แฟลชคอนเวอร์เตอร์เป็น ADC ที่เร็วที่สุดในบรรดา ADC ที่ใช้เทคนิคแบบอื่น ๆ ลักษณะของวงจรแฟลชคอนเวอร์เตอร์จะใช้ชุดของตัวเปรียบเทียบ (comparator) ที่ต่อขนานกันเพื่อจะทำการแปลงสัญญาณอนาลอกทางอินพุทให้เป็นรหัสทางดิจิตอล ดังนั้น แฟลชคอนเวอร์เตอร์จึงเป็นคอนเวอร์เตอร์แบบขนาน

พิจารณาในรูปที่ 3.8 ตัวต้านทานที่ต่ออนุกรมกันจะอยู่ในรูปที่ 3.8 วงจรแบ่งแรงดันที่ตกคร่อมตัวเปรียบเทียบแต่ละตัวแรงดันอินพุทสูงสุดจะขึ้นอยู่กับค่าของ สัญญาณเอาท์พุทจากตัวเปรียบเทียบแต่ละจะเป็น 1 หรือ 0 ซึ่งเป็นระดับสัญญาณลอจิกของวงจรดิจิตอล เมื่อไม่มีแรงดันอินพุทเข้า เอาท์พุทของตัวเปรียบเทียบแต่ละตัว จะมีลอจิก 0 ต่อมาแรงดันอินพุทเพิ่มขึ้นเอาท์พุทของตัวเปรียบเทียบแต่ละตัวจะมีลอจิก 1 ไล่ตามลำดับขึ้นไป เมื่อแรงดันอินพุทมีมากกว่าแรงดันอ้างอิงแต่ละค่าที่ถูกเซ็ทโดยวงจรแบ่ง

เอกสารนี้มีลิขสิทธิ์ ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

แรงดัน เน็ทเวอร์คของดิจิตอลเกทถูกใช้ในการเรียงลำดับของสัญญาณจากตัวเปรียบเทียบให้อยู่ในรูปรหัสของเลขฐานสองซึ่งเป็นการสร้างรหัสที่เอาท์พุทของคอนเวอร์เตอร์



รูปที่ 3.8 แฟลชคอนเวอร์เตอร์ที่มีความเร็วในการเปลี่ยนแปลงสัญญาณสูง วงจรง่ายแต่รายละเอียดต่ำ

จากตัวอย่างในรูปที่ 3.8 เป็น ADC ขนาด 2 บิท ซึ่งไม่สามารถนำไปใช้งานได้จริงๆ ได้เนื่องจากความละเอียดต่ำเกินไป จะพบว่าวงจรจะใช้วงจรเปรียบเทียบ 2-1 ตัว เป็นการแสดงถึงความละเอียดของคอนเวอร์เตอร์ขนาด 2 บิท ต้องการตัวเปรียบเทียบ 2^2-1=3 ตัว เป็นการแสดงถึงความละเอียดของคอนเวอร์เตอร์ขนาด 4 บิท ตัวเปรียบเทียบ 2^4-1=15 ตัว คอนเวอร์เตอร์ขนาด 8บิท ต้องการตัวเปรียบเทียบถึง 2^8-1=255 ตัว จะเห็นได้ว่าคอนเวอร์เตอร์ยิ่งมากขึ้นเท่าไร ตัวเปรียบเทียบก็ต้องมากขึ้นทวีคูณ จะทำให้เกิดความยุ่งยากซับซ้อน ในการสร้างวงจรแฟลชคอนเวอร์เตอร์ขึ้นมาใช้ ซึ่งเป็นข้อเสียของ ADC ชนิดนี้และข้อเสียอีกประการคือเมื่อใช้ตัวเปรียบเทียบมากขึ้น วงจรก็จะใหญ่เกินไปที่จะใช้งานจริงได้ แต่วงจรแฟลชคอนเวอร์เตอร์มีข้อดีด้านความเร็ว เพราะสัญญาณอนาลอกจากอินพุทจะเข้ามาที่ตัวเปรียบเทียบพร้อม ๆกัน ในช่วงเวลาการเปลี่ยนนั้นมีค่าเท่ากัน จึงใช้เวลาน้อย

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

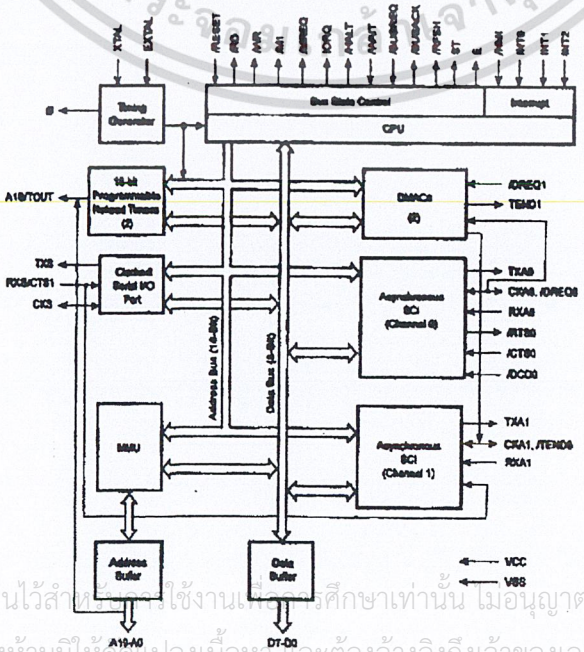
บทที่ 4

CPU Z80180

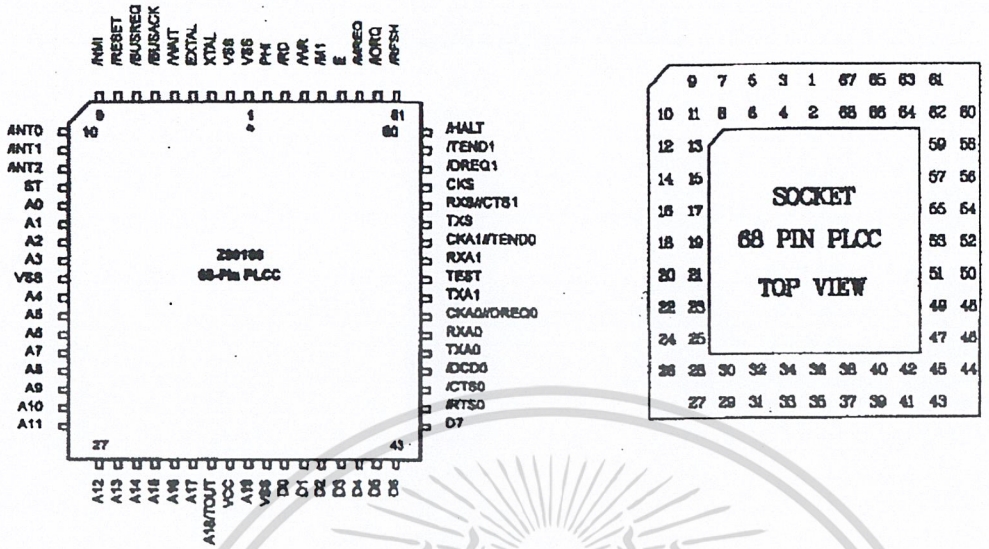
4.1 คุณสมบัติและโครงสร้างของ Z80180

Z80180 เป็น CPU ที่มีความสามารถสูงที่ได้รวม CHIP สำคัญอื่น ๆ ไว้ใน CPU CHIP เดียว จึงทำให้มีลักษณะคล้ายกับ CPU ที่ใช้ในงาน CONTROL ในจำพวก " SINGLE CHIP " แต่เนื่องจาก SINGLE CHIP มีข้อดี คือ เป็นระบบเล็กราคาถูก แต่ข้อเสีย คือ การโปรแกรม CONTROL ค่อนข้างยากในตอนเริ่มต้นและกับระบบงานที่ใหญ่ขึ้นจะเขียนโปรแกรมได้ยาก แต่ Z80180 ทางด้านโปรแกรมจะสะดวกอย่างมากเพราะคำสั่งที่ใช้มีมาก และตรงไปตรงมาทั้งคู่มือภาษาไทยและตัวอย่างการใช้งานอย่างมากมาย เพราะ CPU Z80180 นี้เป็น SUPER COMPAT Z80 คือ คำสั่งทั้งหมดยังเป็น Z80 และได้เพิ่มชุด คำสั่งขึ้นมาเพื่อเพิ่มความสะดวกในการใช้งานขึ้นอีก

เมื่อมองดูระบบ MICRO CONTROLLER " SINGLE CHIP " แล้ว Z80180 จะด้อยกว่าตรงที่ไม่มี ROM, RAM และ PORT แต่ถ้าเป็นในระดับงานอุตสาหกรรมแล้วระบบของ Z80180 กับ CHIP MICRO CONTROLLER แล้วจะไม่ต่างกันเลยเพราะความต้องการเนื้อที่ในการเก็บข้อมูลมากและ PORT มากตามมาจึงทำให้ต้องต่อเพิ่มวงจรภายนอกขึ้น ทำให้ Z80180 ในระดับงาน CONTROL อุตสาหกรรมดล่องตัวกว่ามากเพราะภายใน Z80180 ประกอบด้วย CMOS, OSCILATOR ในตัว RUN ที่ 10 MHz-20 MHz, MMU CHIP อ้าง MEMORY ได้ 1MBYTE, DMA 2 CHANEL, PORT สื่อสาร UART 2 CHANEL, CLOCK SERIAL I/O, 16 BIT TIMER COUNTER และเกี่ยวกับ PORT สื่อสาร สามารถทำ MULTI PROCESSOR COMMUNICATION ซึ่งโครงสร้างของ CHIP นี้จะเป็นดังรูป



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.1 โครงสร้างของ Z80180

4.2 ขาการใช้งานของ Z80180

A0-A19 ADDRESS BUS 20 เส้น ระหว่าง RESET จะเป็น HIGH IMPEDANCE

BUSAK BUS ACKNOWLEDGE เป็นขา OUTPUT ACTIVE LOW ทำงานก็ต่อเมื่อ Z80180 ตอบสนองต่อการขอ BUS ของ BUSRQ และจะ ทำให้ BUS ข้อมูล BUS ADDRESS และสัญญาณ CONTROL บางเส้นเป็น HIGH IMPEDANCE

BUSRQ BUS REQUEST เป็นขา INPUT ACTIVE LOW ซึ่งจะมีความ สำคัญสูงกว่า NMI โดยจะมีการตรวจสอบสัญญาณนี้ทุก ๆ การสิ้นสุดของ MACHINE CYCLE

CKA0, CKA1 ASYNCHRONOUS CLOCK 0 และ 1 เป็นขาสัญญาณ CLOCK แบบ 2 ทิศทาง คือ จะใช้เป็นขา INPUT หรือ OUTPUT ก็ได้

CKS SERIAL CLOCK เป็นขา CLOCK 2 ทิศทางของ CSI/O

CLOCK เป็นขา OUTPUT โดยจะเป็นครึ่งหนึ่งของ X'TAL หรือ CLOCK OUT เช่น X'TAL 12 MHz Z80180 จะ RUN ที่ 6 MHz

CTS0-CTS1 CLEAR TO SEND 0 และ 1 เป็นขา INPUT ACTIVE LOW ใช้ในการควบคุม MODEM

D0-D7 DATA BUS เป็นแบบ 2 ทิศทาง

DCDO DATA CARRIER DETECT 0 เป็นขา INPUT ACTIVE LOW ใช้ควบคุมในการติดต่อกับ MODEM ของ ASCI CHANEL 0

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

DREQ0-DREQ1 DMA REQUEST 0 และ 1 เป็นขา INPUT ACTIVE LOW ใช้ในการขอ DMA และขานี้จะโปรแกรมได้ว่าให้ตรวจสัญญาณที่ขอบหรือระดับได้

E ENABLE CLOCK เป็นขา OUTPUT ACTIVE HIGH ซึ่งใช้ซิงค์ การทำงานกับอุปกรณ์ภายนอกระหว่างการทำงานเกี่ยวกับ BUS และ ใช้เชื่อมต่อกับอุปกรณ์ในตระกูล 68xx และ 80xx

HALT เป็นขา OUTPUT ACTIVE LOW จะทำงานเมื่อทำคำสั่ง HALT หรือ SLP

INTO MASKABLE INTERRUPT 0 เป็นขา INPUT ACTIVE LOW สัญญาณที่ขานี้จุถูกตรวจทุก ๆ การสิ้นสุดของคำสั่ง

INT1 , INT2 เช่นเดียวกับ INT0 แต่มีระดับความสำคัญรองลงมาตามลำดับ

IORQ เป็นขา OUTPUT เพื่อบอกว่ากำลังติดต่อกับ I/O หรือขา IOE ใน 64180

M1 MACHINE CYCLE 1 เป็นขา OUTPUT ACTIVE LOW จะทำงาน เมื่อ FETCH OP-CODE หรือเป็นขาของ 64180 LIR

NM1 NON MASKABLE INTERRUPT เป็นขา INPUT ACTIVE LOW ขานี้จะตอบรับการ INTERRUPT เสมอ โดยไม่สามารถหยุดด้วย SOFTWARE

RD เป็นขาที่ใช้ทำการอ่านข้อมูลจาด MEMORY หรือ I/O

RFSH เป็นขาที่ให้ ADDRESS LOW (A0-A7) ไป REFRESH DYNAMIC RAM หรือขา REF ของ 64180

RTS0 REQUEST TO SEND เป็นขา OUTPUT ACTIVE LOW ขานี้ใช้โปรแกรมสัญญาณควบคุมโมเด็มของASCI CANEL 0

RXA0 , RXA1 RECEIVE DATA 0 และ 1 เป็นขารับสัญญาณจาก SERIAL ของ ASCI

RXS CLOCK RERIAL RECEIVE DATA เป็นขารับสัญญาณ SERIAL ของ CSIO

ST STATUS เป็นขา OUTPUT ACTIVE HIGH ใช้แสดงสถานะการทำงานของ CPU โดยร่วมกับ M1 และ HALT ดังตาราง

ST	HALT	M1	Operation
0	1	0	CPU operation (1 st op-code fetch)
1	1	0	CPU operation (2 nd op-code and 3 rd op-code fetch)
1	1	1	CPU operation (MC except for op-code fetch)
0	X	1	DMA operation
0	0	0	HALT mode

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

1	0	1	SLEEP mode (Including SYSTEM STOP MODE)

NOTE X: Don't care

MC: Machine cycle

TEND0-TEND1 TRANSFER END 0 และ 1 เป็นขา OUTPUT ACTIVE LOW ใช้ แสดงถึงว่าทำ DMA สิ้นสุดลงแล้ว

TOUT TIMER OUT ใช้กำเนิดพัลส์จาก PRT CHANEL 1

TXA0, TXA1 TRANSMIT DATA 0 และ 1 เป็นขาส่งข้อมูล SERIAL ของ ASCI

TXS CLOCK SERIAL TRANSMIT DATA เป็นขาส่งข้อมูล SERIAL ของ CSIO

WAIT ขา INPUT ACTIVE LOW จะถูกตรวจที่ขอบขาลงของ CLOCK ลูกที่ 2 ของทุก ๆ MACHINE เพื่อเป็นการรอให้อุปกรณ์ภายนอกทำงานให้ทันกับการทำงานของ CPU

WR ใช้สำหรับการส่งข้อมูลไปยัง I/O หรือ MEMORY

X'TAL เป็นขาที่ใช้ต่อกับ X'TAL

ขาที่ MULTIPLEX

A18/TOUT ระหว่าง RESET จะเป็น A18 แต่ถ้ามีการเลือก SET BIT TOC1 หรือ TOC0 ใน TIMER CONTROLREGISTOR (TCR) ก็จะทำหน้าที่เป็น TOUT

CKA0/DREQO ระหว่าง RESET ขานี้จะเป็น CKA0 แต่ถ้า DM1 หรือ SM1 ใน DMA MODE REGISTOR (DMODE) ถูก SET เป็น 1 จะเป็นขา DREQO

CKA1/TEND0 ระหว่าง RESET จะเป็นขา CKA1 แต่ถ้า BIT CKA1D ใน ASCI ถูก SET จะเป็นขา TEND0

RXS/CTS1 ระหว่าง RESET ขานี้จะเป็นขา RXS ถ้า BIT CTS1E ใน ASDI ถูก SET จะเป็นขา CTS1

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4.3 รีจิสเตอร์ภายในของ Z80180 (INTERNAL I/O REGISTOR)

ซึ่งมีด้วยกัน 64 I/O ADDRESS ดังแสดงในรูป

	Register	Mnemonic	Address	
			Binary	Hexadecimal
ASCI	ASCI Control Register A Ch0	CNTLA0	XX000000	00H
	ASCI Control Register A Ch1	CNTLA1	XX000001	01H
	ASCI Control Register B Ch0	CNTLB0	XX000010	02H
	ASCI Control Register B Ch1	CNTLB1	XX000011	03H
	ASCI Status Register Ch0	STAT0	XX000100	04H
	ASCI Status Register Ch1	STAT1	XX000101	05H
	ASCI Transmit Data Register Ch0	TDR0	XX000110	06H
	ASCI Transmit Data Register Ch1	TDR1	XX000111	07H
	ASCI Receive Data Register Ch0	RDR0	XX001000	08H
	ASCI Receive Data Register Ch1	RDR1	XX001001	09H
CSI/O	CSI/O Control Register	CNTR	XX001010	0AH
	CSI/O Transmit/Receive Data Register	TRDR	XX001011	0BH
Timer	Timer Data Register Ch 0L	TMDR0L	XX001100	0CH
	Timer Data Register Ch 0H	TMDR0H	XX001101	0DH
	Reload Register Ch 0L	RLDR0L	XX001110	0EH
	Reload Register Ch 0H	RLDR0H	XX001111	0FH
	Timer Control Register	TCR	XX010000	10H
	Reserved		XX010001	11H
			∫	∫
			XX010011	13H
	Timer Data Register Ch 1L	TMDR1L	XX010100	14H
	Timer Data Register Ch 1H	TMDR1H	XX010101	15H
	Reload Register Ch 1L	RLDR1L	XX010110	16H
	Reload Register Ch 1H	RLDR1H	XX010111	17H
Others	Free Running Counter	FRC	XX011000	18H
	Reserved		XX011001	19H
			∫	∫
			XX011111	1FH

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

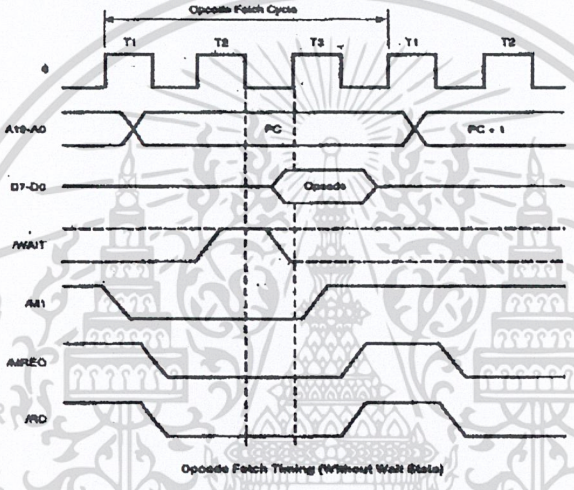
I/O Address Map

	Register	Mnemonic	Address	
			Binary	Hexadecimal
DMA	DMA Source Address Register Ch 0L	SAR0L	XX100000	20H
	DMA Source Address Register Ch 0H	SAR0H	XX100001	21H
	DMA Source Address Register Ch 0B	SAR0B	XX100010	22H
	DMA Destination Address Register Ch 0L	DAR0L	XX100011	23H
	DMA Destination Address Register Ch 0H	DAR0H	XX100100	24H
	DMA Destination Address Register Ch 0B	DAR0B	XX100101	25H
	DMA Byte Count Register Ch 0L	BCR0L	XX100110	26H
	DMA Byte Count Register Ch 0H	BCR0H	XX100111	27H
	DMA Memory Address Register Ch 1L	MAR1L	XX101000	28H
	DMA Memory Address Register Ch 1H	MAR1H	XX101001	29H
	DMA Memory Address Register Ch 1B	MAR1B	XX101010	2AH
	DMA I/O Address Register Ch 1L	IAR1L	XX101011	2BH
	DMA I/O Address Register Ch 1H	IAR1H	XX101100	2CH
	Reserved		XX101101	2DH
	DMA Byte Count Register Ch 1L	BCR1L	XX101110	2EH
	DMA Byte Count Register Ch 1H	BCR1H	XX101111	2FH
	DMA Status Register	DSTAT	XX110000	30H
	DMA Mode Register	DMODE	XX110001	31H
	DMA/WAIT Control Register	DCNTL	XX110010	32H
INT	IL Register (Interrupt Vector Low Register)	IL	XX110011	33H
	INT/TRAP Control Register	ITC	XX110100	34H
	Reserved		XX110101	35H
	Register	Mnemonic	Address	
			Binary	Hexadecimal
Refresh	Refresh Control Register	RCR	XX110110	36H
	Reserved		XX110111	37H
MMU	MMU Common Base Register	CBR	XX111000	38H
	MMU Bank Base Register	BBR	XX111001	39H
	MMU Common/Bank Area Register	CBAR	XX111010	3AH
I/O				

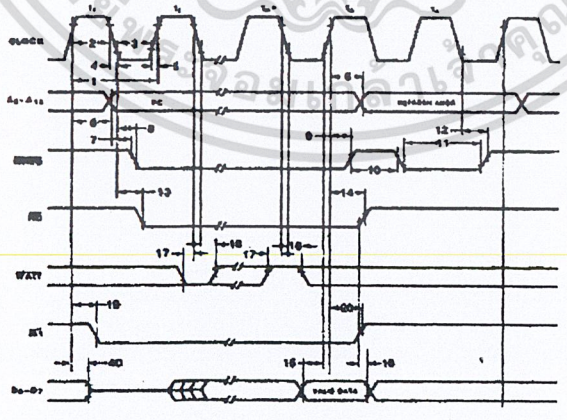
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เกี่ยวกับ TIMING

ให้ดูรายละเอียดในคู่มือฉบับภาษาอังกฤษ แต่กล่าวสรุปได้ว่า Z80180 ใช้เวลาในการทำคำสั่งใน 1 MACHING CYCLE น้อยกว่า Z80 อยู่ 1 T STATE คือ ใช้เวลาใน 1 MACHINE CYCLE เพียง 3 T STATE ในขณะที่ Z80 ใช้ 4 T STATE จะเห็นได้ว่าในขณะที่ให้ Z80180 RUN ความถี่เดียวกันกับ Z80 CPU Z80180 ก็ยังให้ความเร็วกว่า Z80 ถึงอีก 25% แต่ในขณะเดียวกัน Z80180 ยังสามารถต่อ CLOCK สูงกว่า Z80 ได้มากกว่า 1 เท่า จึงทำให้ความเร็วในการทำงานของ Z80 ดีกว่ามาก ดูรูปเปรียบเทียบ T STATE ของ Z80 กับ Z80180



(ก) CPU Z80180 MACHINE CYCLE



(ข) CPU Z80 MACHINE CYCLE

รูปที่ 4.2 เปรียบเทียบ MACHINE CYCLE ของ Z80 กับ Z80180

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

WAIT STATE GENERATOR

Z80180 ทำงานด้วยความถี่ที่สูงขึ้นจึงอาจทำให้ MEMORY หรือ I/O ทำงานไม่ทันจึงต้องมีสัญญาณมาเป็นตัวช่วยกำหนดความพร้อมระหว่าง CPU กับอุปกรณ์ภายนอกนั่นก็คือสัญญาณ WAIT ซึ่งZ80 นั้นจะต้องให้อุปกรณ์ภายนอกส่งสัญญาณนี้มาให้ แต่ Z80180 ยังสามารถให้โปรแกรมจำนวน WAIT STATE เพื่อเพิ่มเข้าไปในขณะที่ CPU ปฏิบัติคำสั่งหรือทำ DMA ด้วยการโปรแกรมจะให้ 4 BIT ของ DMA/WAIT CONTROL REGISTER (DCNTL I/O ADDRESS 32H)

BIT 7	6	5	4	3	2	1	0
MWI1	MWI0	IWI1	IWI0	-	-	-	-

DCNTL MEMORY WAIT INSERTION 32H

จะทำการเพิ่มจาก 0-3 WAIT STATE ของการเข้าถึง MEMORY โดยการโปรแกรม

MWI1	MWI0	จำนวน WAIT STATE
0	0	0
0	1	1
1	0	2
1	1	3

BIT 5, 4 IWI1, IWI0 (I/O WAIT INSERTION)

จะทำการเพิ่ม WAIT STATE ให้กับ I/O ภายนอก จาก1-6 ดังตาราง

IWI1	IWI0	I/O ภายนอก	INT0
0	0	1	2
0	1	2	4
1	0	3	5
1	1	4	6

จะเห็นว่า WAIT STATE ของ I/O มากกว่า MEMORY อยู่หนึ่ง T STATE เพราะขณะเข้าถึง I/O ปกติ WAIT STATE จะถูกเพิ่มขึ้น 1 อยู่แล้ว ดังนั้นเมื่อเพิ่ม WAIT STATE เข้าไปก็จะ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รวมกับที่มีอยู่ปกติและส่วน INT0 ก็เช่นเดียวกัน ขณะเกิด INT0 ปกติ จะมี WAIT STATE อยู่ 2 WAIT STATE อยู่แล้ว และขณะที่ RESET BIT CONTROL WAIT STATE ทั้ง 4 จะเป็น 1 ทั้งหมด คือ อยู่ใน MODE ของ MAX WAIT STATE

HALT และ LOW POWER MODE

มีด้วยกัน 4 MODE คือ

HALT MODE โดยทำคำสั่ง 76H จะทำให้ CPU หยุดทำคำสั่ง แต่การทำงานต่าง ๆ ของ CPUยังทำปกติ การออกจาก HALT โดย RESET หรือ INTERRUPT

SLEEP MODE โดยการทำคำสั่ง SLP ซึ่ง CPU จะหยุด CLOCK ภายใน ทำให้ ADDRESS เป็น HIGH, DATA BUS เป็น TRISTATE, DRAM REFRESH, INTERNAL DMAC หยุดทำงาน การออกจาก SLEEP MODE โดยการ RESET หรือ INTERRUPT

IOSTOP MODE ใช้หยุดการทำงานของ CHIP ภายในคือ ASCI, CSI/O และ PRT โดยการ SET BIT ใน I/O CONTROL REGISTER (ICR I/O ADDRESS 3FH) เป็น 1 และจะให้ทำงานต่อก็ RESET หรือโปรแกรมให้ BIT เป็น 0

SYSTEM STOP MODEเป็นการรวมกันของ ISOTOP กับ SLEEP MODE โดยการ SET BIT ใน ICR แล้วตามด้วยคำสั่ง SLP จะทำให้ IO ภายในหยุดทำงานและ CPU หยุดทำงานเพื่อเป็นการประหยัดพลังงาน ซึ่งใน MODE นี้ CPU จะกินกระแสเพียง 7.5 MA ในขณะปกติจะกินกระแสประมาณ 35 MA เมื่อจะออกจาก SYSTEM STOP MODE ก็โดยการ RESET หรือINTERRUPT จากภายนอก

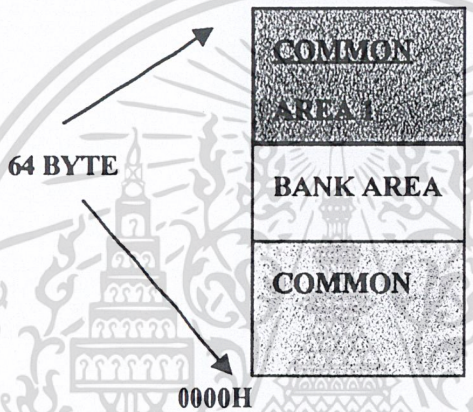
4.4 MEMORY MANAGEMINT UNIT (MMU)

เนื่องจาก Z80180 สามารถอ้างหน่วยความจำได้ 1024 K BYTE แต่ในชุดคำสั่งของ Z80 นั้นไม่มีคำสั่งใดที่จะอ้างข้ามเกิน 64 K BYTE ได้ และด้วยเป็นการที่ไม่ให้กระเทือนต่อผู้ที่เคยใช้ Z80 อยู่แล้ว การเขียนโปรแกรมและการอ้างถึงหน่วยความจำก็ยังคงสภาพเดิมใน 64 K BYTE แต่ในการปฏิบัติงานของ CPU Z80180 จริง ๆ ที่จะกระทำกับหน่วยความจำทั้ง 1024 K BYTE จะมี MMU มาเป็นผู้จัดการในการเข้าถึงตำแหน่งอันแท้จริง 00000H-FFFFFH ซึ่งในการปฏิบัติงาน จะถูกแยกเป็น 2 แบบ คือ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

- ส่วนของ USER เรียกว่า LOGICAL ADDRESS (0000H-FFFFH) เป็นส่วนที่ถูกเรียกใช้ในโปรแกรมที่ผู้ใช้เขียนขึ้นมีขอบเขต 64 K BYTE
- ส่วนของ CPU เรียกว่า PHYSICAL ADDRESS (00000H-FFFFFH) เป็นตำแหน่งที่ CPU ใช้ในการปฏิบัติงานจริง 1024 K BYTE

LOGICAL ADDRESS 64 K BYTE จะถูกแยกเป็น 3 ส่วน ดังนี้



LOGICAL ADDRESS

COMMON AREA0, 1 ส่วนนี้เมื่อเรียกตำแหน่งทาง LOGICAL ที่กำหนดไว้ ไม่ว่าการทำงานของ CPU จะอยู่ใน PHYSICAL จริงที่ใดก็ตาม จะกลับมายังตำแหน่งที่กำหนดเป็น COMMON นั้น นั่นก็คือ COMMON จะตาม CPU ไปทุก ๆ ตำแหน่งที่กำลังปฏิบัติงานอยู่

BANK AREA จะมีลักษณะการทำงานเป็น PAGE เมื่อย้ายตำแหน่งที่เกิน PAGE ที่กำหนดไปยัง PAGE อื่น ก็จะไม่สามารถติดต่อ PAGE ก่อนหน้านี้ได้

การกำหนดตำแหน่งในการใช้งานของ LOGICAL ADDRESS

จะมี REGISTER ชื่อ COMMON/BANK AREA REGISTER (BAR:I/O ADDRESS=3AH) ซึ่งใช้กำหนดตำแหน่งการเรียกให้ในทางโปรแกรม (LOGICAL) ขนาด 1 BYTE โดยแบ่งออกเป็น 2 NIBBLES คือ

HIGH NIBBLE ใช้กำหนดค่าของ **CA (COMMON AREA1 (D7-D4))**

LOW NIBBLE ใช้กำหนดค่าของ **BA (BANK AREA) (D3-D0)**

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

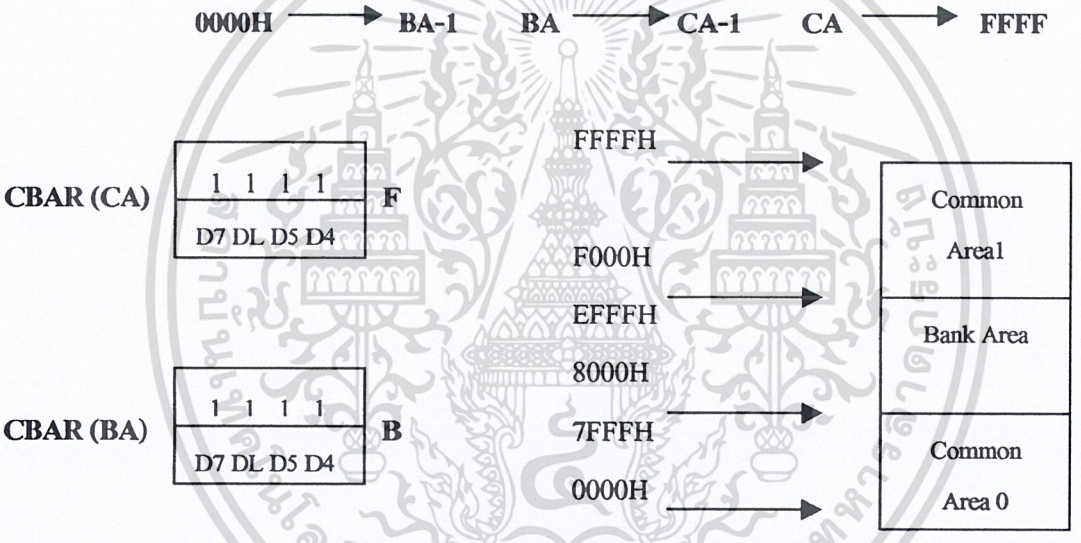
การมองค่าใน CBAR ค่าแต่ละ NIBBLE จะ X 0 0 0 H จาก LOGICAL ที่ถูกแยกเป็น 3 ส่วน จะได้การกำหนดค่าดังนี้

ตำแหน่ง 0000H ⟶ วิ่งไปชน BANK AREA (ค่าที่กำหนดใน BA-1)

ตำแหน่งใน BA ⟶ วิ่งไปชน COMMON AREA1 (ค่าที่กำหนดใน CA-1)

ตำแหน่ง CA ⟶ วิ่งไปชนตำแหน่ง FFFFH

ตัวอย่าง กำหนดให้ CBAR=F8 ดังนั้น CA=F และ BA=8 ตำแหน่ง LOGICAL จะเป็นดังนี้



COMMON AREA0 เมื่อถูกเรียกใช้ทางโปรแกรมอยู่ในขอบเขต 32 KBYTE จาก ADDRESS 0000H-7FFFH

BANK AREA จะมีขอบเขตในการเรียกใช้ทาง LOGICAL 28 KBYTE จาก ADDRESS 8000H-EFFFH

COMMON AREA1 จะมีขอบเขตในการเรียกใช้ทาง LOGICAL 4 KBYTE จาก ADDRESS F000H-FFFFH

ในส่วนของ BANK AREA และ COMMON AREA1 สามารถกำหนดตำแหน่งการใช้งานจริงว่าให้อยู่ส่วนใดของหน่วยความจำขนาด 1024 KBYTE ได้จากค่า REGISTER ขนาด 8 BIT คือ BANK BASE REGISTER (BBR:ADDRESS 39H) และ COMMON BASE REGISTER (CBR:ADDRESS 38H) ตามลำดับโดย

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ตำแหน่งใน 1024 KBYTE (PHYSICAL ADDRESS)=BANK AREA หรือ COMMON AREA1+(BBRหรือCBR*1000H)จาก LOGICAL ที่กำหนด ต้องการให้ BANK AREA อยู่ที่ตำแหน่ง 18000 และ COMMON AREA1 อยู่ที่ตำแหน่ง 30000H ดังนั้น PHYSICAL ADDRESS เราทราบแล้วสิ่งที่ต้องการหาคือ ค่าใน BBR หรือ CBR จากสูตรด้านบนเปลี่ยนใหม่เป็น

$$BBR = \frac{18000H - 8000H}{1000H} = 10H \qquad H\text{เลขฐาน}16$$

$$CBR = \frac{30000H - F000H}{1000H} = 21H$$

เช่นเมื่อมีการอ้างถึงตำแหน่ง 8000H ในโปรแกรม ตำแหน่ง 18000H BANK AREA จะทำงาน และถ้าอ้างถึงตำแหน่ง F007H จากโปรแกรม ตำแหน่ง 30007H จะทำงาน และถ้ามีการเปลี่ยนค่าใน BBR หรือ CBR ตำแหน่ง PHYSICAL ของ BANK AREA หรือ COMMON AREA 1 จะเปลี่ยนไป ในขณะการอ้างถึงทาง LOGICAL ยังคงเดิม เช่นเปลี่ยนค่า BBR จาก 10H เป็น 08H เมื่อมีการอ้างถึงตำแหน่ง 8000H ในโปรแกรม PHYSICAL ของ BANK AREA จะถูกทำงานที่ตำแหน่ง 10000H แทน

4.5 การอินเตอร์รัพ (INTERRUPT)

มีด้วยกัน 12 อินเตอร์รัพ(INTERRUPT) แบ่งเป็น 4 อินเตอร์รัพ (INTERRUPT) ภายนอก และ 8 อินเตอร์รัพ (INTERRUPT) ภายใน โดยมีลำดับความสำคัญจากมากไปหาน้อย ดังนี้ TRAP (ภายใน), (ภายนอก) NMI, INT0, INT1, INT2, (ภายใน) TIMER0, TIMER1, DMA CHANEL0, DMA CHANEL1 CLOCK SERIAL, ASCI CHANEL0 และ ASCI CHANEL1

REGISTOR และ FLAG ที่ใช้ควบคุมการ อินเตอร์รัพ(INTERRUPT)

INTERRUPT VECTOR LOW (IL), INTERRUPT VECTOR HIGH (I), INTERRUPT TRAP CONTROL (ITC) และ FLAG IEF1, IEF2 โดยที่ FLAG IEF1 จะใช้ในการ ENABLE INTERRUPT ภายในทั้งหมดยกเว้น TRAP

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

REGISTOR ที่เป็น COMMON

DMA STATUS REGISTOR (DSTAT I/O ADDRESS 30H) ประกอบด้วย

BIT 7	6	5	4	3	2	1	0
DE1	DE0	DWE1	DWE0	DIE1	DIE0	-	DME
R/W	R/W	W	W	R/W	R/W	-	R

DMA STATUS REGISTOR (DSTAT I/O ADDRESS 30H)

DE1 DMA ENABLE CHANEL 1 เมื่อ DE1 = 1 จะทำให้ DME =1 DMA CHANEL 1 จะถูก ENABLE และเมื่อการ TRANSFER สิ้นสุดลง (BCR1=0) เมื่อนั้น DE1 จะถูก CLEAR เป็น 0 และถ้า DMA INTERRUPT ถูก ENABLE (DIE1=1) CPU จะถูก INTERRUPT ระหว่าง RESET DE1 จะถูก CLEAR

DE0 DMA ENABLE CHANEL 0 มีการทำงานลักษณะเดียวกับ CHANEL 1

DWE1 DE1 BIT WRITE ENABLE เมื่อมีการเขียนข้อมูลเข้าไปที่ DE1 ในขณะเดียวกันต้องเขียน DWE1 ด้วย 0 และค่านี้จะไม่คงอยู่ตลอดไป และถ้าอ่านจะเป็น 1 เสมอ

DWE0 DE0 BIT WRITE ENABLE เช่นเดียวกับ DWE1

DIE1 DMA INTERRUPT ENABLE CHANEL 1 เมื่อ DIE1 ถูก SET เป็น 1 และเมื่อการทำ DMA สิ้นสุดลง (เมื่อ DE1=0) ก็จะเกิด INTERRUPT ขึ้น แต่ถ้า BITนี้เป็น 0 จะเป็นการ DISABLE ระหว่าง RESET BIT นี้จะเป็น0

DIE0 DMA INTERRUPT ENABLE CHANEL0 ลักษณะเช่นเดียวกับ DIE1

DME DMA MAIN ENABLE เป็น BIT ที่ใช้บอกการ ENABLE DMA เมื่อ DE BIT (DE0, DE1) ถูก SET เมื่อนั้น DME BIT จะถูก SET เป็น 1 ซึ่ง BIT นี้ใช้อ่านอย่างเดียว

คำสั่งเพิ่มเติม 12 คำสั่ง

SLP เมื่อใช้คำสั่งนี้ CPU จะหยุดทำงานบางอย่างทำให้ใช้กำลังงานต่ำ

MLT MULTPLY ใช้สำหรับคูณเลข 8 BIT 2 จำนวน โดยผลลัพธ์จะเป็น 16 BIT โดย REGISTOR ที่ใช้ในการคูณอาจจะเป็น BC, DE, HL หรือ SP โดยผลลัพธ์จะได้ที่ REGISTOR คู่นั้น

OTIM, OTIMR, OTDM, OTDMR – BLOCK I/0 เป็นคำสั่ง OUT PORT เป็น BLOCK ของ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

PORT ADDRESS ต่ำ A0-A7 เท่านั้น คือ จะทำการ OUT ข้อมูลเป็น BLOCK โดยที่ PORT เพิ่มหรือลดตามจำนวนข้อมูล โดยใช้ HL เป็นตัวชี้ ข้อมูลที่จะ OUT ออกไป และ C เป็น NUMBER PORT ในคำสั่ง OTIM และ OTDM ก็คือจะเพิ่มค่า HL ที่ชี้ขึ้นเป็นหนึ่งหรือลดลง 1 ตามด้วย PORT เพิ่มขึ้นหรือลดลงด้วยและค่า B จะลดลง 1 ซึ่ง B จะเป็น COUNTER ในการส่ง DATA ส่วน OTIMR และ OTDMR จะมีลักษณะเช่นเดียวกับ OTIM และ OTDM เพียงแต่จะทำการส่งข้อมูลเพิ่มขึ้นหรือลง และPORT NUMBER เพิ่มขึ้นหรือลดลงตามค่า B จนกระทั่ง B = 0

TSTIO m ใช้สำหรับ TEST I/O PROT คือ จะทำการอ่านค่า PORT ที่กำหนดโดย REGISTOR C เข้ามาแล้วทำการ AND กับ DATA 8 BIT ที่ต้องการ โดยที่ค่าข้อมูลที่ IN เข้ามานั้น ไม่เปลี่ยนแปลงแต่จะให้ผลที่ FLAG และ PORT ที่ IN เข้ามาจะเป็นเฉพาะ ADDRESS ต่ำ A0-A7 เท่านั้นสามารถเปรียบเทียบเป็นโปรแกรมได้ดังนี้

XOR A	⟶	LD C, NUMBER PORT
IN A, (PORT)		TSTIO 70 H
LD B, A		JP Z, OK
LD A, 70H		
AND B		
JP Z, OK		

TST g – TEST REGISTORโดยค่าที่กำหนดใน REGISTOR จะ AND กับ ACCUMULATOR ซึ่งจะทำให้มีผลต่อ FLAG ตามคำสั่ง AND แต่ค่าใน ACCUMULATOR และ REGISTOR ไม่เปลี่ยนแปลง เช่น ตัวอย่าง

LD A, 7	⟶	LD A, 7
LD C, A		TST B
AND B		JR Z, OK
LD A, C		
JR Z, OK		

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

TST m – TEST IMMEDIATE เช่นเดียวกับ REGISTOR เพียงแต่ข้อมูลเป็น DATA โดยตรงที่ AND กับ ACCUMULATOR

TST m – TEST MEMORY คือ จะนำค่าใน MEMORY ที่ถูกชี้โดย HL AND กับ ACCUMULATOR โดยค่าทั้ง 2 ไม่เปลี่ยนแปลงแต่ให้ผลการกระทำที่ FLAG

IN0 g (m) – INPUT, IMMEDIATE I/O IN ค่าจาก PORT 8 BIT (A0-A7) มายัง REGISTOR ใด ๆ ก็ได้ A , BC , DE , HL

OUTO (m) ,g – OUTPUT , IMMEDIATE I/O OUT ค่าจาก REGISTOR ใด ๆ ไปยัง PORT 8 BIT (A0-A7) REGISTOR ก็มี A , BC , DE , HL

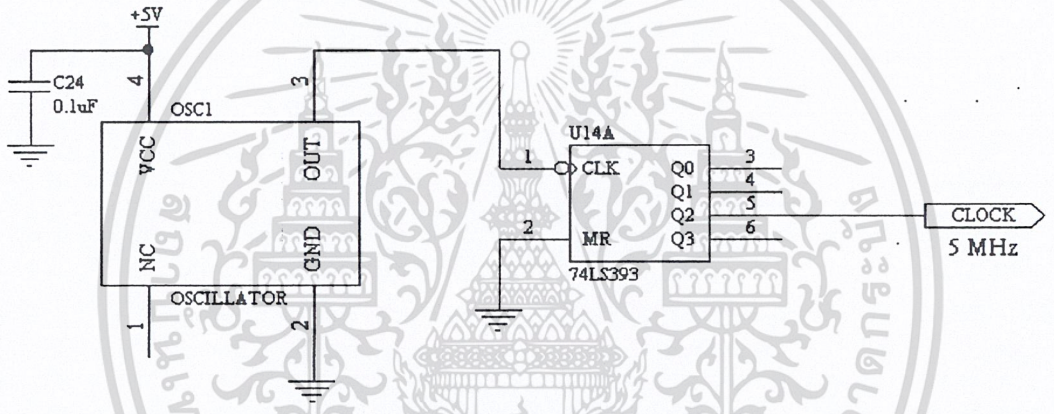
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 5

อธิบายการทำงานของวงจรและโปรแกรมควบคุม

5.1 ภาควงจรสร้างสัญญาณนาฬิกา 5 เมกกะเฮิรตซ์

ในการสร้างสัญญาณนาฬิกานั้นเราจะใช้ ออสซิลเลเตอร์ขนาด 40 เมกกะเฮิรตซ์ เป็นตัวสร้างแล้วนำมาต่อเข้าที่ขานาฬิกาของเคาน์เตอร์ โดยในที่นี้ใช้ 74LS393 โดยนำสัญญาณเอาท์พุทที่ถูกหารลง 8 เท่า ซึ่งก็จะเหลือ 5 เมกกะเฮิรตซ์ มาเป็นสัญญาณนาฬิกาโดยแสดงดังรูปที่ 5.1



รูปที่ 5.1 แสดงวงจรสร้างสัญญาณนาฬิกา 5 เมกกะเฮิรตซ์

5.2 ภาควงจรแยกสัญญาณซิงค์ (Sync Separate Circuit)

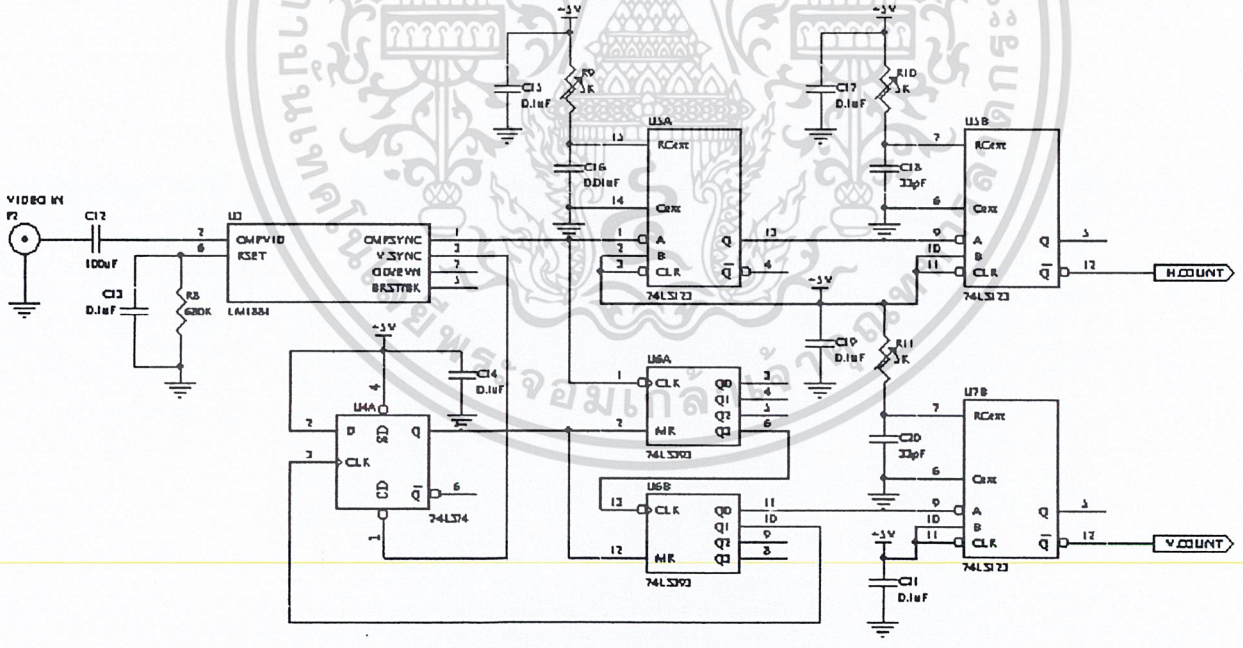
วงจรส่วนนี้จะทำหน้าที่ในการแยกสัญญาณซิงค์ออกจากสัญญาณภาพ เพื่อนำไปควบคุมส่วนของวงจรส่วนอื่นๆ โดยในที่นี้เราจะใช้ไอซีเบอร์ LM1881 ซึ่งจะรับข้อมูลภาพจากกล้องเข้ามาที่ขา 2 (Vin) ของ LM1881 โดยจะคัปปลิ้งสัญญาณผ่านตัวเก็บประจุขนาด 100 ไมโครฟารัดเพื่อป้องกันสัญญาณดีซีจากกล้อง และทำการต่อค่าความต้านทานขนาด 680 กิโลโอห์ม และคาปาซิ-เตอร์ ขนาด 0.1 ไมโครฟารัด เพื่อเป็นการกำหนดเวลาของวงจรผลิตความถี่ภายใน โดยสัญญาณเอาท์พุท ที่ขา 1 ของ LM1881 นั้นคือสัญญาณซิงค์ทางแนวนอน หรือ คอมโพสิทซิงค์ (COMPOSITE SYNC) และสัญญาณเอาท์พุทที่ขา 3 ของ LM1881 นั้นคือสัญญาณซิงค์ทางแนวตั้ง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

หรือ เวอร์ติคอลซิงค์ (VERTICAL SYNC) และสัญญาณเอาท์พุทที่ ขา 7 ของ LM1881 นั้นคือ สัญญาณฟิลด์คู่ฟิลด์คี่ (ODD/EVEN)

จากนั้นนำสัญญาณนี้ไปยังวงจรชุดหน่วงเวลา โดยไอซีที่ใช้นั้นใช้เบอร์ 74LS123 ซึ่งสามารถหน่วงเวลาได้โดยการต่อความต้านทานปรับค่าได้ 5 กิโลโอห์มกับคาปาซิเตอร์ขนาด 0.01 ไมโครฟารัด โดยจะมีการหน่วงเวลาประมาณ 9 ไมโครวินาทีและนำค่าเอาท์พุทไปต่อกับไอซีเบอร์ 74LS123 อีกตัวหนึ่งซึ่งต่อความต้านทานปรับค่าได้ 5 กิโลโอห์มกับคาปาซิเตอร์ขนาด 33 พิโค-ฟาหรัด เพื่อทำให้เกิดพัลส์เล็ก ประมาณ 140 นาโนวินาที โดยจะนำสัญญาณนี้ไปรีเซตวงจรนับทางแนวนอน เพื่อให้วงจรนับตรงตำแหน่งของภาพไม่ใช่ที่ตำแหน่งของสัญญาณซิงค์

และวงจรนับทางแนวตั้งนั้นเรานำสัญญาณซิงค์รวมมาทำการหน่วงเวลาให้กับสัญญาณซิงค์ทางแนวตั้ง คือเมื่อมีสัญญาณซิงค์ทางแนวตั้งมานั้นวงจรนับก็จะเริ่มนับโดยเมื่อนับครบ 32 ครั้ง หรือทำการหน่วงสัญญาณซิงค์รวมไป 2 มิลลิวินาทีแล้วนำสัญญาณนี้ไปเป็นอินพุทให้กับไอซี 74LS123 โดยเมื่อสัญญาณผ่าน 74LS123 แล้วก็จะเกิดพัลส์ขนาดประมาณ 140 นาโนวินาทีก็จะนำสัญญาณนี้ไปเป็นสัญญาณรีเซตวงจรนับทางแนวตั้งดังรูปที่ 5.2



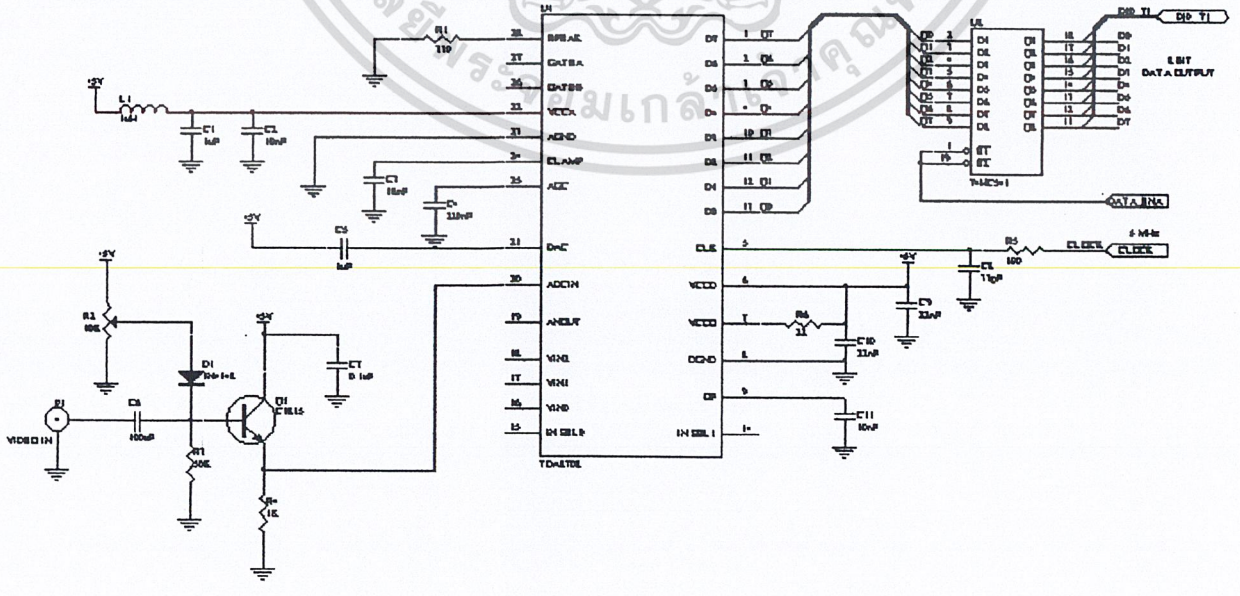
รูปที่ 5.2 แสดงวงจรแยกสัญญาณซิงค์

5.3 ภาควงจรแปลงสัญญาณอนาลอกเป็นดิจิตอล (Analog to Digital Converter)

วงจรเปลี่ยนสัญญาณอนาลอกเป็นดิจิตอลนั้น จะใช้ไอซีฟิลิปส์เบอร์ TDA8708 ซึ่งเป็นไอซี Video analog input interface ทำหน้าที่เปลี่ยนสัญญาณอนาลอกเป็นสัญญาณดิจิตอลขนาด 8 บิท

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

โดยในโครงงานนี้ใช้ความถี่สัญญาณนาฬิกาที่ให้ในการสุ่ม 5 เมกกะเฮิรตซ์ในส่วนของวงจรเปลี่ยนสัญญาณอนาลอกเป็นสัญญาณดิจิตอล ที่ใช้ไอซีเบอร์ TDA8708 นั้นสามารถเลือกภาคอินพุทซีเลคเตอร์ (Input selector) ได้ 3 แหล่งคือภาค วีดีโออินพุท 0 (Video input 0) , วีดีโออินพุท 1 (Video input 1) , วีดีโออินพุท 2 (Video input 2) แต่ในโครงงานนี้ได้นำสัญญาณวีดีโออินพุทที่ภาคขยายของADC ที่ขา 20 (ADC IN) ของ TDA8708 โดยที่สัญญาณภาพนั้นจะถูกคลัปปลิ้งผ่านคาปาซิเตอร์ ขนาด 100 ไมโครฟารัด เพื่อกันสัญญาณดีซีที่มาพร้อมกับสัญญาณภาพ จากนั้นต่อความต้านทานปรับค่าได้ขนาด 10 กิโลโอห์มเพื่อทำหน้าที่ยกระดับสัญญาณภาพที่เข้ามาให้เหมาะสมกับ TDA8708 เนื่องจากว่าจากดาต้าชีท ของ TDA8708 ถ้าหากเราจะแปลงข้อมูลภาพไปเป็นข้อมูลทางดิจิตอลขนาด 8 บิต ซึ่งจะทำให้ได้ความแตกต่างของข้อมูลขนาด 256 ระดับต้องทำให้สัญญาณที่ใช้ในการแซมปลิ้งมีขนาดอยู่ระหว่าง Vcc-2.41 โวลท์ถึง Vcc-1.41 โวลท์ หรือ ประมาณ 2.59-3.59 โวลท์ จากนั้นนำสัญญาณที่ได้ทำการยกระดับแล้ว เข้าที่ขา 20 (ADC IN) ของ TDA8708 โดยขนาดของสัญญาณนาฬิกาที่ใช้ในการสุ่ม(Sampling) ใช้ 5 เมกกะเฮิตรซ์ โดยจะต่อเข้าที่ขา 5 ส่วนขา 9 (OF input coding) ของ TDA8708 นี้เป็นตัวบอกว่าสัญญาณดิจิตอลเอาท์พุทนั้นจะมีรูปสัญญาณเป็นแบบไหน โดยถ้าเราให้ขา 9 นี้มีค่าเป็น นั้นสัญญาณดิจิตอลเอาท์พุทจะออกมาในรูปแบบทูคอมพลีเมนต์ (Two ‘ s complement) ถ้าขา 9 นี้มีค่าเป็น 1 นั้นสัญญาณดิจิตอลเอาท์พุทจะเป็น High impedance ถ้าขา 9 นี้เป็นวงจรเปิด (Open circuit) โดยการต่อคาปาซิเตอร์ที่มีขนาดมากกว่า 10 พิโคฟารัด ขึ้นไปนั้นสัญญาณดิจิตอลเอาท์พุทที่ได้นั้นจะเป็นแบบ ไบนารี (Binary) โดยในที่นี้เลือกใช้แบบไบนารี (Binary) ดังแสดงดังรูปที่ 5.3



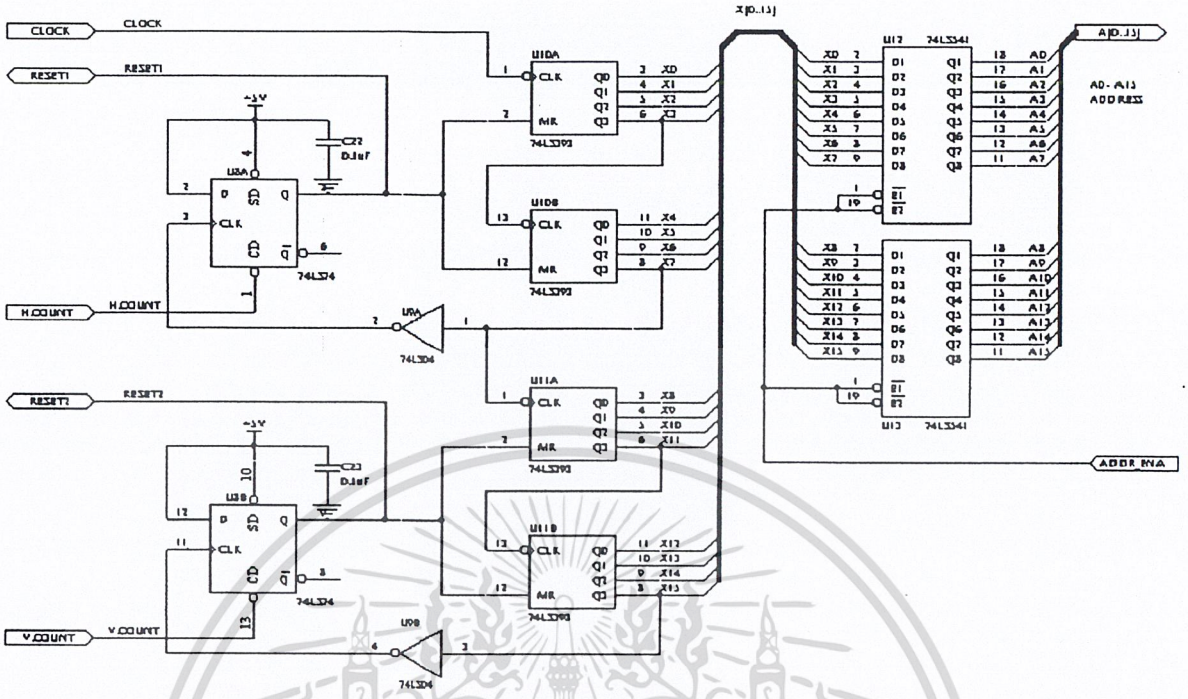
รูปที่ 5.3 แสดงวงจรการทำงานของภาคอินพุท (A/D)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

5.4 ภาควงจรนับ (Counter Circuit)

การทำงานของวงจรภาคนี้คือเมื่อมีสัญญาณนาฬิกา 5 เมกกะเฮิรตซ์ เข้ามาที่ขา 1 หรือ CLK ของไอซี 10A (74LS393) ซึ่งเป็นเคาน์เตอร์ขนาด 4 บิทจากนั้นนำขา 6 หรือ Q3 ของไอซีตัวเดิมไปเป็นสัญญาณนาฬิกาให้กับ ไอซี 10B โดยต่อเข้าที่ขา 13 (CLK) ขา2 หรือขารีเซ็ตของไอซี 10A และขา 12 ของไอซี 10B นั้นทำการต่อสัญญาณรีเซ็ตที่นำมาจากสัญญาณ RESET 1 โดยที่ 74LS393 นั้นจะเริ่มนับสัญญาณเมื่อรีเซตนี้มีค่าเป็น 0 และจะหยุดนับเมื่อสัญญาณรีเซ็ตเป็น 1 และสัญญาณ RESET 1 นี้ก็นำมาจากขา 5 ของไอซี 8A สร้างมาจากสัญญาณรีเซ็ตที่มาจากสัญญาณ H. COUNT เพื่อที่จะให้วงจรนับเริ่มนับที่เป็นตำแหน่งของภาพ ไม่ใช่เริ่มที่สัญญาณซิงค์ จากนั้นก็นำเอาท์พุทจากขา 8 ของไอซี 10B ไปเป็นสัญญาณนาฬิกาของไอซี 11A ที่ขา 1 และเอาท์พุทที่ขา 6 ต่อที่ขาสัญญาณนาฬิกาของไอซี 11B ที่ขา 13 และที่ขา 2 ของไอซี 11A และขา 12 ของไอซี 11B ต่อกับสัญญาณรีเซ็ต 2 ที่ได้มาจากขา 9 ของไอซี 8B โดยที่การนับของวงจรชุดนี้จะเริ่มนับเมื่อสัญญาณรีเซ็ต 2 นั้นมีค่าเป็น 0 และจะหยุดนับเมื่อสัญญาณรีเซ็ต 2 นี้เป็น 1 โดยที่สัญญาณรีเซ็ตจะเป็น 1 เมื่อวงจรนับ นับครบ 256 จุด หรือนับครบ 256 เส้น โดยที่การต่อในลักษณะนี้ จะได้เอาท์พุทวงจรนับทั้งหมด 16 เส้น เพื่อใช้ในการอ้างอิงตำแหน่งให้กับหน่วยความจำซึ่งการเก็บสัญญาณภาพ 1 ฟิลด์ ใช้หน่วยความจำ ทั้งหมด 64 กิโลไบต์ การอ้างตำแหน่งนี้แบ่งออกเป็น 2 ส่วน คือไอซี 10A และไอซี 10B จะให้เอาท์พุทของการนับ 8 เส้น เพื่อใช้อ้างตำแหน่งหน่วยความจำภาพทางแนวนอน (เก็บข้อมูล 1 เส้นภาพ) โดยมีขนาด 256 จุด ส่วนที่ 2 ประกอบด้วย ไอซี 11A และไอซี 11B ให้เอาท์พุทการนับ 8 เส้น ใช้ในการกำหนดตำแหน่งของความภาพทางแนวตั้ง (ใช้นับเส้นสแกนภาพที่ทำการเก็บ) ซึ่งอ้างได้ 256 เส้น การอ้างตำแหน่งนี้จะแสดงดังรูปที่ 5.4

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

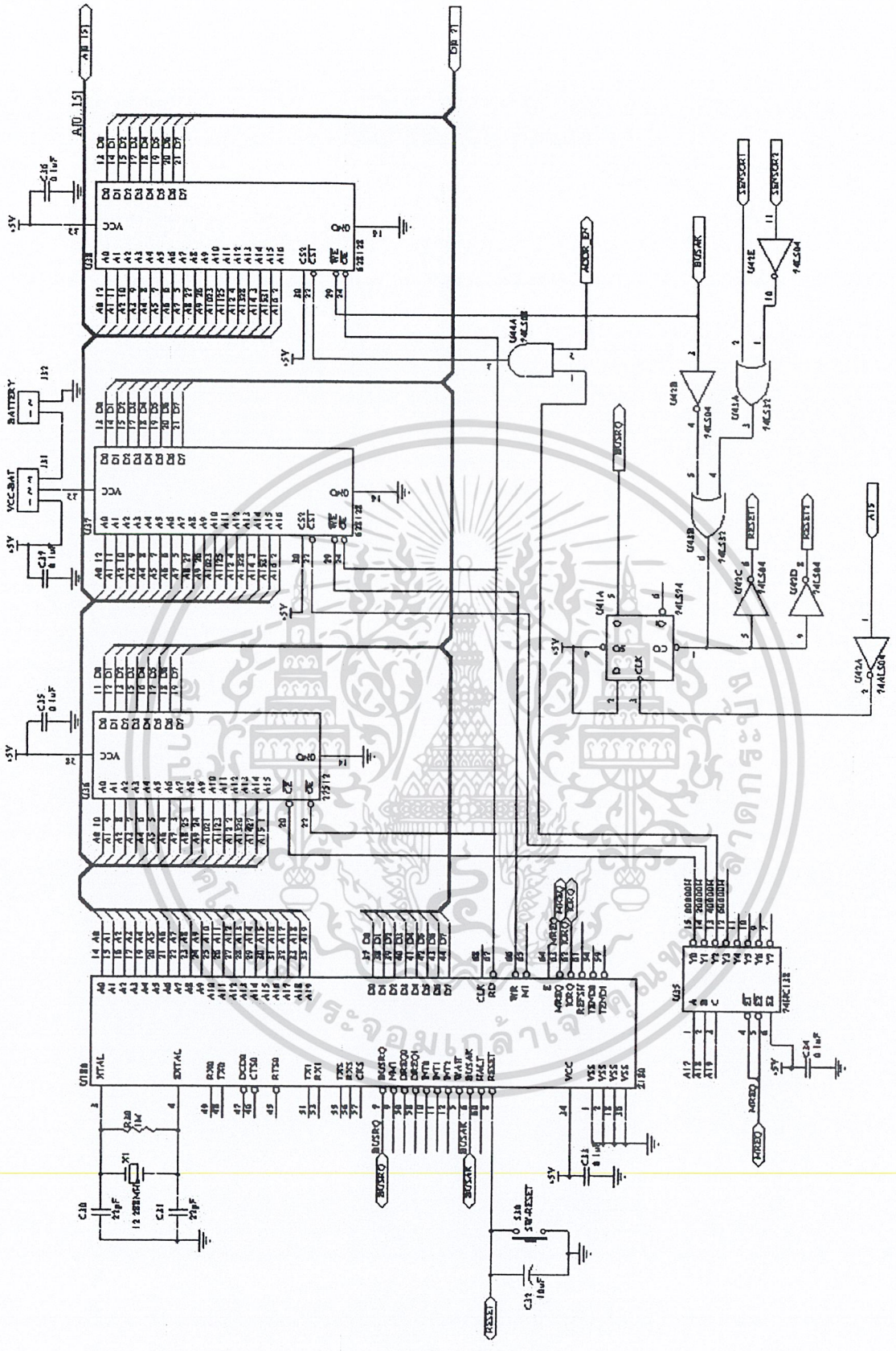


รูปที่ 5.4 แสดงวงจรนับ

5.5 การทำงานของวงจรภาคหน่วยความจำและประมวลผล

วงในภาคนี้มีการทำงานของวงจร 2 ช่วง คือช่วงของการเขียนข้อมูลลงในแรม และช่วงของการอ่านข้อมูลและเปรียบเทียบโดยการทำงานของวงจรนั้นขั้นแรกคือการเขียนข้อมูลลงแรมโดยการเขียนข้อมูลแบ่งเป็นเขียนข้อมูลตัวต้นแบบและเขียนข้อมูลของตัวที่จะเปรียบเทียบโดยการเขียนข้อมูลต้นแบบนั้นจะต้องรอเซ็นเซอร์ถ้าวัตถุเคลื่อนที่ถึงเซ็นเซอร์ก็จะทำการเก็บข้อมูลภาพของข้อมูลต้นแบบลงในแรมตัวที่ 1 และก็จะทำการรอของที่จะนำมาเปรียบเทียบถ้าของที่จะนำมาเปรียบเทียบนั้นเคลื่อนที่ถึงเซ็นเซอร์แล้วก็จะทำการเขียนข้อมูลลงในแรมตัวที่ 2 พอเก็บข้อมูลของตัวที่เปรียบเทียบออกมาโดยการอ่านจะอ่านที่แอดเดรสเดียวกันมาเปรียบเทียบกันแล้วก็นำข้อมูลทั้งหมดมาเปรียบเทียบจนครบแล้วก็นำมาประมวลผลว่าเหมือนหรือต่างกัน

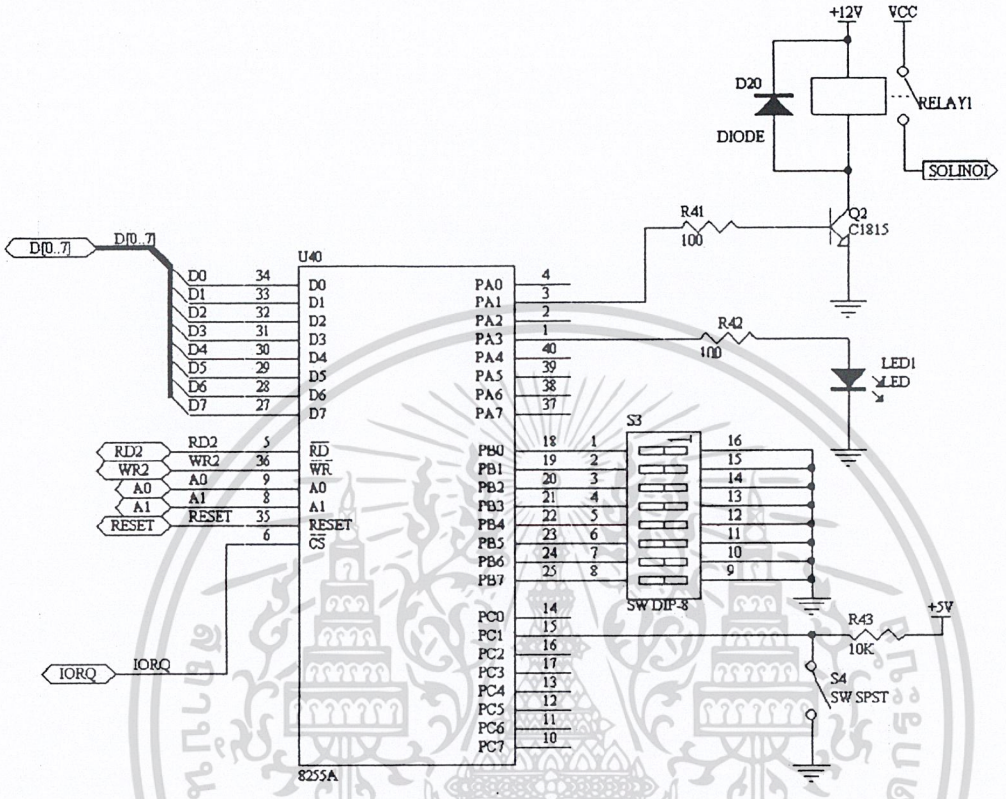
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



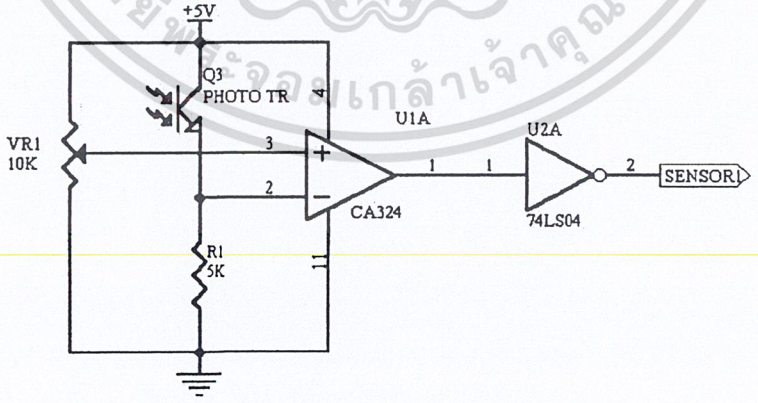
รูปที่ 5.5 วงจรภาคหน่วยความจำและการประมวลผล

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

5.6 วงจรภาคควบคุมกลไก



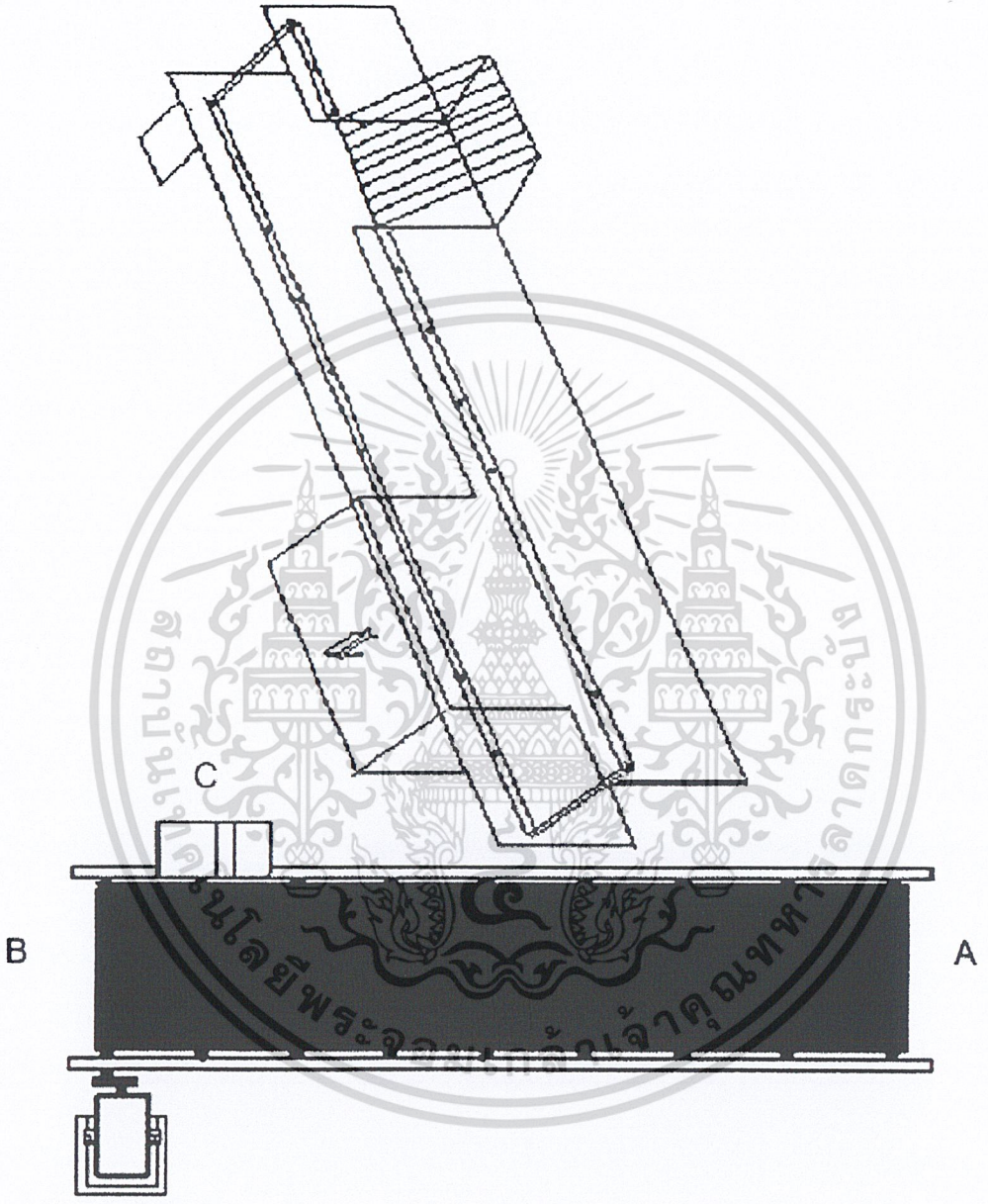
รูปที่ 5.6 วงจรควบคุมกลไกโซลีนอย



รูปที่ 5.7 วงจรตัวต้านทานเปลี่ยนค่าตามแสง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

5.7 ระบบกลไกและชุดลายพาน

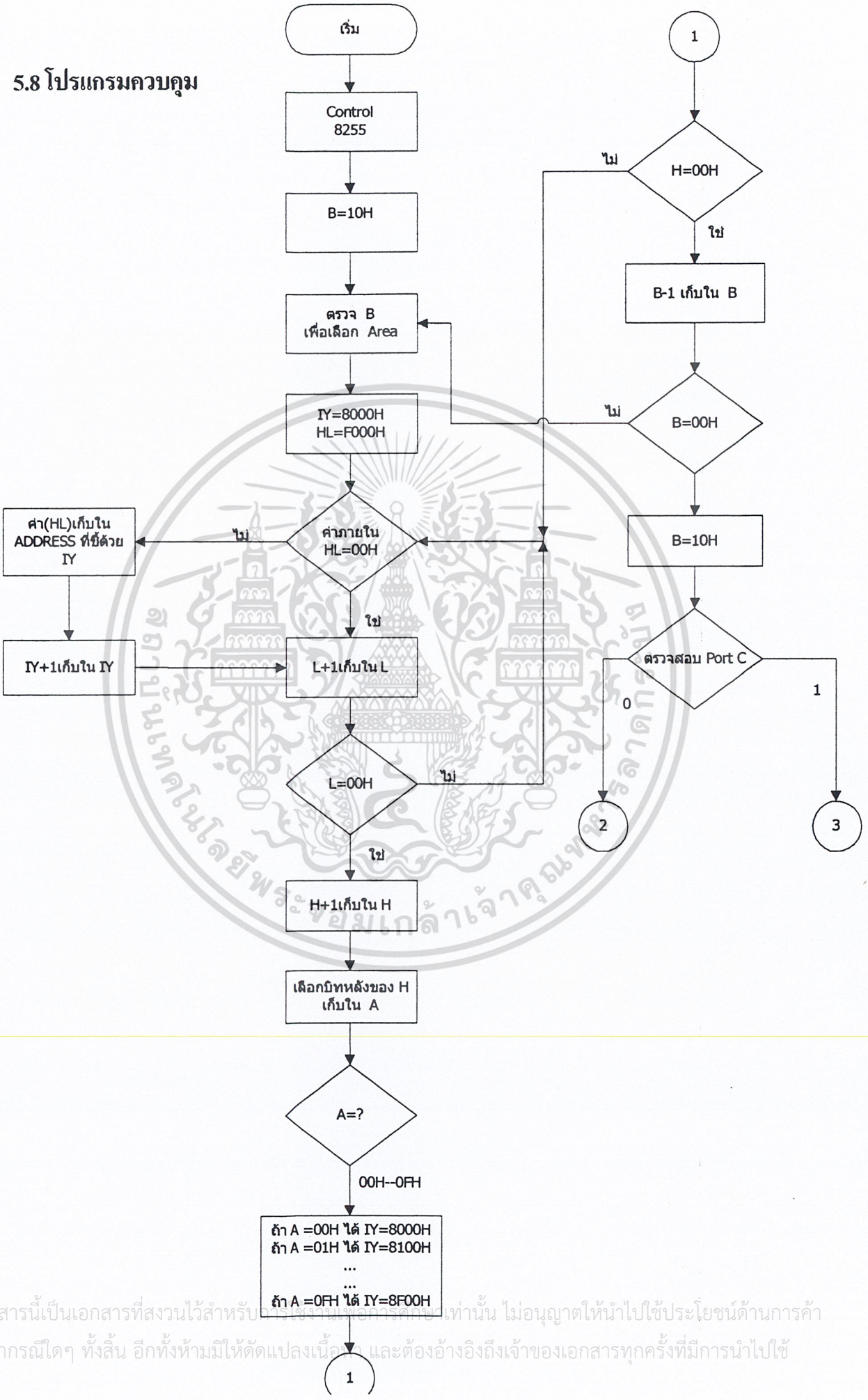


รูปที่ 5.9 ระบบกลไก

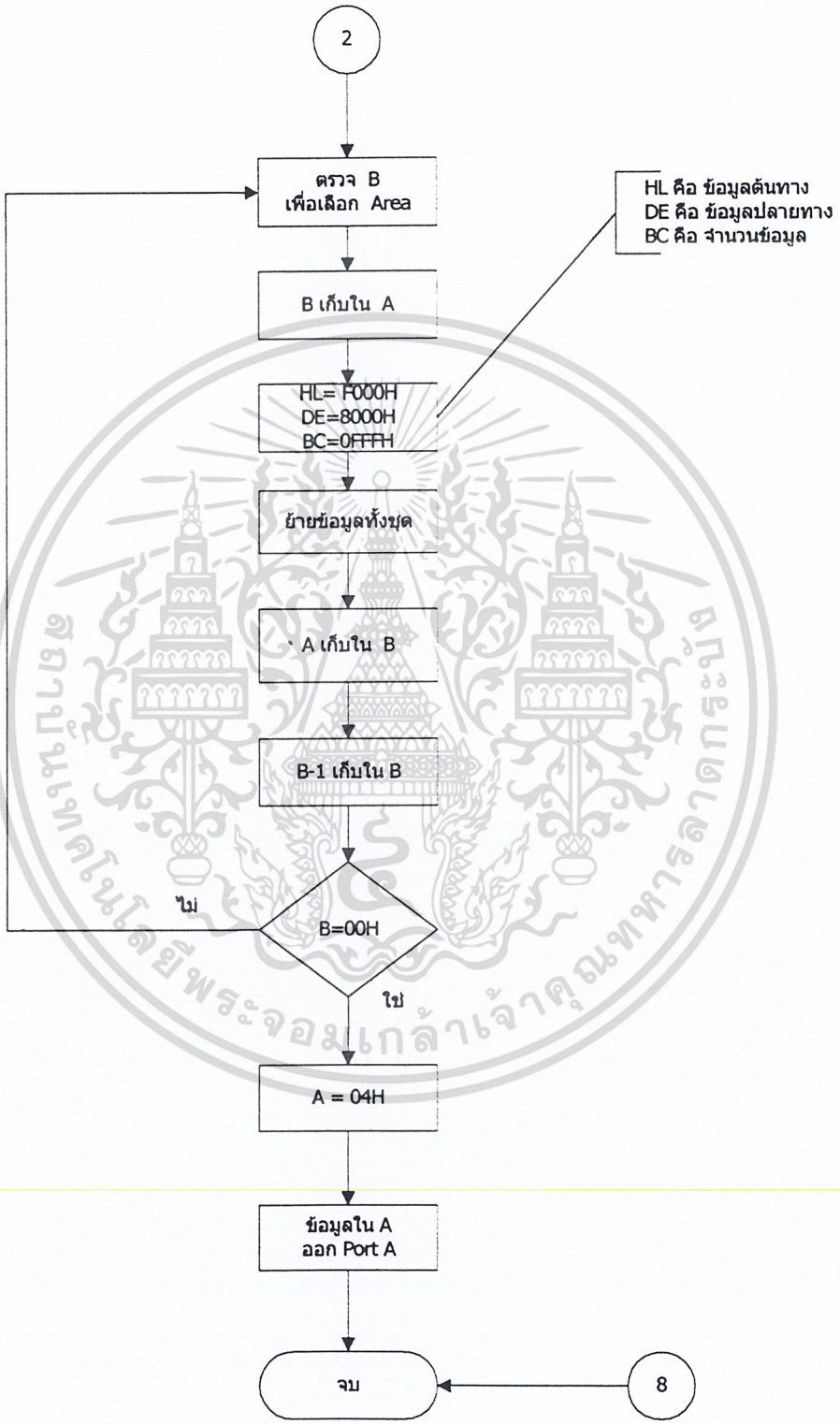
ผลิตภัณฑ์จะเข้ามาในทิศทาง A ผ่านกล้องจับภาพและจะถูกเปรียบเทียบ ถ้าภาพผลิตภัณฑ์นั้นเหมือนภาพต้นแบบจะออกทางช่อง B แต่ถ้าภาพไม่เหมือนต้นแบบจะออกทางช่อง C

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

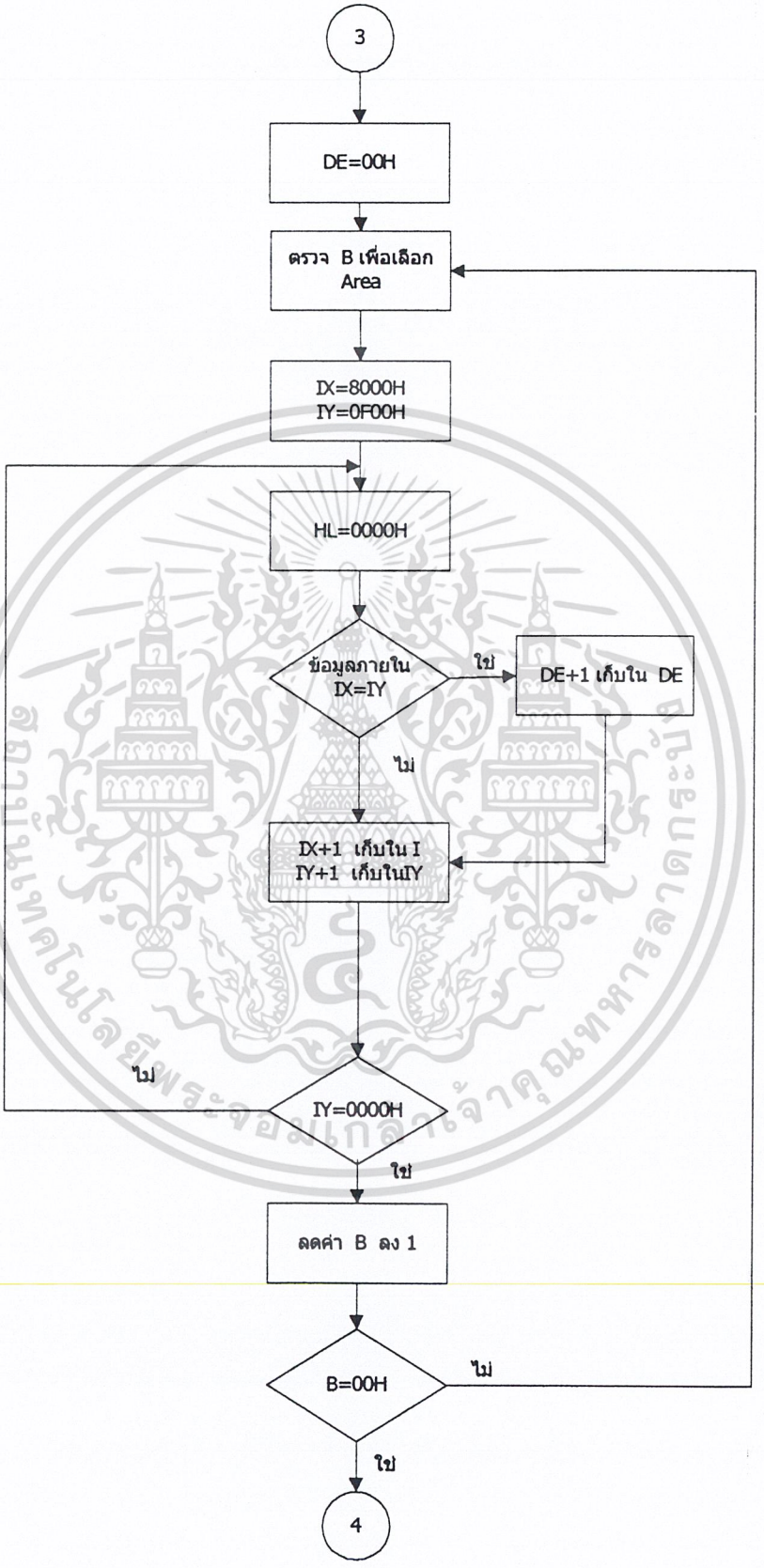
5.8 โปรแกรมควบคุม



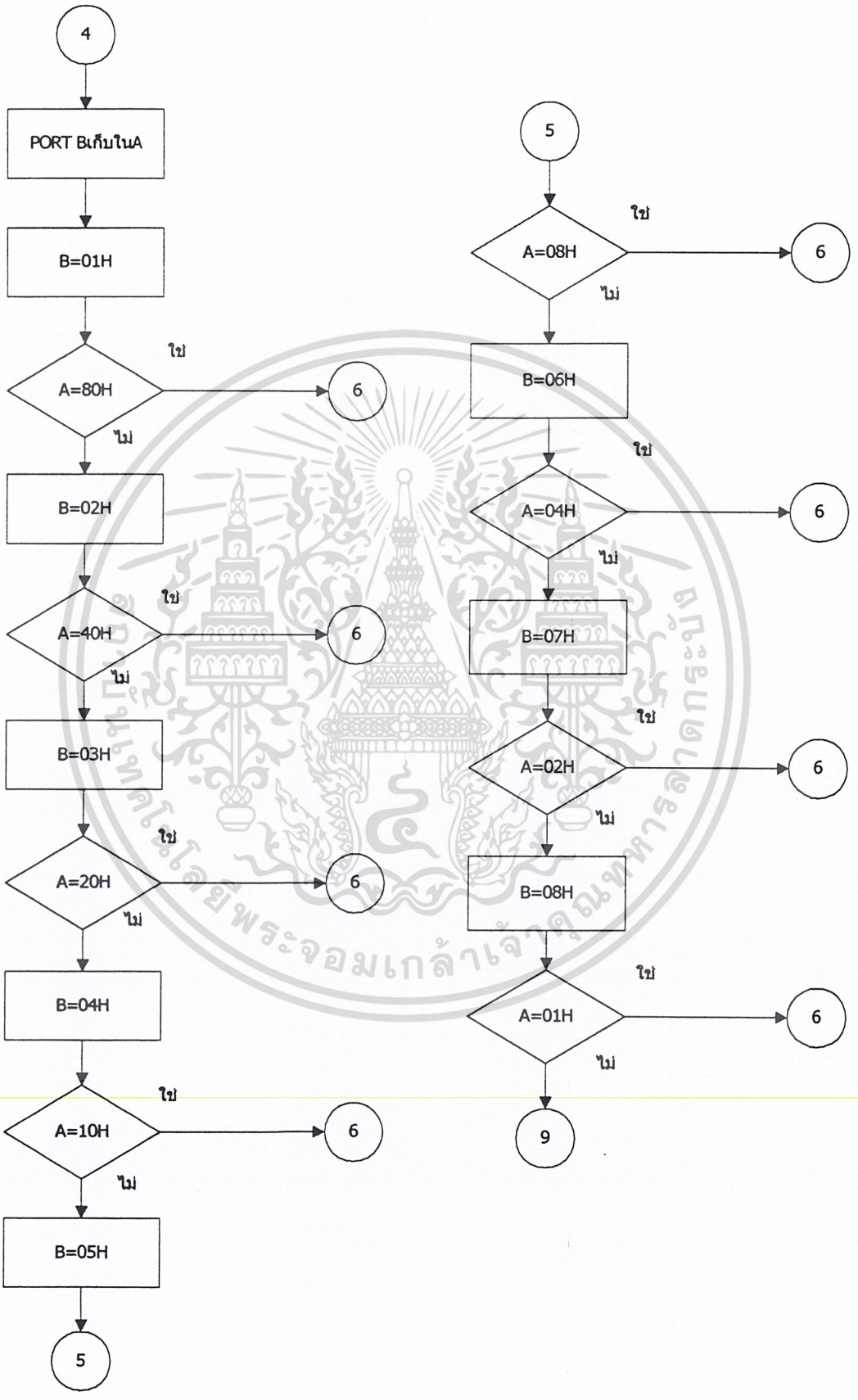
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



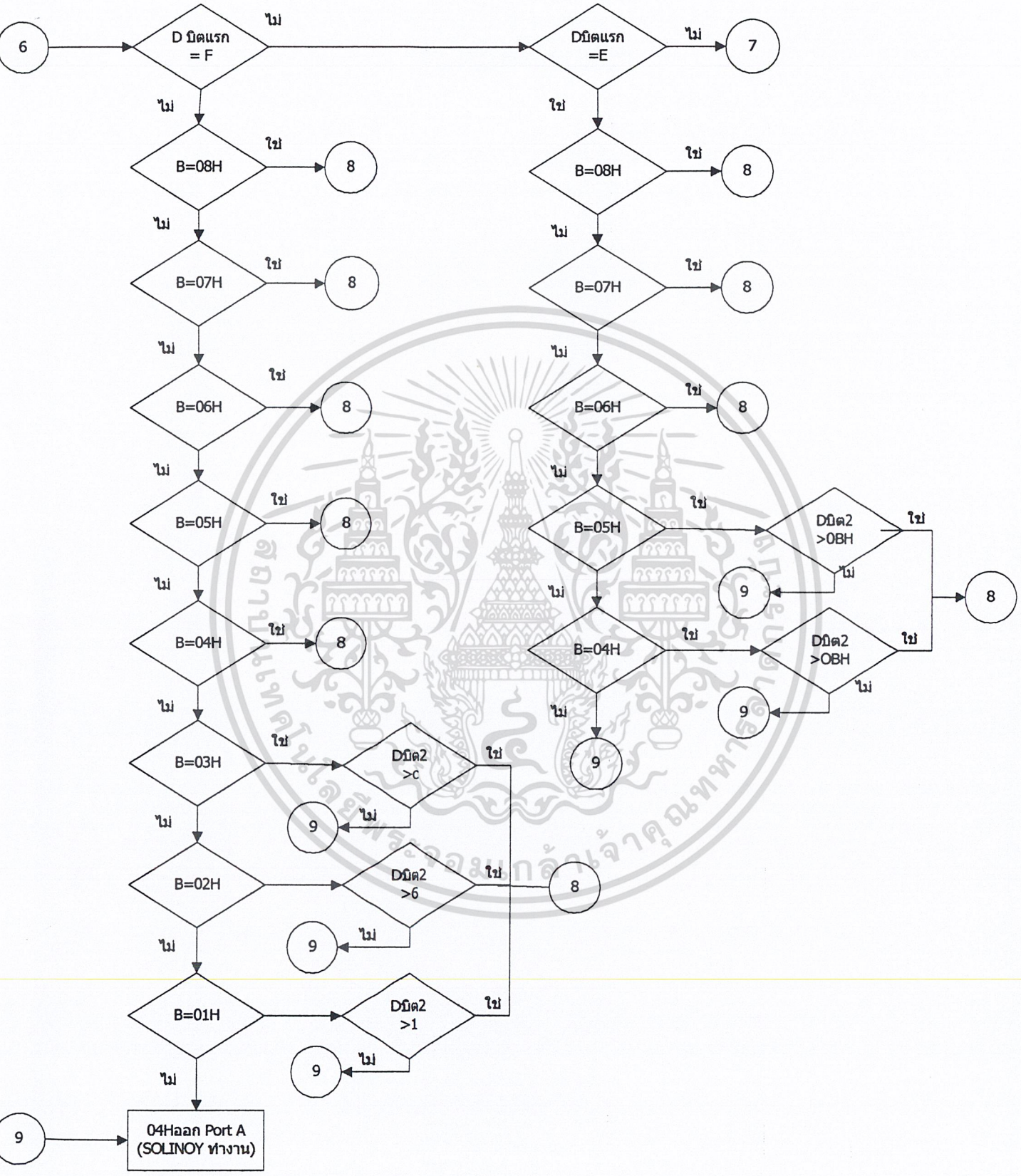
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



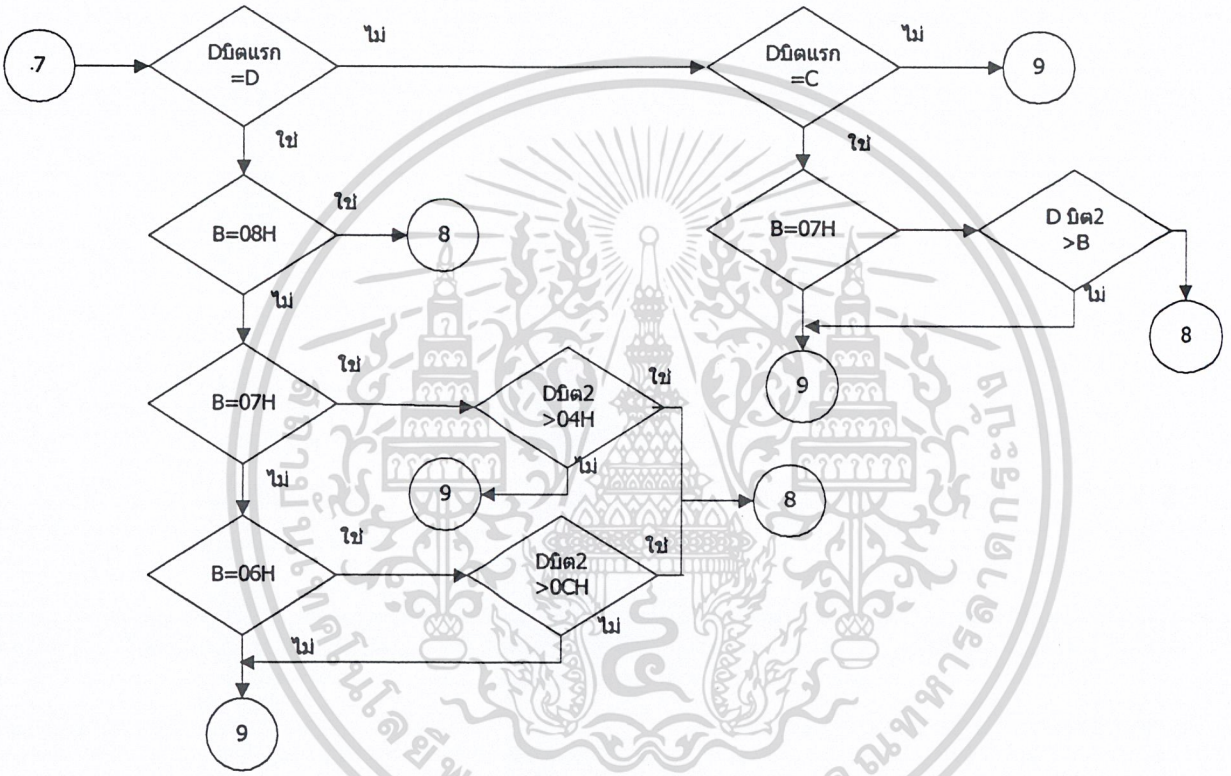
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



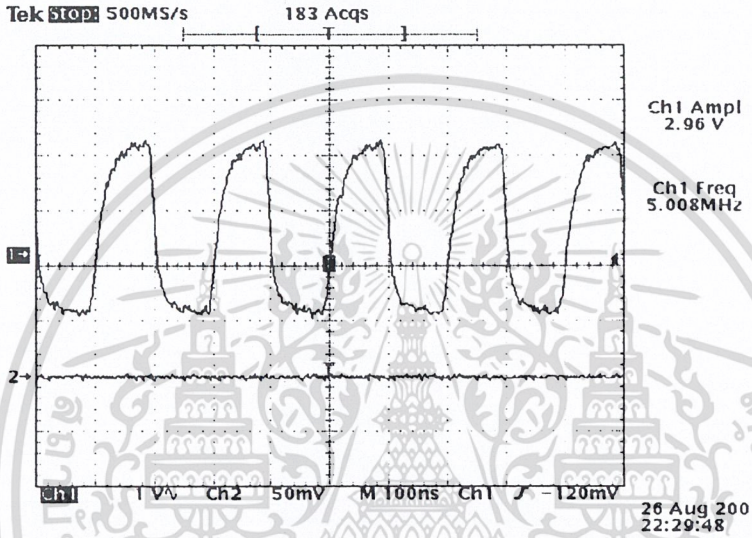
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 6

การทดลองและผลการทดลอง

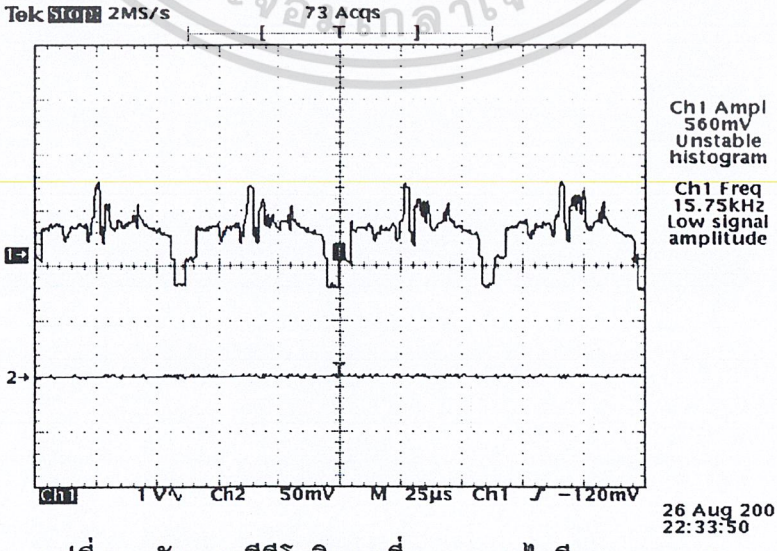
ผลการทดลองวัดสัญญาณภาพที่จุดต่าง ๆ ของวงจร

6.1 ผลการทดลองภาคสร้างสัญญาณนาฬิกา 5 เมกะเฮิรตซ์



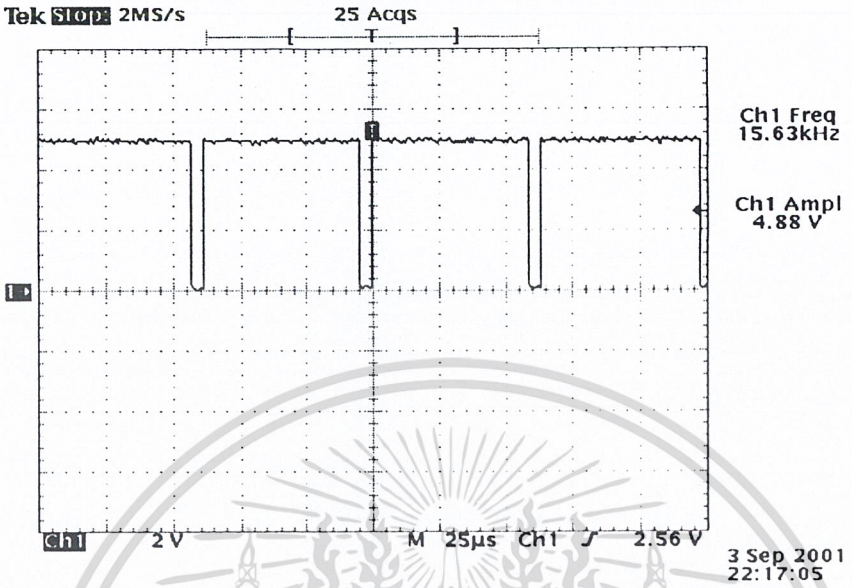
รูปที่ 6.1 สัญญาณนาฬิกา 5 เมกะเฮิร์ตซ์ ที่ขา 5 ของไอซี 14A

6.2 ผลการทดลองของภาควงจรแยกสัญญาณซิงค์

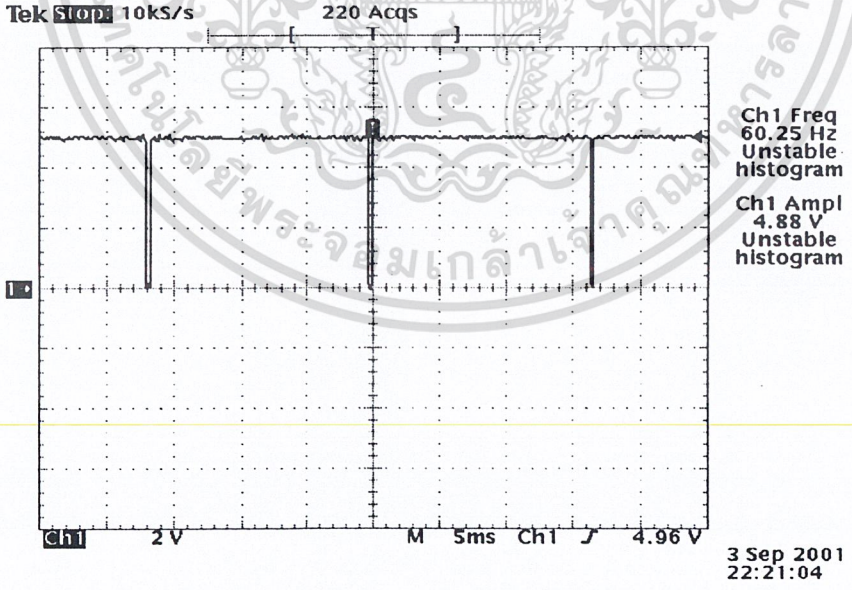


รูปที่ 6.2 สัญญาณวีดีโออินพุทที่ขา 2 ของไอซี 3(LM 1881)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

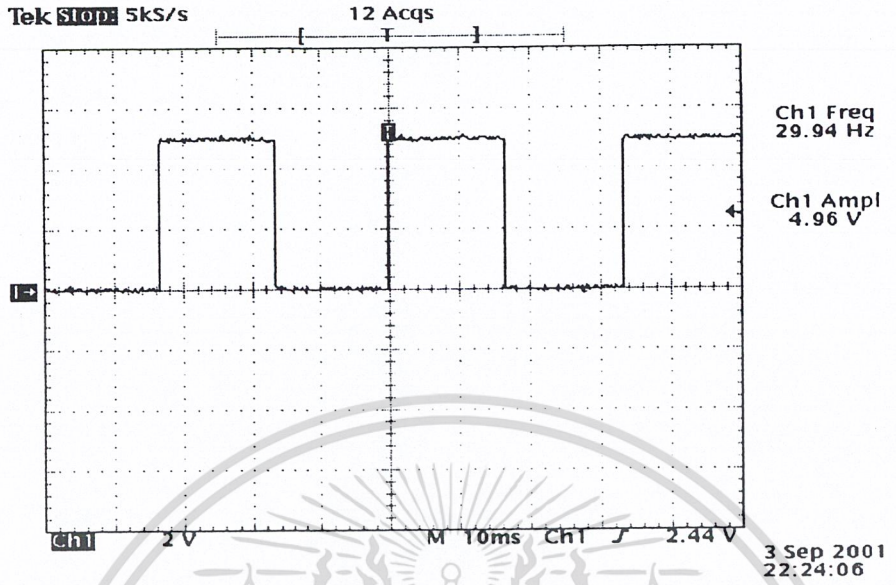


รูปที่ 6.3 สัญญาณ COMPOSITE SYNC ที่ขา 1 ของไอซี 3(LM 1881)

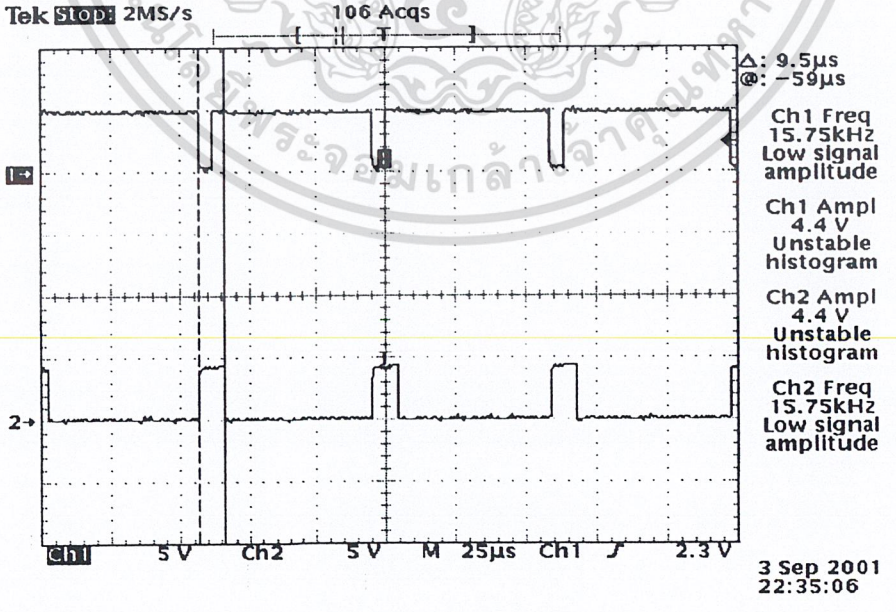


รูปที่ 6.4 สัญญาณ VERTICAL SYNC ที่ขา 3 ของไอซี 3 (LM1881)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

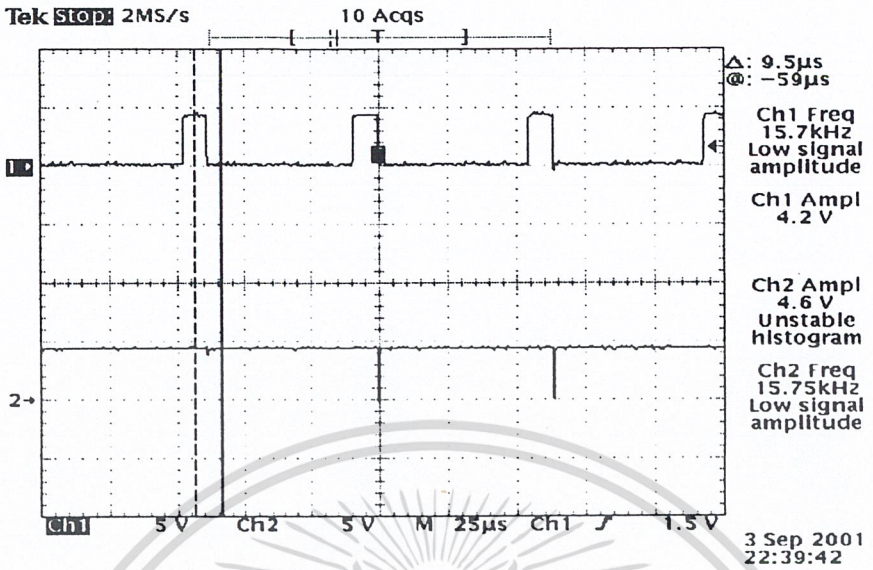


รูปที่ 6.5 สัญญาณ ODD/EVEN ที่ขา 7 ของไอซี 3(LM1881)

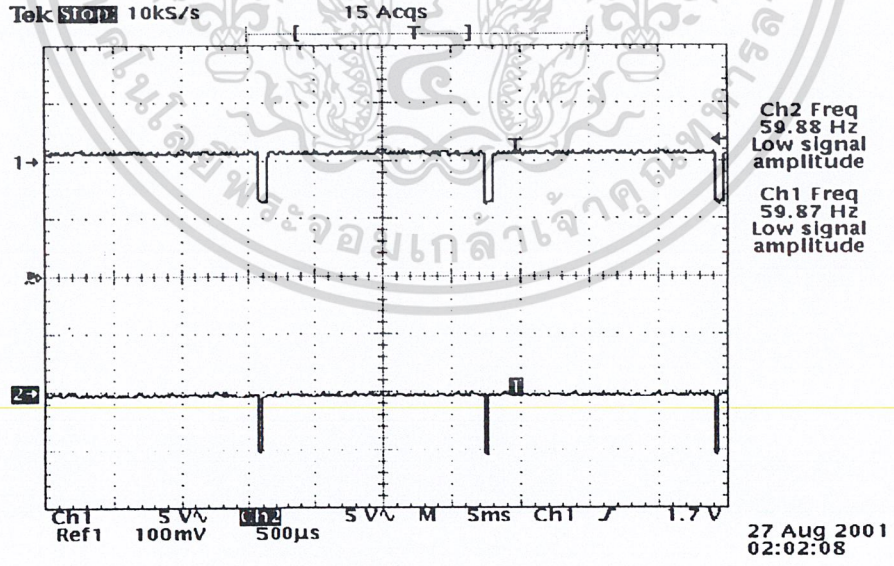


รูปที่ 6.6 สัญญาณ ที่ขา 1 และขา 13 ของไอซี 5A (74LS123)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

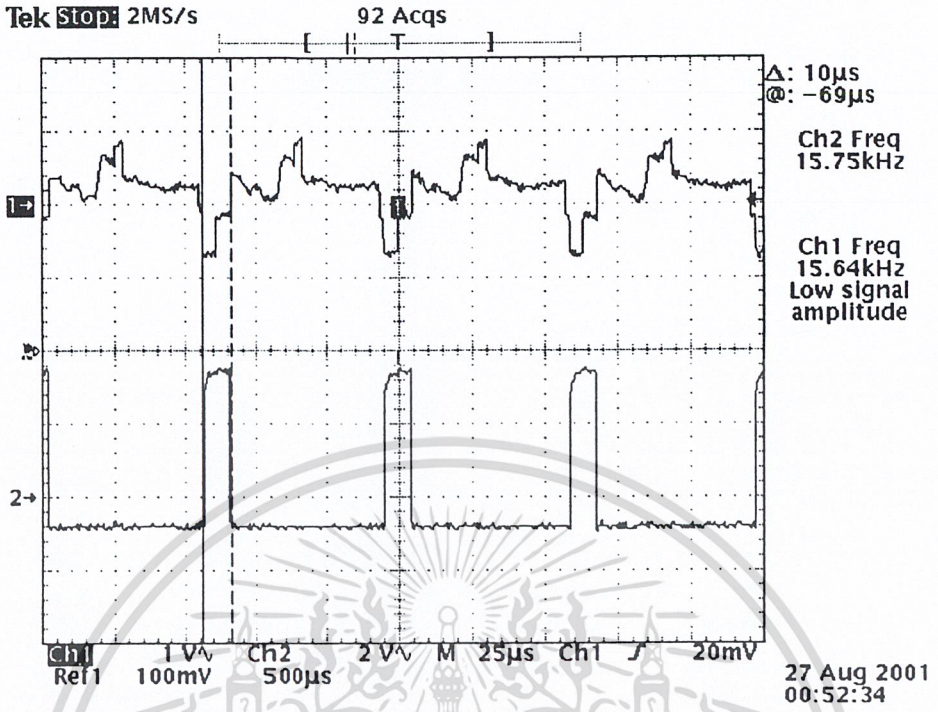


รูปที่ 6.7 สัญญาณ H.COUNT ที่ขา 9 และขา 12 ของไอซี 5B (74LS123)



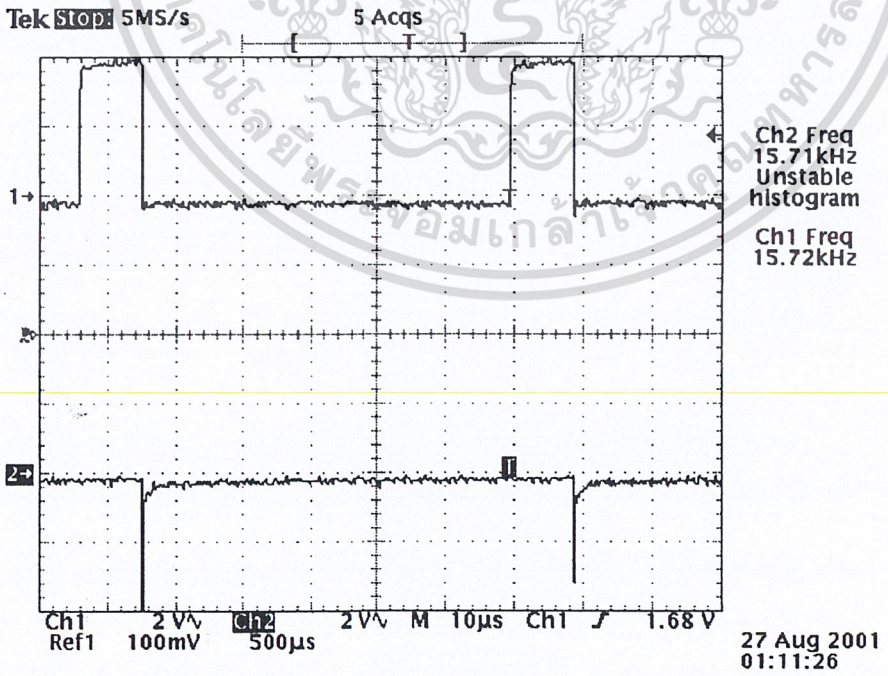
รูปที่ 6.8 สัญญาณ V.COUNT ที่ขา 9 และ 12 ของไอซี 7B (74LS123)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



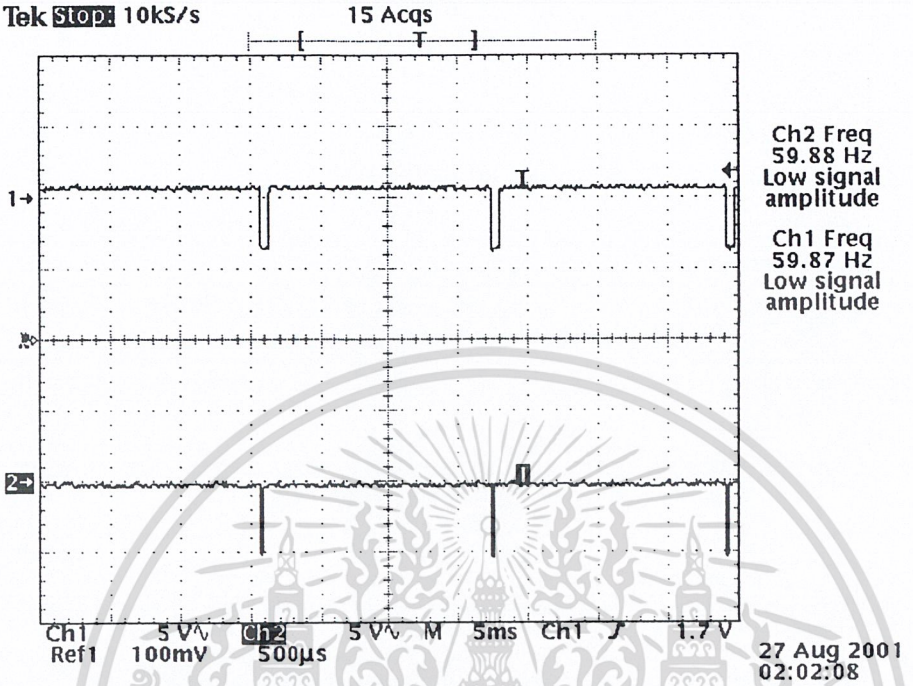
รูปที่ 6.9 สัญญาณที่ถูก DELAY เพื่อให้แรมเก็บค่าเฉพาะช่วงที่มีสัญญาณภาพ

6.3 ผลการทดลองของภาควงจรนับ

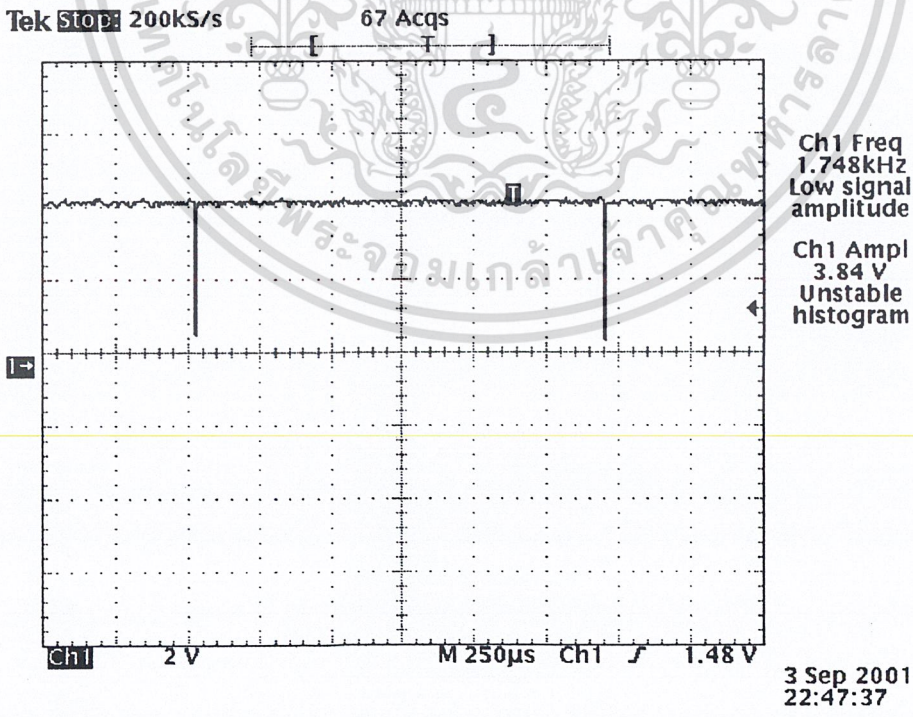


รูปที่ 6.10 สัญญาณ H.COUNT ที่ขา 1 ของไอซี 8A (74LS74)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

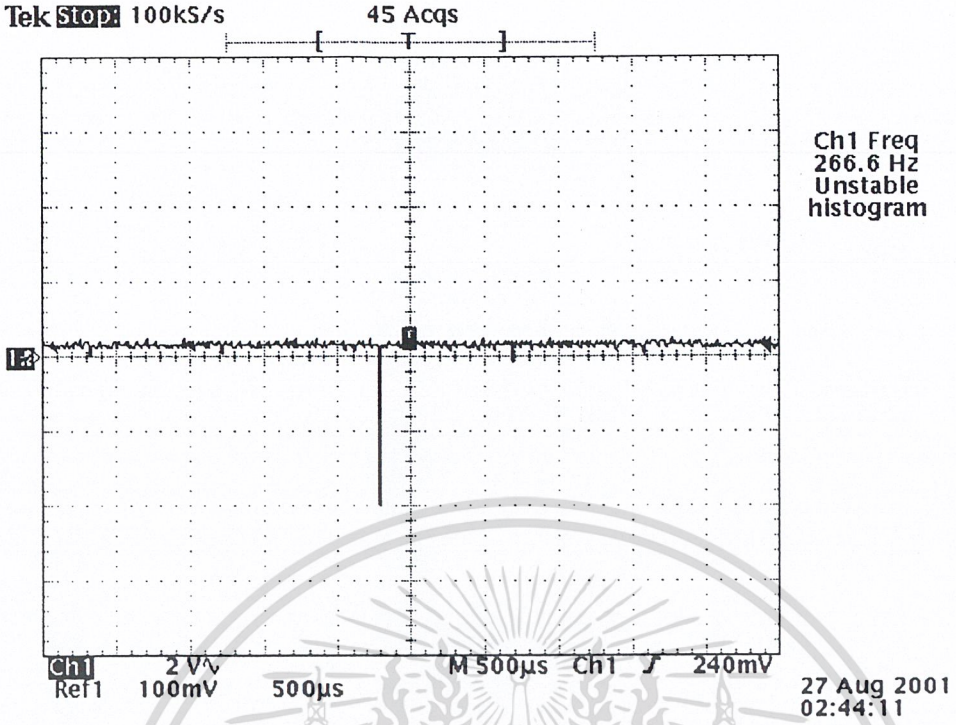


รูปที่ 6.11 สัญญาณ V.COUNT ที่ขา 13 ของไอซี 8B (74LS74)



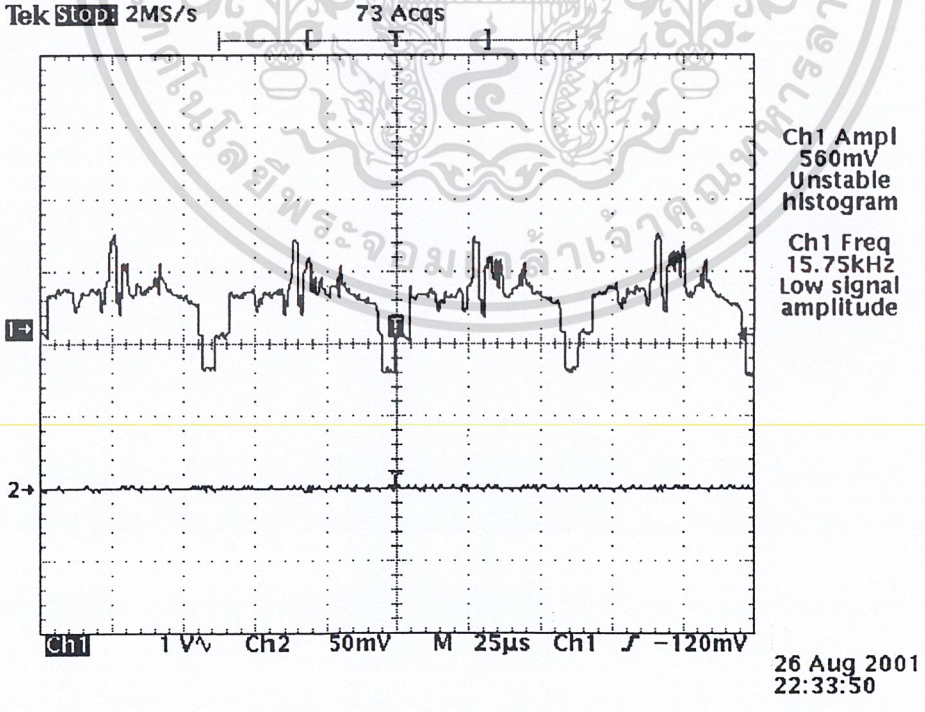
รูปที่ 6.12 สัญญาณรีเซต 1 จากขา 5 ของไอซี 8A

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



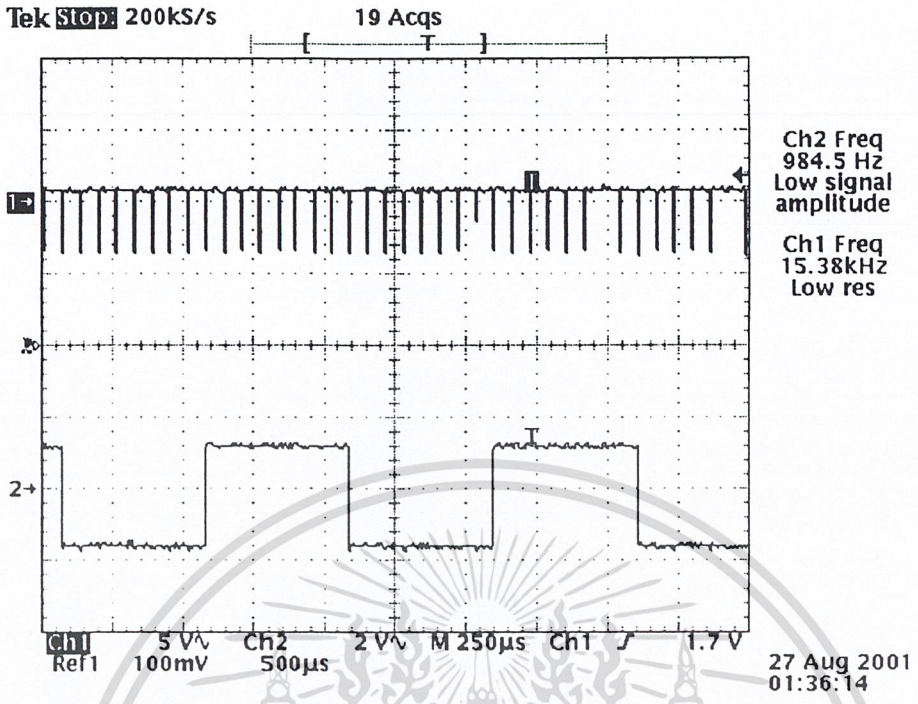
รูปที่ 6.13 สัญญาณรีเซต 2 จากขา9 ของไอซี 8B

6.4 ผลการทดลองของภาควงจรแปลงอนาลอกเป็นดิจิตอล



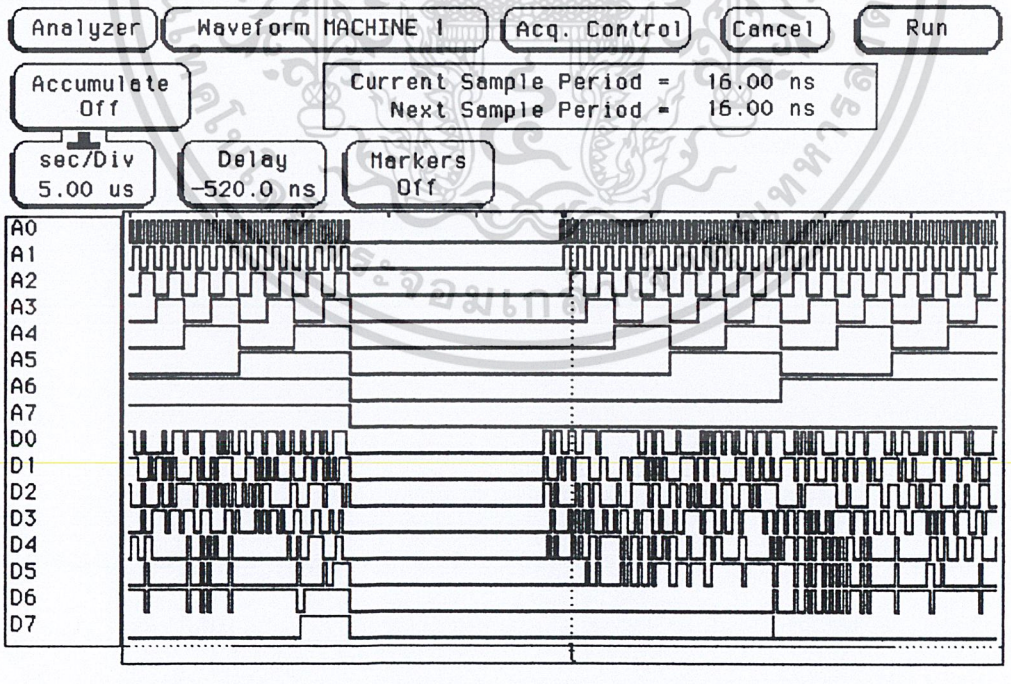
รูปที่ 6.14 สัญญาณวีดีโออินพุทยกระดับสัญญาณแล้ว ที่ขา 20 ของ TDA8708 (A/D)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



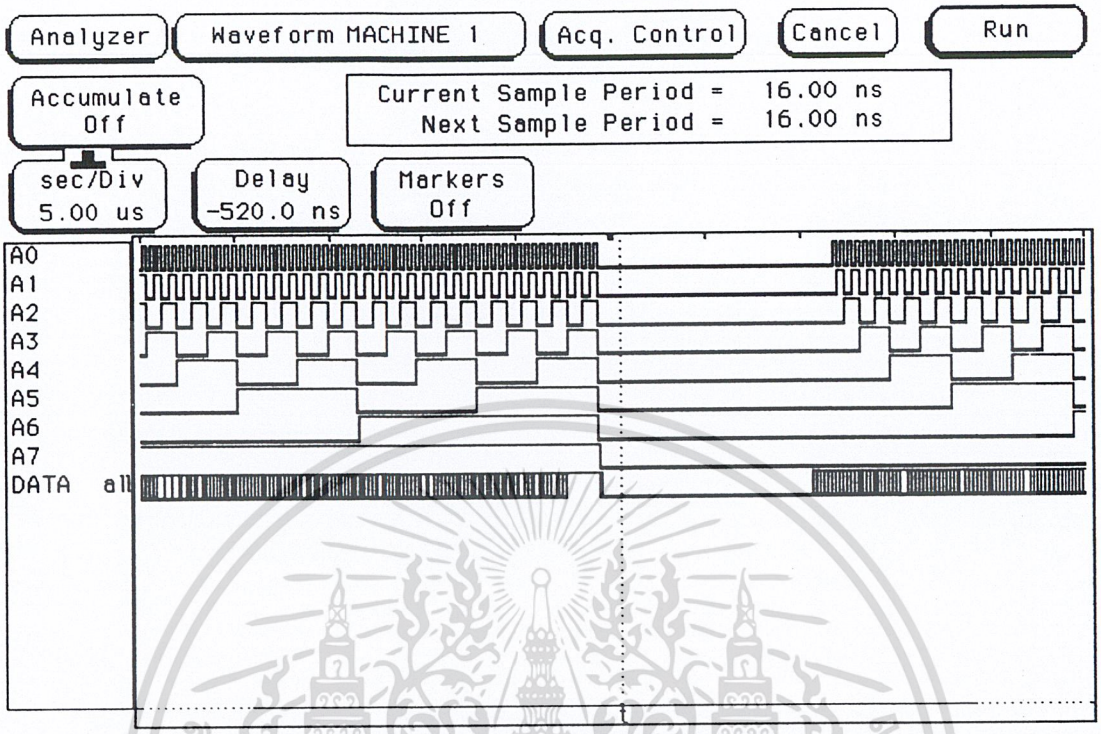
รูปที่ 6.15 สัญญาณวีดีโอที่ถูกแปลงจาก A/D แล้ว ที่ขา 1 ของ TDA8708 (A/D)

6.5 ผลการทดลองของการเก็บข้อมูลทางดิจิตอล

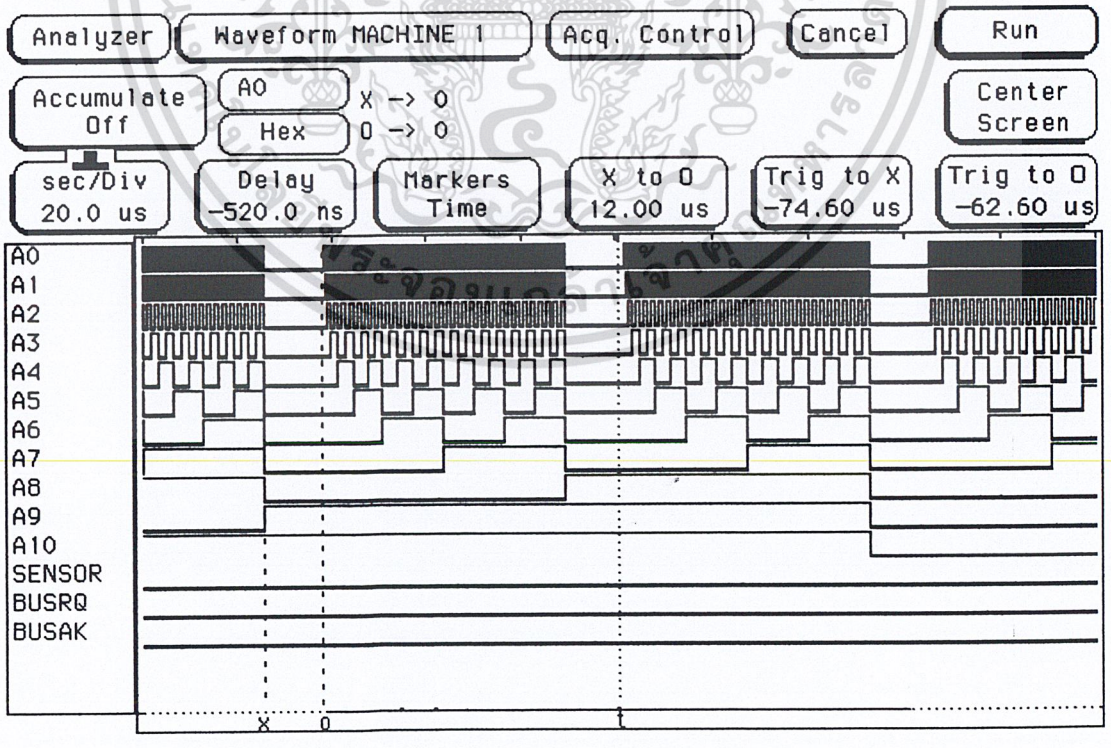


รูปที่ 6.16 สัญญาณวีดีโอที่ถูกแปลงจาก A/D เป็นข้อมูลดิจิตอล 8 บิท

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 6.17 การบันทึกข้อมูลลงแรมซึ่งจะไม่เก็บข้อมูลช่วงที่ไม่มีสัญญาณภาพ



รูปที่ 6.18 สัญญาณควบคุมให้ CPU หยุดทำงานเพื่อเก็บข้อมูลลงแรม

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

6.6 การทดลองการแยกชิ้นงาน

การทดลองครั้งที่ 1

ภาพผลิตภัณฑ์ต้นแบบ

ทำการเปรียบเทียบ 10 ครั้ง

ภาพเปรียบเทียบที่ 1

ผลที่ได้ เหมือนกัน 0 ครั้ง

ต่างกัน 10 ครั้ง

ภาพเปรียบเทียบที่ 2

ผลที่ได้ เหมือนกัน 3 ครั้ง

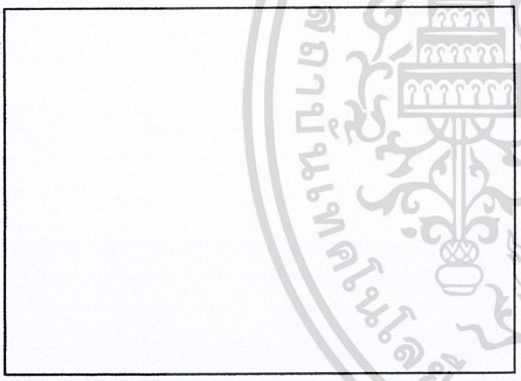
ต่างกัน 7 ครั้ง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การทดลองครั้งที่ 2

ภาพผลิตภัณฑ์ต้นแบบ

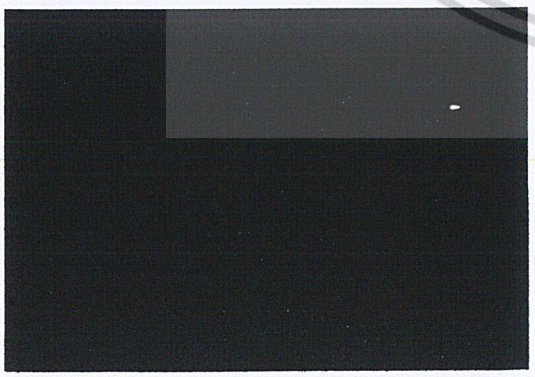
ทำการเปรียบเทียบ 10 ครั้ง



ภาพเปรียบเทียบที่ 1

ผลที่ได้ เหมือนกัน 4 ครั้ง

ต่างกัน 6 ครั้ง



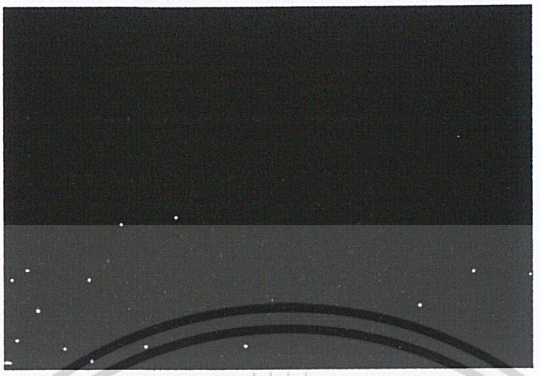
ภาพเปรียบเทียบที่ 2

ผลที่ได้ เหมือนกัน 2 ครั้ง

ต่างกัน 8 ครั้ง

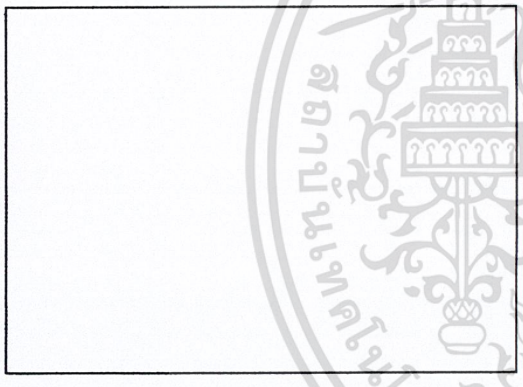
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การทดลองครั้งที่ 3



ภาพผลิตภัณฑ์ต้นแบบ

ทำการเปรียบเทียบ 10 ครั้ง



ภาพเปรียบเทียบที่ 1

ผลที่ได้ เหมือนกัน 0 ครั้ง

ต่างกัน 10 ครั้ง

ภาพเปรียบเทียบที่ 2

ผลที่ได้ เหมือนกัน 2 ครั้ง

ต่างกัน 8 ครั้ง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 7

สรุปผลการทดลอง

จากการทดลอง เราสังเกตุได้ว่า สัญญาณ Composite Video ที่ได้จากกล้องวีดีโอนั้น ประกอบด้วยสัญญาณภาพ และสัญญาณควบคุม ซึ่งสัญญาณควบคุมได้แก่ สัญญาณซิงค์มีความกว้างพัลซ์ 4.7 μSec และ สัญญาณ แบลงกิ้งมีความกว้างพัลซ์ ประมาณ 12.5 μSec เพื่อควบคุมให้ตำแหน่งของภาพที่หน้าจอโทรทัศน์ให้มีความถูกต้อง เพราะฉะนั้นในโครงงานนี้ มีการทำงานโดยใช้การแปลงสัญญาณอนาลอกเป็นสัญญาณดิจิตอล เพื่อนำสัญญาณดิจิตอลนั้นไปเก็บไว้ในหน่วยความจำ ซึ่งเราไม่ต้องการเก็บข้อมูลในช่วงเวลาที่เป็นช่วงของสัญญาณควบคุม เพราะฉะนั้นจึงมีความจำเป็นที่ต้องมีการหน่วงเวลาไว้เป็นเวลา ประมาณ 10 – 12 μSec เพื่อให้มีการกำหนดแอดเดรสให้แรมเริ่มเก็บข้อมูลตรงส่วนที่เป็นสัญญาณภาพเท่านั้น ในการควบคุมการเก็บข้อมูลลงแรมนั้น เราต้องใช้สัญญาณซิงค์เป็นตัวช่วยในวงจรนับหรือการอ้างแอดเดรส เพื่อการกำหนดแอดเดรสในการเก็บ ข้อมูลดิจิตอลของแรม จึงต้องมีการแยกสัญญาณซิงค์ ออกมา

การเปรียบเทียบความเหมือนและความแตกต่างของผลิตภัณฑ์เพื่อคัดแยก ผลิตภัณฑ์ที่ไม่เหมือนกันยังมีปัญหาในการคัดแยกเนื่องจากการทำงานของโปรแกรมยังไม่สมบูรณ์ เท่าที่ควร และความเร็วของสายพานถ้าเร็วมากก็ทำให้การประมวลผลผิดพลาดได้เช่นกัน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ภาคผนวก

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
                CPU     "Z180.TBL"
                HOF     "INT8"
                ORG     8000H    ;User RAM start (1000h-Physical address)
;*************************************************************************************************
;****                            IN PUT/OUT PUT                                          *****
;*************************************************************************************************
U8255_PA:       EQU     80H   ;User 8255 port A
U8255_PB:       EQU     81H   ;User 8255 port B
U8255_PC:       EQU     82H   ;User 8255 port C
U8255_CT:       EQU     83H   ;User 8255 control port
CBAR:           EQU     3AH
BBR:            EQU     39H
CBR:            EQU     38H
                LD      A,83;PortA(O/P) PortB(i/p) PortC UP(O/p)PortC LOW(I/p)
                OUT     (U8255_CT),A
                LD      B,10H
                LD      E,00H
                JP      DECODE1
MAIN:           LD      B,10H
                IN      A,(U8255_PC)
                BIT     0,A
                JP      Z,MOVE
                JP      COMPAR
;*************************************************************************************************
;****                            DECODE                                          *****
;*************************************************************************************************
DECODE1:        CALL    PHY
                LD      HL,0F000H
                LD      IY,8000H
DECC1:          LD      A,0FFH
                AND     (HL)
                CALL    NZ,ARAY
LOOPDE:         LD      A,00H
                INC     L
                LD      E,L
                DEC     L
                SUB     L
                LD      L,E
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
                JP      NZ,DECC1
                INC     H
                CALL    CHAX_H
                LD      A,00H
                LD      D,H
                SUB     H
                LD      H,D
                JP      NZ,DECC1
                DEC     B
                JP      NZ,DECODE1
                JP      MAIN
CHAX_H:         LD      A,H
                AND     0FH
                LD      C,A
                SUB     00H
                CALL    Z,CHAX_IY0
                LD      A,C
                SUB     01H
                CALL    Z,CHAX_IY1
                LD      A,C
                SUB     02H
                CALL    Z,CHAX_IY2
                LD      A,C
                SUB     03H
                CALL    Z,CHAX_IY3
                LD      A,C
                SUB     04H
                CALL    Z,CHAX_IY4
                LD      A,C
                SUB     05H
                CALL    Z,CHAX_IY5
                LD      A,C
                SUB     06H
                CALL    Z,CHAX_IY6
                LD      A,C
                SUB     07H
                CALL    Z,CHAX_IY7
                LD      A,C
                SUB     08H
                CALL    Z,CHAX_IY8
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
                LD      A,C
                SUB     09H
                CALL    Z,CHAX_IY9
                LD      A,C
                SUB     0AH
                CALL    Z,CHAX_IYA
                LD      A,C
                SUB     0BH
                CALL    Z,CHAX_IYB
                LD      A,C
                SUB     0CH
                CALL    Z,CHAX_IYC
                LD      A,C
                SUB     0DH
                CALL    Z,CHAX_IYD
                LD      A,C
                SUB     0EH
                CALL    Z,CHAX_IYE
                LD      A,C
                SUB     0FH
                CALL    Z,CHAX_IYF
                RET
CHAX_IY0:       LD      IY,8000H
                RET
CHAX_IY1:       LD      IY,8100H
                RET
CHAX_IY2:       LD      IY,8200H
                RET
CHAX_IY3:       LD      IY,8300H
                RET
CHAX_IY4:       LD      IY,8400H
                RET
CHAX_IY5:       LD      IY,8500H
                RET
CHAX_IY6:       LD      IY,8600H
                RET
CHAX_IY7:       LD      IY,8700H
                RET
CHAX_IY8:       LD      IY,8800H
                RET
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
CHAX_IY9:       LD      IY,8900H
                RET
CHAX_IYA:       LD      IY,8A00H
                RET
CHAX_IYB:       LD      IY,8B00H
                RET
CHAX_IYC:       LD      IY,8C00H
                RET
CHAX_IYD:       LD      IY,8D00H
                RET
CHAX_IYE:       LD      IY,8E00H
                RET
CHAX_IYF:       LD      IY,8F00H
                RET
ARAY:           LD      A,(HL)
                LD      (IY+0),A
                INC     IY
                RET

;*****************************************************************************************
;****            MOVE                                    *****
;*****************************************************************************************
MOVE:           LD      SP,8000H
                CALL    PHY1
MOVE1:          LD      HL,0000H
                PUSH    HL
                LD      HL,0F000H
                SCF
                CCF
                INC     SP
                SBC     HL,SP
                JP      NZ,MOVE1
                DEC     B
                JP      NZ,MOVE
                LD      B,10H
MOVE_R:         CALL    PHY1
                LD      A,B
                LD      HL,0F000H
                LD      DE,8000H
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
                LD      BC,0FFFH
                LDIR
                LD      B,A
                DEC     B
                JP      NZ,MOVE_R
                LD      A,04H
                OUT     (U8255_PA),A
                JP      CLOSE
;*************************************************************************************
;****                            COMPART                                        *****
;*************************************************************************************
COMPAR:         LD      DE,00H
COMPAR1:        CALL    PHY1
                LD      IX,08000H               ; ADDRESS
                LD      IY,0F000H               ; ADDRESS
LOOP:           LD      HL,0000H
                LD      A,(IY+0)
                SUB     (IX+0)
                JP      Z,UP
LOOP1:          INC     IX
                INC     IY
                LD      SP,IY
                SCF
                CCF
                SBC     HL,SP
                JP      NZ,LOOP
                DEC     B
                JP      NZ,COMPAR1
                JP      MATE
UP:             INC     DE
                JP      LOOP1

;*************************************************************************************
;****                            MATE                                           *****
;*************************************************************************************
MATE:           IN      A,(U8255_PB)
                LD      C,A
                CALL    SW_80
                SUB     80H
                JP      Z,CHAK1
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
        LD      A,C
        CALL    SW_40
        SUB     40H
        JP      Z,CHAK1
        LD      A,C
        CALL    SW_20
        SUB     20H
        JP      Z,CHAK1
        LD      A,C
        CALL    SW_10
        SUB     10H
        JP      Z,CHAK1
        LD      A,C
        CALL    SW_08
        SUB     08H
        JP      Z,CHAK1
        LD      A,C
        CALL    SW_04
        SUB     04H
        JP      Z,CHAK1
        LD      A,C
        CALL    SW_02
        SUB     02H
        JP      Z,CHAK1
        LD      A,C
        CALL    SW_01
        SUB     01H
        JP      Z,CHAK1
CHAK1:  LD      A,D
        AND     0F0H
        LD      H,A
        SUB     0F0H
        JP      Z,CHAK2
        LD      A,H
        SUB     0E0H
        JP      Z,CHAK3
        LD      A,H
        SUB     0D0H
        JP      Z,CHAK4
        LD      A,H
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
        SUB     0C0H
        JP      Z,CHAK5
        JP      SOLI
CHAK2:  LD      A,B
        SUB     08H
        JP      Z,CLOSE
        LD      A,B
        SUB     07H
        JP      Z,CLOSE
        LD      A,B
        SUB     06H
        JP      Z,CLOSE
        LD      A,B
        SUB     05H
        JP      Z,CLOSE
        LD      A,B
        SUB     04H
        JP      Z,CLOSE
        LD      A,B
        SUB     03H
        JP      Z,CK_BIT1
        LD      A,B
        SUB     02H
        JP      Z,CK_BIT4
        LD      A,B
        SUB     01H
        JP      Z,CK_BIT6
CHAK3:  LD      A,B
        SUB     08H
        JP      Z,CLOSE
        LD      A,B
        SUB     07H
        JP      Z,CLOSE
        LD      A,B
        SUB     06H
        JP      Z,CLOSE
        LD      A,B
        SUB     05H
        JP      Z,CK_BIT2
        LD      A,B
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
                SUB     04H
                JP      Z,CK_BIT5
                JP      Z,SOLI
CHAK4:          LD      A,B
                SUB     08H
                JP      Z,CLOSE
                LD      A,B
                SUB     07H
                JP      Z,CK_BIT3
                LD      A,B
                SUB     06H
                JP      Z,CK_BIT6
                JP      SOLI
CHAK5:          LD      A,B
                SUB     08H
                JP      Z,CK_BIT5
                JP      SOLI
CK_BIT1:        LD      A,D             ;CHAK BIT2>01H
                AND     0FH             ;CHAK BIT2>01H
                BIT     3,A             ;CHAK BIT2>01H
                JP      NZ,CLOSE        ;CHAK BIT2>01H
                BIT     2,A             ;CHAK BIT2>01H
                JP      NZ,CLOSE        ;CHAK BIT2>01H
                BIT     1,A             ;CHAK BIT2>01H
                JP      NZ,CLOSE        ;CHAK BIT2>01H
                BIT     0,A             ;CHAK BIT2>01H
                JP      Z,SOLI          ;CHAK BIT2>01H
                JP      CLOSE           ;CHAK BIT2>01H
CK_BIT2:        LD      A,D             ;CHAK BIT2>03H
                AND     0FH             ;CHAK BIT2>03H
                BIT     3,A             ;CHAK BIT2>03H
                JP      NZ,CLOSE        ;CHAK BIT2>03H
                BIT     2,A             ;CHAK BIT2>03H
                JP      NZ,CLOSE        ;CHAK BIT2>03H
                BIT     1,A             ;CHAK BIT2>03H
                JP      Z,SOLI          ;CHAK BIT2>03H
                BIT     0,A             ;CHAK BIT2>03H
                JP      Z,SOLI          ;CHAK BIT2>03H
                JP      CLOSE           ;CHAK BIT2>03H
CK_BIT3:        LD      A,D             ;CHAK BIT2>04H
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
                AND     0FH             ;CHAK BIT2>04H
                BIT     3,A             ;CHAK BIT2>04H
                JP      NZ,CLOSE        ;CHAK BIT2>04H
                BIT     2,A             ;CHAK BIT2>04H
                JP      Z,SOLI          ;CHAK BIT2>04H
                JP      CLOSE           ;CHAK BIT2>04H
CK_BIT4:        LD      A,D             ;CHAK BIT2>06H
                AND     0FH             ;CHAK BIT2>06H
                BIT     3,A             ;CHAK BIT2>06H
                JP      NZ,CLOSE        ;CHAK BIT2>06H
                BIT     2,A             ;CHAK BIT2>06H
                JP      Z,SOLI          ;CHAK BIT2>06H
                BIT     1,A             ;CHAK BIT2>06H
                JP      Z,SOLI          ;CHAK BIT2>06H
                JP      CLOSE           ;CHAK BIT2>06H
CK_BIT5:        LD      A,D             ;CHAK BIT2>0BH
                AND     0FH             ;CHAK BIT2>0BH
                BIT     3,A             ;CHAK BIT2>0BH
                JP      Z,SOLI          ;CHAK BIT2>0BH
                BIT     2,A             ;CHAK BIT2>0BH
                JP      NZ,CLOSE        ;CHAK BIT2>0BH
                BIT     1,A             ;CHAK BIT2>0BH
                JP      Z,SOLI          ;CHAK BIT2>0BH
                BIT     0,A             ;CHAK BIT2>0BH
                JP      Z,SOLI          ;CHAK BIT2>0BH
                JP      CLOSE           ;CHAK BIT2>0BH
CK_BIT6:        LD      A,D             ;CHAK BIT2>0CH
                AND     0FH             ;CHAK BIT2>0CH
                BIT     3,A             ;CHAK BIT2>0CH
                JP      Z,SOLI          ;CHAK BIT2>0CH
                BIT     2,A             ;CHAK BIT2>0CH
                JP      Z,SOLI          ;CHAK BIT2>0CH
                JP      CLOSE           ;CHAK BIT2>0CH
;*****************************************************************************************
;****                                    RATIO                                      *****
;*****************************************************************************************
SW_80:          LD      B,01H
                RET
SW_40:          LD      B,02H
                RET
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
SW_20:      LD      B,03H
            RET
SW_10:      LD      B,04H
            RET
SW_08:      LD      B,05H
            RET
SW_04:      LD      B,06H
            RET
SW_02:      LD      B,07H
            RET
SW_01:      LD      B,08H
            RET
;*****************************************************************************
;****                        RATIO                                        *****
;*****************************************************************************
SOLI:       LD      A,01H
            OUT     (U8255_PA),A
SOLI1:      LD      B,0FFH
            DEC     B
            JP      NZ,SOLI1
            JP      CLOSE
;*****************************************************************************
;****        LOGICAL ADDRESS TO PHYSICAL ADDRESS                        *****
;*****************************************************************************
PHY:        LD      A,B
            SUB     10H
            CALL    Z,AREA1
            LD      A,B
            SUB     0FH
            CALL    Z,AREA2
            LD      A,B
            SUB     0EH
            CALL    Z,AREA3
            LD      A,B
            SUB     0DH
            CALL    Z,AREA4
            LD      A,B
            SUB     0CH
            CALL    Z,AREA5
            LD      A,B
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
        SUB     0BH
        CALL    Z,AREA6
        LD      A,B
        SUB     0AH
        CALL    Z,AREA7
        LD      A,B
        SUB     09H
        CALL    Z,AREA8
        LD      A,B
        SUB     08H
        CALL    Z,AREA9
        LD      A,B
        SUB     07H
        CALL    Z,AREA10
        LD      A,B
        SUB     06H
        CALL    Z,AREA11
        LD      A,B
        SUB     05H
        CALL    Z,AREA12
        LD      A,B
        SUB     04H
        CALL    Z,AREA13
        LD      A,B
        SUB     03H
        CALL    Z,AREA14
        LD      A,B
        SUB     02H
        CALL    Z,AREA15
        LD      A,B
        SUB     01H
        CALL    Z,AREA16
        RET
AREA1:  LD      A,0F8H          ;COMMON AREA
        OUT0    (CBAR),A        ;MONITOR ADDRESS 0000-7FFF
        LD      A,48H
        OUT0    (BBR),A         ;BANK AREA REMOVE TO 50000H
        LD      A,31H
        OUT0    (CBR),A         ;COMMON AREA REMOVE TO 40000H
        RET
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
AREA2:      LD      A,0F8H          ;COMMON AREA
            OUT0    (CBAR),A        ;MONITOR ADDRESS 0000-7FFF
            LD      A,49H
            OUT0    (BBR),A         ;BANK AREA REMOVE TO 51000H
            LD      A,32H
            OUT0    (CBR),A         ;COMMON AREA REMOVE TO 41000H
            RET
AREA3:      LD      A,0F8H          ;COMMON AREA
            OUT0    (CBAR),A        ;MONITOR ADDRESS 0000-7FFF
            LD      A,4AH
            OUT0    (BBR),A         ;BANK AREA REMOVE TO 52000H
            LD      A,33H
            OUT0    (CBR),A         ;COMMON AREA REMOVE TO 42000H
            RET
AREA4:      LD      A,0F8H          ;COMMON AREA
            OUT0    (CBAR),A        ;MONITOR ADDRESS 0000-7FFF
            LD      A,4BH
            OUT0    (BBR),A         ;BANK AREA REMOVE TO 53000H
            LD      A,34H
            OUT0    (CBR),A         ;COMMON AREA REMOVE TO 43000H
            RET
AREA5:      LD      A,0F8H          ;COMMON AREA
            OUT0    (CBAR),A        ;MONITOR ADDRESS 0000-7FFF
            LD      A,4CH
            OUT0    (BBR),A         ;BANK AREA REMOVE TO 54000H
            LD      A,35H
            OUT0    (CBR),A         ;COMMON AREA REMOVE TO 44000H
            RET

AREA6:      LD      A,0F8H          ;COMMON AREA
            OUT0    (CBAR),A        ;MONITOR ADDRESS 0000-7FFF
            LD      A,4DH
            OUT0    (BBR),A         ;BANK AREA REMOVE TO 55000H
            LD      A,36H
            OUT0    (CBR),A         ;COMMON AREA REMOVE TO 45000H
            RET

AREA7:      LD      A,0F8H          ;COMMON AREA
            OUT0    (CBAR),A        ;MONITOR ADDRESS 0000-7FFF
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
        LD      A,4EH
        OUT0    (BBR),A         ;BANK AREA REMOVE TO 56000H
        LD      A,37H
        OUT0    (CBR),A         ;COMMON AREA REMOVE TO 46000H
        RET
AREA8:  LD      A,0F8H          ;COMMON AREA
        OUT0    (CBAR),A        ;MONITOR ADDRESS 0000-7FFF
        LD      A,4FH
        OUT0    (BBR),A         ;BANK AREA REMOVE TO 57000H
        LD      A,38H
        OUT0    (CBR),A         ;COMMON AREA REMOVE TO 47000H
        RET
AREA9:  LD      A,0F8H          ;COMMON AREA
        OUT0    (CBAR),A        ;MONITOR ADDRESS 0000-7FFF
        LD      A,50H
        OUT0    (BBR),A         ;BANK AREA REMOVE TO 58000H
        LD      A,39H
        OUT0    (CBR),A         ;COMMON AREA REMOVE TO 48000H
        RET
AREA10: LD      A,0F8H          ;COMMON AREA
        OUT0    (CBAR),A        ;MONITOR ADDRESS 0000-7FFF
        LD      A,51H
        OUT0    (BBR),A         ;BANK AREA REMOVE TO 59000H
        LD      A,3AH
        OUT0    (CBR),A         ;COMMON AREA REMOVE TO 49000H
        RET
AREA11: LD      A,0F8H          ;COMMON AREA
        OUT0    (CBAR),A        ;MONITOR ADDRESS 0000-7FFF
        LD      A,52H
        OUT0    (BBR),A         ;BANK AREA REMOVE TO 5A000H
        LD      A,03BH
        OUT0    (CBR),A         ;COMMON AREA REMOVE TO 4A000H
        RET
AREA12: LD      A,0F8H          ;COMMON AREA
        OUT0    (CBAR),A        ;MONITOR ADDRESS 0000-7FFF
        LD      A,53H
        OUT0    (BBR),A         ;BANK AREA REMOVE TO 5B000H
        LD      A,03CH
        OUT0    (CBR),A         ;COMMON AREA REMOVE TO 4B000H
        RET
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
AREA13:     LD      A,0F8H          ;COMMON AREA
            OUT0    (CBAR),A        ;MONITOR ADDRESS 0000-7FFF
            LD      A,54H
            OUT0    (BBR),A         ;BANK AREA REMOVE TO 5C000H
            LD      A,03DH
            OUT0    (CBR),A         ;COMMON AREA REMOVE TO 4C000H
            RET
AREA14:     LD      A,0F8H          ;COMMON AREA
            OUT0    (CBAR),A        ;MONITOR ADDRESS 0000-7FFF
            LD      A,55H
            OUT0    (BBR),A         ;BANK AREA REMOVE TO 5D000H
            LD      A,03EH
            OUT0    (CBR),A         ;COMMON AREA REMOVE TO 4D000H
            RET
AREA15:     LD      A,0F8H          ;COMMON AREA
            OUT0    (CBAR),A        ;MONITOR ADDRESS 0000-7FFF
            LD      A,56H
            OUT0    (BBR),A         ;BANK AREA REMOVE TO 5E000H
            LD      A,03FH
            OUT0    (CBR),A         ;COMMON AREA REMOVE TO 4E000H
            RET
AREA16:     LD      A,0F8H          ;COMMON AREA
            OUT0    (CBAR),A        ;MONITOR ADDRESS 0000-7FFF
            LD      A,57H
            OUT0    (BBR),A         ;BANK AREA REMOVE TO 5F000H
            LD      A,040H
            OUT0    (CBR),A         ;COMMON AREA REMOVE TO 4F000H
            RET
PHY1:       LD      A,B
            SUB     10H
            CALL    Z,AREAR1
            LD      A,B
            SUB 0   FH
            CALL    Z,AREAR2
            LD      A,B
            SUB     0EH
            CALL    Z,AREAR3
            LD      A,B
            SUB     0DH
            CALL    Z,AREAR4
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
        LD      A,B
        SUB     0CH
        CALL    Z,AREAR5
        LD      A,B
        SUB     0BH
        CALL    Z,AREAR6
        LD      A,B
        SUB     0AH
        CALL    Z,AREAR7
        LD      A,B
        SUB     09H
        CALL    Z,AREAR8
        LD      A,B
        SUB     08H
        CALL    Z,AREAR9
        LD      A,B
        SUB     07H
        CALL    Z,AREAR10
        LD      A,B
        SUB     06H
        CALL    Z,AREAR11
        LD      A,B
        SUB     05H
        CALL    Z,AREAR12
        LD      A,B
        SUB     04H
        CALL    Z,AREAR13
        LD      A,B
        SUB     03H
        CALL    Z,AREAR14
        LD      A,B
        SUB     02H
        CALL    Z,AREAR15
        LD      A,B
        SUB     01H
        CALL    Z,AREAR16
        RET
AREAR1: LD      A,0F8H          ;COMMON AREA
        OUT0    (CBAR),A        ;MONITOR ADDRESS 0000-7FFF
        LD      A,18H
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
                OUT0    (BBR),A         ;BANK AREA REMOVE TO 20000H
                LD      A,41H
                OUT0    (CBR),A         ;COMMON AREA REMOVE TO 50000H
                RET
AREAR2:         LD      A,0F8H          ;COMMON AREA
                OUT0    (CBAR),A        ;MONITOR ADDRESS 0000-7FFF
                LD      A,19H
                OUT0    (BBR),A         ;BANK AREA REMOVE TO 21000H
                LD      A,42H
                OUT0    (CBR),A         ;COMMON AREA REMOVE TO 51000H
                RET
AREAR3:         LD      A,0F8H          ;COMMON AREA
                OUT0    (CBAR),A        ;MONITOR ADDRESS 0000-7FFF
                LD      A,1AH
                OUT0    (BBR),A         ;BANK AREA REMOVE TO 22000H
                LD      A,43H
                OUT0    (CBR),A         ;COMMON AREA REMOVE TO 52000H
                RET
AREAR4:         LD      A,0F8H          ;COMMON AREA
                OUT0    (CBAR),A        ;MONITOR ADDRESS 0000-7FFF
                LD      A,1BH
                OUT0    (BBR),A         ;BANK AREA REMOVE TO 23000H
                LD      A,44H
                OUT0    (CBR),A         ;COMMON AREA REMOVE TO 53000H
                RET
AREAR5:         LD      A,0F8H          ;COMMON AREA
                OUT0    (CBAR),A        MONITOR ADDRESS 0000-7FFF
                LD      A,1CH
                OUT0    (BBR),A         ;BANK AREA REMOVE TO 24000H
                LD      A,45H
                OUT0    (CBR),A         ;COMMON AREA REMOVE TO 54000H
                RET

AREAR6:         LD      A,0F8H          ;COMMON AREA
                OUT0    (CBAR),A        ;MONITOR ADDRESS 0000-7FFF
                LD      A,1DH
                OUT0    (BBR),A         ;BANK AREA REMOVE TO 25000H
                LD      A,46H
                OUT0    (CBR),A         ;COMMON AREA REMOVE TO 55000H
                RET
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
AREAR7:     LD      A,0F8H          ;COMMON AREA
            OUT0    (CBAR),A        ;MONITOR ADDRESS 0000-7FFF
            LD      A,1EH
            OUT0    (BBR),A         ;BANK AREA REMOVE TO 26000H
            LD      A,47H
            OUT0    (CBR),A         ;COMMON AREA REMOVE TO 56000H
            RET
AREAR8:     LD      A,0F8H          ;COMMON AREA
            OUT0    (CBAR),A        ;MONITOR ADDRESS 0000-7FFF
            LD      A,1FH
            OUT0    (BBR),A         ;BANK AREA REMOVE TO 27000H
            LD      A,48H
            OUT0    (CBR),A         ;COMMON AREA REMOVE TO 57000H
            RET
AREAR9:     LD      A,0F8H          ;COMMON AREA
            OUT0    (CBAR),A        ;MONITOR ADDRESS 0000-7FFF
            LD      A,20H
            OUT0    (BBR),A         ;BANK AREA REMOVE TO 28000H
            LD      A,49H
            OUT0    (CBR),A         ;COMMON AREA REMOVE TO 58000H
            RET
AREAR10:    LD      A,0F8H          ;COMMON AREA
            OUT0    (CBAR),A        ;MONITOR ADDRESS 0000-7FFF
            LD      A,21H
            OUT0    (BBR),A         ;BANK AREA REMOVE TO 29000H
            LD      A,4AH
            OUT0    (CBR),A         ;COMMON AREA REMOVE TO 59000H
            RET
AREAR11:    LD      A,0F8H          ;COMMON AREA
            OUT0    (CBAR),A        ;MONITOR ADDRESS 0000-7FFF
            LD      A,22H
            OUT0    (BBR),A         ;BANK AREA REMOVE TO 2A000H
            LD      A,4BH
            OUT0    (CBR),A         ;COMMON AREA REMOVE TO 5A000H
            RET
AREAR12:    LD      A,0F8H          ;COMMON AREA
            OUT0    (CBAR),A        ;MONITOR ADDRESS 0000-7FFF
            LD      A,23H
            OUT0    (BBR),A         ;BANK AREA REMOVE TO 2B000H
            LD      A,4CH
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
                OUT0    (CBR),A         ;COMMON AREA REMOVE TO 5B000H
                RET
AREAR13:        LD      A,0F8H          ;COMMON AREA
                OUT0    (CBAR),A        ;MONITOR ADDRESS 0000-7FFF
                LD      A,24H
                OUT0    (BBR),A         ;BANK AREA REMOVE TO 2C000H
                LD      A,4DH
                OUT0    (CBR),A         ;COMMON AREA REMOVE TO 5C000H
                RET
AREAR14:        LD      A,0F8H          ;COMMON AREA
                OUT0    (CBAR),A        ;MONITOR ADDRESS 0000-7FFF
                LD      A,25H
                OUT0    (BBR),A         ;BANK AREA REMOVE TO 2D000H
                LD      A,4EH
                OUT0    (CBR),A         ;COMMON AREA REMOVE TO 5D000H
                RET
AREAR15:        LD      A,0F8H          ;COMMON AREA
                OUT0    (CBAR),A        ;MONITOR ADDRESS 0000-7FFF
                LD      A,26H
                OUT0    (BBR),A         ;BANK AREA REMOVE TO 2E000H
                LD      A,4FH
                OUT0    (CBR),A         ;COMMON AREA REMOVE TO 5E000H
                RET
AREAR16:        LD      A,0F8H          ;COMMON AREA
                OUT0    (CBAR),A        ;MONITOR ADDRESS 0000-7FFF
                LD      A,27H
                OUT0    (BBR),A         ;BANK AREA REMOVE TO 2F000H
                LD      A,50H
                OUT0    (CBR),A         ;COMMON AREA REMOVE TO 5F000H
                RET
CLOSE:          END
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

กิตติกรรมประกาศ

โครงงานชิ้นนี้สำเร็จลุล่วงไปได้ด้วยดี ขอขอบพระคุณ อาจารย์ ชินภัทร นันทจิวากรชัย เป็นอย่างสูง ที่ได้ให้ความรู้ คำปรึกษา และคำแนะนำต่างๆ ขอขอบพระคุณบิดา-มารดาที่ให้กำลังใจ และความช่วยเหลือต่างๆ อีกทั้งขอขอบคุณเพื่อน ๆ รุ่นพี่รุ่นน้องอิเล็กทรอนิกส์ พระนครเหนือ ทุกคนที่ให้ความช่วยเหลือในด้านต่าง ๆ เป็นอย่างดี

.....

(นาย นพดล กสิพล)

.....

(นาย จตุพล มานะกุล)

.....

(นาย ศิวพร สอนขำ)

ผู้จัดทำ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

DATA SHEET

TDA8708A
Video analog input interface

Product specification
Supersedes data of April 1993
File under Integrated Circuits, IC02

June 1994

Philips Semiconductors

PHILIPS

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Video analog input interface

TDA8708A

FEATURES

- 8-bit resolution
- Sampling rate up to 32 MHz
- Binary or two's complement 3-state TTL outputs
- TTL-compatible digital inputs and outputs
- Internal reference voltage regulator
- Power dissipation of 365 mW (typical)
- Input selector circuit (one out of three video inputs)
- Clamp and Automatic Gain Control (AGC) functions for CVBS and Y signals
- No sample-and-hold circuit required.
- The TDA8708A has white peak control in modes 1 and 2 whereas the TDA8708B has control in mode 1 only.

APPLICATIONS

- Video signal decoding
- Scrambled TV (encoding and decoding)
- Digital picture processing
- Frame grabbing.

GENERAL DESCRIPTION

The TDA8708A is an analog input interface for video signal processing. It includes a video amplifier with clamp and gain control, an 8-bit analog-to-digital converter (ADC) with a sampling rate of 32 MHz and an input selector.

QUICK REFERENCE DATA

SYMBOL	PARAMETER	MIN.	TYP.	MAX.	UNIT
V_{CCA}	analog supply voltage	4.5	5.0	5.5	V
V_{CCD}	digital supply voltage	4.5	5.0	5.5	V
V_{CCO}	TTL output supply voltage	4.2	5.0	5.5	V
I_{CCA}	analog supply current	–	37	45	mA
I_{CCD}	digital supply current	–	24	30	mA
I_{CCO}	TTL output supply current	–	12	16	mA
ILE	DC integral linearity error	–	–	±1	LSB
DLE	DC differential linearity error	–	–	±0.5	LSB
$f_{clk(max)}$	maximum clock frequency	30	32	–	MHz
B	maximum –3 dB bandwidth (AGC amplifier)	12	18	–	MHz
P_{tot}	total power dissipation	–	365	500	mW

ORDERING INFORMATION

TYPE NUMBER	PACKAGE			
	PINS	PIN POSITION	MATERIAL	CODE
TDA8708A	28	DIP	plastic	SOT117-1
TDA8708AT	28	SO28L	plastic	SOT136-1

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

PINNING

SYMBOL	PIN	DESCRIPTION
D7	1	data output; bit 7 (MSB)
D6	2	data output; bit 6
D5	3	data output; bit 5
D4	4	data output; bit 4
CLK	5	clock input
V_{CCD}	6	digital supply voltage (+5 V)
V_{CCO}	7	TTL outputs supply voltage (+5 V)
DGND	8	digital ground
OF	9	output format/chip enable (3-state input)
D3	10	data output; bit 3
D2	11	data output; bit 2
D1	12	data output; bit 1
D0	13	data output; bit 0 (LSB)
I0	14	video input selection bit 0
I1	15	video input selection bit 1
VIN0	16	video input 0
VIN1	17	video input 1
VIN2	18	video input 2
ANOUT	19	analog voltage output
ADCIN	20	analog-to-digital converter input
DEC	21	decoupling input
V_{CCA}	22	analog supply voltage (+5 V)
AGND	23	analog ground
CLAMP	24	clamp capacitor connection
AGC	25	AGC capacitor connection
GATE B	26	black level synchronization pulse
GATE A	27	sync level synchronization pulse
RPEAK	28	peak level current resistor input

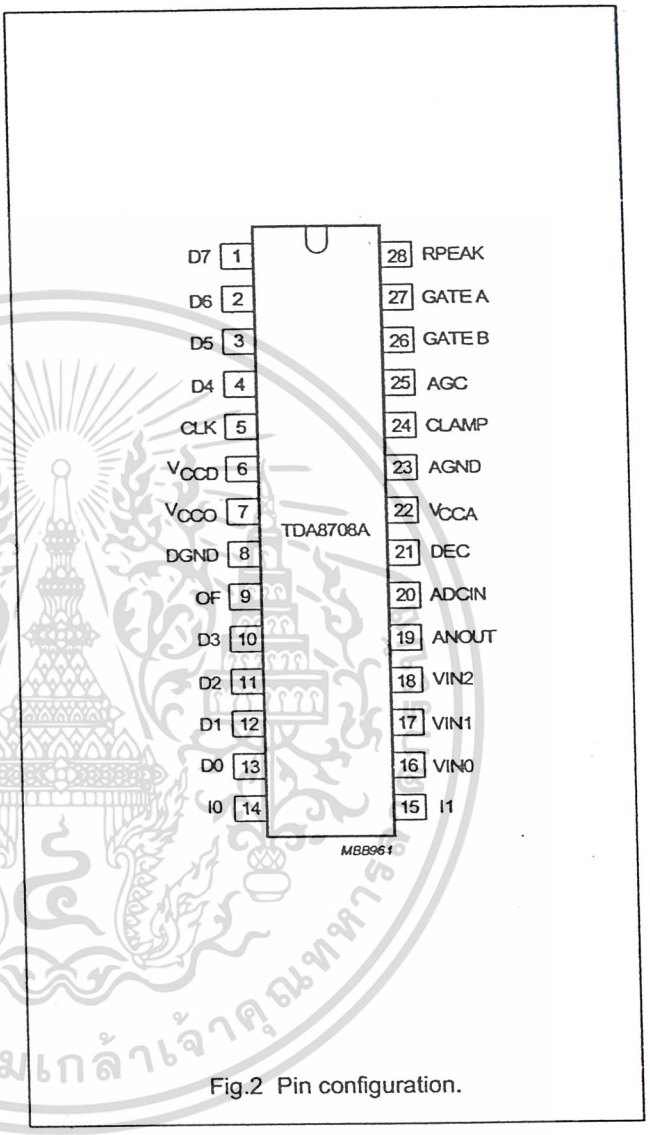


Fig.2 Pin configuration.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

FUNCTIONAL DESCRIPTION

The TDA8708A provides a simple interface for decoding video signals.

The TDA8708A operates in configuration mode 1 (see Fig.4) when the video signals are weak (i.e. when the gain of the AGC amplifier has not yet reached its optimum value). This enables a fast recovery of the synchronization pulses in the decoder circuit. When the pulses at the GATE A and GATE B inputs become distinct (GATE A and GATE B pulses are synchronization pulses occurring during the sync period and rear porch respectively) the TDA8708A automatically switches to configuration mode 2 (see Fig.5).

When the TDA8708A is in configuration mode 1, the gain of the AGC amplifier will be roughly adjusted (sync level to a digital output level of 0 and the peak level to a digital output level of 255).

In configuration mode 2 the digital output of the ADC is compared to internal digital reference levels. The resultant outputs control the charge or discharge current of a capacitor connected to the AGC pin. The voltage across this capacitor controls the gain of the video amplifier. This is the gain control loop.

The sync level comparator is active during a positive-going pulse at the GATE A input. This means that the sync pulse of the composite video signal is used as an amplitude reference. The bottom of the sync pulse is adjusted to obtain a digital output of logic 0 at the converter output. As the black level is at digital level 64, the sync pulse will have a digital amplitude of 64 LSBs.

The peak-white control loop is always active. If the video signal tends to exceed the digital code of 248, the gain will be limited to avoid any over-range of the converter.

The use of nominal signals will prevent the output from exceeding a digital code of 213 and the peak-white control loop will be non-active.

The clamp level control is accomplished by using the same techniques as used for the gain control. The black-level digital comparator is active during a positive-going pulse at the GATE B input. The clamp capacitor will be charged or discharged to adjust the digital output to code 64.

LIMITING VALUES

In accordance with the Absolute Maximum Rating System (IEC 134).

SYMBOL	PARAMETER	MIN.	MAX.	UNIT
V_{CCA}	analog supply voltage	–0.3	+7.0	V
V_{CCD}	digital supply voltage	–0.3	+7.0	V
V_{CCO}	output supply voltage	–0.3	+7.0	V
ΔV_{CC}	supply voltage difference between V_{CCA} and V_{CCD}	–1.0	+1.0	V
	supply voltage difference between V_{CCO} and V_{CCD}	–1.0	+1.0	V
	supply voltage difference between V_{CCA} and V_{CCO}	–1.0	+1.0	V
V_I	input voltage	–0.3	V_{CCA}	V
I_O	output current	0	+10	mA
T_{stg}	storage temperature	–55	+150	°C
T_{amb}	operating ambient temperature	0	+70	°C
T_j	junction temperature	0	+125	°C

THERMAL CHARACTERISTICS

SYMBOL	PARAMETER	VALUE	UNIT
$R_{th\ j-a}$	thermal resistance from junction to ambient in free air		
	SOT117-1	55	K/W
	SOT136-1	70	K/W

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

CHARACTERISTICS

V_{CCA} = V_{22} to V_{23} = 4.5 to 5.5 V; V_{CCD} = V_6 to V_8 = 4.5 to 5.5 V; V_{CCO} = V_7 to V_8 = 4.2 to 5.5 V; AGND and DGND shorted together; V_{CCA} to V_{CCD} = –0.5 to +0.5 V; V_{CCO} to V_{CCD} = –0.5 to +0.5 V; V_{CCA} to V_{CCO} = –0.5 to +0.5 V; T_{amb} = 0 to +70 °C; typical readings taken at V_{CCA} = V_{CCD} = V_{CCO} = 5 V and T_{amb} = 25 °C; unless otherwise specified.

SYMBOL	PARAMETER	CONDITIONS	MIN.	TYP.	MAX.	UNIT
Supplies						
V_{CCA}	analog supply voltage		4.5	5.0	5.5	V
V_{CCD}	digital supply voltage		4.5	5.0	5.5	V
V_{CCO}	TTL output supply voltage		4.2	5.0	5.5	V
I_{CCA}	analog supply current		–	37	45	mA
I_{CCD}	digital supply current		–	24	30	mA
I_{CCO}	TTL output supply current	TTL load (see Fig.8)	–	12	16	mA
Video amplifier inputs						
VIN(0 TO 2) INPUTS						
$V_{I(p-p)}$	input voltage (peak-to-peak value)	AGC load with external capacitor; note 1	0.6	–	1.5	V
$\|Z_i\|$	input impedance	f_i = 6 MHz	10	20	–	kΩ
C_I	input capacitance	f_i = 6 MHz	–	1	–	pF
I0 AND I1 TTL INPUTS (SEE TABLE 1)						
V_{IL}	LOW level input voltage		0	–	0.8	V
V_{IH}	HIGH level input voltage		2.0	–	V_{CCD}	V
I_{IL}	LOW level input current	V_I = 0.4 V	–400	–	–	µA
I_{IH}	HIGH level input current	V_I = 2.7 V	–	–	20	µA
GATE A AND GATE B TTL INPUTS (SEE FIGS 4 AND 5)						
V_{IL}	LOW level input voltage		0	–	0.8	V
V_{IH}	HIGH level input voltage		2.0	–	V_{CCD}	V
I_{IL}	LOW level input current	V_I = 0.4 V	–400	–	–	µA
I_{IH}	HIGH level input current	V_I = 2.7 V	–	–	20	µA
t_W	pulse width	see Fig.5	2	–	–	µs
RPEAK INPUT (PIN 28)						
$I_{28(min)}$	minimum peak level current	R_{28} = 0 Ω	–	80	150	µA
AGC INPUT (PIN 25)						
$V_{25(min)}$	AGC voltage for minimum gain		–	2.8	–	V
$V_{25(max)}$	AGC voltage for maximum gain		–	4.0	–	V
	AGC output current		see Table 2			
CLAMP INPUT (PIN 24)						
V_{24}	clamp voltage for code 128 output		–	3.5	–	V
I_{24}	clamp output current		see Table 3			

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

SYMBOL	PARAMETER	CONDITIONS	MIN.	TYP.	MAX.	UNIT
Video amplifier outputs						
ANOUT OUTPUT (PIN 19)						
$V_{19(p-p)}$	AC output voltage (peak-to-peak value)	V_{VIN} = 1.33 V (p-p); V_{25} = 3.6 V	–	1.33	–	V
I_{19}	internal current source	$R_L = \infty$	2.0	2.5	–	mA
$I_{O(p-p)}$	output current driven by the load	V_{ANOUT} = 1.33 V (p-p); note 2	–	–	1.0	mA
V_{19}	DC output voltage for black level	note 3	–	V_{CCA} – 2.24	–	V
Z_{19}	output impedance		–	20	–	Ω
Video amplifier dynamic characteristics						
α_{ct}	crosstalk between VIN inputs	V_{CCA} = 4.75 to 5.25 V	–	–50	–45	dB
G_{diff}	differential gain	V_{VIN} = 1.33 V (p-p); V_{25} = 3.6 V	–	2	–	%
φ_{diff}	differential phase	V_{VIN} = 1.33 V (p-p); V_{25} = 3.6 V	–	0.8	–	deg
B	–3 dB bandwidth		12	–	–	MHz
S/N	signal-to-noise ratio	note 4	60	–	–	dB
SVRR1	supply voltage ripple rejection	note 5	–	45	–	dB
ΔG	gain range	see Fig.10	–4.5	–	+6.0	dB
G_{stab}	gain stability as a function of supply voltage and temperature	see Fig.10	–	–	5	%
Analog-to-digital converter inputs						
CLK INPUT (PIN 5)						
V_{IL}	LOW level input voltage		0	–	0.8	V
V_{IH}	HIGH level input voltage		2.0	–	V_{CCD}	V
I_{IL}	LOW level input current	V_{clk} = 0.4 V	–400	–	–	μA
I_{IH}	HIGH level input current	V_{clk} = 2.7 V	–	–	100	μA
$\|Z_i\|$	input impedance	f_{clk}= 10 MHz	–	4	–	kΩ
C_I	input capacitance	f_{clk} = 10 MHz	–	4.5	–	pF
OF INPUT (3-STATE; SEE TABLE 4)						
V_{IL}	LOW level input voltage		0	–	0.2	V
V_{IH}	HIGH level input voltage		2.6	–	V_{CCD}	V
V_9	input voltage in high impedance state		–	1.15	–	V
I_{IL}	LOW level input current		–370	–300	–	μA
I_{IH}	HIGH level input current		–	300	450	μA

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

SYMBOL	PARAMETER	CONDITIONS	MIN.	TYP.	MAX.	UNIT
ADCIN INPUT (PIN 20; SEE TABLE 5)						
V_{20}	input voltage	digital output = 00	–	V_{CCA} – 2.42	–	V
V_{20}	input voltage	digital output = 255	–	V_{CCA} – 1.41	–	V
$V_{20(p-p)}$	input voltage amplitude (peak-to-peak value)		–	1.0	–	V
I_{20}	input current		–	1.0	10	µA
$\|Z_i\|$	input impedance	f_i = 6 MHz	–	50	–	MΩ
C_I	input capacitance	f_i = 6 MHz	–	1	–	pF
Analog-to-digital converter outputs						
DIGITAL OUTPUTS D0 TO D7						
V_{OL}	LOW level output voltage	I_{OL} = 2 mA	0	–	0.6	V
V_{OH}	HIGH level output voltage	I_{OL} = –0.4 mA	2.4	–	V_{CCD}	V
I_{OZ}	output current in 3-state mode	0.4 V < V_O < V_{CCD}	–20	–	+20	µA
Switching characteristics						
$f_{clk(max)}$	maximum clock input frequency	see Fig.6; note 6	30	32	–	MHz
Analog signal processing (f_{clk} = 32 MHz; see Fig.8)						
G_{diff}	differential gain	V_{20} = 1.0 V (p-p); see Fig.3; note 7	–	2	–	%
φ_{diff}	differential phase	see Fig.3; note 7	–	2	–	deg
f_1	fundamental harmonics (full-scale)	f_i = 4.43 MHz; note 7	–	–	0	dB
f_{all}	harmonics (full-scale); all components	f_i = 4.43 MHz; note 7	–	–55	–	dB
SVRR2	supply voltage ripple rejection	note 8	–	1	5	%/V
Transfer function (see Fig.8)						
ILE	DC integral linearity error		–	–	±1	LSB
DLE	DC differential linearity error		–	–	±0.5	LSB
ILE	AC integral linearity error	note 9	–	–	±2	LSB
Timing (f_{clk} = 32 MHz; see Figs 6, 7 and 8)						
DIGITAL OUTPUTS (C_L = 15 pF; I_{OL} = 2 mA; R_L = 2 kΩ)						
t_{ds}	sampling delay time		–	2	–	ns
t_h	output hold time		6	8	–	ns
t_d	output delay time		–	16	20	ns
t_{dEZ}	3-state delay time; output enable		–	19	25	ns
t_{dDZ}	3-state delay time; output disable		–	14	20	ns

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Notes

1. 0 dB is obtained at the AGC amplifier when applying $V_{I(p-p)} = 1.33$ V.
2. The output current at pin 19 should not exceed 1 mA. The load impedance R_L should be referenced to V_{CCA} and defined as:
   a) AC impedance ≥1 kΩ and the DC impedance >2.7 kΩ.
   b) The load impedance should be coupled directly to the output of the amplifier so that the DC voltage supplied by the clamp is not disturbed.
3. Control mode 2 is selected.
4. Signal-to-noise ratio measured with 5 MHz bandwidth:

   $$\frac{S}{N} = 20 \log \frac{V_{ANOUTC(p-p)}}{V_{ANOUTY(RMS\ noise)}} \text{ at } B = 5 \text{ MHz}.$$

5. The voltage ratio is expressed as:

   $$SVRR1 = 20 \log \frac{\Delta V_{CCA}}{V_{CCA}} \times \frac{G}{\Delta G}$$ for $V_I = 1$ V (p-p), gain at 100 kHz = 1 and 1 V supply variation.

6. It is recommended that the rise and fall times of the clock are ≥2 ns. In addition, a 'good layout' for the digital and analog grounds is recommended.
7. These measurements are realized on analog signals after a digital-to-analog conversion (TDA8702 is used).
8. The supply voltage rejection is the relative variation of the analog signal (full-scale signal at input) for 1 V of supply variation:

   $$SVRR2 = \frac{\Delta (V_{I(00)} - V_{I(FF)}) + (V_{I(00)} - V_{I(FF)})}{\Delta V_{CCA}}$$

9. Full-scale sine wave ($f_i = 4.4$ MHz; $f_{clk} = 27$ MHz).

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Table 1 Video input selection (CVBS).

I1	I0	SELECTED INPUT
0	0	VIN0
0	1	VIN1
1	0	VIN2
1	1	VIN2

Table 2 AGC output current.

GATE A	GATE B	DIGITAL OUTPUT	I_{AGC}	MODE(2)
1	1	output < 255	−2.5 µA	1
		output > 255	I_{AGCM}	1
0	X(1)	output < 248	0 µA	2
		output > 248	I_{AGCM}	2
1	0	output < 0	+2.5 µA	2
		0 < output < 248	−2.5 µA	2
		output > 248	I_{AGCM}	2

Note

1. X = don't care.
2. Mode 2 can only be initialized with successive pulses on GATE A and GATE B (see Fig.5).

Table 3 CLAMP output current.

GATE A	GATE B	DIGITAL OUTPUT	I_{CLAMP}	MODE
1	1	output < 0	I_{CLAMPM}	1
		output > 0	−2.5 µA	1
X(1)	0	X(1)	0 µA	2
0	1	output < 64	+50 µA	2
		64 < output	−50 µA	2

Note

1. X = don't care.

Table 4 OF input coding.

OF	D0 TO D7
0	active, two's complement
1	high impedance
open circuit(1)	active, binary

Note

1. Use C ≥ 10 pF to DGND.

Table 5 Output coding and input voltage (typical values).

STEP	V_{ADCIN}	BINARY OUTPUTS								TWO'S COMPLEMENT							
		D7	D6	D5	D4	D3	D2	D1	D0	D7	D6	D5	D4	D3	D2	D1	D0
Underflow	–	0	0	0	0	0	0	0	0	1	0	0	0	0	0	0	0
0	V_{CCA} − 2.41 V	0	0	0	0	0	0	0	0	1	0	0	0	0	0	0	0
1	–	0	0	0	0	0	0	0	1	1	0	0	0	0	0	0	1
.	–	.	.	.	.	.	.	.	.	.	.	.	.	.	.	.	.
.	–	.	.	.	.	.	.	.	.	.	.	.	.	.	.	.	.
254	–	1	1	1	1	1	1	1	0	0	1	1	1	1	1	1	0
255	V_{CCA} − 1.41 V	1	1	1	1	1	1	1	1	0	1	1	1	1	1	1	1
Overflow	–	1	1	1	1	1	1	1	1	0	1	1	1	1	1	1	1

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

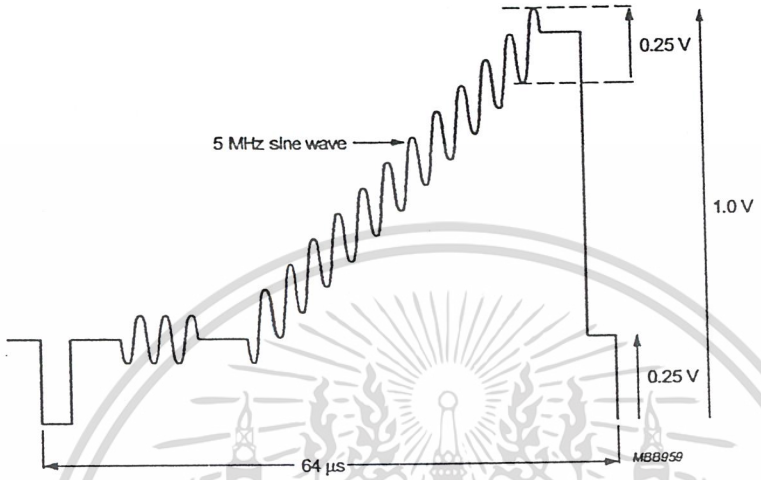


Fig.3 Test signal on the ADCIN pin for differential gain and phase measurements.

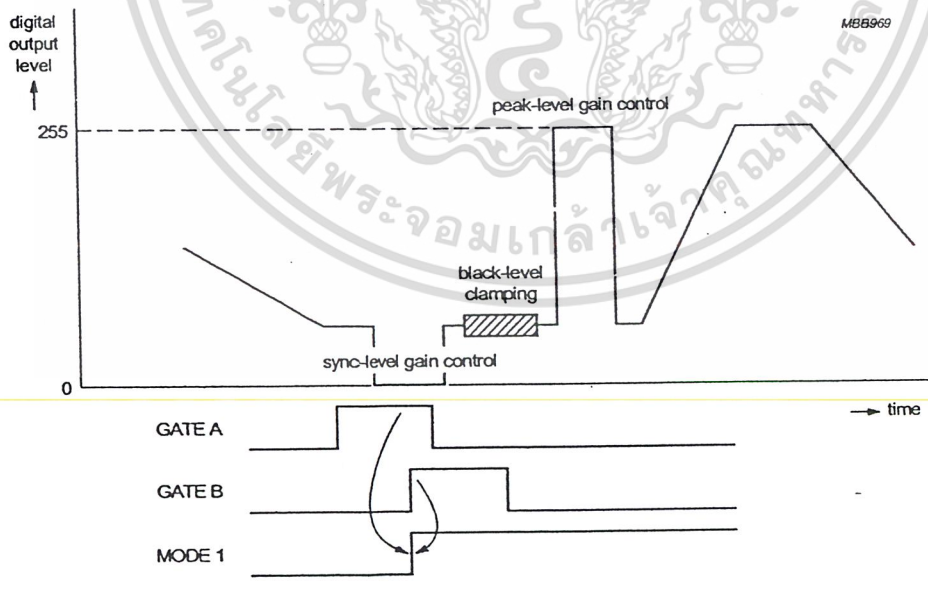


Fig.4 Control mode 1.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

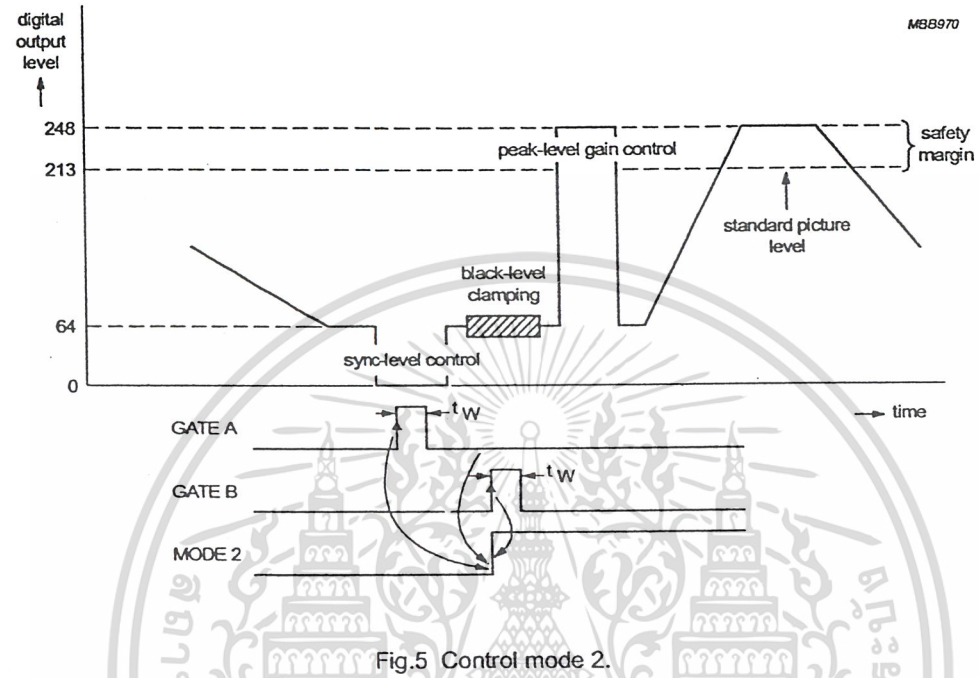


Fig.5 Control mode 2.

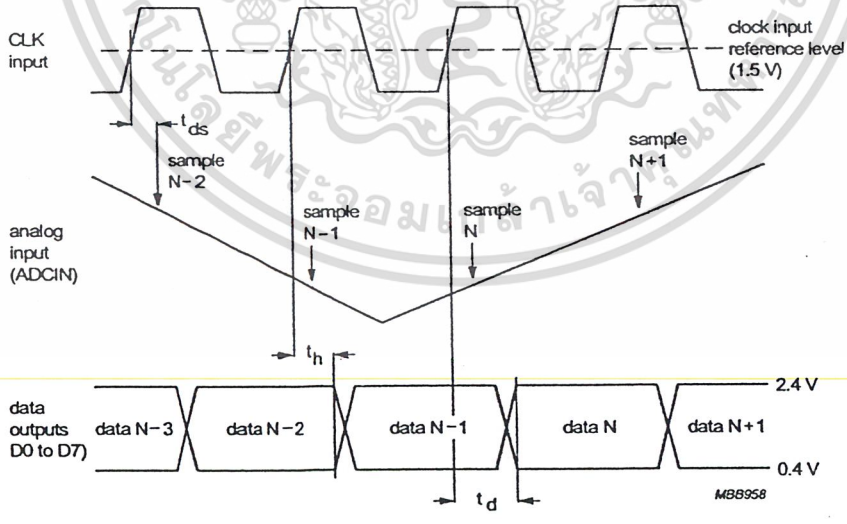


Fig.6 Timing diagram for data output.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

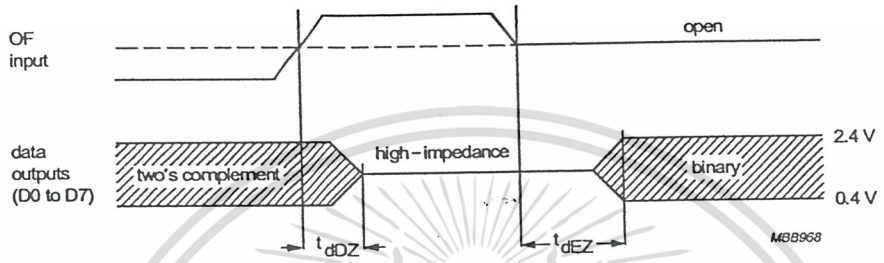


Fig.7 Output format timing diagram.

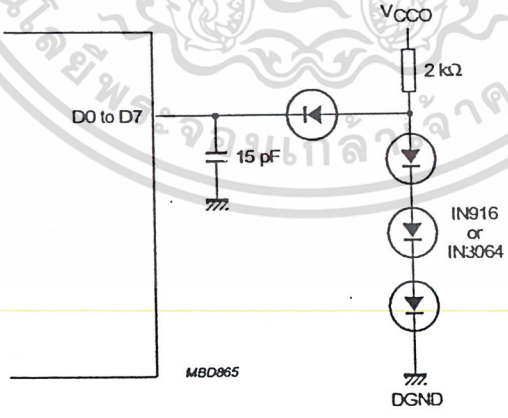


Fig.8 Load circuit for timing measurement; data outputs (OF = LOW or open-circuit).

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

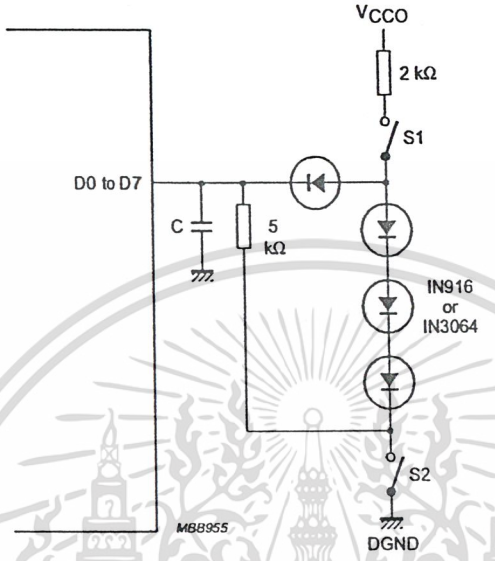
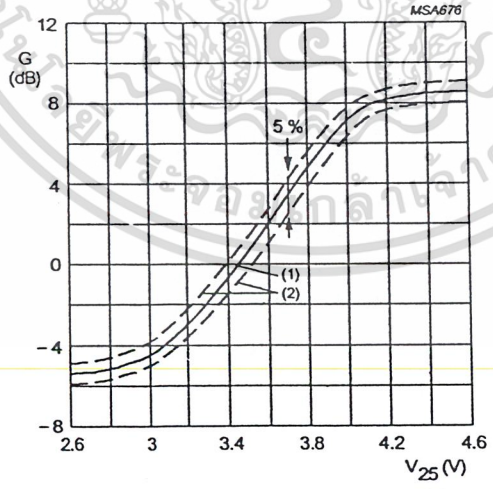


Fig.9 Load circuit for timing measurement; 3-state outputs (OF: f_i = 1 MHz; V_{OF} = 3 V).



(1) Typical value (V_{CCA} = V_{CCD} = 5 V; T_{amb} = 25 °C).
(2) Minimum and maximum values (temperature and supply).

Fig.10 Gain control curve.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

INTERNAL PIN CIRCUITRY

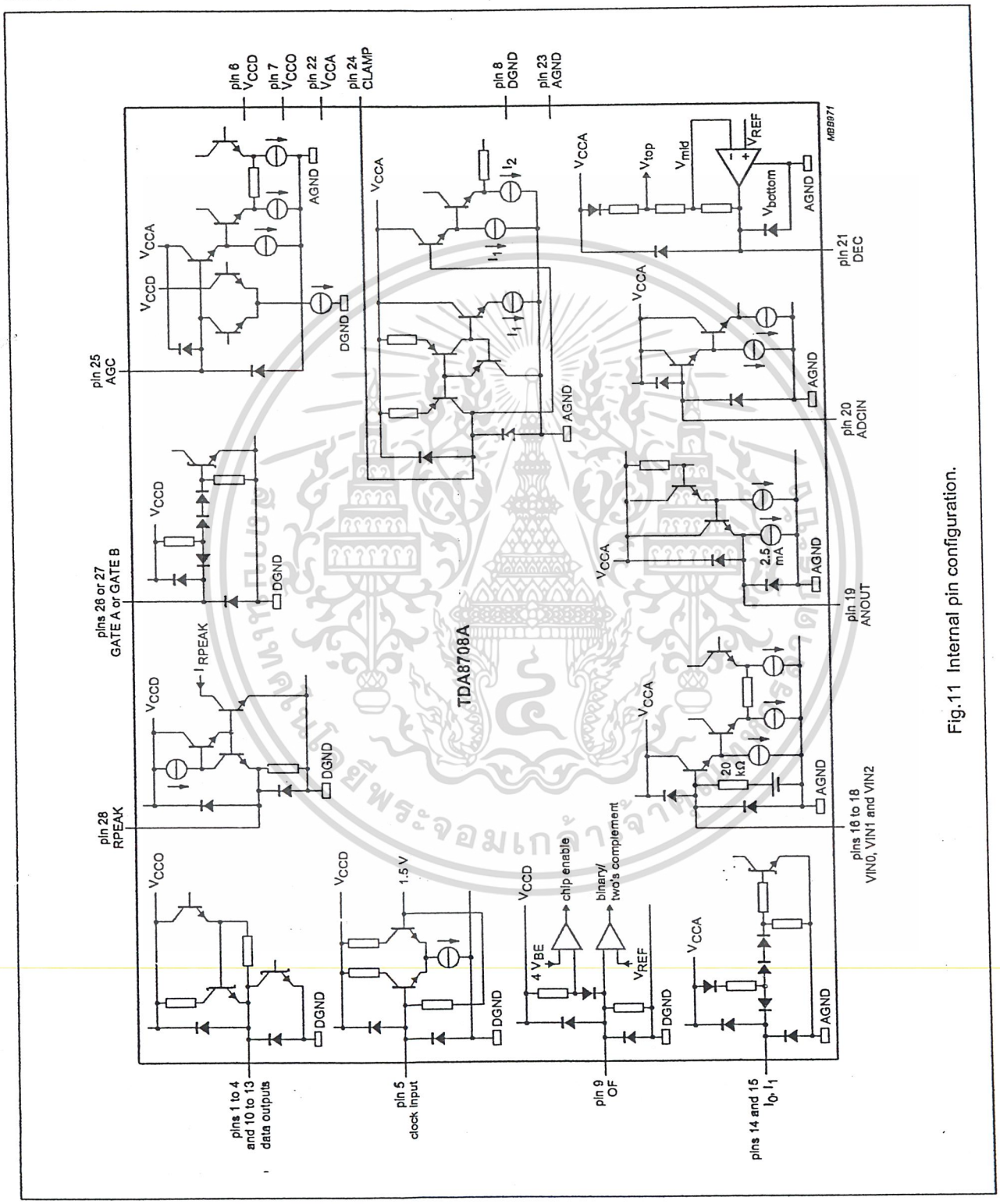
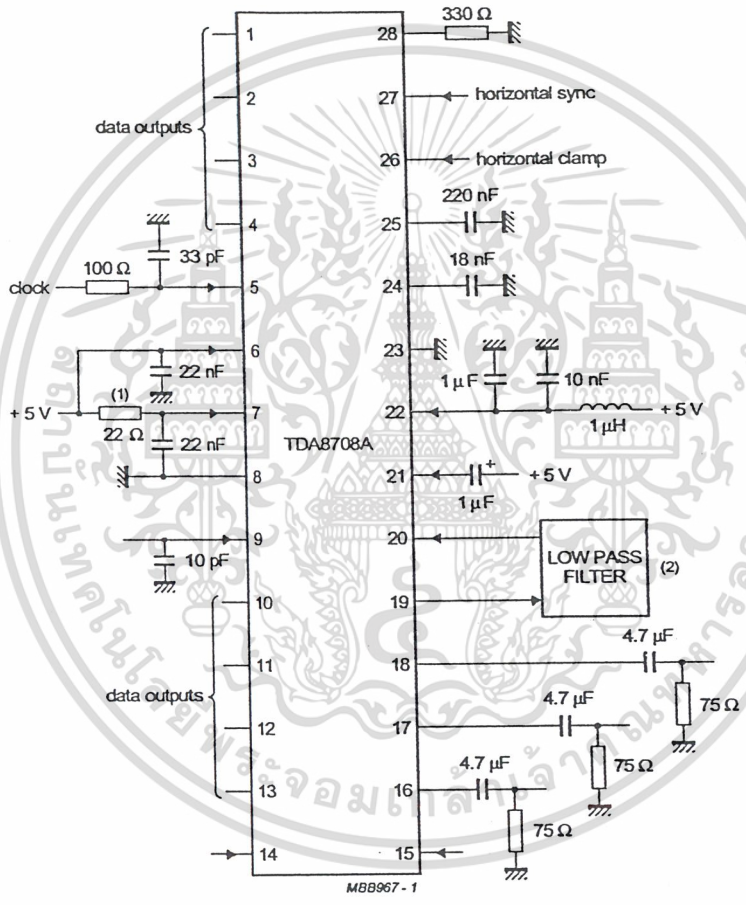


Fig.11 Internal pin configuration.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

APPLICATION INFORMATION

Additional information can be found in the laboratory report *"FBL/AN9308"*.

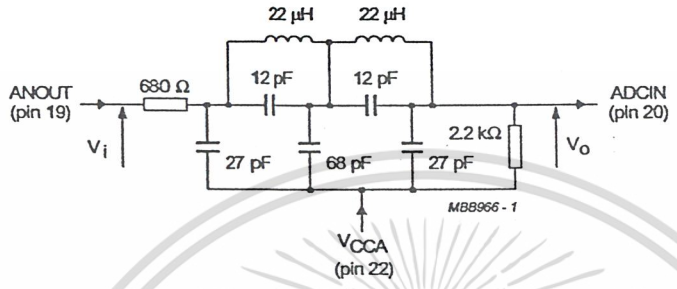


(1) It is recommended to decouple V_{CCO} through a 22 Ω resistor especially when the output data of TDA8708A interfaces with a capacitive CMOS load device.

(2) See Figs 13 and 15 for examples of the low-pass filters.

Fig.12 Application diagram.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



This filter can be adapted to various applications with respect to performance requirements. An input and output impedance of at least 680 Ω and 2.2 kΩ must in any event be applied.

Fig.13 Example of a low-pass filter for CVBS and Y signals.

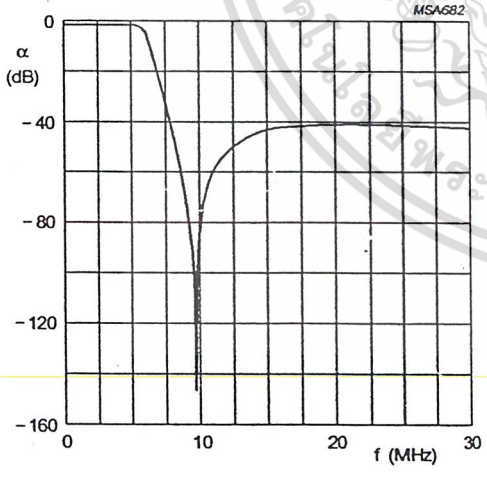
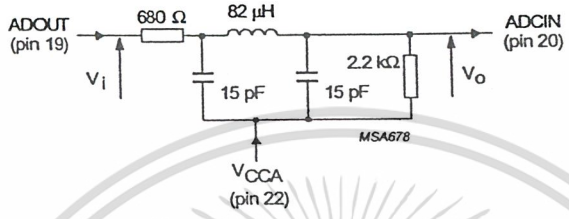


Fig.14 Frequency response for filter shown in Fig.13.

Characteristics of Fig. 13

- Order 5; adapted CHEBYSHEV
- Ripple $\rho \leq 0.4$ dB
- f = 6.5 MHz at –3 dB
- f_{notch} = 9.75 MHz.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



This filter can be adapted to various applications with respect to performance requirements. An input and output impedance of at least 680 Ω and 2.2 kΩ must in any event be applied.

Fig.15 Example of an economical low-pass filter for CVBS and Y signals.

Characteristics of Fig. 15

- Order 5; adapted CHEBYSHEV
- Ripple $\rho \leq 0.4$ dB
- f = 6.5 MHz at –3 dB.

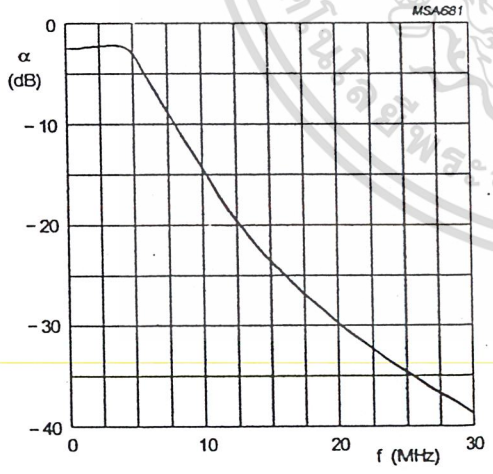
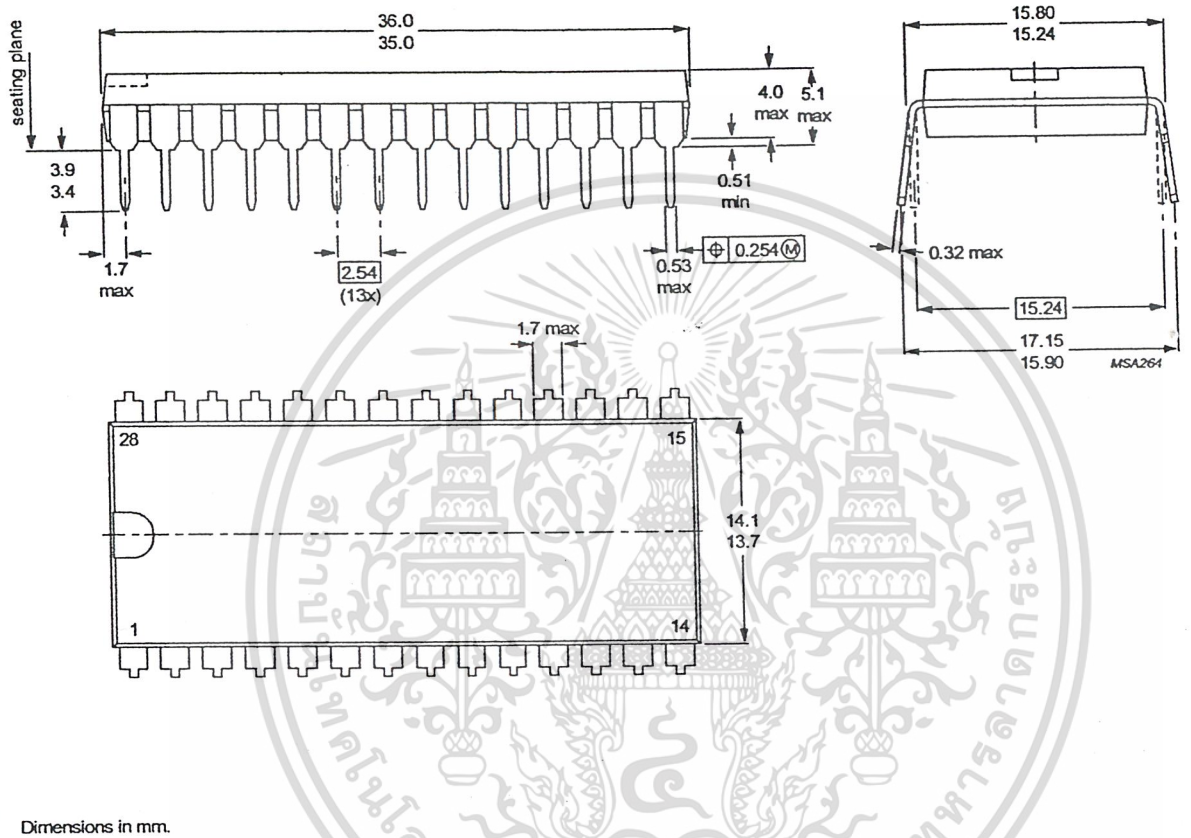


Fig.16 Frequency response for filter shown in Fig.15.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

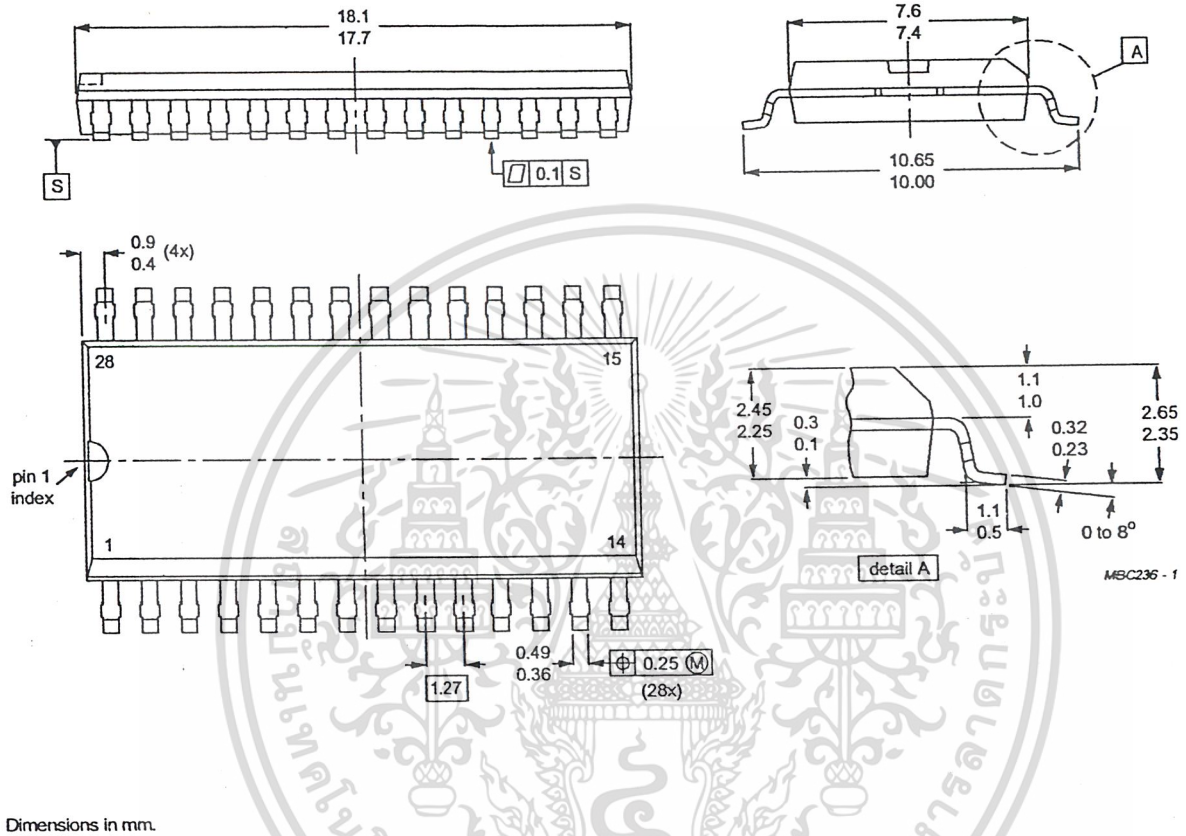
PACKAGE OUTLINES



Dimensions in mm.

Fig.17 Plastic dual in-line package; 28 leads (600 mil) with internal heat spreader (SOT117-1).

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



Dimensions in mm.

Fig.18 Plastic small outline package; 28 leads; large body (SOT136-1).

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

SOLDERING

Plastic dual in-line packages

BY DIP OR WAVE

The maximum permissible temperature of the solder is 260 °C; this temperature must not be in contact with the joint for more than 5 s. The total contact time of successive solder waves must not exceed 5 s.

The device may be mounted up to the seating plane, but the temperature of the plastic body must not exceed the specified storage maximum. If the printed-circuit board has been pre-heated, forced cooling may be necessary immediately after soldering to keep the temperature within the permissible limit.

REPAIRING SOLDERED JOINTS

Apply a low voltage soldering iron below the seating plane (or not more than 2 mm above it). If its temperature is below 300 °C, it must not be in contact for more than 10 s; if between 300 and 400 °C, for not more than 5 s.

Plastic small-outline packages

BY WAVE

During placement and before soldering, the component must be fixed with a droplet of adhesive. After curing the adhesive, the component can be soldered. The adhesive can be applied by screen printing, pin transfer or syringe dispensing.

Maximum permissible solder temperature is 260 °C, and maximum duration of package immersion in solder bath is 10 s, if allowed to cool to less than 150 °C within 6 s. Typical dwell time is 4 s at 250 °C.

A modified wave soldering technique is recommended using two solder waves (dual-wave), in which a turbulent wave with high upward pressure is followed by a smooth laminar wave. Using a mildly-activated flux eliminates the need for removal of corrosive residues in most applications.

BY SOLDER PASTE REFLOW

Reflow soldering requires the solder paste (a suspension of fine solder particles, flux and binding agent) to be applied to the substrate by screen printing, stencilling or pressure-syringe dispensing before device placement.

Several techniques exist for reflowing; for example, thermal conduction by heated belt, infrared, and vapour-phase reflow. Dwell times vary between 50 and 300 s according to method. Typical reflow temperatures range from 215 to 250 °C.

Preheating is necessary to dry the paste and evaporate the binding agent. Preheating duration: 45 min at 45 °C.

REPAIRING SOLDERED JOINTS (BY HAND-HELD SOLDERING IRON OR PULSE-HEATED SOLDER TOOL)

Fix the component by first soldering two, diagonally opposite, end pins. Apply the heating tool to the flat part of the pin only. Contact time must be limited to 10 s at up to 300 °C. When using proper tools, all other pins can be soldered in one operation within 2 to 5 s at between 270 and 320 °C. (Pulse-heated soldering is not recommended for SO packages.)

For pulse-heated solder tool (resistance) soldering of VSO packages, solder is applied to the substrate by dipping or by an extra thick tin/lead plating before package placement.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

DEFINITIONS

Data sheet status	
Objective specification	This data sheet contains target or goal specifications for product development.
Preliminary specification	This data sheet contains preliminary data; supplementary data may be published later.
Product specification	This data sheet contains final product specifications.
Limiting values	
Limiting values given are in accordance with the Absolute Maximum Rating System (IEC 134). Stress above one or more of the limiting values may cause permanent damage to the device. These are stress ratings only and operation of the device at these or at any other conditions above those given in the Characteristics sections of the specification is not implied. Exposure to limiting values for extended periods may affect device reliability.	
Application information	
Where application information is given, it is advisory and does not form part of the specification.	

LIFE SUPPORT APPLICATIONS

These products are not designed for use in life support appliances, devices, or systems where malfunction of these products can reasonably be expected to result in personal injury. Philips customers using or selling these products for use in such applications do so at their own risk and agree to fully indemnify Philips for any damages resulting from such improper use or sale.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

NOTES

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

April 2001

National Semiconductor

LM1881
Video Sync Separator

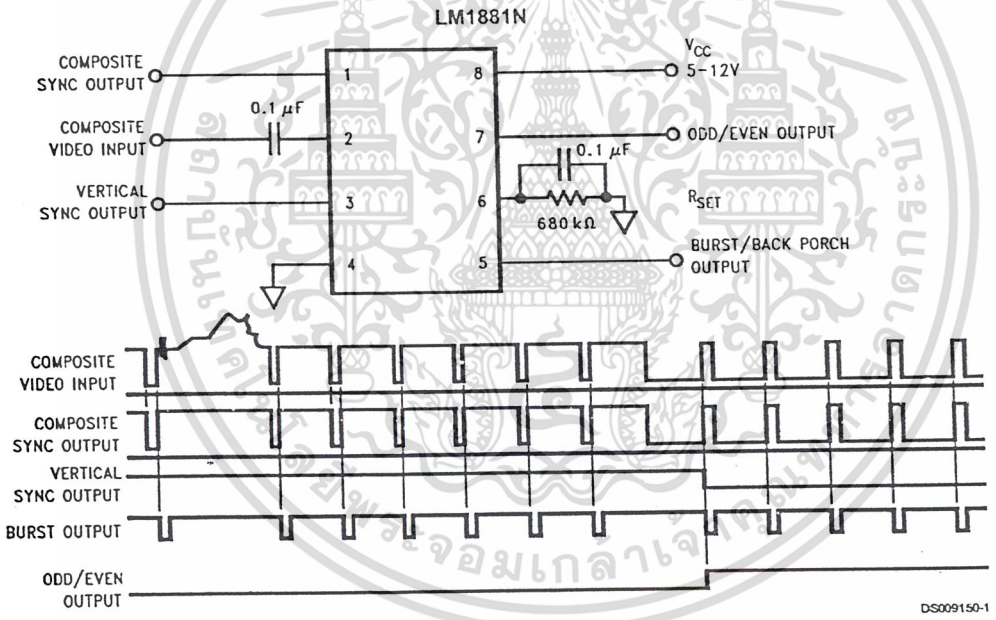
General Description

The LM1881 Video sync separator extracts timing information including composite and vertical sync, burst/back porch timing, and odd/even field information from standard negative going sync NTSC, PAL* and SECAM video signals with amplitude from 0.5V to 2V p-p. The integrated circuit is also capable of providing sync separation for non-standard, faster horizontal rate video signals. The vertical output is produced on the rising edge of the first serration in the vertical sync period. A default vertical output is produced after a time delay if the rising edge mentioned above does not occur within the externally set delay period, such as might be the case for a non-standard video signal.

Features

- AC coupled composite input signal
- >10 kΩ input resistance
- <10 mA power supply drain current
- Composite sync and vertical outputs
- Odd/even field output
- Burst gate/back porch output
- Horizontal scan rates to 150 kHz
- Edge triggered vertical output
- Default triggered vertical output for non-standard video signal (video games-home computers)

Connection Diagram



Order Number LM1881M or LM1881N
See NS Package Number M08A or N08E

*PAL in this datasheet refers to European broadcast TV standard "Phase Alternating Line", and not to Programmable Array Logic

© 2001 National Semiconductor Corporation

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Absolute Maximum Ratings (Note 1)

If Military/Aerospace specified devices are required, please contact the National Semiconductor Sales Office/ Distributors for availability and specifications.

Supply Voltage	13.2V
Input Voltage	3 V_{P-P} (V_{CC} = 5V) 6 V_{P-P} ($V_{CC} \geq$ 8V)
Output Sink Currents; Pins, 1, 3, 5	5 mA
Output Sink Current; Pin 7	2 mA
Package Dissipation (Note 2)	1100 mW
Operating Temperature Range	0°C–70°C
Storage Temperature Range	−65°C to +150°C
ESD Susceptibility (Note 3)	2 kV
Soldering Information	
Dual-In-Line Package (10 sec.)	260°C
Small Outline Package	
Vapor Phase (60 sec.)	215°C
Infrared (15 sec.)	220°C

See AN-450 "Surface Mounting Methods and their Effect on Product Reliability" for other methods of soldering surface mount devices.

Electrical Characteristics

V_{CC} = 5V; R_{SET} = 680 kΩ; T_A = 25°C; Unless otherwise specified

Parameter	Conditions		Typ	Tested Limit (Note 4)	Design Limit (Note 5)	Units (Limits)
Supply Current	Outputs at Logic 1	V_{CC} = 5V	5.2	10		mAmax
		V_{CC} = 12V	5.5	12		mAmax
DC Input Voltage	Pin 2		1.5	1.3		Vmin
				1.8		Vmax
Input Threshold Voltage	(Note 6)		70	55		mVmin
				85		mVmax
Input Discharge Current	Pin 2; V_{IN} = 2V		11	6		µAmin
				16		µAmax
Input Clamp Charge Current	Pin 2; V_{IN} = 1V		0.8	0.2		mAmin
R_{SET} Pin Reference Voltage	Pin 6; (Note 7)		1.22	1.10		Vmin
				1.35		Vmax
Composite Sync. & Vertical Outputs	I_{OUT} = 40 µA; Logic 1	V_{CC} = 5V	4.5	4.0		Vmin
		V_{CC} = 12V		11.0		Vmin
	I_{OUT} = 1.6 mA Logic 1	V_{CC} = 5V	3.6	2.4		Vmin
		V_{CC} = 12V		10.0		Vmin
Burst Gate & Odd/Even Outputs	I_{OUT} = 40 µA; Logic 1	V_{CC} = 5V	4.5	4.0		Vmin
		V_{CC} = 12V		11.0		Vmin
Composite Sync. Output	I_{OUT} = −1.6 mA; Logic 0; Pin 1		0.2	0.8		Vmax
Vertical Sync. Output	I_{OUT} = −1.6 mA; Logic 0; Pin 3		0.2	0.8		Vmax
Burst Gate Output	I_{OUT} = −1.6 mA; Logic 0; Pin 5		0.2	0.8		Vmax
Odd/Even Output	I_{OUT} = −1.6 mA; Logic 0; Pin 7		0.2	0.8		Vmax
Vertical Sync Width			230	190		µsmin
				300		µsmax
Burst Gate Width	2.7 kΩ from Pin 5 to V_{CC}		4	2.5		µsmin
				4.7		µsmax
Vertical Default Time	(Note 8)		65	32		µsmin
				90		µsmax

Note 1: Absolute Maximum Ratings indicate limits beyond which damage to the device may occur. Operating Ratings indicate conditions for which the device is functional, but do not guarantee specific performance limits. For guaranteed specifications and test conditions, see the Electrical Characteristics. The guaranteed specifications apply only for the test conditions listed. Some performance characteristics may degrade when the device is not operated under the listed test conditions.

Note 2: For operation in ambient temperatures above 25°C, the device must be derated based on a 150°C maximum junction temperature and a package thermal resistance of 110°C/W, junction to ambient.

Note 3: ESD susceptibility test uses the "human body model, 100 pF discharged through a 1.5 kΩ resistor".

Note 4: Typicals are at T_J = 25°C and represent the most likely parametric norm.

Note 5: Tested Limits are guaranteed to National's AOQL (Average Outgoing Quality Level).

Note 6: Relative difference between the input clamp voltage and the minimum input voltage which produces a horizontal output pulse.

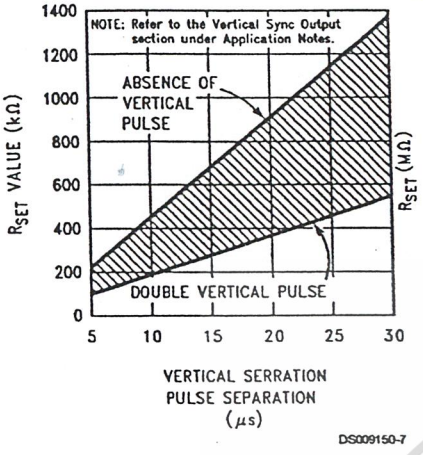
Note 7: Careful attention should be made to prevent parasitic capacitance coupling from any output pin (Pins 1, 3, 5 and 7) to the R_{SET} pin (Pin 6).

Note 8: Delay time between the start of vertical sync (at input) and the vertical output pulse.

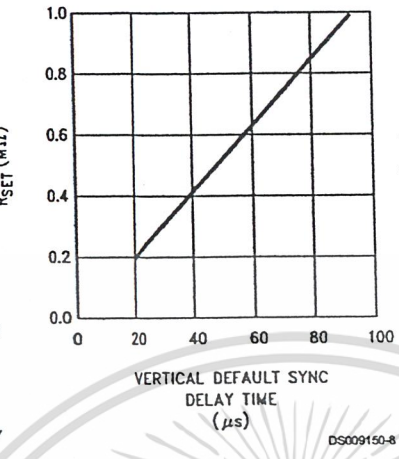
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Typical Performance Characteristics

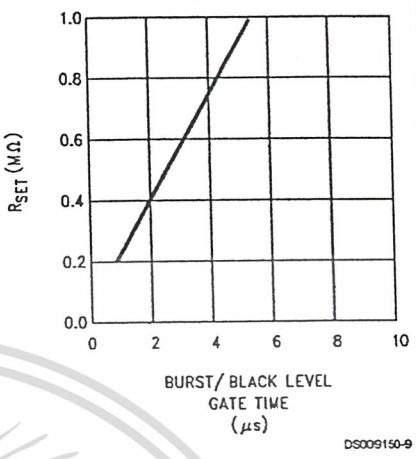
R_{SET} Value Selection vs Vertical Serration Pulse Separation



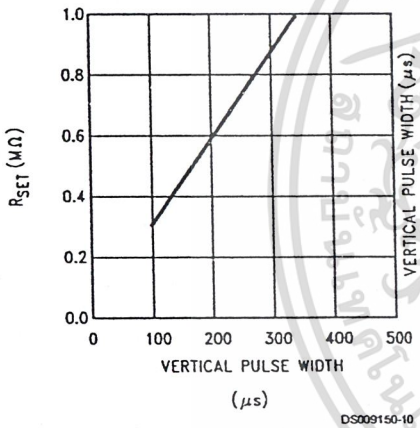
Vertical Default Sync Delay Time vs R_{SET}



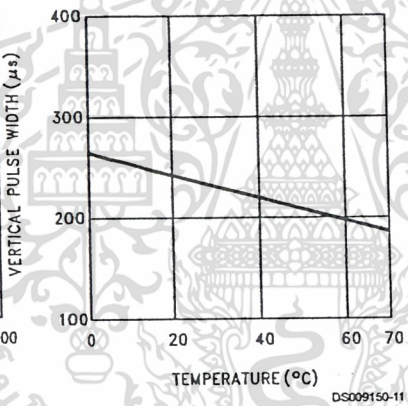
Burst/Black Level Gate Time vs R_{SET}



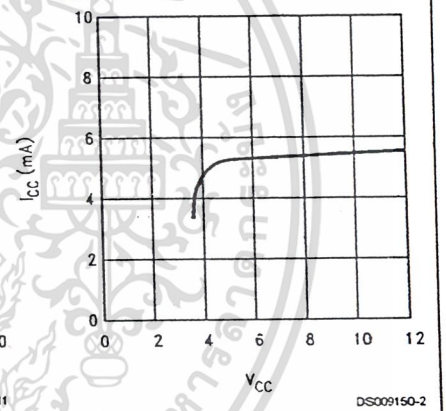
Vertical Pulse Width vs R_{SET}



Vertical Pulse Width vs Temperature



Supply Current vs Supply Voltage



Application Notes

The LM1881 is designed to strip the synchronization signals from composite video sources that are in, or similar to, the N.T.S.C. format. Input signals with positive polarity video (increasing signal voltage signifies increasing scene brightness) from 0.5V (p-p) to 2V (p-p) can be accommodated. The LM1881 operates from a single supply voltage between 5V DC and 12V DC. The only required external components besides a power supply decoupling capacitor at pin 8 and a set current decoupling capacitor at pin 6, are the composite input coupling capacitor at pin 2 and one resistor at pin 6 that sets internal current levels. The resistor on pin 6 (i.e. R_{set}) allows the LM1881 to be adjusted for source signals with line scan frequencies differing from 15.734 kHz. Four major sync signals are available from the I/C; composite sync including both horizontal and vertical scan timing information; a vertical sync pulse; a burst gate or back porch clamp pulse; and an odd/even output. The odd/even output level identifies which video field of an interlaced video source is present at the input. The outputs from the LM1881 can be used to gen-lock video camera/VTR signals with graphics sources, provide identification of video fields for memory storage, recover suppressed or contaminated sync signals, and provide timing references for the extraction of coded or uncoded data on specific video scan lines.

To better understand the LM1881 timing information and the type of signals that are used, refer to *Figure 1(a-e)* which shows a portion of the composite video signal from the end of one field through the beginning of the next field.

COMPOSITE SYNC OUTPUT

The composite sync output, *Figure 1(b)*, is simply a reproduction of the signal waveform below the composite video black level, with the video completely removed. This is obtained by clamping the video signal sync tips to 1.5V DC at Pin 2 and using a comparator threshold set just above this voltage to strip the sync signal, which is then buffered out to Pin 1. The threshold separation from the clamped sync tip is nominally 70 mV which means that for the minimum input level of 0.5V (p-p), the clipping level is close to the halfway point on the sync pulse amplitude (shown by the dashed line

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Application Notes (Continued)

on *Figure 1(a)*. This threshold separation is independent of the signal amplitude, therefore, for a 2V (p-p) input the clipping level occurs at 11% of the sync pulse amplitude. The charging current for the input coupling capacitor is 0.8 mA,

Normally the signal source for the LM1881 is assumed to be clean and relatively noise-free, but some sources may have excessive video peaking, causing high frequency video and chroma components to extend below the black level reference. Some video discs keep the chroma burst pulse present throughout the vertical blanking period so that the burst actually appears on the sync tips for three line periods instead of at black level. A clean composite sync signal can be generated from these sources by filtering the input signal. When the source impedance is low, typically 75Ω, a 620Ω resistor in series with the source and a 510 pF capacitor to ground will form a low pass filter with a corner frequency of 500 kHz. This bandwidth is more than sufficient to pass the sync pulse portion of the waveform; however, any subcarrier content in the signal will be attenuated by almost 18 dB, effectively taking it below the comparator threshold. Filtering will also help if the source is contaminated with thermal noise. The output waveforms will become delayed from between 40 ns to as much as 200 ns due to this filter. This much delay will not usually be significant but it does contribute to the sync delay produced by any additional signal processing. Since the original video may also undergo processing, the need for time delay correction will depend on the total system, not just the sync stripper.

VERTICAL SYNC OUTPUT

A vertical sync output is derived by internally integrating the composite sync waveform (*Figure 2*). To understand the generation of the vertical sync pulse, refer to the lower left hand section *Figure 2*. Note that there are two comparators in the section. One comparator has an internally generated voltage reference called V_1 going to one of its inputs. The other comparator has an internally generated voltage reference called V_2 going to one of its inputs. Both comparators have a common input at their noninverting input coming from the internal integrator. The internal integrator is used for integrating the composite sync signal. This signal comes from the input side of the composite sync buffer and are **positive** going sync pulses. The capacitor to the integrator is internal to the LM1881. The capacitor charge current is set by the value of the external resistor R_{SET}. The output of the integrator is going to be at a low voltage during the normal horizontal lines because the integrator has a very short time to charge the capacitor, which is during the horizontal sync period. The equalization pulses will keep the output voltage of the integrator at about the same level, below the V_1. During the vertical sync period the narrow going positive pulses shown in *Figure 1* is called the serration pulse. The wide negative portion of the vertical sync period is called the vertical sync pulse. At the start of the vertical sync period, before the first Serration pulse occurs, the integrator now charges the capacitor to a much higher voltage. At the first serration pulse the integrator output should be between V_1 and V_2. This would give a high level at the output of the comparator with V_1 as one of its inputs. This high is clocked into the "D" flip-flop by the falling edge of the serration pulse (remember the sync signal is inverted in this section of the LM1881). The "Q" output of the "D" flip-flop goes through the OR gate, and sets the R/S flip-flop. The output of the R/S flip-flop enables the internal oscillator and also clocks the ODD/EVEN "D" flip-flop. The ODD/EVEN field pulse operation is covered in the next section. The output of the oscillator goes to a divide by 8 circuit, thus resetting the R/S flip-flop after 8 cycles of the oscillator. The frequency of the oscillator is established by the internal capacitor going to the oscillator and the external R_{SET}. The "$\overline{Q}$" output of the R/S flip-flop goes to pin 3 and is the actual vertical sync output of the LM1881. By clocking the "D" flip-flop at the start of the first serration pulse means that the vertical sync output pulse starts at this point in time and lasts for eight cycles of the internal oscillator as shown in *Figure 1*.

How R_{SET} affects the integrator and the internal oscillator is shown under the Typical Performance Characteristics. The first graph is "R_{SET} Value Selection vs Vertical Serration Pulse Separation". For this graph to be valid, the vertical sync pulse should last for at least 85% of the horizontal half line (47% of a full horizontal line). A vertical sync pulse from any standard should meet this requirement; both NTSC and PAL do meet this requirement (the serration pulse is the remainder of the period, 10% to 15% of the horizontal half line). Remember this pulse is a positive pulse at the integrator but negative in *Figure 1*. This graph shows how long it takes the integrator to charge its internal capacitor above V_1.

With R_{SET} too large the charging current of the integrator will be too small to charge the capacitor above V_1, thus there will be no vertical synch output pulse. As mentioned above, R_{SET} also sets the frequency of the internal oscillator. If the oscillator runs too fast its eight cycles will be shorter than the vertical sync portion of the composite sync. Under this condition another vertical sync pulse can be generated on one of the later serration pulse after the divide by 8 circuit resets the R/S flip-flop. The first graph also shows the minimum R_{SET} necessary to prevent a double vertical pulse, assuming that the serration pulses last for only three full horizontal line periods (six serration pulses for NTSC). The actual pulse width of the vertical sync pulse is shown in the "Vertical Pulse Width vs R_{SET}" graph. Using NTSC as an example, lets see how these two graphs relate to each other. The Horizontal line is 64 µs long, or 32 µs for a horizontal half line. Now round this off to 30 µs. In the "R_{SET} Value Selection vs Vertical Serration Pulse Separation" graph the minimum resistor value for 30 µs serration pulse separation is about 550 kΩ. Going to the "Vertical Pulse Width vs R_{SET}" graph one can see that 550 kΩ gives a vertical pulse width of about 180 µs, the total time for the vertical sync period of NTSC (3 horizontal lines). A 550 kΩ will set the internal oscillator to a frequency such that eight cycles gives a time of 180 µs, just long enough to prevent a double vertical sync pulse at the vertical sync output of the LM1881.

The LM1881 also generates a default vertical sync pulse when the vertical sync period is unusually long and has no serration pulses. With a very long vertical sync time the integrator has time to charge its internal capacitor above the voltage level V_2. Since there is no falling edge at the end of a serration pulse to clock the "D" flip-flop, the only high signal going to the OR gate is from the default comparator when output of the integrator reaches V_2. At this time the R/S flip-flop is toggled by the default comparator, starting the vertical sync pulse at pin 3 of the LM1881. If the default vertical sync period ends before the end of the input vertical sync period, then the falling edge of the vertical sync (positive pulse at the "D" flip-flop) will clock the high output from the comparator with V_1 as a reference input. This will retrigger the oscillator, generating a second vertical sync output pulse. The "Vertical Default Sync Delay Time vs R_{SET}" graph shows the relationship between the R_{SET} value and the delay time from the start of the vertical sync period before the default vertical sync pulse is generated. Using the NTSC

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Application Notes (Continued)

example again the smallest resistor for R_{SET} is 500 kΩ. The vertical default time delay is about 50 µs, much longer than the 30 µs serration pulse spacing.

A common question is how can one calculate the required R_{SET} with a video timing standard that has no serration pulses during the vertical blanking. If the default vertical sync is to be used this is a very easy task. Use the "Vertical Default Sync Delay Time vs R_{SET}" graph to select the necessary R_{SET} to give the desired delay time for the vertical sync output signal. If a second pulse is undesirable, then check the "Vertical Pulse Width vs R_{SET}" graph to make sure the vertical output pulse will extend beyond the end of the input vertical sync period. In most systems the end of the vertical sync period may be very accurate. In this case the preferred design may be to start the vertical sync pulse at the end of the vertical sync period, similar to starting the vertical sync pulse after the first serration pulse. A VGA standard is to be used as an example to show how this is done. In this standard a horizontal line is 32 µs long. The vertical sync period is two horizontal lines long, or 64 µs. The vertical default sync delay time **must be longer** than the vertical sync period of 64 µs. In this case R_{SET} must be larger than 680 kΩ. R_{SET} must still be small enough for the output of the integrator to reach V_1 before the end of the vertical period of the input pulse. The first graph can be used to confirm that R_{SET} is small enough for the integrator. Instead of using the vertical serration pulse separation, use the actual pulse width of the vertical sync period, or 64 µs in this example. This graph is linear, meaning that a value as large as 2.7 MΩ can be used for R_{SET} (twice the value as the maximum at 30 µs). Due to leakage currents it is advisable to keep the value of R_{SET} under 2.0 MΩ. In this example a value of 1.0 MΩ is selected, well above the minimum of 680 kΩ. With this value for R_{SET} the pulse width of the vertical sync output pulse of the LM1881 is about 340 µs.

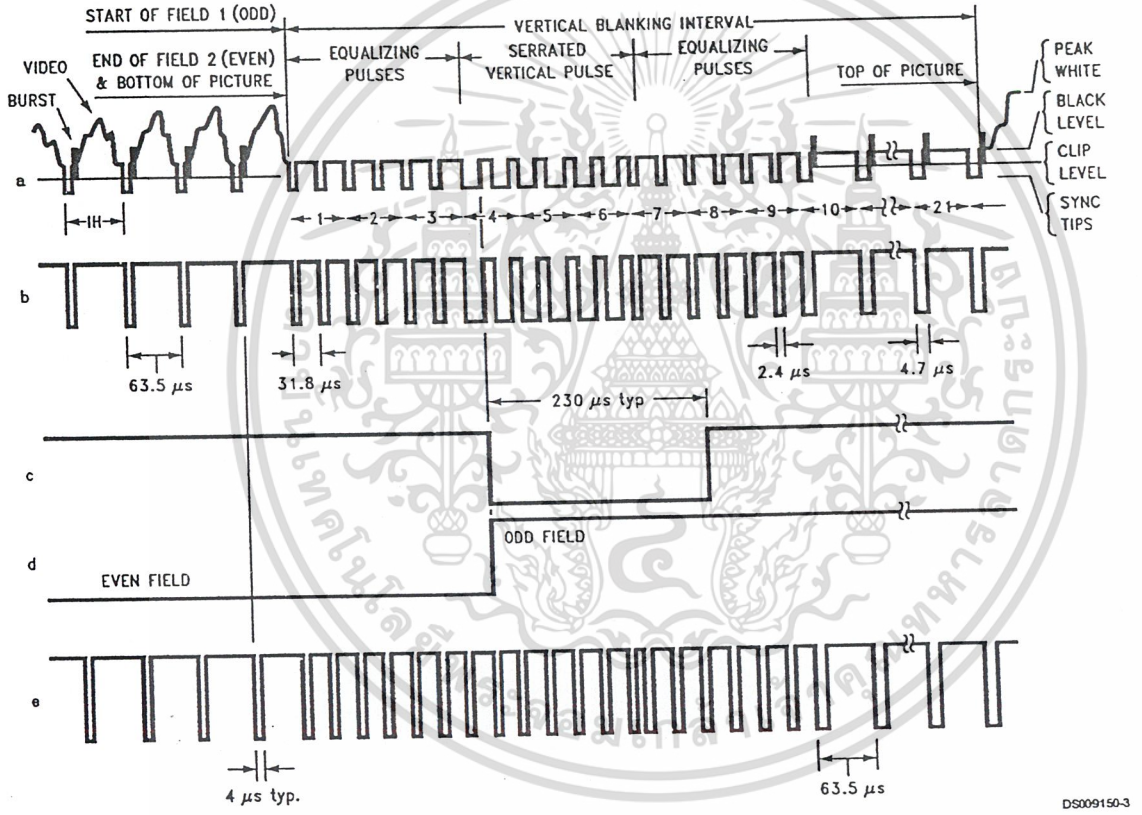
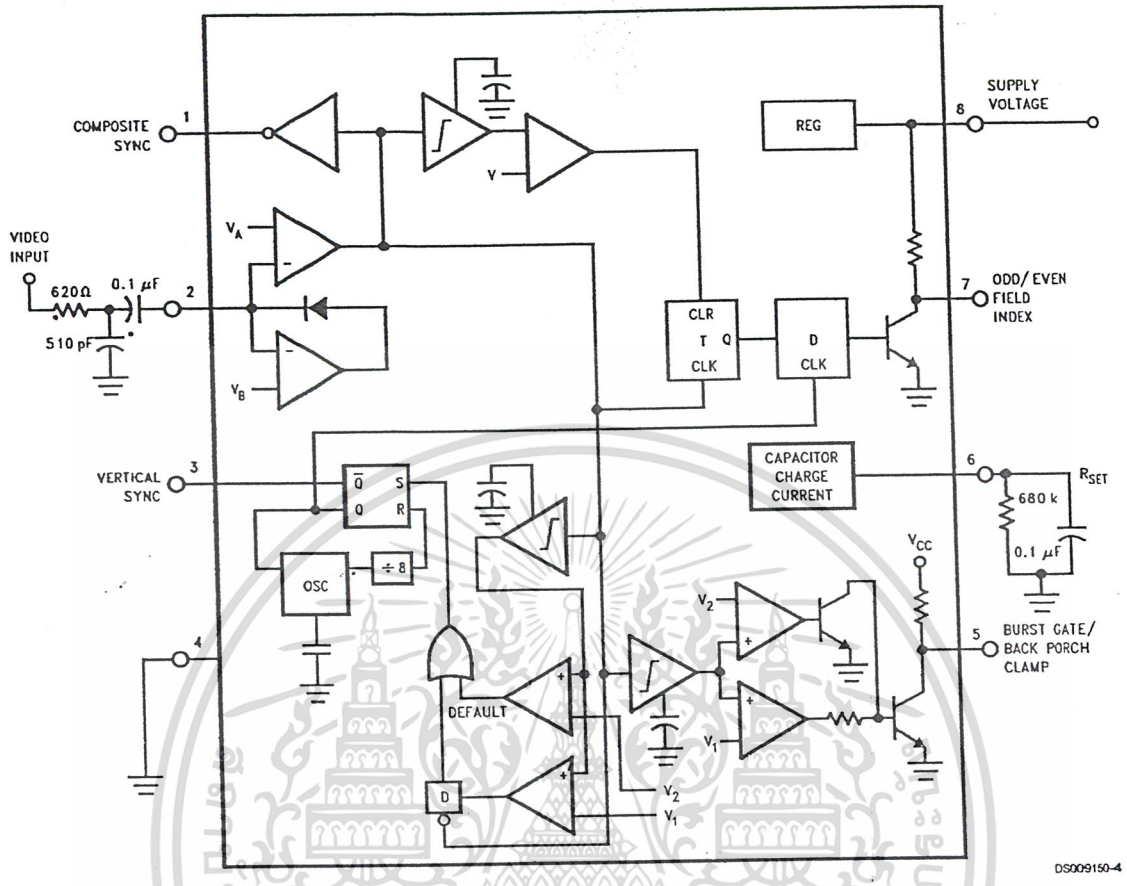


FIGURE 1. (a) Composite Video; (b) Composite Sync; (c) Vertical Output Pulse; (d) Odd/Even Field Index; (e) Burst Gate/Back Porch Clamp

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Application Notes (Continued)



*Components Optional, See Text

FIGURE 2.

ODD/EVEN FIELD PULSE

An unusual feature of LM1881 is an output level from Pin 7 that identifies the video field present at the input to the LM1881. This can be useful in frame memory storage applications or in extracting test signals that occur in alternate fields. For a composite video signal that is interlaced, one of the two fields that make up each video frame or picture must have a half horizontal scan line period at the end of the vertical scan—i.e., at the bottom of the picture. This is called the "odd field" or "even field". The "even field" or "field 2" has a complete horizontal scan line at the end of the field. An odd field starts on the leading edge of the first equalizing pulse, whereas the even field starts on the leading edge of the second equalizing pulse of the vertical retrace interval. *Figure 1(a)* shows the end of the even field and the start of the odd field.

To detect the odd/even fields the LM1881 again integrates the composite sync waveform (*Figure 2*). A capacitor is charged during the period between sync pulses and discharged when the sync pulse is present. The period between normal horizontal sync pulses is enough to allow the capacitor voltage to reach a threshold level of a comparator that clears a flip-flop which is also being clocked by the sync waveform. When the vertical interval is reached, the shorter integration time between equalizing pulses prevents this threshold from being reached and the Q output of the flip-flop is toggled with each equalizing pulse. Since the half line period at the end of the odd field will have the same effect as an equalizing pulse period, the Q output will have a different polarity on successive fields. Thus by comparing the Q polarity with the vertical output pulse, an odd/even field index is generated. Pin 7 remains low during the even field and high during the odd field.

BURST/BACKPORCH OUTPUT PULSE

In a composite video signal, the chroma burst is located on the backporch of the horizontal blanking period. This period, approximately 4.8 μs long, is also the black level reference for the subsequent video scan line. The LM1881 generates a pulse at Pin 5 that can be used either to retrieve the chroma burst from the composite video signal (thus providing a subcarrier synchronizing signal) or as a clamp for the DC restoration of the video waveform. This output is obtained simply by charging an internal capacitor starting on the trailing edge of the horizontal sync pulses. Simultaneously the output of Pin 5 is pulled low and held until the capacitor charge circuit times out—4 μs later. A shorter output burst gate pulse can be derived by differentiating the burst output using a series C-R network. This may be necessary in applications which require high horizontal scan rates in combination with normal (60 Hz–120 Hz) vertical scan rates.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Application Notes (Continued)

APPLICATIONS

Apart from extracting a composite sync signal free of video information, the LM1881 outputs allow a number of interesting applications to be developed. As mentioned above, the burst gate/backporch clamp pulse allows DC restoration of the original video waveform for display or remodulation on an R.F. carrier, and retrieval of the color burst for color synchronization and decoding into R.G.B. components. For frame memory storage applications, the odd/even field lever allows identification of the appropriate field ensuring the correct read or write sequence. The vertical pulse output is particularly useful since it begins at a precise time—the rising edge of the first vertical serration in the sync waveform. This means that individual lines within the vertical blanking period (or anywhere in the active scan line period) can easily be extracted by counting the required number of transitions in the composite sync waveform following the start of the vertical output pulse.

The vertical blanking interval is proving popular as a means to transmit data which will not appear on a normal T.V. receiver screen. Data can be inserted beginning with line 10 (the first horizontal scan line on which the color burst appears) through to line 21. Usually lines 10 through 13 are not used which leaves lines 14 through 21 for inserting signals, which may be different from field to field. In the U.S., line 19 is normally reserved for a vertical interval reference signal (VIRS) and line 21 is reserved for closed caption data for the hearing impaired. The remaining lines are used in a number of ways. Lines 17 and 18 are frequently used during studio processing to add and delete vertical interval test signals (VITS) while lines 14 through 18 and line 20 can be used for Videotex/Teletext data. Several institutions are proposing to transmit financial data on line 17 and cable systems use the available lines in the vertical interval to send decoding data for descrambler terminals.

Since the vertical output pulse from the LM1881 coincides with the leading edge of the first vertical serration, sixteen positive or negative transitions later will be the start of line 14 in either field. At this point simple counters can be used to select the desired line(s) for insertion or deletion of data.

VIDEO LINE SELECTOR

The circuit in *Figure 3* puts out a singe video line according to the binary coded information applied to line select bits b0–b7. A line is selected by adding two to the desired line number, converting to a binary equivalent and applying the result to the line select inputs. The falling edge of the LM1881's vertical pulse is used to load the appropriate number into the counters (MM74C193N) and to set a start count latch using two NAND gates. Composite sync transitions are counted using the borrow out of the desired number of counters. The final borrow out pulse is used to turn on the analog switch (CD4066BC) during the desired line. The falling edge of this signal also resets the start count latch, thereby terminating the counting.

The circuit, as shown, will provide a single line output for each field in an interlaced video system (television) or a single line output in each frame for a non-interlaced video system (computer monitor). When a particular line in only one field of an interlaced video signal is desired, the odd/even field index output must be used instead of the vertical output pulse (invert the field index output to select the odd field). A single counter is needed for selecting lines 3 to 14; two counters are needed for selecting lines 15 to 253; and three counters will work for up to 2046 lines. An output buffer is required to drive low impedance loads.

MULTIPLE CONTIGUOUS VIDEO LINE SELECTOR WITH BLACK LEVEL RESTORATION

The circuit in *Figure 4* will select a number of adjoining lines starting with the line selected as in the previous example. Additional counters can be added as described previously for either higher starting line numbers or an increased number of contiguous output lines. The back porch pulse output of the LM1881 is used to gate the video input's black level through a low pass filter (10 kΩ, 10 µF) providing black level restoration at the video output when the output selected line(s) is not being gated through.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Typical Applications

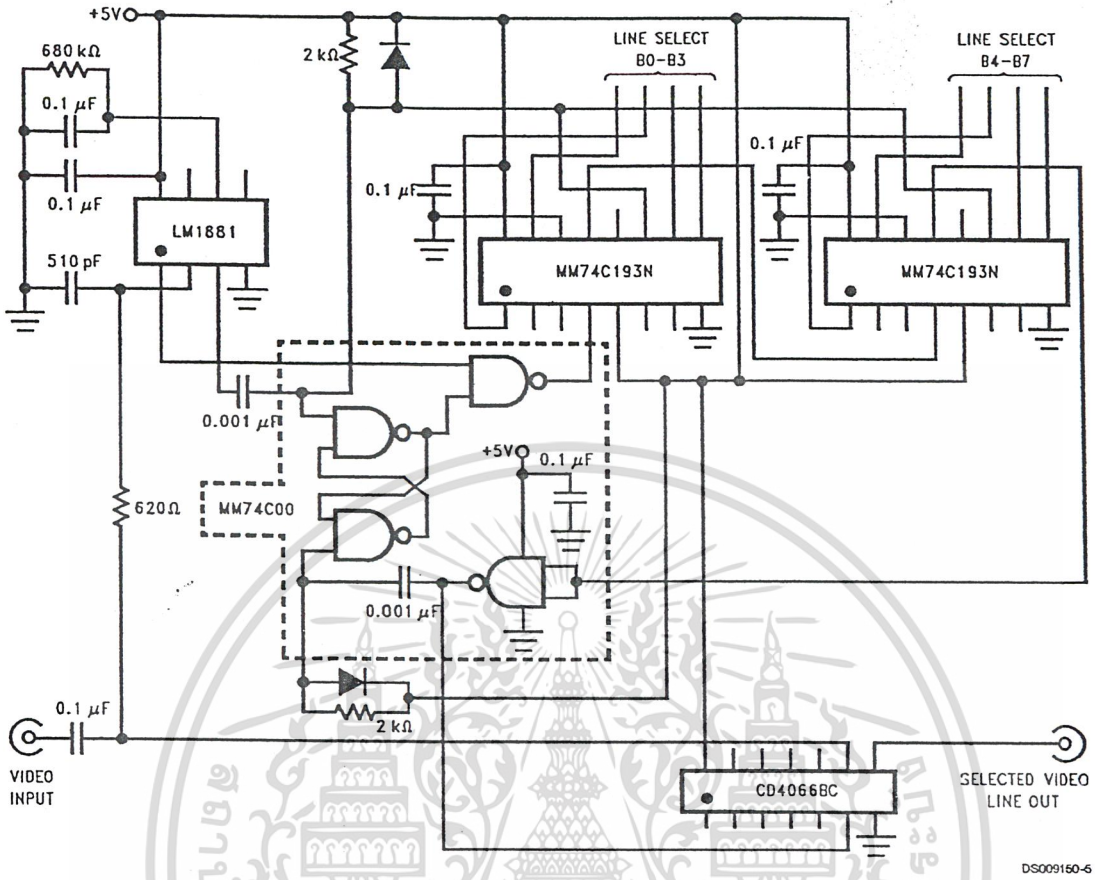


FIGURE 3. Video Line Selector

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Typical Applications (Continued)

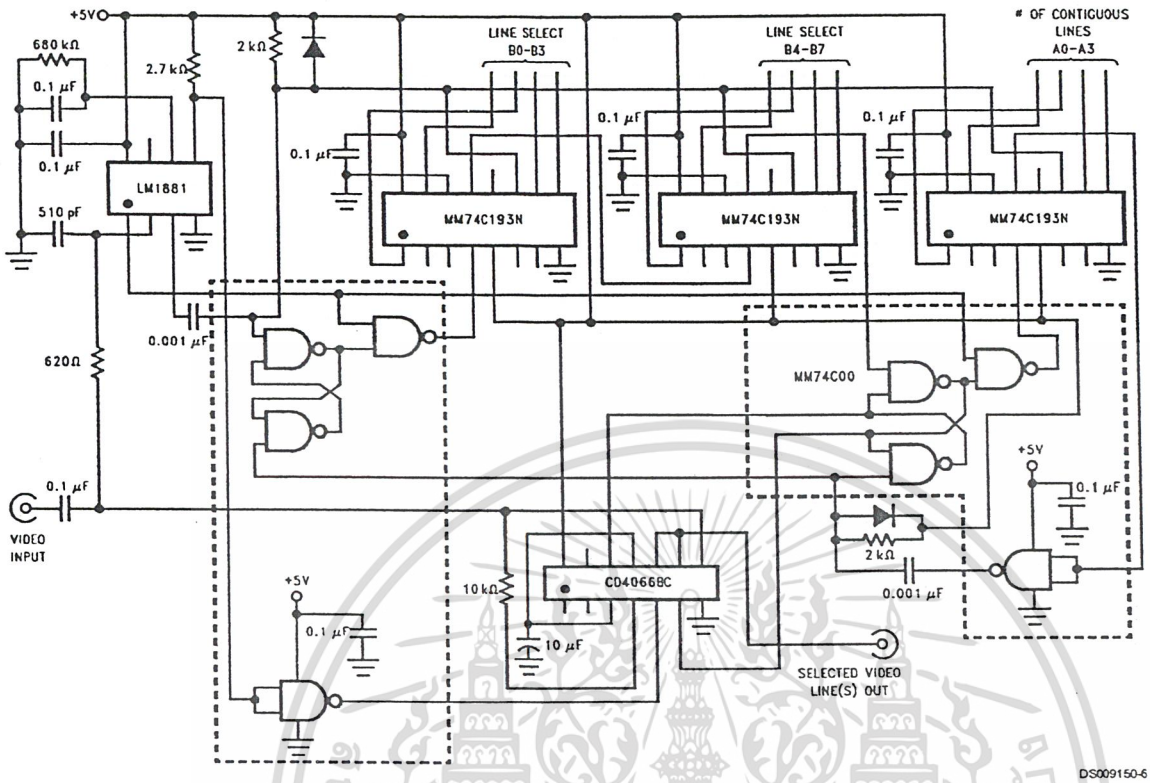
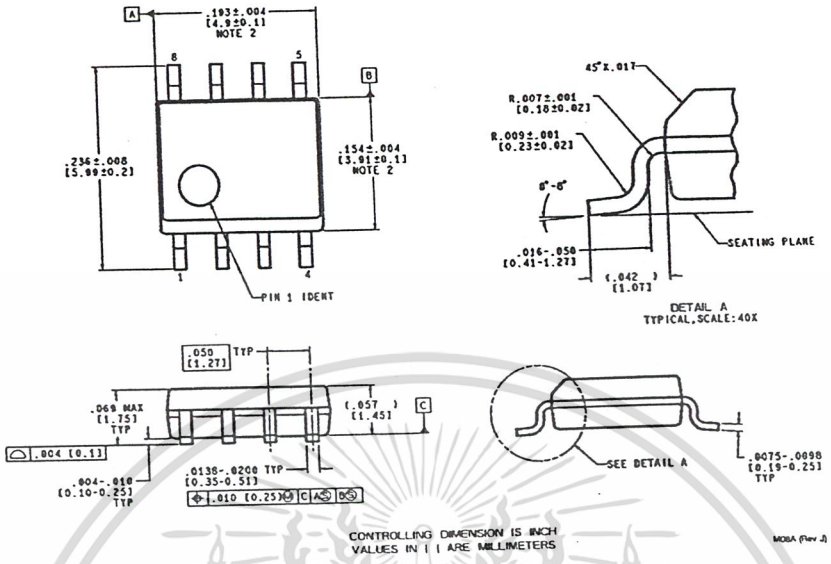


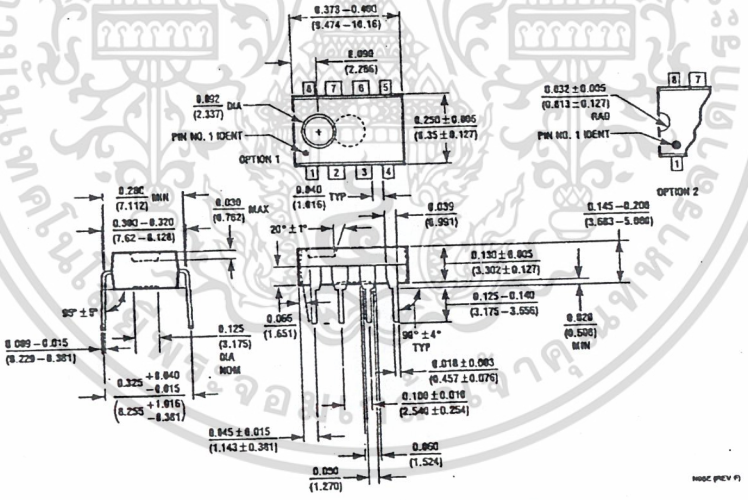
FIGURE 4. Multiple Contiguous Video Line Selector with Black Level Restoration

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Physical Dimensions inches (millimeters) unless otherwise noted



Molded Small Outline Package (M)
Order Number LM1881M
NS Package Number M08A



Molded Dual-In-Line Package (N)
Order Number LM1881N
NS Package Number N08E

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้