สำนักหอสมุดกลาง พระจอมเกล้าลาดกระบัง

การออกแบบวงจรรวมสำหรับโทรศัพท์

INTEGRATED CIRCIUT DESIGN FOR TELEPHONE SET

T042746

โดย

นาย ดิเรก รักษาภักดี

นาย ธวัชชัย นันทนรัตน์เสรี

เลขหมู่.....
เลขทะเบียน 42746
วัน, เดือน, ปี - 7 มิ.ย. 2545

.b.....
.i.....

ปริญญานิพนธ์นี้เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรปริญญาวิศวกรรมศาสตรบัณฑิต

สาขาวิชาอิเล็กทรอนิกส์

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

ปีการศึกษา2543

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

LM1013532

การออกแบบวงจรรวมสำหรับโทรศัพท์

INTEGRATED CIRCIUT DESIGN FOR TELEPHONE SET

โดย

นาย ดิเรก รักษาภักดี รหัสประจำตัว 41013212

นาย ธวัชชัย นันทนรัตน์เสรี รหัสประจำตัว 41013214

อาจารย์ที่ปรึกษา

ผศ.ดร. สมศักดิ์ ชุมช่วย

ปริญญานิพนธ์สำหรับปริญญาวิศวกรรมศาสตร์บัณฑิต

สาขาวิชาอิเล็กทรอนิกส์

คณะวิศวกรรมศาสตร์

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

ปีการศึกษา2543

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ปริญญานิพนธ์ปีการศึกษา2543

ภาควิชา อิเล็กทรอนิกส์

คณะวิศวกรรมศาสตร์ สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

เรื่อง การออกแบบวงจรรวมสำหรับโทรศัพท์

จัดทำโดย

1. นาย ดิเรก รักษาภักดี รหัส 41013212
2. นาย ธวัชชัย นันทนรัตน์เสรี รหัส 41013214

อาจารย์ที่ปรึกษา

.....

(ผศ.ดร. สมศักดิ์ ชุมช่วย)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การออกแบบวงจรรวมสำหรับโทรศัพท์

INTEGRATED CIRCIUT DESIGN FOR TELEPHONE SET

นาย ดิเรก รักษาภักดี รหัส 41013212

นาย ธวัชชัย นันทนรัตน์เสรี รหัส 41013214

โครงการได้รับการตรวจสอบแล้วพร้อมที่จะทำการสอบได้

.....

(ผศ.ดร. สมศักดิ์ ชุมช่วย)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

กิตติกรรมประกาศ

รายงานฉบับนี้เป็นรายงานเรื่อง INTEGRATED CIRCIUT DESIGN FOR TELEPHONE SET จัดทำโดย นาย ดิเรก รักษาภักดี และ นาย ธวัชชัย นันทนรัตน์เสรี โครงงานนี้ได้รับข้อมูลมาจากหลายส่วน ซึ่งทางผู้จัดทำขอขอบพระคุณอาจารย์ที่ปรึกษาใจดีที่ได้ให้ความช่วยเหลือและเพื่อนๆ ทุกคนที่ให้ความร่วมมือเป็นอย่างดีทำให้โครงงานนี้สำเร็จได้ด้วยดีผู้จัดทำจึงขอขอบพระคุณทุกๆ คนและทุกๆ ฝ่ายที่ช่วยให้รายงานฉบับนี้สำเร็จเสร็จสมบูรณ์ได้ด้วยดี

ดิเรก รักษาภักดี

(นาย ดิเรก รักษาภักดี)

ธวัชชัย นันทนรัตน์เสรี

(นาย ธวัชชัย นันทนรัตน์เสรี)

ผู้จัดทำ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การออกแบบวงจรรวมสำหรับโทรศัพท์

นาย ดิเรก รักษาภักดี
นาย ธวัชชัย นันทนรัตน์เสรี
ผศ. ดร. สมศักดิ์ ชุมช่วย อาจารย์ที่ปรึกษา

บทคัดย่อ

โครงงานนี้เป็นการออกแบบวงจรทางด้านอะนาลอก คือ "การออกแบบวงจรรวมสำหรับโทรศัพท์" ซึ่งใช้พื้นฐานการออกแบบวงจรรวมและทฤษฎีต่างๆเช่น วงจรขยายสัญญาณ วงจรสะท้อนกระแส วงจรรักษาระดับแรงดัน และอื่นๆ โดยใช้อุปกรณ์แอกทีฟ คือ มอสทรานซิสเตอร์ ซึ่งใช้เทคโนโลยีซีมอส และใช้โปรแกรมบนคอมพิวเตอร์จำลองการทำงานของวงจร และนำวงจรที่ได้ออกแบบมาทำการวาดวงจรในลักษณะของชั้นสารกึ่งตัวนำด้วยโปรแกรมบนคอมพิวเตอร์ ซึ่งโปรแกรมจะให้ผลที่สามารถนำไปเป็นต้นแบบการผลิตวงจรรวมได้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

INTEGRATED CIRCIUT DESIGN FOR TELEPHONE SET

DIREK RAKSAPAKDEE
THAWATCHAI NUNTANARATSALEE
SOMSAK CHUMCHAUY, PhD ADVISOR
2000

Abstract

This project is concerned with the design of analog integrated circuits for telephone set. The circuits were designed by using SPICE with process parameter from MOSIS/Orbit 2.0um Technology SCNA and using L-edit to layout integrated circuits. Then the integrated circuits were designed that can take the layout to produce integrated circuits chip.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญ

	หน้า
บทที่ 1 บทนำ	1
บทที่ 2 ระบบโทรศัพท์เบื้องต้น	3
2.1 เครื่องโทรศัพท์ (The telephone set)	3
2.2 ชุมสาย (The local loop)	3
2.3 การเริ่มต้นใช้งาน (Initiating a call)	4
2.4 การต่อเบอร์ (Sending a Number)	5
2.5 การรวม2สัญญาณ (Dual Tone Multi frequency, DTMF)	5
2.6 การต่อโทรศัพท์ (Connecting the Phone)	5
2.7 การตอบรับโทรศัพท์ (Answering the Call)	5
2.8 การสนทนา (Talking)	5
2.9 สิ้นสุดการใช้งาน (Ending the Call)	6
2.10 ชนิดของการส่ง (Types of transmissions)	6
2.11 การส่งสัญญาณอะนาลอก (Analog Voice Transmission)	6
2.12 แบนวิชของเสียง (Voice channel Bandwidth)	7
2.13 ระดับช่องสัญญาณ (Voice Channel Level)	7
2.14 ช่องสัญญาณรบกวน (Voice Channel Noise)	8
2.15 มัลติเพล็กซิ่ง (Multiplexing)	8
2.16 การส่งสัญญาณ (Signaling Transmission)	9
2.17 สัญญาณไฟตรง (DC Signaling)	9
2.18 สัญญาณเสียง (Tone Signaling)	10
2.19 ระบบของเครื่องโทรศัพท์ (Telephone Set)	10
2.20 สวิชตัดสาย (Switch Hook)	11
2.21 การส่งสัญญาณพัลส์ (Pulse Dialing)	11
2.22 เวลาในการส่งสัญญาณพัลส์ (Pulse Timing)	12
2.23 การตรวจสอบสัญญาณพัลส์ (Dial Pulse Detection)	13
2.24 การป้องกันสัญญาณแอนติ-ทินเกิล (Anti-Tinkle and speech Muting)	13
2.25 การส่งสัญญาณเสื่อง (Tone Dialing)	14

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 3 การทำงาน และคุณสมบัติทางไฟฟ้าของมอสเฟต 15
3.1 ทฤษฎี 15
3.2 ลักษณะโครงสร้างของ MOSFET 16
3.3 ชนิดของ MOSFET 16
3.4 หลักการให้ไบอัส 18
3.5 การทำงานของเอ็น-แชแนล เอ็นฮานซ์เม็นต์โหมด MOSFET 19
3.6 การวิเคราะห์คุณสมบัติทางไฟฟ้า 21
บทที่ 4 หลักการออกแบบ OP-Amp 23
4.1 รายละเอียดเชิงวิชาการ 23
บทที่ 5 กระบวนการออกแบบวงจรรวม 31
5.1 DESIGN PROCESS 31
5.2 ขั้นตอนการออกแบบ 34
5.3 ขั้นตอนการออกแบบ Layout IC 80
5.4 Place and Route Cell 90
5.5 การตรวจสอบการ Layout 104
5.6 ขั้นตอนการเปรียบเทียบการทำงานของวงจรที่ทำการ Layout 108
5.7 คุณลักษณะของวงจรรวม (DATASHEET) 117
บทที่ 6 สรุปและวิจารณ์ 121
ภาคผนวก

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 1
บทนำ

การออกแบบและหลักการทำงานของระบบ

เครื่องโทรศัพท์(Telephone set) มีส่วนประกอบหลายส่วน แต่ละส่วนก็จะประกอบขึ้นจากวงจรส่วนย่อยๆ และรวมกันเป็นระบบเป็นตัวเครื่องโทรศัพท์ โดยในยุคต้นเครื่องโทรศัพท์จะประกอบด้วยวงจรที่สร้างจากอุปกรณ์ จำพวก Passive และเป็นวงจรที่มีลักษณะการทำงานที่ไม่ซับซ้อน มาถึงยุคปัจจุบันอุปกรณ์จำพวก Active ที่เป็น Solid State มีการพัฒนามาก สามารถสร้างวงจรในระบบต่าง ๆ ได้มากมาย แม้แต่ในตัวเครื่องโทรศัพท์

ในโครงงานนี้เป็นการศึกษาและการออกแบบวงจรรวมทางอะนาลอกโดยใช้ CMOS Transistors และวงจรที่จะได้เลือกที่จะศึกษาและออกแบบคือ วงจรรวมภายในเครื่องโทรศัพท์ ในส่วนของ Speech Circuit เนื่องจากเป็นวงจรที่ไม่ซับซ้อนมากนัก ซึ่งในปัจจุบันวงจรรวมในลักษณะนี้จะมีหน้าที่และคุณลักษณะแตกต่างกันออกไป

ขั้นตอนในการดำเนินโครงงานนั้น เริ่มต้นจากการศึกษาหาข้อมูลเกี่ยวกับตัวเครื่องโทรศัพท์ส่วนประกอบและการทำงานของเครื่องโทรศัพท์และการศึกษาการทำงานของ MOS และวงจรรวมทางด้านอะนาลอกในลักษณะต่างๆ ที่ใช้ MOS เช่น ลักษณะคุณสมบัติการทำงาน และการออกแบบของวงจรในระบบอะนาลอก

จากนั้นเริ่มการออกแบบส่วนประกอบของเครื่องโทรศัพท์แยกกันแบบที่ละส่วน โดยเริ่มจากการคำนวณและออกแบบด้วยมือแล้วนำไป Simulate บนเครื่องคอมพิวเตอด้วยโปรแกรม SPICE หากผลการ Simulate ไม่ตรงตามต้องการก็กลับไปกลับพารามิเตอร์หรือแก้วงจรและนำมา Simulate จนได้ผลที่ถูกต้อง และ Simulate หาค่าคุณสมบัติต่างๆของวงจรที่ได้ออกแบบ

หลังจากที่ได้ออกแบบวงจรในแต่ละส่วนจนครบแล้วนำแต่ละส่วนของวงจรย่อยมาเชื่อมต่อเป็นระบบเพื่อทดสอบ Simulate การทำงานของระบบทั้งหมดจนได้ระบบที่สามารถทำงานได้ตามหน้าที่ที่ได้กำหนดไว้

เมื่อได้วงจรที่สมบูรณ์และให้ผลถูกต้องตามต้องการจะได้วงจรที่ประกอบจาก MOSFET ซึ่ง MOSFET จะมีพารามิเตอร์ที่สำคัญที่ผู้ออกแบบสามารถกำหนดและปรับแต่งค่าได้คือ W (ความกว้างของ Channel) และ L (ความยาวของ Channel) ขั้นตอนต่อไปจะทำการนำวงจรและค่า W/L ของ MOSไปทำการ Lay out บนเครื่องคอมพิวเตอร์ด้วยโปรแกรม L – Edit ซึ่งลักษณะวิธีการของการออกแบบ Layout สามารถทำได้หลายรูปแบบตามค่า W/L ของ MOSFET ที่ได้ออกแบบมา แต่วิธีออกแบบควรจะทำให้ได้พื้นที่บนชิปของวงจรรวมที่ทำการออกแบบให้มีขนาดน้อยที่สุดเท่าที่จะเป็นไปได้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เมื่อทำการ Lay out ครบทุกส่วนก็จะทำการสร้าง Net list จาก Layout ที่ออกแบบมาเพื่อนำไปให้โปรแกรม SPICE ทำการ Simulate ซึ่งผลลัพธ์จะต้องเหมือนกับที่ Simulate ด้วยโปรแกรม SPICE ก่อนนี้ หากไม่ถูกต้องก็ทำการแก้ Layout ใหม่จนผลถูกต้อง ซึ่งทั้งหมดคือ ขั้นตอนของโครงงานนี้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 2
ระบบโทรศัพท์เบื้องต้น

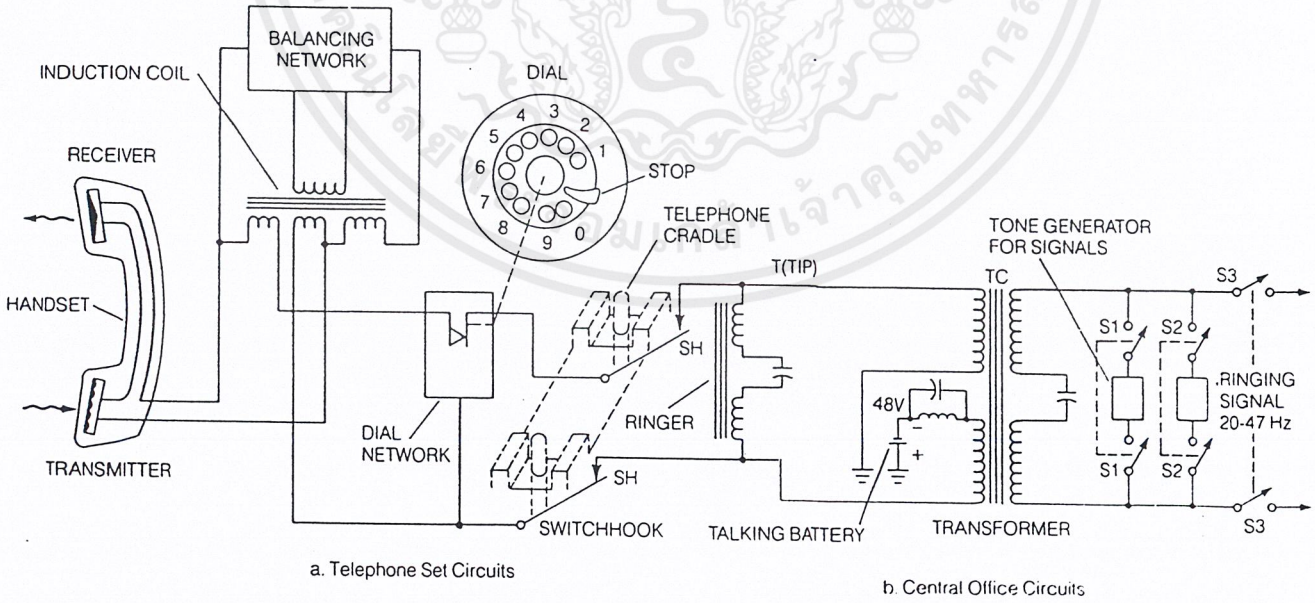
2.1 The telephone set (เครื่องโทรศัพท์)

มี 8 หน้าที่การทำงานของ the telephone set.

1. การร้องขอการใช้งานจากระบบโทรศัพท์เมื่อ Handset ถูกยก (lifted)
2. แสดงสถานะของระบบว่าพร้อมจะใช้งานโดยรับสัญญาณ Tone (เรียกว่า dial tone)
3. ส่งเบอร์โทรศัพท์ ที่ถูกเรียกไปยังระบบ โดยที่เบอร์นี้ได้จากผู้เรียกโดยการกดปุ่มตัวเลขหรือการหมุน
4. แสดงให้เห็นสถานะของการเรียกโดยรับสัญญาณ Tone ที่บอกสถานะ และ (ringing, busy, etc)
5. แสดงการเรียกเข้าให้โทรศัพท์ที่ถูกเรียกโดยRinging bells or other audible tones.
6. เปลี่ยนคำพูดของฝ่ายเรียกเป็นสัญญาณไฟฟ้าสำหรับส่งให้ฝ่ายปลายทางผ่านระบบและเปลี่ยนสัญญาณไฟฟ้าที่รับได้จากปลายทางเป็นคำพูดให้ผู้เรียก
7. ปรับเปลี่ยนแหล่งจ่ายกำลังงานเครื่องตามการเปลี่ยนแปลงอย่าง Auto
8. ส่งสัญญาณให้ระบบเพื่อบอกการสิ้นสุดการเรียกเมื่อผู้เรียก"Hang-up" the handset

2.2 The local loop

แต่ละ Subscriber telephone จะต่อถึง central office ที่ประกอบด้วยอุปกรณ์ switching, signaling equipment และ batteries ที่จ่ายกระแสให้ telephone ทำงานดังรูปที่ 2-1



รูปที่ 2-1 Telephone set and central office exchange simplified circuits

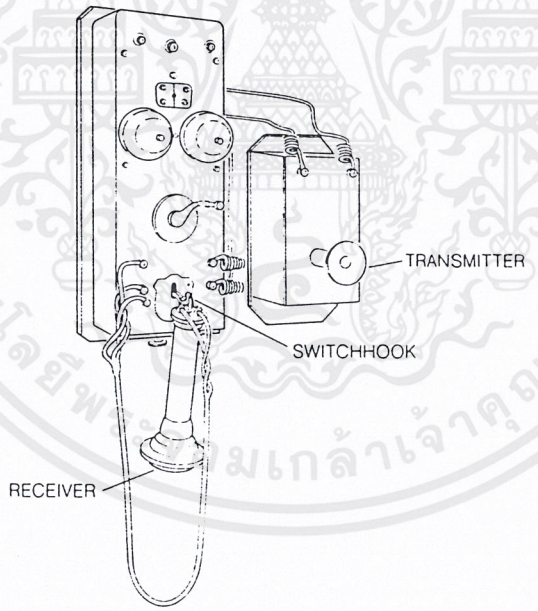
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

แต่ละ Phone ต่อกับ central office ผ่าน local loop โดยสองสายไฟ เรียกว่าคู่สาย หนึ่งสายเรียกว่า T (tip) และอีกสายเรียก R (ring) โดยใช้อ้างอิงสายใน switchboards. การ Switches ใน central office จะสัมพันธ์กับ dial pulses หรือ dial tone ที่มาจาก telephone เพื่อต่อ calling phone กับ called phone สองโทรศัพท์ติดต่อโดยใช้ transformer coupled loops และใช้กระแสจากที่จ่ายโดย central office batteries

2.3 Initiating a call

เมื่อ Handset ของโทรศัพท์ ยังคงอยู่ใน cradle น้ำหนักของ handset holds switch hook buttons down และ switches จะเปิดอยู่สภาวะนี้เรียกว่า on-hook จะวางอยู่ระหว่าง telephone handset และ central office จะเปิดอยู่ อย่างไรก็ตาม วงจร ringer ใน telephone จะต่ออยู่กับ central office ตลอดเวลา ดังรูปที่ 2-1 ตัวเก็บประจุ C จะกั้นไฟ dc จาก battery แต่จะยอมให้สัญญาณ ac ringing ผ่านได้ (วงจร ring จะมีค่า Impedance สูง ฉะนั้นจะไม่มีผลต่อสัญญาณ speech)

เมื่อ Handset ถูกยกออกจาก cradle, spring-loaded จะทำให้ switch ปิด และจะเกิดวงจรสมบูรณ์ครบ loop และกระแสจะไหลในวงจรจะเรียกสภาวะนี้ว่า off-hook (On-hook, off-hook และ hang-up มาจากการเรียกในยุคต้นของระบบโทรศัพท์) ดังรูปที่ 2-2



รูปที่ 2-2 Early telephones with separate receiver hanging on switch hook

สัญญาณ Off-hook จะบอกให้ exchange ทราบว่ามีความต้องการเรียกใช้โทรศัพท์เกิดขึ้น the exchange จะส่ง dial tone กลับให้โทรศัพท์ที่เรียกทราบว่า Exchange พร้อมที่จะรับหมายเลขติดต่อโทรศัพท์แล้ว (telephone number อ้างอิงที่อยู่เลขหมายประจำทาง)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.4 Sending a Number

บางโทรศัพท์ที่ใช้ Dial pulsing จะมี rotary dial ดังรูปที่ 2-2 โดยการเปิด-และ-ปิด วงจรของ local loop ด้วยอัตราส่วนของเวลา จำนวน dial pulses จากการ dial คำนวณโดยระยะการหมุนของ rotary dial ไกลจากจุดเริ่มต้นเท่าใด

2.5 Dual Tone Multi frequency (DTMF)

ในระบบโทรศัพท์ระบบใหม่จะให้ Audio tone ในการส่ง telephone number แทนที่ rotary dial เครื่องโทรศัพท์แบบนี้จะมีปุ่มกด 12 ปุ่ม สำหรับตัวเลข 0 ถึง 1 และสัญลักษณ์ * (asterisk) และ # (octothorpe) การกดปุ่มหนึ่งปุ่มจะทำให้วงจร electronics ผลิต tone ออกมาก 2 tone ที่แทนตัวเลขที่กดนั้น

2.6 Connecting the Phone

Central office จะปรับ switch และ relay โดยอัตโนมัติเพื่อต่อโทรศัพท์ผู้เรียกกับผู้ถูกเรียกถ้าโทรศัพท์ผู้ถูกเรียกอยู่ในสภาวะ off-hook เมื่อมีการพยายามติดต่อด้วย central office จะผลิต busy tone ให้กับโทรศัพท์ผู้เรียกได้ทราบ ในอีกกรณีหากโทรศัพท์ปลายทางอยู่ในสภาวะ on-hook สัญญาณ ringing จะถูกนส่งไปให้โทรศัพท์ปลายทางและรออยู่ ขณะเดียวกันสัญญาณ ring back tone จะถูกส่งกลับไปให้โทรศัพท์ต้นทาง ให้ทราบว่าตอนนี้โทรศัพท์ปลายทางกำลังถูกเรียกอยู่ (ringing)

2.7 Answering the Call

เมื่อโทรศัพท์ปลายทางยก Handset รับโทรศัพท์จะเกิด loop สมบูรณ์โดย switch hook ถูกปิดและเกิดกระแสไหลผ่านโทรศัพท์ปลายทางและ central office จะหยุดส่งสัญญาณ ringing และ ring back tone จากวงจร

2.8 Talking

ส่วนของโทรศัพท์ที่ผู้พูดเรียกว่า Transmitter โดยการเปลี่ยน speech (acoustical energy) ให้อยู่ในรูปกระแสไฟฟ้า (electrical energy) โดยการเปลี่ยนแปลงหรือ modulating ของกระแส loop สัมพันธ์กับ speech ของผู้พูด

ส่วนของโทรศัพท์ที่เปลี่ยนกระแสไฟฟ้าเป็นเสียงที่คนสามารถได้ยินเรียกว่า Receiver สัญญาณที่ผลิตจาก Transmitter ถูกนำมาโดย loop current ถึง receiver ของส่วนปลายทาง ดังนั้นจะมีสัญญาณจำนวนน้อยส่วนหนึ่ง feedback เข้ามายัง receiver ของผู้พูด เรียกว่า side tone

Side tone มีความจำเป็น โดยผู้พูดสามารถได้ยินเสียงของตนที่พูดผ่านทาง receiver เพื่อกำหนดความดังขณะพูดของตนเอง side tone ควรจะเป็นสัดส่วนเพราะ side tone มาก จะทำให้ผู้พูดทราบและ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

พูดเสียงค่อยลงกว่าเดิมไปยังปลายทาง ในทางกลับกัน side tone น้อยจะทำให้ ผู้พูดทราบจะพูดเสียงดังขึ้นเพราะเสียง side tone จะสัมพันธ์กับเสียงที่ส่งไปยังปลายทางนั้นเอง

2.9 Ending the Call

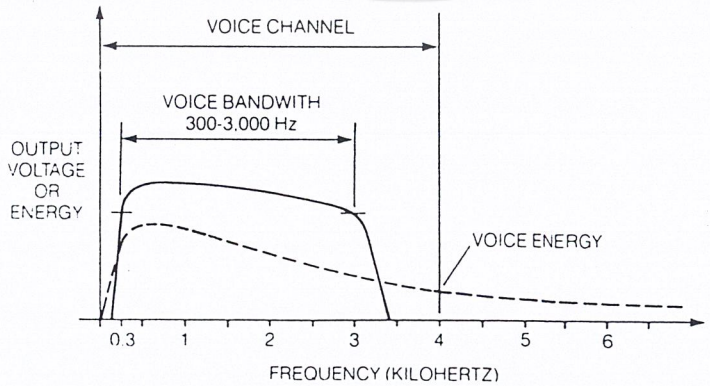
การเรียกจะสิ้นสุดลงเมื่อแต่ละฝ่าย Hang-up the handset การ on-hook จะบอก central office ถึงเกิดการว่างของสายในบาง central office การต่อจะว่าง เมื่อแต่ละฝ่าย on-hook ในขณะบาง central office การต่อจะว่างเมื่อส่วนผู้เรียก on-hook เท่านั้น

2.10 Types of transmissions

คำพูดหรือสัญญาณเสียงไม่ใช่สัญญาณที่จะส่งในสายโทรศัพท์เท่านั้นจากการพิจารณาก่อนหน้านี้ การต่อระหว่างโทรศัพท์ผู้เรียกกับโทรศัพท์ผู้ถูกเรียกจะต้องใช้สัญญาณอื่น ๆ อีก ดังนี้ Dial tone, dial pulses หรือ key tones ใช้สำหรับส่งตัวเลขหมายโทรศัพท์, bus tone และ ring back tone สัญญาณเหล่านี้เพื่อควบคุมการตัดต่อหรือแสดงสภาวะการเรียก สัญญาณเหล่านี้เรียกว่าControl signals หรือ supervisory signals ซึ่งอาจจะเป็น ton signal (analog) หรือ ON-OFF (digital) signals ดังนั้น Local loop อันหนึ่งจะประกอบด้วยหลายสัญญาณ analog voice signals analog tone signaling และ digital ON-OFF signaling และควรจะมีการผสมของสัญญาณ analog และ digital

2.11 Analog Voice Transmission

สัญญาณที่มีการเปลี่ยนแปลงอย่างต่อเนื่องและเรียบโดยขนาดและความถี่เรียกว่า Analog signal. Speech (or voice) signals คือ สัญญาณแบบนี้ รูปที่ 2-3 แสดงการกระจายของพลังงานของสัญญาณ voice แกนตั้งคือ พลังงานสัมพันธ์ และแกนนอนคือความถี่ แสดงถึงการกระจายของความถี่เสียงขยายจาก 100 hertz ถึง 6,000 hertz แต่พลังงานหลักที่จำเป็นของเสียงจะอยู่ในช่อง 200 hertz ถึง 4,000 hertz

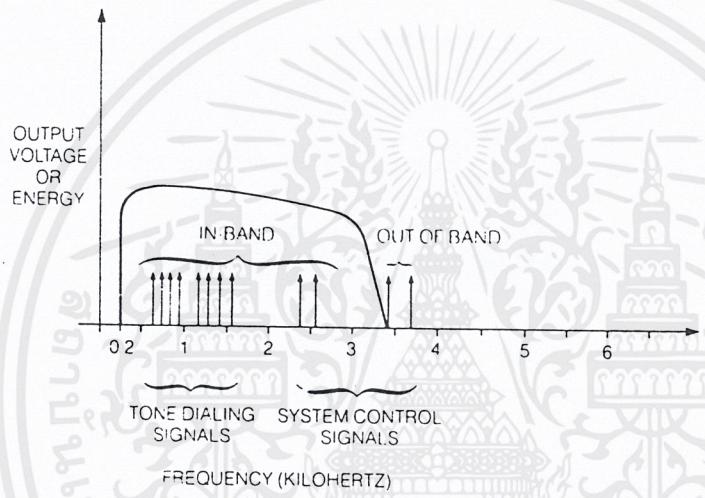


รูปที่ 2-3 Voice Energy Versus Frequency

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.12 Voice channel Bandwidth

ในการจำกัดสัญญาณที่ไม่ต้องการ (Noise) วงจรที่นำสัญญาณโทรศัพท์จะออกแบบให้ความถี่ที่ต้องการผ่านได้เท่านั้น ความถี่ที่ผ่านได้เรียกว่า pass band ตั้งแต่ 0 ถึง 4,000 hertz คือ pass band ของ telephone system voice channel-a VF Channel (บางครั้ง ย่านนี้เรียกว่าmessage channel) Bandwidth คือ ความแตกต่างระหว่าง upper limit และ lower limit ของ pass band ดังนั้น Bandwidth ของ VF channel คือ 4,000 HZ อย่างไรก็ตามไม่ทั้งหมดของ VF channel ที่ใช้สำหรับส่ง speech ย่านของเสียงถูกจำกัดในช่วง 300 ถึง 3,000 hertz ดังรูปที่ 2-3 ขณะที่ทุก ๆ สัญญาณพาหะในวงจรโทรศัพท์ที่อยู่ในย่าน 300 ถึง 3,000 hertz เรียกว่า in-band signal ดังรูปที่ 2-4 ทุก ๆ สัญญาณที่ไม่อยู่ในย่าน 300 ถึง 3,000 hertz เท่านั้น แต่อยู่ในย่าน VF channel เรียกว่า out-of-band signal สัญญาณ speech ทั้งหมดอยู่ใน in-band signal



รูปที่ 2-4 In Band and Out of Band signaling

2.13 Voice Channel Level

ความดัง หรือ ขนาดของสัญญาณในวงจรโทรศัพท์จะอ้างถึงระดับของสัญญาณระดับของ สัญญาณจะแสดงในรูปของกำลังงานของสัญญาณที่ส่งถึง Load ในระบบโทรศัพท์ ที่ระดับ 0 dBm ปกติใช้เป็นจุดตั้งของการสิ้นสุด การส่งของสัญญาณ บนสายที่จุดนี้เป็นจุดอ้างอิงของระบบเรียกว่า zero transmission level point (0 TLP) โดยวัดจากจุดที่มี ระดับสัญญาณ เป็น 0 dBm ที่จุด (0 TPL) นี้จะเป็นที่ตั้งของตัว switch โดยการวัดความสูญเสียในสาย

2.14 Voice Channel Noise

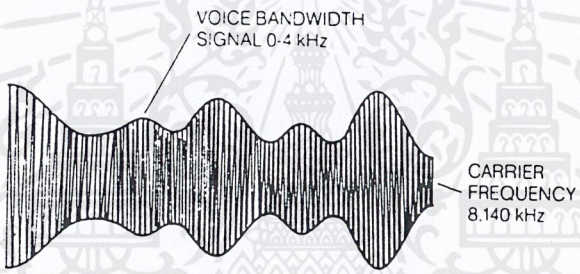
ในระบบส่งสัญญาณ ควรจะทำงานโดยไม่มีสัญญาณที่ไม่ต้องการปรากฏออกมาโดยจะเป็นการลดทอนข้อมูลที่จะส่ง, ฟ้าผ่า ความร้อน การเหนี่ยวนำการสายไฟแรงสูง ล้วนแต่จะลดทอนปริมาณสัญญาณข้อมูลได้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.15 Multiplexing

Local loop สามารถนำพาช่องการสนทนาได้ช่องเดียวในเวลาหนึ่งเท่านั้นแต่หากใช้หลักการส่งสัญญาณเข้าช่วยจะสามารถสนทนาได้หลายช่องในเวลาเดียวกันโดยการ multiplexing สำหรับสัญญาณ analog, frequency division multiplexing (FDM) ถูกใช้งาน โดยความหมายคือ หลาย ๆ การสนทนาทางโทรศัพท์สามารถส่งร่วมกันบนช่องส่งเดียวแต่โดยการแยกความถี่

หลักการพื้นฐานแสดงดังรูปที่ 2-5 และ 2-6 ในรูปที่ 2-5 สัญญาณเสียงมีความถี่ bandwidth จาก 0 ถึง 4 kHz โดยการเปลี่ยนแปลงทางขนาดของความถี่หนึ่งที่เรียกว่าความถี่พาหะ (8140 kHzในรูป) ความถี่เสียง 0 ถึง 4 kHz ถูก amplitude modulating กับ 8,140 kHz พาหะข้อมูลของสัญญาณเสียงถูกพาไปโดยการเปลี่ยนแปลงของสัญญาณ 8,140 kHz และความถี่เสียงสามารถส่งผ่านโดยความถี่ต่างกัน



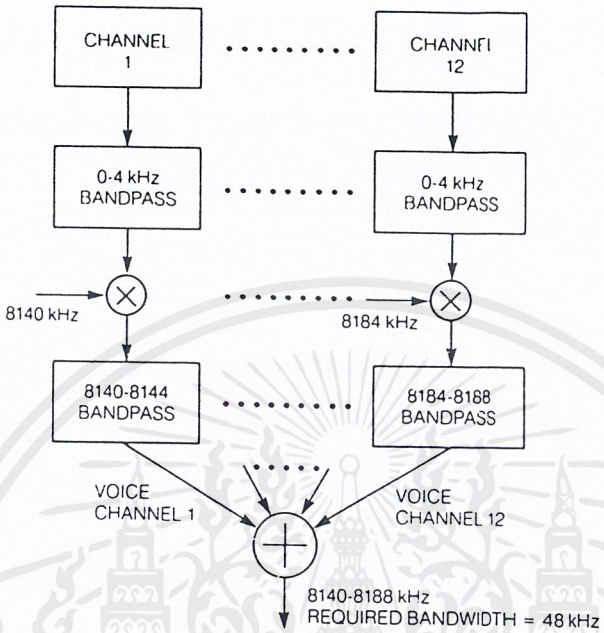
รูปที่ 2-5 Carrier modulated by voice signal

ถ้าสัญญาณความถี่เสียงที่ต่างกัน (การสนทนาโทรศัพท์ที่ต่างกัน) ถูกแทนที่ในความถี่พาหะที่ต่างกัน ดังนั้น หลายการสนทนาอาจจะร่วมกันบนเส้นทางส่งเดียว จากจุดส่งถึงจุดรับ ที่จุดรับจะแยกความถี่เหล่านี้ออกจากกัน และสัญญาณเสียงจะถูกนำออกมาจากพาหะ (demodulated) และส่งให้กับโทรศัพท์ผู้ถูกเรียก

การ Multiplexing ของสัญญาณ แสดงดังรูปที่ 2-6 โดย 12-ช่องสัญญาณเสียง แต่ละช่องสัญญาณเสียงมี Bandwidth 4 kHz.

ฉะนั้น 12 ช่อง ต้องการ 4*12 หรือ 48 kHz band width ขณะที่ความถี่ต่ำ คือ 8,140 kHz ดังนั้นสัญญาณความถี่ multiplex จะมีตั้งแต่ 8,140 kHz ถึง 8,180 kHz (8,140+48 = 8,188) หากช่องสัญญาณเสียงมีช่องเพิ่มขึ้นจำเป็นต้องขยายความถี่พาหะให้มากขึ้น หรือ Bandwidth ในเส้นทางส่งควรเพิ่มขึ้น

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2-6 Multiplexed Frequency signals

2.16 Signaling Transmission

สัญญาณในสายส่งของโทรศัพท์ใช้ควบคุมการติดต่อจากผู้เรียกกับผู้ถูกเรียกหรือใช้แสดงสภาวะการติดต่อ สัญญาณต่าง ๆ มีดังนี้

2.17 DC Signaling

DC signal เพื่อจ่ายกระแสและแรงดันให้กับวงจร โดยมีขั้วแรงดันที่แน่นอนสัญญาณแสดงสภาวะ on-hook, off-hook, dial pulses เหล่านี้เป็นสัญญาณ ON-OFF เป็น digital signal ที่ Local loop, on-hook แสดงโดยการ เปิดวงจรและไม่มีกระแสไหล, off-hook เป็นสัญญาณเกิดจากการเปิดวงจร และเกิดกระแสไหลต่อเนื่องต่อเนื่อง dial pulse เกิดจากการ เปลี่ยนแปลงระหว่างการเปิดและปิดวงจรโดยอัตราแน่นอน

2.18 Tone Signaling

ใช้แสดงการควบคุมสภาวะ โดยอาจจะเป็นความถี่เดียวหรือการรวมกันของความถี่ เป็นสัญญาณ Analog (continuous tones or tone bursts tones turned on and off at various rate) แสดงโดย Table 2-1 ที่ส่งโดย exchange Tone signaling ระหว่าง exchanges อาจจะ in-band หรือ out-of-band

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Table 2-1 Network Call Process Tone

Tone	Frequency (Hz)	On Time (Sec) off Time (Sec)	
Dial	350+440	Continuous	
Busy	480+620	0.5	0.5
Ring back, Normal	440+480	2	4
Ring back, PBX	440+480	1	3
Congestion (Toll)	480+620	0.2	0.3
Reorder (Local)	480+620	0.3	0.2
Receiver Off-hook*	1400+2060+2450+2600	0.1	0.1
No Such Number	200 to 400	Continuous, Frequency modulated at 1 Hz Rate	

- Receiver off-hook is a very loud tone, OdBm per frequency

2.19 Telephone Set

เครื่องโทรศัพท์ออกแบบภายใต้เงื่อนไข Electrical, mechanical และ acoustical บางองค์ประกอบออกแบบจากผู้ใช้ เช่น ระดับความดังเสียง, handset dimension, etc Table 2-2 แสดงบางองค์ประกอบการทำงานในเครื่องโทรศัพท์ของ U.S. และบางประเทศในยุโรปตะวันตก

Table 2-2 Operating Parameters and Limits

Parameter	Typical U.S. Values	Operating Limits	Typical European Values
Common Battery voltages	-48 VDC	-47 to –105 VDC	Same
Operating Current	20 to 80 mA	20 to 120 mA	Same
Subscriber Loop Resistance	0 to 1,300 ohms	0 to 3,600 ohms	
Loop Loss	8 dB	17 dB	Same
Distortion	- 50 dB total	N.A	
Ringing Signal	20 Hz, 90 VRMS	16 to 60 Hz 40 to 130 VRms	16 to 50 Hz 40 to 130 Vrms
Receive Sound Preserve Level	70 to 90 DBspl*	130 dBspl	Varies
Telephone Set Noise		Less them 15 dBrnc**	

- dBspl = dB sound pressure level
- dBrnc = dB value of electrical noise referenced to –90 dBm measured with C message weight frequency response

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

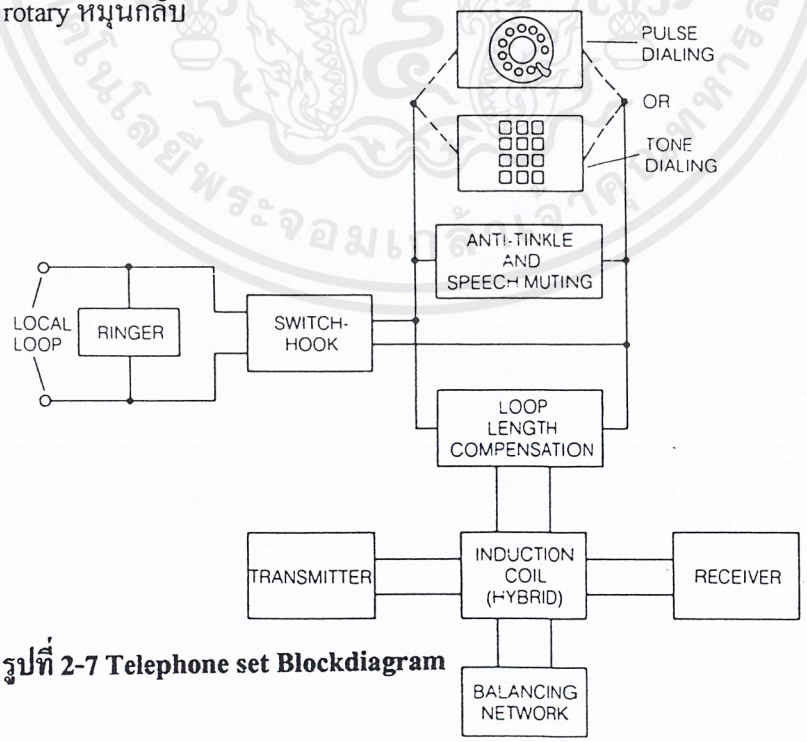
2.20 Switch Hook

On-hook รูปที่ 2-7 แสดง Block diagram ของเครื่องโทรศัพท์ และหน้าที่หลักวงจร ringer จะต่อกับสายตลอดเวลาเพื่อแสดงการเรียกเข้า ส่วนที่เหลือของเครื่องโทรศัพท์จะถูกแยกออกจากสายตลอดเวลาเพื่อเรียกเข้า ส่วนที่เหลือของโทรศัพท์จะถูกแยกออกจากสายโดยการเปิดหน้าสัมผัสของ switch hook เมื่อ hand set on-hook จะไม่มีกระแส dc ไหลผ่าน ขณะที่วงจร ringer มีตัวเก็บประจุ กันกระแส dc ไหลผ่านตัววงจร

Off-hook เมื่อ Handset ถูกยกออก (off-hook) เพื่อการเรียกสาย หน้าสัมผัสของ switch hook S_1, S_2 ในรูปที่ 2-8 จะเปิด กระแสไหลครบวงจรจาก central office battery ผ่านเครื่องโทรศัพท์ และผ่าน relay coil ที่ central office กระแสที่ผ่าน Relay coil เพียงพอจะทำให้ทำงานต่อสัญญาณบอกแก่ central office เพื่อให้ทราบว่าขณะนี้มีการ off-hook ต่อมาจากค้นหาสายที่ off-hook เมื่อพบก็จะรอรับเลขหมายโทรศัพท์ที่จะเรียก ที่นี่ตัวผลิต dial tone จะต่อกับสายเพื่อส่งสัญญาณ dial ให้ผู้เรียก โดยอาจเป็น pulsing หรือ audio tones และเมื่อเลขหมายหลักแรกถูกส่งมายัง central office สัญญาณ dial tone ก็จะถูกนำออกจากสาย

2.21 Pulse Dialing

ในเครื่องโทรศัพท์ Pulse dialing ถูกสร้างจาก rotary dial ดังรูปที่ 2-7-จำนวนของ-pulse เกิดจากระยะการหมุนของ rotary จากจุดเริ่มต้น โดยการทำงานเกิดจาก spring ใน rotary ดึงให้หมุนกลับมายังตำแหน่งเดิม โดยขณะที่หมุนกลับจะเกิดการตัดต่อสายในอัตราคงที่โดยใช้ S_3 ดังรูป เป็นตัวเปิดวงจร local loop ขณะที่ rotary หมุนกลับ



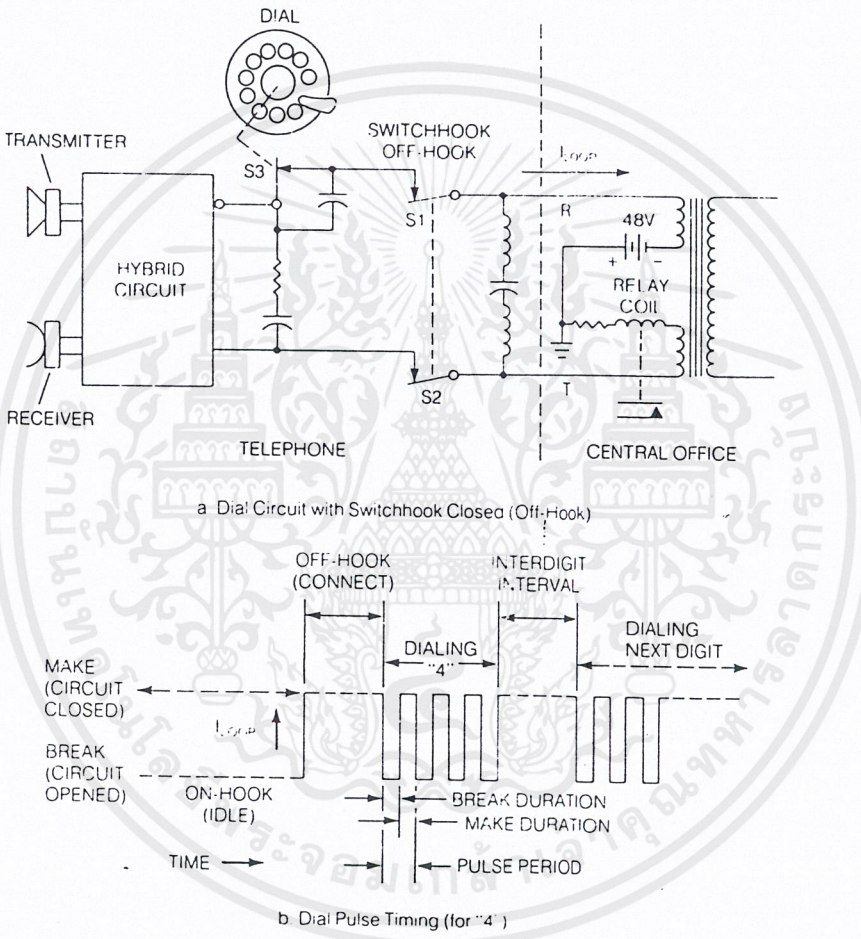
รูปที่ 2-7 Telephone set Blockdiagram

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ดังนั้น Pulse dialing ผลิตจากลำดับของ current pulse ใน loop circuit หนึ่ง pulse ส่งแทน digit 1 สอง pulse แทน digit 2 และ 0 pulse แทน digit 0

2.22 Pulse Timing

Dial pulse เกิดจากการทำงานของระบบกลไกไฟฟ้า switch กลไกของระบบถูกตั้งไว้ที่อัตราการทำงานสูงสุด 10-ต่อวินาที-ดังนั้น-กลไกของการหมุน-telephone dial จะผลิต 10 pulses ต่อวินาที



รูปที่ 2-8 Dial pulse

รูปที่ 2-8 แสดงเวลาสัมพันธ์กับ dial pulses จำนวนการตัดแสดงถึงจำนวน dial ภายในเลาการทำงาน เปิดและปิดวงจร เรียกว่าdial pulse period ปกติประมาณ 100 milliseconds ให้ความต้องการอัตรา pulse 10 pulse ต่อวินาทีหนึ่ง dial pulse ประกอบด้วย หนึ่งคาบเมื่อวงจรถูกเปิด (เรียกว่า break internal) และคาบเมื่อวงจรถูกปิด (เรียกว่า make internal) ค่าคาบเวลาปกติใน U.S. telephone System คือ 60 millisecond break และ 40 mSec. Make เรียกว่า60% break ratio ประเทศอื่นอาจจะใช้ 67%

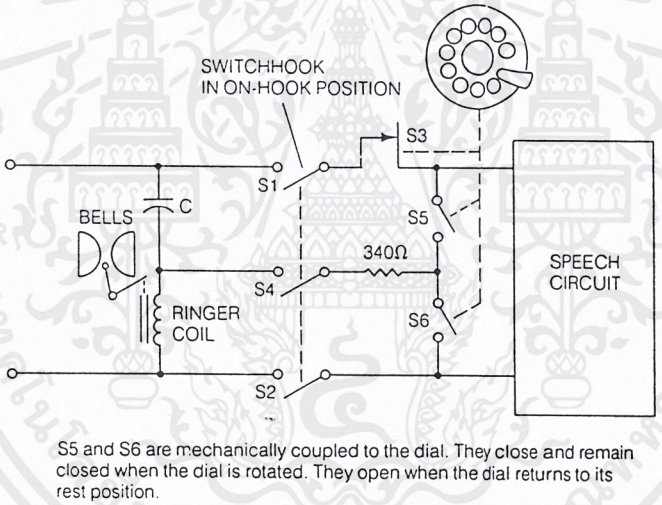
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.23 Dial Pulse Detection

แต่ละไมล์ (mile) คู่สายระหว่าง Contral office และโทรศัพท์จะมีค่าความจุที่ขนานอยู่ประมาณ 0.07 μF และมีค่าความเหนี่ยวนำอนุกรมอยู่ประมาณ 1.0 mH และความต้านทานอนุกรมประมาณ 42 ohms จะเกิดการลดทอนของ dial pulse ในสาย ดังนั้นวงจรตรวจจับ dial pulse ที่ central office ควรจะสามารถตรวจจับ dial pulse อย่างถูกต้อง โดยแยกได้ว่า จุดไหนสิ้นสุด digit จุดไหนเริ่ม digit ตัดใหม่

2.24 Anti-Tinkle And speech Muting

High voltage spikes เกิดขึ้นทุกครั้งที่มีการสร้าง dial pulsing จากการตัดต่อ loop current ดังนั้นจึงจำเป็นต้องมีวงจรป้องกันและแยกวงจรในส่วน speech ออกไป ดังรูปที่ 2-9 switch S5 , S6 โดยมีการหมุนเลขโทรศัพท์ S5 และ S6 จะ short ป้องกันวงจร speech circuit ในรูปตัวเก็บประจุ C มีไว้กันการ spark (spark quencher)

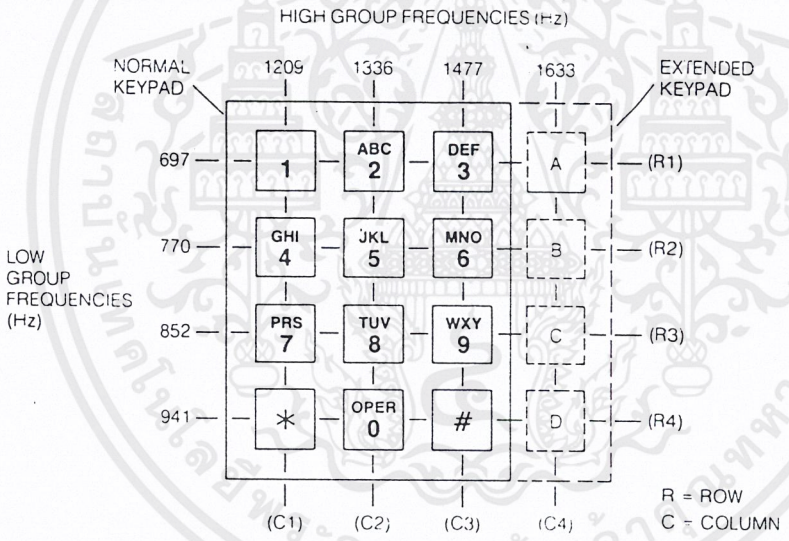


รูปที่ 2-9 Anti –tinkle and speech muting

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.25 Tone Dialing

บางโทรศัพท์อาจจะใช้ Dual tone multifrequency (DTMF) สำหรับส่งเลขหมายโทรศัพท์ ดังรูปที่ 2-10 แทนที่การหมุนของ rotary dial แต่จะใช้การกดปุ่มด้วย 12 ปุ่ม แทนตัวเลข 0 ถึง 9 และสัญลักษณ์ * และ # ในการกดปุ่มจะทำให้วงจร electronic ผลิตสัญญาณ 2 tones ในย่าน voice band โดย เป็นความถี่ต่ำในแต่ละแถวและความถี่สูงในแต่ละคอลัมน์ ฉะนั้น 12 ปุ่ม ก็จะมีจำนวน tone ทั้งหมด 7 tonesความถี่ที่ผลิตออกมาอาจคาดเคลื่อนได้บ้าง เช่น ในอเมริกาเหนือ ±1.5 % ในตอนผลิต และ 2% ในตอนรับ digit.



รูปที่ 2-10 DTMF keypad and frequency

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 3
การทำงาน และคุณสมบัติทางไฟฟ้าของมอสเฟต

3.1 ทฤษฎี

สิ่งประดิษฐ์การกึ่งตัวนำประเภท MOS ถูกจัดอยู่ในกลุ่มของสิ่งประดิษฐ์สารกึ่งตัวนำที่มีการควบคุมการทำงานด้วยผลของสนามไฟฟ้า (Field Effect Devices) ซึ่งมีลักษณะเด่น คือ มีความต้องการพลังงานในขณะใช้งานต่ำ แต่มีประสิทธิภาพในการทำงานสูง เมื่อเปรียบเทียบกับสิ่งประดิษฐ์สารกึ่งตัวนำประเภทอื่น ๆ ที่มีลักษณะการใช้งานเช่นเดียวกัน จึงทำให้เป็นที่นิยมใช้กันทั่วไปโดยเฉพาะในวงจรอิเล็กทรอนิกส์ ที่ต้องการใช้พลังงานต่ำ ๆ หรือในโครงสร้างของวงจรรวม(Integrated Circuits: IC) ที่มีจำนวนตัวประกอบ (Component) มาก ๆ เช่น IC ระดับ LSI และ VLSI เป็นต้น คำว่า MOS ย่อมาจาก Metal Oxide Semiconductor ซึ่งบอกถึงลักษณะ โครงสร้าง ดังแสดงในรูปที่ 3-1

รูปที่ 3-1 โครงสร้างของ MOS

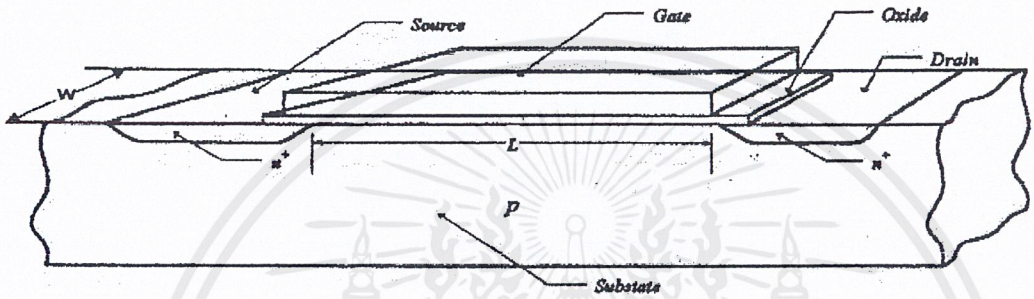
จะเห็นได้ว่าโครงสร้างลักษณะดังกล่าวนี้เหมือนกับตัวเก็บประจุไฟฟ้า (Capacitor) และสิ่งประดิษฐ์สารกึ่งตัวนำประเภท MOS ที่เป็นที่รู้จักกันดี และมีบทบาทมากที่สุด ได้แก่ มอสทรานซิสเตอร์ (MOSFET: Metal Oxide Semiconductor Field Effect Transistor) ซึ่งมีการทำงานด้วยประจุพาหะไฟฟ้าเพียงชนิดเดียว (Unipolar)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.2 ลักษณะโครงสร้างของ MOSFET

MOSFET ประกอบด้วย 4 ส่วนที่สำคัญดังแสดงในรูปที่ 2 คือ

1. ส่วนเดรน (Drain Region: D)
2. ส่วนซอส (Source Region: S)
3. ส่วนเกท (Gate: G)
4. ฐานรอง (Substrate: Sub)



รูปที่ 3-2 ลักษณะโครงสร้างของ MOSFET

โดยที่บนชิ้นผลึกฐานรอง (Substrate) ของสารกึ่งตัวนำชนิดพี ส่วนซอส และส่วนเดรน ซึ่งเป็นสารกึ่งตัวนำชนิดเอ็นจะถูสร้างขึ้นจากการเติมอะตอมสารเจือชนิดเอ็นเข้าไปในสารกึ่งตัวนำฐานรอง และระหว่างส่วนซอสกับส่วนเดรน โครงสร้างของมอส (MOS) จะถูกสร้างขึ้น และทำหน้าที่เป็นส่วนเกท (Gate) คอยควบคุมการทำงานของทรานซิสเตอร์นี้ โดยแรงดันที่เกท จะทำให้เกิดสนามไฟฟ้าตกคร่อมชั้นออกไซด์ และช่วยเหนี่ยวนำประจุไฟฟ้าขึ้นที่ด้านสารกึ่งตัวนำ ทำให้เกิดเป็นช่องเดินทางกระแส (Channel) ซึ่งเป็นสารกึ่งตัวนำชนิดเดียวกับส่วนซอสกับเดรน และเชื่อมต่อระหว่างซอสและเดรน จึงมีการนำกระแสไฟฟ้าได้ ซึ่งหมายถึงการทำงานของมอสทรานซิสเตอร์นั่นเอง

3.3 ชนิดของ MOSFET

เมื่อแบ่งตามลักษณะการทำงานจะแบ่งได้เป็น 2 ชนิด คือ

1. แบบ Enhancement MOSFET คือ MOSFET ที่ช่องทางเดินกระแส เกิดขึ้นด้วยการเหนี่ยวนำประจุจากแรงดันที่เกทเมื่อเกทไม่ได้รับไบอัสChannelจะไม่เกิดขึ้น จึงไม่มีกระแสไหลผ่านทรานซิสเตอร์

2. แบบ Depletion MOSFET คือ MOSFET ที่ช่องทางเดินกระแส เกิดขึ้นจากการเติมอะตอมสารเจือ ให้เกิดเป็นสารกึ่งตัวนำชนิดเดียวกันกับส่วนซอส และเดรน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

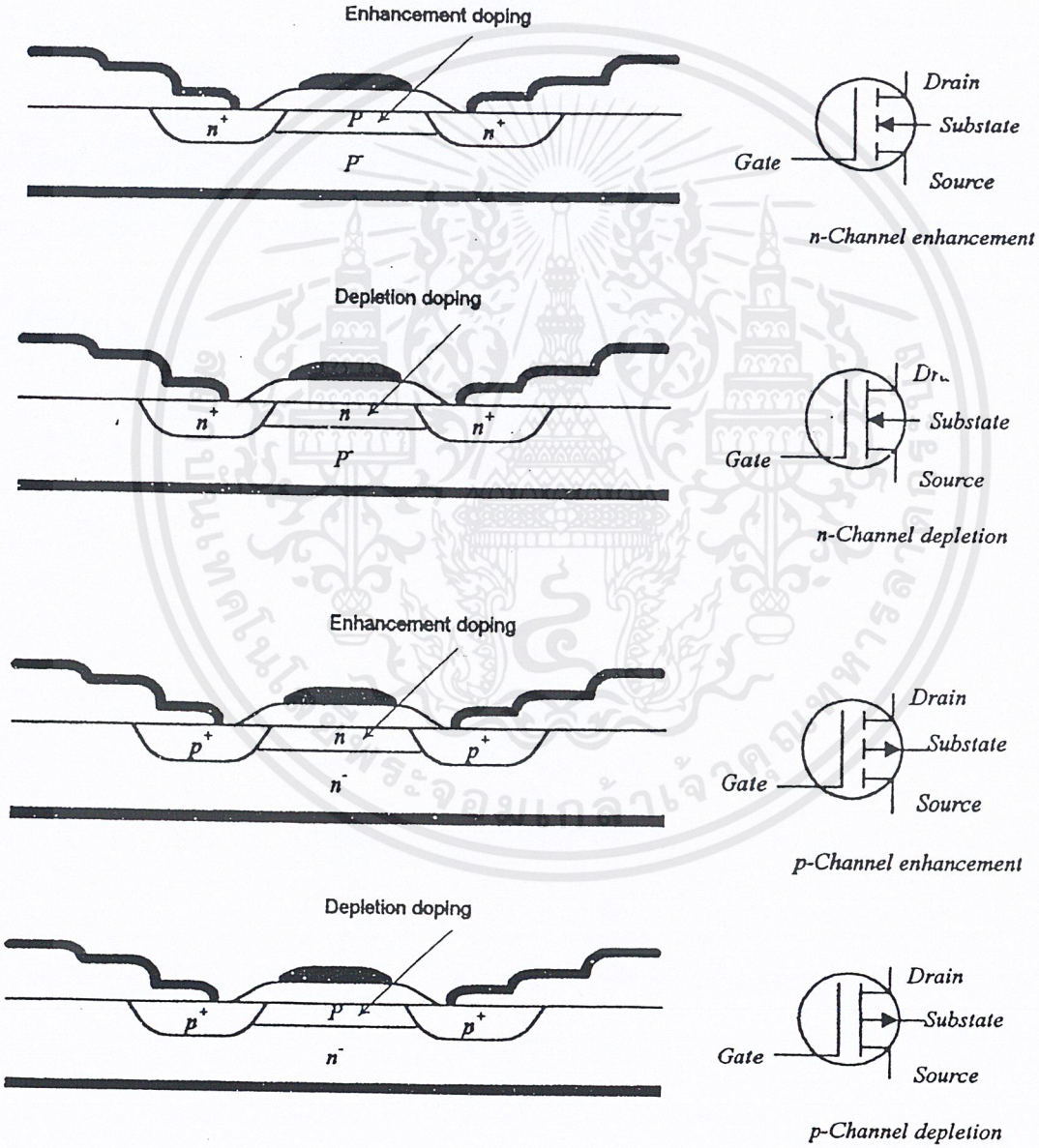
สำนักหอสมุดกลาง จุฬาลงกรณ์มหาวิทยาลัย

เมื่อแบ่งตามชนิดของประจุพาหะที่นำไฟฟ้า จะแบ่งได้เป็น 2 ชนิด คือ

1. N-Channel MOSFET หรือ NMOS ที่มี Channel เป็นสารกึ่งตัวนำชนิดเอ็น อิเล็กตรอน ซึ่งมีประจุไฟฟ้าลบ เป็นพาหะนำไฟฟ้า ส่วนซอส และเดรนของ MOSFET ชนิดนี้ จึงเป็นสารกึ่งตัวนำชนิดเอ็น

2. P-Channel MOSFET หรือ MOSFET ที่มี Channel เป็นสารกึ่งตัวนำชนิดพี โฮล ซึ่งมีประจุไฟฟ้าบวกเป็นพาหะนำไฟฟ้า ส่วนซอส และเดรนของ MOSFET ชนิดนี้ จึงเป็นสารกึ่งตัวนำชนิดพี

โครงสร้าง และสัญลักษณ์ของ MOSFET ชนิดต่าง ๆ แสดงได้ดังในรูปที่ 3-3



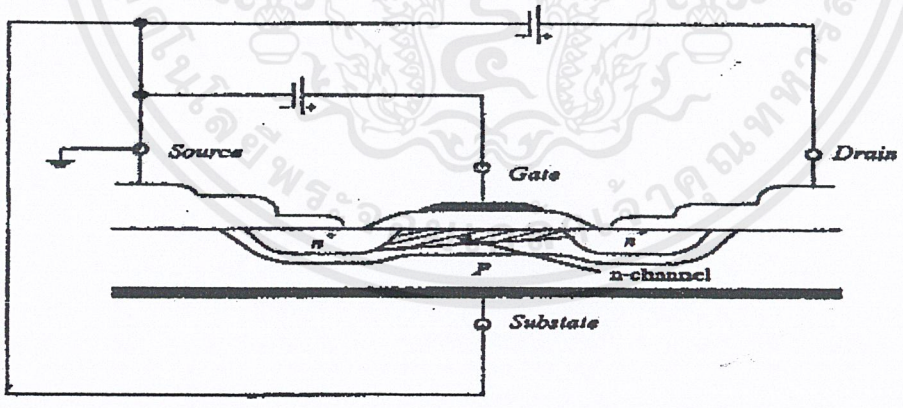
รูปที่ 3-3-โครงสร้างและสัญลักษณ์ของ MOSFET แบบต่าง ๆ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

42746

3.4 หลักการให้ไบอัส

ในการที่จะทำให้มอสทรานซิสเตอร์ ทำงานอย่างมีประสิทธิภาพตามต้องการนั้น จำเป็นอย่างยิ่งที่จะต้องให้ไบอัสกับส่วนต่าง ๆ อย่างเหมาะสม โดยคำนึงถึงหน้าที่หลักของแต่ละส่วนดังกล่าวมาแล้วข้างต้น เช่น ส่วนซอส ซึ่งถูกกำหนดให้เป็นแหล่งจ่ายประจุพาหะส่วนมากทำให้เกิดกระแส แล้วประจุเหล่านี้จะเคลื่อนที่ผ่านช่องทางเดินกระแสไปยังส่วนเดรน ออกไปสู่วงจรไฟฟ้าภายนอกทำให้เกิดกระแสเดรน (I_D) ดังนั้นในการให้แรงดันไบอัสที่เหมาะสมระหว่างส่วนเดรนกับส่วนซอสจึงหมายถึงการให้ศักดาไฟฟ้าแก่ส่วนซอส เมื่อเทียบกับส่วนเดรนแล้ว ส่วนซอสจะต้องเป็นแหล่งจ่ายประจุพาหะส่วนมากเสมอ เช่น ในกรณีของเอ็น-แชนแนล มอสทรานซิสเตอร์ซึ่งมีอิเล็กตรอนหรือประจุลบ เป็นประจุพาหะส่วนมากที่ทำให้เกิดกระแส ดังนั้น จะต้องให้ศักดาไฟฟ้าเป็นลบที่ส่วนซอส เมื่อเทียบกับส่วนเดรน เพื่อให้ส่วนซอสทำหน้าที่เป็นแหล่งจ่ายอิเล็กตรอนนั้นเอง ดังแสดงในรูปที่ 3-4 หรือในกรณีของพี-แชนแนล มอสทรานซิสเตอร์ ซึ่งมีโฮล หรือประจุบวก เป็นประจุพาหะส่วนมากที่ทำให้เกิดกระแส ก็จะต้องให้ศักดาไฟฟ้าเป็นบวก ที่ส่วนซอส เมื่อเทียบกับส่วนเดรน สำหรับส่วนเกทจะต้องให้ศักดาไฟฟ้า (เมื่อเทียบกับฐานรอง) ในลักษณะที่สามารถควบคุมการเปิดหรือปิดช่องทางเดินกระแสได้ โดยใช้การพิจารณาเช่นเดียวกับการให้ศักดาไฟฟ้าแก่ตัวเก็บประจุไฟฟ้า (Capacitor) ทั่ว ๆ ไป เช่น ตัวอย่างที่แสดงในรูปที่ 3-4 เป็น เอ็น-แชนแนล เอ็นฮานซ์เมนต์โหมด มอสทรานซิสเตอร์ ซึ่งโดยปกติถ้าไม่มีศักดาไฟฟ้าให้ที่ส่วนเกท ช่องทางเดินกระแสจะไม่เกิด ทำให้ส่วนเดรนกับส่วนซอสแยกออกจากกัน ดังนั้นแม้จะมีความต่างศักดิ์ระหว่างส่วนเดรนกับส่วนซอสเกิดขึ้น กระแส I_D ก็ไม่สามารถไหลได้



รูปที่ 3-4 การให้ไบอัสแก่ Enhancement N-Channel MOSFET

เมื่อให้ส่วนเกทมีศักดิ์เป็นบวก เมื่อเทียบกับฐานรอง สนามไฟฟ้าที่บริเวณเกท จะเหนี่ยวนำประจุลบ (อิเล็กตรอน) ขึ้นที่ด้านสารกึ่งตัวนำ ทำให้เกิดการสะสมประจุลบ กระทั่งเป็นช่องทางเดินกระแสขึ้น แรงดันที่เกทค่าสูง จะทำให้ประจุที่ถูกเหนี่ยวนำความหนาแน่นสูง ทรานซิสเตอร์จึงนำกระแส

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ได้มากขึ้น ดังนั้นเกทจึงเป็นส่วนควบคุมปริมาณของกระแสที่ไหลผ่านทรานซิสเตอร์นั่นเอง หรือในกรณีของเอ็น-แชนแนล ดีพลีทชั่น โหมด มอสทรานซีสเตอร์ ซึ่งโดยปกติขณะที่แรงดันไบอัสที่ส่วนเกท ช่องทางเดินกระแสชนิดเอ็นก็เชื่อมต่อระหว่างส่วนเดรนกับส่วนซอส ดังนั้นเมื่อมีความต่างศักย์ระหว่างส่วนเดรนกับส่วนซอส เกิดขึ้นจะทำให้กระแส I_D ไหลได้ทันที ฉะนั้นในการควบคุมปริมาณกระแส I_D ก็ทำได้โดยการควบคุมความนำไฟฟ้าของช่องทางเดินกระแสนั้น โดยการให้แรงดันไบอัสส่วนเกทในลักษณะที่ทำให้เกิดการเปลี่ยนการสะสมประจุลบ หรืออิเล็กตรอน เช่น ถ้าให้ส่วนเกทมีศักดาไฟฟ้าเป็นบวก เมื่อเทียบกับฐานรอง จะทำให้เกิดการสะสมประจุลบที่ช่องทางเดินกระแสมากขึ้น เป็นผลให้ความนำไฟฟ้ามีค่าเพิ่มขึ้น กระแส I_D ก็ไหลได้มากขึ้น แต่ถ้าในส่วนเกทที่มีศักดาไฟฟ้าเป็นลบ เมื่อเทียบกับฐานรอง จะทำให้เกิดการสะสมประจุบวกที่ช่องทางเดินกระแส เป็นผลให้ความนำไฟฟ้าของสารกึ่งตัวนำชนิดเอ็นบริเวณช่องทางเดินกระแสลดลง ดังนั้นกระแส I_D จะไหลได้น้อยลงด้วย ส่วนในกรณีของ PMOS ก็พิจารณาได้ในทำนองเดียวกัน

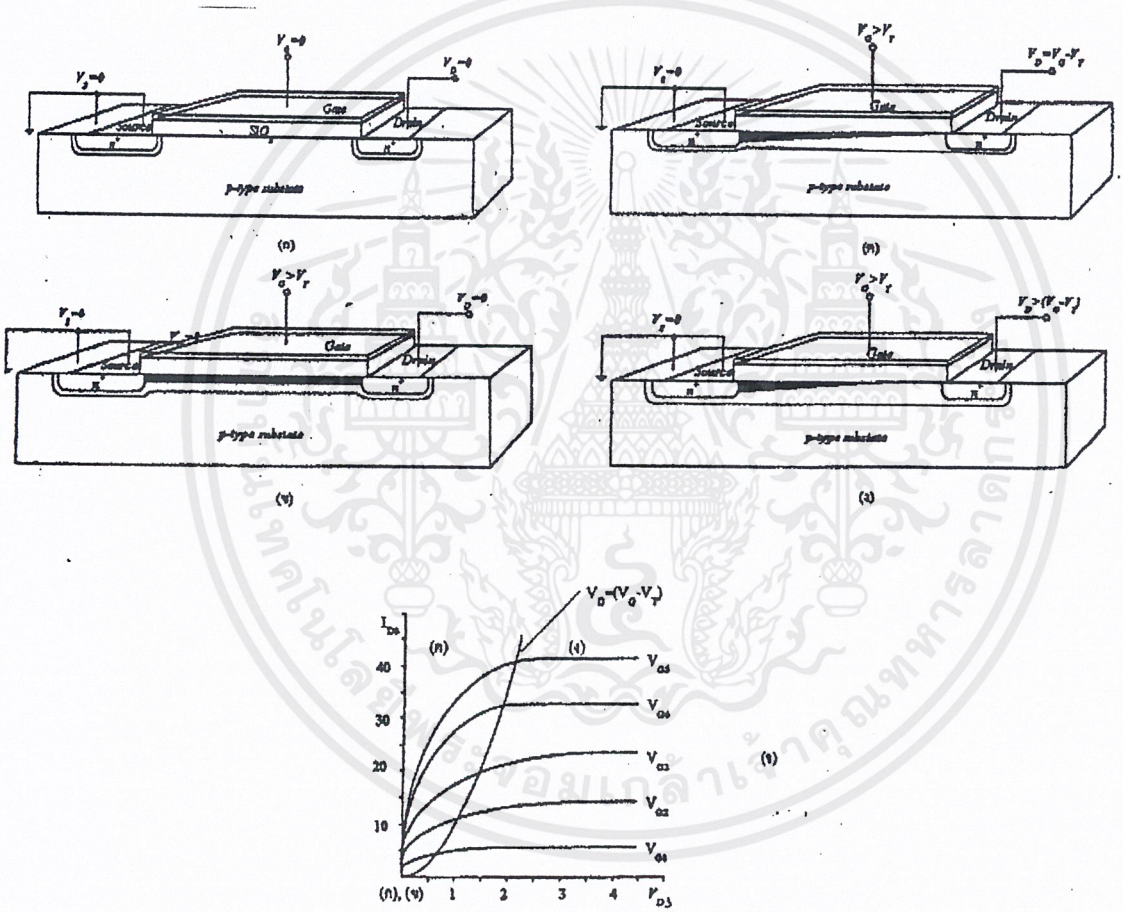
3.5 การทำงานของเอ็น-แชนแนล เอ็นฮานซ์เม็นต์โหมด MOSFET

โดยหลักการที่กล่าวมาข้างต้น เป็นการเตรียมพร้อมที่จะให้มอสทรานซิสเตอร์ทำงานตามที่ต้องการ ซึ่งกลไกการเปลี่ยนแปลงคุณสมบัติทางไฟฟ้าภายในของมอสทรานซิสเตอร์พอจะอธิบายได้ดังตัวอย่าง เช่น ในกรณีของเอ็น-แชนแนล เอ็นฮานซ์เมนต์โหมด มอสทรานซิสเตอร์ เมื่อได้รับแรงดันที่เกทเป็นศูนย์ แชนแนลจะไม่เกิด กระแสเดรนจะไม่ไหลแม้ว่าจะให้ความต่างศักย์ของเดรน และซอสก็ตาม รูปที่ 3-5 (ก) เมื่อแรงดันที่เกทเป็นศูนย์ แชนแนลจะไม่เกิด กระแสเดรนจะไม่ไหลแม้ว่าจะให้ความต่างศักย์ของเดรน และซอสก็ตาม รูปที่ 3-5(ข) เมื่อแรงดันเกทมีค่าเท่ากับ หรือมากกว่าค่าแรงดันขีดเริ่ม (Threshold voltage: V_T) จะมีแชนแนลเกิดขึ้น โดยมีบริเวณปลอดพาหะล้อมรอบแชนแนลพร้อมที่จะนำกระแส แต่แรงดันระหว่างเดรน และซอสเป็นศูนย์จึงไม่มีกระแสไหล นั่นคือ กระแส I_D เป็นศูนย์

เมื่อให้แรงดันไฟฟ้าระหว่างส่วนเดรนกับส่วนซอสที่มีค่ามากกว่าศูนย์ กระแส I_D จะไหลได้และเพิ่มขึ้นตามค่าของแรงดันเดรน-ซอส ในช่วงที่แรงดันเดรน-ซอสมีค่าต่ำ ๆ กระแสเดรน I_D จะแปรอย่างเชิงเส้นกับแรงดันเดรน-ซอส และเรียกคุณสมบัติในช่วงนี้ว่า“ย่านเชิงเส้น” และเมื่อแรงดันเดรน-ซอสมีค่าเพิ่มขึ้น หรือก็คือ ศักย์ไฟฟ้าที่เดรนมีค่าเป็นบวกมากขึ้น สนามไฟฟ้าที่ตกคร่อมชั้นออกไซด์ด้านเดรน จะมีค่าน้อยกว่าด้านซอส ทำให้ประจุไฟฟ้าที่ถูกเหนี่ยวนำด้านเดรนมีความหนาแน่นน้อยลง ความนำไฟฟ้าของแชนแนลจึงมีค่าลดลง ขณะที่แรงดันเดรน-ซอสมีค่าเพิ่มขึ้น ซึ่งจะสังเกตเห็นได้จากกราฟ I-V ที่เมื่อแรงดันเดรนเพิ่มขึ้น การเพิ่มขึ้นของกระแสจะลดลง ในช่วงนี้กระแส และแรงดันจะไม่แปรอย่างเชิงเส้น เราเรียกย่านนี้ว่า“ย่านไม่อิ่มตัว” และในที่สุด เมื่อแรงดันเดรนมีค่าเท่ากับ V_G-V_T แล้ว จะทำให้แชนแนลขาดออกพอดี ดังในรูปที่ 3-5 (ค) จุด ภาวะนี้เรียกว่า“Pinch off” กระแสเดรนขณะนี้จะมีค่าสูงสุด เมื่อแรงดันเดรนมีค่าสูงกว่า V_G-V_T ดังในรูปที่ 3-5 (ง) จุด “Pinch off” จะเคลื่อนเข้าใกล้ขั้วซอส หรือก็คือ แชนแนลจะหดสั้นลงกว่าเดิม โดยขาดออกจากด้านเดรน และถูกกั้นด้วยบริเวณปลอดพาหะ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

(Depletion region) ซึ่งมีสนามไฟฟ้าปรากฏอยู่ กระแสเดรนจะไม่เปลี่ยนแปลงหรือเพิ่มขึ้นอีก แม้ว่าแรงดันจะเพิ่มขึ้นก็ตาม นั่นคือ กระแสเดรนมีค่าคงที่ ทรานซิสเตอร์จะเข้าสู่ "ภาวะอิ่มตัว" หรือ Saturation region ในรูปที่ 3-5 (จ) แสดงกราฟความสัมพันธ์ระหว่างกระแส I_D กับแรงดัน V_{DS} เมื่อแรงดันที่เกทมีค่าต่าง ๆ กัน



รูปที่ 3-5 (ก)–(ง) เอ็น-แชนแนล เอ็นฮานเมนต์โหมด MOSFET ภายใต้เงื่อนไขการไบอัสในช่วงต่าง ๆ
(จ) กราฟคุณสมบัติ I-V ของเอ็น-แชนแนล เอ็นฮานเมนต์โหมด MOSFET

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.6 การวิเคราะห์คุณสมบัติทางไฟฟ้า

(ก) การทำงานย่านไม่อิ่มตัว

เมื่อ $V_G > V_T$ และ $V_{DS} < (V_G - V_T)$

สมการความสัมพันธ์ระหว่างกระแสเดรนกับแรงดันเดรน-ซอส จะอยู่ "ในย่านไม่อิ่มตัว" โดย

$$I_d = \beta\left[(V_G - V_T)V_{DS} - \frac{V^2}{2}\right] \tag{3.1}$$

เมื่อ $$\beta = C_{ox}\mu\frac{W}{L} \tag{3.2}$$

และ C_{OX} คือความจุไฟฟ้าที่เกทออกไซด์ มีหน่วยเป็นฟารัดต่อตารางพื้นที่ จากสมการที่ (3.1) เมื่อพิจารณา ว่าที่ V_{DS} มีค่าต่ำ ๆ $(V_G - V_T) > V_{DS}$

ดังนั้น $$(V_G - V_T)\,V_{DS} >> \frac{V^2}{2}$$

สมการที่ (3.1) เขียนใหม่ได้เป็น $$I_D = \beta(V_G - V_T)V_{DS} \tag{3.3}$$

เมื่อพิจารณาที่ $\beta(V_G - V_T)V_{DS}$ คงที่ที่ค่าหนึ่ง ๆ จะได้ว่า $I_D \alpha V_{DS}$ หรือแปรผันกันเป็นแบบเส้นตรง

ดังนั้นจากกราฟ $I_D - V_{DS}$ char. และ $I_D - V_G$ เราจะสามารถหาพารามิเตอร์ต่าง ๆ ในช่วงเชิงเส้น ได้คือ

1. ค่า β โดย $\beta = \frac{\Delta I_D}{\Delta V_{DS}}\frac{1}{(V_G - V_T)}$
2. ค่า g_m(ช่วงเชิงเส้น)เมื่อ $G_m = \frac{\Delta I_D}{\Delta V_{DS}}\Big|_{V_{DS}}$ คงที่
3. ค่า g_m(ช่วงเชิงเส้น)เมื่อ $g_m = \frac{\Delta I_{DS}}{\Delta V_{DS}}\Big|_{V_G}$ คงที่
4. ค่า R_{on}เมื่อ $R_{on} = \frac{1}{g_{ds}}$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

(ข) การทำงานย่านอิ่มตัว เมื่อ $V_{DS} = (V_G - V_T)$ จะเกิดภาวะ pinch off จากสมาการที่ (3.1) เขียนใหม่ได้เป็น

$$I_{Dsat} = \frac{\beta}{2}(v_G - v_T)^2 \tag{3.4}$$

หรือ

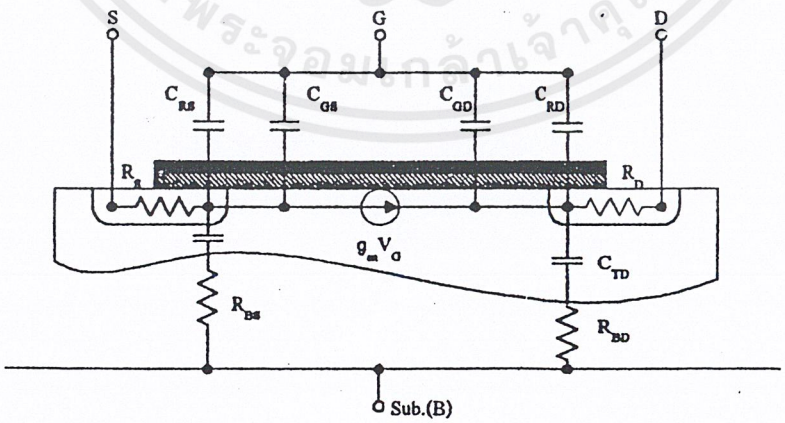
$$\sqrt{I_{Dsat}} = \sqrt{\frac{\beta}{2}} \cdot v_G - \sqrt{\frac{\beta}{2}} \cdot v_T \tag{3.5}$$

จากสมการ (3.5) เมื่อพิจารณาว่า β และ v_T เป็นค่าคงที่ นั่นคือ $\sqrt{I_{Dsat}}$ แปรผันเป็นเส้นตรงกับค่า v_G ดังนั้น จากกราฟ I_D - v_G char. เราสามารถหาค่าพารามิเตอร์ต่าง ๆ ในช่วงอิ่มตัวได้ ดังนี้ คือ

1. ค่า v_T โดยพิจารณาจากที่ $\sqrt{I_{DSat}} = 0$ จะได้ว่า $v_T = v_G$
2. $G_{msat} = \left.\frac{\Delta I_{DSat}}{\Delta v_G}\right|_{v_{DS(const)}}$

เนื่องจากโครงสร้างของ MOSFET อาจเขียนแสดงเป็นวงจรสมมูลได้ดังรูปที่ 3-6 ซึ่งประกอบด้วย R และ C มากมาย ทำให้ทรานซิสเตอร์มีผลตอบสนองต่อความถี่ เราสามารถคำนวณหาค่าความถี่สูงสุด ที่ MOSSFET สมามารถทำงานได้จาก

$$f_m = \frac{gm}{2\pi C_{OX}} \tag{3.6}$$



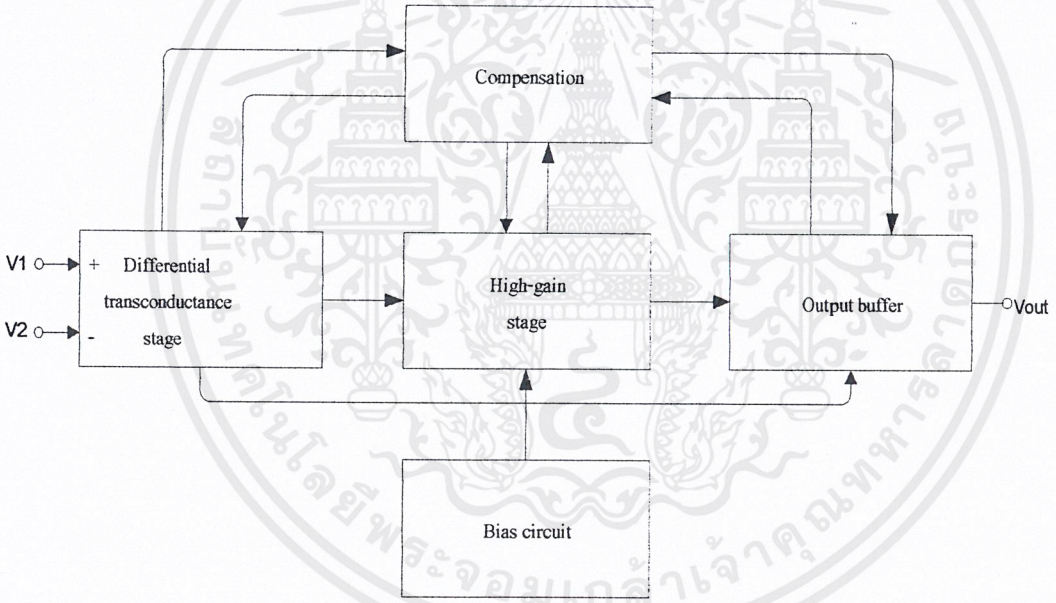
รูปที่ 3-6 วงจรสมมูลสัญญาณขนาดเล็กของ MOSFET

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 4
หลักการออกแบบ OP-Amp

4.1 รายละเอียดเชิงวิชาการ

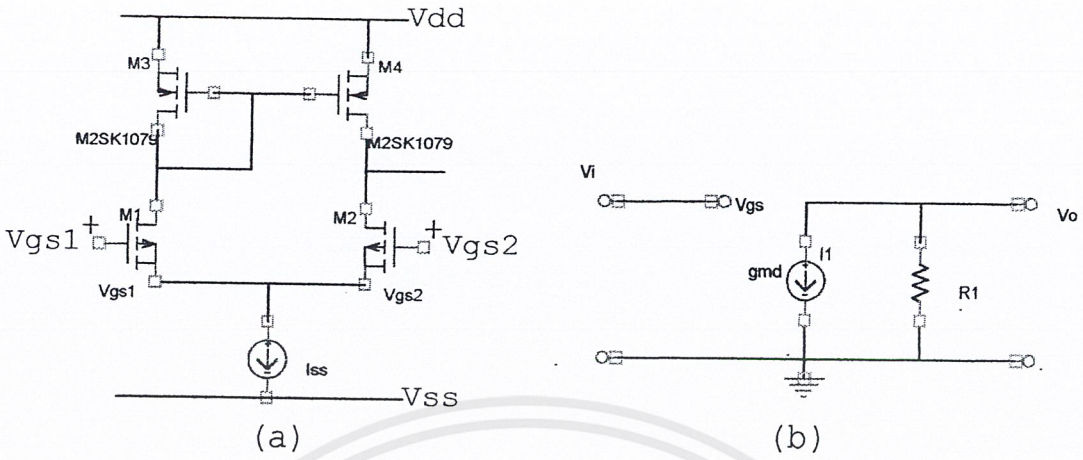
Operational Amplifier ถูกใช้อย่างกว้างขวางในวงจรประเภท analog ทั้งเป็นวงจรขยายโดยตรง high-frequency switch-capacitor filter หรือ hight-speed pipeline A/D converter โดยการออกแบบมีหลักว่าวงจรจะต้องมีประสิทธิภาพสูงแต่มีกำลังสูญเสีย สัญญาณรบกวนต่ำ และสามารถใช้ไฟเลี้ยงต่ำได้ดี จึงเป็นวงจรที่ดี โดยวงจร Op-Amp เหล่านั้นล้วนมีการพัฒนามาจากวงจร Two-Stage Op-Amp ซึ่งเป็นวงจรพื้นฐานในการออกแบบ หลักการของ Op-Amp สามารถอธิบายในรูปของ block diagram ดังรูปที่ 4-1 ซึ่งประกอบด้วยส่วนต่าง ๆ ที่สำคัญ



รูปที่ 4-1 Back diagram of a simple two-stage CMOS op-amp

ในส่วนของ Differential transconductance stage จะเป็นภาคอินพุท และทำหน้าที่ขยายสัญญาณความแตกต่าง นั่นคือจะทำหน้าที่ขยายความแตกต่างของแรงดันอินพุท ซึ่งทั้งคู่ต้องมีศักย์ต่างกัน จึ่งจะเกิดการขยาย และอัตราการขยายของภาคนี้จะมีผลต่ออัตราขยายรวมของวงจร โดยสามารถทราบคุณสมบัติได้จาก common-mode rejection ratio (CMRR) โดยวงจร differential amplifier จะแสดงดังในรูปที่4-2

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4-2 (a) CMOS differential amplifier circuit (b) small-signal model

ในวงจรนี้จะใช้ M_1 กับ M_2 ซึ่งทั้งคู่เป็น NMOS ต่อเป็นแบบ differential pair มี I_{SS} เป็นcurrent source ส่วน load ของ M_1 กับ M_2 ก็ใช้ M_3 กับ M_4 และคุณสมบัติเหมือนกัน ต่อเป็น active load แบบ current mirror โดยให้ M_1 กับ M_2 ทำงานในย่าน saturation สามารถเขียนในรูปสมการดังนี้

$$V_{ID} = V_{G1} = V_{G2}\left[\frac{2i_{D1}}{\beta}\right]^{1/2} \left[\frac{2i_{D1}}{\beta}\right]^{1/2} \quad \text{และ} \quad i_{OD} = i_{D1} - i_{D2} \tag{4.1}$$

และ
$$I_{SS} = i_{D1} + i_{D2} \tag{4.2}$$

แสดงว่า

$$i_{D1} = \frac{I_{SS}}{2} + \frac{i_{OD}}{2} \quad \text{และ} \quad ID2 = \frac{I_{SS}}{2} - \frac{i_{OD}}{2} \tag{4.3}$$

$$i_{OD} = Kn'\ (W/L)\ V_{ID}\sqrt{\frac{I_{SS}}{K'(W/L)} - \frac{V_{ID}^2}{4}} \tag{4.4}$$

สามารถหาค่า Small-signal differential transconductance ของวงจรได้ เท่ากับ

$$gm_d = \frac{\partial I_{OD}}{\partial V_{ID}} = \sqrt{I_{SS}K'(W/L)} \tag{4.5}$$

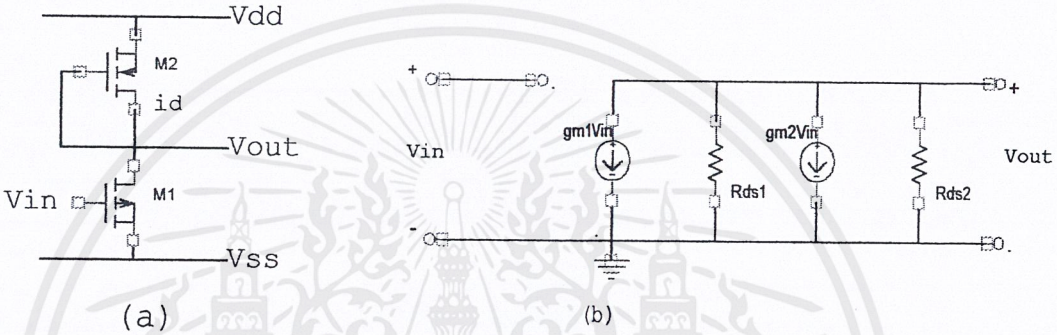
$$r_O = r_{ds1} // r_{ds2} = \frac{1}{g_{ds2} + g_{ds4}} = \frac{1}{(\lambda_N + \lambda_P)\left(I_{SS}/2\right)} \tag{4.6}$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

หา Small-signal voltage gain แรกได้เท่ากับ

$$A_V = \frac{2\sqrt{K'n\,(W/L)_1 / I_{SS}}}{(\lambda_N + \lambda_P)} \qquad (4.7)$$

ในภาคHigh gain stage จะทำหน้าที่ขยายสัญญาณที่ได้รับจากภาคแรกโดยใช้หลักการของวงจร Inverting amplifier ซึ่งเป็นวงจรแบบ common source และใช้ active load resistor (PMOS) ดังรูปที่ 4-3 (a)



รูปที่ 4-3 (a) Inverter with an active load (b) Small-signal model of (a)

วงจรในรูปที่ 4-3 (b) เป็น small-signal model ของวงจรแบบ inverting amp

จาก $$g_{m1} = \sqrt{2I_{D\,1}K'n\,(W/L)_1} \qquad (4.8)$$

$$r_{out} = \frac{1}{g_{ds1} + g_{ds2}} \cong \frac{1}{I_D(\lambda_1 + \lambda_2)} \qquad (4.9)$$

ดังนั้นจะได้ Small-signal voltage gain เป็น

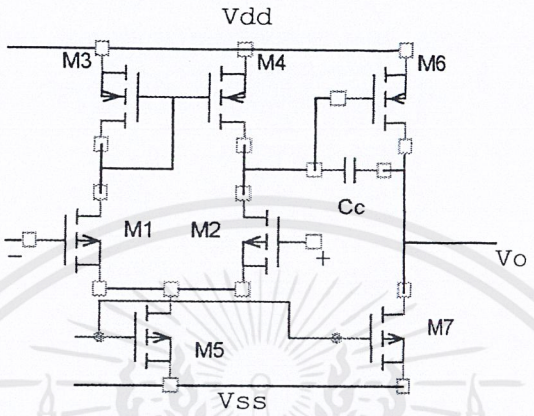
$$A_V = \frac{V_{out}}{V_{in}} = \frac{-g_{m1}}{g_{ds1} + g_{ds2}} = \frac{\sqrt{2I_D K'n\,(W/L)}}{(\lambda_1 + \lambda_2)I_D} \qquad (4.10)$$

ถ้า Op-Amp ถูกนำไปขับโหลด ที่มีค่าความต้านทานต่ำ output ของ High gain stage จะต้องถูกต่อด้วย Buffer stage เพื่อให้ output resistance ของ Op-Amp มีค่าต่ำจะช่วยให้สัญญาณตกคร่อม output สูงขึ้น ส่วนภาค bias circuit ก็เป็นส่วนในการจัดไบอัสให้กับวงจรให้อยู่ที่จุดทำงาน หรือให้ MOS ทำงานในสถานะ saturation

ในทางอุดมคติ Op-Amp จะมี voltage gain กับ input resistance เป็นอนันต์ และ output resistance เป็นศูนย์แต่ในความเป็นจริงไม่ใช่ เนื่องจากข้อจำกัดต่าง ๆ เช่น pole และ zero ซึ่งจะมีผลต่อตอบสนองความถี่ให้ op amp มี dominant pole อยู่ห่างจาก non-dominant pole มาก ๆ จะทำให้สามารถ

ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ประมาณค่า GB ได้เท่ากับ ω_{0dB} (GB หรือ Gain Bandwidth คือช่วงความถี่ที่ทำให้อัตราขยายแรงดันเป็น 1 หรือเรียกอีกอย่างว่า GB คือค่าของ Unity-gain frequency) และลักษณะของวงจร Simple Two-Stage CMOS Op-Amp ที่ใช้ในการวิเคราะห์ และออกแบบ แสดงดังรูปที่ 4-4 เป็นวงจรแบบ Unbuffered คือ Output Buffer และใช้ C_c เป็น Compensation capacitor



รูปที่ 4-4 Simple of Two-Stage CMOS Op-Amp

เราสามารถหาสมการความสัมพันธ์ ของค่าพารามิเตอร์ต่าง ๆ ซึ่งประกอบในวงจร Two-Stage Op-Amp ได้ดังนี้

Slew rate $$SR = \frac{I_5}{C_C} \quad (4.11)$$

First stage gain $$A_{V1} = \frac{g_{m2}}{g_{ds2} + g_{ds4}} = \frac{2g_{m2}}{I_5(\lambda_2 + \lambda_4)} \quad (4.12)$$

Second-stage gain $$A_{V2} = \frac{g_{m6}}{g_{ds6} + g_{ds7}} = \frac{g_{m6}}{I_6(\lambda_6 + \lambda_7)} \quad (4.13)$$

Gain-Band width $$GB = \frac{g_{m2}}{C_C} \quad (4.14)$$

Output pole $$p_2 = \frac{-g_{m6}}{C_L} \quad (4.15)$$

RHP zero $$z_1 = \frac{g_{m6}}{C_C} \quad (4.16)$$

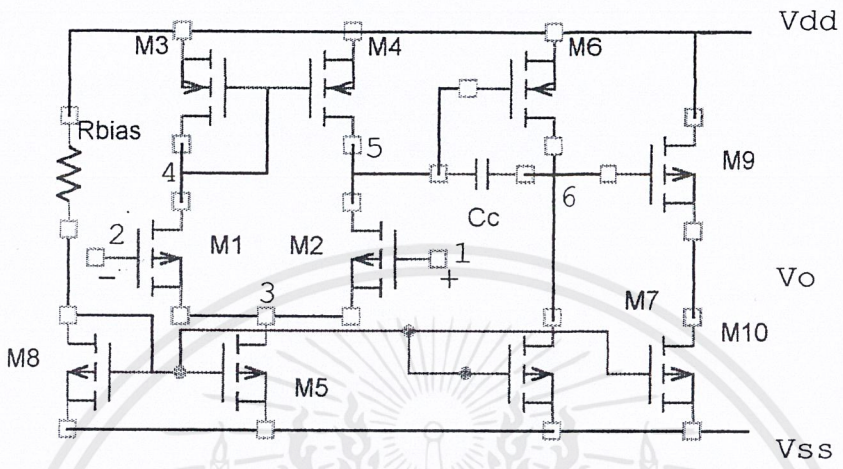
Positive CMR $$V_{in(max)} = V_{DD} - \left[\frac{I_5}{\beta_3}\right]^{1/2} - |V_{TO3}|_{(max)} + V_{T1\,(min)} \quad (4.17)$$

Negative CMR $$V_{in(min)} = V_{DD} - \left[\frac{I5}{\beta_1}\right]^{1/2} + V_{T1(max)} + V_{DS5(sat)} \quad (4.18)$$

Saturation Voltage $$V_{DS(sat)} = \frac{2I_{DS}}{\beta} \quad (4.19)$$

เอกสารนี้สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ตัวอย่างการออกแบบ



รูปที่ 4-5 วงจรที่ใช้ในการออกแบบ

ขั้นตอนที่ 1 คำนวณค่า Compensation capacitor เมื่อต้องการให้ phase margin > 60° จะได้

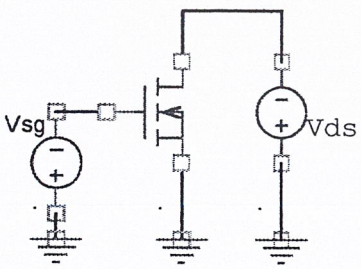
$$C_C \geq 0.22\, C_L$$

ดังนั้นจะได้ $CC \geq 2.2$ pF

หาค่ากระแส I_{SS} หรือ I_{DS} จากสูตร $I_{DS} = SR*C_C = 5(V/us)*2.2pF = 11\mu A$

ขั้นตอนที่ 2 หาค่า parameter ที่ต้องใช้

- ทำการประมาณค่า K'(PMOS)



รูปที่ 4-6

กำหนดให้ (W/L) = 1, $V_{GS} = 2V$ ส่วน V_{DS} ให้เปลี่ยนแปลงจาก 0 ถึง 5V ทำการ simulate จะได้ characteristic curve แสดงความสัมพันธ์ระหว่าง I_D, V_{GS} และ V_{DS} พิจารณา curve ที่บริเวณ saturation ลักษณะของ curve จะค่อนข้างคงที่ เลือกที่ตำแหน่ง

$V_{DS} = 160$mV จะได้ $I_D = 7.20\mu A$

จึงสามารถประมาณค่า $K'p$ จาก

$$I_D = \frac{k'}{2}\left[\frac{W}{L}\right]\left[2\,(V_{GS} - V_T).V_{DS} - V_{DS}^{\,2}\right]$$

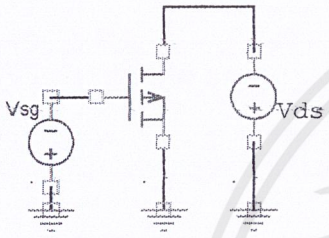
ดังนั้นจะได้ $\therefore K'p = 34.6 \times 10^{-6}$

เอกสารนี้ใช้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

และจาก Characteristic curve ก็จะสามารถหาค่า channel length modulation (λ) ซึ่งจะต้องใช้ในสมการคำนวณหากระแสเดรนของ MOS รวมทั้งหา gain ของแต่ละภาค

$$\lambda = \frac{I_{D2} - I_{D1}}{I_{D1} V_{DS2} - I_{D2} V_{DS1}}$$

โดย λ หาจากกราฟ ที่บริเวณ Saturation โดยกำหนด 2 จุด จะได้ I_{D1}, I_{D2}, V_{DS1}, V_{DS2} ทำตามสมการจะได้ $\lambda n = 0.011$ และ $\lambda p = 0.02$ ทำการประมาณค่า $K'(NMOS)$



รูปที่4-7

กำหนดให้ $(W/L) = 1$, $V_{GS} = 2V$ ส่วน V_{DS} ให้เปลี่ยนแปลงจาก 0 ถึง 5V พิจารณา curve ที่บริเวณ curve ที่บริเวณ saturation ลักษณะของ curve จะค่อนข้างคงที่เลือกที่ตำแหน่ง $V_{DS} = 183mV$ จะได้ $I_D = 30.5$ μV สามารถประมาณค่า $K'n$ ได้จากสมการเดียวกัน

$\therefore K'n = 128.3 \times 10^{-6}$

ขั้นตอนที่ 3 ออกแบบ Differential amplifier

นำค่าK'มาหาขนาดของM_3,M_4จาก $\left[\frac{W}{L}\right]_3, \left[\frac{W}{L}\right]_4 = \frac{I_{DS}}{K'_3\left[V_{DD} - V_{in(Max)} - \left|V_{T(Max)}\right| + V^2_{T(Min)}\right]}$

จะได้ $\left[\frac{W}{L}\right]_3, \left[\frac{W}{L}\right]_4 = \frac{11 \times 10^{-6}}{34.36 \times 10^{-6}(2.5 - 1 - 0.6103 + 0.6097)^2} = 0.142 \approx 1$

หาค่า Small signal transconductance จาก $g_{m2} = 2\pi.GB.C_C = 2\pi.1MHz.2.2pE$

ได้ $g_{m1} = g_{m2} = 13.82 \times 10^{-6}$

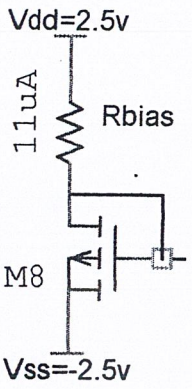
ทำให้สามารถหาขนาดของ M_1 กับ M_2 ได้จาก $g_{m1} = g_{m2} = \sqrt{2\mu_n C_{ox}\left(\frac{W}{L}\right)_2 I_{D2}}$

$$\left[\frac{W}{L}\right]_1 = \left[\frac{W}{L}\right]_2 = \frac{g^2_{m2}}{2K'_n . I_{D2}} = \frac{g^2_{m2}}{K'_n . I_{D5}}$$

$$= \frac{(13.82 \times 10^{-6})^2}{128 \times 10\text{-}6 \ . \ 11 \times 10^{-6}} = 0.1356 \approx 0.5$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ขั้นตอนที่ 4 ออกแบบ Basic circuits



รูปที่ 4-8

(พิจารณาร่วมกับ ภาค differential amp) ต้องการกระแส 11uA พิจารณาที่ inverting input (Vin_{min} = -1V) และ Vt ของ M_1 = 0.6V เพื่อให้ ทำงานในย่าน sat. V_{DS} ต้องต่ำกว่ากำหนด 0.8V

ดังนั้น V_{DS8} ก็จะเท่ากับ 0.8V ด้วย ดังนั้นสามารถหา R_{bias} = 381818 Ohm และทำการต่อแหล่งจ่ายให้ V_{GS8} = 0.8V และ V_{DS} จาก 0-5V (ดังรูปที่ 6) fix L = 1u ทำการ sweep หา V_{DS} และ W ที่ทำให้ I_D = 11uA ได้ V_{DS} = 0.9V และ W=7 ดังนั้น $(W/L)_8$ = 7 เมื่อกระแส mirror มายัง M_5 ทำให้$(W/L_8$=7 ด้วย (file:m8.sp)

ขั้นตอนที่ 5 ออกแบบ Second-gain stage

ค่า Transconductance ของ M_6 หาสจากสมการ $g_{m6} > 2.2\, g_{m2} \frac{C_L}{C_c}$ หรือได้เท่ากับ $g_{m6} > 10_{gm2}$

$$\therefore g_{m6} \cong 138.2 \times 10^{-6}$$

หาค่าขนาดของ M_6 จาก $I_{D6} = \frac{KW}{2L}(V_{GS} - V_T)^2(1 + \lambda V_{DS})$

$$I_{D6} = \frac{34.36e-6}{2}\left[\frac{W}{L}\right]_6((-1.26)-(-0.6))^2(1+0.02(1-1.9))$$

$$I_{D6} = 7.199e-6\left[\frac{W}{L}\right]_6$$

แทน I_{D6} ใน $g_{m6} = \sqrt{2K'_6\left(\frac{W}{L}\right)_6 I_{D6}}$

จะได้ $(W/L)_6$ = 6.21**

จาก $I_6 = (S_6/S_3)\, I3 = (6.21/1)*5.5uA = 34.15uA$

$$g_{m6} = \sqrt{2K\left(\frac{W}{L}\right)_6 I_D} = \sqrt{2 \times 34.36u \times 6.21 \times 34.15uA} = 120 \times 10^{-6}$$

จะพบว่า g_{m6} ที่ได้ต่ำกว่า 138.2u จึงปรับ $(W/L)_6$ = 25.63 คำนวณย้อนกลับได้ 16= 140.96u และ g_{m6} = 498.27u สูงกว่า 138.2u จึงจะให้ $(W/L)_6$ = 25.63

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

หาขนาด M_7

$$I_7 = \frac{K_7 S_7}{2}(V_{GS} - V_T)^2(1 + \lambda V_{DS}) \qquad \text{ต้องการให้ } I_7 = I_6$$

จะได้ S_7 โดย Sweep หา M_7 เพื่อให้ได้แรงดันที่โหนด 6 เท่ากับ 0.66V (offset ที่ต้องการ เพื่อไปขับโหลดภาคต่อไป) และได้ $W_7 = 85$ ดังนั้น $S_7 = 85$

ขั้นตอนที่ 6 ออกแบบ Output buffer

หาขนาด M_9, M_{10} เพื่อให้ o/p สามารถขับโหลด 1K และมี voltage swing 1V ดังนั้นต้องมีกระแสของภาคนี้ 1mA ดังนั้น

$$(I_{10}/I_5) = (S_{10}/S_5),\ S10 = (1mA*7)/11uA$$

$$S_{10} = 636.36$$

และหา S_9 จาก $$I_9 = \frac{K_9 S_9}{2}(V_{GS} - V_T)^2 = \frac{128\ \mu.\ S_9}{2}(0.66 - 0.6)^2$$

เมื่อ $I_9 = 1mA$ จะได้ $$S_9 = \frac{2.\ 1mA}{128\mu\ (0.66 - 06)^2} = 4340$$

ซึ่งจะพบว่า S_9 มีค่าสูงเกินไป เนื่องจาก V_{GS} ต่ำมาก จึงเพิ่ม V_{GS} โดยปรับ $S_7 = 84.75$ จะได้แรงดันที่โหนด 6 เท่ากับ 0.833Vและได้ $S_9 = 287.8u$

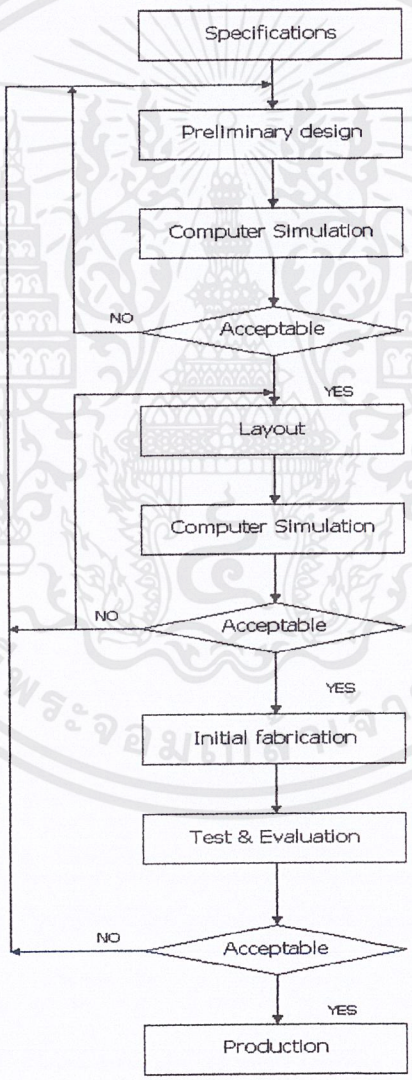
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 5
กระบวนการออกแบบวงจรรวม

5.1 DESIGN PROCESS

การออกแบบ IC แบ่งเป็น 2 แบบ ในแบบแรกเรียกว่า bottom-up approach โดยที่ผู้ออกแบบเริ่มที่ระดับ transistor หรือระดับ logic และออกแบบ sub circuits ของวงจรที่ซับซ้อนเพิ่มขึ้น

ในแบบสองคือ Top-down โดยออกแบบระดับ system แยกเป็นกลุ่ม โดยแต่ละกลุ่มย่อยนำมาต่อรวมกัน ในแบบที่สองนี้นิยมใช้ในการออกแบบ digital กระบวนการออกแบบ IC ตามผังดังรูป



รูปที่ 5-1 กระบวนการออกแบบ IC

เริ่มต้นที่กำหนดคุณลักษณะของการออกแบบและคุณสมบัติของวงจรและระบบ Preliminary designs คือ การกำหนดหรือออกแบบวงจรโดยใช้ model ของอุปกรณ์ [device] หรือของวงจร เช่น logic

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

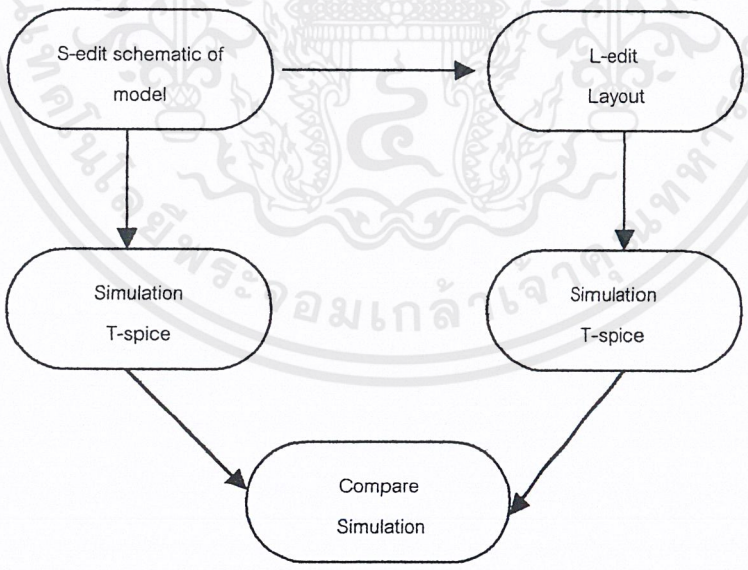
level สำหรับวงจร digital และ device level สำหรับวงจร analog Preliminary computer simulation ใช้ทดสอบการทำงานของ model จาก Preliminary designs หากผลที่ได้ไม่ถูกต้องจะแก้ไขที่ Preliminary designs ใหม่

หลังจากที่ได้วงจรที่ใช้ Model แทนการทำงานที่ต้องการแล้วจึงนำวงจรที่ได้ไปทำการ Layout โดยเป็นการออกแบบโครงสร้างทางกายภาพของวงจรซึ่งเป็นผลึก silicon แล้วนำไปใช้ computer simulation ซึ่งผลลัพธ์จะต้องเหมือนกับในขั้นตอน Preliminary computer simulation

เมื่อได้ Layout แล้วจึงนำแบบที่ได้ไปทำการสร้าง IC [fabrication] ต้นแบบเพื่อนำต้นแบบไปทำการทดสอบใช้งาน หากใช้งานได้ก็จะทำการผลิตจำนวนมากขึ้นนำไปใช้จริง

ในโครางสร้างนี้จะออกแบบจนถึงขั้นตอน Lay out เท่านั้น โดยไม่นำไป fabrication ขั้นตอนการ Preliminary computer simulation นั้นจะใช้โปรแกรมประเภท CAD เช่น T-SPICE, PSPICE, HSPICE หรือ Or CAD เป็นต้น โดยใช่ model ของ MOS Transistor 2μm

จากนั้นวงจรที่ได้ออกแบบแล้วนำไป Lay out โดยใช้โปรแกรม L-edit และเมื่อ Lay out เสร็จจะได้ Net list ซึ่งสามารถนำ Net list ไป simulation ในโปรแกรม CAD เช่น T-SPICE, HSPICE ฯลฯ ได้เพื่อเปรียบเทียบผลกับขั้นตอนแรก



รูปที่ 5-2 แผนผังการดำเนินงาน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
**********************************************
** MOSIS/Orbit 2.0um Process
** Level 2 MOSFET Parameters
** MOSIS run n23q / Quicksilver
** Technology: SCNA
**********************************************
.model nmos nmos level=2
+  Ld=0.22026u        Tox=395.000008E-10   Nsub=7.61874E+14
+  Vto=0.81056        Kp=5.289E-05         Gamma=0.1819
+  Phi=0.6            Uo=605.312           Uexp=8.517658E-02
+  Ucrit=14678.4      Delta=1.71295        Vmax=64128.9
+  Xj=0.25u           Nfs=1.085838E+12     Neff=1
+  Nss=1E+10          Tpg=1                Rsh=29.39
+  Cgdo=2.888314E-10  Cgso=2.888314E-10    Cgbo=4.336885E-10
+  Cj=9E-05           Mj=0.784             Cjsw=5.525E-10
+  Mjsw=0.285         Pb=0.8
*+ Lambda=1.741176E-02
* Weff = Wdrawn - Delta_W
* The suggested Delta_W is 0.35 um

.model pmos pmos level=2
+  Ld=0.25u           Tox=395.000008E-10   Nsub=9.199244E+15
+  Vto=-0.971428      Kp=1.915E-05         Gamma=0.6321
+  Phi=0.6            Uo=219               Uexp=0.251249
+  Ucrit=76412.8      Delta=0.554525       Vmax=89217.7
+  Xj=0.25u           Nfs=1E+11            Neff=1.001
+  Nss=1E+10          Tpg=-1               Rsh=65.02
+  Cgdo=3.278301E-10  Cgso=3.278301E-10    Cgbo=4.657445E-10
+  Cj=2.033E-04       Mj=0.4439            Cjsw=3E-10
+  Mjsw=0.243         Pb=0.8
*+ Lambda=5.371041E-02
* Weff = Wdrawn - Delta_W  * The suggested Delta_W is 0.48 um
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

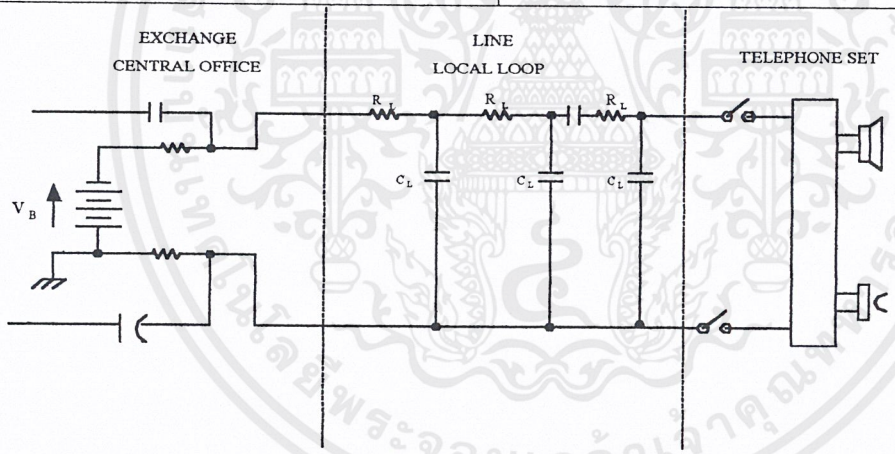
5.2 ขั้นตอนการออกแบบ

การออกแบบเริ่มต้นด้วยการออกแบบวงจรในส่วนย่อยต่างๆ โดยทำการคำนวณแล้วทดสอบผลด้วยโปรแกรม SPICE ซึ่งมีรายละเอียดดังนี้

1. ส่วน Regulator

ในเครื่องโทรศัพท์จะใช้กำลังงานจากสายโทรศัพท์เพื่อเลี้ยงวงจรภายในของเครื่องโทรศัพท์ และเนื่องจากค่าแรงดันและกระแสไฟฟ้าของสายโทรศัพท์เปลี่ยนแปลงตามระยะความยาวของสายโทรศัพท์จาก Central office [ชุมสาย] ถึง telephone set [เครื่องโทรศัพท์] และค่าแรงดัน และความต้านทานของระบบโทรศัพท์มีดังตาราง

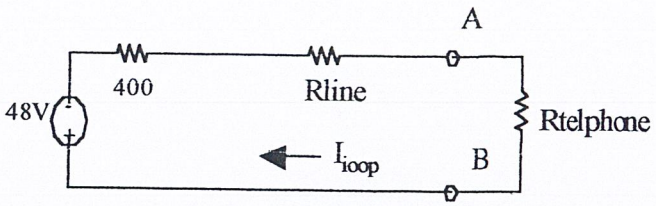
System	Nominal Battery Voltage (volts)	Typical Resistance (ohms) $R_T = R_1+R_2$	Current (mA)	
			Imax	Imin
1	48 ± 2	400	120	20
2	48 ± 2	800	60	20
3	24 ± 2	400	60	20
Subscriber Loop Resistance		0. To 1,300 ohm.		



รูปที่ 5-3 วงจรเสมือนระบบโทรศัพท์

การใช้งานเครื่องโทรศัพท์นั้น สายโทรศัพท์จะมีขั้วแรงดันไฟตรงที่แน่นอน แต่เพื่อให้ง่ายต่อการใช้งาน เครื่องโทรศัพท์สามรถต่อกับสายโทรศัพท์อย่างไรก็ได้ [สลับขั้วได้] ฉะนั้น เครื่องโทรศัพท์จะต้องมีส่วนของวงจร Polarity Protection ซึ่งก็คือ วงจร Rectifier Bridge ซึ่งในการต่อ Rectifier Bridge จะทำให้แรงดัน DC ของสายโทรศัพท์ลดลง ≈ 1.4 Volt (ตกคร่อม Diode Bridge) วงจร Regulate มีหน้าที่จ่ายแรงดันให้กับวงจรภายในเครื่องโทรศัพท์โดยรับแรงดันมาจากสายโทรศัพท์โดยที่ค่าแรงดันนี้จะต้องคงที่ตลอดการ เปลี่ยนแปลงของระยะความยาวของสายโทรศัพท์ หรือ การเปลี่ยนแปลงค่ากระแสของวงจรภายในเครื่องโทรศัพท์โครงงานนี้เลือกออกแบบระบบโทรศัพท์ที่ 1 ซึ่งจะมีวงจรเสมือนดังรูปที่ 5-4เป็นวงจรจำลองสำหรับสายโทรศัพท์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่5-4 วงจรจำลองสายโทรศัพท์

ซึ่งกำหนด R_telephone = 400 Ω [เป็นค่าทั่วไปของเครื่องโทรศัพท์] จะได้ว่า

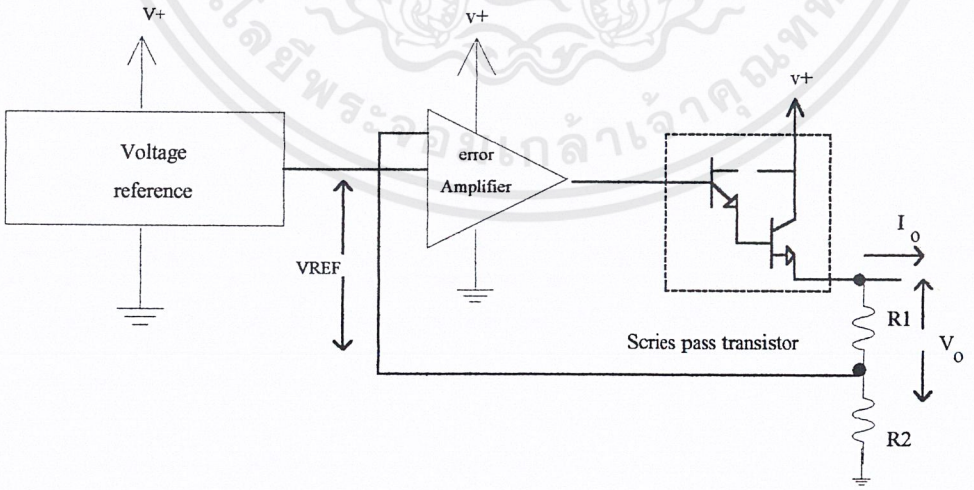
ที่ $Rline_{min} = 0\Omega$; $I_{loop} = 60$ mA ; $V_{AB} = 24$ Volt

$Rline_{max} = 1.3\ k\Omega$; $I_{loop} = 22.8$ mA ; $V_{AB} = 9.14$ Volt

จะพบว่าแรงดันต่ำสุดที่เกิดขึ้นคือ 9 Volt จึงกำหนดให้วงจรภายในเครื่องโทรศัพท์ใช้แรงดัน 5 Volt ฉะนั้นจะต้องออกแบบ Regulate 5 Volt

ส่วนของวงจร Regulator

วงจร Regulator คือวงจรที่จ่ายแรงดันไฟฟ้าคงที่ให้แก่ Load หรือวงจร คาแรงดันของ Regulator จะถูก Regulated โดย วงจรภายในโดยไม่ขึ้นกับค่ากระแสของ Load, line voltage (แหล่งจ่ายไฟให้วงจร Regulator) และอุณหภูมิ พื้นฐานส่วนประกอบของ voltage regulator อย่างง่ายดังรูปที่5-5



รูปที่ 5-5 Voltage regulator: basic block diagram

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ซึ่งประกอบด้วยส่วนประกอบพื้นฐาน : 3 ส่วน

1. **Voltage reference circuit:** จะสร้างแรงดันอ้างอิงโดยไม่ขึ้นกับอุณหภูมิและ supply voltage
2. **Error Amplifier:** ทำการเปรียบเทียบแรงดันกับแรงดันที่เป็นสัดส่วนกับแรงดัน V_0 โดยจะส่งผ่านมายังขานำ inverting ของ amplifier หรือเรียกว่าerror amplifier
3. **Series pass transistor:** จะทำหน้าที่สร้าง (จ่าย) กระแสที่เพียงพอให้กับ Load

ในรูปพื้นฐาน Close loop amplifier จะมาจากสัดส่วนของ V_0 มาที่ขา inverting input โดยจะเท่ากับแรงดันอ้างอิงที่ให้กับขา non inverting input ซึ่งจะได้

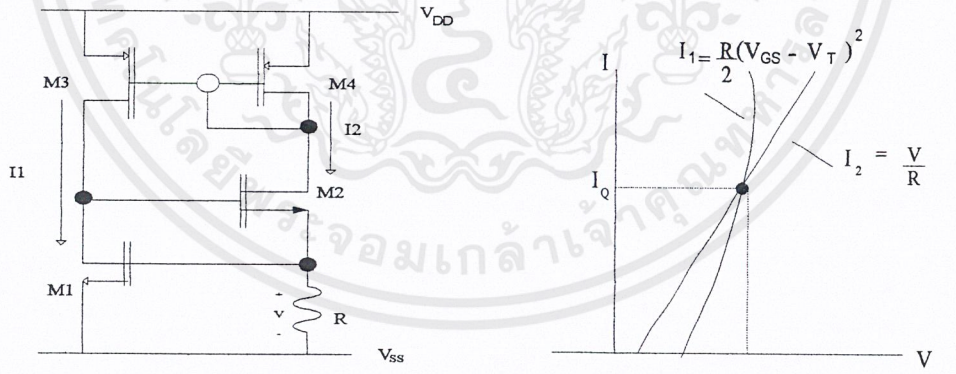
$$V_0 \frac{R_2}{R_1+R_2} = V_{REF}$$

ดังนั้น

$$V_0 = V_{REF}\left[1+\frac{R_1}{R_2}\right] \quad (5.1)$$

Voltage reference

ในการใช้ MOSFET สร้างวงจร Voltage reference มีหลายแบบแต่ละที่เลือกใช้เป็นวงจรที่ดีที่สุดเรียกว่า V_T reference source หรือบางที่เรียกว่า bootstrap reference วงจรใช้หลักการที่ว่า ถ้าแรงดันตกคร่อม active device ใช้สร้างกระแสกระแส และกระแสอันนี้ใช้ผลิตกระแสเริ่มต้นอันเดิมผ่าน device จะยังผลให้กระแสแรงดัน ไม่ขึ้นอยู่กับแรงดันไฟเลี้ยงวง ดังรูป



(a) Threshold-reference circuit (b) Establishment of equilibriumin (a)

รูปที่ 5-6

วงจรในรูป M_3 และ M_4 จะเป็นวงจร current mirror จะทำให้ I_1 เท่ากับ I_2 กระแส I_1 ผ่าน M1 จะสร้างแรงดัน V_{GS1} ขณะที่ I_2 ผ่าน R สร้างแรงดัน $I_2.R$ เนื่องจากแรงดันทั้งสองต่อร่วมกัน ณ จุดสมดุลย์ ดังรูปที่5-6 (b) จุดต่อระหว่างของกราฟ Q ที่จุดนี้จะได้สมการ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$I_2R \quad = V_{T1} + \left[\frac{2 I_1 L_1}{K'n\, W1}\right]^{1/2} \tag{5.2}$$

จากสมการ จะพบว่าหากส่วนที่สองของด้านขวาของสมการมีค่าน้อย ($<< V_{T1}$) และเนื่องจาก $I_1 = I_2 = I_Q$ จะได้สมการใหม่

$$I_2 R \;= V_{T1} = I_{QR} \tag{5.3}$$

ซึ่งจะพบว่า ค่าแรงดันจะมีค่าเป็น V_{T1} คงที่ไม่ขึ้นกับแรงดันแหล่งจ่าย ที่จ่ายให้กับวงจรพิจารณาจากหลักการข้างต้น จะสมารถทำได้โดยการทำให้ค่า $\left(\frac{W}{L}\right)$ ของ M_1 มีค่ามาก ๆ เพื่อที่จะให้เป็นไปตามสมการ $\left(\frac{2I_1L_1}{W_1K'_{n1}}\right) << V_{T1}$ และค่า R ที่เลือกใช้เพื่อให้การทำงานของวงจรที่ค่า I_Q ต่ำ ส่วนของ M_3 และ M_4 ต้องมี $\left(\frac{W}{L}\right)$ เท่ากันโดยทำงานที่ค่า I_Q ได้ และ M_2 เลือกค่า $\left(\frac{W}{L}\right)$ ทำให้วงจรต่ำที่สุด เพื่อทำงานได้ที่แรงดันต่ำ ๆ

ขั้นตอนการออกแบบ Vref

เนื่องจาก $V_{T1} = 0.181056\ V.$ เลือกค่า R ที่วงจรทำงานที่กระแสต่ำใช้ R = 50 K.

$$\therefore \; I_Q = \frac{V_{T1}}{R} \qquad = 16.312\ \mu A.$$

พิจารณา M_1 เนื่องจากให้ $V_{GS1} = V_{T1}$ ไม่ได้ จึงกำหนด $V_{GS1} = VT + 0.1\ V.$

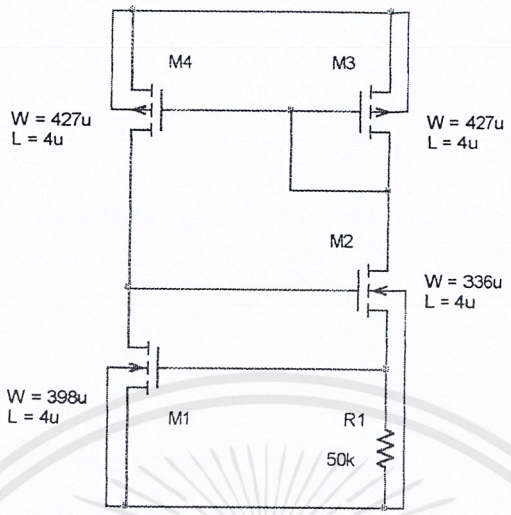
$$\therefore \text{สามารถหา} \qquad \frac{W}{L} = S_1 = 2.I_D/K_n(V_{GS1} - V_{T1})^2$$

และให้ $S_2 = S_1$ เช่นเดียวกัน S_3 และ S_4 หาจาก

$$S_3 = S_4 = 2I_D/K_P\ (V_{GS} - V_{T1})^2 \tag{5.4}$$

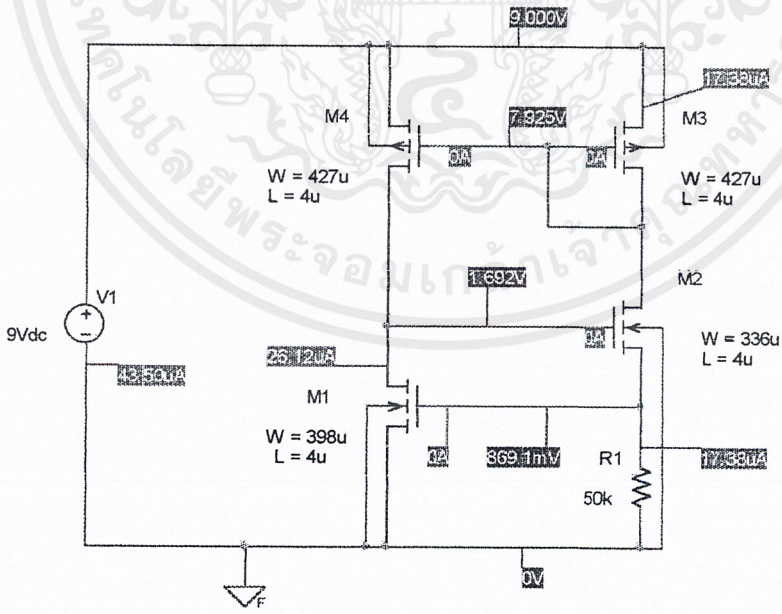
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ซึ่งจะได้วงจรดังรูป



รูปที่ 5-7 Boot strap reference circuits

นำวงจรที่ได้ออกแบบมา ทำการ Simulation ด้วยโปรแกรม SPICE โดยเริ่มจาก simulate DC operation point (จุดทำงานที่ไฟฟ้ากระ แสตรง) ที่ค่าแรงดันแหล่งจ่าย 9 volts ซึ่งจะ ได้ผลดังรูป



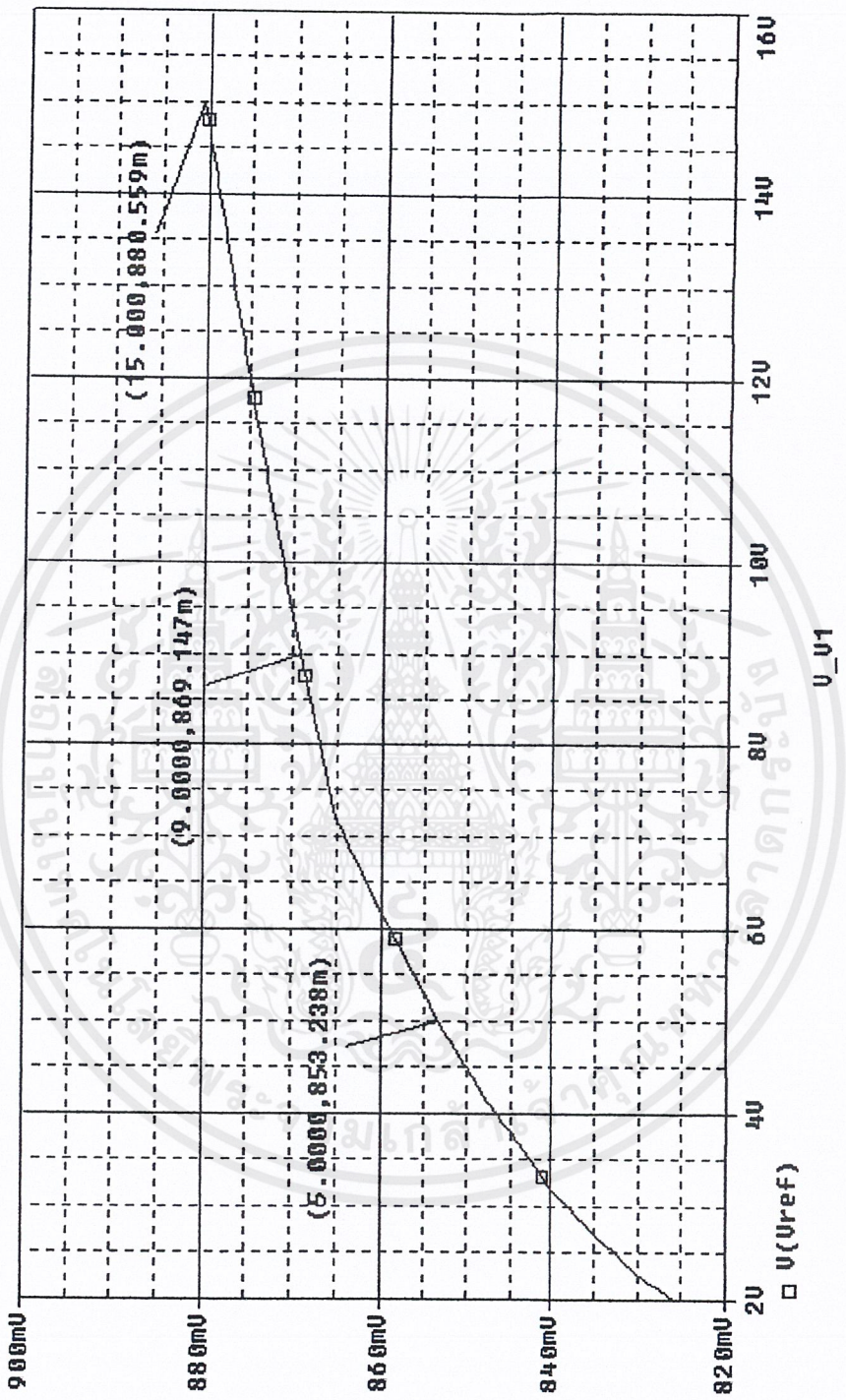
รูปที่ 5-8 แสดงผลการ Simulate DC Operation Point ของ วงจรสร้างแรงดันอ้างอิง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ซึ่งจะพบว่ามีค่าเป็นไปตามที่ได้ทำการคำนวณไว้ ต่อจากนี้ ทำการ Simulate โดย DC. Sweep ค่าแรงดันแหล่งจ่าย ตั้งแต่ค่าแรงดัน 8 volts ถึงค่าแรงดัน 15 volts เหตุผลที่เลือกใช้ค่าแรงดันค่านี้เนื่องจากที่ได้กล่าวไว้แล้วข้างต้น ว่าแรงดันที่ค่าความต้านทานของสายโทรศัพท์มีค่าต่ำสุดมีค่าเท่ากับ 9.14 volts ส่วนค่าแรงดันที่ค่าความต้านทานของสายโทรศัพท์มีค่าสูงสุดมีค่าเท่ากับ 24 volts แต่ในการนำไปใช้งานนั้นจะต้องต่อวงจรป้องกันแรงดันไฟเกิน (Over voltage Protection) ซึ่งก็คือ Zener Diode โดค่าแรงดัน Vz มีค่าเท่ากับ 9 volts

ฉะนั้นการ Simulate โดย DC. Sweepที่ค่าแรงดัน 8 volts ถึง 15 volts จึงสามารถแทนการทำงานขอ ง วงจรได้ ซึ่งการ Simulate ได้ทำการวัดค่าแรงดันและกระแสไฟฟ้าที่ตัวความต้านทาน R แสดงผลได้ดังรูปกราฟ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 5-9 ค่าแรงดันจากวงจรสร้างแรงดันอ้างอิงเมื่อค่าแรงดันแหล่งจ่ายเปลี่ยนค่า

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Comment:

จากรูปที่ 5-9 ค่าแรงดันที่ได้จากวงจรสร้างแรงดันอ้างอิงนั้นจะพบว่าให้ค่าของแรงดันอ้างอิงค่อนข้างคงที่แม้ว่าค่าของแรงดันแหล่งจ่ายจะมีค่าเปลี่ยนแปลงไปและจากการทดสอบได้เลือกใช้แรงดันค่าที่อยู่ในย่านการค่าสูงสุดใช้งานที่ 15 volts และ ค่าแรงดันที่ต่ำสุดคือค่าแรงดัน 5 volts ที่มีค่าเท่ากับค่าแรงดันที่ต้องการจะสร้างจากวงจร Regulator นี้

ที่ค่าแรงดันแรงจ่ายมีค่าสูงสุดค่าแรงดันอ้างอิงมีค่า = 880.559 mV

ที่ค่าแรงดันแรงจ่ายมีค่าต่ำสุดค่าแรงดันอ้างอิงมีค่า= 853.238 mV

ฉะนั้นให้ค่าความแตกต่างของค่าแรงดันคือ 880.559 - 853.238 = 27.321 mV

พิจารณาที่ค่าแรงดันที่ได้ใช้ในการออกแบบคือที่ 9 Volts ได้แรงดันอ้างอิง = 869.147 mV ค่าที่ได้พิจารณาได้ให้อัตราการเปลี่ยนแปลงของค่าแรงดันอ้างอิงต่อค่าแรงดันแหล่งจ่ายโดยคิดจาก

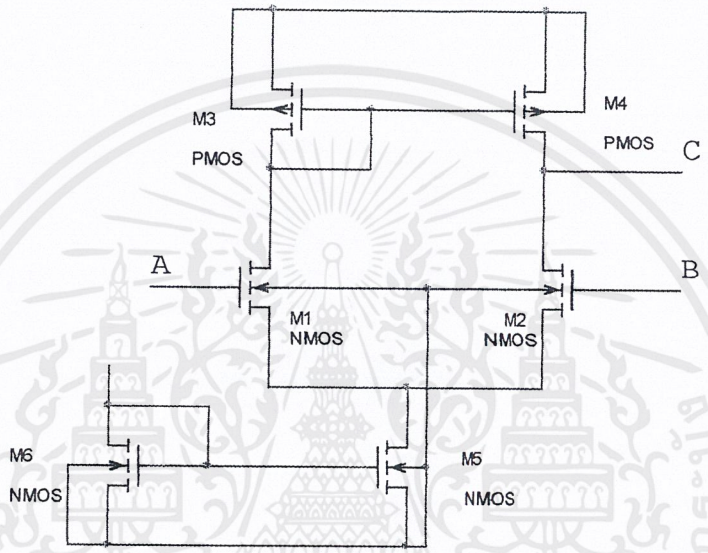
$$\frac{27.321mV}{869.147mV} * 100 = 3.1432\ \%$$

ดังนั้น วงจรสร้างแรงดันอ้างอิงที่ได้ออกแบบมีความเหมาะสมที่จะนำไปเป็นส่วนประกอบของวงจร Regulator ได้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ส่วน Error amplifier

พิจารณาวงจร Error amplifier โดยใช้วงจร differential amplifier โดยพิจารณาจากสมการของวงจร Regulator คือ $vo = V_{ref}\left(1+\frac{R1}{R2}\right)$ นั้นหากเลือกแรงดัน output มีค่าเท่ากับ 5 volts ฉะนั้น ค่าแรงดันอ้างอิง Voltage reference ที่จะใช้ควรมีค่าน้อยกว่าหรือเท่ากับ 5 volts จึงเลือกใช้แรงดันอ้างอิงมีค่าเท่ากับ 2 volts ซึ่งเมื่อแทนค่าลงในสมการจะได้ค่าอัตราส่วนของ $\frac{R1}{R2}$ เป็น 1.5



รูปที่ 5-11 Differential amplifier using MOS transistors

จากรูปวงจร Differential amp จะได้ค่าแรงดันอ้างอิงจะถูกต่อกับจุด A ในรูปและที่จุด B จะต่อกับ R1 และ R2 ส่วนจุด C จะต่อกับ Series Pass transistor จากสมการการออกแบบวงจร Differential amp ซึ่งมีลักษณะเดียวกับการออกแบบวงจร Op-amp คำนวณหาค่าของอัตราส่วน W/L ของ MOSFET แต่ละตัว (S)

โดยกำหนดค่า I_5 เท่ากับ 4.4 uA ; V_{DD} = 9 volts ; V_{SS} = 0 volts ; $Vin_{(\min)}$ = 1.9 volts ; $Vin_{(\max)}$ = 2.1 volts ; GB = 1MHz ; Cc = 2.2pF และค่าแรงดัน V_T มีค่าตาม model parameter ของ MOSFET 2 μm

$$S_3 = \frac{I_5}{K_3\left[V_{DD} - Vin_{(\max)} - |V_{T3}|_{\max} + V_{T1(\min)}\right]^2} \tag{5.5}$$

ซึ่งจะได้ S_3 = 0.0020 มีค่าน้อยกว่า 1 จึงปรับให้มีค่าเท่ากับ 1 และ $S_3 = S_4$

จาก g_{m2} = GB*Cc (จากการออกแบบ Op-amp) จะได้ gm2 = 1.3823e-005

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

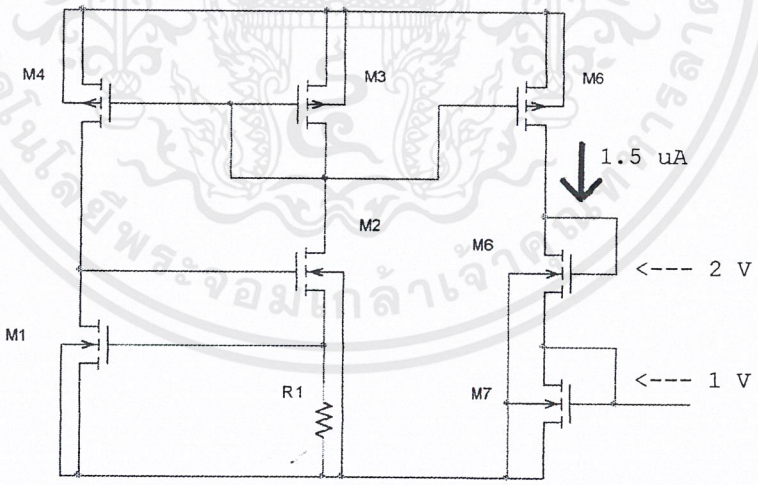
คำนวณ S_2 จากสมการ

$$S_2 = \frac{gm_2^{\,2}}{K_2 \times I_5} \tag{5.6}$$

พิจารณาที่ Q_5 ซึ่งมีค่ากระแสไฟฟ้าผ่านเท่ากับ 4.4 uA และจากลักษณะการต่อวงจร Differential amp กับแรงดันอ้างอิง 2 volts เพื่อให้ Q_2 และ Q_5 ทำงานอยู่ในสภาวะ Saturation จึงกำหนดให้ค่า $V_{GS5} = V_{GS2} = 1$ volts จึงสามารถคำนวณหาค่า S_5 จาก

$$S_5 = \frac{2 * I_5}{K_5 * (VGS_5 - V_{T5})^2} \tag{5.7}$$

ขั้นตอนต่อไปทำการคำนวณสร้างวงจร Current mirror ให้กับ Q_5 และขณะเดียวกันสามารถที่จะสร้างวงจรแรงดันอ้างอิง 2 volts ขึ้นมาพร้อมๆกัน โดยการพิจารณาวงจร Voltage reference ที่สร้างขึ้นมาในตอนต้น ซึ่งให้ค่าแรงดันอ้างอิงประมาณ 0.8 volts โดยทำการต่อ current mirror เข้าไปกำหนดกระแสเท่ากับ 1.5 uA และใช้สมการเช่นเดียวกับการคำนวณหาค่าS_5 ทำการคำนวณค่า S ของวงจร current mirror ชุดที่ต่อเข้าไปดังรูป



รูปที่ 5-12 แสดงการต่อ วงจร current mirror เข้ากับ Voltage reference

เมื่อได้วงจร Differential amp และวงจร Voltage reference ตามที่ได้ทำการคำนวณแล้วนำวงจรที่ออกแบบไปทำการ Simulate ด้วยโปรแกรม SPICE ที่แรงดันแหล่งจ่ายเท่ากับ 9 volts ซึ่งจะพบว่าค่าแรงดันและกระแสไฟฟ้ามีค่าคลาดเคลื่อนไปบ้างจึงทำการปรับค่า W/L ของ MOSFET จนค่าแรงดันและค่ากระแสไฟฟ้าตรงตามที่กำหนดซึ่งจะได้ผลดังรูป

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ส่วน Series Pass Transistor

ส่วนนี้จะใช้ MOSFET หนึ่งตัวทำหน้าที่จ่ายกระแสให้ Load โดยค่า $\frac{W}{L}$ ขึ้นอยู่กับ V_{DD}, I_D และ V_O โดยพิจารณาที่ Output ของ error amplifier จะมีค่าแรงดันค่าหนึ่งซึ่งจะเป็นแรงดัน V_G ป้อนให้กับ MOSFET ตัวที่ทำหน้าที่เป็น Series Pass transistor

นำค่านี้มาหาค่า V_{GS} ของ MOS โดย $V_{GS} = V_G - V_O$

จะได้

$$S = \frac{2I_D}{K_n (V_{GS} - V_T)^2} \tag{5.8}$$

ส่วนของค่า R_3 และ R_4 ที่จะกำหนดอัตราส่วนในการป้อนจาก output มายัง input inverting ของ error amplifier กำหนดได้จาก

$$V_O = V_{REF}\left[1 + \frac{R_3}{R_4}\right]$$

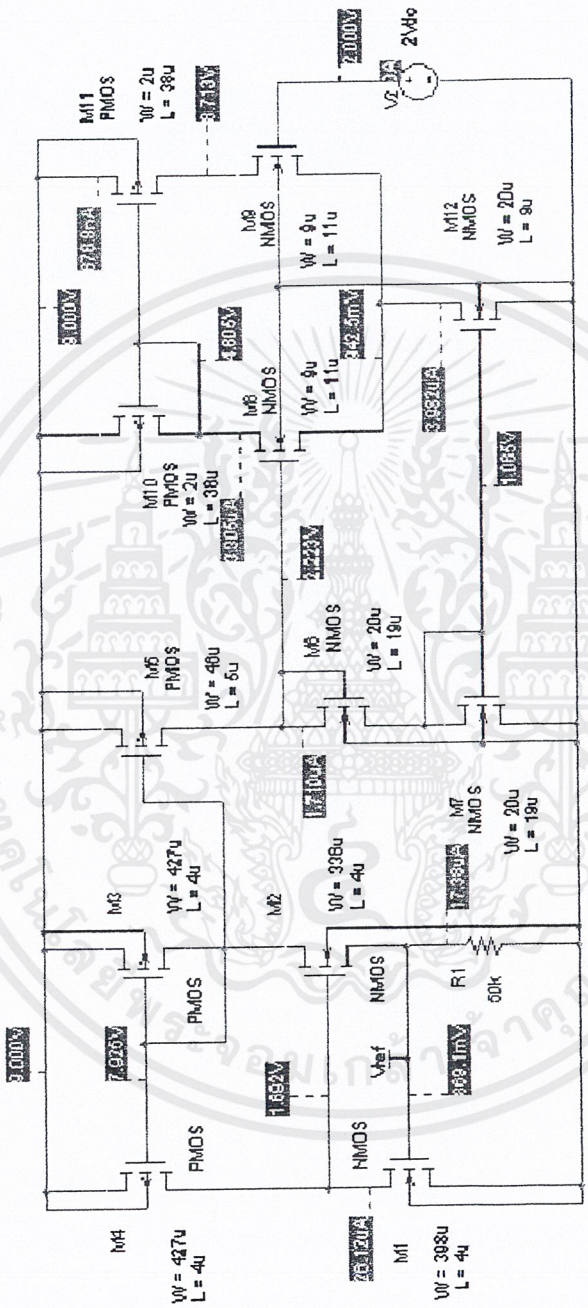
$$\therefore \quad \frac{R_3}{R_4} = \frac{V_o}{V_{REF}} - 1 \tag{5.9}$$

โดยเลือกค่าความต้านทานสูงไว้เพื่อให้กระแสผ่านไปที่ Load มากที่สุดจากการ Simulate จะพบว่าที่จุด C หรือที่ Output ของวงจร Differential amp ซึ่งที่จุดนี้จะถูกต่อเข้ากับ Series Pass Transistor ซึ่งก็คือขา Gate ของ MOSFET (V_G) และขณะที่ขา Drain ของ MOSFET นี้จะถูกต่อเข้ากับจุดที่เป็นแรงดัน Output ของวงจร Regulate ซึ่งมีค่าแรงดันเท่ากับ 5 volts ฉะนั้นจะได้ค่าแรงดันจะทำให้สามารถทราบค่าแรงดัน V_{GS} ของ Series Pass Transistors และเนื่องจากกำหนดให้วงจรเครื่องโทรศัพท์ใช้กระแสไฟฟ้ามีค่า 20 mA ซึ่งค่ากระแสนี้ก็คือค่ากระแสไฟฟ้าที่ผ่านตัว Series Pass Transistor ด้วยค่าแรงดัน V_{GS} และค่ากระแส Id นี้สามารถนำไปทำการคำนวณหาค่า W/L ของ Series Pass Transistor ได้โดยใช้สมการ

$$S = \frac{2 * I}{K * (VGS - V_T)^2} \tag{5.10}$$

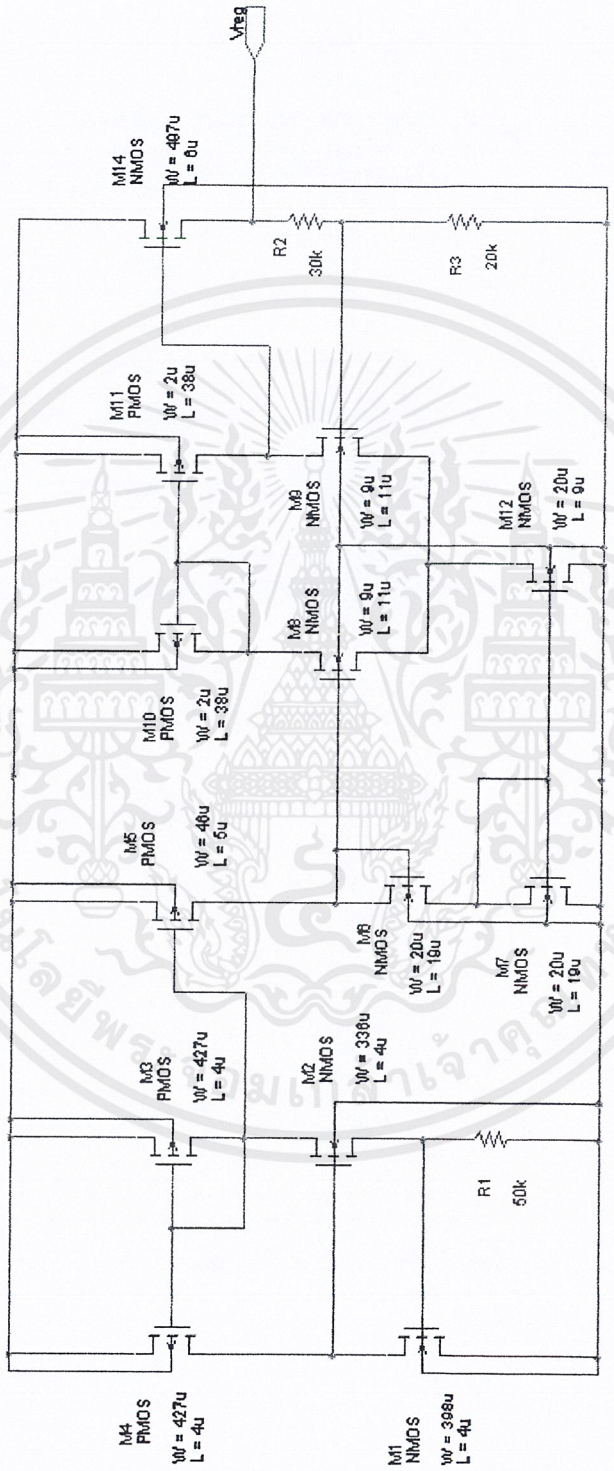
หลังจากได้ค่า W/L ของ MOSFET ทุกตัวแล้วส่วนสุดท้ายก็คือ ค่าของตัวความต้านทานที่ทำหาที่ป้อนกลับแรงดัน output ซึ่งก็คือ R1, R2 จากการคำนวณในตอนต้นได้ค่าอัตราส่วนของ R1/R2 มีค่าเท่ากับ 1.5 จึงเลือกค่าความต้านทานที่มีค่าสูงเพื่อที่จะได้ไม่ไปดึงกระแสไฟฟ้าจาก load แต่ควรเป็นค่าที่สามารถสร้างได้บนวงจรรวม (<100k)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 5-13 แรงดันอ้างอิง Ref เมื่อค่าของแหล่งจ่ายเปลี่ยน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 5-14 วงจร Regulator

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

วงจรที่ได้นำไปทดสอบ Simulate การทำงานโดย 2 แบบ

- ทดสอบโดยทำการ Sweep แหล่งจ่ายตลอดช่วงการใช้งานของวงจรเครื่องโทรศัพท์
- ทดสอบโดยการ Sweep ค่าของ Load ความต้านทานโดยค่า Load ต่ำสุดกำหนด

จากค่ากระแสสูงสุดที่วงจร Regulate สามารถที่จะจ่ายได้ตามที่ออกแบบไว้ ซึ่งก็คือค่าแรงดัน 5volts และค่ากระแส 20 mA จะได้ค่าความต้านทานต่ำที่สุดและจากการ Simulate สามารถนำค่าแรงดัน output ไปคำนวณหาค่า percent voltage regulation จากสมการ

$$VR = \frac{V_{NL} - V_{FL}}{V_{FL}} \times 100\% \qquad (5.11)$$

และจากค่า Percent voltage regulation สามารถนำมาคำนวณหาค่าความต้านทานที่ Output ของวงจร Regulate ได้จากสมการ

$$R_o = VR * \left(\frac{V_{FL}}{I_{FL}}\right) \qquad (5.12)$$

ต่อจากนี้ทำการคำนวณหาค่า Line Regulation ด้วยผลการ Simulate จากสมการ

$$\%Line_\text{Re}gulation = \frac{\left(\Delta V_o / V_o\right)}{\Delta V_{in}} \times 100\% \qquad (5.13)$$

จากการ Simulate ที่แรงดันแหล่งจ่าย 12 volts

V_{FL} = 5.39 volts, V_{NL} = 5.429 volts , I_{FL} = 21.56 mA

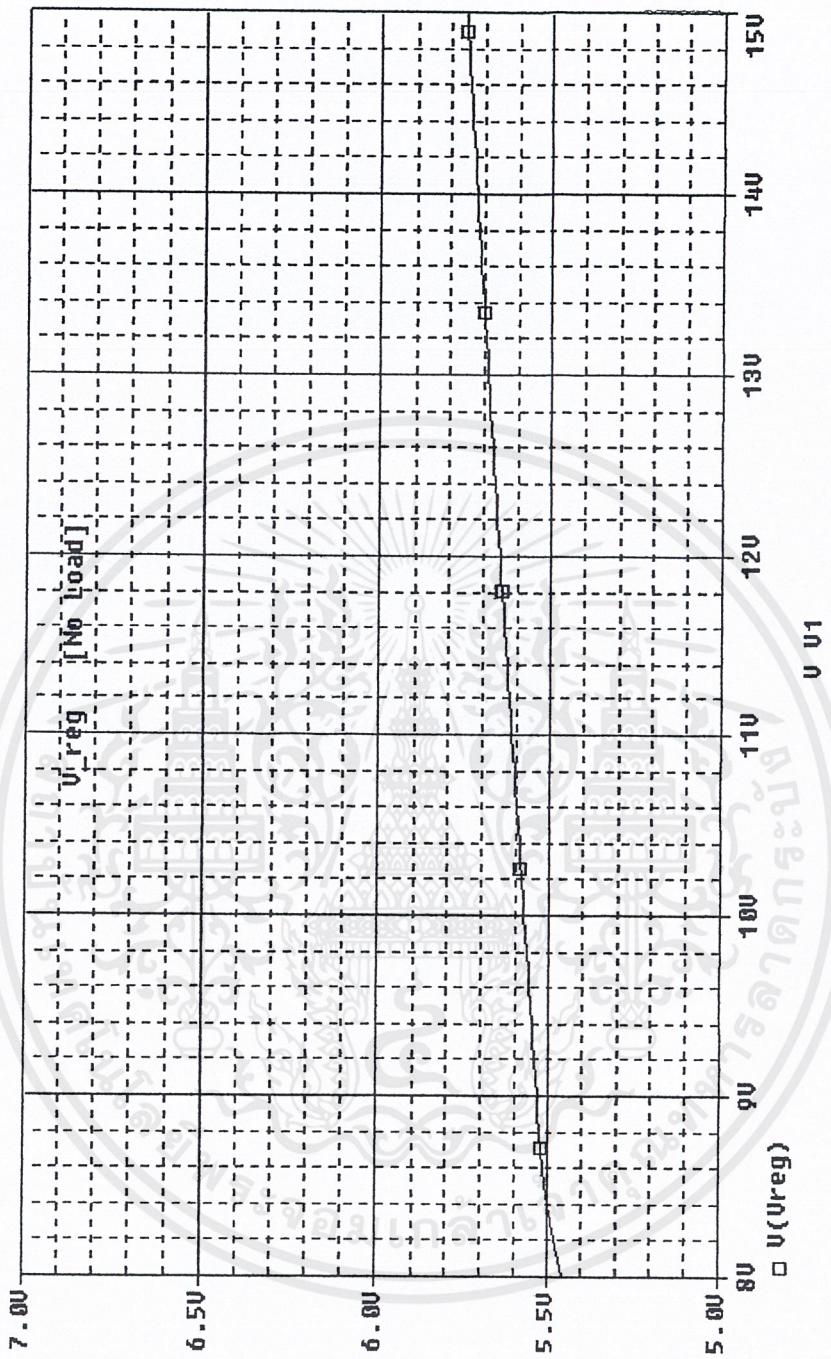
ΔV_o = 0.1832 volts, ΔV_{in} = 5 volts

จะได้ VR = 0.7236 %

R_o = 180.8905 Ω

$\%Line_\text{Re}gulation$ = 0.7328 %

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 5-15 ค่าแรงดันจากวงจร Regulator เมื่อค่าแรงดันแหล่งจ่ายเปลี่ยนค่าที่ No load

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Comment:

จากรูป 5-15 จะพบว่าวงจร Regulator ได้ให้ค่าแรงดันออกมามีค่ามากกว่าค่าที่ต้องการตลอดย่านของการทดสอบการเปลี่ยนค่าของแรงดันแหล่งจ่าย มีค่าตั้งแต่ประมาณ 5.5 Volts ถึงค่า 5.8 Volts

พิจารณาที่ค่า 5.5 Volts มีค่ามากกว่า 5 volts คิดเป็นค่าผิดพลาดได้

$$\left|\frac{5.5-5}{5}\right| \times 100 = 10\,\%$$

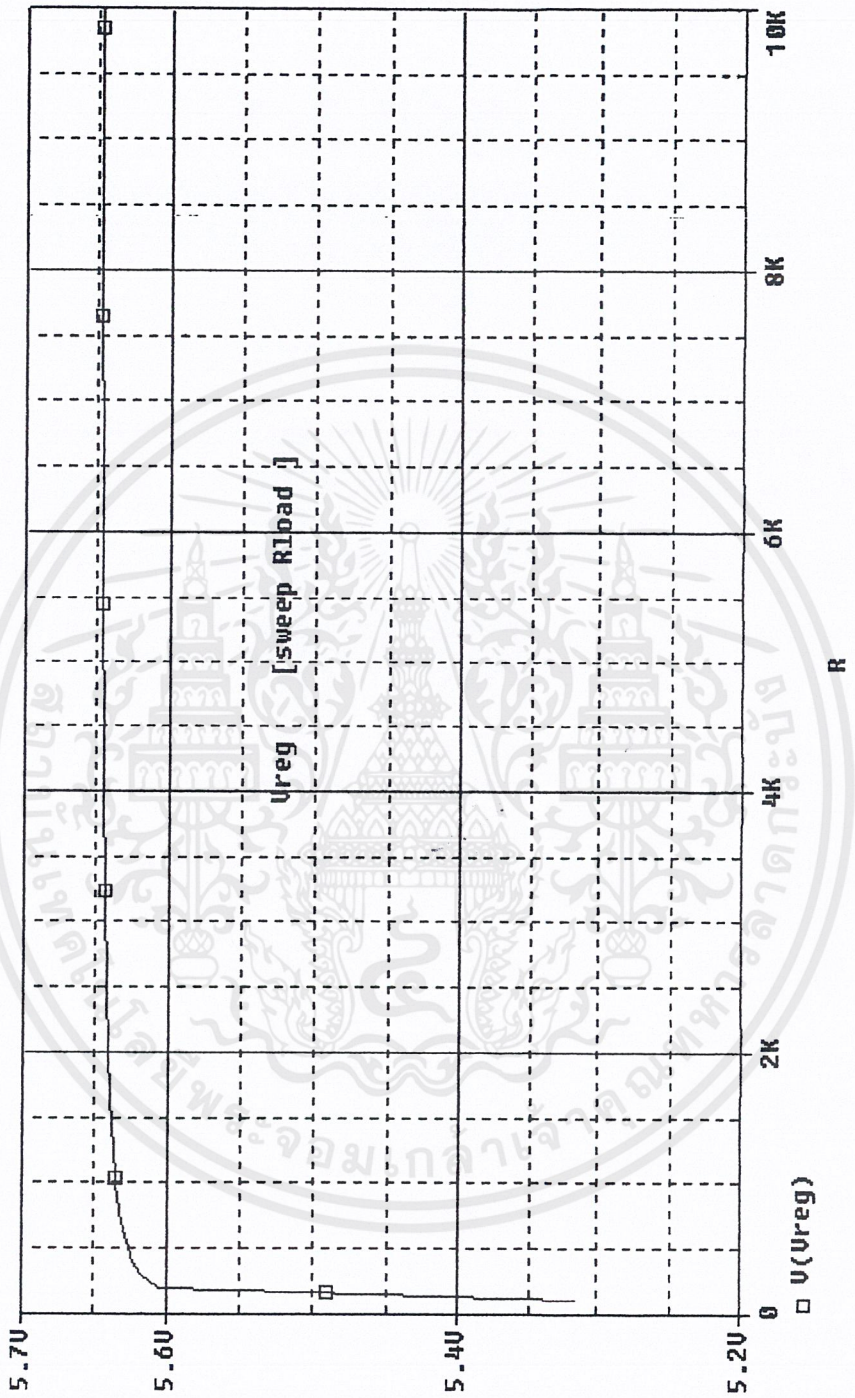
พิจารณาที่ค่า 5.8 Volts มีค่ามากกว่า 5 volts คิดเป็นค่าผิดพลาดได้

$$\left|\frac{5.8-5}{5}\right| \times 100 = 16\,\%$$

จากการวิเคราะห์จะพบว่าสาเหตุที่ทำให้ค่าของแรงดันที่ได้จากวงจร Regulator มีค่าไม่เท่ากับ 5 Volts นั้นเกิดจากวงจรในส่วนของ Error amplifier มีการขยายแรงดันป้อนกลับมามีค่าไมตรงกับที่ต้องการ อันเนื่องมาจาก NMOS ที่เป็น Series pass transistor นั้นมีผลต่อการเปลี่ยนแปลงค่าของแรงดัน Regulator อย่างมากโดยจากการทดสอบเปลี่ยนค่าของ W/L ของ NMOS นี้เพียงเล็กน้อยจะยังผลอย่างมากต่อค่าแรงดัน Regulator

แต่การปรับค่าปรับค่า W/L ของ NMOS นี้จะต้องคำนึงถึงการนำไปต่อเข้ากับวงจร Error amplifier ร่วมด้วย และค่าแรงดันที่ผิดพลาดนี้ยังอยู่ในย่านที่ยอมรับได้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 5-16 ค่าแรงดันจากวงจร Regulator เมื่อค่าความต้านทานของโหลดเปลี่ยนค่า

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Comment:

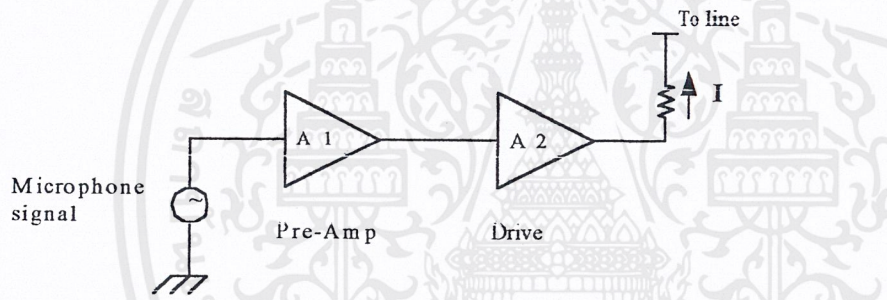
จากรูป 5-16 การเปลี่ยนแปลงค่าของความต้านทานโหลดนั้นค่าของแรงดันจะตกลงที่ค่าโหลด 250 ohm ซึ่งตรงตามค่าที่ต้องการจาก 5 Volts ที่ 20 mA

แต่ค่าแรงดันที่ได้จะมีค่ามากกว่า 5 Volts เกิดจากข้อผิดพลาดดังที่ไดกล่าวไว้แล้ว

2 ส่วน Transmitter

เป็นส่วนที่ขยายสัญญาณ MICROPHONE ไปให้กับสายโทรศัพท์ โดยสัญญาณที่ส่งไปในสายโทรศัพท์จะอยู่ในรูปของกระแสไฟฟ้า โดยการเปลี่ยนแปลงของกระแสของสายโทรศัพท์ เป็นไปตามสัญญาณ จากMICROPHONEพิจารณาMICROPHONEที่ใช้ในเครื่อง โทรศัพท์จะเป็นแบบElectrets microphone และ แบบDynamic microphone

โดยสัญญาณจาก Microphone จะมีค่าประมาณ 10 mVrms ฉะนั้นในการทดสอบจะใช้แหล่งจ่ายแรงดันแทน microphone ในการออกแบบส่วน transmitter แผนผังของส่วนนี้แสดงได้ดังรูป



รูปที่ 5-17 แสดงการแผนผังของส่วน Transmitter

ส่วนของ A_1 (Pre-Amp) จะทำหน้าที่ขยายสัญญาณจาก microphone ให้มีขนาดแรงขึ้น ส่วนของ A_2 จะขับสัญญาณแรงดันที่ได้จาก A_1 ให้เป็นสัญญาณกระแสผ่านไปยังสายโทรศัพท์จากหลักการที่กล่าวมาข้างต้นพิจารณาได้ว่าส่วนของ A_1 และ A_2 สามารถแทนได้ด้วยวงจร Operational Amplifier (Op-amp) โดยค่าอัตราการขยายแรงดันสามารถกำหนดได้ด้วยการต่อวงจรภายนอกและค่ากระแสที่ส่งไปยังสายโทรศัพท์สามารถกำหนดได้โดยค่ากระแสไฟฟ้าของส่วน output ของวงจร Op-amp ฉะนั้นขั้นตอนต่อไปคือการออกแบบวงจร Op-amp โดยเริ่มจากการกำหนดค่า parameter ต่างๆของวงจร โดยที่ วงจร Op-amp จะทำงานที่แรงดัน 5 volts ตามค่าของวงจร Regulate ที่ได้ออกแบบไว้ ในการคำนวณวงจร Op-amp นั้นตามหลักการจะพิจารณาค่าแรงดันไฟฟ้าที่ป้อนให้กับวงจรเป็นค่าบวก,ลบ จะได้เลือก Parameter ทั้งหมดของ Op-amp ดังนี้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

CL = 1e-011 : Load capacitance

SR = 2×10^6 : Slew rate

GB = 1×10^6 : unity gain bandwidth

Vin = ± 0.1 volts : input common mode range

Vo = ± 2 volts : output voltage swing

V_{DD} = 2.5 volts , V_{SS} = -2.5 volts

ขั้นตอนที่ 1 คำนวณค่า Compensation capacitor เมื่อต้องการให้ phase margin > 60° จะได้

$$C_C \geq 0.22\, C_L$$

โดยกำหนดค่า C_L = 10 pF

ดังนั้นจะได้ CC $\geq$ 2.2 pF

หาค่ากระแส I_{ss} หรือ I_5 จากสูตร I_5 = SR*C_C = 2(V/us)*2.2pF = 4.4μA

ขั้นตอนที่ 2 ออกแบบ Differential amplifier

หาขนาดของ M3 และ M4 จากสมการ

$$S_3 = \frac{I_5}{K_3\left[V_{DD} - Vin_{(\max)} - |V_{T3}|_{\max} + V_{T1(\min)}\right]^2}$$

พิจารณาว่าหากค่า S_3 น้อยกว่า 1 ก็ปรับค่าให้ S_3 เท่ากับ 1 และ $S_3 = S_4$

หาค่า small signal transconductance จาก $g_{m2} = 2\pi.GB.C_C$

ทำให้สามารถหาขนาดของ M_1 กับ M_2 ได้จาก

$$S_2 = \frac{gm_2^{\,2}}{K_2 \times I_5}$$

ขั้นตอนที่ 3 ออกแบบ Second-gain stage หาขนาดของ M_5, M_6, M_7

หาค่า S_5 จากค่าแรงดัน minimum input โดยเริ่มต้นคำนวณค่าแรงดัน $V_{DS5(sat)}$ จากสมการ

$$V_{DS5(sat)} = Vin_{(\min)} - Vss - \left[\frac{I_5}{\beta_1}\right]^{0.5} - V_{T1(\max)}$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$S_5 = \frac{2 * I_5}{K_5 * [V_{DS5(sat)}]^2}$$

จากนั้นหาค่า S6 โดยให้ค่าของ pole ที่ 2 เท่ากับ 2.2*GB ด้วยการสมมุติให้

$$V_{DS6(sat)} = V_{DD} - V_{out(\max)}$$

จากสมการ

$$gm_6 = 2.2 * gm_2 * (C_L / C_C)$$

$$S_6 = \frac{gm_6}{K_5 * V_{DS6(sat)}}$$

คำนวณค่ากระแสไฟฟ้า I_6 จากสมการ 2 สมการแล้วเลือกค่ากระแสที่มากกว่า

Method 1 : $I_6 = \frac{gm_6^2}{2 * K_6 * S_6}$

Method 2 : $I_6 = (S_6 / S_3) * I_1$

หาค่าของ S7 จากอัตราส่วนของค่ากระแสไฟฟ้าระหว่าง I_5 และ I_6

$$S_7 = (I_6 / I_5) * S_5$$

ขั้นตอนที่ 5 ตรวจสอบค่า gain และ power dissipation จากสมการ

$$A_v = \frac{2 * gm_2 * gm_6}{I_5 * (\lambda_2 + \lambda_3) * I_6 * (\lambda_6 + \lambda_7)}$$

$$P_{diss} = (I_5 + I_6) * (V_{DD} + |V_{ss}|)$$

และผลจากการคำนวณจะได้ค่าดังนี้

$S_1 = 0.821067$

$S_2 = 0.821067$

$S_3 = 1$

$S_4 = 1$

$S_5 = 0.0768789$

$S_6 = 14.4366$

$S_7 = 0.603805$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

>>>>>>>>>>>>>>>>Av = 4968.55 V/V, Pdiss = 0.000194788 = 194.788 μW

I_5 = 4.4e-6 A, I_7 = 3.45575e-5 A, V_{DS5sat} = 1.47113 volts

g_{m2}= 1.3823e-5

g_{m3}= 9.17932e-6

g_{m5}= 5.9818e-6

g_{m6}= 138.23e-6

g_{m7}= 4.69809e-5

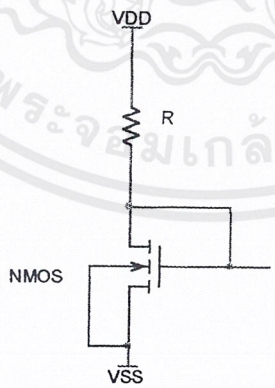
ทำการออกแบบวงจร Current mirror ต่อกับ M_5 และ M_7 โดยพิจารณาค่าอัตราส่วนของกระแส I_5 กับกระแสที่จะสะท้อนกระแสตามสมการ โดยกำหนดค่ากระแสที่จะสะท้อนมีค่าน้อยๆเพื่อลดกำลังงานสูญเสีย

$$S = (I / I_5) * S_5 \tag{5.14}$$

หลังจากที่ได้ค่า S แล้วทำการคำนวณหาค่าแรงดัน V_{GS} จากสมการ

$$V_{GS} = V_T + \sqrt{\frac{2 * I_d * L}{K * W}} \tag{5.15}$$

คำนวณหาค่า Rbias ได้โดยการนำค่าแรงดันแหล่งจ่ายลบด้วยแรงดัน V_{GS} ที่หาได้แล้วหารด้วยค่ากระแสที่สะท้อนมา ซึ่งลักษณะวงจรจะเป็นดังรูป



รูปที่ 5-18 วงจรสะท้อนกระแสที่ต้องการ

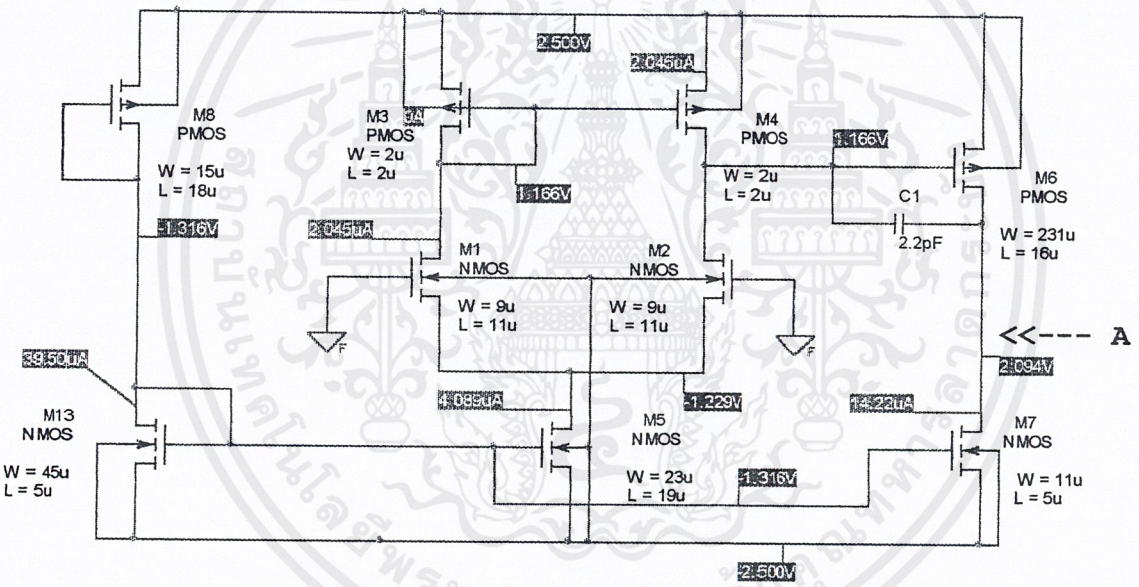
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

แต่จากการพิจารณาจะพบว่าสามารถที่จะใช้ Active load แทนตัวความต้านทานได้ โดยใช้ PMOS แทน สามารถหาขนาดของ PMOS จากสมการ

$$S_{PMOS} = \frac{2 * I_d}{Kp * (VGS_p - V_T)^2} \tag{5.16}$$

ขั้นตอนที่ 6 ออกแบบ Output buffer

เริ่มจากนำวงจรที่คำนวณได้ทำการ Simulate ด้วย SPICE หาค่าแรงดันที่ node ต่างๆ ซึ่งจะพบว่าได้ผลดังรูป



รูปที่ 5-19 แสดงผลการ Simulate ของวงจร two-stage amp

ซึ่งผลจากการ Simulate จะพบว่าที่จุด A ในรูปเป็นจุดที่จะต่อกับส่วนของ Buffer output ซึ่งค่าแรงดันที่จุดนี้จะเป็นค่าแรงดัน V_{GS} ของ MOSFET ที่เป็น Buffer ด้วย ดังนั้นสามารถที่จะคำนวณหาค่า S ของ MOS ได้ที่กระแส output ที่ต้องการจากสมการ

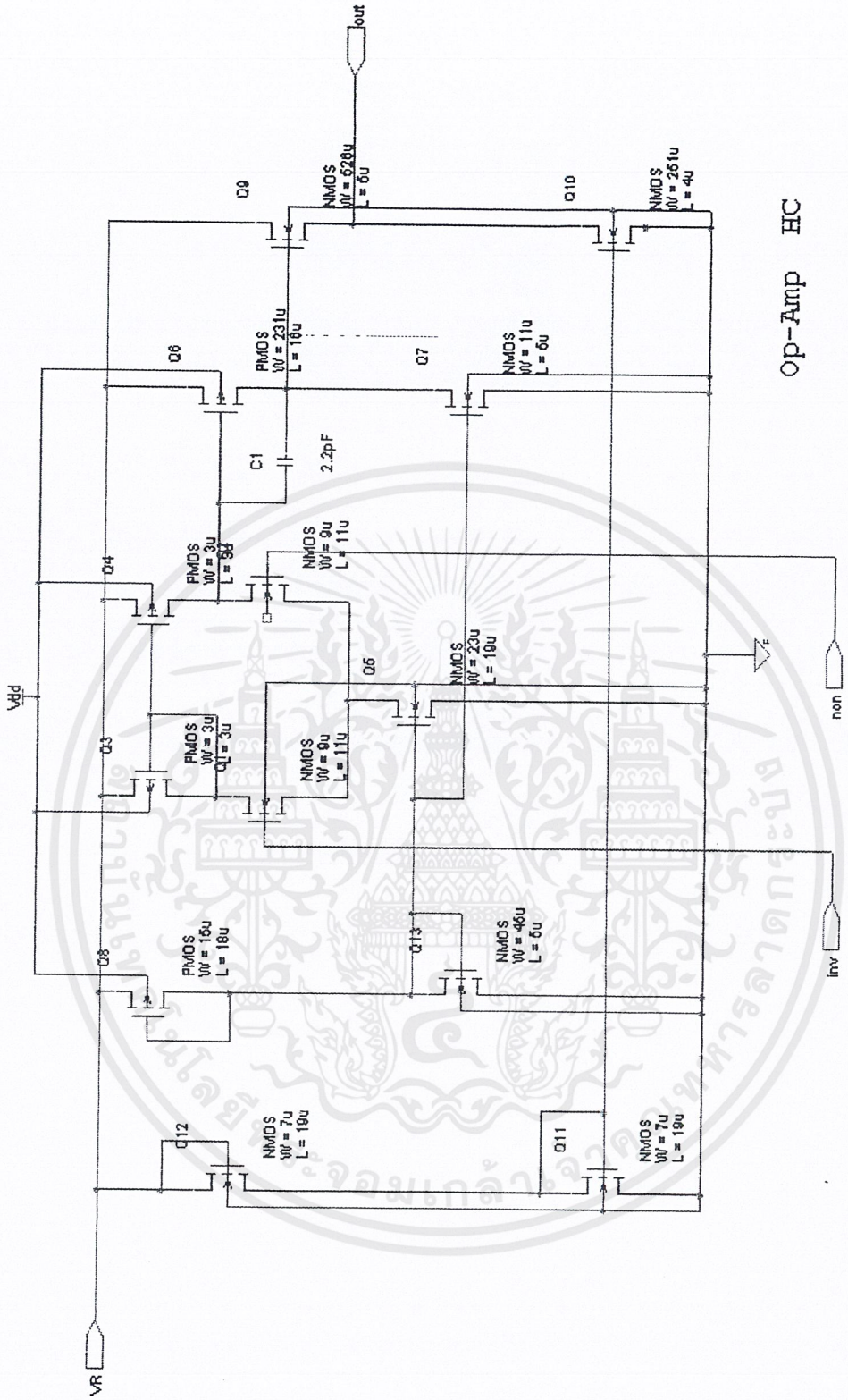
$$S_{NMOS} = \frac{2 * I_d}{Kn * (VGS_n - V_T)^2} \tag{5.17}$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากนั้นทำการคำนวณวงจร Current source ที่ต่อกับ MOFET Buffer ด้วยลักษณะและสมการที่เหมือนกับที่คำนวณวงจร current mirror ให้กับ M_5 ซึ่งจากการคำนวณทั้งหมดจะได้วงจรดังในรูปจากนั้นนำ OP-amp ไปทำการ Simulate เพื่อหาคุณสมบัติของวงจร Op-amp ดังนี้

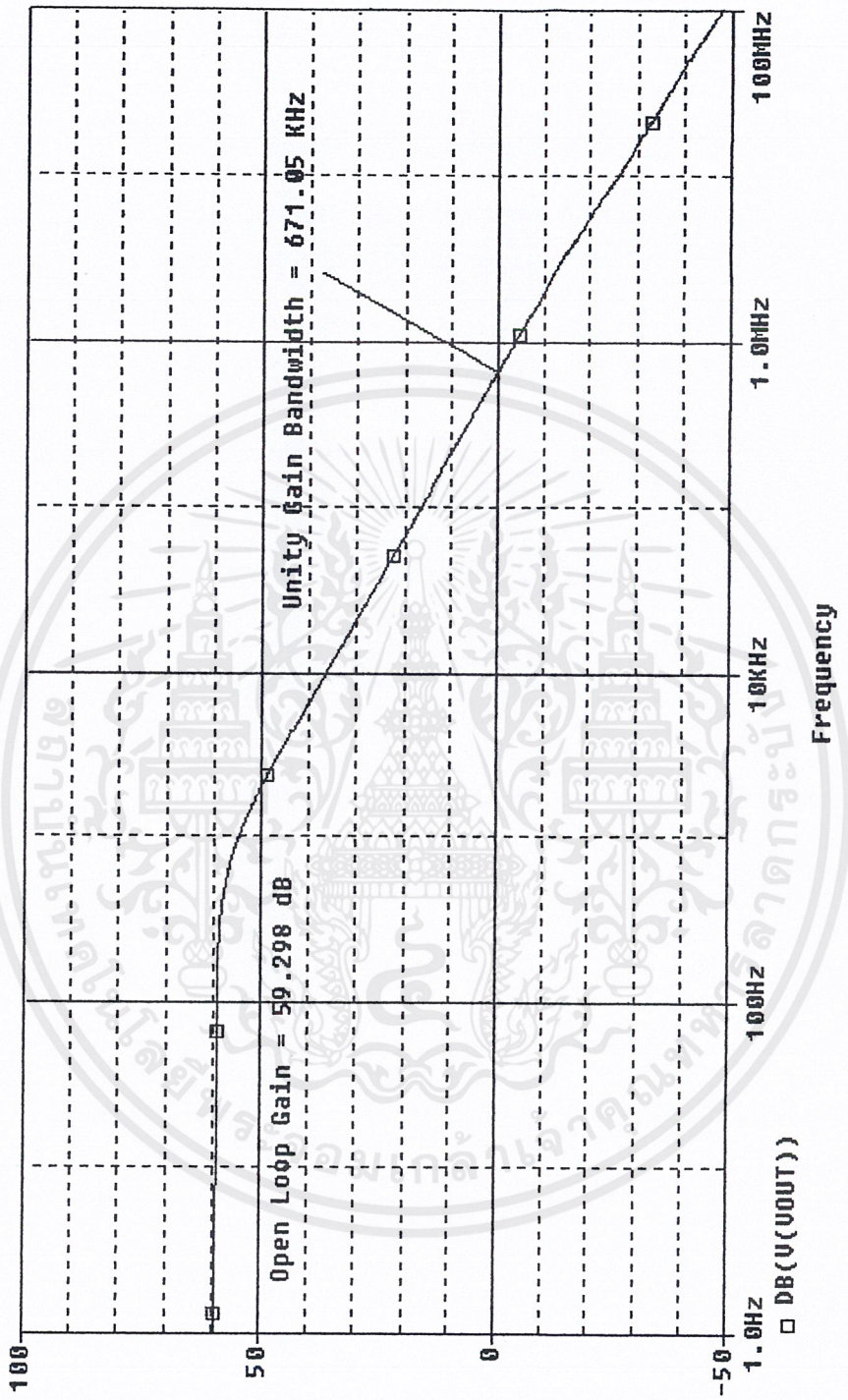
1) หาค่า Frequency Response (Open loop gain & Phase margin
2) หาค่า Slew rate
3) หาค่า CMRR
4) หาค่า Settling time
5) หาค่า Offset voltage

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



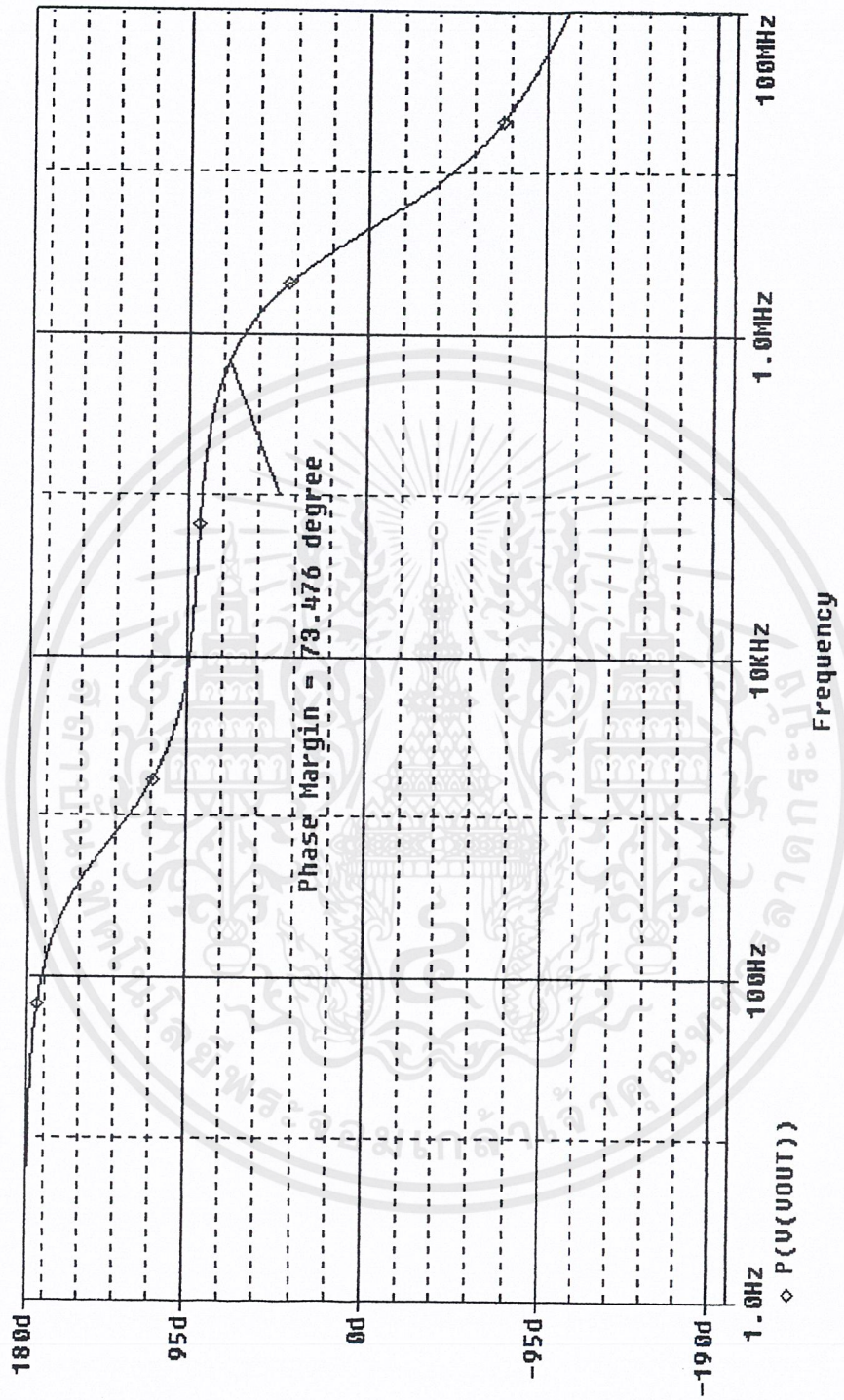
รูปที่ 5-20 วงจร Op amp ที่ออกแบบ (opHC)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



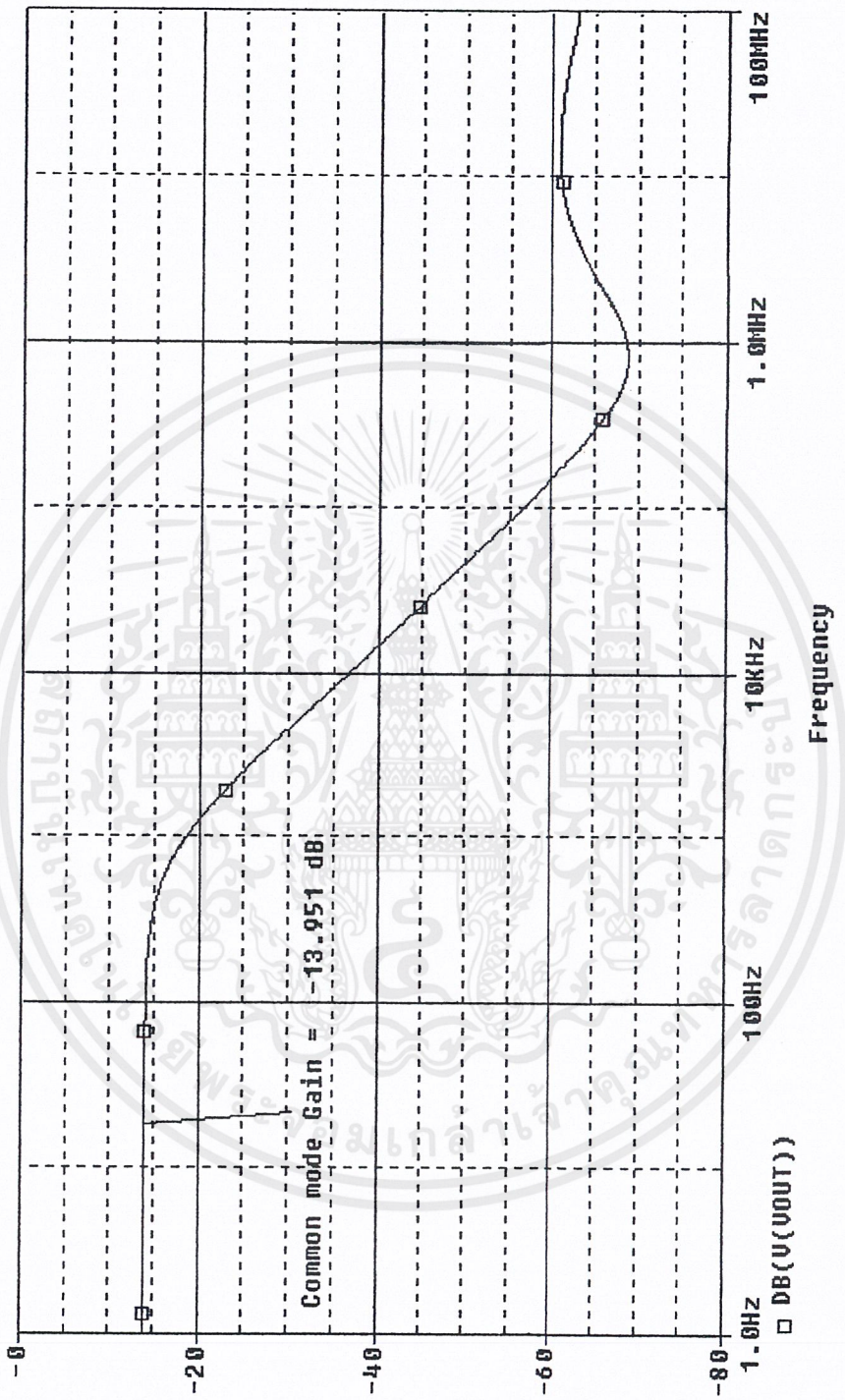
รูปที่ 5-21 ค่าFrequency Response Gain ของ (opHC)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



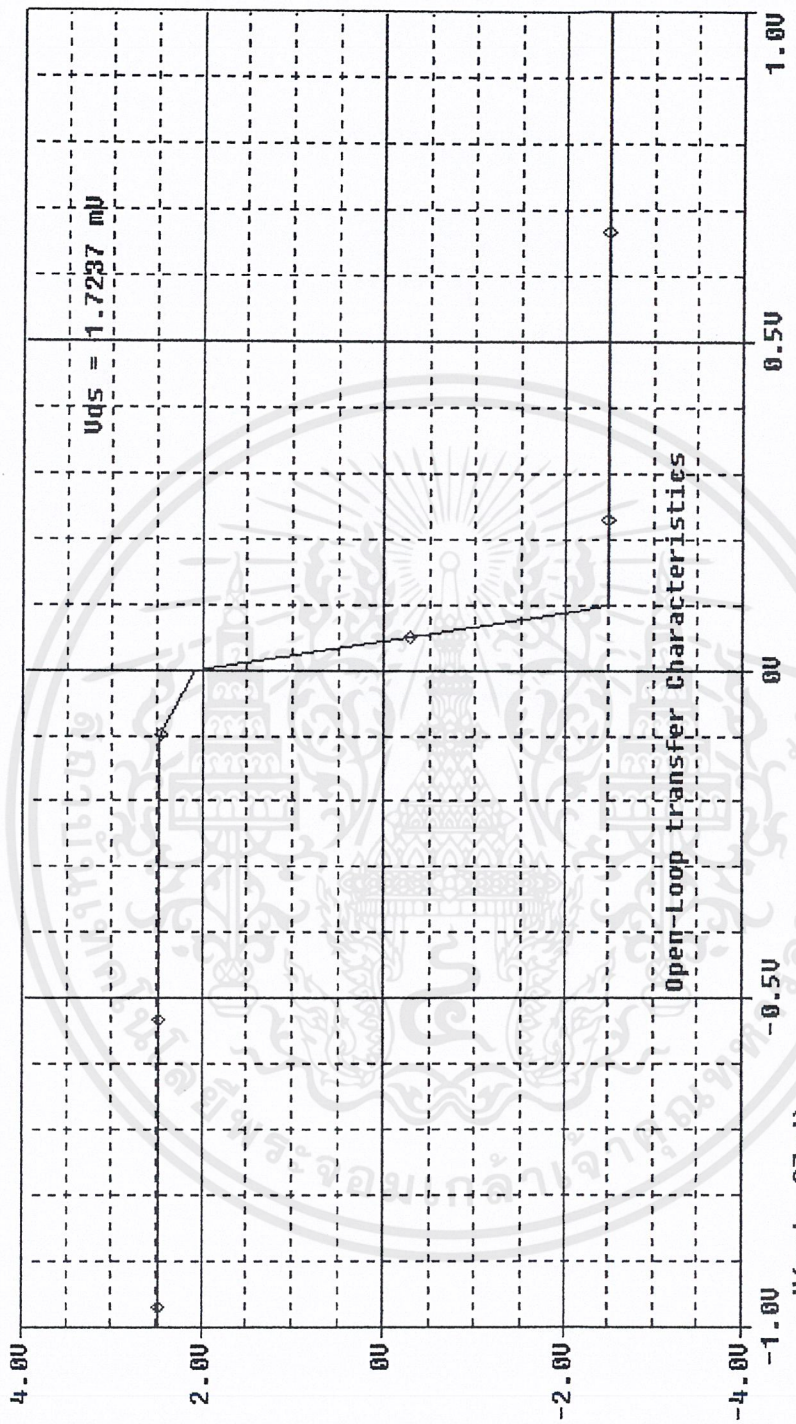
รูปที่ 5-22 Phase Response ของ opHC

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



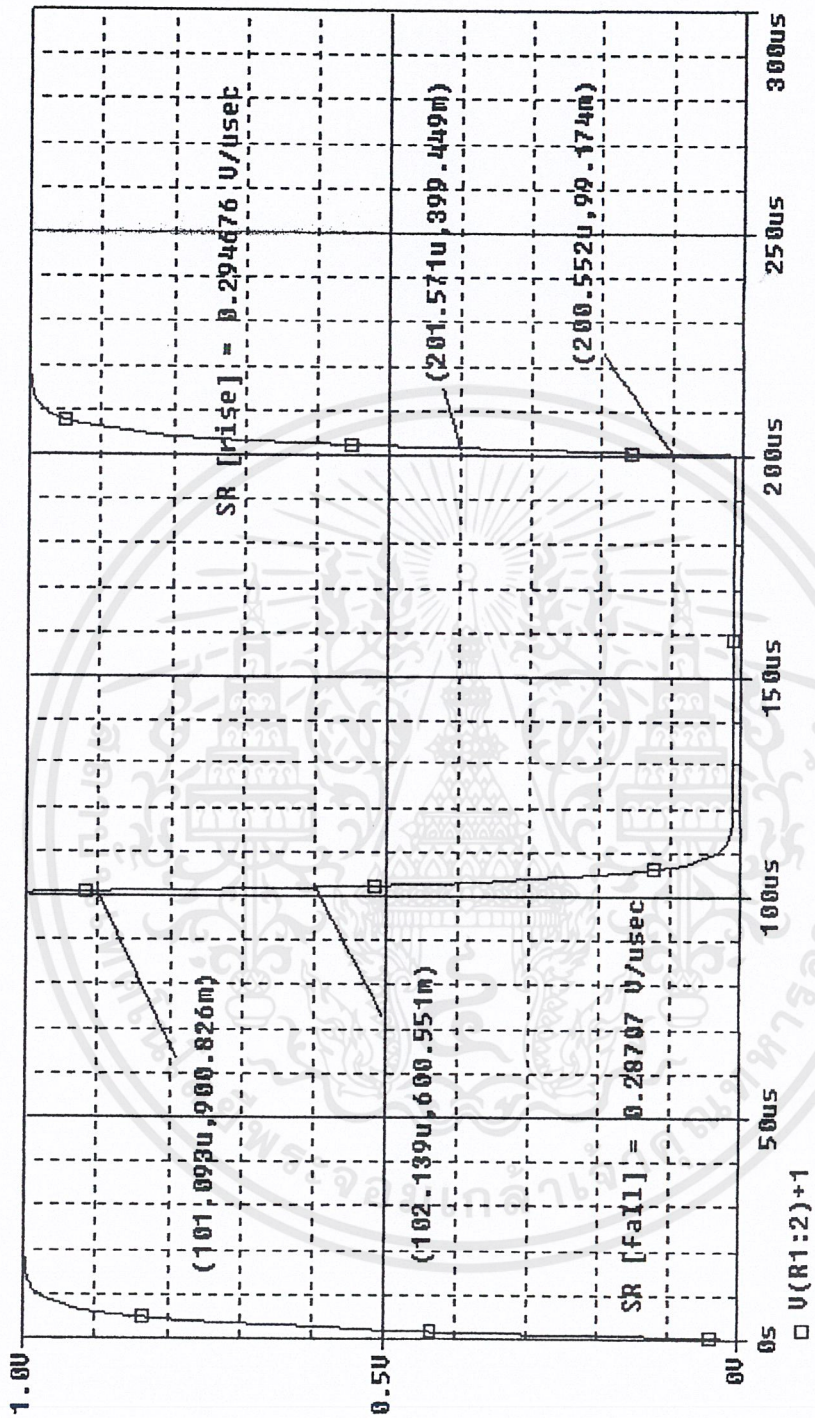
รูปที่ 5-23 ค่า Common mode Gain ของ opHC

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



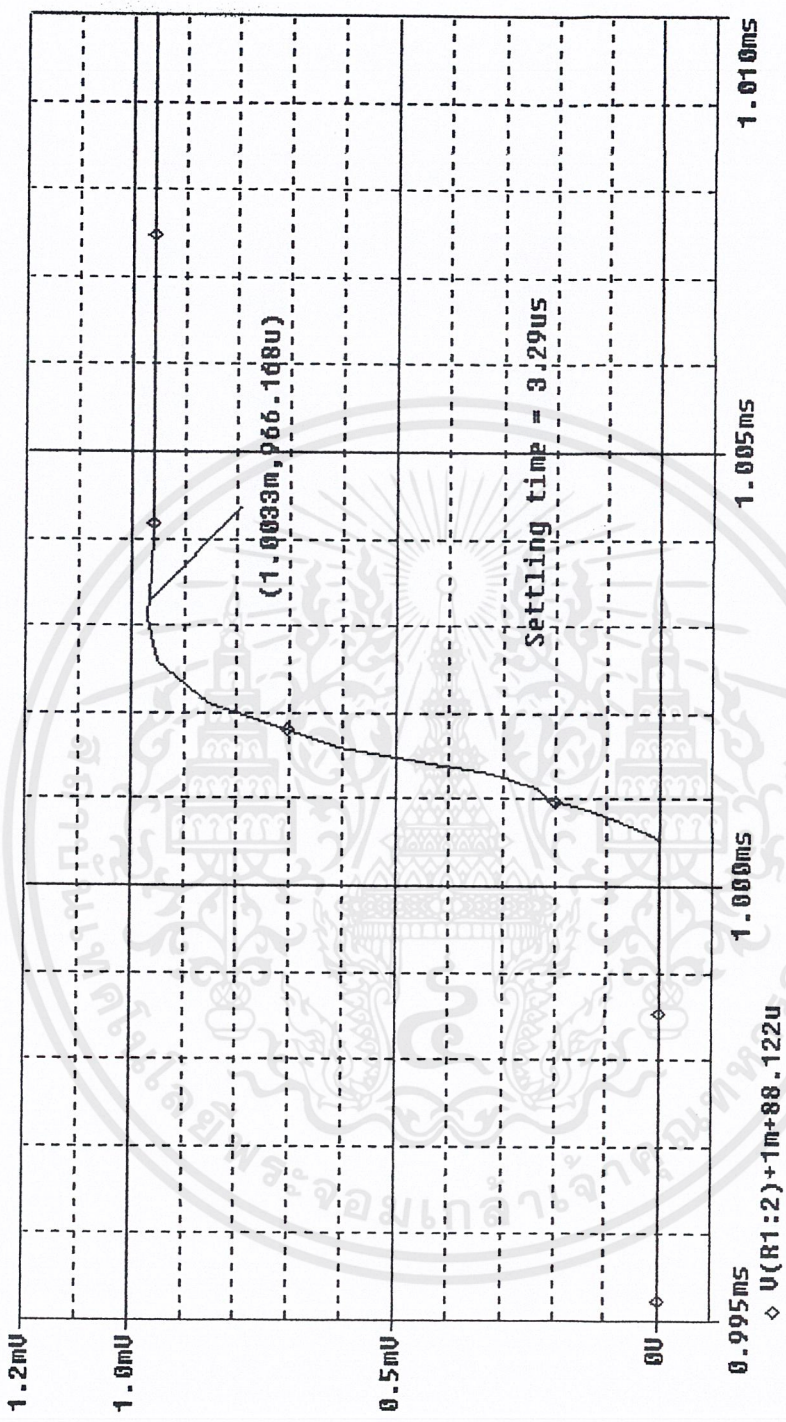
รูปที่ 5-24 ค่าแรงดัน Transfer Characteristics ของ opHC

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



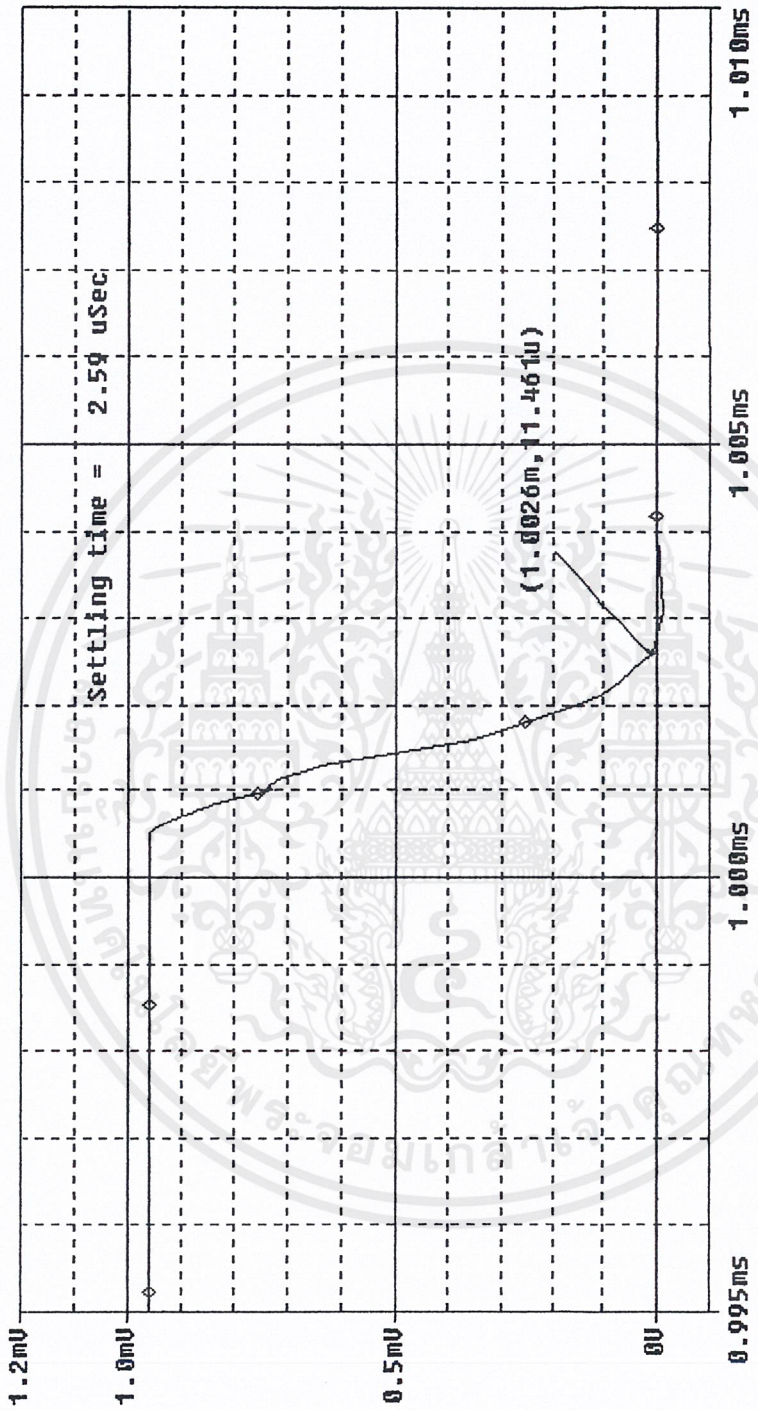
รูปที่ 5-25 ค่า Slew Rate ของ opHC

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 5-26 ค่า Settling times ขาขึ้นของ opHC

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2-27 ค่า Settling times ขาลงของ opHC

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ซึ่งผลจากการ Simulate ได้ค่า parameter ของวงจร Op-amp ดังนี้

1) Open-loop Gain = 59.194 dB
Unity Gain Bandwidth = 671.05 KHz
Phase Margin = 73.771 องศา

2) Slew Rate
Rise edge = 4.532 V/uSec
Fall edeg = 4.5 V/Sec

3) CMRR = 59.164 dB - (-13.547 dB)
= 72.741 dB

4) Settling Times
Settling Times ของ ช่วงบวก (10% - 90%) = 10.991 uSec
Settling Times ของ ช่วงลบ (90% - 10%) = 11.027 uSec

5) Offset Voltage = 1.7273 mV

Comment:

จากวงจร Op-ampที่ได้ออกแบบแล้วทำการทดสอบ Simulate หาค่า Parameter ต่างๆจะพบว่าในส่วนของค่า Open loop Gain นั้นมีค่าอยู่ในระดับที่สูงคือ 59 dB และค่าของ Unity Gain Bandwidth เท่ากับ 671.05 kHz ซึ่งมีค่าไม่ตรงตามที่ได้กำหนดก่อนการออกแบบ สาเหตุอันเนื่องมาจากได้มีการปรับค่า W/L ของ MOS ภายหลังเพื่อที่จะได้ให้ค่าของแรงดันที่จุดเชื่อมต่อของวงจร buffer ส่วนขยายสุดท้ายมีค่าทำให้วงจรชุดหลังนี้ทำงานขยายสัญญาณได้ จึงทำให้ค่าของผลตอบสนองต่อความถี่มีค่าต่างไปจากที่กำหนดไว้ก่อนการออกแบบ

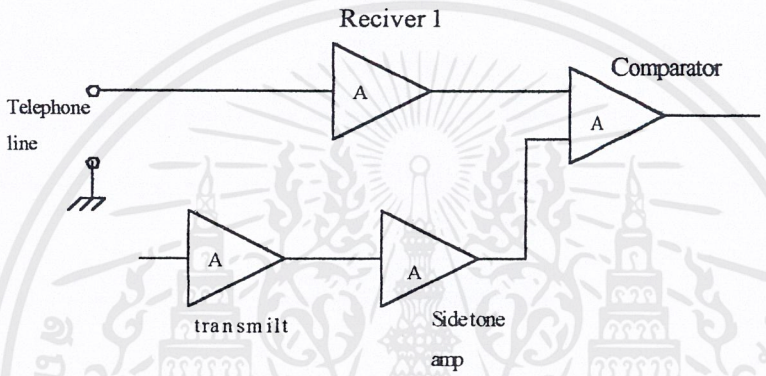
แต่อย่างไรก็ตามค่านี้มีค่าสูงกว่าย่านการใช้งานในวงจร Speech Circuit (ความถี่เสียง) จึงสามารถนำมาใช้เป็นส่วนย่อยของวงจรรวมที่จะออกแบบได้

ส่วนค่า Parameter อื่นนั้นมีค่าใกล้เคียงกับที่กำหนดไว้และอยู่ในช่วงที่ใช้งานำฯได้ในวงจร Speech circuits

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3 ส่วน Receiver

เป็นส่วนที่ทำหน้าที่รับสัญญาณจากสายโทรศัพท์ออกมาส่งไปขับลำโพง โดยการตรวจจับสัญญาณในสายโทรศัพท์นั้นเกิดจากการเปลี่ยนแปลงของกระแสในสายโทรศัพท์ซึ่งจะพบว่าสัญญาณที่ตรวจจับได้จะมีสัญญาณที่เกิดจากส่วนของ Transmitter รวมอยู่ด้วยสัญญาณที่รวมอยู่ด้วยนี้คือ side tone signal นั่นเอง ซึ่งควรจะมีค่าน้อย ๆ ในการลดหรือกำจัดสัญญาณ side tone นี้สามารถทำได้โดยการเพิ่มวงจรในส่วนของ side tone amplifier โดยเป็นส่วนที่นำสัญญาณจาก Transmitter มาปรับขนาดสัญญาณเพื่อไปหักล้างกับสัญญาณที่ตรวจจับได้จากส่วน Receiver ภาคแรก ฉะนั้นสัญญาณที่ได้หลังจากการหักล้างก็จะเหลือแต่สัญญาณที่ได้มาจากสายโทรศัพท์เท่านั้น



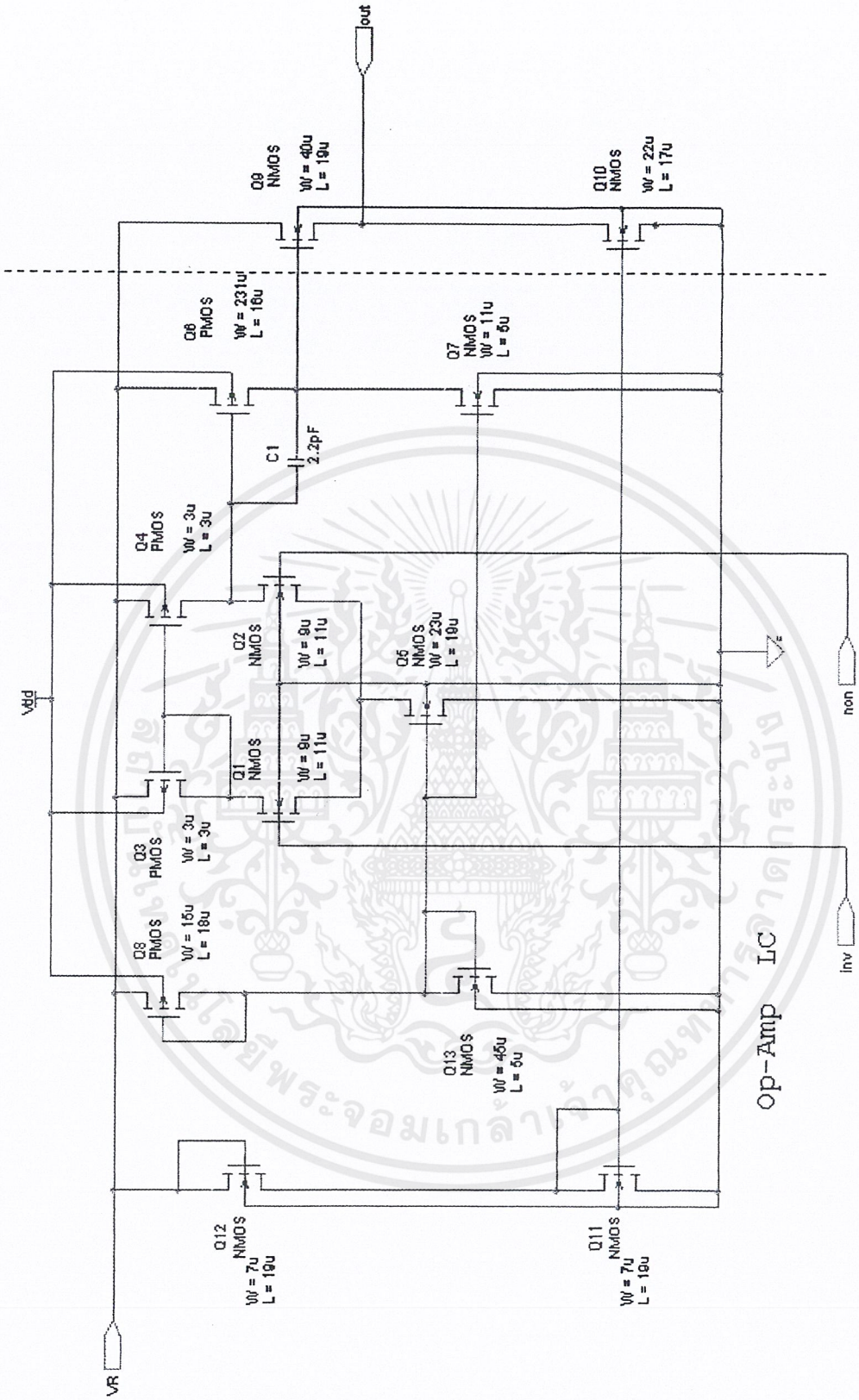
รูปที่ 5-28 แสดงแผนผังของส่วน Receiver

โดยการพิจารณาจะพบว่าส่วนที่ทำหน้าที่ขยายสัญญาณสามารถที่จะใช้ Op-amp แทนได้เนื่องจากสามารถที่จะปรับค่าอัตราการขยายได้และยังปรับค่ากระแสที่ output ได้จากการปรับวงจรของ OP-amp ในส่วนของ Buffer output

จากการพิจารณาวงจร Op-Amp ที่ได้ออกแบบไว้นั้นในส่วนที่เป็น buffer amp ขับกระแสไฟฟ้านั้นมีขนาดของพื้นที่ W/L มาก ในวงจรขยายที่ไม่ต้องการขับกระแสเช่น วงจรในส่วน side tone สามารถที่จะใช้ Op-Amp ที่ใช้พื้นที่น้อยกว่านี้ได้โดยการออกแบบวงจรในส่วนของ buffer amp ใหม่โดยใช้หลักการคำนวณเช่นเดียวกันแต่ค่ากระแสที่ต่างกัน จะได้วงจรดังรูป

จากนั้นนำวงจร Op-Amp ที่ได้ไปทำการ simulate และผลของการ simulate จะได้ผลเช่นเดียวกันกับวงจร Op-Amp ก่อนนี้ แต่ต่างกันอย่างเดียวคือ Open-loop Gain จะเริ่มลดลงที่ค่าความต้านทานของ Load = 1 Kohm ในขณะที่วงจร Op-Amp ก่อนหน้านี้ Open-loop Gain จะเริ่มลดลงที่ค่าความต้านทานของ Load ประมาณ 100 ohm

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 5-29 วงจร Op amp (opLC)

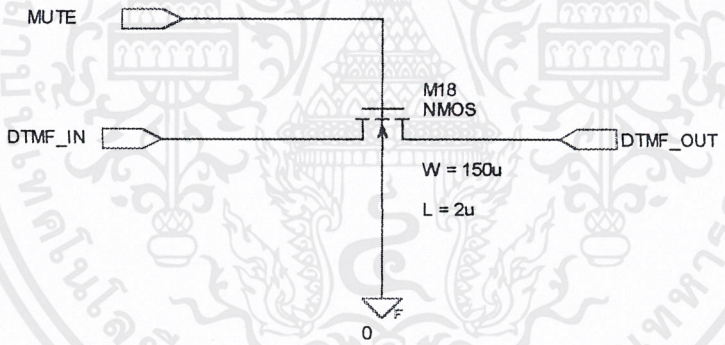
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ส่วนเชื่อมต่อสัญญาณ DTMF

เนื่องจากวงจรของเครื่องโทรศัพท์นั้นสัญญาณที่ใช้กำหนดเลขหมายปลายทางนั้นคือสัญญาณ DTMF ซึ่งเป็นสัญญาณความถี่ที่มีค่าอยู่ในย่านของความถี่เสียง และในวงจรรวมที่มีหน้าที่ผลิตสัญญาณ DTMF นั้นส่วนมากจะไม่สามารถที่จะเชื่อมต่อกับสายโทรศัพท์เพื่อป้อนสัญญาณได้โดยตรงจำเป็นที่จะต้องป้อนสัญญาณผ่านวงจรรวมในส่วน Speech circuits เพื่อส่งไปยังสายโทรศัพท์

ดังนั้นในวงจรรวมที่ออกแบบนี้จะต้องมีส่วนของวงจรที่ใช้ขยายสัญญาณ DTMF เพิ่มเติม โดยลักษณะของวงจรนี้จะมีวงจรเช่นเดียวกับวงจรในส่วน Transmitter แต่สัญญาณ DTMF ไม่ได้ถูกใช้งานอยู่ตลอดจึงต้องมีส่วนที่ควบคุมการผ่านสัญญาณ DTMF ร่วมด้วยซึ่งวงจรนี้จะใช้ลักษณะของ NMOS ที่ ทำหน้าที่เป็น Switch ปิด/ เปิดการผ่านของสัญญาณ DTMF ซึ่งมีลักษณะดังรูป โดยการควบคุมการผ่านของสัญญาณ DTMF จะถูกควบคุมที่ขา Gate ของ NMOS

โดยค่า W/L ของ NMOS สามารถหาจากการปรับค่า W/L แล้วทดลองป้อนสัญญาณผ่านโดยที่จะต้องมีการลดทอนของสัญญาณน้อยที่สุด และที่ขา Gate ควบคุมจะใช้ชื่อว่า MUTE

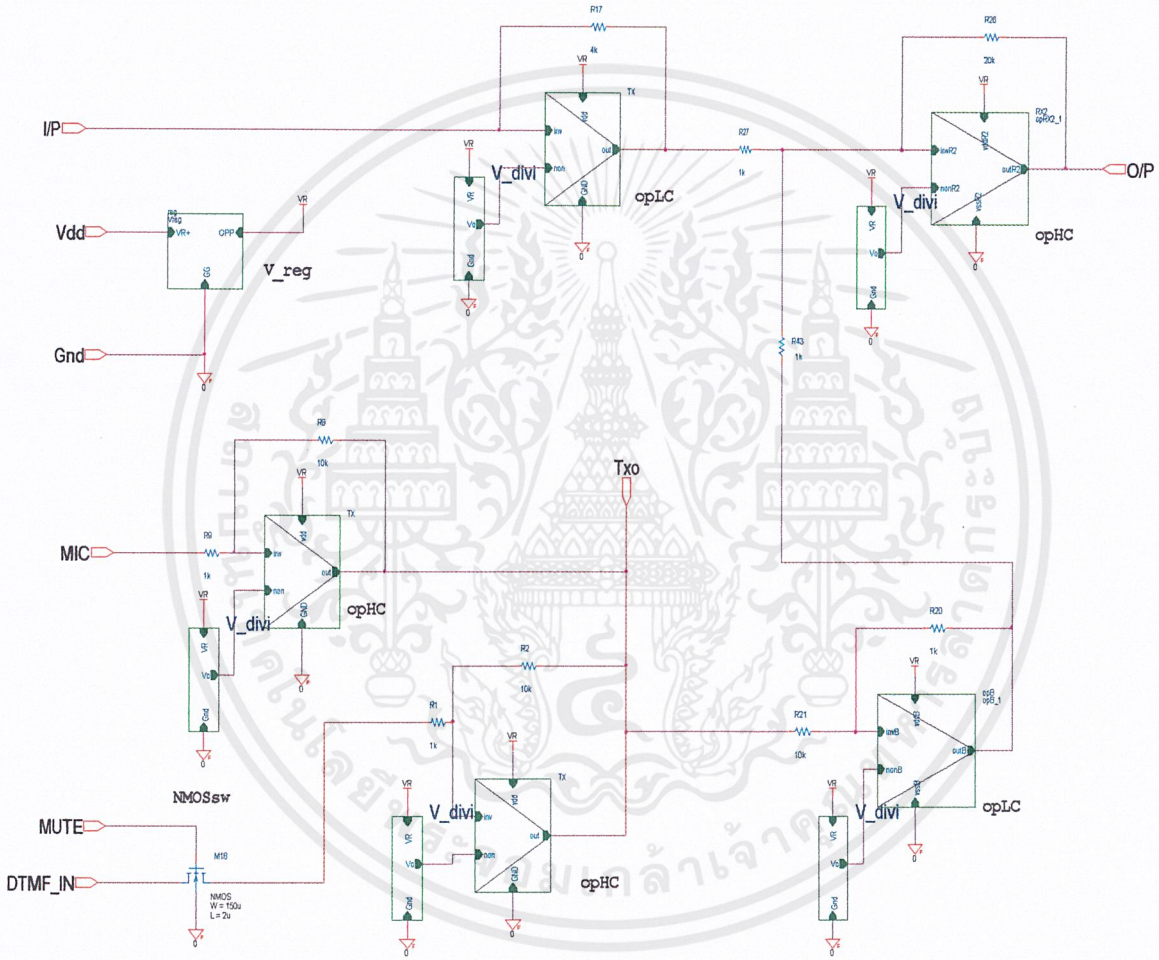


รูปที่5-30วงจร NMOS_Switch

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4 การเชื่อมต่อระบบ

จากที่ได้กล่าวมาในแต่ละส่วนสามารถที่จะสร้างเป็นส่วนๆแยกกันจากนั้นนำส่วนย่อยเหล่านี้มาประกอบกันเป็นเครื่องโทรศัพท์ในส่วนของวงจร Speech Circuit ซึ่งจะมีลักษณะดังรูป



รูปที่5-31 วงจรรวมทั้งหมดที่ได้ออกแบบในรูปของส่วนย่อยมาประกอบรวมกัน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากรูปวงจรรวมทั้งหมดประกอบด้วยส่วนต่างๆอธิบายได้ดังนี้

Receiver สัญญาณจากสายโทรศัพท์จะส่งผ่านเข้าที่จุด I/P และผ่านวงจรขยาย 2 ชุดออกไปยัง O/P โดยที่สัญญาณนี้สามารถนำไปเชื่อมต่อการวงจรขยายสัญญาณภายนอกเพื่อที่จะขับลำโพง ต่อไป

Regulator แรงดันไฟกระแสตรงจากสายโทรศัพท์ Vdd จะผ่านวงจร Regulate (V_Reg) ได้แรงดัน VR เพื่อจ่ายแรงดันคงที่เลี้ยงวงจรภายในส่วนอื่นๆทั้งหมด

Transmitter สัญญาณจาก Microphone จะเข้ามาทาง MIC แล้วผ่านการขยายสัญญาณ 1 ชุด แล้วส่งสัญญาณออกไปยังสายโทรศัพท์โดยผ่านที่จุด Txo

สัญญาณ DTMF จะเข้ามาทาง port DTMF IN โดยถูกควบคุมการผ่านของสัญญาณจาก port MUTE ในส่วนของ NMOS switch (NMOSsw) จากนั้นสัญญาณที่ผ่านมาได้นี้จะถูกขยายซึ่งมีลักษณะเช่นเดียวกับการขยายสัญญาณจาก microphone ออกที่ port Txo เช่นเดียวกัน

Side tone ทั้งสัญญาณจาก Microphone และ DTMF จะถูกนำมาผ่านวงจรขยายซึ่งจะเป็นวงจรในส่วนของสัญญาณ Side tone เพื่อที่จะนำไปหักล้างกับสัญญาณจาก Microphone และ DTMF ที่วงจรในส่วนที่ Receiver รับได้ เพื่อให้สัญญาณนี้ออกไปยัง O/P น้อยที่สุด

เมื่อนำวงจรส่วนย่อยทั้งหมดมาต่อร่วมกันเป็นวงจรรวมเดียวกันแล้วจึงนำวงจรรวมที่มาทำการทดสอบคุณสมบัติของวงจรในลักษณะต่างกัน3ลักษณะดังนี้

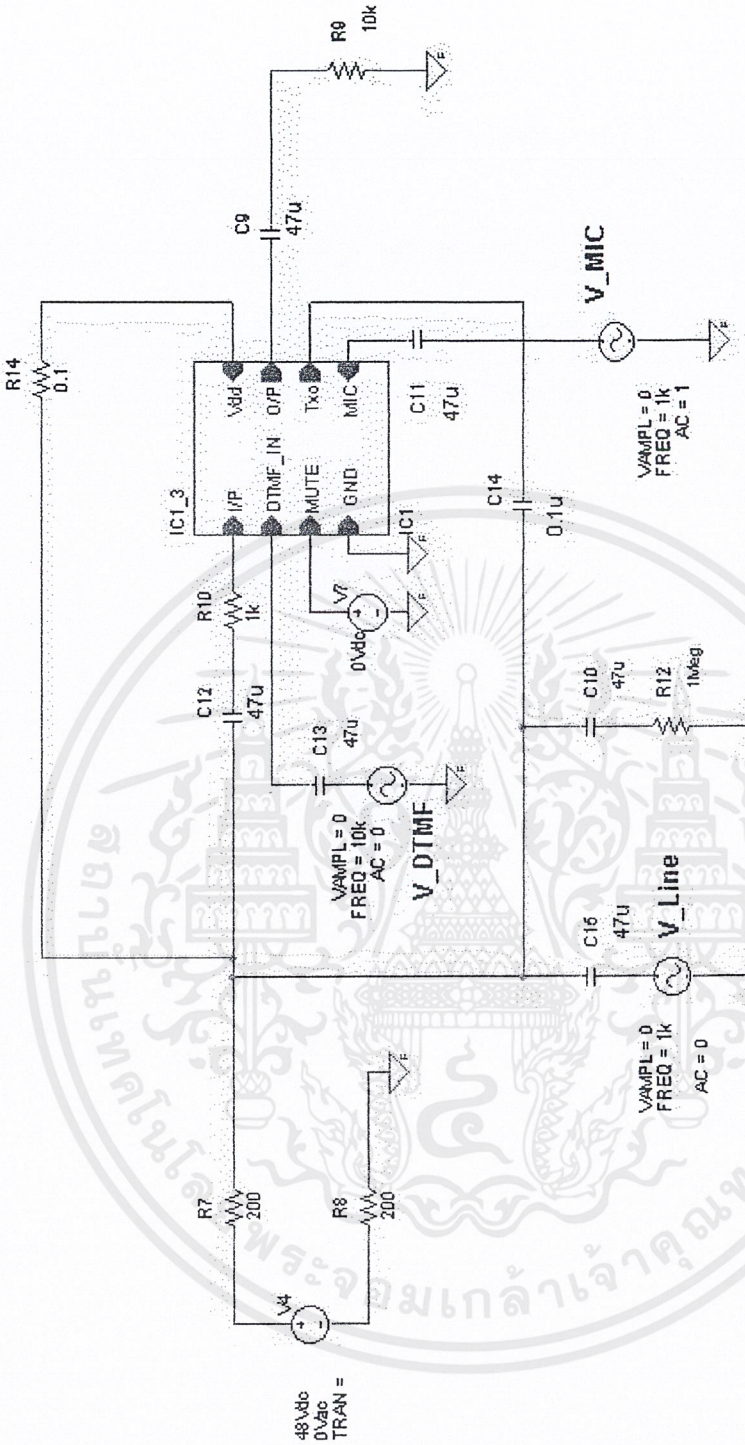
1.การทดสอบส่วน Transmitter โดยการส่งสัญญาณจาก microphone ในเครื่องโทรศัพท์ไปยังสายโทรศัพท์โดยใช้แหล่งจ่ายสัญญาณแทนจากสัญญาณจาก microphone

2.การทดสอบส่วน Receiver โดยการส่งสัญญาณจากสายโทรศัพท์เข้ามายังส่วน Receiver

3.การทดสอบ Side Tone โดยส่งสัญญาณจาก microphone แล้ววัดสัญญาณ side tone ที่ส่วน Receiver รับได้จาก วงจร side tone amp

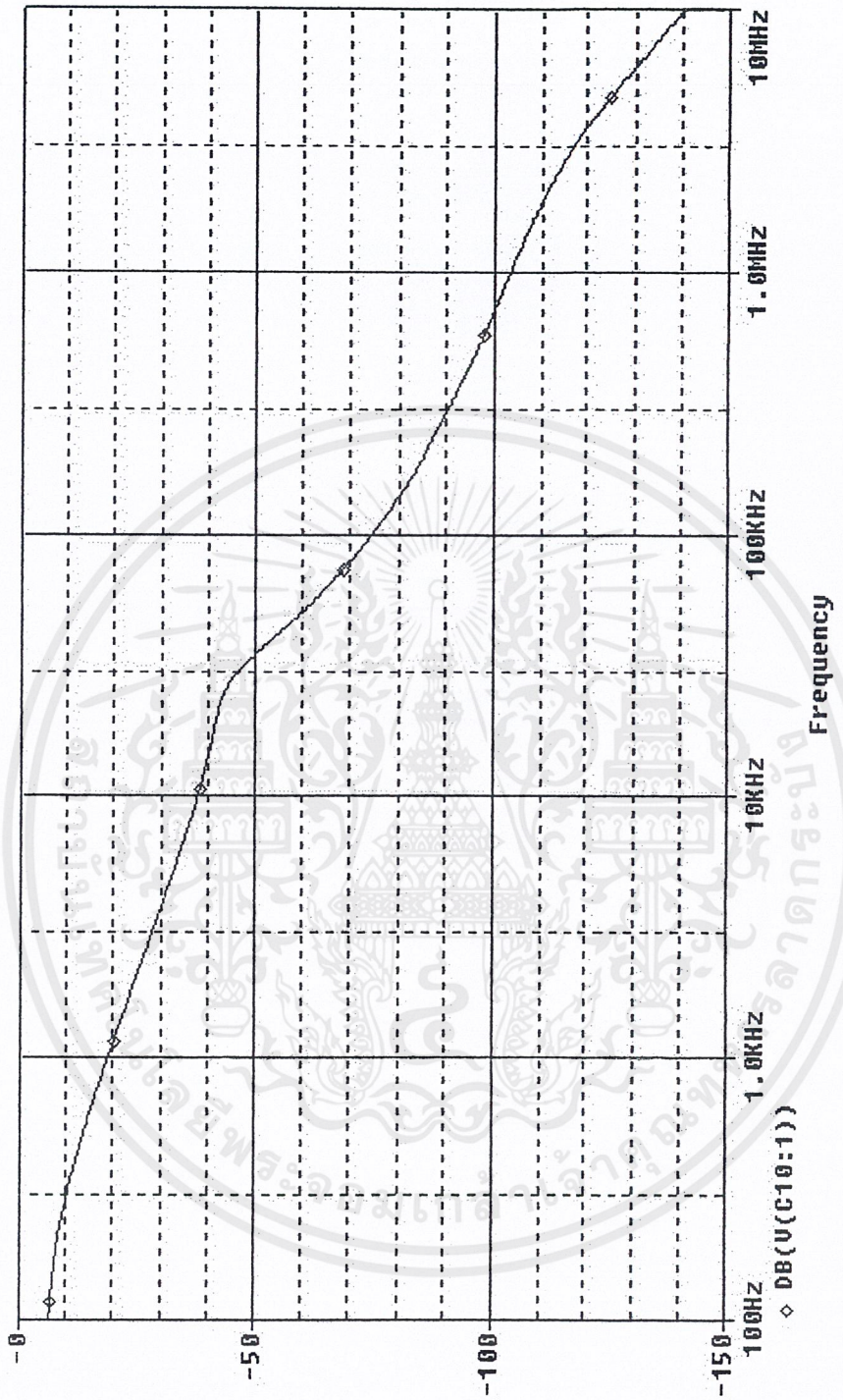
ในการทดสอบทั้งลักษณะ จะวัดในรูปของการตอบสนองความถี่และลักษณะของสัญญาณซึ่งวงจรที่ใช้ทดสอบจะต่อวงจรดังรูปที่ 5-32

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



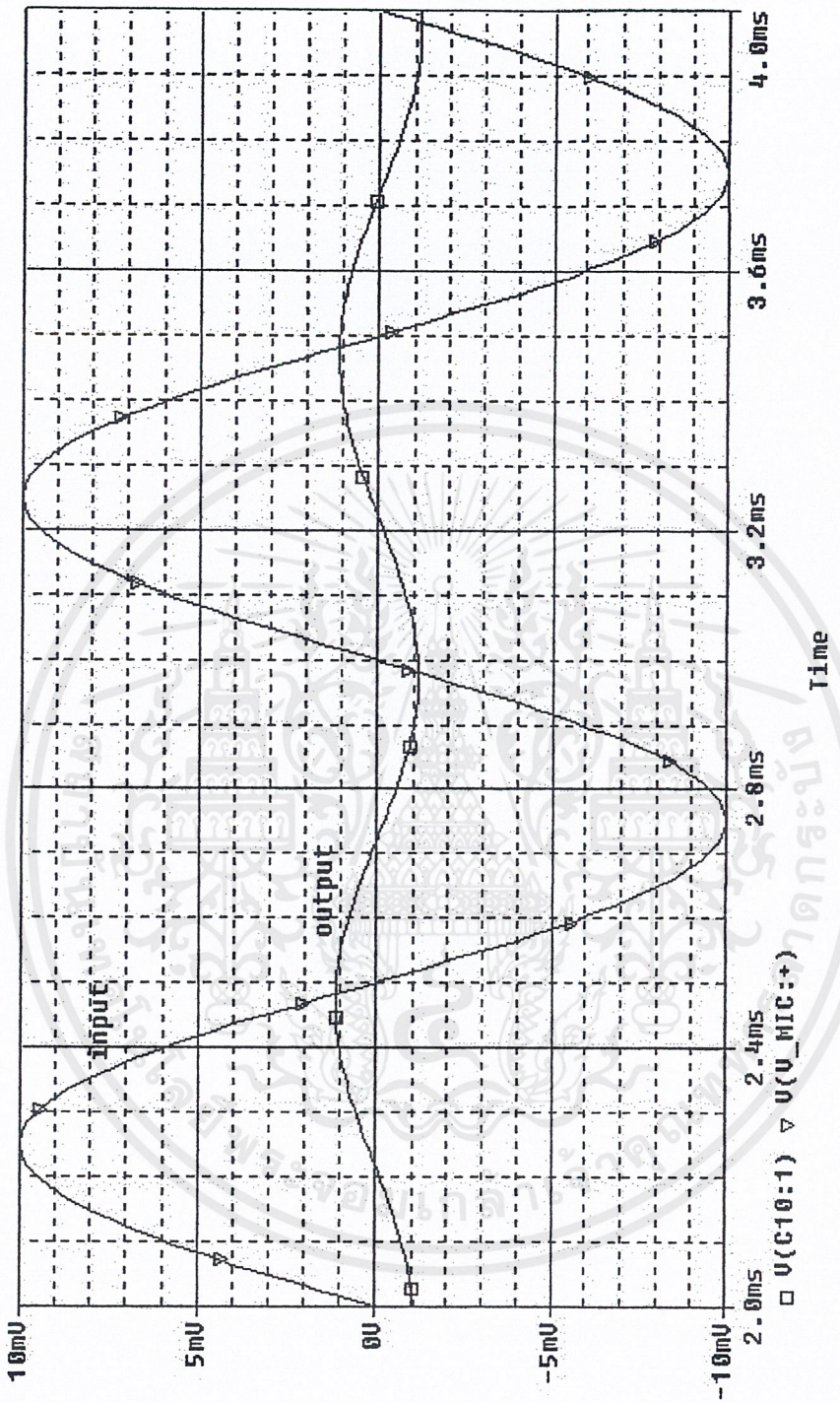
รูปที่5-32 แสดงวงจรการทดสอบวงจรรวมที่ได้ออกแบบทั้งหมด

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



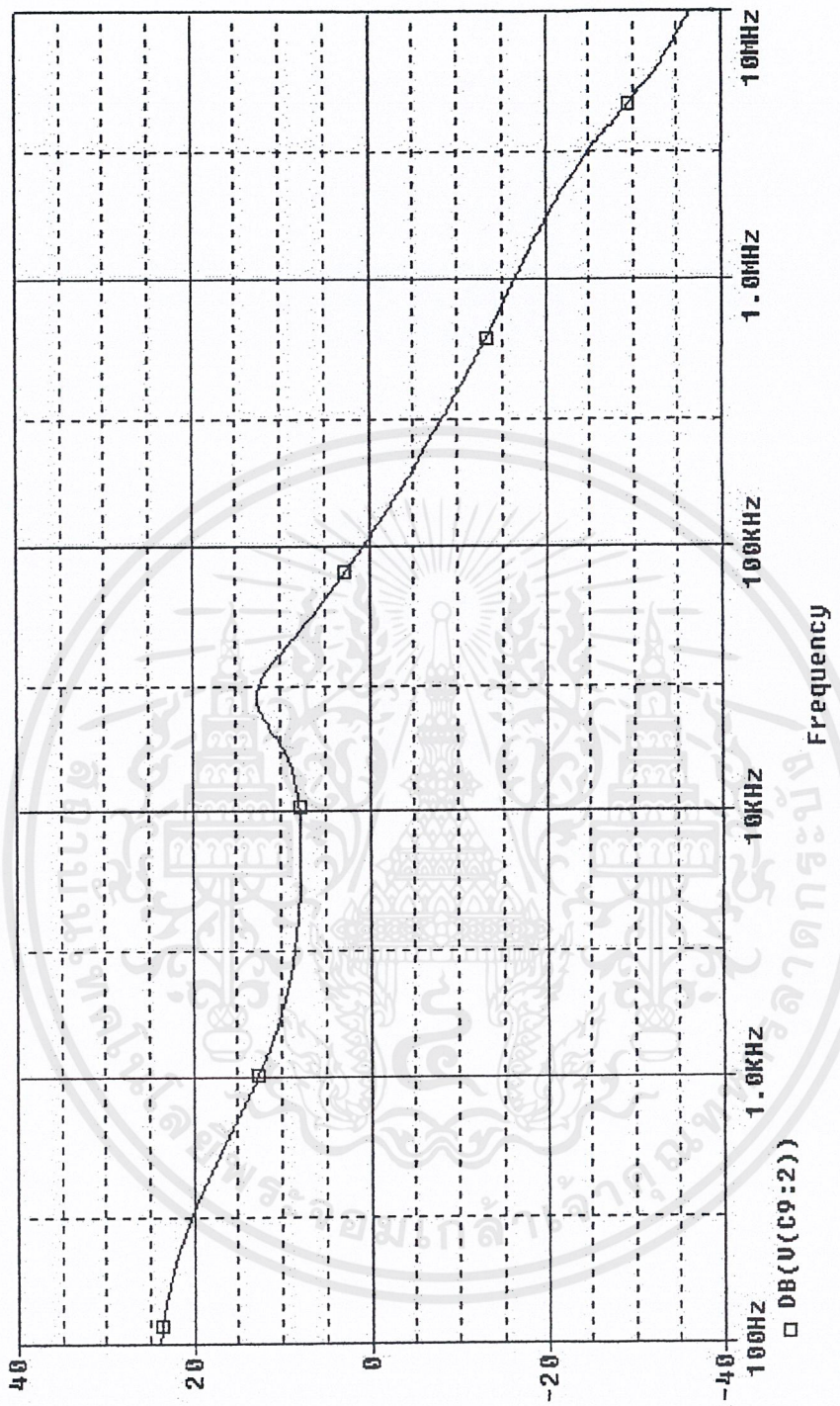
รูปที่5-33 ผล Simulation การตอบสนองความถี่ของสัญญาณจากส่วน microphone ไปยังสายโทรศัพท์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



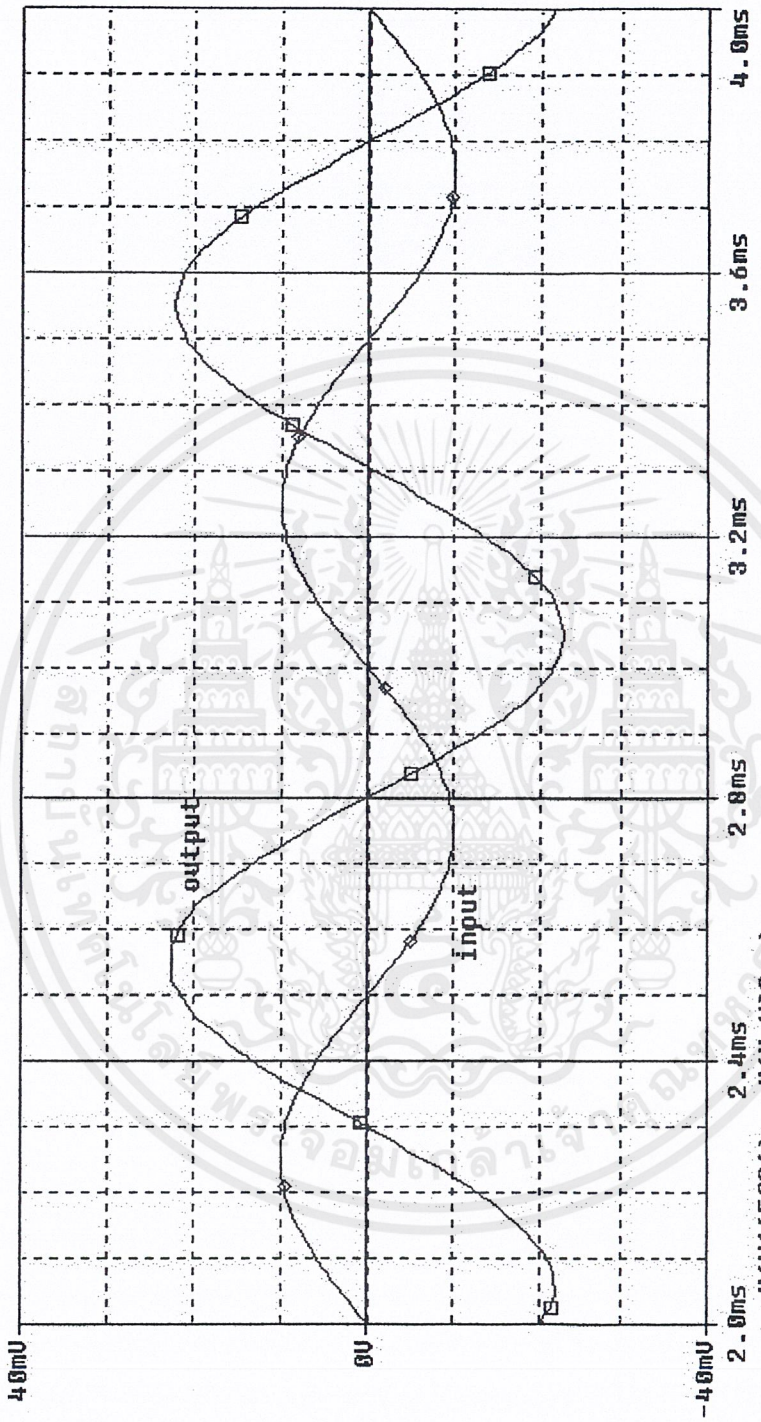
รูปที่5-34 ลักษณะของสัญญาณปรากฏที่สายโทรศัพท์ (สัญญาณที่ป้อนจาก Microphone)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



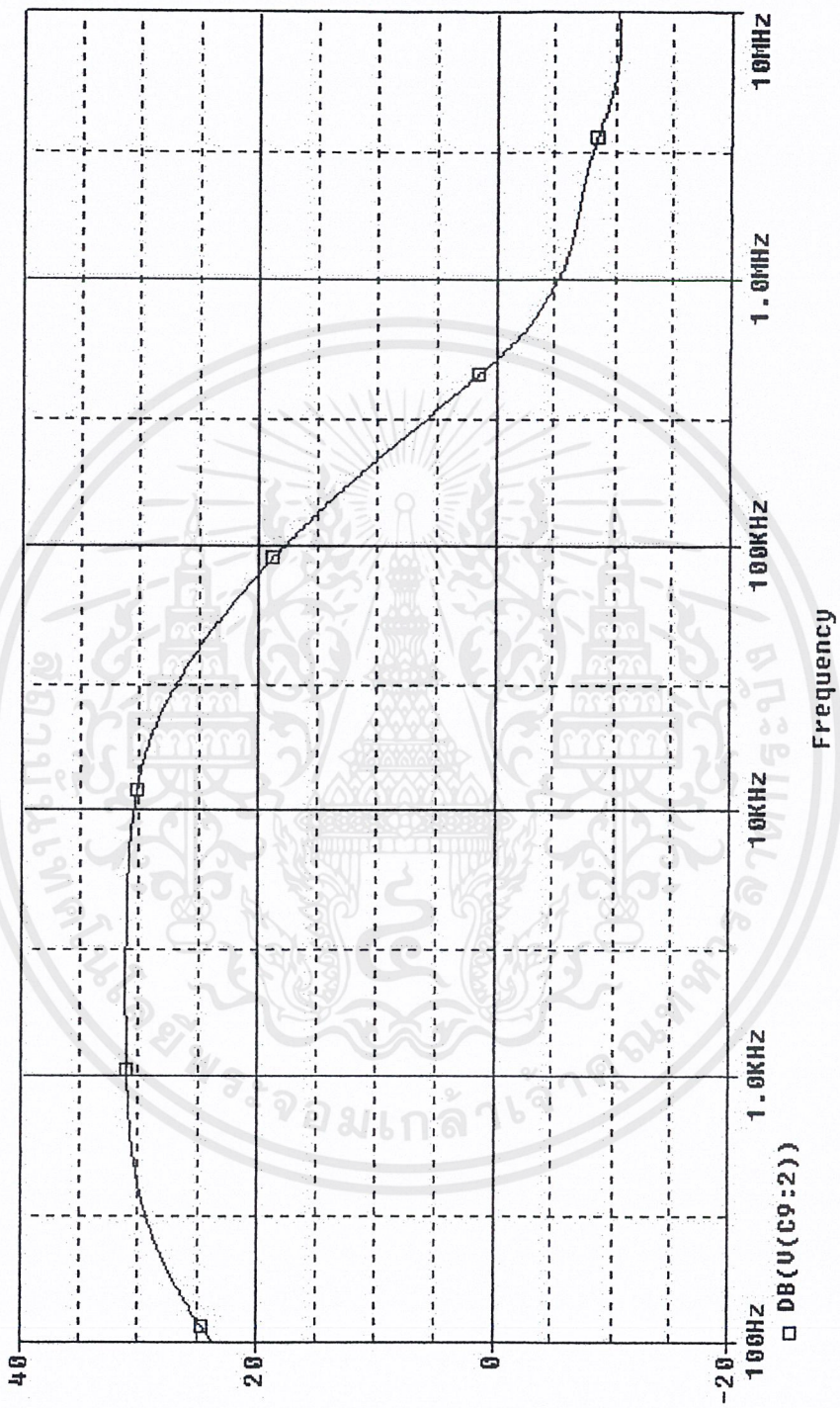
รูปที่ 5-35 ผลตอบสนองของสัญญาณ Side Tone

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



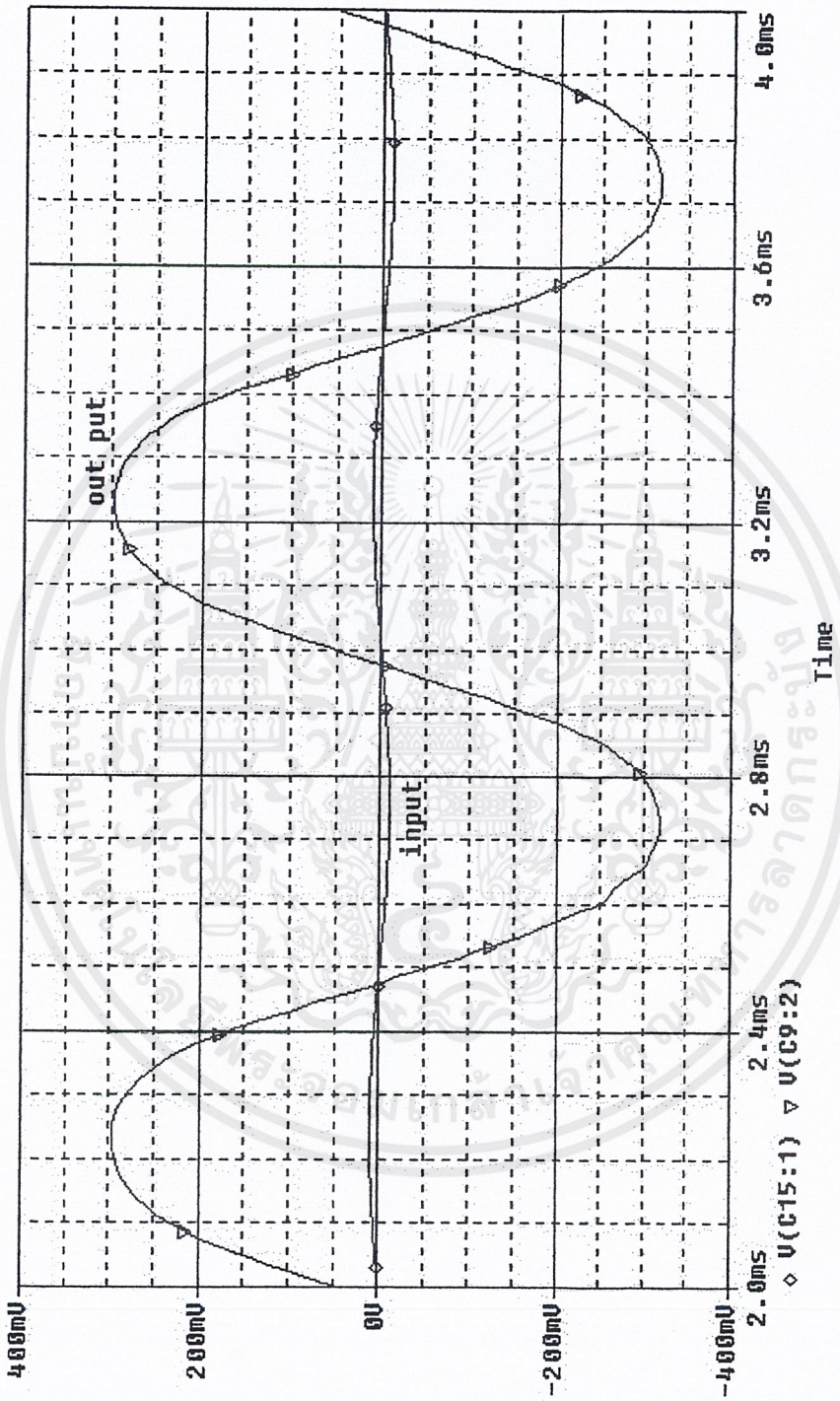
รูปที่ 5-36 ลักษณะสัญญาณ Side Tone

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่5-37 ผลตอบสนองต่อสัญญาณจากสายโทรศัพท์ ที่ Output RL

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 5-38 ลักษณะสัญญาณที่ O/P โดยป้อนสัญญาณจากสายโทรศัพท์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Comment:

จากการนำวงจรทดสอบวงจรรวมดังรูปที่ 5-32 มาใช้ทดสอบจำลองการทำงานของวงจรภายในจะได้ข้อสรุปจากรูปที่ 5-33 ถึงรูปที่ 5-38 ซึ่งเป็นผลการ Simulate จากวงจร Schematic ของแต่ละภาคเทียบกับการใช้งานจริงที่คาดไว้จะได้ว่า

1.สัญญาณจากสายโทรศัพท์ไปสู่เอาท์พุท (line_ to _ out_ signal) ของ Schematic เกิดการขยายในระดับเกณฑ์ที่ใช้งานได้สามารถนำไปต่อภาคขยายของหูฟังโทรศัพท์ได้ แต่มีการผิดเพี้ยนของรูปคลื่นเพียงเล็กน้อยคือ Volt peak to peak เกือบจะ Symmetry กัน อาจเป็นผลมาจากส่วน Buffer ภาคสุดท้ายที่ออกแบบไว้มีข้อผิดพลาด

2.สัญญาณ Side Tone หรือสัญญาณจาก microphone ไปสู่หูฟังผลจากการ Simulate จะพบว่าสัญญาณมีเกณฑ์การขยายใช้ได้ไม่เกิดการเพี้ยนของสัญญาณแต่มีการเลื่อน Phase เพียงเล็กน้อย สัญญาณที่ได้จัดว่าอยู่ในเกณฑ์ที่น่าพอใจ

3.สัญญาณจาก microphone ไปยังสายโทรศัพท์ (mic_to_line_signal) จากรูปจะเห็นได้ว่าสัญญาณอยู่ในเกณฑ์ที่ดี แต่เหตุที่เป็นดังรูปกราฟน่าจะเกิดจากการ Matching ทาง Impedance ของตัว Op amp กับสาย ยังไม่เหมาะสมกัน(Match)กันเพราะค่าอาจจะยังไม่ถูกต้องเสียทีเดียว และตัวของ Op amp เองใช้ไฟเลี้ยงจากสายโทรศัพท์ทำให้การทำงานมีผลต่อสัญญาณที่ Op amp แต่อย่างไรก็ตามถึงแม้ว่าระดับสัญญาณจะมีขนาดน้อยกว่าสัญญาณ microphone แต่สัญญาณระดับนี้ก็สามารถที่จะส่งผ่านสายโทรศัพท์ไปได้

4.จากหมายเหตุข้อ 1ถึง 3 ข้างต้นเป็นการวัดสัญญาณทาง Time Domain แต่จากข้อต่อไปนี้เป็นการวัดสัญญาณทางความถี่ Frequency Domain จากการวัดสัญญาณตามข้อที่ 1 ในรูปของการแสดงผลทางความถี่จะเห็นว่าเกณฑ์การขยายอยู่ในช่วงระดับเสียงที่ใช้งานได้และมีการ cut off นอกช่วงของความถี่เสียงที่ใช้งานในสัญญาณเสียงภายในโทรศัพท์

5.จากหมายเหตุข้อ2 เราวัดสัญญาณทางความถี่จะได้ว่า มีอัตราการขยายสัญญาณจริงที่ได้ น้อยกว่าน้อยกว่าสัญญาณจากสายโทรศัพท์ออกสู่เอาท์พุท แต่ก็ยังอยู่ในช่วงสัญญาณที่ใช้งานได้และเกิดการ cut off ที่ความถี่สูง

6.จากหมายเหตุข้อ 3 เราวัดสัญญาณทางความถี่จะได้ว่า เกิดการลดทอนของสัญญาณขึ้นเล็กน้อยแต่อยู่ในเกณฑ์ที่สามารถใช้งานได้ สาเหตุที่เกิดการลดทอนและรูปสัญญาณผิดเพี้ยน อาจกล่าวได้ว่า เกิดการไม่ Matching ทาง Impedance ระหว่าง Opamp กับสายโทรศัพท์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จะเห็นว่าการ Simulate โดยการวิเคราะห์จากสัญญาณค่าต่างๆที่แต่ละจุดที่เรากำหนดได้กราฟตามรูปที่แสดงไว้ซึ่งแสดงให้เห็นถึงค่าที่เป็นไปได้สามารถใช้งานได้จริงและค่าที่เกิด Error และแสดงให้เห็นสาเหตุของข้อผิดพลาดดังกล่าวได้

จากหมายเหตุทั้ง 6 ข้อจึงแสดงให้เราเห็นได้ว่าวงจรที่เรานำมาทำการสร้างทั้งหมดสามารถที่จะใช้งานได้จริง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

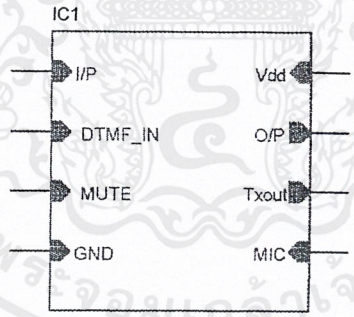
ขั้นตอนการออกแบบ Layout IC

จากที่ได้ออกแบบวงจรไว้และนำไปทดสอบ Simulate การทำงานของวงจรด้วยโปรแกรม spice ขั้นตอนต่อไปก็คือ การนำวงจรที่ได้มาทำการ Layout ของตัวอุปกรณ์ต่างๆ ของวงจร เพื่อเป็นต้นแบบในการผลิต silicon chip IC

โดยการ Layout จะใช้โปรแกรม L-edit ซึ่งเป็นโปรแกรมวาด layout โดยตรง แล้ว file layout ที่ได้สามารถนำไปเปรียบเทียบ กับวงจรที่ได้ออกแบบจาก spice

ขั้นตอนแรกในการ Layout คือ พิจารณาวงจรที่ได้ออกแบบ ซึ่ง port สัญญาณของวงจรจะเป็นตัวกำหนด จำนวนขาของ IC ซึ่งในที่นี้จะได้วงจรมีจำนวน 8 port สัญญาณเข้าตัว IC มีดังนี้

1. I/P port สัญญาณเข้าจากสายโทรศัพท์
2. V_{dd} port แรงดัน DC จ่ายให้กับวงจร (จากสายโทรศัพท์)
3. Gnd port อ้างอิงค่าแรงดัน (จากสายโทรศัพท์)
4. O/P port ทางออกของสัญญาณจากสายโทรศัพท์
5. Txo port ทางออกของสัญญาณที่ส่งไปยังสายโทรศัพท์
6. Mic port ทางออกของสัญญาณจาก microphone
7. DTMF IN port ทางเข้าของสัญญาณจาก DTMF
8. Mute port ควบคุมการปิด/เปิดสัญญาณDTMF



รูปที่5-39 ลักษณะ Port ของวงจรรวมที่ออกแบบ

พิจารณาวงจรโดยแบ่งส่วนต่างๆ ออกเป็น Cell ซึ่งพบว่า Cell แบ่งจากส่วนของวงจรที่มีลักษณะเดียวกัน และจากการพิจารณาสามารถแบ่งวงจรออกได้เป็น Cell ดังนี้

1.opHc Cell เป็น cellในส่วนวงจร op amp ที่ให้ out put current ค่ามาก และ MOS มีขนาดใหญ่

2.opLc Cell เป็น cell ในส่วนวงจร op amp ที่ให้ low out put current

3.V_{reg} เป็น cell ของวงจรรักษาระดับของแรงดันไฟกระแสตรงจากสายโทรศัพท์ไปจ่ายให้วงจร cell อื่น

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4. V_{divi} เป็น cell ที่สร้างแรงดันอ้างอิงให้กับวงจร op amp ในการขยายสัญญาณ

5.NMOS sw เป็น cell ส่วนที่ควบคุมการปิด/เปิด สัญญาณจาก DTMF

6. Resistor Cell เป็น cellของตัวความต้านทานเนื่องจากเป็นส่วนที่ต่อกับ cell อื่นๆ ฉะนั้น หากพิจารณาแยกออกมาเป็น cell เดียวจะช่วยให้สะดวกในขั้นตอนของการ layout ซึ่งจะมีดังนี้ R1K Cell, R4K Cell, R10K Cell, R20K Cell

เมื่อได้พิจารณาแบ่งวงจรออกเป็น Cell ย่อยๆแล้ว ขั้นตอนต่อไปคือการทำ Layout ในแต่ละ Cell โดยใช้โปรแกรม L-edit โดยจะเริ่มต้นจากการ layout V_{reg} cell ก่อน เนื่องจากพิจารณาแล้วว่า cell นี้ จะมีพื้นที่มากกว่า cell อื่นๆ (พิจารณาจากค่าของ w และ ค่าของ L ของ mos) โดยการ Layout จะต้องทราบสัญลักษณ์ที่ใช้แทน layer ต่างๆ ในโปรแกรม L-edit ก่อน ซึ่ง layer ต่างๆมีดังรูปในภาคผนวก

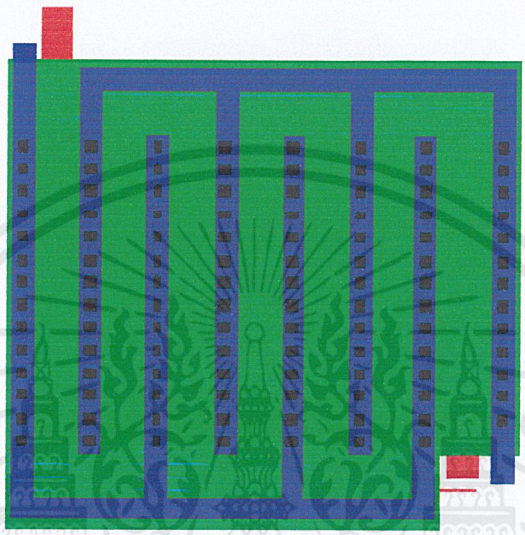
ซึ่งรูปที่แสดงในภาคผนวกนี้เป็น layer ของ Mosis/orbit 2.0 μm N-well และในการ layout จะต้องคำนึงถึง Design Rule ซึ่งเป็นข้อกำหนดของลักษณะการ layout เช่น ขนาดของความกว้างต่ำสุดของ layer, ระยะห่างต่ำสุดระหว่าง layer เป็นต้น

ในการ layout MOS นั้น พิจารณาจากขนาดของ W ,L และจากชนิดของ MOS จะประกอบด้วย layer ดังนี้ (ด้วย Mosis N-well)

NMOS	PMOS
Poly	Poly
Active	Active
N-Select	P-Select
Metal	Metal
	N-well

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จะพบว่าส่วนของ Poly คือส่วนที่เป็น Gate ของ MOS ส่วน Active จะเป็นส่วนของ source และ drain ส่วน N-Select และ P-Select จะเป็นตัวกำหนดส่วนของ Active ว่าจะเป็น NMOS หรือ PMOS ใน cell ที่จะ lay out ถ้าหากค่า w มีค่ามากในการ Lay out MOS สามารถทำได้ โดย w ไม่จำเป็นต้องเป็นเส้นตรง ซึ่งแสดงได้ดังรูป

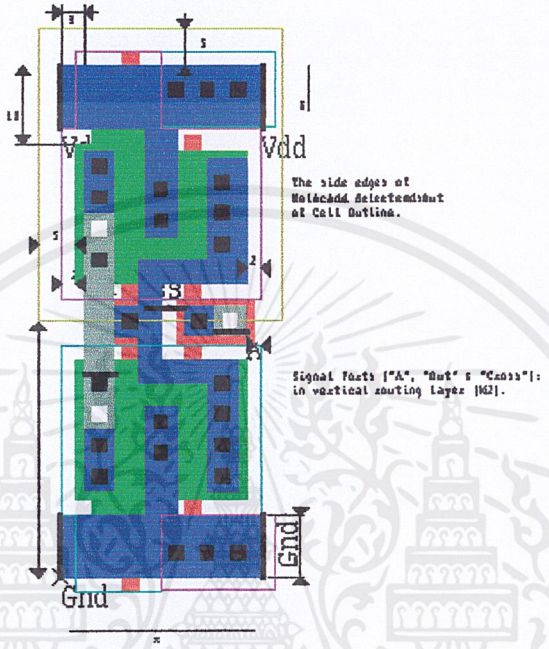


รูปที่ 5- 40 แสดงการ Layout MOS ที่มีขนาด w มาก

หลังจากการ Layout แล้วโปรแกรม L-edit มี Function ของ DRC (Design Rule Check) ซึ่งจะตรวจสอบ layout ที่ ออกแบบตาม Design Rule หากพบข้อผิดพลาดจะรายงานให้ทราบได้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การ Layout cell เริ่มต้นจากการ layout อุปกรณ์แต่ละตัวในวงจรแล้วนำมาเชื่อมต่อกันเป็นวงจรรวมกันในพื้นที่ cell เดียวกัน ซึ่งในการ layout cell ลักษณะของ cell ที่เป็นมาตรฐานแสดงดังรูป

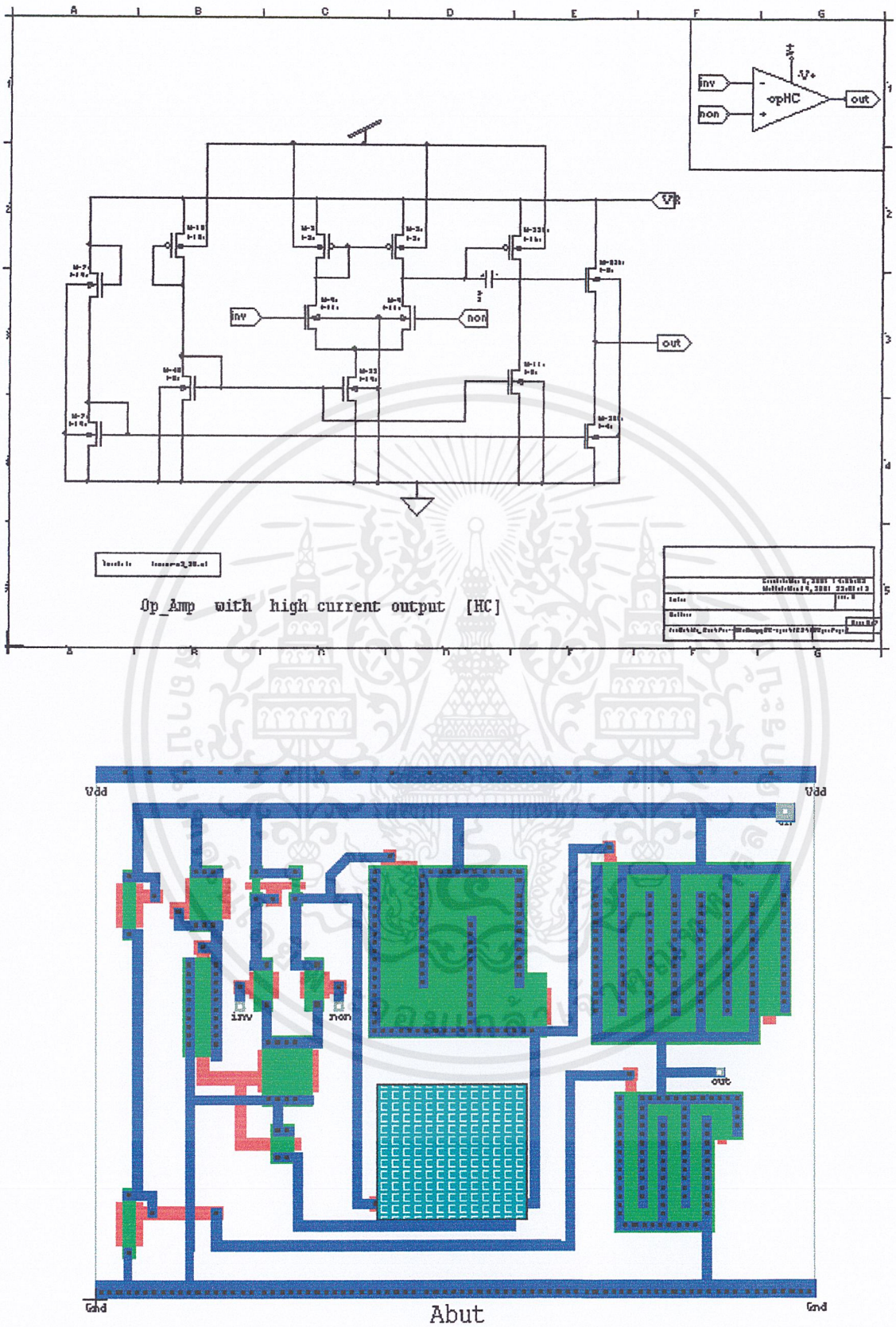


รูปที่ 5-41 แสดงลักษณะข้อกำหนดการ Layout ของ Standard Cell

พิจารณาได้ว่า cell มาตรฐานนั้นจะมีส่วนที่เป็น Port ไฟเลี้ยงวงจร (V_{dd}, Gnd) อยู่กับตัว cell ในส่วนบนและล่างและ port สัญญาณต่างๆจะอยู่ภายใน cell และจะใช้ layer metal2 เป็น port สัญญาณ และ cell ทุก cell จะต้องมีความกว้างเท่ากัน เพื่อนำ cell มาเชื่อมต่อกันได้

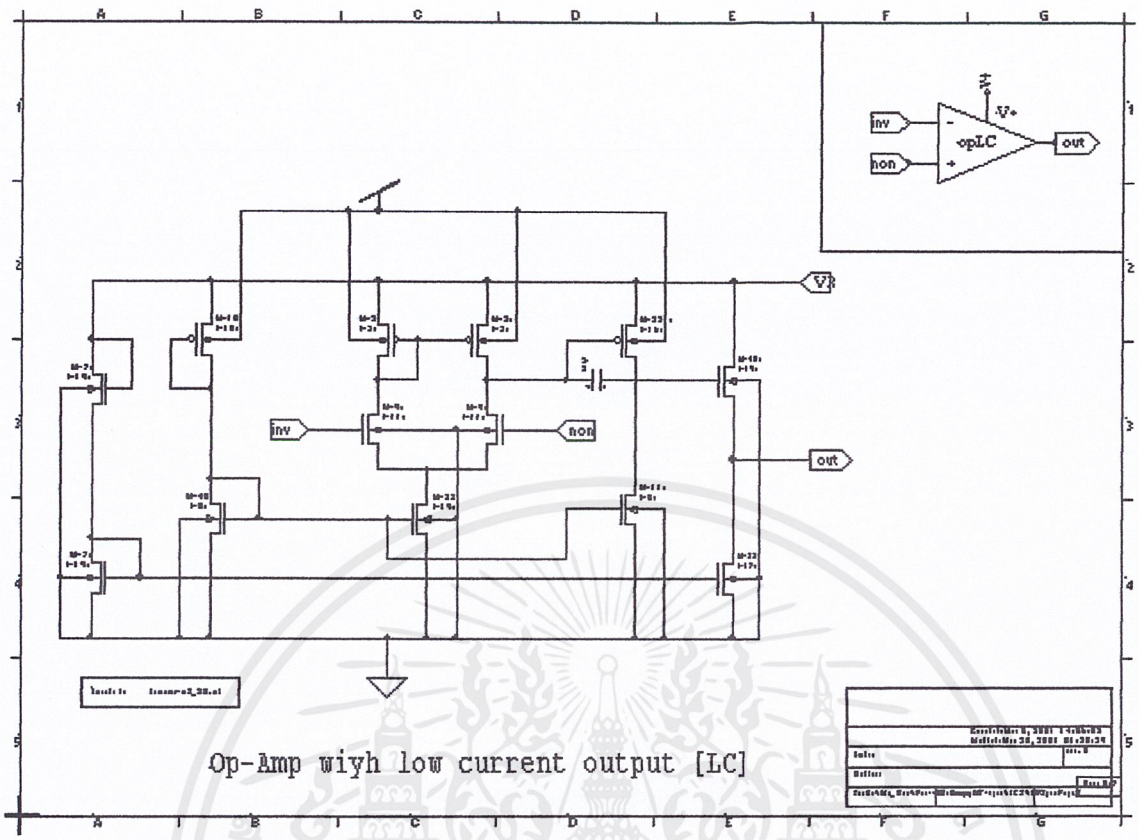
ในการเชื่อมต่อวงจรภายใน Cell สามารถใช้ metal1 layer และ poly layer เชื่อมอุปกรณ์ได้หลังจากการทำ Layout cell แล้วใช้ Function DRCตรวจสอบ layout ผ่านแล้วจะได้ layout cell ต่างๆ ดังนี้

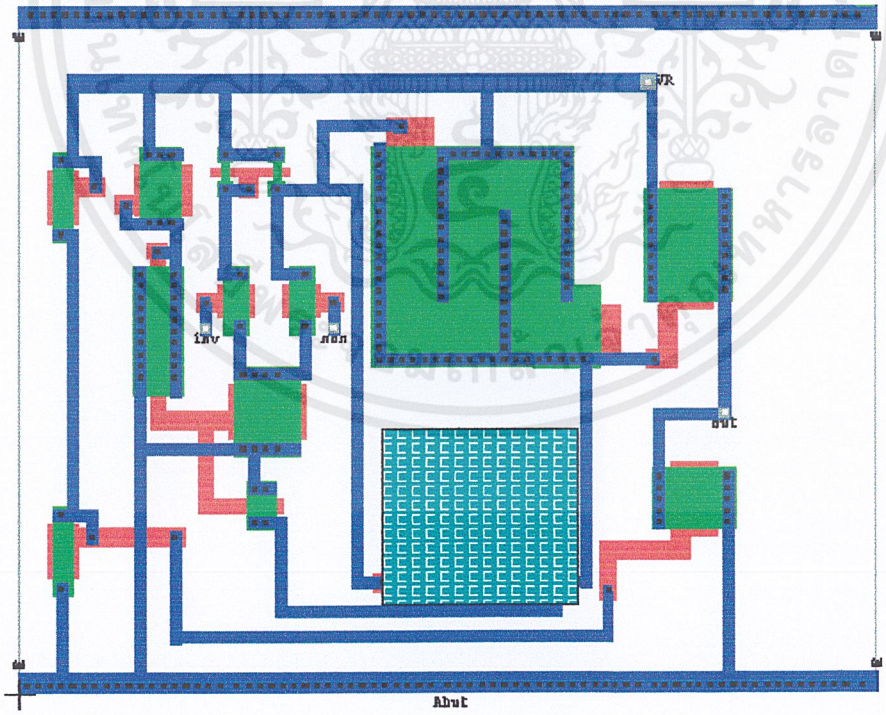
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 5-42 แสดง Layout ของวงจร Op-Amp (opHC_Cell)

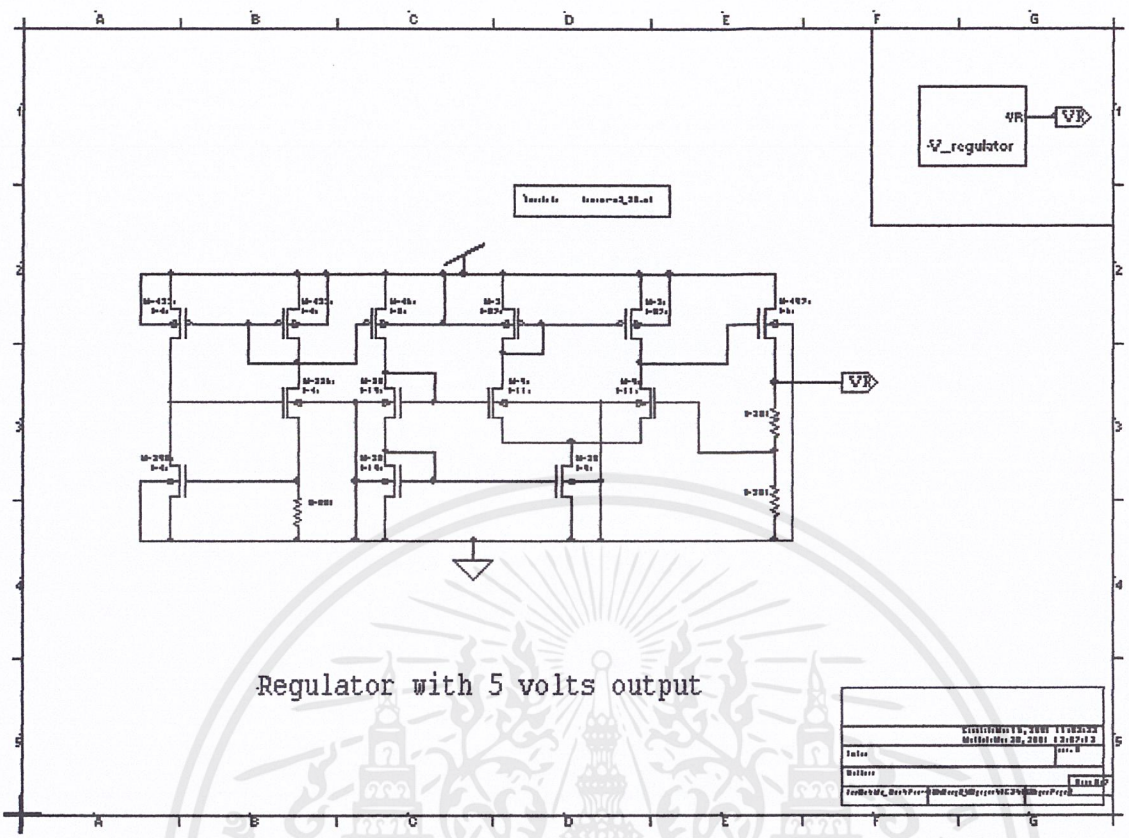
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

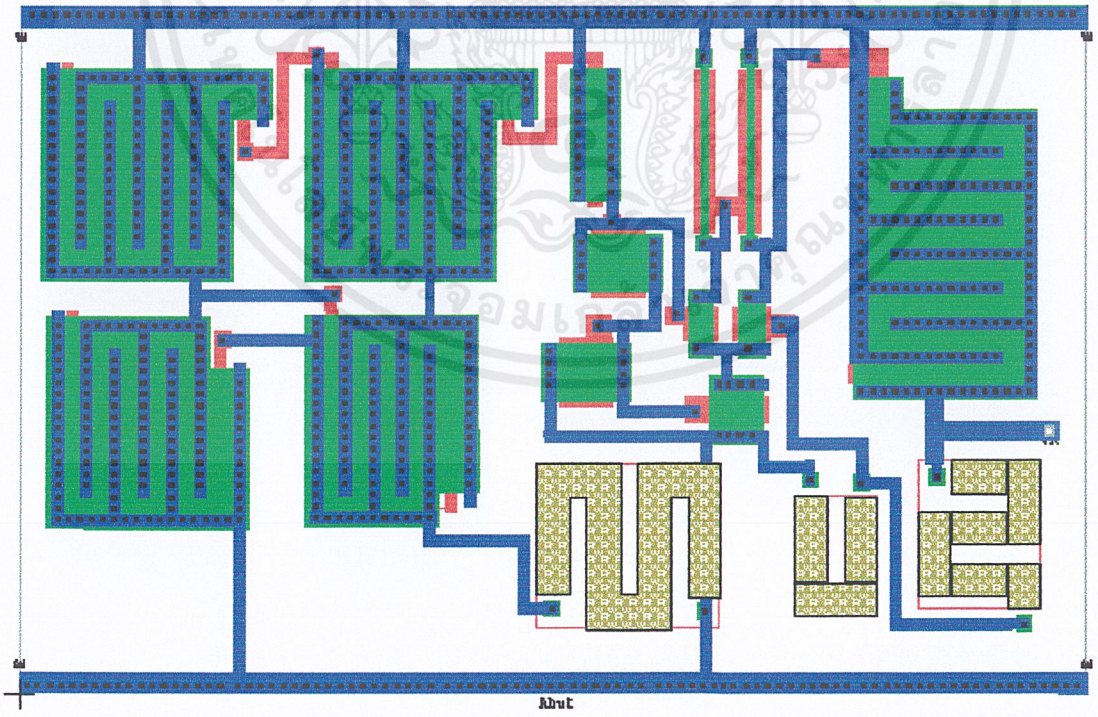




รูปที่ 5-43 แสดง Layout ของวงจร Op-Amp (opLC_Cell)

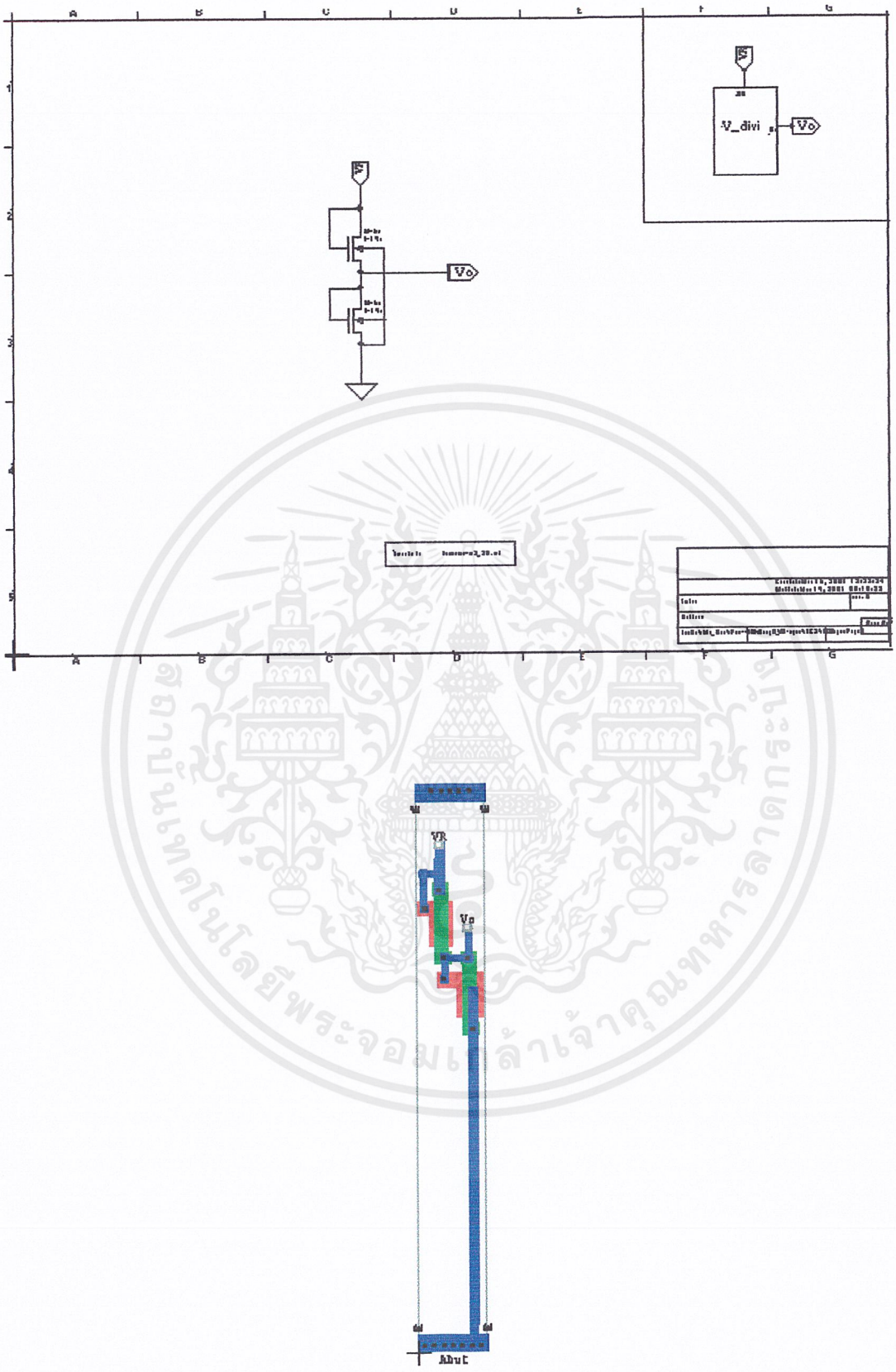
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้





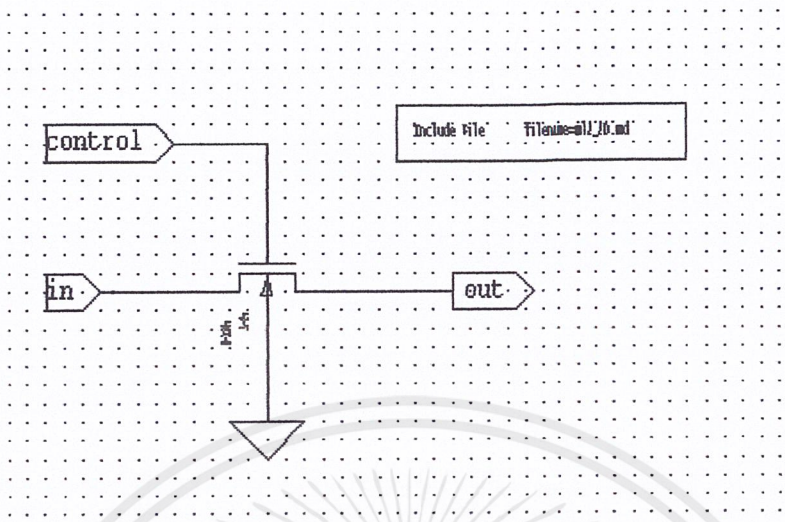
รูปที่ 5-44 แสดง Layout ของวงจร Regulator (V_reg Cell)

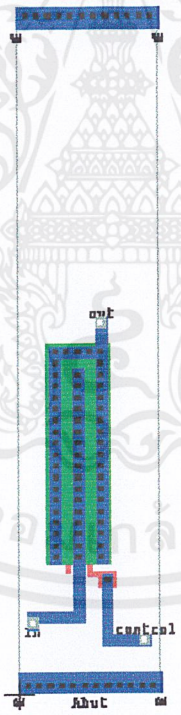
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 5-45 แสดง Layout ของวงจร Voltage divider (V_divi Cell)

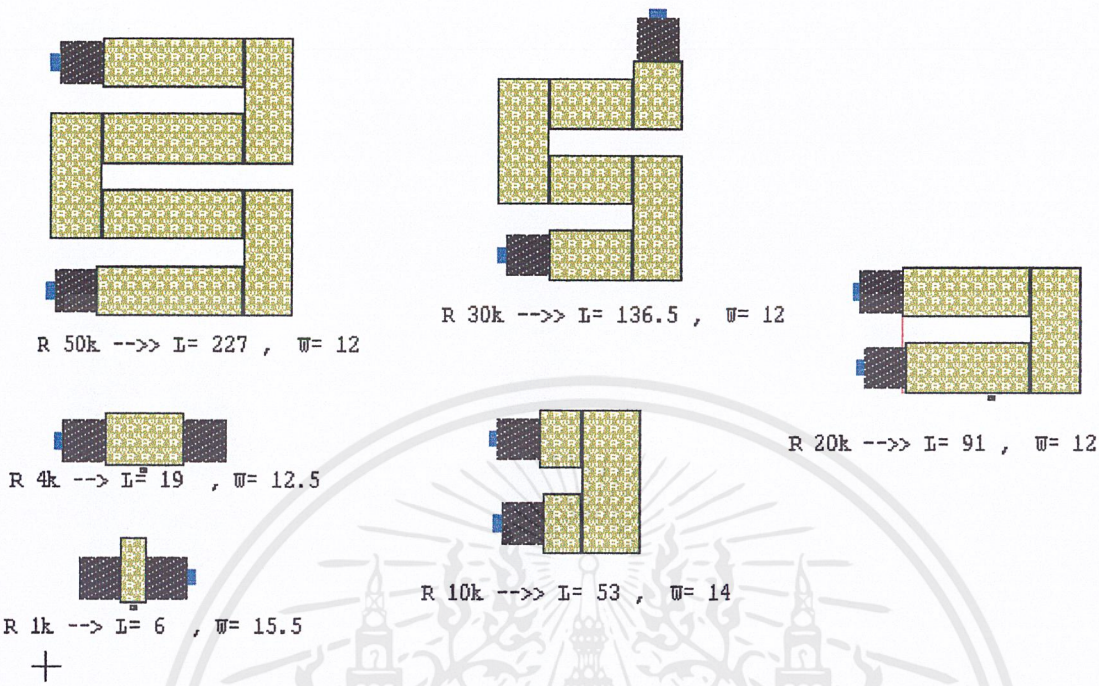
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้





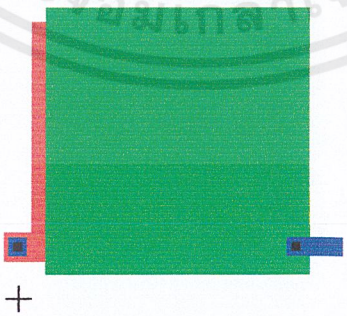
รูปที่ 5-46 แสดง Layout ของวงจร NMOS switch (NMOSsw Cell)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 5-47 แสดงการ Layout ตัวความต้านทานที่ใช้ในวงจร

เนื่องจากค่าความต้านทานที่ใช้ในวงจรมีค่าค่อนข้าวสูง จึงเลือกใช้ตัวความต้านทานที่สร้างจาก N-Well เพราะความต้านทานของ N-Well ใน MOSIS 2um มีค่ามากที่สุดจึงทำให้การ Layout ตัวความต้านใช้ พื้นที่น้อยที่สุด



รูปที่ 5-48 แสดงการ Layout ตัวเก็บประจุที่ใช้ในวงจรมีค่าเดียว = 2.2 pF

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

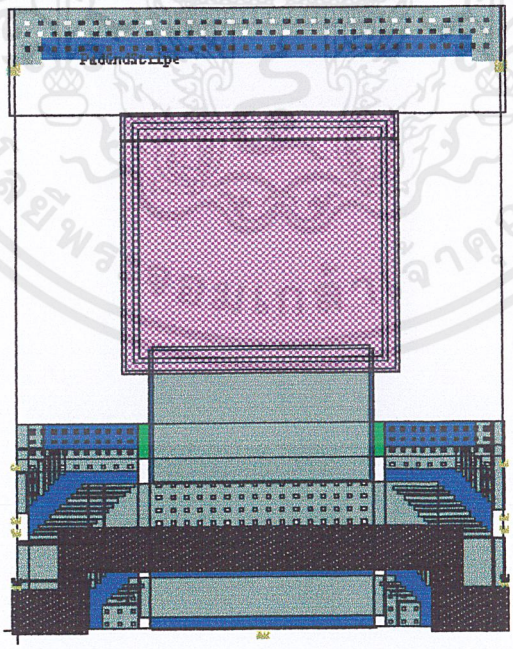
เช่นเดียวกับการ สร้างตัวความต้านทานค่าความจุที่มีค่ามากที่สุด คือ ตัวเก็บประจุแบบ C_PMOS ลักษณะการ layout ต่างๆ พิจารณาได้จากภาคผนวกท้ายเล่ม ในการตรวจสอบว่า cell ที่ layout แล้วนั้น จะได้วงจรที่เหมือน6 กับวงจรที่ได้ออกแบบจาก spice หรือไม่นั้นสามารถทำได้ โดยใช้โปรแกรม LVS (Layout VS Schematic) ตรวจสอบ

ซึ่งจะให้ผลขั้นสุดท้ายว่า วงจรที่นำมาเปรียบเทียบกันนั้นเท่ากันหรือไม่ ถ้าหากพบว่าไม่เท่ากัน จะรายงานส่วนที่ไม่เท่ากันให้ทราบตามมา โปรแกรม L-edit จะให้ Net list จากการExtraction layout โดยสามารถกำหนด model MOS ให้กับ Net list ลงไปด้วยได้ (ใช้ model = ml 2-20.md)

Standard Cell Place and Route

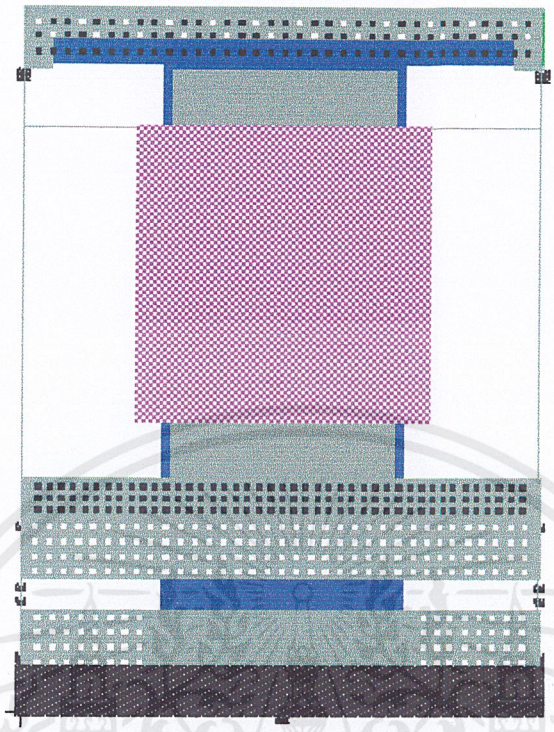
จาก cell layout ที่ทำการออกแบบ และนำไปเปรียบเทียบ LVS แล้วขั้นตอนต่อไปคือนำ cell มาเชื่อมต่อ และประกอบกันขึ้นเป็นตัว chip IC จากโปรแกรม L-eit มี function การ place และ Route ของ cell ให้เป็น chip ได้ โดยต้องกำหนดค่า parameter ต่างๆ ในการ place และ Route ให้กับโปรแกรม

ในการ place และการ Route cell นั้นจาก cell ที่ ได้ layout ไว้แล้วนั้นยังไม่พอที่จะ Place และ Route cell นั้นจาก cell ที่ได้ layout ไว้แล้วนั้น ยังไม่พอที่จะplace และ Route cell ได้ จะต้องสร้าง cell ในส่วนที่เป็น PAD ซึ่งคือ Port ของ chip ที่จะเป็นจุดเชื่อมต่อจาก chip IC ไปยังขาภายนอก ICนั้นเอง และจาก Standard cell PAD ของ Mosis 2.0 μm จะได้ Padcell ดังนี้

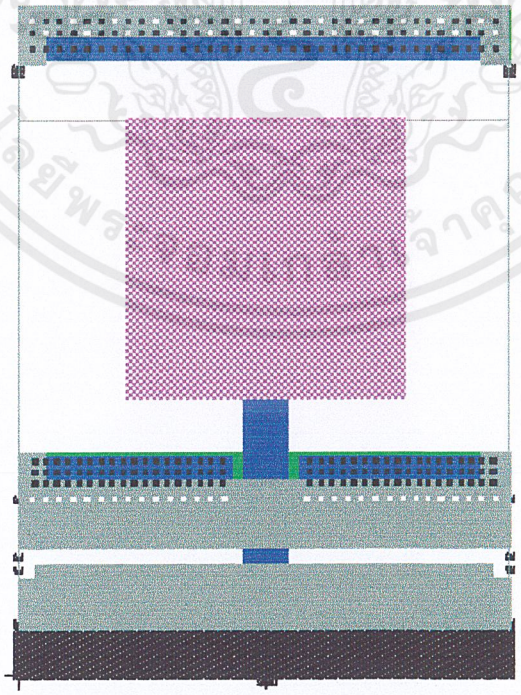


รูปที่ 5-49 Layout ของ PAD_ Vdd Cell

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

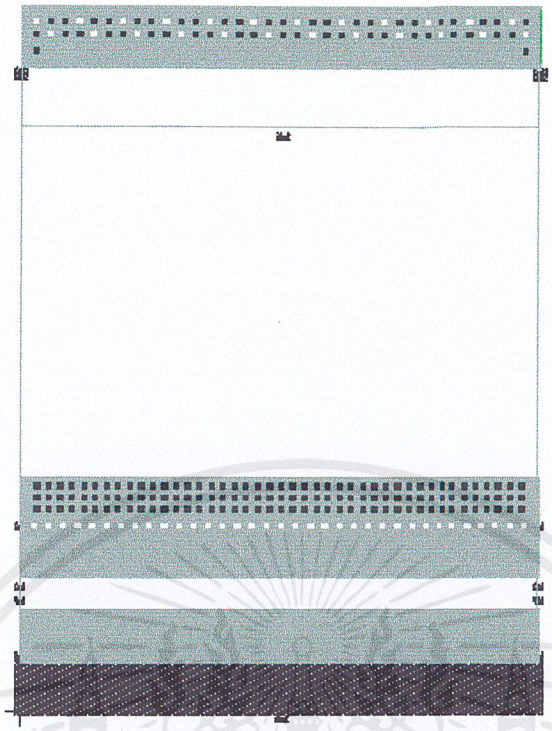


รูปที่ 5-50 Layout ของ PAD_ Gnd Cell

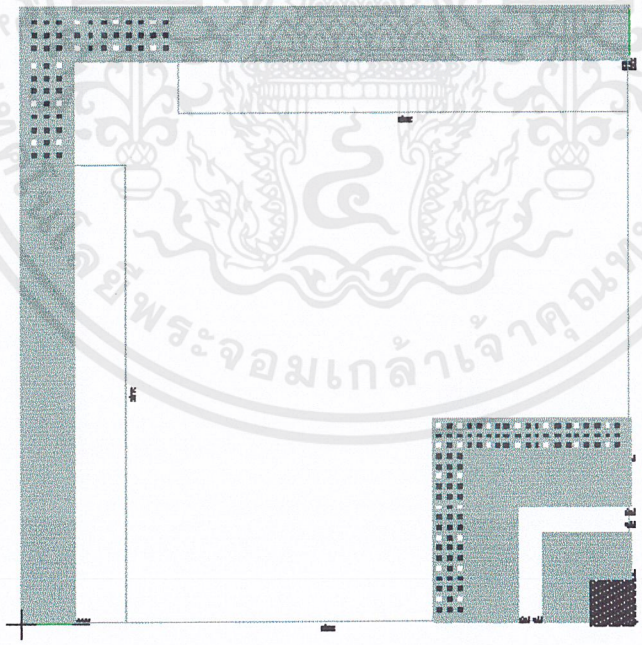


รูปที่ 5-51 Layout ของ PAD_ I/O Cell

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



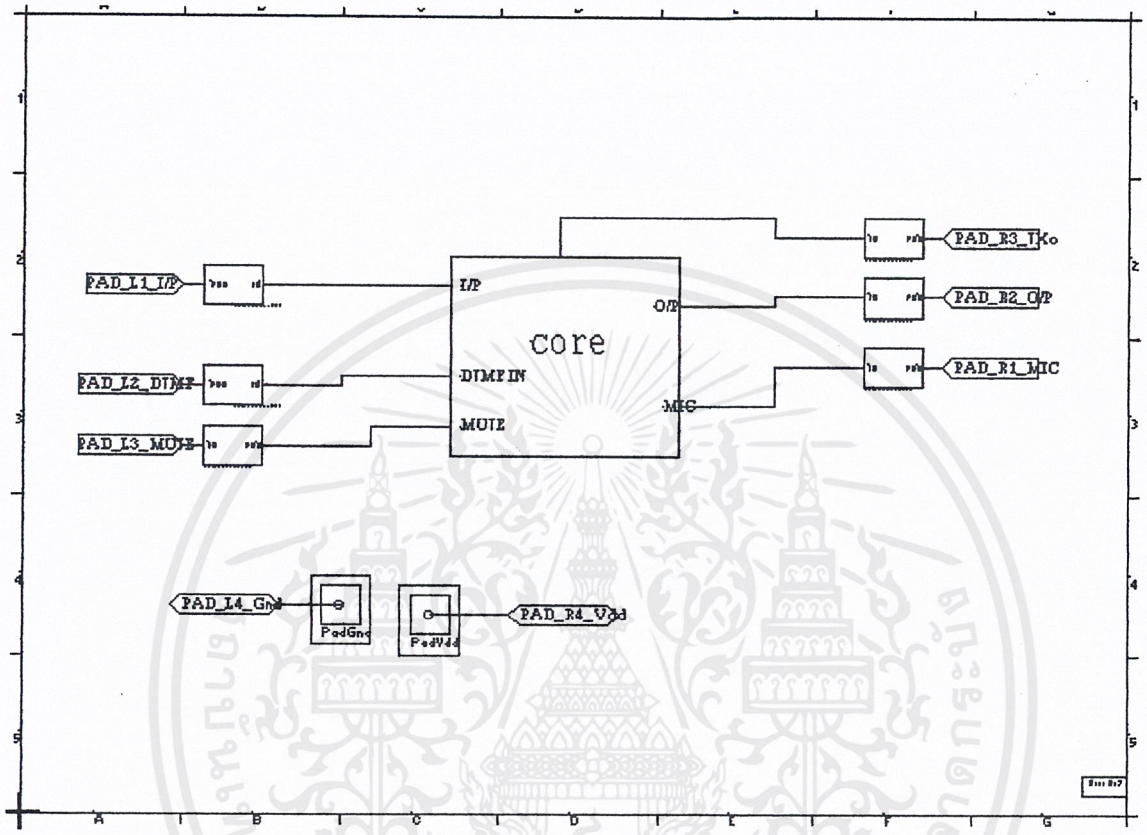
รูปที่ 5-52 Layout ของ PAD_ LessSpacer Cell



รูปที่ 5-53 Layout ของ PAD_ LessConner Cell

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ในการ Place และ Route cell ทั้งหมดรวมกันเป็น chip นั้นจำเป็นที่จะต้องกำหนด Net list ของ cell กับ PAD ก่อนโดยใช้ spice สร้าง Net list โดยจะต้องมีชื่อของ cell และ port ตรงกับ layout ที่ได้ ออกแบบไว้ ซึ่งจาก spice จะได้วงจรของ chip ดังรูป



รูปที่ 5-54 วงจร กำหนด Net list ของ Cell กับ PAD

หลังจากที่ได้ Net list ของ PAD แล้ว ก็สามารถทำการ place และ Route cell ได้ โดยการกำหนดลักษณะตำแหน่งของ PAD และลักษณะของ chip ว่าจะเป็นตามแนวใด ข้อกำหนดที่สำคัญคือ PAD GND กับ $PADV_{dd}$ จะต้องอยู่ด้านตรงข้ามกันบนตัว chip จากการ Place และ Route cell จะได้ดังรูป

การ Place และ Route นั้น โปรแกรมจะสร้าง Cell ขึ้นมาเป็นตัว Chip อีกสองส่วนคือ

- Core เป็นส่วนที่ Cell ย่อยของวงจรที่ออกแบบไว้จะถูกนำมาเชื่อมต่อกันภายใน Cell นี้
- Frame เป็นส่วนที่ PAD Cell ต่างๆจะถูกนำมาเรียงต่อกันเป็นลักษณะของกรอบของ Chip

Cell ทั้งสองนี้แสดงดังรูป

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

SPR SUMMARY 'IC1.tdb'

1 Locator Unit (LU) = 1/1 Lambda = 1/1 Micron(s)

Design file: D:\My_Doc\Proj--IC-Design\L-edit\IC2.tdb

Net list file : D:\My_Doc\Proj--IC-Design\T-spice\IC2\IC2.tpr

Library file: D:\My_Doc\Proj--IC-Design\L-edit\IC2.tdb

Placement optimization factor: 1.0

Routing optimization (2 layer): Net length and via reduction

Standard Cell Place and Route done:

- Core cell "Core" generated.

- Pad frame cell "Frame" generated.

- Chip cell "chip2" generated.

Number of standard cells: 23

Number of signals in net list: 21

Core size in LU: 1117.00 x 819.00

Core area (LU^2): 914823.00

Frame size in LU: 1638.126 x 1323.5

Frame area (LU^2): 2168059.761

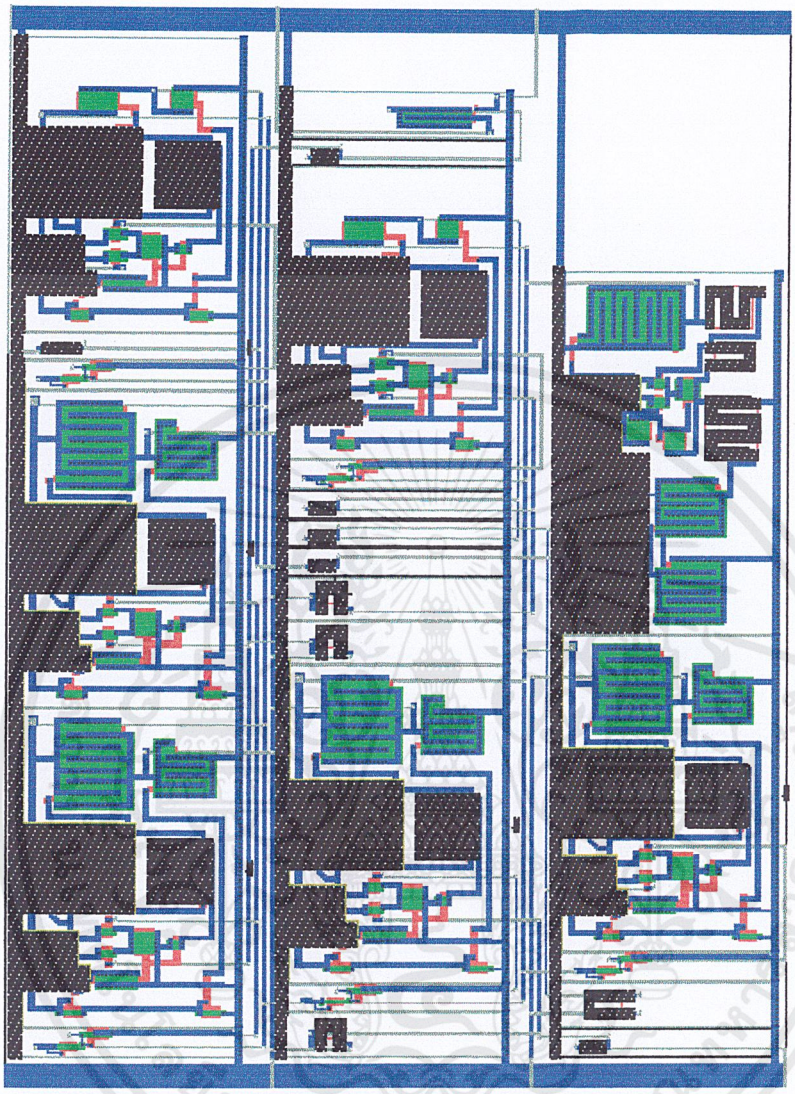
Length of nets in core: 16110.5 LU

Generated vias in core: 46

SPR elapsed time: 0:00:12

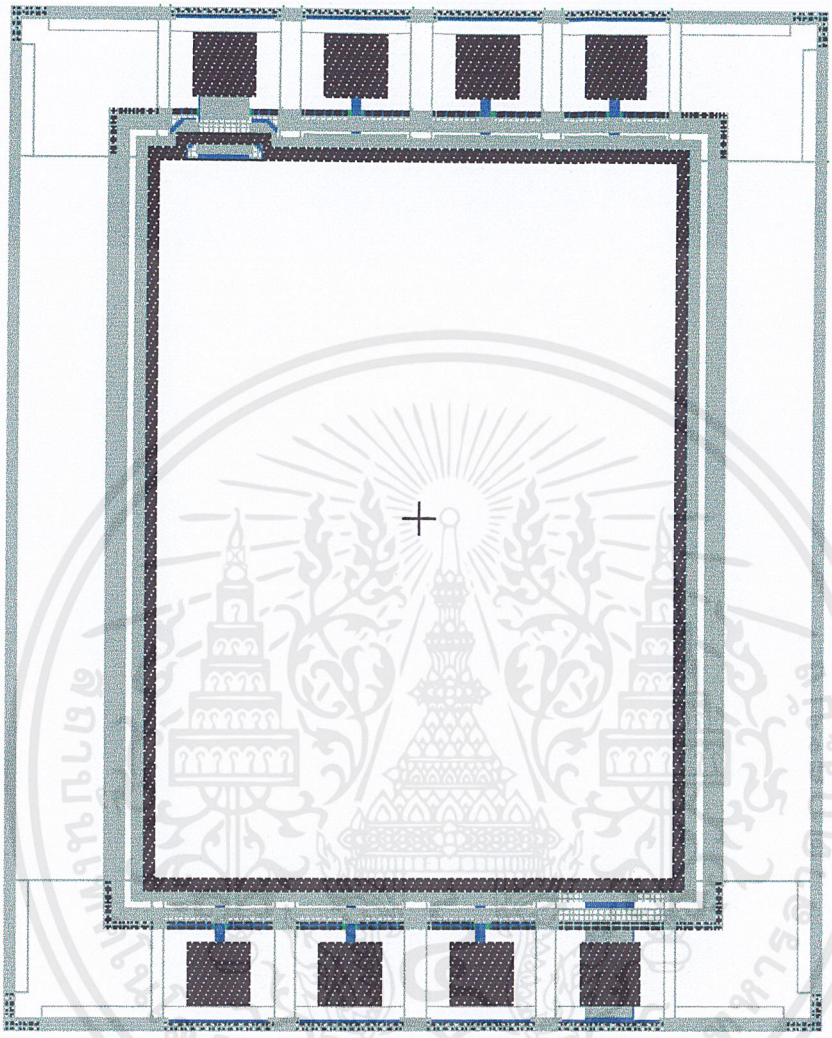
******* สรุปได้ว่า พื้นที่ทั้งหมดของ Chip = 2168059.761 ตารางไมโครเมตร

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



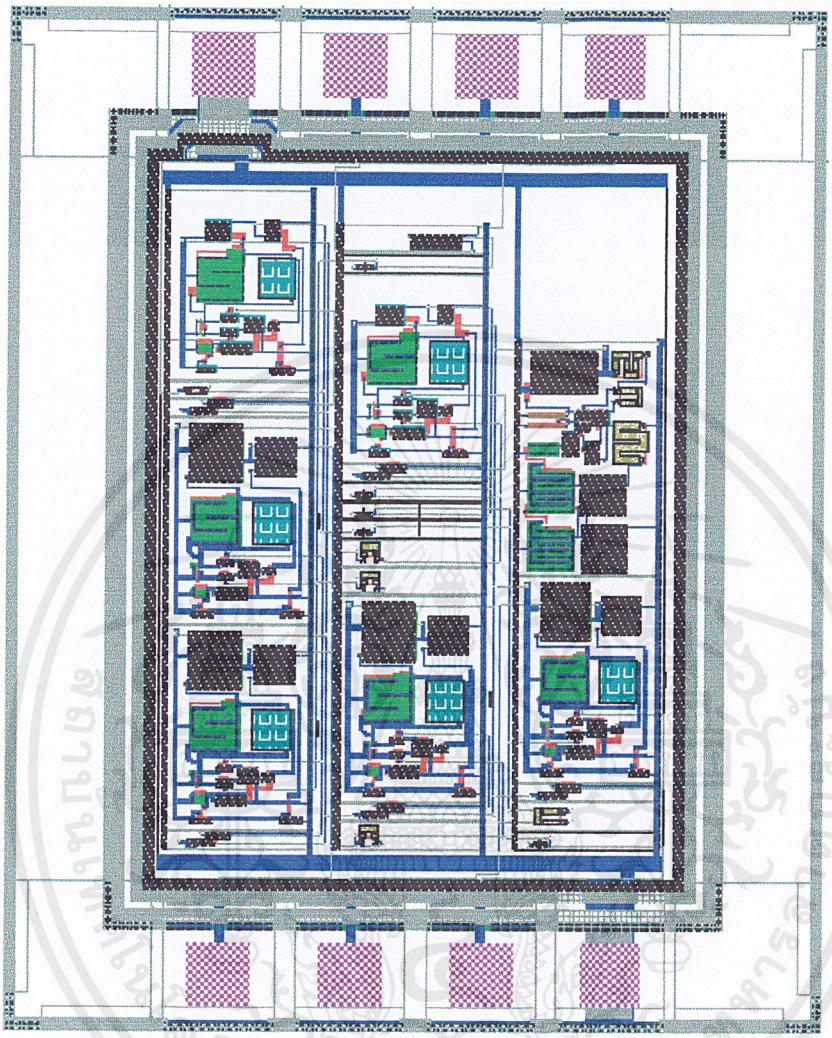
รูปที่ 5-55 ส่วน Core Cell

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



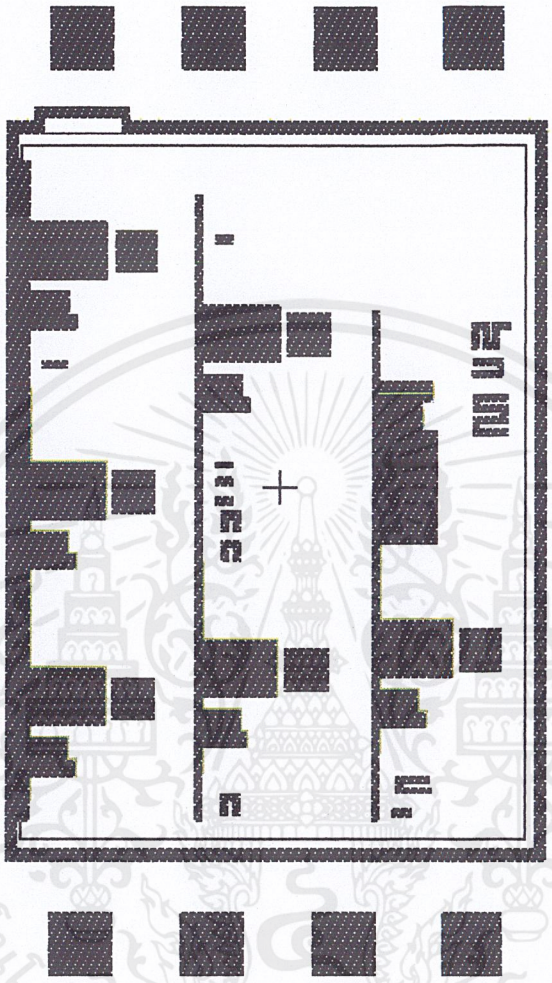
รูปที่ 5-56 ส่วน Frame Cell

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



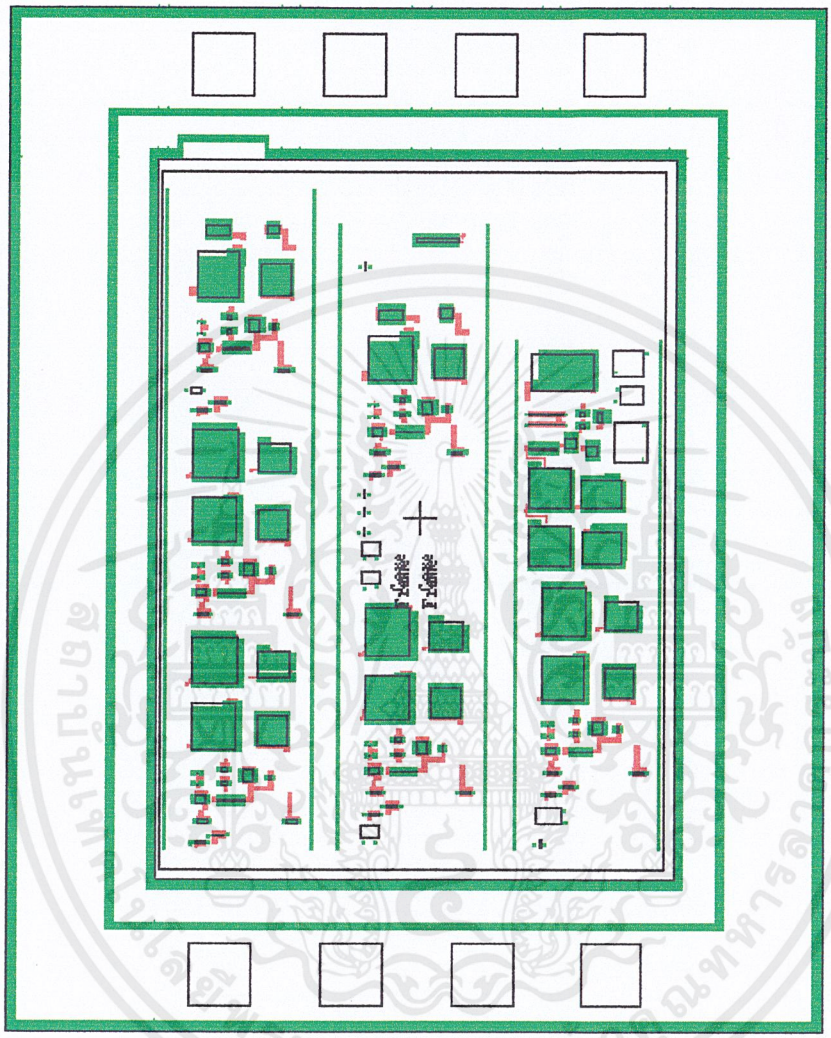
รูปที่ 5-57 วงจร Chip ทั้งหมดหลังจากการ Place and Route

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



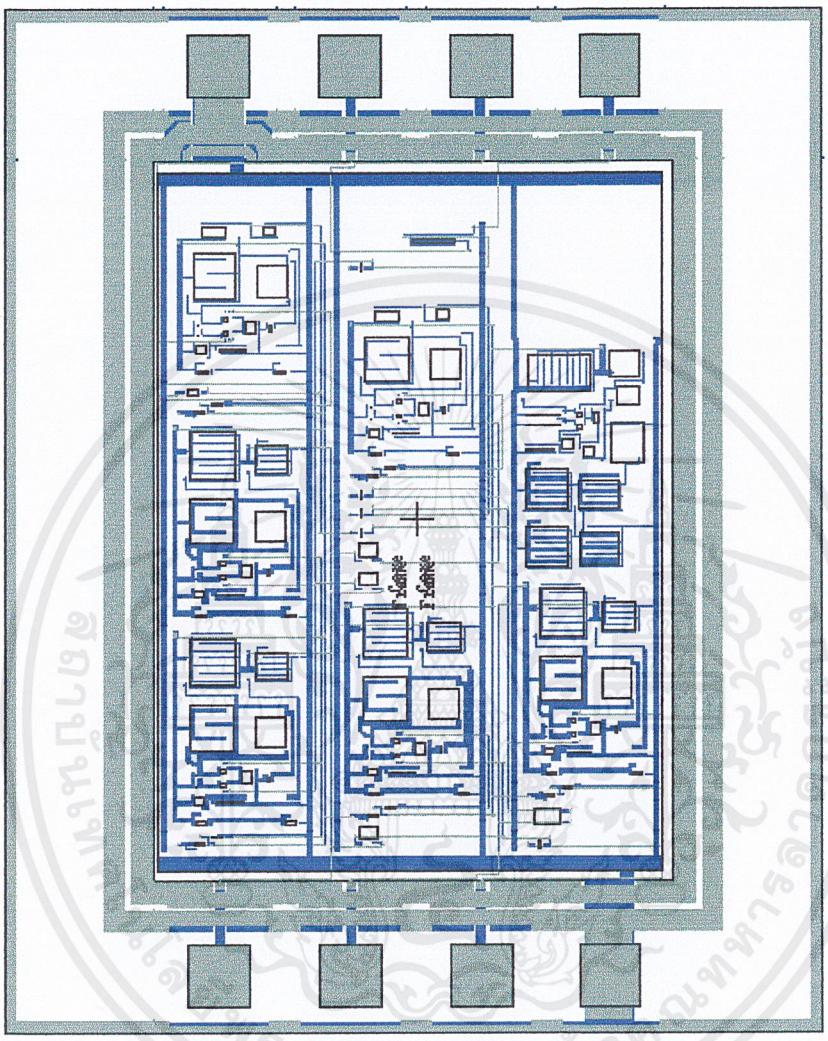
รูปที่ 5-58 วงจร Chip แสดงเฉพาะ ส่วนของ N-well

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 5-59 วงจร Chip แสดงเฉพาะ ส่วนของ Poly และ Active

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 5-60 วงจร Chip แสดงเฉพาะ ส่วนของ Metal1 และ Metal2

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Place และ Route cell จะให้ cell เพิ่มจากเดิม 4 cell

1.Core คือ ส่วนที่ cell เชื่อมต่อกันไม่มีส่วนที่เป็น PAD

2. Frame คือส่วนที่เป็นกรอบกำหนดลักษณะการวางตัวของ PAD จะมี cell PADเรียงตัวกันอยู่

3. Channel คือส่วนที่เป็นสาย Metal การเชื่อมกันระหว่าง cell

4. Chip คือส่วนที่เป็น Cell สมบูรณ์แบบ พร้อมที่จะไปทำการ Fabrication

เมื่อทำการ layout ทั้งหมดเสร็จสิ้นจึงทำการ Extract เพื่อให้ได้ค่า net list

ค่า Net list ที่ได้จากการ Extract จากวงจรที่ทำ Layout

```
* Circuit Extracted by Tanner Research's L-Edit V8.03 / Extract V8.03 ;
* TDB File:  D:\My_Doc\Proj--IC-Design\L-edit\IC2.tdb
* Cell:  chip2      Version 1.1
* Extract Definition File:  C:\Program Files\Tanner EDA\L-Edit Pro v8.03\tech\mosis\morbn20.ext
* Extract Date and Time:  01/20/2001 - 14:47

.include ml2_20.md

* WARNING:  Layers with Unassigned AREA Capacitance.
*   <N Well Resistor>
*   <P Diff Resistor>
*   <N Diff Resistor>
*   <Poly2 Resistor>
*   <Poly Resistor>
*   <P Base Resistor>
* WARNING:  Layers with Unassigned FRINGE Capacitance.
*   <Pad Comment>
*   <N Well Resistor>
*   <P Diff Resistor>
*   <N Diff Resistor>
*   <Poly2 Resistor>
*   <Poly Resistor>
*   <Poly1-Poly2 Capacitor>
*   <P Base Resistor>
* WARNING:  Layers with Zero Resistance.
*   <Pad Comment>
*   <PMOS Capacitor>
*   <NMOS Capacitor>
*   <Poly1-Poly2 Capacitor>


M1 11 10 8 2 PMOS L=3u W=3u AD=40.5p PD=27u AS=6.804n PS=2.556m
M2 10 10 8 2 PMOS L=3u W=3u AD=40.5p PD=27u AS=0 PS=0
R3 14 3 R=4.01736k
M4 27 8 8 1 NMOS L=19u W=6u AD=114.354p PD=62.118u AS=12.532685n PS=4.00359m
M5 4 5 8 1 NMOS L=5.04839u W=527u AD=10.23075n PD=3.183m AS=0 PS=0
M6 15 17 8 2 PMOS L=3u W=3u AD=40.5p PD=27u AS=0 PS=0
M7 17 17 8 2 PMOS L=3u W=3u AD=40.5p PD=27u AS=0 PS=0
M8 18 18 8 2 PMOS L=18u W=15u AD=90p PD=42u AS=0 PS=0
M9 4 6 8 1 NMOS L=5.04839u W=527u AD=0 PD=0 AS=0 PS=0
M10 19 7 8 2 PMOS L=3u W=3u AD=40.5p PD=27u AS=0 PS=0
M11 24 8 8 1 NMOS L=19u W=6u AD=114.354p PD=62.118u AS=0 PS=0
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
M12 7 7 8 2 PMOS L=3u W=3u AD=40.5p PD=27u AS=0 PS=0
M13 25 25 8 2 PMOS L=18u W=15u AD=90p PD=42u AS=0 PS=0
C14 2 1 C=260.1f
M15 14 12 8 1 NMOS L=19u W=40u AD=475p PD=198u AS=0 PS=0
M16 1 13 9 1 NMOS L=19u W=23u AD=11.076302n PD=4.026026m AS=266.5p PS=121u
M17 9 27 11 1 NMOS L=11u W=9u AD=0 PD=0 AS=58.5p PS=31u
M18 9 3 10 1 NMOS L=11u W=9u AD=0 PD=0 AS=58.5p PS=31u
M19 8 11 12 2 PMOS L=16u W=231u AD=0 PD=0 AS=1.878n PS=754u
M20 13 13 1 1 NMOS L=5u W=45u AD=292.5p PD=103u AS=0 PS=0
M21 21 8 8 1 NMOS L=19u W=7u AS=91p PS=54u AD=0 PD=0
M22 1 27 27 1 NMOS L=19u W=6u AD=0 PD=0 AS=0 PS=0
M23 13 13 8 2 PMOS L=18u W=15u AS=90p PS=42u AD=0 PD=0
M24 8 15 5 2 PMOS L=16u W=231u AD=0 PD=0 AS=1.878n PS=754u
M25 1 18 16 1 NMOS L=19u W=23u AD=0 PD=0 AS=266.5p PS=121u
M26 16 24 15 1 NMOS L=11u W=9u AD=0 PD=0 AS=58.5p PS=31u
M27 16 23 17 1 NMOS L=11u W=9u AD=0 PD=0 AS=58.5p PS=31u
M28 1 18 18 1 NMOS L=5u W=45u AS=0 PS=0 AD=292.5p PD=103u
M29 22 8 8 1 NMOS L=19u W=7u AS=91p PS=54u AD=0 PD=0
M30 20 24 19 1 NMOS L=11u W=9u AD=266.5p PD=121u AS=58.5p PS=31u
M31 6 19 8 2 PMOS L=16u W=231u AS=1.878n PS=754u AD=0 PD=0
M32 1 25 20 1 NMOS L=19u W=23u AD=0 PD=0 AS=0 PS=0
M33 25 25 1 1 NMOS L=5u W=45u AD=292.5p PD=103u AS=0 PS=0
M34 20 23 7 1 NMOS L=11u W=9u AD=0 PD=0 AS=58.5p PS=31u
M35 26 8 8 1 NMOS L=19u W=7u AS=91p PS=54u AD=0 PD=0
M36 1 24 24 1 NMOS L=19u W=6u AD=0 PD=0 AS=0 PS=0
C37 4 1 C=260.1f
M38 1 21 14 1 NMOS L=17u W=22u AD=0 PD=0 AS=0 PS=0
C39 11 12 C=2.209168p
M40 12 13 1 1 NMOS L=5u W=11u AD=71.5p PD=35u AS=0 PS=0
M41 1 21 21 1 NMOS L=19u W=7u AD=0 PD=0 AS=0 PS=0
M42 1 22 4 1 NMOS L=6.20711u W=161.75u AD=0 PD=0 AS=0 PS=0 AS=0 PS=0
* WARNING: Found extra pin(s): <layer>:<node>:
*                          ndiff:1
C43 15 5 C=2.209168p
M44 5 18 1 1 NMOS L=5u W=11u AS=71.5p PS=35u AD=0 PD=0
M45 1 22 22 1 NMOS L=19u W=7u AD=0 PD=0 AS=0 PS=0
M46 4 26 1 1 NMOS L=4u W=251u AS=0 PS=0 AD=0 PD=0
C47 19 6 C=2.209168p
M48 6 25 1 1 NMOS L=5u W=11u AS=71.5p PS=35u AD=0 PD=0
M49 1 26 26 1 NMOS L=19u W=7u AD=0 PD=0 AS=0 PS=0
C50 3 1 C=260.1f
R51 23 44 R=1.0230968k
M52 45 8 8 1 NMOS L=19u W=7u AD=91p PD=54u AS=0 PS=0
M53 33 35 8 2 PMOS L=3u W=3u AD=40.5p PD=27u AS=0 PS=0
M54 35 35 8 2 PMOS L=3u W=3u AD=40.5p PD=27u AS=0 PS=0
M55 36 36 8 2 PMOS L=18u W=15u AD=90p PD=42u AS=0 PS=0
M56 28 8 8 1 NMOS L=19u W=6u AD=114.354p PD=62.118u AS=0 PS=0
R57 46 47 R=1.0230968k
R58 29 46 R=1.0230968k
R59 29 14 R=1.0230968k
R60 47 4 R=10.005643k
R61 4 23 R=10.005643k
M62 49 39 8 2 PMOS L=3u W=3u AD=40.5p PD=27u AS=0 PS=0
M63 39 39 8 2 PMOS L=3u W=3u AD=40.5p PD=27u AS=0 PS=0
M64 40 40 8 2 PMOS L=18u W=15u AD=90p PD=42u AS=0 PS=0
M65 48 8 8 1 NMOS L=19u W=7u AD=91p PD=54u AS=0 PS=0
M66 41 8 8 1 NMOS L=19u W=6u AD=114.354p PD=62.118u AS=0 PS=0
R67 4 30 R=10.005643k
C68 31 1 C=260.1f
M69 46 32 8 1 NMOS L=19u W=40u AD=475p PD=198u AS=0 PS=0
M70 1 45 46 1 NMOS L=17u W=22u AD=0 PD=0 AS=0 PS=0
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
M71 34 28 33 1 NMOS L=11u W=9u AD=266.5p PD=121u AS=58.5p PS=31u
M72 8 33 32 2 PMOS L=16u W=231u AD=0 PD=0 AS=1.878n PS=754u
M73 1 36 34 1 NMOS L=19u W=23u AD=0 PD=0 AS=0 PS=0
M74 36 36 1 1 NMOS L=5u W=45u AD=292.5p PD=103u AS=0 PS=0
M75 1 36 32 1 NMOS L=5u W=11u AD=0 PD=0 AS=71.5p PS=35u
M76 34 47 35 1 NMOS L=11u W=9u AD=0 PD=0 AS=58.5p PS=31u
M77 1 28 28 1 NMOS L=19u W=6u AS=0 PS=0 AD=0 PD=0
M78 4 37 8 1 NMOS L=5.04839u W=527u AD=0 PD=0 AS=0 PS=0
M79 8 49 37 2 PMOS L=16u W=231u AD=0 PD=0 AS=1.878n PS=754u
M80 1 40 38 1 NMOS L=19u W=23u AD=0 PD=0 AS=266.5p PS=121u
M81 40 40 1 1 NMOS L=5u W=45u AD=292.5p PD=103u AS=0 PS=0
M82 37 40 1 1 NMOS L=5u W=11u AD=71.5p PD=35u AS=0 PS=0
M83 38 41 49 1 NMOS L=11u W=9u AD=0 PD=0 AS=58.5p PS=31u
M84 38 30 39 1 NMOS L=11u W=9u AD=0 PD=0 AS=58.5p PS=31u
M85 1 41 41 1 NMOS L=19u W=6u AS=0 PS=0 AD=0 PD=0
C86 42 1 C=260.1f
M87 44 43 42 1 NMOS L=2u W=150u AD=1.032n PD=368u AS=420p PS=152u
C88 33 32 C=2.209168p
M89 1 45 45 1 NMOS L=19u W=7u AS=0 PS=0 AD=0 PD=0
M90 1 48 4 1 NMOS L=4u W=251u AD=0 PD=0 AS=0 PS=0
C91 49 37 C=2.209168p
M92 1 48 48 1 NMOS L=19u W=7u AD=0 PD=0 AS=0 PS=0
C93 50 1 C=260.1f
M94 58 60 60 1 NMOS L=19u W=20u AD=260p PD=106u AS=130p PS=53u
M95 51 52 2 2 PMOS L=57u W=3u AD=39p PD=26u AS=3.485388n PS=1.203m
M96 52 52 2 2 PMOS L=57u W=3u AD=39p PD=26u AS=0 PS=0
M97 60 53 2 2 PMOS L=5u W=46u AD=299p PD=105u AS=0 PS=0
M98 53 53 2 2 PMOS L=4u W=427u AD=1.93614n PD=633.982u AS=0 PS=0
M99 2 53 61 2 PMOS L=4u W=427u AD=0 PD=0 AS=1.93614n PS=633.982u
M100 63 29 55 1 NMOS L=11u W=9u AD=266.5p PD=121u AS=58.5p PS=31u
M101 63 56 54 1 NMOS L=11u W=9u AD=0 PD=0 AS=58.5p PS=31u
M102 66 8 8 1 NMOS L=19u W=7u AD=91p PD=54u AS=0 PS=0
M103 54 55 8 2 PMOS L=3u W=3u AD=40.5p PD=27u AS=0 PS=0
M104 55 55 8 2 PMOS L=3u W=3u AD=40.5p PD=27u AS=0 PS=0
M105 64 64 8 2 PMOS L=18u W=15u AD=90p PD=42u AS=0 PS=0
M106 1 56 56 1 NMOS L=19u W=6u AD=0 PD=0 AS=114.354p PS=62.118u
M107 56 8 8 1 NMOS L=19u W=6u AD=0 PD=0 AS=0 PS=0
R108 29 31 R=20.04275k
R109 30 50 R=1.0230968k
M110 8 51 2 1 NMOS L=6u W=497u AD=0 PD=0 AS=75.955528n PS=14.560504m
M111 1 58 59 1 NMOS L=9u W=20u AD=0 PD=0 AS=267p PS=117u
M112 59 57 51 1 NMOS L=11u W=9u AS=0 PS=0 AD=58.5p PD=31u
M113 59 60 52 1 NMOS L=11u W=9u AS=0 PS=0 AD=58.5p PD=31u
M114 58 58 1 1 NMOS L=19u W=20u AD=0 PD=0 AS=0 PS=0
M115 53 61 62 1 NMOS L=4u W=336u AD=1.443389n PD=456u AS=1.5939899n PS=502.026u
M116 61 62 1 1 NMOS L=4u W=398u AD=1.411441n PD=456u AS=0 PS=0
M117 1 66 31 1 NMOS L=4u W=251u AD=0 PD=0 AS=3.41025n PS=1.061m
M118 8 65 31 1 NMOS L=5.04839u W=527u AS=0 PS=0 AD=0 PD=0
C119 54 65 C=2.209168p
M120 65 54 8 2 PMOS L=19.7119u W=187.501u AS=1.878n PS=754u AD=0 PD=0
M121 1 64 63 1 NMOS L=19u W=23u AD=0 PD=0 AS=0 PS=0
M122 64 64 1 1 NMOS L=5u W=45u AD=292.5p PD=103u AS=0 PS=0
M123 65 64 1 1 NMOS L=5u W=11u AD=71.5p PD=35u AS=0 PS=0
C124 43 1 C=260.1f
R125 57 1 R=20.04275k
R126 57 8 R=30.064125k
R127 1 62 R=49.99675k
M128 1 66 66 1 NMOS L=19u W=7u AS=0 PS=0 AD=0 PD=0
C129 1 1 C=260.1f

* Total Nodes: 66
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
* Total Elements: 129
* Extract Elapsed Time: 11 seconds
.END
```

การตรวจสอบการ Layout

ในการออกแบบวงจรด้วยโปรแกรม Spice นั้น จะให้ File ในส่วนของ Net list การเชื่อมต่อวงจร เช่นเดียวกันกับการ layout วงจรในโปรแกรม L-edit จะให้ File ที่เป็น Net list ของวงจรเช่นเดียวกัน

โปรแกรม LVS จะรับค่าจาก File Net list จากทั้งสองโปรแกรมแล้วทำการเปรียบเทียบจำนวนอุปกรณ์, จำนวน node (จุดต่อ) และรายงานผลออกมาว่าวงจรที่ออกแบบทั้งสองเท่ากันหรือไม่

ซึ่งจาก Chip ที่ได้ออกแบบ นำมาเปรียบเทียบกับวงจรจากที่ได้ออกแบบจาก spice ให้ผลดังแสดงการใช้ LVS ทดสอบเปรียบเทียบวงจรที่ออกแบบกับวงจรที่ Layout ซึ่งจะได้ผลดังนี้

```
**************************************
File written by LVS 3.01/Win32 as a result of: "" on Wed Jan 21 05:23:37 2001

Command line:
lvs D:\My_Doc\Proj--IC-Design\L-edit\New Folder\IC2.spc D:\My_Doc\Proj--IC-Design\T-
spice\IC2\IC2.sp -o C:\My Documents\IC2.out -l C:\My Documents\IC2.lst -nrcl -vfa

Engine configuration report:
Consider Bulk nodes.....ON
Consider Resistors as polarized elements.....OFF
Consider Capacitors as polarized elements.....OFF
Consider Inductors as polarized elements.....OFF
Optimize shorted & parallel R, C, MOSFETs; series R and C.....OFF
Replace series MOSFETs.....OFF
Fast Iteration.....OFF

Parsing file D:\My_Doc\Proj--IC-Design\L-edit\New Folder\IC2.spc...
        Failed opening D:\My_Doc\Proj--IC-Design\L-edit\New Folder\ml2_20.md...
        Trying ฒ>_ฺqml2_20.md
        Failed opening ฒ>_ฺqml2_20.md...
        Trying ml2_20.md
Including file ml2_20.md
        Failed opening D:\My_Doc\Proj--IC-Design\L-edit\New Folder\ml2_20.md...
        Trying ฒ>_ฺqml2_20.md
        Failed opening ฒ>_ฺqml2_20.md...
        Trying ml2_20.md

Warning: IC2.spc(75): Multiple 'AS=' definitions. First definition used.

Warning: IC2.spc(75): Multiple 'PS=' definitions. First definition used.
Flattening network...

Device              IC2.spc     IC2.sp
--------------      ----------- ----------

C                       14          14
M_nmos                  73          73
R                       13          13
M_pmos                  29          29
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
Total elements          129       129

Total nodes             66        66

Iterating...
5% done
10% done
15% done
20% done
25% done
30% done
35% done
40% done
45% done
50% done
55% done
60% done
65% done
70% done
75% done
80% done
85% done

************************** REPORTING AUTOMORPHISM **************************

Report of elements:
*******************
Automorph class of elements
IC2.spc     M8              fanout: BULK = 35  D/S ( 5,  53)  G = 5
IC2.spc     M13             fanout: BULK = 35  D/S ( 5,  53)  G = 5
IC2.sp      M11(Xcore/XopHC_3)  fanout: BULK = 35  D/S ( 5,  53)  G = 5
IC2.sp      M11(Xcore/XopHC_4)  fanout: BULK = 35  D/S ( 5,  53)  G = 5
-----------------------------------------------
Automorph class of elements
IC2.spc     M28             fanout: BULK =121  D/S ( 5, 121)  G = 5
IC2.spc     M33             fanout: BULK =121  D/S ( 5, 121)  G = 5
IC2.sp      M4(Xcore/XopHC_3)   fanout: BULK =121  D/S ( 5, 121)  G = 5
IC2.sp      M4(Xcore/XopHC_4)   fanout: BULK =121  D/S ( 5, 121)  G = 5
-----------------------------------------------
Automorph class of elements
IC2.spc     M32             fanout: BULK =121  D/S ( 2, 121)  G = 5
IC2.spc     M25             fanout: BULK =121  D/S ( 2, 121)  G = 5
IC2.sp      M5(Xcore/XopHC_4)   fanout: BULK =121  D/S ( 2, 121)  G = 5
IC2.sp      M5(Xcore/XopHC_3)   fanout: BULK =121  D/S ( 2, 121)  G = 5
-----------------------------------------------
Automorph class of elements
IC2.spc     M48             fanout: BULK =121  D/S ( 3, 121)  G = 5
IC2.spc     M44             fanout: BULK =121  D/S ( 3, 121)  G = 5
IC2.sp      M8(Xcore/XopHC_4)   fanout: BULK =121  D/S ( 3, 121)  G = 5
IC2.sp      M8(Xcore/XopHC_3)   fanout: BULK =121  D/S ( 3, 121)  G = 5
-----------------------------------------------
Automorph class of elements
IC2.spc     C47             fanout: POS/NEG ( 3,  3)
IC2.spc     C43             fanout: POS/NEG ( 3,  3)
IC2.sp      C1(Xcore/XopHC_4)   fanout: POS/NEG ( 3,  3)
IC2.sp      C1(Xcore/XopHC_3)   fanout: POS/NEG ( 3,  3)
-----------------------------------------------
Automorph class of elements
IC2.spc     M9              fanout: BULK =121  D/S ( 9,  53)  G = 3
IC2.spc     M5              fanout: BULK =121  D/S ( 9,  53)  G = 3
IC2.sp      M10(Xcore/XopHC_4)  fanout: BULK =121  D/S ( 9,  53)  G = 3
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
IC2.sp      M10(Xcore/XopHC_3)  fanout: BULK =121  D/S ( 9, 53)  G = 3
---------------------------------------------------
Automorph class of elements
IC2.spc     M31             fanout: BULK = 35  D/S ( 3, 53)  G = 3
IC2.spc     M24             fanout: BULK = 35  D/S ( 3, 53)  G = 3
IC2.sp      M14(Xcore/XopHC_4)  fanout: BULK = 35  D/S ( 3, 53)  G = 3
IC2.sp      M14(Xcore/XopHC_3)  fanout: BULK = 35  D/S ( 3, 53)  G = 3
---------------------------------------------------
Automorph class of elements
IC2.spc     M6              fanout: BULK = 35  D/S ( 3, 53)  G = 3
IC2.spc     M10             fanout: BULK = 35  D/S ( 3, 53)  G = 3
IC2.sp      M12(Xcore/XopHC_3)  fanout: BULK = 35  D/S ( 3, 53)  G = 3
IC2.sp      M12(Xcore/XopHC_4)  fanout: BULK = 35  D/S ( 3, 53)  G = 3
---------------------------------------------------
Automorph class of elements
IC2.spc     M7              fanout: BULK = 35  D/S ( 3, 53)  G = 3
IC2.spc     M12             fanout: BULK = 35  D/S ( 3, 53)  G = 3
IC2.sp      M13(Xcore/XopHC_3)  fanout: BULK = 35  D/S ( 3, 53)  G = 3
IC2.sp      M13(Xcore/XopHC_4)  fanout: BULK = 35  D/S ( 3, 53)  G = 3
---------------------------------------------------
Automorph class of elements
IC2.spc     M27             fanout: BULK =121  D/S ( 2,  3)  G = 3
IC2.spc     M34             fanout: BULK =121  D/S ( 2,  3)  G = 3
IC2.sp      M6(Xcore/XopHC_3)   fanout: BULK =121  D/S ( 2,  3)  G = 3
IC2.sp      M6(Xcore/XopHC_4)   fanout: BULK =121  D/S ( 2,  3)  G = 3
---------------------------------------------------
Automorph class of elements
IC2.spc: 3 element(s)
IC2.sp: 3 element(s)
IC2.spc     M45             fanout: BULK =121  D/S ( 3, 121)  G = 3
IC2.spc     M49             fanout: BULK =121  D/S ( 3, 121)  G = 3
IC2.spc     M92             fanout: BULK =121  D/S ( 3, 121)  G = 3
IC2.sp      M2(Xcore/XopHC_2)   fanout: BULK =121  D/S ( 3, 121)  G = 3
IC2.sp      M2(Xcore/XopHC_3)   fanout: BULK =121  D/S ( 3, 121)  G = 3
IC2.sp      M2(Xcore/XopHC_4)   fanout: BULK =121  D/S ( 3, 121)  G = 3
---------------------------------------------------
Automorph class of elements
IC2.spc: 3 element(s)
IC2.sp: 3 element(s)
IC2.spc     M29             fanout: BULK =121  D/S ( 3,  53)  G = 53
IC2.spc     M35             fanout: BULK =121  D/S ( 3,  53)  G = 53
IC2.spc     M65             fanout: BULK =121  D/S ( 3,  53)  G = 53
IC2.sp      M3(Xcore/XopHC_2)   fanout: BULK =121  D/S ( 3,  53)  G = 53
IC2.sp      M3(Xcore/XopHC_3)   fanout: BULK =121  D/S ( 3,  53)  G = 53
IC2.sp      M3(Xcore/XopHC_4)   fanout: BULK =121  D/S ( 3,  53)  G = 53
---------------------------------------------------
Automorph class of elements
IC2.spc: 3 element(s)
IC2.sp: 3 element(s)
IC2.spc     M42             fanout: BULK =121  D/S ( 9, 121)  G = 3
IC2.spc     M46             fanout: BULK =121  D/S ( 9, 121)  G = 3
IC2.spc     M90             fanout: BULK =121  D/S ( 9, 121)  G = 3
IC2.sp      M9(Xcore/XopHC_2)   fanout: BULK =121  D/S ( 9, 121)  G = 3
IC2.sp      M9(Xcore/XopHC_3)   fanout: BULK =121  D/S ( 9, 121)  G = 3
IC2.sp      M9(Xcore/XopHC_4)   fanout: BULK =121  D/S ( 9, 121)  G = 3
---------------------------------------------------
Automorph class of elements
IC2.spc     M26             fanout: BULK =121  D/S ( 2,  3)  G = 4
IC2.spc     M30             fanout: BULK =121  D/S ( 2,  3)  G = 4
IC2.sp      M7(Xcore/XopHC_3)   fanout: BULK =121  D/S ( 2,  3)  G = 4
IC2.sp      M7(Xcore/XopHC_4)   fanout: BULK =121  D/S ( 2,  3)  G = 4
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Report of nodes:
****

Automorph class of nodes
IC2.spc 5 connected to 1 C_POS/NEG 1 M_nmos_D/S 1 M_nmos_G 1 M_pmos_D/S
IC2.spc 6 connected to 1 C_POS/NEG 1 M_nmos_D/S 1 M_nmos_G 1 M_pmos_D/S
IC2.sp N11(Xcore/XopHC_3/) connected to 1 C_POS/NEG 1 M_nmos_D/S 1 M_nmos_G 1 M_pmos_D/S
IC2.sp N11(Xcore/XopHC_4/) connected to 1 C_POS/NEG 1 M_nmos_D/S 1 M_nmos_G 1 M_pmos_D/S

Automorph class of nodes
IC2.spc 18 connected to 1 M_nmos_D/S 3 M_nmos_G 1 M_pmos_D/S 1 M_pmos_G
IC2.spc 25 connected to 1 M_nmos_D/S 3 M_nmos_G 1 M_pmos_D/S 1 M_pmos_G
IC2.sp N10(Xcore/XopHC_3/) connected to 1 M_nmos_D/S 3 M_nmos_G 1 M_pmos_D/S 1 M_pmos_G
IC2.sp N10(Xcore/XopHC_4/) connected to 1 M_nmos_D/S 3 M_nmos_G 1 M_pmos_D/S 1 M_pmos_G

Automorph class of nodes
IC2.spc 19 connected to 1 C_POS/NEG 1 M_nmos_D/S 1 M_pmos_D/S 1 M_pmos_G
IC2.spc 15 connected to 1 C_POS/NEG 1 M_nmos_D/S 1 M_pmos_D/S 1 M_pmos_G
IC2.sp N3(Xcore/XopHC_4/) connected to 1 C_POS/NEG 1 M_nmos_D/S 1 M_pmos_D/S 1 M_pmos_G
IC2.sp N3(Xcore/XopHC_3/) connected to 1 C_POS/NEG 1 M_nmos_D/S 1 M_pmos_D/S 1 M_pmos_G

Automorph class of nodes
IC2.spc 20 connected to 3 M_nmos_D/S
IC2.spc 16 connected to 3 M_nmos_D/S
IC2.sp N31(Xcore/XopHC_4/) connected to 3 M_nmos_D/S
IC2.sp N31(Xcore/XopHC_3/) connected to 3 M_nmos_D/S

Automorph class of nodes
IC2.spc: 3 node(s)
IC2.sp: 3 node(s)
IC2.spc 48 connected to 2 M_nmos_D/S 2 M_nmos_G
IC2.spc 26 connected to 2 M_nmos_D/S 2 M_nmos_G
IC2.spc 22 connected to 2 M_nmos_D/S 2 M_nmos_G
IC2.sp N2(Xcore/XopHC_4/) connected to 2 M_nmos_D/S 2 M_nmos_G
IC2.sp N2(Xcore/XopHC_3/) connected to 2 M_nmos_D/S 2 M_nmos_G
IC2.sp N2(Xcore/XopHC_2/) connected to 2 M_nmos_D/S 2 M_nmos_G

Automorph class of nodes
IC2.spc 7 connected to 1 M_nmos_D/S 1 M_pmos_D/S 2 M_pmos_G
IC2.spc 17 connected to 1 M_nmos_D/S 1 M_pmos_D/S 2 M_pmos_G
IC2.sp N1(Xcore/XopHC_4/) connected to 1 M_nmos_D/S 1 M_pmos_D/S 2 M_pmos_G
IC2.sp N1(Xcore/XopHC_3/) connected to 1 M_nmos_D/S 1 M_pmos_D/S 2 M_pmos_G
---

98 perfectly matched element class(es)
14 automorphed element class(es)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

53 perfectly matched node class(es)
6 automorphed node class(es)
Doing detailed trial matching...
90% done
95% done
100% done

Circuits are equal.

0 error(s), 16 warning(s)

****

เมื่อ Netlist ทั้งสองเท่ากันแสดงว่าขั้นตอนการ layout chip ถูกต้อง

ขั้นตอนการเปรียบเทียบการทำงานของวงจรที่ทำการ layout

จากวงจรที่ทำการ layout แล้ว Extract ได้มาเป็นค่า Netlist ซึ่งค่า Net list นี้ สามารถที่จะนำไปให้โปรแกรม T-spice ทำการ Simulate ทดสอบการทำงานของวงจรได้โดยที่การทดสอบวงจรรวมที่ได้จากการ layout นี้ จะมีลักษณะเช่นเดียวกับการทดสอบวงจรรวมในขั้นตอนการออกแบบใน Spice ที่ผ่านมา ในการทดสอบ file Netlist ที่ได้จากการ layout จะต้องเพิ่ม Net list ของวงจรที่ใช้ทดสอบลงไปใน file Netlist ที่ได้จากการ layout ร่วมด้วยดังนี้

* Main circuit: test_cct

C1 N7 N6 47uF

C2 Vdd N11 47uF

C3 Gnd N9 47uF

C4 O/P Vdd 47uF

C5 Vdd N4 47uF

C6 N10 N3 47uF

Xcore_1 N9 N2 N6 N1 N10 N4 Gnd Vdd core

R7 N12 Gnd 200 TC1=0.0 TC2=0.0

R8 N13 Vdd 200 TC1=0.0 TC2=0.0

R9 N11 N2 1k TC1=0.0 TC2=0.0

R10 Gnd O/P 1Meg TC1=0.0 TC2=0.0

R11 Gnd N3 10K TC1=0.0 TC2=0.0

v12 N13 N12 48.0

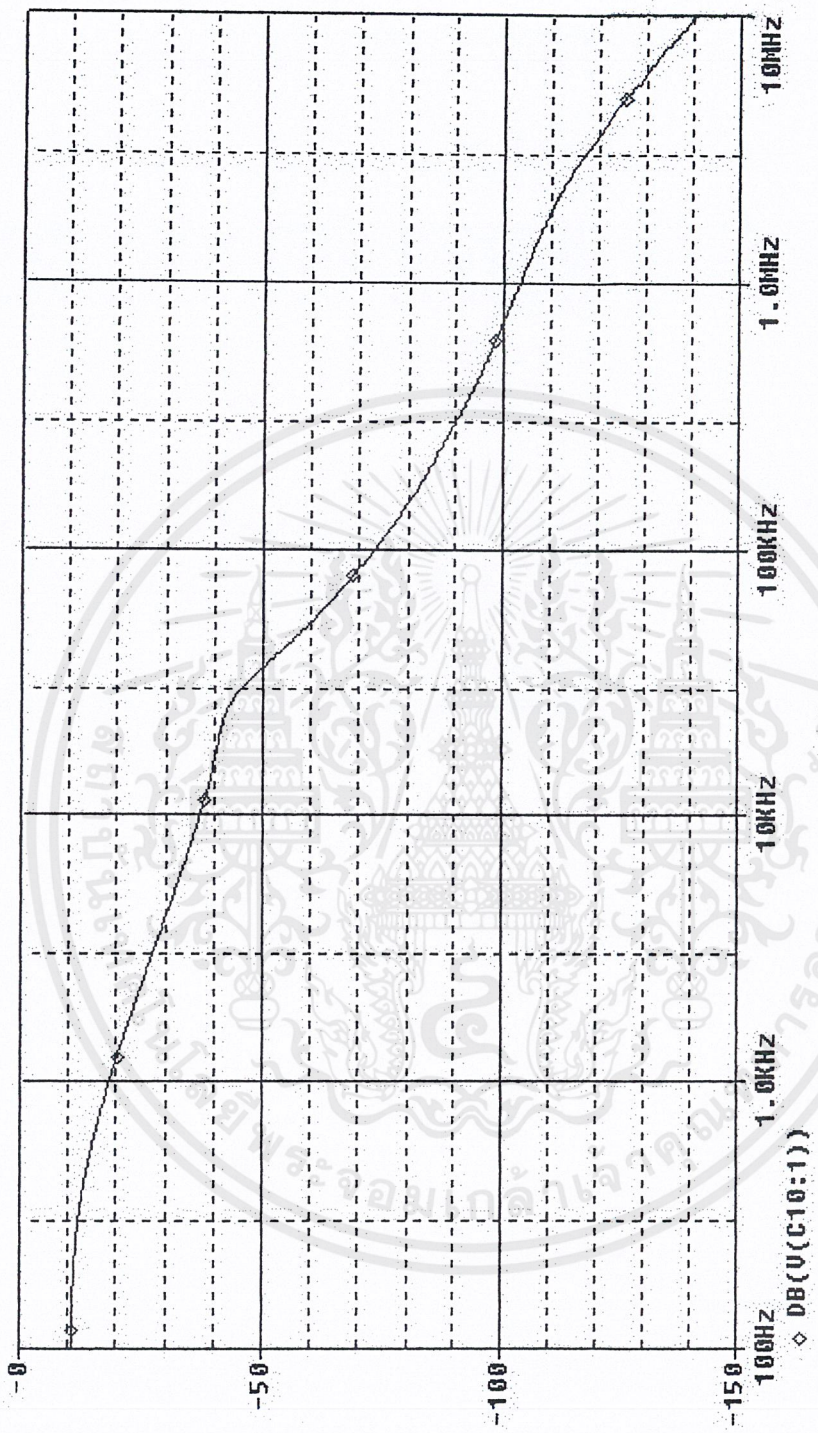
v13 N1 Gnd 5.0

v14 N7 Gnd sin 0 10m 1000 0.0 0.0 0.0

* End of main circuit: test_cct

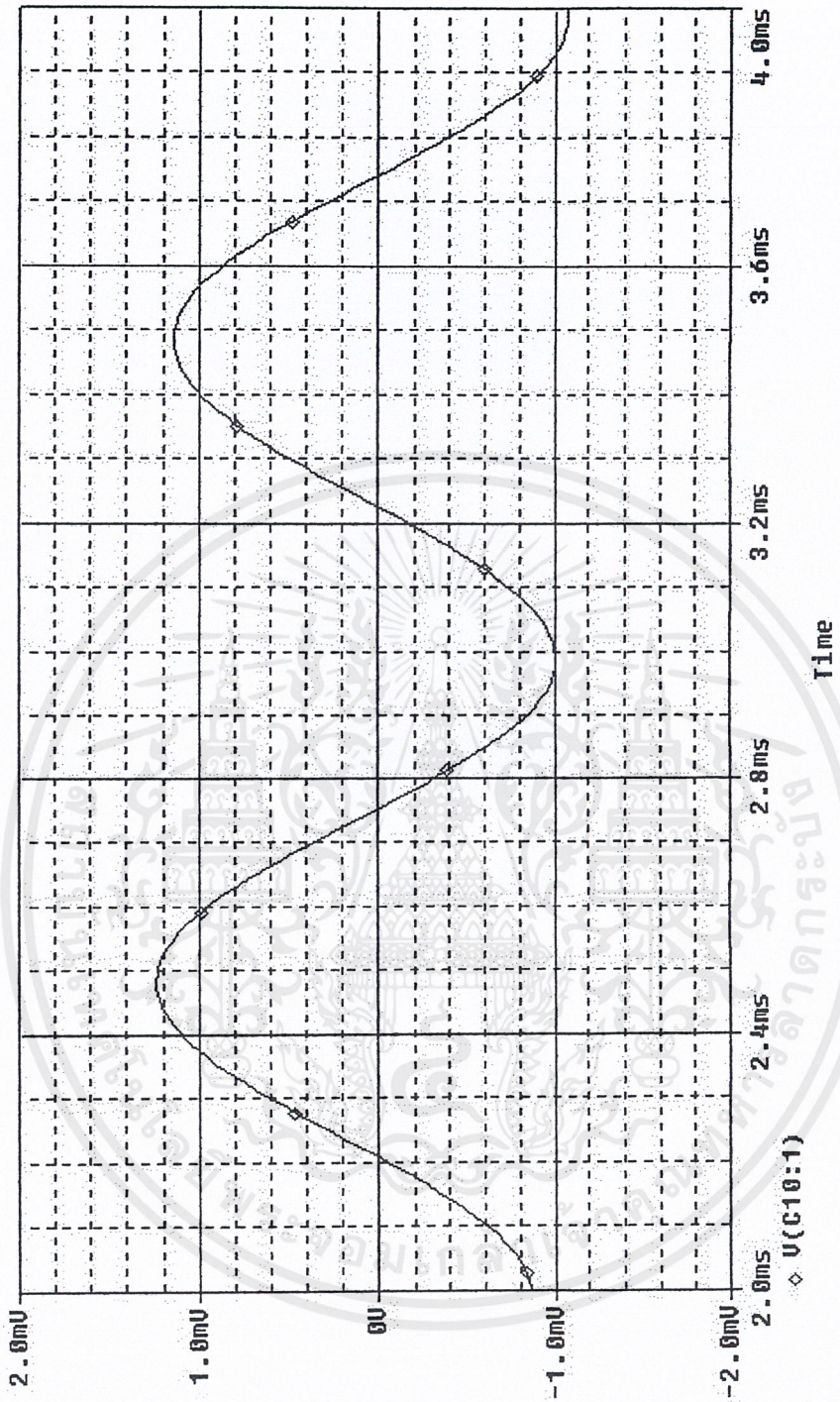
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ซึ่งผลของการ Simulate วงจรที่ layout มีดังนี้



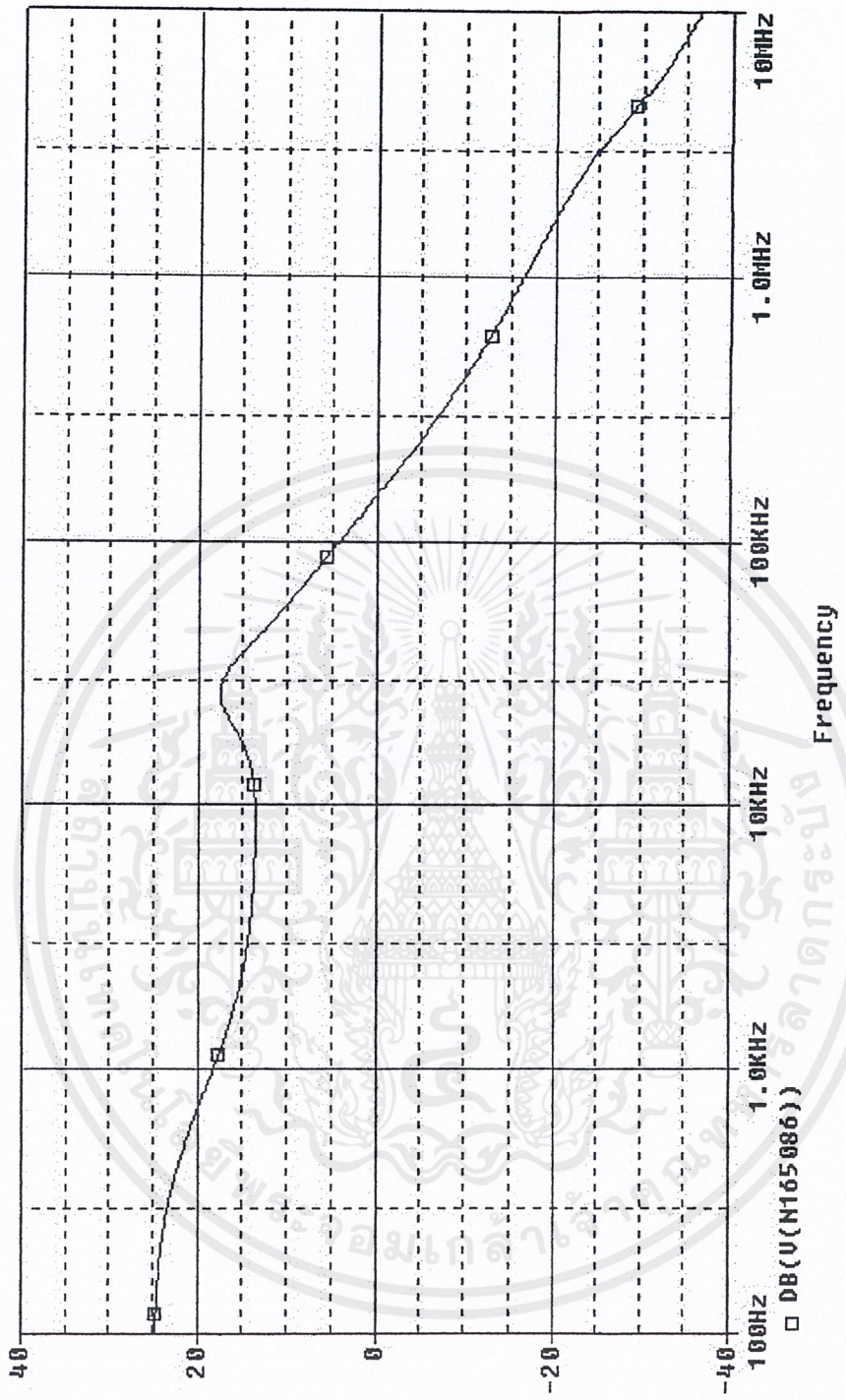
รูปที่ 5-61 ผล Simulation การตอบสนองความถี่ของสัญญาณจากส่วน microphone ไปยังสายโทรศัพท์ของL-edit

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



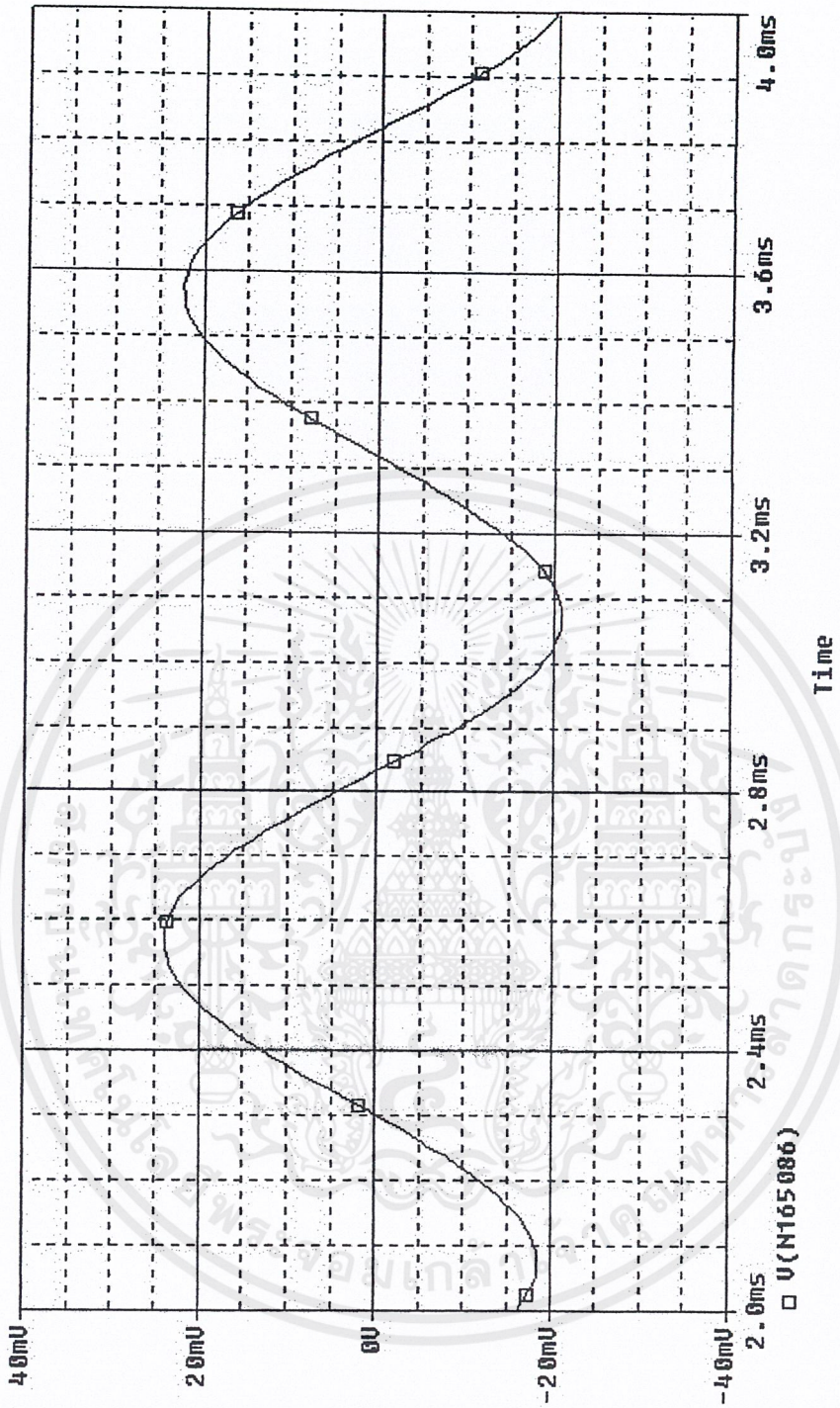
รูปที่5-62 ลักษณะของสัญญาณปรากฏที่สายโทรศัพท์ (สัญญาณที่ป้อนจาก Microphone) ของ L-edit

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



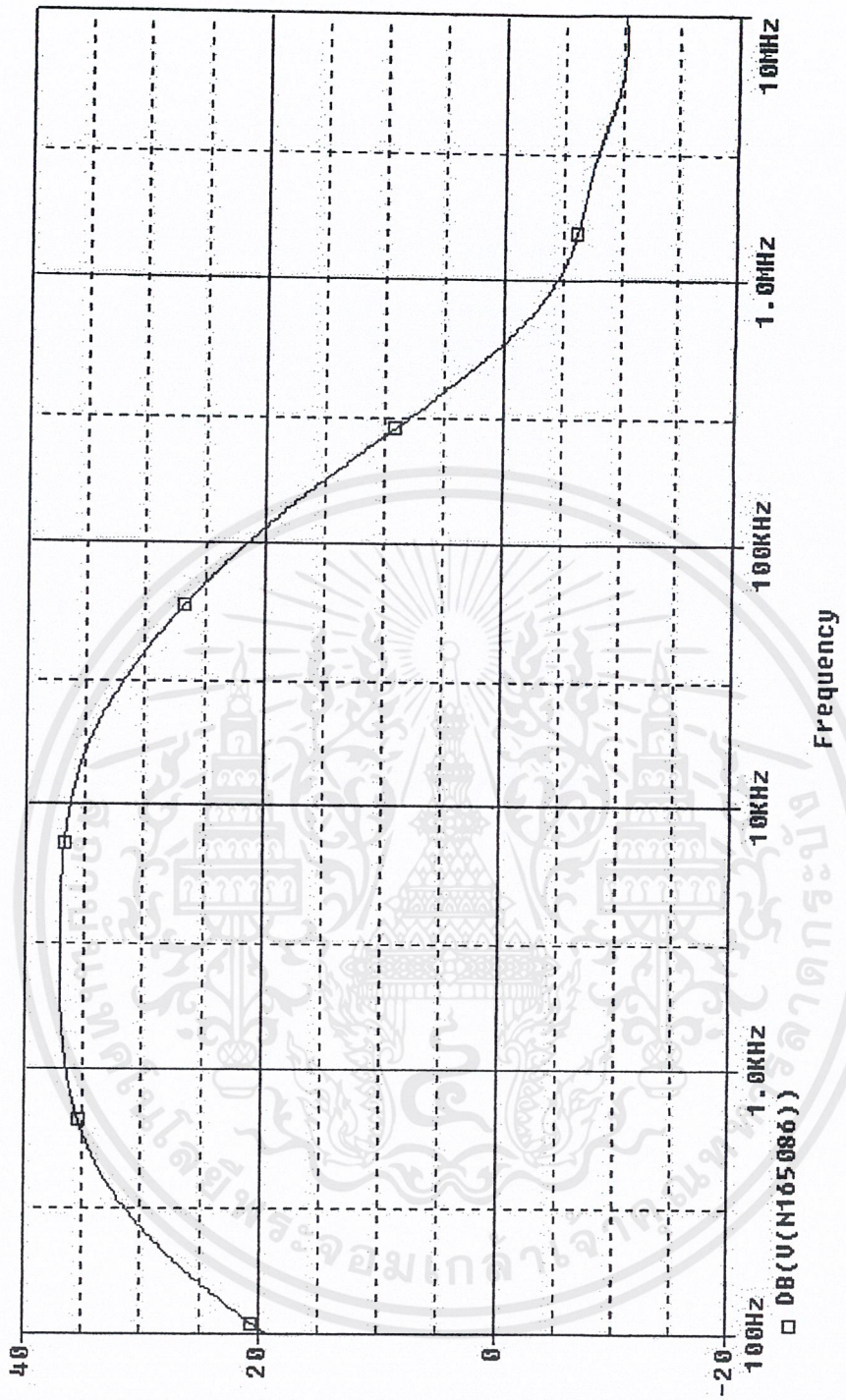
รูปที่ 5-63 ผลตอบสนองของสัญญาณ Side Tone ของ L-edit

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



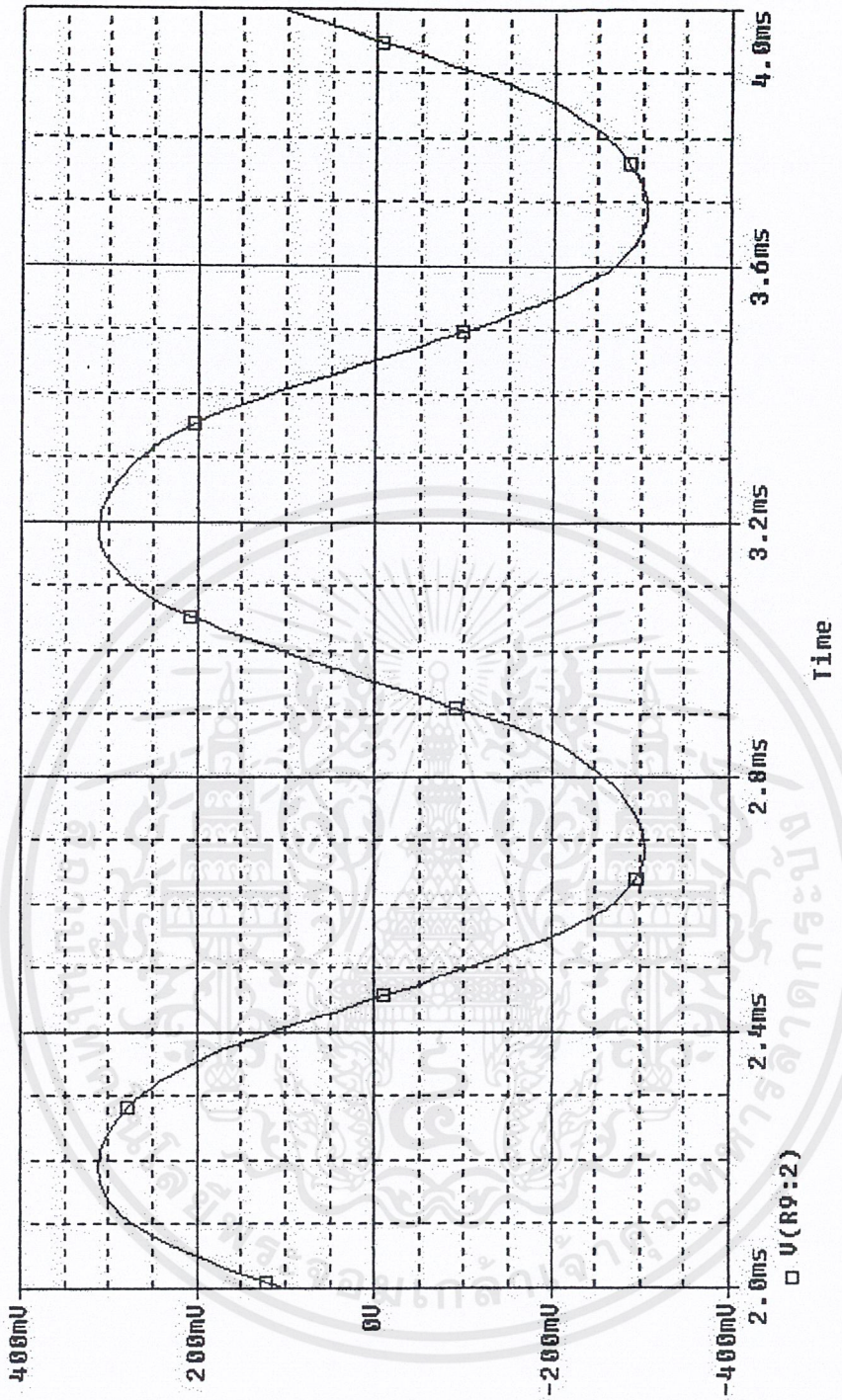
รูปที่5-64 ลักษณะสัญญาณ Side Tone ของ L-edit

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่5-65 ผลตอบสนองต่อสัญญาณจากสายโทรศัพท์ ที่ Output RLของ L-edit

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 5-66 ลักษณะสัญญาณที่ O/P โดยป้อนสัญญาณจากสายโทรศัพท์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Comment:

จากการนำวงจรทดสอบวงจรรวมดังรูปที่ 5-32 มาใช้ทดสอบจำลองการทำงานของวงจรภายในจะได้ข้อสรุปจากรูปที่ 5-33 ถึงรูปที่ 5-38 ซึ่งเป็นผลการ Simulate จากวงจร Schematic ของแต่ละภาคเทียบกับวงจรในแต่ละภาคของ L-edit ในรูปที่ 5 – 61 ถึงรูปที่ 5 - 66 แล้วนำผลมาเปรียบเทียบกันจะได้ว่า

1.สัญญาณจากสายโทรศัพท์ไปสู่เอาท์พุท (line_to_out_ sig) ของ Schematic เกิดการขยายในระดับเกณฑ์ที่ใช้งานได้สามารถนำไปต่อภาคขยายของหูฟังโทรศัพท์ได้ แต่มีการผิดเพี้ยนของรูปคลื่นเพียงเล็กน้อยคือ Volt peak to peak เกือบจะ Symmetry กัน อาจเป็นผลมาจากส่วน Buffer ภาคสุดท้ายที่ออกแบบไว้มีข้อผิดพลาด

2.สัญญาณ Side Tone หรือสัญญาณจาก microphone ไปสู่หูฟังผลจากการ Simulate จะพบว่าสัญญาณมีเกณฑ์การขยายใช้ได้ไม่เกิดการเพี้ยนของสัญญาณแต่มีการเลื่อน Phase เพียงเล็กน้อย

3.สัญญาณจาก microphone ไปยังสายโทรศัพท์ (mic_to_line_sig) จากรูปจะเห็นได้ว่าสัญญาณอยู่ในเกณฑ์ที่ดีแต่เหตุที่เป็นดังรูปกราฟเกิดจากการ Matching ทาง Impedance ของตัว Op amp กับสายยังไม่ Matchกันเพราะค่าอาจจะยังไม่ถูกต้องเสียทีเดียวและตัวของ Op amp เองใช้ไฟเลี้ยงจากสายโทรศัพท์ทำให้การทำงานมีผลต่อสัญญาณที่ Op amp แต่อย่างไรก็ตามถึงแม้ว่าระดับสัญญาณจะมีขนาดน้อยกว่าสัญญาณ microphone แต่สัญญาณระดับนี้ก็สามารถที่จะส่งผ่านสายโทรศัพท์ไปได้

4.จากหมายเหตุข้อ 1ถึง 3 ข้างต้นเป็นการวัดสัญญาณทาง Time Domain แต่จากข้อต่อไปนี้เป็นการวัดสัญญาณทางความถี่ Frequency Domain จากการวัดสัญญาณตามข้อที่ 1 ในรูปของการแสดงผลทางความถี่จะเห็นว่าเกณฑ์การขยายอยู่ในช่วงระดับเสียงที่ใช้งานได้และมีการ cut off นอกช่วงของความถี่เสียงที่ใช้งานในสัญญาณเสียงภายในโทรศัพท์

5.จากหมายเหตุข้อ2 เราวัดสัญญาณทางความถี่จะได้ว่า มีอัตราการขยายสัญญาณจริงที่ได้ น้อยกว่าน้อยกว่าสัญญาณจากสายโทรศัพท์ออกสู่เอาท์พุท แต่ก็ยังอยู่ในช่วงสัญญาณที่ใช้งานได้และเกิดการ cut off ที่ความถี่สูง

6.จากหมายเหตุข้อ 3 เราวัดสัญญาณทางความถี่จะได้ว่า เกิดการลดทอนของสัญญาณขึ้นเล็กน้อยแต่อยู่ในเกณฑ์ที่สามารถใช้งานได้ สาเหตุที่เกิดการลดทอนและรูปสัญญาณผิดเพี้ยน อาจกล่าวได้ว่า เกิดการไม่ Matching ทาง Impedance ระหว่าง Op amp กับสายโทรศัพท์

7. จากการ Simulate ของ L-edit ในทาง Frequency domain จะเห็นว่า กราฟรูปคลื่นผิดเพี้ยนทางคาบเวลา และมีการเลื่อน Phase เล็กน้อย สาเหตุมาจาก ค่า Error ของ W/L หรือ parasitic ภายใน MOS ก็ได้

8.จากกราฟของรูปที่ 5-62 จะเห็นว่ามีลักษณะใกล้เคียงกับกราฟในการ Simulate ทาง Time Domain สามารถใช้งานได้จริง

9.จากการ Simulate สัญญาณใน L-Edit จากกราฟจะเห็นได้ว่า ใกล้เคียงกับผลของรูปที่5-35 และไม่เกิดการผิดเพี้ยน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

10.เปลี่ยนการ Simulate สัญญาณใน L-Edit เป็นในทาง Frequency Domain จะได้ว่า สัญญาณจากสายโทรศัพท์ออกสู่ Out put เกิดการผิดเพี้ยนของ Phase และ Transition band ขึ้นเพียงเล็กน้อย สามารถยอมรับการใช้งานได้

11. จากการ Simulate สัญญาณทางความถี่ใน L-Edit ของ Microphone สู่ Speaker ได้ผลเหมือนกันกับการ Simulate ใน Spice ของหมายเหตุข้อ 5. ฉะนั้นสัญญาณที่ได้ใช้งานได้

12. ผลการ Simulate ของสัญญาณทางความถี่ของ L-Edit จาก Microphone สู่สายโทรศัพท์ ของมีผลตรงกันกับการ Simulateใน Spice ไม่พบการผิดเพี้ยนของสัญญาณ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ขั้นตอนต่อไปคือการรวบรวมสรุปคุณสมบัติของวงจรรวมที่ได้ออกแบบมาดังนี้

คุณลักษณะของวงจรรวม (DATASHEET)

Telephone Speech Circuit

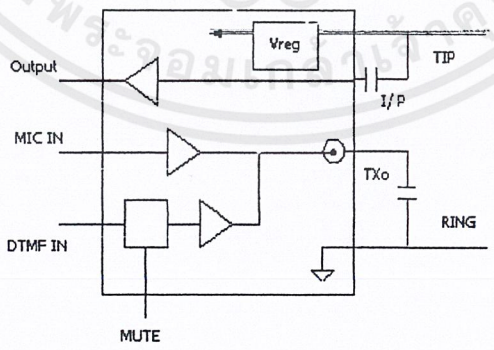
General Description

วงจรรวมนี้ใช้ Technology CMOS ในการ สร้างวงจร โดยรวมหน้าที่การใช้งานของวงจรเสียงพูด สำหรับโทรศัพท์ เป็นวงจรที่ใช้แทน Hybrid transformer ในเครื่องโทรศัพท์ ออกแบบมาใช้กับ Dynamic Microphone

วงจรรวมออกแบบให้สามารถใช้กำลังงานไฟฟ้ากระแสตรงจากสายโทรศัพท์มาจ่ายให้วงจรภายในได้โดยตรงหรือใช้แรงดันแหล่งจ่ายภายนอก เนื่องจากเป็นวงจร CMOS จึงใช้กำลังงานต่ำ

คุณลักษณะโดยทั่วไป

- ค่ากระแสทำงาน 5 mA – 120 mA (loop operation)
- ขยายสัญญาณจาก Dynamic microphone
- Side tone Gain มีค่าสูง
- สามารถเชื่อมต่อกับส่วน DTMF ภายนอก
- ใช้กับสาย Standard phone
- เป็นวงจรรวมขนาดเล็ก (Small package)



รูปที่ 5-67 Simplified Block Diagram

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Absolute Maximum Ratings

Vdd with respect to Gnd 12 V

Operating Temperature, TA -25 C to +70 C

Power Dissipation 1W (9V*29.01mA)

DC Electrical Characteristics

Symbol	Parameter	Min	Typ	Max	Units
Vdd	Voltage including nominal 1.4V polarity guard	11.29	12	12.29	V
Vl	Maximum Voltage Swing		1		v

TRANSMIT AMPLIFIER

Rx in	Input Resistance		1k		Ω
Gx A	Gain at 1 kHz		11.8		dB

DTMF AMPLIFIER

RD in	Input Resistance		1k		Ω
Gx D	Gain at 1 kHz		11.8		dB

MUTE INPUT

V OFF	MUTE OFF Input Voltage		0		V
V ON	MUTE ON Input Voltage		5		V

RECEIVE AMPLIFIER

R Rin	Input Resistance		note1		Ω
G_RA	Gain at 1 kHz		22		dB
V_ROS	Output Offset Voltage		1.7273		mV

SIDETONE CHARACTERISTICS

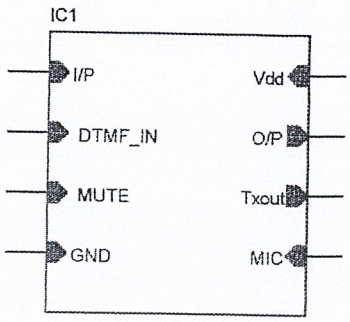
STC	Side tone Cancellation at 1 kHz		9		dB

*note1 ค่านี้ขึ้นอยู่กับอุปกรณ์ที่ต่อภายนอก IC

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Connection Diagram

Dual _In_ Line _Package



รูปที่ 5- 68 Top View

Pin 1 _ I/P

เป็นขาทางเข้าของสัญญาณจากสายโทรศัพท์เป็นสัญญาณเสียงจากปลายทางของสายโทรศัพท์

Pin 2_DTMF IN

เป็นขาทางเข้าของสัญญาณ DTMF มีตัวความต้านทานภายใน และขานี้จะทำงานเมื่อ ขา MUTE IN (Pin 3) ถูกจ่ายไฟสูง

Pin 3_MUTE

เป็นขาควบคุมปิด / เปิด ขา DTMF IN ให้สัญญาณ DTMF ผ่านเข้าภายในจะทำงานที่แรงดันระดับสูง

Pin 4_Gnd

เป็นขาศักย์แรงดันอ้างอิงของทุกขาในวงจร

Pin 5_MIC

เป็นขา Inverting amplifier ป้อนให้กับส่วน transmit pre-amplifier โดยการต่อตัว capacitor couple ภายนอกจาก microphone

Pin 6_O/P

เป็นขาทางออกของสัญญาณที่มาจากสายโทรศัพท์ ใช้ตัว Capacitor coupled สัญญาณออกไปยังภายนอก (นำสัญญาณนี้ไปเข้ายังวงจรขยายกำลังเพื่อขับ ลำโพงต่อไป)

Pin 7_Txo

เป็นขาสัญญาณออกไปยังสายโทรศัพท์ ใช้ตัว Capacitor coupled กับสายโทรศัพท์

Pin 8_Vdd

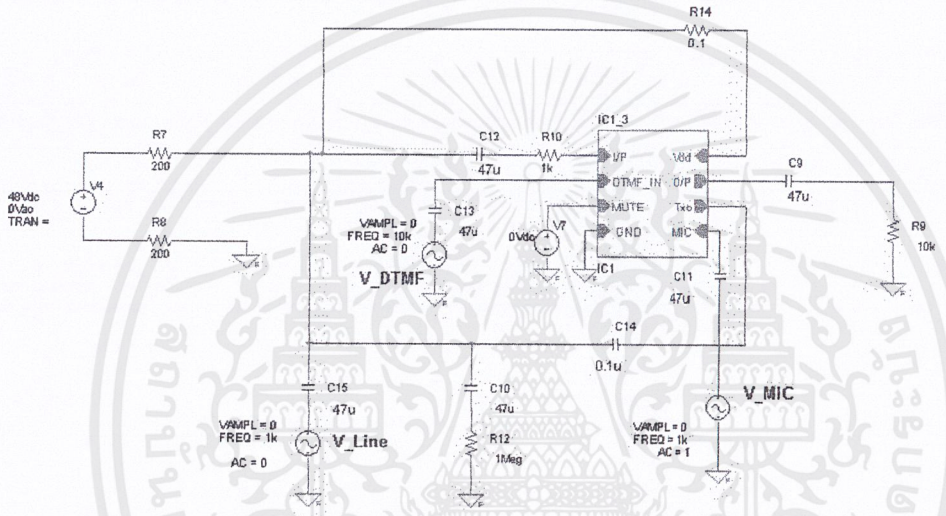
เป็นขาแรงดันไฟบวกจ่ายให้ IC โดยกระแสที่ขานี้จะถูก modulated โดยสัญญาณ Transmit

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Test Circuits for Electrical Characteristic

การทดสอบภาค Transmit และ Side tone แสดงดังรูปโดยค่าแรงดัน VDC จะขึ้นอยู่กับว่าทดสอบที่ค่ากระแส I_ loop มีค่าเท่าใด โดยการป้อนสัญญาณ Vin แล้ววัดสัญญาณ VL ค่าที่ได้จะเป็นค่าของแรงดัน Transmit จาก IC

ส่วนการวัดสัญญาณ Side tone ทำได้โดยการปรับสัญญาณ Vin จนค่า VL = 100 Vrms แล้ววัดสัญญาณที่ VS จะได้ค่าของสัญญาณ Side tone



รูปที่ 5-69 Test Circuit for IC

การทดสอบวัดสัญญาณของภาครับสัญญาณจากสายโทรศัพท์ได้ จะมีลักษณะคล้ายกับวงจรทดสอบ Transmit โดยการต่อขา MIC ลงกราวนด์ และป้อนสัญญาณเข้าที่ขา Vdd กับ Gnd เป็นสัญญาณแทนสัญญาณในสายโทรศัพท์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ภาคผนวก

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

*** Main circuit: test_cct**

C1 N6 N5 0.1uF

C2 Vdd N11 0.1uF

C3 N3 Vdd 0.1uF

C4 N1 N10 0.1uF

C5 N2 Vdd 0.1uF

C6 Vdd N14 0.1uF

C7 N8 N7 0.1uF

Xcore_1 N10 N9 N5 N4 N8 N14 Gnd Vdd core

R8 N20 Gnd 200 TC1=0.0 TC2=0.0

R9 N18 Vdd 200 TC1=0.0 TC2=0.0

R10 N11 N9 1k TC1=0.0 TC2=0.0

R11 Gnd N2 1Meg TC1=0.0 TC2=0.0

R12 Gnd N7 10K TC1=0.0 TC2=0.0

v_MIC13 N6 Gnd 0.0 AC 1.0 0.0

v_DTMF14 N1 Gnd 0.0 AC 1.0 0.0

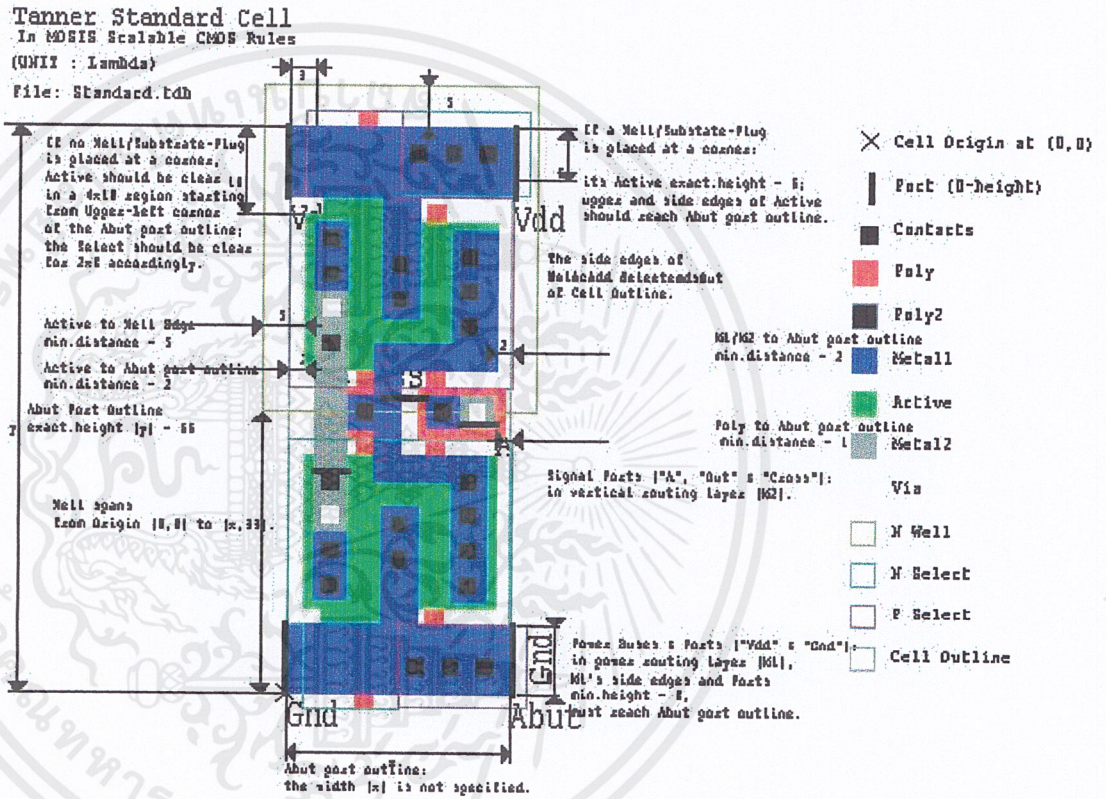
v_Line15 N3 Gnd 0.0 AC 1.0 0.0

v16 N18 N20 48.0

v17 N4 Gnd 5.0

End of main circuit: test_cct

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้


Tanner Standard Cell
In MOSIS Scalable CMOS Rules
(UNIT : Lambda)
File: Standard.tdb
If no Well/Substate-Plug is placed at a corner, Active should be clear in a 4x4 region starting from Upper-left corner of the Abut post outline; the Select should be clear for 2x2 accordingly.
Active to Well Edge min.distance = 5
Active to Abut post outline min.distance = 2
Abut Post Outline exact.height |y| = 55
Well spans from Origin |0,0| to |x,33|.
If a Well/Substate-Plug is placed at a corner:
its Active exact.height = 5; upper and side edges of Active should reach Abut post outline.
Vdd
The side edges of Metal and Select stand Abut of Cell Outline.
M1/M2 to Abut post outline min.distance = 2
Poly to Abut post outline min.distance = 1
Signal Ports |"A", "Out" & "Cross"|: in vertical routing layer |M2|.
Gnd
Power Buses & Ports |"Vdd" & "Gnd"|: in horizon routing layer |M1|, M1's side edges and Ports min.height = 8, must reach Abut post outline.
Abut post outline: the width |x| is not specified.
Cell Origin at (0,0)
Port (0-height)
Contacts
Poly
Poly2
Metal1
Active
Metal2
Via
N Well
N Select
P Select
Cell Outline

Drawn Mask Layers		CIF	GDS -II	Description
POLY		CAA	43	Poly Silicon
POLY2		CEL	56	Electrode (2nd Poly)
ACTIVE		CCP	47	Active
METAL1	Metal1-Tight	CMF	49	1st Metal
METAL2	Metal2-Tight	CMS	51	2nd Metal
METAL3	Metal3-Tight	CMT	62	3rd Metal
WELL		CWG	53	Well (generic)
P-WELL		CWP	41	P Well
N-WELL		CWN	42	N Well
SELECT		CSG	54	Select (generic)
P-SELECT		CSP	44	P Select
N-SELECT		CSN	45	N Select
CONTACT		CCC	25	Contact (generic)
POLY CONTACT		CPG	46	Poly Contact

Drawn Mask Layers	CIF	GDS -II	Description
POLY2 CONTACT	CCE	55	Poly2 Contact
ACTIVE CONTACT	CCA	48	Active Contact
VIA	CVA	50	Via (Metal1 to Metal2)
VIA2	CVS	61	2nd Via (Metal2 to Metal3)
CCD	CCD	57	CCD (depletion region)
PBASE	CBA	58	P Base
SILICIDE BLOCK	CSB	29	Silicide Blocker
POLY CAP1	CPC	28	2nd Poly for Linear Capacitor
CAP WELL	CWC	59	2nd Well for Linear Capacitor

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

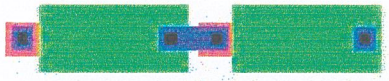
OVERGLASS	COG	52	Passivation
MEMS OPEN	COP	23	Etch Opening
MEMS STOP	CPS	24	Etch Stop
PAD COMMENT	XP	60	MOSIS Pad Comment
Icon/Outline	CX		Cell Boundary

Drawn ID Layers	Description
Label	Label
Label Filled	2nd Label
SubCkt ID	Sub-Circuit Extract Recognition Layer
POLY1-POLY2 CAPACITOR ID	Linear Capacitor
PMOS CAPACITOR ID	PMOS Capacitor
NMOS CAPACITOR ID	NMOS Capacitor

Drawn ID Layers	Description
POLY RESISTOR ID	Resistor
POLY2 RESISTOR ID	Resistor
N DIFF RESISTOR ID	Resistor
P DIFF RESISTOR ID	Resistor
P BASE RESISTOR ID	Resistor
N WELL RESISTOR ID	Resistor

Drawn ID Layers	Description
P BASE RESISTOR ID	Resistor
NPN ID	NPN with P Base
LPNP ID	Lateral PNP
PNP EMITTER ID	PNP Emitter
DIODE ID	Diode

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

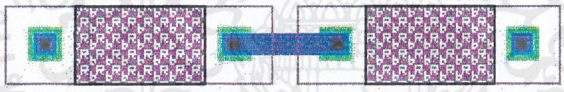


CPMOS: PMOS capacitor

Cplp2: Poly1-Poly2 capacitor

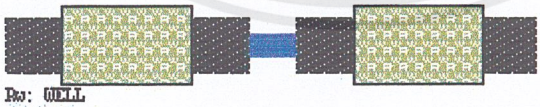
Rpl: POLY1

Rp: P-DIFF



Rb: BASE

Rn: N-DIFF



Rw: WELL

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บรรณานุกรม

1 Randall L. Geiger, Phillip E. Allen, Noel R. Strader " VLSI DESIGN TECHNIQUES FOR ANALOG AND DIGITAL CIRCUIT ", McGraw – Hill Publishing Company, 1976.

2 John L. Fike, Ph.D., P.E, " UNDER STANDING TELEPHONE ELECTRONIC ", Texas Instruments Incorporated, 1983.

3 Sidney Soclof, " DIGITAL AND APPLICATIONS OF ANALOG INTEGRATED CIRCUITS ", Prentice Hall, 1991.

4 Phillip E. Allen, Douglas R. Holberg, "CMOS ANALOG CIRCUIT DESIGN ", Holt, Rinehart and Winston, inc., 1987.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้