สำนักหอสมุดกลาง พระจอมเกล้าลาดกระบัง

เครื่องคัดแยกของที่ไม่ได้มาตราฐาน

SEPERATING MACHINE

T042734

โดย

นาย สุมาตร แววนกยูง
นางสาว สุรสา ประเทืองธรรม

เลขหมู่.....
เลขทะเบียน 42734
วัน, เดือน, ปี 7 มิ.ย. 2545

,b.....
,i.....

ปริญญานิพนธ์นี้เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรปริญญาวิศวกรรมศาสตรบัณฑิต
สาขาวิชาอิเล็กทรอนิกส์
สถาบันเทคโนโลยีเจ้าคุณทหารลาดกระบัง
ปีการศึกษา 2543

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เครื่องคัดแยกของที่ไม่ได้มาตราฐาน

SEPERATING MACHINE

โดย

นาย สุมาตร แววนกยูง

นางสาว สุรสา ประเทืองธรรม

อาจารย์ที่ปรึกษา

อ. ชินภัทร นันทจิวากรชัย

ปริญญานิพนธ์นี้สำหรับปริญญาวิศวกรรมศาสตรบัณฑิต

สาขาอิเล็กทรอนิกส์

คณะวิศวกรรมศาสตร์

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

ปีการศึกษาที่ 2543

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ปริญญานิพนธ์ ปีการศึกษาที่ 2543

ภาควิชา อิเล็กทรอนิกส์

คณะวิศวกรรมศาสตร์ สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

เรื่อง เครื่องคัดแยกของที่ไม่ได้มาตราฐาน

ผู้จัดทำ

1. นาย สุมาตร แววนกยูง 40010900
2. นางสาว สุรสา ประเทืองธรรม 40010912

.....อาจารย์ที่ปรึกษา

(อาจารย์ ชินกัทร นันทจิวากรชัย)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

กิตติกรรมประกาศ

โครงงานชิ้นนี้สำเร็จลุล่วงไปได้ด้วยดี ขอขอบพระคุณ อาจารย์ ชินภัทร นันทจิวากรชัย เป็นอย่างสูง ที่ให้ความรู้ คำปรึกษา และคำแนะนำต่างๆ ในโครงงาน รวมทั้งอุปกรณ์ต่างๆ และสถานที่ทำโครงงานนี้ ขอขอบพระคุณ บิดา-มารดาที่ให้กำลังใจ คำปรึกษา คำแนะนำ และความช่วยเหลือต่างๆตลอดมา อีกทั้งขอขอบคุณเพื่อนๆทุกคนและผู้ที่เกี่ยวข้อง ที่ให้ความช่วยเหลือในด้านต่างๆเป็นอย่างดี

สุมาตร แววนกยูง

(นาย สุมาตร แววนกยูง)

สุรสา ประเทืองธรรม

(นางสาว สุรสา ประเทืองธรรม)

ผู้จัดทำ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เครื่องคัดแยกของที่ไม่ได้มาตราฐาน

นาย สุมาตร แววนกยูง
นางสาว สุรสา ประเทืองธรรม
อ. ชินกัทร นันทจิวากรชัย
ภาคการศึกษาที่ 2 ปีการศึกษา 2543

บทคัดย่อ

รายงานฉบับนี้เป็นการนำเสนอเกี่ยวกับวงจรในส่วนของการเก็บข้อมูลลงหน่วยความจำ โดยการนำสัญญาณภาพโทรทัศน์ไปเก็บในรูปแบบข้อมูลแบบดิจิตอล มีขนาดความละเอียดของภาพ 256x128 จุดภาพ และการแปลงสัญญาณอนาลอกเป็นข้อมูลแบบดิจิตอลนี้จะแปลงเป็นข้อมูลดิจิตอลขนาด 8 บิท และจะถูกนำไปเก็บลงหน่วยความจำขนาด 32 กิโลไบต์ต่อหนึ่งภาพ โดยแบ่งเป็นส่วนแปลงข้อมูลอนาลอกเป็นดิจิตอล ส่วนกำหนดแอดเดรสและส่วนเก็บข้อมูลลงหน่วยความจำ จากนั้นข้อมูลและแอดเดรสจะถูกนำไปประมวลผลโดยการเปรียบเทียบข้อมูลต่างๆในแอดเดรสเดียวกันว่าตรงหรือใกล้เคียงกับของต้นแบบหรือไม่ แล้วจึงนำไปคัดแยกในขั้นตอนต่อไป

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

SEPERATING MACHINE

MR. SUMART VEAWNOKYOONG
MISS SURASA PRATUENGTUM
MR. CHINNAPAT NANTAJIWAKORNCHAI
(ADVISOR)

Abstract

This report presents topic about storing data in the memory , by converting TV signal (analog signal) to digital signal . The resolution of picture is 256x128 pixel and the output is 8 bit digital data that is stored in 32 Kbyte memory per picture , which stored in three parts , including analog to digital convertion , addressing mode and data store in memory . Data and address are transmitted to process by comparing the data at the same address .

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญ

	หน้า
กิตติกรรมประกาศ	I
บทคัดย่อ	II
Abstract	III
สารบัญ	IV
บทที่ 1	1
บทที่ 2 ทฤษฎีของสัญญาณภาพโทรทัศน์	3
2.1 องค์ประกอบภาพ	3
2.2 การสแกน	4
2.3 การหักเหลำอิเล็กตรอน	8
2.4 สัญญาณภาพรวม	14
บทที่ 3 ตัวแปลงสัญญาณอนาลอกให้เป็นดิจิตอล	22
3.1 ทฤษฎีการสุ่มตัวอย่าง	23
3.2 วิธีแปลงสัญญาณอนาลอกเป็นดิจิตอล	24
บทที่ 4 คุณสมบัติของ MCS-51	30
4.1 คุณสมบัติของ MCS-51	30
4.2 โครงสร้างของไมโครคอนโทรลเลอร์	31
4.3 ตำแหน่งขาของ MCS-51	32
บทที่ 5 อธิบายการทำงานของวงจร	36
5.1 ภาควงจรสร้างสัญญาณนาฬิกา 5 เมกะเฮิรตซ์	36
5.2ภาควงจรแยกสัญญาณซิงค์	36
5.3 ภาควงจรแปลงสัญญาณอนาลอกเป็นดิจิตอล	37
5.4ภาควงจรนับ	38
5.5 ภาควงจรหน่วยความจำและประมวลผล	40
บทที่ 6 การทดลองและผลการทดลอง	44
6.1 ผลการทดลองภาคสร้างสัญญาณนาฬิกา 5 เมกะเฮิรตซ์	44
6.2 ผลการทดลองภาควงจรแยกสัญญาณซิงค์	44
6.3ผลการทดลองภาควงจรนับ	48

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

หน้า

6.4 ผลการทดลองแปลงสัญญาณอนาลอกเป็นดิจิตอล 49

6.5 การทดลองและผลการทดลองการยกชิ้นงาน 50

บทที่ 7 สรุปผลการทดลอง 52

ภาคผนวก

หนังสืออ้างอิง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 1
บทนำ

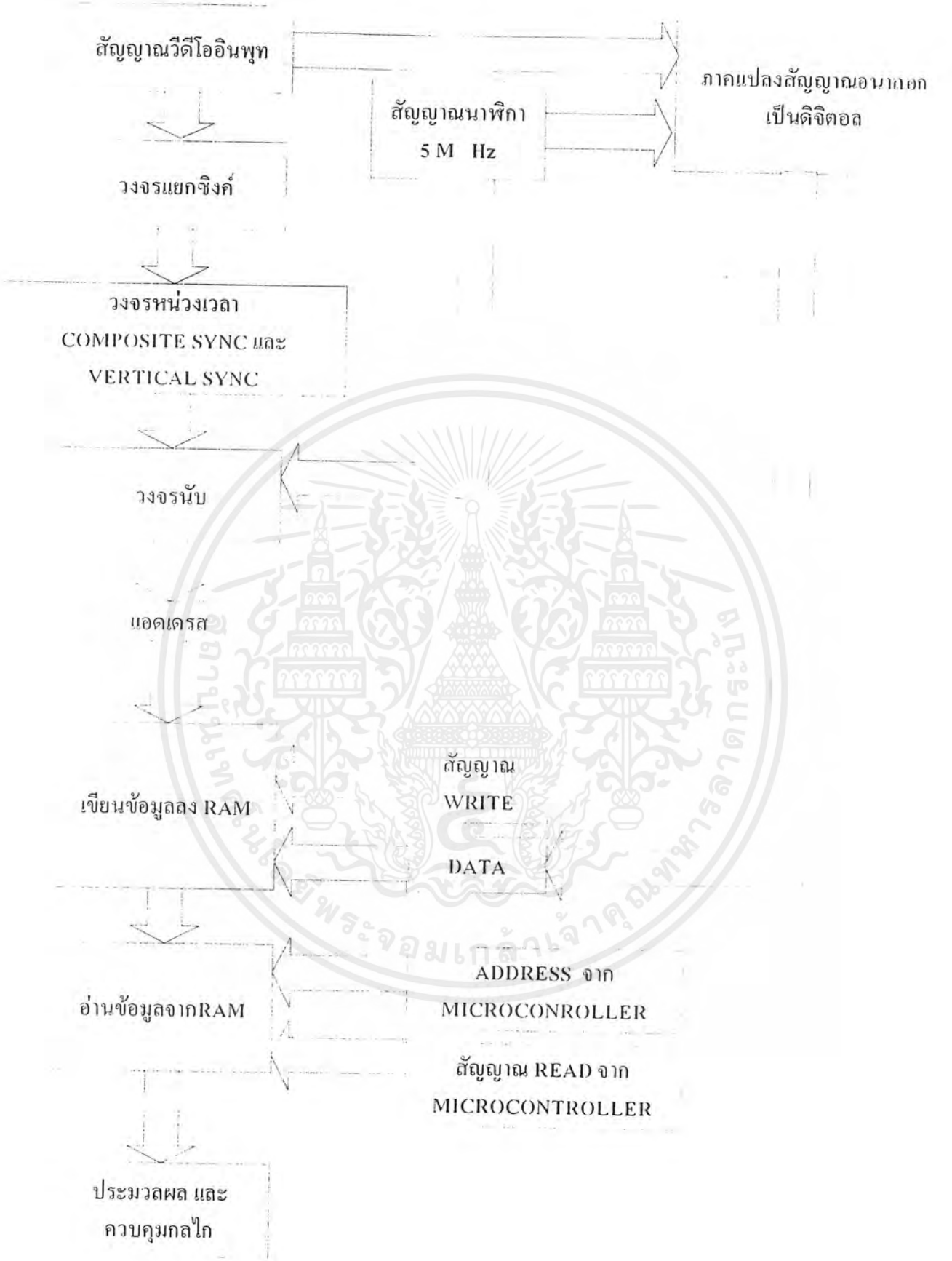
ในปัจจุบันนี้จะเห็นได้ว่าอุตสาหกรรมมีความสำคัญต่อระบบเศรษฐกิจของประเทศเป็นอย่างมาก ซึ่งสามารถส่งออกเพื่อทำรายได้ให้กับประเทศปีหนึ่งเป็นจำนวนมาก และในการอุตสาหกรรมนี้ถ้าหากว่าของที่เราใช้เป็นสินค้าส่งออกนั้นไม่ได้คุณภาพตามที่ผู้ซื้อต้องการนั้นก็อาจจะมีผลทำให้ผู้ซื้อต้องส่งของกลับคืน ซึ่งทำความเสียหายต่อผู้ผลิตเป็นอย่างมากเช่นเดียวกัน ดังนั้นเราจึงควรที่จะมีการคัดแยกสินค้าที่ไม่ได้มาตราฐานก่อนที่จะนำไปส่งออกเพื่อขายต่อไป

โครงงานนี้ ได้ทำการทำเครื่องคัดแยกของหรือสินค้าที่ไม่ได้มาตราฐานออกไปจากขบวนการผลิตสิ่งของต่างๆ โดยจะใช้กล้องวิดีโอเพื่อที่จะนำสัญญาณภาพมาประมวลผล และจะทำการเปรียบเทียบจำนวนจุดภาพของสัญญาณภาพที่เข้ามาทางอินพุทที่มีระดับแรงดันที่ต้องการ กับจำนวนจุดภาพ ที่กำหนดไว้ในโปรแกรมในส่วนของไมโครคอนโทรลเลอร์ ซึ่งไมโครคอนโทรลเลอร์จะทำการประมวลผล เพื่อที่จะได้ตัดสินใจในการคัดแยกสิ่งของที่ไม่ได้มาตราฐานออกไปจากการผลิต โดยจะมีโครงสร้างการทำงานดังบล็อคไดอะแกรมรูปที่ 1.1

วัตถุประสงค์ของโครงงาน

1. เพื่อศึกษาและประยุกต์ใช้งาน สัญญาณภาพรวมในงานด้านการประมวลผล
2. เพื่อศึกษาและประยุกต์ใช้งาน ไมโครคอนโทรลเลอร์ในงานด้านการประมวลผล

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 1.1 บล็อกไดอะแกรมของวงจร

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 2
ทฤษฎีของสัญญาณภาพโทรทัศน์

ในโครงงานนี้ได้มีการศึกษาเรื่องต่างๆมากมาย แต่เรื่องที่สำคัญมากที่สุดในที่นี้ก็คือเรื่องที่เกี่ยวข้องกับสัญญาณภาพวิดีโอรวมและการนำสัญญาณภาพเหล่านี้มาใช้งาน เพื่อจะได้นำมาประยุกต์ใช้ในโครงงานชิ้นนี้

ภาพที่เกิดขึ้นที่จอโทรทัศน์อันที่จริงแล้วเกิดจาก การที่เรานำภาพนิ่งมาต่อกัน โดยแต่ละภาพจะมีความแตกต่างกันเล็กน้อย และเกิดขึ้นในเวลาอันรวดเร็วจนทำให้สายตาของคนเราเห็นเป็นภาพที่ต่อเนื่อง ในภาพแต่ละเฟรมในตัวของมันเองประกอบด้วยพื้นที่เล็กๆของแสงและจุด หากภาพนั้นมีรายละเอียด (Detail) ของจุดแสงมากภาพที่ออกมาจะมีรายละเอียดมากกว่าภาพที่มีจุดและแสงรายละเอียดน้อย (ซึ่งภาพจะออกมาหยาบ)

2.1 องค์ประกอบภาพ

หากเราตัดภาพจากหนังสือพิมพ์มาสักภาพหนึ่ง แล้วขยายให้ใหญ่ขึ้นด้วยกล้องหรือแว่นขยาย จะพบว่าภาพมีองค์ประกอบมาจากจุดสีขาวและจุดสีดำมากมาย มาเรียงกันประกอบขึ้นเป็นภาพ จุดเหล่านี้เองที่เรียกว่าองค์ประกอบภาพ หรือพิคเจอร์ อีลีเมนต์ (Picture Element) หรือ พิกเซล (Pixel)

ทำนองเดียวกันภาพที่เกิดขึ้นบนจอโทรทัศน์ก็เอามาจากหลักการนี้ ภาพที่เกิดขึ้นบนจอโทรทัศน์ประกอบด้วยเส้นขวางเล็กๆ ในแนวนอนเป็นจำนวนมาก แต่ละเส้นนั้นมีทั้งส่วนที่ดำสนิท ส่วนที่จางและส่วนที่สว่างรวมกันอยู่ เส้นเหล่านี้เราได้มาจากการกวาดลำแสง (Scan) ความแตกต่างกันบนเส้นกวาดลำแสงหรือเส้นสแกนเหล่านี้เองที่เราจัดว่าเป็นองค์ประกอบของภาพ

ระบบการสแกน 525 เส้น เราจะแบ่งเส้นทางแนวตั้งได้ 700 เส้น ดังนั้นจึงกล่าวได้ว่าหากจะหาจำนวนขององค์ประกอบภาพในระบบการสแกน 525 เส้นแล้ว จะได้เท่ากับ 525*700 เท่ากับ 3671,500 พิกเซล ยิ่งภาพมีจำนวนเส้นมากเท่าไรรายละเอียดภาพยิ่งมากขึ้นเท่านั้น เหมือนอย่างที่เรากล่าวถึงรายละเอียดภาพมาแต่ข้างต้น โทรทัศน์ที่มีจำนวนเส้นสแกนมาย่อมได้รายละเอียดหรือความชัดเจนของภาพมากกว่า แต่การออกแบบวงจรก็จะยากตามไปด้วยเนื่องจากแบนด์วิธของความถี่จะต้องกว้างขึ้นด้วยให้พิจารณาจากสูตรต่อไปนี้

$$f_{max} = \tfrac{1}{2} K n^2 f_p (b/h)(Y/X)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เมื่อ f_{max} คือ ความถี่สูงสุด

K คือ ค่าคงที่ประมาณ 0.64 ถึง 0.7

n คือ จำนวนเส้นสแกน

f_p คือ จำนวนภาพต่อวินาที

b/h คือ อัตราส่วนแอสเปคซึ่งทั่วๆไปเราใช้อัตรา 4 ต่อ 3

Y/X คือ ค่าแอฟเฟ็คทีฟแฟ็เตอร์ มีค่า 0.95/0.84

จากสูตรนี้เราพบว่าถ้าจำนวนเส้นสแกนเพิ่มมากขึ้น ความถี่จะเพิ่มตามขึ้นมาด้วย จากที่กล่าวว่าระบบ 525 เส้นนั้นมีองค์ประกอบภาพ 367,500 พิกเซล แต่ความเป็นจริงแล้วเรามองเห็นได้ไม่ครบทุกพิกเซล เนื่องจากมีบางส่วนหายไประหว่างการสแกน จากการทดลองพบว่าภาพที่พอดูได้จะมีองค์ประกอบไม่ต่ำกว่า 200,000 พิกเซล

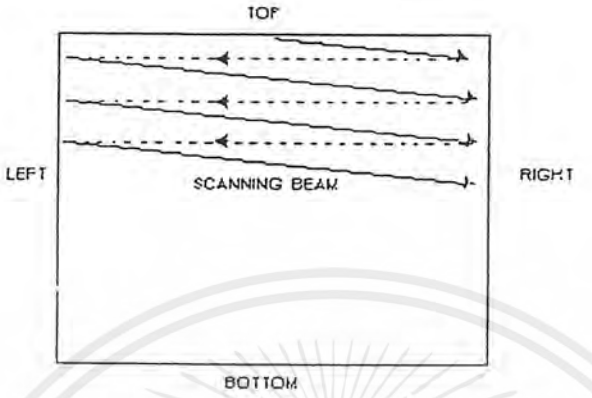
ต่อระบบที่ใช้อยู่ในประเทศไทย ปัจจุบันเราใช้ระบบการสแกน 625 เส้น 25 ภาพต่อวินาที จึงทำให้แบนด์วิธต้องกว้างถึง 7 เมกะเฮิรตซ์ ในขณะที่ระบบ 525 เส้นกว้างเพียง 6 เมกะเฮิรตซ์ เท่านั้น อย่างไรก็ตามองค์ประกอบของภาพจะมีความละเอียดมากขึ้น โดยสามารถหาองค์ประกอบของภาพได้จากค่าจำนวนของเส้นสแกน 625 เส้นคูณกับจำนวนจุดหรือองค์ประกอบทางแนวตั้ง 851 เส้น ได้เท่ากับ 531,875 พิกเซล

2.2 การสแกน

จากองค์ประกอบภาพที่ได้กล่าวมาตอนต้น เครื่องส่งจะรับภาพแล้วเปลี่ยนเป็นพลังงานแสงเป็นพลังงานไฟฟ้าแล้วส่งเป็นจุดขาวดำมา เครื่องรับจะรับเอาสัญญาณเหล่านี้มาเรียงกันใหม่โดยการกวาดเป็นเส้นภาพขึ้นที่หน้าจอ วิธีการนี้เราเรียกว่าการสแกน (Scanning) โดยตัวที่มีหน้าที่สำคัญคือองอภาพหรือหลอดภาพนั่นเองหลอดภาพมีโครงสร้างคล้ายๆหลอดสูญญากาศทั่วไปที่ปล่อยอิเล็กตรอนออกมาจากแคโถด แล้วจะมีการดึงลำอิเล็กตรอนให้วิ่งไปเป็นลำกระทบที่แอโนดหรือหน้าจอ ตรงหน้าจอนั้นมีการฉาบสารเรืองแสงไว้เพื่อให้เกิดการเรืองแสงของจอ

การสแกนมี 2 วิธี คือการสแกนแบบก้าวหน้า (Progressive Scanning) กับการสแกนแบบสลับเส้น (Interlaced Scanning)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.1 แสดงวิธีการเบื้องต้นของการสแกน

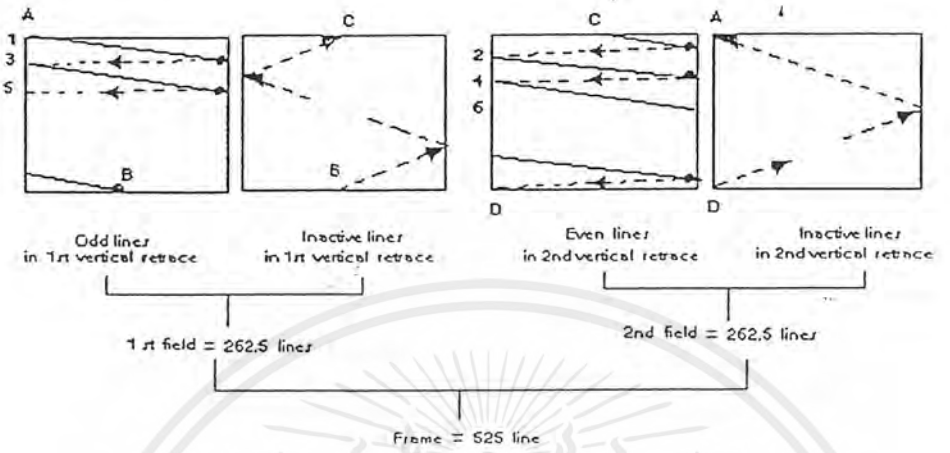
การที่จะทำให้การสแกนมีความต่อเนื่องขององค์ประกอบภาพดังที่กล่าวมาแล้วจะต้องคำนึงถึงหลัก 3 ประการคือ

1 ลำอิเล็กตรอนที่กวาดไปทางแนวนอน (Horizontal Scanning) ในแต่ละครั้ง จะต้องคลอบคลุมองค์ประกอบภาพทั้งหมดของเส้นนั้นๆ

2 ในแต่ละเส้นของการสแกนลำอิเล็กตรอน ลำแสงจะต้องกวาดกลับด้วยความเร็วสูงไปยังด้านซ้ายเพื่อเริ่มต้นภาพทางแนวนอนลำดับต่อไปเวลาของการสะบัดกลับเรียกว่า " รีเทรซ " (Retrace) หรือฟลายแบ็ค (Flyback) ในกรณีดังกล่าวจะต้องไม่มีข้อมูลภาพใดๆ เพราะว่าทั้งกล้องถ่ายและหลอดภาพจะเกิดการแบลงค์เอาท์ (Blank Out) ในขณะนั้น

3 ในขณะที่เส้นสแกนสะบัดกลับมาเพื่อเริ่มต้นทางซ้ายใหม่ ตำแหน่งทางแนวตั้งต้องต่ำกว่าตำแหน่งเดิมเพื่อให้การสแกนเส้นต่อไปไม่ทับกัน ทั้งนี้โดยการควบคุมของสัญญาณทางแนวตั้ง (Vertical Scanning)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

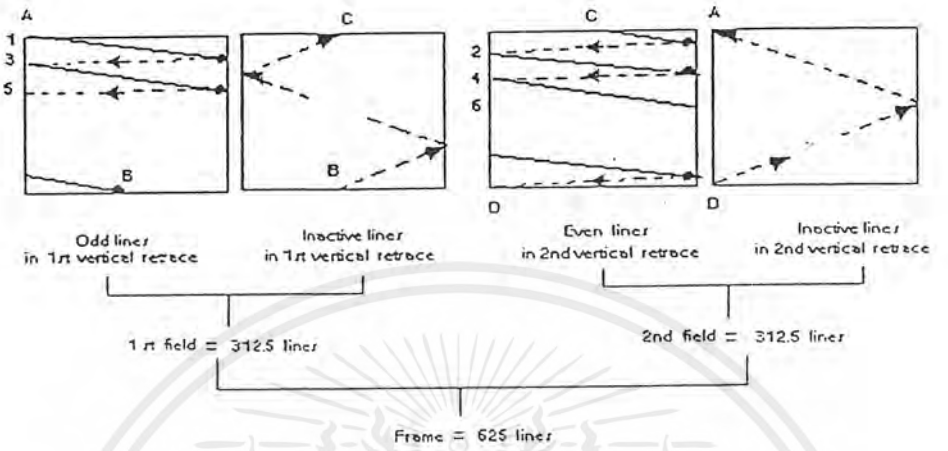


รูปที่ 2.2 รายละเอียดของการสแกนแบบสลับเส้นหรือแบบสอดแทรก

การสแกนที่ใช้ในเครื่องรับโทรทัศน์ถึงแม้เราจะพบว่าหากให้มีการเรียงภาพเกินกว่า 16 ภาพต่อวินาทีแล้ว สายตาจะเห็นเป็นภาพที่ต่อเนื่อง จากการทดลองสแกนเส้นภาพเราพบว่าแม้ภาพที่เกิดขึ้นจะเกิดขึ้น 24 ภาพต่อวินาทีแล้วก็ตาม ยังมีการกระพริบ (Flicker) เกิดขึ้น เนื่องจากว่าในขณะที่มีการสแกนเริ่มจากขอบบนลงมาด้านล่าง (ซึ่งคล้ายกับการเขียนหนังสือที่เริ่มจากซ้ายไปขวาบนลงล่าง) เริ่มเส้นสแกนลงมาถึงขอบด้านล่างแสงทางด้านบนในความรู้สึกของมนุษย์เริ่มมืดลงกว่าด้านล่าง เวลาที่ลำแสงการสแกนวกกลับไปด้านบน ด้านล่างก็เกิดปัญหาเช่นเดียวกัน ความรู้สึกต่อกรณีนี้ก็คือเกิดแสงกระพริบหรือวูบวาบขึ้น (Flicker) จึงต้องใช้การสแกนสลับหรือบางคนเรียกว่าการสแกนแบบสอดแทรก (Interlaced Scanning) โดยครั้งแรกจะสแกนฟิลด์คี่ (Odd Line Trace) และครั้งต่อไปจะสแกนฟิลด์คู่ (Even Line Trace) เป็นการสแกนแบบเส้นเว้นเส้น นั่นหมายความว่าการได้ภาพ 1 ภาพหรือที่เรียกว่าภาพ 1 เฟรม (Frame) ต้องใช้การสแกนแนวตั้ง 2 ครั้งหรือ 2 ฟิลด์ (Field)

ตามมาตราฐาน ซีซีไออาร์ (CCIR) ใช้เส้นสแกน 625 เส้นต่อหนึ่งภาพ และใช้ภาพ 25 ภาพต่อวินาทีดังนั้นใน 1 ฟิลด์จะมีเส้นสแกน 312.5 เส้น ภาพนิ่งแต่ละภาพซึ่งเป็นส่วนประกอบขององค์ประกอบภาพจะเกิดขึ้นภายใน 1/25 วินาที ความถี่ที่ใช้เพื่อการหักเหลำอิเล็กตรอนในแนวนอนจึงได้จากจำนวนเส้นภาพ 625 คูณกับจำนวนภาพในแต่ละเฟรม ดังนั้นเราจึงสามารถหาความถี่ได้จาก 625*25 เท่ากับ 15,625 เฮิรตซ์ ความถี่หักเหทางแนวตั้งจึงเท่ากับ 50 เฮิรตซ์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.3 การสแกนแบบสลับเส้นหรือแบบสอดแทรกในระบบ ซีซีอาร์

จากรูปที่ 2.2 และ 2.3 ได้แสดงวิธีการสแกนแบบสอดแทรกของระบบโทรทัศน์ ทั้ง 2 ระบบใหญ่ที่ใช้กันในปัจจุบัน โดยเมื่อเริ่มต้นการสแกนสมมุติว่าการเริ่มสแกนในกรณีนี้เริ่มจากสแกนในเฟรมที่เป็นเส้นสแกนคี่ โดยเริ่มจาก A ซึ่งอยู่ทางซ้ายแล้วกวาดไปทางขวา นับเป็นเส้นสแกนเส้นที่ 1 แล้วจึงสแกนเส้นที่ 3, 5, 7, 9 และต่อๆไป จนกระทั่งได้เส้นสแกน 262.5 เส้นในระบบ เอฟซีซี หรือ 312.5 เส้นในระบบซีซีไออาร์ ซึ่งก็คือเส้นสแกนมาถึงจุด B ดังภาพที่ 2.2 และ 2.3 ณ จุดนี้การสแกนจะถูกความถี่หักเหทางแนวตั้งซึ่งเราเรียกว่า เวอร์ติคอล รีเทรซ (Vertical Retrace) หรือ สัญญาณฟลายแบ็ค (Flyback) ดึงกลับ ไปยังตำแหน่งในจุด C เพื่อเริ่มเส้นการสแกนเส้นคู่ต่อไป

เวลาของการรีเทรซ (Retrace Time) ทั้งการรีเทรซทางเวอร์ติคอล และ ฮอริซอนตอล เป็นเวลาสั้นๆ ถึงอย่างไรก็ตาม เราไม่ต้องการให้เส้นสแกนที่เป็นช่วงของการสบัดกลับนี้เข้ามารบกวน การทำให้เกิดสัญญาณภาพ ในส่วนนี้จึงต้องทำการลบเส้นสะบัดกลับ ก่อนที่จะถึงจุดที่ว่านั้น เรามาดูรายละเอียดของการสะบัดกลับว่าในส่วนของการกวาดลำแสง หรือการสแกนในทางแนวนอน (Horizontal) เวลาของการรีเทรซจะได้ประมาณ 10-16 เปอร์เซ็นต์ของเวลาทั้งหมด ในระบบเอฟซีซี. เราใช้เวลาในการสแกนทางแนวนอนเท่ากับ 63.5 ไมโครเซคคั่น ส่วนระบบซีซีไออาร์. เราใช้เวลาในการสแกนเท่ากับ 64 ไมโครเซคคั่น ดังนั้นเวลาของการรีเทรซจะได้ประมาณ 6.4 ไมโครเซคคั่น ในส่วนของทางด้านความถี่หักเหทางแนวตั้ง (Vertical) เราใช้เวลาในการรีเทรซไม่เกิน 5-8 เปอร์เซ็นต์ อย่างเช่นเราใช้เวลาในส่วนนี้เท่ากับ 3 เปอร์เซ็นต์ของเวลา 1/50 หรือ 1/60 ของวินาที ดัง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

นั้นเวลาของการรีเทรซจึงเท่ากับ 600 ไมโครเซคคั่น และ 500 ไมโครเซคคั่นตามลำดับ นั่นก็คือในช่วงของการรีเทรซทางแนวตั้ง กินเวลาการสแกนนานกว่าการสแกนทางแนวนอนประมาณ 8-10 เส้นภาพ

จากหลักการดังกล่าวเราสามารถสรุปกฎเกณฑ์บางอย่างได้ว่า ตามความเป็นจริงแล้วในเส้นภาพ 525 เส้น หรือ 625 เส้นนั้น เรามิอาจจะเห็นได้ครบทุกเส้น อย่างน้อยๆในกรณีที่เกิดเวอร์ติคอลรีเทรซจะกินเวลาของการสแกนทางแนวนอน (line) ไปด้วย แต่จะกินไปกี่เส้นนั้นขึ้นอยู่กับสัญญาณบังคับการฟลายแบ็ค ซึ่งในเครื่องรับเราเรียกตัวนี้ว่าสัญญาณแบลงกิ้ง

ตัวอย่าง ในระบบโทรทัศน์ เรากำหนดการสแกนภาพด้วยระบบ 625 เส้นภาพ และกำหนดว่าการสแกนนั้นให้มีเวอร์ติคอลรีเทรซ เท่ากับ 3 เปอร์เซ็นต์ของเวลาทั้งหมดของการสแกนทางแนวตั้ง ดังนั้นจงหาเส้นภาพที่หายไปจากจอภาพในระบบสแกนนี้

วิธีทำ

เวลาของการสแกนทางแนวตั้ง	=	1/50	วินาที
ค่า 3 เปอร์เซ็นต์ในกรณีรีเทรซ	=	3/(50*100)	วินาที
เวลาในการรีเทรซ	=	600	ไมโครเซคคั่น
เวลาในการสแกนเส้นภาพ	=	1/15625	วินาที
ดังนั้นการรีเทรซจะกินเส้นภาพไป	=	600/64	เส้น
		9.375	เส้น

หรือประมาณ 10 เส้น

ตัวอย่าง ในระบบโทรทัศน์ซีซีไออาร์ หากว่าค่าการรีเทรซทางเวอร์ติคอลใช้ค่าเวลามากที่สุดตามที่มาตราฐานในปัจจุบันกำหนดไว้ คือใช้เวลาประมาณ 5 เปอร์เซ็นต์ของเวลาทั้งหมดของการสแกนทางเวอร์ติคอล จงหาจำนวนเส้นภาพที่ปรากฏจริงบนหน้าจอว่ามีกี่ภาพ

วิธีทำ

เวลาของการสแกนทางแนวตั้ง	=	1/50	วินาที
ค่า 5 เปอร์เซ็นต์	=	5/(50*100)	วินาที
เพราะฉะนั้นเวลาในการรีเทรซ	=	1000	ไมโครเซคคั่น
เวลาในการสแกนเส้นภาพ	=	64	ไมโครเซคคั่น
การรีเทรซทางแนวตั้งกินเส้นภาพ	=	1000/64	
	=	15.625 หรือประมาณ 16 เส้น	
จำนวนเส้นภาพที่จอที่ปรากฏให้เห็น	=	625 - 16	

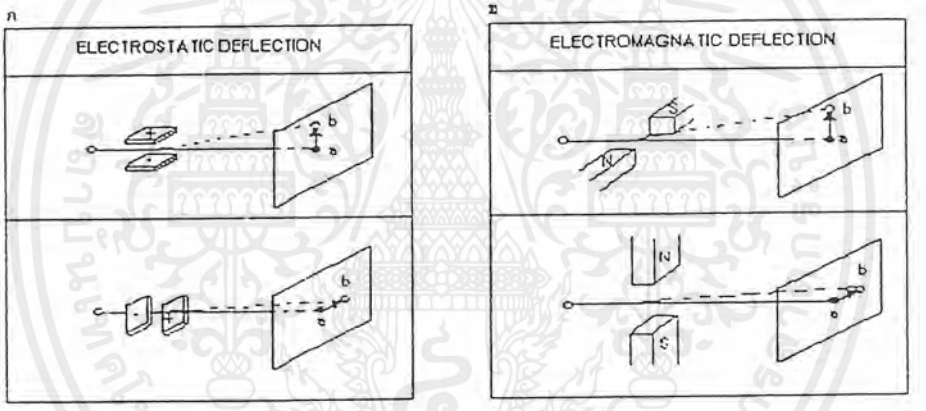
หรือประมาณ 609 เส้นภาพ

2.3 การหักเหลำอิเล็กตรอน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เมื่อกล่าวถึงการสแกนเพื่อเปลี่ยนสัญญาณภาพให้เป็นสัญญาณไฟฟ้าในเครื่องส่ง หรือสแกนเพื่อเปลี่ยนสัญญาณไฟฟ้าให้เป็นสัญญาณภาพบนจอของหลอดภาพในเครื่องรับโทรทัศน์ล้วนต้องใช้ลำอิเล็กตรอนเป็นตัวสำคัญ โดยเฉพาะในเครื่องรับ ภาพแสดงผลของหลอดภาพคือหลอดภาพ ซึ่งโครงสร้างของหลอดภาพเบื้องต้นอาศัยการยิงลำอิเล็กตรอนจากปืนอิเล็กตรอน (Electron Gun) โดยมีไฟแรงสูงเป็นตัวคอยดึงให้ลำอิเล็กตรอนวิ่งเข้าชนสารเรืองแสงที่หน้าจอ กรณีเช่นนี้จะทำให้เกิดแสงเพียงจุดเดียวตรงกลางจอ เราจะทำให้ได้เส้นภาพอย่างที่กล่าวมาแล้วสามารถกระทำได้โดยการเบี่ยงเบนหรือหักเหลำอิเล็กตรอน ให้เกิดการกวาดตามหลักการที่กล่าวมา

ลักษณะของลำอิเล็กตรอนนั้นเมื่อมันวิ่งเข้าไปยังสนามไฟฟ้าสถิตย์หรือสนามแม่เหล็กจะสามารถเปลี่ยนทิศทางได้ดังแสดงไว้ในรูปที่ 2.4



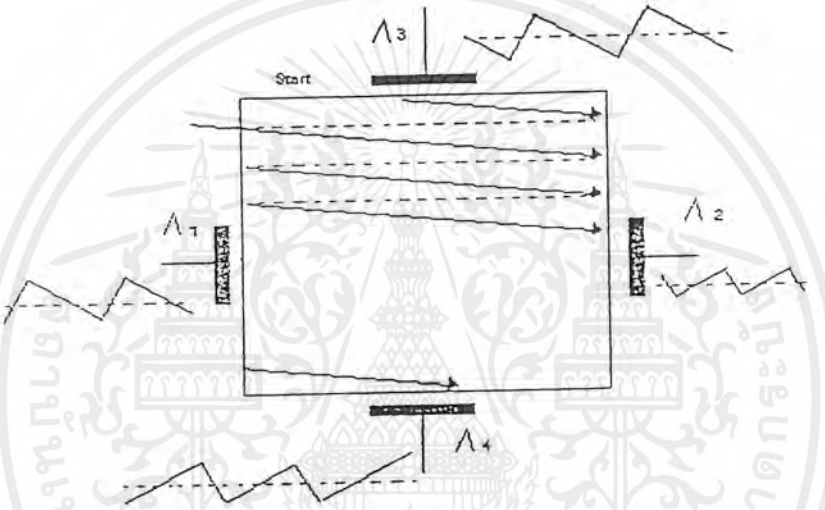
รูปที่ 2.4 การหักเหของลำอิเล็กตรอนเมื่ออยู่ในสนามไฟฟ้าและสนามแม่เหล็ก

จากหลักการของสนามไฟฟ้ากับเรื่องของสนามแม่เหล็กมีความแตกต่างกันอยู่ตามหลักการของการเบี่ยงเบนหักเห อย่างเช่นเรื่องของสนามไฟฟ้าเมื่อมาพบกับลำอิเล็กตรอนเราต้องอาศัยหลักการสนามไฟฟ้าโดยขั้วหรือศักย์ไฟฟ้าเหมือนกันจะผลักกัน ต่างกันจะดึงดูดกันอย่างในภาพ 2.4 ก ลำอิเล็กตรอนเราถือว่าเป็นสนามไฟฟ้าศักย์ลบ หากสนามไฟฟ้าที่เป็นอิเล็กโตรสแตติกขั้วบวกอยู่ด้านบน ขั้วลบอยู่ด้านล่าง จะมีผลทำให้ลำอิเล็กตรอนเฉไปทางด้านบน เนื่องจากสนามไฟฟ้าบวกดึงดูดลำอิเล็กตรอนเข้าไปหาและสนามไฟฟ้าลบผลักลำอิเล็กตรอนให้ห่างออกไปนั่นเป็นวิธีการหักเหทางแนวตั้ง ในทางกลับกันหากเราจะให้เกิดการหักเหทางแนวนอนก็สามารถทำได้โดยวางสนามไฟฟ้าในแนวนอน

หากเอาการหักเหลำอิเล็กตรอนตามหลักการของสนามแม่เหล็กจำเป็นต้องอาศัยทฤษฎีเข้ามาอธิบายหลักการของสนามแม่เหล็กตามกฎมือซ้ายทำให้เราสามารถอธิบายได้ว่าการที่ลำอิเล็กตรอนวิ่งเข้าชนสารเรืองแสงที่หน้าจอนั้นเปรียบดังกระแสวิ่งออกดังนั้นทิศทางของสนามแม่

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เหล็กจึงจะหมุนด้วยทิศทางทวนเข็มนาฬิกาเมื่อมาเจอกับสนามแม่เหล็กที่ใช้หักเหลำอิเล็กตรอนที่พุ่งจากขั้วเหนือไปยังขั้วใต้ กรณีเช่นนี้หากวางแม่เหล็กในแนวนอนจะเกิดการเบี่ยงเบนลำอิเล็กตรอนทางแนวตั้ง ในทางตรงกันข้ามหากวางแม่เหล็กในแนวตั้งจะเกิดการหักเหในทางแนวนอนจะเกิดการเบี่ยงเบนลำอิเล็กตรอนทางแนวตั้ง ในทางตรงกันข้ามหากวางแม่เหล็กในแนวตั้งจะเกิดการหักเหในแนวนอน



รูปที่ 2.5 การสแกนโดยใช้หลักการของการเบี่ยงเบนสนามไฟฟ้า (Deflection Electrostatic)

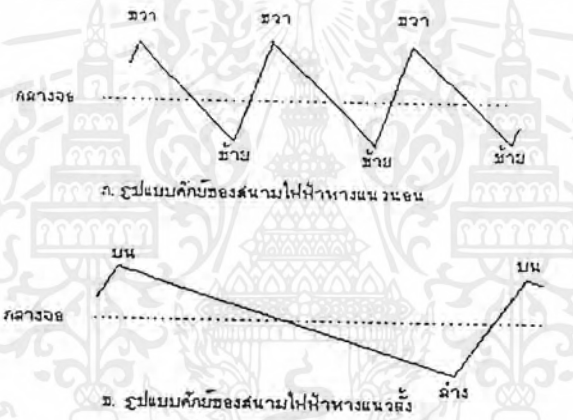
หลักการเบี่ยงเบนลำอิเล็กตรอนโดยอำนาจสนามไฟฟ้า (Deflection Electrostatic) น่าจะอธิบายได้ง่ายที่สุดในการอธิบายถึงการสแกน

สมมุติว่าในการกวาดลำสแกนครั้งแรกเราต้องให้เส้นที่ต้องการให้เส้นที่ต้องการเริ่มต้นที่ตรงจุดสตาร์ท หรือมุมบนซ้าย ในกรณีนี้เราต้องใช้สนามไฟฟ้าศักย์บวกป้อนเข้าที่อิเล็กโถดแผ่นที่ 1 (A1) และแผ่นอิเล็กโถดแผ่นที่ 2 (A2) ต้องที่ศักย์ตรงกันข้ามคือเป็นลบ ในกรณีนี้มีผลทำให้อิเล็กตรอนถูกสนามไฟฟ้าบวกดึงลำเข้าไปหาในขณะแผ่นลบผลักช่วยด้วยในเวลาเดียวกันนี้ คือสนามไฟฟ้าในแนวนอน (Horizontal Electrostatic) หากสนามไฟฟ้าที่แผ่นอิเล็กโถดแผ่นที่ 3 (A3) ได้รับสนามไฟฟ้าบวกและแผ่นที่ 4 (A4) ได้รับศักย์ไฟฟ้าลบแผ่น A3 จะดึงลำอิเล็กตรอนให้ขึ้นไปยังด้านบนในขณะที่แผ่น A4 ช่วยในการผลักขึ้นไป กรณีเช่นนี้ทำให้ลำแสงปรากฏอยู่ตรงมุมบนซ้ายของจอภาพได้แล้ว

หากต้องการให้ลำแสงสแกนจากด้านซ้ายไปทางด้านขวา แผ่น A1 จะต้องลดศักย์ไฟฟ้าบวกลงจนกลับเป็นลบ และให้แผ่น A2 เพิ่มศักย์ขึ้นเป็นบวก ลำอิเล็กตรอนจึงถูกแผ่น A1 ผลักออก

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

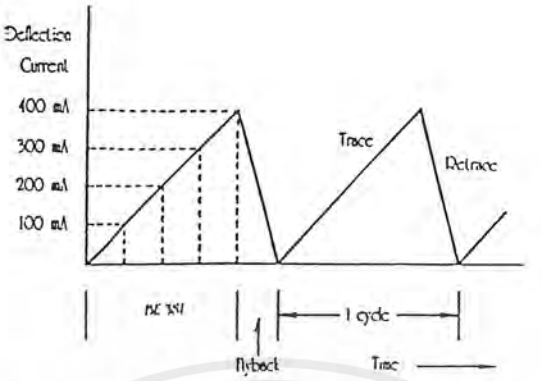
ห่างและแผ่น A2 จะดึงลำอิเล็กตรอนเข้าไปหา จึงเกิดลำแสงจากซ้ายไปด้านขวาได้แล้วหากต้องการให้มีการกวาดลำแสงจากขวากลับมาซ้ายอีกครั้ง สนามไฟฟ้าแผ่น A1 และ A2 ต้องสลับสนามไฟฟ้าเหมือนตอนแรกอีกครั้งหนึ่ง แต่หลักการสแกนบอกว่าการสแกนครั้งต่อ ๆไปต้องไม่ทับเส้นเดิม หากเราจะให้เป็นไปในลักษณะดังกล่าวสามารถทำได้โดยค่อย ๆลดศักย์ของสนามไฟฟ้าของแผ่น A3 ลง และค่อย ๆเพิ่มศักย์ของสนามไฟฟ้าของแผ่น A4 ขึ้น ก็จะทำให้อิเล็กตรอนถูกดึงลงมาข้างล่าง เมื่อแผ่น A3 มีศักย์ลบสูงสุดและแผ่น A4 มีศักย์บวกสูงสุด นั่นหมายถึงเส้นภาพลงมาสุดขอบจอภาพทางด้านล่างแล้ว



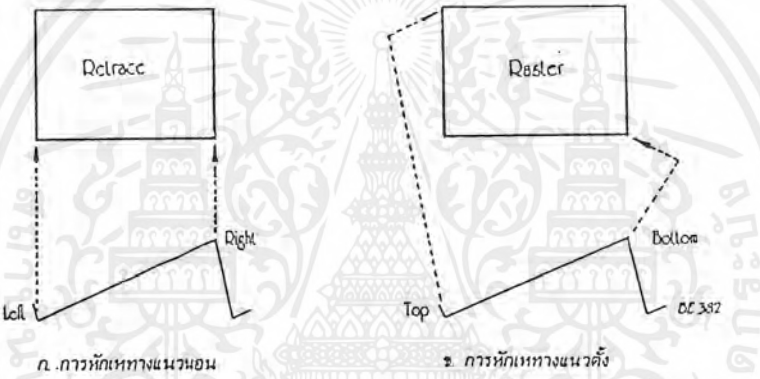
รูปที่ 2.6 สนามไฟฟ้าที่ใช้เพื่อการสแกน

จากหลักการดังกล่าวถ้าเอามาเปรียบเทียบกับสัญญาณทางไฟฟ้าแล้ว เราจะพบว่าหากเราจะสร้างกรรมวิธีสแกน ต้องสร้างสัญญาณการสแกนเป็นรูปฟันเลื่อย และสัญญาณดังกล่าวจะต้องเป็นเส้นตรงจริง ๆ จึงจะทำงานได้ถูกต้อง (Precision) เมื่อเราหลักการเบี่ยงเบนลำอิเล็กตรอนดังกล่าวมาใช้ในรูปแบบของสนามแม่เหล็ก (Electrostatic Deflection) ซึ่งตัวที่จะสร้างอำนาจแม่เหล็กไฟฟ้าคือดีเฟล็คชั่นโย้ค (Deflection Yoke) ซึ่งเป็นขดลวดสร้างสนามแม่เหล็กไฟฟ้า สัญญาณที่จะต้องป้อนเข้าไปยังขดลวดชุดนี้จึงต้องมีลักษณะเบื้องต้นดังรูปที่ 2.7

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.7 สัญญาณฟันเลื่อยที่จะใช้บังคับการสแกน ทั้งทางแนวนอนและแนวตั้ง



รูปที่ 2.8 แสดงวิธีการเบื้องต้นอันเป็นแนวคิดของเส้นเทรซและรีเทรซทั้งสองแนว

จากรูปที่ 2.9 เป็นรูปแบบของการสแกนที่เราแสดงการสแกนเพียง 21 เส้น โดยในระบบ 525 เส้น หรือในระบบ 625 เส้น ครึ่งหนึ่งของ 21 เส้นคือ 10.5 เส้น ในส่วนนี้มีผลจากเส้นรีเทรซทางเวอร์ติคอลพ่วงเข้ามาด้วยดังนั้นเส้นภาพที่ปรากฏจริงจึงไม่ครบ 21 เส้น สมมุติว่าเราสามารถเห็นเส้นภาพในการสแกนในกรณีนี้เพียงครั้งละ 9.5 เส้นเท่านั้น

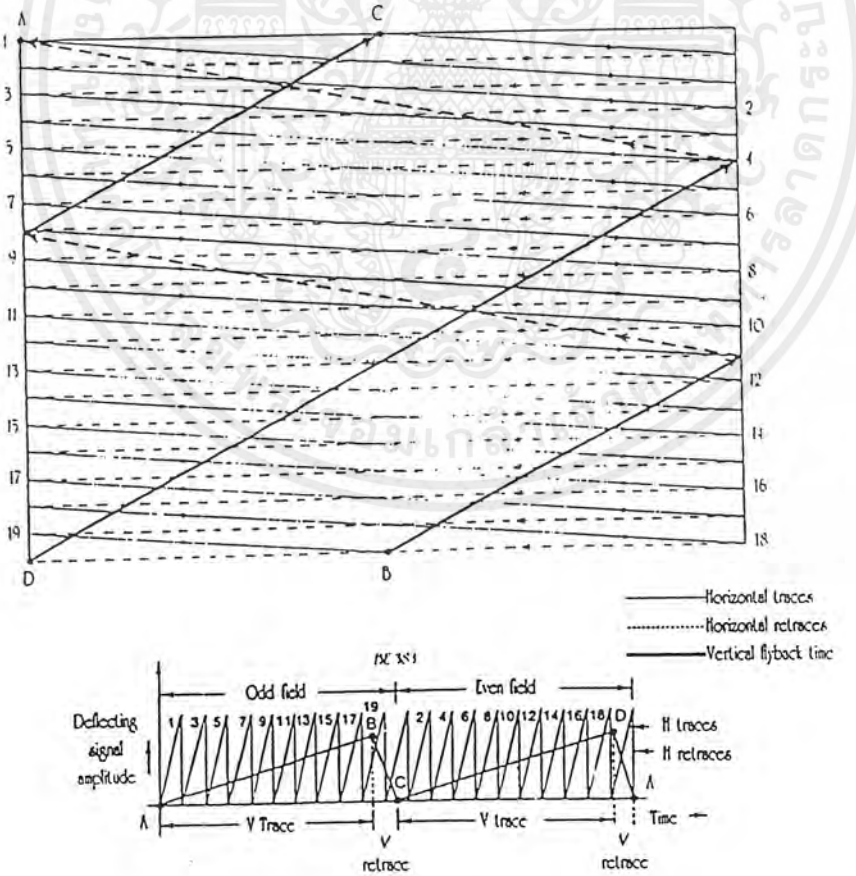
เริ่มตั้งแต่การสแกนจากจุดมุมซ้ายบนสุด (จุด A) เส้นสแกนจะเรียกบีม (Beam) ลำอิเล็กตรอนจากทางซ้ายไปทางขวาและสบัดกลับ (Retrace) มาเริ่มต้นทางซ้ายอีกครั้งในตำแหน่งไลน์ที่ 3 (คำว่าเส้นภาพอาจจะใช้ทับศัพท์ว่าไลน์ก็ได้) และขบวนการสแกนเส้นภาพเส้นคี่จะดำเนินไปเหมือนครั้งแรกแล้วเริ่มไลนถัดไป จนกระทั่งได้ 9.5 เส้นหรือจุด B ซึ่งเป็นขอบล่างของจอภาพ การที่มันสามารถสแกนได้อย่างนี้เพราะในขณะนั้นมีสัญญาณเพื่อการเบี่ยงเบนลำอิเล็กตรอนทางแนวนอน ทำให้เกิดการเทรซและรีเทรซ โดยสัญญาณเบี่ยงเบนลำอิเล็กตรอนทางแนวตั้งจะดึงเส้นภาพที่ได้จากการสแกนมิให้เกิดการทับเส้นสแกนกัน จนกระทั่งแรงดึงสูงสุดเมื่อเส้นภาพถึงจุด B ในเวลานี้เองจะเป็นช่วงเวลาของการรีเทรซสัญญาณทางแนวตั้ง ลำอิเล็กตรอนจึงลาดเอียงขึ้นไปทางด้านบนของทิศทางการสแกนจนกระทั่งสิ้นสุดที่จุด C อย่าลืมว่าในขณะที่เกิดการรีเทรซทาง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

แนวตั้งสัญญาณเทรซและรีเทรซทางแนวนอนจะยังคงดำเนินต่อไป นี่เองที่ทำให้เส้นภาพที่ควรจะเกิดบนหน้าจอขาดหายไป อย่างกรณีตัวอย่างนี้เราจะเห็นว่าขาดหายไปประมาณ 2 เส้นภาพ โดยขาดหายไปในระหว่างการสแกนเส้นคี่ 1 เส้นภาพ และเมื่อมีการสแกนเส้นคู่จากจุด C จนกระทั่งมาถึงจุด D จังหวะนั้นจะมีการรีเทรซทางแนวตั้งอีกครั้งจะพบว่าเส้นภาพจะขาดหายไปอีก 1 เส้น

การที่จะให้การสแกนเส้นคี่และเส้นคู่ในระบบการสแกนแบบสอดแทรกเป็นไปในลักษณะที่เห็น (คือหากตอนแรกสแกนเส้นคี่ และครั้งต่อมาสแกนเส้นคู่ โดยเส้นคู่ที่เริ่มสแกนตรงส่วนบนของจอภาพจะเริ่มที่จุดกึ่งกลางของเส้นภาพ) ความถี่เพื่อการหักเหเบี่ยงเบนลำอิเล็กตรอนเพื่อการสแกนทางแนวตั้งและแนวนอนต้องแน่นอน มิฉะนั้นจะควบคุมสัญญาณฟันเลื่อยเพื่อการเทรซและรีเทรซไม่ได้เลย

ในช่วงการรีเทรซไม่ว่าจะเป็นทางแนวตั้งหรือแนวนอนจะต้องถูกควบคุมให้เกิด " แบลงกิ้ง " (Blanking) ซึ่งความหมายของแบลงกิ้งมีความหมายถึงการ " ทำให้มืด " (go to black) ดังนั้นสัญญาณภาพรวมต้องมีสัญญาณแบลงกิ้งส่งไปให้เครื่องรับลบเส้นสะบัดกลับด้วยในเวลาเดียวกัน



รูปที่ 2.9 หลักการเบื้องต้นที่เป็นตัวอย่างในการอธิบายเรื่องการสแกน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

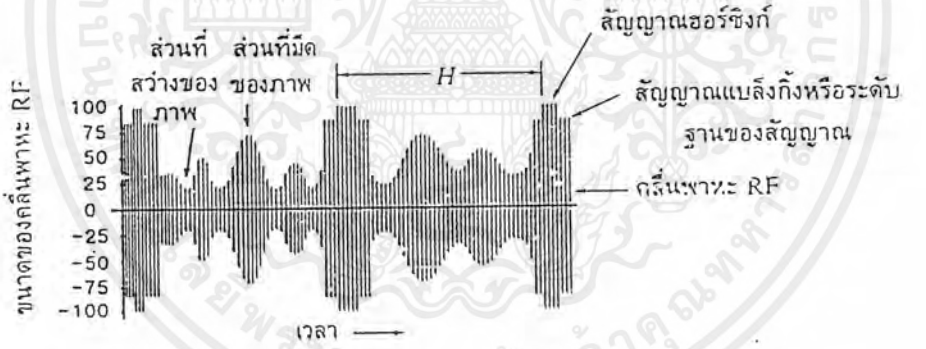
2.4 สัญญาณภาพรวม (Composite Video Signal)

การเปลี่ยนภาพในรูปของแสงให้เป็นสัญญาณภาพ เมื่อจะส่งให้กับเครื่องรับเพื่อเปลี่ยนเป็นภาพ จะมีสัญญาณรวมอยู่กับสัญญาณภาพเพื่อช่วยในการสร้างภาพที่หน้าจอโทรทัศน์ ดังรูปที่ 2.10 ซึ่งประกอบไปด้วย

- สัญญาณลบเส้นสะบัดกลับหรือสัญญาณแบล็งกิ้ง
- สัญญาณควบคุมการสร้างความถี่เบี่ยงเบนหรือสัญญาณซิงค์
- สัญญาณรายละเอียดภาพหรือสัญญาณอีควอไลซิ่ง (Equalizing Pulse)

การรวมกับสัญญาณภาพจึงเรียกว่าสัญญาณภาพรวม เหตุผลสำคัญที่ต้องมีสัญญาณต่างๆ รวมอยู่กับสัญญาณภาพคือ

1. เพื่อให้เส้นสแกนที่หน้าจอภาพเกิดเป็นภาพตรงกับเส้นสแกนภาพที่กล้องโทรทัศน์
2. การเบี่ยงเบนทางแนวตั้งและแนวนอนของเครื่องส่งและเครื่องรับตรงจังหวะกัน
3. ในจังหวะสะบัดกลับของเส้นสแกนจะไม่ปรากฏสัญญาณภาพ



รูปที่ 2.10 สัญญาณภาพรวม

2.4.1 สัญญาณลบเส้นสะบัดกลับ (Blanking Pulse)

สัญญาณลบเส้นสะบัดกลับเป็นสัญญาณที่ส่งให้กับภาคขยายสัญญาณภาพภาคสุดท้าย เพื่อหยุดการขยายสัญญาณภาพในขณะที่เส้นสแกนกำลังย้อนกลับมาตั้งต้นใหม่หรือสะบัดกลับมาตั้งต้นใหม่ การลบเส้นสะบัดกลับจะทำให้ไม่เห็นเส้นขณะย้อนกลับบนจอภาพ สัญญาณแบล็งกิ้งจะมีด้วยกันสองสัญญาณคือ สัญญาณลบเส้นสะบัดกลับทางแนวนอนและแนวตั้งซึ่งทำหน้าที่แตกต่างกันในช่วงเวลาที่แตกต่างกันคือ

- สัญญาณลบเส้นสะบัดกลับแนวนอน (Horizontal Blanking) ทำหน้าที่ลบเส้นสะบัดกลับทางแนวนอน ในช่วงสะบัดกลับของเส้นสแกนจากด้านขวาของจอภาพให้กลับมาเริ่มต้น

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

กราดทางด้านซ้ายของจอภาพ สัญญาณลบเส้นสะบัดกลับทางแนวนอนจะมีความถี่เท่ากับเส้นสแกนทางแนวนอนคือ 15,625 เฮิรตซ์

- สัญญาณลบเส้นสะบัดกลับทางแนวตั้ง (Vertical Blanking Pulse) ทำหน้าที่ลบเส้นสะบัดกลับทางแนวตั้ง ในช่วงเวลาสะบัดกลับของเส้นสแกนจากด้านล่างของจอภาพขึ้นมาเริ่มต้นที่ด้านบนของจอภาพ ซึ่งการสแกนเส้นคี่จะสิ้นสุดที่กึ่งกลางขอบล่างของจอภาพแล้วย้อนกลับไปเริ่มการสแกนเส้นคู่ที่กึ่งกลางด้านบนของขอบจอ ส่วนช่วงเวลาสะบัดกลับของการสิ้นสุดการสแกนเส้นคู่จะเริ่มสะบัดกลับมาที่ด้านขวาสุดของขอบจอภาพด้านล่างแล้วย้อนกลับมาเริ่มสแกนเส้นคี่ที่ด้านซ้ายสุดของขอบจอภาพด้านบน ช่วงเวลาสะบัดกลับจะไม่เห็นการสแกน โดยการลบเส้นสะบัดกลับจะใช้ความถี่ 50 เฮิรตซ์ ครั้งใน 1 วินาที โดยสะบัดกลับในขณะที่สิ้นสุดการสแกนเส้นคี่ 25 ครั้ง และสิ้นสุดการสแกนเส้นคู่ 25 ครั้ง

2.4.2 สัญญาณซิงค์

สัญญาณซิงค์เป็นสัญญาณที่ทำหน้าที่ควบคุมการสแกนของเครื่องส่งและเครื่องรับให้ทำงานตรงกันในจังหวะการสแกนพร้อม ๆ กันสัญญาณซิงค์จึงเป็นสัญญาณหนึ่งที่ส่งมาจากเครื่องส่งเพื่อให้เครื่องรับนำมาใช้ในการสร้างสัญญาณภาพการเบี่ยงเบนทางแนวตั้งและแนวนอนของภาค สร้างสัญญาณความถี่เบี่ยงเบน สัญญาณซิงค์จึงประกอบด้วย 2 สัญญาณคือ

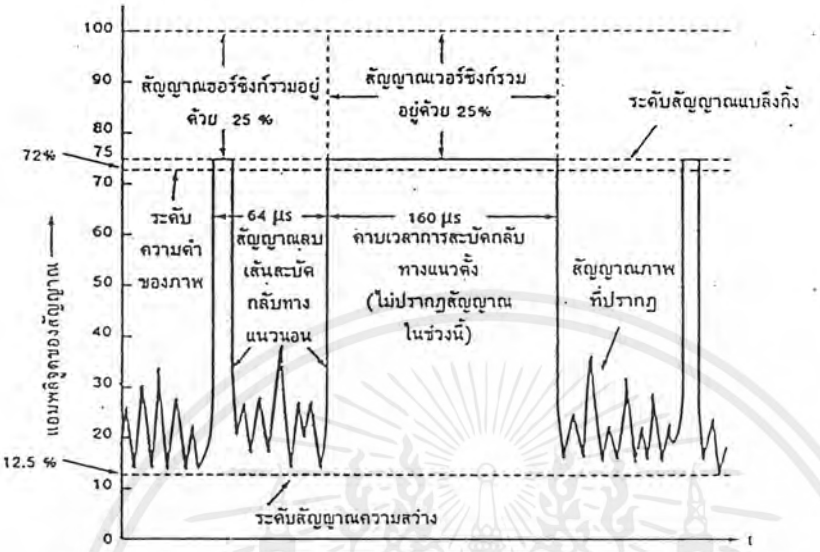
- สัญญาณซิงค์ทางแนวตั้ง หรือเวอร์ซิงค์ (Vertical Sync) เป็นสัญญาณควบคุมการสร้างความถี่เบี่ยงเบนทางแนวตั้ง โดยจะมีอยู่ที่การสแกนของฟิลด์เส้นคี่และฟิลด์เส้นคู่ เพื่อเป็นจังหวะในการเริ่มการเบี่ยงเบนของลำอิเล็กตรอนทางแนวตั้ง ซึ่งจะใช้สัญญาณเวอร์ซิงค์ 5 ลูกอยู่ระหว่างสัญญาณอีควอไลซิ่ง

- สัญญาณซิงค์ทางแนวนอน หรือฮอร์ซิงค์ (Horizontal Sync) เป็นสัญญาณควบคุมการสร้างความถี่เบี่ยงเบนทางแนวนอน โดยสัญญาณฮอร์ซิงค์จะอยู่ด้านบนของสัญญาณแบล็งกิ้ง เพื่อเป็นจังหวะในการเริ่มต้นการเบี่ยงเบนทางแนวนอน สัญญาณฮอร์ซิงค์จะเริ่มจากประมาณ 75 เปอร์เซ็นต์ของสัญญาณรวมภาพมีความกว้างของสัญญาณ 4.7 ไมโครเซคคั่น

2.4.3 ความสัมพันธ์ระหว่างสัญญาณแบล็งกิ้งกับสัญญาณซิงค์

สัญญาณแบล็งกิ้งและสัญญาณซิงค์เป็นสัญญาณที่ทำงานสัมพันธ์กัน เมื่อมีการสแกนของเส้นจังหวะเริ่มต้นก็ตรงจังหวะกับทางเครื่องส่ง และเมื่อสแกนจากซ้ายไปขวาสุดของขอบจอก็ต้องสะบัดกลับมาตั้งต้นใหม่ สัญญาณการสแกนทางแนวตั้งและแนวนอนกับสัญญาณการสะบัดกลับทางแนวตั้งและแนวนอนจึงต้องสัมพันธ์กัน ดังรูปที่ 2.11

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



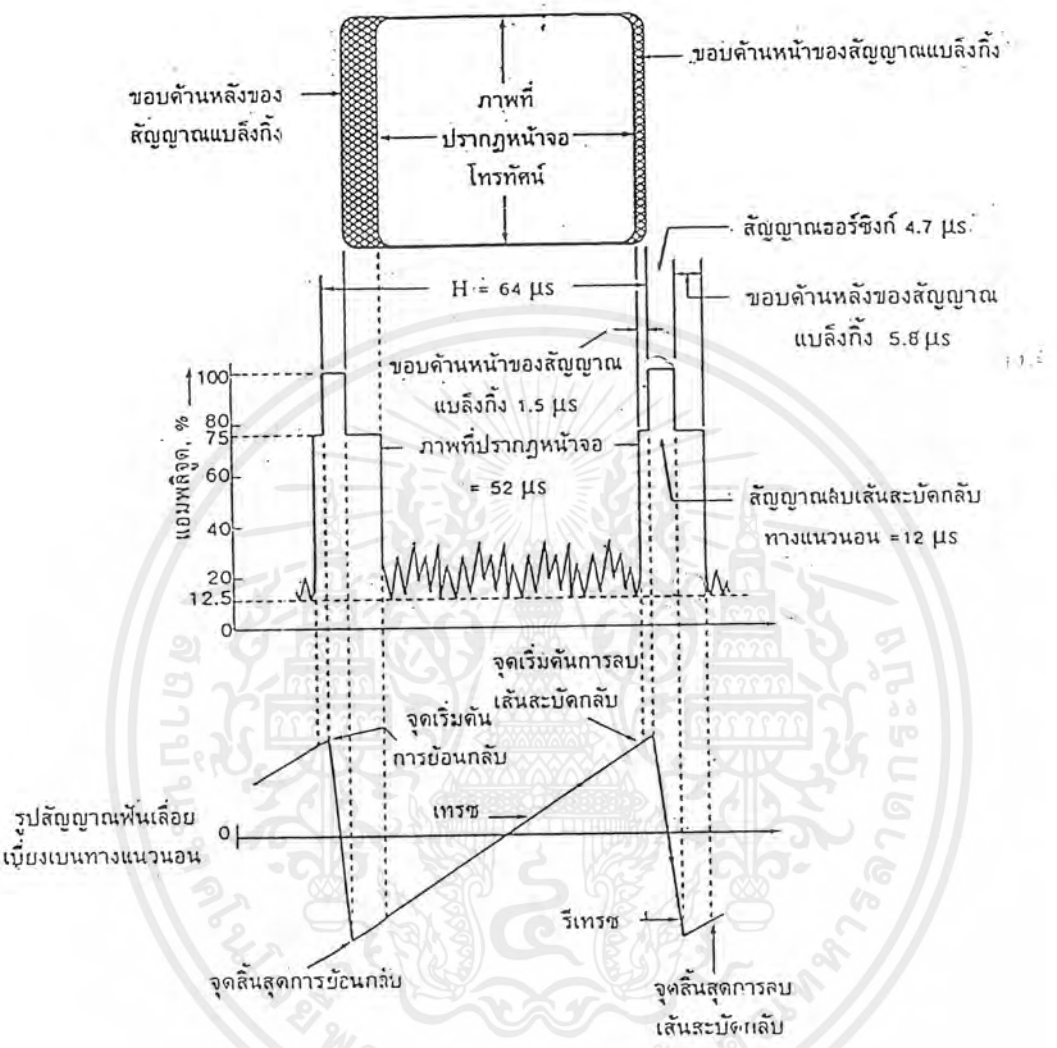
รูปที่ 2.11 ความสัมพันธ์ระหว่างสัญญาณแบล็งกิ้งกับสัญญาณซิงค์

2.4.4 สัญญาณแบล็งกิ้งและสัญญาณฮอร์ซิงค์ (Horizontal Blanking and Sync)

สัญญาณภาพในหนึ่งเส้นสแกนทางแนวนอนมาตราฐาน CCIR จะใช้เวลาในการสแกน 64 ไมโครเซคคั่น การเริ่มสแกนกระทำตามการเริ่มของฮอร์ซิงค์ เมื่อสิ้นสุดการสแกนหนึ่งเส้นก็จะสะบัดกลับมาตั้งต้นใหม่โดยสัญญาณแบล็งกิ้ง ดังรูปที่ 2.12

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สำนักหอสมุดกลาง พระจอมเกล้าลาดกระบัง



รูปที่ 2.12 สัญญาณแบล็งกิ้งและสัญญาณฮอร์ซิงค์

- คาบเวลาการสแกน คาบเวลาการสแกนทางแนวนอน เริ่มต้นจากขอบบนสุดของสัญญาณซิงค์รูปแรกถึงจุดเริ่มต้นของสัญญาณซิงค์อีกรูปหนึ่ง ใช้เวลา 60 ไมโครเซคคั่น ได้จากเส้นสแกนทางแนวนอน 625 เส้นต่อภาพคูณจำนวนภาพ 25 ภาพในหนึ่งวินาที เท่ากับ 15,625 เส้น/วินาที ดังนั้นการสแกนทางแนวนอนต่อหนึ่งเส้นจะใช้เวลา

$$1/15,625 = 64 \text{ ไมโครเซคคั่น}$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

42734

- เส้นสะบัดกลับทางแนวนอน เป็นหนึ่งในการสแกนทางแนวนอนโดยมีสัญญาณซิงค์แทรกอยู่ด้วย; ช่วงเวลาการสะบัดกลับโดยไม่ปรากฏลำแสงที่หน้าจอภาพจะเป็นช่วงมืดของจอภาพ มีช่วงเวลาประมาณ 12 ไมโครเซคคั่น มีความคลาดเคลื่อนระหว่าง 11.8 ถึง 12.3 ไมโครเซคคั่น

- สัญญาณฮอร์ซิงค์ เป็นสัญญาณสำคัญที่ส่งมาจากเครื่องส่งเพื่อควบคุมการสแกนของเครื่องรับโทรทัศน์ให้ตรงจังหวะกับเครื่องส่งเพื่อให้เบี่ยงเบนลำอิเล็กตรอนได้อย่างถูกต้อง ช่วงความกว้างซิงค์ประมาณ 4.7 ไมโครเซคคั่น ความคลาดเคลื่อนระหว่าง 4.5 ถึง 4.9 ไมโครเซคคั่น

- ช่องว่างด้านหน้าสัญญาณซิงค์ จากจุดเริ่มต้นของสัญญาณแบล็งกิ้งถึงจุดเริ่มต้นของสัญญาณซิงค์มีคาบเวลาประมาณ 1.5 ไมโครเซคคั่นความคลาดเคลื่อนประมาณ 1.3 ถึง 1.8 ไมโครเซคคั่น

- ช่องว่างด้านหลังสัญญาณซิงค์ จากจุดสิ้นสุดของสัญญาณซิงค์ถึงจุดสิ้นสุดของสัญญาณแบล็งกิ้งมีคาบเวลาประมาณ 5.8 ไมโครเซคคั่น

2.4.5 สัญญาณแบล็งกิ้งและสัญญาณเวอร์ซิงค์

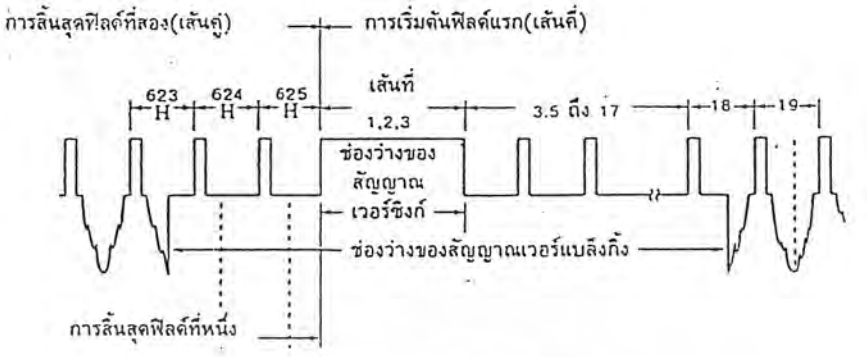
เมื่อสิ้นสุดการสแกนทางแนวนอน 312.5 เส้นของแต่ละฟิลด์ ก็จะเป็นหน้าที่ของสัญญาณแบล็งกิ้งทางแนวตั้งที่ทำให้เส้นการสแกนทางแนวนอนกลับไปเริ่มต้นสแกนต่อไปที่จุดเริ่มต้นด้านบนของขอบจอ พร้อมทั้งสัญญาณซิงค์ก็จะเบี่ยงเบนลำอิเล็กตรอนทางแนวตั้ง

- ช่องเวลาสะบัดกลับทางแนวตั้ง ในช่วงเวลานี้จะไม่ปรากฏสัญญาณภาพที่หน้าจอโทรทัศน์โดยการสะบัดกลับจะกระทำทั้งฟิลด์เส้นคี่ และฟิลด์เส้นคู่ ใช้เวลาฟิลด์ละ 20 เส้น เส้นละ 64 ไมโครเซคคั่นจะใช้เวลาสะบัดกลับแต่ละฟิลด์ 64 * 20 เท่ากับ 1,280 ไมโครเซคคั่น

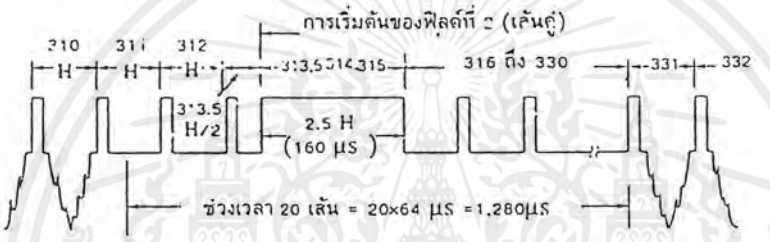
- การสะบัดกลับทางแนวตั้งของฟิลด์เส้นคี่ จะเริ่มสะบัดกลับตั้งแต่เส้นที่ 310 ทางแนวนอนของฟิลด์เส้นคี่ ไปจนถึงเส้นที่ 330 ทางแนวนอนของฟิลด์เส้นคู่ดังรูปที่ 2.13 (ก)

- การสะบัดกลับทางแนวตั้งของฟิลด์เส้นคู่จะเริ่มสะบัดกลับตั้งแต่เส้นที่ 622.5 หรือกึ่งกลางเส้นที่ 623 ทางแนวนอนในฟิลด์เส้นคู่ ไปจนถึงเส้นที่ 17.5 หรือกึ่งกลางเส้นที่ 18 ทางแนวนอนในฟิลด์เส้นคี่ ดังรูปที่ 2.13 (ข)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



(ก) รูปสัญญาณการสแกนเส้นคู่



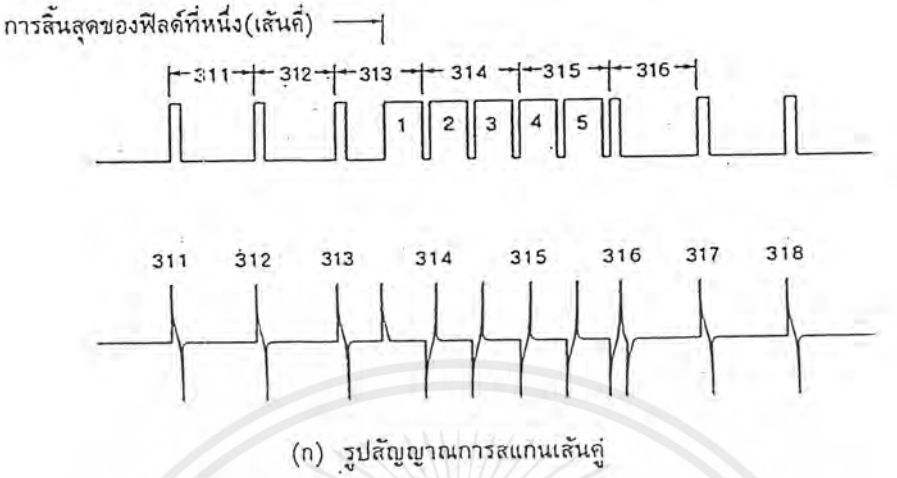
(ข) รูปสัญญาณการสแกนเส้นคี่

รูปที่ 2.13 สัญญาณแบล็งกิ้งและสัญญาณเวอร์ชิงค์

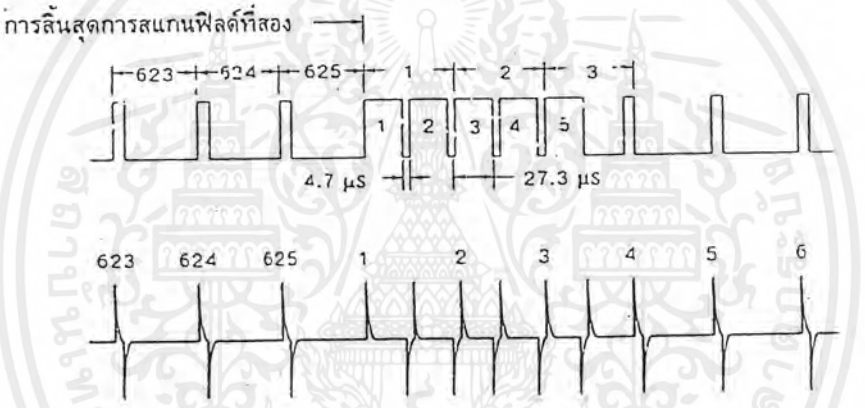
- สัญญาณเวอร์ชิงค์ฟิลด์เส้นคู่ จะใช้ความกว้างสัญญาณ 2.5 เส้นทางแนวนอนตั้งแต่เส้นที่ 312.5 หรือกึ่งกลางเส้นที่ 313 จนถึงเส้นที่ 315 ในฟิลด์เส้นคู่ ความกว้างของสัญญาณเวอร์ชิงค์ 27.3 ไมโครเซคคั่น ช่องว่างระหว่างชิงค์ 4.7 ไมโครเซคคั่น จะมีด้วยกัน 5 ลูกดังรูปที่2.14 (ก)

- สัญญาณเวอร์ชิงค์ฟิลด์เส้นคี่ เริ่มตั้งแต่ฟิลด์เส้นที่ 1 จนถึงเส้นที่ 2.5 หรือกึ่งกลางเส้นที่ 3 ในฟิลด์เส้นคี่ ความกว้างของสัญญาณเวอร์ชิงค์ 27.3 ไมโครเซคคั่น ช่องว่างระหว่างสัญญาณชิงค์ 4.7 ไมโครเซคคั่น ดังรูปที่ 2.14 (ข)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



(ก) รูปสัญญาณการสแกนเส้นคู่



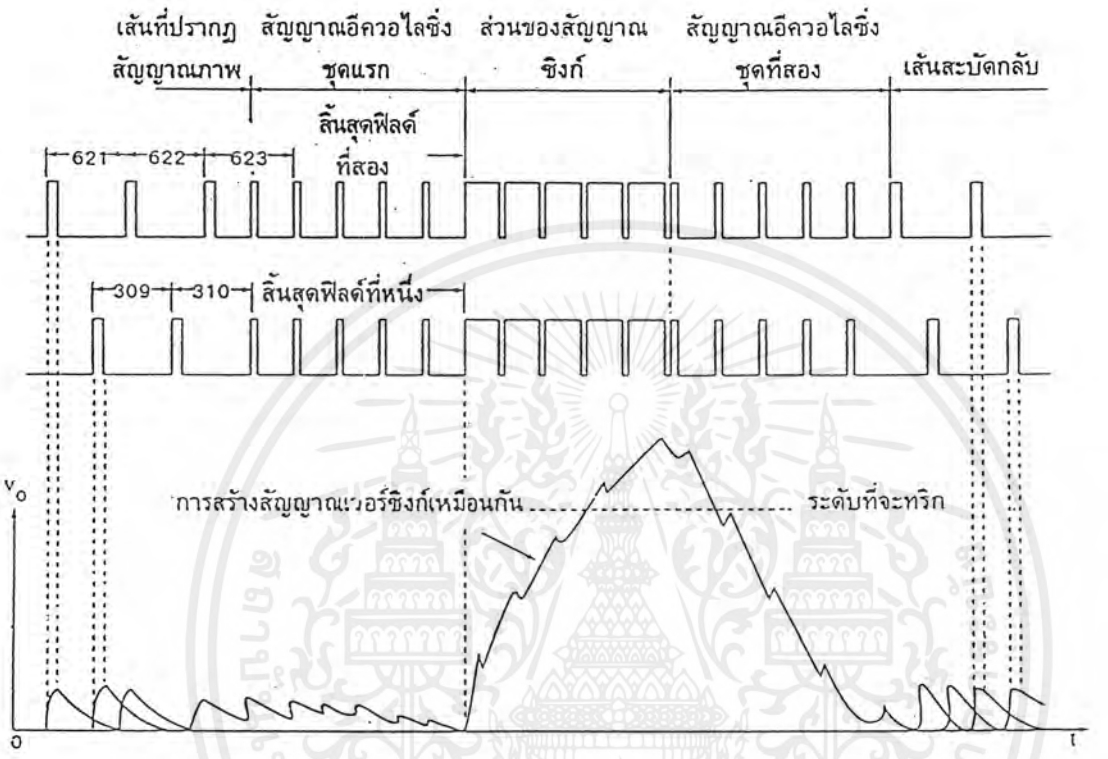
(ข) รูปสัญญาณการสแกนเส้นคี่

รูปที่ 2.14 สัญญาณเวอร์ชิงค์

2.4.6 สัญญาณอีควอไลซิ่ง

สัญญาณอีควอไลซิ่งหรือสัญญาณรายละเอียดของภาพ (Equalizing Signal) เป็นสัญญาณที่ทำหน้าที่ดูแลการสะบัดทางแนวตั้งเมื่อมีการสแกนของเส้นทางแนวนอนสิ้นสุดในฟิลด์เส้นคี่และฟิลด์เส้นคู่ ต้องถูกสัญญาณเวอร์แบล็งกิ้งเบี่ยงเบนให้กลับไปตั้งต้นที่ขอบบนของจอภาพอีกครั้ง การสิ้นสุดการสแกนในฟิลด์แรก (เส้นคี่) จะสิ้นสุดที่เส้น 312.5 ดังนั้นจะมีครึ่งหนึ่งของเส้นสแกนไม่ครบเส้นแล้วต้องกลับไปเริ่มต้นใหม่ ทำให้รายละเอียดของภาพขาดหาย ในขณะที่การสิ้นสุดการสแกนของฟิลด์ที่สอง (เส้นคู่) จะสิ้นสุดครบเส้นสแกนเส้นที่ 625 พอดี ดังรูปที่ 2.15

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.15 สัญญาณอีควอไลซิ่ง

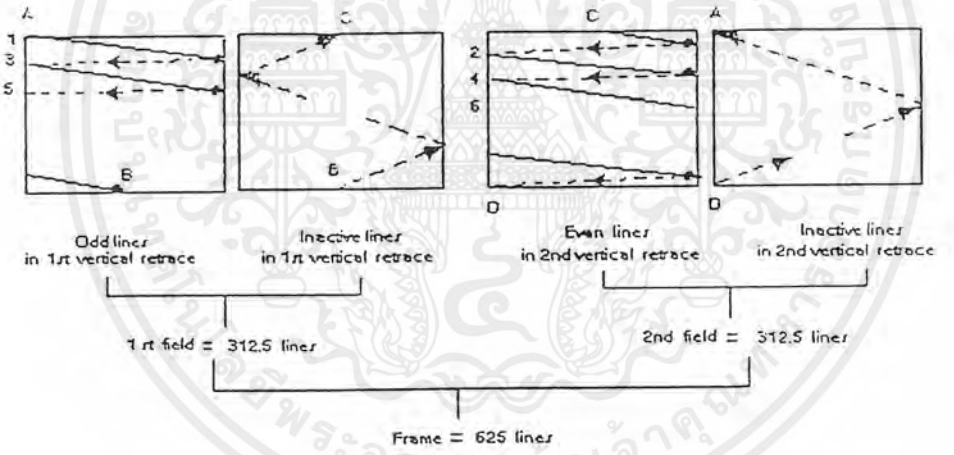
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 3

ตัวแปลงสัญญาณอนาลอกให้เป็นดิจิตอล หรือ A/D (Analog to Digital converter)

A/D Converter หรือ ADC ใช้สำหรับการแปลงสัญญาณอินพุท ที่เป็นอนาลอกให้เป็นจำนวนจำกัดของดิจิตอลบิท ผลลัพธ์ที่ได้จะอยู่ในรูปของเวิร์ด (Word) ทางดิจิตอลซึ่งจะกลายเป็นรหัสเลขฐานสองที่แทนระดับ แต่ละระดับของสัญญาณอนาลอก ในขณะที่ ADC กำลังแปลงสัญญาณอยู่

ความละเอียดของ ADC จะคล้ายกับความละเอียดของ DAC อย่างมาก กล่าวคือ จำนวนบิททางเอาท์พุทมีหลายๆบิท ความละเอียดของ ADC ตัวนั้นก็จะมีมากขึ้น เช่น ADC ขนาด 12 บิท ก็จะมีความละเอียดเท่ากับ 12 เป็นต้น ดังแสดงในรูปที่ 3.1



รูปที่ 3.1 ความละเอียดของ ADC จะแปรผันตรงกับจำนวนบิท ทางเอาท์พุท

ค่าเวลาการแปรผัน (Conversion time) เป็นเกณฑ์ที่สำคัญอีกตัวหนึ่งของ ADC ตามที่ได้เห็นมาว่า การแปลงสัญญาณอนาลอกให้กลายเป็นสัญญาณดิจิตอลไม่ได้เกิดขึ้นโดยทันทีทันใด แต่ต้องมีการผ่านกระบวนการต่างๆด้วย เหตุที่ผลลัพธ์ต้องการเวลาค่าเวลาขณะหนึ่งที่จะทำการสุ่ม (Sample) สัญญาณอินพุท และให้สัญญาณดิจิตอลที่เป็นรหัสไบนารีออกมาที่เอาท์พุท ดังนั้น ค่าเวลาการแปลงผัน คือ ช่วงเวลาที่ต้องการกระทำกระบวนการให้เสร็จสิ้น ซึ่งจะมีค่าอยู่ในช่วงประมาณไมโครเซคคั่น สำหรับ DAC ความเร็วสูง และเป็น มิลลิเซคคั่น สำหรับ DAC แบบธรรมดา เนื่องจากการเปลี่ยน ADC นั้น จะต้องการขบวนการซิงโครไนส์ที่แน่นอนและแม่นยำ แหล่งกำเนิดสัญญาณนาฬิกาจึงต้องมีไว้ในวงจร

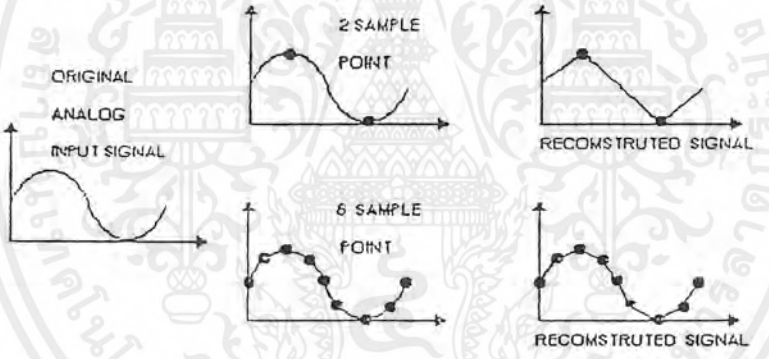
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.1 ทฤษฎีการสุ่มตัวอย่าง (Sampling Theory)

เนื่องจาก ADC ต้องการค่าเวลาขณะหนึ่งที่ใช้ในกระบวนการแปลงสัญญาณอนาลอกไปเป็นสัญญาณดิจิตอล ช่วงเวลาช่วงหนึ่งจะใช้สำหรับการสุ่มตัวอย่าง (Sampling) ของสัญญาณ เช่น ADC สามารถเปลี่ยนสัญญาณเสร็จสมบูรณ์ได้ภายใน 1 มิลลิเซคคั่น ดังนั้น มันจึงสามารถเปลี่ยนสัญญาณได้ 1000 ครั้งใน 1 วินาที อัตราการเปลี่ยนสัญญาณสูงสุดมีค่าเท่ากับส่วนกลับของค่าเวลาการเปลี่ยน

ตัวคอนเวอร์เตอร์จะสุ่มตัวอย่างของสัญญาณด้วยอัตราต่ำสุดเป็น 2 เท่า ของความถี่สูงสุดของสัญญาณอินพุทที่เข้ามา อัตราการสุ่มนี้เรียกว่า Nyquist rate

พิจารณาสัญญาณอนาลอก ที่เป็นคลื่นสัญญาณรูปซายน์ 10 เฮิรตซ์ จ่ายให้กับตัว ADC ตามรูปที่ 3.2



รูปที่ 3.2 การสุ่มหลายๆช่วงจะมีลักษณะที่ใกล้เคียงกับสัญญาณเดิม

อัตราต่ำสุดของการสุ่มตัวอย่างเป็น 20 เฮิรตซ์ ซึ่งจะให้ข้อมูลดิจิตอลขนาด 2 บิท ออกมาในแต่ละไซเกิล เมื่อข้อมูลดิจิตอลถูกนำมาสร้างเป็นสัญญาณอนาลอกขึ้นมาใหม่ โดย DAC สัญญาณอนาลอกตัวใหม่มีลักษณะคล้ายคลึงกับสัญญาณเดิม ถ้าความถี่ 10 เฮิรตซ์ เป็นความถี่สูงสุดที่เข้ามายังตัว ADC ค่าเวลาที่ใช้ในการเปลี่ยนสัญญาณสูงสุดเป็น 1/20 เฮิรตซ์ หรือ 50 มิลลิเซคคั่น เป็นต้น

การที่เราจะปรับปรุงประสิทธิภาพของ ADC ในแง่ความเหมือนจริงของสัญญาณการแปลงให้อยู่ในดิจิตอล เราจะต้องเพิ่มอัตราการสุ่มขึ้นในขณะที่คาบเวลาเท่าเดิม อัตราการสุ่ม 8 จุดต่อไซเกิล ต้องการอัตราการสุ่มของส่วนประกอบความถี่สูงสุดอินพุท 8 ครั้ง เช่น สัญญารความถี่อินพุท 10 เฮิรตซ์ จะต้องสุ่มตัวอย่างที่ 80 เฮิรตซ์ ดังนั้นตัวคอนเวอร์เตอร์ควรจะมีค่าเวลาการเปลี่ยนแปลงเป็น 1/80 เฮิรตซ์ หรือ 12.5 มิลลิเซคคั่น ถ้าตัว ADC ไม่สามารถสุ่มตัวอย่างได้เร็วพอต่อสัญญาณอินพุทที่เปลี่ยนแปลงไป ข้อมูลที่บรรจุในสัญญาณอนาลอกทางอินพุทจะสูญหายไป

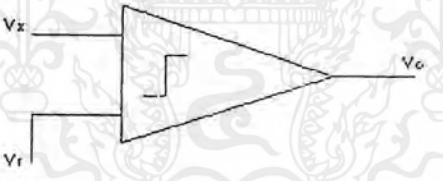
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ความสัมพันธ์ระหว่างความถี่ทางอินพุท ค่าเวลาในการเปลี่ยนสัญญาณและอัตราการสุ่มเป็นพารามิเตอร์ของ ADC ที่สำคัญตัวหนึ่งวิธีการหลายๆวิธีได้ถูกพัฒนาในช่วงหลายปีที่ผ่านมา เพื่อที่จะทำการแปลงสัญญาณอนาลอกให้อยู่ในรูปของสัญญาณดิจิตอล วิธีที่ยังใช้จนถึงปัจจุบัน มีอยู่ด้วยกัน 6 วิธีคือ

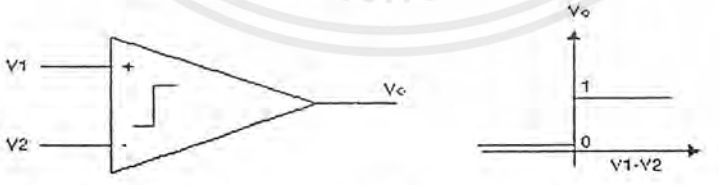
3.2 วิธีแปลงสัญญาณอนาลอกเป็นดิจิตอล

3.2.1 Basic conversion method

วิธีการแปลงสัญญาณอนาลอกเป็นดิจิตอลแบบง่ายๆ แสดงดังรูปที่ 3.3 แรงดันอินพุทที่ไม่ทราบค่า V_x จะต่อเข้ากับขาอินพุทขาหนึ่งของอนาลอกคอมพาราเตอร์ และแรงดันอ้างอิงที่ขนาดแปรตามเวลา VR ต่อเข้ากับขาอินพุทอีกขาหนึ่งของคอมพาราเตอร์ ลักษณะของทรานเฟอร์ฟังก์ชั่นของคอมพาราเตอร์แสดงในรูปที่ 3.3 ถ้าแรงดันอินพุท V1 มากกว่าอินพุท V2 แล้วแรงดันเอาท์พุทจะเป็นลอจิก 1 ถ้าอินพุท V1 น้อยกว่า V2 แล้วเอาท์พุทจะเป็นศูนย์ วิธีในการแปลงข้อมูลคือ แรงดันอ้างอิงจะถูกแปรค่าจนกระทั่งรู้ค่าแรงดันอินพุท ที่ผิดพลาดไม่เกิน Quantization error ของคอนเวอร์เตอร์ ในแนวความคิดแล้วตรรกะของ ADC คือพยายามเลือกกลุ่มของสัมประสิทธิ์ไบนารี a_i เพื่อให้ผลต่างระหว่างแรงดันอินพุท V_x และค่าที่ Quantize ได้ครั้งสุดท้ายน้อยกว่า 0.5 LSB



รูปที่ 3.3 แสดงวิธีการพื้นฐานของ ADC



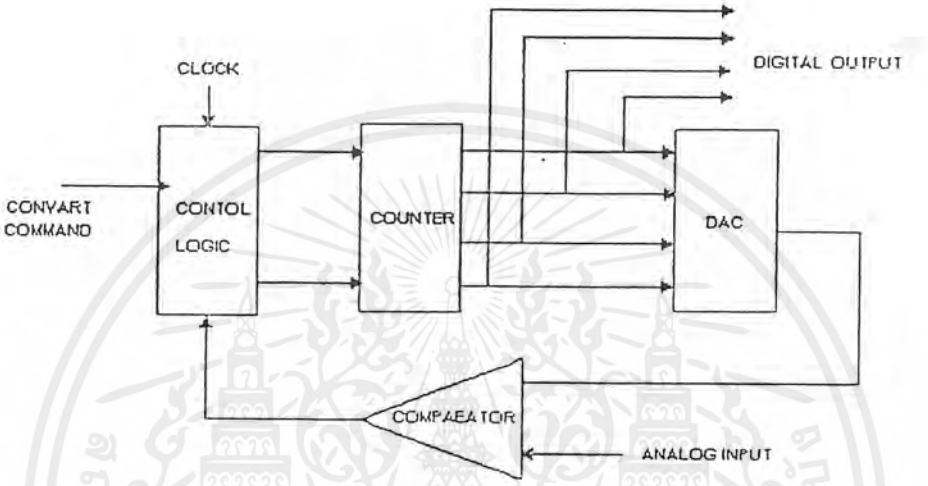
รูปที่ 3.4แสดงทรานสเฟอร์ฟังก์ชั่นของคอมพาราเตอร์

3.2.2 Counter Type ADC

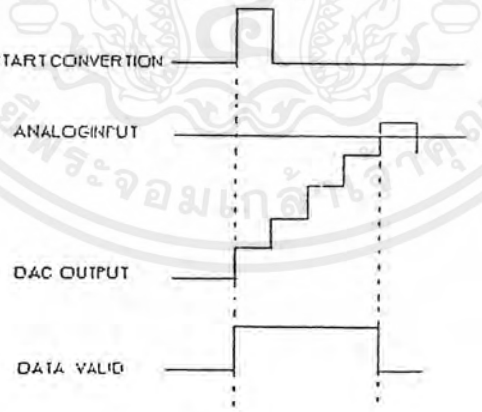
การจัดวงจร ADC ลักษณะนี้ เป็นแบบที่ง่ายที่สุดหลักการทำงานของวงจรคือ การเปรียบเทียบขนาดของแรงดันที่เอาท์พุทของ DAC กับสัญญาณอนาลอกที่ไม่ทราบค่า V_{in} การทำงานจะเริ่มโดยสัญญาณ start conversion ลอจิกคอนโทรลจะรีเซตเคาท์เตอร์ให้เป็นศูนย์ แล้วเริ่มนับขึ้นจากศูนย์ เอาท์พุทของเคาท์เตอร์ (Counter) จะป้อนให้ DAC เพื่อแปลงเป็นสัญญาณอนาลอกลักษณะ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เป็นขั้นบันได นำมาเปรียบเทียบกับสัญญาณอนาลอกอินพุท ที่คอมพาราเตอร์ โดยเคาท์เตอร์จะยังนับจนกระทั่งเอาท์พุทเท่ากับ สัญญาณอนาลอกอินพุท หรือต่างกันไม่เกิน 1 LSBแล้วคอมพาราเตอร์จะเปลี่ยนสถานะไปหยุดการนับของเคาท์เตอร์และ แลทช์ค่าจากเคาท์เตอร์เพื่อรอการประมวลต่อไป และรอสัญญาณเริ่มต้นใหม่



ก บล็อกไดอะแกรมของ Counter Type ADC



ข. Timing Diagram ของ Counter Type ADC

รูปที่ 3.5บล็อกไดอะแกรม และไทม์มิ่งไดอะแกรม ของ Counter Type ADC

วงจรนี้มีข้อเสียคือ ทำงานได้ช้าเพราะการ Conversion แต่ละครั้งเคาท์เตอร์จะต้องถูกรีเซต และเริ่มนับจากศูนย์ทุกครั้ง ดังนั้น ในการ Conversion เป็นดิจิตอล n บิท จะใช้จำนวนนาฬิกา (

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

clock) ถึง 2^n เพื่อเปลี่ยนให้ได้ค่าสูงสุดเต็มสเกล ส่วนข้อดีคือ สร้างง่าย รวดเร็ว ราคาถูกแต่ความแม่นยำขึ้นอยู่กับ DAC ที่ใช้

3.2.3 Tracking ADC

Tracking ADC จะปรับปรุงวงจรจากแบบ Counter Type ทางด้านความเร็ว โดยใช้เคาท์เตอร์แบบนับขึ้นลงได้ไม่จำเป็นต้องเริ่มนับจากศูนย์ทุกครั้ง แต่จะเริ่มนับจากค่าที่ได้แลตช์ไว้จากการเปลี่ยนสัญญาณครั้งหลังสุด ดังนั้น ส่วนควบคุมทางลอจิกจึงซับซ้อนมากกว่า โดยการทำงานจะเป็นดังนี้ เอาท์พุทจาก DAC จะถูกเปรียบเทียบกับสัญญาณอินพุท หาก V_{in} มากกว่า ลักษณะลอจิกของคอมพาราเตอร์ จะควบคุมให้เคาท์เตอร์นับขึ้น แต่ถ้า V_{in} น้อยกว่าเคาท์เตอร์จะนับลงจนกว่าค่าหลังสุดของเคาท์เตอร์จะต่างจากสัญญาณอนาลอกอินพุทไม่เกิน 1 LSB และค่าของเคาท์เตอร์จะถูกแลตช์ไว้จากนั้นเคาท์เตอร์จะทำงานแบบติดตาม (Track) สัญญาณอินพุทจนได้ค่าเท่ากันอีกก็จะแลตช์ค่าใหม่ไว้

จากลักษณะการทำงานดังกล่าว V_{in} จะต้องไม่เปลี่ยนแปลงเร็วกว่าการทำงานของเคาท์เตอร์ มิฉะนั้นค่าเอาท์พุทที่ได้จะไม่สอดคล้องกับสัญญาณอินพุท ตัวอย่างในกรณีนี้คือ สัญญาณรูปซายน์ ซึ่งเปลี่ยนแปลงขนาดได้มากที่สุดเท่ากับค่าเต็มสเกล อัตราการเปลี่ยนแปลงจะเท่ากับอัตราการเปลี่ยนแปลงของเอาท์พุทของเคาท์เตอร์ คือ 1 LSB/clock period ดังนั้น ถ้าต้องการให้ ADC ตามอินพุทได้จะต้องให้ f_{in} น้อยกว่า 1/2n เท่าของ f_{cl}

3.2.4 Integrating ADC

หัวใจสำคัญของวงจร ADC ชนิดนี้คือ Integrator เทคนิคของการ ADC แบบ Integration คือจะใช้สัญญา ramp ต่อเนื่องแทนสัญญาณขั้นบันไดจาก DAC ซึ่งแบ่งตามลักษณะการทำงานได้สองแบบ คือ Single Slope Converter และ Dual Slope Converter

3.2.4.1 Single Slope Converter

สัญญาณอนาลอกแบบ ramp จะใช้เป็นแรงดันอ้างอิงที่เพิ่มขึ้นอย่างคงที่จากค่าต่ำกว่าศูนย์เล็กน้อยจนถึงค่าที่สูงกว่าค่าเต็มสเกลเล็กน้อย ซึ่งเวลาที่จะใช้จากการสแกนของสัญญาณ ramp จากศูนย์ถึงค่าค่าแรงดันอินพุทจะเป็นสัดส่วนกับแรงดันอินพุท

การ Conversion จะเริ่มด้วยสัญญาณ Start Conversion ทำการรีเซตไบนารีเคาท์เตอร์และเริ่มสร้างสัญญาณ ramp จากแรงดันที่ต่ำกว่าศูนย์โวลท์ เมื่อสัญญาณ ramp ผ่านศูนย์โวลท์ เอาท์พุทจากคอมพาราเตอร์ 2 จะอยู่ในสถานะสูง (high) และเปิดเกทปล่อยพัลส์เข้าสู่เคาท์เตอร์ เคาน์เตอร์จะเริ่มนับจนกระทั่งสัญญา ramp มีขนาดเท่าแรงดันอนาลอกอินพุท Vin ในเวลานี้เอาท์พุทจากคอมพาราเตอร์ 1 จะ high และปิดเกทไม่ให้ clock เข้าสู่เคาน์เตอร์ จำนวนพัลส์จากเคาน์เตอร์จะเป็นสัดส่วนแรงดันกับอินพุท เนื่องจาก VR=KT โดยที่ R เป็นสโลปของ ramp (ซึ่งคง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

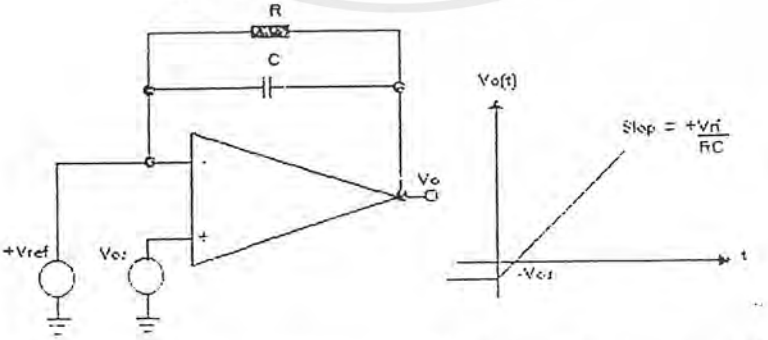
ที่) ในหน่วยโวลท์/วินาที และ T เป็นจำนวนในการเคาน์เตอร์หารด้วย f_c ซึ่งเป็นความถี่สัญญาณ clock ถ้าเลือกให้สโลปของ ramp เป็น $V_{FSR}f_c/2n$ จำนวนที่เคาน์เตอร์นับได้จะเท่ากับอัตราส่วนทางไบนารี หรือ Vin เวลามากที่สุด

เมื่อ $V_{in} = V_{FSR}$ คือ $T_{MAX} = 2n/f_c$ และเช่นเดียวกับใน ADC แบบเคาน์เตอร์ ramp ค่าของรหัสเอาท์พุทสุดท้าย จะต่างจากค่าของ V_{in} ไม่เกิน 0.5 LSB ในรูปที่ 3.6 สดงวงจรกำเนิดของแรงดัน ramp อย่างง่าย โดยการต่อแรงดันอ้างอิงกับอินติเกรเตอร์ เมื่อสวิทช์เปิด C จะทำการประจุและเพิ่มขนาดแรงดันเอาท์พุท ข้อเสียอีกประการหนึ่ง คือหากใช้งานไปนานๆ การเปลี่ยนแปลงค่า RC ตามอุณหภูมิจะทำให้สโลปคลาดเคลื่อนด้วยเหตุนี้ ADC ชนิดนี้จึงไม่เป็นที่นิยมใช้ในปัจจุบัน

3.2.4.2 Dual Slope Converter

ADC แบบ Dual Slope ได้รับการพัฒนาขึ้นมาเพื่อแก้ไขจุดบกพร่องของ single slope ADC การจัดวงจรแสดงในรูปที่ 3.6 ในแต่ละวัฏจักรของการทำงานของวงจร จะมีสองช่วงคือ T_1, T_2 ในเวลา T_1 จะเป็นช่วงที่ได้รับการออกแบบให้มีค่าแน่นอนคงที่ในช่วงเวลานี้ สัญญาณอินพุทจะต่อเข้ากับอินทิเกรเตอร์ ผ่านสวิทช์ S ซึ่งทำให้เอาท์พุทที่ถูกอินทิเกรท V_{int} เป็นสัญญาณ ramp ที่ขนาดเพิ่มขึ้นทางบวกและสโลปขึ้นกับขนาดของ Vin จนกระทั่ง V_{int} ถึงค่าๆ หนึ่งเมื่อสิ้นสุด T_1 ในช่วงเวลา T_2 อินพุทจะถูกตัดออกจากอินทิเกรเตอร์และต่อกับแรงดันอ้างอิง ซึ่งมีค่าลบเข้ากับอินพุทของอินทิเกรเตอร์ โดยการควบคุมทางลอจิก ในลักษณะเช่นนี้จะทำให้ V_{int} ลดลงด้วยสโลปคงที่จากการคายประจุผ่านลง $-V_{ref}$ เมื่อเริ่มต้นเวลา T_2 เคาน์เตอร์จะรีเซ็ทและเริ่มนับ จนเมื่อ V_{int} มีค่าลดถึงศูนย์ คอมพาราเตอร์จะเปลี่ยนสถานะไปบอกส่วนควบคุมลอจิกให้หยุดนับ และเอาท์พุทของเคาน์เตอร์จะถูกแปลงเป็นรหัสดิจิตอล ความสัมพันธ์ระหว่างช่วงเวลากับแรงดันอินพุทจะเป็นไปตามสมการ

$$T_2 = T_1V_{in} / V_{ref}$$

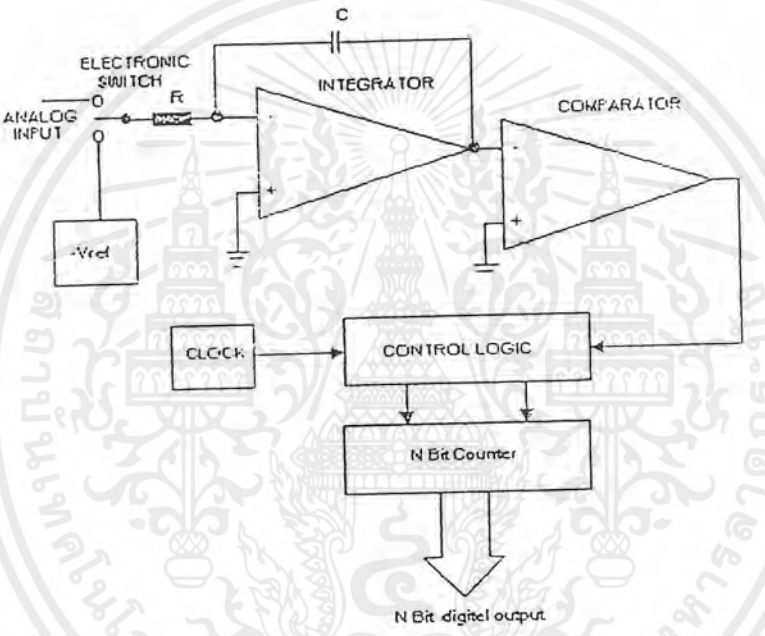


รูปที่ 3.6 วงจร Ramp voltage generator อย่างง่ายและลักษณะของเอาท์พุท

ดังนั้น รหัสดิจิตอลที่แสดงค่า T_2 จะแสดงค่าอัตราส่วนของแรงดันอินพุทต่อแรงดันอ้างอิงด้วยคุณลักษณะสำคัญของ dual slope มีหลายประการคือ ประการแรกความแม่นยำของ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

มันไม่ขึ้นอยู่กับเสถียรภาพของสัญญาณ clock และตัวเก็บประจุ แต่จะขึ้นอยู่กับค่าความเที่ยงตรงของแรงดันอ้างอิง และความเป็นเชิงเส้นของอินทิเกรเตอร์ ประการที่สอง การจำกัดสัญญาณรบกวนด้วยตนเองของวงจรสามารถทำได้ ถ้าเซ็ทให้ T_1 มีขนาดเท่ากับคาบเวลาของสัญญาณรบกวน เช่น ในการจำกัดสัญญาณ 50 เฮิร์ท T_1 จะให้มีค่า 20 ms ส่วนข้อเสียที่สำคัญของ ADC นี้คือ ความเร็วในการ conversion ค่อนข้างต่ำจึงมักนิยมใช้กับเครื่องมือวัดที่ไม่ต้องการความเร็ว เช่น ดิจิตอลมิเตอร์ เป็นต้น



รูปที่ 3.7 บล็อคไดอะแกรมของ Dual Slope ADC

3.2.5 Successive Approximation ADC

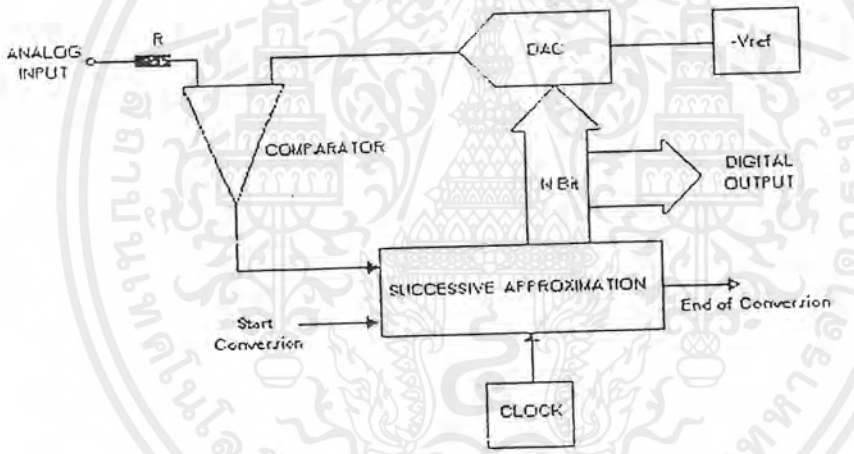
วงจร ADC ชนิดนี้ได้รับความนิยมในงานประยุกต์ที่ต้องการความเร็วปานกลางและค่อนข้างสูง การจัดวงจรจะคล้ายกันแบบเคาน์เตอร์ ที่ทำงานในลักษณะการป้อนกลับ ซึ่งบล็อกไดอะแกรมในรูปที่ แสดงฟังก์ชั่นต่างๆ ใน ADC ชนิดนี้ คอมพาราเตอร์จะคอยเปรียบเทียบเอาท์พุทจาก DAC กับอนาลอกอินพุท Vin เอาท์พุทจะไปควบคุม Successive Approximation Resistor (SAR) ซึ่งเป็นไอซี. MSI (Medium Scale Integrated circuit) ที่ได้รับการออกแบบเป็นพิเศษเพื่อทำหน้าที่นี้โดยเฉพาะ

การทำงานของ ADC แบบนี้เปรียบเทียบได้กับการใช้งานของตาชั่งสองแขน เมื่อวัตถุที่ต้องการทราบน้ำหนักเสมือนเป็นอินพุทของ ADC และเอาท์พุทที่เป็นดิจิตอลบิท เสมือนเป็นตุ้มน้ำหนักมาตรฐานที่จะวางบนจานอีกข้างหนึ่ง เมื่อตาชั่งยังไม่สมดุลย์ จะต้องมีการปรับตุ้มน้ำหนัก

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

มาตรฐานจนกว่าจะเกิดสมดุลย์ ในรูปที่ 3.8 คอมพาราเตอร์จะเป็นตัวตรวจสอบการสมดุลย์ดังกล่าวและ SAR จะทำหน้าที่ปรับแต่งดิจิตอลบิท (ตุ้มน้ำหนักมาตรฐาน)

มีข้อจำกัดประการหนึ่งสำหรับการ conversion คือสัญญาณอนาลอกอินพุท จะต้องคงที่ในช่วงเวลาที่ทำการเปลี่ยนแปลงสัญญาณได้ไม่เกิน LSB ในช่วงสุดท้ายของการเปลี่ยนสัญญาณดิจิตอลเอาท์พุทมาขนานกันทุกบิท แต่บางแบบจะให้เอาท์พุทออกมาในลักษณะอนุกรม วงจร ADC แบบนี้สามารถทำงานได้สองโหมด คือ โหมดที่ทำงานโดยอิสระ (free run) และโหมดที่รอคำสั่ง start conversion จากภายนอก เวลาที่ใช้ในการเปลี่ยนสัญญาณใช้ (n+1) ลูกของ plus clock โดย clock ลูกแรกจะใช้ในการรีเซ็ทรีจีสเตอร์ภายใน สุดท้ายคุณภาพของระบบจะขึ้นอยู่กับคุณภาพของ ADC ในระบบเป็นอย่างยิ่ง



รูปที่ 3.8 บล็อกไดอะแกรมของ Successive Approximation ADC

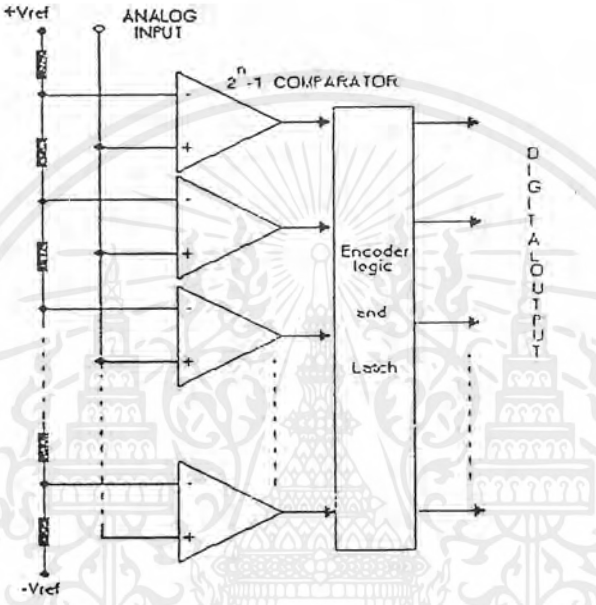
3.2.6 แฟรช ADC (Flash A/D)

แฟรชคอนเวอร์เตอร์เป็น ADC ที่เร็วที่สุดในบรรดา ADC ที่ใช้เทคนิคแบบอื่นๆ ลักษณะของวงจรแฟรชคอนเวอร์เตอร์จะใช้ชุดของตัวเปรียบเทียบ (comparator) ที่ต่อขนานกันเพื่อจะทำการแปลงสัญญาณอนาลอกทางอินพุทให้เป็นรหัสทางดิจิตอล ดังนั้น แฟรชคอนเวอร์เตอร์ จึงเป็นคอนเวอร์เตอร์แบบขนาน

พิจารณาในรูปที่ 3.9 ตัวต้านทานที่ต่ออนุกรมกันจะอยู่ในรูปที่ 3.9 วงจรแบ่งแรงดันที่ตกคร่อมตัวเปรียบเทียบแต่ละตัว แรงดันอินพุทสูงสุดจะขึ้นอยู่กับค่าของ Vcc สัญญาณเอาท์พุทจากตัวเปรียบเทียบแต่ละตัว จะเป็น 1 หรือ 0 ซึ่งเป็นระดับสัญญาณลอจิกของวงจรดิจิตอล เมื่อไม่มีแรงดันอินพุทเข้า เอาท์พุทของตัวเปรียบเทียบแต่ละตัว จะมีลอจิก 0 ต่อมาแรงดันอินพุทเพิ่มขึ้น

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เอาท์พุทาของตัวเปรียบเทียบแต่ละตัวจะมีลอจิก 1 ไล่ตามลำดับขึ้นไป เมื่อแรงดันอินพุทมีมากกว่าแรงดันอ้างอิงแต่ละค่าที่ถูกเซ็ทโดยวงจรแบ่งแรงดัน เน็คเวอร์คของดิจิตอลเกทถูกใช้ในการเรียงลำดับของสัญญาณจากตัวเปรียบเทียบให้อยู่ในรูปรหัสของเลขฐานสองซึ่งเป็นการสร้างรหัสที่เอาท์พุทของคอนเวอร์เตอร์



รูปที่ 3.9 แฟรชคอนเวอร์เตอร์ที่มีความเร็วในการเปลี่ยนแปลงสัญญาณสูง วงจรง่ายแต่รายละเอียดต่ำ

จากตัวอย่างในรูปที่ 3.9 เป็น ADC ขนาด 2 บิท ซึ่งไม่สามารถนำไปใช้งานจริงๆ ได้ เนื่องจากความละเอียดต่ำเกินไป จะพบว่าวงจรจะใช้วงจรเปรียบเทียบ 2-1 ตัว เป็นการแสดงถึงความละเอียดของคอนเวอร์เตอร์ จากตัวอย่างของคอนเวอร์เตอร์ขนาด 2 บิท ต้องการตัวเปรียบเทียบ $2^2-1 = 3$ ตัว ตัวเปรียบเทียบคอนเวอร์เตอร์ขนาด 4 บิท ตัวเปรียบเทียบ $2^4 -1 = 15$ ตัว และคอนเวอร์เตอร์ขนาด 8 บิท ต้องการตัวเปรียบเทียบถึง $2^8 -1 = 255$ ตัว จะเห็นได้ว่าคอนเวอร์เตอร์ยิ่งมากขึ้นเท่าไร ตัวเปรียบเทียบก็ต้องมากขึ้นทวีคูณ จะทำให้เกิดความยุ่งยากซับซ้อน ในการสร้างวงจรแฟรชคอนเวอร์เตอร์ขึ้นมาใช้ ซึ่งเป็นข้อเสียของ ADC ชนิดนี้ และข้อเสียอีกประการคือ เมื่อใช้ตัวเปรียบเทียบมากขึ้น วงจรก็จะมีขนาดใหญ่เกินกว่าจะนำไปใช้งานจริงได้ แต่วงจรแฟรชคอนเวอร์เตอร์มีข้อดีด้านความเร็ว เพราะสัญญาณอนาลอกจากอินพุทจะเข้ามาที่ตัวเปรียบเทียบพร้อมๆ กัน ในช่วงเวลาการเปลี่ยนนั้นมีค่าเท่ากัน จึงใช้เวลาน้อย

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 4

คุณสมบัติของ MCS-51

4.1 คุณสมบัติของ MCS-51

คุณสมบัติที่สำคัญๆของชิปไมโครคอนโทรลเลอร์ตระกูล MCS-51 มีดังนี้

- ต้องการแหล่งจ่ายไฟ 5 โวลต์ เพียงชุดเดียว
- มีหน่วยความจำสำหรับเก็บโปรแกรมควบคุมการทำงานอยู่ภายในชิปจำนวน 4 กิโลไบต์ (เบอร์ 8031,8032 ไม่มีหน่วยความจำในส่วนนี้ ส่วนเบอร์ 8052 มีหน่วยความจำในส่วนนี้ ส่วนเบอร์ 8052 มีหน่วยความจำส่วนนี้ 8 กิโลไบต์ และสำหรับเบอร์ 83C51FB จะมีหน่วยความจำส่วนนี้ รวมทั้งสิ้น 16 กิโลไบต์)
- มีหน่วยความจำสำหรับเก็บข้อมูลทั่วไป (RAM) อยู่ภายในชิปจำนวน 128 ไบต์ (ใน 8031,8051) หรือ 256 ไบต์(ในเบอร์ 8032,8052)
- สามารถใช้หน่วยความจำสำหรับโปรแกรมและข้อมูลที่อยู่ภายนอกชิปได้อย่างละ 64 กิโลไบต์ แยกจากกัน
- คำสั่งส่วนใหญ่ใช้เวลาทำงานเพียง 1 ไมโครวินาที เมื่อใช้คริสตอลความถี่ 12 เมกะเฮิรตซ์
- มีพอร์ตที่สามารถรับหรือส่งข้อมูลได้ทั้ง 2 ทิศทาง จำนวน 4 พอร์ตๆละ 8 บิต หรือ สามารถใช้งานเป็นพอร์ตขนาด 1 บิตใช้งานรวมทั้งสิ้น 32 พอร์ต
- รับและส่งข้อมูลแบบอนุกรมได้ในตัว โดยสามารถกำหนดอัตราเร็วในการรับและส่งข้อมูล (Baud rate) ได้ตั้งแต่ 300 ถึง 375 กิโลบิตต่อวินาที
- จัดลำดับความสำคัญของสัญญาณอินเตอร์รัปต์ได้ 2 ระดับ
- มีรีจิสเตอร์สำหรับใช้งานเป็นไทม์เมอร์หรือเคาน์เตอร์เพื่อนับจำนวนสัญญาณนาฬิกาภายในชิป หรือนับการเปลี่ยนสถานะของสัญญาณภายนอกขนาด 16 บิต จำนวน 2 ตัว เพื่อใช้สำหรับนับจำนวนพัลส์ วัดความกว้างของพัลส์หรือใช้วัดช่วงเวลา (ในเบอร์ 8052 จะมี 3 ตัว)
- หน่วยความจำสำหรับเก็บข้อมูลภายในบางส่วนสามารถเข้าถึงข้อได้ทั้งระดับไบท์และระดับบิต เพื่อให้การออกแบบโปรแกรมและการควบคุมระบบทำได้ง่ายขึ้น
- มีคำสั่งคูณและหารเลขขนาด 8 บิตในตัวเอง
- สามารถประมวลผลแบบบูลีนเพื่อใช้ในงานควบคุมโดยเฉพาะ
- ใช้โปรแกรมของไมโครคอนโทรลเลอร์ตระกูล MCS-48 (Upwardly compatible) ได้

ไมโครคอนโทรลเลอร์ตระกูล MCS-51 เบอร์ที่จัดว่าเป็นเบอร์พื้นฐานในตระกูลนี้คือ เบอร์ 8051,8751 และ 8031 ซึ่งมีจำนวนขาภายนอก 40 ขาเท่ากัน ใช้เวลาและสัญญาณในการปฏิบัติ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

คำสั่งแต่ละคำสั่งเท่ากัน (มีไทม์มิ่งไดอะแกรมเหมือนกัน) ใช้แรงดันไฟฟ้าเท่ากัน สิ่งที่แตกต่างกันระหว่างเบอร์ทั้งสามคือ ขนาดของหน่วยความจำสำหรับเก็บโปรแกรมภายในชิป (on chip program memory) ซึ่งมีไว้เพื่อตอบสนองความต้องการที่ไม่เหมือนกัน ดังจะกล่าวต่อไปนี้

- เบอร์ 8751 มีหน่วยความจำสำหรับเก็บโปรแกรมภายในชิปเป็น EPROM (Ereasable Programble Read Only Memory) ขนาด 4 กิโลไบต์ ทำให้สามารถใช้รังสีอัลตราไวโอเลตในการลบโปรแกรมเก่าที่มีอยู่ และบรรจุโปรแกรมใหม่ลงไปได้ทันที ทั้งนี้เพื่อความสะดวกในการแก้ไขหรือปรับปรุงโปรแกรม ไมโครคอนโทรลเลอร์ MCS-51 เบอร์ 8751 มีไว้ใช้ในงานที่เป็นการพัฒนาเบื้องต้น (Prototypeing) ซึ่งจำเป็นต้องทดสอบโปรแกรมเพื่อหาข้อผิดพลาด (Bugs) และแก้ไขให้เรียบร้อยก่อนทำการผลิตจริง การแก้ไขโดยการใช้รังสีอัลตราไวโอเลตและการบรรจุโปรแกรมที่แก้ไขใหม่สามารถทำได้ในจำนวนครั้งที่จำกัด ทั้งนี้เพราะหน่วยความจำที่เป็น EPROM เมื่อใช้ไปนานๆ จะเกิดการเสื่อมสภาพทำให้ไม่สามารถบรรจุโปรแกรมเข้าไปได้
- เบอร์ 8051 หลังจากการทดสอบโปรแกรมจนไม่พบข้อผิดพลาดแล้ว จะเป็นช่วงของการผลิตจริง ซึ่งต้องพิจารณาถึงต้นทุนเป็นอันดับแรก ในการผลิตจริงจะใช้ไมโครคอนทรอลเลอร์เบอร์ 8051 ซึ่งมีหน่วยความจำสำหรับเก็บโปรแกรมภายในเป็น ROM (Read Only Memory) ขนาด 4 กิโลไบต์แทน เพราะราคาต่ำกว่ามาก แต่มีข้อจำกัดตรงที่ไม่สามารถแก้ไขโปรแกรมที่ได้บรรจุไปแล้วไม่ว่าจะด้วยวิธีใดก็ตาม
- เบอร์ 8031 เบอร์นี้ไม่มีหน่วยความจำสำหรับเก็บโปรแกรมในชิป แต่สามารถใช้หน่วยความจำเพื่อเก็บโปรแกรมที่อยู่ภายนอกได้มากถึง 64 กิโลไบต์ ซึ่งอาจใช้เป็น ROM , PROM, EPROM ตามความต้องการของผู้ผลิต เบอร์ 8031 นี้มีไว้ใช้ในกรณีที่โปรแกรมมีขนาดเล็กกว่า 4 กิโลไบต์ หรือ มากกว่า 4 กิโลไบต์มาก

(เบอร์ 8751 และ 8051 จะใช้โปรแกรมจากหน่วยความจำภายนอกได้เองเมื่อโปรแกรมมีความยาวเกิน 4 กิโลไบต์ หรืออาจบังคับให้ไมโครคอนโทรลเลอร์ทั้งสองเบอร์ใช้โปรแกรมจากหน่วยความจำภายนอกเพียงอย่างเดียวด้วยการต่อขา 31 (EA) ลงกราวด์ ทำให้มีคุณสมบัติเหมือนเบอร์ 8031 ที่ไม่มีหน่วยความจำสำหรับเก็บโปรแกรมภายในชิป)

4.2 โครงสร้างของไมโครคอนโทรลเลอร์ตระกูล MCS-51

ในหัวข้อนี้จะกล่าวถึงรายละเอียดคร่าวๆของไมโครคอนโทรลเลอร์ตระกูล MCS-51 โดยมีจุดประสงค์เพื่อให้ผู้อ่านทำความเข้าใจและมองเห็นภาพกว้างๆ ของไมโครคอนโทรลเลอร์ตระกูลนี้

ไมโครคอนโทรลเลอร์ตระกูล MCS-51 มีสมาชิกในตระกูลหลายเบอร์ด้วยกัน แต่ละเบอร์จะมีคุณสมบัติพิเศษบางอย่างแตกต่างกัน เช่น มีหน่วยความจำภายในสำหรับเก็บโปรแกรม

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

และข้อมูลภายในชิปเพิ่มขึ้น มีวงจรเปลี่ยนค่าสัญญาณอานาลอกเป็นดิจิตอลในตัว สามารถรับสัญญาณอินเตอร์รัปต์ได้หลายชนิด ทำกระบวนการ DMA (Direct Memory Acess) ได้ในตัว มีรีจิสเตอร์สำหรับใช้เป็นไทม์เมอร์หรือเคาน์เตอร์เพิ่มขึ้น คุณสมบัติพิเศษที่แตกต่างกันของไมโครคอนโทรลเลอร์แต่ละเบอร์ในตระกูลนี้

ไมโครคอนโทรลเลอร์เบอร์ที่นับได้ว่าเป็นเบอร์พื้นฐานสำหรับตระกูล MCS-51 นี้ได้แก่ เบอร์ 8051,8031,8751 โดยเบอร์ 8051 จัดเป็นสมาชิกตัวแรกในตระกูล ซึ่งมีหน่วยความจำสำหรับเก็บโปรแกรมภายในชิปเป็น ROM ขนาด 4 กิโลไบต์ และหน่วยความจำสำหรับเก็บข้อมูลทั่วไปภายใน MCS-51 (RAM) เองจำนวน 128 ไบต์ มีพอร์ตขนาด 8 บิต 4 พอร์ต มีรีจิสเตอร์สำหรับใช้เป็นไทม์เมอร์หรือเคาน์เตอร์ขนาด 16 บิตรวม 2 ตัว รับสัญญาณอินเตอร์รัปต์จากภายนอกได้ 2 ชนิด สามารถรับและส่งข้อมูลแบบอนุกรมผ่านทางพอร์ตสื่อสารข้อมูลแบบอนุกรม มีวงจรออสซิลเลเตอร์เพื่อสร้างสัญญาณนาฬิกาควบคุมการทำงานในตัวเอง ส่วนเบอร์ 8751 จะมีคุณสมบัติเหมือนเบอร์8051 ทุกอย่าง ต่างกันเพียงชนิดของหน่วยความจำสำหรับเก็บโปรแกรมภายในชิปเบอร์ 8751 จะเป็น EPROM แทนที่จะเป็น ROM ส่วนเบอร์ 8031 จะเหมือนกับเบอร์ 8051 ต่างกันเพียงในเบอร์ 8031 ไม่มีหน่วยความจำสำหรับเก็บโปรแกรมภายในชิปเท่านั้น

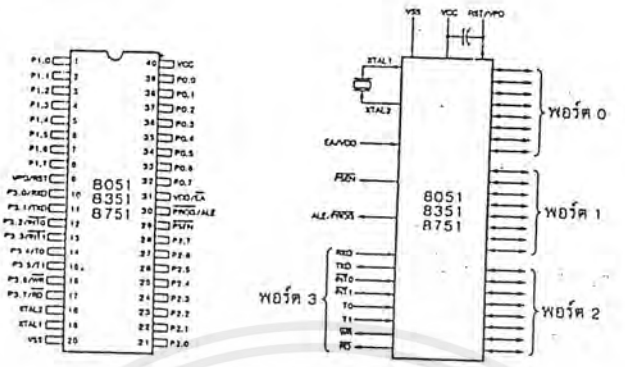
ไมโครคอนโทรลเลอร์ตระกูล MCS-51 ทุกเบอร์ใช้แรงดันไฟเพียง 5 โวลต์ในการทำงานส่วนกระแสไฟฟ้าที่ใช้จะแตกต่างกันไปตามชนิดของเทคโนโลยีที่ใช้ในการผลิต เบอร์ของไมโครคอนโทรลเลอร์ตระกูลนี้ที่มีตัวอักษร C อยู่ตรงกลางเบอร์ เช่น 80C31, 80C51 จะเป็นเบอร์ของชิปที่ผลิตโดยอาศัยเทคโนโลยี CHMOS ซึ่งใช้พลังงานในการทำงานน้อยกว่าและสามารถควบคุมการใช้พลังงานของตัวชิปได้จากโปรแกรมเพื่อการประหยัดพลังงานในระบบ

MCS-51 เป็นตระกูลของไมโครคอนโทรลเลอร์ที่ถูกพัฒนาขึ้นมาจากตระกูล MCS-48 ดังนั้นจึงมีความสามารถเหนือกว่าหลายอย่าง ซึ่งจะเปรียบเทียบให้เห็นถึงข้อดีของ MCS-51 เมื่อเทียบกับ MCS-48 ให้เห็นเป็นบางช่วง เช่นความเร็วในการประมวลผลของ MCS-51สามารถใช้ความถี่ได้ถึง 12 เมกะเฮิรตซ์ หรือสำหรับบางเบอร์ในตระกูลสามารถใช้ได้ถึง 16 เมกะเฮิรตซ์ ทำให้ช่วงเวลาในการทำงานแต่ละคำสั่งน้อยมาก เมื่อใช้ความถี่ 12 เมกะเฮิรตซ์ คำสั่งที่ใช้เวลาน้อยที่สุดจะใช้เวลาเพียง 1 ไมโครวินาที ส่วนคำสั่งที่ใช้เวลามากที่สุดจะใช้เวลาเพียง 4 ไมโครวินาทีเท่านั้น

4.3 ตำแหน่งขาของ MCS-51

ไมโครคอนโทรลเลอร์ตระกูล MCS-51 ทุกเบอร์จะมีตำแหน่งขาพื้นฐานที่เหมือนกัน ดังแสดงในรูปที่ 4.1

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.1 แสดงตำแหน่งขาของชิปไมโครคอนโทรลเลอร์ตระกูล MCS-51 เบอร์ 8051

หน้าที่การใช้งานแต่ละขาของชิปไมโครคอนโทรลเลอร์ในตระกูล MCS-51 มีดังนี้

- ขา Vss (ขา 20) สำหรับต่อลงกราวด์
- ขา Vcc (ขา 40) สำหรับต่อแหล่งจ่ายแรงดันกระแสตรงขนาด 5 โวลต์
- ขาพอร์ต 0 (ขา 32-39) มี 8 ขา ใช้เป็นขาสำหรับพอร์ต 0 ขนาด 8 บิต (P0.0-P0.7) แบบ Open drain bidirectional พอร์ตนี้สามารถใช้งานเป็นอินพุตเอาต์พุตพอร์ตทั่วไปได้โดยหากใช้งานเป็นอินพุตพอร์ต ต้องโหลดค่า 1 ไปยังแต่ละบิตของพอร์ตนี้เพื่อบังคับให้ขาอยู่ในสถานะปล่อยลอย (มีสถานะ High impedance) นอกจากใช้งานเป็นอินพุตเอาต์พุตพอร์ตแล้ว พอร์ต 0 ยังใช้ในการติดต่อหน่วยความจำสำหรับเก็บโปรแกรมและข้อมูลภายนอกชิปด้วย โดยส่งค่าแอดเดรสไบต์ต่ำ (A0-A7) และมัลติเพลกซ์กับการรับส่งข้อมูล (D0-D7) จากหน่วยความจำภายนอกในระหว่างการเขียนหรือการอ่านข้อมูลโดยมีวงจรพูลอัพภายใน
- ขาพอร์ต 1 (ขา 1-8) มี 8 ขา ใช้เป็นขาสำหรับพอร์ต 1 (P1.0-P1.7) สามารถใช้งานเป็นอินพุตหรือเอาต์พุตพอร์ตทั่วไปก็ได้ หากต้องการใช้งานเป็นอินพุตพอร์ต ต้องโหลดค่า 1 ไปยังแต่ละบิตของพอร์ตนี้ เพื่อให้มีสถานะ High impedance โดยมีวงจรพูลอัพภายใน

ขา P1.0,P1.1 ในเบอร์ 8052 จะใช้งานในหน้าที่อย่างอื่นนอกเหนือจากใช้เป็นอินพุตเอาต์พุตพอร์ตทั่วไปด้วย รายละเอียดจะกล่าวต่อไปภายหลัง

- ขาพอร์ต 2 (ขา 21-28) มี 8 ขา ใช้เป็นขาสำหรับพอร์ต 2 (P2.0-P2.7) ขนาด 8 บิต แบบ OPEN DRAIN BIDURECTIONAL พอร์ตนี้สามารถใช้เป็นอินพุตพอร์ตทั่วไปได้ โดยหากใช้งานเป็นอินพุตพอร์ต ต้องโหลดค่า 1 ไปยังแต่ละบิตของพอร์ตนี้ เพื่อบังคับให้ขาอยู่ในสถานะ high impedance นอกจากนี้จะใช้งานเป็นอินพุตเอาต์พุตพอร์ตทั่วไปแล้วพอร์ต 2 ยังใช้ในการติดต่อหน่วยความจำสำหรับเก็บโปรแกรมและข้อมูลภายนอกด้วย โดยใช้สำหรับส่งค่าแอดเดรสไบต์สูง (A8-A15) และมีวงจรพูลอัพภายใน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

- ขา พอร์ต 3 (ขา 10-17) มี 8 ขา ใช้เป็นขาสำหรับพอร์ต 3 (P3.0-P3.7) สามารถใช้งานเป็นอินพุตพอร์ตทั่วไปได้ หากต้องการใช้งานเป็นอินพุตพอร์ต ต้องโหลดค่า 1 ไปยังแต่ละบิตของพอร์ตนี้ เพื่อให้สถานะ high impedance โดยใช้วงจรพูลอัพภายใน นอกจากนี้ยังใช้งานในหน้าที่พิเศษต่างๆอีกหลายอย่างดังนี้

  ขา P3.0 ใช้รับข้อมูลจากภายนอกแบบอนุกรม

  ขา P3.1 ใช้ส่งข้อมูลออกไปภายนอกแบบอนุกรม

  ขา P3.2 ใช้เป็นอินพุตเพื่อรับสัญญาณอินเตอร์รัปต์ชนิดที่ 0

  ขา P3.3 ใช้เป็นอินพุตเพื่อรับสัญญาณอินเตอร์รัปต์ชนิดที่ 1

  ขา P3.4 สัญญาณอินพุตให้เคาน์เตอร์ของไทม์เมอร์ 0

  ขา P3.5 สัญญาณอินพุตให้เคาน์เตอร์ของไทม์เมอร์ 1

  ขา P3.6 ใช้เป็นสัญญาณควบคุมการเขียนข้อมูลไปยังหน่วยความจำสำหรับเก็บข้อมูลภายนอกชิป

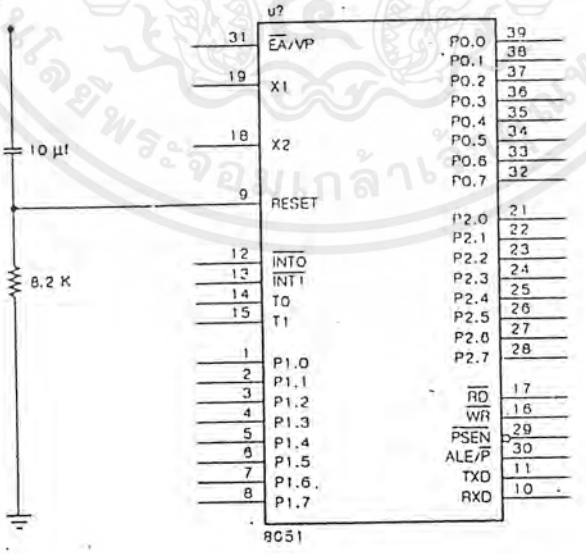
  ขา P3.7 ใช้เป็นสัญญาณควบคุมการอ่านข้อมูลจากหน่วยความจำสำหรับเก็บข้อมูลภายนอกชิป

  การใช้งานพอร์ต 3 ในหน้าที่พิเศษดังกล่าวนี้จะต้องโหลดค่า 1 ไปยังแต่ละบิตที่ต้องการใช้ก่อนทุกครั้ง

- ขา RST (ขา 9) ใช้สำหรับการรีเซตวงจรทุกอย่างภายในชิป เพื่อเริ่มต้นการทำงานใหม่การรีเซตใช้เมื่อเริ่มจ่ายพลังงานหรือเมื่อโปรแกรมเกิดทำงานผิดพลาด เมื่อต้องการรีเซตชิป MCS-51 ขานี้ต้องมีสถานะ 1 เป็นเวลาอย่างน้อย 2 แมชชีนไซเกิลระหว่างที่ออสซิลเลเตอร์ยังทำงานอยู่ โดยต้องต่อตัวต้านทานค่า 8.2 กิโลโอห์ม เพื่อทำหน้าที่พูลดาวน์ (รักษาค่าแรงดันไฟฟ้าให้มีสถานะเป็นกราวด์) และเพื่อให้ตัวชิปรีเซตเองเมื่อเริ่มจ่ายพลังงานให้ต่อตัวเก็บประจุขนาด 10 ไมโครฟารัด คร่อมระหว่างขา RST กับ Vcc ดังแสดงในรูปที่ 4.2
- ขา ALE/PROG (ขา 30) เป็นขาสำหรับใช้ส่งสัญญาณออกไปภายนอกเพื่อควบคุมการแลตช์ค่าแอดเดรสไบต์ต่ำ (address latch enable) จากพอร์ต 0 ในระหว่างการติดต่อหน่วยความจำสำหรับเก็บโปรแกรมหรือข้อมูลภายนอก ปกติเมื่อไม่มีการติดต่อหน่วยความจำภายนอกขานี้จะส่งสัญญาณพัลส์ออกมาด้วยความถี่ 1/8 ของความถี่ออสซิลเลเตอร์ที่ใช้ตลอดเวลา ดังนั้นเราสามารถใช้ความถี่ที่ได้จากขานี้ไปใช้งานอย่างอื่นได้ แต่ความถี่ที่ขานี้จะลดลงครึ่งหนึ่งในระหว่างติดต่อกับหน่วยความจำสำหรับเก็บข้อมูลที่อยู่ภายนอกชิป นอกจากนี้ขา ALE ยังใช้สำหรับควบคุมการเขียนโปรแกรมลงไปใน EPROM สำหรับ MCS-51 เบอร์ที่มีหน่วยความจำสำหรับเก็บโปรแกรมภายในชิปเป็น EPROM

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

- ขา PSEN (ขา 29) ใช้ส่งสัญญาณสโตรบเพื่ออ่านคำสั่งจากโปรแกรมที่เก็บไว้ภายในหน่วยความจำภายนอกชิป (program strobe enable) เมื่อชิปทำงานด้วยโปรแกรมจากภายนอกขานี้จะส่งสัญญาณสโตรปสองครั้งในแต่ละแมชชีนไซเกิล แต่ในช่วงการเขียนหรืออ่านข้อมูลกับหน่วยความจำภายนอกหรือเมื่อใช้โปรแกรมจากหน่วยความจำสำหรับเก็บโปรแกรมภายในชิปจะไม่มีสัญญาณออกมาจากขานี้
- ขา EA/Vpp (ขา 31) เป็นขาสำหรับใช้เลือกให้ MCS-51 ทำงานจากโปรแกรมที่อยู่ภายในหรือภายนอกชิป โดยหากขานี้มีสถานะเป็น 0 หมายถึงให้ใช้โปรแกรมจากหน่วยความจำที่เก็บโปรแกรมภายนอก หากขานี้มีสถานะเป็น 1 หมายถึงบังคับให้ MCS-51 ใช้โปรแกรมจากหน่วยความจำสำหรับเก็บโปรแกรมภายในชิป และสำหรับ MCS-51 ที่มีหน่วยความจำสำหรับเก็บโปรแกรมภายในชิป สามารถเลือกให้ทำงานได้ทั้งจากโปรแกรมที่เก็บในหน่วยความจำภายในชิปหรือจากโปรแกรมที่เก็บไว้ในหน่วยความจำภายนอกชิปด้วยการต่อขา EA กับไฟเลี้ยงหรือกราวด์ตามลำดับ ส่วนใน MCS-51 ที่ไม่มีหน่วยความจำสำหรับเก็บโปรแกรมภายในชิป ให้ต่อขานี้ลงกราวด์เสมอ
- ขา XTAL 1 (ขา 19) ใช้ต่อคริสตอลภายนอก โดยเป็นอินพุตเข้าสู่วงจรออสซิลเลเตอร์
- ขา XTAL 2 (ขา 18) ใช้ต่อคริสตอลภายนอก โดยเป็นเอาต์พุตออกจากวงจรออสซิลเลเตอร์



รูปที่ 4.2 แสดงวงจรสำหรับรีเซตไมโครคอนโทรลเลอร์ MCS-51 เมื่อเริ่มจ่ายพลังงานโดยอัตโนมัติ

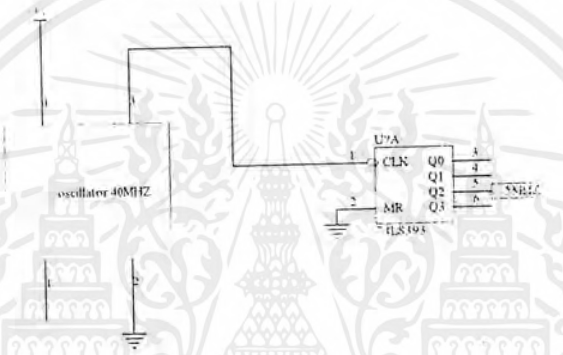
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 5

อธิบายการทำงานของวงจร

5.1 ภาควงจรสร้างสัญญาณนาฬิกา 5 เมกกะเฮิรตซ์

ในการสร้างสัญญาณนาฬิกานั้นเราจะใช้ ออสซิลเลเตอร์ขนาด 40 เมกกะเฮิรตซ์ เป็นตัวสร้างแล้วนำมาต่อเข้าขานาฬิกาของเคาน์เตอร์ โดยในที่นี้ใช้ 74LS393 โดยนำสัญญาณเอาท์พุทที่ถูกหารลง 8 เท่า ซึ่งก็จะเหลือ 5 เมกกะเฮิรตซ์ มาเป็นสัญญาณนาฬิกาโดยแสดงดังรูปที่ 5.1



รูปที่ 5.1 แสดงวงจรสร้างสัญญาณนาฬิกาขนาด 5 เมกกะเฮิรตซ์

5.2 ภาควงจรแยกสัญญาณซิงค์ (Sync Separate Circuit)

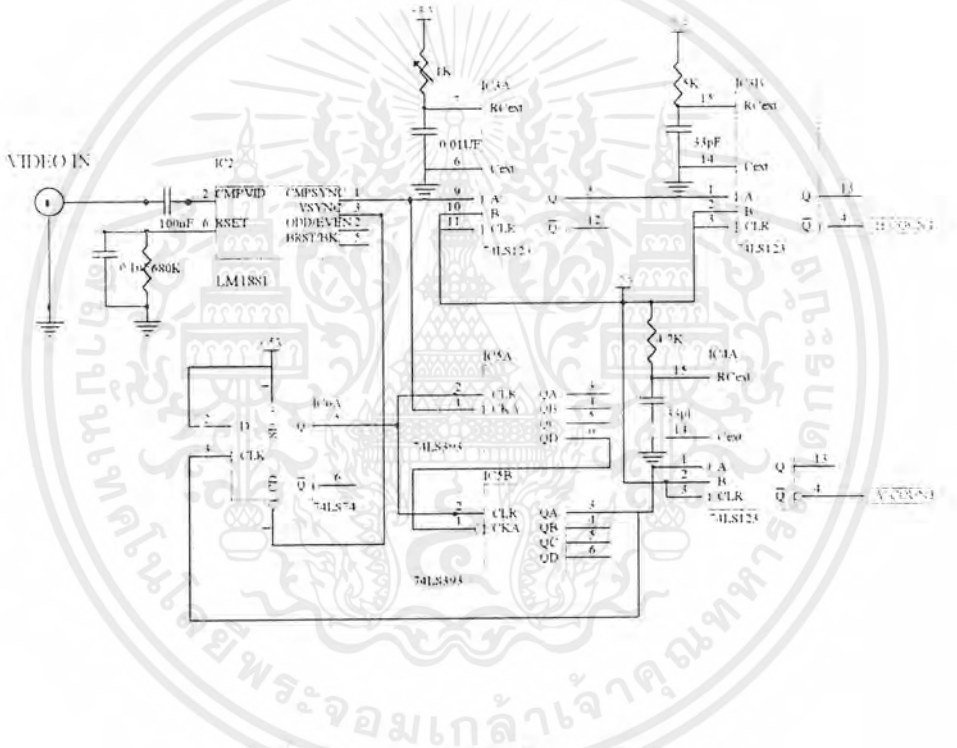
วงจรส่วนนี้จะทำหน้าที่ในการแยกสัญญาณซิงค์ออกจากสัญญาณภาพ เพื่อนำไปควบคุมส่วนของวงจรส่วนอื่นๆ โดยในที่นี้เราจะใช้ไอซีเบอร์ LM1881 ซึ่งจะรับข้อมูลภาพจากกล้องเข้ามาที่ขา 2 (Vin) ของ LM1881 โดยจะคัปปลิ้งสัญญาณผ่านตัวเก็บประจุขนาด 100 ไมโครฟารัดเพื่อดูดสัญญาณดีซีจากกล้อง และ ทำการต่อค่าความต้านทานขนาด 680 กิโลโอห์ม และคาปาซิเตอร์ขนาด 0.1 ไมโครฟารัด เพื่อเป็นการกำหนดเวลาของวงจรผลิตความถี่ภายใน และสัญญาณเอาท์พุทที่ขา 1 ของ LM1881 นั้นคือสัญญาณซิงค์ทางแนวนอน หรือ คอมโพสิทซิงค์ (CMPSUNC) และสัญญาณเอาท์พุทที่ขา 3 ของ LM1881 นั้นคือสัญญาณซิงค์ทางแนวตั้ง หรือ เวอร์ติคอลซิงค์ (VSYNC) และสัญญาณเอาท์พุทที่ ขา 7 ของ LM1881 นั้นคือสัญญาณฟิลด์คู่ฟิลด์คี่ (ODD/EVEN)

จากนั้นนำสัญญาณนี้ไปยังวงจรชุดหน่วงเวลาโดยไอซีที่ใช้นั้นใช้เบอร์ 74LS123 โดยสามารถหน่วงเวลาได้โดยการที่เราทำการต่อค่าความต้านทานปรับค่าได้ 5 กิโลโอห์ม กับค่าความต้านทาน 1 กิโลโอห์ม และค่าคาปาซิเตอร์ขนาด 0.01 ไมโครฟารัด โดยจะมีการหน่วงเวลาประมาณ 9 ไมโครวินาที และนำค่าเอาท์พุทไปต่อกับไอซี 74LS123 อีกตัวหนึ่งเพื่อทำให้เกิดพัลส์เล็ก

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ประมาณ 140 นาโนวินาที โดยจะนำสัญญาณนี้ไปรีเซตวงจรนับทางแนวนอนเพื่อให้วงจรนับตรงตำแหน่งของภาพไม่ใช่ที่ตำแหน่งของสัญญาณซิงค์

และวงจรนับทางแนวตั้งนั้นจะนำสัญญาณซิงค์รวมมาผ่านวงจรแยกสัญญาณซิงค์ทางแนวตั้ง คือเมื่อมีสัญญาณซิงค์ทางแนวตั้งมานั้น วงจรนับก็จะเริ่มนับโดยนับได้ถึงแค่ 32 ครั้ง หรือทำการหน่วงสัญญาณซิงค์รวมไป 2 มิลลิวินาทีแล้วนำสัญญาณนี้ไปเป็นอินพุทให้กับไอซี 74LS123 โดยเมื่อสัญญาณผ่าน 74LS123 แล้วก็จะเกิดพัลส์ขนาดประมาณ 140 นาโนวินาทีก็จะนำสัญญาณนี้ไปเป็นสัญญาณรีเซตวงจรนับทางแนวตั้งดังรูปที่ 5.2



รูปที่ 5.2 แสดงวงจรแยกสัญญาณซิงค์

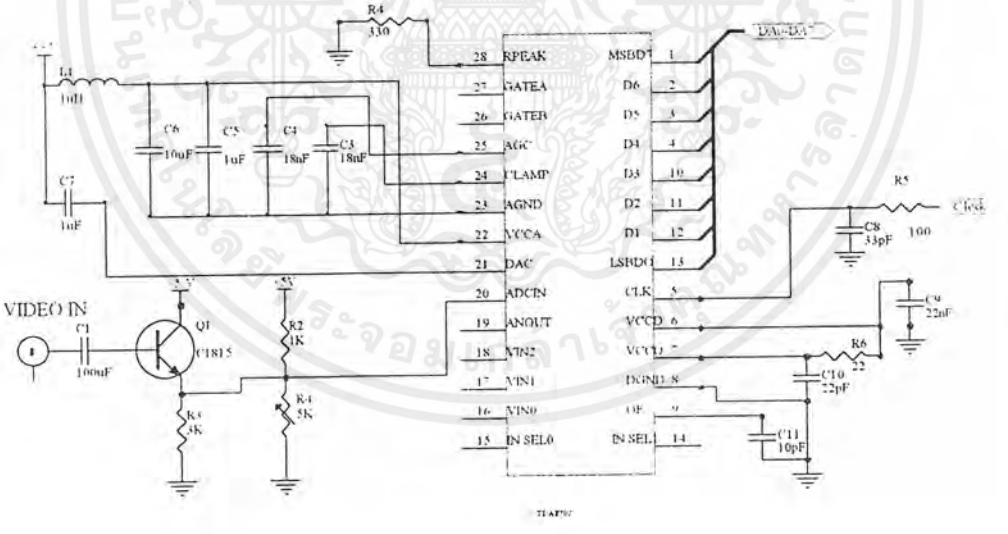
5.3 ภาควงจรแปลงสัญญาณอนาลอกเป็นดิจิตอล (Analog To Digital Converter)

วงจรเปลี่ยนสัญญาณอนาลอกเป็นดิจิตอลนั้น จะใช้ไอซีฟิลิปส์เบอร์ TDA8708 ซึ่งเป็นไอซี Video analog input interface ทำหน้าที่เปลี่ยนสัญญาณอนาลอกเป็นดิจิตอลขนาด 8 บิท โดยในโครงงานนี้ใช้ความถี่สัญญาณนาฬิกาที่ใช้ในการสุ่ม 5 เมกกะเฮิรตซ์

ในส่วนของวงจร เปลี่ยนสัญญาณอนาลอกเป็นสัญญาณดิจิตอล ที่ใช้ไอซีเบอร์ TDA8708 นั้นสามารถเลือกภาค อินพุทซีเลคเตอร์ (Input selector) ได้ 3 แหล่งคือภาค วีดีโออินพุท 0 (Video input 0) , วีดีโออินพุท 1 (Video input 1) , วีดีโออินพุท 2 (Video input 2) แต่ในการโครงงานนี้ได้นำสัญญาณวีดีโออินพุทขาที่ภาคขยายของADC ที่ขา 20 (ADCIN) ของ TDA8708

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

โดยที่สัญญาณภาพนั้นจะถูกคลัปปลิ้งผ่านคาปาซิเตอร์ ขนาด 100 ไมโครฟารัด เพื่อกันสัญญาณดีซีที่มาพร้อมกับสัญญาณภาพ จากนั้นต่อความต้านทานปรับค่าได้ขนาด 10 กิโลโอห์มเพื่อทำหน้าที่ยกระดับสัญญาณภาพที่เข้ามาให้เหมาะสมกับ TDA8708 เนื่องจากว่าจากดาต้าชีท ของ TDA8708 ถ้าเราจะแปลงข้อมูลให้ได้ข้อมูลขนาด 8 บิตซึ่งจะทำให้ได้ความแตกต่างของข้อมูลขนาด 256 ระดับ ต้องทำให้สัญญาณที่ใช้ในการแซมปลิ้งมีขนาดอยู่ระหว่าง Vcc-2.41 โวลท์ถึง Vcc- 1.41 โวลท์ หรือประมาณ 2.59-3.59 โวลท์ จากนั้นนำสัญญาณที่ได้ทำการยกระดับแล้ว เข้าสู่วงจรขยายสัญญาณก่อนที่จะเข้าขา 20 (ADCIN) ของ TDA8708 โดยขนาดของสัญญาณนาฬิกาที่ใช้ในการสุ่ม (Sampling) ใช้ 5 เมกกะเฮิรตซ์ โดยจะต่อเข้าที่ขา 9 (OF input coding) ของ TDA8708 นี้เป็นตัวบอกว่าสัญญาณดิจิตอลเอาท์พุทนั้นจะมีรูปสัญญาณเป็นแบบไหน โดยถ้าเราให้ขา 9 นี้มีค่าเป็น นั้นสัญญาณดิจิตอลเอาท์พุทจะออกมาในรูปแบบทูคอมพลีเมนต์ (Two 's complement) ถ้าขา 9 นี้มีค่าเป็น 1 นั้นสัญญาณดิจิตอลเอาท์พุทจะเป็น High impedance ถ้าขา 9 นี้เป็นวงจรเปิด (Open circuit) โดยการต่อคาปาซิเตอร์ที่มีขนาดมากกว่า 10 พิโคฟารัด ขึ้นไปนั้นสัญญาณดิจิตอลเอาท์พุทที่ได้นั้นจะเป็นแบบ ไบนารี (Binary) โดยในที่นี้เลือกใช้แบบไบนารี (Binary) ดังแสดงดังรูปที่ 5.3



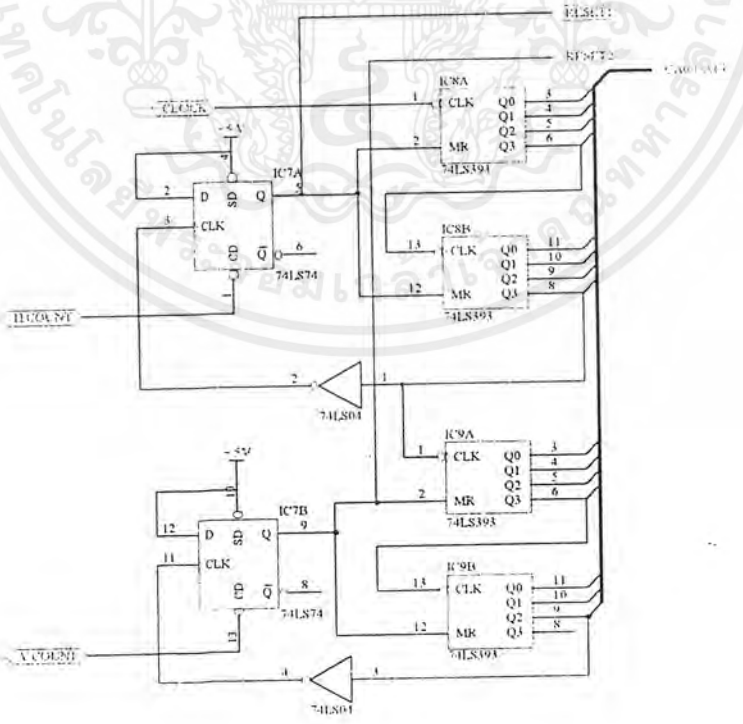
รูปที่ 5.3 แสดงวงจรการทำงานของภาคอินพุท (A/D)

5.4 ภาควงจรนับ (Counter Circuit)

การทำงานของวงจรภาคนี้คือเมื่อมีสัญญาณนาฬิกา 5 เมกะเฮิรตซ์ เข้ามาที่ขา 1 หรือ CLK ของไอซี 8A (74LS393) ซึ่งเป็นเคาน์เตอร์ขนาด 4 บิทจากนั้นนำขา 6 หรือ Q3 ของไอซีตัวเดิม ไปเป็นสัญญาณนาฬิกาให้กับ ไอซี 8A โดยต่อเข้าที่ขา 2 หรือขารีเซ็ตของไอซี 8A และขา 12

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ของไอซี 8B นั้นทำการต่อสัญญาณรีเซ็ตที่นำมาจากสัญญาณ RESET1 โดยที่ 74 LS393 นั้นจะเริ่มนับสัญญาณรีเซตนี้มีค่าเป็น 0 จะเริ่มนับและจะหยุดนับเมื่อสัญญาณรีเซ็ตเป็น 1 และสัญญาณ RESET1 นี้ก็นำมาจากขา 5 ของไอซี 7A จะนำมาจากสัญญาณรีเซ็ตที่มาจากสัญญาณ H COUNT เพื่อที่จะให้วงจรนับเริ่มนับที่ตำแหน่งของภาพไม่ใช่เริ่มที่สัญญาณซิงค์ จากนั้นก็นำเอาท์พุทจากขา 8 ของไอซี 8B ไปเป็นสัญญาณนาฬิกาของไอซี 9A ที่ขา 1 และเอาท์พุทที่ขา 6 ต่อที่ขาสัญญาณนาฬิกาของไอซี 9B ที่ขา 13 และที่ขารีเซ็ตขา 2 ของไอซี 9A และขา 12 ของไอซี 9B ต่อกับสัญญาณรีเซ็ต 2 ที่ได้มาจากขา 9 ของไอซี 7B โดยที่การนับของวงจรชุดนี้จะเริ่มนับเมื่อสัญญาณรีเซ็ต 2 นั้นมีค่าเป็น 0 และจะหยุดนับเมื่อสัญญาณรีเซ็ตนี้เป็น 1 โดยที่สัญญาณรีเซ็ตจะเป็น 1 เมื่อวงจรนับ นับครบ 256 จุด หรือนับครบ 128 เส้น โดยที่การต่อในลักษณะนี้ จะได้เอาท์พุทวงจรนับทั้งหมด 15 เส้น เพื่อใช้ในการอ้างอิงตำแหน่งให้กับหน่วยความจำซึ่งการเก็บสัญญาณภาพ 1 ฟิลด์ ใช้หน่วยความจำ ทั้งหมด 32 กิโลไบต์ การอ้างตำแหน่งนี้แบ่งออกเป็น 2 ส่วน คือ ไอซี8A และไอซี 8B จะให้เอาท์พุทของการนับ 8 เส้น เพื่อใช้อ้างตำแหน่งหน่วยความจำภาพทางแนวนอน (เก็บข้อมูล 1 เส้นภาพ) โดยมีขนาด 256 จุด ส่วนที่ 2 ประกอบด้วย ไอซี 9A และไอซี 9B ให้เอาท์พุทการนับ 7 เส้น ใช้ในการกำหนดตำแหน่งของหน่วยความจำภาพทางแนวตั้ง (ใช้นับเส้นสแกนภาพที่ทำการเก็บ) ซึ่งอ้างได้ 128 เส้น การอ้างตำแหน่งนี้จะแสดงดังรูปที่ 5.4



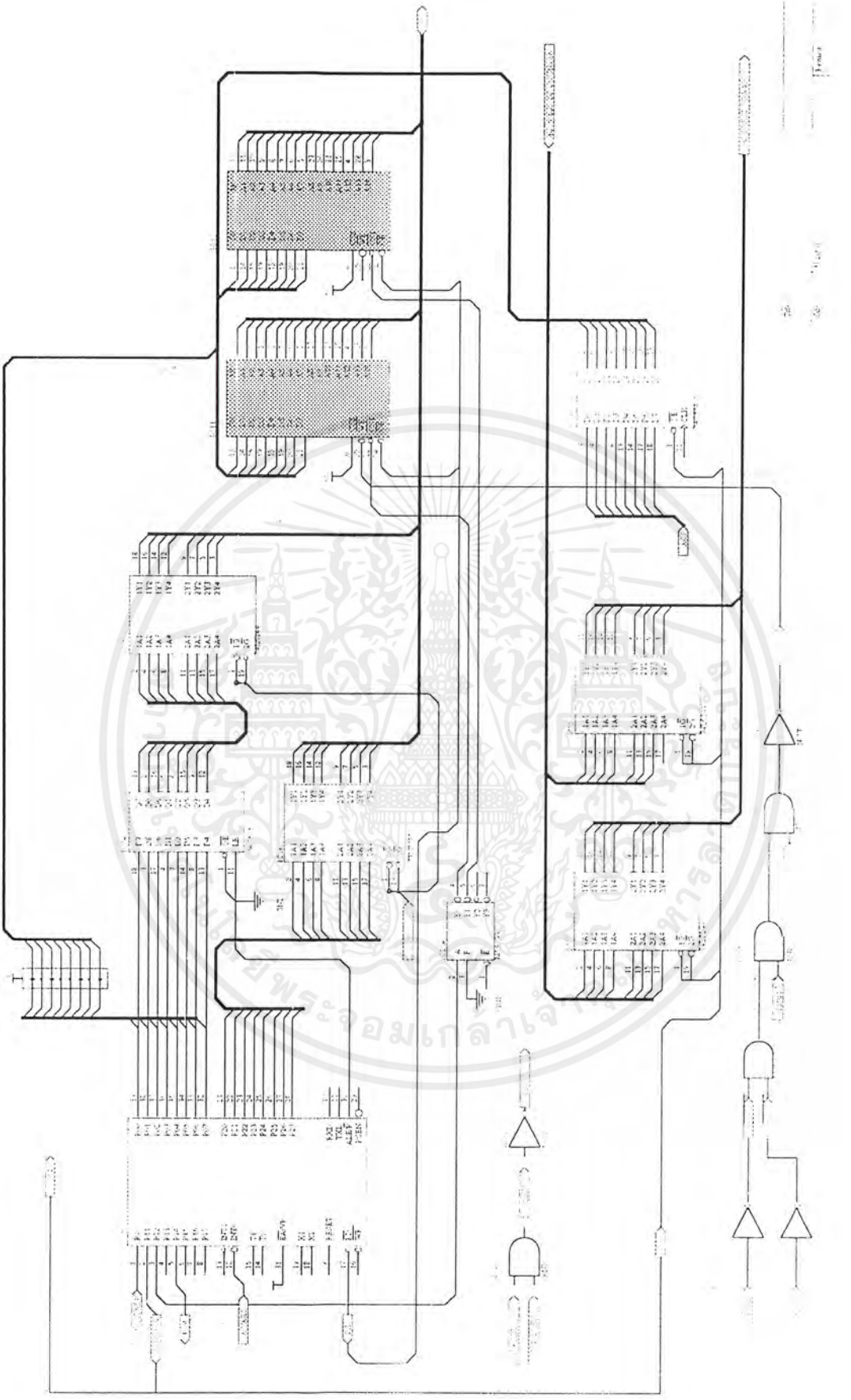
รูปที่ 5.4 แสดงวงจรนับ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

5.5 การทำงานของวงจรภาคหน่วยความจำและประมวลผล

วงในภาคนี้มีการทำงานของวงจรอยู่ 2 ช่วง คือช่วงของการเขียนข้อมูลลงในแรม และช่วงของการอ่านข้อมูลและเปรียบเทียบโดยการทำงานของวงจรนั้นขั้นแรกคือการเขียนข้อมูลลงแรมโดยการเขียนข้อมูลแบ่งเป็นเขียนข้อมูลของตัวต้นแบบและเขียนข้อมูลของตัวที่จะเปรียบเทียบโดยการเขียนข้อมูลต้นแบบนั้นจะต้องรอเซ็นเซอร์ถ้าวัตถุเคลื่อนที่ถึงเซ็นเซอร์ก็จะทำการเก็บข้อมูลภาพของข้อมูลต้นแบบลงในแรมตัวที่ 1 และก็จะทำการรอของที่จะนำมาเปรียบเทียบถ้าของที่จะนำมาเปรียบเทียบนั้นเคลื่อนที่ถึงเซ็นเซอร์อีกครั้งก็จะทำการเขียนข้อมูลลงในแรมตัวที่2 ของข้อมูลของตัวที่จะเปรียบเทียบเสร็จแล้วก็จะทำการข้อมูลจากแรมต้นแบบออกมาและก็จะอ่านข้อมูลของตัวที่เปรียบเทียบออกมาโดยกาอ่านจะอ่านที่แอดเดรสเดียวกันมาเปรียบเทียบกันแล้วก็นำข้อมูลทั้งมาเปรียบเทียบจนครบแล้วก็นำมาประมวลผลว่าเหมือนหรือต่างกัน

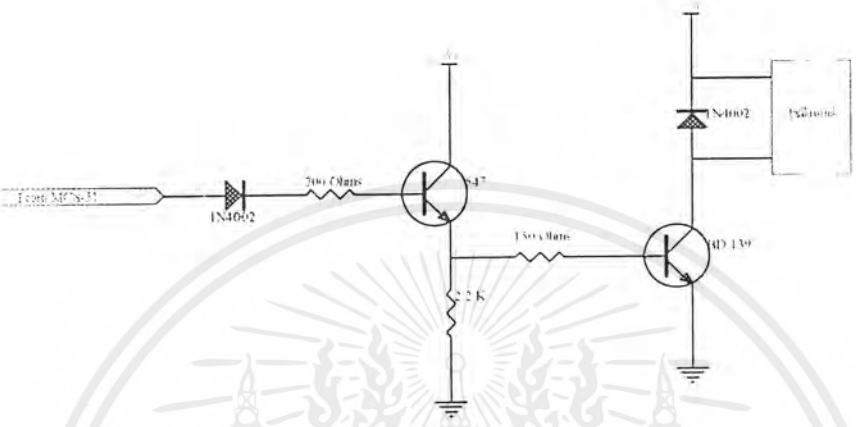
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



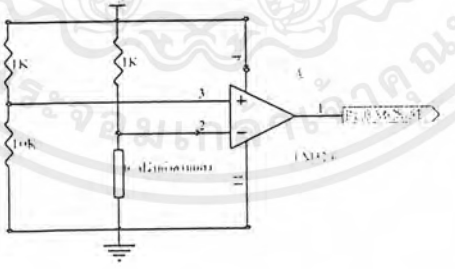
รูปที่ 5.5 วงจรภาคหน่วยความจำและการประมวลผล

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

5.6 วงจรภาคควบคุมกลไก



รูปที่ 5.6 วงจรควบคุมกลไกโซลีนอย

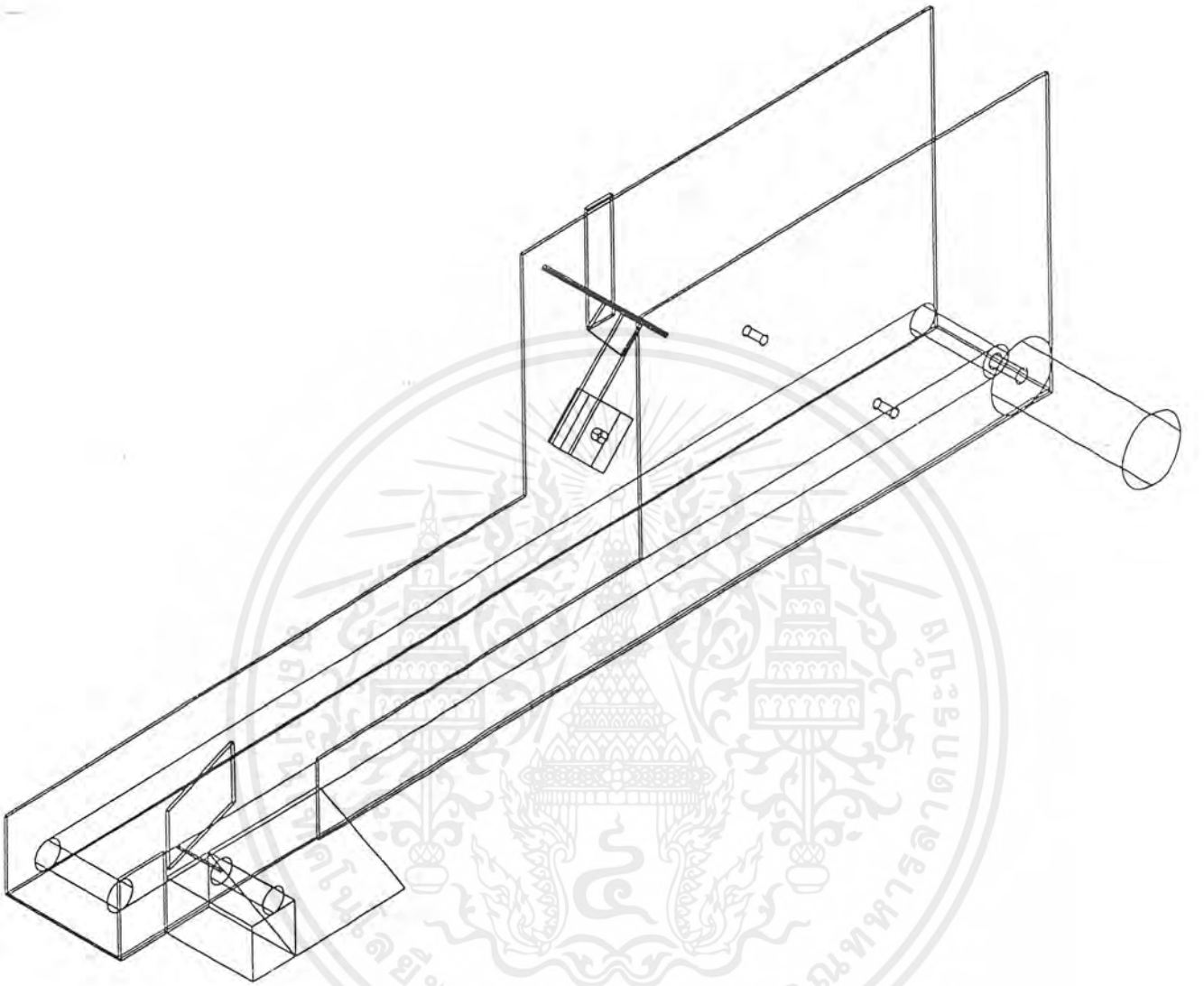


รูปที่ 5.7 วงจรตัวต้านทานเปลี่ยนค่าตามแสง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รูปที่ 5.8 วงจรไฟเลี้ยงจ่ายให้วงจร

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 5.8 โครงสร้างของโครงงาน

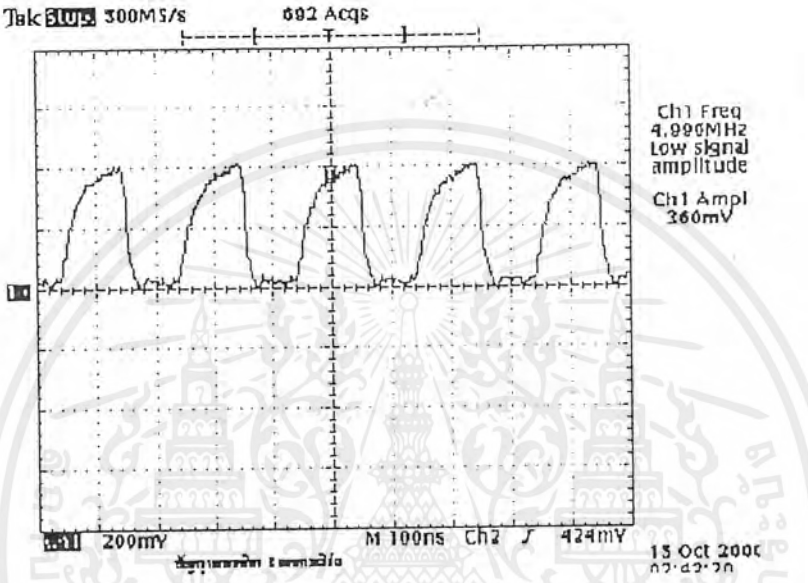
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 6

การทดลอง และ ผลการทดลอง

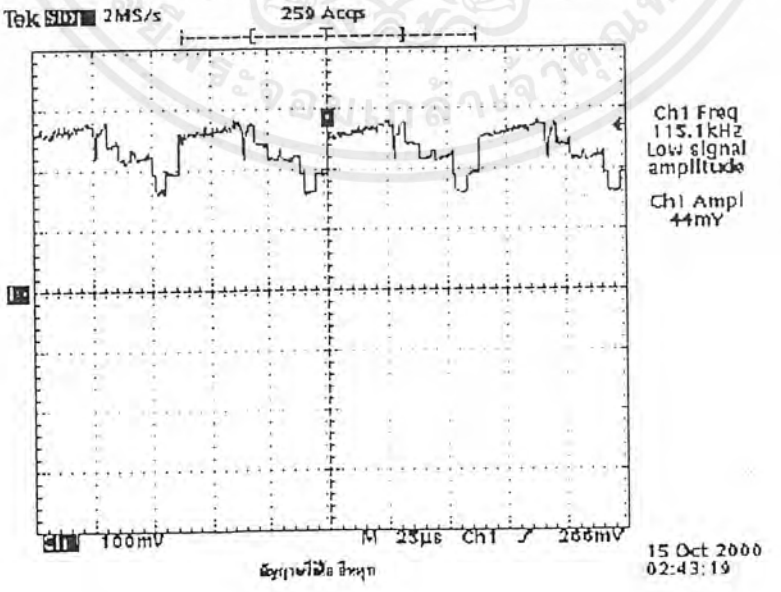
ทดลองจับสัญญาณภาพต่าๆจากสโตเรจสโคป

6.1 ผลการทดลองภาคสร้างสัญญาณนาฬิกา 5 เมกะเฮิรตซ์



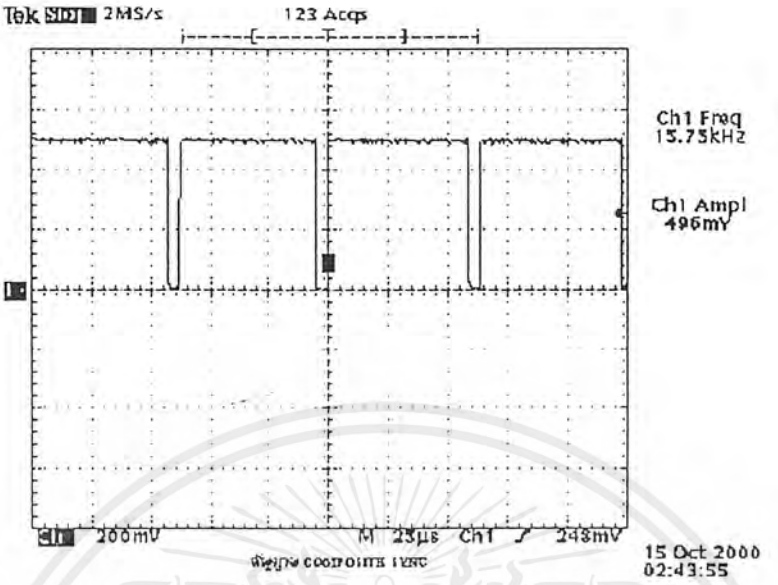
รูปที่ 6.1 สัญญาณนาฬิกา 5 เมกะเฮิรตซ์ที่ขา 5 ของไอซี 1A (74 LS393)

6.2 ผลการทดลองของภาควงจรแยกสัญญาณซิงค์

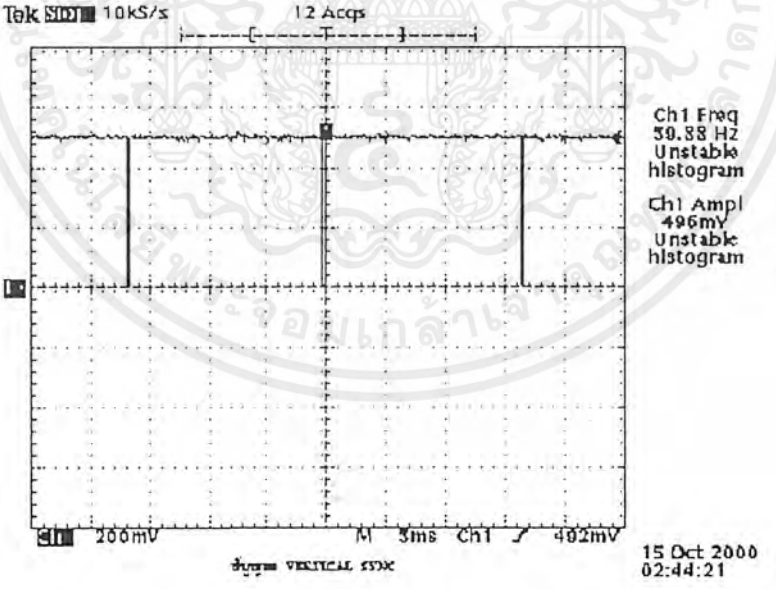


รูปที่ 6.2 สัญญาณวีดีโออินพุทที่ขา 2 ของไอซี 2 (LM1881)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

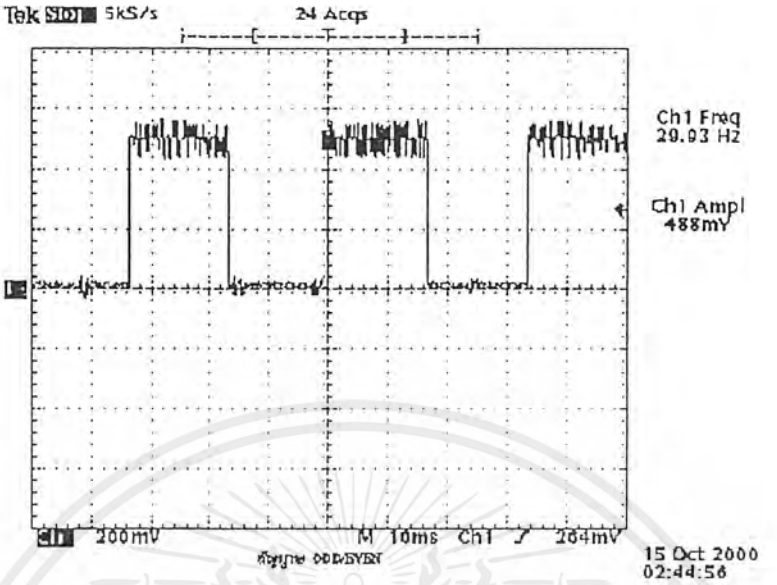


รูปที่ 6.3 สัญญาณ COMPOSITE SYNC ที่ขา 1 ของไอซี 2 (LM1881)

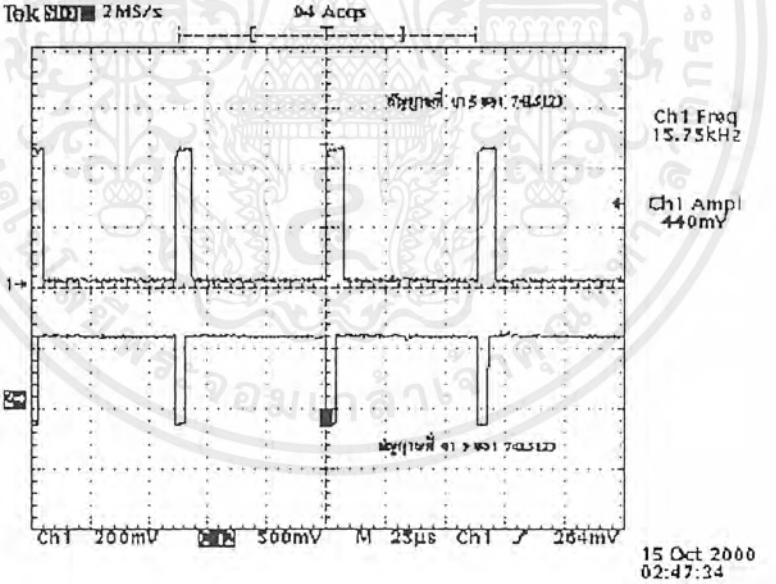


รูปที่ 6.4 สัญญาณ VERTICAL SYNC ที่ขา 3 ของไอซี 2 (LM1881)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

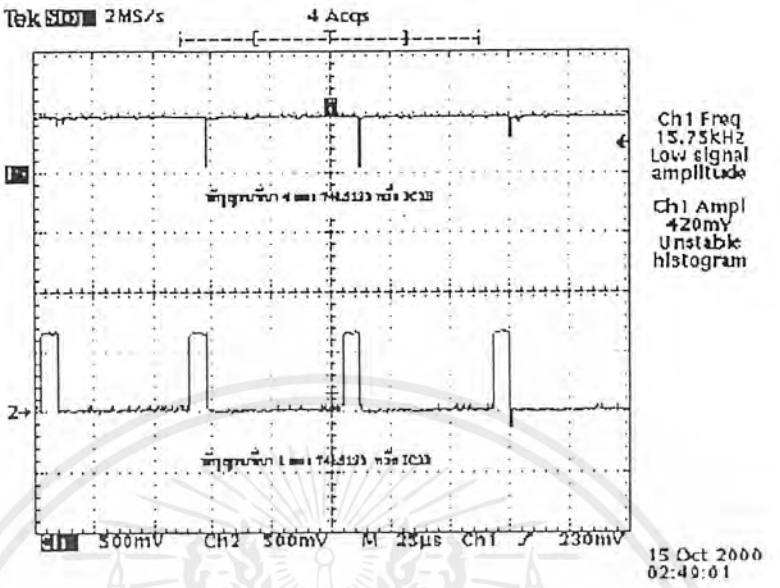


รูปที่ 6.5 สัญญาณ ODD/EVEN ที่ขา 7 ของไอซี 2 (LM1881)

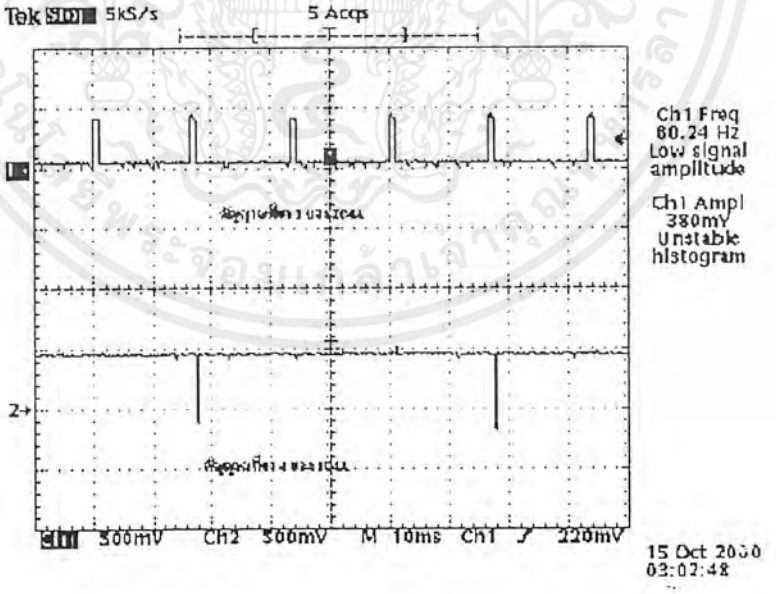


รูปที่ 6.6 สัญญาณที่ขา 5 และ ขา 9 ของไอซี 3A (74LS123)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



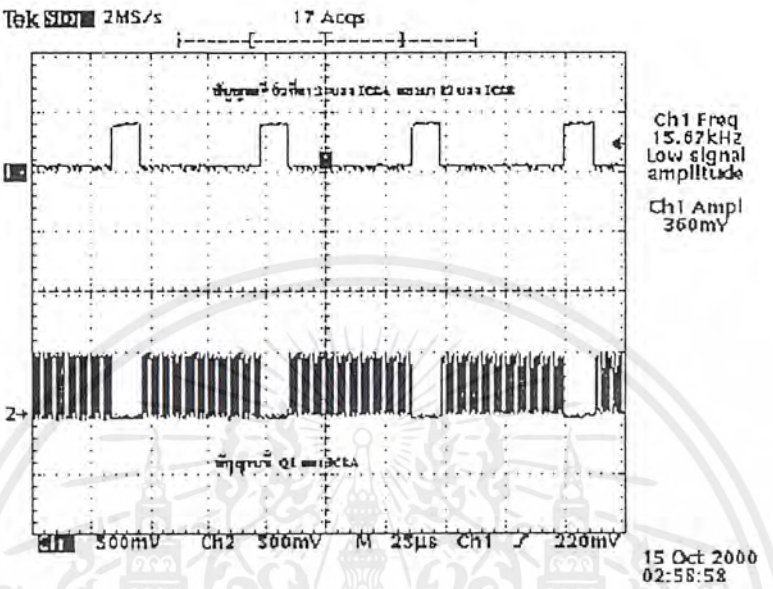
รูปที่ 6.7 สัญญาณที่ขา 4 และขา 1 ของไอซี 3B (74LS123)



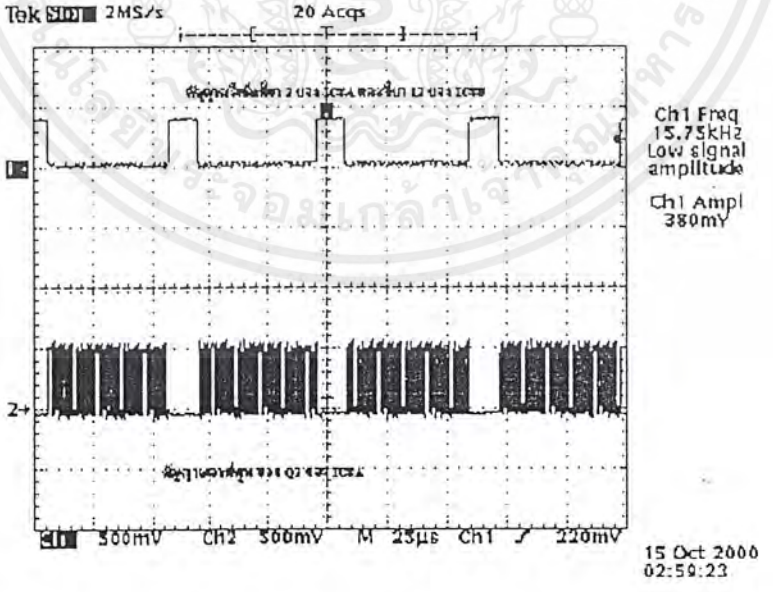
รูปที่ 6.8 สัญญาณรีเซตที่ขา 1 และ 4 ของไอซี 4A (74LS123)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

6.3 ผลการทดลองภาควงจรนับ



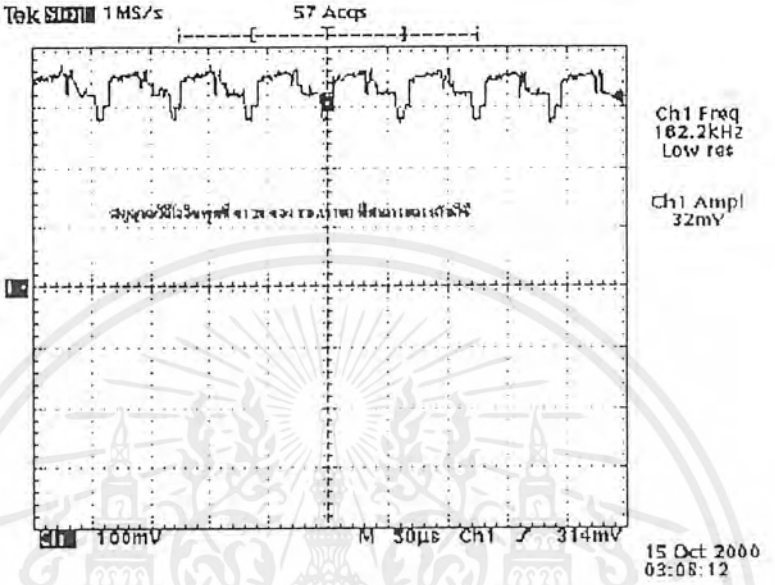
รูปที่ 6.9 สัญญาณที่ ขา 2 ของไอซี 8A (74LS393) และสัญญาณที่ Q0 ของไอซี 8A (74LS393)



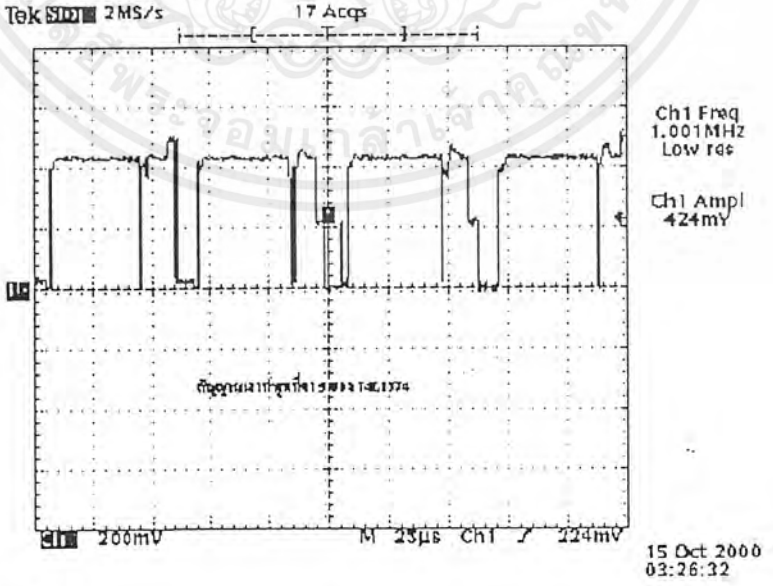
รูปที่ 6.10 สัญญาณที่ขา 2 ของไอซี 8A (74LS393) และสัญญาณที่ Q1 ของไอซี 8A (74LS393)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

6.4 ผลการทดลองของภาควงจรแปลงอนาลอกเป็นดิจิตอล



รูปที่ 6.11 สัญญาณวีดีโออินพุทที่ขา 20 ของ TDA 8708 ที่ยกระดับดีซี 2.8 โวลท์



รูปที่ 6.12 สัญญาณเอาท์พุทที่ขา 5 ของไอซี 10 (74LS374)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

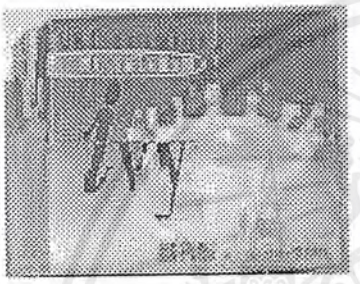
6.5 การทดลองและผลการทดลองการแยกชิ้นงาน

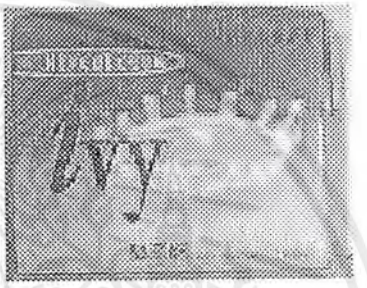
วัตถุประสงค์ของการทดลอง

- เพื่อศึกษาลักษณะของชิ้นงานที่จะนำมาคัดแยก
- เพื่อศึกษาประสิทธิภาพของการคัดแยก

การทดลองเปรียบเทียบชิ้นงาน

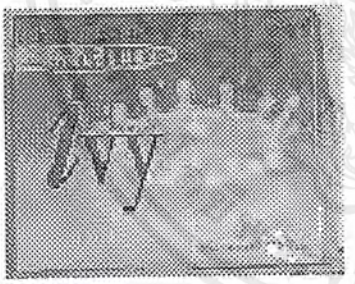
ครั้งที่ 1 ทดลองทั้งหมด 5 ครั้ง





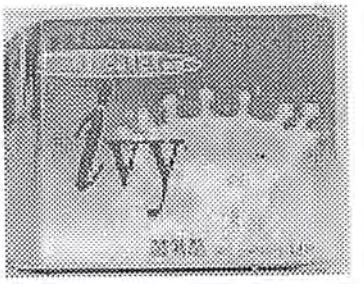
ได้เหมือนกัน 5 ครั้ง ต่างกัน 0 ครั้ง

ครั้งที่ 2 ทดลองทั้งหมด 5 ครั้ง



ได้เหมือนกัน 4 ครั้ง ต่างกัน 1 ครั้ง

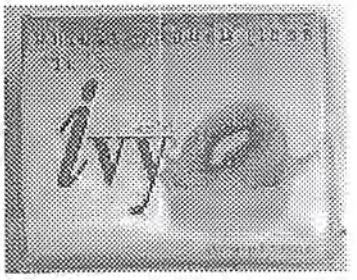
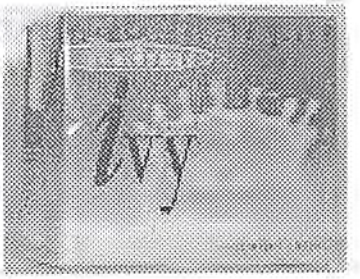
ครั้งที่ 3 ทดลองทั้งหมด 5 ครั้ง



ได้เหมือนกัน 1 ครั้ง ต่างกัน 4 ครั้ง

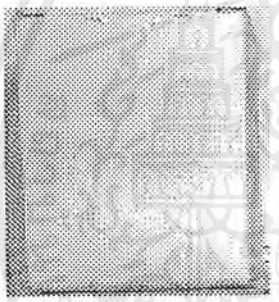
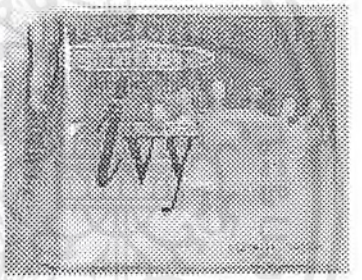
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ครั้งที่ 4 ทดลองทั้งหมด 5 ครั้ง

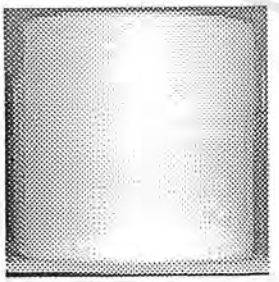
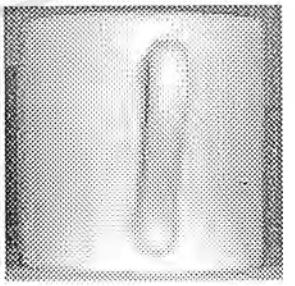
ได้เหมือนกัน 1 ครั้ง ต่างกัน 4 ครั้ง

ครั้งที่ 5 ทดลองทั้งหมด 5 ครั้ง

ได้เหมือนกัน 0 ครั้ง ต่างกัน 5 ครั้ง

ครั้งที่ 6 ทดลองทั้งหมด 5 ครั้ง

ได้เหมือนกัน 1 ครั้ง ต่างกัน 4 ครั้ง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 7
สรุปผลการทดลอง

ในการทดลองเพื่อเปรียบเทียบความเหมือนและความแตกต่างของชิ้นงานที่นำมาเปรียบเทียบ เพื่อดูว่าสามารถที่จะคัดแยกได้หรือเปล่า คือ ชิ้นงานทั้ง 2 จะเหมือนหรือต่างกัน โดยทดลองให้ชิ้นงานที่มีลักษณะต่างๆซึ่งตามผลการทดลองประมาณ 5 ครั้ง และสามารถคัดหรือเปรียบเทียบถูกต้องประมาณ 80 เปอร์เซ็นต์ โดยที่จะให้ความเร็วของสายพานต่ำๆ แต่ว่าถ้าปรับความเร็วของสายพานให้มีความเร็วสูงมากๆนั้นข้อมูลของภาพที่เก็บมาได้ก็จะมีข้อมูลที่คลาดเคลื่อนไปจากข้อมูลจริง จึงต้องมีการปรับโฟกัสของกล้อง เพื่อที่จะเซตตำแหน่งภาพที่ถูกต้องให้กับกล้อง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ภาคผนวก

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

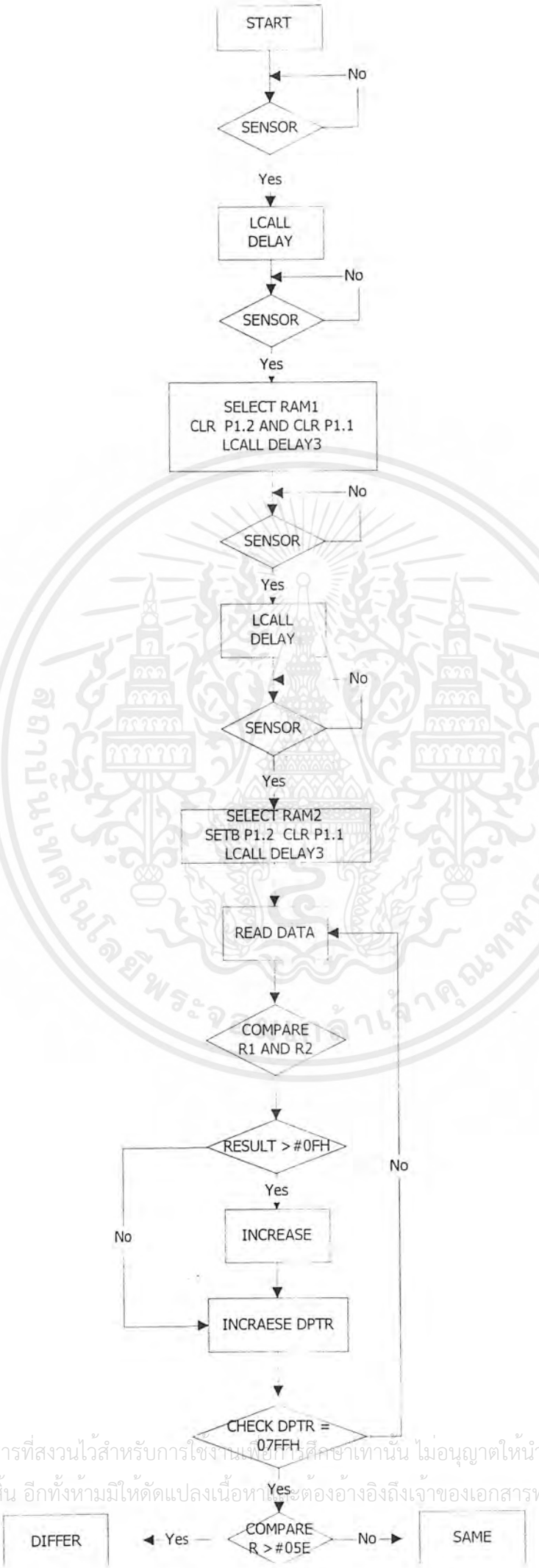
G

```
      RAM1   EQU    01H
      RAM2   EQU    02H
      CO_NOL EQU    03H
      CO_NOH EQU    04H
      ORG    0000H
      MOV    P1,#0F7H
      MOV    P3.2,#0FFH
MAIN0: CLR    C
      MOV    R4,#00H
      JB     P1.0,$
      LCALL  DELAY
      JB     P1.0,$
LOOP1: JNB    P3.2,LOOP1
LOOP2: JB     P3.2,LOOP2
      CLR    P1.2
      CLR    P1.1
      LCALL  DELAY1
      SETB   P1.1
      LCALL  DELAY3
MAIN:  JNB    P1.0,MAIN
      JB     P1.0,$
      LCALL  DELAY
      JB     P1.0,$
MAIN1: JNB    P3.2,MAIN1
LOOP3: JB     P3.2,LOOP3
      SETB   P1.2
      CLR    P1.1
      LCALL  DELAY1
      SETB   P1.1
      CLR    P1.7
      LCALL  DELAY3
      MOV    DPTR,#0000H
GET_D: CLR    P1.2
      CLR    P1.4
      MOVX   A,@DPTR
      MOV    RAM1,A
      SETB   P1.2
      MOVX   A,@DPTR
      MOV    RAM2,A
      SUBB   A,RAM1
      JNC    MAX_MIN
      MOV    A,RAM1
      SUBB   A,RAM2
MAX_MIN:SUBB  A,#0FH
       JC    CHK_SP
      INC    CO_NOL
      MOV    A,CO_NOL
NEXT:  CJNE   A,#0FFH,CHK_SP
      INC    CO_NOH
CHK_SP: INC   DPTR
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
NEXT_LINE:MOV   A,DPL
      CJNE    A,#0FFH,GET_D
      MOV     A,DPH
      CJNE    A,#07FH,GET_D
      MOV     A,CO_NOH
      SUBB    A,#05EH
      JC      SAME
DIFFER: MOV     P1,#0FFH
      CLR     P1.5
      SETB    P1.3
TE1:    SJMP    TE1
SAME:   MOV     P1,#0F7H
      CLR     P1.6
      CLR     P1.3
TE:     SJMP    TE
DELAY:  MOV     R5,#020H
      DJNZ    R5,$
      RET
DELAY1: MOV     R0,#0FFH
DELAY2: MOV     R1,#23
      DJNZ    R1,$
      DJNZ    R0,DELAY2
      RET
DELAY3: MOV     R6,#0FFH
DELAY4: MOV     R7,#0FFH
      DJNZ    R7,$
      MOV     R7,#0FFH
      DJNZ    R7,$
      MOV     R7,#0FFH
      DJNZ    R7,$
      MOV     R7,#0FFH
      DJNZ    R7,$
      MOV     R7,#0FFH
      DJNZ    R7,$
      MOV     R7,#0FFH
      DJNZ    R7,$
      MOV     R7,#0FFH
      DJNZ    R7,$
      MOV     R7,$,0FFH
      DJNZ    R7,$
      DJNZ    R6,DELAY4
      RET
      END
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

DATA SHEET

TDA8708A
Video analog input interface

Product specification
Supersedes data of April 1993
File under Integrated Circuits, IC02

June 1994

PHILIPS

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Video analog input interface TDA8708A

FEATURES

- 8-bit resolution
- Sampling rate up to 32 MHz
- Binary or two's complement 3-state TTL outputs
- TTL-compatible digital inputs and outputs
- Internal reference voltage regulator
- Power dissipation of 365 mW (typical)
- Input selector circuit (one out of three video inputs)
- Clamp and Automatic Gain Control (AGC) functions for CVBS and Y signals
- No sample-and-hold circuit required.
- The TDA8708A has white peak control in modes 1 and 2 whereas the TDA8708B has control in mode 1 only.

APPLICATIONS

- Video signal decoding
- Scrambled TV (encoding and decoding)
- Digital picture processing
- Frame grabbing.

GENERAL DESCRIPTION

The TDA8708A is an analog input interface for video signal processing. It includes a video amplifier with clamp and gain control, an 8-bit analog-to-digital converter (ADC) with a sampling rate of 32 MHz and an input selector

QUICK REFERENCE DATA

SYMBOL	PARAMETER	MIN.	TYP.	MAX.	UNIT
V_{CCA}	analog supply voltage	4.5	5.0	5.5	V
V_{CCD}	digital supply voltage	4.5	5.0	5.5	V
V_{CCO}	TTL output supply voltage	4.2	5.0	5.5	V
I_{CCA}	analog supply current	–	37	45	mA
I_{CCD}	digital supply current	–	24	30	mA
I_{CCO}	TTL output supply current	–	12	16	mA
ILE	DC integral linearity error	–	–	±1	LSB
DLE	DC differential linearity error	–	–	±0.5	LSB
$f_{clk(max)}$	maximum clock frequency	30	32	–	MHz
B	maximum –3 dB bandwidth (AGC amplifier)	12	18	–	MHz
P_{tot}	total power dissipation	–	365	500	mW

ORDERING INFORMATION

TYPE NUMBER	PACKAGE			
	PINS	PIN POSITION	MATERIAL	CODE
TDA8708A	28	DIP	plastic	SOT117-1
TDA8708AT	28	SO28L	plastic	SOT136-1

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

BLOCK DIAGRAM

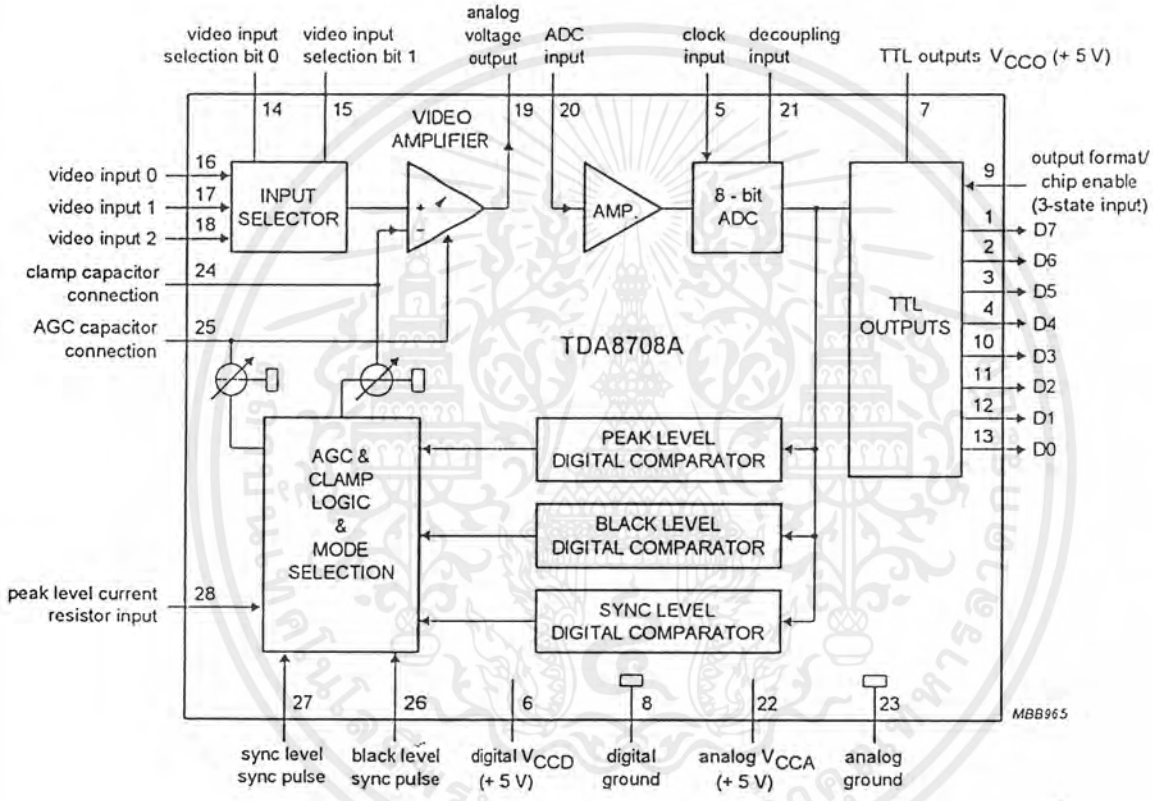


Fig.1 Block diagram.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

PINNING

SYMBOL	PIN	DESCRIPTION
D7	1	data output; bit 7 (MSB)
D6	2	data output; bit 6
D5	3	data output; bit 5
D4	4	data output; bit 4
CLK	5	clock input
V_{CCD}	6	digital supply voltage (+5 V)
V_{CCO}	7	TTL outputs supply voltage (+5 V)
DGND	8	digital ground
OF	9	output format/chip enable (3-state input)
D3	10	data output; bit 3
D2	11	data output; bit 2
D1	12	data output; bit 1
D0	13	data output; bit 0 (LSB)
I0	14	video input selection bit 0
I1	15	video input selection bit 1
VIN0	16	video input 0
VIN1	17	video input 1
VIN2	18	video input 2
ANOUT	19	analog voltage output
ADCIN	20	analog-to-digital converter input
DEC	21	decoupling input
V_{CCA}	22	analog supply voltage (+5 V)
AGND	23	analog ground
CLAMP	24	clamp capacitor connection
AGC	25	AGC capacitor connection
GATE B	26	black level synchronization pulse
GATE A	27	sync level synchronization pulse
RPEAK	28	peak level current resistor input

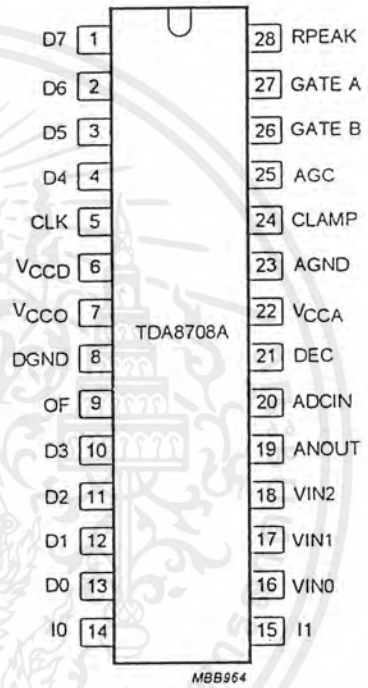


Fig.2 Pin configuration.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

FUNCTIONAL DESCRIPTION

The TDA8708A provides a simple interface for decoding video signals.

The TDA8708A operates in configuration mode 1 (see Fig.4) when the video signals are weak (i.e. when the gain of the AGC amplifier has not yet reached its optimum value). This enables a fast recovery of the synchronization pulses in the decoder circuit. When the pulses at the GATE A and GATE B inputs become distinct (GATE A and GATE B pulses are synchronization pulses occurring during the sync period and rear porch respectively) the TDA8708A automatically switches to configuration mode 2 (see Fig.5).

When the TDA8708A is in configuration mode 1, the gain of the AGC amplifier will be roughly adjusted (sync level to a digital output level of 0 and the peak level to a digital output level of 255).

In configuration mode 2 the digital output of the ADC is compared to internal digital reference levels. The resultant outputs control the charge or discharge current of a capacitor connected to the AGC pin. The voltage across this capacitor controls the gain of the video amplifier. This is the gain control loop.

The sync level comparator is active during a positive-going pulse at the GATE A input. This means that the sync pulse of the composite video signal is used as an amplitude reference. The bottom of the sync pulse is adjusted to obtain a digital output of logic 0 at the converter output. As the black level is at digital level 64, the sync pulse will have a digital amplitude of 64 LSBs.

The peak-white control loop is always active. If the video signal tends to exceed the digital code of 248, the gain will be limited to avoid any over-range of the converter.

The use of nominal signals will prevent the output from exceeding a digital code of 213 and the peak-white control loop will be non-active.

The clamp level control is accomplished by using the same techniques as used for the gain control. The black-level digital comparator is active during a positive-going pulse at the GATE B input. The clamp capacitor will be charged or discharged to adjust the digital output to code 64.

LIMITING VALUES

In accordance with the Absolute Maximum Rating System (IEC 134).

SYMBOL	PARAMETER	MIN.	MAX.	UNIT
V_{CCA}	analog supply voltage	−0.3	+7.0	V
V_{CCD}	digital supply voltage	−0.3	+7.0	V
V_{CCO}	output supply voltage	−0.3	+7.0	V
ΔV_{CC}	supply voltage difference between V_{CCA} and V_{CCD}	−1.0	+1.0	V
	supply voltage difference between V_{CCO} and V_{CCD}	−1.0	+1.0	V
	supply voltage difference between V_{CCA} and V_{CCO}	−1.0	+1.0	V
V_I	input voltage	−0.3	V_{CCA}	V
I_O	output current	0	+10	mA
T_{stg}	storage temperature	−55	+150	°C
T_{amb}	operating ambient temperature	0	+70	°C
T_j	junction temperature	0	+125	°C

THERMAL CHARACTERISTICS

SYMBOL	PARAMETER	VALUE	UNIT
$R_{th\ j\text{-}a}$	thermal resistance from junction to ambient in free air		
	SOT117-1	55	K/W
	SOT136-1	70	K/W

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

CHARACTERISTICS

$V_{CCA} = V_{22}$ to V_{23} = 4.5 to 5.5 V; $V_{CCD} = V_6$ to V_8 = 4.5 to 5.5 V; $V_{CCO} = V_7$ to V_8 = 4.2 to 5.5 V; AGND and DGND shorted together; V_{CCA} to V_{CCD} = –0.5 to +0.5 V; V_{CCO} to V_{CCD} = –0.5 to +0.5 V; V_{CCA} to V_{CCO} = –0.5 to +0.5 V; T_{amb} = 0 to +70 °C; typical readings taken at $V_{CCA} = V_{CCD} = V_{CCO}$ = 5 V and T_{amb} = 25 °C; unless otherwise specified.

SYMBOL	PARAMETER	CONDITIONS	MIN.	TYP.	MAX.	UNIT
Supplies						
V_{CCA}	analog supply voltage		4.5	5.0	5.5	V
V_{CCD}	digital supply voltage		4.5	5.0	5.5	V
V_{CCO}	TTL output supply voltage		4.2	5.0	5.5	V
I_{CCA}	analog supply current		–	37	45	mA
I_{CCD}	digital supply current		–	24	30	mA
I_{CCO}	TTL output supply current	TTL load (see Fig.8)	–	12	16	mA
Video amplifier inputs						
VIN(0 TO 2) INPUTS						
$V_{I(p-p)}$	input voltage (peak-to-peak value)	AGC load with external capacitor; note 1	0.6	–	1.5	V
$\|Z_i\|$	input impedance	f_i = 6 MHz	10	20	–	kΩ
C_I	input capacitance	f_i = 6 MHz	–	1	–	pF
I0 AND I1 TTL INPUTS (SEE TABLE 1)						
V_{IL}	LOW level input voltage		0	–	0.8	V
V_{IH}	HIGH level input voltage		2.0	–	V_{CCD}	V
I_{IL}	LOW level input current	V_I = 0.4 V	–400	–	–	μA
I_{IH}	HIGH level input current	V_I = 2.7 V	–	–	20	μA
GATE A AND GATE B TTL INPUTS (SEE FIGS 4 AND 5)						
V_{IL}	LOW level input voltage		0	–	0.8	V
V_{IH}	HIGH level input voltage		2.0	–	V_{CCD}	V
I_{IL}	LOW level input current	V_I = 0.4 V	–400	–	–	μA
I_{IH}	HIGH level input current	V_I = 2.7 V	–	–	20	μA
t_W	pulse width	see Fig.5	2	–	–	μs
RPEAK INPUT (PIN 28)						
$I_{28(min)}$	minimum peak level current	R_{28} = 0 Ω	–	80	150	μA
AGC INPUT (PIN 25)						
$V_{25(min)}$	AGC voltage for minimum gain		–	2.8	–	V
$V_{25(max)}$	AGC voltage for maximum gain		–	4.0	–	V
	AGC output current		see Table 2			
CLAMP INPUT (PIN 24)						
V_{24}	clamp voltage for code 128 output		–	3.5	–	V
I_{24}	clamp output current		see Table 3			

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

SYMBOL	PARAMETER	CONDITIONS	MIN.	TYP.	MAX.	UNIT
Video amplifier outputs						
ANOUT OUTPUT (PIN 19)						
$V_{19(p-p)}$	AC output voltage (peak-to-peak value)	V_{VIN} = 1.33 V (p-p); V_{25} = 3.6 V	–	1.33	–	V
I_{19}	internal current source	$R_L = \infty$	2.0	2.5	–	mA
$I_{O(p-p)}$	output current driven by the load	V_{ANOUT} = 1.33 V (p-p); note 2	–	–	1.0	mA
V_{19}	DC output voltage for black level	note 3	–	V_{CCA} – 2.24	–	V
Z_{19}	output impedance		–	20	–	Ω
Video amplifier dynamic characteristics						
α_{ct}	crosstalk between VIN inputs	V_{CCA} = 4.75 to 5.25 V	–	–50	–45	dB
G_{diff}	differential gain	V_{VIN} = 1.33 V (p-p); V_{25} = 3.6 V	–	2	–	%
φ_{diff}	differential phase	V_{VIN} = 1.33 V (p-p); V_{25} = 3.6 V	–	0.8	–	deg
B	–3 dB bandwidth		12	–	–	MHz
S/N	signal-to-noise ratio	note 4	60	–	–	dB
SVRR1	supply voltage ripple rejection	note 5	–	45	–	dB
ΔG	gain range	see Fig.10	–4.5	–	+6.0	dB
G_{stab}	gain stability as a function of supply voltage and temperature	see Fig.10	–	–	5	%
Analog-to-digital converter inputs						
CLK INPUT (PIN 5)						
V_{IL}	LOW level input voltage		0	–	0.8	V
V_{IH}	HIGH level input voltage		2.0	–	V_{CCD}	V
I_{IL}	LOW level input current	V_{clk} = 0.4 V	–400	–	–	μA
I_{IH}	HIGH level input current	V_{clk} = 2.7 V	–	–	100	μA
$\|Z_i\|$	input impedance	f_{clk} = 10 MHz	–	4	–	kΩ
C_I	input capacitance	f_{clk} = 10 MHz	–	4.5	–	pF
OF INPUT (3-STATE; SEE TABLE 4)						
V_{IL}	LOW level input voltage		0	–	0.2	V
V_{IH}	HIGH level input voltage		2.6	–	V_{CCD}	V
V_9	input voltage in high impedance state		–	1.15	–	V
I_{IL}	LOW level input current		–370	–300	–	μA
I_{IH}	HIGH level input current		–	300	450	μA

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

SYMBOL	PARAMETER	CONDITIONS	MIN.	TYP.	MAX.	UNIT
ADCIN INPUT (PIN 20; SEE TABLE 5)						
V_{20}	input voltage	digital output = 00	–	V_{CCA} – 2.42	–	V
V_{20}	input voltage	digital output = 255	–	V_{CCA} – 1.41	–	V
$V_{20(p-p)}$	input voltage amplitude (peak-to-peak value)		–	1.0	–	V
I_{20}	input current		–	1.0	10	μA
$\|Z_i\|$	input impedance	f_i = 6 MHz	–	50	–	MΩ
C_I	input capacitance	f_i = 6 MHz	–	1	–	pF
Analog-to-digital converter outputs						
DIGITAL OUTPUTS D0 TO D7						
V_{OL}	LOW level output voltage	I_{OL} = 2 mA	0	–	0.6	V
V_{OH}	HIGH level output voltage	I_{OL} = –0.4 mA	2.4	–	V_{CCD}	V
I_{OZ}	output current in 3-state mode	0.4 V < V_O < V_{CCD}	–20	–	+20	μA
Switching characteristics						
$f_{clk(max)}$	maximum clock input frequency	see Fig.6; note 6	30	32	–	MHz
Analog signal processing (f_{clk} = 32 MHz; see Fig.8)						
G_{diff}	differential gain	V_{20} = 1.0 V (p-p); see Fig.3; note 7	–	2	–	%
φ_{diff}	differential phase	see Fig.3; note 7	–	2	–	deg
f_1	fundamental harmonics (full-scale)	f_i = 4.43 MHz; note 7	–	–	0	dB
f_{all}	harmonics (full-scale); all components	f_i = 4.43 MHz; note 7	–	–55	–	dB
SVRR2	supply voltage ripple rejection	note 8	–	1	5	%/V
Transfer function (see Fig.8)						
ILE	DC integral linearity error		–	–	±1	LSB
DLE	DC differential linearity error		–	–	±0.5	LSB
ILE	AC integral linearity error	note 9	–	–	±2	LSB
Timing (f_{clk} = 32 MHz; see Figs 6, 7 and 8)						
DIGITAL OUTPUTS (C_L = 15 pF; I_{OL} = 2 mA; R_L = 2 kΩ)						
t_{ds}	sampling delay time		–	2	–	ns
t_h	output hold time		6	8	–	ns
t_d	output delay time		–	16	20	ns
t_{dEZ}	3-state delay time; output enable		–	19	25	ns
t_{dDZ}	3-state delay time; output disable		–	14	20	ns

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Notes

1. 0 dB is obtained at the AGC amplifier when applying $V_{i(p-p)}$ = 1.33 V.
2. The output current at pin 19 should not exceed 1 mA. The load impedance R_L should be referenced to V_{CCA} and defined as:
   a) AC impedance ≥1 kΩ and the DC impedance >2.7 kΩ.
   b) The load impedance should be coupled directly to the output of the amplifier so that the DC voltage supplied by the clamp is not disturbed.
3. Control mode 2 is selected.
4. Signal-to-noise ratio measured with 5 MHz bandwidth:

   $$\frac{S}{N} = 20 \log \frac{V_{ANOUTC(p-p)}}{V_{ANOUTY\ (RMS\ noise)}} \text{ at } B = 5\ MHz.$$

5. The voltage ratio is expressed as:

   $$SVRR1 = 20 \log \frac{\Delta V_{CCA}}{V_{CCA}} \times \frac{G}{\Delta G}$$ for V_I = 1 V (p-p), gain at 100 kHz = 1 and 1 V supply variation.

6. It is recommended that the rise and fall times of the clock are ≥2 ns. In addition, a 'good layout' for the digital and analog grounds is recommended.
7. These measurements are realized on analog signals after a digital-to-analog conversion (TDA8702 is used)
8. The supply voltage rejection is the relative variation of the analog signal (full-scale signal at input) for 1 V of supply variation:

   $$SVRR2 = \frac{\Delta (V_{I(00)} - V_{I(FF)}) + (V_{I(00)} - V_{I(FF)})}{\Delta V_{CCA}}$$

9. Full-scale sine wave (f_i = 4.4 MHz; f_{clk} = 27 MHz).

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Table 1 Video input selection (CVBS).

I1	I0	SELECTED INPUT
0	0	VIN0
0	1	VIN1
1	0	VIN2
1	1	VIN2

Table 2 AGC output current.

GATE A	GATE B	DIGITAL OUTPUT	I_{AGC}	MODE(2)
1	1	output < 255	–2.5 µA	1
		output > 255	I_{AGCM}	1
0	X(1)	output < 248	0 µA	2
		output > 248	I_{AGCM}	2
1	0	output < 0	+2.5 µA	2
		0 < output < 248	–2.5 µA	2
		output > 248	I_{AGCM}	2

Note

1. X = don't care.
2. Mode 2 can only be initialized with successive pulses on GATE A and GATE B (see Fig.5).

Table 3 CLAMP output current.

GATE A	GATE B	DIGITAL OUTPUT	I_{CLAMP}	MODE
1	1	output < 0	I_{CLAMPM}	1
		output > 0	–2.5 µA	1
X(1)	0	X(1)	0 µA	2
0	1	output < 64	+50 µA	2
		64 < output	–50 µA	2

Note

1. X = don't care.

Table 4 OF input coding.

OF	D0 TO D7
0	active, two's complement
1	high impedance
open circuit(1)	active, binary

Note

1. Use C ≥ 10 pF to DGND.

Table 5 Output coding and input voltage (typical values).

STEP	V_{ADCIN}	BINARY OUTPUTS								TWO'S COMPLEMENT							
		D7	D6	D5	D4	D3	D2	D1	D0	D7	D6	D5	D4	D3	D2	D1	D0
Underflow	–	0	0	0	0	0	0	0	0	1	0	0	0	0	0	0	0
0	V_{CCA} – 2.41 V	0	0	0	0	0	0	0	0	1	0	0	0	0	0	0	0
1	–	0	0	0	0	0	0	0	1	1	0	0	0	0	0	0	1
.	–	.	.	.	.	.	.	.	.	.	.	.	.	.	.	.	.
.	–	.	.	.	.	.	.	.	.	.	.	.	.	.	.	.	.
254	–	1	1	1	1	1	1	1	0	0	1	1	1	1	1	1	0
255	V_{CCA} – 1.41 V	1	1	1	1	1	1	1	1	0	1	1	1	1	1	1	1
Overflow	–	1	1	1	1	1	1	1	1	0	1	1	1	1	1	1	1

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

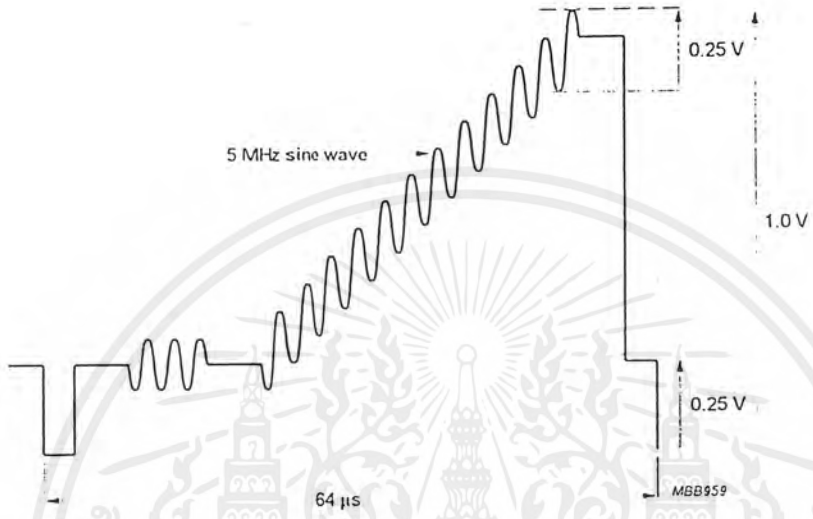


Fig.3 Test signal on the ADCIN pin for differential gain and phase measurements.

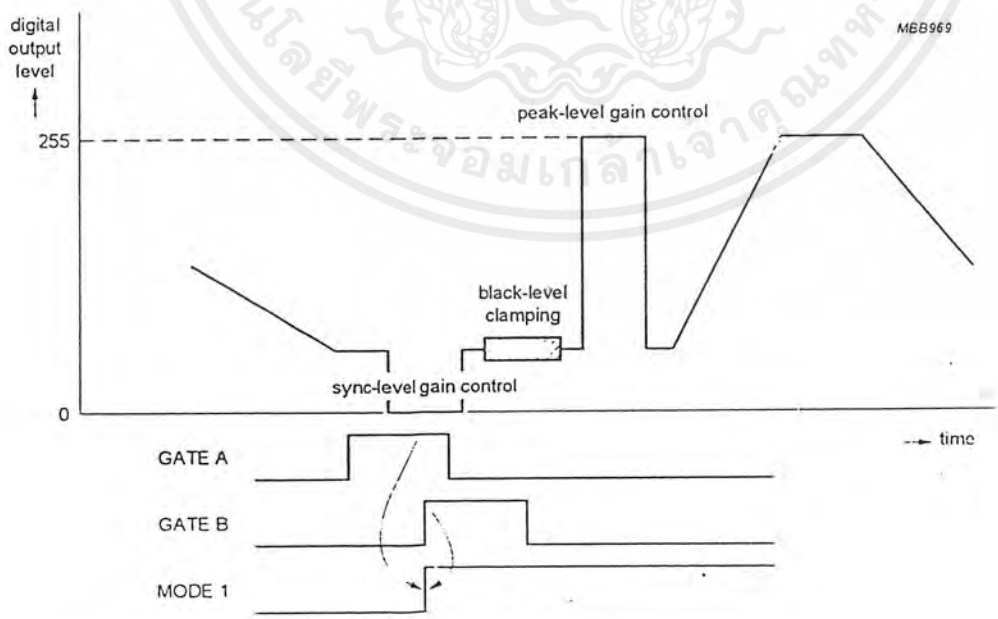


Fig.4 Control mode 1.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

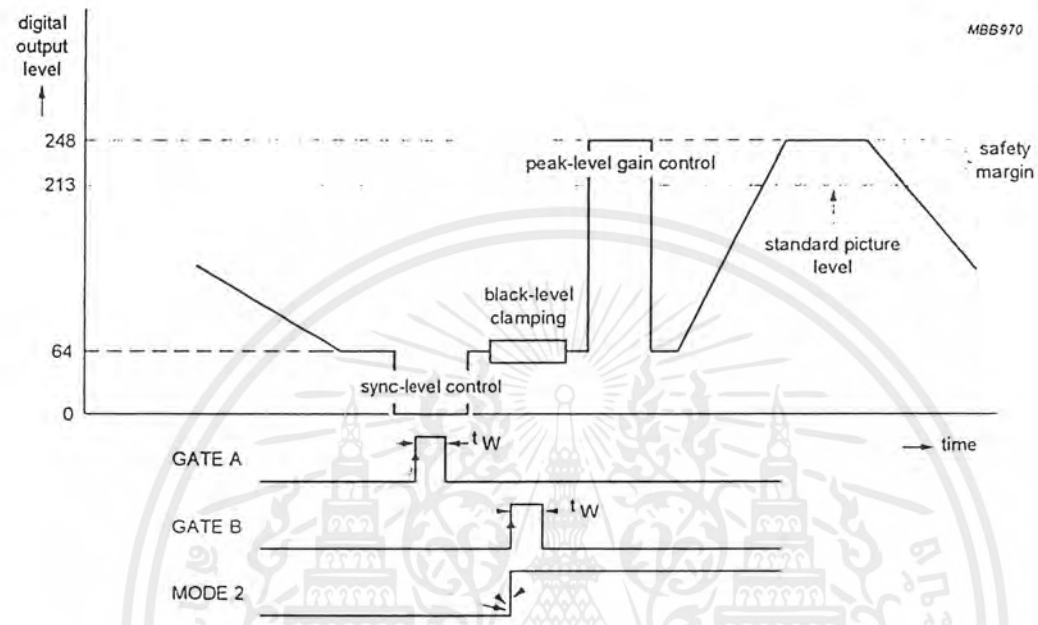


Fig.5 Control mode 2.

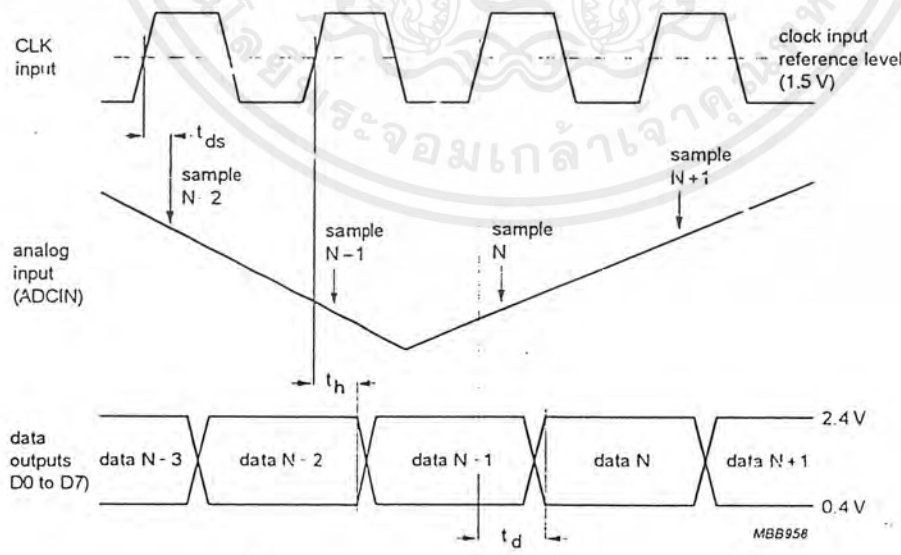


Fig.6 Timing diagram for data output.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

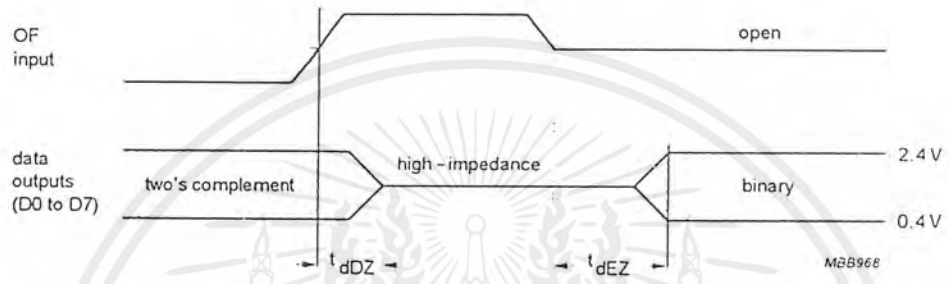


Fig.7 Output format timing diagram.

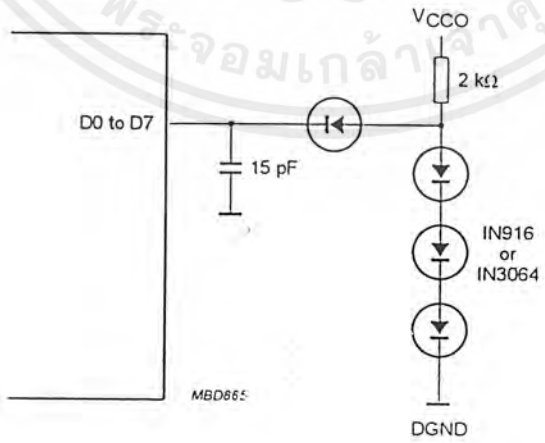


Fig.8 Load circuit for timing measurement; data outputs (OF = LOW or open-circuit).

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

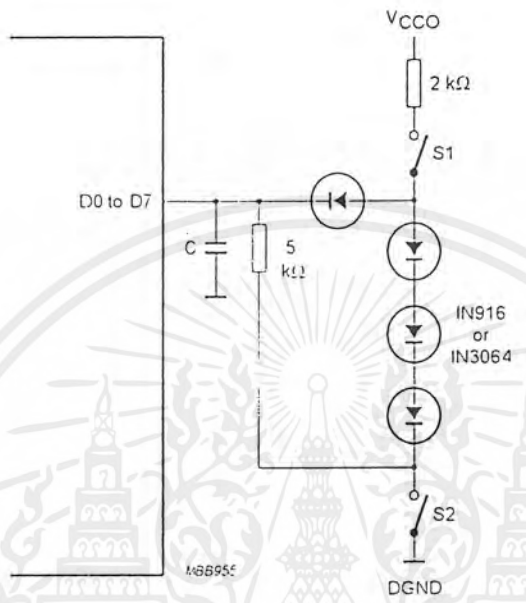
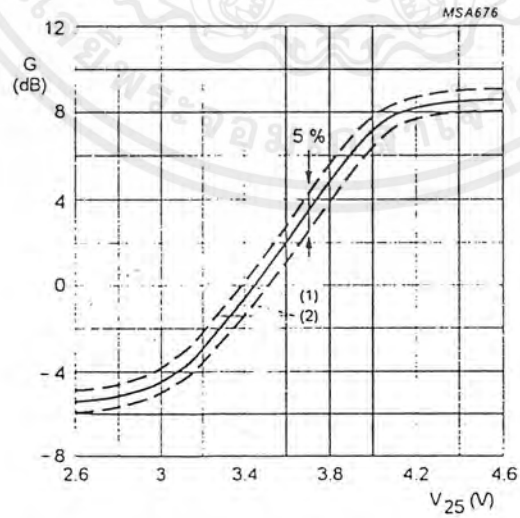


Fig.9 Load circuit for timing measurement: 3-state outputs (OF: f_i = 1 MHz; V_{OF} = 3 V).



(1) Typical value (V_{CCA} = V_{CCD} = 5 V; T_{amb} = 25 °C).
(2) Minimum and maximum values (temperature and supply).

Fig.10 Gain control curve

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

INTERNAL PIN CIRCUITRY

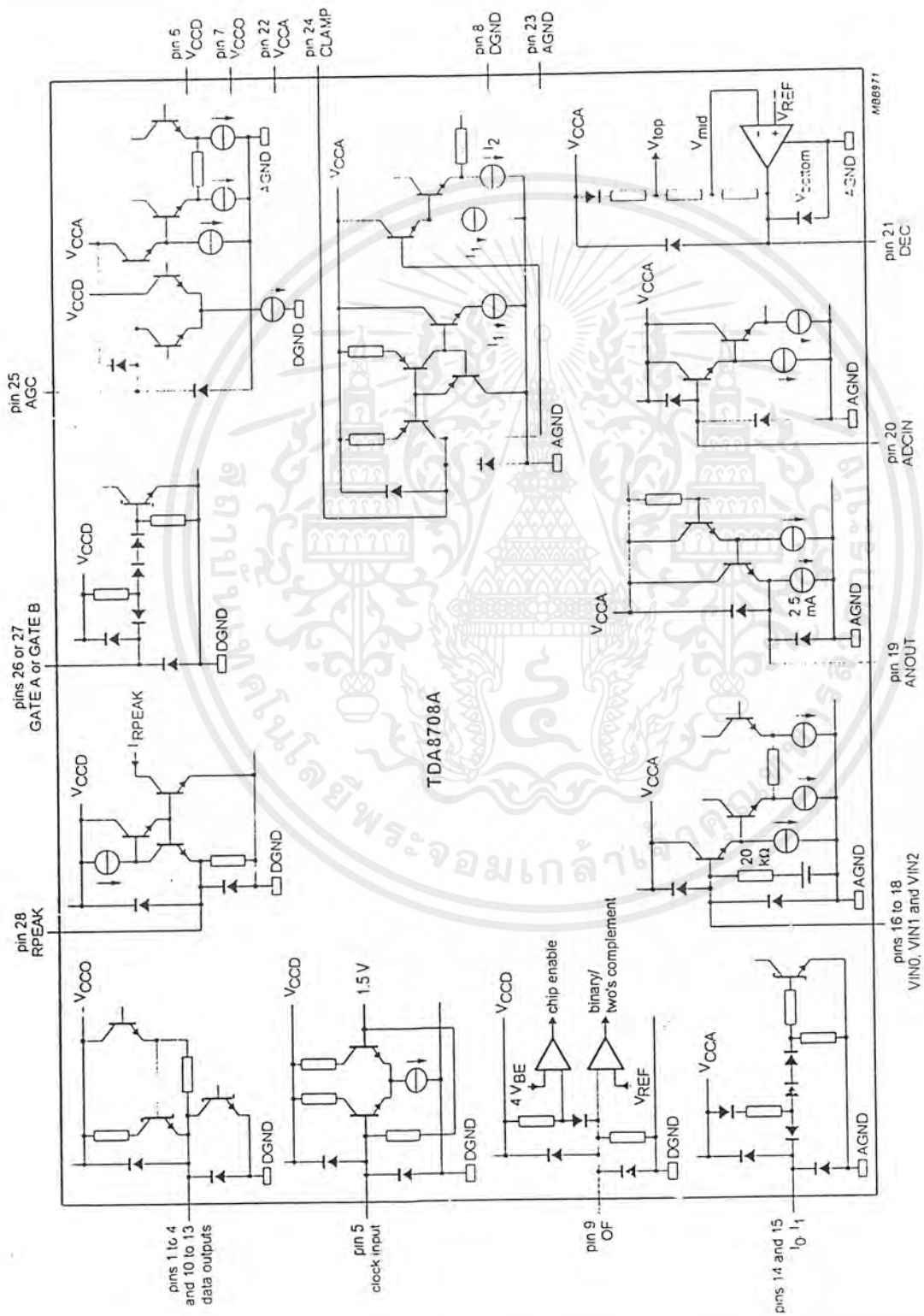
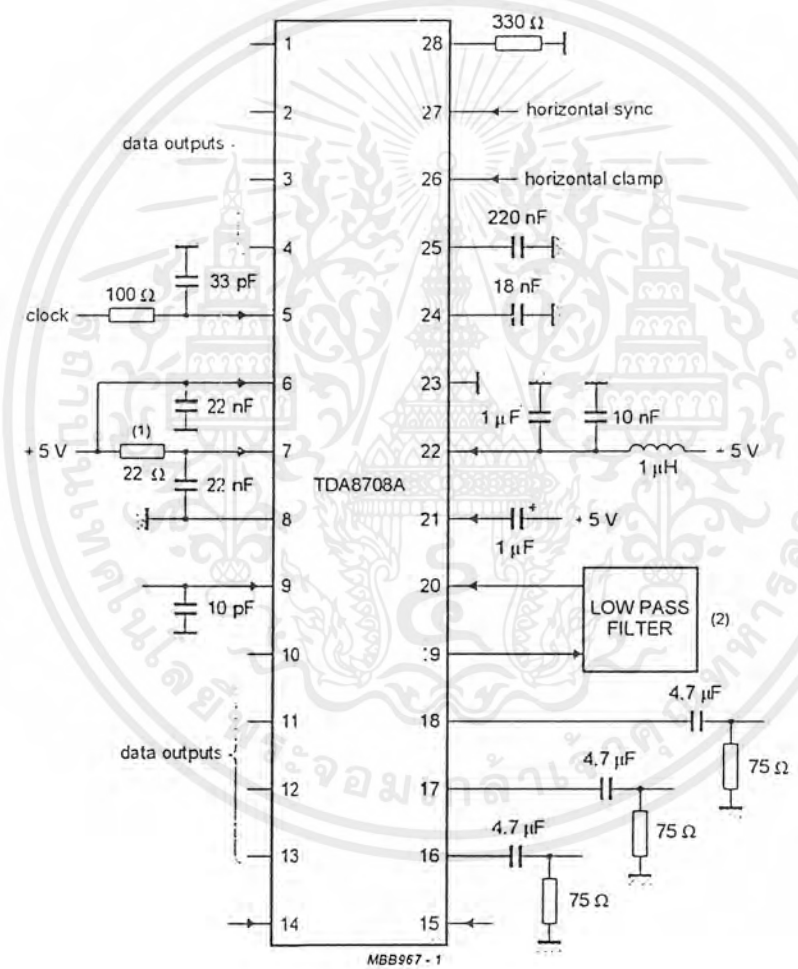


Fig.11 Internal pin configuration.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

APPLICATION INFORMATION

Additional information can be found in the laboratory report *"FBL/AN9308"*.

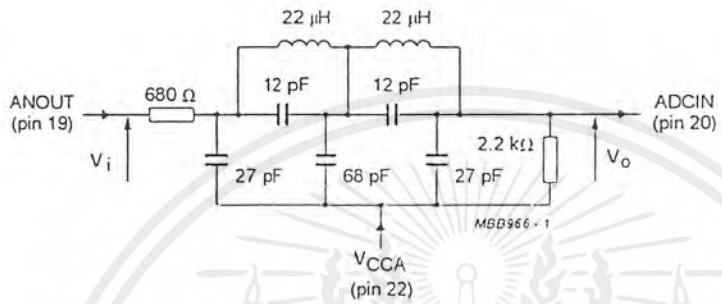


(1) It is recommended to decouple V_{CCO} through a 22 Ω resistor especially when the output data of TDA8708A interfaces with a capacitive CMOS load device.

(2) See Figs 13 and 15 for examples of the low-pass filters.

Fig.12 Application diagram.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



This filter can be adapted to various applications with respect to performance requirements. An input and output impedance of at least 680 Ω and 2.2 kΩ must in any event be applied.

Fig.13 Example of a low-pass filter for CVBS and Y signals.

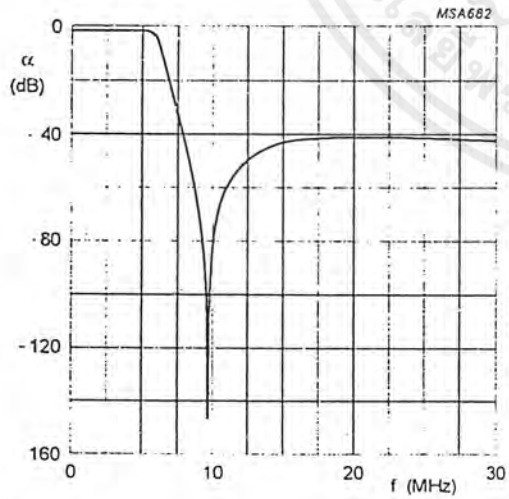
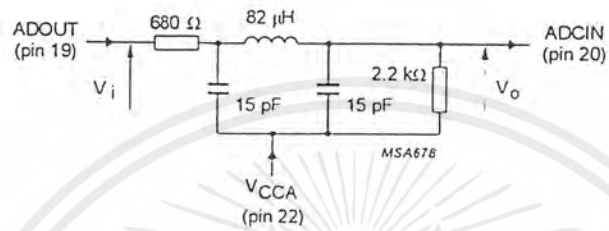


Fig.14 Frequency response for filter shown in Fig.13.

Characteristics of Fig. 13

- Order 5; adapted CHEBYSHEV
- Ripple $\rho \leq 0.4$ dB
- f = 6.5 MHz at −3 dB
- f_{notch} = 9.75 MHz.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



This filter can be adapted to various applications with respect to performance requirements. An input and output impedance of at least 680 Ω and 2.2 kΩ must in any event be applied.

Fig.15 Example of an economical low-pass filter for CVBS and Y signals.

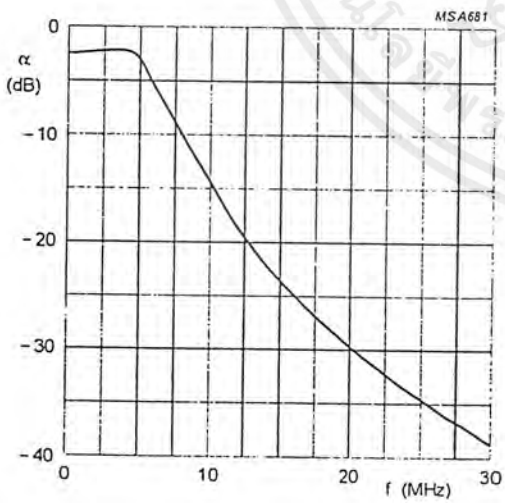


Fig.16 Frequency response for filter shown in Fig.15.

Characteristics of Fig. 15

- Order 5; adapted CHEBYSHEV
- Ripple $\rho \leq 0.4$ dB
- f = 6.5 MHz at –3 dB.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

HM628128D Series

1 M SRAM (128-kword × 8-bit)

HITACHI

ADE-203-996 (Z)
Preliminary, Rev. 0.0
Jan. 20, 1999

Description

The Hitachi HM628128D Series is 1-Mbit static RAM organized 131,072-kword × 8-bit. HM628128D Series has realized higher density, higher performance and low power consumption by employing Hi-CMOS process technology. The HM628128D Series offers low power standby power dissipation; therefore, it is suitable for battery backup systems. It has package variations of standard 32-pin plastic DIP, standard 32-pin plastic SOP and standard 32-pin plastic TSOPI.

Features

- Single 5 V supply: 5 V ± 10%
- Access time: 55 ns/70 ns (max)
- Power dissipation
  - — Active: 30 mW/MHz (typ)
  - — Standby: 10 µW (typ)
- Completely static memory.
  - — No clock or timing strobe required
- Equal access and cycle times
- Common data input and output
  - — Three state output
- Directly TTL compatible all inputs
- Battery backup operation
  - — 2 chip selection for battery backup

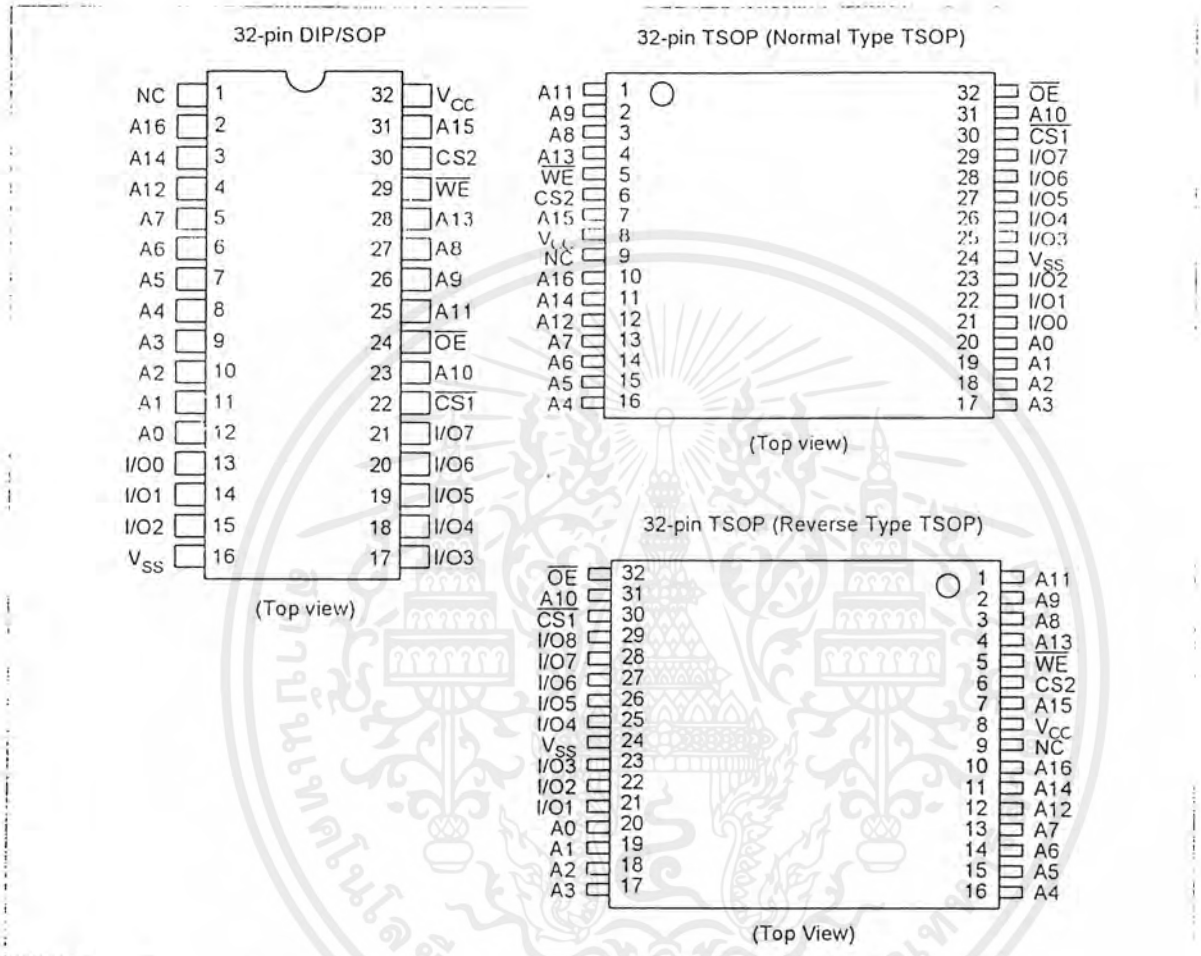
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Ordering Information

Type No.	Access time	Package
HM628128DLP-5	55 ns	600-mil 32-pin plastic DIP (DP-32)
HM628128DLP-7	70 ns	
HM628128DLP-5SL	55 ns	
HM628128DLP-7SL	70 ns	
HM628128DLP-5UL	55 ns	
HM628128DLP-7UL	70 ns	
HM628128DLFP-5	55 ns	525-mil 32-pin plastic SOP (FP-32D)
HM628128DLFP-7	70 ns	
HM628128DLFP-5SL	55 ns	
HM628128DLFP-7SL	70 ns	
HM628128DLFP-5UL	55 ns	
HM628128DLFP-7UL	70 ns	
HM628128DLTS-5	55 ns	8 × 13.4 mm 32-pin plastic TSOP I (TFP-32DC)
HM628128DLTS-7	70 ns	
HM628128DLTS-5SL	55 ns	
HM628128DLTS-7SL	70 ns	
HM628128DLTS-5UL	55 ns	
HM628128DLTS-7UL	70 ns	
HM628128DLT-5	55 ns	Normal-bend type 8 × 20 mm 32-pin plastic TSOP I (TFP-32D)
HM628128DLT-7	70 ns	
HM628128DLT-5SL	55 ns	
HM628128DLT-7SL	70 ns	
HM628128DLT-5UL	55 ns	
HM628128DLT-7UL	70 ns	
HM628128DLR-5	55 ns	Reverse-bend type 8 × 20 mm 32-pin plastic TSOP I (TFP-32DR)
HM628128DLR-7	70 ns	
HM628128DLR-5SL	55 ns	
HM628128DLR-7SL	70 ns	
HM628128DLR-5UL	55 ns	
HM628128DLR-7UL	70 ns	

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Pin Arrangement

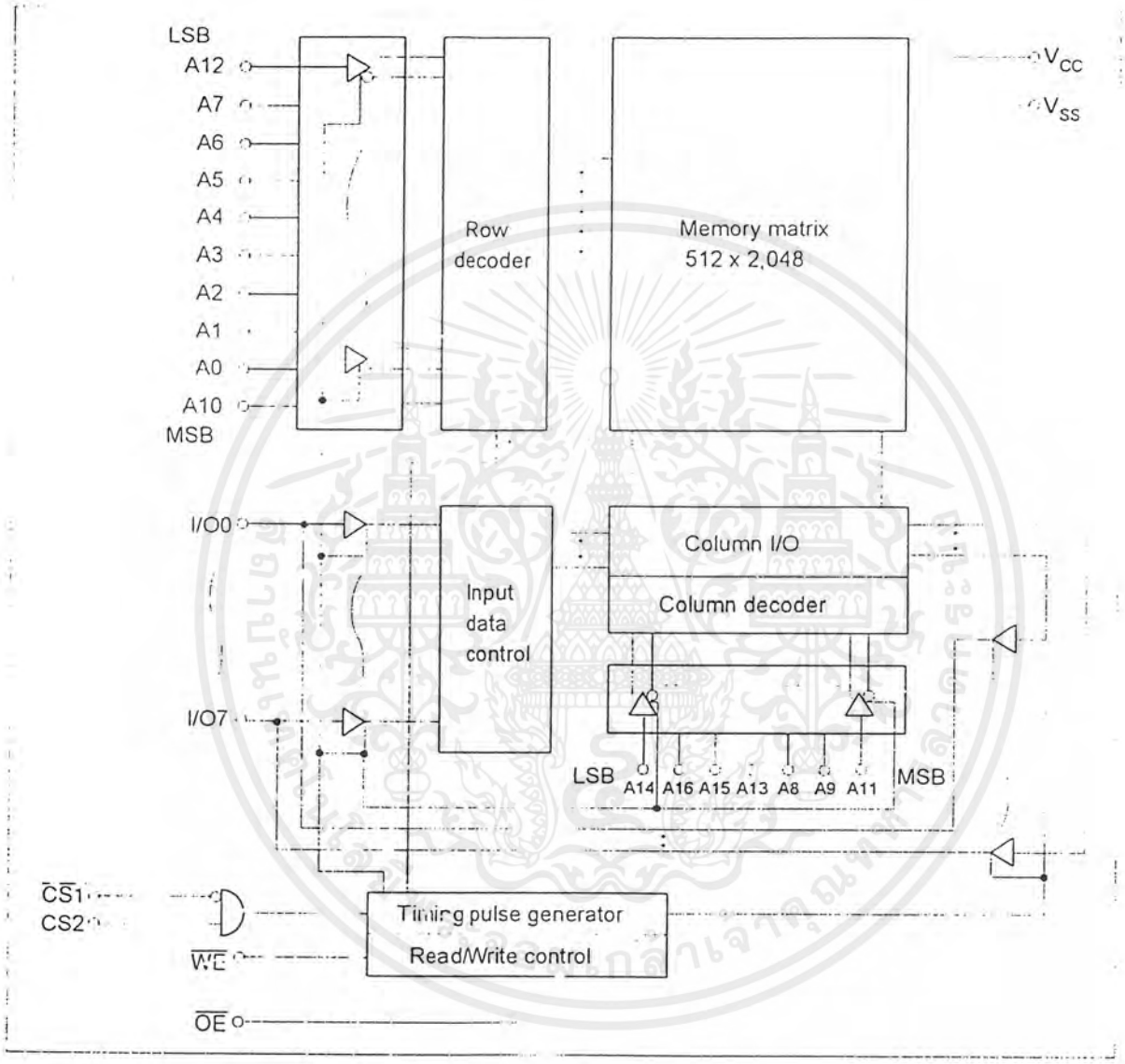


Pin Description

Pin name	Function
A0 to A16	Address input
I/O0 to I/O7	Data input/output
$\overline{CS1}$	Chip select 1
CS2	Chip select 2
$\overline{WE}$	Write enable
$\overline{OE}$	Output enable
V_{cc}	Power supply
V_{ss}	Ground
NC	No connection

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Block Diagram



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลง เผยแพร่ หรืออ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Operation Table

$\overline{CS1}$	CS2	$\overline{WE}$	$\overline{OE}$	I/O	Operation
H	H	×	×	High-Z	Standby
L	L	×	×	High-Z	Standby
L	L	×	×	High-Z	Standby
L	H	H	L	Dout	Read
L	H	L	H	Din	Write
L	H	L	L	Din	Write
L	H	H	H	High-Z	Output disable

Note: H: V_{IH}, L: V_{IL}, ×: V_{IH} or V_{IL}

Absolute Maximum Ratings

Parameter	Symbol	Value	Unit
Power supply voltage relative to V_{SS}	V_{CC}	−0.5 to +7.0	V
Terminal voltage on any pin relative to V_{SS}	V_T	−0.5*1 to V_{CC} + 0.3*2	V
Power dissipation	P_T	1.0	W
Storage temperature range	Tstg	−55 to +125	°C
Storage temperature range under bias	Tbias	−20 to +85	°C

Notes: 1. V_T min: −1.5 V for pulse half-width ≤ 30 ns
2. Maximum voltage is +7.0 V

DC Operating Conditions

Parameter	Symbol	Min	Typ	Max	Unit	Note
Supply voltage	V_{CC}	4.5	5.0	5.5	V	
	V_{SS}	0	0	0	V	
Input high voltage	V_{IH}	2.2	—	V_{CC} + 0.3	V	
Input low voltage	V_{IL}	−0.3	—	0.8	V	1
Ambient temperature range	Ta	−20	—	+70	°C	

Note: 1. V_{IL} min: −1.5 V for pulse half-width ≤ 30 ns

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

DC Characteristics

Parameter	Symbol	Min	Typ*1	Max	Unit	Test conditions
Input leakage current	$\|I_{LI}\|$	—	—	1	µA	Vin = V_{SS} to V_{CC}
Output leakage current	$\|I_{LO}\|$	—	—	1	µA	$\overline{CS1}$ = V_{IH} or CS2 = V_{IL} or $\overline{OE}$ = V_{IH} or $\overline{WE}$ = V_{IL}, $V_{I/O}$ = V_{SS} to V_{CC}
Operating current	I_{CC}	—	—	15	mA	$\overline{CS1}$ = V_{IL}, CS2 = V_{IH}, others = V_{IH}/V_{IL}, $I_{I/O}$ = 0 mA
Average operating current	I_{CC1}	—	—	60	mA	Min cycle, duty = 100%, $I_{I/O}$ = 0 mA, $\overline{CS1}$ = V_{IL}, CS2 = V_{IH}, Others = V_{IH}/V_{IL}
	I_{CC2}	—	6	20	mA	Cycle time = 1 µs, duty = 100%, $I_{I/O}$ = 0 mA, $\overline{CS1}$ ≤ 0.2 V, CS2 ≥ V_{CC} − 0.2 V, V_{IH} ≥ V_{CC} − 0.2 V, V_{IL} ≤ 0.2 V
Standby current	I_{SB}	—	—	2	mA	(1) $\overline{CS1}$ = V_{IH}, CS2 = V_{IH}, or (2) CS2 = V_{IL}
	I_{SB1}*2	—	2	100	µA	0 V ≤ Vin (1) 0 V ≤ CS2 ≤ 0.2 V or (2) $\overline{CS1}$ ≥ V_{CC} − 0.2 V, CS2 ≥ V_{CC} − 0.2 V
	I_{SB1}*3	—	2	50	µA	
	I_{SB1}*4	—	1	20	µA	
Output high voltage	V_{OH}	2.4	—	—	V	I_{OH} = −1 mA
Output low voltage	V_{OL}	—	—	0.4	V	I_{OL} = 2.1 mA

Notes: 1. Typical values are at V_{CC} = 5.0 V, Ta = +25°C and specified loading, and not guaranteed.
2. This characteristics is guaranteed only for L version.
3. This characteristics is guaranteed only for L-SL version.
4. This characteristics is guaranteed only for L-UL version.

Capacitance (Ta = +25°C, f = 1 MHz)

Parameter	Symbol	Typ	Max	Unit	Test conditions	Note
Input capacitance	Cin	—	8	pF	Vin = 0 V	1
Input/output capacitance	$C_{I/O}$	—	10	pF	$V_{I/O}$ = 0 V	1

Note: 1. This parameter is sampled and not 100% tested.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

AC Characteristics (Ta = –20 to +70°C, V_{CC} = 5.0 V ± 10%, unless otherwise noted.)

Test Conditions

- Input pulse levels: V_{IL} = 0.8 V, V_{IH} = 2.4 V
- Input rise and fall time: 5 ns
- Input timing reference levels: 1.5 V
- Output timing reference level: 1.5 V
- Output load: 1 TTL Gate+ CL (100 pF) (HM628128D-7)
  1 TTL Gate+ CL (50 pF) (HM628128D-5)
  (Including scope and jig)

Read Cycle

		HM628128D					
		-5		-7			
Parameter	Symbol	Min	Max	Min	Max	Unit	Notes
Read cycle time	t_{RC}	55	—	70	—	ns	
Address access time	t_{AA}	—	55	—	70	ns	
Chip select access time	t_{ACS1}	—	55	—	70	ns	
	t_{ACS2}	—	55	—	70	ns	
Output enable to output valid	t_{OE}	—	30	—	35	ns	
Output hold from address change	t_{OH}	10	—	10	—	ns	
Chip selection to output in low-Z	t_{CLZ1}	10	—	10	—	ns	2, 3
	t_{CLZ2}	10	—	10	—	ns	2, 3
Output enable to output in low-Z	t_{OLZ}	5	—	5	—	ns	2, 3
Chip deselection to output in high-Z	t_{CHZ1}	0	20	0	25	ns	1, 2, 3
	t_{CHZ2}	0	20	0	25	ns	1, 2, 3
Output disable to output in high-Z	t_{OHZ}	0	20	0	25	ns	1, 2, 3

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Write Cycle

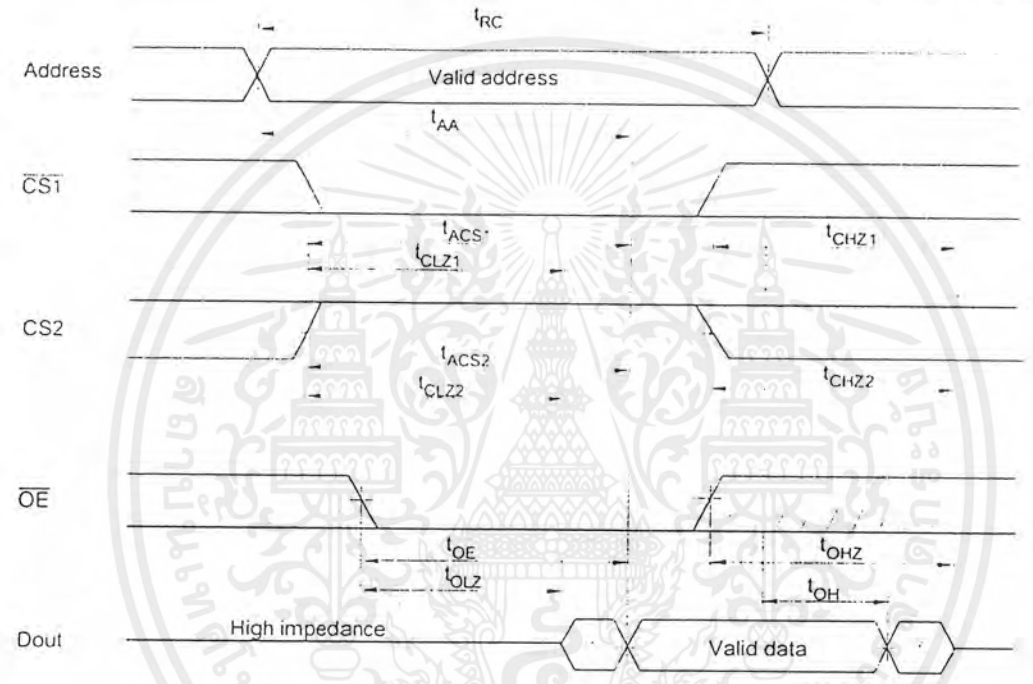
		HM628128D					
		-5		-7			
Parameter	Symbol	Min	Max	Min	Max	Unit	Notes
Write cycle time	t_{WC}	55	—	70	—	ns	
Address valid to end of write	t_{AW}	50	—	60	—	ns	
Chip selection to end of write	t_{CW}	50	—	60	—	ns	5
Write pulse width	t_{WP}	40	—	50	—	ns	4, 13
Address setup time	t_{AS}	0	—	0	—	ns	6
Write recovery time	t_{WR}	0	—	0	—	ns	7
Data to write time overlap	t_{DW}	20	—	25	—	ns	
Data hold from write time	t_{DH}	0	—	0	—	ns	
Output active from output in high-Z	t_{OW}	5	—	5	—	ns	2
Output disable to output in high-Z	t_{OHZ}	0	20	0	25	ns	1, 2, 8
$\overline{WE}$ to output in high-Z	t_{WHZ}	0	20	0	25	ns	1, 2, 8

Notes:
1. t_{CHZ}, t_{OHZ} and t_{WHZ} are defined as the time at which the outputs achieve the open circuit conditions and are not referred to output voltage levels.
2. This parameter is sampled and not 100% tested.
3. At any given temperature and voltage condition, t_{HZ} max is less than t_{LZ} min both for a given device and from device to device.
4. A write occurs during the overlap (t_{WP}) of a low $\overline{CS1}$, a high CS2, and a low $\overline{WE}$. A write begins at the later transition of $\overline{CS1}$ going low, CS2 going high, or $\overline{WE}$ going low. A write ends at the earlier transition of $\overline{CS1}$ going high, CS2 going low, or $\overline{WE}$ going high. t_{WP} is measured from the beginning of write to the end of write.
5. t_{CW} is measured from $\overline{CS1}$ going low or CS2 going high to the end of write.
6. t_{AS} is measured from the address valid to the beginning of write.
7. t_{WR} is measured from the earlier of $\overline{WE}$ or $\overline{CS1}$ going high or CS2 going low to the end of write cycle.
8. During this period, I/O pins are in the output state; therefore, the input signals of the opposite phase to the outputs must not be applied.
9. If the $\overline{CS1}$ goes low or CS2 going high simultaneously with $\overline{WE}$ going low or after $\overline{WE}$ going low, the output remain in a high impedance state.
10. Dout is the same phase of the write data of this write cycle.
11. Dout is the read data of next address.
12. If $\overline{CS1}$ is low and CS2 high during this period, I/O pins are in the output state. Therefore, the input signals of the opposite phase to the outputs must not be applied to them.
13. In the write cycle with $\overline{OE}$ low fixed, t_{WP} must satisfy the following equation to avoid a problem of data bus contention. $t_{WP} \geq t_{DW}$ min + t_{WHZ} max

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

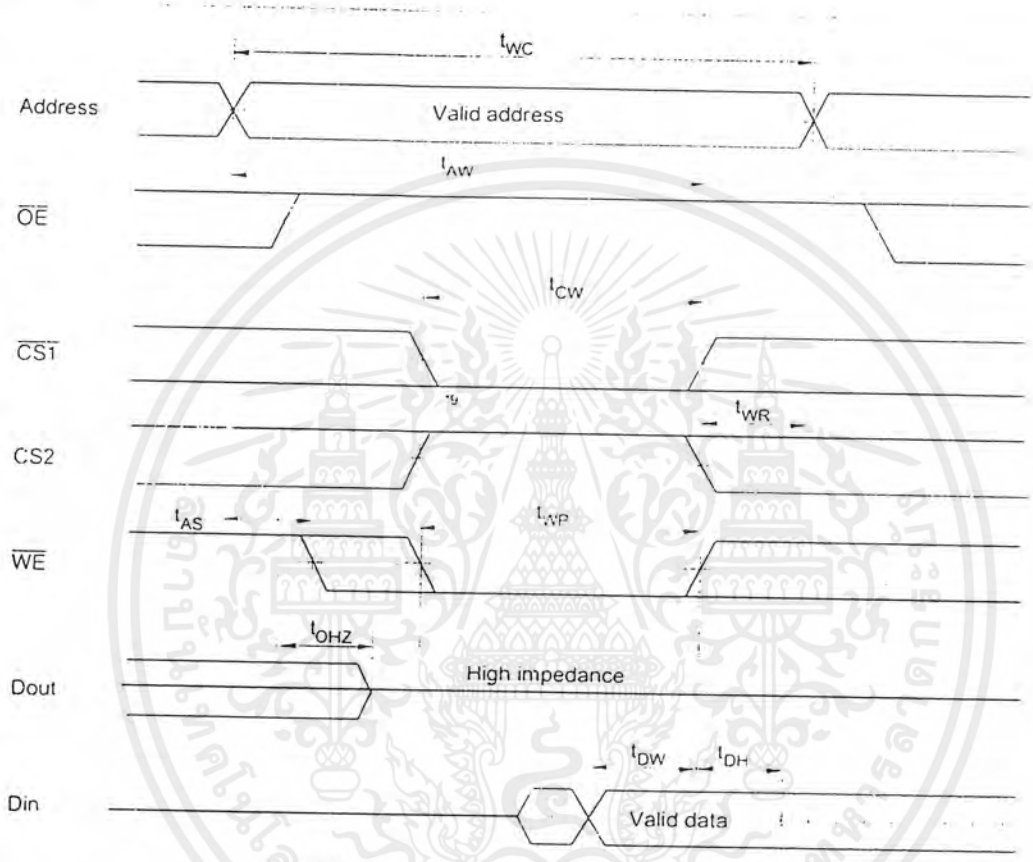
Timing Waveforms

Read Cycle ($\overline{WE}$ = V_{IH})



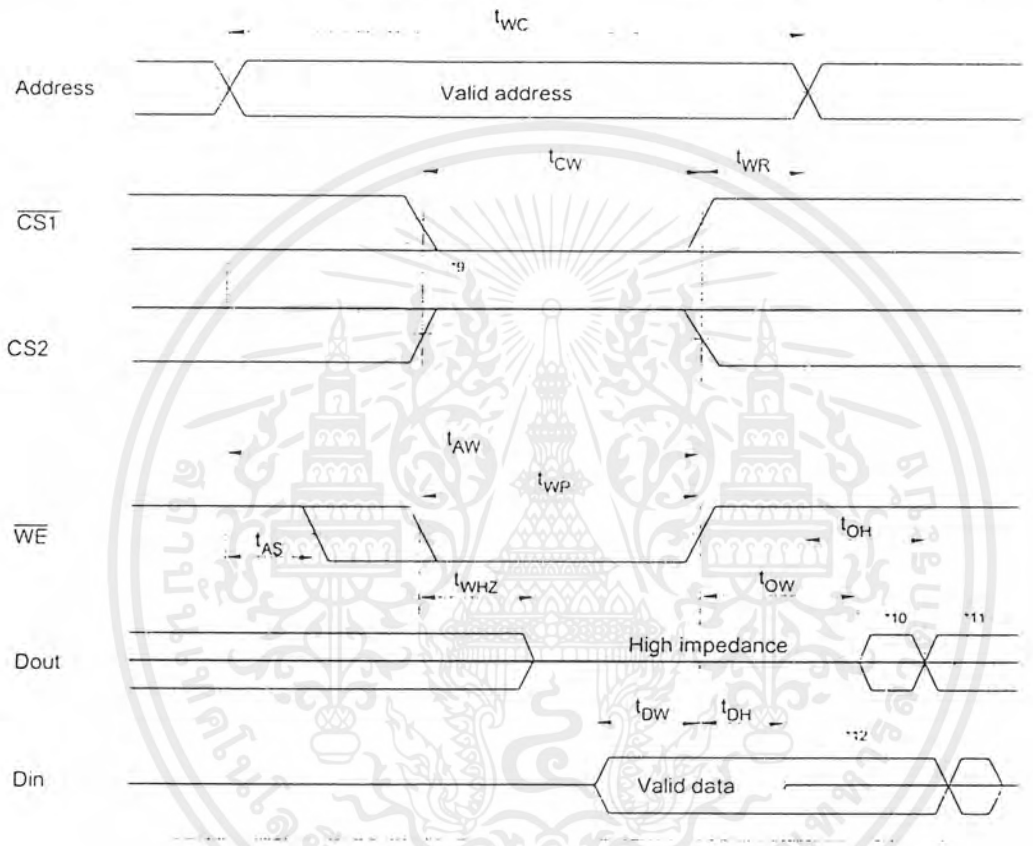
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Write Cycle (1) ($\overline{OE}$ Clock)



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Write Cycle (2) (OE V_{IL})



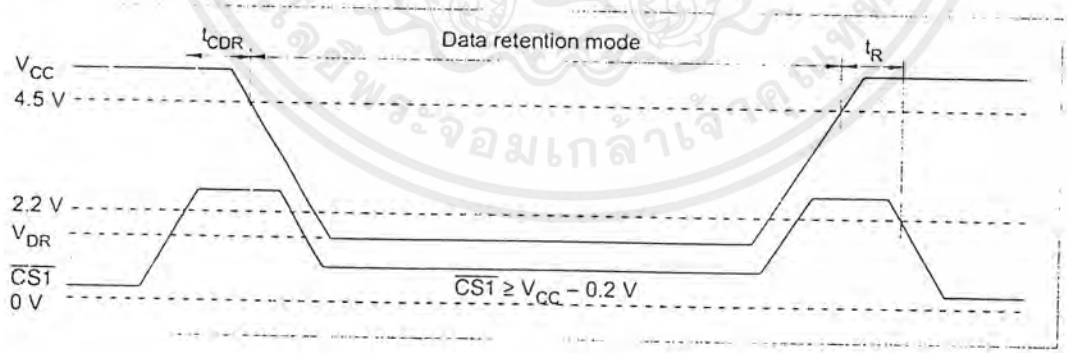
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Low V_{CC} Data Retention Characteristics (Ta = –20 to +70°C)

Parameter	Symbol	Min	Typ*5	Max	Unit	Test conditions*4
V_{CC} for data retention	V_{DR}	2.0	—	—	V	Vin ≥ 0V (1) 0 V ≤ CS2 ≤ 0.2 V or (2) CS2 ≥ V_{CC} – 0.2 V $\overline{CS1}$ ≥ V_{CC} – 0.2 V
Data retention current	I_{CCDR}*1	—	1.0	50	µA	V_{CC} = 3.0 V, Vin ≥ 0 V (1) 0 V ≤ CS2 ≤ 0.2 V or (2) CS2 ≥ V_{CC} – 0.2 V, $\overline{CS1}$ ≥ V_{CC} – 0.2 V
	I_{CCDR}*2	—	1.0	15	µA	
	I_{CCDR}*3	—	0.5	10	µA	
Chip deselect to data retention time	t_{CDR}	0	—	—	ns	See retention waveform
Operation recovery time	t_R	t_{RC}*6	—	—	ns	

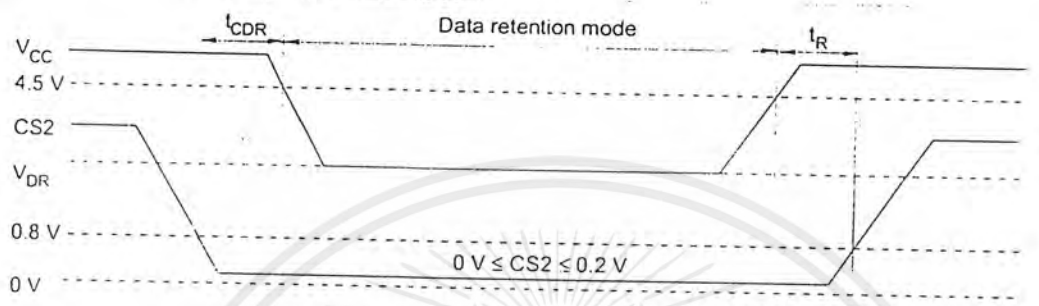
Notes: 1. This characteristic is guaranteed only for L-version, 20 µA max. at Ta = –20 to +40°C.
2. This characteristic is guaranteed only for L-SL-version, 3 µA max. at Ta = –20 to +40°C.
3. This characteristic is guaranteed only for L-UL-version, 1 µA max. at Ta = –20 to +40°C.
4. CS2 controls address buffer, $\overline{WE}$ buffer, $\overline{CS1}$ buffer, $\overline{OE}$ buffer, and Din buffer. If CS2 controls data retention mode, Vin levels (address, $\overline{WE}$, $\overline{OE}$, $\overline{CS1}$, I/O) can be in the high impedance state. If $\overline{CS1}$ controls data retention mode, CS2 must be CS2 ≥ V_{CC} – 0.2 V or 0 V ≤ CS2 ≤ 0.2 V. The other input levels (address, $\overline{WE}$, $\overline{OE}$, I/O) can be in the high impedance state.
5. Typical values are at V_{CC} = 3.0 V, Ta = +25°C and specified loading, and not guaranteed.
6. t_{RC} = read cycle time.

Low V_{CC} Data Retention Timing Waveform (1) (CS1 Controlled)



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Low V_{CC} Data Retention Timing Waveform (2) (CS2 Controlled)

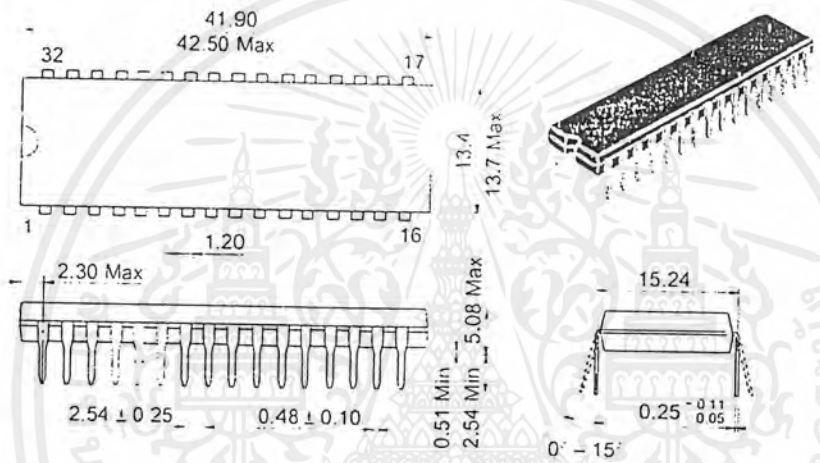


เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Package Dimensions

HM628128DLP Series (DP-32)

Unit: mm



Hitachi Code	DP-32
JEDEC	—
EIAJ	Conforms
Weight (reference value)	5.1 g

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้