สำนักหอสมุดกลาง พระจอมเกล้าลาดกระบัง

ดิจิตอลดิมเมอร์

DIGITAL DIMMER

โดย

นายธนพล ทรัพย์ขุมทอง

นายสมหวัง สนธิเทศ

เลขหมู่.....
เลขทะเบียน.....42370
วัน, เดือน, ปี.....20 พ.ค. 2545

.b.....
.i.....

ปริญญานิพนธ์นี้เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรปริญญาตรีอุตสาหกรรมศาสตรบัณฑิต

ภาควิชาเทคนิคอุตสาหกรรม

คณะวิศวกรรมศาสตร์

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

ปีการศึกษา 2543

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

DIGITAL DIMMER

BY

Mr.THANAPHON SAPKUMTHONG

Mr.SOMWANG SONTHITHED

A THESIS SUBMITTED IN PARTIAL FULFILLMENT OF

THE REQUIREMENT FOR THE DEGREE OF BACHELOR IN

DEPARTMENT OF INDUSTRIAL TECHNOLOGY

FACULTY OF ENGINEERING

KING MONGKUT'S INSTITUTE OF TECHNOLOGY LADKRABANG

2000

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

หัวข้อปริญญานิพนธ์	ดิจิตอลดิมเมอร์			
	DIGITAL DIMMER			
ชื่อนักศึกษา	นายธนพล	ทรัพย์ขุมทอง	รหัสประจำตัว	42015475
	นายสมหวัง	สนธิเทศ	รหัสประจำตัว	42015491
อาจารย์ที่ปรึกษา	ผศ.อุทัย	ศรีธีระวิโรจน์		
	อ.มนชนก	ศรีเสือขาม		
ระดับการศึกษา	ปริญญาตรีอุตสาหกรรมศาสตรบัณฑิต			
	สาขาเทคโนโลยีอิเล็กทรอนิกส์			
ภาควิชา	เทคนิคอุตสาหกรรม			
ปีการศึกษา	2543			

คณะวิศวกรรมศาสตร์ สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง อนุมัติให้ปริญญานิพนธ์ฉบับนี้เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรอุตสาหกรรมศาสตรบัณฑิต

คณะกรรมการสอบปริญญานิพนธ์

..... (อาจารย์ที่ปรึกษา)

(ผศ .อุทัย ศรีธีระวิโรจน์)

..... (อาจารย์ที่ปรึกษา)

(อ.มนชนก ศรีเสือขาม)

..... (กรรมการ)

(.....)

..... (กรรมการ)

(.....)

..... (กรรมการ)

(.....)

..... (กรรมการ)

(.....)

ลิขสิทธิ์ของคณะวิศวกรรมศาสตร์ สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Thesis title	DIGITAL DIMMER	
Student	Mr.Thanaphon	Sapkumthong
	Mr.Somwang	Sonthithed
Thesis advisor	Asst.Prof.Uthai	Sritheeravirojana
	Miss.Monchanok	Srisuakham
Level of study	Bachelor's degree of industrial technology electronics	
Department	Industrial Technology	
Academic Year	2000	

Accepted by the Faculty of Engineering , King Mongkut's Institute of Technology Ladkrabang in partial fulfillment of the requirements for the bachelor's degree

Project Report Committee

..... Advisor

(Asst.Prof.Uthai Sritheeravirojana)

..... Advisor

(Miss.Monchanok Srisuakham)

..... (Member)

(.....)

..... (Member)

(.....)

..... (Member)

(.....)

..... (Member)

(.....)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

หัวข้อปริญญานิพนธ์	ดิจิตอลดิเมอร์			
ชื่อนักศึกษา	นายธนพล	ทรัพย์ขุมทอง	รหัสประจำตัว	42015475
	นายสมหวัง	สนธิเทศ	รหัสประจำตัว	42015491
อาจารย์ที่ปรึกษา	ผศ.อุทัย	ศรีธีระวิโรจน์		
	อ.มนชนก	ศรีเสือขาม		
ระดับการศึกษา	ปริญญาอุตสาหกรรมศาสตรบัณฑิต			
	สาขาเทคโนโลยีอิเล็กทรอนิกส์			
ภาควิชา	เทคนิคอุตสาหกรรม			
ปีการศึกษา	2543			

บทคัดย่อ

ปริญญานิพนธ์นี้ได้นำเสนอการนำไมโครคอนโทรลเลอร์ PIC16F877 มาทำการประมวลผลในการส่งข้อมูลตามมาตรฐาน DMX-512 เพื่อใช้ในการควบคุมดิมเมอร์ 64 ช่อง

โครงงานนี้ใช้ไอซี ADC 0816 ซึ่งเป็นไอซีแปลงสัญญาณอนาล็อกเป็นดิจิตอลขนาด 8 บิต 16 ช่องสัญญาณ โดยมีไอซี MM74C923 เป็นตัวควบคุมการเลือกช่องสัญญาณก่อนที่จะทำการส่งให้ PIC 16F877 ทำการประมวลผลและสร้างสัญญาณตามมาตรฐาน DMX-512 ที่อัตราส่งข้อมูล 250 kb/S จำนวน 64 ช่อง จากนั้นจึงแสดงผลบน 7 SEGMENT จำนวน 16 ตัว ก่อนทำการส่งสัญญาณออกไปควบคุมดิมเมอร์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Thesis title	DIGITAL DIMMER
Student	Mr.Thanaphon Sapkumthong
	Mr.Somwang Sonthithed
Thesis advisor	Asst.Prof.Uthai Sritheeravirojana
	Miss.Monchanok Srisuakham
Level of study	Bachelor's degree of industrial technology electronics
Department	Industrial Technology
Academic Year	2000

ABSTRACT

This thesis proposed the using microcontroller PIC 16F877 to processing data DMX-512 standard transmission for control dimmer 64 channels.

The project is used IC ADC 0816 analog to digital converter with 8 bits 16 channels multiplexes and select channels control by IC MM74C923 before transfer to microcontroller PIC16F877 to processing and generate signal DMX-512 standard at baud rate 250 kbit / sec 64 channels. Data value is display on 16 seven segments before transmission data control dimmer.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

กิตติกรรมประกาศ

โครงงานนี้สามารถสำเร็จได้เนื่องด้วยความกรุณาในการให้คำปรึกษาและแนะนำตลอดจนความช่วยเหลือทางด้านต่างๆ ไม่ว่าจะเป็นความรู้และเครื่องมือต่างๆจากผศ.อุทัย ศรีธีระวิโรจน์ และอ.มนชนก ศรีเสือขาม อาจารย์ที่ปรึกษาและคณาจารย์ประจำภาควิชาเทคนิคอุตสาหกรรม คณะวิศวกรรมศาสตร์ สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง จนโครงงานนี้สามารถสำเร็จลุล่วงไปได้ด้วยดี ขอกราบขอบพระคุณเป็นอย่างสูง

คณะผู้จัดทำ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญ

	หน้า
บทคัดย่อภาษาไทย	ค
บทคัดย่อภาษาอังกฤษ	ง
กิตติกรรมประกาศ	จ
สารบัญ	ฉ
สารบัญรูปภาพ	ฌ
สารบัญตาราง	ญ
บทที่ 1 บทนำ	1
1.1 กล่าวนำ	1
1.2 วัตถุประสงค์ของโครงงาน	2
1.3 ประโยชน์และการนำไปใช้งาน	2
1.4 โครงประกอบของปริญญานิพนธ์	2
บทที่ 2 ทฤษฎี	3
2.1 ทฤษฎี DMX-512	3
2.1.1 ลักษณะโปรโตคอลของมาตรฐาน DMX-512	3
2.1.2 DMX-512 PACKET	4
2.1.3 มาตรฐานของสาย RS 485 หรือ EIA 485	6
2.2 ทฤษฎี PIC 16F877	8
2.2.1 คุณสมบัติทางเทคนิคของ PIC16F877	8
2.2.2 การจัดขาของ PIC16F877	10
2.2.3 การป้อนสัญญาณนาฬิกาให้แก่ PIC16F877	11
2.2.4 การจัดหน่วยความจำ	11
2.2.5 รีจิสเตอร์ควบคุม	12
2.2.6 สแต็ก (STACK)	12
2.2.7 รีจิสเตอร์ W	12
2.2.8 การส่งสัญญาณ UART แบบอะซิงค์โครนัส	13
2.2.9 การเข้าถึงรีจิสเตอร์และข้อมูล	15

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญ(ต่อ)

	หน้า
2.3 ทฤษฎีการแปลงสัญญาณอนาล็อกเป็นสัญญาณดิจิตอล	16
2.3.1 ความละเอียดของ ADC	18
2.3.2 การสุ่มสัญญาณ (SAMPLING)	18
บทที่ 3 การออกแบบ	19
3.1 ภาคแปลงสัญญาณอนาล็อกเป็นสัญญาณดิจิตอล	19
3.2 ภาคแสดงผล	23
3.3 ภาคส่งสัญญาณ UART	27
3.3.1 การคำนวณอตราการส่ง (BAUD RATE)	28
3.3.2 ขั้นตอนการส่งสัญญาณ	28
บทที่ 4 การทดลองและผลการทดลอง	30
4.1 การส่งสัญญาณ UART โดยใช้ไมโครคอนโทรลเลอร์	30
4.2 การใช้ PIC 16F877 แสดงผล 7SEGMAENT	31
4.3 การใช้ IC 20 KEY ENCODER MM74C923	31
4.4 การใช้ PIC16F877 ควบคุมการทำงานของ ADC 0816	33
4.5 การส่งสัญญาณตามมาตรฐาน DMX-512	33
บทที่ 5 สรุปและวิจารณ์ผลการทดลอง	37
5.1 ปัญหาที่พบในโครงงาน	37
5.2 แนวทางในการพัฒนาและปรับปรุง	37

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญ(ต่อ)

หน้า

บรรณานุกรม 39

ภาคผนวก

ก. รายละเอียดของวงจร

ข. รูปถ่ายโครงงาน

ค. แผ่นปรินต์และการวางอุปกรณ์

ง. โฟลวชาร์ทแสดงการทำงาน

จ. โปรแกรมการทำงาน

ฉ. DATA SHEET

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญรูปภาพ

หน้า

รูปที่ 2.1 ลักษณะของสัญญาณข้อมูล DMX-512 3
รูปที่ 2.2 TIMING DIAGRAM สัญญาณ DMX-512 4
รูปที่ 2.3 การจัดขาของ PIC 16F877 10
รูปที่ 2.4 บล็อคไดอะแกรมการส่งแบบ USART 13
รูปที่ 2.5 TIMING DIAGRAM ASYNCHRONOUS 14
รูปที่ 2.6 แสดงความสัมพันธ์ระหว่างแรงดันอินพุทกับข้อมูลดิจิตอลเอาท์พุท 16
รูปที่ 2.7 การ SAMPLING สัญญาณอนาล็อก 18
รูปที่ 3.1 แสดงวงจรภาคแปลงสัญญาณอนาล็อกเป็นดิจิตอล 19
รูปที่ 3.2 แสดงวงจรภาคแสดงผล 23
รูปที่ 3.3 FLOWCHART ส่วนการแสดงผล 25
รูปที่ 3.4 FLOWCHART แสดงการส่งข้อมูลแบบอนุกรม 29
รูปที่ 4.1 แสดงสัญญาณการส่ง UART โดยใช้ PIC 16F877 30
รูปที่ 4.2 แสดงเอาท์พุทจากขา C6 ของ PIC16F877 34
รูปที่ 4.3 แสดงเอาท์พุทจาก IC 75176 ที่ CH 1 ปรับที่ค่า " 0 " 34
รูปที่ 4.4 แสดงเอาท์พุทจาก IC 75176 ที่ CH 1 ปรับที่ค่า " 5 " 35
รูปที่ 4.5 แสดงเอาท์พุทจาก IC 75176 ที่ CH 1 ปรับที่ค่า " F " 35

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญตาราง

	หน้า
ตารางที่ 2.1 DMX-512 Timming Chart	6
ตารางที่ 3.1 แสดงการเลือกช่องสัญญาณอินพุทของ ADC 0816	20
ตารางที่ 3.2 แสดงเอาท์พุทของ 74C923	21
ตารางที่ 4.1 ผลการทดลองเอาท์พุทจาก MM74C923	32

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 1
บทนำ

1.1 กล่าวนำ

ในอดีตการควบคุมอุปกรณ์ไฟฟ้าที่เกี่ยวข้องกับแสงสว่างนั้นค่อนข้างจะยุ่งยากประกอบกับมีต้นทุนสูง เนื่องจากต้องใช้สายเคเบิลจำนวนมากในการควบคุม

ในปัจจุบันเทคโนโลยีทางด้านการสื่อสารและเทคโนโลยีสารสนเทศมีการพัฒนาไปอย่างรวดเร็วและเข้ามามีบทบาทกับการควบคุมอุปกรณ์ไฟฟ้าที่เกี่ยวข้องกับแสงสว่างนี้ด้วยโดยมีการคิดค้นการมัลติเพล็กสัญญาณข้อมูลก่อนส่งไป จนได้มีการกำหนดเป็นมาตรฐานต่างๆขึ้นมามากมาย DMX-512 เป็นมาตรฐานหนึ่งซึ่งใช้ในการส่งข้อมูลแบบอนุกรมที่ได้รับความนิยมในการนำมาเป็นมาตรฐานการควบคุมอุปกรณ์ด้านแสงสว่างทั้งในตัวอาคารและในงานเวทีต่างๆ ทำให้ช่วยลดต้นทุนและความยุ่งยากอันเกิดจากสายเคเบิล โดยที่มาตรฐาน DMX-512 นี้สามารถควบคุมอุปกรณ์ไฟฟ้าได้จำนวนถึง 512 ช่องโดยใช้สายเพียง 3 เส้น คือ + 5V, -5V และ GND

ในโครงงานนี้มีการนำไมโครคอนโทรลเลอร์ PIC16F877มาควบคุมการส่งงงข้อมูลตามมาตรฐาน DMX-512 เพื่อใช้ควบคุมดิมเมอร์ โดยใช้ไอซี ADC 0816 ซึ่งเป็นไอซีที่ใช้ในการแปลงสัญญาณอนาล็อกเป็นดิจิตอลขนาด 8 บิต 16 ช่องสัญญาณ โดยใช้ไอซี MM74C923 ร่วมกับสวิทซ์แบบคีย์แพดควบควมการเลือกช่องสัญญาณอินพุททั้ง 16 ช่องเข้า ADC 0816 ก่อนที่จะทำการแปลงเป็นสัญญาณดิจิตอลส่งให้กับ PIC 16F877 ประมวลผลโดยก่อนที่ไมโครคอนโทรลเลอร์จะรับค่าสัญญาณในแต่ละช่องจะมีการตรวจสอบการเลือกกรุ๊ป คือที่แผงควบคุมจะมีอินพุท 16 ช่องแต่ละช่องสามารถทำงานได้ 4 กรุ๊ปคือ 1-16 , 17-32 , 33-48,และ49-64 จากนั้นจึงตรวจสอบการเลือกช่องสัญญาณจากไอซี MM74C923 เมื่อสัญญาณดิจิตอลถูกส่งมายัง PIC 16F877 จะทำการสร้างสัญญาณตามมาตรฐาน DMX-512 และนำค่าที่ได้มาประมวลผลเปรียบเทียบแสดงบน 7 SEGMENT ทั้ง 16 ตัว ที่ควบคุมการแสดงผลแต่ละตัวโดยไอซี 74HC154 ที่ทำการแปลงสัญญาณไบนารี่ที่ได้ส่งมาจากไอซี MM74C923 ขนาด 4 บิตเป็นเลขฐาน 10 ที่ลอจิก " 0 " ควบคุมขา COM ของ 7 SEGMENT จากนั้นข้อมูลจะถูกส่งไปทีละแพ็คเก็ตและจากการที่แผงควบคุมมีสไลด์ 16 ช่อง แต่ต้องควบคุมการทำงานได้ 64 ช่อง นั่นคือ สไลด์ 1 ตัว ต้องทำงานเป็นสัญญาณอินพุท 4 ช่อง จึงต้องมีการเก็บข้อมูลไว้ที่หน่วยความจำและแสดงค่าคงที่นี้ไว้ที่ 7 SEGMENT จนกว่าจะมีการกดสวิทซ์เลือกข้อมูลใหม่เข้ามาเพื่อเป็นประโยชน์ในการปรับแต่งที่อาจมีมากกว่า 1 ครั้ง เช่นถ้าเลือกที่ CH1 แล้วทำการปรับสไลด์อินพุทจนที่ 7 SEGMENT แสดงค่าที่ระดับ " 7 " แล้วทำการปรับค่าที่ CH อื่นๆต่อไป จากนั้นถ้ามีการปรับที่ CH1 อีกครั้ง ที่ 7 SEGMENT จะยังคงแสดงค่าที่ระดับ " 7 " ที่เป็นการปรับ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ในครั้งแรกไว้ ซึ่งตอนนี้ที่สไลด์ที่ CH1 จะไม่มีผลกับการเปลี่ยนข้อมูลและการแสดงผล จนกว่าจะมีการเลือกรับข้อมูลเข้ามาใหม่เสียก่อน

1.2 วัตถุประสงค์ของโครงงาน

1. เพื่อศึกษาโครงสร้างของสัญญาณตามมาตรฐาน DMX-512
2. เพื่อศึกษาการออกแบบและสร้างวงจรที่ใช้ในการสร้างสัญญาณ DMX-512 โดยการใช้ไมโครคอนโทรลเลอร์ PIC16F877 เป็นตัวควบคุมการทำงาน
3. เพื่อสามารถนำไปประยุกต์ใช้งานแทนเครื่องส่ง DMX-512 ที่นำเข้าจากต่างประเทศซึ่งมีราคาสูงกว่ามาก

1.3 ประโยชน์และการนำไปใช้งาน

1. สามารถใช้ในการควบคุมดิมเมอร์ในมาตรฐาน DMX-512
2. ช่วยประหยัดค่าใช้จ่ายในการใช้สายเคเบิลจำนวนมาก
3. สามารถควบคุมอุปกรณ์ไฟฟ้าจำนวน 64 ช่อง (สามารถพัฒนาต่อไปได้มากที่สุด 512 ช่อง) ทำให้มีความสะดวกในการใช้งาน
4. สามารถเก็บข้อมูลในการทำงานได้ ทำให้มีความสะดวกในการทำงานที่ต้องมีการปรับค่ามากกว่า 1 ครั้งในแต่ละช่อง
5. มีความสะดวกกระทัดรัดเพราะเครื่องมีขนาดเล็กสามารถพกพาไปใช้งานตามที่ต่างๆได้โดยง่ายไม่ต้องใช้คอมพิวเตอร์ในการควบคุมเนื่องจากใช้ไมโครคอนโทรลเลอร์แทน

1.4 โครงประกอบของปริญญานิพนธ์

ปริญญานิพนธ์นี้ได้มีการแบ่งเนื้อหาภายในออกเป็น 5 บท โดยที่บทแรกนั้นได้กล่าวแนะนำถึงหลักการเบื้องต้นและวัตถุประสงค์ในการจัดทำโครงงานนี้ขึ้นมา ส่วนรายละเอียดของบทต่างๆอีก 4 บทมีดังต่อไปนี้

บทที่ 2 แบ่งเนื้อหาออกเป็น 3 ส่วน คือส่วนที่หนึ่งจะกล่าวถึงทฤษฎีของ DMX-512 ตั้งแต่ลักษณะโปรโตคอลของมาตรฐาน DMX-512 การจัด PACKET ของสัญญาณ ในส่วนที่ 2 กล่าวถึงทฤษฎีของ PIC 16F877 และในส่วนที่ 3 เป็นเรื่องของการแปลงสัญญาณอนาล็อกเป็นสัญญาณดิจิตอล

บทที่ 3 กล่าวถึงการออกแบบวงจรในโครงงานนี้โดยแบ่งออกเป็นภาคต่าง

บทที่ 4 กล่าวถึงการทดลองและผลการทดลองของโครงงานนี้

บทที่ 5 กล่าวถึงการสรุปและวิจารณ์ผลการทดลองตลอดจนปัญญหาและแนวทางในการพัฒนาโครงงานต่อไปในอนาคต

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 2
ทฤษฎี

2.1 ทฤษฎี DMX-512

2.1.1 ลักษณะโปรโตคอลของมาตรฐาน DMX-512

มาตรฐานของ DMX-512 เป็นมาตรฐานเพื่อใช้ในการควบคุมดิมเมอร์(Dimmer) โดยจะใช้แผงควบคุม(Console) เป็นส่วนที่ควบคุมการทำงาน ซึ่งสัญญาณที่ออกจากแผงควบคุมไฟนี้จะถูกมัลติเพล็กซ์ เป็นสัญญาณดิจิตอลและถูกส่งออกไปเข้าทางภาคเอาท์พุทเพื่อดิมัลติเพล็กซ์สัญญาณออกมา และนำสัญญาณที่รับได้นั้น สามารถนำไปควบคุมอุปกรณ์ได้ถึง 512 อุปกรณ์ ภายในเวลาเดียวกัน

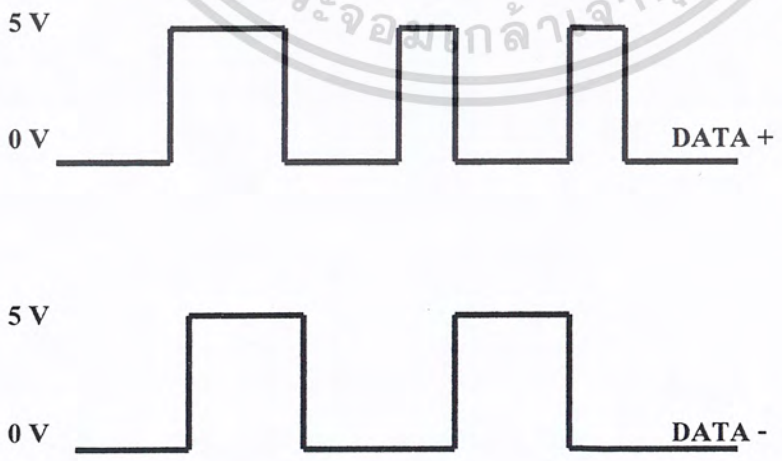
ในระบบการส่งสัญญาณของระบบ DMX-512 นั้นที่ตัวแผงควบคุมจะทำการส่งสัญญาณออกมาแล้วถูกแปลงให้เป็นสัญญาณดิจิตอล ที่มีค่า 0 หรือ 1 จากนั้นจึงทำการส่งสัญญาณดิจิตอลออกไปสู่ภาครับ (Dimmers) แล้วทำการเปลี่ยนรหัสนั้นเป็นคำสั่งที่ใช้งาน

สัญญาณจะถูกส่งผ่านไปบนสาย 3 เส้นโดยใช้สายเคเบิลหรือการใช้ตัวคอนเนคเตอร์ (Connector) ซึ่งตัวคอนเนคเตอร์ที่นำมาใช้คือ 5 Pin XLR แต่สำหรับในมาตรฐานของ DMX-512 นั้นจะใช้ ขาที่1,ขาที่ 2 และที่ ขาที่3 เท่านั้น

โดยที่ ขาที่ 1 คือ ขาสัญญาณกราวด์ร่วมซึ่งมีค่าแรงดัน 0 โวลท์

ขาที่ 2 คือ ขาสัญญาณข้อมูลไฟลบ 5 โวลท์ (Signal Data -)

ขาที่ 3 คือ ขาสัญญาณข้อมูลไฟบวก 5 โวลท์ (Signal Data +)



รูปที่ 2.1 ลักษณะของสัญญาณข้อมูล DMX

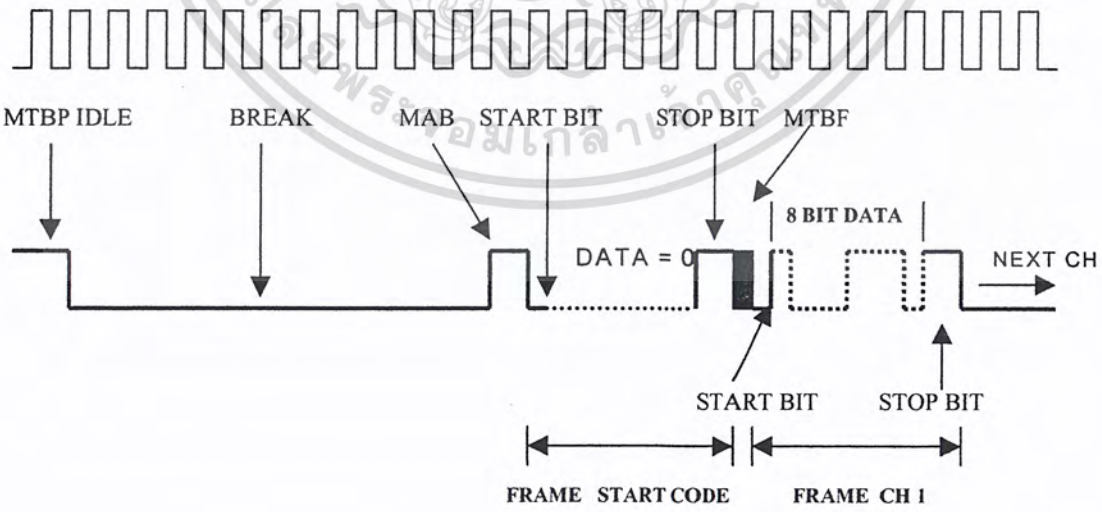
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ที่ภาครับนั้น จะรับสัญญาณมาเพียง 2 เส้น คือที่ ขาที่ 2 และ ขาที่ 3 แล้วจะทำการเปรียบเทียบระดับความแตกต่างของระดับแรงดันโดยใช้ออปแอมป์ในการเปรียบเทียบแรงดัน โดยแรงดันที่เพิ่มขึ้นบนสายนำสัญญาณนั้นจะถูกเปลี่ยนเป็นระดับแบบอื่น ซึ่งที่เราพบเห็นโดยทั่วไปจะเป็นแบบ Differential และสัญญาณที่ทำการเปรียบเทียบแล้วนั้นจะถูกเปลี่ยนรหัสเป็นสัญญาณดิจิตอล เมื่อสัญญาณทั้ง 2 เส้นนั้นไม่มีความแตกต่างของระดับแรงดันก็จะไม่มีการถอดรหัสเป็นสัญญาณดิจิตอล

ถ้าเกิดมีการแทรกของสัญญาณอย่างบังเอิญเข้าไปบนสายนำสัญญาณแล้ว จะทำให้ไม่มีการตอบสนองต่อการส่งข้อมูลในระยะยาวเมื่อมีการเกิดการแทรกของสัญญาณเกิดขึ้นในสายส่งสัญญาณที่เป็นแบบสายคู่นั้นความใกล้เคียงของสายทั้ง 2 เส้น จะมีการแบ่งการเกิดการแทรกของสัญญาณในสายทั้งคู่ สัญญาณจะถูกส่งไปควบคุมอุปกรณ์ทั้ง 512 อุปกรณ์ อย่างต่อเนื่องและถูกส่งไปอย่างซ้ำๆตามทางไหลของข้อมูล ในการรับสัญญาณในส่วนของวงจรดีมัลติเพล็กซ์เพื่อนำไปใช้ในการควบคุมอุปกรณ์นั้น

2.1.2 DMX-512 PACKET

ในการส่งสัญญาณ DMX - 512 จะมีความเร็วในการส่งข้อมูลที่ 250,000 บิตต่อวินาที ในการส่ง 1 แพ็คเก็ตจะเท่ากับ 512 ช่อง ซึ่งสามารถส่งได้สูงสุดประมาณ 44 แพ็คเก็ต ต่อวินาทีแต่ในทางปฏิบัติใช้ 1 แพ็คเก็ตต่อวินาทีก็เพียงพอ โดยที่สัญญาณ 1 บิตของสัญญาณ DMX - 512 ก็จะมีความกว้าง 4 us แต่ละบิตจะมีหน้าในการทำงานที่แตกต่างกันดังนี้



รูปที่ 2.2 TIMMING DIAGRAM สัญญาณ DMX-512

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

1. บิต IDLE

การส่งสัญญาณตามมาตรฐาน DMX- 512 จะต้องทำการส่งสัญญาณระดับแรงดันสูง ก่อนจะส่งสัญญาณข้อมูลในแพ็คเก็ตแรกของการส่งสัญญาณ ก่อน

2. บิต BREAK

เป็นการแสดงการเริ่มสัญญาณข้อมูล DMX แพ็คเก็ตแรก โดยที่เอาท์พุทมีสัญญาณระดับความดันสูง จำนวนบิตอย่างน้อยเท่ากับ 22 บิต และมีคาบเวลาต่ำสุด ประมาณ 88 μS และค่าเวลามีมากที่สุดที่เวลา 1 μS

3. บิต MARK AFTER BREAK (MAB)

บิต MAB เป็นบิตที่ต่อเนื่องกับบิต BREAK โดยที่เอาท์พุทมีสัญญาณระดับแรงดันสูง จำนวนบิตเท่ากับ 2 บิต สำหรับคาบเวลาประมาณเท่ากับ 8 μS

4. เฟรม START CODE (SC)

เฟรม (FRAME) ของ START CODE จะมี SC จำนวน 8 บิต มีข้อมูลที่เป็น 0 เสมอ มีบิต START 1 บิต และบิต STOP 2 บิต รวมเป็น 11 บิต หรืออาจจะกำหนดให้ SC เป็น CHANNEL 0 ในส่วนของ CHANNEL 1-512 จะมี FRAME จำนวน 11pules หรือ 11 บิต เหมือนกับ START CODE จะแตกต่างตรงที่ SC=0 เสมอ ส่วน CHANNEL 1-512 จะสามารถกำหนดข้อมูลได้ 0-255 หรือจำนวน 11 บิตข้อมูล

5. บิต MARK TIME BETWEEN FRAMES (MTBF)

บิต MTBF มีจำนวนบิตเท่ากับ 1 บิตและจะมีคาบเวลาอยู่ระหว่าง 0-1 μS เป็นค่าบิตอยู่ระหว่างแต่ละ CHANNEL ในการใช้งานควรกำหนดไว้น้อยๆ จะมีลักษณะของสัญญาณแรงดันสูง

6. FRAME DATA CHANNEL 1- 512

มีการจัดรูปแบบเหมือนกับเฟรม START CODE คือเริ่มต้นที่บิตสตาร์ทบิตต่ำ 1บิตแล้วตามด้วยข้อมูลขนาด 8 บิต ปิดท้ายด้วยบิตหยุด 1 บิต รวมเป็น 11 บิต ต่อ 1 ช่อง

7. บิต MARK TIME BETWEEN PACKETS (MTBP)

บิต MTBP จะมีคาบเวลาอยู่ระหว่าง 0-1 μS เป็นบิตอยู่ระหว่างแต่ละ PACKETS จะเกิดขึ้นเมื่อทำการส่ง PACKET แรกเสร็จสมบูรณ์แล้ว

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Description	MIN	TYP	MAX	UNIT
BREAK	88	88	1000000	usec
MAB		4		usec
FRAME WIDTH		44		usec
START/DATA /STOP BITS		4		usec
MTBF	0	NS	1000000	usec
MTBP	0	NS	1000000	usec

ตารางที่ 2.1 DMX512 timing chart

2.1.3 มาตรฐานของสาย RS485 หรือ EIA 485

สัญญาณข้อมูลในมาตรฐาน DMX-512 ในระหว่างอุปกรณ์แต่ละตัวนั้นในการส่งและการรับจะถูกแปลงโดยอุปกรณ์ทางภาครับและภาคส่งที่ถูกแสดงในรูปของแพ็คแกตข้อมูล โดยใช้วิธีการทางไฟฟ้า ซึ่งจะใช้สัญญาณดิจิตอล 1 หรือ 0 ส่งออกจากแผงควบคุม ซึ่งสัญญาณที่ส่งไปนั้นจะถูกเชื่อมต่อกันโดยใช้มาตรฐานสาย EIA485 หรือ RS485 ซึ่งสาย RS485 นั้นจะมีความแตกต่างจาก RS232 ตรงที่พอร์ตข้างหลัง ในระบบงานซึ่งมีการวัดในแบบพิเศษนั้นจะมีพอร์ตใน RS485 สำหรับใช้ในกระบวนการควบคุมงาน แต่สำหรับในรูปในการสื่อสารนั้นสาย RS485 และสาย RS232 นั้นจะมีรูปแบบที่แตกต่างกันมากทีเดียว ซึ่งเราสามารถที่จะเปรียบเทียบความแตกต่างของรูปแบบของสาย RS485 และRS232 ได้กับการใช้ตัวอักษรภาษาอังกฤษอย่างเดียวกันแต่เพื่อเขียนสองภาษาที่แตกต่างกัน

ในมาตรฐานของ RS 485 จะใช้สาย 2 หรือ 3 เส้น เพื่อส่งสัญญาณดิจิตอล ในแบบระดับสูง(HIGH) หรือ ระดับต่ำ(LOW)

1.สายสัญญาณแรงดันบวก(+S)

2.สายสัญญาณแรงดันลบ (-S)

3.สายสัญญาณศูนย์หรือสายกราวด์(0 V)

ซึ่งเราสามารถอธิบายรูปแบบของสัญญาณที่ส่งออกจากสาย RS485 คือ

-สัญญาณดิจิตอล 1 จะถูกส่งออก เมื่อสายแรงดันบวก มีศักย์สูงกว่าของเส้นแรงดันลบ

-สัญญาณดิจิตอล 0 จะถูกส่งออก เมื่อสายแรงดันบวก มีศักย์ต่ำกว่าสายแรงดันลบ

เช่น ในการสัญญาณดิจิตอลระดับ 1 ที่สายแรงดันบวกนั้นจะมีค่าแรงดันของสายที่ +5 V และสายที่เป็นแรงดันลบจะมีค่าระดับแรงดันของสายที่ –5 V

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ในการส่งสัญญาณดิจิตอล 0 ที่สายที่เป็นแรงดันบวกนั้นจะมีค่าแรงดันที่สายเท่ากับ –5 V และสาย แรงดันลบ จะมีค่าแรงดันที่สาย เท่ากับ +5 V

ความแตกต่างระหว่างข้อมูลในสาย 2 เส้น ไม่ใช่ความความแตกต่างของแรงดันในสายแต่ละเส้น ที่สายกราวด์นั้นในพื้นที่บางแห่งนั้นไม่จำเป็นต้องมีก็ได้ในการติดตั้ง EIA 485 ในงานบางแห่ง สำหรับระดับความต่างศักย์หรือระดับแรงดันสูงหรือต่ำที่ใช้ในมาตรฐานในการเชื่อมต่อสาย RS485 นั้นในบางครั้งใช้แรงดันได้ถึงขนาดแรงดันที่ +12 V (วัดโดยเทียบกราวด์) หรือ ต่ำสุดที่คือ -7 V (วัดโดยเทียบกราวด์)

สำหรับในสาย EIA458 หรือ RS485 นั้นควรจะใช้ที่แรงดันต่ำสุดที่ 200 มิลลิโวลท์ หรือเท่ากับ 1 ใน 5 ของแรงดันทั้งหมด ซึ่งสิ่งที่จำเป็นก็คือการควบคุมโหนดร่วมโดยทั่วไป ซึ่งเป็นการควบคุมความสัมพันธ์ของความแตกต่างของแรงดันระหว่างสาย 2 เส้น ซึ่งในการควบคุมแรงดันของสายนำสัญญาณนั้นถือเป็นสิ่งที่สำคัญมากและส่วนที่ถูกใช้อย่างบ่อยๆในการส่งสัญญาณ DMX ก็คือในส่วนสายกราวด์สายเคเบิลที่ใช้ในการส่งสัญญาณข้อมูลนั้นซึ่งจะมีสายชิลด์ที่ทำหน้าที่เสมือนเป็นกราวด์ของสายสัญญาณ สายชิลด์หรือสายกราวด์นั้นมีประโยชน์อยู่ 2 อย่าง คือ

1. เป็นการช่วยป้องกันสัญญาณรบกวนที่อาจจะเกิดขึ้นสายส่งสัญญาณข้อมูลทั้ง 2 เส้น และซึ่งจะเกิดขึ้นในเฟสเดียวกัน ซึ่งหมายความว่าสัญญาณจะวิ่งไปในทิศทางขึ้นและลง และสัญญาณจะวิ่งกันในทิศทางเดียวกันบนสายสัญญาณทั้งคู่ ซึ่งผลที่เกิดขึ้นก็คือเมื่อสัญญาณนั้นมาถึงเครื่องรับหรือวงจรดีมัลติเพล็กซ์ ระดับของสัญญาณที่ส่งมานั้นจะไม่มีความแตกต่างกันในสายทั้ง 2 เส้น

2. ถ้าสัญญาณข้อมูลที่ถูกส่งออกจากทางแผงควบคุมนั้นที่แรงดันบวกหรือลบ 5 โวลท์ แล้วสัญญาณข้อมูลที่ส่งไปนั้นผ่านไปได้ไม่ดี ความต้านทานของสายเคเบิลทั้งคู่นั้นจะถูกทำให้มีความต้านทานเท่ากันที่สายส่งสัญญาณข้อมูล ทั้ง 2 เส้น ซึ่งก็หมายความว่าถ้ามันมีแรงดันตกลงมาที่บวกหรือลบ 100 มิลลิโวลท์ และที่ทางเครื่องรับหรือวงจรดีมัลติเพล็กซ์นั้นจะมีส่วนของวงจรที่ใช้ในการป้องกันความแตกต่างของสัญญาณข้อมูลสายทั้ง 2 เส้น ซึ่งทำให้ข่าวสารข้อมูลนั้นจะสามารถผ่านออกไปที่ทางเอาท์พุทได้ ที่เป็นเช่นนี้ก็เพราะว่าสัญญาณความแตกต่างของข้อมูลที่ระดับแรงดัน 200 มิลลิโวลท์นั้น จะมีค่าคงที่ที่จุดหนึ่งนั่นเอง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.2 ทฤษฎีไมโครคอนโทรลเลอร์ PIC 16F877

PIC 16F877 เป็นไมโครคอนโทรลเลอร์ตระกูล (MICROCONTROLLERS) ในตระกูล PIC (PERIPHERAL INTERFACE CONTROLLER) ของบริษัทไมโครชิพเทคโนโลยี

PIC 16F877 มี หน่วยความจำโปรแกรมเป็นแบบแฟลช (FLASH) ซึ่งสามารถเขียนและลบข้อมูลได้นับเป็นพันครั้ง เหมาะสำหรับใช้งานกับการพัฒนาโปรแกรมเป็นอย่างมาก อีกทั้งยังมีชุดคำสั่งเพียง 35 คำสั่งเท่านั้นและทุกๆคำสั่งสามารถทำงานเสร็จสิ้นภายในสัญญาณนาฬิกาเพียงลูกเดียวเท่านั้น

2.2.1 คุณสมบัติทางเทคนิคของ PIC 16F877

1.หน่วยประมวลผลกลางเป็นแบบ RISC (REDUCED INSTRUCTION SET COMPUTER)

2. มีคำสั่งเพียง 35 คำสั่งเท่านั้น

3. ทุกคำสั่งใช้เวลาประมวลผลเพียง 1 ไซเคิล (CYCLE) ของสัญญาณนาฬิกา ยกเว้นคำสั่งการกระโดดใช้เวลา 2 ไซเคิลของสัญญาณนาฬิกา

4. ที่สัญญาณนาฬิกาสูงสุด 20 MHz ใช้เวลาในการประมวลผล 200 nS ต่อ 1 ไซเคิล

5. ขนาดหน่วยความจำโปรแกรมซึ่งเป็นแบบแฟลชมีขนาด 8 K (1 เวิร์ด มีขนาด 14บิต) หน่วยความจำแรม (RAM) ขนาด 368 ไบต์ (BYTES) และหน่วยความจำอีอีพรอม (EEPROM) ขนาด 256 ไบต์

6. มีสแต็ก (STACK) 8 ระดับ

7. มีโหมดการอ้างอิงแอดเดรส (ADDRESS) 3 โหมด คือ แบบโดยตรง (DIRECT) แบบโดยอ้อม (INDIRECT) และแบบสัมพัทธ์ (RELATIVE)

8. มีแหล่งกำเนิดอินเตอร์รัปต์ (INTERRUPT) 14 แหล่ง

9. มีเพาเวอร์ออนรีเซ็ท (POR : POWER-ON RESET)

10. มีเพาเวอร์อัปไทเมอร์ (PWRT : POWER-UP TIMMER)

11. มีออสซิลเลเตอร์สตาร์ตอัปไทเมอร์ (OST : OSCILLATOR STRAT-UP TIMMER)

12. มีวอตซ์ด็อกไทเมอร์ (WDT : WATCH DOG TIMMER) พร้อมกับวงจรออสซิลเลเตอร์ RC ภายใน

13. มีการป้องกันการคัดลอกข้อมูล

14. มีโหมดประหยัดพลังงาน

15. สามารถเลือกวงจรออสซิลเลเตอร์ที่ใช้กำหนดการทำงานได้

16. การเขียนข้อมูลลงในไมโครคอนโทรลเลอร์เป็นแบบอนุกรมโดยใช้เพียงขา 2 ขา

17. ย่านไฟเลี้ยง 2.0 V - 5.5 V

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

18. กระแสซิงค์ (SINK) และกระแสซอร์ส (SOURCE) 25 mA สูงพอที่จะสามารถขับ LED ได้โดยตรง

19. ปริมาณกระแสไฟฟ้า

- < 2 mA ที่ไฟเลี้ยง 5 V สัญญาณนาฬิกา 4 MHz
- 20 μA ที่ไฟเลี้ยง 3 V สัญญาณนาฬิกา 32 kHz
- < 1 μA ขณะสแตนด์บาย (STANDBY)

20. มีขาอินพุท (INPUT) และเอาท์พุท (OUTPUT) ทั้งหมด 33 ขา คือ PORT A,B,C,D,E สามารถกำหนดเป็นอินพุทและเอาท์พุทได้อย่างอิสระ

21. มีไทเมอร์/เคาน์เตอร์ 3 โหมด คือ

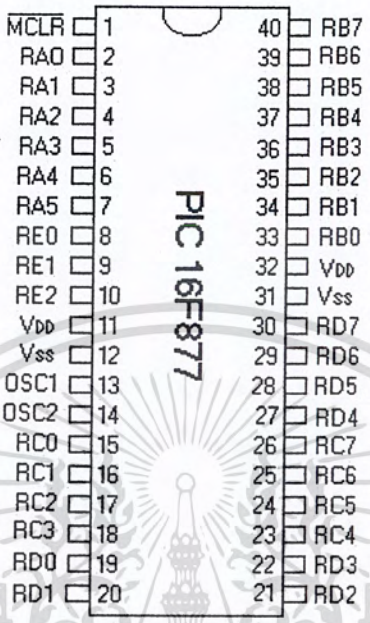
- ไทเมอร์ 0 ขนาด 8 บิต
- ไทเมอร์ 1 ขนาด 16 บิต
- ไทเมอร์ 2 ขนาด 8 บิต

22.การติดต่อสื่อสารแบบอนุกรม 9 บิต USART (UNIVERSAL SYNCHRONOUS ASYNCHRONOUS RECEIVER TRANSMITTER)

23. การติดต่อสื่อสารแบบขนาน 8 บิต PSP (PARALLEL SLAVE PORT)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.2.2 การจัดขาของ PIC 16F877



รูปที่ 2.3 การจัดขาของPIC 16F877

ไมโครคอนโทรลเลอร์ PIC 16F877 มีโครงสร้างตัวถังแบบ PDIP (PLASTIC DUAL-IN LINE PACKAGE) มีขาต่อใช้งานทั้งสิ้น 40 ขาซึ่งมีการจัดวางขาดังรูปสามารถแบ่งได้เป็น 4 กลุ่ม

1. **กลุ่มสัญญาณนาฬิกา** มี 2 ขา คือ OSC1/CLKIN (ขา 13) และ OSC2/CLKOUT (ขา14)
2. **กลุ่มขาควบคุม** มี 1ขา คือ $\overline{\text{MCLR}}$ (ขา 1)
3. **กลุ่มขาพอร์ตอินพุตเอาต์พุท** มี 33 ขา แบ่งเป็น 5 พอร์ต คือ
   - พอร์ต A 6 ขา ได้แก่ RA0-RA5 (ขา 2 ถึง ขา 7)
   - พอร์ต B 8 ขา ได้แก่ RB0-RA7 (ขา 33 ถึง ขา 40)
   - พอร์ต C 8 ขา ได้แก่ RC0-RC7 (ขา 15 ถึง ขา 18 และขา 23 ถึง ขา 26)
   - พอร์ต D 8 ขา ได้แก่ RD0-RD7 (ขา 119 ถึง ขา 22 และขา 27 ถึง ขา 30)
   - พอร์ต E 3 ขา ได้แก่ RE0-RE2 (ขา 8 ถึง ขา 10)
4. **กลุ่มขาไฟเลี้ยง** มี 2 ขา คือ
   - V_{SS} หรือขากราวด์ (ขา 12 และขา 31)
   - V_{DD} หรือขาไฟเลี้ยง(ขา 12 และขา 31)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.2.3 การป้อนสัญญาณนาฬิกาให้แก่ PIC 16F877

1. RC เป็นการใช้ตัวต้านทานและตัวเก็บประจุร่วมกับแหล่งกำเนิดสัญญาณนาฬิกาภายในตัวไมโครคอนโทรลเลอร์

2. XT ใช้คริสตอลหรือเซเรมิกเรโซแนนซ์

3. HS ใช้คริสตอลความถี่สูง (มากกว่า 4 MHz)

4. LP ใช้คริสตอลกำลังต่ำ

2.2.4 การจัดหน่วยความจำ

1. หน่วยความจำโปรแกรม

ใช้เป็นที่เก็บโปรแกรมมอนิเตอร์หรือเป็นหน่วยความจำที่ใช้ในการโปรแกรมควบคุมการทำงานของระบบนั่นเอง PIC 16F877 สามารถทำการเขียนและแก้ไขโปรแกรมได้ก็ต่อเมื่อมันอยู่ในโหมดของการโปรแกรม ในขณะที่ทำงานปกติไม่สามารถทำการเขียนได้สามารถทำการอ่านได้เพียงอย่างเดียว

หน่วยความจำโปรแกรมมีขนาดเท่ากับ 8 K (จำนวนบิตต่อ 1 เวิร์ดของหน่วยความจำโปรแกรมเท่ากับ 14 บิต) โดยที่ อินเตอร์รัปต์เวกเตอร์อยู่ที่ 0 x 004

2. หน่วยความจำข้อมูล

พื้นที่ของหน่วยความจำถูกแบ่งเป็น 2 ส่วน คือ พื้นที่ของรีจิสเตอร์ใช้งานทั่วไป (GENERAL PURPOSE REGISTERS : GPR) และพื้นที่ของรีจิสเตอร์ฟังก์ชั่นพิเศษ(SPECIAL FUNCTION REGISTERS) แต่ทั้งสองต่างก็ถูกจัดเป็นแบงก์ (BANK) คือแบงก์ 0 - แบงก์ 3 โดยจะมีบิต RP0 และ RP1 ในรีจิสเตอร์ STATUS เป็นตัวควบคุมการติดต่อกับหน่วยความจำข้อมูลในแต่ละแบงก์

RP1		**RP0**
00	→	BANK 0
01	→	BANK 1
10	→	BANK 2
11		BANK 3

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.2.5 รีจิสเตอร์ควบคุม

1.รีจิสเตอร์ STATUS เป็นรีจิสเตอร์ที่ใช้ในการแสดงสถานะของการคำนวณทางคณิตศาสตร์ของ ALU สถานะการทำงานของ PIC และใช้เป็นตัวกำหนดการเลือกแบงก์ของหน่วยความจำข้อมูล ถ้ามีการกระทำทางคณิตศาสตร์และลอจิก บิต Z , DC และ C จะเกิดการเปลี่ยนแปลงขึ้น

2. รีจิสเตอร์ OPTION ภายในจะมีบิตที่ควบคุมการอินเตอร์รัปต์

3. รีจิสเตอร์ INTCON ใช้เก็บค่าบิตของการเอ็นเอเบิลสัญญาณอินเตอร์รัปต์

4. รีจิสเตอร์โปรแกรมเคาน์เตอร์ PCL และ PCLATH โปรแกรมเคาน์เตอร์หรือ PC แบ่งออกเป็น 2 ส่วนคือ รีจิสเตอร์โปรแกรมเคาน์เตอร์ไบต์ต่ำ PCL สามารถอ่านและเขียนได้โดยตรง ส่วนที่เหลืออีกส่วนต้องอาศัยการเขียนและการอ่านผ่านรีจิสเตอร์ PCLATH

2.2.6 สแต็ก (STACK)

ใน PIC 16F877 ได้จัดสรรสแต็กไว้ 8 ระดับ เพื่อใช้ในการเก็บค่าของโปรแกรมเคาน์เตอร์ชั่วคราว ถ้ามีการพุช (PUSH) 1 ครั้ง สแต็กจะทำการเก็บค่าของโปรแกรมเคาน์เตอร์ไว้ 1 ค่าโดยสามารถที่จะรองรับได้ 8 ครั้งต่อเนื่องกัน

2.2.7 รีจิสเตอร์ W

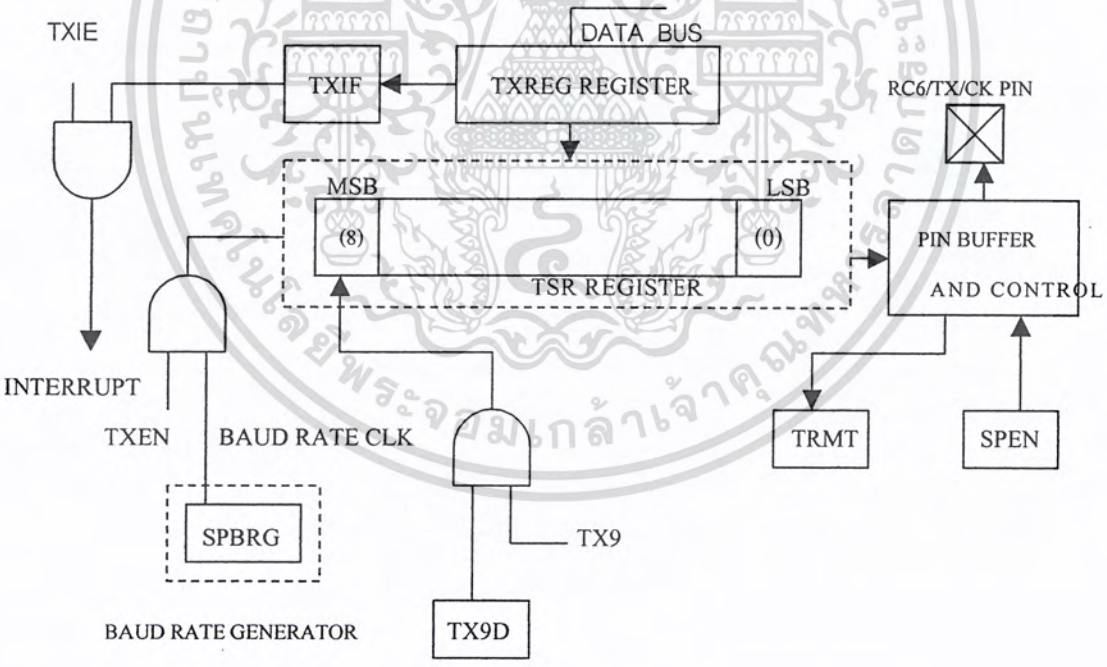
รีจิสเตอร์ W เปรียบได้กับแอกคิวมูเลเตอร์ เมื่อไมโครคอนโทรลเลอร์มีการกระทำทางคณิตศาสตร์ รีจิสเตอร์ W จะเป็นรีจิสเตอร์ที่ CPU ติดต่อด้วย การโอนข้อมูลหรือทำการตรวจสอบข้อมูลจะกระทำที่รีจิสเตอร์ W เป็นหลัก

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.2.8 การส่งสัญญาณ USART แบบอะซิงค์โครนัส

(USART ASYNCHRONOUS TRANSMITTER)

การส่งสัญญาณ USART มีหัวใจการทำงานอยู่ที่ชิพรีจิสเตอร์ TSR ที่จะทำการเขียนและอ่านข้อมูลจากรีจิสเตอร์ TXREN ซึ่งรีจิสเตอร์ TXREN จะทำการโหลดข้อมูลจากโปรแกรม รีจิสเตอร์ TSR จะไม่ทำการโหลดจนกว่า STOP BIT จะถูกทำการส่งจากข้อมูลที่โหลดไปก่อน เมื่อ STOP BIT ถูกส่งไปเรียบร้อยแล้ว รีจิสเตอร์ TSR จะโหลดข้อมูลใหม่จากรีจิสเตอร์ TXREN (ถ้ามีข้อมูลใหม่) เมื่อ TXREN ส่งข้อมูลไปยัง TSR แล้ว รีจิสเตอร์ TXREN จะว่างและ FLAG บิต TXIF (PIR1<4>)จะเซ็ท การอินเตอร์รัปนี้สามารถติดต่อและตัดการติดต่อโดยการเซ็ทและเคลียร์บิต TXIE (PIE1<4>) แฟลกบิต TXIF จะทำการเซ็ทโดยไม่สนใจสถานะของบิต TXIE และไม่สามารถเคลียร์ด้วยโปรแกรม มันจะรีเซ็ทก็ต่อเมื่อมีข้อมูลใหม่โหลดเข้ามาที่ TXREN ในขณะที่บิต TXIF แสดงสถานะของรีจิสเตอร์ TXREG บิต TRMT (TXSTA<1>แสดงสถานะของ TSR ส่วนสถานะของ TRMT มีไว้อ่านเท่านั้นและจะทำการเซ็ทก็ต่อเมื่อรีจิสเตอร์ TSR ว่าง โดยไม่มีการอินเตอร์รัปใดที่เกี่ยวข้องกับบิตนี้



รูปที่ 2.4 บล็อคไดอะแกรมการส่งแบบ USART

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ขั้นตอนการเซ็ทการส่งแบบอะซิงค์โครนัส

1. กำหนดค่าคงที่เพื่อกำหนด BAUD RATE ลงในรีจิสเตอร์ SPBRG และ ถ้าต้องการ BAUD RATE ที่มีความเร็วสูงให้เซ็ทบิต BRGH ให้เป็น 1 แต่ถ้าต้องการ BAUD RATE ที่มีความเร็วต่ำให้เคลียร์บิต BRGH ให้เป็น 0

2. ทำให้สามารถส่งแบบอะซิงค์โครนัสโดยการเคลียร์บิต SYNC ให้เป็น 0 และเซ็ทบิต SPEN ให้เป็น 1

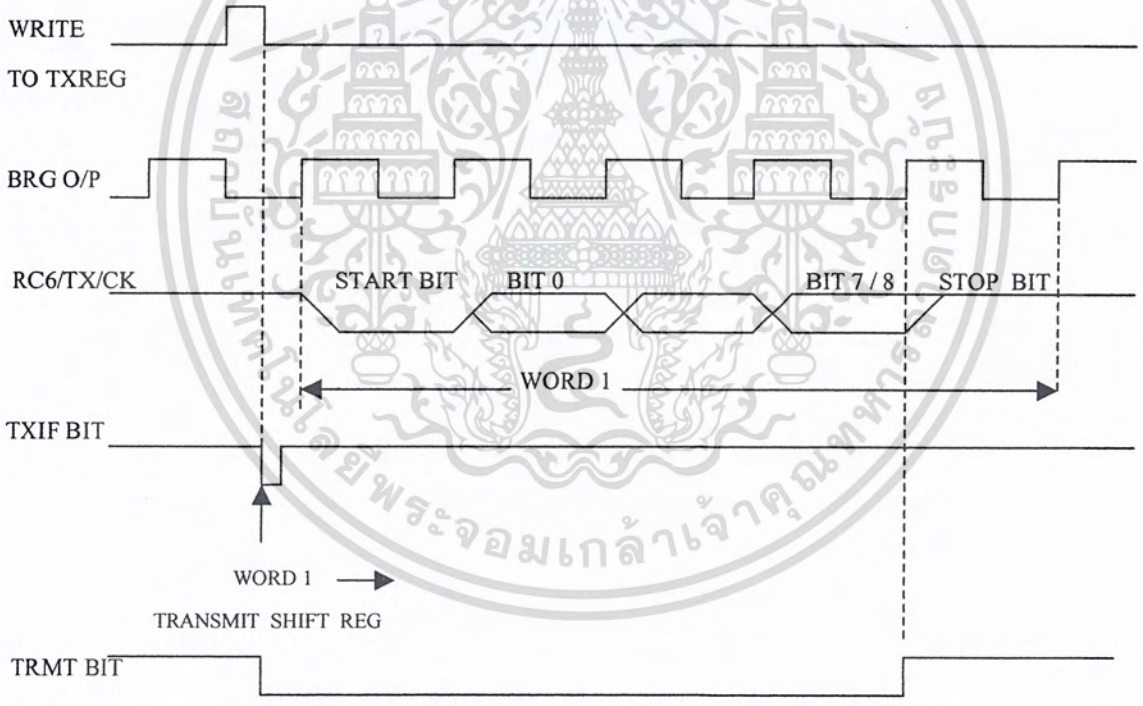
3. ถ้ามีการอินเตอร์รัปให้เซ็ทบิต TXIE

4. ถ้าส่งแบบ 9 บิตให้เซ็ทบิต TX9 เป็น 1

5. ถ้าต้องการส่งให้เซ็ทบิต TXEN เป็น 1

6. ถ้าเลือกการส่งแบบ 9 บิต บิตที่ 9 สามารถโหลดได้ในบิต TX9D

7. โหลดข้อมูลเข้ารีจิสเตอร์ TXREG (เป็นการเริ่มการส่ง)



รูปที่ 2.5 TIMMING DIAGRAME ASYNCHRONOUS TRANSMITTION

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.2.9 การเข้าถึงรีจิสเตอร์และข้อมูล

1. การเข้าถึงแบบทันทีทันใด (IMMEDIATE ADDRESSING MODE)

เป็นการเข้าถึงค่าคงที่โดยตรง ด้วยการใช้ชุดคำสั่งที่เกี่ยวข้องกับค่าคงที่รวมกับรีสเตอร์ W หรือ เอกคิวมูเลเตอร์ ตัวอย่างของคำสั่งที่แสดงให้เห็นการเข้าถึงเข้ามูลทันทีทันใดได้แก่ movlw k โดยที่ k คือค่าคงที่

2. การเข้าถึงข้อมูลแบบโดยตรง

เป็นการเข้าถึงข้อมูลหรือรีจีสเตอร์ด้วยการกำหนดแอดเดรสที่ต้องการเข้าถึงอย่างเจาะจง หรือระบุผ่านชื่อของรีจีสเตอร์ก็ได้ ดังตัวอย่าง

clrf Temp

เป็นคำสั่งที่ต้องการเคลียร์ค่าของรีจีสเตอร์ตั้งชื่อว่า Temp

3. การเข้าถึงข้อมูลโดยอ้อม

ในกรณีที่ต้องมีการติดต่อกับรีจีสเตอร์หลายๆตัวในคราวเดียวกัน ไมโครคอนโทรลเลอร์ PIC 16 F84 จะมีรีจีสเตอร์ FSR (File selet Register) และรีจีสเตอร์ INDF หรืออาจกล่าวได้ว่าเราใช้รีจีสเตอร์ FRS เก็บค่าแอดเดรส และรีจีสเตอร์ INDF เก็บค่าของข้อมูล

พิจารณาโปรแกรมย่อยต่อไปนี้ ซึ่งเป็นโปรแกรมย่อยของการส่งข้อมูลตัวอักขระจากรีจีสเตอร์ไฟล์ 16 ตัวตั้งแต่แอดเดรส 0x20-0x2F ไปแสดงที่โมดูล LCD

4. การเข้าถึงค่าข้อมูลแบบสัมพัทธ์

การเข้าถึงข้อมูลแบบนี้จะประกอบด้วยการคำนวณค่าสัมพัทธ์ของระหว่างแอดเดรสที่เริ่มต้นทำงานกับแอนเดรสที่ต้องการเข้าถึง โดยมีการใช้ค่าของโปรมแกรมเคาน์เตอร์เข้ามาช่วยคำสั่งที่นำมาใช้ในการเข้าถึงข้อมูลสัมพัทธ์นี้คือ retlw

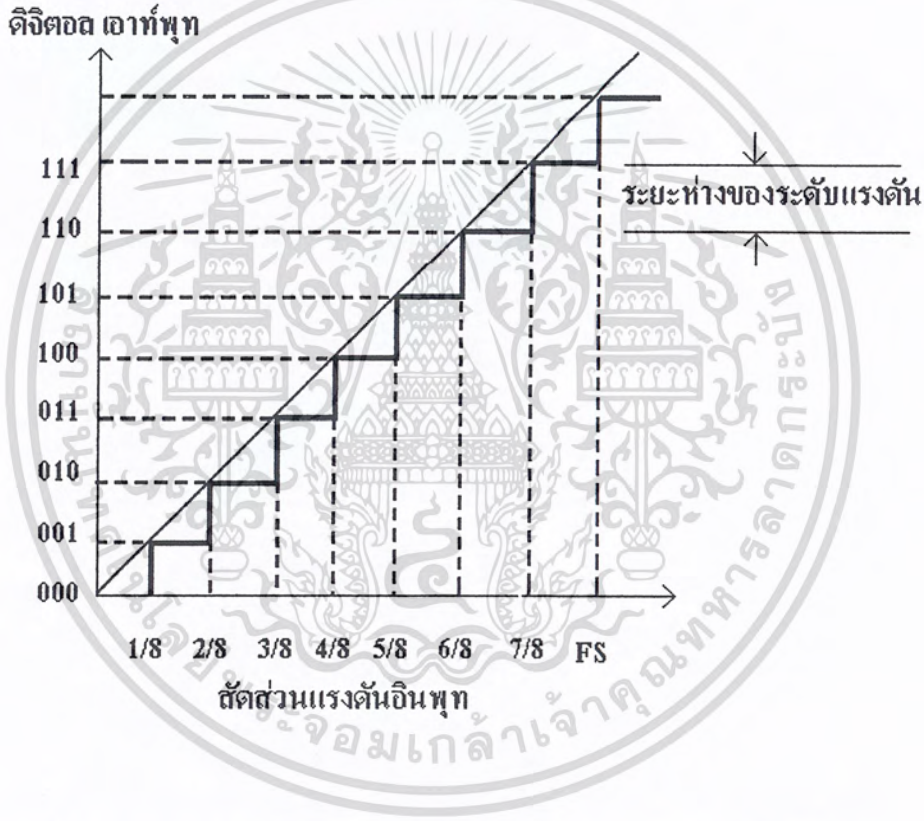
กระบวนการจะเริ่มต้นด้วยการกำหนดค่าออฟเซ็ทลงในรีจีสเตอร์ W แล้วนำไปรวมกับค่าของโปรแกรมเคาน์เตอร์ก็จะได้ค่าของแอนเดรสของหน่วยของความจำที่ต้องการเข้าถึงไม่เกิน 256 ตำแหน่ง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.3 ทฤษฎีการแปลงสัญญาณอนาล็อกเป็นสัญญาณดิจิตอล

การแปลงสัญญาณอนาล็อกเป็นสัญญาณดิจิตอลเป็นการเปลี่ยนระดับของสัญญาณไฟฟ้าที่เป็นอนาล็อกให้เป็นข้อมูลที่เป็นตัวเลขในลักษณะเลขดิจิตอลจำนวนบิทต่างๆกันไป เราสามารถนำขบวนการนี้ใช้กับการติดต่อสื่อสารและอื่นๆได้มากมาย

ความแม่นยำในการแปลงสัญญาณขึ้นอยู่กับจำนวนบิทของสัญญาณข้อมูลดิจิตอล ถ้าหากจำนวนบิทมากความแม่นยำก็จะมากขึ้นด้วยโดยมีกระบวนการเปรียบเทียบระดับสัญญาณอนาล็อกที่ได้ว่ามีระดับข้อมูลที่ตรงกับระดับข้อมูลในสัญญาณดิจตอลที่ระดับใด ที่เรียกว่า กระบวนการควอนไตซิ่ง (QUANTIZING) ดังแสดงในรูป



รูปที่ 2.6 แสดงความสัมพันธ์ระหว่างแรงดันอินพุทกับข้อมูลดิจิตอลเอาท์พุท

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สำนักหอสมุดกลาง พระจอมเกล้าลาดกระบัง

ระยะห่างของระดับข้อมูลดิจิตอลในวงจร ADC สามารถแสดงความสัมพันธ์ในทางคณิตศาสตร์ได้ดังนี้

$$\text{ระยะห่างของระดับแรงดัน} = V_{LSB} = V_{FS} / 2^n$$

โดยที่ V_{FS} คือแรงดันเต็มสเกลหรือแรงดันสูงสุดที่สามารถเกิดได้ในวงจร ADC (ปกติมีค่าเท่ากับไฟเลี้ยง)

ตัวอย่างเช่น ถ้าหาก V_{FS} ของวงจร ADC ขนาด 3 บิต มีค่าเท่ากับ 5 V ระยะห่างของระดับข้อมูลดิจิตอลเท่ากับ 5 / 8 = 0.625 V จากกราฟแสดงความสัมพันธ์ระหว่างแรงดันอินพุทกับข้อมูลดิจดิตอลเอาท์พุท ข้อมูลดิจิตอลสูงสุด คือ 111_2 ซึ่งเท่ากับ 7_{10} ดังนั้นข้อมูลดิจิตอลสูงสุดของวงจร ADC 3บิตจะมีค่าเท่ากับแรงดันอนาล็อกทางอินพุทเท่ากับ (7 / 8) x 5 = 4.375

ดังนั้นสามารถเขียนความสัมพันธ์ของระดับแรงดันอนาล็อกอินพุทกับข้อมูลดิจิตอลสูงสุดในวงจร ADC ที่จำนวน n บิต ได้ดังนี้

$$\text{แรงดันอนาล็อกอินพุทที่ทำให้เกิดข้อมูลดิจิตอลสูงสุด} = V_{FS} - V_{LSB}$$

โดยที่ V_{LSB} คือระยะห่างของระดับแรงดันที่ข้อมูล 1 บิทหรือค่าแรงดันที่ข้อมูลดิจิตอลเท่ากับ 1

ในวงจร ADC ขนาด 3 บิทค่าแรงดัน V_{LSB} เท่ากับ 0.625 ถ้าหากจำนวนบิทของวงจร ADC มีเพิ่มมากขึ้นค่าแรงดัน V_{LSB} จะลดลง ทำให้ความแม่นยำของการแปลงสัญญาณมีมากขึ้นส่งผลให้ข้อมูลดิจิตอลสูงสุดเมื่อเทียบกับแรงดันอนาล็อกทางอินพุทมีค่าใกล้เคียงกันมากขึ้น ตัวอย่างเช่น ถ้ามีวงจร ADC ที่มีขนาดสัญญาณ 8 บิท จะมีค่า V_{LSB} = (5 / 28) x 5 = (5 /256) x 5 = 0.0195 V ดังนั้นที่ข้อมูลดิจิตอลสูงสุดคือ 11111111_2 หรือ FFH และจะมีค่าเทียบเท่าแรงดันอนาล็อก 5 - 0.0195 = 4.9805 V

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

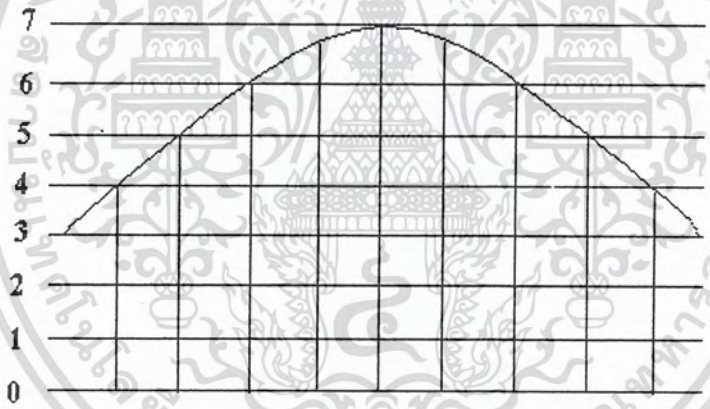
42370

2.3.1 ความละเอียดของ ADC

ค่าที่เกิดการเปลี่ยนแปลงที่น้อยที่สุดของแรงดันอนาล็อกที่ทำให้ข้อมูลดิจิตอลนั้นเกิดการเปลี่ยนแปลง 1 บิตสามารถอธิบายเทียบได้เป็นเปอร์เซ็นต์ของแรงดันเต็มสเกล หรือในหน่วยของมิลลิโวลท์ เช่น ADC ขนาด 8 บิต มีค่าความละเอียดเทียบเป็นเปอร์เซ็นต์ ของแรงดันเต็มสเกลเท่ากับ $(1/2^n)x100 = (1/28)x100 = 0.391$ % สามารถอธิบายในหน่วยของมิลลิโวลต์เท่ากับ V_{LSB} = 195 mV ในกรณีที่ V_{FS} = 5 V และอธิบายเป็นจำนวนบิตที่ใช้แปลงสัญญาณเท่ากับ 8 บิต

2.3.2 การสุ่มสัญญาณ(SAMPLING)

การแปลงสัญญาณอนาล็อกเป็นดิจิตอล สามารถกระทำได้โดยกระบวนการ SAMLPING หรือการแบ่งสัญญาณออกเป็นส่วนๆแอมพลิจูดของสัญญาณจะถูกนำมาแปลงเป็นเลขฐานสอง ในส่วนของแอมพลิจูดของสัญญาณจะมีความแตกต่างกันไปตามลักษณะของสัญญาณอนาล็อกตามตำแหน่งต่างๆ ดังนั้นเราก็จะได้สัญญาณดิจิตอลเรียงติดต่อกันไป เรียกว่าสัญญาณ SEQUENCE



รูปที่ 2.7 การ SAMPLING สัญญาณอนาล็อก

ในการสุ่มสัญญาณต้องคำนึงถึงเรื่องของความถี่ ถ้าหากการสุ่มสัญญาณด้วยความถี่ที่ต่ำเกินไปจะทำให้ไม่สามารถทำการแปลงสัญญาณกลับคืนได้เลย แต่ถ้าความถี่สูงเกนไปจะทำให้เสียพื้นที่ในหน่วยความจำ จากการศึกษาความถี่ที่ใช้ในการการสุ่มสัญญาณที่เหมาะสมที่สุด อย่างน้อยประมาณสองเท่าของความถี่สูงสุดของสัญญาณที่จะทำการแปลงเป็นดิจิตอล เราสามารถเขียนเป็นสมการได้ดังนี้

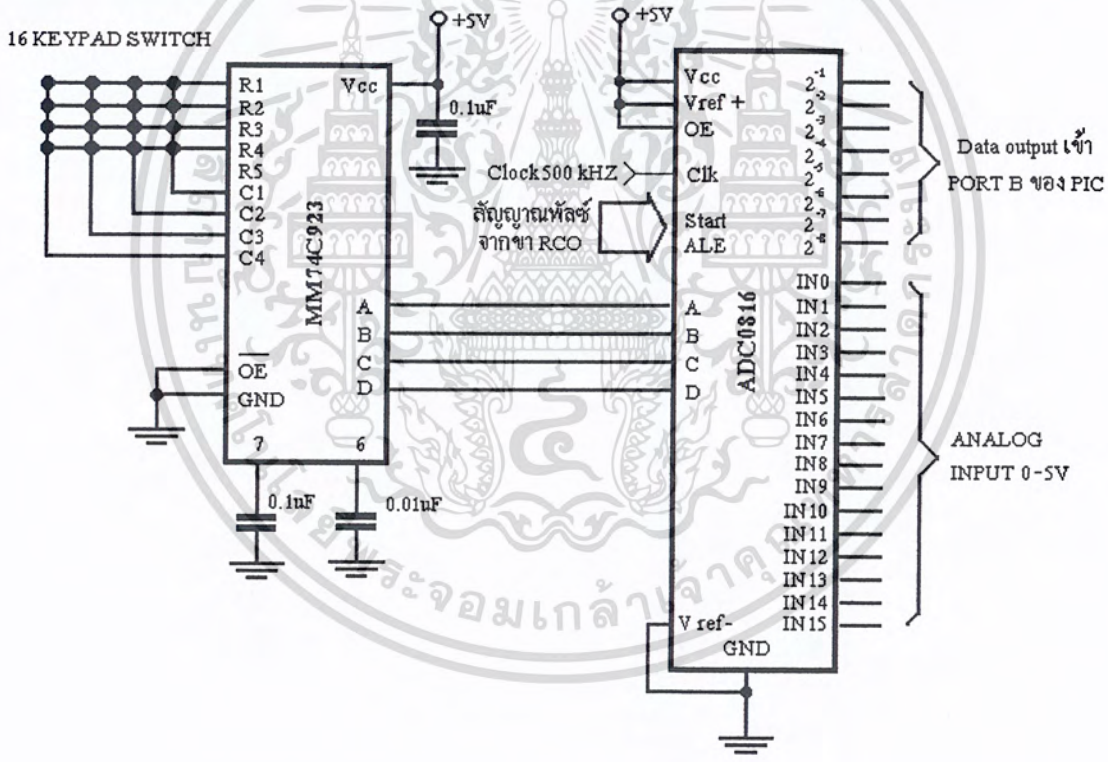
$$F_s = 2F_{in}$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 3
การสร้างและออกแบบโครงงาน

3.1 ภาคแปลงสัญญาณอนาล็อกเป็นดิจิตอล

ในส่วนของภาคนี้มีหัวใจหลักในการทำงานคือไอซีแปลงสัญญาณอนาล็อกเป็นสัญญาณดิจิตอลสำเร็จรูปเบอร์ ADC 0816 ซึ่งช่วยลดขนาดของวงจรลงได้มาก ADC 0816เป็นไอซีที่ทำหน้าที่แปลงสัญญาณอนาล็อกเป็นดิจิตอลขนาด 8 บิต แบบ 16 ช่องสัญญาณมัลติเพล็กต์ รับสัญญาณทางอินพุทได้ครั้งละ 16 ช่องโดยมีขาที่ควบคุมการเข้าของสัญญาณอินพุททั้ง 16 ช่องอยู่ 4 ขาคือขา ADD A, ADD B, ADD C,และADD D โดยมีขา Expansion control สำหรับตัดช่องสัญญาณทั้งหมด



รูปที่ 3.1 แสดงวงจรภาคแปลงสัญญาณอนาล็อกเป็นดิจิตอล

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ในการเลือกช่องสัญญาณอินพุททั้ง 16 ช่องสัญญาณเข้า ADC0816 มีการเลือก ดังนี้

SELECT ANALOG CHANNEL	ADDRESS LINE				EXPANSION CONTROL
	D	C	B	A	
IN0	L	L	L	L	H
IN1	L	L	L	H	H
IN2	L	L	H	L	H
IN3	L	L	H	H	H
IN4	L	H	L	L	H
IN5	L	H	L	H	H
IN6	L	H	H	L	H
IN7	L	H	H	H	H
IN8	H	L	L	L	H
IN9	H	L	L	H	H
IN10	H	L	H	L	H
IN11	H	L	H	H	H
IN12	H	H	L	L	H
IN13	H	H	L	H	H
IN14	H	H	H	L	H
IN15	H	H	H	H	H
ALL CHANNEL OFF	X	X	X	X	L

ตารางที่3.1 แสดงการเลือกช่องสัญญาณอินพุทของ ADC 0816

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ในการเลือกช่องสัญญาณเราจะใช้ IC 74C923 ซึ่งเป็น IC เข้ารหัสคีย์แพดขนาด 5 x 4 จุด ทำหน้าที่ในการเลือกแชนเนลสำหรับ ADC 0816 ซึ่งการเลือกช่องสัญญาณจะทำหลังจากการเลือกช่วง Packet ละ 16 ช่องคือ 0-16,17-32,33-48,และ49-64

โดยในการทดลองเราจะใช้แค่ 16 คีย์ ขา Y5 จึงทำการต่อไว้ที่ระดับ " 0 " ตลอด โดยมีตารางแสดงเอาท์พุทจากการเลือกสวิทซ์คีย์แพด 16 ตัว ดังนี้

SW	DATA OUTPUT			
	D	C	B	A
1	0	0	0	0
2	0	0	0	1
3	0	0	1	0
4	0	0	1	1
5	0	1	0	0
6	0	1	0	1
7	0	1	1	0
8	0	1	1	1
9	1	0	0	0
10	1	0	0	1
11	1	0	1	0
12	1	0	1	1
13	1	1	0	0
14	1	1	0	1
15	1	1	1	0
16	1	1	1	1

ตารางที่ 3.2 แสดงเอาท์พุทของ 74C923

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การเลือก Group จะทำการเลือกผ่าน SELECTOR SWITCH แบบกดโดยทำการต่อเข้ากับ IC SN74LS148N ซึ่งเป็น IC ชนิด 8 DATA LINE TO 3 LINE BINARY (OCTAL) PRIORITY ENCODER แต่ออกแบบให้รับสัญญาณ INPUT แค่ 4 ขาคือ INPUT 7 สำหรับการเลือกช่อง 1-16, INPUT 6 สำหรับการเลือกช่อง 17-32,INPUT 5 สำหรับการเลือกช่อง 33-48,และ INPUT 4 สำหรับการเลือกช่อง 49-64 โดยขา EI จะต่อเข้ากับลอจิก 0 ส่วนขา INPUT อื่นจะต่อเข้ากับลอจิก 1

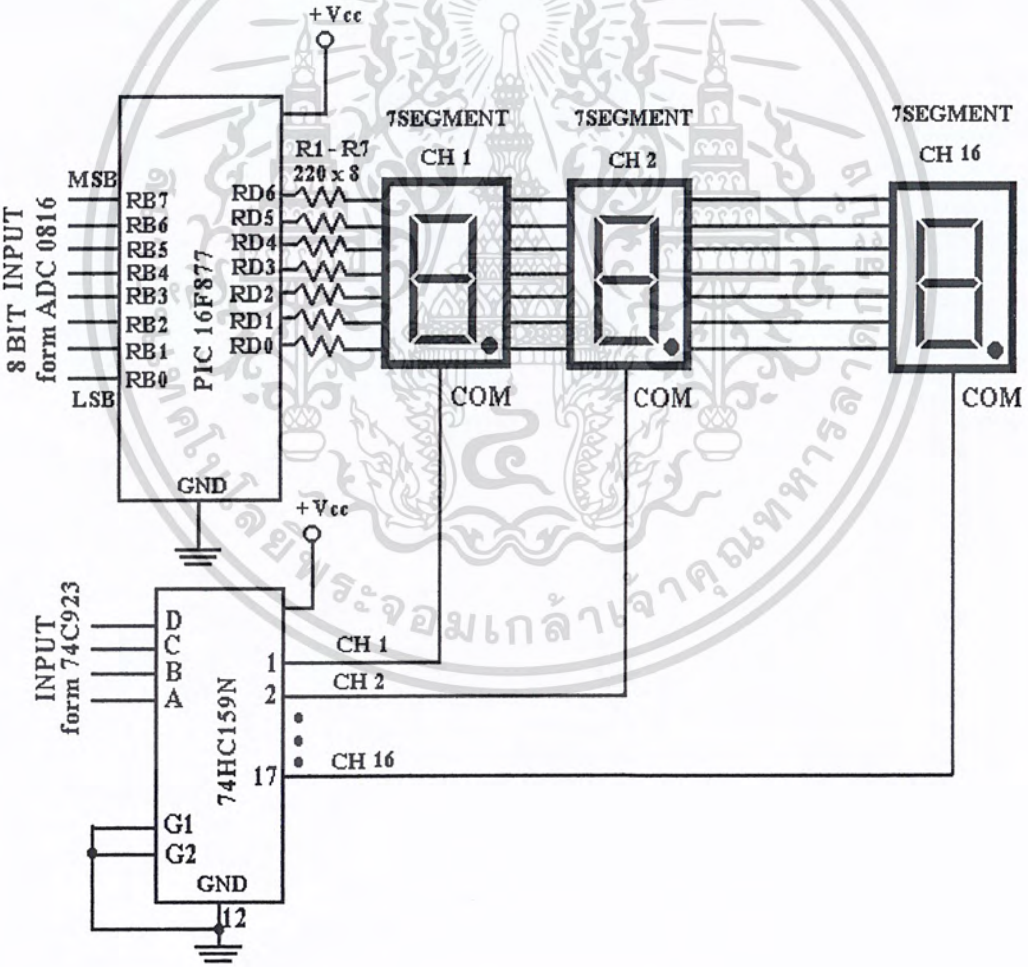
ในส่วนของ OUTPUT จะใช้เฉพาะขา A1 กับขา A0 เท่านั้น (สามารถดูรายละเอียดได้จาก DATA SHEET ในท้ายเล่ม) โดยต่อเข้ากับขา RC5 และ RC4 ตามลำดับ ในการเลือกช่องในแต่ละกลุ่มจะใช้ INPUT จาก IC 74C923 มาเป็นตัวตรวจสอบ โดยต่อเข้ากับขา RC3,RC2,RC1,และ RC0 เรียงตามลำดับจาก MSB ไป LSB โดยมีสวิตช์ต่อที่ขา RA4 เพื่อทำการตรวจสอบว่าต้องการโหลดข้อมูลใหม่เข้าสู่หน่วยความจำในแชนเนลที่ทำการเลือกไว้หรือไม่ถ้าไม่มีการกดสวิทช์นี้ก็เปรียบเสมือนจะทำการตัดสัญญาณอนาล็อกอินพุทจากแผงควบคุมทำให้แผงควบคุมไม่สามารถทำงานได้ ส่วนแสดงผลก็จะแสดงค่าเดิมคงไว้จนกว่าจะมีการกดสวิทช์ใหม่ ที่ทำเช่นนี้เพราะว่าที่อินพุท 1 ช่องนั้นสามารถเลือกการทำงานเป็น 4 กรุ๊ปดังนั้นจึงต้องมีหน่วยความจำเก็บค่าของระดับแรงดันไว้สำหรับการใช้งานมากกว่า 1 ครั้ง ใน 1 ช่องสัญญาณและใช้สวิทช์เพื่อรีเซ็ทค่าเก่าและแสดงค่าใหม่ที่ต้องการปรับ

จากการทำงานของ ADC 0816 จำเป็นต้องป้อนสัญญานพัลซ์ที่มีคาบเวลาประมาณ 200 nS เป็นอย่างน้อยเข้าที่ขา Start และขา ALE ของ ADC 0816 เราจึงใช้ขา RA5 ของ PIC16F877 ในการควบคุมการสร้างสัญญานพัลซ์โดยจะใช้โปรแกรมสร้างสัญญานขึ้นมา หลังจากนั้นจึงทำการหน่วงเวลาอย่างน้อย 116 μS เพื่อรอการแปลงสัญญานของ ADC 0816 เสร็จสิ้น จากนั้นข้อมูลที่ได้จากการแปลงจะถูกส่งเข้าสู่ PIC16F877 ที่ PORT B แล้วเอาข้อมูลที่ได้เข้าไปเก็บในรีจิสเตอร์ที่กำหนดไว้สำหรับใช้ส่งออกและทำการแสดงผลต่อไป

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.2 ภาคแสดงผล

จาก IC 74C923 เราจะใช้ OUTPUT 4 บิท ที่ได้จาก IC ตัวนี้ไปทำการควบคุมการติดของ 7SEGMENT แต่ละCHANNEL ซึ่งต่อแบบขนานกัน 16 ตัว โดยค่า OUTPUT 4 บิตที่ได้จาก IC ตัวนี้จะเป็นค่า INPUT ให้กับ 74HC154N ที่ทำหน้าที่แปลงค่าสัญญาณ BINARY 4 บิตกลับมาเป็นเลขฐานสิบ (ตารางการทำงานสามารถดูได้จาก DATA SHEET) จากนั้น OUTPUT ที่ได้จาก IC ตัวนี้ (LOGIC 0) จะทำการต่อเข้ากับขา COMMON ของ SEVEN SEGMENT แบบคาโถดร่วมทั้ง 16 ตัว การกดเลือกสวิตช์จาก 16 ตัวในแต่ละครั้งซึ่งลักษณะการต่อเป็นแบบ KEYPAD จาก IC 74C923 จากนั้น IC 74HC154N จะทำหน้าที่แปลงค่าสัญญาณ BINARY 4 บิตกลับมาเป็นเลขฐานสิบเพื่อไปเป็นตัวกระตุ้นให้ 7SEGMENT แสดงผลของช่องสัญญาณที่เราเลือก ช่องสัญญาณที่ไม่มีการเลือก 7 SEGMENT ก็จะไม่ติดเพราะต่อไม่ครบวงจร



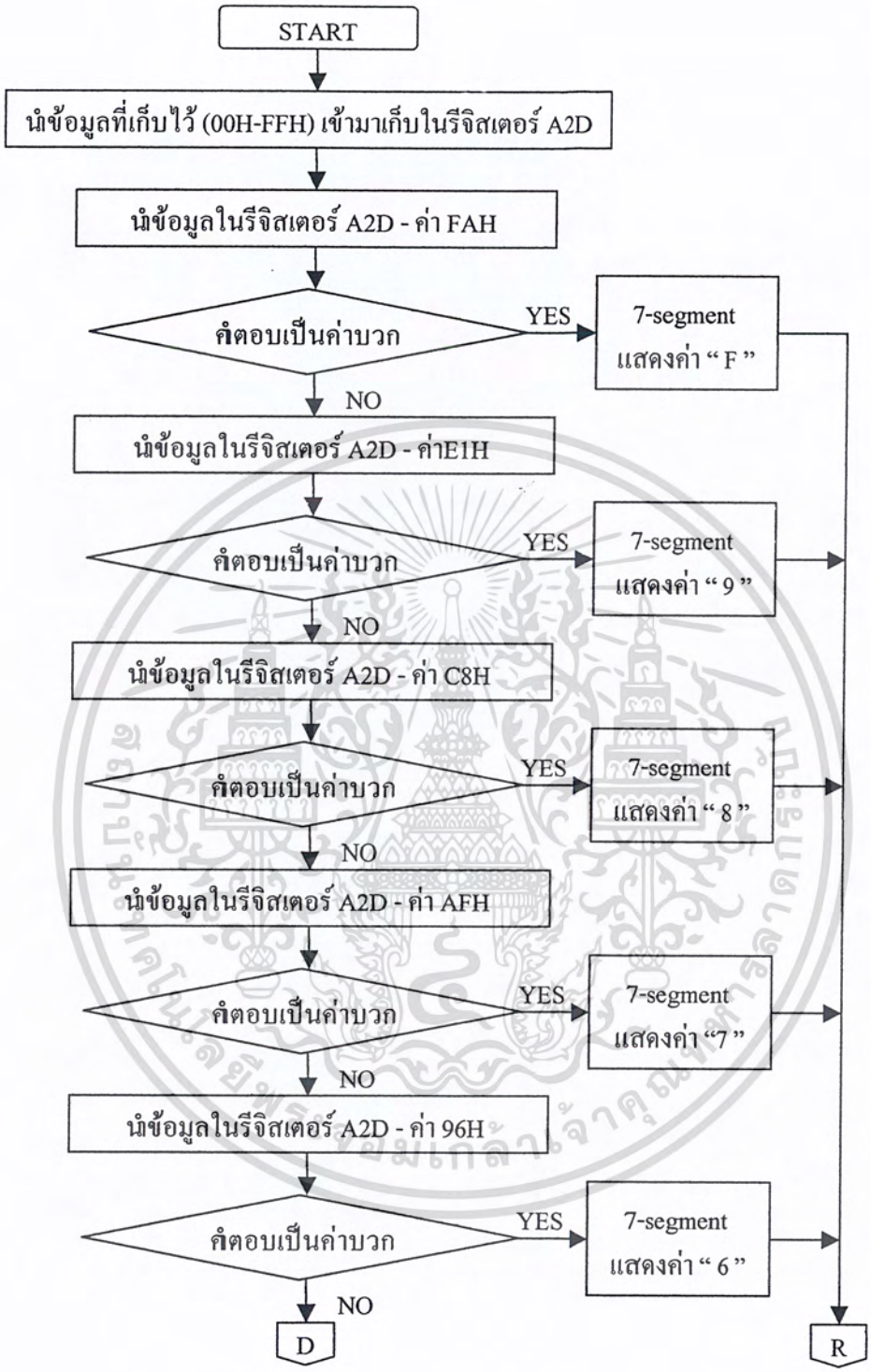
รูปที่ 3.2 แสดงวงจรภาคแสดงผล

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การแสดงผลเราใช้ PIC 16F877 เป็นตัวควบคุมให้ PORT Bเป็นอินพุทขนาด 8 บิทที่รับจากเอาท์พุทที่ได้จาก ADC 0816 และใช้ PORT D เป็นเอาท์พุทที่ใช้ขับ 7 SEGMENTทั้ง 16 ตัว โดยใช้หลักการประมาณค่าระดับมีการแสดงผลออกมาทั้งหมด 10 ระดับ คือ 0 , 1 , 2 , 3 , 4 , 5 , 6 , 7 , 8 , 9 และ F โดยเมื่อเลือกช่องที่ต้องการเสร็จสิ้นแล้วจะใช้โปรแกรมทำการตรวจค่าในรีจิสเตอร์ว่าอยู่ในระดับใดดังนี้

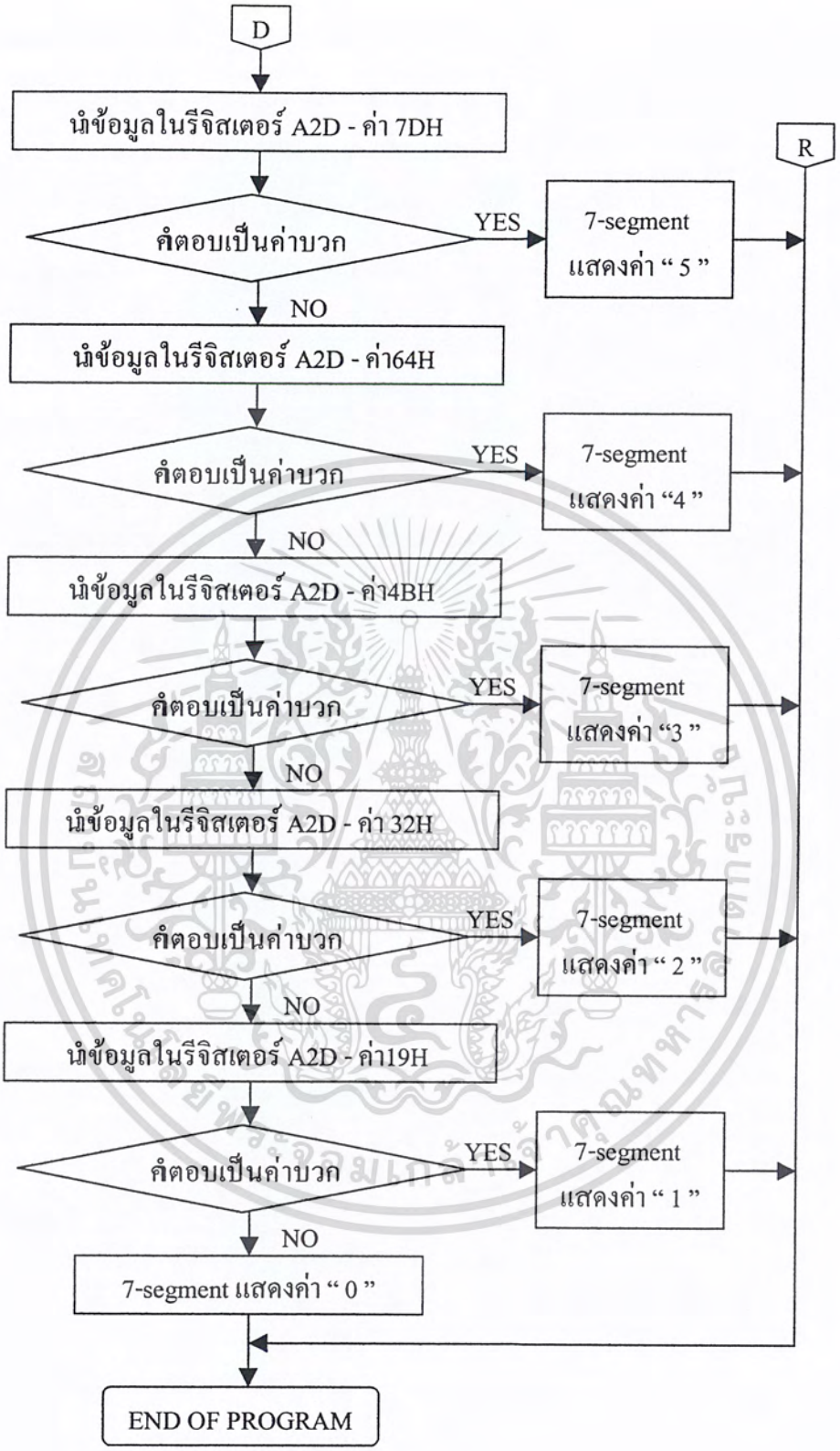
1. มากกว่า FA ให้เป็น "F" (PORTB = 01000111)
2. น้อยกว่า FA แต่มากกว่า E1 ให้เป็น "9" (PORTB = 01101111)
3. น้อยกว่า E1 แต่มากกว่า C8 ให้เป็น "8" (PORTB = 01111111)
4. น้อยกว่า C8 แต่มากกว่า AF ให้เป็น "7" (PORTB = 00000111)
5. น้อยกว่า AF แต่มากกว่า 96 ให้เป็น "6" (PORTB = 01111101)
6. น้อยกว่า 96 แต่มากกว่า 7D ให้เป็น "5" (PORTB = 01101111)
7. น้อยกว่า 7D แต่มากกว่า 64 ให้เป็น "4" (PORTB = 01100110)
8. น้อยกว่า 64 แต่มากกว่า 4B ให้เป็น "3" (PORTB = 01001111)
9. น้อยกว่า 4B แต่มากกว่า 32 ให้เป็น "2" (PORTB = 01111011)
10. น้อยกว่า 32 แต่มากกว่า 19 ให้เป็น "1" (PORTB = 00000110)
11. น้อยกว่า 19 ให้เป็น "0" (PORTB = 00111111)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.3 FLOWCHART ส่วนแสดงผล

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.3 FLOWCHART ส่วนแสดงผล(ต่อ)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.3 ภาคส่งสัญญาณ UART

การออกแบบในส่วนของการส่งสัญญาณมาตรฐาน DMX-512 นั้นเราจะใช้ความสามารถในการส่งสัญญาณมาตรฐาน UART ที่มีอยู่ใน PIC16F877 โดยมีบิตที่สำคัญในการออกแบบคือ

1. TXSTA (TRANSMIT STATUS AND CONTROL REGISTER (ADDRESS 98h)

CSRC	TX9	TXEN	SYNC	-	BRGH	TRMT	TX9D

1.1 บิตที่ 7 :**CSRC** (Clock Source Select Bit)

เนื่องจากเป็นการทำงานในโหมด Asynchronous จึงไม่ต้องสนใจ

1.2 บิตที่ 6 :**TX9** (9 bit Transmit Enable bit)

ทำการเซตบิตนี้เพื่อเลือกการส่งข้อมูลเป็น 9 บิต โดยบิตที่ 9 ใช้เป็นบิตหยุดตัวที่1ของสัญญาณ STOP BIT

1.3 บิตที่ 5 :**TXEN** (Transmit Enable bit)

จะทำการเซตเมื่อเริ่มต้นการส่งข้อมูลแบบอนุกรม

1.4 บิตที่ 4 :**SYNC** (USART Mode Select bit)

ทำการเคลียร์บิตนี้เพราะต้องการส่งสัญญาณแบบ UART

1.5 บิตที่ 3 : ไม่มีการใช้งาน อ่านค่าได้เท่ากับ 0

1.6 บิตที่ 2 :**BRGH** (High Baud Rate Select bit)

ทำการเซตบิตนี้เพราะต้องการส่งสัญญาณแบบความเร็วสูง

1.7 บิตที่ 1:**TRMT** (Transmit Shift Register Status bit)

เป็นบิตที่ใช้ทำการตรวจสอบสถานะของรีจิสเตอร์ TSR ว่าการส่งข้อมูลเสร็จสิ้นหรือไม่ ถ้ายังมีข้อมูลอยู่ในรีจิสเตอร์ TSR บิตนี้จะเซต แต่ถ้าว่างรีจิสเตอร์ TSR บิตนี้จะเคลียร์

1.8 บิตที่ 0:**TX9D** (9th bit of transmit data)

ทำการเซตบิตนี้เพื่อเลือกการส่งข้อมูลบิตที่ 9 เป็น "1"

2. RCSTA (RECEIVE STATUS AND CONTROL REGISTER (ADDRESS 18h)

SPEN	RX9	SREN	CREN	ADDEN	FERR	OERR	RX9D

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บิตที่ 7 :**SPEN**(Serial Port Enable bit) ทำการเซตที่บิตนี้เมื่อต้องการฟังก์ชัน UART โดยขา RC6 จะเป็นขาส่งสัญญาณ UART ออกมา

3.3.1 การคำนวณอัตราการส่ง(BAUD RATE)

เมื่อต้องการส่งสัญญาณ UART ในลักษณะความเร็วสูง สามารถหาค่าอัตราการส่งได้ดังนี้

$$\text{BAUD RATE} = f_{osc} /(16(x+1))$$

โดยค่า x จะเป็นค่าคงที่ในการสร้างอัตราการส่งโดยจะโหลดเข้ามาเก็บที่รีจิสเตอร์ SPBRG ซึ่งมีแอสเดรสที่ 99H

ในมาตรฐาน-v'สัญญาณ DMX-512จะทำการส่งข้อมูลด้วยอัตรา 250 Kb/S หมายถึงใน 1 วินาทีสามารถส่งข้อมูลสูงสุดได้ถึง 250 kb เราสามารถคำนวณหาค่า x ได้ดังนี้

$$250 \text{ kb} = 20 \text{ MHz} / 16 (x+1)$$

$$x = 4 \quad (\text{ค่าในเลขฐาน } 10)$$

$$= 04H$$

นั่นคือที่ x = 4 เราจะสามารถสร้าง BAUD RATEที่ 250 kb /S โดยไม่เกิดความผิดพลาด จากนั้นทำการโหลดค่า 04H เข้าสู่รีจิสเตอร์ SPBRG

3.3.2 ขั้นตอนการส่งสัญญาณ

1. สร้างอัตราการส่งตามที่ได้กล่าวไว้ข้างต้น

2. ทำการเซตบิต BRGH ของรีจิสเตอร์ TXSTA

3. ทำการเคลียร์บิต SYNC ของรีจิสเตอร์ TXSTA และทำการเซตบิต SPEN ของรีจิสเตอร์ RCSTA ตอนนี้ PORT RC6 จะทำหน้าที่เป็น PORT ส่งข้อมูล

4. ทำการเซตบิต TX9 และ TX9D ของรีจิสเตอร์ TXSTA

5. เริ่มต้นการส่งด้วยการเซตบิต TXEN ซึ่งจะเป็นการเซตบิต TXIF ในรีจิสเตอร์ PIR1 บิต TXIF นี้จะแสดงสถานะของรีจิสเตอร์ TXREG ซึ่งเป็นรีจิสเตอร์ที่สำหรับไว้พักข้อมูลก่อนจะส่งเข้าชิพรีจิสเตอร์ TSR ถ้าบิต TXIF เป็น 1 แสดงว่ารีจิสเตอร์ TXREG นั้นว่างสามารถส่งข้อมูลเข้าไปได้

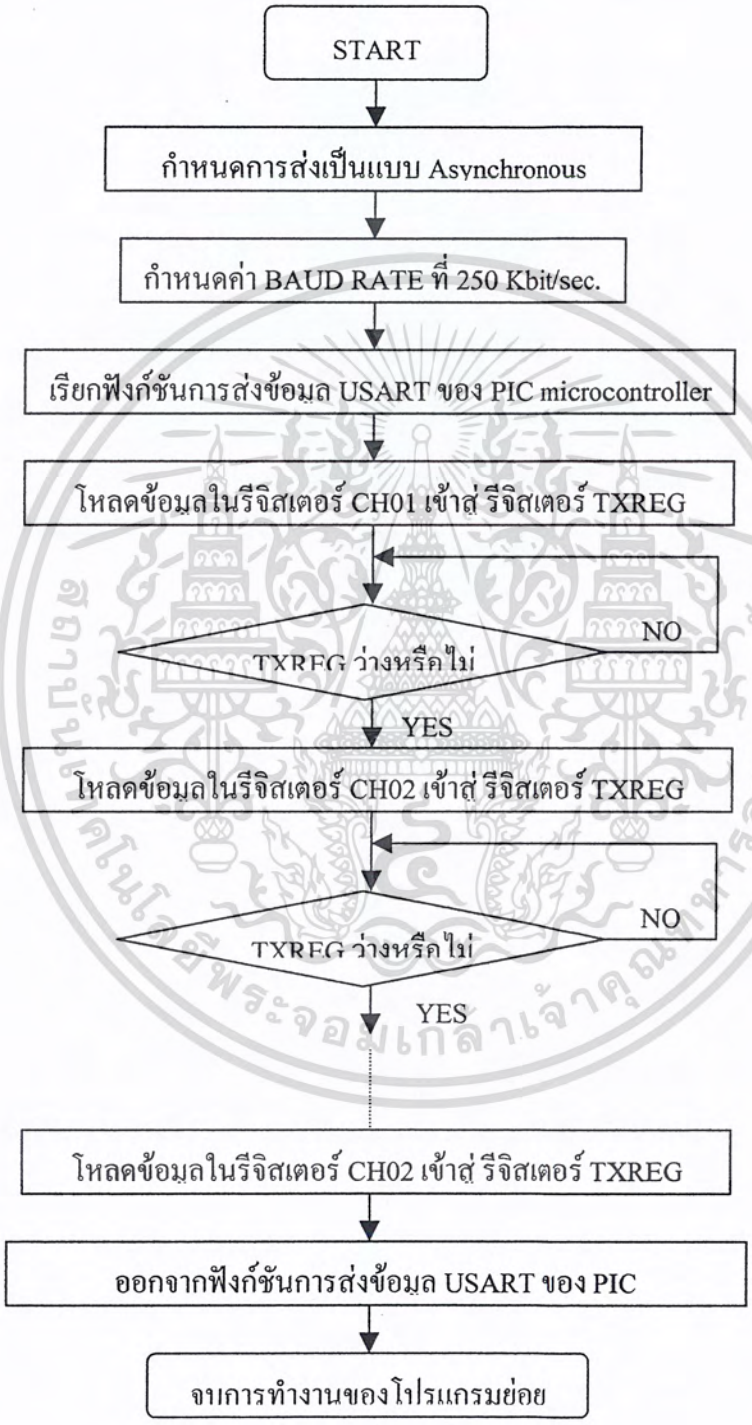
6. เริ่มทำการส่ง START CODE ซึ่งมีข้อมูลเป็น 00H เข้ารีจิสเตอร์ TXREG ซึ่งรีจิสเตอร์ตัวนี้จะทำการส่งข้อมูลต่อไปยังชิพรีจิสเตอร์ TSR เพื่อทำการส่งข้อมูลออกขา RC0 ต่อไป

7. จากนั้นเริ่มทำการส่งข้อมูลในช่องสัญญาณแรกเข้าสู่รีจิสเตอร์ TXREG แล้วทำการตรวจสอบสถานะของบิต TXIF ถ้าเป็น 1 ให้โหลดข้อมูลช่องสัญญาณต่อไปเข้าสู่รีจิสเตอร์ TXREG

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

8. หลังจากส่งสัญญาณช่องสุดท้ายไปแล้วให้ทำการตรวจสอบสถานะของบิต TRMT ภายในรีจิสเตอร์ TXSTA ถ้าเป็น 1 แสดงว่าการส่งสัญญาณของช่องสุดท้ายเสร็จสิ้นแล้ว

9. ทำการเซตบิต SYNC ของรีจิสเตอร์ TXSTA และทำการเคลียร์บิต SPEN ของรีจิสเตอร์ RCSTA



รูปที่ 3.4 โฟลวชาร์ทแสดงการส่งข้อมูลแบบอนุกรม

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 4

การทดลองและผลการทดลอง

4.1 การทดลองเรื่อง การส่งสัญญาณ UART โดยใช้ไมโครคอนโทรลเลอร์

จุดประสงค์

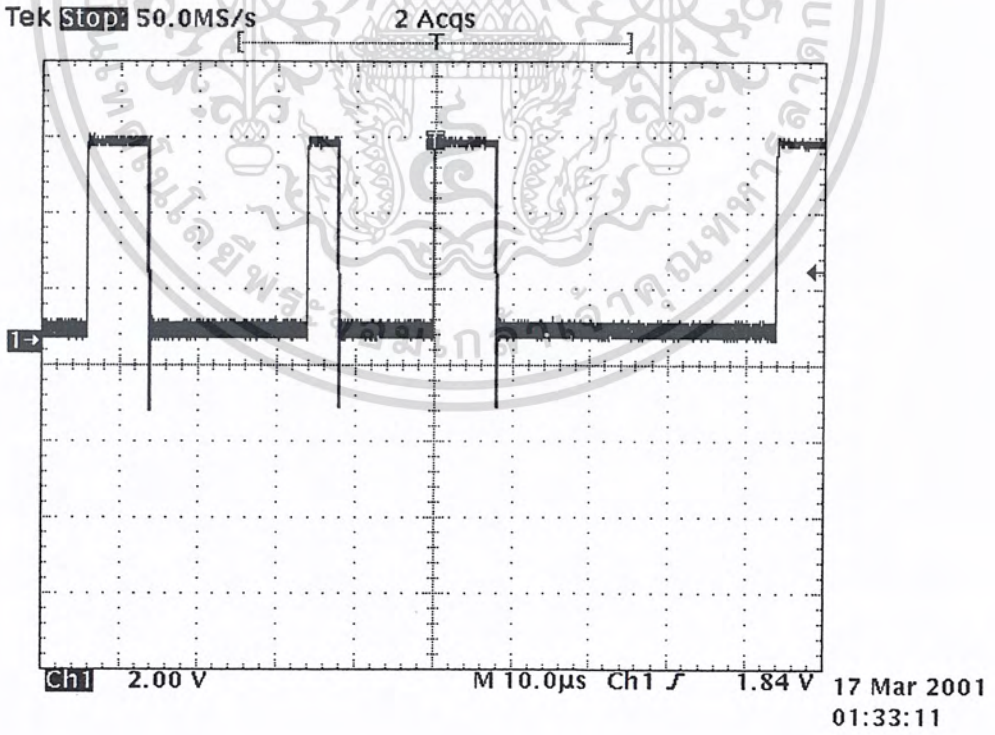
เพื่อทดสอบการเขียนโปรแกรมการส่ง UART โดยใช้ไมโครคอนโทรลเลอร์ PIC 16F877

ขั้นตอนการทดลอง

1. เขียนโปรแกรมการส่ง UART แล้วโหลดค่าคงที่ 0001 0000 และ 0000 0000
2. ทำการส่งสัญญาณ UART แล้ววัดรูปสัญญาณด้วย OSCILLOSCOPE

ผลการทดลอง

1. รูปสัญญาณที่ได้มีความกว้างของพัลซ์เท่ากับ 4 µS
2. สัญญาณที่ได้มีลักษณะคือ เริ่มจาก บิต START 1 บิต (4 µS) ตามด้วยบิตข้อมูลทั้ง 8 บิต แต่จะเรียงจาก LSB ไป MSB เป็น 0000 1000 และปิดท้ายด้วยบิต STOP 2 บิต (8 µS) รวมทั้งสิ้น 11บิต และใช้เวลาทั้งหมด 44 µS ส่วนที่ CH 2 ก็มีลักษณะการเรียงเหมือน CH 1แต่ข้อมูลจะเป็น 0000 0000



รูปที่ 4.1 แสดงสัญญาณการส่ง UART โดยใช้ PIC 16F877

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สรุปผลการทดลอง

จากการทดลองในส่วนของการส่งสัญญาณ UART โดยใช้ PIC 16F877 สัญญาณที่ทำการวัดได้จาก OSCILLOSCOPE นั้นมีรูปแบบเป็นไปตามทฤษฎี และจากสัญญาณ 1 บิตมีคาบเวลาเท่ากับ 4 μS เพราะฉะนั้นจะมีความถี่หรืออัตราการส่งเท่ากับ 1 / 4 μS = 250 กิโลบิตต่อวินาที

4.2 การทดลองเรื่อง การใช้ PIC 16F877 แสดงผล 7 SEGMENT

จุดประสงค์

ทดสอบโปรมแกรมแสดงผลที่ใช้ในวงจร

ขั้นตอนการทดลอง

1. ทำการต่อภาค OUTPUT ของ ADC0816 เข้ากับ PORT C ของ PIC16F877 ที่ได้มีการโปรแกรมการทำงานในส่วนของการแสดงผล โดยการทดลองในส่วนนี้ได้กำหนดให้ PORT B เป็นส่วน OUTPUT เพื่อไปทำการขับ SEVEN SEGMENT

2. เริ่มทำการปรับแรงดันที่จ่ายให้กับ ADC0816 จากค่าน้อยสุด (0 โวลท์)ไปยังค่าที่มากที่สุด (5 โวลท์) แล้วสังเกตผลที่ SEVEN SEGMENT ว่ามีการเปลี่ยนแปลงเช่นไร

ผลการทดลอง

จากการเพิ่มแรงดันให้กับ ADC0816 จากที่ระดับ 0 โวลท์จนถึงระดับ 5 โวลท์พบว่าเป็นไปตามทฤษฎีที่ได้ออกแบบไว้คือ SEVEN SEGMENT แสดงค่าจาก 0,1,2,3,4,5,6,7,8,9 จนถึง F เมื่อได้เพิ่มแรงดันจนสูงสุด

สรุปผลการทดลอง

โปรแกรมของการแสดงผลมีการทำงานเป็นไปตามที่ได้ทำการเขียนไว้

4.3 การทดลองเรื่อง IC 20 KEY ENCODER MM74C923

จุดประสงค์

เพื่อทดสอบการใช้งานของ IC 20 KEY ENCODER MM74C923 ในการเข้ารหัสจากสัญญาณเลขฐานสิบ คือค่าจากการกดสวิทซ์เลือกช่องสัญญาณทั้ง 16 ตัวเป็นสัญญาณ BCD ขนาด 4 บิตเพื่อใช้ในการควบคุมการเลือกช่องสัญญาณอินพุทของ IC ADC 0816

ขั้นตอนการทดลอง

1. ทดลองต่อวงจรโดยใช้ IC 20 KEY ENCODER MM74C923 และต่อวงจรสวิทซ์แบบเมตริกซ์ 4 X 4 และใช้ LED แสดงผลค่า BCD

2. ทดลองกดสวิทซ์ทั้ง 16 ตัว และบันทึกค่าเอาท์พุท

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ผลการทดลอง

ตารางแสดงค่าเอาท์พุทที่ได้จากวงจร

สวิทช์	ข้อมูลเอาท์พุท			
	D	**C**	**B**	**A**
1	0	0	0	0
2	0	0	0	1
3	0	0	1	0
4	0	0	1	1
5	0	1	0	0
6	0	1	0	1
7	0	1	1	0
8	0	1	1	1
9	1	0	0	0
10	1	0	0	1
11	1	0	1	0
12	1	0	1	1
13	1	1	0	0
14	1	1	0	1
15	1	1	1	0
16	1	1	1	1

ตารางที่ 4.1 ผลการทดลองเอาท์พุทจาก MM74C923

สรุปผลการทดลอง

ในการทดลองใช้ IC 20 KEY ENCODER MM74C923 ในการเข้ารหัสจากสัญญาณเลขฐานสิบ เป็นสัญญาณ BCD ขนาด 4 บิต ได้ผลการทดลองดังตารางสามารถนำไปใช้ในโครงงานเพื่อเข้ารหัสเป็นสัญญาณ BCD ขนาด 4 บิต ควบคุมการเลือกอินพุท ADC 0816

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4.4 การทดลองเรื่อง การใช้ PIC 16F877 ควบคุมการทำงานของ ADC 0816

จุดประสงค์

เพื่อศึกษาการทำงานของ PIC 16F877 ในการควบคุมการทำงานของ ADC 0816

ขั้นตอนการทดลอง

1. ทดลองต่อวงจรโดยใช้ IC ADC 0816 สัญญาณนาฬิกาความถี่ 500 kHz ต่อเอาท์พุท 8 บิทของ ADC กับ PIC 16F877
2. ป้อนสัญญาณอนาล็อกอินพุทที่ช่องสัญญาณแล้วทำการป้อนเลข BCD เพื่อเลือกสัญญาณอินพุท
3. ทำการบันทึกค่าที่ได้ว่าเป็นไปตามที่กำหนดไว้หรือไม่

ผลการทดลอง

หลังจากต่อวงจรที่ได้ออกแบบและเริ่มทำการปรับแรงดันให้กับ ADC 0816 แล้วพบว่าการปรับแรงดันให้กับ ADC 0816 จะทำให้ PORT B แสดงผลตามเอาท์พุท8 บิทของ ADC 0816

4.5 การทดลองเรื่อง การส่งสัญญาณตามมาตรฐาน DMX-512

จุดประสงค์

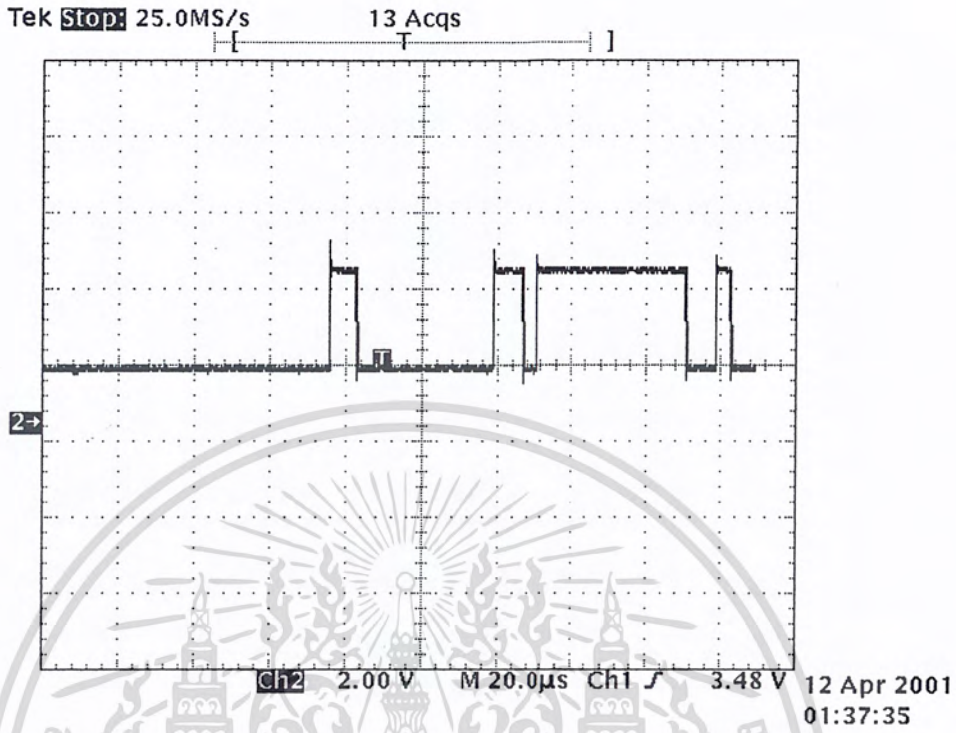
เพื่อศึกษาการใช้ไมโครคอนโทรลเลอร์ PIC 16F877 ในการควบคุมและสร้างสัญญาณตามมาตรฐาน DMX-512

ขั้นตอนการทดลอง

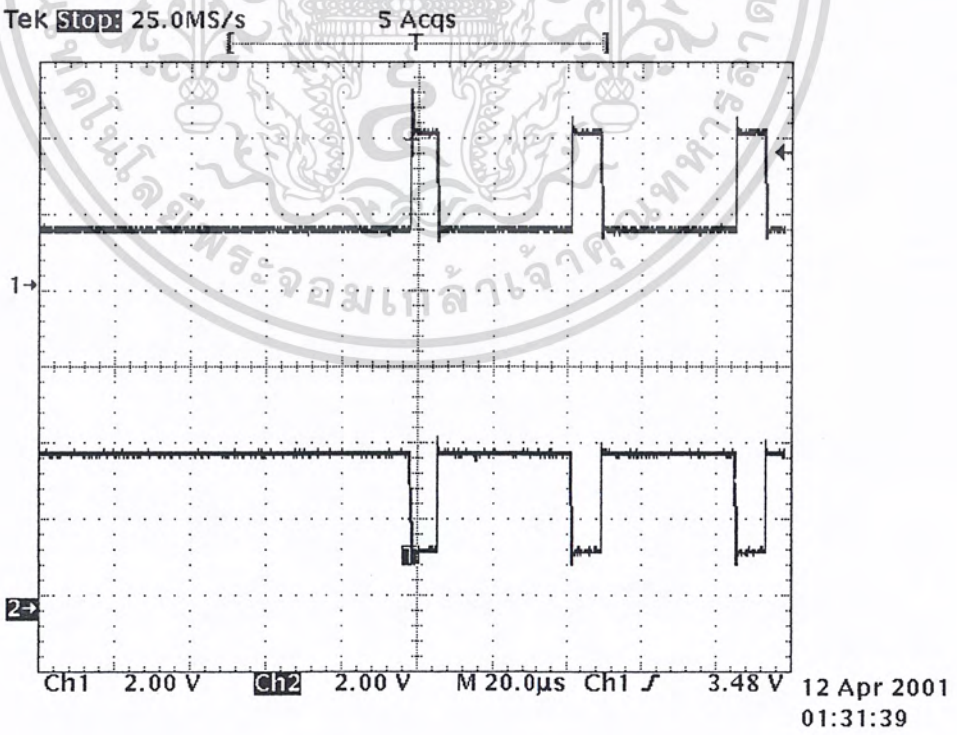
1. ทดลองต่อวงจรทั้งหมดทุกภาค
2. ทดลองส่งสัญญาณ DMX-512
3. ใช้ OSCILLOSCOPE วัดสัญญาณ DMX-512 ที่เอาท์พุทจากขา C6 ของ PIC16F877 และทำการบันทึกรูปสัญญาณ
4. ใช้ OSCILLOSCOPE วัดสัญญาณ DMX-512 ที่เอาท์พุทจาก IC 75176 และทำการปรับสไลด์ไปที่ตำแหน่งต่ำที่สุดให้ที่ DISPLAY แสดงค่า "0 " ทำการบันทึกรูปสัญญาณ
5. ใช้ OSCILLOSCOPE วัดสัญญาณ DMX-512 ที่เอาท์พุทจาก IC 75176 และทำการปรับสไลด์ไปที่ตำแหน่งตรงกลางให้ที่ DISPLAY แสดงค่า "5 " ทำการบันทึกรูปสัญญาณ
6. ใช้ OSCILLOSCOPE วัดสัญญาณ DMX-512 ที่เอาท์พุทจาก IC 75176 และทำการปรับสไลด์ไปที่ตำแหน่งสูงที่สุดให้ที่ DISPLAY แสดงค่า "F" ทำการบันทึกรูปสัญญาณ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ผลการทดลอง

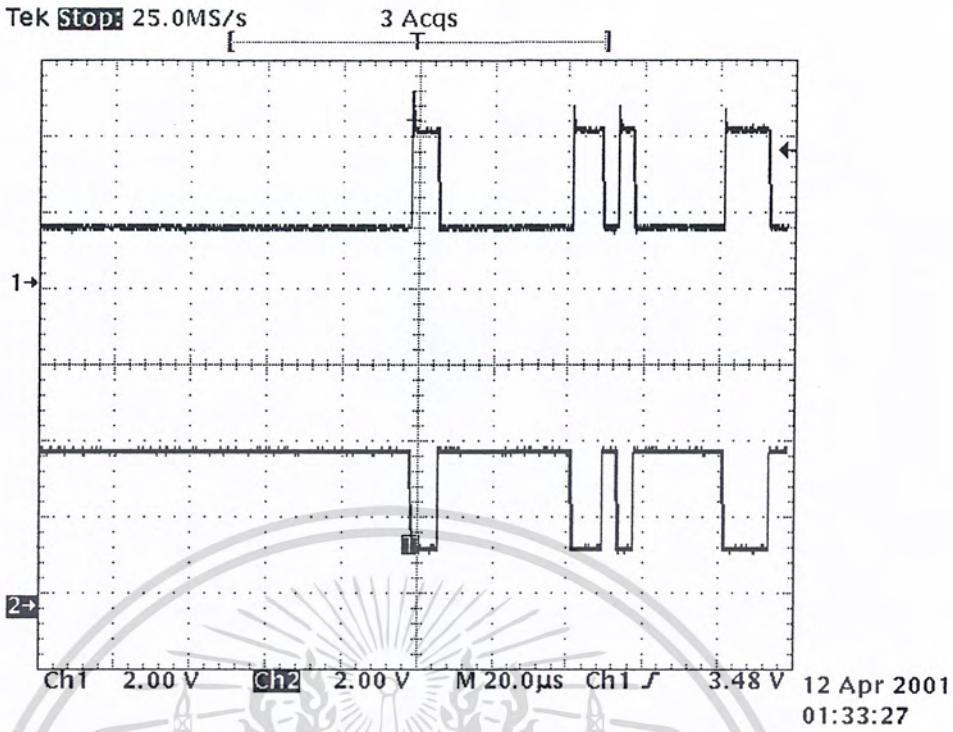


รูปที่ 4.2 แสดงเอาท์พุทจากขา C6 ของ PIC16F877

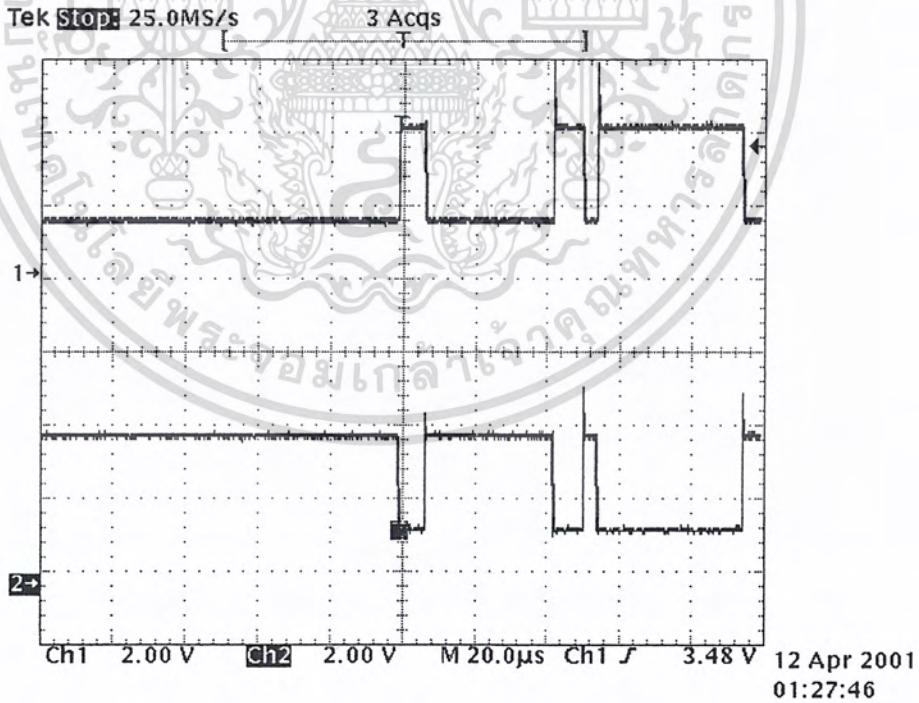


รูปที่ 4.2 แสดงเอาท์พุทจาก IC 75176 ที่ CH 1 ปรับที่ค่า " 0 "

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.3 แสดงเอาท์พุทจาก IC 75176 ที่ CH 1 ปรับที่ค่า " 5 "



รูปที่ 4.4 แสดงเอาท์พุทจาก IC 75176 ที่ CH 1 ปรับที่ค่า " F "

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สรุปผลการทดลอง

จากการทดลองส่งสัญญาณ DMX -512 และตรวจจับดูลักษณะของสัญญาณที่ได้มีลักษณะเป็นไปตามมาตรฐานที่กำหนดไว้และมีลักษณะที่ใกล้เคียงกับเครื่องที่ซื้อมาจากต่างประเทศเมื่อทดลองส่งสัญญาณและใช้เครื่องรับที่ใช้มาตรฐานเดียวกันปรากฏว่าสามารถรับส่งข้อมูลกันได้ตรงตามทฤษฎี

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 5
สรุปและวิจารณ์

ในโครงงานนี้ได้มีการใช้ไมโครคอนโทรลเลอร์ PIC 16F877 มาสร้างเครื่องส่งสัญญาณตามมาตรฐาน DMX-512 เพื่อใช้ในการควบคุมดิมเมอร์ โดยใช้ไอซี ADC 0816 ซึ่งเป็นไอซีที่ใช้ในการแปลงสัญญาณอนาล็อกเป็นดิจิตอลขนาด 8 บิต 16 ช่องสัญญาณ โดยใช้ไอซี MM74C923 ร่วมกับสวิทซ์แบบคีย์แพดควบคุมการเลือกช่องสัญญาณอินพุททั้ง 16 เห็นได้ว่าเราสามารถส่งสัญญาณได้ตามมาตรฐานของ DMX-512 ได้รูปสัญญาณใกล้เคียงกับเครื่องส่งที่สั่งซื้อจากต่างประเทศที่มีราคาสูงกว่าหลายเท่า และเมื่อทดสอบกับเครื่องรับในระบบ DMX-512 เหมือนกันปรากฏว่าตัวโครงงานสามารถส่งสัญญาณแล้วเครื่องรับปลายทางสามารถที่จะรับค่าที่ส่งไปได้ตามทฤษฎี

5.1 ปัญหาที่พบในโครงงาน

จากการทำโครงงานนี้มีปัญหาและอุปสรรคที่เกิดขึ้นในการทำงานพอที่จะสรุปได้ดังนี้

1. ความละเอียดของการแสดงผลน้อยเกินไปเพราะใช้ 7 SEGMENT เพียง 1 หลักเท่านั้น ไม่เพียงพอกับการใช้งานที่ต้องการการแสดงผลที่ละเอียด

2. สำหรับไมโครคอนโทรลเลอร์ PIC16F877 ยังเป็นไมโครคอนโทรลเลอร์ที่ยังใหม่สำหรับประเทศไทยในขณะนี้ มีหนังสือให้ศึกษาน้อยมาก

3. พื้นที่ในการวางอุปกรณ์ในกล่องค่อนข้างจำกัดทำให้ลำบากเวลาวางอุปกรณ์ต่างๆและการเดินสายภายใน

4. เนื่องจากในการส่งสัญญาณตามมาตรฐาน DMX-512 มีความเร็วในการส่งข้อมูลสูง ประกอบกับมีจำนวนช่องสัญญาณในการส่งมากทำให้เวลาใช้ OSCILLOSCOPE ตรวจจับสัญญาณค่อนข้างลำบาก

5.2 แนวทางการพัฒนาและปรับปรุง

ผู้จัดทำโครงงานมีข้อเสนอแนะที่จะใช้ในการพัฒนาโครงงานดังนี้

1. เปลี่ยนภาคแสดงผลมาใช้จอ LCD เพื่อลดขนาดและเพิ่มความละเอียดในการแสดงผลให้มากยิ่งขึ้น

2. มีหน่วยความจำที่สามารถเก็บค่าของการปรับได้แม้จะทำการปิดเครื่องแล้วสำหรับเก็บค่าที่เราทำการปรับไว้เพื่อที่จะนำมาใช้ได้เมื่อเราต้องการ เช่นแสงสำหรับเวที เป็นต้น

3. เพิ่มโปรแกรมที่สะดวกต่อการใช้ต่างๆ เช่น โปรแกรมควบคุมการติดกระพริบของไฟแบบต่างๆ ให้มีความเหมาะสมกับการใช้งานในแต่ละประเภท

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4. ปรับเปลี่ยนสไลด์ที่ใช้ควบคุมการปรับระดับของไฟเป็นแบบการกดสวิทช์เพิ่มและลดค่าของการปรับแทน

5. เพิ่มจำนวนช่องในการควบคุมให้มากกว่านี้ (ได้มากที่สุด 512 ช่อง)เพื่อสามารถควบคุมอุปกรณ์ได้มากขึ้น

6. เพิ่มการควบคุมทำงานในลักษณะการเปิดและปิด โดยผ่านการกดสวิทช์เพียงครั้งเดียว ไม่ต้องเสียเวลาในการเลื่อนสไลด์ขึ้นและลงทำให้สะดวกในการใช้งานที่ต้องการการเปิดและปิดอุปกรณ์ไฟฟ้า

7. เพิ่มระบบโปรแกรมการตั้งเปิดและปิดอุปกรณ์ปลายทางอัตโนมัติเพื่อเป็นการขยายขอบเขตและประสิทธิภาพในการทำงานให้มากขึ้น

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บรรณานุกรม

[1] George Kennedy, Bernard Davis, " Electronics Communication System," Macmilan/McGraw - Hill, 1992

[2] กฤษฎา ใจเย็น, ชัยวัฒน์ ลิ้มพรจิตวิไล, "เรียนรู้และปฏิบัติการไมโครคอนโทรลเลอร์ PIC 16F84, พิมพ์ครั้งที่ 2, บริษัทอินโนเวทีฟ เอ็กเพอริเมนท์ จำกัด

[3] วาทิต เบญจพลกุล, " การสื่อสารข้อมูล" , สำนักพิมพ์โซเฟีย

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

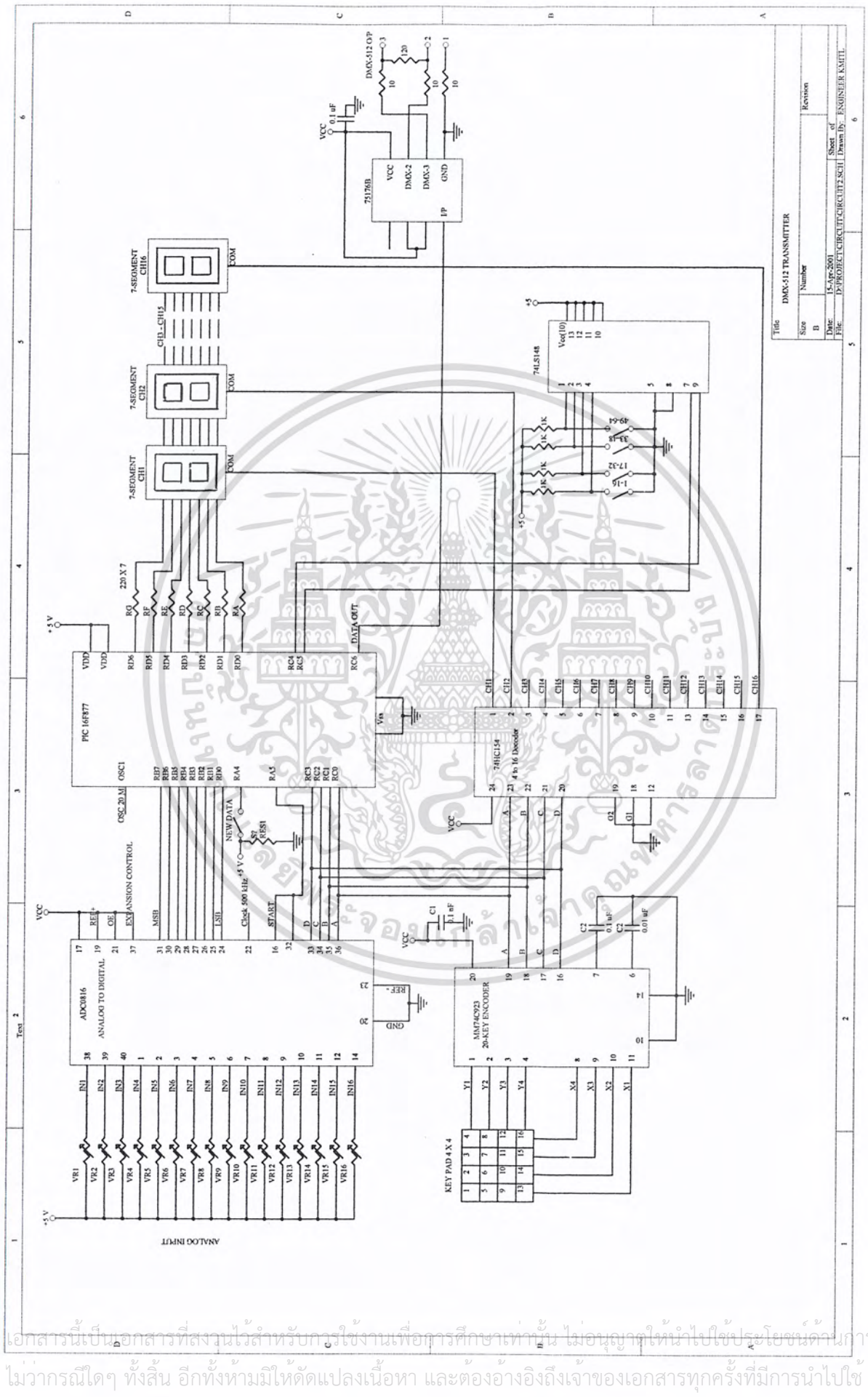
ภาคผนวก

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ภาคผนวก ก.

รายละเอียดของวงจร

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

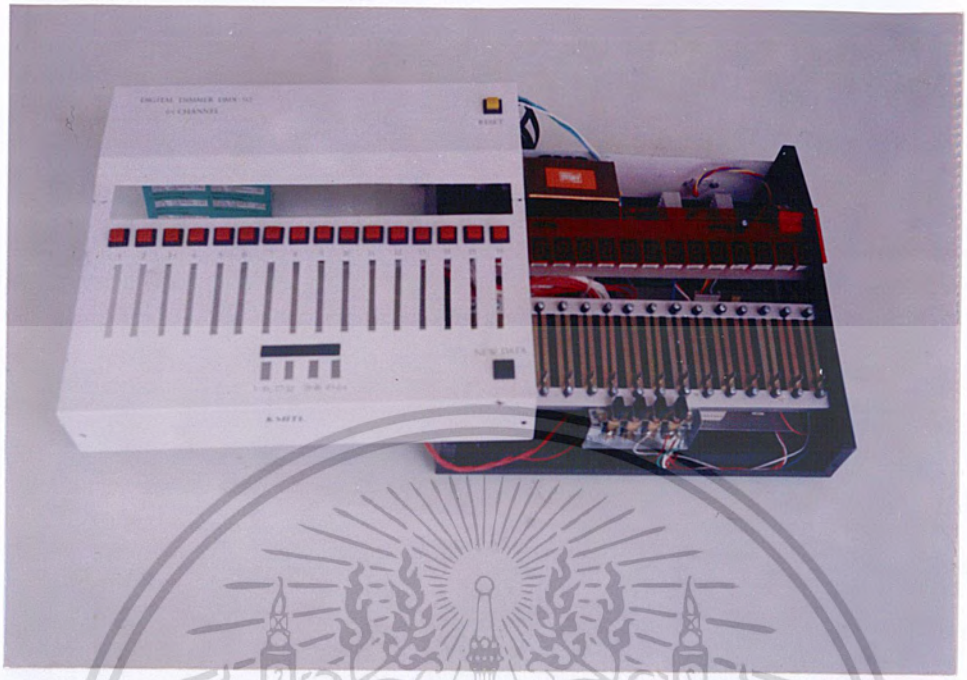
ภาคผนวก ข.

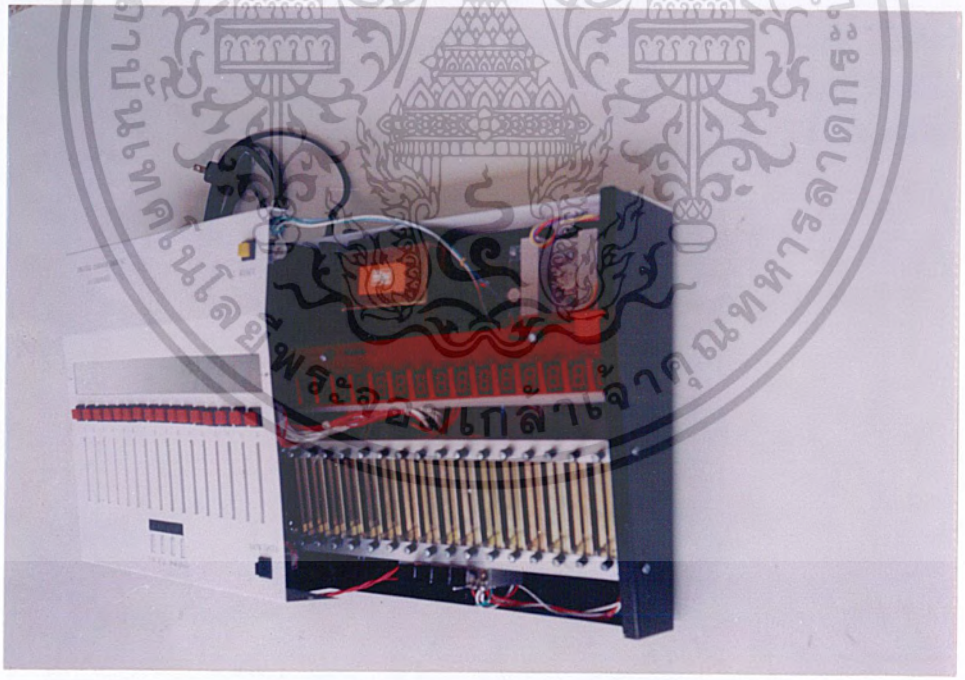
รูปถ่ายของโครงงาน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รูปถ่ายแสดงโครงสร้างของ DIGITAL DIMMER

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



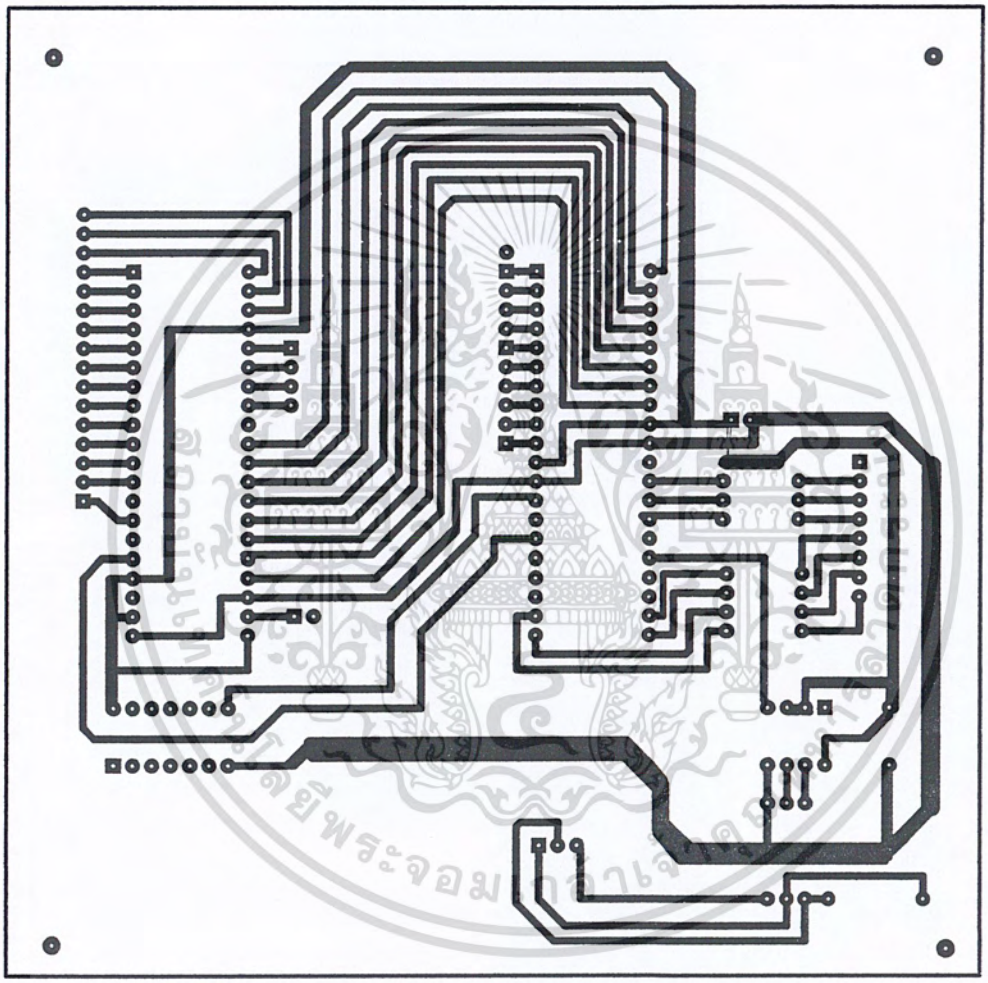


รูปถ่ายแสดงการวางอุปกรณ์ภายในของ DIGITAL DIMMER

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

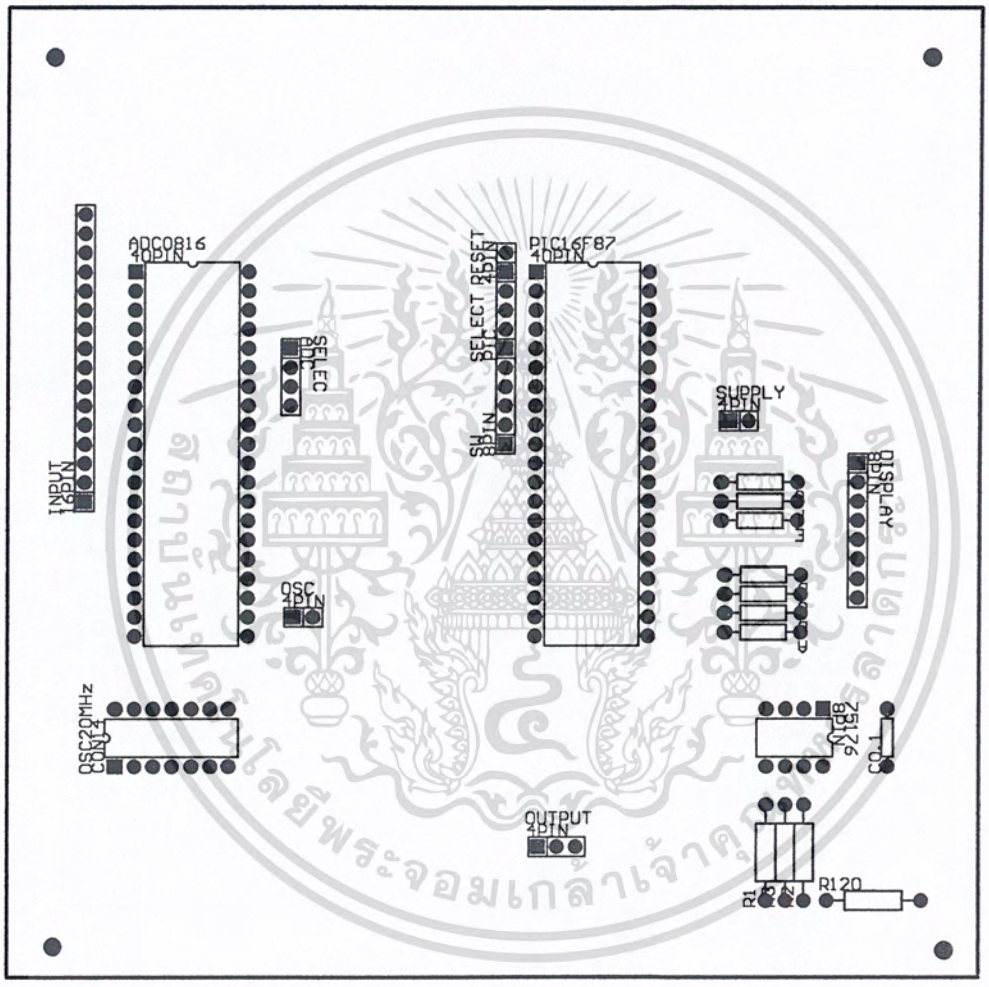
ภาคผนวก ค.
แผ่นปรินต์และการวางอุปกรณ์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



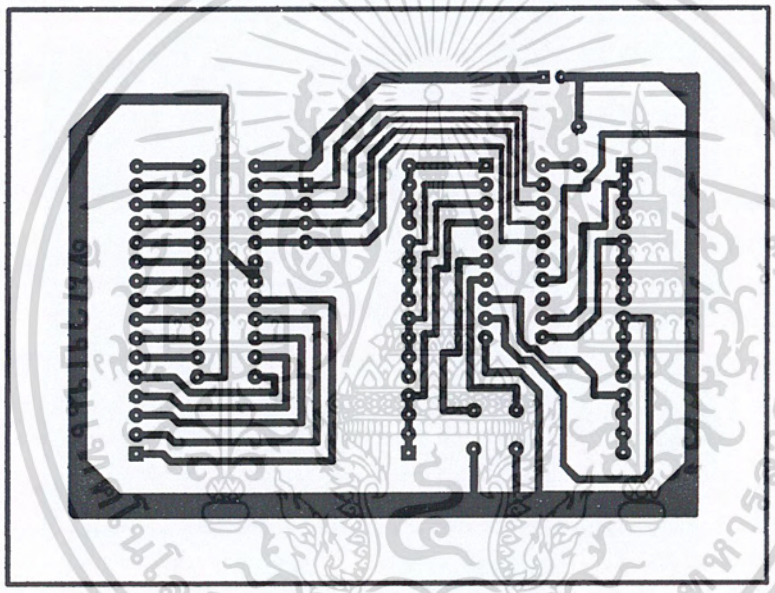
ลายทองแดงภาคควบคุมและADC

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



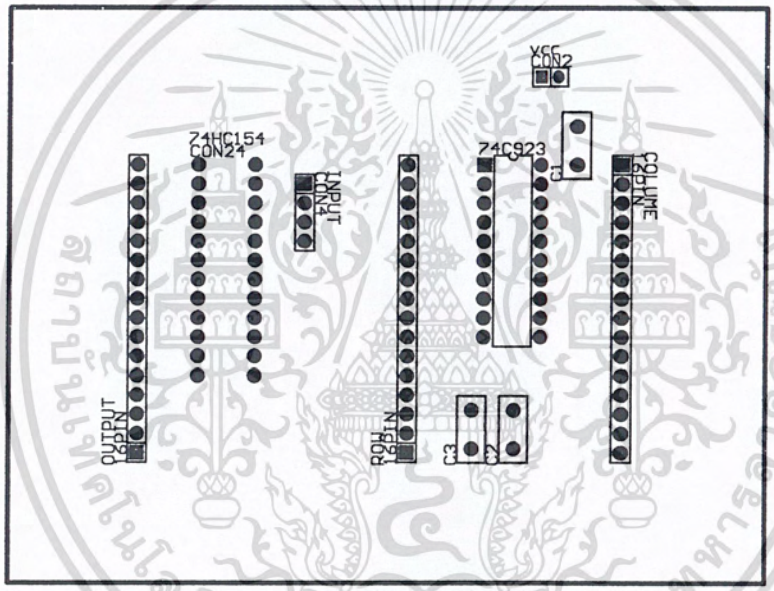
การวางอุปกรณ์ภาคประมวลผลและADC

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



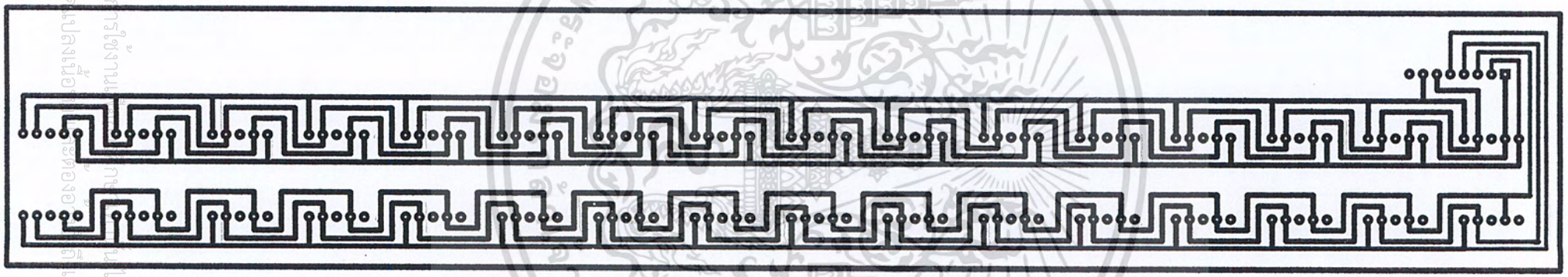
ลายทองแดงภาคเลือกช่องสัญญาณ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

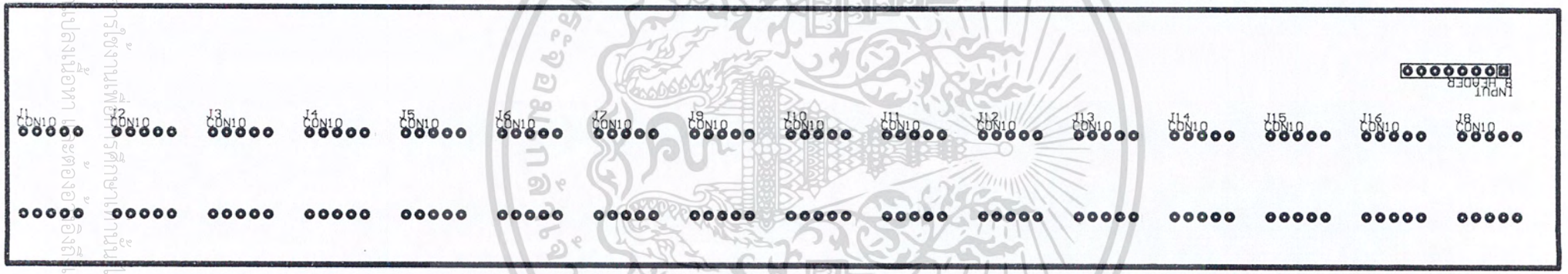


การวางอุปกรณ์ภาคเลือกช่องสัญญาณ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



ลายทองแดงแสดงภาคแสดงผล



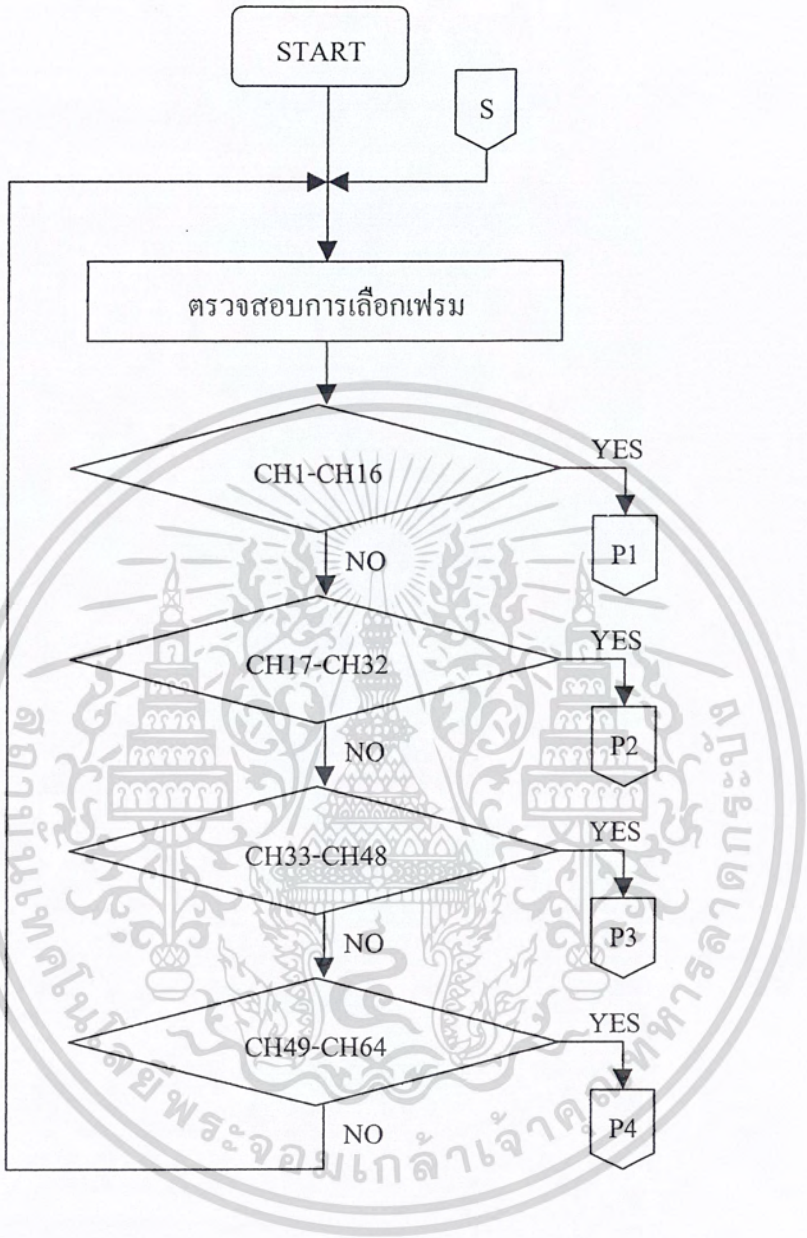
การวางอุปกรณ์ภาคแสดงผล

ลิขสิทธิ์ของมหาวิทยาลัยเทคโนโลยีพระจอมเกล้าพระนครเหนือ ห้ามมิให้ทำซ้ำ ดัดแปลง หรือนำไปใช้ในการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น โดยไม่ได้รับอนุญาตเป็นลายลักษณ์อักษรจากมหาวิทยาลัย

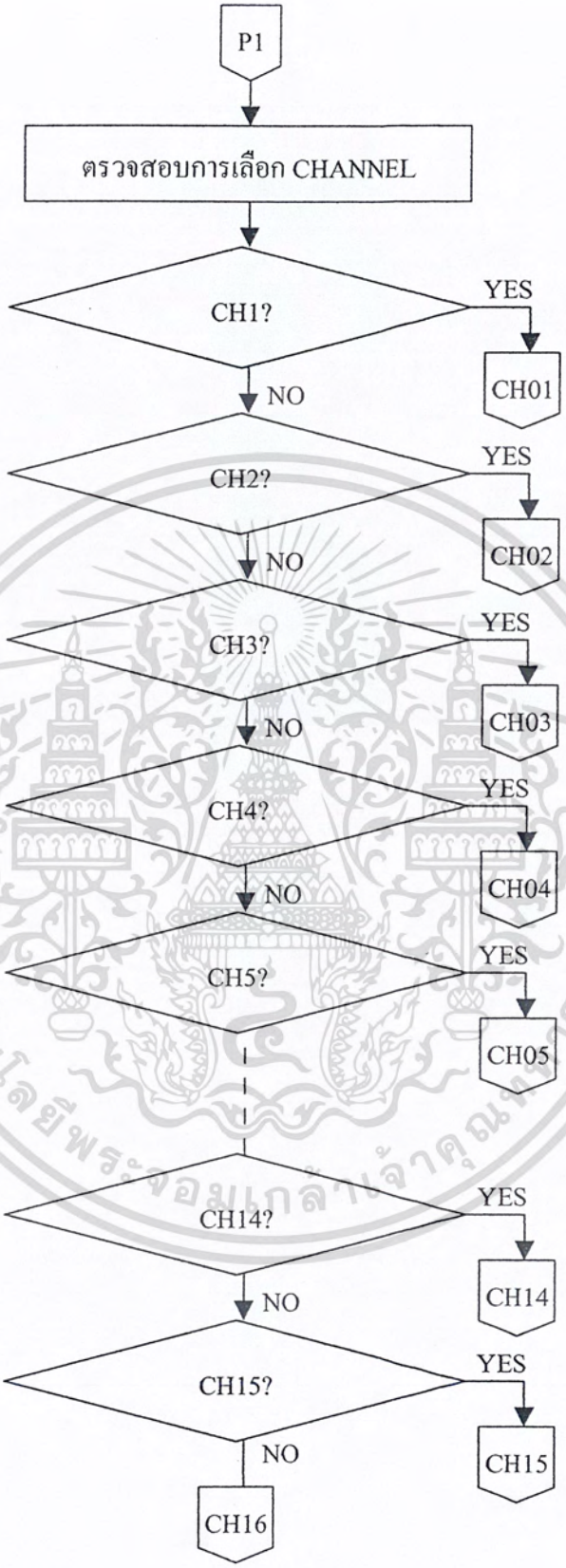
ภาคผนวก ง.
โฟลวชาร์ทแสดงการทำงาน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

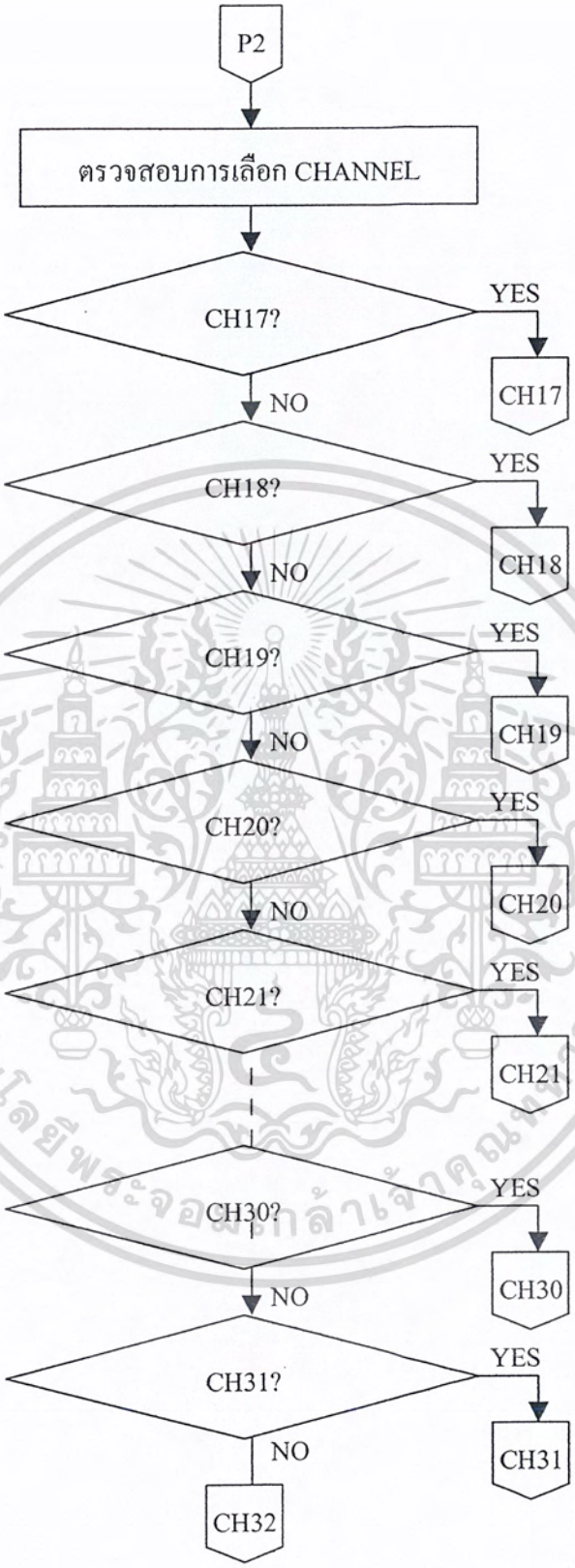
FLOWCHART แสดงการทำงานของวงจร



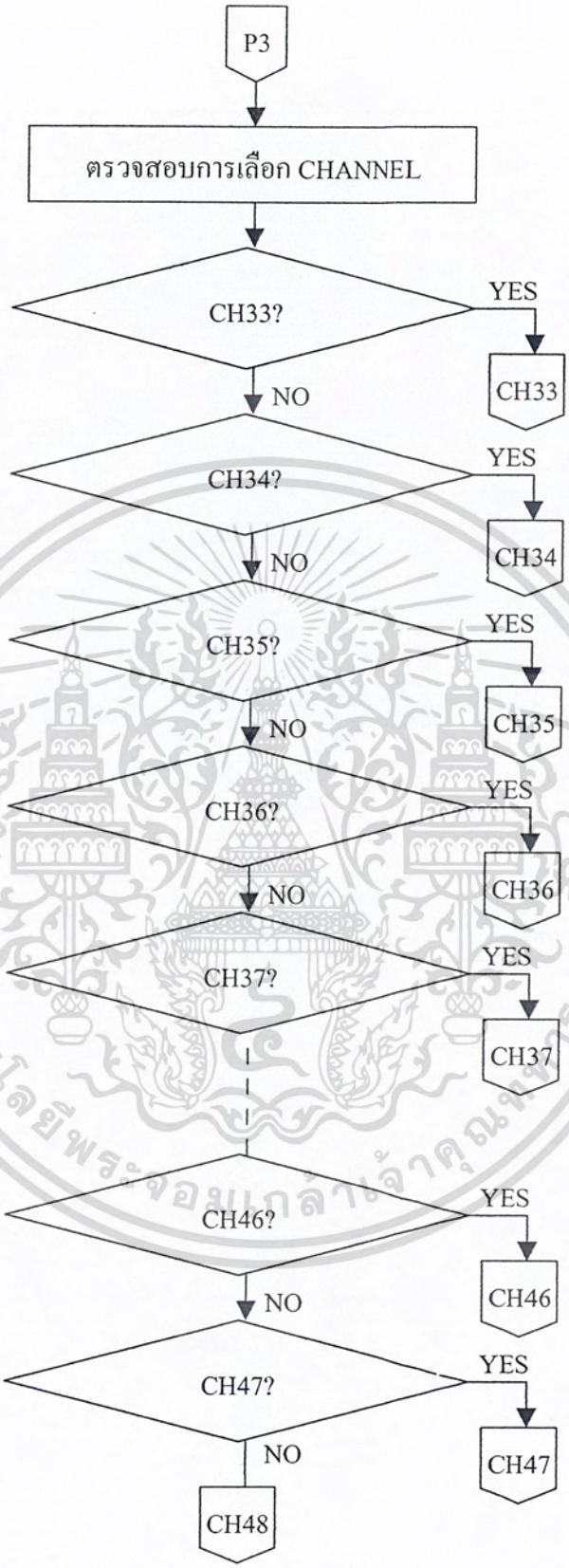
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



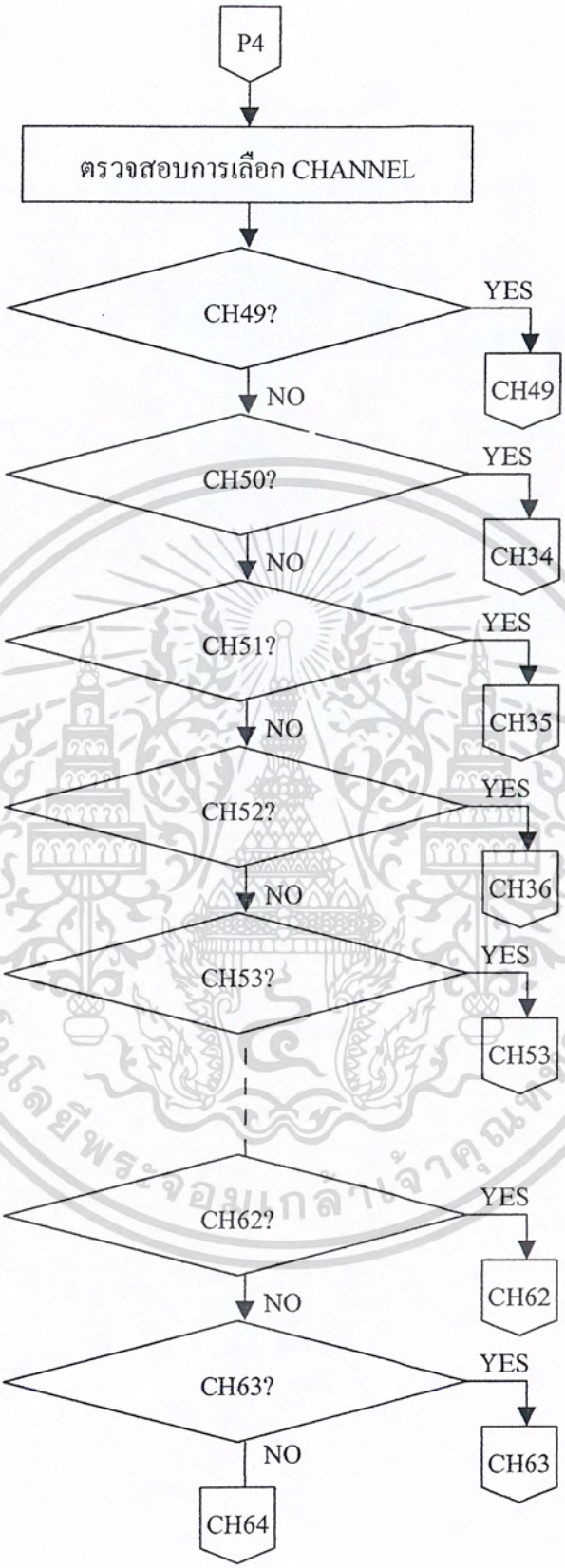
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



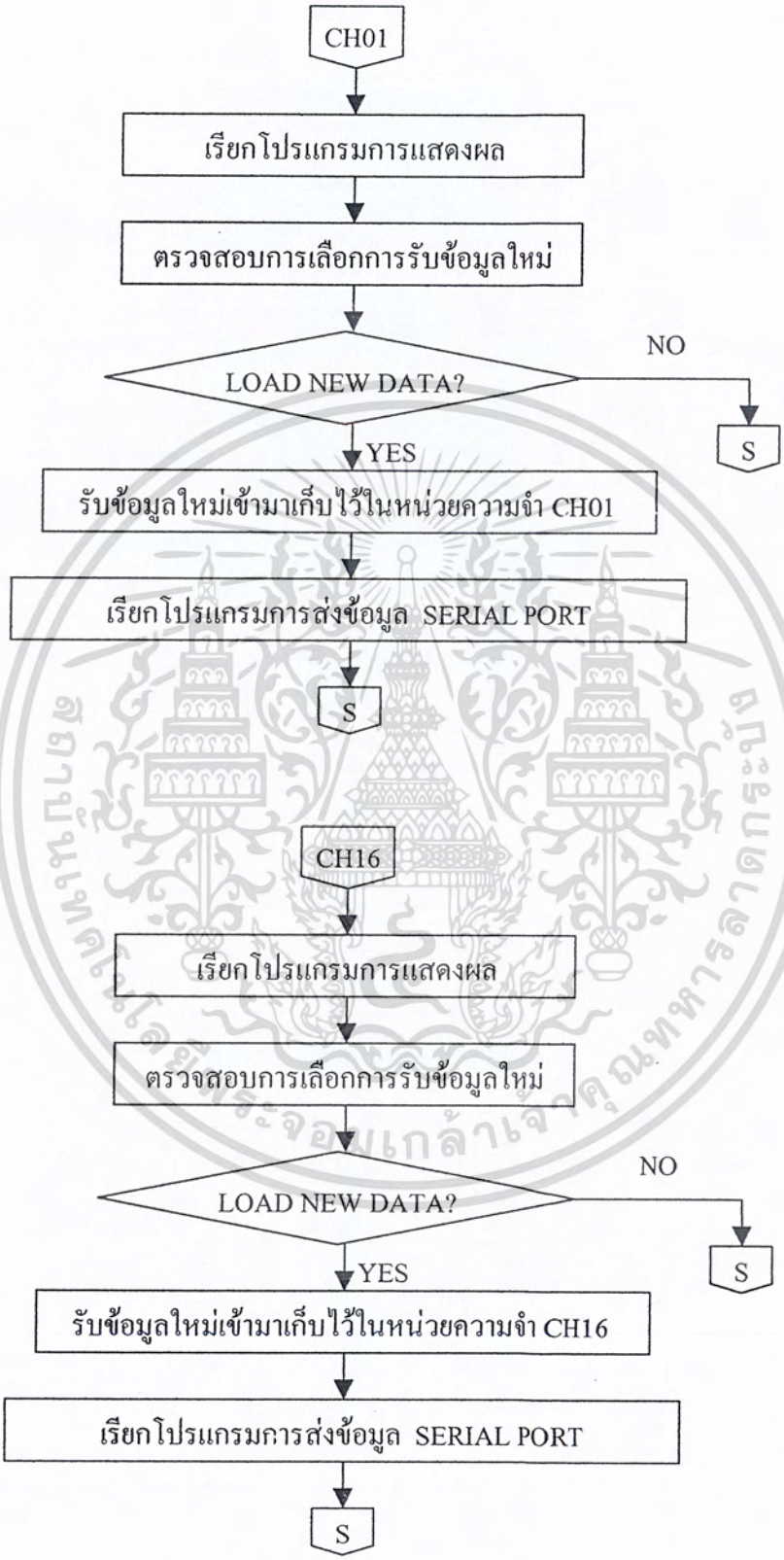
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



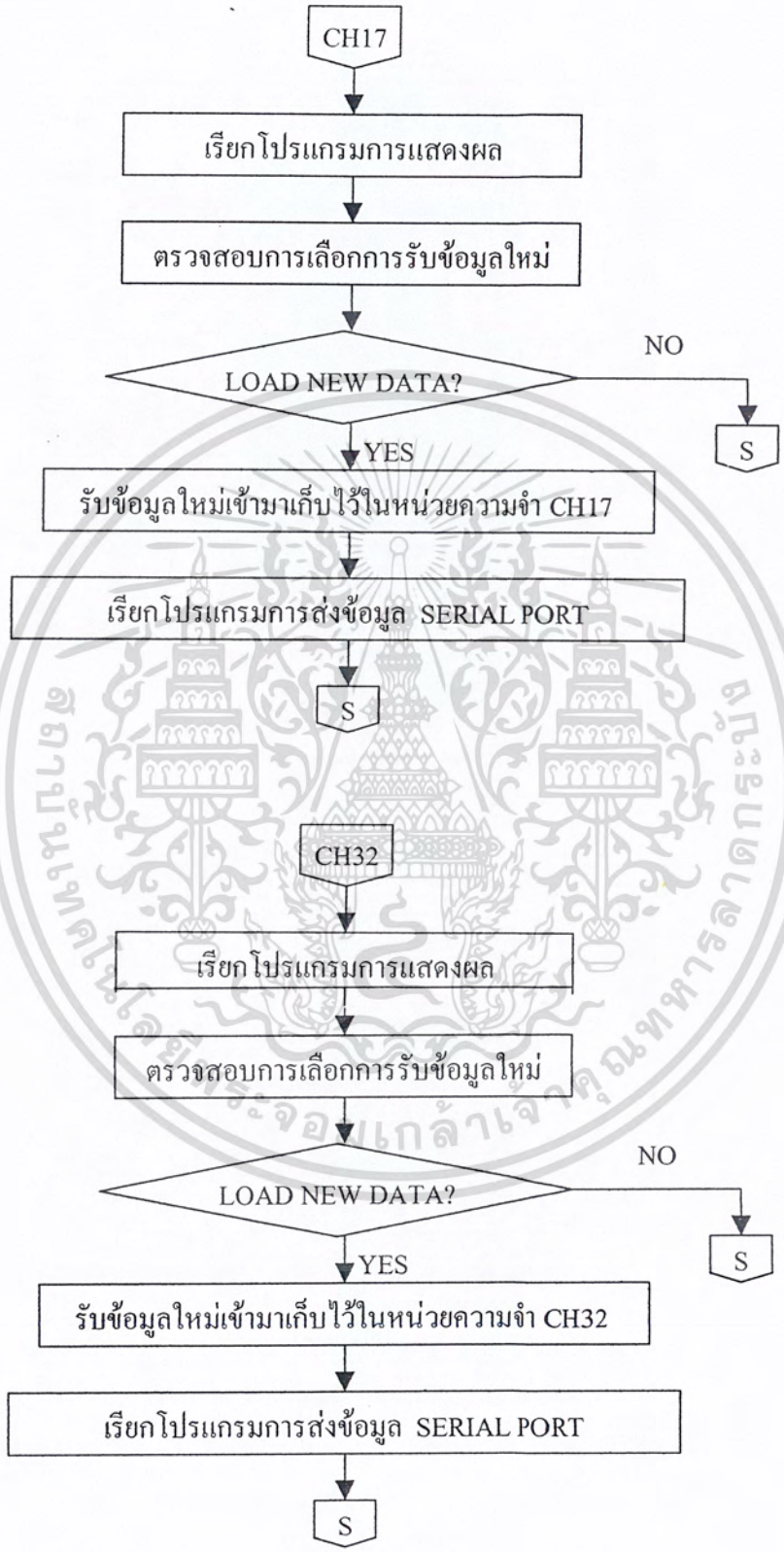
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



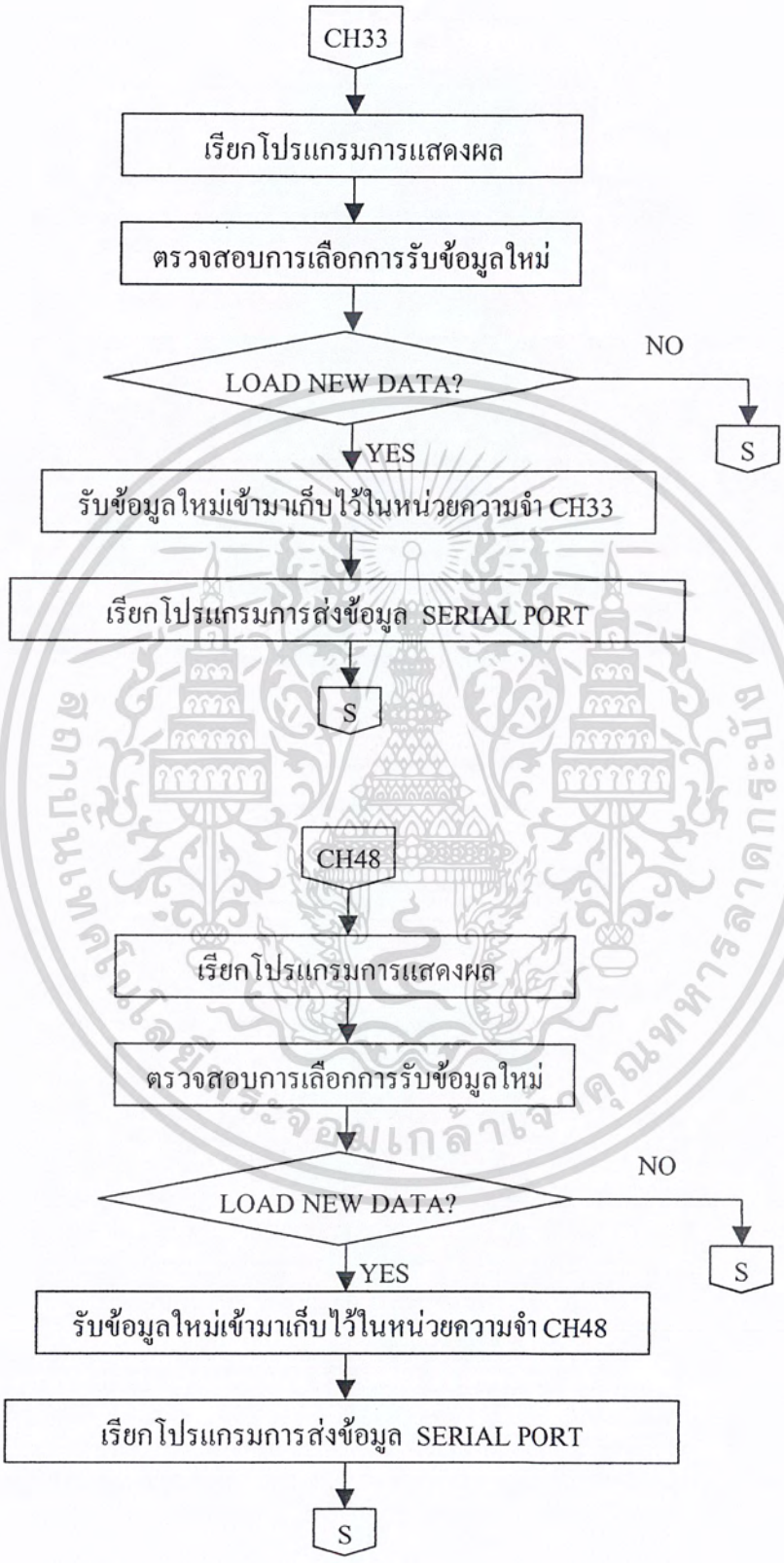
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



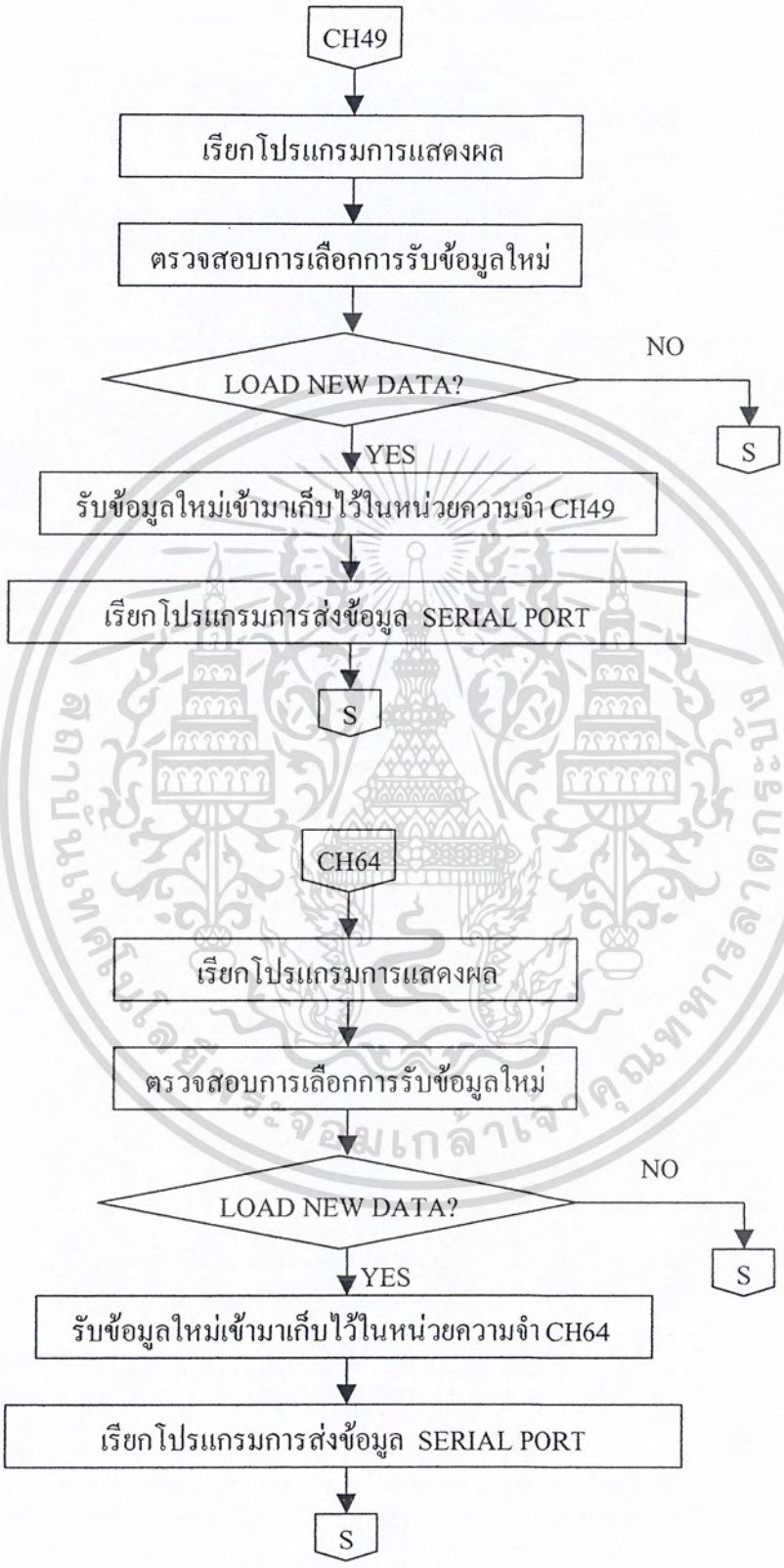
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

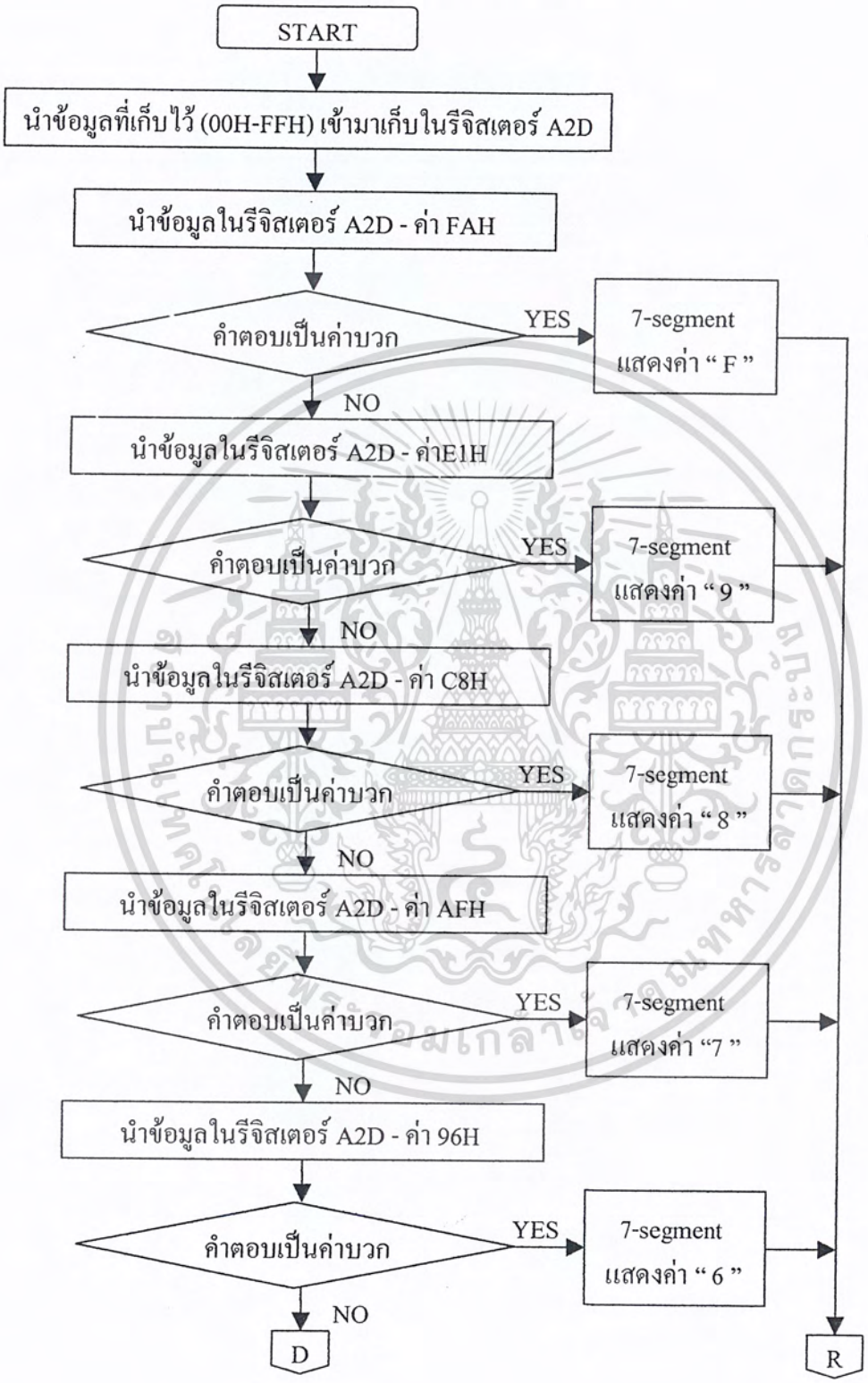


เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

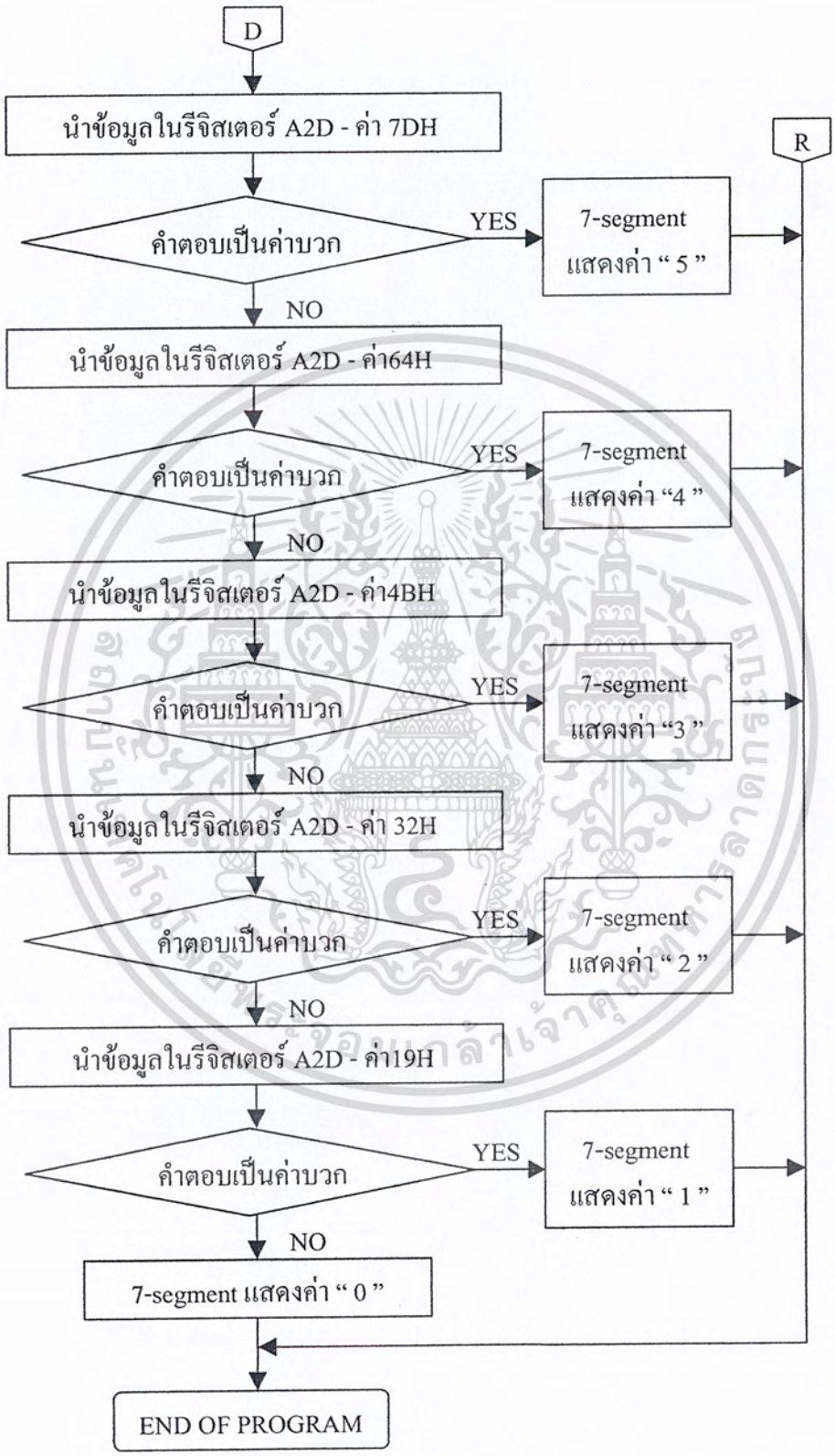


เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

โฟลวชาร์ตส่วนการแสดงผล

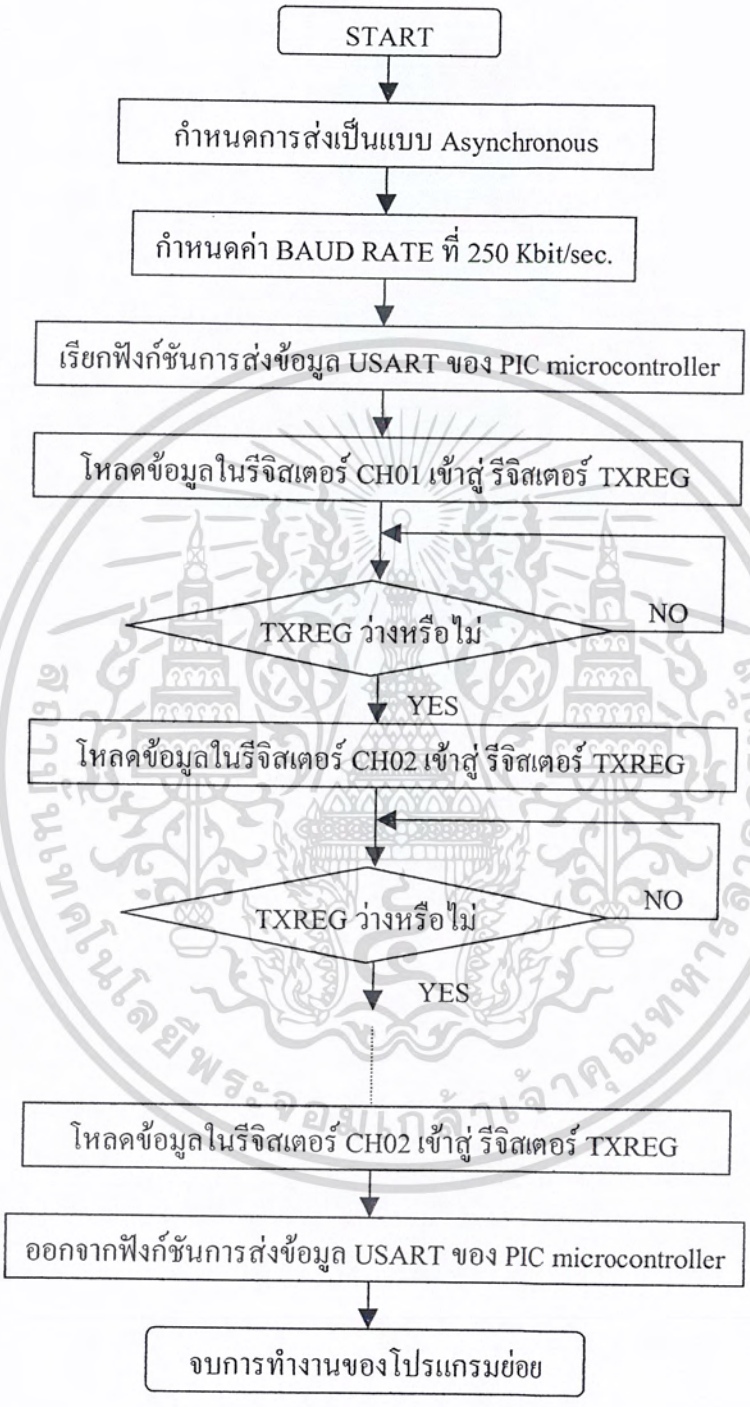


เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

โฟลวชาร์ตส่วนการส่งข้อมูล SERIAL PORT



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ภาคผนวก จ.
โปรแกรมการทำงาน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

โปรแกรมการทำงาน

```
        LIST    P=16F877
        RADIX hex
        #INCLUDE<p16f877.inc>
BODEN_ON            EQU    H'3FFF'
BODEN_OFF           EQU    H'3FBF'
CP_ALL              EQU    H'0FCF'
CP_HALF             EQU    H'1FDF'
CP_UPPER_256        EQU    H'2FEF'
CP_OFF              EQU    H'3FFF'
WRT_ENABLE_ON       EQU    H'3FFF'
WRT_ENABLE_OFF      EQU    H'3DFF'
PWRTE_OFF           EQU    H'3FFF'
PWRTE_ON            EQU    H'3FF7'
WDT_ON              EQU    H'3FFF'
WDT_OFF             EQU    H'3FFB'
LP_OSC              EQU    H'3FFC'
XT_OSC              EQU    H'3FFD'
HS_OSC              EQU    H'3FFE'
RC_OSC              EQU    H'3FFF'
DEBUG_ON            EQU    H'37FF'
DEBUG_OFF           EQU    H'3FFF'
CPD_ON              EQU    H'3EFF'
CPD_OFF             EQU    H'3FFF'
LVP_ON              EQU    H'3FFF'
LVP_OFF             EQU    H'3F7F'
                    __CONFIG HS_OSC &WDT_OFF &CP_OFF &PWRTE_ON
&BODEN_ON &CPD_OFF &DEBUG_OFF &LVP_OFF &WRT_ENABLE_ON
;DEFINE PROGRAM CONSTANTS
CH01            EQU    0X20
CH02            EQU    0X21
CH03            EQU    0X22
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
CH04        EQU   0X23
CH05        EQU   0X24
CH06        EQU   0X25
CH07        EQU   0X26
CH08        EQU   0X27
CH09        EQU   0X28
CH10        EQU   0X29
CH11        EQU   0X2A
CH12        EQU   0X2B
CH13        EQU   0X2C
CH14        EQU   0X2D
CH15        EQU   0X2E
CH16        EQU   0X2F
CH17        EQU   0X30
CH18        EQU   0X31
CH19        EQU   0X32
CH20        EQU   0X33
CH21        EQU   0X34
CH22        EQU   0X35
CH23        EQU   0X36
CH24        EQU   0X37
CH25        EQU   0X38
CH26        EQU   0X39
CH27        EQU   0X3A
CH28        EQU   0X3B
CH29        EQU   0X3C
CH30        EQU   0X3D
CH31        EQU   0X3E
CH32        EQU   0X3F
CH33        EQU   0X40
CH34        EQU   0X41
CH35        EQU   0X42
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
CH36        EQU   0X43
CH37        EQU   0X44
CH38        EQU   0X45
CH39        EQU   0X46
CH40        EQU   0X47
CH41        EQU   0X48
CH42        EQU   0X49
CH43        EQU   0X4A
CH44        EQU   0X4B
CH45        EQU   0X4C
CH46        EQU   0X4D
CH47        EQU   0X4E
CH48        EQU   0X4F
CH49        EQU   0X50
CH50        EQU   0X51
CH51        EQU   0X52
CH52        EQU   0X53
CH53        EQU   0X54
CH54        EQU   0X55
CH55        EQU   0X56
CH56        EQU   0X57
CH57        EQU   0X58
CH58        EQU   0X59
CH59        EQU   0X5A
CH60        EQU   0X5B
CH61        EQU   0X5C
CH62        EQU   0X5D
CH63        EQU   0X5E
CH64        EQU   0X5F
A2D         EQU   0X60   ;REGISTER FOR DISPLAY
COUNT       EQU   0x61   ;REGISTER FOR COUNT DMX-512
SELECT      EQU   0X62   ;REGISTER FOR CHECK CHANNEL
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
                ORG             0X000
                GOTO            START

START           CLRF            PORTA
                CLRF            PORTB
                CLRF            PORTC
                CLRF            PORTD
                CLRF            PORTE

;---------------SET DIRECT FOR PORT----------------;

                BSF             STATUS,RP0
                MOVLW           B'00011111'
                MOVWF           PORTA
                MOVLW           B'11111111'
                MOVWF           PORTB
                MOVLW           B'00111111'
                MOVWF           PORTC
                MOVLW           B'00000000'
                MOVWF           PORTD
                MOVLW           B'00000111'
                MOVWF           PORTE
                BCF             STATUS,RP0

;---------------- SELECT CHANNEL          -------------------;

DMX_START       GOTO            SEL_FRA
SEL_FRA         MOVF            PORTC,W
                ANDLW           B'00111111'
                MOVWF           SELECT
                MOVF            SELECT,W
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
XORLW     B'00000000'
BTFSC     STATUS,Z
GOTO      CH_01
MOVF      SELECT,W
XORLW     B'00000001'
BTFSC     STATUS,Z
GOTO      CH_02
MOVF      SELECT,W
XORLW     B'00000010'
BTFSC     STATUS,Z
GOTO      CH_03
MOVF      SELECT,W
XORLW     B'00000011'
BTFSC     STATUS,Z
GOTO      CH_04
MOVF      SELECT,W
XORLW     B'00000100'
BTFSC     STATUS,Z
GOTO      CH_05
MOVF      SELECT,W
XORLW     B'00000101'
BTFSC     STATUS,Z
GOTO      CH_06
MOVF      SELECT,W
XORLW     B'00000110'
BTFSC     STATUS,Z
GOTO      CH_07
MOVF      SELECT,W
XORLW     B'00000111'
BTFSC     STATUS,Z
GOTO      CH_08
MOVF      SELECT,W
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
XORLW     B'00001000'
BTFSC     STATUS,Z
GOTO      CH_09
MOVF      SELECT,W
XORLW     B'00001001'
BTFSC     STATUS,Z
GOTO      CH_10
MOVF      SELECT,W
XORLW     B'00001010'
BTFSC     STATUS,Z
GOTO      CH_11
MOVF      SELECT,W
XORLW     B'00001011'
BTFSC     STATUS,Z
GOTO      CH_12
MOVF      SELECT,W
XORLW     B'00001100'
BTFSC     STATUS,Z
GOTO      CH_13
MOVF      SELECT,W
XORLW     B'00001101'
BTFSC     STATUS,Z
GOTO      CH_14
MOVF      SELECT,W
XORLW     B'00001110'
BTFSC     STATUS,Z
GOTO      CH_15
MOVF      SELECT,W
XORLW     B'00001111'
BTFSC     STATUS,Z
GOTO      CH_16
MOVF      SELECT,W
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
XORLW   B'00010000'
BTFSC   STATUS,Z
GOTO    CH_17
MOVF    SELECT,W
XORLW   B'00010001'
BTFSC   STATUS,Z
GOTO    CH_18
MOVF    SELECT,W
XORLW   B'00010010'
BTFSC   STATUS,Z
GOTO    CH_19
MOVF    SELECT,W
XORLW   B'00010011'
BTFSC   STATUS,Z
GOTO    CH_20
MOVF    SELECT,W
XORLW   B'00010100'
BTFSC   STATUS,Z
GOTO    CH_21
MOVF    SELECT,W
XORLW   B'00010101'
BTFSC   STATUS,Z
GOTO    CH_22
MOVF    SELECT,W
XORLW   B'00010110'
BTFSC   STATUS,Z
GOTO    CH_23
MOVF    SELECT,W
XORLW   B'00010111'
BTFSC   STATUS,Z
GOTO    CH_24
MOVF    SELECT,W
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
XORLW     B'00011000'
BTFSC     STATUS,Z
GOTO      CH_25
MOVF      SELECT,W
XORLW     B'00011001'
BTFSC     STATUS,Z
GOTO      CH_26
MOVF      SELECT,W
XORLW     B'00011010'
BTFSC     STATUS,Z
GOTO      CH_27
MOVF      SELECT,W
XORLW     B'00011011'
BTFSC     STATUS,Z
GOTO      CH_28
MOVF      SELECT,W
XORLW     B'00011100'
BTFSC     STATUS,Z
GOTO      CH_29
MOVF      SELECT,W
XORLW     B'00011101'
BTFSC     STATUS,Z
GOTO      CH_30
MOVF      SELECT,W
XORLW     B'00011110'
BTFSC     STATUS,Z
GOTO      CH_31
MOVF      SELECT,W
XORLW     B'00011111'
BTFSC     STATUS,Z
GOTO      CH_32
MOVF      SELECT,W
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
XORLW     B'00100000'
BTFSC     STATUS,Z
GOTO      CH_33
MOVF      SELECT,W
XORLW     B'00100001'
BTFSC     STATUS,Z
GOTO      CH_34
MOVF      SELECT,W
XORLW     B'00010010'
BTFSC     STATUS,Z
GOTO      CH_35
MOVF      SELECT,W
XORLW     B'00100011'
BTFSC     STATUS,Z
GOTO      CH_36
MOVF      SELECT,W
XORLW     B'00100100'
BTFSC     STATUS,Z
GOTO      CH_37
MOVF      SELECT,W
XORLW     B'00100101'
BTFSC     STATUS,Z
GOTO      CH_38
MOVF      SELECT,W
XORLW     B'00100110'
BTFSC     STATUS,Z
GOTO      CH_39
MOVF      SELECT,W
XORLW     B'00100111'
BTFSC     STATUS,Z
GOTO      CH_40
MOVF      SELECT,W
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
XORLW     B'00101000'
BTFSC     STATUS,Z
GOTO      CH_41
MOVF      SELECT,W
XORLW     B'00101001'
BTFSC     STATUS,Z
GOTO      CH_42
MOVF      SELECT,W
XORLW     B'00101010'
BTFSC     STATUS,Z
GOTO      CH_43
MOVF      SELECT,W
XORLW     B'00101011'
BTFSC     STATUS,Z
GOTO      CH_44
MOVF      SELECT,W
XORLW     B'00101100'
BTFSC     STATUS,Z
GOTO      CH_45
MOVF      SELECT,W
XORLW     B'00101101'
BTFSC     STATUS,Z
GOTO      CH_46
MOVF      SELECT,W
XORLW     B'00101110'
BTFSC     STATUS,Z
GOTO      CH_47
MOVF      SELECT,W
XORLW     B'00101111'
BTFSC     STATUS,Z
GOTO      CH_48
MOVF      SELECT,W
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
XORLW     B'00110000'
BTFSC     STATUS,Z
GOTO      CH_49
MOVF      SELECT,W
XORLW     B'00110001'
BTFSC     STATUS,Z
GOTO      CH_50
MOVF      SELECT,W
XORLW     B'00110010'
BTFSC     STATUS,Z
GOTO      CH_51
MOVF      SELECT,W
XORLW     B'00110011'
BTFSC     STATUS,Z
GOTO      CH_52
MOVF      SELECT,W
XORLW     B'00110100'
BTFSC     STATUS,Z
GOTO      CH_53
MOVF      SELECT,W
XORLW     B'00110101'
BTFSC     STATUS,Z
GOTO      CH_54
MOVF      SELECT,W
XORLW     B'00110110'
BTFSC     STATUS,Z
GOTO      CH_55
MOVF      SELECT,W
XORLW     B'00110111'
BTFSC     STATUS,Z
GOTO      CH_56
MOVF      SELECT,W
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
XORLW     B'00111000'
BTFSC     STATUS,Z
GOTO      CH_57
MOVF      SELECT,W
XORLW     B'00111001'
BTFSC     STATUS,Z
GOTO      CH_58
MOVF      SELECT,W
XORLW     B'00111010'
BTFSC     STATUS,Z
GOTO      CH_59
MOVF      SELECT,W
XORLW     B'00111011'
BTFSC     STATUS,Z
GOTO      CH_60
MOVF      SELECT,W
XORLW     B'00111100'
BTFSC     STATUS,Z
GOTO      CH_61
MOVF      SELECT,W
XORLW     B'00111101'
BTFSC     STATUS,Z
GOTO      CH_62
MOVF      SELECT,W
XORLW     B'00111110'
BTFSC     STATUS,Z
GOTO      CH_63
MOVF      SELECT,W
XORLW     B'00111111'
BTFSC     STATUS,Z
GOTO      CH_64
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
;---------- GROUP 1 "CH 1-16" ----------;

CH_01   MOVF    CH01,W
        MOVWF   A2D
        CALL    DISPLAY
        BTFSS   PORTA,4     ;LOAD NEW DATA?
        GOTO    SEL_FRA
        CALL    A2DW
        MOVF    PORTB,W
        MOVWF   CH01
        GOTO    DMX_TRAN
CH_02   MOVF    CH02,W
        MOVWF   A2D
        CALL    DISPLAY
        BTFSS   PORTA,4     ;LOAD NEW DATA?
        GOTO    SEL_FRA
        CALL    A2DW
        MOVF    PORTB,W
        MOVWF   CH02
        GOTO    DMX_TRAN
CH_03   MOVF    CH03,W
        MOVWF   A2D
        CALL    DISPLAY
        BTFSS   PORTA,4     ;LOAD NEW DATA?
        GOTO    SEL_FRA
        CALL    A2DW
        MOVF    PORTB,W
        MOVWF   CH03
        GOTO    DMX_TRAN
CH_04   MOVF    CH04,W
        MOVWF   A2D
        CALL    DISPLAY
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
        BTFSS   PORTA,4     ;LOAD NEW DATA?
        GOTO    SEL_FRA
        CALL    A2DW
        MOVF    PORTB,W
        MOVWF   CH04
        GOTO    DMX_TRAN
CH_05   MOVF    CH05,W
        MOVWF   A2D
        CALL    DISPLAY
        BTFSS   PORTA,4     ;LOAD NEW DATA?
        GOTO    SEL_FRA
        CALL    A2DW
        MOVF    PORTB,W
        MOVWF   CH05
        GOTO    DMX_TRAN
CH_06   MOVF    CH06,W
        MOVWF   A2D
        CALL    DISPLAY
        BTFSS   PORTA,4     ;LOAD NEW DATA?
        GOTO    SEL_FRA
        CALL    A2DW
        MOVF    PORTB,W
        MOVWF   CH06
        GOTO    DMX_TRAN
CH_07   MOVF    CH07,W
        MOVWF   A2D
        CALL    DISPLAY
        BTFSS   PORTA,4     ;LOAD NEW DATA?
        GOTO    SEL_FRA
        CALL    A2DW
        MOVF    PORTB,W
        MOVWF   CH07
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
        GOTO    DMX_TRAN
CH_08   MOVF    CH08,W
        MOVWF   A2D
        CALL    DISPLAY
        BTFSS   PORTA,4     ;LOAD NEW DATA?
        GOTO    SEL_FRA
        CALL    A2DW
        MOVF    PORTB,W
        MOVWF   CH08
        GOTO    DMX_TRAN
CH_09   MOVF    CH09,W
        MOVWF   A2D
        CALL    DISPLAY
        BTFSS   PORTA,4     ;LOAD NEW DATA?
        GOTO    SEL_FRA
        CALL    A2DW
        MOVF    PORTB,W
        MOVWF   CH09
        GOTO    DMX_TRAN
CH_10   MOVF    CH10,W
        MOVWF   A2D
        CALL    DISPLAY
        BTFSS   PORTA,4     ;LOAD NEW DATA?
        GOTO    SEL_FRA
        CALL    A2DW
        MOVF    PORTB,W
        MOVWF   CH10
        GOTO    DMX_TRAN
CH_11   MOVF    CH11,W
        MOVWF   A2D
        CALL    DISPLAY
        BTFSS   PORTA,4     ;LOAD NEW DATA?
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
        GOTO    SEL_FRA
        CALL    A2DW
        MOVF    PORTB,W
        MOVWF   CH11
        GOTO    DMX_TRAN
CH_12   MOVF    CH12,W
        MOVWF   A2D
        CALL    DISPLAY
        BTFSS   PORTA,4     ;LOAD NEW DATA?
        GOTO    SEL_FRA
        CALL    A2DW
        MOVF    PORTB,W
        MOVWF   CH12
        GOTO    DMX_TRAN
CH_13   MOVF    CH13,W
        MOVWF   A2D
        CALL    DISPLAY
        BTFSS   PORTA,4     ;LOAD NEW DATA?
        GOTO    SEL_FRA
        CALL    A2DW
        MOVF    PORTB,W
        MOVWF   CH13
        GOTO    DMX_TRAN
CH_14   MOVF    CH14,W
        MOVWF   A2D
        CALL    DISPLAY
        BTFSS   PORTA,4     ;LOAD NEW DATA?
        GOTO    SEL_FRA
        CALL    A2DW
        MOVF    PORTB,W
        MOVWF   CH14
        GOTO    DMX_TRAN
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
CH_15       MOVF        CH15,W
            MOVWF       A2D
            CALL        DISPLAY
            BTFSS       PORTA,4       ;LOAD NEW DATA?
            GOTO        SEL_FRA
            CALL        A2DW
            MOVF        PORTB,W
            MOVWF       CH15
            GOTO        DMX_TRAN
CH_16       MOVF        CH16,W
            MOVWF       A2D
            CALL        DISPLAY
            BTFSS       PORTA,4       ;LOAD NEW DATA?
            GOTO        SEL_FRA
            CALL        A2DW
            MOVF        PORTB,W
            MOVWF       CH16
            GOTO        DMX_TRAN

;---------- GROUP 2 "CH 17-32" ----------;

CH_17       MOVF        CH17 ,W
            MOVWF       A2D
            CALL        DISPLAY
            BTFSS       PORTA,4       ;LOAD NEW DATA?
            GOTO        SEL_FRA
            CALL        A2DW
            MOVF        PORTB,W
            MOVWF       CH17
            GOTO        DMX_TRAN
CH_18       MOVF        CH18,W
            MOVWF       A2D
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
        CALL    DISPLAY
        BTFSS   PORTA,4     ;LOAD NEW DATA?
        GOTO    SEL_FRA
        CALL    A2DW
        MOVF    PORTB,W
        MOVWF   CH18
        GOTO    DMX_TRAN
CH_19   MOVF    CH19,W
        MOVWF   A2D
        CALL    DISPLAY
        BTFSS   PORTA,4     ;LOAD NEW DATA?
        GOTO    SEL_FRA
        CALL    A2DW
        MOVF    PORTB,W
        MOVWF   CH19
        GOTO    DMX_TRAN
CH_20   MOVF    CH20,W
        MOVWF   A2D
        CALL    DISPLAY
        BTFSS   PORTA,4     ;LOAD NEW DATA?
        GOTO    SEL_FRA
        CALL    A2DW
        MOVF    PORTB,W
        MOVWF   CH20
        GOTO    DMX_TRAN
CH_21   MOVF    CH21,W
        MOVWF   A2D
        CALL    DISPLAY
        BTFSS   PORTA,4     ;LOAD NEW DATA?
        GOTO    SEL_FRA
        CALL    A2DW
        MOVF    PORTB,W
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
                MOVWF   CH21
                GOTO    DMX_TRAN
CH_22           MOVF    CH22,W
                MOVWF   A2D
                CALL    DISPLAY
                BTFSS   PORTA,4     ;LOAD NEW DATA?
                GOTO    SEL_FRA
                CALL    A2DW
                MOVF    PORTB,W
                MOVWF   CH22
                GOTO    DMX_TRAN
CH_23           MOVF    CH23,W
                MOVWF   A2D
                CALL    DISPLAY
                BTFSS   PORTA,4     ;LOAD NEW DATA?
                GOTO    SEL_FRA
                CALL    A2DW
                MOVF    PORTB,W
                MOVWF   CH23
                GOTO    DMX_TRAN
CH_24           MOVF    CH24,W
                MOVWF   A2D
                CALL    DISPLAY
                BTFSS   PORTA,4     ;LOAD NEW DATA?
                GOTO    SEL_FRA
                CALL    A2DW
                MOVF    PORTB,W
                MOVWF   CH24
                GOTO    DMX_TRAN
CH_25           MOVF    CH25,W
                MOVWF   A2D
                CALL    DISPLAY
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
        BTFSS   PORTA,4     ;LOAD NEW DATA?
        GOTO    SEL_FRA
        CALL    A2DW
        MOVF    PORTB,W
        MOVWF   CH25
        GOTO    DMX_TRAN
CH_26   MOVF    CH26,W
        MOVWF   A2D
        CALL    DISPLAY
        BTFSS   PORTA,4     ;LOAD NEW DATA?
        GOTO    SEL_FRA
        CALL    A2DW
        MOVF    PORTB,W
        MOVWF   CH26
        GOTO    DMX_TRAN
CH_27   MOVF    CH27,W
        MOVWF   A2D
        CALL    DISPLAY
        BTFSS   PORTA,4     ;LOAD NEW DATA?
        GOTO    SEL_FRA
        CALL    A2DW
        MOVF    PORTB,W
        MOVWF   CH27
        GOTO    DMX_TRAN
CH_28   MOVF    CH28,W
        MOVWF   A2D
        CALL    DISPLAY
        BTFSS   PORTA,4     ;LOAD NEW DATA?
        GOTO    SEL_FRA
        CALL    A2DW
        MOVF    PORTB,W
        MOVWF   CH28
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
        GOTO    DMX_TRAN
CH_29   MOVF    CH29,W
        MOVWF   A2D
        CALL    DISPLAY
        BTFSS   PORTA,4     ;LOAD NEW DATA?
        GOTO    SEL_FRA
        CALL    A2DW
        MOVF    PORTB,W
        MOVWF   CH29
        GOTO    DMX_TRAN
CH_30   MOVF    CH30,W
        MOVWF   A2D
        CALL    DISPLAY
        BTFSS   PORTA,4     ;LOAD NEW DATA?
        GOTO    SEL_FRA
        CALL    A2DW
        MOVF    PORTB,W
        MOVWF   CH30
        GOTO    DMX_TRAN
CH_31   MOVF    CH31,W
        MOVWF   A2D
        CALL    DISPLAY
        BTFSS   PORTA,4     ;LOAD NEW DATA?
        GOTO    SEL_FRA
        CALL    A2DW
        MOVF    PORTB,W
        MOVWF   CH31
        GOTO    DMX_TRAN
CH_32   MOVF    CH32,W
        MOVWF   A2D
        CALL    DISPLAY
        BTFSS   PORTA,4     ;LOAD NEW DATA?
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
                GOTO        SEL_FRA
                CALL        A2DW
                MOVF        PORTB,W
                MOVWF       CH32
                GOTO        DMX_TRAN

;---------- GROUP 3 "CH 33-48"----------;

CH_33           MOVF        CH33,W
                MOVWF       A2D
                CALL        DISPLAY
                BTFSS       PORTA,4     ;LOAD NEW DATA?
                GOTO        SEL_FRA
                CALL        A2DW
                MOVF        PORTB,W
                MOVWF       CH33
                GOTO        DMX_TRAN
CH_34           MOVF        CH34,W
                MOVWF       A2D
                CALL        DISPLAY
                BTFSS       PORTA,4     ;LOAD NEW DATA?
                GOTO        SEL_FRA
                CALL        A2DW
                MOVF        PORTB,W
                MOVWF       CH34
                GOTO        DMX_TRAN
CH_35           MOVF        CH35,W
                MOVWF       A2D
                CALL        DISPLAY
                BTFSS       PORTA,4     ;LOAD NEW DATA?
                GOTO        SEL_FRA
                CALL        A2DW
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
        MOVF    PORTB,W
        MOVWF   CH35
        GOTO    DMX_TRAN
CH_36   MOVF    CH36,W
        MOVWF   A2D
        CALL    DISPLAY
        BTFSS   PORTA,4     ;LOAD NEW DATA?
        GOTO    SEL_FRA
        CALL    A2DW
        MOVF    PORTB,W
        MOVWF   CH36
        GOTO    DMX_TRAN
CH_37   MOVF    CH37,W
        MOVWF   A2D
        CALL    DISPLAY
        BTFSS   PORTA,4     ;LOAD NEW DATA?
        GOTO    SEL_FRA
        CALL    A2DW
        MOVF    PORTB,W
        MOVWF   CH37
        GOTO    DMX_TRAN
CH_38   MOVF    CH38,W
        MOVWF   A2D
        CALL    DISPLAY
        BTFSS   PORTA,4     ;LOAD NEW DATA?
        GOTO    SEL_FRA
        CALL    A2DW
        MOVF    PORTB,W
        MOVWF   CH38
        GOTO    DMX_TRAN
CH_39   MOVF    CH39,W
        MOVWF   A2D
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
        CALL    DISPLAY
        BTFSS   PORTA,4     ;LOAD NEW DATA?
        GOTO    SEL_FRA
        CALL    A2DW
        MOVF    PORTB,W
        MOVWF   CH39
        GOTO    DMX_TRAN
CH_40   MOVF    CH40,W
        MOVWF   A2D
        CALL    DISPLAY
        BTFSS   PORTA,4     ;LOAD NEW DATA?
        GOTO    SEL_FRA
        CALL    A2DW
        MOVF    PORTB,W
        MOVWF   CH40
        GOTO    DMX_TRAN
CH_41   MOVF    CH41,W
        MOVWF   A2D
        CALL    DISPLAY
        BTFSS   PORTA,4     ;LOAD NEW DATA?
        GOTO    SEL_FRA
        CALL    A2DW
        MOVF    PORTB,W
        MOVWF   CH41
        GOTO    DMX_TRAN
CH_42   MOVF    CH42,W
        MOVWF   A2D
        CALL    DISPLAY
        BTFSS   PORTA,4     ;LOAD NEW DATA?
        GOTO    SEL_FRA
        CALL    A2DW
        MOVF    PORTB,W
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
                MOVWF   CH42
                GOTO    DMX_TRAN
CH_43           MOVF    CH43,W
                MOVWF   A2D
                CALL    DISPLAY
                BTFSS   PORTA,4     ;LOAD NEW DATA?
                GOTO    SEL_FRA
                CALL    A2DW
                MOVF    PORTB,W
                MOVWF   CH43
                GOTO    DMX_TRAN
CH_44           MOVF    CH44,W
                MOVWF   A2D
                CALL    DISPLAY
                BTFSS   PORTA,4     ;LOAD NEW DATA?
                GOTO    SEL_FRA
                CALL    A2DW
                MOVF    PORTB,W
                MOVWF   CH44
                GOTO    DMX_TRAN
CH_45           MOVF    CH45,W
                MOVWF   A2D
                CALL    DISPLAY
                BTFSS   PORTA,4     ;LOAD NEW DATA?
                GOTO    SEL_FRA
                CALL    A2DW
                MOVF    PORTB,W
                MOVWF   CH45
                GOTO    DMX_TRAN
CH_46           MOVF    CH46,W
                MOVWF   A2D
                CALL    DISPLAY
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
                BTFSS       PORTA,4     ;LOAD NEW DATA?
                GOTO        SEL_FRA
                CALL        A2DW
                MOVF        PORTB,W
                MOVWF       CH46
                GOTO        DMX_TRAN
CH_47           MOVF        CH47,W
                MOVWF       A2D
                CALL        DISPLAY
                BTFSS       PORTA,4     ;LOAD NEW DATA?
                GOTO        SEL_FRA
                CALL        A2DW
                MOVF        PORTB,W
                MOVWF       CH47
                GOTO        DMX_TRAN
CH_48           MOVF        CH48,W
                MOVWF       A2D
                CALL        DISPLAY
                BTFSS       PORTA,4     ;LOAD NEW DATA?
                GOTO        SEL_FRA
                CALL        A2DW
                MOVF        PORTB,W
                MOVWF       CH48
                GOTO        DMX_TRAN

;---------- GROUP 4 "CH 49-64" ----------;

CH_49           MOVF        CH49,W
                MOVWF       A2D
                CALL        DISPLAY
                BTFSS       PORTA,4     ;LOAD NEW DATA?
                GOTO        SEL_FRA
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
        CALL    A2DW
        MOVF    PORTB,W
        MOVWF   CH49
        GOTO    DMX_TRAN
CH_50   MOVF    CH50,W
        MOVWF   A2D
        CALL    DISPLAY
        BTFSS   PORTA,4     ;LOAD NEW DATA?
        GOTO    SEL_FRA
        CALL    A2DW
        MOVF    PORTB,W
        MOVWF   CH50
        GOTO    DMX_TRAN
CH_51   MOVF    CH51,W
        MOVWF   A2D
        CALL    DISPLAY
        BTFSS   PORTA,4     ;LOAD NEW DATA?
        GOTO    SEL_FRA
        CALL    A2DW
        MOVF    PORTB,W
        MOVWF   CH51
        GOTO    DMX_TRAN
CH_52   MOVF    CH52,W
        MOVWF   A2D
        CALL    DISPLAY
        BTFSS   PORTA,4     ;LOAD NEW DATA?
        GOTO    SEL_FRA
        CALL    A2DW
        MOVF    PORTB,W
        MOVWF   CH52
        GOTO    DMX_TRAN
CH_53   MOVF    CH53,W
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
        MOVWF   A2D
        CALL    DISPLAY
        BTFSS   PORTA,4     ;LOAD NEW DATA?
        GOTO    SEL_FRA
        CALL    A2DW
        MOVF    PORTB,W
        MOVWF   CH53
        GOTO    DMX_TRAN
CH_54   MOVF    CH54,W
        MOVWF   A2D
        CALL    DISPLAY
        BTFSS   PORTA,4     ;LOAD NEW DATA?
        GOTO    SEL_FRA
        CALL    A2DW
        MOVF    PORTB,W
        MOVWF   CH54
        GOTO    DMX_TRAN
CH_55   MOVF    CH55,W
        MOVWF   A2D
        CALL    DISPLAY
        BTFSS   PORTA,4     ;LOAD NEW DATA?
        GOTO    SEL_FRA
        CALL    A2DW
        MOVF    PORTB,W
        MOVWF   CH55
        GOTO    DMX_TRAN
CH_56   MOVF    CH56,W
        MOVWF   A2D
        CALL    DISPLAY
        BTFSS   PORTA,4     ;LOAD NEW DATA?
        GOTO    SEL_FRA
        CALL    A2DW
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
        MOVF    PORTB,W
        MOVWF   CH56
        GOTO    DMX_TRAN
CH_57   MOVF    CH57,W
        MOVWF   A2D
        CALL    DISPLAY
        BTFSS   PORTA,4     ;LOAD NEW DATA?
        GOTO    SEL_FRA
        CALL    A2DW
        MOVF    PORTB,W
        MOVWF   CH57
        GOTO    DMX_TRAN
CH_58   MOVF    CH58,W
        MOVWF   A2D
        CALL    DISPLAY
        BTFSS   PORTA,4     ;LOAD NEW DATA?
        GOTO    SEL_FRA
        CALL    A2DW
        MOVF    PORTB,W
        MOVWF   CH58
        GOTO    DMX_TRAN
CH_59   MOVF    CH59,W
        MOVWF   A2D
        CALL    DISPLAY
        BTFSS   PORTA,4     ;LOAD NEW DATA?
        GOTO    SEL_FRA
        CALL    A2DW
        MOVF    PORTB,W
        MOVWF   CH59
        GOTO    DMX_TRAN
CH_60   MOVF    CH60,W
        MOVWF   A2D
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
        CALL    DISPLAY
        BTFSS   PORTA,4     ;LOAD NEW DATA?
        GOTO    SEL_FRA
        CALL    A2DW
        MOVF    PORTB,W
        MOVWF   CH60
        GOTO    DMX_TRAN
CH_61   MOVF    CH61,W
        MOVWF   A2D
        CALL    DISPLAY
        BTFSS   PORTA,4     ;LOAD NEW DATA?
        GOTO    SEL_FRA
        CALL    A2DW
        MOVF    PORTB,W
        MOVWF   CH61
        GOTO    DMX_TRAN
CH_62   MOVF    CH62,W
        MOVWF   A2D
        CALL    DISPLAY
        BTFSS   PORTA,4     ;LOAD NEW DATA?
        GOTO    SEL_FRA
        CALL    A2DW
        MOVF    PORTB,W
        MOVWF   CH62
        GOTO    DMX_TRAN
CH_63   MOVF    CH63,W
        MOVWF   A2D
        CALL    DISPLAY
        BTFSS   PORTA,4     ;LOAD NEW DATA?
        GOTO    SEL_FRA
        CALL    A2DW
        MOVF    PORTB,W
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
                MOVWF   CH63
                GOTO    DMX_TRAN
CH_64           MOVF    CH64,W
                MOVWF   A2D
                CALL    DISPLAY
                BTFSS   PORTA,4         ;LOAD NEW DATA?
                GOTO    SEL_FRA
                CALL    A2DW
                MOVF    PORTB,W
                MOVWF   CH64
                GOTO    DMX_TRAN

;-------------------UART----------------------;

DMX_TRAN        BCF     PORTC,6         ;\START BREAK SIGNAL
                BSF     STATUS,RP0
                MOVLW   b'00000100'     ;BUARD RATE CONSTANT
                MOVWF   SPBRG
                BSF     TXSTA,BRGH      ;ENABLE HIGH SPEED TRAN.
                BCF     TXSTA,SYNC      ;ASYNC TRAN.
                BCF     STATUS,RP0
                NOP                     ;\
                NOP                     ;\
                NOP                     ;\
                NOP                     ;\DELAY 88uSEC(BREAK)
                MOVLW   0X01            ;/8F FOR 88USEC
                MOVWF   COUNT           ;/
LOOPA           DECFSZ  COUNT,1         ;/
                GOTO    LOOPA           ;/
                BSF     STATUS,RP0
                BSF     PORTC,6
                BCF     STATUS,RP0
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
        NOP
        NOP
        BSF     RCSTA,SPEN  ;TURN ON UART and  START MAB
        BSF     STATUS,RP0
        BSF     TXSTA,TX9   ;ENABLE 9 BIT TRAN.
        BSF     TXSTA,TXEN  ;ENABLE TRAN.
        BSF     TXSTA,TX9D  ;9TH BIT= "1"IS FIRST STOP BIT
        BCF     STATUS,RP0
        MOVLW   0X05        ;\
        MOVWF   COUNT       ;\
LOOP    DECFSZ  COUNT,1     ;/MAKE MAB SIGNAL
        GOTO    LOOP        ;/
        MOVLW   0X00        ;\MAKE START CODE
        MOVWF   TXREG       ;/
        MOVLW   0X10        ;\COUNT FOR DMX TRAN.
        MOVWF   COUNT       ;/
        MOVLW   0X20        ;\FIRST ADDRESS TRAN.(CHO1)
        MOVWF   FSR         ;/
ST_UART MOVF    INDF,W      ;BEGIN TRAN CHO1 TO CH64
TRAN    BTFSS   PIR1,TXIF   ;IS TXREG EMPTY?
        GOTO    TRAN        ;WAIT
        MOVWF   TXREG       ;MOVE DATA TO TXREG
        INCF    FSR,1
        DECFSZ  COUNT,1
        GOTO    ST_UART
L_TRAN  BTFSS   PIR1,TXIF   ;THE LAST CHANNEL IN TXREG ?
        GOTO    L_TRAN      ;NO WAIT
        BSF     STATUS,RP0
        NOP
        NOP
        NOP
        NOP
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
                NOP
                NOP
                NOP
                NOP
                NOP
                NOP
                NOP
                NOP
                NOP
                NOP
                NOP
                NOP
                NOP
                NOP
                NOP
WAIT            BTFSS   TXSTA,TRMT  ;IS TSR EMPTY?
                GOTO    WAIT        ;WAIT
                MOVLW   0X40        ;/
                MOVWF   COUNT       ;/
DELAY           DECFSZ  COUNT,1     ;/
                GOTO    DELAY
                BSF     STATUS,RP0
                CLRF    TXSTA       ;DISABLEABLE TRAN.
                CLRF    SPBRG
                BCF     PORTC,6     ;
                BCF     STATUS,RP0
                BCF     RCSTA,SPEN  ;TURN OFF UART
                GOTO    DMX_START

;----------DISPLAY----------;

DISPLAY         MOVLW   0XFA
```

เอกสารนี้มีลิขสิทธิ์สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
SUBWF       A2D,0
BTFSC       STATUS,C      ;= "F"?
GOTO        DIS_F         ;Y
MOVLW       0XE1          ;N
SUBWF       A2D,0
BTFSC       STATUS,C      ;= "9"?
GOTO        DIS_9         ;Y
MOVLW       0XC8          ;N
SUBWF       A2D,0
BTFSC       STATUS,C      ;= "8"?
GOTO        DIS_8         ;Y
MOVLW       0XAF          ;N
SUBWF       A2D,0
BTFSC       STATUS,C      ;= "7"?
GOTO        DIS_7         ;Y
MOVLW       0X96          ;N
SUBWF       A2D,0
BTFSC       STATUS,C      ;= "6"?
GOTO        DIS_6         ;Y
MOVLW       0X7D          ;N
SUBWF       A2D,0
BTFSC       STATUS,C      ;= "5"?
GOTO        DIS_5         ;Y
MOVLW       0X64          ;N
SUBWF       A2D,0
BTFSC       STATUS,C      ;= "4"?
GOTO        DIS_4         ;Y
MOVLW       0X4B          ;N
SUBWF       A2D,0
BTFSC       STATUS,C      ;= "3"?
GOTO        DIS_3         ;Y
MOVLW       0X32          ;N
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
        SUBWF   A2D,0
        BTFSC   STATUS,C    ;= "2"?
        GOTO    DIS_2       ;Y
        MOVLW   0X19        ;N
        SUBWF   A2D,0
        BTFSC   STATUS,C    ;= "1"?
        GOTO    DIS_1       ;Y
        GOTO    DIS_0       ;N
DIS_0   MOVLW   0X3F
        MOVWF   PORTD
        RETURN
DIS_1   MOVLW   0X06
        MOVWF   PORTD
        RETURN
DIS_2   MOVLW   0X5B
        MOVWF   PORTD
        RETURN
DIS_3   MOVLW   0X4F
        MOVWF   PORTD
        RETURN
DIS_4   MOVLW   0X66
        MOVWF   PORTD
        RETURN
DIS_5   MOVLW   0X6D
        MOVWF   PORTD
        RETURN
DIS_6   MOVLW   0X7D
        MOVWF   PORTD
        RETURN
DIS_7   MOVLW   0X07
        MOVWF   PORTD
        RETURN
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
DIS_8       MOVLW     0X7F
            MOVWF     PORTD
            RETURN
DIS_9       MOVLW     0X6F
            MOVWF     PORTD
            RETURN
DIS_F       MOVLW     0X71
            MOVWF     PORTD
            RETURN

;----------------------A2D START----------------;

A2DW        BSF       PORTA,5     ;START A2D
            MOVLW     0XFF
            MOVWF     COUNT
LOOPB       DECFSZ    COUNT
            GOTO      LOOPB
            BCF       PORTA,5     ;A2D WORK
            MOVLW     0XC8        ;A2D CONVERTION TIME
            MOVWF     COUNT
LOOPC       DECFSZ    COUNT
            GOTO      LOOPC
            RETURN
            END
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ภาคผนวก ฉ.

DATA SHEET

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

MICROCHIP

PIC16F87X

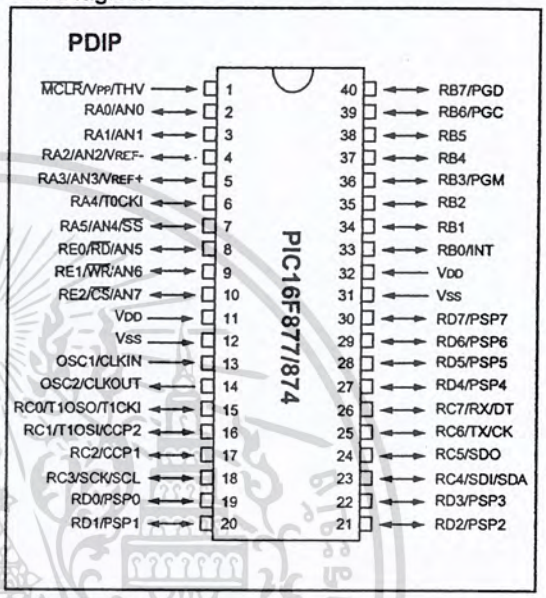
28/40-pin 8-Bit CMOS FLASH Microcontrollers

Microcontroller Core Features:

- High-performance RISC CPU
- Only 35 single word instructions to learn
- All single cycle instructions except for program branches which are two cycle
- Operating speed: DC - 20 MHz clock input
  DC - 200 ns instruction cycle
- Up to 8K x 14 words of FLASH Program Memory,
  Up to 368 x 8 bytes of Data Memory (RAM)
  Up to 256 x 8 bytes of EEPROM data memory
- ★ **Pinout compatible to the PIC16C73/74/76/77**
- Interrupt capability (up to 14 internal/external interrupt sources)
- Eight level deep hardware stack
- Direct, indirect, and relative addressing modes
- Power-on Reset (POR)
- Power-up Timer (PWRT) and Oscillator Start-up Timer (OST)
- Watchdog Timer (WDT) with its own on-chip RC oscillator for reliable operation
- Programmable code-protection
- Power saving SLEEP mode
- Selectable oscillator options
- Low-power, high-speed CMOS FLASH/EEPROM technology
- Fully static design
- In-Circuit Serial Programming™ via two pins
- ★ Only single 5V source needed for programming
- ★ In-Circuit Debugging via two pins
- Processor read/write access to program memory
- Wide operating voltage range: 2.0V to 5.5V
- High Sink/Source Current: 25 mA
- Commercial and Industrial temperature ranges
- Low-power consumption:
  - < 2 mA typical @ 5V, 4 MHz
  - 20 µA typical @ 3V, 32 kHz
  - < 1 µA typical standby current

Pin Diagram

PDIP



Peripheral Features:

- Timer0: 8-bit timer/counter with 8-bit prescaler
- Timer1: 16-bit timer/counter with prescaler, can be incremented during sleep via external crystal/clock
- Timer2: 8-bit timer/counter with 8-bit period register, prescaler and postscaler
- Two Capture, Compare, PWM modules
- Capture is 16-bit, max. resolution is 12.5 ns, Compare is 16-bit, max. resolution is 200 ns, PWM max. resolution is 10-bit
- ★ 10-bit multi-channel Analog-to-Digital converter
- ★ Synchronous Serial Port (SSP) with SPI™ (Master Mode) and I²C™ (Master/Slave)
- ★ Universal Synchronous Asynchronous Receiver Transmitter (USART/SCI) with 9-bit address detection
- Parallel Slave Port (PSP) 8-bits wide, with external RD, WR and CS controls (40/44-pin only)
- Brown-out detection circuitry for Brown-out Reset (BOR)

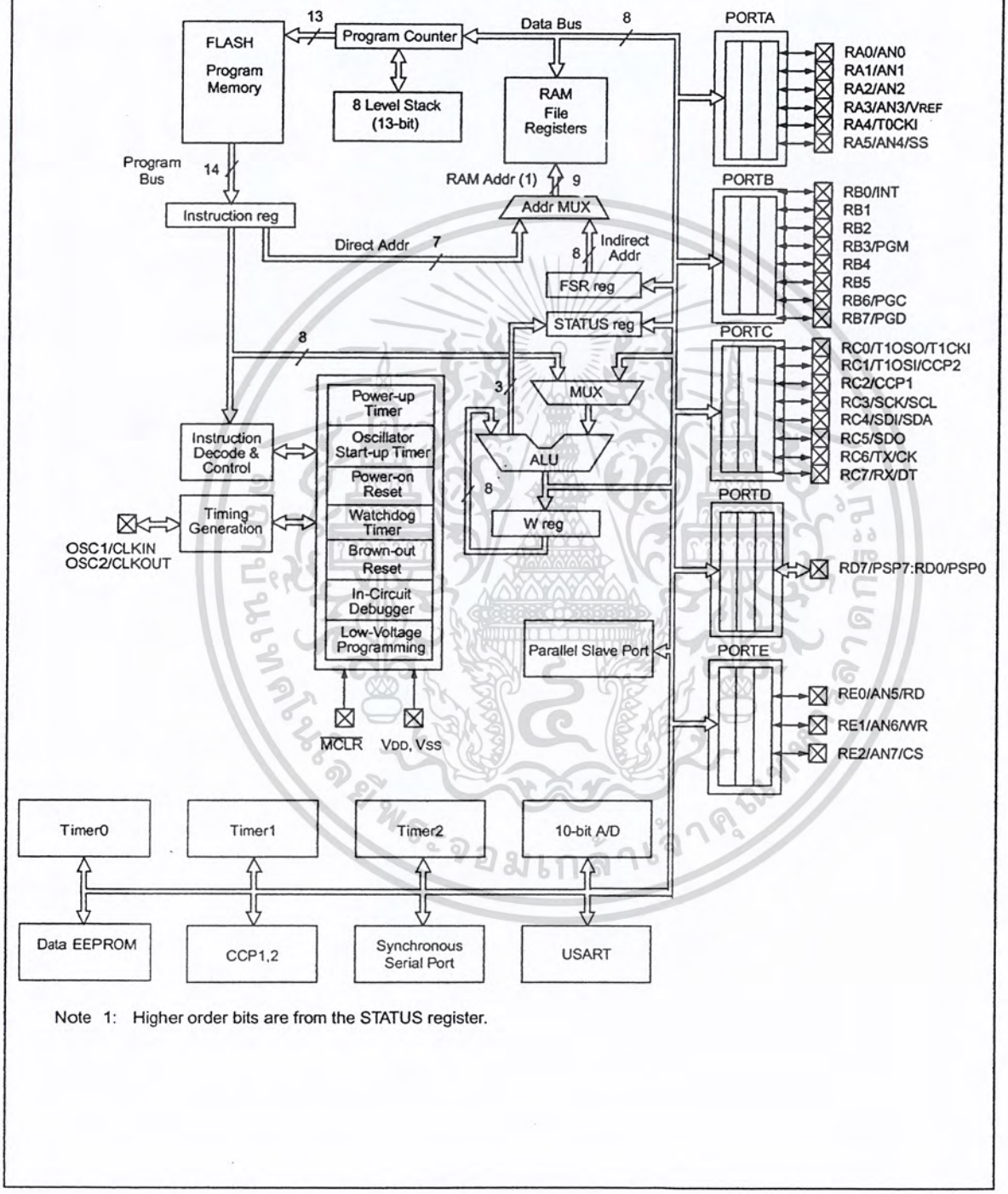
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Key Features PICmicro™ Mid-Range Reference Manual (DS33023)	PIC16F873	PIC16F874	PIC16F876	PIC16F877
Operating Frequency	DC - 20 MHz	DC - 20 MHz	DC - 20 MHz	DC - 20 MHz
Resets (and Delays)	POR, BOR (PWRT, OST)	POR, BOR (PWRT, OST)	POR, BOR (PWRT, OST)	POR, BOR (PWRT, OST)
FLASH Program Memory (14-bit words)	4K	4K	8K	8K
Data Memory (bytes)	192	192	368	368
EEPROM Data Memory	128	128	256	256
Interrupts	13	14	13	14
I/O Ports	Ports A,B,C	Ports A,B,C,D,E	Ports A,B,C	Ports A,B,C,D,E
Timers	3	3	3	3
Capture/Compare/PWM modules	2	2	2	2
Serial Communications	MSSP, USART	MSSP, USART	MSSP, USART	MSSP, USART
Parallel Communications	—	PSP	—	PSP
10-bit Analog-to-Digital Module	5 input channels	8 input channels	5 input channels	8 input channels
Instruction Set	35 Instructions	35 Instructions	35 Instructions	35 Instructions

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

FIGURE 1-2: PIC16F874 AND PIC16F877 BLOCK DIAGRAM

Device	Program FLASH	Data Memory	Data EEPROM
PIC16F874	4K	192 Bytes	128 Bytes
PIC16F877	8K	368 Bytes	256 Bytes



Note 1: Higher order bits are from the STATUS register.

 © 1998 Microchip Technology Inc.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

TABLE 1-2 PIC16F874 AND PIC16F877 PINOUT DESCRIPTION

Pin Name	DIP Pin#	PLCC Pin#	QFP Pin#	I/O/P Type	Buffer Type	Description
OSC1/CLKIN	13	14	30	I	ST/CMOS(4)	Oscillator crystal input/external clock source input.
OSC2/CLKOUT	14	15	31	O	—	Oscillator crystal output. Connects to crystal or resonator in crystal oscillator mode. In RC mode, OSC2 pin outputs CLKOUT which has 1/4 the frequency of OSC1, and denotes the instruction cycle rate.
$\overline{MCLR}$/VPP/THV	1	2	18	I/P	ST	Master clear (reset) input or programming voltage input or high voltage test mode control. This pin is an active low reset to the device.
						PORTA is a bi-directional I/O port.
RA0/AN0	2	3	19	I/O	TTL	RA0 can also be analog input0
RA1/AN1	3	4	20	I/O	TTL	RA1 can also be analog input1
RA2/AN2/VREF-	4	5	21	I/O	TTL	RA2 can also be analog input2 or negative analog reference voltage
RA3/AN3/VREF+	5	6	22	I/O	TTL	RA3 can also be analog input3 or positive analog reference voltage
RA4/T0CKI	6	7	23	I/O	ST	RA4 can also be the clock input to the Timer0 timer/counter. Output is open drain type.
RA5/$\overline{SS}$/AN4	7	8	24	I/O	TTL	RA5 can also be analog input4 or the slave select for the synchronous serial port.
						PORTB is a bi-directional I/O port. PORTB can be software programmed for internal weak pull-up on all inputs.
RB0/INT	33	36	8	I/O	TTL/ST(1)	RB0 can also be the external interrupt pin.
RB1	34	37	9	I/O	TTL	
RB2	35	38	10	I/O	TTL	
RB3/PGM	36	39	11	I/O	TTL	RB3 can also be the low voltage programming input
RB4	37	41	14	I/O	TTL	Interrupt on change pin.
RB5	38	42	15	I/O	TTL	Interrupt on change pin.
RB6/PGC	39	43	16	I/O	TTL/ST(2)	Interrupt on change pin or In-Circuit Debugger pin. Serial programming clock.
RB7/PGD	40	44	17	I/O	TTL/ST(2)	Interrupt on change pin or In-Circuit Debugger pin. Serial programming data.

Legend: I = input O = output I/O = input/output P = power
— = Not used TTL = TTL input ST = Schmitt Trigger input

Note 1: This buffer is a Schmitt Trigger input when configured as an external interrupt.
2: This buffer is a Schmitt Trigger input when used in serial programming mode.
3: This buffer is a Schmitt Trigger input when configured as general purpose I/O and a TTL input when used in the Parallel Slave Port mode (for interfacing to a microprocessor bus).
4: This buffer is a Schmitt Trigger input when configured in RC oscillator mode and a CMOS input otherwise.

 © 1998 Microchip Technology Inc.
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

TABLE 1-2 PIC16F874 AND PIC16F877 PINOUT DESCRIPTION (Cont.'d)

Pin Name	DIP Pin#	PLCC Pin#	QFP Pin#	I/O/P Type	Buffer Type	Description
						PORTC is a bi-directional I/O port.
RC0/T1OSO/T1CKI	15	16	32	I/O	ST	RC0 can also be the Timer1 oscillator output or a Timer1 clock input.
RC1/T1OSI/CCP2	16	18	35	I/O	ST	RC1 can also be the Timer1 oscillator input or Capture2 input/Compare2 output/PWM2 output.
RC2/CCP1	17	19	36	I/O	ST	RC2 can also be the Capture1 input/Compare1 output/ PWM1 output.
RC3/SCK/SCL	18	20	37	I/O	ST	RC3 can also be the synchronous serial clock input/ output for both SPI and I^2C modes.
RC4/SDI/SDA	23	25	42	I/O	ST	RC4 can also be the SPI Data In (SPI mode) or data I/O (I^2C mode).
RC5/SDO	24	26	43	I/O	ST	RC5 can also be the SPI Data Out (SPI mode).
RC6/TX/CK	25	27	44	I/O	ST	RC6 can also be the USART Asynchronous Transmit or Synchronous Clock.
RC7/RX/DT	26	29	1	I/O	ST	RC7 can also be the USART Asynchronous Receive or Synchronous Data.
						PORTD is a bi-directional I/O port or parallel slave port when interfacing to a microprocessor bus.
RD0/PSP0	19	21	38	I/O	ST/TTL(3)	
RD1/PSP1	20	22	39	I/O	ST/TTL(3)	
RD2/PSP2	21	23	40	I/O	ST/TTL(3)	
RD3/PSP3	22	24	41	I/O	ST/TTL(3)	
RD4/PSP4	27	30	2	I/O	ST/TTL(3)	
RD5/PSP5	28	31	3	I/O	ST/TTL(3)	
RD6/PSP6	29	32	4	I/O	ST/TTL(3)	
RD7/PSP7	30	33	5	I/O	ST/TTL(3)	
						PORTE is a bi-directional I/O port.
RE0/$\overline{RD}$/AN5	8	9	25	I/O	ST/TTL(3)	RE0 can also be read control for the parallel slave port, or analog input5.
RE1/$\overline{WR}$/AN6	9	10	26	I/O	ST/TTL(3)	RE1 can also be write control for the parallel slave port, or analog input6.
RE2/$\overline{CS}$/AN7	10	11	27	I/O	ST/TTL(3)	RE2 can also be select control for the parallel slave port, or analog input7.
VSS	12,31	13,34	6,29	P	—	Ground reference for logic and I/O pins.
VDD	11,32	12,35	7,28	P	—	Positive supply for logic and I/O pins.
NC	—	1,17,28, 40	12,13, 33,34		—	These pins are not internally connected. These pins should be left unconnected.

Legend: I = input O = output I/O = input/output P = power
— = Not used TTL = TTL input ST = Schmitt Trigger input

Note 1: This buffer is a Schmitt Trigger input when configured as an external interrupt.
2: This buffer is a Schmitt Trigger input when used in serial programming mode.
3: This buffer is a Schmitt Trigger input when configured as general purpose I/O and a TTL input when used in the Parallel Slave Port mode (for interfacing to a microprocessor bus).
4: This buffer is a Schmitt Trigger input when configured in RC oscillator mode and a CMOS input otherwise.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.0 MEMORY ORGANIZATION

There are three memory blocks in each of these PIC-micros. The Program Memory and Data Memory have separate buses so that concurrent access can occur and is detailed in this section. The EEPROM data memory block is detailed in Section 4.0.

Additional information on device memory may be found in the PICmicro™ Mid-Range Reference Manual, (DS33023).

2.1 Program Memory Organization

The PIC16F87X PICmicros have a 13-bit program counter capable of addressing an 8K x 14 program memory space. The PIC16F877/876 devices have 8K x 14 words of FLASH program memory and the PIC16F873/874 devices have 4K x 14. Accessing a location above the physically implemented address will cause a wraparound.

The reset vector is at 0000h and the interrupt vector is at 0004h.

FIGURE 2-1: PIC16F877/876 PROGRAM MEMORY MAP AND STACK

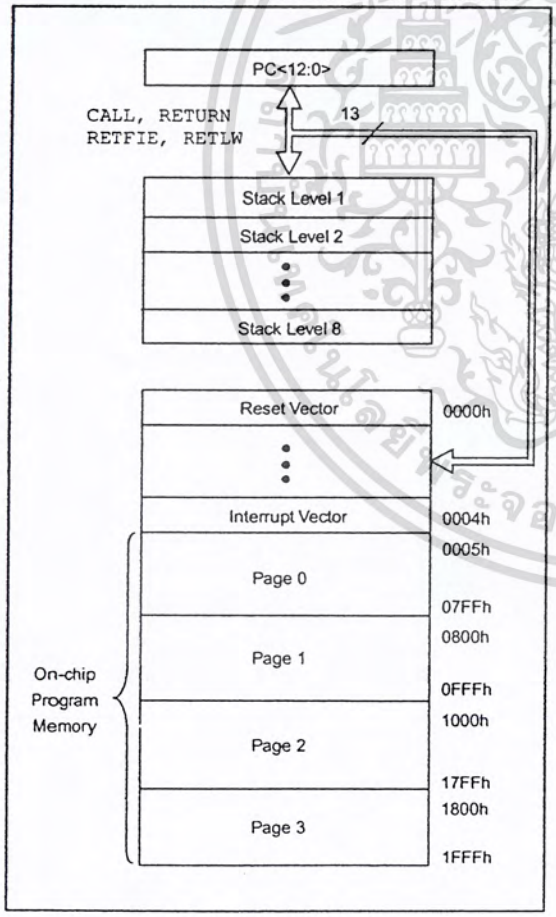
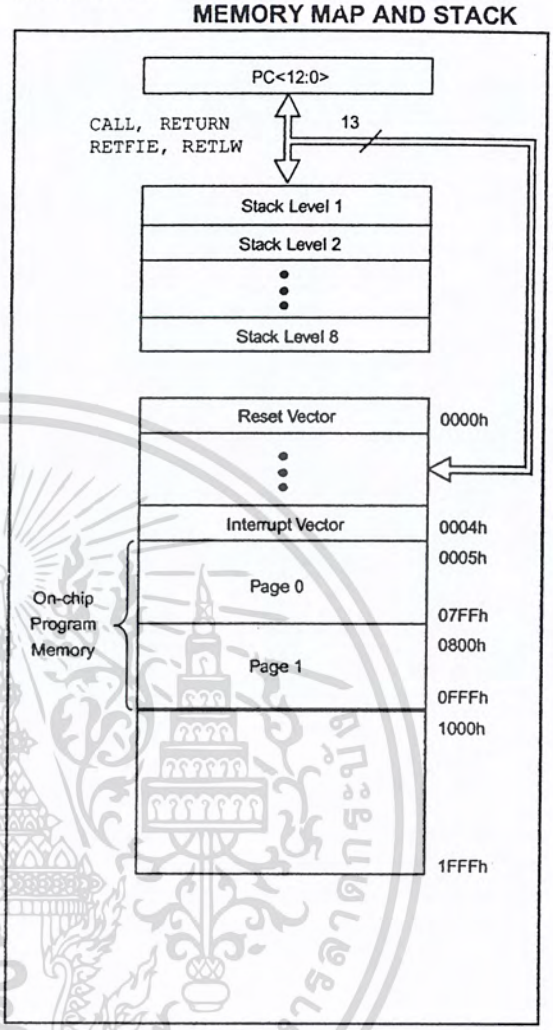


FIGURE 2-2: PIC16F874/873 PROGRAM MEMORY MAP AND STACK



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.2 Data Memory Organization

The data memory is partitioned into multiple banks which contain the General Purpose Registers and the Special Function Registers. Bits RP1 and RP0 are the bank select bits.

RP1	RP0

(STATUS<6:5>)

= 00 → Bank0
= 01 → Bank1
= 10 → Bank2
= 11 → Bank3

Each bank extends up to 7Fh (128 bytes). The lower locations of each bank are reserved for the Special Function Registers. Above the Special Function Registers are General Purpose Registers, implemented as static RAM. All implemented banks contain special function registers. Some "high use" special function registers from one bank may be mirrored in another bank for code reduction and quicker access.

Note:	EEPROM Data Memory description can be found in Section 7.0 of this Data Sheet

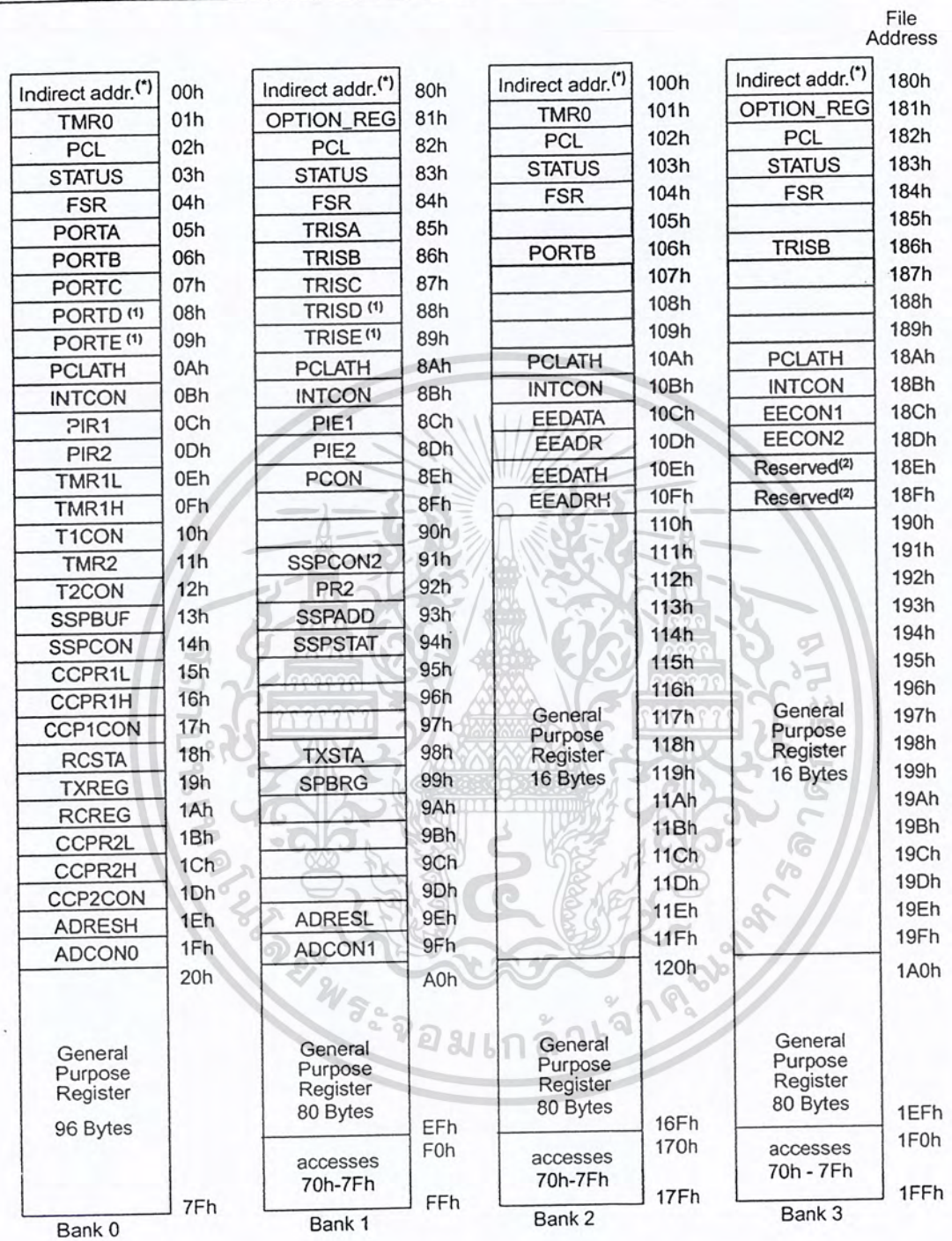
2.2.1 GENERAL PURPOSE REGISTER FILE

The register file can be accessed either directly, or indirectly through the File Select Register FSR.

 © 1998 Microchip Technology Inc.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

FIGURE 2-3: PIC16F877/876 REGISTER FILE MAP



— Unimplemented data memory locations, read as '0'.
* Not a physical register.

Note 1: These registers are not implemented on 28-pin devices.
2: These registers are reserved, maintain these registers clear.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.2.2 SPECIAL FUNCTION REGISTERS

The Special Function Registers are registers used by the CPU and Peripheral Modules for controlling the desired operation of tne device. These registers are implemented as static RAM. A list of these registers is give in Table 2-1.

The special function registers can be classified into two sets; core (CPU) and peripheral. Those registers associated with the core functions are described in detail in this section. Those related to the operation of the peripheral features are described in detail in that peripheral feature section.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

TABLE 2-1: SPECIAL FUNCTION REGISTER SUMMARY

Address	Name	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	Value on: POR, BOR	Value on all other resets (2)
					Bank 0						
00h(4)	INDF	Addressing this location uses contents of FSR to address data memory (not a physical register)								0000 0000	0000 0000
01h	TMR0	Timer0 module's register								xxxx xxxx	uuuu uuuu
02h(4)	PCL	Program Counter's (PC) Least Significant Byte								0000 0000	0000 0000
03h(4)	STATUS	IRP	RP1	RP0	$\overline{TO}$	$\overline{PD}$	Z	DC	C	0001 1xxx	000q quuu
04h(4)	FSR	Indirect data memory address pointer								xxxx xxxx	uuuu uuuu
05h	PORTA	—	—	PORTA Data Latch when written: PORTA pins when read						--0x 0000	--0u 0000
06h	PORTB	PORTB Data Latch when written: PORTB pins when read								xxxx xxxx	uuuu uuuu
07h	PORTC	PORTC Data Latch when written: PORTC pins when read								xxxx xxxx	uuuu uuuu
08h(5)	PORTD	PORTD Data Latch when written: PORTD pins when read								xxxx xxxx	uuuu uuuu
09h(5)	PORTE	—	—	—	—	—	RE2	RE1	RE0	---- -xxx	---- -uuu
0Ah(1,4)	PCLATH	—	—	—	Write Buffer for the upper 5 bits of the Program Counter					---0 0000	---0 0000
0Bh(4)	INTCON	GIE	PEIE	T0IE	INTE	RBIE	T0IF	INTF	RBIF	0000 000x	0000 000u
0Ch	PIR1	PSPIF(3)	ADIF	RCIF	TXIF	SSPIF	CCP1IF	TMR2IF	TMR1IF	0000 0000	0000 0000
0Dh	PIR2	—	(6)	—	EEIF	BCLIF	—	—	CCP2IF	-r-0 0--0	-r-0 0--0
0Eh	TMR1L	Holding register for the Least Significant Byte of the 16-bit TMR1 register								xxxx xxxx	uuuu uuuu
0Fh	TMR1H	Holding register for the Most Significant Byte of the 16-bit TMR1 register								xxxx xxxx	uuuu uuuu
10h	T1CON	—	—	T1CKPS1	T1CKPS0	T1OSCEN	$\overline{T1SYNC}$	TMR1CS	TMR1ON	--00 0000	--uu uuuu
11h	TMR2	Timer2 module's register								0000 0000	0000 0000
12h	T2CON	—	TOUTPS3	TOUTPS2	TOUTPS1	TOUTPS0	TMR2ON	T2CKPS1	T2CKPS0	-000 0000	-000 0000
13h	SSPBUF	Synchronous Serial Port Receive Buffer/Transmit Register								xxxx xxxx	uuuu uuuu
14h	SSPCON	WCOL	SSPOV	SSPEN	CKP	SSPM3	SSPM2	SSPM1	SSPM0	0000 0000	0000 0000
15h	CCPR1L	Capture/Compare/PWM Register1 (LSB)								xxxx xxxx	uuuu uuuu
16h	CCPR1H	Capture/Compare/PWM Register1 (MSB)								xxxx xxxx	uuuu uuuu
17h	CCP1CON	—	—	CCP1X	CCP1Y	CCP1M3	CCP1M2	CCP1M1	CCP1M0	--00 0000	--00 0000
18h	RCSTA	SPEN	RX9	SREN	CREN	ADDEN	FERR	OERR	RX9D	0000 000x	0000 000x
19h	TXREG	USART Transmit Data Register								0000 0000	0000 0000
1Ah	RCREG	USART Receive Data Register								0000 0000	0000 0000
1Bh	CCPR2L	Capture/Compare/PWM Register2 (LSB)								xxxx xxxx	uuuu uuuu
1Ch	CCPR2H	Capture/Compare/PWM Register2 (MSB)								xxxx xxxx	uuuu uuuu
1Dh	CCP2CON	—	—	CCP2X	CCP2Y	CCP2M3	CCP2M2	CCP2M1	CCP2M0	--00 0000	--00 0000
1Eh	ADRESH	A/D Result Register High Byte								xxxx xxxx	uuuu uuuu
1Fh	ADCON0	ADCS1	ADCS0	CHS2	CHS1	CHS0	$\overline{GO/DONE}$	—	ADON	0000 00-0	0000 00-0

Legend: x = unknown, u = unchanged, q = value depends on condition, - = unimplemented read as '0', r = reserved. Shaded locations are unimplemented, read as '0'.

Note 1: The upper byte of the program counter is not directly accessible. PCLATH is a holding register for the PC<12:8> whose contents are transferred to the upper byte of the program counter.

2: Other (non power-up) resets include external reset through $\overline{MCLR}$ and Watchdog Timer Reset.

3: Bits PSPIE and PSPIF are reserved on the 28-pin devices, always maintain these bits clear.

4: These registers can be addressed from any bank.

5: PORTD, PORTE, TRISD, and TRISE are not physically implemented on the 28-pin devices, read as '0'.

6: PIR2<6> and PIE2<6> are reserved on these devices, always maintain these bits clear.

 © 1998 Microchip Technology Inc.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

TABLE 2-1: SPECIAL FUNCTION REGISTER SUMMARY (Cont.'d)

Address	Name	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	Value on: POR, BOR	Value on all other resets (2)
Bank 1											
80h(4)	INDF	Addressing this location uses contents of FSR to address data memory (not a physical register)								0000 0000	0000 0000
81h	OPTION_REG	$\overline{RBPU}$	INTEDG	T0CS	T0SE	PSA	PS2	PS1	PS0	1111 1111	1111 1111
82h(4)	PCL	Program Counter's (PC) Least Significant Byte								0000 0000	0000 0000
83h(4)	STATUS	IRP	RP1	RP0	$\overline{TO}$	$\overline{PD}$	Z	DC	C	0001 1xxx	000q quuu
84h(4)	FSR	Indirect data memory address pointer								xxxx xxxx	uuuu uuuu
85h	TRISA	—	—	PORTA Data Direction Register						--11 1111	--11 1111
86h	TRISB	PORTB Data Direction Register								1111 1111	1111 1111
87h	TRISC	PORTC Data Direction Register								1111 1111	1111 1111
88h(5)	TRISD	PORTD Data Direction Register								1111 1111	1111 1111
89h(5)	TRISE	IBF	OBF	IBOV	PSPMODE	—	PORTE Data Direction Bits			0000 -111	0000 -111
8Ah(1,4)	PCLATH	—	—	—	Write Buffer for the upper 5 bits of the Program Counter					---0 0000	---0 0000
8Bh(4)	INTCON	GIE	PEIE	T0IE	INTE	RBIE	T0IF	INTF	RBIF	0000 000x	0000 000u
8Ch	PIE1	PSPIE(3)	ADIE	RCIE	TXIE	SSPIE	CCP1IE	TMR2IE	TMR1IE	0000 0000	0000 0000
8Dh	PIE2	—	(6)	—	EEIE	BCLIE	—	—	CCP2IE	-r-0 0--0	-r-0 0--0
8Eh	PCON	—	—	—	—	—	—	$\overline{POR}$	$\overline{BOR}$	---- --qq	---- --uu
8Fh	—	Unimplemented								—	—
90h	—	Unimplemented								—	—
91h	SSPCON2	GCEN	ACKSTAT	ACKDT	ACKEN	RCEN	PEN	RSEN	SEN	0000 0000	0000 0000
92h	PR2	Timer2 Period Register								1111 1111	1111 1111
93h	SSPADD	Synchronous Serial Port (I^2C mode) Address Register								0000 0000	0000 0000
94h	SSPSTAT	SMP	CKE	D/$\overline{A}$	P	S	R/$\overline{W}$	UA	BF	0000 0000	0000 0000
95h	—	Unimplemented								—	—
96h	—	Unimplemented								—	—
97h	—	Unimplemented								—	—
98h	TXSTA	CSRC	TX9	TXEN	SYNC	—	BRGH	TRMT	TX9D	0000 -010	0000 -010
99h	SPBRG	Baud Rate Generator Register								0000 0000	0000 0000
9Ah	—	Unimplemented								—	—
9Bh	—	Unimplemented								—	—
9Ch	—	Unimplemented								—	—
9Dh	—	Unimplemented								—	—
9Eh	ADRESL	A/D Result Register Low Byte								xxxx xxxx	uuuu uuuu
9Fh	ADCON1	ADFM	—	—	—	PCFG3	PCFG2	PCFG1	PCFG0	--0- 0000	--0- 0000

Legend: x = unknown, u = unchanged, q = value depends on condition, - = unimplemented read as '0', r = reserved. Shaded locations are unimplemented, read as '0'.

Note 1: The upper byte of the program counter is not directly accessible. PCLATH is a holding register for the PC<12:8> whose contents are transferred to the upper byte of the program counter.

2: Other (non power-up) resets include external reset through $\overline{MCLR}$ and Watchdog Timer Reset.

3: Bits PSPIE and PSPIF are reserved on the 28-pin devices, always maintain these bits clear.

4: These registers can be addressed from any bank.

5: PORTD, PORTE, TRISD, and TRISE are not physically implemented on the 28-pin devices, read as '0'.

6: PIR2<6> and PIE2<6> are reserved on these devices, always maintain these bits clear.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

TABLE 2-1: SPECIAL FUNCTION REGISTER SUMMARY (Cont.'d)

Address	Name	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	Value on: POR, BOR	Value on all other resets (2)
Bank 2											
100h(4)	INDF	Addressing this location uses contents of FSR to address data memory (not a physical register)								0000 0000	0000 0000
101h	TMR0	Timer0 module's register								xxxx xxxx	uuuu uuuu
102h(4)	PCL	Program Counter's (PC) Least Significant Byte								0000 0000	0000 0000
103h(4)	STATUS	IRP	RP1	RP0	$\overline{TO}$	$\overline{PD}$	Z	DC	C	0001 1xxx	000q quuu
104h(4)	FSR	Indirect data memory address pointer								xxxx xxxx	uuuu uuuu
105h	—	Unimplemented								—	—
106h	PORTB	PORTB Data Latch when written: PORTB pins when read								xxxx xxxx	uuuu uuuu
107h	—	Unimplemented								—	—
108h	—	Unimplemented								—	—
109h	—	Unimplemented								—	—
10Ah(1,4)	PCLATH	—	—	—	Write Buffer for the upper 5 bits of the Program Counter					---0 0000	---0 0000
10Bh(4)	INTCON	GIE	PEIE	T0IE	INTE	RBIE	T0IF	INTF	RBIF	0000 000x	0000 000u
10Ch	EEDATA	EEPROM data register								xxxx xxxx	uuuu uuuu
10Dh	EEADR	EEPROM address register								xxxx xxxx	uuuu uuuu
10Eh	EEDATH	—	—	EEPROM data register high byte						xxxx xxxx	uuuu uuuu
10Fh	EEADRH	—	—	—	EEPROM address register high byte					xxxx xxxx	uuuu uuuu
Bank 3											
180h(4)	INDF	Addressing this location uses contents of FSR to address data memory (not a physical register)								0000 0000	0000 0000
181h	OPTION_REG	$\overline{RBPU}$	INTEDG	T0CS	T0SE	PSA	PS2	PS1	PS0	1111 1111	1111 1111
182h(4)	PCL	Program Counter's (PC) Least Significant Byte								0000 0000	0000 0000
183h(4)	STATUS	IRP	RP1	RP0	$\overline{TO}$	$\overline{PD}$	Z	DC	C	0001 1xxx	000q quuu
184h(4)	FSR	Indirect data memory address pointer								xxxx xxxx	uuuu uuuu
185h	—	Unimplemented								—	—
186h	TRISB	PORTB Data Direction Register								1111 1111	1111 1111
187h	—	Unimplemented								—	—
188h	—	Unimplemented								—	—
189h	—	Unimplemented								—	—
18Ah(1,4)	PCLATH	—	—	—	Write Buffer for the upper 5 bits of the Program Counter					---0 0000	---0 0000
18Bh(4)	INTCON	GIE	PEIE	T0IE	INTE	RBIE	T0IF	INTF	RBIF	0000 000x	0000 000u
18Ch	EECON1	EEPGD	—	—	—	WRERR	WREN	WR	RD	x--- x000	x--- u000
18Dh	EECON2	EEPROM control register2 (not a physical register)								---- ----	---- ----
18Eh	—	Reserved maintain clear								0000 0000	0000 0000
18Fh	—	Reserved maintain clear								0000 0000	0000 0000

Legend: x = unknown, u = unchanged, q = value depends on condition, - = unimplemented read as '0', r = reserved. Shaded locations are unimplemented, read as '0'.

Note 1: The upper byte of the program counter is not directly accessible. PCLATH is a holding register for the PC<12:8> whose contents are transferred to the upper byte of the program counter.

2: Other (non power-up) resets include external reset through $\overline{MCLR}$ and Watchdog Timer Reset.

3: Bits PSPIE and PSPIF are reserved on the 28-pin devices, always maintain these bits clear.

4: These registers can be addressed from any bank.

5: PORTD, PORTE, TRISD, and TRISE are not physically implemented on the 28-pin devices, read as '0'.

6: PIR2<6> and PIE2<6> are reserved on these devices, always maintain these bits clear.

 © 1998 Microchip Technology Inc.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.3 PCL and PCLATH

The program counter (PC) specifies the address of the instruction to fetch for execution. The PC is 13 bits wide. The low byte is called the PCL register. This register is readable and writable. The high byte is called the PCH register. This register contains the PC<12:8> bits and is not directly readable or writable. All updates to the PCH register go through the PCLATH register.

2.3.1 STACK

The stack allows a combination of up to 8 program calls and interrupts to occur. The stack contains the return address from this branch in program execution.

Midrange devices have an 8 level deep x 13-bit wide hardware stack. The stack space is not part of either program or data space and the stack pointer is not readable or writable. The PC is PUSHed onto the stack when a CALL instruction is executed or an interrupt causes a branch. The stack is POPed in the event of a RETURN, RETLW or a RETFIE instruction execution. PCLATH is not modified when the stack is PUSHed or POPed.

After the stack has been PUSHed eight times, the ninth push overwrites the value that was stored from the first push. The tenth push overwrites the second push (and so on).

2.4 Program Memory Paging

PIC16F87X devices are capable of addressing a continuous 8K word block of program memory. The CALL and GOTO instructions provide only 11 bits of address to allow branching within any 2K program memory page. When doing a CALL or GOTO instruction the upper 2 bits of the address are provided by PCLATH<4:3>. When doing a CALL or GOTO instruction, the user must ensure that the page select bits are programmed so that the desired program memory page is addressed. If a return from a CALL instruction (or interrupt) is executed, the entire 13-bit PC is pushed onto the stack. Therefore, manipulation of the PCLATH<4:3> bits are not required for the return instructions (which POPs the address from the stack).

The INDF register is not a physical register. Addressing INDF actually addresses the register whose address is contained in the FSR register (FSR is a *pointer*). This is indirect addressing.

EXAMPLE 2-1: INDIRECT ADDRESSING

- Register file 05 contains the value 10h
- Register file 06 contains the value 0Ah
- Load the value 05 into the FSR register
- A read of the INDF register will return the value of 10h
- Increment the value of the FSR register by one (FSR = 06)
- A read of the INDF register now will return the value of 0Ah.

Reading INDF itself indirectly (FSR = 0) will produce 00h. Writing to the INDF register indirectly results in a no-operation (although STATUS bits may be affected).

A simple program to clear RAM locations 20h-2Fh using indirect addressing is shown in Example 2-2.

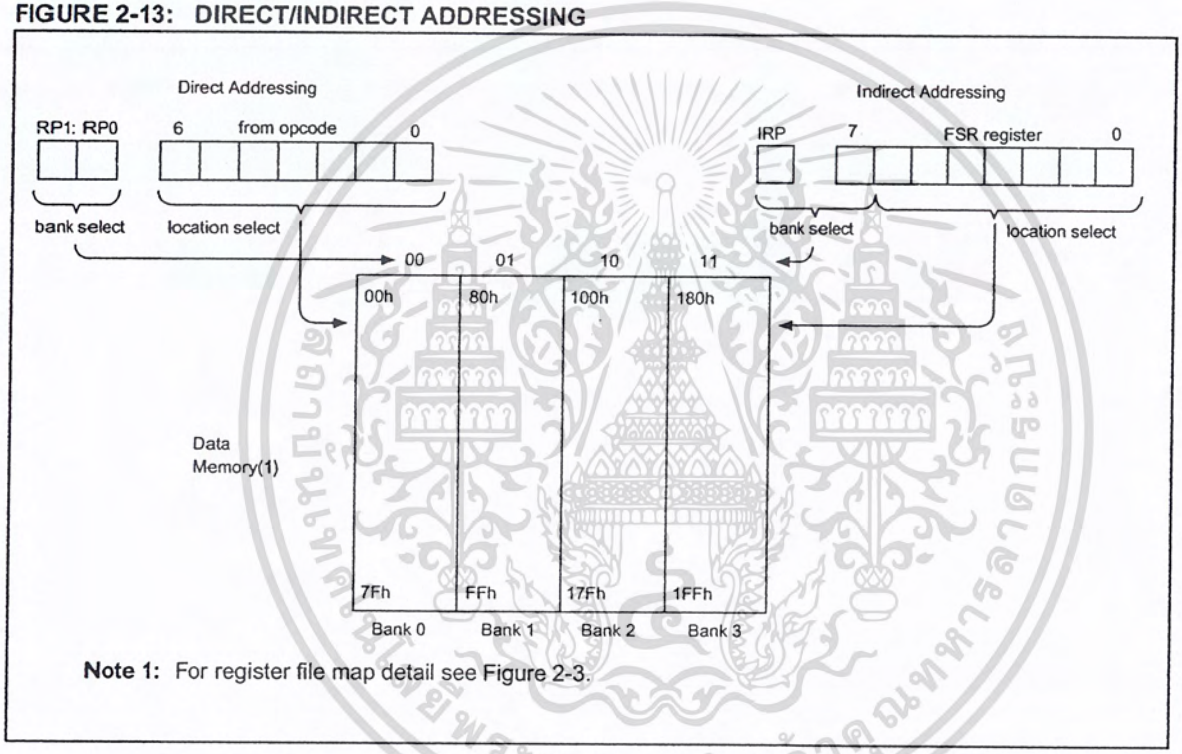
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

EXAMPLE 2-2: HOW TO CLEAR RAM USING INDIRECT ADDRESSING

```
        movlw   0x20  ;initialize pointer
        movwf   FSR   ;  to RAM
NEXT    clrf    INDF  ;clear INDF register
        incf    FSR   ;inc pointer
        btfss   FSR,4 ;all done?
        goto    NEXT  ;NO, clear next
CONTINUE
        :             ;YES, continue
```

An effective 9-bit address is obtained by concatenating the 8-bit FSR register and the IRP bit (STATUS<7>), as shown in Figure 2-13.

FIGURE 2-13: DIRECT/INDIRECT ADDRESSING



Note 1: For register file map detail see Figure 2-3.

 © 1998 Microchip Technology Inc.
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

10.0 ADDRESSABLE UNIVERSAL SYNCHRONOUS ASYNCHRONOUS RECEIVER TRANSMITTER (USART)

The Universal Synchronous Asynchronous Receiver Transmitter (USART) module is one of the two serial I/O modules. (USART is also known as a Serial Communications Interface or SCi). The USART can be configured as a full duplex asynchronous system that can communicate with peripheral devices such as CRT terminals and personal computers, or it can be configured as a half duplex synchronous system that can communicate with peripheral devices such as A/D or D/A integrated circuits, Serial EEPROMs etc.

The USART can be configured in the following modes:

- Asynchronous (full duplex)
- Synchronous - Master (half duplex)
- Synchronous - Slave (half duplex)

Bit SPEN (RCSTA<7>), and bits TRISC<7:6>, have to be set in order to configure pins RC6/TX/CK and RC7/RX/DT as the Universal Synchronous Asynchronous Receiver Transmitter.

The USART module also has a multi-processor communication capability using 9-bit address detection.

FIGURE 10-1: TXSTA: TRANSMIT STATUS AND CONTROL REGISTER (ADDRESS 98h)

R/W-0	R/W-0	R/W-0	R/W-0	U-0	R/W-0	R-1	R/W-0
CSRC	TX9	TXEN	SYNC	—	BRGH	TRMT	TX9D
bit7							bit0

R = Readable bit
W = Writable bit
U = Unimplemented bit, read as '0'
- n =Value at POR reset

bit 7: **CSRC**: Clock Source Select bit

Asynchronous mode
Don't care

Synchronous mode
1 = Master mode (Clock generated internally from BRG)
0 = Slave mode (Clock from external source)

bit 6: **TX9**: 9-bit Transmit Enable bit
1 = Selects 9-bit transmission
0 = Selects 8-bit transmission

bit 5: **TXEN**: Transmit Enable bit
1 = Transmit enabled
0 = Transmit disabled
Note: SREN/CREN overrides TXEN in SYNC mode.

bit 4: **SYNC**: USART Mode Select bit
1 = Synchronous mode
0 = Asynchronous mode

bit 3: **Unimplemented:** Read as '0'

bit 2: **BRGH**: High Baud Rate Select bit

Asynchronous mode
1 = High speed
0 = Low speed

Synchronous mode
Unused in this mode

bit 1: **TRMT**: Transmit Shift Register Status bit
1 = TSR empty
0 = TSR full

bit 0: **TX9D**: 9th bit of transmit data. Can be parity bit.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

FIGURE 10-2: RCSTA: RECEIVE STATUS AND CONTROL REGISTER (ADDRESS 18h)

R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R-0	R-0	R-x
SPEN	RX9	SREN	CREN	ADDEN	FERR	OERR	RX9D
bit7							bit0

R = Readable bit
W = Writable bit
U = Unimplemented bit, read as '0'
- n =Value at POR reset

bit 7: **SPEN**: Serial Port Enable bit
1 = Serial port enabled (Configures RC7/RX/DT and RC6/TX/CK pins as serial port pins)
0 = Serial port disabled

bit 6: **RX9**: 9-bit Receive Enable bit
1 = Selects 9-bit reception
0 = Selects 8-bit reception

bit 5: **SREN**: Single Receive Enable bit

Asynchronous mode
Don't care

Synchronous mode - master
1 = Enables single receive
0 = Disables single receive
This bit is cleared after reception is complete.

Synchronous mode - slave
Unused in this mode

bit 4: **CREN**: Continuous Receive Enable bit

Asynchronous mode
1 = Enables continuous receive
0 = Disables continuous receive

Synchronous mode
1 = Enables continuous receive until enable bit CREN is cleared (CREN overrides SREN)
0 = Disables continuous receive

bit 3: **ADDEN:** Address Detect Enable bit
Asynchronous mode 9-bit (RX9 = 1)
1 = Enables address detection, enable interrupt and load of the receive buffer when RSR<8> is set
0 = Disables address detection, all bytes are received, and ninth bit can be used as parity bit

bit 2: **FERR**: Framing Error bit
1 = Framing error (Can be updated by reading RCREG register and receive next valid byte)
0 = No framing error

bit 1: **OERR**: Overrun Error bit
1 = Overrun error (Can be cleared by clearing bit CREN)
0 = No overrun error

bit 0: **RX9D**: 9th bit of received data (Can be parity bit)

 © 1998 Microchip Technology Inc.
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

10.1 USART Baud Rate Generator (BRG)

The BRG supports both the Asynchronous and Synchronous modes of the USART. It is a dedicated 8-bit baud rate generator. The SPBRG register controls the period of a free running 8-bit timer. In asynchronous mode bit BRGH (TXSTA<2>) also controls the baud rate. In synchronous mode bit BRGH is ignored. Table 10-1 shows the formula for computation of the baud rate for different USART modes which only apply in master mode (internal clock).

Given the desired baud rate and Fosc, the nearest integer value for the SPBRG register can be calculated using the formula in Table 10-1. From this, the error in baud rate can be determined.

Example 10-1 shows the calculation of the baud rate error for the following conditions:

Fosc = 16 MHz
Desired Baud Rate = 9600
BRGH = 0
SYNC = 0

EXAMPLE 10-1: CALCULATING BAUD RATE ERROR

Desired Baud rate = Fosc / (64 (X + 1))

9600 = 16000000 /(64 (X + 1))

X = ⌊25.042⌋ = 25

Calculated Baud Rate=16000000 / (64 (25 + 1))

= 9615

$$\text{Error} = \frac{\text{(Calculated Baud Rate - Desired Baud Rate)}}{\text{Desired Baud Rate}}$$

= (9615 - 9600) / 9600

= 0.16%

It may be advantageous to use the high baud rate (BRGH = 1) even for slower baud clocks. This is because the Fosc/(16(X + 1)) equation can reduce the baud rate error in some cases.

Writing a new value to the SPBRG register, causes the BRG timer to be reset (or cleared), this ensures the BRG does not wait for a timer overflow before outputting the new baud rate.

10.1.1 SAMPLING

The data on the RC7/RX/DT pin is sampled three times by a majority detect circuit to determine if a high or a low level is present at the RX pin.

TABLE 10-1 BAUD RATE FORMULA

SYNC	BRGH = 0 (Low Speed)	BRGH = 1 (High Speed)
0	(Asynchronous) Baud Rate = Fosc/(64(X+1))	Baud Rate= Fosc/(16(X+1))
1	(Synchronous) Baud Rate = Fosc/(4(X+1))	NA

X = value in SPBRG (0 to 255)

TABLE 10-2 REGISTERS ASSOCIATED WITH BAUD RATE GENERATOR

Address	Name	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	Value on: POR, BOR	Value on all other resets
98h	TXSTA	CSRC	TX9	TXEN	SYNC	—	BRGH	TRMT	TX9D	0000 -010	0000 -010
18h	RCSTA	SPEN	RX9	SREN	CREN	ADDEN	FERR	OERR	RX9D	0000 000x	0000 000x
99h	SPBRG	Baud Rate Generator Register								0000 0000	0000 0000

Legend: x = unknown, - = unimplemented read as '0'. Shaded cells are not used by the BRG.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

TABLE 10-3 BAUD RATES FOR SYNCHRONOUS MODE

BAUD RATE (K)	Fosc = 20 MHz			16 MHz			10 MHz			7.15909 MHz		
	KBAUD	% ERROR	SPBRG value (decimal)	KBAUD	% ERROR	SPBRG value (decimal)	KBAUD	% ERROR	SPBRG value (decimal)	KBAUD	% ERROR	SPBRG value (decimal)
0.3	NA	-	-	NA	-	-	NA	-	-	NA	-	-
1.2	NA	-	-	NA	-	-	NA	-	-	NA	-	-
2.4	NA	-	-	NA	-	-	NA	-	-	NA	-	-
9.6	NA	-	-	NA	-	-	9.766	+1.73	255	9.622	+0.23	185
19.2	19.53	+1.73	255	19.23	+0.16	207	19.23	+0.16	129	19.24	+0.23	92
76.8	76.92	+0.16	64	76.92	+0.16	51	75.76	-1.36	32	77.82	+1.32	22
96	96.15	+0.16	51	95.24	-0.79	41	96.15	+0.16	25	94.20	-1.88	18
300	294.1	-1.96	16	307.69	+2.56	12	312.5	+4.17	7	298.3	-0.57	5
500	500	0	9	500	0	7	500	0	4	NA	-	-
HIGH	5000	-	0	4000	-	0	2500	-	0	1789.8	-	0
LOW	19.53	-	255	15.625	-	255	9.766	-	255	6.991	-	255

BAUD RATE (K)	Fosc = 5.0688 MHz			4 MHz			3.579545 MHz			1 MHz			32.768 kHz		
	KBAUD	% ERROR	SPBRG value (decimal)	KBAUD	% ERROR	SPBRG value (decimal)	KBAUD	% ERROR	SPBRG value (decimal)	KBAUD	% ERROR	SPBRG value (decimal)	KBAUD	% ERROR	SPBRG value (decimal)
0.3	NA	-	-	NA	-	-	NA	-	-	NA	-	-	0.303	+1.14	26
1.2	NA	-	-	NA	-	-	NA	-	-	1.202	+0.16	207	1.170	-2.48	6
2.4	NA	-	-	NA	-	-	NA	-	-	2.404	+0.16	103	NA	-	-
9.6	9.6	0	131	9.615	+0.16	103	9.622	+0.23	92	9.615	+0.16	25	NA	-	-
19.2	19.2	0	65	19.231	+0.16	51	19.04	-0.83	46	19.24	+0.16	12	NA	-	-
76.8	79.2	+3.13	15	76.923	+0.16	12	74.57	-2.90	11	83.34	+8.51	2	NA	-	-
96	97.48	+1.54	12	1000	+4.17	9	99.43	+3.57	8	NA	-	-	NA	-	-
300	316.8	+5.60	3	NA	-	-	298.3	-0.57	2	NA	-	-	NA	-	-
500	NA	-	-	NA	-	-	NA	-	-	NA	-	-	NA	-	-
HIGH	1267	-	0	100	-	0	894.9	-	0	250	-	0	8.192	-	0
LOW	4.950	-	255	3.906	-	255	3.496	-	255	0.9766	-	255	0.032	-	255

TABLE 10-4 BAUD RATES FOR ASYNCHRONOUS MODE (BRGH = 0)

BAUD RATE (K)	Fosc = 20 MHz			16 MHz			10 MHz			7.15909 MHz		
	KBAUD	% ERROR	SPBRG value (decimal)	KBAUD	% ERROR	SPBRG value (decimal)	KBAUD	% ERROR	SPBRG value (decimal)	KBAUD	% ERROR	SPBRG value (decimal)
0.3	NA	-	-	NA	-	-	NA	-	-	NA	-	-
1.2	1.221	+1.73	255	1.202	+0.16	207	1.202	+0.16	129	1.203	+0.23	92
2.4	2.404	+0.16	129	2.404	+0.16	103	2.404	+0.16	64	2.380	-0.83	46
9.6	9.469	-1.36	32	9.615	+0.16	25	9.766	+1.73	15	9.322	-2.90	11
19.2	19.53	+1.73	15	19.23	+0.16	12	19.53	+1.73	7	18.64	-2.90	5
76.8	78.13	+1.73	3	83.33	+8.51	2	78.13	+1.73	1	NA	-	-
96	104.2	+8.51	2	NA	-	-	NA	-	-	NA	-	-
300	312.5	+4.17	0	NA	-	-	NA	-	-	NA	-	-
500	NA	-	-	NA	-	-	NA	-	-	NA	-	-
HIGH	312.5	-	0	250	-	0	156.3	-	0	111.9	-	0
LOW	1.221	-	255	0.977	-	255	0.6104	-	255	0.437	-	255

BAUD RATE (K)	Fosc = 5.0688 MHz			4 MHz			3.579545 MHz			1 MHz			32.768 kHz		
	KBAUD	% ERROR	SPBRG value (decimal)	KBAUD	% ERROR	SPBRG value (decimal)	KBAUD	% ERROR	SPBRG value (decimal)	KBAUD	% ERROR	SPBRG value (decimal)	KBAUD	% ERROR	SPBRG value (decimal)
0.3	0.31	+3.13	255	0.3005	-0.17	207	0.301	+0.23	185	0.300	+0.16	51	0.256	-14.67	1
1.2	1.2	0	65	1.202	+1.67	51	1.190	-0.83	46	1.202	+0.16	12	NA	-	-
2.4	2.4	0	32	2.404	+1.67	25	2.432	+1.32	22	2.232	-6.99	6	NA	-	-
9.6	9.9	+3.13	7	NA	-	-	9.322	-2.90	5	NA	-	-	NA	-	-
19.2	19.8	+3.13	3	NA	-	-	18.64	-2.90	2	NA	-	-	NA	-	-
76.8	79.2	+3.13	0	NA	-	-	NA	-	-	NA	-	-	NA	-	-
96	NA	-	-	NA	-	-	NA	-	-	NA	-	-	NA	-	-
300	NA	-	-	NA	-	-	NA	-	-	NA	-	-	NA	-	-
500	NA	-	-	NA	-	-	NA	-	-	NA	-	-	NA	-	-
HIGH	79.2	-	0	62.500	-	0	55.93	-	0	15.63	-	0	0.512	-	0
LOW	0.3094	-	255	3.906	-	255	0.2185	-	255	0.0610	-	255	0.0020	-	255

© 1998 Microchip Technology Inc.
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

TABLE 10-5 BAUD RATES FOR ASYNCHRONOUS MODE (BRGH = 1)

BAUD RATE (K)	Fosc = 20 MHz KBAUD	% ERROR	SPBRG value (decimal)	16 MHz KBAUD	% ERROR	SPBRG value (decimal)	10 MHz KBAUD	% ERROR	SPBRG value (decimal)	7.16 MHz KBAUD	% ERROR	SPBRG value (decimal)
9.6	9.615	+0.16	129	9.615	+0.16	103	9.615	+0.16	64	9.520	-0.83	46
19.2	19.230	+0.16	64	19.230	+0.16	51	18.939	-1.36	32	19.454	+1.32	22
38.4	37.878	-1.36	32	38.461	+0.16	25	39.062	+1.7	15	37.286	-2.90	11
57.6	56.818	-1.36	21	58.823	+2.12	16	56.818	-1.36	10	55.930	-2.90	7
115.2	113.636	-1.36	10	111.111	-3.55	8	125	+8.51	4	111.860	-2.90	3
250	250	0	4	250	0	3	NA	-	-	NA	-	-
625	625	0	1	NA	-	-	625	0	0	NA	-	-
1250	1250	0	0	NA	-	-	NA	-	-	NA	-	-

BAUD RATE (K)	Fosc = 5.068 MHz KBAUD	% ERROR	SPBRG value (decimal)	4 MHz KBAUD	% ERROR	SPBRG value (decimal)	3.579 MHz KBAUD	% ERROR	SPBRG value (decimal)	1 MHz KBAUD	% ERROR	SPBRG value (decimal)	32.768 kHz KBAUD	% ERROR	SPBRG value (decimal)
9.6	9.6	0	32	NA	-	-	9.727	+1.32	22	8.928	-6.99	6	NA	-	-
19.2	18.645	-2.94	16	1.202	+0.17	207	18.643	-2.90	11	20.833	+8.51	2	NA	-	-
38.4	39.6	+3.12	7	2.403	+0.13	103	37.286	-2.90	5	31.25	-18.61	1	NA	-	-
57.6	52.8	-8.33	5	9.615	+0.16	25	55.930	-2.90	3	62.5	+8.51	0	NA	-	-
115.2	105.6	-8.33	2	19.231	+0.16	12	111.860	-2.90	1	NA	-	-	NA	-	-
250	NA	-	-	NA	-	-	223.721	-10.51	0	NA	-	-	NA	-	-
625	NA	-	-	NA	-	-	NA	-	-	NA	-	-	NA	-	-
1250	NA	-	-	NA	-	-	NA	-	-	NA	-	-	NA	-	-

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

10.2 USART Asynchronous Mode

In this mode, the USART uses standard nonreturn-to-zero (NRZ) format (one start bit, eight or nine data bits and one stop bit). The most common data format is 8-bits. An on-chip dedicated 8-bit baud rate generator can be used to derive standard baud rate frequencies from the oscillator. The USART transmits and receives the LSb first. The USART's transmitter and receiver are functionally independent but use the same data format and baud rate. The baud rate generator produces a clock either x16 or x64 of the bit shift rate, depending on bit BRGH (TXSTA<2>). Parity is not supported by the hardware, but can be implemented in software (and stored as the ninth data bit). Asynchronous mode is stopped during SLEEP.

Asynchronous mode is selected by clearing bit SYNC (TXSTA<4>).

The USART Asynchronous module consists of the following important elements:

- Baud Rate Generator
- Sampling Circuit
- Asynchronous Transmitter
- Asynchronous Receiver

10.2.1 USART ASYNCHRONOUS TRANSMITTER

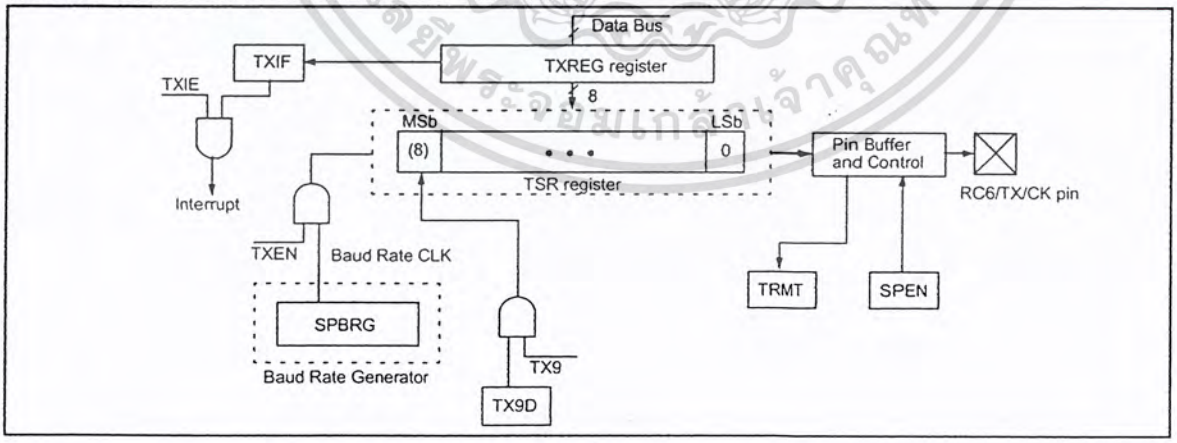
The USART transmitter block diagram is shown in Figure 10-3. The heart of the transmitter is the transmit (serial) shift register (TSR). The shift register obtains its data from the read/write transmit buffer, TXREG. The TXREG register is loaded with data in software. The TSR register is not loaded until the STOP bit has been transmitted from the previous load. As soon as the STOP bit is transmitted, the TSR is loaded with new data from the TXREG register (if available). Once the TXREG register transfers the data to the TSR register (occurs in one TCY), the TXREG register is empty and flag bit TXIF (PIR1<4>) is set. This interrupt can be enabled/disabled by setting/clearing enable bit TXIE (PIE1<4>). Flag bit TXIF will be set regardless of the state of enable bit TXIE and cannot be cleared in software. It will reset only when new data is loaded into the TXREG register. While flag bit TXIF indicated the status of the TXREG register, another bit TRMT (TXSTA<1>) shows the status of the TSR register. Status bit TRMT is a read only bit which is set when the TSR register is empty. No interrupt logic is tied to this bit, so the user has to poll this bit in order to determine if the TSR register is empty.

Note 1:	The TSR register is not mapped in data memory so it is not available to the user.
Note 2:	Flag bit TXIF is set when enable bit TXEN is set.

Steps to follow when setting up an Asynchronous Transmission:

1. Initialize the SPBRG register for the appropriate baud rate. If a high speed baud rate is desired, set bit BRGH. (Section 10.1)
2. Enable the asynchronous serial port by clearing bit SYNC and setting bit SPEN.
3. If interrupts are desired, then set enable bit TXIE.
4. If 9-bit transmission is desired, then set transmit bit TX9.
5. Enable the transmission by setting bit TXEN, which will also set bit TXIF.
6. If 9-bit transmission is selected, the ninth bit should be loaded in bit TX9D.
7. Load data to the TXREG register (starts transmission).

FIGURE 10-3: USART TRANSMIT BLOCK DIAGRAM



 © 1998 Microchip Technology Inc.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

FIGURE 10-4: ASYNCHRONOUS TRANSMISSION

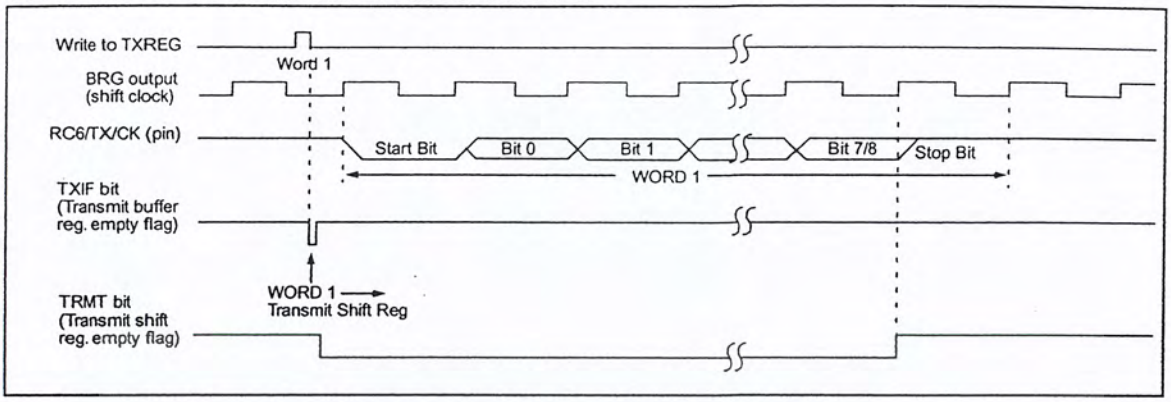


FIGURE 10-5: ASYNCHRONOUS TRANSMISSION (BACK TO BACK)

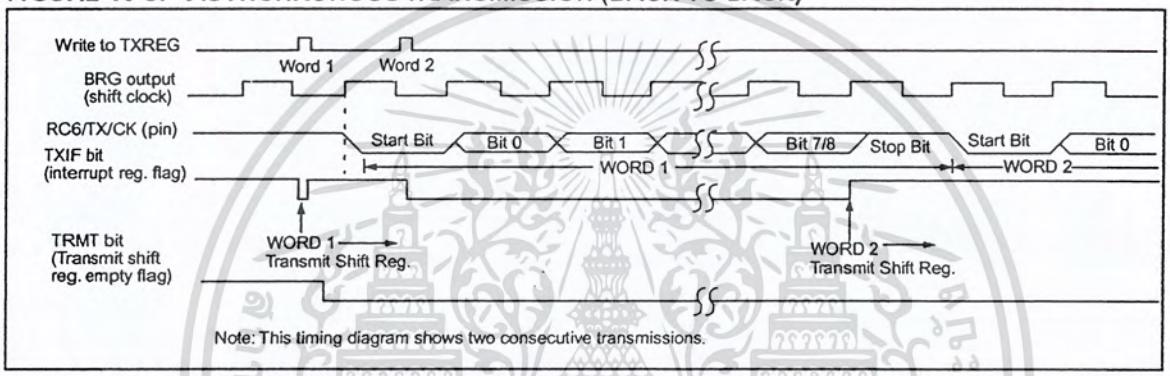


TABLE 10-6 REGISTERS ASSOCIATED WITH ASYNCHRONOUS TRANSMISSION

Address	Name	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	Value on: POR, BOR	Value on all other Resets
0Ch	PIR1	PSPIF(1)	ADIF	RCIF	TXIF	SSPIF	CCP1IF	TMR2IF	TMR1IF	0000 0000	0000 0000
18h	RCSTA	SPEN	RX9	SREN	CREN	ADDEN	FERR	OERR	RX9D	0000 000x	0000 000x
19h	TXREG	USART Transmit Register								0000 0000	0000 0000
8Ch	PIE1	PSPIE(1)	ADIE	RCIE	TXIE	SSPIE	CCP1IE	TMR2IE	TMR1IE	0000 0000	0000 0000
98h	TXSTA	CSRC	TX9	TXEN	SYNC	—	BRGH	TRMT	TX9D	0000 -010	0000 -010
99h	SPBRG	Baud Rate Generator Register								0000 0000	0000 0000

Legend: x = unknown, - = unimplemented locations read as '0'. Shaded cells are not used for Asynchronous Transmission.
Note 1: Bits PSPIE and PSPIF are reserved on the 28-pin devices, always maintain these bits clear.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

10.2.2 USART ASYNCHRONOUS RECEIVER

The receiver block diagram is shown in Figure 10-6. The data is received on the RC7/RX/DT pin and drives the data recovery block. The data recovery block is actually a high speed shifter operating at x16 times the baud rate, whereas the main receive serial shifter operates at the bit rate or at Fosc.

The USART module has a special provision for multiprocessor comm::nication. When the RX9 bit is set in the RCSTA register, 9-bits are received and the ninth bit is placed in the RX9D status bit of the RSTA register. The port can be programmed such that when the stop bit is received, the serial port interrupt will only be activated if the RX9D bit = 1. This feature is enabled by setting the ADDEN bit RCSTA<3> in the RCSTA register. This feature can be used in a multi-processor system as follows:

A master processor intends to transmit a block of data to one of many slaves. It must first send out an address byte that identifies the target slave. An address byte is identified by the RX9D bit being a '1' (instead of a '0' for a data byte). If the ADDEN bit is set in the slave's RCSTA register, all data bytes will be ignored. However, if the ninth received bit is equal to a '1', indicating that the received byte is an address, the slave will be interrupted and the contents of the RSR register will be transferred into the receive buffer. This allows the slave to be interrupted only by addresses, so that the slave can examine the received byte to see if it is addressed. The addressed slave will then clear its ADDEN bit and prepare to receive data bytes from the master.

When ADDEN is set, all data bytes are ignored. Following the STOP bit, the data will not be loaded into the receive buffer, and no interrupt will occur. If another byte is shifted into the RSR register, the previous data byte will be lost.

The ADDEN bit will only take effect when the receiver is configured in 9-bit asynchronous mode.

The receiver block diagram is shown in Figure 10-6.

Once Asynchronous mode is selected, reception is enabled by setting bit CREN (RCSTA<4>).

10.2.3 SETTING UP 9-BIT MODE WITH ADDRESS DETECT

Steps to follow when setting up an Asynchronous Reception with Address Detect Enabled:

- Initialize the SPBRG register for the appropriate baud rate. If a high speed baud rate is desired, set bit BRGH.
- Enable the asynchronous serial port by clearing bit SYNC and setting bit SPEN.
- If interrupts are desired, then set enable bit RCIE.
- Set bit RX9 to enable 9-bit reception.
- Set ADDEN to enable address detect.
- Enable the reception by setting enable bit CREN.
- Flag bit RCIF will be set when reception is complete, and an interrupt will be generated if enable bit RCIE was set.
- Read the RCSTA register to get the ninth bit and determine if any error occurred during reception.
- Read the 8-bit received data by reading the RCREG register, to determine if the device is being addressed.
- If any error occurred, clear the error by clearing enable bit CREN.
- If the device has been addressed, clear the ADDEN bit to allow data bytes and address bytes to be read into the receive buffer, and interrupt the CPU.

 © 1998 Microchip Technology Inc.
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

FIGURE 10-6: USART RECEIVE BLOCK DIAGRAM

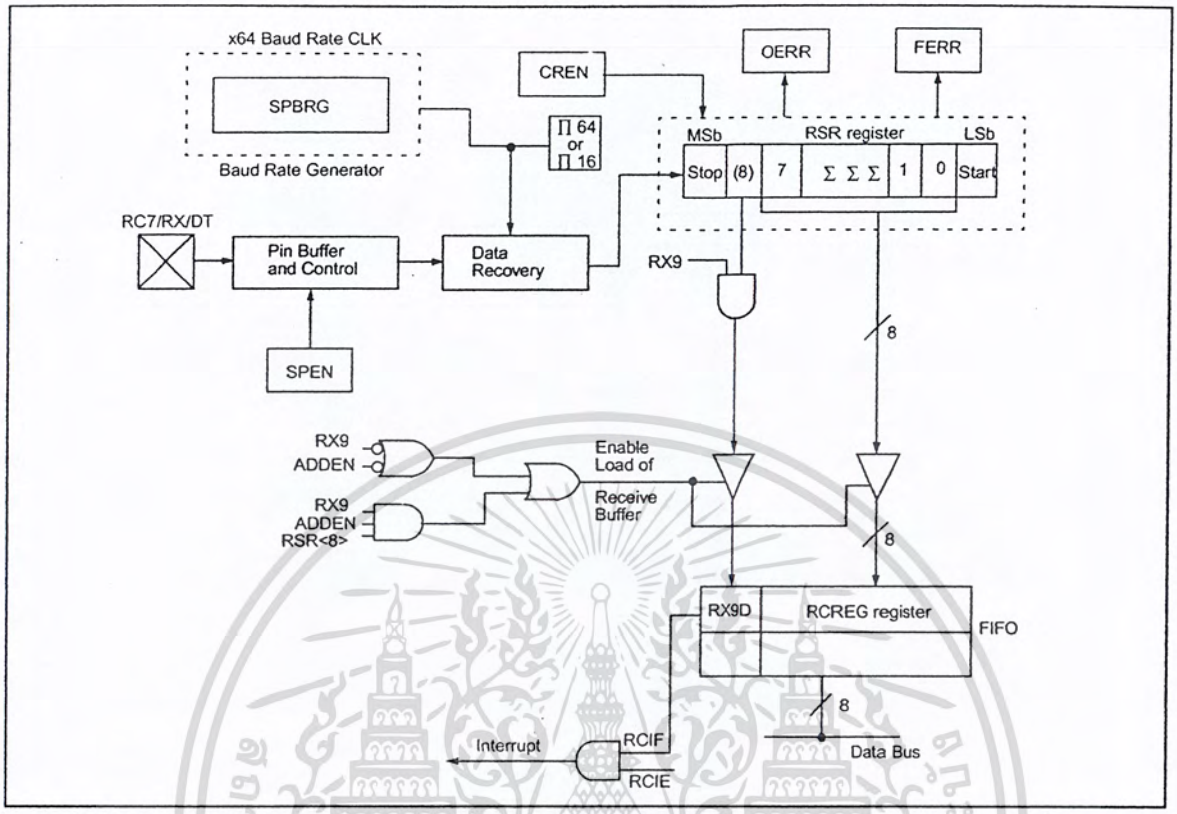
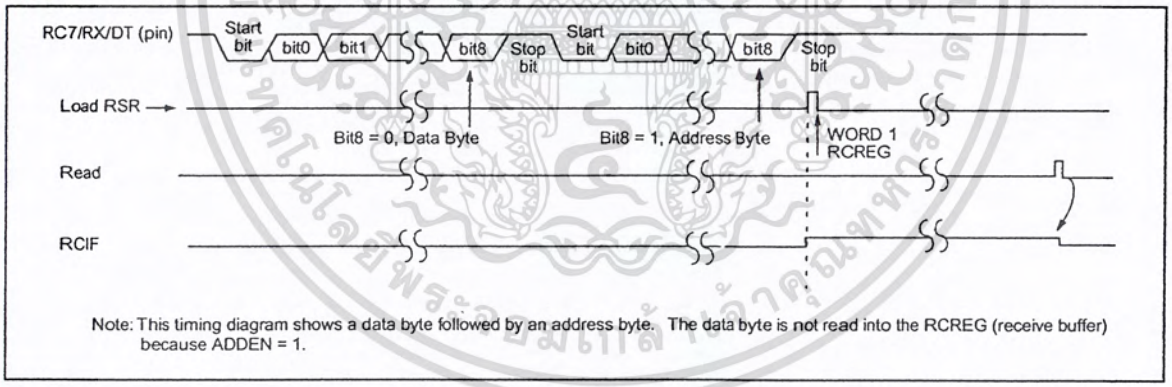


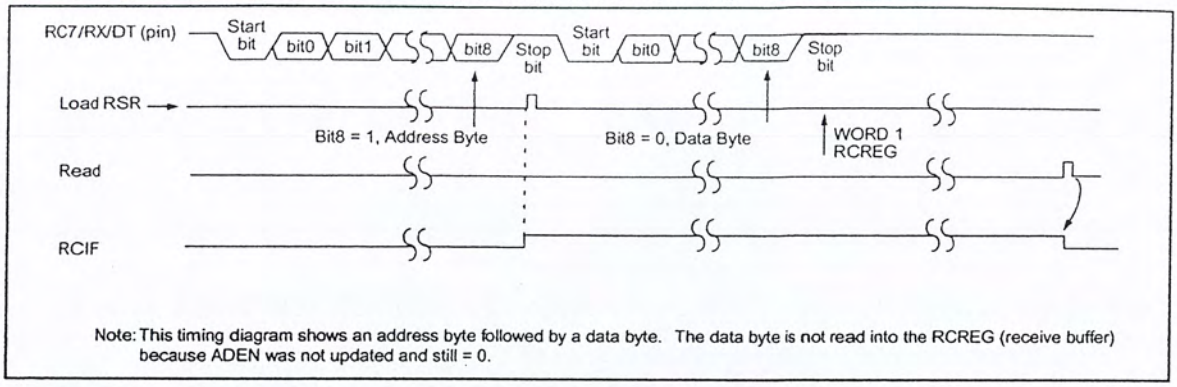
FIGURE 10-7: ASYNCHRONOUS RECEPTION WITH ADDRESS DETECT



Note: This timing diagram shows a data byte followed by an address byte. The data byte is not read into the RCREG (receive buffer) because ADDEN = 1.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

FIGURE 10-8: ASYNCHRONOUS RECEPTION WITH ADDRESS BYTE FIRST



Note: This timing diagram shows an address byte followed by a data byte. The data byte is not read into the RCREG (receive buffer) because ADEN was not updated and still = 0.

TABLE 10-7 REGISTERS ASSOCIATED WITH ASYNCHRONOUS RECEPTION

Address	Name	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	Value on: POR, BOR	Value on all other Resets
0Ch	PIR1	PSPIF(1)	ADIF	RCIF	TXIF	SSPIF	CCP1IF	TMR2IF	TMR1IF	0000 0000	0000 0000
18h	RCSTA	SPEN	RX9	SREN	CREN	ADDEN	FERR	OERR	RX9D	0000 000x	0000 000x
1Ah	RCREG	USART Receive Register								0000 0000	0000 0000
8Ch	PIE1	PSPIE(1)	ADIE	RCIE	TXIE	SSPIE	CCP1IE	TMR2IE	TMR1IE	0000 0000	0000 0000
98h	TXSTA	CSRC	TX9	TXEN	SYNC	—	BRGH	TRMT	TX9D	0000 -010	0000 -010
99h	SPBRG	Baud Rate Generator Register								0000 0000	0000 0000

Legend: x = unknown, - = unimplemented locations read as '0'. Shaded cells are not used for Asynchronous Reception.
Note 1: Bits PSPIE and PSPIF are reserved on the 28-pin devices, always maintain these bits clear.

 © 1998 Microchip Technology Inc.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

June 1999

National Semiconductor

ADC0816/ADC0817
8-Bit µP Compatible A/D Converters with 16-Channel Multiplexer

General Description

The ADC0816, ADC0817 data acquisition component is a monolithic CMOS device with an 8-bit analog-to-digital converter, 16-channel multiplexer and microprocessor compatible control logic. The 8-bit A/D converter uses successive approximation as the conversion technique. The converter features a high impedance chopper stabilized comparator, a 256R voltage divider with analog switch tree and a successive approximation register. The 16-channel multiplexer can directly access any one of 16-single-ended analog signals, and provides the logic for additional channel expansion. Signal conditioning of any analog input signal is eased by direct access to the multiplexer output, and to the input of the 8-bit A/D converter.

The device eliminates the need for external zero and full-scale adjustments. Easy interfacing to microprocessors is provided by the latched and decoded multiplexer address inputs and latched TTL TRI-STATE® outputs.

The design of the ADC0816, ADC0817 has been optimized by incorporating the most desirable aspects of several A/D conversion techniques. The ADC0816, ADC0817 offers high speed, high accuracy, minimal temperature dependence, excellent long-term accuracy and repeatability, and consumes minimal power. These features make this device ideally suited to applications from process and machine control to consumer and automotive applications. For similar performance in an 8-channel, 28-pin, 8-bit A/D converter, see the ADC0808, ADC0809 data sheet. (See AN-258 for more information.)

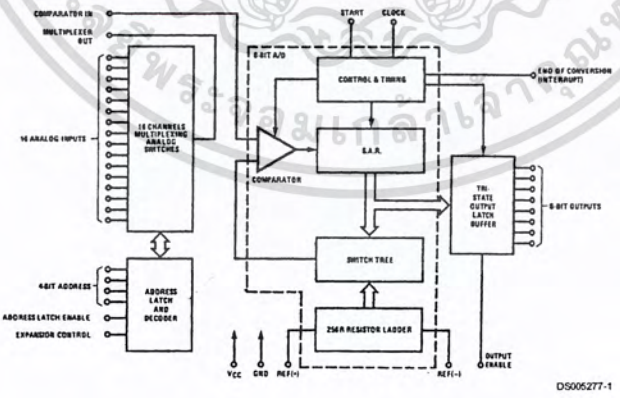
Features

- Easy interface to all microprocessors
- Operates ratiometrically or with 5 V_{DC} or analog span adjusted voltage reference
- 16-channel multiplexer with latched control logic
- Outputs meet TTL voltage level specifications
- 0V to 5V analog input voltage range with single 5V supply
- No zero or full-scale adjust required
- Standard hermetic or molded 40-pin DIP package
- Temperature range −40°C to +85°C or −55°C to +125°C
- Latched TRI-STATE output
- Direct access to "comparator in" and "multiplexer out" for signal conditioning
- ADC0816 equivalent to MM74C948
- ADC0817 equivalent to MM74C948-1

Key Specifications

■ Resolution	8 Bits
■ Total Unadjusted Error	±½ LSB and ±1 LSB
■ Single Supply	5 V_{DC}
■ Low Power	15 mW
■ Conversion Time	100 µs

Block Diagram



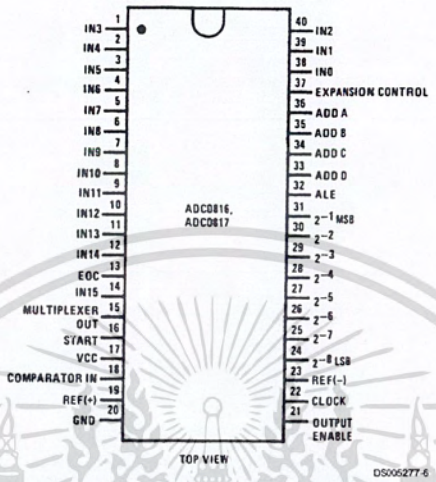
TRI-STATE® is a registered trademark of National Semiconductor Corporation.

© 1999 National Semiconductor Corporation

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Connection Diagram

Dual-In-Line Package



Order Number ADC0816CCN or ADC0817CCN
See NS Package Number N40A

Ordering Information

TEMPERATURE RANGE		−40°C to +85°C	
Error	±½ Bit Unadjusted	ADC0816CCN	ADC0816CCJ
	±1 Bit Unadjusted	ADC0817CCN	
Package Outline		N40A Molded DIP	J40A Hermetic DIP

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Absolute Maximum Ratings (Notes 1, 2)

If Military/Aerospace specified devices are required, please contact the National Semiconductor Sales Office/ Distributors for availability and specifications.

Supply Voltage (V_{CC}) (Note 3)	6.5V
Voltage at Any Pin Except Control Inputs	−0.3V to (V_{CC}+0.3V)
Voltage at Control Inputs (START, OE, CLOCK, ALE, EXPANSION CONTROL, ADD A, ADD B, ADD C, ADD D)	−0.3V to 15V
Storage Temperature Range	−65˚C to + 150˚C
Package Dissipation at T_A = 25˚C	875 mW
Lead Temp. (Soldering, 10 seconds)	
Dual-In-Line Package (Plastic)	260˚C
Molded Chip Carrier Package	
Vapor Phase (60 seconds)	215˚C
Infrared (15 seconds)	220˚C
ESD Susceptibility (Note 9)	400V

Operating Conditions (Notes 1, 2)

Temperature Range (Note 1)	$T_{MIN} \le T_A \le T_{MAX}$
ADC0816CCN, ADC0817CCN	−40˚C≤T_A≤+85˚C
Range of V_{CC} (Note 1)	4.5 V_{DC} to 6.0 V_{DC}
Voltage at Any Pin Except Control Inputs	0V to V_{CC}
Voltage at Control Inputs (START, OE, CLOCK, ALE, EXPANSION CONTROL, ADD A, ADD B, ADD C, ADD D)	0V to 15V

Electrical Characteristics

Converter Specifications: V_{CC}=5 V_{DC}= $V_{REF(+)}$, $V_{REF(-)}$=GND, V_{IN}=$V_{COMPARATOR\ IN}$, $T_{MIN} \le T_{MAX}$ and f_{CLK} = 640 kHz unless otherwise stated.

Symbol	Parameter	Conditions	Min	Typ	Max	Units
	ADC0816					
	Total Unadjusted Error	25˚C			±½	LSB
	(Note 5)	T_{MIN} to T_{MAX}			±¾	LSB
	ADC0817					
	Total Unadjusted Error	0˚C to 70˚C			±1	LSB
	(Note 5)	T_{MIN} to T_{MAX}			±1¼	LSB
	Input Resistance	From Ref(+) to Ref(−)	1.0	4.5		kΩ
	Analog Input Voltage Range	(Note 4) V(+) or V(−)	GND−0.10		V_{CC}+0.10	V_{DC}
$V_{REF(+)}$	Voltage, Top of Ladder	Measured at Ref(+)		V_{CC}	V_{CC}+0.1	V
$\frac{V_{REF(+)}+V_{REF(-)}}{2}$	Voltage, Center of Ladder		V_{CC}/2−0.1	V_{CC}/2	V_{CC}/2+0.1	V
$V_{REF(-)}$	Voltage, Bottom of Ladder	Measured at Ref(−)	−0.1	0		V
	Comparator Input Current	f_c=640 kHz, (Note 6)	−2	±0.5	2	μA

Electrical Characteristics

Digital Levels and DC Specifications: ADC0816CCN, ADC0817CCN — 4.75V≤V_{CC}≤5.25V, −40˚C≤T_A≤+85˚C unless otherwise noted.

Symbol	Parameter	Conditions	Min	Typ	Max	Units
ANALOG MULTIPLEXER						
R_{ON}	Analog Multiplexer ON Resistance	(Any Selected Channel)				
		T_A=25˚C, R_L=10k		1.5	3	kΩ
		T_A=85˚C			6	kΩ
		T_A=125˚C			9	kΩ
ΔR_{ON}	ΔON Resistance Between Any 2 Channels	(Any Selected Channel) R_L=10k		75		Ω
I_{OFF+}	OFF Channel Leakage Current	V_{CC}=5V, V_{IN}=5V,				
		T_A=25˚C		10	200	nA
		T_{MIN} to T_{MAX}			1.0	μA
$I_{OFF(-)}$	OFF Channel Leakage Current	V_{CC}=5V, V_{IN}=0,				
		T_A=25˚C	−200			nA
		T_{MIN} to T_{Max}	−1.0			μA

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Electrical Characteristics (Continued)

Digital Levels and DC Specifications: ADC0816CCN, ADC0817CCN — $4.75V \le V_{CC} \le 5.25V$, $-40^{\circ}C \le T_A \le +85^{\circ}C$ unless otherwise noted.

Symbol	Parameter	Conditions	Min	Typ	Max	Units
CONTROL INPUTS						
$V_{IN(1)}$	Logical "1" Input Voltage		$V_{CC}-1.5$			V
$V_{IN(0)}$	Logical "0" Input Voltage				1.5	V
$I_{IN(1)}$	Logical "1" Input Current (The Control Inputs)	$V_{IN}=15V$			1.0	μA
$I_{IN(0)}$	Logical "0" Input Current (The Control Inputs)	$V_{IN}=0$	−1.0			μA
I_{CC}	Supply Current	$f_{CLK}=640$ kHz		0.3	3.0	mA
DATA OUTPUTS AND EOC (INTERRUPT)						
$V_{OUT(1)}$	Logical "1" Output Voltage	$I_O=-360$ μA, $T_A=85^{\circ}C$ $I_O=-300$ μA, $T_A=125^{\circ}C$	$V_{CC}-0.4$			V
$V_{OUT(0)}$	Logical "0" Output Voltage	$I_O=1.6$ mA			0.45	V
$V_{OUT(0)}$	Logical "0" Output Voltage EOC	$I_O=1.2$ mA			0.45	V
I_{OUT}	TRI-STATE Output Current	$V_O=V_{CC}$ $V_O=0$	 −3.0		3.0	μA μA

Electrical Characteristics

Timing Specifications: $V_{CC}=V_{REF(+)}=5V$, $V_{REF(-)}=GND$, $t_r=t_f=20$ ns and $T_A=25^{\circ}C$ unless otherwise noted.

Symbol	Parameter	Conditions	Min	Typ	Max	Units
t_{WS}	Minimum Start Pulse Width	(*Figure 5*) (Note 7)		100	200	ns
t_{WALE}	Minimum ALE Pulse Width	(*Figure 5*)		100	200	ns
t_s	Minimum Address Set-Up Time	(*Figure 5*)		25	50	ns
T_H	Minimum Address Hold Time	(*Figure 5*)		25	50	ns
t_D	Analog MUX Delay Time from ALE	$R_S=O\Omega$ (*Figure 5*)		1	2.5	μs
t_{H1}, t_{H0}	OE Control to Q Logic State	$C_L=50$ pF, $R_L=10$k (*Figure 8*)		125	250	ns
t_{1H}, t_{OH}	OE Control to Hi-Z	$C_L=10$ pF, $R_L=10$k (*Figure 8*)		125	250	ns
t_C	Conversion Time	$f_c=640$ kHz, (*Figure 5*) (Note 8)	90	100	116	μs
f_c	Clock Frequency		10	640	1280	kHz
t_{EOC}	EOC Delay Time	(*Figure 5*)	0		8+2μs	Clock Periods
C_{IN}	Input Capacitance	At Control Inputs		10	15	pF
C_{OUT}	TRI-STATE Output Capacitance	At TRI-STATE Outputs (Note 8)		10	15	pF

Note 1: Absolute Maximum Ratings indicate limits beyond which damage to the device may occur. DC and AC electrical specifications do not apply when operating the device beyond its specified operating conditions.

Note 2: All voltages are measured with respect to GND, unless otherwise specified.

Note 3: A zener diode exists, internally, from V_{CC} to GND and has a typical breakdown voltage of 7 V_{DC}.

Note 4: Two on-chip diodes are tied to each analog input which will forward conduct for analog input voltages one diode drop below ground or one diode drop greater than the V_{CC} supply. The spec allows 100 mV forward bias of either diode. This means that as long as the analog V_{IN} does not exceed the supply voltage by more than 100 mV, the output code will be correct. To achieve an absolute 0 V_{DC} to 5 V_{DC} input voltage range will therefore require a minimum supply voltage of 4.900 V_{DC} over temperature variations, initial tolerance and loading.

Note 5: Total unadjusted error includes offset, full-scale, and linearity errors. See *Figure 3*. None of these A/Ds requires a zero or full-scale adjust. However, if an all zero code is desired for an analog input other than 0.0V, or if a narrow full-scale span exists (for example: 0.5V to 4.5V full-scale) the reference voltages can be adjusted to achieve this. See *Figure 13*.

Note 6: Comparator input current is a bias current into or out of the chopper stabilized comparator. The bias current varies directly with clock frequency and has little temperature dependence (*Figure 6*). See paragraph 4.0.

Note 7: If start pulse is asynchronous with converter clock or if $f_c > 640$ kHz, the minimum start pulse width is 8 clock periods plus 2 μs. For synchronous operation at $f_c \le 640$ kHz take start high within 100 ns of clock going low.

Note 8: The outputs of the data register are updated one clock cycle before the rising edge of EOC.

Note 9: Human body model, 100 pF discharged through a 1.5 kΩ resistor.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Functional Description

Multiplexer: The device contains a 16-channel single-ended analog signal multiplexer. A particular input channel is selected by using the address decoder. *Table 1* shows the input states for the address line and the expansion control line to select any channel. The address is latched into the decoder on the low-to-high transition of the address latch enable signal.

TABLE 1.

Selected Analog Channel	Address Line D	C	B	A	Expansion Control
IN0	L	L	L	L	H
IN1	L	L	L	H	H
IN2	L	L	H	L	H
IN3	L	L	H	H	H
IN4	L	H	L	L	H
IN5	L	H	L	H	H
IN6	L	H	H	L	H
IN7	L	H	H	H	H
IN8	H	L	L	L	H
IN9	H	L	L	H	H
IN10	H	L	H	L	H
IN11	H	L	H	H	H
IN12	H	H	L	L	H
IN13	H	H	L	H	H
IN14	H	H	H	L	H
IN15	H	H	H	H	H
All Channels OFF	X	X	X	X	L

X=don't care

Additional single-ended analog signals can be multiplexed to the A/D converter by disabling all the multiplexer inputs using the expansion control. The additional external signals are connected to the comparator input and the device ground. Additional signal conditioning (i.e., prescaling, sample and hold, instrumentation amplification, etc.) may also be added between the analog input signal and the comparator input.

CONVERTER CHARACTERISTICS

The Converter

The heart of this single chip data acquisition system is its 8-bit analog-to-digital converter. The converter is designed to give fast, accurate, and repeatable conversions over a wide range of temperatures. The converter is partitioned into 3 major sections: the 256R ladder network, the successive approximation register, and the comparator. The converter's digital outputs are positive true.

The 256R ladder network approach *Figure 1* was chosen over the conventional R/2R ladder because of its inherent monotonicity, which guarantees no missing digital codes. Monotonicity is particularly important in closed loop feedback control systems. A non-monotonic relationship can cause oscillations that will be catastrophic for the system. Additionally, the 256R network does not cause load variations on the reference voltage.

The bottom resistor and the top resistor of the ladder network in *Figure 1* are not the same value as the remainder of the network. The difference in these resistors causes the output characteristic to be symmetrical with the zero and full-scale points of the transfer curve. The first output transition occurs when the analog signal has reached + ½ LSB and succeeding output transitions occur every 1 LSB later up to full-scale.

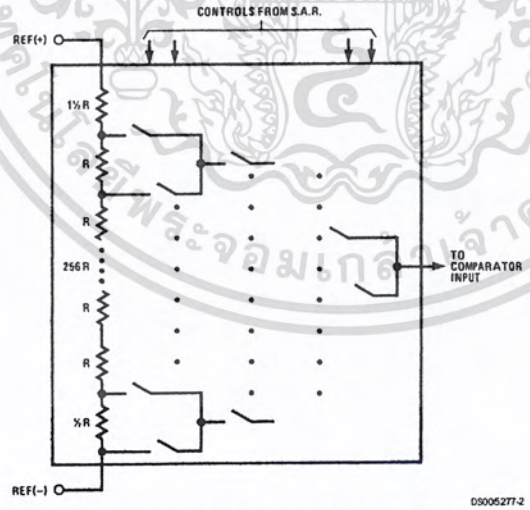


FIGURE 1. Resistor Ladder and Switch Tree

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Functional Description (Continued)

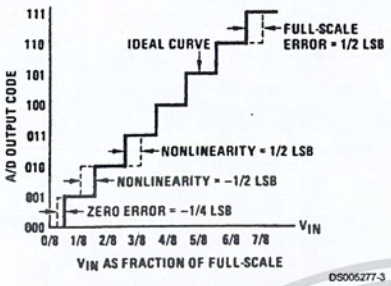


FIGURE 2. 3-Bit A/D Transfer Curve

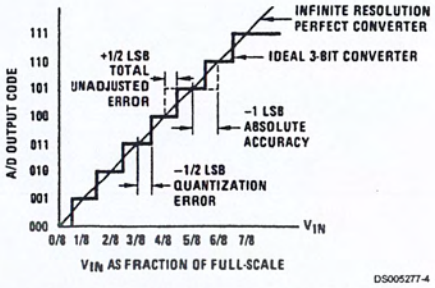


FIGURE 3. 3-Bit A/D Absolute Accuracy Curve

FIGURE 4. Typical Error Curve

Timing Diagram

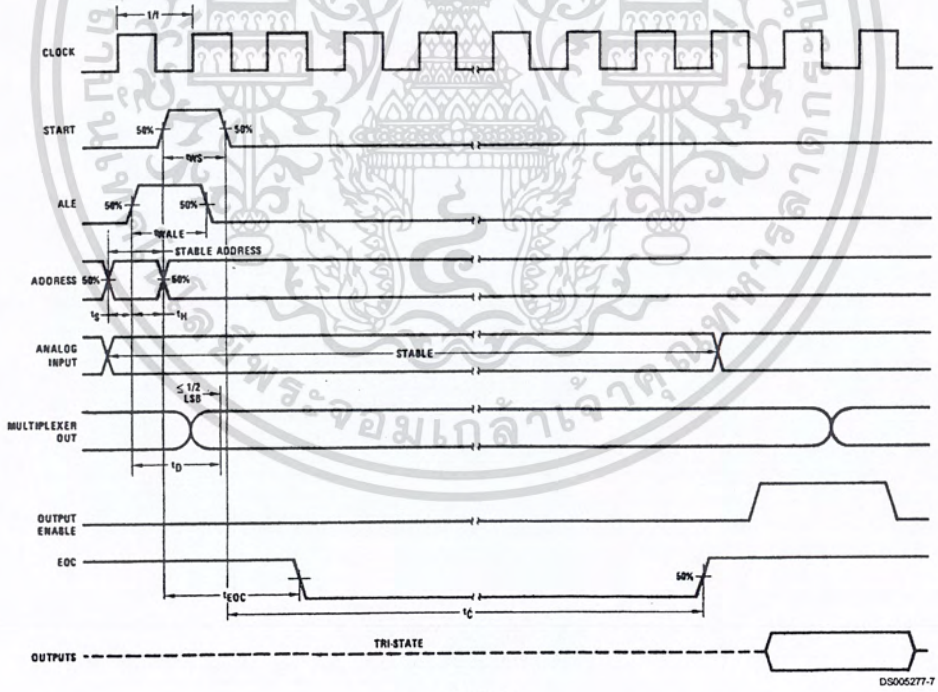
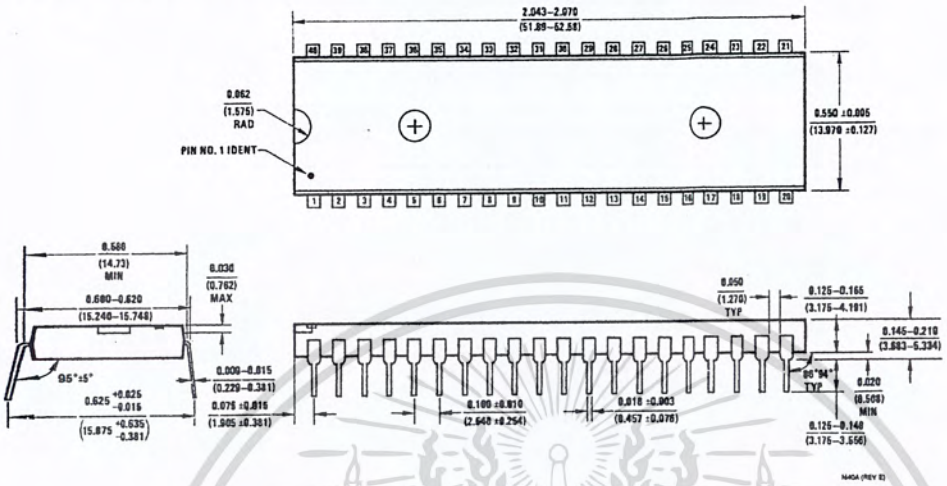


FIGURE 5.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Physical Dimensions inches (millimeters) unless otherwise noted



Molded Dual-In-Line Package (N)
NS Package Number N40A

LIFE SUPPORT POLICY

NATIONAL'S PRODUCTS ARE NOT AUTHORIZED FOR USE AS CRITICAL COMPONENTS IN LIFE SUPPORT DEVICES OR SYSTEMS WITHOUT THE EXPRESS WRITTEN APPROVAL OF THE PRESIDENT AND GENERAL COUNSEL OF NATIONAL SEMICONDUCTOR CORPORATION. As used herein:

1. Life support devices or systems are devices or systems which, (a) are intended for surgical implant into the body, or (b) support or sustain life, and whose failure to perform when properly used in accordance with instructions for use provided in the labeling, can be reasonably expected to result in a significant injury to the user.
2. A critical component is any component of a life support device or system whose failure to perform can be reasonably expected to cause the failure of the life support device or system, or to affect its safety or effectiveness.

National Semiconductor Corporation
Americas
Tel: 1-800-272-9959
Fax: 1-800-737-7018
Email: support@nsc.com

National Semiconductor Europe
Fax: +49 (0) 1 80-530 85 86
Email: europe.support@nsc.com
Deutsch Tel: +49 (0) 1 80-530 85 85
English Tel: +49 (0) 1 80-532 78 32
Français Tel: +49 (0) 1 80-532 93 58
Italiano Tel: +49 (0) 1 80-534 16 80

National Semiconductor Asia Pacific Customer Response Group
Tel: 65-2544466
Fax: 65-2504466
Email: sea.support@nsc.com

National Semiconductor Japan Ltd.
Tel: 81-3-5639-7560
Fax: 81-3-5639-7507

www.national.com

National does not assume any responsibility for use of any circuitry described, no circuit patent licenses are implied and National reserves the right at any time without notice to change said circuitry and specifications.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

National Semiconductor

July 1993

MM54C922/MM74C922 16-Key Encoder
MM54C923/MM74C923 20-Key Encoder

General Description

These CMOS key encoders provide all the necessary logic to fully encode an array of SPST switches. The keyboard scan can be implemented by either an external clock or external capacitor. These encoders also have on-chip pull-up devices which permit switches with up to 50 kΩ on resistance to be used. No diodes in the switch array are needed to eliminate ghost switches. The internal debounce circuit needs only a single external capacitor and can be defeated by omitting the capacitor. A Data Available output goes to a high level when a valid keyboard entry has been made. The Data Available output returns to a low level when the entered key is released, even if another key is depressed. The Data Available will return high to indicate acceptance of the new key after a normal debounce period; this two-key rollover is provided between any two switches.

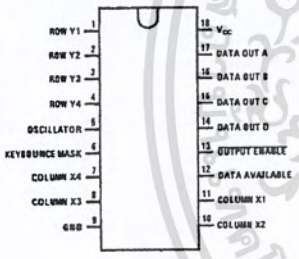
An internal register remembers the last key pressed even after the key is released. The TRI-STATE® outputs provide for easy expansion and bus operation and are LPTTL compatible.

Features

- 50 kΩ maximum switch on resistance
- On or off chip clock
- On-chip row pull-up devices
- 2 key roll-over
- Keybounce elimination with single capacitor
- Last key register at outputs
- TRI-STATE outpust LPTTL compatible
- Wide supply range 3V to 15V
- Low power consumption

Connection Diagrams

Pin Assignment for Dual-In-Line Package

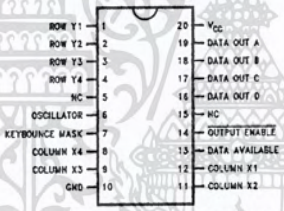


TL/F/6037–1

Top View

Order Number MM54C922 or MM74C922

Pin Assignment for SOIC

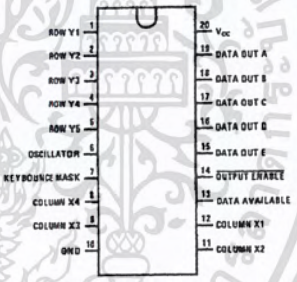


TL/F/6037–14

Top View

Order Number MM74C922

Pin Assignment for DIP and SOIC Package



TL/F/6037–2

Top View

Order Number MM54C923 or MM74C923

TRI-STATE® is a registered trademark of National Semiconductor Corporation.

© 1995 National Semiconductor Corporation TL/F/6037

RRD-B30M105/Printed in U. S. A.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Absolute Maximum Ratings (Note 1)

If Military/Aerospace specified devices are required, please contact the National Semiconductor Sales Office/Distributors for availability and specifications.

Voltage at Any Pin $V_{CC} - 0.3V$ to $V_{CC} + 0.3V$

Operating Temperature Range

MM54C922, MM54C923	−55°C to +125°C
MM74C922, MM74C923	−40°C to +85°C

Storage Temperature Range	−65°C to +150°C
Power Dissipation (P_D)	
Dual-In-Line	700 mW
Small Outline	500 mW
Operating V_{CC} Range	3V to 15V
V_{CC}	18V
Lead Temperature (Soldering, 10 seconds)	260°C

DC Electrical Characteristics Min/Max limits apply across temperature range unless otherwise specified

Symbol	Parameter	Conditions	Min	Typ	Max	Units
CMOS TO CMOS						
V_{T+}	Positive-Going Threshold Voltage at Osc and KBM Inputs	$V_{CC} = 5V$, $I_{IN} \geq 0.7$ mA $V_{CC} = 10V$, $I_{IN} \geq 1.4$ mA $V_{CC} = 15V$, $I_{IN} \geq 2.1$ mA	3.0 6.0 9.0	3.6 6.8 10	4.3 8.6 12.9	V V V
V_{T-}	Negative-Going Threshold Voltage at Osc and KBM Inputs	$V_{CC} = 5V$, $I_{IN} \geq 0.7$ mA $V_{CC} = 10V$, $I_{IN} \geq 1.4$ mA $V_{CC} = 15V$, $I_{IN} \geq 2.1$ mA	0.7 1.4 2.1	1.4 3.2 5	2.0 4.0 6.0	V V V
$V_{IN(1)}$	Logical "1" Input Voltage, Except Osc and KBM Inputs	$V_{CC} = 5V$ $V_{CC} = 10V$ $V_{CC} = 15V$	3.5 8.0 12.5	4.5 9 13.5		V V V
$V_{IN(0)}$	Logical "0" Input Voltage, Except Osc and KBM Inputs	$V_{CC} = 5V$ $V_{CC} = 10V$ $V_{CC} = 15V$		0.5 1 1.5	1.5 2 2.5	V V V
I_{rp}	Row Pull-Up Current at Y1, Y2, Y3, Y4 and Y5 Inputs	$V_{CC} = 5V$, $V_{IN} = 0.1\ V_{CC}$ $V_{CC} = 10V$ $V_{CC} = 15V$		−2 −10 −22	−5 −20 −45	μA μA μA
$V_{OUT(1)}$	Logical "1" Output Voltage	$V_{CC} = 5V$, $I_O = -10\ \mu A$ $V_{CC} = 10V$, $I_O = -10\ \mu A$ $V_{CC} = 15V$, $I_O = -10\ \mu A$	4.5 9 13.5			V V V
$V_{OUT(0)}$	Logical "0" Output Voltage	$V_{CC} = 5V$, $I_O = 10\ \mu A$ $V_{CC} = 10V$, $I_O = 10\ \mu A$ $V_{CC} = 15V$, $I_O = 10\ \mu A$			0.5 1 1.5	V V V
R_{on}	Column "ON" Resistance at X1, X2, X3 and X4 Outputs	$V_{CC} = 5V$, $V_O = 0.5V$ $V_{CC} = 10V$, $V_O = 1V$ $V_{CC} = 15V$, $V_O = 1.5V$		500 300 200	1400 700 500	Ω Ω Ω
I_{CC}	Supply Current Osc at 0V, (one Y low)	$V_{CC} = 5V$ $V_{CC} = 10V$ $V_{CC} = 15V$		0.55 1.1 1.7	1.1 1.9 2.6	mA mA mA
$I_{IN(1)}$	Logical "1" Input Current at Output Enable	$V_{CC} = 15V$, $V_{IN} = 15V$		0.005	1.0	μA
$I_{IN(0)}$	Logical "0" Input Current at Output Enable	$V_{CC} = 15V$, $V_{IN} = 0V$	−1.0	−0.005		μA
CMOS/LPTTL INTERFACE						
$V_{IN(1)}$	Logical "1" Input Voltage, Except Osc and KBM Inputs	54C, $V_{CC} = 4.5V$ 74C, $V_{CC} = 4.75V$	$V_{CC} - 1.5$ $V_{CC} - 1.5$			V V
$V_{IN(0)}$	Logical "0" Input Voltage, Except Osc and KBM Inputs	54C, $V_{CC} = 4.5V$ 74C, $V_{CC} = 4.75V$			0.8 0.8	V V
$V_{OUT(1)}$	Logical "1" Output Voltage	54C, $V_{CC} = 4.5V$ $I_O = -360\ \mu A$ 74C, $V_{CC} = 4.75V$ $I_O = -360\ \mu A$	2.4 2.4			V V
$V_{OUT(0)}$	Logical "0" Output Voltage	54C, $V_{CC} = 4.5V$ $I_O = -360\ \mu A$ 74C, $V_{CC} = 4.75V$ $I_O = -360\ \mu A$			0.4 0.4	V V

Note 1: "Absolute Maximum Ratings" are those values beyond which the safety of the device cannot be guaranteed. Except for "Operating Temperature Range" they are not meant to imply that the devices should be operated at these limits. The table of "Electrical Characteristics" provides conditions for actual device operation.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

DC Electrical Characteristics

Min/Max limits apply across temperature range unless otherwise specified (Continued)

Symbol	Parameter	Conditions	Min	Typ	Max	Units
OUTPUT DRIVE (See 54C/74C Family Characteristics Data Sheet) (Short Circuit Current)						
I_{SOURCE}	Output Source Current (P-Channel)	V_{CC} = 5V, V_{OUT} = 0V, T_A = 25°C	−1.75	−3.3		mA
I_{SOURCE}	Output Source Current (P-Channel)	V_{CC} = 10V, V_{OUT} = 0V, T_A = 25°C	−8	−15		mA
I_{SINK}	Output Sink Current (N-Channel)	V_{CC} = 5V, V_{OUT} = V_{CC}, T_A = 25°C	1.75	3.6		mA
I_{SINK}	Output Sink Current (N-Channel)	V_{CC} = 10V, V_{OUT} = V_{CC}, T_A = 25°C	8	16		mA

AC Electrical Characteristics*

T_A = 25°C, C_L = 50 pF, unless otherwise noted

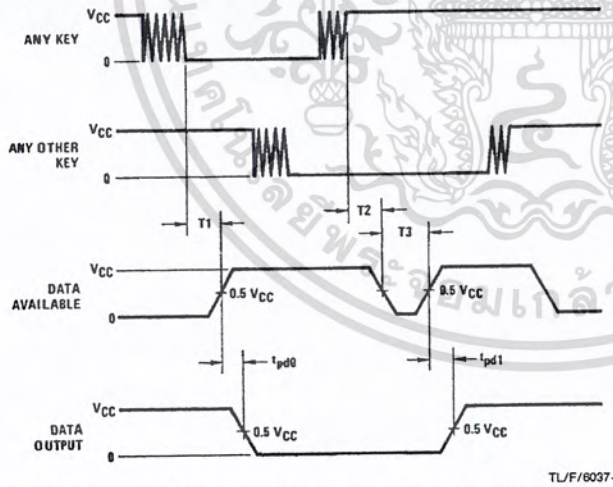
Symbol	Parameter	Conditions	Min	Typ	Max	Units
t_{pd0}, t_{pd1}	Propagation Delay Time to Logical "0" or Logical "1" from D.A.	C_L = 50 pF *(Figure 1)*				
		V_{CC} = 5V		60	150	ns
		V_{CC} = 10V		35	80	ns
		V_{CC} = 15V		25	60	ns
t_{0H}, t_{1H}	Propagation Delay Time from Logical "0" or Logical "1" into High Impedance State	R_L = 10k, C_L = 10 pF *(Figure 2)*				
		V_{CC} = 5V, R_L = 10k		80	200	ns
		V_{CC} = 10V, C_L = 10 pF		65	150	ns
		V_{CC} = 15V		50	110	ns
t_{H0}, t_{H1}	Propagation Delay Time from High Impedance State to a Logical "0" or Logical "1"	R_L = 10k, C_L = 50 pF *(Figure 2)*				
		V_{CC} = 5V, R_L = 10k		100	250	ns
		V_{CC} = 10V, C_L = 50 pF		55	125	ns
		V_{CC} = 15V		40	90	ns
C_{IN}	Input Capacitance	Any Input (Note 2)		5	7.5	pF
C_{OUT}	TRI-STATE Output Capacitance	Any Output (Note 2)		10		pF

*AC Parameters are guaranteed by DC correlated testing.

Note 1: "Absolute Maximum Ratings" are those values beyond which the safety of the device cannot be guaranteed. Except for "Operating Temperature Range" they are not meant to imply that the devices should be operated at these limits. The table of "Electrical Characteristics" provides conditions for actual device operation.

Note 2: Capacitance is guaranteed by periodic testing.

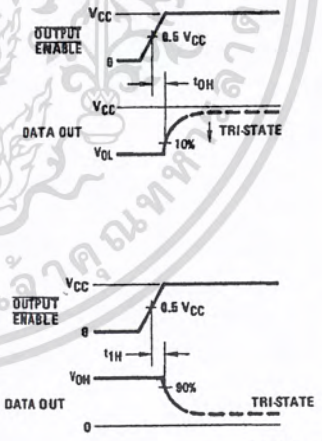
Switching Time Waveforms



TL/F/6037–3

T1 ≈ T2 ≈ RC, T3 ≈ 0.7 RC, where R ≈ 10k and C is external capacitor at KBM input.

FIGURE 1

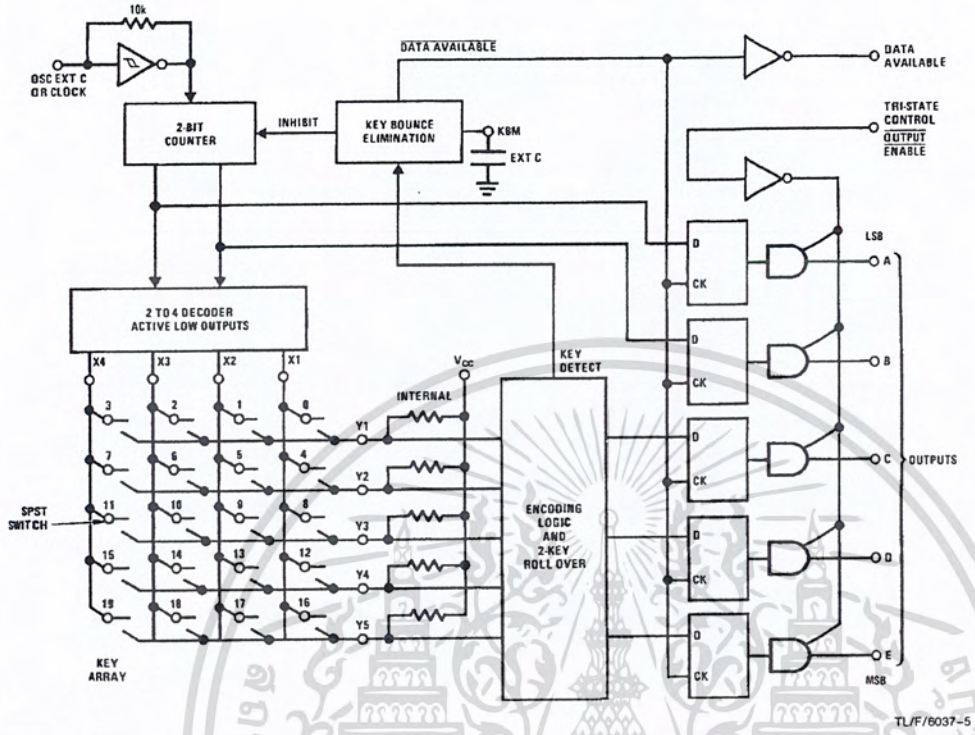


TL/F/6037–4

FIGURE 2

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Block Diagram



Truth Table

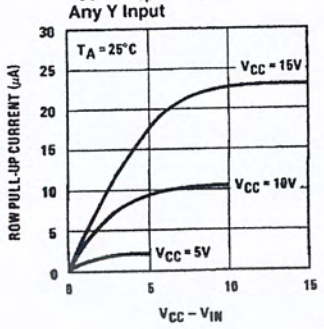
Switch Position	0 Y1,X1	1 Y1,X2	2 Y1,X3	3 Y1,X4	4 Y2,X1	5 Y2,X2	6 Y2,X3	7 Y2,X4	8 Y3,X1	9 Y3,X2	10 Y3,X3	11 Y3,X4	12 Y4,X1	13 Y4,X2	14 Y4,X3	15 Y4,X4	16 Y5*,X1	17 Y5*,X2	18 Y5*,X3	19 Y5*,X4
DATA A	0	1	0	1	0	1	0	1	0	1	0	1	0	1	0	1	0	1	0	1
DATA B	0	0	1	1	0	0	1	1	0	0	1	1	0	0	1	1	0	0	1	1
DATA C	0	0	0	0	1	1	1	1	0	0	0	0	1	1	1	1	0	0	0	0
DATA D	0	0	0	0	0	0	0	0	1	1	1	1	1	1	1	1	0	0	0	0
DATA OUT E*	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	1	1	1

*Omit for MM54C922/MM74C922

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

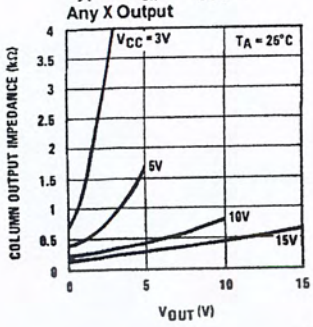
Typical Performance Characteristics

Typical I_{rp} vs V_{IN} at Any Y Input



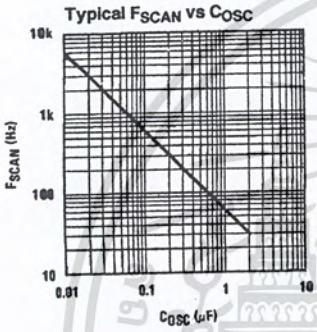
TL/F/6037–6

Typical R_{on} vs V_{OUT} at Any X Output



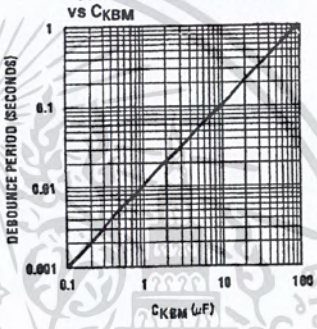
TL/F/6037–7

Typical F_{SCAN} vs C_{OSC}



TL/F/6037–8

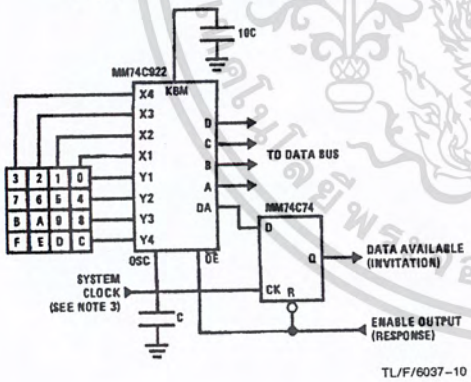
Typical Debounce Period vs C_{KBM}



TL/F/6037–9

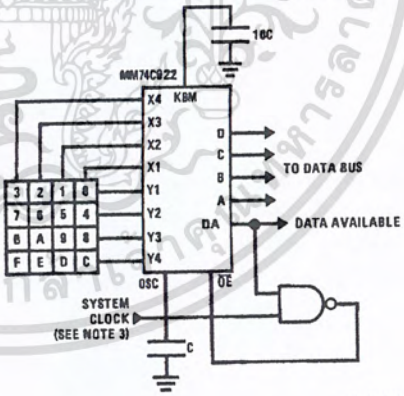
Typical Applications

Synchronous Handshake (MM74C922)



TL/F/6037–10

Synchronous Data Entry Onto Bus (MM74C922)



TL/F/6037–11

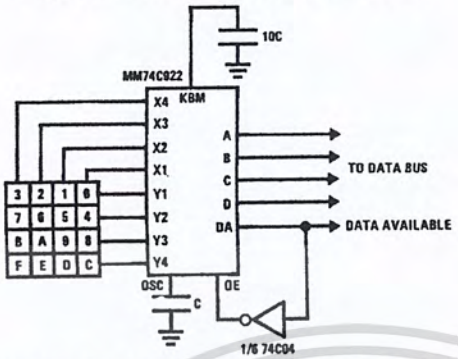
Outputs are enabled when valid entry is made and go into TRI-STATE when key is released.

Note 3: The keyboard may be synchronously scanned by omitting the capacitor at osc. and driving osc. directly if the system clock rate is lower than 10 kHz.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Typical Applications (Continued)

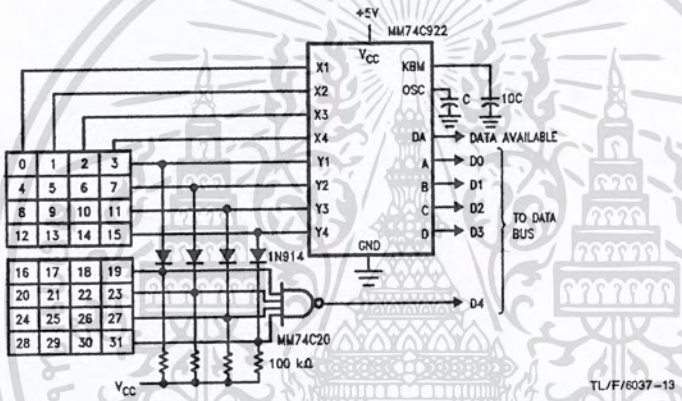
Asynchronous Data Entry Onto Bus (MM74C922)



TL/F/6037–12

Outputs are in TRI-STATE until key is pressed, then data is placed on bus. When key is released, outputs return to TRI-STATE.

Expansion to 32 Key Encoder (MM74C922)



TL/F/6037–13

Theory of Operation

The MM74C922/MM74C923 Keyboard Encoders implement all the logic necessary to interface a 16 or 20 SPST key switch matrix to a digital system. The encoder will convert a key switch closer to a 4(MM74C922) or 5(MM74C923) bit nibble. The designer can control both the keyboard scan rate and the key debounce period by altering the oscillator capacitor, C_{OSE}, and the key bounce mask capacitor, C_{MSK}. Thus, the MM74C922/MM74C923's performance can be optimized for many keyboards.

The keyboard encoders connect to a switch matrix that is 4 rows by 4 columns (MM74C922) or 5 rows by 4 columns (MM74C923). When no keys are depressed, the row inputs are pulled high by internal pull-ups and the column outputs sequentially output a logic "0". These outputs are open drain and are therefore low for 25% of the time and otherwise off. The column scan rate is controlled by the oscillator input, which consists of a Schmitt trigger oscillator, a 2-bit counter, and a 2–4-bit decoder.

When a key is depressed, key 0, for example, nothing will happen when the X1 input is off, since Y1 will remain high. When the X1 column is scanned, X1 goes low and Y1 will go low. This disables the counter and keeps X1 low. Y1 going low also initiates the key bounce circuit timing and locks out the other Y inputs. The key code to be output is a combination of the frozen counter value and the decoded Y inputs. Once the key bounce circuit times out, the data is latched, and the Data Available (DAV) output goes high.

If, during the key closure the switch bounces, Y1 input will go high again, restarting the scan and resetting the key bounce circuitry. The key may bounce several times, but as soon as the switch stays low for a debounce period, the closure is assumed valid and the data is latched.

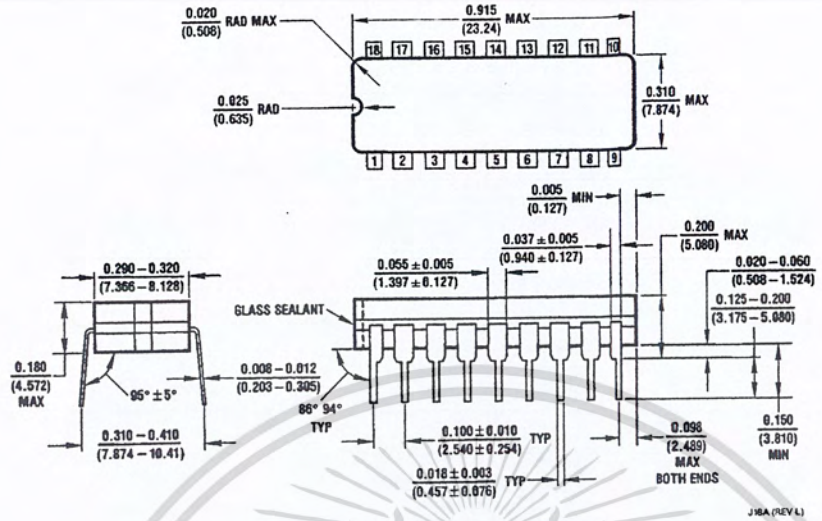
A key may also bounce when it is released. To ensure that the encoder does not recognize this bounce as another key closure, the debounce circuit must time out before another closure is recognized.

The two-key roll-over feature can be illustrated by assuming a key is depressed, and then a second key is depressed. Since all scanning has stopped, and all other Y inputs are disabled, the second key is not recognized until the first key is lifted and the key bounce circuitry has reset.

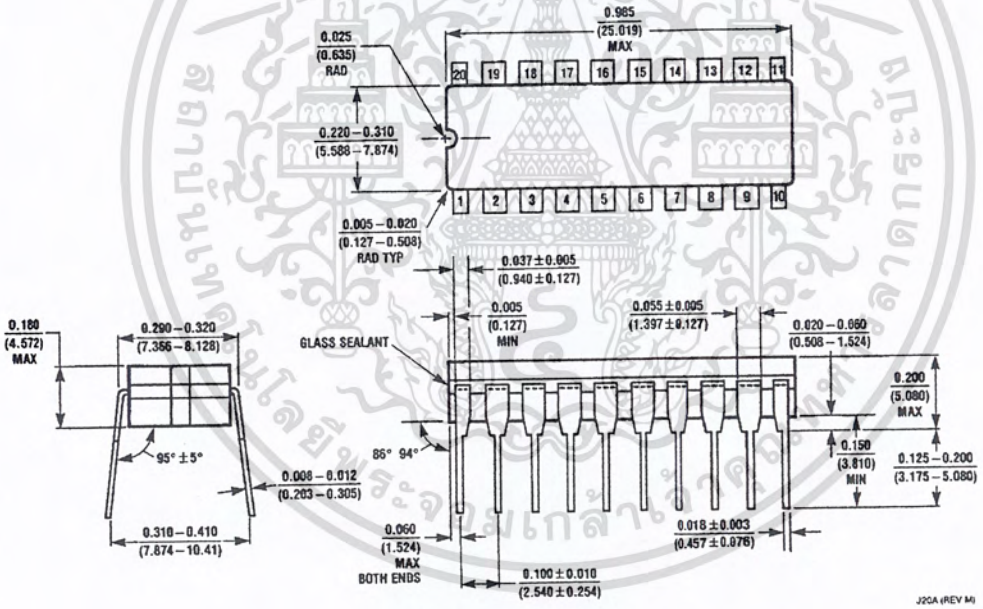
The output latches feed TRI-STATE, which is enabled when the Output Enable ($\overline{OE}$) input is taken low.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Physical Dimensions inches (millimeters)



Ceramic Dual-In-Line Package (J)
Order Number MM54C922J or MM74C922J
NS Package Number J18A



Ceramic Dual-In-Line Package (J)
Order Number MM54C923J or MM74C923J
NS Package Number J20A

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4-to-16 line decoder/demultiplexer 74HC/HCT154

FEATURES

- 16-line demultiplexing capability
- Decodes 4 binary-coded inputs into one of 16 mutually exclusive outputs
- 2-input enable gate for strobing or expansion
- Output capability: standard
- I_{CC} category: MSI

GENERAL DESCRIPTION

The 74HC/HCT154 are high-speed Si-gate CMOS devices and are pin compatible with low power Schottky TTL (LSTTL). They are specified in compliance with JEDEC standard no. 7A.

The 74HC/HCT154 decoders accept four active HIGH binary address inputs and provide 16 mutually exclusive active LOW outputs.
The 2-input enable gate can be used to strobe the decoder to eliminate the normal decoding "glitches" on the outputs, or it can be used for the expansion of the decoder.

The enable gate has two AND'ed inputs which must be LOW to enable the outputs.

The "154" can be used as a 1-to-16 demultiplexer by using one of the enable inputs as the multiplexed data input.

When the other enable is LOW, the addressed output will follow the state of the applied data.

QUICK REFERENCE DATA

GND = 0 V; T_{amb} = 25 °C; $t_r = t_f$ = 6 ns

SYMBOL	PARAMETER	CONDITIONS	TYPICAL		UNIT
			HC	HCT	
t_{PHL}/t_{PLH}	propagation delay A_n, $\overline{E}_n$ to $\overline{Y}_n$	C_L = 15 pF; V_{CC} = 5 V	11	13	ns
C_I	input capacitance		3.5	3.5	pF
C_{PD}	power dissipation capacitance per package	notes 1 and 2	60	60	pF

Notes

1. C_{PD} is used to determine the dynamic power dissipation (P_D in µW):
   $P_D = C_{PD} \times V_{CC}^2 \times f_i + \Sigma (C_L \times V_{CC}^2 \times f_o)$ where:
   f_i = input frequency in MHz
   f_o = output frequency in MHz
   $\Sigma (C_L \times V_{CC}^2 \times f_o)$ = sum of outputs
   C_L = output load capacitance in pF
   V_{CC} = supply voltage in V
2. For HC the condition is V_I = GND to V_{CC}
   For HCT the condition is V_I = GND to V_{CC} – 1.5 V

ORDERING INFORMATION

See "74HC/HCT/HCU/HCMOS Logic Package Information".

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

PIN DESCRIPTION

PIN NO.	SYMBOL	NAME AND FUNCTION
1, 2, 3, 4, 5, 6, 7, 8, 9, 10, 11, 13, 14, 15, 16, 17	$\overline{Y}_0$ to $\overline{Y}_{15}$	outputs (active LOW)
18, 19	$\overline{E}_0$, $\overline{E}_1$	enable inputs (active LOW)
12	GND	ground (0 V)
23, 22, 21, 20	A_0 to A_3	address inputs
24	V_{CC}	positive supply voltage

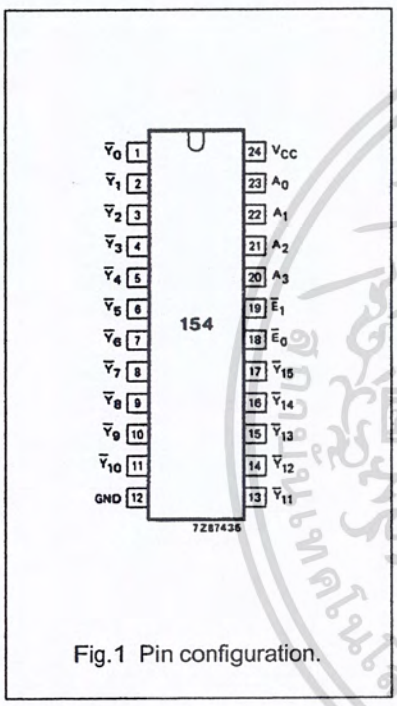


Fig.1 Pin configuration.

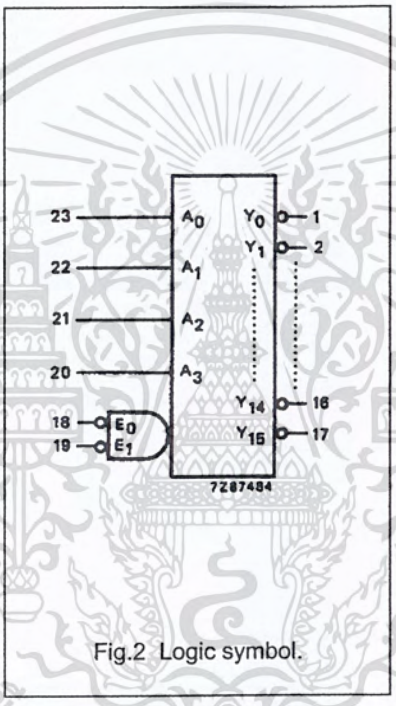


Fig.2 Logic symbol.

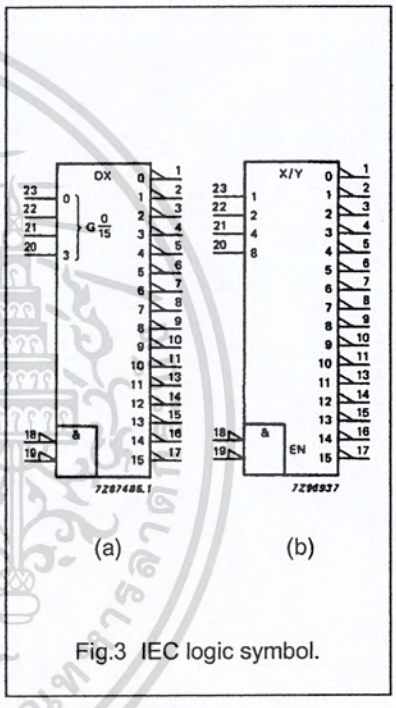


Fig.3 IEC logic symbol.

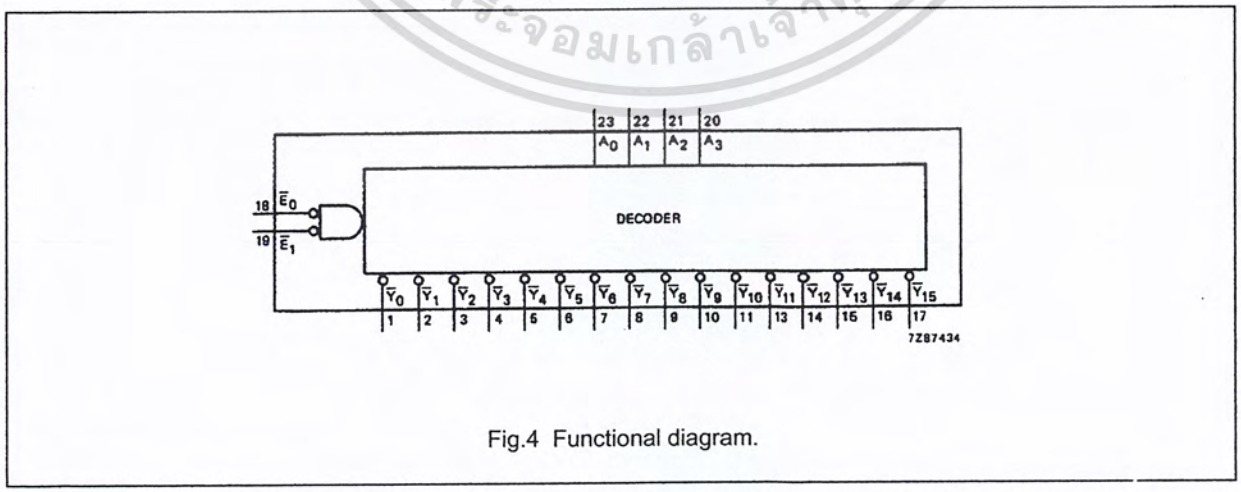


Fig.4 Functional diagram.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

FUNCTION TABLE

		INPUTS				OUTPUTS														
$\overline{E}_0$	$\overline{E}_1$	A_0	A_1	A_2	A_3	$\overline{Y}_0$	$\overline{Y}_1$	$\overline{Y}_2$	$\overline{Y}_3$	$\overline{Y}_4$	$\overline{Y}_5$	$\overline{Y}_6$	$\overline{Y}_7$	$\overline{Y}_8$	$\overline{Y}_9$	$\overline{Y}_{10}$	$\overline{Y}_{11}$	$\overline{Y}_{12}$	$\overline{Y}_{13}$	$\overline{Y}_{14}$	$\overline{Y}_{15}$
H	H	X	X	X	X	H	H	H	H	H	H	H	H	H	H	H	H	H	H	H	H
H	L	X	X	X	X	H	H	H	H	H	H	H	H	H	H	H	H	H	H	H	H
L	H	X	X	X	X	H	H	H	H	H	H	H	H	H	H	H	H	H	H	H	H
L	L	L	L	L	L	L	H	H	H	H	H	H	H	H	H	H	H	H	H	H	H
L	L	H	L	L	L	H	L	H	H	H	H	H	H	H	H	H	H	H	H	H	H
L	L	L	H	L	L	H	H	L	H	H	H	H	H	H	H	H	H	H	H	H	H
L	L	H	H	L	L	H	H	H	L	H	H	H	H	H	H	H	H	H	H	H	H
L	L	L	L	H	L	H	H	H	H	L	H	H	H	H	H	H	H	H	H	H	H
L	L	H	L	H	L	H	H	H	H	H	L	H	H	H	H	H	H	H	H	H	H
L	L	L	H	H	L	H	H	H	H	H	H	L	H	H	H	H	H	H	H	H	H
L	L	H	H	H	L	H	H	H	H	H	H	H	L	H	H	H	H	H	H	H	H
L	L	L	L	L	H	H	H	H	H	H	H	H	H	L	H	H	H	H	H	H	H
L	L	H	L	L	H	H	H	H	H	H	H	H	H	H	L	H	H	H	H	H	H
L	L	L	H	L	H	H	H	H	H	H	H	H	H	H	H	L	H	H	H	H	H
L	L	H	H	L	H	H	H	H	H	H	H	H	H	H	H	H	L	H	H	H	H
L	L	L	L	H	H	H	H	H	H	H	H	H	H	H	H	H	H	L	H	H	H
L	L	H	L	H	H	H	H	H	H	H	H	H	H	H	H	H	H	H	L	H	H
L	L	L	H	H	H	H	H	H	H	H	H	H	H	H	H	H	H	H	H	L	H
L	L	H	H	H	H	H	H	H	H	H	H	H	H	H	H	H	H	H	H	H	L

Note

1. H = HIGH voltage level
   L = LOW voltage level
   X = don't care

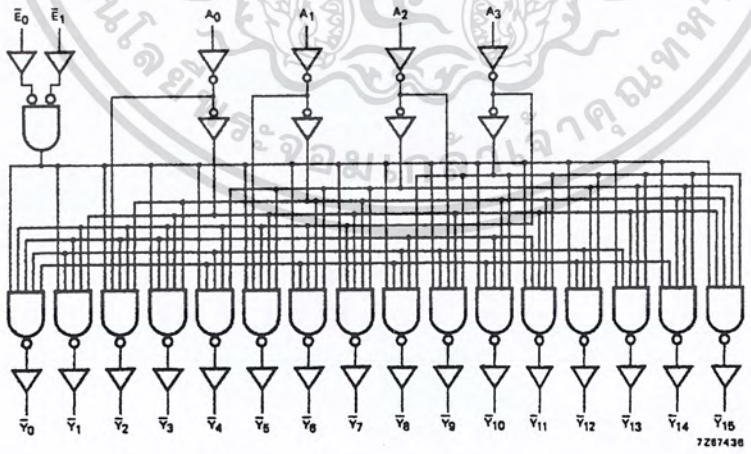


Fig.5 Logic diagram.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

DC CHARACTERISTICS FOR 74HC

For the DC characteristics see *"74HC/HCT/HCU/HCMOS Logic Family Specifications"*.

Output capability: standard
I_{CC} category: MSI

AC CHARACTERISTICS FOR 74HC

GND = 0 V; $t_r = t_f$ = 6 ns; C_L = 50 pF

SYMBOL	PARAMETER	T_{amb} (°C)							UNIT	TEST CONDITIONS	
		74HC								V_{CC} (V)	WAVEFORMS
		+25			−40 to +85		−40 to +125				
		min.	typ.	max.	min.	max.	min.	max.			
t_{PHL}/t_{PLH}	propagation delay A_n to $\overline{Y}_n$		36 13 10	150 30 26		190 38 33		225 45 38	ns	2.0 4.5 6.0	Fig.6
t_{PHL}/t_{PLH}	propagation delay $\overline{E}_n$ to $\overline{Y}_n$		39 14 11	150 30 26		190 38 33		225 45 38	ns	2.0 4.5 6.0	Fig.7
t_{THL}/t_{TLH}	output transition time		19 7 6	75 15 13		95 19 16		110 22 19	ns	2.0 4.5 6.0	Figs 6 and 7

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

DC CHARACTERISTICS FOR 74HCT

For the DC characteristics see *"74HC/HCT/HCU/HOMOS Logic Family Specifications"*.

Output capability: standard
I_{CC} category: MSI

Note to HCT types

The value of additional quiescent supply current (ΔI_{CC}) for a unit load of 1 is given in the family specifications. To determine ΔI_{CC} per input, multiply this value by the unit load coefficient shown in the table below.

INPUT	UNIT LOAD COEFFICIENT
A_n	1.0
$\overline{E}_n$	1.0

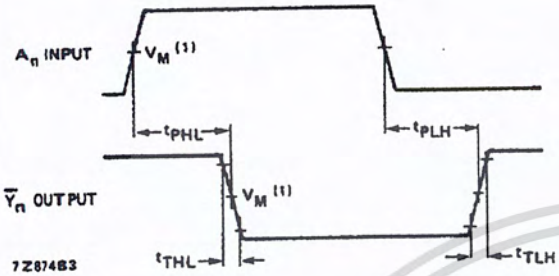
AC CHARACTERISTICS FOR 74HCT

GND = 0 V; $t_r = t_f$ = 6 ns; C_L = 50 pF

SYMBOL	PARAMETER	T_{amb} (°C)							UNIT	TEST CONDITIONS	
		74HCT								V_{CC} (V)	WAVEFORMS
		+25			−40 to +85		−40 to +125				
		min.	typ.	max.	min.	max.	min.	max.			
t_{PHL}/t_{PLH}	propagation delay A_n to $\overline{Y}_n$		16	35		44		53	ns	4.5	Fig.6
t_{PHL}/t_{PLH}	propagation delay $\overline{E}_n$ to $\overline{Y}_n$		15	32		40		48	ns	4.5	Fig.7
t_{THL}/t_{TLH}	output transition time		7	15		19		22	ns	4.5	Figs 6 and 7

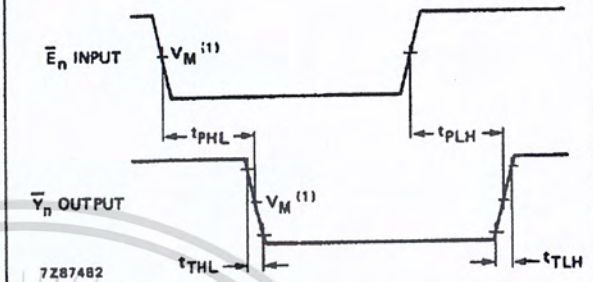
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

AC WAVEFORMS



(1) HC : V_M = 50%; V_I = GND to V_{CC}.
HCT: V_M = 1.3 V; V_I = GND to 3 V.

Fig.6 Waveforms showing the address input (A_n) to output ($\overline{Y}_n$) propagation delays and the output transition times.



(1) HC : V_M = 50%; V_I = GND to V_{CC}.
HCT: V_M = 1.3 V; V_I = GND to 3 V.

Fig.7 Waveforms showing the enable input ($\overline{E}n$) to output ($\overline{Y}_n$) propagation delays and the output transition times.

APPLICATION INFORMATION

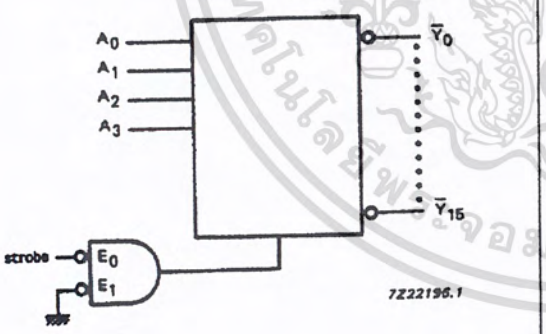


Fig.8 1-of-16 decoder; LOW level output is selected.

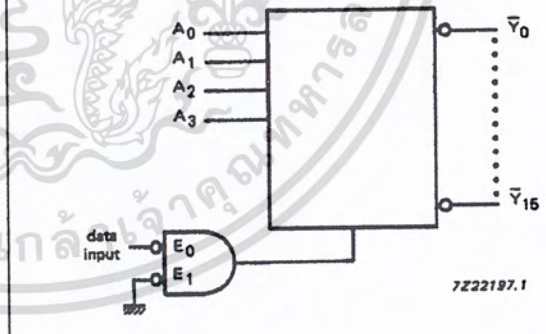


Fig.9 1-of-16 demultiplexer; logic level on selected outputs follow the logic level on the data input.

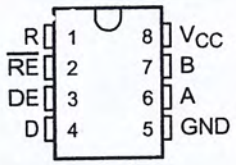
PACKAGE OUTLINES

See "74HC/HCT/HCU/HCMOS Logic Package Outlines".

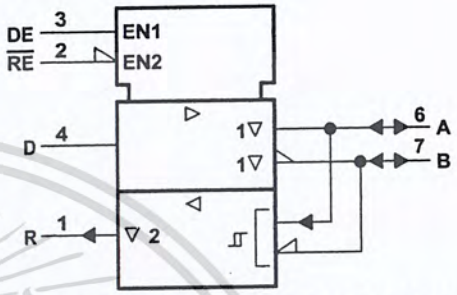
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

- Bidirectional Transceivers
- Meet or Exceed the Requirements of ANSI Standards EIA/TIA-422-B and RS-485 and ITU Recommendations V.11 and X.27
- Designed for Multipoint Transmission on Long Bus Lines in Noisy Environments
- 3-State Driver and Receiver Outputs
- Individual Driver and Receiver Enables
- Wide Positive and Negative Input/Output Bus Voltage Ranges
- Driver Output Capability . . . ±60 mA Max
- Thermal Shutdown Protection
- Driver Positive and Negative Current Limiting
- Receiver Input Impedance . . . 12 kΩ Min
- Receiver Input Sensitivity . . . ±200 mV
- Receiver Input Hysteresis . . . 50 mV Typ
- Operate From Single 5-V Supply

D OR P PACKAGE
(TOP VIEW)

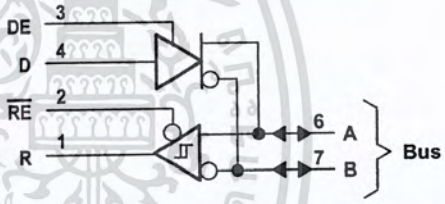


logic symbol†



† This symbol is in accordance with ANSI/IEEE Std 91-1984 and IEC Publication 617-12.

logic diagram (positive logic)



description

The SN65176B and SN75176B differential bus transceivers are monolithic integrated circuits designed for bidirectional data communication on multipoint bus transmission lines. They are designed for balanced transmission lines and meet ANSI Standards EIA/TIA-422-B and RS-485 and ITU Recommendations V.11 and X.27.

The SN65176B and SN75176B combine a 3-state differential line driver and a differential input line receiver, both of which operate from a single 5-V power supply. The driver and receiver have active-high and active-low enables, respectively, that can be externally connected together to function as a direction control. The driver differential outputs and the receiver differential inputs are connected internally to form differential input/output (I/O) bus ports that are designed to offer minimum loading to the bus whenever the driver is disabled or V_{CC} = 0. These ports feature wide positive and negative common-mode voltage ranges making the device suitable for party-line applications.

Function Tables

DRIVER

INPUT	ENABLE	OUTPUTS	
D	DE	A	B
H	H	H	L
L	H	L	H
X	L	Z	Z

RECEIVER

DIFFERENTIAL INPUTS	ENABLE	OUTPUT
A – B	$\overline{RE}$	R
$V_{ID} \geq 0.2$ V	L	H
-0.2 V < V_{ID} < 0.2 V	L	?
$V_{ID} \leq -0.2$ V	L	L
X	H	Z
Open	L	H

H = high level, L = low level, ? = indeterminate, X = irrelevant, Z = high impedance (off)

PRODUCTION DATA information is current as of publication date. Products conform to specifications per the terms of Texas Instruments standard warranty. Production processing does not necessarily include testing of all parameters.

Copyright © 1995, Texas Instruments Incorporated

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

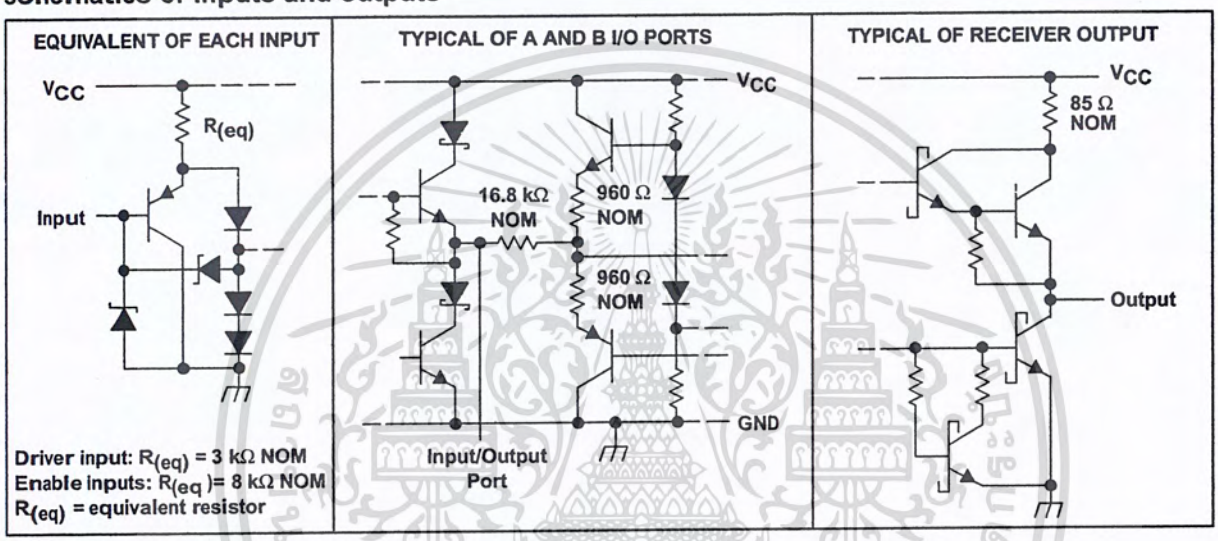
description (continued)

The driver is designed for up to 60 mA of sink or source current. The driver features positive- and negative-current limiting and thermal shutdown for protection from line-fault conditions. Thermal shutdown is designed to occur at a junction temperature of approximately 150°C. The receiver features a minimum input impedance of 12 kΩ, an input sensitivity of ±200 mV, and a typical input hysteresis of 50 mV.

The SN65176B and SN75176B can be used in transmission line applications employing the SN75172 and SN75174 quadruple differential line drivers and SN75173 and SN75175 quadruple differential line receivers.

The SN65176B is characterized for operation from –40°C to 105°C and the SN75176B is characterized for operation from 0°C to 70°C.

schematics of inputs and outputs



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

absolute maximum ratings over operating free-air temperature range (unless otherwise noted)†

Supply voltage, V_{CC} (see Note 1) ..... 7 V
Voltage range at any bus terminal ..... –10 V to 15 V
Enable input voltage, V_I ..... 5.5 V
Continuous total power dissipation ..... See Dissipation Rating Table
Operating free-air temperature range, T_A: SN65176B ..... –40°C to 105°C
SN75176B ..... 0°C to 70°C
Storage temperature range, T_{stg} ..... –65°C to 150°C
Lead temperature 1,6 mm (1/16 inch) from case for 10 seconds ..... 260°C

† Stresses beyond those listed under "absolute maximum ratings" may cause permanent damage to the device. These are stress ratings only, and functional operation of the device at these or any other conditions beyond those indicated under "recommended operating conditions" is not implied. Exposure to absolute-maximum-rated conditions for extended periods may affect device reliability.

NOTE 1: All voltage values, except differential input/output bus voltage, are with respect to network ground terminal.

DISSIPATION RATING TABLE

PACKAGE	$T_A \le 25°C$ POWER RATING	DERATING FACTOR ABOVE $T_A = 25°C$	$T_A = 70°C$ POWER RATING	$T_A = 105°C$ POWER RATING
D	725 mW	5.8 mW/°C	464 mW	261 mW
P	1100 mW	8.8 mW/°C	704 mW	396 mW

recommended operating conditions

		MIN	TYP	MAX	UNIT
Supply voltage, V_{CC}		4.75	5	5.25	V
Voltage at any bus terminal (separately or common mode), V_I or V_{IC}				12	V
				–7	
High-level input voltage, V_{IH}	D, DE, and $\overline{RE}$	2			V
Low-level input voltage, V_{IL}	D, DE, and $\overline{RE}$			0.8	V
Differential input voltage, V_{ID} (see Note 2)				±12	V
High-level output current, I_{OH}	Driver			–60	mA
	Receiver			–400	µA
Low-level output current, I_{OL}	Driver			60	mA
	Receiver			8	
Operating free-air temperature, T_A	SN65176B	–40		105	°C
	SN75176B	0		70	

NOTE 2: Differential-input/output bus voltage is measured at the noninverting terminal A with respect to the inverting terminal B.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

DRIVER SECTION

electrical characteristics over recommended ranges of supply voltage and operating free-air temperature (unless otherwise noted)

PARAMETER		TEST CONDITIONS†		MIN	TYP‡	MAX	UNIT
V_{IK}	Input clamp voltage	I_I = –18 mA				–1.5	V
V_O	Output voltage	I_O = 0		0		6	V
$\|V_{OD1}\|$	Differential output voltage	I_O = 0		1.5	3.6	6	V
$\|V_{OD2}\|$	Differential output voltage	R_L = 100 Ω, See Figure 1		1/2 V_{OD1} or 2¶			V
		R_L = 54 Ω, See Figure 1		1.5	2.5	5	V
V_{OD3}	Differential output voltage	See Note 4		1.5		5	V
$\Delta\|V_{OD}\|$	Change in magnitude of differential output voltage§	R_L = 54 Ω or 100 Ω, See Figure 1				±0.2	V
V_{OC}	Common-mode output voltage					+3 –1	V
$\Delta\|V_{OC}\|$	Change in magnitude of common-mode output voltage§					±0.2	V
I_O	Output current	Output disabled, See Note 3	V_O = 12 V			1	mA
			V_O = –7 V			–0.8	
I_{IH}	High-level input current	V_I = 2.4 V				20	µA
I_{IL}	Low-level input current	V_I = 0.4 V				–400	µA
I_{OS}	Short-circuit output current	V_O = –7 V				–250	mA
		V_O = 0				150	
		V_O = V_{CC}				250	
		V_O = 12 V				250	
I_{CC}	Supply current (total package)	No load	Outputs enabled		42	70	mA
			Outputs disabled		26	35	

† The power-off measurement in ANSI Standard EIA/TIA-422-B applies to disabled outputs only and is not applied to combined inputs and outputs.
‡ All typical values are at V_{CC} = 5 V and T_A = 25°C.
§ $\Delta|V_{OD}|$ and $\Delta|V_{OC}|$ are the changes in magnitude of V_{OD} and V_{OC}, respectively, that occur when the input is changed from a high level to a low level.
¶ The minimum V_{OD2} with a 100-Ω load is either 1/2 V_{OD1} or 2 V, whichever is greater.

NOTES: 3. See ANSI Standard RS-485 Figure 3.5, Test Termination Measurement 2.
4. This applies for both power on and off; refer to ANSI Standard RS-485 for exact conditions. The EIA/TIA-422-B limit does not apply for a combined driver and receiver terminal.

switching characteristics, V_{CC} = 5 V, R_L = 110 kΩ, T_A = 25°C (unless otherwise noted)

PARAMETER		TEST CONDITIONS	MIN	TYP	MAX	UNIT
$t_{d(OD)}$	Differential-output delay time	R_L = 54 Ω, See Figure 3		15	22	ns
$t_{t(OD)}$	Differential-output transition time			20	30	ns
t_{PZH}	Output enable time to high level	See Figure 4		85	120	ns
t_{PZL}	Output enable time to low level	See Figure 5		40	60	ns
t_{PHZ}	Output disable time from high level	See Figure 4		150	250	ns
t_{PLZ}	Output disable time from low level	See Figure 5		20	30	ns

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

SYMBOL EQUIVALENTS

DATA SHEET PARAMETER	EIA/TIA-422-B	RS-485
V_O	V_{oa}, V_{ob}	V_{oa}, V_{ob}
$\|V_{OD1}\|$	V_o	V_o
$\|V_{OD2}\|$	V_t (R_L = 100 Ω)	V_t (R_L = 54 Ω)
$\|V_{OD3}\|$		V_t (Test Termination Measurement 2)
$\Delta\|V_{OD}\|$	$\|\ \|V_t\| - \|\overline{V}_t\|\ \|$	$\|\ \|V_t\| - \|\overline{V}_t\|\ \|$
V_{OC}	$\|V_{os}\|$	$\|V_{os}\|$
$\Delta\|V_{OC}\|$	$\|V_{os} - \overline{V}_{os}\|$	$\|V_{os} - \overline{V}_{os}\|$
I_{OS}	$\|I_{sa}\|$, $\|I_{sb}\|$	
I_O	$\|I_{xa}\|$, $\|I_{xb}\|$	I_{ia}, I_{ib}

RECEIVER SECTION

electrical characteristics over recommended ranges of common-mode input voltage, supply voltage, and operating free-air temperature (unless otherwise noted)

PARAMETER		TEST CONDITIONS		MIN	TYP†	MAX	UNIT
V_{IT+}	Positive-going input threshold voltage	V_O = 2.7 V,	I_O = −0.4 mA			0.2	V
V_{IT-}	Negative-going input threshold voltage	V_O = 0.5 V,	I_O = 8 mA	−0.2‡			V
V_{hys}	Input hysteresis voltage ($V_{IT+} - V_{IT-}$)				50		mV
V_{IK}	Enable Input clamp voltage	I_I = −18 mA				−1.5	V
V_{OH}	High-level output voltage	V_{ID} = 200 mV, See Figure 2	I_{OH} = −400 µA,	2.7			V
V_{OL}	Low-level output voltage	V_{ID} = −200 mV, See Figure 2	I_{OL} = 8 mA,			0.45	V
I_{OZ}	High-impedance-state output current	V_O = 0.4 V to 2.4 V				±20	µA
I_I	Line input current	Other input = 0 V, See Note 5	V_I = 12 V			1	mA
			V_I = −7 V			−0.8	
I_{IH}	High-level enable input current	V_{IH} = 2.7 V				20	µA
I_{IL}	Low-level enable input current	V_{IL} = 0.4 V				−100	µA
r_I	Input resistance	V_I = 12 V		12			kΩ
I_{OS}	Short-circuit output current			−15		−85	mA
I_{CC}	Supply current (total package)	No load	Outputs enabled		42	55	mA
			Outputs disabled		26	35	

† All typical values are at V_{CC} = 5 V, T_A = 25°C.
‡ The algebraic convention, in which the less-positive (more-negative) limit is designated minimum, is used in this data sheet for common-mode input voltage and threshold voltage levels only.
NOTE 5: This applies for both power on and power off. Refer to EIA Standard RS-485 for exact conditions.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

switching characteristics, V_{CC} = 5 V, C_L = 15 pF, T_A = 25°C

PARAMETER		TEST CONDITIONS	MIN	TYP	MAX	UNIT
t_{PLH}	Propagation delay time, low- to high-level output	V_{ID} = 0 to 3 V, See Figure 6		21	35	ns
t_{PHL}	Propagation delay time, high- to low-level output			23	35	ns
t_{PZH}	Output enable time to high level	See Figure 7		10	20	ns
t_{PZL}	Output enable time to low level			12	20	ns
t_{PHZ}	Output disable time from high level	See Figure 7		20	35	ns
t_{PLZ}	Output disable time from low level			17	25	ns

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

PARAMETER MEASUREMENT INFORMATION

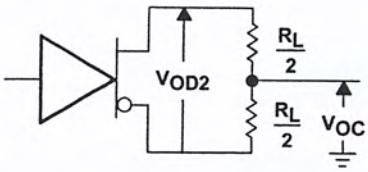


Figure 1. Driver V_{OD} and V_{OC}

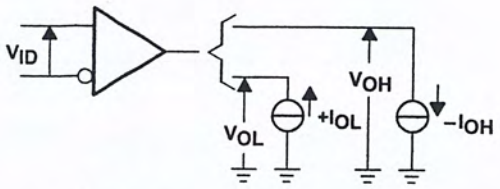


Figure 2. Receiver V_{OH} and V_{OL}

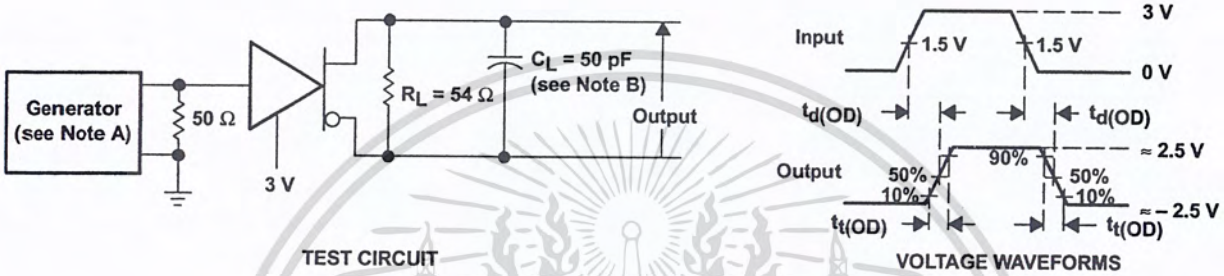


Figure 3. Driver Test Circuit and Voltage Waveforms

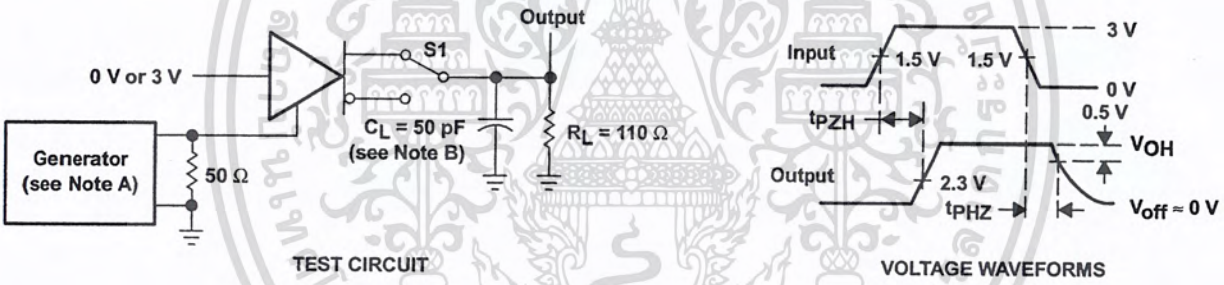


Figure 4. Driver Test Circuit and Voltage Waveforms

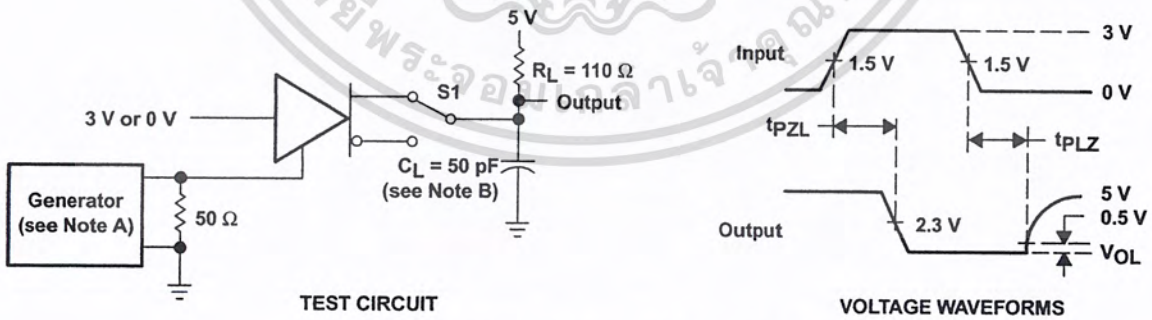


Figure 5. Driver Test Circuit and Voltage Waveforms

NOTES: A. The input pulse is supplied by a generator having the following characteristics: PRR ≤ 1 MHz, 50% duty cycle, t_r ≤ 6 ns, t_f ≤ 6 ns, Z_O = 50 Ω.
B. C_L includes probe and jig capacitance.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

PARAMETER MEASUREMENT INFORMATION

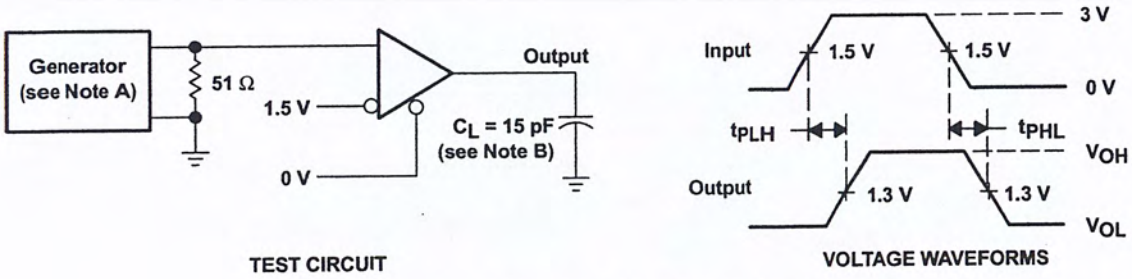


Figure 6. Receiver Test Circuit and Voltage Waveforms

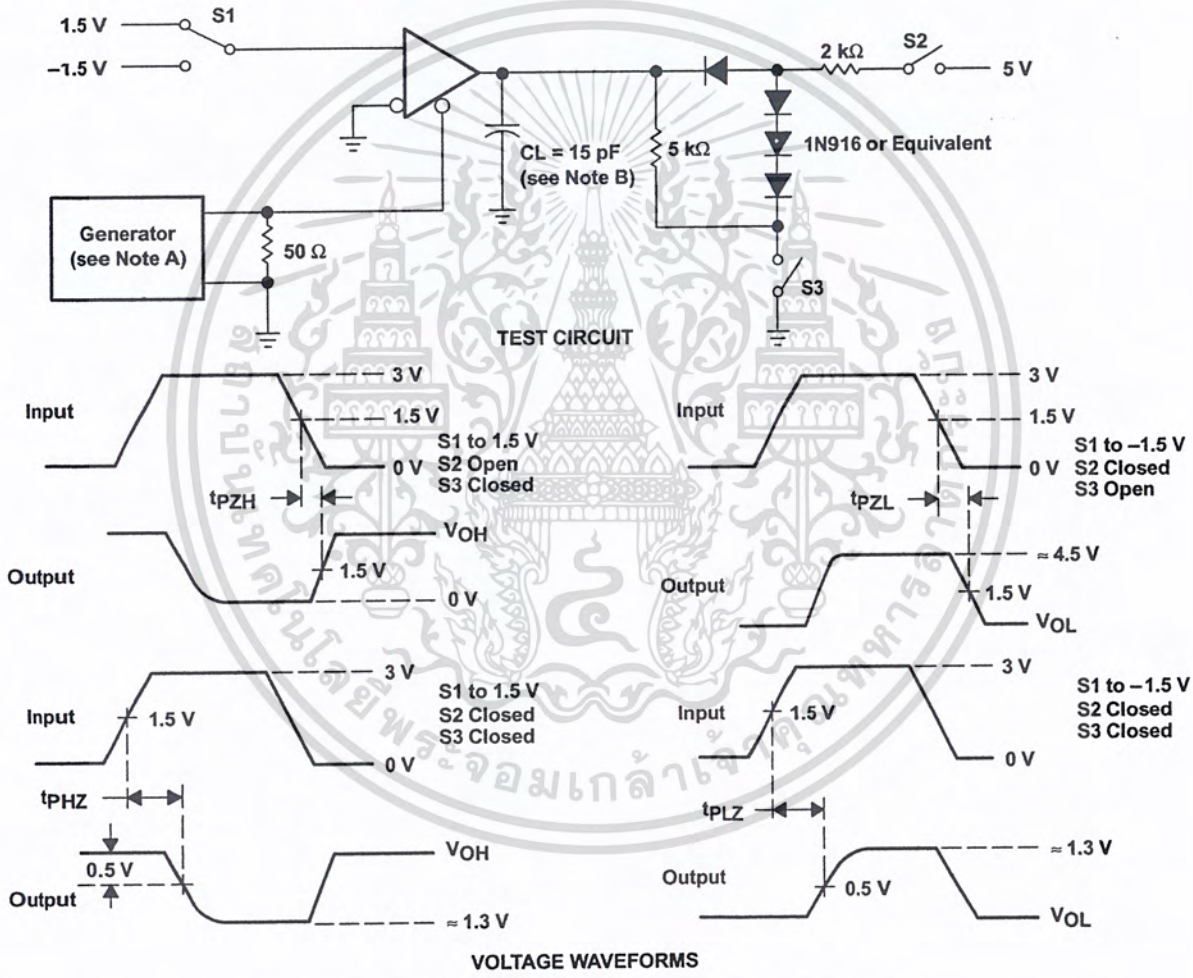


Figure 7. Receiver Test Circuit and Voltage Waveforms

NOTES: A. The input pulse is supplied by a generator having the following characteristics: PRR ≤ 1 MHz, 50% duty cycle, t_r ≤ 6 ns, t_f ≤ 6 ns, Z_O = 50 Ω.
B. C_L includes probe and jig capacitance.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

SN74LS147 SN74LS148

10-Line-to-4-Line and 8-Line-to-3-Line Priority Encoders

ON Semiconductor
Formerly a Division of Motorola
http://onsemi.com

LOW POWER SCHOTTKY

The SN74LS147 and the SN74LS148 are Priority Encoders. They provide priority decoding of the inputs to ensure that only the highest order data line is encoded. Both devices have data inputs and outputs which are active at the low logic level.

The LS147 encodes nine data lines to four-line (8-4-2-1) BCD. The implied decimal zero condition does not require an input condition because zero is encoded when all nine data lines are at a high logic level.

The LS148 encodes eight data lines to three-line (4-2-1) binary (octal). By providing cascading circuitry (Enable Input EI and Enable Output EO) octal expansion is allowed without needing external circuitry.

PLASTIC
N SUFFIX
CASE 648

SOIC
D SUFFIX
CASE 751B

GUARANTEED OPERATING RANGES

Symbol	Parameter	Min	Typ	Max	Unit
V_{CC}	Supply Voltage	4.75	5.0	5.25	V
T_A	Operating Ambient Temperature Range	0	25	70	°C
I_{OH}	Output Current – High			–0.4	mA
I_{OL}	Output Current – Low			8.0	mA

ORDERING INFORMATION

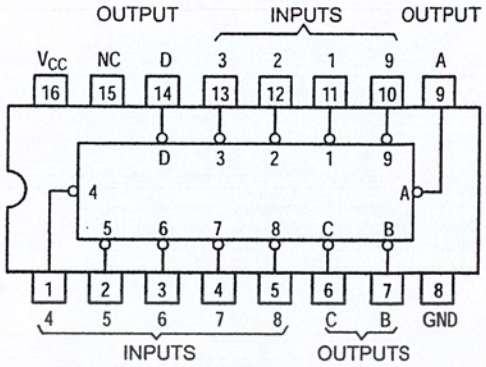
Device	Package	Shipping
SN74LS147N	16 Pin DIP	2000 Units/Box
SN74LS147D	16 Pin	2500/Tape & Reel
SN74LS148N	16 Pin DIP	2000 Units/Box
SN74LS148D	16 Pin	2500/Tape & Reel

© Semiconductor Components Industries, LLC, 1999

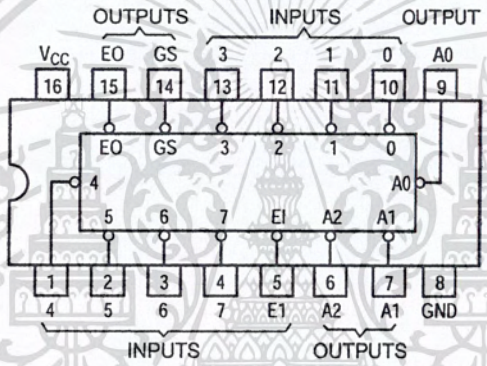
December, 1999 – Rev. 6
Publication Order Number:
SN74LS147/D

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

SN74LS147
(TOP VIEW)



SN74LS148
(TOP VIEW)



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

SN74LS147
FUNCTION TABLE

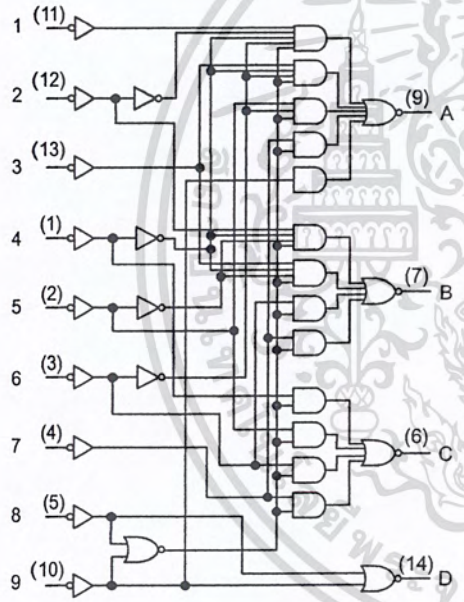
INPUTS									OUTPUTS			
1	2	3	4	5	6	7	8	9	D	C	B	A
H	H	H	H	H	H	H	H	H	H	H	H	H
X	X	X	X	X	X	X	X	L	L	H	H	L
X	X	X	X	X	X	X	L	H	L	H	H	H
X	X	X	X	X	X	L	H	H	H	L	L	L
X	X	X	X	X	L	H	H	H	H	L	L	H
X	X	X	X	L	H	H	H	H	H	L	H	L
X	X	X	L	H	H	H	H	H	H	L	H	H
X	X	L	H	H	H	H	H	H	H	H	L	L
X	L	H	H	H	H	H	H	H	H	H	L	H
L	H	H	H	H	H	H	H	H	H	H	H	L

SN74LS148
FUNCTION TABLE

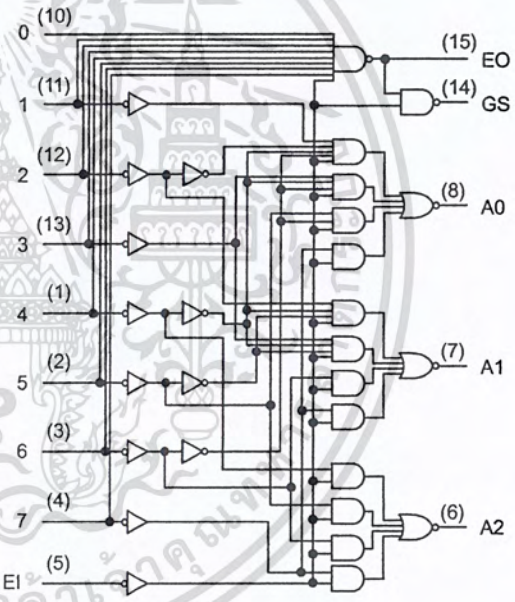
INPUTS									OUTPUTS				
EI	0	1	2	3	4	5	6	7	A2	A1	A0	GS	EO
H	X	X	X	X	X	X	X	X	H	H	H	H	H
L	H	H	H	H	H	H	H	H	H	H	H	H	L
L	X	X	X	X	X	X	X	L	L	L	L	L	H
L	X	X	X	X	X	X	L	H	L	L	H	L	H
L	X	X	X	X	X	L	H	H	L	H	L	L	H
L	X	X	X	X	L	H	H	H	L	H	H	L	H
L	X	X	X	L	H	H	H	H	H	L	L	L	H
L	X	X	L	H	H	H	H	H	H	L	H	L	H
L	X	L	H	H	H	H	H	H	H	H	L	L	H
L	L	H	H	H	H	H	H	H	H	H	H	L	H

H = HIGH Logic Level, L = LOW Logic Level, X = Irrelevant

FUNCTIONAL BLOCK DIAGRAMS



SN74LS147



SN74LS148

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

DC CHARACTERISTICS OVER OPERATING TEMPERATURE RANGE (unless otherwise specified)

Symbol	Parameter	Limits			Unit	Test Conditions	
		Min	Typ	Max			
V_{IH}	Input HIGH Voltage	2.0			V	Guaranteed Input HIGH Voltage for All Inputs	
V_{IL}	Input LOW Voltage			0.8	V	Guaranteed Input LOW Voltage for All Inputs	
V_{IK}	Input Clamp Diode Voltage		−0.65	−1.5	V	V_{CC} = MIN, I_{IN} = −18 mA	
V_{OH}	Output HIGH Voltage	2.7	3.5		V	V_{CC} = MIN, I_{OH} = MAX, V_{IN} = V_{IH} or V_{IL} per Truth Table	
V_{OL}	Output LOW Voltage		0.25	0.4	V	I_{OL} = 4.0 mA	V_{CC} = V_{CC} MIN, V_{IN} = V_{IL} or V_{IH} per Truth Table
			0.35	0.5	V	I_{OL} = 8.0 mA	
I_{IH}	Input HIGH Current All Others Inputs 1−7 (LS148)			20 40	μA	V_{CC} = MAX, V_{IN} = 2.7 V	
	All Others Inputs 1−7 (LS148)			0.1 0.2	mA	V_{CC} = MAX, V_{IN} = 7.0 V	
I_{IL}	Input LOW Current All Others Inputs 1−7 (LS148)			−0.4 −0.8	mA	V_{CC} = MAX, V_{IN} = 0.4 V	
I_{OS}	Short Circuit Current (Note 1)	−20		−100	mA	V_{CC} = MAX	
I_{CCH}	Power Supply Current Output HIGH			17	mA	V_{CC} = MAX, All Inputs = 4.5 V	
I_{CCL}	Output LOW			20	mA	V_{CC} = MAX, Inputs 7 & E1 = GND All Other Inputs = 4.5 V	

Note 1: Not more than one output should be shorted at a time, nor for more than 1 second.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

AC CHARACTERISTICS (V_{CC} = 5.0 V, T_A = 25°C)

SN74LS147

Symbol	From (Input)	To (Output)	Waveform	Limits			Unit	Test Conditions
				Min	Typ	Max		
t_{PLH}	Any	Any	In-phase output		12	18	ns	C_L = 15 pF, R_L = 2.0 kΩ
t_{PHL}					12	18		
t_{PLH}	Any	Any	Out-of-phase output		21	33	ns	
t_{PHL}					15	23		

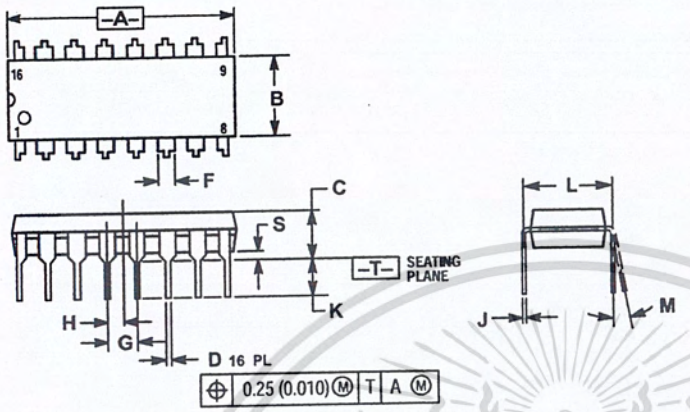
SN74LS148

Symbol	From (Input)	To (Output)	Waveform	Limits			Unit	Test Conditions
				Min	Typ	Max		
t_{PLH}	1 thru 7	A0, A1, or A2	In-phase output		14	18	ns	C_L = 15 pF, R_L = 2.0 kΩ
t_{PHL}					15	25		
t_{PLH}	1 thru 7	A0, A1, or A2	Out-of-phase output		20	36	ns	
t_{PHL}					16	29		
t_{PLH}	0 thru 7	EO	Out-of-phase output		7.0	18	ns	
t_{PHL}					25	40		
t_{PLH}	0 thru 7	GS	In-phase output		35	55	ns	
t_{PHL}					9.0	21		
t_{PLH}	EI	A0, A1, or A2	In-phase output		16	25	ns	
t_{PHL}					12	25		
t_{PLH}	EI	GS	In-phase output		12	17	ns	
t_{PHL}					14	36		
t_{PLH}	EI	EO	In-phase output		12	21	ns	(LS148)
t_{PHL}					28 30	40 45		

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

PACKAGE DIMENSIONS

N SUFFIX
PLASTIC PACKAGE
CASE 648–08
ISSUE R



NOTES:
1. DIMENSIONING AND TOLERANCING PER ANSI Y14.5M, 1982.
2. CONTROLLING DIMENSION: INCH.
3. DIMENSION L TO CENTER OF LEADS WHEN FORMED PARALLEL.
4. DIMENSION B DOES NOT INCLUDE MOLD FLASH.
5. ROUNDED CORNERS OPTIONAL.

	INCHES		MILLIMETERS	
DIM	MIN	MAX	MIN	MAX
A	0.740	0.770	18.80	19.55
B	0.250	0.270	6.35	6.85
C	0.145	0.175	3.69	4.44
D	0.015	0.021	0.39	0.53
F	0.040	0.70	1.02	1.77
G	0.100 BSC		2.54 BSC	
H	0.050 BSC		1.27 BSC	
J	0.008	0.015	0.21	0.38
K	0.110	0.130	2.80	3.30
L	0.295	0.305	7.50	7.74
M	0°	10°	0°	10°
S	0.020	0.040	0.51	1.01

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้