สำนักหอสมุดกลาง พระจอมเกล้าลาดกระบัง

การชิงโครไนซ์เซชั่นใน QPSK โมเด็มด้วยสัญญาณนำร่องแบบคู่ความถี่

QPSK RF MODEM SYNCHRONIZATION WITH DUAL PILOT TONE

T042318

โดย

นายชาญรวี วิวัฒน์วงศ์ธร

นายสิริพงศ์ กลิ่นสัมผัส

เลขหมู่.....
เลขทะเบียน 42318
วัน, เดือน, ปี 16 พ.ค. 2545

.b.....
.i.....

ปริญญานิพนธ์นี้เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรปริญญาอุตสาหกรรมศาสตรบัณฑิต

สาขาเทคโนโลยีโทรคมนาคม ภาควิชาเทคนิคอุตสาหกรรม

คณะวิศวกรรมศาสตร์

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

ปีการศึกษา 2544

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การซิงโครไนซ์เซชั่นใน QPSK โมเด็มด้วยสัญญาณนำร่องแบบคู่ความถี่

QPSK RF MODEM SYNCHRONIZATION WITH DUAL PILOT TONE

โดย

นายชาญรวี วิวัฒน์วงศ์ธร รหัสประจำตัว 42015593

นายสิริพงศ์ กลิ่นสัมผัส รหัสประจำตัว 42015621

ปริญญานิพนธ์นี้เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรปริญญาอุตสาหกรรมศาสตรบัณฑิต

สาขาเทคโนโลยีโทรคมนาคม ภาควิชาเทคนิคอุตสาหกรรม

คณะวิศวกรรมศาสตร์

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

ปีการศึกษา 2544

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การซิงโครไนซ์เซชั่นใน QPSK โมเด็มด้วยสัญญาณนำร่องแบบคู่ความถี่

โดย นาย ชาญรวี วิวัฒน์วงศ์ธร รหัสประจำตัว 42015593

นาย สิริพงศ์ กลิ่นสัมผัส รหัสประจำตัว 42015621

อาจารย์ที่ปรึกษา อาจารย์ดลชัย สุขเจริญผล

ปีการศึกษา 2544

บทคัดย่อ

โครงงานนี้เป็นการออกแบบและสร้างวงจรเพื่อใช้ในการรับส่งข้อมูลดิจิตอล โดยใช้เทคนิคการมอดดูเลตทางดิจิตอลเฟสชิฟท์ แบบQPSK ซึ่งมีข้อดีคือ ง่ายต่อการดีมอดดูเลตคลื่นพาห์และการกู้สัญญาณนาฬิกา ซึ่งโครงงานนี้ได้ประยุกต์ใช้สัญญาณนำร่องแบบคู่ความถี่ (Dual Pilot Tone) เพิ่มเข้าที่ภาคส่ง เพื่อนำสัญญาณนำร่องนี้ไปใช้ในการกู้สัญญาณคลื่นพาห์กลับคืนมาที่ภาครับ เมื่อเปรียบเทียบกับการกู้สัญญาณคลื่นพาห์แบบยกกำลังสี่แล้ว จะเห็นว่ามีความแตกต่างของสัญญาณคลื่นพาห์ที่กู้กลับมาได้ ซึ่งจะมีผลต่อประสิทธิภาพของระบบ(Pe) เพราะว่าในวงจรยกกำลังสี่นั้นจะทำให้นอยส์ในระบบมีขนาดเพิ่มขึ้นเนื่องจากผลของความไม่เป็นเชิงเส้น ส่งผลให้สัญญาณคลื่นพาห์ที่กู้ได้เกิดการสั่นทางเฟส(Carrier Jitter)มากที่ระบบS/Nต่ำ ดังนั้นการกู้สัญญาณคลื่นพาห์จากสัญญาณนำร่องแบบคู่ความถี่จะแก้ไขการสั่นทางเฟสของสัญญาณคลื่นพาห์ได้ดีกว่าสัญญาณยกกำลังสี่ จึงทำให้มีประสิทธิภาพในการดีมอดดูเลชั่นได้ดีกว่าและทำให้ระบบยังคงรักษาค่า BER ได้ดีกว่าการใช้ระบบยกกำลังสี่ การที่ระบบยังคงรักษาระดับค่า BER ได้ตามที่กำหนดไว้นั้นทำให้เราไม่ต้องเพิ่มกำลังส่งขึ้นเพื่อเอาชนะสัญญาณรบกวน เพราะว่าการเพิ่มกำลังส่งอาจทำให้เกิดการกวนกันระหว่างช่องสัญญาณใกล้เคียงขึ้นได้ (Adjacent Channel Interference)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

QPSK. RF.MODEM SYNCHRONIZATION WITH DUAL PILOT TONE.

BY. MR.CHANRAVEE WIWATWONGTHON 42015593

MR.SIRIPRONG KLINSAMPAS 42015621

ADVISER MR.DOLCHAI SOOKCHAROENPOL

ABSTRACT

The objective of project are Design and Implementation of a RF.Modem with QPSK Modulation Scheme. It is easy to demodulated and clock recovery. Which project is apply to add dual pilot tone in transmitter. Pilot tone is use to carrier recovery and clock recovery at receiver. When we are compare pilot tone technique and squaring-loop method. It have efficiency of demodulated different. Squaring-loop method have a carrier jitter more than pilot tone technique. And pilot tone have bit error rate(BER) good more than squaring-loop method. So that; to use pilot tone technique.The receiver is a coherent(correlation) receiver and have a advantage, that is; simple and low complexity circuit. However; the Conventional Carrier Recovery(Fourth Power Loop) have a more carrier phase jitter at low C/NO due to nonlinearity of that circuit. We are applying a Pilot Signal Technique to aid carrier and clock synchronizations. And output signal have a low jitter than at F.P.L at same C/No. Therefore, the system performance can improved by this technique due to low carrier phase jitter.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

กิตติกรรมประกาศ

ปริญญานิพนธ์ฉบับนี้สำเร็จลุล่วงไปได้ด้วยดีต้องขอกราบขอบพระคุณ อ.ดลชัย สุขเจริญผล ที่ให้คำปรึกษาและเอื้อเฟื้ออุปกรณ์ในการทดลองและขอบคุณเพื่อนๆ 2M ที่คอยให้ความช่วยเหลือ และขอขอบพระคุณพ่อและแม่ ที่ให้กำลังใจและทุนทรัพย์ในการทำงาน

สุดท้ายนี้คณะผู้จัดทำขอขอบพระคุณอาจารย์ทุกท่านที่กรุณาประสิทธิ์ประสาทวิชาความรู้รวมทั้งแนวความคิดและแนวทางในการปฏิบัติให้แก่คณะผู้จัดทำจึงทำให้ปริญญานิพนธ์ฉบับนี้สำเร็จลุล่วงไปได้ด้วยดี

ขอกราบขอบพระคุณทุกท่าน

คณะผู้จัดทำ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 1
บทนำ

แนวความคิดและความเป็นมา

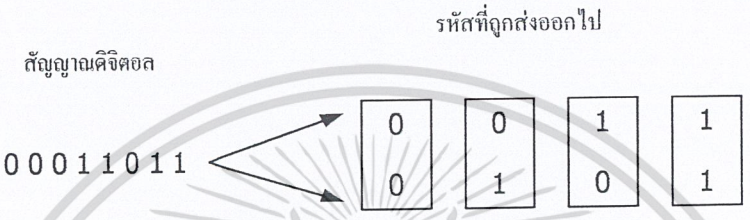
การสื่อสารได้มีการพัฒนาขึ้นอย่างรวดเร็ว โดยหลักสำคัญของการสื่อสารที่ว่าข้อมูลที่ได้รับได้ควรมีความผิดพลาดน้อยที่สุด ไม่ว่าจะเป็นการสื่อสารข้อมูล ภาพ และเสียง จะเห็นได้ว่าจากเดิมระบบสื่อสารแบบอนาลอคถูกพัฒนาขึ้นเรื่อยๆจนกลายเป็นระบบสื่อสารแบบดิจิตอล ดังนั้นในปัจจุบันนี้ การรับและส่งข้อมูลจึงถูกพัฒนาให้สามารถส่งและรับข้อมูลโดยอาศัยเทคนิคการมอดดูเลตแบบดิจิตอล ที่สามารถส่งและรับข้อมูลได้จำนวนมากแต่มีการใช้แบนด์วิดท์น้อยต่อช่องสัญญาณ

ดังนั้นโครงงานนี้จึงได้เสนอวิธีการมอดดูเลตแบบ QPSK ซึ่งเป็นเทคนิคในการมอดแบบหนึ่ง โดยได้มีการประยุกต์ใช้สัญญาณนำร่องแบบคู่ความถี่ เพื่อนำไปใช้ในการกู้สัญญาณคลื่นพาห์กลับคืนมาที่ภาครับ เพราะว่าการดีมอดดูเลตข้อมูลกลับคืนมาให้มีประสิทธิภาพมากที่สุดนั้น สัญญาณแคเรียร์ที่ภาคส่งกับที่ภาครับต้องมีเฟสที่ซิงโครไนซ์กัน ซึ่งโครงงานนี้ได้เปรียบเทียบให้เห็นถึงความแตกต่างของการดีมอดดูเลตข้อมูลกลับคืนมา โดยใช้วงจรกู้แคเรียร์ 2 แบบคือ ใช้วงจรยกกำลัง กับใช้สัญญาณนำร่องแบบคู่ความถี่ และยังได้ใช้เทคนิคการจัดรูปคลื่น(Pules Shaper) เพื่อลดแบนด์วิดท์ในการส่งสัญญาณซึ่งสามารถทำให้มีจำนวนของช่องสัญญาณเพิ่มขึ้นด้วย เพราะว่าในปัจจุบันมีการจัดสรรช่องสัญญาณที่สามารถให้ใช้ความถี่ที่จำกัด จึงสามารถนำหลักการนี้ไปประยุกต์ใช้ได้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

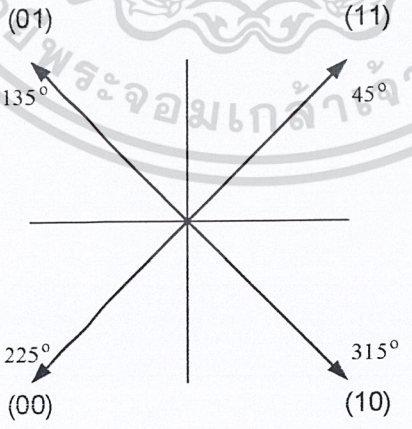
บทที่ 2.
ทฤษฎีและหลักการ

วิธีการมอดดูเลตแบบ QPSK สัญญาณ 2 บิทจะถูกส่งไปพร้อมๆกันตามลำดับ ในกรณีนี้จะมีการรวมรหัส 4 คู่ด้วยกันคือ 00, 01,10,11 คู่รหัสทั้ง 4 คู่นี้จะเทียบกับ initial phase 4 เฟส ของสัญญาณ QPSK ก่อนที่จะนำสัญญาณแต่ละช่องเข้าวงจรมอดดูเลตนั้น ควรที่จะต้องเข้ารหัสไบนารีเป็นรหัสเกรย์โค๊ดก่อนเพื่อป้องกันและลดการผิดพลาดในการส่งข้อมูล



รูปที่ 2.1 สัญญาณข้อมูลที่ถูกส่งออกไป

รูปต่อไปนี้แสดงความสัมพันธ์ระหว่างรหัส และ initial phase ใน gray code ซึ่งใช้ใน QPSK จะเห็นว่าถ้าเปรียบเทียบรหัสระหว่างสองเฟสข้างเคียง หนึ่งในสองบิทจะเหมือนกันในทุกๆกรณี ดังนั้นการใช้ Gray Code จะมีเพียงบิทเดียวที่เกิดการผิดพลาด แม้ว่าสัญญาณที่รับได้ถูกมอดดูเลตผิดไปเป็นเฟสข้างเคียง



รูปที่ 2.2 Phase Diagram ของ QPSK

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สภาวะสัญญาณเกรย์โค๊ด 4 สภาวะมีดังนี้

$$S_{11} = A\cos(2\pi f_0 t + 45^\circ) \quad (2.1)$$

$$S_{01} = A\cos(2\pi f_0 t + 135^\circ) \quad (2.2)$$

$$S_{00} = A\cos(2\pi f_0 t + 225^\circ) \quad (2.3)$$

$$S_{10} = A\cos(2\pi f_0 t + 315^\circ) \quad (2.4)$$

2.1 หลักการทำงานของภาคส่ง

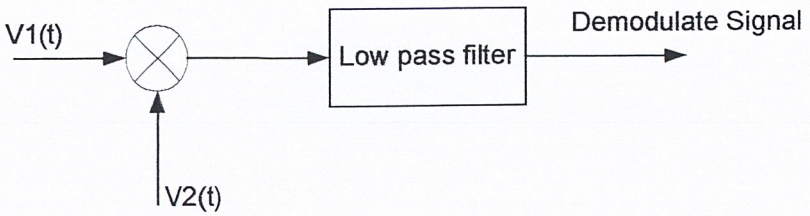
QPSK เป็นเทคนิคในการสื่อสารสัญญาณดิจิตอล โดยใช้สัญญาณไม่ย้อนกลับสู่ศูนย์ (NRZ) เป็นสัญญาณอ้างอิง ซึ่งสัญญาณข้อมูลนี้ที่เข้ามาเป็นสัญญาณอนุกรมนี้จะถูกแปลงให้เป็นสัญญาณขนานทีละ 2 บิท บิทแรกจะถูกส่งไปมอดดูเลตสัญญาณกับสัญญาณคลื่นพาห์อินเฟส บิทที่สองจะถูกส่งไปมอดดูเลตกับสัญญาณคลื่นพาห์ควอดเดรเจอร์เฟส จากนั้นสัญญาณทั้งสองด้านจะผ่านวงจรจัดรูปคลื่นเพื่อช่วยลดแบนด์วิดท์ในการใช้ช่องสัญญาณ จากนั้นจะนำสัญญาณทั้งสองไปมอดดูเลตแบบ Double Sideband Supressed Carrier (DSB) โดยที่สัญญาณคลื่นพาห์จะสร้างจากวงจรกำเนิดสัญญาณนาฬิกาเดียวกับสัญญาณนาฬิกา NRZ สัญญาณที่ได้จากการมอดดูเลตแบบ DSB นี้จะกำจัดสัญญาณคลื่นพาห์ทิ้งไปเหลือเพียงแต่เฉพาะสัญญาณข้อมูล ที่อยู่ใน Sideband ทั้งสองข้าง สัญญาณเหล่านี้จะถูกส่งไปยังภาครับพร้อมกับสัญญาณนำร่องคู่ความถี่ ซึ่งจะผสมก่อนที่จะขยายสัญญาณทั้งด้านความถี่และขนาด สัญญาณนำร่องคู่ความถี่นี้จะใช้เป็นสัญญาณอ้างอิงในการสร้างสัญญาณคลื่นพาห์ที่วงจรภาครับเพื่อที่จะใช้ในการดีเทคข้อมูลกลับคืนมา

2.2 หลักการทำงานของภาครับ

การมอดดูเลตแบบ Double Sideband Supressed Carrier เราไม่สามารถใช้การดีเทคแบบเอ็นเวลโลปดีเทคชั่นได้ ซึ่งในที่นี้เราใช้การดีเทคแบบซิงโครนัสดีเทคเตอร์แทน

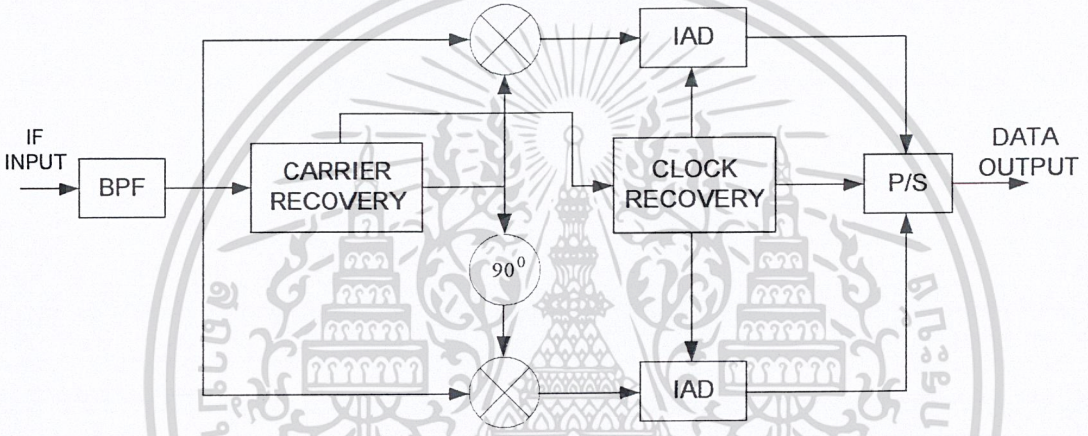
การดีเทคเตอร์แบบซิงโครนัสในบางครั้งเราเรียกว่า โคฮีแรนท์ดีเทคเตอร์(coherent detector) ซึ่งเป็นการดีเทคสัญญาณโดยนำสัญญาณสองสัญญาณมาคูณเข้าด้วยกันโดยใช้อุปกรณ์จำพวก non linear ซึ่งทำให้ได้ความถี่เอาท์พุทผลบวกและผลต่างของสัญญาณทั้งสองออกมา โดยทั่วไปสัญญาณที่ป้อนเข้ามาที่วงจรซิงโครนัสดีเทคเตอร์ คือสัญญาณ Double Sideband Supressed Carrier หรือสัญญาณ Single Sindband Supressed Carrier นำมาคูณกับสัญญาณคลื่นพาห์ที่สร้างขึ้นมาใหม่ที่ภาครับ แล้วนำสัญญาณเอาท์พุทที่ได้ไปผ่านวงจรกรองความถี่ต่ำผ่าน ก็จะได้สัญญาณเบสแบนด์ที่ต้องการ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.3 Coherent Detector

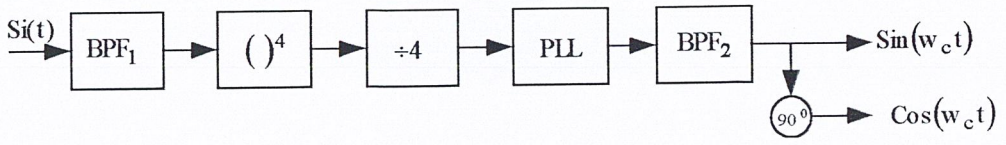
ในการรับข้อมูลในทางภาครับของ QPSK นั้นมีลักษณะของแผนผังการทำงานดังนี้



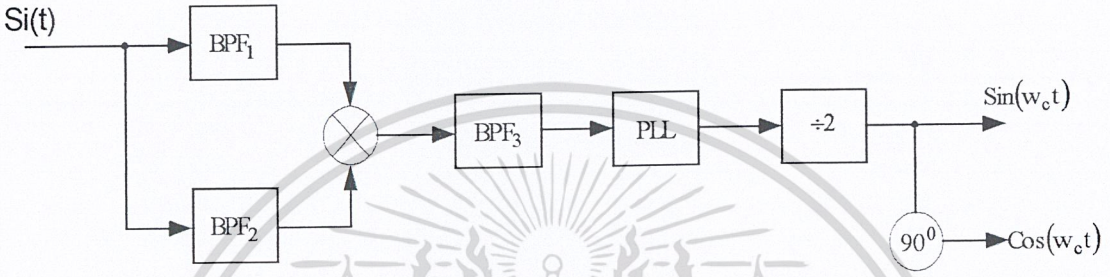
รูปที่ 2.4. บล็อกไดอะแกรมของภาครับ

การทำงานของภาครับนั้น จะมีความแตกต่างกับภาครับของวงจรอื่นตรงที่ส่วนของวงจรกู้สัญญาณคลื่นพาห์ ซึ่งในวงจรนี้จะใช้หลักการทำงานคือ รับสัญญาณที่ได้จากภาคส่งมาผ่านวงจรผ่านย่านความถี่ 2 ชุดก็คือ วงจรผ่านย่านความถี่ ที่มีความถี่คัทออฟอยู่ที่ 400 KHz และ 600 KHz โดยที่คลื่นพาห์ของวงจรมีความถี่อยู่ที่ 500 KHz และความถี่ทั้งสองที่ผ่านวงจรผ่านย่านความถี่นี้เราจะเรียกว่าสัญญาณ Pilot Tone ซึ่งเป็นส่วนที่จะนำไปผ่านวงจร Balance Modulator แล้วจากนั้นก็จะนำไปผ่านวงจรผ่านย่านที่มีความถี่คัทออฟอยู่ที่ 1 MHz ในส่วนนี้จะมีสัญญาณรบกวนปะปนมาด้วย ซึ่งสิ่งที่สำคัญก็คือจุดนี้ โดยที่วงจรทั่วไปจะใช้วิธี Fourth Power นั่นก็คือการยกกำลังสี่ของสัญญาณก่อนเข้า Phase Lock Loop ผลของการทำเช่นนี้จะทำให้ ส่วนของสัญญาณรบกวนมีขนาดเพิ่มขึ้นด้วย จึงทำให้วงจรกู้สัญญาณคลื่นพาห์มีประสิทธิภาพที่ไม่ดี ดังนั้นจึงแก้ไขมาใช้หลักการแบบใช้ Pilot Tone แทน จากวงจรผ่านย่านความถี่ 1 MHz ก็จะผ่านเข้าไปในวงจรเฟสล็อกลูป เพื่อล็อกเฟสของสัญญาณไม่ให้เปลี่ยนไป แล้วสัญญาณ 1 MHz ก็จะถูกหารเหลือเพียง 500 KHz ซึ่งก็คือสัญญาณคลื่นพาห์นั่นเอง ความแตกต่างของทั้งสองวิธีแสดงดังรูป

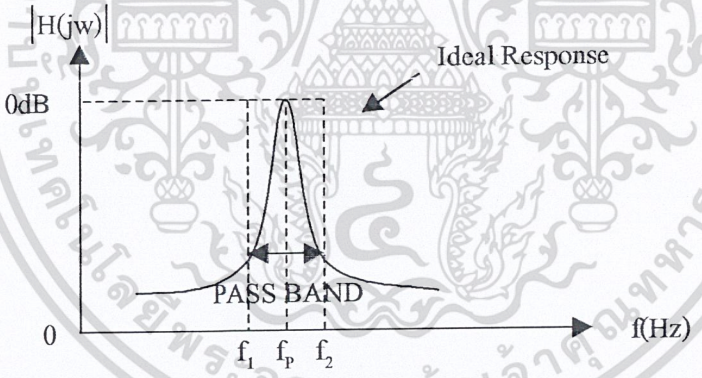
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



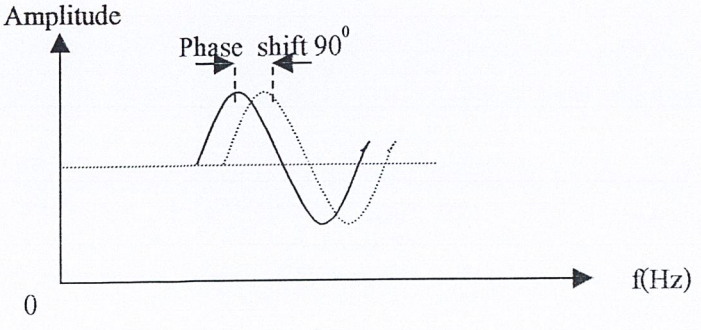
รูปที่ 2.5 วงจรกู้สัญญาณ Fourth Power



รูปที่ 2.6วงจรกู้สัญญาณแบบใช้สัญญาณ PilotToneAidCarrier Synchronization



รูปที่ 2.7 Response ของวงจร Band Pass Filter (Narrow Band)



รูปที่2.8. Response ของวงจรเลื่อนเฟส

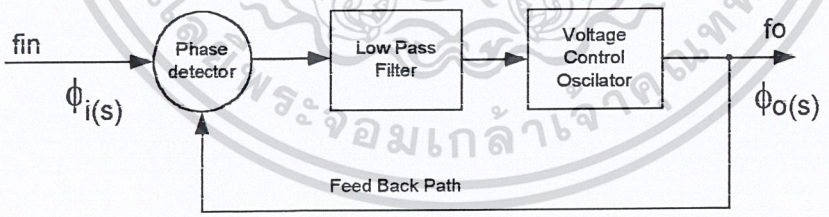
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ดังนั้นจะเห็นว่าเมื่อภาครับ รับสัญญาณ QPSK เข้ามาแล้วนั้น ส่วนที่สำคัญที่สุดคือการกู้สัญญาณคลื่นพาห์ให้มีเฟสซิงค์โครไนซ์กับภาคส่ง ถ้าไม่สัมพันธ์กันข้อมูลที่รับได้ก็จะมีความผิดพลาดทันที

2.3 พื้นฐานของระบบเฟสล็อกลูป่

วงจรเฟสล็อกลูป (Phase Locked Loop) หรือ PLL เป็นวงจรที่มีลูปของการป้อนกลับ (Feedback Loop) เพื่อนำสัญญาณที่เอาท์พุทบางส่วนกลับมาเปรียบเทียบกับสัญญาณที่ด้านอินพุตโดยวัตถุประสงค์หลักของวงจร PLL คือเป็นวงจรติดตามสัญญาณความถี่ใดๆที่เราต้องการ (Desired Signal) ซึ่งเราเรียกวงจรแบบนี้ว่า "Frequency Tracking Circuit" โดยโครงสร้างพื้นฐานของวงจร PLL จะประกอบด้วยวงจรต่างๆดังนี้

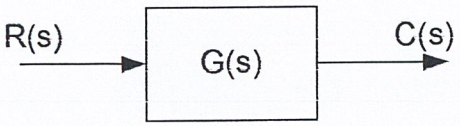
1. Phase Detecter(PD) มีหน้าที่ในการเปรียบเทียบผลความแตกต่างของสัญญาณที่อินพุทของวงจร PLL กับสัญญาณที่ถูกป้อนกลับจากด้านเอาท์พุท
2. Loop Filter เป็นวงจรกรองความถี่ผ่านเฉพาะความถี่ต่ำ Lowpass Filter (LPF) ที่มีหน้าที่ในการจำกัดสัญญาณที่มีความถี่สูงๆออกไปให้ผ่านได้เฉพาะสัญาณ Dc Error Voltage(Ve)
3. Voltage Control Oscillator (VCO) มีหน้าที่ในการกำเนิดสัญญาณโดยสามารถในการเปลี่ยนแปลงความถี่ได้ตามการเปลี่ยนแปลงของ Ve โดยรูปที่ 2.7 แสดงบล็อกไดอะแกรมของวงจรต่างๆของ PLL



รูปที่ 2.9 บล็อคไดอะแกรมวงจรต่างๆของ PLL

วงจรเฟสล็อกลูป (Phase Locked Loop)หลักการของระบบเฟสล็อกลูปเป็นหลักการของระบบป้อนกลับ (Feedback Control System)ซึ่งแบ่งเป็นระบบควบคุมแบบลูปเปิด (Open loop transfer funtion)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

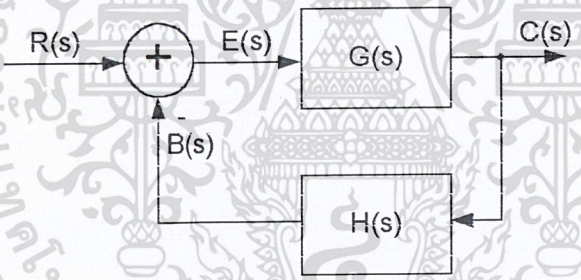


รูปที่ 2.10 โครงสร้างของระบบลูปเปิด

ฟังก์ชั่นถ่ายโอนของระบบควบคุมระบบเปิดสามารถเขียนทรานสเฟอร์ฟังก์ชั่นได้คือ

$$\frac{C(s)}{R(s)} = G(s) \tag{2.5}$$

ระบบควบคุมแบบลูปปิด (Closed loop transfer funtion)



รูปที่ 2.11 โครงสร้างของระบบลูปปิด

ฟังก์ชั่นถ่ายโอนของระบบควบคุมระบบปิดสามารถเขียนทรานสเฟอร์ฟังก์ชั่นได้คือ

$$\frac{C(s)}{R(s)} = \frac{G(s)}{1 + G(s)H(s)} \tag{2.6}$$

สำหรับค่าความคลาดเคลื่อน E(s) หาได้จาก

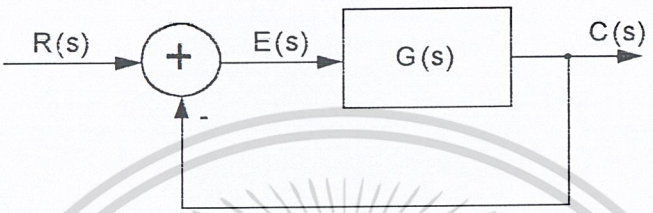
$$E(s) = R(s) - B(s) = \frac{R(s)}{1 + G(s)H(s)} \tag{2.7}$$

ในกรณีที่เป็นการป้อนกลับหมด (Unity feedback system)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สามารถเขียนเป็นทรานสเฟอร์ฟังก์ชั่น ได้คือ

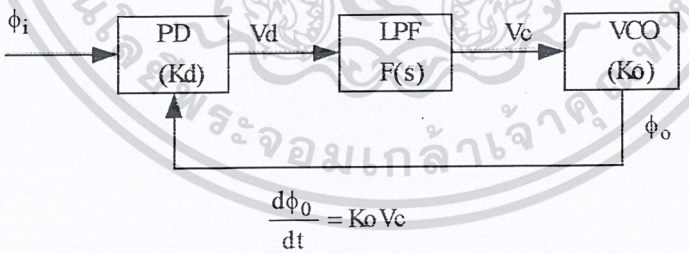
$$\frac{C(s)}{R(s)} = \frac{G(s)}{1 + G(s)} \tag{2.8}$$



รูปที่ 2.12 โครงสร้างของระบบลูปปิดชนิดป้อนกลับหมด

ทรานสเฟอร์ฟังก์ชั่น (Transfer funtion)

พิจารณาในรูปที่ 2.11. ซึ่งเป็นลูปลักษณะพื้นฐาน (Elementary Loop) ซึ่งประกอบด้วย เฟสดีเทคเตอร์ (PD) , ลูป์ฟิลเตอร์ (LPF) และโวลเตจคอลโทรลออสซิลเลเตอร์ (VCO) ที่ความถี่ควบคุมด้วยแรงดัน



รูปที่ 2.13. โครงสร้างของเฟสล็อกลูป

สัญญาณอินพุทมีเฟส $\phi_i(t)$ และ เอาท์พุทของ VCO มีเฟส $\phi_o(t)$ สมมติว่าระบบในสภาวะล็อก (Locked) เฟสดีเทคเตอร์ มีการทำงานแบบเชิงเส้นและเฟสดีเทคเตอร์มีเอาท์พุทที่เป็นสัดส่วนกับความแตกต่างจากเฟสของอินพุททั้งสองดังนั้น

$$V_d = K_d(\phi_i - \phi_o) \tag{2.9}$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เมื่อ Kd คือ เกนเฟคเตอร์ (Gain Factor) หรือคอนเวอร์ชั่นเกน (Conversion Gain) วัดเป็นโวลท์ต่อเรเดียน (V/rad)

แรงดัน Vd จะถูกฟิลเตอร์โดยลูปฟิลเตอร์สัญญาณรบกวนและส่วนประกอบของสัญญาณที่เป็นความถี่สูงจะถูกกำจัดออกไป ลูปฟิลเตอร์จะเป็นตัวกำหนดคุณสมบัติทางพลศาสตร์ของลูป (Dynamic Performance) ทรานสเฟอร์ฟังก์ชั่นของลูปกำหนดโดย F(s)

ความถี่ของ VCO กำหนดจากแรงดันควบคุมที่อินพุท Vc ที่ทำให้ความถี่เบี่ยงเบนไป จากความถี่ศูนย์กลางไปด้วยขนาด $\Delta w = KoVc$ เมื่อ Ko คือ เกนเฟคเตอร์ของ VCO ที่วัดเป็น rad/sed/v เนื่องจากความถี่เป็นอนุพันธ์ (Derivative) ของเฟสการทำงานของ VCO ซึ่งพิจารณาได้จาก

$$\frac{d\phi_o}{dt} = KoVc \tag{2.10}$$

เมื่อทำการแปลงลาปลาซทรานสฟอร์มจะได้

$$S\phi_o(s) = KoVd(s) \tag{2.11}$$

ดังนั้น

$$\phi_o(s) = \frac{KoVo(s)}{s} \tag{2.12}$$

เฟสของสัญญาณเอาท์พุทของ VCO จะมีความสัมพันธ์เชิงเส้นกับอินทิกรัลของแรงดันควบคุม (Vc) โดยใช้วิธีการลาปลาซทรานสฟอร์มจะได้

$$Vd(s) = Kd[\phi_i(s) - \phi_o(s)] \tag{2.13}$$

$$Vc(s) = F(s)Vd(s) \tag{2.14}$$

$$\phi_o = \frac{KoVo(s)}{s} \tag{2.15}$$

ดังนั้นจะได้สมการพื้นฐานของลูปคือ

$$\frac{\phi_o(s)}{\phi_i(s)} = B(s) = \frac{KoKdF(s)}{S + KoKdF(s)} \tag{2.16}$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ซึ่ง B(s) เป็นทรานสฟอร์มฟังก์ชั่นของลูปปิด (Closed loop transfer funtion)

ลูปฟิลเตอร์ (Loop Filter)

Loop Filter หรือวงจรกรองความถี่ต่ำผ่านนั้นในวงจร PLL โดยส่วนมากจะใช้วงจรกรองความถี่ต่ำอันดับ 1 (First order lowpass filter) ในการควบคุมการทำงานของลูปโดยสามารถแบ่งเป็น 2 ชนิดคือ

1. วงจรกรองความถี่ต่ำแบบพาสซีฟ (Passive) แบบนี้ไม่จำเป็นต้องใช้แรงดันไฟเลี้ยง



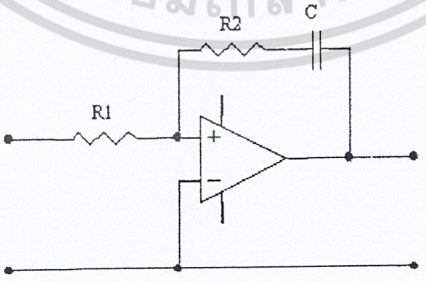
รูปที่ 2.14. วงจรกรองความถี่ต่ำแบบพาสซีฟ

จากรูปสามารถเขียน transfer funtion

$$\text{แบบ 1} \quad F(S) = \frac{1}{SR_1C + 1} \tag{2.17}$$

$$\text{แบบ 2} \quad F(S) = \frac{SC_2C + 1}{SC(R_1 + R_2) + 1} \tag{2.18}$$

2. วงจรกรองความถี่ต่ำแบบแอคทีฟ (Active) แบบนี้จะใช้ไฟเลี้ยงให้กับวงจร



รูปที่ 2.15. วงจรกรองความถี่ต่ำแบบแอคทีฟ

จากรูปสามารถเขียน transfer function ได้คือ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$F(S) = \frac{-A(SR_2C+1)}{SR_2C+1+(1+A)(SR_1C)} \tag{2.19}$$

ถ้า A มีขนาดใหญ่มากๆจะได้

$$F(S) = \frac{-SR_2C+1}{SR_1C} \tag{2.20}$$

ล็อกเรนจ์(Locked Range)

เป็นย่านความถี่ซึ่งลูปสามารถ Tracking ตามการเปลี่ยนแปลงความถี่ของอินพุทอาจเรียกได้ว่า Tracking Range หรือ Hold Inrange กรณีนี้สภาวะด้านลูปจะอยู่ในสภาวะล็อก กำหนดจาก DC Loop Gain Kv โดย

$$WL = Kv = KdKoF(o) \tag{2.21}$$

ซึ่งไม่ขึ้นกับพารามิเตอร์ของฟิลเตอร์อย่างไรก็ตาม F(o) ของพาสซีฟฟิลเตอร์คือ 1 และของแอคทีฟฟิลเตอร์ คือ A จะเห็นว่าฟิลเตอร์แบบแอคทีฟจะให้ WL กว้างกว่าและความผิดพลาดเชิงเฟสในสภาวะ Steady State น้อยกว่าโดยความผิดพลาดเชิงเฟสคือ

$$\theta_e(s) = \frac{S\theta_i(s)}{S+KoKdF(s)} \tag{2.22}$$

จากทฤษฎี Final Value Theorem จะได้

$$\lim_{t\to\alpha}\theta_e(t) = \lim_{s\to 0}\frac{S^2\theta_i(s)}{S+KoKdF(s)} \tag{2.23}$$

ถ้าพิจารณาสภาวะ Steady State ของระบบเมื่อการเปลี่ยนอินพุทเป็นแบบขั้นบันได (Step) ทำให้ θ_i เปลี่ยนไปด้วยขนาด $\Delta\theta$ เมื่อลาปลาซทรานสฟรอมส์ของอินพุทจะเป็น $\theta_i(s) = \frac{A}{S}$ แทนค่าในสมการ จะได้ว่า

$$\lim_{t\to\alpha}\theta_e(t) = \lim_{s\to 0}\frac{S\Delta\theta}{S+KoKdF(s)} = 0 \tag{2.24}$$

กำหนดให้F(s)>0 กรณีนี้จะพบว่าในทางทฤษฎีแล้วระบบอันดับ2 (Type 2) จะไม่มีผลของการผิดพลาดในสภาวะ Steady State Error เนื่องจากเฟสอินพุทเปลี่ยนไปในลักษณะ Step

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ถ้าพิจารณาความผิดพลาดในสภาวะ Steady State เนื่องจากการเปลี่ยนแปลงความถี่อินพุทด้วยขนาด Δw เฟสของสัญญาณอินพุทจะเปลี่ยนแปลงไปเป็นแบบ Ramp เมื่อทำการลาปลาซ ทรานสฟรอมส์ของอินพุทจะได้ $\phi_i(s) = \frac{\Delta w}{S^2}$ แทนค่าลงในสมการ

$$\lim_{t \to \alpha} \theta_e(t) = \lim_{s \to 0} \frac{\Delta w}{S + KoKdF(s)} = \frac{\Delta w}{KoKdF(o)} \tag{2.25}$$

โดย KoKdF(o) เรียกว่า เป็นค่าคงที่ความเร็ว (Velocity Constance) หรือ DC ลูปเกน (Kv) จากสมการจะพบว่าที่ Δw ขนาดเดียวกัน แอคทีฟฟิลเตอร์จะทำให้ขนาดของความผิดพลาดเชิงเส้นในสภาวะ Stcady Statc น้อยกว่าแบบพาสซีฟด้วยค่าของ A เท่าดังนั้นตัว PD จะมีการสิ้นเปลืองกำลังน้อยกว่า ถ้าF (s) เป็นแบบแอคทีฟ

แคปเจอร์เรนจ์(Capture Range)

หรืออาจเรียกว่า Locked In Range ที่กล่าวมาเป็นสภาวะของระบบเมื่ออยู่ในสภาวะล็อก ส่วน Capture Range เป็นสถานะของระบบก่อนที่จะล็อกซึ่งหมายถึงความถี่อินพุทอยู่ใกล้ความถี่ VCO ขนาดใดลูปจะสามารถล็อกได้ Capture Range (Wc) จะเกี่ยวข้องกับพารามิเตอร์ของฟิลเตอร์ด้วยโดยสำหรับลีค-แล็ก ฟิลเตอร์จะประมาณ

$$Wc \cong WL\left[\frac{R_2}{R_1 + R_2}\right] \tag{2.26}$$

และแอคทีฟฟิลเตอร์

$$Wc = WL\left[\frac{R_2}{R_1}\right] \tag{2.27}$$

เฟสดีเทคเตอร์

เฟสดีเทคเตอร์ เป็นวงจรซึ่งให้เอาท์พุทเป็นแรงดัน(Analog) หรือความกว้างของพัลซ์ซึ่งเป็นอัตราที่แปรผันตามความแตกต่างเฟสของสัญญาณอินพุททั้งสองเฟสดีเทคเตอร์เป็นส่วนประกอบสำคัญของระบบ PLL วงจรที่ทำหน้าที่เฟสดีเทคเตอร์ที่ใช้ในการทดลองคือ Phase Frequency Detectors โดยวงจรจะให้เอาท์พุท 3 แบบคือ

1. Double Ended Output
2. Tri State Output
3. Phase Pulse Output

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

1. Double Ended Output มีขา และ จะให้เอาท์พุทดังนี้

ถ้า fv>fr หรือ เฟสของ fv นำหน้า fr ขา ϕVจะเป็น “0” นานเท่ากับเวลาที่นำหน้าอยู่ และ ϕR จะเป็น “1” ตลอดเมื่อต่อร่วมกับวงจร Charge Pump จะเป็นตัวPump Down

ถ้า fr>fv หรือ เฟสของ fr นำหน้า fv ขา ϕR จะเป็น “0” นานเท่ากับเวลาที่นำหน้าอยู่ และ ϕVจะเป็น “1” ตลอดเมื่อต่อร่วมกับวงจร Charge Pump จะเป็นตัว Pump up

ถ้าความถี่ fr=fv มีเฟสเดียวกัน ϕR และ ϕVจะเป็น “1” ตลอด ยกเว้นในช่วงเวลาสั้นๆที่เฟสทั้งสองเข้าใกล้กัน ซึ่งจะเห็นเป็นพัลซ์แหลมๆ(Spike) ดังรูปที่ 2.8 จะไม่สามารถผ่านวงจรLPF ไปได้

2. Tri State Output ขา PD จะให้เอาท์พุทดังนี้

ถ้า fv>fr หรือ เฟส fv นำหน้า fr จะให้พัลซ์เป็นลบ (Q2 นำกระแส)

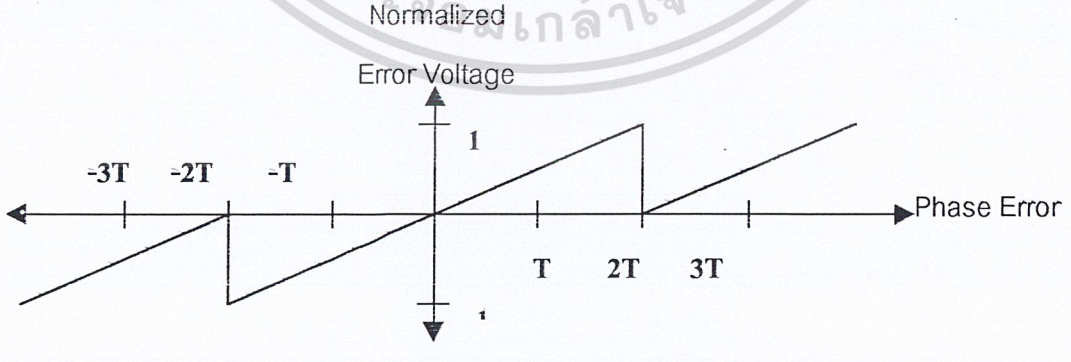
ถ้า fv<fr หรือ เฟส fv ล้าหลัง fr จะให้พัลซ์เป็นบวก (Q1 นำกระแส)

ถ้า fv=fr และมีเฟสเดียวกัน Output จะมีสถานะเป็น High Impedance (Q1 และ Q2 ไม่นำกระแส)

3. Phase Pulse Output

ให้ลอจิก “0” ทุกๆครั้งที่เกิดความต่างเฟสของ fv และ fr นอกจากนั้นจะเป็น “1” ซึ่งสามารถใช้แสดงสถานะการล็อกได้

วงจรในรูปที่ 2.14 จะรวมอยู่ในรูปของไอซีตัวเดียว เช่น เบอร์ 4046,14568 จะมีเฉพาะขา PD และ PCP ส่วนเบอร์ 145157-1 และ 145158-1 จะมีทุกขาที่กล่าวมา ไอซีชนิด TTL ทำงานที่ขอบขาลงของพัลซ์ เช่น เบอร์ MC4044 ทำงานได้ถึง 80 MHz ใช้ในระบบ PLL ที่ต้องการการตอบสนองในย่านกว้าง เช่น วงจร Frequency Synthesizer รูปที่ 2.9 แสดงความสัมพันธ์ระหว่างความแตกต่างเฟส และแรงดันเอาท์พุท วงจรมี Convertion Gain เท่ากับ $VDD/4\pi$ สำหรับขา PD และ $VDD/2\pi$ สำหรับขา $\phi R, \phi V$



รูปที่ 2.16. คุณสมบัติอินพุทต่อเอาท์พุทของเฟสดีเทคเตอร์

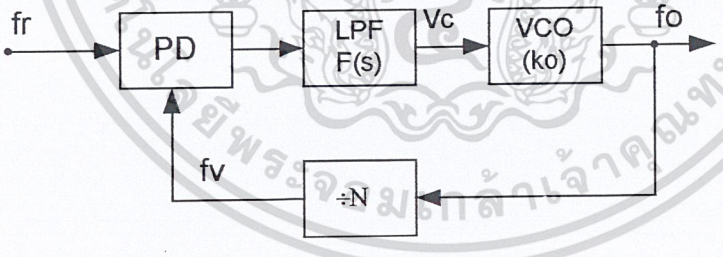
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การสังเคราะห์ความถี่ด้วย PLL

โครงสร้างของระบบ PLL ในรูปที่ 2.11 จะเห็นว่าความถี่ที่ได้จาก VCO มีความถี่เดียว คือ ความถี่อินพุทของลูป เราสามารถเปลี่ยนความถี่ของ VCO ในลูปได้ โดยเพิ่มหรือลดความถี่อินพุท ซึ่งจะทำให้ VCO ติดตามความถี่ใหม่ของอินพุทไป เมื่อวงจรอยู่ในสภาวะ Steady State ความถี่ของ VCO ก็จะเท่าความถี่ใหม่ของอินพุทอีกครั้ง ซึ่งไม่ได้ให้ความหมายของการสังเคราะห์ความถี่แต่อย่างไร การสังเคราะห์ความถี่ในการสื่อสารต้องความถี่ที่มีเสถียรภาพสูงทั้งระยะสั้น และระยะยาว ความถี่ที่ต้องการเปลี่ยนไปในลักษณะเป็นขั้น โดยมีลักษณะเป็นการทดแทนคริสตอลในวงจรออสซิลเลเตอร์ ที่ต้องเปลี่ยนตัวใหม่เมื่อต้องเปลี่ยนความถี่

การสังเคราะห์ความถี่ด้วย PLL ทำได้โดยให้ความถี่อินพุทเป็นความถี่อ้างอิงซึ่งสร้างจากคริสตอลหรืออุปกรณ์สร้างความถี่มาตรฐานควบคุมด้วย Atomic เช่น Cesium หรือ Rubidium จากนั้นสร้างความถี่ VCO ให้ทำงานที่ความถี่ทวีคูณด้วยเลขจำนวนเต็มใดๆ ของความถี่อ้างอิงที่อินพุทโดย fvco= Nfr จากนั้นทำการหาร N ก่อนที่จะป้อนเข้า PD กรณีนี้ความถี่ของ VCO ก็จะเปลี่ยนไปตามจำนวนของตัวหารนั้น

พิจารณาจากรูปที่ จะเห็นว่า ตัวหารความถี่ถูกเพิ่มขึ้นมาในส่วนของการป้อนกลับในลูป และความถี่เอาท์พุทของตัวหารความถี่ fv จะนำไปเปรียบเทียบเฟสกับ fr ซึ่งเป็นความถี่อ้างอิงมาตรฐานจากสมการจะเขียนใหม่โดยเพิ่ม Kn ซึ่งเป็นตัวหารความถี่เข้าไป



รูปที่ 2.18 การสังเคราะห์ความถี่ด้วย PLL

$$B(s)=\frac{K_oK_dF(s)}{S+\frac{K_iK_dF(s)}{K_n}}=\frac{\frac{K_iK_dF(s)}{S}}{1+\frac{K_oK_dF(s)}{K_nS}} \tag{2.28}$$

ซึ่งฟอร์เวอร์ดเกนของระบบคือ

$$G(s)=\frac{K_oK_dF(s)}{S} \tag{2.29}$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

และเกนลูปเปิดคือ

$$G(s)H(s) = \frac{K_o K_d F(s)}{K_n S} \tag{2.30}$$

จากสมการ เราสามารถนำไปประยุกต์เป็นวงจรสังเคราะห์ความถี่ โดยนำพารามิเตอร์ต่างๆ ในสมการเปลี่ยนไปประยุกต์เป็นวงจรจริง แล้วนำมาต่อระบบ PD ที่ใช้กับวงจรสังเคราะห์ความถี่จะเป็นชนิดดิจิตอล PD แบบเชิงเส้นไม่เหมาะที่จะใช้งานเนื่องจาก

1. ลูปอาจไปล็อกกับความถี่ฮาร์โมนิคของความถี่ที่ต้องการ
2. คุณสมบัติ PD แบบเชิงเส้นจะเป็น Cosine Function ช่วงใช้งานจึงจำกัดในช่วง $\pm\pi / 4$ rad
3. ลูปเกนจะขึ้นอยู่กับขนาดและDuty Cycle ของสัญญาณอินพุท
4. สภาวะล็อกของลูป fr และ fv จะต้องมีเฟสต่างกันคงที่ 90 องศา

จากสมการ เมื่อเพิ่ม Kn เข้าไปในลูป พารามิเตอร์ที่เปลี่ยนไปคือ wn ซึ่ง N คือตัวหารใน Feedback Loop ส่วน Damping Factor ยังเหมือนเดิม

ข้อพิจารณาในการออกแบบลูปฟิลเตอร์

1. เนื่องจากตัวฟิลเตอร์ที่ใช้ OP Amp (Integrator) มีฟังก์ชั่นเป็น Inverting เสียก่อน เพื่อให้ Vc จากฟิลเตอร์สามารถควบคุม VCO ได้ถูกทิศทางกับความผิดพลาดที่เกิดขึ้น ซึ่งทำได้ง่ายที่สุดโดยการสลับอินพุท fr และ fv ที่ PD

2. สำหรับ PD เป็น IC CMOS ขา Non-Inverting ของ OP-Amp ต้องไบอัสที่ VDD/2 ส่วนPD ที่เป็น TTL ต้องดูคุณสมบัติเฉพาะเบอร์

3. กรณี PD ที่มีเอาท์พุทเป็น Double Ended ใช้ในวงจรฟิลเตอร์ดังรูปที่ 2.11 ซึ่งเฟสดีเทคเตอร์ชนิดนี้ จะมี $K_d = VDD/2\pi$ ส่วน Wn และ damping factor ของลูปเหมือนกันแบบ Single Ended

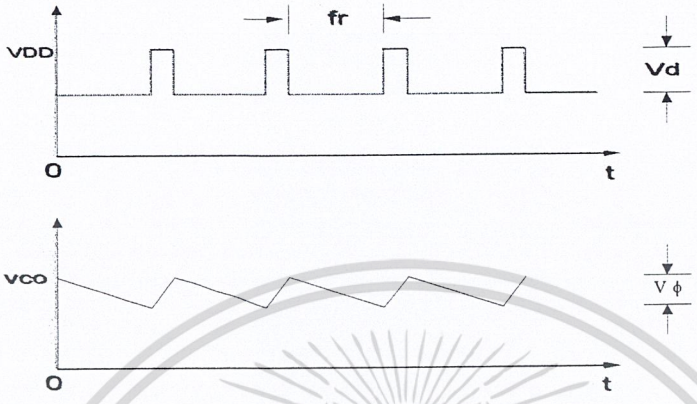
4. วงจรแอคทีฟฟิลเตอร์อาจเกิดการอิ่มตัว ถ้าลูปเกิดการผิดพลาดทางเฟสที่ PD มีขนาดใหญ่พร้อมๆกับ Transient Overshoot ขึ้นในลูป กรณีเฉพาะลูปที่ใช้ PD แบบดิจิตอล เนื่องจากเอาท์พุทของ PD เปลี่ยนเป็น “0” หรือ “1” ทันทีทันใด นอกจากนี้ความถี่อินพุทของฟิลเตอร์มักจะมาก ดังนั้นถ้าอัตราส่วนของ R2/R1 มากกว่า 10 เท่า ความถี่นี้ก็จะถูกขยายออกด้วยอัตราส่วนของ R2/R1 ถ้าสามารถทำได้ควรให้อัตราส่วนน้อยที่สุด

5. แรงดันไปควบคุม VCO ควรมีส่วนประกอบที่ไม่ใช่ DC น้อยที่สุดเพราะจะทำให้ความถี่เอาท์พุทของ VCO เกิดเอาท์พุทที่ไม่ต้องการ ดังนั้น wr ควรกำจัดออกไปให้มากที่สุด จากรูปคลื่นจะทำให้เกิด side Band ที่สัมพันธ์กับ Carrier ของ VCO โดยประมาณได้จาก

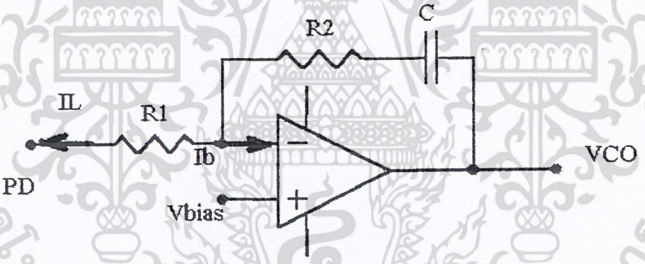
$$\frac{\text{sideband}}{(f_o)} \cong \frac{V_\phi K_o}{2W_R} \tag{2.31}$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เมื่อ V_ϕ คือ ค่าแรงดัน Peak Value ของ fr ที่อินพุทVCO จะเห็นว่า K_o ของ VCO และ fr ต่างมีผลกับ Side Band ที่เกิดขึ้นกับความถี่ VCO นอกจากนี้ Side Band ยังมีความสัมพันธ์กับ Leakage Current ของ C ใน Integrator และกระแสไบอัสอินพุทของ OP Amp



รูปที่ 2.19. รูปคลื่นเอาท์พุทของ PD และ Integrator



รูปที่ 2.20. กระแสรั่วไหลของกระแสไบอัสอินพุท

$$\frac{\text{sideband}}{f_o} \cong \frac{R_2(I_b + I_L)K_o}{W_R} \tag{2.32}$$

ในกรณีที่จำเป็นสามารถเพิ่มวงจรฟิลเตอร์เข้าไประหว่าง Integrator และ VCO เพื่อลดขนาดของ V_ϕ ในรูปที่ 2.13 เพื่อให้ Side Band ที่เกิดขึ้นน้อยที่สุด ฟิลเตอร์ใช้ได้ทั้งแอคทีฟและพาสซีฟ ถ้าต้องการลดทอนมากก็ใช้แอคทีฟฟิลเตอร์ เนื่องจากการใช้พาสซีฟมากกว่าหนึ่งชุดจะทำให้เกิดการเลื่อนเฟสมากกว่าการลดทอนสัญญาณ ซึ่งเฟสที่เลื่อนไปจะต้องนำไปหักจาก Phase Margin ของระบบซึ่งจะทำให้ระบบไม่มีเสถียรภาพ ดังนั้นใช้แอคทีฟฟิลเตอร์จะดีกว่า

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สำนักหอสมุดกลาง พระจอมเกล้าลาดกระบัง

6. การเพิ่มฟิลเตอร์เข้าไปในลูปของข้อ 4 และ 5 จะทำให้ผลการทำงานของลูปต่างไปจากระบบ Order 2 Type ทั้งนี้ในส่วนของ B(s) จะเพิ่มขึ้นตามโพลของฟิลเตอร์ที่เพิ่มขึ้น การวิเคราะห์การทำงานของระบบจัดทำได้ยาก จึงต้องใช้โปรแกรมคอมพิวเตอร์ช่วย โปรแกรม PLL Design Kit ของ Comunication Consulting Corporation

2.4 ประสิทธิภาพของแถบความถี่(BANDWIDTH EFFICIENCY)

ประสิทธิภาพของแถบความถี่(Bandwidth efficiency) หรือความหนาแน่นของข้อมูล มักจะใช้ในการเปรียบเทียบการมอดดูเลตแบบดิจิตอล เป็นอัตราส่วนของอัตราเร็วในการส่งกับแบนด์วิดท์ต่ำสุด โดยจะทำการนอมอล์ไลซ์(normalized)ที่ 1 Hz ค่าที่ได้นี้จะแสดงจำนวนของข้อมูลบิท ที่สามารถเคลื่อนที่ผ่านตัวกลาง โดย

$$\text{B.W. efficiency} = \text{Transmission rate(bps)} / \text{Minimum bandwidth (Hz)} \qquad (2.33)$$

$$= \text{bits / second / hert}$$

$$= \text{bits / second / cycle / second}$$

$$= \text{bits / cycle}$$

การหาประสิทธิภาพของความถี่สำหรับการมอดดูเลตแบบ BPSK , QPSK , 8-PSK และ 16-QAM จากตารางเป็นการแสดงแถบความถี่ที่น้อยที่สุดที่ใช้ส่งสัญญาณที่มีอัตราการส่งคือ 10 Mbps

ชนิดแบบการส่งข้อมูล (Modulate Scheme)	แบนด์วิดท์ต่ำที่สุดที่ใช้ (MHz)
BPSK	10
QPSK	5
8-PSK	3.33
16-QAM	2.5

ดังนั้นถ้าเปรียบเทียบที่การส่งข้อมูล 10 Mbps จะได้

BPSK BW efficiency = 10 Mbps / 10 MHz = 1 bits / second / hert

QPSK BW efficiency = 10 Mbps / 5 MHz = 2 bits / second / hert

8-PSK BW efficiency = 10 Mbps / 3.33 MHz = 3 bits / second / hert

16-QAM BW efficiency = 10 Mbps / 2.5 MHz = 4 bits / second / hert

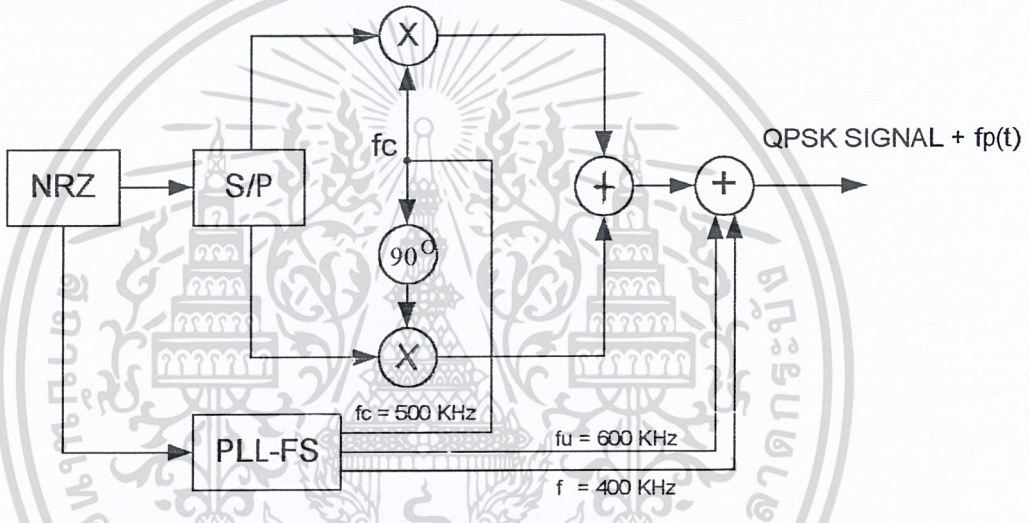
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

42318

บทที่ 3.
การออกแบบวงจรภาคส่ง

การออกแบบวงจรภาคส่ง

ในงานโครงนี้เราได้ประยุกต์ใช้สัญญาณนำร่องคู่ความถี่ เพื่อให้เกิดความถูกต้องในการรับข้อมูลทางด้านภาครับ และยังทำให้ระบบรับและส่งมีประสิทธิภาพยิ่งขึ้น สัญญาณนำร่องที่กล่าวนี้จะถูกนำไปรวมกับสัญญาณที่ได้ผ่านการมอดดูเลตแล้วอีกสองส่วน (I , Q) แล้วจึงส่งผ่านสายโคแอคเชียลไปยังภาครับ



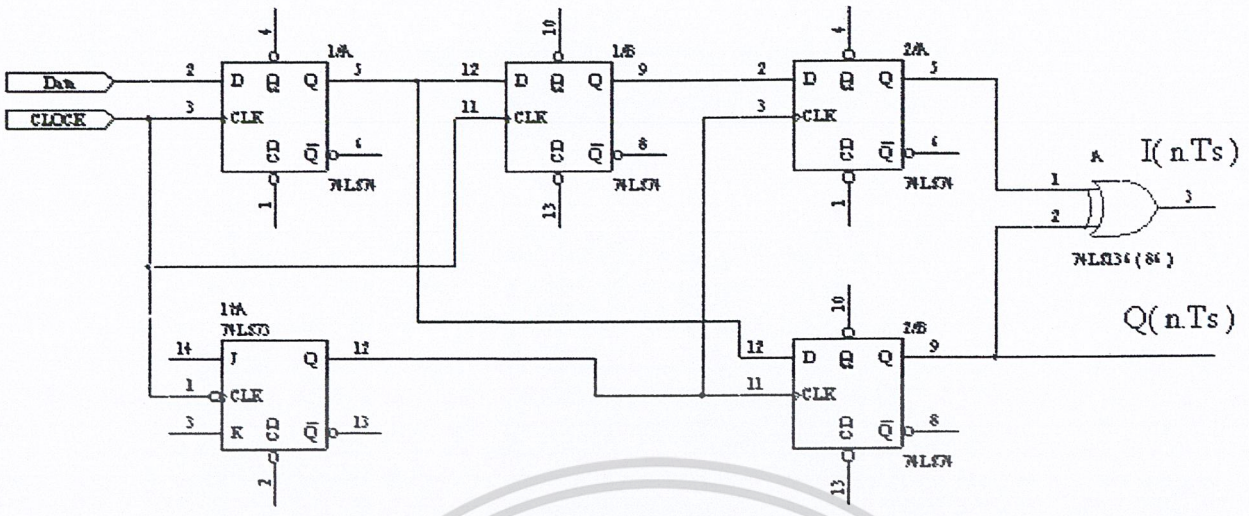
รูปที่ 3.1 บล็อคไดอะแกรมของภาคส่ง

ในวงจรภาคส่งนั้นประกอบวงจร แปลงข้อมูลอนุกรมเป็นขนาน (S/P) ซึ่งประกอบด้วยวงจรแยกบิท และแปลงรหัสไบนารีเป็นรหัสเกรย์ , วงจรสังเคราะห์ความถี่ ซึ่งมีอยู่ 3 ส่วนคือ สัญญาณคลื่นพาห์ 500 KHz สัญญาณนำร่องคู่ความถี่ 400 KHz และ 600 KHz , วงจรบาลานด์มอดดูเลเตอร์ , วงจรเลื่อนเฟส 90 องศา และวงจรรวมสัญญาณดิจิตอล ซึ่งรายละเอียดจะแยกอธิบายเป็นส่วนๆต่อไป

3.1 วงจรแยกบิทคู่และบิทคี่และวงจรเข้ารหัสเกรย์

เป็นวงจรที่ทำหน้าที่แบ่งข้อมูลเชิงเลขด้านขาเข้าเป็นสองชุดๆละ 1 บิท พร้อมทั้งใช้วงจรหน่วงเวลา 2 บิท เพื่อควบคุมให้อินพุทเข้ามาครบทั้งสองบิทเสียก่อน แล้วจึงทำการแยกสัญญาณเป็นข้อมูล I และ Q

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.2. วงจรแยกบิท

จากรูปเราจะใช้วงจรรวม ดี-ฟลิปฟลอป และเจ เค-ฟลิปฟลอป เพื่อทำหน้าที่หน่วงเวลา 2 บิท หรือว่าเป็นวงจรหารสองนั่นเอง ซึ่งจะช่วยควบคุมจังหวะการรับข้อมูลและส่งข้อมูลให้เหมาะสมกัน โดยใช้หลักการเลื่อนข้อมูลทางขวา (Shift Right Register) ส่วนเอ็กครูซีฟออร์เกท(EX-OR)

ข้อมูลที่ได้ออกมาจะมี 2 ส่วนคือ in-phase และ quadrature-phase หรือเราอาจเรียกว่า บิทคู่หรือบิทคี่ ซึ่งจะมีการเปลี่ยนแปลงครั้งละ 2 บิทพร้อมๆกัน จึงต้องทำการเปลี่ยนรหัสไบนารีให้เป็นเกรย์โค๊ด ทั้งนี้ก็เพื่อช่วยลดอัตราความผิดพลาดของข้อมูลลง เพราะว่าบิทข้างเคียงของเกรย์โค๊ดจะต่างกันเพียง 1 บิทเท่านั้น ดังตาราง

ตารางที่ 3.1. การปลงรหัสไบนารี่เป็นเกรย์โค๊ต

Binary Code		Gray Code	
0	0	0	0
0	1	0	1
1	0	1	1
1	1	1	0

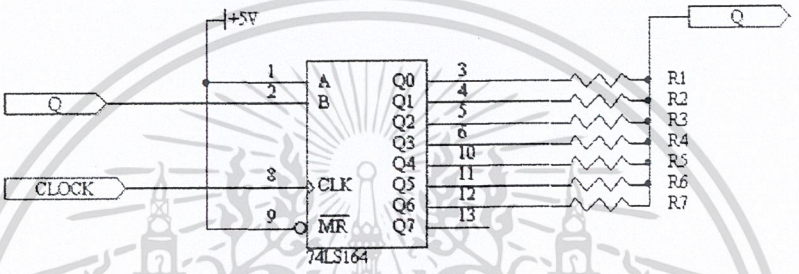
3.2 วงจรจัดรูปคลื่น(Pulse shaper)

วงจร Pulse shaper จะทำหน้าที่ปรับเปลี่ยนรูปร่างของสัญญาณ จากสัญญาณรูปคลื่นสี่เหลี่ยม (Pluse) ให้อยู่ในรูปของ (raise cosine) เพื่อลดแบนด์วิดท์ในการส่ง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เมื่อเราทำ fourier transform ของสัญญาณสี่เหลี่ยมเทียบกับสัญญาณ raise cosine จะเห็นได้ว่า พัลซ์สี่เหลี่ยมมีแถบความถี่กว้างกว่าพัลซ์รูป raise cosine ซึ่งเมื่อนำมามอดดูเลตกับสัญญาณคลื่นพาห์แล้ว พัลซ์ในรูป raise cosine จะให้แบนด์วิดท์ที่แคบกว่า

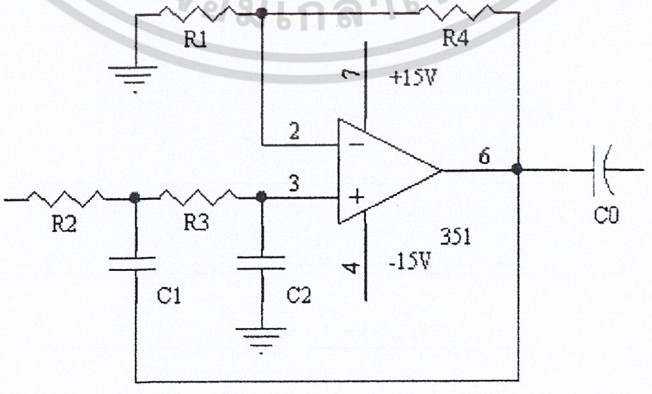
ลักษณะของวงจร Pulse shaper แสดงดังในรูปที่ 3.4 โดยที่สัญญาณข้อมูล NRZ ป้อนเข้าที่ขา 2 และสัญญาณ clock ป้อนเข้าที่ขา 8 ของ IC เบอร์ 74164 โดยเราจะป้อนสัญญาณ clock ประมาณ 7 เท่าของสัญญาณ clock-NRZ โดยที่ค่าความต้านทาน R1-R7 (ความต้านทานที่ต่อที่เอาท์พุท) จะเป็นตัวกำหนดเอาท์พุทให้มีลักษณะเป็นขั้นบันได ซึ่งวงจรแสดงได้ดังรูป



รูปที่ 3.3. วงจรจัดรูปคลื่น

3.3 วงจรกรองความถี่ต่ำ (Low pass filter)

เป็นวงจรที่ทำหน้าที่ในการให้เฉพาะความถี่ที่ต่ำกว่าความถี่คัทออฟผ่านไปได้ ซึ่งในส่วนของภาคส่งนี้เราจะนำมาใช้ในการกรองสัญญาณแบบขั้นบันไดที่ได้จากวงจรจัดรูปคลื่น เพื่อให้ได้สัญญาณที่มีความคมชัด ในที่นี้จะเห็นได้ว่าสัญญาณขั้นบันไดก็เหมือนกับสัญญาณความถี่สูงขี่อยู่บนสัญญาณที่มีความถี่ต่ำกว่า ดังนั้นเมื่อผ่านวงจรกรองความถี่ต่ำแล้ว จึงได้แต่เพียงส่วนที่มีความถี่ต่ำกว่าเท่านั้น



รูปที่ 3.4. วงจรกรองความถี่ต่ำ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากรูปเป็นวงจร Low pass Butterworth filter ซึ่งเป็น second order Low Pass Filter มีความชันเท่ากับ –40dB/decade โดยที่เกนของวงจรกำหนดได้จากค่า R1 และ RF ขณะที่ High cutoff frequency :fc สามารถคำนวณได้จาก R2,R3,C2,C3 ตามสูตรข้างล่าง

$$f_c = \frac{1}{2\pi\sqrt{R_2 R_3 C_2 C_3}} \tag{3.1}$$

สำหรับ Response ของ second order low-pass butterworth ขนาดของโวลท์เตจเกนจะมีสมการดังนี้

$$\left|\frac{V_O}{V_{in}}\right| = \frac{A_F}{\sqrt{1+\frac{f}{f_c}}} \tag{3.2}$$

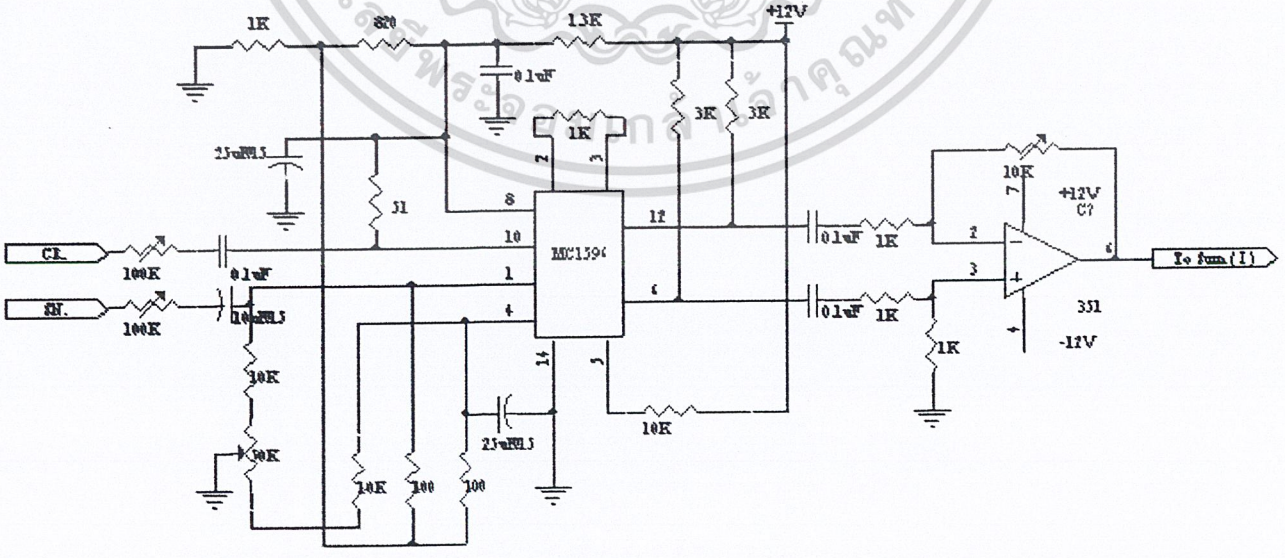
โดยที่ $AF = 1 + \frac{R_F}{R_{in}}$ คือเกนของวงจร filter

f คือความถี่ของสัญญาณ input (Hz)

$f_c = \frac{1}{R_2 R_3 C_2 C_3}$ คือ high frequency cutoff

3.4 วงจรบาลานซ์มอดดูเลเตอร์

วงจรนี้จะทำหน้าที่คูณกันระหว่างสัญญาณคลื่นพาห์กับสัญญาณ 2 ระดับซึ่งจะมี 2 ส่วนคือ ส่วนที่เป็น Inphase (เฟสเดียวกับสัญญาณคลื่นพาห์) กับ Quadrature Phase (ต่างเฟสกับคลื่นพาห์ 90 องศา) เพื่อให้สัญญาณทั้งสองส่วนนี้ถูกส่งไปพร้อมๆกัน โดยที่ไม่มีการรบกวนเกิดขึ้นในสัญญาณคลื่นพาห์ที่มีเพียงหนึ่งความถี่



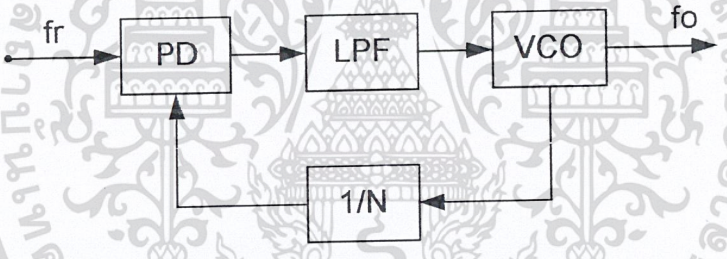
รูปที่ 3.5. วงจร Balance Modulator

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

วงจรบาลานซ์มอดดูเลตทางด้าน Inphase ก็จะทำหน้าที่คูณสัญญาณ 2 ระดับที่มาจากวงจรแยกบิทกับสัญญาณคลื่นพาห์ที่ได้มาจากวงจรกำเนิดสัญญาณคลื่นพาห์โดยตรง (sin w) ส่วนทางด้าน Quadrature Phase สัญญาณคลื่นพาห์ที่จะนำมาคูณนั้น มาจากสัญญาณคลื่นพาห์ที่ถูกนำไปผ่านวงจรเลื่อนเฟส 90 องศา (cos w) รายละเอียดของวงจรบาลานซ์มอดดูเลเตอร์ทั้งสองส่วน จะเหมือนกันทุกประการดังแสดงดังรูปที่ 3.5

*ข้อควรคำนึงในส่วนของวงจรนี้คือ ข้อกำหนดจาก data sheet ของ IC MC 1596 (หรืออาจใช้ IC เบอร์ MC 1496 แทนก็ได้) ที่ได้ระบุไว้ว่า ขนาดของสัญญาณที่จะนำมามอดดูเลต (data ที่เข้าขา 1 ของ MC 1596) ควรมีค่าประมาณ 300 mV (rms) และขนาดของสัญญาณคลื่นพาห์(ขา 10 ของ MC 1596) ควรมีค่าประมาณ 150 mV (rms) ดังนั้นก่อนที่จะนำสัญญาณทั้งสองนี้ไปคูณกันควรผ่านตัวต้านที่ปรับค่าได้เสียก่อนเพื่อจะได้ควบคุมระดับของสัญญาณได้ตามข้อกำหนด

3.5 วงจรสังเคราะห์ความถี่ด้วย PLL



รูปที่ 3.6. โครงสร้างของวงจรสังเคราะห์ความถี่

วงจรสังเคราะห์ความถี่ทำหน้าที่ผลิตความถี่ที่เราต้องการ ซึ่งการสังเคราะห์ความถี่ที่ใช้เป็นวิธีการสังเคราะห์โดยอาศัยวงจรเฟสล็อกลูป (Phase Locked Loop) โดยโครงสร้างการสังเคราะห์ความถี่แสดงได้ดังรูป

จากรูปที่ 3.6. การที่มีวงจรหาร N เพิ่มเข้าไปเพื่อให้ความถี่ของ VCO มีขนาดเท่ากับความถี่อ้างอิงคูณกับจำนวนหาร N หรือเขียนได้เป็นในวงจรนั้นใช้ IC เบอร์ NE564 ซึ่งเป็นเฟสล็อกลูปสำเร็จรูปภายใน IC เบอร์นี้ประกอบด้วยวงจร Comparator (Phase Detect)และวงจร VCO ส่วนวงจรหารนั้นเราจะใช้วงจร Counter ต่อเพิ่มขึ้นภายนอกระหว่างขา 3 (input) และขา 9 (output) ของ NE564 ดังจะกล่าวถึงในส่วนต่อไป สมการแสดงความสัมพันธ์ของจำนวน N ของวงจรหารและความถี่เอาท์พุท

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$Fo = Fr*N \tag{3.3}$$

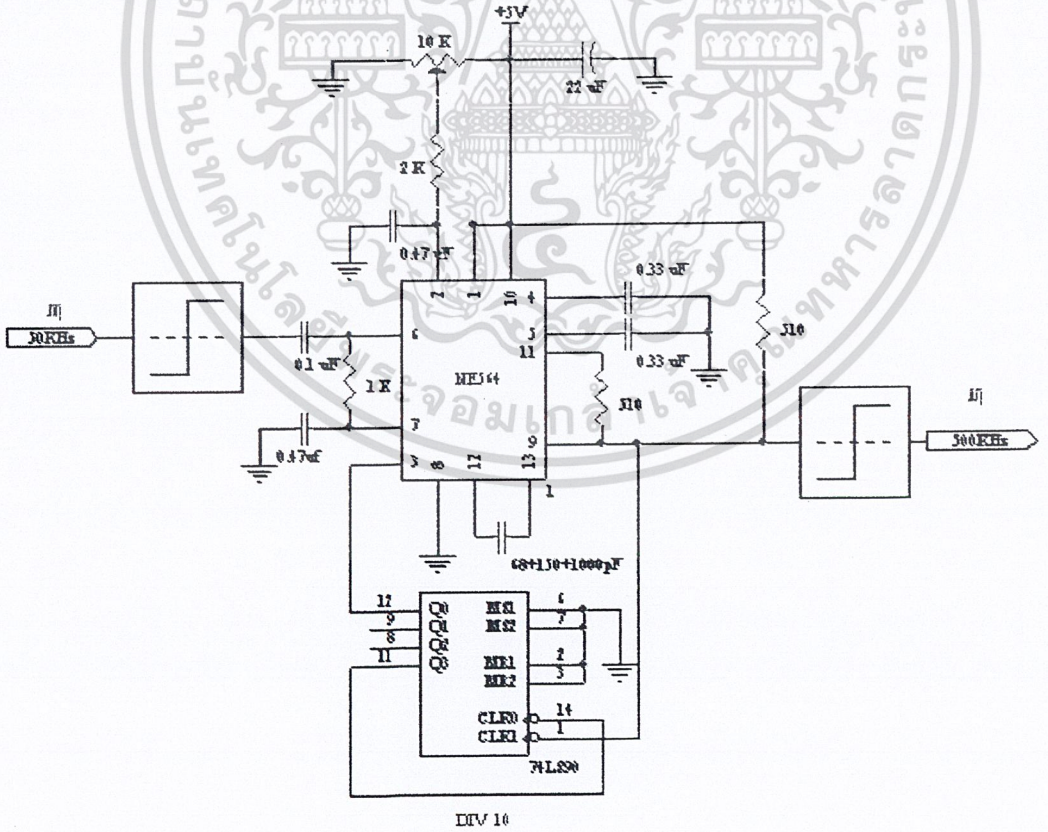
โดยที่ fr คือความถี่ที่ถูกนำมาเทียบเฟส

fo คือความถี่เอาท์พุท

N คือจำนวนที่นำมาหาร

3.6 วงจรผลิตสัญญาณคลื่นพาห์

เราจะใช้ IC # NE564 ดังที่ได้กล่าวไปแล้วมาผลิตความถี่และใช้ IC #7490 ซึ่งเป็นวงจรหาร 10 โดยที่ clock ที่ป้อนให้กับ NE564 ที่ขา 6 มีค่าเท่ากับ 50 KHz (fr) ดังนั้นจึงได้ความถี่ 500 KHz (fo) ออกมา ซึ่งเป็นความถี่คลื่นพาห์ที่ใช้ในโครงงานนี้ การต่อใช้งาน IC #NE564 และ IC#7490 นั้นแสดงดังในรูปที่ 3.7 สัญญาณที่ได้จากวงจรสังเคราะห์ความถี่เป็นสัญญาณรูปสี่เหลี่ยมไม่เหมาะที่จะนำไปเป็นสัญญาณคลื่นพาห์ ดังนั้นจึงต้องผ่านวงจรกรองช่วงความถี่ก่อนเพื่อให้ได้สัญญาณคลื่นไซน์ซึ่งจะมีแสดงไว้ในวงจรรวม ความถี่ที่ออกมานั้นขึ้นอยู่กับค่าของตัวเก็บประจุที่ขา 12,13 ส่วนรายละเอียดอื่นนั้นมีบอกใน data sheet

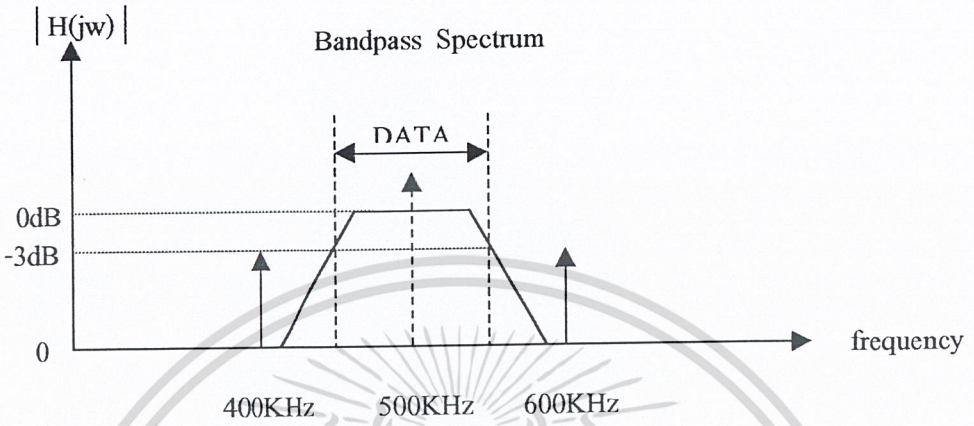


รูปที่ 3.7. วงจรผลิตสัญญาณคลื่นพาห์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.7 วงจรที่ผลิตสัญญาณนำร่องคู่ความถี่

สัญญาณนำร่องเราจะนำมาใช้ในโครงงานนี้มีอยู่สองความถี่ก็คือ ด้าน upper side band ใช้ความถี่ 600 KHz และด้าน Lower Side Band เราก็จะใช้ความถี่ 400 KHz ตามรูปที่ 3.8.



รูปที่ 3.8. Spectrum ของสัญญาณนำร่องคู่ความถี่

ในวงจรผลิตสัญญาณนำร่องก็ใช้การสังเคราะห์ความถี่เช่นเดียวกับวงจรผลิตสัญญาณคลื่นพาห์ จะแตกต่างกันเพียงวงจรหารความถี่ที่ใช้เท่านั้น ดังนั้นที่ความถี่ clock เท่ากับ 50 KHz (fr) ที่ขา 6 ของ NE564 เพื่อให้ได้ความถี่ที่ 600 KHz เราจึงใช้วงจรหาร N เท่ากับ 12 ใช้ IC เบอร์ #7492 และความถี่ 400 KHz ก็ใช้วงจรหาร N เท่ากับ 8 ใช้ IC เบอร์ #7493 ลักษณะการต่อวงจรนั้นจะมีอยู่ในวงจรรวม

ส่วนวงจรสังเคราะห์ความถี่อื่นนั้น ก็มี สังเคราะห์ความถี่ 700 KHz เพื่อใช้กับวงจรจัดรูปคลื่น (Pulse shaper)

3.8 วงจรกรองช่วงความถี่(Band-pass Filter)

วงจรกรองช่วงความถี่นี้กำหนดให้ช่วงความถี่ใดความถี่หนึ่งผ่าน หน้าที่ของวงจรกรองช่วงความถี่ผ่านก็คือกรองสัญญาณรูปไซน์ออกจากสัญญาณรูปสี่เหลี่ยมภายในวงจรผลิตสัญญาณคลื่นพาห์และวงจรผลิตสัญญาณนำร่อง การที่เราได้สังเคราะห์ความถี่มาแล้วแต่สัญญาณที่ออกมาเป็นสัญญาณรูปคลื่นสี่เหลี่ยมซึ่งไม่สามารถนำไปเป็นสัญญาณคลื่นพาห์ได้เพราะสัญญาณรูปคลื่นสี่เหลี่ยมประกอบไปด้วยฮาร์โมนิคมากมาย ซึ่งไม่เหมาะสมในการนำไปมอดดูเลต ดังนั้นจึงใช้วงจรกรองช่วงความถี่ (band pass filter) ทำการกรองเอาความถี่ฮาร์โมนิคที่ 1 ออกก็จะได้เป็นสัญญาณ sine wave ที่มีความถี่เท่ากับสัญญาณสี่เหลี่ยมมาใช้งาน

ซึ่งความถี่ที่ต้องการจะให้ผ่านไปได้นี้ สามารถออกแบบได้โดยการกำหนดความถี่ที่ต้องการและกำหนดค่าของ Capacitor จากนั้นก็คำนวนหาค่า K ออกมาจากสมการ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$K = 100/(fc*c') \quad (3.4)$$

เสร็จแล้วเปิดตารางการออกแบบวงจร Second-order Positive Feedback Band-pass Filter เพื่อหาค่าของ element ต่างๆโดยจะกล่าวต่อไป รูปของวงจรมีดังรูปที่ 3.9.

วงจรกรองช่วงความถี่สามารถแบ่งออกได้เป็น 2 แบบ คือ Wide Band-pass Filter และ Narrow Band-pass ถ้าหาก Q มีค่ามากกว่า 10 ก็จะเป็น Narrow Band ค่าของ Q จะมีความสัมพันธ์กับความถี่และแบนด์วิดท์ (BW) ดังสมการ 3.5 , 3.6

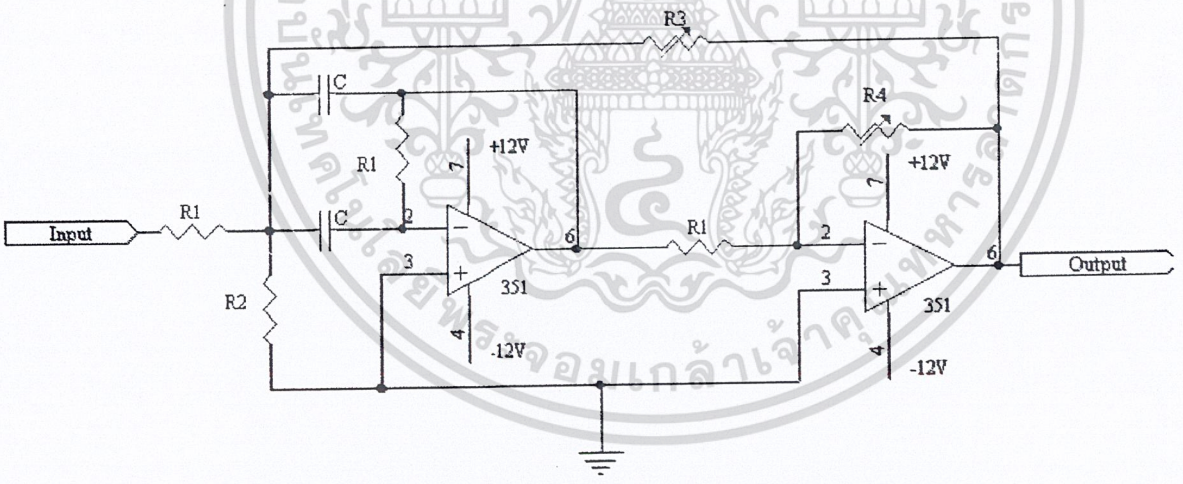
$$Q = \frac{f_c}{BW} = \frac{fc}{(f_H - f_L)} \quad (3.5)$$

$$f_c = (f_L * f_H)^{1/2} \quad (3.6)$$

โดยที่ f_H = ความถี่ cutoff ที่ความถี่สูง

f_L = ความถี่ cutoff ที่ความถี่ต่ำ

fc = ความถี่ center



รูปที่ 3.9. วงจร Second-order Positive Feedback Band-pass Filter

การออกแบบค่าของอุปกรณ์ต่างๆในวงจร สามารถหาได้ตามขั้นตอนดังนี้

1. เลือกค่าของ capacitance C และคำนวณหาค่า K parameter จากสมการ

$$K = \frac{100}{(f_o * C')}$$

*โดยที่ C มีหน่วยเป็น microfarads เสมอ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2. เลือกค่าของ resistence R ต่างๆจากตารางข้างล่างนี้ โดยที่ค่า Gain ของวงจรที่ใช้เท่ากับ 40 เพื่อให้เป็น Narrow Band (ค่า K ในตารางเป็น 1)
3. จากตารางเมื่อได้ค่าของ resistance R ต่างๆแล้ว ให้นำค่า K ที่คำนวณได้ มาคูณกับค่าในตาราง

ตารางที่ 3.2. ค่าของอุปกรณ์ในวงจรที่เกนท์ต่างๆ

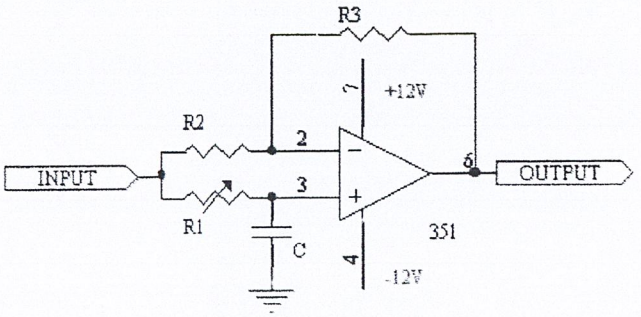
Circuit Element Values*						
GAIN	*1*	*2*	*4*	*6*	*8*	*10*
R_1	8.219	5.812	5.033	5.812	5.033	4.502
R_2	0.735	3.093	1.720	0.657	0.844	1.054
R_3	0.567	0.556	0.829	1.668	1.657	1.650
R_4	1.061	1.061	1.593	3.183	3.183	3.183

*Resistance หน่วยเป็น Kilohms สำหรับ K parameter เป็น 1

4. นำค่า resistance R จากการคำนวณ ไปหาค่า Resister มาตรฐาน จากนั้นนำค่า element ต่างๆ มาต่อตามรูปที่ 3.9.

3.9 วงจรเลื่อนเฟส 90 องศา

เนื่องจากสัญญาณก่อนที่จะนำมามอดดูเลตนั้นเป็นสัญญาณดิจิตอล ซึ่งได้ถูกแยกออกเป็นสองส่วนคือ ส่วนของช่องสัญญาณ I และช่องสัญญาณ Q สัญญาณข้อมูล 1 บิท ที่ถูกแยกออกมานั้น จะกลายเป็นสัญญาณสองระดับดังนั้นสัญญาณคลื่นพาห์ที่ใช้ในการมอดดูเลตเราจึงต้องแยกออกเป็นสองส่วนด้วย โดยด้าน I นั้นมอดดูเลตได้โดยตรงกับสัญญาณคลื่นพาห์ ส่วนด้าน Q จะต้องผ่านวงจรเลื่อนเฟสเสียก่อน วงจรเลื่อนเฟสที่ใช้นี้ก็คือวงจรทุกแถบความถี่ผ่านนั่นเอง ซึ่งเอาท์พุทจะเลื่อนเฟสไปมากน้อยเพียงใดนั้นจะขึ้นอยู่กับการคำนวณ



รูปที่ 3.10. วงจรเลื่อนเฟส

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากรูปวงจรกำหนดให้ $R_2 = R_3$ จะได้สมการ V_o ดังนี้

$$V_o = V_{in} + \left(\frac{jX_c V_{in}}{R_i jX_c} \right) \tag{3.7}$$

โดยที่ $-j = \frac{1}{j}$

$X_c = \frac{1}{2\pi f_c}$

fc = ความถี่ที่ใช้

เมื่อจัดรูปสมการใหม่จะได้เป็น

$$\frac{V_o}{V_{in}} = \frac{1 - j2\pi f R_1 C}{1 + j2\pi f R_1 C} \tag{3.8}$$

ค่าเฟสที่เลื่อนไปหาได้จากสมการ

$$\Delta\phi = -2\tan^{-1}(2\pi f_c RC) \tag{3.9}$$

ต้องการ $\Delta\phi = 90^\circ$ และใช้ความถี่ 500 KHz และกำหนดให้ C=10 pF

$$\therefore R_1 = \frac{1}{2\pi f_c C} \tag{3.10}$$

$$= \frac{1}{2\pi(500 * 10^3)(10 * 10^{-12})}$$

$$= 31.8K\Omega$$

ในวงจรใช้ R1 เป็นค่าความต้านทานปรับค่าได้ 50 K Ohm

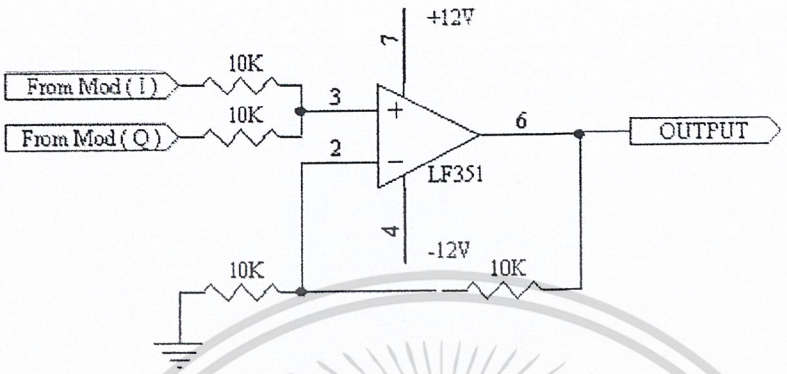
3.10 วงจรรวมสัญญาณ (Summing Amp)

วงจร Summing Amp ใช้สำหรับการรวมสัญญาณหลายๆชุดเข้าด้วยกันเพื่อให้เป็นสัญญาณที่ถูกขยายเพียงชุดเดียว ซึ่งแรงดันที่เอาท์พุทเราสามารถหาได้จาก

$$V_o = -\left(\frac{R_f V_1}{R_1} + \frac{R_f V_2}{R_2} + \frac{R_f V_3}{R_3} + \ldots \right) \tag{3.11}$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ในการออกแบบวงจรให้เราเลือกใช้ R1 ,R2 ,R3 ใช้ R10K และ RF=10K ปรับค่าได้ เพื่อที่สามารถปรับค่าเกนได้



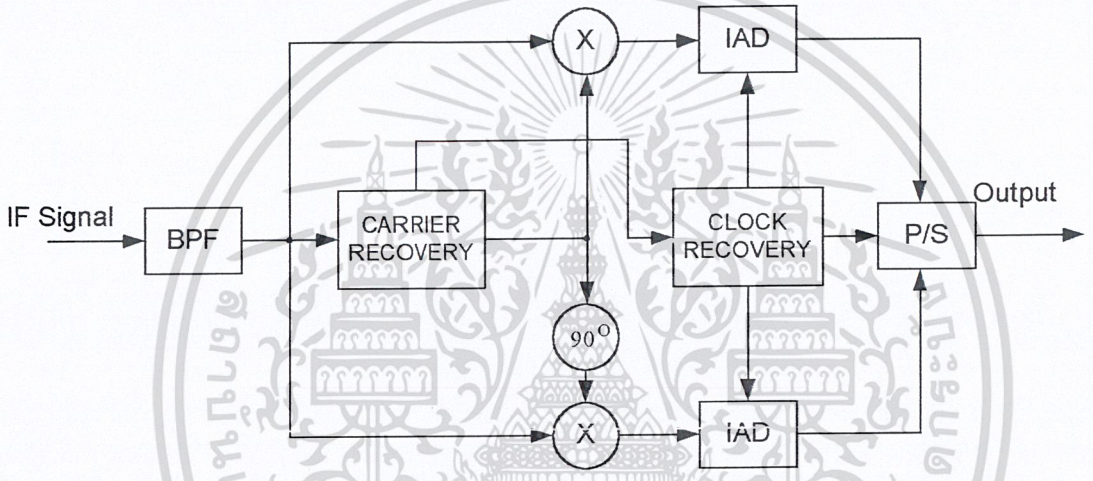
รูปที่ 3.11. วงจรรวมสัญญาณ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 4.
การออกแบบวงจรภาครับ

การออกแบบวงจรภาครับ

ในการออกแบบทางด้านภาครับนั้นจะต้องให้สัมพันธ์กับภาคส่ง เพื่อให้รับข้อมูลที่ส่งมานั้นมีความถูกต้องและแม่นยำ ดังนั้นเราจึงใช้หลักการส่งสัญญาณนำร่องแบบคู่ความถี่มาพร้อมกับข้อมูลที่ถูกมอดดูเลตแล้ว สัญญาณนำร่องคู่นี้จะถูกนำไปใช้ในการกู้สัญญาณคลื่นพาห์และกู้สัญญาณนาฬิกาที่ภาครับ ซึ่งสัญญาณที่กู้ได้นี้จะเข้าจังหวะ(Synchronization)กันกับ สัญญาณคลื่นพาห์และสัญญาณนาฬิกาทางภาคส่ง



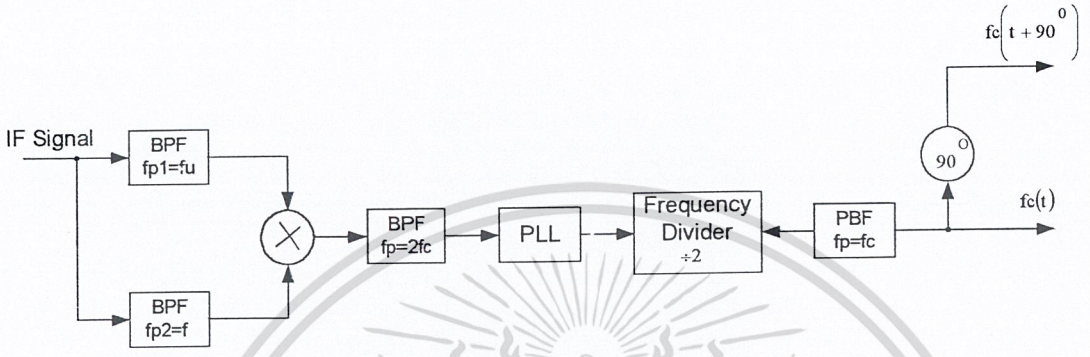
รูปที่ 4.1 บล็อคไดอะแกรมของวงจรภาครับ

จากบล็อกไดอะแกรมอธิบายได้ว่า เมื่อรับสัญญาณที่ผ่านสายโคแอคเชียลจากภาคส่งนั้น จะกู้สัญญาณคลื่นพาห์ที่มีความถี่เท่ากับ 500 KHz จึงนำสัญญาณคลื่นพาห์นี้ไปใช้ในการดีมอดดูเลต แต่ในภาคส่งนั้นเราได้ทำการแยกสัญญาณออกเป็นสองส่วนคือ I และ Q ก่อนจึงนำไปมอดดูเลต ดังนั้นทางภาครับจึงจำเป็นต้องมีวงจรดีมอดดูเลตสองส่วนเช่นกัน คือสัญญาณคลื่นพาห์ที่นำไปดีมอดดูเลตนี้ ส่วนหนึ่งจะนำไปดีมอดดูเลตได้โดยตรง และอีกส่วนจะต้องผ่านวงจรเลื่อนเฟส 90 องศาก่อนแล้วจึงจะนำไปดีมอดดูเลตได้ สัญญาณที่ได้จากการดีมอดดูเลตจะถูกนำไปผ่านวงจรอินทิเกรทแอนด์ดัมพ์เพื่อจัดระดับของสัญญาณที่ดีมอดดูเลตได้ จะได้สัญญาณ I' และ Q' แล้วเข้ารหัสเกรย์เป็นไบนารี (Gray code to binary code) ได้สัญญาณ I และ Q ออกมา จากนั้นทำการเปลี่ยนข้อมูลขนานเป็นอนุกรมก็ได้สัญญาณเอาท์พุทออกมา

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4.1 วงจรกู้สัญญาณคลื่นพาห์ (Carrier Recovery)

เป็นวงจรที่สร้างสัญญาณคลื่นพาห์ขึ้นที่ภาครับ โดยที่สัญญาณที่สร้างขึ้นมา จะมีคุณสมบัติ Synchronization กับคลื่นพาห์ที่ภาคส่ง โดยที่วงจรกู้สัญญาณคลื่นพาห์ที่ภาครับประกอบด้วยวงจรต่างๆ ดังแสดงเป็นบล๊อคไดอะแกรมดังนี้



รูปที่ 4.2. บล็อกไดอะแกรมของวงจรกู้สัญญาณคลื่นพาห์

วงจรกู้สัญญาณคลื่นพาห์ นั้นประกอบด้วย วงจรผ่านช่วงความถี่ , วงจร Balance Modulator (BM) , วงจร Phase Lock Loop (PLL) ,วงจร หารสอง และวงจรเลื่อนเฟส 90 องศา

4.2 วงจรกรองช่วงความถี่สัญญาณนำร่อง

สัญญาณ QPSK ที่ส่งมาผ่านสายโคแอคเชียลนั้น ในส่วนของการกู้สัญญาณคลื่นพาห์นี้จะถูกกรองช่วงความถี่เฉพาะส่วนที่เป็นสัญญาณนำร่องคู่ ซึ่งก็คือความถี่ 400 KHz และ 600 KHz เท่านั้น ซึ่งส่วนนี้เป็นหัวใจของภาครับ ถ้าหากว่าได้คลื่นพาห์ที่ไม่ตรงกับภาคส่งแล้ว การดีมอดดูเลตสัญญาณก็จะได้สัญญาณที่ไม่ตรงกับที่ส่งมา ทำให้การสื่อสารผิดไป

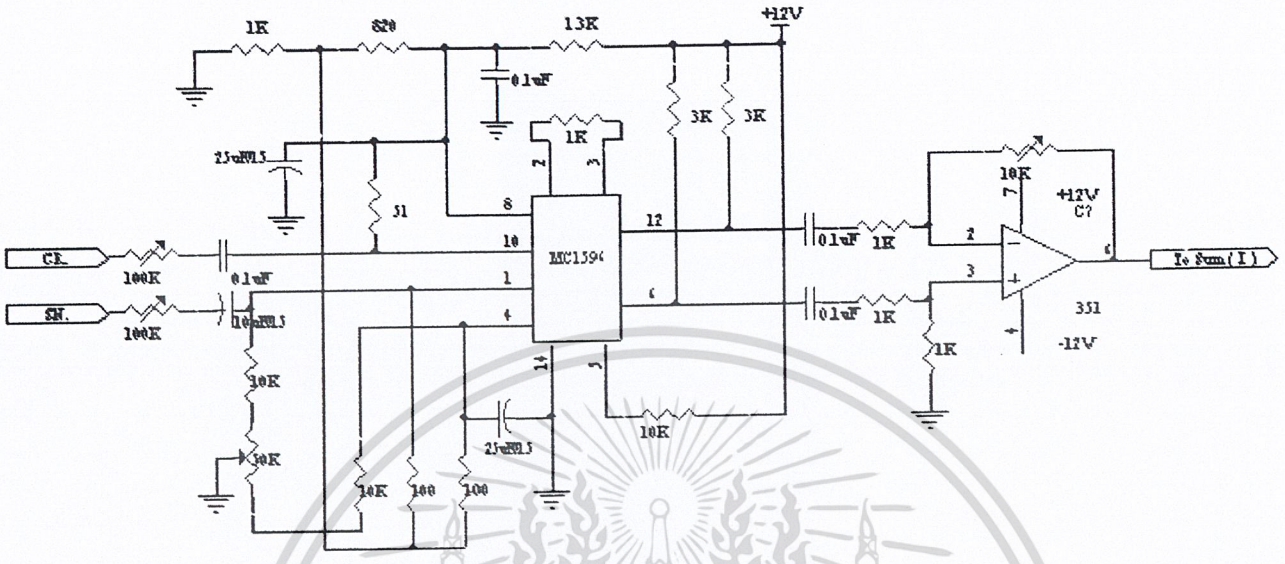
ขั้นตอนการออกแบบวงจรได้กล่าวไว้แล้วในส่วนของวงจรกรองช่วงความถี่ภาคส่ง ดังนั้นวงจร BPF ที่ความถี่คัทออฟ เท่ากับ 400 KHz เลือกค่า Gain = 4 และ C=20pf จะได้ R1 = 39KΩ R2 = 15KΩ R3=10KΩ (variable Resister) และ R4 = 50 KΩ (variable Resister) และ BPF ที่ความถี่คัทออฟ 600 KHz ก็คำนวณได้ในทำนองเดียวกัน

4.3 วงจรบาลานซ์มอดดูเลเตอร์

ในวงจรส่วนนี้ IC เบอร์ MC 1596 ซึ่งจะเป็นมอดดูเลตแบบ Amplitude suppress carrier Modulator โดยที่ขา 10 ของ IC เป็นขาของ Carrier Input ,ขา 1 เป็นขา Modulating Signal Input และส่วนของ Output นั้นประกอบด้วยขา 6 และขา 12 ในส่วนนี้จะนำสัญญาณนำร่องคู่ 400 KHz และ 600

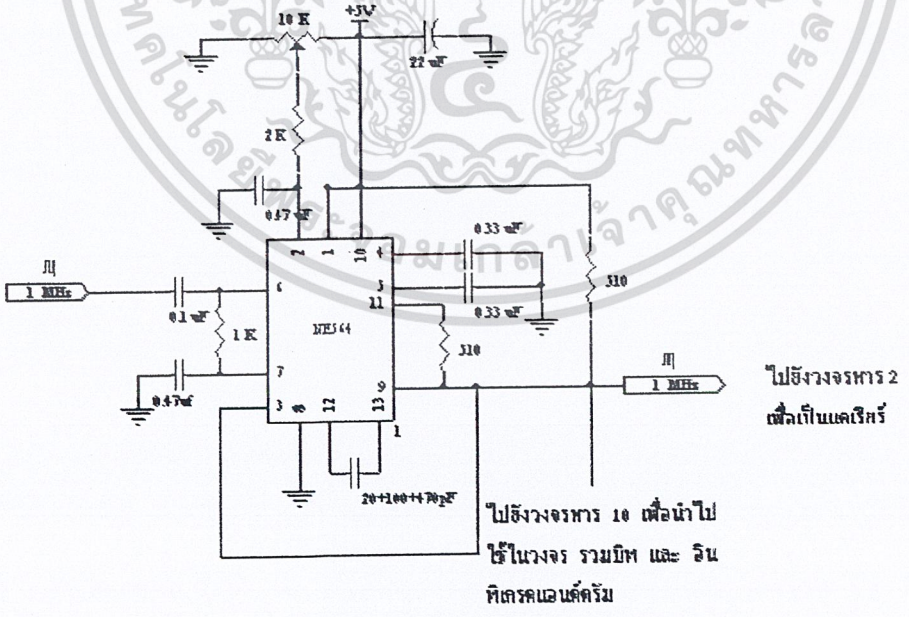
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

KHz มาคูณกันโดยใช้วงจร บาลานซ์มอดดูเลเตอร์ เอาท์พุทของวงจรจะถูกกรองเอาช่วงความถี่ 1 MHz เพื่อจะนำไปทำเป็นสัญญาณคลื่นพาห์



รูปที่ 4.3. วงจร Balance Modulator

4.4 วงจรเฟสล็อกลูป



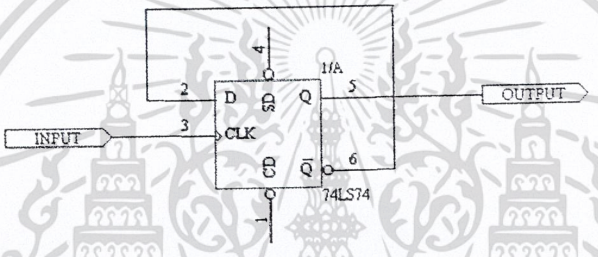
รูปที่ 4.4. วงจรเฟสล็อกลูป

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ในส่วนนี้จะใช้ IC เบอร์ NE564 ซึ่งเป็น IC ที่ประกอบด้วย วงจร Phase comparator และLinear Voltage Control Oscilator (VCO) วงจรเฟสล็อกลูปมีไว้เพื่อ ล็อกเฟสของความถี่ 1 MHz ไม่ให้เกิดการเลื่อนเฟสขึ้น จึงทำให้เกิดเฟสจิสเตอร์น้อยลง

4.5 วงจรหารสอง

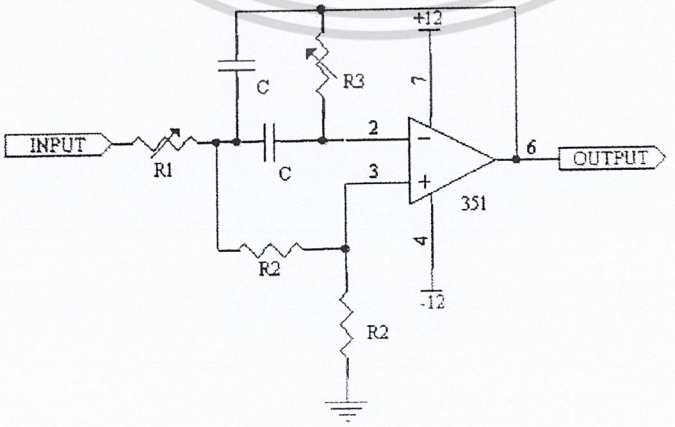
สัญญาณที่ได้จากวงจรเฟสล็อกลูปนั้นเป็นสัญญาณสี่เหลี่ยมที่มีความถี่เท่ากับ 1 MHz แต่ความถี่สัญญาณคลื่นพาห์ที่เราใช้นั้นคือ 500 KHz ดังนั้นจึงต้องลดความถี่ลงครึ่งหนึ่งโดยใช้วงจรหารสอง วงจรหารสองนี้จะได้จาก Data Flip Flop (D-FF) 1 ตัว ซึ่งจะมีอยู่ใน IC เบอร์ 7474 การต่อใช้งานจะเป็นตามรูปที่ 4.5



รูปที่ 4.5. การต่อใช้งาน D-FF เป็นวงจรหารสอง

4.6 วงจรเลื่อนเฟส (Phase Shift)

วงจรเลื่อนเฟสนี้จะใช้วงจร All-pass Filter ในวงจรเลื่อนเฟสนี้เราต้องการให้เลื่อนเฟสไปเป็น 90 องศา เพื่อให้ได้คลื่นพาห์ ที่เป็น sin wct และ cos wct ซึ่งจะนำไปใช้ในการดีมอดดูเลตนั่นเอง โดยมีวงจรตามรูปที่ 4.6

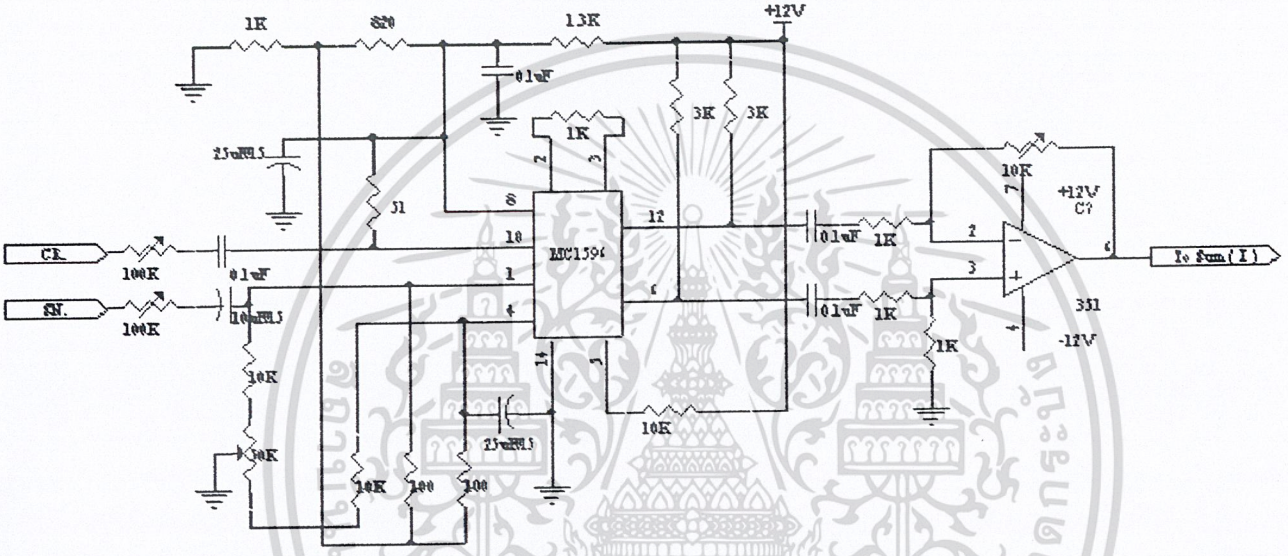


รูที่ 4.6. วงจรเลื่อนเฟส 90 องศา

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4.7 วงจรดีมอดดูเลเตอร์

ในภาคส่งจะทำการ Modulating Signal มาเป็นแบบ AM Suppress Carrier ดังนั้นที่ภาครับจึงจำเป็นต้องมีวงจร Demodulator เพื่อที่จะทำให้ได้สัญญาณ NRZ หรือสัญญาณข่าวสารกลับมาเหมือนเดิม หลักการทำงานของวงจร Demodulator ก็เหมือนกับการ Modulator ก็คือจะนำสัญญาณคลื่นพาห์มาคูณ (Mod) กับสัญญาณข่าวสาร (DATA) แต่ส่วนของภาครับจะต้องการเพียงส่วนที่เป็นข่าวสารเท่านั้น การดีมอดดูเลตในวงจรนี้จะใช้วงจร Balance Demodulator โดยใช้ IC เบอร์ MC 1596 หรือMC1496



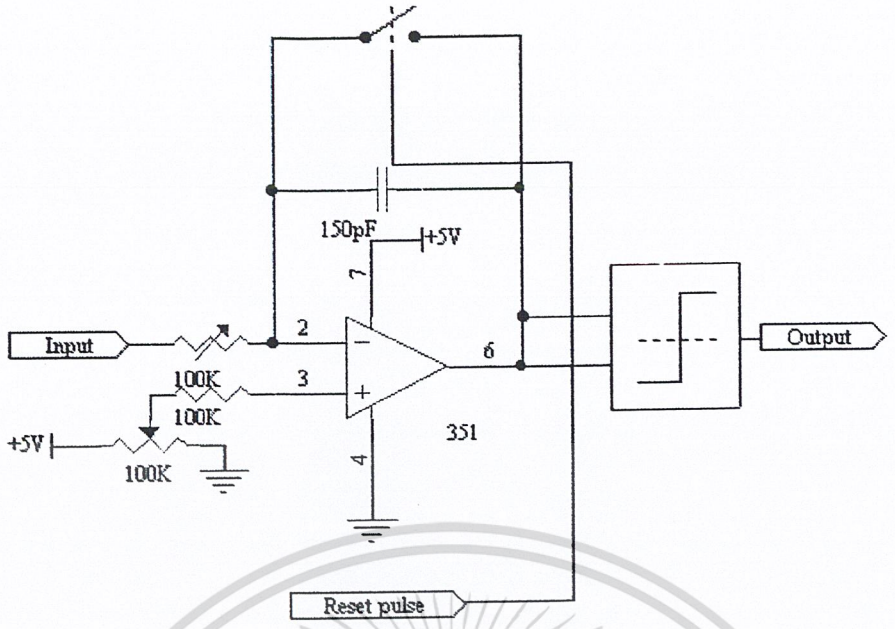
รูปที่ 4.7. วงจรบาลานด์ดีมอดดูเลเตอร์

4.8 วงจรอินติเกรทแอนด์ดัมพ์

เอาท์พุทที่ได้จากวงจรดีมอดดูเลตนั้นถึงแม้ว่าจะได้สัญญาณ NRZ แล้วก็ตาม แต่สัญญาณที่ได้มานั้นจะมีการสั่นเนื่องจากสัญญาณรบกวน ดังนั้นเพื่อให้ได้สัญญาณ NRZ ที่แน่นอนจึงต้องทำการอินทิเกรทสัญญาณในช่วง 1 บิท เพื่อพิจารณาแบสแบนด์จะมีระดับสัญญาณที่แน่นอนไปทางใด (*, -) แล้วทำการตัดสินระดับที่ปลายช่วงเวลา 1 บิท และก่อนที่จะทำการอินทิเกรทสัญญาณในบิทถัดไปต้องทำการรีเซต (reset) หรือ ดัมพ์(dump) ให้วงจรอินทิเกรทมีค่าเป็น 0 ก่อนทุกครั้ง วงจรอินทิเกรทแอนด์ดัมพ์นี้ประกอบด้วย วงจรอินทิเกรท ฟลิปฟลอป อิเลคทรอนิคสวิทช์ และ Monostable Multivibrater ซึ่งเป็นวงจรสร้างซิงค์พัลซ์ โดยแสดงวงจรดังรูปที่ 4.8

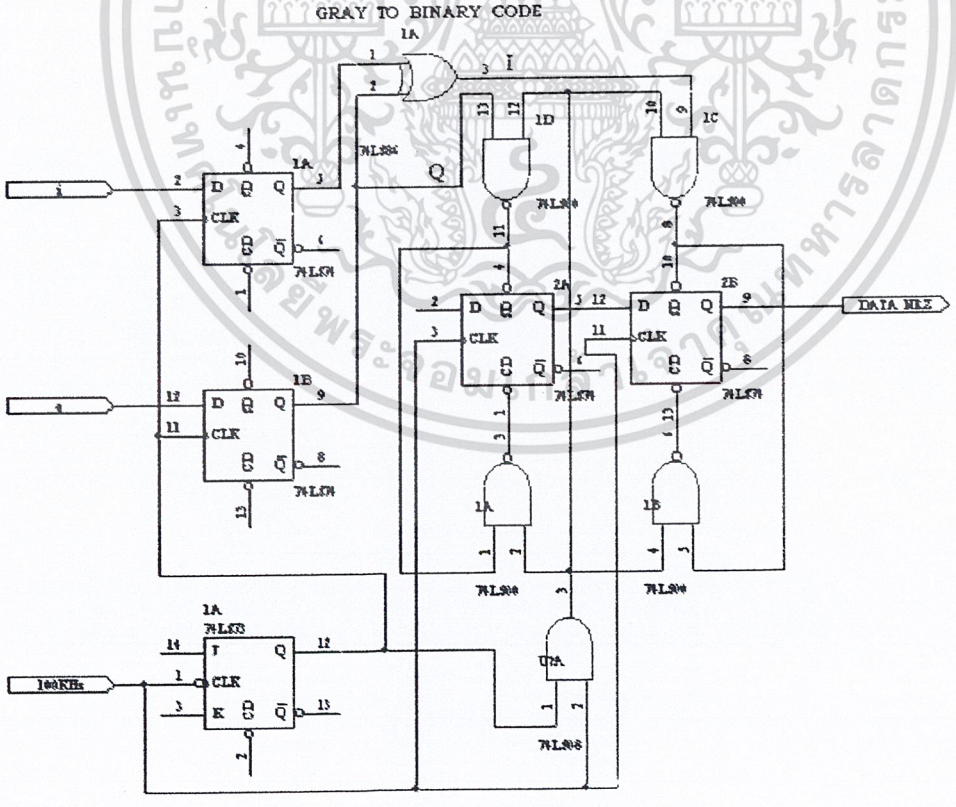
ในวงจรใช้งานจริงนั้นจะต้องมีวงจรอินทิเกรท อิเลคทรอนิคสวิทช์ และดี-ฟลิปฟลอปสองชุด เพื่อใช้กับสัญญาณ I' และ Q' ซึ่งจะสามารถดูได้ในส่วนของวงจรรวม

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.8. วงจรอินทิเกรทแอนด์ดัมพ์

4.9 วงจรรวมสัญญาณดิจิตอล



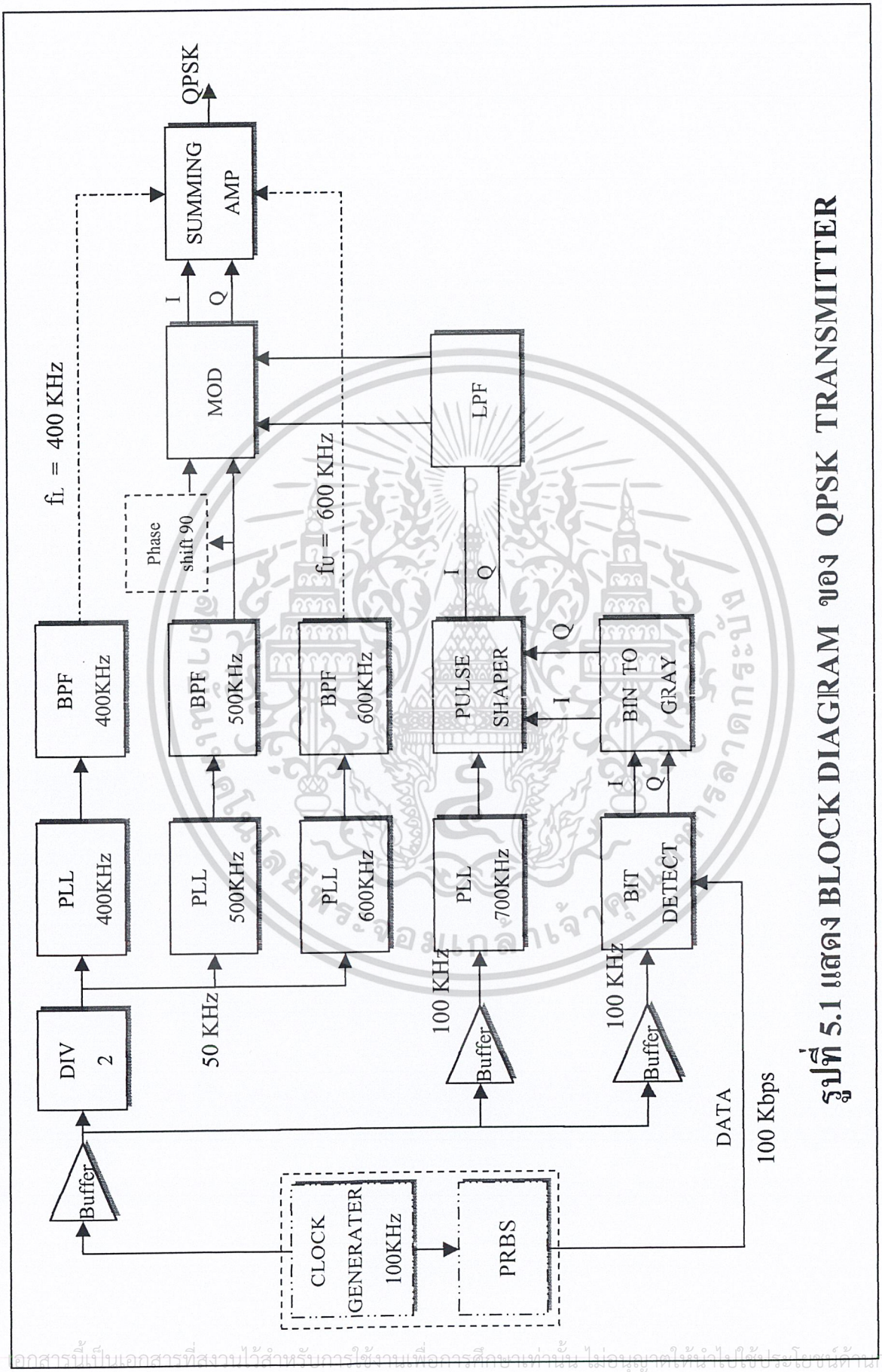
รูปที่ 4.9. วงจรรวมสัญญาณดิจิตอล

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เป็นวงจรที่มีการทำงานตรงข้ามกับวงจรแยกสัญญาณดิจิตอลทางภาคส่ง เพื่อที่จะรวมสัญญาณดิจิตอลทางด้านช่อง I และ ช่อง Q จากสัญญาณข้อมูลแบบขนานไปเป็นแบบอนุกรม (P/S) โดยการควบคุมจังหวะการทำงานของฟลิปฟลอปจากสัญญาณนาฬิกาที่กู้มาได้ ก่อนที่จะเปลี่ยนข้อมูลขนานเป็นอนุกรมนั้นจะต้องเปลี่ยนรหัสเกรย์เป็นรหัสไบนารีเสียก่อน โดยผ่านเอ็กครูซีฟออร์เกท

การแปลงข้อมูลขนานเป็นอนุกรมนั้น ใช้วงจรหน่วงเวลา 2 บิท เป็นตัวควบคุมจังหวะการทำงานของขา Preset และขา Clear ของ ดี-ฟลิปฟลอปโดยจะส่งข้อมูลเฉพาะสัญญาณนาฬิกาลูกแรกเท่านั้น จึงใช้ NAND GATE ในการควบคุม ดี-ฟลิปฟลอป

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



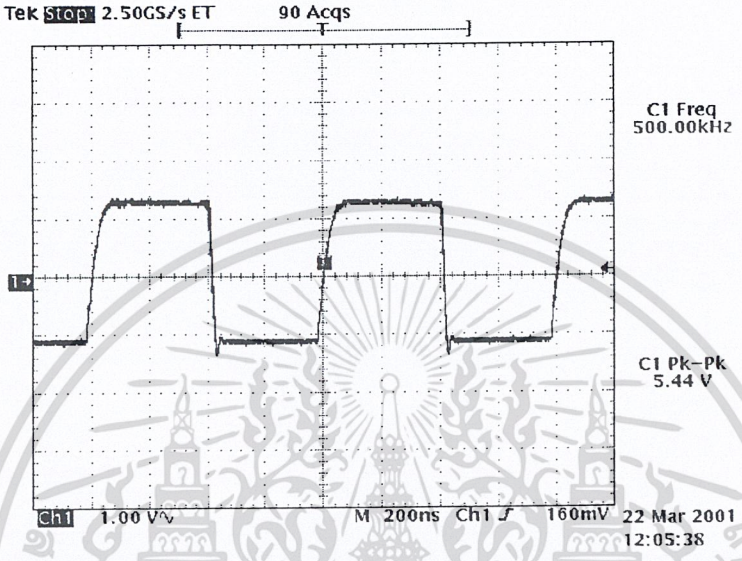
รูปที่ 5.1 แสดง BLOCK DIAGRAM ของ QPSK TRANSMITTER

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

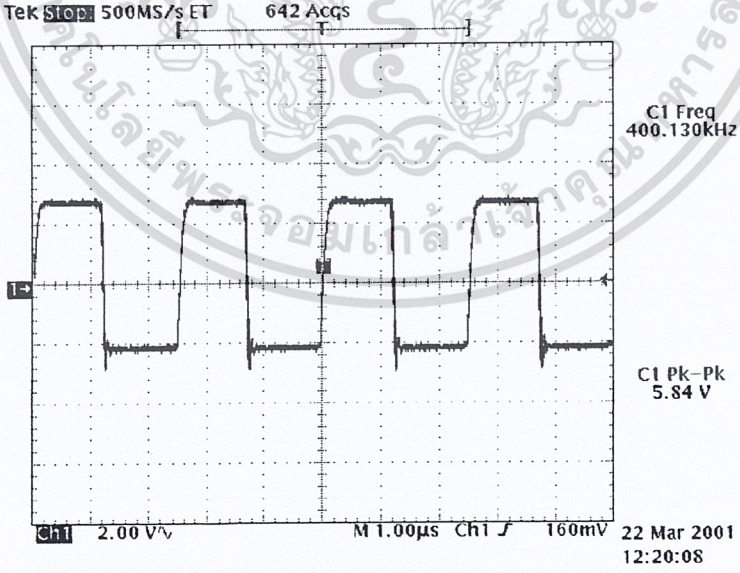
บทที่ 5.

ผลการทดลอง

5.1 ภาคส่ง

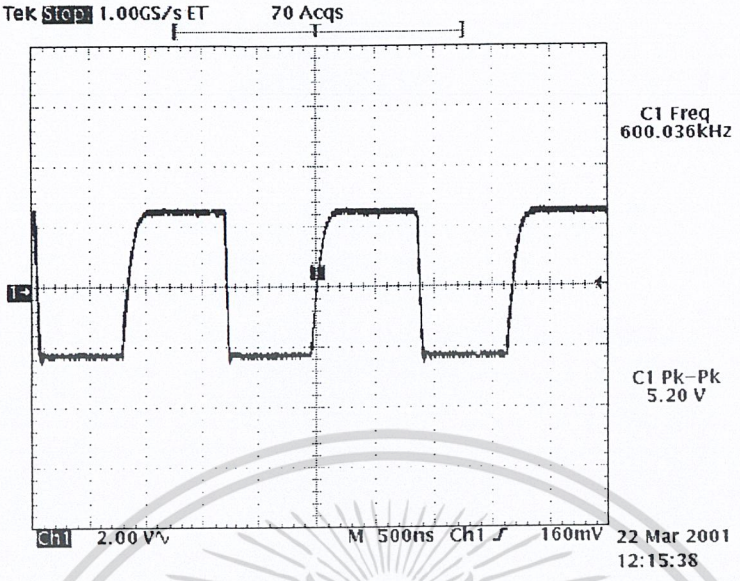


รูปที่ 1. สัญญาณที่วัดได้จากวงจรสังเคราะห์ความถี่คลื่นพาห์ 500 KHz

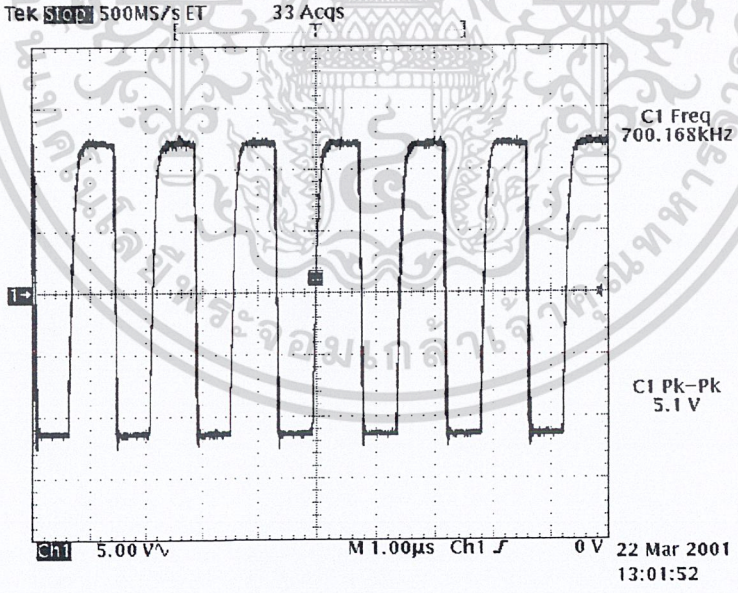


รูปที่ 2. สัญญาณที่วัดได้จากวงจรสังเคราะห์ความถี่สัญญาณนำร่อง 400 KHz

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

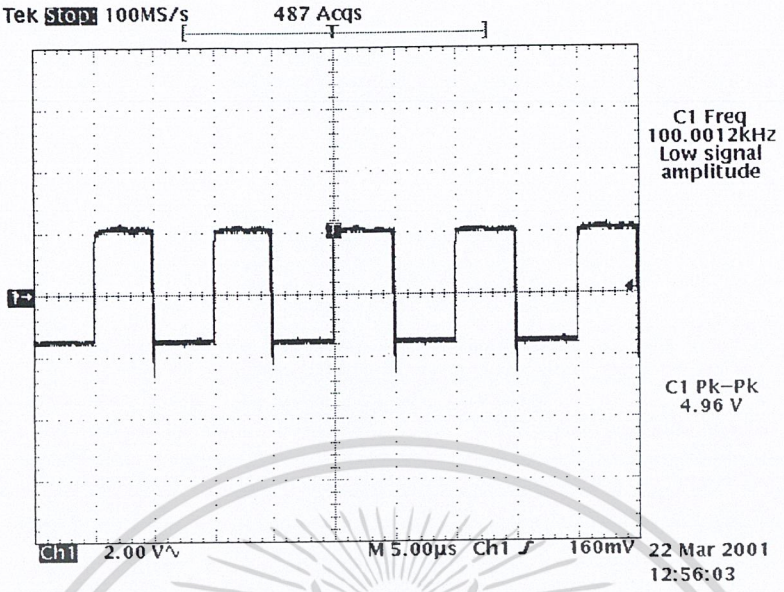


รูปที่ 3. สัญญาณที่วัดได้จากวงจรสังเคราะห์ความถี่สัญญาณนำร่อง 600 KHz

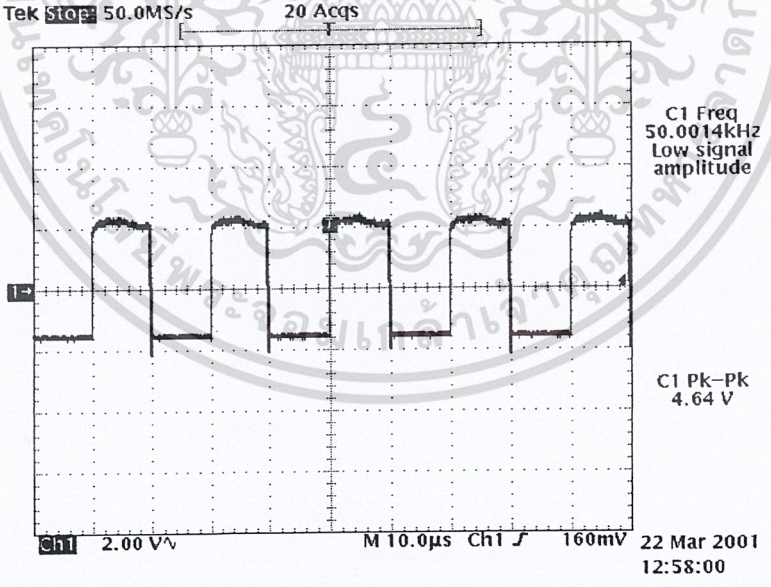


รูปที่ 4. สัญญาณที่วัดได้จากวงจรสังเคราะห์ความถี่ 700 KHz ที่นำไปใช้กับวงจร Pulse Shaper

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

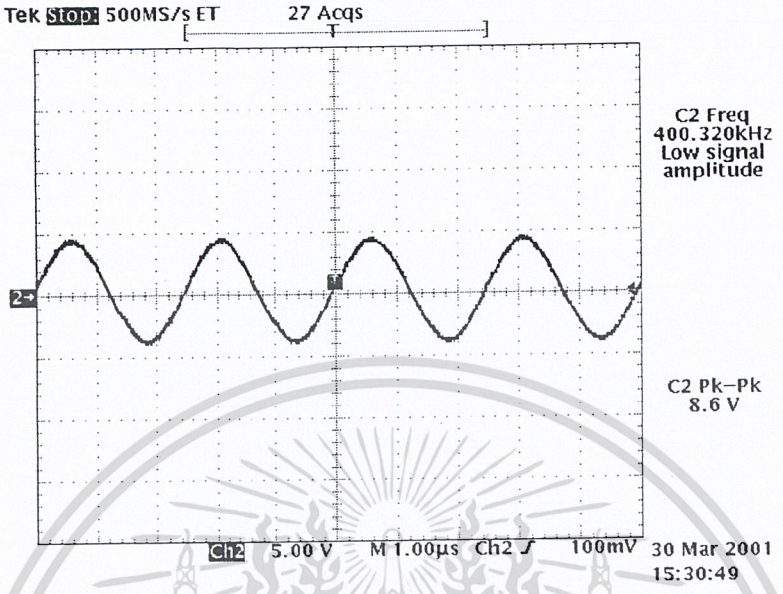


รูปที่ 5. สัญญาณนาฬิกา ที่ความถี่ 100 KHz

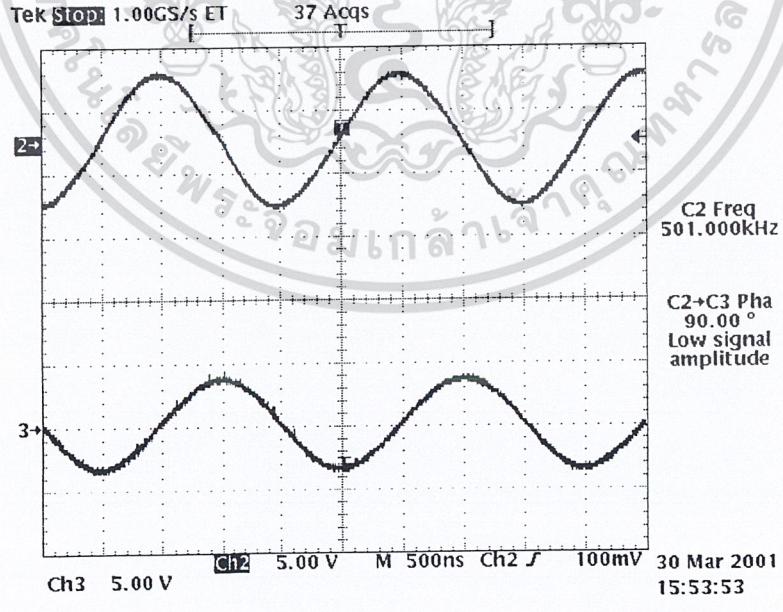


รูปที่ 6. สัญญาณนาฬิกา ที่ความถี่ 50 KHz

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

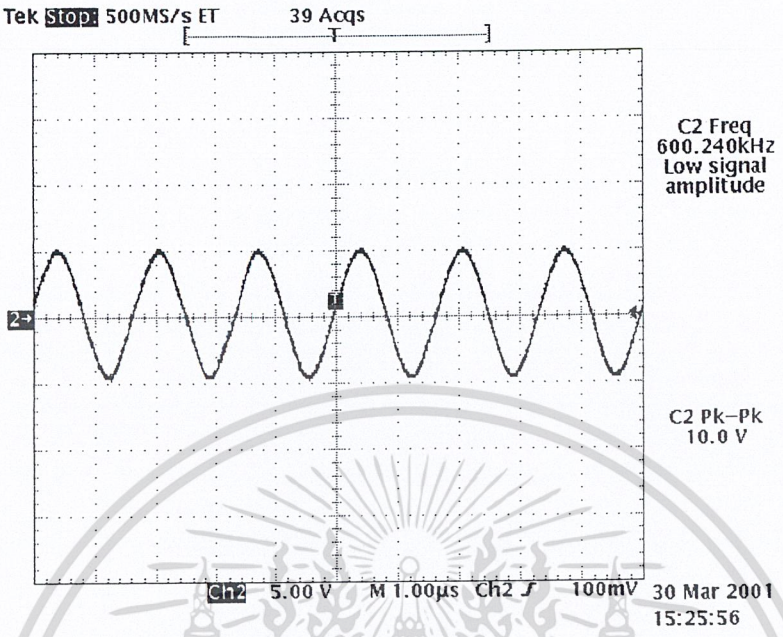


รูปที่ 7. สัญญาณนำร่อง 400 KHz ที่ผ่านวงจร Band Pass Filter

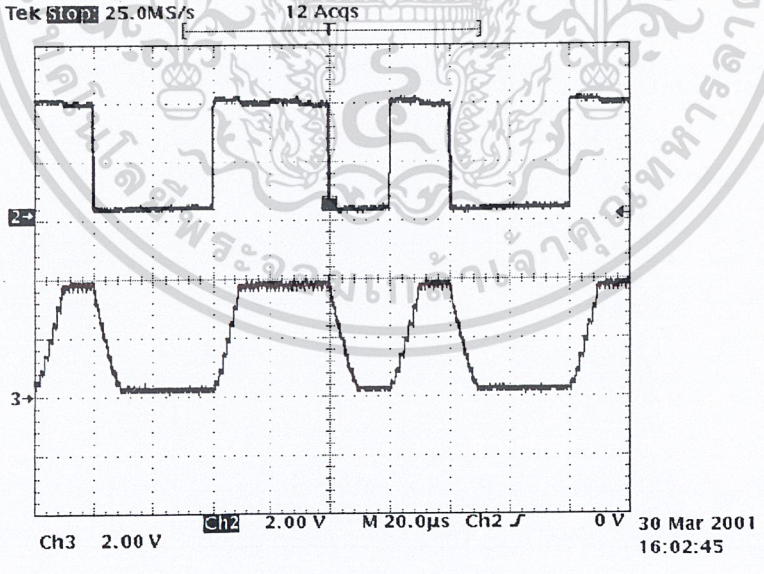


รูปที่ 8. สัญญาณคลื่นพาห์ที่ผ่านวงจร BPF เทียบกับสัญญาณคลื่นพาห์ที่ผ่านวงจรเลื่อนเฟส 90°

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 9. สัญญาณนำร่อง 600 KHz ที่ผ่านวงจร Band Pass Filter

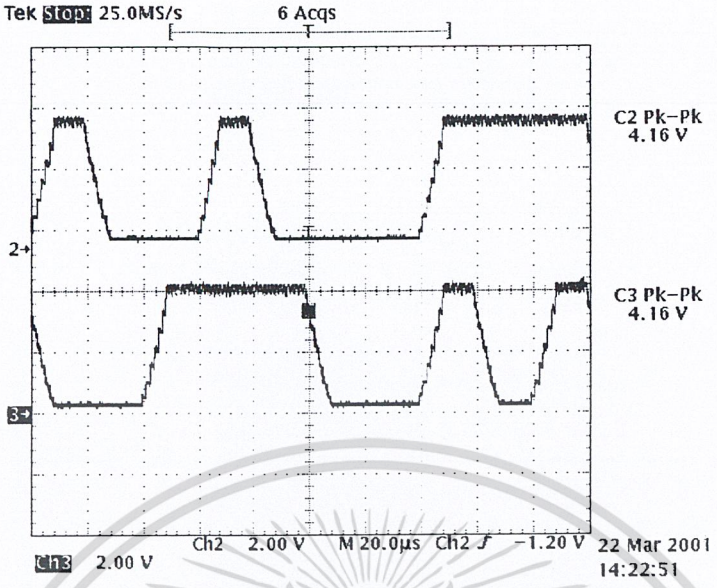


รูปที่ 10. สัญญาณ Data ที่ยังไม่ผ่านวงจรจัดรูปคลื่นกับสัญญาณ Data ที่ผ่านวงจรจัดรูปคลื่น

CH2. สัญญาณ Data ที่ยังไม่ผ่านวงจรจัดรูปคลื่น

CH3. สัญญาณ Data ที่ผ่านวงจรจัดรูปคลื่น

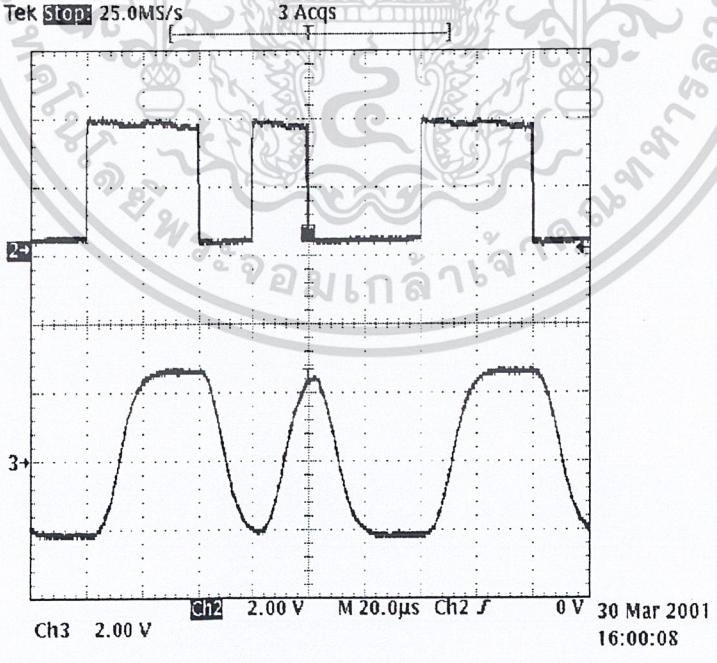
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 11. สัญญาณ I และ Q ที่ผ่านวงจรจัดรูปคลื่นสัญญาณ

CH2. สัญญาณ I ที่ผ่านวงจรจัดรูปคลื่นสัญญาณ

CH3. สัญญาณ Q ที่ผ่านวงจรจัดรูปคลื่นสัญญาณ

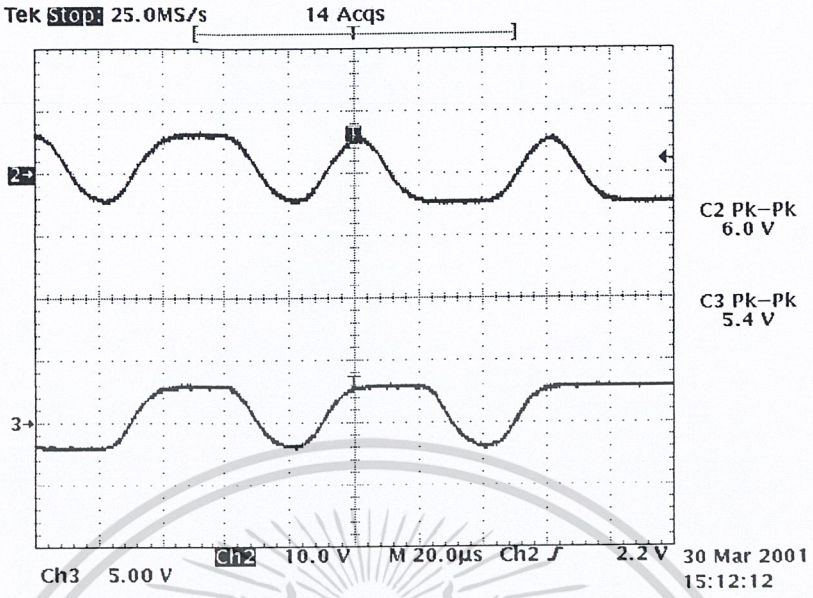


รูปที่ 12. สัญญาณ Data 100 Kbps ที่ผ่านวงจรจัดรูปคลื่นและผ่านวงจร Low Pass Filter

CH2. สัญญาณ Data 100 Kbps

CH3. Data 100 Kbps ที่ผ่านวงจรจัดรูปคลื่นและผ่านวงจร Low Pass Filter

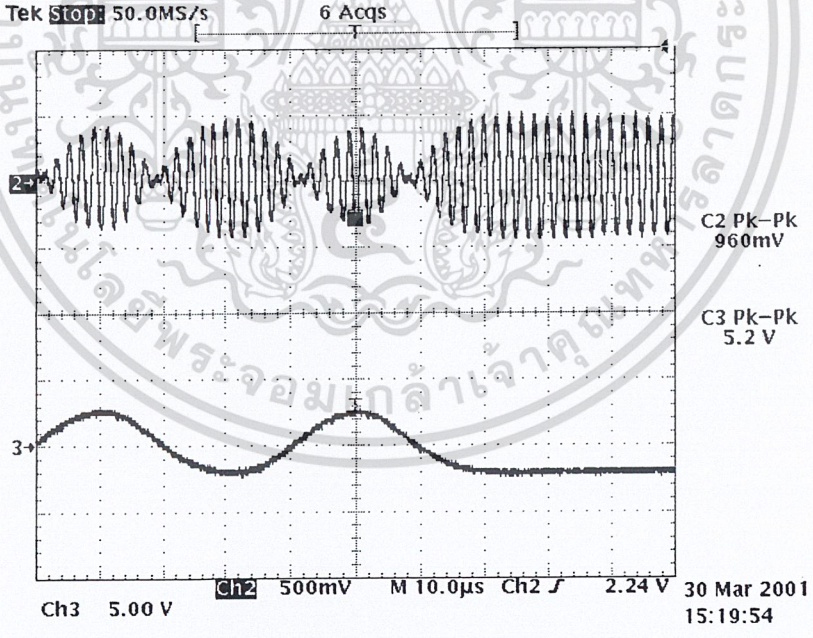
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 13. สัญญาณ Data I เทียบกับ Q ที่ผ่านวงจร Low Pass Filter

CH2. สัญญาณ I ที่ผ่านวงจร Low Pass Filter

CH3. สัญญาณ Q ที่ผ่านวงจร Low Pass Filter

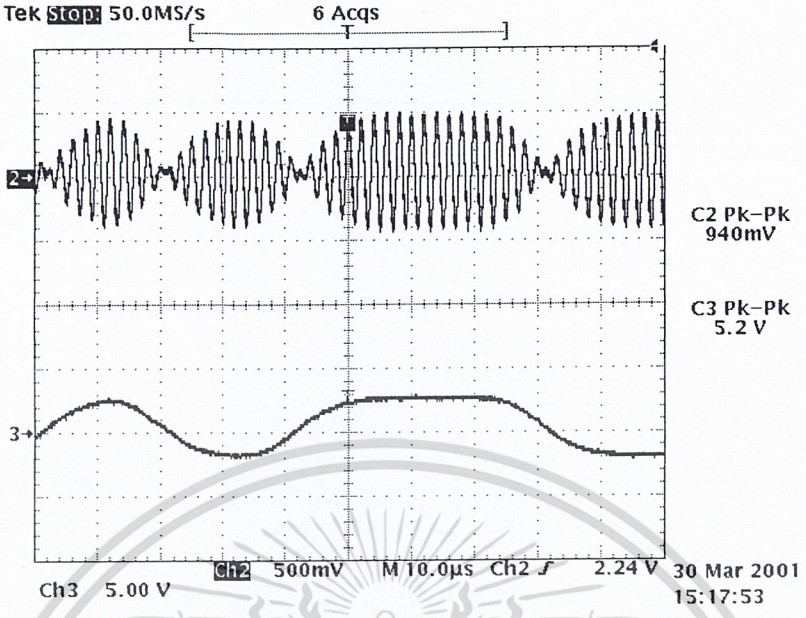


รูปที่ 14. สัญญาณด้าน I ที่ผ่านการมอดดูเลตแล้วเทียบกับ Data ด้าน I

CH2. สัญญาณด้าน I ที่ผ่านการมอดดูเลตแล้ว

CH3. Data ด้าน I

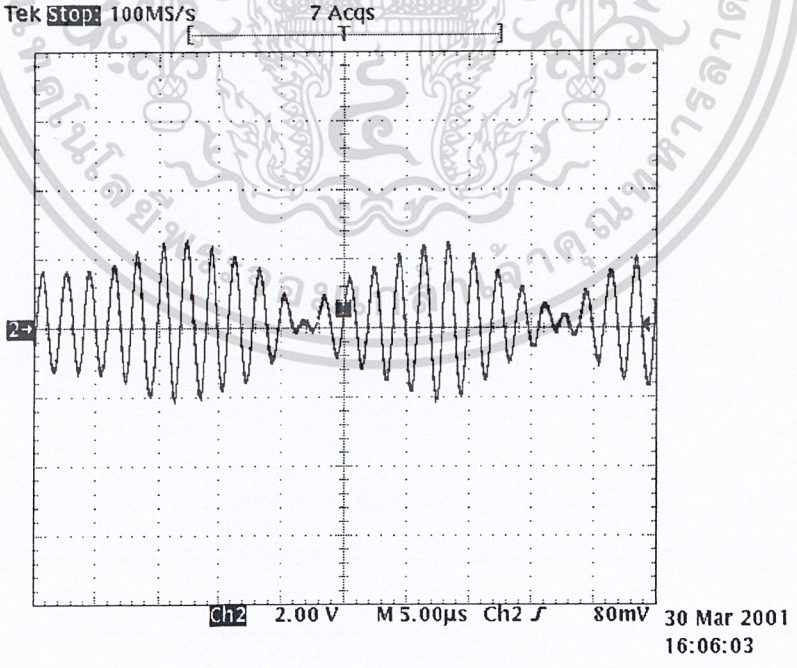
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 15. สัญญาณด้าน Q ที่ผ่านการมอดดูเลตแล้วเทียบกับ Data ด้าน Q

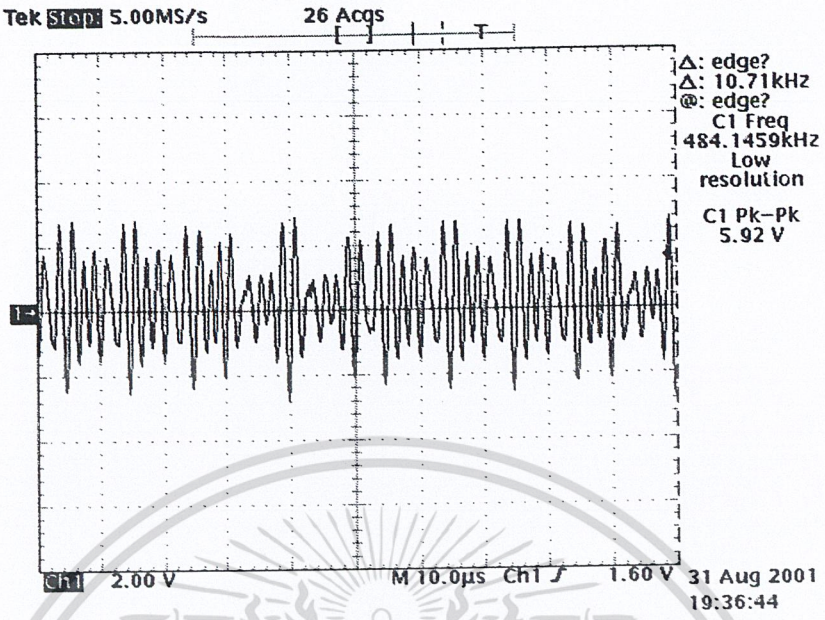
CH2. สัญญาณด้าน Q ที่ผ่านการมอดดูเลตแล้ว

CH3. Data ด้าน Q

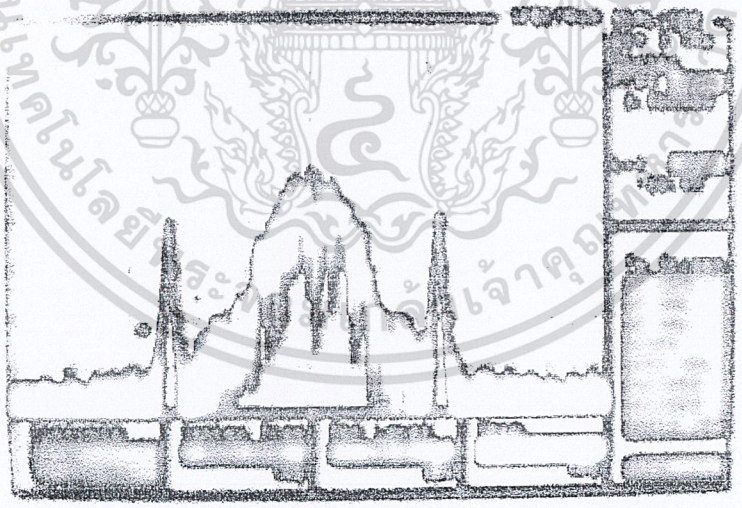


รูปที่ 16. สัญญาณที่เอาท์พุทของ QPSK ที่ยังไม่รวมกับสัญญาณนำร่อง ที่ภาคส่ง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

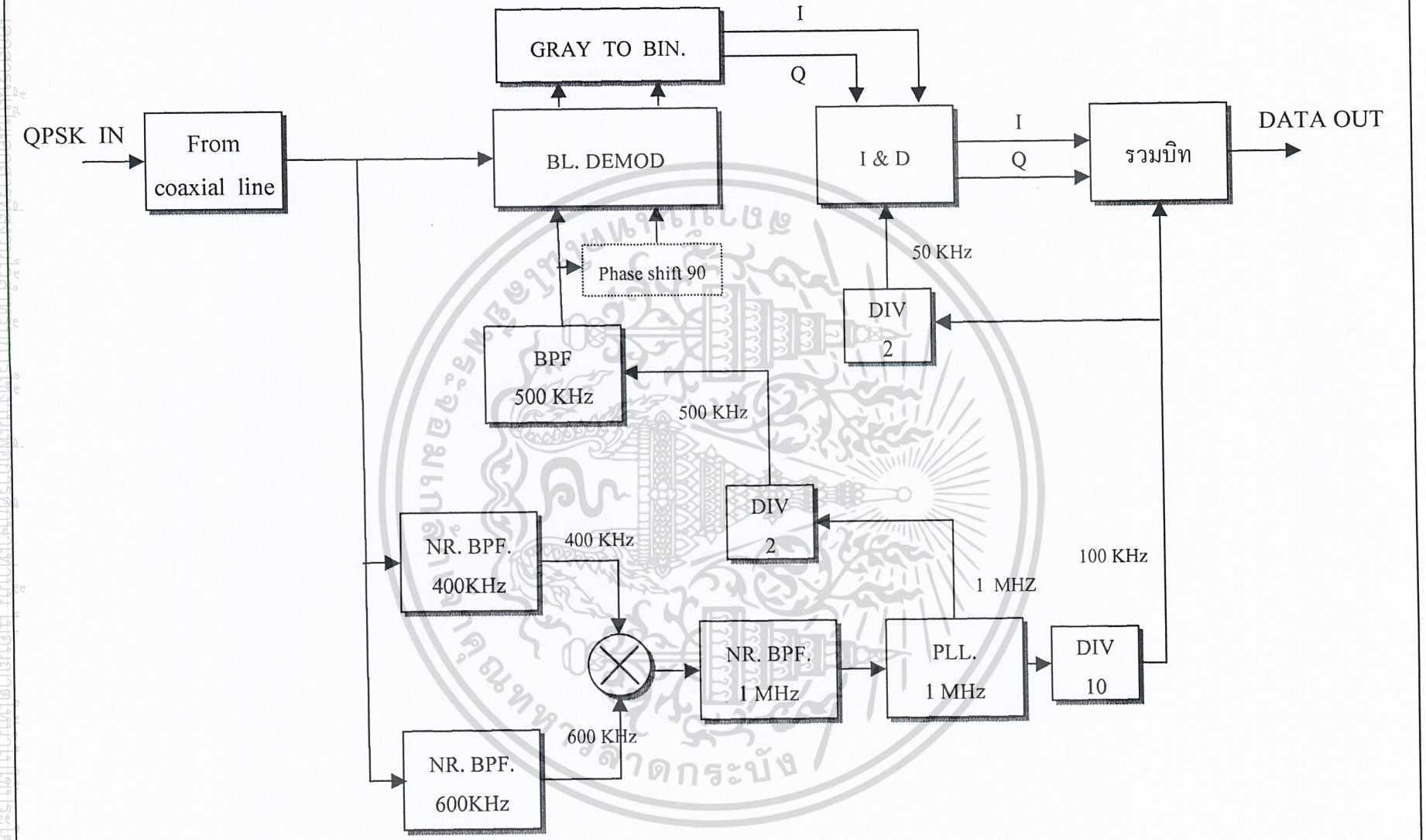


รูปที่ 17. สัญญาณที่เอาท์พุทของ QPSK ที่รวมกับสัญญาณนำร่อง ที่ภาคส่ง



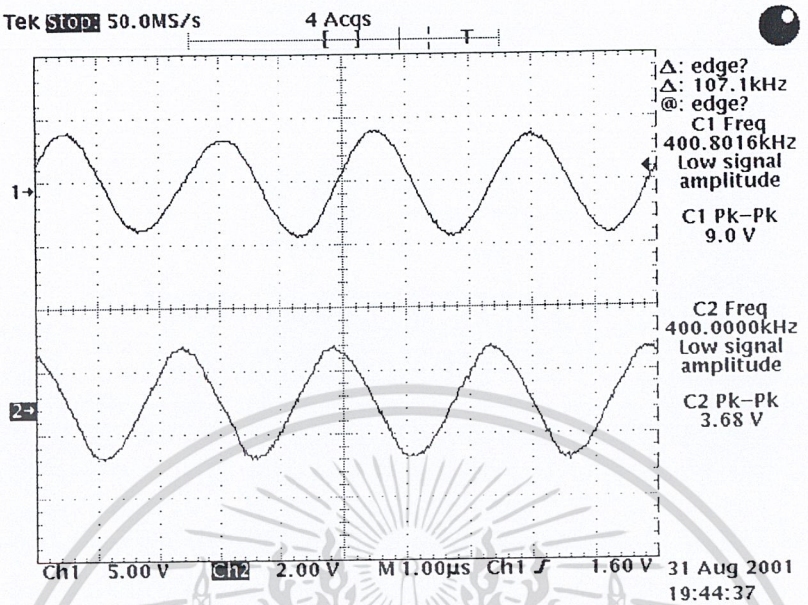
รูปที่ 18. SPECTRUM เอาท์พุทของ QPSK ที่ภาคส่ง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 5.2 แสดง BLOCK DIAGRAM ของ QPSK RECIEVER

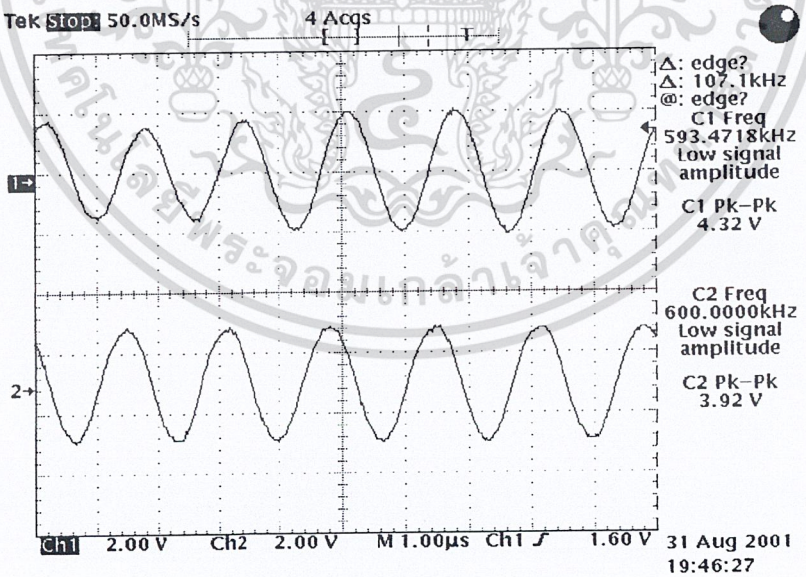
5.2 ภาครับ



รูปที่ 1. สัญญาณนำร่อง 400 KHz ที่สร้างกลับคืนมาเทียบกับภาคส่ง

CH1. สัญญาณนำร่อง 400 KHz ที่สร้างกลับคืนมา

CH2. สัญญาณนำร่อง 400 KHz ที่ภาคส่ง

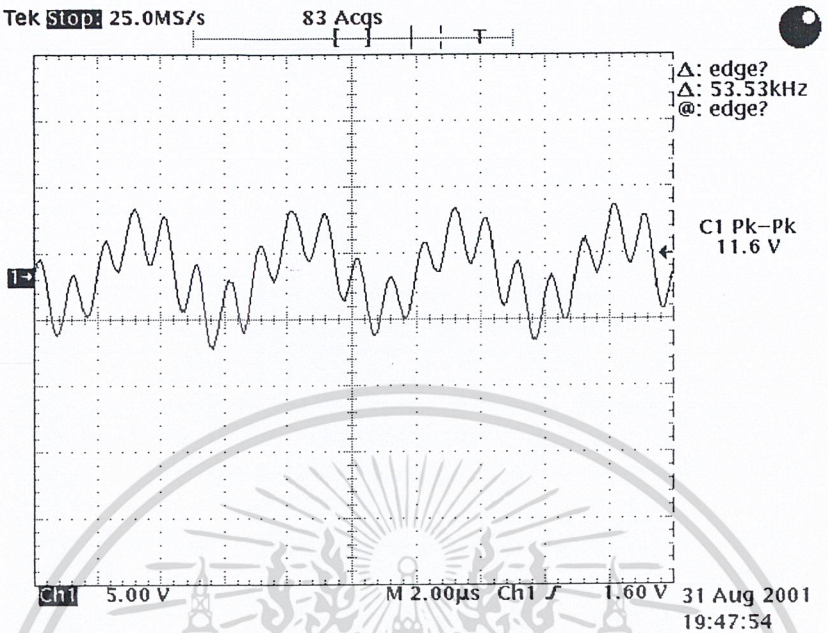


รูปที่ 2. สัญญาณนำร่อง 600 KHz ที่สร้างกลับคืนมาเทียบกับภาคส่ง

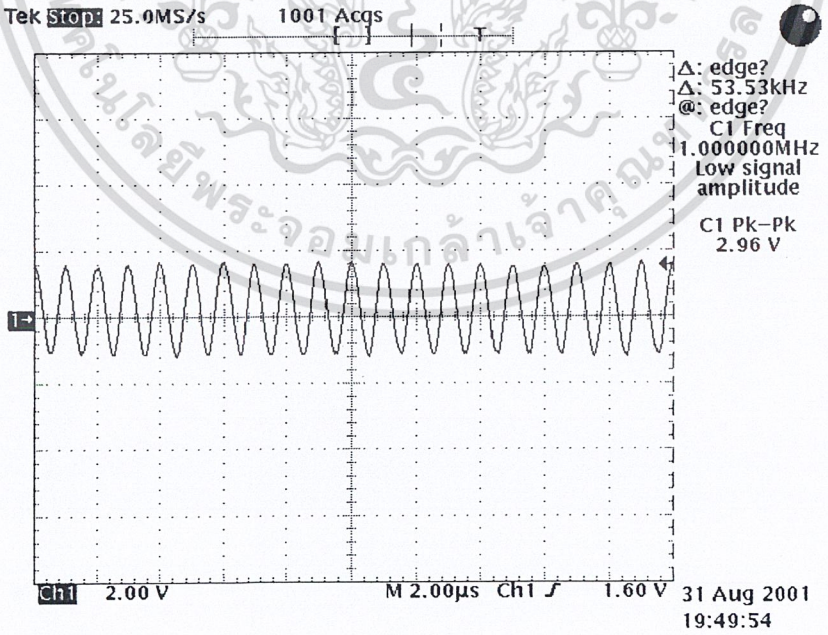
CH1. สัญญาณนำร่อง 600 KHz ที่สร้างกลับคืนมา

CH2. สัญญาณนำร่อง 600 KHz ที่ภาคส่ง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

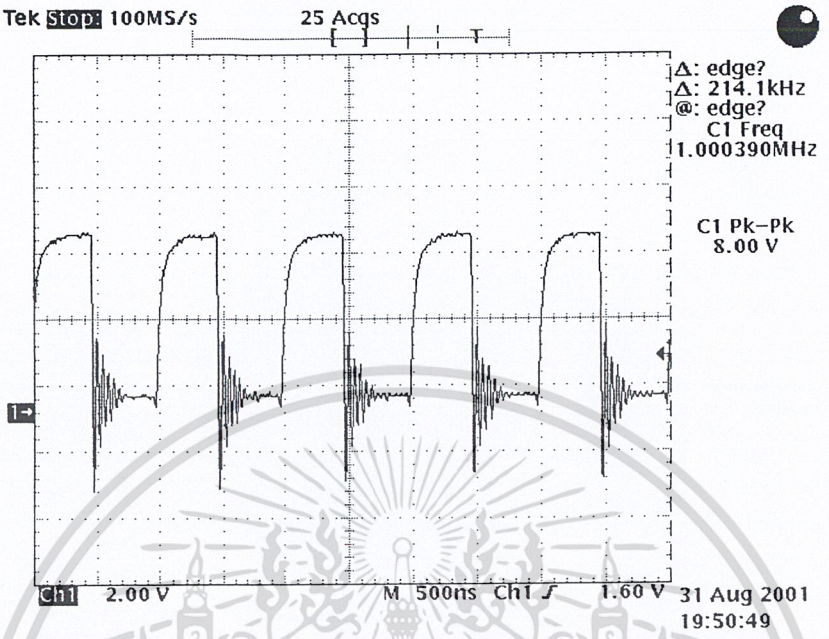


รูปที่ 3. สัญญาณนำร่อง 400 KHz(f_L) คูณกับสัญญาณนำร่อง 600 KHz(f_u)

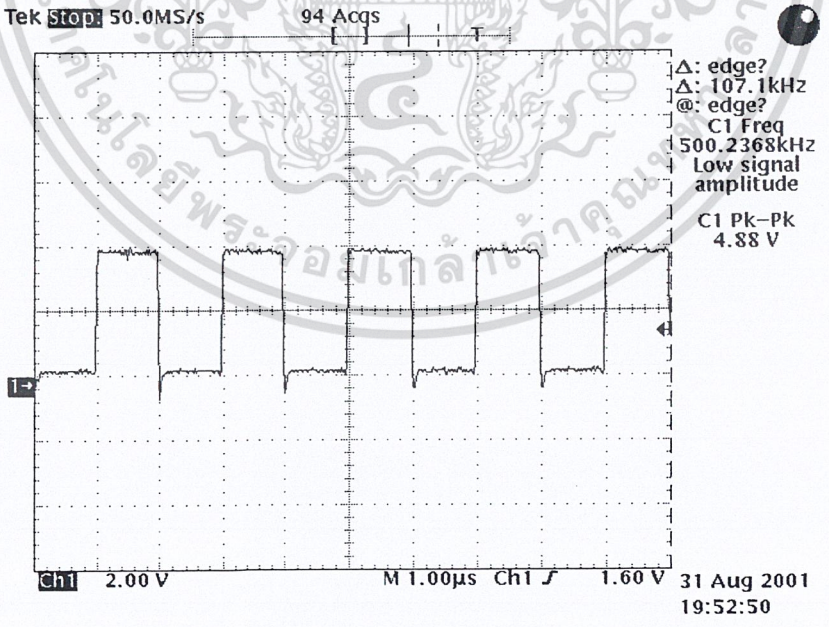


รูปที่ 4. สัญญาณที่ได้จากวงจรคูณแล้วผ่านวงจร BPF ที่ $f_p = 2f_c$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

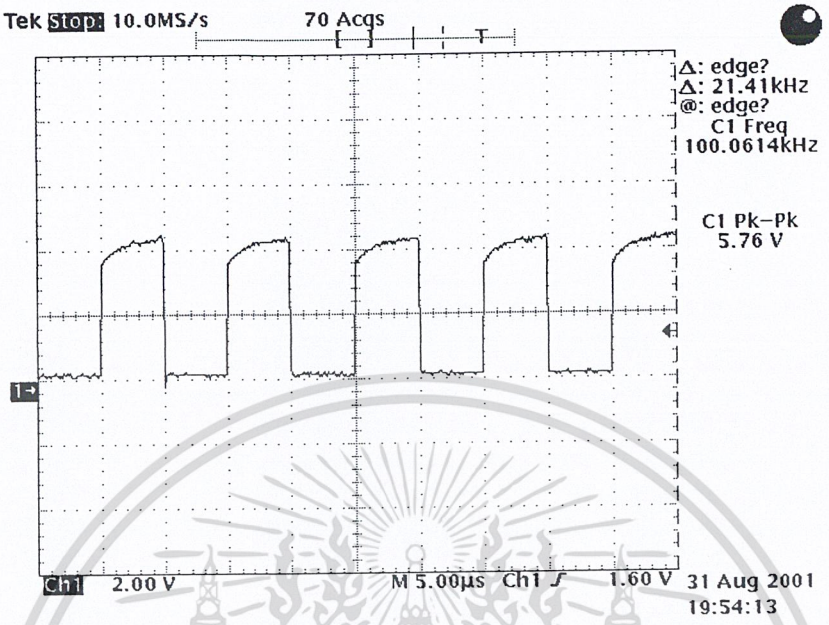


รูปที่ 5. สัญญาณที่ได้จากวงจร O/P VCO ของ PLL ที่ความถี่ 1 MHz

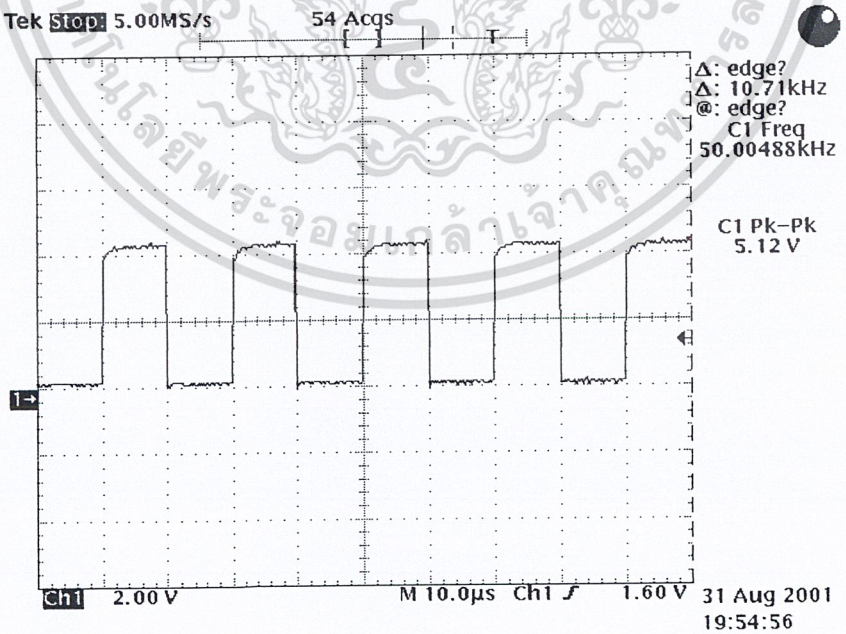


รูปที่ 6. สัญญาณที่ได้จากวงจรหารสองของ f_c(1MHz) ซึ่งเป็นแคเรียร์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

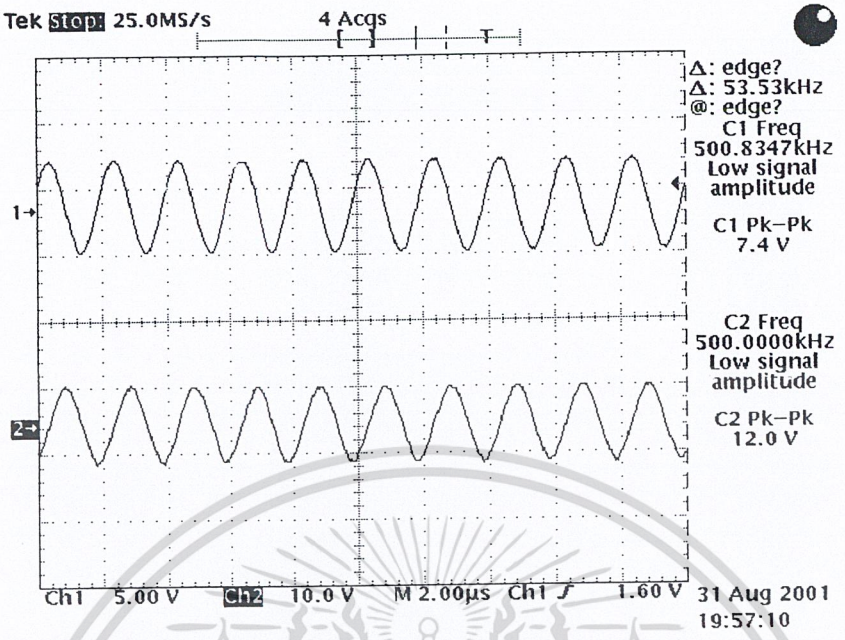


รูปที่ 7. สัญญาณที่ได้จากวงจรหารสิบ PLL 1 MHz ซึ่งเป็น Clock ของวงจรรวมบิท



รูปที่ 8. สัญญาณที่ได้จากวงจรหารสอง 100 KHz ซึ่งเป็น Clockของวงจรอินทิเกรตแอนด์ดัมพ์

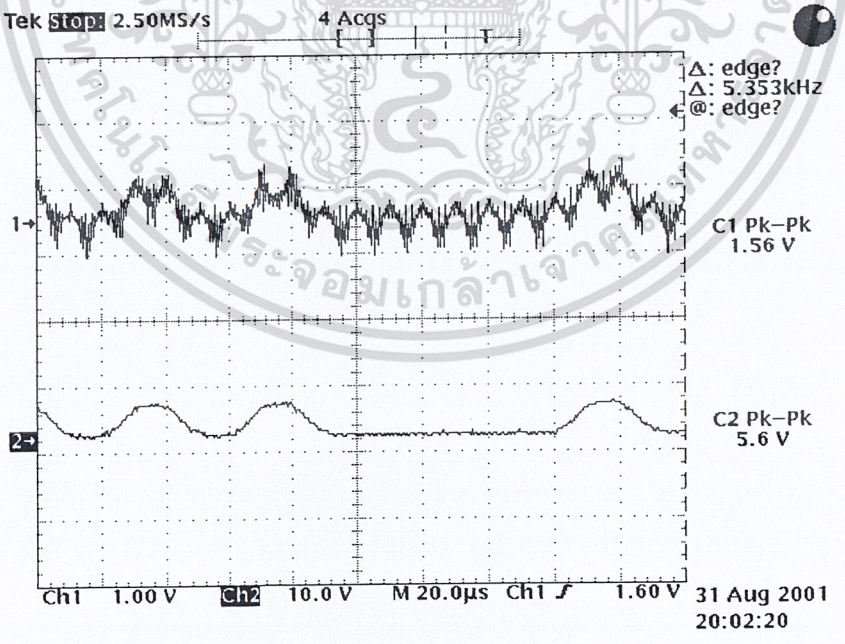
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 9. สัญญาณแคเรียร์ที่สร้างกลับคืนมาเทียบกับภาคส่ง

CH1. สัญญาณแคเรียร์ที่ภาคส่ง

CH2. สัญญาณแคเรียร์ที่สร้างกลับคืนมาได้

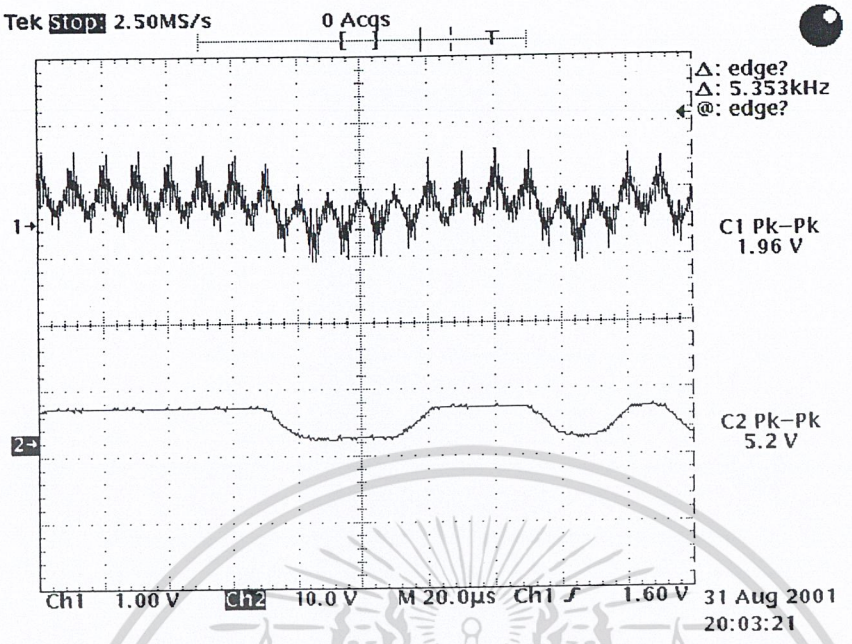


รูปที่ 10. สัญญาณด้าน I ที่ผ่านวงจรดีมอดดูเลต เทียบกับสัญญาณ I ที่ภาคส่ง

CH1. สัญญาณด้าน I ที่ผ่านวงจรดีมอดดูเลต

CH2. สัญญาณด้าน I ที่ภาคส่ง

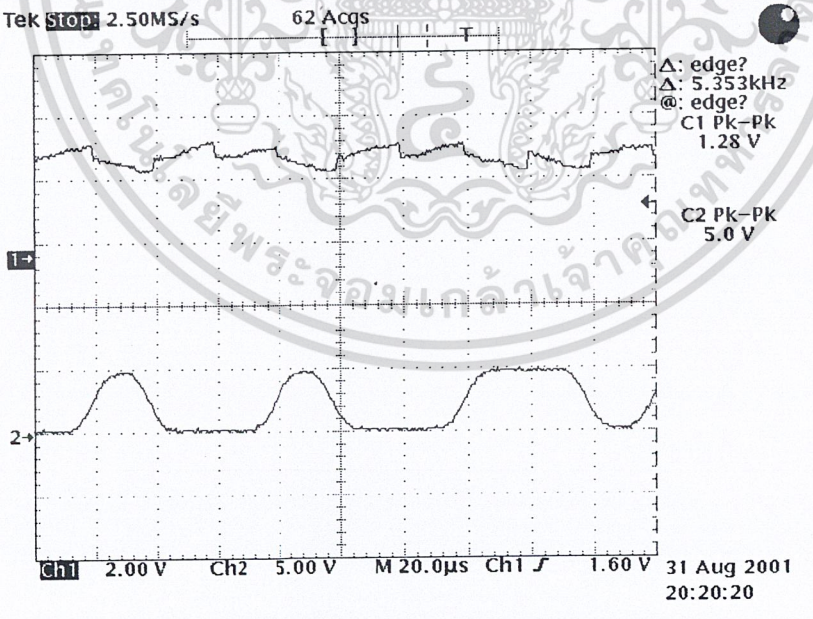
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 11. สัญญาณด้าน Q ที่ผ่านวงจรดีมอดดูเลต เทียบกับสัญญาณ I ที่ภาคส่ง

CH1. สัญญาณด้าน Q ที่ผ่านวงจรดีมอดดูเลต

CH2. สัญญาณ Q ที่ภาคส่ง

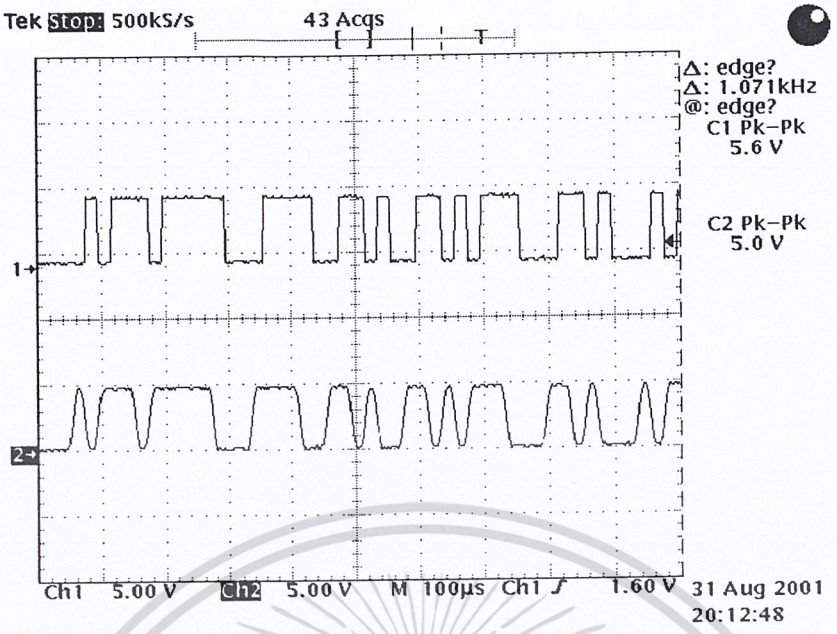


รูปที่ 12. สัญญาณที่ผ่านวงจรอินทิเกรตเทียบกับ Data

CH1. สัญญาณด้าน I ที่ผ่านวงจรอินทิเกรต

CH2. สัญญาณ Data

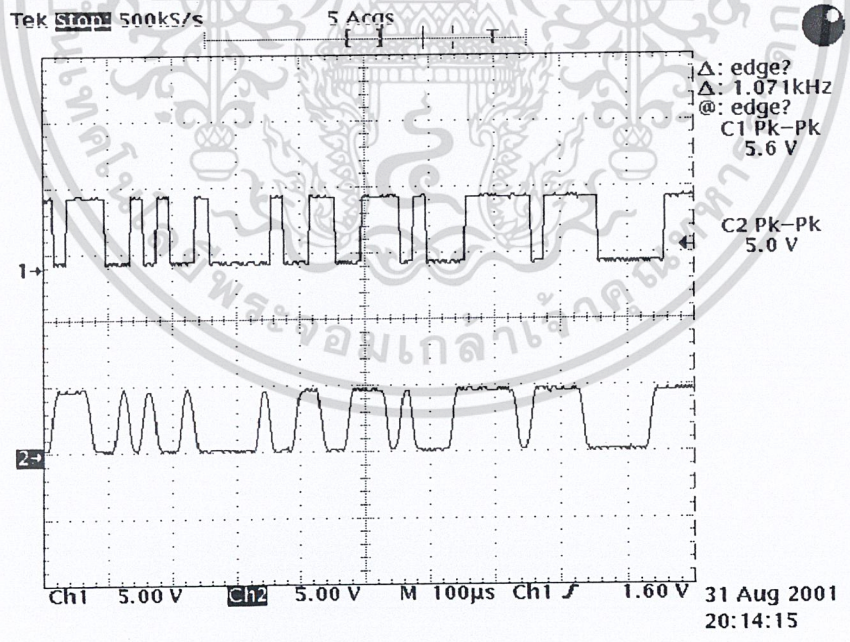
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 13. สัญญาณด้าน Q ที่ผ่านวงจร I&D เทียบกับสัญญาณ Q ที่ภาคส่ง

CH1. สัญญาณด้าน Q ที่ผ่านวงจร I&D

CH2. สัญญาณ Q ที่ภาคส่ง

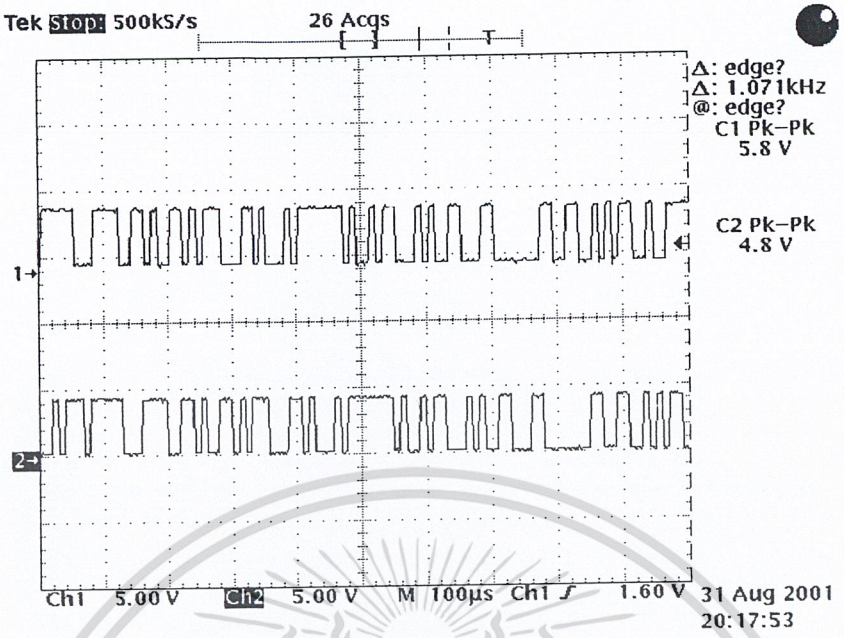


รูปที่ 14. สัญญาณด้าน I ที่ผ่านวงจร I&D เทียบกับสัญญาณ I ที่ภาคส่ง

CH1. สัญญาณด้าน I ที่ผ่านวงจร I&D

CH2. สัญญาณ I ที่ภาคส่ง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 15. สัญญาณ NRZ จากวงจรรวมบิทที่ภาครับเทียบกับสัญญาณ NRZ ที่ภาคส่ง

CH1. สัญญาณ NRZ จากวงจรรวมบิทที่ภาครับ

CH2. สัญญาณ NRZ ที่ภาคส่ง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 6
สรุปผลการทดลองและข้อเสนอแนะ

จากผลที่ได้มีการสั่นของแคเรียร์ที่สร้างกลับคืนมาน้อย จึงทำให้ Data กู้กลับคืนมาได้มีความผิดพลาดน้อย จึงเป็นผลที่น่าพอใจในระดับ แต่ยังมีจุดที่ยังต้องแก้ไข เช่น วงจรกรองช่วงความถี่ควรจะให้มีค่า Q ที่สูงกว่า 40 ที่ใช้สำหรับกรองความถี่ Pilot tone ซึ่งค่า Q ยิ่งสูงก็ยิ่งทำให้การสั่นทางเฟสของแคเรียร์ยิ่งน้อย แต่จะทำให้เสี่ยงกับเกิดการออสซิลเลตของสัญญาณได้ง่าย โดยจะต้องทดสอบเพิ่มค่า Q ขึ้นทีละน้อย แล้วหาค่าที่ดีที่สุด และที่วงจรสังเคราะห์ความถี่ที่มีการสังเคราะห์ความถี่หลายค่า ซึ่งทำให้เกิดนอยส์ไหลเข้าที่ไฟเลี้ยงวงจรอื่น จึงควรมีการต่อตัวเก็บประจุไว้ที่ขาไฟเลี้ยงของวงจรทุกส่วนเพื่อลดการเกิดนอยส์

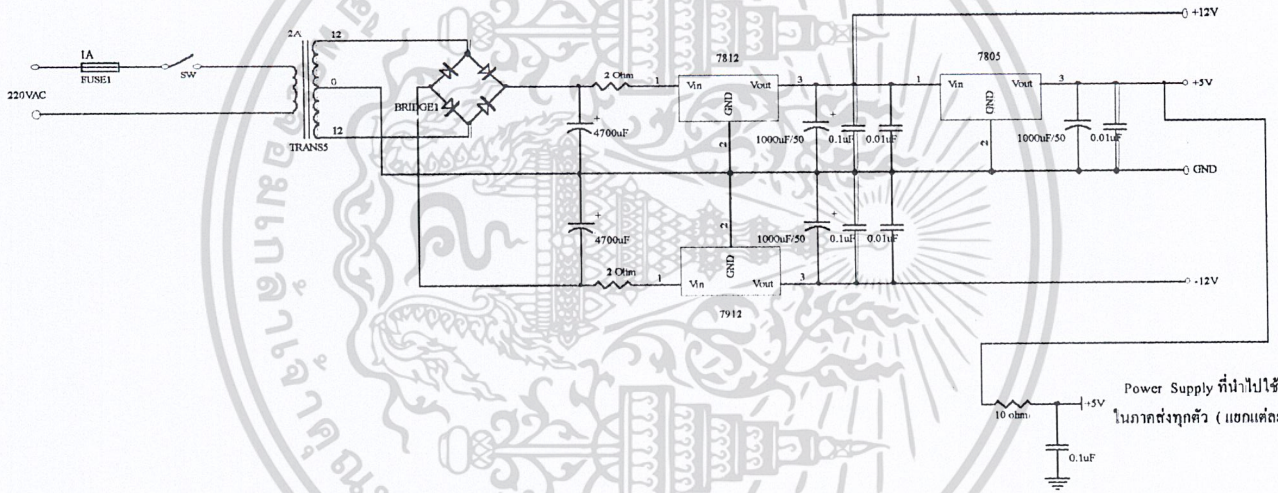
จากอุปกรณ์ที่ใช้ในการทำโปรเจคจะเห็นว่าวงจรยังมีขนาดใหญ่ ซึ่งสามารถทำให้มีขนาดเล็กลงได้ เช่น ใช้ IC จำพวก อีพรอม , แกล ไมโครโปรเซสเซอร์ ในการสังเคราะห์ความถี่และรวมบิท ฯลฯ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

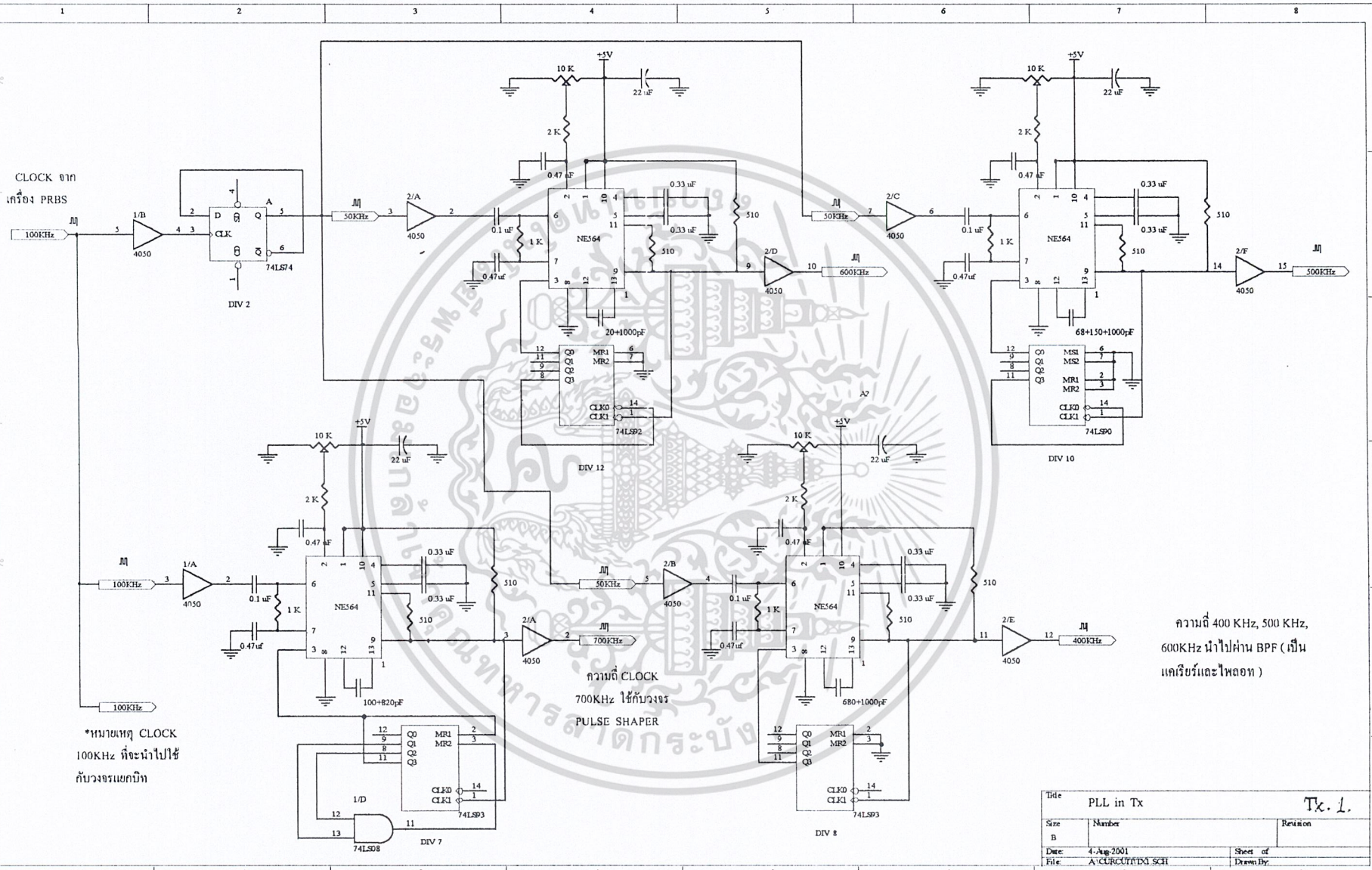


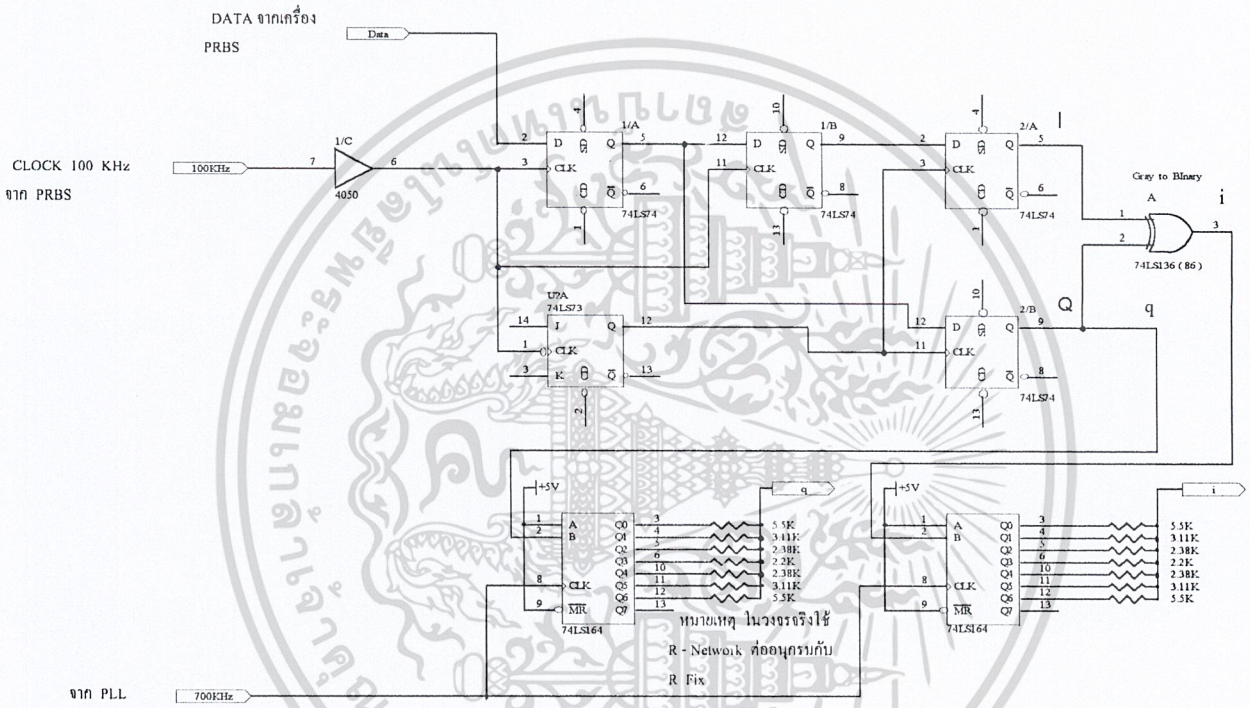
ภาคผนวก

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

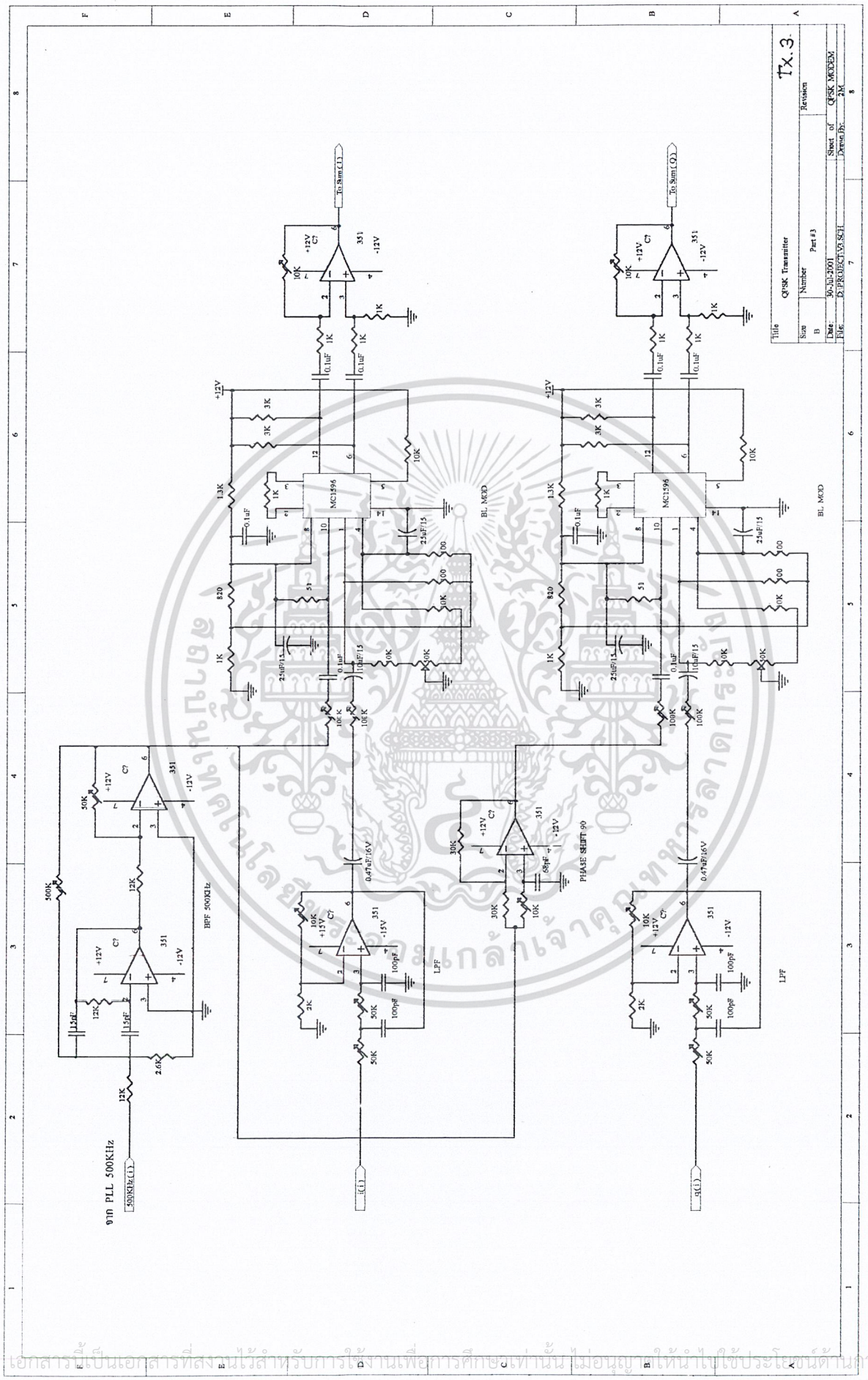


Title	POWER SUPLY Tx		
Size B	Number		Revision
Date:	30-Jul-2001	Sheet of	
File:	D:\PROJECT\SUPPLY.SCH	Drawn By:	

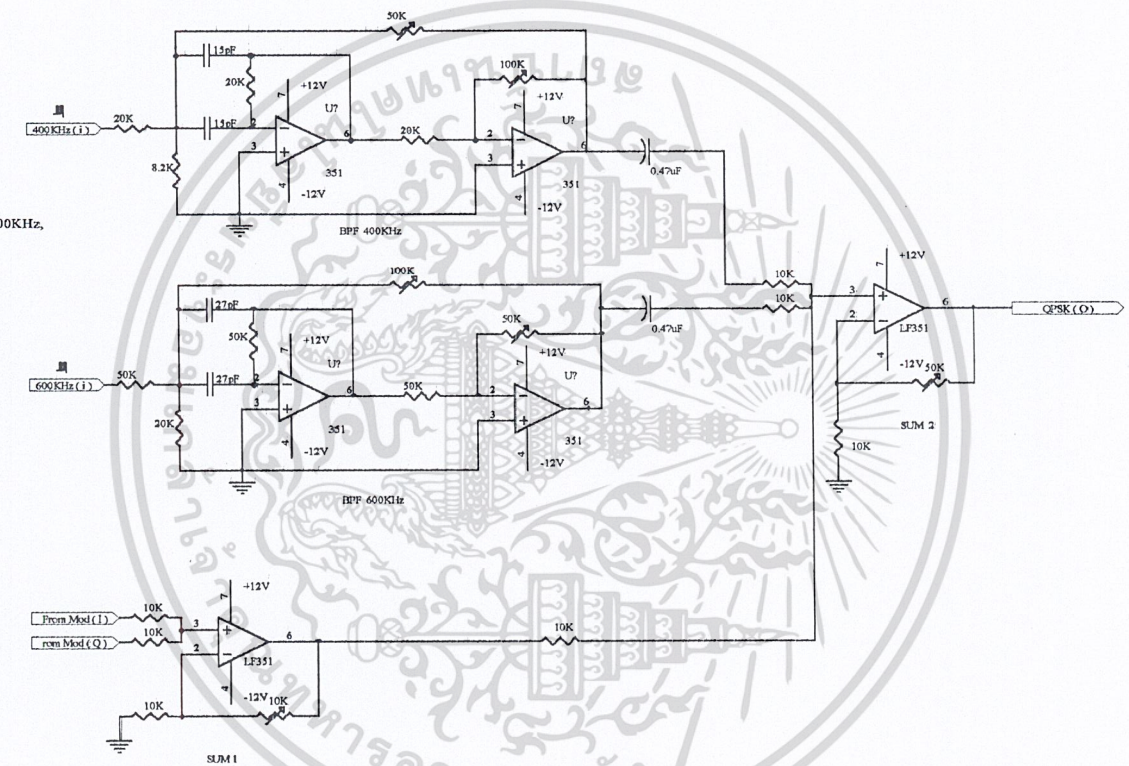

CLOCK จาก
เครื่อง PRBS
100KHz
1/B
4050
74LS74
DIV 2
50KHz
2/A
4050
+5V
10 K
22 uF
2 K
0.47 uF
0.1 uF
1 K
0.47uf
NE564
0.33 uF
510
20+1000pF
74LS92
DIV 12
2/D
600KHz
2/C
68+150+1000pF
74LS90
DIV 10
2/F
500KHz
1/A
100KHz
100+820pF
74LS93
1/D
74LS08
DIV 7
700KHz
2/B
680+1000pF
DIV 8
2/E
400KHz
*หมายเหตุ CLOCK
100KHz ที่จะนำไปใช้
กับวงจรแยกบิท
ความถี่ CLOCK
700KHz ใช้กับวงจร
PULSE SHAPER
ความถี่ 400 KHz, 500 KHz,
600KHz นำไปผ่าน BPF (เป็น
แคเรียร์และไพลอท)
Title
PLL in Tx
Tx. 1.
Size
B
Number
Revision
Date: 4-Aug-2001
Sheet of
File: A:\CURCUIT\TX1.SCH
Drawn By:



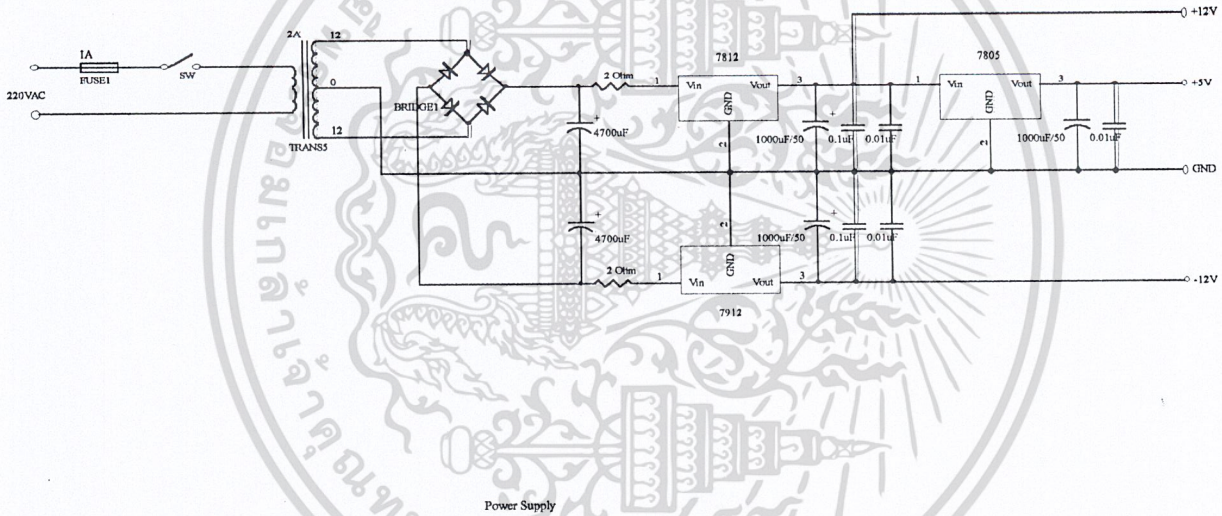
Title: QPSK Transmitter			Tx. 2.
Size: B	Number: Part #2		Revision:
Date: 4-Aug-2001		Sheet of:	QPSK MODEM
File: D:\PROJECT\CURCUIT2\TX2.SCH		Drawn By:	2M



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

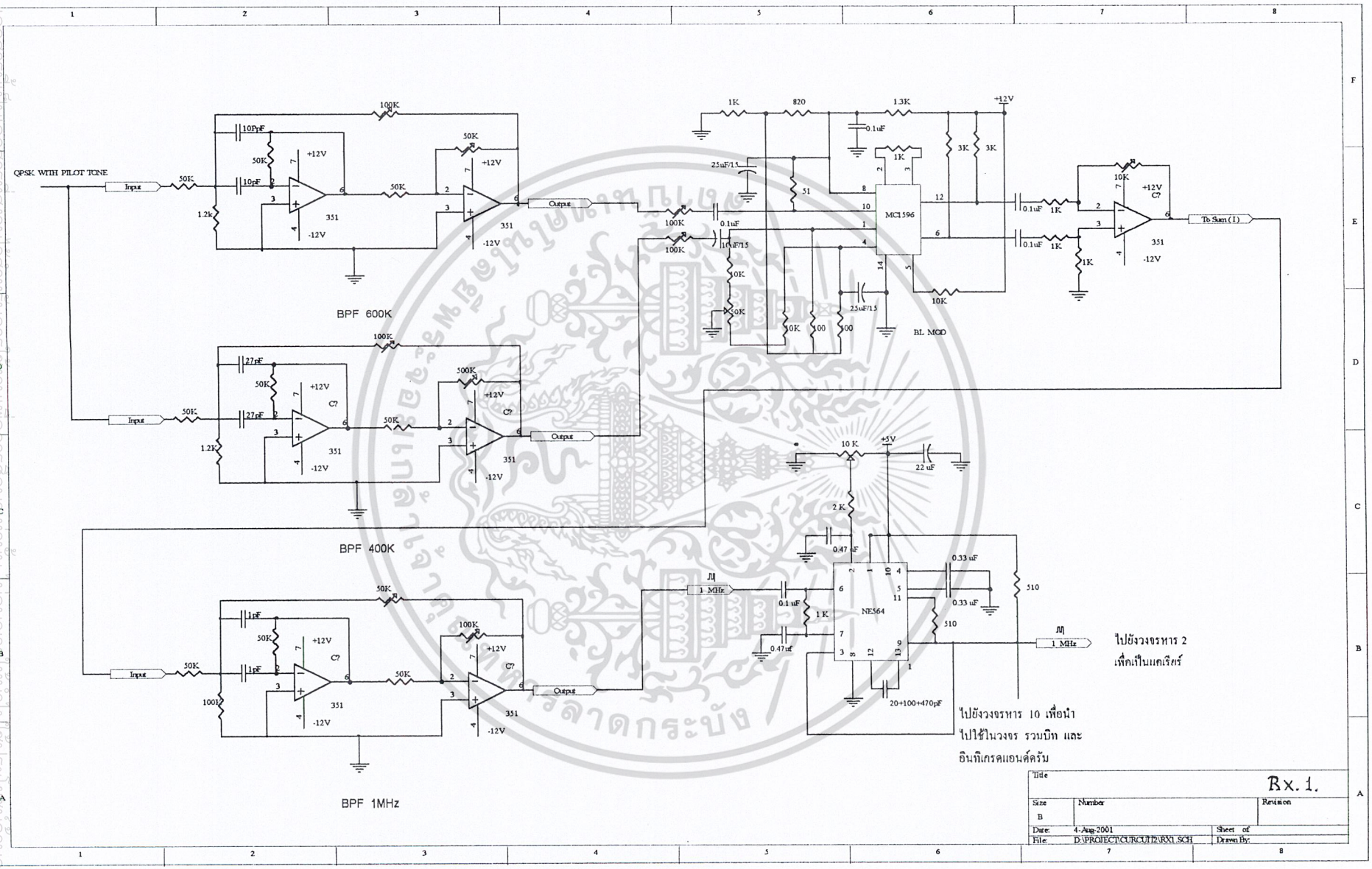


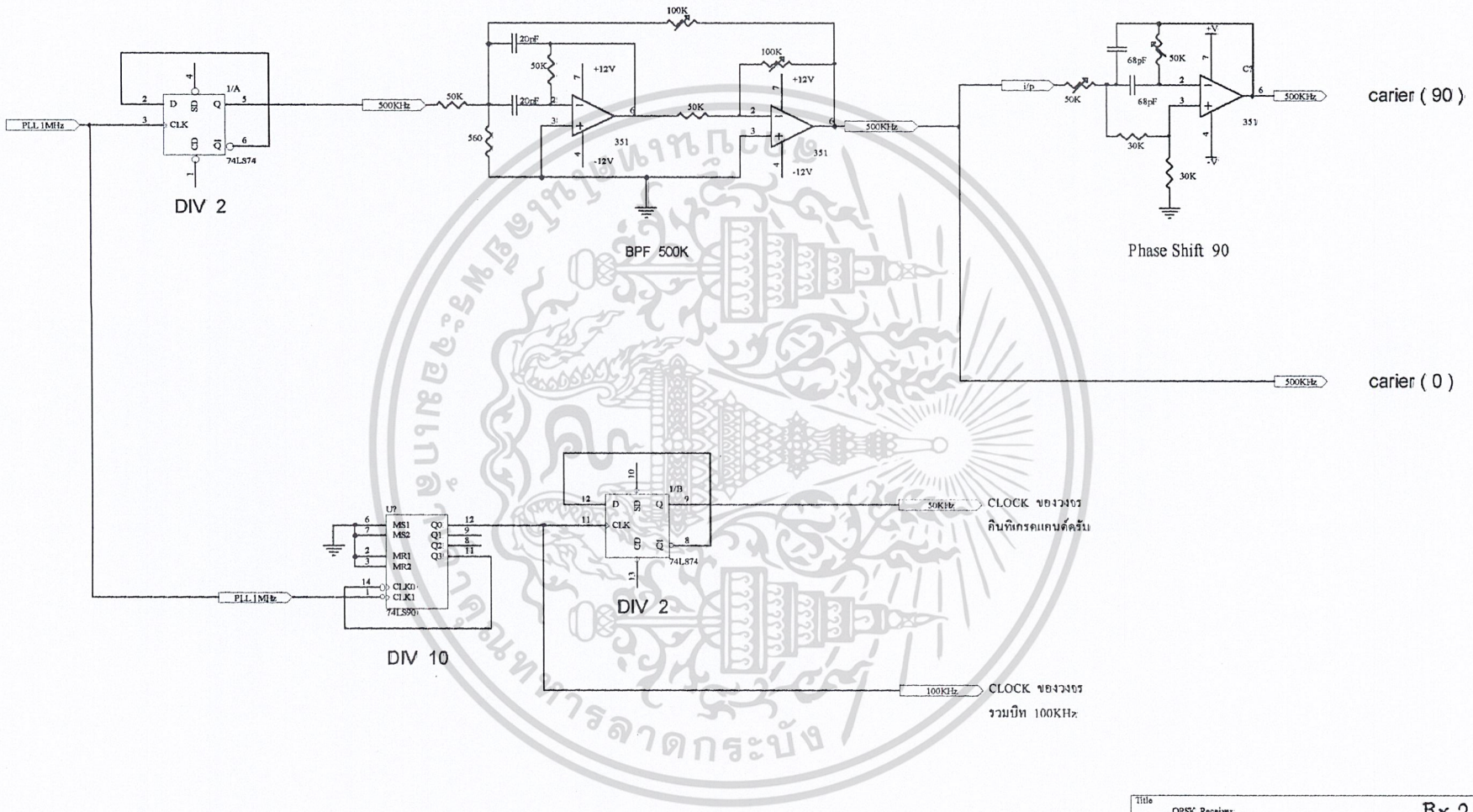
Title	QPSK Transmitter		Tx. 4.
Size B	Number Part #4		Revision
Date:	30-Jul-2001	Sheet of	QPSK MODEM
File:	D:\PROJECT\V4.SCH	Drawn By:	2M

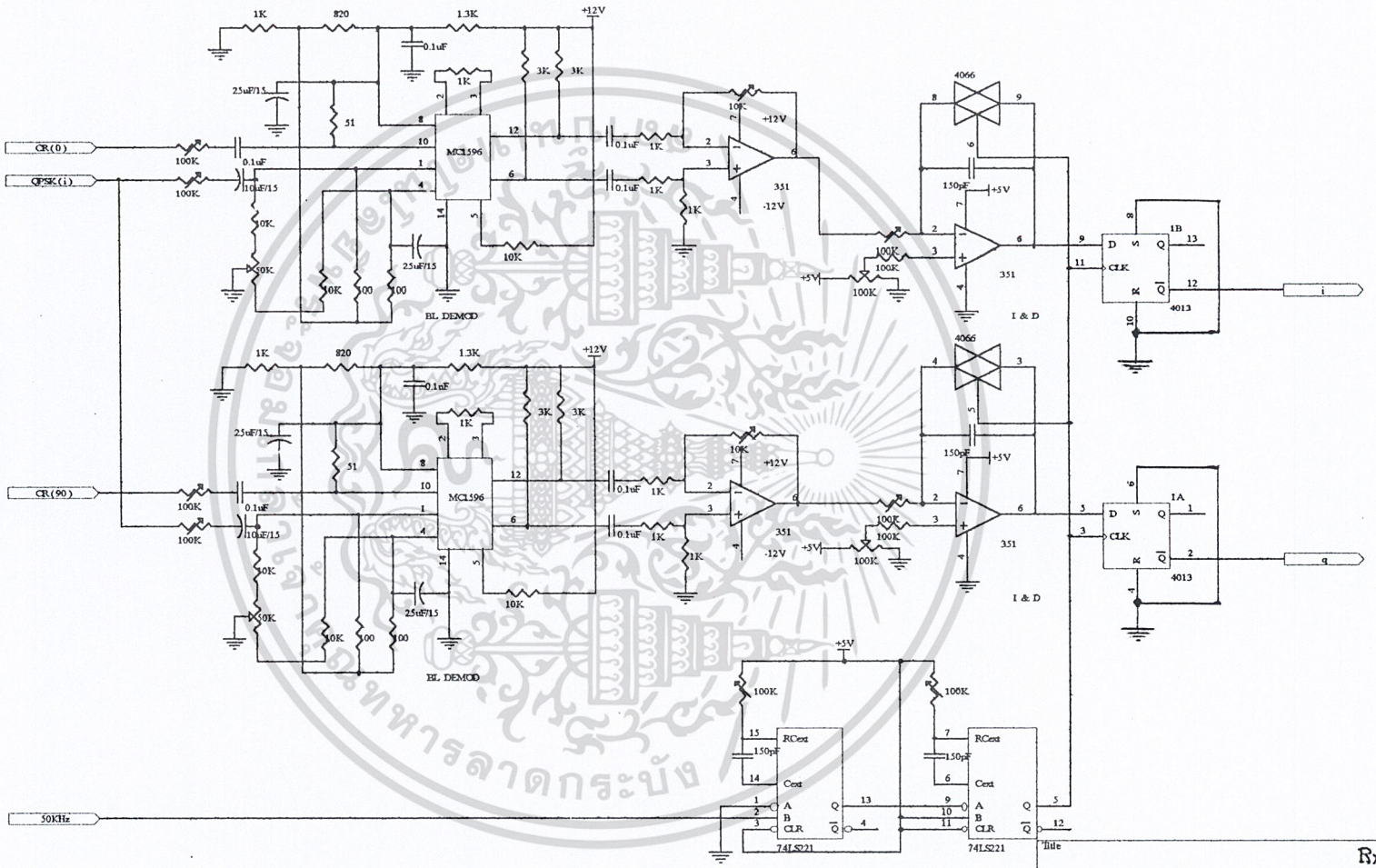


Power Supply

Title	POWER SUPPLY Rx		
Size B	Number		Revision
Date:	30-Jul-2001	Sheet of	
File:	D:\PROJECT\SUPPLY.SCH	Drawn By:	

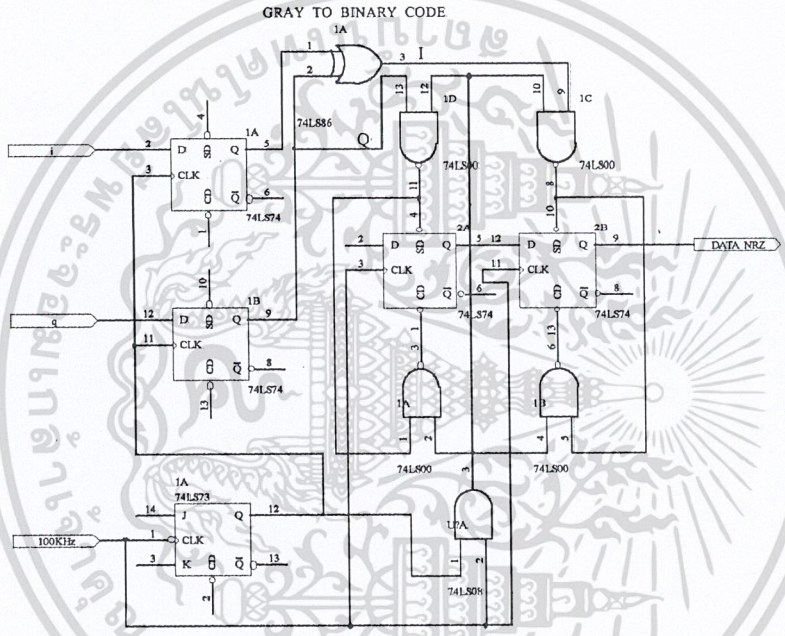

QPSK WITH PILOT TONE
Input
50K
1.2k
10PnF
10pF
100K
50K
+12V
-12V
351
Output
BPF 600K
27nF
500K
C7
1.2K
BPF 400K
1nF
1001
BPF 1MHz
1K
820
1.3K
0.1uF
3K
25uF/15
51
MC1596
10K
100
BL MOD
To Sum (I)
10 K
+5V
22 uF
2 K
0.47 uF
0.33 uF
510
NE564
1 MHz
0.1 uF
0.47uf
20+100+470pF
ไปยังวงจรหาร 2
เพื่อเป็นแคเรียร์
ไปยังวงจร 10 เพื่อนำ
ไปใช้ในวงจร รวมบิท และ
อินทิเกรดแอนด์ดัมพ์
Title
Rx. 1.
Size
B
Number
Revision
Date: 4-Aug-2001
Sheet of
File: D:\PROJECT\CURCUIT2\RX1.SCH
Drawn By:


PLL 1MHz
74LS74
DIV 2
500KHz
50K
20pF
100K
560
+12V
-12V
351
BPF 500K
i/p
68pF
30K
Phase Shift 90
carier (90)
carier (0)
74LS90
DIV 10
CLOCK ของวงจร
ดิบที่กรดแคนด์ดรีบ
CLOCK ของวงจร
รวมบิท 100KHz
Title
QPSK Receiver
Rx. 2.
Size
B
Number
Part #2
Revision
Date: 30-Jul-2001
Sheet of
QPSK MODEM
File: D:\PROJECT\P2.SCH
Drawn By: 2M

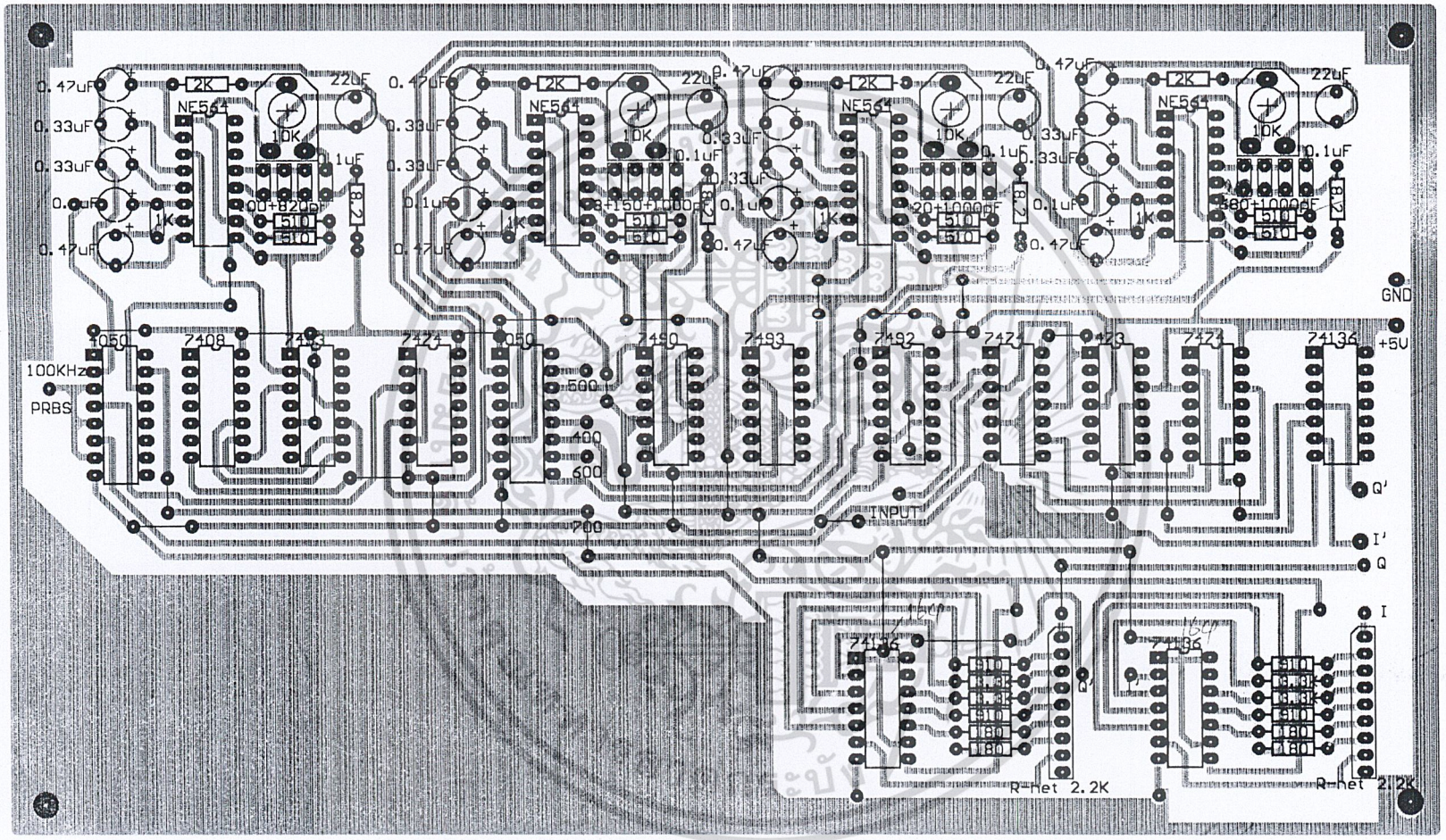


Rx.3.

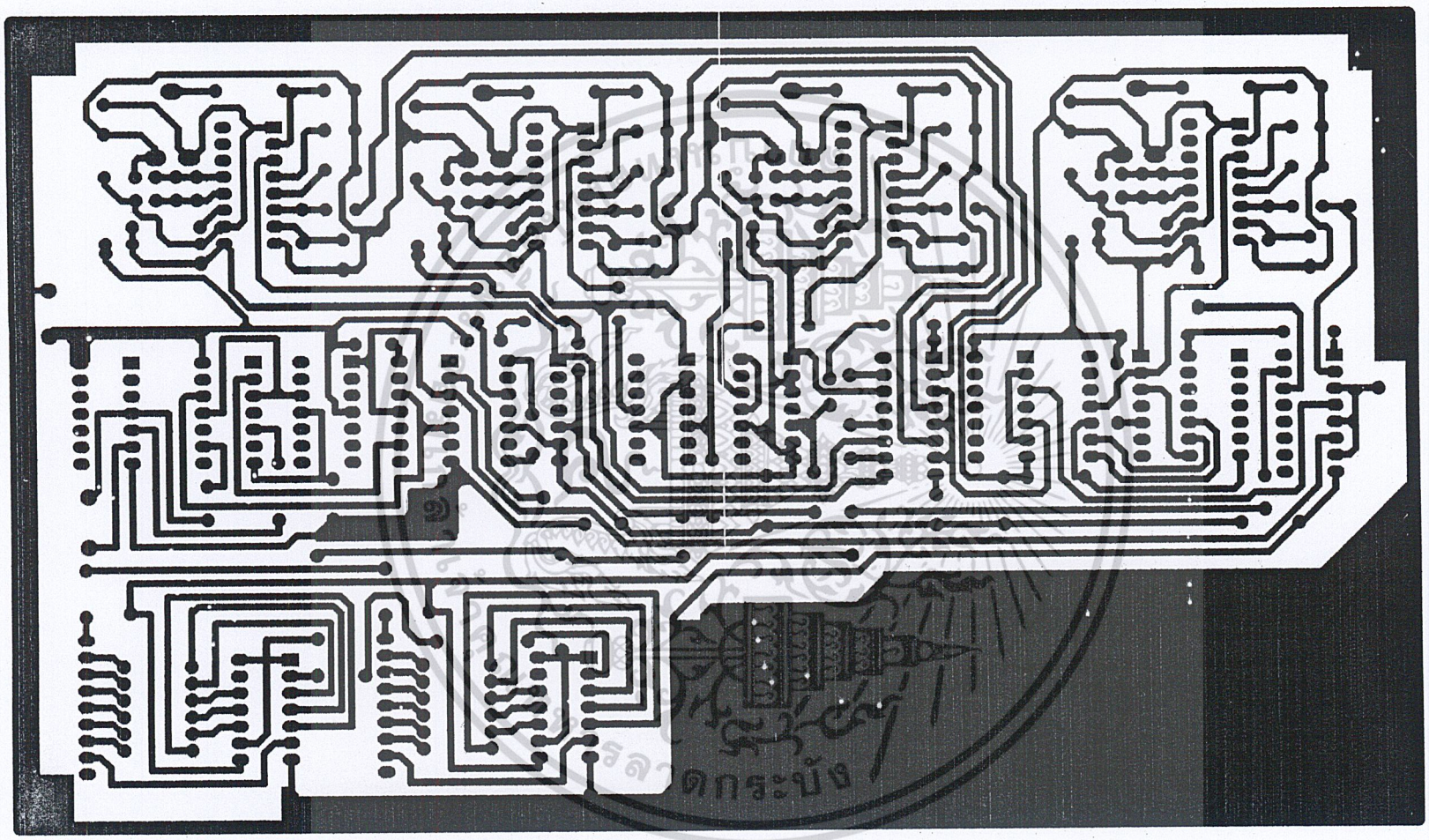
Size	Number	Revision
B		
Date:	24-Sep-2001	Sheet of
File:	C:\PROJECT\CERCUIT\PROJECT\R3.SCH	Drawn by:



Title			Rx.4
Size B	Number		Revision
Date:	30-Jul-2001	Sheet of	
File:	D:\PROJECT\P4.SCH	Drawn By:	

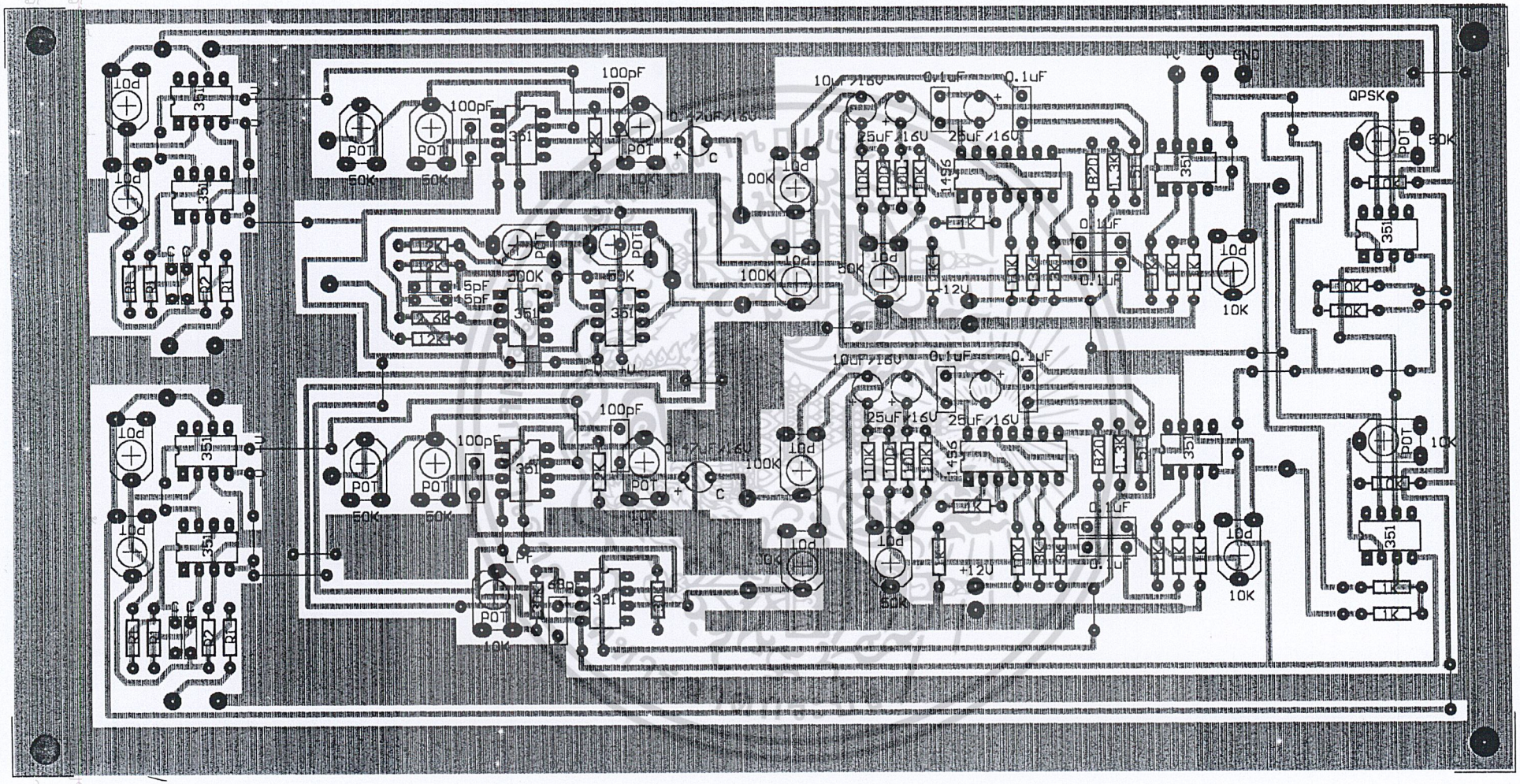


รูปที่ 1. การลงอุปกรณ์บนลายทองแดงภาคส่ง ส่วนที่ 1

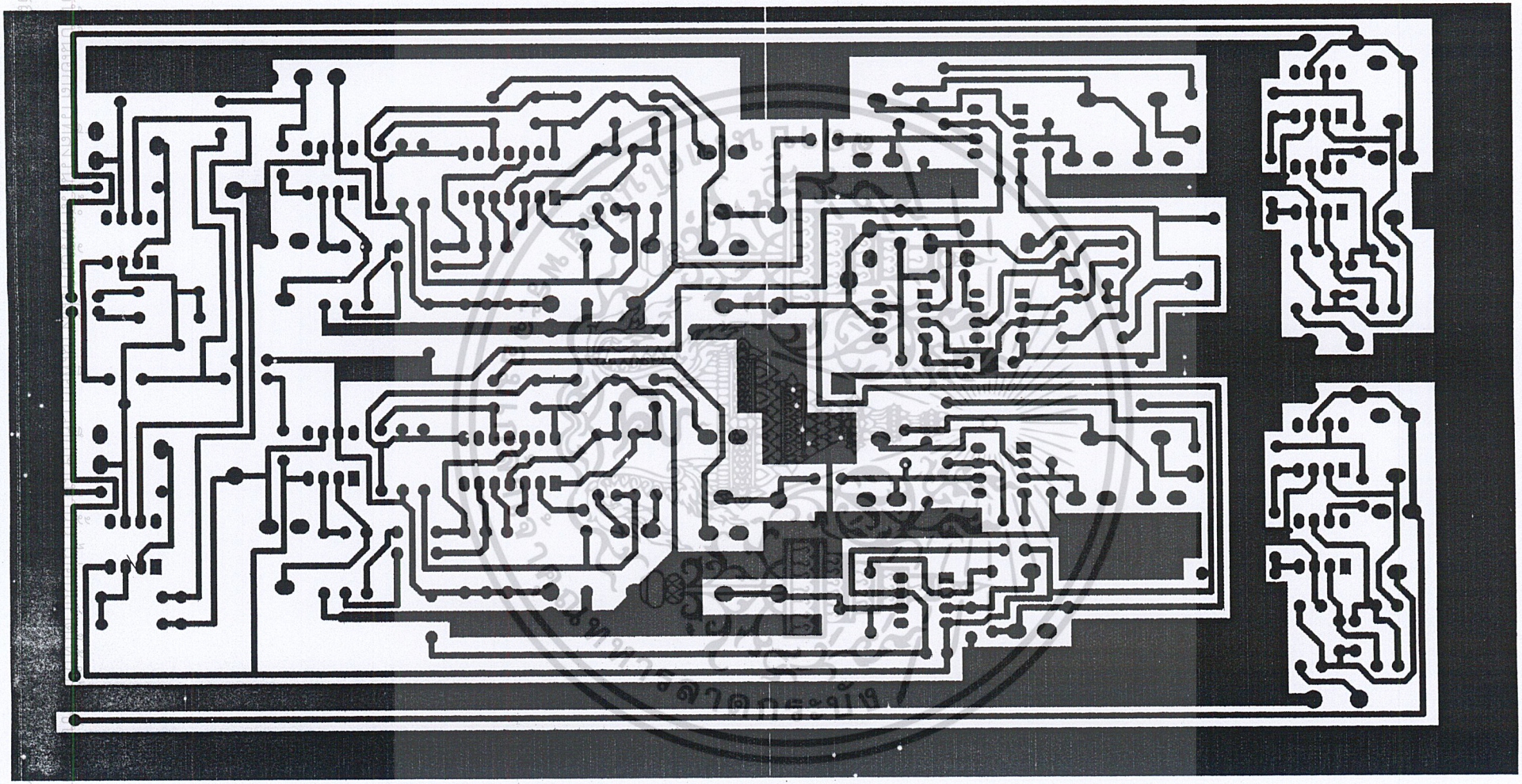


รูปที่ 2. ลายทองแดงภาคส่ง ส่วนที่ 1

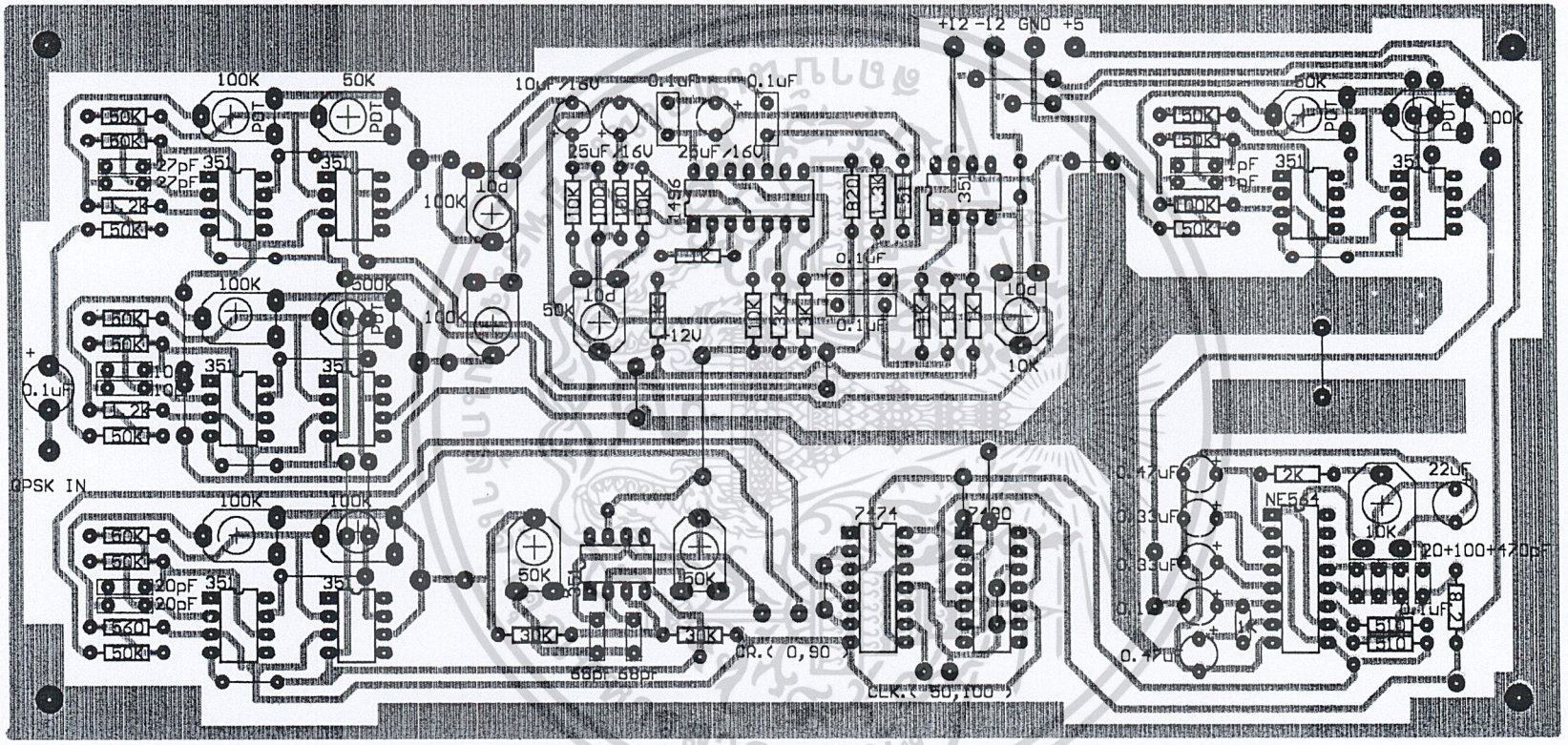
ลิขสิทธิ์ของมหาวิทยาลัยราชภัฏนครสวรรค์ ห้ามมิให้ทำซ้ำ ดัดแปลง เผยแพร่ หรือนำไปใช้ประโยชน์ทางการค้า โดยไม่ได้รับอนุญาตเป็นลายลักษณ์อักษรจากมหาวิทยาลัยราชภัฏนครสวรรค์ ผู้ใดฝ่าฝืนมีความผิดตามกฎหมาย



รูปที่ 3.การลงอุปกรณ์บนลายทองแดงภาคส่ง ส่วนที่ 2

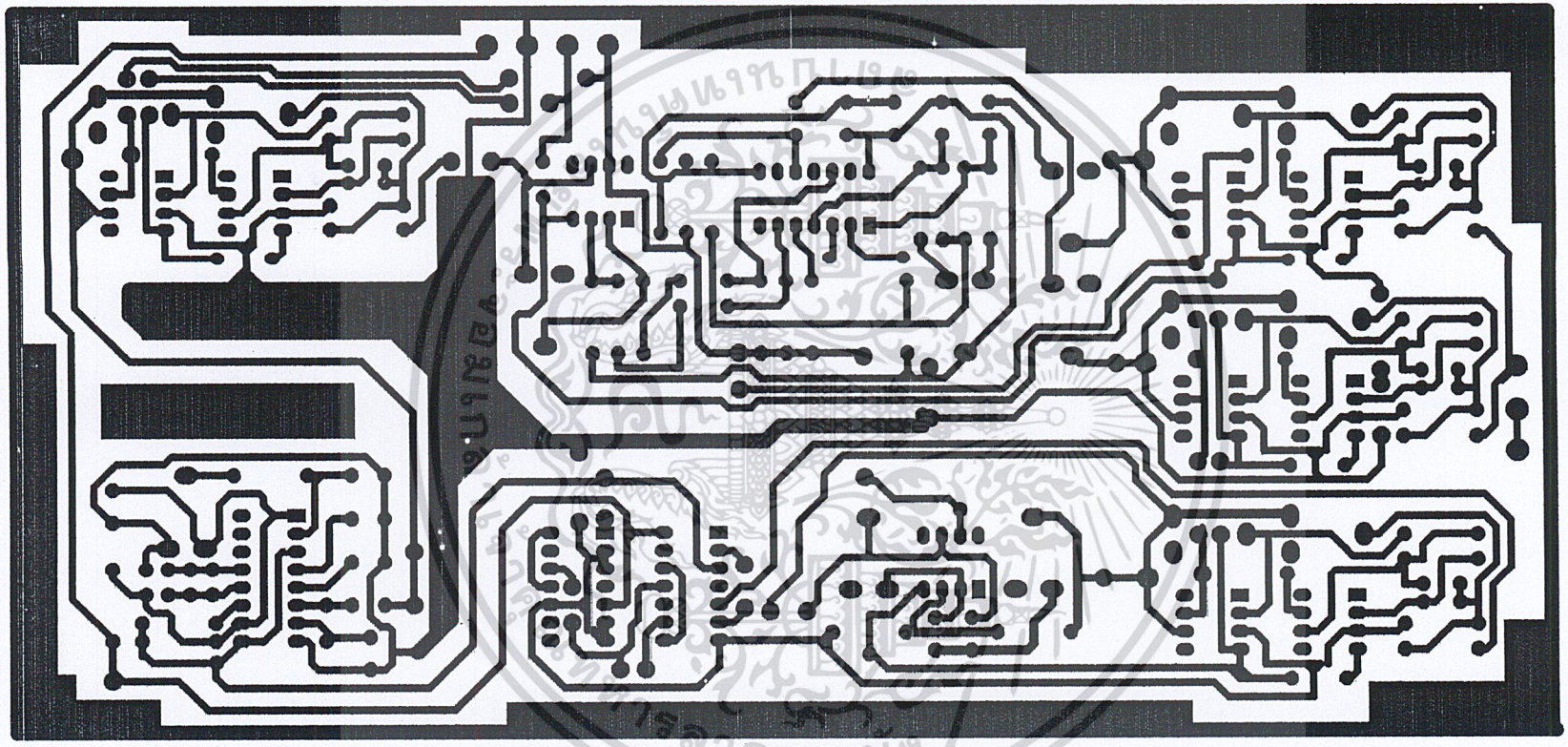


รูปที่ 4. ลายทองแดงภาคส่ง ส่วนที่ 2



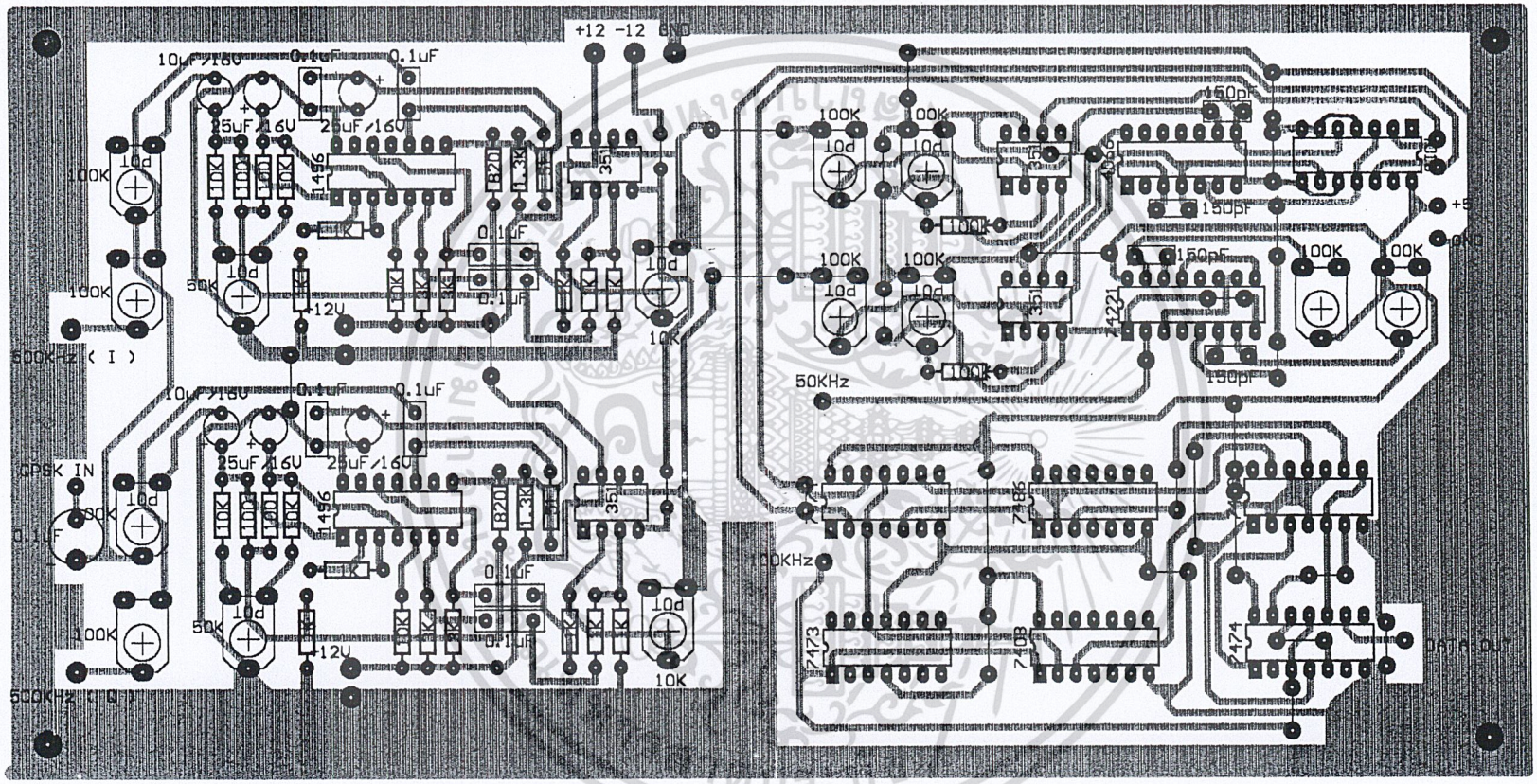
รูปที่ 5.การลงอุปกรณ์บนลายทองแดงภาครับ ส่วนที่ 1

ลิขสิทธิ์ของมหาวิทยาลัยเทคโนโลยีพระจอมเกล้าพระนครเหนือ ห้ามมิให้ทำซ้ำ ดัดแปลง เผยแพร่ หรือนำไปใช้ประโยชน์ทางการค้า โดยไม่ได้รับอนุญาตเป็นลายลักษณ์อักษรจากมหาวิทยาลัย

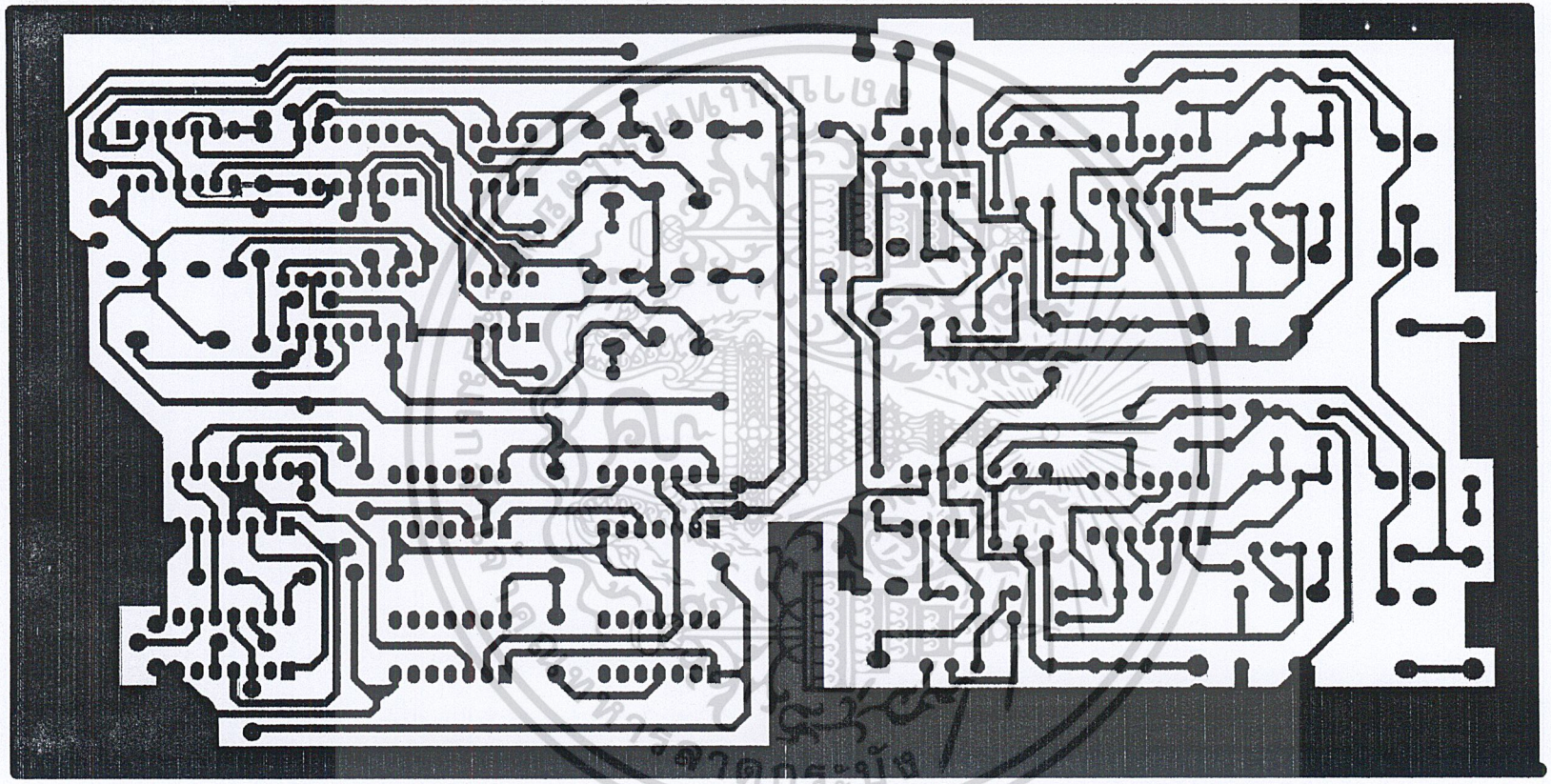


รูปที่ 6. ลายทองแดงภาครับ ส่วนที่ 1

ลิขสิทธิ์ของจุฬาลงกรณ์มหาวิทยาลัย ห้ามมิให้ทำซ้ำ ดัดแปลง เผยแพร่ หรือนำไปใช้ประโยชน์ทางการค้า โดยไม่ได้รับอนุญาตเป็นลายลักษณ์อักษรจากเจ้าของลิขสิทธิ์ ผู้ฝ่าฝืนมีความผิดตามกฎหมาย



รูปที่ 7. การลงอุปกรณ์บนลายทองแดงภาครับ ส่วนที่ 2



รูปที่ 8. ลายทองแดงภาครับ ส่วนที่ 2

ลิขสิทธิ์ของมหาวิทยาลัยเชียงใหม่
ไม่อนุญาตให้ทำซ้ำ ดัดแปลง หรือจำหน่ายต่อ ไม่ว่ากรณีใดๆ ทั้งสิ้น

เอกสารอ้างอิง

1. JACK SMITH ,Modern Communication Circuit, McGraw-Hill, 1992.
2. RAMAKANT A. GAYAKWAD ,OP-AMP AND LINEAR INTERGRATE CIRCUIT, 2nd ed., Prentice-Hill ,Engle Wook Cliffs ,New Jersey , 1988.
3. DAN H. WOLAVER ,Phase-Locked Loop Circuit Design, Prentice-Hill , Engle Wood Cliffs New Jersey , 1991.
4. L.C. COUCH ,Digital and Analog Communication Sysyem, 4th ed., Macmillan ,New York, 1993.
5. บัณฑิต โรจน์อารยานนท์ ,หลักการไฟฟ้าสื่อสาร, สำนักพิมพ์จุฬาลงกรณ์ มหาวิทยาลัย, 2533.
6. ยอด นาคเจือทอง ,Pilot Tone Synchronization In QPSK Modem, ปริญญานิพนธ์อุตสาหกรรมศาสตร์บัณฑิต สถาบันเทคโนโลยี พระจอมเกล้าเจ้าคุณทหารลาดกระบัง, 2537

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Phase-locked loop NE/SE564

DESCRIPTION

The NE/SE564 is a versatile, high guaranteed frequency phase-locked loop designed for operation up to 50MHz. As shown in the Block Diagram, the NE/SE564 consists of a VCO, limiter, phase comparator, and post detection processor.

FEATURES

- Operation with single 5V supply
- TTL-compatible inputs and outputs
- Guaranteed operation to 50MHz
- External loop gain control
- Reduced carrier feedthrough
- No elaborate filtering needed in FSK applications
- Can be used as a modulator
- Variable loop gain (externally controlled)

PIN CONFIGURATIONS

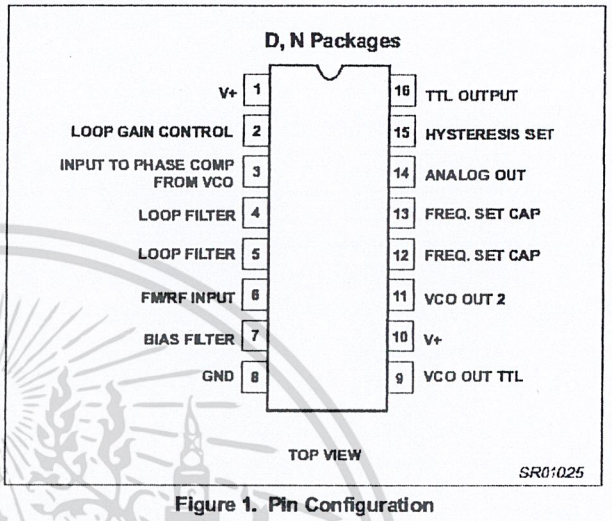


Figure 1. Pin Configuration

APPLICATIONS

- High speed modems
- FSK receivers and transmitters
- Frequency Synthesizers
- Signal generators
- Various satcom/TV systems
- pin configuration

ORDERING INFORMATION

DESCRIPTION	TEMPERATURE RANGE	ORDER CODE	DWG #
16-Pin Plastic Small Outline (SO) Package	0 to +70°C	NE564D	SOT109-1
16-Pin Plastic Dual In-Line Package (DIP)	0 to +70°C	NE564N	SOT38-4
16-Pin Plastic Dual In-Line Package (DIP)	-55 to +125°C	SE564N	SOT38-4

BLOCK DIAGRAM

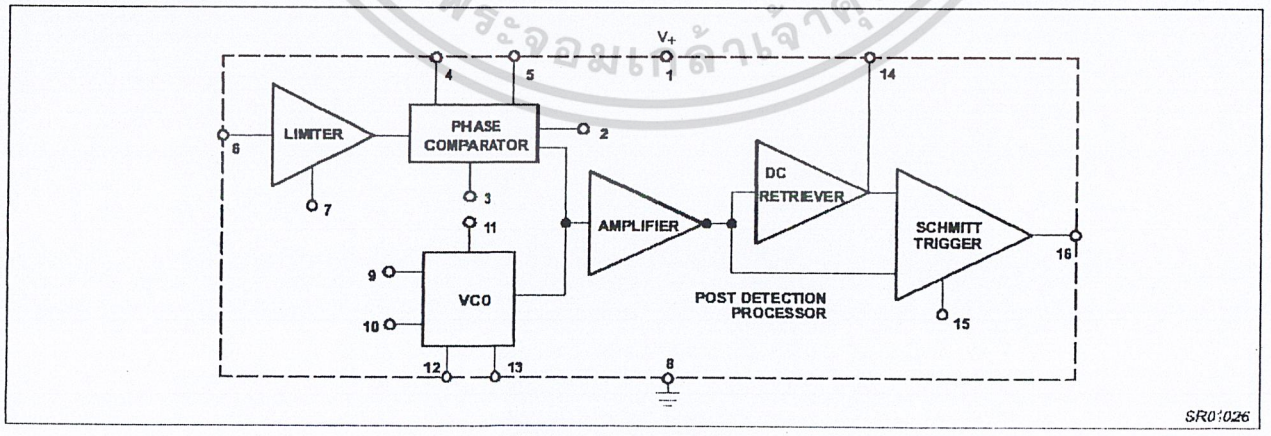


Figure 2. Block Diagram

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ABSOLUTE MAXIMUM RATINGS

SYMBOL	PARAMETER	RATING	UNITS
V+	Supply voltage Pin 1 Pin 10	 14 6	 V V
I_{OUT}	Sink Max (Pin 9) and sourcing (Pin 11)	11	mA
I_{BIAS}	Bias current adjust pin (sinking)	1	mA
P_D	Power dissipation	600	mW
T_A	Operating ambient temperature NE SE	 0 to +70 -55 to +125	 °C °C
T_{STG}	Storage temperature range	-65 to +150	°C

NOTE:
Operation above 5V will require heatsinking of the case.

DC AND AC ELECTRICAL CHARACTERISTICS

V_{CC} = 5V; T_A = 0 to 25°C; f_O = 5MHz, I_2 = 400µA; unless otherwise specified.

SYMBOL	PARAMETER	TEST CONDITIONS	LIMITS SE564			LIMITS NE564			UNITS
			MIN	TYP	MAX	MIN	TYP	MAX	
	Maximum VCO frequency	C_1 = 0 (stray)	50	65		45	60		MHz
	Lock range	Input ≥ 200mV$_{RMS}$ T_A = 25°C T_A = 125°C T_A = -55°C T_A = 0°C T_A = 70°C	 40 20 50	 70 30 80	 	 40 	 70 70 40	 	% of f_O
	Capture range	Input ≥ 200mV$_{RMS}$, R_2 = 27Ω	20	30		20	30		% of f_O
	VCO frequency drift with temperature	f_O = 5MHz, T_A = -55°C to +125°C T_A = 0 to +70°C = 0 to +70°C f_O = 5MHz, T_A = -55°C to +125°C T_A = 0 to +70°C	 	 500 300 	 1500 800 	 	 600 500	 	PPM/°C
	VCO free-running frequency	C_1 = 91pF R_C = 100Ω "Internal"	4	5	6	3.5	5	6.5	MHz
	VCO frequency change with supply voltage	V_{CC} = 4.5V to 5.5V		3	8		3	8	% of f_O
	Demodulated output voltage	Modulation frequency: 1kHz f_O = 5MHz, input deviation: 2%T = 25°C 1%T = 25°C 1%T = 0°C 1%T = -55°C 1%T = 70°C 1%T = 125°C	 16 8 6 12	 28 14 10 16	 	 16 8 	 28 14 13 15	 	mV$_{RMS}$ mV$_{RMS}$ mV$_{RMS}$ mV$_{RMS}$ mV$_{RMS}$ mV$_{RMS}$
	Distortion	Deviation: 1% to 8%		1			1		%
S/N	Signal-to-noise ratio	Std. condition, 1% to 10% dev.		40			40		dB
	AM rejection	Std. condition, 30% AM		35			35		dB
	Demodulated output at operating voltage	Modulation frequency: 1kHz f_O = 5MHz, input deviation: 1% V_{CC} = 4.5V V_{CC} = 5.5V	 7 8	 12 14	 	 7 8	 12 14	 	mV$_{RMS}$ mV$_{RMS}$
I_{CC}	Supply current	V_{CC} = 5V I_1, I_{10}		45	60		45	60	mA
	Output "1" output leakage current "0" output voltage	 V_{OUT} = 5V, Pins 16, 9 I_{OUT} = 2mA, Pins 16, 9 I_{OUT} = 6mA, Pins 16, 9	 	 1 0.3 0.4	 20 0.6 0.8	 	 1 0.3 0.4	 20 0.6 0.8	 µA V V

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ ดัดแปลง เผยแพร่ หรือแสวงหาประโยชน์ทางการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

TYPICAL PERFORMANCE CHARACTERISTICS

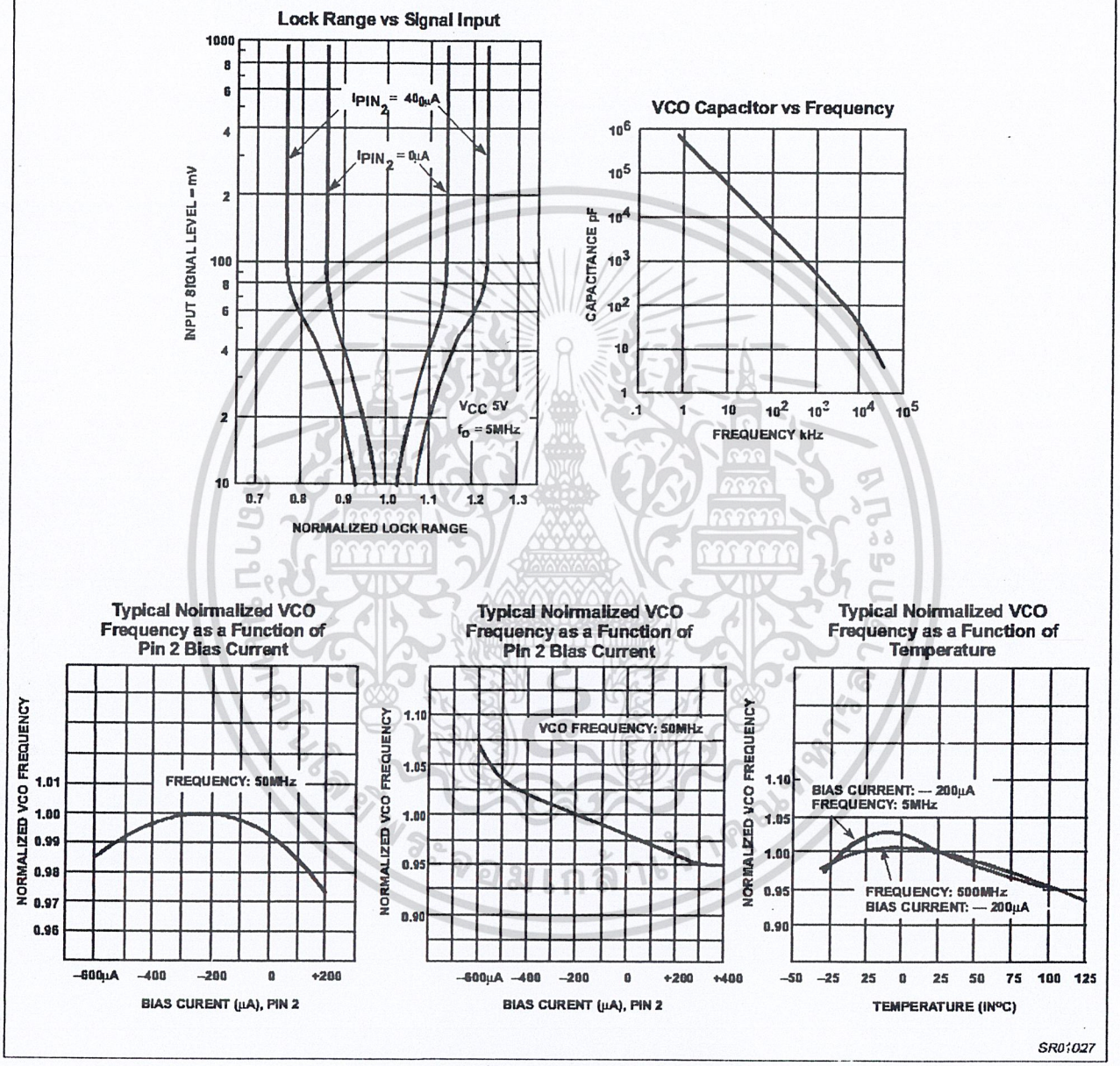


Figure 3. Typical Performance Characteristics

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

TYPICAL PERFORMANCE CHARACTERISTICS (Continued)

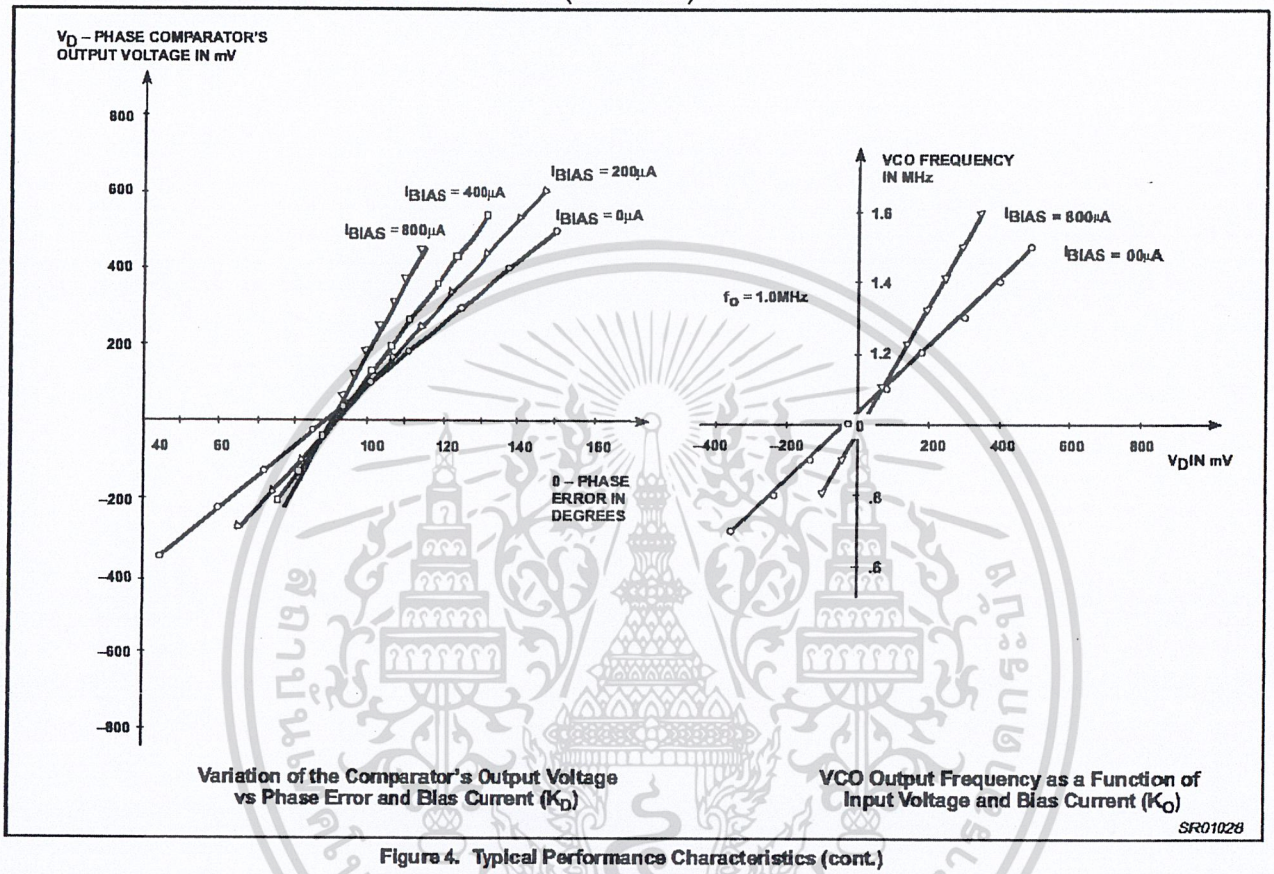


Figure 4. Typical Performance Characteristics (cont.)

TEST CIRCUIT

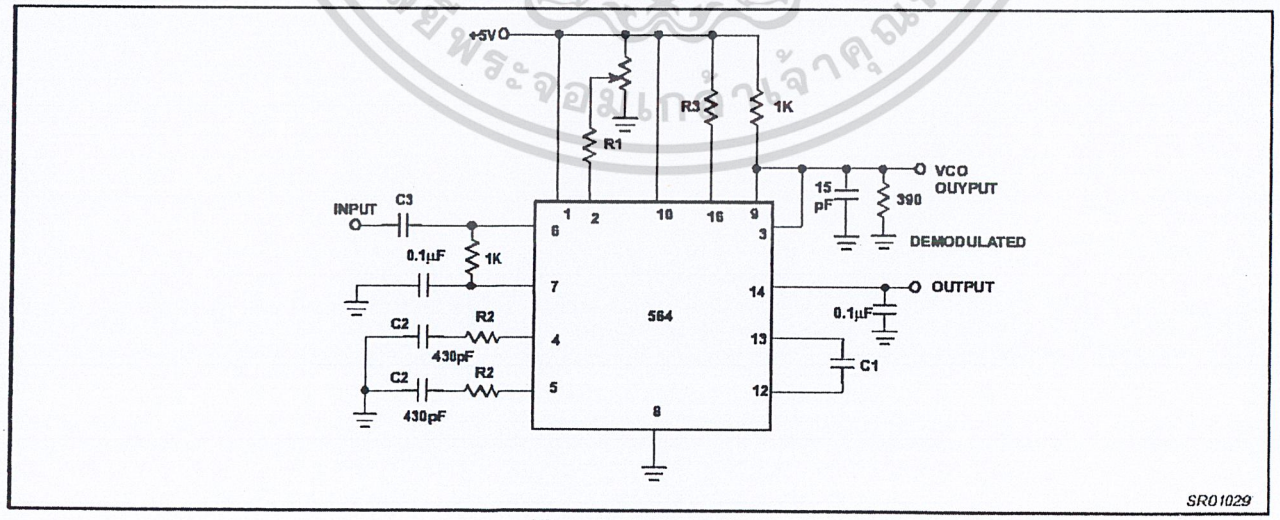


Figure 5. Test Circuit

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

FUNCTIONAL DESCRIPTION

(Figure 6)

The NE564 is a monolithic phase-locked loop with a post detection processor. The use of Schottky clamped transistors and optimized device geometries extends the frequency of operation to greater than 50MHz.

In addition to the classical PLL applications, the NE564 can be used as a modulator with a controllable frequency deviation.

The output of the PLL can be written as shown in the following equation:

$$V_O = \frac{(f_{IN} - f_O)}{K_{VCO}} \quad (1)$$

K_{VCO} = conversion gain of the VCO

f_{IN} = frequency of the input signal

f_O = free-running frequency of the VCO

The process of recovering FSK signals involves the conversion of the PLL output into logic compatible signals. For high data rates, a considerable amount of carrier will be present at the output of the PLL due to the wideband nature of the loop filter. To avoid the use of complicated filters, a comparator with hysteresis or Schmitt trigger is required. With the conversion gain of the VCO fixed, the output voltage as given by Equation 1 varies according to the frequency deviation of f_{IN} from f_O. Since this differs from system to system, it is necessary that the hysteresis of the Schmitt trigger be capable of being changed, so that it can be optimized for a particular system. This is accomplished in the 564 by varying the voltage at Pin 15 which results in a change of the hysteresis of the Schmitt trigger.

For FSK signals, an important factor to be considered is the drift in the free-running frequency of the VCO itself. If this changes due to temperature, according to Equation 1 it will lead to a change in the DC levels of the PLL output, and consequently to errors in the digital output signal. This is especially true for narrowband signals where the deviation in f_{IN} itself may be less than the change in f_O due to temperature. This effect can be eliminated if the DC or average value of the signal is retrieved and used as the reference to the comparator. In this manner, variations in the DC levels of the PLL output do not affect the FSK output.

VCO Section

Due to its inherent high-frequency performance, an emitter-coupled oscillator is used in the VCO. In the circuit, shown in the equivalent schematic, transistors Q21 and Q23 with current sources Q25 - Q26 form the basic oscillator. The approximate free-running frequency of the oscillator is shown in the following equation:

$$f_O \cong \frac{1}{22\, R_C\, (C_1 + C_S)} \quad (2)$$

$R_C = R_{19} = R_{20} = 100\Omega$ (INTERNAL)

C_1 = external frequency setting capacitor

C_S = stray capacitance

Variation of V_D (phase detector output voltage) changes the frequency of the oscillator. As indicated by Equation 2, the frequency of the oscillator has a negative temperature coefficient due to the monolithic resistor. To compensate for this, a current I_R with negative temperature coefficient is introduced to achieve a low frequency drift with temperature.

Phase Comparator Section

The phase detection processor consists of a doubled-balanced modulator with a limiter amplifier to improve AM rejection. Schottky-clamped vertical PNPs are used to obtain TTL level inputs. The loop gain can be varied by changing the current in Q_4 and Q_{15} which effectively changes the gain of the differential amplifiers. This can be accomplished by introducing a current at Pin 2.

Post Detection Processor Section

The post detection processor consists of a unity gain transconductance amplifier and comparator. The amplifier can be used as a DC retriever for demodulation of FSK signals, and as a post detection filter for linear FM demodulation. The comparator has adjustable hysteresis so that phase jitter in the output signal can be eliminated.

As shown in the equivalent schematic, the DC retriever is formed by the transconductance amplifier Q_{42} - Q_{43} together with an external capacitor which is connected at the amplifier output (Pin 14). This forms an integrator whose output voltage is shown in the following equation:

$$V_O = \frac{g_M}{C_2} \int V_{IN} dt \quad (3)$$

g_M = transconductance of the amplifier

C_2 = capacitor at the output (Pin 14)

V_{IN} = signal voltage at amplifier input

With proper selection of C_2, the integrator time constant can be varied so that the output voltage is the DC or average value of the input signal for use in FSK, or as a post detection filter in linear demodulation.

The comparator with hysteresis is made up of Q_{49} - Q_{50} with positive feedback being provided by Q_{47} - Q_{48}. The hysteresis is varied by changing the current in Q_{52} with a resulting variation in the loop gain of the comparator. This method of hysteresis control, which is a DC control, provides symmetric variation around the nominal value.

Design Formula

The free-running frequency of the VCO is shown by the following equation:

$$f_O \cong \frac{1}{22\, R_C\, (C_1 + C_S)} \quad (4)$$

$R_C = 100\Omega$

C_1 = external cap in farads

C_S = stray capacitance

The loop filter diagram shown is explained by the following equation:

$$f_S = \frac{1}{1 + sRC_3} \text{ (First Order)} \quad (5)$$

$R = R_{12} = R_{13} = 1.3k\Omega$ (Internal)*

By adding capacitors to Pins 4 and 5, a pole is added to the loop transfer at

$$\omega = \frac{1}{RC_3}$$

NOTE:
*Refer to Figure 6.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

EQUIVALENT SCHEMATIC

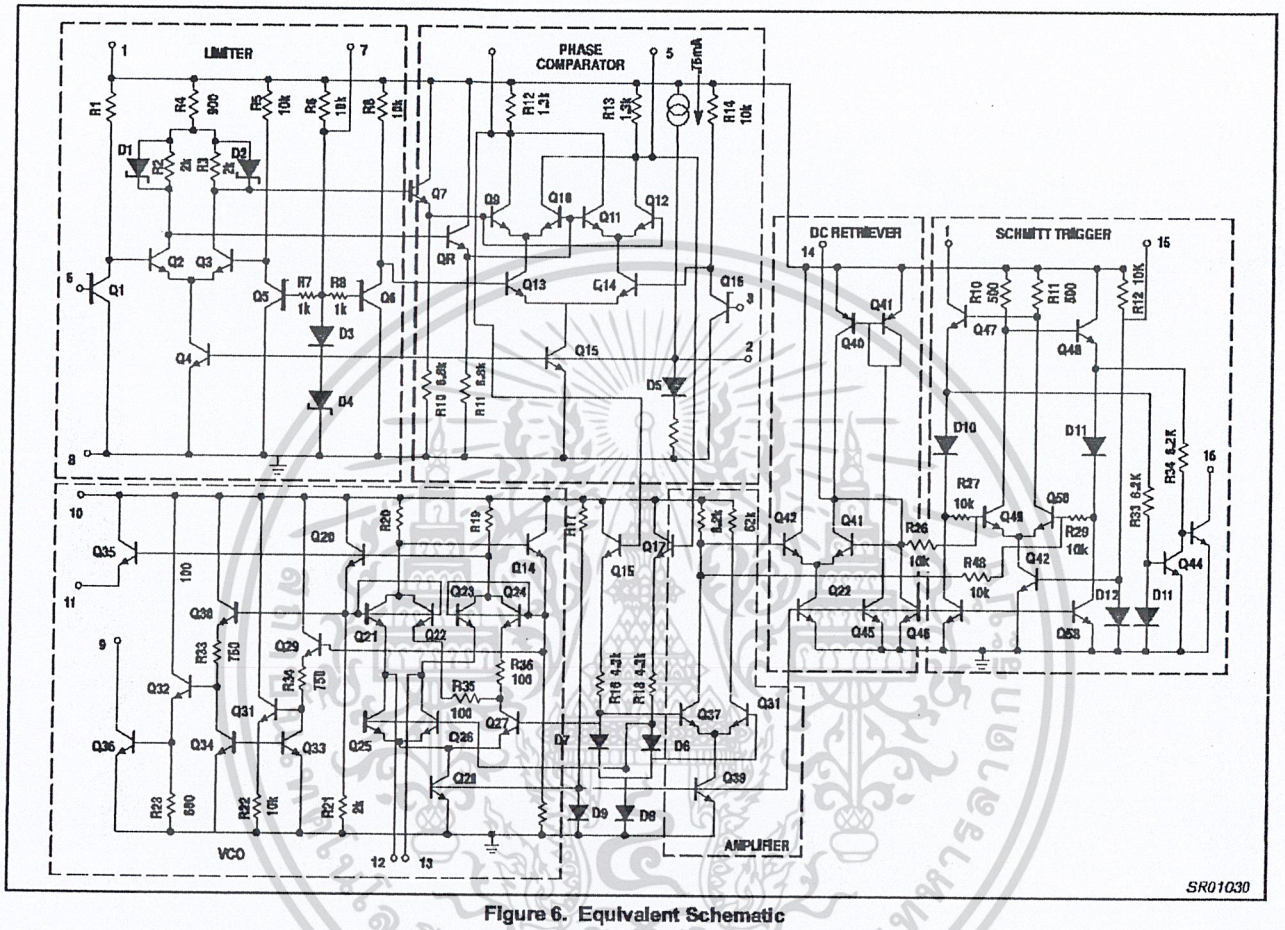


Figure 6. Equivalent Schematic

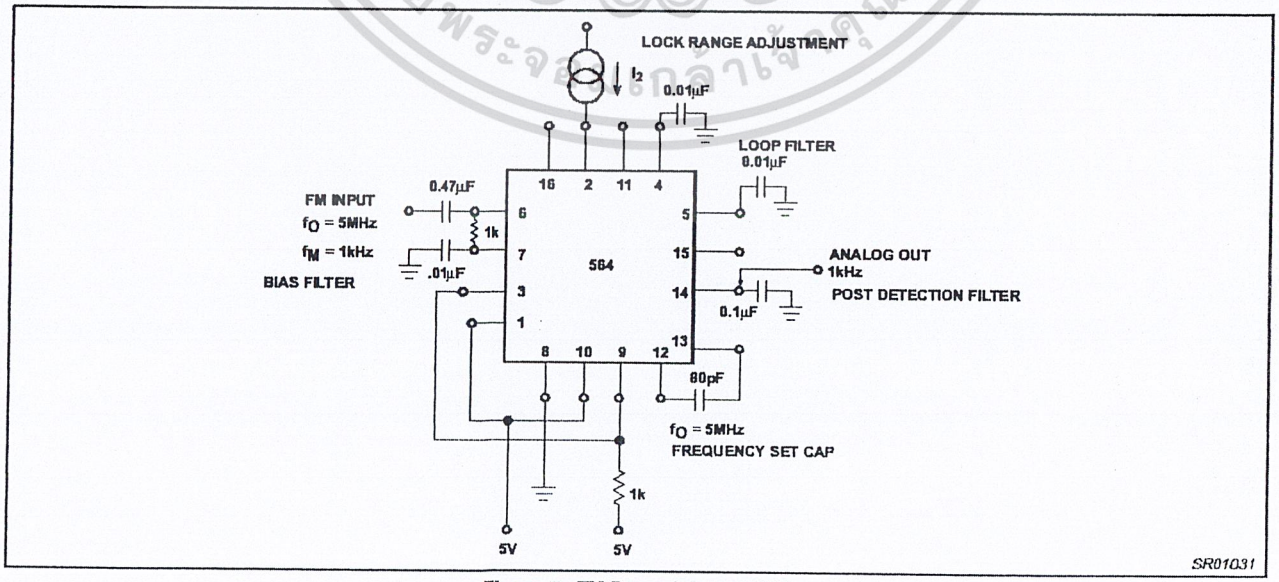


Figure 7. FM Demodulator at 5V

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

APPLICATIONS

FM Demodulator

The NE564 can be used as an FM demodulator. The connections for operation at 5V and 12V are shown in Figures 7 and 8, respectively. The input signal is AC coupled with the output signal being extracted at Pin 14. Loop filtering is provided by the capacitors at Pins 4 and 5 with additional filtering being provided by the capacitor at Pin 14. Since the conversion gain of the VCO is not very high, to obtain sufficient demodulated output signal the frequency deviation in the input signal should be 1% or higher.

Modulation Techniques

The NE564 phase-locked loop can be modulated at either the loop filter ports (Pins 4 and 5) or the input port (Pin 6) as shown in Figure 9. The approximate modulation frequency can be determined from the frequency conversion gain curve shown in Figure 10. This curve will be appropriate for signals injected into Pins 4 and 5 as shown in Figure 9.

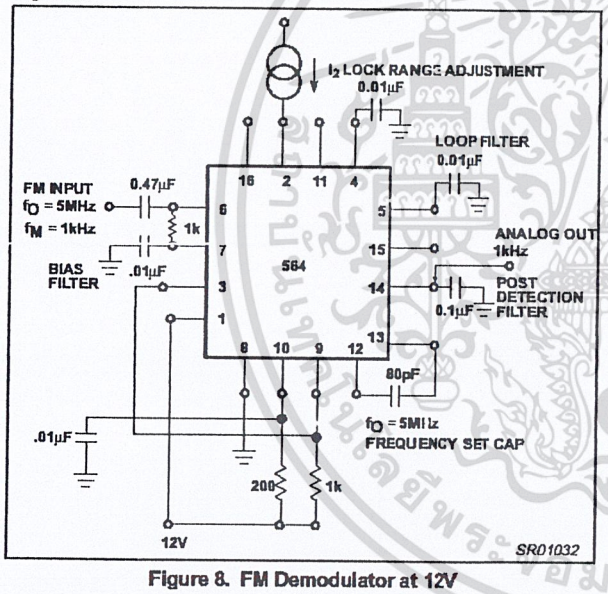


Figure 8. FM Demodulator at 12V

FSK Demodulation

The 564 PLL is particularly attractive for FSK demodulation since it contains an internal voltage comparator and VCO which have TTL compatible inputs and outputs, and it can operate from a single 5V power supply. Demodulated DC voltages associated with the mark and space frequencies are recovered with a single external capacitor in a DC retriever without utilizing extensive filtering networks. An internal comparator, acting as a Schmitt trigger with an adjustable hysteresis, shapes the demodulated voltages into compatible TTL output levels. The high-frequency design of the 564 enables it to demodulate FSK at high data rates in excess of 1.0M baud.

Figure 10 shows a high-frequency FSK decoder designed for input frequency deviations of ±1.0MHz centered around a free-running frequency of 10.8MHz. the value of the timing capacitance required was estimated from Figure 8 to be approximately 40pF. A trimmer capacitor was added to fine tune f_O' 10.8MHz.

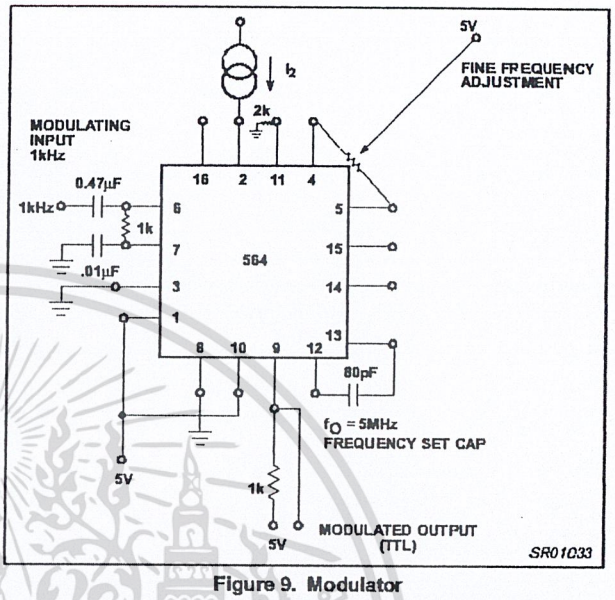


Figure 9. Modulator

The lock range graph indicates that the +1.0MHz frequency deviations will be within the lock range for input signal levels greater than approximately 50mV with zero Pin 2 bias current. (While strictly this figure is appropriate only for 50MHz, it can be used as a guide for lock range estimates at other f_O' frequencies).

The hysteresis was adjusted experimentally via the 10kΩ potentiometer and 2kΩ bias arrangement to give the waveshape shown in Figure 12 for 20k, 500k, 2M baud rates with square wave FSK modulation. Note the magnitude and phase relationships of the phase comparators' output voltages with respect to each other and to the FSK output. The high-frequency sum components of the input and VCO frequency also are viable as noise on the phase comparator's outputs.

OUTLINE OF SETUP PROCEDURE

1. Determine operating frequency of the VCO: IF+ N in feedback loop, then
   $f_O = N \times f_{IN}$.
2. Calculate value of the VCO frequency set capacitor:

$$C_O \cong \frac{1}{2200\, f_O}$$

3. Set I_2 (current sinking into Pin 2) for ≅ 100µA. After operation is obtained, this value may be adjusted for best dynamic behavior, and replace with fixed resistor value of $R_2 = \frac{V_{CC} - 1.3V}{I_{B_2}}$.
4. Check VCO output frequency with digital counter at Pin 9 of device (loop open, VCO to ϕ det.). Adjust C_O trim or frequency adj. Pins 4 - 5 for exact center frequency, if needed.
5. Close loop and inject input signal to Pin 6. Monitor Pins 3 and 6 with two-channel scope. Lock should occur with $\Delta\phi_{3-6}$ equal to 90° (phase error).

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

6. If pulsed burst or ramp frequency is used for input signal, special loop filter design may be required in place of simple single capacitor filter on Pins 4 and 5. (See PLL application section)
7. The input signal to Pin 6 and the VCO feedback signal to Pin 3 must have a duty cycle of 50% for proper operation of the phase detector. Due to the nature of a balanced mixer if signals are not 50% in duty cycle, DC offsets will occur in the loop which tend to create an artificial or biased VCO.
8. For multiplier circuits where phase jitter is a problem, loop filter capacitors may be increased to a value of 10 - 50µF on Pins 4, 5. Also, careful supply decoupling may be necessary. This includes the counter chain V_{CC} lines.

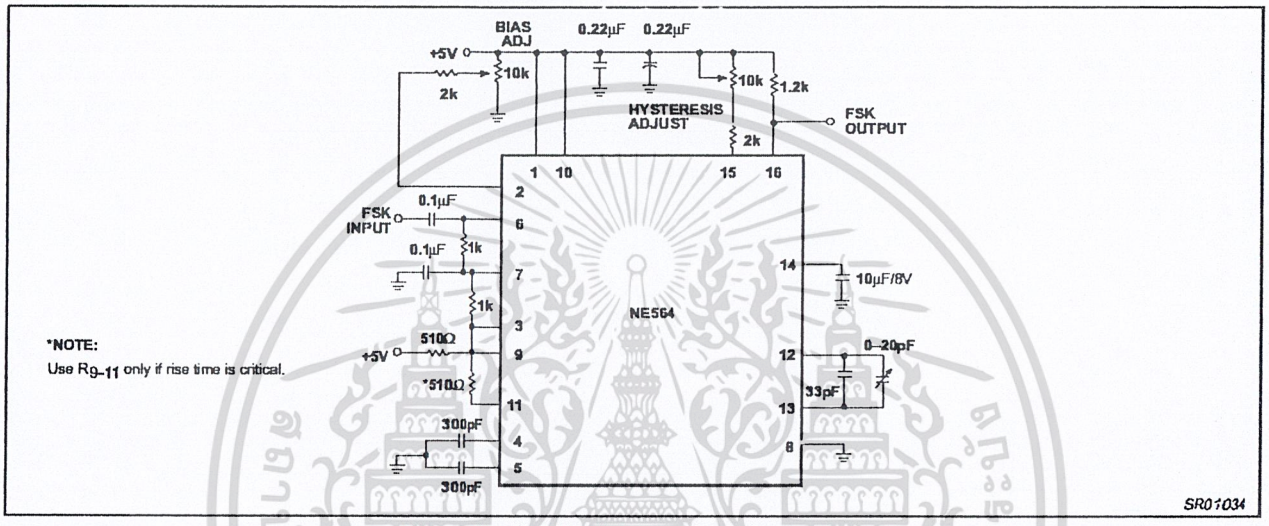


Figure 10. 10.9MHz FSK Decoder Using the 564

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

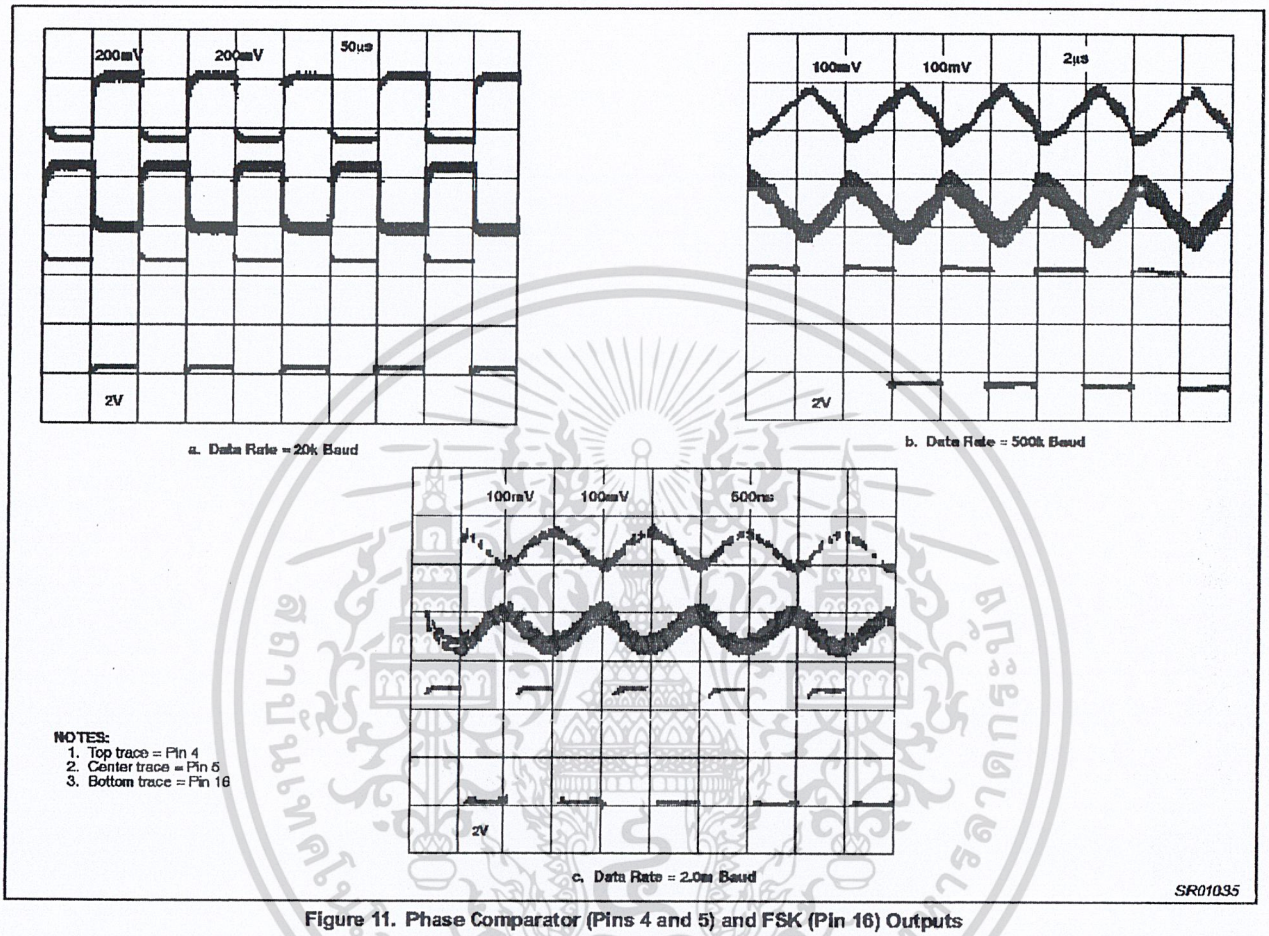


Figure 11. Phase Comparator (Pins 4 and 5) and FSK (Pin 16) Outputs

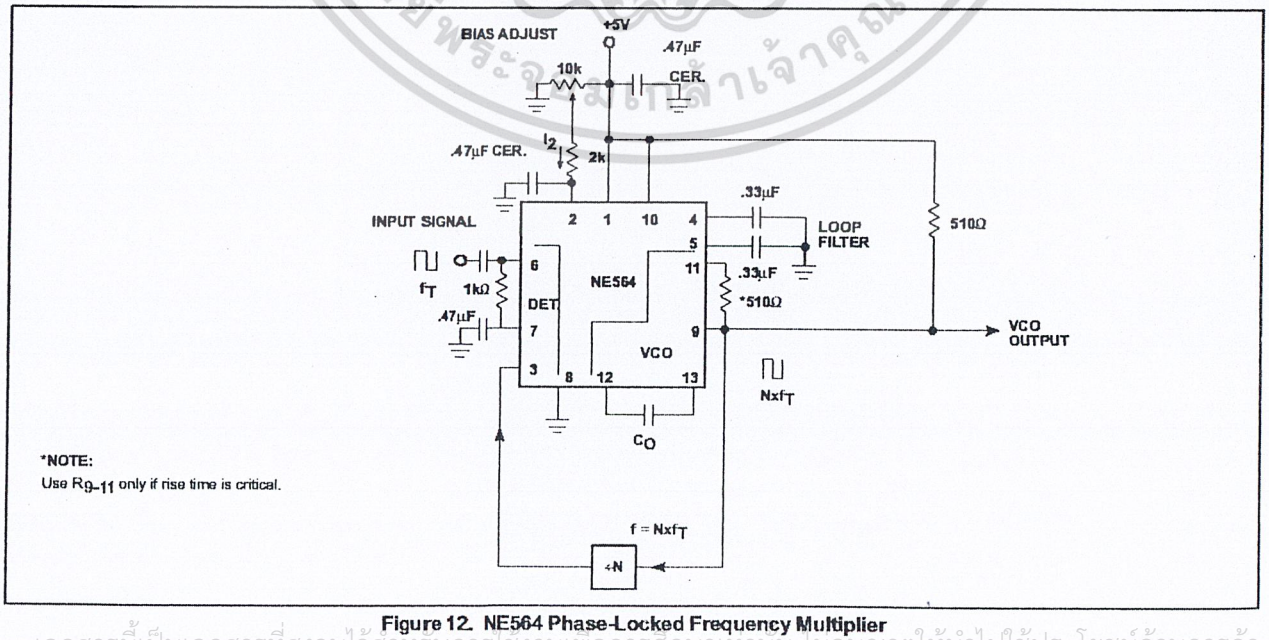


Figure 12. NE564 Phase-Locked Frequency Multiplier

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

MOTOROLA
SEMICONDUCTOR
TECHNICAL DATA

MC1496
MC1596

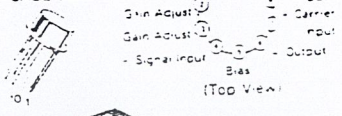
BALANCED MODULATOR/DEMODULATOR

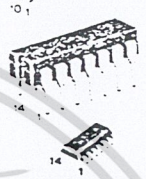
BALANCED MODULATOR/ DEMODULATOR

Designed for use where the output voltage is a product of an input voltage (signal) and a switching function (carrier). Typical applications include suppressed carrier and amplitude modulation, synchronous detection, FM detection, phase detection, and chopper applications. See Motorola Application Note AN-531 for additional design information.

- Excellent Carrier Suppression — 65 dB typ @ 0.5 MHz
  — 50 dB typ @ 10 MHz
- Adjustable Gain and Signal Handling
- Balanced Inputs and Outputs
- High Common Mode Rejection — 85 dB typ

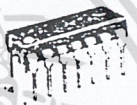
G SUFFIX
METAL PACKAGE
CASE 603





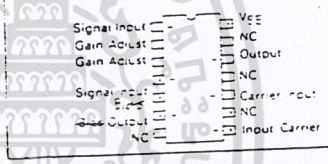
L SUFFIX
CERAMIC PACKAGE
CASE 632

D SUFFIX
PLASTIC PACKAGE
CASE 751A
(SO-14)



P SUFFIX
PLASTIC PACKAGE
CASE 646

PIN ASSIGNMENTS



ORDERING INFORMATION

Device	Temperature Range	Package
MC1496D	0°C to +70°C	SO-14
MC1496G		Metal Can
MC1496L		Ceramic DIP
MC1496P		Plastic DIP
MC1596G	−55°C to +125°C	Metal Can
MC1596L		Ceramic DIP

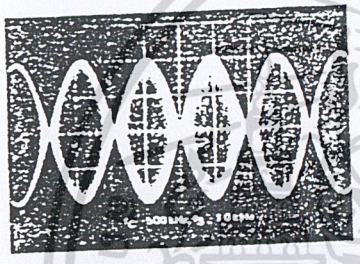


FIGURE 1 –
SUPPRESSED CARRIER
OUTPUT WAVEFORM

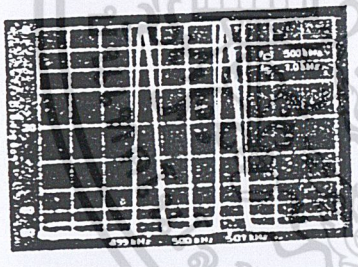


FIGURE 2 –
SUPPRESSED CARRIER
SPECTRUM

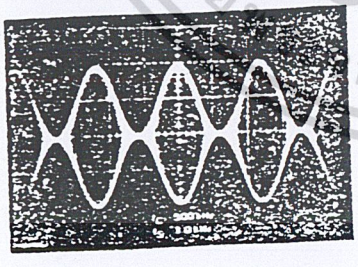


FIGURE 3 –
AMPLITUDE MODULATION
OUTPUT WAVEFORM

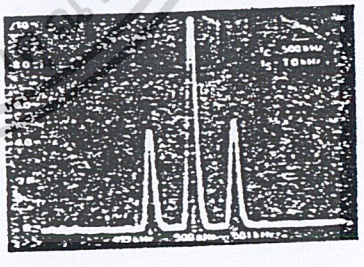


FIGURE 4 – AMPLITUDE MODULATION SPECTRUM

8

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

MAXIMUM RATINGS* (T_A = +25°C unless otherwise noted)

Rating		Symbol	Value	Unit
Applied Voltage ($V_5 - V_7$, $V_8 - V_1$, $V_9 - V_7$, $V_9 - V_8$, $V_7 - V_4$, $V_7 - V_1$, $V_8 - V_4$, $V_6 - V_8$, $V_2 - V_5$, $V_3 - V_5$)		±V	30	Vdc
Differential Input Signal		$V_7 - V_8$ $V_4 - V_1$	±5.0 ±[5 + I_5R_{ex}]	Vdc
Maximum Bias Current		I_5	10	mA
Thermal Resistance, Junction to Air Ceramic Dual In-Line Package Plastic Dual In-Line Package Metal Package		$R_{\theta JA}$	 100 100 160	°C/W
Operating Temperature Range	MC1496 MC1596	T_A	0 to +70 −55 to +125	°C
Storage Temperature Range		T_{stg}	−65 to +150	°C

ELECTRICAL CHARACTERISTICS* (V_{CC} = +12 Vdc, V_{EE} = −8.0 Vdc, I_5 = 1.0 mAdc, R_L = 3.9 kΩ, R_e = 1.0 kΩ, T_A = +25°C, all input and output characteristics are single-ended, unless otherwise noted)

Characteristic		Fig.	Note	Symbol	MC1596 Min	MC1596 Typ	MC1596 Max	MC1496 Min	MC1496 Typ	MC1496 Max	Unit
Carrier Feedthrough V_C = 60 mV(rms) sine wave and offset adjusted to zero	f_C = 1.0 kHz f_C = 10 MHz	5	1	V_{CFT}	— —	40 140	— —	— —	40 140	— —	μV(rms) mV(rms)
V_C = 300 mVp-p square wave, offset adjusted to zero offset not adjusted	f_C = 1.0 kHz f_C = 1.0 kHz				— —	0.04 20	0.2 100	— —	0.04 20	0.4 200	mV(rms) μV
Carrier Suppression f_S = 10 kHz, 300 mV(rms) f_C = 500 kHz, 60 mV(rms) sine wave f_C = 10 MHz, 60 mV(rms) sine wave		5	2	V_{CS}	50 —	65 50	— —	40 —	65 50	— —	dB "
Transadmittance Bandwidth (Magnitude) (R_L = 50 ohms) Carrier Input Port, V_C = 60 mV(rms) sine wave f_S = 1.0 kHz, 300 mV(rms) sine wave Signal Input Port, V_S = 300 mV(rms) sine wave V_C = 0.5 Vdc		3	8	BW_{3dB}	—	300 80	—	—	300 80	—	MHz
Signal Gain V_S = 100 mV(rms), f = 1.0 kHz, V_C = 0.5 Vdc		10	3	A_{VS}	2.5	3.5	—	2.5	3.5	—	V/V
Single-Ended Input Impedance, Signal Port, f = 5.0 MHz Parallel Input Resistance Parallel Input Capacitance		6	—	r_{ip} c_{ip}	— —	200 2.0	— —	— —	200 2.0	— —	kΩ pF
Single-Ended Output Impedance, f = 10 MHz Parallel Output Resistance Parallel Output Capacitance		6	—	r_{op} c_{op}	— —	40 5.0	— —	— —	40 5.0	— —	kΩ pF
Input Bias Current $I_{bS} = \frac{I_1 + I_4}{2}$; $I_{bC} = \frac{I_7 + I_8}{2}$		7	—	I_{bS} I_{bC}	— —	12 12	25 25	— —	12 12	30 30	μA
Input Offset Current $I_{oS} = I_1 - I_4$; $I_{oC} = I_7 - I_8$		7	—	I_{oS} I_{oC}	— —	0.7 0.7	5.0 5.0	— —	0.7 0.7	7.0 7.0	μA
Average Temperature Coefficient of Input Offset Current (T_A = −55°C to +125°C)		7	—	TC_{Io}	—	2.0	—	—	2.0	—	nA/°C
Output Offset Current $\lvert I_6 - I_9 \rvert$		7	—	I_{oo}	—	14	50	—	14	80	μA
Average Temperature Coefficient of Output Offset Current (T_A = −55°C to +125°C)		7	—	TC_{Ioo}	—	90	—	—	90	—	nA/°C
Common-Mode Input Swing, Signal Port, f_S = 1.0 kHz		9	4	CMV	—	5.0	—	—	5.0	—	Vp-p
Common-Mode Gain, Signal Port, f_S = 1.0 kHz, V_C = 0.5 Vdc		9	—	ACM	—	−85	—	—	−85	—	dB
Common-Mode Quiescent Output Voltage (Pin 6 or Pin 9)		10	—	V_{out}	—	8.0	—	—	8.0	—	Vp-p
Differential Output Voltage Swing Capability		10	—	V_{out}	—	8.0	—	—	8.0	—	Vp-p
Power Supply Current $I_6 + I_9$ I_{10}		7	6	I_{CC} I_{EE}	— —	2.0 3.0	3.0 4.0	— —	2.0 3.0	4.0 5.0	mAdc
DC Power Dissipation		7	5	P_D	—	33	—	—	33	—	mW

* Pin number references pertain to this device when packaged in a metal can. To ascertain the corresponding pin numbers for plastic or ceramic packaged devices refer to the first page of this specification sheet.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

GENERAL OPERATING INFORMATION*

Carrier Feedthrough

Carrier feedthrough is defined as the output voltage at carrier frequency with only the carrier applied (signal voltage = 0).

Carrier null is achieved by balancing the currents in the differential amplifier by means of a bias trim potentiometer (R_1 of Figure 5).

Carrier Suppression

Carrier suppression is defined as the ratio of each sideband output to carrier output for the carrier and signal voltage levels specified.

Carrier suppression is very dependent on carrier input level, as shown in Figure 22. A low value of the carrier does not fully switch the upper switching devices, and results in lower signal gain, hence lower carrier suppression. A higher than optimum carrier level results in unnecessary device and circuit carrier feedthrough, which again degenerates the suppression figure. The MC1596 has been characterized with a 60 mV(rms) sinewave carrier input signal. This level provides optimum carrier suppression at carrier frequencies in the vicinity of 500 kHz, and is generally recommended for balanced modulator applications.

Carrier feedthrough is independent of signal level. V_S. Thus carrier suppression can be maximized by operating with large signal levels. However, a linear operating mode must be maintained in the signal-input transistor pair — or harmonics of the modulating signal will be generated and appear in the device output as spurious sidebands of the suppressed carrier. This requirement places an upper limit on input-signal amplitude (see Figure 20). Note also that an optimum carrier level is recommended in Figure 22 for good carrier suppression and minimum spurious sideband generation.

At higher frequencies circuit layout is very important in order to minimize carrier feedthrough. Shielding may be necessary in order to prevent capacitive coupling between the carrier input leads and the output leads.

Signal Gain and Maximum Input Level

Signal gain (single-ended) at low frequencies is defined as the voltage gain.

$$A_{VS} = \frac{V_O}{V_S} = \frac{R_L}{R_E + 2r_e} \text{ where } r_e = \frac{26\ mV}{I_5\ (mA)}$$

A constant dc potential is applied to the carrier input terminals to fully switch two of the upper transistors "on" and two transistors "off" (V_C = 0.5 Vdc). This in effect forms a cascode differential amplifier.

Linear operation requires that the signal input be below a critical value determined by R_E and the bias current I_5.

$$V_S \approx I_5 R_E \text{ (Volts peak)}$$

Note that in the test circuit of Figure 10, V_S corresponds to a maximum value of 1 volt peak.

Common Mode Swing

The common-mode swing is the voltage which may be applied to both bases of the signal differential amplifier, without saturating the current sources or without saturating the differential amplifier itself by swinging it into the upper switching devices. This swing is variable depending on the particular circuit and biasing conditions chosen.

Power Dissipation

Power dissipation, P_D, within the integrated circuit package should be calculated as the summation of the voltage-current products at each port, i.e. assuming $V_8 = V_6$, $I_5 = I_6 = I_8$ and ignoring base current, $P_D = 2 I_5 (V_6 - V_{10}) - I_5 (V_5 - V_{10})$ where subscripts refer to pin numbers.

Design Equations

The following is a partial list of design equations needed to operate the circuit with other supply voltages and input conditions.

A. Operating Current

The internal bias currents are set by the conditions at pin 5. Assume:

$$I_5 = I_6 = I_8$$

$I_B \approx I_C$ for all transistors

then:

$$R_5 = \frac{V - \phi}{I_5} - 500\ \Omega$$

where: R_5 is the resistor between pin 5 and ground

ϕ = 0.75 V at T_A = −25°C

The MC1596 has been characterized for the condition I_5 = 1.0 mA and is the generally recommended value.

B. Common-Mode Quiescent Output Voltage

$$V_6 = V_8 = V^+ - I_5 R_L$$

Biasing

The MC1596 requires three dc bias voltage levels which must be set externally. Guidelines for setting up these three levels include maintaining at least 2 volts collector-base bias on all transistors while not exceeding the voltages given in the absolute maximum rating table:

$$30\ Vdc \geq |(V_6, V_8) - (V_7, V_8)| \geq 2\ Vdc$$

$$30\ Vdc \geq |(V_7, V_8) - (V_1, V_4)| \geq 2.7\ Vdc$$

$$30\ Vdc \geq |(V_1, V_4) - (V_5)| \geq 2.7\ Vdc$$

The foregoing conditions are based on the following approximations:

$$V_6 = V_8, V_7 = V_8, V_1 = V_4$$

Bias currents flowing into pins 1, 4, 7, and 8 are transistor base currents and can normally be neglected if external bias dividers are designed to carry 1.0 mA or more.

Transadmittance Bandwidth

Carrier transadmittance bandwidth is the 3 dB bandwidth of the device forward transadmittance as defined by:

$$Y21C = \frac{i_O\ (\text{each sideband})}{v_S\ (\text{signal})} \quad V_O = 0$$

Signal transadmittance bandwidth is the 3 dB bandwidth of the device forward transadmittance as defined by:

$$Y21S = \frac{i_O\ (\text{signal})}{v_S\ (\text{signal})} \quad V_C = 0.5\ Vdc,\ V_O = 0$$

*Pin number references pertain to this device when packaged in a metal can. To ascertain the corresponding pin numbers for plastic or ceramic packaged devices refer to the first page of this specification sheet.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Coupling and Bypass Capacitors C_1 and C_2

Capacitors C_1 and C_2 (Figure 5) should be selected for a reactance of less than 5.0 ohms at the carrier frequency.

Output Signal, V_o

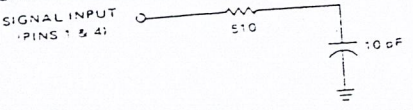
The output signal is taken from pins 6 and 9, either balanced or single-ended. Figure 12 shows the output levels of each of the two output sidebands resulting from variations in both the carrier and modulating signal inputs with a single-ended output connection.

Negative Supply, V_{EE}

V_{EE} should be dc only. The insertion of an RF choke in series with V_{EE} can enhance the stability of the internal current sources.

Signal Port Stability

Under certain values of driving source impedance, oscillation may occur. In this event, an RC suppression network should be connected directly to each input using short leads. This will reduce the Q of the source-tuned circuits that cause the oscillation.



An alternate method for low-frequency applications is to insert a 1.0-ohm resistor in series with the inputs, pins 1 and 4. In this case, input current drift may cause serious degradation of carrier suppression.

TEST CIRCUITS*

*Pin number references pertain to this device when packaged in a metal can. To ascertain the corresponding pin numbers for plastic or ceramic packaged devices refer to the first page of this specification sheet.

FIGURE 5 – CARRIER REJECTION AND SUPPRESSION

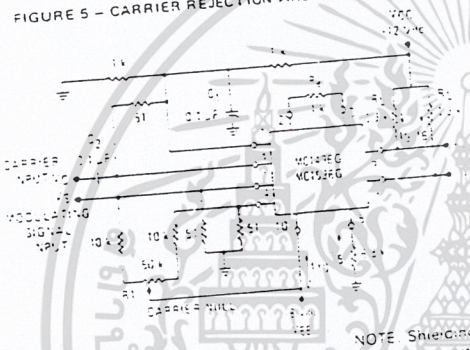
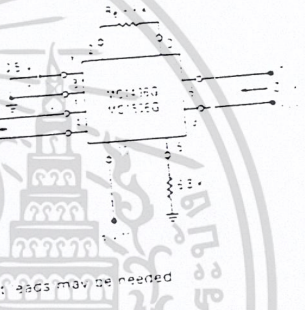


FIGURE 6 – INPUT OUTPUT IMPEDANCE



NOTE: Shielding of input and output leads may be needed to properly perform these tests.

FIGURE 7 – BIAS AND OFFSET CURRENTS

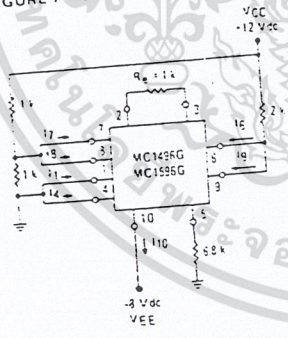
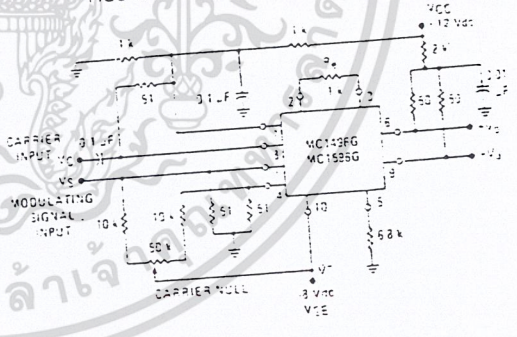


FIGURE 8 – TRANSCONDUCTANCE BANDWIDTH



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

TEST CIRCUITS (continued)

FIGURE 9 – COMMON MODE GAIN

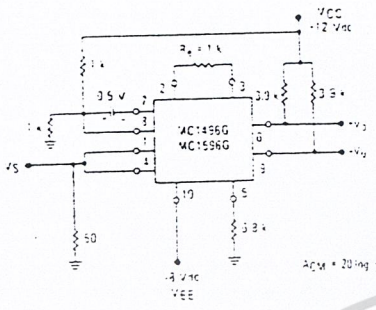
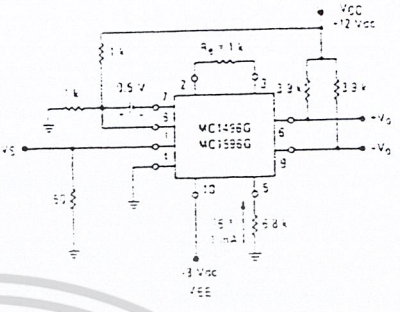


FIGURE 10 – SIGNAL GAIN AND OUTPUT SWING



TYPICAL CHARACTERISTICS

Typical characteristics were obtained with circuit shown in Figure 5, f_C = 500 kHz (sine wave), V_C = 60 mV(rms), f_S = 1 kHz, V_S = 300 mV(rms), T_A = +25°C unless otherwise noted.

FIGURE 11 – SIDEBAND OUTPUT versus CARRIER LEVELS

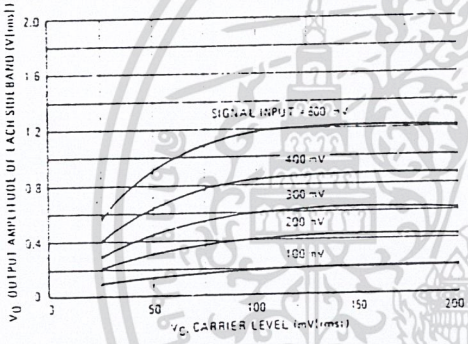


FIGURE 12 – SIGNAL-PORT PARALLEL-EQUIVALENT INPUT RESISTANCE versus FREQUENCY

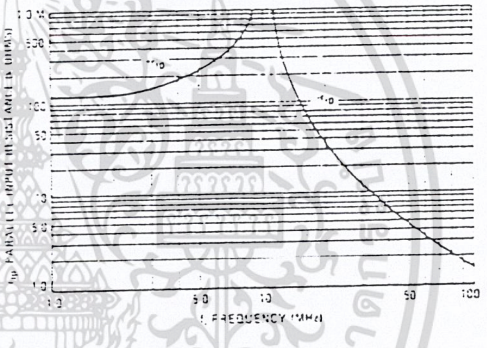


FIGURE 13 – SIGNAL-PORT PARALLEL EQUIVALENT INPUT CAPACITANCE versus FREQUENCY

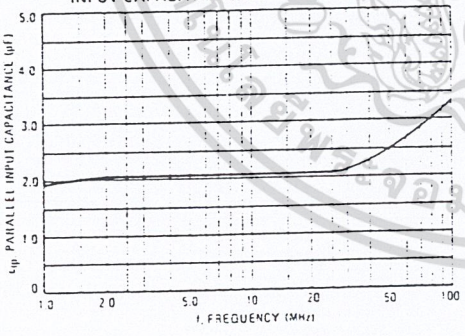
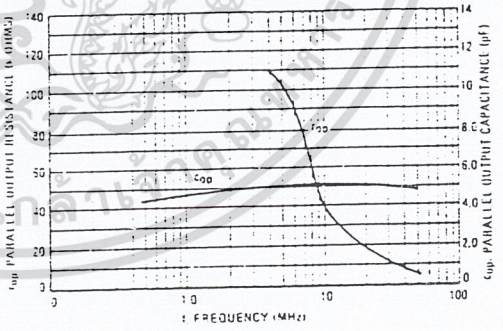


FIGURE 14 – SINGLE-ENDED OUTPUT IMPEDANCE versus FREQUENCY



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้