สำนักหอสมุดกลาง พระจอมเกล้าลาดกระบัง

เครื่องใส่โลโก้ลงในสัญญาณภาพ

LOGO IN PICTURE

T042243

นายคทา บุญยัง
นายทนงศักดิ์ ณ ปานแก้ว

เลขหมู่
เลขทะเบียน 42243
วัน, เดือน, ปี 15 พ.ค. 2545
.b
.i

ปริญญานิพนธ์นี้เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรปริญญาอุตสาหกรรมศาสตรบัณฑิต
สาขาวิชาเทคโนโลยีโทรคมนาคม ภาควิชาเทคนิคอุตสาหกรรม
คณะวิศวกรรมศาสตร์
สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง
ปีการศึกษา 2544

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

หัวข้อปริญญานิพนธ์	**เครื่องใส่โลโก้ลงในสัญญาณภาพ**		
นักศึกษา	นายคทา	บุญยัง	เลขประจำตัว 42015631
	นายทนงศักดิ์	ณ ปานแก้ว	เลขประจำตัว 42015638
อาจารย์ที่ปรึกษา	ผศ.ไพศาล	สิทธิโยภาสกุล	
	ผศ.อุทัย	ศรีธีระวิโรจน์	
ภาควิชา	เทคนิคอุตสาหกรรม		
ปีการศึกษา	2544		

คณะวิศวกรรมศาสตร์ สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง อนุมัติให้นับปริญญานิพนธ์ฉบับนี้เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรอุตสาหกรรมศาสตรบัณฑิต

_____อาจารย์ที่ปรึกษา
(ผศ.ไพศาล สิทธิโยภาสกุล)

_____อาจารย์ที่ปรึกษา
(ผศ.อุทัย ศรีธีระวิโรจน์)

_____กรรมการ
( )

_____กรรมการ
( )

_____กรรมการ
( )

ลิขสิทธิ์ของคณะวิศวกรรมศาสตร์ สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

หัวข้อปริญญานิพนธ์	เครื่องใส่โลโก้ลงในสัญญาณภาพ		
นักศึกษา	นายคทา	บุญยัง	เลขประจำตัว 42015631
	นายทนงศักดิ์	ณ ปานแก้ว	เลขประจำตัว 42015638
อาจารย์ที่ปรึกษา	ผศ.ไพศาล	สิทธิโยภาสกุล	
	ผศ.อุทัย	ศรีธีระวิโรจน์	
ภาควิชา	เทคนิคอุตสาหกรรม		
ปีการศึกษา	2544		

บทคัดย่อ

ปริญญานิพนธ์ฉบับนี้ เป็นการออกแบบระบบควบคุมการตัดต่อสัญญาณภาพ และใส่สัญญาณภาพ โดยภาพหนึ่งเป็นหลัก และอีกสัญญาณภาพหนึ่งเป็นภาพรอง ซึ่งเป็นสัญญาณโลโก้ที่สร้างขึ้น นำมาตัดทับอยู่บนสัญญาณภาพหลัก ตำแหน่งของสัญญาณภาพรองบนสัญญาณภาพหลัก จะสามารถย้ายตำแหน่งไปได้โดยการเขียนโปรแกรม เป็นตัวควบคุมสัญญาณภาพรองจะสร้างโดยการใส่ข้อมูลลงในหน่วยความจำ โดยตำแหน่งของภาพจะอยู่บริเวณมุมของสัญญาณภาพหลัก หรือตามตำแหน่งที่กำหนดไว้ ซึ่งได้ใช้ไมโครคอนโทรลเลอร์ควบคุม (MCS-51)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Thesis Title	LOGO IN PICTURE			
Student	Mr. Khatha	Boonyoung	ID	42015631
	Mr. Thanongsak	Na-pankaew	ID	42015638
Advisor	Asst.Prof. Paisarn	Sittiyopasakun		
	Asst.Prof. Uthai	Sritheeravirojana		
Academic Year	2001			

ABSTRACT

This Thesis is designed to display two different picture signals, a background and a front ground picture on a TV's monitor at the same time. The front ground picture is designed to display on a quarter of the TV's monitor , and as also able to move to different quarter using a software . This front ground is cover a back ground to designed LOGO signal as to lead in ROM. This control display two picture signals (background, front ground) by Microcontroller (MCS-51)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

กิตติกรรมประกาศ

ปริญญานิพนธ์นี้สำเร็จลุล่วงไปได้ด้วยดี เนื่องจากได้รับความอนุเคราะห์ ช่วยเหลือ จากบุคคลหลายๆ ฝ่าย ดังนั้นจึงขอแสดงความขอบคุณทุกท่าน ดังมีรายนามต่อไปนี้

กราบขอบพระคุณ ผศ.ไพศาล สิทธิโยภาสกุล และ ผศ.อุทัย ศรีธีระวิโรจน์ อาจารย์ที่ปรึกษาปริญญานิพนธ์ ผู้ที่ให้ทั้งความรู้ ความช่วยเหลือ คอยดูแล ชี้แนะ ส่งเสริม รวมทั้งให้หลักการและข้อคิดต่างๆ อันเป็นประโยชน์อย่างยิ่งต่อศิษย์ นับตั้งแต่เริ่มต้นปริญญานิพนธ์ตลอดมาจนกระทั่งจบปริญญานิพนธ์ ทำให้ปริญญานิพนธ์ครั้งนี้สำเร็จลุล่วงไปด้วยดี

ขอขอบคุณ เพื่อนๆห้อง 3U/1 ทุกคนที่ให้ความช่วยเหลือที่ดี และ ให้กำลังใจตลอดมา

สุดท้ายนี้ ขอกราบขอบพระคุณ คุณพ่อ คุณแม่ และครูบาอาจารย์ทุกท่านที่ได้ประสิทธิ์ประสาทวิชาความรู้ และให้กำลังใจตลอดมา

นายคฑา บุญยัง

นายทนงศักดิ์ ณ ปานแก้ว

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญ

	หน้า
บทคัดย่อภาษาไทย	ก
บทคัดย่อภาษาอังกฤษ	ข
กิตติกรรมประกาศ	ค
สารบัญ	ง
สารบัญรูป	ฉ
บทที่ 1 บทนำ	1
บทที่ 2 ทฤษฎี	2
2.1 ไมโครคอนโทรลเลอร์ 8051	2
2.1.1 การจัดขาของไมโครคอนโทรลเลอร์ 8051	3
2.1.2 โครงสร้างภายในของพอร์ตของ 8051	6
2.1.3 โครงสร้างหน่วยความจำของ 8051	6
2.1.4 การคำนวณความเร็วการรับส่งข้อมูลแบบอนุกรม	20
2.1.5 ระบบอินเตอร์รัปต์ของ 8051	23
2.2 สัญญาณภาพ	23
2.2.1 วิธีการสแกนและการหักเหของลำอิเล็กตรอน	23
2.2.2 เครื่องส่งและเครื่องรับโทรทัศน์	26
2.2.3 สถานีโทรทัศน์จำเป็นต้องส่งสัญญาณอะไรบ้าง	27
2.3 ตัวนับ (Counter)	30
2.4 หน่วยความจำเข้าถึงแบบสุ่ม (RAM : Random Access Memory)	30
2.4.1 หน่วยความจำแบบสถิตย์ (Static MOS RAM)	31
2.4.2 หน่วยความจำแบบพลวัต (Dynamic MOS RAM)	31
2.5 วงจรแปลงสัญญาณเชิงตัวเลขเป็นสัญญาณเชิงอุปมาน (DAC : Digital to Analog Converter)	33
2.6 วงจรโมโนสเตเบิ้ล (Monostable)	35

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญ (ต่อ)

		หน้า
บทที่ 3	การออกแบบโครงงาน	37
	3.1 การตัดต่อสัญญาณภาพหลักและสัญญาณภาพรอง	37
	3.2 ขั้นตอนการทำงานของระบบ	38
	3.3 การนับสัญญาณซิงค์	40
	3.4 Clock Circuit	41
	3.5 วงจร Counter	41
	3.6 การสร้างรูปโลโก้	42
	3.7 วงจร D/A	43
	3.8 การสวิทซ์สลับระหว่างการควบคุมการเขียนและการอ่านข้อมูลกับหน่วยความจำ	44
บทที่ 4	การทดลองและผลการทดลอง	46
	4.1 การออกแบบในส่วนของการตัดสัญญาณภาพหลัก	46
	4.2 การแก้ไขความผิดพลาดของการตัดภาพหลักจากการทำงานของ Soft Ware	47
	4.2.1 การแก้ไขครั้งที่ 1	47
	4.3 ผลการทดลองในส่วนของการตัดต่อสัญญาณภาพรอง(โลโก้)	48
	4.3.1 ผลการทดลองในส่วนของการวัดสัญญาณภาพและสัญญาณ Hor Sync	48
	4.3.2 ผลการทดลองในส่วนการวัดสัญญาณ Ver Sync และสัญญาณ Odd_Even	49
	4.3.3 ผลการทดลองในส่วนการวัดสัญญาณ Hor Sync และ สัญญาณ Output จากสวิตซ์	50
	4.3.4 ผลการทดลองการตัดภาพหลักและใส่สัญญาณภาพรองเข้าไปในสัญญาณภาพหลัก	51
บทที่ 5	สรุปและวิจารณ์	52
	หนังสืออ้างอิง	

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญรูป

	หน้า
รูปที่ 2.1 แสดงโครงสร้างภายในของ 8051	3
รูปที่ 2.2 แสดงขาของ 8051	5
รูปที่ 2.3 แสดงโครงสร้างภายในของพอร์ตแต่ละพอร์ตของ 8051	6
รูปที่ 2.4 แสดงหน่วยความจำโปรแกรมของ 8051	7
รูปที่ 2.5 แสดงหน่วยความจำข้อมูลของ 8051	7
รูปที่ 2.6 แสดงหน่วยความจำข้อมูลภายใน	8
รูปที่ 2.7 แสดงรายละเอียดของ Special Function Register	9
รูปที่ 2.8 แสดงตำแหน่งการอ้างอิงระดับบิตของรีจิสเตอร์ SFR	11
รูปที่ 2.9 ตารางแสดงค่า Baud Rate ต่าง ๆ และค่า Reload ของ Timer 1	21
รูปที่ 2.10 ตารางแสดงการกำหนดความเร็วการรับส่งใน Mode 3	22
รูปที่ 2.11 การเคลื่อนที่หักเหของลำอิเล็กตรอนในจังหวะที่ถูกต้องทั้งในแนวนอน และแนวตั้งของจอหลอดภาพ	23
รูปที่ 2.12 การหักเหของลำอิเล็กตรอนรอน โดยอาศัยสนามแม่เหล็กเข้าช่วยเหลือ	24
รูปที่ 2.13 การสแกนสองครั้งสำหรับภาพนิ่งแต่ละภาพ โดยแบ่งหนึ่งเฟรมออกเป็นสองฟิลด์	25
รูปที่ 2.14 ผลของสัญญาณซิงค์ที่ทำให้ความถี่ของเครื่องส่ง และเครื่องรับเท่ากันตลอดเวลา	26
รูปที่ 2.15 รูปร่างของสัญญาณโทรทัศน์ที่เกิดจากภาพขาวสลับดำเป็นแถบ ๆ	28
รูปที่ 2.16 สัญญาณภาพรวม แสดงให้เห็นรายละเอียดของสัญญาณแต่ละชนิดเช่น สัญญาณแบล้งค์กิ้งค์ สัญญาณซิงค์ และสัญญาณอีควัลไลซิ่ง	29
รูปที่ 2.17 การทำงานของ JK- Flip Flop	30
รูปที่ 2.18 การทำงานพื้นฐานของวงจรนับ ขนาด 4 บิท	30
รูปที่ 2.19 หน่วยความจำของหน่วยความจำแบบสถิตย์ ซึ่งแสดงอยู่ภายในกรอบเส้นประ และอุปกรณ์ต่าง ๆ สำหรับเลือกการทำงาน	31
รูปที่ 2.20 หน่วยความจำแบบพลวัต (แสดงอยู่ภายในกรอบเส้นประ)	32
รูปที่ 2.21 ตัวอย่างวงจร Weighted – resister DAC ขนาด n	33

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญรูป (ต่อ)

หน้า

รูปที่ 2.22 วงจร R-2R ladder DAC ขนาด n บิท
(สัญญาณเชิงตัวเลขจะใช้บังคับสวิตซ์เพื่อส่งแรงดันอ้างอิง) 34

รูปที่ 2.23 วงจร Current – driven R – 2R ladder DAC 34

รูปที่ 2.24 วงจร Inverted – ladder DAC 35

รูปที่ 2.25 วงจรโมโนสเตเบิ้ล 35

รูปที่ 2.26 กราฟแสดงช่วงเวลาความกว้างของพัลส์ 36

รูปที่ 3.1 โครงสร้างในส่วนการตัดสัญญาณภาพหลักเพื่อ แทรกสัญญาณภาพรอง 37

รูปที่ 3.2 Block Diagram แสดงขั้นตอนการทำงานของระบบ 39

รูปที่ 3.3 วงจรตรวจนับสัญญาณสะบัดกลับ 40

รูปที่ 3.4 แสดงวงจร Clock Circuit 41

รูปที่ 3.5 แสดงวงจร Counter 42

รูปที่ 3.6 วงจรที่ใช้ในการสร้างรูปโลโก้ 43

รูปที่ 3.7 วงจรที่ใช้ในการแปลงสัญญาณโลโก้ที่เป็น Digital ให้เป็นสัญญาณ Analog 44

รูปที่ 3.8 วงจรที่ใช้ในการเลือกว่าจะเขียนหรืออ่าน RAM โดยใช้
MAX4526 (Analog Multiplexer) 45

รูปที่ 4.1 ความคลาดเคลื่อนจากการใช้ Soft Ware ในการควบคุมการตัดต่อภาพ 46

รูปที่ 4.2 ผลจากการใช้ Hard Ware เข้ามาช่วยในการตัดต่อภาพ
เมื่อแสดงผลออกทางโทรทัศน์ 47

รูปที่ 4.3 สัญญาณภาพและสัญญาณ Hor Sync 48

รูปที่ 4.4 สัญญาณ Ver Sync และสัญญาณ Odd_Even 49

รูปที่ 4.5 สัญญาณ Hor Sync และ สัญญาณ Output จากสวิตซ์ 50

รูปที่ 4.6 ผลการทดลองการตัดภาพหลักและใส่สัญญาณภาพรอง
เข้าไปในสัญญาณภาพหลัก 51

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 1
บทนำ

ในปัจจุบัน เครื่องรับโทรทัศน์ ได้เข้ามามีบทบาทในการดำรงชีวิตประจำวันเป็นอย่างมาก ทั้งให้ความบันเทิง ข่าวสาร ข้อมูล ต่างๆ จนแทบจะกล่าวได้ว่า เครื่องรับโทรทัศน์ เป็นปัจจัยในการดำเนินชีวิตอีกปัจจัยหนึ่งไปแล้ว แต่ทว่าการที่เรามีเครื่องรับโทรทัศน์ไว้ใช้งานสักเครื่องหนึ่ง หากเราสามารถนำมันมาใช้ประโยชน์นอกเหนือไปจากการทำงานปกติของมัน ก็คงจะเป็นการดีไม่น้อยอีกทั้งยังเป็นการใช้ทรัพยากรที่มีอยู่ให้คุ้มค่าและเกิดประโยชน์สูงสุดอีกด้วย

ซึ่งโดยปกติเราจะเห็นว่า ในการแพร่ภาพของสถานีโทรทัศน์ช่องต่างๆ จะมีสัญลักษณ์ หรือ โลโก้ ปรากฏอยู่ตามมุมต่าง ๆ ของจอภาพหรือเป็น โลโก้ของสินค้าชนิดใดชนิดหนึ่ง ที่โฆษณา ซึ่งจะใส่ไว้ตามจุดต่างๆได้ซึ่งอุปกรณ์ที่ใช้ในการทำกระบวนการตัดต่อสัญญาณภาพนี้ส่วนใหญ่จะนำเข้าจากต่างประเทศ และมีราคาแพง ดังนั้นจึงนำความรู้ที่มีมาประยุกต์ เพื่อสร้างอุปกรณ์ ตัดต่อสัญญาณภาพ เพื่อทดแทนการนำเข้า และเป็นการพัฒนาความรู้ทางด้านเทคโนโลยีให้ทัดเทียมกับต่างชาติ

ถึงแม้ว่าโครงงานนี้จะยังไม่อาจนำมาใช้เพื่อทดแทนอุปกรณ์ที่นำเข้าจากต่างชาติ แต่ก็เป็นการจุดประกายความขึ้นสร้างสรร และเริ่มต้นเพื่อการค้นคว้าและพัฒนาให้สามารถนำมาใช้ทดแทนการนำเข้าเครื่องมือทางเทคนิคบ้างชนิดจากต่างชาติได้อย่างสมบูรณ์ต่อไป

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 2
ทฤษฎี

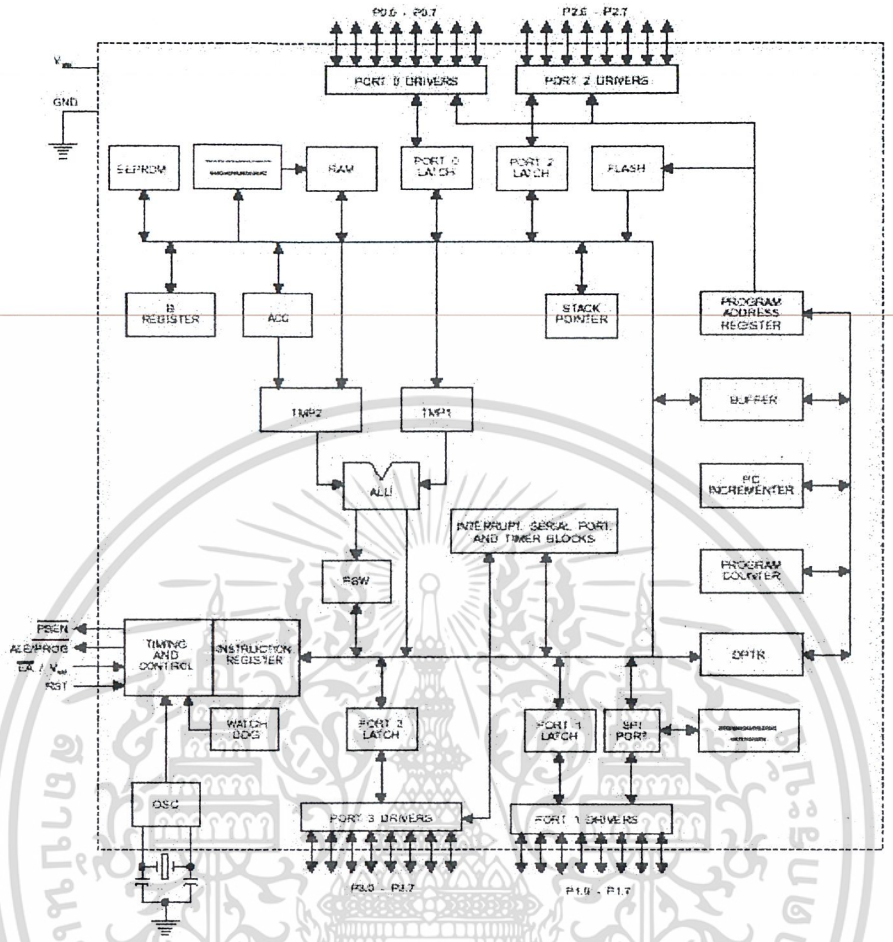
2.1 ไมโครคอนโทรลเลอร์ 8051

ไมโครคอนโทรลเลอร์8051เป็นไมโครคอนโทรลเลอร์ในตระกูลMCS-51 ที่บริษัทอินเทล ผลิตขึ้น โดยมีคุณสมบัติดังนี้

1. เป็นไมโครคอนโทรลเลอร์ขนาด 8 บิต สำหรับงานควบคุมต่าง ๆ
2. มีความสามารถในการประมวลผลทางลอจิกได้ระดับบิต
3. มีขนาดของหน่วยความจำสำหรับโปรแกรมทำงานได้ถึง 64 กิโลไบต์ (Program Memory)
4. มีขนาดของหน่วยความจำสำหรับเก็บข้อมูลได้ถึง 64 กิโลไบต์ (Data Memory)
5. มีหน่วยความจำสำหรับโปรแกรมภายในขนาด 4 กิโลไบต์
6. มีหน่วยความจำข้อมูล (Ram) ภายในขนาด 128 ไบต์
7. มีพอร์ตสำหรับควบคุม 4 พอร์ตและสามารถอ้างอิงพอร์ตได้ในระดับบิตต่อบิต
8. มีชุด Timer/Counter ขนาด บิต ชุด
9. มี Full duplex UART
10. มีโครงสร้างการรับการอินเตอร์รัพท์จาก 6 แหล่งกำเนิดสัญญาณและ 5 ตำแหน่งโปรแกรมทำงานสำหรับการตอบรับการอินเตอร์รัพท์ โดยสามารถจัดลำดับความสำคัญได้ 2 ระดับ
11. มีแหล่งกำเนิดความถี่อ้างอิงการทำงานภายใน

โครงสร้างพื้นฐานของไมโครคอนโทรลเลอร์ 8051 แสดงในรูป ที่ 2.1

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.1 แสดงโครงสร้างภายในของ 8051

2.1.1 การจัดขาของไมโครคอนโทรลเลอร์ 8051

V_{cc} สำหรับแหล่งจ่ายไฟฟ้า (+5V)

V_{ss} สำหรับต่อกราวด์

PO เป็นขาพอร์ต 0 ของ 8051 ที่มีขนาด 8 บิตชนิดสองทิศทางซึ่งแต่ละบิตสามารถกำหนดให้เป็นได้ทั้งอินพุตและเอาต์พุตสำหรับใช้งานทั่วไปหากต้องการให้เป็นอินพุตสามารถทำได้โดยการเขียนข้อมูล “1” ไปยังบิตนั้น โดยแต่ละบิตเมื่อเป็นเอาต์พุทจะสามารถต่อพ่วงกับอุปกรณ์ TTL แบบ LS ได้ 8 ตัว และยังเป็นขาให้สัญญาณ Multiplex ระหว่างสัญญาณข้อมูลกับสัญญาณ Address 8 บิตแรก ในกรณีที่ใช้หน่วยความจำภายนอก

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

P1 เป็นขาพอร์ต 1 ของ 8051 ขนาด 8 บิต ชนิดสองทิศทางแบบ Quasi bi-directional ซึ่งแต่ละบิตสามารถกำหนดให้เป็นได้ทั้งอินพุตและเอาต์พุตสำหรับใช้งานทั่วไป หากต้องการให้เป็นอินพุตสามารถทำได้โดยการเขียนข้อมูล "1" ไปยังบิตนั้น และสามารถต่อพ่วงกับอุปกรณ์ LS TTL ได้ 4 ตัว

P2 เป็นขาพอร์ต 2 ของ 8051 ขนาด 8 บิต ชนิดสองทิศทางแบบ Quasi bi – directional เช่นเดียวกับพอร์ต 1 นอกจากนี้ พอร์ต 2 นี้ยังทำหน้าที่ให้สัญญาณ Address 8 บิตบน ในกรณีที่ใช้หน่วยความจำภายนอก ในกรณีอ้าง Address หน่วยความจำขนาด 16 บิต ดังนั้น ขณะที่ใช้หน่วยความจำภายนอก จะต้องไม่มีการเขียนข้อมูลใด ๆ ไปที่พอร์ต 2 จะทำให้เกิดความผิดพลาดการทำงานได้

P3 เป็นขาพอร์ต 3 ของ 8051 ขนาด 8 บิต ชนิดสองทิศทางแบบ Quasi bi-directional เช่นเดียวกันกับพอร์ต 1 และพอร์ต 2 แต่พอร์ต 3 นี้จะมีหน้าที่พิเศษดังตารางข้างล่าง

ขาพอร์ต	หน้าที่พิเศษ
P3.0	R x D (สำหรับรับข้อมูลแบบอนุกรม)
P3.1	T x D (สำหรับส่งข้อมูลแบบอนุกรม)
P3.2	INTO (ขาอินเตอร์รัพท์ภายนอก 0)
P3.3	INT1 (ขาอินเตอร์รัพท์ภายนอก 1)
P3.4	TO (ขาอินพุตของ Timer 0)
P3.5	T1 (ขาอินพุทของ Timer 1)
P3.6	WR (สำหรับสัญญาณเขียนหน่วยความจำข้อมูลภายนอก)
P3.7	RD (สำหรับสัญญาณอ่านหน่วยความจำข้อมูลภายนอก)

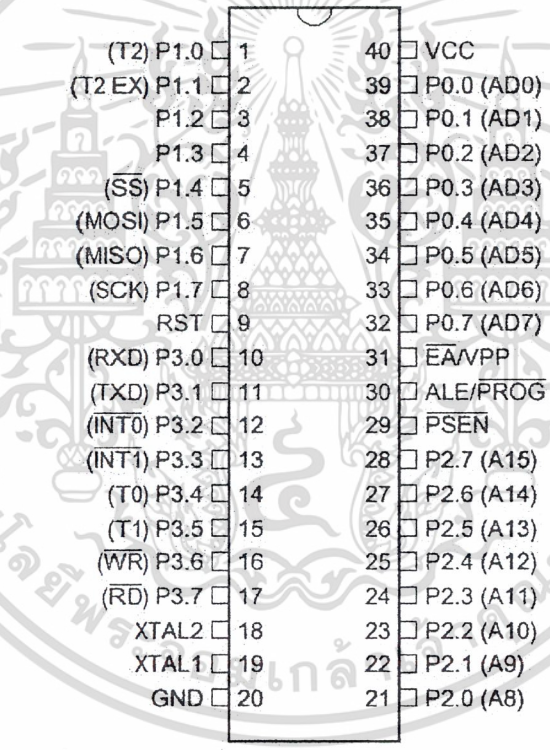
ดังนั้น เมื่อมีการเรียกใช้สัญญาณดังกล่าว จึงไม่ควรเขียนข้อมูลไปที่พอร์ต 3 จะทำให้การทำงานของ8051 ผิดพลาดได้

RST ขาสำหรับรีเซตการทำงานของ 8051 โดยการให้ลอจิกหนึ่งเป็นเวลาอย่างน้อย 2 ช่วง Machine Cycle

ALE เป็นขาที่ใช้ในการควบคุมการแลตซ์ของขาพอร์ต 0 เมื่อมีการใช้งานหน่วยความจำภายนอก

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

PSEN	เป็นขาสัญญาณเพื่อร้องขอติดต่อหน่วยความจำภายนอกเมื่อไมโครคอนโทรลเลอร์ต้องการอ่านหน่วยความจำโปรแกรมภายนอก
EA	เป็นขาใช้สำหรับเลือกการติดต่อหน่วยความจำโปรแกรมภายนอกหรือภายในไมโคร คอนโทรลเลอร์ โดยที่ให้ลอจิก 0 จะอ่านหน่วยความจำโปแกรมภายนอก และลอจิก 1 จะอ่านหน่วยความจำโปรแกรมภายใน
XTAL1	ขาเข้าของวงจรกำเนิดความถี่อ้างอิงภายในของ 8051
XTAL2	ขาออกของวงจรกำเนิดความถี่อ้างอิงภายในของ 8051

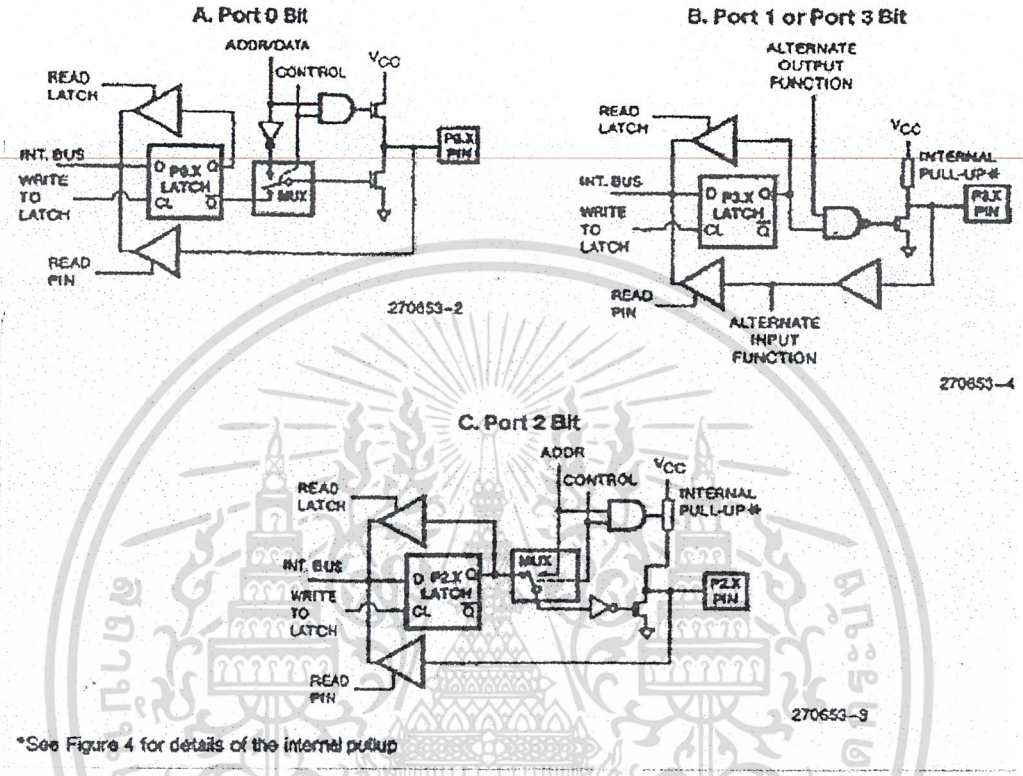


รูปที่ 2.2 แสดงขาของ 8051

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.1.2 โครงสร้างภายในของพอร์ตของ 8051

ในรูปที่ 2.3 แสดงโครงสร้างภายในของพอร์ตแต่ละบิตของ 8051



รูปที่ 2.3 แสดงโครงสร้างภายในของพอร์ตแต่ละพอร์ตของ 8051

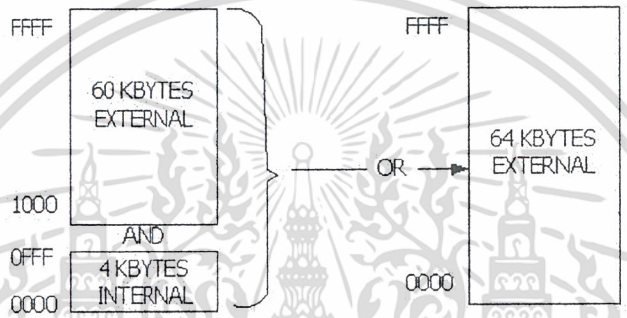
จะเห็นว่าพอร์ต 0 จะเป็นพอร์ตแบบสองทิศทางอย่างแท้จริง โดยที่ข้อมูลที่ส่งออกและอ่านเข้าจะไม่รบกวนกัน แต่โครงสร้างของพอร์ต 1, และ พอร์ต 2, และพอร์ต 3 จะเป็นเอาต์พุตใช้เฟสเพียงตัวเดียว ดังนั้นข้อมูลที่ส่งออกไป โดยเฉพาะลอจิก 0 จะรบกวนข้อมูลที่อ่านได้ ดังนั้นจึงไม่สามารถทำงานแบบสองทิศทางอย่างแท้จริงได้ โดยที่ถ้าต้องการใช้บิตใดบิตหนึ่งของพอร์ตดังกล่าวเป็นอินพุตจะต้องเขียนลอจิก 1 ไปที่บิตดังกล่าว

2.1.3 โครงสร้างหน่วยความจำของ 8051

ดังที่กล่าวมาแล้ว 8051 จะแบ่งหน่วยความจำออกเป็นสองส่วน ได้แก่หน่วยความจำสำหรับโปรแกรมและหน่วยความจำสำหรับเก็บข้อมูล โดยมีขนาดของแต่ละส่วนเท่ากับ 64 กิโลไบต์ ในส่วนของหน่วยความจำโปรแกรมจะเป็นส่วนหน่วยความจำสำหรับอ่านอย่างเดียว โดยที่ 8051 จะใช้สัญญาณ PSEN ในการอ่านเท่านั้น แต่หน่วยความจำข้อมูลของ 8051 จะสามารถอ่านและเขียนได้โดยใช้สัญญาณ RD และ WR ตามลำดับ แต่อย่างไรก็ตาม ผู้ใช้สามารถรวมหน่วยความจำ

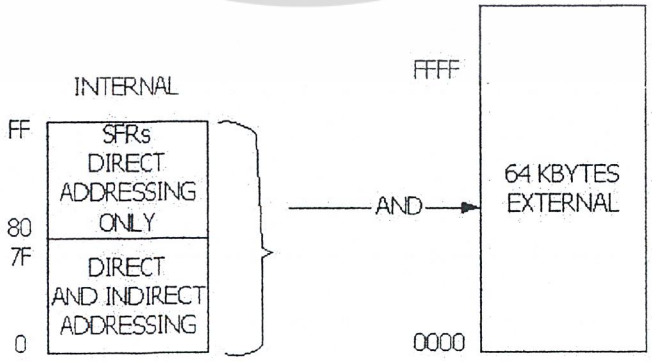
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

โปรแกรมและหน่วยความจำข้อมูลเข้าด้วยกันได้ โดยสัญญาณ RD และ PSEN มาต่อเข้าวงจรแอนเกต สำหรับสร้างสัญญาณในการอ่านหน่วยความจำ นอกจากนี้หน่วยความจำโปรแกรมยังแบ่งออกเป็นภายนอกและภายในของ 8051 ดังแสดงในรูปที่ 2.4 และรูปที่ 2.5 โดยรูปที่ 2.4 แสดงหน่วยความจำโปรแกรมในกรณีที่เลือกใช้หน่วยความจำภายนอกและภายใน ในด้านซ้ายมือเป็นส่วนของหน่วยความจำโปรแกรมภายในที่มีขนาด 4 กิโลไบต์ 8051 ส่วนที่เหลือจะเป็นหน่วยความจำภายนอก ส่วนด้านขวามือแสดงหน่วยความจำโปรแกรมเมื่อเลือกให้ติดต่อหน่วยความจำภายนอกทั้งหมด



รูปที่ 2.4 แสดงหน่วยความจำโปรแกรมของ 8051

สำหรับหน่วยความจำข้อมูลของ 8051 สามารถแบ่งออกเป็นภายนอกและภายใน โดยหน่วยความจำภายนอกแสดงไว้ด้านขวามือของรูปที่ 2.5 ซึ่งมีขนาด 64 กิโลไบต์ ส่วนหน่วยความจำข้อมูลภายในแสดงไว้ด้านซ้ายของรูปที่ 2.5 โดยหน่วยความจำภายในของ 8051 แบ่งออกเป็นสองส่วนได้แก่ส่วนของหน่วยความจำข้อมูลที่สามารถอ้างอิงแบบ Direct และ Indirect ซึ่งมีขนาด 128 ไบต์กับหน่วยความจำที่อ้างอิงได้เฉพาะแบบ Direct เท่านั้น หรือในส่วนนี้จะเรียกอีกแบบหนึ่งว่า SFR (Special Function Register) โดยจะแบ่งกล่าวได้ดังนี้



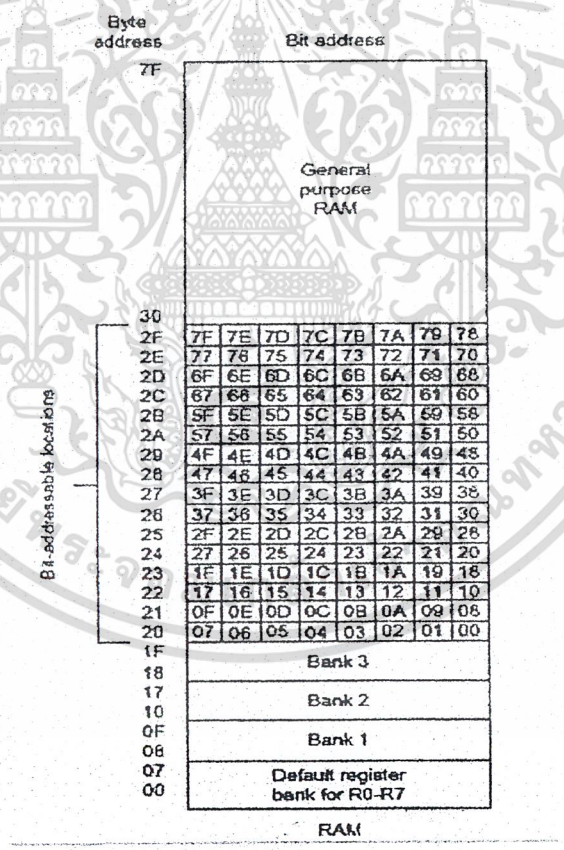
รูปที่ 2.5 แสดงหน่วยความจำข้อมูลของ 8051

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ในส่วนของหน่วยความจำข้อมูลภายในที่อ้างอิงแบบ direct และ Indirect นั้นจะสามารถแบ่งออกได้ 3 ส่วน ดังแสดงในรูปที่ 2.6 โดยมีรายละเอียดดังนี้

ส่วนที่ 1 เรียกว่า Register Banks 0-3 ซึ่งอยู่ที่ตำแหน่งหน่วยความจำข้อมูลภายใน ตั้งแต่ 00H ถึง 1FH จำนวน 32 ไบต์โดยจะแบ่งออกเป็นชุด ชุดละ 8 ไบต์จำนวน 4 ชุด ซึ่งแต่ละชุดจะมีชื่อเรียกเป็น R0 ถึง R7 จะเป็น Register ที่ใช้งาน โดยเมื่อ 8051 ถูกรีเซต Register Banks 0 จะถูกเลือกใช้

ส่วนที่ 2 เรียกว่า Bit Address Area ซึ่งมีขนาด 16 ไบต์ที่ตำแหน่งหน่วยความจำข้อมูล 20H ถึง 2FH ในส่วนนี้สามารถที่จะอ้างอิงข้อมูลได้เป็นระดับบิตถึง 128 บิต โดยการอ้างอิงตำแหน่งโดยตรงในลักษณะบิต ตั้งแต่ตำแหน่ง 00H ถึง 7FH



รูปที่ 2.6 แสดงหน่วยความจำข้อมูลภายใน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ส่วนที่ 3 เรียกว่า Scratch Pad Area จะอยู่ที่ตำแหน่งตั้งแต่ 30H ถึง 7FH ซึ่งเป็นบริเวณหน่วยความจำข้อมูลภายในเอนกประสงค์ที่ผู้ใช้สามารถใช้ได้โดยตรง นอกจากนี้ยังสามารถใช้หน่วยความจำข้อมูลบริเวณนี้สำหรับการเก็บข้อมูลแบบ Stack ได้ด้วย

ในส่วนของหน่วยความจำข้อมูลภายในที่ใช้อ้างอิงแบบ Direct เพียงอย่างเดียวหรือที่เรียกว่า SFR ซึ่งเป็นส่วนสำหรับเก็บหรือกำหนดการทำงานภายในของ 8051 ดังแสดงในรูปที่ 2.7

ในส่วนของบริเวณนี้จะมีขนาด 128 ไบต์ แต่ในการใช้งานนั้นใช้ได้เฉพาะตำแหน่งซึ่งแสดงไว้ในรูปที่ 8 เท่านั้น หากผู้ใช้อ้างตำแหน่งนอกเหนือจากนั้นจะได้ข้อมูลที่คาดเดาไม่ได้ โดยแต่ละตำแหน่งจะมีหน้าที่ดังนี้

ACC เป็น Accumulator ซึ่งเป็นรีจิสเตอร์สำหรับการประมวลผลทางคณิตศาสตร์และลอจิก
โดยผู้ใช้สามารถอ้างอิงได้ในรูปแบบของไบต์หรือระดับบิตได้

B เป็นริจิสเตอร์พิเศษสำหรับใช้กับคำสั่งในการคูณหรือหาร นอกจากนี้ยังใช้เป็นรีจิสเตอร์สำหรับเก็บพักข้อมูลได้

PSW เป็นริจิสเตอร์ Program Status Word หรือแฟลกจะแสดงสถานะการทำงานของ 8051 สำหรับการตรวจสอบซึ่งจะอธิบายรายละเอียดในภายหลัง

8 Bytes

F8								FF
F0	B							F7
E8								EF
E0	ACC							E7
D8								DF
D0	PSW[1]							D7
C8	T2CON[1,2]	T2MOD[2]	RCAP2L[2]	RCAP2H[2]	TL2[2]	TH2[2]		CF
C0								C7
B8	IP[1]							BF
B0	P3							B7
A8	IE[1]							AF
A0	P2							A7
98	SCON[1]	SBUF						9F
90	P1							97
88	TCON[1]	TMOD[1]	TL0	TL1	TH0	TH1		8F
80	P0	SP	DPL	DPH			PCON[1]	87

↑ Bit Addressable

Notes: 1. SFRs converting mode or control bits
2. AT89C52 only

รูปที่ 2.7 แสดงรายละเอียดของ Special Function Register

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

SP	เป็นริจิสเตอร์สำหรับชี้หน่วยความจำข้อมูลภายในสำหรับการเก็บแบบ Stack
DPTR	เป็นรีจิสเตอร์ขนาด 16 บิต โดยแบ่งเป็น 8 บิตบนและ 8 บิตล่าง ให้สำหรับชี้ตำแหน่งของหน่วยความจำข้อมูลภายนอกหรือสำหรับการอ่านตารางข้อมูลของหน่วยความจำโปรแกรม
P0	เป็นรีจิสเตอร์สำหรับพอร์ต 0 ของ 8051
P1	เป็นรีจิสเตอร์สำหรับพอร์ต 1 ของ 8051
P2	เป็นรีจิสเตอร์สำหรับพอร์ต 2 ของ 8051
P3	เป็นรีจิสเตอร์สำหรับพอร์ต 3 ของ 8051
IP	เป็นรีจิสเตอร์สำหรับกำหนดลำดับความสำคัญของการอินเตอร์รัพท์ของ 8051
IE	เป็นรีจิสเตอร์สำหรับกำหนดการรับหรือไม่รับการอินเตอร์รัพท์ ของ 8051
TMOD	เป็นรีจิสเตอร์สำหรับควบคุมหน้าที่ของ Timer/Counter ของ 8051
TCON	เป็นรีจิสเตอร์สำหรับควบคุมการทำงานของ Timer/Counter ของ 8051
T2CON	เป็นรีจิสเตอร์สำหรับควบคุมการทำงานของ Timer/Counter 2 ของ 8052
TH0	เป็นรีจิสเตอร์สำหรับเก็บข้อมูลของ Timer/Counter 0 8 บิตบน
TL0	เป็นรีจิสเตอร์สำหรับเก็บข้อมูลของ Timer/Counter 0 8 บิตล่าง
TH1	เป็นรีจิสเตอร์สำหรับเก็บข้อมูลของ Timer/Counter 1 8 บิตบน
TL1	เป็นรีจิสเตอร์สำหรับเก็บข้อมูลของ Timer/Counter 1 8 บิตล่าง
TH2	เป็นรีจิสเตอร์สำหรับเก็บข้อมูลของ Timer/Counter 2 8 บิตบนของ 8052
TL2	เป็นรีจิสเตอร์สำหรับการเก็บข้อมูลของ Timer/Counter 2 8 บิตล่างของ 8052
RCAP2H	เป็น Capture Register ของ Timer/Counter 2 8 บิตบนของ 8052
RCAP2L	เป็น Capture Register ของ Timer/Counter 2 8 บิตล่างของ 8052
SCON	เป็นรีจิสเตอร์สำหรับควบคุมการรับส่งข้อมูลแบบอนุกรมของ 8051
SBUF	เป็นรีจิสเตอร์สำหรับเก็บพักข้อมูลที่ได้จากการรับส่งข้อมูลแบบอนุกรมของ 8051
PCON	เป็นรีจิสเตอร์สำหรับควบคุมการทำงานของ 8051 ด้านเกี่ยวกับการใช้กำลังไฟฟ้า

ในส่วนของรีจิสเตอร์ SFR นี้สามารถที่จะอ้างอิงในระดับบิตได้โดยตำแหน่งการอ้างอิงระดับบิตแสดงไว้ในตารางต่อไปนี้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Byte address	Bit address								
FF									
F0	F7	F6	F5	F4	F3	F2	F1	F0	B
E0	E7	E6	E5	E4	E3	E2	E1	E0	ACC
D0	D7	D6	D5	D4	D3	D2	—	D0	PSW
B8	—	—	—	BC	BB	BA	B9	B8	IP
B0	B7	B6	B5	B4	B3	B2	B1	B0	P3
A8	AF	—	—	AC	AB	AA	A9	A8	IE
A0	A7	A6	A5	A4	A3	A2	A1	A0	P2
99	not bit addressable								SBUF
98	9F	9E	9D	9C	9B	9A	99	98	SCON
90	97	96	95	94	93	92	91	90	P1
8D	not bit addressable								TH1
8C	not bit addressable								TH0
8B	not bit addressable								TL1
8A	not bit addressable								TL0
89	not bit addressable								TMOD
88	8F	8E	8D	8C	8B	8A	89	88	TCON
87	not bit addressable								PCON
83	not bit addressable								DPH
82	not bit addressable								DPL
81	not bit addressable								SP
80	87	86	85	84	83	82	81	80	P0

รูปที่ 2.8 แสดงตำแหน่งการอ้างอิงระดับบิตของรีจิสเตอร์ SFR

ในส่วนของ Special Function Register ที่ใช้สำหรับการควบคุมในหน้าที่ต่างๆ ของ 8051 มีรายละเอียดดังนี้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

PSW

เป็นรีจิสเตอร์ขนาด 8 บิตที่ใช้สำหรับแสดงสถานะการทำงานของ 8051 ที่สามารถตรวจสอบได้โดยการตรวจนั้นสามารถการอ้างอิงได้ในระดับบิต โดยมีความหมายของแต่ละบิตดังนี้

CY	AC	FO	RS1	RS0	OV	---	P

CY หรือสามารถอ้างอิงระดับบิตเป็น PSW.7 เป็นบิตแสดงสถานะของตัวทดเมื่อมีการทำงานคำสั่งที่เกี่ยวกับคณิตศาสตร์ และลอจิกโดยที่ถ้าเป็น " 1 " แล้วค่าของแอกคิวมูลเลเตอร์เกิน 255 (ฐานสิบ) หรือ FFH

AC หรือสามารถอ้างอิงระดับบิตเป็น PSW.6 เป็นบิตแสดงสถานะของตัวทดเสริมเป็น "1" เมื่อมีการกระทำสั่งทางคณิตศาสตร์แล้วทำให้เกิดการทดข้ามจากบิต 3 มายังบิต 4 มักใช้ในการแปลงค่าเป็นเลขฐานสิบ

F0 หรือสามารถอ้างอิงระดับบิตเป็น PSW.5 เป็นบิตเอนกประสงค์ที่ผู้ใช้สามารถกำหนดสถานะการทำงานของโปรแกรมที่เขียนขึ้นได้ซึ่งจะไม่มีการเปลี่ยนแปลงใด ๆ ขณะการทำงานของคำสั่ง

RS1,RS0 หรือสามารถอ้างอิงระดับบิตเป็น PSW.4 และ PSW.3 ตามลำดับ เป็นบิตสำหรับกำหนดเลือกชุดของรีจิสเตอร์ของ 8051 ซึ่งมี 4 ชุดที่ผู้ใช้สามารถเลือกใช้งานได้

OV หรือสามารถอ้างอิงระดับบิตเป็น PSW.2 เป็น "1" เมื่อมีการกระทำคำสั่งทางคณิตศาสตร์และลอจิกแล้วทำให้เกิดการทดข้ามจากบิต 6 มายังบิต 7 ของแอกคิวมูลเลเตอร์หรือแอกคิวมูลเลเตอร์มีค่าเกิน 127 (ฐานสิบ)
หรือสามารถอ้างอิงระดับบิตเป็น PSW.1 เป็นบิตเอนกประสงค์ที่ผู้ใช้สามารถใช้กำหนดสถานะของโปรแกรมเองได้อย่างอิสระ

P หรือสามารถอ้างอิงระดับบิตเป็น PSW.0 เป็นบิตใช้สำหรับการตรวจสอบจำนวนของ"1" ในข้อมูลของแอกคิวมูลเลเตอร์ ถ้าแอกคิวมูลเลเตอร์มีจำนวนบิตที่เป็น "1" รวมกันเป็นเลขคู่บิตนี้จะเป็น "0" เป็นเลขคี่จะเป็น "1"

PCON

เป็นรีจิสเตอร์สำหรับควบคุมการทำงานของ 8051 ซึ่งเป็นรีจิสเตอร์ที่ไม่สามารถอ้างอิงระดับบิตได้ ดังมีรายละเอียดดังนี้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

SMOD	----	----	----	GF1	GF0	PD	IDL

SMOD เป็นบิตกำหนดอัตราความเร็วของการรับส่งข้อมูลแบบอนุกรมที่ใช้ Timer 1 เช่น ถ้าในเวลาในการรับส่งเมื่อ SMOD = 1 จะทำให้ความเร็วในการรับส่งแบบอนุกรมเป็น 2 เท่า เมื่อเลือก การใช้งานใน Mode 1,2,3 ของการรับส่งแบบอนุกรม

เป็นบิตที่ไม่ใช้งานซึ่งสงวนไว้สำหรับหน้าที่เพิ่มเติมในอนาคตของ 8051 ดังนั้นผู้ใช้จึงไม่ควรกำหนดในบิตนี้เป็น 1

GF0-GF1 เป็นบิตเอนกประสงค์ที่ผู้ใช้สามารถกำหนดการทำงานได้

PD เป็นบิตสำหรับให้ 8051 เข้าสู่การทำงานใน Power Down Mode ซึ่งจะมีเฉพาะเบอร์ที่มีโครงสร้างภายในเป็น CMOS เท่านั้น ซึ่งจะทำงานเมื่อบิตนี้เป็น 1

IDL เป็นบิตสำหรับกำหนดให้ 8051 เข้าสู่การทำงานใน Idle Mode ซึ่งจะมีเฉพาะเบอร์ที่มีโครงสร้างภายในเป็น CMOD เท่านั้น ซึ่งจะทำงานเมื่อบิตนี้เป็น 1

ถ้าบิต PD และ IDL เป็น 1 ทั้งคู่ในเวลาเดียวกัน 8051 จะทำงานใน Power Down Mode ในการทำงานทั้งสอง Mode นี้เป็นการทำงานเพื่อประหยัดพลังงานของ 8051 โดยมีข้อแตกต่างดังนี้

Power Down Mode เมื่อมีการกำหนดให้บิตนี้เป็น 1 8051 จะทำงานอีกหนึ่งคำสั่งก่อนที่จะเข้าสู่ Power Down Mode โดยที่ส่วนสร้างความถี่อ้างอิงภายในจะหยุดทำงาน การทำงานทุกอย่างของ 8051 จะหยุดข้อมูลต่าง ๆ ของหน่วยความจำภายในรวมทั้ง SFR จะถูกรักษาไว้ ที่สัญญาณ ALE และ PSEN จะเป็นลอจิก 0 เมื่อเข้าสู่ Power Down Mode แรงดันไฟฟ้าที่จ่ายให้กับ 8051 สามารถลดลงเป็น 2V. ได้อย่างไรก็ตามแรงดันไฟฟ้าจะต้องเข้าสู่ระดับปกติก่อนที่จะออกจาก Power Down Mode การออกจาก Power Down Mode จะกระทำได้เฉพาะทำการ

รีเซต 8051 เท่านั้น ซึ่งจะทำให้ค่าของ SFR เปลี่ยนแปลง แต่ข้อมูลในส่วนของหน่วยความจำภายในไม่เปลี่ยนแปลง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Idle Mode เมื่อมีการกำหนดให้บิตนี้เป็น 1 8051 จะทำงานอีกหนึ่งคำสั่งก่อนเข้าสู่IdleMode โดยที่ความถี่การทำงานภายใน CPU ของ 8051 จะหยุดการทำงานยกเว้นที่ให้กับส่วนของการอินเตอร์รัพท์ Timer และการรับส่งแบบอนุกรม ค่าต่างๆ ของรีจิสเตอร์จะถูกรักษาไว้ และสัญญาณของ ALE และ PSEN จะอยู่ที่ลอจิก 1 ในการออกจาก Idle Mode จะสามารถทำได้สองวิธีได้แก่การรีเซตและการอินเตอร์รัพท์

IE

เป็นรีจิสเตอร์สำหรับการควบคุมการตอบรับการอินเตอร์รัพท์ของ 8051 ซึ่งสามารถอ้างอิงได้เป็นระดับบิตได้ โดยที่เมื่อให้ลอจิก 0 ที่บิตใด ๆ หมายความว่ายกเลิกการตอบรับการอินเตอร์รัพท์ของ 8051 และให้ลอจิก 1 ที่บิตใด ๆ เป็นการกำหนดให้ 8051 ตอบรับการอินเตอร์รัพท์นั้น ๆ ได้ โดยมีรายละเอียดดังนี้

EA	----	ET2	ES	ET1	EX0	ET0	EX0

EA หรือสามารถอ้างอิงระดับบิตได้เป็น IE.7 สำหรับบิตนี้จะควบคุมการตอบรับการ
อินเตอร์รัพท์ทั้งหมดของ 805โดยที่ถ้าเป็นลอจิก 0 8051จะไม่ตอบรับการอินเตอร์รัพท์ทั้งหมดและลอจิก 1 เป็นการกำหนดให้สามารถควบคุมการตอบรับการอินเตอร์รัพท์ได้อิสระในแต่ละส่วนของการอินเตอร์รัพท์นั้น ๆ
หรือสามารถอ้างอิงระดับได้เป็น IE.6 เป็นบิตที่สงวนไว้สำหรับอนาคตของ 8051 ซึ่งผู้ใช้กำหนดลอจิก 1 ไม่ได้

ET2 หรือสามารถอ้างอิงระดับบิตได้เป็น IE.5 เป็นบิตสำหรับควบคุมการตอบรับการอินเตอร์รัพท์ที่เกิดจาก Timer 2 หรือ จาก Capture Interrupt ซึ่งมีเฉพาะเบอร์ 8052 เท่านั้น

ES หรือสามารถอ้างอิงระดับบิตได้เป็น IE.4 เป็นบิตสำหรับควบคุมการตอบรับการอินเตอร์รัพท์ในส่วนของการรับส่งแบบอนุกรม

ET1 หรือสามารถระดับบิตได้ IE.3 เป็นบิตสำหรับควบคุมการตอบรับการอินเตอร์รัพท์ที่เกิดจาก Timer 1

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

EX1 หรือสามารถอ้างอิงระดับบิตได้เป็น IE.2 เป็นบิตสำหรับควบคุมการตอบรับการอินเตอร์รัพท์ที่เกิดจาก Timer 0

EX0 หรือสามารถอ้างอิงระดับบิตได้เป็น IE.0 เป็นบิตสำหรับควบคุมการตอบรับการอินเตอร์รัพท์ที่เกิดจากขา INTO

สำหรับการกำหนดการอินเตอร์รัพท์ของ 8051 มีลำดับการกำหนดได้ดังนี้

1. กำหนดให้บิต EA ใน IE รีจิสเตอร์เป็น 1

2. กำหนดลอจิก 1 ให้กับบิตที่ควบคุมการตอบรับการอินเตอร์รัพท์ ที่จะใช้งานใน IE รีจิสเตอร์

3. เขียนโปรแกรมที่จะใช้ในการตอบรับการอินเตอร์รัพท์ในตำแหน่งของหน่วยความจำโปรแกรมตามตารางต่อไปนี้

แหล่งการอินเตอร์รัพท์	ตำแหน่งของหน่วยความจำ
IE0	0003H
TF0	000BH
IE1	0013H
TF1	001BH
RI และ TI	0023H
TF2 และ EXF2	002BH

สำหรับการอินเตอร์รัพท์ที่เกิดจากขา INTO และ INT1 (P3.2 และ P3.3) สามารถกำหนดการตอบรับการอินเตอร์รัพท์ที่ระดับสัญญาณ หรือขอบเขตของสัญญาณได้จากบิต IT0 และ IT1 ในรีจิสเตอร์ TCON ซึ่งจะมีรายละเอียดในส่วนของรีจิสเตอร์ TCON

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

IP

เป็นรีจิสเตอร์สำหรับการกำหนดลำดับความสำคัญของการอินเตอร์รัพท์ ซึ่ง 8051 มีลำดับความสำคัญการตอบรับการอินเตอร์รัพท์สองลำดับ โดยที่ถ้าเป็นลอจิก 1 จะมีลำดับสูงและลอจิก 0 จะมีลำดับต่ำ ดังรายละเอียดต่อไปนี้

-----	----	PT2	PS	PT1	PX1	PT0	PX0

หรือสามารถกำหนดอ้างระดับบิตเป็น IP.7 และ IP.6 เป็นบิตที่สงวนสำหรับอนาคต ผู้ใช้ไม่ควรกำหนดเป็นลอจิก 1

PT2 หรือสามารถอ้างอิงระดับบิตได้เป็น IP.5 เป็นบิตกำหนดลำดับความสำคัญการอินเตอร์รัพท์ที่ได้จาก Timer 2 ซึ่งจะมีเฉพาะเบอร์ 8052

PS หรือสามารถอ้างอิงระดับบิตได้เป็น IP.4 เป็นบิตกำหนดลำดับความสำคัญการอินเตอร์รัพท์ที่เกิดจากการรับส่งข้อมูลแบบอนุกรม

PT1 หรือสามารถอ้างอิงระดับบิตได้เป็น IP.3 เป็นบิตกำหนดลำดับความสำคัญการอินเตอร์รัพท์ที่เกิดจาก Timer 1

PX1 หรือสมการอ้างอิงระดับบิตได้เป็น IP.2 เป็นบิตกำหนดลำดับความสำคัญของการอินเตอร์รัพท์ที่เกิดจากขา INT1

PT0 หรือสามารถอ้างอิงระดับบิตได้เป็น IP.2 เป็นบิตกำหนดลำดับความสำคัญของอินเตอร์รัพท์ที่เกิดจาก Timer 0

PX0 หรือสามารถอ้างอิงระดับบิตได้เป็น IP.0 เป็นบิตกำหนดความสำคัญทางอินเตอร์รัพท์ที่เกิดจากขา INT0

ในกรณีที่มีการอินเตอร์รัพท์เกิดขึ้นพร้อมกัน ถ้ามีลำดับความสำคัญต่างกัน 8051 จะตอบรับการอินเตอร์รัพท์ที่มีลำดับสูงก่อน แต่ถ้าลำดับความสำคัญการอินเตอร์รัพท์เท่ากัน 8051 จะมีลำดับการอินเตอร์จากมากไปน้อยดังนี้

IE0

TF0

IE1

TF1

IR และ TI

TF2 หรือ EXF2

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สำนักหอสมุดกลาง พระจอมเกล้าลาดกระบัง

TCON

เป็นริจิสเตอร์ใช้สำหรับควบคุมการทำงานของ Timer/Counter และระดับการตอบรับการอินเตอร์รัพท์ที่เกิดจากขาภายนอก ซึ่งสามารถอ้างอิงระดับบิตได้ มีรายละเอียดดังนี้

TF1	TR1	TF0	TR0	IE1	IT1	IE0	IT0

TF1 หรือสามารถอ้างอิงระดับบิตได้เป็น TCON.7 เป็นบิตแสดงสถานะเมื่อเกิด Over Flow ที่เกิดจาก Timer 1 จะเป็นลอจิก 1 เมื่อเกิด Over Flow และเป็นลอจิก 0 เมื่อเข้าสู่โปรแกรมการตอบรับการอินเตอร์รัพท์

TR1 หรือสามารถอ้างอิงระดับบิตได้เป็น TCON.6 เป็นบิตสำหรับควบคุมการทำงานของ Timer 1 โดยที่ลอจิก 1 ให้ Timer 1 ทำงานและหยุดเมื่อลอจิก 0

TF0 หรือสามารถอ้างอิงระดับบิตได้เป็น TCON.5 เป็นบิตแสดงสถานะเมื่อเกิด Over Flow ที่เกิดจาก Timer 0 จะเป็นลอจิก 1 เมื่อเกิด Over Flow และเป็นลอจิก 0 เมื่อเข้าไปสู่โปรแกรมการตอบรับการอินเตอร์รัพท์

TR0 หรือสามารถอ้างอิงระดับบิตได้เป็น TCON.4 เป็นบิตสำหรับควบคุมการทำงานของ Timer 0 โยที่ลอจิก 1 ให้ Timer 0 ทำงานและหยุดเมื่อลอจิก 0

IE1 หรือสามารถอ้างอิงระดับบิต ได้เป็นTCON.3 เป็นบิตแสดงสถานะการอินเตอร์รัพท์ที่เกิดจากขอบของสัญญาณอินเตอร์รัพท์ที่เกิดจากขา INT1 โดยจะเป็นลอจิก 1 เมื่อตรวจพบขอบของสัญญาณอินเตอร์รัพท์ที่เกิดจากขา INT1 โดยจะเป็นลอจิก 1 เมื่อตรวจพบขอบของสัญญาณอินเตอร์รัพท์ภายนอก และเป็นลอจิก 0 เมื่อตอบรับการอ่านอินเตอร์รัพท์

IT1 หรือสามารถอ้างอิงระดับบิต ได้เป็น TCON.2 เป็นบิตสำหรับกำหนดตอบรับสัญญาณอินเตอร์รัพท์ที่เกิดจากขา INT 1 ถ้าลอจิก 1 จะเป็นการตอบรับการอินเตอร์รัพท์ที่ขอบขาลงของสัญญาณอินเตอร์รัพท์และลอจิก 0 จะเป็นการตอบรับการอินเตอร์รัพท์ที่ระดับลอจิก 0

IE0 หรือสามารถอ้างอิงระดับบิตได้เป็น TCON.1 เป็นบิตแสดงสถานะการอินเตอร์รัพท์ที่เกิดจากขอบขอบสัญญาณอินเตอร์รัพท์ที่เกิดจากขาINT0โดยจะเป็นลอจิก 1 เมื่อตรวจพบขอบขอบสัญญาณอินเตอร์รัพท์ภายนอก และเป็นลอจิก 0 เมื่อมีการตอบรับการอินเตอร์รัพท์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

42243

IT0 หรือสามารถอ้างอิงระดับบิตได้เป็น TCON.0 เป็นบิตสำหรับกำหนดการตอบรับสัญญาณการอินเตอร์รัพท์ที่เกิดจากขา INT0 ถ้าลอจิก 1 จะเป็นการตอบรับการอินเตอร์รัพท์ที่ขอบขาลงของสัญญาณอินเตอร์รัพท์ และลอจิก 0 จะเป็นการตอบรับการอินเตอร์รัพท์ที่ระดับลอจิก

TMOD

เป็นรีจิสเตอร์สำหรับควบคุม Mode การทำงานของ Timer/Counter และไม่สามารถอ้างอิงระดับบิตได้ ซึ่งจะแบ่งเป็นสองส่วน โดยที่สี่บิตแรกของรีจิสเตอร์นี้ใช้สำหรับ Timer/Counter 0 และสี่บิตบนสำหรับ Timer/Counter 1 มีรายละเอียดดังนี้

Timer 1				Timer 0			
GATE	C/T	M1	MO	GATE	C/T	M1	MO

GATE เป็นบิตใช้สำหรับการควบคุม Timer/Counter ถ้าเป็นลอจิก 1 Timer/Counter นั้นจะทำงาน เมื่อขาสัญญาณที่ขา INTx เป็นลอจิก 1 เท่านั้น และบิต TRx ใน TCON ต้องเป็นลอจิก 1 ด้วย ซึ่งจะเป็นการควบคุมด้วย Hardware เมื่อเป็นลอจิก 0 การควบคุม Timer/Counter นั้น ๆ จะเป็นการควบคุมด้วยโปรแกรมที่บิต TRx ของรีจิสเตอร์ TCON เท่านั้น

C/T เป็นบิตสำหรับเลือกการทำงานของ Timer/Counter เป็น Timer หรือ Counter โดยที่ถ้าเป็นลอจิก 1 จะทำหน้าที่เป็น counter โดยรับสัญญาณจากขา Tx ของ 8051 และลอจิก 0 เป็น Timer โดยความถี่ที่นับได้จากความถี่ภายในของ 8051

M0,M1 เป็นบิตสำหรับเลือกการทำงานของ Timer/Counter ดังแสดงในตารางต่อไปนี้

M1	M0	การทำงาน
0	0	เป็น Timer ขนาด 13 บิต เมื่อการทำงานของตระกูล 48
0	1	เป็น Timer/Counter ขนาด 16 บิต
1	0	เป็น Timer/Counter ขนาด 8 บิตที่สามารถตั้งค่าใหม่อัตโนมัติ
1	1	Timer/Counter 0 จะถูกแบ่งออกเป็น Timer/Counter ขนาด 8 บิตที่ถูกควบคุมของ Timer/Counter 0 และ TH0 จะเป็น Timer/Counter ขนาด 8 บิต ที่ควบคุมโดยชุดควบคุมของ Timer/Counter 1
1	1	Timer/Counter 1 จะหยุดทำงาน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

T2CON

เป็นรีจิสเตอร์ของ 8052 จะไม่กล่าวถึงรายละเอียด

SCON

เป็นรีจิสเตอร์ใช้สำหรับควบคุมการรับส่งข้อมูลแบบอนุกรมซึ่งสามารถอ้างอิงระดับบิตได้ โดยมีรายละเอียดดังนี้

SMO	SM1	SM2	REN	RB8	TI	RI

SM0-SM1 หรือสามารถอ้างอิงระดับบิตได้เป็น SCON.7 และ SCON .6 ตามลำดับ เป็นบิตสำหรับเลือกหน้าที่การทำงานของการรับส่งข้อมูลแบบอนุกรม โดยที่

SMO	SM1	Mode	รายละเอียด	ความเร็วการรับส่ง
0	0	0	SHIFT REGISTER ขนาด 8 บิต	Fosc/12
0	1	1	8 บิต UART	ตั้งค่าได้
1	0	2	9 บิต UART	Fosc/64 หรือFosc/32
1	1	3	9 บิต UART	ตั้งค่าได้

SM2 หรือสามารถอ้างอิงระดับบิตได้เป็น SCON.5 เป็นบิตสำหรับกำหนดการทำงานในลักษณะ Multiprocessor ใน Mode 2 และ Mode 3 ถ้าเป็นลอจิก 1 แล้ว RI จะไม่เปลี่ยนแปลง ถ้าข้อมูลบิตที่ 9 (RB8) เป็น 0 สำหรับ Mode 1 RI จะไม่เปลี่ยนแปลง ถ้า STOP บิต ไม่ได้รับ ถ้าเลือกการทำงาน Mode 0 แล้ว SM2 จะต้องเป็นลอจิก 0

REN หรือสามารถอ้างอิงระดับบิตได้เป็น SCON.4 เป็นบิตสำหรับใช้ควบคุมการรับโดยโปรแกรม โดยลอจิกที่ 1 จะมีการรับและลอจิก 0 จะไม่รับ

TB8 หรือสามารถอ้างอิงระดับบิตได้เป็น SCON.3 เป็นบิตที่ 9 ในการส่งข้อมูลใน Mode 2 และ Mode 3 ซึ่งสามารถกำหนดได้โดยโปรแกรมการทำงาน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

RB8 หรือสามารถอ้างอิงระดับบิตได้เป็น SCON.2 ใน Mode 2 และ Mode 3 ใช้สำหรับรับข้อมูลบิตที่ 9 สำหรับใน Mode 1 ถ้า SM2 = 0 Mode บิตนี้จะเป็นการรับ STOP และ Mode จะไม่ใช้งานบิตนี้

TI หรือสามารถอ้างอิงระดับบิตได้เป็น SCON.1 เป็นบิตบอกสถานะในการส่ง โดยที่จะเป็นลอจิก 1 เมื่อสิ้นสุดการส่งบิตที่ 8 ใน Mode 0 หรือสิ้นสุดการส่ง STOP บิต ใน Mode อื่นและจะต้องการกำหนดเป็นลอจิก 0 ด้วยโปรแกรม

RI หรือสามารถอ้างอิงระดับบิตได้เป็น SCON.0 เป็นบิตบอกสถานะการรับ จะเป็นลอจิก 1 เมื่อสิ้นสุดการรับบิตที่ 8 ใน Mode 0 หรือครึ่งช่วงเวลาของ STOP บิต สำหรับ Mode อื่น และจะต้องกำหนดให้เป็นลอจิก 0 ด้วยโปรแกรม

2.1.4 การคำนวณความเร็วการรับส่งข้อมูลแบบอนุกรม (Generating Baud Rate)

การกำหนดความเร็วการรับส่งข้อมูลแบบอนุกรมสามารถแบ่งได้ตาม Mode การทำงานดังนี้

Mode 0

ความเร็วการรับการส่งแบบอนุกรมใน Mode นี้จะกำหนดอัตราการรับส่งตายตัวเท่ากับ 1/12 ของความถี่ของชุดกำเนิดความถี่อ้างอิงของ 8051 และจะไม่ใช้ Timer/Counter ดังนั้นเพียงกำหนดที่
รีจิสเตอร์ SCON ก็เพียงพอ จะได้

$$\text{Baud Rate} = \frac{\text{Osc.Freq}}{12}$$

Mode 1

ในการกำหนดความเร็วการรับส่งข้อมูลแบบอนุกรมใน Mode 1 นี้จะใช้ Timer 1 เป็นฐานเวลาของการทำงาน โดยจะใช้การทำงานของ Timer 1 ใน Mode 2 (Auto-Reload) โดยสามารถคำนวณได้ดังนี้

$$\text{Baud Rate} = \frac{K * \text{Osc.Freq}}{32*12*[256-(TH1)]}$$

K = 1 เมื่อ SMOD ในรีจิสเตอร์ PCON = 0

K = 2 เมื่อ SMOD ในรีจิสเตอร์ PCON = 1

ส่วนมากแล้ว ผู้ใช้ทราบค่าของ Baud Rate ที่จะส่งได้นั้น จะได้ค่าของ Time 1 สำหรับ Reload ได้เป็น

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$TH1 = 256 - \frac{K * Osc.Freq.}{384 * Baud\ Rate}$$

จากตารางต่อไปนี้ แสดงค่า Baud Rate ต่าง ๆ และค่า Reload ของ Timer 1

Baud Rate	f_{osc}	SMOD	Timer 1		
			$\overline{C/T}$	Mode	Reload Value
Mode 0 Max:1MHz	12MHz	X	X	X	X
Mode 2Max:375k	12MHz	1	0	X	X
Mode 1Max:62.5k	12MHz	1	0	2	FFH
19.2k	11.059MHz	1	0	2	FDH
9.6k	11.059MHz	0	0	2	FDH
4.8k	11.059MHz	0	0	2	FAH
2.4k	11.059MHz	0	0	2	F4H
1.2k	11.059MHz	0	0	2	E8H
137.5	11.059MHz	0	0	2	1DH
110	6MHz	0	0	2	72H
110	12MHz	0	0	1	FEEBH

รูปที่ 2.9 ตารางแสดงค่า Baud Rate ต่าง ๆ และค่า Reload ของ Timer 1

Mode 2

ความเร็วการรับส่งใน Mode นี้จะเป็นค่าคงที่ ซึ่งมี 2 ค่า SMOD ในรีจิสเตอร์ PCON ดังนี้

เมื่อ SMOD = 1 Baud Rate = 1/32 Osc.Freq.

เมื่อ SMOD = 1 Baud Rate = 1/64 Osc.Freq

Mode 3

การกำหนดความเร็วการรับส่งใน Mode 3 จะคิดเช่นเดียวกับการคิดใน Mode 1 สำหรับค่าเริ่มต้นของรีจิสเตอร์ SFR เมื่อ 8051 ถูกรีเซต จะมีค่าดังแสดงในตารางต่อไปนี้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

SFR Name	Reset Value
PC	0000H
ACC	00H
B	00H
PSW	00H
SP	07H
DPTR	0000H
P0-P3	FFH
IP(8051)	XXX0000B
IP(8051)	XXX0000B
IE(8052)	0XX0000B
IE(8052)	0X00000B
TMOD	00H
TCON	00H
TH0	00H
TL0	00H
TH1	00H
TL1	00H
TH2(8052)	00H
TL2(8052)	00H
RCAP2H(8052)	00H
RCAP2L(8052)	00H
SCON	00H
SBUF	Indeterminate
PCON(HMOS)	0XXXXXXXB
PCON(CHMOS)	0XXX0000B

รูปที่ 2.10 ตารางแสดงการกำหนดความเร็วการรับส่งใน Mode 3

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.1.5 ระบบอินเตอร์รัพท์ของ 8051

การติดต่อระหว่างไมโครคอนโทรลเลอร์กับอุปกรณ์ภายนอกมักจะทำโดยการตรวจสอบสภาวะของสัญญาณติดต่อระหว่างกัน การอินเตอร์รัปต์เป็นวิธีการหนึ่งที่นิยมนำมาใช้กับไมโครคอนโทรลเลอร์เพื่อสามารถจัดการตอบรับหรือบริการกับอุปกรณ์ต่าง ๆ ให้เป็นไปได้อย่างรวดเร็ว

ไมโครคอนโทรลเลอร์ 8051 สามารถเกิดการอินเตอร์รัพท์ โดยการจำแนกตามแหล่งที่มาของสัญญาณ (Signal Source) ของสัญญาณอินเตอร์รัพท์นั้น ๆ ได้แก่

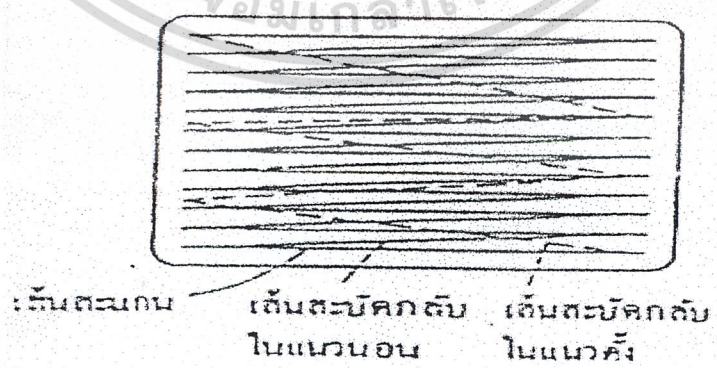
สัญญาณอินเตอร์รัพท์ภายนอก (External Interrupt) การตรวจสอบสัญญาณที่เข้ามาอินเตอร์รัปต์นี้จะสามารถกำหนดให้มีการตรวจสอบในลักษณะเมื่อได้มีการเปลี่ยนแปลงสัญญาณไปแล้ว หรือในช่วงเวลาขณะเริ่มมีการเปลี่ยนแปลงสัญญาณจากลอจิกสูงไปต่ำ

สัญญาณอินเตอร์รัปต์ภายใน (Internal Interrupt) แหล่งกำเนิดสัญญาณนี้จะเป็นวงจรภายในของไมโครคอนโทรลเลอร์เองเช่น วงจรนับ / วงจรจับเวลา วงจรเชื่อมต่อสัญญาณอนุกรม เป็นต้น

2.2 สัญญาณภาพ

2.2.1 วิธีการสแกนและการหักเหของลำอิเล็กตรอน

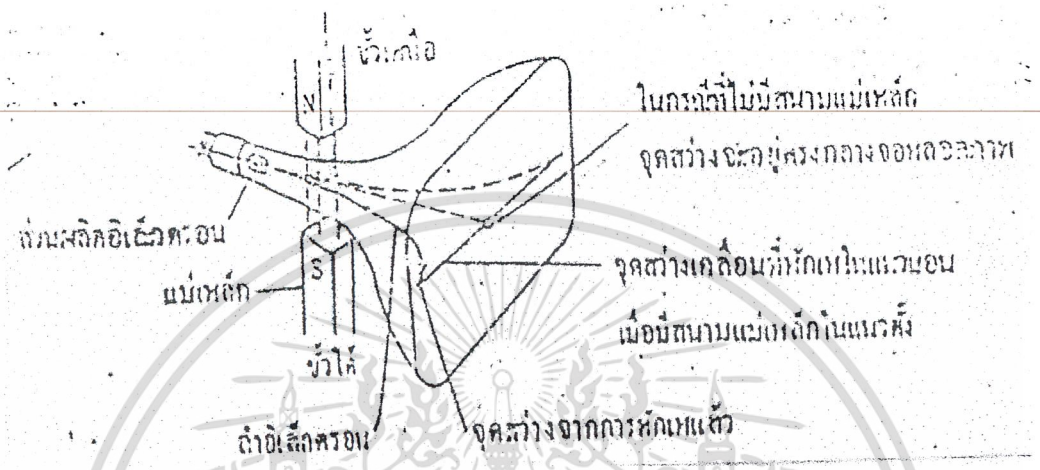
ภายในหลอดภาพของเครื่องรับโทรทัศน์ อิเล็กตรอนที่หลุดออกมาจากแคโถด และถูกดึงดูดให้วิ่งเป็นลำไปกระทบ แอโนด หรือจอหลอดภาพ ซึ่งฉาบวัสดุเรืองแสงบางชนิดเอาไว้ จะทำให้มองเห็นเป็นจุดสว่างขึ้นที่จอการสแกน ก็คือการทำให้จุดสว่างนี้ เคลื่อนที่ไปในจังหวะที่ถูกต้องทั้งในแนวนอนและแนวตั้งของจอหลอดภาพ โดยอาศัยความเข้มของสนามแม่เหล็กเข้าช่วยเหลือตามที่แสดงไว้ในรูป (2.11) และ รูป (2.12)



รูปที่ 2.11 การเคลื่อนที่หักเหของลำอิเล็กตรอนในจังหวะที่ถูกต้องทั้งในแนวนอนและแนวตั้งของจอหลอดภาพ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

กล่าวคือ ในขณะที่ไม่มีสนามแม่เหล็ก ลำอีเล็กตรอนก็จะวิ่งไปกระทบจอหลอดภาพตรงกลางโดยไม่ถูกหักเหเลยแต่หากต้องการเบนลำอีเล็กตรอนนั้นไปทางซ้ายมือในแนวนอน ก็จำเป็นต้องใช้สนามแม่เหล็กที่มีขั้วเหนือ – ขั้วใต้อยู่ในแนวตั้ง ตามรูปที่ (2.12)



รูปที่ 2.12 การหักเหของลำอิเล็กตรอนรอน โดยอาศัยสนามแม่เหล็กเข้าช่วยเหลือ

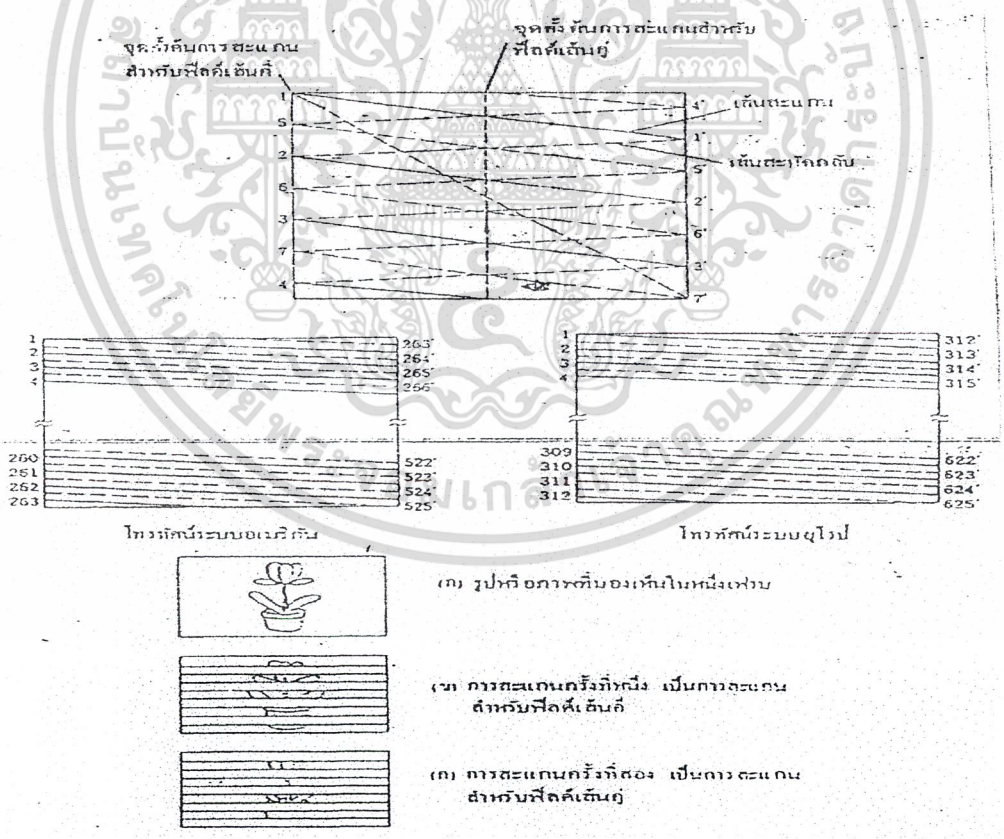
หากกลับขั้วแม่เหล็กนี้เสีย ลำอิเล็กตรอนก็จะถูกเบนไปทางขวามือในแนวนอนของจอหลอดภาพการที่ลำอิเล็กตรอนถูกเบนไปทางขวามือหรือทางซ้ายมือของจอนี้จะทำให้เห็นเป็นจุดสว่างเคลื่อนที่ไปทางเดียวกันด้วย ในทำนอนเดียวกัน หากมีขั้วแม่เหล็กในแนวนอน ลำอิเล็กตรอนหรือจุดสว่างก็จะถูกเบนไปในทางแนวตั้งของจอหลอดภาพ ฉะนั้น เพื่อช่วยในการหักเหลำอิเล็กตรอนในทิศทางที่ต้องการ จึงนิยมใช้สนามแม่เหล็กทั้งในแนวนอนและในแนวตั้งร่วมกันสองสนาม

การสแกนจะเริ่มต้นขึ้นโดยการทำให้จุดสว่างเคลื่อนที่จากซ้ายมือด้านบนของจอไปทางขวามือในแนวนอน ซึ่งเมื่อไปถึงตำแหน่งขวาสุด ก็จะถูกเบนต่ำลงเล็กน้อย แล้วก็จะกลับไปตั้งต้นใหม่ทางซ้ายมือเพื่อเคลื่อนที่มาทางขวามือในแนวนอนอีกเป็นอยู่เช่นนี้เรื่อยๆ จนกระทั้งจุดสว่างไปถึงตำแหน่ง ขวามือข้างล้างสุดของหลอดภาพก็เป็นอันเสร็จสิ้นการสแกนภาพนิ่งภาพหนึ่ง ซึ่งเรียกกันว่า เฟรมหนึ่ง หลังจากนั้น ลำอิเล็กตรอนจะกลับไปตั้งต้นใหม่ทางด้านซ้ายมือของจอหลอดภาพอีก เพื่อสแกนภาพนิ่งอันดับต่อไป อย่างไรก็ตาม เพื่อลดอาการกระพริบของภาพ การสแกนภาพนิ่งแต่ละภาพ จึงมักนิยมจัดทำสองครั้งในแบบของการสแกนไขว้กัน โดยกำหนดให้ภาพนิ่งหนึ่งเฟรม ประกอบด้วยภาพนิ่งสองฟิลด์ จึงกลับไปตั้งต้นใหม่ทางซ้ายมือบนสุดของจอแล้วเริ่มต้นสแกนภาพนิ่งฟิลด์เส้นคู่ต่อไปจนถึงตำแหน่งขวามือล่างสุด หลังจากนั้น ก็จะเริ่มต้นการสแกนภาพนิ่งด้วยฟิลดีเส้นคี่และการสแกนภาพนิ่งด้วยฟิลด์เส้นคู่ สำหรับโทรทัศน์ระบบ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

อเมริกันซึ่งใช้เส้นสแกน 525 เส้นต่อภาพ และ 30 ภาพต่อวินาทีนั้น ภาพนิ่งแต่ละภาพ หรือภาพนิ่งแต่ละเฟรม จะประกอบด้วยเส้นสแกนแนวนอน 525 เส้น และ ภาพนิ่งแต่ละฟิลด์ ก็จะมีเส้นสแกนแนวนอน 262 ½ เส้น ภาพนิ่งแต่ละภาพนี้จะเกิดขึ้นภายในระยะเวลา 1/30 วินาที ในทำนองเดียวกันสำหรับโทรทัศน์ระบบยุโรป ซึ่งใช้เส้นสแกนแนวนอน 625 เส้นต่อภาพ และ 25 ภาพต่อวินาที ภาพนิ่งแต่ละภาพ หรือภาพนิ่งแต่ละเฟรม จะประกอบด้วยเส้นสแกนแนวนอน 625 เส้น และภาพนิ่งแต่ละฟิลด์ ก็จะมีเส้นสแกนแนวนอน 312 ½ เส้น

เนื่องจากการสแกนภาพนิ่งตามที่กล่าวถึงมาแล้วนี้ กระทำติดต่อกันไปเรื่อย ๆ โดยมีจำนวนเส้นต่อภาพ และจำนวนภาพต่อวินาที ตามแต่ชนิดของระบบโทรทัศน์ที่ใช้ภาพที่มาปรากฏบนจอหลอดภาพเครื่องรับโทรทัศน์ จึงมีผลเหมือนกับการฉายภาพนิ่ง ซึ่งแต่ละภาพแตกต่างกันบ้างเล็กน้อย เป็นจำนวนหลาย ๆ ภาพต่อหนึ่งวินาที และด้วยคุณลักษณะพิเศษของสายตาเกี่ยวกับ persistence of vision (การเห็นภาพติดตา) นี้ จึงทำให้มองเห็นภาพบนจอหลอดภาพเครื่องรับโทรทัศน์เป็นภาพที่เคลื่อนไหวติดต่อกันไปตลอดเวลา ดังรูปที่ 2.13

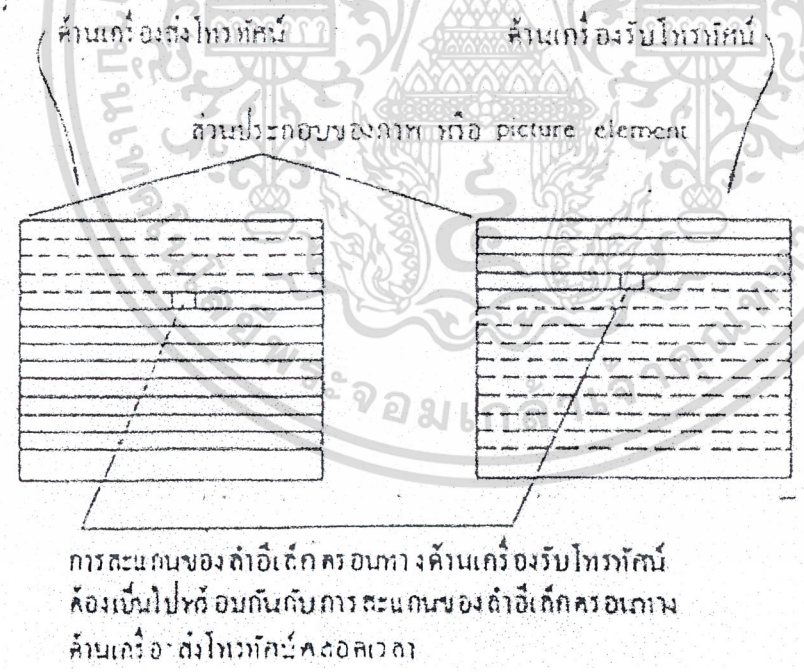


รูปที่ 2.13 การสแกนสองครั้งสำหรับภาพนิ่งแต่ละภาพ โดยแบ่งหนึ่งเฟรมออกเป็นสองฟิลด์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.2.2 เครื่องส่งและเครื่องรับโทรทัศน์

เครื่องส่งและเครื่องรับโทรทัศน์ จำเป็นต้องมีการสแกนทางแนวนอน และการสแกนทางแนวตั้งพร้อมกัน จึงจะมีภาพเกิดขึ้นที่เครื่องรับโทรทัศน์ ภาพที่ปรากฏขึ้นบนจอหลอดภาพ จำเป็นต้องอาศัยวงจรของการหักเหทางแนวนอน และวงจรของการหักเหทางแนวตั้ง ซึ่งแต่ละวงจรจะมีกระแสรูปฟันเลื่อยไหลผ่าน ทางด้านกล้องโทรทัศน์ ก็จำเป็นต้องอาศัยความถี่ทั้งสองช่วยทำให้เกิดสัญญาณทางไฟฟ้าเช่นเดียวกัน ความถี่ทางวงจรของการหักเหทางแนวนอน และวงจรของการหักเหทางแนวตั้งที่ใช้ในเครื่องส่งโทรทัศน์ ด้วยเหตุนี้ จึงจำเป็นต้องมีวิธีทำให้ความถี่ของวงจรดังกล่าวทางเครื่องส่ง และทางเครื่องรับโทรทัศน์ เท่ากันอยู่ทุกขณะ ตามรูปที่ (2.14) โดยสถานีโทรทัศน์ต้องส่งสัญญาณชนิดหนึ่งที่เรียกว่า สัญญาณซิงค์ ไปพร้อมกับสัญญาณภาพและสัญญาณเสียงตามรายละเอียดที่จะได้กล่าวถึงในหัวข้อต่อไป สัญญาณซิงค์นี้จะช่วยทำให้ความถี่ในวงจรของการหักเหทางแนวนอน และวงจรของการหักเหทางแนวตั้ง ในเครื่องส่งและเครื่องรับโทรทัศน์เท่ากันเพื่อทำให้เกิดภาพที่จอหลอดภาพของเครื่องรับโทรทัศน์ตลอดเวลาได้



รูปที่ 2.14 ผลของสัญญาณซิงค์ที่ทำให้ความถี่ของเครื่องส่งและเครื่องรับเท่ากันตลอดเวลา

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.2.3 สถานีโทรทัศน์จำเป็นต้องส่งสัญญาณอะไรบ้าง

เพื่อทำให้เกิดผลสมความมุ่งหมาย สถานีโทรทัศน์ที่ส่งภาพขาวดำ จำเป็นต้องส่งสัญญาณหลายอย่าง ได้แก่

-สัญญาณเสียง

-สัญญาณภาพ

-สัญญาณแบล้งค์กิ้ง

-สัญญาณซิงค์

-สัญญาณอีควัลไลซิ่ง

สัญญาณเสียงมีคลื่นพาหะของตัวเองโดยเฉพาะ ส่วนสัญญาณภาพและสัญญาณอื่น ๆ นั้นจะรวมเป็นรูปแบบอันเดียวกัน ซึ่งเรียกว่า สัญญาณภาพรวม แล้วใช้คลื่นพาหะของภาพเป็นตัวพาออกอากาศรวมกับคลื่นพาหะเสียงไปยังเครื่องรับโทรทัศน์ เหตุผลและความจำเป็นในการใช้สัญญาณต่าง ๆ มีดังนี้

ก) สัญญาณภาพ และ สัญญาณเสียง เป็นสัญญาณที่ใช้เพื่อทำให้เกิดภาพและเสียงทางเครื่องรับโทรทัศน์ตามความต้องการ

ข) สัญญาณแบล้งค์กิ้ง เป็นสัญญาณที่ใช้เพื่อลบเส้นสแกนสะบัดกลับทั้งในแนวนอน และในแนวตั้ง มิให้สังเกตเห็นได้ชัดทางจอหลอดภาพ

ค) สัญญาณซิงค์ เป็นสัญญาณที่ใช้เพื่อช่วยทำให้วงจรของการหักเหทางแนวนอน และวงจรของการหักเหทางแนวตั้งในเครื่องส่งกับเครื่องรับโทรทัศน์ต้องมีความถี่ตรงกันตลอดเวลา เนื่องจากว่าความถี่ของสัญญาณซิงค์มีค่าเท่ากับความถี่ของสัญญาณแบล้งกิ้งค์พอดี จึงจำเป็นต้องป้องกันการรบกวนที่อาจเกิดขึ้น โดยจำเป็นต้องกำหนดขนาดของซิงค์พลส์ให้น้อยกว่าขนาดของแบล้งกิ้งค์พัลส์ นอกจากนี้ยังใช้วิธีส่งซิงค์พัลส์เหล่านี้ปนกับแบล้งค์กิ้งพัลส์อีกด้วย โดยให้ฐานของซิงค์พัลส์อยู่ทับขอบบนของแบล้งค์กิ้งค์พัลส์อีกชั้นหนึ่ง เมื่อจัดขอบเขตความต่างศักดิ์ในระดับสูงสุดของแบล้งค์กิ้งค์พัลส์เป็น ระดับดำมืด จนมองไม่เห็นแล้วระดับของซิงค์พัลส์ที่อยู่บนยอดสูงสุดของแบล้งค์กิ้งพัลส์ ก็จะเป็นระดับดำมืดสนิท และไม่ทำให้เกิดการรบกวนภาพที่จอหลอดภาพแต่อย่างใด

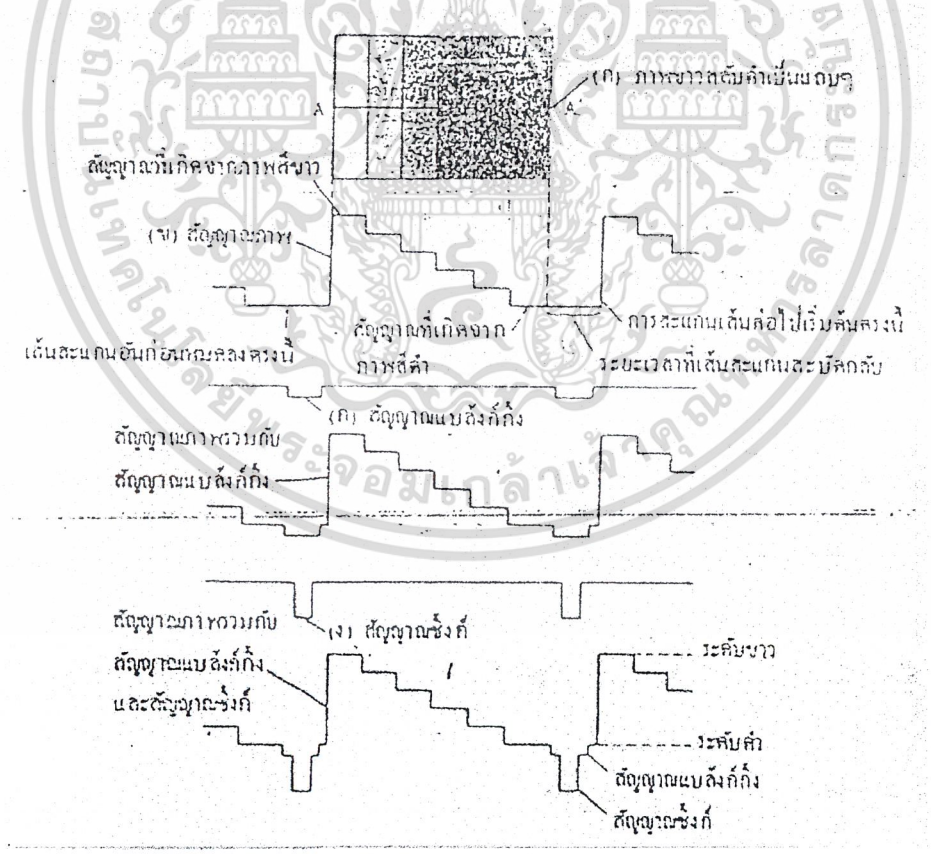
ง) สัญญาณอีควัลไลซิ่ง เป็นสัญญาณที่ใช้เพื่อช่วยให้สัญญาณซิงค์ทางแนวตั้ง ยังคงมีรูปร่างดีเหมือนเดิมหลังจากแยกออกมาจากสัญยาณซิงค์ทางแนวนอนแล้ว นอกจากนี้ยังช่วยทำให้การสแกนแบบไขว้กันเป็นไปโดยเรียบร้อยสม่ำเสมอ รวมทั้งสัญญาณซิงค์ทางแนวนอนก็ไม่ขาดหายไปในช่วงเวลาของสัญญาณซิงค์ทางแนวตั้งอีกด้วย ขนาดของพัลส์ที่กล่าวถึงนี้จะเท่ากับสัญญาณซิงค์ทางแนวตั้ง หรือประมาณสามเท่าของขนาดสัญญาณซิงค์ทางแนวนอน และยังนิยมแบ่งพัลส์นี้ออก

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เป็น หกพัลส์เล็ก ๆ ด้วยกันตามรูปที่ (2.16) เพื่อทำให้เกิดสัญญาณซิงค์ทางแนวนอนครั้งหนึ่งในทุก ๆ สองครั้งที่มีพัลส์เล็ก ๆ นี้ นอกจากนี้ยังนิยมแบ่งสัญญาณซิงค์ทางแนวตั้งออกเป็นพัลส์เล็ก ๆ เช่นเดียวกัน

สัญญาณโทรทัศน์ ที่มีสัญญาณภาพรวมกับสัญญาณอื่น ๆ หลายอย่าง ตามที่แสดงไว้ในรูปที่ (2.16) นี้ มีชื่อเรียกว่า สัญญาณภาพรวม

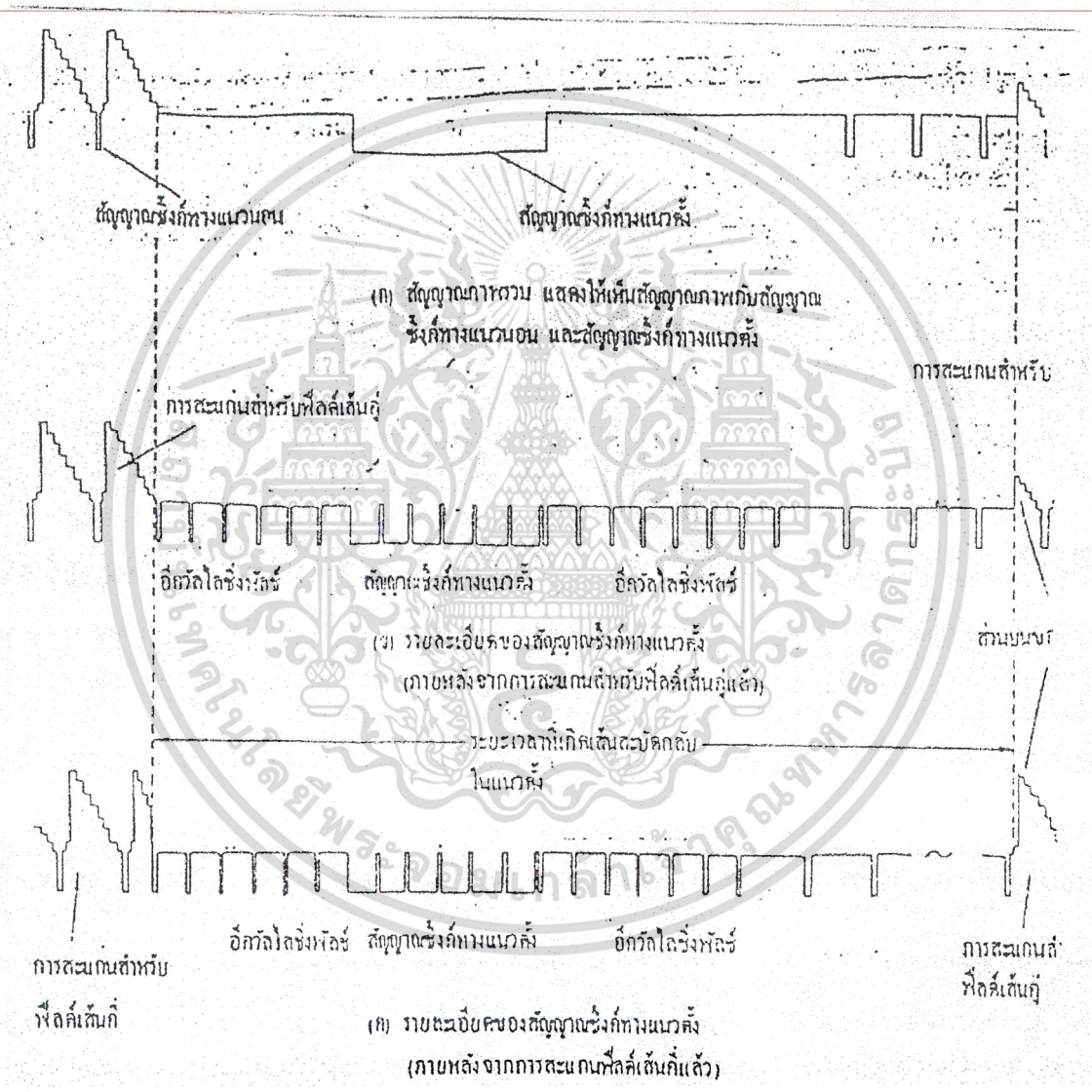
รูปที่ (2.15) แสดงภาพขาวสลับดำ ซึ่งเริ่มจากสีขาว สำดำจาง ๆ และสีดำสนิทเป็นแถบ ๆ กล้อง โทรทัศน์จะเปลี่ยนภาพนี้ให้เป็นสัญญาณทางไฟฟ้าชนิดหนึ่ง ซึ่งเมื่อรวมกับสัญญาณแบล้งค์กิ้งค์และสัญญาณซิงค์แล้ว ก็จะได้สัญญาณภาพรวมตามที่แสดงไว้ ภาพแต่ละชนิดจะให้สัญญาณทางไฟฟ้าที่มีความถี่สูงต่ำแตกต่างกัน สำหรับโทรทัศน์ระบบอเมริกัน ความถี่สูงสุดของภาพไม่ควรเกิน4 เมกะเฮิร์ทและสำหรับโทรทัศน์ระบบยุโรป ความถี่สูงสุดนี้จะไม่เกิน 5 เมกะเฮิร์ท ในเรื่องนี้ภาพที่เกิดจากสัญญาณโทรทัศน์ที่มีความถี่สูง ย่อมละเอียดกว่า หรือ มีจำนวนจุดดำ อันเป็นส่วนประกอบของภาพ มากกว่าภาพที่เกิดจากสัญญาณโทรทัศน์ที่มีความถี่ต่ำ



รูปที่ 2.15 รูปร่างของสัญญาณโทรทัศน์ที่เกิดจากภาพขาวสลับดำเป็นแถบ ๆ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เมื่อเครื่องรับโทรทัศน์รับเอาสัญญาณโทรทัศน์มาได้แล้ว ก็จะมีการแยกเอาสัญญาณต่าง ๆ ตามที่กล่าวถึงนี้ไปให้วงจรซึ่งทำหน้าที่ต่าง ๆ กัน เพื่อทำให้เกิดภาพและเสียงตามความต้องการ สัญญาณเสียง ก็จะผ่านไปยังวงจรเสียง สัญญาณภาพและสัญญาณแบล้งค์กิ้งค์ก็จะตรงไปยังแคโถดหรือกริดของหลอดภาพ ส่วนสัญญาณซิงค์นั้น เมื่อแยกออกจากสัญญาณภาพรวมแล้ว ก็จะผ่านไปยังวงจรแยกซิงค์ วงจรของการหักเหทางแนวนอน และวงจรของการหักเหทางแนวตั้ง



รูปที่ 2.16 สัญญาณภาพรวม แสดงให้เห็นรายละเอียดของสัญญาณแต่ละชนิดเช่น สัญญาณแบล้งค์กิ้งค์ สัญญาณซิงค์ และสัญญาณอีควัลไลซิ่ง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

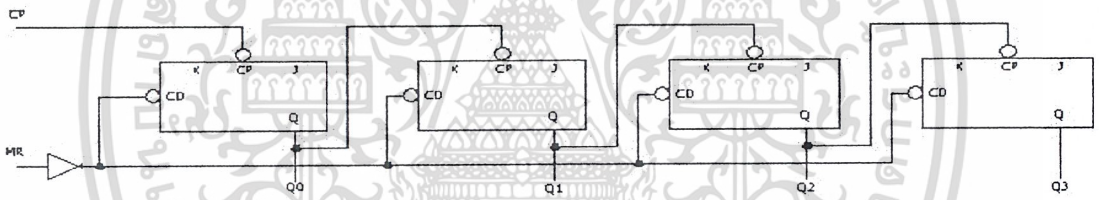
2.3 ตัวนับ (counter)

เป็นส่วนสำคัญอีกส่วนหนึ่ง ซึ่งมีหน้าที่หลักคือแสดงค่าการนับจำนวนพัลส์ของสัญญานาฬิกา ออกมาเป็นเลขฐาน 2 โดยอาศัยคุณสมบัติการเปลี่ยนค่าของ JK- Flip Flop ดังรูป

J	1	1	0	0
K	1	0	1	0
Q	$\bar{Q}$	1	0	Q

รูปที่ 2.17 การทำงานของ JK- Flip Flop

พบว่าเมื่อสัญญาณที่เข้ามาที่ขา CP เปลี่ยนสถานะจาก 1 เป็น 0 จะทำให้ค่าของสัญญาณเอาท์พุทของ Q จะเปลี่ยนสถานะจากเดิมไปตรงกันข้ามส่วนขา CP จะเป็นตัวทำการ รีเซตค่าที่นับได้ของตัวนับ เมื่อ CP มีสถานะเป็น 0 ซึ่งส่งผลให้ตัวนับขนาด 4 บิท ดังรูป 2.18



รูปที่ 2.18 การทำงานพื้นฐานของวงจรนับ ขนาด 4 บิท

2.4 หน่วยความจำเข้าถึงแบบสุ่ม (RAM : Random Access Memory)

เป็นหน่วยเก็บค่าเชิงตัวเลขมีชื่อเรียกอีกอย่างว่าหน่วยความจำแบบอ่านเขียนได้ (Read Write Memory) แต่ชื่อ RAM เป็นที่นิยมใช้โดยทั่วไปคุณสมบัติเป็นไปตามชื่อของมัน คือสามารถบันทึกค่าเชิงตัวเลขทางภาคเข้า และสามารถอ่านค่าที่บันทึกออกมาโดยมีสัญญาณที่ควบคุมคือ R/W และมีสัญญาณบังคับอีกชุดหนึ่งคือสายกำหนดตำแหน่ง (Address Line) ซึ่งกำหนดตำแหน่งจากหน่วยความจำที่ใช้เก็บค่า ถ้าใช้สายกำหนดตำแหน่ง 8 เส้น จะสามารถเก็บค่าได้ $2^8 = 256$ ค่า

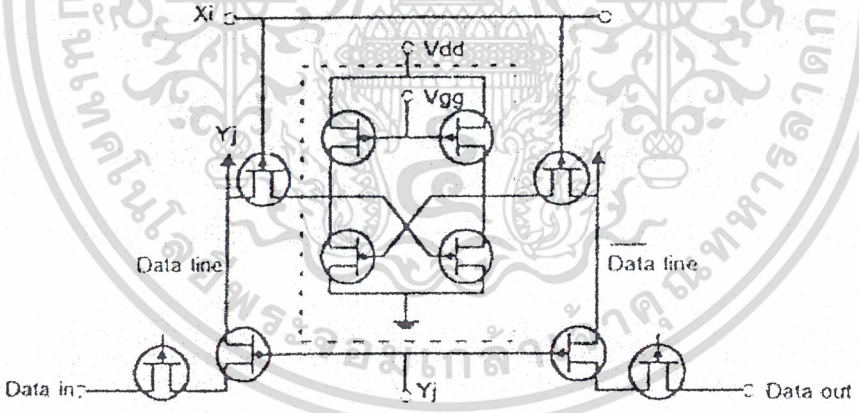
หน่วยความจำเข้าถึงแบบสุ่มอาจจะสร้างจากไบโพล่าร์ทรานซิสเตอร์ (BJT : Bipolar Junction Transistor) หรือ มอสเฟท (MOSFET : Metal Oxide Semiconductor Field Effect Transister) ซึ่งมักจะเรียกว่า "มอส" ซึ่งทรานซิสเตอร์แบบ ไบโพล่าร์ มีข้อดีคือความเร็วสูง แต่มี

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ข้อเสียที่ใช้กำลังงานสูง และกินเนื้อที่ของซิลิกอนในวงจรรวมมาก ส่วนแบบ มอส ความเร็วต่ำกว่า แต่ใช้กำลังงานต่ำและกินเนื้อที่ของซิลิกอนในวงจรรวมน้อยกว่าไบโพล่าร์มาก

ในไบโพล่าร์ทรานซิสเตอร์จะใช้วงจร ควบคู่แบบข้าม (Cross- Coupled Inverters) หรือฟลิปฟลอปซึ่งมีได้สองสภาวะคือ 1 และ 0 ส่วนมอส มี 2 แบบคือ

2.4.1 หน่วยความจำแบบสถิตย์ (Static MOS RAM) หน่วยความจำใช้วงจรฟลิปฟลอป เช่นเดียวกับหน่วยความจำที่ใช้ไลโพล่าร์ทรานซิสเตอร์ รูปที่ 2.19 แสดงหน่วยความจำเพียงหนึ่งในจำนวนหน่วยความจำทั้งหมดซึ่งจัดเรียงให้อยู่ในรูปของ x-y matrix โดยมีวงจรถอดรหัส (Dccoder) สำหรับแปลงจากเส้นกำหนดตำแหน่ง (Address lines) ให้ สัญญาณกลุ่ม x และ กลุ่ม y เป็น 1 ได้กลุ่มละหนึ่งเส้น สำหรับที่หน่วยความจำที่ถูกเลือก T5-T6จะนำกระแส ในการบันทึกค่าต้องตั้งให้ w = 1 T9 จะนำกระแสผ่าน T7 และ T5 ไปเก็บไนฟลิปฟลอปส่วนในการอ่านค่าที่บันทึกไว้ R = 1 T10 จะนำกระแส ค่าที่เก็บในฟลิปฟลอป จะส่งผ่าน T6 , T8 , T10 ออกมาเป็นค่าที่เป็นค่าจำนวนเติมเต็ม (Complement) กับสัญญาณที่ได้บันทึกไว้

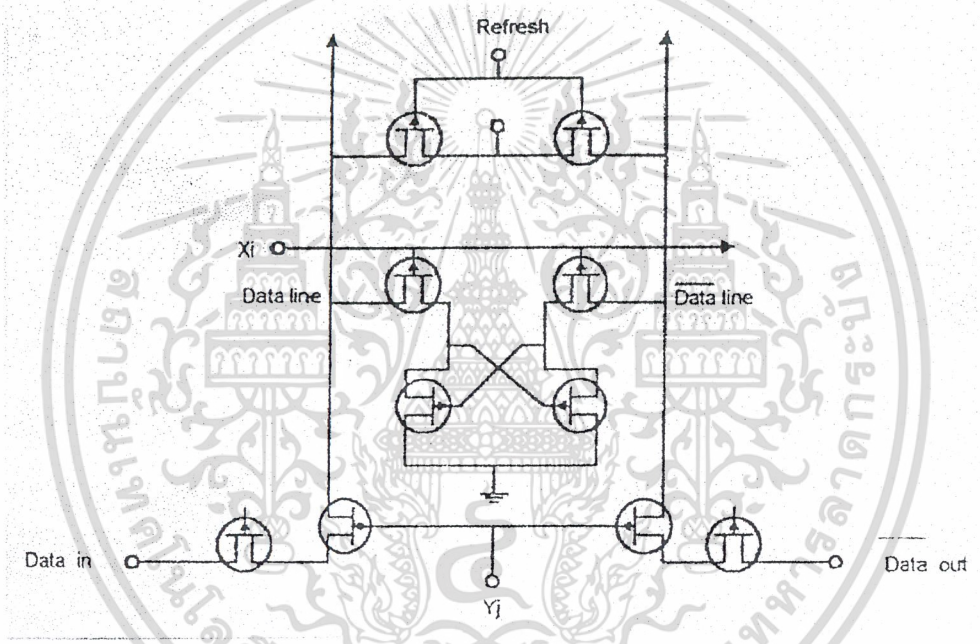


รูปที่ 2.19 หน่วยความจำของหน่วยความจำแบบสถิตย์ ซึ่งแสดงอยู่ภายในกรอบเส้นประและอุปกรณ์ต่าง ๆ สำหรับเลือกการทำงาน

2.4.2 หน่วยความจำแบบพลวัต (Dynamic MOS RAM) อาศัยตัวเก็บประจุที่เกทของมอสเฟท เพื่อคงค่าแรงดันไว้ได้ชั่วขณะ เหตุที่สามารถคงค่าแรงดันไว้ได้ ก็เนื่องจากความต้านทานขาเข้าของ มอสเฟท ทำให้การคายประจุที่เก็บไว้เป็นไปอย่างช้า ๆ แต่เนื่องจากประจุจะคายออกไปเรื่อย ๆ จึงจำเป็นต้องมีวงจรรีเฟรช (Refresh) สำหรับคอยเพิ่มประจุจำนวนนี้เป็นระยะ ๆ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รูปที่ 2.20 แสดงตัวอย่างของหน่วยความจำแบบนี้ ตัวเก็บประจุ C ที่แสดงด้วยเส้นประเพื่อแสดงว่ามีขึ้นเอง โดยธรรมชาติ ไม่ได้จงใจสร้างขึ้น การบันทึกกระทำโดยผ่าน T9 , T7 , T5 เหมือนหน่วยความจำสถิตย์ ถ้าสัญญาณเข้าเป็น 1 มันจะเก็บประจุไว้ใน C2 และ T2 จะนำกระแสทำให้ C1 ถูกต่อลงดินและ T1 ไม่นำกระแส เนื่องจาก T1 , T2 ต่อเป็นฟลิปฟลอป เมื่อหมดช่วงบันทึกค่าแล้ว ค่าประจุใน C2 จะยังคงมีอยู่ต่อไปอีกระยะหนึ่ง ถ้าสัญญาณเข้า เป็น 0 ผลจะได้กลับกันคือ C1 มีประจุ แต่ C2 ไม่มีประจุ การอ่านกระทำโดยผ่าน T6 , T8, T10 ในทำนองเดียวกันกับ หน่วยความจำสถิตย์



รูปที่ 2.20 หน่วยความจำแบบพลวัต (แสดงอยู่ภายในกรอบเส้นประ)

ส่วนที่ต่างจาก หน่วยความจำสถิตย์ ก็คือมันต้องมีช่วงเวลาสำหรับทำรีเฟรช อยู่ตลอดเวลา เพื่อชดเชยประจุที่รั่วไหล จาก C1 หรือ C2 แล้วแต่ว่าข้อมูลที่เก็บมีค่าเป็น 0 หรือ 1 ใน ช่วงรีเฟรช ขารีเฟรช และ x เป็น 1 ทำให้ T5 , T6 , T11 ,T12 นำกระแส สมมติว่าเก็บค่า 0 ไว้ ในขณะนี้ประจุ อยู่ที่ C1 ทำให้ T1 นำกระแส และ T2 ไม่นำกระแส การที่ T11 , T5 , T1 นำกระแส ทำให้ C2 ถูกประจุให้เต็มที่ได้ 1/3 Vdd นอกจากนี้ใน C1 เดิมจะมีประจุเหลืออยู่บ้าง ดังนั้นเมื่อหมดช่วงรีเฟรช ซึ่งเป็นช่วงเวลาสั้น ๆ C1 จะมีประจุอยู่มากกว่า C2 เป็นผล ให้ T1 นำกระแส และ T2 ไม่นำกระแส ประจุใน C2 จะคายออกโดยผ่าน T1 ซึ่งโดยสรุปแล้ว C1 จะได้ประจุเพิ่มขึ้นหลักช่วงเวลารีเฟรช

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

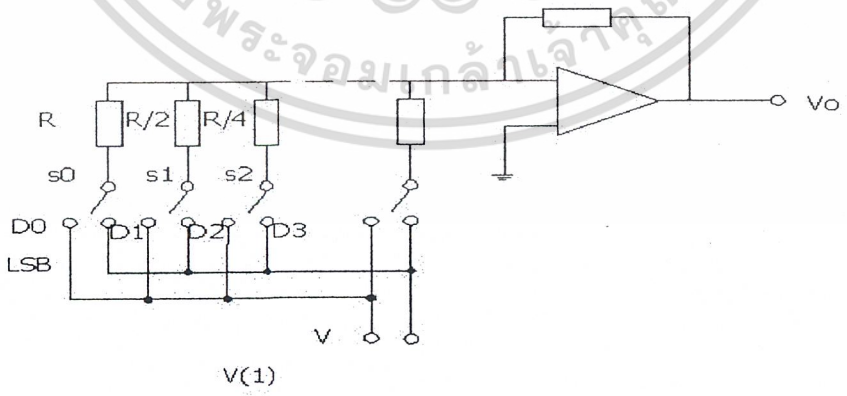
2.5 วงจรแปลงสัญญาณเชิงตัวเลขเป็นสัญญาณเชิงอุปมาน (DAC : Digital to Analog Converter)

เป็นวงจรที่รับสัญญาณเชิงตัวเลขแล้วแปลงกับเป็นค่าเชิงอุปมาน ซึ่งโดยหลักการแล้วจะสร้างได้ง่ายกว่าเมื่อเทียบกับวงจรแปลงสัญญาณเชิงอุปมานเป็นสัญญาณเชิงตัวเลข วงจรแปลงสัญญาณเชิงตัวเลขเป็นสัญญาณเชิงอุปมานมี หลายแบบซึ่งในที่นี้จะกล่าวถึงแบบที่สำคัญ ๆ อย่างย่อ ดังนี้

-The weighted – register DAC ใช้หลักการของวงจรรวมสัญญาณโดยมีอัตราขยายต่างกันสำหรับสัญญาณเข้าต่างกัน ตัวอย่างของวงจรนี้แสดงในรูป 2.21 สัญญาณเชิงตัวเลขที่เป็น 1 จะบังคับสวิทซ์ให้ส่งแรงดันอ้างอิงเข้าไปในวงจรบวกสัญญาณ ซึ่งสร้างจากออปแอมป์ อัตราขยายของวงจรสัญญาณจะจัดโดยค่าตัวต้านทานเข้าสำหรับแต่ละสัญญาณให้อัตาขยายของบิทที่ 1 เป็นสองเท่าของบิทที่ 0 อัตราการขยายของบิทที่ 2 เป็นสองเท่าของบิทที่ 1 เช่นนี้ไปเรื่อย ๆ ตามน้ำหนักของบิทในระบบ เลขฐานสอง

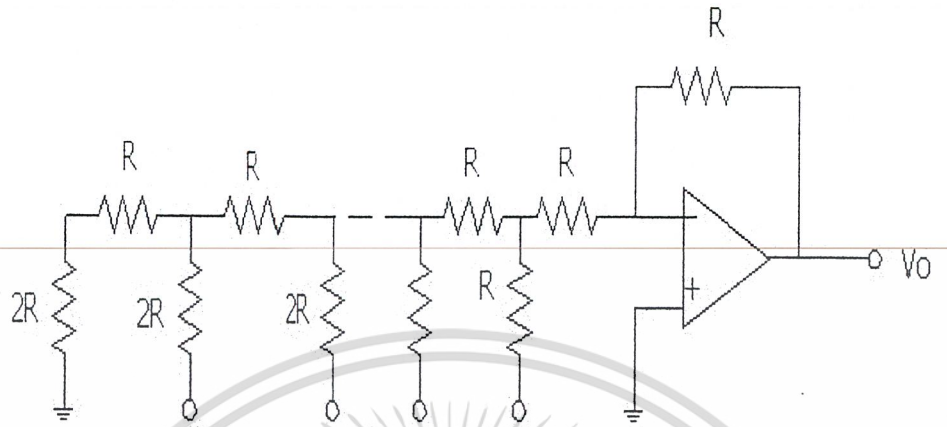
- The R- 2R Ladder DAC เป็น weighted – register DAC แบบหนึ่งซึ่งใช้ค่าความต้านทานอยู่สองค่า คือ R และ 2R ตามรูปที่ 2.22 ซึ่งสามารถตรวจสอบได้ว่าอัตราขยายจะเพิ่มเป็นสองสำหรับสัญญาณเชิงตัวเลขที่มีนัยสำคัยเพิ่มขึ้น 1 บิท

- The current – driven DAC จะเป็นแบบใดในสองแบบข้างต้นก็ได้ แต่ใช้กระแส อ้างอิงแทนแรงดันอ้างอิง ทำให้ความเร็วสูงขึ้นวงจรนี้แสดงในรูป 2.23 ซึ่งมีการใช้ Inverted – Iadder DAC เป็นการปรับปรุงเพื่อลดผลของการหน่วงเวลาในวงจร R –2R วงจรนี้แสดงในรูปที่ 2.24

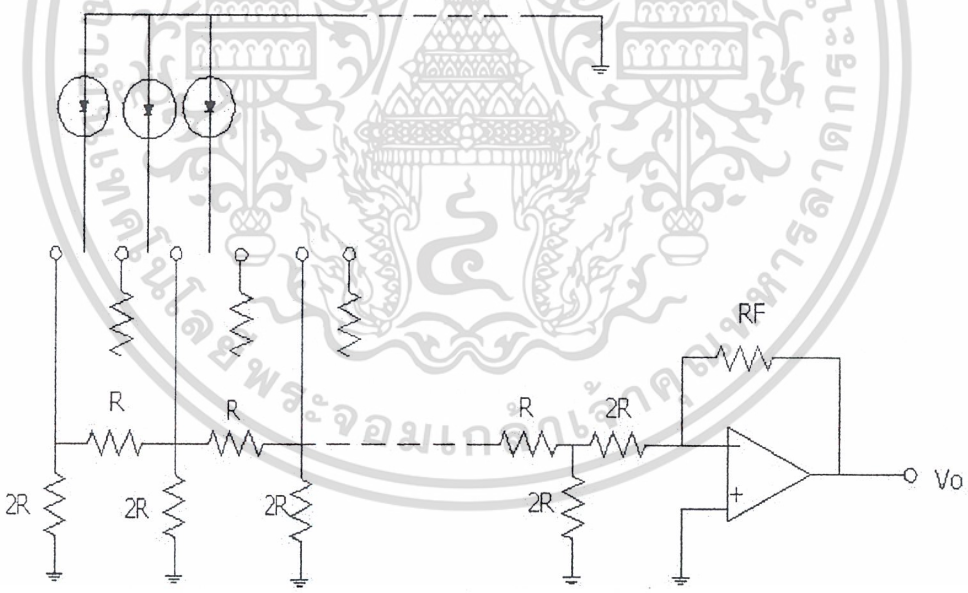


รูปที่ 2.21 ตัวอย่างวงจร Weighted – resister DAC ขนาด n

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

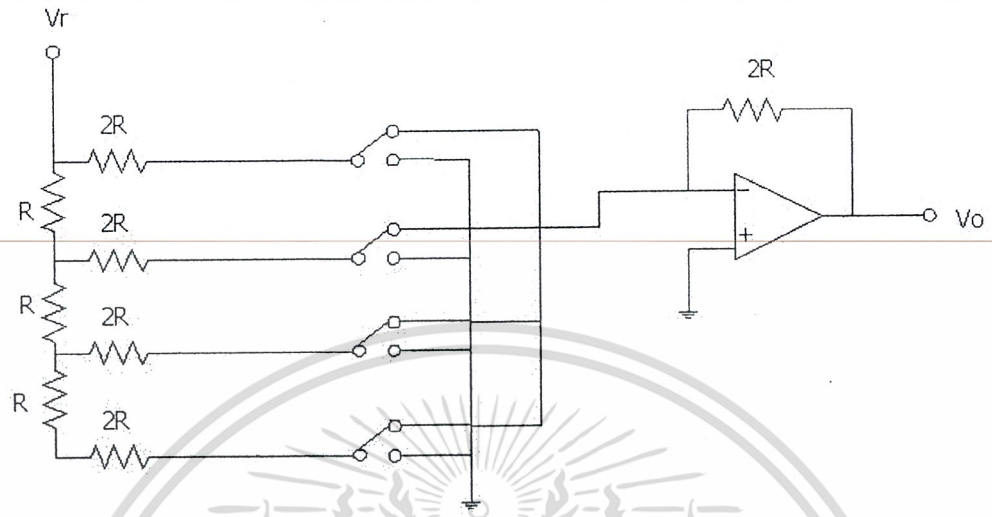


รูปที่ 2.22 วงจร R-2R ladder DAC ขนาด n บิท
(สัญญาณเชิงตัวเลขจะใช้บังคับสวิตซ์เพื่อส่งแรงดันอ้างอิง)



รูปที่ 2.23 วงจร Current – driven R – 2R ladder DAC

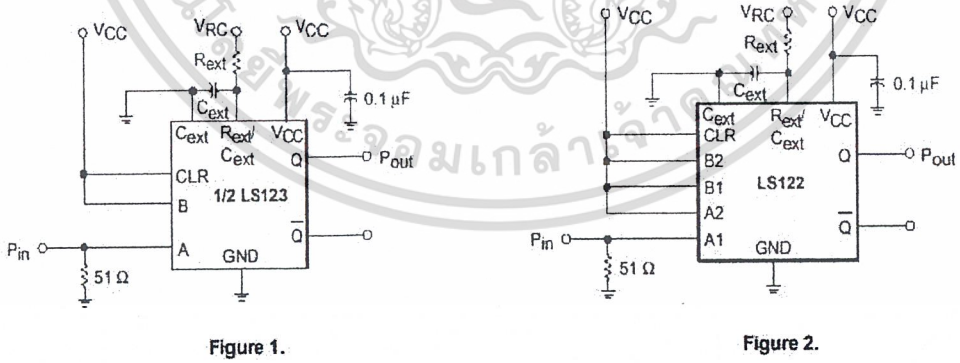
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.24 วงจร Inverted – ladder DAC

2.6 วงจรโมโนสเตเบิ้ล (Monostable)

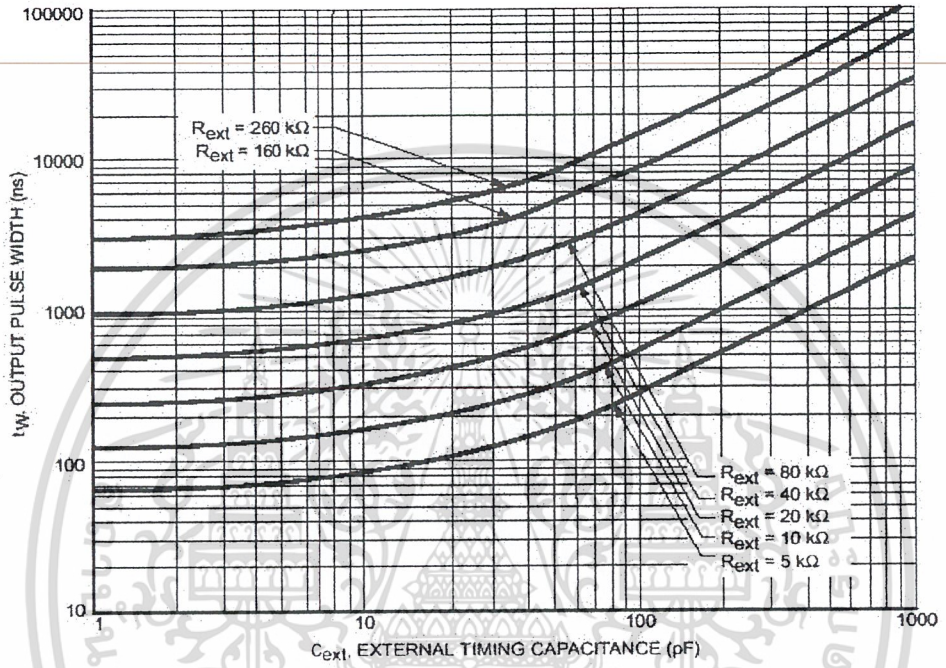
โดยทั่วไปวงจรโมโนสเตเบิ้ลต้องอาศัยช่วงเวลาหนึ่ง ในการทำงานหลังจากการทริกถ้าช่วงเวลาการทำงานยังไม่เสร็จสิ้นวงจรไอซีบางเบอร์สามารถรับการทริกได้อีกแต่บางเบอร์ก็ให้ผลตอบสนองต่อพัลส์ทริกนั้นไม่ได้ การต่อวงจรเพื่อเป็นโมโนสเตเบิ้ลของไอซี TTL ทำได้ดังนี้



รูปที่2.25 วงจรโมโนสเตเบิ้ล

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เพื่อให้ง่ายต่อการกำหนดช่วงเวลาความกว้างของพัลส์หรือการกำหนดค่า R และ C เราทำได้โดยดูจากกราฟดังรูปที่ 2.26



รูปที่ 2.26 กราฟแสดงช่วงเวลาความกว้างของพัลส์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

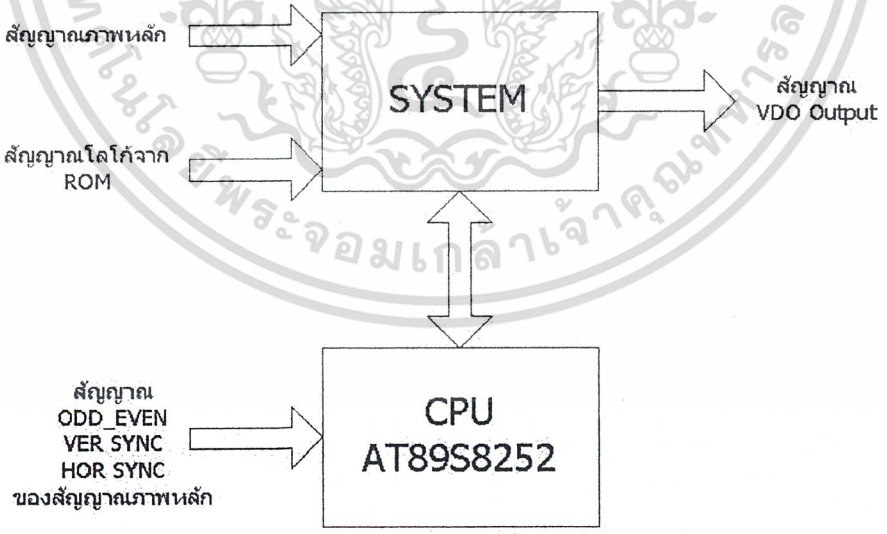
บทที่ 3
การออกแบบโครงงาน

ในการออกแบบโครงงานนี้ จะทำการนำสัญญาณภาพสองสัญญาณ ซึ่งสัญญาณหนึ่งจะเป็นสัญญาณภาพหลัก และอีกสัญญาณหนึ่งจะเป็นสัญญาณภาพรอง มาทำการซ้อนกัน โดยจะทำการเก็บสัญญาณภาพรองไว้ในหน่วยความจำ ภาพที่เก็บไว้จะสร้างโดยการพล็อตจุดขึ้นมา ซึ่งภาพที่ได้จะขึ้นอยู่กับการออกแบบ และทำการอ่านสัญญาณภาพรองจากหน่วยความจำ เมื่อถึงเวลาที่ต้องการจะแสดงภาพรองซ้อนบนสัญญาณภาพหลัก ซึ่งสามารถแบ่งการทำงานออกเป็นสองส่วนใหญ่ ๆ ได้แก่

- การตัดต่อสัญญาณภาพหลักและสัญญาณภาพรอง
- อ่านข้อมูลสัญญาณภาพรองกับหน่วยความจำ

โดยมีหลักการทำงานโดยละเอียดดังต่อไปนี้

3.1 การตัดต่อสัญญาณภาพหลักและสัญญาณภาพรอง



รูปที่ 3.1 โครงสร้างในส่วนการตัดสัญญาณภาพหลักเพื่อ แทรกสัญญาณภาพรอง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

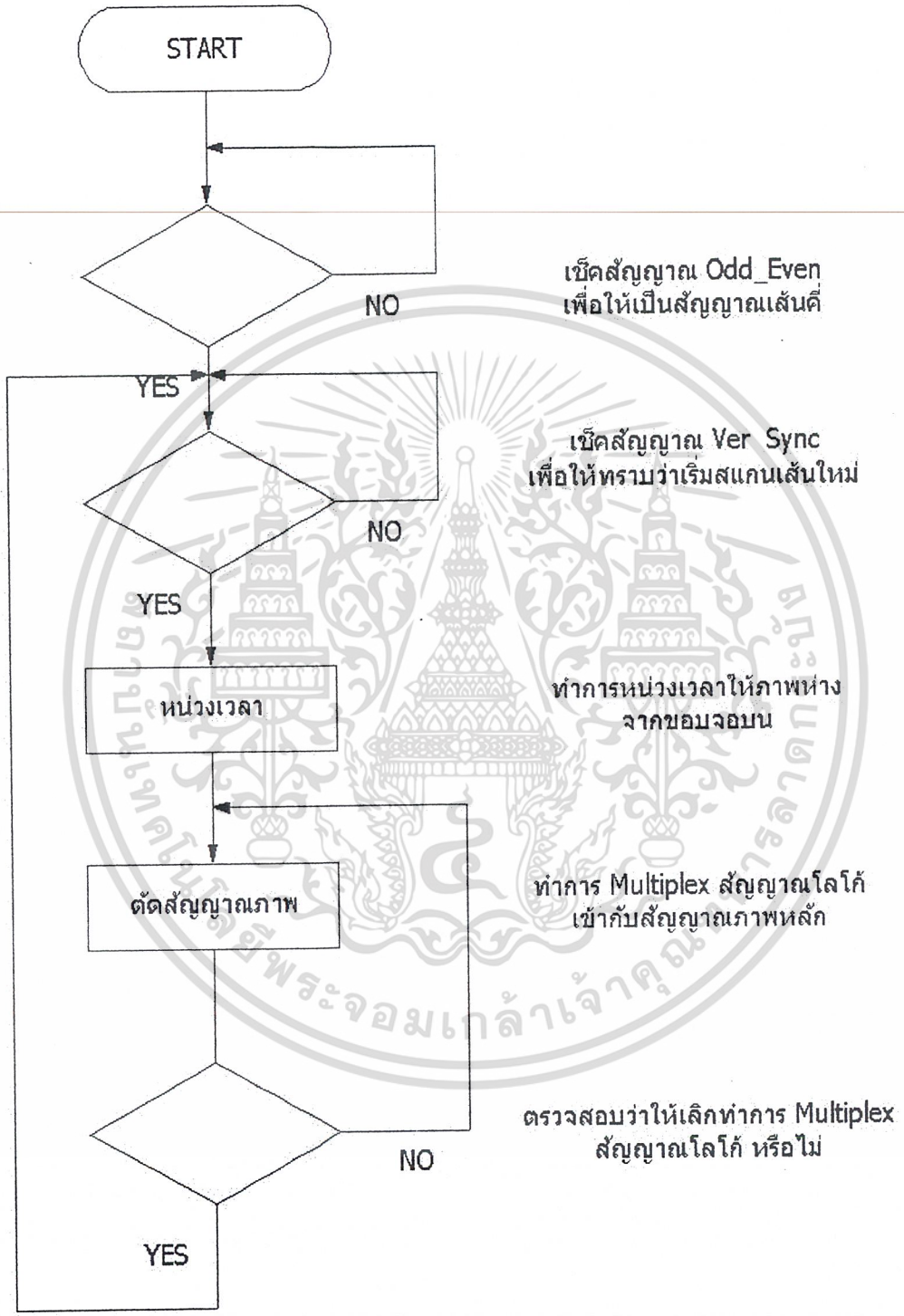
หลักการทำงานของโครงงานนี้คือ การควบคุม การตัดต่อภาพระหว่างสัญญาณภาพหลักกับสัญญาณภาพรอง โดยใช้ MCS51 เป็นตัวควบคุมการตัดต่อ ว่าเมื่อไรถึงจะทำการแทรกสัญญาณภาพรอง เข้าไปในสัญญาณภาพหลัก โดยทำการตรวจเช็คสัญญาณ Vertical Sync และ Horizontal Sync ของสัญญาณภาพหลัก แล้วส่งสัญญาณไปควบคุม Hardware ให้ทำการเลือกว่าเวลาใดถึงจะให้สัญญาณ VDO Output เป็นสัญญาณภาพหลัก หรือสัญญาณภาพรอง

3.2 ขั้นตอนการทำงานของระบบ

จาก Block Diagram เมื่อมีสัญญาณภาพ TV1 เข้ามาก็จะมีการนับสัญญาณซิงค์ ซึ่งสัญญาณซิงค์นี้ จะเป็นตัวบอกถึงการขึ้นต้นของเส้นสแกนในบรรทัดใหม่ เมื่อนับจนถึงบรรทัดที่ต้องการตัดต่อสัญญาณภาพแล้ว ก็จะเริ่มต้นเข้าสู่ส่วนของการหน่วงเวลาตามแนวนอนของจอภาพ เมื่อหน่วงจนถึงจุดที่ต้องการแล้ว จึงทำการตัดสัญญาณภาพ TV1 ออก แล้วใส่สัญญาณภาพโลโก้เข้าไปออกที่หน้าจอในบรรทัดสแกนตามที่ต้องการ

จากนั้นเมื่อมีสัญญาณซิงค์ เข้ามาอีกซึ่งเป็นการบอกให้รู้ว่าเริ่มมีการสแกนของสัญญาณภาพในเส้นถัดไป เราก็จะทำการตรวจสอบว่าครบ จำนวนบรรทัดเส้นที่เราต้องการตัดต่อหรือยัง ถ้ายังก็ทำตามขั้นตอนเดิมอีกครั้ง แต่ถ้าครบแล้วก็จะให้มีสัญญาณ สะบัดกลับแนวตั้ง (Vertical) เข้ามาซึ่งก็คือ การเริ่มสแกนภาพในเฟรมต่อไป ซึ่งก็จะเริ่มการทำงานตั้งแต่ต้นใหม่เหมือนเดิมเรื่อย ๆ ไป

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

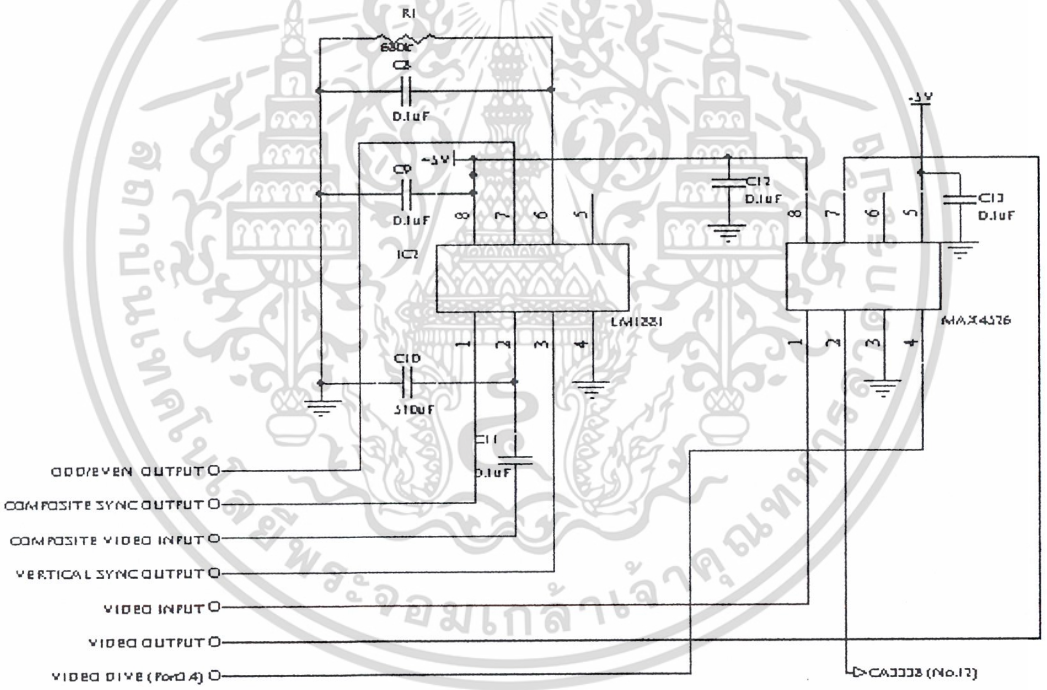


รูปที่ 3.2 Block Diagram แสดงขั้นตอนการทำงานของระบบ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.3 การนับสัญญาณซิงค์

ในที่นี้จะใช้ ไอซี เบอร์ LM1881N ซึ่งทำหน้าที่ตรวจแยก องค์ประกอบต่าง ๆ ของสัญญาณ TV ที่ป้อนให้กับมัน ได้แก่ สัญญาณเส้นสะบัดกลับแนวตั้ง (Vertical) สัญญาณเส้นสะบัดกลับแนวนอน (Sync) สัญญาณบอกเส้นคู่เส้นคี่ เป็นต้น โดยในที่นี้เราจะสนใจเฉพาะสัญญาณ ODD_EVEN สัญญาณเส้นสะบัดกลับแนวตั้ง (VER SYNC) สัญญาณเส้นแนวนอน (HOR SYNC) โดยสัญญาณ ODD_EVEN ทำให้ทราบว่าทำการสแกน เส้นคี่หรือเส้นคู่ สัญญาณ Ver Sync ทำให้ทราบว่าเป็นการสแกนเฟรมใหม่ และสัญญาณสะบัดกลับในแนวนอน ทำให้ทราบการสะบัดกลับและการเริ่มของเส้นสแกนทางแนวนอนซึ่งเป็นสัญญาณภาพ



รูปที่ 3.3 วงจรตรวจนับสัญญาณสะบัดกลับ

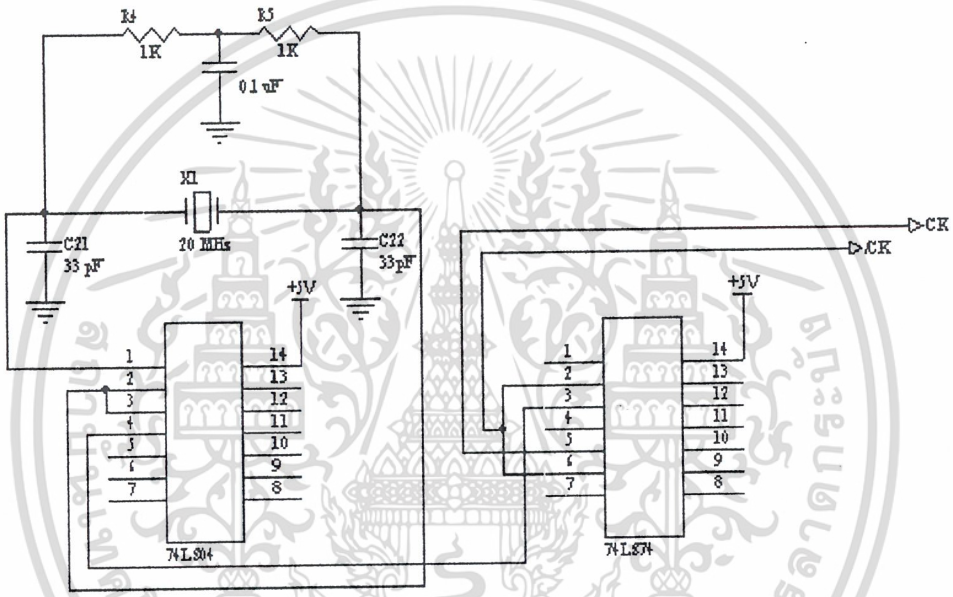
สัญญาณซิงค์ที่ได้จากการแยกสัญญาณโดย LM1881N จะนำมา OR กับสัญญาณาจาก CPU จะทำการตั้งสัญญาณที่ P 3.1 เพื่อทำการ INT 0 จะทำให้การนับ Snyc ที่แน่นอน ซึ่งจะทำให้การตัดต่อสัญญาณภาพดีขึ้นได้ ส่วนสัญญาณ ODD_EVEN จะทำการเช็คค่าจาก P 3.5 เพื่อให้ทำการ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ตัดสัญญาณเส้นคี่ และเส้นคู่ตามลำดับ ซึ่งจะทำให้การตัดภาพดีขึ้นและสัญญาณ Ver Sync จะเช็ค โดย P 3.3 เพื่อจะเช็คว่ามีการสแกนภาพใหม่หรือไม่

3.4 CLOCK CIRCUIT

การสร้างสัญญาณนาฬิกา (Clock) แสดงดังรูปที่ 3.4



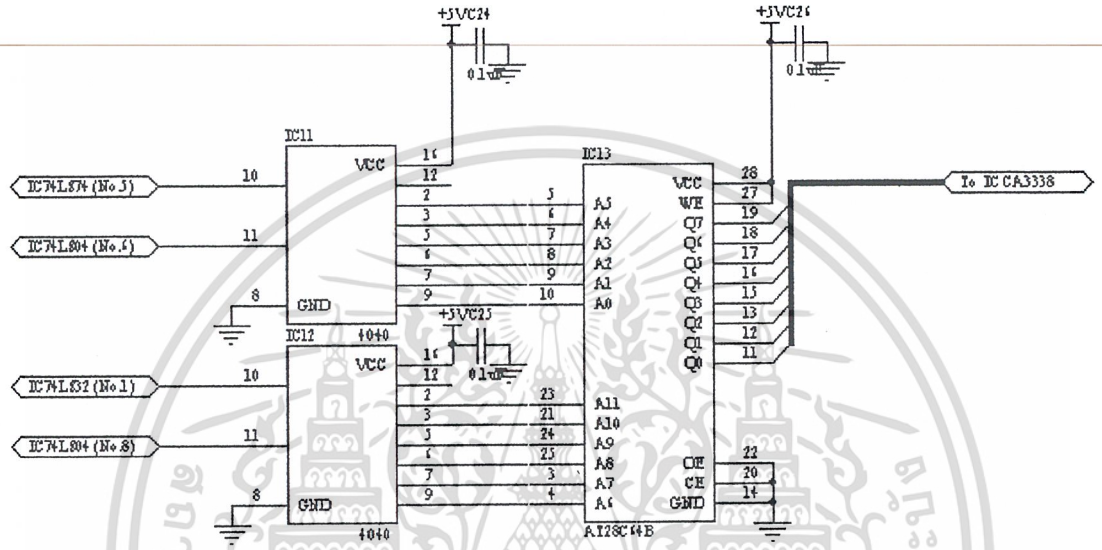
รูปที่ 3.4 แสดงวงจร Clock Circuit

การทำงานจะอาศัย NOT Gate เป็นตัวสร้างสัญญาณ CLOCK ร่วมกับ Cystal ขนาด 20 MHz จากนั้นจะถูก D-FlipFlop ทำการหาร 2 เพื่อให้ได้ สัญญาณ CLOCK ขนาด 10 MHz

3.5 วงจร Counter

จะใช้ ไอซีเบอร์ CD4040 2 ตัว โดยตัวแรกจะนับสัญญาณ CLOCKขนาด 10 MHz โดยมีสัญญาณ Hor Sync. เป็นตัว Reset ซึ่งจะได้สัญญาณ Dot Clock เท่ากับ 5MHz เป็นสัญญาณทางแนวตั้ง ส่วนไอซีอีกตัวก็จะทำหน้าที่นับสัญญาณ Hor Sync. โดยมีสัญญาณ Ver Sync. เป็นตัว Reset ซึ่งจะทำให้ได้สัญญาณทางด้านแนวนอน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

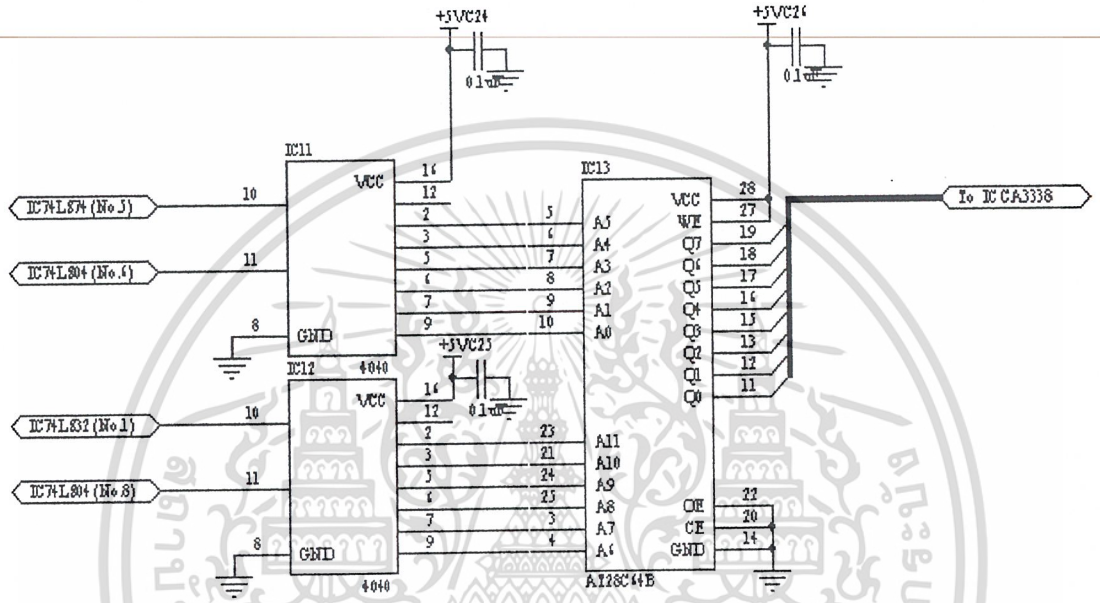


รูปที่ 3.5 แสดงวงจร Counter

3.6 การสร้างรูปโลโก้

จะทำการสร้างรูปโลโก้โดยการใส่ค่าไปเก็บไว้ใน ROM ซึ่งในที่นี่ใช้ไอซีเบอร์ M5L2732 โดยที่ค่า 00H จะเป็นสีดำและเพิ่มค่าขึ้นไปจนถึงค่า FFH จะทำให้สัญญาณภาพมีจุดเป็นสีขาว ส่วนการออกแบบจะขึ้นอยู่กับการพล็อตจุดแต่ละตำแหน่งภาพ โดยจะส่งรูปโลโก้ที่เก็บไว้ใน ROM ไปแปลงเป็นสัญญาณAnalog โดยใช้ไอซีเบอร์ CA3338 และวงจรที่ใช้แสดงไว้ดังรูปที่ 3.6

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

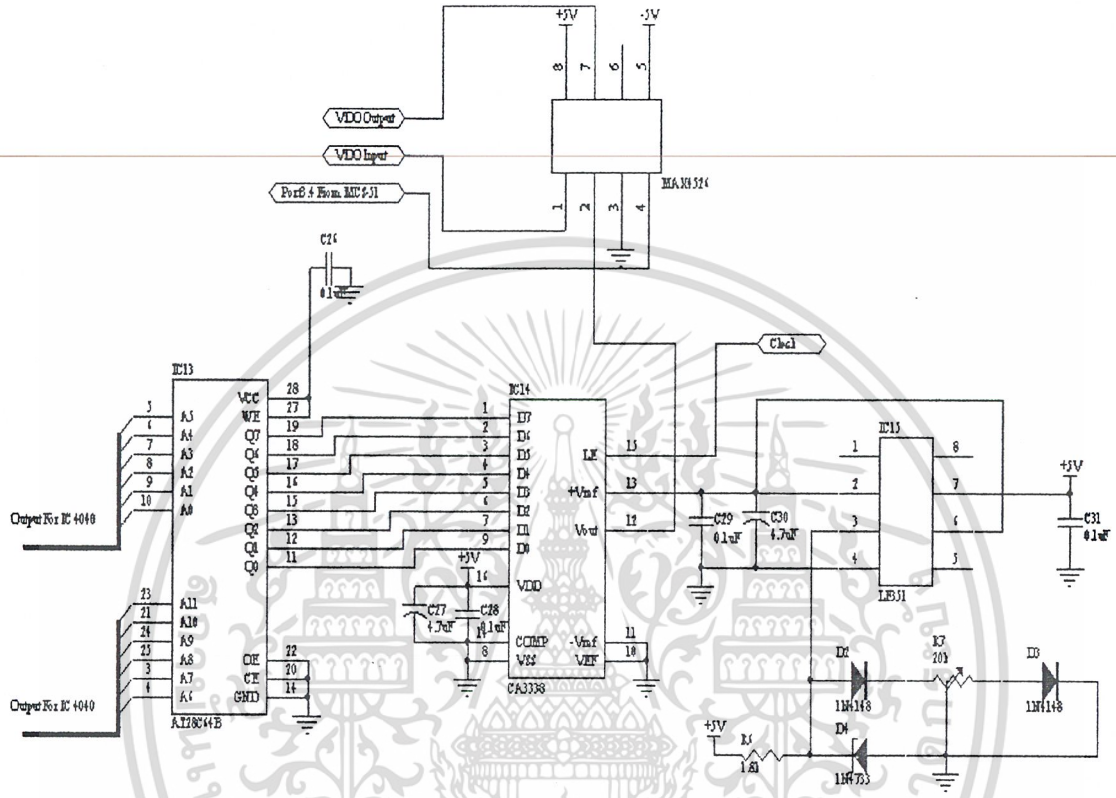


รูปที่ 3.6 วงจรที่ใช้ในการสร้างรูปโลโก้

3.7 วงจร D/A

เนื่องจากสัญญาณของรูปโลโก้ที่เก็บไว้ในหน่วยความจำ(ROM) จะเป็นสัญญาณที่อยู่ในรูปของสัญญาณ Digital จึงจำเป็นต้องแปลงให้เป็นสัญญาณ Analog เพราะสัญญาณของรูปภาพจะเป็นสัญญาณ Analog นำเอาออกมาแสดงผล ที่นี้จะใช้ไอซีที่ทำหน้าที่แปลงสัญญาณ Digitalเป็นสัญญาณ Analog เบอร์ CA3338 และวงจรที่ใช้แสดงไว้ดังรูปที่ 3.7

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

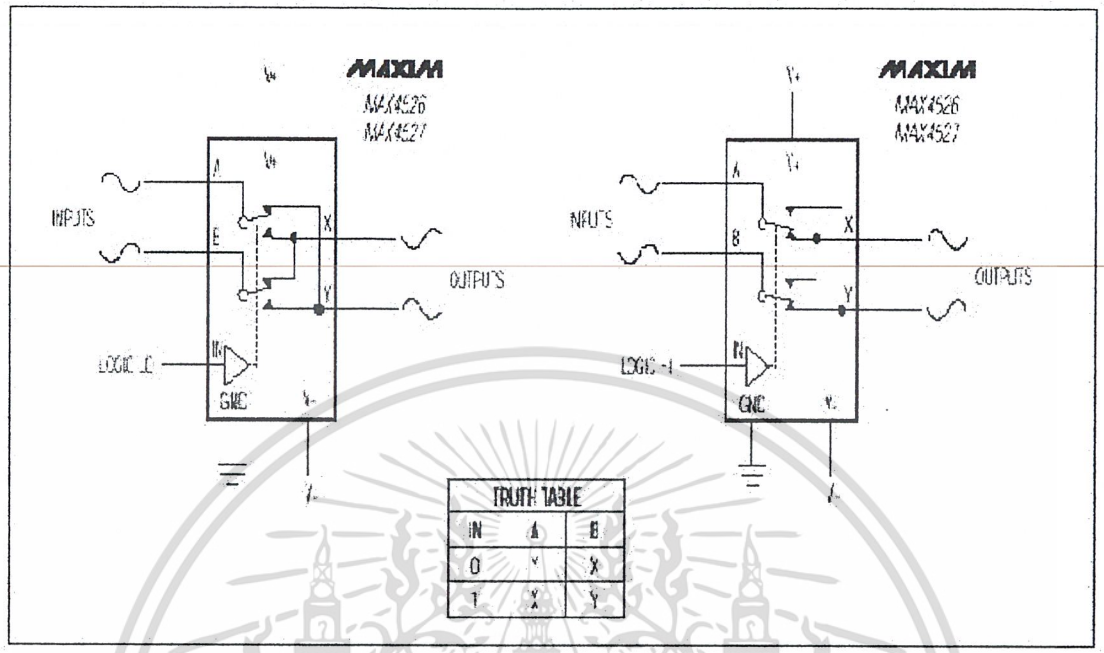


รูปที่ 3.7 วงจรที่ใช้ในการแปลงสัญญาณโลโก้ที่เป็น Digital ให้เป็นสัญญาณ Analog

3.8 การสวิทซ์สลับระหว่างการควบคุมการเขียนและการอ่าน ข้อมูลกับหน่วยความจำ

เป็นการสลับการทำงาน ระหว่างหน่วยความจำ 2 ชุด คือ ขณะที่ชุด 1 กำลังแสดงผล อีกชุดหนึ่งก็จะทำการเก็บภาพถัดไป ที่จะต้องใช้ โดยที่นี้จะใช้ MUX (Multiplexer) เป็นตัวสลับระหว่างการทำงานของทั้ง 2 ชุด ซึ่งใช้ ไอซีเบอร์ MAX4526 ซึ่งจะมีคุณสมบัติดังรูปที่ 3.8

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.8 วงจรที่ใช้ในการเลือกว่าจะเขียนหรืออ่าน RAM โดยใช้ MAX4526 (Analog Multiplexer)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

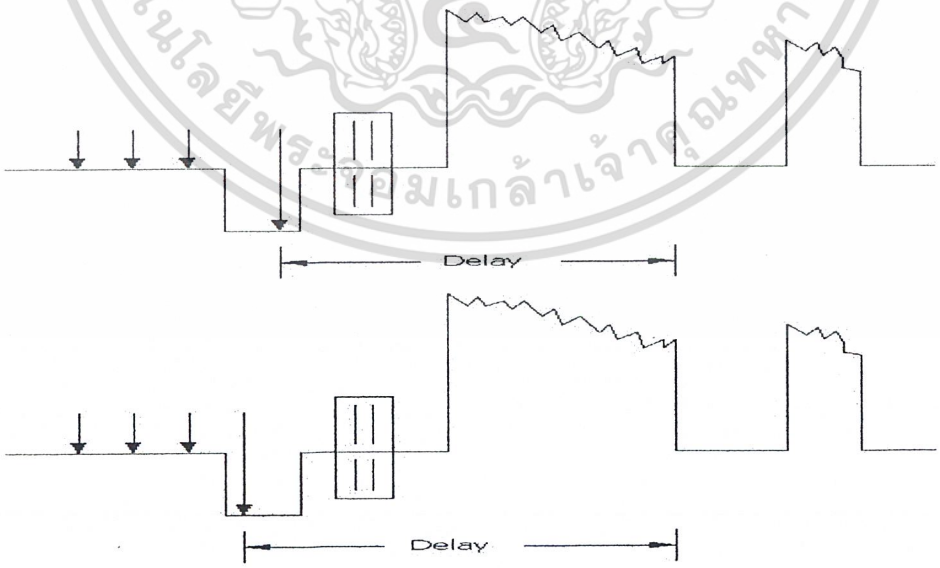
บทที่ 4

การทดลองและผลการทดลอง

4.1 การออกแบบในส่วนของการตัดสัญญาณภาพหลัก

ในเบื้องต้นการทำงานของระบบเกือบทั้งหมด จะใช้ซอฟแวร์ (Software) เป็นหลัก ทั้งใช้ในการตรวจนับสัญญาณเส้นสะบัดกลับ แนวตั้ง (Ver Sync) , สัญญาณเส้นสะบัดกลับแนวนอน (Hor Sync) และการหน่วงเวลา เป็นต้น โดยในส่วนของฮาร์ดแวร์ (Hardware) จะมีไอซีเพียง 2 ตัว ได้แก่ LM1881N และAnalog Multiplexer (MAX4526) คือจะใช้คือจะใช้ LM1881N ในการแยกสัญญาณต่างๆจากนั้นจึงใช้ไมโครคอนโทรลเลอร์คอยตรวจเช็คอยู่ตลอด เพื่อนับจำนวนพัลส์ของสัญญาณซิงค์พอครบตามจำนวนที่ต้องการแล้ว ก็จะเข้าสู่โปรแกรมหน่วงเวลาแล้วจึงทำการตัดภาพโลโก้เข้ามาแทนที่TV1

แต่จากการทดลองจะพบได้ว่า ในการสแกนของเส้นสแกน 1 เส้น จะกินเวลาประมาณ 64 ไมโครวินาที ซึ่งถือว่าเป็นช่วงเวลาที่น้อยมาก ต้องการความละเอียดสูง และวิธีการตรวจนับพัลส์ของ
สัญญาณซิงค์จะใช้วิธีการ พุลลิ่ง (Polling) ซึ่งทำให้เกิดความคลาดเคลื่อนของตำแหน่งในการตัดต่อสัญญาณภาพไป ดังรูปที่ 4.1



รูปที่ 4.1 ความคลาดเคลื่อนจากการใช้ Soft Ware ในการควบคุมการตัดต่อภาพ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากผลการทดลองจะได้ภาพซึ่งมีการตัดสัญญาณ แต่จะมีระยะการตัดของแต่ละเส้นสแกนแตกต่างกันมากทำให้ได้บล็อคสี่เหลี่ยมที่ไม่คมชัด

4.2 การแก้ไขความผิดพลาดของการตัดภาพหลักจากการทำงานของ Soft Ware

4.2.1 การแก้ไขครั้งที่ 1 ทำการแก้ไขความคลาดเลื่อนเนื่องจากผลของการพุลลิ่ง โดยใช้การจับค่าของสัญญาณซิงค์ ด้วยการอินเทอร์รัปป์ (Interrup) แทน ผลการทดลองพบว่าจะได้บล็อคสี่เหลี่ยมที่มีความคมมากขึ้น แต่ก็ยังอยู่ในระดับที่ยังไม่น่าพอใจ คือยังมีการเหลื่อมล้ำของแต่ละเส้นสแกนอยู่มาก

ทั้งนี้การเหลื่อมล้ำของแต่ละเส้นสแกนเป็นผลมาจาก การที่เส้นสแกนของสัญญาณ 1 เส้นใช้เวลาประมาณ 64 ไมโครวินาที แต่สัญญาณนาฬิกาของไมโครคอนโทลเลอร์ที่ใช้มีค่าประมาณ 1 เมกะเฮิร์ท และแต่ละคำสั่งก็จะกินเวลาหลายพัลส์ ซึ่งก็คือความเร็วในการทำงานของ MCS-51 ยังมีค่าต่ำเมื่อเทียบกับความถี่ของสัญญาณภาพ ดังนั้นหากเราต้องการที่จะได้บล็อคของการตัดต่อที่มีความคมชัดมาก จึงต้องใช้อุปกรณ์ทาง ฮาร์ดแวร์ (Hardware) เข้ามาช่วย

จากผลการทดลองพบว่าได้บล็อคของการตัดต่อที่มีความคมชัดในระดับที่น่าพอใจ ดังแสดงในรูปที่ 4.2

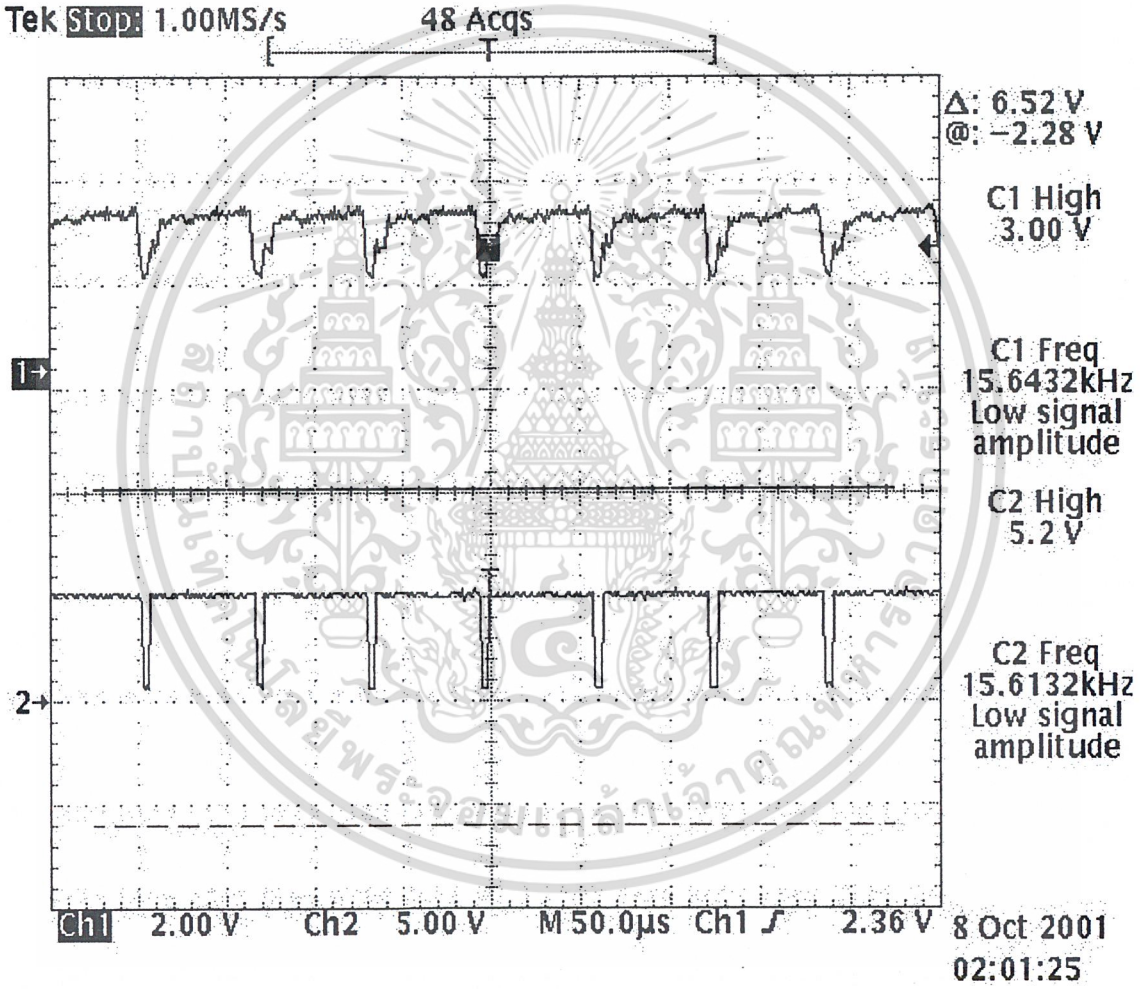
รูปที่ 4.2 ผลจากการใช้ Hard Ware เข้ามาช่วยในการตัดต่อภาพ เมื่อแสดงผลออกทางโทรทัศน์

ซึ่งรายละเอียดของการทำงานและรูปวงจรได้กล่าวอย่างละเอียดแล้วในบทที่3

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4.3 ผลการทดลองในส่วนของการตัดต่อสัญญาณภาพรอง(โลโก้)

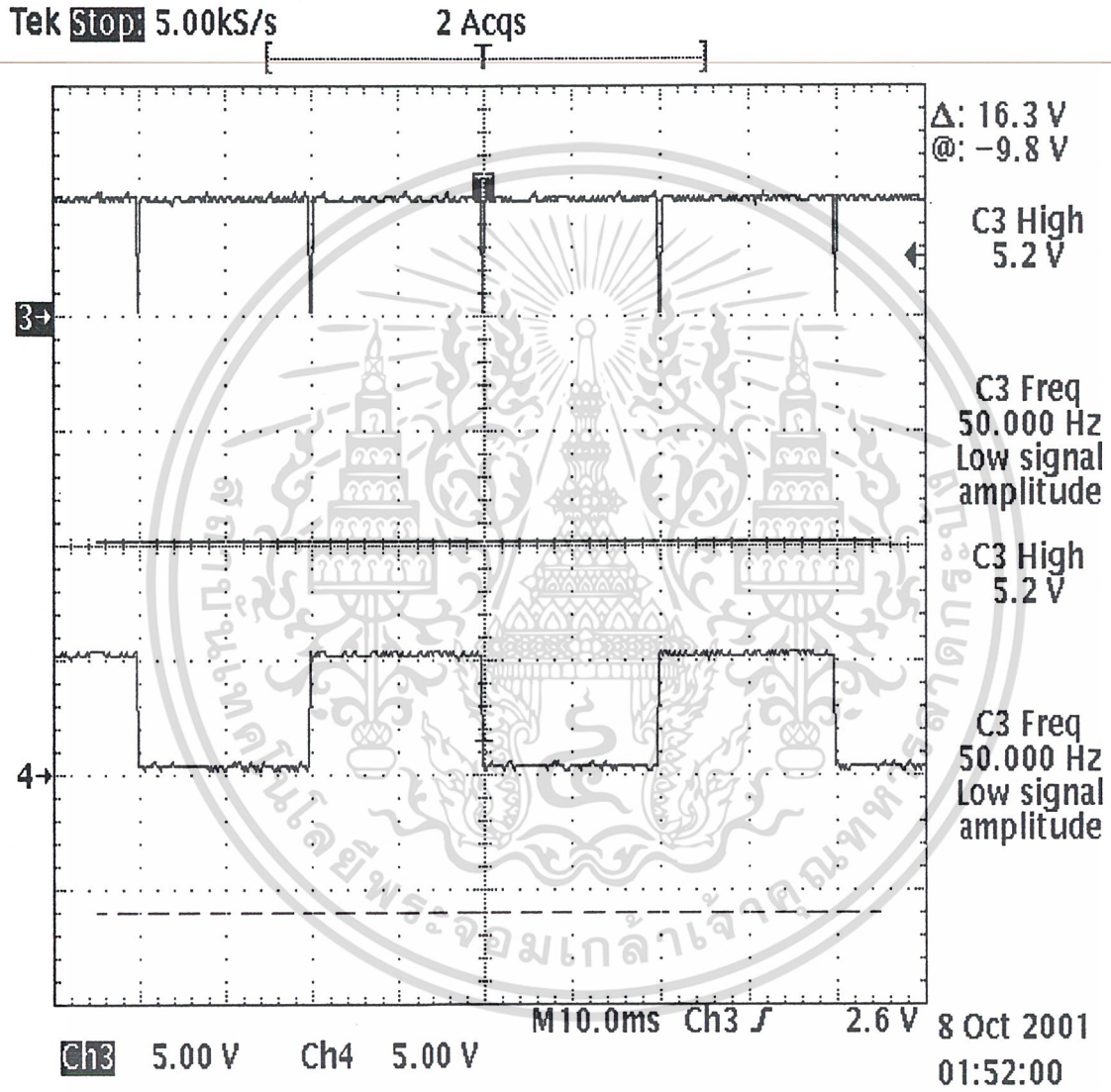
4.3.1 ผลการทดลองในส่วนของการวัดสัญญาณภาพและสัญญาณ Hor Sync. จากรูปจะทำการวัดสัญญาณ Hor Sync. เพื่อทำการนับสัญญาณ Hor Sync. เพื่อให้รู้ปห่างจากขอบบนของจอภาพและนับสัญญาณ Hor Sync. ที่จะเป็นความสูงของภาพ ดังแสดงในรูปที่ 4.3



รูปที่ 4.3 สัญญาณภาพและสัญญาณ Hor Sync.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4.3.2 ผลการทดลองในส่วนการวัดสัญญาณ Ver Sync และสัญญาณ Odd_Even ในการจับสัญญาณ Ver Sync เพื่อจะทำให้ทราบว่าเกิดการสแกนภาพขึ้นใหม่ โดยจะทำการจับสัญญาณ Odd_Even เพื่อจะทำให้ทราบว่าเป็นการสแกนเส้นคู่หรือว่าเป็นเส้นคี่ ซึ่งแสดงในรูปที่ 4.4

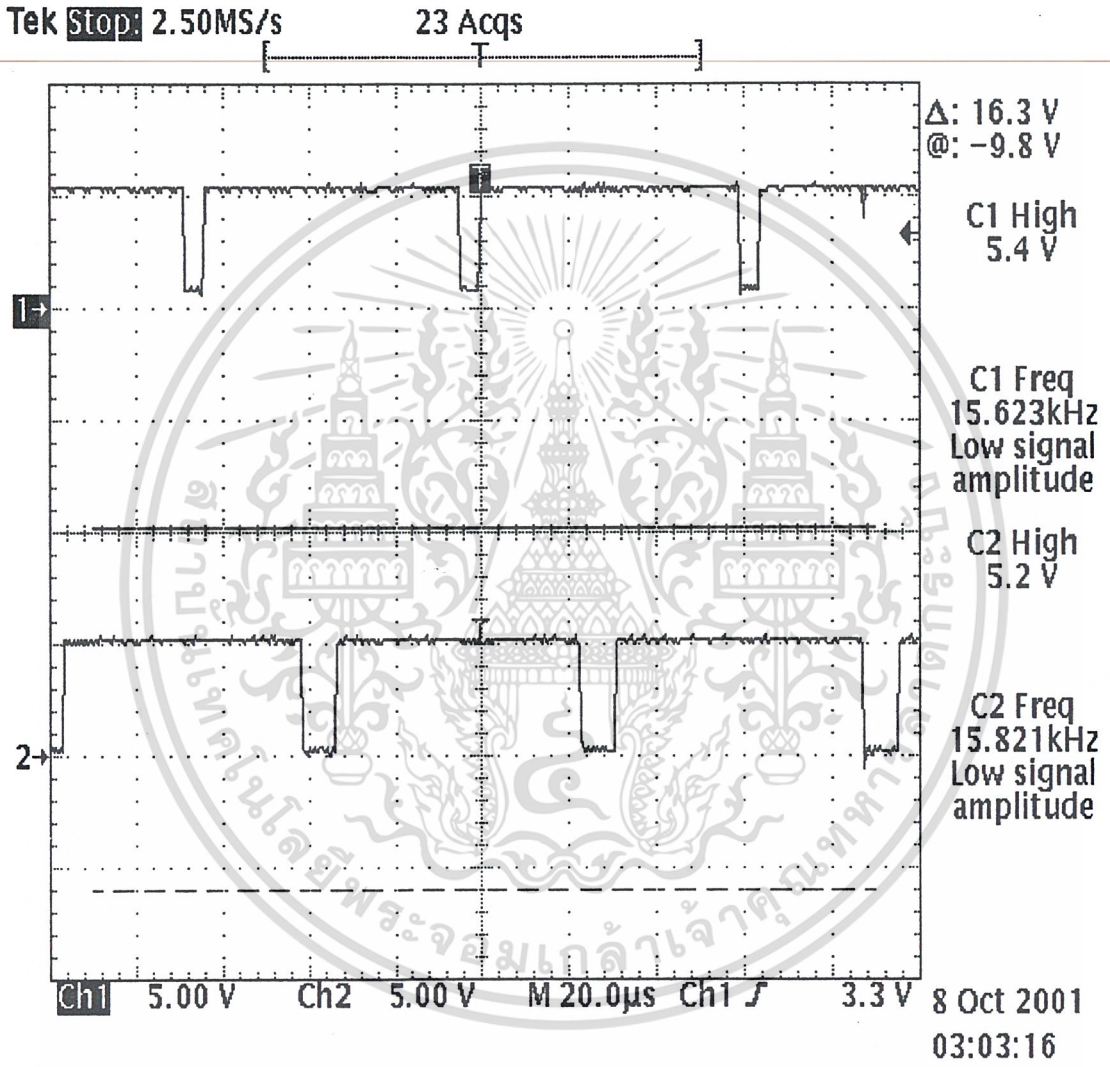


รูปที่ 4.4 สัญญาณ Ver Sync และสัญญาณ Odd_Even

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4.3.3 ผลการทดลองในส่วนการวัดสัญญาณ Hor Sync และ สัญญาณ Output จากสวิตซ์

จากรูปจะเป็นรูปแสดงสัญญาณภาพ เมื่อเกิดการตัดสัญญาณภาพหลักออกและนำสัญญาณภาพรองเข้าดังแสดงในรูปที่ 4.5



รูปที่ 4.5 สัญญาณ Hor Sync และ สัญญาณ Output จากสวิตซ์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

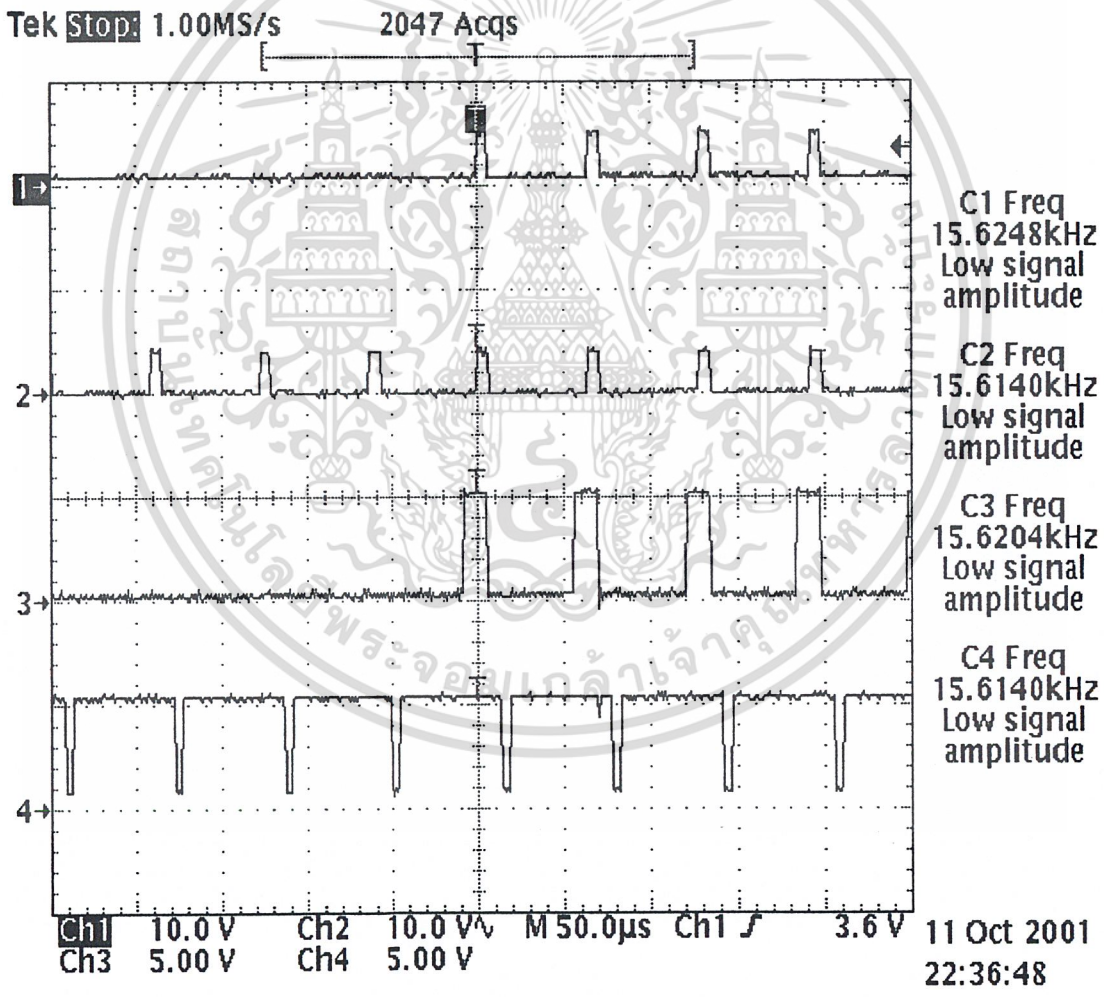
4.3.4 ผลการทดลองการตัดภาพหลักและใส่สัญญาณภาพรองเข้าไปในสัญญาณภาพหลัก จะได้ว่ารูปสัญญาณต่างๆดังนี้

รูปคลื่นที่ 1 จะเป็นสัญญาณ Output จากไมโครคอนโทรลเลอร์ ที่สั่งให้สวิทซ์ทำงาน

รูปคลื่นที่ 2 จะเป็นการนำสัญญาณทาง Hardware เข้ามา

รูปคลื่นที่ 3 จะเป็นการนำเอารูปคลื่นของไมโครคอนโทรลเลอร์ มา AND กับ สัญญาณทางHardware ทำให้ได้ค่า Output ที่คงที่

รูปคลื่นที่ 4 จะเป็นรูปของสัญญาณ Hor Sync ที่นำมาเปรียบเทียบกับสัญญาณทางด้าน Output ซึ่งได้แสดงในรูปที่4.6



รูปที่ 4.6 ผลการทดลองการตัดภาพหลักและใส่สัญญาณภาพรองเข้าไปในสัญญาณภาพหลัก

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 5
สรุปและวิจารณ์

บทสรุป

จากเป้าหมายของโครงงานทั้งหมดคือการนำภาพจากสัญญาณภาพรองตัดซ้อนกับสัญญาณภาพปกติ ซึ่งสัญญาณภาพรองที่นำเข้ามาไปใส่ในสัญญาณภาพหลักจะเป็นรูปที่ทำการสร้างขึ้นมาเอง ซึ่งขึ้นอยู่กับการออกแบบว่าจะสร้างให้เป็นรูปภาพหรือข้อความ ตัวอักษร หรือว่าจะเป็นโลโก้ของสินค้าที่ใช้ในการโฆษณาขณะทำการออกอากาศ เพื่อการพัฒนาเทคโนโลยีและนำไปประยุกต์ใช้ทดแทนการนำเข้าอุปกรณ์จากต่างประเทศ แต่ในที่นี้ยังเป็นเพียงจุดเริ่มต้น ซึ่งต้องทำการแก้ไขและทำการพัฒนาขึ้นไปอีก จึงจะสามารถนำมาใช้ทดแทนตามเป้าหมายที่วางไว้ได้

ในส่วนของตำแหน่งภาพจะกำหนดได้โดยการเขียนโปรแกรม และ ความกว้างของภาพสามารถขยายได้แต่ต้องขึ้นอยู่กับขนาดของรูปโลโก้ที่นำมาแสดงผลด้วย

ปัญหาและแนวทางการแก้ไข

ในส่วนของปัญหาที่เกิดขึ้นคือ เมื่อนำสัญญาณภาพรองมาใส่ไว้ในสัญญาณภาพหลักที่เรากำหนดตำแหน่งไว้ จะเห็นว่าสัญญาณภาพรองเกิดการเหลื่อมล้ำกันทางแนวตั้งซึ่งทำให้ภาพที่ออกมาไม่คมชัด เกิดจากสัญญาณภาพรองที่ใส่เข้าไปไม่ซิงค์กับสัญญาณสะบัดกลับทางแนวตั้ง (Hor sync) แนวทางในการแก้ไขปัญหาคือ อาศัยหลักการเฟสล็อคลูป (Phase lock loop) จะทำให้สัญญาณภาพมีความคมชัดขึ้น

แนวทางในการพัฒนา

ในส่วนของโครงงานนี้สัญญาณภาพ ซึ่งเป็นรูปโลโก้ (สัญลักษณ์) ที่นำมาใส่จะเห็นเป็นภาพขาวดำ ดังนั้นหากต้องการให้ได้ภาพสัญญาณภาพเป็นภาพสีก็สามารถทำได้โดยการมอดดูเลตสัญญาณสีลงบนพาหะรอง (Subcarrier) ทำให้เป็นภาพสีเกิดขึ้น

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

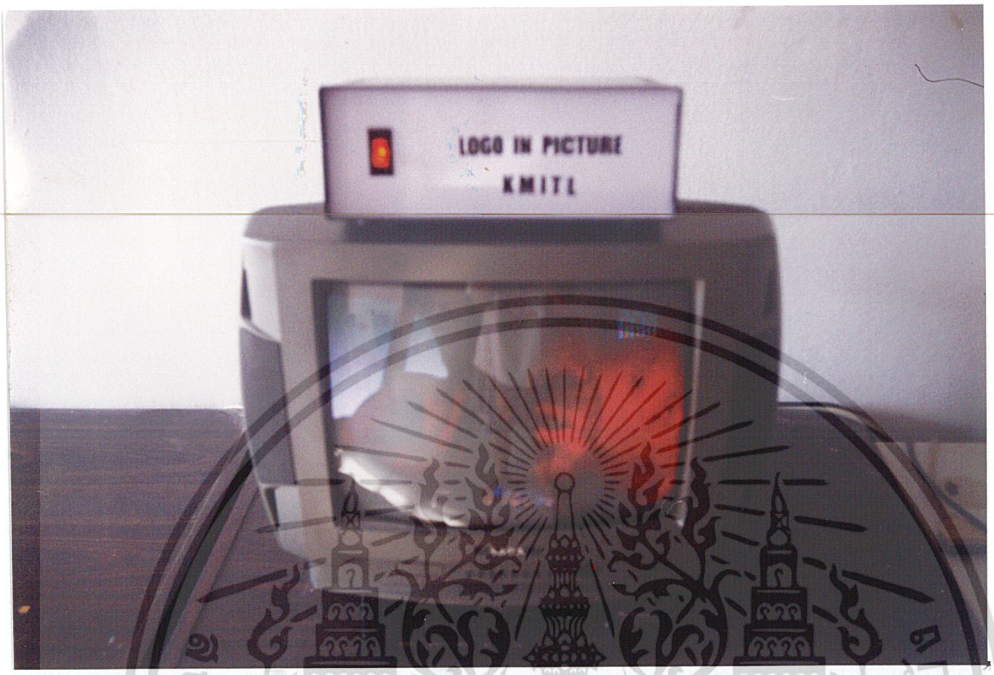
หนังสืออ้างอิง

1. ปรเมษฐ์ ประนยานันทน์ , ปิยพงศ์ เผ่าวณิช , "คู่มือการประยุกต์การใช้งาน ไมโครคอนโทรลเลอร์ MCS-51 " , บริษัท ซีเอ็ดยูเคชั่น จำกัด (มหาชน),2536
2. ประกิจ ตังติสานนท์ , "ทฤษฎีโทรทัศน์" , คณะวิศวกรรมศาสตร์ สถาบันเทคโนโลยี พระจอมเกล้าวิทยาเขตเจ้าคุณทหารลาดกระบัง , 2533
3. สุนทร วิทูสุรพจน์ , "การใช้งานไมโครคอนโทรลเลอร์ตระกูล 8051" , บริษัท ซีเอ็ดยูเคชั่น จำกัด (มหาชน),2537
4. ยืน ภู่วรรณ , "เทคนิคการประยุกต์และใช้งาน ลิเนียร์ ไอซี เล่ม 1 " , บริษัท ซีเอ็ดยูเคชั่น จำกัด (มหาชน),2536
5. ธีรวัฒน์ ประกอบผล , "การประยุกต์ใช้งานไมโครคอนโทรลเลอร์" , สมาคมส่งเสริมเทคโนโลยี (ไทย-ญี่ปุ่น)

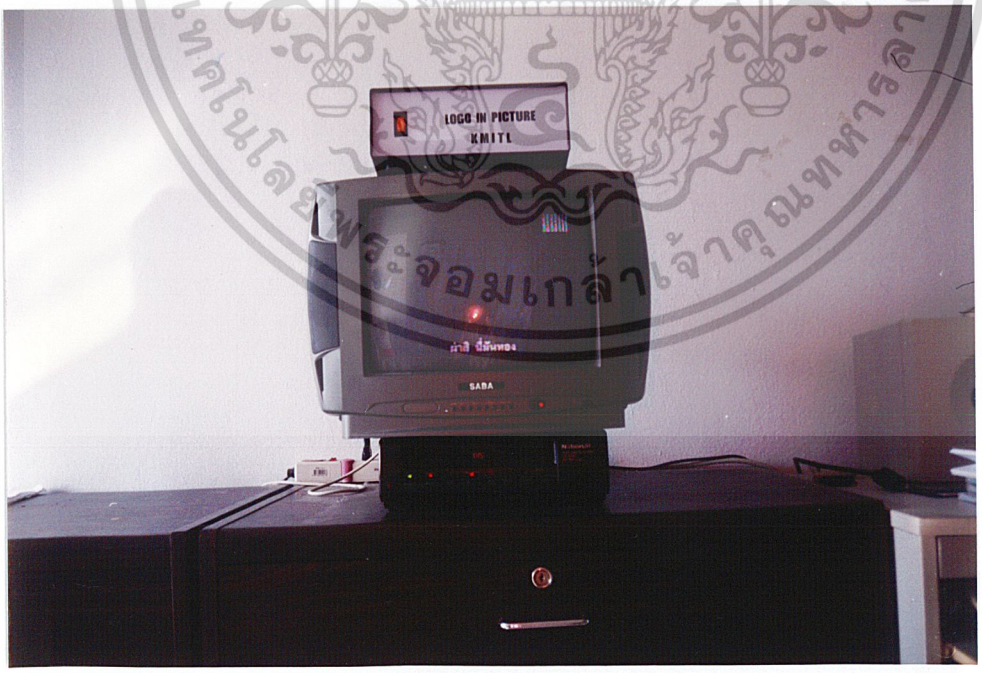
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ภาคผนวก

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

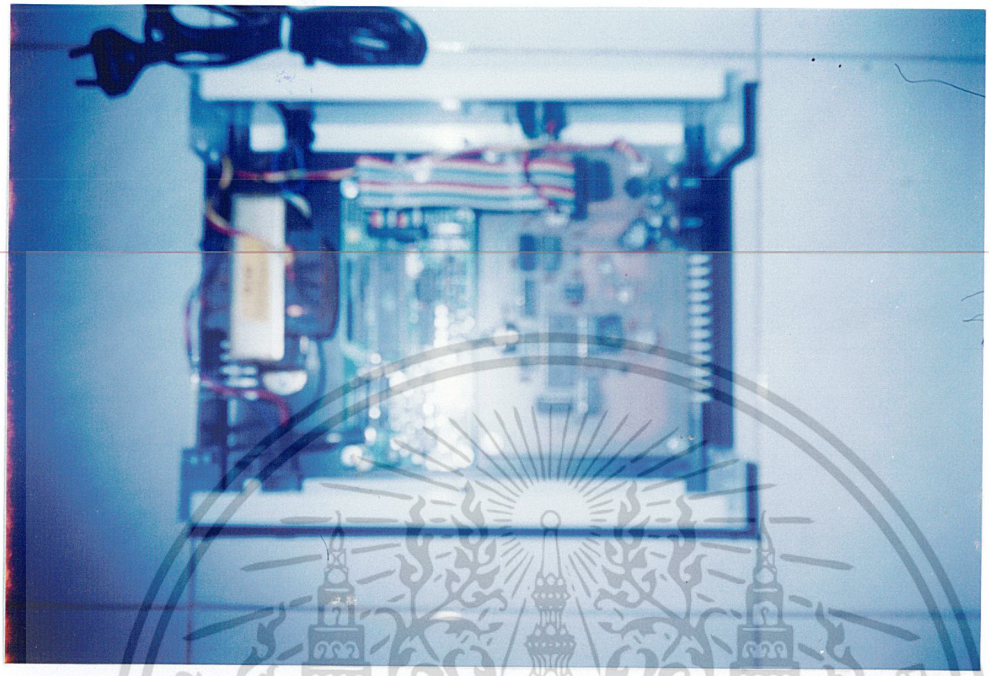


รูป การทำงานของเครื่องใส่โลโก้ลงในสัญญาณภาพ



รูป การทำงานของเครื่องใส่โลโก้ลงในสัญญาณภาพ

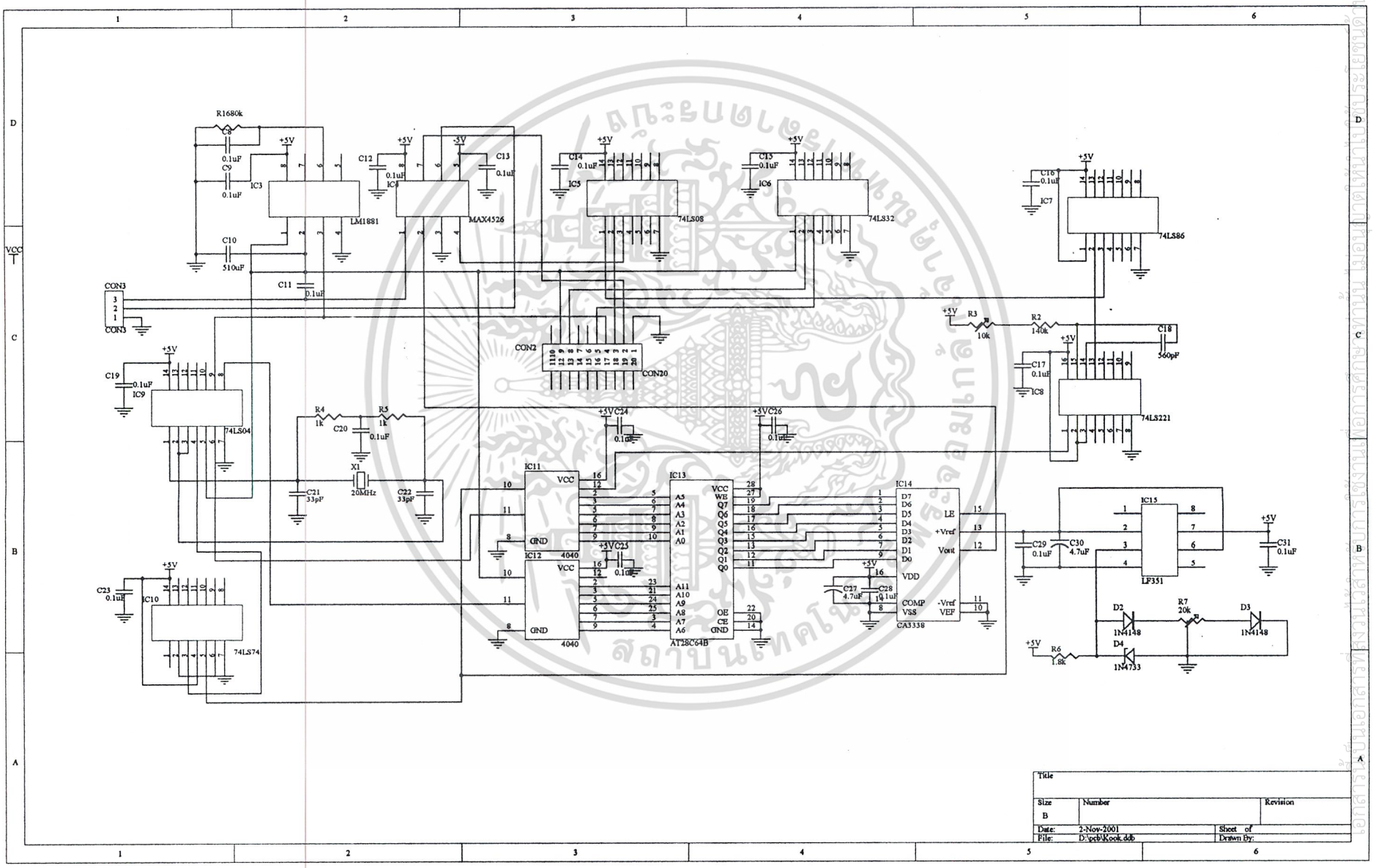
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

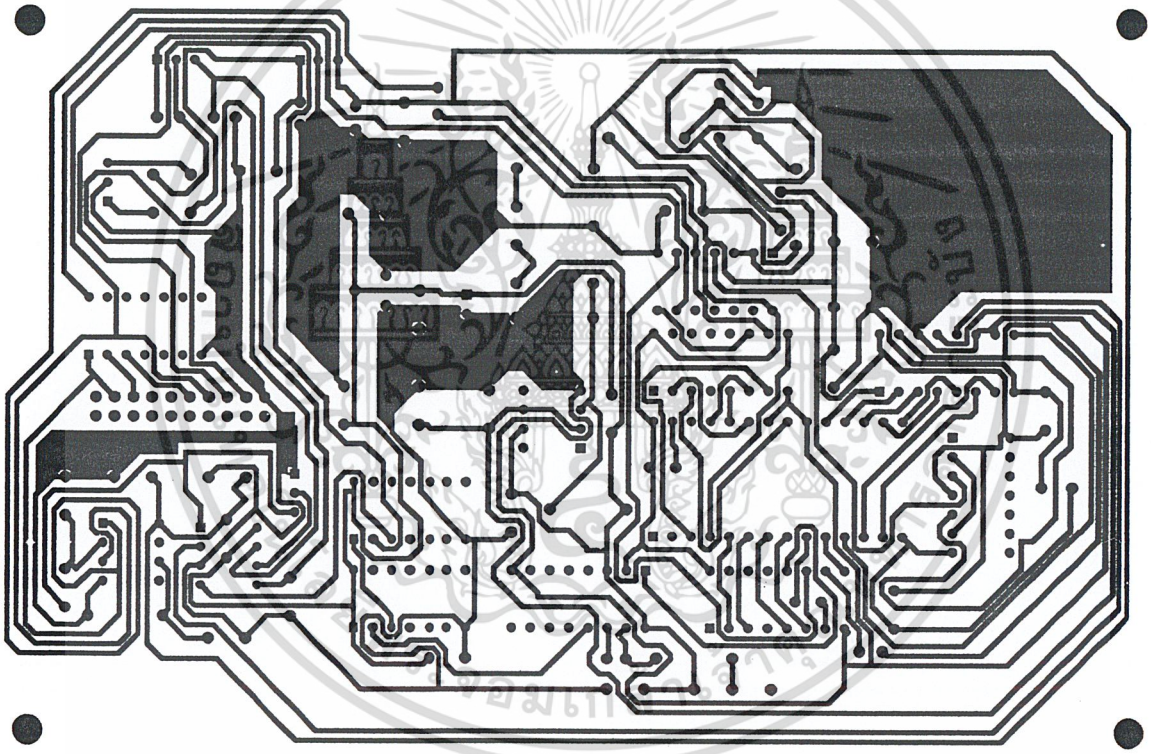


รูป ชิ้นงานที่เสร็จสมบูรณ์

รูป การทำงานของเครื่องใส่โลโก้ลงในสัญญาณภาพ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้


R1680k
C8
0.1uF
C9
0.1uF
IC3
LM1881
C10
510uF
C11
0.1uF
+5V
C12
0.1uF
IC4
MAX4526
-5V
C13
0.1uF
C14
0.1uF
IC5
74LS08
C15
0.1uF
IC6
74LS32
C16
0.1uF
IC7
74LS86
CON3
CON3
CON2
CON20
R3
10k
R2
140k
C18
560pF
C17
0.1uF
IC8
74LS221
C19
0.1uF
IC9
74LS04
R4
1k
R5
1k
C20
0.1uF
X1
20MHz
C21
33pF
C22
33pF
C23
0.1uF
IC10
74LS74
IC11
VCC
GND
IC12
4040
4040
IC13
AT28C64B
IC14
CA3338
LE
+Vref
Vout
-Vref
VEF
VDD
COMP
VSS
C27
4.7uF
C28
0.1uF
C29
0.1uF
C30
4.7uF
IC15
LF351
C31
0.1uF
D2
1N4148
D3
1N4148
D4
1N4733
R7
20k
R6
1.8k
Title
Size
B
Number
Revision
Date:
2-Nov-2001
File:
D:\pcb\Kook.ddb
Sheet of
Drawn By:



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
;*******************************************************************************
;PROGRAM      : LOGO IN PICTURE
;FILENAME     : INSERT_IMAGE.ASM
;*******************************************************************************
;****************************************
;DEFINE USER REGISTER
;****************************************
P3              EQU    0B0H
IE              EQU    0A8H
DELAY_BEFOR_SHOW    EQU    26
DELAY_SHOW_PIC      EQU    08
HIGH_TV         EQU    50
HIGH_PIC        EQU    30
;****************************************
;DEFINE USE REGISTER
;****************************************
FLAG        EQU    20H
INT_OK      BIT    FLAG.0
;****************************************
;DEFINE PORT&PIN NAME
;****************************************
COM_SYN          BIT    P3.0
SYN_INT          BIT    P3.1
INT0             BIT    P3.2
VER_SYN          BIT    P3.3
DRIVE_VDO        BIT    P3.4
ODD_EVEN         BIT    P3.5

;****************************************
;MAIM PROGAM.
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
;*****************************************
        ORG   0000H
        AJMP  MAIN
        ORG   0003H
        LJMP  INT_0

MAIN:       CLR   DRIVE_VDO
        SETB  INT_OK
        JB    ODD_EVEN,$
        JNB   ODD_EVEN,$
LB_VER:     JB    VER_SYN,$
        JNB   VER_SYN,$
        MOV   R5,#HIGH_PIC
        MOV   R6,#HIGH_TV
LB_COM:     JB    COM_SYN,$
        JNB   COM_SYN,$
        DJNZ  R6,LB_COM
LB_CUT:     CLR   SYN_INT
        SETB  IE.0
        SETB  IE.7
        SETB  INT_OK
        JB    INT_OK,$
        DJNZ  R5,LB_CUT
        LB    ODD_EVEN,$
        LJMP  LB_VER
;*****************************************
;INTERRUPT SEVICE
;*****************************************
INT_0:      LCALL DELAY_BEFOR1
        SETB  DRIVE_VDO
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
        LCALL   DELAY_SHOW1
        CLR     DRIVE_VDO
        CLR     IE.0
        CLR     IE.7
        CLR     INT_OK
        RETI


;*****************************************
;DELAY TIME
;*****************************************
DELAY_BEFOR1: MOV    R3,#DELAY_BEFOR_SHOW
        DJNZ    R3,$
        RET
DELAY_SHOW1:  MOV    R4,#DELAY_SHOW_PIC
        DJNZ    R4,$
        RET
END
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

February 2001

National Semiconductor

LM1881
Video Sync Separator

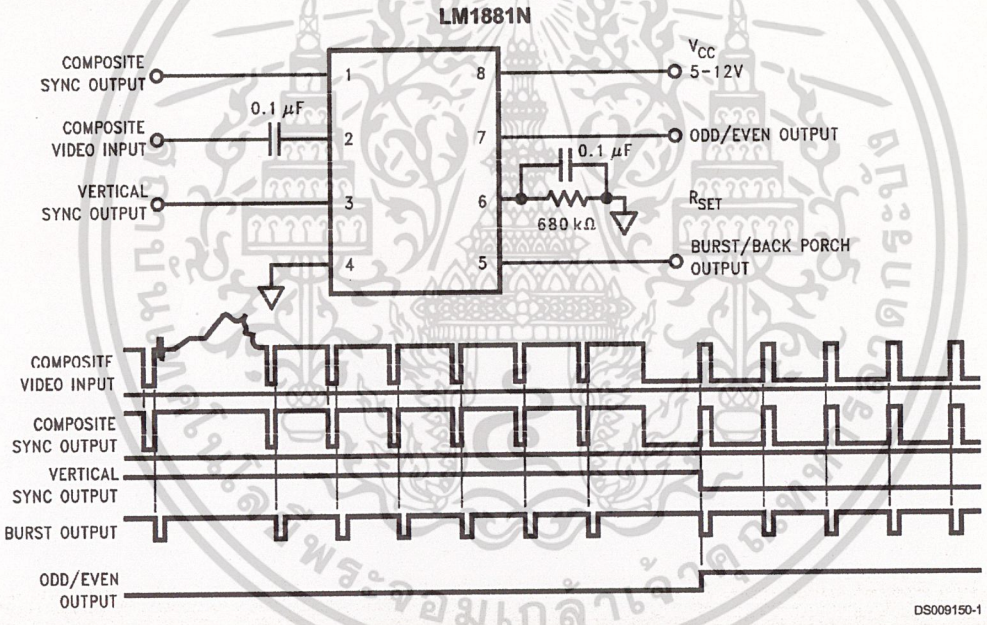
General Description

The LM1881 Video sync separator extracts timing information including composite and vertical sync, burst/back porch timing, and odd/even field information from standard negative going sync NTSC, PAL* and SECAM video signals with amplitude from 0.5V to 2V p-p. The integrated circuit is also capable of providing sync separation for non-standard, faster horizontal rate video signals. The vertical output is produced on the rising edge of the first serration in the vertical sync period. A default vertical output is produced after a time delay if the rising edge mentioned above does not occur within the externally set delay period, such as might be the case for a non-standard video signal.

Features

- AC coupled composite input signal
- >10 kΩ input resistance
- <10 mA power supply drain current
- Composite sync and vertical outputs
- Odd/even field output
- Burst gate/back porch output
- Horizontal scan rates to 150 kHz
- Edge triggered vertical output
- Default triggered vertical output for non-standard video signal (video games-home computers)

Connection Diagram



Order Number LM1881M or LM1881N
See NS Package Number M08A or N08E

*PAL in this datasheet refers to European broadcast TV standard "Phase Alternating Line", and not to Programmable Array Logic.

© 2001 National Semiconductor Corporation

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Absolute Maximum Ratings (Note 1)

If Military/Aerospace specified devices are required, please contact the National Semiconductor Sales Office/ Distributors for availability and specifications.

Supply Voltage	13.2V
Input Voltage	3 V_{P-P} (V_{CC} = 5V) 6 V_{P-P} (V_{CC} ≥ 8V)
Output Sink Currents; Pins, 1, 3, 5	5 mA
Output Sink Current; Pin 7	2 mA
Package Dissipation (Note 2)	1100 mW
Operating Temperature Range	0°C–70°C
Storage Temperature Range	−65°C to +150°C
ESD Susceptibility (Note 3)	2 kV
Soldering Information	
Dual-In-Line Package (10 sec.)	260°C
Small Outline Package	
Vapor Phase (60 sec.)	215°C
Infrared (15 sec.)	220°C

See AN-450 "Surface Mounting Methods and their Effect on Product Reliability" for other methods of soldering surface mount devices.

Electrical Characteristics

V_{CC} = 5V; R_{SET} = 680 kΩ; T_A = 25°C; Unless otherwise specified

Parameter	Conditions		Typ	Tested Limit (Note 4)	Design Limit (Note 5)	Units (Limits)
Supply Current	Outputs at Logic 1	V_{CC} = 5V	5.2	10		mAmax
		V_{CC} = 12V	5.5	12		mAmax
DC Input Voltage	Pin 2		1.5	1.3		Vmin
				1.8		Vmax
Input Threshold Voltage	(Note 6)		70	55		mVmin
				85		mVmax
Input Discharge Current	Pin 2; V_{IN} = 2V		11	6		µAmin
				16		µAmax
Input Clamp Charge Current	Pin 2; V_{IN} = 1V		0.8	0.2		mAmin
R_{SET} Pin Reference Voltage	Pin 6; (Note 7)		1.22	1.10		Vmin
				1.35		Vmax
Composite Sync. & Vertical Outputs	I_{OUT} = 40 µA; Logic 1	V_{CC} = 5V	4.5	4.0		Vmin
		V_{CC} = 12V		11.0		Vmin
	I_{OUT} = 1.6 mA Logic 1	V_{CC} = 5V	3.6	2.4		Vmin
		V_{CC} = 12V		10.0		Vmin
Burst Gate & Odd/Even Outputs	I_{OUT} = 40 µA; Logic 1	V_{CC} = 5V	4.5	4.0		Vmin
		V_{CC} = 12V		11.0		Vmin
Composite Sync. Output	I_{OUT} = −1.6 mA; Logic 0; Pin 1		0.2	0.8		Vmax
Vertical Sync. Output	I_{OUT} = −1.6 mA; Logic 0; Pin 3		0.2	0.8		Vmax
Burst Gate Output	I_{OUT} = −1.6 mA; Logic 0; Pin 5		0.2	0.8		Vmax
Odd/Even Output	I_{OUT} = −1.6 mA; Logic 0; Pin 7		0.2	0.8		Vmax
Vertical Sync Width			230	190		µsmin
				300		µsmax
Burst Gate Width	2.7 kΩ from Pin 5 to V_{CC}		4	2.5		µsmin
				4.7		µsmax
Vertical Default Time	(Note 8)		65	32		µsmin
				90		µsmax

Note 1: Absolute Maximum Ratings indicate limits beyond which damage to the device may occur. Operating Ratings indicate conditions for which the device is functional, but do not guarantee specific performance limits. For guaranteed specifications and test conditions, see the Electrical Characteristics. The guaranteed specifications apply only for the test conditions listed. Some performance characteristics may degrade when the device is not operated under the listed test conditions.

Note 2: For operation in ambient temperatures above 25°C, the device must be derated based on a 150°C maximum junction temperature and a package thermal resistance of 110°C/W, junction to ambient.

Note 3: ESD susceptibility test uses the "human body model, 100 pF discharged through a 1.5 kΩ resistor".

Note 4: Typicals are at T_J = 25°C and represent the most likely parametric norm.

Note 5: Tested Limits are guaranteed to National's AOQL (Average Outgoing Quality Level).

Note 6: Relative difference between the input clamp voltage and the minimum input voltage which produces a horizontal output pulse.

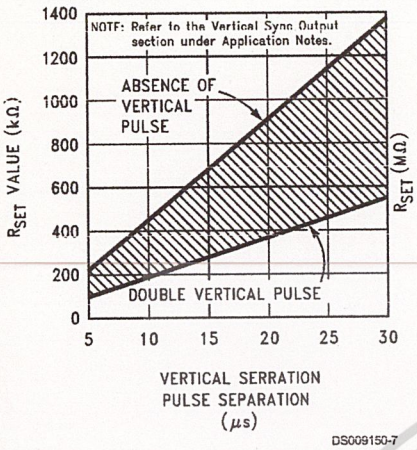
Note 7: Careful attention should be made to prevent parasitic capacitance coupling from any output pin (Pins 1, 3, 5 and 7) to the R_{SET} pin (Pin 6).

Note 8: Delay time between the start of vertical sync (at input) and the vertical output pulse.

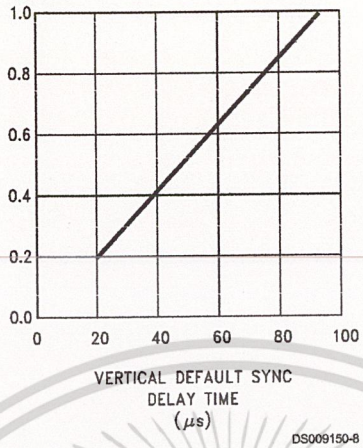
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Typical Performance Characteristics

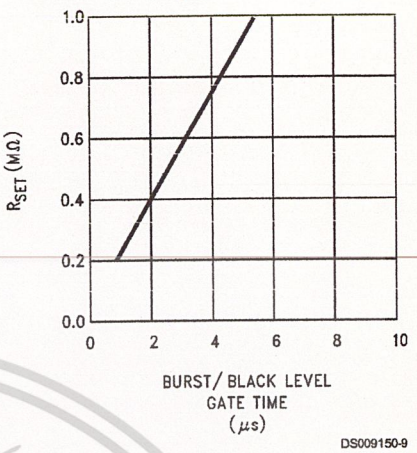
R_{SET} Value Selection vs Vertical Serration Pulse Separation



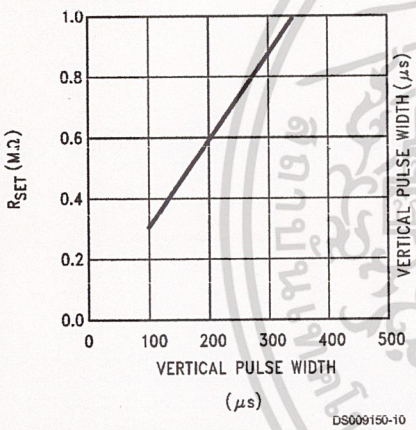
Vertical Default Sync Delay Time vs R_{SET}



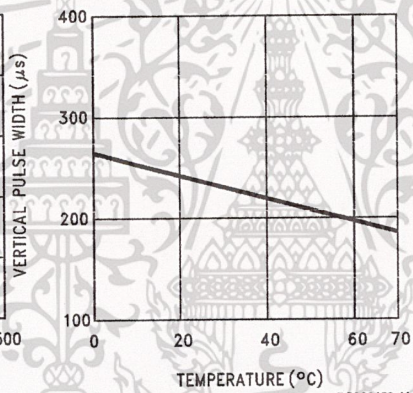
Burst/Black Level Gate Time vs R_{SET}



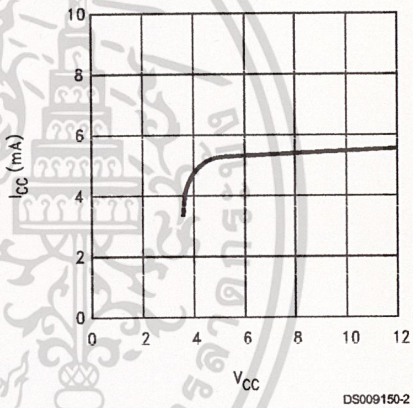
Vertical Pulse Width vs R_{SET}



Vertical Pulse Width vs Temperature



Supply Current vs Supply Voltage



Application Notes

The LM1881 is designed to strip the synchronization signals from composite video sources that are in, or similar to, the N.T.S.C. format. Input signals with positive polarity video (increasing signal voltage signifies increasing scene brightness) from 0.5V (p-p) to 2V (p-p) can be accommodated. The LM1881 operates from a single supply voltage between 5V DC and 12V DC. The only required external components besides a power supply decoupling capacitor at pin 8 and a set current decoupling capacitor at pin 6, are the composite input coupling capacitor at pin 2 and one resistor at pin 6 that sets internal current levels. The resistor on pin 6 (i.e. R_{set}) allows the LM1881 to be adjusted for source signals with line scan frequencies differing from 15.734 kHz. Four major sync signals are available from the I/C; composite sync including both horizontal and vertical scan timing information; a vertical sync pulse; a burst gate or back porch clamp pulse; and an odd/even output. The odd/even output level identifies which video field of an interlaced video source is present at the input. The outputs from the LM1881 can be used to gen-lock video camera/VTR signals with graphics sources, provide identification of video fields for memory storage, recover suppressed or contaminated sync signals, and provide timing references for the extraction of coded or uncoded data on specific video scan lines.

To better understand the LM1881 timing information and the type of signals that are used, refer to *Figure 1(a-e)* which shows a portion of the composite video signal from the end of one field through the beginning of the next field.

COMPOSITE SYNC OUTPUT

The composite sync output, *Figure 1(b)*, is simply a reproduction of the signal waveform below the composite video black level, with the video completely removed. This is obtained by clamping the video signal sync tips to 1.5V DC at Pin 2 and using a comparator threshold set just above this voltage to strip the sync signal, which is then buffered out to Pin 1. The threshold separation from the clamped sync tip is nominally 70 mV which means that for the minimum input level of 0.5V (p-p), the clipping level is close to the halfway point on the sync pulse amplitude (shown by the dashed line

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Application Notes (Continued)

on *Figure 1(a)*. This threshold separation is independent of the signal amplitude, therefore, for a 2V (p-p) input the clipping level occurs at 11% of the sync pulse amplitude. The charging current for the input coupling capacitor is 0.8 mA, whereas the discharge current is only 11 µA, typically. This allows relatively small capacitor values to be used—0.1 µF is generally recommended.

Normally the signal source for the LM1881 is assumed to be clean and relatively noise-free, but some sources may have excessive video peaking, causing high frequency video and chroma components to extend below the black level reference. Some video discs keep the chroma burst pulse present throughout the vertical blanking period so that the burst actually appears on the sync tips for three line periods instead of at black level. A clean composite sync signal can be generated from these sources by filtering the input signal. When the source impedance is low, typically 75Ω, a 620Ω resistor in series with the source and a 510 pF capacitor to ground will form a low pass filter with a corner frequency of 500 kHz. This bandwidth is more than sufficient to pass the sync pulse portion of the waveform; however, any subcarrier content in the signal will be attenuated by almost 18 dB, effectively taking it below the comparator threshold. Filtering will also help if the source is contaminated with thermal noise. The output waveforms will become delayed from between 40 ns to as much as 200 ns due to this filter. This much delay will not usually be significant but it does contribute to the sync delay produced by any additional signal processing. Since the original video may also undergo processing, the need for time delay correction will depend on the total system, not just the sync stripper.

VERTICAL SYNC OUTPUT

A vertical sync output is derived by internally integrating the composite sync waveform (*Figure 2*). To understand the generation of the vertical sync pulse, refer to the lower left hand section *Figure 2*. Note that there are two comparators in the section. One comparator has an internally generated voltage reference called V_1 going to one of its inputs. The other comparator has an internally generated voltage reference called V_2 going to one of its inputs. Both comparators have a common input at their noninverting input coming from the internal integrator. The internal integrator is used for integrating the composite sync signal. This signal comes from the input side of the composite sync buffer and are **positive** going sync pulses. The capacitor to the integrator is internal to the LM1881. The capacitor charge current is set by the value of the external resistor R_{SET}. The output of the integrator is going to be at a low voltage during the normal horizontal lines because the integrator has a very short time to charge the capacitor, which is during the horizontal sync period. The equalization pulses will keep the output voltage of the integrator at about the same level, below the V_1. During the vertical sync period the narrow going positive pulses shown in *Figure 1* is called the serration pulse. The wide negative portion of the vertical sync period is called the vertical sync pulse. At the start of the vertical sync period, before the first Serration pulse occurs, the integrator now charges the capacitor to a much higher voltage. At the first serration pulse the integrator output should be between V_1 and V_2. This would give a high level at the output of the comparator with V_1 as one of its inputs. This high is clocked into the "D" flip-flop by the falling edge of the serration pulse (remember the sync signal is inverted in this section of the LM1881). The "Q" output of the "D" flip-flop goes through the OR gate, and sets the R/S flip-flop. The output of the R/S flip-flop enables the internal oscillator and also clocks the ODD/EVEN "D" flip-flop. The ODD/EVEN field pulse operation is covered in the next section. The output of the oscillator goes to a divide by 8 circuit, thus resetting the R/S flip-flop after 8 cycles of the oscillator. The frequency of the oscillator is established by the internal capacitor going to the oscillator and the external R_{SET}. The "$\overline{Q}$" output of the R/S flip-flop goes to pin 3 and is the actual vertical sync output of the LM1881. By clocking the "D" flip-flop at the start of the first serration pulse means that the vertical sync output pulse starts at this point in time and lasts for eight cycles of the internal oscillator as shown in *Figure 1*.

How R_{SET} affects the integrator and the internal oscillator is shown under the Typical Performance Characteristics. The first graph is "R_{SET} Value Selection vs Vertical Serration Pulse Separation". For this graph to be valid, the vertical sync pulse should last for at least 85% of the horizontal half line (47% of a full horizontal line). A vertical sync pulse from any standard should meet this requirement; both NTSC and PAL do meet this requirement (the serration pulse is the remainder of the period, 10% to 15% of the horizontal half line). Remember this pulse is a positive pulse at the integrator but negative in *Figure 1*. This graph shows how long it takes the integrator to charge its internal capacitor above V_1.

With R_{SET} too large the charging current of the integrator will be too small to charge the capacitor above V_1, thus there will be no vertical synch output pulse. As mentioned above, R_{SET} also sets the frequency of the internal oscillator. If the oscillator runs too fast its eight cycles will be shorter than the vertical sync portion of the composite sync. Under this condition another vertical sync pulse can be generated on one of the later serration pulse after the divide by 8 circuit resets the R/S flip-flop. The first graph also shows the minimum R_{SET} necessary to prevent a double vertical pulse, assuming that the serration pulses last for only three full horizontal line periods (six serration pulses for NTSC). The actual pulse width of the vertical sync pulse is shown in the "Vertical Pulse Width vs R_{SET}" graph. Using NTSC as an example, lets see how these two graphs relate to each other. The Horizontal line is 64 µs long, or 32 µs for a horizontal half line. Now round this off to 30 µs. In the "R_{SET} Value Selection vs Vertical Serration Pulse Separation" graph the minimum resistor value for 30 µs serration pulse separation is about 550 kΩ. Going to the "Vertical Pulse Width vs R_{SET}" graph one can see that 550 kΩ gives a vertical pulse width of about 180 µs, the total time for the vertical sync period of NTSC (3 horizontal lines). A 550 kΩ will set the internal oscillator to a frequency such that eight cycles gives a time of 180 µs, just long enough to prevent a double vertical sync pulse at the vertical sync output of the LM1881.

The LM1881 also generates a default vertical sync pulse when the vertical sync period is unusually long and has no serration pulses. With a very long vertical sync time the integrator has time to charge its internal capacitor above the voltage level V_2. Since there is no falling edge at the end of a serration pulse to clock the "D" flip-flop, the only high signal going to the OR gate is from the default comparator when output of the integrator reaches V_2. At this time the R/S flip-flop is toggled by the default comparator, starting the vertical sync pulse at pin 3 of the LM1881. If the default vertical sync period ends before the end of the input vertical sync period, then the falling edge of the vertical sync (positive pulse at the "D" flip-flop) will clock the high output from the comparator with V_1 as a reference input. This will retrigger the oscillator, generating a second vertical sync output pulse. The "Vertical Default Sync Delay Time vs R_{SET}" graph

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Application Notes (Continued)

shows the relationship between the R_{SET} value and the delay time from the start of the vertical sync period before the default vertical sync pulse is generated. Using the NTSC example again the smallest resistor for R_{SET} is 500 kΩ. The vertical default time delay is about 50 µs, much longer than the 30 µs serration pulse spacing.

A common question is how can one calculate the required R_{SET} with a video timing standard that has no serration pulses during the vertical blanking. If the default vertical sync is to be used this is a very easy task. Use the "Vertical Default Sync Delay Time vs R_{SET}" graph to select the necessary R_{SET} to give the desired delay time for the vertical sync output signal. If a second pulse is undesirable, then check the "Vertical Pulse Width vs R_{SET}" graph to make sure the vertical output pulse will extend beyond the end of the input vertical sync period. In most systems the end of the vertical sync period may be very accurate. In this case the preferred design may be to start the vertical sync pulse at the end of the vertical sync period, similar to starting the vertical sync pulse after the first serration pulse. A VGA standard is to be used as an example to show how this is done. In this standard a horizontal line is 32 µs long. The vertical sync period is two horizontal lines long, or 64 µs. The vertical default sync delay time **must be longer** than the vertical sync period of 64 µs. In this case R_{SET} must be larger than 680 kΩ. R_{SET} must still be small enough for the output of the integrator to reach V_1 before the end of the vertical period of the input pulse. The first graph can be used to confirm that R_{SET} is small enough for the integrator. Instead of using the vertical serration pulse separation, use the actual pulse width of the vertical sync period, or 64 µs in this example. This graph is linear, meaning that a value as large as 2.7 MΩ can be used for R_{SET} (twice the value as the maximum at 30 µs). Due to leakage currents it is advisable to keep the value of R_{SET} under 2.0 MΩ. In this example a value of 1.0 MΩ is selected, well above the minimum of 680 kΩ. With this value for R_{SET} the pulse width of the vertical sync output pulse of the LM1881 is about 340 µs.

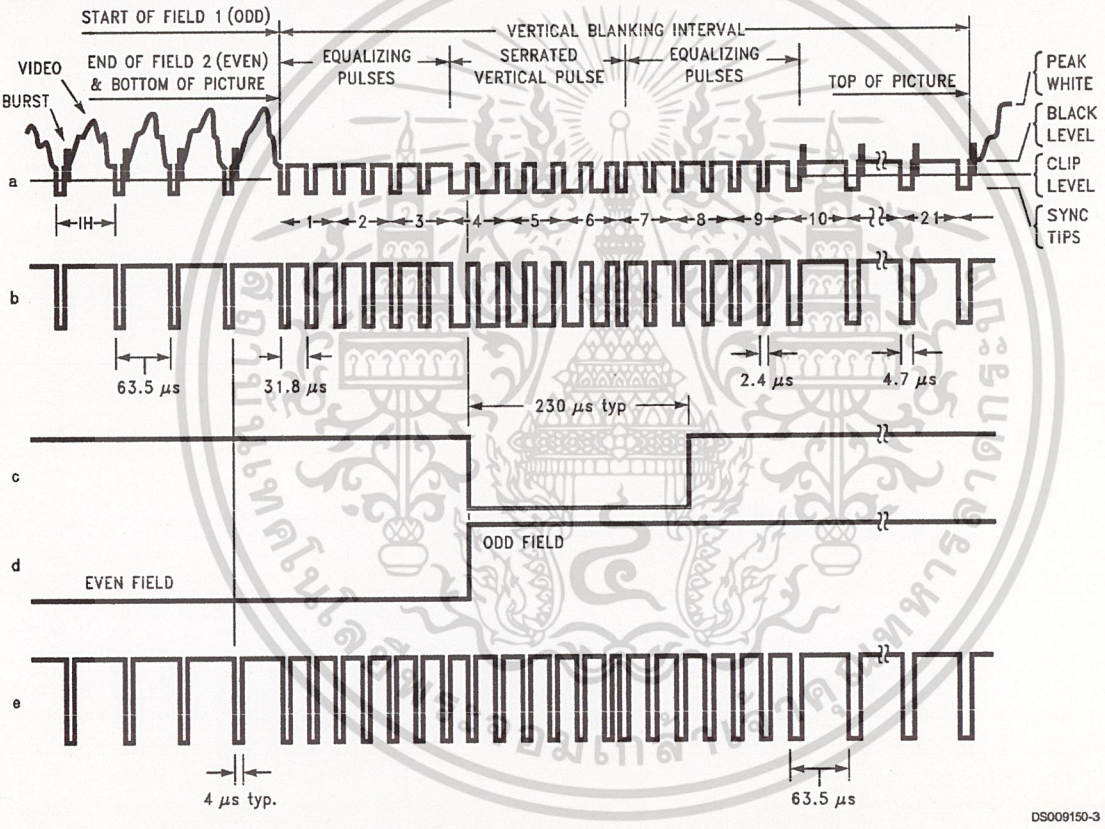
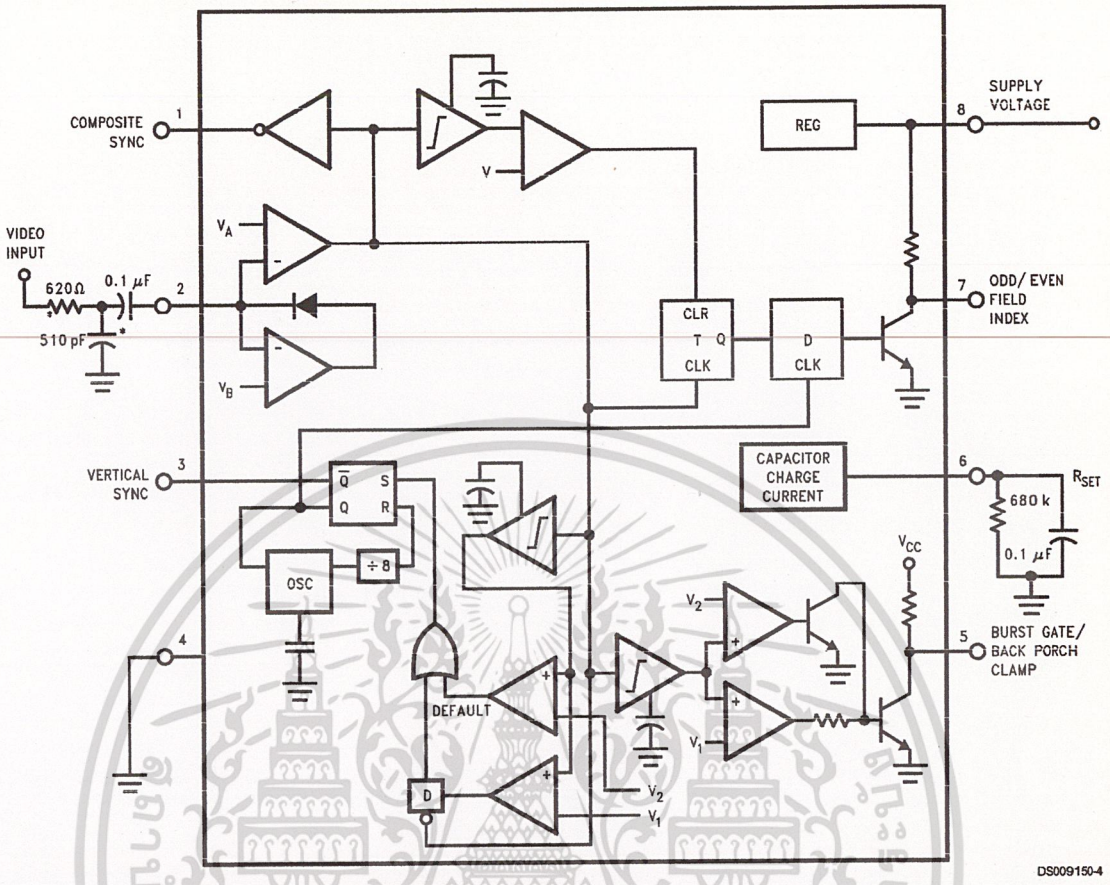


FIGURE 1. (a) Composite Video; (b) Composite Sync; (c) Vertical Output Pulse; (d) Odd/Even Field Index; (e) Burst Gate/Back Porch Clamp

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Application Notes (Continued)



*Components Optional, See Text

FIGURE 2.

ODD/EVEN FIELD PULSE

An unusual feature of LM1881 is an output level from Pin 7 that identifies the video field present at the input to the LM1881. This can be useful in frame memory storage applications or in extracting test signals that occur in alternate fields. For a composite video signal that is interlaced, one of the two fields that make up each video frame or picture must have a half horizontal scan line period at the end of the vertical scan—i.e., at the bottom of the picture. This is called the "odd field" or "even field". The "even field" or "field 2" has a complete horizontal scan line at the end of the field. An odd field starts on the leading edge of the first equalizing pulse, whereas the even field starts on the leading edge of the second equalizing pulse of the vertical retrace interval. *Figure 1(a)* shows the end of the even field and the start of the odd field.

To detect the odd/even fields the LM1881 again integrates the composite sync waveform (*Figure 2*). A capacitor is charged during the period between sync pulses and discharged when the sync pulse is present. The period between normal horizontal sync pulses is enough to allow the capacitor voltage to reach a threshold level of a comparator that clears a flip-flop which is also being clocked by the sync waveform. When the vertical interval is reached, the shorter integration time between equalizing pulses prevents this threshold from being reached and the Q output of the flip-flop is toggled with each equalizing pulse. Since the half line period at the end of the odd field will have the same effect as an equalizing pulse period, the Q output will have a different polarity on successive fields. Thus by comparing the Q polarity with the vertical output pulse, an odd/even field index is generated. Pin 7 remains low during the even field and high during the odd field.

BURST/BACKPORCH OUTPUT PULSE

In a composite video signal, the chroma burst is located on the backporch of the horizontal blanking period. This period, approximately 4.8 μs long, is also the black level reference for the subsequent video scan line. The LM1881 generates a pulse at Pin 5 that can be used either to retrieve the chroma burst from the composite video signal (thus providing a subcarrier synchronizing signal) or as a clamp for the DC restoration of the video waveform. This output is obtained simply by charging an internal capacitor starting on the trailing edge of the horizontal sync pulses. Simultaneously the output of Pin 5 is pulled low and held until the capacitor charge circuit times out—4 μs later. A shorter output burst gate pulse can be derived by differentiating the burst output using a series C-R network. This may be necessary in applications which require high horizontal scan rates in combination with normal (60 Hz–120 Hz) vertical scan rates.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Application Notes (Continued)

APPLICATIONS

Apart from extracting a composite sync signal free of video information, the LM1881 outputs allow a number of interesting applications to be developed. As mentioned above, the burst gate/backporch clamp pulse allows DC restoration of the original video waveform for display or remodulation on an R.F. carrier, and retrieval of the color burst for color synchronization and decoding into R.G.B. components. For frame memory storage applications, the odd/even field lever allows identification of the appropriate field ensuring the correct read or write sequence. The vertical pulse output is particularly useful since it begins at a precise time—the rising edge of the first vertical serration in the sync waveform. This means that individual lines within the vertical blanking period (or anywhere in the active scan line period) can easily be extracted by counting the required number of transitions in the composite sync waveform following the start of the vertical output pulse.

The vertical blanking interval is proving popular as a means to transmit data which will not appear on a normal T.V. receiver screen. Data can be inserted beginning with line 10 (the first horizontal scan line on which the color burst appears) through to line 21. Usually lines 10 through 13 are not used which leaves lines 14 through 21 for inserting signals, which may be different from field to field. In the U.S., line 19 is normally reserved for a vertical interval reference signal (VIRS) and line 21 is reserved for closed caption data for the hearing impaired. The remaining lines are used in a number of ways. Lines 17 and 18 are frequently used during studio processing to add and delete vertical interval test signals (VITS) while lines 14 through 18 and line 20 can be used for Videotex/Teletext data. Several institutions are proposing to transmit financial data on line 17 and cable systems use the available lines in the vertical interval to send decoding data for descrambler terminals.

Since the vertical output pulse from the LM1881 coincides with the leading edge of the first vertical serration, sixteen positive or negative transitions later will be the start of line 14 in either field. At this point simple counters can be used to select the desired line(s) for insertion or deletion of data.

VIDEO LINE SELECTOR

The circuit in *Figure 3* puts out a singe video line according to the binary coded information applied to line select bits b0–b7. A line is selected by adding two to the desired line number, converting to a binary equivalent and applying the result to the line select inputs. The falling edge of the LM1881's vertical pulse is used to load the appropriate number into the counters (MM74C193N) and to set a start count latch using two NAND gates. Composite sync transitions are counted using the borrow out of the desired number of counters. The final borrow out pulse is used to turn on the analog switch (CD4066BC) during the desired line. The falling edge of this signal also resets the start count latch, thereby terminating the counting.

The circuit, as shown, will provide a single line output for each field in an interlaced video system (television) or a single line output in each frame for a non-interlaced video system (computer monitor). When a particular line in only one field of an interlaced video signal is desired, the odd/even field index output must be used instead of the vertical output pulse (invert the field index output to select the odd field). A single counter is needed for selecting lines 3 to 14; two counters are needed for selecting lines 15 to 253; and three counters will work for up to 2046 lines. An output buffer is required to drive low impedance loads.

MULTIPLE CONTIGUOUS VIDEO LINE SELECTOR WITH BLACK LEVEL RESTORATION

The circuit in *Figure 4* will select a number of adjoining lines starting with the line selected as in the previous example. Additional counters can be added as described previously for either higher starting line numbers or an increased number of contiguous output lines. The back porch pulse output of the LM1881 is used to gate the video input's black level through a low pass filter (10 kΩ, 10 µF) providing black level restoration at the video output when the output selected line(s) is not being gated through.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Typical Applications

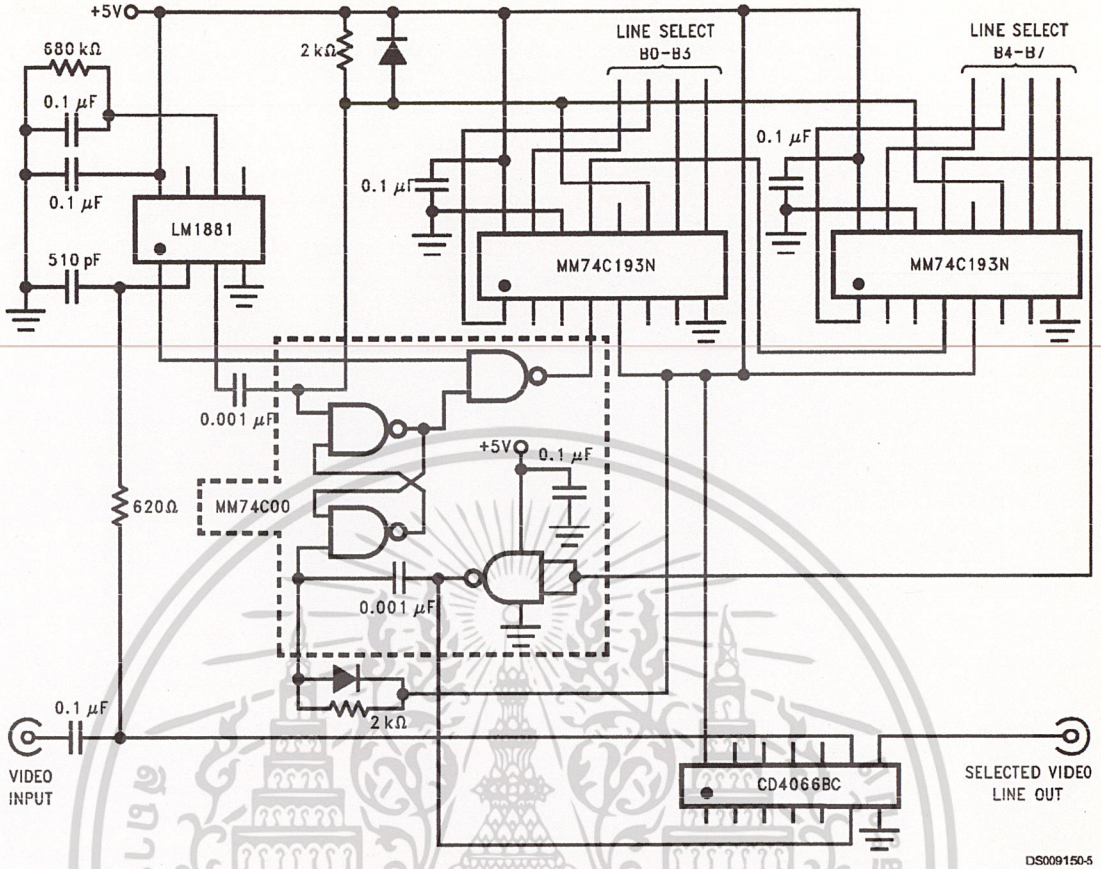


FIGURE 3. Video Line Selector

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Typical Applications (Continued)

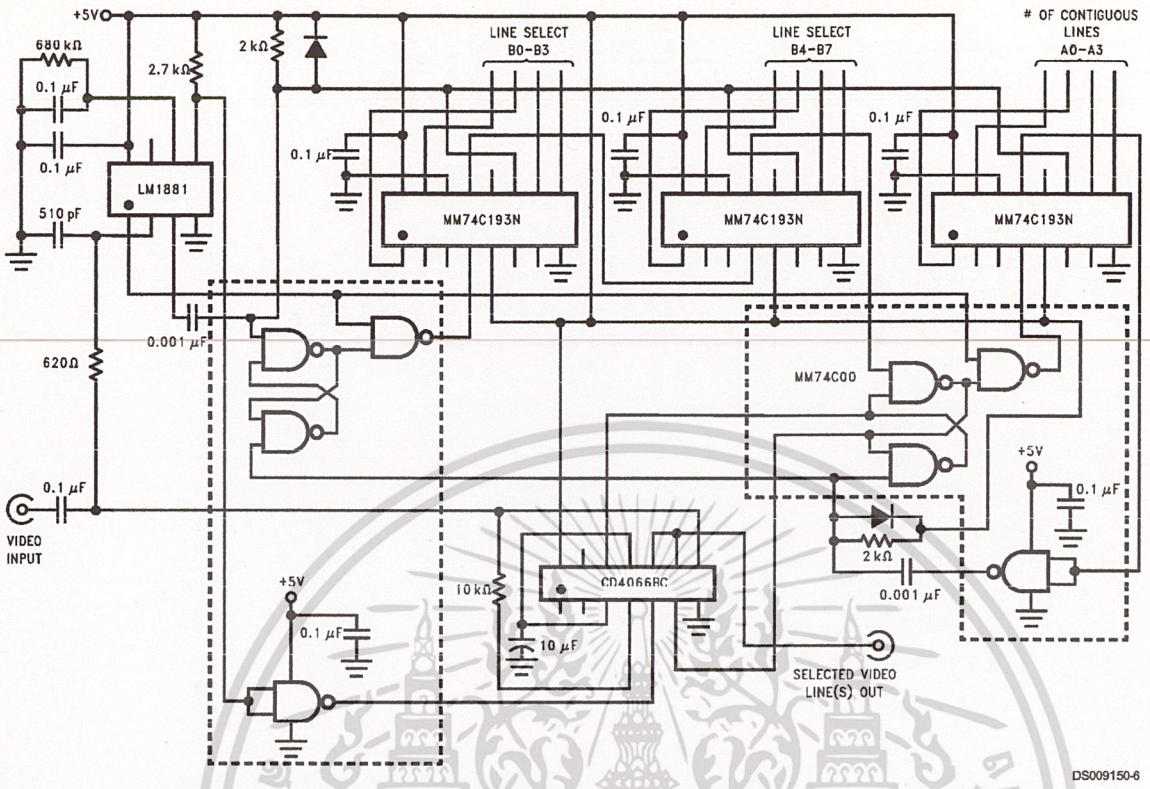
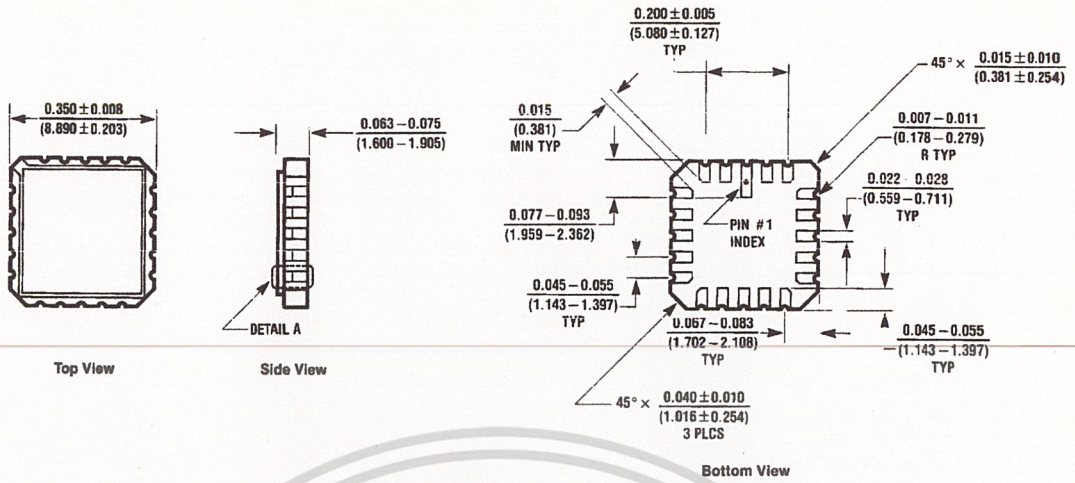
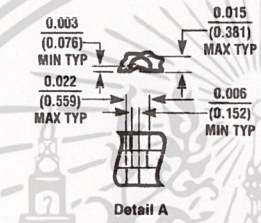


FIGURE 4. Multiple Contiguous Video Line Selector with Black Level Restoration

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

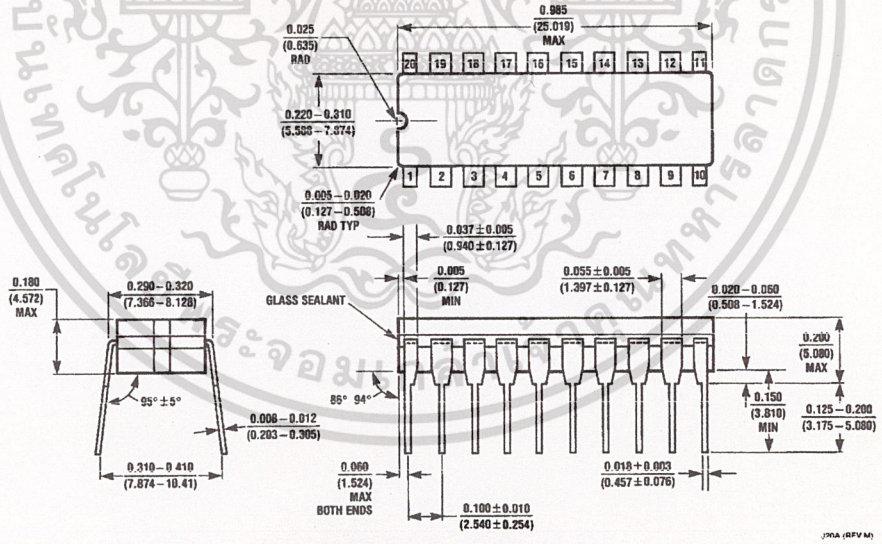
Physical Dimensions inches (millimeters) unless otherwise noted





E20A (REV D)

Molded Small Outline Package (M)
Order Number LM1881M
NS Package Number M08A



J20A (REV M)

Molded Dual-In-Line Package (N)
Order Number LM1881N
NS Package Number N08E

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

intersil

CA3338, CA3338A

CMOS Video Speed, 8-Bit, 50 MSPS, R2R D/A Converters

August 1997

Features

- CMOS/SOS Low Power
- R2R Output, Segmented for Low "Glitch"
- CMOS/TTL Compatible Inputs
- Fast Settling: (Typ) to $^1/_2$ LSB 20ns
- Feedthrough Latch for Clocked or Unclocked Use
- Accuracy (Typ) . . . . . ±0.5 LSB
- Data Complement Control
- High Update Rate (Typ) 50MHz
- Unipolar or Bipolar Operation

Applications

- TV/Video Display
- High Speed Oscilloscope Display
- Digital Waveform Generator
- Direct Digital Synthesis

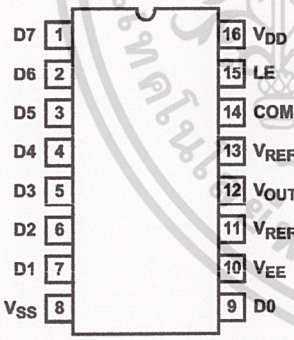
Description

The CA3338 family are CMOS/SOS high speed R2R voltage output digital-to-analog converters. They can operate from a single +5V supply, at video speeds, and can produce "rail-to-rail" output swings. Internal level shifters and a pin for an optional second supply provide for an output range below digital ground. The data complement control allows the inversion of input data while the latch enable control provides either feedthrough or latched operation. Both ends of the R2R ladder network are available externally and may be modulated for gain or offset adjustments. In addition, "glitch" energy has been kept very low by segmenting and thermometer encoding of the upper 3 bits.

The CA3338 is manufactured on a sapphire substrate to give low dynamic power dissipation, low output capacitance, and inherent latch-up resistance.

Pinout

CA3338, CA3338A
(PDIP, SBDIP, SOIC)
TOP VIEW



Ordering Information

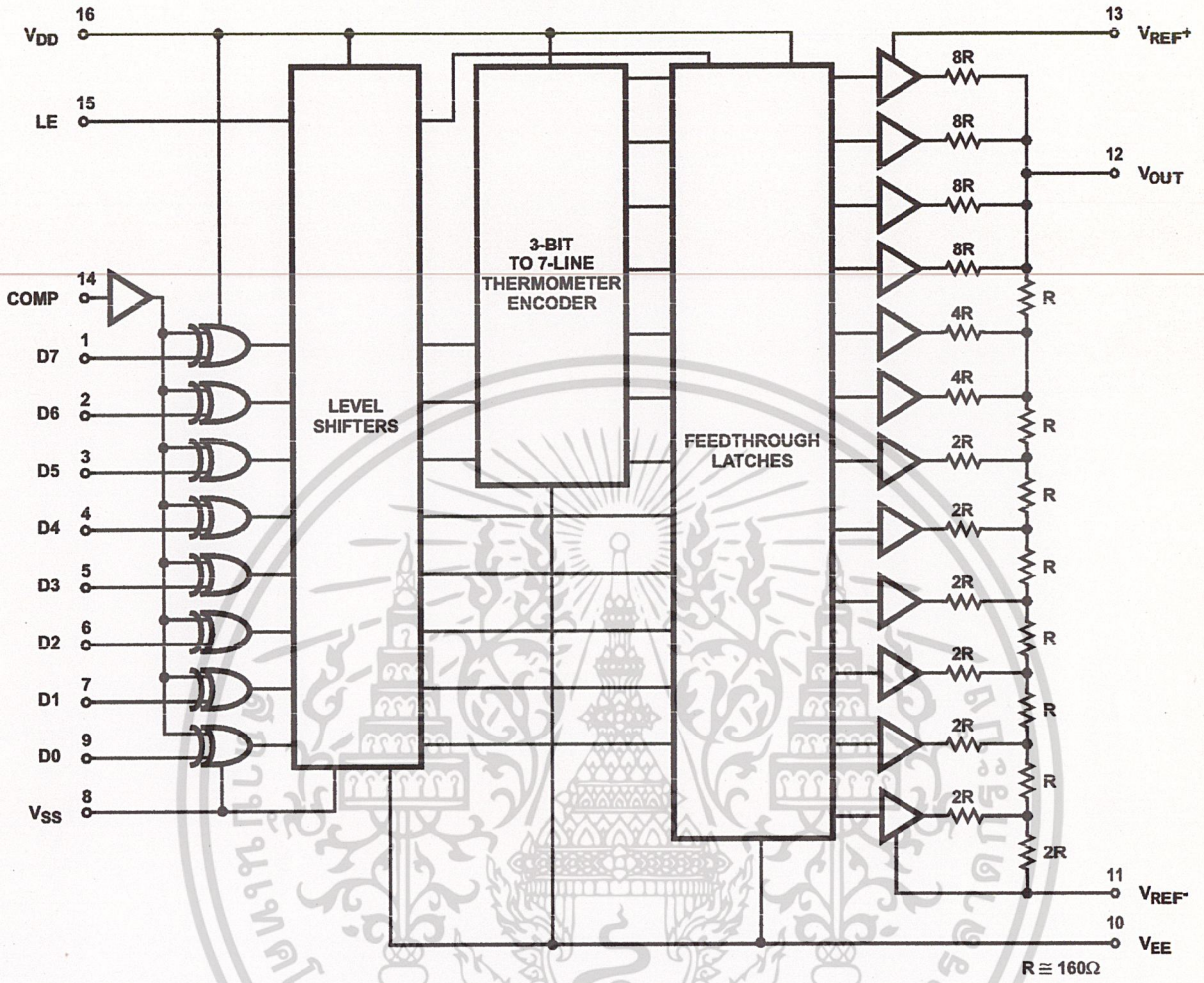
PART NUMBER	LINEARITY (INL, DNL)	TEMP. RANGE (°C)	PACKAGE	PKG. NO.
CA3338E	±1.0 LSB	-40 to 85	16 Ld PDIP	E16.3
CA3338AE	±0.75 LSB	-40 to 85	16 Ld PDIP	E16.3
CA3338D	±1.0 LSB	-55 to 125	16 Ld SBDIP	D16.3
CA3338AD	±0.75 LSB	-55 to 125	16 Ld SBDIP	D16.3
CA3338M	±1.0 LSB	-40 to 85	16 Ld SOIC	M16.3
CA3338AM	±0.75 LSB	-40 to 85	16 Ld SOIC	M16.3

CAUTION: These devices are sensitive to electrostatic discharge; follow proper IC Handling Procedures.
http://www.intersil.com or 407-727-9207 | Copyright © Intersil Corporation 1999

File Number 1850.2

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Functional Diagram



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Absolute Maximum Ratings

DC Supply-Voltage Range . . . . . -0.5V to +8V
(V_{DD} - V_{SS} or V_{DD} - V_{EE}, Whichever is Greater)
Input Voltage Range
Digital Inputs (LE, COMP D0 - D7) . . . . V_{SS} - 0.5V to V_{DD} + 0.5V
Analog Pins (V_{REF}+, V_{REF}-, V_{OUT}) . . . . V_{DD} - 8V to V_{DD} + 0.5V
DC Input Current
Digital Inputs (LE, COMP, D0 - D7) . . . . . ±20mA
Recommended Supply Voltage Range . . . . . 4.5V to 7.5V

Operating Conditions

Temperature Range (T_A)
Ceramic Package, D suffix . . . . . -55°C to 125°C
Plastic Package, E suffix, M suffix . . . . . -40°C to 85°C

Thermal Information

Thermal Resistance (Typical, Note 1)	θ_{JA} (°C/W)	θ_{JC} (°C/W)
SBDIP Package	75	24
PDIP Package	100	N/A
SOIC Package	100	N/A

Maximum Junction Temperature
Ceramic Package . . . . . 175°C
Plastic Packages . . . . . 150°C
Maximum Storage Temperature Range, T_{STG} . . . . -65°C to 150°C
Maximum Lead Temperature (Soldering 10s) . . . . . 300°C
(SOIC - Lead Tips Only)

CAUTION: Stresses above those listed in "Absolute Maximum Ratings" may cause permanent damage to the device. This is a stress only rating and operation of the device at these or any other conditions above those indicated in the operational sections of this specification is not implied.

NOTE:

1. θ_{JA} is measured with the component mounted on an evaluation PC board in free air.

Electrical Specifications

T_A = 25°C, V_{DD} = 5V, V_{REF}+ = 4.608V, V_{SS} = V_{EE} = V_{REF}- = GND, LE Clocked at 20MHz, $R_L \geq 1\ M\Omega$, Unless Otherwise Specified

PARAMETER	TEST CONDITIONS	MIN	TYP	MAX	UNITS
ACCURACY					
Resolution		8	-	-	Bits
Integral Linearity Error	See Figure 4				
CA3338		-	-	±1	LSB
CA3338A		-	-	±0.75	LSB
Differential Linearity Error	See Figure 4				
CA3338		-	-	±0.75	LSB
CA3338A		-	-	±0.5	LSB
Gain Error	Input Code = FF_{HEX}, See Figure 3				
CA3338		-	-	±0.75	LSB
CA3338A		-	-	±0.5	LSB
Offset Error	Input Code = 00_{HEX}; See Figure 3	-	-	±0.25	LSB
DIGITAL INPUT TIMING					
Update Rate	To Maintain $^1/_2$ LSB Settling	DC	50	-	MHz
Update Rate	V_{REF}- = V_{EE} = -2.5V, V_{REF}+ = +2.5V	DC	20	-	MHz
Set Up Time t_{SU1}	For Low Glitch	-	-2	-	ns
Set Up Time t_{SU2}	For Data Store	-	8	-	ns
Hold Time t_H	For Data Store	-	5	-	ns
Latch Pulse Width t_W	For Data Store	-	5	-	ns
Latch Pulse Width t_W	V_{REF}- = V_{EE} = -2.5V, V_{REF}+ = +2.5V	-	25	-	ns
OUTPUT PARAMETERS	R_L Adjusted for $1V_{P-P}$ Output				
Output Delay t_{D1}	From LE Edge	-	25	-	ns
Output Delay t_{D2}	From Data Changing	-	22	-	ns
Rise Time t_r	10% to 90% of Output	-	4	-	ns
Settling Time t_S	10% to Settling to $^1/_2$ LSB	-	20	-	ns
Output Impedance	V_{REF}+ = 6V, V_{DD} = 6V	120	160	200	Ω
Glitch Area		-	150	-	pV/s
Glitch Area	V_{REF}- = V_{EE} = -2.5V, V_{REF}+ = +2.5V	-	250	-	pV/s

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Electrical Specifications $T_A = 25^oC$, $V_{DD} = 5V$, $V_{REF}+ = 4.608V$, $V_{SS} = V_{EE} = V_{REF}- = GND$, LE Clocked at 20MHz, $R_L \geq 1 M\Omega$, Unless Otherwise Specified **(Continued)**

PARAMETER	TEST CONDITIONS	MIN	TYP	MAX	UNITS
REFERENCE VOLTAGE					
$V_{REF}+$ Range	(+) Full Scale, Note 1	$V_{REF}- + 3$	-	V_{DD}	V
$V_{REF}-$ Range	(-) Full Scale, Note 1	V_{EE}	-	$V_{REF}+ - 3$	V
$V_{REF}+$ Input Current	$V_{REF}+ = 6V$, $V_{DD} = 6V$	-	40	50	mA
SUPPLY VOLTAGE					
Static I_{DD} or I_{EE}	LE = Low, D0 - D7 = High	-	100	220	µA
	LE = Low, D0 - D7 = Low	-	-	100	µA
Dynamic I_{DD} or I_{EE}	V_{OUT} = 10MHz, 0V to 5V Square Wave	-	20	-	mA
Dynamic I_{DD} or I_{EE}	V_{OUT} = 10MHz, ±2.5V Square Wave	-	25	-	mA
V_{DD} Rejection	50kHz Sine Wave Applied	-	3	-	mV/V
V_{EE} Rejection	50kHz Sine Wave Applied	-	1	-	mV/V
DIGITAL INPUTS D0 - D7, LE, COMP					
High Level Input Voltage	Note 1	2	-	-	V
Low Level Input Voltage	Note 1	-	-	0.8	V
Leakage Current		-	±1	±5	µA
Capacitance		-	5	-	pF
TEMPERATURE COEFFICIENTS					
Output Impedance		-	200	-	ppm/°C

NOTE:

1. Parameter not tested. but guaranteed by design or characterization.

Pin Descriptions

PIN	NAME	DESCRIPTION
1	D7	Most Significant Bit Input Data Bits (High = True)
2	D6	
3	D5	
4	D4	
5	D3	
6	D2	
7	D1	
8	V_{SS}	Digital Ground
9	D_0	Least Significant Bit. Input Data Bit
10	V_{EE}	Analog Ground
11	$V_{REF}-$	Reference Voltage Negative Input
12	V_{OUT}	Analog Output
13	$V_{REF}+$	Reference Voltage Positive Input
14	COMP	Data Complement Control input. Active High
15	LE	Latch Enable Input. Active Low
16	V_{DD}	Digital Power Supply, +5V

Digital Signal Path

The digital inputs (LE, COMP, and D0 - D7) are of TTL compatible HCT High Speed CMOS design: the loading is essentially capacitive and the logic threshold is typically 1.5V.

The 8 data bits, D0 (weighted 2^0) through D7 (weighted 2^7), are applied to Exclusive OR gates (see Functional Diagram). The COMP (data complement) control provides the second input to the gates: if COMP is high, the data bits will be inverted as they pass through.

The input data and the LE (latch enable) signals are next applied to a level shifter. The inputs, operating between the levels of V_{DD} and V_{SS}, are shifted to operate between V_{DD} and V_{EE}. V_{EE} optionally at ground or at a negative voltage, will be discussed under bipolar operation. All further logic elements except the output drivers operate from the V_{DD} and V_{EE} supplies.

The upper 3 bits of data, D5 through D7, are input to a 3-to-7 line bar graph encoder. The encoder outputs and D0 through D4 are applied to a feedthrough latch, which is controlled by LE (latch enable).

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

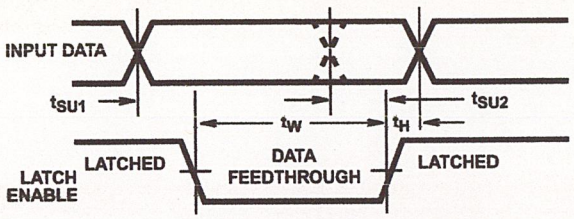


FIGURE 1. DATA TO LATCH ENABLE TIMING

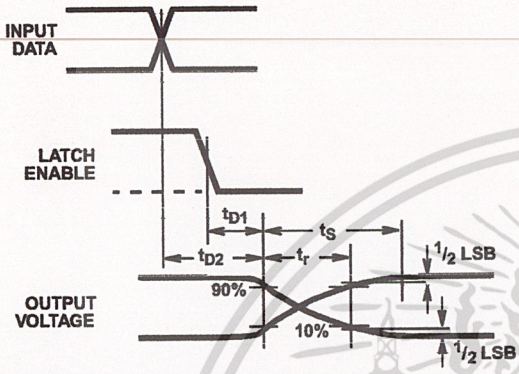


FIGURE 2. DATA AND LATCH ENABLE TO OUTPUT TIMING

Latch Operation

Data is fed from input to output while LE is low: LE should be tied low for non-clocked operation.

Non-clocked operation or changing data while LE is low is not recommended for applications requiring low output "glitch" energy: there is no guarantee of the simultaneous changing of input data or the equal propagation delay of all bits through the converter. Several parameters are given if the converter is to be used in either of these modes: t_{D2} gives the delay from the input changing to the output changing (10%), while t_{SU2} and t_H give the set up and hold times (referred to LE rising edge) needed to latch data. See Figures 1 and 2.

Clocked operation is needed for low "glitch" energy use. Data must meet the given t_{SU1} set up time to the LE falling edge, and the t_H hold time from the LE rising edge. The delay to the output changing, t_{D1}, is now referred to the LE falling edge.

There is no need for a square wave LE clock; LE must only meet the minimum t_W pulse width for successful latch operation. Generally, output timing (desired accuracy of settling) sets the upper limit of usable clock frequency.

Output Structure

The latches feed data to a row of high current CMOS drivers, which in turn feed a modified R2R ladder network.

The "N" channel (pull down) transistor of each driver plus the bottom "2R" resistor are returned to V_{REF}- this is the (-) full-scale reference. The "P" channel (pull up) transistor of each driver is returned to V_{REF}+, the (+) full-scale reference.

In unipolar operation, V_{REF}- would typically be returned to analog ground, but may be raised above ground (see specifications). There is substantial code dependent current that flows from V_{REF}+ to V_{REF}- (see V_{REF}+ input current in specifications), so V_{REF}- should have a low impedance path to ground.

In bipolar operation, V_{REF}- would be returned to a negative voltage (the maximum voltage rating to V_{DD} must be observed). V_{EE}, which supplies the gate potential for the output drivers, must be returned to a point at least as negative as V_{REF}-. Note that the maximum clocking speed decreases when the bipolar mode is used.

Static Characteristics

The ideal 8-bit D/A would have an output equal to V_{REF}- with an input code of 00_{HEX} (zero scale output), and an output equal to 255/256 of V_{REF}+ (referred to V_{REF}-) with an input code of FF_{HEX} (full scale output). The difference between the ideal and actual values of these two parameters are the OFFSET and GAIN errors, respectively; see Figure 3.

If the code into an 8-bit D/A is changed by 1 count, the output should change by 1/255 (full scale output - zero scale output). A deviation from this step size is a differential linearity error, see Figure 4. Note that the error is expressed in fractions of the ideal step size (usually called an LSB). Also note that if the (-) differential linearity error is less (in absolute numbers) than 1 LSB, the device is monotonic. (The output will always increase for increasing code or decrease for decreasing code).

If the code into an 8-bit D/A is at any value, say "N", the output voltage should be N/255 of the full scale output (referred to the zero scale output). Any deviation from that output is an integral linearity error, usually expressed in LSBs. See Figure 4.

Note that OFFSET and GAIN errors do not affect integral linearity, as the linearity is referenced to actual zero and full scale outputs, not ideal. Absolute accuracy would have to also take these errors into account.

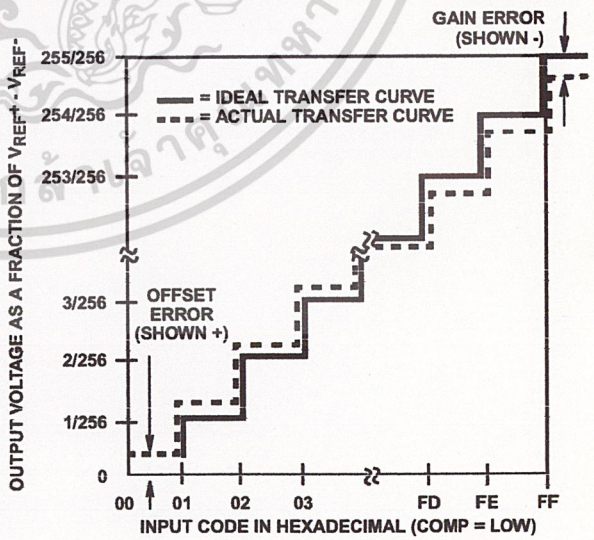


FIGURE 3. D/A OFFSET AND GAIN ERROR

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

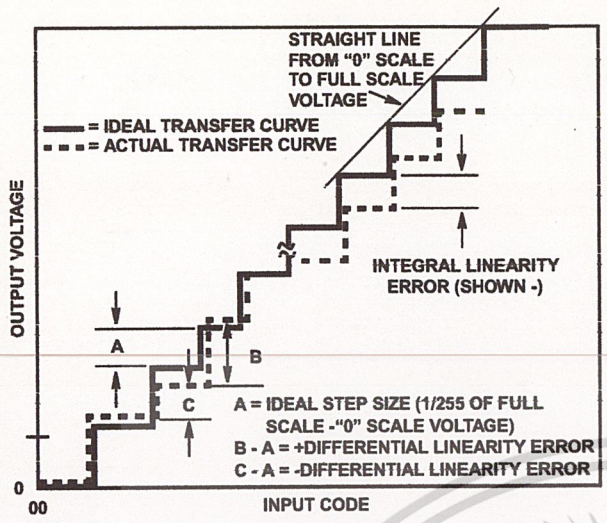


FIGURE 4. D/A INTEGRAL AND DIFFERENTIAL LINEARITY ERROR

Dynamic Characteristics

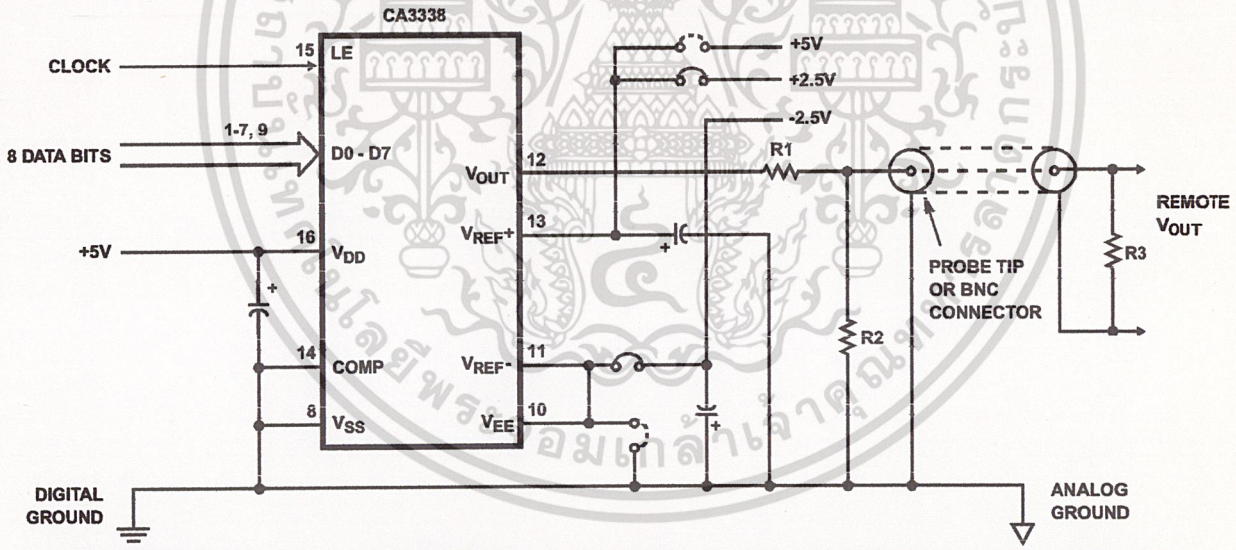
Keeping the full-scale range ($V_{REF}+ - V_{REF}-$) as high as possible gives the best linearity and lowest "glitch" energy (referred to 1V). This provides the best "P" and "N" channel gate drives (hence saturation resistance) and propagation delays. The $V_{REF}+$ (and $V_{REF}-$ if bipolar) terminal should be well bypassed as near the chip as possible.

"Glitch" energy is defined as a spurious voltage that occurs as the output is changed from one voltage to another. In a binary input converter, it is usually highest at the most significant bit transition ($7F_{HEX}$ to 80_{HEX} for an 8 bit device), and can be measured by displaying the output as the input code alternates around that point. The "glitch" energy is the area between the actual output display and an ideal one LSB step voltage (subtracting negative area from positive), at either the positive or negative-going step. It is usually expressed in pV/s.

The CA3338 uses a modified R2R ladder, where the 3 most significant bits drive a bar graph decoder and 7 equally weighted resistors. This makes the "glitch" energy at each $^1/_8$ scale transition ($1F_{HEX}$ to 20_{HEX}, $3F_{HEX}$ to 40_{HEX}, etc.) essentially equal, and far less than the MSB transition would otherwise display.

For the purpose of comparison to other converters, the output should be resistively divided to 1V full scale. Figure 5 shows a typical hook-up for checking "glitch" energy or settling time.

The settling time of the A/D is mainly a function of the output resistance (approximately 160Ω in parallel with the load resistance) and the load plus internal chip capacitance. Both "glitch" energy and settling time measurements require very good circuit and probe grounding: a probe tip connector such as Tektronix part number 131-0258-00 is recommended.



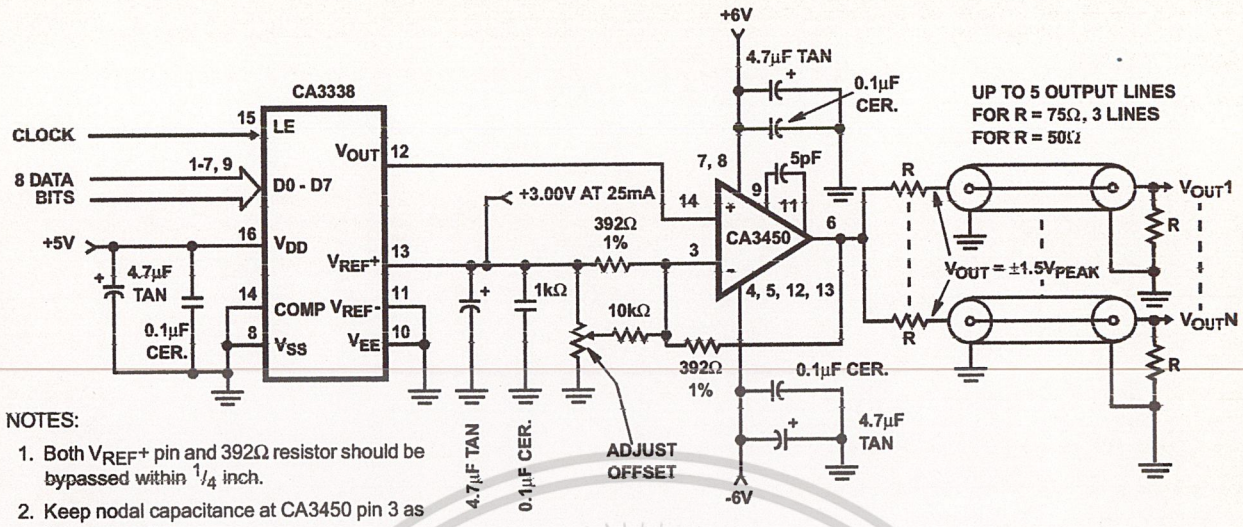
FUNCTION	CONNECTOR	R1	R2	R3	V_{OUT} (P-P)
Oscilloscope Display	Probe Tip	82Ω	62Ω	N/C	1V
Match 93Ω Cable	BNC	75	160	93	1V
Match 75Ω Cable	BNC	18	130	75	1V
Match 50Ω Cable	BNC	Short	75	50	0 79V

NOTES:

2. $V_{OUT(P-P)}$ is approximate, and will vary as R_{OUT} of D/A varies.
3. All drawn capacitors are 0.1µF multilayer ceramic/4.7µF tantalum.
4. Dashed connections are for unipolar operation. Solid connection are for bipolar operation.

FIGURE 5. CA3338 DYNAMIC TEST CIRCUIT

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



NOTES:

1. Both $V_{REF}+$ pin and 392Ω resistor should be bypassed within $^1/_4$ inch.
2. Keep nodal capacitance at CA3450 pin 3 as low as possible.
3. V_{OUT} Range = ±3V at CA3450.

FIGURE 6. CA3338 AND CA3450 FOR DRIVING MULTIPLE COAXIAL LINES

TABLE 1. OUTPUT VOLTAGE vs INPUT CODE AND V_{REF}

$V_{REF}+$ $V_{REF}-$ STEP SIZE	5.12V 0 0.0200V	5.00V 0 0.0195V	4.608V 0 0.0180V	2.56V -2.56V 0.0200V	2.50V -2.50V 0.0195V
Input Code					
$11111112 = FF_{HEX}$	5.1000V	4.9805V	4.5900V	2.5400V	2.4805V
$11111102 = FE_{HEX}$	5.0800	4.9610	4.5720	2.5200	2.4610
•					
•					
•					
$10000001_2 = 81_{HEX}$	2.5800	2.5195	2.3220	0.0200	0.0195
$10000000_2 = 80_{HEX}$	2.5600	2.5000	2.3040	0.0000	0.0000
$01111111_2 = 7F_{HEX}$	2.5400	2.4805	2.2860	- 0.0200	-0.0195
•					
•					
•					
$00000001_2 = 01_{HEX}$	0.0200	0.0195	0.0180	-2.5400	-2.4805
$00000000_2 = 00_{HEX}$	0.0000	0.0000	0.0000	-2.5600	-2.5000

Applications

The output of the CA3338 can be resistively divided to match a doubly terminated 50Ω or 75Ω line, although peak-to-peak swings of less than 1V may result. The output magnitude will also vary with the converter's output impedance. Figure 5 shows such an application. Note that because of the HCT input structure, the CA3338 could be operated up to +7.5V V_{DD} and $V_{REF}+$ supplies and still accept 0V to 5V CMOS input voltages.

If larger voltage swings or better accuracy is desired, a high speed output buffer, such as the HA-5033, HA-2542, or CA3450, can be employed. Figure 6 shows a typical application, with the output capable of driving ±2V into multiple 50Ω terminated lines.

Operating and Handling Considerations

HANDLING

All inputs and outputs of CMOS devices have a network for electrostatic protection during handling. Recommended handling practices for CMOS devices are described in AN6525. "Guide to Better Handling and Operation of CMOS Integrated Circuits."

OPERATING

Operating Voltage

During operation near the maximum supply voltage limit, care should be taken to avoid or suppress power supply turn-on and turn-off transients, power supply ripple, or ground noise; any of these conditions must not cause the absolute maximum ratings to be exceeded.

Input Signals

To prevent damage to the input protection circuit, input signals should never be greater than V_{DD} nor less than V_{SS}. Input currents must not exceed 20mA even when the power supply is off.

Unused Inputs

A connection must be provided at every input terminal. All unused input terminals must be connected to either V_{CC} or GND, whichever is appropriate.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

19-1165; Rev 0; 12/96

MAXIM

Phase-Reversal Analog Switches

General Description

The MAX4526/MAX4527 are CMOS analog ICs configured as phase-reversal switches. The MAX4526 is optimized for high-speed applications, such as chopper amplifiers, while the MAX4527 is optimized for low-power applications.

The MAX4526/MAX4527 operate from a +4.5V to +36V single supply or ±4.5V to ±18V dual supplies. On-resistance (175Ω max) is matched between switches to 8Ω maximum. Each switch can handle rail-to-rail analog signals. Maximum leakage current is only 0.5nA at +25°C and 10nA at +85°C.

All digital inputs have 0.8V to 2.4V logic thresholds, ensuring TTL/CMOS-logic compatibility.

Features

- **10pC (max) Charge Injection**
- **2pC (max) Charge-Injection Match**
- **175Ω Signal Paths with ±15V Supplies**
- **Guaranteed Break-Before-Make**
- **Rail-to-Rail Signal Handling**
- **Transition Time < 100ns with ±15V Supplies**
- **1µA Current Consumption (MAX4527)**
- **>2kV ESD Protection per Method 3015.7**
- **TTL/CMOS-Compatible Inputs**
- **Available in Small, 8-Pin µMAX Package**

Applications

Chopper-Stabilized Amplifiers
Balanced Modulators/Demodulators
Data Acquisition
Test Equipment
Audio-Signal Routing

Ordering Information

PART	TEMP. RANGE	PIN-PACKAGE
MAX4526CPA	0°C to +70°C	8 Plastic DIP
MAX4526CSA	0°C to +70°C	8 SO
MAX4526CUA	0°C to +70°C	8 µMAX
MAX4526C/D	0°C to +70°C	Dice*
MAX4526EPA	-40°C to +85°C	8 Plastic DIP
MAX4526ESA	-40°C to +85°C	8 SO
MAX4526EUA	-40°C to +85°C	8 µMAX

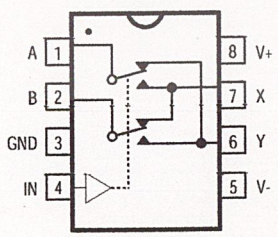
Ordering Information continued at end of data sheet.

**Contact factory for availability.*

Pin Configuration/Functional Diagram/Truth Table

TOP VIEW

MAXIM
MAX4526
MAX4527



DIP/SO/µMAX

TRUTH TABLE		
IN	**A**	**B**
0	Y	X
1	X	Y

SWITCH POSITIONS SHOWN WITH IN = LOW

For free samples & the latest literature: http://www.maxim-ic.com, or phone 1-800-998-8800

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Phase-Reversal Analog Switches

ABSOLUTE MAXIMUM RATINGS

(Voltages Referenced to GND)

V+ .....-0.3V to +44V
V- .....-25V to +0.3V
V+ to V- .....-0.3V to +44V
All Other Pins (Note 1) .....(V- - 0.3V) to (V+ + 0.3V)
Continuous Current into Any Terminal .....±20mA
Peak Current into Any Terminal
(pulsed at 1ms, 10% duty cycle) .....±30mA
ESD per Method 3015.7 .....>2000V

Continuous Power Dissipation (T_A = +70°C)
Plastic DIP (derate 9.09mW/°C above +70°C) 727mW
SO (derate 5.88mW/°C above +70°C) 471mW
µMAX (derate 4.1mW/°C above +70°C) 330mW
Operating Temperature Ranges
MAX452_C_A .....0°C to +70°C
MAX452_E_A .....-40°C to +85°C
Storage Temperature Range .....-65°C to +150°C
Lead Temperature (soldering, 10sec) .....+300°C

Note 1: Signals on IN, A, B, X, or Y exceeding V+ or V- are clamped by internal diodes. Limit forward-diode current to maximum current rating.

Stresses beyond those listed under "Absolute Maximum Ratings" may cause permanent damage to the device. These are stress ratings only, and functional operation of the device at these or any other conditions beyond those indicated in the operational sections of the specifications is not implied. Exposure to absolute maximum rating conditions for extended periods may affect device reliability.

ELECTRICAL CHARACTERISTICS—±15V Supplies

(V+ = +15V, V- = -15V, V_{INH} = 2.4V, V_{INL} = 0.8V, T_A = T_{MIN} to T_{MAX}, unless otherwise noted. Typical values are at T_A = +25°C.)

PARAMETER	SYMBOL	CONDITIONS	T_A	MIN	TYP (Note 2)	MAX	UNITS
ANALOG SWITCH							
Analog-Signal Range	V_A, V_B, V_X, V_Y	(Note 3)	C, E	-V		V+	V
A-X, A-Y, B-X, B-Y On-Resistance	R_{ON}	V_A = V_B = ±10V, I_A = I_B = 1mA	+25°C		105	175	Ω
			C, E			200	
A-X, A-Y, B-X, B-Y On-Resistance Match (Note 4)	ΔR_{ON}	V_A = V_B = ±10V, I_A = I_B = 1mA	+25°C		0.5	8	Ω
			C, E			10	
A-X, A-Y, B-X, B-Y On-Resistance Flatness (Note 5)	$R_{FLAT(ON)}$	V_A = V_B = -5V, 0V, +5V; I_A = I_B = 1mA	+25°C		12	18	Ω
			C, E			30	
A, B, X, Y Leakage Current (Note 6)	$I_{A(OFF)}$, $I_{B(OFF)}$, $I_{X(OFF)}$, $I_{Y(OFF)}$	V+ = 16.5V, V- = -16.5V; V_{IN} = 0V, 3V; V_A = ±15.5V, V_B = ±15.5V	+25°C	-0.5	0.01	0.5	nA
			C, E	-10		10	
LOGIC INPUT							
IN Input Logic Threshold High	V_{INH}		C, E		1.6	2.4	V
IN Input Logic Threshold Low	V_{INL}		C, E	0.8	1.6		V
IN Input Current Logic High or Low	I_{INH}, I_{INL}	$V_{IN_}$ = 0.8V or 2.4V	C, E	1	0.03	1	µA

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ELECTRICAL CHARACTERISTICS—±15V Supplies (continued)

(V+ = +15V, V- = -15V, V_{INH} = 2.4V, V_{INL} = 0.8V, T_A = T_{MIN} to T_{MAX}, unless otherwise noted. Typical values are at T_A = +25°C.)

PARAMETER	SYMBOL	CONDITIONS		T_A	MIN	TYP (Note 2)	MAX	UNITS
SWITCH DYNAMIC CHARACTERISTICS								
Transition Time	t_{TRANS}	V_A = V_B = ±10V, V+ = 15V, V- = -15V, Figure 3	MAX4526	+25°C		65	100	ns
				C, E			125	
			MAX4527	+25°C		95	200	
				C, E			250	
Break-Before-Make Time Delay	t_{BBM}	V_A = V_B = ±10V, V+ = 15V, V- = -15V, Figure 4		+25°C	1	5		ns
Charge Injection (Note 3)	Q	C_L = 1.0nF, V_A or V_B = 0V, R_S = 0Ω, Figure 5		+25°C		1	10	pC
A-X, A-Y, B-X, B-Y Capacitance	C_{OFF}	V_A = V_B = GND, f = 1MHz, Figure 6		+25°C		13		pF
A-X, A-Y, B-X, B-Y Isolation (Note 7)	V_{ISO}	R_L = 50Ω, C_L = 15pF, V_A = V_B = $1V_{RMS}$, f = 1MHz, Figure 7		+25°C		-65		dB
POWER SUPPLY								
Power-Supply Range	V+, V-			C, E	±4.5		±20	V
V+ Supply Current	I+	V+ = 16.5V, V_{IN} = 0V or V+	MAX4526	+25°C		0.7	1	mA
				C, E			1.5	
			MAX4527	+25°C		0.05	1	µA
				C, E			10	
V- Supply Current	I-	V- = -16.5V	MAX4526	+25°C	-400			µA
				C, E	-500			
			MAX4527	+25°C	-1	0.05		
				C, E	-1			

Note 2: The algebraic convention is used in this data sheet; the most negative value is shown in the minimum column.
Note 3: Guaranteed by design.
Note 4: $\Delta R_{ON} = \Delta R_{ON(MAX)} - \Delta R_{ON(MIN)}$.
Note 5: Resistance flatness is defined as the difference between the maximum and minimum values of on-resistance as measured over the specified analog-signal range.
Note 6: Leakage current is 100% tested at maximum rated hot temperature, and is guaranteed by correlation at T_A = +25°C and minimum rated cold temperature.
Note 7: Off-isolation = 20log10 [(V_X or V_Y) / (V_A or V_B)], V_X or V_Y = output, V_A or V_B = input to off switch.

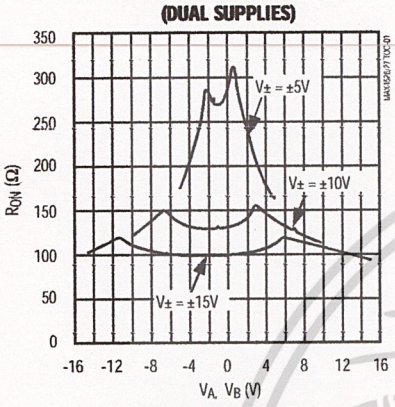
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Phase-Reversal Analog Switches

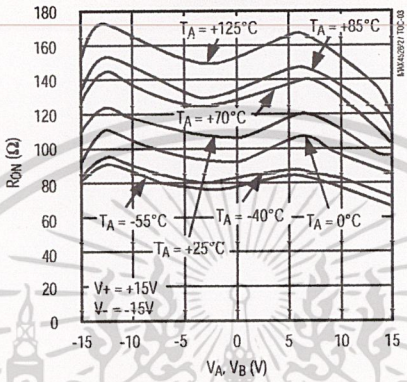
Typical Operating Characteristics

(V+ = +15V, V- = -15V, GND = 0V, T_A = +25°C, unless otherwise noted.)

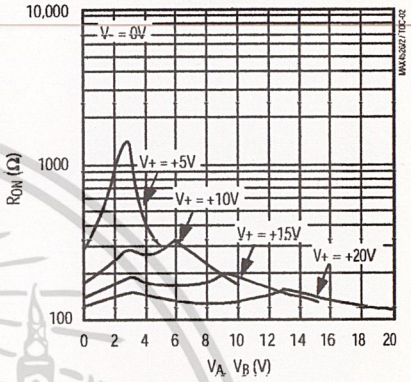
ON-RESISTANCE vs. V_A, V_B (DUAL SUPPLIES)



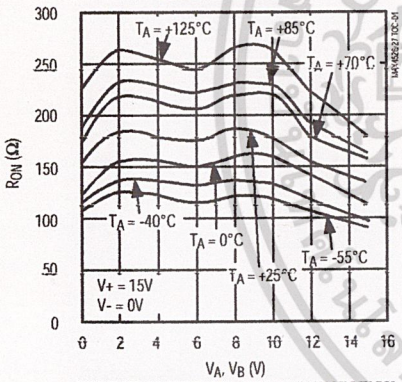
ON-RESISTANCE vs. V_A, V_B, AND TEMPERATURE (DUAL SUPPLIES)



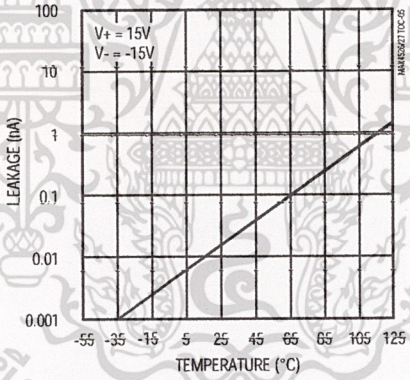
ON-RESISTANCE vs. V_A, V_B (SINGLE SUPPLY)



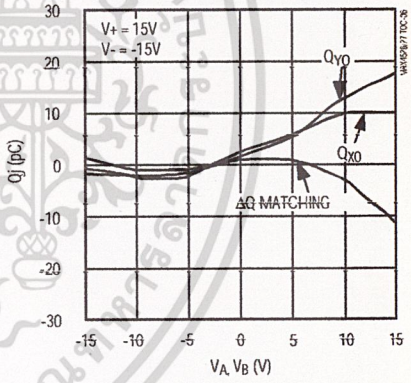
ON-RESISTANCE vs. V_A, V_B, AND TEMPERATURE (SINGLE SUPPLY)



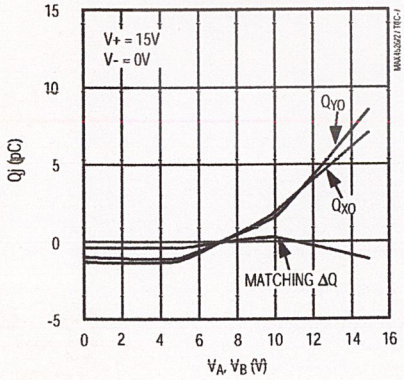
LEAKAGE vs. TEMPERATURE



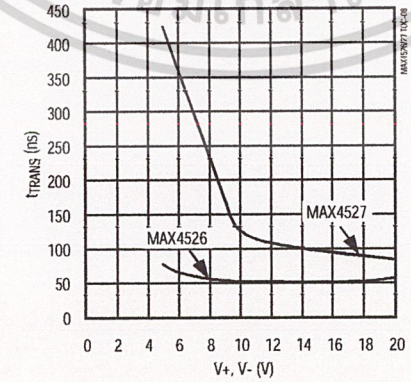
CHARGE INJECTION, CHARGE-INJECTION MATCHING vs. V_A, V_B



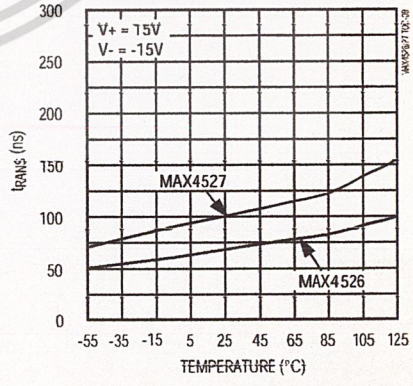
CHARGE INJECTION, CHARGE-INJECTION MATCHING vs. V_A, V_B (SINGLE SUPPLY)



TRANSITION TIME vs. SUPPLY VOLTAGE



TRANSITION TIME vs. TEMPERATURE

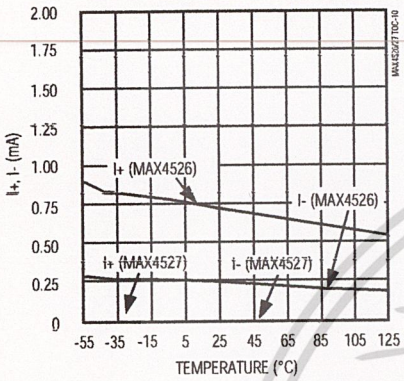


เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

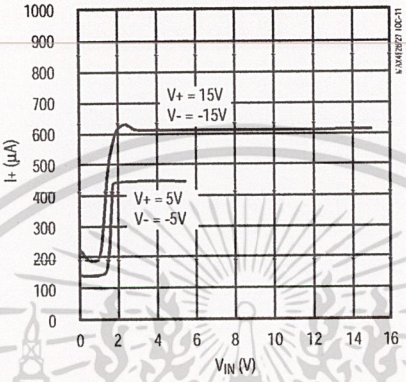
Typical Operating Characteristics (continued)

(V+ = +15V, V- = -15V, GND = 0V, T_A = +25°C, unless otherwise noted.)

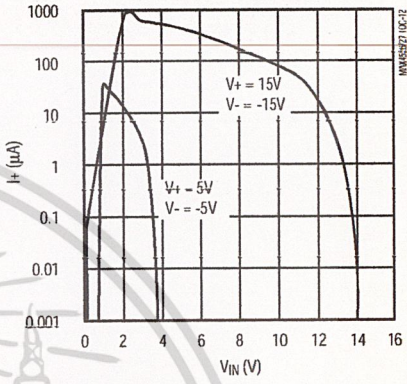
SUPPLY CURRENT vs. TEMPERATURE



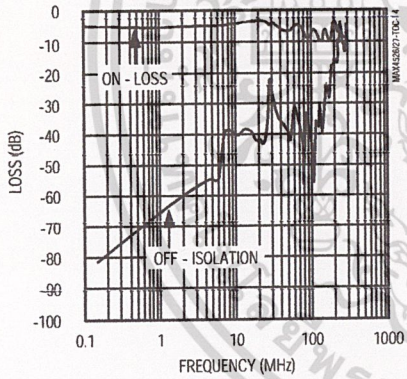
MAX4526
POSITIVE SUPPLY CURRENT vs. V_{IN}



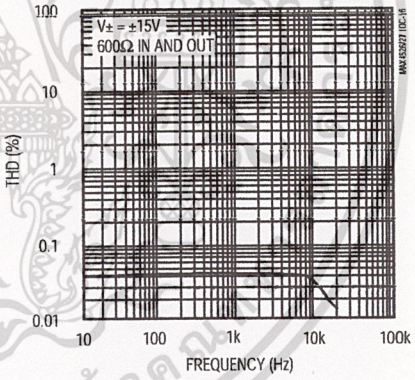
MAX4527
POSITIVE SUPPLY CURRENT vs. V_{IN}



MAX4526
FREQUENCY RESPONSE



TOTAL HARMONIC DISTORTION
vs. FREQUENCY



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Phase-Reversal Analog Switches

Pin Configuration

PIN	NAME	FUNCTION
1	A	Analog-Switch Input Terminal A. Connected to Y when IN is low; connected to X when IN is high.
2	B	Analog-Switch Input Terminal B. Connected to X when IN is low; connected to Y when IN is high.
3	GND	Ground. Connect GND to digital ground. (Analog signals have no ground reference; they are limited to V+ and V-.)
4	IN	Logic-Level Control Inputs (see *Truth Table*).
5	V-	Negative Analog Supply-Voltage Input. Connect V- to GND for single-supply operation.
6	Y	Analog-Switch Output Terminal Y.
7	X	Analog-Switch Output Terminal X.
8	V+	Positive Analog/Digital Supply-Voltage Input. Internally connected to substrate.

Note: A, B, X and Y pins are identical and interchangeable. Either may be considered as an input or output; signals pass equally well in either direction. However, AC symmetry is best when A and B are the input, and X and Y are the output. Reduce AC balance in critical applications by using A and X or A and Y as the input, and B and Y or B and X as the output.

Detailed Description

The MAX4526/MAX4527 are phase-reversal analog switches, consisting of two normally open and two normally closed CMOS analog switches arranged in a bridge configuration. Analog signals are put into two input pins and taken out of two output pins. A logic-level signal controls whether the input signal is routed through normally or inverted. A low-resistance DC path goes from inputs to outputs at all times, yet isolation between the two signal paths is excellent. Analog signals range from V- to V+.

These parts are characterized and optimized with ±15V supplies, and they can operate from a single supply. The MAX4526 is optimized for high-frequency operation, and has a higher-speed logic-level translator and switch driver. The MAX4527 has identical analog switch characteristics, but has a slower logic-level translator and switch driver for lower current consumption.

The MAX4526/MAX4527 are designed for DC and low-frequency-signal phase-reversal applications, such as chopper amplifiers, modulator/demodulators, and self-zeroing or self-calibrating circuits. Unlike conventional CMOS switches externally wired in a bridge configuration, both DC and AC symmetry are optimized with a small 8-pin configuration that allows simple board layout and isolation of logic signals from analog signals.

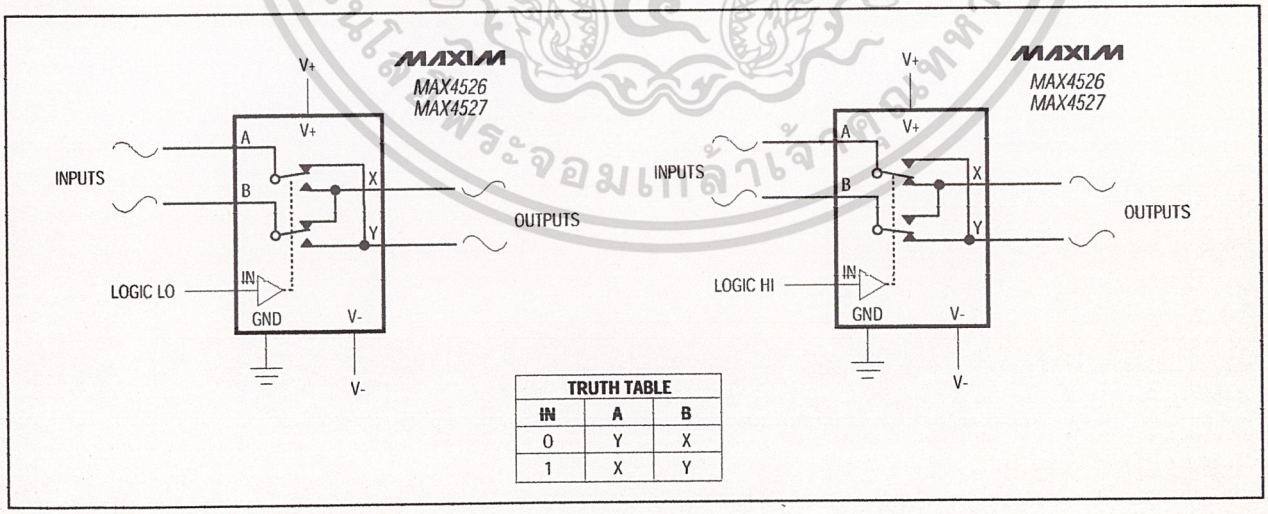


Figure 1. Typical Application Circuits

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Power-Supply Considerations

Overview

The MAX4526/MAX4527 construction is typical of most CMOS analog switches. It has three supply pins: V+, V-, and GND. V+ and V- drive the internal CMOS switches and set the analog-voltage limits on any switch. Reverse ESD-protection diodes are internally connected between each analog signal pin, and both V+ and V-. One of these diodes conducts if any analog signal exceeds V+ or V-.

Virtually all of the analog leakage current is through the ESD diodes to V+ or V-. Although the ESD diodes on a given signal pin are identical and therefore fairly well balanced, they are reverse biased differently. Each is biased by either V+ or V- and the analog signal. This means their leakages vary as the signal varies. The *difference* in the two diode leakages from the signal path to the V+ and V- pins constitutes the analog-signal-path leakage current. All analog leakage current flows to the supply terminals, not to the other switch terminal. This explains how both sides of a given switch can show leakage currents of either the same or opposite polarity.

There is no connection between the analog-signal paths and GND. The analog-signal paths consist of an N-channel and P-channel MOSFET with their sources and drains paralleled and their gates driven out-of-phase to V+ and V- by the logic-level translators.

V+ and GND power the internal logic and logic-level translator and set the input logic threshold. The logic-level translator converts the logic levels to switched V+ and V- signals to drive the analog switches' gates. This drive signal is the only connection between GND and the analog supplies. V+ and V- have ESD-protection diodes to GND. The logic-level input has ESD protection to V+ and to V- but not to GND, so the logic signal can go below GND (as low as V-) when bipolar supplies are used.

Increasing V- has no effect on the logic-level thresholds, but it does increase the drive to the internal P-channel switches, reducing the overall switch on-resistance. V- also sets the negative limit of the analog-signal voltage.

The logic-level input pin, IN, has ESD-protection diodes to V+ and V- but not to GND, so it can be safely driven to V+ and V-. The logic-level threshold, V_{IN}, is CMOS/TTL compatible when V+ is between 4.5V and 36V (see *Typical Operating Characteristics*).

Bipolar Supplies

The MAX4526/MAX4527 operate with bipolar supplies between ±4.5V and ±18V. However, since all factory characterization is done with ±15V supplies, specifications at other supplies are not guaranteed. The V+ and V- supplies need not be symmetrical, but their sum cannot exceed the absolute maximum rating of 44V (see *Absolute Maximum Ratings*).

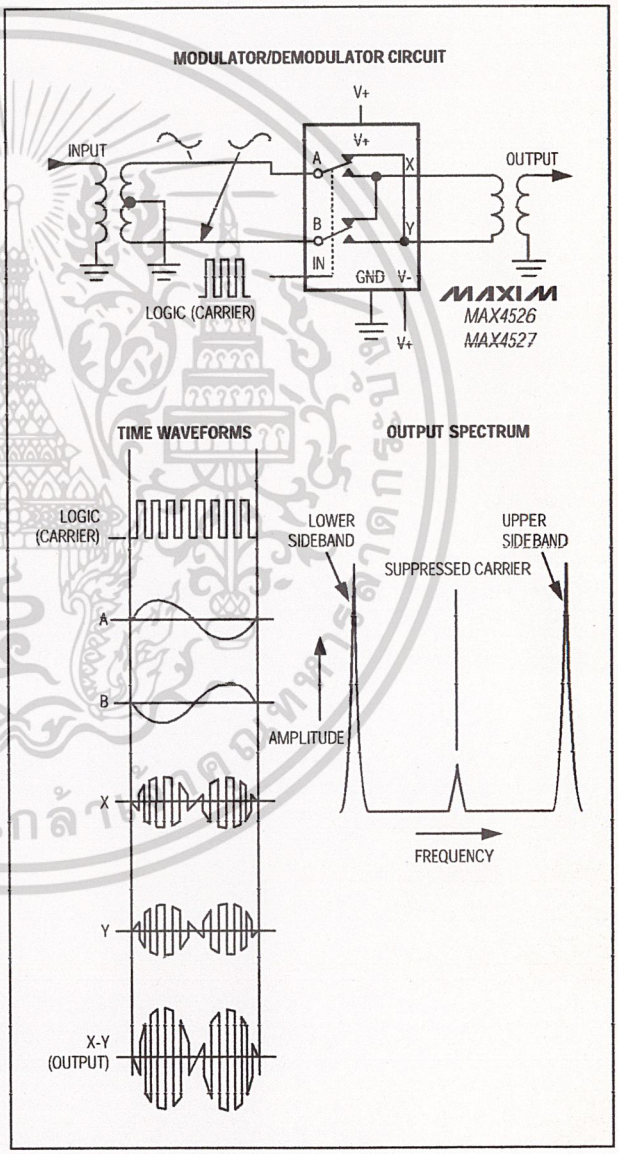


Figure 2. Balanced Modulator/Demodulator

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Phase-Reversal Analog Switches

Single Supply

The MAX4526/MAX4527 operate from a single supply between +4.5V and +36V when V- is connected to GND. Observe all of the bipolar precautions when operating from a single supply.

Applications Information

The MAX4526/MAX4527 are designed for DC and low-frequency-signal phase-reversal applications. Both DC and AC symmetry are optimized for use with ±15V supplies.

Signal Phase/Polarity Reversal

The MAX4526/MAX4527 can reverse the phase or polarity of a pair of signals that are out-of-phase and balanced to ground. This is done by routing signals through the MAX4526/MAX4527 and under control of the IN pin, reversing the two signals paths inside the switch before sending out to a balanced output. Figure 1 shows a typical example. **The MAX4526/MAX4527 cannot reverse the phase or polarity of a single-grounded signal, as can be done with an inverting op amp or transformer.**

Balanced Modulators/Demodulators

The MAX4526/MAX4527 can be used as a balanced modulator/demodulator at carrier frequencies up to 100kHz (Figure 2). Higher frequencies are possible, but as frequency increases, small imbalances in the MAX4526/MAX4527's internal capacitance and resistance gradually impair performance. Similarly, imbalances in external circuit capacitance and resistance to GND reduce overall carrier suppression.

The carrier is applied as a logic-level square wave to IN. (Note that this voltage can go as negative as V-.) For best carrier suppression, the power-supply voltages should be equal, the square wave should have a precise 50% duty cycle, and both the input and output signals should be symmetrical about ground. Bypass V+ and V- to GND with 0.1µF ceramic capacitors, as close to the IC pins as possible. Since the logic-level translator/driver in the MAX4526 is faster than the one in the MAX4527, it gives better results at higher frequencies. In critical applications, carrier suppression can be optimized by trimming duty cycle, DC bias around GND, or external source and load capacitance.

In signal lines, balancing both capacitance and resistance to GND produces the best carrier suppression.

Transformer coupling of input and output signals provides the best isolation and carrier suppression. Transformers can also provide signal filtering, impedance matching, or low-noise voltage gain. Use a center-tapped transformer or high-resistance voltage divider to provide a DC path to GND on either the input signal or output signal. This ensures a DC path to GND and symmetrical operation of the internal switches.

Test Circuits/Timing Diagrams

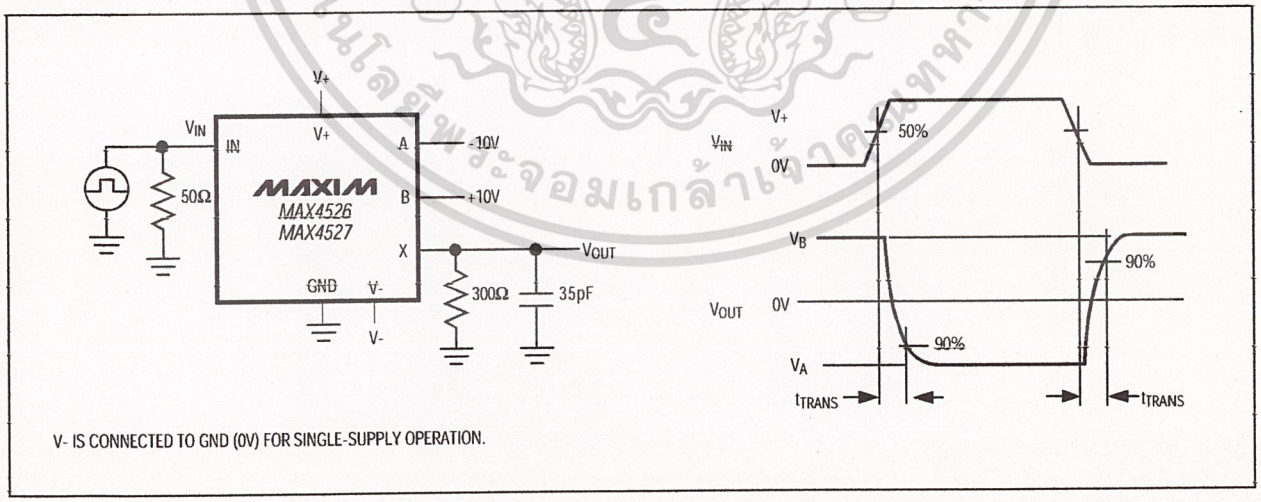


Figure 3. Address Transition Time

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Test Circuits/Timing Diagrams (continued)

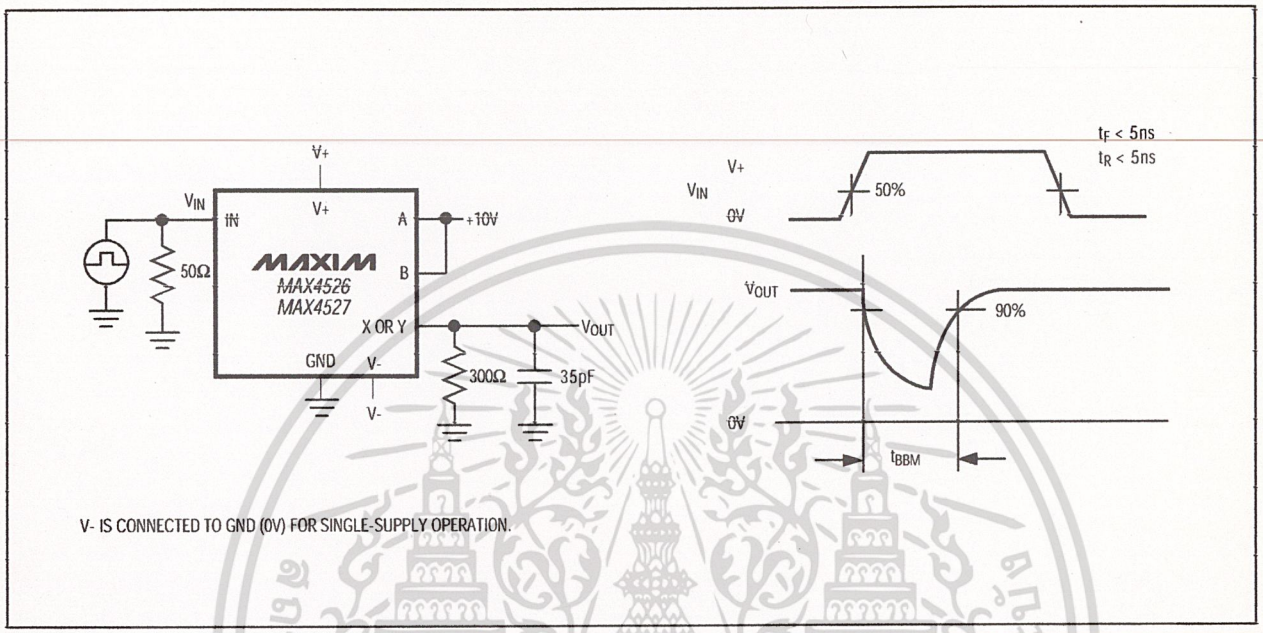


Figure 4. Break-Before-Make Interval

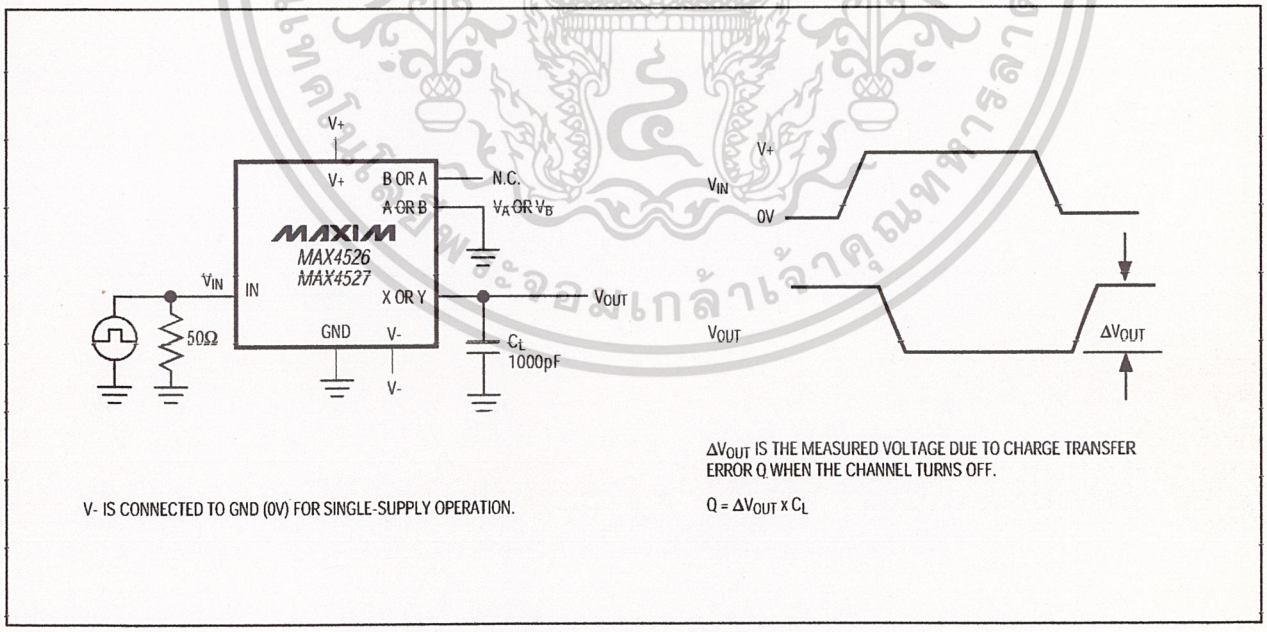


Figure 5. Charge Injection

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Phase-Reversal Analog Switches

Test Circuits/Timing Diagrams (continued)

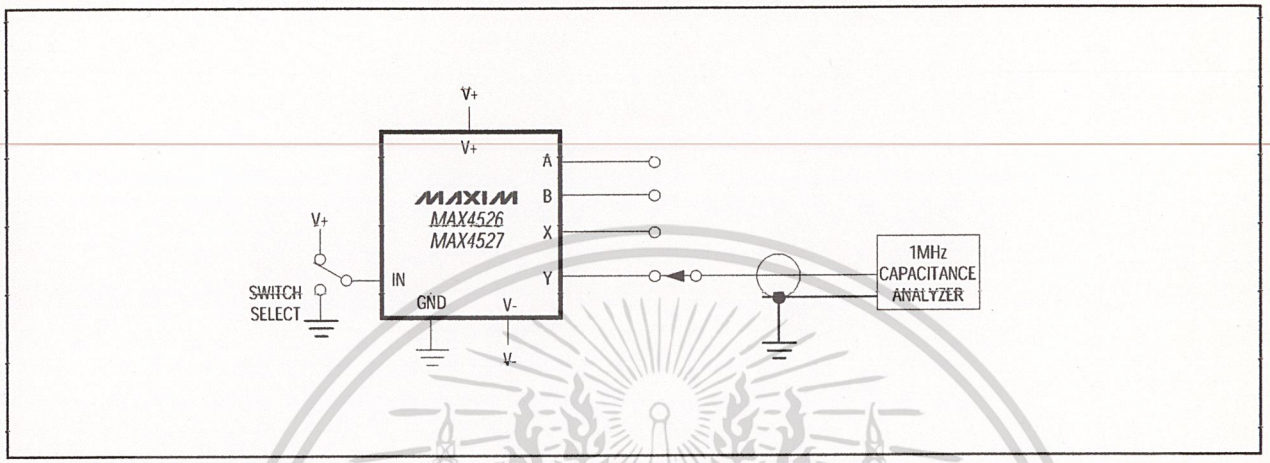


Figure 6. A, B, X, Y Capacitance

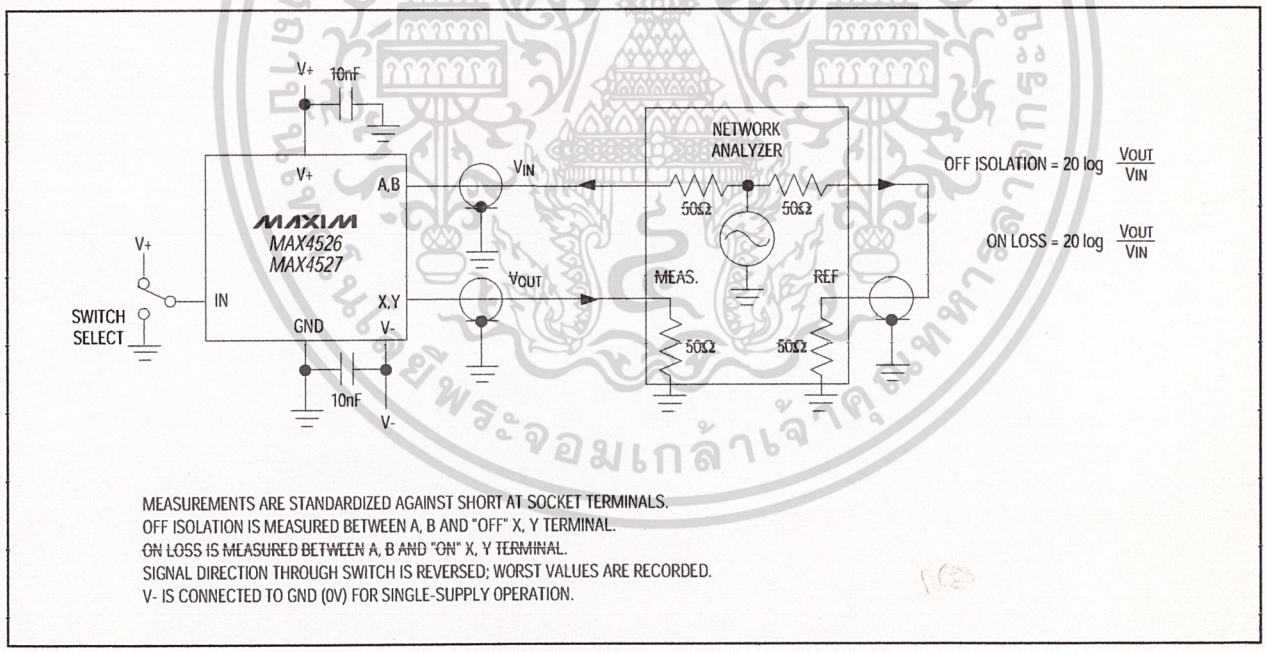


Figure 7. Off Isolation and On Loss

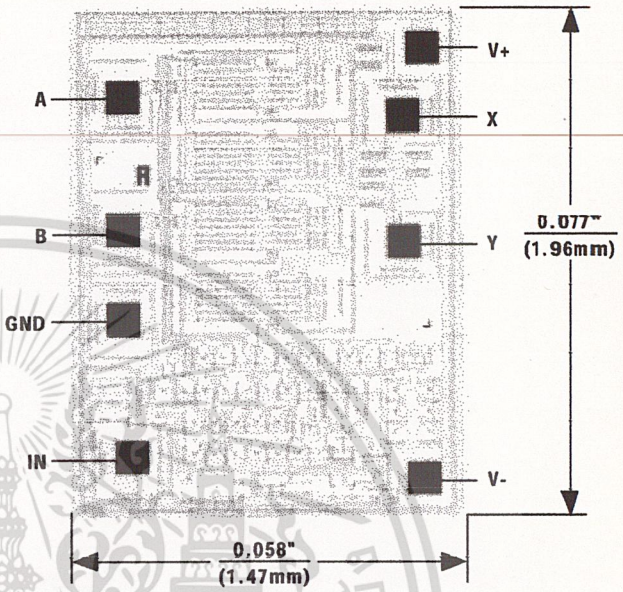
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

_Ordering Information (continued)

PART	TEMP. RANGE	PIN-PACKAGE
MAX4527CPA	0°C to +70°C	8 Plastic DIP
MAX4527CSA	0°C to +70°C	8 SO
MAX4527CUA	0°C to +70°C	8 µMAX
MAX4527C/D	0°C to +70°C	Dice*
MAX4527EPA	-40°C to +85°C	8 Plastic DIP
MAX4527ESA	-40°C to +85°C	8 SO
MAX4527EUA	-40°C to +85°C	8 µMAX

**Contact factory for availability.*

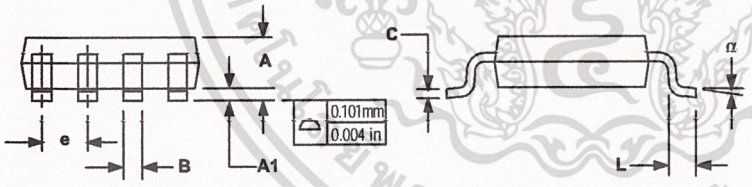
Chip Topography



TRANSISTOR COUNT: 50

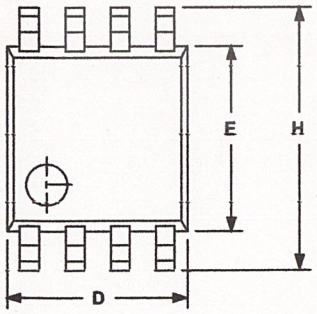
SUBSTRATE IS INTERNALLY CONNECTED TO V+

Package Information



DIM	INCHES		MILLIMETERS	
	MIN	MAX	MIN	MAX
A	0.036	0.044	0.91	1.11
A1	0.004	0.008	0.10	0.20
B	0.010	0.014	0.25	0.36
C	0.005	0.007	0.13	0.18
D	0.116	0.120	2.95	3.05
E	0.116	0.120	2.95	3.05
e	0.0256		0.65	
H	0.188	0.198	4.78	5.03
L	0.016	0.026	0.41	0.66
α	0°	6°	0°	6°

21-0036D

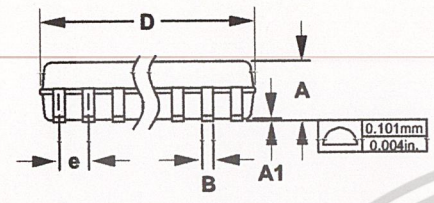


8-PIN µMAX
MICROMAX SMALL-OUTLINE
PACKAGE

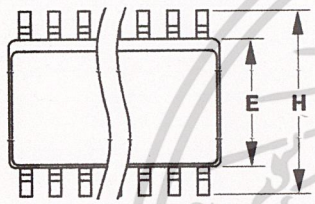
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Phase-Reversal Analog Switches

Package Information (continued)



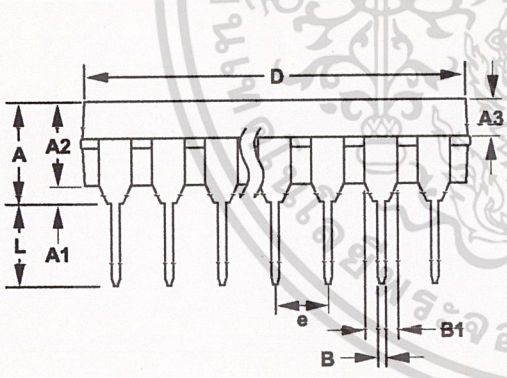
DIM	INCHES		MILLIMETERS	
	MIN	MAX	MIN	MAX
A	0.053	0.069	1.35	1.75
A1	0.004	0.010	0.10	0.25
B	0.014	0.019	0.35	0.49
C	0.007	0.010	0.19	0.25
E	0.150	0.157	3.80	4.00
e	0.050		1.27	
H	0.228	0.244	5.80	6.20
L	0.016	0.050	0.40	1.27



Narrow SO
SMALL-OUTLINE
PACKAGE
(0.150 in.)

DIM	PINS	INCHES		MILLIMETERS	
		MIN	MAX	MIN	MAX
D	8	0.189	0.197	4.80	5.00
D	14	0.337	0.344	8.55	8.75
D	16	0.386	0.394	9.80	10.00

21-0041A



Plastic DIP
PLASTIC
DUAL-IN-LINE
PACKAGE
(0.300 in.)

DIM	INCHES		MILLIMETERS	
	MIN	MAX	MIN	MAX
A	–	0.200	–	5.08
A1	0.015	–	0.38	–
A2	0.125	0.175	3.18	4.45
A3	0.055	0.080	1.40	2.03
B	0.016	0.022	0.41	0.56
B1	0.045	0.065	1.14	1.65
C	0.008	0.012	0.20	0.30
D1	0.005	0.080	0.13	2.03
E	0.300	0.325	7.62	8.26
E1	0.240	0.310	6.10	7.87
e	0.100	–	2.54	–
eA	0.300	–	7.62	–
eB	–	0.400	–	10.16
L	0.115	0.150	2.92	3.81

PKG.	DIM	PINS	INCHES		MILLIMETERS	
			MIN	MAX	MIN	MAX
P	D	8	0.348	0.390	8.84	9.91
P	D	14	0.735	0.765	18.67	19.43
P	D	16	0.745	0.765	18.92	19.43
P	D	18	0.885	0.915	22.48	23.24
P	D	20	1.015	1.045	25.78	26.54
N	D	24	1.14	1.265	28.96	32.13

21-0043A

Maxim cannot assume responsibility for use of any circuitry other than circuitry entirely embodied in a Maxim product. No circuit patent licenses are implied. Maxim reserves the right to change the circuitry and specifications without notice at any time.

© 1996 Maxim Integrated Products Printed USA **MAXIM** is a registered trademark of Maxim Integrated Products.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Features

- Fast Read Access Time - 150 ns
- Automatic Page Write Operation
  - Internal Address and Data Latches for 64 Bytes
- Fast Write Cycle Times
  - Page Write Cycle Time: 10 ms Maximum
  - 1 to 64-Byte Page Write Operation
- Low Power Dissipation
  - 40 mA Active Current
  - 100 µA CMOS Standby Current
- Hardware and Software Data Protection
- $\overline{\text{DATA}}$ Polling and Toggle Bit for End of Write Detection
- High Reliability CMOS Technology
  - Endurance: 100,000 Cycles
  - Data Retention: 10 Years
- Single 5V ± 10% Supply
- CMOS and TTL Compatible Inputs and Outputs
- JEDEC Approved Byte-Wide Pinout
- Commercial and Industrial Temperature Ranges

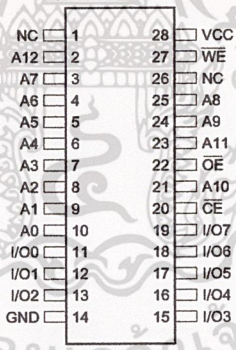
Description

The AT28C64B is a high-performance electrically erasable and programmable read only memory (EEPROM). Its 64K of memory is organized as 8,192 words by 8 bits. Manufactured with Atmel's advanced nonvolatile CMOS technology, the device offers access times to 150 ns with power dissipation of just 220 mW. When the device is deselected, the CMOS standby current is less than 100 µA. *(continued)*

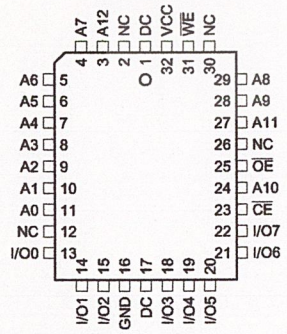
Pin Configurations

Pin Name	Function
A0 - A12	Addresses
$\overline{\text{CE}}$	Chip Enable
$\overline{\text{OE}}$	Output Enable
$\overline{\text{WE}}$	Write Enable
I/O0 - I/O7	Data Inputs/Outputs
NC	No Connect
DC	Don't Connect

PDIP, SOIC
Top View

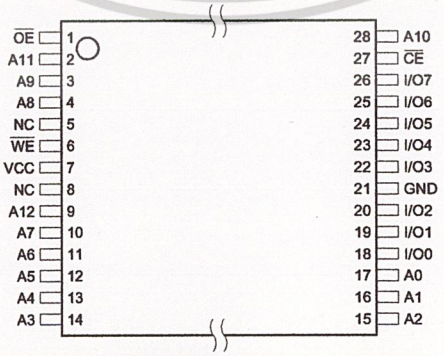


PLCC
Top View



Note: PLCC package pins 1 and 17 are DON'T CONNECT.

TSOP
Top View



64K (8K x 8) Parallel EEPROMs with Page Write and Software Data Protection

AT28C64B

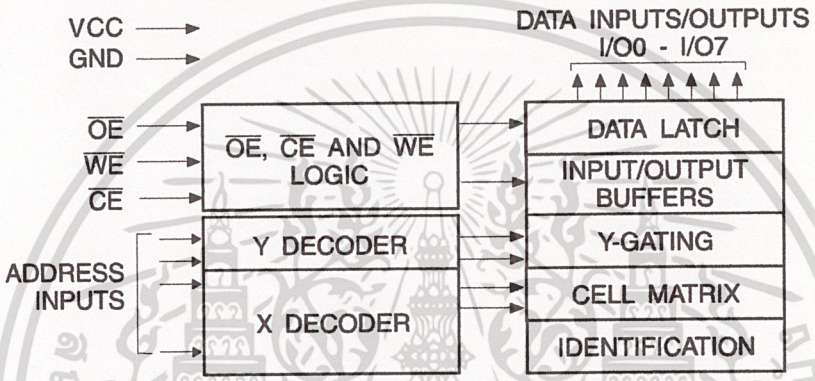
Rev. 0270F–10/98

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

The AT28C64B is accessed like a Static RAM for the read or write cycle without the need for external components. The device contains a 64-byte page register to allow writing of up to 64 bytes simultaneously. During a write cycle, the addresses and 1 to 64 bytes of data are internally latched, freeing the address and data bus for other operations. Following the initiation of a write cycle, the device will automatically write the latched data using an internal control timer. The end of a write cycle can be detected by $\overline{\text{DATA}}$ POLLING of I/O_7. Once the end of a write cycle has been detected, a new access for a read or write can begin.

Atmel's AT28C64B has additional features to ensure high quality and manufacturability. The device utilizes internal error correction for extended endurance and improved data retention characteristics. An optional software data protection mechanism is available to guard against inadvertent writes. The device also includes an extra 64 bytes of EEPROM for device identification or tracking.

Block Diagram



Absolute Maximum Ratings*

Temperature Under Bias	-55°C to +125°C
Storage Temperature	-65°C to +150°C
All Input Voltages (including NC Pins) with Respect to Ground	-0.6V to +6.25V
All Output Voltages with Respect to Ground	-0.6V to V_{CC} + 0.6V
Voltage on $\overline{\text{OE}}$ and A9 with Respect to Ground	-0.6V to +13.5V

*NOTICE: Stresses beyond those listed under "Absolute Maximum Ratings" may cause permanent damage to the device. This is a stress rating only and functional operation of the device at these or any other conditions beyond those indicated in the operational sections of this specification is not implied. Exposure to absolute maximum rating conditions for extended periods may affect device reliability

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Device Operation

READ: The AT28C64B is accessed like a Static RAM. When $\overline{CE}$ and $\overline{OE}$ are low and $\overline{WE}$ is high, the data stored at the memory location determined by the address pins is asserted on the outputs. The outputs are put in the high-impedance state when either $\overline{CE}$ or $\overline{OE}$ is high. This dual line control gives designers flexibility in preventing bus contention in their systems.

BYTE WRITE: A low pulse on the $\overline{WE}$ or $\overline{CE}$ input with $\overline{CE}$ or $\overline{WE}$ low (respectively) and $\overline{OE}$ high initiates a write cycle. The address is latched on the falling edge of $\overline{CE}$ or $\overline{WE}$, whichever occurs last. The data is latched by the first rising edge of $\overline{CE}$ or $\overline{WE}$. Once a byte write has been started, it will automatically time itself to completion. Once a programming operation has been initiated and for the duration of t_{WC}, a read operation will effectively be a polling operation.

PAGE WRITE: The page write operation of the AT28C64B allows 1 to 64 bytes of data to be written into the device during a single internal programming period. A page write operation is initiated in the same manner as a byte write; after the first byte is written, it can then be followed by 1 to 63 additional bytes. Each successive byte must be loaded within 150 µs (t_{BLC}) of the previous byte. If the t_{BLC} limit is exceeded, the AT28C64B will cease accepting data and commence the internal programming operation. All bytes during a page write operation must reside on the same page as defined by the state of the A6 to A12 inputs. For each $\overline{WE}$ high to low transition during the page write operation, A6 to A12 must be the same.

The A0 to A5 inputs specify which bytes within the page are to be written. The bytes may be loaded in any order and may be altered within the same load period. Only bytes which are specified for writing will be written; unnecessary cycling of other bytes within the page does not occur.

$\overline{DATA}$ POLLING: The AT28C64B features $\overline{DATA}$ Polling to indicate the end of a write cycle. During a byte or page write cycle an attempted read of the last byte written will result in the complement of the written data to be presented on I/O_7. Once the write cycle has been completed, true data is valid on all outputs, and the next write cycle may begin. $\overline{DATA}$ Polling may begin at any time during the write cycle.

TOGGLE BIT: In addition to $\overline{DATA}$ Polling, the AT28C64B provides another method for determining the end of a write cycle. During the write operation, successive attempts to read data from the device will result in I/O_6 toggling between one and zero. Once the write has completed, I/O_6 will stop toggling, and valid data will be read. Toggle bit reading may begin at any time during the write cycle.

DATA PROTECTION: If precautions are not taken, inadvertent writes may occur during transitions of the host system power supply. Atmel has incorporated both hardware and software features that will protect the memory against inadvertent writes.

HARDWARE DATA PROTECTION: Hardware features protect against inadvertent writes to the AT28C64B in the following ways: (a) V_{CC} sense—if V_{CC} is below 3.8V (typical), the write function is inhibited; (b) V_{CC} power-on delay—once V_{CC} has reached 3.8V, the device will automatically time out 5 ms (typical) before allowing a write; (c) write inhibit—holding any one of $\overline{OE}$ low, $\overline{CE}$ high, or $\overline{WE}$ high inhibits write cycles; and (d) noise filter—pulses of less than 15 ns (typical) on the $\overline{WE}$ or $\overline{CE}$ inputs will not initiate a write cycle.

SOFTWARE DATA PROTECTION: A software controlled data protection feature has been implemented on the AT28C64B. When enabled, the software data protection (SDP), will prevent inadvertent writes. The SDP feature may be enabled or disabled by the user; the AT28C64B is shipped from Atmel with SDP disabled.

SDP is enabled by the user issuing a series of three write commands in which three specific bytes of data are written to three specific addresses (refer to the *Software Data Protection Algorithm* diagram in this data sheet). After writing the 3-byte command sequence and waiting t_{WC}, the entire AT28C64B will be protected against inadvertent writes. It should be noted that even after SDP is enabled, the user may still perform a byte or page write to the AT28C64B by preceding the data to be written by the same 3-byte command sequence used to enable SDP.

Once set, SDP remains active unless the disable command sequence is issued. Power transitions do not disable SDP, and SDP protects the AT28C64B during power-up and power-down conditions. All command sequences must conform to the page write timing specifications. The data in the enable and disable command sequences is not actually written into the device; their addresses may still be written with user data in either a byte or page write operation.

After setting SDP, any attempt to write to the device without the 3-byte command sequence will start the internal write timers. No data will be written to the device. However, for the duration of t_{WC}, read operations will effectively be polling operations.

DEVICE IDENTIFICATION: An extra 64 bytes of EEPROM memory are available to the user for device identification. By raising A9 to 12V ± 0.5V and using address locations 1FC0H to 1FFFH, the additional bytes may be written to or read from in the same manner as the regular memory array.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

DC and AC Operating Range

		AT28C64B-15	AT28C64B-20	AT28C64B-25
Operating Temperature (Case)	Com.	0°C - 70°C	0°C - 70°C	0°C - 70°C
	Ind.	-40°C - 85°C	-40°C - 85°C	-40°C - 85°C
V_{CC} Power Supply		5V ± 10%	5V ± 10%	5V ± 10%

Operating Modes

Mode	$\overline{CE}$	$\overline{OE}$	$\overline{WE}$	I/O
Read	V_{IL}	V_{IL}	V_{IH}	D_{OUT}
Write[2]	V_{IL}	V_{IH}	V_{IL}	D_{IN}
Standby/Write Inhibit	V_{IH}	X[1]	X	High Z
Write Inhibit	X	X	V_{IH}	
Write Inhibit	X	V_{IL}	X	
Output Disable	X	V_{IH}	X	High Z
Chip Erase	V_{IL}	V_H[3]	V_{IL}	High Z

Notes: 1. X can be V_{IL} or V_{IH}.
2. Refer to the *AC Write Waveforms* diagrams in this data sheet.
3. V_H = 12.0V ± 0.5V.

DC Characteristics

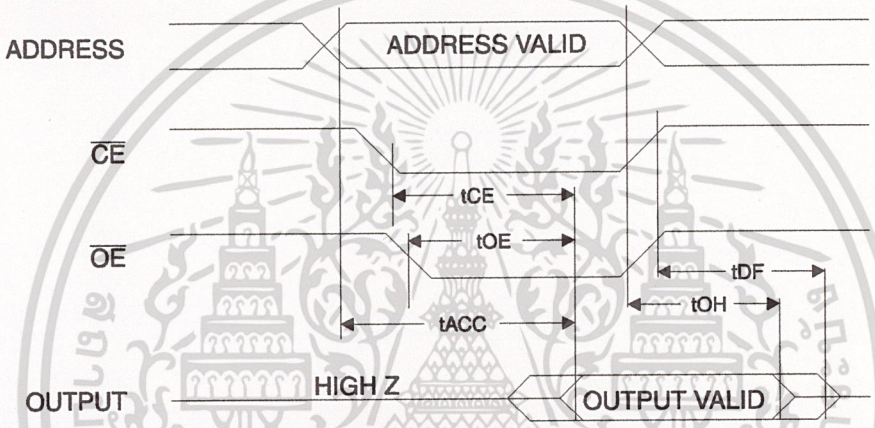
Symbol	Parameter	Condition		Min	Max	Units
I_{LI}	Input Load Current	V_{IN} = 0V to V_{CC} + 1V			10	µA
I_{LO}	Output Leakage Current	$V_{I/O}$ = 0V to V_{CC}			10	µA
I_{SB1}	V_{CC} Standby Current CMOS	$\overline{CE}$ = V_{CC} - 0.3V to V_{CC} + 1V	Com., Ind.		100	µA
I_{SB2}	V_{CC} Standby Current TTL	$\overline{CE}$ = 2.0V to V_{CC} + 1V			2	mA
I_{CC}	V_{CC} Active Current	f = 5 MHz; I_{OUT} = 0 mA			40	mA
V_{IL}	Input Low Voltage				0.8	V
V_{IH}	Input High Voltage			2.0		V
V_{OL}	Output Low Voltage	I_{OL} = 2.1 mA			0.40	V
V_{OH}	Output High Voltage	I_{OH} = -400 µA		2.4		V

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

AC Read Characteristics

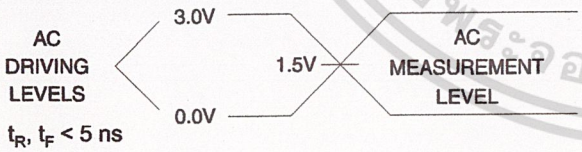
Symbol	Parameter	AT28C64B-15		AT28C64B-20		AT28C64B-25		Units
		Min	Max	Min	Max	Min	Max	
t_{ACC}	Address to Output Delay		150		200		250	ns
t_{CE}[1]	$\overline{CE}$ to Output Delay		150		200		250	ns
t_{OE}[2]	$\overline{OE}$ to Output Delay	0	70	0	80	0	100	ns
t_{DF}[3][4]	$\overline{CE}$ or $\overline{OE}$ to Output Float	0	50	0	55	0	60	ns
t_{OH}	Output Hold from $\overline{OE}$, $\overline{CE}$ or Address, whichever occurred first	0		0		0		ns

AC Read Waveforms[1][2][3][4]

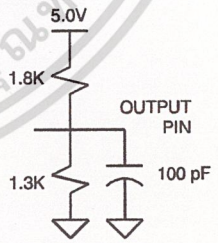


Notes:
1. $\overline{CE}$ may be delayed up to $t_{ACC} - t_{CE}$ after the address transition without impact on t_{ACC}.
2. $\overline{OE}$ may be delayed up to $t_{CE} - t_{OE}$ after the falling edge of $\overline{CE}$ without impact on t_{CE} or by $t_{ACC} - t_{OE}$ after an address change without impact on t_{ACC}.
3. t_{DF} is specified from $\overline{OE}$ or $\overline{CE}$ whichever occurs first (C_L = 5 pF).
4. This parameter is characterized and is not 100% tested.

Input Test Waveforms and Measurement Level



Output Test Load



Pin Capacitance

f = 1 MHz, T = 25°C[1]

Symbol	Typ	Max	Units	Conditions
C_{IN}	4	6	pF	V_{IN} = 0V
C_{OUT}	8	12	pF	V_{OUT} = 0V

Note: 1. This parameter is characterized and is not 100% tested.

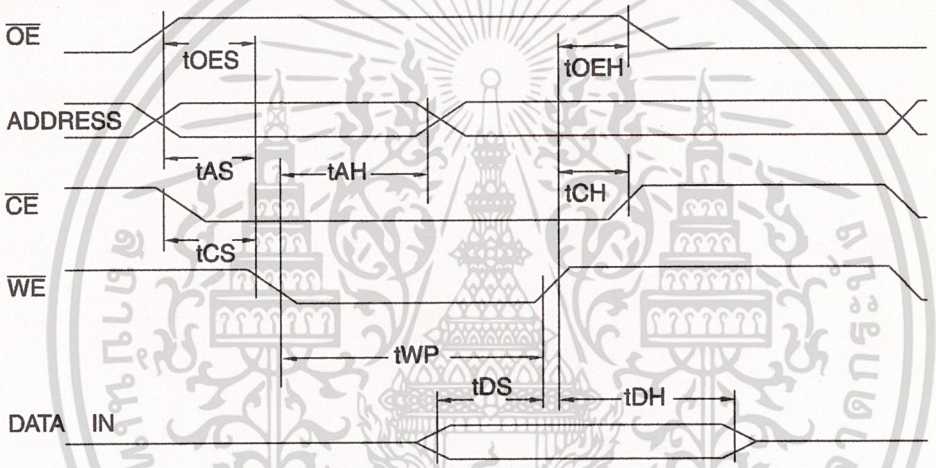
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

AC Write Characteristics

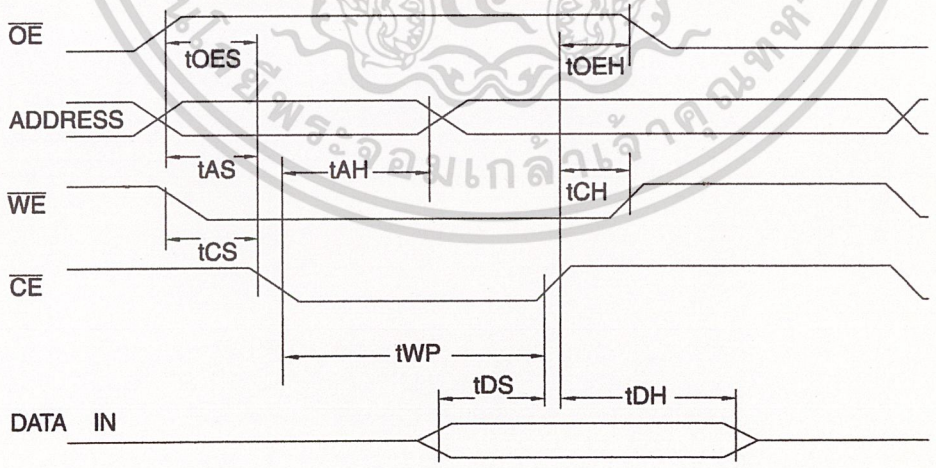
Symbol	Parameter	Min	Max	Units
t_{AS}, t_{OES}	Address, $\overline{OE}$ Set-up Time	0		ns
t_{AH}	Address Hold Time	50		ns
t_{CS}	Chip Select Set-up Time	0		ns
t_{CH}	Chip Select Hold Time	0		ns
t_{WP}	Write Pulse Width ($\overline{WE}$ or $\overline{CE}$)	100		ns
t_{DS}	Data Set-up Time	50		ns
t_{DH}, t_{OEH}	Data, $\overline{OE}$ Hold Time	0		ns

AC Write Waveforms

$\overline{WE}$ Controlled



$\overline{CE}$ Controlled

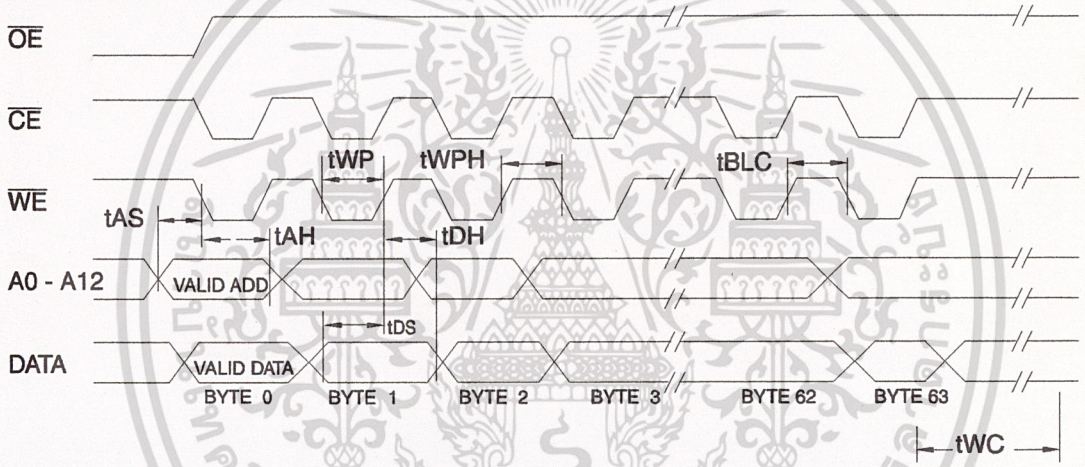


เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Page Mode Characteristics

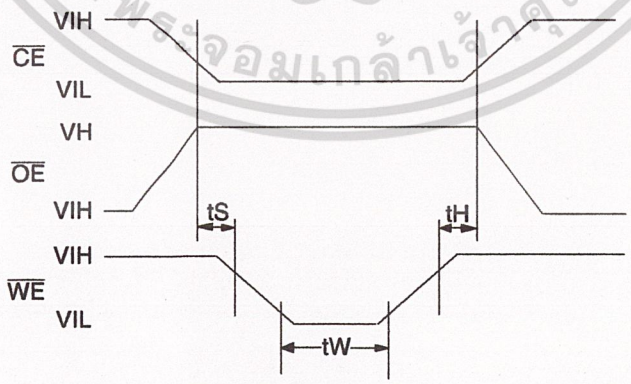
Symbol	Parameter	Min	Max	Units
t_{WC}	Write Cycle Time		10	ms
t_{WC}	Write Cycle Time (28C64B SL184)	0	3	ms
t_{AS}	Address Set-up Time	0		ns
t_{AH}	Address Hold Time	50		ns
t_{DS}	Data Set-up Time	50		ns
t_{DH}	Data Hold Time	0		ns
t_{WP}	Write Pulse Width	100		ns
t_{BLC}	Byte Load Cycle Time		150	µs
t_{WPH}	Write Pulse Width High	50		ns

Page Mode Write Waveforms(1)(2)



Notes: 1. A6 through A12 must specify the same page address during each high to low transition of $\overline{WE}$ (or $\overline{CE}$).
2. $\overline{OE}$ must be high only when $\overline{WE}$ and $\overline{CE}$ are both low.

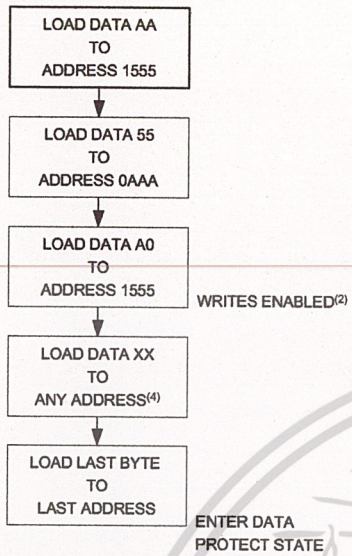
Chip Erase Waveforms



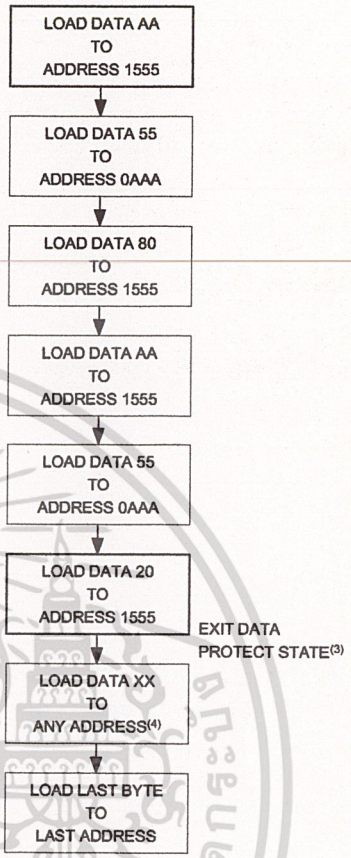
$t_S = t_H = 1$ µsec (min.)
$t_W = 10$ msec (min.)
$V_H = 12.0 \pm 0.5V$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Software Data Protection Enable Algorithm[1]



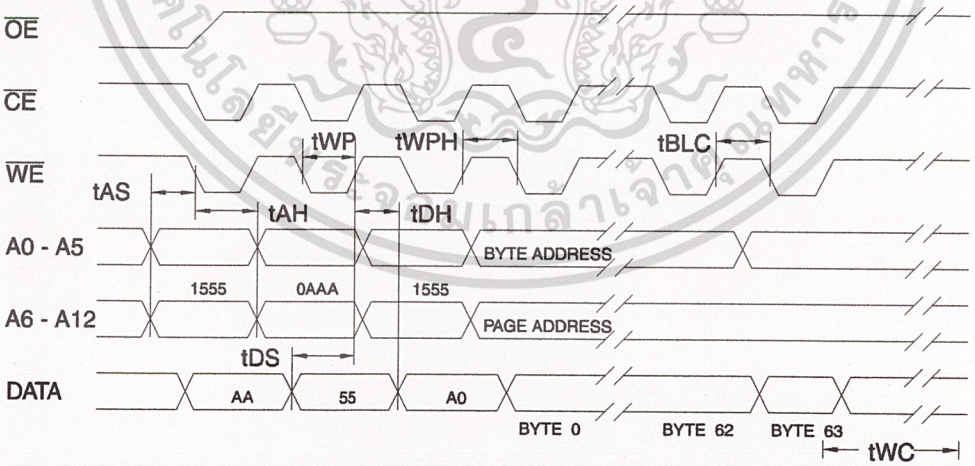
Software Data Protection Disable Algorithm[1]



Notes for software program code:

1. Data Format: I/O7 - I/O0 (Hex);
   Address Format: A12 - A0 (Hex).
2. Write Protect state will be activated at end of write even if no other data is loaded.
3. Write Protect state will be deactivated at end of write period even if no other data is loaded.
4. 1 to 64 bytes of data are loaded.

Software Protected Write Cycle Waveforms[1][2]



Notes: 1. A6 through A12 must specify the same page address during each high to low transition of $\overline{WE}$ (or $\overline{CE}$) after the software code has been entered.

2. $\overline{OE}$ must be high only when $\overline{WE}$ and $\overline{CE}$ are both low.

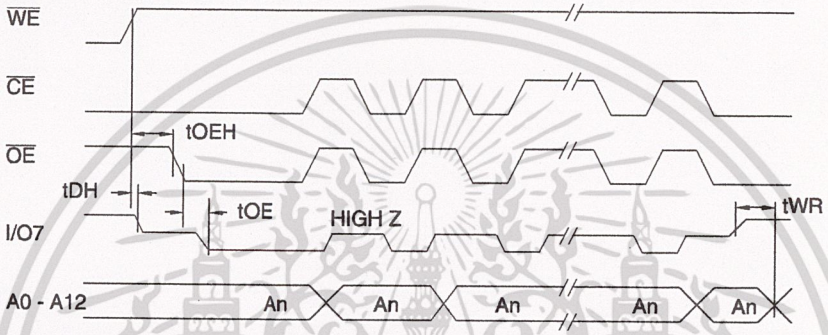
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$\overline{\text{Data}}$ Polling Characteristics[1]

Symbol	Parameter	Min	Typ	Max	Units
t_{DH}	Data Hold Time	0			ns
t_{OEH}	$\overline{OE}$ Hold Time	0			ns
t_{OE}	$\overline{OE}$ to Output Delay[2]				ns
t_{WR}	Write Recovery Time	0			ns

Notes: 1. These parameters are characterized and not 100% tested.
2. See AC Read Characteristics.

$\overline{\text{Data}}$ Polling Waveforms

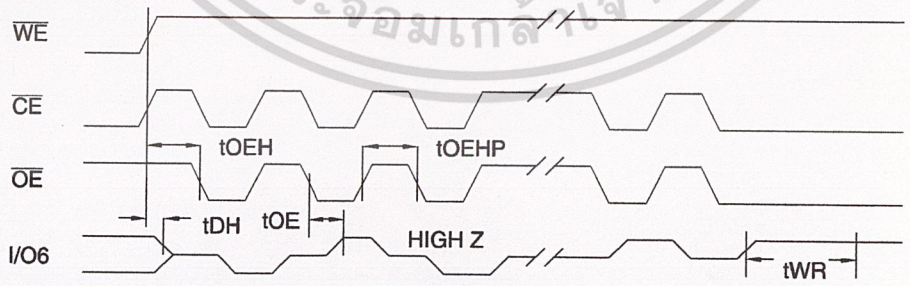


Toggle Bit Characteristics[1]

Symbol	Parameter	Min	Typ	Max	Units
t_{DH}	Data Hold Time	10			ns
t_{OEH}	$\overline{OE}$ Hold Time	10			ns
t_{OE}	$\overline{OE}$ to Output Delay[2]				ns
t_{OEHP}	$\overline{OE}$ High Pulse	150			ns
t_{WR}	Write Recovery Time	0			ns

Notes: 1. These parameters are characterized and not 100% tested.
2. See AC Read Characteristics.

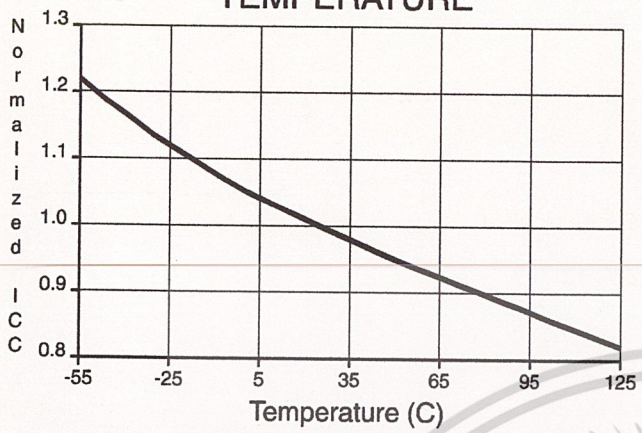
Toggle Bit Waveforms[1][2][3]



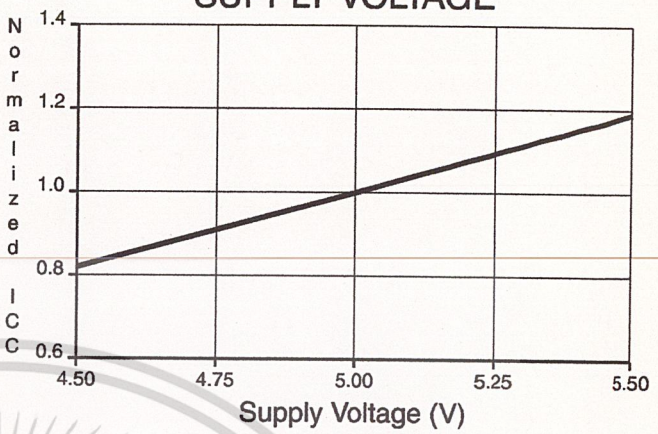
Notes: 1. Toggling either $\overline{OE}$ or $\overline{CE}$ or both $\overline{OE}$ and $\overline{CE}$ will operate toggle bit.
2. Beginning and ending state of I/O6 will vary.
3. Any address location may be used but the address should not vary.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

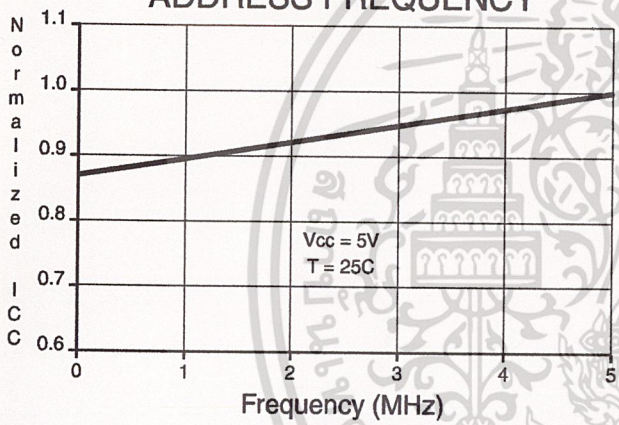
NORMALIZED SUPPLY CURRENT vs. TEMPERATURE



NORMALIZED SUPPLY CURRENT vs. SUPPLY VOLTAGE



NORMALIZED SUPPLY CURRENT vs. ADDRESS FREQUENCY



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Ordering Information[1]

t_{ACC} (ns)	I_{CC} (mA)		Ordering Code	Package	Operation Range
	Active	Standby			
150	40	0.1	AT28C64B-15JC AT28C64B-15PC AT28C64B-15SC AT28C64B-15TC	32J 28P6 28S 28T	Commercial (0°C to 70°C)
			AT28C64B-15JI AT28C64B-15PI AT28C64B-15SI AT28C64B-15TI	32J 28P6 28S 28T	Industrial (-40°C to 85°C)
200	40	0.1	AT28C64B-20JC AT28C64B-20PC AT28C64B-20SC AT28C64B-20TC	32J 28P6 28S 28T	Commercial (0°C to 70°C)
			AT28C64B-20JI AT28C64B-20PI AT28C64B-20SI AT28C64B-20TI	32J 28P6 28S 28T	Industrial (-40°C to 85°C)
250	40	0.1	AT28C64B-25JC AT28C64B-25PC AT28C64B-25SC AT28C64B-25TC	32J 28P6 28S 28T	Commercial (0°C to 70°C)
			AT28C64B-25JI AT28C64B-25PI AT28C64B-25SI AT28C64B-25TI	32J 28P6 28S 28T	Industrial (-40°C to 85°C)

Note: 1. See Valid Part Numbers table below.

Valid Part Numbers

The following table lists standard Atmel products that can be ordered.

Device Numbers	Speed	Package and Temperature Combinations
AT28C64B	15	JC, JI, PC, PI, SC, SI, TC, TI
AT28C64B	20	JC, JI, PC, PI, SC, SI, TC, TI
AT28C64B	25	JC, JI, PC, PI, SC, SI, TC, TI
AT28C64B	-	W

Die Products

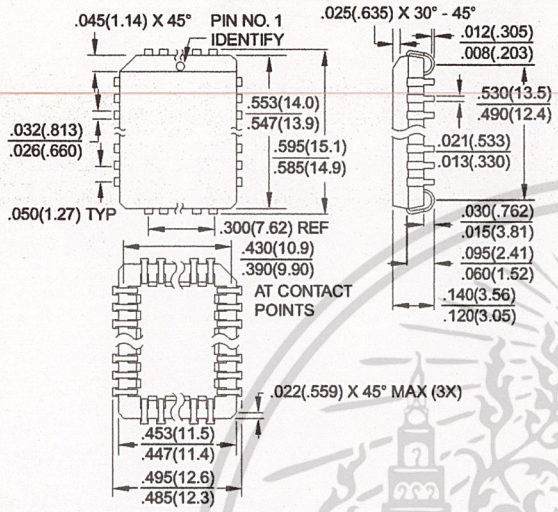
Reference Section: Parallel EEPROM Die Products

Package Type	
32J	32-Lead, Plastic J-Leaded Chip Carrier (PLCC)
28P6	28-Lead, 0.600" Wide, Plastic Dual Inline Package (PDIP)
28S	28-Lead, 0.300" Wide, Plastic Gull Wing Small Outline (SOIC)
28T	28-Lead, Plastic Thin Small Outline Package (TSOP)
W	Die

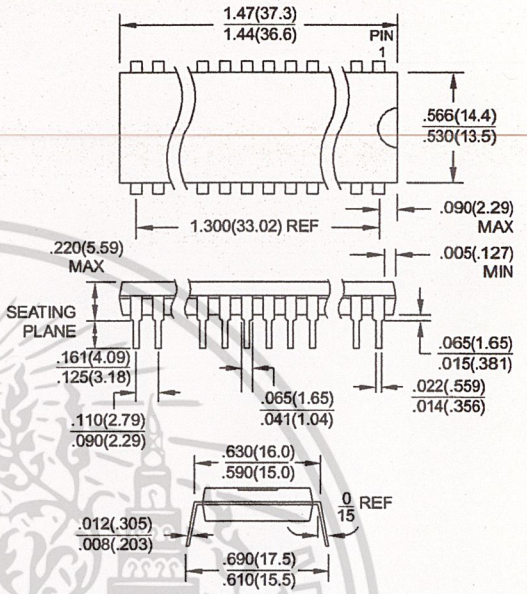
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Packaging Information

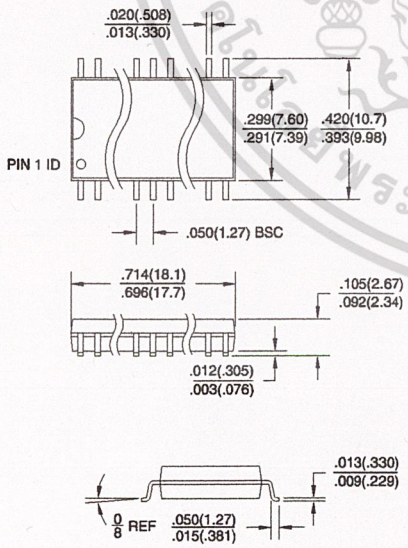
32J, 32-Lead, Plastic J-Leaded Chip Carrier (PLCC)
Dimensions in Inches and (Millimeters)
JEDEC STANDARD MS-016 AE



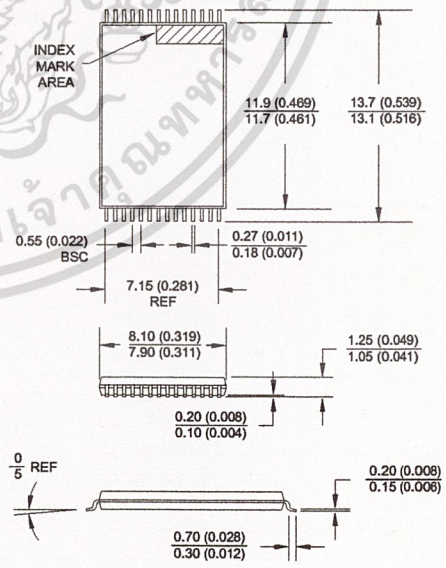
28P6, 28-Lead, 0.600" Wide, Plastic Dual Inline Package (PDIP)
Dimensions in Inches and (Millimeters)
JEDEC STANDARD MS-011 AB



28S, 28-Lead, 0.300" Wide, Plastic Gull Wing Small Outline (SOIC)
Dimensions in Inches and (Millimeters)



28T, 28-Lead, Plastic Thin Small Outline Package (TSOP)
Dimensions in Millimeters and (Inches)*



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้