สำนักหอสมุดกลาง พระจอมเกล้าลาดกระบัง

เครื่องเข้ารหัสอาร์ดีเอส

RDS ENCODER

(RADIO DATA SYSTEM ENCODER)

โดย

นางสาวลำยอง เพชรแสงสว่าง

นายสุริยะ แสนบริบูรณ์สุข

ปพ.
ก 31/2
2543

เลขหมู่.....
เลขทะเบียน 42180
วัน, เดือน, ปี 14 พ.ค. 2545

.b.....
.i.....

ปริญญานิพนธ์นี้เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรปริญญาอุตสาหกรรมศาสตร์บัณฑิต

สาขาวิชาเทคโนโลยีโทรคมนาคม

คณะวิศวกรรมศาสตร์

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

ปีการศึกษา 2543

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

หัวข้อปริญญานิพนธ์	เครื่องเข้ารหัสอาร์ดีเอส		
	RDS ENCODER (RADIO DATA SYSTEM ENCODER)		
โดย	นางสาวลำยอง	เพชรแสงสว่าง	41013324
	นายสุริยะ	แสนบริบูรณ์สุข	41013359
อาจารย์ที่ปรึกษา	อาจารย์ กฤดากร กล่อมการ		
สาขาวิชา	เทคโนโลยีโทรคมนาคม		
ภาควิชา	เทคนิคอุตสาหกรรม		
ปีการศึกษา	2543		

คณะวิศวกรรมศาสตร์ สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบังอนุมัติให้ปริญญานิพนธ์ฉบับนี้เป็นส่วนหนึ่งของการศึกษาหลักสูตรอุตสาหกรรมศาสตร์บัณฑิต

คณะกรรมการสอบปริญญานิพนธ์

..... ประธานกรรมการ
( )

..... กรรมการ
( )

..... กรรมการ
( )

..... กรรมการ
( )

..... กรรมการ
( )

ลิขสิทธิ์ของคณะวิศวกรรมศาสตร์ สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

หัวข้อปริญญานิพนธ์	เครื่องเข้ารหัสอาร์ดีเอส		
ชื่อนักศึกษา	นางสาวลำยอง	เพชรแสงสว่าง	41013324
	นายสุริยะ	แสนบริบูรณ์สุข	41013359
อาจารย์ที่ปรึกษา	อาจารย์ กฤดากร	กล่อมการ	
ปริญญา	อุตสาหกรรมศาสตร์บัณฑิต		
สาขาวิชา	เทคโนโลยีโทรคมนาคม		
ภาควิชา	เทคนิคอุตสาหกรรม		
ปีการศึกษา	2543		

บทคัดย่อ

โครงงานนี้เป็นการออกแบบ และสร้างเครื่องเข้ารหัสสัญญาณ RDS ในส่วนของการมอดูเลชั่น สำหรับใช้ในการส่งข้อมูลระบบการกระจายเสียงแบบ FM , ระบบ RDS เป็นการส่งข้อมูลไปกับคลื่นพาห์รองของการส่งโดยใช้คลื่นพาห์ขนาด 57 KHz มีบิทเรทขนาด 1,187.5 บิทต่อวินาที โดยการมอดูเลทแบบ PSK ในการมอดูเลทใช้เทคนิคการจัดรูปสัญญาณเพื่อให้ได้ตามมาตรฐาน RDS โดยใช้ EPROM และคูณด้วยวงจรแปลงสัญญาณดิจิตอลเป็นอนาล็อกแบบวงจรคูณ (วงจรแปลงสัญญาณดิจิตอลเป็นอนาล็อกแบบคูณ)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Title	RDS ENCODER (RADIO DATA SYSTEM ENCODER)
Student	Miss. Lamyong Pechsaengsawang 41013324
	Mr. Suriya Sanboriboonsuk 41013359
Advisor	Mr. Kitdakorn Klomkarn
Degree	Bachelor Degree of Industrial Technology
Programme	Telecommunication Technology
Department	Industrial Technology
Academic year	2000

ABSTRACT

This project is designed and construction RDS Encoder (Modulation Part) for used to transmission an information over FM broadcast channels. RDS stands for Radio Data System , this system is transmitted Phase shift keying modulation subcarrier (about 57 KHz) and bitrate 1,187.5 bps. The modulation technique uses sine rom lookup table for shaping baseband signal , and uses Multiple Digital to Analog Converter for multiple baseband signal with subcarrier.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

กิตติกรรมประกาศ

กลุ่มผู้จัดทำขอขอบพระคุณท่านอาจารย์ที่ปรึกษา อาจารย์กฤดากร กล่อมการ ซึ่งได้ให้คำแนะนำ และให้คำปรึกษาในการทำโครงงานนี้เป็นอย่างดี และคอยมาช่วยควบคุมดูแลระหว่างการทำโครงงานนี้เกือบทุกครั้งถึงแม้ว่าจะเลยเวลาราชการก็ตาม ขอขอบคุณเพื่อน ๆ ที่ให้กำลังใจเรื่อยมา และพี่แว่นที่ช่วยหาอุปกรณ์มาสนับสนุนการทำโครงงานนี้

สุดท้ายนี้ขอกราบขอบพระคุณบิดา และมารดา ซึ่งให้เงินทุนและให้กำลังใจแก่ผู้จัดทำเรื่อยมาจนจบปริญญาตรี ที่คณะวิศวกรรมศาสตร์ สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

คณะผู้จัดทำ
นางสาวลำยอง เพชรแสงสว่าง
นายสุริยะ แสนบริบูรณ์สุข

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญ

	หน้า
บทคัดย่อภาษาไทย	I
บทคัดย่อภาษาอังกฤษ	II
กิตติกรรมประกาศ	III
สารบัญ	IV
สารบัญตาราง	VII
สารบัญภาพ	VIII
บทที่ 1 บทนำ	1
บทที่ 2 ทฤษฎีการส่ง FM เบื้องต้น	2
2.1 หลักการส่งวิทยุกระจายเสียง เอฟเอ็มสเตอริโอมัลติเพล็กซ์	2
2.1.1 การส่งกระจายเสียงระบบสเตอริโอมัลติเพล็กซ์	2
2.1.2 หลักการทำงานของเครื่องส่งเอฟเอ็ม สเตอริโอมัลติเพล็กซ์	3
2.2 เครื่องส่งเอฟเอ็ม (FM Transmitter)	8
2.3 เครื่องรับเอฟเอ็ม (FM Receiver)	10
2.4 เฟสล็อกลูป	11
2.4.1 การทำงานของวงจรเฟสล็อกลูป	11
2.4.2 การนำเอาวงจรเฟสล็อกลูปไปใช้งาน	13
2.4.3 ข้อดีและข้อเสียของวงจรเฟสล็อกลูป	17
2.5 การมอดูเลทสัญญาณดิจิตอล	18
2.5.1 หลักการของไบนารี่เฟสชิฟคีย์อิง	19
2..5.2 โคฮีเรนทร์ดีเทคชั่น (Coherent detection)	22
2.5.3 การผิดพลาดทางเฟส	27
2.6 RDS (Radio Data System)	32
2.6.1 ลักษณะโครงสร้างของข้อมูล	32
2.6.2 รายละเอียดภายใน block ของข้อมูล	33

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญ (ต่อ)

	หน้า
บทที่ 3 การออกแบบวงจรทดลอง	36
3.1 การออกแบบวงจรด้านส่ง	36
3.1.1.1 วงจรกำเนิดความถี่คลื่นพาห์ย่อย 57 KHz	36
3.1.1.2 วงจรสร้างความถี่อ้างอิง 1 KHz	37
3.1.1.3 วงจรสร้างความถี่คลื่นพาห์ย่อย 57 KHz	38
3.1.1.4 วงจรหารในลูป	39
3.1.1.5 วงจรกรองในลูป	39
3.1.2 วงจรกำเนิดสัญญาณคูณไบเฟส แบบ Direct Digital Synthesizer	42
3.1.2.1 ไบเฟส ซิมโบ (Biphase Symbol Generator)	44
3.1.2.2 การออกแบบวงจรดีดีเอสที่ใช้ในโครงงาน	45
3.1.2.3 วงจรดีดีเอสในการเข้ารหัสเพื่อกำเนิดสัญญาณรูปคลื่น	47
3.1.2.4 วงจรครอสซิ่งโอเวอร์	47
3.1.2.5 วงจรเพิ่มระดับแรงดันรูปคลื่นสแควร์ 57 KHz จาก +5 V เป็น +12 V	48
3.1.2.6 วงจรนับ 48 แบบไบนารี่	49
3.1.2..7 วงจรหาร 24 และวงจรหาร 2	50
3.1.2.8 วงจรดิฟเฟอเรนเชียลเอ็นโค้ดเดอร์และวงจร S/P Converter	51
3.1.2.9 การกวาดข้อมูลตัวอย่างรูปคลื่นไซน์ออกจากรอม	53
3.1.2.10 วงจรแปลงสัญญาณความถี่ไซน์ 57 KHz ไปเป็นความถี่ไซน์ที่มีระดับแรงดัน + - V_{P-P}	56
3.1.2.11 วงจรแปลงจากดิจิตอลไปเป็นอนาล็อกแบบมีการคูณในตัวเองแบบ 4 Quadrant	57
3.1.2.12 วงจรปรับเฟสและวงจรรวมสัญญาณ	58
บทที่ 4 ผลการทดลอง	61
4.1 การทดลองสร้างความถี่คลื่นพาห์ย่อย 57 KHz	61
4.2 การทดลองสร้างสัญญาณนาฬิกาที่มีความถี่ 1.1875 KHz	62
4.3 วงจรที่ใช้ในการสร้างสัญญาณข้อมูลเพื่อทดสอบโครงงาน	63

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญ (ต่อ)

	หน้า
4.4 การทดลองเพื่อกำเนิดรูปคลื่นตัวอย่างของระบบอาร์ดีเอส โดยใช้ DDS System	65
4.5 การทดลองการคูณกับสัญญาณคลื่นพาห์ย่อย 57 KHz	66
4.6 การทดลองสัญญาณที่คูณแล้วเมื่อนำมาผ่านวงจร Summing	67
4.7 ชิ้นงานที่ประกอบเสร็จสมบูรณ์	68
บทที่ 5 สรุปและวิจารณ์	69
บรรณานุกรม	
ภาคผนวก	
ภาคผนวก ก (โปรแกรมที่ใช้ในโครงงานนี้)	
ภาคผนวก ข (วงจรที่ใช้ในโครงงานนี้)	
ภาคผนวก ค (ลายวงจรพิมพ์ของวงจรในโครงงานี้)	
ภาคผนวก ง (DATA SHEET)	

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญตาราง

ตารางที่

3.1 แสดงตัวอย่าง 8 ตัวอย่างรูปคลื่นที่เก็บไว้ในรอม

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญภาพ

ภาพที่	หน้า
2.1 ระบบสเตอริโอของเครื่องขยายเสียง	2
2.2 บล็อกไดอะแกรมการทำงานของเครื่องส่งเอฟเอ็มสเตอริโอมัลติเพล็กซ์	4
2.3 ขอบเขตความถี่ของสัญญาณมัลติเพล็กซ์	8
2.4 บล็อกไดอะแกรมของเครื่องส่งอย่างง่าย	8
2.5 บล็อกไดอะแกรมของเครื่องส่งกระจายเสียงเอฟเอ็มแบบคูณความถี่	9
2.6 บล็อกไดอะแกรมของเครื่องรับเอฟเอ็ม	10
2.7 วงจรเฟสล็อกลูปพื้นฐาน	12
2.8 วงจรสังเคราะห์ความถี่ที่ใช้เฟสล็อกลูป	14
2.9 วงจรเลื่อนความถี่	15
2.10 การตรวจจับสัญญาณเอเอ็มแบบโคฮีเรนทร์	17
2.11 ไบนารี่เฟสชิฟท์คีย์อิง	19
2.12 การรับ-ส่งสัญญาณดิจิตอล	20
2.13 การมอดูเลทสัญญาณดิจิตอล	20
2.14 การเปลี่ยนแปลงทางเฟสของคลื่นพาห์	21
2.15 การสร้างสัญญาณขึ้นมาใหม่ทางด้านรับ	22
2.16 การรับสัญญาณพีเอสเคทางด้านรับ	23
2.17 สัญญาณเอาท์พุทหลังจากผ่านวงจรกรองความถี่ต่ำ	24
2.18 การพิจารณารหัสเป็น 1 หรือ 0 โดยแซมเปิลโฮลเดอร์	24
2.19 รหัสผิดเพี้ยนเนื่องจากเสียงรบกวน	25
2.20 บล็อกไดอะแกรมของโคฮีเรนทร์ดีเทคเตอร์	25
2.21 หลักการของวงจรกู้สัญญาณพาหะ	26
2.22 วงจรกู้สัญญาณพาหะ และสัญญาณตามจุดต่าง ๆ	26
2.23 วงจรกู้สัญญาณนาฬิกา	27
2.24 เปรียบเทียบเอาท์พุท กรณี t_1 และ t_2 เป็นจุดเริ่มต้น	28
2.25 สัญญาณดิจิตอลหลังผ่านการดีมอดูเลท	29

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญภาพ (ต่อ)

ภาพที่	หน้า
2.27 วงจรดิฟเฟอเรนเชียล เอ็นโค้ดเดอร์	30
2.28 รหัสสัญญาณ ณ ตำแหน่งต่าง ๆ	31
2.29 ดิฟเฟอเรนเชียล ดีโค้ดเดอร์	31
2.30 แสดงขอบเขตความถี่ของระบบ RDS	32
2.31 แสดง Group ที่ประกอบด้วย 4 block	33
2.32 แสดงรายละเอียดภายใน block	33
2.33 Amplitude response ของ data-shaping filter	34
2.34 แสดง spectrum ของ biphase coded radio- data signal	35
2.35 แสดง Time-function ของ biphase signal	35
3.1 แสดงบล็อกไดอะแกรมของวงจรสร้างความถี่คลื่นพาห์ย่อย 57 KHz	36
3.2 แสดงบล็อกไดอะแกรมของวงจรสร้างความถี่อ้างอิง	37
3.3 แสดงวงจรสร้างความถี่อ้างอิง 1 KHz	37
3.4 แสดงวงจรสร้างความถี่คลื่นพาห์ย่อย 57 KHz	38
3.5 แสดงวงจรหาร 57	39
3.6 แสดงโครงสร้างของวงจร PLL สำหรับสังเคราะห์ความถี่ 57 KHz สำหรับการพิจารณาวงจรกรองของลูป	40
3.7 แสดงวงจร VCO และวงจรกรองของลูป	41
3.8 แสดงวงจรสร้างความถี่คลื่นพาห์ย่อย 57 KHz ทั้งหมด	42
3.9 แสดงบล็อกไดอะแกรมของ DDS System	43
3.10 แสดงฟังก์ชั่นทางเวลาของซิงเกิลไบเฟส ซิมโบ	45
3.11 แสดงรูปคลื่นของระบบดีดีเอส	46
3.12 แสดงบล็อกไดอะแกรมของอาร์ดีเอส ที่ใช้ระบบ DDS System	47
3.13 แสดงวงจรครอสซิ่งโอเวอร์	48
3.14 แสดงวงจรเพิ่มระดับแรงดันรูปคลื่นสแควร์ 57 KHz จาก +5 V เป็น +12 V	49

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญภาพ (ต่อ)

ภาพที่	หน้า
3.15 แสดงวงจรนับ 48 แบบไบนารี่	50
3.16 แสดงวงจรหาร 24 และวงจรหาร 2	51
3.17 แสดงวงจรดิฟเฟอเรนเชียลเอ็นโค้ดเดอร์และวงจร S/P Converter	52
3.18 แสดงการใช้เนื้อที่ในรอม	53
3.19 แสดงรูปคลื่นที่จัดเก็บในรอม	54
3.20 แสดง address การเลือกเพจ และ address ในการกวาดข้อมูล	55
3.21 แสดงบล็อกไดอะแกรมในการเลือกเพจและกวาดข้อมูล	55
3.22 แสดงวงจรกวาดข้อมูลรูปไซน์ออกจากรอม	56
3.23 แสดงวงจรแปลงสัญญาณความถี่ไซน์ 57 KHz ไปเป็นความถี่ไซน์ที่มีระดับแรงดัน + - V_{P-P}	57
3.24 แสดงวงจรแปลงจากดิจิตอลไปเป็นอนาล็อกแบบมีการคูณในตัวเองแบบ 4 Quadrant	58
3.25 แสดงวงจรปรับเฟส	59
3.26 แสดงวงจรรวมสัญญาณ	59
3.27 แสดงวงจรในส่วนของ Direct Digital Synthesizer ทั้งหมด	60
4.1 แสดงความถี่คลื่นพาห์ย่อย 57 KHz	61
4.2 แสดงสัญญาณนาฬิกาที่มีความถี่ 1.1875 KHz	62
4.3 แสดงวงจร PRBS X^4+X+1 ที่สัญญาณนาฬิกา 1.1875 KHz	63
4.4 แสดงรูปคลื่นของวงจร PRBS X^4+X+1	64
4.5 แสดงรูปคลื่นตัวอย่างที่ออกจากระบบ DDS System	65
4.6 แสดงรูปคลื่นของการคูณโดยเทียบกับข้อมูลที่รับเข้ามา	66
4.7 แสดงรูปของสัญญาณ RDS ที่พร้อมจะส่งไปกับระบบเอฟเอ็ม	67
4.8 แสดงชิ้นงานที่ประกอบสมบูรณ์แล้ว	68

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 1

บทนำ

ระบบ RDS (Radio Data System) เป็นการส่งข้อมูลพิเศษไปกับรายการปกติของระบบเอฟเอ็ม ซึ่งในประเทศแถบยุโรปมีการใช้ระบบ RDS มาประมาณ 15 ปีแล้ว ซึ่งการส่งข้อมูลส่วนใหญ่เป็นลักษณะของ ดาต้า บิทเรท 1.1875 KHz โดยมีการมอดูเลทกับคลื่นพาห์ย่อย 57 KHz และเมื่อมอดูเลทแล้วจะไม่มีคลื่นพาห์ย่อยแฝงไปกับการส่งในระบบเอฟเอ็ม เหตุที่ต้องส่งข้อมูลเป็นดาต้า ก็เพราะมีบิทเรทต่ำและยังมีกำลังส่งไม่มากด้วยเพื่อที่จะไม่ไปรบกวนรายการปกติของระบบเอฟเอ็ม

เนื้อหาในปริญญานิพนธ์นี้จะแบ่งเป็น 5 บท ซึ่งจะประกอบไปด้วย

บทที่ 1 "บทนำ" จะกล่าวถึงลักษณะโดยทั่ว ๆ ไปของโครงงานนี้ และเนื้อหาที่สำคัญของปริญญานิพนธ์ฉบับนี้

บทที่ 2 "ทฤษฎีและหลักการ" ซึ่งในบทนี้จะประกอบไปด้วยเนื้อหาทางทฤษฎีและหลักการต่าง ๆ ที่เกี่ยวข้อง และนำมาใช้ทำปริญญานิพนธ์ ซึ่งได้แก่ หลักการพื้นฐานของระบบการส่งวิทยุเอฟเอ็ม สเตอริโอ มัลติเพล็กซ์ (FM Stereo Multiplex) หลักการของเฟสล็อกลูป (Phase Lock Loop : PLL) การมอดูเลทกับสัญญาณดิจิตอลแบบเฟสชิฟท์ คีย์อิง (Phase Shift Keying : PSK) และระบบ RDS (Radio Data System)

บทที่ 3 "การออกแบบ" ในบทนี้เป็นการอธิบายถึงหลักการทำงานของวงจรต่าง ๆ ในแต่ละส่วนที่นำมาใช้ประกอบในการจัดทำปริญญานิพนธ์เล่มนี้

บทที่ 4 "การทดลองและผลการทดลอง" ในบทนี้จะเป็นการกล่าวถึงผลโดยสรุปของการทำปริญญานิพนธ์นี้ที่ได้จัดทำขึ้นเรียบร้อยแล้วมาทำการวัดผลในแต่ละขั้นตอนอย่างละเอียด เพื่อที่จะนำค่าต่าง ๆ ที่ได้จากการทดลองไปตรวจสอบอ้างอิงกับทฤษฎีที่ได้ออกแบบไว้ ว่าค่าที่ได้ตรงกันหรือไม่

บทที่ 5 "บทสรุปและแนวทางการพัฒนา" ในบทนี้จะเป็นการกล่าวถึงผลโดยสรุปของการทำปริญญานิพนธ์ เพื่อเปรียบเทียบผลการทำงานกับทฤษฎีและผลประโยชน์ที่คาดว่าจะได้รับจากการทำปริญญานิพนธ์ที่ตั้งเป้าหมายเอาไว้ รวมทั้งการกล่าวถึงปัญหาและอุปสรรคที่เกิดขึ้นในการทำปริญญานิพนธ์และแนวทางในการพัฒนาปริญญานิพนธ์ต่อไป

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

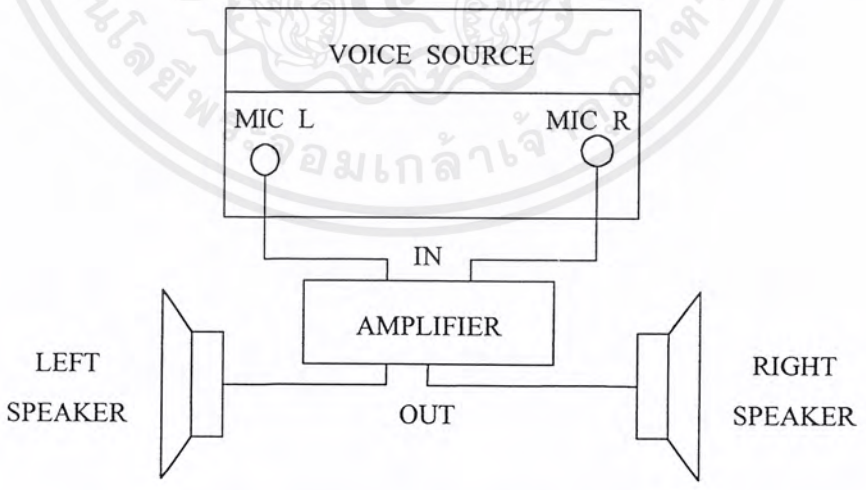
บทที่ 2

ทฤษฎีการส่ง FM เบื้องต้น

2.1 หลักการส่งวิทยุกระจายเสียง เอฟเอ็มสเตอริโอมัลติเพล็กซ์

2.1.1 การส่งกระจายเสียงระบบสเตอริโอมัลติเพล็กซ์

ก่อนอื่นขอทบทวนเกี่ยวกับระบบสเตอริโอของเครื่องขยายเสียงที่ใช้กันอยู่ทุกวัน ในรูปที่ 2.1 แสดงระบบสเตอริโอของเครื่องขยายเสียงจะเห็นว่ามีตัวรับสัญญาณเสียงอยู่ 2 ชุด คือ ไมโครโฟนรับสัญญาณเสียงทางซีกซ้ายและไมโครโฟนรับสัญญาณทางซีกขวา สัญญาณเสียงจากไมโครโฟนทั้งสองจะถูกส่งไปยังเครื่องขยายเสียงซึ่งแยกเป็นซีกซ้ายและซีกขวาด้วยเช่นกันและในที่สุดสัญญาณจากไมโครโฟนซีกซ้ายจะถูกขยายออกทางลำโพงซ้าย สัญญาณจากไมโครโฟนซีกขวาจะถูกขยายออกสู่ลำโพงขวาโดยมีผู้รับฟังอยู่ทางตำแหน่งกึ่งกลางระหว่างลำโพงทั้งสองซึ่งเป็นจุดที่สามารถรับฟังเสียงที่มีความเป็นสเตอริโอมากที่สุดหรือเป็นตำแหน่งที่ผู้ฟังสามารถแยกแยะทิศทางของเสียงได้ดีที่สุด



รูปที่ 2.1 ระบบสเตอริโอของเครื่องขยายเสียง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ระบบการส่งกระจายเสียงแบบเอฟเอ็มสเตอริโอมัลติเพล็กซ์ที่เหมาะสม และได้รับการคัดเลือกให้ใช้เป็นมาตรฐานในการส่งกระจายเสียงที่ใช้กันอยู่ทุกวันนี้ มีสาระสำคัญที่ให้ผลดีในการใช้งานดังนี้

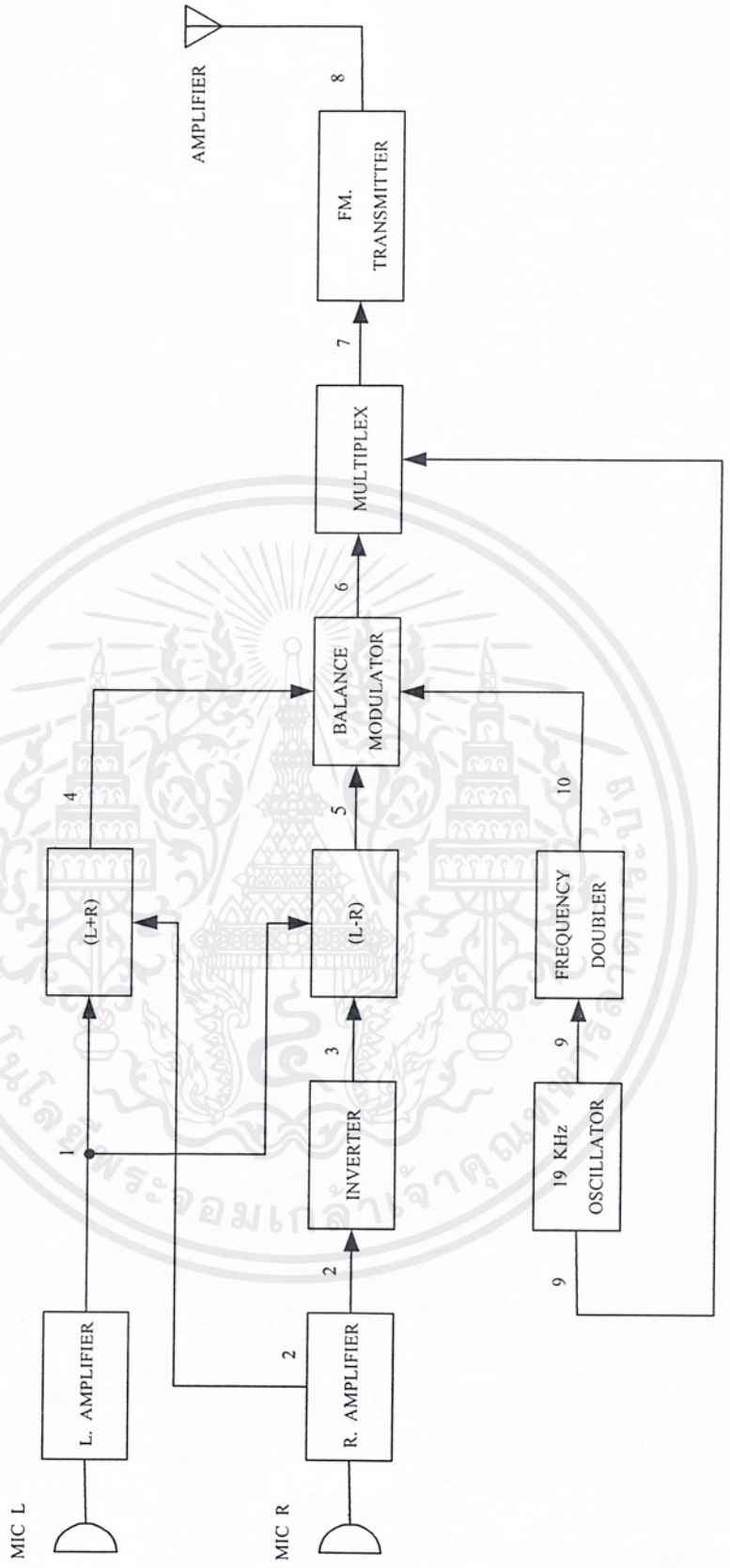
1. ส่งกระจายเสียงด้วยเครื่องส่งเครื่องเดียวและใช้คลื่นพาห์ความถี่เดียวในการส่งออกอากาศโดยมีแบนวิดท์ที่เข้ากันได้ระบบเอฟเอ็มธรรมดา
2. เป็นระบบเอฟเอ็มสเตอริโอมัลติเพล็กซ์ ที่สามารถให้เครื่องรับเอฟเอ็มธรรมดาสามารถรับฟังสัญญาณได้ด้วย (ไม่มีการแยกทิศทางของเสียง) และไม่มีสัญญาณรบกวนระหว่างสัญญาณ คุณภาพของเสียงที่ได้จะต้องสมบูรณ์เหมือนการรับฟังจากสถานีเอฟเอ็มธรรมดา โดยไม่ต้องมีการดัดแปลงแก้ไขเพิ่มเติมที่เครื่องรับแต่ประการใด
3. เครื่องรับวิทยุเอฟเอ็มสเตอริโอมัลติเพล็กซ์นั้น นอกจากจะรับคลื่นจากสถานีเอฟเอ็มสเตอริโอมัลติเพล็กซ์ซึ่งทำให้สามารถแยกสัญญาณซ้ายและขวาได้แล้วจะต้องสามารถรับฟังจากสถานีวิทยุเอฟเอ็มธรรมดาได้ด้วยโดยเสียงที่รับฟังได้จะออกมาในแบบโมโนโฟนิก (ไม่มีการแยกทิศทางของเสียง)
4. เครื่องรับวิทยุเอฟเอ็มธรรมดาที่รับสัญญาณจากสถานีเอฟเอ็มสเตอริโอมัลติเพล็กซ์ถ้าต้องการรับฟังเสียงที่เป็นระบบสเตอริโอซึ่งสามารถทำได้โดยการแก้ไขดัดแปลง หรือเพิ่มเติมอุปกรณ์บางอย่างเข้าไปในวงจรเครื่องรับเอฟเอ็มธรรมดา

2.1.2 หลักการทำงานของเครื่องส่งเอฟเอ็ม สเตอริโอมัลติเพล็กซ์

จากรูปที่ 2.2 เริ่มต้นจากไมโครโฟนซ้าย (MIC L) และไมโครโฟนขวา (MIC R) จะรับสัญญาณเสียงเข้ามาขยายเสียงแล้วต่างก็ส่งสัญญาณซีกซ้ายและซีกขวาไปรวมกันเป็นสัญญาณ (L+R) {ที่ภาค(L+R)} กับสัญญาณ (L+R) ที่ได้จะถูกส่งต่อไปยังภาคมัลติเพล็กซ์ เพื่อเตรียมมัลติเพล็กซ์รวมกับสัญญาณอื่นๆ

สัญญาณส่วนหนึ่งจากภาคขยายสัญญาณเสียงซีกขวาจะถูกส่งต่อไปที่ภาคอินเวอร์เตอร์ (inverter) ด้วยเพื่อกลับเฟสสัญญาณ (R) ไปจากเดิมอีก 180 องศา กลายเป็นสัญญาณ (L-R) ส่งรวมไปกับสัญญาณที่มาจากภาคขยายเสียง (L) ที่ภาค (L-R) สัญญาณที่รวมกันนี้จะกลายเป็นสัญญาณ (L-R) ซึ่งจะถูกส่งต่อไปยังภาคบาลานซ์มอดูเลเตอร์ (Balance modulator) เพื่อมอดูเลทกับคลื่นพาห์ย่อย 38 KHz ที่เข้ามาอีกทาง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.2 บล็อกไดอะแกรมการทำงานของเครื่องส่งเอฟเอ็มสเตอริโอมัลติเพล็กซ์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

คลื่นพาห์ย่อย (Subcarrier) 38 *KHZ* นั้นได้มาจากความถี่คลื่นไซน์ 19 *KHz* จากภาคออสซิลเลเตอร์ ซึ่งถูกส่งเข้ามาทวีคูณความถี่ขึ้นอีกสองเท่า $19KHz \times 2 = 38\ KHz$ ที่ภาคทวีคูณความถี่สองเท่า (Frequency foubler)

ที่ความถี่ 38 *KHz* ที่ได้นี้จะถูกใช้เป็นคลื่นพาห์ย่อยเพื่อส่งไปมอดูเลทกับสัญญาณเสียง (L-R) ที่ภาคบาลานซ์มอดูเลเตอร์

ภาคบาลานซ์มอดูเลเตอร์นอกจากทำหน้าที่มอดูเลทกับสัญญาณเสียง (L-R) เข้ามาทางส่วนสูงของคลื่นพาห์ย่อยแล้ว (มอดูเลทแบบ AM) มันยังทำหน้าที่กำจัดคลื่นพาห์ย่อยไม่ให้ไปปรากฏออกไปเป็นสัญญาณที่เอาท์พุทเพียงสัญญานเดียวอีกด้วย (สัญญาณที่มอดูเลทรวมกันแล้วเท่านั้นที่ปรากฏออกไปเป็นสัญญาณเอาท์พุทของภาคบาลานซ์มอดูเลเตอร์)

เราเรียกสัญญาณที่มอดูเลทรวมกันระหว่างสัญญาณคลื่นพาห์ย่อย 38 *KHz* และสัญญาณเสียง (L-R) นี้ว่าสัญญาณคลื่นพาห์ย่อย (L-R) (L-R Subcarrier) และสัญญาณนี้จะถูกส่งไปยังภาคมัลติเพล็กซ์เพื่อมัลติเพล็กซ์รวมกันไปกับสัญญาณอื่นๆ

นอกจากนี้แล้วภาคออสซิลเลเตอร์ยังแยกส่งความถี่ 19 *KHz* สำหรับเป็นสัญญาณไพล็อตโทนไปยังภาคมัลติเพล็กซ์เพื่อมัลติเพล็กซ์สัญญาณ 19 *KHz* รวมไปกับสัญญาณอื่น ๆ อีกด้วย

จะเห็นว่าที่ภาคมัลติเพล็กซ์จะรวมเป็นที่รวมของสัญญาณต่าง ๆ คือ

1. สัญญาณเสียง (L+R) จากภาค (L+R)
2. สัญญาณคลื่นพาห์ย่อย (L-R) จากภาคบาลานซ์มอดูเลเตอร์
3. สัญญาณไพล็อตโทน 19 *KHz* จากภาคออสซิลเลเตอร์

สัญญาณทั้งสามนี้สามารถมัลติเพล็กซ์เข้าด้วยกันได้โดยไม่มีการแทรกแซงกันได้เพราะแต่ละสัญญาณมีขอบเขตความถี่แตกต่างกันนั้นเอง

สัญญาณรวมมัลติเพล็กซ์ซึ่งจะถูกส่งไปมอดูเลทกับคลื่นพาห์ที่ใช้ในการส่งออกอากาศในระบบเอฟเอ็มในภาคส่งนี้ก็เหมือนกับเครื่องส่งเอฟเอ็มธรรมดาทั่วไปที่ใช้ส่งในย่านความถี่กระจายเสียง 88 *MHz* ถึง 108 *MHz* ที่มีการส่งสัญญาณเสียงต่าง ๆ ถึง 3 สัญญาณออกไปยังเครื่องรับก็เพื่อจุดประสงค์ดังต่อไปนี้

1. สัญญาณ (L+R) สัญญาณนี้เป็นผลรวมของสัญญาณซีกซ้ายและซีกขวาเป็นสัญญาณเสียงแบบโมโนที่ต้องส่งสัญญาณนี้ก็เพื่อใช้สำหรับการรับของเครื่องรับเอฟเอ็มธรรมดาให้รับฟังจากสถานีที่ส่งในระบบสเตอริโอมัลติเพล็กซ์ได้ เครื่องรับเอฟเอ็มธรรมดาจะรับเอาเฉพาะสัญญาณนี้ไปเป็นสัญญาณเสียงออกลำโพงเสียงที่ได้ครบทั้งสัญญาณซีกซ้ายและขวารวมกันจะไม่มีการแยกทิศทางของเสียงและคุณภาพจะเหมือนกับการรับฟังจากสถานีวิทยุธรรมดาทั่วไป

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2. สัญญานคลื่นพาห์ย่อย (L-R) ที่ต้องเอาสัญญาณ (L-R) ไปมอดูเลทกับคลื่นพาห์ย่อย 38 *KHz* ก่อน ก็เพราะสัญญาณ (L-R) รวมกันไปพร้อม ๆ กับสัญญาณ (L+R) โดยไม่ต้องการให้สัญญาณทั้งสองมีการแทรกแซงกัน วิธีการนี้เป็นกลวิธีในการมัลติเพล็กซ์สัญญาณเข้าด้วยกัน

เราสามารถเอาสัญญาณเสียง (L-R) และ (L+R) ที่ส่งไปมาแปลงสภาพให้แยกเป็นสัญญาณซีกซ้ายและขวาปรากฏทางด้านเครื่องรับได้ โดยการนำเอาสัญญาณทั้งสองมาบวกหรือลบกัน ซึ่งแสดงด้วยพีชคณิตดังนี้

เมื่อนำเอาสัญญาณ (L+R) และ (L-R) มาบวกกัน

$$(L+R) + (L-R) = 2L$$

เพราะฉะนั้นจะได้สัญญาณเสียงซีกซ้าย $= 2L$

เมื่อนำเอาสัญญาณ (L+R) และ (L-R) มาลบกัน

$$(L+R) - (L-R) = 2R$$

เพราะฉะนั้นจะได้สัญญาณเสียงซีกขวา $= 2R$

3. สัญญาณไพล็อตโทน 19 *KHz* เนื่องจากสัญญาณเสียง (L-R) ที่ส่งมายังเครื่องรับเป็นสัญญาณเสียงที่มอดูเลทมากับคลื่นพาห์ย่อย 38 *KHz* ฉะนั้นในการนำมาเสริมหรือหักล้างกับสัญญาณ (L+R) ในวงจรแยกสัญญาณสเตอริโอ (Decoder) เพื่อทำให้เกิดเป็นสัญญาณเสียงซีกซ้ายและขวาขึ้นนั้น จำเป็นต้องมีสัญญาณเสียง 38 *KHz* ที่มีเฟสสัมพันธ์กัน (Synchronize) กับคลื่นพาห์ย่อยที่มามอดูเลทกับสัญญาณ (L+R) เพื่อช่วยให้วงจรดีโค้ดเดอร์ทำงานแยกสัญญาณได้ จึงต้องมีการส่งสัญญาณไพล็อตโทน 19 *KHz* เมื่อมาถึงเครื่องรับก็สามารถทำให้เป็นความถี่ 38 *KHz* ได้โดยง่ายด้วยการใช้วงจรทวีคูณความถี่ขึ้นมาอีกสองเท่า และเนื่องจากความถี่ 19 *KHz* ซึ่งเป็นสัญญาณไพล็อตโทน นี้เป็นต้นกำเนิดของสัญญาณคลื่นพาห์ย่อยทางด้านเครื่องส่งความถี่ 38 *KHz* ที่ได้จะมีเฟสที่สัมพันธ์กับสัญญาณคลื่นพาห์ย่อย (L-R) ตลอดเวลา

จากรูปที่ 2.2 หมายเลขต่าง ๆ คือ

หมายเลข 1 เป็นคลื่นความถี่เสียงรูปไซน์ที่ออกจากวงจรขยายสัญญาณซีกซ้าย

หมายเลข 2 เป็นคลื่นความถี่เสียงรูปไซน์ที่ออกจากวงจรขยายสัญญาณซีกขวา

หมายเลข 3 เป็นสัญญาณเสียง (R) ที่ผ่านวงจรอินเวอร์เตอร์แล้วกลายเป็นสัญญาณ (-R) ที่ได้จะเป็นรูปไซน์เหมือนเดิม เพียงแต่จะมีเฟสต่างไปจากสัญญาณ (R) 180 องศาเท่านั้น

หมายเลข 4 เป็นรูปคลื่นที่เกิดจากการรวมตัวกันระหว่างสัญญาณ (L) สัญญาณ (R) เป็นสัญญาณ (L+R)

หมายเลข 5 เป็นรูปคลื่นที่เกิดจากการรวมกันระหว่างสัญญาณ (L) และสัญญาณ (-R) มา

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เป็นสัญญาณ (L-R)

หมายเลข 6 เป็นสัญญาณที่เกิดจากสัญญาณเสียง (L-R) มอดูเลทเข้ากับสัญญาณคลื่นพาห์ย่อยแล้วถูกซับเพรสไปด้วยในตัวกลายเป็นสัญญาณ (L-R) ซับแคร์เรียร์

หมายเลข 7 เป็นสัญญาณที่มัลติเพล็กซ์รวมกันระหว่างสัญญาณ (L+R) และคลื่นพาห์ย่อย (L-R) (ในที่นี้ไม่ได้แสดงสัญญาณ 19 *KHz* ไว้)

หมายเลข 8 เป็นสัญญาณคลื่นพาห์ที่ใช้ในการส่งออกอากาศ เพราะถูกมอดูเลทในระบบเอฟเอ็มความถี่ของสัญญาณจึงเปลี่ยนแปลงไปมาตามสัญญาณมัลติเพล็กซ์ที่เข้ามามอดูเลทด้วย

หมายเลข 9 เป็นสัญญาณความถี่ 19 *KHz* ซึ่งใช้เป็นสัญญาณไพล็อตโทน

หมายเลข10 เป็นสัญญาณความถี่ 38 *KHz* ซึ่งเกิดจากการนำเอาสัญญาณ 19 *KHz* มาทวีความถี่ให้สูงขึ้นอีกเท่าตัว เพื่อใช้เป็นคลื่นพาห์ย่อยสำหรับมอดูเลทกับสัญญาณ (L-R)

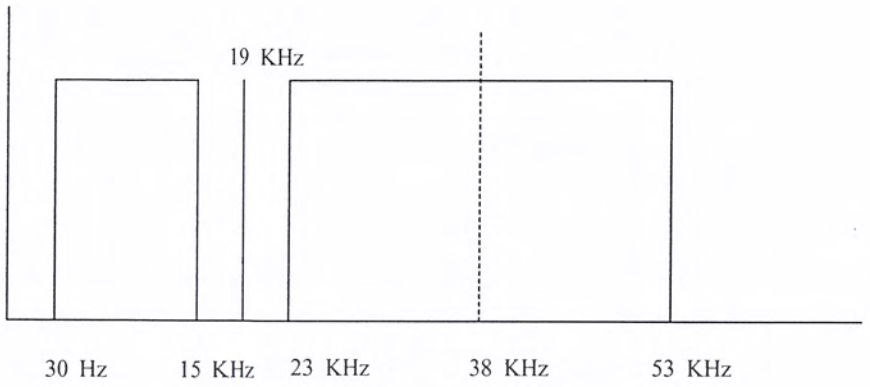
สัญญาณที่กำกับด้วย 2L ในหมายเลข 7 เป็นการแสดงให้เห็นผลบวกของสัญญาณ (L+R) และ (L-R) ผลลัพธ์ที่ได้เป็นสัญญาณเสียงซีกซ้ายหรือ (L+R) + (L-R) = 2L

สัญญาณที่กำกับด้วย 2R เป็นการแสดงให้เห็นผลลบของสัญญาณ (L+R) และ (L-R) ผลลัพธ์ที่ได้เป็นสัญญาณเสียงซีกขวาหรือ (L+R) – (L-R) = 2R

การแสดงสัญญาณหรือการรวมกันระหว่างสัญญาณทั้งสองที่ทำให้เกิดเป็นสัญญาณรูปร่างใหม่ขึ้นเช่น การรวมกันระหว่างสัญญาณ L กับสัญญาณ R แล้วทำให้เกิดรูปคลื่นสัญญาณ (L+R) ขึ้นนั้นใช้หลักการเสริมหรือหักล้างกันระหว่างสัญญาณโดยใช้วิธีบวกลบธรรมดา

สัญญาณไพล็อตโทน 19 *KHz* จะอยู่ระหว่างสัญญาณ (L+R) และ (L-R) ซับแคร์เรียร์ โดยมีไซด์แบนด์ด้านสูงและด้านต่ำข้างละ 4 *KHz* เพื่อป้องกันไม่ให้เกิดการรบกวนกับสัญญาณอื่น

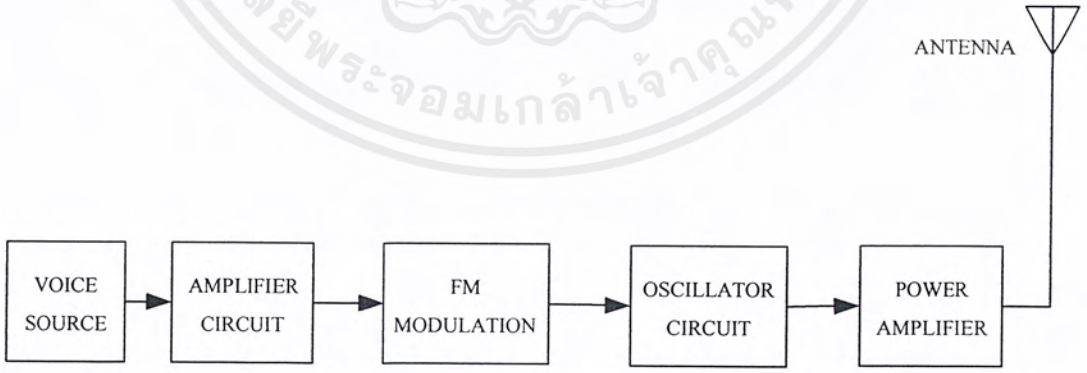
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.3 ขอบเขตความถี่ของสัญญาณมัลติเพล็กซ์

2.2 เครื่องส่งเอฟเอ็ม (FM Transmitter)

จากบล็อกไดอะแกรมของเครื่องส่งเอฟเอ็มในรูปที่ 2.4 สัญญาณเสียงผ่านการขยายแล้วเข้าสู่วงจรมอดูเลเตอร์ ซึ่งวงจรมอดูเลทนี้จะทำการแปลงความถี่ของออสซิลเลเตอร์ โดยมีช่วงความถี่เบี่ยงเบนและอัตราการเบี่ยงเบนขึ้นอยู่กับขนาด (Amplitude) และความถี่ของสัญญาณเสียง ตามลำดับ คลื่นพาห์ของเอฟเอ็มที่ถูกมอดูเลทแล้วจะถูกขยายโดยภาคขยายกำลังสุดท้ายป้อนสู่สายอากาศเพื่อส่งออกต่อไป

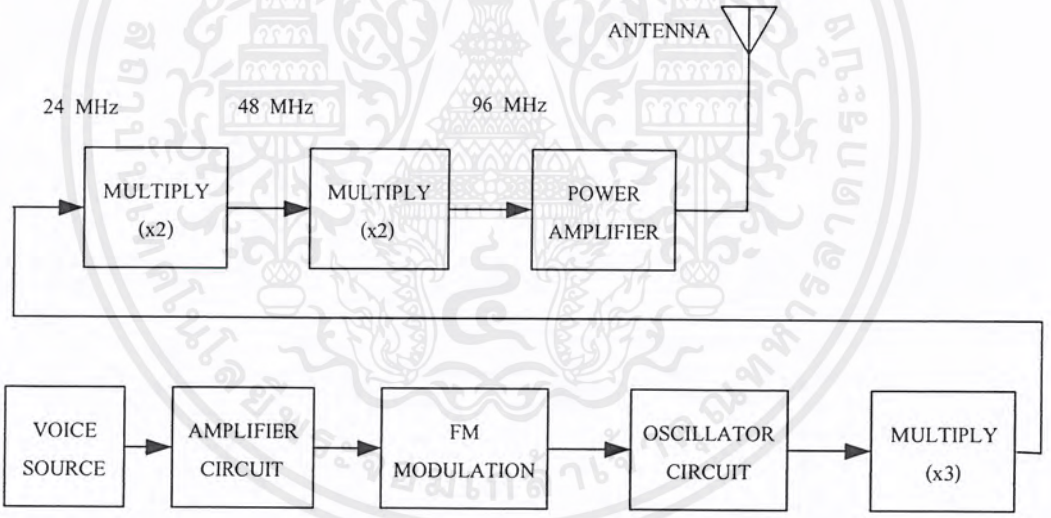


รูปที่ 2.4 บล็อกไดอะแกรมของเครื่องส่งอย่างง่าย

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เครื่องส่งที่กล่าวมาข้างต้นอาจเกิดปัญหาเมื่อเราต้องการส่งออกอากาศที่ความถี่สูง ๆ เช่น เครื่องส่งกระจายเสียงเอฟเอ็ม (ซึ่งมีความถี่อยู่ระหว่าง 88 *MHz* ถึง 108 *MHz*) ทำงานที่ความถี่สูง ทำให้ยากต่อการควบคุมให้ความถี่คงที่ นอกจากนี้การควบคุมการเบี่ยงความถี่ก็ทำได้ยากขึ้นด้วย วิธีแก้ปัญหาดังกล่าวสามารถทำได้หลายวิธีแตกต่างกันออกไป

จากรูปที่ 2.5 แสดงการใช้ความถี่ออสซิลเลเตอร์ 8 *MHz* และคูณความถี่ (Multiply) ขึ้นไปเป็น 96 *MHz* การคูณความถี่นี้ทำได้โดยการใช้วงจรคูณความถี่ หลักการของวงจรคูณความถี่คือใช้คุณสมบัติความไม่เป็นเชิงเส้นของวงจรขยาย ซึ่งทำให้เกิดสัญญาณฮาร์โมนิกออกมาเป็นจำนวนมาก จากนั้นวงจรแท้งค์ (Tank) ที่เอาท์พุทจะจูนเอาเฉพาะความถี่ฮาร์โมนิกที่ต้องการใช้ประโยชน์ โดยทั่วไปวงจรคูณความถี่มักจะเป็นวงจรชนิดคูณ 2 (Doubler) หรือวงจรชนิดคูณ 3 (Tripler) ในที่นี้เราใช้วงจรคูณ 3 จำนวน 1 วงจร และวงจรคูณ 2 จำนวน 2 วงจร นั่นคือ $3\times2\times2=12$ เท่า ฉะนั้นความถี่เอาท์พุทจะเป็น 8 *MHz* คูณ 12 เท่า เท่ากับ 96 *MHz*



รูปที่ 2.5 บล็อกไดอะแกรมของเครื่องส่งกระจายเสียงเอฟเอ็มแบบคูณความถี่

ช่วงความถี่เบี่ยงเบนของสัญญาณของวิทยุกระจายเสียงเอฟเอ็มเท่ากับ ±75 ฉะนั้นเอาท์พุทจะต้องมีความถี่เบี่ยงเบนไปเท่ากับค่านี้ อย่างไรก็ดีในการคูณความถี่จะทำให้ปริมาณความถี่เบี่ยงเบนถูกคูณให้กว้างขึ้นไปด้วย เช่น ออสซิลเลเตอร์ 8 *MHz* ความถี่ก็จะเบี่ยงเบนอยู่ระหว่าง 7.9 *MHz* ถึง 8.1 *MHz* $(\pm0.1\ MHz)$ เมื่อคูณ 12 เท่า คลื่นพาห์ก็จะมีความถี่กลางเป็น

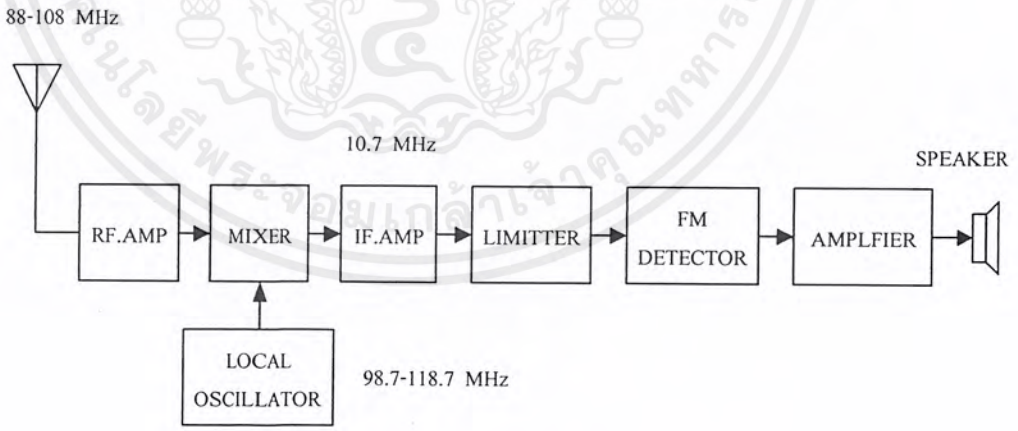
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

96 *MHz* เบี่ยงเบนอยู่ระหว่าง 94.8 *MHz* ถึง 97.2 *MHz* $(\pm 1.2\ MHz)$ ดังนั้นถ้าหากเราต้องการให้ความถี่เบี่ยงเบนมีค่าเป็น $\pm 7.5\ KHz$ ความถี่ออสซิลเลเตอร์จะต้องเบี่ยงเบนไปเท่ากับ $\pm 75/12 = \pm 6.25\ KHz$

ข้อดีอีกประการหนึ่งของระบบเอฟเอ็มก็คือ วงจรขยายกำลังสามารถทำงานในคลาสซี (Class C) ซึ่งมีประสิทธิภาพสูงกว่า ทั้งนี้เพราะขนาดของสัญญาณเอฟเอ็มคงที่ไม่มีผลทำให้ข่าวสารเพี้ยน (มักจะเกิดการขลิบยอดสัญญาณ) ข่าวสารนั้นอยู่ในช่วงการเปลี่ยนแปลงความถี่ของสัญญาณเอฟเอ็มเท่านั้น

2.3 เครื่องรับเอฟเอ็ม (FM Receiver)

บล็อกไดอะแกรมของเครื่องรับเอฟเอ็มมีความคล้ายคลึงกับเครื่องรับเอเอ็มมากจะแตกต่างกันเฉพาะขบวนการตรวจจับ (Detect) สัญญาณเท่านั้น สำหรับความถี่ไอเอฟ (Intermediate frequency : IF) ซึ่งจะใช้ความถี่ 10.7 *MHz* เพื่อกำจัดสัญญาณเงาและเพื่อให้แบนด์วิดท์ของวงจรกว้างพอที่จะรับสัญญาณเอฟเอ็มได้ ความถี่เบี่ยงเบนของสัญญาณเอฟเอ็มที่ส่งมาจากเครื่องส่งมีค่าเท่ากับ $\pm 75\ KHz$ ดังนั้นแบนวิดท์ของเครื่องรับมีค่า150 *KHz* เป็นอย่างน้อย ปกติจะเผื่อให้กว้างอีกเล็กน้อยเป็น 180 *KHz* ถึง 200 *KHz*



รูปที่ 2.6 บล็อกไดอะแกรมของเครื่องรับเอฟเอ็ม

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สมมติว่าเราจูนเครื่องรับไว้ที่100 *MHz* ลูกบิดที่หน้าปัทม์จะเลื่อนไปตรงที่ความถี่ 100 *MHz* วงจรขยายอาร์เอฟ (RF AMP) จะจูนไว้ที่ความถี่ 100 *MHz* ส่วนโลคัลออสซิลเลเตอร์ (Local oscillator) จะจูนเอาไว้ที่ 110.7 *MHz* เมื่อผ่านกระบวนการในวงจรมิกเซอร์ (Mixer)ผลต่างของความถี่จะปรากฏที่อินพุทของวงจรขยายไอเอฟเท่ากับ $110.7-100\ MHz=10.7\ MHz$ สัญญาณที่ความถี่ไอเอฟนี้ถูกขยายและจำกัดแบนวิดท์ให้กว้างเพียงพอที่จะรับสัญญาณเอฟเอ็มและแคบเพียงพอที่จะกำจัดสัญญาณที่ไม่ต้องการอื่น ๆ ออกไป

ถ้าคลื่นพาห์ของเอฟเอ็มที่ส่งจากเครื่องส่งมีความถี่เบี่ยงเบนเท่ากับ $\pm 50\ KHz$ (ความถี่ไอเอฟเท่ากับ 100 *MHz* โลคัลออสซิลเลเตอร์และไอเอฟคงเดิม) สัญญาณไอเอฟก็จะมีความถี่เบี่ยงเบนเท่ากับ $\pm 50\ KHz$ ด้วยฉะนั้นสัญญาณที่มอดูเลทมาบนคลื่นพาห์จะยังอยู่ในสัญญาณไอเอฟโดยไม่ผิดเพี้ยนแม้ว่าความถี่สัญญาณไอเอฟจะลดทอนจาก 100 *MHz* เหลือ 10.7 *MHz*

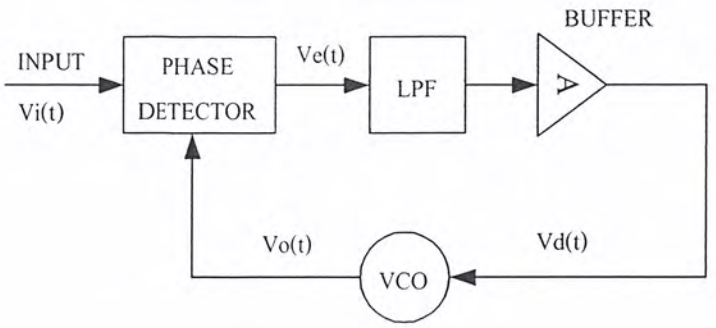
2.4 เฟสล็อกลูป (Phase Lock Loop PLL)

เฟสล็อกลูปเป็นวิธีการควบคุมความถี่เฉลี่ยของคลื่นพาห์ให้คงที่ในขณะเดียวกันก็สามารถทำให้ค่าเบี่ยงเบนทางความถี่ของคลื่นพาห์มีค่ากว้างที่ความถี่เบสแบนด์มอดูเลชั่น(Baseband modulation frequency) ต่าง ๆ หมายความว่าระบบเฟสล็อกลูปประพฤติตัวคล้ายกับวงจรกรองความถี่ต่ำผ่าน (Low Pass Filter : LPF) โดยความถี่ของสัญญาณมอดูเลติ้ง (Modulating) ที่สูงกว่าจะไม่ผ่านส่วนควบคุม (Control loop) ในขณะที่ความถี่ต่ำกว่าจะถือเป็นค่าผิดเพี้ยน (Error) ของความถี่เฉลี่ยและลูป (Loop) จะแก้ไขให้สัญญาณเท่ากับความถี่เฉลี่ยจนกระทั่งค่าที่ผิดเพี้ยนหายไป ข้อได้เปรียบอย่างหนึ่งของเฟสล็อกลูปคือความสามารถในการสังเคราะห์ (Synthesize) ความถี่ที่ต้องการจากตัวผลิตความถี่อ้างอิง (Reference oscillator) เพียงชุดเดียว

2.4.1 การทำงานของวงจรเฟสล็อกลูป

วงจรเฟสล็อกลูปประกอบด้วยวงจรเปรียบเทียบเฟส (Phase comparator) วงจรกรองความถี่ต่ำผ่าน , วงจรขยายและวงจรแกว่งควบคุมโดยแรงดัน (Voltage Controlled Oscillator : VCO) ต่อเป็นวงรอบ อย่างเช่น วงจรป้อนกลับทั่ว ๆ ไป (ดูรูปที่ 2.7)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.7 วงจรเฟสล็อกลูปพื้นฐาน

วงจรเปรียบเทียบเฟส คือ วงจรที่ให้แรงดันออกมาเป็นปฏิภาคกับผลต่างระหว่าง เฟส ของสัญญาณที่มาเข้า 2 สัญญาณ วงจรนี้อาจเป็นวงจรคูณ ถ้าสัญญาณเข้า $V_i(t)$ มีความถี่เป็น ω_i และเฟส θ_i

$$V_i(t) = V_o \sin(\omega_i t + \theta_i) \qquad (2.1)$$

และสัญญาณที่ออกจาก VCO มีความถี่ ω_i และเฟส θ_0

$$V_o(t) = V_o \cos(\omega_i t + \theta_o) \qquad (2.2)$$

(สังเกตว่าในการเขียนสมการเช่นนี้ V_i และ V_o มีมุมอ้างอิงต่างกันอยู่ 90 องศา เพราะ V_i เขียนเป็นไซน์ และโคไซน์)

ถ้าป้อน V_i และ V_o เข้าที่วงจรเปรียบเทียบเฟส จะได้สัญญาณออก

$$V_e = K_m V_i V_o$$

ถ้าไม่คิดเทอมความถี่ $2\omega_i$ ซึ่งจะถูกจำกัดโดยวงจรผ่านความถี่ต่ำ จะได้

$$V_e = [(K_m V_i V_o)/2]\sin(\theta_i - \theta_o) \qquad (2.3)$$

ถ้าสมมติว่าผลต่าง $(\theta_i - \theta_o)$ มีค่าน้อยจะได้

$$V_e = K_d(\theta_i - \theta_o) \qquad (2.4)$$

โดยที่ K_d คือความไวของวงจรเปรียบเทียบเฟส $= K_m V_i (V_o/2)$ (V/rad)

แรงดัน V_e นี้จะได้รับการขยายและให้แรงดันควบคุมความถี่ของ VCO ซึ่งในการทำงานปกติการควบคุมนี้จะมีผลให้สัญญาณ V_o จาก VCO มีความถี่ตรงกับสัญญาณเข้าและถ้าอัตราขยายวงรอบมีค่าสูง V_e จะมีค่าและเฟส θ_o กับ θ_i จะได้ค่าใกล้เคียงกันดังที่สมมติไว้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การทำงานของวงจรเฟสล็อกลูปอาจอธิบายคร่าว ๆ ได้ดังนี้ เมื่อไม่มีสัญญาณเข้า ($V_i = 0$) แรงดัน V_e และ V_d (ที่ใช้ควบคุม VCO) จะเป็นศูนย์ VCO จะกำเนิดสัญญาณที่ความถี่หนึ่งเรียกว่าความถี่อิสระ (Free Running Frequency) f_{oo}

ถ้า f_i ไม่ต่างจาก f_{oo} มากนัก นั่นคือ $|f_i - f_{oo}| < \Delta f_p (2\Delta f_p)$ มีชื่อว่าช่วงดึงเข้าหรือ (Pull-in) สัญญาณ V_e จะมีลักษณะไม่สมมาตร กล่าวคือมีองค์ประกอบไฟตรงไม่เท่ากับศูนย์ (0) V_d จะค่อยเพิ่มขึ้น และหลังจากช่วงเวลาหนึ่งเรียกว่าช่วงดึง (Pull-in Time) ความถี่ f_o ซึ่งค่อย ๆ แปรไปยังค่า f_i จะต่างจาก f_i จะต่างจาก f_i เพียง $|f_i - f_o| < \Delta f_o (2\Delta f_o)$ มีชื่อว่าช่วงจับ (Capture Range) ถึงตอนนี้ f_o จะแปรเข้าสู่ค่า f_i อย่างรวดเร็วฉับพลันเรียกว่า เกิดการล็อก (Locked) V_d ก็จะเปลี่ยนฉับพลันเช่นกัน ทั้งนี้สำหรับ VCO โดยทั่วไปความถี่ f_o เป็นปฏิภาคกับการเบี่ยงเบนจากความถี่อิสระนั่นคือ

$$\omega_o - \omega_{oo} = K_o V_d$$

โดยที่ K_o เรียกว่าความไวของ VCO มีหน่วยเป็น (rad/sec)/V

การได้มา (Acquisition) ซึ่งการล็อกอาจใช้วิธีดังนี้

(ก) ณ ขณะหนึ่งความถี่ของ VCO ต่างจากความถี่ขาเข้า f_i น้อยกว่า Δf_c จะเกิดการล็อกโดยฉับพลันเรียกว่า เกิดการจับ (Capture)

(ข) ณ ขณะหนึ่งความถี่ของ VCO ต่างจากความถี่ขาเข้า f_i มากกว่า Δf_c แต่น้อยกว่า Δf_p ความถี่ของ VCO กวาด (Sweep) ไปเพื่อเสาะหาความถี่ของสัญญาณหรือถ้าเสียงรบกวน (Noise) มีน้อยก็อาจเพิ่มเติมวงจรจำแนกความถี่ (Frequency discriminator) ซึ่งจะปรับVCO เข้าสู่ช่วงการจับได้อย่างรวดเร็ว

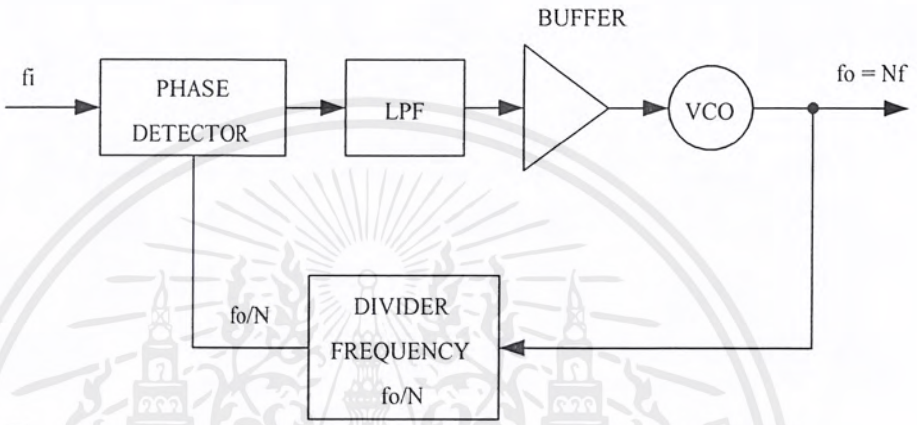
เมื่อเกิดการล็อกแล้วถ้าความถี่ของสัญญาณแปรไป ความถี่ของ VCO จะแปรตามไปด้วยเรียกว่าเกิดการตามรอย (Tracking) ความถี่ของ VCO จะสามารถตามรอยความถี่ได้ตราบใดที่ $|f_i - f_{oo}| < \Delta f_H (2\Delta f_H)$ มีชื่อเรียกว่าช่วงคงไว้ (Hold-in Range) บางทีเรียกว่าช่วงตามรอยหรือช่วงล็อก

2.4.2 การนำเอาวงจรเฟสล็อกลูปไปใช้งาน

(ก) การสังเคราะห์ความถี่ ตัวอย่างการใช้วงจรเฟสล็อกลูปอีกอย่างหนึ่งที่พบบ่อยคือ ใช้สังเคราะห์ความถี่ (Frequency synthesizer) วงจรนี้จะให้สัญญาณออกมีความถี่ซึ่งเลือกได้เป็นค่า ๆ ไป (Discrete) เช่น เลือกได้ระหว่าง 2.5 *MHz* ถึง 3.0 *MHz* เป็นขั้น ๆ (Step) ขั้นละ 0.1 *MHz* เป็นต้น หลักการของวงจรคือการคูณความถี่มาตรฐานด้วยเลขจำนวนเต็ม N ที่เลือกค่า

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ได้เช่น คูณความถี่มาตรฐาน 0.1 *MHz* ด้วยตัวเลขจำนวนเต็ม N ที่เลือกค่าได้ระหว่าง 20 ถึง 30 วงจรสังเคราะห์ความถี่ที่ใช้เฟสล็อกลูปแสดงอยู่ในรูปที่ 2.8 จะเห็นได้ว่าการแทรกวงจรหารความถี่เข้าในวงรอบจะเป็นการล็อกความถี่ f_o / N เข้ากับความถี่มาตรฐาน f_i ความถี่ของ VCO จะเท่ากับ $f_o = Nf_i$ ตามที่ต้องการ

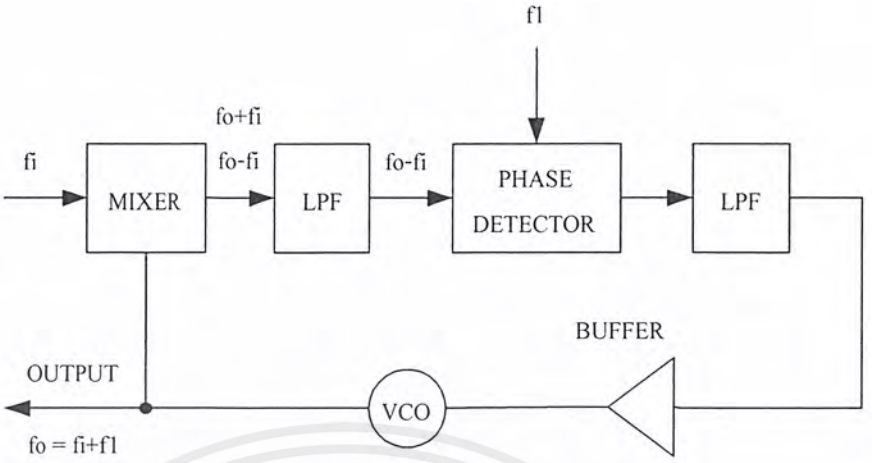


รูปที่ 2.8 วงจรสังเคราะห์ความถี่ที่ใช้เฟสล็อกลูป

ในทำนองคล้ายคลึงกันถ้าสัญญาณออกของ VCO มีฮาร์โมนิกอยู่ด้วยมากเราอาจปรับความถี่มาตรฐานขาเข้า f_i ให้ตรงฮาร์โมนิกที่ m ของสัญญาณจาก VCO นั่นคือ $f_i = mf_o$ สถาพการล็อกที่ฮาร์โมนิกเช่นนี้จะทำให้ได้ความถี่หลักมูลของ VCO เท่ากับ $f_o = f_i / m$ วงจรเฟสล็อกลูปทำหน้าที่เป็นวงจรหารความถี่

ถ้าต้องการเลื่อนความถี่จากค่ามาตรฐานค่าหนึ่งไปเล็กน้อย เช่น จากค่า f_i เป็น $f_i + f_1$ การใช้เทคนิคการผสม (Mixing) จะไม่ได้ผลนักเพราะถ้า f_i มีค่าเล็ก การกรองเอาแต่ความถี่ $f_i + f_1$ ไว้โดยตัดความถี่ $f_i - f_1$ ออกไปจะทำได้ยากจึงควรใช้วงจรเฟสล็อกลูป ดังในรูปที่ 2.9 ซึ่งจะทำให้ไม่มีปัญหาในด้านการกรอง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.9 วงเลื่อนความถี่

วงจรเฟสล็อกลูปนี้นำสัญญาณออกจาก VCO มาผสมกับสัญญาณเข้า แล้วกรองเอาเฉพาะความถี่ผลต่าง $f_o - f_i$ ซึ่งจะนำไปเปรียบเทียบกับความถี่ f_i

เมื่อเกิดการล็อกจะได้ $f_o - f_1 = f_i$ นั่นคือ $f_o = f_i + f_1$ ความถี่ของ VCO จะเท่ากับความถี่มาตรฐานเลื่อนไป f_1

(ข) การเข้าจังหวะ (Synchronization) ระบบเฟสล็อกลูป อาจใช้ประโยชน์ในการเพิ่มเสถียรภาพความถี่ของวงจรแกว่งได้ เช่น ถ้ามีวงจรแกว่งกำลังสูงแต่เสถียรภาพความถี่ไม่ดีและมีวงจรแกว่งกำลังต่ำ ๆ แต่เสถียรภาพดีก็ให้ใช้วงจรแรกเป็น VCO และวงจรที่สองใช้สำหรับให้สัญญาณเข้าของเฟสล็อกลูป เมื่อเกิดการล็อกแรงดันออกจาก VCO ก็จะมีระดับสูงและมีเสถียรภาพความถี่ที่ดี อนึ่งวงจรแกว่งกำลังสูงแต่เสถียรภาพความถี่ไม่ดีอาจทำงานที่ความถี่สูง ๆ มาก เช่น ในย่านไมโครเวฟ ส่วนวงจรแกว่งที่มีเสถียรภาพดีอาจทำงานที่ความถี่ต่ำกว่า เช่น เป็นวงจรแกว่งที่ให้ผลึก การเข้าจังหวะอาจทำได้โดยการล็อกความถี่ของ VCO เข้ากับฮาร์โมนิกสูง ๆ ของสัญญาณขาเข้า การล็อกอาจเกิดขึ้นได้โดยใช้สัญญาณเข้าเพียงนิดเดียวจึงไม่มีปัญหาในการล็อกที่ฮาร์โมนิกสูง

หลักการเดียวกันนี้อาจใช้ในการควบคุมความเร็วของมอเตอร์ได้ ในที่นี้ VCO ก็คือตัวมอเตอร์ซึ่งอาจใช้สวิตช์ไว้ใกล้ ๆ แกน เมื่อมอเตอร์หมุนหนึ่งรอบ สวิตช์ก็จะเปิด-ปิดครั้งหนึ่งหรือหลายครั้งทำให้ได้สัญญาณไฟฟ้าออกมามีความถี่เป็นจำนวนเต็มเท่าของความเร็วของมอเตอร์ สัญญาณนี้จะนำไปเปรียบเทียบกับความถี่มาตรฐาน ซึ่งอาจได้จากการหารความถี่ของวงจรแกว่งที่ใช้ผลึกสัญญาณที่ได้ออกมาเมื่อผ่านการกรองและการขยายก็จะนำไปใช้ขับนำมอเตอร์ และควบคุมความเร็วของมัน เมื่อเกิดการล็อกความเร็วของมอเตอร์จะมีเสถียรภาพเท่ากับความถี่มาตรฐาน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

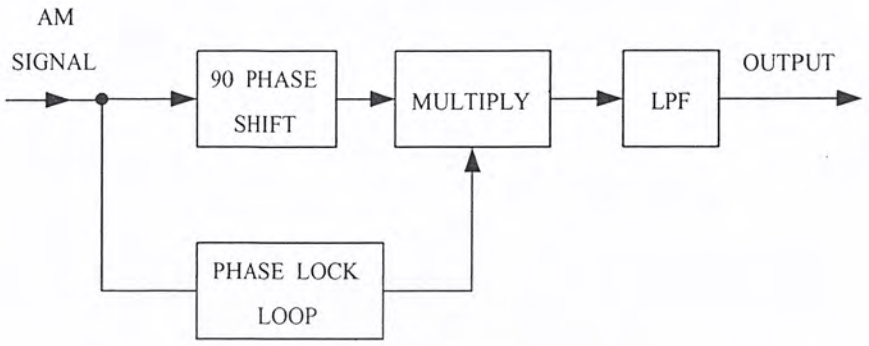
ในบางกรณีสัญญาณเข้าจังหวะมีลักษณะไม่ครบสมบูรณ์คือขาดเป็นห้วง ๆ ที่ต้องการคือสร้างเสริมขึ้นใหม่ได้ครบรูปเช่นให้เป็นสัญญาณสี่เหลี่ยมจัตุรัสที่บริบูรณ์ในกรณีนี้อาจใช้วงจรเฟสล็อกลูปได้โดยที่ VCO จะให้สัญญาณสี่เหลี่ยมจัตุรัสที่เข้าจังหวะกับสัญญาณที่ได้รับเป็นห้วง ๆ นั้น ในช่วงที่ไม่มีสัญญาณเข้า ยังพอมี "ความทรงจำ" และยังไม่ทันจะเปลี่ยนจากความถี่เดิมก็มีสัญญาณมาเข้าจังหวะให้เป็นห้วง ๆ ไป ตัวอย่างดังกล่าวนี้จะพบได้ในการเข้าจังหวะสัญญาณของเครื่องรับโทรทัศน์สีในระบบเชิงเลข และในระบบโทรศัพท์ที่ PCM (Pulse Code Modulation)

(ค) การตรวจจับสัญญาณ (Detection) หรือวงจรเลือกความถี่ในกรณีที่สัญญาณมีองค์ประกอบความถี่หลายความถี่และต้องการเลือกเฟ้นเพียงความถี่เดียวก็อาจทำได้โดยใช้วงจรเฟสล็อกลูป โดยปรับความถี่อิสระให้ตรงกับความถี่ที่ต้องการและปรับแถบของวงรอบให้แคบเพื่อว่าวงจรเฟสล็อกลูปจะได้ล็อกกับความถี่นั้นในกรณีสัญญาณของ VCO จะมีความถี่เท่ากับสัญญาณที่ต้องการ ส่วนความถี่อื่น ๆ ที่มี ณ ขั้วเข้าจะปะปนอยู่น้อยมาก สัญญาณที่ได้จาก VCO จะมีอัตราส่วนสัญญาณต่อเสียงรบกวนสูงกว่าสัญญาณเข้ามาก กล่าวได้ว่าวงจรเฟสล็อกลูปทำหน้าที่เป็นตัวกรองเสียงรบกวนโดยกำเนิดเป็นสัญญาณขึ้นใหม่จากสัญญาณเล็ก ๆ ที่จมอยู่ในเสียงรบกวน

ซึ่งวงจรเฟสล็อกลูปทำหน้าที่คล้ายวงจรเลือกความถี่ต่างกันที่ว่าสัญญาณออกจาก VCO แม้ตรงตามสัญญาณเข้าในแง่ความถี่แต่ก็ไม่เกี่ยวข้องกับสัญญาณเข้าในแง่ช่วงสูงเลย พิจารณาในแง่นี้จะเห็นว่าเมื่อใช้วงจรเฟสล็อกลูปสำหรับดีมอดูเลทสัญญาณเอฟเอ็มวงจรก็จะมีอำนาจเลือกสรรความถี่ในตัววงจรเฟสล็อกลูปอาจใช้ประกอบการดีมอดูเลทสัญญาณเอเอ็มได้อย่างมีคุณภาพ เป็นที่ทราบกันว่าถ้ามีเสียงรบกวนผนวกกับสัญญาณเอเอ็มมาก วิธีหนึ่งที่ใช้ได้ดีในการขจัดเสียงรบกวนคือ การตรวจจับแบบโคฮีเรนท์ (Coherent detection) กล่าวคือเอาสัญญาณเอเอ็มคูณกับสัญญาณอ้างอิงมีความถี่เดียวกันแต่ปราศจากเสียงรบกวน ผลคูณที่ได้จะประกอบด้วย ค่าไฟตรงที่เป็นปฏิภาคกับช่วงสูงของสัญญาณเข้า และองค์ประกอบความถี่สูงอื่น ๆ ซึ่งจะถูกขจัดโดยวงจรผ่านต่ำผ่าน เสียงรบกวนหรือสัญญาณแทรกที่ความถี่ไม่ตรงกับสัญญาณอ้างอิงจะไม่ให้ค่าไฟตรงจึงถูกวงจรผ่านต่ำกรองออกหมด ในการดีมอดูเลทเช่นนี้วงจรเฟสล็อกลูปจะเป็นตัวกำเนิดสัญญาณอ้างอิงซึ่งมีความถี่ตรงกับสัญญาณเอเอ็มและมีเสียงรบกวนปนอยู่น้อยมาก แต่สัญญาณจะต่างมุมกับสัญญาณเอเอ็มอยู่ 90 องศา จึงจำเป็นต้องเพิ่มวงจรเลื่อนความถี่เข้าไปก่อนที่จะทำการตรวจจับแบบโคฮีเรนท์ (ดูรูปที่ 2.10)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สำนักหอสมุดกลาง พระจอมเกล้าลาดกระบัง



รูปที่ 2.10 การตรวจจับสัญญาณเอเอ็มแบบโคฮีเรนท์โดยใช้วงจรเฟสล็อกลูป

2.4.3 ข้อดีและข้อเสียของวงจรเฟสล็อกลูป

วงจรเฟสล็อกลูปมีข้อดีหลายประการสำหรับการใช้งานบางอย่างซึ่งไม่มีวงจรอื่นที่จะเทียบเท่าอย่างไรก็ดีในการใช้งานบางอย่างนั้นก็อาจใช้วงจรกรองแบบแอลซี (LC) หรืออาร์ซี (RC) แทนได้ ข้อดีของวงจรเฟสล็อกลูปเมื่อเปรียบเทียบกับวงจรกรองในงานแบบอาร์ซีได้แก่

1. ทำงานได้ดีที่ความถี่สูง วงจรประมวลเฟสล็อกลูปสามารถทำงานได้ที่ความถี่สูงกว่า 100 *MHz* ส่วนวงจรประมวลผลที่ต่อเป็นวงจรกรองในงานนั้น จะทำงานได้ถึงความถี่ประมาณ 100 *MHz*

2. อำนาจการเลือกสรร (Selectivity) และความถี่ไม่ขึ้นต่อกัน กล่าวคือความถี่กลางกำหนดโดยความถี่อิสระของ VCO ส่วนอำนาจการเลือกสรร ขึ้นอยู่กับลักษณะของวงจรผ่านต่ำจึงไม่มีปัญหาการเรียงคลื่น (Alignment) อย่างเช่น วงจรเลือกความถี่หลาย ๆ หน่วย

3. องค์ประกอบภายนอกวงจรประมวลมีน้อยหรือปรับคลื่นได้ง่าย โดยทั่วไปความถี่อิสระของ VCO กำหนดโดย C ตัวเดียวหรือ C กับ R ซึ่งปรับคลื่นได้ตั้งแต่ค่าต่ำกว่า 10 *KHz* ถึง 100 *MHz*

อย่างไรก็ดีเมื่อเทียบกับวงจรกรอง LC หรือวงจรกรองในงานแล้ววงจรเฟสล็อกลูปมีข้อเสียดังนี้

1. ไม่ให้ข้อมูลเกี่ยวกับช่วงวงจรเฟสล็อกลูปสนองต่อความถี่เท่านั้น ตราบเท่าที่สัญญาณเข้ามีขนาดใหญ่พอที่จะทำให้เกิดการล็อกวงจรจะไม่ตอบสนองต่อช่วงสูงของสัญญาณเข้า

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้
42180

2. สนองตอบต่อฮาร์โมนิก วงจรเฟสล็อกลูปตอบสนองต่อฮาร์โมนิกหรือฮาร์โมนิกย่อยของสัญญาณเข้า ทำให้การขจัดสัญญาณแทรกแซงที่มีความถี่เป็นอัตราส่วนจำนวนเต็มกับสัญญาณไม่สู้ได้ผลนัก

3. ขาดเทคนิคการสังเคราะห์เนื่องจากลักษณะการจับของวงจรเฟสล็อกลูป เป็นแบบไม่เป็นเชิงเส้นเทคนิคการสังเคราะห์ให้ได้วงจรที่มีลักษณะเชิงความถี่ตามข้อกำหนดจึงเป็นเรื่องที่ยากมาก

2.5 การมอดูเลทสัญญาณดิจิตอล

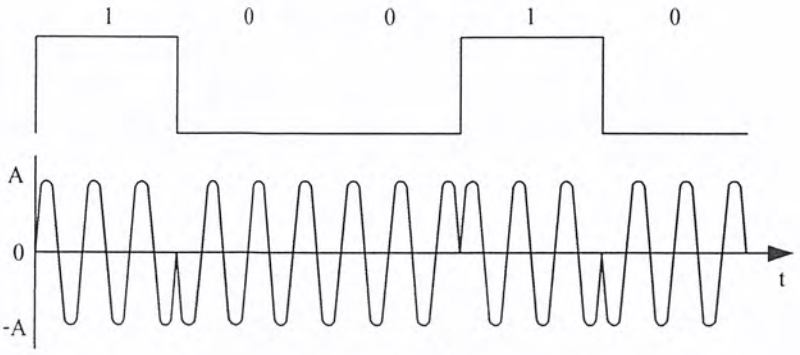
การส่งสัญญาณดิจิตอลเช่น สัญญาณ PCM โดยคลื่นวิทยุไมโครเวฟจำเป็นที่จะต้องเปลี่ยนสัญญาณดิจิตอลไปเป็นสัญญาณในย่านความถี่วิทยุ เทคนิคในการมอดูเลทสัญญาณดิจิตอลนี้มี 3 แบบด้วยกันคือ

1. แอมปลิจูดชิฟคีย์อิง (Amplitude Shift Keying : ASK)
2. ฟรีเควนซีชิฟคีย์อิง (Frequency Shift Keying : FSK)
3. เฟสชิฟคีย์อิงค์ (Phase Shift Keying : PSK)

ในที่นี้เราจะกล่าวแต่เฉพาะกรณีของพีเอสเค (PSK) คือแอมปลิจูดและความถี่จะคงที่ แต่อินนิเชียล (Initial phase) เฟสต่างกันสำหรับสัญญาณที่เป็น 1 หรือ 0 คือเฟสของคลื่นพาห์ $A\cos(2\pi f_c t + \theta)$ จะเปลี่ยนไปตามสัญญาณของสัญญาณ เช่น เฟส θ เป็น 0 กรณีสัญญาณมีสถานะเป็น 1 และเฟส θ เป็น π กรณีสัญญาณมีสถานะเป็น 0 เรียกพีเอสเคแบบนี่ว่า ไบนารีเฟสชิพคีย์อิง (Binary Phase Shift Keying : BPSK) ซึ่งมีการเปลี่ยนแปลงเพียง 2 ระดับ

$$S(t) = \begin{cases} A\cos 2\pi f_c t & \text{กรณีสัญญาณเป็น 1} \\ A\cos(2\pi f_c t + \pi) & \text{กรณีสัญญาณเป็น 0} \end{cases}$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.11 ไบนารีเฟสชิฟคีย์อิง

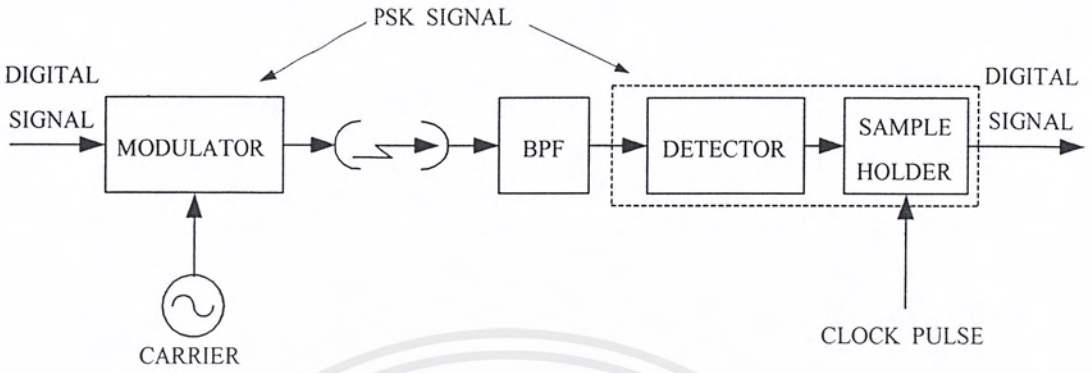
ในกรณีที่สัญญาณมีการเปลี่ยนแปลง 4 ระดับเรียกว่าควอดราเจอร์เฟสชิฟคีย์อิง(Quadrature Phase Shift Keying : QPSK) ซึ่งจะมีอัตราความเร็วในการส่งข้อมูลได้สูงกว่าไบนารีพีเอสเคโดยสามารถส่งไปพร้อมกันได้ครั้งละ 2 บิท และถ้าต้องการส่งสัญญาณไปครั้งละ 3 บิทพร้อมๆ กัน $(2^3 = 8)$ จะเรียกว่า 8-PSK ซึ่งจะยิ่งมีอัตราการส่งข้อมูลเร็วขึ้นอีกแต่จะทำให้คุณภาพของสัญญาณทางด้านรับต่ำลง แต่ในที่นี้จะใช้ได้เฉพาะไบนารีพีเอสเค จึงอธิบายเรื่องไบนารีพีเอสเคเท่านั้น (ส่งครั้งละ 1บิท)

2.5.1 หลักการของไบนารีเฟสชิฟคีย์อิงมอดูเลเตอร์และดีมอดูเลเตอร์

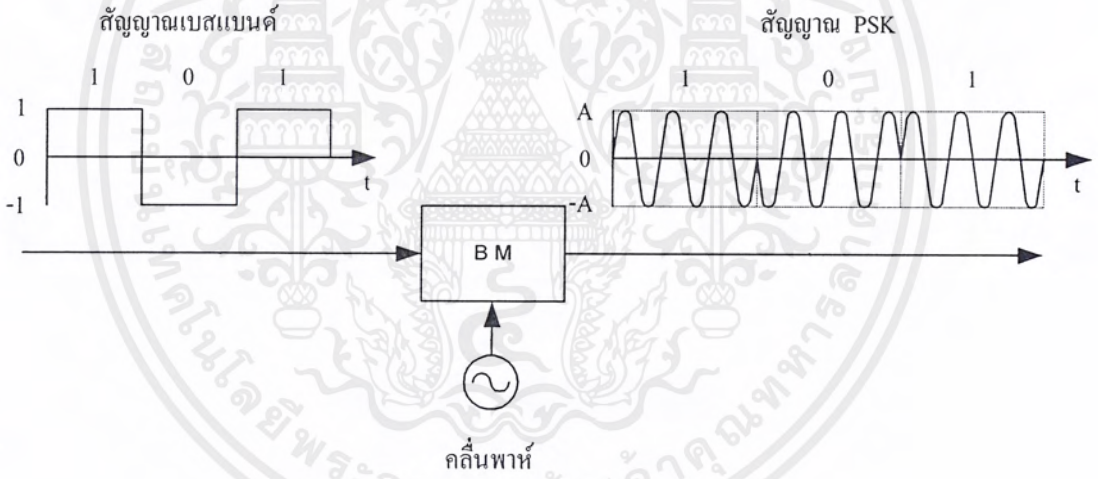
ทางด้านส่งมีมอดูเลเตอร์ซึ่งเปลี่ยนสัญญาณดิจิตอลเป็นสัญญาณพีเอสเค ทางด้านรับมีแบนด์พาสฟิลเตอร์ (Band Pass Filter) และดีมอดูเลเตอร์ซึ่งจะเปลี่ยนสัญญาณพีเอสเคเป็นสัญญาณดิจิตอลอันเดิม ดีมอดูเลเตอร์ประกอบด้วย ดีเทคเตอร์และแซมเปิ้ลโฮลเดอร์ (Sample holder)

โดยทั่วไปแล้วการมอดูเลทพีเอสเค จะใช้บาลานซ์มอดูเลเตอร์ (Balance modulator) สมมติว่าสัญญาณดิจิตอลเบสแบนด์อยู่ในรูปคลื่นสี่เหลี่ยมมีแอมปลิจูดเท่ากับ 1 สำหรับรหัส 1 และมีแอมปลิจูดเท่ากับ -1 สำหรับ รหัส 0 เมื่อคลื่นรูปสี่เหลี่ยมนี้ถูกผสมโดยคลื่นแคร์เรียร์ $A\cos 2\pi f_c t$ ผ่านวงจรบาลานซ์มอดูเลเตอร์สัญญาณพีเอสเคที่ได้แสดงดังรูปที่ 2.17

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.12 การรับ-ส่งสัญญาณดิจิตอล



รูปที่ 2.13 การมอดูเลทสัญญาณดิจิตอล

สำหรับพีเอสเคสำหรับรหัส 1 จะเป็น

$$S(t) = 1 \times A\cos 2\pi f_c t = A\cos 2\pi f_c t$$

ส่วนสัญญาณพีเอสเคสำหรับรหัส 0 จะเป็น

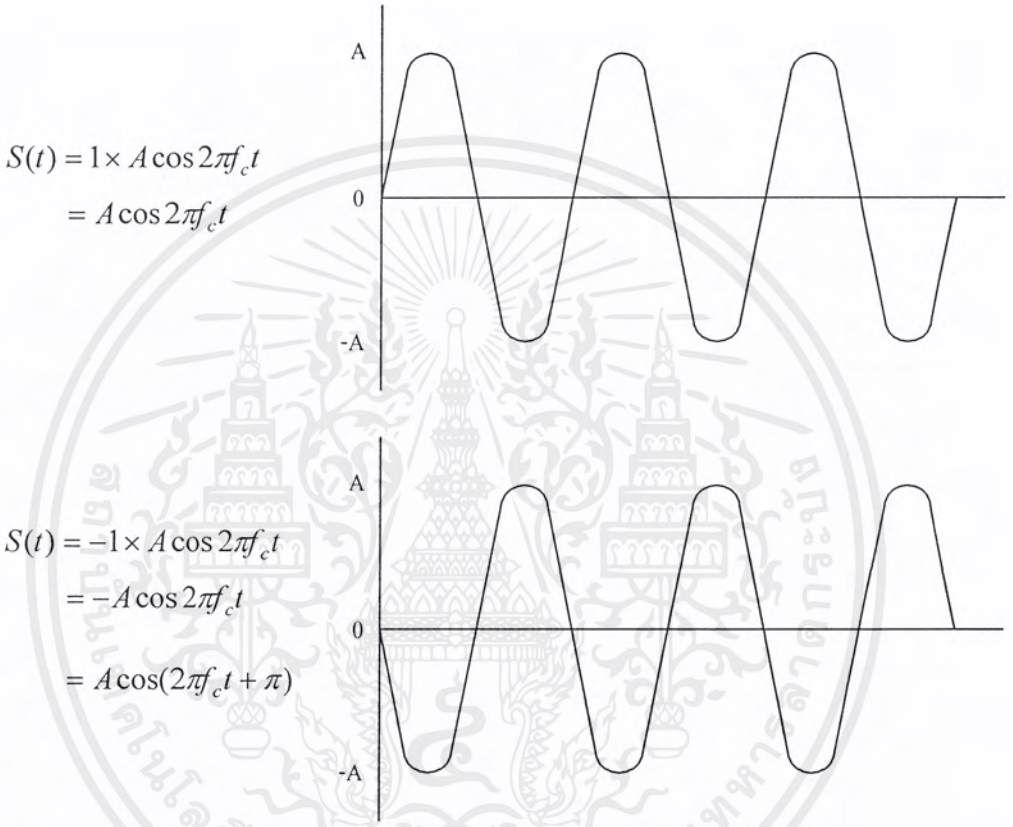
$$S(t) = -1 \times A\cos 2\pi f_c t = -A\cos 2\pi f_c t$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เราสามารถเขียน

$$-A\cos 2\pi f_c t = A\cos(2\pi f_c t + \pi)$$

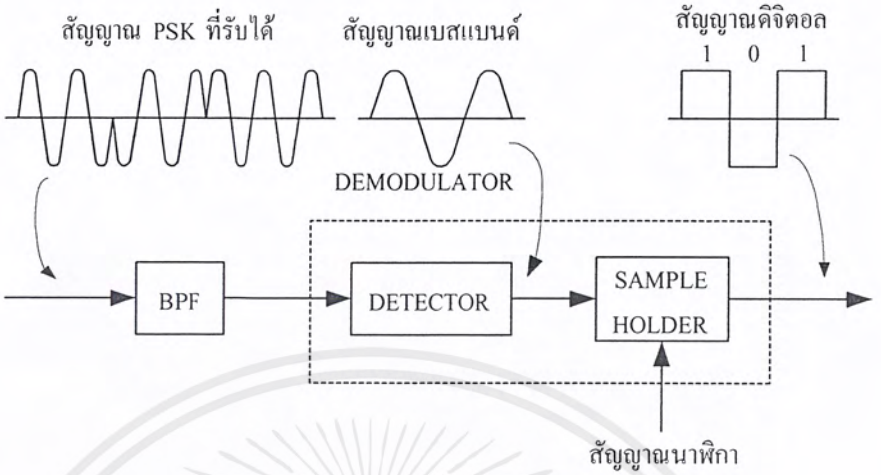
ตามหลักการนี้แสดงว่าสำหรับรหัส 0 เฟสของคลื่นแคเรียร์จะเปลี่ยนไปเท่ากับ π ซึ่งจะเห็นได้ชัดเจนดังรูปที่ 2.14



รูปที่ 2.14 การเปลี่ยนแปลงทางเฟสของคลื่นพาห์

แบนด์พาสฟิลเตอร์ทางด้านรับรับสัญญาณซึ่งมีเสียงรบกวนปนอยู่ด้วยจะถูกดีเทคออกมาที่ดีมอดูเลเตอร์ ดีเทคเตอร์จะเอาสัญญาณเบสแบนด์ออกมาโดยตัดแคเรียร์คอมโปเนนท์ ซึ่งรวมอยู่ในสัญญาณพีเอสเคออกไป สัญญาณเบสแบนด์จะไม่เป็นรูปสี่เหลี่ยมที่สมบูรณ์นัก เนื่องจากการกำหนดแถบความกว้าง โดยตัวกรองความถี่ และเนื่องจากอิทธิพลของเสียงรบกวนแซมเปิ้ลโฮลเดอร์จะสร้างสัญญาณดิจิตอลขึ้นมาใหม่ผ่านการพิจารณาโพลาริตี้ (Polarity) บวกหรือลบของสัญญาณเบสแบนด์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

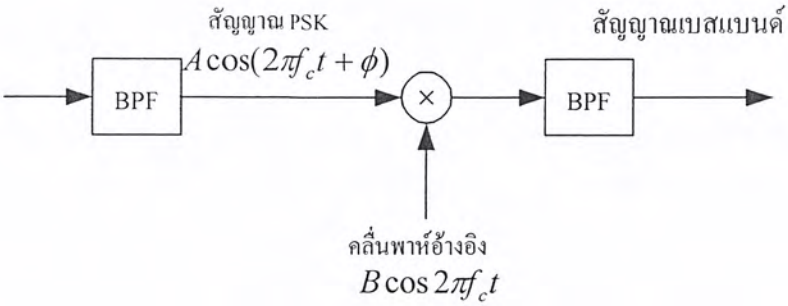


รูปที่ 2.15 การสร้างสัญญาณขึ้นมาใหม่ทางด้านรับ

2.5.2 โคฮีเรนท์ดีเทคชั่น (Coherent detection)

การดีมอดูเลทสัญญาณพีเอสเคทางด้านรับเป็นแบบโคฮีเรนท์ดีเทคชั่น ซึ่งมีหลักการดังนี้ สัญญาณพีเอสเคที่รับได้ขั้นแรก จะผ่านวงจรคูณ (Multiplier) ซึ่งจะคูณสัญญาณพีเอสเค ที่รับได้ด้วยคลื่นพาห์อ้างอิง (Reference carrier) สำหรับฮาร์โมนิกซึ่งรวมอยู่ในสัญญาณเอาท์พุทจะถูกตัดออกไปโดยวงจรกรองความถี่ต่ำ และได้สัญญาณเบสแบนด์ออกมาทางด้านทางออก ถ้าสัญญาณพีเอสเคที่รับเข้ามาคือ $A\cos(2\pi f_c t + \phi)$ คลื่นพาห์อ้างอิงมีไว้เพื่อการซิงโครไนซ์กับคลื่นพาห์ทางด้านส่งคือ $B\cos 2\pi f_c t$ สัญญาณทางด้านออกหลังจากผ่านวงจรกรองความถี่ต่ำแล้วสามารถกำหนดได้เป็น $(AB/2)\cos\phi$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.16 การรับสัญญาณพีเอสเคทางด้านรับ

ทั้งนี้เนื่องจาก

$$A\cos(2\pi f_c t + \phi).B\cos 2\pi f_c t = (AB/2)\{\cos(2\pi f_c t + \phi + 2\pi f_c t) + \cos(2\pi f_c t + \phi - 2\pi f_c t)\}$$
$$= (AB/2)\{\cos(4\pi f_c t + \phi) + \cos\phi\}$$

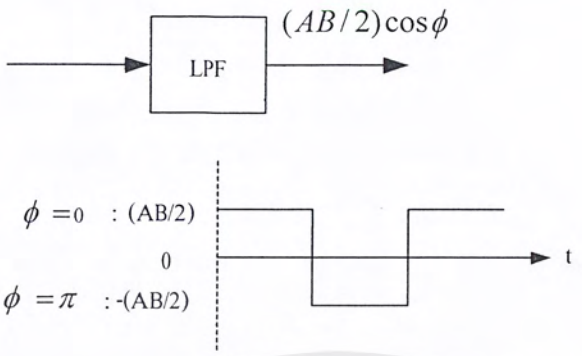
ซึ่ง $(AB/2)\cos(4\pi f_c t + \phi)$ นี้คือฮาร์โมนิก โดยมีความถี่เป็น 2 เท่าของความถี่คลื่นพาห์เดิม ซึ่งจะถูกตัดออกไปเมื่อผ่านวงจรกรองความถี่ต่ำ ดังนั้นทางด้านออกจึงมีแต่เพียง $(AB/2)\cos\phi$ เท่านั้น

$(AB/2)\cos\phi$ นี้จะได้เป็น $AB/2$ เมื่อ $\phi = 0$ และจะได้เป็น $-AB/2$ เมื่อ $\phi = \pi$ ดังในรูปที่ 2.17

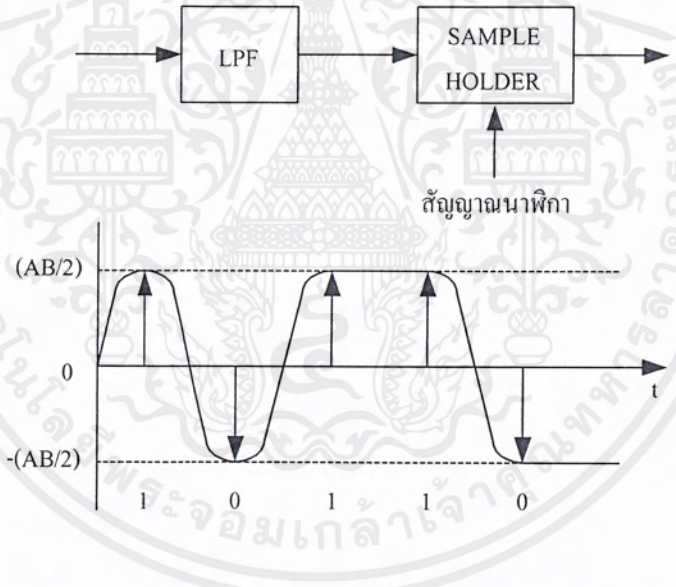
สัญญาณเอาท์พุทในรูปข้างบนในทางปฏิบัติแล้วจะไม่เป็นรูปสี่เหลี่ยมโดยสมบูรณ์ ทั้งนี้เนื่องจากอิทธิพลของแบนด์ลิมิตเตอร์ (Band limitation) และเสียงรบกวน

ต่อจากนั้นสัญญาณเบสแบนด์นี้จะถูกส่งไปยังวงจรแซมเปิ้ลโฮลเดอร์ ซึ่งวงจรจะทำการสุ่มตัวอย่างสัญญาณเบสแบนด์ ด้วยสัญญาณนาฬิกา (Clock pulse) ที่จุดกึ่งกลางของแต่ละรหัสสัญญาณ และกำหนดว่ารหัสนั้นเป็น 1 หรือ 0 โดยการตัดสินหรือพิจารณาขั้ว (polrality) ของสัญญาณแซมเปิลนั้นแล้วทำการสร้างสัญญาณดิจิตอลดั้งเดิมขึ้นมาใหม่ ในรูปนี้รหัสเป็น 1 สำหรับสัญญาณที่มีแอมปลิจูดเป็นบวก และรหัสเป็น 0 สำหรับสัญญาณที่มีแอมปลิจูดเป็นลบ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



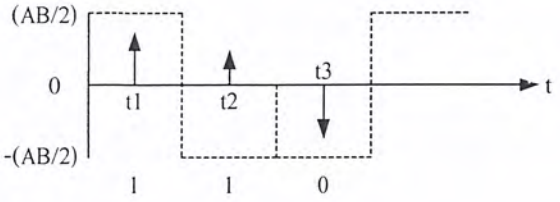
รูปที่ 2.17 สัญญาณเอาท์พุทหลังจากผ่านวงจรกรองความถี่ต่ำ



รูปที่ 2.18 การพิจารณารหัสเป็น 1 หรือ 0 โดยแซมเปิลโฮลเดอร์ (Sample holder)

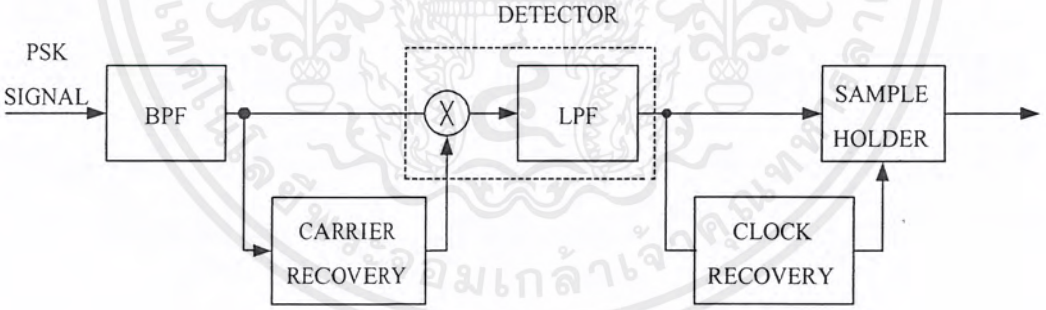
เมื่อสัญญาณนาฬิกามีการผิดเพี้ยนเนื่องจากอิทธิพลของเสียงรบกวนถ้ามีการผิดเพี้ยนน้อย ขั้วของสัญญาณก็ไม่เปลี่ยนแปลง เช่น ที่ t_1 และ t_3 รหัสที่ได้ออกมาก็ถูกต้อง แต่ถ้าพิจารณาที่ t_2 ขั้วของสัญญาณถูกเปลี่ยนไปในทางตรงข้ามเนื่องจากเกิดการผิดเพี้ยนมาก รหัสที่ได้ออกมาก็จะผิดไปจากรหัสเดิมอัตราการผิดพลาดของบิท (Bit error) ก็จะเกิดขึ้น

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.19 รหัสผิดเพี้ยนเนื่องจากเสียงรบกวน

รูปต่อไปนี้เป็นบล็อกไดอะแกรมของโคฮีเรนท์ดีเทคเตอร์ (Coherent detector) มีแบนด์พาสฟิลเตอร์ , ดีเทคเตอร์ , แซมเปิลโฮลเดอร์ , วงจรกู้สัญญาณคลื่นพาห์ (Carrier recovery circuit) และวงจรกู้สัญญาณนาฬิกา (Clock recovery circuit) วงจรกู้สัญญาณพาหะจะสร้างคลื่นพาห์อ้างอิงขึ้นมาใหม่ โดยการทวีคูณสัญญาณพีเอสเคที่รับมาได้ ส่วนวงจรกู้สัญญาณนาฬิกาจะสร้างสัญญาณนาฬิกาขึ้นมาใหม่เพื่อใช้สำหรับแซมเปิลโฮลดิงในวิธีการโคฮีเรนท์ ดีเทคชั่นนี้ทั้งคลื่นพาห์อ้างอิงและสัญญาณนาฬิกาจะถูกสร้างขึ้นมาใหม่จากสัญญาณพีเอสเคที่รับเข้ามา

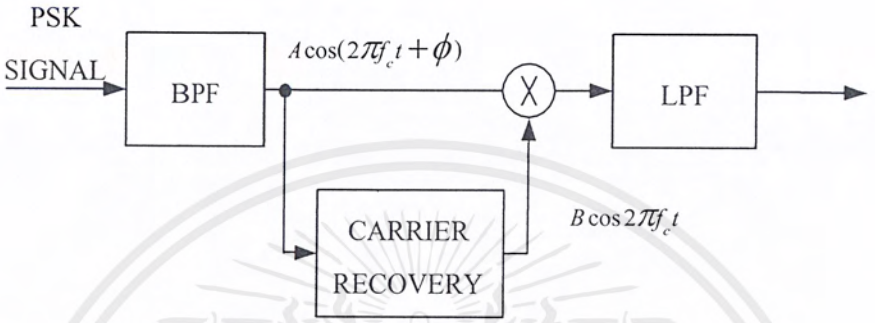


รูปที่ 2.20 บล็อกไดอะแกรมของโคฮีเรนท์ดีเทคเตอร์

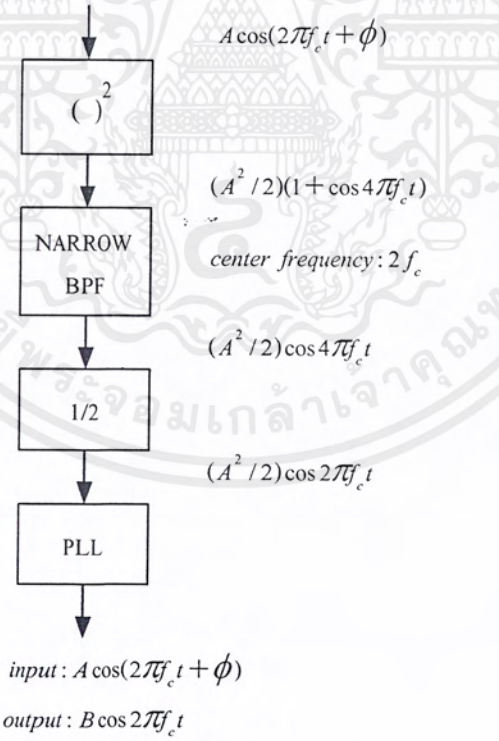
คลื่นพาห์อ้างอิงที่ใช้ในโคฮีเรนท์ดีเทคชั่นนี้ เพื่อการซิงโครไนซ์กับคลื่นพาห์ทางด้านส่งเพื่อจุดประสงค์นี้ คลื่นพาห์อ้างอิงถูกสร้างขึ้นมาใหม่จากสัญญาณพีเอสเคที่รับเข้ามาสัญญาณอินพุทที่เข้าวงจรกู้สัญญาณพาหะสามารถกำหนดโดย $A\cos(2\pi f_c t + \phi)$ สัญญาณเอาท์พุทคือคลื่นพาห์อ้างอิงกำหนดโดย $B\cos 2\pi f_c t$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

วงจรกู้สัญญาณพาหะประกอบด้วยสแควร์ (Square) , แนโรแบนด์พาสฟิลเตอร์ (Narrow Band Pass Filter) โดยมีความถี่กึ่งกลางที่ $2f_c$ วงจรหาร 2 (1/2) Frequency divider) และวงจรเฟสล็อกลูป



รูปที่ 2.21 หลักการของวงจรกู้สัญญาณพาหะ



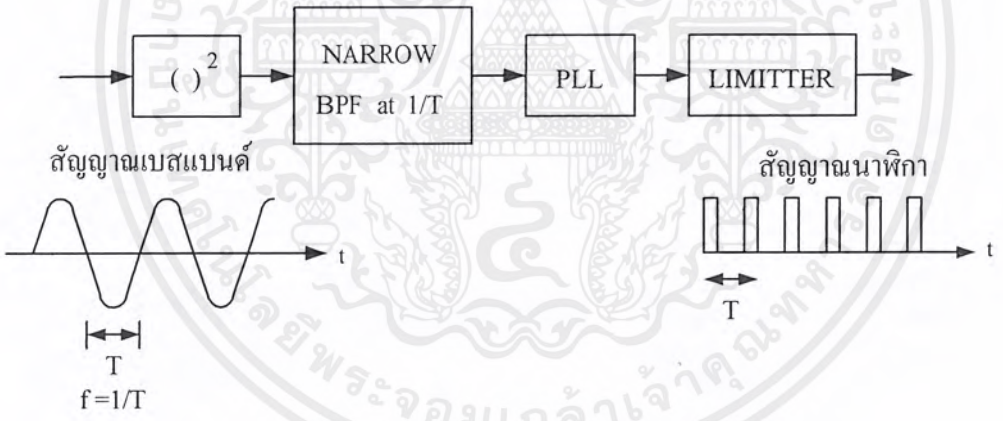
รูปที่ 2.22 วงจรกู้สัญญาณพาหะ และสัญญาณตามจุดต่าง ๆ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สัญญาณ $\left((A^2/2)\cos 2\pi f_c t\right)$ ที่ออกจากวงจรหาร (Divider) ปกติจะมีเสียงรบกวนรวมอยู่ด้วย เพื่อที่จะตัดเสียงรบกวนออก และได้คลื่นพาห์อ้างอิงปราศจากการผิดเพี้ยน จำเป็นต้องใช้วงจรเฟสล็อกลูปช่วย

สัญญาณนาฬิกาที่จำเป็นสำหรับแซมเปิลโฮลเดอร์ ก็ถูกสร้างขึ้นมาใหม่จากสัญญาณพีเอสเคที่รับได้เช่นกันเพื่อจุดประสงค์นี้ ต้องใช้วงจรกู้สัญญาณนาฬิกา สัญญาณเบสแบนด์ที่ได้ที่เอาท์พุทของดีเทคเตอร์โดยทั่วไปจะใช้เป็นสัญญาณอินพุทให้กับวงจรกู้สัญญาณนาฬิกา

มีอยู่หลายวิธีในการสร้างสัญญาณนาฬิกาขึ้นมาใหม่ วงจรข้างล่างนี้ก็เป็นตัวอย่างวงจรหนึ่งซึ่งประกอบด้วย สแควร์ , แนโรแบนด์พาสฟิลเตอร์ , เฟสล็อกลูป และลิมิตเตอร์ สำหรับแนโรแบนด์พาสฟิลเตอร์ที่ใช้ในวงจรนี้มีความถี่กึ่งกลางของ $1/T$ ซึ่ง T คือความกว้างจของรหัสตัวหนึ่ง ๆ ดังนั้น $1/T$ คือความถี่สัญญาณนาฬิกาที่ได้โดยการผ่านสัญญาณเบสแบนด์ที่ได้รับที่เอาท์พุทของดีเทคเตอร์ผ่านวงจรนี้ เราจะได้รับสัญญาณนาฬิกาที่มีความถี่ $1/T$



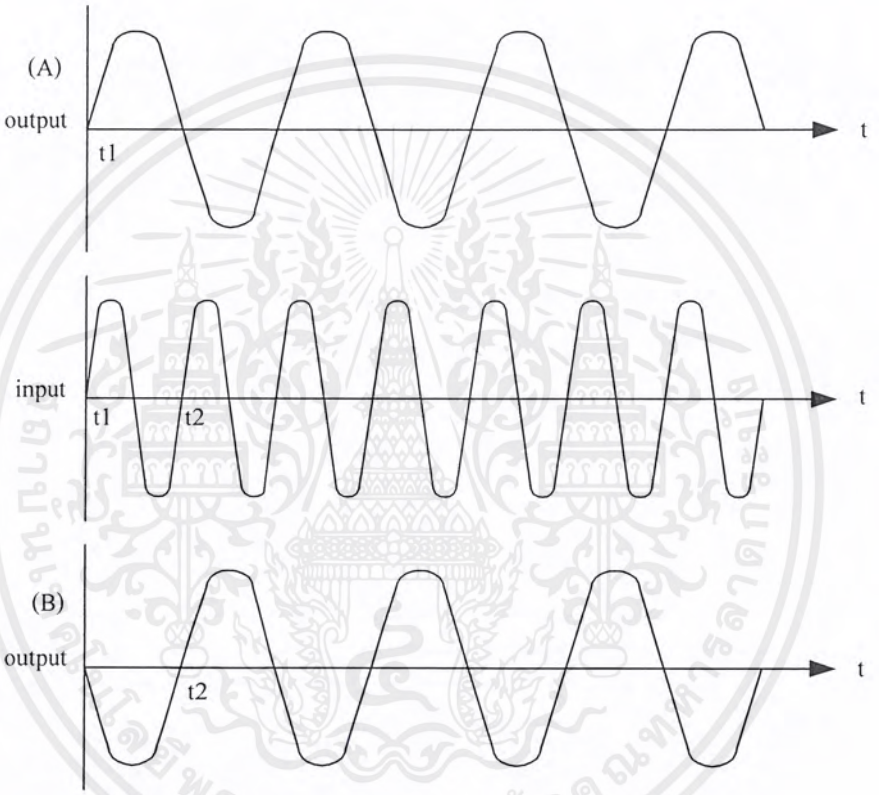
รูปที่ 2.23 วงจรกู้สัญญาณนาฬิกา

2.5.3 การผิดพลาดทางเฟส

คลื่นพาห์อ้างอิงที่ใช้ในโคฮีเรนท์ดีเทคชั่นมีความจำเป็นเพื่อล็อคเฟสคลื่นพาห์ทางด้านส่ง แต่อย่างไรก็ตาม ปกติแล้วเป็นไปไม่ได้ที่จะทำให้คลื่นพาห์สองชนิดนี้มีการล็อคเฟสซึ่งกันและกันอย่างสมบูรณ์ในไบนารีพีเอสเค ความต่างเฟสอาจจะมีสาเหตุจากความต่างระหว่างคลื่นพาห์ทั้ง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

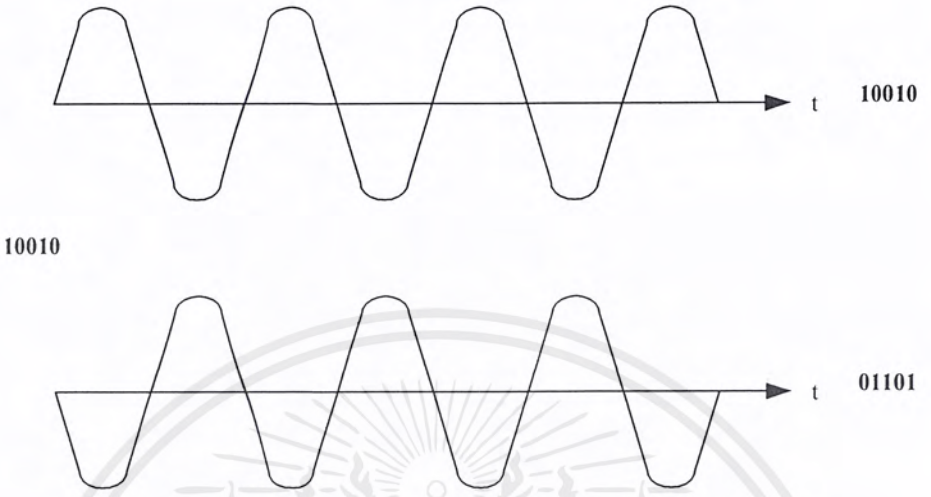
สอง แต่เป็นไปไม่ได้ที่จะรู้ความแตกต่างเฟสนี้ที่ทางด้านรับ ความไม่สามารถที่จะดีเทค (Detect) ความแตกต่างเฟสนี้เป็นผลทำให้เกิดการผิดพลาดทางเฟส เมื่อคลื่นพาห์อ้างอิงเกิดการกลับเฟส (out of phase) เท่ากับเครื่องหมายของบิทที่อยู่ในการดีมอดูเลทสัญญาณดิจิตอลจะเกิดการเปลี่ยนกลับจาก 1 เป็น 0 และจาก 0 เป็น 1



รูปที่ 2.24 เปรียบเทียบเอาท์พุท กรณี t_1 และ t_2 เป็นจุดเริ่มต้น

เนื่องจากรูปคลื่นเอาท์พุท 2 แบบสามารถทำให้เกิดขึ้นได้ที่เอาท์พุทของวงจรหารความถี่ ดังนั้นเราต้องพิจารณารูปคลื่นของคลื่นพาห์อ้างอิง 2 แบบ แบบหนึ่งเฟสตรงกับคลื่นพาห์ทางด้านส่งและอีกแบบหนึ่งต่างเฟสกับคลื่นพาห์ ตามปกติแล้วแบบใดแบบหนึ่งของคลื่นพาห์อ้างอิงใน 2 แบบนี้ใช้ในการดีมอดูเลทอยู่แล้ว อย่างไรก็ตามไม่มีการกำหนดแน่นอนว่าแบบไหนที่ใช้สำหรับการดีมอดูเลทและดังนั้นเราจึงไม่สามารถกำหนดได้ว่าสัญญาณดิจิตอลที่ได้รับหลังจากผ่านดีมอดูเลทเป็นแบบปกติ หรือแบบกลับเฟส

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

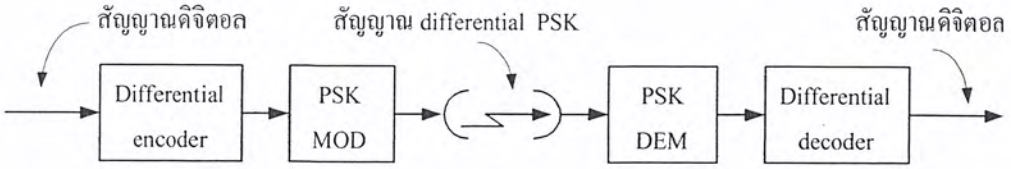


รูปที่ 2.25 สัญญาณดิจิตอลหลังผ่านการดีมอดูเลท

วิธีการที่จะแก้ปัญหาการผิดพลาดทางเฟสคือ ใช้ดิฟเฟอเรนเชียลโคฮีเรนท์พีเอสเค (Differential Coherent PSK) หรือเรียกย่อ ๆ ว่า ดีซี พีเอสเค (DC PSK) โดยวิธีการนี้ข่าวสารในสัญญาณดิจิตอลที่จะส่งถูกทำให้เฟสของสัญญาณพีเอสเคเปลี่ยนไป คือ ไม่ให้เป็นอินนิเชียลเฟสของสัญญาณพีเอสเค

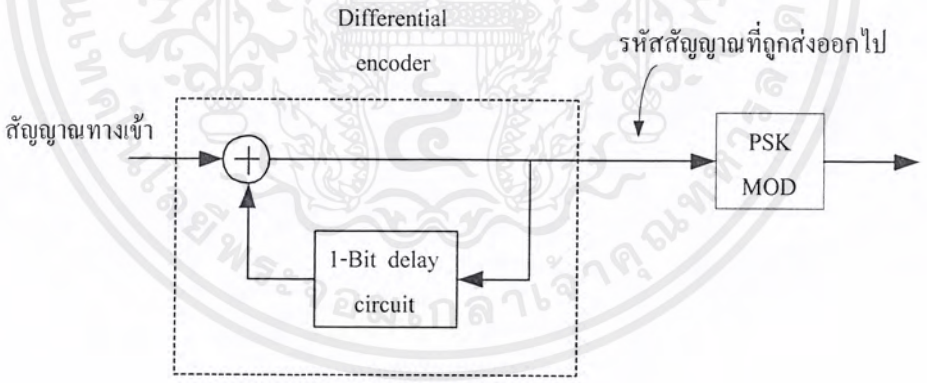
จากรูปสัญญาณดิจิตอลที่จะส่งทางด้านส่งจะถูกดิฟเฟอเรนเชียลเอ็นโค้ดเดอร์ (Differential encode) ก่อนที่จะทำการมอดูเลทแบบพีเอสเค เพื่อจุดประสงค์นี้ดิฟเฟอเรนเชียลเอ็นโค้ดเดอร์จะอยู่ข้างหน้าวงจรพีเอสเค สำหรับทางด้านรับสัญญาณดิฟเฟอเรนเชียลพีเอสเค (Differential PSK) จะถูกดีมอดูเลทแบบโคฮีเรนท์ดีมอดูเลท (Coherent demodulate) และป้อนเข้าวงจรดิฟเฟอเรนเชียลดีโค้ดเดอร์ (Differential decoder) เพื่อสร้างสัญญาณดิจิตอลดั้งเดิมขึ้นมาใหม่

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.26 ดิฟเฟอเรนเชียล โคฮีเรนท์ พีเอสเค

ดิฟเฟอเรนเชียลเอ็นโค้ดเดอร์ที่ใช้ประกอบด้วย เอ็กซ์คลูซีฟออร์เกท (Exclusive-OR gate) และวงจร 1 บิทดีเลย์ (One bit delay circuit) รหัสสัญญาณจะถูกส่งไปหนึ่งบิทก่อนและถูกบวกกับแต่ละบิทโดยเอ็กซ์คลูซีฟออร์เกทสร้างรหัสขึ้นมาเพื่อจะส่งไป รหัสที่ส่งไปนี้ถูกผ่านพีเอสเคมอดูเลเตอร์และในเวลาเดียวกัน จะเข้าวงจร 1 บิทดีเลย์ (One-bit delay) อีกครั้งเพื่อบวกกับสัญญาณดิจิตอลอินพุทตัวต่อไป

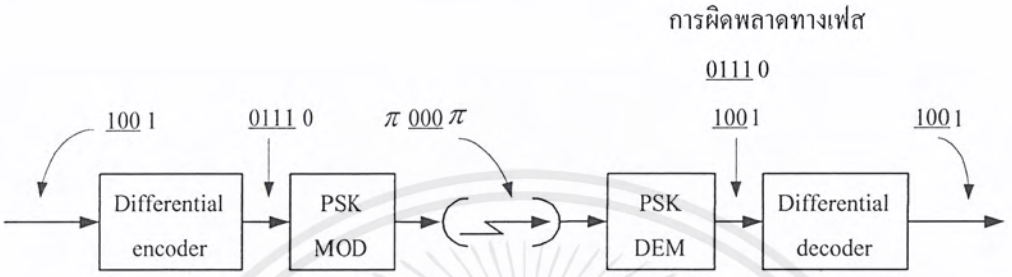


รูปที่ 2.27 วงจรดิฟเฟอเรนเชียลเอ็นโค้ดเดอร์

ลำดับสัญญาณดิฟเฟอเรนเชียลเอ็นโค้ดเดอร์ คือ พีเอสเคมอดูเลท โดยการทำให้อินนิเชียลเฟส π แทนรหัส 0 และ อินนิเชียลเฟส 0 แทนรหัส 1 แล้วส่งออกไป ส่วนทางด้านรับสัญญาณดิฟเฟอเรนเชียลพีเอสเคถูกดีเทคแบบโคฮีเรนท์ (เพื่อสร้างสัญญาณดิจิตอลที่ส่งขึ้นมาใหม่) สัญญาณดิจิตอลที่ได้โดยการผ่านโคฮีเรนท์ ดีเทคชั่น (นี้อาจจะเปลี่ยนจาก 1 เป็น 0 หรือจาก 0

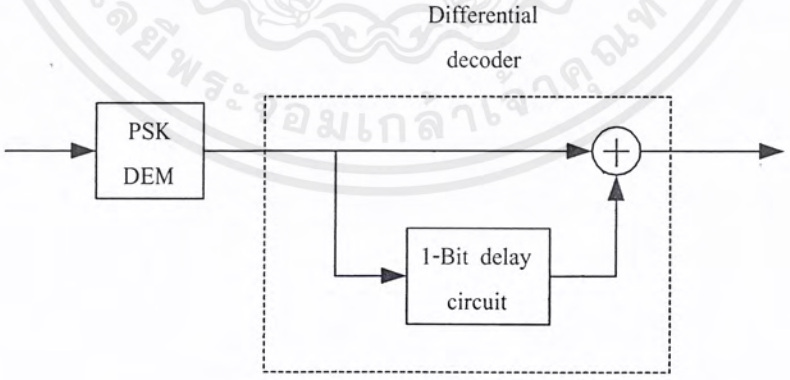
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เป็น 1 เนื่องจากความผิดพลาดทางเฟส (Phase ambiguity) อย่างไรก็ตามในดิฟเฟอเรนเชียลโคฮีเรนท์พีเอสเคลำดับของสัญญาณที่ได้รับหลังจากการดิฟเฟอเรนเชียล ดีโค้ดดิงจะพร้อมกันกับลำดับสัญญาณดั้งเดิมเสมอโดยปราศจากความผิดพลาดทางเฟส



รูปที่ 2.28 รหัสสัญญาณ ณ ตำแหน่งต่าง ๆ

ดิฟเฟอเรนเชียลดีโค้ดเดอร์ (ประกอบด้วยวงจร 1 บิทดีเลย์และเอ็กซ์คลูซีฟออร์เกท) สัญญาณดิจิตอลที่ถูกดีมอดูเลทผ่านขบวนการโคฮีเรนท์ดีเทคเตอร์ถูกป้อนเข้าเอ็กซ์คลูซีฟออร์เกท และในขณะเดียวกันก็ป้อนเข้าวงจร 1 บิทดีเลย์ในเอ็กซ์คลูซีฟออร์เกท (สัญญาณดิจิตอลอินพุทและสัญญาณเอาท์พุทของวงจร 1 บิทดีเลย์) ถูกบวกเข้าด้วยกัน นั่นคือ โดยการบวก 2 บิทข้างเคียงในลำดับสัญญาณดิจิตอลที่ได้ดีมอดูเลท โดยเอ็ซคลูซีฟออร์เกท การเปลี่ยนแปลงในทุก ๆ 2 บิท ข้างเคียงจะถูกตรวจสอบตลอดเวลา

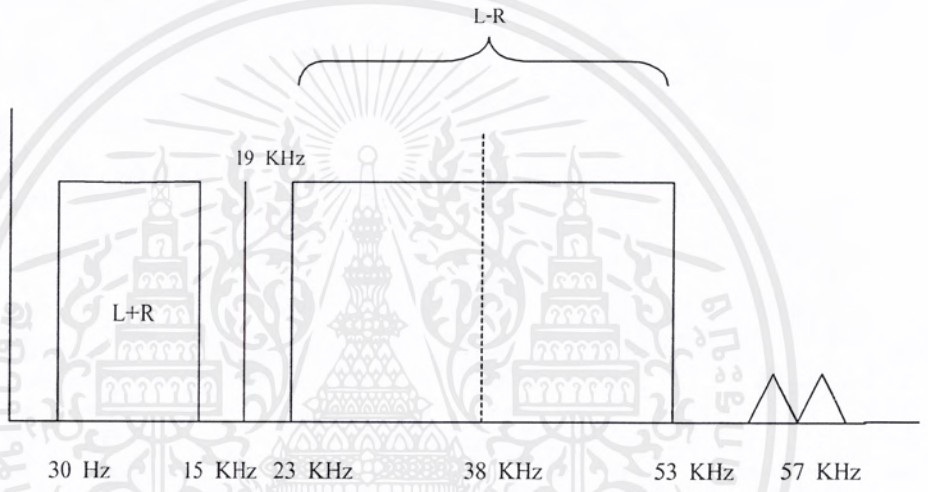


รูปที่ 2.29 ดิฟเฟอเรนเชียลดีโค้ดเดอร์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.6 RDS (Radio Data System)

RDS ย่อมาจากคำว่า Radio Data System เป็นการส่งข้อมูลโดยอาศัยคลื่นพาห์ย่อย ที่ 57 *KHz* ซึ่งจะส่งกระจายเสียงหรือข่าวสารแฝงไปกับรายการปกติในระบบเอฟเอ็ม (FM) เนื่องจากว่าการส่งในระบบเอฟเอ็มไม่ว่าจะเป็นการส่งแบบเอฟเอ็มสเตอริโอหรือเอฟเอ็มโมโนจะมีแถบความถี่เหลือที่ยังจะส่งข้อมูลข่าวสารได้ ดังนั้นจึงนำมาใช้ให้เป็นประโยชน์

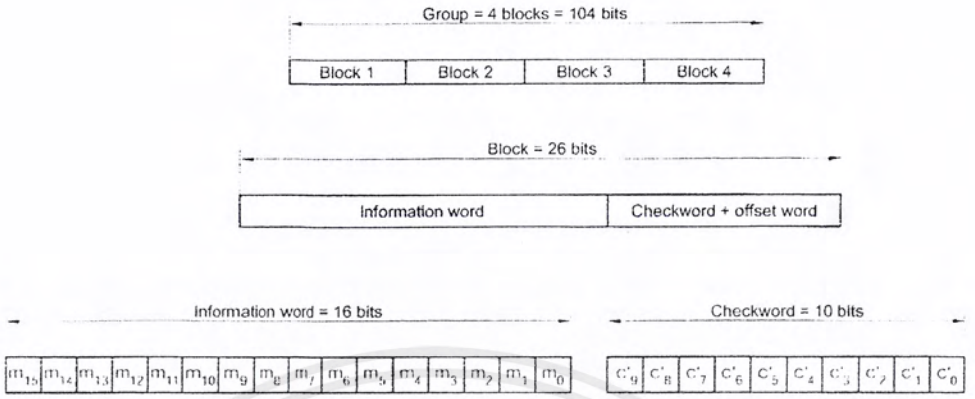


รูปที่ 2.30 แสดงขอบเขตความถี่ของระบบ RDS

2.6.1 ลักษณะโครงสร้างของข้อมูล

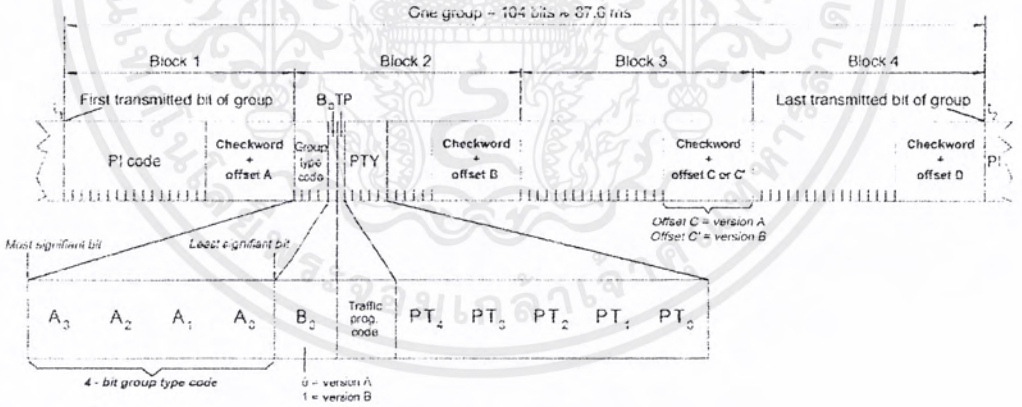
โครงสร้างของข้อมูล 1 group จะมี 4 block แต่ละ block มี 26 bit ดังนั้น 1 group มีทั้งหมด 104 bit ดูได้จากรูปที่ 2.31

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.31 แสดง Group ที่ประกอบด้วย 4 block

2.6.2 รายละเอียดภายใน block ของข้อมูล



รูปที่ 2.32 แสดงรายละเอียดภายใน block

จากรูปที่ 2.32 มีข้อสังเกตดังนี้

block ที่ 1 ประกอบด้วย

- PI code (Program Identification) ซึ่งจะเป็นรหัสประเทศของแต่ละประเทศ (16 bit)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

- Checkword + offet A (10 bit) ใช้ตรวจสอบความผิดพลาด

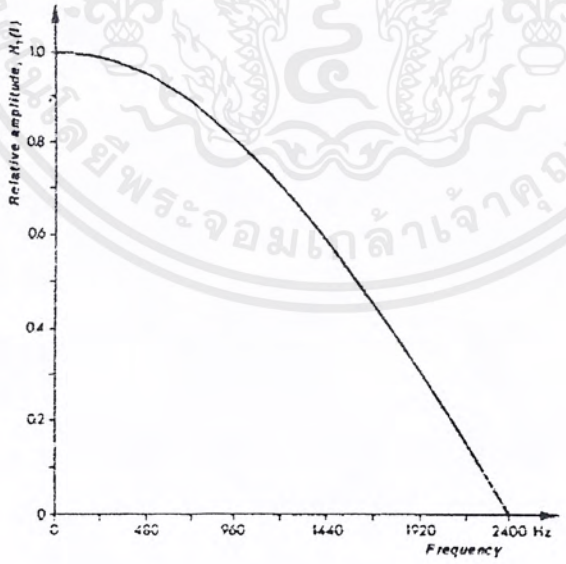
block ที่ 2 ประกอบด้วย

- Group type code จะเป็นตัวบอกว่า frame นี้มีหน้าที่หลักคืออะไร เช่น การส่ง pager, radio package (4bit)
- Bo เป็นตัวบอก version ซึ่งมี 2 version คือ A และ B (1 bit)
- TP (Trafffic Program Identification) เป็นตัวบอกว่าระบบนี้ส่งสัญญาณด้วยระบบอะไรเช่น บอกว่าเป็นระบบ RDS เป็นต้น (bit)
- PTY (Program Type) เป็นตัวแจ้ง program ว่าเป็น เพลง , ดนตรี หรือกีฬาเป็นต้น (5bit)
- Checkword + offet B (10 bit) ใช้ตรวจสอบความผิดพลาด

block ที่ 3 และ 4

- ภายในช่องว่างนั้นเราจะส่งข้อมูลอะไรก็ได้
- Checkword + offet C (10 bit) ใช้ตรวจสอบความผิดพลาด

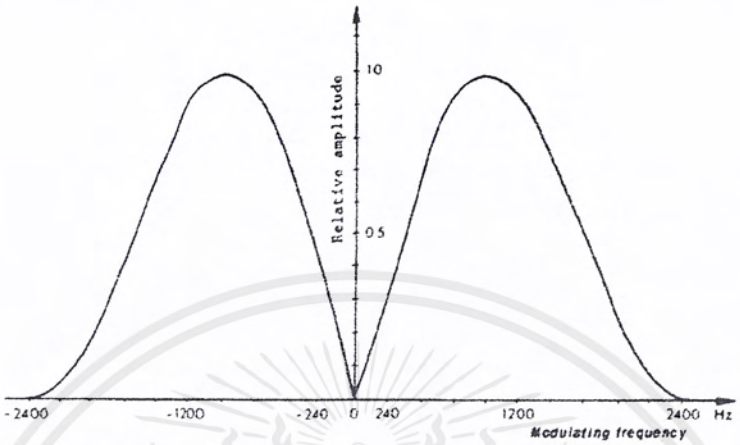
เมื่อผ่าน shaping filter แล้ว เมื่อพิจารณา Amplitude response ใน frequency domain แสดงได้ดังรูปที่ 2.33 ซึ่งเป็นไปตามข้อกำหนดมาตรฐานของ EBU



รูปที่ 2.33 Amplitude response ของ data-shaping filter

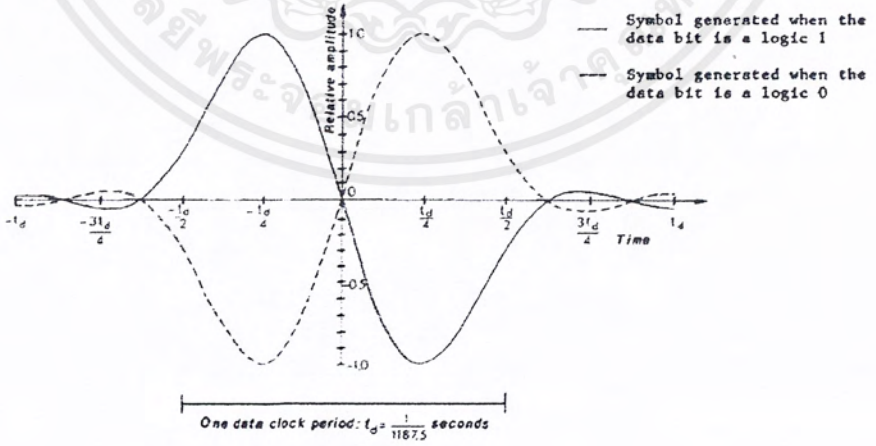
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

พิจารณารูปที่ 2.34 เป็น spectrum ของ biphase ที่เกิดขึ้นจริง ที่ผ่าน shaping filter แล้ว



รูปที่ 2.34 แสดง spectrum ของ biphase coded radio-data signal

จากรูปที่ 2.35 แสดงเ Timefunction ของ biphase signal ที่เกิดขึ้นจริงที่ผ่าน shaping filterแล้ว



รูปที่ 2.35 แสดง Time-function ของ biphase signal

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 3

การออกแบบวงจรทดลอง

3.1 การออกแบบวงจรด้านส่ง

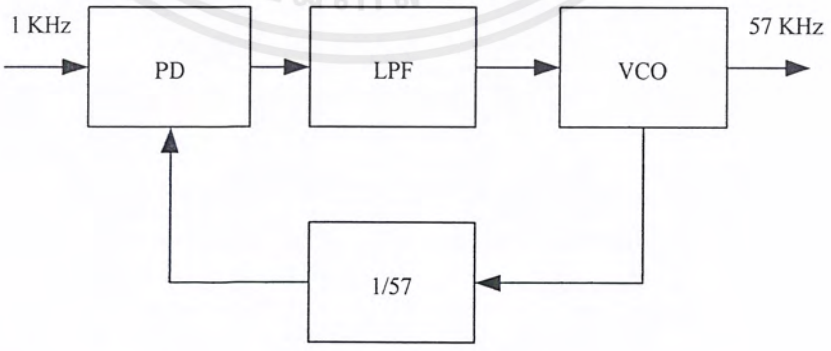
3.1.1 วงจรภาคส่งของระบบอาร์ดีเอส (RDS)

ประกอบด้วย 2 ส่วน ได้แก่

1. วงจรสร้างความถี่คลื่นพาห์ย่อย 57 *KHz*
2. วงจรกำเนิดสัญญาณคูณไบเฟสแบบ Direct Digital synthesizer (DDS)

3.1.1.1 วงจรกำเนิดความถี่คลื่นพาห์ย่อย 57 KHz

สำหรับวงจรกำเนิดความถี่คลื่นพาห์ย่อย 57*KHz* เราจะใช้วงจรที่มีเสถียรภาพทางความถี่ที่คงที่ จึงใช้การสังเคราะห์ความถี่ที่ได้จากคริสตอลออสซิลเลเตอร์ผลิตความถี่ 10.24 *MHz* แล้วนำมาหารให้เหลือความถี่ 1 *KHz* ซึ่งจะเป็นความถี่อ้างอิงของวงจรสร้างความถี่คลื่นพาห์ย่อย 57 *KHz* แสดงดังรูปที่ 3.1

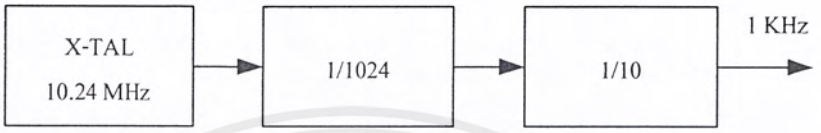


รูปที่ 3.1 แสดงบล็อกไดอะแกรมของวงจรสร้างความถี่คลื่นพาห์ย่อย 57 KHz

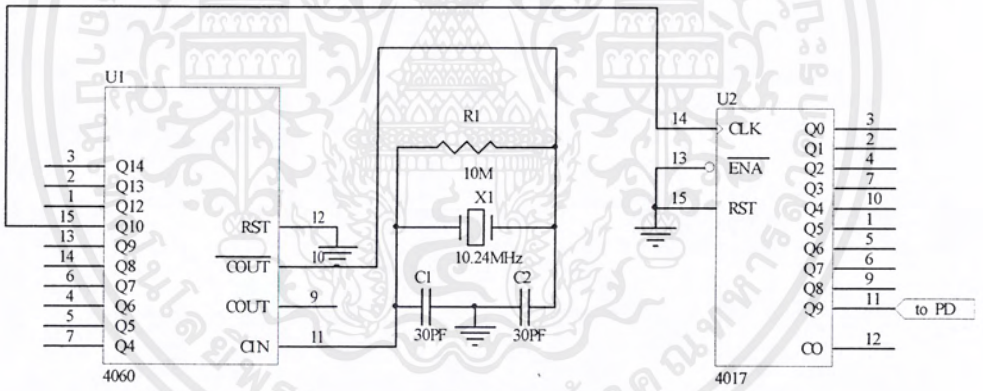
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.1.1.2 วงจรสร้างความถี่อ้างอิง 1 KHz

วงจรสร้างความถี่อ้างอิงจะมีบล็อกไดอะแกรมดังรูปที่ 3.2 และจากรูปบล็อกไดอะแกรม เราสามารถเขียนเป็นวงจรดังรูปที่ 3.2



รูปที่ 3.2 แสดงบล็อกไดอะแกรมของวงจรสร้างความถี่อ้างอิง 1 KHz



รูปที่ 3.3 แสดงวงจรสร้างความถี่อ้างอิง 1 KHz

จากรูปที่ 3.3 ความถี่ที่ได้จาก XTAL 10.24 *MHz* จะเป็นความถี่ไซน์ เมื่อผ่านไปยังขา P_0 (ขา 10) ของ C-MOS เบอร์ 4060 และผ่านออกทางขา Q_{10} ซึ่งเป็นวงจรหาร 10 ก็จะได้ความถี่อ้างอิง 1 *KHz*

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.1.1.3 วงจรสร้างความถี่คลื่นพาห์ย่อย 57 KHz

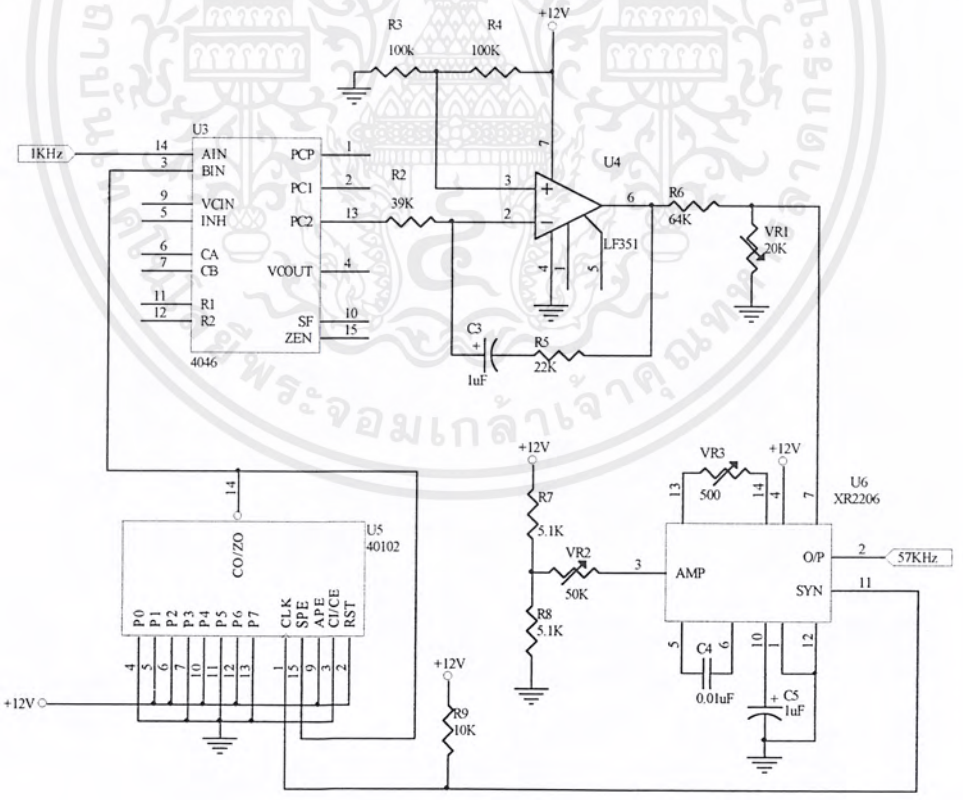
จากรูปที่ 3.4 จะพบว่าวงจรเฟสดีเทคเตอร์ใช้วงจรรวม C-MOS 4046 เอาท์พุทของวงจรเฟสดีเทคเตอร์คือ PD_2 (ขา13) สัญญาณเอาท์พุทของเฟสดีเทคเตอร์จะผ่านไปยังวงจรโลพาสฟิลเตอร์ ถึงแม้ว่าวงจรกรองในลูปจะเป็นวงจรขยายแบบอินเวอร์ติ้ง และวงจร VCO นี้เราใช้วงจรรวมเบอร์ XR-2206 ความถี่ที่เอาท์พุทของ XR-2206 นั้นกำหนดจากสมการ

$$f = \frac{0.32I}{C}$$

เมื่อ f = ความถี่ที่ขา 2 และ ขา 11

I = กระแสที่ไหลออกจากขา 7

C = ค่าตัวเก็บประจุที่ต่อระหว่างขา 5 และ ขา 6 ของ XR-2206

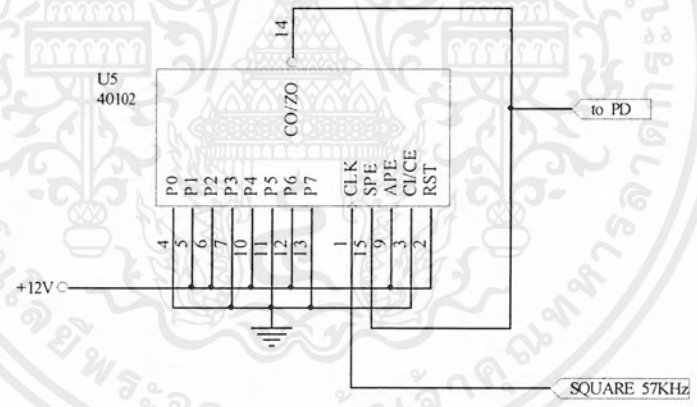


รูปที่ 3.4 แสดงวงจรสร้างความถี่คลื่นพาห์ย่อย 57KHz

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.1.1.4 วงจรหารในลูป

สำหรับวงจรหารในลูปใช้วงจรรวม C-MOS 40102 ซึ่งเป็นวงจรนับถอยหลัง (Binary Code Digital : BCD) สองหลักการต่อเป็นวงจรหารแบบโปรแกรมค่าได้ โดยการป้อนสัญญาณอินพุทที่ต้องการจะหารเข้าที่ขา 1 (ClocK) โดยสัญญาณที่ถูกหารจะให้เอาท์พุทที่ขา 14 (CO/ZD) ค่าที่จะต้องการหารสามารถตั้งค่าได้ที่ขา $P_0 - P_7$ โดยค่า P_7 เป็นบิทที่มีนัยสำคัญที่สุด และค่า P_0 เป็นบิทที่มีนัยสำคัญน้อยที่สุด สำหรับการโปรแกรมค่า $P_0 - P_7$ จะให้ค่าเท่ากับจำนวนที่ต้องการหารลบหนึ่ง โดยถ้าต้องการหาร 57 ต้องโปรแกรมค่า $P_0 - P_7$ ให้มีค่า 56 โดยให้ P_1, P_2, P_4, P_6 เป็นลอจิก 1 หรือต่อแรงดับ $+12\ V$ และค่า P_0, P_3, P_5, P_7 เป็นลอจิก 0 หรือต่อลงกราวน์



รูปที่ 3.5 แสดงวงจรหาร 57

3.1.1.5 วงจรกรองในลูป

การเลือกค่า VCO เกนต้องเลือกให้มีขนาดต่ำ เพื่อป้องกันมิให้เกิดการแกว่ง ของความถี่เนื่องจากการมอดูเลทสัญญาณรบกวนเข้าที่ VCO หรือที่เรียกว่า จิทเตอร์ (Jitter) โดยออกแบบให้ VCO เกนเท่ากับ 500 Hz/V ความถี่ศูนย์กลางของ VCO จะมีขนาดประมาณ 57 KHz สำหรับวง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จรกรองในลูปเลือกใช้วงจรกรองชนิดแอคทีฟ ซึ่งสมการความถี่ธรรมชาติของลูปซึ่งเป็นลูปอันดับ 2 แสดงได้ดังนี้คือ

$$\omega_n = (K_o K_d)/NT_1 \tag{3.1}$$

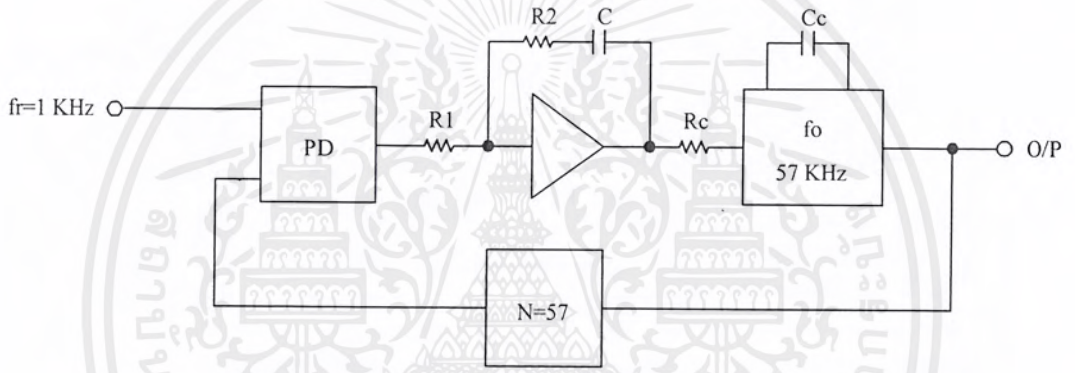
และค่าแดมปิ้งแฟคเตอร์ของลูป คือ

$$\zeta = (\omega_n T_2)/2 \tag{3.2}$$

โดย

$$T_1 = R_1 C \tag{3.3}$$

$$T_2 = R_2 C \tag{3.4}$$



รูปที่ 3.6 แสดงโครงสร้างของวงจร PLL สำหรับสังเคราะห์ความถี่ 57 KHz สำหรับการพิจารณาวงจรกรองของลูป

สำหรับการกำหนดค่าความถี่ธรรมชาติของลูปกำหนดให้มีค่าเท่ากับ 10 Hz ซึ่งค่าเวลาเซทติ้ง (Setting-time : ts) จะประมาณได้ $ts = 71\ ms$ ซึ่งเป็นค่าที่ยอมรับได้ สำหรับการออกแบบลูปที่ไม่ได้เปลี่ยนแปลงความถี่ของลูปตลอดการใช้งาน สำหรับเฟสดีเทคเตอร์เกน K_d มีค่าเท่ากับ

$$K_d = (VCC)/4\pi \tag{3.5}$$

โดยการออกแบบเลือกใช้ VCC ขนาด 12 V ดังนั้น K_d มีค่าเท่ากับ 0.95 V/rad สำหรับการกำหนดค่าเกนของ VCO ซึ่งใช้วงจรรวม XR-2206 โดยค่า VCO เกนได้จากดาต้าชีทคือ $K_o = -0.32/R_c C_c$

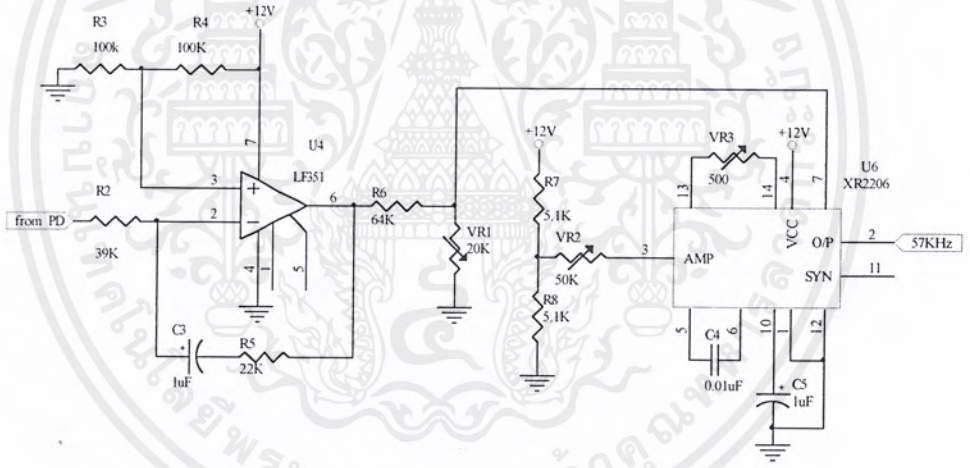
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

โดย R_c เป็นค่าความต้านทานที่อนุกรมระหว่างเอาท์พุทของวงจรกรองในลูป และขาอินพุทแรงดันสำหรับควบคุมความถี่ของ XR-2206 C_c เป็นค่าคาปาซิแตนซ์ ที่ใช้ควบคุมของความถี่ VCO สำหรับการออกแบบให้ $K_o = 500\ Hz/V$ ถ้าให้ C_c มีขนาด 0.01 μF แล้วค่า R_c จะมีขนาดเท่ากับ 64 $K\Omega$ ดังนั้น สมการ (3.3) และสมการ (3.4) ถ้าให้ค่าความถี่ธรรมชาติของลูปเท่ากับ 10 Hz และค่าแดมปิ้งแฟคเตอร์ของลูปเท่ากับ 0.707 ถ้ากำหนดค่า C ของวงจรกรองในลูปเท่ากับ 1 μF หา R_1, R_2 ในวงจรกรองของลูปได้คือ

$$R_1 = (K_o K_d) / N(\omega_n^2)C \tag{3.6}$$

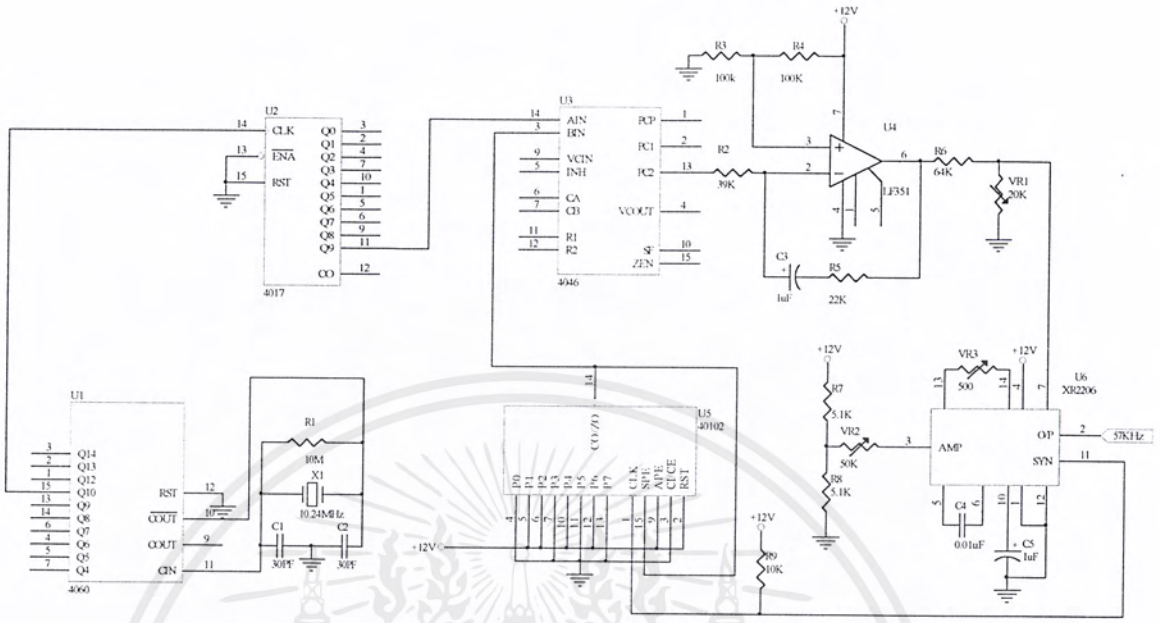
$$R_2 = (2\zeta) / \omega_n C \tag{3.7}$$

โดย R_1 มีค่าเท่ากับ 39.948 $K\Omega$ และ R_2 มีค่าเท่ากับ 22.5 $K\Omega$ โดยแสดงส่วนของวงจรกรอง และวงจรรวม XR-2206 ที่ใช้สำหรับ VCO ดังรูปที่ 3.7



รูปที่ 3.7 แสดงวงจร VCO และวงจรกรองของลูป

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

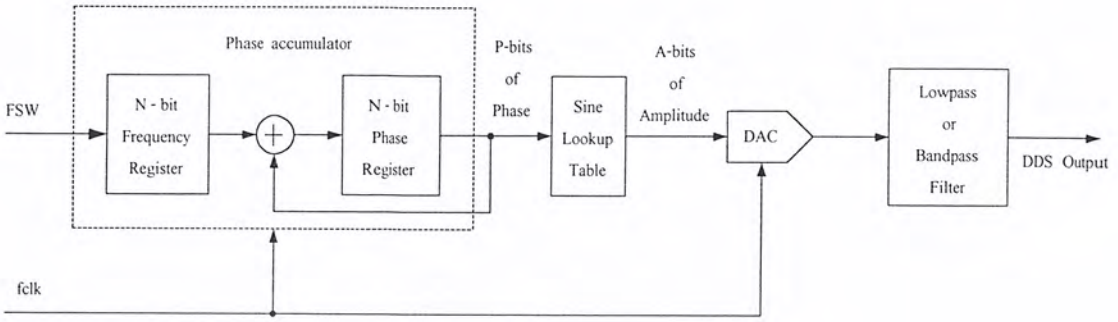


รูปที่ 3.8 แสดงวงจรสร้างความถี่คลื่นพาห์ย่อย 57 KHz ทั้งหมด

3.1.2 วงจรกำเนิดสัญญาณคูณไบเฟสแบบ Direct Digital Synthesizer (DDS)

วิธีของ Direct Digital Synthesizer (DDS) แสดงดังรูปที่ 3.9 จะเป็นวงจรที่อาศัยการจัดเก็บข้อมูลลงในรอม โดยข้อมูลที่อยู่ในรอมจะเป็นตัวอย่างของรูปคลื่นที่เป็นไซน์แบบต่าง ๆ ซึ่งเราเรียกการจัดเก็บข้อมูลลงในรอมว่า “LUT” (sine-look up table) โดยถ้ามีความถี่ที่เป็นสัญญาณดิจิตอลที่ตรงกับ LUT ในตำแหน่งนั้นมันก็จะให้ข้อมูลในตำแหน่งนั้นออกมา

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.9 แสดงบล็อกไดอะแกรมของ DDS System

จากรูปจะพบว่าที่เฟส แอคคิวมูเลเตอร์จะยอมรับความถี่ที่ตรงกับความถี่ของเวิร์ด (Word) ที่เราตั้งไว้ (Frequency Setting Word : FSW) ซึ่งใช้ในการหาเฟส และในเฟส แอคคิวมูเลตอร์จะมีดิจิตอลเวิร์ด (Digital Word) ที่ใช้ในการหาความถี่ที่เป็นรูปคลื่นไซน์ และที่เอาท์พุทของเฟสแอคคิวมูเลเตอร์จะเป็นไบนารี่เวิร์ด (Binary Word) ซึ่งจะเป็นตัวไปกระตุ้น LUT ถ้ามันตรงกับข้อมูลใดใน LUT มันก็จะให้เอาท์พุทที่ตรงกับความถี่นั้นออกมา โดยข้อมูลที่ออกมาจะเป็นไบนารี่บิท โดยไบนารี่บิทนี้เมื่อผ่าน DAC และผ่านโลพาส ฟิลเตอร์ มันก็จะให้สัญญาณที่เป็น sinusodial ออกมา โดยความถี่ของเอาท์พุทของระบบ n-bit หาได้จากสูตร

$$f_0 = \frac{m \times f_{clk}}{2^n} \tag{3.8}$$

ซึ่ง m คือ FSW

n คือจำนวนบิทของเฟส แอคคิวมูเลเตอร์ที่เป็นไปได้

f_{clk} คือสัญญาณนาฬิกา (generator clock frequency)

สัญญาณเอาท์พุทที่ได้จากดีดีเอส เราจะได้ไบเฟส ซิมโบ (biphase symbol) ซึ่งการใช้ไบเฟสซิมโบจะลดการรบกวนที่จะไปรบกวนเฟสล็อกลูปของสเตอริโอดีโค้ดเดอร์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.1.2.1 ไบเฟส ซิมโบ (Biphase Symbol Generator)

ไบเฟสซิมโบ เจนเนอเรเตอร์เป็นมาตรฐานของ CENELEC โดยมันจะเกี่ยวข้องกับฟังก์ชั่นของเวลา โดยมีสูตร

$$u(t) = \pm\frac{3}{4}\cos(4\pi x).\frac{1}{1/x - 64x} - \frac{1}{9/x - 64x} \qquad (3.9)$$

ซึ่ง $x = \frac{t}{t_d} = t.11875$ sec

โดยสูตรนี้อธิบายได้ดังนี้

ไบเฟส เอ็นโค้ดเดอร์จะแทนลอจิก "1" ซึ่งจะแทนอิมพัลส์บวก (Positive Impulse) ที่เวลา $t = 0$ และจะมีขั้วตรงกันข้ามที่เวลาดีเลย์ไป $t_d/2$ ซึ่ง t_d เป็นเวลาของบิทดูเลชั่น (bit duration) ในกรณีของลอจิก "0" ก็จะตรงกันข้ามกับลอจิก "1"
ไบเฟส ซิมโบ จะมีสมการคณิตศาสตร์ดังนี้

$$e(t) = \pm\left(\delta(t) - \delta(t - \frac{t_d}{2})\right) \qquad (3.10)$$

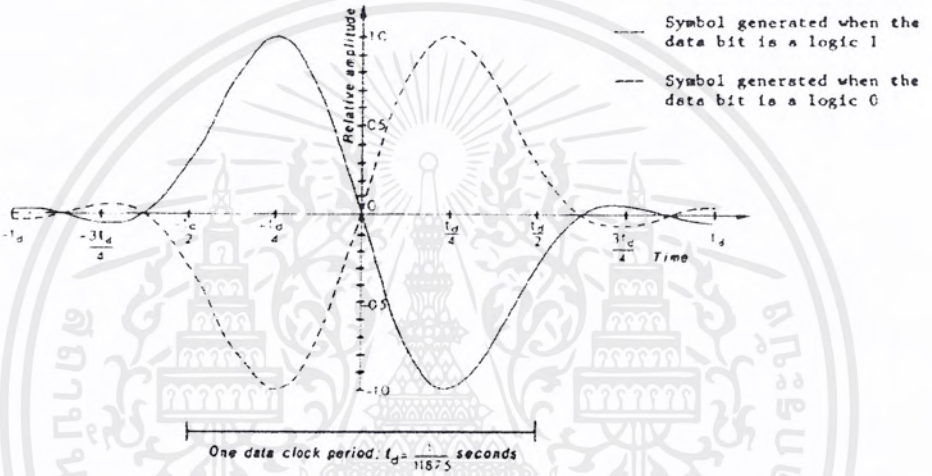
จากสมการข้างต้นเป็นขบวนอิมพัลส์ที่ถูกเชฟปิ้ง ฟิลเตอร์แล้ว รูปที่ 3.10 แสดงถึงผลตอบสนองที่ผ่านฟิลเตอร์แล้ว ซึ่งจากรูปนี้ใช้ในการหาสเปคตรัมของไบเฟส ซิมโบ (ในกรณีนี้เราจะพิจารณาเฉพาะข้อมูลที่เป็นลอจิก "1") เราจะใช้ฟูเรียร์ทรานฟอร์มหาซึ่งจะได้สูตรดังนี้

$$\begin{aligned}
F[e(t)] &= E[f] \\
&= F\left[\delta(t) - \delta(t - \frac{t_d}{2})\right] \\
&= F[\delta(t)] - F\left[\delta(t - \frac{t_d}{2})\right] \\
&= 1 - 1.e^{-j2\pi ft_d/2} \\
&= e^{-j\pi ft_d/2}\left[e^{j\pi ft_d/2} - e^{-j\pi ft_d/2}\right] \\
&= 2je^{-j\pi ft_d/2}\sin(\pi f\frac{t_d}{2})
\end{aligned}$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การคูณกันทั้งหมดของขนาดของทรานเฟอร์ฟังก์ชั่นของฟิลเตอร์เราจะได้เอาท์พุทเรสปอนส์ ผลต่อมาเราจะได้

$$|U[f]| = \begin{cases} 2\sin\frac{\pi f t_d}{2}.\cos\frac{\pi f t_d}{4} & ;\frac{2}{t_d} \le f \le \frac{2}{t_d} \\ 0 & ;elsewere \end{cases} \qquad (3.11)$$



รูปที่ 3.10 แสดงถึงฟังก์ชั่นทางเวลาของซิงเกิลไบเฟส ซิมโบ โดยเส้นทึบแทนลอจิก 1 และเส้นปะแทนลอจิก 0

3.1.2.2 การออกแบบวงจรดีดีเอสที่ใช้ในการทดลอง

เราจะเก็บตัวอย่างของรูปคลื่นไว้ในรอม และจะใช้ความถี่ที่เป็นแอดเดรสไปกวาดข้อมูลจากรอมออกไป และผ่านวงจร DAC (Digital to analog converter) และจะใช้ IIR/FIR filter เป็นตัวฟิลเตอร์ ข้อได้เปรียบของวิธีนี้คือจะลดขนาดของวงจรได้อย่างมาก และกินกำลังไฟน้อย วิธีนี้เราจะพิจารณาดาต้าบิท 3 บิท โดยเราจะพิจารณาบิทตรงกลางเป็นด้าต้าบิทปัจจุบัน และอีก 2 บิทที่เหลือโดยด้านซ้ายเป็นดาต้าบิทในอดีต และด้านขวาเป็นดาต้าบิทตัวถัดไปที่จะเข้ามา โดยจำนวน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

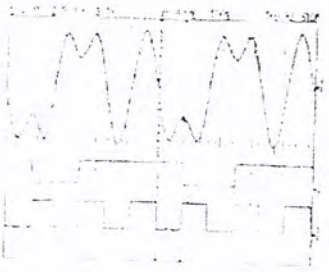
ตัวอย่างรูปคลื่นที่จะเป็นไปได้คือ $2^3 = 8$ ตัวอย่างรูปคลื่น โดยตัวอย่างรูปคลื่นนี้จะแบ่งเป็น 8 เพจ

ผลของโคไซน์ ฟิลเตอร์ จะลดขนาด Intersymbol Interference (ISI) โดยตัวอย่างรูปคลื่นนี้พิจารณาได้ดังตารางที่ 3.1

tribit	000	001	100	101	010	011	110	111
waveform								

ตารางที่ 3.1 แสดงตัวอย่าง 8 ตัวอย่างรูปคลื่นที่เก็บไว้ในรอม

ระบบอาร์ดีเอส เป็น Double sideband (DSB-SC) เราจะใช้ *DAC* 0830 ซึ่งทำหน้าที่แปลงสัญญาณดิจิตอลเป็นอนาล็อก และมันยังเป็น 4 Quadrant multiplying โดยจะอาศัย Vref ที่เป็นคลื่นพาห์ย่อย 57 *KHz* ที่เป็นรูปคลื่นไซน์ ที่จะไปคูณกับตัวอย่างรูปคลื่นที่ออกมาจากรอม ซึ่งในโครงงานนี้ตัวอย่างรูปคลื่นในแต่ละรูปจะมีจำนวนจุดอยู่ 48 ตำแหน่ง เราต้องอาศัยวงจรนับ 48 แบบไบนารี่ โดยจะทำการหารความถี่ 57 *KHz* ให้เหลือ 1.1875 *KHz* ซึ่งจะสัมพันธ์กับสัญญาณนาฬิกาของระบบอาร์ดีเอส คือ 1.1875 *KHz* ซึ่งความถี่ของสัญญาณนาฬิกานี้จะเป็นตัวไปขับข้อมูลออกมา และข้อมูลที่ขับออกมาจะผ่านวงจรดิฟเฟอเรนเชียล เอ็นโค้ดเดอร์ เพื่อป้องกันการกลับเฟสที่ภาครับ และต่อจากนั้นก็เข้าวงจร S/P Converter เพื่อใช้เป็นดาต้าบิท 3 บิทที่จะไปเลือกเพจตัวอย่างรูปคลื่น 8 รูปคลื่น

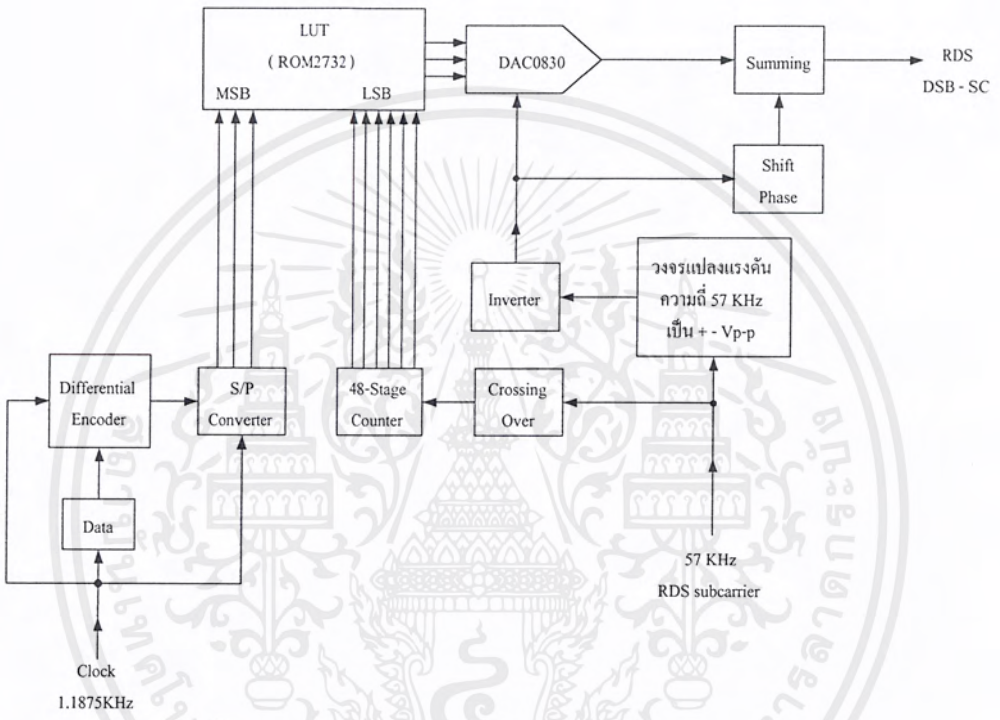


รูปที่ 3.11 แสดงรูปคลื่นของระบบดีดีเอสเมื่อพิจารณาข้อมูล 3 บิท ที่รับเข้ามา

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.1.2.3 วงจรดีดีเอสในการเข้ารหัสเพื่อกำหนดสัญญาณรูปคลื่น

วงจรที่ใช้ในการทดลองนี้จะมีบล็อกไดอะแกรมดังรูปข้างล่างนี้



รูปที่ 3.12 แสดงบล็อกไดอะแกรมของอาร์ดีเอส ที่ใช้ระบบ DDS System

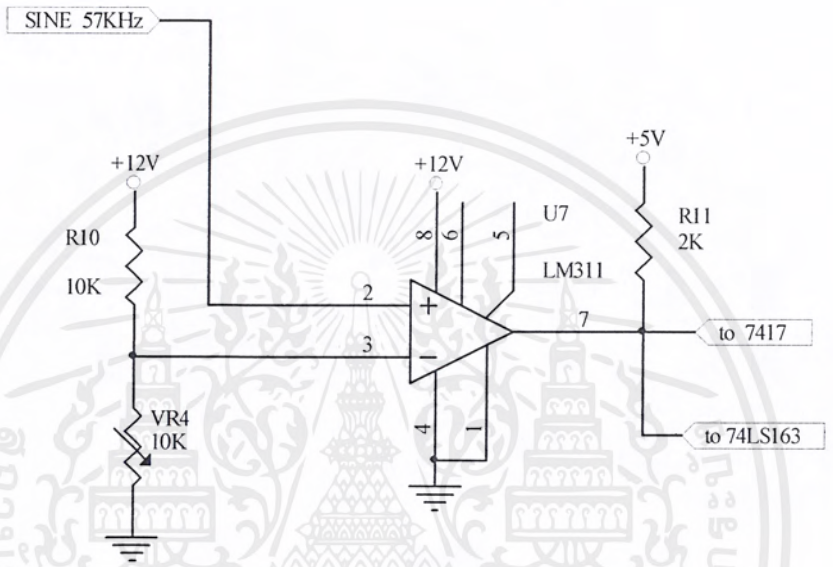
จากบล็อกไดอะแกรมเราสามารถเขียนเป็นวงจรจริง ๆ ในส่วนต่าง ๆ ได้ดังนี้

3.1.2.4 วงจรครอสซิ่งโอเวอร์

วงจรครอสซิ่งโอเวอร์จะทำการแปลงสัญญาณจากรูปคลื่นไซน์ 57 KHz เป็นรูปคลื่นสแควร์โดยที่เฟสยังเหมือนเดิม โดยทางเอาท์พุทจะมีตัวต้านทาน $2K\Omega$ pull-up และต่อกับแรงดันไฟ + 5V เพื่อให้ได้รูปคลื่นสแควร์ ซึ่งมีระดับแรงดันไฟประมาณ +5 V ไปเป็นสัญญาณ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

นาฬิกาให้กับวงจรนับ 48 แบบไบนารี่ และเรามี VR4 ปรับขนาดดิวตี้ไซเคิ้ลเพื่อให้ได้ดิวตี้ไซเคิ้ล 50 %

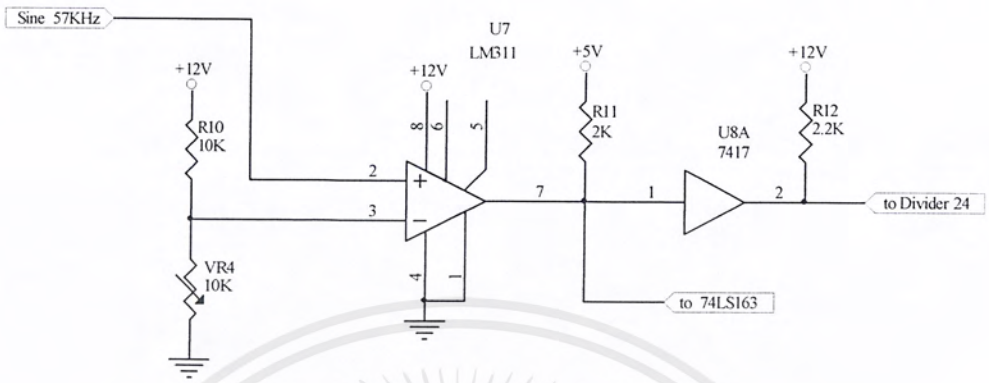


รูปที่ 3.13 แสดงวงจรครอสซิ่งโอเวอร์

3.1.2.5 วงจรเพิ่มระดับแรงดันรูปคลื่นสแควร์ 57 KHz จาก +5 V เป็น+12 V

วงจรนี้แปลงแรงดันเพื่อจะไปขับวงจรหาร 24 ซึ่งวงจรรวมที่ทำหน้าที่นี้คือวงจรรวม C -MOS 40102 ที่ต้องการสัญญาณนาฬิกาที่มีระดับแรงดันไฟ +12 V_{P-P}

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

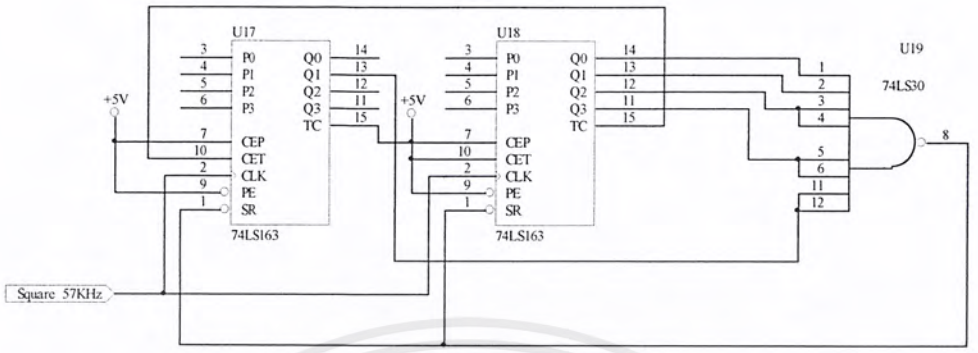


รูปที่ 3.14 แสดงวงจรเพิ่มระดับแรงดันรูปคลื่นสแควร์ 57 KHz จาก +5 V เป็น +12 V

3.1.2.6 วงจรนับ 48 แบบไบนารี่

วงจรนี้ทำหน้าที่ไปกวาดข้อมูลที่เป็นตัวอย่างรูปคลื่นที่อยู่ในรอมออกมาโดยมี 74LS163 เป็นวงจรรวมที่ทำหน้าที่เป็นวงจรนับ 48 สภาวะแบบไบนารี่ แต่เราต้องตั้งหาร 47 และจะมีการนำเอา Q_0, Q_1, Q_2, Q_3 ของ 74*LS*163 ตัวที่หนึ่ง (U18) และ Q_1 ของ 74LS163 ตัวที่สอง (U17) ไปเข้าแนนเกท 74LS30 (U19) เพื่อทำให้ระดับแรงดันเป็นศูนย์เพื่อไปรีเซ็ท 74LS163 ทั้งสองตัวให้ทำการนับ 48 โดยมีขา 1 เป็นตัวรีเซ็ท

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

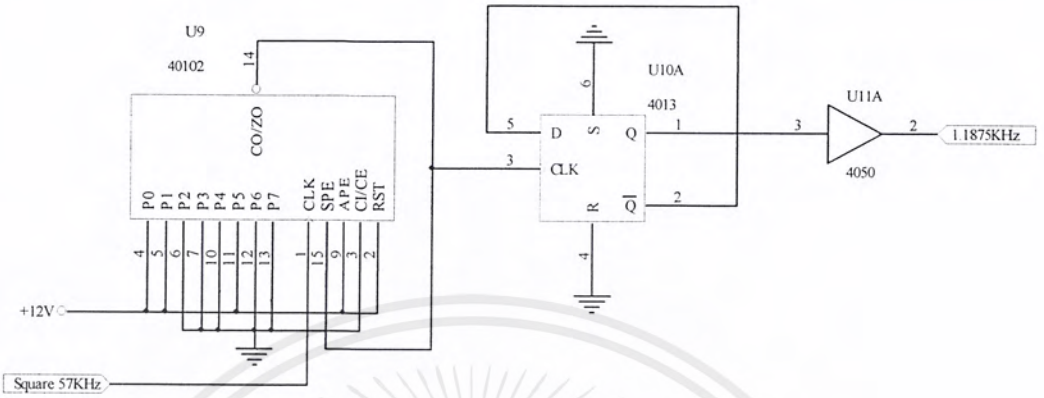


รูปที่ 3.15 แสดงวงจรนับ 48 แบบไบนารี่

3.1.2.7 วงจรหาร 24 และวงจรหาร2

สำหรับวงจรหาร 24 ใช้วงจรรวม C-MOS 40102 (U9) ซึ่งเป็นวงจรนับถอยหลัง (Binary Code Digital : BCD) สองหลักการต่อเป็นวงจรหารแบบโปรแกรมค่าได้ โดยการป้อนสัญญาณอินพุทที่ต้องการจะหารเข้าที่ขา 1 (ClocK) โดยสัญญาณที่ถูกหารจะให้เอาท์พุทที่ขา 14 (CO/ZD) ค่าที่จะต้องการหารสามารถตั้งค่าได้ที่ขา $P_0 - P_7$ โดยค่า P_7 เป็นบิทที่มีนัยสำคัญที่สุด และค่า P_0 เป็นบิทที่มีนัยสำคัญน้อยที่สุด สำหรับการโปรแกรมค่า $P_0 - P_7$ จะให้ค่าเท่ากับจำนวนที่ต้องการหารลบหนึ่ง โดยถ้าต้องการหาร 24 ต้องโปรแกรมค่า $P_0 - P_7$ ให้มีค่า 23 โดยให้ P_0, P_1, P_5 เป็นลอจิก 1 หรือต่อแรงดับ $+12\ V$ และค่า $P_2, P_3, P_4 P_6, P_7$ เป็นลอจิก 0 หรือต่อลงกราวน์ และที่เอาท์พุทของวงจรหาร 24 นี้เราจะได้สัญญาณรูปคลื่นสแควร์ 2.375 KHz และส่งต่อไปยังวงจรหาร 2 เพื่อให้ได้สัญญาณนาฬิกา 1.1875 KHz โดยใช้วงจรรวม C-MOS 4013 (U10A) และผ่านบัฟเฟอร์ ที่ใช้วงจรรวม C-MOS 4050 เพื่อลดแรงดันจาก $+12\ V$ ให้เหลือ $+5\ V$ ซึ่งเป็นระดับแรงดัน TTL

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

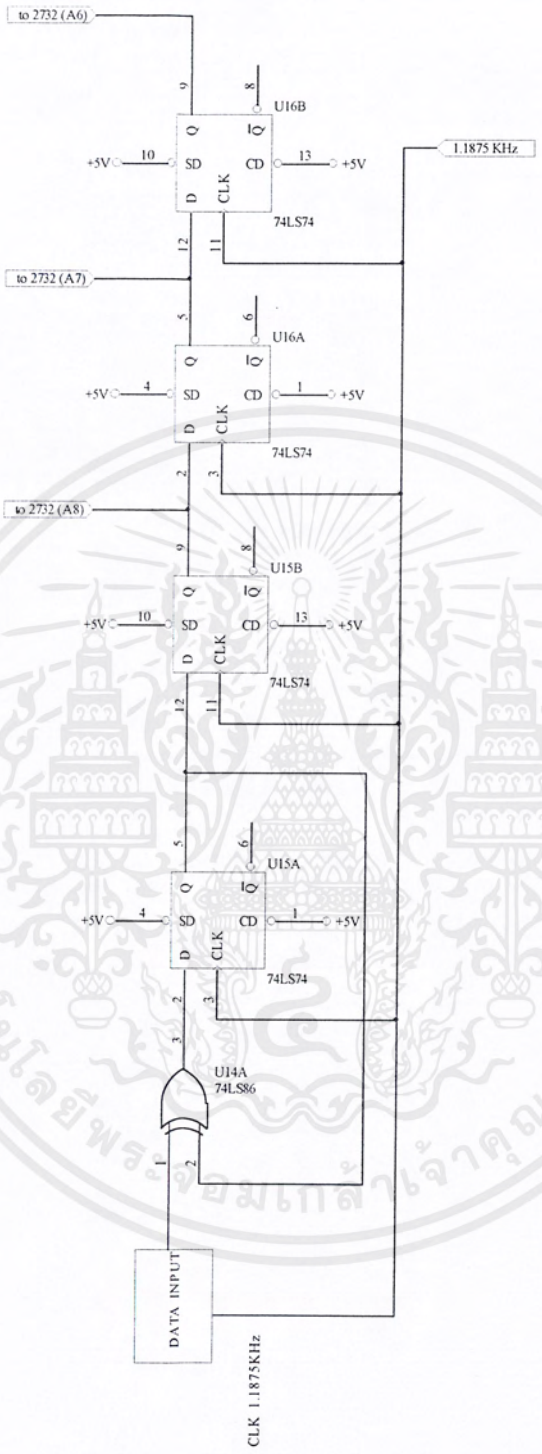


รูปที่ 3.16 แสดงวงจรหาร 24 และวงจรหาร 2

3.1.2.8 วงจรดิฟเฟอเรนเชียลเอ็นโค้ดเดอร์และวงจร S/P Converter

วงจรดิฟเฟอเรนเชียลเอ็นโค้ดเดอร์เราจะใช้เพื่อป้องกันการกลับเฟสของข้อมูลที่ด้านรับ โดยข้อมูลที่จะเข้าวงจรดิฟเฟอเรนเชียลจะเป็น Unipolar NRZ โดยวงจรดิฟเฟอเรนเชียลเอ็นโค้ดเดอร์ประกอบด้วยเอ็กซ์คลูซีฟออร์เกท 74*LS*86 (U14A) และ ดี-ฟลิปฟลอป 74*LS*74 (U15A) และในส่วนของวงจร S/P เราจะใช้ดี-ฟลิบฟลอป 74*LS*74 (U15B,U16A,U16B) เพื่อนำเอาท์พุทที่ได้ไปเลือกเพจของตัวอย่างรูปคลื่น 8 รูปคลื่นในรอม โดย $S/P1$ จะต่อกับ $A8$ ของ รอม 2732 , $S/P2$ จะต่อกับ $A7$ ของ รอม 2732 และ $S/P3$ จะต่อกับ $A6$ ของ รอม 2732 โดยอาศัยสัญญาณนาฬิกา 1.1875 *KHz*

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

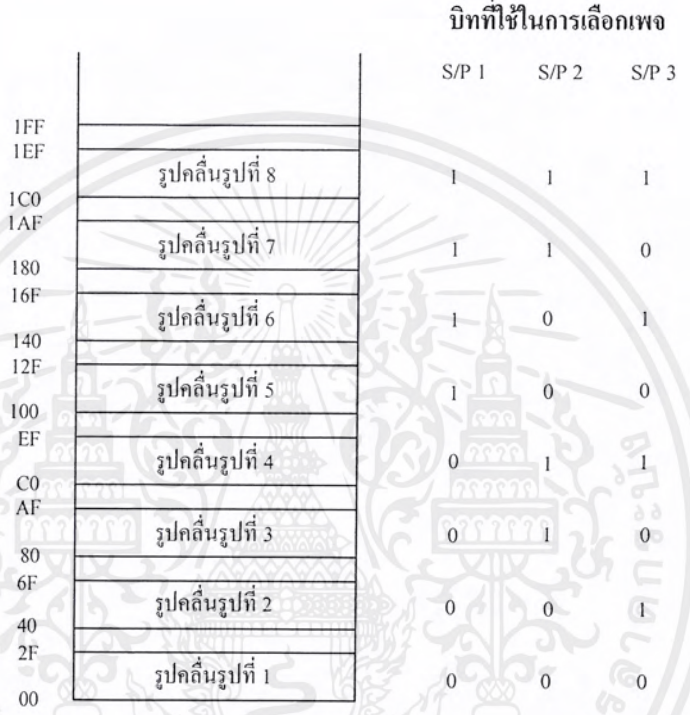


รูปที่ 3.17 แสดงวงจรดิฟเฟอเรนเชียลเอ็นโค้ดเดอร์และวงจร S/P Converter

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.1.2.9 การกวาดข้อมูลตัวอย่างรูปคลื่นไซน์ออกจากรอม

ในโครงงานนี้เราจะใช้รอมเบอร์ 2732 เพื่อบรรจุตัวอย่างรูปคลื่น 8 รูปคลื่น โดยเราจะใช้เนื้อที่ในรอมดังนี้



รูปที่ 3.18 แสดงการใช้เนื้อที่ในรอม

ซึ่งแต่ละเพจจะมีข้อมูลอยู่ 48 ตำแหน่ง จะต้องอาศัยวงจรนับ 48 แบบไบนารี่มากวาดข้อมูลในรอม 2732 และใช้วงจร S/P มาเป็นบิทที่ใช้ในการเลือกเพจ จาก 8 เพจที่บรรจุตัวอย่างรูปคลื่นในรอม โดย S/P จะแบ่งเป็น S/P1 , S/P2 และ S/P3 โดย S/P1 เป็นบิทที่จะเข้ามาใหม่ , S/P2 เป็นบิทปัจจุบันที่กำลังพิจารณา และ S/P3 เป็นบิทที่ผ่านมาในอดีต

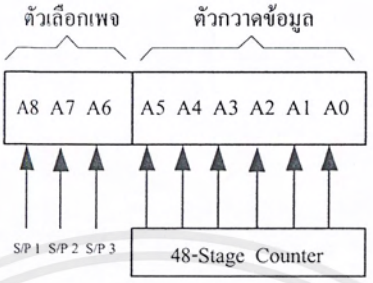
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รูปที่ 3.19 แสดงรูปคลื่นที่จัดเก็บในรอม

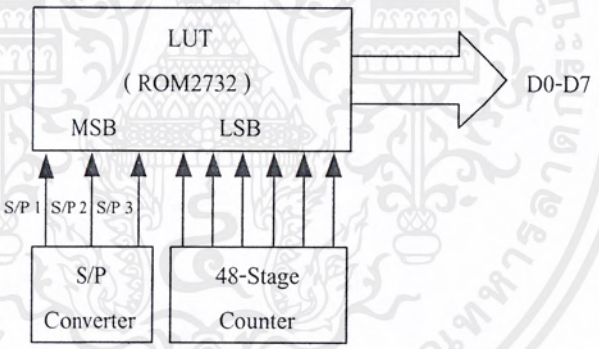
จากรูปที่ 3.19 เป็นตัวอย่างรูปคลื่นที่จัดเก็บในรอม เพื่อเป็นสัญญาณในการคูณกับวงจรรวม DAC 0830 ซึ่งมีลักษณะเป็นสัญญาณไบเฟส ซึ่งแต่ละรูปจะมีข้อมูลอยู่ 48 ตำแหน่ง เพื่อให้ได้รูปสัญญาณที่ตรงกับเพจที่เลือก

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากรูปที่ 3.20 วงจร S/P จะเป็น address ที่มีนัยสำคัญที่สุด และวงจรนับ 48 แบบไบนารี่ จะเป็น address ที่มีนัยสำคัญน้อยที่สุด

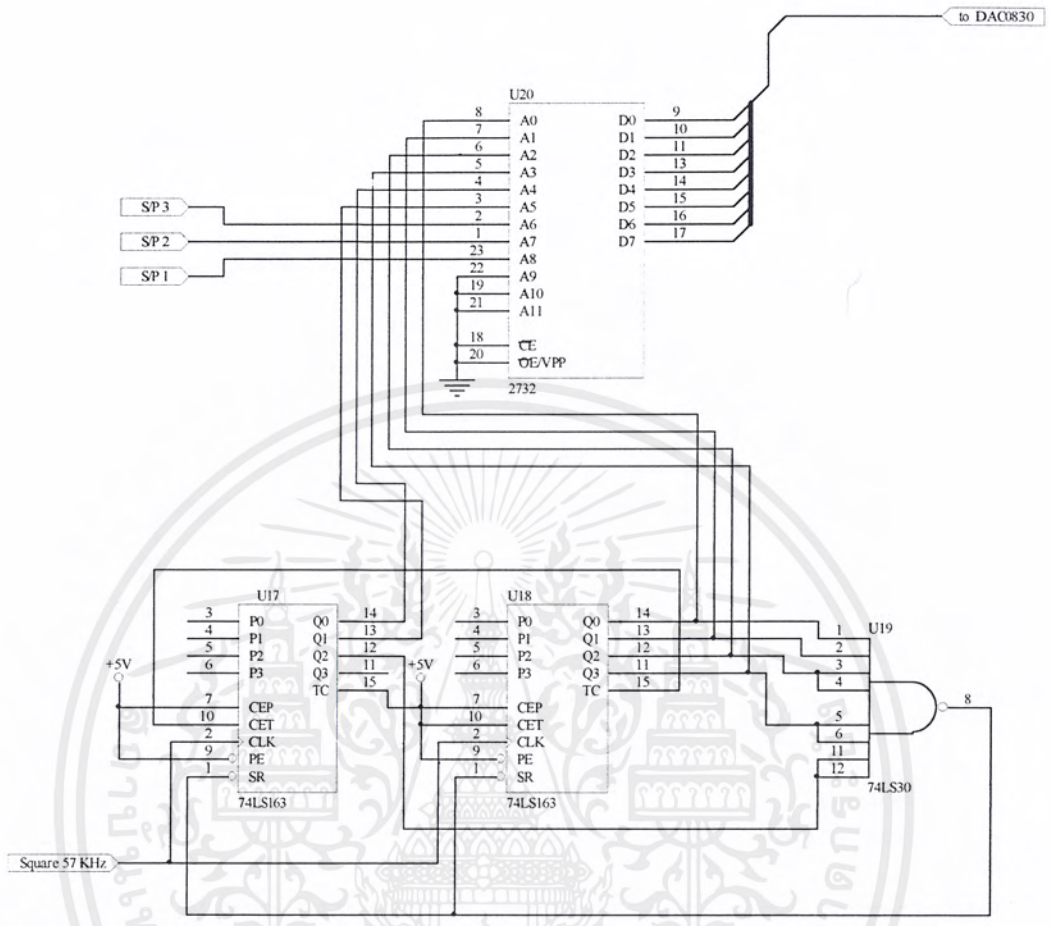


รูปที่ 3.20 แสดง address การเลือกเพจและ address ในการกวาดข้อมูล



รูปที่ 3.21 แสดงบล็อกไดอะแกรมในการเลือกเพจและกวาดข้อมูล

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

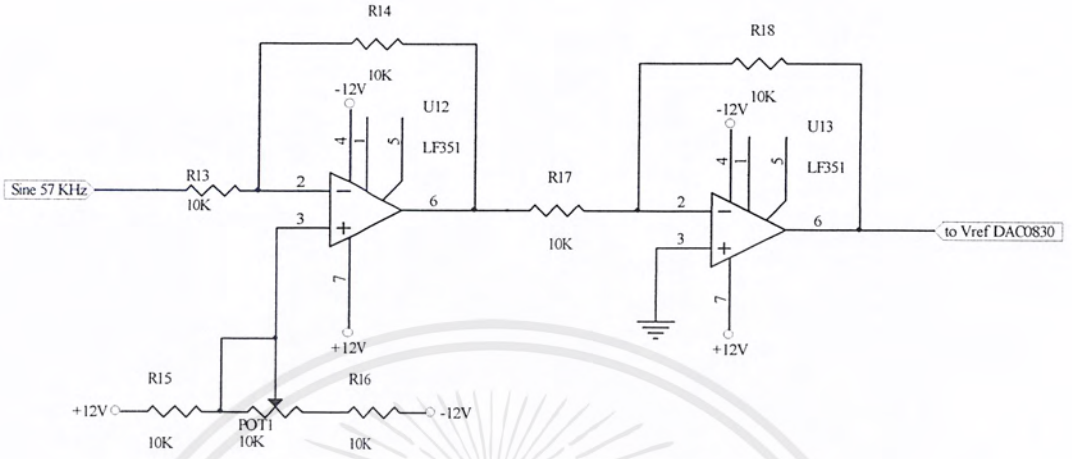


รูปที่ 3.22 แสดวงจรการกวาดข้อมูลรูปไซน์ออกจากรอม

3.1.2.10 วงจรแปลงสัญญาณความถี่ไซน์ 57KHzไปเป็นความถี่ไซน์ที่มีระดับแรงดัน $+ - V_{P-P}$

วงจรการแปลงระดับแรงดันนี้เพื่อใช้เป็น Vref ให้แก่วงจร DAC 0830 ที่มีการคูณในตัวเอง โดยมี POT 1 ทำหน้าที่แปลงระดับแรงดันให้ด้านบวกและด้านลบมีขนาดแรงดันที่เท่ากันและจะมี ออป-แอมป์ LF351 ทำหน้าที่กลับสัญญาณอีกครั้งเพื่อทำให้มีเฟสเหมือนเดิม

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

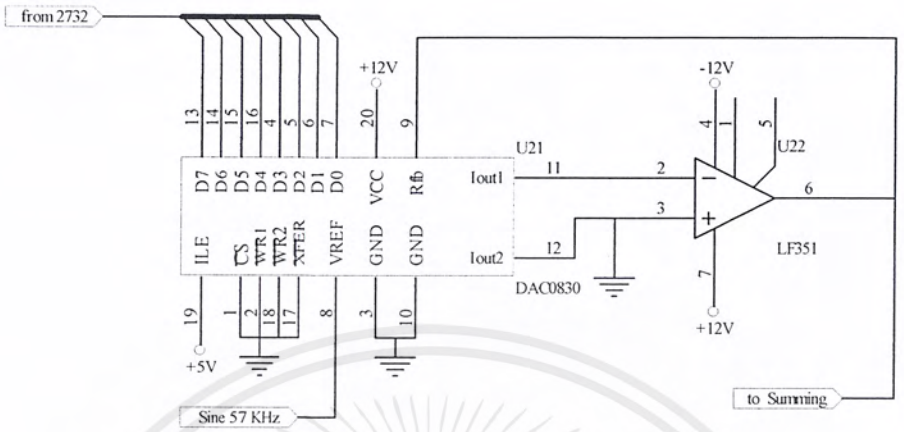


รูปที่ 3.23 แสดงวงจรแปลงสัญญาณความถี่ไซน์ 57 KHz ไปเป็นความถี่ไซน์ ที่มีระดับแรงดัน + - V_{P-P}

3.1.2.11วงจรแปลงจากดิจิตอลไปเป็นอนาล็อกแบบมีการคูณในตัวเอง แบบ 4 Quadrant

วงจรรวม DAC 0830 จะทำหน้าที่การแปลงจากดิจิตอลไปเป็นอนาล็อกและยังทำหน้าที่เป็นวงจรคูณแบบ 4 Quadrant และที่เอาท์พุทจะได้ผลการการคูณระหว่างความถี่คลื่นพาห์ย่อย 57 KHZ กับตัวอย่างรูปคลื่นที่มี 48 จุด เพื่อให้ได้รูปคลื่นการคูณที่เป็นไบเฟส ซิมโบ ซึ่งจะมีออป-แอมป์ LF 351 เป็นตัวช่วยเปรียบเทียบแรงดันเพื่อให้ได้ผลการคูณที่ออกจาก DAC 0830

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.24 แสดงวงจรแปลงจากดิจิตอลไปเป็นอนาล็อกแบบมีการคูณในตัวเองแบบ 4 Quadrant

3.1.2.12 วงจรปรับเฟสและวงจรรวมสัญญาณ

โดยจะมี VR5 เป็นตัวปรับเฟส โดยมีทรานเฟอร์ฟังก์ชั่นของแรงดันเอาท์พุทและอินพุท คือ

$$H(f) = \frac{1 - j(f/f_o)}{1 + j(f/f_0)} \qquad (3.12)$$

โดย $f_o = \frac{1}{2\pi RC}$

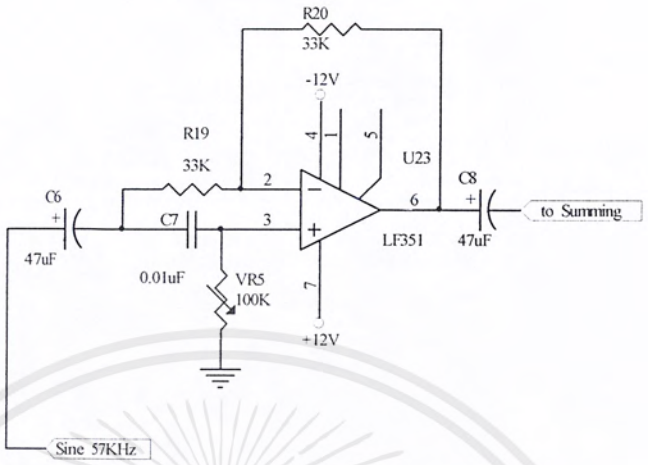
และมีเฟสทรานเฟอร์ฟังก์ชั่นแสดงได้คือ

$$\theta(f) = -2\tan^{-1}(f/f_o) \qquad (3.13)$$

(โดยที่ความถี่ f_0 เฟสเอาท์พุทจะเลื่อนล้าหลังไป –90 องศา)

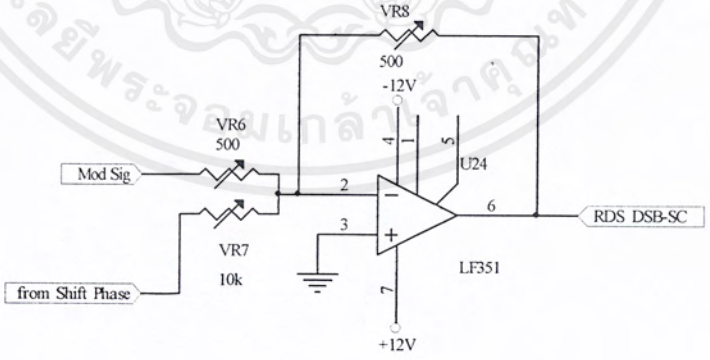
ในการออกแบบให้เอาท์พุทเลื่อนเฟสได้ 10-80 องศา เรากำหนดให้ใช้ C เท่ากับ 0.01 uF และใช้ค่า R ปรับค่าได้ขนาด 100 $K\Omega$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.25 แสดงวงจรปรับเฟส

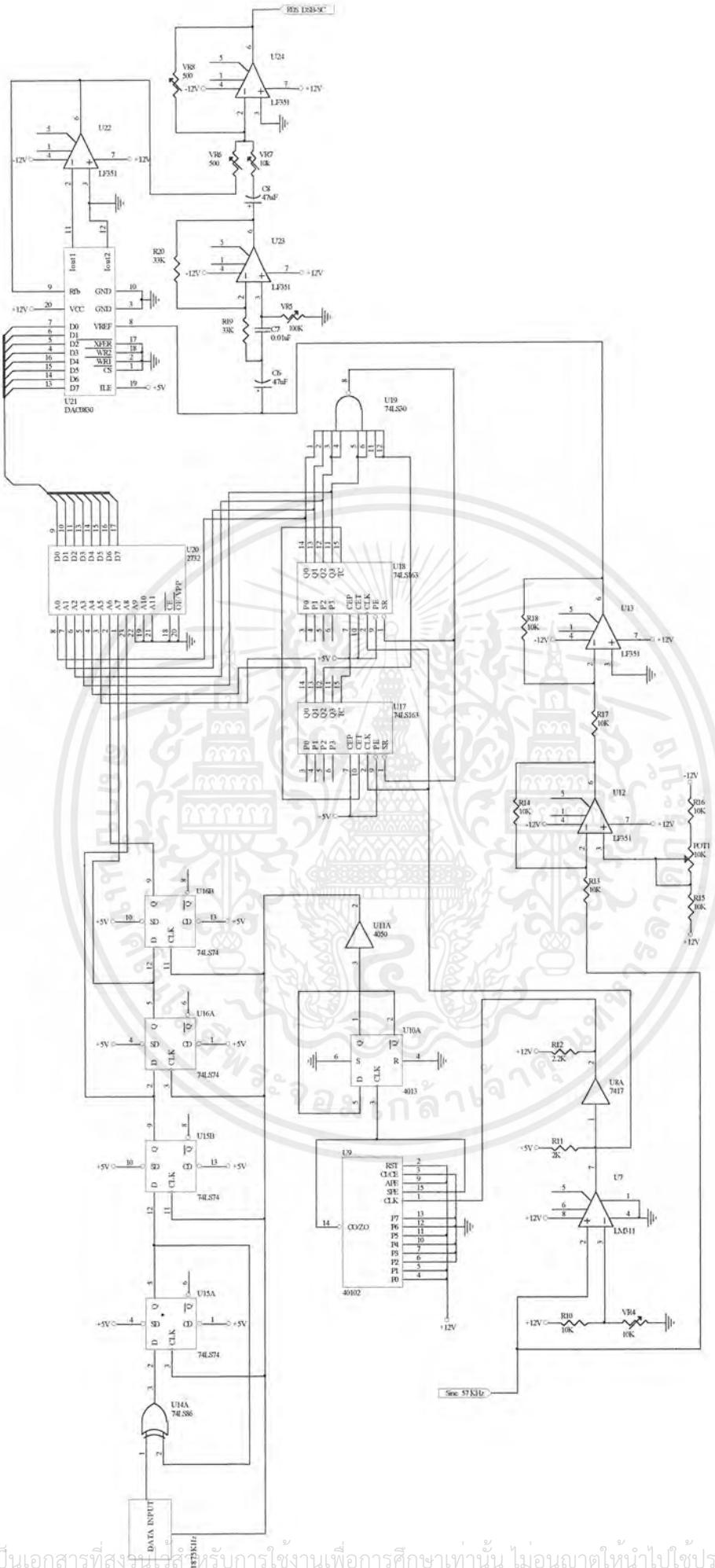
วงจรปรับเฟสนี้จะทำหน้าที่เป็นวงจร all- pass filter และออกจากวงจรนี้แล้วก็จะไปวงจรรวมสัญญาณ (Summing) โดยวงจรรวมสัญญาณจะทำการรวมสัญญาณที่ได้จากการคูณที่มาจาก DAC 0830 กับคลื่นพาห์ย่อย 57 KHz ที่มีการปรับเฟส



รูปที่ 3.26 แสดงวงจรรวมสัญญาณ

โดยมี VR6 , VR7 , VR8 ปรับขนาดของเอาท์พุทที่เหมาะสมเพื่อจะได้สัญญาณ RDS –DSB-SC

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.27 แสดงวงจรในส่วนของ Direct Digital Synthesizer ทั้งหมด

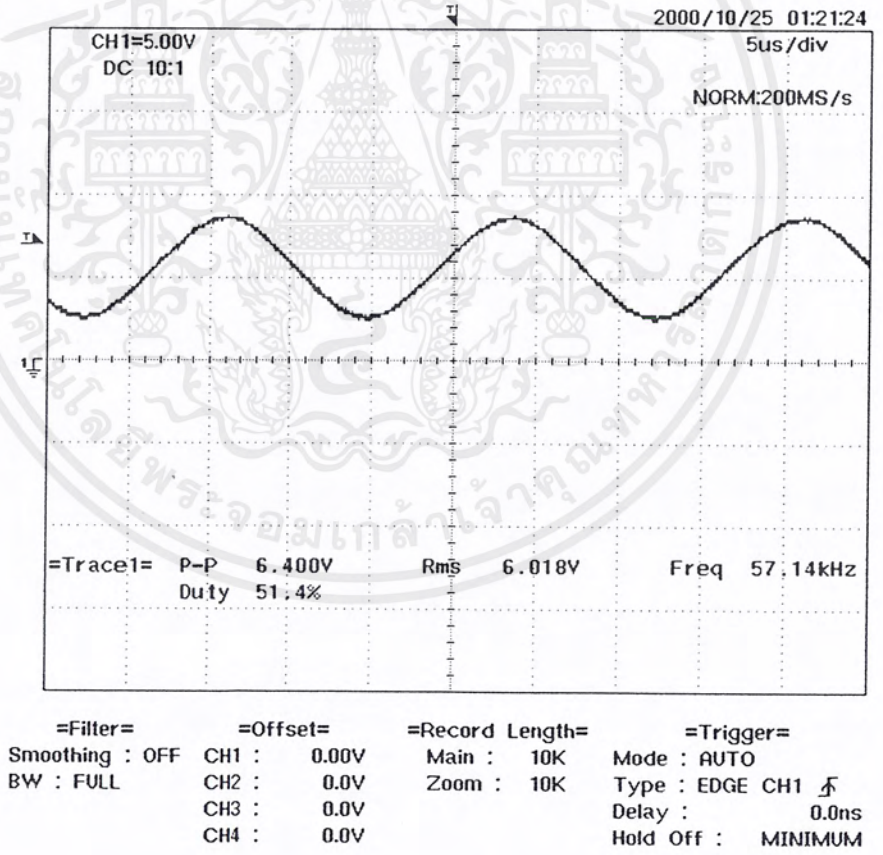
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 4

ผลการทดลอง

4.1 การทดลองสร้างความถี่คลื่นพาห์ย่อย 57 KHz

การสร้างความถี่คลื่นพาห์ย่อย 57 *KHz* เป็นความถี่ที่ใช้ในการมอดูเลทในระบบ RDS ซึ่งจะมีความถี่เป็นรูปคลื่นความถี่ไซน์ ซึ่งวัดที่ขา 2 ของ วงจรรวม $XR-2206$ ซึ่งมีผลดังนี้

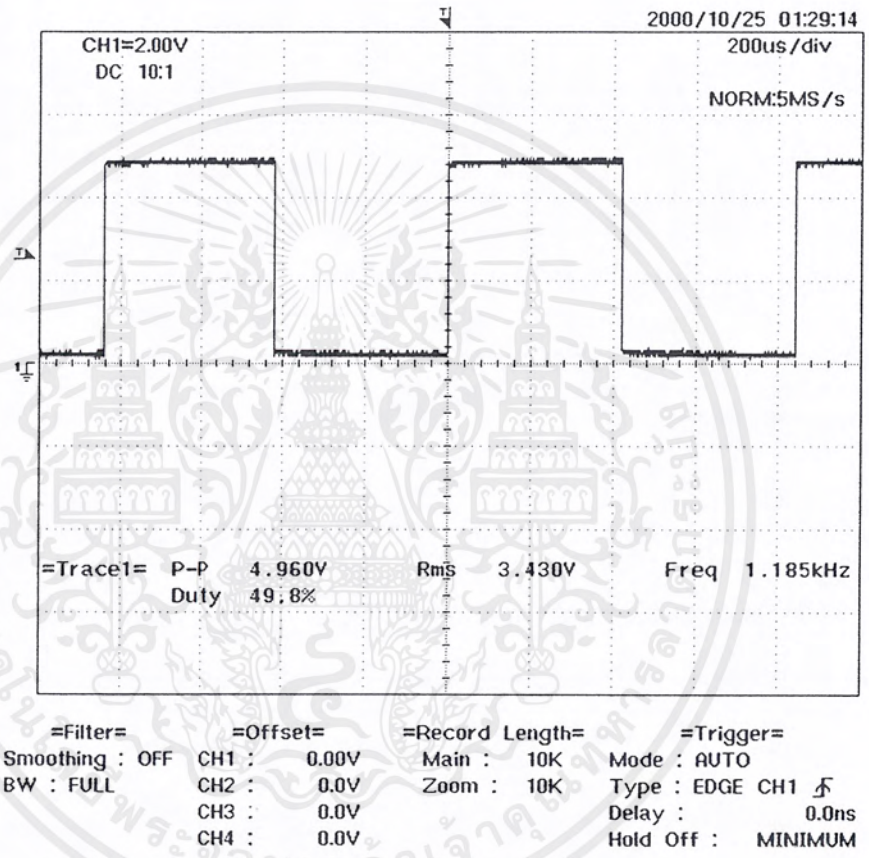


รูปที่ 4.1 แสดงความถี่คลื่นพาห์ย่อย 57 KHz

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4.2 การทดลองสร้างสัญญาณนาฬิกาที่มีความถี่ 1.1875 KHz

เนื่องจากในระบบ RDS จะมีบิทเรทในการส่งข้อมูลที่ความถี่ 1.1875 *KHz* ซึ่งมีผลการทดลองดังรูปที่ 4.2

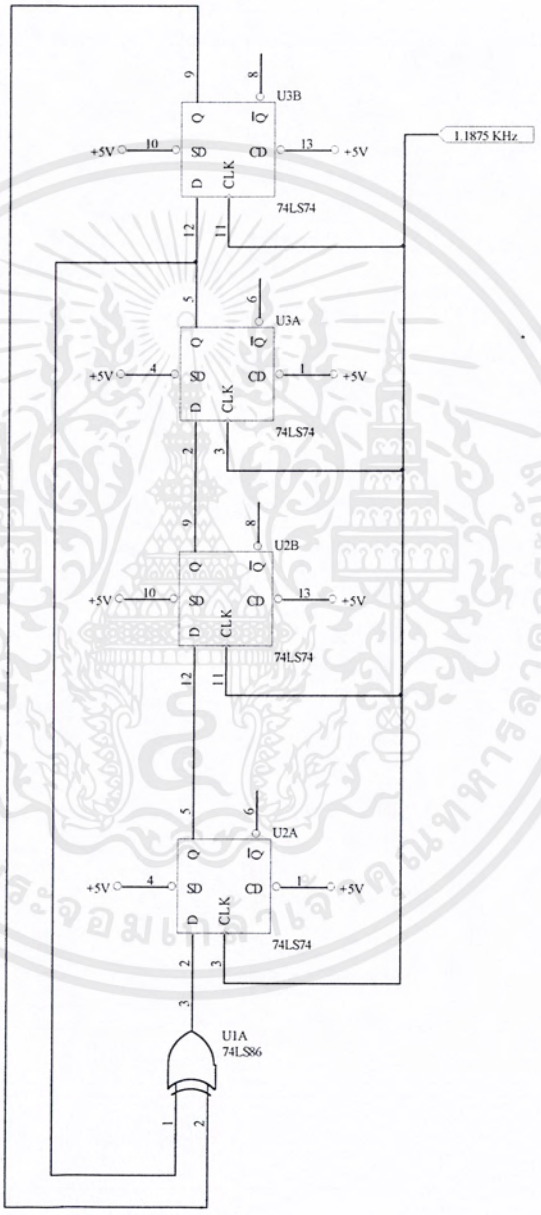


รูปที่ 4.2 แสดงสัญญาณนาฬิกาที่มีความถี่ 1.1875 KHz

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

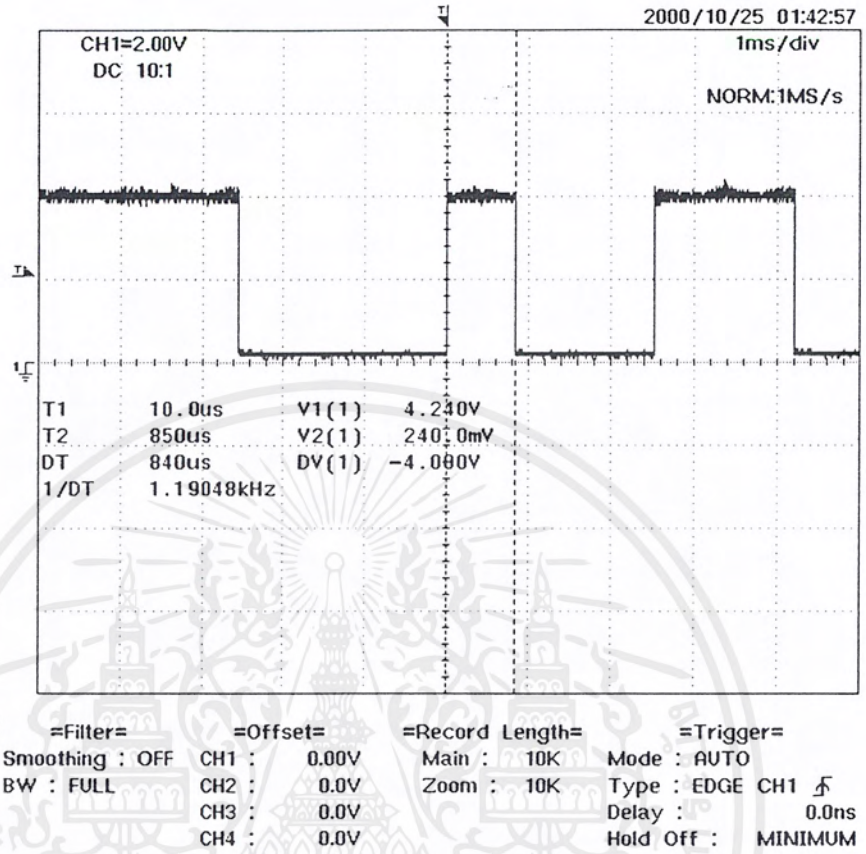
4.3 วงจรที่ใช้ในการสร้างสัญญาณข้อมูลเพื่อทดสอบโครงงาน

เราใช้วงจร PRBS X^4+X+1 สร้างข้อมูลเพื่อทดสอบโครงงานนี้



รูปที่ 4.3 แสดงวงจร PRBS X^4+X+1 ที่สัญญาณนาฬิกา 1.1875 KHz

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

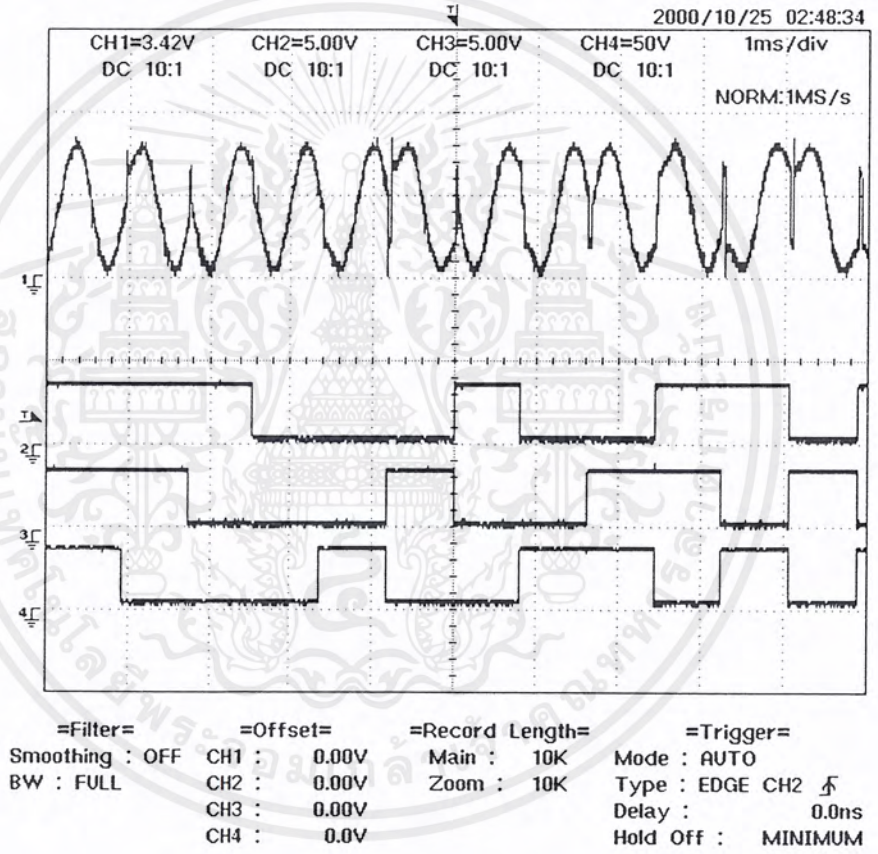


รูปที่ 4.4 แสดงรูปคลื่นของวงจร PRBS X^4+X+1

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4.4 การทดลองเพื่อกำเนิดรูปคลื่นตัวอย่างของระบบอาร์ดีเอส โดยใช้ DDS System

การทดลองนี้เพื่อทดสอบหลักการของการพิจารณาบิท 3 บิท เพื่อกำเนิดสัญญาณรูปคลื่นตัวอย่างที่เป็นสัญญาณไบเฟส ซิมโบ (Biphase Symbol) โดยอาศัยวงจรรวม DAC 0830 เป็นตัวแปลงสัญญาณจากดิจิตอลเป็นอนาล็อก โดยอาศัย $Vref = 5\ V$ ซึ่งเทียบได้จากรูปที่ 4.5

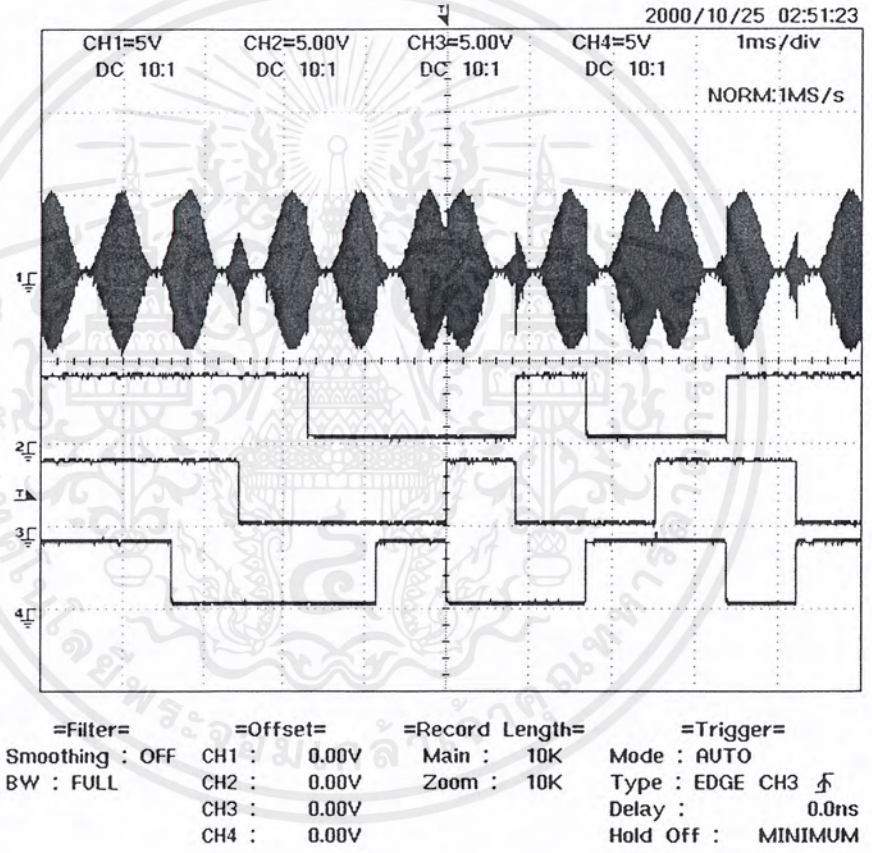


รูปที่ 4.5 แสดงรูปคลื่นตัวอย่างที่ออกจากระบบ DDS System
โดย แชนแนล 1 เป็นสัญญาณของรูปคลื่นตัวอย่าง
แชนแนล 2 เป็นสัญญาณ S/P 3 (บิทที่แล้ว)
แชนแนล 3 เป็นสัญญาณ S/P 2 (บิทที่กำลังพิจารณา)
แชนแนล 4 เป็นสัญญาณ S/P 1 (บิทที่เป็นตัวถัดไป)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4.5 การทดลองการคูณกับสัญญาณคลื่นพาห์ย่อย 57 KHz

การทดลองในหัวข้อนี้เป็นการนำเอาสัญญาณที่ได้จากระบบ DDS System มาคูณกับสัญญาณคลื่นพาห์ย่อย 57 *KHz* ซึ่งจะต้องต่อกับขา *Vref* ของวงจรรวม DAC 0830 โดย DAC 0830 จะทำหน้าที่ทั้งการแปลงสัญญาณจากดิจิตอลไปเป็นอนาล็อก และยังเป็นวงจรคูณ 4 Quadrant ในตัวเอง

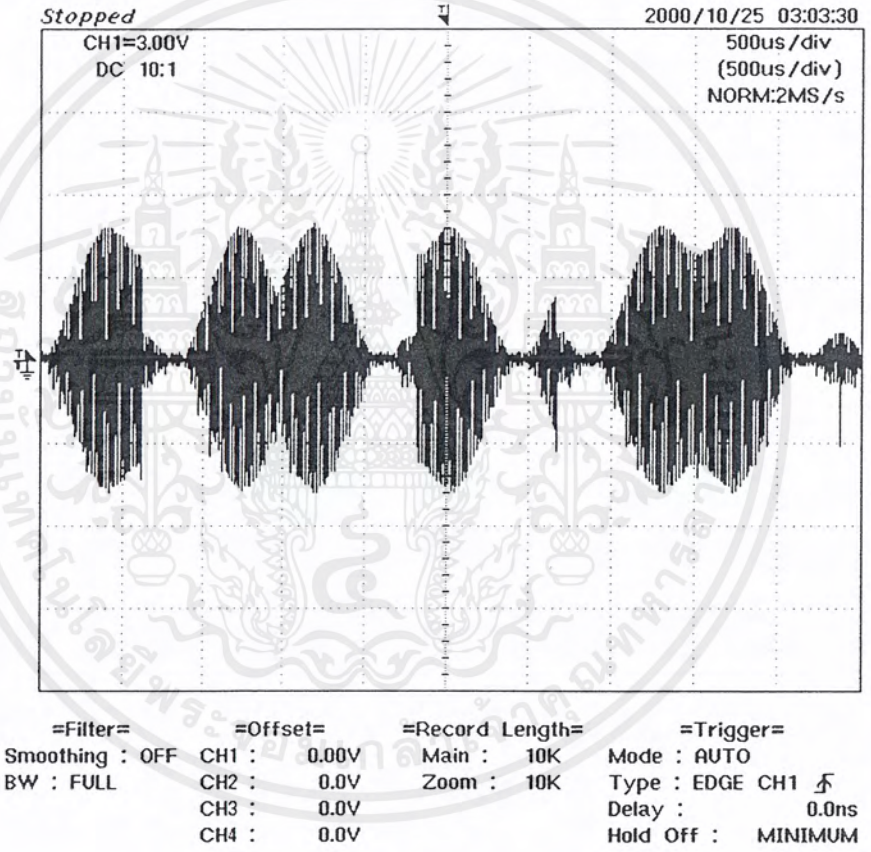


รูปที่ 4.6 แสดงรูปคลื่นของการคูณโดยเทียบกับข้อมูลที่รับเข้ามา
โดย แชนแนล 1 เป็นสัญญาณของรูปคลื่นตัวอย่าง
แชนแนล 2 เป็นสัญญาณ S/P 3 (บิทที่ผ่านมาแล้ว)
แชนแนล 3 เป็นสัญญาณ S/P 2 (บิทปัจจุบันที่กำลังพิจารณา)
แชนแนล 4 เป็นสัญญาณ S/P 1 (บิทตัวถัดไปที่จะเข้ามา)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4.6 การทดลองสัญญาณที่คูณแล้วเมื่อนำมาผ่านวงจร Summimg

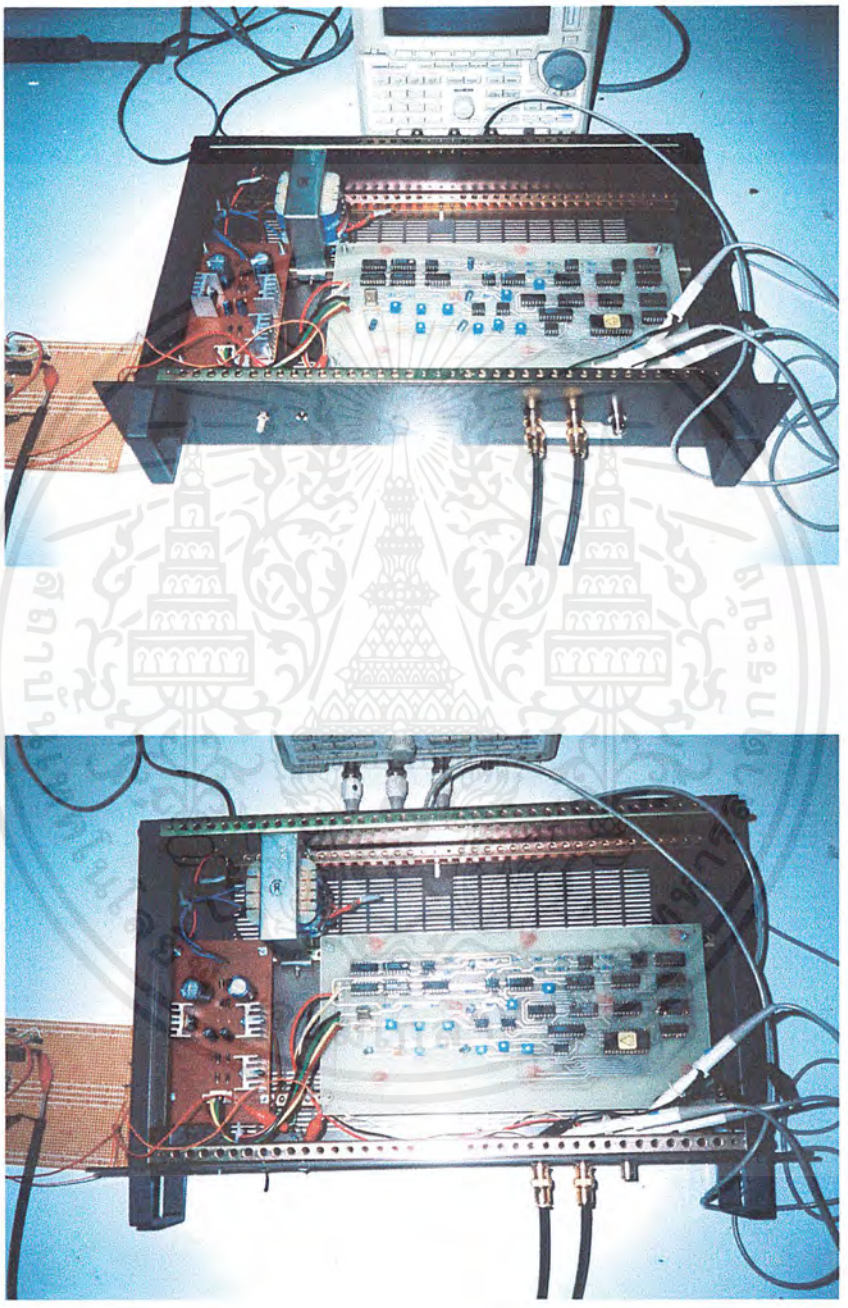
เนื่องจากสัญญาณที่คูณแล้วอาจมีสัญญาณที่ไม่ต้องการแฝงมาเราซึ่งเป็นเพราะความล้าหลังทางเฟส ซึ่งเราอาจใช้วงจรปรับเฟส ซึ่งจะทำหน้าที่เป็น all pass filter แล้วนำมาเข้าวงจร Summing โดยจะรวมกับสัญญาณคลื่นพาห์ย่อย 57 *KHz* แล้วก็จะได้สัญญาณที่เอาท์พุทเป็นสัญญาณ RDS DSB – SC



รูปที่ 4.7 แสดงรูปของสัญญาณ RDS ที่พร้อมจะส่งไปกับระบบเอฟเอ็ม

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4.7 ชิ้นงานที่ประกอบเสร็จสมบูรณ์



รูปที่ 4.8 แสดงชิ้นงานที่ประกอบสมบูรณ์แล้ว

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 5
สรุปและวิจารณ์

ในการทดลองสร้างสัญญาณคลื่นพาห์ย่อย 57 *KHz* เราสามารถปรับความถี่ให้ได้ 57 *KHz* โดยปรับที่ *VR*1 20 *K*Ω เพื่อปรับกระแสที่จะไปเข้าที่ขา 7 ของวงจรรวม *XR* – 2206 และบิทเรทเป็นสัญญาณรูปสแควร์ 1.1875 *KHz* และผลการทดลองที่ได้จาก *DDS System* นั้น สามารถให้ผลตรงกับสมมติฐานที่เราตั้งไว้ และมีความเที่ยงตรงและลดขนาดวงจรได้เป็นอย่างมาก นอกจากนี้ยังทำให้วงจรกินไฟน้อยลงด้วย และวงจรรวม *DAC* 0830 ยังทำหน้าที่ 2 อย่างคือ แปลงจากสัญญาณดิจิตอลไปเป็นอนาล็อก และยังเป็นวงจรคูณแบบ 4 *Quadrant* ในตัวเองด้วย โดยมีขา *Vref* เป็นขาที่รับสัญญาณซับแคร์เรียร์ 57 *KHz* มาคูณกับรูปคลื่นสัญญาณตัวอย่างที่เก็บในรอมด้วย ซึ่งก็นับว่าเป็นข้อดีอีกข้อหนึ่ง และสัญญาณไบเฟส ซิมโบที่ได้ก็สามารถลด *ISI* ได้ จึงเป็นเหตุผลหนึ่งที่เหมาะสมต่อการส่งสัญญาณข้อมูลที่มีแบนวิดท์แคบ และบิทเรทต่ำ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บรรณานุกรม

กฤดากร กล่อมการ , "การออกแบบระบบส่งข้อมูลในช่องสัญญาณการกระจายเสียงแบบ FM", วิทยานิพนธ์ปริญญามหาบัณฑิตสาขาวิศวกรรมไฟฟ้า บัณฑิตวิทยาลัย สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง , 2536

ณรงค์ เหมกรณ์ , "การสื่อสารผ่านดาวเทียม", สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง" , 2533

Roland E. Best , "Phase Lock Loop Application" .New York : McGRAW-HILL Book COMPANY, 1984

C.S. Koukourlis , "A New Digital Implementation of The RDS in The FM Stereo" , IEEE Transactions on Broadcasting , Vol. 42 ,No .4 , December1996

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ภาคผนวก

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ภาคผนวก ก

(โปรแกรมที่ใช้ในโครงงานนี้)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

โปรแกรมที่ใช้โครงงานนี้

1. โปรแกรมสำหรับรูปคลื่นรูปที่ 1

```
x=linspace(0,2*pi,48);
y=zeros(size(x));
y1=zeros(size(x));
y2=zeros(size(x));
s=2*pi/48;
for i=1:1:48
    y(i)=-(12)*sin((1.025*i*s)-(1.2*s))+12;
  end
  %y1= -12*sin(x)+12;
  y1=round(255*(y/24));
  plot(x,y1);
  grid
  y2=dec2hex(y1);
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2. โปรแกรมสำหรับรูปคลื่นรูปที่ 2

```
x=linspace(0,2*pi,48);
y=zeros(size(x));
y1=zeros(size(x));
y2=zeros(size(x));
s=2*pi/48;
for i=1:1:48
if i<= 36
y(i)=(-12)*sin((i*s)-s)+12;
else
y(i)=-(2.5*cos((2*i*s)-s)-21.5);
end
end
%y1=-12*sin(x)+12;
y1=round(255*(y/24));
plot(x,y1);
grid
y2=dec2hex(y1);
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3. โปรแกรมสำหรับรูปคลื่นรูปที่ 3

```
x=linspace(0,2*pi,48);
y=zeros(size(x));
y1=zeros(size(x));
y2=zeros(size(x));
s=2*pi/48;
for i=1:1:48
  if i<=12
    y(i)=-(2.5*cos((2*i*s)-s)-21.5);
 else
    if i<=36
      y(i)=(12)*cos((i*s)-(15.25*s)+0.42)+12;
    else
      y(i)=(2.5*cos((2*i*s)-s)+2.5);
    end

  end
end
%y1=-12*sin(x)+12;
y1=round(255*(y/24));
plot(x,y1);
grid
y2=dec2hex(y1);
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4. โปรแกรมสำหรับรูปคลื่นรูปที่ 4

```
x=linspace(0,2*pi,48);
y=zeros(size(x));
y1=zeros(size(x));
y2=zeros(size(x));
s=2*pi/48;
for i=1:1:48
  if i<=12
    y(i)=-(2.5*cos((2*i*s)-s)-21.5);
  else
    y(i)=(12)*cos((i*s)-(15.2*s)+0.42)+12;
  end
end
%y1=-12*sin(x)+12;
y1=round(255*(y/24));
plot(x,y1);
grid
y2=dec2hex(y1);
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

5. โปรแกรมสำหรับรูปคลื่นรูปที่ 5

```
x=linspace(0,2*pi,48);
y=zeros(size(x));
y1=zeros(size(x));
y2=zeros(size(x));
s=2*pi/48;
for i=1:1:48
  if i<=12
    y(i)=(2.5*cos((2*i*s)-s)+2.5);
  else
    y(i)=(-12)*cos((i*s)-(15.25*s)+0.42)+12;
  end
end
%y1=-12*sin(x)+12;
y1=round(255*(y/24));
plot(x,y1);
grid
y2=dec2hex(y1);
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

6. โปรแกรมสำหรับรูปคลื่นรูปที่ 6

```
x=linspace(0,2*pi,48);
y=zeros(size(x));
y1=zeros(size(x));
y2=zeros(size(x));
s=2*pi/48;
for i=1:1:48
  if i<=12
    y(i)=(2.5*cos((2*i*s)-s)+2.5);
 else
    if i<=36

     y(i)=(-12)*cos((i*s)-(15.25*s)+0.42)+12;
     else
       y(i)=-(2.5*cos((2*i*s)-s)-21.5);
  end
end
end
%y1=-12*sin(x)+12;
y1=round(255*(y/24));
plot(x,y1);
grid
y2=dec2hex(y1);
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

7. โปรแกรมสำหรับรูปคลื่นรูปที่ 7

```
x=linspace(0,2*pi,48);
y=zeros(size(x));
y1=zeros(size(x));
y2=zeros(size(x));
s=2*pi/48;
for i=1:1:48
  if i<=36
    y(i)=(12)*sin((i*s)-s)+12;
  else
    y(i)=(2.5*cos((2*i*s)-s)+2.5);
  end
end
%y1=-12*sin(x)+12;
y1=round(255*(y/24));
plot(x,y1);
grid
y2=dec2hex(y1);
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

8. โปรแกรมสำหรับรูปคลื่นรูปที่ 8

```
x=linspace(0,2*pi,48);
y=zeros(size(x));
y1=zeros(size(x));
y2=zeros(size(x));
s=2*pi/48;
for i=1:1:48
    y(i)=(12)*sin((1.025*i*s)-(1.025*s))+12;
  end
  %y1= -12*sin(x)+12;
  y1=round(255*(y/24));
  plot(x,y1);
  grid
  y2=dec2hex(y1);
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

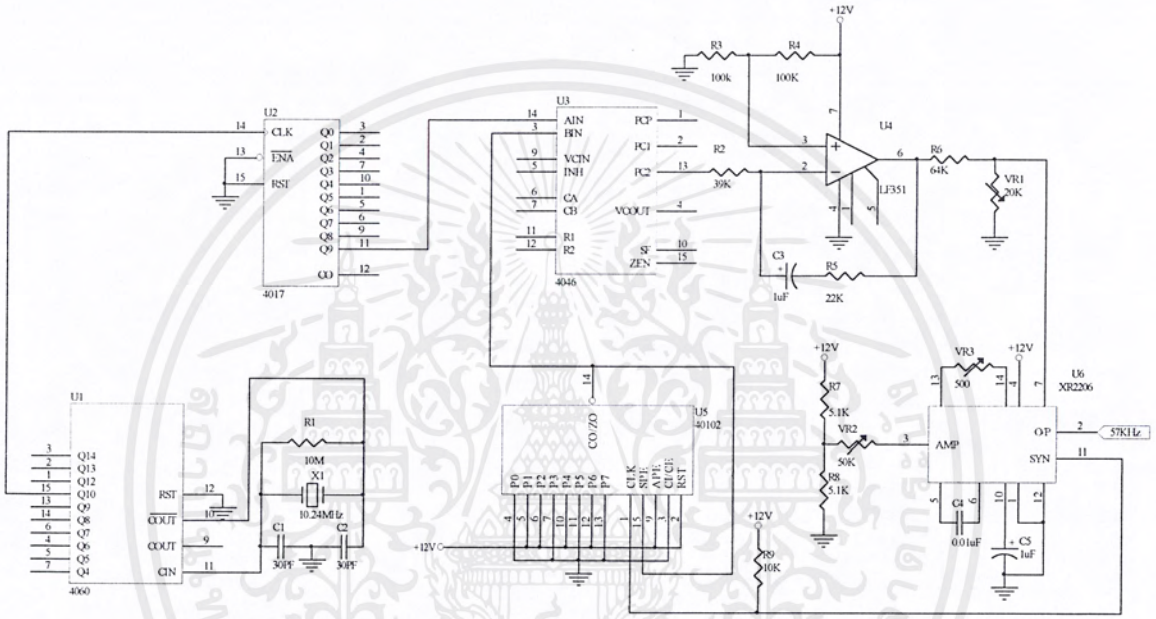
ภาคผนวก ข

(วงจรที่ใช้ในโครงงานนี้)

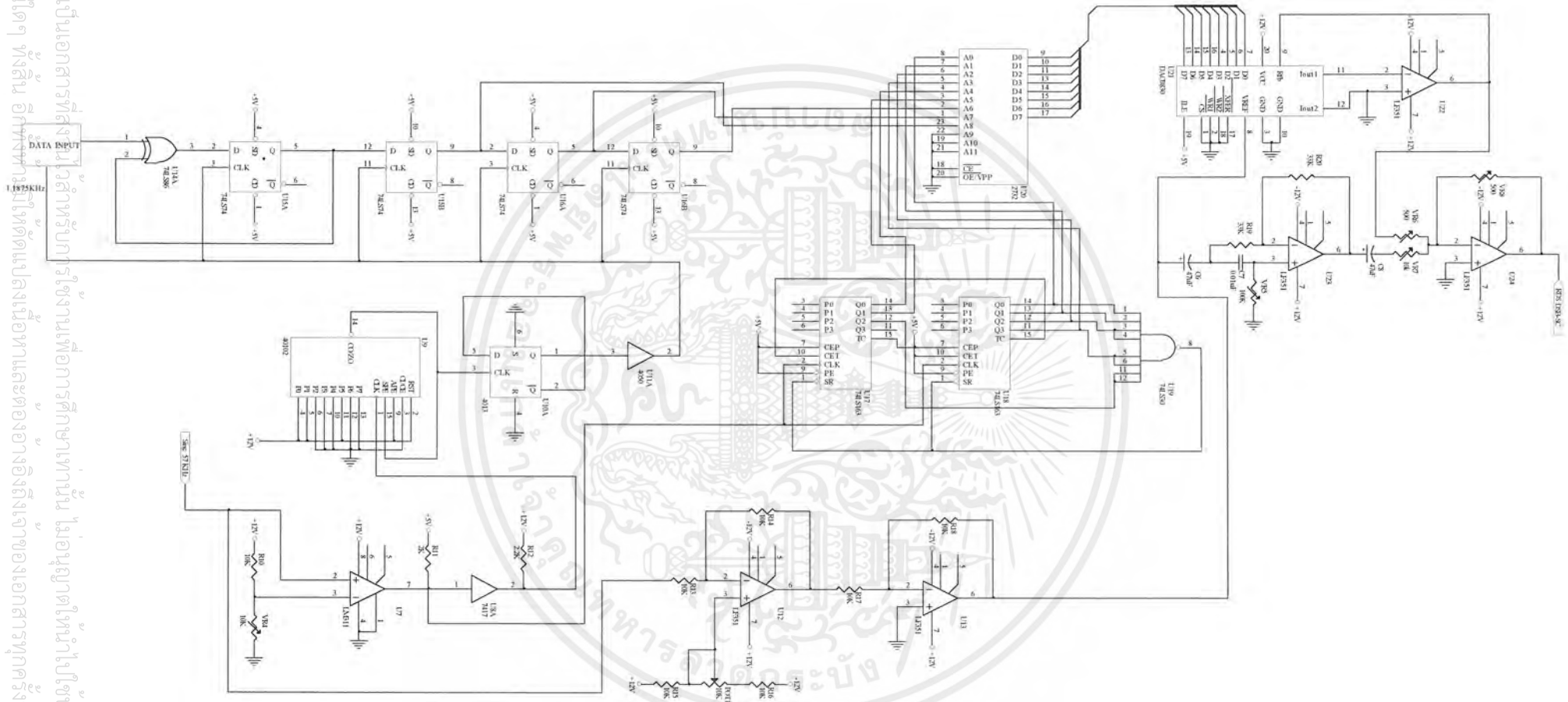
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

วงจรที่ใช้ในโครงงานนี้

1. วงจรสร้างความถี่คลื่นพาห์ย่อย 57 KHz



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

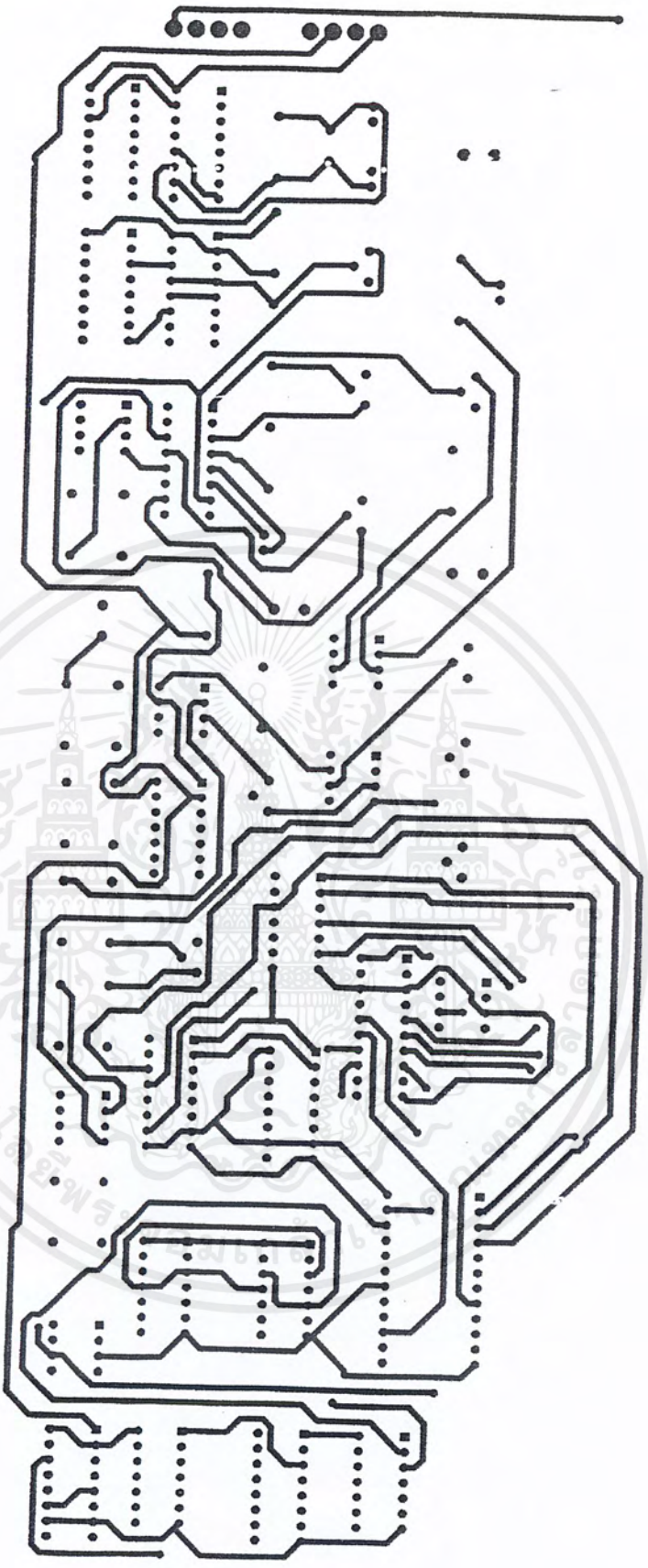


2. วงจรในส่วนของ Direct Digital Synthesizer ทั้งหมด

ภาคผนวก ค

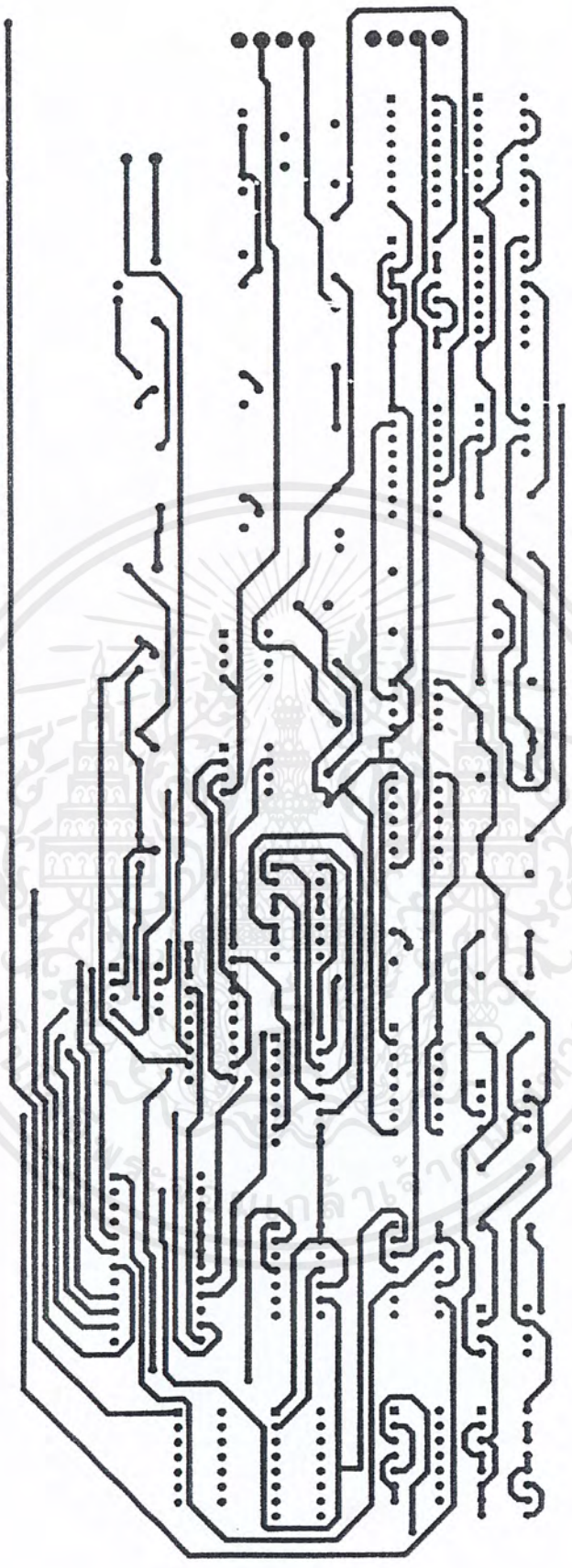
(ลายวงจรพิมพ์ของวงจรในโครงงานนี้)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



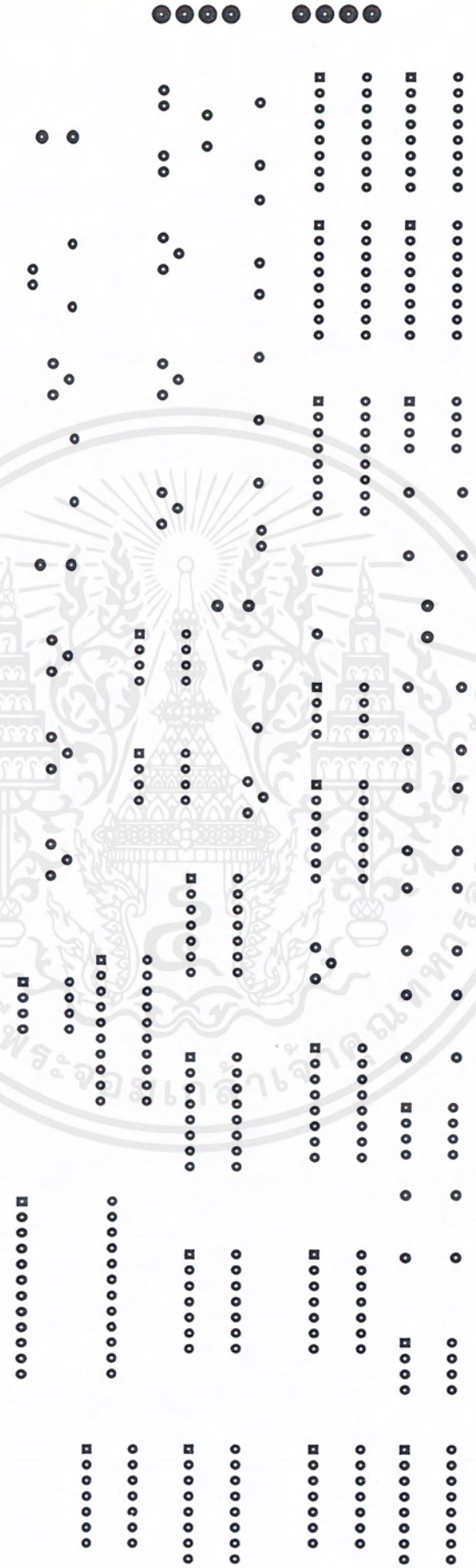
ลายวงจรพิมพ์ด้านล่างขนาดเท่าของจริง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

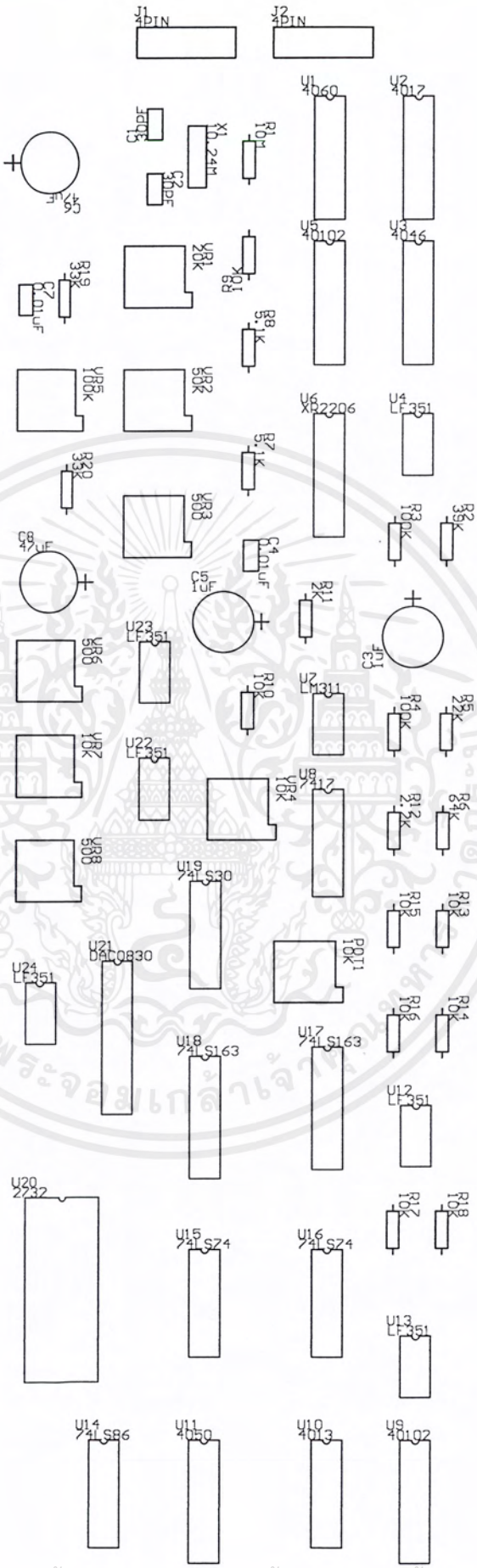


ลายวงจรพิมพ์ด้านบนขนาดเท่าของจริง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ภาคผนวก ง

(DATA SHEET)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

May 1999

National Semiconductor

DAC0830/DAC0832
8-Bit µP Compatible, Double-Buffered D to A Converters

General Description

The DAC0830 is an advanced CMOS/Si-Cr 8-bit multiplying DAC designed to interface directly with the 8080, 8048, 8085, Z80®, and other popular microprocessors. A deposited silicon-chromium R-2R resistor ladder network divides the reference current and provides the circuit with excellent temperature tracking characteristics (0.05% of Full Scale Range maximum linearity error over temperature). The circuit uses CMOS current switches and control logic to achieve low power consumption and low output leakage current errors. Special circuitry provides TTL logic input voltage level compatibility.

Double buffering allows these DACs to output a voltage corresponding to one digital word while holding the next digital word. This permits the simultaneous updating of any number of DACs.

The DAC0830 series are the 8-bit members of a family of microprocessor-compatible DACs (MICRO-DAC™).

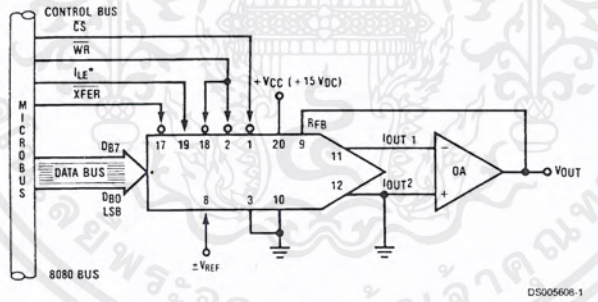
Features

- Double-buffered, single-buffered or flow-through digital data inputs
- Easy interchange and pin-compatible with 12-bit DAC1230 series
- Direct interface to all popular microprocessors
- Linearity specified with zero and full scale adjust only — NOT BEST STRAIGHT LINE FIT.
- Works with ±10V reference-full 4-quadrant multiplication
- Can be used in the voltage switching mode
- Logic inputs which meet TTL voltage level specs (1.4V logic threshold)
- Operates "STAND ALONE" (without µP) if desired
- Available in 20-pin small-outline or molded chip carrier package

Key Specifications

- Current settling time: 1 µs
- Resolution: 8 bits
- Linearity: 8, 9, or 10 bits (guaranteed over temp.)
- Gain Tempco: 0.0002% FS/°C
- Low power dissipation: 20 mW
- Single power supply: 5 to 15 V_{DC}

Typical Application



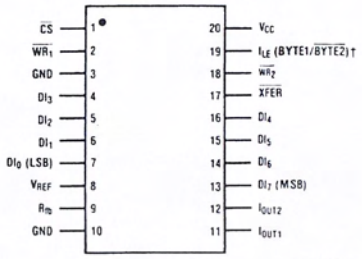
BI-FET™ and MICRO-DAC™ are trademarks of National Semiconductor Corporation.
Z80® is a registered trademark of Zilog Corporation.

© 1999 National Semiconductor Corporation

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

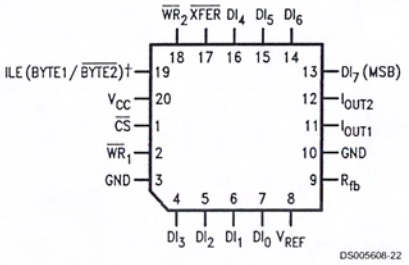
Connection Diagrams (Top Views)

Dual-In-Line and Small-Outline Packages



DS005608-21

Molded Chip Carrier Package



DS005608-22

ธนานันท์เทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Absolute Maximum Ratings (Notes 1, 2)

If Military/Aerospace specified devices are required, please contact the National Semiconductor Sales Office/ Distributors for availability and specifications.

Supply Voltage (V_{CC})	17 V_{DC}
Voltage at Any Digital Input	V_{CC} to GND
Voltage at V_{REF} Input	±25V
Storage Temperature Range	−65˚C to +150˚C
Package Dissipation at T_A=25˚C (Note 3)	500 mW
DC Voltage Applied to I_{OUT1} or I_{OUT2} (Note 4)	−100 mV to V_{CC}
ESD Susceptability (Note 4)	800V
Lead Temperature (Soldering, 10 sec.)	
Dual-In-Line Package (plastic)	260˚C
Dual-In-Line Package (ceramic)	300˚C
Surface Mount Package	
Vapor Phase (60 sec.)	215˚C
Infrared (15 sec.)	220˚C

Operating Conditions

Temperature Range	$T_{MIN} \le T_A \le T_{MAX}$
Part numbers with "LCN" suffix	0˚C to +70˚C
Part numbers with "LCWM" suffix	0˚C to +70˚C
Part numbers with "LCV" suffix	0˚C to +70˚C
Part numbers with "LCJ" suffix	−40˚C to +85˚C
Part numbers with "LJ" suffix	−55˚C to +125˚C
Voltage at Any Digital Input	V_{CC} to GND

Electrical Characteristics

V_{REF}=10.000 V_{DC} unless otherwise noted. **Boldface limits apply over temperature, $T_{MIN} \le T_A \le T_{MAX}$.** For all other limits T_A=25˚C.

Parameter	Conditions	See Note	V_{CC} = 4.75 V_{DC} V_{CC} = 15.75 V_{DC}		V_{CC} = 5 V_{DC} ±5% V_{CC} = 12 V_{DC} ±5% to 15 V_{DC} ±5%	Limit Units
			Typ (Note 12)	Tested Limit (Note 5)	Design Limit (Note 6)	
CONVERTER CHARACTERISTICS						
Resolution			8	8	**8**	bits
Linearity Error Max	Zero and full scale adjusted −10V≤V_{REF}≤+10V	4, 8				
DAC0830LJ & LCJ				**0.05**	**0.05**	% FSR
DAC0832LJ & LCJ				**0.2**	**0.2**	% FSR
DAC0830LCN, LCWM & LCV				0.05	**0.05**	% FSR
DAC0831LCN				0.1	**0.1**	% FSR
DAC0832LCN, LCWM & LCV				0.2	**0.2**	% FSR
Differential Nonlinearity Max	Zero and full scale adjusted −10V≤V_{REF}≤+10V	4, 8				
DAC0830LJ & LCJ				**0.1**	**0.1**	% FSR
DAC0832LJ & LCJ				**0.4**	**0.4**	% FSR
DAC0830LCN, LCWM & LCV				0.1	**0.1**	% FSR
DAC0831LCN				0.2	**0.2**	% FSR
DAC0832LCN, LCWM & LCV				0.4	**0.4**	% FSR
Monotonicity	−10V≤V_{REF} ≤+10V LJ & LCJ	4		**8**	**8**	bits
	LCN, LCWM & LCV			8	**8**	bits
Gain Error Max	Using Internal R_{fb} −10V≤V_{REF}≤+10V	7	±0.2	±1	**±1**	% FS
Gain Error Tempco Max	Using internal R_{fb}		**0.0002**		**0.0006**	% FS/˚C
Power Supply Rejection	All digital inputs latched high					
	V_{CC}=14.5V to 15.5V		0.0002	0.0025		%
	11.5V to 12.5V		0.0006			FSR/V
	4.5V to 5.5V		0.013	0.015		
Reference Input Max			**15**	**20**	**20**	kΩ
Reference Input Min			**15**	**10**	**10**	kΩ
Output Feedthrough Error	V_{REF}=20 Vp-p, f=100 kHz All data inputs latched low		3			mVp-p

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Electrical Characteristics (Continued)

V_{REF}=10.000 V_{DC} unless otherwise noted. **Boldface limits apply over temperature, $T_{MIN} \le T_A \le T_{MAX}$.** For all other limits T_A=25°C.

Parameter		Conditions		See Note	V_{CC} = 4.75 V_{DC} V_{CC} = 15.75 V_{DC}		V_{CC} = 5 V_{DC} ±5% V_{CC} = 12 V_{DC} ±5% to 15 V_{DC} ±5%	Limit Units
					Typ (Note 12)	Tested Limit (Note 5)	Design Limit (Note 6)	
CONVERTER CHARACTERISTICS								
Output Leakage Current Max	I_{OUT1}	All data inputs latched low	LJ & LCJ	10		**100**	**100**	nA
			LCN, LCWM & LCV			50	**100**	
	I_{OUT2}	All data inputs latched high	LJ & LCJ			**100**	**100**	nA
			LCN, LCWM & LCV			50	**100**	
Output Capacitance	I_{OUT1} I_{OUT2}	All data inputs latched low			45 115			pF
	I_{OUT1} I_{OUT2}	All data inputs latched high			130 30			pF
DIGITAL AND DC CHARACTERISTICS								
Digital Input Voltages	Max	Logic Low	LJ: 4.75V			**0.6**		V_{DC}
			LJ: 15.75V			**0.8**		
			LCJ: 4.75V			**0.7**		
			LCJ: 15.75V			**0.8**		
			LCN, LCWM, LCV			0.95	**0.8**	
	Min	Logic High	LJ & LCJ			**2.0**	**2.0**	V_{DC}
			LCN, LCWM, LCV			1.9	**2.0**	
Digital Input Currents	Max	Digital inputs <0.8V						
			LJ & LCJ		−50	**−200**	**−200**	µA
			LCN, LCWM, LCV			−160	**−200**	µA
		Digital inputs>2.0V						
			LJ & LCJ		0.1	**+10**	**+10**	µA
			LCN, LCWM, LCV			+8	**+10**	
Supply Current Drain	Max		LJ & LCJ		1.2	**3.5**	**3.5**	mA
			LCN, LCWM, LCV			1.7	**2.0**	

Electrical Characteristics

V_{REF}=10.000 V_{DC} unless otherwise noted. **Boldface limits apply over temperature, $T_{MIN} \le T_A \le T_{MAX}$.** For all other limits T_A=25°C.

Symbol	Parameter	Conditions	See Note	V_{CC}=15.75 V_{DC}		V_{CC}=12 V_{DC}±5% to 15 V_{DC} ±5%	V_{CC}=4.75 V_{DC}		V_{CC}=5 V_{DC}±5%	Limit Units
				Typ (Note 12)	Tested Limit (Note 5)	Design Limit (Note 6)	Typ (Note 12)	Tested Limit (Note 5)	Design Limit (Note 6)	
AC CHARACTERISTICS										
t_s	Current Setting Time	V_{IL}=0V, V_{IH}=5V		1.0			1.0			µs
t_W	Write and XFER Pulse Width Min	V_{IL}=0V, V_{IH}=5V	11	100	250		375	600		ns
			9		**320**	**320**		**900**	**900**	
t_{DS}	Data Setup Time Min	V_{IL}=0V, V_{IH}=5V	9	100	250 **320**	**320**	375	600 **900**	**900**	ns
t_{DH}	Data Hold Time Min	V_{IL}=0V, V_{IH}=5V	9		30 **30**			50 **50**		ns
t_{CS}	Control Setup Time Min	V_{IL}=0V, V_{IH}=5V	9	110	250 **320**	**320**	600	900 **1100**	**1100**	ns
t_{CH}	Control Hold Time Min	V_{IL}=0V, V_{IH}=5V	9	0	0 **0**	**10**	0	0 **0**		ns

Note 1: Absolute Maximum Ratings indicate limits beyond which damage to the device may occur. DC and AC electrical specifications do not apply when operating the device beyond its specified operating conditions.

Note 2: All voltages are measured with respect to GND, unless otherwise specified.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Electrical Characteristics (Continued)

Note 3: The maximum power dissipation must be derated at elevated temperatures and is dictated by T_{JMAX}, θ_{JA}, and the ambient temperature, T_A. The maximum allowable power dissipation at any temperature is $P_D = (T_{JMAX} - T_A)/\theta_{JA}$ or the number given in the Absolute Maximum Ratings, whichever is lower. For this device, T_{JMAX} = 125˚C (plastic) or 150˚C (ceramic), and the typical junction-to-ambient thermal resistance of the J package when board mounted is 80˚C/W. For the N package, this number increases to 100˚C/W and for the V package this number is 120˚C/W.

Note 4: For current switching applications, both I_{OUT1} and I_{OUT2} must go to ground or the "Virtual Ground" of an operational amplifier. The linearity error is degraded by approximately $V_{OS} \div V_{REF}$. For example, if V_{REF} = 10V then a 1 mV offset, V_{OS}, on I_{OUT1} or I_{OUT2} will introduce an additional 0.01% linearity error.

Note 5: Tested limits are guaranteed to National's AOQL (Average Outgoing Quality Level).

Note 6: Guaranteed, but not 100% production tested. These limits are not used to calculate outgoing quality levels.

Note 7: Guaranteed at V_{REF}=±10 V_{DC} and V_{REF}=±1 V_{DC}.

Note 8: The unit "FSR" stands for "Full Scale Range." "Linearity Error" and "Power Supply Rejection" specs are based on this unit to eliminate dependence on a particular V_{REF} value and to indicate the true performance of the part. The "Linearity Error" specification of the DAC0830 is "0.05% of FSR (MAX)". This guarantees that after performing a zero and full scale adjustment (see Sections 2.5 and 2.6), the plot of the 256 analog voltage outputs will each be within 0.05%xV_{REF} of a straight line which passes through zero and full scale.

Note 9: **Boldface** tested limits apply to the LJ and LCJ suffix parts only.

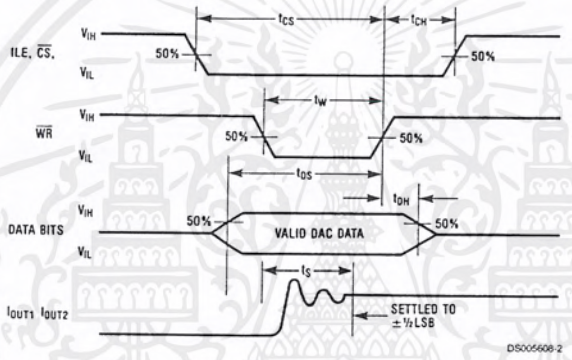
Note 10: A 100nA leakage current with R_{fb}=20k and V_{REF}=10V corresponds to a zero error of $(100x10^{-9}x20x10^{3})x100/10$ which is 0.02% of FS.

Note 11: The entire write pulse must occur within the valid data interval for the specified t_W, t_{DS}, t_{DH}, and t_S to apply.

Note 12: Typicals are at 25˚C and represent most likely parametric norm.

Note 13: Human body model, 100 pF discharged through a 1.5 kΩ resistor.

Switching Waveform



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Definition of Package Pinouts

Control Signals (All control signals level actuated)

$\overline{CS}$: **Chip Select** (active low). The $\overline{CS}$ in combination with ILE will enable $\overline{WR_1}$.

ILE: **Input Latch Enable** (active high). The ILE in combination with $\overline{CS}$ enables $\overline{WR_1}$.

$\overline{WR_1}$: **Write 1.** The active low $\overline{WR_1}$ is used to load the digital input data bits (DI) into the input latch. The data in the input latch is latched when $\overline{WR_1}$ is high. To update the input latch–$\overline{CS}$ and $\overline{WR_1}$ must be low while ILE is high.

$\overline{WR_2}$: **Write 2** (active low). This signal, in combination with $\overline{XFER}$, causes the 8-bit data which is available in the input latch to transfer to the DAC register.

$\overline{XFER}$: **Transfer control signal** (active low). The $\overline{XFER}$ will enable $\overline{WR_2}$.

Other Pin Functions

DI_0-DI_7: **Digital Inputs.** DI_0 is the least significant bit (LSB) and DI_7 is the most significant bit (MSB).

I_{OUT1}: **DAC Current Output 1.** I_{OUT1} is a maximum for a digital code of all 1's in the DAC register, and is zero for all 0's in DAC register.

I_{OUT2}: **DAC Current Output 2.** I_{OUT2} is a constant minus I_{OUT1}, or $I_{OUT1} + I_{OUT2}$ = constant (I full scale for a fixed reference voltage).

R_{fb}: **Feedback Resistor.** The feedback resistor is provided on the IC chip for use as the shunt feedback resistor for the external op amp which is used to provide an output voltage for the DAC. This on-chip resistor should always be used (not an external resistor) since it matches the resistors which are used in the on-chip R-2R ladder and tracks these resistors over temperature.

V_{REF}: **Reference Voltage Input.** This input connects an external precision voltage source to the internal R-2R ladder. V_{REF} can be selected over the range of +10 to −10V. This is also the analog voltage input for a 4-quadrant multiplying DAC application.

V_{CC}: **Digital Supply Voltage.** This is the power supply pin for the part. V_{CC} can be from +5 to $+15V_{DC}$. Operation is optimum for $+15V_{DC}$

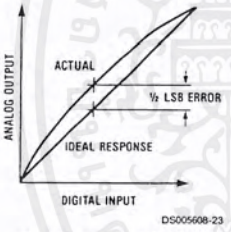
GND: The pin 10 voltage must be at the same ground potential as I_{OUT1} and I_{OUT2} for current switching applications. Any difference of potential (V_{OS} pin 10) will result in a linearity change of

$$\frac{V_{OS} \text{ pin } 10}{3V_{REF}}$$

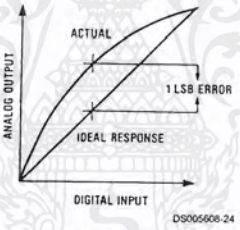
For example, if V_{REF} = 10V and pin 10 is 9mV offset from I_{OUT1} and I_{OUT2} the linearity change will be 0.03%.

Pin 3 can be offset ±100mV with no linearity change, but the logic input threshold will shift.

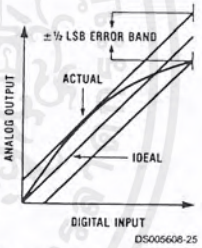
Linearity Error



a) End point test after zero and fs adj.



b) Best straight line



c) Shifting fs adj. to pass best straight line test

Definition of Terms

Resolution: Resolution is directly related to the number of switches or bits within the DAC. For example, the DAC0830 has 2^8 or 256 steps and therefore has 8-bit resolution.

Linearity Error: Linearity Error is the maximum deviation from a *straight line passing through the endpoints of the DAC transfer characteristic.* It is measured after adjusting for zero and full-scale. Linearity error is a parameter intrinsic to the device and cannot be externally adjusted.

National's linearity "end point test" (a) and the "best straight line" test (b,c) used by other suppliers are illustrated above. The "end point test" greatly simplifies the adjustment procedure by eliminating the need for multiple iterations of checking the linearity and then adjusting full scale until the linearity is met. The "end point test" guarantees that linearity is met after a single full scale adjust. (One adjustment vs. multiple iterations of the adjustment.) The "end point test" uses a standard zero and F.S. adjustment procedure and is a much more stringent test for DAC linearity.

Power Supply Sensitivity: Power supply sensitivity is a measure of the effect of power supply changes on the DAC full-scale output.

Settling Time: Settling time is the time required from a code transition until the DAC output reaches within ±½LSB of the final output value. Full-scale settling time requires a zero to full-scale or full-scale to zero output change.

Full Scale Error: Full scale error is a measure of the output error between an ideal DAC and the actual device output. Ideally, for the DAC0830 series, full scale is V_{REF} −1LSB. For V_{REF} = 10V and unipolar operation, $V_{FULL\text{-}SCALE}$ = 10,0000V–39mV 9.961V. Full-scale error is adjustable to zero.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Definition of Terms (Continued)

Differential Nonlinearity: The difference between any two consecutive codes in the transfer curve from the theoretical 1 LSB to differential nonlinearity.

Monotonic: If the output of a DAC increases for increasing digital input code, then the DAC is monotonic. An 8-bit DAC which is monotonic to 8 bits simply means that increasing digital input codes will produce an increasing analog output.

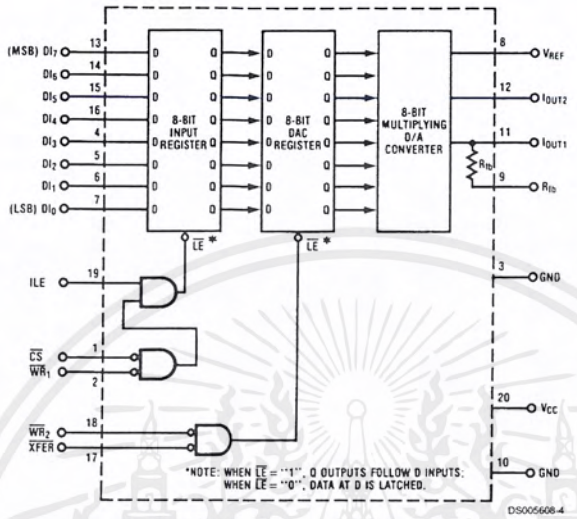
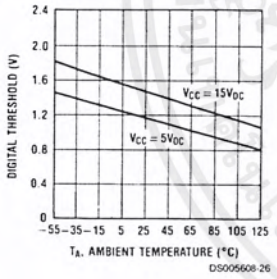


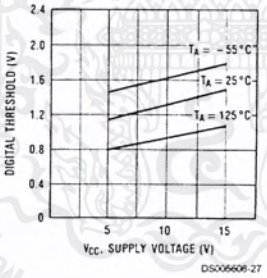
FIGURE 1. DAC0830 Functional Diagram

Typical Performance Characteristics

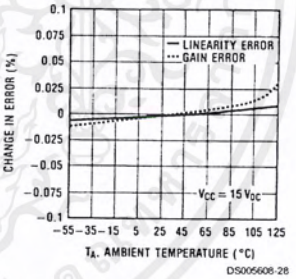
Digital Input Threshold vs. Temperature



Digital Input Threshold vs. V_{CC}



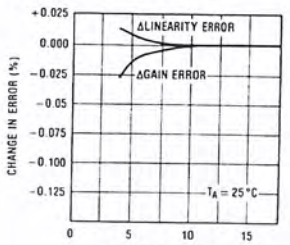
Gain and Linearity Error Variation vs. Temperature



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

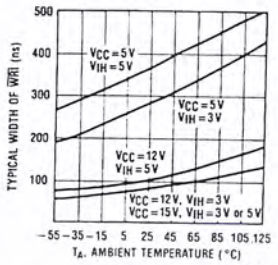
Typical Performance Characteristics (Continued)

Gain and Linearity Error Variation vs. Supply Voltage



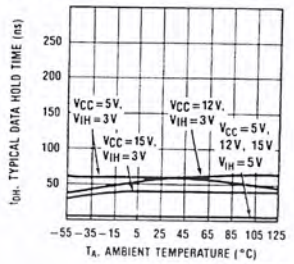
DS005608-29

Write Pulse Width



DS005608-30

Data Hold Time



DS005608-31

DAC0830 Series Application Hints

These DAC's are the industry's first microprocessor compatible, double-buffered 8-bit multiplying D to A converters. Double-buffering allows the utmost application flexibility from a digital control point of view. This 20-pin device is also pin for pin compatible (with one exception) with the DAC1230, a 12-bit MICRO-DAC. In the event that a system's analog output resolution and accuracy must be upgraded, substituting the DAC1230 can be easily accomplished. By tying address bit A_0 to the ILE pin, a two-byte µP write instruction (double precision) which automatically increments the address for the second byte write (starting with A_0="1") can be used. This allows either an 8-bit or the 12-bit part to be used with no hardware or software changes. For the simplest 8-bit application, this pin should be tied to V_{CC} (also see other uses in section 1.1).

Analog signal control versatility is provided by a precision R-2R ladder network which allows full 4-quadrant multiplication of a wide range bipolar reference voltage by an applied digital word.

1.0 DIGITAL CONSIDERATIONS

A most unique characteristic of these DAC's is that the 8-bit digital input byte is double-buffered. This means that the data must transfer through two independently controlled 8-bit latching registers before being applied to the R-2R ladder network to change the analog output. The addition of a second register allows two useful control features. First, any DAC in a system can simultaneously hold the current DAC data in one register (DAC register) and the next data word in the second register (input register) to allow fast updating of the DAC output on demand. Second, and probably more important, double-buffering allows any number of DAC's in a system to be updated to their new analog output levels simultaneously via a common strobe signal.

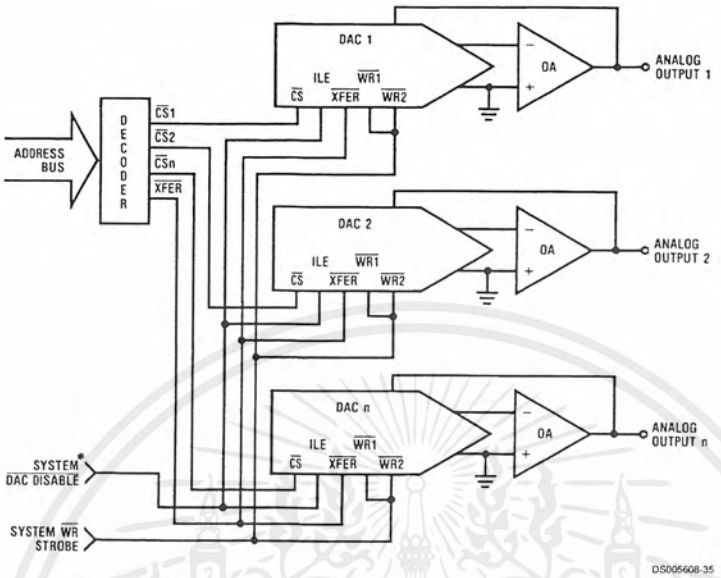
The timing requirements and logic level convention of the register control signals have been designed to minimize or eliminate external interfacing logic when applied to most popular microprocessors and development systems. It is easy to think of these converters as 8-bit "write-only" memory locations that provide an analog output quantity. All inputs to these DAC's meet TTL voltage level specs and can also be driven directly with high voltage CMOS logic in non-microprocessor based systems. To prevent damage to the chip from static discharge, all unused digital inputs should be tied to V_{CC} or ground. If any of the digital inputs are inadvertantly left floating, the DAC interprets the pin as a logic "1".

1.1 Double-Buffered Operation

Updating the analog output of these DAC's in a double-buffered manner is basically a two step or double write operation. In a microprocessor system two unique system addresses must be decoded, one for the input latch controlled by the $\overline{CS}$ pin and a second for the DAC latch which is controlled by the $\overline{XFER}$ line. If more than one DAC is being driven, *Figure 2*, the $\overline{CS}$ line of each DAC would typically be decoded individually, but all of the converters could share a common $\overline{XFER}$ address to allow simultaneous updating of any number of DAC's. The timing for this operation is shown, *Figure 3*.

It is important to note that the analog outputs that will change after a simultaneous transfer are those from the DAC's whose input register had been modified prior to the $\overline{XFER}$ command.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



*TIE TO LOGIC 1 IF NOT NEEDED (SEE SEC. 1.1).

FIGURE 2. Controlling Mutiple DACs

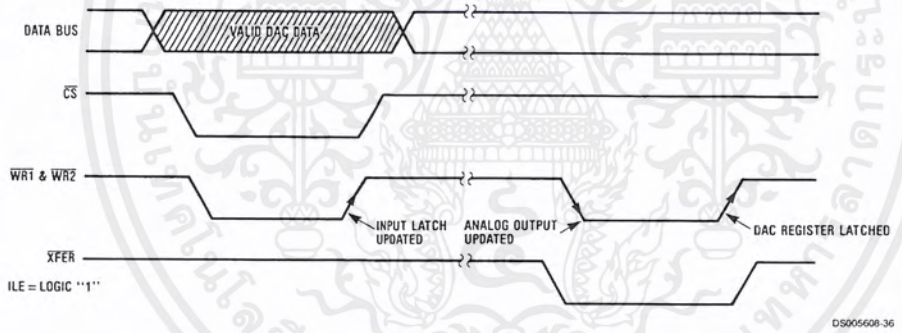


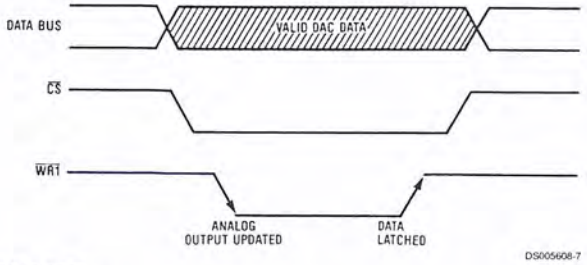
FIGURE 3.

The ILE pin is an active high chip select which can be decoded from the address bus as a qualifier for the normal $\overline{CS}$ signal generated during a write operation. This can be used to provide a higher degree of decoding unique control signals for a particular DAC, and thereby create a more efficient addressing scheme.

Another useful application of the ILE pin of each DAC in a multiple DAC system is to tie these inputs together and use this as a control line that can effectively "freeze" the outputs of all the DAC's at their present value. Pulling this line low latches the input register and prevents new data from being written to the DAC. This can be particularly useful in multiprocessing systems to allow a processor other than the one controlling the DAC's to take over control of the data bus and control lines. If this second system were to use the same addresses as those decoded for DAC control (but for a different purpose) the ILE function would prevent the DAC's from being erroneously altered.

In a "Stand-Alone" system the control signals are generated by discrete logic. In this case double-buffering can be controlled by simply taking $\overline{CS}$ and $\overline{XFER}$ to a logic "0", ILE to a logic "1" and pulling $\overline{WR}_1$ low to load data to the input latch. Pulling $\overline{WR}_2$ low will then update the analog output. A logic "1" on either of these lines will prevent the changing of the analog output.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



ILE=LOGIC "1"; $\overline{WR2}$ and $\overline{XFER}$ GROUNDED

FIGURE 4.

1.2 Single-Buffered Operation

In a microprocessor controlled system where maximum data throughput to the DAC is of primary concern, or when only one DAC of several needs to be updated at a time, a single-buffered configuration can be used. One of the two internal registers allows the data to flow through and the other register will serve as the data latch.

Digital signal feedthrough (see Section 1.5) is minimized if the input register is used as the data latch. Timing for this mode is shown in *Figure 4*.

Single-buffering in a "stand-alone" system is achieved by strobing $\overline{WR}_1$ low to update the DAC with $\overline{CS}$, $\overline{WR}_2$ and $\overline{XFER}$ grounded and ILE tied high.

1.3 Flow-Through Operation

Though primarily designed to provide microprocessor interface compatibility, the MICRO-DAC's can easily be configured to allow the analog output to continuously reflect the state of an applied digital input. This is most useful in applications where the DAC is used in a continuous feedback control loop and is driven by a binary up-down counter, or in function generation circuits where a ROM is continuously providing DAC data.

Simply grounding $\overline{CS}$, $\overline{WR}_1$, $\overline{WR}_2$, and $\overline{XFER}$ and tying ILE high allows both internal registers to follow the applied digital inputs (flow-through) and directly affect the DAC analog output.

1.4 Control Signal Timing

When interfacing these MICRO-DAC to any microprocessor, there are two important time relationships that must be considered to insure proper operation. The first is the minimum $\overline{WR}$ strobe pulse width which is specified as 900 ns for all valid operating conditions of supply voltage and ambient temperature, but typically a pulse width of only 180ns is adequate if V_{CC}=15V_{DC}. A second consideration is that the guaranteed minimum data hold time of 50ns should be met or erroneous data can be latched. This hold time is defined as the length of time data must be held valid on the digital inputs *after* a qualified (via $\overline{CS}$) $\overline{WR}$ strobe makes a low to high transition to latch the applied data.

If the controlling device or system does not inherently meet these timing specs the DAC can be treated as a slow memory or peripheral and utilize a technique to extend the write strobe. A simple extension of the write time, by adding a wait state, can simultaneously hold the write strobe active and data valid on the bus to satisfy the minimum $\overline{WR}$ pulsewidth. If this does not provide a sufficient data hold time at the end of the write cycle, a negative edge triggered one-shot can be included between the system write strobe and the $\overline{WR}$ pin of the DAC. This is illustrated in *Figure 5* for an exemplary system which provides a 250ns $\overline{WR}$ strobe time with a data hold time of less than 10ns.

The proper data set-up time prior to the latching edge (LO to HI transition) of the $\overline{WR}$ strobe, is insured if the $\overline{WR}$ pulsewidth is within spec and the data is valid on the bus for the duration of the DAC $\overline{WR}$ strobe.

1.5 Digital Signal Feedthrough

When data is latched in the internal registers, but the digital inputs are changing state, a narrow spike of current may flow out of the current output terminals. This spike is caused by the rapid switching of internal logic gates that are responding to the input changes.

There are several recommendations to minimize this effect. When latching data in the DAC, always use the input register as the latch. Second, reducing the V_{CC} supply for the DAC from +15V to +5V offers a factor of 5 improvement in the magnitude of the feedthrough, but at the expense of internal logic switching speed. Finally, increasing C_C (*Figure 8*) to a value consistent with the actual circuit bandwidth requirements can provide a substantial damping effect on any output spikes.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

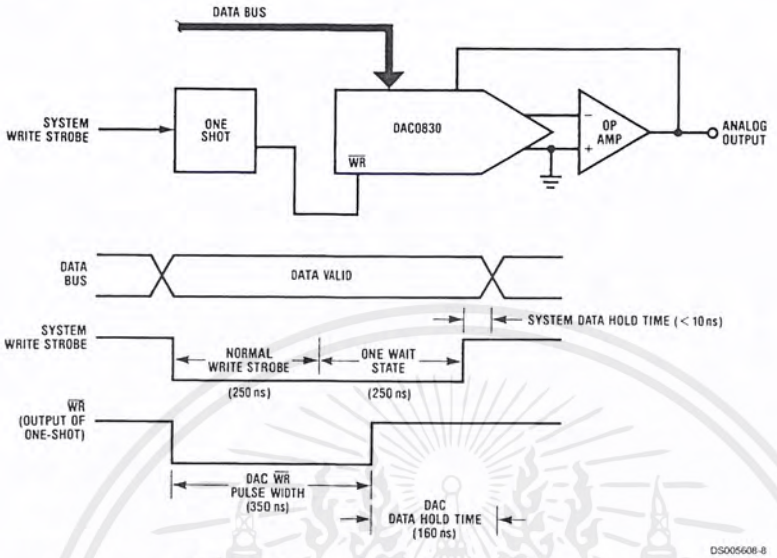


FIGURE 5. Accommodating a High Speed System

2.0 ANALOG CONSIDERATIONS

The fundamental purpose of any D to A converter is to provide an accurate analog output quantity which is representative of the applied digital word. In the case of the DAC0830, the output, I_{OUT1}, is a current directly proportional to the product of the applied reference voltage and the digital input word. For application versatility, a second output, I_{OUT2}, is provided as a current directly proportional to the complement of the digital input. Basically:

$$I_{OUT1} = \frac{V_{REF}}{15\ k\Omega} \times \frac{\text{Digital Input}}{256};$$

$$I_{OUT2} = \frac{V_{REF}}{15\ k\Omega} \times \frac{255 - \text{Digital Input}}{256}$$

where the digital input is the decimal (base 10) equivalent of the applied 8-bit binary word (0 to 255), V_{REF} is the voltage at pin 8 and 15 kΩ is the nominal value of the internal resistance, R, of the R-2R ladder network (discussed in Section 2.1).

Several factors external to the DAC itself must be considered to maintain analog accuracy and are covered in subsequent sections.

2.1 The Current Switching R-2R Ladder

The analog circuitry, *Figure 6*, consists of a silicon-chromium (SiCr or Si-chrome) thin film R-2R ladder which is deposited on the surface oxide of the monolithic chip. As a result, there are no parasitic diode problems with the ladder (as there may be with diffused resistors) so the reference voltage, V_{REF}, can range −10V to +10V even if V_{CC} for the device is $5V_{DC}$.

The digital input code to the DAC simply controls the position of the SPDT current switches and steers the available ladder current to either I_{OUT1} or I_{OUT2} as determined by the logic input level ("1" or "0") respectively, as shown in *Figure 6*. The MOS switches operate in the current mode with a small voltage drop across them and can therefore switch currents of either polarity. This is the basis for the 4-quadrant multiplying feature of this DAC.

2.2 Basic Unipolar Output Voltage

To maintain linearity of output current with changes in the applied digital code, it is important that the voltages at both of the current output pins be as near ground potential ($0V_{DC}$) as possible. With V_{REF} = +10V every millivolt appearing at either I_{OUT1} or I_{OUT2} will cause a 0.01% linearity error. In most applications this output current is converted to a voltage by using an op amp as shown in *Figure 7*.

The inverting input of the op amp is a "virtual ground" created by the feedback from its output through the internal 15 kΩ resistor, R_{fb}. All of the output current (determined by the digital input and the reference voltage) will flow through R_{fb} to the output of the amplifier. Two-quadrant operation can be obtained by reversing the polarity of V_{REF} thus causing I_{OUT1} to flow into the DAC and be sourced from the output of the amplifier. The output voltage, in either case, is always equal to $I_{OUT1} \times R_{fb}$ and is the opposite polarity of the reference voltage.

The reference can be either a stable DC voltage source or an AC signal anywhere in the range from −10V to +10V. The DAC can be thought of as a digitally controlled attenuator: the output voltage is always less than or equal to the applied reference voltage. The V_{REF} terminal of the device presents a nominal impedance of 15 kΩ to ground to external circuitry.

Always use the internal R_{fb} resistor to create an output voltage since this resistor matches (and tracks with temperature) the value of the resistors used to generate the output current (I_{OUT1}).

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

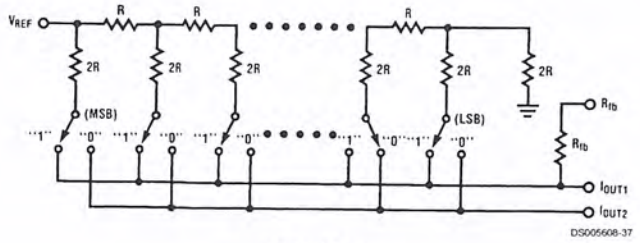


FIGURE 6.

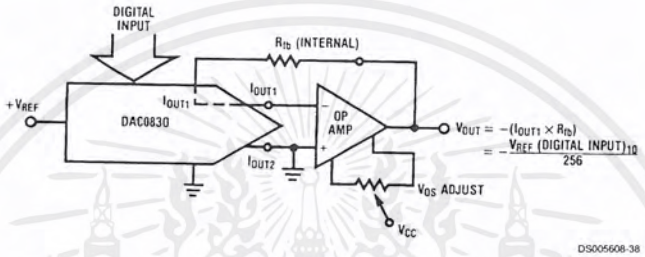


FIGURE 7.

2.3 Op Amp Considerations

The op amp used in *Figure 7* should have offset voltage nulling capability (See Section 2.5).

The selected op amp should have as low a value of input bias current as possible. The product of the bias current times the feedback resistance creates an output voltage error which can be significant in low reference voltage applications. BI-FET™ op amps are highly recommended for use with these DACs because of their very low input current.

Transient response and settling time of the op amp are important in fast data throughput applications. The largest stability problem is the feedback pole created by the feedback resistance, R_{fb}, and the output capacitance of the DAC. This appears from the op amp output to the (−) input and includes the stray capacitance at this node. Addition of a lead capacitance, C_C in *Figure 8*, greatly reduces overshoot and ringing at the output for a step change in DAC output current.

Finally, the output voltage swing of the amplifier must be greater than V_{REF} to allow reaching the full scale output voltage. Depending on the loading on the output of the amplifier and the available op amp supply voltages (only ±12 volts in many development systems), a reference voltage less than 10 volts may be necessary to obtain the full analog output voltage range.

2.4 Bipolar Output Voltage with a Fixed Reference

The addition of a second op amp to the previous circuitry can be used to generate a bipolar output voltage from a fixed reference voltage. This, in effect, gives sign significance to the MSB of the digital input word and allows two-quadrant multiplication of the reference voltage. The polarity of the reference can also be reversed to realize full 4-quadrant multiplication: $\pm V_{REF} x \pm$Digital Code$= \pm V_{OUT}$. This circuit is shown in *Figure 9*.

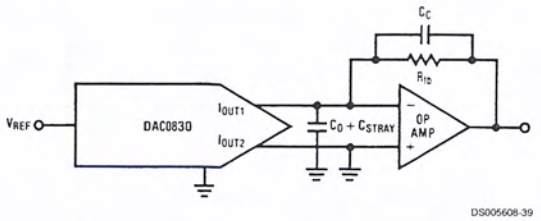
This configuration features several improvements over existing circuits for bipolar outputs with other multiplying DACs. Only the offset voltage of amplifier 1 has to be nulled to preserve linearity of the DAC. The offset voltage error of the second op amp (although a constant output voltage error) has no effect on linearity. It should be nulled only if absolute output accuracy is required. Finally, the values of the resistors around the second amplifier do not have to match the internal DAC resistors, they need only to match and temperature track each other. A thin film 4-resistor network available from Beckman Instruments, Inc. (part no. 694-3-R10K-D) is ideally suited for this application. These resistors are matched to 0.1% and exhibit only 5 ppm/°C resistance tracking temperature coefficient. Two of the four available 10 kΩ resistors can be paralleled to form R in *Figure 9* and the other two can be used independently as the resistances labeled 2R.

2.5 Zero Adjustment

For accurate conversions, the input offset voltage of the output amplifier must always be nulled. Amplifier offset errors create an overall degradation of DAC linearity.

The fundamental purpose of zeroing is to make the voltage appearing at the DAC outputs as near $0V_{DC}$ as possible. This is accomplished for the typical DAC — op amp connection (*Figure 7*) by shorting out R_{fb}, the amplifier feedback resistor, and adjusting the V_{OS} nulling potentiometer of the op amp until the output reads zero volts. This is done, of course, with an applied digital code of all zeros if I_{OUT1} is driving the op amp (all one's for I_{OUT2}). The short around R_{fb} is then removed and the converter is zero adjusted.

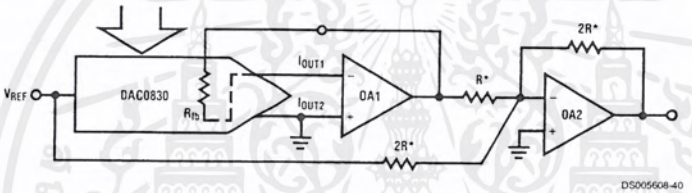
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



OP Amp	C_C	t_s (O to Full Scale)
LF356	22 pF	4 µs
LF351	22 pF	5 µs
LF357*	10 pF	2 µs

*2.4 kΩ RESISTOR ADDED FROM-INPUT TO GROUND TO INSURE STABILITY

FIGURE 8.



$$V_{OUT} = V_{REF} \frac{(\text{DIGITAL CODE} - 128)}{128}$$

$$1\ \text{LSB} = \frac{|V_{REF}|}{128}$$

Input Code								IDEAL V_{OUT}	
MSB							LSB	$+V_{REF}$	$-V_{REF}$
1	1	1	1	1	1	1	1	$V_{REF} - 1$ LSB	$-\lvert V_{REF}\rvert + 1$ LSB
1	1	0	0	0	0	0	0	$V_{REF}/2$	$-\lvert V_{REF}\rvert/2$
1	0	0	0	0	0	0	0	0	0
0	1	1	1	1	1	1	1	-1 LSB	$+1$ LSB
0	0	1	1	1	1	1	1	$-\frac{\lvert V_{REF}\rvert}{2} - 1$ LSB	$\frac{\lvert V_{REF}\rvert}{2} + 1$ LSB
0	0	0	0	0	0	0	0	$-\lvert V_{REF}\rvert$	$+\lvert V_{REF}\rvert$

*THESE RESISTORS ARE AVAILABLE FROM BECKMAN INSTRUMENTS, INC. AS THEIR PART NO. 694-3-R10K-D

FIGURE 9.

2.6 Full-Scale Adjustment

In the case where the matching of R_{fb} to the R value of the R-2R ladder (typically ±0.2%) is insufficient for full-scale accuracy in a particular application, the V_{REF} voltage can be adjusted or an external resistor and potentiometer can be added as shown in *Figure 10* to provide a full-scale adjustment.

The temperature coefficients of the resistors used for this adjustment are of an important concern. To prevent degradation of the gain error temperature coefficient by the external resistors, their temperature coefficients ideally would have to match that of the internal DAC resistors, which is a highly impractical constraint. For the values shown in *Figure 10*, if the resistor and the potentiometer each had a temperature coefficient of ±100 ppm/°C maximum, the overall gain error temperature coefficent would be degraded a maximum of 0.0025%/°C for an adjustment pot setting of less than 3% of R_{fb}.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

DAC0830 Series Application Hints

(Continued)

2.7 Using the DAC0830 in a Voltage Switching Configuration

The R-2R ladder can also be operated as a voltage switching network. In this mode the ladder is used in an inverted manner from the standard current switching configuration. The reference voltage is connected to one of the current output terminals (I_{OUT1} for true binary digital control, I_{OUT2} is for complementary binary) and the output voltage is taken from the normal V_{REF} pin. The converter output is now a voltage in the range from 0V to 255/256 V_{REF} as a function of the applied digital code as shown in *Figure 11*.

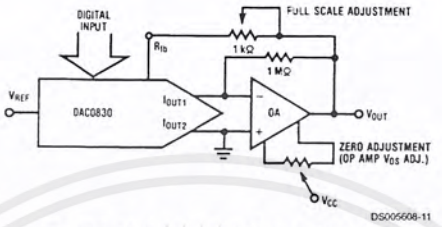


FIGURE 10. Adding Full-Scale Adjustment

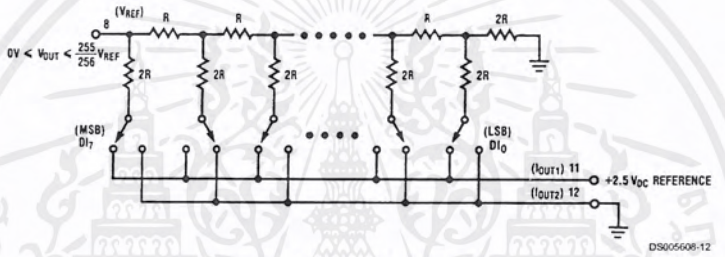
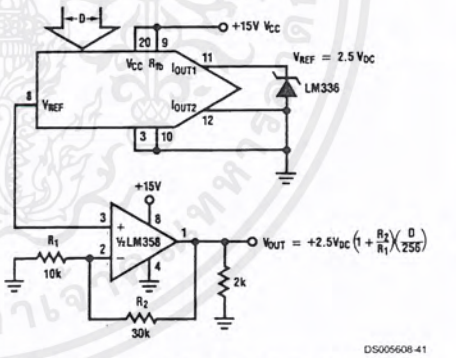


FIGURE 11. Voltage Mode Switching

This configuration offers several useful application advantages. Since the output is a voltage, an external op amp is not necessarily required but the output impedance of the DAC is fairly high (equal to the specified reference input resistance of 10 kΩ to 20 kΩ) so an op amp may be used for buffering purposes. Some of the advantages of this mode are illustrated in *Figures 12, 13, 14, 15.*

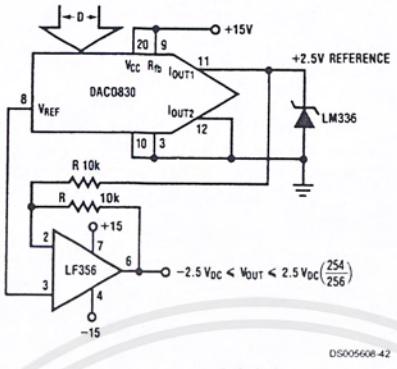
There are two important things to keep in mind when using this DAC in the voltage switching mode. The applied reference voltage must be positive since there are internal parasitic diodes from ground to the I_{OUT1} and I_{OUT2} terminals which would turn on if the applied reference went negative. There is also a dependence of conversion linearity and gain error on the voltage difference between V_{CC} and the voltage applied to the normal current output terminals. This is a result of the voltage drive requirements of the ladder switches. To ensure that all 8 switches turn on sufficiently (so as not to add significant resistance to any leg of the ladder and thereby introduce additional linearity and gain errors) it is recommended that the applied reference voltage be kept less than $+5V_{DC}$ and V_{CC} be at least 9V more positive than V_{REF}. These restrictions ensure less than 0.1% linearity and gain error change. *Figures 16, 17, 18* characterize the effects of bringing V_{REF} and V_{CC} closer together as well as typical temperature performance of this voltage switching configuration.



- Voltage switching mode eliminates output signal inversion and therefore a need for a negative power supply.
- Zero code output voltage is limited by the low level output saturation voltage of the op amp. The 2 kΩ pull-down resistor helps to reduce this voltage.
- V_{OS} of the op amp has no effect on DAC linearity.

FIGURE 12. Single Supply DAC

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



- $V_{OUT} = 2.5V\left(\frac{D}{128} - 1\right)$
- Slewing and settling time for a full scale output change is ≈ 1.8 μs

FIGURE 13. Obtaining a Bipolar Output from a Fixed Reference with a Single Op Amp

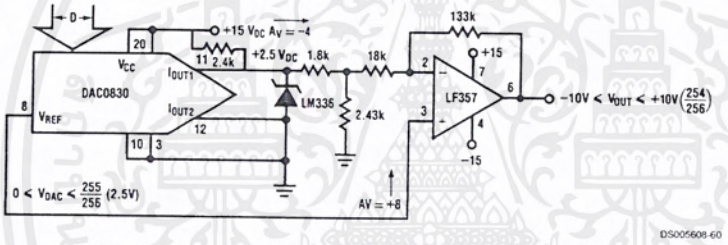
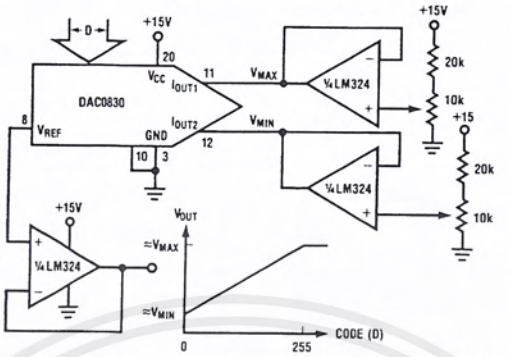


FIGURE 14. Bipolar Output with Increased Output Voltage Swing

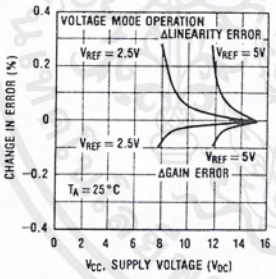
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



- Only a single +15V supply required
- Non-interactive full-scale and zero code output adjustments
- V_{MAX} and V_{MIN} must be $\leq +5$VDC and ≥ 0V.
- Incremental Output Step $= \frac{1}{256}(V_{MAX} - V_{MIN})$.
- $V_{OUT} = \frac{D}{256}(V_{MAX} - V_{MIN}) + \frac{255}{256}V_{MIN}$

FIGURE 15. Single Supply DAC with Level Shift and Span-Adjustable Output

Gain and Linearity Error Variation vs. Supply Voltage



Note: For these curves, V_{REF} is the voltage applied to pin 11 (I_{OUT1}) with pin 12 (I_{OUT2}) grounded.

FIGURE 16.

Gain and Linearity Error Variation vs. Reference Voltage

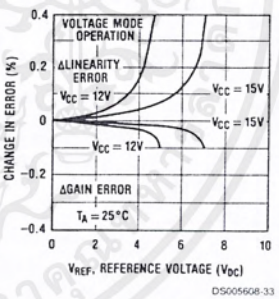


FIGURE 17.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Gain and Linearity Error Variation vs. Temperature

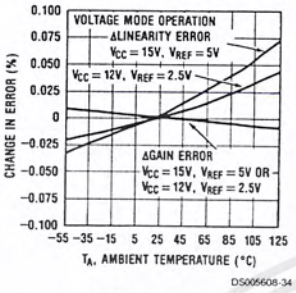


FIGURE 18.

2.8 Miscellaneous Application Hints

These converters are CMOS products and reasonable care should be exercised in handling them to prevent catastrophic failures due to static discharge.

Conversion accuracy is only as good as the applied reference voltage so providing a stable source over time and temperature changes is an important factor to consider.

A "good" ground is most desirable. A single point ground distribution technique for analog signals and supply returns keeps other devices in a system from affecting the output of the DACs.

During power-up supply voltage sequencing, the −15V (or −12V) supply of the op amp may appear first. This will cause the output of the op amp to bias near the negative supply potential. No harm is done to the DAC, however, as the on-chip 15 kΩ feedback resistor sufficiently limits the current flow from I_{OUT1} when this lead is internally clamped to one diode drop below ground.

Careful circuit construction with minimization of lead lengths around the analog circuitry, is a primary concern. Good high frequency supply decoupling will aid in preventing inadvertant noise from appearing on the analog output.

Overall noise reduction and reference stability is of particular concern when using the higher accuracy versions, the DAC0830 and DAC0831, or their advantages are wasted.

3.0 GENERAL APPLICATION IDEAS

The connections for the control pins of the digital input registers are purposely omitted. Any of the control formats discussed in Section 1 of the accompanying text will work with any of the circuits shown. The method used depends on the overall system provisions and requirements.

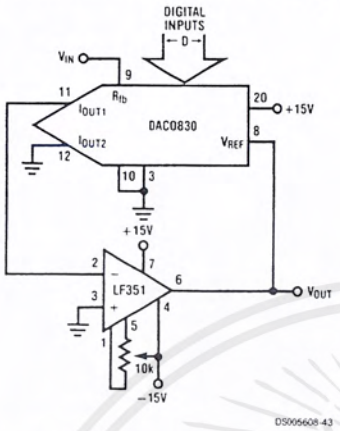
The digital input code is referred to as D and represents the decimal equivalent value of the 8-bit binary input, for example:

Binary Input								D
Pin 13						Pin 7		Decimal
MSB						LSB		Equivalent
1	1	1	1	1	1	1	1	255
1	0	0	0	0	0	0	0	128
0	0	0	1	0	0	0	0	16
0	0	0	0	0	0	1	0	2
0	0	0	0	0	0	0	0	0

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Applications

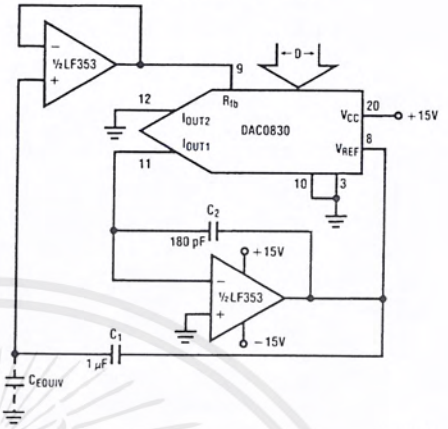
DAC Controlled Amplifier (Volume Control)



DS005608-43

- $V_{OUT} = \frac{-V_{IN}(256)}{D}$
- When D=0, the amplifier will go open loop and the output will saturate.
- Feedback impedance from the −input to the output varies from 15 kΩ to ∞ as the input code changes from full-scale to zero.

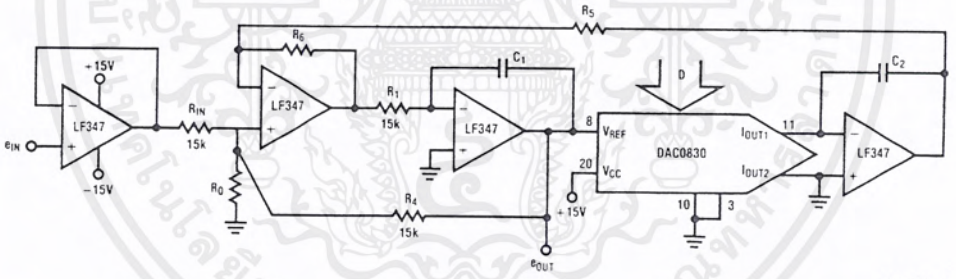
Capacitance Multiplier



DS005608-44

- $C_{EQUIV} = C_1\left(1+\frac{256}{D}\right)$
- Maximum voltage across the equivalent capacitance is limited to $\frac{V_{O\,MAX}\ (\text{op amp})}{1+\frac{256}{D}}$
- C_2 is used to improve settling time of op amp.

Variable f_O, Variable Q_O, Constant BW Bandpass Filter



DS005608-17

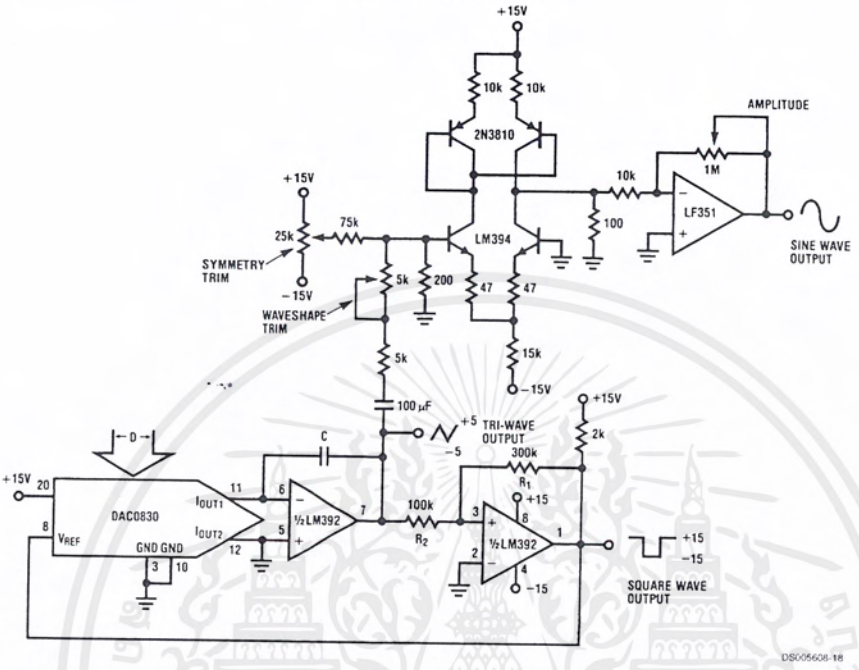
- $f_O = \frac{\sqrt{\frac{KD}{256}}}{2\pi R_1 C}$; $Q_O = \sqrt{\frac{KD}{256}}\frac{(2R_Q + R_1)}{R_Q(K+1)}$; $3dbBW = \frac{R_Q(K+1)}{2\pi R_1 C(2R_Q + R_1)}$

  where $C_1 = C_2 = C$; $K = \frac{R_6}{R_5}$ and $R_1 = R$ of DAC = 15k
- $H_O = 1$ for $R_{IN} = R_4 = R_1$
- Range of f_O and Q is ≈ 16 to 1 for circuit shown. The range can be extended to 255 to 1 by replacing R_1 with a second DAC0830 driven by the same digital input word.
- Maximum f_O x Q product should be ≤ 200 kHz.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Applications (Continued)

DAC Controlled Function Generator

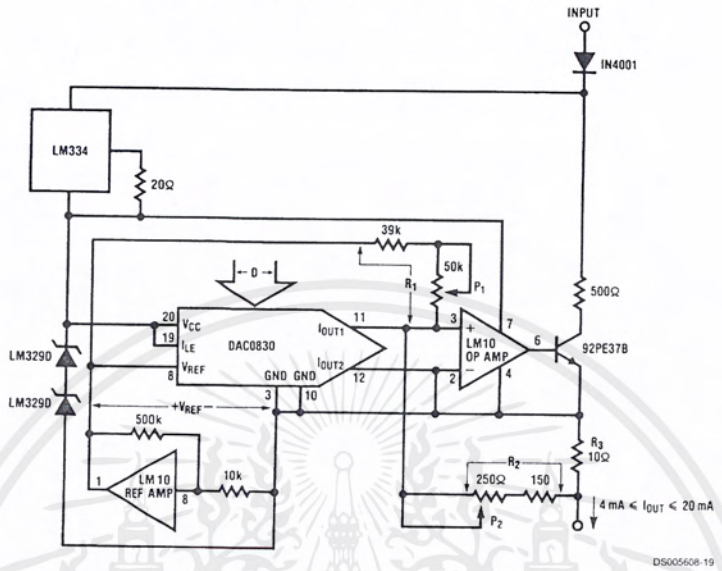


- DAC controls the frequency of sine, square, and triangle outputs.
- $f = \frac{D}{256(20k)C}$ for $V_{OMAX} = V_{OMIN}$ of square wave output and $R_1 = 3\,R_2$.
- 255 to 1 linear frequency range; oscillator stops with D = 0
- Trim symmetry and wave-shape for minimum sine wave distortion.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Applications (Continued)

Two Terminal Floating 4 to 20 mA Current Loop Controller



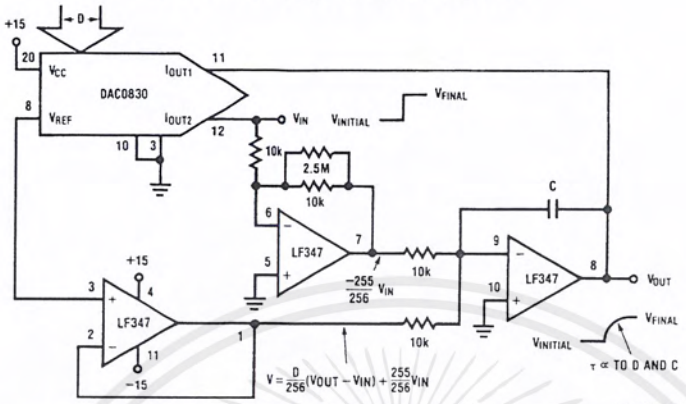
$$I_{OUT} = V_{REF}\left[\frac{1}{R_1} + \frac{D}{256\,R_{fb}}\right]\left[1 + \frac{R_2}{R_3}\right]$$

- DAC0830 linearly controls the current flow from the input terminal to the output terminal to be 4 mA (for D=0) to 19.94 mA (for D=255).
- Circuit operates with a terminal voltage differential of 16V to 55V.
- P_2 adjusts the magnitude of the output current and P_1 adjusts the zero to full scale range of output current.
- Digital inputs can be supplied from a processor using opto isolators on each input or the DAC latches can flow-through (connect control lines to pins 3 and 10 of the DAC) and the input data can be set by SPST toggle switches to ground (pins 3 and 10).

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Applications (Continued)

DAC Controlled Exponential Time Response



DS005606-20

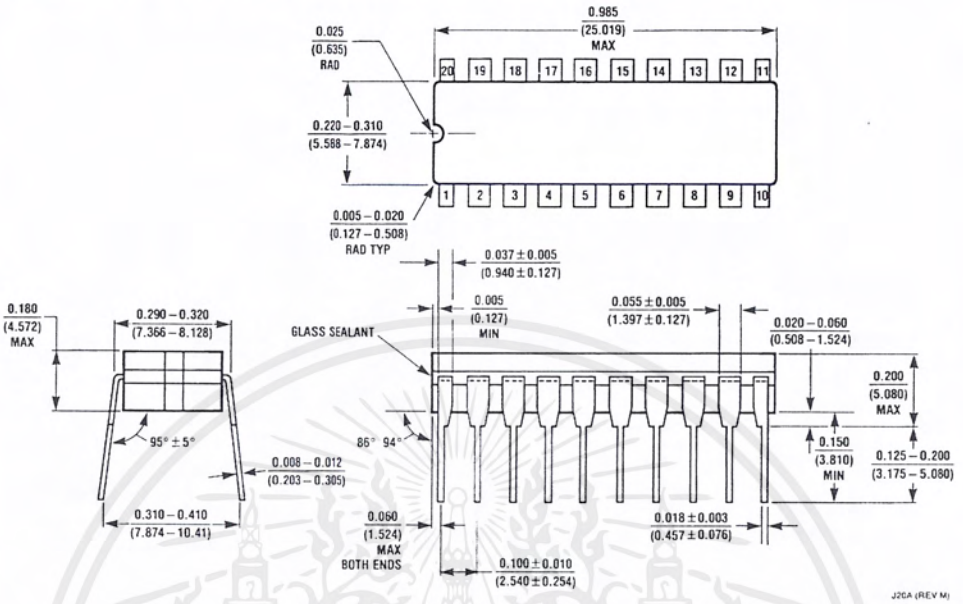
- Output responds exponentially to input changes and automatically stops when $V_{OUT}=V_{IN}$
- Output time constant is directly proportional to the DAC input code and capacitor C
- Input voltage must be positive (See section 2.7)

Ordering Information

Temperature Range		0°C to +70°			−40°C to +85°C	−55°C to +125°C
Non Linearity	0.05% FSR	DAC0830LCN	DAC0830LCM	DAC0830LCV	DAC0830LCJ	DAC0830LJ
	0.1% FSR	DAC0831LCN				
	0.2% FSR	DAC0832LCN	DAC0832LCM	DAC0832LCV	DAC0832LCJ	DAC0832LJ
Package Outline		N20A—Molded DIP	M20B Small Outline	V20A Chip Carrier	J20A—Ceramic DIP	

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

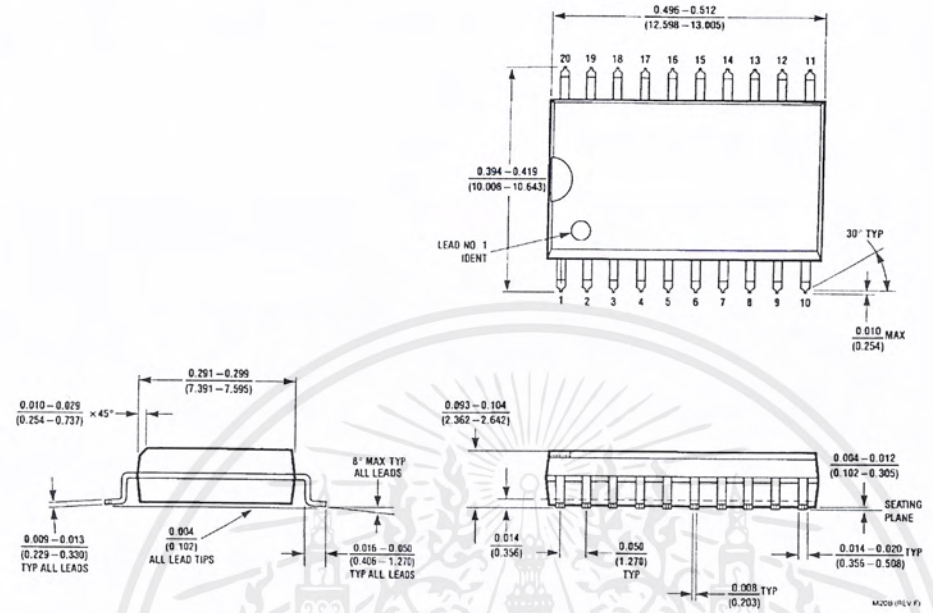
Physical Dimensions inches (millimeters) unless otherwise noted



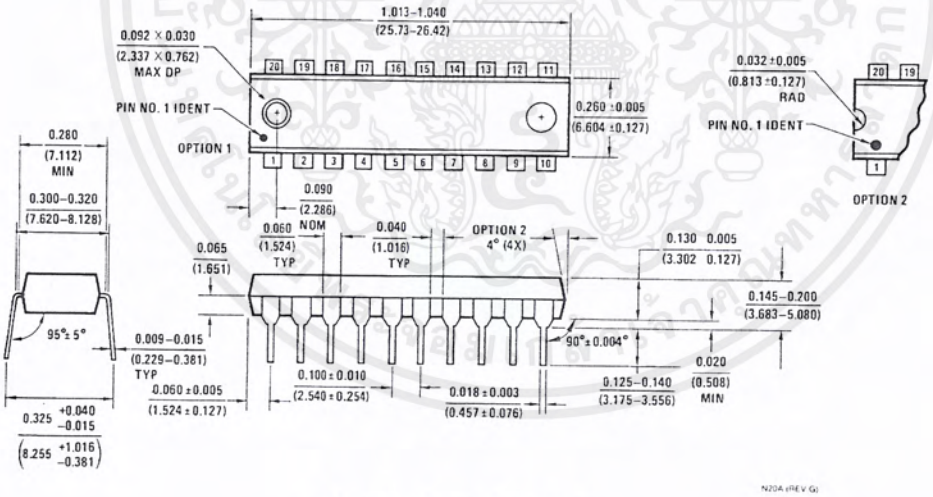
Ceramic Dual-In-Line Package (J)
Order Number DAC0830LCJ,
DAC0830LJ, DAC0832LJ or DAC0832LCJ
NS Package Number J20A

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Physical Dimensions inches (millimeters) unless otherwise noted (Continued)



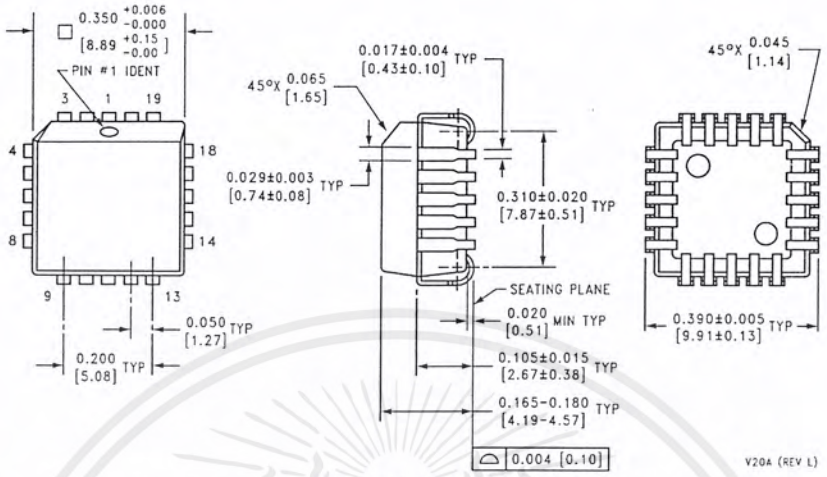
Molded Small Outline Package (M)
Order Number DAC0830LCM
or DAC0832LCM
NS Package Number M20B



Molded Dual-In-Line Package (N)
Order Number DAC0830LCN,
or DAC0832LCN
NS Package Number N20A

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Physical Dimensions inches (millimeters) unless otherwise noted (Continued)



Molded Chip Carrier (V)
Order Number DAC0830LCV
or DAC0832LCV
NS Package Number V20A

LIFE SUPPORT POLICY

NATIONAL'S PRODUCTS ARE NOT AUTHORIZED FOR USE AS CRITICAL COMPONENTS IN LIFE SUPPORT DEVICES OR SYSTEMS WITHOUT THE EXPRESS WRITTEN APPROVAL OF THE PRESIDENT AND GENERAL COUNSEL OF NATIONAL SEMICONDUCTOR CORPORATION. As used herein:

1. Life support devices or systems are devices or systems which, (a) are intended for surgical implant into the body, or (b) support or sustain life, and whose failure to perform when properly used in accordance with instructions for use provided in the labeling, can be reasonably expected to result in a significant injury to the user.
2. A critical component is any component of a life support device or system whose failure to perform can be reasonably expected to cause the failure of the life support device or system, or to affect its safety or effectiveness.

National Semiconductor Corporation
Americas
Tel: 1-800-272-9959
Fax: 1-800-737-7018
Email: support@nsc.com
www.national.com

National Semiconductor Europe
Fax: +49 (0) 1 80-530 85 86
Email: europe.support@nsc.com
Deutsch Tel: +49 (0) 1 80-530 85 85
English Tel: +49 (0) 1 80-532 78 32
Français Tel: +49 (0) 1 80-532 93 58
Italiano Tel: +49 (0) 1 80-534 16 80

National Semiconductor Asia Pacific Customer Response Group
Tel: 65-2544466
Fax: 65-2504466
Email: sea.support@nsc.com

National Semiconductor Japan Ltd.
Tel: 81-3-5639-7560
Fax: 81-3-5639-7507

National does not assume any responsibility for use of any circuitry described, no circuit patent licenses are implied and National reserves the right at any time without notice to change said circuitry and specifications.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้