สำนักหอสมุดกลาง พระจอมเกล้าลาดกระบัง

เครื่องส่งเอฟเอ็มสเตอริโอมัลติเพล็กซ์แบบสังเคราะห์ความถี่ ควบคุมด้วยไมโครคอนโทรลเลอร์

FM STEREO MULTIPLEX TRANSMITTER CONTROL BY MICROCONTROLLER

โดย

นาย ดุสิต แก้วเรืองฤทธิ์ รหัสประจำตัว 42015596

นาย สุชาติ ศิริชุม รหัสประจำตัว 42015623

อาจารย์ที่ปรึกษา

รศ.ชวลิต เบญจางคประเสริฐ

เลขหมู่.....
เลขทะเบียน 42148
วัน, เดือน, ปี 14 พ.ค. 2545
b.....
i.....

ปริญญานิพนธ์นี้เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรอุตสาหกรรมศาสตรบัณฑิต

สาขาวิชาเทคโนโลยีโทรคมนาคม

ภาควิชาเทคนิคอุตสาหกรรม

คณะวิศวกรรมศาสตร์

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

ปีการศึกษา 2543

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ชื่อโครงงานภาษาไทย	เครื่องส่งเอฟเอ็มสเตอริโอมัลติเพล็กซ์แบบสังเคราะห์ความถี่ควบคุมด้วยไมโครคอนโทรเลอร์
ชื่อโครงงานภาษาอังกฤษ	FM STEREO MULTIPLEX TRANSMITTER CONTROL BY MICROCONTROLLER
ผู้จัดทำ	นายดุสิต แก้วเรืองฤทธิ์ รหัสประจำตัว 42015596
	นายสุชาติ ศิริชุม รหัสประจำตัว 42015623
อาจารย์ที่ปรึกษา	รศ.ชวลิต เบญจางคประเสริฐ
ภาควิชา	เทคนิคอุตสาหกรรม
ปีการศึกษา	2543

คณะวิศวกรรมศาสตร์ สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง อนุมัติให้รับปริญญานิพนธ์ฉบับนี้เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรอุตสาหกรรมศาสตรบัณฑิต

คณะกรรมการการสอบปริญญานิพนธ์

.....กรรมการ
( )

.....กรรมการ
( )

.....กรรมการ
( )

.....กรรมการ
( )

.....กรรมการ
( )

ลิขสิทธิ์ของคณะวิศวกรรมศาสตร์ สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญ

	หน้า
บทคัดย่อภาษาไทย	ก
บทคัดย่อภาษาอังกฤษ	ข
กิตติกรรมประกาศ	ค
บทที่ 1 บทนำ	
1.1 แนวความคิด	1
1.2 วัตถุประสงค์	1
1.3 องค์ประกอบของปริญญานิพนธ์	1
บทที่ 2 หลักการโดยทั่วไปของเครื่องส่งเอฟเอ็ม	2
2.1 วิธีสังเคราะห์ความถี่	2
2.2 เฟสล็อคลูป (Phase Lock Loop) PLL	2
2.3 คุณสมบัติของวงจรสังเคราะห์ความถี่	6
2.4 การวิเคราะห์เฟสล็อคลูป	7
2.5 หลักการสำคัญในการออกแบบ PLL	7
2.6 เฟสดีเทคเตอร์	11
2.7 ลูปฟิลเตอร์ (LOOP FILTER)	16
2.8 ข้อพิจารณาในการออกแบบลูปฟิลเตอร์	19
2.9 วงจรผลิตความถี่ควบคุมด้วยแรงดัน (Voltage control oscillator - VCO)	24
2.10 หลักการของระบบเอฟเอ็มสเตอริโอมัลติเพล็กซ์ในปัจจุบัน	24
บทที่ 3 โครงสร้างและสถาปัตยกรรมของ MCS-51 แบบแฟลช	32
บทที่ 4 การออกแบบวงจรใช้งาน	42
4.1 วงจรควบคุมเฟส (PHASE LOCK LOOP)	42
4.1.1 วงจรกำเนิดความถี่อ้างอิง (REFERANCE OSCILLATOR)	42
4.1.2 วงจรหารกำหนดค่าได้ (N COUNTER)	43
4.1.3 วงจรเปรียบเทียบเฟส (PHASE DETECTER)	44

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4.1.4 วงจรลูปฟิลเตอร์ (LOOP FILTER) 44
4.1.5 วงจรหารค่าคงที่ (PRE SCALLER) 45
4.1.6 วงจรผลิตความถี่ควบคุมด้วยแรงดัน
(VOLTAGE CONTROL OSCILLATOR) 45
4.2 วงจรควบคุมและแสดงผล (FREQUENCY CONTROL AND DISPLAY) 46
4.3 วงจรเข้ารหัสสเตอริโอ (STEREO ENCODER) 46

บทที่ 5 สรุปผลการทดลอง และข้อเสนอแนะ 48
5.1 สรุปผลการทดลอง 48
5.2 ข้อเสนอแนะ 48
5.3 รูปสัญญาณที่จุดต่างๆ 49

เอกสารอ้างอิง 58
ภาคผนวก 59

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญรูปภาพ

	หน้า
รูปที่ 2.1 แสดงแผนผังเบื้องต้นของเฟสล็อคลูป	2
รูปที่ 2.2 แสดงการสังเคราะห์ความถี่เฟสล็อคลูปแบบโดยตรง	3
รูปที่ 2.3 แสดงเฟสล็อคลูปแบบคูณความถี่	4
รูปที่ 2.4 แสดงเฟสล็อคลูปแบบพรีสเกลเลอร์	4
รูปที่ 2.5 แสดงพรีสเกลเลอร์แบบสองโมดูลัส	5
รูปที่ 2.6 แสดงมิกซ์ซิ่งนอกลูป	5
รูปที่ 2.7 แสดงเฟสล็อคลูปแบบมิกซิ่งในลูป	6
รูปที่ 2.8 ระบบป้อนกลับ	7
รูปที่ 2.9 เฟสล็อคลูป	8
รูปที่ 2.10 a) แสดงสัญลักษณ์ของแอคคลูซีฟออร์เฟสดีเทคเตอร์	12
b) แสดงแรงดันเอาท์พุทที่สัมพันธ์กันระหว่างอินพุททั้งสองที่เข้ามา	12
c) แสดงคุณสมบัติอินพุทของเฟสดีเทคเตอร์	12
รูปที่ 2.11 แสดง R-S F/F เฟสดีเทคเตอร์	13
รูปที่ 2.12 แสดงสัญญาณอินพุทเอาท์พุทของ R-S F/F	13
รูปที่ 2.13 แสดงคุณสมบัติอินพุทเอาท์พุทของ F/F เฟสดีเทคเตอร์	13
รูปที่ 2.14 เฟสดีเทคเตอร์ที่สร้างจาก D – Flip Flop	14
รูปที่ 2.15 แสดง Phase Frequency Detectors ชนิดทริกด้วยขอบขาขึ้นของพัลซ์	14
รูปที่ 2.16 แสดงรูปคลื่นของวงจร Phase Frequency Detector	15
รูปที่ 2.17 แสดงโลฟาสฟิลเตอร์อันดับ 1 โดยใช้ R-C	17
รูปที่ 2.18 วงจร แลก-ลีด อันดับหนึ่ง	18
รูปที่ 2.19 วงจรแอคทีฟฟิลเตอร์	18
รูปที่ 2.20 วิธีแก้ทรานเซี้ยนด้วยR1 – Cc	20
รูปที่ 2.21 วิธีแก้ทรานเซี้ยนด้วย R2 – Cc เมื่อ Wc = 1/R2× Cc	20
รูปที่ 2.22 แสดงรูปคลื่นเอาท์พุทของเฟสดีเทคเตอร์และอินทิเกรเตอร์	21
รูปที่ 2.23 วงจรโลพาสฟิลเตอร์อันดับ 2 โดยใช้ออปแอมป์	22
รูปที่ 2.24 วงจร LPF อันดับ 2	22
รูปที่ 2.25 วงจรฟิลเตอร์ และซัมมิ่งเนทเวอร์ค	23

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รูปที่ 2.26 วงจรฟิลเตอร์ และซัมมิ่งเนทเวอร์ค 25
รูปที่ 2.27 การรวมสัญญาณรูปคลื่นสี่เหลี่ยม 29
รูปที่ 2.28 แสดงขอบเขตความถี่ของสัญญาณมัลติเพล็กซ์ 30
รูปที่ 2.29 แสดงการถอดสัญญาณมัลติเพล็กด้วยวงจรจริงมอดูเลเตอร์ 31
ภาพที่ 2.30 โครงสร้างพื้นฐานของไมโครคอนโทรลเลอร์ MCS-51
แบบแฟลชในอนุกรมAT89Cxx 34
ภาพที่ 3.2 โครงสร้างพื้นฐานของไมโครคอนโทรลเลอร์ MCS-51
แบบแฟลชในอนุกรม AT89Sxx 34
รูปที่ 4.1 แสดงโครงสร้างภายในของ MC145151 42
รูปที่ 4.2 แสดงการต่อ X-TEL และ capacitor 43
รูปที่ 4.3 รูปคลื่น Phase detector/Lock detector 44
รูปที่ 5.1 สัญญาณคลื่นพาห์ย่อย (SUB CARRIER) 49
รูปที่ 5.2 สัญญาณคลื่นนำทาง (PILOT TONE) 50
รูปที่ 5.3 สัญญาณที่ขา PD ของ MC145151 51
รูปที่ 5.4 สัญญาณของคลื่นพาห์ที่ความถี่ 87.9044MHz 52
รูปที่ 5.5 สัญญาณเมื่อป้อนสัญญาน 106.1 Hz ที่ L และ R 53
รูปที่ 5.6 สัญญาณเมื่อป้อนสัญญาน 106.1 Hz ที่ L 54
รูปที่ 5.7 สัญญาณเมื่อป้อนสัญญาน 106.1 Hz ที่ R 55
รูปที่ 5.8 สัญญาณจากวงจร SUMMING เมื่อมีอดด้วยความถี่ 3 KHz 56
รูปที่ 5.9 สัญญาณอ้างอิง 75.86 KHz 57

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญตาราง

	หน้า
ตารางที่ 2.1 Steady State Error For Various System Type	11
ตารางที่ 3.1 แสดงหน้าที่พิเศษของพอร์ต 1 ในไมโครคอนโทรลเลอร์ MCS-51 แบบเฟลช	36
ตารางที่ 3.2 แสดงการเลือกแบงก์ของหน่วยความจำส่วนล่าง เพื่อติดต่อกับรีจิสเตอร์แบงก์ R0-R7	41

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เครื่องส่งเอฟเอ็มสเตอริโอมัลติเพล็กซ์แบบสังเคราะห์ความถี่ ควบคุมด้วยไมโครคอนโทรเลอร์

โดย นายคุสิต แก้วเรืองฤทธิ์ รหัสประจำตัว 42015596
นายสุชาติ ศิริชุม รหัสประจำตัว 42015623

อาจารย์ที่ปรึกษา รศ.ชวลิต เบญจางคประเสริฐ

ปีการศึกษา 2543

บทคัดย่อ

เครื่องส่งเอฟเอ็มในโครงงานนี้เป็นเครื่องส่งที่ออกแบบมาเพื่อใช้งานแบบสถานีที่ใช้กำลังส่งต่ำ แต่หากต้องการให้ทำการส่งได้ระยะไกลมากขึ้นก็ทำได้โดยการเพิ่มวงจรขยายเข้าไป ตัวเครื่องมีเสถียรภาพทางความถี่ที่ดีเพราะภาคเฟสล็อคลูปทั้งหมดใช้ไอซีสำเร็จรูป ในส่วนของวงจรควบคุมนั้นก็เลือกใช้ไมโครคอนโทรลเลอร์ ทำให้สามารถเพิ่มเติมฟังก์ชั่นได้มากขึ้น อีกทั้งยังสามารถเปลี่ยนความถี่ด้วยเครื่องไมโครคอมพิวเตอร์ได้อีกด้วย

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

FM STEREO MULTIPLEX TRANSMITTER CONTROL BY MICROCONTROLLER

By Mr.Dusit Keawruangrit ID 42015596
Mr.Suchat Sirichum ID 42015623

Adviser Assoc.Prof Chawalit Banjangkaprasert

Year 2000

Abstract

This project is FM stereo multiplex control by microcontroller. It is designed for low power FM station if to require transmit long distance can be install linear amplifier.

This transmitter have good frequency stability because it use phase lock loop integrated circuit.

In control section use microcontroller so to be more than application, and transmitter can be control by microcomputer

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

กิตติกรรมประกาศ

ปริญญานิพนธ์ฉบับนี้สำเร็จลุล่วงได้ด้วยความช่วยเหลือเป็นอย่างดีจาก รศ. ชวลิต เบญจางคประเสริฐ ซึ่งเป็นอาจารย์ที่ปรึกษาท่านได้ให้คำแนะนำ และข้อคิดเห็นต่างๆ รวมทั้งเครื่องมือและอุปกรณ์ในการทดลองวิจัยตลอดระยะเวลาหนึ่งปี

ขอกราบขอบพระคุณ บิดา มารดา อันเป็นที่รักและเคารพอย่างยิ่ง ที่ให้กำลังใจ และเงินทุนสนับสนุนด้านการศึกษามาโดยตลอด จนสำเร็จการศึกษา ซึ่งถือได้ว่าเป็นจุดที่ทำให้ ประสบความสำเร็จจุดหนึ่งในชีวิต

สุดท้ายนี้ขอกราบขอบพระคุณ ภาควิชาเทคนิคอุตสาหกรรม คณะวิศวกรรมศาสตร์ สถาบันเทคโนโลยีพระจอมเกล้าคุณทหารลาดกระบัง โดยเฉพาะที่นนทบุรี ซึ่งเป็นที่ทำการทดลองวิจัย ตลอดจนเจ้าหน้าที่ต่างๆ ที่ให้ความช่วยเหลือและคอยอำนวยความสะดวกแก่คณะผู้จัดทำ

ผู้จัดทำ

นาย ดุลิต แก้วเรืองฤทธิ์

นาย สุชาติ ศิริชุม

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 1
บทนำ

1.1 แนวความคิด

ในปัจจุบันการกระจายเสียง ด้วยระบบเอฟเอ็มในช่วง 88 – 108 MHz นั้นยังเป็นที่นิยมใช้งานกันอยู่ซึ่งเมื่อก่อนนั้นการจัดสร้างเป็นเรื่อง ยุ่งยากมากแต่ในปัจจุบันนี้มีการสร้าง ไอซีเฟสล็อค ลูปออกมาทำให้สร้างวงจรผลิตความถี่ได้ง่ายขึ้นอีกทั้งความก้าวหน้าทางด้านไมโครอนโทรลเลอร์นั้นมีความก้าวหน้าไปอย่างมาก มีการพัฒนามาใช้หน่วยความจำแบบใหม่ๆ ทำให้การทำให้การพัฒนาผลิตภัณฑ์ที่ใช้ไมโครคอนโทรลเลอร์ นั้นมีความสะดวกมากขึ้น จึงมีแนวคิดที่จะรวมสองอย่างนี้เข้าด้วยกันเพื่อให้ได้เรื่องส่งเอฟเอ็มที่มีความสมบูรณ์แบบ

1.2 วัตถุประสงค์

1. เพื่อศึกษาระบบสังเคราะห์ความถี่
2. เพื่อศึกษาการมอดูเลตแบบเอฟเอ็ม
3. เพื่อศึกษาการสร้างวงจรควบคุมด้วยไมโครคอนโทรลเลอร์
4. สามารถสร้างเครื่องส่งเอฟเอ็มได้

1.3 องค์ประกอบของปริญญานิพนธ์

บทที่ 2 เป็นทฤษฎีของเครื่องส่งเอฟเอ็มในส่วนต่างๆ ทั้งเฟสล็อคลูปและทฤษฎีของการมัลติเพล็กสัญญาณ

บทที่ 3 เป็นทฤษฎีและโครงสร้างของไมโครคอนโทรลเลอร์ MCS51

บทที่ 4 เป็นหลักการออกแบบวงจรใช้งานจริง

บทที่ 5 ผลการสรุปผลการทดลองและข้อเสนอแนะ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 2
หลักการโดยทั่วไปของเครื่องส่งเอฟเอ็ม

ระบบสังเคราะห์ความถี่ (Frequency Synthesizer)

เครื่องรับส่งวิทยุในปัจจุบัน ส่วนใหญ่นิยมใช้วิธีสังเคราะห์ความถี่ แทบทั้งนั้นวงจรที่ทำหน้าที่สังเคราะห์ความถี่ ด้วยวิธีสังเคราะห์ความถี่นี้ ทำให้เครื่องรับและเครื่องส่งวิทยุ มีการพัฒนาขีดความสามารถขึ้นทำให้สามารถ โปรแกรมความถี่ใช้งานได้ทำให้เกิดความคล่องตัว ในการติดต่อสื่อสารเป็นอย่างมาก

2.1 วิธีสังเคราะห์ความถี่

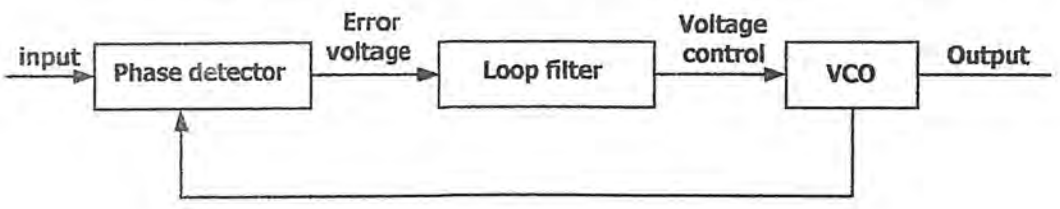
วงจรสังเคราะห์ความถี่คือวงจรที่ทำหน้า ที่ผลิตสัญญาณความถี่ขนาดพอเหมาะและขนาดตามความต้องการ การโปรแกรมความถี่สามารถทำได้ โดยการตั้งสวิตซ์หรือปุ่มแต่ในปัจจุบันนิยมใช้วิธีสั่งงานด้วย Computer ช่วงความถี่ใช้งานของวงจร สังเคราะห์ความถี่จะจำกัดอยู่ในช่วงที่แน่นอนแล้วแต่การ ใช้งานความละเอียดของความถี่ที่เปลี่ยน ไปเรียกว่าเรโซลูชั่น (Resolution)

วิธีสังเคราะห์โดยตรง (Direct System) ซึ่งต้องใช้ความถี่หลาย ๆ ค่ามาผสมกันเพื่อเพื่อให้ได้ความถี่ที่ต้องการ โดยปกติใช้ x'tal หลายชุด

วิธีสังเคราะห์โดยทางอ้อม Ind.irect Systhesis)วิธีการนี้อาศัยหลักการของเฟสล็อคลูป (Phase Locked loop) โดยการกำเนิดสัญญาณจากวงจร ออสซิลเลเตอร์ซึ่งควบคุมความถี่ โดยปรับแรงดันที่เรียกว่า VCO สัญญาณจาก VCO จะถูกป้อนกลับจะถูกเปรียบเทียบกับ ความถี่อ้างอิงจากนั้นนำความถี่ที่คลาดเคลื่อนแปลงเป็นแรงดัน ไปทำการควบคุมการผลิตความถี่ของ VCO อีกครั้งหนึ่ง

2.2 เฟสล็อคลูป (Phase Lock Loop) PLL

เฟสล็อคลูปเป็นระบบป้อนกลับ ที่บังคับให้วงจรออสซิลเลเตอร์มีความถี่หรือเฟสเปลี่ยนแปลงไปตามความถี่หรือเฟส ของสัญญาณอ้างอิงภายนอก เฟสล็อคลูปประกอบด้วยภาคสำคัญ 3 ภาค คือ เฟส ดีเท็กเตอร์ (Phase Detector) ลูปฟิลเตอร์ (Loop Filter) และภาค VCO ดังรูป



รูปที่ 2.1 แสดงแผนผังเบื้องต้นของเฟสล็อคลูป

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

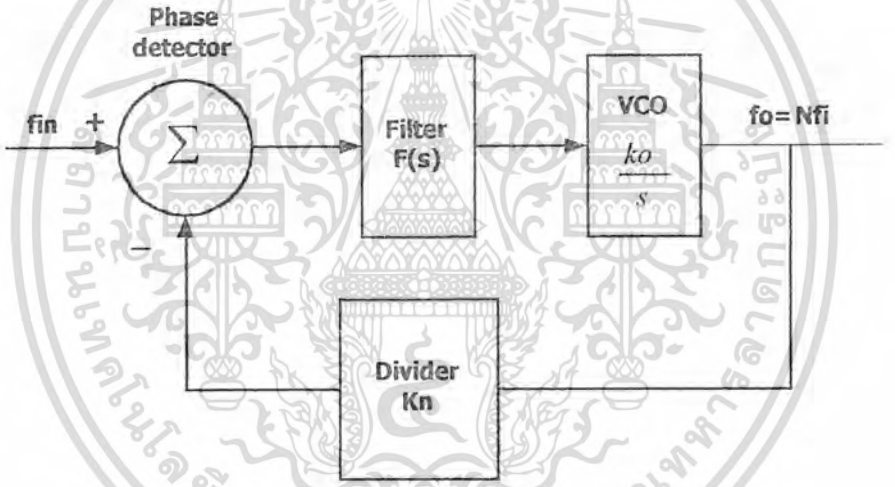
โดยสมมุติว่ามีสัญญาณความถี่อ้างอิงภายนอกเป็นสัญญาณรายคาบ (Periodic) เข้ามาที่อินพุทภาคเปรียบเทียบเฟสทำหน้าที่เปรียบเทียบเฟส ระหว่างสัญญาณอ้างอิง

การใช้เฟสล็อคลูปในการสังเคราะห์ความถี่

การสังเคราะห์ความถี่มีอยู่หลายรูปแบบ ตัวอย่างที่กล่าวดังต่อไปนี้เป็นการสังเคราะห์ความถี่ซึ่งมีการกำหนดแต่ละขั้นมีค่าเท่ากับความถี่อ้างอิง (fr)

เฟสล็อครูปโดยตรง

วิธีการสังเคราะห์แบบนี้ใช้ เฟสล็อคลูปแบบโดยตรงนับว่าเป็นวิธีการที่ง่าย โดยความถี่เอาส์พุทมีค่าเป็น N เท่าของความถี่อ้างอิง ดังรูปที่ ในที่นี้ VCO ต้องสามารถทำงานได้ตลอดย่านความถี่เอาท์พุทซึ่งอาจขึ้นไปถึง 200 MHz อย่างไรก็ดีวงจรนับที่ทำหน้าที่โปรแกรมเป็นตัวหารนั้นมีราคาแพง เราจึงจำเป็นต้องปรับปรุงวิธีการสังเคราะห์ความถี่เป็นแบบอื่น

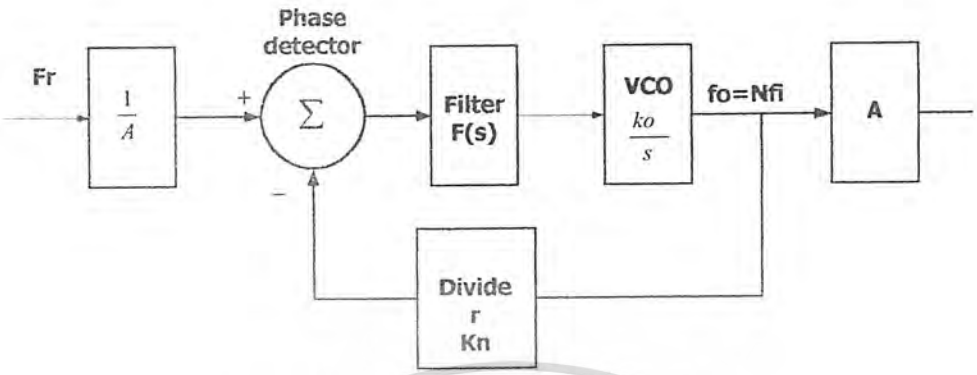


รูปที่ 2.2 แสดงการสังเคราะห์ความถี่เฟสล็อคลูปแบบโดยตรง

เฟสล็อคลูปแบบคูณความถี่

รูปที่ 2.3 ، เราจะหารความถี่อ้างอิงลง 9 เท่าก่อนที่จะป้อนให้แก่วงจรเฟสดีเทคเตอร์ และเอาท์พุทจาก VCO ก็คูณความถี่ขึ้น 9 เท่า วิธีนี้ช่วยลดความถี่การทำงานของวงจรหาร N ลงแต่ก็ทำให้การตอบสนองต่อการเปลี่ยนแปลงความถี่ ของเฟสล็อคลูปช้าลงเนื่องจากความถี่ที่ใช้ในการเทียบเฟสต่ำลง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

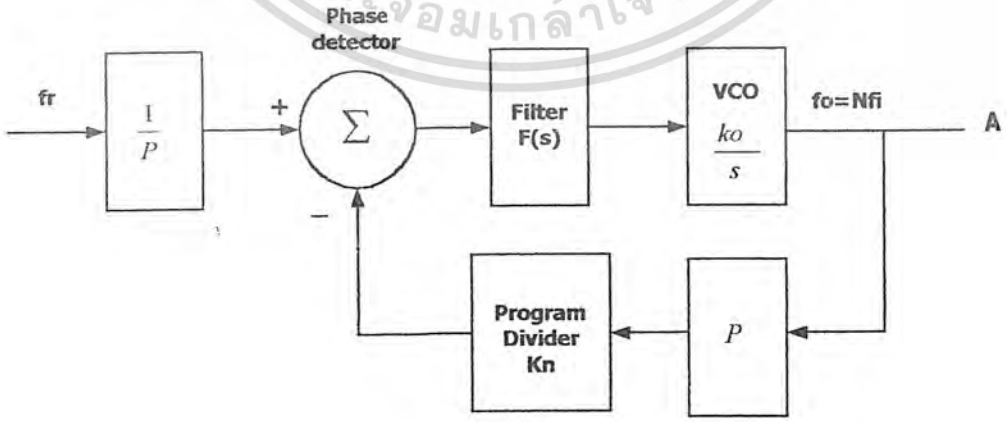


รูปที่ 2.3 แสดงเฟสล็กลูปแบบคูณความถี่

เฟสล็อคลูปแบบพรีสเกลเลอร์

เฟสล็อคลูปในรูปที่ 2.4 ใช้วิธีหารความอ้างอิงลง P เท่าก่อนที่จะป้อนแก่วงจรเฟสดีเทคเตอร์และใช้วิธีคูณความถี่ขึ้นไป P เท่าภายในลูปแทนที่จะคูณความถี่ภายนอกลูป ดังเช่นเฟสล็อคลูปแบบคูณความถี่วงจร VCO ในกรณีนี้ต้องทำงานขึ้นไปถึงความถี่ที่ใช้งานโดย ไม่ต้องมีวงจรทวีคูณ (MULTIPLIER)

วงจรนับหารP เป็นชุดวงจรฟลิปฟลอปธรรมดาซึ่งตัวหารกำหนดไว้ตายตัวและสามารถทำงานที่ความถี่สูงได้ เราเรียกวงจรนี้ว่าวงจรพรีสเกลเลอร์ ส่วนวงจรนับหาร N ซึ่งโปรแกรมตัวหารได้นั้นทำงานที่ความถี่ต่ำลงเช่นเดียวกับเฟสล็อคลูปในรูปที่ 2.3

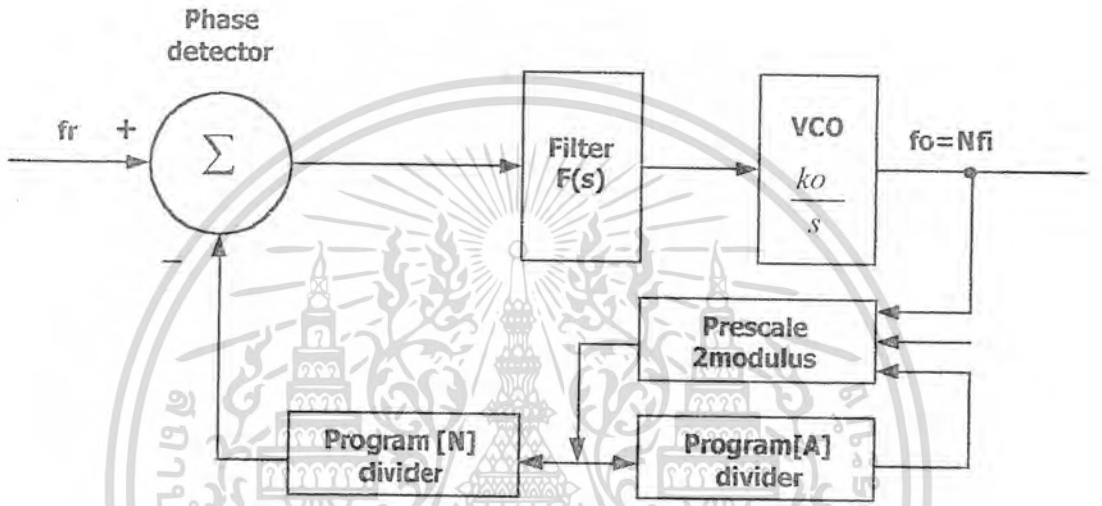


รูปที่ 2.4 แสดงเฟสล็อคลูปแบบพรีสเกลเลอร์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เฟสล็อคลูปแบบพรีสเกลสองโมดูลัส (Dual Modulus Prescaler)

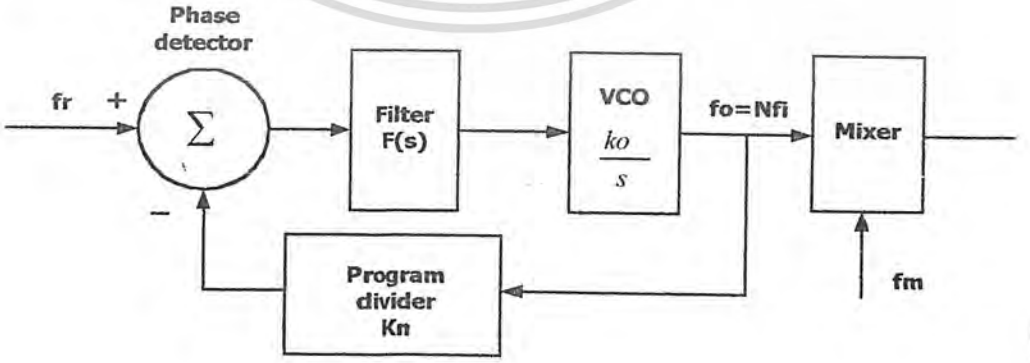
เฟสล็อคลูปในรูปที่ 2.5 ใช้พรีสเกลเลอร์เช่นเดียวกันกับในรูปที่ 2.4 เว้นแต่วงจรพรีสเกลเลอร์นี่ไม่ใช่เป็นวงจรนับหารค่าตายตัว P แต่เป็นวงจรนับหารเปลี่ยนค่าได้ระหว่าง P + 1 เราเรียกพรีสเกลเลอร์สองโมดูลลัส (เลือกตัวหาร P ก็ได้หรือจะเลือก P+1 ก็ได้) วงจรนับหาร N ซึ่งโปรแกรมตัวหารได้นั้นทำงานที่ความถี่ต่ำลง



รูปที่ 2.5 แสดงพรีสเกลเลอร์ แบบสองโมดูลัส

เฟสล็อคลูปแบบมิกซ์ซิ่งนอกลูป

เฟสล็อคลูปในรูปที่ 2.6 อาศัยความถี่อีกความถี่หนึ่งเพื่อผสม (MIXER) กับความถี่VCO ให้เอาท์พุทของเฟสล็อคลูปมีความถี่สูงขึ้น ในที่นี้เราปรับชั้นเท่ากับความถี่อ้างอิง เท่ากับผลรวมของความถี่เดิมผสมกับความถี่จาก VCO

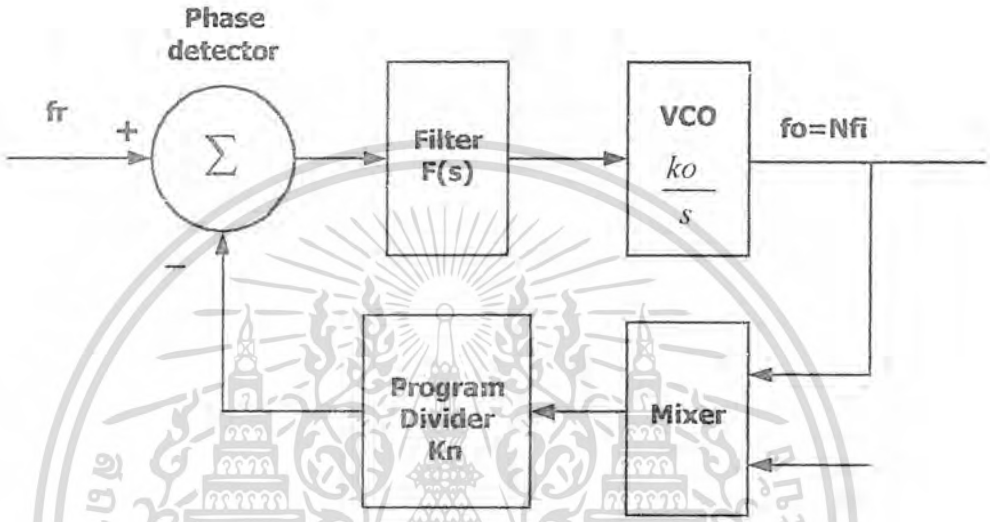


รูปที่ 2.6 แสดงมิกซ์ซิ่งนอกลูป

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เฟสล็อคลูปแบบมิกซ์ซิ่งในลูป

จากในรูปที่ 2.7 เป็นการมิกซ์อีกแบบหนึ่งซึ่งผสมมาใช้ ในลูปสัญญาณจาก VCO และความถี่ที่ได้จากการมิกซ์ (FM) จะบีม (BEAM) กันได้ความถี่ต่ำลงแล้วจึงป้อนเข้าสู่วงจรนับหาร N ความถี่เอาท์พุทที่ได้เท่ากับผลรวมของความถี่ที่นำมาผสมกับความถี่ VCO



รูปที่ 2.7 แสดงเฟสล็อคลูปแบบมิกซิ่งในลูป

2.3 คุณสมบัติของวงจรสังเคราะห์ความถี่

นอกจากวงจรสังเคราะห์ความถี่ จะต้องมีคุณสมบัติเกี่ยวกับช่วงความถี่ (frequency range) ที่จะต้องผลิตและเรโซลูชั่นระหว่างขั้นแล้ว คุณสมบัติอื่นๆ ของวงจรสังเคราะห์ความถี่ก็มีความสำคัญสำหรับเครื่องรับ-ส่งวิทยุอีกด้วย

โดยปกติวงจรสังเคราะห์ความถี่ จะสามารถกำเนินสัญญาณเพียงอย่างเดียว แต่เลือกความถี่ได้หลาย ๆ ค่าและความละเอียดของความถี่ขึ้นอยู่กับเรโซลูชั่น ในขณะที่เราเปลี่ยนค่าความถี่วงจรสังเคราะห์จะต้องล็อคความถี่ได้ เวลาอันรวดเร็วนั่นคือช่วงเวลาล็อค (Lockup Time)

วงจรสังเคราะห์ความถี่ที่ดีจะต้องมีสัญญาณความถี่เดียวและปราศจากความถี่แปลกปลอมต่างๆ คุณสมบัตินี้เรียกว่าความบริสุทธิ์ของสเปกตรัม (Spectrum Purity) ค่าของอาโมนิก (Harmonic) และสิ่งแปลกปลอม (Sperious) ต่างๆ จะต้องถูกกำจัดให้เหลือน้อยที่สุด

ความเที่ยงตรง (Accuracy) และเสถียรภาพ (Stability) ทางความถี่ของวงจรสังเคราะห์ความถี่ขึ้น อยู่กับสัญญาณอ้างอิงซึ่งโดยทั่วไปจะใช้แร่ X-TAL ดังนั้นวงจรสังเคราะห์ความถี่จะมีเสถียรภาพหรือไม่ขึ้นอยู่กับ X-TAL OSCILLATOR

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.4 การวิเคราะห์เฟสล็อคลูป

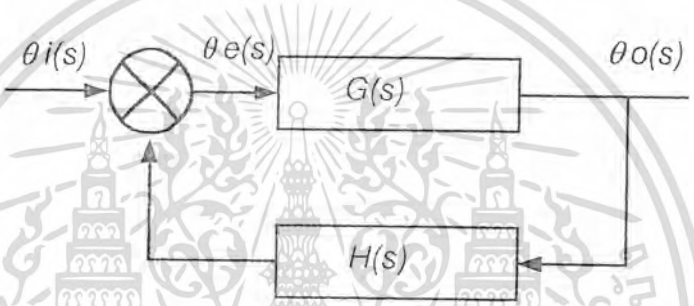
$\theta i(s)$ = Phase input

$\theta e(s)$ = Phase error

$\theta o(s)$ = Output phase

G(s) = Forward gain

H(s) = Feedback gain



รูปที่ 2.8 ระบบป้อนกลับ

2.5 หลักการสำคัญในการออกแบบ PLL

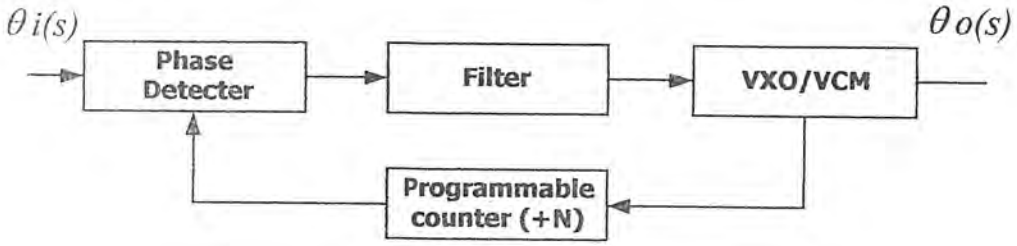
หลักการที่สำคัญจะอยู่ที่การใช้เทคนิคของ Laplace Tranfrom วิเคราะห์หาค่าการตอบสนองของระบบ F(t) ในรูปสมการเชิงซ้อน F(s) โดยการตอบสนองของระบบจะมีทั้งช่วงที่เป็น Transient (ช่วงสวิง) และช่วงสภาวะคงตัว (Steady State) โดยที่ Laplace transfrom จะใช้กับช่วงเวลาที่เป็นบวก ซึ่ง PLL จะล็อคสัญญาณได้ทั้ง Linear และ Non Linear ดังรูป เราสามารถวิเคราะห์ความสัมพันธ์ได้เป็น

$$\theta e(s) = \frac{1}{[1 + G(s)H(s)]} \times \theta i(s) \qquad (1)$$

$$\theta o(s) = \frac{G(s)}{[1 + G(s)H(s)]} \times \theta i(s) \qquad (2)$$

ค่า Parameter ต่างๆที่มีความสัมพันธ์กับ PLLดังแสดงในรูปที่ 2.9

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.9 เฟสล็อคลูป

เฟสดีเท็กเตอร์ จะทำการสร้างแรงดันไฟฟ้าโดยอาศัยความแตกต่าง ระหว่างเฟสของสัญญาณอินพุทและสัญญาณเอาท์พุท ที่ผ่านการหารความถี่ซึ่งแรงดันไฟฟ้าที่ได้นี้ จะนำไปควบคุม VCO หรือ VCM (Voltage Control Multiplier)

ดังนั้น VCO หรือ VCM โดยอาศัยอินพุทโวลท์เตจเป็นตัวเปลี่ยนแปลงความถี่ และความถี่ที่ได้คือ Fo = Nfi

ใน Forward path จะประกอบด้วย เฟสดีเทคเตอร์ ฟิลเตอร์ และ VCO หรือ VCM สวนใน Feedback Path จะประกอบด้วยโปรแกรมหารความถี่ ถ้าเราปรับอัตราขยายใน Feedback Path ให้มีค่าเป็น 1 (N=1) ความถี่เอาท์พุทจะเท่ากับความถี่อินพุท

ค่าผิดพลาด (Error Constants)

$\theta e(s)$ คือค่าผิดพลาดของเฟสระหว่างสัญญาณ อินพุท $\theta i(s)$ กับสัญญาณ Feed back $\theta o(s)$ เราจะนำ $\theta e(s)$ มาทำการวิเคราะห์หาค่า Steady state transient โดยใช้ Laplace Tranfrom ทำการวิเคราะห์หาค่าผิดพลาดของระบบจาก

$$\lim[\theta e(t)] = \lim[S\theta e(s)]$$

เมื่อ

$$\theta e(s) = \frac{1}{[1 + G(s)H(s)]} \times \theta i(s)$$

และสัญญาณ Input $\theta i(s)$ เป็น Step function

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$\theta i(t) = Cp \quad ; t > 0$$

$$\theta i(s) = Cp / S$$

เมื่อ Cp คือขนาดของสัญญาณ Step function

$$\theta i(s) = Cv \times t \; ; \; t > 0$$

$$\theta i(s) = Cp / S^2$$

เมื่อ Cv คือขนาดของอัตราส่วนของการเปลี่ยนมุมเฟสในหน่วยเรเดียนต่อวินาทีซึ่งก็คือความแตกต่างระหว่างความถี่อินพุทกับความถี่จาก VCO ดังนั้น Cv คือค่าความแตกต่างของความถี่ต่อวินาทีที่เฟสดีเทคเตอร์

และที่สัญญาณอินพุทเป็น Parabolic Function หรือ Step Acceleration

$$\theta i(t) = Ca \times t^2 \; ; t > 0$$

$$\theta i(s) = Cp / S^3$$

เมื่อ Ca คือ ขนาดของอัตราส่วนความถี่ที่เปลี่ยนแปลงในหน่วยเรเดียนต่อวินาที^{2}

พิจารณา loop $G(s)\,H(s)$

Type 1.

$G(s)H(s) = K / S(S+a)$

Type 2.

$G(s)H(s) = K(S+a) / S^2$

Type 3.

$G(s)H(s) = K(S+a)\,(S+b) / S^3$

ค่า Final Value ของ Phase Error สำหรับแบบที่1(Type 1.)โดยป้อน Step Position ที่อินพุทได้ $\theta i(s) = Cp / S$ จะได้

$$\theta e(s) = \left[\frac{1}{\{1 + k / S(S + a)\}}\left[\frac{Cp}{S}\right]\right]$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$= \frac{(S+a)Cp}{(S^2+aS+K)}$$

$$\theta e(t\to\alpha) = \lim S\,\theta e(s)$$

$$= \lim S \frac{S(S+a)Cp}{(S^2+aS+K)} = 0$$

จะเห็นได้ว่า Stady State เฟสเออร์เรอร์จะไม่มี (=0)

แต่ถ้าสัญญาณอินพุทเป็น Step Velocity

$$\theta i(s) = \frac{Cv}{S^2}$$

$$\theta e(s) = [\frac{1}{\{1+K/S(S+a)\}}][\frac{Cv}{S^2}]$$

$$\theta e(s) = \frac{(S+a)Cv}{S(S^2+aS+K)}$$

$$\theta e(t\to\alpha) = \lim \frac{S(S+a)Cv}{S(S^2+aS+K)}$$

$$= \frac{aCv}{K} = \text{ค่าคงที่}$$

และถ้าสัญญาณอินพุทเป็น Step Acceleration

$$\theta i(s) = \frac{2Ca}{S^3}$$

$$\theta e(s) = \frac{2(S+a)Ca}{[S^2(S^2+aS+K)]}$$

$$\theta e(t\to\alpha) = \lim \frac{S\times 2(S+a)Ca}{[S(S^2+aS+K)]}$$

$$= \lim \frac{2(S+a)Ca}{S(S^2+aS+K)}$$

$$\cong \alpha$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ซึ่งสรุปได้ดังตาราง

อินพุท	Type 1	Type 2	Type 3
Step Position	0	0	0
Step Velocity	Constant	0	0
Step Acceleration	∞	Constant	∞

ตารางที่ 2.1 Steady State Error For Various System Type

ค่าผิดพลาดเฟสเป็นศูนย์ จะแสดงให้เห็นว่าสัญญาณอินพุททั้งสอง ของเฟสดีเทคเตอร์มีเฟสสัมพันธ์กันจะทำให้เฟสล็อค

ค่าผิดพลาดเฟสเป็นค่าคงที่ (Constant) จะแสดงให้เห็นว่าเกิดความแตกต่างระหว่างเฟสอินพุททั้งสอง Phase Detector แต่เฟสยังล็อคอยู่

ที่ค่าผิดพลาดทางเฟสมีค่ามากขึ้นเรื่อยๆ (Continually increasing $\theta e(t \rightarrow \alpha)$) จะแสดงให้เห็นว่าเฟสจะเปลี่ยนแปลง ตามเวลาเสมอดังนั้นระบบจึงไม่ล็อค

2.6 เฟสดีเทคเตอร์

เฟสดีเทคเตอร์ (Phase Detector) เป็นส่วนหนึ่งของระบบเฟสล็อคลูป ซึ่งเป็นตัวทำหน้าที่ให้เกิดแรงดันอนาล็อค หรือดิจิตอลที่เอาท์พุทของตัวมัน ซึ่งแรงดันที่ปรากฏออกมานี้จะเป็นอัตราแปรผันตามความต่างเฟสของสัญญาณอินพุทสอง สัญญาณที่เข้ามาในเฟสดีเทคเตอร์

ลักษณะของเฟสดีเทคเตอร์สามารถแบ่งการทำงานออกเป็น 2 แบบคือ

อานาล็อคเฟสดีเทคเตอร์ (Analog Phase Detector)

ได้แก่การมิกซ์ที่เอาท์พุทจะแปรตาม ขนาดสัญญาณอินพุทวงจรที่ทำหน้าที่ได้แก่วงจรบาลานซ์มิกเซอร์ (Balance Mixer) และแซมปลิ้งดีเทคเตอร์ (Sampling Detector) เป็นการกำหนดโดยให้สัญญาณอ้างอิง Fr เป็นสัญญาณพัลซ์ซึ่งมีคาบเวลาคงที่ ไปทำการสุ่มสัญญาณอินพุทด้วยช่วงเวลาสั้นๆ โดยที่เอาท์พุทจะเป็นอัตราส่วนโดยตรงกัน

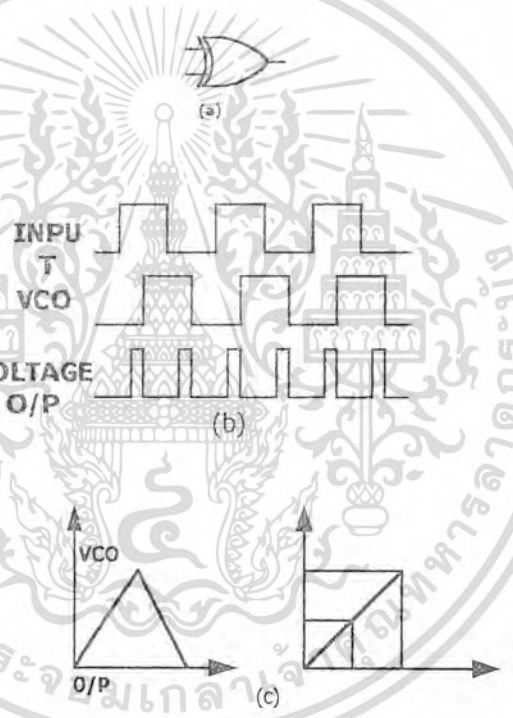
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ดิจิตอลดีเทคเตอร์ (Digital Detector) มีหลายชนิดได้แก่

เอคคลูซีฟออร์เฟสดีเทคเตอร์ (Exclusive OR phase Detector) เราสามารถนำเอาเอคคลูซีฟออร์มาทำเป็นเฟสดีเทคเตอร์ได้ โดยที่เอาท์พุทเป็น 1 ก็ต่อเมื่อ สัญญาณอินพุทมีเฟสต่างกันและลอจิกเป็น 0 เมื่ออินพุททั้งสองมีเฟสเหมือนกัน แรงดันเฉลี่ยที่เอาท์พุทของเฟสดีเทคเตอร์จะเป็นตามสมการ

$$Vodc = Vp + D$$

โดยที่ Vp = แรงเคลื่อนสูงสุดของลอจิก "1" D = Duty cycle



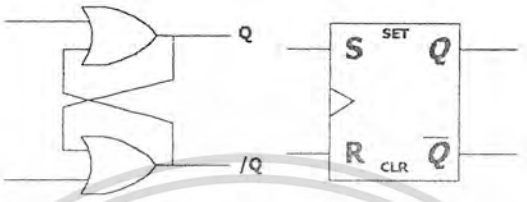
รูปที่ 2.10 a) แสดงสัญลักษณ์ของเอคคลูซีฟออร์เฟสดีเทคเตอร์
b) แสดงแรงดันเอาท์พุทที่สัมพันธ์กันระหว่างอินพุททั้งสองที่เข้ามา
c) แสดงคุณสมบัติอินพุทของเฟสดีเทคเตอร์

จากคุณสมบัติของอินพุทของเฟสของเฟสดีเทคเตอร์ชนิดนี้ จะเห็นว่าสามารถใช้ได้ในช่วงต่างเฟสระหว่าง 0-π โดยที่สัญญาณอินพุทจำเป็นต้องมีค่า ดิวตี้ไซเคิลเท่ากับ 50 เปอรเซ็นต์ และเอาท์พุทที่ได้จะมีค่าความถี่เป็นสองเท่าของความถี่อินพุท ส่วนค่าของคอนเวอร์ชั่นเกนเท่ากับ $\frac{V_{DD}}{2\pi}$

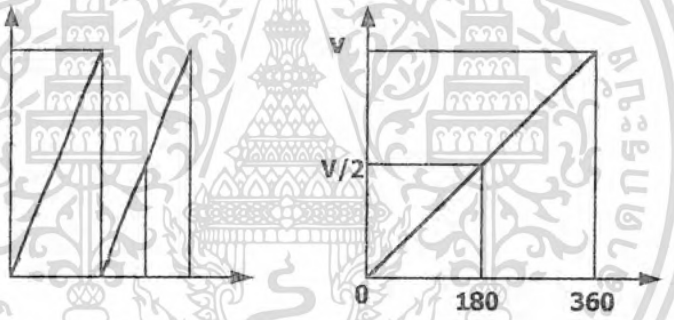
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เอดจ์ทริกเกอร์เฟสดีเทคเตอร์ หรือฟลอบดีเทคเตอร์ (Edge Triggered PhaseDetector)

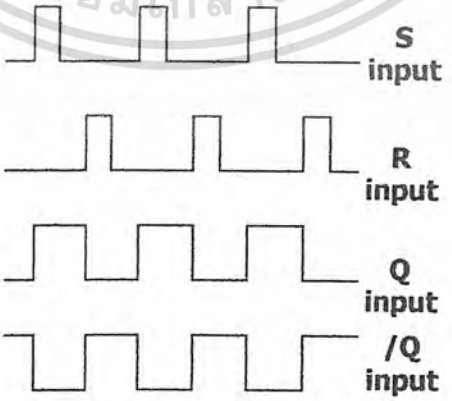
เป็นเฟสดีเทคเตอร์อีกชนิดหนึ่ง ที่ใช้ฟลิบฟลอบเป็นตัวทำให้เกิด แรงดันเอาท์พุทที่มีอัตราแปรผันกับสัญญาณอินพุท ทั้งสองที่เข้ามาดังแสดงในรูป 2.11



รูปที่ 2.11 แสดง R-S F/F เฟสดีเทคเตอร์



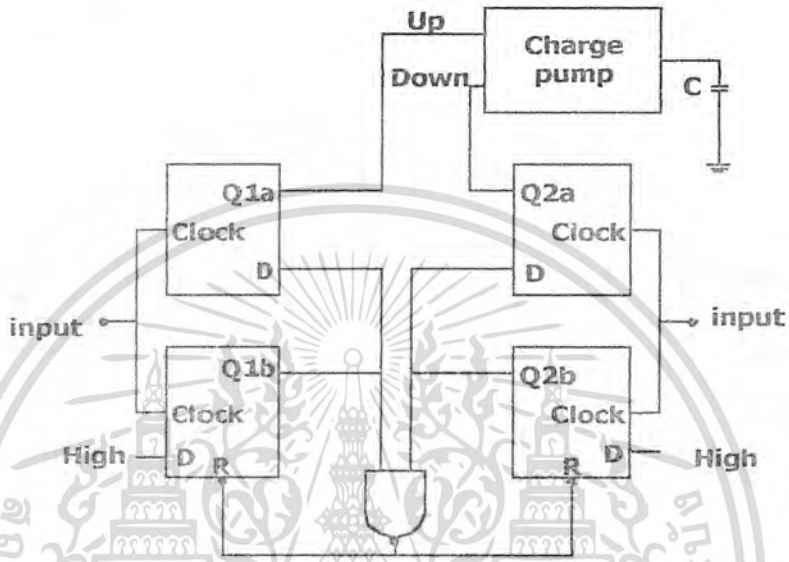
รูปที่ 2.12 แสดงสัญญาณอิพุทเอาท์พุทของ R-S F/F



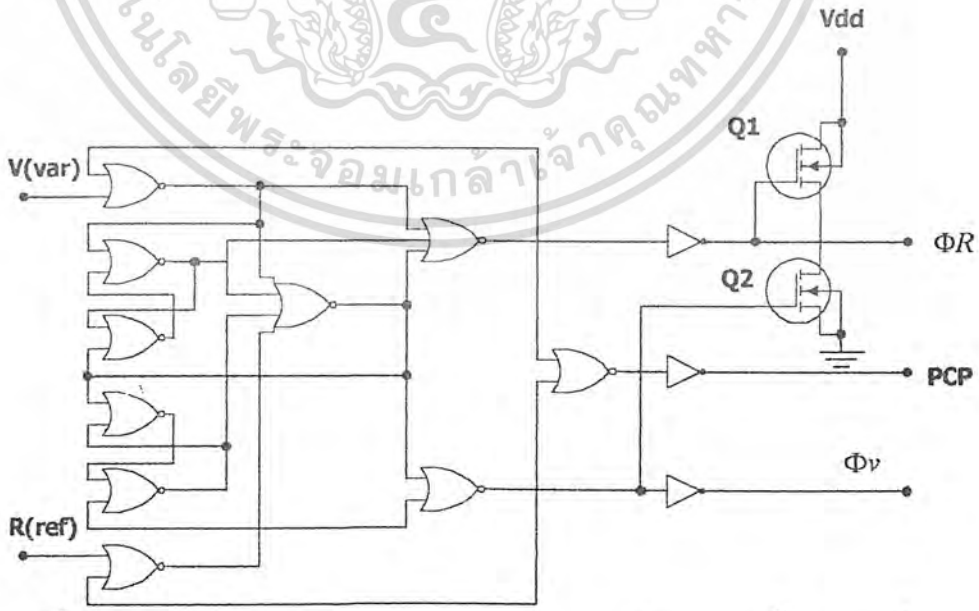
รูปที่ 2.13 แสดงคุณสมบัติอินพุทเอาท์พุทของ F/F เฟสดีเทคเตอร์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากรูปจะเห็นได้ว่า วงจรเฟสดีเทคเตอร์ที่ใช้ทริก ด้วยขอบสัญญาณพัลซ์สามารถใช้ความต่างเฟสได้ตั้งแต่ 0 - 2π (เป็น 2 เท่าของเอ็กคลูซีฟออร์) และความถี่ของสัญญาณเอาท์พุทจะเท่ากับ อินพุทพัลซ์แต่ละลูกซึ่งไม่จำเป็นต้องมีค่าดิวตี้ไซเคิลเท่ากับ 50 เปอร์เซ็นต์ ส่วนคอนเวอร์ชั่นเกนมีค่าเท่ากับ $Vdd / 2\pi$



รูปที่ 2.14 เฟสดีเทคเตอร์ที่สร้างจาก D – Flip Flop



รูปที่ 2.15 แสดง Phase Frequency Detectors ชนิดทริกด้วยขอบขาขึ้นของพัลซ์

Phase Frequency Detector

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

แม้ว่าเฟสดีเทคเตอร์แบบ Ex - OR และแบบ Flip Flop จะเป็นวงจรที่ง่ายแต่ก็มีข้อจำกัด คือจำเป็นต้องมีฟิลเตอร์สัญญาณเอาพุทที่ดี เพื่อจะแลกค่าเฉลี่ยของแรงดัน DC ที่ต้องการและเมื่อนำไปใช้ในวงจร PLL จะได้ผลตอบสนองช้า จึงไม่มีการพัฒนามาเป็น Phase Frequency Detectors โดยวงจรจะให้เอาท์พุท 3 แบบคือ

1) Double Ended Output มีขา Φ R และ Φ V จะให้เอาท์พุทดังนี้

ถ้า fv > fr หรือเฟสของ fv นำหน้า fr หา Φ V จะเป็น "0" นานเท่ากับเวลาที่นำหน้าอยู่และ Φ R จะเป็น "1" ตลอดเมื่อต่อร่วมกับวงจร Charge Pump จะเป็นตัว Pump Down

ถ้า fr > fv หรือเฟสของ fr นำหน้า fvหา Φ R จะเป็น"0"นานเท่ากับเวลาที่นำหน้าอยู่และ Φ V จะเป็น "1" ตลอดเมื่อต่อร่วมกับวงจร Charge Pump จะเป็นตัว Pump Up

ถ้า fr =fv และมีเฟสเดียวกัน Φ R และ Φ V จะเป็น "1" ตลอดยกเว้นในช่วงเวลาสั้นๆ ที่เฟสทั้งสองเข้าใกล้กันซึ่งจะเห็นเป็นพัลซ์แหลมๆ (Spike) ดังรูป2.16จะไม่สามารถผ่านวงจร LPF ไปได้

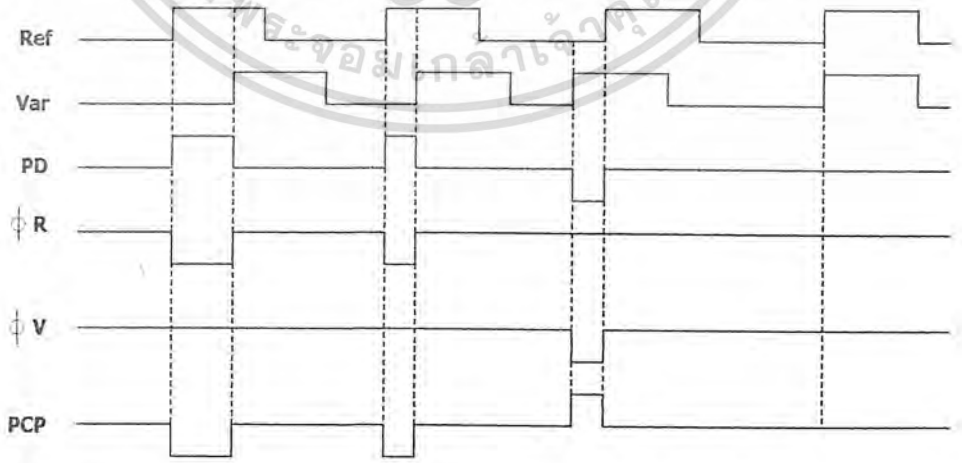
2) Tri State Output ขา PD จะให้เอาท์พุทดังนี้

ถ้า fv>fr หรือเฟส fv นำหน้า fr จะให้พัลซ์เป็นลบ (Q2 นำกระแส)

ถ้า fv<fr หรือเฟส fv นำหน้า fr จะให้พัลซ์เป็นบวก (Q1 นำกระแส)

ถ้า fv=fr และมีเฟสเดียวกัน Out put จะมีสถานะเป็น High Impedance(Q1และQ2 ไม่นำกระแส)

3) Phase Pulse Output ให้ลอจิก "0" ทุกครั้งที่เกิดความต่างเฟสของ fv และ fr นอกจากนั้นจะเป็น "1" ซึ่งสามารถใช้แสดงสถานะการล็อคได้ ซึ่งได้แสดงดังรูป 2.16



รูปที่ 2.16 แสดงรูปคลื่นของวงจร Phase Frequency Detector

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.7 ลูปฟิวเตอร์ (LOOP FILTER)

ลูปฟิลเตอร์เป็นส่วนสำคัญอีกส่วน หนึ่งในระบบเฟสล็อคลูป หน้าที่ของวงจรนี้ได้แก่ การควบคุมการล็อค , แคปเจอร์ , แบนด์วิดซ์ และการตอบสนองค่าทรานเซี้ยนของลูป สำหรับลูปฟิวเตอร์ในที่นี้ก็คือวงจรชนิดโลพาสธรรมดา ทำหน้าที่กรองเอาเฉพาะสัญญาณความถี่ต่ำ มาควบคุมความถี่ของ VDO ลูปฟิลเตอร์เป็นตัวกำหนดคุณสมบัติการ เปลี่ยนแปลงก่อนเข้าสู่สภาวะล็อค ที่เรียกว่า คุณสมบัติชั่วคราว (Transient) ถ้าเลือกอัตราการขยายลูป (Loop Gain) และค่าคงตัวของลูป (Loop Time Constant) ไม่เหมาะสม ความถี่ของเฟสล็อคลูป จะไม่ล็อคและจะเปลี่ยนแปลงอยู่ตลอดเวลาดังนั้น ค่าคงตัวเวลาของลูปฟิลเตอร์จะต้องไม่มากเกินไป เพื่อว่าทุกครั้งที่เปลี่ยนความถี่ เฟสล็อคลูปจะล็อคได้เร็ว โดยไม่มีการสะบัด (Over Shoot) หรือใช้เวลาเปลี่ยนความถี่อย่างรวดเร็ว แต่ค่าคงตัวเวลาก็ไม่ควรน้อยเกินไปจนกระทั่งความถี่สั่นหรือไม่นิ่ง

หน้าที่ของโลพาสฟิลเตอร์ในเฟสล็อคลูป มีหน้าที่ใหญ่ อยู่ 2 ประการ คือ

1) ลดค่าความคลาดเคลื่อนที่ เป็นความถี่สูงที่ออกจากวงจร เปรียบเทียบเฟส (Phase Comparator) โดยการใช้คุณสมบัติการจำกัดสัญญาณ รบกวนและเป็นตัวทำให้เกิดค่าแรงดันเฉลี่ย (Average DC Voltage) เพื่อนำไปควบคุมวงจร VDO
2) ทำหน้าที่ควบคุมการทำงานของเฟสล็อคลูป ซึ่งขึ้นอยู่กับเงื่อนไขต่าง ๆ ดังนี้
   2.1) แคปเจอร์และล็อคเรนจ์
   2.2) แบนด์วิดท์
   2.3) การตอบสนองต่อทรานเซี้ยน

เนื่องจากโลพาสฟิลเตอร์ลดค่าแรงดันคลาดเคลื่อนช่องความถี่ระหว่างลูปแล้วยังเป็นตัวควบคุมการแคปเจอร์โดยตรงและคุณสมบัติต่อผลตอบสนองชั่วขณะของเฟสล็อคลูป

การลดช่วงกว้างของฟิลเตอร์ จะส่งผลไปยังการทำงานของระบบคือ

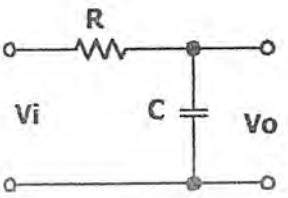
1) ขบวนการแคปเจอร์จะช้าลงและฟูลอินไทม์ (Full in Time) เพิ่มขึ้น
2) ช่วงแคปเจอร์จะลดลง
3) คุณสมบัติทางอินเตอร์เฟอเรนซ์ (Interference Rejection) ของเฟสล็อคลูปจะดีขึ้น เพราะค่าแรงดันคลาดเคลื่อนเนื่องจากความถี่ของสัญญาณรบกวนจะถูกลดลงไป
4) ผลตอบสนองชั่วขณะของเฟสล็อคลูปต่อการเปลี่ยนทันทีของสัญญาณเข้าสู่ช่วงความถี่ แคปเจอร์จะอยู่ในลักษณะภายใต้การแดมป์วงจรโลพาสฟิลเตอร์ (LPF)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สำนักหอสมุดกลาง พระจอมเกล้าลาดกระบัง

ในระบบเฟสล็อคลูปจะมี โลพาสฟิลเตอร์ เป็นส่วนประกอบอยู่เสมอ เราจะกล่าว ถึงวงจรโลพาสฟิลเตอร์ที่นิยมใช้กันมีอยู่ 3 แบบดังนี้

วงจรกรองความถี่ต่ำอันดับ 1 แบบ R-C



รูปที่ 2.17 แสดงโลฟาสฟิลเตอร์อันดับ 1 โดยใช้ R-C

รูปที่ 3.17 โดยทั่วไปจะอยู่ระหว่างเฟสดีเทคเตอร์กับ VCO ค่าของความถี่คัทออฟ (cutoff frequency W_{LPF}) สามารถหาได้จากสมการ

$$W_{LPF} = \frac{1}{RC} \quad \text{Rad / Sec}$$

ค่าของความถี่ธรรมชาติของลูป (Loop Natural Frequcncy, wn) สามารรถหาได้จากความถี่คัทออฟของวงจรกรองความถี่ โดยสมการ

$$Wn = \sqrt{Kd \times Kv \times W_{LPF}}$$

เมื่อ Kb คอนเวอร์ชันแกน (Convertion Gain) ของเฟสดีเทคเตอร์ หน่วย (volt/sec)

Ky คอนเวอร์ชันแกนของ VCO หน่วย (Rad /Sec/Volt)

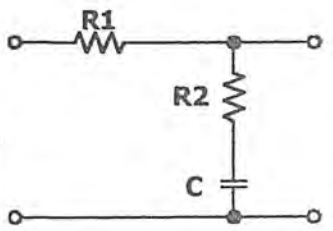
เราสามารถหาค่าแดมปิ้งแฟคเตอร์จากสมการ

$$S = \frac{N \times Wn}{2Kd \times Kv}$$

วงจรกรองความถี่ต่ำแบบ แลก-ลีด (Lag- Lead Circuit) ดังแสดงในรูป 2.18

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

42148



รูปที่ 2.18 วงจร แลก-ลีด อันดับหนึ่ง

ค่าความถี่คัทออฟสสำหรับวงจรกรองความถี่ชนิดนี้หาได้จาก

$$W_{LPF} = \frac{1}{(R_1 + R_2)C}$$

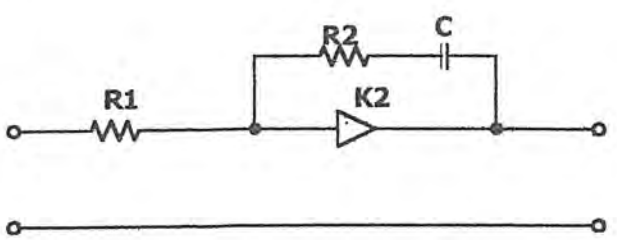
และความถี่ธรรมชาติหาได้จากสมการ

$$Wn = \frac{Kd \times Kv}{\sqrt{N \times C(R_1 + R_2)}}$$

และแดมปิ้งแฟคเตอร์หาได้จากสมการ

$$S = \frac{0.5Wn(R2C + N)}{Kd \times Kv}$$

วงจรพาสซีฟแบบ แลก-ลีด เราสามารถนำมาสร้างเป็นวงจรแอคทีฟฟิลเตอร์



รูปที่ 3.19 วงจรแอคทีฟฟิลเตอร์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ความถี่คัทออฟหาได้จากสมการ

$$W_{LPF} = \frac{1}{R_1 \times C}$$

ค่าของลูปความถี่ธรรมชาติ

$$Wn = \frac{Kd \times Kv}{\sqrt{N \times C \times R_1}}$$

แดมปิ้งแฟคเตอร์หาจากสมการ

$$S = \frac{Wn \times R2 \times C}{2}$$

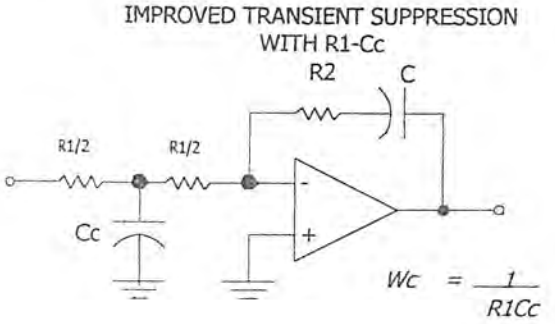
2.8 ข้อพิจารณาในการออกแบบลูปฟิลเตอร์

เนื่องจากตัวฟิลเตอร์และอินทิเกรเตอร์ ที่ใช้ออปแอมป์มีฟังก์ชัน เป็นอินเวอร์ติ้งดังนั้นจำเป็นต้องดัดแปลงแก้ไข การกลับเฟสนี้ก่อนเพื่อ ให้ค่าแรงดันคลาดเคลื่อน (Error Voltage) จากออสซิลเลเตอร์สามารถควบคุม VCO ได้ถูกทิศทางกับความผิดพลาดที่เกิดขึ้น ซึ่งทำได้ง่ายที่สุดโดยการสลับอินพุท Fr และ Fv ที่เฟสดีเทคเตอร์

กรณีเฟสดีเทคเตอร์มีเอาท์พุเป็นดับเบิ้ลเอนด์ Kd = Vdd / 2 วงจรเอ็คทีฟฟิลเตอร์อาจจะเกิดการอิ่มตัว ถ้าลูปเกิดการผิดพลาดเชิงเฟส ที่เฟสดีเทคเตอร์มีขนาดใหญ่พร้อม ๆ กับเกิดทรานเชี้ยนโอเวอร์ชูตขึ้นในลูป กรณีนี้จะเกิดขึ้นเฉพาะกับลูปที่ใช้เฟสดีเทคเตอร์เป็นชนิดดิจิตอล เนื่องจากเอาท์พุตเปลี่ยนแปลงเป็น 0 หรือ 1 ในทันทีทันใด นอกจากนี้ความถี่อินพุทของฟิลเตอร์มักมีค่ามากดังนั้นถ้าอัตราส่วนของ R1 / R2 มากกว่า 10 ความถี่นี้จะถูกขยายด้วยอัตราส่วนของ R1/R2 ถ้าสามารถทำได้ควรให้อัตราส่วนนี้มีค่าน้อยที่สุด

วิธีแก้ไขการอิ่มตัวของออปแอมป์ทำได้โดยการเพิ่มโลพาสฟิลเตอร์ก่อนวงจรอินทีเกรเตอร์ ดังรูปที่ 2.20

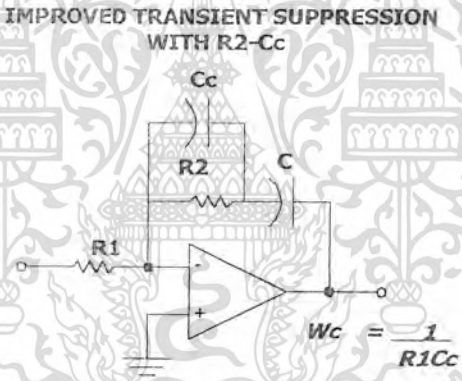
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.20 วิธีแก้ทรานเชี้ยนด้วยR1 – Cc

เมื่อ Rs<<R1/2 : Rs คือเอาท์พุทอิมพีแดนซ์ของเฟสดีเทคเตอร์

$Wc = 4/R1 \times Cc$



รูปที่ 2.21 วิธีแก้ทรานเชี้ยนด้วย R2 – Cc เมื่อ Wc = 1/R2× Cc

จากรูปที่ 2.20 สามารถคำนวนความถี่คัทออฟได้จาก 4/R 1 * Cc ถ้าเฟสดีเทคเตอร์เป็นดิจิตอลเนื่องจากมีความต้านทางเอาท์พุทต่ำ ความถี่คัดออฟของวงจรที่เพิ่มขึ้น ถ้าเป็นไปได้ควรจะมากกว่าความถี่ธรรมชาติ 5 – 10 เท่า เนื่องจากโพลที่เกิดจากวงจรที่เพิ่มขึ้น ถ้าอยู่ใกล้ความถี่ธรรมชาติ จะทำให้ลูปเกิดโอเวอร์ชู๊ตมากขึ้น และผลพลอยได้ของฟิลเตอร์ที่เพิ่มขึ้นจะทำให้ความอ้างอิง (Wr) ถูกลดทอนลงด้วยแรงดันที่ไปควบคุม VCOแรงดันที่ไปควบคุม VCO ควรมีความเป็นแรงดันดีซีอย่างเดียว ส่วนประกอบของแรงดันที่ไม่ใช่ ดีซีจะทำให้เอาท์พุทของ VCO ซึ่งมีการมอดูเลตด้วยแรงดันที่ไม่ใช่ดีซีจะทำให้ความถี่เพี้ยนไป สำหรับแรงดันที่ไม่ควบคุมที่ไม่ใช่ดีซีนั้นส่วนใหญ่จะมาจากความถี่อ้างอิงและน้อยส์ต่าง ๆ ในวงจรแอคทีฟฟิลเตอร์ซึ่งจะเพิ่มน้อยส์ลงไปในแรงดันดี

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ซีด้วย ดังนั้นวงจรขยายที่ใช้ฟิลเตอร์ควรมีคุณสมบัติในเรื่องสัญญาณรบกวนที่สร้างขึ้นภายในตัวเองต่ำ ทางที่ดีควรใช้ชนิดที่มีสัญญาณรบกวนต่ำที่สุดเท่าที่จะทำได้ และกระแสใบอัสอินพุทก็ควรน้อยที่สุด เนื่องจากถ้าวงจรดึงกระแสจำนวน หนึ่งจากเฟสดีเทคเตอร์ จะทำให้ความผิดพลาดเชิงเฟส เมื่อยู่ในสถาวะสงบมีค่ามากกว่าศูนย์มาก กรณีที่ใช้พาสซีฟฟิลเตอร์ จะทำให้ความผิดพลาดในสถาวะสงบ (Steady state error) มากกว่าแอคทีฟฟิลเตอร์ พาสซีฟฟิลเตอร์จะดึงกระแสโหลดมากกว่าแอคทีฟฟิลเตอร์อย่างไรก็ตามพาสซีฟฟิลเตอร์จะไม่เพิ่มน้อยส์เข้าไปในลูปเหมือนแอคทีฟฟิลเตอร์ และ R1 ของวงจรพาสซีฟฟิลเตอร์สามารถแบ่งออกเป็น R1/2แล้วใช้ Cc เพิ่มขึ้นได้เช่นเดียวกับวงจรในรูปที่ 2.21 และวิธีการคำนวนความถี่คัดออฟแบบเดียวกัน

แรงดันที่ใช้ควบคุม VCO ควรมีส่วนประกอบที่ไม่ใช่ดีซีน้อยที่สุด ส่วนประกอบที่ไม่ใช่ดีซีจะทำให้ความถี่เอาท์พุทของ VCO เกิดเอาท์พุทที่ไม่ต้องการ (Sperious Output) เป็นไซด์แบนด์ ซึ่งไซด์แบนด์ ของความถี่อ้างอิงควรถูกกำจัดไปให้มากที่สุด

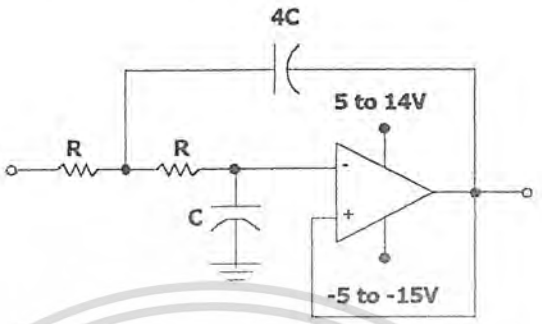
รูปที่ 2,22 แสดงรูปคลื่นเอาท์พุทของเฟสดีเทคเตอร์และอินทิเกรเตอร์

รูปคลื่นที่สามารถคาดคะเนได้โดยประมาณได้จาก

$$(\text{Sideband/Carrier}) = \frac{V \times Kv}{2 \times Wr}$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เมื่อ V คือค่าแรงดันยอด (Peak Value)ของความถี่อ้างอิงที่อินพุทของ VCO



รูปที่ 2.23 วงจรโลพาสฟิลเตอร์อันดับ 2 โดยใช้ออปแอมป์

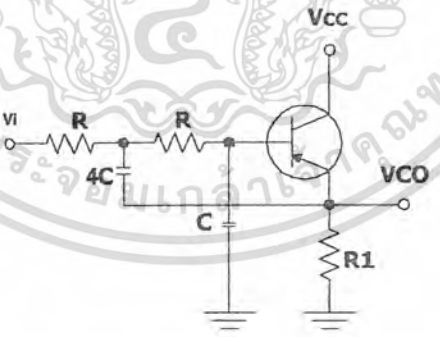
$$Wc = 0.636 / RC$$

เลือกค่า R

$$1K \leq R\,M < 1M$$

เลือกค่า C

$$C = 0.5 / (Wc \times R)$$

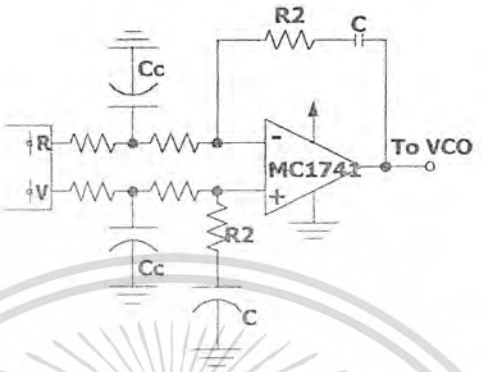


รูปที่ 2.24 วงจร LPF อันดับ 2

โดยใช้ทรานซิสเตอร์ต่อแบบ (Emitter Follower) ถ้าเอาท์พุทมีค่าน้อยกว่า Vcc อยู่ 0.1vวงจรจะมีความไวต่อสัญญาณรบกวนจากแหล่งจ่าย Vcc

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สำหรับในการใช้เฟสดีเทคเตอร์ที่เอาท์พุต ของเฟสดีเทคเตอร์ เราสามารถต่อกับฟิลเตอร์ แบบซัมมิ่งเนทเวอร์ค (Summig Network)



รูปที่ 2.25 วงจรฟิลเตอร์ และซัมมิ่งเนทเวอร์ค

ความสามารถในการลดไซด์แบนด์ โดยประมาณของวงจรในรูปคือ

$$dB = 40 \log \frac{W_C}{E_R}$$

สำหรับพาสซีฟฟิลเตอร์ คือ

$$dB = 20 \log \frac{W_C}{E_R}$$

สำหรับเฟสดีเทคเตอร์ที่เป็นวงจรชนิด CMOS ขานอนอินเวอร์ติ้งของออปแอมป์ต้องไบอัสได้ที่ ½ (Vdd) ส่วนเฟสดีเทคเตอร์ต้องดูจากคุณสมบัติของเฟสดีเทคเตอร์แต่ละเบอร์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.9 วงจรผลิตความถี่ควบคุมด้วยแรงดัน (Voltage control oscillator - VCO)

คุณสมบัติหลักของ VCO ที่ใช้ในเฟสล็อคลูป เราพิจารณาได้ดังนี้

การเบี่ยงแบนความถี่ (Frequency deviation) จุดสูงสุดของเคปเจอร์เรนจ์จะเท่ากับเกนการขยายของลูปเปิด (Open Loop Gain)

เสถียรภาพทางความถี่ (Frequency Stability) การมีเสถียรภาพทางความถี่มีความจำเป็นอย่างยิ่งสำหรับวงจรสังเคราะห์ความถี่ ความไวของการมอดูเลต (Modulation Sensitivity) ควรจะมีค่าสูง

การตอบสนอง (Response) VCO ความมีการตอบสนองสัญญาณ ได้ดีและไม่ควรให้มีผลต่อคุณสมบัติทางด้านเสถียรภาพของลูป

คุณสมบัติของความถี่และแรงดัน(Frequency Voltage Characteristic) VCO จะต้องมีอัตรา ส่วนของความถี่ต่อแรงดัน (F / V) ที่มีความเป็นเชิงเส้น (Linear)

Spectral Purity ในการประยุกต์ใช้งาน เช่น การสังเคราะห์ความถี่แบบอนาล็อก วงจรผลิตความถี่ควบคุมโดยแรงดัน ควรจะมีสัญญาณเอาท์พุทที่บริสุทธิ์ คือถ้าเป็นคลื่นรูปซายน์ควรจะเป็นคลื่นที่คงที่สม่ำเสมอ

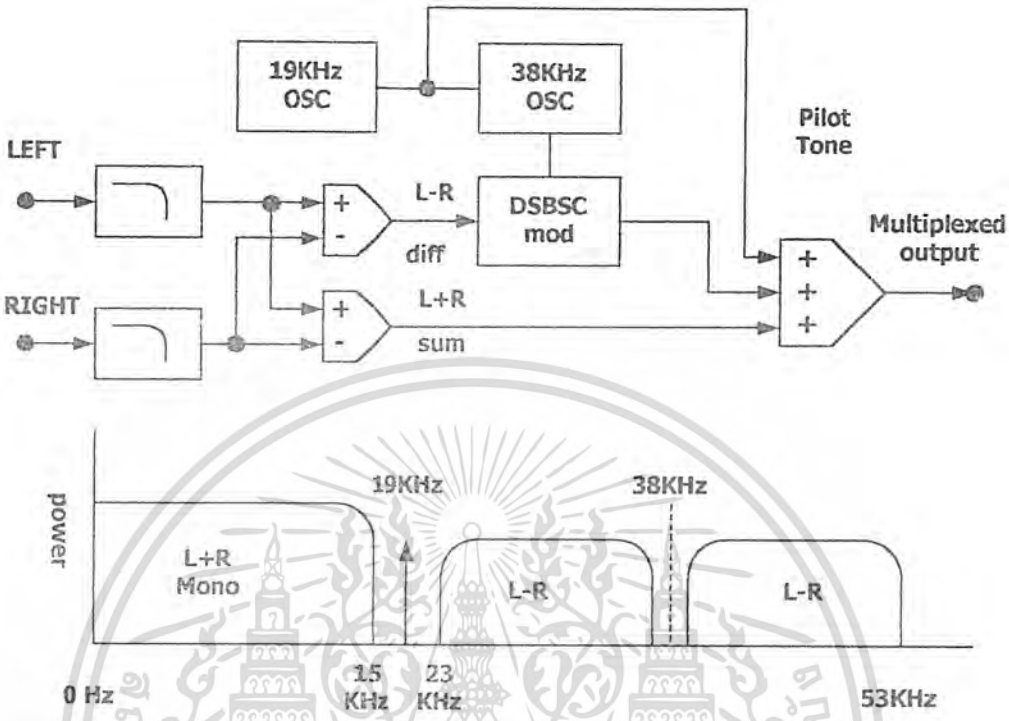
ในการออกแบบเฟสล็อคลูป ออสซิสเตอร์ที่ควบคุมด้วยแรงดัน มักจะเป็นส่วนที่จะต้องพิจารณามากที่สุดเพราะว่า มีลักษณะพิเศษของระบบอย่างเช่นเสถียรภาพของความถี่รวมทั้งการดีมอดูเลตคลื่นเอฟเอ็มตามปกติแล้วจะขึ้นอยู่กับ VCO เพื่อให้เกิดความคล่องตัวมากที่สุด VCO จะต้องมีคุณสมบัติดังนี้

- ลักษณะการเปลี่ยนแรงดันเป็นความถี่เชิงเส้น
- เสถียรภาพของความถี่ที่ดี
- สามารถใช้กับความถี่สูงได้
- อัตราการขยายสูง
- พิสัยการติดตามกว้าง
- การตั้งความถี่กระทำได้ง่าย

2.10 หลักการของระบบเอฟเอ็มสเตอร์โอมัลติเพล็กในปัจจุบัน

ในรูปที่ 2.26 เป็นบล็อกไดอะเกรมที่แสดงหลักการ ของเครื่องส่งกระจายเสียงระบบเอฟเอ็มสเตอริโอมัลติเพล็กที่ได้รับการอนุมัติจากสถาบัน FCC ของสหรัฐอเมริกาเป็นระบบที่ใช้กันแพร่หลายและเป็นที่ยอมรับของนานาประเทศ (ปัจจุบันประเทศไทยใช้ระบบนี้)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.26 วงจรฟิลเตอร์ และซัมมิ่งเนทเวอร์ค

หลักการทำงานเริ่มต้นจากไมค์โครโฟนซ้าย (MIC L)และไมโครโฟนขวา (MIC R)จะรับสัญญาณเสียงเข้ามาขยายที่วงจรขยายเสียงแล้วต่างก็ส่งสัญญาณ L และ R ไปรวมกันเป็นสัญญาณ (L+R) (ที่ภาค L+R)สัญญาณ(L+R)ที่ได้จะถูกส่งออกไปยังภาคมัลติเพล็กซ์รวมกับสัญญาณอื่นๆ

สัญญาณส่วนหนึ่งจากภาคขยายเสียง (R)จะถูงสงไปยังที่ภาคอินเวอร์เตอร์ (INVERTER) ด้วยเพื่อกลับเฟสสัญญาณ(R)ไปจากเดิมอีก 180 องศากลายเป็นเฟส (-R) ส่งไปรวมกับสัญญาณที่มาจากภาคขยายเสียง(L)ที่ภาค(L-R)สัญญาณที่รวมกันนี้จะกลายเป็นสัญญาณ (L-R) ซึ่งจะถูกส่งไปยังภาคบาลานซ์มอดูเลเตอร์ (BALANCE MODULATOR) เพื่อมอดูเลตกับพาห์ย่อย 38 KHz ที่เข้ามาอีกทาง

คลื่นพาห์ย่อย (SUBCARRIER)38KHz นั้นได้มาจากความถี่คลื่นไซด์ 19KHz จากภาคออสซิลเลเตอร์ ที่ถูกส่งเข้ามาทวีคูณความถี่ขึ้นอีกสองเท่า (19KHz×2 = 38KHz)ที่ภาคทวีคูณความถี่สองเท่า (FREQUENCY DOUBLER)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ความถี่ 38 KHz ที่ได้นี้จะถูกใช้เป็นคลื่นพาห์ย่อยเพื่อส่งไปมิ็อดกับสัญญาณเสือง(L-R) ที่บาลานซ์มอดูเลเตอร์

ภาคบาลานซ์มอดูเลเตอร์นอกจากจะทำหน้าที่มิ็อดสัญญาณเสียง (L-R) เข้าทางส่วนสูงของสัญญาณคลื่นพาห์ย่อยแล้ว (มิ็อดแบบ AM) มันยังทำหน้าที่กำจัดคลื่นพาห์ย่อยไม่ให้ปรากฏออกไปเป็นสัญญาณที่เอาท์พุทเพียงลำพังสัญญาณเดียวอีกด้วย (สัญญาณที่มิ็อดรวมกันแล้วเท่านั้นที่ปรากฏออกไปเป็นสัญญาณเอาท์พุทของภาคบาลานซ์มอดูเลเตอร์)

เราเรียกสัญญาณที่มิ็อดรวมกันระหวางสัญญาณพาห์ย่อย 38KHz และสัญญาณเสียง (L-R) นี้ว่าสัญญาณคลื่นพาห์ย่อย L-R (L-SUBCARRIER) และสัญญาณนี้จะถูกส่งไปยังภาคมัลติเพล็กเพื่อมัลติเพล็กรวมกันไปกับสัญญาณอื่นๆ

นอกจากนี้แล้วภาคสัญญาณออสซิลเลเตอร์ยังแยกส่งผ่านความถี่ 19 KHz สำหรับเป็นสัญญาณไพล็อตโทนสัญญาณภาคมัลติเพล็กเพื่อมัลติเพล็กสัญญาณ 19KHz รวมไปกับสัญญาณอื่นๆอีกด้วย

จะเห็นว่าที่ภาคมัลติเพล็กจะเป็นที่รวมของสัญญาณต่างๆ คือ 1. สัญญาณเสียง (L+R)0 จากภาค L+R 2. สัญญาณ(L-R) ซัพแคเรียร์ จากภาคบาลานซ์มอดูเลเตอร์ 3. สัญญาณไพล็อตโทน 19KHz จากออสซิลเลเตอร์

สัญญาณทั้งสามนี้สามารถมัลติเพล็กรวมเข้าด้วยกันได้โดยไม่มีการแทรกแซงสัญญาณร่วมกันเพราะแต่ละสัญญาณมีขอบเขตความถี่ต่างกันนั่นเอง

สัญญาณรวมมัลติเพล็กซ์จะถูกส่ง ไปมิ็อดกับคลื่นพาห์ที่ใช้ในการสงอากาศในระบบเอฟเอ็มในภาคส่งนี้ก็เหมือนกับเครื่องส่งเอฟ เอ็มธรรมาดาทั่วไปที่ใช้ส่งในย่านความถี่กระจายเสียง 88-108 MHz

มีการส่งสัญญาณต่างๆ ถึงสามสัญญาณออกไปยังเครื่องรับเพื่อจุดประสงค์ดังนี้

1. สัญญาณ (L+R) สัญญาณนี้เป็นผลรวมของสัญญาณเสียงซีกซ้ายและสัญญาณซีกขวาเป็นสัญญาณเสียงแบบโมโน เหตุที่ต้องการส่งสัญญาณนี้ออกไปด้วยก็เพื่อสำหรับการรับของเครื่องรับเอฟเอ็มธรรมดาให้รับฟัง จากสถานีส่งในระบบสเตอร์ริโอมัลติเพล็กได้ เครื่องรับเอฟเอ็มธรรมดาจะรับเอาเฉพาะสัญญาณนี้ไปเป็นสัญญาณเสียงออกลำโพงเสียงที่ได้จะมีครบทั้งสัญญาณซีกซ้ายและซีกขวา

2. สัญญาณคลื่นพาห์ย่อย (L-R) ที่ต้องเอาสัญญาณ (L-R)ไปมิ็อดกับสัญญาณคลื่นพาห์ย่อย 38 KHz ก่อนก็เพราะเราต้องการส่งสัญญาณ (L-R) รวมกันไปพร้อมๆกับสัญญาณ (L+R) โดยไม่ต้องการให้สัญญาณทั้งสองแทรกแซงกัน วิธีการนี้เป็นกลวิธีในการมัลติเพล็กสัญญาณเข้าด้วย

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

กันเปลี่ยนเสมือนกับเราต้องการส่งน้ำมันเบ็นซิลและน้ำมันก๊าดซึ่งต่างก็เป็นน้ำมันต่างชนิดกันไปยังจุดหมายปลายทางโดยจำเป็นต้องใส่น้ำมันทั้งสองรวมกันไปในถังเดียวกัน

ถ้าทำโดยการเอาน้ำมันเบนซินลงในถังก่อน (ก็เหมือนกับการเอาสัญญาณ (L+R) มิ๊อคกับคลื่นพาห์ที่ใช้ในการส่งอากาศ) จากนั้นจึงหาขวดที่ขนาดเล็กกว่าถังมาบรรจุน้ำมันก๊าดและปิดขวาขวดให้แน่น (ทำนองเดียวกับที่เราเอาสัญญาณ (L-R) มิ๊อคกับคลื่นพาห์ย่อย)แล้วเอาขวดน้ำมันก๊าดใส่ลงไปในถังน้ำมันเบนซินอีกที่ ด้วยวิธีนี้ทำให้เราสามารถเอาน้ำมันเบนซินและน้ำมันก๊าดใส่รวมลงไปในถังเดียวกันได้ โดยน้ำมันทั้งสองไม่ผสมปนกัน (เช็นเดียวกับสัญญาณ (L+R) และสัญญาณ (L-R) ซับแคเรียร์ก็จะไม่มีการแทรกแซงกัน) เมื่อส่งไปยังปลายทางเพียงเรายกขวดน้ำมันก๊าดขึ้นมาก็สามารถแยกออกจากกันโดยง่าย

เราสามารถเอาสัญญาณเสียง (L-R) และ (L+R) ที่สงผ่านมาแปรสภาพให้แยกเป็นสัญญาณเสียงซีกซ้ายและขวาปรากฏทางด้านเครื่องรับได้ โดยการนำสัญญาณทั้งสองมาบวกหรือลบกันซึ่งแสดงได้ด้วยพีชคณิตดังนี้

เมื่อนำสัญญาณ (L+R) และ (L-R) มาบวกกัน

$$(L+R) + (L-R) = 2L \text{ (จะได้สัญญาณเสียงซีกซ้าย)}$$

เมื่อนำสัญญาณ(L+R)และ(L-R)มาลบกัน

$$(L+R) - (L-R) = 2R \text{ (จะได้สัญญาณเสียงซีกขวา)}$$

3.สัญญาณไพล็อตโทน 19KHz เนื่องจากสัญญาณเสียง (L-R) ที่ส่งมายังเครื่องรับเป็นสัญญาณเสียงที่มีอดกับคลื่นพาห์ย่อย 38KHz ฉะนั้น ในการนำมาเสริมหรือหักล้างกับสัญญาณ (L+R) ในวงจรแยกสัญญาณสเตอริโอ (วงจรดีโคดเดอร์) เพื่อทำให้เกิดเป็นสัญญาณเสียงซีกซ้ายและขวาขึ้นนั้นจำเป็นต้องมีสัญญาณ (L-R) เพื่อช่วยให้วงจรดีโคดเดอร์ทำงานแยกสัญญาณได้จึงต้องมีการส่งสัญญาณไพล็อตโทน 19KHz มาด้วยเพราะความถี่ 19KHz เมื่อมาถึงเครื่องรับก็สามารถทำให้เป็นความถี่ 38KHz ได้โดยง่าย ด้วยการใช้วงจรทวีคูณความถี่ขึ้นมาอีกสองเท่า และเนื่องจากความถี่ 19KHz ซึ่งเป็นสัญญาณไพล็อตโทนนี้เป็นต้นกำเนิดของสัญญาณคลื่นพาห์ย่อยทางด้านเครื่องส่งความถี่ 38KHz ที่ได้จึงมีเฟสที่สัมพันธ์กับสัญญาณคลื่นพาห์ย่อย (L-R) ตลอดเวลา

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ตามรูปที่ 2.27 เป็นตัวอย่างการรวมสัญญาณรูปคลื่นสี่เหลี่ยมระหว่างสัญญาณ A และสัญญาณBผลลัพท์ของการรวมจะทำให้เกิดรูปคลื่นสัญญาณ C

เราแบงสัญญาณออกเป็น 8 ลูกคลื่นตามหมายเลขที่อยู่เหมือนสัญญาณ A

ลูกคลื่นที่ 1 สัญญาณ A มีค่า = +1

สัญญาณ B มีค่า = +1

ฉะนั้น ผลลัพท์ที่สัญญาณ C = 1+1 = 2

ลูกคลื่นที่ 2 สัญญาณ A มีค่า = 0

สัญญาณ B มีค่า = -1

ฉะนั้น ผลลัพท์ที่สัญญาณ C = 0-1 = -1

ลูกคลื่นที่ 3 สัญญาณ A มีค่า = +1

สัญญาณ B มีค่า = 0

ฉะนั้น ผลลัพท์ที่สัญญาณ C = 1+0 = 1

ลูกคลื่นที่ 4 สัญญาณ A มีค่า = 0

สัญญาณ B มีค่า = -0.5

ฉะนั้น ผลลัพท์ที่สัญญาณ C = 0-0.5 = -0.5

ลูกคลื่นที่ 5 แบ่งรูปคลื่นออกเป็น 2 ช่วง

1 ช่วงครึ่งแรก

สัญญาณ A มีค่า = +1

สัญญาณ B มีค่า = +1

ฉะนั้น ผลลัพท์ที่สัญญาณ C = 1+1 = 2

2 ช่วงครึ่งหลัง

สัญญาณ A มีค่า = +2

สัญญาณ B มีค่า = -1

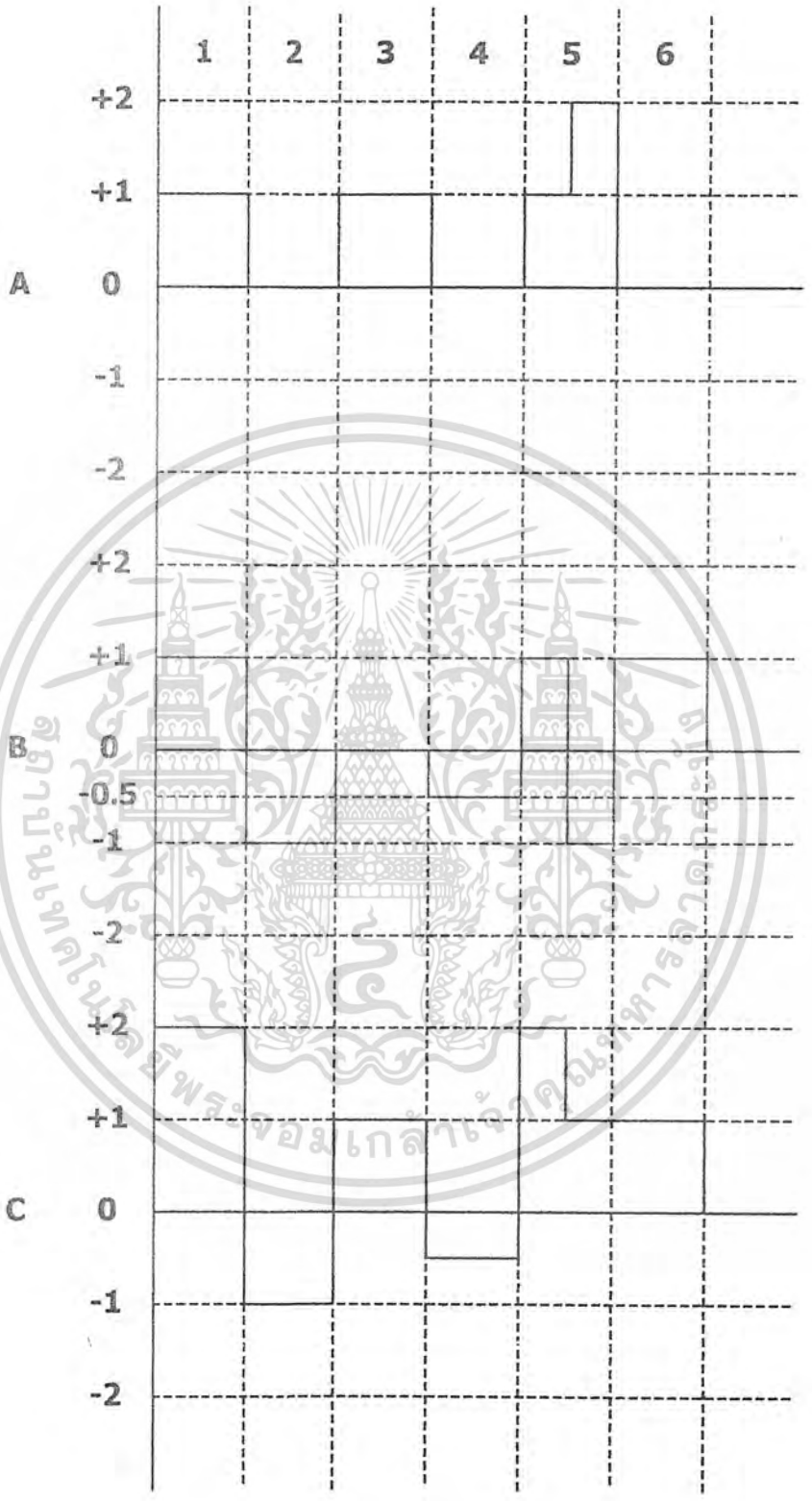
ฉะนั้น ผลลัพท์ที่สัญญาณ C = 2-1 = 1

ลูกคลื่นที่ 4 สัญญาณ A มีค่า = 0

สัญญาณ B มีค่า = 1

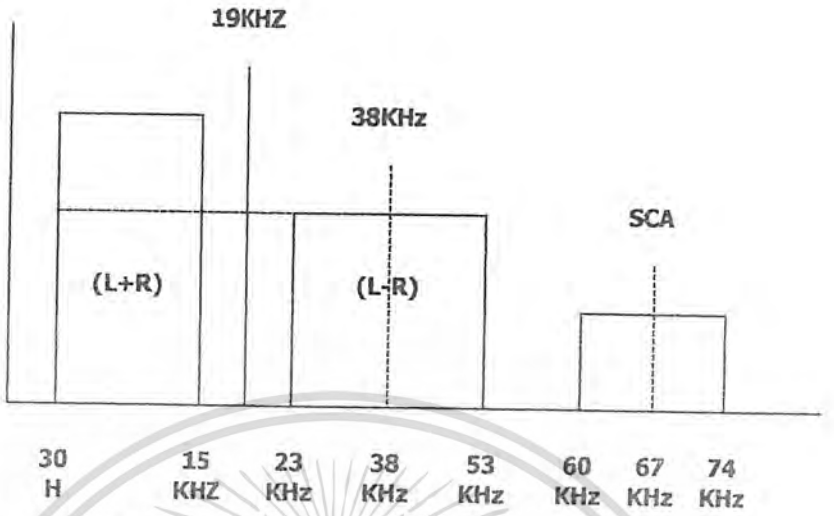
ฉะนั้น ผลลัพท์ที่สัญญาณ C = 0+1 = 1

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.27 การรวมสัญญาณรูปคลื่นสี่เหลี่ยม

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.28 แสดงขอบเขตความถี่ของสัญญาณมัลติเพล็ก

ขอบเขตความถี่ของสัญญาณมัลติเพล็กซึ่งแสดงอยู่ในรูปที่ 8 แยกออกเป็นดังนี้

สัญญาณ (L+R) หรือสัญญาณ M = 30 Hz – 15 KHz

สัญญาณไพล็อตโทน = 19 KHz

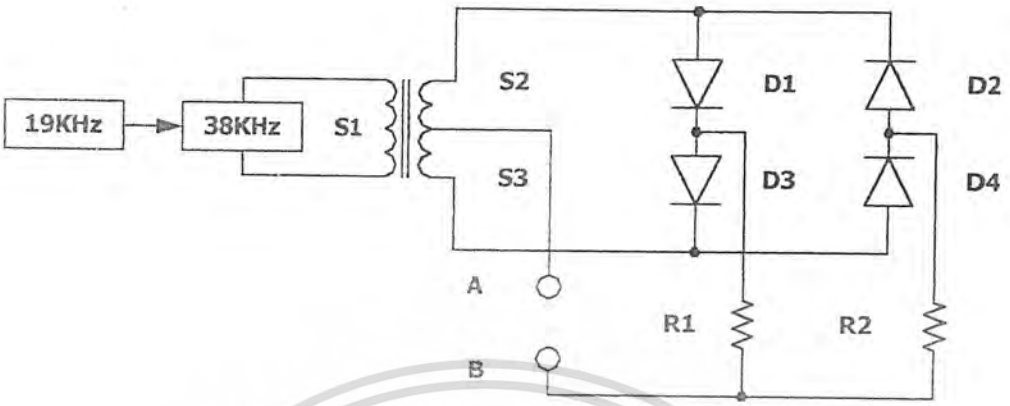
สัญญาณ (L-R) ซัพแคเรียร์หรือสัญญาณ S = 23KHz - 53 KHz

สัญญาณไพล็อตโทน 19 KHz จะอยู่ระหว่างสัญญาณ (L+R) และ (L-R) ซัพแคเรียร์ โดยมีไซด์แบนด์ด้านสูงและต่ำข้างละ 4 KHz เพื่อป้องกันไม่ให้เกิดการรบกวนกับสัญญาณอื่นๆ

(แถบความถี่ช่วง 60-74 KHz เป็นของระบบ SCA ย่อยจาก Subsidiary Communication Authorization ซึ่งไม่ได้ใช้ในที่นี้)

ตัวอย่างวงจรง่ายๆ ที่แสดงให้เห็นถึงหลักการทำงานของวงจร ดีโค๊ดเดอร์ว่าสามารถถอดสัญญาณมัลติเพล็กให้แยกสัญญาณ ซีกซ้ายและซีกขวาได้อย่างไร แสดงอยู่ในรูปที่ 2.29

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.29 แสดงการถอดสัญญาณมัลติเพล็กด้วยวงจรจริงมอดูเลเตอร์

รูปที่ 2.29 เป็นการนำเอาวงจรริงมอดูเลเตอร์ ใช้ในการถอดแยกสัญญาณLและRวงจรนี้มีหลักการทำงานโดยมีการแยกเอาสัญญาณไพล็อตโทน 19 KHz ที่มัลติเพล็กกับสัญญาณมารวมเข้าวงจรทวีความถี่สองเป็นสัญญาณ 38 KHz แล้วส่งมาเข้าที่ S1ของวงจรส่วนสัญญาณเสียงมัลติเพล็กจะถูกป้อนเข้าทางจุด A และ B

อธิบายแบบรวบรัด คือมีสัญญาณเข้ามา ไดโอด 4 ตัว คือ D1 – D4 จะทำหน้าที่เสมือนหนึ่งสวิทช์ไฟฟ้าเปิดปิด ไปตามจังหวะของความถี่ 38 KHz เป็นผลให้เกิดสัญญาณ L และ R ตกคร่อมที่R1และR2

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 3
โครงสร้างและสถาปัตยกรรมของ MCS-51 แบบเฟลช

ไมโครคอนโทรลเลอร์ตระกูล MCS-51 ที่ใช้ในโครงงานนี้จะอ้างถึงไมโครคอนโทรลเลอร์ตระกูล MCS-51 ซึ่งมีหน่วยความจำภายในเป็นแบบแฟลช (Flash memory) ของ AtmelCorporation มีเบอร์ขึ้นต้นด้วย ATS89 เหตุผลที่ใช้ไมโครคอนโทรลเลอร์แบบนี้ มีด้วยกันหลายประการดังนี้

หน่วยความจำโปรแกรมภายในตัว ไมโครคอนโทรลเลอร์ เป็นแบบเฟลช ทำให้สามารถลบและเขียนใหม่ได้นับพันครั้ง จึงสามารถใช้งานในรูปแบบของ ไมโครคอนโทรลเลอร์ชิปเดี่ยว ไม่ต้องใช้หน่วยความจำภายนอก ส่งผลให้สามารถใช้งานพอร์ตอินพุตเอาต์พุต ของไมโครอนโทรลเลอร์ได้อย่างเต็มประสิทธิภาพ

ต้นทุนและเวลาในการพัฒนาระบบ ไมโครคอนโทรลเลอร์ลดลงอย่างมากเนื่องจากไม่ต้องใช้เครื่องมือพัฒนาจำพวกอีมูเลเตอร์ และเครื่องโปรแกรมอีพรอม

บริษัทผู้ผลิตได้ทำการผลิต ไมโครคอนโทรลเลอร์ตระกูลนี้ ออกมาหลายเบอร์และมีความสามารถแตกต่างกันไป ทำให้มีทางเลือกในการใช้งานสูง

ด้วยการใช้หน่วยความจำภาย ใต้ตัวไมโครคอนโทรลเลอร์ทำให้สามารถ ป้องกันการคัดลอกข้อมูลของหน่วยความจำโปรแกรมได้เป็นอย่างดี

ในบางเบอร์ของไมโครคอนโทรลเลอร์ที่ผลิตโดย Atmel สามารถทำการโปรแกรมข้อมูลในหน่วยความจำโปรแกรมได้ โดยที่ไม่ต้องถอดตัวไมโครคอนโทรลเลอร์ ออกมาทำการโปรแกรมใหม่หรือเรียกว่า การโปรแกรมในวงจรหรือในระบบ (In System Programming) โดยใช้ลักษณะการติดต่อแบบ SPI (Serial Peripheral Interface) ทำให้การพัฒนาหรือการซ่อมบำรุง ตลอดจนการปรับปรุงหรืออัปเกรดข้อมูล ในหน่วยความจำโปรแกรมทำได้อย่าง สะดวกภายใต้งบประมาณที่ไม่สูงมากนัก

ชุดคำสั่งและสถาปัตยกรรมพื้นฐาน เหมือนกับไมโครคอนโทรลเลอร์ MCS-51 ของผู้ผลิตอื่นไม่ว่าจะเป็นอินเทล, ซีเมนส์ หรือดัลลัส

คุณสมบัติทางเทคนิคของไมโครคอนโทรลเลอร์ ตระกูล MCS-51 อนุกรม AT89xx

-เป็นไมโครคอนโทรลเลอร์ที่ใช้ซีพียูขนาด 8 บิต

- ภายในมีหน่วยความจำโปรแกรมเป็นแบบเฟสสามารถลบและเขียนใหม่ได้พันครั้ง

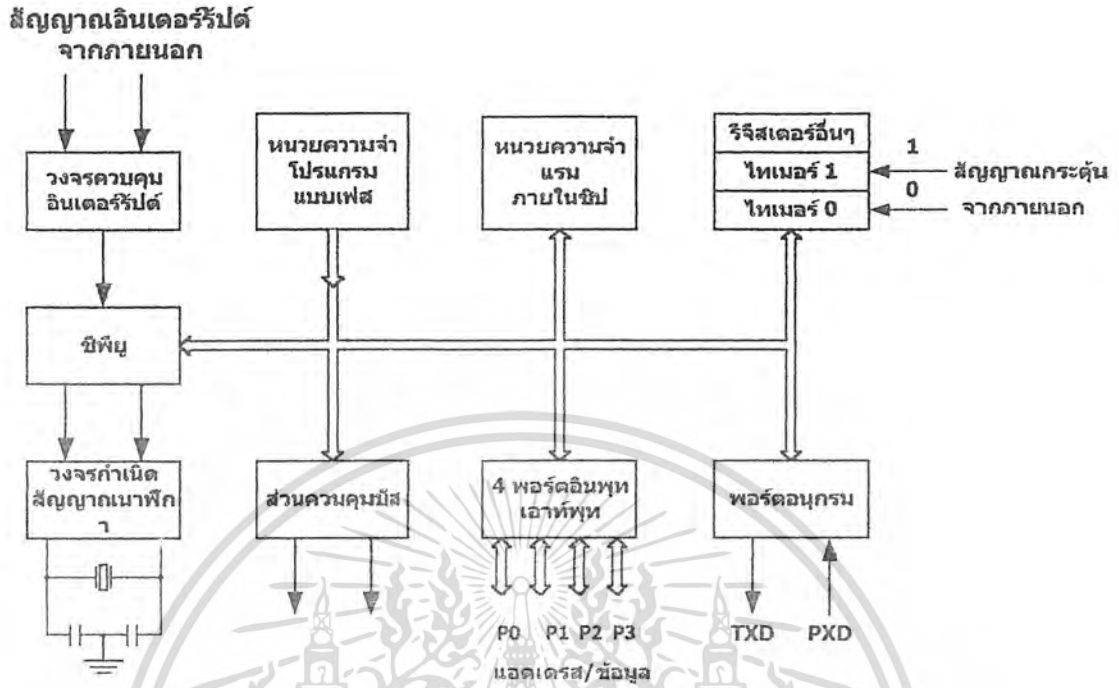
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

- หน่วยความจำข้อมูลพื้นฐานเป็นหน่วยความจำแบบแรมในบางเบอร์จะมีหน่วยความจำแบบอีพรอมเพิ่มเติม
- ขาพอร์ตเป็นแบบสองทิศทางสามารถใช้งานเป็นได้ทั้งอินพุตและเอาต์พุต
- มีวงจรสื่อสารอนุกรมแบบฟลูดูเฟล็กซ์
- ไทเมอร์/เคาร์เตอร์ขนาด 16 บิต อย่างน้อย 2 ตัว
- สามารถรองรับแหล่งกำเนิดอินเตอร์รัปต์ได้ 6 ประเภท
- สามารถขยายหน่วยความจำภายนอกเพิ่มเติมได้สูงสุด 64 กิโลไบต์
- มีวงจรกำเนิดสัญญาณนาฬิกาอยู่ภายในชิป
- มีวงจรสื่อสารอนุกรมแบบ SPI สำหรับในอนุกรม AT89Sxx
- มีวอตช์ด็อกไทเมอร์ในตัวสำหรับในอนุกรม AT89Sxx

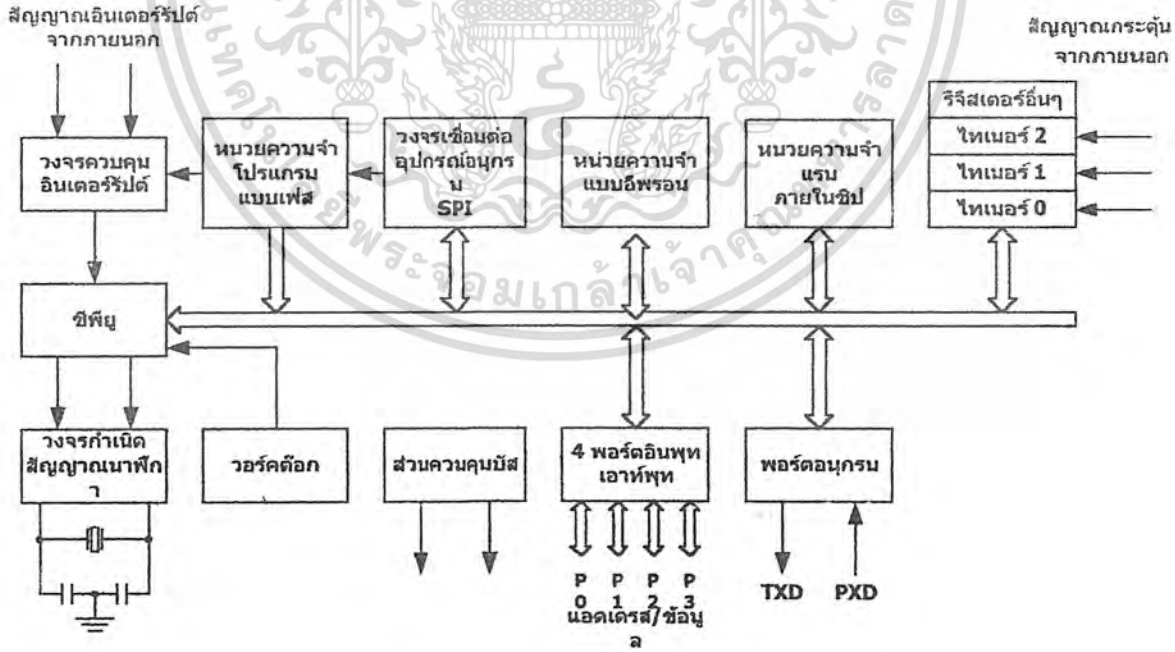
ในภาพที่ 2.30 เป็นโครงสร้างพื้นฐานของไมโครคอนโทรลเลอร์ MCS-51 ในอนุกรม AT89Cxx จะเห็นได้ว่า โครงสร้างของ AT89Cxx จะเหมือนกับไมโครคอนโทรลเลอร์ ตระกูล MCS-51 พื้นฐานหากแต่แตกต่างกัน เฉพาะหน่วยความจำ โปรแกรมแบบแฟลชที่เพิ่มเติมเข้ามา หากเป็นไมโครคอนโทรลเลอร์ในอนุกรม 87xx หน่วยความจำโปรแกรมภายในจะเป็นแบบอีพรอม และบางเบอร์สามารถโปรแกรมได้เพียงครั้งเดียว สำหรับในภาพที่ 2.31 เป็นโครงสร้างพื้นฐานของอนุกรม AT89Sxx จะเห็นได้ว่า มีส่วนประกอบที่เพิ่มเติมแตกต่างจาก AT89Cxx อยู่หลายส่วน อาทิ วงจรเชื่อมต่ออนุกรมแบบ SPI ซึ่งในไมโครคอนโทรลเลอร์ อนุกรมนี้ในการเขียนข้อมูลลงในหน่วยความจำโปรแกรม โดยไม่ต้องถอดตัวชิปออก ไปจากระบบหรือเรียกว่าการโปรแกรมในวงจร ไทเมอร์ / เคาร์เตอร์ขนาด 16 บิต ที่เพิ่มเติมเข้ามาอีกหนึ่งตัวเป็นไทเมอร์ 2 และวงจรวอตช์ด็อกที่ใช้ในการตรวจสอบ การทำงานผิดพลาดของซีพียู

เบอร์ของไมโครคอนโทรลเลอร์	หน่วยความจำโปรแกรม	หน่วยความจำข้อมูล	จำนวนไทเมอร์/เคาร์เตอร์ 16บิต
AT89C1051	แบบเฟลชขนาด 1 กิโลไบต์	แรม 64 ไบต์	1
AT89C2051	แบบเฟลชขนาด 2 กิโลไบต์	แรม 128 ไบต์	2
AT89C51	แบบเฟลชขนาด 4 กิโลไบต์	แรม 128 ไบต์	3
AT89C52	แบบเฟลชขนาด 8 กิโลไบต์	แรม 256 ไบต์	3
AT89C55	แบบเฟลชขนาด 20 โลไบต์	แรม 256 ไบต์	3
AT89S8252	แบบเฟลชขนาด 8 กิโลไบต์	แรม 256 ไบต์ อีอีพรม 2 กิโลไบต์	3
AT89S53	แบบเฟลชขนาด 12 โลไบต์	แรม 256 ไบต์	3

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



ภาพที่ 2.30 โครงสร้างพื้นฐานของไมโครคอนโทรลเลอร์ MCS-51 แบบแฟลชในอนุกรมAT89Cxx



ภาพที่ 3.2 โครงสร้างพื้นฐานของไมโครคอนโทรลเลอร์ MCS-51 แบบแฟลชในอนุกรม AT89Sxx

การจัดการของไมโครคอนโทรลเลอร์ MCS-51

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ไมโครคอนโทรลเลอร์ MCS-51 ทุกเบอร์จะมีสถาปัตยกรรมและขาใช้งานพื้นฐานเหมือนกันดังแสดงในภาพที่ 2-3 และ 2-4 โดยมีรายละเอียดขั้นต้น ดังนี้

ขา Vcc ใช้สำหรับต่อไฟเลี้ยง +5V

ขา GND เป็นขากราวด์ สำหรับต่อกราวด์ของระบบ

ขาพอร์ต 0 (P0, 0-P0.7) มี 8 ขา แต่ละขาสามารถกำหนดให้เป็นได้ทั้งอินพุตและเอาต์พุตสำหรับใช้งานทั่วไป ถ้าหากต้องการกำหนดให้ขาพอร์ต 0 ขาใดขาหนึ่งเป็นอินพุตสามารถทำได้โดยการเขียนข้อมูล "1" ไปยังแต่ละบิตของพอร์ตที่ต้องการติดต่อด้วย ส่งผลให้ขาพอร์ตนั้นมีสถานะปล่อยลอย (Float) จึงมีอินพุตอิมพีแดนซ์สูง สามารถใช้งานเป็นขาพอร์ตอินพุตได้ นอกจากนั้นขาพอร์ตนี้ยังถูกใช้งานในการติดต่อกับขาแอดเดรสไบต์ต่ำของหน่วยความจำภายนอก (A0-A7) และขาข้อมูล (D0-D7) โดยใช้กระบวนการมัลติเพล็กซ์เข้าช่วย เพื่อสลับการทำงานให้เป็นได้ทั้งขาติดต่อแอดเดรสและขาข้อมูล

ขาพอร์ต (P1.0-P1.7) มี 8 ขา แต่ละขาสามารถกำหนดให้เป็น ได้ทั้งอินพุตและเอาต์พุตสำหรับใช้งานทั่วไปถ้าหากต้องการกำหนดให้ขาพอร์ต 0 ขาใดขาหนึ่งเป็นอินพุตสามารถทำได้โดยการเขียนข้อมูล "1" ไปยังแต่ละบิตของพอร์ต ที่ต้องการติดต่อด้วย นอกจากนั้นในอนุกรม AT89Sxx จะใช้ขา P1.0 เป็นขาอินพุต สำหรับนับค่าของไทเมอร์ 2 และ P1.1 เป็นขาอินพุตทริกเกอร์ของไทเมอร์ 2 ในขณะที่ขา P1.4 ถึง P1.7 เป็นขาสำหรับเชื่อมต่อแบบ SPI เพื่อทำการโปรแกรมข้อมูลในระบบ

ขาพอร์ต (P2.0-P2.7) มี 8 ขา แต่ละขาสามารถกำหนดให้เป็นได้ทั้งอินพุตและเอาต์พุตสำหรับใช้งานทั่วไป ถ้าหากต้องการกำหนดให้ขาพอร์ต 0 ขาใดขาหนึ่งเป็นอินพุตสามารถทำได้โดยการเขียนข้อมูล "1" ไปยังแต่ละบิตของพอร์ตที่ต้องการติดต่อด้วย ส่งผลให้ขาพอร์ตนั้นมีสถานะปล่อยลอย (float) จึงมีอินพุตอิมพีแดนซ์สูง สามารถใช้งานเป็นขาพอร์ตอินพุตได้ นอกจากนั้นขาพอร์ตนี้ยังถูกใช้งานในการติดต่อกับขาแอดเดรสไบต์สูงของหน่วยความจำภายนอก (A8-A15)คอนโทรลเลอร์ นอกจากนี้ที่ขานี้ยังเป็นขาอินพุตสำหรับรับแรงดันไฟสูงสำหรับการโปรแกรมหน่วยความจำภายในไมโครคอนโทรลเลอร์ สำหรับในไมโครคอนโทรลเลอร์ MCS-51 แบบแฟลชต้องการแรงดันสำหรับการโปรแกรม +12V

ขา XTAL1 และ XTAL2 เป็นขาสำหรับต่อคริสตอลเพื่อสร้างสัญญาณนาฬิกาในการกำหนดจังหวะการทำงานของไมโครคอนโทรลเลอร์

โครงสร้างและการทำงานของพอร์ต

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ไมโครคอนโทรลเลอร์ MCS-51 แบบแฟลชมีพอร์ตให้ใช้งานทั้งสิ้น 4 พอร์ต คือ พอร์ต 0 ถึง พอร์ต 3 แต่ละพอร์ตมีขนาด 8 บิต เป็นพอร์ตแบบ 2 ทิศทาง กล่าวคือ สามารถเป็นได้ทั้งอินพุต สำหรับรับสัญญาณข้อมูลเข้าและเอาต์พุตสำหรับส่งสัญญาณข้อมูลออก ทุกพอร์ตของไมโครคอนโทรลเลอร์ MCS-51 แบบแฟลชมีวงจรแลตช์และวงจรขับตลอดจนบัฟเฟอร์อินพุต ดังแสดงให้เห็นในตาราง

ขา	เบอร์ของไมโครอนโทรลเลอร์	หน้าที่พิเศษ
P1.0	AT89C52/AT89Sxx	ขา T2 เป็นขาอินพุตนับค่าของไทเมอร์/เคาร์เตอร์ 2 และเป็นขาเอาต์พุตของการกำเนิดสัญญาณนาฬิกาโดยไทเมอร์ 2 (clock out)
P1.1	AT89C52/AT89Sxx	ขา T2EX เป็นขาอินพุตทริกเอร์สำหรับการแคปเจอร์/รีโหลดและควบคุมทิศทางของสัญญาณ
P1.4	AT89Sxx	ขา $\overline{SS}$ (Slave Select) เป็นขาเลือกการติดต่อในกรณีที่ไมโครคอนโทรลเลอร์เป็นอุปกรณ์สเลฟ ในระบบการติดต่อแบบ SPI
P1.5	AT89Sxx	ขา MOSI (Master data output, Slave date data input) ใช้ในการติดต่อกับพอร์ต SPI
P1.6	AT89Sxx	ขา MISO (Master data input, Slave date data input) ใช้ในการติดต่อกับพอร์ต SPI
P1.7	AT89Sxx	ขา SCK (Master clock output) เป็นขาสัญญาณนาฬิกาของการติดต่อกับพอร์ต SPI

ตารางที่ 3.1 แสดงหน้าที่พิเศษของพอร์ต 1 ในไมโครคอนโทรลเลอร์ MCS-51 แบบเฟลช

ที่พอร์ต 0 และพอร์ต 2 จะใช้งานเป็นพอร์ตอินพุตและเอาต์พุตสำหรับงานทั่วไป และใช้ในการติดต่อกับหน่วยความจำภายนอก สำหรับพอร์ต 3 ทั้งพอร์ตและพอร์ต 1 บางขานอกจากจะใช้เป็นขาพอร์ตอินพุตเอาต์พุตตามปกติแล้ว ยังสามารถใช้งานในหน้าที่พิเศษได้อีก ขึ้นอยู่กับว่าเป็นไมโครคอนโทรลเลอร์ MCS-51 แบบเฟลชเบอร์ใด ดังสรุปได้ในตารางที่ 3.1

วงจรภายในของแต่ละพอร์ตของไมโครคอนโทรลเลอร์ MCS-51 แบบเฟลชเป็นวงจรของพอร์ต 0 วงจรแลตช์ของแต่ละบิตในแต่ละพอร์ตก็คือ วงจรดีฟลอป นั่นเอง การอ่านค่าสถานะ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ของพอร์ตและสถานะของวงจรแลตช์สามารถกระทำได้อย่างอิสระต่อกันด้วยสัญญาณที่แยกจากกัน นั่นคือ สัญญาณอ่านข้อมูลจากขาพอร์ตและสัญญาณอ่านข้อมูลจากวงจรแลตช์ส่วนการเขียนข้อมูลมายังพอร์ตต้องส่งสัญญาณมายังขา CLK ของดีฟลิฟลอปในขณะที่ข้อมูลจะส่งผ่านมาทางขาบัสข้อมูลภายในเข้าสู่ขา D ของดีฟลิฟลอบ

ที่พอร์ตนี้มีวงวจรมัลติเพล็กซ์สำหรับกำหนดลักษณะการทำงานของพอร์ตว่าต้องการใช้งานเป็นขาพอร์ตอินพุตเอาต์พุตปกติหรือใช้ในการติดต่อกับหน่วยความจำภายนอกไมโครคอนโทรลเลอร์

เนื่องจากที่ขาพอร์ต 0 ไม่มีวงจรพูลอัปภายในหากมีการนำพอร์ต 0 ไปใช้งานเป็นพอร์ตอินพุตจะต้องต่อตัวต้านทานพลูอัปภายนอกเข้าที่ขาพอร์ต 0 ทุกขาด้วย

การใช้งานเป็นพอร์ตอินพุต

เนื่องจากพอร์ตทั้งหมดของไมโครคอนโทรลเลอร์ MCS-51 แบบแฟลชสามารถเป็นได้ทั้งอินพุตและเอาต์พุต ดังนั้นจึงมีความจำเป็นอย่างยิ่งต้องทำความเข้าใจถึงการกำหนดลักษระการทำงานให้แก่พอร์ตของไมโครคอนโทรลเลอร์ MCS-51 แบบแฟลช

ในการกำหนดให้เป็นพอร์ตอินพุตต้องเริ่มต้นด้วยการเขียนข้อมูล "1" มาที่แต่ละบิตของพอร์ตที่ต้องการใช้งานเป็นอินพุต เพื่อหยุดการทำงานของเฟตที่ใช้ในการขับสัญญาณเอาต์พุตของบิตนั้นๆ ทำให้ขาสัญญาณของพอร์ตเชื่อมต่อเข้ากับวงจรพูลอัปภายในโดยตรง ส่งผลให้ขาพอร์ตนั้นมีลอจิกเป็น "1" สามารถรับสัญญาณลอจิก "0" จากอุปกรณ์ภายนอกได้ง่าย สัญญาณข้อมูลจากอุปกรณ์ภายนอกจะถูกส่งเข้ามาแล้วเก็บไว้ในวงจรบัฟเฟอร์ภายในพอร์ต แล้วรอให้ซีพียูมาอ่านค่าเข้าไป เมื่อเป็นเช่นนี้อุปกรณ์ภายนอกที่เชื่อมต่อกับพอร์ตอินพุตของไมโครคอนโทรลเลอร์ MCS-51 แบบแฟลชควรกำหนดให้ทำงานในสภาวะลอจิก "0" จะดีและสะดวกที่สุด (ซึ่งในปัจจุบันอุปกรณ์อินพุตที่เชื่อมต่อไมโครคอนโทรลเลอร์แทบทั้งหมดทำงานที่ลอจิก "0" แล้ว)

การใช้งานเป็นพอร์ตเอาต์พุต

โดยปกติแล้ว ขาพอร์ตจะกำหนดให้มีลักษณะเป็นเอาต์พุตอยู่แล้ว ดังนั้นจึงสามารถส่งข้อมูลออกไปได้อย่างง่ายดายและตรงไปตรงมากล่าวคือเมื่อต้องการส่งข้อมูล "0" ออกไปทางเอาต์พุตก็ให้เขียนข้อมูล "0" ไปยังวงจรแลตช์ ซึ่งก็จะส่งต่อไปขับเฟตทำงาน ที่ขาพอร์ตที่กำหนดให้ทำงานก็จะเกิดลอจิก "0" ขึ้น ในทางตรงข้ามหากต้องการส่งข้อมูล "1" ออกไป ก็ให้เขียนข้อมูล "1" ไปยังวงจรแลตช์ วงจรขับก็จะหยุดทำงาน ทำให้ที่ขาพอร์ตเชื่อมต่อกับวงจรพูลอัปภายในเกิดเป็นลอจิก "1" ที่ขาพอร์ตนั้น ซึ่งจะคล้ายกับการกำหนดให้เป็นขาอินพุตมากเพียงแต่แตกต่างกันที่

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

กระบวนการในการเคลื่อนย้ายข้อมูล โดยถ้าเป็นอินพุตจะมีสัญญาณมาอ่านข้อมูลที่บัฟเฟอร์ แต่ถ้าเป็นเอาต์พุตจะไม่มีการอ่านข้อมูลที่บัฟเฟอร์แต่อย่างใด เว้นแต่ในกรณีที่ต้องการตรวจสอบข้อมูลที่ส่งออกมาทางเอาต์พุต

เมื่อใช้งานพอร์ตของไมโครคอนโทรลเลอร์ MCS-51 แบบแฟลชเป็นพอร์ตเอาต์พุตแต่ละขา (หรือแต่ละบิต) ของแต่ละพอร์ตมีความสามารถในการจ่ายกระแสหรือที่เรียกว่า กระแสซอร์ส (Source current) ได้สูงสุด 10 mA และทุกขารวมกันในแต่ละพอร์ต (ทั้ง 8 บิต) สูงสุด 26 mA สำหรับพอร์ต 0 และ 15 mA สำหรับพอร์ต 1-3 ในกรณีที่ใช้งานทุกพอร์ตเอาต์พุตจะสามารถจ่ายกระแสได้รวมกันสูงสุด 71 mA ดังนั้นในการใช้งานเป็นพอร์ตเอาต์พุตเพื่อไม่ให้เกิดปัญหาเกี่ยวกับความสามารถในการจ่ายกระแสจึงควรต่อวงจรบัฟเฟอร์ทางเอาต์พุตเพื่อช่วยในการขับกระแสอีกทางหนึ่ง

การอ่านค่าลอจิกจากพอร์ต

ในไมโครคอนโทรลเลอร์ MCS-51 แบบแฟลชสามารถอ่านค่าลอจิกจากพอร์ตได้ 2 ลักษณะ คือ อ่านจากขาพอร์ตโดยตรง และอ่านจากวงจรแลตช์ของแต่ละพอร์ต

ในกรณีที่พอร์ตต่อกับขาเบสทรานซิสเตอร์ชนิด NPN และขาอิมิตเตอร์ของทรานซิสเตอร์ตัวนั้นต่อลงกราวด์ หากมีการส่งข้อมูล "1" ไปยังทรานซิสเตอร์ จะทำให้ทรานซิสเตอร์ทำงานสถานะลอจิกที่ขาพอร์ตจะเป็น "0" เนื่องจากเมื่อทรานซิสเตอร์ทำงาน จะเสมือนว่าขาพอร์ตนั้นถูกต่อลงกราวด์ทำให้หากอ่านค่าลอจิกที่ขาพอร์ตจะได้ผลตรงข้ามกับที่ส่งออกมา แต่ถ้าหากทำงานอ่านค่าลอจิกที่วงจรแลตช์จะได้ค่าที่ตรงกับค่าที่ต้องการส่งจริง ดังนั้นในการอ่านค่าลอจิกพอร์ตจึงต้องเลือกวิธีการให้เหมาะสมกับอุปกรณ์ที่นำมาต่อด้วย

หน่วยความจำโปรแกรม (Program memory)

การจัดหน่วยความจำโปรแกรมของไมโครคอนโทรลเลอร์ MCS-51 แบบแฟลชในเบอร์ต่างๆ ที่นิยมใช้งาน อันประกอบด้วยเบอร์ AT89X51 และ AT89C52 จะเห็นได้ว่าทั้งสองเบอร์สามารถติดต่อหน่วยความจำโปรแกรมได้สูงสุด 64 กิโลไบต์ โดยสามารถเลือกใช้หน่วยความจำโปรแกรมภายในอย่างเดียวหรือรวมกับภายนอกหรือเลือกใช้หน่วยความจำภายนอกอย่างเดียวก็ได้ โดยภายใน AT89C51 จะมีหน่วยความจำโปรแกรมภายใน 4 กิโลไบต์ ในขณะที่ AT89C52 จะมีขนาด 8 กิโลไบต์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ในกรณีที่ใช้หน่วยความจำภายในและภายนอกรวมกัน หากใช้ AT89C51 ก็สามารถติดต่อกับหน่วยความจำภายนอกได้ 60 กิโลไบต์ และถ้าใช้เบอร์ AT89C52 จะสามารถติดต่อกับหน่วยความจำโปรแกรมภายนอกได้ 56 กิโลไบต์

หน่วยความจำโปรแกรมมีแอดเดรสเริ่มต้นที่ 0000H เมื่อซีพียูได้รับการรีเซตให้เริ่มต้นการทำงานจะต้องมาเริ่มต้นที่แอดเดรส 0000H นี้เสมอ อย่างไรก็ตามในพื้นที่ของหน่วยความโปรแกรมไม่ว่าจะใช้งานจากภายในหรือภายนอกก็ตาม ต้องมีการสงวนพื้นที่บางตำแหน่งเอาไว้สำหรับการบริการอินเตอร์รัปต์ 6 ประเภท ประเภทละ 8 ไบต์ ประกอบด้วย

พื้นที่สำหรับบริการอินเตอร์รัปต์ 0 จากภายนอก กำหนดไว้ที่แอดเดรส 0003H

พื้นที่สำหรับบริการอินเตอร์รัปต์จากไทเมอร์ 0 กำหนดไว้ที่แอดเดรส 000BH

พื้นที่สำหรับบริการอินเตอร์รัปต์ 1 จากภายนอก กำหนดไว้ที่แอดเดรส 0013H

พื้นที่สำหรับบริการอินเตอร์รัปต์จากไทเมอร์ 1 กำหนดไว้ที่แอดเดรส 001BH

พื้นที่สำหรับบริการอินเตอร์รัปต์ของการสื่อสารอนุกรม กำหนดไว้ที่แอดเดรส 000BH

พื้นที่สำหรับบริการอินเตอร์รัปต์จากไทเมอร์ 2 กำหนดไว้ที่แอดเดรส 002BH

หน่วยความจำข้อมูล (Data memory)

มีด้วยกัน 2 แบบ คือ หน่วยความจำข้อมูลภายนอกและภายใน โดยไมโครคอนโทรลเลอร์ MCS-51 แบบแฟลชในอนุกรม AT89 สามารถติดต่อกับหน่วยความจำข้อมูลภายนอกได้สูงสุด 64 กิโลไบต์ โดยการใช้คำสั่ง MOVX ในการติดต่อกับหน่วยความจำข้อมูลภายนอก การติดต่อกับหน่วยความจำข้อมูลภายนอกของไมโครคอนโทรลเลอร์ MCS-51 แบบแฟลช จะเห็นได้ว่า มีลักษณะคล้ายกับการติดต่อกับหน่วยความโปรแกรมภายนอกแตกต่างกันที่มีสัญญาณที่ใช้สำหรับการอ่านและเขียนหน่วยความจำข้อมูลภายนอก นั่นคือขา $\overline{RD}$ และ $\overline{WR}$

สำหรับ ไมโครคอนโทรลเลอร์ MCS-51 แบบแฟลชในอนุกรม AT89 ทุกเบอร์จะมีหน่วยความจำข้อมูลภายในเป็นแบบแรม (RAM : Random Access Memory) โดยแต่ละเบอร์จะมีขนาดแตกต่างกันไป ในเบอร์ AT89C51 มีหน่วยความจำข้อมูลภายในขนาด 128 ไบต์ ในขณะที่เบอร์ AT89C-52 มีขนาด 256 ไบต์ สำหรับการจัดสรรความจำข้อมูลภายในแบ่งเป็น 3 ส่วน คือ หน่วยความจำข้อมูลส่วนล่าง (lower), ส่วนบน (upper) และรีจิสเตอร์ฟังก์ชั่นพิเศษ (SFR : Special Function Register) แต่ละส่วนมีขนาด 128 ไบต์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รีจิสเตอร์ฟังก์ชั่นพิเศษ (Special Function Register : SFR)

เป็นรีจิสเตอร์ที่ใช้ควบคุมการทำงานของไมโครคอนโทรลเลอร์ MCS-51 แบบแฟชลทั้งหมดมีด้วยกัน 22 ตัว สำหรับในไมโครคอนโทรลเลอร์ MCS-51 แบบแฟลชเบอร์ AT89C51 และ 28 ตัวในไมโครคอนโทรลเลอร์ MCS-51 แบบแฟลชเบอร์ AT89C92 และอนุกรม AT98Sxx ทั้งนี้เนื่องจากใน AT89C52 และ AT89Sxx มีจำนวนไทเมอร์เคาน์เตอร์มากกว่า AT89C51

รีจิสเตอร์ SFR มีแอดเดรสอยู่ระหว่าง 80H-FFH ในพื้นที่ของหน่วยความจำข้อมูลส่วนบนสามารถเข้าถึงได้โดยตรง (Direct addressing) ในภาพที่ 2-13 แสดงการจัดสรรพื้นที่ของรีจิสเตอร์ SFR แต่ละตัวในหน่วยความจำข้อมูลส่วนบน สำหรับรายละเอียดเบื้องต้นของรีจิสเตอร์ SFR มีดังนี้

บิต7	บิต6	บิต5	บิต4	บิต3	บิต2	บิต1	บิต0
CY	AC	FO	RS1	RSO	OV	-	P

CY : แฟลกทด (Carry flag) เป็น "1" เมื่อมีการกระทำคำสั่งทางคณิตศาสตร์และลอจิกแล้วค่าของแอกคิวมูลเลเตอร์เกิน 255 (ฐานสิบ) หรือ FFH

AC : แฟลกทดเสริมเป็น (Auxiliary Carry flay) "1" เมื่อมีการกระทำคำสั่งทางคณิตศาสตร์แล้วทำให้เกิดการทดข้ามจากบิต 3 มายังบิต 4 มักใช้ในการ แปลงค่าเป็นเลขฐานสิบ (BCD operation)

FO : แฟลกใช้งานทั่วไป เมื่อผู้เขียนโปรแกรมกำหนดค่าที่บิตนี้แล้ว มไว่าจะกระทำคำสั่งใดๆ ที่บิตนี้จะไม่มีการเปลี่ยนแปลง

RS1 : บิตเลือกรีจิสเตอร์แบงก์ (Register Select1) ใช้งานร่วมกับบิต RS0 เพื่อเลือกแบงก์ของรีจิสเตอร์ R0-R7

RS0 : บิตเลือกรีจิสเตอร์แบงก์ (Register Select0) ใช้งานร่วมกับบิต RS1 เพื่อเลือกแบงก์ของรีจิสเตอร์ R0-R7

OV : บิตเกิน (Overflow) เป็น "1" เมื่อมีการกระทำคำสั่งทางคณิตศาสตร์และลอจิกแล้วทำให้เกิดการทดข้ามจากบิต 7 ของแอกคิวมูเลเตอร์ หรือแอกคิวมูเลเตอร์มีค่าเกิน 127 (ฐานสิบ) นอกจากนั้นยังใช้เป็นการแสดงค่าลบด้วย

- : บิตนี้ผู้ใช้งานสามารถกำหนดใช้งานได้อย่างอิสระ

P : บิตพาริตี้ (Parity) ใช้ในการตรวจสอบจำนวนค่า "1" ภายในแอกคิวมูเลเตอร์ ถ้าหากในแอกคิวมูเลเตอร์มีจำนวนบิตที่เป็น "1" รวมกันเป็นเลขคู่ บิตนี้จะเป็น "1"

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

RS1	RS0	แบงก์ของรีจิสเตอร์	ช่วงแอดเดรส
0	0	แบงก์ 0	00H-07H
0	1	แบงก์ 1	08H-0FH
1	0	แบงก์ 2	10H-17H
1	0	แบงก์ 3	18H-1FH

ตารางที่ 3.2 แสดงการเลือกแบงก์ของหน่วยความจำส่วนล่างเพื่อติดต่อกับรีจิสเตอร์แบงก์ R0-R7

รีจิสเตอร์แสดงสถานะของโปรแกรม (Program Status Word : PSW)

เป็นรีจิสเตอร์ขนาด 8 บิต สามารถเข้าถึงได้ในระดับบิต นั่นหมายความว่า สามารถกระทำคำสั่งหรือกำหนดค่าในแต่ละบิตของรีจิสเตอร์ตัวนี้ได้อย่างอิสระ มีแอดเดรสอยู่ที่ D0H เป็นรีจิสเตอร์ที่เก็บสถานะของการทำงานของโปรแกรมในขณะนั้น จะเรียกสถานะต่างๆ ของโปรแกรมว่า แฟลก (flag) เมื่อซีพียูกระทำคำสั่งทางคณิตศาสตร์ และถอจิกแล้วเกิดการเปลี่ยนแปลงสถานะขึ้น ผลของการเปลี่ยนแปลงนั้นจะมาปรากฏที่บิตต่างๆ ของรีจิสเตอร์ PSW รายละเอียดของแต่ละบิตในรีจิสเตอร์ PSW

จะเห็นได้ว่านอกจากรีจิสเตอร์ PSW ถูกใช้ในการเก็บสถานะของโปรแกรมแล้วที่บิต RS0 และ RS1 ยังใช้ในการเลือกแบงก์ของหน่วยความจำส่วนล่าง ซึ่งเป็นพื้นที่ของรีจิสเตอร์ R0-R7 ด้วยดังมีรายละเอียดแสดงในตาราง โดยปกติแล้วในการใช้งานรีจิสเตอร์ R0-R7 มักนิยมเลือกใช้แบงก์ 0 เป็นลำดับแรก หากไม่เพียงพอจึงเลือกในแบงก์อื่นๆ มาใช่แต่ต้องระมัดระวังในการกำหนดค่าและลำดับการติดต่อให้ดี มิเช่นนั้นอาจทำให้การเขียนโปรแกรมเกิดความสับสน ดังนั้นสำหรับผู้เริ่มต้นใช้งานไมโครคอนโทรลเลอร์ MCS-51 จึงควรเลือกใช้รีจิสเตอร์ R0-R7 ในแบงก์ 0 เพียงแบงก์เดียวให้ชำนาญเสียก่อน

การกำหนดค่าของรีจิสเตอร์ PWS เพื่อเลือกใช้งานรีจิสเตอร์ R0-R7 ควรกำหนดไว้ที่ตอนต้นของโปรแกรมเสมอ เพื่อจะได้เขียนโปรแกรมติดต่อกับรีจิสเตอร์ R0-R7 ได้อย่างสะดวกและไม่เกิดความผิดพลาด

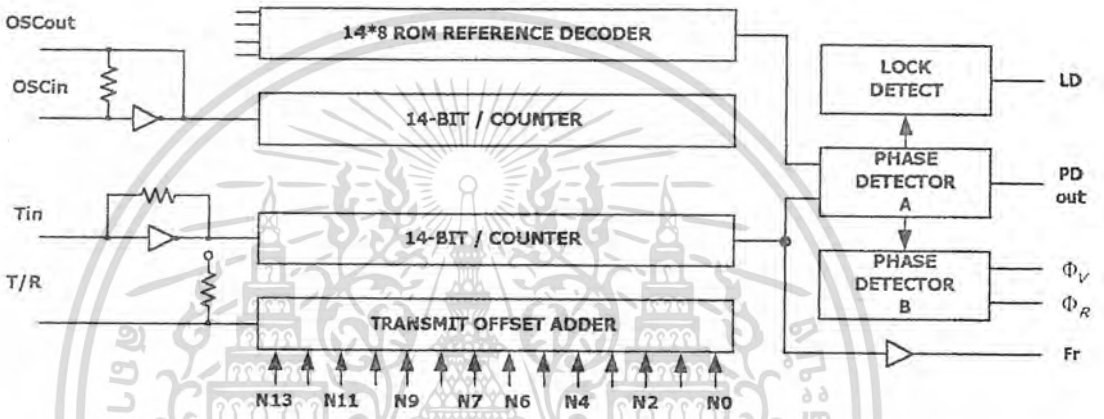
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่4

การออกแบบวงจรใช้งาน

4.1 วงจรควบคุมเฟส (PHASE LOCK LOOP)

วงจรที่เกี่ยวกับ PLL ทั้งหมดคือ referance oscillater , phase detecter , N counter , lock detecter ทั้งหมดนี้จะรวมอยู่ในไอซี MC14515
ซึ่งวงจรทั้งหมดเป็นตามรูปที่ 4.1

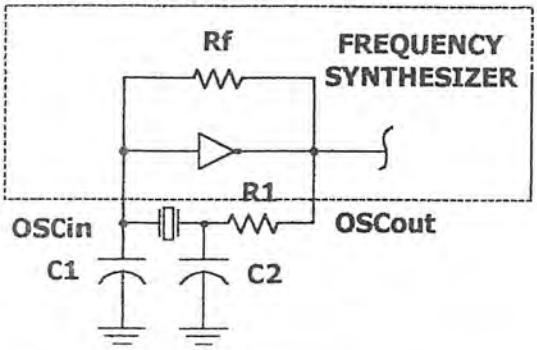


รูปที่ 4.1 แสดงโครงสร้างภายในของ MC145151

4.1.1 วงจรกำเนิดความถี่อ้างอิง (REFERANCE OSCILLATER)

โดยในการออกแบบนั้นใช้ความถี่อ้างอิง 10.240 MHz โดยการต่อ X-TEL เข้ากับขาที่ 26 , 27 ของไอซี แต่เนื่องจากคุณสมบัติที่ไม่คงที่ภายในตัวไอซี ทำให้ค่าความถี่ที่ได้มีความคลาดเคลื่อนไปบ้างดังนั้นเราจึงต้องใช้คาปาซิเตอร์ต่อคร่อมขาที่ 26 , 27 ลงกราวด์ โดยให้เป็นค่าคงที่หนึ่งตัวและเป็นแบบปรับค่าได้โดยค่าคงที่เลือกใช้ค่า 22 pF และแบบปรับค่าได้ใช้ค่า 0-30pF เมื่อใช้งานก็ให้ปรับจนได้ค่าความถี่ที่ต้องการ และค่าความถี่อ้างอิงที่ต้องการคือ 1KHz
ต้องกำหนดค่าการหารความถี่อ้างอิงคือ 1024 โดยค่า BCD คือ 100

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.2 แสดงการต่อ X-TEL และ capacitor

4.1.2 วงจรหารกำหนดค่าได้ (N COUNTER)

การตั้งค่าการหารความถี่ที่มาจาก prescaler กำหนดที่ขา N0 N13 ในรูปของ BINARY โดยค่าการหารของหารอยู่ในช่วง 3 1638 ซึ่งค่านี้สามารถหาได้จากสมการ

$$N = \frac{Fin}{Fr}$$

โดย Fin = ความถี่จาก prescaler

Fr = ความถี่อ้างอิง

เมื่อค่าการหารของ prescaler คือ 10 ดังนั้นความถี่จะอยู่ในช่วง 8.75 – 10.8 MHz จะได้ค่าการหารสูงสุดและต่ำสุดคือ

$$N\min = \frac{F\min}{Fr} = \frac{8.75 \times 10^6}{10 \times 10^3} = 875$$

$$N\max = \frac{F\max}{Fr} = \frac{10.8 \times 10^6}{10 \times 10^3} = 1080$$

แต่ค่าที่ได้ต้องแปลงเป็นเลขฐานสองก่อนเพื่อง่ายในการป้อนค่าให้ไอซี

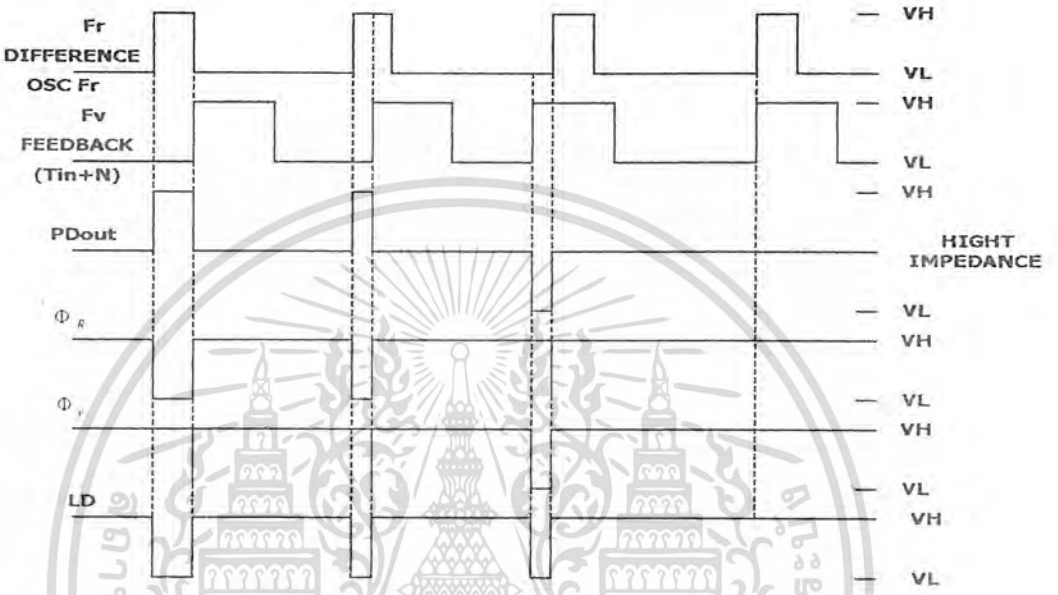
875 = 1101101011

1080 = 10000111000

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4.1.3 วงจรเปรียบเทียบเฟส (PHASE DETECTER)

ในไอซีมีวงจร phase detecter อยู่สองชนิดคือแบบ PDout และแบบ ΦV , ΦR แต่ในวงจรเลือกใช้แบบแรกเพราะว่าจะเลือกวงจร loop filter แบบ passive โดย phase detecter แบบนี้จะให้ output สามสถาณะคือ บวก ลบ และความต้านทานสูงซึ่งแสดงโดยรูป



รูปที่ 4.3 แสดงการต่อ X-TEL และ capacitor

4.1.4 วงจรลูปฟิลเตอร์ (LOOP FILLTER)

เนื่องจากการใช้งานวงจรฟิลเตอร์แบบพาสซีฟแลค จึงมีสิ่งที่ต้องคำนึงถึงคือ steady state จากทฤษฎีการควบคุม Type ของลูปจะเท่ากับจำนวน Perfect integrater ภายในลูปซึ่งขึ้นอยู่กับ โครงสร้างของระบบโดยในระบบเฟสล็อคลูปใดๆ อย่างน้อยที่สุดต้องเป็นลูปอันดับที่ 1 เนื่องจาก VCO เป็น Perfect Intergrator ถ้าลูปฟิลเตอร์ประกอบไปด้วย Perfect Intergrator อีกลูปหนึ่งก็จะเป็นแบบอันดับที่ 2 ลูปฟิลเตอร์ที่มี Perfect Intergrator คือ Active filter ดังนั้นในระบบเฟสล็อคลูปที่มีลูปฟิลเตอร์แบบ Active จะเป็นลูปฟิลเตอร์แบบอัดับที่ 2 ในขณะที่เฟสล็อคลูปที่มีลูปฟิลเตอร์แบบพาสซีฟฟิลเตอร์ จะเป็นลูปแบบอันดับที่ 1 เมื่อป้อนสัญญาณแบบ Ramp ใช้สำหรับทดสอบความสามารถ ในการติดตามสัญญาณอินพุทเฟสล็อคลูปจะประกอบไปด้วย Integrator อย่างน้อยสองตัวหรือลูปแบบอันดับที่ 2 จึงจะทำให้ค่า Steady State Error เป็นศูนย์จะเห็นได้ว่าแอ็กตีฟฟิลเตอร์จะให้ค่า Steasdy State Error น้อยกว่าแบบพาสซีฟ โดยทั่วไปค่าของ Type ยิ่งมากระบบจะยิ่งมีความแน่นอน แต่จะทำให้เกิดปัญหาความเสถียรภาพตามมา ดังนั้นเราจึงไม่นิยมใช้ Type มากกว่าสองเพราะเป็นการยากที่จะทำให้ระบบเสถียรภาพ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

1. แอ็กทีฟฟิลเตอร์ที่ใช้ Op Amp จะเพิ่มสัญญาณรบกวน (Noise) ลงในแรงดันที่ควบคุมVCO ดังนั้นวงจรขยายที่ใช้ Op Amp เป็นตัวฟิลเตอร์ควรมีคุณสมบัติสัญญาณรบกวนต่ำและกระแสไบอัสอินพุทน้อยที่สุด อย่างไรก็ตามเกนขยายที่ F(o) ของ Active Filter คือ A จะเห็นได้ว่า Active Filter จะให้ BW ที่กว้างกว่าแบบ Pass ive

2. การเลือกค่า Damping Factor จะเลือกค่าที่มีการตอบสนองระบบเร็วที่สุด เพื่อให้ระยะเวลาในการล็อครวดเร็วโดยถ้า Damping Fector มีค่าน้อยทำให้ผลตอบสนองมีค่า Over Shoot มากแต่ถ้า Damping Factor มีค่ามากทำให้การตอบสนองจะช้าค่า Damping Factor ที่ดีที่สุดคือค่า 0.707 การกำหนดค่า Natural Frequency Wn จะขึ้นอยู่กับ Damping Fector และเวลาที่ตอบสนองต่อค่าเวลาสุดท้าย (Setting Time) ts สำหรับ $0 < \text{Damping Factor} < 0.9$ถ้าใช้ค่ามาตราฐานที่มีการเปลี่ยนแปลงอยู่ระหว่าง $\pm 2\%$ เมื่อ $ts = 4T$ เป็นค่าเวลาคงที่ $T = \frac{1}{Wn\xi}$ ค่า ts ที่มากจะทำให้มอดูเลตที่ความถี่ต่ำไม่ได้

4.1.5 วงจรหารค่าคงที่ (PRE SCALLER)

วงจรนี้เลือกค่าการหารของ prescaler = 10 และในวงจรใช้ไอซีมอสเบอร์ 74F160 ซึ่งสามารถทำงานได้ที่ความถี่ใช้งาน

4.1.6 วงจรผลิตความถี่ควบคุมด้วยแรงดัน (VOLTAGE CONTROL OSCILLATER)

จากวงจร L และ C ทุกตัวในวงจรจะเป็นตัวกำหนดความถี่ของวงจรโดยมีค่า capaciter ส่วนหนึ่งได้จาก varicap diode ที่มีคุณสมบัติเปลี่ยนแปลงค่าตามแรงดันที่ตกคร่อมตัว diode ดังนั้นเราสามารถควบคุมค่าความถี่ได้จากคุณสมบัตินี้เอง ในการต่อ varicap เข้ากับวงจร resonance จะต้องมี capaciter อันดับกันทุกครั้งเพราะหากไม่ใช้จะทำให้กระแสส่วนใหญ่ไหลผ่าน inducter หมดทำให้แรงดันที่ตกคร่อม varicap ไม่เพียงพอที่จะใช้งานในการออกแบบวงจรนั้นใช้ varicap เบอร์ MV2106 ซึ่งมีความจุ 20pF ที่แรงดัน 0.1V และ 9pF ที่แรงดัน 4V ซึ่งครอบคลุมตลอดความถี่ที่ใช้งานในช่วงความถี่ 87.5 – 108MHz โดยในขั้นแรกนั้นต้องหาค่า LC ที่ความถี่สูงสุดและต่ำสุดจากสมการ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$LC = \left(\frac{1}{2\pi f}\right)^2$$

$$LC_{87.5MHz} = 3.3084 \times 10^{-18}$$

$$LC_{108MHz} = 2.1716 \times 10^{-18}$$

กำหนดให้ค่า capaciter มีเพียงค่าที่เกิดจาก varicap ที่มีค่าอยู่ในช่วง 9 – 20 pF ซึ่งคำนวณค่า L มากสุดและน้อยสุดได้ ซึ่งในการใช้งานจะเลือก inducter ที่สามารถปรับคาได้โดยค่า inducter หาได้จากสมการ

$$L = \frac{LC_{87.5MHz}}{C_{max}} = 165.422 \text{ nH}$$

$$L = \frac{LC_{108MHz}}{C_{min}} = 108.583 \text{ nH}$$

4.2 วงจรควบคุมและแสดงผล (FREQUENCY CONTROL AND DISPLAY)

การออกแบบวงจรควบคุมความถี่และแสดงผลในโครงงานนี้ใช้ microcontroller เบอร์ AT89S8252 ซึ่งเป็น microcontroller ในตระกูล MCS51 ที่มีหน่วยความจำโปรแกรมแบบ FLASH และมีหน่วยความจำ EEPROM รวมทั้งวงจรสื่อสารแบบ SPI ทำให้การโปรแกรมความถี่สามารถกำหนดได้ทั้งแบบใช้ keyboard และแบบใช้เครื่อง PC ได้ด้วยซึ่ง source code ได้แสดงไว้ในตอนท้าย

4.3 วงจรเข้ารหัสสเตอริโอ (STEREO ENCODER)

การออกแบบวงจรสร้าง สัญญานสเตริโอนั้น จะอาศัยหลักการของการมัลติเพล็กซ์ทางความถี่ซึ่งจะประกอบด้วยส่วนต่างๆ ดังนี้

1. วงจรผลิตความถี่นำร่องและคลื่นพาห์ย่อย

โดยในส่วนนี้จะใช้วงจร gate oscilator ที่ควบคุมความถี่ด้วย crystal โดยค่าที่ได้จะทำการหารให้ได้ความถี่ออกมาสองชุดคือ 19KHz สำหรับความถี่นำร่องและ 38 KHz สำหรับคลื่นพาห์ย่อย

2. วงจรบาลานซ์มอดูเลเตอร์

ใช้สำหรับนำเอาสัญญาน L – R มาผสมกับคลื่นพาห์ย่อย 38 KHz ซึ่งในวงจรใช้ไอซีเบอร์MC1496

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3. วงจรรวมสัญญาน

สำหรับวงจรรวมสัญญานนั้นใช้ สร้างสัญญาน (L + R) และ (L – R) และยังใช้เพื่อการรวมส่วนประกอบทั้งหมดของสัญญานเข้าด้วยกัน โดยจะใช้ op amp เบอร์ LF741 วงจรทั้งหมดของโครงงานแสดงไว้ในภาคผนวก

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 5
สรุปผลการทดลอง และข้อเสนอแนะ

5.1 สรุปผลการทดลอง

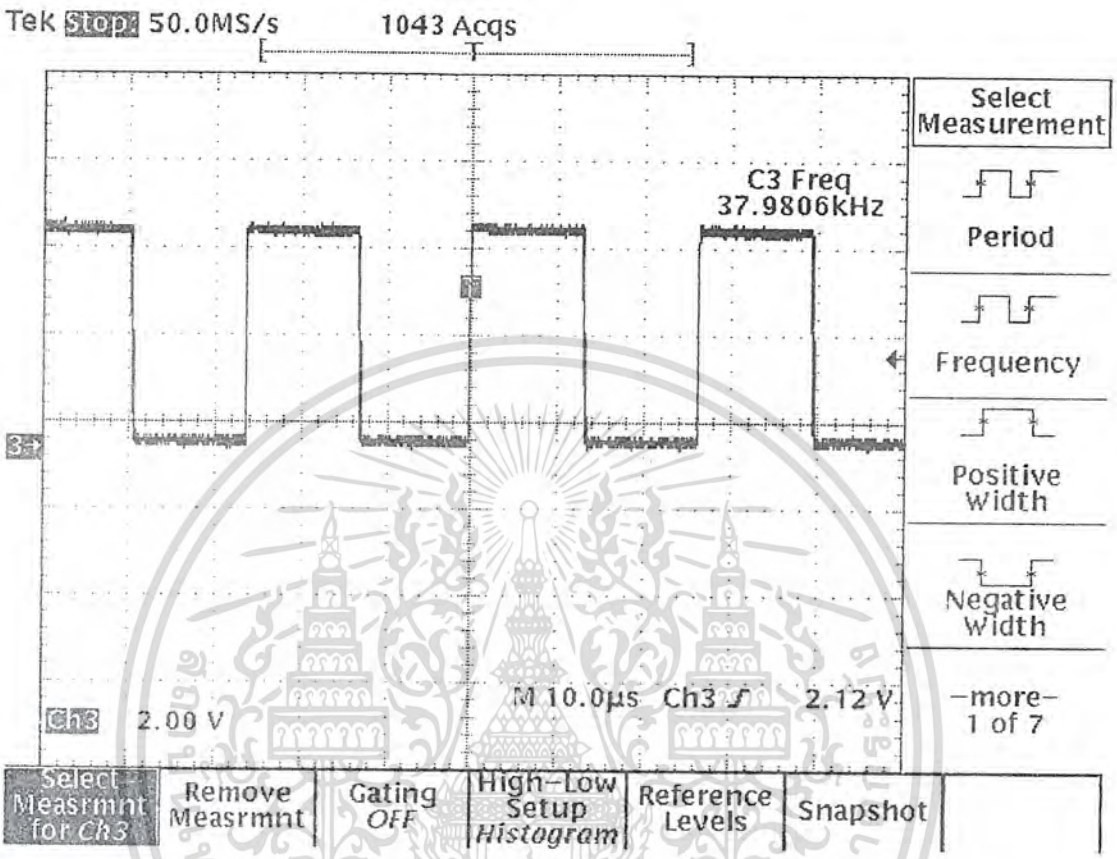
การทดสอบเครื่องส่งเอฟเอ็มที่ได้ทำขึ้นแบ่งเป็นส่วนต่างๆดังนี้VCO วงจรสามารถทำงานได้เป็นช่วงๆโดยแบ่งเป็นช่วงละ 2 MHz หากความถี่เกินจากนี้จะต้องปรับค่าของอินดัคเตอร์เพื่อให้ได้ความถี่ที่ต้องการวงจรหารความถี่ เนื่องจากใช้ไอซี mos ทำให้รูปคลื่นที่ได้จากวงจรนี้ไม่ค่อยสวยงามมากนักวงจรเฟสล็อคลูป การทำงานของวงจรนี้มีเสถียรภาพดีและการล็อคความถี่มีความเร็วสูงวงจรสร้างสัญญาณสเตอริโอ มีการแยกซ้าย - ขวา อย่างชัดเจนอยู่ในระดับที่ดีวงจรควบคุม มีความยืดหยุ่นสูงในการประยุกต์ใช้งาน

5.2 ข้อเสนอแนะ

การพัฒนาขั้นต่อไปคือการสร้างวงจรขยาย เพื่อให้เครื่องส่งมีกำลังมากขึ้นซึ่งการสร้างควรจะแยกไปใส่ในกล่องอีกกล่อง และส่วนของ VCO ควรจะเปลี่ยนเป็นแบบสำเร็จรูปเพราะว่าจะทำให้สัญญานมีความเที่ยงตรงมาก และมีแบนด์วิทที่กว้างกว่า และโครงงานนี้สามารถนำไปผลิตในเชิงพานิชย์เพื่อลดการนำเข้าจากต่างประเทศได้อีกด้วย

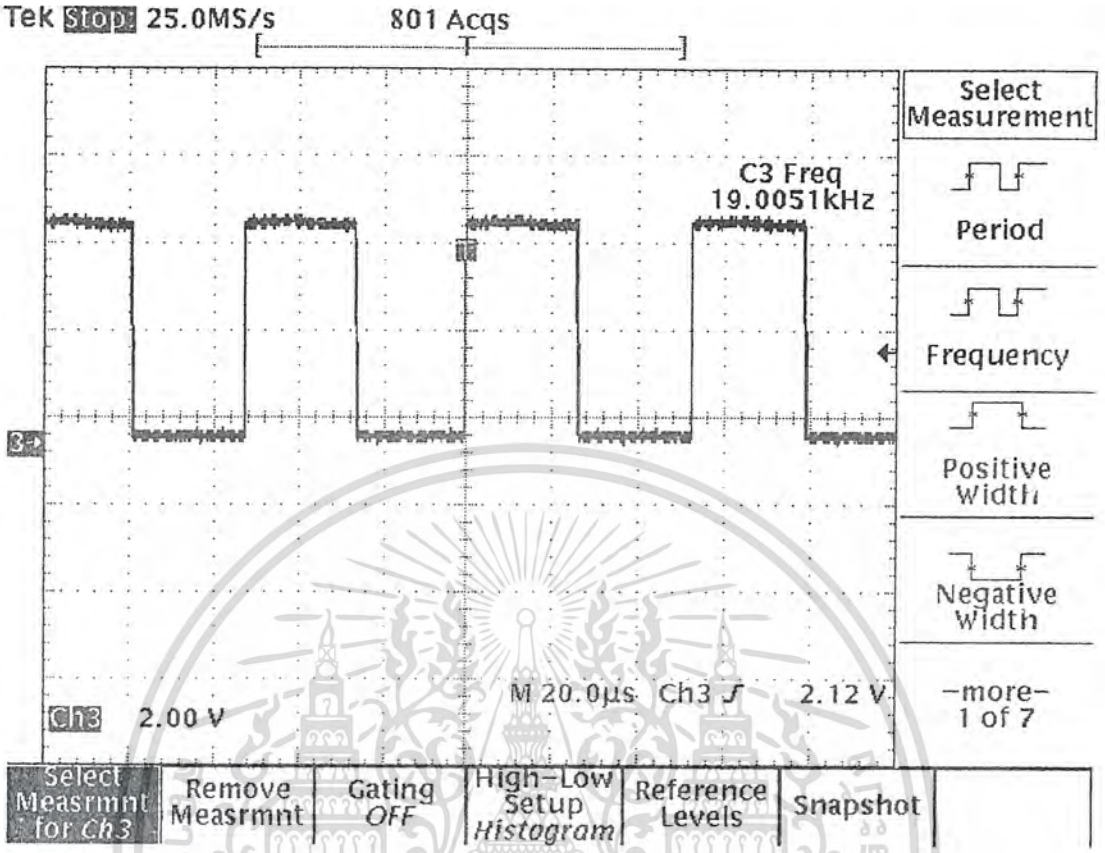
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

5.3 รูปสัญญาณที่จุดต่างๆ



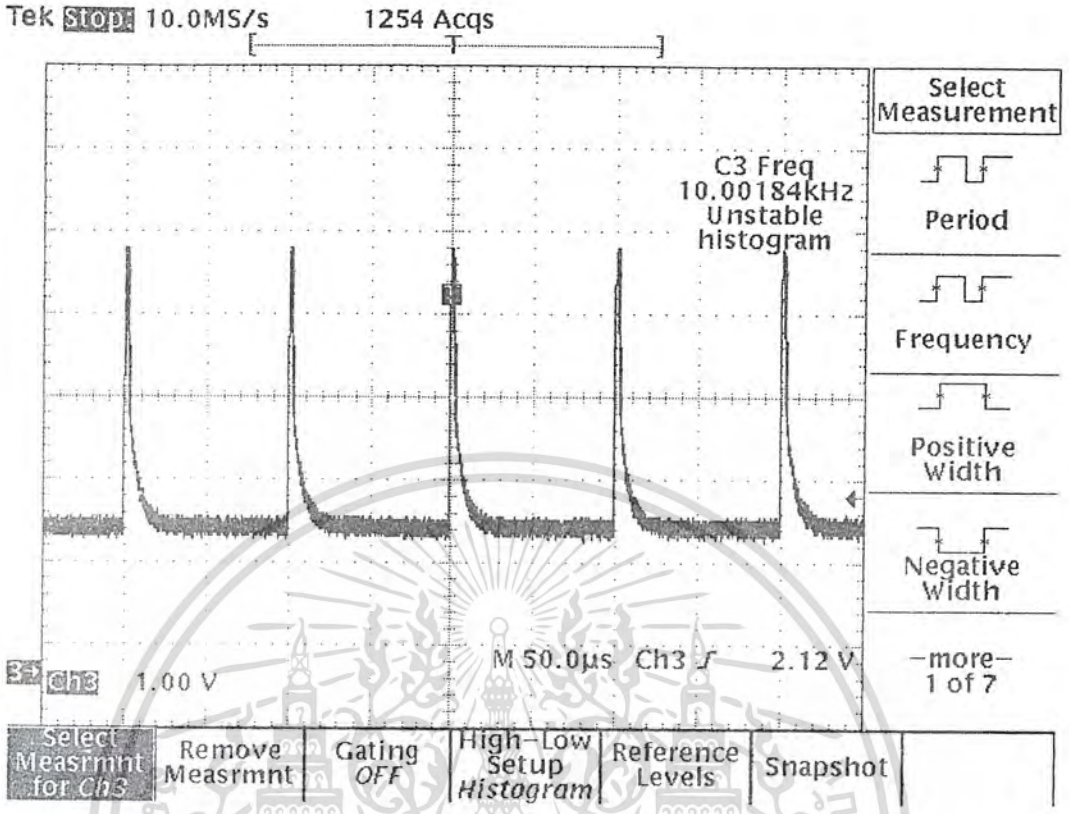
รูปที่ 5.1 สัญญาณคลื่นพาห์ย่อย (SUB CARRIER)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



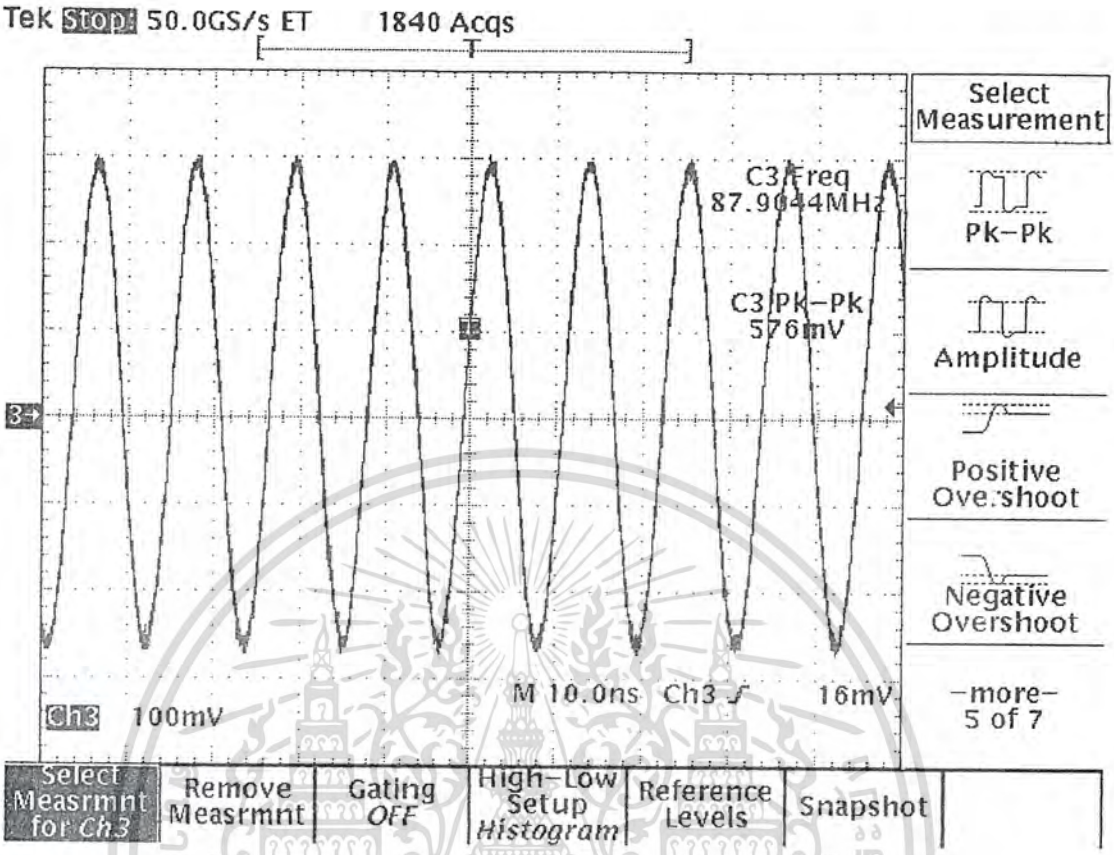
รูปที่ 5.2 สัญญาณคลื่นนำทาง (PILOT TONE)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



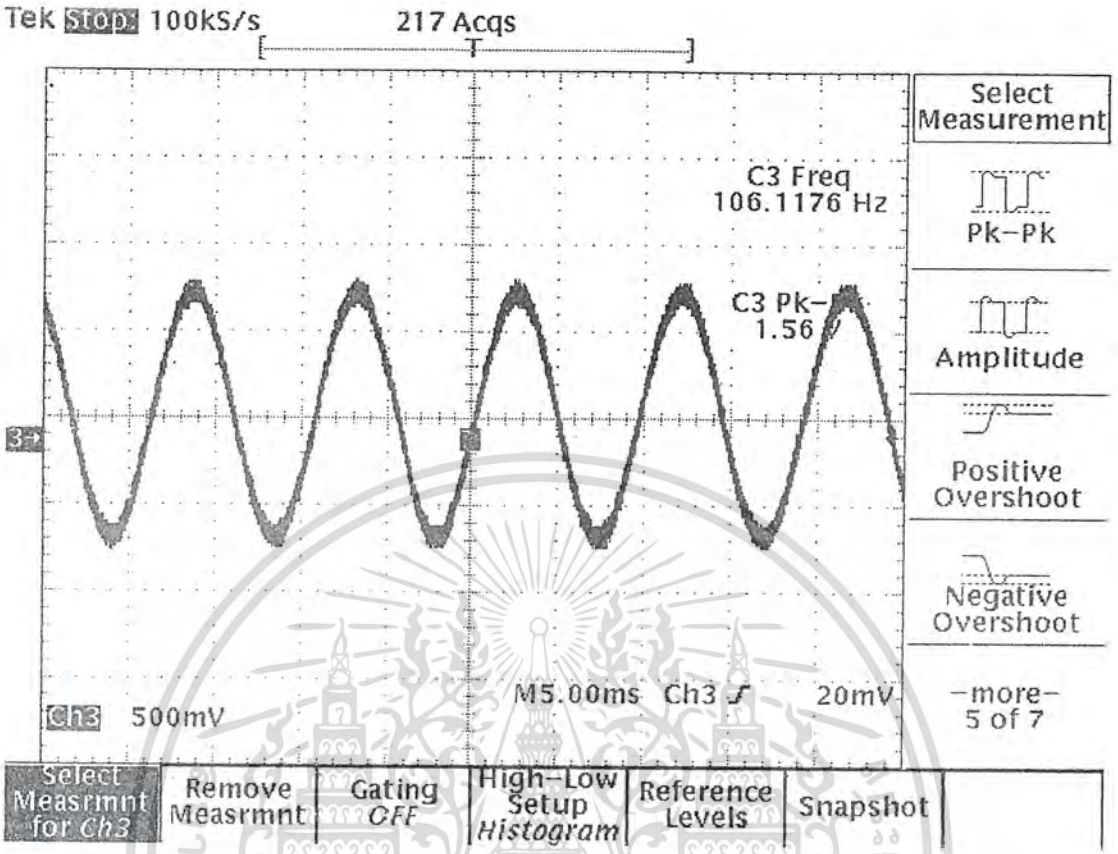
รูปที่ 5.3 สัญญาณที่ขา PD ของ MC145151

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



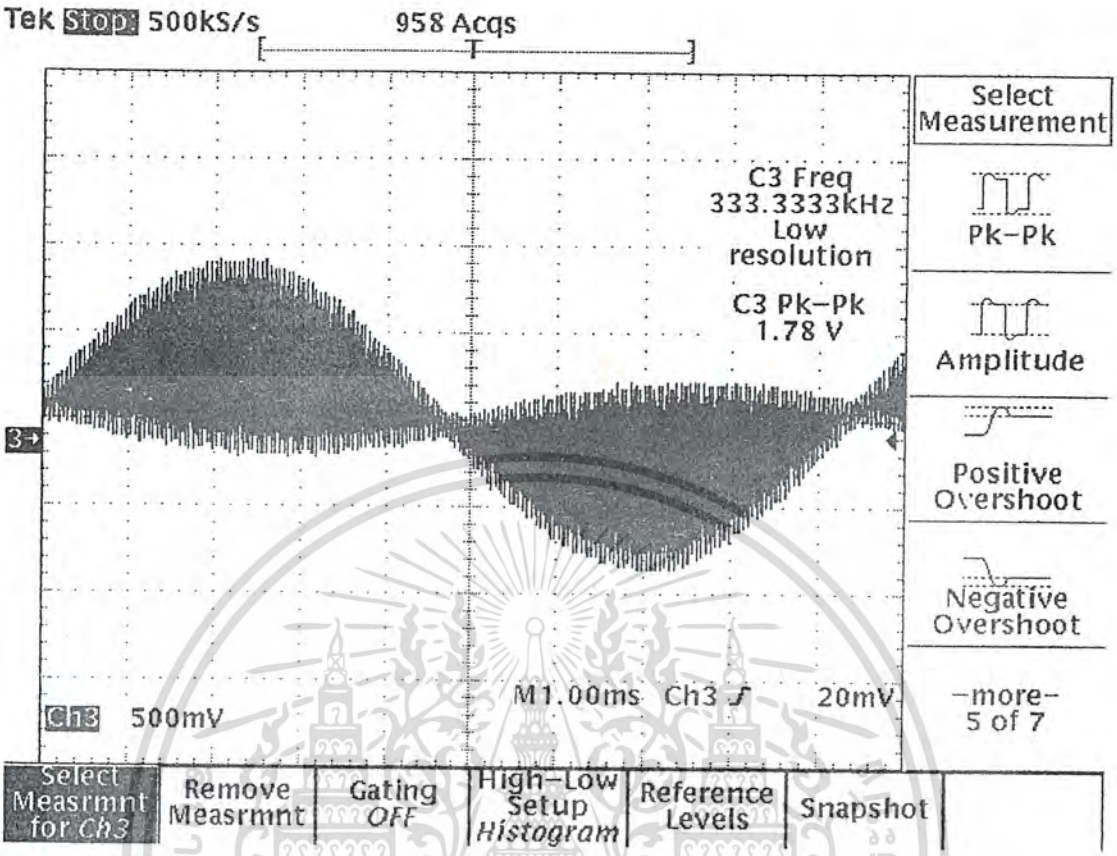
รูปที่ 5.4 สัญญาณของคลื่นพาห์ที่ความถี่ 87.9044MHz

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



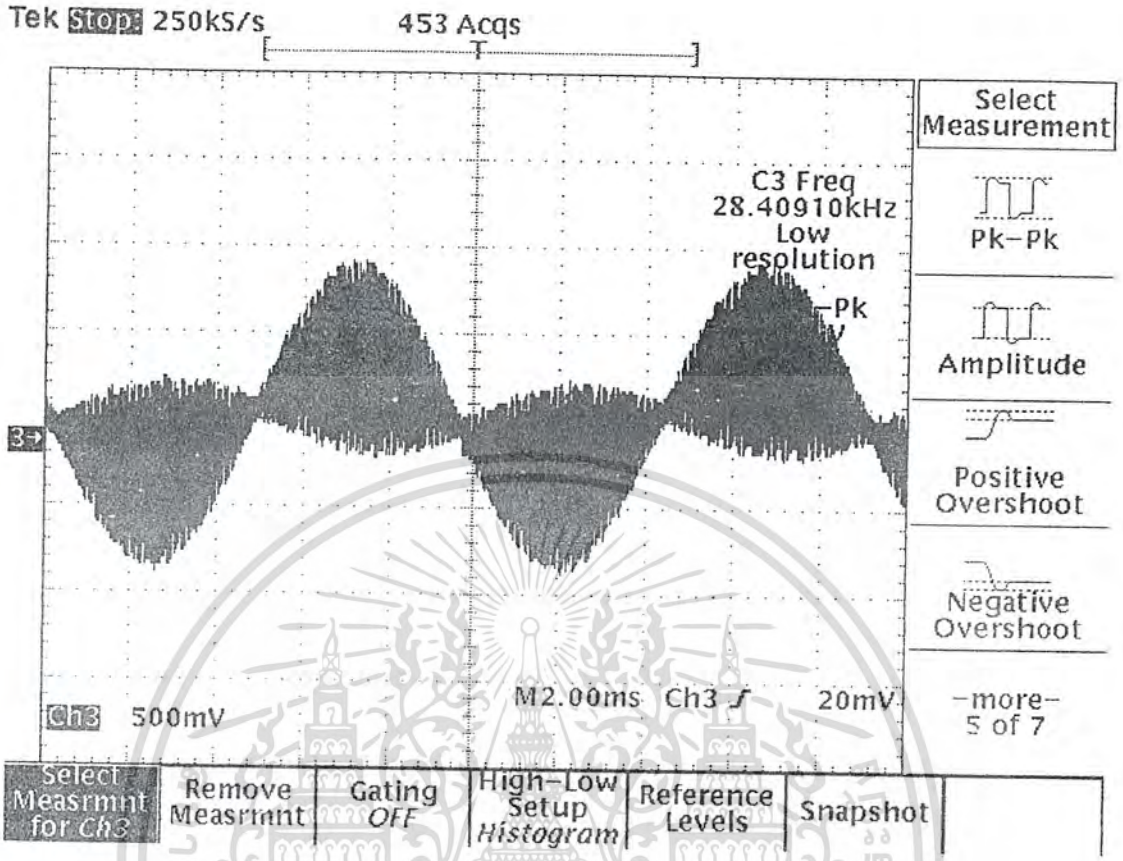
รูปที่ 5.5 สัญญานเมื่อป้อนสัญญาน 106.1 Hz ที่ L และ R

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



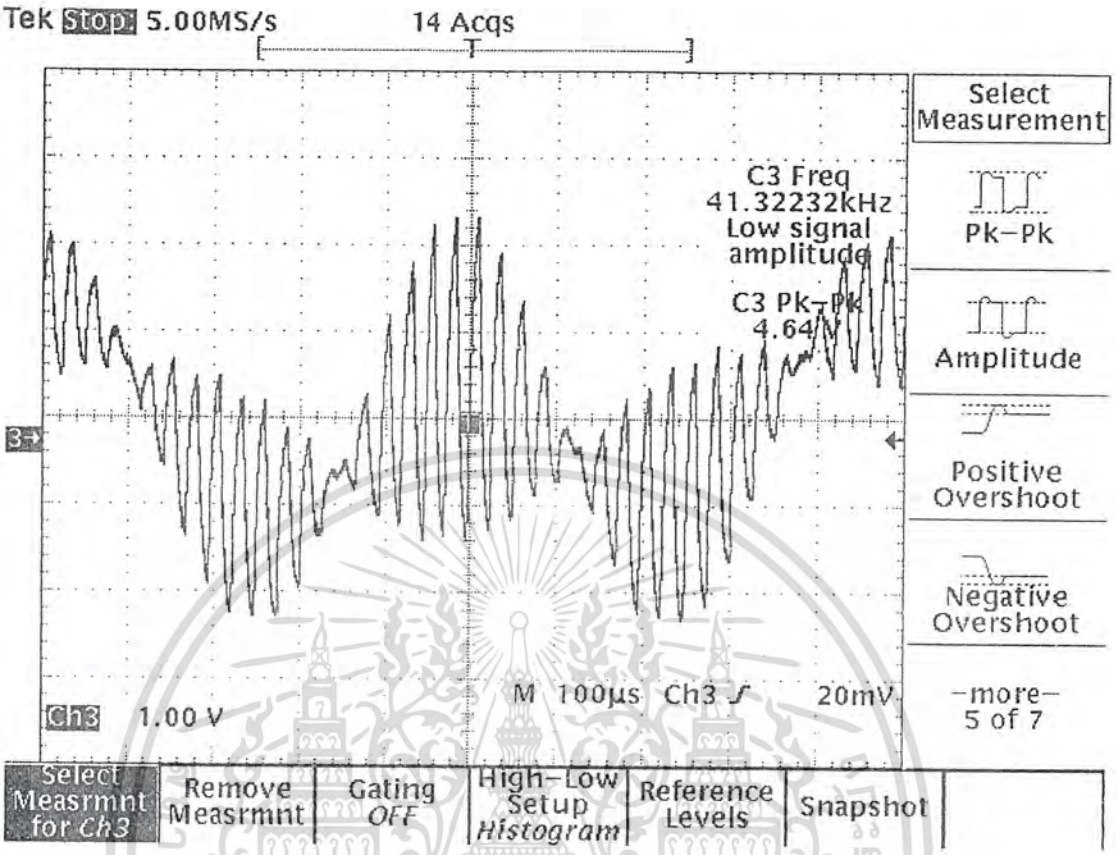
รูปที่ 5.6 สัญญาณเมื่อป้อนสัญญาน 106.1 Hz ที่ L

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



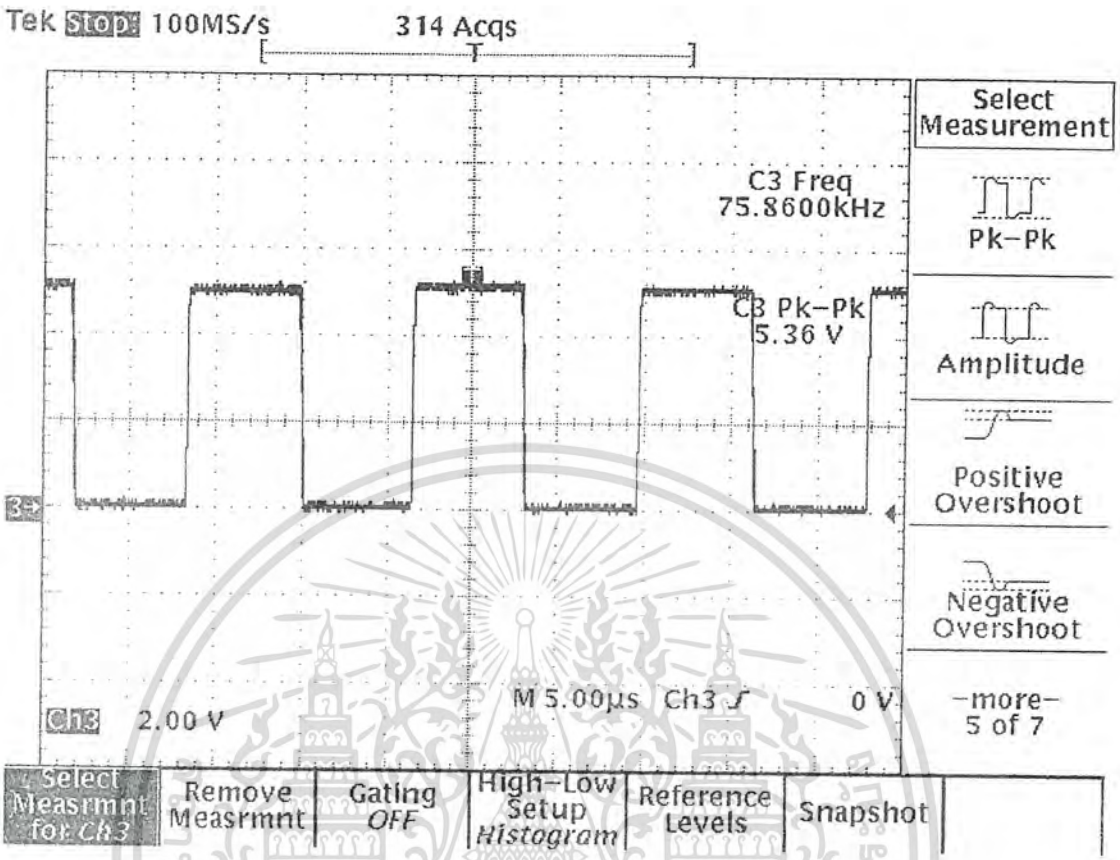
รูปที่ 5.7 สัญญาณเมื่อป้อนสัญญาน 106.1 Hz ที่ R

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 5.8 สัญญาณจากวงจร SUMMING เมื่อม็อดด้วยความถี่ 3 KHz

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 5.9 สัญญานอ้างอิง 75.86 KHz

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เอกสารอ้างอิง

1. Charks L.Hutichison, Joel P.Kleinon, The ARRL HandBook 1992, 69 ed New Ington, CA, 1992
2. Roland E. Vest, Phase Lock Loop Theory Design & Edition, Newyork,McRowHell
3. Edwork M. Noll, Howard W., Broadcast Radio And Television Handbook, Edition, Sams, Indiana
4. Peter C.L. Yip, High-Frequency Circuit Design and Measurements, First edition 1990
5. ชัยวัฒน์ ลิ้มพรจิตรวิลัย, วรพจน์ กรแก้ววัฒนกูล, เรียนรู้และปฏิบัติการไมโครคอนโทรลเลอร์ MCS-51, บริษัทอินโนเวตีฟ เอ็กเพอริเมนต์จำกัด

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ภาคผนวก

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

วิธีการโปรแกรมความถี่ของเครื่องส่ง

การโปรแกรมความถี่ด้วย keyboard

1. กดปุ่มที่ 12 (select) ค้างไว้ 1วินาที
2. ป้อนรหัสผ่านคือ 25434
3. เลื่อนความถี่ขึ้นลงโดยการกดปุ่มที่ 3 (up) ปุ่มที่ 4 (down)
4. เมื่อได้ความถี่ที่ต้องการแล้วก็ให้กดปุ่มที่ 10 (enter) เพื่อยืนยัน

การโปรแกรมความถี่ด้วยคอมพิวเตอร์

1. เปิดโปรแกรม AVR ISP
2. เลือก Device เป็น AT89S8252
3. เลือกเมนู Data memory
4. กดปุ่ม Read
5. เลือกตำแหน่งที่ 4B0H
6. ป้อนค่าความถี่ที่ต้องการ แล้วกดปุ่ม Program Device

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รูปเมื่อต่อร่วมกัน

ด้านหน้าของเครื่องส่ง

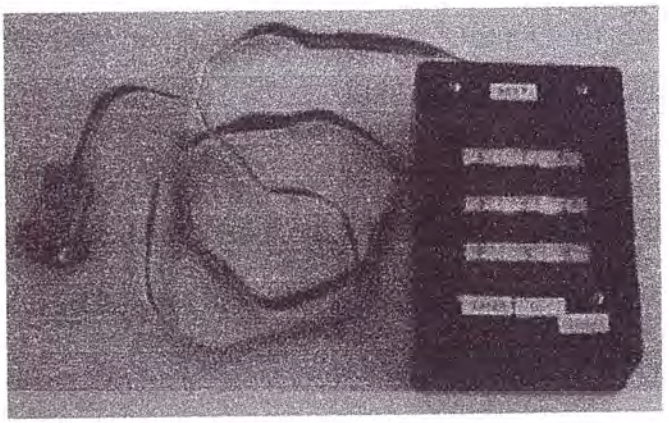
สายอากาศที่ใช้ทดสอบ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

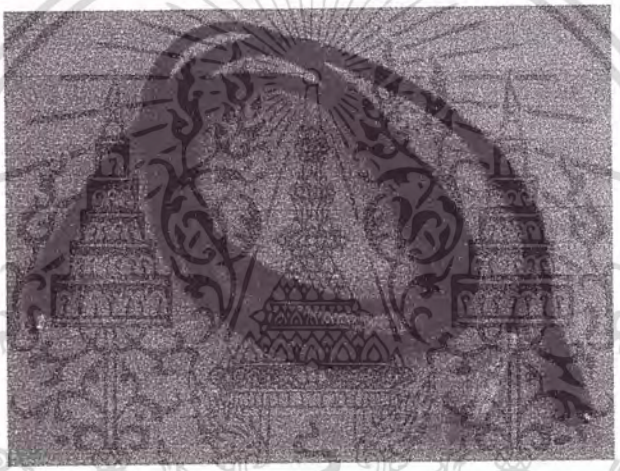
เครื่องคอมพิวเตอร์ที่ใช้โปรแกรมความถี่

วิทยุที่ใช้เป็นตัวรับสัญญาณ

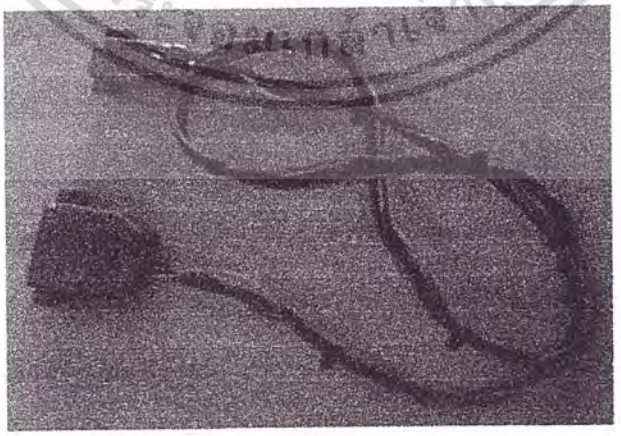
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



คีย์บอร์ดโปรแกรมความถี่

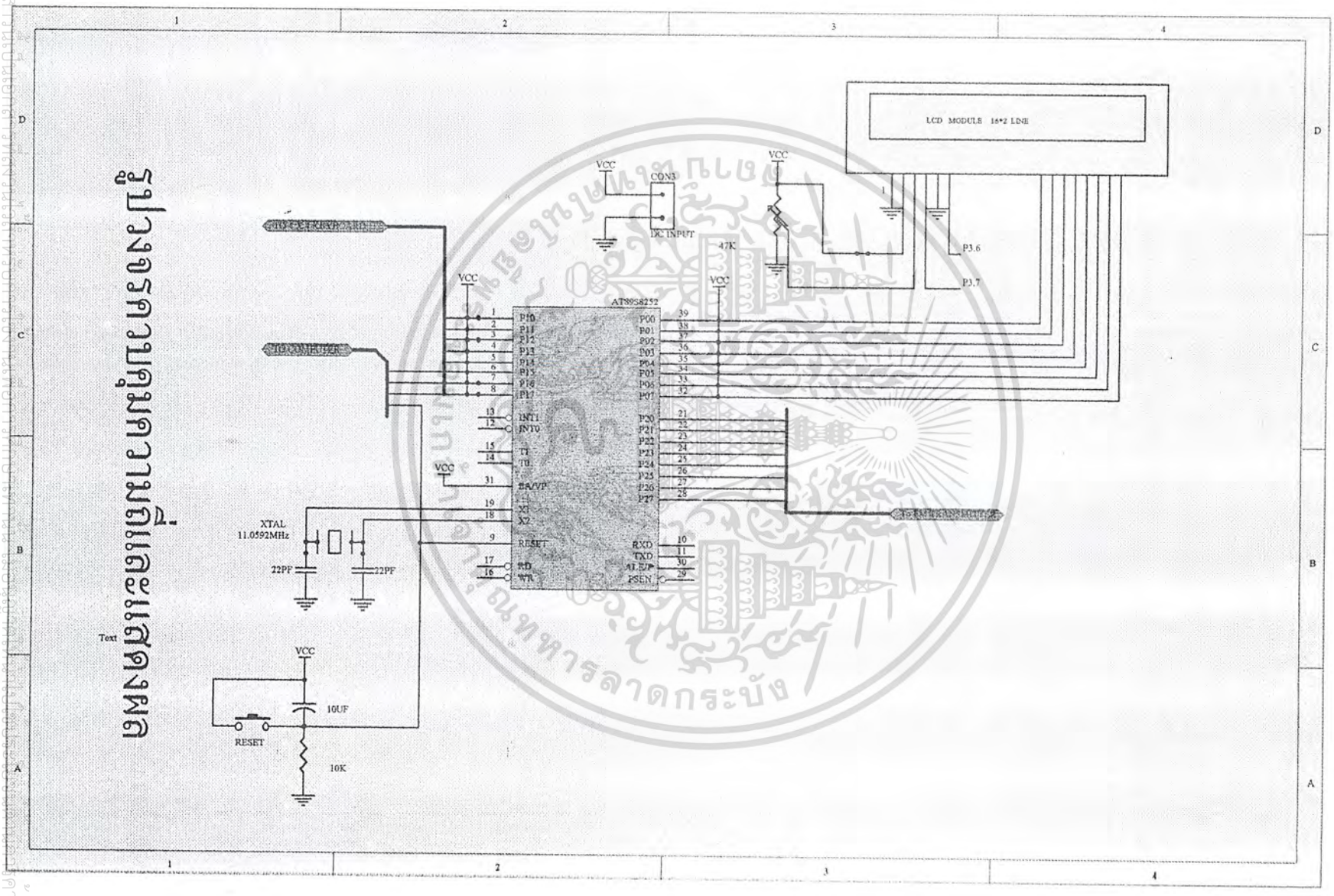


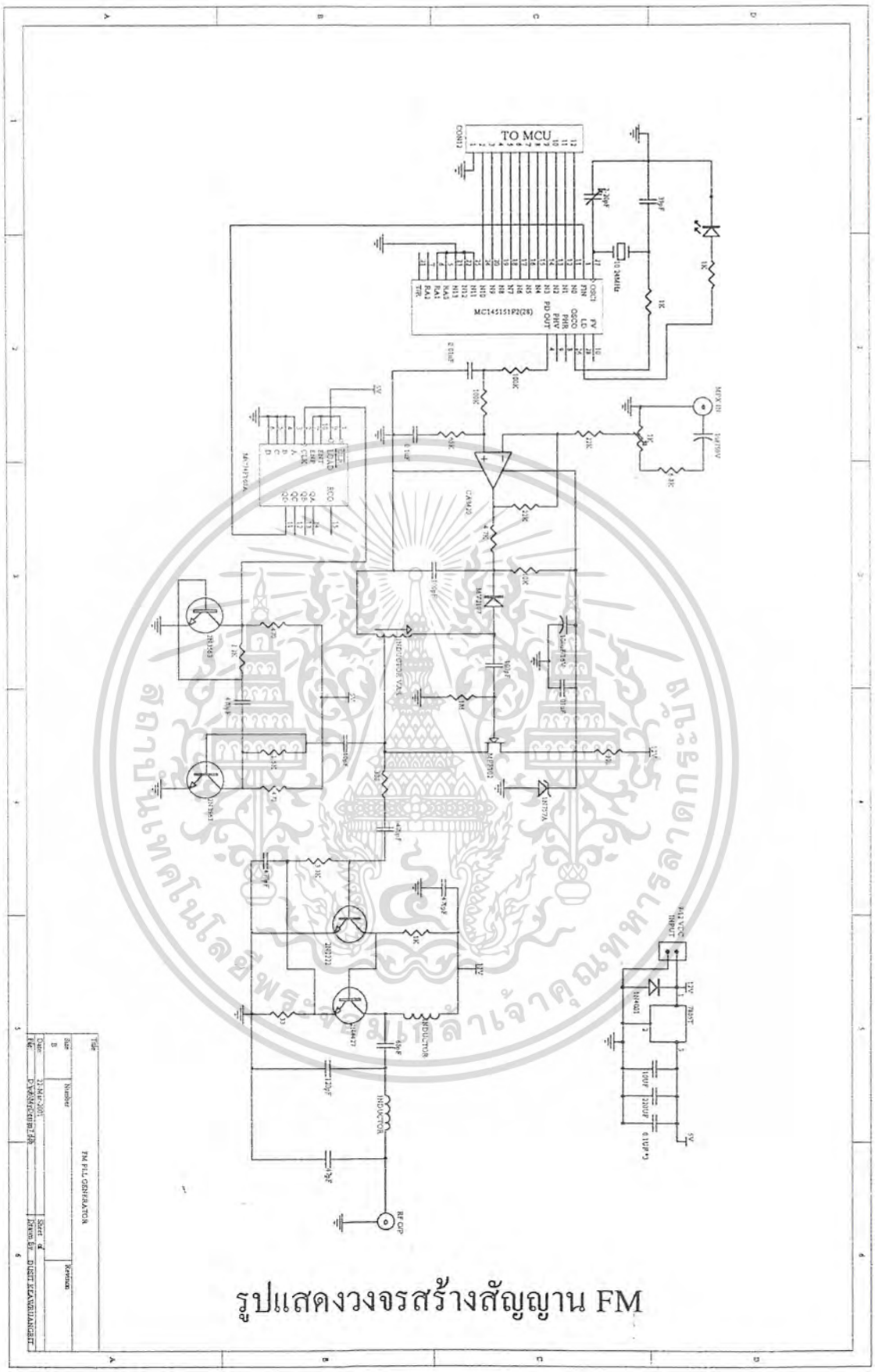
สายต่อสัญญาณอินพุท



สายโปรแกรมความถี่

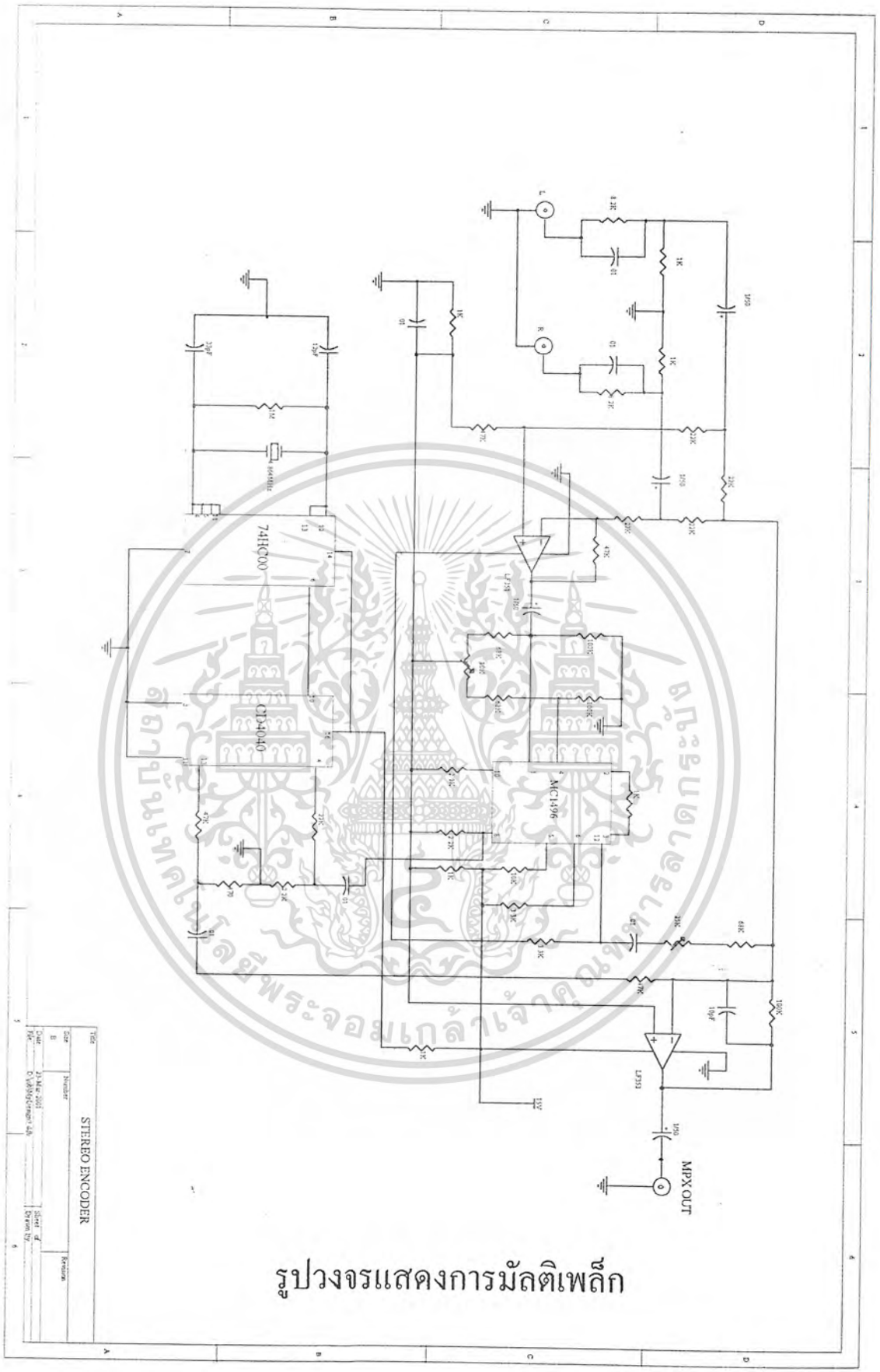
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้


LCD MODULE 16*2 LINE
VCC
CON3
DC INPUT
47K
P3.6
P3.7
AT89S8252
XTAL
11.0592MHz
22PF
22PF
RESET
10UF
10K
Text



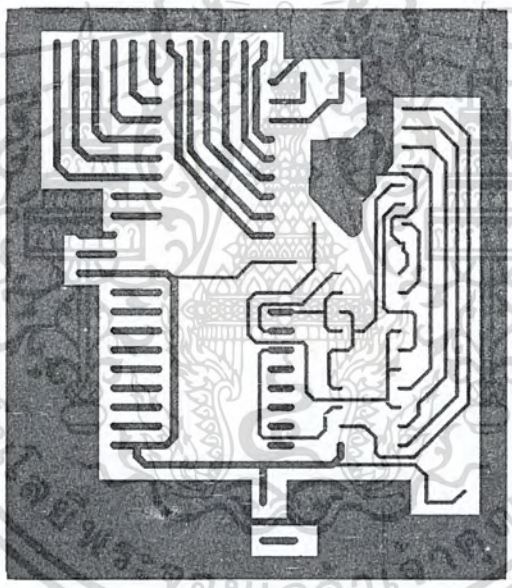
รูปแสดงวงจรสร้างสัญญาน FM

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



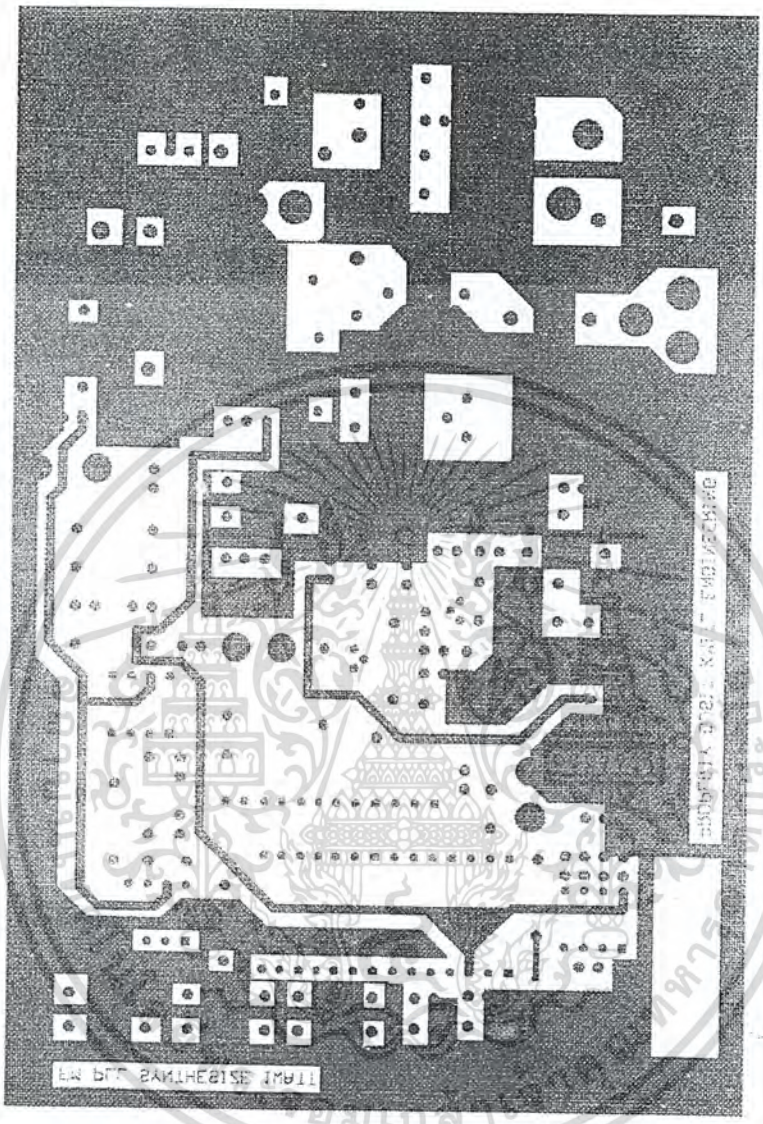
รูปวงจรแสดงการมัลติเพล็ก

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



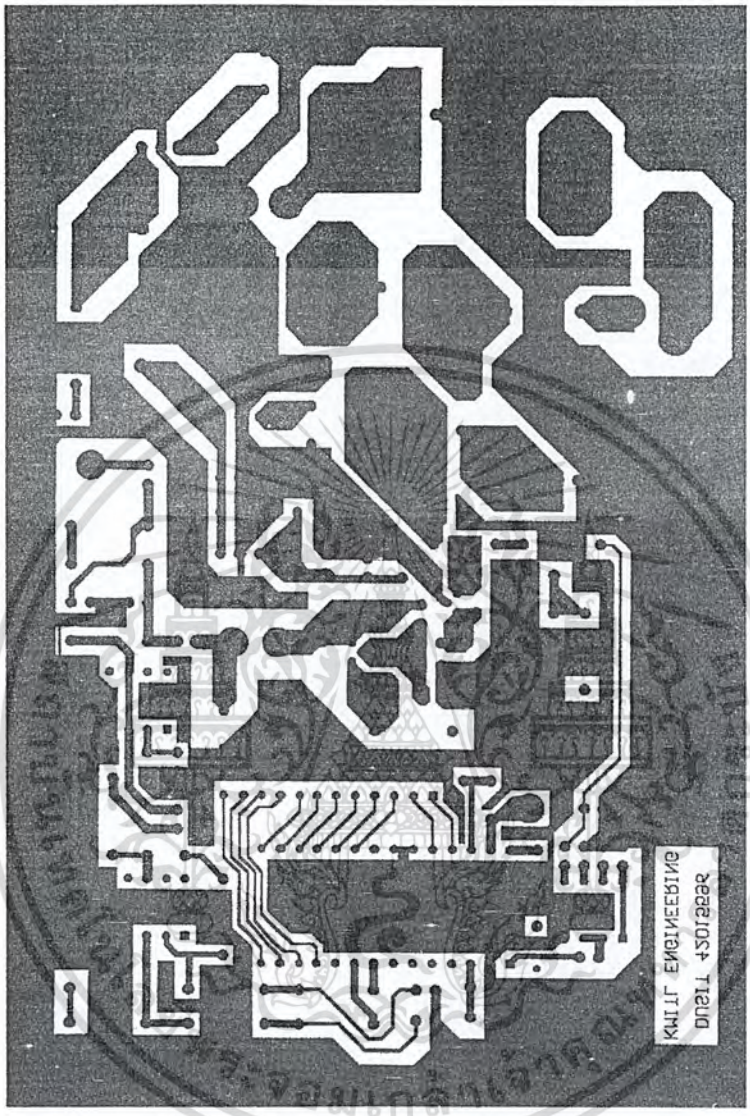
รูปแสดงลายทองแดงวงจรควบคุมความถี่

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



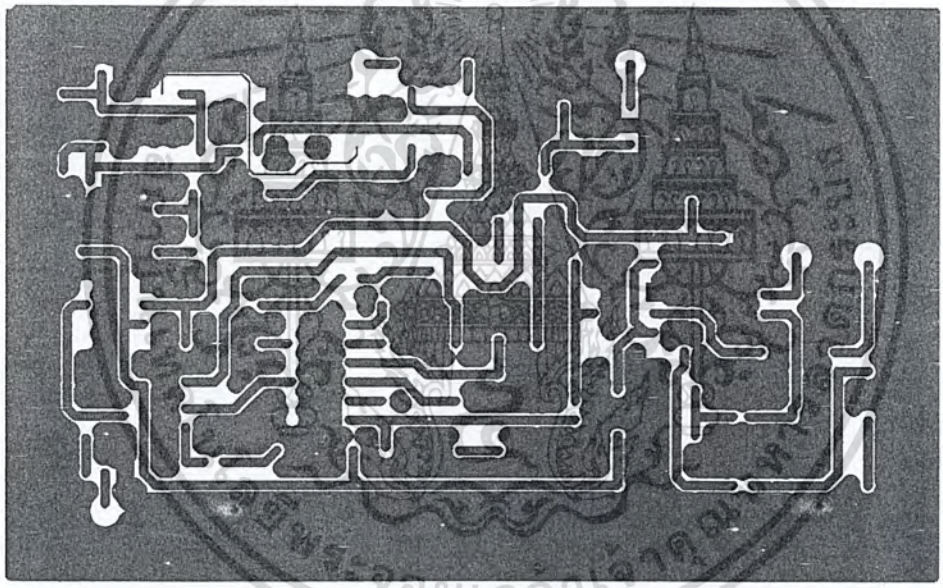
รูปแสดงลายทองแดงวงจรผลิตความถี่ด้านบน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



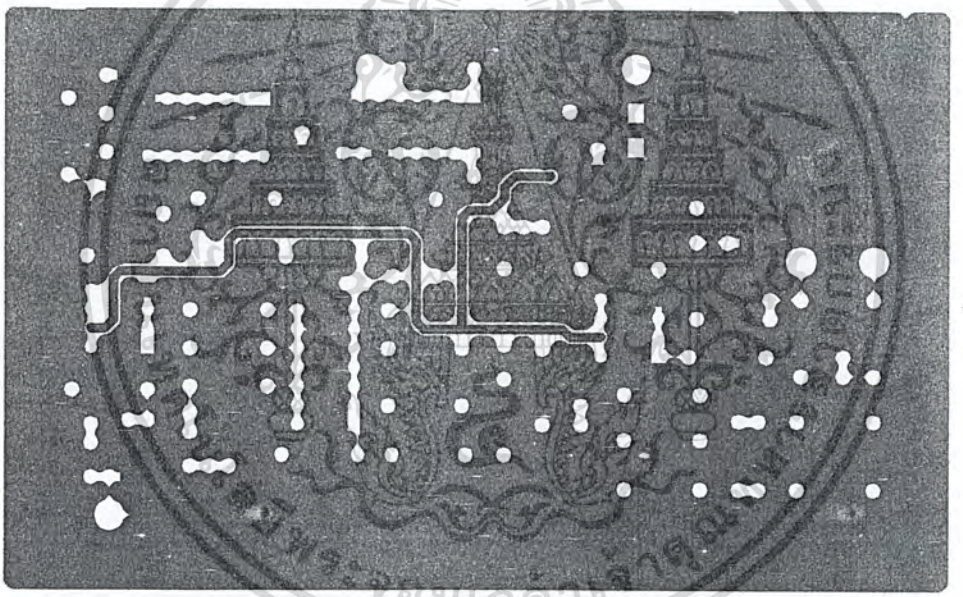
รูปแสดงลายทองแดงวงจรผลิตความถี่ด้านล่าง
PCB

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



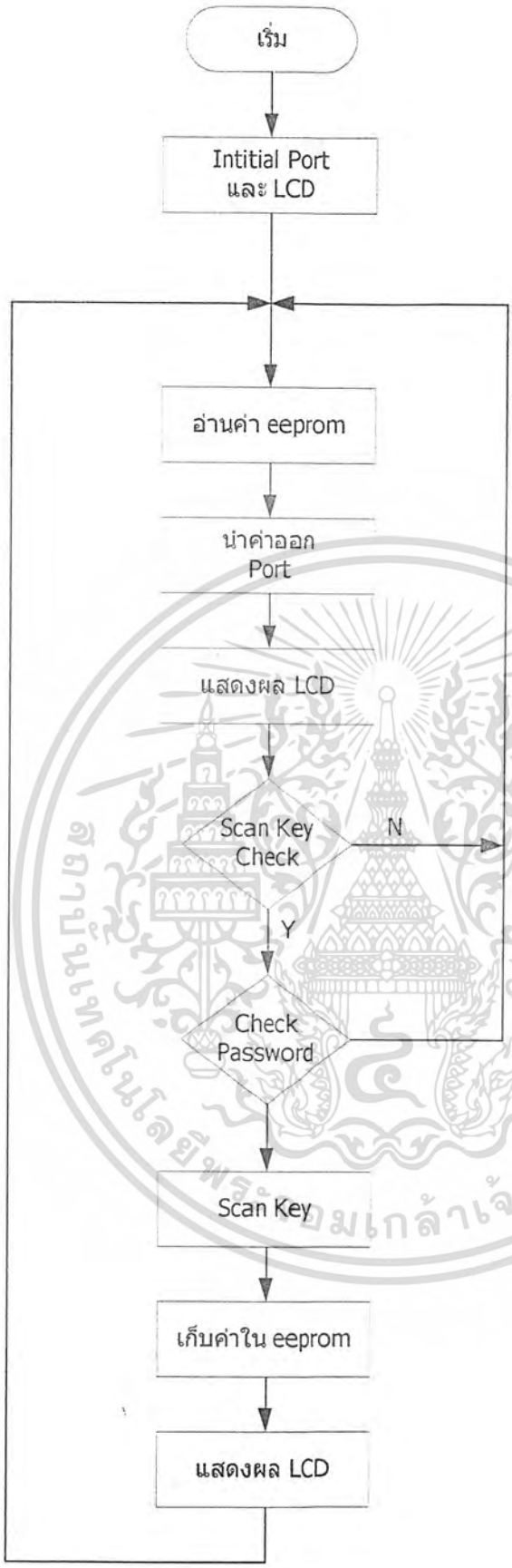
รูปแสดงลายทองแดงวงจรสร้างสัญญาน **stereo (bottom)**

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



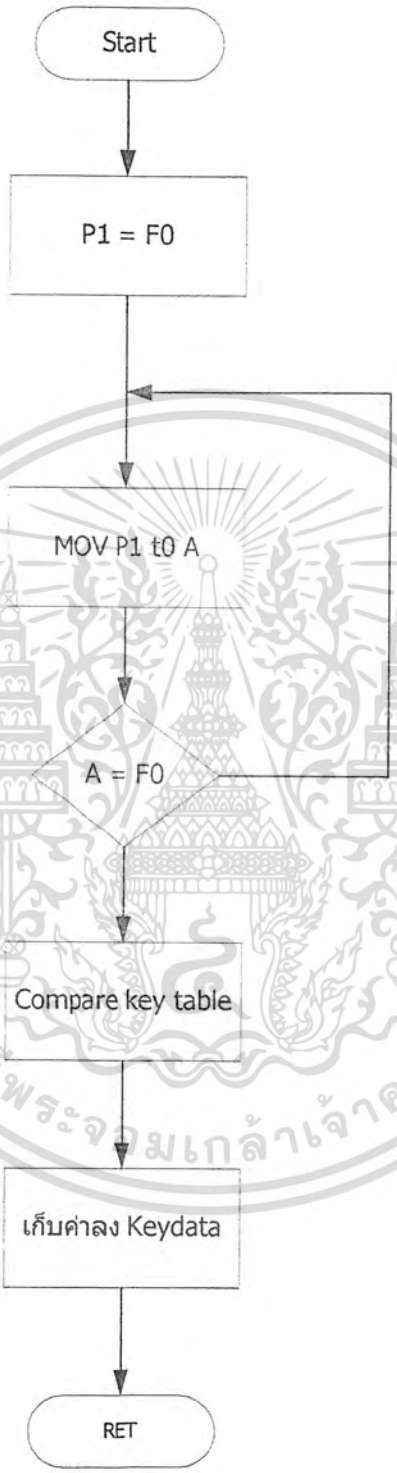
รูปแสดงลายทองแดงวงจรสร้างสัญญาน **stereo (top)**

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



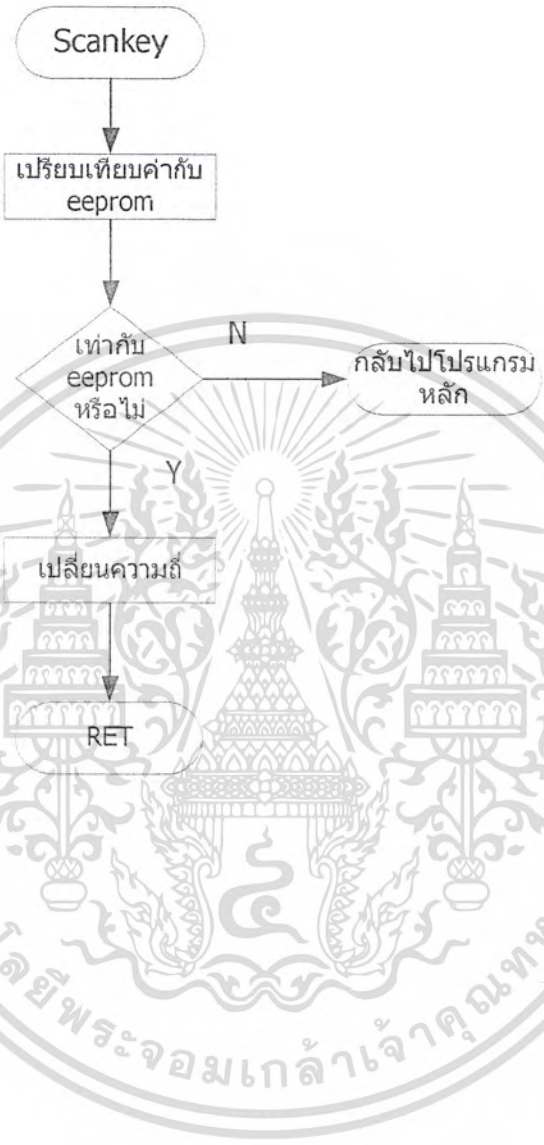
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Scankey



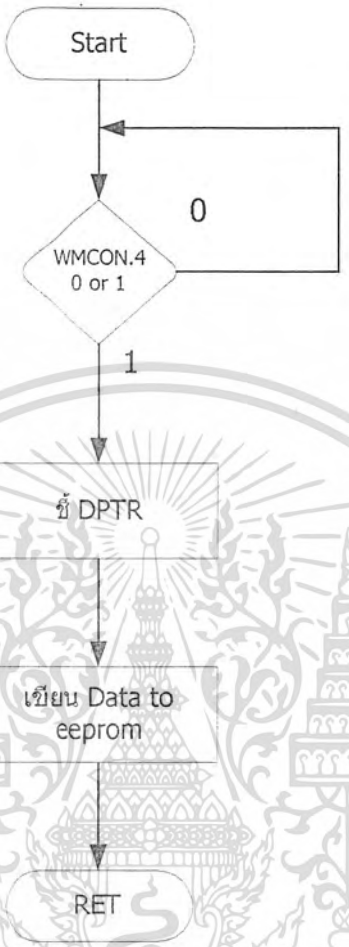
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Check Password User



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การเขียน EEPROM



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การอ่าน EEPROM

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
;*****************************************************************************
;*****************************************************************************
;*                    FM STEREO TRANSMITTER PROJECT                          *
;*                  TELECOMMUNICATION TECHONOLOGY 2M                         *
;*                      FACULTY OF ENGINEERING                               *
;*          KING MONGKUT INSTITUTE OF TECHNOLOGY LADKRABANG                  *
;*          SOFTWARE DESIGN BY DUSIT KEAWRUANGRIT 42015596                   *
;*****************************************************************************
;*****************************************************************************

ROW0        EQU     P2.0
ROW1        EQU     P2.1
ROW2        EQU     P2.2
ROW3        EQU     P2.3
COL0        EQU     P2.6
COL1        EQU     P2.5
COL2        EQU     P2.4
KEY_DATA    EQU     032H
LCD_EN      EQU     P1.0
LCD_RS      EQU     P1.1
LCD_ADDR    EQU     030H
LCD_DATA    EQU     031H
DATA1       EQU     020H
DATA2       EQU     021H
DATA3       EQU     022H
DATA4       EQU     023H
DATA5       EQU     024H
DATA6       EQU     025H

            ORG     0000H
INITIAL:    MOV     P0,#00000000B
            MOV     P1,#0FFH
            MOV     P3,#01110101B
            MOV     P2,#0FFH
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
MAIN:   ACALL   INIT_LCD
        MOV     LCD_ADDR,#000H
        ACALL   SET_ADDR_LCD
        MOV     DPTR,#TITLE_8
        ACALL   WRLINE_LCD
        MOV     LCD_ADDR,#040H
        ACALL   SET_ADDR_LCD
        MOV     DPTR,#TITLE_9
        ACALL   WRLINE_LCD
        ACALL   DELAY_1s
        ACALL   DELAY_1s
        SJMP    LOOP3
PL1:    CJNE    R0,#0CH,LOOP
        CALL    INIT_LCD
        CALL    WAIT_KEY
        AJMP    FUNC

LOOP3:  MOV     DPTR,#04B0H     ;ADDESS IN EEPROM
        CALL    READEE          ;READ DATA IN EEPROM
        MOV     DATA6,A
LOOP:   ACALL   SCAN
        MOV     R0,KEY_DATA
        CJNE    R0,#00,PL1
        MOV     LCD_ADDR,#000H
        ACALL   SET_ADDR_LCD
        MOV     DPTR,#TITLE_1
        ACALL   WRLINE_LCD
        MOV     LCD_ADDR,#040H
        ACALL   SET_ADDR_LCD
        CALL    CHECK
        ACALL   WRLINE_LCD
        SJMP    LOOP
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
FUNC:   MOV     LCD_ADDR,#000H
        ACALL   SET_ADDR_LCD
        MOV     DPTR,#TITLE_7
        ACALL   WRLINE_LCD
LL1:    ACALL   SCAN
        MOV     R0,KEY_DATA
        CJNE    R0,#00,LL2
        SJMP    LL1
LL2:    MOV     DATA1,R0
        CALL    WAIT_KEY
        MOV     LCD_ADDR,#0045H
        CALL    MARK
LL3:    ACALL   SCAN
        MOV     R0,KEY_DATA
        CJNE    R0,#00,LL4
        SJMP    LL3
LL4:    MOV     DATA2,R0
        CALL    WAIT_KEY
        INC     LCD_ADDR
        CALL    MARK
LL5:    ACALL   SCAN
        MOV     R0,KEY_DATA
        CJNE    R0,#00,LL6
        SJMP    LL5
LL6:    MOV     DATA3,R0
        CALL    WAIT_KEY
        INC     LCD_ADDR
        CALL    MARK
LL7:    ACALL   SCAN
        MOV     R0,KEY_DATA
        CJNE    R0,#00,LL8
        SJMP    LL7
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
LL8:    MOV     DATA4,R0
        CALL    WAIT_KEY
        INC     LCD_ADDR
        CALL    MARK
LL9:    ACALL   SCAN
        MOV     R0,KEY_DATA
        CJNE    R0,#00,LL10
        SJMP    LL9
LL10:   MOV     DATA5,R0
        CALL    WAIT_KEY
        INC     LCD_ADDR
        CALL    MARK
        MOV     R0,DATA1
        MOV     R1,DATA2
        MOV     R2,DATA3
        MOV     R3,DATA4
        MOV     R4,DATA5
        CJNE    R0,#2,NO_K
        CJNE    R1,#5,NO_K
        CJNE    R2,#4,NO_K
        CJNE    R3,#3,NO_K
        CJNE    R4,#4,NO_K
        AJMP    KL
NO_K:   CALL    INIT_LCD
        MOV     LCD_ADDR,#000H
        ACALL   SET_ADDR_LCD
        MOV     DPTR,#TITLE_A
        ACALL   WRLINE_LCD
        MOV     LCD_ADDR,#040H
        ACALL   SET_ADDR_LCD
        MOV     DPTR,#TITLE_Z
        ACALL   WRLINE_LCD
        ACALL   DELAY_1s
        ACALL   DELAY_1s
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
        CALL    INIT_LCD
        AJMP    FUNC

KL:     MOV     LCD_ADDR,#000H
        ACALL   SET_ADDR_LCD
        MOV     DPTR,#TITLE_3
        ACALL   WRLINE_LCD
        MOV     LCD_ADDR,#040H
        ACALL   SET_ADDR_LCD
        MOV     DPTR,#TITLE_4
        ACALL   WRLINE_LCD
        ACALL   DELAY_1s
        ACALL   DELAY_1s
LOOP1:  MOV     LCD_ADDR,#000H
        ACALL   SET_ADDR_LCD
        MOV     DPTR,#TITLE_5
        ACALL   WRLINE_LCD
        MOV     LCD_ADDR,#040H
        ACALL   SET_ADDR_LCD
        CALL    CHECK
        ACALL   WRLINE_LCD
        CALL    SCAN
        MOV     R0,KEY_DATA
        CJNE    R0,#00,TG
        SJMP    LOOP1
TG:     CJNE    R0,#3,LK
        CALL    WAIT_KEY
        INC     DATA6
        MOV     R1,DATA6
        CJNE    R1,#22,LOOP1
        MOV     DATA6,#1
        SJMP    LOOP1
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
LK:         CJNE    R0,#6,FD
            CALL    WAIT_KEY
            DEC     DATA6
            MOV     R1,DATA6
            CJNE    R1,#0,LOOP1
            MOV     DATA6,#21
            SJMP    LOOP1
FD:         CJNE    R0,#0AH,LOOP1
            CALL    WAIT_KEY
            MOV     LCD_ADDR,#000H
            ACALL   SET_ADDR_LCD
            MOV     DPTR,#TITLE_2
            ACALL   WRLINE_LCD
            MOV     LCD_ADDR,#040H
            ACALL   SET_ADDR_LCD
            MOV     DPTR,#TITLE_6
            ACALL   WRLINE_LCD
            ACALL   DELAY_1s
            ACALL   DELAY_1s
            MOV     DPTR,#04B0H   ;ADDESS IN EEPROM
            MOV     A,DATA6
            CALL    WRITEE        ;WRITE DATA TO EEPROM
            AJMP    LOOP3
WAIT_KEY:   ACALL   SCAN
            MOV     R0,KEY_DATA
            CJNE    R0,#00,WAIT_KEY
            ACALL   DELAY_100ms
            RET
MARK:       ACALL   SET_ADDR_LCD
            ACALL   LCD_BLINK
            MOV   LCD_DATA,#'*'
            ACALL  WRCHAR_LCD
            RET
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
CHECK:  MOV     R0,DATA6
        CJNE    R0,#1,AF1
        MOV     P3,#01110000B
        MOV     DPTR,#TITLE_B
        RET
AF1:    CJNE    R0,#2,AF2
        MOV     P3,#01111000B
        MOV     DPTR,#TITLE_C
        RET
AF2:    CJNE    R0,#3,AF3
        MOV     P3,#01110100B
        MOV     DPTR,#TITLE_D
        RET
AF3:    CJNE    R0,#4,AF4
        MOV     P3,#01111100B
        MOV     DPTR,#TITLE_E
        RET
AF4:    CJNE    R0,#5,AF5
        MOV     P3,#01110010B
        MOV     DPTR,#TITLE_F
        RET
AF5:    CJNE    R0,#6,AF6
        MOV     P3,#01111010B
        MOV     DPTR,#TITLE_G
        RET
AF6:    CJNE    R0,#7,AF7
        MOV     P3,#01110110B
        MOV     DPTR,#TITLE_H
        RET
AF7:    CJNE    R0,#8,AF8
        MOV     P3,#01111110B
        MOV     DPTR,#TITLE_I
        RET
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
AF8:    CJNE    R0,#9,AF9
        MOV     P3,#01110001B
        MOV     DPTR,#TITLE_J
        RET
AF9:    CJNE    R0,#10,AF10
        MOV     P3,#01111001B
        MOV     DPTR,#TITLE_K
        RET
AF10:   CJNE    R0,#11,AF11
        MOV     P3,#01110101B
        MOV     DPTR,#TITLE_L
        RET

AF11:   CJNE    R0,#12,AF12
        MOV     P3,#01111101B
        MOV     DPTR,#TITLE_N
        RET
AF12:   CJNE    R0,#13,AF13
        MOV     P3,#01110011B
        MOV     DPTR,#TITLE_O
        RET
AF13:   CJNE    R0,#14,AF14
        MOV     P3,#01111011B
        MOV     DPTR,#TITLE_P
        RET
AF14:   CJNE    R0,#15,AF15
        MOV     P3,#01110111B
        MOV     DPTR,#TITLE_Q
        RET
AF15:   CJNE    R0,#16,AF16
        MOV     P3,#01111111B
        MOV     DPTR,#TITLE_R
        RET
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
AF16:   CJNE    R0,#17,AF17
        MOV     P3,#10000000B
        MOV     DPTR,#TITLE_S
        RET
AF17:   CJNE    R0,#18,AF18
        MOV     P3,#10001000B
        MOV     DPTR,#TITLE_T
        RET
AF18:   CJNE    R0,#19,AF19
        MOV     P3,#10000100B
        MOV     DPTR,#TITLE_U
        RET
AF19:   CJNE    R0,#20,AF20
        MOV     P3,#10001100B
        MOV     DPTR,#TITLE_V
        RET
AF20:   CJNE    R0,#21,AF21
        MOV     P3,#10000010B
        MOV     DPTR,#TITLE_W
AF21:   RET
READEE: MOV     WMCON,#00001000B    ;ENABLE
        MOVX    A,@DPTR
        MOV     WMCON,#00000000B    ;NOT ENABLE
        RET
WRITEE: MOV     WMCON,#00011000B    ;ENABLE
        MOVX    @DPTR,A
        CALL    DTSED
        MOV     WMCON,#00000000B    ;NOT ENABLE
        RET
DTSED:  MOV     R2,#6               ;DELAY WRITE ***
DTSED1: MOV     R3,#0
CX:     DJNZ    R3,CX
        DJNZ    R2,DTSED1
        RET
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
;*************************************************************
;*****  SUBROUTINE FOR SCANKEY & DISPLAY  *****
;********  INPUT: MATRIX 2-ROW,4-COL  ***************
;******************  OUTPUT: KEY  ***********************
;*****  COMMENT: SCAN FOR R0W0,R0W1,COL0-3 *****
;*************************************************************

SCAN:       MOV     P2,#0FFH
            MOV     KEY_DATA,#0
COLUMN0:    CLR     COL0
            MOV     A,P2
            ANL     A,#00FH
            CJNE    A,#00FH,COL0_DET
            AJMP    CHK_COL1
COL0_DET:   MOV     KEY_DATA,#01
            AJMP    GET_ROW
CHK_COL1:   SETB    COL0
            CLR     COL1
            MOV     A,P2
            ANL     A,#00FH
            CJNE    A,#00FH,COL1_DET
            AJMP    CHK_COL2
COL1_DET:   MOV     KEY_DATA,#02
            AJMP    GET_ROW
CHK_COL2:   SETB    COL1
            CLR     COL2
            MOV     A,P2
            ANL     A,#00FH
            CJNE    A,#00FH,COL2_DET
            RET
COL2_DET:   MOV     KEY_DATA,#03
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
GET_ROW:    CLR     COL0
            CLR     COL1
            CLR     COL2
            JB      ROW0,CH_ROW1
            RET
CH_ROW1:    JB      ROW1,CH_ROW2
            MOV     A,KEY_DATA
            ADD     A,#3
            MOV     KEY_DATA,A
            RET
CH_ROW2:    JB      ROW2,CH_ROW3
            MOV     A,KEY_DATA
            ADD     A,#6
            MOV     KEY_DATA,A
            RET
CH_ROW3:    MOV     A,KEY_DATA
            ADD     A,#9
            MOV     KEY_DATA,A
            RET
;*************************************************************
;*********************  LCD MODULE  **************************
;*************************************************************

INIT_LCD:   ACALL   DELAY_100ms
            CLR     LCD_RS
            MOV     P0,#00111000B
            ACALL   LCD_CLK
            ACALL   DELAY_10ms
            MOV     P0,#00111000B
            ACALL   LCD_CLK
            ACALL   LCD_OFF
            ACALL   LCD_CLR
            MOV     P0,#00000110B
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
                ACALL   LCD_CLK
                ACALL   LCD_HOME
LCD_CLR:        CLR     LCD_RS
                MOV     P0,#00000001B
                ACALL   LCD_CLK
                RET
LCD_HOME.       CLR     LCD_RS
                MOV     P0,#00000010B
                ACALL   LCD_CLK
                RET
LCD_OFF:        CLR     LCD_RS
                MOV     P0,#00001000B
                ACALL   LCD_CLK
                RET
LCD_CLK:        SETB    LCD_EN
                ACALL   LCD_DELAY
                CLR     LCD_EN
                ACALL   LCD_DELAY
                RET
LCD_ON:         CLR     LCD_RS
                MOV     P0,#00001100B
                ACALL   LCD_CLK
                RET
LCD_BLINK:      CLR     LCD_RS
                MOV     P0,#00001111B
                ACALL   LCD_CLK
                RET
LCD_LSHF:       CLR     LCD_RS
                MOV     P0,#00011000B
                ACALL   LCD_CLK
                RET

LCD_RSHF:       CLR   LCD_RS
                MOV   P0,#00011100B
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
                ACALL   LCD_CLK
                RET
SET_ADDR_LCD:   CLR     LCD_RS
                MOV     A,LCD_ADDR
                SETB    ACC.7
                MOV     P0,A
                ACALL   LCD_CLK
                RET
WRCHAR_LCD:     SETB    LCD_RS
                MOV     P0,LCD_DATA
                ACALL   LCD_CLK
                ACALL   LCD_ON
                RET
WRLINE_LCD:     MOV     R0,#0
WRLINE_LCD_1:   SETB    LCD_RS
                CLR     A
                MOVC    A,@A+DPTR
                MOV     P0,A
                ACALL   LCD_CLK
                INC     DPTR
                INC     R0
                CJNE    R0,#16,WRLINE_LCD_1
                ACALL   LCD_ON
                RET
```

```
;*****************************************************************
;*********************  DELAY MODULE  ********************
;*****************************************************************
LCD_DELAY:      MOV     7,#002
LCD_DELAY_1:    MOV     6,#0E6H
LCD_DELAY_2:    NOP
                NOP
                DJNZ    R6,LCD_DELAY_2
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
                DJNZ    R7,LCD_DELAY_1
                RET
DELAY_10ms:     MOV     7,#010
DELAY_10ms_1:   MOV     6,#0E6H
DELAY_10ms_2:   NOP
                NOP
                DJNZ    R6,DELAY_10ms_2
                DJNZ    R7,DELAY_10ms_1
                RET
DELAY_100ms:    MOV     7,#080
DELAY_100ms_1:  MOV     6,#0E6H
DELAY_100ms_2:  NOP
                NOP
                DJNZ    R6,DELAY_10ms_2
                DJNZ    R7,DELAY_10ms_1
                RET
DELAY_1s:       MOV     5,#100
DELAY_1s_1:     ACALL   DELAY_10ms
                DJNZ    R5,DELAY_1s_1
                RET
DELAY_11s:      MOV     5,#050
DELAY_11s_1:    ACALL   DELAY_10ms
                DJNZ    R5,DELAY_11s_1
                RET
TITLE_1:        DB      ' KMITL STATION '
TITLE_2:        DB      '   PROGRESS    '
TITLE_3:        DB      'CHANGE FREQUENCY'
TITLE_4:        DB      '   FUNCTION    '
TITLE_8:        DB      ' FM TRASNMITTER '
TITLE_9:        DB      '   MODEL IT01  '
TITLE_0:        DB      '   RE ENTRY    '
TITLE_5:        DB      ' PRESS  UP/DOWN '
TITLE_6:        DB      '   PLESE WAIT  '
TITLE_7:        DB      ' ENTER PASSWORD '
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
TITLE_A:    DB      ' INCORRECT  '
TITLE_Z:    DB      ' RE ENTRY  '
TITLE_B:    DB      ' FM 88.00 MHz '
TITLE_C:    DB      ' FM 88.10 MHz '
TITLE_D:    DB      ' FM 88.20 MHz '
TITLE_E:    DB      ' FM 88.30 MHz '
TITLE_F:    DB      ' FM 88.40 MHz '
TITLE_G:    DB      ' FM 88.50 MHz '
TITLE_H:    DB      ' FM 88.60 MHz '
TITLE_I:    DB      ' FM 88.70 MHz '
TITLE_J:    DB      ' FM 88.80 MHz '
TITLE_K:    DB      ' FM 88.90 MHz '
TITLE_L:    DB      ' FM 89.00 MHz '
TITLE_N:    DB      ' FM 89.10 MHz '
TITLE_O:    DB      ' FM 89.20 MHz '
TITLE_P:    DB      ' FM 89.30 MHz '
TITLE_Q:    DB      ' FM 89.40 MHz '
TITLE_R:    DB      ' FM 89.50 MHz '
TITLE_S:    DB      ' FM 89.60 MHz '
TITLE_T:    DB      ' FM 89.70 MHz '
TITLE_U:    DB      ' FM 89.80 MHz '
TITLE_V:    DB      ' FM 89.90 MHz '
TITLE_W:    DB      ' FM 90.00 MHz '

            END

;*************************************************************************
;*************************************************************************
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Features

- Compatible with MCS-51™ Products
- 8K bytes of In-System Reprogrammable Downloadable Flash Memory
  - SPI Serial Interface for Program Downloading
  - Endurance: 1,000 Write/Erase Cycles
- 2K bytes EEPROM
  - Endurance: 100,000 Write/Erase Cycles
- 2.7V to 6V Operating Range
- Fully Static Operation: 0 Hz to 24 MHz
- Three-Level Program Memory Lock
- 256 x 8 bit Internal RAM
- 32 Programmable I/O Lines
- Three 16 bit Timer/Counters
- Nine Interrupt Sources
- Programmable UART Serial Channel
- SPI Serial Interface
- Low Power Idle and Power Down Modes
- Interrupt Recovery From Power Down
- Programmable Watchdog Timer
- Dual Data Pointer
- Power Off Flag

8 bit Microcontroller with 8K bytes Flash

AT89S8252
Preliminary

Description

The AT89S8252 is a low-power, high-performance CMOS 8 bit microcomputer with 8K bytes of Downloadable Flash programmable and erasable read only memory and 2K bytes of EEPROM. The device is manufactured using Atmel's high density nonvolatile memory technology and is compatible with the industry standard 80C51 instruction set and pinout. The on-chip Downloadable Flash allows the program memory to be reprogrammed in-system through an SPI serial interface or by a conventional nonvolatile memory programmer. By combining a versatile 8 bit CPU with Downloadable Flash on a monolithic chip, the Atmel AT89S8252 is a powerful microcomputer which provides a highly flexible and cost effective solution to many embedded control applications.

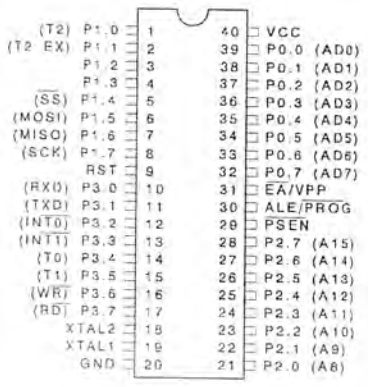
The AT89S8252 provides the following standard features: 8K bytes of Downloadable Flash, 2K bytes EEPROM, 256 bytes of RAM, 32 I/O lines, programmable watchdog timer, two Data Pointers, three 16 bit timer/counters, a six-vector two-level interrupt architecture, a full duplex serial port, on-chip oscillator, and clock circuitry. In addition, the AT89S8252 is designed with static logic for operation down to zero frequency and supports two software selectable power saving modes. The Idle Mode stops the CPU while allowing the RAM, timer/counters, serial port, and interrupt system to continue functioning. The Power Down Mode saves the RAM contents but freezes the oscillator, disabling all other chip functions until the next interrupt or hardware reset.

The Downloadable Flash can be changed a single byte at a time and is accessible through the SPI serial interface. Holding RESET active forces the SPI bus into a

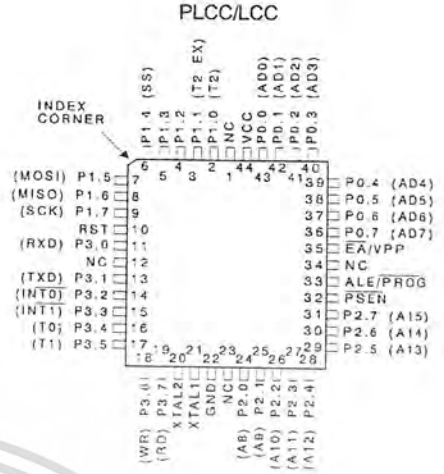
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Pin Configurations

PDIP/Cerdip



PLCC/LCC



PQFP/TQFP

Pin Description

Vcc

Supply voltage.

GND

Ground.

Port 0

Port 0 is an 8 bit open drain bidirectional I/O port. As an output port, each pin can sink eight TTL inputs. When 1s are written to port 0 pins, the pins can be used as high-impedance inputs.

Port 0 can also be configured to be the multiplexed low-order address/data bus during accesses to external program and data memory. In this mode, P0 has internal pullups.

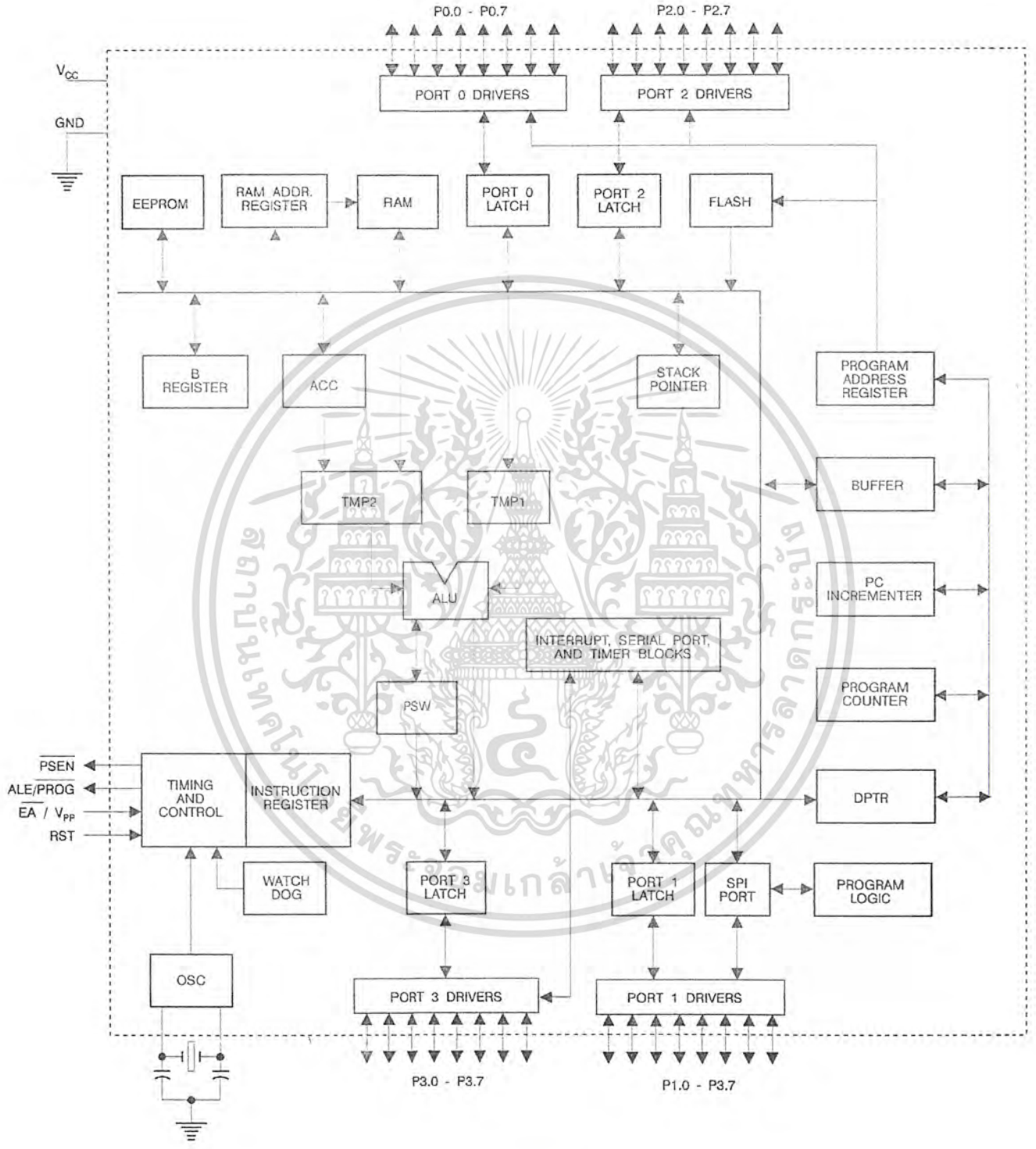
Port 0 also receives the code bytes during Flash programming and outputs the code bytes during program verification. External pullups are required during program verification.

Port 1

Port 1 is an 8 bit bidirectional I/O port with internal pullups. The Port 1 output buffers can sink/source four TTL inputs. When 1s are written to Port 1 pins, they are pulled high by the internal pullups and can be used as inputs. As inputs, Port 1 pins that are externally being pulled low will source current (I_{IL}) because of the internal pullups. *(continued)*

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Block Diagram



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Pin Description (Continued)

Some Port 1 pins provide additional functions. P1.0 and P1.1 can be configured to be the timer/counter 2 external count input (P1.0/T2) and the timer/counter 2 trigger input (P1.1/T2EX), respectively.

Furthermore, P1.4, P1.5, P1.6, and P1.7 can be configured as the SPI slave port select, data input/output and shift clock input/output pins as shown in the following table.

Port Pin	Alternate Functions
P1.0	T2 (external count input to Timer/Counter 2), clock-out
P1.1	T2EX (Timer/Counter 2 capture/reload trigger and direction control)
P1.4	$\overline{SS}$ (Slave port select input)
P1.5	MOSI (Master data output, slave data input pin for SPI channel)
P1.6	MISO (Master data input, slave data output pin for SPI channel)
P1.7	SCK (Master clock output, slave clock input pin for SPI channel)

Port 1 also receives the low-order address bytes during Flash programming and program verification.

Port 2

Port 2 is an 8 bit bidirectional I/O port with internal pullups. The Port 2 output buffers can sink/source four TTL inputs. When 1s are written to Port 2 pins, they are pulled high by the internal pullups and can be used as inputs. As inputs, Port 2 pins that are externally being pulled low will source current (I_{IL}) because of the internal pullups.

Port 2 emits the high-order address byte during fetches from external program memory and during accesses to external data memory that use 16 bit addresses (MOVX @ DPTR). In this application, Port 2 uses strong internal pullups when emitting 1s. During accesses to external data memory that use 8 bit addresses (MOVX @ RI), Port 2 emits the contents of the P2 Special Function Register.

Port 2 also receives the high-order address bits and some control signals during Flash programming and verification.

Port 3

Port 3 is an 8 bit bidirectional I/O port with internal pullups. The Port 3 output buffers can sink/source four TTL inputs. When 1s are written to Port 3 pins, they are pulled high by the internal pullups and can be used as inputs. As inputs, Port 3 pins that are externally being pulled low will source current (I_{IL}) because of the pullups.

Port 3 also serves the functions of various special features of the AT89S8252, as shown in the following table.

Port Pin	Alternate Functions
P3.0	RXD (serial input port)
P3.1	TXD (serial output port)
P3.2	$\overline{INT0}$ (external interrupt 0)
P3.3	$\overline{INT1}$ (external interrupt 1)
P3.4	T0 (timer 0 external input)
P3.5	T1 (timer 1 external input)
P3.6	$\overline{WR}$ (external data memory write strobe)
P3.7	$\overline{RD}$ (external data memory read strobe)

Port 3 also receives some control signals for Flash programming and programming verification.

RST

Reset input. A high on this pin for two machine cycles while the oscillator is running resets the device.

ALE/$\overline{PROG}$

Address Latch Enable is an output pulse for latching the low byte of the address during accesses to external memory. This pin is also the program pulse input ($\overline{PROG}$) during Flash programming.

In normal operation, ALE is emitted at a constant rate of 1/6 the oscillator frequency and may be used for external timing or clocking purposes. Note, however, that one ALE pulse is skipped during each access to external data memory.

If desired, ALE operation can be disabled by setting bit 0 of SFR location 8EH. With the bit set, ALE is active only during a MOVX or MOVC instruction. Otherwise, the pin is weakly pulled high. Setting the ALE-disable bit has no effect if the microcrontroller is in external execution mode.

$\overline{PSEN}$

Program Store Enable is the read strobe to external program memory.

When the AT89S8252 is executing code from external program memory, $\overline{PSEN}$ is activated twice each machine cycle, except that two $\overline{PSEN}$ activations are skipped during each access to external data memory.

$\overline{EA}$/V_{PP}

External Access Enable. $\overline{EA}$ must be strapped to GND in order to enable the device to fetch code from external program memory locations starting at 0000H up to FFFFH. Note, however, that if lock bit 1 is programmed, $\overline{EA}$ will be internally latched on reset.

$\overline{EA}$ should be strapped to Vcc for internal program executions.

(continued)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Pin Description (Continued)

This pin also receives the 12-volt programming enable voltage (V_{PP}) during Flash programming when 12-volt programming is selected.

XTAL1

Input to the inverting oscillator amplifier and input to the internal clock operating circuit.

XTAL2

Output from the inverting oscillator amplifier.

Special Function Registers

A map of the on-chip memory area called the Special Function Register (SFR) space is shown in Table 1.

Note that not all of the addresses are occupied, and unoccupied addresses may not be implemented on the chip. Read accesses to these addresses will in general return random data, and write accesses will have an indeterminate effect.

User software should not write 1s to these unlisted locations, since they may be used in future products to invoke

(continued)

Table 1. AT89S8252 SFR Map and Reset Values

0F8H								0FFH
0F0H	B 00000000							0F7H
0E8H								0EFH
0E0H	ACC 00000000							0E7H
0D8H								0DFH
0D0H	PSW 00000000					SPCR 000001XX		0D7H
0C8H	T2CON 00000000	T2MOD XXXXXX00	RCAP2L 00000000	RCAP2H 00000000	TL2 00000000	TH2 00000000		0CFH
0C0H								0C7H
0B8H	IP XX000000							0BFH
0B0H	P3 11111111							0B7H
0A8H	IE 0X000000		SPSR 00000000					0AFH
0A0H	P2 11111111							0A7H
98H	SCON 00000000	SBUF XXXXXXXX						9FH
90H	P1 11111111						WMCON 00000010	97H
88H	TCON 00000000	TMOD 00000000	TL0 00000000	TL1 00000000	TH0 00000000	TH1 00000000		8FH
80H	P0 11111111	SP 00000111	DP0L 00000000	DP0H 00000000	DP1L 00000000	DP1H 00000000	SPDR XXXXXXXX	PCON 0XXX0000 87H

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Special Function Registers (Continued)

new features. In that case, the reset or inactive values of the new bits will always be 0.

Timer 2 Registers Control and status bits are contained in registers T2CON (shown in Table 2) and T2MOD (shown in Table 4) for Timer 2. The register pair (RCAP2H, RCAP2L) are the Capture/Reload registers for Timer 2 in 16 bit capture mode or 16 bit auto-reload mode.

Watchdog and Memory Control Register The WMCON register contains control bits for the Watchdog Timer (shown in Table 3). The EEMEN and EEMWE bits are used to select the 2K bytes on-chip EEPROM, and to enable byte-write. The DPS bit selects one of two DPTR registers available.

SPI Registers Control and status bits for the Serial Peripheral Interface are contained in registers SPCR (shown in Table 4) and SPSR (shown in Table 5). The SPI data bits are contained in the SPDR register. Writing the SPI data register during serial data transfer sets the Write Collision bit, WOCL, in the SPSR register. The SPDR is double buffered for writing and the values in SPDR are not changed by Reset.

Interrupt Registers The global interrupt enable bit and the individual interrupt enable bits are in the IE register. In addition, the individual interrupt enable bit for the SPI is in the SPCR register. Two priorities can be set for each of the six interrupt sources in the IP register.

Table 2. T2CON—Timer/Counter 2 Control Register

T2CON Address = 0C8H — Reset Value = 0000 0000B

Bit Addressable

	TF2	EXF2	RCLK	TCLK	EXEN2	TR2	C/$\overline{T2}$	CP/$\overline{RL2}$
Bit	7	6	5	4	3	2	1	0

Symbol	Function
TF2	Timer 2 overflow flag set by a Timer 2 overflow and must be cleared by software. TF2 will not be set when either RCLK = 1 or TCLK = 1.
EXF2	Timer 2 external flag set when either a capture or reload is caused by a negative transition on T2EX and EXEN2 = 1. When Timer 2 interrupt is enabled, EXF2 = 1 will cause the CPU to vector to the Timer 2 interrupt routine. EXF2 must be cleared by software. EXF2 does not cause an interrupt in up/down counter mode (DCEN = 1).
RCLK	Receive clock enable. When set, causes the serial port to use Timer 2 overflow pulses for its receive clock in serial port Modes 1 and 3. RCLK = 0 causes Timer 1 overflow to be used for the receive clock.
TCLK	Transmit clock enable. When set, causes the serial port to use Timer 2 overflow pulses for its transmit clock in serial port Modes 1 and 3. TCLK = 0 causes Timer 1 overflows to be used for the transmit clock.
EXEN2	Timer 2 external enable. When set, allows a capture or reload to occur as a result of a negative transition on T2EX if Timer 2 is not being used to clock the serial port. EXEN2 = 0 causes Timer 2 to ignore events at T2EX.
TR2	Start/Stop control for Timer 2. TR2 = 1 starts the timer.
C/$\overline{T2}$	Timer or counter select for Timer 2. C/$\overline{T2}$ = 0 for timer function. C/$\overline{T2}$ = 1 for external event counter (falling edge triggered).
CP/$\overline{RL2}$	Capture/Reload select. CP/$\overline{RL2}$ = 1 causes captures to occur on negative transitions at T2EX if EXEN2 = 1. CP/RL2 = 0 causes automatic reloads to occur when Timer 2 overflows or negative transitions occur at T2EX when EXEN2 = 1. When either RCLK or TCLK = 1, this bit is ignored and the timer is forced to auto-reload on Timer 2 overflow.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Table 3. WMCON—Watchdog and Memory Control Register

WMCON Address = 96H — Reset Value = 0000 0000B

	PS2	PS1	PS0	EEMWE	EEMEN	DPS	WDTRST	WDTEN
Bit	7	6	5	4	3	2	1	0

Symbol	Function
PS2 PS1 PS0	Prescaler Bits for the Watchdog Timer. When all three bits are set to '0', the watchdog timer has a nominal period of 16 ms. When all three bits are set to '1', the nominal period is 2048 ms.
EEMWE	EEPROM Data Memory Write Enable Bit. Set this bit to '1' before initiating byte write to on-chip EEPROPM with the MOVX instruction. User software should set this bit to '0' after EEPROM write is completed.
EEMEN	Internal EEPROM Access Enable. When EEMEN = 1, the MOVX instruction with DPTR will access on-chip EEPROM instead of external data memory. When EEMEN = 0, MOVX with DPTR accesses external data memory.
DPS	Data Pointer Register Select. DPS = 0 selects the first bank of Data Pointer Register, DP0, and DPS = 1 selects the second bank, DP1.
WDTRST RDY/BSY	Watchdog Timer Reset and EEPROM Ready/Busy Flag. Each time this bit is set to '1' by user software, a pulse is generated to reset the watchdog timer. The WDTRST bit is then automatically reset to '0' in the next instruction cycle. The WDTRST bit is Write-Only. This bit also serves as the RDY/BSY flag in a Read-Only mode during EEPROM write. RDY/BSY = 1 means that the EEPROM is ready to be programmed. While programming operations are being executed, the RDY/BSY bit equals '0' and is automatically reset to '1' when programming is completed.
WDTEN	Watchdog Timer Enable Bit. WDTEN = 1 enables the watchdog timer and WDTEN = 0 disables the watchdog timer.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Table 4. SPCR—SPI Control Register

SPCR Address = D5H — Reset Value = 0000 01XXB

	SPIE	SPE	DORD	MSTR	CPOL	CPHA	SPR1	SPR0
Bit	7	6	5	4	3	2	1	0

Symbol	Function
SPIE	SPI Interrupt Enable. This bit, in conjunction with the ES bit in the IE register, enables SPI interrupts: SPIE = 1 and ES = 1 enable SPI interrupts. SPIE = 0 disables SPI interrupts.
SPE	SPI Enable. SPI = 1 enables the SPI channel and connects $\overline{SS}$, MOSI, MISO and SCK to pins P1.4, P1.5, P1.6, and P1.7. SPI = 0 disables the SPI channel.
DORD	Data Order. DORD = 1 selects LSB first data transmission. DORD = 0 selects MSB first data transmission.
MSTR	Master/Slave Select. MSTR = 1 selects Master SPI mode. MSTR = 0 selects Slave SPI mode.
CPOL	Clock Polarity. When CPOL = 1, SCK is high when idle. When CPOL = 0, SCK of the master device is low when not transmitting. Please refer to figure on SPI Clock Phase and Polarity Control.
CPHA	Clock Phase. The CPHA bit together with the CPOL bit controls the clock and data relationship between master and slave. Please refer to figure on SPI Clock Phase and Polarity Control.
SPR0 SPR1	SPI Clock Rate Select. These two bits control the SCK rate of the device configured as master. SPR1 and SPR0 have no effect on the slave. The relationship between SCK and the oscillator frequency, Fosc., is as follows:

SPR1	SPR0	SCK = Fosc. divided by
0	0	4
0	1	16
1	0	64
1	1	128

Table 5. SPSR—SPI Status Register

SPCR Address = AAH — Reset Value = 0000 0000B

	SPIF	WCOL						
Bit	7	6	5	4	3	2	1	0

Symbol	Function
SPIF	SPI Interrupt Flag. When a serial transfer is complete, the SPIF bit is set and an interrupt is generated if SPIE = 1 and ES = 1. The SPIF bit is cleared by reading the SPI status register with SPIF and WCOL bits set, and then accessing the SPI data register.
WCOL	Write Collision Flag. The WCOL bit is set if the SPI data register is written during a data transfer. During data transfer, the result of reading the SPDR register may be incorrect, and writing to it has no effect. The WCOL bit (and the SPIF bit) are cleared by reading the SPI status register with SPIF and WCOL set, and then accessing the SPI data register.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Table 6. SPDR—SPI Data Register

SPDR Address = 86H — Reset Value = unchanged

	SPD7	SPD6	SPD5	SPD4	SPD3	SPD2	SPD1	SPD0
Bit	7	6	5	4	3	2	1	0

Data Memory—EEPROM and RAM

The AT89S8252 implements 2K bytes of on-chip EEPROM for data storage and 256 bytes of RAM. The upper 128 bytes of RAM occupy a parallel space to the Special Function Registers. That means the upper 128 bytes have the same addresses as the SFR space but are physically separate from SFR space.

When an instruction accesses an internal location above address 7FH, the address mode used in the instruction specifies whether the CPU accesses the upper 128 bytes of RAM or the SFR space. Instructions that use direct addressing access SFR space.

For example, the following direct addressing instruction accesses the SFR at location 0A0H (which is P2).

MOV 0A0H, #data

Instructions that use indirect addressing access the upper 128 bytes of RAM. For example, the following indirect addressing instruction, where R0 contains 0A0H, accesses the data byte at address 0A0H, rather than P2 (whose address is 0A0H).

MOV @R0, #data

Note that stack operations are examples of indirect addressing, so the upper 128 bytes of data RAM are available as stack space.

The on-chip EEPROM data memory is selected by setting the EEMEN bit in the WMCON register at SFR address location 96H. The EEPROM address range is from 000H to 7FFH. The MOVX instructions are used to access the EEPROM. To access off-chip data memory with the MOVX instructions, the EEMEN bit needs to be set to '0'.

The EEMWE bit in the WMCON register needs to be set to '1' before any byte location in the EEPROM can be written. User software should reset EEMWE bit to '0' if no further EEPROM write is required. EEPROM write cycles are self-timed and typically take 2.5 ms. The progress of EEPROM write can be monitored by reading the RDY/BSY bit (read-only) in SFR WMCON. RDY/BSY = 0 means programming is still in progress and RDY/BSY = 1 means EEPROM write cycle is completed and another write cycle can be initiated.

In addition, during EEPROM programming, an attempted read from the EEPROM will fetch the byte being written with the MSB complemented. Once the write cycle is completed, true data are valid at all bit locations.

Table 7. Watchdog Timer Period Selection

WDT Prescaler Bits			Period
PS2	PS1	PS0	(nominal)
0	0	0	16 ms
0	0	1	32 ms
0	1	0	64 ms
0	1	1	128 ms
1	0	0	256 ms
1	0	1	512 ms
1	1	0	1024 ms
1	1	1	2048 ms

Programmable Watchdog Timer

The programmable Watchdog Timer (WDT) operates from an independent oscillator. The prescaler bits, PS0, PS1 and PS2 in SFR WMCON are used to set the period of the Watchdog Timer from 16 ms to 2048 ms. The available

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Timer 0 and 1

Timer 0 and Timer 1 in the AT89S8252 operate the same way as Timer 0 and Timer 1 in the AT89C51, AT89C52 and AT89C55. For further information, see the October 1995 Microcontroller Data Book, page 2-45, section titled, "Timer/Counters."

Timer 2

Timer 2 is a 16 bit Timer/Counter that can operate as either a timer or an event counter. The type of operation is selected by bit C/T2 in the SFR T2CON (shown in Table 2). Timer 2 has three operating modes: capture, auto-reload (up or down counting), and baud rate generator. The modes are selected by bits in T2CON, as shown in Table 8.

Timer 2 consists of two 8 bit registers, TH2 and TL2. In the Timer function, the TL2 register is incremented every machine cycle. Since a machine cycle consists of 12 oscillator periods, the count rate is 1/12 of the oscillator frequency.

In the Counter function, the register is incremented in response to a 1-to-0 transition at its corresponding external input pin, T2. In this function, the external input is sampled during S5P2 of every machine cycle. When the samples show a high in one cycle and a low in the next cycle, the count is incremented. The new count value appears in the register during S3P1 of the cycle following the one in which the transition was detected. Since two machine cycles (24 oscillator periods) are required to recognize a 1-to-0 transition, the maximum count rate is 1/24 of the os-

Table 8. Timer 2 Operating Modes

RCLK + TCLK	CP/RL2	TR2	MODE
0	0	1	16 bit Auto-Reload
0	1	1	16 bit Capture
1	X	1	Baud Rate Generator
X	X	0	(Off)

Capture Mode

In the capture mode, two options are selected by bit EXEN2 in T2CON. If EXEN2 = 0, Timer 2 is a 16 bit timer or counter which upon overflow sets bit TF2 in T2CON. This bit can then be used to generate an interrupt. If EXEN2 = 1, Timer 2 performs the same operation, but a 1-to-0 transition at external input T2EX also causes the current value in TH2 and TL2 to be captured into RCAP2H and RCAP2L, respectively. In addition, the transition at T2EX causes bit EXF2 in T2CON to be set. The EXF2 bit,

Auto-Reload (Up or Down Counter)

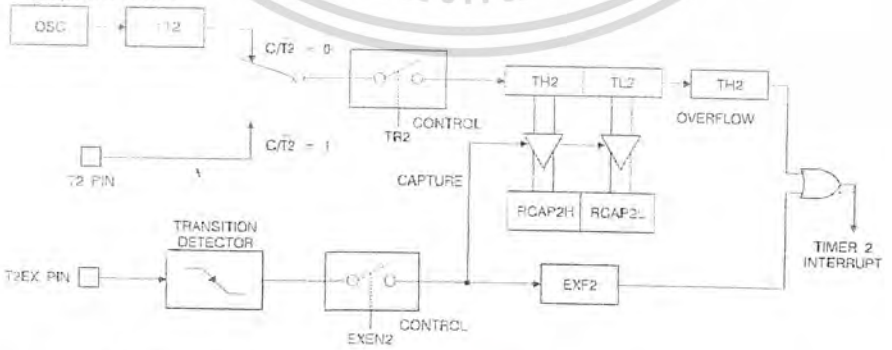
Timer 2 can be programmed to count up or down when configured in its 16 bit auto-reload mode. This feature is invoked by the DCEN (Down Counter Enable) bit located in the SFR T2MOD (see Table 9). Upon reset, the DCEN bit is set to 0 so that timer 2 will default to count up. When DCEN is set, Timer 2 can count up or down, depending on the value of the T2EX pin.

Figure 2 shows Timer 2 automatically counting up when DCEN = 0. In this mode, two options are selected by bit EXEN2 in T2CON. If EXEN2 = 0, Timer 2 counts up to 0FFFFH and then sets the TF2 bit upon overflow. The overflow also causes the timer registers to be reloaded with the 16 bit value in RCAP2H and RCAP2L. The values in RCAP2H and RCAP2L are preset by software. If EXEN2 = 1, a 16 bit reload can be triggered either by an overflow or by a 1-to-0 transition at external input T2EX. This transition also sets the EXF2 bit. Both the TF2 and EXF2 bits can generate an interrupt if enabled.

Setting the DCEN bit enables Timer 2 to count up or down, as shown in Figure 3. In this mode, the T2EX pin controls the direction of the count. A logic 1 at T2EX makes Timer 2 count up. The timer will overflow at 0FFFFH and set the TF2 bit. This overflow also causes the 16 bit value in

(continued)

Figure 1. Timer 2 in Capture Mode



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Auto-Reload (Up or Down Counter) (Continued)

RCAP2H and RCAP2L to be reloaded into the timer registers, TH2 and TL2, respectively.

A logic 0 at T2EX makes Timer 2 count down. The timer underflows when TH2 and TL2 equal the values stored in RCAP2H and RCAP2L. The underflow sets the TF2 bit and causes 0FFFFH to be reloaded into the timer registers.

Figure 2. Timer 2 Auto Reload Mode (DCEN = 0)

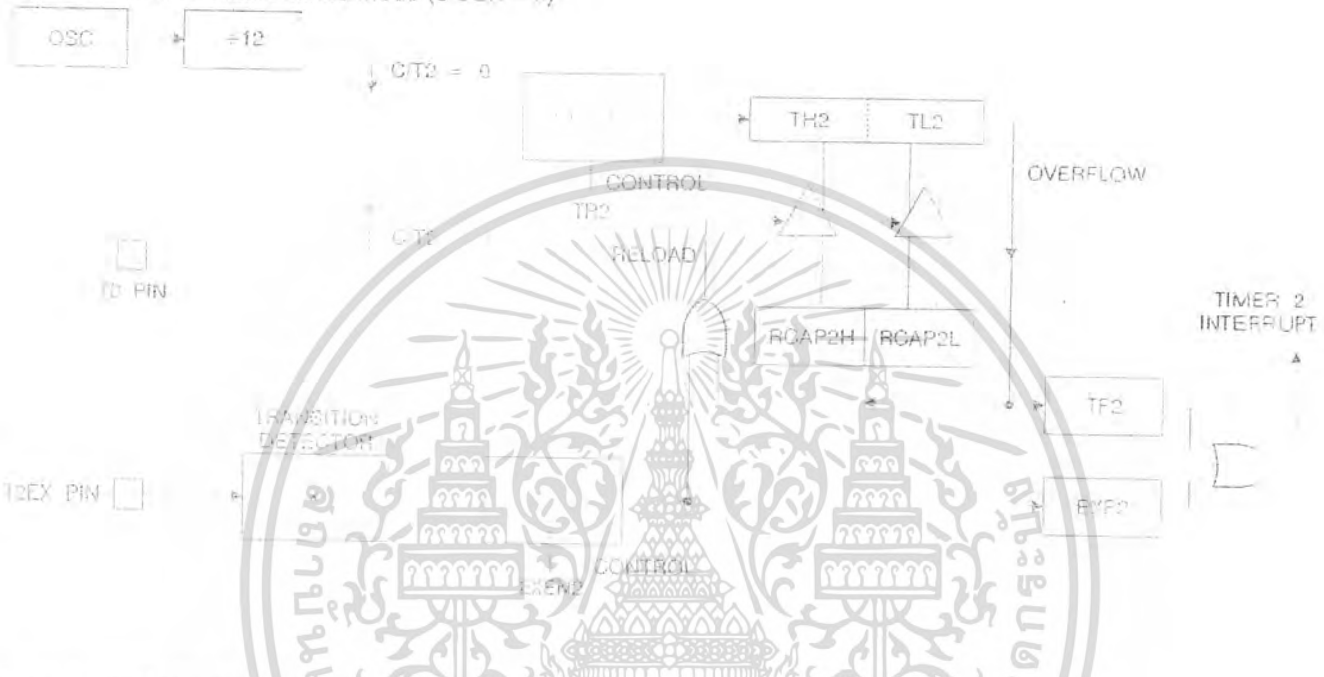


Table 9. T2MOD—Timer 2 Mode Control Register

T2MOD Address = 0C9H — Reset Value = XXXX XX00B

Not Bit Addressable

Bit	7	6	5	4	3	2	1	0
							T2OE	DCEN

Symbol	Function
—	Not implemented, reserved for future use.
T2OE	Timer 2 Output Enable bit.
DCEN	When set, this bit allows Timer 2 to be configured as an up/down counter.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Figure 3. Timer 2 Auto Reload Mode (DCEN = 1)

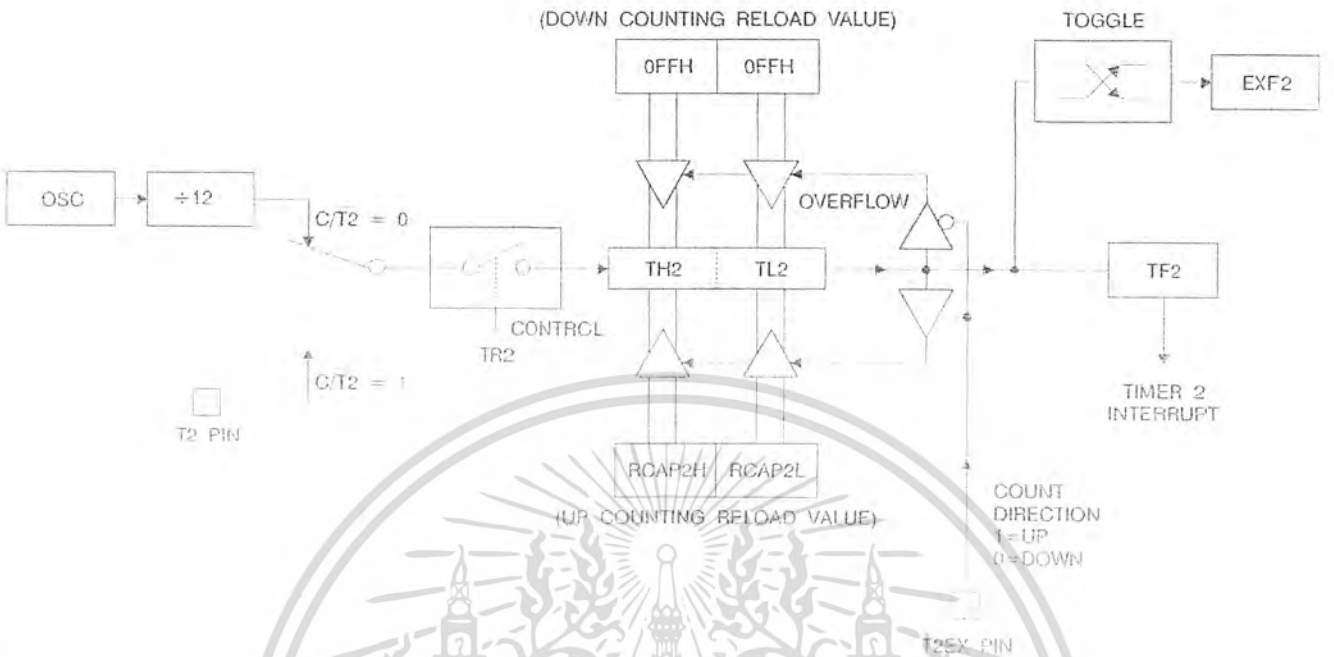
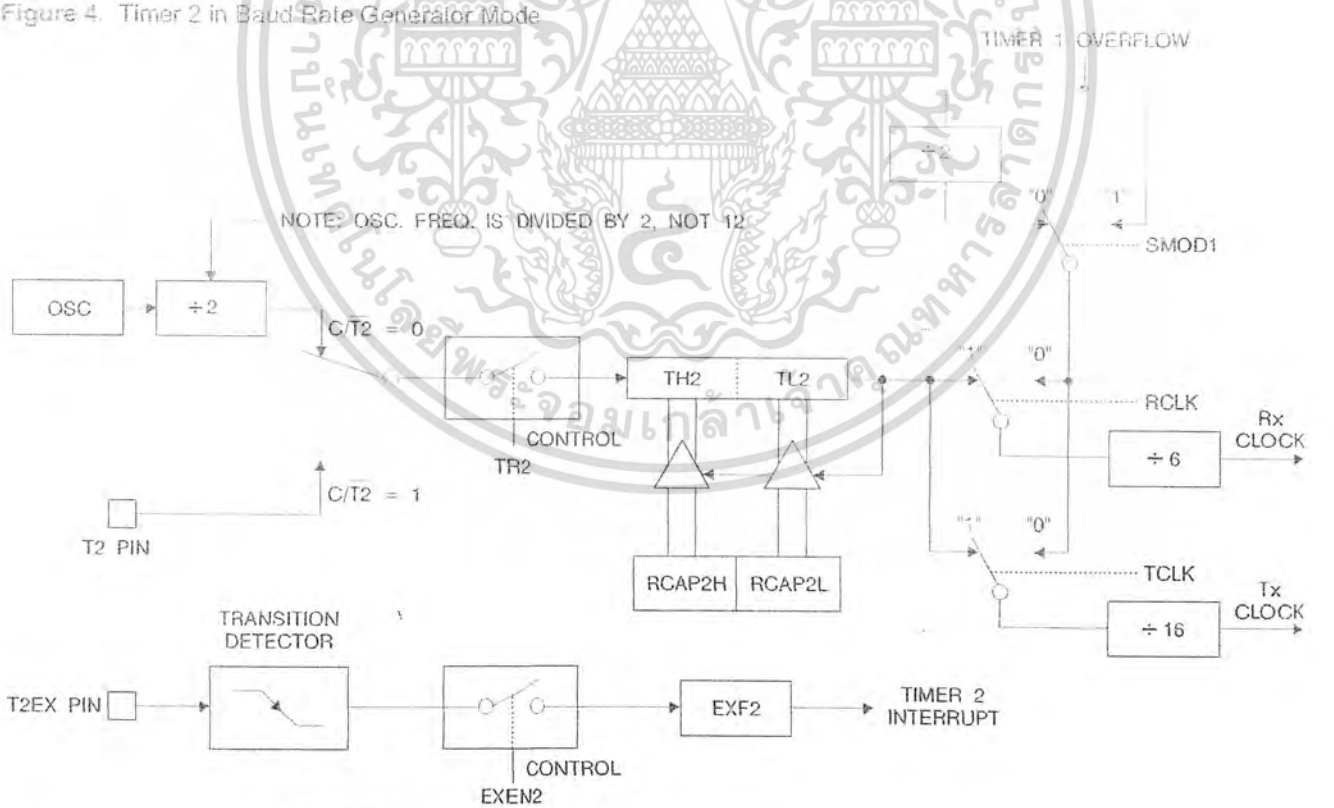


Figure 4. Timer 2 in Baud Rate Generator Mode



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Baud Rate Generator

Timer 2 is selected as the baud rate generator by setting TCLK and/or RCLK in T2CON (Table 2). Note that the baud rates for transmit and receive can be different if Timer 2 is used for the receiver or transmitter and Timer 1 is used for the other function. Setting RCLK and/or TCLK puts Timer 2 into its baud rate generator mode, as shown in Figure 4.

The baud rate generator mode is similar to the auto-reload mode, in that a rollover in TH2 causes the Timer 2 registers to be reloaded with the 16 bit value in registers RCAP2H and RCAP2L, which are preset by software.

The baud rates in Modes 1 and 3 are determined by Timer 2's overflow rate according to the following equation.

$$\text{Modes 1 and 3 Baud Rates} = \frac{\text{Timer 2 Overflow Rate}}{16}$$

The Timer can be configured for either timer or counter operation. In most applications, it is configured for timer operation (CP/T2 = 0). The timer operation is different for Timer 2 when it is used as a baud rate generator. Normally, as a timer, it increments every machine cycle (at 1/12 the oscillator frequency). As a baud rate generator, however, it increments every state time (at 1/2 the oscillator frequency). The baud rate formula is given below.

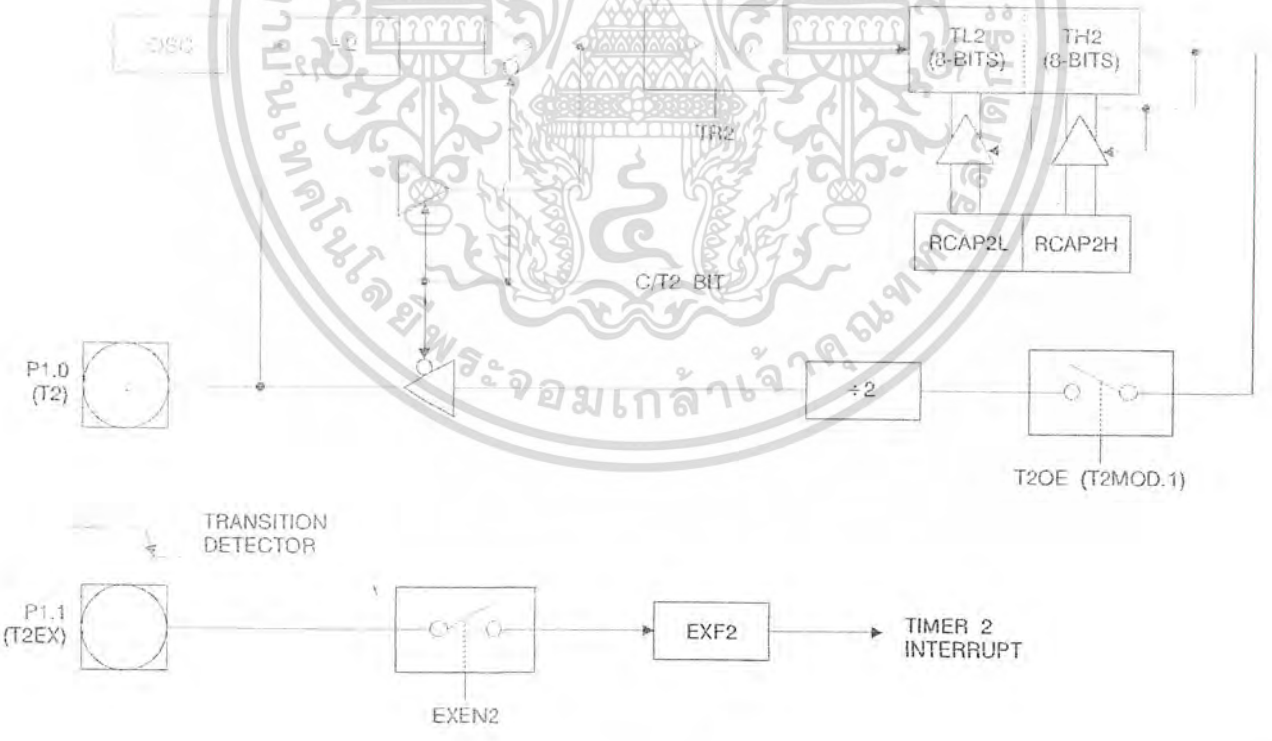
$$\frac{\text{Modes 1 and 3}}{\text{Baud Rate}} = \frac{\text{Oscillator Frequency}}{32 \times [65536 - (\text{RCAP2H, RCAP2L})]}$$

where (RCAP2H, RCAP2L) is the content of RCAP2H and RCAP2L taken as a 16 bit unsigned integer.

Timer 2 as a baud rate generator is shown in Figure 4. This figure is valid only if RCLK or TCLK = 1 in T2CON. Note that a rollover in TH2 does not set TF2 and will not generate an interrupt. Note too, that if EXEN2 is set, a 1-to-0 transition in T2EX will set EXF2 but will not cause a reload from (RCAP2H, RCAP2L) to (TH2, TL2). Thus when Timer 2 is in use as a baud rate generator, T2EX can be used as an extra external interrupt.

Note that when Timer 2 is running (TR2 = 1) as a timer in the baud rate generator mode, TH2 or TL2 should not be read from or written to. Under these conditions, the Timer is incremented every state time, and the results of a read or write may not be accurate. The RCAP2 registers may be read but should not be written to, because a write might

Figure 5. Timer 2 in Clock-Out Mode



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Programmable Clock Out

A 50% duty cycle clock can be programmed to come out on P1.0, as shown in Figure 5. This pin, besides being a regular I/O pin, has two alternate functions. It can be programmed to input the external clock for Timer/Counter 2 or to output a 50% duty cycle clock ranging from 61 Hz to 4 MHz at a 16 MHz operating frequency.

To configure the Timer/Counter 2 as a clock generator, bit C/T2 (T2CON.1) must be cleared and bit T2OE (T2MOD.1) must be set. Bit TR2 (T2CON.2) starts and stops the timer.

The clock-out frequency depends on the oscillator frequency and the reload value of Timer 2 capture registers (RCAP2H, RCAP2L), as shown in the following equation.

$$\text{Clock-Out Frequency} = \frac{\text{Oscillator Frequency}}{4 \times [65536 - (\text{RCAP2H, RCAP2L})]}$$

In the clock-out mode, Timer 2 roll-overs will not generate an interrupt. This behavior is similar to when Timer 2 is used as a baud-rate generator. It is possible to use Timer 2 as a baud-rate generator and a clock generator simultaneously. Note, however, that the baud-rate and clock-out

UART

The UART in the AT89S8252 operates the same way as the UART in the AT89C51, AT89C52 and AT89C55. For further information, see the October 1995 Microcontroller Data Book, page 2-49, section titled, "Serial Interface."

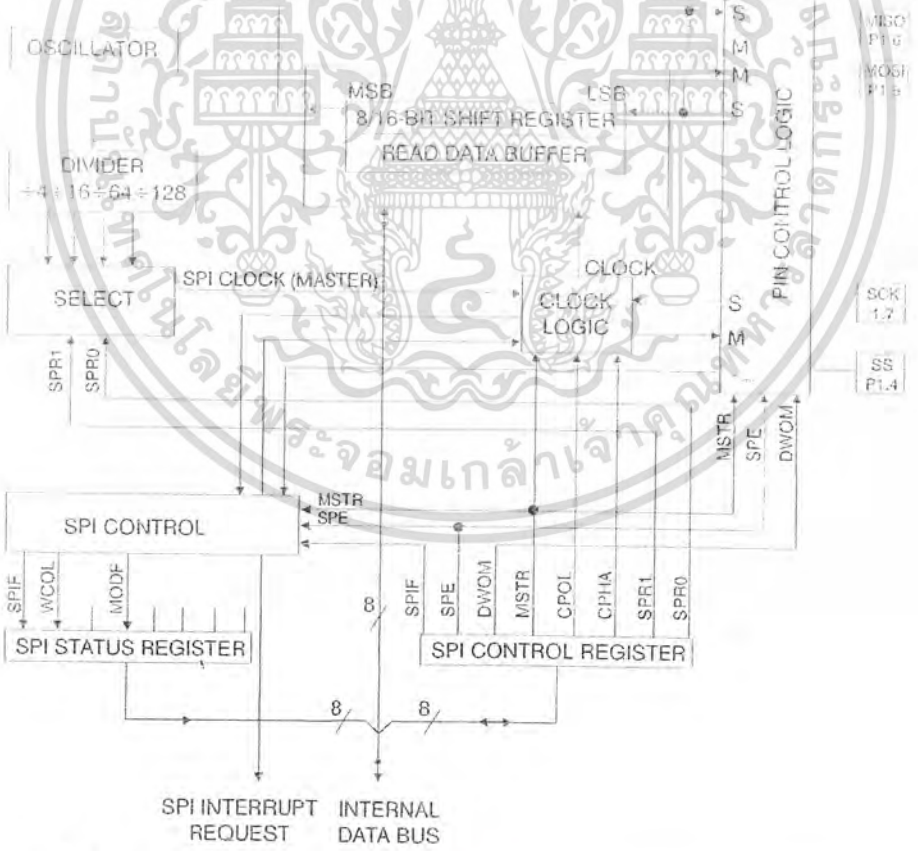
Serial Peripheral Interface

The serial peripheral interface (SPI) allows high-speed synchronous data transfer between the AT89S8252 and peripheral devices or between several AT89S8252 devices. The AT89S8252 SPI features include the following:

- Full-Duplex, 3-Wire Synchronous Data Transfer
- Master or Slave Operation
- 6 MHz Bit Frequency (max.)
- LSB First or MSB First Data Transfer
- Four Programmable Bit Rates
- End of Transmission Interrupt Flag
- Write Collision Flag Protection
- Wakeup from Idle Mode (Slave Mode Only)

(continued)

Figure 6. SPI Block Diagram



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Serial Peripheral Interface (Continued)

The interconnection between master and slave CPUs with SPI is shown in the following figure. The SCK pin is the clock output in the master mode but is the clock input in the slave mode. Writing to the SPI data register of the master CPU starts the SPI clock generator, and the data written shifts out of the MOSI pin and into the MOSI pin of the slave CPU. After shifting one byte, the SPI clock generator stops, setting the end of transmission flag (SPIF). If both the SPI interrupt enable bit (SPIE) and the serial port interrupt enable bit (ES) are set, an interrupt is requested.

The Slave Select input, $\overline{SS}$/P1.4, is set low to select an individual SPI device as a slave. When $\overline{SS}$/P1.4 is set high, the SPI port is deactivated and the MOSI/P1.6 pin can be used as an input.

There are four combinations of SCK phase and polarily with respect to serial data, which are determined by control bits CPHA and CPOL. The SPI data transfer formats are shown in Figures 8 and 9.

Figure 7. SPI Master-Slave Interconnection

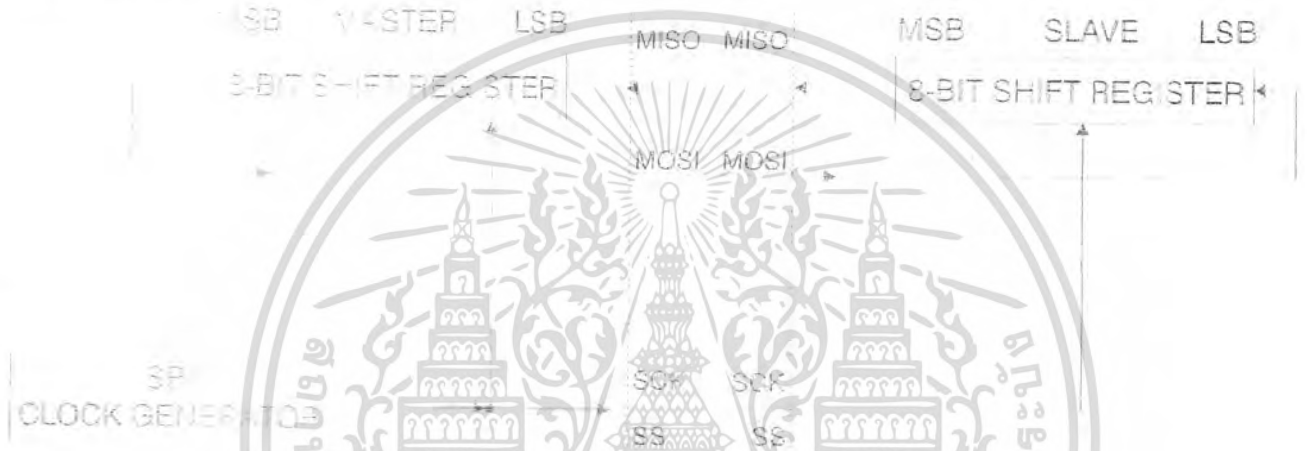
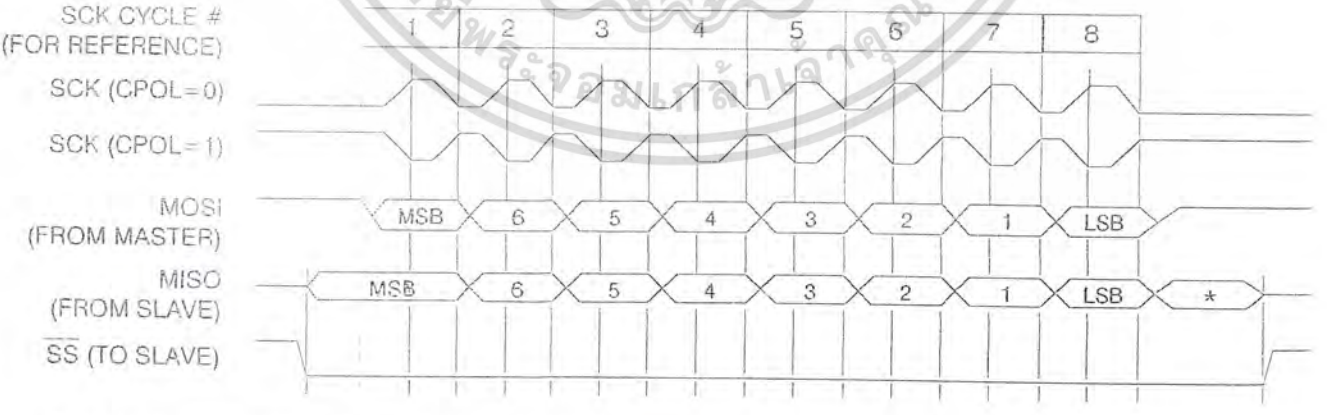


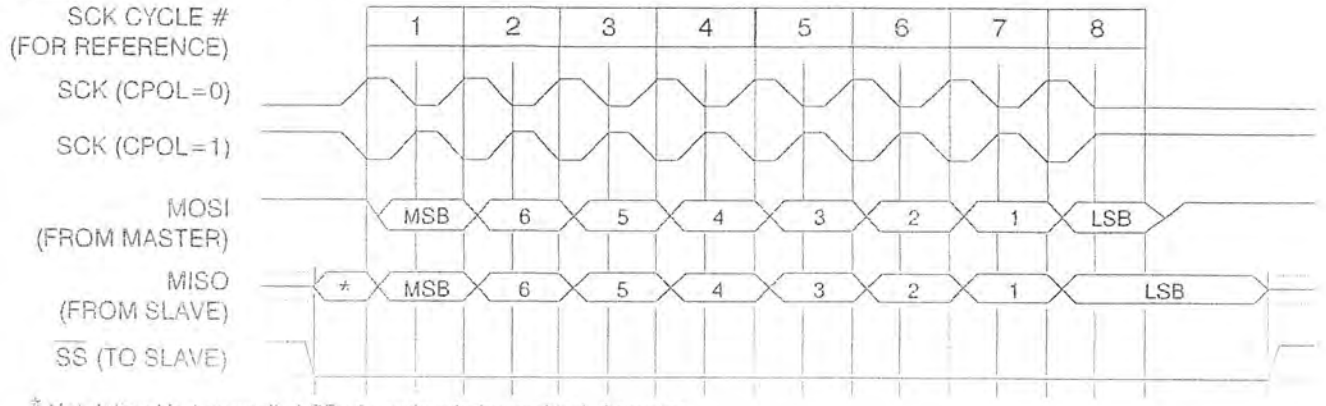
Figure 8. SPI Transfer Format with CPHA = 0



* Not defined but normally MSB of character just received.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Figure 9. SPI Transfer Format with CPHA = 1



* Not defined but normally LSB of previously transmitted character.

Interrupts

The AT89S8252 has a total of six interrupt vectors: two external interrupts (INT0 and INT1), three timer interrupts (Timers 0, 1, and 2), and the serial port interrupt. These interrupts are all shown in Figure 10.

Each of these interrupt sources can be individually enabled or disabled by setting or clearing a bit in Special Function Register IE. IE also contains a global disable bit, EA, which disables all interrupts at once.

Note that Table 10 shows that bit position IE.6 is unimplemented. In the AT89C51, AT89C52 and AT89C55, bit position IE.5 is also unimplemented. User software should not write 1s to these bit positions, since they may be used in future AT89 products.

Table 10. Interrupt Enable (IE) Register

(MSB)							(LSB)
EA	—	ET2	ES	ET1	EX1	ET0	EX0

Enable Bit = 1 enables the interrupt.

Enable Bit = 0 disables the interrupt.

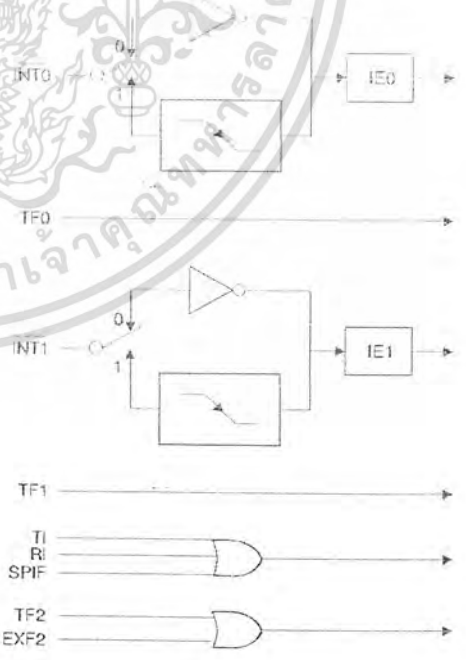
Symbol	Position	Function
EA	IE.7	Disables all interrupts. If EA = 0, no interrupt is acknowledged. If EA = 1, each interrupt source is individually enabled or disabled by setting or clearing its enable bit.
—	IE.6	Reserved.
ET2	IE.5	Timer 2 interrupt enable bit.
ES	IE.4	SPI and UART interrupt enable bit.
ET1	IE.3	Timer 1 interrupt enable bit.
EX1	IE.2	External interrupt 1 enable bit.
ET0	IE.1	Timer 0 interrupt enable bit.
EX0	IE.0	External interrupt 0 enable bit.

User software should never write 1s to unimplemented bits, because they may be used in future AT89 products.

Timer 2 interrupt is generated by the logical OR of bits TF2 and EXF2 in register T2CON. Neither of these flags is cleared by hardware when the service routine is vectored to. In fact, the service routine may have to determine whether it was TF2 or EXF2 that generated the interrupt, and that bit will have to be cleared in software.

The Timer 0 and Timer 1 flags, TF0 and TF1, are set at S5P2 of the cycle in which the timers overflow. The values are then polled by the circuitry in the next cycle. However, the Timer 2 flag, TF2, is set at S2P2 and is polled in the same cycle in which the timer overflows.

Figure 10. Interrupt Sources

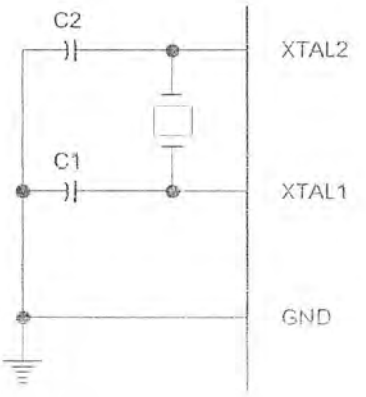


เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Oscillator Characteristics

XTAL1 and XTAL2 are the input and output, respectively, of an inverting amplifier that can be configured for use as an on-chip oscillator, as shown in Figure 11. Either a quartz crystal or ceramic resonator may be used. To drive the device from an external clock source, XTAL2 should be left unconnected while XTAL1 is driven, as shown in Figure 12. There are no requirements on the duty cycle of the external clock signal, since the input to the internal clocking circuitry is through a divide-by-two flip-flop, but minimum and maximum voltage high and low time specifications must be observed.

Figure 11. Oscillator Connections



Notes: C1, C2 = 30 pF ± 10 pF for Crystals
= 40 pF ± 10 pF for Ceramic Resonators

Idle Mode

In idle mode, the CPU puts itself to sleep while all the on-chip peripherals remain active. The mode is invoked by software. The content of the on-chip RAM and all the special functions registers remain unchanged during this mode. The idle mode can be terminated by any enabled interrupt or by a hardware reset.

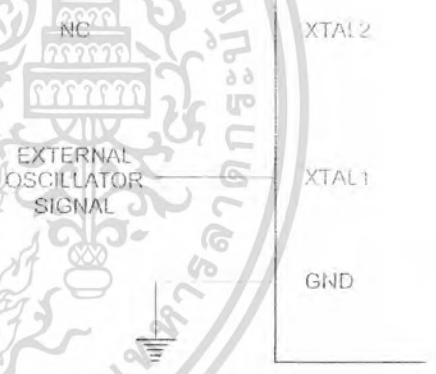
Note that when idle mode is terminated by a hardware reset, the device normally resumes program execution from where it left off, up to two machine cycles before the internal reset algorithm takes control. On-chip hardware inhibits access to internal RAM in this event, but access to the port pins is not inhibited. To eliminate the possibility of an unexpected write to a port pin when idle mode is terminated by a reset, the instruction following the one that invokes idle mode should not write to a port pin or to external memory.

Power Down Mode

In the power down mode, the oscillator is stopped and the instruction that invokes power down is the last instruction executed. The on-chip RAM and Special Function Registers retain their values until the power down mode is terminated. Exit from power down can be initiated either by a hardware reset or by an enabled external interrupt. Reset redefines the SFRs but does not change the on-chip RAM. The reset should not be activated before Vcc is restored to its normal operating level and must be held active long enough to allow the oscillator to restart and stabilize.

To exit power down via an interrupt, the external interrupt must be enabled as level sensitive before entering power

Figure 12. External Clock Drive Configuration



Status of External Pins During Idle and Power Down

Mode	Program Memory	ALE	$\overline{PSEN}$	PORT0	PORT1	PORT2	PORT3
Idle	Internal	1	1	Data	Data	Data	Data
Idle	External	1	1	Float	Data	Address	Data
Power Down	Internal	0	0	Data	Data	Data	Data
Power Down	External	0	0	Float	Data	Data	Data

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

down. The interrupt service routine starts at 16 ms (nominal) after the enabled interrupt pin is activated.

Program Memory Lock Bits

The AT89S8252 has three lock bits that can be left unprogrammed (U) or can be programmed (P) to obtain the additional features listed in the following table.

Lock Bit Protection Modes[1, 2]

Program Lock Bits				
	LB1	LB2	LB3	Protection Type
1	U	U	U	No internal memory lock feature.
2	P	U	U	MOVC instructions executed from external program memory are disabled from fetching code bytes from internal memory. EA is sampled and latched on reset and further programming of the Flash memory (parallel or serial mode) is disabled.
3	P	P	U	Same as mode 2, but parallel or serial verify are also disabled.
4	P	P	P	Same as mode 3, but external execution is also disabled.

Notes: 1. U = Unprogrammed.
2. P = Programmed.

When lock bit 1 is programmed, the logic level at the $\overline{EA}$ pin is sampled and latched during reset. If the device is powered up without a reset, the latch initializes to a random value and holds that value until reset is activated. The latched value of $\overline{EA}$ must agree with the current logic level at that pin in order for the device to function properly.

Once programmed, the lock bits can only be unprogrammed with the Chip Erase operations in either the parallel or serial modes.

Programming the Flash and EEPROM

Atmel's AT89S8252 Flash Microcontroller offers 8K bytes of in-system reprogrammable flash PEROM Code memory and 2K bytes of EEPROM Data memory.

The AT89S8252 is normally shipped with the on-chip PEROM Code and EEPROM Data memory arrays in the erased state (i.e. contents = FFH) and ready to be programmed. This device supports a High-Voltage (12V) Parallel programming mode and a Low-Voltage Serial programming mode. The serial programming mode provides a convenient way to download the AT89S8252 inside the user's system. The parallel programming mode is compatible with conventional third party Flash or EPROM programmers.

The Code and Data memory arrays are mapped via separate address spaces in the serial programming mode. In the parallel programming mode, the two arrays occupy one contiguous address space: 0000H to 1FFFH for the Code array and 2000H to 27FFH for the Data array.

The Code and Data memory arrays on the AT89S8252 are programmed byte-by-byte in either programming modes. An auto-erase cycle is provided with the self-timed programming operation in the serial programming mode. There is no need to perform the Chip Erase operation to reprogram any memory location in the serial programming mode.

In the parallel programming mode, there is no auto-erase cycle and to reprogram any non-blank byte, the user needs to use the Chip Erase operation first to erase both arrays.

(continued)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Programming the Flash and EEPROM (Continued)

Parallel Programming Algorithm

To program and verify the AT89S8252 in the parallel programming mode, the following sequence is recommended:

1. Power-up sequence:
   Apply power between Vcc and GND pins with all other pins floating.
   Set RST pin to 'H'.
   Apply a 4 MHz to 24 MHz clock to XTAL1 pin and wait for at least 10 milliseconds.
2. Set PSEN pin to 'L'.
   ALE pin to 'H'.
   EA pin to 'H' and all other pins to 'H'.
3. Apply the appropriate combination of 'H' or 'L' logic levels to pins P2.6, P2.7, P3.6, P3.7 to select one of the programming operations shown in the PEROM Programming Modes table.
4. Apply the desired byte address to pins P1.0 to P1.7 and P2.0 to P2.5.
   Apply data to pins P0.0 to P0.7 for Write Code operation.
5. Raise EA/VPP to 12V to enable Flash programming, erase or verification.
6. Pulse ALE/PROG once to program a byte in the Code memory array, the Data memory array or the lock bits. The byte-write cycle is self-timed and typically takes 1.5 ms.
7. To verify the byte just programmed, bring pin P2.7 to 'L' and read the programmed data at pins P0.0 to P0.7.
8. Repeat steps 3 through 7 changing the address and data for the entire 2K or 8K bytes array or until the end of the object file is reached.
9. Power-off sequence:
   Set XTAL1 to 'L'.
   Set RST and EA pins to 'L'.
   Float all other I/O pins.
   Turn Vcc power off.

In the parallel programming mode, there is no auto-erase cycle and to reprogram any non-blank byte, the user needs to use the Chip Erase operation first to erase both arrays.

DATA Polling

The AT89S8252 features DATA Polling to indicate the end of a write cycle. During a write cycle in the parallel or serial programming mode, an attempted read of the last byte written will result in the complement of the written datum on P0.7. Once the write cycle has been completed, true data are valid on all outputs, and the next cycle may begin. DATA Polling may begin any time after a write cycle has been initiated.

Ready/Busy

The progress of byte programming in the parallel programming mode can also be monitored by the RDY/BSY output signal. Pin P3.4 is pulled Low after ALE goes High during programming to indicate BUSY. P3.4 is pulled High again when programming is done to indicate READY.

Programming Interface

Every code byte in the Flash and EEPROM arrays can be written, and the entire array can be erased, by using the appropriate combination of control signals. The write operation cycle is self-timed and once initiated, will automatically time itself to completion.

All major programming vendors offer worldwide support for the Atmel microcontroller series. Please contact your

Serial Downloading

Both the Code and Data memory arrays can be programmed using the serial SPI bus while RST is pulled to Vcc. The serial interface consists of pins SCK, MOSI (input) and MISO (output). After RST is set high, the Programming Enble instruction needs to be executed first before program/erase operations can be executed.

An auto-erase cycle is built into the self-timed programming operation (in the serial mode ONLY) and there is no need to first execute the Chip Erase instruction. The Chip Erase operation turns the content of every memory location in both the Code and Data arrays into FFH.

The Code and Data memory arrays have separate address spaces:

0000H to 1FFFH for Code memory and 000H to 7FFH for Data memory.

Either an external system clock is supplied at pin XTAL1 or a crystal needs to be connected across pins XTAL1 and XTAL2. The maximum serial clock (SCK) frequency should be less than 1/40 of the crystal frequency. With a 24 MHz oscillator clock, the maximum SCK frequency is 600 KHz.

(continued)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Serial Downloading (Continued)

Serial Programming Algorithm

To program and verify the AT89S8252 in the serial programming mode, the following sequence is recommended:

1. Power-up sequence:

   Apply power between V_{CC} and GND pins with all other pins floating.

   Set RST pin to 'H'.

   If a crystal is not connected across pins XTAL1 and XTAL2, apply a 4 MHz to 24 MHz clock to XTAL1 pin and wait for at least 10 milliseconds.

2. Enable serial programming by sending the Programming Enable serial instruction to pin MOSI/P1.5. The frequency of the shift clock supplied at pin SCK/P1.7 needs to be less than the CPU clock at XTAL1 divided by 40.

Instruction Set

Instruction	Input Format MSB	LSB	Operation
Programming Enable	1010 0101 xxxx	1100 0011 xxxx	Enable serial programming interface after RST goes high.
Chip Erase	1010 xxxx xxxx	1100 x100 xxxx	Chip erase both 8k & 2K memory arrays.
Read Code Memory	aaaa low xxxx	a001 addr xxxx	Read data from Code memory array at the selected address. The 5 MSBs of the first byte are the high order address bits. The low order address bits are in the second byte. Data are available at pin MISO during the third byte.
Write Code Memory	aaaa low data	a010 addr in	Write data to Code memory location at selected address. The address bits are the 5 MSBs of the first byte together with the second byte.
Read Data Memory	00aa low xxxx	a101 addr xxxx	Read data from Data memory array at selected address. Data are available at pin MISO during the third byte.
Write Data Memory	00aa low data	a110 addr in	Write data to Data memory location at selected address.
Write Lock Bits	1010 LLLx BBB 123 xxxx	1100 x111 xxxx	Write lock bits. Set LB1, LB2 or LB3 = '0' to program lock bits.

Notes: 1. $\overline{\text{DATA}}$ polling is used to indicate the end of a write cycle, which typically takes less than 2.5 ms.
2. 'aaaaa' = high order address.
3. 'x' = don't care.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Flash and EEPROM Parallel Programming Modes

Mode	RST	PSEN	ALE/$\overline{PROG}$	$\overline{EA}$/V_{PP}	P2.6	P2.7	P3.6	P3.7	Data I/O P0.7:0	Address P2.5:0 P1.7:0
Serial Prog. Modes	H	h[1]	h	x	(See detail timing)					
Chip Erase	H	L	[2]	12V	H	L	L	L	X	X
Write (10K bytes) Memory	H	L		12V	L	H	H	H	DIN	ADDR
Read (10K bytes) Memory	H	L	H	12V	L	L	H	H	DOUT	ADDR
Write Lock Bits:	H	L		12V	H	L	H	L	DIN	X
3) = 1									P0.7 = 0	X
2) = 1									P0.6 = 0	X
1) = 1									P0.5 = 0	X
Read Lock Bits:	H	L	H	12V	H	H	L	L	DOUT	X
3) = 1									@P0.2	X
2) = 1									@P0.1	X
1) = 1									@P0.0	X
Read Atmel Code	H	L	H	12V	L	L	L	L	DOUT	30H
Read Device Code	H	L	H	12V	L	L	L	L	DOUT	31H
Serial Prog. Enable	H	L	[2]	12V	L	H	L	H	P0.0 = 0	X
Serial Prog. Disable	H	L	[2]	12V	L	H	L	H	P0.0 = 1	X
Read Serial Prog. Fuse	H	L	H	12V	H	H	L	H	@P0.0	X

Notes: 1. 'h' = weakly pulled 'High' internally.
2. Chip Erase and Serial Programming Fuse require a 10 ms PROG pulse. Chip Erase needs to be performed first before reprogramming any byte with a content other than FFH.
3. P3.4 is pulled Low during programming to indicate RDY/$\overline{BSY}$.
4. 'X' = don't care.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Figure 13. Programming the Flash Memory

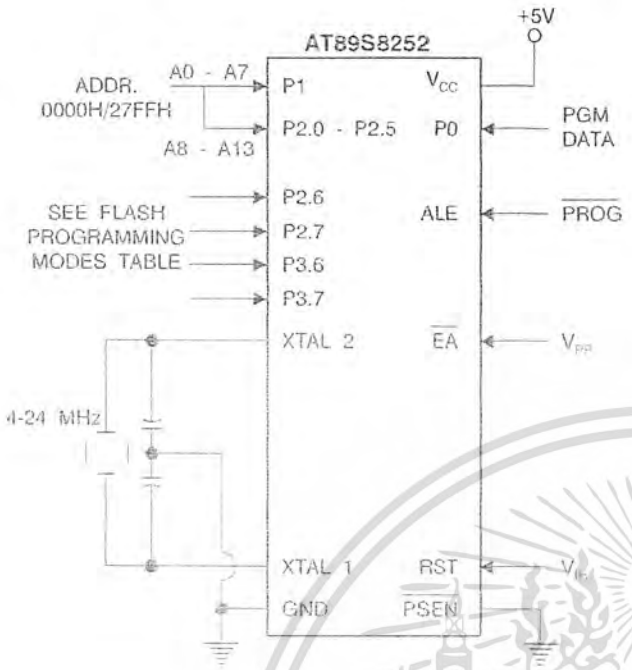


Figure 14. Verifying the Flash Memory

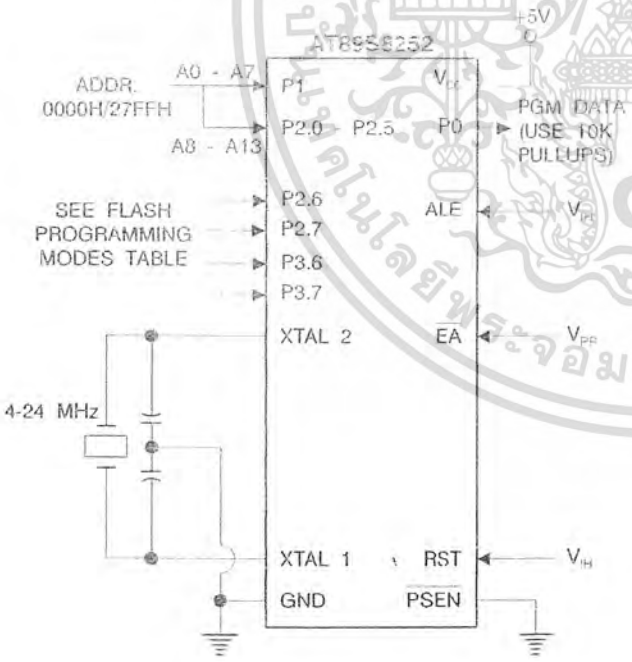
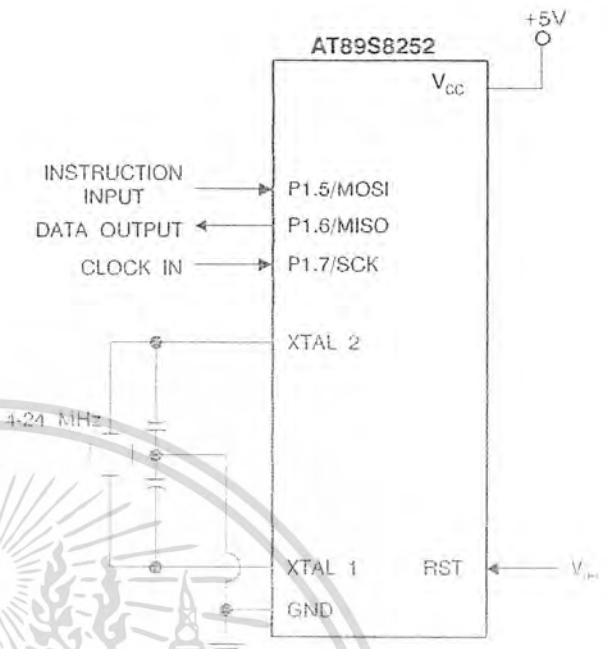


Figure 15. Flash/EEPROM Serial Downloading



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

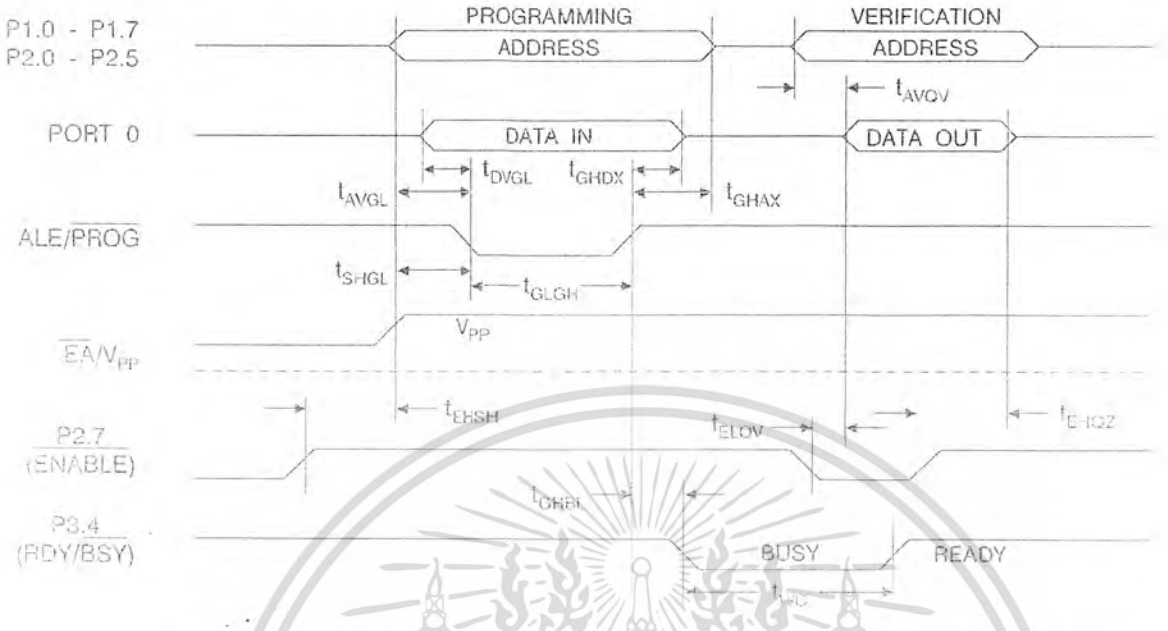
Flash Programming and Verification Characteristics

T_A = 21°C to 27°C, V_{CC} = 5.0V ± 10%

Symbol	Parameter	Min	Max	Units
V_{PP}	Programming Enable Voltage	11.5	12.5	V
I_{PP}	Programming Enable Current		1.0	mA
$1/t_{CLCL}$	Oscillator Frequency	4	24	MHz
t_{AVGL}	Address Setup to $\overline{PROG}$ Low	$48t_{CLCL}$		
t_{GHAX}	Address Hold After $\overline{PROG}$	$48t_{CLCL}$		
t_{DVGL}	Data Setup to $\overline{PROG}$ Low	$48t_{CLCL}$		
t_{GHDX}	Data Hold After $\overline{PROG}$	$48t_{CLCL}$		
t_{EHSH}	P2.7 ($\overline{ENABLE}$) High to V_{PP}	$48t_{CLCL}$		
t_{SHGL}	V_{PP} Setup to $\overline{PROG}$ Low	10		µs
t_{GLGH}	$\overline{PROG}$ Width	1	110	µs
t_{AVQV}	Address to Data Valid		$48t_{CLCL}$	
t_{ELQV}	$\overline{ENABLE}$ Low to Data Valid		$48t_{CLCL}$	
t_{EHQZ}	Data Float After $\overline{ENABLE}$	0	$48t_{CLCL}$	
t_{GHBL}	$\overline{PROG}$ High to BUSY Low		1.0	µs
t_{WC}	Byte Write Cycle Time		2.0	ms

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Flash/EEPROM Programming and Verification Waveforms - Parallel Mode



Serial Downloading Waveforms

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Absolute Maximum Ratings*

Operating Temperature	-55°C to +125°C
Storage Temperature	-65°C to +150°C
Voltage on Any Pin with Respect to Ground	-1.0V to +7.0V
Maximum Operating Voltage	6.6V
DC Output Current	15.0 mA

*NOTICE: Stresses beyond those listed under "Absolute Maximum Ratings" may cause permanent damage to the device. This is a stress rating only and functional operation of the device at these or any other conditions beyond those indicated in the operational sections of this specification is not implied. Exposure to absolute maximum rating conditions for extended periods may affect device reliability.

DC Characteristics

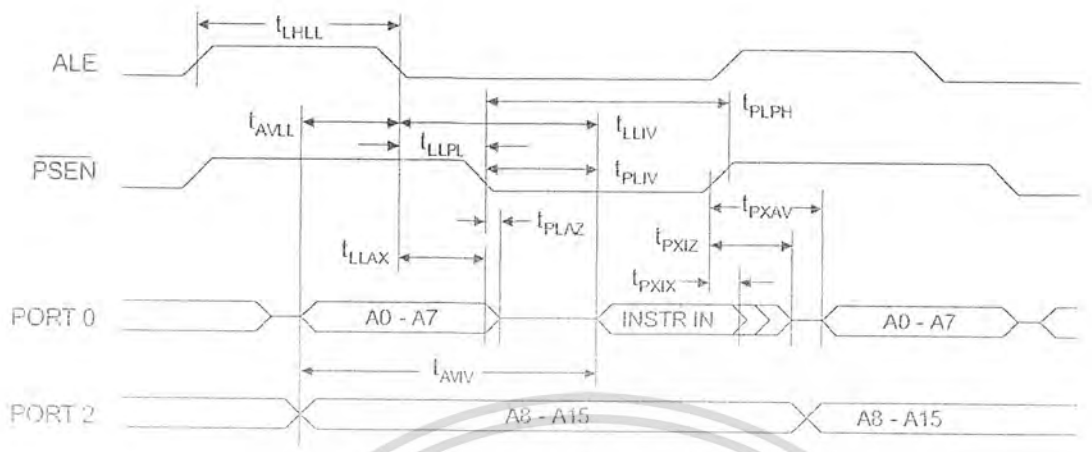
The values shown in this table are valid for T_A = -40°C to 85°C and V_{CC} = 2.7V to 6.0V, unless otherwise noted.

Symbol	Parameter	Condition	Min	Max	Units
V_{IL}	Input Low Voltage	(Except $\overline{EA}$)	-0.5	0.2 V_{CC} - 0.1	V
V_{IL1}	Input Low Voltage ($\overline{EA}$)		-0.5	0.2 V_{CC} - 0.3	V
V_{IH}	Input High Voltage	(Except XTAL1, RST)	0.2 V_{CC} + 0.9	V_{CC} + 0.5	V
V_{IH1}	Input High Voltage	(XTAL1, RST)	0.7 V_{CC}	V_{CC} + 0.5	V
V_{OL}	Output Low Voltage (1) (Ports 1,2,3)	I_{OL} = 1.6 mA		0.5	V
V_{OL1}	Output Low Voltage (1) (Port 0, ALE, PSEN)	I_{OL} = 3.2 mA		0.5	V
V_{OH}	Output High Voltage (Ports 1,2,3, ALE, PSEN)	I_{OH} = -60 µA, V_{CC} = 5V ± 10%	2.4		V
		I_{OH} = -25 µA	0.75 V_{CC}		V
		I_{OH} = -10 µA	0.9 V_{CC}		V
V_{OH1}	Output High Voltage (Port 0 in External Bus Mode)	I_{OH} = -800 µA, V_{CC} = 5V ± 10%	2.4		V
		I_{OH} = -300 µA	0.75 V_{CC}		V
		I_{OH} = -80 µA	0.9 V_{CC}		V
I_{IL}	Logical 0 Input Current (Ports 1,2,3)	V_{IN} = 0.45V		-50	µA
I_{TL}	Logical 1 to 0 Transition Current (Ports 1,2,3)	V_{IN} = 2V		-650	µA
I_{LI}	Input Leakage Current (Port 0, EA)	0.45 < V_{IN} < V_{CC}		±10	µA
RRST	Reset Pulldown Resistor		50	300	kΩ
C_{IO}	Pin Capacitance	Test Freq. = 1 MHz, T_A = 25°C		10	pF
I_{CC}	Power Supply Current	Active Mode, 12 MHz		25	mA
		Idle Mode, 12 MHz		6.5	mA
	Power Down Mode (2)	V_{CC} = 6V		100	µA
		V_{CC} = 3V		40	µA

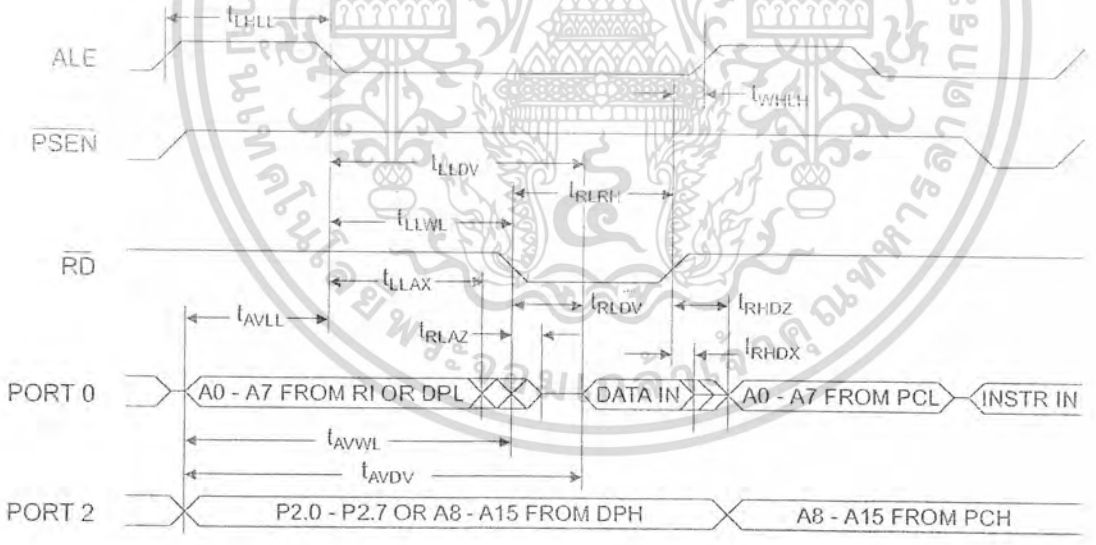
Notes: 1. Under steady state (non-transient) conditions, I_{OL} must be externally limited as follows:
Maximum I_{OL} per port pin: 10 mA
Maximum I_{OL} per 8 bit port:
Port 0: 26 mA
Ports 1,2,3: 15 mA
Maximum total I_{OL} for all output pins: 71 mA
If I_{OL} exceeds the test condition, V_{OL} may exceed the related specification. Pins are not guaranteed to sink current greater than the listed test conditions.
2. Minimum V_{CC} for Power Down is 2V.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

External Program Memory Read Cycle



External Data Memory Read Cycle



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

AC Characteristics

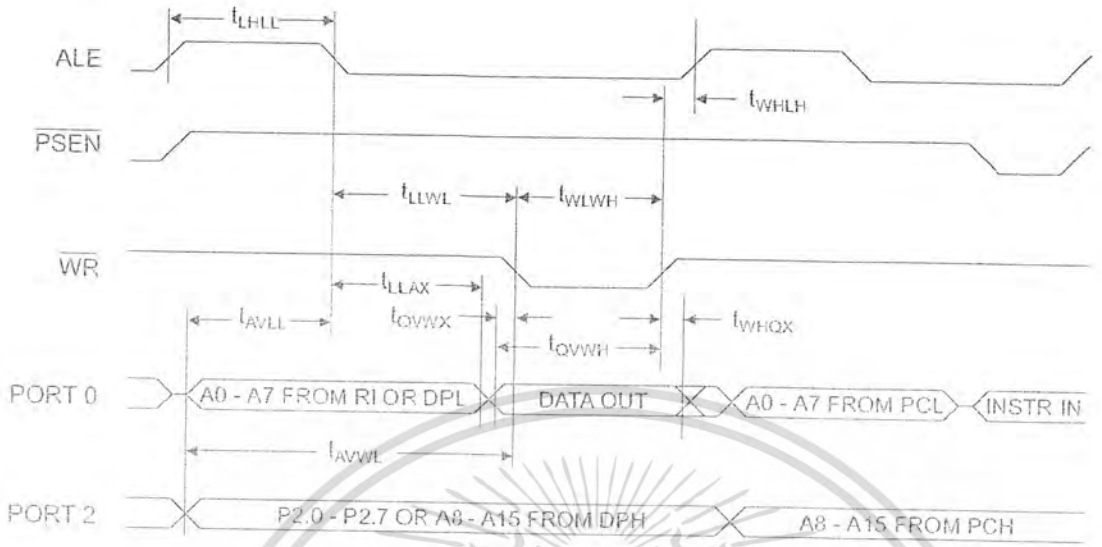
Under operating conditions, load capacitance for Port 0, ALE/$\overline{PROG}$, and $\overline{PSEN}$ = 100 pF; load capacitance for all other outputs = 80 pF.

External Program and Data Memory Characteristics

Symbol	Parameter	12 MHz Oscillator		Variable Oscillator		Units
		Min	Max	Min	Max	
$1/t_{CLCL}$	Oscillator Frequency			0	24	MHz
t_{LHLL}	ALE Pulse Width	127		$2t_{CLCL}$ - 40		ns
t_{AVLL}	Address Valid to ALE Low	28		t_{CLCL} - 13		ns
t_{LLAX}	Address Hold After ALE Low	48		t_{CLCL} - 20		ns
t_{LLIV}	ALE Low to Valid Instruction In		233		$4t_{CLCL}$ - 65	ns
t_{LLPL}	ALE Low to $\overline{PSEN}$ Low	43		t_{CLCL} - 13		ns
t_{PLPH}	$\overline{PSEN}$ Pulse Width	205		$3t_{CLCL}$ - 20		ns
t_{PLIV}	$\overline{PSEN}$ Low to Valid Instruction In		145		$3t_{CLCL}$ - 45	ns
t_{PXIX}	Input Instruction Hold After $\overline{PSEN}$	0		0		ns
t_{PXIZ}	Input Instruction Float After $\overline{PSEN}$		59		t_{CLCL} - 10	ns
t_{PXAV}	$\overline{PSEN}$ to Address Valid	75		t_{CLCL} - 8		ns
t_{AVIV}	Address to Valid Instruction In		312		$5t_{CLCL}$ - 55	ns
t_{PLAZ}	$\overline{PSEN}$ Low to Address Float		10		10	ns
t_{RLRH}	$\overline{RD}$ Pulse Width	400		$6t_{CLCL}$ - 100		ns
t_{WLWH}	$\overline{WR}$ Pulse Width	400		$6t_{CLCL}$ - 100		ns
t_{RLDV}	$\overline{RD}$ Low to Valid Data In		252		$5t_{CLCL}$ - 90	ns
t_{RHDX}	Data Hold After $\overline{RD}$	0		0		ns
t_{RHDZ}	Data Float After $\overline{RD}$		97		$2t_{CLCL}$ - 28	ns
t_{LLDV}	ALE Low to Valid Data In		517		$8t_{CLCL}$ - 150	ns
t_{AVDV}	Address to Valid Data In		585		$9t_{CLCL}$ - 165	ns
t_{LLWL}	ALE Low to $\overline{RD}$ or $\overline{WR}$ Low	200	300	$3t_{CLCL}$ - 50	$3t_{CLCL}$ + 50	ns
t_{AVWL}	Address to $\overline{RD}$ or $\overline{WR}$ Low	203		$4t_{CLCL}$ - 75		ns
t_{QVWX}	Data Valid to $\overline{WR}$ Transition	23		t_{CLCL} - 20		ns
t_{QVWH}	Data Valid to $\overline{WR}$ High	433		$7t_{CLCL}$ - 120		ns
t_{WHQX}	Data Hold After $\overline{WR}$	33		t_{CLCL} - 20		ns
t_{RLAZ}	$\overline{RD}$ Low to Address Float		0		0	ns
t_{WHLH}	$\overline{RD}$ or $\overline{WR}$ High to ALE High	43	123	t_{CLCL} - 20	t_{CLCL} + 25	ns

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

External Data Memory Cycle



External Clock Drive Waveforms

External Clock Drive

Symbol	Parameter	V_{CC} = 4.0V to 6.0V		Units	V_{CC} = 2.7V to 6.0V	
		Min	Max		Min	Max
1/t_{CLCL}	Oscillator Frequency	0	24	MHz	0	12
t_{CLCL}	Clock Period	41.6		ns	83.3	
t_{CHCX}	High Time	15		ns	30	
t_{CLCX}	Low Time	15		ns	30	
t_{CLCH}	Rise Time		20	ns		20

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

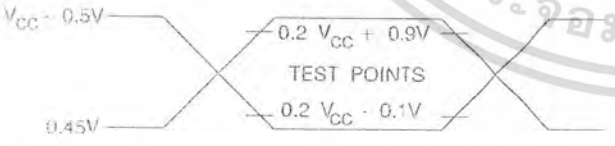
Serial Port Timing: Shift Register Mode Test Conditions

The values in this table are valid for V_{CC} = 2.7V to 6V and Load Capacitance = 80 pF.

Symbol	Parameter	12 MHz Osc		Variable Oscillator		Units
		Min	Max	Min	Max	
t_{XLXL}	Serial Port Clock Cycle Time	1.0		$12t_{CLCL}$		µs
t_{QVXH}	Output Data Setup to Clock Rising Edge	700		$10t_{CLCL}$ - 133		ns
t_{XHQX}	Output Data Hold After Clock Rising Edge	50		$2t_{CLCL}$ - 33		ns
t_{XHDX}	Input Data Hold After Clock Rising Edge	0		0		ns
t_{XHDV}	Clock Rising Edge to Input Data Valid		700		$10t_{CLCL}$ - 133	ns

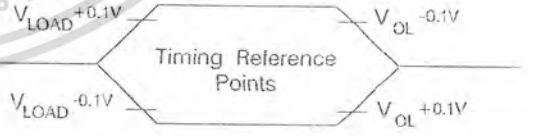
Shift Register Mode Timing Waveforms

AC Testing Input/Output Waveforms [1]



Note: 1. AC Inputs during testing are driven at V_{CC} - 0.5V for a logic 1 and 0.45V for a logic 0. Timing measurements are made at V_{IH} min. for a logic 1 and V_{IL} max. for a logic 0.

Float Waveforms [1]



Note: 1. For timing purposes, a port pin is no longer floating when a 100 mV change from load voltage occurs. A port pin begins to float when a 100 mV change from the loaded V_{OH}/V_{OL} level occurs.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

0.5MHz, Low Supply Voltage, Low Input Current BiMOS Operational Amplifiers

The CA3420A and CA3420 are integrated circuit operational amplifiers that combine PMOS transistors and bipolar transistors on a single monolithic chip. The CA3420A and CA3420 BiMOS operational amplifiers feature gate protected PMOS transistors in the input circuit to provide very high input impedance, very low input currents (less than 1pA). The internal bootstrapping network features a unique guardbanding technique for reducing the doubling of leakage current for every 10°C increase in temperature. The CA3420 series operates at total supply voltages from 2V to 20V either single or dual supply. These operational amplifiers are internally phase compensated to achieve stable operation in the unity gain follower configuration. Additionally, they have access terminals for a supplementary external capacitor if additional frequency roll-off is desired. Terminals are also provided for use in applications requiring input offset voltage nulling. The use of PMOS in the input stage results in common mode input voltage capability down to 0.45V below the negative supply terminal, an important attribute for single supply application. The output stage uses a feedback OTA type amplifier that can swing essentially from rail-to-rail. The output driving current of 1.5mA (Min) is provided by using nonlinear current mirrors.

Ordering Information

PART NUMBER	TEMP. RANGE (°C)	PACKAGE	PKG. NO.
CA3420AT	-55 to 125	8 Pin Metal Can	T8.C
CA3420E	-55 to 125	8 Ld PDIP	E8.3

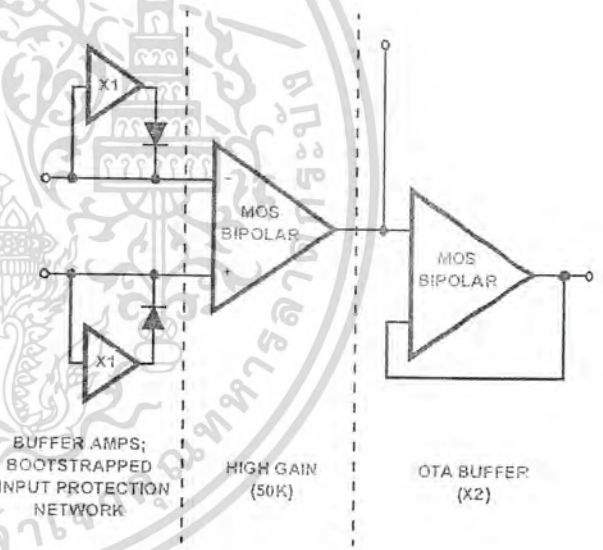
Features

- 2V Supply at 300µA Supply Current
- 1pA Input Current (Typ) (Essentially Constant to 85°C)
- Rail-to-Rail Output Swing (Drive ±2mA into 1kΩ Load)
- Pin Compatible with 741 Operational Amplifiers

Applications

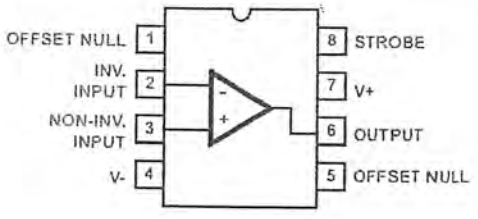
- pH Probe Amplifiers
- Picoammeters
- Electrometer (High Z) Instruments
- Portable Equipment
- Inaccessible Field Equipment
- Battery-Dependent Equipment (Medical and Military)

Functional Diagram

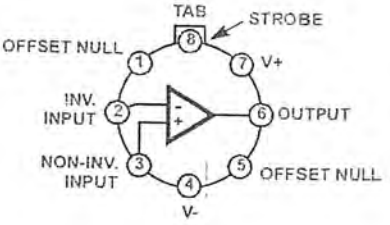


Pinouts

CA3420 (PDIP)
TOP VIEW



CA3420 (METAL CAN)
TOP VIEW



CAUTION: These devices are sensitive to electrostatic discharge; follow proper IC Handling Procedures.
1-888-INTERSIL or 321-724-7143 | Intersil and Design is a trademark of Intersil Corporation. | Copyright © Intersil Corporation 2000

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Absolute Maximum Ratings

Supply Voltage (V+ to V-) 22V
Differential Input Voltage 15V
DC Input Voltage . . . . . (V+ + 8V) to (V- -0.5V)
Input Current 1mA
Output Short Circuit Duration (Note 1) . . . . . Indefinite

Operating Conditions

Temperature Range . . . . . -55°C to 125°C

Thermal Information

Thermal Resistance (Typical, Note 2)	θ_{JA} (°C/W)	θ_{JC} (°C/W)
PDIP Package	105	N/A
Metal Can Package	165	80

Maximum Junction Temperature (Metal Can Package) . . . . . 175°C
Maximum Junction Temperature (Plastic Package) . . . . . 150°C
Maximum Storage Temperature Range . . . . . -65°C to 150°C
Maximum Lead Temperature (Soldering 10s) . . . . . 300°C

CAUTION: Stresses above those listed in "Absolute Maximum Ratings" may cause permanent damage to the device. This is a stress only rating and operation of the device at these or any other conditions above those indicated in the operational sections of this specification is not implied.

NOTES:

1. Short circuit may be applied to ground or to either supply.
2. θ_{JA} is measured with the component mounted on an evaluation PC board in free air.

Electrical Specifications

Typical Values Intended Only for Design Guidance, V_{SUPPLY} = ±10V, T_A = 25°C

PARAMETER		SYMBOL	TEST CONDITIONS		CA3420A	CA3420	UNITS
Input Resistance		R_I			150	150	TΩ
Input Capacitance		C_I			4.9	4.9	pF
Output Resistance		R_O			300	300	Ω
Equivalent Input Noise Voltage		e_N	f = 1kHz	R_S = 100Ω	62	62	nV/$\sqrt{Hz}$
			f = 10kHz		38	38	nV/$\sqrt{Hz}$
Short-Circuit Current	Source	I_{OM}^+			2.6	2.6	mA
To Opposite Supply	Sink	I_{OM}^-			2.4	2.4	mA
Gain Bandwidth Product		f_T			0.5	0.5	MHz
Slew Rate		SR			0.5	0.5	V/µs
Transient Response	Rise Time	t_R	R_L = 2kΩ, C_L = 100pF		0.7	0.7	µs
	Overshoot	OS			15	15	%
Current Into Terminal 8	To V-	I_8^+			20	20	µA
	To V+	I_8^-			2	2	mA

Electrical Specifications

For Equipment Design, At V_{SUPPLY} = ±15V, T_A = 25°C, Unless Otherwise Specified

PARAMETER	SYMBOL	TEST CONDITIONS	CA3420			CA3420A			UNITS
			MIN	TYP	MAX	MIN	TYP	MAX	
Input Offset Voltage	$\|V_{IO}\|$		-	5	10	-	2	5	mV
Input Offset Current (Note 3)	$\|I_{IO}\|$		-	0.01	4	-	0.01	4	pA
Input Current (Note 3)	$\|I_I\|$		-	1	5	-	0.02	5	pA
Large Signal Voltage Gain	A_{OL}	R_L = 10kΩ	10	100	-	20	100	-	kV/V
			80	100	-	86	100	-	dB
Common Mode Rejection Ratio	CMRR		-	560	1800	-	560	1000	µV/V
			55	65	-	60	65	-	dB
Common Mode Input Voltage Range	V_{ICR}^+		0.2	0.5	-	0.2	0.5	-	V
	V_{ICR}^-		-	-1.3	-	-1	-1.3	-	V
Power Supply Rejection Ratio	PSRR	$\Delta V_{IO}/\Delta V$	-	100	1000	-	32	320	µV/V
			60	80	-	70	90	-	dB
Max Output Voltage	V_{OM}^+	R_L = ∞	0.90	0.95	-	0.90	0.95	-	V
	V_{OM}^-		-0.85	-0.91	-	-0.85	-0.91	-	V
Supply Current	I+		-	350	650	-	350	650	µA
Device Dissipation	P_D		-	0.7	1.1	-	0.7	1.1	mW
Input Offset Voltage Temperature Drift	$\Delta V_{IO}/\Delta T$		-	4	-	-	4	-	µV/°C

NOTE:

3. The maximum limit represents the levels obtainable on high speed automatic test equipment. Typical values are obtained under laboratory conditions.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Electrical Specifications For Equipment Design, at V_{SUPPLY} = ±10V, T_A = 25°C, Unless Otherwise Specified

PARAMETER	SYMBOL	TEST CONDITIONS	CA3420			CA3420A			UNITS
			MIN	TYP	MAX	MIN	TYP	MAX	
Input Offset Voltage	$\|V_{IO}\|$		-	5	10	-	2	5	mV
Input Offset Current (Note 4)	$\|I_{IO}\|$		-	0.03	4	-	0.03	4	pA
Input Current (Note 4)	$\|I_I\|$		-	0.05	5	-	0.05	5	pA
Large Signal Voltage Gain	A_{OL}	R_L = 10kΩ	10	100	-	20	100	-	kV/V
			80	100	-	86	100	-	dB
Common Mode Rejection Ratio	CMRR		-	100	320	-	100	320	µV/V
			70	80	-	70	80	-	dB
Common Mode Input Voltage Range	V_{ICR}^-		8.5	9.3	-	9.0	9.3	-	V
	V_{ICR}^+		-10	-10.3	-	-10	-10.3	-	V
Power Supply Rejection Ratio	PSRR	$\Delta V_{IO}/\Delta V$	-	32	320	-	32	320	µV/V
			70	90	-	70	90	-	dB
Max Output Voltage	V_{OH}^-	R_L = ∞	9.7	9.9	-	9.7	9.9	-	V
	V_{OH}^+		-9.7	-9.85	-	-9.7	-9.85	-	V
Supply Current	I^-		-	450	1000	-	450	1000	µA
Device Dissipation	P_D			9	14		9	14	mW
Input Offset Voltage Temperature Drift	$\Delta V_{IO}/\Delta T$		-	4		-	4	-	µV/°C

NOTE:

4. The maximum limit represents the levels obtainable on high speed automatic test equipment. Typical values are obtained under laboratory conditions.

Typical Applications

Picoammeter Circuit

The exceptionally low input current (typically 0.2pA) makes the CA3420 highly suited for use in a picoammeter circuit. With only a single 10GΩ resistor, this circuit covers the range from ±1.5pA. Higher current ranges are possible with suitable switching techniques and current scaling resistors. Input transient protection is provided by the 1MΩ resistor in series with the input. Higher current ranges require that this resistor be reduced. The 10MΩ resistor connected to pin 2 of the CA3420 decouples the potentially high input capacitance often associated with lower current circuits and reduces the tendency for the circuit to oscillate under these conditions.

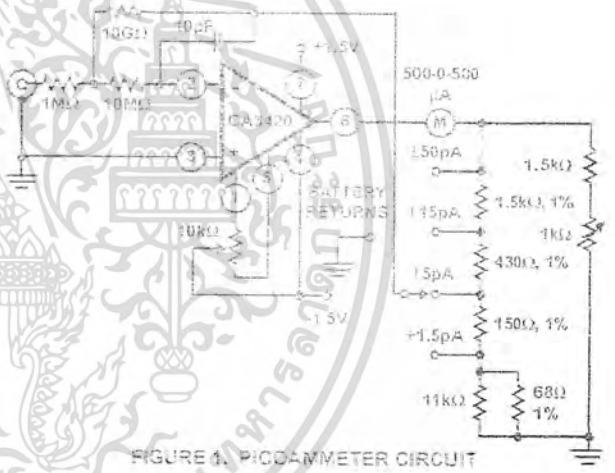


FIGURE 1. PICOAMMETER CIRCUIT

High Input Resistance Voltmeter

Advantage is taken of the high input impedance of the CA3420 in a high input resistance DC voltmeter. Only two 1.5V "AA" type penlite batteries power this exceedingly high-input resistance (>1,000,000MΩ) DC voltmeter. Full-scale deflection is ±500mV, ±150mV, and ±15mV. Higher voltage ranges are easily added with external input voltage attenuator networks.

The meter is placed in series with the gain network, thus eliminating the meter temperature coefficient error term.

Supply current in the standby position with the meter undeflected is 300µA. At full-scale deflection this current rises to 800µA. Carbon-zinc battery life should be in excess of 1,000 hours.

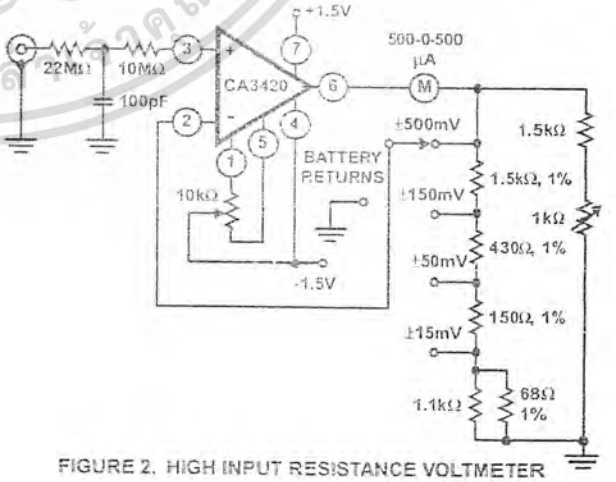


FIGURE 2. HIGH INPUT RESISTANCE VOLTMETER

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Typical Performance Curves

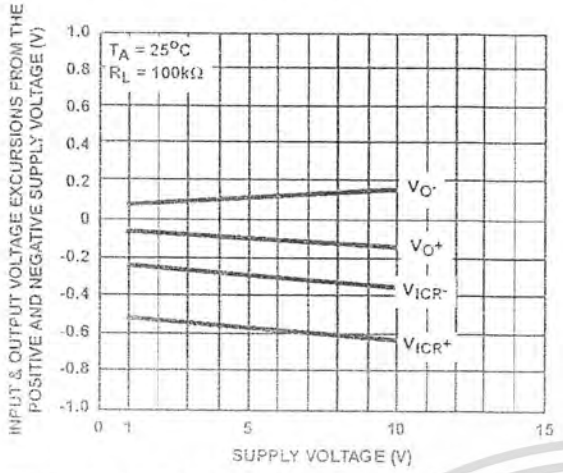


FIGURE 3. OUTPUT VOLTAGE SWING AND COMMON MODE INPUT VOLTAGE RANGE vs SUPPLY VOLTAGE

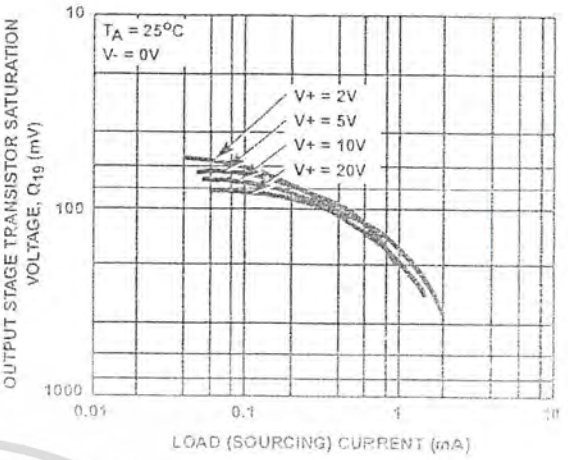


FIGURE 4. OUTPUT VOLTAGE vs LOAD SOURCING CURRENT

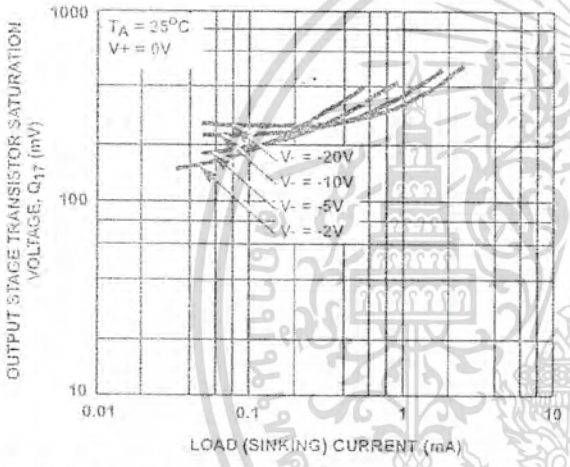


FIGURE 5. OUTPUT VOLTAGE vs LOAD SINKING CURRENT

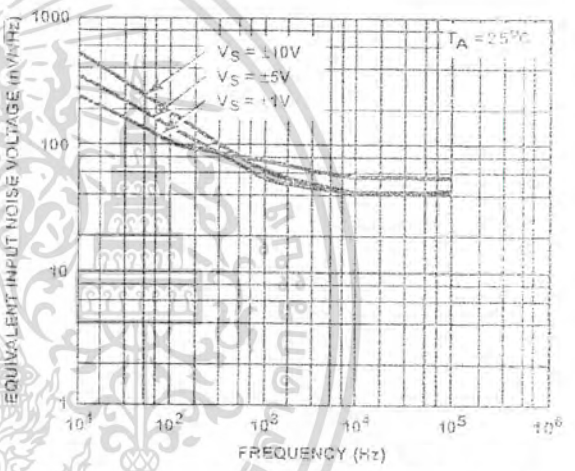


FIGURE 6. INPUT NOISE VOLTAGE vs FREQUENCY

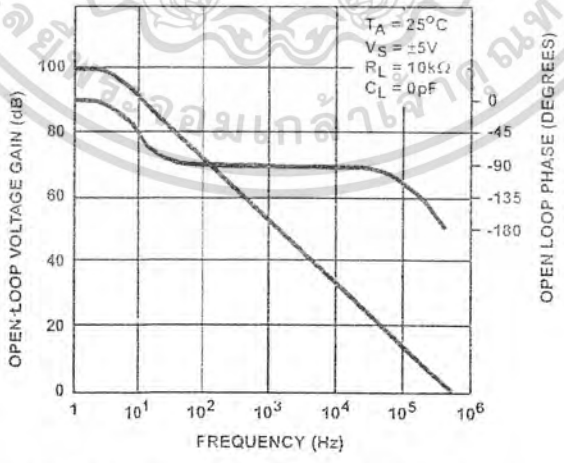
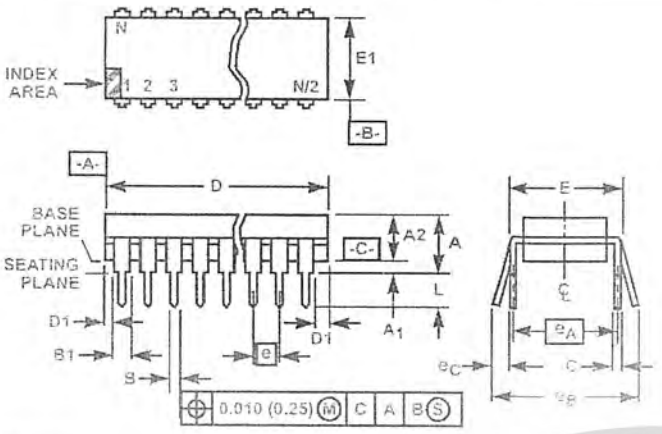


FIGURE 7. OPEN LOOP GAIN AND PHASE SHIFT RESPONSE

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Dual-In-Line Plastic Packages (PDIP)



E8.3 (JEDEC MS-001-BA ISSUE D)
8 LEAD DUAL-IN-LINE PLASTIC PACKAGE

SYMBOL	INCHES		MILLIMETERS		NOTES
	MIN	MAX	MIN	MAX	
A	-	0.210	-	5.33	4
A1	0.015	-	0.39	-	4
A2	0.115	0.195	2.93	4.95	-
B	0.014	0.022	0.356	0.558	-
B1	0.045	0.070	1.15	1.77	8, 10
C	0.008	0.014	0.204	0.355	-
D	0.355	0.400	9.01	10.16	5
D1	0.005	-	0.13	-	5
E	0.300	0.325	7.62	8.25	6
E1	0.240	0.280	6.10	7.11	5
e	0.100 BSC		2.54 BSC		-
eA	0.300 BSC		7.62 BSC		6
eB	-	0.430	-	10.92	7
L	0.115	0.150	2.93	3.81	4
N	8		8		9

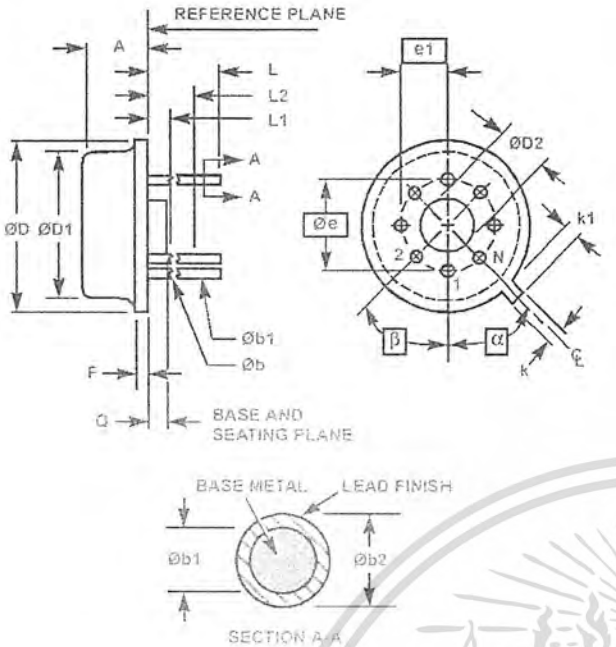
Rev. 0 12/93

NOTES:

1. Controlling Dimensions: INCH. In case of conflict between English and Metric dimensions, the inch dimensions control.
2. Dimensioning and tolerancing per ANSI Y14.5M-1982.
3. Symbols are defined in the "MO Series Symbol List" in Section 2.2 of Publication No. 95.
4. Dimensions A, A1 and L are measured with the package seated in JEDEC seating plane gauge GS-3.
5. D, D1, and E1 dimensions do not include mold flash or protrusions. Mold flash or protrusions shall not exceed 0.010 inch (0.25mm).
6. E and e_A are measured with the leads constrained to be perpendicular to datum -C-.
7. e_B and e_C are measured at the lead tips with the leads unconstrained. e_C must be zero or greater.
8. B1 maximum dimensions do not include dambar protrusions. Dambar protrusions shall not exceed 0.010 inch (0.25mm).
9. N is the maximum number of terminal positions.
10. Corner leads (1, N, N/2 and N/2 - 1) for E8.3, E16.3, E18.3, E28.3, E42.6 will have a B1 dimension of 0.030 - 0.045 inch (0.76 - 1.14mm).

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Metal Can Packages (Can)



T8.C MIL-STD-1835 MACY1-X8 (A1)
8 LEAD METAL CAN PACKAGE

SYMBOL	INCHES		MILLIMETERS		NOTES
	MIN	MAX	MIN	MAX	
A	0.165	0.185	4.19	4.70	-
Øb	0.016	0.019	0.41	0.48	1
Øb1	0.016	0.021	0.41	0.53	1
Øb2	0.016	0.024	0.41	0.61	-
ØD	0.335	0.375	8.51	9.40	-
ØD1	0.305	0.335	7.75	8.51	-
ØD2	0.110	0.160	2.79	4.06	-
e	0.200 BSC		5.08 BSC		-
e1	0.100 BSC		2.54 BSC		-
F	-	0.040	-	1.02	
k	0.027	0.034	0.69	0.86	-
k1	0.027	0.045	0.69	1.14	2
L	0.500	0.750	12.70	19.05	1
L1	-	0.050	-	1.27	1
L2	0.250	-	6.35		1
Q	0.015	0.045	0.25	1.14	-
α	45° BSC		45° BSC		3
β	45° BSC		45° BSC		3
N	8		8		4

Rev. 0 5/10/94

NOTES:

1. (All leads) Øb applies between L1 and L2. Øb1 applies between L2 and 0.500 from the reference plane. Diameter is uncontrolled in L1 and beyond 0.500 from the reference plane.
2. Measured from maximum diameter of the product.
3. α is the basic spacing from the centerline of the tab to terminal 1 and β is the basic spacing of each lead or lead position (N - 1 places) from α, looking at the bottom of the package.
4. N is the maximum number of terminal positions.
5. Dimensioning and tolerancing per ANSI Y14.5M - 1982.
6. Controlling dimension: INCH.

All Intersil semiconductor products are manufactured, assembled and tested under ISO9000 quality systems certification.

Intersil semiconductor products are sold by description only. Intersil Corporation reserves the right to make changes in circuit design and/or specifications at any time without notice. Accordingly, the reader is cautioned to verify that data sheets are current before placing orders. Information furnished by Intersil is believed to be accurate and reliable. However, no responsibility is assumed by Intersil or its subsidiaries for its use; nor for any infringements of patents or other rights of third parties which may result from its use. No license is granted by implication or otherwise under any patent or patent rights of Intersil or its subsidiaries.

For information regarding Intersil Corporation and its products, see web site www.intersil.com

Sales Office Headquarters

NORTH AMERICA
Intersil Corporation
P. O. Box 883, Mail Stop 53-204
Melbourne, FL 32902
TEL: (321) 724-7000
FAX: (321) 724-7240

EUROPE
intersil SA
Mercure Center
100, Rue de la Fusee
1130 Brussels, Belgium
TEL: (32) 2.724.2111
FAX: (32) 2.724.22.05

ASIA
Intersil (Taiwan) Ltd.
7F-6, No. 101 Fu Hsing North Road
Taipei, Taiwan
Republic of China
TEL: (886) 2 2716 9310
FAX: (886) 2 2715 3029

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

MC145151-2

Parallel-Input PLL Frequency Synthesizer

Interfaces with Single–Modulus Prescalers

The MC145151–2 is programmed by 14 parallel–input data lines for the N counter and three input lines for the R counter. The device features consist of a reference oscillator, selectable–reference divider, digital–phase detector, and 14–bit programmable divide–by–N counter.

The MC145151–2 is an improved–performance drop–in replacement for the MC145151–1. The power consumption has decreased and ESD and latch–up performance have improved.

- Operating Temperature Range: –40 to 85°C
- Low Power Consumption Through Use of CMOS Technology
- 3.0 to 9.0 V Supply Range
- On– or Off–Chip Reference Oscillator Operation
- Lock Detect Signal
- ÷ N Counter Output Available
- Single Modulus/Parallel Programming
- 8 User–Selectable ÷ R Values: 8, 128, 256, 512, 1024, 2048, 2410, 8192
- ÷ N Range = 3 to 16383
- "Linearized" Digital Phase Detector Enhances Transfer Function Linearity
- Two Error Signal Options: Single–Ended (Three–State) or Double–Ended
- Chip Complexity: 8000 FETs or 2000 Equivalent Gates

P SUFFIX
PLASTIC DIP
CASE 710

DW SUFFIX
SOG PACKAGE
CASE 751F

ORDERING INFORMATION

MC145151P2	Plastic DIP
MC145151DW2	SOG Package

PIN ASSIGNMENT

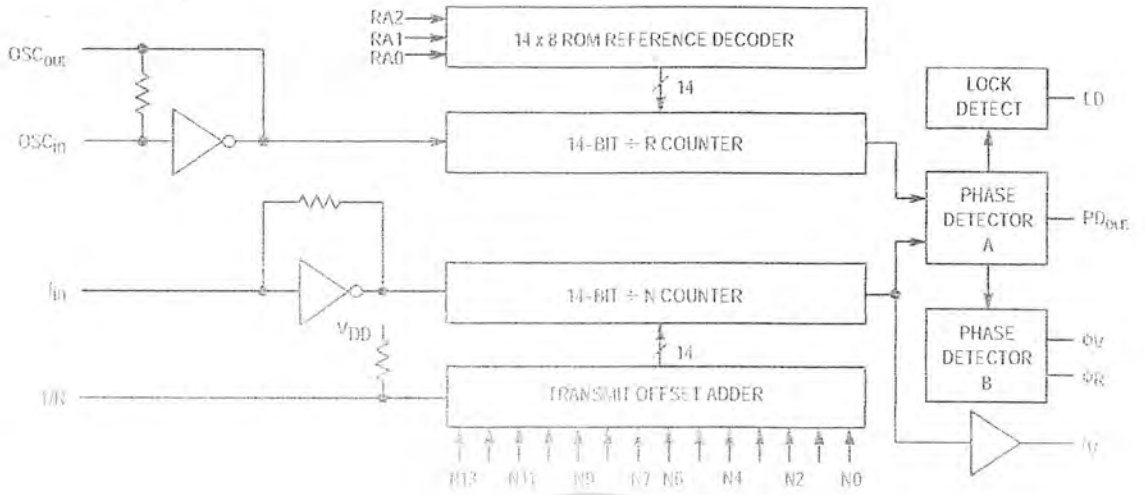
REV 1
8/95

© Motorola, Inc. 1995

MOTOROLA

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

MC145151–2 BLOCK DIAGRAM



NOTE: N0 – N13 inputs and inputs RA0, RA1, and RA2 have pull–up resistors that are not shown.

PIN DESCRIPTIONS

INPUT PINS

f_{in}
Frequency Input (Pin 1)

Input to the ÷ N portion of the synthesizer. f_{in} is typically derived from loop VCO and is ac coupled into the device. For larger amplitude signals (standard CMOS logic levels) dc coupling may be used.

RA0 – RA2
Reference Address Inputs (Pins 3, 5, 6)

These three inputs establish a code defining one of eight possible divide values for the total reference divider, as defined by the table below.

Pull–up resistors ensure that inputs left open remain at a logic 1 and require only a SPST switch to alter data to the zero state.

Reference Address Code			Total Divide Value
RA2	RA1	RA0	
0	0	0	8
0	0	1	128
0	1	0	256
0	1	1	512
1	0	0	1024
1	0	1	2048
1	1	0	2410
1	1	1	8192

N0 – N11
N Counter Programming Inputs (Pins 11 – 20, 22 – 25)

These inputs provide the data that is preset into the ÷ N counter when it reaches the count of zero. N0 is the least significant and N13 is the most significant. Pull–up resistors ensure that inputs left open remain at a logic 1 and require only an SPST switch to alter data to the zero state.

T/R
Transmit/Receive Offset Adder Input (Pin 21)

This input controls the offset added to the data provided at the N inputs. This is normally used for offsetting the VCO frequency by an amount equal to the IF frequency of the transceiver. This offset is fixed at 856 when T/R is low and gives no offset when T/R is high. A pull–up resistor ensures that no connection will appear as a logic 1 causing no offset condition.

OSC_{in}, OSC_{out}
Reference Oscillator Input/Output (Pins 27, 26)

These pins form an on–chip reference oscillator when connected to terminals of an external parallel resonant crystal. Frequency setting capacitors of appropriate value must be connected from OSC_{in} to ground and OSC_{out} to ground. OSC_{in} may also serve as the input for an externally–generated reference signal. This signal is typically ac coupled to OSC_{in}, but for larger amplitude signals (standard CMOS logic levels) dc coupling may also be used. In the external reference mode, no connection is required to OSC_{out}.

OUTPUT PINS

PD_{out}
Phase Detector A Output (Pin 4)

Three–state output of phase detector for use as loop–error signal. Double–ended outputs are also available for this purpose (see ϕ_V and ϕ_R).

Frequency $f_V > f_R$ or f_V Leading: Negative Pulses
Frequency $f_V < f_R$ or f_V Lagging: Positive Pulses
Frequency $f_V = f_R$ and Phase Coincidence: High–Impedance State

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ϕ_R, ϕ_V
Phase Detector B Outputs (Pins 8, 9)

These phase detector outputs can be combined externally for a loop–error signal. A single–ended output is also available for this purpose (see PD_{out}).

If frequency f_V is greater than f_R or if the phase of f_V is leading, then error information is provided by ϕ_V pulsing low. ϕ_R remains essentially high.

If the frequency f_V is less than f_R or if the phase of f_V is lagging, then error information is provided by ϕ_R pulsing low. ϕ_V remains essentially high.

If the frequency of $f_V = f_R$ and both are in phase, then both ϕ_V and ϕ_R remain high except for a small minimum time period when both pulse low in phase.

f_V
N Counter Output (Pin 10)

This is the buffered output of the ÷ N counter that is internally connected to the phase detector input. With this output available, the ÷ N counter can be used independently.

LD
Lock Detector Output (Pin 28)

Essentially a high level when loop is locked (f_R, f_V of same phase and frequency). Pulses low when loop is out of lock.

POWER SUPPLY

V_{DD}
Positive Power Supply (Pin 3)

The positive power supply potential. This pin may range from + 3 to + 9 V with respect to V_{SS}.

V_{SS}
Negative Power Supply (Pin 2)

The most negative supply potential. This pin is usually ground.

TYPICAL APPLICATIONS

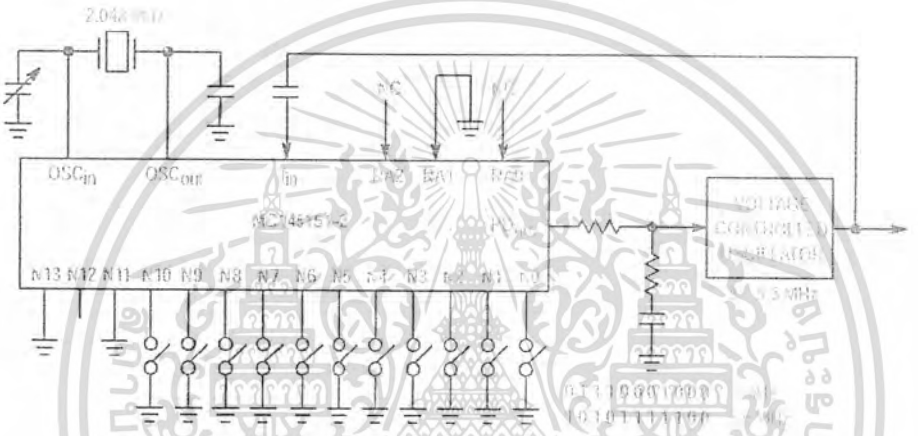
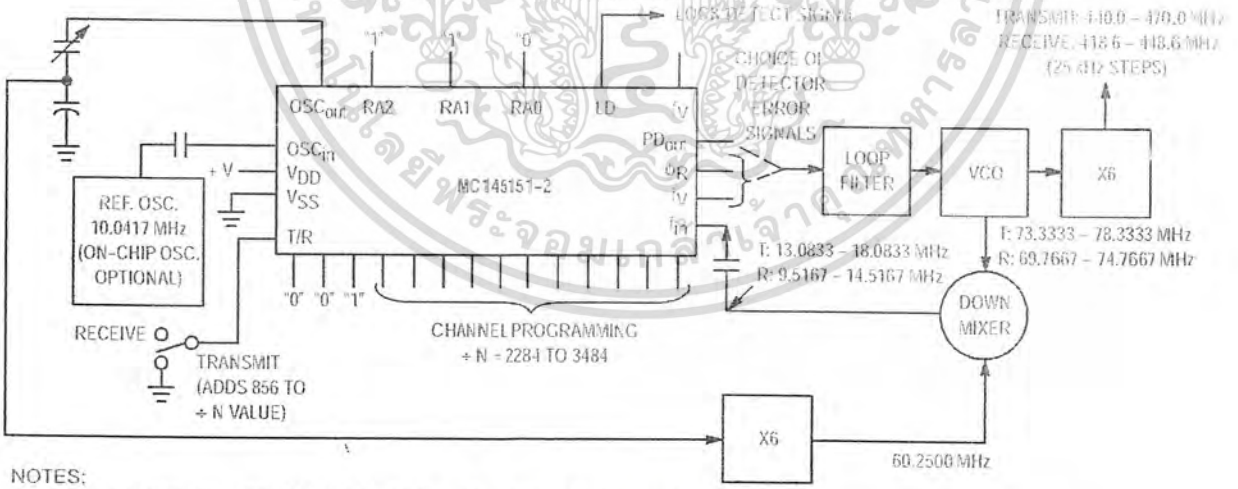


Figure 1. 5 MHz to 5.5 MHz Local Oscillator Channel Spacing = [illegible] kHz



NOTES:
1. f_R = 4.1667 kHz; ÷ R = 2410; 21.4 MHz low side injection during receive.
2. Frequency values shown are for the 440 – 470 MHz band. Similar implementation applies to the 406 – 440 MHz band. For 470 – 512 MHz, consider reference oscillator frequency X9 for mixer injection signal (90.3750 MHz).

Figure 2. Synthesizer for Land Mobile Radio UHF Bands

MC145151–2 Data Sheet Continued on Page 15

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

MAXIMUM RATINGS* (Voltages Referenced to V_{SS})

Symbol	Parameter	Value	Unit
V_{DD}	DC Supply Voltage	– 0.5 to + 10.0	V
V_{in}, V_{out}	Input or Output Voltage (DC or Transient) except SW1, SW2	– 0.5 to V_{DD} + 0.5	V
V_{out}	Output Voltage (DC or Transient), SW1, SW2 ($R_{pull-up}$ = 4.7 kΩ)	– 0.5 to + 15	V
I_{in}, I_{out}	Input or Output Current (DC or Transient), per Pin	± 10	mA
I_{DD}, I_{SS}	Supply Current, V_{DD} or V_{SS} Pins	± 30	mA
P_D	Power Dissipation, per Package†	500	mW
T_{stg}	Storage Temperature	– 65 to + 150	°C
T_L	Lead Temperature, 1 mm from Case for 10 seconds	260	°C

*Maximum Ratings are those values beyond which damage to the device may occur. Functional operation should be restricted to the limits in the Electrical Characteristics tables or Pin Descriptions section.

†Power Dissipation Temperature Derating:
Plastic "P" Package: – 12 mW/°C from 65° to 85°C
SOG Package: – 7 mW/°C from 65° to 85°C

These devices contain protection circuitry to protect against damage due to high static voltages or electric fields. However, precautions must be taken to avoid applications of any voltage higher than maximum rated voltages to these high–impedance circuits. For proper operation, V_{in} and V_{out} should be constrained to the range $V_{SS} \le (V_{in}$ or $V_{out}) \le V_{DD}$ except for SW1 and SW2.

SW1 and SW2 can be tied through external resistors to voltages as high as 15 V, independent of the supply voltage.

Unused inputs must always be tied to an appropriate logic voltage level (e.g., either V_{SS} or V_{DD}), except for inputs with pull–up devices. Unused outputs must be left open.

ELECTRICAL CHARACTERISTICS (Voltages Referenced to V_{SS})

Symbol	Parameter	Test Conditions	V_{DD}	– 40°C Min	– 40°C Max	25°C Min	25°C Max	85°C Min	85°C Max	Unit
V_{DD}	Power Supply Voltage Range	—	—	3	9	3	9	3	9	V
I_{SS}	Dynamic Supply Current	f_{in} = OSC_{in} = 10 MHz, 50% duty cycle square wave, C_L = 15 pF, T_A = 25°C, N = 12	3	—	3.5	—	3	—	3	mA
			5	—	10	—	7.5	—	7.5	
			9	—	30	—	24	—	24	
I_{SS}	Quiescent Supply Current (not including pull–up current component)	V_{in} = V_{DD} or V_{SS}, I_{out} = 0 μA	3	—	800	—	800	—	1600	μA
			5	—	1200	—	1200	—	2400	
			9	—	1600	—	1600	—	3200	
V_{in}	Input Voltage — f_{in}, OSC_{in}	Input ac coupled sine wave	—	500	—	500	—	500	—	mV p–p
V_{IL}	Low–Level Input Voltage — f_{in}, OSC_{in}	V_{out} = 2.1 V, Input dc coupled, V_{out} = 3.5 V, V_{out} = 5.3 V, square wave	3	—	0	—	0	—	0	V
			5	—	0	—	0	—	0	
			9	—	0	—	0	—	0	
V_{IH}	High–Level Input Voltage — f_{in}, OSC_{in}	V_{out} = 0.9 V, Input dc coupled, V_{out} = 1.5 V, V_{out} = 2.7 V, square wave	3	3.0	—	3.0	—	3.0	—	V
			5	5.0	—	5.0	—	5.0	—	
			9	9.0	—	9.0	—	9.0	—	
V_{IL}	Low–Level Input Voltage — except f_{in}, OSC_{in}		3	—	0.9	—	0.9	—	0.9	V
			5	—	1.5	—	1.5	—	1.5	
			9	—	2.7	—	2.7	—	2.7	
V_{IH}	High–Level Input Voltage — except f_{in}, OSC_{in}		3	2.1	—	2.1	—	2.1	—	V
			5	3.5	—	3.5	—	3.5	—	
			9	6.3	—	6.3	—	6.3	—	
I_{in}	Input Current (f_{in}, OSC_{in})	V_{in} = V_{DD} or V_{SS}	9	± 2	± 50	± 2	± 25	± 2	± 22	μA
I_{IL}	Input Leakage Current (Data, CLK, ENB — without pull–ups)	V_{in} = V_{SS}	9	—	– 0.3	—	– 0.1	—	– 1.0	μA
I_{IH}	Input Leakage Current (all inputs except f_{in}, OSC_{in})	V_{in} = V_{DD}	9	—	0.3	—	0.1	—	1.0	μA

(continued)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

DC ELECTRICAL CHARACTERISTICS (continued)

Symbol	Parameter	Test Condition	V_{DD} V	− 40°C		25°C		85°C		Unit
				Min	Max	Min	Max	Min	Max	
I_{IL}	Pull–up Current (all inputs with pull–ups)	$V_{in} = V_{SS}$	9	− 20	− 400	− 20	− 200	− 20	− 170	µA
C_{in}	Input Capacitance		—	—	10	—	10	—	10	pF
V_{OL}	Low–Level Output Voltage — OSC_{out}	I_{out} = 0 µA $V_{in} = V_{DD}$	3 5 9	— — —	0.9 1.5 2.7	— — —	0.9 1.5 2.7	— — —	0.9 1.5 2.7	V
V_{OH}	High–Level Output Voltage — OSC_{out}	I_{out} = 0 µA $V_{in} = V_{SS}$	3 5 9	2.1 3.5 6.3	— — —	2.1 3.5 6.3	— — —	2.1 3.5 6.3	— — —	V
V_{OL}	Low–Level Output Voltage — Other Outputs	I_{out} = 0 µA	3 5 9	— — —	0.05 0.05 0.05	— — —	0.05 0.05 0.05	— — —	0.05 0.05 0.05	V
V_{OH}	High–Level Output Voltage — Other Outputs	I_{out} = 0 µA	3 5 9	2.95 4.95 8.95	— — —	2.95 4.95 8.95	— — —	2.95 4.95 8.95	— — —	V
$V_{(BR)DSS}$	Drain–to–Source Breakdown Voltage — SW1, SW2	$R_{pull-up}$ = 4.7 kΩ	—	15	—	15	—	15	—	V
I_{OL}	Low–Level Sinking Current — MC	V_{out} = 0.3 V V_{out} = 0.4 V V_{out} = 0.5 V	3 5 9	1.30 1.90 3.80	— — —	1.10 1.70 3.30	— — —	0.66 1.08 2.10	— — —	mA
I_{OH}	High–Level Sourcing Current — MC	V_{out} = 2.7 V V_{out} = 4.6 V V_{out} = 8.5 V	3 5 9	− 0.65 − 0.90 − 1.50	— — —	− 0.50 − 0.75 − 1.25	— — —	− 0.30 − 0.50 − 0.80	— — —	mA
I_{OL}	Low–Level Sinking Current — LD	V_{out} = 0.3 V V_{out} = 0.4 V V_{out} = 0.5 V	3 5 9	0.25 0.64 1.30	— — —	0.20 0.51 1.00	— — —	0.15 0.36 0.70	— — —	mA
I_{OH}	High–Level Sourcing Current — LD	V_{out} = 2.7 V V_{out} = 4.6 V V_{out} = 8.5 V	3 5 9	− 0.25 − 0.64 − 1.30	— — —	− 0.20 − 0.51 − 1.00	— — —	− 0.15 − 0.36 − 0.70	— — —	mA
I_{OL}	Low–Level Sinking Current — SW1, SW2	V_{out} = 0.3 V V_{out} = 0.4 V V_{out} = 0.5 V	3 5 9	0.80 1.50 3.50	— — —	0.48 0.90 2.10	— — —	0.24 0.45 1.05	— — —	mA
I_{OL}	Low–Level Sinking Current — Other Outputs	V_{out} = 0.3 V V_{out} = 0.4 V V_{out} = 0.5 V	3 5 9	0.44 0.64 1.30	— — —	0.35 0.51 1.00	— — —	0.22 0.36 0.70	— — —	mA
I_{OH}	High–Level Sourcing Current — Other Outputs	V_{out} = 2.7 V V_{out} = 4.6 V V_{out} = 8.5 V	3 5 9	− 0.44 − 0.64 − 1.30	— — —	− 0.35 − 0.51 − 1.00	— — —	− 0.22 − 0.36 − 0.70	— — —	mA
I_{OZ}	Output Leakage Current — PD_{out}	$V_{out} = V_{DD}$ or V_{SS} Output in Off State	9	—	± 0.3	—	± 0.1	—	± 1.0	µA
I_{OZ}	Output Leakage Current — SW1, SW2	$V_{out} = V_{DD}$ or V_{SS} Output in Off State	9	—	± 0.3	—	± 0.1	—	± 3.0	µA
C_{out}	Output Capacitance — PD_{out}	PD_{out} — Three–State	—	—	10	—	10	—	10	pF

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

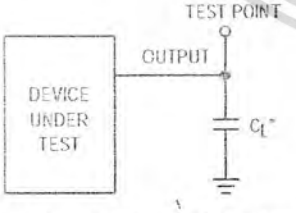
AC ELECTRICAL CHARACTERISTICS (C_L = 50 pF, Input $t_r = t_f$ = 10 ns)

Symbol	Parameter	V_{DD} V	Guaranteed Limit 25°C	Guaranteed Limit – 40 to 85°C	Unit
t_{PLH}, t_{PHL}	Maximum Propagation Delay, f_{in} to MC (Figures 1 and 4)	3 5 9	110 60 35	120 70 40	ns
t_{PHL}	Maximum Propagation Delay, ENB to SW1, SW2 (Figures 1 and 5)	3 5 9	160 80 50	180 95 60	ns
t_W	Output Pulse Width, ϕ_R, ϕ_V, and LD with f_R in Phase with f_V (Figures 2 and 4)	3 5 9	25 to 200 20 to 100 10 to 70	25 to 260 20 to 125 10 to 80	ns
t_{TLH}	Maximum Output Transition Time, MC (Figures 3 and 4)	3 5 9	115 60 40	115 75 60	ns
t_{THL}	Maximum Output Transition Time, MC (Figures 3 and 4)	3 5 9	60 34 30	70 45 38	ns
t_{TLH}, t_{THL}	Maximum Output Transition Time, LD (Figures 3 and 4)	3 5 9	180 90 70	200 120 90	ns
t_{TLH}, t_{THL}	Maximum Output Transition Time, Other Outputs (Figures 3 and 4)	3 5 9	160 80 60	175 100 65	ns

SWITCHING WAVEFORMS

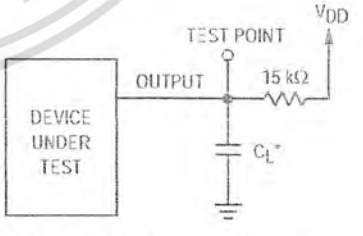
Figure 1. Figure 2.

Figure 3.



* Includes all probe and fixture capacitance.

Figure 4. Test Circuit



* Includes all probe and fixture capacitance.

Figure 5. Test Circuit

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

TIMING REQUIREMENTS (Input $t_r = t_f = 10$ ns unless otherwise indicated)

Symbol	Parameter	V_{DD} V	Guaranteed Limit 25°C	Guaranteed Limit −40 to 85°C	Unit
f_{clk}	Serial Data Clock Frequency, Assuming 25% Duty Cycle. NOTE: Refer to CLK $t_{w(H)}$ below (Figure 6)	3 5 9	dc to 5.0 dc to 7.1 dc to 10	dc to 3.5 dc to 7.1 dc to 10	MHz
t_{su}	Minimum Setup Time, Data to CLK (Figure 7)	3 5 9	30 20 18	30 20 18	ns
t_h	Minimum Hold Time, CLK to Data (Figure 7)	3 5 9	40 20 15	40 20 15	ns
t_{su}	Minimum Setup Time, CLK to ENB (Figure 7)	3 5 9	70 32 25	70 32 25	ns
t_{rec}	Minimum Recovery Time, ENB to CLK (Figure 7)	3 5 9	5 10 20	5 10 20	ns
$t_{w(H)}$	Minimum Pulse Width, CLK and ENB (Figure 6)	3 5 9	50 35 25	70 35 25	ns
t_r, t_f	Maximum Input Rise and Fall Times — Any Input (Figure 8)	3 5 9	5 4 2	5 4 2	μs

Figure 7.

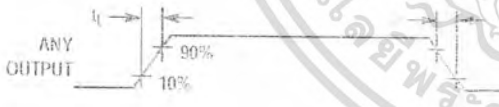


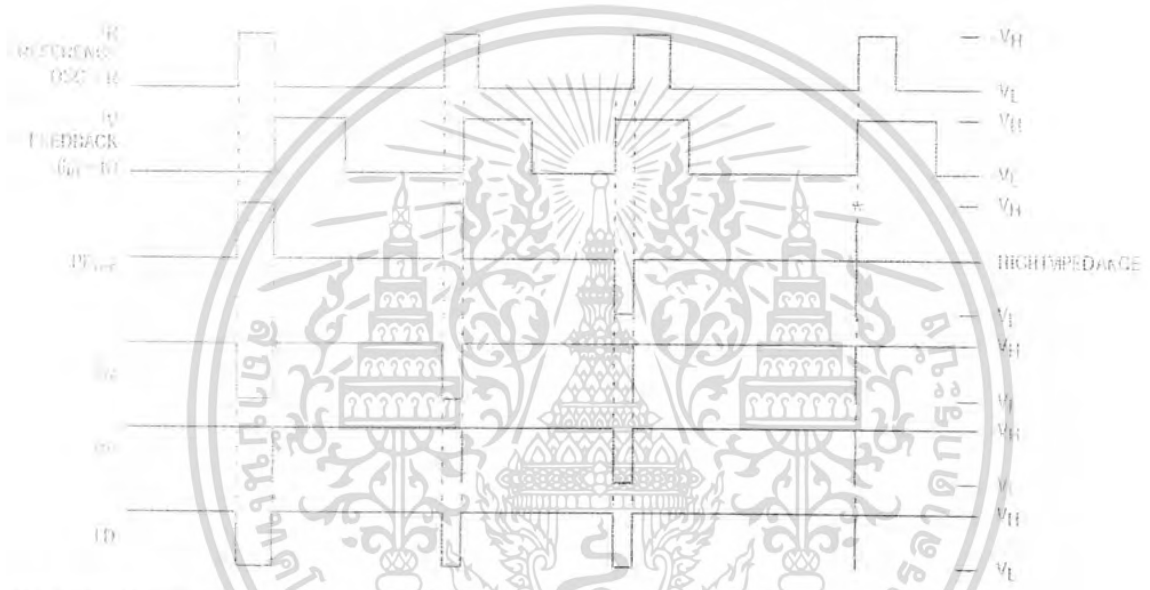
Figure 8.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

FREQUENCY CHARACTERISTICS (Voltages References to V_{SS}, C_L = 50 pF, Input $t_r = t_f$ = 10 ns unless otherwise indicated)

Symbol	Parameter	Test Condition	V_{DD} V	– 40°C		25°C		85°C		Unit
				Min	Max	Min	Max	Min	Max	
f_i	Input Frequency (f_{in}, OSC_{in})	R ≥ 8, A ≥ 0, N ≥ 8 V_{in} = 500 mV p–p ac coupled sine wave	3 5 9	— — —	6 15 15	— — —	6 15 15	— — —	6 15 15	MHz
		R ≥ 8, A ≥ 0, N ≥ 8 V_{in} = 1 V p–p ac coupled sine wave	3 5 9	— — —	12 22 25	— — —	12 20 22	— — —	7 20 22	MHz
		R ≥ 8, A ≥ 0, N ≥ 8 V_{in} = V_{DD} to V_{SS} dc coupled square wave	3 5 9	— — —	13 25 25	— — —	12 22 25	— — —	8 22 25	MHz

NOTE: Usually, the PLL's propagation delay from f_{in} to MC plus the setup time of the prescaler determines the upper frequency limit of the system. The upper frequency limit is found with the following formula: $f = P / (t_p + t_{set})$ where f is the upper frequency in Hz, P is the lower of the dual modulus prescaler ratios, t_p is the f_{in} to MC propagation delay in seconds, and t_{set} is the prescaler setup time in seconds. For example, with a 5 V supply, the f_{in} to MC delay is 70 ns. If the MC12028A prescaler is used, the setup time is 16 ns. Thus, if the 64/65 prescaler is utilized, the upper frequency limit is $f = P / (t_p + t_{set}) = 64/(70 + 16) = 744$ MHz.



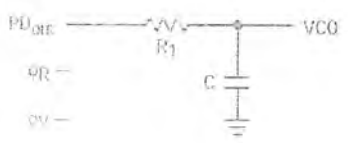
V_H = High Voltage Level
V_L = Low Voltage Level
* At this point, when both f_R and f_V are in phase, the output is forced to near mid–supply.
NOTE: The PD_{out} generates error pulses during out–of–lock conditions. When locked in phase and frequency the output is high and the voltage at this pin is determined by the low–pass filter capacitor.

Figure 9. Phase Detector/Lock Detector Output Waveforms

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

DESIGN CONSIDERATIONS

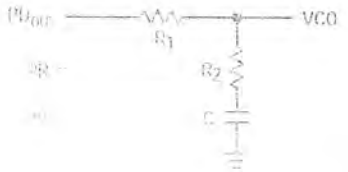
PHASE–LOCKED LOOP — LOW–PASS FILTER DESIGN

A) 

$$\omega_n = \sqrt{\frac{K_\phi K_{VCO}}{NR_1C}}$$

$$\zeta = \frac{R_1\omega_n}{2K_\phi K_{VCO}}$$

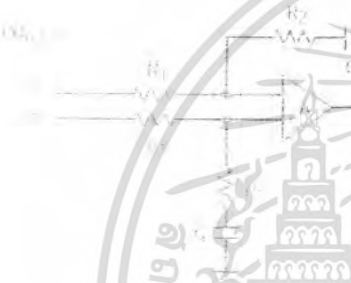
$$F(s) = \frac{1}{R_1Cs + 1}$$

B) 

$$\omega_n = \sqrt{\frac{K_\phi K_{VCO}}{NC(R_1 + R_2)}}$$

$$\zeta = 0.5\omega_n\left(R_2C + \frac{N}{K_\phi K_{VCO}}\right)$$

$$F(s) = \frac{R_2Cs + 1}{(R_1 + R_2)Cs + 1}$$

C) 

$$\omega_n = \sqrt{\frac{K_\phi K_{VCO}}{NCR_1}}$$

$$\zeta = \frac{R_2C}{2}\sqrt{\frac{K_\phi K_{VCO}}{NCR_1}}$$

ASSUMING GAIN A IS VERY LARGE, THEN:

$$F(s) = \frac{R_2Cs + 1}{R_2Cs}$$

NOTE: Sometimes R_1 is split into 2 series resistors, each $R_1 = \frac{R_1}{2}$. A capacitor, C_C is then placed from the midpoint to ground to further filter ϕ_V and ϕ_R. The value of C_C should be such that the time constant of this network does not significantly affect ω_n. The ϕ_R and ϕ_V outputs swing rail–to–rail. Therefore, the user should be careful not to exceed the common mode input range of the op amp used in the combiner/loop filter.

DEFINITIONS:

N = Total Division Ratio in feedback loop

K_ϕ (Phase Detector Gain) = $V_{DD}/4\pi$ for PD_{out}

K_ϕ (Phase Detector Gain) = $V_{DD}/2\pi$ for ϕ_V and ϕ_R

K_{VCO} (VCO Gain) = $\frac{2\pi\Delta f_{VCO}}{\Delta V_{VCO}}$

for a typical design ω_n (Natural Frequency) = $\frac{2\pi f_r}{10}$ (at phase detector input).

Damping Factor, $\zeta = 1$

RECOMMENDED READING:

Gardner, Floyd M., *Phaselock Techniques (second edition)*. New York, Wiley–Interscience, 1979.

Manassewitsch, Vadim, *Frequency Synthesizers: Theory and Design (second edition)*. New York, Wiley–Interscience, 1980.

Blanchard, Alain, *Phase–Locked Loops: Application to Coherent Receiver Design*. New York, Wiley–Interscience, 1976.

Egan, William F., *Frequency Synthesis by Phase Lock*. New York, Wiley–Interscience, 1981.

Rohde, Ulrich L., *Digital PLL Frequency Synthesizers Theory and Design*. Englewood Cliffs, NJ. Prentice–Hall, 1983.

Berlin, Howard M., *Design of Phase–Locked Loop Circuits, with Experiments*. Indianapolis, Howard W. Sams and Co., 1978.

Kinley, Harold, *The PLL Synthesizer Cookbook*. Blue Ridge Summit, PA, Tab Books, 1980.

AN535, Phase–Locked Loop Design Fundamentals, Motorola Semiconductor Products, Inc., 1970.

AR254, Phase–Locked Loop Design Articles, Motorola Semiconductor Products, Inc., Reprinted with permission from *Electronic Design*, 1987.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

CRYSTAL OSCILLATOR CONSIDERATIONS

The following options may be considered to provide a reference frequency to Motorola's CMOS frequency synthesizers.

Use of a Hybrid Crystal Oscillator

Commercially available temperature–compensated crystal oscillators (TCXOs) or crystal–controlled data clock oscillators provide very stable reference frequencies. An oscillator capable of sinking and sourcing 50 µA at CMOS logic levels may be direct or dc coupled to OSC_{in}. In general, the highest frequency capability is obtained utilizing a direct–coupled square wave having a rail–to–rail (V_{DD} to V_{SS}) voltage swing. If the oscillator does not have CMOS logic levels on the outputs, capacitive or ac coupling to OSC_{in} may be used. OSC_{out}, an unbuffered output, should be left floating.

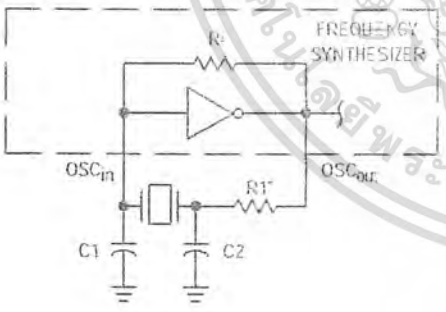
For additional information about TCXOs and data clock oscillators, please consult the latest version of the *eem Electronic Engineers Master Catalog*, the *Gold Book*, or similar publications.

Design an Off–Chip Reference

The user may design an off–chip crystal oscillator using ICs specifically developed for crystal oscillator applications, such as the MC12061 MECL device. The reference signal from the MECL device is ac coupled to OSC_{in}. For large amplitude signals (standard CMOS logic levels), dc coupling is used. OSC_{out}, an unbuffered output, should be left floating. In general, the highest frequency capability is obtained with a direct–coupled square wave having rail–to–rail voltage swing.

Use of the On–Chip Oscillator Circuitry

The on–chip amplifier (a digital inverter) along with an appropriate crystal may be used to provide a reference source frequency. A fundamental mode crystal, parallel resonant at the desired operating frequency, should be connected as shown in Figure 10.



* May be deleted in certain cases. See text.

Figure 10. Pierce Crystal Oscillator Circuit

For V_{DD} = 5.0 V, the crystal should be specified for a loading capacitance, C_L, which does not exceed 32 pF for frequencies to approximately 8.0 MHz, 20 pF for frequencies in the area of 8.0 to 15 MHz, and 10 pF for higher frequencies. These are guidelines that provide a reasonable compromise between IC capacitance, drive capability, swamping variations in stray and IC input/output capacitance, and realistic C_L values. The shunt load capacitance, C_L, presented across the crystal can be estimated to be:

$$C_L = \frac{C_{in}C_{out}}{C_{in} + C_{out}} + C_a + C_o + \frac{C1 \cdot C2}{C1 + C2}$$

where

C_{in} = 5 pF (see Figure 11)
C_{out} = 6 pF (see Figure 11)
C_a = 1 pF (see Figure 11)
C_O = the crystal's holder capacitance (see Figure 12)
C1 and C2 = external capacitors (see Figure 10)

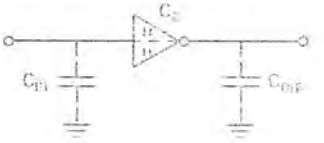


Figure 11. Parasitic Capacitances of the Amplifier

NOTE: Values are supplied by crystal manufacturer. Typical parallel resonant crystal.

Figure 12. Equivalent Crystal Networks

The oscillator can be "trimmed" on–frequency by making a portion or all of C1 variable. The crystal and associated components must be located as close as possible to the OSC_{in} and OSC_{out} pins to minimize distortion, stray capacitance, stray inductance, and startup stabilization time. In some cases, stray capacitance should be added to the value for C_{in} and C_{out}.

Power is dissipated in the effective series resistance of the crystal, R_e, in Figure 12. The drive level specified by the crystal manufacturer is the maximum stress that a crystal can withstand without damage or excessive shift in frequency. R1 in Figure 10 limits the drive level. The use of R1 may not be necessary in some cases (i.e., R1 = 0 Ω).

To verify that the maximum dc supply voltage does not overdrive the crystal, monitor the output frequency as a function of voltage at OSC_{out}. (Care should be taken to minimize loading.) The frequency should increase very slightly as the dc supply voltage is increased. An overdriven crystal will decrease in frequency or become unstable with an increase in supply voltage. The operating supply voltage must be reduced or R1 must be increased in value if the overdriven condition exists. The user should note that the oscillator start–up time is proportional to the value of R1.

Through the process of supplying crystals for use with CMOS inverters, many crystal manufacturers have developed expertise in CMOS oscillator design with crystals. Discussions with such manufacturers can prove very helpful (see Table 1).

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Table 1. Partial List of Crystal Manufacturers

Motorola — Internet Address: *http://motorola.com* (Search for resonators)
United States Crystal Corp.
Crystek Crystal
Statek Corp.
Fox Electronics

NOTE: Motorola cannot recommend one supplier over another and in no way suggests that this is a complete listing of crystal manufacturers.

RECOMMENDED READING

Technical Note TN–24, Statek Corp.

Technical Note TN–7, Statek Corp.

E. Hafner, "The Piezoelectric Crystal Unit – Definitions and Method of Measurement", *Proc. IEEE*, Vol. 57, No. 2 Feb., 1969.

E. Kemper, L. Rosine, "Quartz Crystals for Frequency Control", *Electro-Technology*, June, 1968.

P. J. Ottowitz, "A Guide to Crystal Selection", *Electronic Design*, May, 1966.

DUAL–MODULUS PRESCALING

OVERVIEW

The technique of dual–modulus prescaling is well established as a method of achieving high performance frequency synthesizer operation at high frequencies. Basically, the approach allows relatively low–frequency programmable counters to be used as high–frequency programmable counters with speed capability of several hundred MHz. This is possible without the sacrifice in system resolution and performance that results if a fixed (single–modulus) divide–by is used for the prescaler.

In dual–modulus prescaling, the lower speed counters must be uniquely configured. Special control logic is necessary to select the divide value P or P + 1 in the prescaler for the required amount of time (see modulus control definition). Motorola's dual–modulus frequency synthesizers contain this feature and can be used with a variety of dual–modulus prescalers to allow speed, complexity and cost to be tailored to the system requirements. Prescalers having P, P + 1 divide values in the range of ÷ 3/÷ 4 to ÷ 128/÷ 129 can be controlled by most Motorola frequency synthesizers.

Several dual–modulus prescaler approaches suitable for use with the MC145152–2, MC145156–2, or MC145158–2 are:

MC12009	÷ 5/÷ 6	440 MHz
MC12011	÷ 8/÷ 9	500 MHz
MC12013	÷ 10/÷ 11	500 MHz
MC12015	÷ 32/÷ 33	225 MHz
MC12016	÷ 40/÷ 41	225 MHz
MC12017	÷ 64/÷ 65	225 MHz
MC12018	÷ 128/÷ 129	520 MHz
MC12028A	÷ 32/33 or ÷ 64/65	1.1 GHz
MC12052A	÷ 64/65 or ÷ 128/129	1.1 GHz
MC12054A	÷ 64/65 or ÷ 128/129	2.0 GHz

DESIGN GUIDELINES

The system total divide value, N_{total} (N_T) will be dictated by the application:

$$N_T = \frac{\text{frequency into the prescaler}}{\text{frequency into the phase detector}} = N \cdot P + A$$

N is the number programmed into the ÷ N counter, A is the number programmed into the ÷ A counter, P and P + 1 are the two selectable divide ratios available in the dual–modulus prescalers. To have a range of N_T values in sequence, the ÷ A counter is programmed from zero through P – 1 for a particular value N in the ÷ N counter. N is then incremented to N + 1 and the ÷ A is sequenced from 0 through P – 1 again.

There are minimum and maximum values that can be achieved for N_T. These values are a function of P and the size of the ÷ N and ÷ A counters.

The constraint N ≥ A always applies. If $A_{max} = P - 1$, then $N_{min} \geq P - 1$. Then $N_{Tmin} = (P - 1) P + A$ or $(P - 1) P$ since A is free to assume the value of 0.

$$N_{Tmax} = N_{max} \cdot P + A_{max}$$

To maximize system frequency capability, the dual–modulus prescaler output must go from low to high after each group of P or P + 1 input cycles. The prescaler should divide by P when its modulus control line is high and by P + 1 when its MC is low.

For the maximum frequency into the prescaler (f_{VCOmax}), the value used for P must be large enough such that:

1. f_{VCOmax} divided by P may not exceed the frequency capability of f_{in} (input to the ÷ N and ÷ A counters).
2. The period of f_{VCO} divided by P must be greater than the sum of the times:
   a. Propagation delay through the dual–modulus prescaler.
   b. Prescaler setup or release time relative to its MC signal.
   c. Propagation time from f_{in} to the MC output for the frequency synthesizer device.

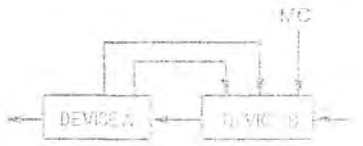
A sometimes useful simplification in the programming code can be achieved by choosing the values for P of 8, 16, 32, or 64. For these cases, the desired value of N_T results when N_T in binary is used as the program code to the ÷ N and ÷ A counters treated in the following manner:

1. Assume the ÷ A counter contains "a" bits where $2^a \geq P$.
2. Always program all higher order ÷ A counter bits above "a" to 0.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3. Assume the ÷ N counter and the ÷ A counter (with all the higher order bits above "a" ignored) combined into a single binary counter of n + a bits in length (n = number of divider stages in the ÷ N counter). The MSB of this "hypothetical" counter is to correspond to the MSB of ÷ N and the LSB is to correspond to the LSB of ÷ A. The system divide value, N_T, now results when the value of N_T in binary is used to program the "new" n + a bit counter.

By using the two devices, several dual–modulus values are achievable (shown in Figure 13).



DEVICE A \ DEVICE B	MC12009	MC12011	MC12013
MC10131	÷ 20/÷ 21	÷ 32/÷ 33	÷ 40/÷ 41
MC10136	÷ 50/÷ 51	÷ 80/÷ 81	÷ 100/÷ 101

NOTE: MC12009, MC12011, and MC12013 are pin equivalent.
MC12015, MC12016, and MC12017 are pin equivalent.

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Order this document by MC1496/D

MOTOROLA

MC1496, B

Balanced Modulators/ Demodulators

These devices were designed for use where the output voltage is a product of an input voltage (signal) and a switching function (carrier). Typical applications include suppressed carrier and amplitude modulation, synchronous detection, FM detection, phase detection, and chopper applications. See Motorola Application Note AN531 for additional design information.

- Excellent Carrier Suppression –65 dB typ @ 0.5 MHz
  –50 dB typ @ 10 MHz
- Adjustable Gain and Signal Handling
- Balanced Inputs and Outputs
- High Common Mode Rejection –85 dB typical

This device contains 8 active transistors.

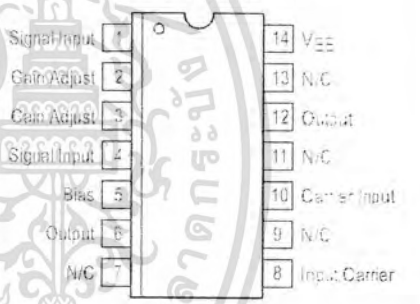
BALANCED MODULATORS/DEMODULATORS

SEMICONDUCTOR TECHNICAL DATA

D SUFFIX
PLASTIC PACKAGE
CASE 751A
(SO–14)

P SUFFIX
PLASTIC PACKAGE
CASE 646

PIN CONNECTIONS



ORDERING INFORMATION

Device	Operating Temperature Range	Package
MC1496D	T_A = 0°C to +70°C	SO–14
MC1496P		Plastic DIP
MC1496BP	T_A = –40°C to +125°C	Plastic DIP

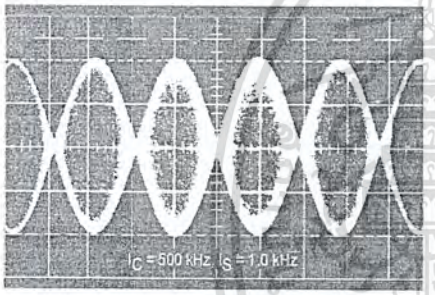


Figure 1. Suppressed Carrier Output Waveform

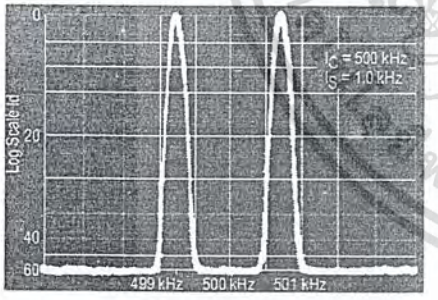


Figure 2. Suppressed Carrier Spectrum

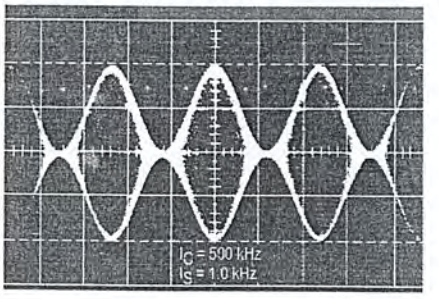
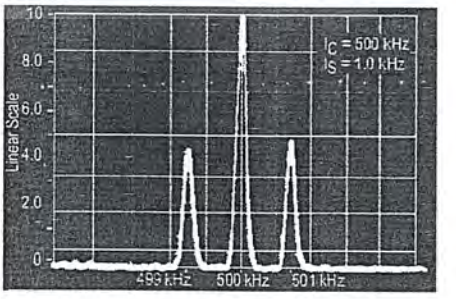


Figure 3. Amplitude Modulation Output Waveform

Figure 4. Amplitude–Modulation Spectrum



© Motorola, Inc. 1996

Rev 4

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

MAXIMUM RATINGS (T_A = 25°C, unless otherwise noted.)

Rating	Symbol	Value	Unit
Applied Voltage (V6 – V8, V10 – V1, V12 – V8, V12 – V10, V8 – V4, V8 – V1, V10 – V4, V6 – V10, V2 – V5, V3 – V5)	ΔV	30	Vdc
Differential Input Signal	V8 – V10 V4 – V1	±5.0 ±(5+15R_e)	Vdc
Maximum Bias Current	I_5	10	mA
Thermal Resistance, Junction–to–Air Plastic Dual In–Line Package	$R_{\theta JA}$	100	°C/W
Operating Temperature Range	T_A	0 to +70	°C
Storage Temperature Range	T_{stg}	–65 to +150	°C

NOTE: ESD data available upon request.

ELECTRICAL CHARACTERISTICS (V_{CC} = 12 Vdc, V_{EE} = –8.0 Vdc, I_5 = 1.0 mAdc, R_L = 3.9 kΩ, R_e = 1.0 kΩ, T_A = T_{low} to T_{high}, all input and output characteristics are single–ended, unless otherwise noted.)

Characteristic	Fig.	Note	Symbol	Min	Typ	Max	Unit
Carrier Feedthrough V_C = 60 mVrms sine wave and f_C = 1.0 kHz offset adjusted to zero f_C = 10 MHz V_C = 300 mVpp square wave offset adjusted to zero f_C = 1.0 kHz offset not adjusted f_C = 1.0 kHz	5	1	V_{CFT}		 40 140 0.04 20	 – – 0.4 200	μVrms mVrms
Carrier Suppression f_S = 10 kHz, 300 mVrms f_C = 500 kHz, 60 mVrms sine wave f_C = 10 MHz, 60 mVrms sine wave	5	–	–	40	 65 50	–	dB k
Transadmittance Bandwidth (Magnitude) R_L = 50 Ω Carrier Input Port, V_C = 60 mVrms sine wave f_S = 1.0 kHz, 300 mVrms sine wave Signal Input Port, V_S = 300 mVrms sine wave $\|V_C\|$ = 0.5 Vdc	4	–	BW		 300 80		MHz
Signal Gain (V_S = 100 mVrms, f = 1.0 kHz, $\|V_C\|$ = 0.5 Vdc)	3	2	A_{VS}	2.5	3.5	–	V/V
Single–Ended Input Impedance, Signal Port, f = 5.0 MHz Parallel Input Resistance Parallel Input Capacitance	6	–	r_{in} C_{in}		200 2.0	–	kΩ pF
Single–Ended Output Impedance, f = 10 MHz Parallel Output Resistance Parallel Output Capacitance	8	–	r_{out} C_{out}		40 5.0	–	kΩ pF
Input Bias Current $I_{bS} = \frac{I1 + I4}{2}$; $I_{bC} = \frac{I8 + I10}{2}$	7	–	I_{bS} I_{bC}		12 12	30 30	μA
Input Offset Current I_{ioS} = I1–I4; I_{ioC} = I8–I10	7	–	$\|I_{ioS}\|$ $\|I_{ioC}\|$		0.7 0.7	7.0 7.0	μA
Average Temperature Coefficient of Input Offset Current (T_A = –55°C to +125°C)	7	–	$\|TC_{Iio}\|$	–	2.0	–	nA/°C
Output Offset Current (I6–I9)	7	–	$\|I_{oo}\|$	–	14	80	μA
Average Temperature Coefficient of Output Offset Current (T_A = –55°C to +125°C)	7	–	$\|TC_{Ioo}\|$	–	90	–	nA/°C
Common–Mode Input Swing, Signal Port, f_S = 1.0 kHz	9	4	CMV	–	5.0	–	Vpp
Common–Mode Gain, Signal Port, f_S = 1.0 kHz, $\|V_C\|$ = 0.5 Vdc	9	–	ACM	–	–85	–	dB
Common–Mode Quiescent Output Voltage (Pin 6 or Pin 9)	10	–	V_{out}	–	8.0	–	Vpp
Differential Output Voltage Swing Capability	10	–	V_{out}	–	8.0	–	Vpp
Power Supply Current I6 +I12 I14	7	6	I_{CC} I_{EE}	– –	2.0 3.0	4.0 5.0	mAdc
DC Power Dissipation	7	5	P_D	–	33	–	mW

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

GENERAL OPERATING INFORMATION

Carrier Feedthrough

Carrier feedthrough is defined as the output voltage at carrier frequency with only the carrier applied (signal voltage = 0).

Carrier null is achieved by balancing the currents in the differential amplifier by means of a bias trim potentiometer (R1 of Figure 5).

Carrier Suppression

Carrier suppression is defined as the ratio of each sideband output to carrier output for the carrier and signal voltage levels specified.

Carrier suppression is very dependent on carrier input level, as shown in Figure 22. A low value of the carrier does not fully switch the upper switching devices, and results in lower signal gain, hence lower carrier suppression. A higher than optimum carrier level results in unnecessary device and circuit carrier feedthrough, which again degenerates the suppression figure. The MC1496 has been characterized with a 60 mVrms sinewave carrier input signal. This level provides optimum carrier suppression at carrier frequencies in the vicinity of 500 kHz, and is generally recommended for balanced modulator applications.

Carrier feedthrough is independent of signal level, V_S. Thus carrier suppression can be maximized by operating with large signal levels. However, a linear operating mode must be maintained in the signal-input transistor pair. Or harmonics of the modulating signal will be generated and appear in the device output as spurious sidebands of the suppressed carrier. This requirement places an upper limit on input signal amplitude (see Figure 20). Note also that an optimum carrier level is recommended in Figure 22 for good carrier suppression and minimum spurious sideband generation.

At higher frequencies, circuit layout is very important in order to maximize carrier feedthrough. Shielding may be necessary in order to prevent capacitive coupling between the carrier input leads and the output leads.

Signal Gain and Maximum Input Level

Signal gain (single-ended) at low frequencies is defined as the voltage gain,

$$A_{VS} = \frac{V_O}{V_S} = \frac{R_L}{R_e + 2r_e} \quad \text{where } r_e = \frac{26\ \text{mV}}{I5(\text{mA})}$$

A constant dc potential is applied to the carrier input terminals to fully switch two of the upper transistors "on" and two transistors "off" (V_C = 0.5 Vdc). This in effect forms a cascode differential amplifier.

Linear operation requires that the signal input be below a critical value determined by R_E and the bias current I5.

$$V_S \leq I5\ R_E\ \text{(Volts peak)}$$

Note that in the test circuit of Figure 10, V_S corresponds to a maximum value of 1.0 V peak.

Common Mode Swing

The common-mode swing is the voltage which may be applied to both bases of the signal differential amplifier, without saturating the current sources or without saturating the differential amplifier itself by swinging it into the upper switching devices. This swing is variable depending on the particular circuit and biasing conditions chosen.

Power Dissipation

Power dissipation, P_D, within the integrated circuit package should be calculated as the summation of the voltage-current products at each port, i.e. assuming V12 = V6, I5 = I6 = I12 and ignoring base current, $P_D = 2\ I5\ (V6 - V14) + I5)\ V5 - V14$ where subscripts refer to pin numbers.

Design Equations

The following is a partial list of design equations needed to operate the circuit with other supply voltages and input conditions.

A. Operating Current

The internal bias currents are set by the conditions at Pin 5. Assume:

$$I5 = I6 = I12,$$
$$I_B << I_C \text{ for all transistors}$$

then:

$$R5 = \frac{V^- - \Phi}{I5} - 500\ \Omega$$

where: R5 is the resistor between Pin 5 and ground
Φ = 0.75 at T_A = +25°C

The MC1496 has been characterized for the condition I_5 = 1.0 mA and is the generally recommended value.

B. Common Mode Quiescent Output Voltage

$$V6 = V12 = V+ - I5\ R_L$$

C. Bias

The MC1496 requires three dc bias voltage levels which must be set externally. Guidelines for setting up these three levels include maintaining at least 2.0 V collector-base bias on all transistors while not exceeding the voltages given in the absolute maximum rating table:

$$30\ \text{Vdc} \geq [(V6, V12) - (V8, V10)] \geq 2\ \text{Vdc}$$
$$30\ \text{Vdc} \geq [(V8, V10) - (V1, V4)] \geq 2.7\ \text{Vdc}$$
$$30\ \text{Vdc} \geq [(V1, V4) - (V5)] \geq 2.7\ \text{Vdc}$$

The foregoing conditions are based on the following approximations:

$$V6 = V12,\ V8 = V10,\ V1 = V4$$

Bias currents flowing into Pins 1, 4, 8 and 10 are transistor base currents and can normally be neglected if external bias dividers are designed to carry 1.0 mA or more.

Transadmittance Bandwidth

Carrier transadmittance bandwidth is the 3.0 dB bandwidth of the device forward transadmittance as defined by:

$$Y21C = \frac{i_o\ \text{(each sideband)}}{v_s\ \text{(signal)}} \Bigg|\ V_o = 0$$

Signal transadmittance bandwidth is the 3.0 dB bandwidth of the device forward transadmittance as defined by:

$$Y21S = \frac{i_o\ \text{(signal)}}{v_s\ \text{(signal)}} \Bigg|\ V_c = 0.5\ \text{Vdc},\ V_o = 0$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Coupling and Bypass Capacitors

Capacitors C1 and C2 (Figure 5) should be selected for a reactance of less than 5.0 Ω at the carrier frequency.

Output Signal

The output signal is taken from Pins 6 and 12 either balanced or single–ended. Figure 11 shows the output levels of each of the two output sidebands resulting from variations in both the carrier and modulating signal inputs with a single–ended output connection.

Negative Supply

V_{EE} should be dc only. The insertion of an RF choke in series with V_{EE} can enhance the stability of the internal current sources.

Signal Port Stability

Under certain values of driving source impedance, oscillation may occur. In this event, an RC suppression network should be connected directly to each input using short leads. This will reduce the Q of the source–tuned circuits that cause the oscillation.

An alternate method for low–frequency applications is to insert a 1.0 kΩ resistor in series with the input (Pins 1, 4). In this case input current drift may cause serious degradation of carrier suppression.

TEST CIRCUITS

Figure 5. Carrier Rejection and Suppression

Figure 6. Input–Output Impedance

Figure 7. Bias and Offset Currents

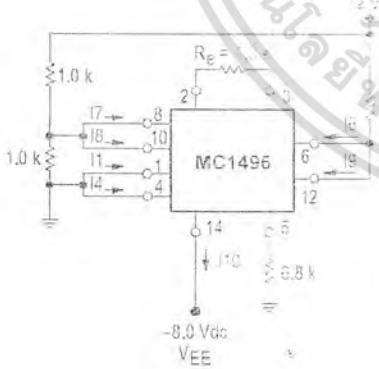
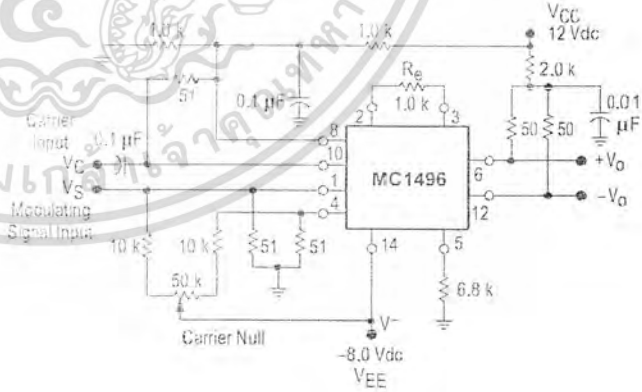


Figure 8. Transconductance Bandwidth



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

FAIRCHILD
SEMICONDUCTOR TM

MPF102

TO-92

N-Channel RF Amplifier

This device is designed for electronic switching
Applications such as low ON resistance analog switching.
Sourced from Process 50.

Absolute Maximum Ratings * TA=25 degree C unless otherwise noted

Symbol	Parameter	Value	Units
V_{DG}	Drain-Gate Voltage	25	V
V_{GS}	Gate-Source Voltage	-25	V
I_{GF}	Forward Gate Current	10	mA
T_J, T_{stg}	Operating and Storage Junction Temperature Range	-55 to + 155	degree C

* This ratings are limiting values above which the serviceability of any semiconductor device may be impaired.

NOTES :
1) These rating are based on a maximum junction temperature of 150 degrees C.
2) These are steady state limits. The factory should be consulted on applications involving pulsed or low duty cycle operations.

Thermal Characteristics TA = 25 degrees C unless otherwise noted.

Symbol	Characteristic	Max	Units
P_D	Total Device Dissipation Derate above 25 degrees C	350 2.8	mW mW/degrees C
$R_{\theta JC}$	Thermal Resistance, Junction to Case	125	degrees C/W
$R_{\theta JA}$	Thermal Resistance, Junction to Ambient	357	degrees C/W

* Device mounted on FR-4 PCB 1.5" X 1.6" X 0.06"

©1999 Fairchild Semiconductor Corporation

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

N-Channel RF Amplifier
(Continued)

Electrical Characteristics TA= 25 degrees C unless otherwise noted

Symbol	Parameter	Test Conditions	Min	Typ	Max	Units
OFF CHARACTERISTICS						
$V_{(BR)GSS}$	Gate-Source Breakdown Voltage	I_G=-1.0μA, V_{DS}=0	-25			V
I_{GSS}	Gate Reverse Current	V_{GS}=-15V,V_{DS}=0			-2.0	nA
$V_{GS(off)}$	Gate-Source Cutoff Voltage	V_{DS}=15V, ID=2nA			-8.0	V
V_{GS}	Gate-Source Voltage	V_{DS}=15V, ID=200μA	-0.5		-7.5	V
ON CHARACTERISTICS						
I_{DSS}	Zero-Gate Voltage Drain Current	V_{DS}=15V,V_{GS}=0	2.0		20	mA
gfs	Forward Transconductance	VGS= 0V,VDS=15V,f=1kHz.	2000		7500	μS
Capacitance						
C_{iss}	Common-Source Input Capacitance	V_{GS}=15V,V_{DS}=0V f=1 MHz.			7.0	pf
C_{rss}	Common-Source reverse Transfer Capacitance	V_{GS}=15V,V_{DS}=0V f=1 MHz.			3.0	pf

©1999 Fairchild Semiconductor Corporation

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้