สำนักหอสมุดกลาง พระจอมเกล้าลาดกระบัง

วงจรชดเชยความถี่ (AFC) แบบไม่สมมาตรคอร์รีเลเตอร์

AFC UNBALANCE CORRELATOR CIRCUIT

T042139

โดย

นาย สาโรจน์ ชูอำไพ รหัส 41013353

นาย สุนันท์ โคตรมุงคุณ รหัส 41013356

เลขหมู่...

เลขทะเบียน 42139

วัน, เดือน, ปี 13 พ.ค. 2545

.b...

.i...

ปริญญานิพนธ์ฉบับนี้เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรอุตสาหกรรมศาสตรบัณฑิต

สาขาวิชาเทคโนโลยีโทรคมนาคม

คณะวิศวกรรมศาสตร์

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

ปีการศึกษา 2543

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

หัวข้อปริญญานิพนธ์	วงจรชดเชยความถี่ (AFC) แบบไม่สมมาตรคอร์รีเลเตอร์ AFC Unbalance Correlator Circuit
นักศึกษา	นาย สาโรจน์ ชูอำไพ รหัส 41013353 นาย สุนันท์ โคตรมุงคุณ รหัส 41013356
อาจารย์ที่ปรึกษา	อาจารย์ ดลชัย สุขเจริญผล
ภาควิชา	เทคนิคอุตสาหกรรม
ปีการศึกษา	2543

คณะวิศวกรรมศาสตร์ สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบังอนุมัติให้ปริญญานิพนธ์ฉบับนี้เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรอุตสาหกรรมศาตรบัณฑิต

คณะกรรมการสอบปริญญานิพนธ์

..............................ประธานกรรมการ
( )

..............................กรรมการ
( )

..............................กรรมการ
( )

..............................กรรมการ
( )

..............................กรรมการ
( )

ลิขสิทธิ์ของคณะวิศวกรรมศาสตร์ สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

หัวข้อปริญญานิพนธ์	วงจรชดเชยความถี่แบบไม่สมมาตรคอร์รีเลเตอร์
	AFC UNBALANCE CORRELATOR CIRCUIT
ชื่อนักศึกษา	นายสาโรจน์ ชูอำไพ 41013353
	นายสุนันท์ โคตรมุงคุณ 41013356
อาจารย์ที่ปรึกษา	อาจารย์ ดลชัย สุขเจริญผล
ปริญญา	อุตสาหกรรมศาสตรบัณฑิต
สาขาวิชา	เทคโนโลยีโทรคมนาคม
ภาควิชา	เทคนิคอุตสาหกรรม
ปีการศึกษา	2543

บทคัดย่อ

ในระบบสื่อสารข้อมูลด้วยสัญญาณดิจิตอลเช่นระบบโทรศัพท์เคลื่อนที่ ในอนาคตจะมีการขยายขอบข่ายการให้บริการ ที่สามารถส่งภาพนิ่ง บริการ Internet ผ่านเครือข่ายดังกล่าว แต่ปัญหาอย่างหนึ่งที่ต้องมีการแก้ไขคือ การชดเชยความถี่ผิดพลาดที่ภาครับขณะที่มีการเคลื่อนที่เนื่องจากปัญหาของ Doppler Effect ซึ่งจะมีผลต่อสัญญาณ RF ขณะที่รับสัญญาณ และจะลดคุณภาพของระบบลง ดังนั้นในโครงงานนี้สนใจที่จะแก้ไขปัญหาดังกล่าวโดยใช้วงจรชดเชยความถี่ (AFC) แบบไม่สมมาตรคอร์รีเลเตอร์เป็นวงจรที่ใช้ควบคุมความถี่โดยอัตโนมัติ ซึ่งมีข้อดีคือออกแบบและสร้างได้ง่าย โดยวงจรนี้จะรับอินพุทสัญญาณดิจิตอล Polar NRZ แบบ BPSK ในรูปของ RF signal ที่มีความถี่ไม่คงที่เข้ามา แล้วทำการปรับชดเชยให้มีความถี่อยู่ในช่วงที่ภาครับสามารถทำงานได้ เพื่อนำไปประยุกต์ใช้ในการแก้ปัญหาภายในเครื่องรับของภาครับที่มีการเคลื่อนที่ด้วยความเร็วที่ไม่สม่ำเสมอต่อไป

โดยในโครงงานนี้ได้ออกแบบให้ AFC ทำการประมวลผลสัญญาณที่ความถี่ IF 10 MHz ร่วมกับ วงจรสังเคราะห์ความถี่

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Title	AFC UNBALANCE CORRELATOR CIRCUIT
Student	Mr.Saroj Chooampi 41013353
	Mr.Sunun Kotemongkun 41013356
Advisor	Mr.Dolchai Sookcharoenphol
Degree	Bachelor Degree of Industrial Technology
Programme	Telecommunication
Department	Industrial Technology
Academic year	2000

ABSTRACT

In the digital communication network system such as mobile Telephone system, in the future there will be the extension of the services that you can send still picture, Internet service passes this network. But, there is a problem that should be fixed, it is the substitute for the mistaked frequency at the adopter during the movement that is result from Doppler effect. It will effect to RF signal while adapting signal and reducing quality of system. So this project has been set up to solve the above problem by apply the compensation frequency system. Automatic frequency control (AFC) in unbalance correlation type is the circuit for automatic controls the frequency. Its advantage is that it is easy to design and made it.This circuit is used by adopt the input system digital. In BPSK, polar and NRZ in the RF signal have the unstable frequency and there is a compensation in order to adjust the frequency in adaptation situation to apply for solving the problems which moves with unstable speed.

In the project AFC was designed by calculating the frequency system at IF 10 MHz with

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

กิตติกรรมประกาศ

ปริญญานิพนธ์ฉบับนี้ สำเร็จลุล่วงลงได้ด้วยดีนั้น ก็เนื่องมาจากความร่วมมือจากผู้ร่วมงาน และความช่วยเหลือจาก อาจารย์ดลชัย สุขเจริญผล ซึ่งให้ความอนุเคราะห์เครื่องมือที่ใช้ในการทดลอง สถานที่ และให้คำแนะนำปรึกษาเป็นอย่างดี รวมทั้งอาจารย์ท่านอื่น ๆ และเพื่อน ๆที่น่ารักที่สุดทุกๆคนที่ให้ความช่วยเหลือในเรื่องต่าง ๆ สุดท้ายนี้ต้องขอกราบขอบพระคุณ คุณพ่อ คุณแม่เป็นอย่างสูงที่คอยอบรมสั่งสอนทุกๆเรื่องตลอดจนคอยให้กำลังใจ และมอบทุนทรัพย์ที่นำมาใช้ในการทำปริญญานิพนธ์ฉบับนี้จนสำเร็จเรียบร้อย ขอขอบคุณอีกครั้ง

คณะผู้จัดทำ
นาย สุนันท์ โคตรมุงคุณ
นาย สาโรจน์ ชูอำไพ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญ

	หน้า
บทคัดย่อภาษาไทย	ก
บทคัดย่อภาษาอังกฤษ	ข
กิตติกรรมประกาศ	ค
สารบัญรูปภาพ	ง
บทที่ 1 บทนำ	1
1.1 ที่มาและความสำคัญของปริญญานิพนธ์	1
1.2 วัตถุประสงค์ในการทำปริญญานิพนธ์	1
1.3 ขอบเขตของปริญญานิพนธ์	1
1.4รายละเอียดและขั้นตอนการทำปริญญานิพนธ์	2
1.5 ประโยชน์ที่ได้รับ	3
บทที่ 2 ทฤษฎีและหลักการเบื้องต้น	4
2.1 ระบบสังเคราะห์ความถี่	4
2.2 วงจรกรองความถี่	39
2.3 Frequency Difference Detectors : FDD	45
2.4 ลูปโมเดล (Loop Model)	47
บทที่ 3 การออกแบบวงจร	68
3.1 วงจร BALANCE MODULATOR	68
3.2 วงจรรวมสัญญาณ (Summing AMP)	69
3.3 วงจรกรองความถี่ต่ำผ่าน (Low Pass Filter)	70
3.4 วงจรเลื่อนเฟส (Phase Shift) 90 องศา	73
3.5 วงจรดิฟเฟอเรนชิเอเตอร์	73
3.6 วงจรกรองแถบความถี่ผ่าน (Band Pass Filter)	75
3.7 วงจรบัฟเฟอร์ (Buffer)	79
3.8 วงจรวีซีโอ (VCO)	80
3.9 เฟสดีเทคเตอร์(Phase Detector :PD)	82
3.10 วงจรลูปฟิลเตอร์ (Loop filter)	84
3.11 วงจรมิกเซอร์ (Mixer)	87
3.12 วงจร PRESCALER หารความถี่ด้วย 4	89
บทที่ 4 ผลการทดลอง	90
4.1 วงจร FDD (Frequency Difference Detector)	90

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4.2 วงจรเฟสล็อคลูป (Phase Lock Loop) 95
4.3 วงจรออสซิลเลเตอร์ (Oscillator) และ Mixer 101
บทที่ 5 สรุปผลการทดลอง 102
เอกสารอ้างอิง
ภาคผนวก

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญรูปภาพ

หน้า

บทที่ 1

รูปที่ 1.1 บล็อคไดอะแกรมวงจรรวมของขอบเขตงาน 2

รูปที่ 1.2 ขั้นตอนการทำปริญญานิพนธ์ 2

บทที่ 2

รูปที่ 2.1 แสดงบล็อคไดอะแกรมของวงจรสังเคราะห์ความถี่ที่ใช้เฟสล็อคลูป 5

รูปที่ 2.2 แสดงบล็อคไดอะแกรมของวงจรเฟสล็อคลูป 6

รูปที่ 2.3 (ก) ผลต่างเฟสเมื่อเฟสอินพุทเท่ากัน 7

(ข) ผลต่างเฟสเมื่อเฟสของ อินพุทไม่เท่ากัน

รูปที่ 2.4 วงจรกรองความถี่ต่ำผ่านอันดับ 1 โดยใช้ $R - C$ 8

รูปที่ 2.5 วงจร แลก-ลีด อันดับหนึ่ง 9

รูปที่ 2.6 วงจรแอคทีฟฟิลเตอร์ 10

รูปที่ 2.7 วิธีแก้ทรานเชี้ยนด้วย $R_1 - C_c$ 11

รูปที่ 2.8 วิธีแก้ทรานเชี้ยนด้วย $R_2 - C_c$ 11

รูปที่ 2.9 แสดงรูปคลื่นเอาท์พุทของเฟสดีเทคเตอร์และอินทิเกรเตอร์ 12

รูปที่ 2.10 วงจร โลว์พาสฟิลเตอร์อันดับ 2 โดยใช้ออปแอมป์ 13

รูปที่ 2.11 วงจร Lowpass filter อันดับสอง 14

รูปที่ 2.12 วงจรฟิลเตอร์และซัมมิ่งเนทเวอร์ค 14

รูปที่ 2.13 บล็อคไดอะแกรมของระบบเฟสล็อคลูปที่เป็นระบบป้อนกลับลิเนียร์ 19

รูปที่ 2.14 เออร์เรอร์โวลท์เตจชั่วขณะในระหว่างเวลากระบวนการแค็ปเจอร์ 24

รูปที่ 2.15 คุณสมบัติการแปลงความถี่ไปเป็นโวลท์เตจ 27

รูปที่ 2.16 คุณสมบัติของการแปลงความถี่ไปเป็นโวลท์เตจของระบบเฟสล็อคลูป 28

(ก) เมื่อความถี่อินพุทเพิ่มขึ้นอย่างช้าๆ

(ข) เมื่อความถี่อินพุทลดลง

รูปที่ 2.17 แสดงถึงคุณสมบัติรวมในการแปลงความถี่ไปเป็นโวลท์เตจของระบบเฟสล็อคลูป 29

รูปที่ 2.18 ระบบเฟสล็อคลูป 30

รูปที่ 2.19 พิสัยการล็อคของระบบเฟสล็อคลูป 32

รูปที่ 2.20 คุณสมบัติเอาร์พุทของเฟสดีเทคเตอร์กับเฟสเออร์เรอร์ 33

รูปที่ 2.21 แสดงพิสัยแค็ปเจอร์ของระบบเฟสล็อคลูป 36

รูปที่ 2.22 แสดงวงจรสังเคราะห์ความถี่ที่ใช้วงจรหารแบบพรีสเกลเลอร์ 37

รูปที่ 2.23 โครงสร้างสมมูล 40

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รูปที่ 2. 24 สัญญาณโลว์พาสฟิลเตอร์ 40
รูปที่ 2.25 สัญญาณแบนด์พาสฟิลเตอร์ 41
รูปที่ 2.26 สัญญาณBand Stop Filter 41
รูปที่ 2.27สัญญาณ High Pass Filter 42
รูปที่ 2.28 สัญญาณ Unit Pulse 42
รูปที่ 2.29 วงจรสมมูลของวงจร RLC 43
รูปที่ 2.30 ช่วงเวลาทรานเซี้ยน 45
รูปที่ 2.31 Quadricorrelator 45
รูปที่ 2.32 Short loop Model 48
รูปที่ 2.33 Long loop Model 55
รูปที่ 2.33 Split loop Model 61

บทที่ 3

รูปที่ 3.1 Block Diagram ของวงจรรวม 68
รูปที่ 3.2 วงจร Balance Modulator 68
รูปที่ 3.3 วงจรรวมสัญญาณ 69
รูปที่ 3.4 วงจร fourth order multiple feedback low-pass filter 70
รูปที่ 3.5 วงจร Phase Shift 90° 73
รูปที่ 3.6 วงจรพื้นฐาน RC ของวงจรดิฟเฟอเรนชิเอเตอร์ 73
รูปที่ 3.7 การนำออปแอมป์มาใช้ในวงจรดิฟเฟอเรนชิเอเตอร์ 74
รูปที่ 3.8 กราฟช่วงการทำงานของแบนด์พาสฟิลเตอร์ 75
รูปที่ 3.9 การแปลงแบนด์วิดธ์จากวงจรกรองความถี่ต่ำผ่านเป็นวงจรกรองแถบความถี่ต่ำผ่าน 77
(ก) การตอบสนองความถี่ของวงจรกรองความถี่ต่ำผ่าน
(ข) การตอบสนองความถี่ของวงจรกรองแถบความถี่ผ่าน
รูปที่ 3.10 การเปลี่ยนต้นแบบวงจรกรองความถี่ต่ำไปเป็นวงจรกรองแถบความถี่ผ่าน 78
รูปที่ 3.11 วงจรกรองแถบความถี่ผ่าน 79
รูปที่ 3.12 วงจรบัพเฟอร์ 79
รูปที่ 3.13 วงจรสมบูรณ์ของ IC NE 612 80
รูปที่ 3.14 วงจร Oscillator 81
รูปที่ 3.15 วงจรของ IC MC145151-2 83
รูปที่ 3.16 คุณลักษณะในการเปลี่ยนความถี่ของเฟสล็อคลูป 85
รูปที่ 3.17 วงจร Loop Filter 85
รูปที่ 3.18 การMix สัญญาณ input 20 MHz กับ oscillator 50 MHz 87

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รูปที่ 3.19 การ Mix สัญญาณ input 30 MHz กับ oscillator 40 MHz 88

รูปที่ 3.20 BLOCK DIAGRAM ของ NE 612 88

รูปที่ 3.21 วงจร PRESCALER หารความถี่ด้วย 4 89

บทที่ 4

รูปที่ 4.1 สัญญาณมอดดูเลท 90

รูปที่ 4.2 สัญญาณphase shift 90 องศา 91

รูปที่ 4.3 สัญญาณดิฟเฟอเรนชิเอเตอร์ที่อินพุทเป็นสัญญาณ sine wave 91

รูปที่ 4.4 สัญญาณดิฟเฟอเรนชิเอเตอร์ที่อินพุทเป็นสัญญาณ square wave 92

รูปที่ 4.5 สัญญาณโลว์พาสฟิลเตอร์ 93

รูปที่ 4.6 แรงดันเออร์เรอร์ 93

รูปที่ 4.7 สัญญาณของ PD_{out} กรณีต่าง ๆ 96

รูปที่ 4.8 สัญญาณของ ϕ_R ช่วงที่ไม่ล็อค 97

รูปที่ 4.9 สัญญาณของ ϕ_R ช่วงที่ล็อค 97

รูปที่ 4.10 สัญญาณของ ϕ_V ช่วงที่ไม่ล็อค 98

รูปที่ 4.11 สัญญาณของ ϕ_V ช่วงที่ล็อค 98

รูปที่ 4.12 สัญญาณเอาท์พุทจากลูปฟิลเตอร์ 99

รูปที่ 4.13 สัญญาณที่ได้จากวีซีโอ 100

รูปที่ 4.14 สัญญาณจากพรีสเกลเลอร์ 100

รูปที่ 4.15 สัญญาณความถี่ 50 MHz 101

รูปที่ 4.16 สัญญาณมิกเซอร์ความถี่ 50 MHz กับ 20 MHz 101

รูปที่ 4.17 แสดงบล็อคไดอะแกรมของวงจร FDD 102

รูปที่ 4.18 แสดงสัญญาณที่จุดต่าง ๆ ของวงจร FDD 103

รูปที่ 4.19 บล็อคไดอะแกรมของวงจร FDD เมื่อต่อร่วมกับ LPF 104

รูปที่ 4.20 สัญญาณที่จุดต่าง ๆ จากบล็อคข้างบน 105

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รูปที่ 3.19 การ Mix สัญญาณ input 30 MHz กับ oscillator 40 MHz 88

รูปที่ 3.20 BLOCK DIAGRAM ของ NE 612 88

รูปที่ 3.21 วงจร PRESCALER หารความถี่ด้วย 4 89

บทที่ 4

รูปที่ 4.1 สัญญาณมอดดูเลท 90

รูปที่ 4.2 สัญญาณphase shift 90 องศา 91

รูปที่ 4.3 สัญญาณดิฟเฟอเรนชิเอเตอร์ที่อินพุทเป็นสัญญาณ sine wave 91

รูปที่ 4.4 สัญญาณดิฟเฟอเรนชิเอเตอร์ที่อินพุทเป็นสัญญาณ square wave 92

รูปที่ 4.5 สัญญาณโลว์พาสฟิลเตอร์ 93

รูปที่ 4.6 แรงดันเออร์เรอร์ 93

รูปที่ 4.7 สัญญาณของ PD_{out} กรณีต่าง ๆ 96

รูปที่ 4.8 สัญญาณของ ϕ_R ช่วงที่ไม่ล็อค 97

รูปที่ 4.9 สัญญาณของ ϕ_R ช่วงที่ล็อค 97

รูปที่ 4.10 สัญญาณของ ϕ_V ช่วงที่ไม่ล็อค 98

รูปที่ 4.11 สัญญาณของ ϕ_V ช่วงที่ล็อค 98

รูปที่ 4.12 สัญญาณเอาท์พุทจากลูปฟิลเตอร์ 99

รูปที่ 4.13 สัญญาณที่ได้จากวีซีโอ 100

รูปที่ 4.14 สัญญาณจากพรีสเกลเลอร์ 100

รูปที่ 4.15 สัญญาณความถี่ 50 MHz 101

รูปที่ 4.16 สัญญาณมิกเซอร์ความถี่ 50 MHz กับ 20 MHz 101

รูปที่ 4.17 แสดงบล็อคไดอะแกรมของวงจร FDD 102

รูปที่ 4.18 แสดงสัญญาณที่จุดต่าง ๆ ของวงจร FDD 103

รูปที่ 4.19 บล็อคไดอะแกรมของวงจร FDD เมื่อต่อร่วมกับ LPF 104

รูปที่ 4.20 สัญญาณที่จุดต่าง ๆ จากบล็อคข้างบน 105

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่1

บทนำ

1.1 ที่มาและความสำคัญของปริญญานิพนธ์

ปัจจุบันนี้การติดต่อสื่อสารทางด้านอิเล็กทรอนิกส์จะเป็นที่นิยมใช้กันแพร่หลายมากไม่ว่าจะเป็นเครื่องรับ-ส่งวิทยุ FM หรือ AM และเครื่องรับโทรทัศน์ที่ใช้กันอยู่ในย่าน UHF พบว่าจะมีความถี่ที่สูงมาก โดยสัญญาณที่ส่งมาจากเครื่องส่งมายังเครื่องรับที่ความถี่สูงๆนั้น ไม่อาจจะหลีกเลี่ยงการเกิดปัญหาต่างๆได้ ซึ่งปัญหาที่เกิดขึ้นได้แก่ สัญญาณรบกวน (noise) การสูญเสียใน ช่องส่งสัญญาณ (channel fading) ดังนั้นจะทำให้เครื่องรับ รับสัญญาณที่ส่งมาผิดพลาดไปได้ ซึ่งวงจร AFC จะมีส่วนสำคัญอย่างมากในการแก้ไขปัญหาที่เกิดขึ้น

โดยวงจร AFC แบบบาลานซ์คอเรลาร์เตอร์ย่าน UHF จะนิยมใช้ Phase Lock Loop (PLL) เข้ามาเป็นตัวควบคุมความถี่ ซึ่ง PLL จะทำการล็อค (Lock) ให้ได้สัญญาณความถี่ขาเข้าเท่ากับสัญญาณความถี่ขาออก ทำให้สัญญาณที่รับได้ไม่ผิดเพี้ยนไป

แต่ในโครงงานนี้ได้ทำการทดสอบการใช้สัญญาณ Sine Wave ความถี่ที่ 20 MHz ป้อนเข้าที่อินพุท ซึ่งจะต้องได้เอาท์พุทที่ความถี่ 10 MHz ซึ่งเป็นการทดสอบสัญญาณย่าน IF โดยในระบบเกิด fading ขึ้นแล้วทำการแก้ปัญหาที่เกิดขึ้น

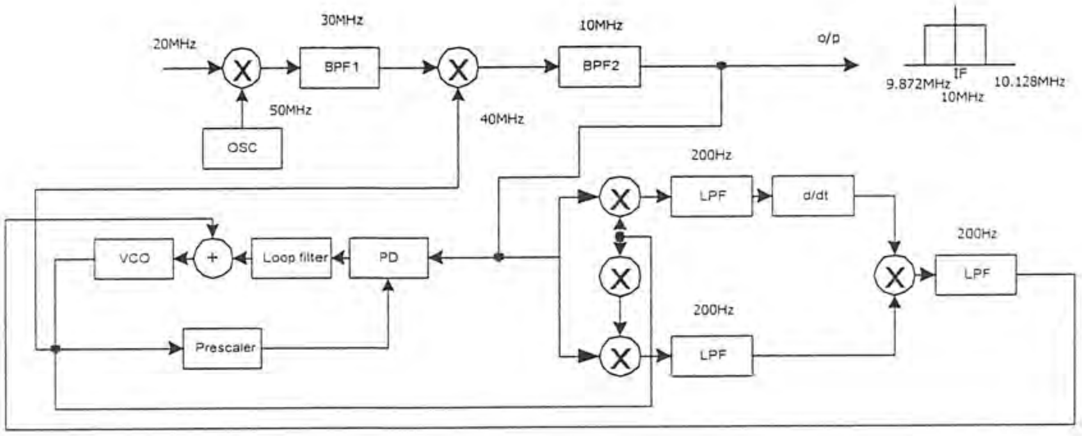
1.2 วัตถุประสงค์ในการทำปริญญานิพนธ์

1. เพื่อแก้ปัญหาการเกิดสัญญาณรบกวน (noise)
2. เพื่อแก้ปัญหาการเกิด fading ที่ช่องสัญญาณ
3. เพื่อให้สัญญาณที่รับได้มีความเสถียรภาพมากยิ่งขึ้น

1.3 ขอบเขตของปริญญานิพนธ์

1. วิเคราะห์สัญญาณจากวงจรให้ได้ความถี่ที่เอาท์พุทมีค่า 10 MHz
2. ออกแบบวงจรควบคุมความถี่ของสัญญาณที่รับได้ในย่าน IF ให้ได้สัญญาณที่ถูกต้องที่สุด

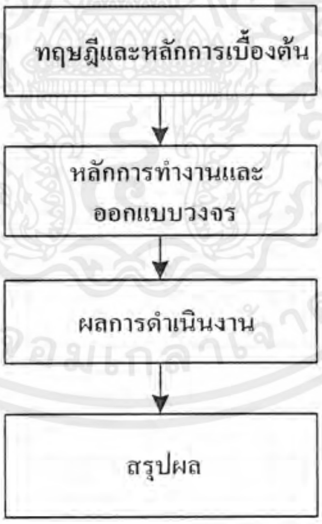
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 1.1 บล็อคไดอะแกรมวงจรรวมของขอบเขตงาน

1.4 รายละเอียดและขั้นตอนการทำปริญญานิพนธ์

ในการทำปริญญานิพนธ์นี้ได้มีการศึกษาวางแผน และมีการทำงานตามขั้นตอนการทำงานดังรูปที่ 1.2



รูปที่ 1.2 ขั้นตอนการทำปริญญานิพนธ์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

1.5 ประโยชน์ที่ได้รับ

1. ได้ศึกษาการใช้เครื่องมือวัดต่างๆ

2. สามารถนำมาใช้เป็นแบบจำลองโดยการใช้โปรแกรม Matlab เพื่อ Simulink ได้

3. เพื่อใช้ในการพัฒนาให้การออกแบบสร้างวงจร AFC เพื่อใช้งานจริงได้ต่อไปในอนาคต

4. ศึกษาลักษณะของสัญญาณต่างๆ ที่เกิดขึ้นไม่ว่าจะเป็นสัญญาณที่ต้องการและสัญญาณที่ไม่ต้องการ เช่น noise และ fading ได้

5. ทำให้เครื่องรับ - รับสัญญาณได้ถูกต้อง

6. ออกแบบวงจร ภายใต้เงื่อนไขที่ได้กำหนดไว้และทดสอบผลการใช้งานจริง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 2
ทฤษฎีและหลักการเบื้องต้น

ในปัจจุบันนี้ไม่ว่าจะเป็นเครื่องรับหรือเครื่องส่งวิทยุแบบต่าง ๆ ส่วนใหญ่แล้วนิยมใช้วิธีการสังเคราะห์ความถี่แทบทั้งนั้น ซึ่งวงจรที่ทำหน้าที่สังเคราะห์ความถี่นี้เรียกว่า Synthesizer ซึ่งแปลว่าการสังเคราะห์ ด้วยวิธีสังเคราะห์ความถี่นี้ทำให้เครื่องรับและเครื่องส่งวิทยุมีการพัฒนาขีดความสามารถขึ้นและยังสามารถโปรแกรมความถี่ใช้งานได้ทำให้เกิดความคล่องตัวในวงการสื่อสารเป็นอย่างมาก

2.1 ระบบสังเคราะห์ความถี่

2.1.1 วิธีสังเคราะห์ความถี่

วงจรสังเคราะห์ความถี่คือวงจรที่ทำหน้าที่ผลิตสัญญาณความถี่ขนาดพอเหมาะและมีขนาดความถี่ตามต้องการ ซึ่งการโปรแกรมสามารถทำได้โดยการตั้งสวิทซ์หรือปุ่ม แต่ในปัจจุบันนิยมใช้วิธีสั่งงานด้วยคอมพิวเตอร์

ช่วงความถี่ใช้งานของวงจรสังเคราะห์ความถี่จะจำกัดอยู่ในช่วงที่แน่นอนแล้วแต่การใช้งาน และความละเอียดของความถี่ที่เปลี่ยนไปเรียกว่า รีโซลูชั่น วิธีการสังเคราะห์ความถี่แบ่งออกได้เป็น 2 วิธีคือ

1 **วิธีสังเคราะห์โดยตรง (Direct Synthesis)** ซึ่งต้องใช้ความถี่หลายๆค่ามาผสมกันเพื่อให้ได้ความถี่ที่ต้องการ โดยปกติใช้ x-tal หลายชุด

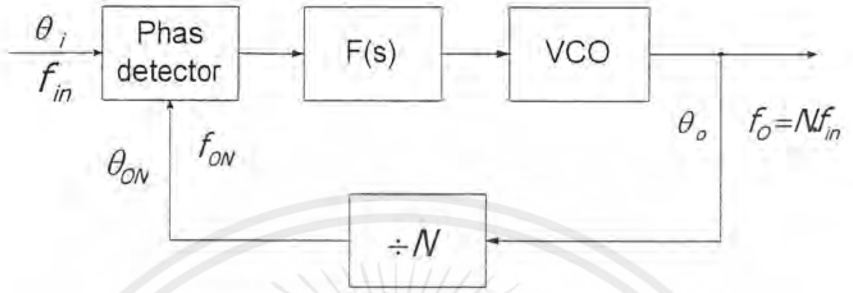
2 **วิธีสังเคราะห์โดยทางอ้อม (Indirect Synthesis)** วิธีการนี้โดยอาศัยหลักการของเฟสล็อคลูป (Phase Locked Loop) โดยการกำเนิดสัญญาณจากวงจรออสซิลเลเตอร์ซึ่งควบคุมความถี่โดยปรับแรงดันที่เรียกว่า VCO สัญญาณจาก VCO จะถูกป้อนกลับมาเปรียบเทียบกับความถี่อ้างอิงจากนั้นนำความถี่ที่คลาดเคลื่อนแปลงเป็นแรงดันไปทำการควบคุมการผลิตความถี่ VCO อีกครั้งหนึ่ง

2.1.2 ระบบสังเคราะห์ความถี่แบบที่ใช้เฟสล็อคลูป

เฟสล็อคลูปแบบสังเคราะห์ (Phase Lock Loop Synthesizer) เป็นวงจรสังเคราะห์ความถี่ชนิดโปรแกรมได้ ทำหน้าที่ผลิตสัญญาณความถี่ขนาดพอเหมาะและให้มีความถี่ตามที่เรากำหนดโดยการประยุกต์ใช้งานของเฟสล็อคลูป ซึ่งเป็นระบบป้อนกลับที่มีการเปลี่ยนความถี่และเฟสของวงจรของออสซิลเลเตอร์ตามสัญญาณอินพุทที่ป้อนเข้ามา บล็อคไดอะแกรมเบื้องต้นของเฟสล็อคลูปแบบสังเคราะห์แสดงดังรูปที่ 2.1 ประกอบด้วยส่วนสำคัญอยู่ 4 ส่วน ดังนี้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

1. ส่วนเปรียบเทียบเฟส (Phase Detector :PD)
2. ลูปฟิลเตอร์ (Loop Filter :LF)
3. วงจรออสซิลเลเตอร์ควบคุมความถี่ด้วยแรงดัน (Voltage Control Oscillator :VCO)
4. วงจรหารความถี่ (Prescaller Divider)



รูปที่ 2.1 แสดงบล็อคไดอะแกรมของวงจรสังเคราะห์ความถี่ที่ใช้เฟสล็อคลูป

สามารถอธิบายการทำงานคร่าว ๆ ได้ดังนี้ ขณะที่ยังไม่มีสัญญาณเข้าไปในระบบ แรงดันควบคุม (control voltage) $V_c(t)$ จะเท่ากับศูนย์ VCO จะทำงานโดยตั้งความถี่ไว้ที่ f_o ซึ่งเรียกว่าความถี่ฟรีรันนิ่ง (free running frequency) ถ้ามีสัญญาณเข้าไปในระบบ เฟสดีเทคเตอร์จะทำการเปรียบเทียบเฟสและความถี่ของสัญญาณอินพุท f_r กับความถี่ของ VCO ถ้าเกิดความแตกต่างของสัญญาณทั้งสองเนื่องจากความถี่ไม่ตรงกันจะเกิดแรงดันคลาดเคลื่อนออกมา $V_E(t)$ แรงดันคลาดเคลื่อนนี้จะถูกกรองผ่านวงจรลูปฟิลเตอร์ขยายแล้วป้อนให้กับ VCO ในกรณีนี้แรงดันควบคุม $V_c(t)$ จะไปบังคับความถี่ของ VCO ให้เปลี่ยนไปในทิศทางที่จะลดความถี่ที่แตกต่างระหว่างความถี่ f_o กับความถี่ f_r ถ้าความถี่ f_r ใกล้เคียงกับความถี่ f_o จากการป้อนกลับของเฟสล็อคลูปซึ่งสัญญาณที่ป้อนกลับไปยังลูปฟิลเตอร์จะเป็นความถี่เอาร์พุทของ VCO ที่ถูกหารโดย N จะทำให้ VCO ซิงโครไนส์ หรือ ล็อค (lock) กับสัญญาณอินพุทที่ป้อนเข้ามา ขณะที่ทำการล็อคนั้นความถี่ของ VCO จะเท่ากับความถี่ของสัญญาณอินพุทพอดีในสภาวะล็อคความถี่จะได้ว่า

$$f_r = f_d \tag{2.1}$$

และความถี่ที่ได้จากวงจรหาร

$$f_d = \frac{f_o}{N} \tag{2.2}$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ดังนั้นความถี่ที่เอาท์พุทจะได้เป็น

$$f_o = Nf_r \tag{2.3}$$

แต่ในสภาวะล็อคความถี่ เฟสของสัญญาณทั้งสองจะยังคงต่างกันอยู่ซึ่งมีความจำเป็นต่อการผลิตแรงดันคลาดเคลื่อน $V_E(t)$ ที่จะไปคอยปรับความถี่ VCO จากค่าความถี่ฟรีรันนิ่งให้เท่ากับความถี่ที่เข้ามา ดังนั้นเฟสล็อคลูปจะยังคงรักษาสภาพการล็อคอยู่ การที่ระบบสามารถที่จะปรับตัวได้เองทำให้เฟสล็อคลูปสามารถติดตามการล็อคกับระบบซึ่งจะขึ้นอยู่กับแรงดันคลาดเคลื่อน

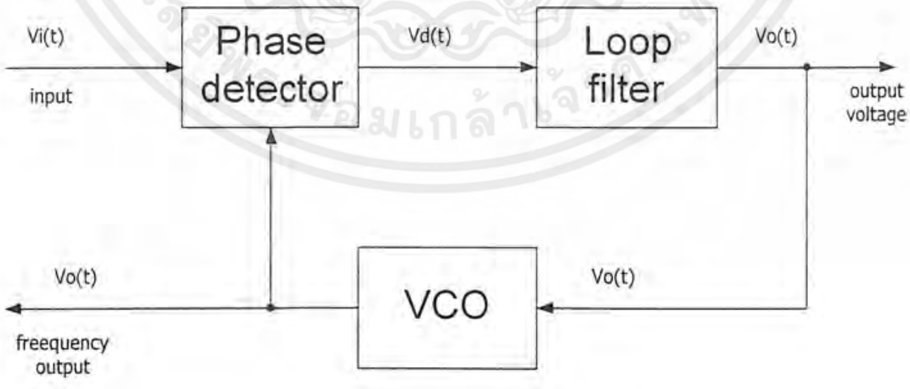
ช่วงของความถี่ซึ่งเฟสล็อคลูปสามารถทำการล็อคอย่างแท้จริงกับสัญญาณอินพุทเรียกว่าช่วงแค็ปเจอร์ (capture range) จะขึ้นอยู่กับขอบแบนด์ของมิเตอร์และอัตราขยายลูปปิดของระบบทั้งหมด

เฟสล็อคลูปที่มีการหารความถี่ชนิดโปรแกรมได้ภายในลูปเป็นวิธีที่เหมาะสำหรับการสังเคราะห์ความถี่ที่มีค่ามากจากความถี่อ้างอิงความถี่เดียว

คุณสมบัติที่ต้องการของวงจรสังเคราะห์ความถี่จะต้องผลิตสัญญาณความถี่ขนาดพอเหมาะและให้มีความถี่ตามที่เรากำหนด ช่วงความถี่ใช้งานของวงจรสังเคราะห์ความถี่จะจำกัดอยู่ในช่วงที่แน่นอนแล้วแต่การใช้งานและความละเอียดของความถี่ที่เปลี่ยนแปลงได้ทีละขั้นซึ่งเรียกว่ารีโซลูชั่น (resolution)

2.1.3 ระบบเฟสล็อคลูป

ระบบเฟสล็อคลูปเบื้องต้นแสดงดังรูปที่ 2.2

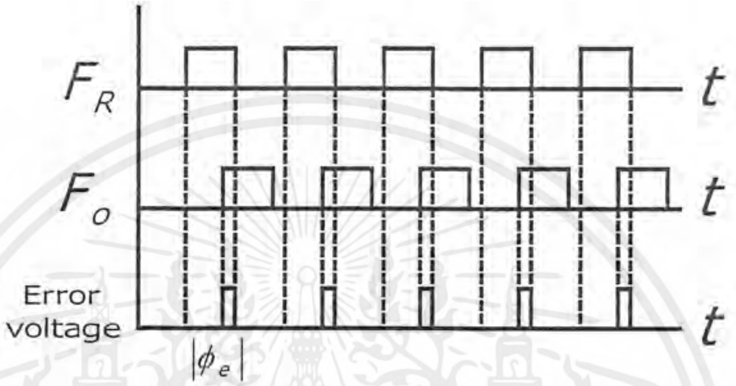


รูปที่ 2.2 แสดงบล็อคไดอะแกรมของวงจรเฟสล็อคลูป

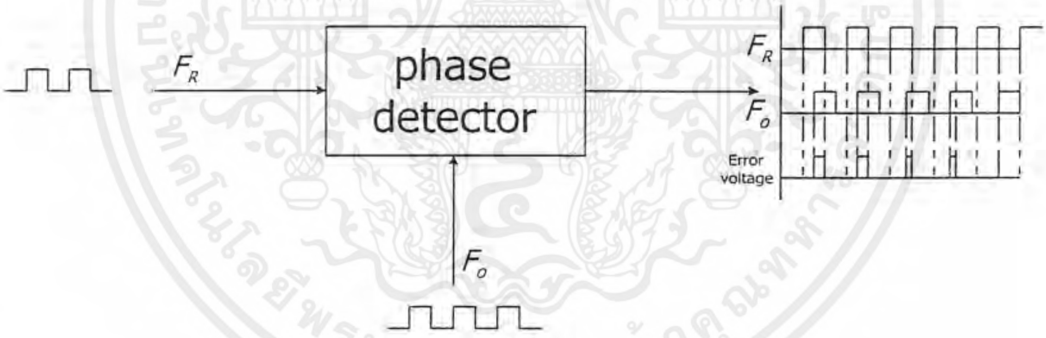
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

แต่ละส่วนมีผลต่อคุณสมบัติและการทำงานของระบบ หน้าที่ของแต่ละส่วนจะได้อธิบายดังนี้

1 เฟสดีเทคเตอร์ ทำหน้าที่เปรียบเทียบเฟสของอินพุทซึ่งจะมีสองผลของเฟสที่ต่างกันเรียกว่า "เฟสเออร์เรอร์" เฟสเออร์เรอร์นี้จะมีค่าน้อยที่สุดเท่ากับศูนย์ และจะมีค่ามากที่สุดเป็น $\pi/2$ เฟสดีเทคเตอร์จะทำการเปลี่ยนเฟสเออร์เรอร์นี้ให้กลายเป็นระดับโวลท์เตจด้วยค่า คอนเวอร์ชั่นเกน K_d (volt/radian) ลักษณะการเปรียบเทียบเฟสของอินพุททั้งสองของ เฟสดีเทคเตอร์จะได้แสดงดังรูปที่ 2.3 (ก)



(ก)



(ข)

รูปที่ 2.3 (ก) ผลต่างเฟสเมื่อเฟสอินพุทเท่ากัน
(ข) ผลต่างเฟสเมื่อเฟสของอินพุทไม่เท่ากัน

2 ลูปฟิลเตอร์ ทำหน้าที่กรองสัญญาณความถี่สูงที่ออกมาจากเฟสดีเทคเตอร์ เนื่องจากเฟสดีเทคเตอร์ให้เอาท์พุทเป็นสัญญาณดีซีที่มีเอซีโวลท์เตจรวมมาด้วย สัญญาณความถี่ที่ได้เกิดจากความต่างเฟสยิ่งต่างเฟสมากความถี่ยิ่งสูง ดังนั้นลูปฟิลเตอร์จึงช่วยกรองเอาสัญญาณความถี่สูงซึ่งแสดงว่ามีความต่างเฟสมากออกทำให้ระบบสามารถแค็ปเจอร์ (capture) สัญญาณที่ได้ในช่วงหนึ่งและช่วยให้รักษาการล็อคไว้ได้อีกด้วย

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เนื่องจากโลว์พาสฟิลเตอร์ลดค่าแรงดันคลาดเคลื่อนของความถี่ระหว่างลูปแล้วยังเป็นตัวควบคุมการแค็ปเจอร์โดยตรงและคุณสมบัติต่อผลตอบสนองชั่วขณะของเฟสล็อคลูป การลดช่วงความกว้างของฟิลเตอร์จะส่งผลไปยังการทำงานของระบบคือ

1. ขบวนการแค็ปเจอร์จะช้าลงและพูลอินไทม์ (Full in Time) เพิ่มขึ้น

2. ช่วงแค็ปเจอร์จะลดลง

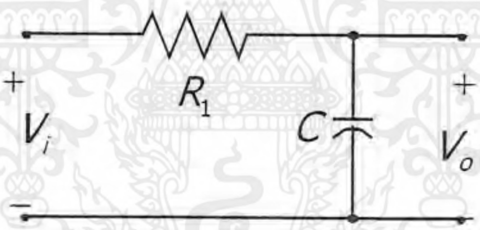
3. คุณสมบัติทาง (Interference Rejection) ของเฟสล็อคลูปเมื่อถูกรบกวนด้วยสัญญาณ AWGN จะดีขึ้นเพราะค่าแรงดันคลาดเคลื่อนเนื่องจากความถี่ของสัญญาณรบกวนจะถูกลดลงไป

4. ผลตอบสนองชั่วขณะของเฟสล็อคลูปต่อการเปลี่ยนทันทีของสัญญาณเข้าสู่ช่วงความถี่แค็ปเจอร์จะอยู่ในลักษณะภายใต้การแดมป์ (Damping Condition)

3. วงจรกรองความถี่ต่ำผ่าน (LPF)

ในระบบเฟสล็อคลูปจะมีโลว์พาสฟิลเตอร์เป็นส่วนประกอบอยู่เสมอ เราจะกล่าวถึงวงจรโลว์พาสฟิลเตอร์ที่นิยมใช้กันมีอยู่ 3 แบบดังนี้

1. วงจรกรองความถี่ต่ำอันดับ 1 แบบ $R-C$



รูปที่ 2.4 วงจรกรองความถี่ต่ำผ่านอันดับ 1 โดยใช้ $R-C$

รูปที่ 2.4 โดยทั่วไปจะต่ออยู่ระหว่างเฟสดีเทคเตอร์กับ VCO ค่าของความถี่คัทออฟ (cutoff frequency, ω_n) สามารถหาได้จากสมการ

$$\omega_{LPF} = 1/RC \qquad \text{(RAD/Sec)} \tag{2.4}$$

ค่าของความถี่ธรรมชาติของลูป (Loop Natural Frequency , ω_n) สามารถหาได้จากความถี่คัทออฟของวงจรกรองความถี่ โดยสมการ

$$\omega_n = (K_d K_v . \omega_{LPF})^{1/2} \tag{2.5}$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

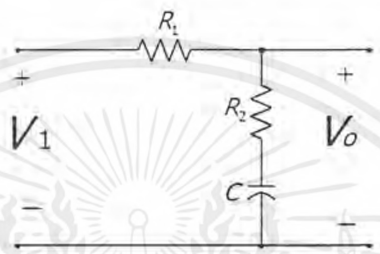
เมื่อ K_d คอนเวอร์ชั่นเกน (Convertion Gain) ของเฟสดีเทคเตอร์ หน่วย (volt/sec)

Kv คอนเวอร์ชั่นเกนของ VCO หน่วย (Rad/Sec/Volt)

เราสามารถหาค่าแดมปิ้งแฟคเตอร์ (Damping Facter) จากสมการ

$$\zeta = N.\omega_n /(2K_d.K_v) \quad (2.6)$$

2. วงจรกรองความถี่ต่ำแบบ แลก-ลีด (Lag-Lead Circuit) ดังแสดงในรูปที่ 2.5



รูปที่ 2.5 วงจร Lead-Lag อันดับหนึ่ง n=1

ค่าความถี่คัทออฟสำหรับวงจรกรองความถี่ชนิดนี้หาได้จากสมการ

$$\omega_{LPF} = 1/(R_1 + R_2)C \quad (2.7)$$

และความถี่ธรรมชาติหาได้จากสมการ

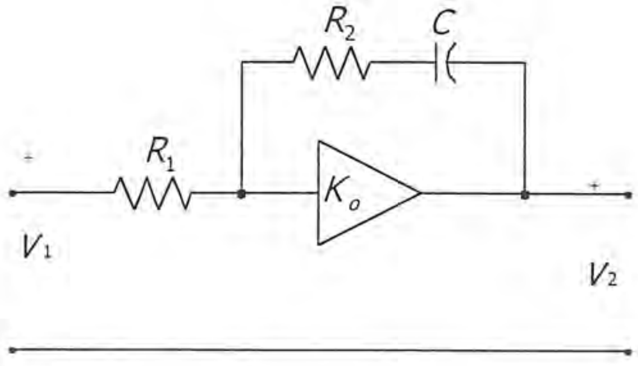
$$\omega_n = (K_d K_v / NC(R_1 + R_2))^{1/2} \quad (2.8)$$

และแดมปิ้งแฟคเตอร์หาได้จากสมการ

$$\zeta = 0.5\omega_n (R_2 C + N / K_d K_v) \quad (2.9)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3. วงจรพาสซีฟแบบ แลก-ลีด เราสามารถนำมาสร้างเป็นวงจรแอคทีฟฟิลเตอร์



รูปที่ 2.6 วงจรแอคทีฟฟิลเตอร์

ความถี่คัทออฟหาได้จากสมการ

$$\omega_{LPF} = 1 / R_1 C \quad \text{(Rad/Sec)} \tag{2.10}$$

ค่าของลูปความถี่ธรรมชาติ

$$\omega_n = (K_d K_v / NCR1)^{1/2} \tag{2.11}$$

แดมปิ้งแฟคเตอร์ หาจากสมการ

$$\zeta = (\omega_n R_2 C) / 2 \tag{2.12}$$

ข้อพิจารณาในการออกแบบลูปฟิลเตอร์

1.เนื่องจากตัวฟิลเตอร์และอินทิเกรเตอร์ที่ใช้ออปแอมป์ มีฟังก์ชั่นเป็นอินเวอร์ติ้งดังนั้น จำเป็นต้องดัดแปลงแก้ไขการกลับเฟสนี้ก่อน เพื่อให้ค่าแรงดันคลาดเคลื่อน (Error Voltage) จากออสซิลเลเตอร์สามารถควบคุม VCO ได้ถูกทิศทางกับความผิดพลาดที่เกิดขึ้น ซึ่งทำได้ง่ายที่สุดโดยการสลับอินพุท Fr และ Fv ที่เฟสดีเทคเตอร์

2. กรณีเฟสดีเทคเตอร์มีเอาท์พุทเป็นดับเบิ้ลเอนด์ $K_d = Vdd / 2$

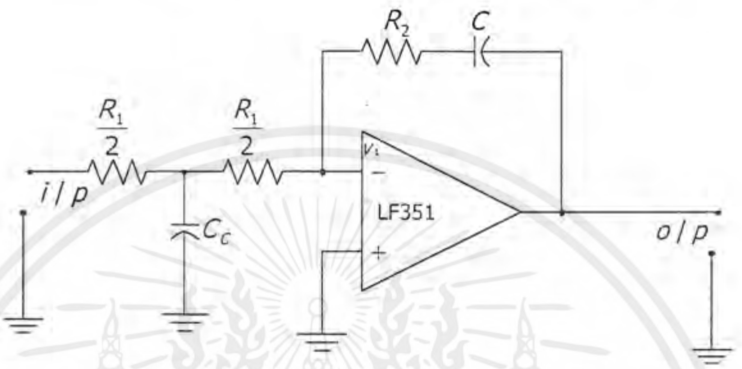
3.วงจรแอคตีฟฟิลเตอร์อาจจะเกิดการอิ่มตัว ถ้าลูปเกิดการผิดพลาดเชิงเฟสที่เฟสดีเทคเตอร์มีขนาดใหญ่พร้อมๆกับเกิดทรานเชี้ยนโอเวอร์ชู๊ตขึ้นในลูป กรณีนี้จะเกิดขึ้นเฉพาะกับลูปที่ใช้เฟสดีเทคเตอร์เป็นชนิดดิจิตอล เนื่องจากเอาท์พุทของเฟสดีเทคเตอร์เปลี่ยนแปลงเป็น 0

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

หรือ 1 ในทันทีทันใด นอกจากนี้ความถี่อินพุทของฟิลเตอร์มักจะมีค่ามาก ดังนั้นถ้าอัตราส่วนของ R_1/R_2 ถ้าสามารถทำได้ควรให้อัตราส่วนนี้มีค่าน้อยที่สุด

วิธีแก้ไขการอิ่มตัวของออบแอมป์ทำได้โดยการเพิ่มโลว์พาสฟิลเตอร์ก่อนวงจรอินทิเกรเตอร์ ดังรูปที่ 2.7

Im *proved transient* sup *pression with* $R_1 - C_c$

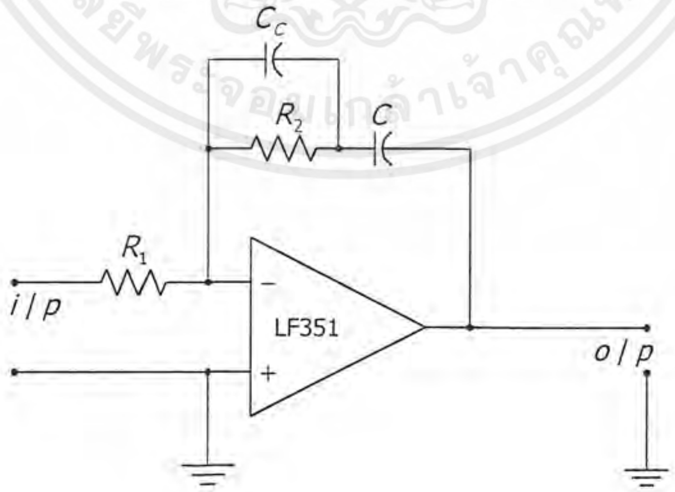


รูปที่ 2.7 วิธีแก้ทรานเชี้ยนด้วย $R_1 - C_c$

เมื่อ $R_s << R_1/2 : R_s$ คือเอาท์พุทอิมพีแดนซ์ของเฟสดีเทคเตอร์

$\omega_c = 4/R_1C_C$

Im *proved transient* sup *pression with* $R_2 - C_c$



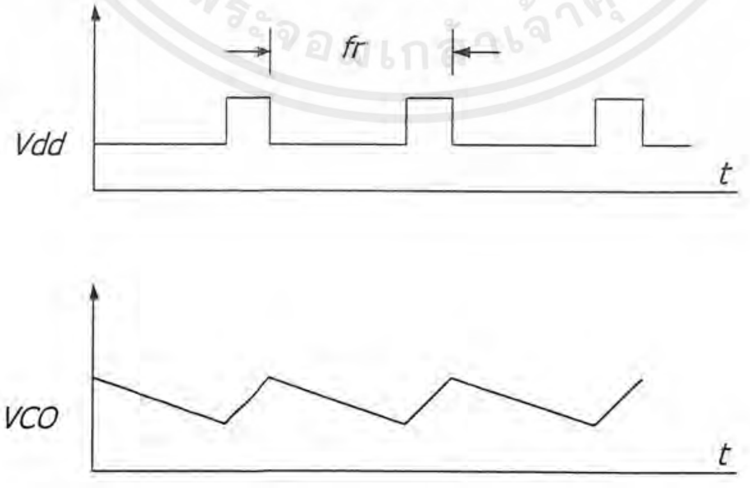
รูปที่ 2.8 วิธีแก้ทรานเชี้ยนด้วย $R_2 - C_c$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เมื่อ $\omega_C = 1/R_2C_C$

จากรูปที่ 2.8 สามารถคำนวณความถี่คัทออฟได้จาก $4/R_1.C_c$ ถ้าเฟสดีเทคเตอร์เป็นดิจิตอลเนื่องจากมีความต้านทานเอาร์พุทต่ำความถี่คัทออฟของวงจรที่เพิ่มขึ้น ถ้าเป็นไปได้ควรจะมากกว่าความถี่ธรรมชาติ 5-10 เท่า เนื่องจากโพลที่เกิดจากวงจรที่เพิ่มขึ้น ถ้าอยู่ใกล้ความถี่ธรรมชาติ จะทำให้ลูปเกิดโอเวอร์ชู้ตมากขึ้น และผลพลอยได้ของฟิลเตอร์ที่เพิ่มขึ้นจะทำให้ความถี่อ้างอิง (ω_r) ถูกลดทอนลงด้วยแรงดันที่ควบคุม VCO ควรเป็นดีซีอย่างเดียว ส่วนประกอบของแรงดันที่ไม่ใช่แรงดันดีซีจะทำให้เอาท์พุทของ VCO มีการมอดดูเลทด้วยแรงดันที่ไม่ใช่ดีซี สำหรับแรงดันที่มาควบคุม VCO ส่วนประกอบที่ไม่ใช่ ส่วนใหญ่จะมาจากความถี่อ้างอิงและสัญญาณรบกวนต่าง ๆ ในวงจรแอคตีฟฟิลเตอร์จะเพิ่มสัญญาณรบกวนลงไปในแรงดันดีซีด้วย ดังนั้นวงจรขยายที่ใช้ฟิลเตอร์ควรมีคุณสมบัติในเรื่องสัญญาณรบกวนที่สร้างขึ้นภายในตัวเอง ทางที่ดีควรใช้ชนิดที่มีสัญญาณรบกวนต่ำที่สุดเท่าที่จะทำได้และกระแสไบอัสอินพุทก็ควรน้อยที่สุด เนื่องจากถ้าวงจรดึงกระแสจำนวนหนึ่งจากเฟสดีเทคเตอร์จะทำให้ความผิดพลาดเชิงเฟส เมื่ออยู่ในสภาวะสงบมีค่ามากกว่าศูนย์มาก กรณีที่ใช้ฟิลเตอร์แบบพาสซีฟฟิลเตอร์ก็จะมีค่าผิดพลาดในสภาวะสงบ (steady state error) มากกว่าแอคตีฟเพราะพาสซีฟฟิลเตอร์จะดึงกระแสโหลดมากกว่าแอคทีฟฟิลเตอร์ อย่างไรก็ตามพาสซีฟฟิลเตอร์ไม่เพิ่มน้อยส์เข้าไปในลูปเหมือนแอคทีฟและ R_1 ของวงจรพาสซีฟสามารถแบ่งออกเป็น $R_1/2$ แล้วใช้ C_C เพิ่มขึ้นได้เช่นเดียวกับวงจรในรูปที่ 2.9 และใช้วิธีการคำนวณความถี่คัทออฟแบบเดียวกัน

4. แรงดันที่ใช้ควบคุม VCO ควรมีส่วนประกอบที่ไม่ใช่เอซีน้อยที่สุด ส่วนประกอบที่ไม่ใช่ดีซีจะทำให้ความถี่เอาท์พุทของ VCO เกิดเอาท์พุทที่ไม่ต้องการ (Spurious Output) เป็นไซด์แบนด์ของความถี่อ้างอิงควรถูกกำจัดไปให้มากที่สุด



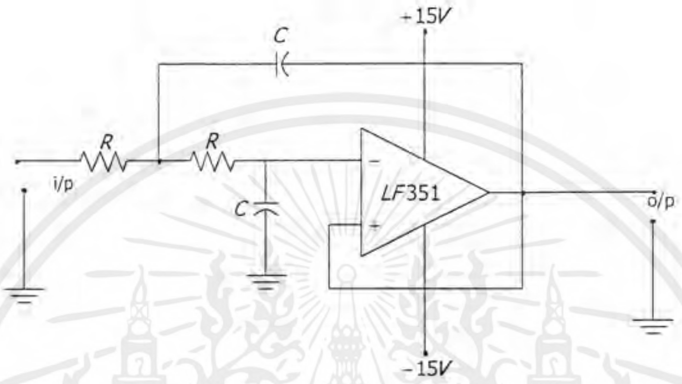
รูปที่ 2.9 แสดงรูปคลื่นเอาท์พุทของเฟสดีเทคเตอร์และอินทิเกรเตอร์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รูปคลื่นจากรูปที่ 2.9 ทำให้เกิดไซด์แบนด์ที่สัมพันธ์กับแคเรียร์ (Carrier) ของ VCO ที่สามารถคาดคะเนโดยประมาณได้จาก

$$(Sideband\ /\ Carrier) = V.K_V\ /\ 2\omega_R \tag{2.13}$$

เมื่อ V คือค่าแรงดันยอด (Peak Value) ของความถี่อ้างอิงที่อินพุทของ VCO



รูปที่ 2.10 วงจรโลว์พาสฟิลเตอร์อันดับ 2 โดยใช้ออปแอมป์

$$\omega_C = 0.636\ /\ RC \tag{2.14}$$

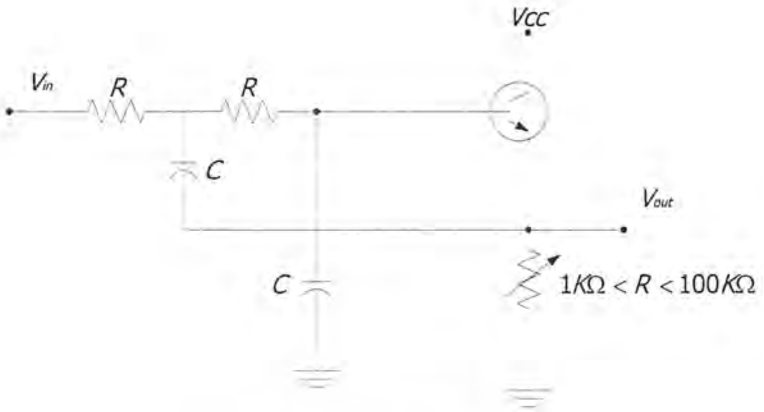
ให้เลือกค่า R

$$1K < R < 1M \tag{2.15}$$

ให้เลือกค่า C

$$C = 0.5\ /\ \omega_C R \tag{2.16}$$

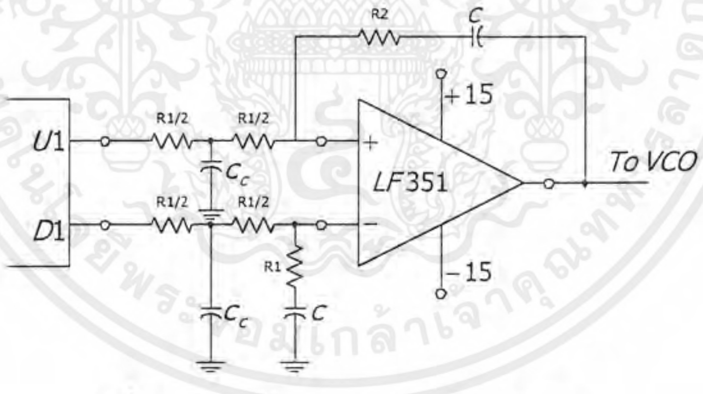
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.11 วงจร Lowpass filter อันดับสอง (n=2)

โดยใช้ทรานซิสเตอร์ต่อ (Emitter Follower) ถ้าเอาร์พุทมีค่าน้อยกว่า Vcc อยู่ 0.1V วงจรจะมีความไวต่อสัญญาณรบกวนต่อแหล่งจ่าย Vcc

สำหรับในการใช้เฟสดีเทคเตอร์ที่เอาร์พุทของเฟสดีเทคเตอร์ เราสามารถต่อกับฟิลเตอร์แบบซัมมิ่งเนทเวอร์ค (Summing Network)



รูปที่ 2.12 วงจรฟิลเตอร์และวงจรรวมสัญญาณ

ความสามารถในการลดไซด์แบนด์ โดยประมาณของวงจรในรูปคือ

$$dB = 40\log(\omega_C / \omega_R) \tag{2.17}$$

สำหรับพาสซีสฟิลเตอร์คือ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$dB = 20\log(\omega_C / \omega_R) \tag{2.18}$$

5. สำหรับเฟสดีเทคเตอร์ที่เป็นวงจรชนิด CMOS ขานอนอินเวอร์ติ้งของออปแอมป์ต้อง ไบอัสที่ ½ (Vcc) ส่วนเฟสดีเทคเตอร์ต้องดูจากคุณสมบัติของเฟสดีเทคเตอร์แต่ละเบอร์

4. VCO (voltage control ossilator)

VCO จะทำหน้าที่ผลิตสัญญาณความถี่โดยการควบคุมระดับโวลท์เตจอินพุทด้วยคอนเวอร์ชั่นเกนเท่ากับ K_o(radian/volt) ระดับโวลท์เตจนี้จะได้จากเอาร์พุทของลูปฟิลเตอร์ ความถี่ที่ล็อคมาจากลูปฟิลเตอร์จะมีผลทำให้เอาท์พุทของวีซีโอเปลี่ยนความถี่ด้วยเช่นกัน

การทำงานของระบบเฟสล็อคลูปสามารถอธิบายอย่างคร่าว ๆ ได้ดังนี้ เฟสดีเทคเตอร์จะเปรียบเทียบเฟสของสัญญาณอินพุท V_i(t) กับความถี่เอาท์พุทของ VCO และทำให้ได้เออร์เรอร์โวลท์เตจ V_d(t) สัญญาณเออร์เรอร์โวลท์เตจนี้จะถูกกรองด้วยลูปฟิลเตอร์และถูกป้อนไปยังคอนโทรลอินพุทของ VCO ในรูปของแรงดันควบคุมเพื่อควบคุมความถี่ของ VCO

ตามปกติเมื่อไม่มีสัญญาณอินพุทป้อนให้กับระบบเฟสล็อคลูปเออร์เรอร์โวลท์เตจที่ผ่านลูปฟิลเตอร์ V_o(t) ในฟีดแบ็คลูปจะมีค่าเป็นศูนย์ VCO จะทำงานที่ความถี่ศูนย์กลาง $\omega_o = 2\pi f_o$ ซึ่งเราเรียกว่าความถี่ฟรีรันนิ่งของ VCO

ถ้ามีสัญญาณอินพุทเป็นเอซีป้อนให้กับระบบเฟสล็อคลูปและสัญญาณดังกล่าวมีความถี่อินพุท $\omega_r = 2\pi f_o$ ใกล้เคียงกับความถี่ฟรีรันนิ่งพอเพียง การฟีดแบ็คของเฟสล็อคลูปจะทำให้ได้เออร์เรอร์โวลท์เตจไปขับ VCO ใหม่ความถี่ซิงโครไนส์กับความถี่อินพุทเมื่อความถี่ของ VCO ซิงโครไนส์กับความถี่อินพุทแสดงว่าระบบเฟสล็อคลูปมีความถี่เอาท์พุทล็อคกับความถี่ของสัญญาณอินพุท

การทำงานของระบบเฟสล็อคลูปสามารถแบ่งได้เป็น 3 ลักษณะตามคุณสมบัติของลูปดังนี้

ก. เมื่อระบบไม่อยู่ในสภาวะล็อค ($\omega_i \neq \omega_o$)

จากระบบเฟสล็อคลูปในรูปที่ 2.1 เราสมมติสัญญาณ V_i และ V_o เป็นสัญญาณรูปคลื่นซายน์มีค่าเป็น

$$V_i(t) = E_i \sin(\omega_i t + \theta_i) \tag{2.19}$$

$$v_o(t) = E_o \sin(\omega_o + \phi_o) \tag{2.20}$$

เมื่อ

ω_i เป็นความถี่เชิงมุมของสัญญาณอินพุท

ω_o เป็นความถี่เชิงมุมศูนย์กลางของ VCO

θ_i และ ϕ_i เป็นค่าเฟสคงที่ซึ่งขึ้นอยู่กับช่วงเวลาที่กำหนด

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ถ้าเฟสดีเทคเตอร์มีคุณสมบัติเป็นอนาล็อคมัลติพลายเออร์ เราจะได้สัญญาณเอาร์พุทของเฟสดีเทคเตอร์ (V_d) เป็น

$$V_d(t) = K_d \cos[(\omega_i - \omega_o)t + \theta_i - \phi_o] \tag{2.21}$$

เนื่องจาก V_I และ V_o ไม่ซิงโครไนส์กัน

ดังนั้นสัญญาณเอาท์พุทของเฟสดีเทคเตอร์ V_d จะเป็นสัญญาณรูปคลื่นซายน์ที่มีแอมปลิจูดสูงสุดเท่ากับ K_d และมีความถี่เชิงมุมเท่ากับความถี่เชิงมุมระหว่างสัญญาณ Vi และ Vo คือ ω_i และ ω_o มีค่าแตกต่างกันมาก ดังนั้นโวลท์เตจ V_d จะไม่สามารถผ่านลูปฟิลเตอร์ได้ ทำให้ได้ค่า Vc=0 และการฟีดแบ็คของลูปจะไม่มีผลอะไรคือไม่เกิดการเปลี่ยนแปลงใดๆภายในลูป เอาท์พุทโวลท์เตจของ VCO จะมีค่าอยู่ที่ความถี่ฟรีรันนิ่ง ดังนั้น ω_o และ ϕ_o จะมีค่าเป็นอิสระอย่างสมบูรณ์ต่อ ω_i และ θ_i พูดได้ว่าลูปไม่อยู่ในสภาวะล็อก แต่ถ้า $\omega_i - \omega_o = \pm\Delta\omega$ มีค่าน้อยกว่าแบนด์วิดธ์ของลูปซึ่งกำหนดได้โดยพารามิเตอร์ของลูปและการฟีดแบ็คจะมีผลขับให้ระบบเข้าสู่สภาวะล็อคได้

ข. เมื่อระบบเข้าสู่สภาวะล็อค ($\omega_i = \omega_o$)

ในกรณีที่สัญญาณเอาท์พุท VCO มีความถี่ซิงโครไนส์กับสัญญาณอินพุท Vi สัญญาณเอาท์พุท V_o จะมีค่าเป็น

$$V_o(t) = E_o \sin(\omega_i t + \psi_o) \tag{2.22}$$

นอกจากนั้นค่าของเฟสของสัญญาณเอาท์พุท ϕo จะเป็นลิเนียร์ฟังก์ชั่นกับเวลา ซึ่งมีค่าเป็น

$$\phi_o = (\omega_i - \omega_o)t + \psi_o \tag{2.23}$$

และสัญญาณเอาท์พุทของเฟสดีเทคเตอร์หรือสัญญาณเออเรอร์จะกลายเป็นสัญญาณดีซี มีค่าเท่ากับ

$$V_d = K_d \cos(\theta_i - \psi_o) \tag{2.24}$$

ลูปฟิลเตอร์จะยอมให้สัญญาณดีซี Vd ผ่านได้และมีค่าเท่ากับ

$$V_c = V_d = K_d \cos(\theta_i - \psi_o) \tag{2.25}$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สำนักหอสมุดกลาง พระจอมเกล้าลาดกระบัง

VCO จะเป็นฟรีเควนซีโมดูเลทเตดออสซิลเลเตอร์ ความถี่เชิงมุมที่เปลี่ยนแปลงอย่างทันทีทันใดของ VCO ω_{inst} จะเป็นลิเนียน์ฟังก์ชั่นกับสัญญาณคอนโทรลอินพุท V_c โดยรอบความถี่เชิงมุมศูนย์กลาง

$$V_d = V =_c \omega_i - \omega_o / K_o \tag{2.26}$$

$$\omega_i = \omega_o + K_o V_c \tag{2.27}$$

จากสมการ (2.20) และ (2.21) จะหาค่าของเฟสเออร์เรอร์ θ_e ได้เป็น

$$\theta_e = \pi / 2 + (\omega_i - \omega_o / K_d K_o \tag{2.28}$$

จากสมการ (2.23) จะสังเกตได้ว่าเมื่อ $\omega_i = \omega_o$ โวลท์เตจเอาท์พุทของ VCO จะมีเฟสควอดคราเจอร์คือมีเฟสต่างไปจากเฟสของสัญญาณอินพุทโวลท์เตจ 90° ไปสู่ค่าสูงสุด 180° ที่อยู่เหนือสุดของพิกัดการล็อคและถ้า ω_i เคลื่อนไปทางด้านต่ำกว่า ω_o มุมของเฟสจะลดลงจาก 90° ไปสู่ค่า 0° ที่ล่างสุดของพิกัดการล็อค

ค. การทำงานของระบบในลักษณะไดนามิก ($\theta_i(t) = \Delta\omega t$)

ถ้าความถี่ของสัญญาณอินพุทเปลี่ยนแปลงไปอย่างช้า ๆ ระบบเฟสล็อคลูปยังสามารถอยู่ในสภาวะล็อคได้ และเปลี่ยนแปลงตามสัญญาณอินพุทโดยจะเพิ่มค่าของเฟสเออร์เรอร์ θ_e ระหว่างวีซีโอ และสัญญาณอินพุทให้มากขึ้นตามเวลา จากนั้น θ_e ที่เพิ่มขึ้นจะถูกเปลี่ยนไปเป็น ดีซีเออร์เรอร์โวลท์เตจ V_d ด้วยเฟสดีเทคเตอร์ เออร์เรอร์โวลท์เตจนี้จะไปขับให้ความถี่ของ VCO เลื่อนไปเท่ากับความถี่ของสัญญาณอินพุท ขณะที่ระบบเฟสล็อคลูปเปลี่ยนแปลงตามสัญญาณ อินพุทลูปเออร์เรอร์โวลท์เตจ V_d จะมีค่าเป็นสัดส่วนโดยตรงกับผลต่างระหว่างความถี่สัญญาณ อินพุท ω_i กับความถี่ฟรีรันนิ่ง ω_o ของ VCO

การพิจารณาเรื่องการแทร็คคิ่งของระบบเฟสล็อคลูปก็คือการพิจารณาถึงเฟสเออร์เรอร์ θ_e ของระบบ ระบบที่มีการแทร็คคิ่งที่ดีจะต้องมีเฟสเออร์เรอร์น้อย

สมมุติว่าระบบเฟสล็อคลูปมีเฟสอินพุทเปลี่ยนแปลงไปในลักษณะสเต็ป หมายความว่า $\Delta\omega$ เท่ากับผลต่างระหว่างความถี่อินพุทกับความถี่ฟรีรันนิ่งของ VCO ($\Delta\omega = \omega_i - \omega_o$)

ลูปจะต้องการคอลโทรลโวลท์เตจเพื่อไปขับ VCO ให้มีความถี่เลื่อนไปเท่ากับ $\Delta\omega$ ดังนั้น V_C จะต้องมีค่าเป็น

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

42139

$$R_C = \Delta\omega / K_o \tag{2.29}$$

เมื่อลูปเข้าสู่สภาวะคงที่ $V_C = V_d F(O)$ เมื่อ $F(O)$ คืออัตราขยายต่อสัญญาณดีซีของลูปฟิลเตอร์สัญญาณ V_c จะทำให้ลูปเข้าสู่สภาวะล็อคดังเดิม เฟสดีเทคเตอร์เอาท์พุทจะให้เฟสเออร์เรอร์จะต้องเป็น

$$\theta_e = V_d / K_d \tag{2.30}$$

ดังนั้นเพื่อให้ได้คอนโทรลโวลท์เตจ Vo ตามที่ต้องการ เฟสเออร์เรอร์จะต้องมีค่าเป็น

$$\theta_e = \Delta\omega / K_d K_o F(O) \tag{2.31}$$

เมื่อเฟสเออร์เรอร์มีค่าเพิ่มขึ้นตามสมการ (2.30) ลูปสามารถปรับแต่งให้ความถี่เอาท์พุทของระบบการแทร็คตามการเปลี่ยนแปลงของความถี่ของสัญญาณอินพุทหรือเฟสอินพุทที่เปลี่ยนไปตามเวลาและล็อคได้กับสัญญาณอินพุทเหมือนดังเดิม

พิกัดความถี่ตลอดช่วงที่ระบบเฟสล็อคลูปสามารถดำรงการล็อคไว้ได้กับสัญญาณอินพุท เราเรียกว่า " พิสัยการล็อคของระบบ"

สมมุติว่าเราให้ ω_i เบี่ยงเบนไปจากความถี่ศูนย์กลาง ω_o ของ VCO เพื่อ $|\omega_i - \omega_o|$ มากกว่าค่าอัตราขยายลูป $K(\theta_\phi - \theta_o)$ จะมีค่าไม่สอดคล้องหรือไม่เป็นไปตามสมการ (2.21) สภาวะสมดุลของการซิงโครไนส์จะไม่สามารถดำรงอยู่ต่อไปได้และลูปจะหลุดออกไปจากการล็อคกับความถี่ของสัญญาณอินพุท ความถี่ของ VCO จะกลับไปมีค่าเป็นความถี่ศูนย์กลาง ω_o และ V_d ก็จะกลับมาอยู่ในลักษณะของสัญญาณเอซี

สำหรับเฟสดีเทคเตอร์แบบมีคุณสมบัติการเปลี่ยนแปลงความถี่ไปเป็นโวลท์เตจเป็นลักษณะรูปคลื่นซายน์ขีดจำกัดการแทร็คตามความถี่สัญญาณอินพุทของลูปจะอยู่ในพิสัยจาก $\omega_o - K$ ถึง $\omega_o + K$ เมื่อ ω_o เท่ากับความถี่เชิงมุมศูนย์กลางของ VCO และ K เท่ากับอัตราการขยายลูป $(K = K_d K_o)$

เอาท์พุทโวลท์เตจของเฟสล็อคลูปจะนำไปประยุกต์ใช้งานเกี่ยวกับฟรีเควนซี่ดิสคริมิเนเตอร์ (frequency discriminator) ส่วนความถี่เอาท์พุทจะนำไปใช้งานเกี่ยวกับการประมวลสภาวะของสัญญาณฟรีเควนซีซินเทซีสหรือการคืนรูปของสัญญาณนาฬิกา

ในการนำเอาเอาท์พุทโวลท์เตจของเฟสล็อคลูปมาใช้งานเมื่อลูปอยู่ในสภาวะล็อคกับความถี่อินพุท เออร์เรอร์โวลท์เตจ $V_d(t)$ ที่ได้จากเฟสดีเทคเตอร์จะมีค่าเป็นสัดส่วนกับความต่างของความถี่ระหว่างสัญญาณอินพุท ω_i และความถี่ฟรีรันนิ่งของ VCO และเออร์เรอร์โวลท์เตจนี้จะเปลี่ยนความถี่ของ VCO เพื่อที่จะเปลี่ยนความถี่ของ VCO จาก ω_o ไปเป็น ω_i ให้การล็อคคงอยู่

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ถ้าความถี่ของอินพุทเปลี่ยนไปอย่างกรณีของสัญญาณ FM เออร์เรอร์โวลท์เตจจะเปลี่ยนไปเป็นสัดส่วนกับความถี่อินพุตที่เปลี่ยนแปลง เพื่อดำรงการล็อคให้คงอยู่ดังนั้นเอาท์พุตโวลท์เตจจะเปรียบเสมือนฟรีเควนซี่ดิสคริมิเนเตอร์คือสามารถแปลงการเปลี่ยนแปลงของความถี่อินพุตให้เป็นการเปลี่ยนแปลงของโวลท์เตจ

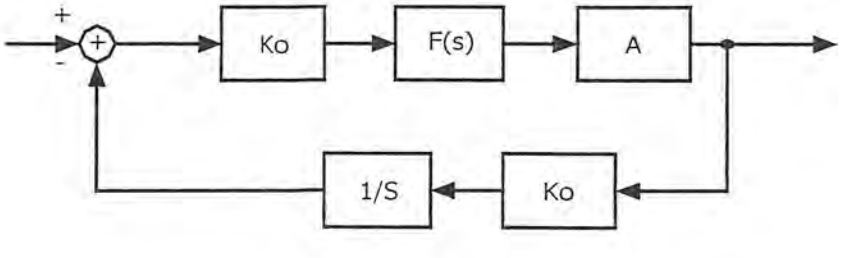
การนำเอาความถี่เอาท์พุตของเฟสล็อคลูปมาใช้งานเมื่ออยู่ในสภาวะล็อคกับสัญญาณอินพุต เอาท์พุตของ VCO จะให้ลูกคลื่นที่เปลี่ยนแปลงเป็นคาบเวลาด้วยความถี่ที่แน่นอนและเท่ากับสัญญาณอินพุต ยกเว้นเฟสจะมีค่าต่างกัน θ_e และด้วยความต่างเฟสนี้จะทำให้เกิดเออร์เรอร์โวลท์เตจเพื่อรักษาให้เฟสล็อคลูปอยู่ในสภาวะล็อค ถ้าสัญญาณอินพุทประกอบด้วยคอมโพเน้นท์ความถี่ต่าง ๆ มากมาย ซึ่งได้แก่ น้อยส์ (noise) หรือสัญญาณรบกวนอื่น ๆ เราสามารถนำให้ระบบเฟสล็อคลูปจำเพาะนั้นใหม่ ขณะเดียวกันก็จะลดทอนหรือจำกัดความถี่ที่ไม่ต้องการอื่น ๆ นอกจากนั้นเอาท์พุทของ VCO สามารถใช้สำหรับให้กำเนิดใหม่หรือแยกเอาสัญญาณความถี่ที่ต้องการออกจากสัญญาณที่ไม่ต้องการ คุณสมบัตินี้ของเฟสล็อคลูปทำให้ระบบเฟสล็อคลูปเป็นระบบที่น่าสนใจสำหรับให้กำเนิดสัญญาณใหม่หรือแยกเอาสัญญาณต่ำ ๆ ที่ปนอยู่ในน้อยส์ออกมาใหม่ได้

เมื่อระบบเฟสล็อคลูปอยู่ในสภาวะล็อค ลักษณะนอนลิเนียร์ของการแค็ปเจอร์ซึ่งจะเกิดขึ้นชั่วขณะก็จะหายไปแทนที่ด้วยความสัมพันธ์ที่เป็นลิเนียร์เกิดขึ้นระหว่างเอาท์พุทของเฟสดีเทคเตอร์และผลต่างของเฟสระหว่างสัญญาณอินพุทและเอาท์พุทของ VCO ภายใต้ภาวะที่เราสามารถจะวิเคราะห์ระบบเฟสล็อคลูปได้ในลักษณะระบบป้อนกลับที่เป็นลิเนียร์โดยใช้เทคนิคการวิเคราะห์ระบบป้อนกลับแบบทั่วไปด้วยลาปลาซทรานส์ฟอร์มและสมการดิฟเฟอเรนเชียล

$$\theta_c(s) / \theta_r(s) = B(s) = forward\ \ gain / 1 + open\ \ loop\ \ gain$$

θ_c คือเฟสของ VCO

θ_r คือเฟสของสัญญาณอ้างอิง (2.32)



รูปที่ 2.13 บล็อคไดอะแกรมของระบบเฟสล็อคลูปที่เป็นระบบป้อนกลับลิเนียร์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รูปที่ 2.13 แสดงถึงบล็อคไดอะแกรมของระบบเฟสล็อคลูปที่เป็นระบบป้อนกลับลิเนียร์ในโดเมนคอมเพล็กซ์ฟรีเควนซีเมื่อ $s = 6 + j\omega$ คือตัวแปรตามความถี่เชิงซ้อน เฟสดีเทคเตอร์จะให้เอาท์พุตโวลท์เตจเป็นสัดส่วนกับผลต่างของเฟส θ_e ระหว่างสัญญาณอินพุตและเอาท์พุท VCO ที่มีคอนเวอร์ชั่นแอมปลิฟลายเออร์เท่ากับ A สมมติ F(s) จะมีอัตราขยายเป็นหนึ่งที่ความถี่ดีซี อัตราขยายโวลท์เตจไปเป็นความถี่ของ VCO ที่ค่าเท่ากับ Ko และมีหน่วยเป็น(เรเดียน/วินาที/โวลท์)

เอาท์พุทของเฟสดีเทคเตอร์เป็นสัดส่วนกับผลต่างของเฟสระหว่างสัญญาณอินพุท

$$V_\theta = K_d(\theta_r - \theta_e) \tag{2.33}$$

เมื่อ θ_i คือเฟสของ VCO ที่ถูกหาร

สมมุติให้ VCO เป็นอุปกรณ์ที่มีลักษณะเป็นลิเนียร์มีความถี่เอาท์พุตแตกต่างจากความถี่ฟรีรันนิ่งโดยการเพิ่มขึ้นของความถี่

$$2\pi\delta f = K_o V_\theta \tag{2.34}$$

ซึ่งจากสมการนี้สมมุติระบบเฟสจากขั้นตอนของ VCO สามารถอธิบายได้ว่า

$$2\pi\delta f = d / dt(\theta_c) = K_o V_\theta \tag{2.35}$$

ซึ่งจากสมการนี้สมมุติระบบเฟสล็อคลูปสามารถแทนได้ในลักษณะของเส้นตรง ฟังก์ชั่นที่สัมพันธ์กับ $\theta_c(s)$ และ $\theta_r(s)$ คือ

$$\begin{aligned} B(s) &= \theta_c(s) / \theta_r(s) \\ &= [K_d K_o F(s) / s] / 1 + K_d K_o F(s) / Ns \end{aligned} \tag{2.36}$$

จะได้ฟอร์เวิร์ดเกนเท่ากับ $G(s) = K_d K_o F(s) / s$ (2.37)

และลูปแบบเปิดเกนเท่ากับ $G(s)H(s) = K_d K_o F(s) / Ns$ (2.38)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.1.4 ผลของลูปฟิลเตอร์และอัตราขยายลูปที่มีต่อคุณสมบัติการทำงานของระบบเฟสล็อคลูป

ฟังก์ชั่นของลูปฟิลเตอร์ F(s) มีผลต่อคุณสมบัติการทำงานของระบบเฟสล็อคลูปอย่างมาก เมื่อระบบเฟสล็อคลูปอยู่ในสภาวะล็อค หน้าที่ของลูปฟิลเตอร์ร่วมกับอัตราการขยายลูป $K_d K_o A$ จะเป็นตัวกำหนดที่ผลตอบสนองชั่วขณะและคุณสมบัติของผลตอบสนองทางความถี่ของระบบ เมื่อระบบเฟสล็อคลูปไม่อยู่ในสภาวะล็อค ลูปฟิลเตอร์จะมีผลเด่นชัดในการควบคุมคุณสมบัติของการแค็ปเจอร์ของลูป

ก. ลูปลำดับที่หนึ่ง

การทำงานของเฟสล็อคลูปในกรณีง่ายที่สุดก็คือลูปฟิลเตอร์ไม่ได้ต่ออยู่ในลูปกระทำโดยการตั้งให้ F(s)=1.0 ระบบเฟสล็อคลูปแบบนี้เรียกว่า "ลูปลำดับที่หนึ่ง" เนื่องจากทรานส์เฟอร์ฟังชั่นจะลดลงเหลือโพลเดียวของโลว์พาสฟิสเตอร์

$$V_c / \Delta\omega_1 = 1/K_o * 1/(1 + s/K_d K_o A) \qquad (2.39)$$

$$\Delta\omega_1 = d/dt(\theta_1) \qquad (2.40)$$

$\Delta\omega_1$ คือการเบี่ยงเบนไปของความถี่ของสัญญาณอินพุท

ระบบจะมีลักษณะเหมือนกับโลว์พาสฟิลเตอร์แบบโพลเดียวที่มีคอนเวอร์ชั่นเกนที่ความถี่ต่ำเท่ากับ 1/Ko และมีแบนวิดธ์ –3 dB เท่ากับ $K_d K_o A$ นอกจากนั้นที่ ดีซี หรือความถี่ต่ำ ๆ เมื่อ $S \to 0$ และ $F(s) \cong 1.0$ จะได้ว่า

$$V_c / \Delta\omega_1 \Big|_{s=0} = 1/K_o \qquad (2.41)$$

สมการ (2.40) แสดงถึงคุณสมบัติการเปลี่ยนแปลงความถี่ไปเป็นโวลท์เตจที่เป็นลิเนียร์

ผลตอบสนองของระบบเฟสล็อคลูปในสภาวะล็อคต่อการเปลี่ยนแปลงของความถี่อินพุทจะได้รับอิทธิพลจากพารามิเตอร์สองตัวคือ ทรานส์เฟอร์ฟังชั่นของลูปฟิลเตอร์ F(s) และแฟคเตอร์ของอัตราขยายลูป $K_d K_o A$

ลูปลำดับที่หนึ่งจะมีขีดจำกัดในการใช้งานเนื่องจากลูปลำดับที่หนึ่งจะมีการเลือกเฟ้นและคุณสมบัติการกำจัดสัญญาณรบกวนไม่ดี สาเหตุจากในระบบไม่มีลูปฟิลเตอร์ เมื่อไม่มีลูปฟิลเตอร์คอมโพแน้นท์ความถี่สูงที่ออกมาจากเฟสดีเทคเตอร์จะปรากฏโดยตรงที่เอาท์พุท เอาท์พุท Vo นี้จะประกอบด้วยคอมโพแน้นท์เองจากนอยส์หรือสัญญาณที่ไม่ต้องการที่เอาท์พุทที่มีความถี่ใกล้เคียงกับความถี่สัญญาณที่ต้องการ ดังนั้นคุณสมบัติการเลือกเฟ้นของระบบเฟสล็อคลูปจะเลวลง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การทำงานของเฟสล็อคลูปที่ไม่มีฟิลเตอร์จะมีข้อเสียคือ ถ้าหากสัญญาณอินพุทมีสัญญาณรบกวนที่อยู่นอกแบนด์รวมเข้ามาด้วยจะมีผลทำให้ความถี่เอาท์พุตเปลี่ยนแปลงตามไปด้วย ดังนั้นลูปฟิลเตอร์มีความจำเป็นอย่างมากในกรณีที่สัญญาณรบกวนที่อินพุทเพื่อกำจัดเอาท์พุทสัญญาณรบกวนออกไป

ข. ลูปลำดับที่สอง

ในการประยุกต์ใช้งานทั่ว ๆ ไป ระบบเฟสล็อคลูปจะใช้โลว์พาสฟิลเตอร์แบบมีโพลเดียว และระบบเฟสล็อคลูปจะอธิบายได้ทรานส์เฟอร์ฟังชั่นที่มีสองโพล ซึ่งเรียกกันทั่ว ๆ ไปว่า "ลูปลำดับที่สอง" โครงสร้างของโลว์พาสฟิลเตอร์ใช้กันทั่วไปเป็นฟิลเตอร์แบบโพลเดียว ซึ่งมีทรานส์เฟอร์ฟังส์ชั่นเป็น

$$F(s) = 1/(1 + s/\omega_1) \qquad (2.42)$$

เมื่อ $\omega_1 = 1/R_1C_1$ เป็นแบนด์ของโลว์พาสฟิลเตอร์

เนื่องจากฟิลเตอร์จะทำให้เกิดเฟสล้าหลังไป 90° ที่ความถี่สูงซึ่งหมายถึง "แล็กฟิลเตอร์" จะได้ทรานส์เฟอร์ฟังชั่นเป็น

$$V_c(s)/\Delta\omega_1(s) = 1/K_o(1/(1+s/K_L + s^2/\omega_1 K_L) \qquad (2.43)$$

ค่ารากหรือโพลของระบบเฟสล็อคลูปจะได้ว่า

$$s_1.s_2 = \omega_1/2(1 \pm \sqrt{1-(4K_L/\omega_1})$$

$$K_L = K_d K_o A \qquad (2.44)$$

เมื่อเพิ่มค่าของ K_L โพลจะกลายเป็นค่าเชิงซ้อนคู่เสมือนและระบบจะเป็นอันเดอร์แดมพ์ (unerdamped) จากสมาการ (2.42) จะเขียนในเทอมใหม่ได้เป็น

$$V_c/\Delta\omega_1 = 1/K_o(1/s_2/\omega^2 n + (2\zeta/\omega_n)s + 1 \qquad (2.45)$$

เมื่อ $$\omega_n = \sqrt{K_L\omega_1} \qquad (2.46)$$

และ $$\zeta = (1/2)\sqrt{\omega_1/K_L} \qquad (2.47)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จะสังเกตได้ว่าหากแบนด์วิดธ์ของลูปฟิลเตอร์ ω_1 ลดลงหรือ K_L เพิ่มขึ้นค่าแดมปิ้งของลูปจะลดลง(หมายความถึงค่า ζ จะลดลง)ผลตอบสนองความถี่ของลูปจะเป็นพีค (peaking) และผลตอบสนองต่อสเต็ปของลูปในช่วงเริ่มต้นชั่วขณะจะเกิดการออสซิลเลท

ค่าพีค (peaking) ในผลตอบสนองทางความถี่จะเป็นสาเหตุให้เกิดความผิดเพี้ยนในสัญญาณเอาท์พุทที่ถูดดีมอดดูเลทมาจากเอฟเอ็มและเป็นสาเหตุให้เกิดการแกว่งไกวหรือให้ผลตอบสนองที่เลวเมื่อลูปมีการรบกวนเกิดขึ้นชั่วขณะ การออกแบบระบบเฟสล็อคลูปให้มีคุณสมบัติการทำงานให้ดีที่สุดควรกำหนดให้โครงสร้างโพลของโลว์พาสฟิลเตอร์มีค่าแฟลต (flat) มากที่สุด แดมปิ้งแฟคเตอร์ควรมีค่าเท่ากับ $1/\sqrt{2}$ จะได้ ω_1 ที่เหมาะสมเป็น

$$\omega_1 = 2K_L \tag{2.48}$$

และความถี่ที่ -3dB แบนด์วิดธ์ของลูปจะได้เป็น

$$\omega - 3dB = \omega_n = \sqrt{K_L \omega_1} = \sqrt{2}K_L \tag{2.49}$$

วงจรเฟสล็อคลูปที่ใช้ในระบบสื่อสารทั่วไป จะต้องการให้มีพิสัยการล็อคกว้าง เพื่อที่จะได้สามารถติดตามการเปลี่ยนแปลงความถี่ของสัญญาณอินพุทได้ช่วงกว้าง นอกนั้นก็ต้องการให้ระบบมีแบนด์วิทด์ของลูปแคบ ๆ เพื่อกำจัดสัญญาณที่อยู่นอกแบนด์

2.1.5 กระบวนการแค็ปเจอร์สัญญาณอินพุท

คุณสมบัติที่สำคัญในการทำงานของระบบเฟสล็อคลูปคือ กระบวนการแค็ปเจอร์ (Capture Process) เป็นกระบวนการที่จะทำให้ระบบได้มาซึ่งการล็อคกับสัญญาณอินพุท โดยที่ลูปจะเริ่มต้นจากสภาวะฟรีรันนิ่ง กระบวนการแค็ปเจอร์นี้เป็นกระบวนการที่ค่อนข้องยุ่งยากและมีลักษณะเป็นนอนลิเนียร์ซึ่งเราจะได้อธิบายถึงคุณสมบัติของกระบวนการนี้ต่อไป

ขั้นแรกสมมติว่าฟีดแบ็คลูปของระบบเฟสล็อคลูปถูกตัดขาดระหว่างลูปฟิลเตอร์เอาท์พุทและคอนโทรลอินพุทของ VCO ซึ่งจะทำให้ V_d มีค่าเป็นศูนย์และ VCO จะออสซิลเลทอย่างต่อเนื่องที่ความถี่ฟรีรันนิ่ง ω_o ต่อจากนั้นสมมติว่าสัญญาณอินพุทถูกป้อนให้ลูปด้วยความถี่ ω_1 ซึ่งเป็นความถี่ที่ใกล้ฟรีรันนิ่ง ω_o แต่ไม่เท่ากับ ω_o ในกรณีนี้เฟสดีเท็คเตอร์มีฟังก์ชั่นเหมือนกับมัลติพลายเออร์หรือมิกเซอร์ ดังนั้นเอาท์พุทโวลท์เตจที่ได้จากเฟสดีเทคเตอร์จะเป็นคอมโปเน้นท์ของสองความถี่มีผลบวกของความถี่

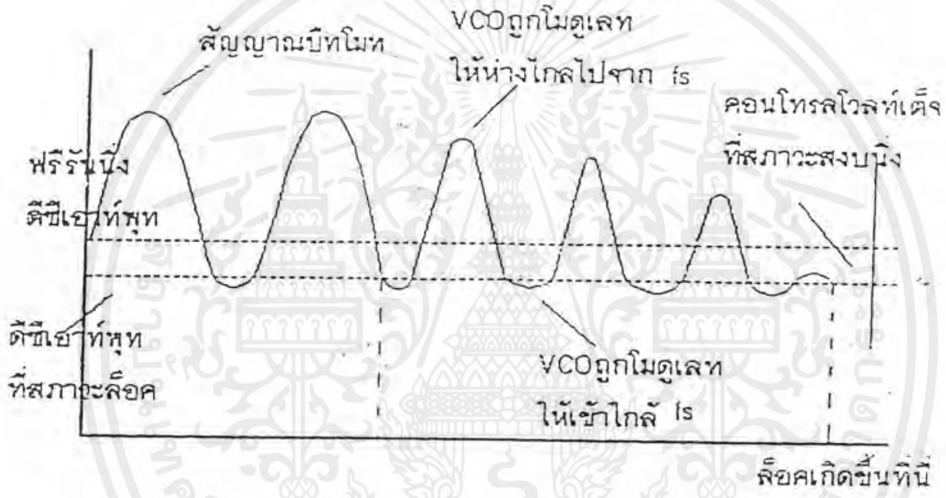
$$\omega_{sum} = \omega_0 + \omega_1 \tag{2.50}$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

และผลต่างของความถี่

$$\Delta\omega = |\omega_0 - \omega_1| \tag{2.51}$$

ตามปกติแบนด์ท์ของโลว์พาสลูปฟิลเตอร์จะแคบมากพอที่จะกรองเอาคอมโพแน้นท์ผลบวกของความถี่ออกไปได้อย่างสมบูรณ์ ถ้า ω_1 มีค่าใกล้เคียงกับค่า ω_0 ดังนั้นผลต่างของความถี่ $(\omega_0 - \omega_1)$ จะมีค่าน้อยมากและมีค่าอยู่ในพาสแบนด์ของโลว์พาสลูปฟิลเตอร์ในลักษณะของบีทโนท (beat note) ลูกคลื่นซายน์ ลูกคลื่นนี้อยู่ทางด้านซ้ายมือของรูปที่ 2.14 ซึ่งแสดงว่า $\omega_0 > \omega_1$



รูปที่ 2.14 เออร์เรอร์โวลท์เตจชั่วขณะในระหว่างเวลากระบวนการแค็ปเจอร์

ต่อไปสมมุติว่าลูปถูกต่อให้ครบลูปอย่างทันทีทันใด โดยการต่อโลว์พาสฟิลเตอร์เอาท์พุทเข้ากับขั้วคอนโทรลอินพุทของ VCO ซึ่งจะทำให้ความถี่ของ VCO ถูกโมดูเลทด้วย บีทโนทหรือผลต่างของสัญญาณเมื่อเกิดการโมดูเลทชั่นดังกล่าวความถี่บีทโนท $\Delta\omega$ จะกลายเป็นฟังก์ชั่นที่แปรไปตามเวลาคือ $\Delta\omega$ จะแปรค่าสลับกันไประหว่างมีค่าเข้าใกล้ความถี่อินพุทและมีค่าห่างไกลไปจากความถีอินพุท และโวลท์เตจนี้จะมีความถี่ที่เปลี่ยนสลับกันไปคือความถี่จะลดลงในช่วงครึ่งไซเกิลลบและความถี่จะเพิ่มขึ้นในช่วงครึ่งไซเกิลบวก ดังนั้นภายใต้สภาวะนี้บีทโนทจะมีลักษณะไม่สมาตรและดูเหมือนกับอนุกรมของยอดแหลมดังแสดงในส่วนของรูปที่ 2.14 เราจะสังเกตได้ว่าส่วนของบีทโนทที่โมดูเลทให้ VCO ความถี่ห่างไกลไปจากสัญญาณอินพุทจะมีลักษณะเป็นยอดแหลมมากกว่า เนื่องจากความไม่สมมาตรนี้ ลูกคลื่นของบีทโนทจะประกอบด้วยดีซีโวลท์เตจซึ่งจะไปขับให้ความถี่ของ VCO มีค่าเข้าสู่สัญญาณอินพุทเมื่อ VCO เท่ากับ ω_1 ความถี่ของบีทโนท

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จะลดลงอย่างรวดเร็วความไม่สมมาตรก็จะเพิ่มขึ้นและในที่สุดก็จะลู่เข้าสู่ค่าดีซีที่มีค่าคงที่อย่างรวดเร็วในชั่วเวลาขณะหนึ่งลูปก็จะเข้าสู่สภาวะล็อคเมื่อความถี่ของ VCO เท่ากับ ω_1 อย่างแน่นอน ระบบก็จะเข้าสู่การล็อคผลต่างของความถี่ $\Delta\omega$ จะมีค่าเท่ากับศูนย์และคงเหลือแต่ดีซีโวลท์เตจที่เอาท์พุทของลูปฟิลเตอร์ ดีซีโวลท์เตจนี้เกิดขึ้นจากผลต่างของเฟส θ_e ระหว่างเอาท์พุทของ VCO และสัญญาณอินพุท สมมติว่าลูปฟิลเตอร์มีอัตราขยายดีซีเป็นหนึ่งและเฟสดีเท็คเตอร์มีคอนเวอร์ชั่นเกน Kd (โวลท์/เรเดียน) เออร์เรอร์โวลท์เตจที่สถานะคงที่นี้จะมีค่าเป็น $V_c = V_c(t) \Big| = -K_d\theta_e$ สถานะคงที่

เครื่องหมายลบในสมการ (เนื่องมาจากเราได้สมมุติไว้ในตัวอย่างของรูปที่ 2.14 ว่า $\omega_o > \omega_1$ ซึ่งจะทำให้ได้โวลท์เตจลบที่ขั้วคอนโทรลอินพุทของ VCO เพื่อไปเลื่อน ω_0 ให้ไปเท่ากับ ω_1

เวลาทั้งหมดที่ใช้ไปเพื่อให้ระบบเฟสล็อคลูปเกิดการล็อคเราเรียกว่า "พูลอินไทม์" จะขึ้นอยู่กับเฟสเริ่มต้นและผลต่างของความถี่ระหว่างสองสัญญาณ และยังขึ้นอยู่กับอัตราขยายลูปและคุณสมบัติของลูปฟิลเตอร์

จุดประสงค์หลักของลูปฟิลเตอร์คือ การกรองเอาคอมโพแน้นท์ต่าง ๆ ซึ่งเป็นสัญญาณที่ไม่ต้องการและมีความถี่ห่างไกลจากความถี่ฟรีรันนิ่งของ VCO คุณลักษณะดังกล่าวนี้แสดงถึงคุณสมบัติในการแค็ปเจอร์เฉพาะสัญญาณที่มีความถี่ใกล้เคียงกับความถี่ฟรีรันนิ่งของ VCO ซึ่งหมายความว่าผลต่างของความถี่ $\Delta\omega$ จะต้องมีค่าโดยประมาณอยู่ภายในแบนด์วิดธ์ของลูปฟิลเตอร์

ฟังก์ชั่นสำคัญอีกอันหนึ่งของโลว์พาสฟิลเตอร์คือมันจะเป็นตัวเก็บความจำได้ในช่วงเวลาสั้น ๆ ของระบบเฟสล็อคลูปเพื่อช่วยให้ระบบสามารถแค็ปเจอร์สัญญาณได้ใหม่อย่างรวดเร็วถ้าระบบหลุดออกไปจากการล็อคในช่วงเวลาสั้น ๆ เนื่องจากการรบกวนในชั่วขณะหนึ่งได้ว่าโลว์พาสฟิลเตอร์จะบังคับให้เออร์เรอร์โวลท์เตจ $V_c(t)$ เปลี่ยนแปลงไปตามเวลาอย่างช้า ๆ และในกรณีนี้ถ้าระบบเฟสล็อคลูปหลุดไปจากการล็อกลูปเพียงชั่วขณะเนื่องจากน้อยส์หรือสัญญาณรบกวนความถี่ของ VCO จะไม่เปลี่ยนแปลงไปมากนักในช่วงเวลาสั้น ๆ ดังกล่าว ดังนั้นในสถาวะนี้จะช่วยให้ระบบสามารถแค็ปเจอร์สัญญาณอินพุทได้ใหม่อย่างรวดเร็วทันทีทันใดเมื่อเวลาผ่านไปชั่วขณะแล้ว

สรุปได้ว่าโลว์พาสลูปฟิลเตอร์จะทำหน้าที่ลดทอนคอมโพแน้นท์ความถี่สูงของเออเรอร์โวลท์เตจในระบบเฟสล็อคลูป โลว์พาสฟิลเตอร์ก่อให้เกิดผลที่สำคัญต่อการแค็ปเจอร์และคุณสมบัติการตอบสนองชั่วขณะของระบบ การลดแบนด์วิดธ์ของฟิลเตอร์ จะมีผลทำให้เกิดขึ้นต่อการทำงานของระบบดังนี้

1. กระบวนการแค็ปเจอร์จะช้าลงไปและพูลอินไทม์จะเพิ่มขึ้น
2 . พิสัยการแค็ปเจอร์จะลดลง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3. ทันทีที่ลูปเกิดการล็อค คุณสมบัติของเฟสล็อคลูปเกี่ยวกับการกำจัดสัญญาณรบกวนจะเกิดผลคือเออร์เรอร์โวลท์เตจที่เกิดจากความถี่ของสัญญาณรบกวนจะถูกลดทอนลงไปโดยโลว์พาสฟิลเตอร์

4 ผลตอบสนองชั่วขณะของระบบเฟสล็อคลูปต่อการเปลี่ยนแปลงความถี่อินพุทอย่างทันทีทันใดภายในพิสัยการแค็ปเจอร์จะได้เป็นลักษณะ อันเดอร์แด้มป์ (Underdamped)

2.1.6 คุณสมบัติการแทร็คตามสัญญาณอินพุท

ทันทีที่ระบบเฟสล็อคลูปล็อคกับสัญญาณอินพุทระบบสามารถจะแทร็คตามการเปลี่ยนแปลงอย่างช้าๆของสัญญาณอินพุทได้ด้วยการเพิ่มเฟสเออร์เรอร์ θ_o ระหว่าง VCO และสัญญาณอินพุทจากนั้นเฟสเออร์เรอร์ที่เพิ่มขึ้นจะถูกแปลงไปเป็นดีซีเออร์เรอร์โวลท์เตจ V_d ด้วยเฟสดีเทคเตอร์ เออร์เรอร์โวลท์เตจนี้จะไปรักษาให้ความถี่ของ VCO เคลื่อนไปเท่ากับความถี่ของสัญญาณอินพุท ขณะที่ระบบเฟสล็อคลูปแทร็คตามสัญญาณอินพุท ลูปเออร์เรอร์โวลท์เตจ Vd จะมีค่าเป็นสัดส่วนโดยตรงกับผลต่างระหว่างความถี่สัญญาณอินพุท ω_1 กับความถี่ฟรีรันนิ่ง ω_0 ของ VCO หรือพูดอย่างหนึ่งได้ว่าขณะที่ระบบเฟสล็อคลูปแทร็คตามสัญญาณอินพุท เอาท์พุทโวลท์เตจของลูปจะมีฟังก์ชั่นเหมือนกับการแปลงความถี่เป็นโวลท์เตจ

พิสัยการแทร็คตามสัญญาณอินพุทของระบบเฟสล็อคจะกำหนดได้ด้วยการพิจารณาว่าโวลท์เตจเออร์เรอร์ที่เกิดขึ้นในลูปได้สูงสุดเท่าไร สมมุติว่าในลูปไม่มีแอมปลิฟลายเออร์ ปริมาณของเออร์เรอร์โวลท์เตจจะมีค่าสูงสุด $(V_d)_{max}$ เมื่อผลต่างของเฟส θ_e มีค่าอยู่ที่ค่าจำกัดสูงสุด $\pm\pi/2$ ดังนั้นพิสัยการแทร็คตามสัญญาณอินพุทของระบบเฟสล็อคลูปจะมีค่าเป็น

$$\pm\Delta\omega = \pm(V_d)_{max} K_o \tag{2.52}$$

เมื่อ K_o คือคอนเวอร์ชั่นเกนของวีซีโอ (หน่วยเป็นเฮอร์ท/โวลท์)

รูปที่ 2.15 แสดงถึงคุณสมบัติการแปลงความถี่ไปเป็นโวลท์เตจของระบบเฟสล็อคลูป สมมติว่าอินพุทเป็นสัญญาณรูปคลื่นซายน์ซึ่งความถี่ของมันจะกวาดไปอย่างช้า ๆ ได้ในช่วงพิสัยความถี่ที่กว้าง ขั้นแรกความถี่อินพุทจะกวาดไปจากความถี่ต่ำผ่านพิสัยแค็ปเจอร์และพิสัยการล็อคของระบบเฟสล็อคลูปไปยังความถี่สูงและจากนั้นกวาดไปยังความถี่ต่ำ ส่วนสเกลทางด้านแกนตั้งเป็นค่าของเออร์เรอร์โวลท์เตจที่ผ่านลูปฟิลเตอร์แล้ว V_c และสมมติว่า VCO จะเพิ่มขึ้นเป็นสัดส่วนที่ลิเนียร์กับการเพิ่มขึ้นของคอนโทรลโวลท์เตจ

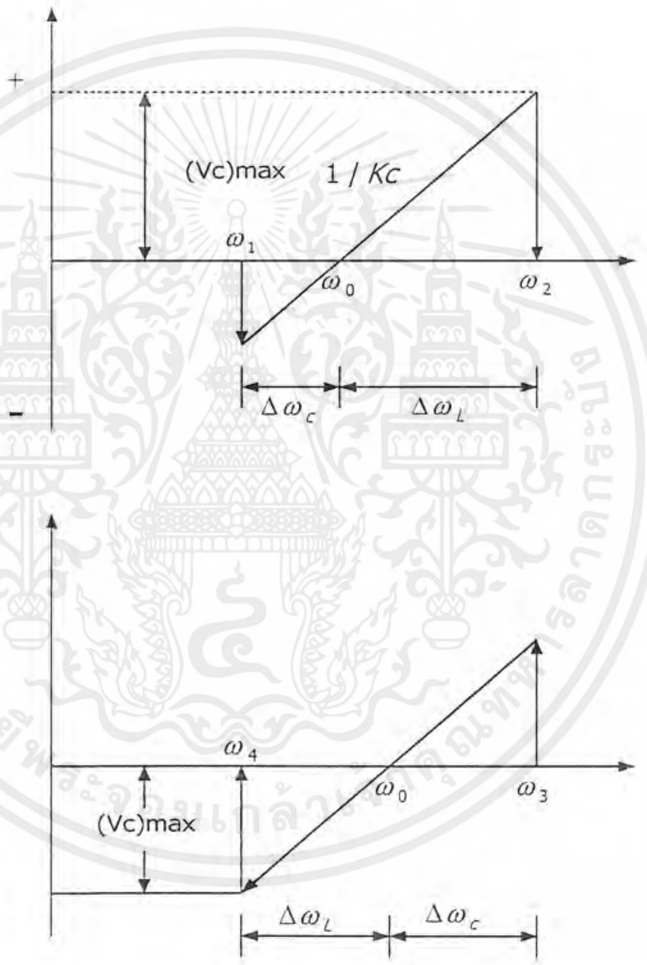
คุณสมบัติของการแปลงความถี่ไปเป็นโวลท์เตจของระบบเฟสล็อคลูป แสดงได้ใน รูปที่ 2.16 (ก) เมื่อความถี่อินพุทเพิ่มขึ้นอย่างช้า ๆ (ข) เมื่อความถี่อินพุทลดลงอย่างช้าๆความกว้างของ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ความถี่ระหว่าง ω_1, ω_3 เท่ากับพิสัยแค็ปเจอร์และความกว้างของความถี่ระหว่าง ω_2, ω_4 เท่ากับพิสัยการแทร็คตามสัญญาณอินพุทของระบบนั่นคือ

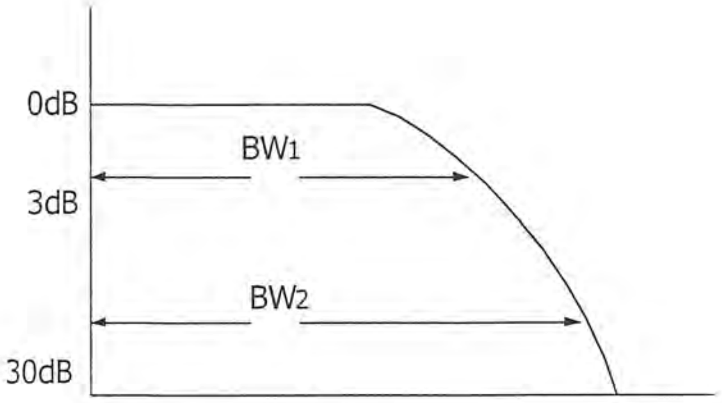
$$\omega_3 - \omega_1 = 2\Delta\omega_c \tag{2.53}$$

$$\omega_2 - \omega_4 = 2\Delta\omega_L \tag{2.54}$$

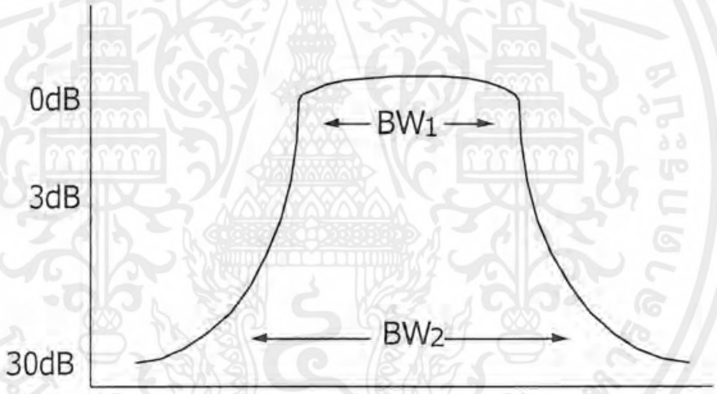


รูปที่ 2.15 คุณสมบัติการแปลงความถี่ไปเป็นโวลท์เตจ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



(ก) เมื่อความถี่อินพุทเพิ่มขึ้นอย่างช้าๆ

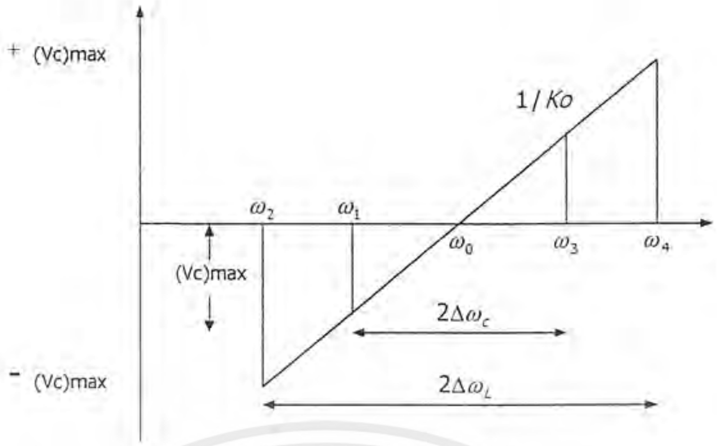


(ข) เมื่อความถี่อินพุทลดลง

รูปที่ 2.16 คุณสมบัติของการแปลงความถี่ไปเป็นโวลท์เตจของระบบเฟสล็อคลูป

ในรูปที่ 2.17 แสดงถึงคุณสมบัติการแปลงความถี่ไปเป็นโวลท์เตจของระบบเฟสล็อคลูปที่ผสมผสานกันระหว่างคุณสมบัติของพิสัยแค็ปเจอร์และพิสัยการล็อค ที่แสดงในรูปที่ 2.16 จากรูปที่ 2.17 คุณสมบัติการตอบสนองของระบบเฟสล็อคลูปเบื้องต้นสามารถสรุปได้ดังต่อไปนี้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.17 แสดงถึงคุณสมบัติรวมในการแปลงความถี่ไปเป็นโวลท์เตจของระบบเฟสล็อคลูป

1. ระบบเฟสล็อคลูปแสดงคุณสมบัติการเลือกเฟ้นความถี่และการแปลงความถี่ไปเป็นโวลท์เตจซึ่งมีความถี่ศูนย์กลางอยู่ที่ฟรีรันนิ่ง ω_O ของ VCO

2. ระบบสามารถจะแค็ปเจอร์ (ได้มาซึ่งการล็อค) กับสัญญาณที่มีความถี่อยู่ภายในพิสัยแค็ปเจอร์เท่านั้น $2\Delta\omega_C$ และมีศูนย์กลางอยู่ที่ ω_O

3. ทันทีที่ระบบเกิดการล็อคมันจะสามารถแทร็คตามสัญญาณอินพุทได้ตลอดช่วงพิสัยการล็อค $2\Delta\omega_L$ และมีศูนย์กลางอยู่ที่ ω_O

4. ลูปของคุณสมบัติการแปลงความถี่ไปเป็นโวลท์เตจจะเท่ากับส่วนกลับของอัตราการขยายการแปลงโวลท์เตจไปเป็นความถี่ของ VCO

รูปที่ 2.16 และ 2.17 ยังแสดงถึงพารามิเตอร์ที่สำคัญบางอย่างในการออกแบบระบบเฟสล็อคลูปพิสัยการล็อค = $(V_d)_{max}$ K_o ตามสมการ (2.51) ดังนั้นเราสามารถจะเพิ่ม $(V_d)_{max}$ ได้ด้วยการเพิ่มแอมปลิฟลายเออร์เข้าไปในลูปของเฟสล็อคลูปเบื้องต้น เพื่อเพิ่มอัตราขยายโวลท์เตจในลูปป้อนกลับพิสัยการล็อคจะเพิ่มขึ้นเป็น = $A(V_d)_{max}$ K_O เมื่อ A คืออัตราการขยายโวลท์เตจของแอมปลิฟลายเออร์เมื่อระบบเฟสล็อคลูปอยู่ในสภาวะล็อค V_d จะมีค่าเป็นดีซีโวลท์เตจ ดังนั้นลูปฟิลเตอร์จะไม่มีผลกระทบต่อพิสัยการล็อค

ความถี่ฟรีรันนิ่ง ω_O ของ VCO จะเป็นตัวกำหนดความถี่ศูนย์กลางของพิสัยแค็ปเจอร์และพิสัยการล็อค ดังนั้นความเที่ยงตรงและเสถียรภาพของความถี่ฟรีรันนิ่ง ω_O ของ VCO มีความสำคัญอย่างยิ่งเนื่องจากเรามักจะออกแบบให้พิสัยแค็ปเจอร์และพิสัยการล็อคมีช่วงแคบมาก ๆ ดังนั้นความต้องการเกี่ยวกับความเที่ยงตรงและเสถียรภาพของพิสัยทั้งสองดังกล่าวจึงกลายเป็นปัญหาขึ้นมา

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

คุณสมบัติการคอนโทรล VCO มีความสำคัญอย่างยิ่งดังแสดงในรูปที่ 2.17 ต่อ

ก. คุณสมบัติการแปลง F-V ของระบบ PLL

ข. สโลปของโวลท์เตจเอาร์พุทของระบบ PLL ($1/K_0$)

ค. ความเป็นลิเนียร์ของคุณสมบัติการแปลง F-V ของระบบเฟสล็อคลูป

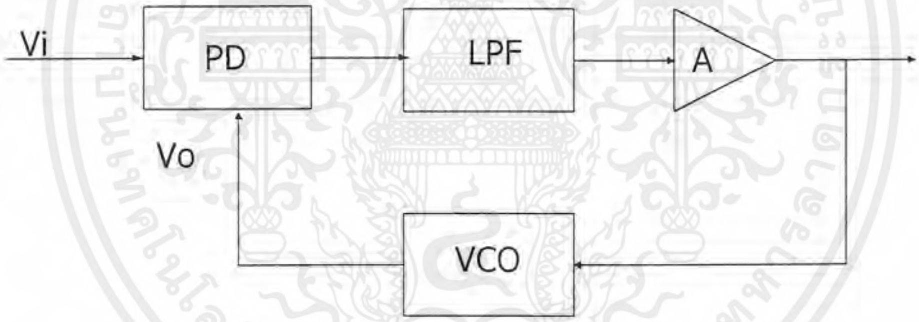
ดังนั้นเราสามารถสรุปได้ว่า : ดีซีลูปเกน

- คุณสมบัติของลูปฟิลเตอร์
- เสถียรภาพของ VCO
- คุณสมบัติของคอนโทรล VCO

ค่าเหล่านี้จะเป็นพารามิเตอร์พื้นฐานในการออกแบบวงจรโมโนลิทิคเฟสล็อคลูป PLL

2.1.7 พิสัยการล็อค

วงจรเฟสล็อคลูปในการใช้งานจริง ๆ มักจะเพิ่มแอมปลิฟลายเออร์เข้าในลูปของวงจรเฟสล็อคเบื้องต้นเพื่อเพิ่มอัตราการขยายโวลท์เตจในลูปป้อนกลับและเป็นการเพิ่มพิสัยการล็อคให้กับระบบด้วยวงจรเฟสล็อคลูปดังกล่าวแสดงได้ดังรูปที่ 2.18



รูปที่ 2.18 ระบบเฟสล็อคลูป

เมื่อระบบเฟสล็อคเข้าสู่สภาวะล็อคกับความถี่อินพุท ω_i เราจะได้ว่า

$$\omega = \omega_i = \omega_o + \omega_o V_c \tag{2.55}$$

$$V_C = (\omega_i - \omega_o) / K_o = K_d A(\theta_e - \pi / 2) \tag{2.56}$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เมื่อ A คืออัตราขยายโวลท์เตจของแอมปลิฟลายเออร์จากสมการ (2.56) เราจะได้ว่า

$$\phi - \pi / 2 = (\omega_i - \omega_o) / K_o K_d A \tag{2.57}$$

ดังนั้นเมื่อระบบล็อคอยู่กับสัญญาณอินพุท ความต่างเฟสระหว่างสัญญาณอินพุทโวลท์เตจกับเอาท์พุทโวลท์เตจของ VCO จะมีค่าเท่ากับ θ_e และเราจะหาความต่างเฟสได้เป็น

$$\theta_e = \pi / 2 + (\omega_i - \omega_o) / K_o K_d A \tag{2.58}$$

และความถี่ของสัญญาณทั้งสองจะซิงโครไนส์กันอย่างเที่ยงตรง

เอาท์พุทโวลท์เตจที่ได้จากเฟสดีเทคเตอร์จะมีค่าแมกนิจูดสูงสุดเมื่อ $\phi = \pi$ และ 0 เรเดียน คือ

$$V_{C(,\max)} = \pm K_d (\pi / 2) \tag{2.59}$$

ในเวลาเดียวกันเราจะได้คอนโทรลโวลท์เตจที่มีค่าสูงสุดสอดคล้องกับค่า $V_{C(\max)}$ เพื่อไปขับ VCO จะมีค่าเท่ากับ

$$V_{C(\max)} = \pm(\pi / 2) K_d A \tag{2.60}$$

ความถี่ของ VCO จะสวิงได้สูงสุดเท่ากับ

$$(\omega - \omega_o)_{\max} = K_o V_{c(\max)}$$

$$= \pm K_O K_d (\pi / 2) A \tag{2.61}$$

ดังนั้นพิสัยสูงสุดของความถี่สัญญาณอินพุทที่ระบบเฟสล็อคลูปสามารถดำรงรักษาการล็อคได้ตลอดพิสัยสูงสุดนี้จะมีค่าเท่ากับ

$$\omega_i = \omega_o \pm K_d K_o (\pi / 2) A$$

$$= \omega_o \pm \Delta\omega_L \tag{2.62}$$

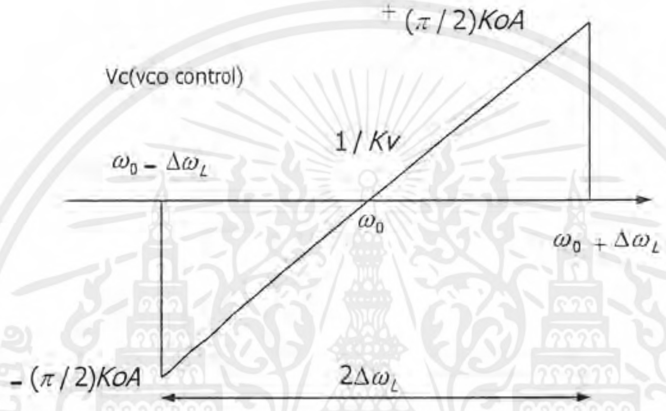
เมื่อ $2\Delta\omega_L$ จะเท่ากับพิสัยการล็อคและได้เป็น

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$\text{พิสัยการล็อค} = 2\Delta\omega_L = K_d K_o A\pi \tag{2.63}$$

เราจะสังเกตได้ว่าพิสัยการล็อคจะมีตำแหน่งที่สมมาตรกันเมื่อถือเอาฟรีรันนิ่งฟรีเควนซี (ω_o) ของ VCO เป็นหลักศูนย์กลาง

ในรูปที่ 2.19 แสดงถึงกราฟของคอนโทรลโวลท์เตจ V_c ของ VCO ต่อความถี่ของสัญญาณอินพุท ω_i ความถี่ที่อยู่นอกพิสัยการล็อคของระบบความถี่ของ VCO ไม่สามารถจะซิงโครไนส์กับความถี่อินพุทได้ ผลของความต่างเฟสจะมีค่าเท่ากับ



รูปที่ 2.19 พิสัยการล็อคของระบบเฟสล็อคลูป

$$\theta_e = (\omega_i t + \theta_i) - (\omega_o t + \theta_o) \tag{2.64}$$

$$= (\omega_i - \omega_o) + (\theta_i - \theta_o) \tag{2.65}$$

และความต่างเฟสนี้จะเปลี่ยนแปลงอย่างรวดเร็วต่อเวลา อัตราการเปลี่ยนแปลงของ θ_c ต่อเวลาจะเท่ากับ

$$d\theta_e / dt = \omega_i - \omega_o \tag{2.66}$$

ดังนั้นเอาร์พุทโวลท์เตจของเฟสดีเทคเตอร์จะเปลี่ยนค่าไปอย่างรวดเร็วต่อเวลาจะถูกลดทอนแมกนิจูดลงอย่างมากด้วยโลว์พาสฟิลเตอร์ ซึ่งจะยังผลให้เหลือโวลท์เตจที่มีแมกนิจูดเพียงเล็กน้อยที่จะไปขับ VCO และความถี่ของ VCO จะกลับคืนไปยังค่าฟรีรันนิ่งฟรีเควนซี ω_o เดิม ดังนั้น

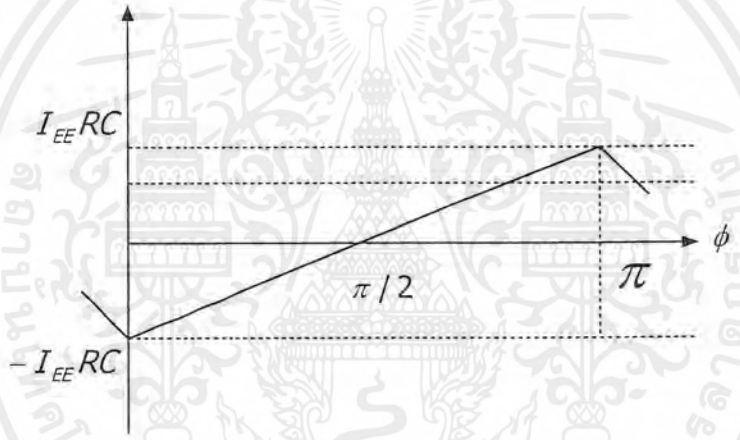
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เราเห็นได้ว่าช่วงความถี่ที่อยู่นอกเหนือพิสัยการล็อคของระบบคอนโทรลโวลท์เตจของ VCO จะลดลงเป็นศูนย์

เมื่อ VCO ล็อคกับสัญญาณอินพุท เราจะได้

$$\theta_e = (\pi / 2) - [(\omega_i - \omega_o) / K_o K_d A] \tag{2.67}$$

เราจะสังเกตได้ว่าเมื่อ $\omega_i = \omega_o$ โวลท์เตจของ VCO จะมีเฟสควอดดราเจอร์ (phase quadrature) คือมีเฟสต่างไปจากเฟสของสัญญาณอินพุทโวลท์เตจ 90° เมื่อ ω_i เคลื่อนไปทางด้านสูงกว่า ω_o มุมของเฟสจะเพิ่มขึ้นจาก 90° ไปสู่ 0 องศาที่ล่างสุดของพิสัยการล็อค ดังแสดงที่ในรูปที่ 2.20



รูปที่ 2.20 คุณสมบัติเอาร์พุทของเฟสดีเทคเตอร์กับเฟสเออร์เรอร์

2.1.8 พิสัยแค็ปเจอร์

การวิเคราะห์ถึงพิสัยการล็อคจะต้องอยู่บนหลักการที่ว่าระบบเฟสล็อคลูป (PLL) จะมีสภาวะเดิมล็อคอยู่กับสัญญาณอินพุทแล้ว ในตอนนี้เราจะได้สังเกตถึงสถานะของลูปที่มีสภาวะเดิมไม่ล็อคกับสัญญาณอินพุทเพื่อกำหนดช่วงความถี่ซึ่งระบบเฟสล็อคลูปสามารถล็อคกับสัญญาณอินพุทในช่วงความถี่ดังกล่าว ความถี่ช่วงนี้เราเรียกว่า " พิสัยแค็ปเจอร์" หรือ " พิสัยแอคควิชั่น"

เมื่อระบบเฟสล็อคลูป (PLL) มีสภาวะเดิมระบบไม่ล็อคกับสัญญาณอินพุท ความถี่ของ VCO จะอยู่ที่ฟรีรันนิ่งฟรีเควนซี ω_o มุมของความต่างเฟสระหว่างสัญญาณอินพุทและโวลท์เตจของ VCO จะเท่ากับ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$\theta_e = (\omega_i t - \theta_i) - (\omega_o t - \theta_o) \tag{2.68}$$

และค่าของ θ_e จะไม่คงที่ แต่เปลี่ยนแปลงต่อเวลาด้วยอัตราความเร็ว $d\theta_e / dt = \omega_i - \omega_o$ ดังนั้นเอาร์พุทโวลท์เตจของเฟสดีเทคเตอร์จะไม่มีส่วนของดีซีคอมโพเน้นท์ แต่จะให้เอซีโวลท์เตจกับลูกคลื่นที่มีที่มีพีคแอมปลิจูด $K_d(\pi / 2)$ และความถี่พื้นฐาน $(\omega_i - \omega_o)$

ถ้าโลว์พาสฟิลเตอร์เป็นวงจร RC โลว์พาสฟิลเตอร์ง่ายๆและมีทรานสเฟอร์ชั่นเป็น

$$F(j\omega) = 1/(1 + j\omega t) = 1/[1 + j(\omega / \omega_1)] \tag{2.69}$$

เมื่อ $\tau = RC$ และ $\omega_1 = 1/RC$ ดังนั้นจุดจำกัดความถี่ $f_1 = 1/2\pi RC$ ที่สภาวะ $(\omega / \omega_1)^2 >> 1$ ทรานเฟอร์ฟังชั่นของลูปฟิลเตอร์จะมีค่าประมาณ

$$F(j\omega) = \omega_1 / j\omega \tag{2.70}$$

และ

$$|F(j\omega)| = \omega_1 / \omega \tag{2.71}$$

เทอมความถี่พื้นฐานที่เป็นอินพุทให้กับโลว์พาสฟิลเตอร์โดยมาจากเฟสดีเทคเตอร์จะเป็นค่าผลต่างของความถี่ $\Delta\omega = (\omega_1 - \omega_0)$ ถ้า $\Delta\omega > 3\omega_1$

ทรานเฟอร์ฟังชั่นของ LPF จะมีค่าโดยประมาณเป็น

$$|F(\Delta\omega)| \cong \omega_1 / \Delta\omega = \omega_1 / (\omega_1 - \omega_0) \tag{2.72}$$

เราจะได้คอนโทรลโวลท์เตจไว้สำหรับขับ VCO จะมีค่าเป็น

$$V_C = V_d |F(\Delta\omega)| \tag{2.73}$$

และ

$$V_{C(\max)} = \pm K_d (\pi / 2)(\omega_1 / \Delta\omega) A \tag{2.74}$$

ด้วยเหตุผล

$$V_{C(\max)} = K_o V_{C(\max)} \cong \pm K_o K_d (\pi / 2) A(\omega_1 / \Delta\omega) \tag{2.75}$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เพื่อที่จะจับ (acquisition) ความถี่สัญญาณอินพุทให้ได้เราจะต้องให้ $\omega = \omega_1$ ดังนั้นพิสัยสูงสุดของความถี่สัญญาณอินพุทที่ระบบ PLL สามารถจับหรือยึดสัญญาณความถี่ดังกล่าวได้ตลอดช่วงมีค่าเท่ากับ

$$(\omega_1 - \omega_0)_{\max} = \pm K_o K_d (\pi / 2) A(\omega_1 / \Delta\omega_c) \tag{2.76}$$

เมื่อ

$$\Delta\omega_C = (\omega_1 - \omega_0)_{\max}$$

ดังนั้นจากสมการ (2.75) เราจะได้ว่า

$$(\Delta\omega_c) \cong K_o K_d (\pi / 2) A\omega_1 \tag{2.77}$$

เนื่องจาก

$$\Delta\omega_L = K_o K_d (\pi / 2) A \tag{2.78}$$

ดังนั้น

$$(\Delta\omega_c)^2 \cong \omega_1 \Delta\omega_L \tag{2.79}$$

และ

$$\Delta\omega_c \cong \pm\sqrt{(\omega_1 \Delta\omega_L)} \tag{2.80}$$

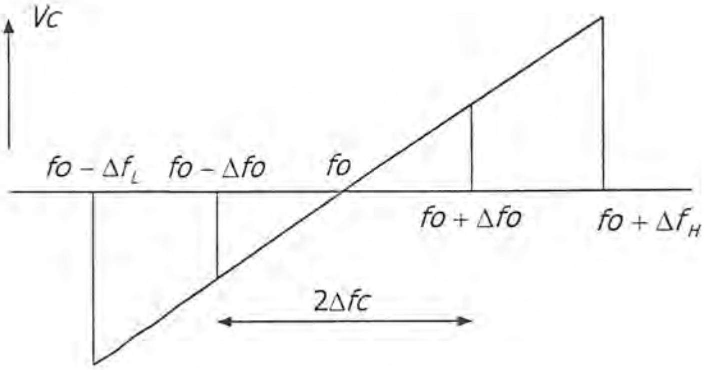
ดังนั้นระบบเฟสล็อคลูปสามารถจะแค็ปเจอร์ (Capture) สัญญาณอินพุทได้ตลอดพิสัยความถี่นี้พิสัยแค็ปเจอร์มีค่าเป็น

$$\text{พิสัยแค็ปเจอร์} = 2\Delta\omega_C \cong 2\sqrt{(\omega_1 \Delta\omega_L)} \tag{2.81}$$

ในกรณีทั่วไป $\Delta\omega_L >> \omega_1$ เราจะสังเกตได้ว่าพิสัยแค็ปเจอร์จะมีค่าตำแหน่งที่สมมาตรกันเมื่อยึดฟรีรันนิ่งฟรีเควนซีของ VCO เป็นหลักศูนย์กลาง

ในรูปที่ 2.21 แสดงถึงกราฟของคอนโทรลโวลท์เตจของ VCO ,V_C ต่อความถี่ของสัญญาณอินพุท พร้อมทั้งแสดงถึงพิสัยแค็ปเจอร์และพิสัยการล็อค

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.21 แสดงพิสัยแค็ปเจอร์ของระบบเฟสล็อคลูป

ในระบบเฟสล็อคลูปต้องการพิสัยแค็ปเจอร์ที่มีความกว้างมากบนจุดยืนของความสามารถในการล็อคกับสัญญาณอินพุท อย่างไรก็ตามพิสัยแค็ปเจอร์ที่มีความกว้างมาก ๆ จะทำให้ระบบ PLL อ่อนแอต่อสัญญาณรบกวนด้วยสัญญาณที่ไม่ต้องการและสัญญาณรบกวน สำหรับระบบ PLL ที่สามารถกำจัดสัญญาณรบกวนและน้อยส์ได้สูงสุดจะต้องมีพิสัยแค็ปเจอร์แคบ ในกรณีทั่วไประบบ PLL จะเลือกพิสัยแค็ปเจอร์ที่เหมาะสมเพื่อให้ได้คุณสมบัติที่ดีทั้งสองอย่างคือกำจัดสัญญาณรบกวนได้ดีและสามารถล็อคกับสัญญาณอินพุทได้ในช่วงความถี่กว้าง

แต่ในบางกรณีที่ระบบเฟสล็อคลูปไม่สามารถเลือกพิสัยแค็ปเจอร์ที่เหมาะสมได้ เราจะต้องตั้งแบนด์วิดส์ของโลว์พาสฟิลเตอร์ให้มีค่ามากไว้ก่อนในตอนแรกเพื่อให้ลูปสามารถเริ่มต้นแค็ปเจอร์สัญญาณอินพุทได้เมื่อลูปสามารถแค็ปเจอร์สัญญาณอินพุทได้แล้วและระบบ PLL ก็จะล็อคกับสัญญาณรบกวนและสัญญาณรบกวนลักษณะเด่นของระบบ PLL คือลูปสามารถจะดำรงรักษาการล็อคกับสัญญาณอิพุทได้แม้ว่าสัญญาณอินพุทจะอยู่ในสภาวะที่มีน้อยส์รบกวนมาก คือมีอัตราส่วนของสัญญาณต่อสัญญาณรบกวนน้อยกว่าหนึ่งก็ตาม ระบบ PLL มักนิยมใช้งานประเภทที่สัญญาณอินพุทมีระดับต่ำ เช่นระบบสื่อสารของดาวเทียมเป็นต้น

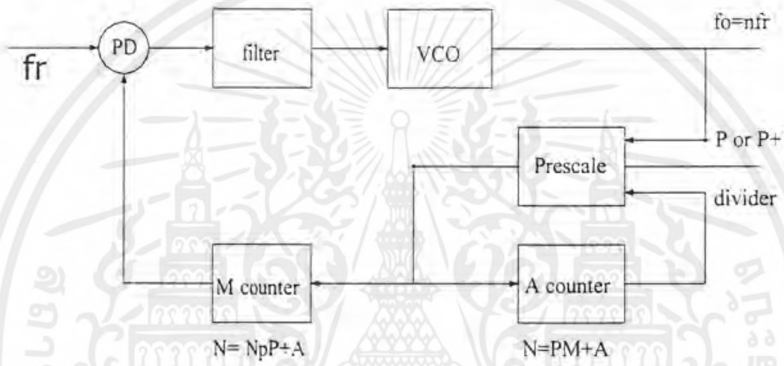
2.1.9 วงจรหารแบบพรีสเกลเลอร์ (Prescaler Divider)

วงจรหารแบบพรีสเกลเลอร์หรือวงจรหารแบบโมดูลัส (modulus divider) เป็นวิธีที่ทำให้ระบบสังเคราะห์ความถี่ผลิตความถี่สูงได้ โดยจะมีการหารล่วงหน้า (Prescale) ก่อน หมายถึงมีการทำงานในลักษณะที่หารได้สองครั้งด้วยค่าสองค่าสลับกันซึ่งตัวเลขทั้งสองจะมีค่าต่างกันอยู่หนึ่ง เช่น 10 หรือ 11 เรียกว่า 10/11 พรีสเกลเลอร์ สังเกตว่าตัวหารทั้งคู่ต่างกันอยู่หนึ่ง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ในตัวอย่างต่อไปนี้เราจะใช้ 10/11 พรีสเกลเลอร์ ดังแสดงในรูปที่ 2.22 เอาร์พุทของพรีสเกลเลอร์จะป้อนให้กับวงจรนับ (counter) สองตัว ตัวหนึ่งเป็นตัวนับหลัก (main counter) อีกตัวหนึ่งเป็นตัวนับเสริม (auxiliary counter)

ตัวนับเสริมจะเป็นตัวบังคับให้พรีสเกลเลอร์หารด้วยตัวหารใด คือตัวหารด้วย 10 หรือ 11 เช่นสมมติว่าป้อนข้อมูล (ความถี่) หรือพรีเซตตัวเลขให้ตัวนับเสริม และในขณะนี้จะใช้ 11 เป็นตัวหารเมื่อตัวนับเสริมหยุดนับจึงจะส่งคำสั่งไปบังคับให้พรีสเกลเลอร์เปลี่ยนเป็นตัวหารด้วย 10 ตัวนับหนักก็เช่นเดียวกันจะค่อยๆนับถอยหลังไปเรื่อย ๆ เมื่อตัวนับหลักและตัวนับเสริมนับถึงศูนย์ ทั้งคู่จะถูกพรีเซตด้วยตัวเลขข้อมูล เนื่องจากตัวนับเสริมจะต้องนับถึงศูนย์ก่อน ดังนั้นตัวเลขที่พรีเซตให้แก่ตัวนับเสริมจะต้องน้อยกว่าค่าตัวเลขที่พรีเซตให้กับตัวนับหลัก



รูปที่ 2.22 แสดงวงจรสังเคราะห์ความถี่ที่ใช้วงจรหารแบบพรีสเกลเลอร์

สมมติให้ตัวเลขที่พรีเซตให้กับตัวนับหลักเป็น M และตัวนับเสริมเป็น A เริ่มแรกใช้พรีสเกลเลอร์อยู่ในสภาวะหาร 11 ไปจนตัวนับเสริมจะนับลงเป็นศูนย์ นั่นคือเวลาที่ใช้ในการนับของตัวนับเสริมคิดเป็นจำนวนไซเคิลของ VCO ที่ผ่านไปเท่ากับ 11 คูณด้วย A ไซเคิล หลังจากนั้นพรีสเกลเลอร์จะถูกบังคับให้เปลี่ยนตัวหารเป็น 10 โดยตัวนับเสริม ในขณะนี้ตัวนับหลักผ่าน A ไปแล้ว พร้อมกับตัวนับเสริมยังเหลืออยู่อีก $(M - A)$ ไซเคิลก่อนที่นับเป็นศูนย์ นั่นคือจะต้องใช้เวลาในการนับตัวนับหลักเป็นต่อไปอีกคิดเป็นจำนวนไซเคิลที่ผ่านไปของ VCO เท่ากับคูณ 10 คูณด้วย $(M - A)$

ฉะนั้นรวมเวลาที่ใช้จึงเป็นผลรวมของเวลาทั้งสองข้างต้นคือ

$$VCO \text{ ไซเคิล} = 11A + 10(M - A) \tag{2.82}$$

$$= 10M + A$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ความถี่ของ VCO จะเท่ากับ $(10M + A)$ เท่ากับความถี่อ้างอิงหรือ

$$F_{synth} = F_{ref}(10M + A) \tag{2.83}$$

สังเกตว่าผลของตัวเลข M มีผลต่อความถี่ F_{synth} มากกว่าตัวเลข A อยู่ 10 เท่า นอกจากนี้ ตัวหาร $(10M + A)$ ก็ไม่สามารถหารได้ครบทุกค่าตัวเลขเนื่องจากมีจำกัดตรงที่ M จะต้องมากกว่าหรือเท่ากับ A ในที่นี้ตัวหาร $(10M + A)$ จะหารได้ครบทุกค่าถ้าเกิน 90 แต่ถ้าหารน้อยกว่า 90 จะหารได้ไม่ครบทุกตัว

สมการที่ยกตัวอย่างข้างต้นใช้พรีสเกลเลอร์แบบ 10/11 ในกรณีใช้พรีสเกลเลอร์ชนิดหารสองโมดูลัสเป็นแบบ P และ N ตัวหารจะกลายเป็นดังนี้

$$\text{ตัวการของสมการสังเคราะห์ความถี่} = PM + A \tag{2.84}$$

$$\text{ตัวหารต่ำสุด} = P(P - 1) \tag{2.85}$$

$$\text{ตัวหารสูงสุด} = P_{max} - A_{max} \tag{2.86}$$

ถ้าตัวหารของพรีสเกลเลอร์มีค่ามากตัวหารต่ำสุดก็จะยิ่งมากขึ้นไปอีกซึ่งเหมาะสมกับระบบสังเคราะห์ความถี่ที่ผลิตความถี่สูงๆและช่วงห่างระหว่างช่องแคบ

เหตุผลสำคัญในการใช้พรีสเกลเลอร์ก็เพื่อลดทอนความถี่ลงและใช้กับวงจรหาร N ตระกูล TTL หรือ CMOS ได้ ถ้าใช้พรีสเกลเลอร์แบบ 256/257 ก็จะสามารถสังเคราะห์ความถี่ไปถึงย่าน UHF ได้ ข้อดีอีกอย่างหนึ่งของพรีสเกลเลอร์ชนิดหารสองโมดูลัสคือ การให้กำเนิดความถี่ที่ไม่ตรงกับความถี่แสดง เช่นในภาวะรับโลคอลออสซิลเลเตอร์จะผลิตความถี่แตกต่างจากความถี่ที่ใช้งานอยู่เท่ากับความถี่ IF ของเครื่องรับ อีกตัวอย่างเช่นในกรณีของการเลื่อนความถี่ภาคส่งสำหรับพีตเตอร์เป็นต้น ลักษณะเด่นของระบบสังเคราะห์ความถี่นี้ก็คือ สามารถทำงานที่ความถี่สูงได้โดยอาศัยเทคนิคทางดิจิตอลมาใช้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.2 วงจรกรองความถี่

วงจรกรองความถี่เป็นวงจรที่มีความจำเป็นอย่างมาก ในงานด้านวิศวกรรมไฟฟ้า คือ

1. อะนาล็อคฟิลเตอร์ (Analog filter)

2. ดิจิตอลฟิลเตอร์ (Digital filter)

อะนาล็อคฟิลเตอร์ ยังแบ่งตามโครงสร้างของอุปกรณ์ได้เป็น 2 ชนิด

- พาสซีฟฟิลเตอร์ (Passive Filter) ได้แก่อุปกรณ์พวก R,L,C

-แอคตีฟฟิลเตอร์ (Active Filter) ได้แก่อุปกรณ์พวกออปแอมป์ (Op-amp),โอทีเอ, ทรานซิสเตอร์ (Transister)

- แอคตีฟฟิลเตอร์ (Active Filter) วงจรกรองความถี่ที่ใช้งานจริงๆจะต้องนำอุปกรณ์พวกพาสซีฟเข้ามาใช้ด้วย ซึ่งแอคตีฟฟิลเตอร์แบ่งตามชนิดของการผ่านสัญญาณได้เป็น

- วงจรกรองความถี่ต่ำผ่าน (Low Pass Filter)

- วงจรกรองความถี่สูงผ่าน (High Pass Filter)

- วงจรกรองแถบความถี่ผ่าน (Band Pass Filter)

- วงจรหยุดความถี่ (Band Stop Filter)

- วงจรผ่านแถบความถี่ (All Pass Filter)

<u>ข้อดี</u>

1. สามารถกำหนดอัตราขยายได้
2. สามารถเปลี่ยนแปลงความถี่คัทออฟ (Cut off) ได้สะดวก
3. มีขนาดเล็กและน้ำหนักเบา
4. มีความไวต่อความถี่

<u>ข้อเสีย</u>

1. ต้องใช้แหล่งจ่ายไฟ (Power Supply)
2. ใช้ในย่านความถี่สูงมากไม่ได้
3. อาจเกิดการออสซิลเลเตอร์ได้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.2.1 คุณสมบัติและการแบ่งประเภทของวงจรกรองความถี่

รูปที่ 2.23 โครงสร้างสมมูล

โดยในกล่อง n/w นั้น จะเป็น Network ใด ๆ ก็ตามสามารถเขียนทรานเฟอร์ฟังก์ชั่นให้อยู่ในรูปของ

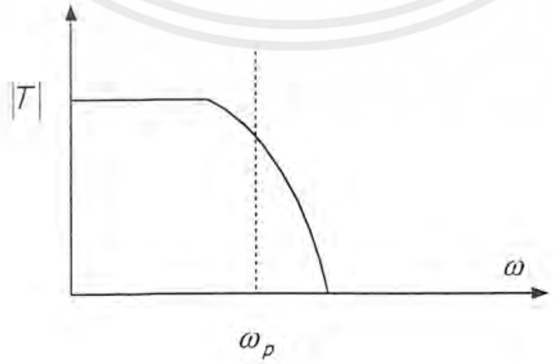
$$K\frac{(S-Z_1)(S-Z_2)...(S-Z_m)}{(S-P_1)(S-P_2)...(S-P_n)} = H(S) \tag{2.87}$$

โดย Z เราเรียกว่าซีโร (Zero) ซึ่งเป็นค่าที่ทำให้ทรานสเฟอร์ฟังก์ชั่นเป็นศูนย์

P เราเรียกว่าโพล ซึ่งเป็นค่าที่ทำให้ทรานสเฟอร์ฟังชั่นมีค่าเป็นอินฟินิตี้ (∞)

จากสมการที่ (2.86) สามารถสรุปแบบมาตรฐานทรานสเฟอร์ฟังชั่นของวงจรกรองความถี่ชนิดต่าง ๆ ได้คือ

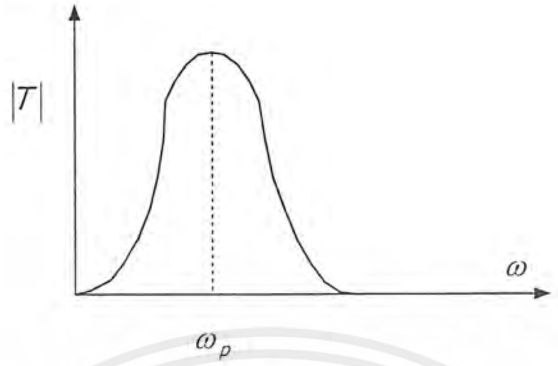
$$1.\ T_{LP} = \frac{\omega_p^{\,2}}{S^2 + \frac{\omega_p}{Q_p}S + \omega_p^{\,2}} \tag{2.88}$$



รูปที่ 2. 24 สัญญาณโลว์พาสฟิลเตอร์

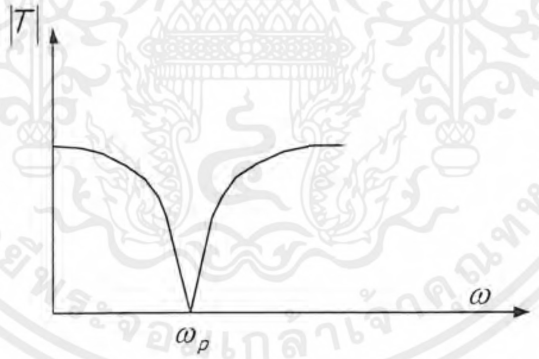
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$2.\ T_{BP} = \frac{(\omega_P / Q_P)S}{S^2 + \frac{\omega_P}{Q_P}S + \omega_P^{\ 2}} \tag{2.89}$$



รูปที่ 2.25 สัญญาณแบนด์พาสฟิลเตอร์

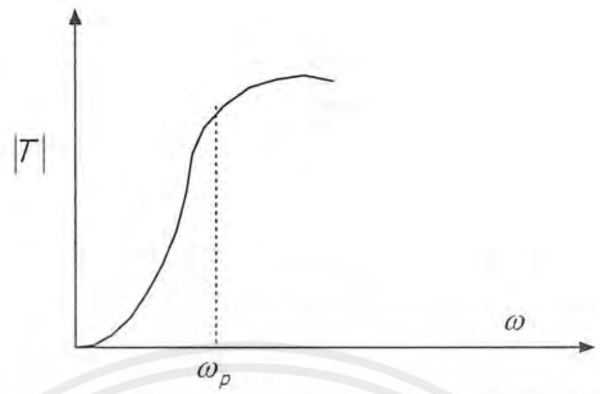
$$3.\ T_{BE} = \frac{S^2 + \omega_P^{\ 2}}{S^2 + \frac{\omega_P S}{Q_P} + \omega_P^{\ 2}} \tag{2.90}$$



รูปที่ 2.26 สัญญาณBand Stop Filter

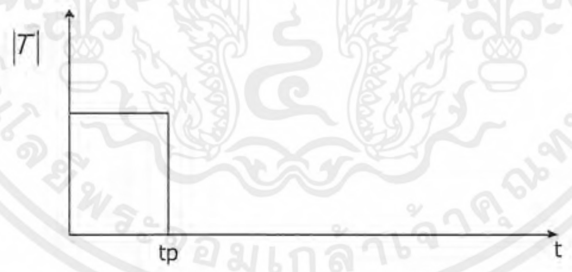
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4. $$T_{HP} = \frac{S^2}{S^2 + \frac{\omega_P}{Q_P}S + \omega_P^{\ 2}} \tag{2.91}$$



รูปที่ 2.27 สัญญาณ High Pass Filter

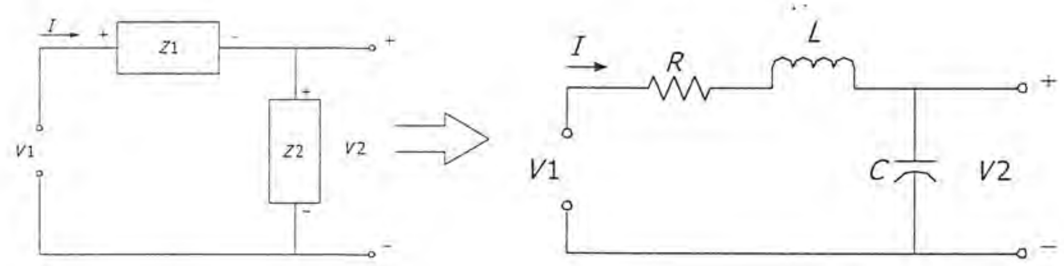
5. $$T_{AP} = \frac{S^2 - \frac{\omega_P S}{Q_P} + \omega_P^{\ 2}}{S^2 + \frac{\omega_P}{Q_P}S + \omega_P^{\ 2}} \tag{2.92}$$



รูปที่ 2.28 สัญญาณ Unit Pulse

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ความสัมพันธ์ระหว่าง ω_p และ Q_p แบบ S-Plane



รูปที่ 2.29 วงจรสมมูลของวงจร RLC

จากรูปที่ 2.29

$$T(S) = \frac{V_2(s)}{V_1(s)} = \frac{Z_2}{Z_1 + Z_2} = \frac{1/CS}{LS + R + 1/CS} \tag{2.93}$$

$$T(S) = \frac{1/LC}{S^2 + (R/L)S + 1/LC} \tag{2.94}$$

เพื่อให้ง่ายในการออกแบบจึงมีการกำหนด Q ขึ้น โดย Q คือค่าประสิทธิภาพของวงจรซึ่ง

$$Q = \frac{\omega_o L}{R} \tag{2.95}$$

จากสมการที่ (2.87) เมื่อ R =0 และเราจะพิจารณาเฉพาะส่วนจะได้

$$S_1, S_2 = \pm J\sqrt{\frac{1}{LC}} = \pm J\omega_0 \tag{2.96}$$

จากสมการที่ (2.88) แทนค่า ω_0 และจากสมการที่ (4)

$$Q = \sqrt{\frac{1}{LC} * \frac{R}{L}}$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$Q = \frac{1}{R\sqrt{\frac{L}{C}}} \tag{2.97}$$

จากสมการที่ (2.88)

$$\frac{R}{L} = \frac{\omega_0}{Q} \tag{2.98}$$

แทนสมการที่ (2.92) ในสมการที่ (2.88) และค่า ω_0 ลงในสมการที่ (2.88)

$$T(S) = \frac{{\omega_0}^2}{S^2 + (\omega_0 / Q)S + {\omega_0}^2} = \frac{N(S)}{D(S)} \tag{2.99}$$

โพลของ T(S) หาได้โดยให้ D(S)= 0 ถ้าให้โพลวางอยู่ในตำแหน่ง $-\alpha \pm \beta$ ดังนั้น

$$D(S) = (S + \alpha + j\beta)(S + \alpha - j\beta)$$

$$= S^2 + 2S\alpha + (\alpha^2 + \beta^2) \tag{2.100}$$

เมื่อนำสมการที่ (2.94) เทียบกับ D(S) ของสมการที่ (2.94)

$$2\alpha = \frac{\omega_0}{Q}$$

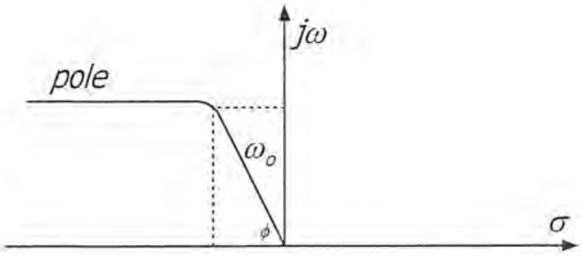
$$\alpha = \frac{\omega_0}{2Q}$$

$${\omega_0}^2 = \alpha^2 + \beta^2 \tag{2.101}$$

$$\beta = \omega_0\sqrt{1 - \frac{1}{4Q^2}} \tag{2.102}$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากสมการที่ (2.96) สามารถวาดรูปได้ดังรูปข้างล่างนี้

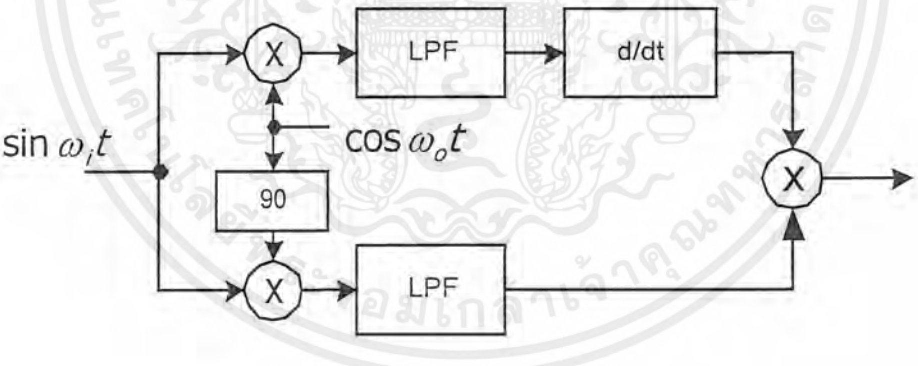


รูปที่ 2.30 ช่วงเวลาทรานเชี๊ยน

2.3 Frequency Difference Detectors : FDD

Quadricorrelator

FDD เป็นที่รู้จักกันดีว่าคือ quadricorrelator ดังในรูปที่ 2.31 ซึ่งถูกนำเสนอขึ้นครั้งแรกโดย Sheaffer แต่ถูกให้ชื่อและลักษณะในรายละเอียดบางอย่างโดย Richman แต่ในเนื้อหานี้ Quadricorrelator จะพิจารณา FDD เพียงอย่างเดียว



รูปที่ 2.31 Quadricorrelator

ตัวรวมสัญญาณ (mixer) ทั้งคู่นั้นจะใช้การเปลี่ยนสัญญาณอินพุทให้เป็นพาสแบนด์ซิกแนล (Passband Signal) ที่ประกอบไปด้วยสัญญาณที่ อินเฟส (in-phase) และควอดเดรเจอร์เฟส (Quadrature) สำหรับจุดมุ่งหมายในการวิเคราะห์นี้ตัวรวมสัญญาณ (mixer) แต่วงจรทางกายภาพสามารถที่จะเปลี่ยนแปลงอุปกรณ์ได้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ในการวิเคราะห์จะสมมุติให้เกน (Gain) ของตัวรวมสัญญาณ (mixer) มีค่าเท่ากัน แต่จริง ๆ แล้วไม่ได้บังคับว่าต้องใช้เงื่อนไขเกี่ยวกับการทำงานของวงจรแบบนี้

เอาท์พุทจากมิกเซอร์ (mixer) จะประกอบด้วยผลบวกและผลต่างของความถี่ที่คูณกันระหว่างสัญญาณอินพุทกับ สัญญาณจากโลคอลออสซิลเลเตอร์ (local oscillater) ผ่านวงจรโลว์พาสฟิลเตอร์ (low pass filter) จะกรองเอาเฉพาะความถี่ผลต่างออกไป ส่วนความถี่ผลรวมจะผ่านไปไม่ได้ สำหรับจุดมุ่งหมายโดยตรงในการวิเคราะห์เราจะสมมุติให้ความถี่ผลต่างที่มีค่าน้อย ๆ หลังจากนั้นก็ผ่านวงจรดิฟเฟอเรนทิเอเตอร์ (Differentiator) ดังจะเห็นจากสมการข้างล่างนี้

จากเอาร์พุทของมิกเซอร์ (mixer) ตัวบนมีค่าเท่ากับ

$$\sin\omega_i t \times \cos\omega_o t = \frac{1}{2}\left[\sin(\omega_o - \omega_i)t - \sin(\omega_o + \omega_i)t\right] \tag{2.103}$$

เมื่อผ่านโลว์พาสฟิลเตอร์

$$= \frac{1}{2}\sin(\omega_o - \omega_i)t \tag{2.104}$$

และเมื่อผ่านวงจรดิฟเฟอเรนชิเอเตอร์

$$= \frac{1}{2}(\omega_o - \omega_i)\cos(\omega_o - \omega_i)t \tag{2.105}$$

ส่วนด้านล่างเอาท์พุทจากมิกเซอร์ (mixer) จะประกอบไปด้วยผลบวกและผลต่างของความถี่ที่คูณกันระหว่างสัญญาณอินพุทกับโลคอลออสซิลเลเตอร์ (local oscillator) ที่เลื่อนเฟสไป 90° ผ่านวงจรโลว์พาสฟิลเตอร์ (low pass filter) จะกรองเอาเฉพาะความถี่ผลต่างออกไป ส่วนความถี่ผลบวกจะผ่านออกไปไม่ได้ดังจะเห็นได้จากสมการข้างล่างนี้

$$\sin\omega_o t \times \sin\omega_i t = \frac{1}{2}\left[\cos(\omega_o - \omega_i)t + \cos(\omega_o + \omega_i)t\right] \tag{2.106}$$

เมื่อผ่านโลว์พาสฟิลเตอร์

$$= \frac{1}{2}\cos(\omega_o - \omega_i)t \tag{2.107}$$

หลังจากนั้นสัญญาณทั้งสองผ่านเข้ามิกเซอร์ (mixer) ตัวที่ 3 และจะทำให้เอาท์พุทมีค่าดังสมการข้างล่างนี้แล้วส่งไปยังวงจรอื่น ๆ ต่อไป

$$\begin{aligned}\frac{1}{2}(\omega_o - \omega_i)\cos(\omega_o - \omega_i)t \times \frac{1}{2}\cos(\omega_o - \omega_i)t &= \frac{1}{4}(\omega_o - \omega_i)\cos^2(\omega_o - \omega_i)t \\ &= \frac{1}{4}(\omega_o - \omega_i)\frac{1}{2}(1 + \cos 2(\omega_o - \omega_i)t) \\ &= \frac{1}{8}(\omega_o - \omega_i)(1 + \cos 2(\omega_o - \omega_i)t)\end{aligned} \tag{2.108}$$

แล้วนำไปผ่านวงจรอื่นต่อไป

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.4 ลูปโมเดล (Loop Model)

จากทฤษฎีต่าง ๆ ที่กล่าวมาทั้งหมดนี้เราสามารถนำมาเขียนเป็นโมเดลต่าง ๆ เพื่อให้สามารถให้ค่าที่ออกมาในแต่ละส่วนของบล็อกไดอะแกรมเป็นค่าที่สามารถป้อนกลับไปยังอินพุทเพื่อควบคุมความถี่ที่เราต้องการ โดยใช้หลักการทางคณิตศาสตร์เขามาช่วยในการวิเคราะห์หาผลตอบสนองของโมเดลต่าง ๆ ซึ่งลูปโมเดลมีด้วยกัน 3 แบบ ดังนี้

1. Short Loop model โดยที่สัญญาณเอาท์พุทได้จาก Unbalanced Quadricorrelator จะถูกป้อนกลับมาควบคุมในส่วนของ VCO ของตัวมันเอง

2. Long Loop model สัญญาณเอาท์พุทที่ได้จาก Unbalanced Quadricorrelator จะถูกป้อนกลับมาควบคุมในส่วนของเฟสล็อกลูป โดยจะเพิ่มค่า dc เข้าไปที่ VCO ของเฟสล็อกลูป ส่วน VCO ของ Unbalanced Quadricorrelator จะใช้ คลิสตอลกำเนิดความถี่ให้วงจร Mixer แทน

3. Split Loop model สัญญาณที่ได้จาก Unbalanced Quadricorrelator จะถูกป้อนกลับมาควบคุม VCO ภายในตัวมันเอง และ ยังส่งต่อไปควบคุม VCO ของเฟสล็อกลูปอีกด้วย
ในทางคณิตศาสตร์เราได้ทำการวิเคราะห์โดยใช้คุณสมบัติของตรีโกณมิติ ซึ่งค่าต่าง ๆ ได้แสดงไว้ให้เห็นดังต่อไปนี้

จาก Model ทั้งสามกำหนดให้สัญญาณต่าง ๆ เป็นดังนี้

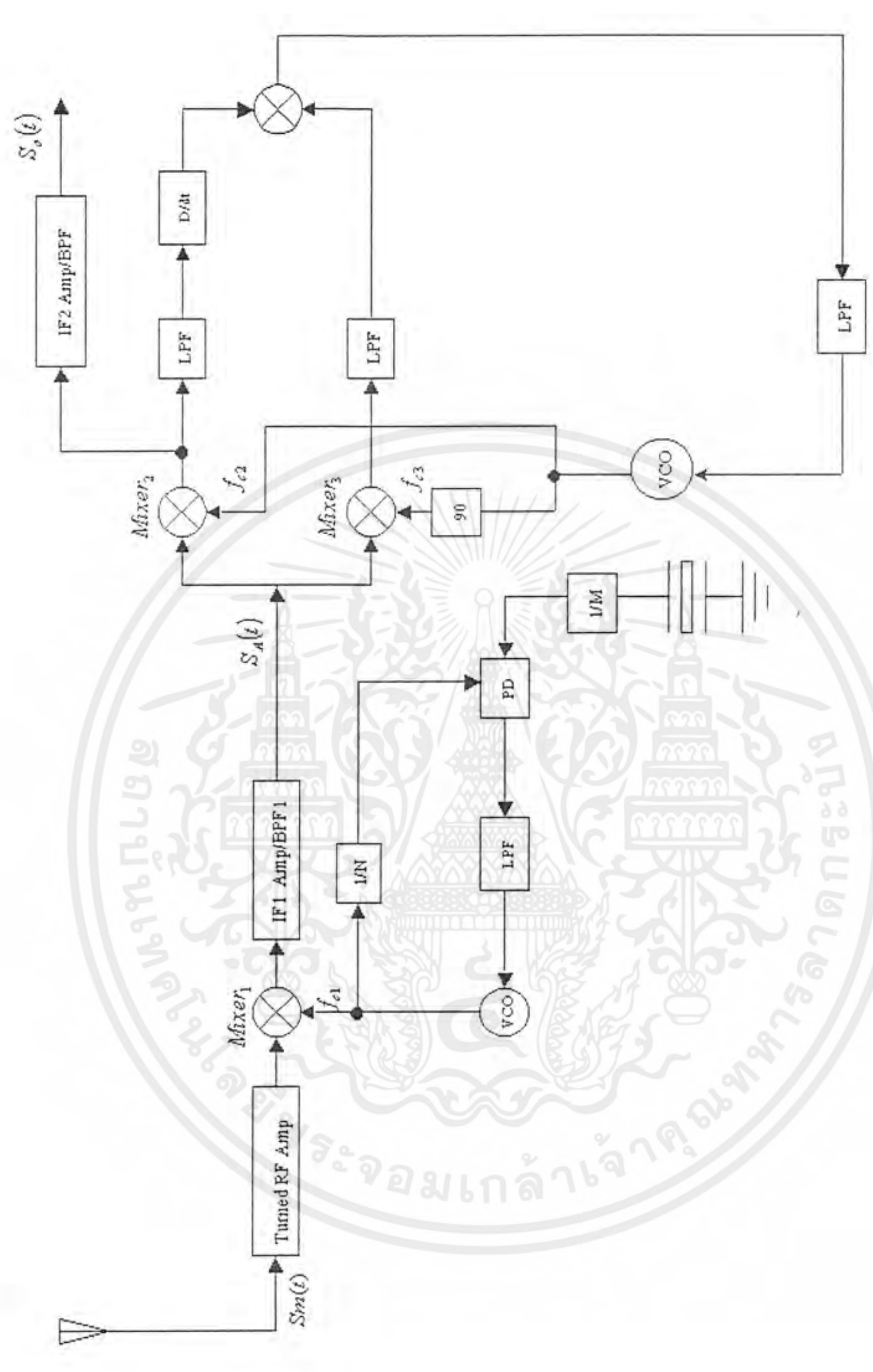
$$s_m(t) = \sin \omega_m t \tag{2.109}$$

$$s_{c1}(t) = \cos \omega_{c1} t = f_{c1} \tag{2.120}$$

$$s_{c2}(t) = \sin \omega_{c2} t = f_{c2} \tag{2.121}$$

$$s_{c3}(t) = \cos \omega_{c3} t = f_{c3} \tag{2.122}$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.32 Short loop Model

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Short loop model

ขณะที่เครื่องรับอยู่กับที่ เริ่มต้นพิจารณาที่ Short Loop Model สัญญาณที่เข้ามาเป็น $S_m(t)$ ผ่าน วงจร $Mixer_1$ กับสัญญาณ $S_{c1}(t)$ จะได้ดังนี้คือ

$$s_m(t).s_{c1}(t) = \sin\omega_m t . \cos\omega_{c1}(t) \quad (2.123)$$

$$= 1/2[\sin(\omega_{c1} + \omega_m)t + \sin(\omega_{c1} - \omega_m)t] \quad (2.124)$$

ในส่วนของเทอมผลรวมจะถูกกำจัดโดย BPF_1 และผลต่างจะต้องมีค่าเท่ากับความถี่กลาง (Intermedate Frequency, IF) ผลลัพธ์ที่ได้คือ

$$\therefore\ s_A(t) = 1/2\sin IF_1 t \quad (2.124)$$

เมื่อ $\omega_{c1} - \omega_m) = IF_1$

พิจารณา $Mixer_2$

$$s_A(t).sc_2(t) = 1/2[\sin(\omega_{c1} - \omega_m)t . \sin\omega_{c2}t] \quad (2.125)$$

$$= 1/4[\cos(\omega_{c2} + \omega_{c1} - \omega_m)t - \cos(\omega_{c2} - (\omega_{c1} - \omega_m))t] \quad (2.126)$$

จาก

$$\omega_{c2} = IF_2 + IF_2 \quad (2.127)$$

$$IF_1 = \omega_{c1} - \omega_m \quad (2.128)$$

ดังนั้น Output จาก $Mixer_2$ จะมีค่าเท่ากับ

$$= 1/4[\cos(IF_1 + IF_2 + IF_1)t - \cos(IF_1 + IF2 - IF_1)t] \quad (2.129)$$

ในส่วนของเทอมผลบวกความถี่สูงจะถูกกำจัดโดย BPF_2 ส่วนที่เหลือจะเป็นสัญญาณที่ติดอยู่ในรูปของสัญญาณที่จะนำไปทำการ modulated ต่อไปซึ่งจะได้เป็น

$$s_o(t) = -1/4\cos IF_2 t \quad (2.130)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

พิจารณาในส่วนของ Unbalance Quadricorrelator สัญญาณที่เข้ามาเป็น $S_A(t)$ แยกเป็นสองทางเพื่อไป Mixer กับสัญญาณ $s_{c2}(t)$ และ $s_{c3}(t)$ โดยใช้วงจร $Mixer_2$ และ $Mixer_3$ ตามลำดับ

$$s_A(t).s_{c2}(t) = 1/2[\sin(\omega_{c1} - \omega_m)t \, . \sin\omega_{c2}t] \quad (2.131)$$

$$= 1/4[\cos(\omega_{c2} + \omega_{c1} - \omega_m)t - \cos(\omega_{c2} - (\omega_{c1}))t] \quad (2.132)$$

จาก

$$\omega_{c2} = IF_1 + IF_2 \quad (2.133)$$

$$IF_1 = \omega_{c1} - \omega_m \quad (2.134)$$

ดังนั้น Output จาก $Mixer_2$ จะมีค่าเท่ากับ

$$= 1/4[\cos(IF_1 + IF_2 + IF_1)t - \cos(IF_1 + IF_2 - IF_1)t] \quad (2.135)$$

ผ่านวงจร LPF จะได้

$$= -1/4 \cos IF_2 t \quad (2.136)$$

ผ่านวงจร differentiator จะได้

$$= IF_2 / 4 \sin IF_2 t \quad (2.137)$$

พิจารณา $Mixer_3$ จะได้

$$s_A(t).s_{c3}(t) = 1/2[\sin(\omega_{c1} - \omega_m)t \, . \cos\omega_{c3}t] \quad (2.139)$$

$$= 1/4[\sin(\omega_{c3} + \omega_{c1} - \omega_m)t + \sin(\omega_{c3} - (\omega_{c1} - \omega_m))t] \quad (2.140)$$

จาก

$$\omega_{c3} = IF_1 + IF_2 \quad (2.141)$$

$$IF_1 = \omega_{c1} - \omega_m \quad (2.142)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ดังนั้น Output จาก $Mixer_3$ จะมีค่าเท่ากับ

$$= 1/4[\sin(IF_1 + IF_2 + IF_1)t + \sin(IF_1 + IF_2 - IF_1)t] \quad (2.143)$$

$$= 1/4 \sin IF_2 t \quad (2.144)$$

นำผลลัพธ์จาก (2.137) และ (2.144) มาผ่านวงจรคูณจะได้

$$= IF_2 / 16 \sin^2 IF_2 t$$

$$= IF_2 / 32(1 - \cos^2 IF_2 t)$$

$$= IF2/32$$

เทอมหลังจะถูกกำจัดโดยวงจร LPF เพราะฉะนั้นจะเห็นว่าผลลัพธ์ที่ได้จะเป็นค่า DC เพียงอย่างเดียวซึ่งค่านี้จะนำไปควบคุม VCO ให้ผลิตความถี่ได้ตามที่เราต้องการ แต่ในกรณีที่เครื่องรับอยู่กับที่นั้น ค่า DC นี้จะไม่ทำให้ความถี่ของ VCO เปลี่ยนแปลง

ต่อไปเราจะมาพิจารณาสัญญาณในขณะที่เครื่องรับมีการเคลื่อนที่ซึ่งสัญญาณทางด้าน input จะมี การเปลี่ยนแปลงโดยจะมีค่าความถี่เพิ่มเข้ามาให้เป็น ω_d

$$s_m(t) = \sin(\omega_m + \omega_d)t \quad (2.145)$$

ที่ $Mixer_1$ จะได้

$$s_m(t).s_{c1}(t) = \sin(\omega_m + \omega_d)t \,.\, \cos \omega_{c1} t \quad (2.146)$$

$$= 1/2[\sin(\omega_{c1} + \omega_m + \omega_d)t + \sin(\omega_{c1} - \omega_m - \omega_d)t] \quad (2.147)$$

ในเทอมของผลรวมซึ่งเป็นความถี่สูงจะถูกกำจัดโดย BPF_1 ผลลัพธ์ที่เหลือจะได้เป็น

$$s_A(t) = 1/2 \sin(\omega_{c1} - \omega_m - \omega_d)t \quad (2.148)$$

$$= 1/2 \sin(IF_1 - \omega_d)t \quad (2.149)$$

เมื่อ $IF_1 = \omega_{c1} - \omega_m$

เมื่อผ่านเข้ามาในส่วนของ $Mixer_2$ นั่นคือ

$$s_A(t).sc_2(t) = 1/2 \sin(\omega_m + \omega_d)t \,.\, \cos \omega_{c2} t \quad (2.150)$$

$$= 1/4[\cos(\omega_{c2} + IF_1 - \omega_d)t - \cos(\omega_{c2} - IF_1 + \omega_d)t] \quad (2.151)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เมื่อ $\omega_{c2} = IF_1 + IF_2$ จะได้เป็น

$$= 1/2 \sin(\omega_{c1} + \omega_m + \omega_d)t + \sin(\omega_{c1} - \omega_m - \omega_d)t\,] \tag{2.152}$$

ในเทอมของผลรวมซึ่งเป็นความถี่สูงจะถูกกำจัดโดย BPF_1 ผลลัพธ์ที่เหลือจะได้เป็น

$$s_A(t) = 1/2 \sin(\omega_{c1} - \omega_m - \omega_d)t \tag{2.153}$$

$$= 1/2 \sin(IF_1 - \omega_d)t$$

$$\text{เมื่อ } IF_1 = \omega_{c1} - \omega_m \tag{2.154}$$

เมื่อผ่านเข้ามาในส่วนของ $Mixer_2$ นั่นคือ

$$s_A(t).s_{c2}(t) = 1/2 \sin(\omega_m + \omega_d)t\,.\cos\omega_{c2}t \tag{2.155}$$

$$= 1/4[\cos(\omega_{c2} + IF_1 - \omega_d)t - \cos(\omega_{c2} - IF_1 - \omega_d)t\,] \tag{2.156}$$

เมื่อ $\omega_{c2} = IF_1 + IF_2$ จะได้เป็น

$$= -1/4[\cos(IF_1 + IF_2 + IF_1 - \omega_d)t - \cos(IF_1 + IF_2 - IF_1 + \omega_d)t\,] \tag{2.157}$$

ในเทอมของผลรวมความถี่สูงจะถูกกำจัดด้วย BPF_2 จะได้ $S_o(t)$ เป็น

$$s_o(t) = -1/4 \cos(IF_2 + \omega_d)t \tag{2.158}$$

โดยปกติแล้วสัญญาณที่จะทำการ modulated นั้นจะต้องมีความถี่เท่ากับความถี่กลาง (intermedate frequency,IF) แต่ในขณะที่เครื่องรับมีการเคลื่อนที่นั้นได้มีค่าความถี่ ω_d ค่าหนึ่งเพิ่มเข้ามา ซึ่งในส่วนนี้ค่าความถี่ที่เพิ่มเข้ามานั้นจะส่งผลให้วงจร unbalance quadricorrelator ทำงานเพื่อส่งสัญญาณ DC ไปให้วงจร VCO ผลิตความถี่เพื่อที่จะสามารถให้สัญญาณเข้าสู่สภาวะล็อกได้ ต่อไปเราจะได้พิจารณาในส่วนของ วงจร unbalance quadricorrelator ว่ามีผลแตกต่างกันกับขณะอยู่กับที่อย่างไร ดังสมการต่อไปนี้

พิจารณา $Mixer_2$ จะได้

$$s_A(t).s_{c2}(t) = 1/2 \sin(\omega_m + \omega_d)t\,.\cos\omega_{c2}t \tag{2.159}$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$= 1/4[\cos(\omega_{c2} + IF_1 - \omega_d)t - \cos(\omega_{c2} - IF_1 + \omega_d)t] \quad (2.160)$$

เมื่อ $\omega_{c2} = IF_1 + IF_2$ จะได้เป็น

$$= 1/4[\cos(IF_1 + IF_2 + IF_1 - \omega_d)t - \cos(IF_1 + IF_2 - IF_1 + \omega_d)t] \quad (2.161)$$

ในส่วนของเทอมที่มีความถี่สูงจะถูกกำจัดโดย LPF จะได้

$$= -1/4\cos(IF_2 + \omega_d)t \quad (2.162)$$

ผ่านวงจร differentiator จะได้

$$= 1/4(IF_2 + \omega_d).\sin(IF_2 + \omega_d)t \quad (2.163)$$

พิจารณา Mixer_3 จะได้

$$s_A(t).s_{c3}(t) = 1/2[\sin(IF_1 - \omega_d)t.\cos\omega_{c3}t] \quad (2.164)$$

$$= 1/4[\sin(\omega_{c3} + IF_1 - \omega_d)t + \sin(\omega_{c3} - IF_1 - \omega_d)t] \quad (2.165)$$

จาก $\omega_{c2} = IF_1 + IF_2$ จะได้

$$= 1/4[\sin(IF_1 + IF_2 + IF_1 - \omega_d)t + \sin(IF_1 + IF_2 - IF_1 + \omega_d)t] \quad (2.166)$$

ในส่วนของเทอมที่มีความถี่สูงจะถูกกำจัดโดย LPF จะได้

$$= 1/4\sin(IF_2 + \omega_d)t \quad (2.167)$$

นำผลลัพธ์จาก (1) และ (2) มาผ่านวงจรคูณจะได้

$$= 1/16(IF_2 + \omega_d)[1/2 - 1/2\cos 2(IF_2 + \omega_d)t] \quad (2.168)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

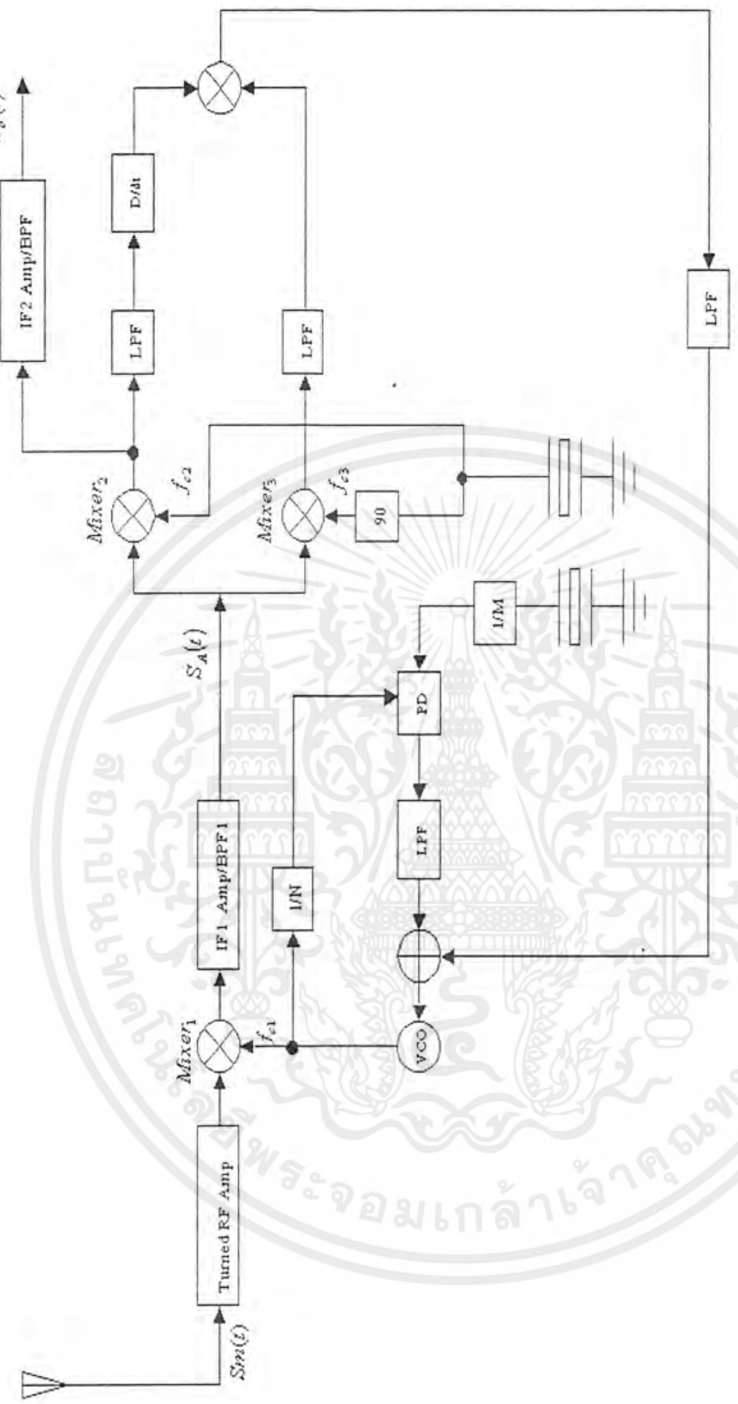
เทอมหลังซึ่งมีความถี่สูงจะถูกกำจัดโดยวงจร LPF เพราะฉะนั้นจะได้เป็น

$$= (IF_2 + \omega_d) / 32 \tag{2.169}$$

ค่าที่ได้จะเป็นค่า DC ที่แตกต่างจากสภาวะที่เครื่องรับอยู่กับที่ ซึ่งค่านี้จะไปควบคุมการทำงานของ VCO ให้ผลิตความถี่ตามที่เราต้องการได้

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.33 Long loop Model

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Long Loop Model

ขณะที่เครื่องรับอยู่กับที่ เริ่มต้นพิจารณาที่ Long Loop Model สัญญาณที่เข้ามาเป็น $S_m(t)$ ผ่านวงจร $Mixer_1$ กับสัญญาณ $S_{c1}(t)$ จะได้ดังนี้คือ

$$s_m(t).s_{c1}(t) = \sin\omega_m t.\cos\omega_{c1}t \tag{2.170}$$

$$= 1/2[\sin(\omega_{c1}+\omega_m)t + \sin(\omega_{c1}-\omega_m)t] \tag{2.171}$$

ในส่วนของเทอมผลรวมจะถูกกำจัดโดย BPF_1 และผลต่างจะต้องมีค่าเท่ากับความถี่กลาง (Intermediate Frequency , IF) ผลลัพธ์ที่ได้คือ

$$\therefore s_A(t) = 1/2\sin IF_1 t \tag{2.172}$$

เมื่อ $(\omega_{c1}-\omega_m) = IF_1$

พิจารณา $Mixer_2$

$$s_A(t).s_{c2}(t) = 1/2[\sin(\omega_{c1}-\omega_m)t.\sin\omega_{c2}t] \tag{2.173}$$

$$\begin{aligned} &= 1/4[\cos(c2+c1-m)t \\ &\quad -\cos(c2-c1-m))t] \end{aligned} \tag{2.174}$$

จาก

$$\omega_{c2} = IF_2 + IF_2 \tag{2.175}$$

$$IF_1 = \omega_{c1} - \omega_m \tag{2.176}$$

ดังนั้น Output จาก $Mixer_2$ จะมีค่าเท่ากับ

$$= 1/4[\cos(IF_1+IF_2+IF_1)t - \cos(IF_1+IF_2-IF_1)t \tag{2.177}$$

ในส่วนของเทอมผลบวกความถี่สูงจะถูกกำจัดโดย BPF_2 ส่วนที่เหลือจะเป็นสัญญาณที่ติดอยู่ในรูปของสัญญาณที่จะนำไปทำการ modulated ต่อไปซึ่งจะได้เป็น

$$s_o(t) = -1/4\cos IF_2 t \tag{2.178}$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

พิจารณาในส่วนของ Unbalance quadricorrelator สัญญาณที่เข้ามาเป็น $S_A(t)$ แยกเป็นสองทางเพื่อไป Mixer กับสัญญาณ $s_{c2}(t)$ และ $s_{c3}(t)$ โดยใช้วงจร $Mixer_2$ และ $Mixer_3$ ตามลำดับ

$$s_A(t).s_{c2}(t) = 1/2[\sin(\omega_{c1} - \omega_m)t \, . \sin \omega_{c2}t] \tag{2.179}$$

$$= 1/4[\cos(\omega_{c2} + \omega_{c1} - \omega_m)t - \cos(\omega_{c2} - \omega_{c1} - \omega_m))t] \tag{2.180}$$

จาก

$$\omega_{c2} = IF_1 + IF_2 \tag{2.181}$$

$$IF_1 = \omega_{c1} - \omega_m \tag{2.182}$$

ดังนั้น Output จาก $Mixer_2$ จะมีค่าเท่ากับ

$$= 1/4[\cos(IF_1 + IF_2 + IF_1)t - \cos(IF_1 + IF_2 - IF_1)t] \tag{2.183}$$

ผ่านวงจร LPF จะได้

$$-1/4 \cos IF_2 t \tag{2.184}$$

ผ่านวงจร differentiator จะได้

$$IF_2 / 4 \sin IF_2 t \tag{2.185}$$

พิจารณา $Mixer_3$ จะได้

$$s_A(t).s_{c3}(t) = 1/2[\sin(\omega_{c1} - \omega_m)t \, . \cos \omega_{c3}t] \tag{2.186}$$

$$= 1/4[\sin(\omega_{c3} + \omega_{c1} - \omega_m)t + \sin(\omega_{c3} - \omega_{c1} - \omega_m)t] \tag{2.187}$$

จาก

$$\omega_{c3} = IF_1 + IF_2 \tag{2.188}$$

$$IF_1 = \omega_{c1} - \omega_m \tag{2.189}$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ดังนั้น Output จาก $Mixer_3$ จะมีค่าเท่ากับ

$$= 1/4[\sin(IF_1 + IF_2 + IF_1)t + \sin(IF_1 + IF_2 - IF_1)t] \quad (2.190)$$

$$= 1/4 \sin IF_2 t \quad (2.191)$$

นำผลลัพธ์จาก (2.66) และ (2.72) มาผ่านวงจรคูณจะได้

$$= IF_2 / 16 \sin^2 IF_2 t \quad (2.192)$$

$$= IF_2 / 32(1 - \cos 2IF_2 t)$$

$$= IF_2 / 32$$

เทอมหลังจะถูกกำจัดโดยวงจร LPF เพราะฉะนั้นจะเห็นว่าผลลัพธ์ที่ได้จะเป็นค่า DC เพียงอย่างเดียวซึ่งค่านี้จะนำไปควบคุม VCO ให้ผลิตความถี่ได้ตามที่เราต้องการ แต่ในกรณีที่เครื่องรับอยู่กับที่นั้น ค่า DC นี้จะไม่ทำให้ความถี่ของ VCO เปลี่ยนแปลง

ต่อไปเราจะมาพิจารณาสัญญาณในขณะที่เครื่องรับมีการเคลื่อนที่ซึ่งสัญญาณทางด้าน input จะมีการเปลี่ยนแปลงโดยจะมีค่าความถี่เพิ่มเข้ามาให้เป็น ω_d

$$s_m(t) = \sin(\omega_m + \omega_d)t \quad (2.193)$$

ที่ $Mixer_1$ จะได้

$$s_m(t).s_{c1}(t) = \sin(\omega_m + \omega_d)t . \cos \omega_{c1} t \quad (2.194)$$

$$= 1/2[\sin(\omega_{c1} + \omega_m + \omega_d)t + \sin(\omega_{c1} - \omega_m - \omega_d)t] \quad (2.195)$$

ในเทอมของผลรวมซึ่งเป็นความถี่สูงจะถูกกำจัดโดย BPF_1 ผลลัพธ์ที่เหลือจะได้เป็น(2.195)

$$s_A(t) = 1/2 \sin(\omega_{c1} - \omega_m - \omega_d)t \quad (2.196)$$

$$= 1/2 \sin(IF_1 - \omega_d)t$$

เมื่อ $IF_1 = \omega_{c1} - \omega_m$ (2.197)

เมื่อผ่านเข้ามาในส่วนของ $Mixer_2$ นั่นคือ

$$s_A(t).s_{c2}(t) = 1/2 \sin(\omega_m + \omega_d)t . \cos_{c2} t \quad (2.198)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$= 1/4[\cos(\omega_{c2} + IF_1 - \omega_d)t$$
$$- \cos(\omega_{c2} + IF_2 - IF_1 + \omega_d)t \quad (2.199)$$

เมื่อ $\omega_{c2} = IF_1 + IF_2$ จะได้เป็น

$$= 1/4[\cos(IF_1 + IF_2 + IF_1 - \omega_d)t$$
$$- \cos(IF_1 + IF_2 - IF_1 + \omega_d)t\,] \quad (2.200)$$

ในเทอมของผลรวมความถี่สูงจะถูกกำจัดด้วย BPF_2 จะได้ $S_o(t)$ เป็น

$$s_o(t) = -1/4\cos(IF_2 + \omega_d)t \quad (2.201)$$

โดยปกติแล้วสัญญาณที่จะทำการ modulated นั้นจะต้องมีความถี่เท่ากับความถี่กลาง (intermedate frequency,IF) แต่ในขณะที่เครื่องรับมีการเคลื่อนที่นั้นได้มีค่าความถี่ ω_d ค่าหนึ่งเพิ่มเข้ามา ซึ่งในส่วนนี้ค่าความถี่ที่เพิ่มเข้ามานั้นจะส่งผลให้วงจร unbalance quadricorrelator ทำงานเพื่อส่งสัญญาณ DC ไปให้วงจร VCO ผลิตความถี่เพื่อที่จะสามารถให้สัญญาณเข้าสู่สภาวะล็อกได้ต่อไปเราจะได้พิจารณาในส่วนของวงจร unbalance quadricorrelator ว่ามีผลแตกต่างกันกับขณะอยู่กับที่อย่างไร ดังสมการต่อไปนี้

พิจารณา $Mixer_2$ จะได้

$$s_A(t).s_{c2}(t) = 1/2\sin(\omega_m + \omega_d)t\,.\cos\omega_{c2}t \quad (2.202)$$
$$= 1/4[\cos(\omega_{c2} + IF_1 - \omega_d)t$$
$$- \cos(\omega_{c2} - IF_1 + \omega_d)t\,] \quad (2.203)$$

เมื่อ $\omega_{c2} = IF_1 + IF_2$ จะได้เป็น

$$= 1/4[\cos(IF_1 + IF_2 + IF_1 - \omega_d)t$$
$$- \cos(IF_1 + IF_2 - IF_1 + \omega_d)t \quad (2.204)$$

ในส่วนของเทอมที่มีความถี่สูงจะถูกกำจัดโดย LPF จะได้

$$= -1/4\cos(IF_2 + \omega_d)t \quad (2.205)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ผ่านวงจร differentiator จะได้

$$= 1/4(IF_2 + \omega_d).\sin(IF_2 + \omega_d)t \tag{2.206}$$

พิจารณา Mixer_3 จะได้

$$s_A(t).s_{c3}(t) = 1/2[\sin(IF_1 - \omega_d)t.\cos\omega_{c3}t] \tag{2.207}$$

$$= 1/4[\sin(\omega_{c3} + IF_1 - \omega_d)t + \sin(\omega_{c3} - IF_1 - \omega_d)t] \tag{2.208}$$

จาก $\omega_{c2} = IF_1 + IF_2$ จะได้

$$= 1/4[\cos(IF_1 + IF_2 + IF_1 - \omega_d)t - \cos(IF_1 + IF_2 - IF_1 + \omega_d)t] \tag{2.209}$$

ในส่วนของเทอมที่มีความถี่สูงจะถูกกำจัดโดย LPF จะได้

$$= -1/4\sin(IF_2 + \omega_d)t \tag{2.210}$$

นำผลลัพธ์จาก (2.206) และ (2.210) มาผ่านวงจรคูณจะได้

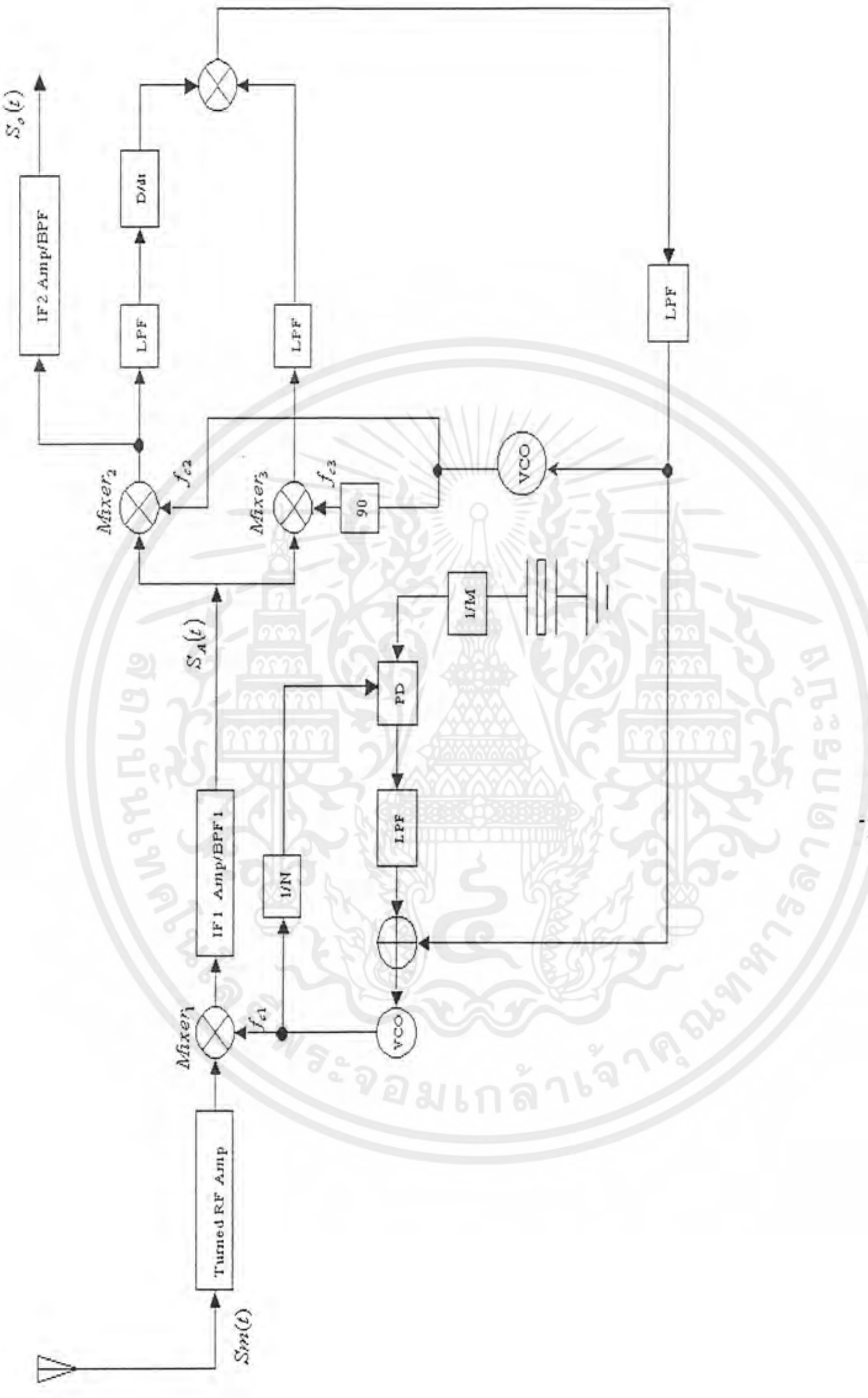
$$= 1/16(IF_2 + \omega_d)[1/2 - 1/2\cos(IF_2 + \omega_d)t \tag{2.211}$$

เทอมหลังซึ่งมีความถี่สูงจะถูกกำจัดโดยวงจร LPF เพราะฉะนั้นจะได้เป็น

$$= (IF_2 + \omega_d)/32 \tag{2.212}$$

ค่าที่ได้จะเป็นค่า DC ที่แตกต่างจากสภาวะที่เครื่องรับอยู่กับที่ ซึ่งค่านี้จะไปควบคุมการทำงานของ VCO ให้ผลิตความถี่ตามที่เราต้องการได้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.34 Split Loop Model

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Split Loop Model

ขณะที่เครื่องรับอยู่กับที่ เริ่มต้นพิจารณาที่ Split Loop Model สัญญาณที่เข้ามาเป็น $S_m(t)$ ผ่านวงจร $Mixer_1$ กับสัญญาณ $S_{c1}(t)$ จะได้ดังนี้คือ

$$s_m(t).s_{c1}(t) = \sin\omega_m t \,.\cos\omega_{c1}t \tag{2.213}$$

$$= 1/2[\sin(\omega_c 1 + \omega_m)t + \sin(\omega_{c1} - \omega_m)t \tag{2.214}$$

ในส่วนของเทอมผลรวมจะถูกกำจัดโดย BPF_1 และผลต่างจะต้องมีค่าเท่ากับความถี่กลาง (Intermedate Frequency , IF) ผลลัพธ์ที่ได้คือ

$$\therefore s_A(t) = 1/2\sin IF_1 t \tag{2.215}$$

$$(\omega_{c1} - \omega_m) = IF_1 \tag{2.216}$$

พิจารณา Mixer

$$s_A(t).s_{c_2}(t) = 1/2[\sin(\omega_{c1} - \omega_m)t\,.\sin\omega_{c2}t\,] \tag{2.217}$$

$$\begin{aligned} &= 1/4[\cos(\omega_{c_2} + \omega_{c1} - \omega_m)\omega t \\ &\quad - \cos(\omega_{c2} - \omega_{c1} - \omega_m))t\,] \end{aligned} \tag{2.218}$$

จาก

$$\omega_{c_2} = IF_2 + IF_2 \tag{2.219}$$

$$IF_1 = \omega_{c1} - \omega_m \tag{2.220}$$

ดังนั้น Output จาก $Mixer_2$ จะมีค่าเท่ากับ

$$= 1/4[\cos(IF_1 + IF_2 + IF_1)t - \cos(IF_1 + IF_2 - IF_1)t\,] \tag{2.221}$$

ในส่วนของเทอมผลบวกความถี่สูงจะถูกกำจัดโดย BPF_2 ส่วนที่เหลือจะเป็นสัญญาณที่ติดอยู่ในรูปของสัญญาณที่จะนำไปทำการ modulated ต่อไปซึ่งจะได้เป็น

$$s_o(t) = -1/4\cos IF_2 t \tag{2.222}$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

พิจารณาในส่วนของ Unbalance quadricorrelator สัญญาณที่เข้ามาเป็น $S_A(t)$ แยกเป็นสองทางเพื่อไป Mixer กับสัญญาณ $S_{c2}(t)$ และ $S_{c3}(t)$ โดยใช้วงจร $Mixer_2$ และ $Mixer_3$ ตามลำดับ

$$s_A(t).s_{c2}(t) = 1/2[\sin(\omega_{c1} - \omega_m)t.\sin\omega_{c2}t] \quad (2.223)$$

$$= 1/4[\cos(c2 + c1 - m)t] \quad (2.224)$$

จาก

$$\omega_{c3} = IF_1 + IF_2 \quad (2.225)$$

$$IF_1 = \omega_{c1} - \omega_m \quad (2.226)$$

ดังนั้น Output จาก $Mixer_2$ จะมีค่าเท่ากับ

$$= 1/4[\cos(IF_1 + IF_2 + IF_1)t - \cos(IF_1 + IF_2 - IF_1)t] \quad (2.227)$$

ผ่านวงจร LPF จะได้

$$= -1/4\cos IF_2 t \quad (2.228)$$

ผ่านวงจร differentiator จะได้

$$= IF2/4\sin IF_2 t \quad (2.229)$$

พิจารณา $Mixer_3$ จะได้

$$s_A(t).s_{c3}(t) = 1/2[\sin(\omega_{c1} - \omega_m)t.\cos\omega_{c3}t] \quad (2.230)$$

$$= 1/4\sin(\omega_{c3} + \omega_{c1} - \omega_m)t + \sin(\omega_{c3} - \omega_{c1} - \omega_m))t] \quad (2.230)$$

จาก

$$\omega_{c3} = IF_1 + IF_2 \quad (2.231)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$IF_1 = \omega_{c1} - \omega_m \tag{2.232}$$

ดังนั้น Output จาก $Mixer_3$ จะมีค่าเท่ากับ

$$= 1/4(\sin(IF_1 + IF_2 + IF_1)t + \sin(IF_1 + IF_2 - IF_1)t\,] \tag{2.233}$$

$$= 1/4 \sin IF_2 t \tag{2.234}$$

นำผลลัพธ์จาก (2.111) และ (2.117) มาผ่านวงจรคูณจะได้

$$= IF_2 / 16 \sin^2 IF_2 t$$

$$= IF_2 / 32(1 - \cos^2 IF_2 t)$$

$$= IF_2 / 32$$

เทอมหลังจะถูกกำจัดโดยวงจร LPF เพราะฉะนั้นจะเห็นว่าผลลัพธ์ที่ได้จะเป็นค่า DC เพียงอย่างเดียวซึ่งค่านี้จะนำไปควบคุม VCO ให้ผลิตความถี่ได้ตามที่เราต้องการ แต่ในกรณีที่เครื่องรับอยู่กับที่นั้น ค่า DC นี้จะไม่ทำให้ความถี่ของ VCO เปลี่ยนแปลง

ต่อไปเราจะมาพิจารณาสัญญาณในขณะที่เครื่องรับมีการเคลื่อนที่ซึ่งสัญญาณทางด้าน input จะมีการเปลี่ยนแปลงโดยจะมีค่าความถี่เพิ่มเข้ามาให้เป็น ω_d

$$s_m(t) = \sin(\omega_m + \omega_d)t \tag{2.235}$$

ที่ $Mixer_1$ จะได้

$$s_m(t) = \sin(\omega_m + \omega_d)t \,.\, \cos \omega_{c1} t \tag{2.236}$$

$$= 1/2[\sin(\omega_{c1} + \omega_m + \omega_d)t + \sin(\omega_{c_1} - \omega_m - \omega_d)t\,] \tag{2.237}$$

ในเทอมของผลรวมซึ่งเป็นความถี่สูงจะถูกกำจัดโดย BPF_1 ผลลัพธ์ที่เหลือจะได้เป็น

$$s_A(t) = 1/2 \sin(\omega_{c1} - \omega_m - \omega_d)t \tag{2.238}$$

$$= 1/2 \sin(IF_1 - \omega_d)t \qquad \text{เมื่อ} \quad IF_1 = \omega_{c1} - \omega_m \tag{2.239}$$

เมื่อผ่านเข้ามาในส่วนของ $Mixer_2$ นั่นคือ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$s_A(t).s_{c2}(t) = 1/2\sin(\omega_m + \omega_d)t \,.\cos\omega_{c2}t \quad (2.240)$$

$$= 1/4[\cos(\omega_{c2} + IF_1 - \omega_d)t - \cos(\omega_{c2} - IF_1 + \omega_d)t\,] \quad (2.241)$$

เมื่อ $\omega_{c2} = IF_1 + IF_2$ จะได้เป็น

$$= 1/4[\cos(IF_1 + IF_2 + IF_1 - \omega_d)t - \cos(IF_1 - IF_2 + IF_1 - IF_1 + \omega_d)t\,] \quad (2.242)$$

ในเทอมของผลรวมความถี่สูงจะถูกกำจัดด้วย BPF_2 จะได้ $S_o(t)$ เป็น

$$s_o(t) = -1/4\cos(IF_2 + \omega_d)t \quad (2.243)$$

โดยปกติแล้วสัญญาณที่จะทำการ modulated นั้นจะต้องมีความถี่เท่ากับความถี่กลาง (intermedate frequency,IF) แต่ในขณะที่เครื่องรับมีการเคลื่อนที่นั้นได้มีค่าความถี่ ω_d ค่าหนึ่งเพิ่มเข้ามา ซึ่งในส่วนนี้ค่าความถี่ที่เพิ่มเข้ามานั้นจะส่งผลให้วงจร unbalance quadricorrelator ทำงานเพื่อส่งสัญญาณ DC ไปให้วงจร VCO ผลิตความถี่เพื่อที่จะสามารถให้สัญญาณเข้าสู่สภาวะล็อกได้ ต่อไปเราจะได้พิจารณาในส่วนของ วงจร unbalance quadricorrelator ว่ามีผลแตกต่างกันกับขณะอยู่กับที่อย่างไร ดังสมการต่อไปนี้

พิจารณา $Mixer_2$ จะได้

$$s_A(t).s_{c2}(t) = 1/2\sin(\omega_m + \omega_d)t \,.\cos\omega_{c2}t \quad (2.244)$$

$$= 1/4[\cos(\omega_{c2} + IF_1 - \omega_d)t - \cos(\omega_{c2} - IF_1 + \omega_d)t\,] \quad (2.245)$$

เมื่อ $\omega_{c2} = IF_1 + IF_2$ จะได้เป็น

$$= 1/4[\cos(IF_1 + IF_2 + IF_1 - \omega_d)t - \cos(IF_1 + IF_2 - IF_1 + \omega_d)t\,] \quad (2.246)$$

ในส่วนของเทอมที่มีความถี่สูงจะถูกกำจัดโดย LPF จะได้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$= -1/4\cos(IF_2 + \omega_d)t \tag{2.247}$$

ผ่านวงจร differentiator จะได้

$$= 1/4(IF_2 + \omega_d).\sin(IF_2 + \omega_d)t \tag{2.248}$$

พิจารณา $Mixer_3$ จะได้

$$s_A(t).s_{c3}(t) = 1/2[\sin(IF_1 - \omega_d)t.\cos\omega_{c3}t] \tag{2.249}$$

$$= 1/4[\sin(\omega_{c3} + IF_1 - \omega_d)t + \sin(\omega_{c3} - IF_1 - \omega_d)t] \tag{2.250}$$

จาก $\omega_{c2} = IF_1 + IF_2$ จะได้

$$= 1/4[\sin(IF_1 + IF_2 + IF_1 - \omega_d)t + \sin(IF_1 + IF_2 - IF_1 + \omega_d)t] \tag{2.251}$$

ในส่วนของเทอมที่มีความถี่สูงจะถูกกำจัดโดย LPF จะได้

$$= 1/4\sin(IF_2 + \omega_d)t \tag{2.252}$$

นำผลลัพธ์จาก (2.248) และ (2.252) มาผ่านวงจรคูณจะได้

$$= 1/16(IF_2 + \omega_d)[1/2 - 1/2\cos 2(IF_2 + \omega_d)t] \tag{2.253}$$

เทอมหลังซึ่งมีความถี่สูงจะถูกกำจัดโดยวงจร LPF เพราะฉะนั้นจะได้เป็น

$$= (IF_2 + \omega_d)/32 \tag{2.254}$$

ค่าที่ได้จะเป็นค่า DC ที่แตกต่างจากสภาวะที่เครื่องรับอยู่กับที่ ซึ่งค่านี้จะไปควบคุมการทำงานของ VCO ให้ผลิตความถี่ตามที่เราต้องการได้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

หมายเหตุ

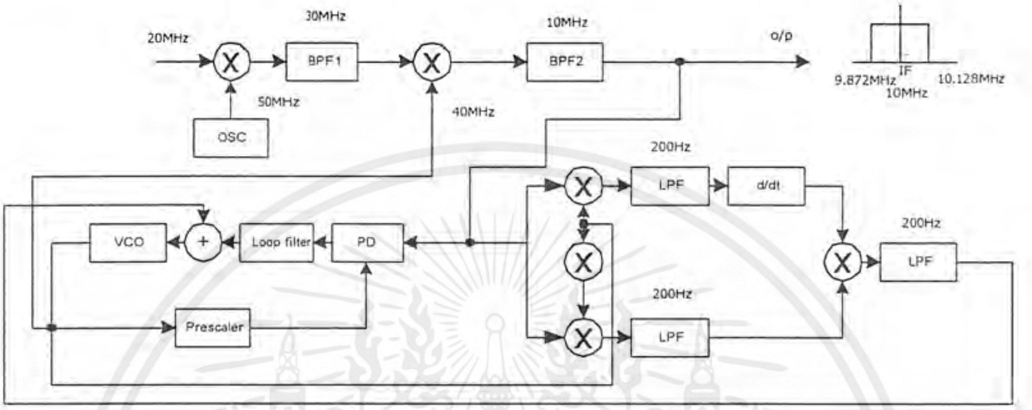
ในโครงงานนี้ได้ใช้การออกแบบวงจรลูปโมเดล (Loop Model) แบบสปริทลูปโมเดล (sprit Loop Model) ช่วยในการควบคุมความถี่เพราะดูค่อนข้างจะไม่ยุ่งยากมากนักเมื่อเทียบกับลูปโมเดลแบบอื่น

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่3

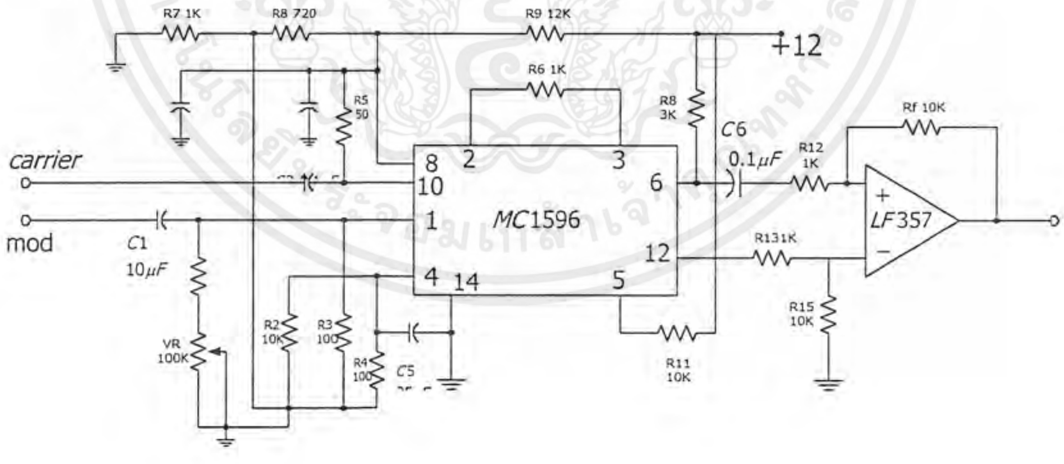
การออกแบบวงจร

การออกแบบวงจรที่ใช้ในโปรเจคนี้ เราสามารถแสดงภาพรวม ๆ ของบล็อคไดอะแกรมรวมของวงจรที่ทำในโปรเจคนี้ให้เห็นได้ดังรูปที่ 3.1



รูปที่ 3.1 Block Diagram ของวงจรรวม

3.1 วงจร BALANCE MODULATOR



รูปที่ 3.2 วงจร Balance Modulator

วงจร Balanced Modulator หรือเรียกย่อ ๆ ว่า BM นี้จะทำหน้าที่ผสมสัญญาณเบสแบนด์กับคลื่นพาห์ โดยผลลัพธ์ที่ได้จากการผสมจะมีเฉพาะไซด์แบนด์ทั้งสองข้างเท่านั้น โดยสัญญาณ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

พาหะจะถูกกำจัดออกไปในการออกแบบวงจร BalanceModulator นี้จะใช้ IC เบอร์ MC1596 ทำหน้าที่เป็นตัว Balance Modulator โดยในวงจรจะมีความต้านทานปรับค่า 50 โอห์ม เป็นตัวปรับสมดุลย์ การกำจัด carrier ขึ้นอยู่กับระดับสัญญาณพาห์ที่เหมาะสมอยู่ในช่วง 300 mV ถึง 500 mV ซึ่งวงจรที่ใช้งานแสดงดังรูปที่ 3.2

การทำงานของวงจร Balance Modulator เหมือนกับวงจรคูณสัญญาณ สมมุติให้สัญญาณคลื่นพาห์ และสัญญาณเบสแบนด์ และจะได้ output คือ

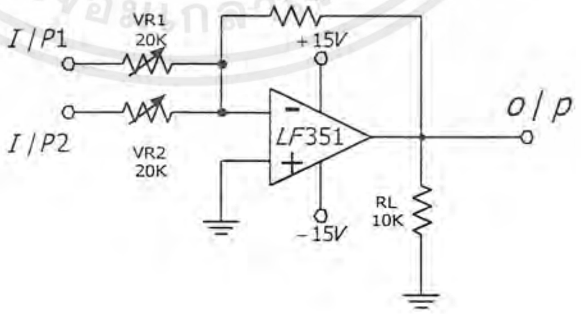
$$\begin{aligned} V_o &= A_c \sin \omega_c t \times A_m \sin \omega_m t \\ &= \frac{A_c A_m}{2} \cos(\omega_c - \omega_m)t + \cos(\omega_c + \omega_m)t \end{aligned} \tag{3.1}$$

ส่วนในโครงงานนี้วงจร BalanceModulator มีอยู่ 3 วงจร ซึ่งมีอยู่ 2 วงจรที่ Modulate ที่ความถี่ของ carrier กับสัญญาณเบสแบนด์ที่ 1.25 MHz ทั้งคู่ ส่วนอีกวงจรใช้ Modulate ที่ความถี่ของ carrier กับสัญญาณเบสแบนด์ที่ 200 Hz ซึ่ง 3 วงจรนี้จะอยู่ในส่วนของ วงจร FDD (Frequency Difference Detectors) โดยจะเห็นวงจรได้จากรูปที่

3.2 วงจรรวมสัญญาณ (Summing AMP)

วงจรรวมสัญญาณใช้สำหรับการรวมสัญญาณหลาย ๆ ชุดเข้าด้วยกันเพื่อให้เป็นสัญญาณที่ถูกขยายแล้วเพียงชุดเดียว ซึ่งแรงดัน output หาได้จาก

$$V_o = -\left(\frac{R_F V_1}{R_1} + \frac{R_F V_2}{R_2}\right) \tag{3.2}$$



รูปที่ 3.3 วงจรรวมสัญญาณ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

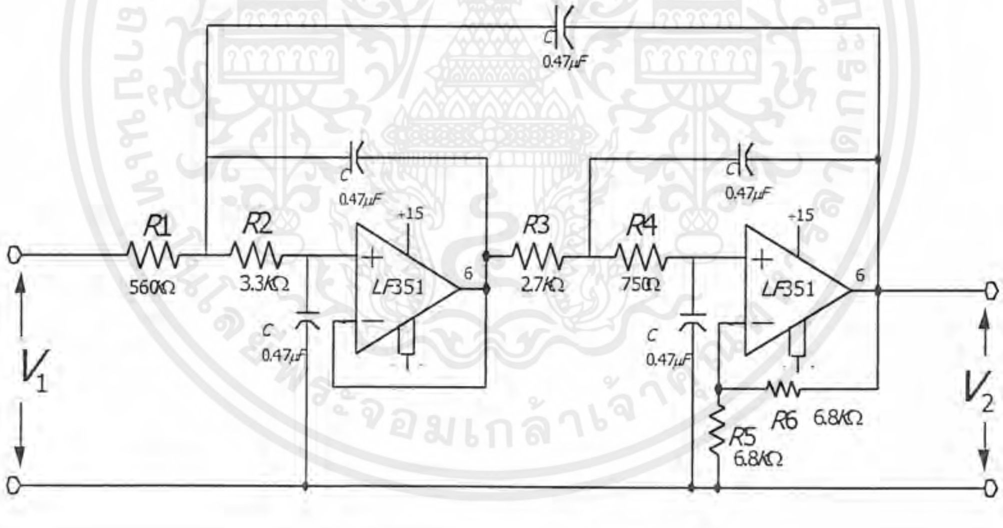
โดยที่ V1 คือสัญญาณเอาท์พุทจากวงจร balance modulator

V2 คือสัญญาณเอาท์พุทจากวงจร Loop Filter

ในการออกแบบวงจรเราเลือกใช้ $R_F = 1\ k\Omega$ และ R_1, R_2 ใช้ $V_R = 20\ k\Omega$ เพื่อให้สามารถปรับ Gainได้

3.3 วงจรกรองความถี่ต่ำผ่าน (Low Pass Filter)

จากรูปข้างล่างนี้เป็นวงจร fourth order multiple feedback low-pass filter เป็นวงจรที่มีความสำคัญเพราะว่าใช้เป็นวงจรที่ยอมให้ช่วงของสัญญาณที่เราต้องการผ่านเท่านั้น ซึ่งช่วงที่เราไม่ต้องการมันจะบายพาสสัญญาณลงกราวด์ โดย Gain ของวงจร fourth order multiple feedback low pass filter ขึ้นอยู่กับค่าของ R_5,R_6 ในขณะที่ high cutoff frequency: f_c สามารถกำหนดได้ตามความต้องการที่จะ cut off ที่ความถี่ที่เราต้องการ โดยการคำนวณค่าอุปกรณ์สามารถทำได้โดยการเปิดดูที่ตารางข้างล่าง



รูปที่ 3.4 วงจร fourth order multiple feedback low-pass filter

จากสมการ transfer function มีค่าดังนี้

$$\frac{V_2}{V_1} = \frac{Gb_0}{S^4 + b_3S^3 + b_2S^2 + b_1S + b_0} \qquad (3.3)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากรูปมีค่า n = 4 จะได้ค่าดังต่อไปนี้

$$b_o = \frac{1}{2R_1R_2R_3R_4} \tag{3.4}$$

$$b_1 = \frac{A}{2R_3R_4} + \frac{B}{2R_1R_2} - \frac{\mu}{2R_2R_3R_4} \tag{3.5}$$

$$b_2 = \frac{1}{R_3R_4} + \frac{1}{2R_1R_2} + \frac{AB}{2} \tag{3.6}$$

$$b_3 = \frac{A}{2} + B \tag{3.7}$$

$$G = \mu \tag{3.8}$$

เมื่อ

$$\mu = 1 + \frac{R_6}{R_5} \tag{3.9}$$

$$A = \frac{1}{R_1} + \frac{2}{R_2} \tag{3.10}$$

$$B = \frac{1}{R_3} + \frac{1}{R_4}(2-\mu) \tag{3.11}$$

ขั้นตอนการออกแบบ

กำหนดให้ $f_c = 200\ Hz$ เลือกค่า $c = c' = 0.47\ \mu F$ $G = 2$

<u>ขั้นที่1.</u> คำนวณค่า K

จากสูตร $K = \frac{100}{f_c c'} = \frac{100}{200 \times 0.47} = 1.06$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

<u>ขั้นที่2</u>. ดูตารางข้างล่างเพื่อคำนวณค่าอุปกรณ์ ของ Resistor โดยนำค่า K = 1.06 ไปคูณจะได้

Circuit Element Values[a]						
	Butterworth			Chebyshev(0.1dB)		
Gain	2	6	10	2	6	10
R1	0.531	0.431	0.390	0.727	0.540	0.477
R2	3.439	5.476	7.026	3.641	6.003	7.751
R3	2.441	0.535	0.367	5.850	0.540	0.365
R4	0.719	2.544	3.190	0.250	2.210	2.872
R5	6.321	3.695	3.952	12.199	3.300	3.597
R6	6.321	18.474	35.567	12.199	16.501	32.371

$$R_1 = 0.531 \times 1.06 = 0.563\ k\Omega$$
$$R_2 = 3.439 \times 1.06 = 3.65\ k\Omega$$
$$R_3 = 2.441 \times 1.06 = 2.59\ k\Omega$$
$$R_4 = 0.719 \times 1.06 = 0.76\ k\Omega$$
$$R_5 = 6.321 \times 1.06 = 6.7\ k\Omega$$
$$R_6 = 6.321 \times 1.06 = 6.7\ k\Omega$$

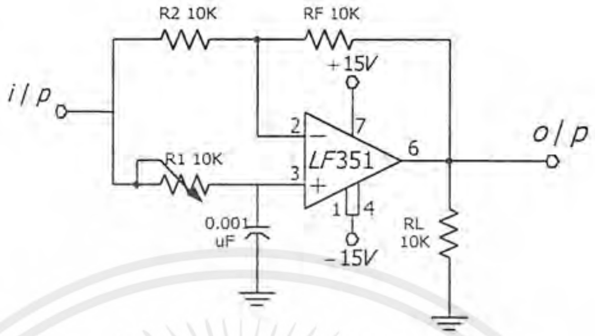
จากค่าอุปกรณ์ที่คำนวณได้จะเห็นว่าตามท้องตลาดไม่มีขายดังนั้นเราจึงใช้ค่าใกล้เคียงโดยมีค่าดังนี้

$$R_1 = 560\ \Omega$$
$$R_2 = 3.3\ K\Omega$$
$$R_3 = 2.7\ K\Omega$$
$$R_4 = 750\ \Omega$$
$$R_5 = 6.8\ K\Omega$$
$$R_6 = 6.8\ K\Omega$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.4 วงจร Phase Shift 90 องศา

เป็นวงจรที่ใช้ในการเลื่อนเฟสสัญญาณ Sine Wave ให้เลื่อนเฟสไป 90° ได้เป็นสัญญาณ Cosine โดยใช้ IC เบอร์ LF351 ต่อ ดังจะเห็นดังรูปที่ 3.5



รูปที่ 3.5 วงจร Phase Shift 90°

โดยการเลือกค่าอุปกรณ์สำหรับความถี่ที่ทำงาน

$R_1 = 10\ k\Omega$

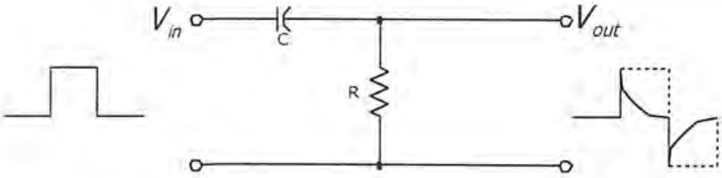
$R_F = 10\ k\Omega$

$V_R = 10\ k\Omega$

$R_L = 10\ k\Omega$

$C = 0.001\ \mu F$

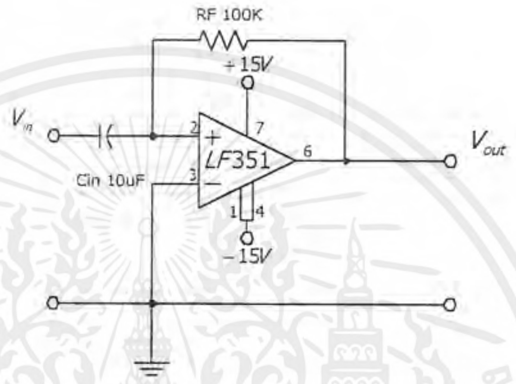
3.5 วงจรดิฟเฟอเรนชิเอเตอร์



รูปที่ 3.6 วงจรพื้นฐาน RC ของวงจรดิฟเฟอเรนชิเอเตอร์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

วงจรพื้นฐานแบบ RC ของวงจรดิฟเฟอเรนชิเอเตอร์ จะคล้ายวงจรอินติเกรเตอร์ โดยสลับตำแหน่งของ R และ C เท่านั้น และจะมีหลักการค่อนข้างคล้ายกันอีกด้วย ซึ่งอธิบายได้ดังนี้คือ ในขณะเริ่มต้น แรงดันคร่อมตัวเก็บประจุจะมีค่าเป็นศูนย์ ทำให้แรงดันอินพุททั้งหมดตกคร่อมตัวต้านทาน R เมื่อตัวเก็บประจุถูกชาร์จ กระแสไหลผ่านตัวต้านทานจะค่อย ๆ ลดลง เป็นผลให้ระดับเอาท์พุทลดลงแบบเอ็กโพเนนเชียลตามรูปที่ 3.6 และเมื่อแรงดันอินพุทเป็นศูนย์ ตัวเก็บประจุจะคายประจุผ่านกราวด์แล้วจึงเข้าสู่ตัวต้านทาน (ขณะนั้นขั้วอินพุททั้งสองถูกลัดวงจร) ฉะนั้นกระแสจะไหลลดลงเรื่อย ๆ เช่นเดียวกับวงจรพาสซีฟทั่วไปแรงดันเอาท์พุทจะต่ำกว่าอินพุทเสมอ



รูปที่ 3.7 การนำออปแอมป์มาใช้ในวงจรดิฟเฟอเรนชิเอเตอร์

ซึ่งมีขนาดของเอาท์พุทตามสมการ

$$V_{out} = -2R_F C_{in} \frac{dV_{in}}{dt} \tag{3.12}$$

โดยที่ dV_{in} คือการเปลี่ยนแปลงของแรงดันอินพุท และ dt คือ ช่วงเปลี่ยนแปลงของเวลา ที่ $f_{in} = 200\,Hz$ เราเลือกค่าอุปกรณ์

$R_F = 100\,K\Omega$

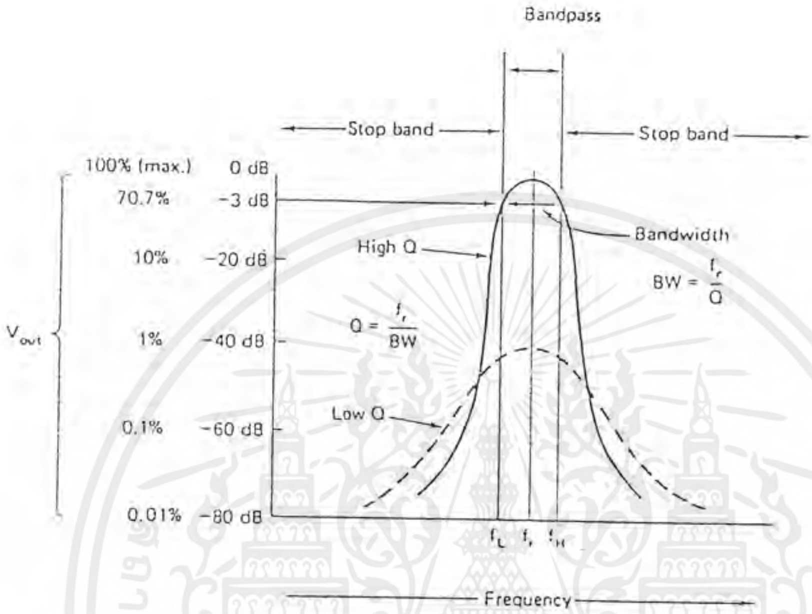
$C = 10\,\mu F$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.6 วงจรกรองแถบความถี่ผ่าน (Band Pass Filter)

เราจะใช้วงจรกรองความถี่ต่ำเป็นหลักและทำการแปลงเป็นวงจรกรองเฉพาะความถี่ที่ต้องการผ่านเท่านั้นดังนี้

หลักการทำงาน



รูปที่ 3.8 กราฟช่วงการทำงานของแบนด์พาสฟิลเตอร์

จากรูปที่ 3.8 จะพบว่า ณ ความถี่ที่เอาท์พุทมีขนาดสูงสุด เราเรียกว่า ความถี่รีโซแนนท์ (Resonant Frequency) และที่ความถี่ที่ซึ่งแรงดันเอาท์พุทลดลงเหลือ 70.7% ทั้งด้านที่ความถี่สูงขึ้นและที่ความถี่ลดลง เรียกว่า ความถี่ f_H และ f_L ตามลำดับ โดยที่ผลต่างของความถี่ทั้งสองนี้ (f_H-f_L) จะแสดง แบนด์วิดธ์ของวงจร ถ้ามีขนาดแบนด์วิดธ์ที่ต่ำกว่า 10% ของความถี่รีโซแนนท์ (f_r) จะเรียกวงจรนี้ว่า วงจรฟิลเตอร์ช่วงแคบ แต่จะเรียกว่าเป็นวงจรฟิลเตอร์ช่วงกว้างหากแบนด์วิดธ์มีค่าสูงกว่า 10% ของ (f_r) นอกจากนี้ยังให้นิยามสำหรับค่า Q (quality factor) ว่าเป็นอัตราส่วนระหว่างความถี่รีโซแนนท์และแบนด์วิดธ์ดังสมการ

$$Q = \frac{f_r}{BW} \tag{3.13}$$

วงจรที่มีค่า Q สูงมากเท่าใด แบนด์วิดธ์ก็จะยิ่งแคบเท่านั้น (เข้าใกล้วงจรในอุดมคติซึ่งต้องการเลือกความถี่ที่ผ่านวงจรกรองได้เพียงค่าเดียว) และเอาท์พุทก็จะมีขนาดสูงขึ้นด้วย เส้นประในรูปที่ 3.8 แสดงวงจรกรองแบนด์พาสที่มีค่า Q ค่อนข้างต่ำ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ขั้นตอนการออกแบบ

1. แปลงอัตราส่วนแบนด์วิดธ์ (BW/BW_c) ของวงจรกรองแถบความถี่ผ่านเป็นอัตราส่วนความถี่ (f/f_c) ของวงจรกรองความถี่ต่ำผ่าน (โดยBW ของ BPF จะเท่ากับ LPF ดังรูปที่ 3.9)

2. หาจำนวนอุปกรณ์จากกราฟคุณสมบัติการลดทอนจากค่า f/f_c ในข้อที่ 1

3. พิจารณาอุปกรณ์ต้นแบบของวงจรกรองความถี่ต่ำผ่าน

4. เปลี่ยนอุปกรณ์จากต้นแบบวงจรกรองความถี่ต่ำผ่านเป็นอุปกรณ์ต้นแบบวงจรกรองแถบความถี่ ผ่าน

5. แปลงเป็นค่าอุปกรณ์ที่ใช้งานจริง โดยการปรับอัตราของความถี่และอิมพีแดนซ์จากสูตรที่ 1 ถึง 4

จากรูปเป็นวงจรต้นแบบวงจรกรองแถบความถี่ผ่าน เราต้องแปลงมาเป็นวงจรที่ใช้งานได้จริงก่อน โดยการใช้การปรับขนาดอัตราของความถี่และอิมพีแดนซ์เพื่อแปลงค่าในวงจรไปเป็นค่าที่ใช้งานจริงโดยที่ชุดของวงจรเรโซแนนซ์แบบขนานจะมีสูตรดังนี้

$$C = \frac{C_n}{2\pi R_L B} \tag{3.14}$$

$$L = \frac{RB}{2\pi f_o^{\,2} L_n} \tag{3.15}$$

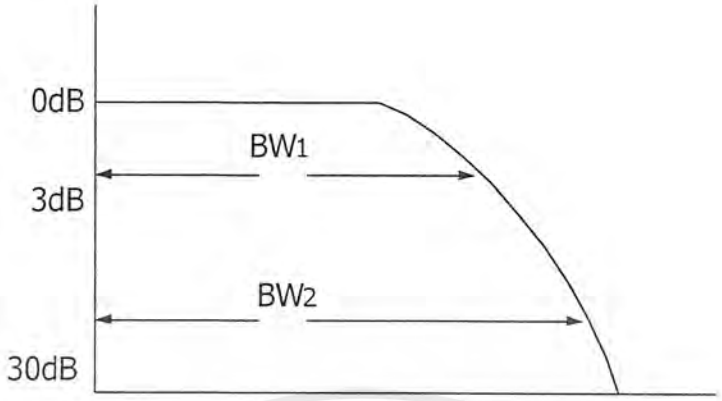
และสำหรับชุดของวงจรรีโซแนนซ์แบบอนุกรมก็จะเป็น

$$C = \frac{B}{2\pi f_o^{\,2} C_n R_L} \tag{3.16}$$

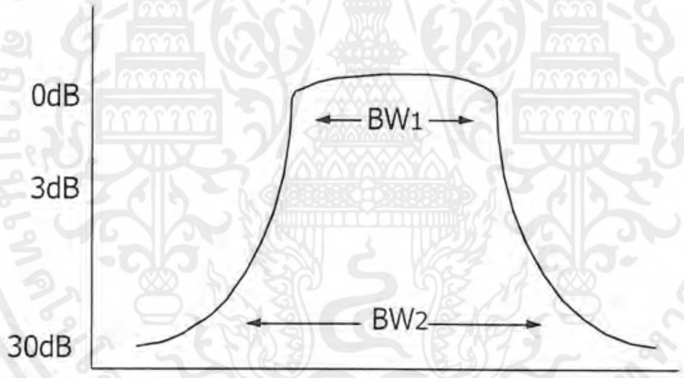
$$L = \frac{RL_n}{2\pi B} \tag{3.17}$$

$$f_o = \sqrt{f_a f_b} \tag{3.18}$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



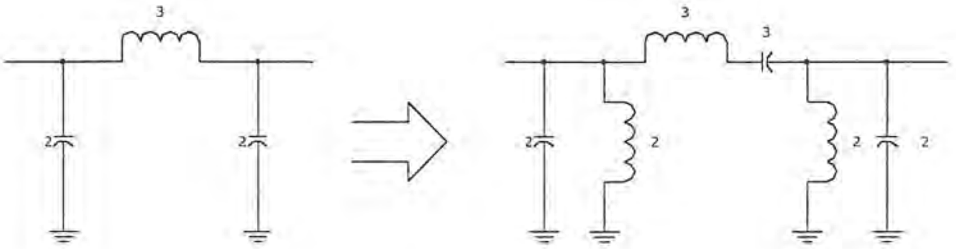
(ก) การตอบสนองความถี่ของวงจรกรองความถี่ต่ำผ่าน



(ข) การตอบสนองความถี่ของวงจรกรองแถบความถี่ผ่าน

รูปที่ 3.9 การแปลงแบนด์วิดธ์จากวงจรกรองความถี่ต่ำผ่านเป็นวงจรกรองแถบความถี่ต่ำผ่าน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.10 การเปลี่ยนต้นแบบวงจรกรองความถี่ต่ำไปเป็นวงจรกรองแถบความถี่ผ่าน

เมื่อ f_d และ f_b คือความถี่ด้านต่ำและด้านสูงของวงจรกรองแถบความถี่ผ่าน จากโครงงานกำหนดให้ $f_a = 9.872MHz$, $f_b = 10.128MHz$; $Rs = 100\Omega$, $R_L = 200\Omega$ ทำการออกแบบได้ดังนี้

$$f_o = \sqrt{(9.872)(10.128)} = 10\ MHz$$

หาค่าต้นแบบวงจรกรองความถี่ต่ำแบบบัตเตอร์เวิร์ด $(n = 3)$ จากตารางโดยนำค่าอัตราส่วน R_i / R_L กับ n ที่ได้ไปเปิดตารางจะได้ค่าดังนี้

$$C_1 = 1.244, C_3 = 2.111, L_1 = 0.864$$

นำค่าต่างๆเหล่านี้มาแทนในสูตร 1-4 เพื่อหาค่าใช้งานจริง

$$C_1 = 1.244 / 2\pi(200)(9.872 \times 10^6) = 205.9\ pF$$

$$C_3 = 10 \times 10^6 / 2\pi(10 \times 10^6)^2(2.111)(200) = 75\ pF$$

$$C_5 = 0.829 / 2\pi(200)(9.872 \times 10^6) = 135\ pF$$

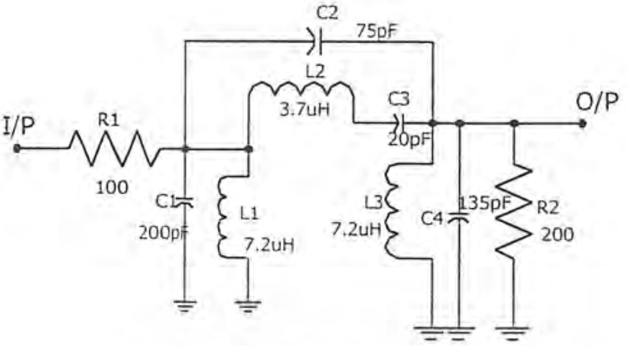
$$L_1 = (200 \times 9.872 \times 10^6) / 2\pi(10 \times 10^6)^2(0.864) = 7.2\mu H$$

$$L_2 = (200 \times 0.27) / 2\pi(9.872 \times 10^6) = 3.7\mu H$$

$$L_3 = (200 \times 9.872 \times 10^6) / 2\pi(10 \times 10^6)^2(0.864) = 7.2\mu H$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

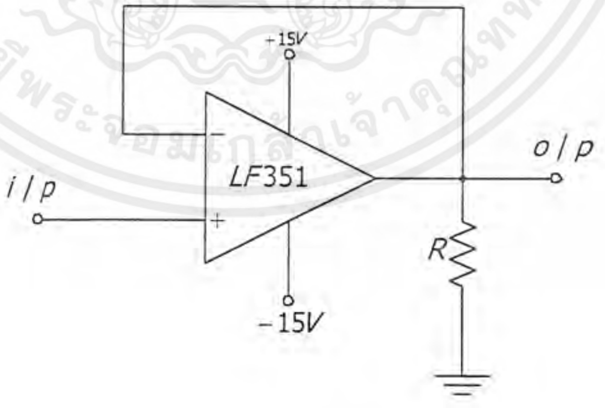
แต่สัญญาณที่ได้ยังไม่ดีพอจึงนำอุปกรณ์มาต่อเพิ่มโดยใช้ C ต่อขนาน



รูปที่ 3.11 วงจรกรองแถบความถี่ผ่าน

3.7 วงจร Buffer

เป็นวงจรที่ต้องการให้อัตราการขยายเท่ากับหนึ่ง โดยสามารถใช้เป็นวงจรนันอินเวอร์ติ้ง หรืออินเวอร์ติ้งซึ่งในโครงงานได้เลือกใช้ออปแอมป์ เบอร์ LF351 มาประกอบเป็นวงจรชนิดนันอินเวอร์ติ้งดังจะเห็นได้จากรูป



รูปที่ 3.12 วงจรบัพเฟอร์

จากรูปที่ 3.12 เมื่อ R_F มีค่าเป็นศูนย์ อัตราการขยายแรงดันจะมีค่าเป็น

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

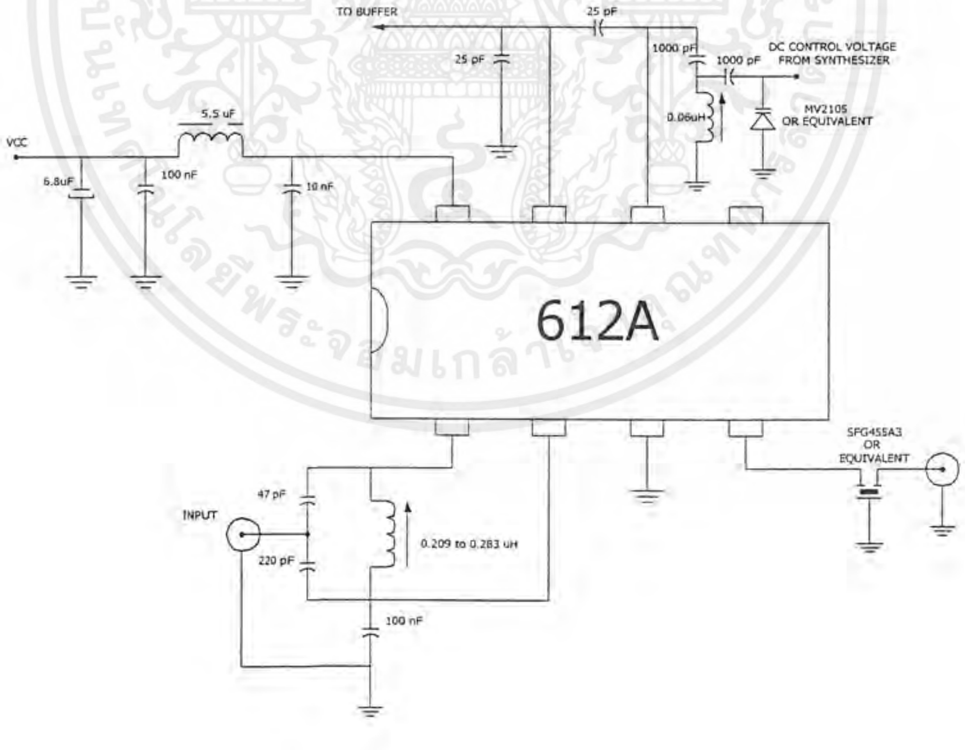
$$A = \frac{R_F}{R_{in}} + 1 = \frac{0}{R_{in}} + 1 = 1$$

เมื่อเราเลือกค่า R_{in} มีค่าเท่ากับ $10K\Omega$ โดยที่แรงดันเอาท์พุทจะมีเฟสตรงกับอินพุท และยังมีขนาดเท่ากับอินพุทอีกด้วย

3.8 วงจร VCO

วงจร VCO เป็นวงจรที่ผลิตความถี่ซึ่งความถี่ถูกควบคุมด้วยระดับแรงดันไฟฟ้าจากภายนอกระดับแรงดันไฟฟ้าจากวงจรขยายสัญญาณจะล็อกได้ VCO มีความถี่และเฟสเหมือนกับออสซิลเลเตอร์มาตราฐานวงจร PLL โดยมีโหมดการทำงานของ VCO อยู่ทั้งหมด 3 โหมดด้วยกัน คือฟรีรันนิ่ง (Free running) แค็ปเจอร์ (Capture) และโหมดล็อกอิน (Lock in) หรือแทร็กกิ้ง (Tracking) ถ้าความถี่ (fo) มีค่าแตกต่างจาก (fs) มากวงจร PLL จะไม่สามารถถูกทำให้อยู่ในสภาวะล็อคได้และเมื่อปราศจากการทำงานในสภาวะล็อคอินแล้ววงจร VCO จะกลับกลายเป็นฟรีรันนิ่งออสซิลเลเตอร์ไป

การออกแบบวงจร

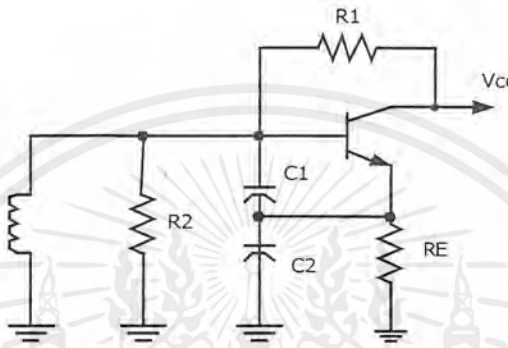


รูปที่ 3.13 วงจรสมบูรณ์ของ IC NE 612

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากรูปที่ 3.13 จะเห็นว่าเราจะใช้ IC เบอร์ NE 612 เป็นตัวที่ทำหน้าที่เป็น OSC และยังมี Mixer ในตัวด้วย ซึ่งในการออกแบบนี้เราต้องการที่จะผลิตความถี่ 40 MHz เพื่อที่จะนำไป Mix กับความถี่อีกความถี่ที่เข้ามาส่วนอีกความถี่หนึ่งจะเข้าวงจร Prescaler เพื่อหารความถี่ให้ต่ำลงและส่งไปวงจรอื่นต่อไปซึ่งในส่วนนี้เราจะไม่ขอกล่าวถึง

หลักการคำนวณค่าอุปกรณ์ (ส่วนของ oscillator)



รูปที่ 3.14 วงจร Oscillator

จากสูตร

$$\omega_o = \left\{\left[L\left(\frac{C_1'C_2}{C_1'+C_2}\right)\right]\right\}^{\frac{1}{2}} \qquad (3.19)$$

$$\frac{C_1'C_2}{C_1'+C_2} = 50\ pF$$

จาก

$$f_{Lo} = \frac{1}{2\pi\sqrt{L\left(\frac{C_1'C_2}{C_1'+C_2}\right)}} \qquad (3.20)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$(f_{Lo})^2 = \frac{1}{4\pi^2 L\left(\frac{C_1' C_2}{C_1' + C_2}\right)}$$

กรณีที่ $f_{LO} = 50MHz$

$$L = \frac{1}{4\pi^2 f_{Lo}{}^2\left(\frac{C_1' C_2}{C_1' + C_2}\right)}$$

$$= \frac{1}{4\pi^2 \times \left(50\times 10^{6}\right)^2 \times \left(50\times 10^{-12}\right)}$$

$$L = 0.1\mu H$$

กรณีที่ $f_{LO} = 40\ MHz$

$$L = \frac{1}{4\pi^2 fLO\left(\frac{C_1' C_2}{C_1' + C_2}\right)}$$

$$L = \frac{1}{4\pi^2 \times \left(40\times 10^{6}\right)^2 \left(50\times 10^{-12}\right)}$$

$$L = 0.09\ \mu H$$

ส่วนอุปกรณ์อื่นๆเราเลือกค่าตาม Data sheet

3.9 Phase Detector (PD)

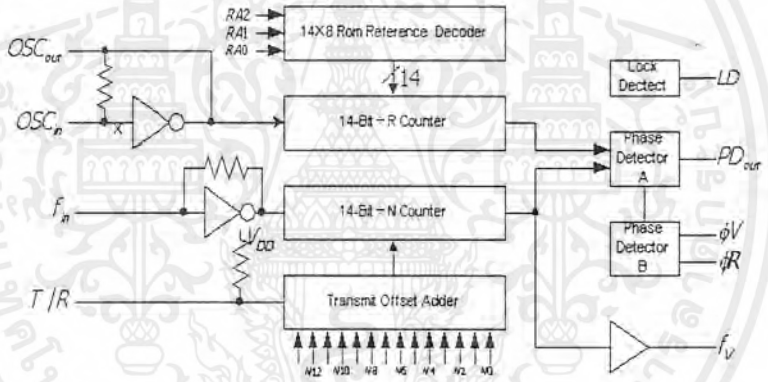
สำหรับเฟสดีเทคเตอร์หรืออาจเรียกได้ว่าเฟสคอมพาเรเตอร์ (Phase Comparater) เป็นอุปกรณ์ที่เปรียบเทียบสัญญาณอ้างอิงหรือเฟสอินพุทกับเฟสเอาท์พุทที่ป้อนกลับจาก Prescaler จะให้แรงดันเอาท์พุทเป็นแรงดันที่แปรตามค่าความต่างเฟส สำหรับเฟสดีเทคเตอร์สามารถแบ่งออกเป็น 2 ประเภทคือ อนาล็อกเฟสดีเทคเตอร์และดิจิตอลเฟสดีเทคเตอร์ โดย PLL ที่ใช้อนาล็อกเฟสดีเทคเตอร์หรืออาจเรียกว่าอนาล็อกเฟสล็อคลูป (analog phase locked loop : APLL) และใน PLL ที่ใช้ DPLL โดยทั่วไปแล้วถ้ากล่าวถึง PLL นั้นหมายถึงอนาล็อกเฟสล็อคลูปสำหรับ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เฟสดีเทคเตอร์ที่ใช้ในอนาล็อกเฟสล็อคลูปที่ใช้กันมากก็คือวงจรคูณแบบกิลเบิร์ต (Gilbert multiplier) และสำหรับ DPLL มักใช้เฟสดีเทคเตอร์แบบเฟสฟรีเควนซีดีเทคเตอร์ (Phase frequency detector:PFD)

หลักการออกแบบวงจร

ไอซีเบอร์ MC 145151-2 ประกอบไปด้วยส่วนที่เป็นการโปรแกรมเพื่อหารความถี่ที่เข้ามา แต่ในโครงงานนี้เราได้ใช้ดิฟสวิทช์แทน ส่วนของความถี่อ้างอิงและส่านของเฟสดีเทคเตอร์ดังรูป ซึ่งไอซีนี้สามารถตั้งโปรแกรมเพื่อหารความถี่ที่เข้ามาได้ 16 บิท แบบขนานโดย 14 บิทสำหรับตัวหาร N (14 bit/N counter) และมีเอาท์พุทของเฟสดีเทคเตอร์เพื่อส่งแรงดันไปควบคุมการผลิตความถี่ของวีซีโอ นอกจากนี้ยังมี ล็อกดีเทคเตอร์ (Lock detector:LD) เพื่อใช้บอกสถานะการล็อคของเฟสล็อคลูปอีกด้วย



รูปที่ 3.15 วงจรของ IC MC145151-2

ส่วนของความถี่อ้างอิงมีเพื่อใช้เป็นอินพุทอ้างอิงของเฟสดีเทคเตอร์ในการเปรียบเทียบเฟสของความถี่อ้างอิงกับเฟสของสัญญาณอินพุทหลังจากการหารแล้ว ในส่วนของความถี่อ้างอิงนี้จะใช้คริสตอลออสซิลเลเตอร์ความถี่ $10.24\ MHz / 8192 = 1.25\ KHz$

ในการตั้งโปรแกรมหารความถี่ มีวิธีการดังนี้

1. ทำการหาค่าอัตราส่วนการหารทั้งหมด (Nt) โดยคิดจากอัตราส่วนระหว่างค่าความถี่ของ วงจรโวลเตจคอนโทรลออสซิลเลเตอร์ (f_{VCO}) กับค่าความถี่อ้างอิง (f_{ref}) ได้เป็นดังนี้

$$N_t = \frac{f_{vco}}{f_{ref}} = \frac{40MHz}{1.25KHz} = 32{,}000$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2. เปรียบเทียบค่าที่ได้กับสมการ $Nt = NP + 1$ จากดาต้าชีทของไอซี MC145151-2 โดยที่ N คือตัวโปรแกรมหาร $N0$ ถึง $N13 = 14$ บิทหารได้ตั้งแต่ $3 - 16384$

P คือตัวหารของพรีสเกลเลอร์ซึ่งเท่ากับ 4

แทนค่าสมการเป็นดังนี้ $32000 = (N * 4)$

ดังนั้นได้ $N = 8000$ แปลงเป็นเลขฐานสองได้เป็น 01111101000000

สังเกตว่าถ้าตัวหารมีค่ามากขึ้นจะทำให้ความถี่ของวงจรโวลเตจคอนโทรลออสซิลเลเตอร์มีค่ามากขึ้นและถ้าตัวหารน้อยลงก็จะทำให้ความถี่ของวงจรโวลเตจคอนโทรลออสซิลเลเตอร์มีค่าลดลงตามไปด้วย ซึ่งค่าความถี่ที่เปลี่ยนแปลงไปนี้จะมีค่าเท่ากับความถี่อ้างอิงคือ $1.25KHz$ ต่อ 1 บิทของ N

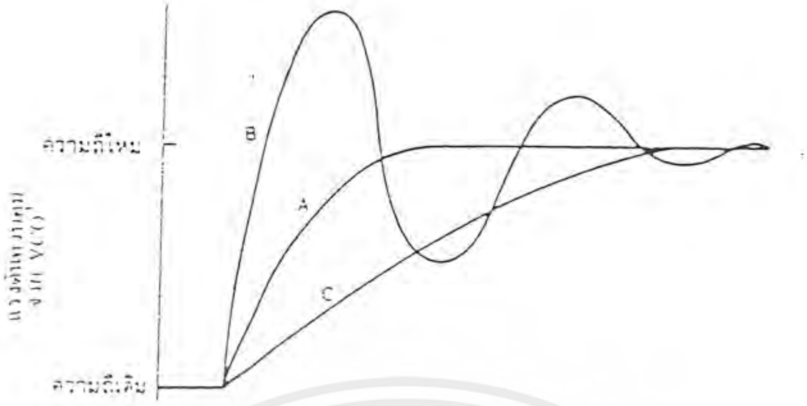
3.10 วงจรลูปฟิลเตอร์ (Loop filter)

ลูปฟิลเตอร์เป็นส่วนสำคัญอีกส่วนหนึ่งในระบบเฟสล็อคลูป หน้าที่ของวงจรนี้ได้แก่ การควบคุมการล็อก,แคปเจอร์,แบนด์วิดและการตอบสนองค่าทรานเชี้ยนของลูปสำหรับลูปฟิลเตอร์ในที่นี้ก็คือวงจรชนิดโลว์พาสธรรมดา ทำหน้าที่กรองเอาเฉพาะสัญญาณความถี่ต่ำมาควบคุมความถี่ของ VCO ลูปฟิลเตอร์ เป็นตัวกำหนดคุณสมบัติชั่วครู่ (Transient) ถ้าเลือกอัตราการขยายลูป (Loop Gain) และค่าคงตัวของลูป (Loop Time Constant) ไม่เหมาะสม ความถี่ของเฟสล็อคลูปจะไม่ล็อกและจะเปลี่ยนแปลงอยู่ตลอดเวลา

ดังนั้น ค่าคงตัวเวลาของลูปฟิลเตอร์จะต้องไม่มากเกินไป เพื่อว่าทุกครั้งที่เปลี่ยนความถี่เฟสล็อคลูปจะล็อกได้เร็ว โดยไม่มีการสะบัด (Over Shoot) หรือใช้เวลาเปลี่ยนความถี่อย่างรวดเร็วแต่ค่าคงตัวเวลาก็ไม่ควรจะน้อยเกินไปจนกระทั่งความถี่สั่นหรือไม่นิ่ง (Jetter) ดูรูปที่ 3.16 ซึ่งแสดงการเปลี่ยนความถี่ของ VCO จะเห็นว่าเส้นทางการเปลี่ยนแปลงแรงดันมี 3 เส้นทาง เส้นทาง A เป็นเส้นทางคริทติคอลแดมป์ (Critical Damp) ใช้เวลาในการเปลี่ยนเข้าสู่ความถี่ใหม่น้อยที่สุด เส้นทาง B เรียกว่าเส้นทางอันเดอร์แดมป์ (Under Damp) มีการสะบัดเนื่องจากโอเวอร์ชู๊ต เส้นทาง C เป็นเส้นทางโอเวอร์แดมป์ (Over Damp) ไม่มีโอเวอร์ชู๊ตแต่เวลาที่ใช้ในการเข้าสู่ความถี่ใหม่จะช้า

ดังนั้นจะเห็นว่า เส้นทาง A เป็นเส้นทางที่ดีที่สุดในการออกแบบ ค่าคงตัวเวลาของวงจรลูปฟิลเตอร์เพราะใช้เวลาเปลี่ยนความถี่เร็วและไม่มีโอเวอร์ชู๊ต

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.16 คุณลักษณะในการเปลี่ยนความถี่ของเฟสล็อคลูป

หน้าที่ของโลว์พาสฟิลเตอร์ในเฟสล็อคลูป มีหน้าที่ใหญ่ ๆ อยู่ 2 ประการคือ

1 .ลดความคลาดเคลื่อนที่เป็นความถี่สูงที่ออกจากวงจรเปรียบเทียบเฟส (Phase Compatator) โดยการใช้คุณสมบัติการกำจัดสัญญาณรบกวนและเป็นตัวทำให้เกิดค่าแรงดันเฉลี่ย (Average DC Voltage) เพื่อนำไปควบคุมวงจร VCO

2. ทำหน้าที่ควบคุมการทำงานของลูปซึ่งขึ้นอยู่กับเงื่อนไขต่าง ๆ ดังนี้

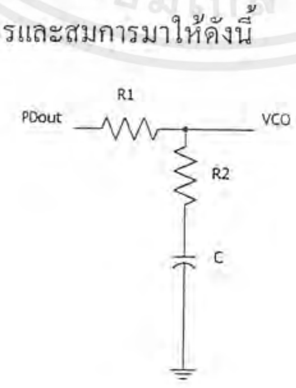
2.1 แคปเจอร์และล็อคเรนจ์

2.2 แบนด์วิดธ์

2.3 การตอบสนองต่อทรานเชี้ยน

การออกแบบวงจร

ออกแบบโดยใช้วงจรแบบพาสซีฟ (passive) ซึ่งมีการออกแบบตามดาต้าชีทของไอซีเบอร์ MC 145951-2 โดยกำหนดวงจรและสมการมาให้ดังนี้



รูปที่ 3.17 วงจร Loop Filter

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ป้อนไฟ ตั้งแต่ 0.3V จนถึง 5 V

โดยที่แรงดัน 0.3 โวลท์ จะได้ความถี่เท่ากับ 39 MHz

โดยที่แรงดัน 5 โวลท์ จะได้ความถี่เท่ากับ 43 MHz

กำหนดให้ VDD = 5 V ; C = 0.1µF

หาค่าของ K_{VCO} จากสูตร $K_{VCO} = \dfrac{2\pi \times \Delta f}{\Delta VCO}$

$$= \frac{2\pi \times (43 - 39)}{5 - 03}$$

$$K_{VCO} = 5.34 MHz / V$$

หาค่าของ $K\Phi$ จากสูตร $K\Phi = \dfrac{VDD}{4\pi}$

$$= \frac{5}{4\pi}$$

$$= 0.398$$

หาค่าของ ωn จากสูตร $\omega n = \dfrac{2\pi \times f_r}{10}$

$$= \frac{2\pi \times 1.25 KHz}{10}$$

$$\omega n = 785$$

แต่เลือกใช้ค่า $\omega n \approx 500$

กำหนดให้ $\zeta = 1$

โดย $N = 8000$ มาจาก $N = \dfrac{40MHz}{4} \times \dfrac{1}{1.25KHZ} = 8000$

ต่อไปหาค่าของ R_1 และ R_2

จากสูตร $(R_1 + R_2)C = \dfrac{K\Phi Kvco}{N} \times \dfrac{1}{\omega n^2}$

$$= \frac{0.398 \times 5.34 MHz / V}{8000} \times \frac{1}{500^2}$$

$$(R_1 + R_2) = \frac{0.0011}{0.1 \times 10^{-6}} = 10.26 K\Omega$$

ต่อจากนั้น

$$R_2 C = \frac{\zeta}{0.5\omega n} - \frac{N}{K\Phi Kvco}$$

$$= \frac{1}{0.5 \times 500} - \frac{8000}{0.398 \times 5.34 \times 10^6}$$

$$= 0.0002$$

$$R_2 = \frac{0.0002}{0.1 \times 10^{-6}} = 2K\Omega$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ดังนั้นจะได้ $R_1 = 10.62K\Omega - 2K\Omega = 8.62K\Omega$

สรุป $R1 = 8.62K\Omega; R2 = 2K\Omega$ และ $c = 0.1\mu F$

3.11 วงจร Mixer

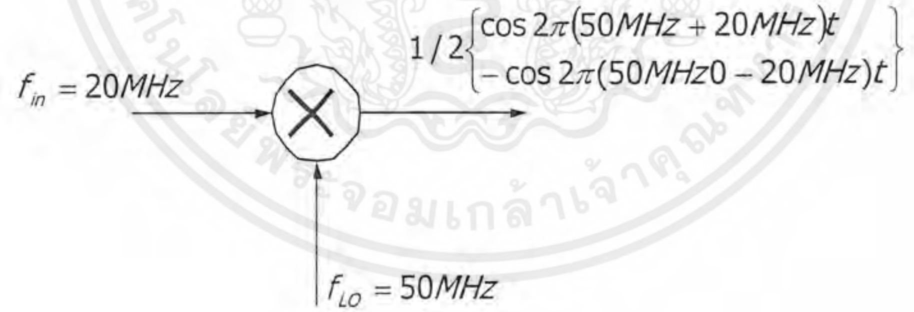
เป็นวงจรที่ใช้ในการผสมสัญญาณที่มีความถี่ตั้งแต่สองความถี่ขึ้นไปโดยเมื่อสัญญาณที่ผ่านการ Mix แล้วจะประกอบด้วยสองส่วนซึ่งส่วนแรกคือส่วนที่เป็นความถี่สูงหรือ Upper sideband (USB) และส่วนที่เป็นความถี่ต่ำหรือ Lower Sideband (LSB) โดยเราจะนำไปผ่านวงจรกรองความถี่เอาความถี่ที่ต้องการต่อไป

การออกแบบวงจร

IC เบอร์ NE612 ที่ประกอบไปด้วย ออสซิลเลเตอร์และ มิกเซอร์ อยู่ใน IC ตัวเดียว ซึ่งในโครงงานนี้ได้ออกแบบวงจรมิกเซอร์อยู่3วงจร โดยใน3วงจรนี้จะมิกที่ความถี่ที่ต่างกันสามารถอธิบายได้ดังนี้

<u>**วงจรที่ 1**</u> จะทำการ Mix ที่ความถี่อินพุท (f_{in}) = 20 MHz

ที่ความถี่ออสซิลเลเตอร์ (f_{OSC}) = 50 MHz

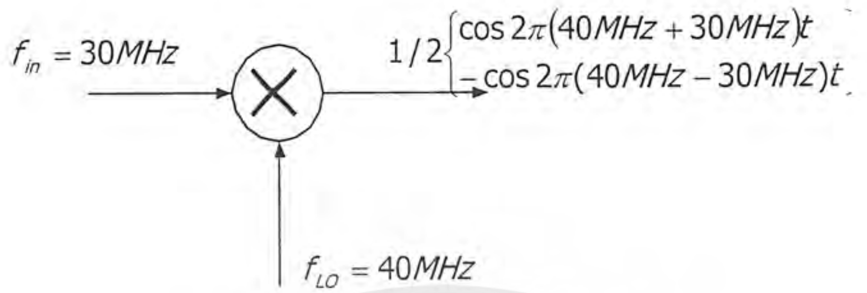


รูปที่ 3.18 การMix สัญญาณ input 20 MHz กับ oscillator 50 MHz

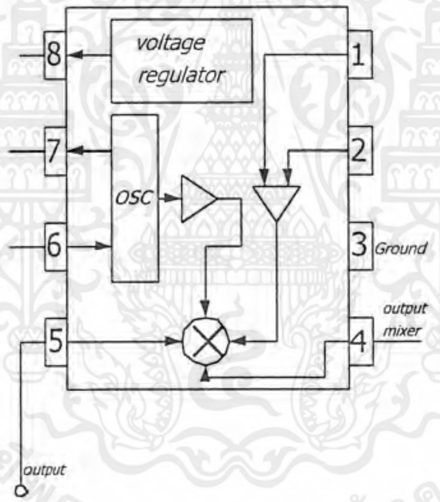
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

<u>**วงจรที่ 2**</u> **จะทำการ Mix ที่ความถี่อินพุท** (f_{in}) = 30 MHz

ที่ความถี่ออสซิลเลเตอร์ (f_{OSC}) = 40 MHz



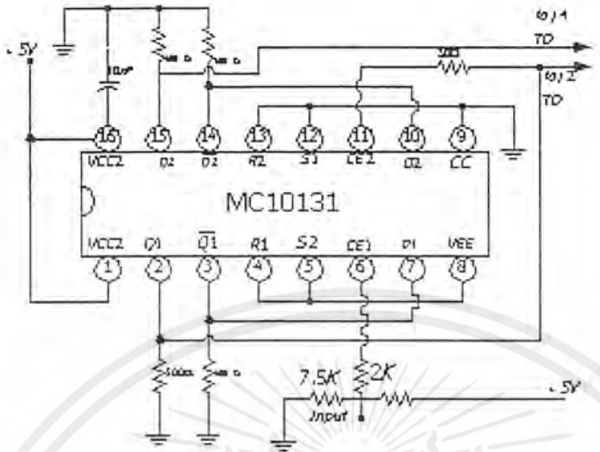
รูปที่ 3.19 การ Mix สัญญาณ input 30 MHz กับ oscillator 40 MHz



รูปที่ 3.20 BLOCK DIAGRAM ของ NE 612

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.12 วงจร PRESCALER หารความถี่ด้วย 4



รูปที่ 3.21 วงจร PRESCALER หารความถี่ด้วย 4

จากรูปที่ 3.21 เป็นวงจรที่หารความถี่ด้วย 4 โดยเราใช้ไอซีเบอร์ MC 10131 ทำหน้าที่เป็นตัวหารความถี่ที่มี 2 ค่าคือ หารด้วย 2 กับหารด้วย 4 แต่ในโปรเจคนี้เราใช้แค่หาร 4 เพียงตัวเดียว ซึ่งความถี่ที่เข้ามาจะได้จากวงจรวีซีโอ (VCO) เป็นตัวผลิตความถี่ที่มีค่าเท่ากับ 40 MHz

หลักการทำงานของวงจร

วงจรหาร 4 เมื่อได้รับเอาท์พุทจากวงจร VCO OSC ก็จะถูกนำมาแบ่งแรงดันโดยตัวต้านทานค่า $2k\Omega;7.5K\Omega;82\Omega$ และ $C = 1.2nF$ เป็นตัวบล็อค DC เพื่อป้อนเข้าที่ขา 6 ได้เอาท์พุทหาร 2 ที่ขา 2 และได้เอาท์พุทหาร 4 ที่ขา 15 แล้วนำความถี่ที่ถูกหารแล้วไปเข้าวงจรเฟสดีเทคเตอร์ต่อไป

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่4

ผลการทดลอง

ในการทดลองเราสามารถแบ่งผลจากการดำเนินงานออกได้เป็น 3 ส่วน มีดังต่อไปนี้

4.1 วงจร FDD (Frequency Difference Detector)

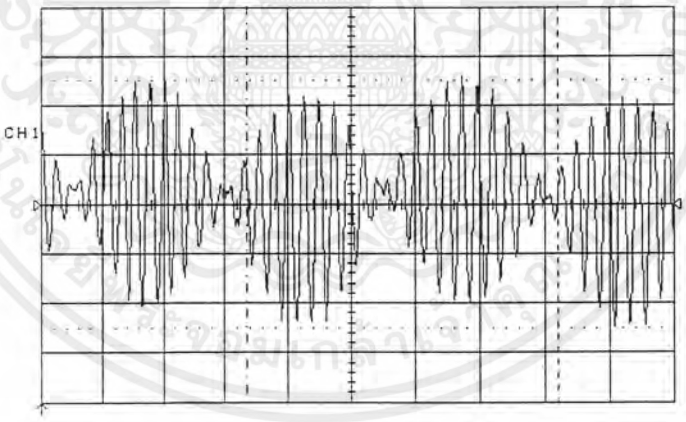
4.2 วงจรเฟสล็อคลูป (Phase Lock Loop)

4.3 วงจรออสซิลเลเตอร์ (oscillator) และ Mixer

4.1 วงจร FDD (Frequency Difference Detector)

เป็นวงจรที่ทำหน้าที่เป็นตัวดีเทค (Detect) สัญญาณความถี่ให้เป็นแรงดัน ซึ่งแรงดันที่ได้เราเรียกว่า แรงดันเออร์เรอร์ (Error Voltage) โดยผลที่ได้จากการทดลองวงจร FDD มีดังต่อไปนี้

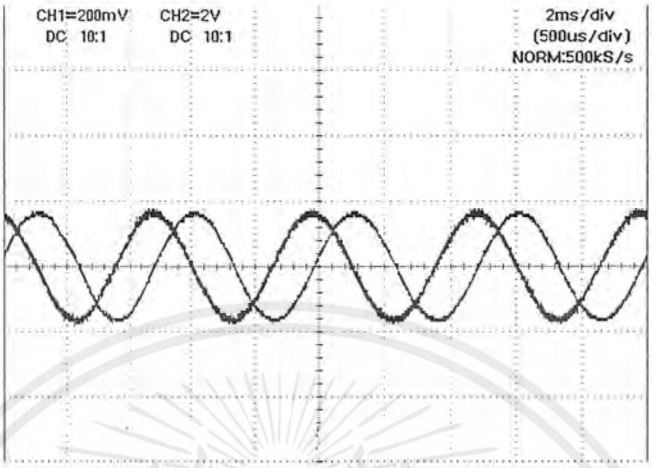
1. วงจร Balance Modulator เป็นการนำความถี่ 2 ความถี่มาคูณกัน โดยความถี่ที่นำมามอดกันคือ ความถี่ของสัญญาณมอดดูเลเตอร์ (modulator) มีค่า 1.25 MHz กับความถี่ของแคเรียร์ (carrier) มีค่า 1.25 MHz ได้รูปสัญญาณดังข้างล่างนี้



รูปที่ 4.1 สัญญาณมอดดูเลท

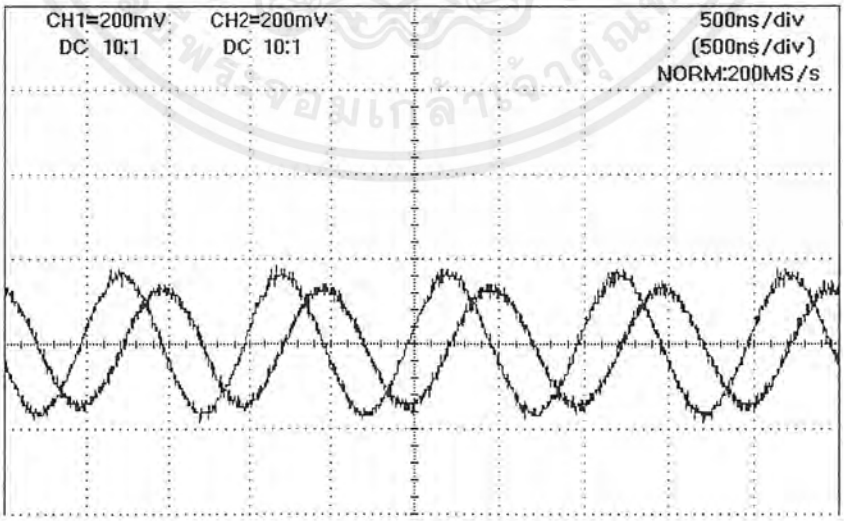
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2. วงจรเฟสชิฟ 90 องศา (Phase Shift 90) เป็นการทดลองโดยนำเอาความถี่ 200 Hz ไปทำการเลื่อนเฟสไป 90 องศา ดังจะเห็นผลได้ดังรูปข้างล่างนี้



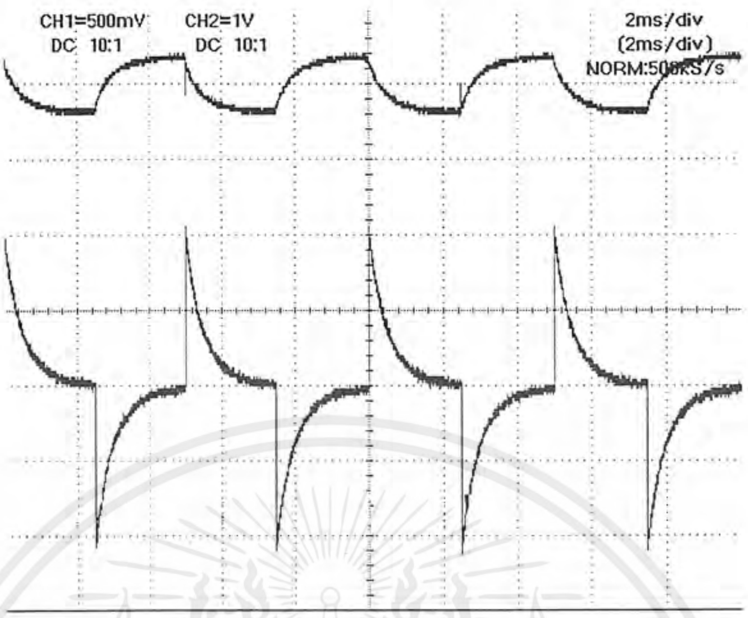
รูปที่ 4.2 สัญญาณphase shift 90 องศา

3. วงจรดิฟเฟอเรนชิเอเตอร์ (Differentiator) เป็นการทดสอบโดยการนำเอาความถี่ 200 Hz จากวงจรโลว์พาสฟิลเตอร์ ไปทำการเปลี่ยนสัญญาณจากสัญญาณไซน์ให้เป็นสัญญาณโคไซน์ ซึ่งจากผลที่ได้จากการวัดเป็นการป้อนสัญญาณอินพุทที่เป็น sine wave และ square wave จะเห็นดังรูปข้างล่างนี้



รูปที่ 4.3 สัญญาณดิฟเฟอเรนชิเอเตอร์ที่อินพุทเป็นสัญญาณ sine wave

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



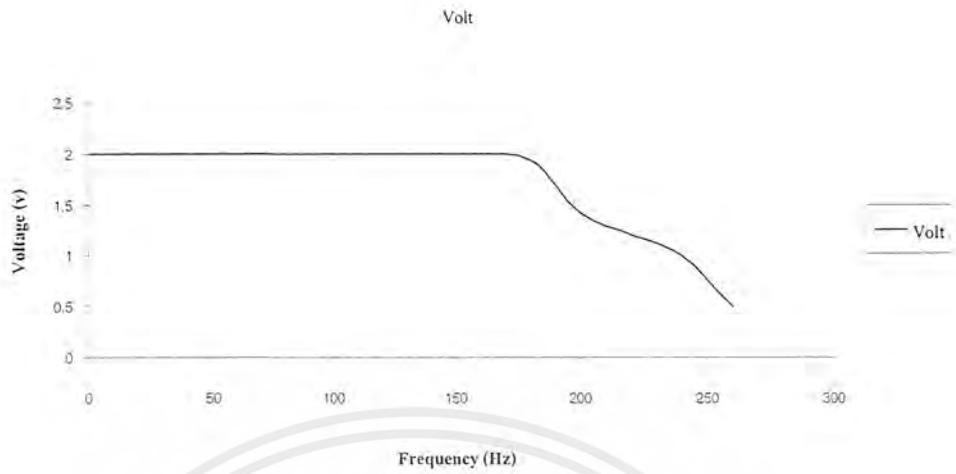
รูปที่ 4.4 สัญญาณดิฟเฟอเรนชิเอเตอร์ที่อินพุทเป็นสัญญาณ square wave

4. วงจรโลว์พาสฟิลเตอร์ (Lowpass Filter) เป็นวงจรที่กรองเอาเฉพาะความถี่ต่ำๆผ่านออกไป ซึ่งความถี่ที่ออกไปตั้งแต่ 0 –200 Hz แรงดันอินพุทมีค่า 1 โวลท์ และ Gain มีค่า 2 เท่า ส่วนความถี่ที่สูงกว่านี้จะถูกบายพาสลงกราวด์ โดยจะเห็นได้ดังรูปข้างล่างนี้

ความถี่ (Hz)	แรงดัน (Volt)	ความถี่ (Hz)	แรงดัน (Volt)
0	**2**	**140**	**2**
20	**2**	**160**	**2**
40	**2**	**180**	**1.927**
60	**2**	**200**	**1.414**
80	**2**	**220**	**1.2**
100	**2**	**240**	**1**
120	**2**	**260**	**0.5**

ตารางที่ 1

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.5 สัญญาณโลว์พาสฟิลเตอร์

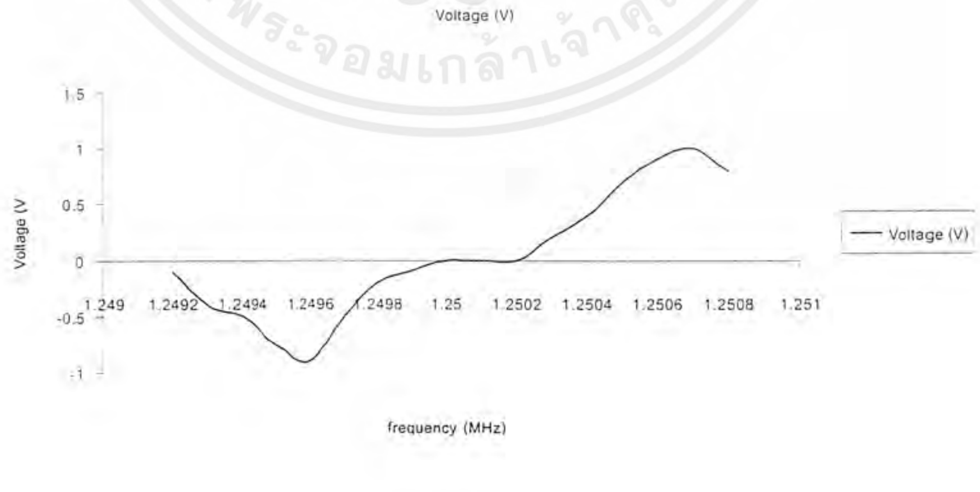
5. เอาท์พุทรวมของวงจร FDD เป็นค่าแรงดันเออร์เรอร์ที่ได้จากการเปรียบเทียบความถี่ที่อินพุทกับความถี่ออสซิลเลเตอร์ โดยมีเงื่อนไขดังต่อไปนี้

ถ้า $f_{in} = f_o$ จะทำให้ $V_{FDD} = 0$

ถ้า $f_{in} < f_o$ จะทำให้ $V_{FDD} = -V$

ถ้า $f_{in} > f_o$ จะทำให้ $V_{FDD} = +V$

เมื่อเราทำการวัดค่าที่ได้จากวงจรแล้วทำการพล็อตรูปได้ดังรูปต่อไปนี้



รูปที่ 4.6 แรงดันเออร์เรอร์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากรูปข้างบนพล็อตจากตารางข้างล่างนี้

f_o (MHz)	f_{in} (MHz)	Voltage (V)
1.25	1.2492	-0.1
1.25	1.2493	-0.4
1.25	1.2494	-0.5
1.25	1.2495	-0.75
1.25	1.2496	-0.9
1.25	1.2497	-0.5
1.25	1.2498	-0.2
1.25	1.2499	-0.009
1.25	1.25	-0.009
1.25	1.2501	-0.004
1.25	1.2502	-0.001
1.25	1.2503	0.2
1.25	1.2504	0.4
1.25	1.2505	0.7
1.25	1.2506	0.9
1.25	1.2507	1
1.25	1.2508	0.8

ตารางที่ 2

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4.2 วงจรเฟสล็อคลูป (Phase Lock Loop)

เป็นวงจรที่ทำหน้าที่ควบคุมความถี่ที่เข้ามาให้อยู่ในช่วงความถี่ที่เราต้องการเท่านั้น ซึ่งจะช่วยให้ได้ความถี่ที่ออกไปมีค่าที่คงที่ถูกต้องและไม่ผิดพลาด โดยในที่นี้เราได้ตั้งให้เฟสล็อคลูปทำการล็อคความถี่ที่ 40 MHz ดังนั้นเราสามารถวัดผลการทดลองได้ดังต่อไปนี้

1. วงจรเฟสดีเทคเตอร์ (Phase Detecter) เป็นตัวที่ทำการเปรียบเทียบเฟสของสัญญาณความถี่อ้างอิงกับความถี่ที่ป้อนกลับมาจากวงจรวีซีโอ (VCO) ซึ่งเราสามารถวัดผลได้ 3 ขาคือที่ขา 4,8,9 เป็นของ PD_{out} ,ϕ_R, ϕ_V ตามลำดับแต่ในโครงงานนี้เราใช้แค่ PD_{out} เท่านั้นสามารถวัดผลการทดลองได้ดังต่อไปนี้

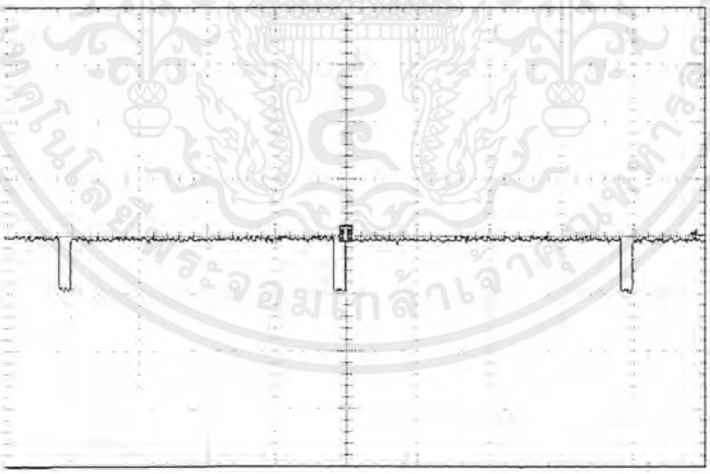
1.1 สัญญาณที่ PD_{out} (Phase Detector A output) เป็นเอาท์พุทของเฟสดีเทคเตอร์ที่มีเงื่อนไขอยู่ 3 สถานะ ได้แก่

กรณีที่1 เมื่อความถี่ $f_V > f_R$ หรือ f_V นำหน้า จะได้พัลซ์ (pulse) เป็นลบ

กรณีที่2 เมื่อความถี่ $f_V < f_R$ หรือ f_V ล้าหลัง จะได้พัลซ์ (pulse) เป็นบวก

กรณีที่3 เมื่อความถี่ $f_V = f_R$ และจะมีเฟสที่เกิดขึ้นพร้อมกัน ส่งผลให้เกิดสภาวะ High impedance

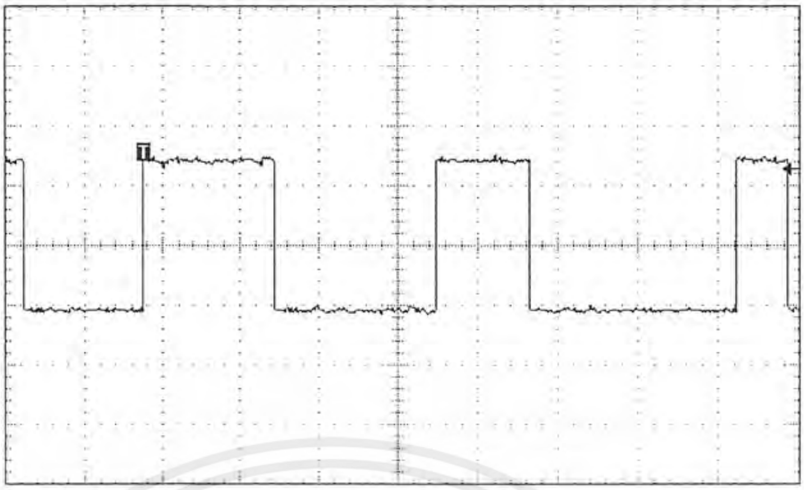
จากกรณีทั้ง 3 แสดงได้ดังผลการทดลองข้างล่างนี้



(ก) เมื่อ $f_V > f_R$

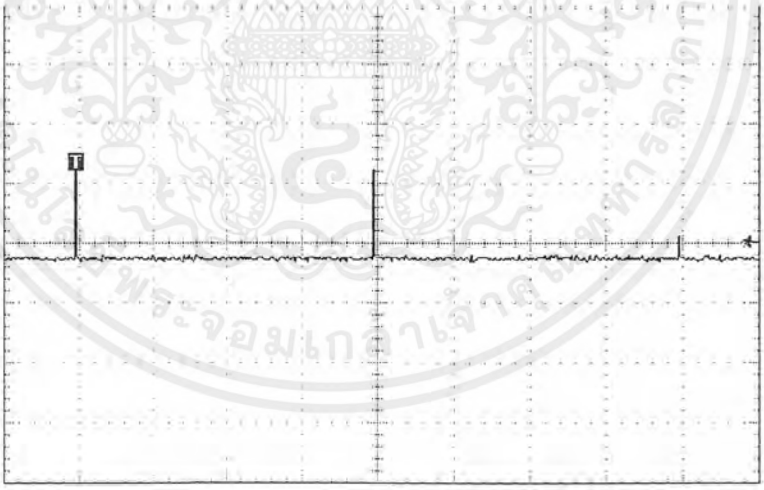
ในรูป (ก) แสดงสัญญาณในกรณีที่ 1 เมื่อความถี่ $f_V>f_R$ ซึ่งในกรณีนี้สัญญานที่วัดได้จะเป็นสัญญาณพัลซ์ลบ ซึ่งเมื่อความถี่ของ $f_V >f_R$ มาก ความกว้างของพัลซ์ก็จะมากขึ้นแต่ถ้า $f_V>f_R$ น้อยพัลซ์ก็จะแคบมากจนเข้าใกล้สภาวะล็อค

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



(ข) เมื่อ $f_V < f_R$

ในรูป (ข) แสดงสัญญาณในกรณีที่ 2 เมื่อความถี่ $f_V<f_R$ ซึ่งในกรณีนี้สัญญาณที่วัดได้จะเป็นสัญญาณพัลซ์บวก ซึ่งเมื่อความถี่ของ $f_V <f_R$ มาก ความกว้างของพัลซ์ก็จะมากขึ้นแต่ถ้า $f_V<f_R$ น้อย พัลซ์ก็จะแคบมากจนเข้าใกล้สภาวะล็อค



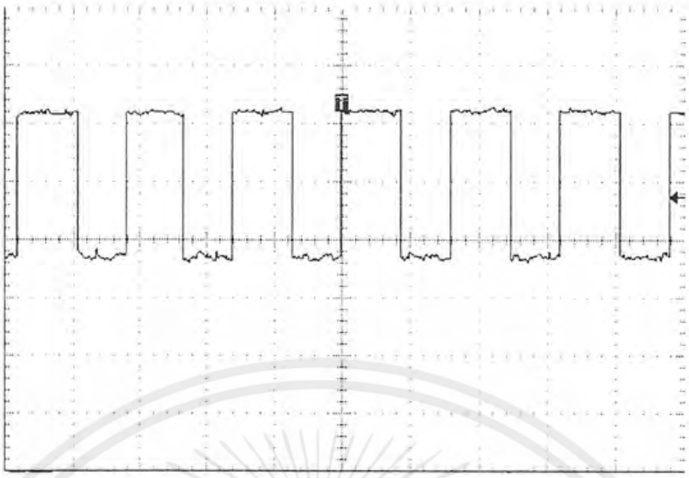
(ค) เมื่อ $f_V = f_R$

ในรูป (ค) แสดงสัญญาณในกรณีที่ 3 เมื่อความถี่ $f_V=f_R$ ในกรณีนี้คือกรณีที่เกิดสภาวะล็อค นั่นเองซึ่งในรูปนี้แสดงให้เห็นเส้น High impedanceที่ชดเชยแรงดันเริ่มต่ำลงและจะหายไปเมื่อเข้าสู้สภาวะล็อค

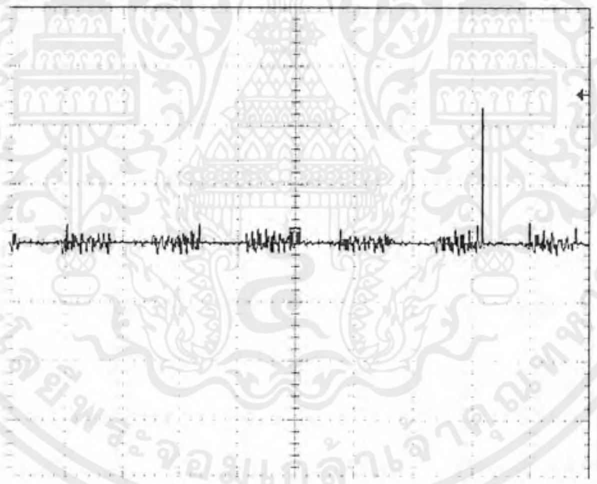
รูปที่ 4.7 สัญญาณของ PD_{out} ทั้ง 3 กรณี

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

1.2 สัญญาณ ϕ_R เป็นเอาท์พุทที่วัดที่ขา 8 ของไอซีเบอร์ MC145151-2 โดยผลที่ได้ตามรูปข้างล่างนี้



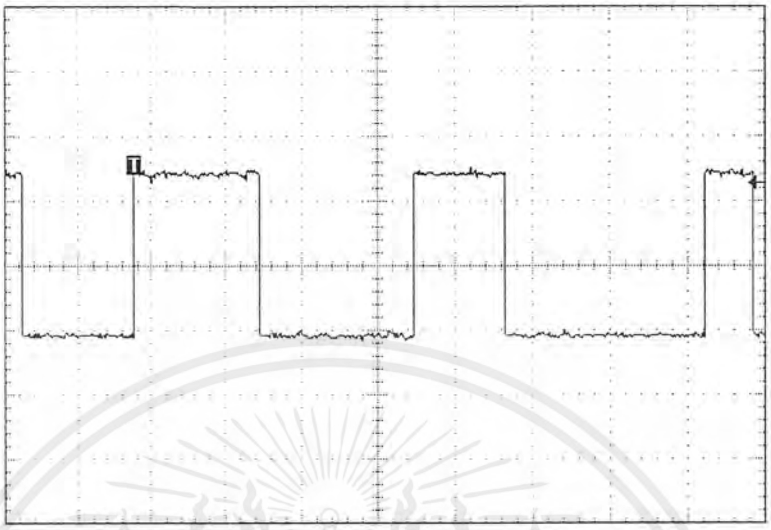
รูปที่ 4.8 สัญญาณของ ϕ_R **ช่วงที่ไม่ล็อค**



รูปที่ 4.9 สัญญาณของ ϕ_R **ช่วงที่ล็อค**

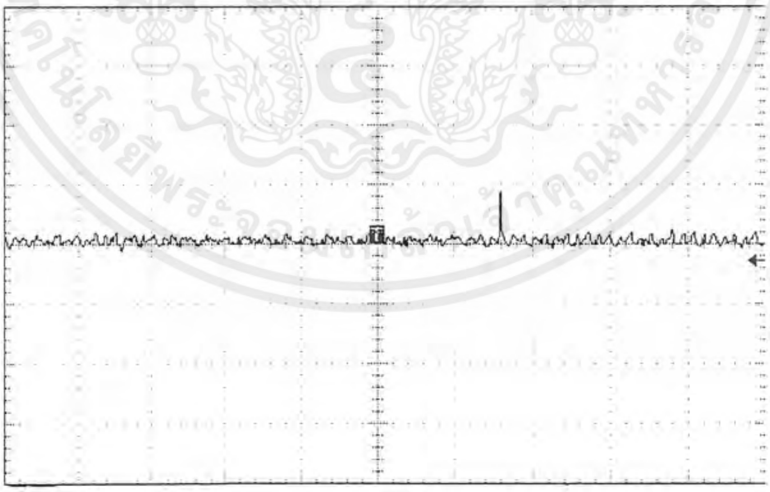
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

1.3 สัญญาณ ϕ_V เป็นเอาท์พุทที่วัดที่ขา 9 ของไอซีเบอร์ MC145151-2 โดยผลที่ได้ตามรูปข้างล่างนี้



ในรูปที่ 4.10 เป็นสัญญาณ ϕ_V ในช่วงที่ยังไม่ล็อคโดยที่สัญญาณพัลซ์ที่เห็นในรูปนี้จะมีความกว้างของพัลซ์ที่เริ่มแคบลง

รูปที่ 4.10 สัญญาณของ ϕ_V **ช่วงที่ไม่ล็อค**



ในรูปที่ 4.11 เป็นสัญญาณของ ϕ_V ในช่วงที่ล็อคซึ่งจะเห็นเป็นรูปแท่งของ High Impedance ที่เกิดขึ้นเพื่อชดเชยแรงดันให้เข้าสู่สภาวะล็อค

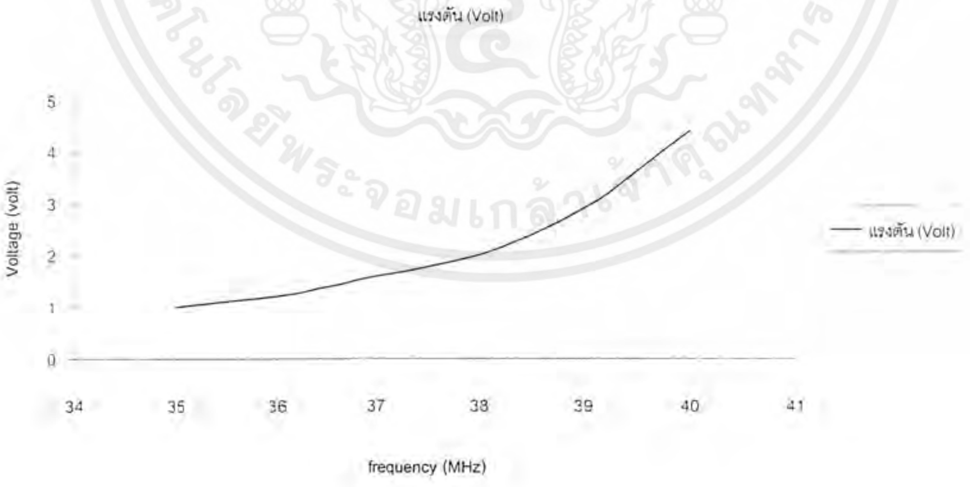
รูปที่ 4.11 สัญญาณของ ϕ_V **ช่วงที่ล็อค**

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2. วงจรลูปฟิลเตอร์ (Loop Filter) เป็นวงจรที่กรองเอาแรงดันที่ได้จากเฟสดีเทคเตอร์ ซึ่งแรงดันที่ได้เราเรียกว่าแรงดันเออร์เรอร์ที่เกิดจากการเทียบเฟส โดยมีผลจากการทดลองดังต่อไปนี้

F(MHz)	N	N13	N12	N11	N10	N9	N8	N7	N6	N5	N4	N3	N2	N1	N0	Voltage
38.5	7700	0	1	1	1	1	0	0	0	0	1	0	0	0	0	-0.385
38	7600	0	1	1	1	0	1	1	0	1	1	0	0	0	0	-0.38
39	7800	0	1	1	1	1	0	0	1	1	1	1	0	0	0	0.05
39.5	7900	0	1	1	1	1	0	1	1	0	1	1	1	0	0	1
40	8000	0	1	1	1	1	1	0	1	0	0	0	0	0	0	1.25
40.5	8100	0	1	1	1	1	1	1	0	1	0	0	1	0	0	1.26
41	8200	1	0	0	0	0	0	0	0	0	0	1	0	0	0	1.27
41.5	8300	1	0	0	0	0	0	0	1	1	0	1	1	0	0	1.28
42	8400	1	0	0	0	0	0	1	1	0	1	0	0	0	0	1.30

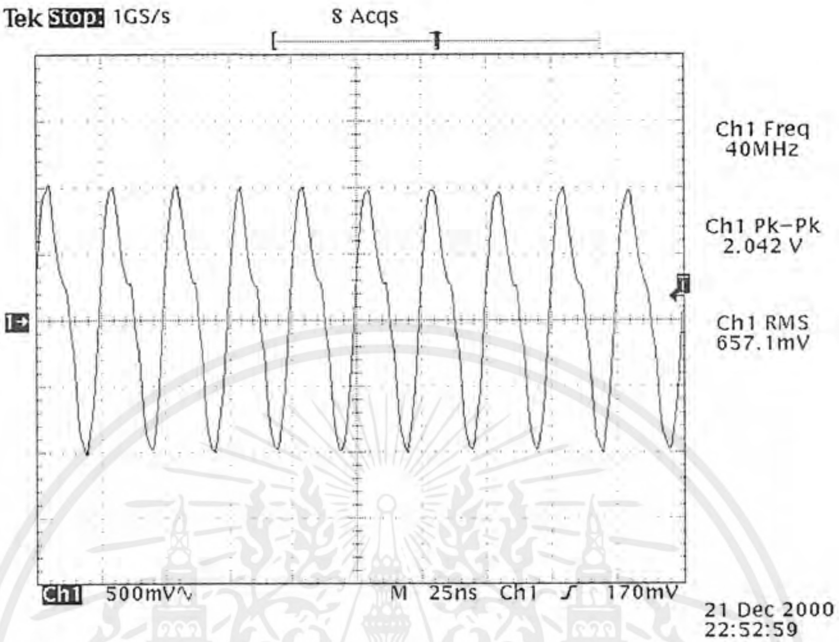
ตารางที่ 3



รูปที่ 4.12 สัญญาณเอาท์พุทจากลูปฟิลเตอร์

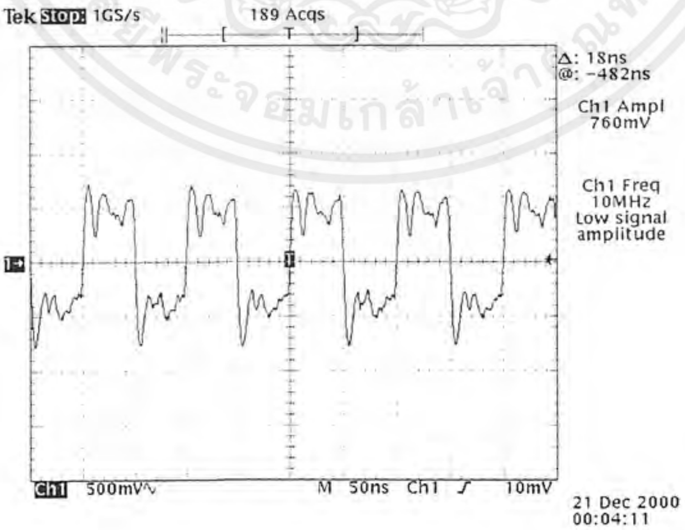
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3. วงจรวีซีโอ (VCO) เป็นวงจรที่นำแรงดันไปควบคุมความถี่ โดยผลิตความถี่ตามแรงดันที่เข้ามาดังจะเห็นผลการทดลองตามรูปข้างล่างนี้



รูปที่ 4.13 สัญญาณที่ได้จากวีซีโอที่ความถี่ 40 MHz

4. วงจรพรีสเกลเลอร์ (Prescaler) เป็นวงจรหารความถี่ที่ได้จากวีซีโอ ในที่นี้ใช้วงจรหาร 4 ใช้ไอซีเบอร์ MC 10131 ดังจะเห็นผลการทดลองตามรูปข้างล่างนี้

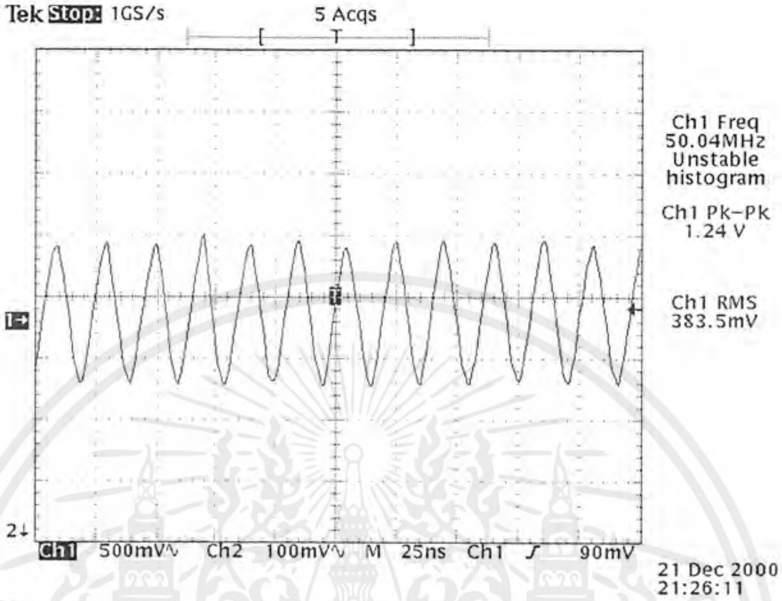


รูปที่ 4.14 สัญญาณจากพรีสเกลเลอร์ความถี่10MHz

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

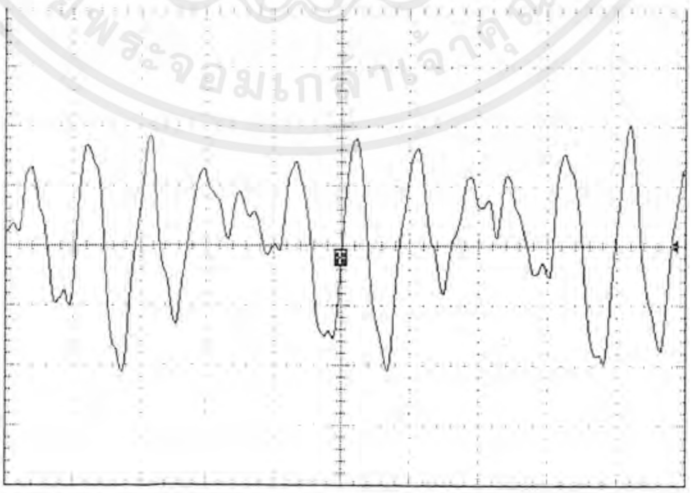
4.3 วงจรออสซิลเลเตอร์ (Oscillator) และ Mixer

1. วงจรออสซิลเลเตอร์ความถี่ 50 MHz เป็นวงจรที่ผลิตความถี่โดยใช้ไอซีเบอร์ NE612 ซึ่งจะเห็นผลการทดลองดังรูปข้างล่างนี้



รูปที่ 4.15 สัญญาณความถี่ 50 MHz

2. วงจรมิกเซอร์ (Mixer) เป็นการนำเอาความถี่ 50 MHz มามิกซ์ (mix) กับความถี่ 20 MHz โดยใช้ไอซีเบอร์ NE612 ดังจะเห็นผลต่อไปนี้

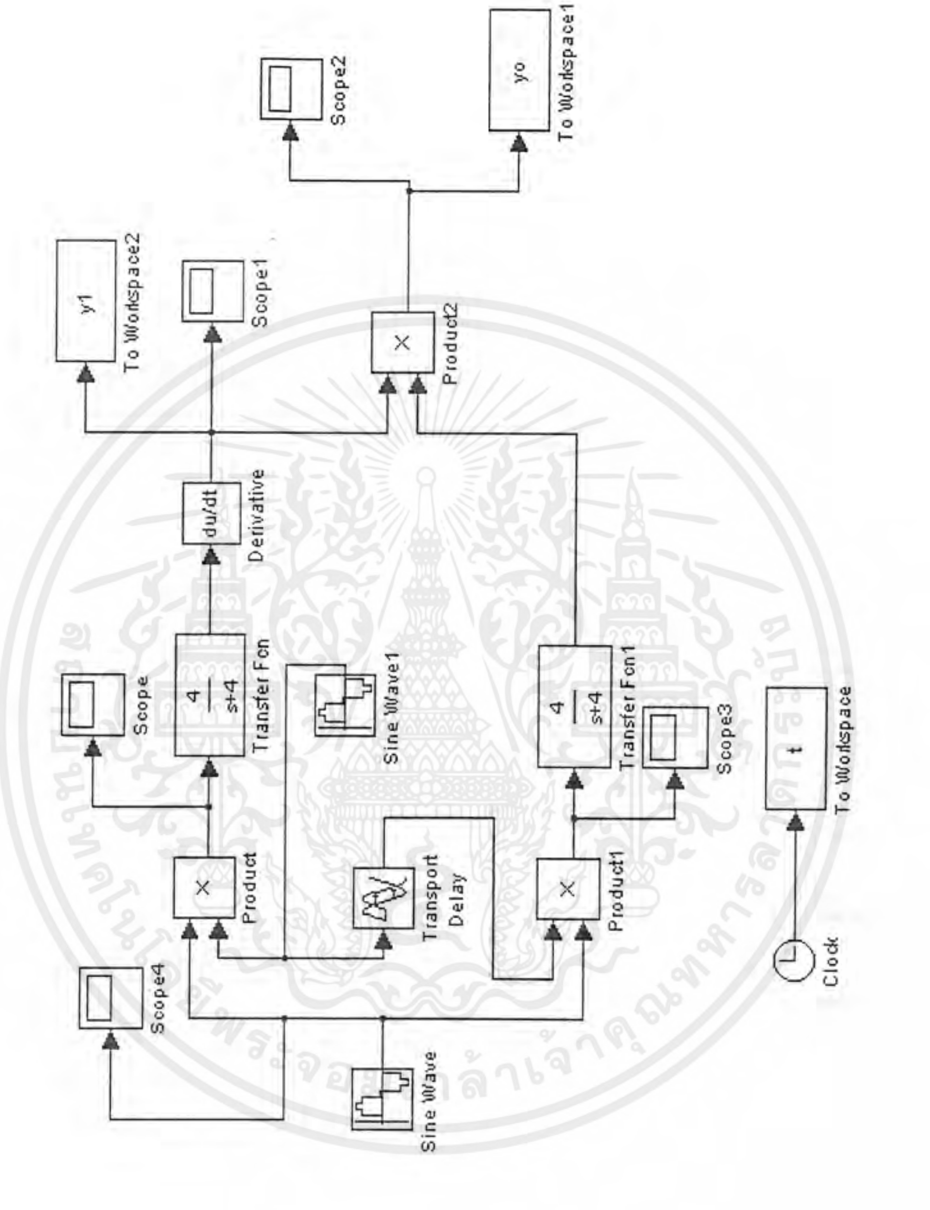


รูปที่ 4.16 สัญญาณมิกเซอร์ความถี่ 50 MHz กับ 20 MHz

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การ Simulink โดยใช้โปรแกรม Matlab

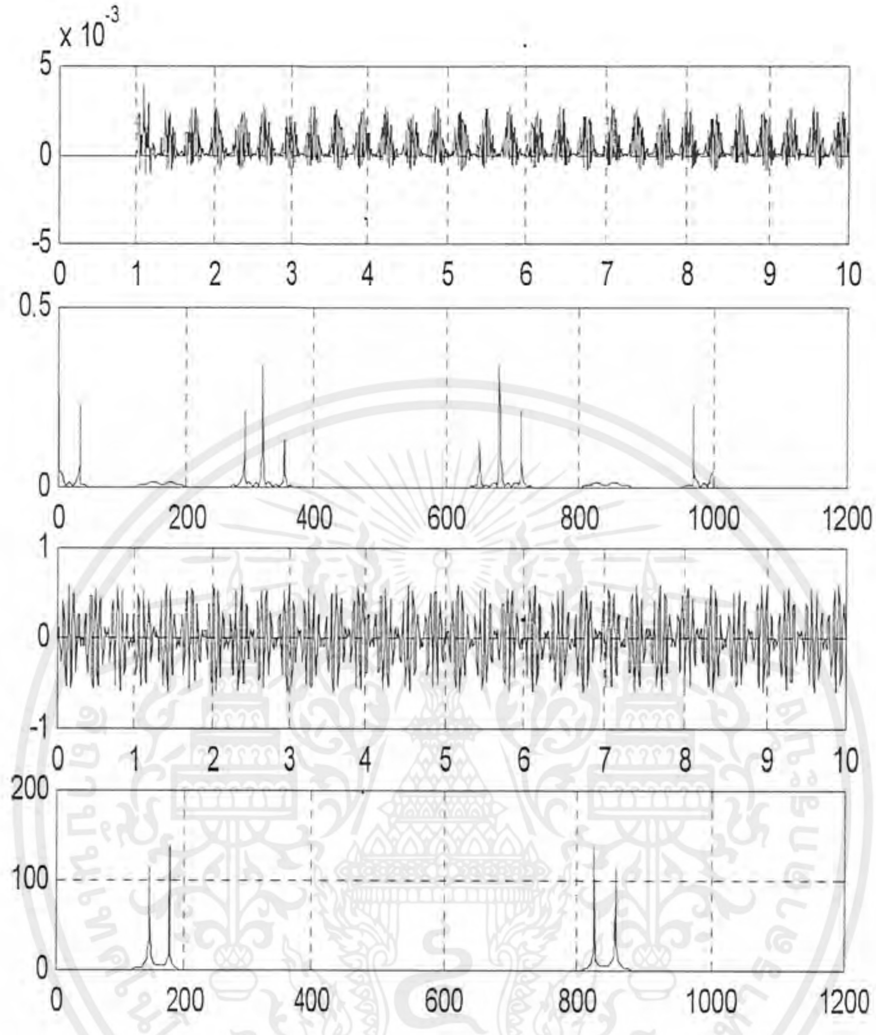
<u>กรณีที่ 1</u> บล็อคไดอะแกรมของวงจร Frequency Difference Detectors : FDD



รูปที่ 4.17 แสดงบล็อคไดอะแกรมของวงจร FDD

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สัญญาณที่ได้จากการ Simulink ของวงจร FDD ดังจะเห็นจากรูปข้างล่างนี้



ก) แสดงความถี่ของสัญญาณที่จุด y1 ใน time domain และ frequency domain

ข)แสดงลักษณะของ สเปคตรัมของสัญญาณที่จุด y1

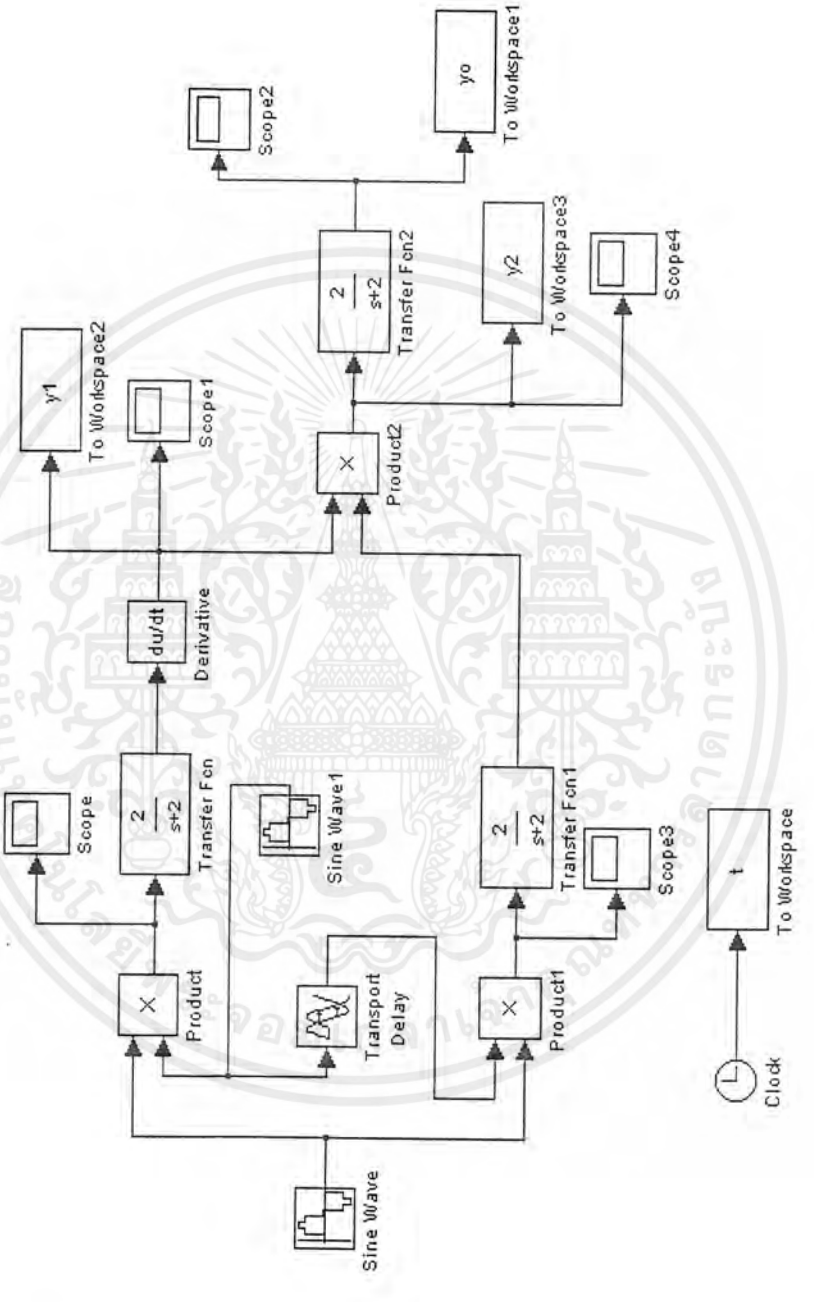
ค) แสดงความถี่ของสัญญาณที่จุด y0 ใน time domain และ frequency domain

ง) แสดงลักษณะของ สเปคตรัมของสัญญาณที่จุด y0

รูปที่ 4.18 แสดงสัญญาณที่จุดต่าง ๆ ของวงจร FDD

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

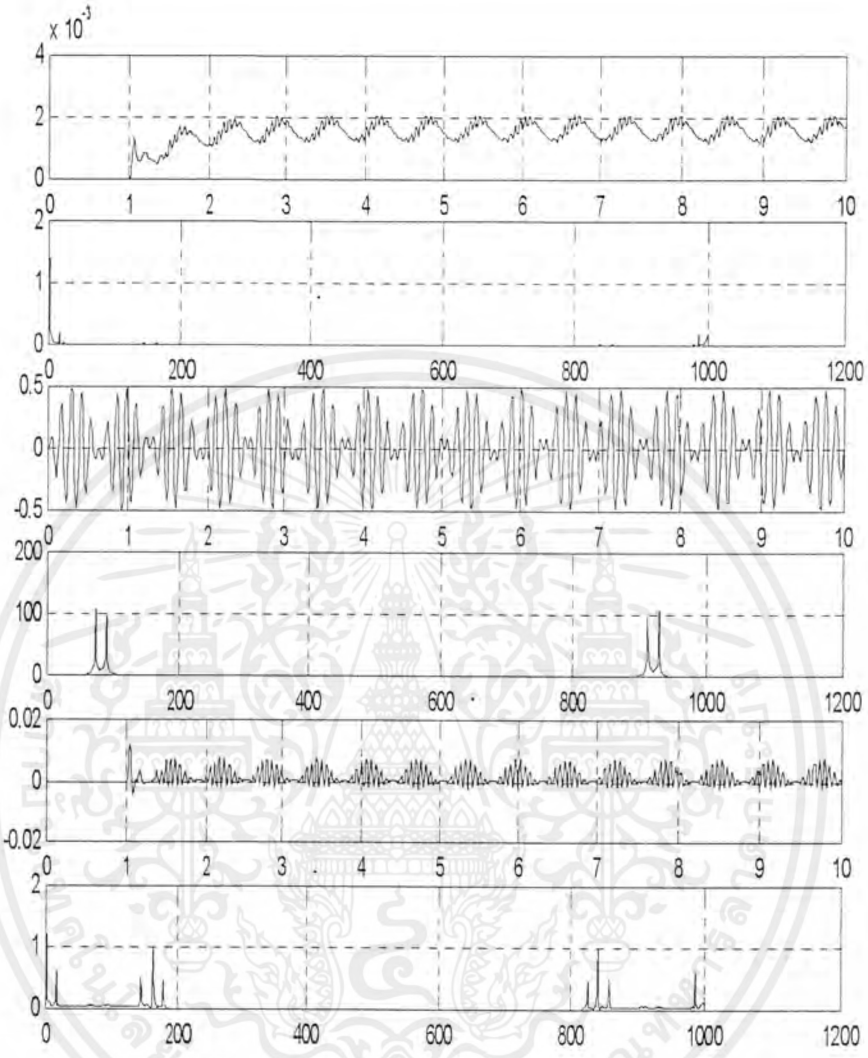
กรณีที่ 2 บล็อคไดอะแกรมของวงจร Frequency Difference Detectors : FDD เมื่อต่อร่วมกับโลว์พาสฟิลเตอร์ (Lowpass Filter)



รูปที่ 4.19 บล็อคไดอะแกรมของวงจร FDD เมื่อต่อร่วมกับ LPF

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากบล็อคไดอะแกรมข้างบนจะได้สัญญาณที่ Simulink แล้วดังจะเห็นได้ตามรูปข้างล่างนี้



ก) แสดงความถี่ของสัญญาณที่จุด y0 ใน time domain และ frequency domain

ข)แสดงลักษณะของ สเปคตรัมของสัญญาณที่จุด y0

ค) แสดงความถี่ของสัญญาณที่จุด y1 ใน time domain และ frequency domain

ง) แสดงลักษณะของ สเปคตรัมของสัญญาณที่จุด y1

จ) แสดงความถี่ของสัญญาณที่จุด y2 ใน time domain และ frequency domain

ฉ) แสดงลักษณะของ สเปคตรัมของสัญญาณที่จุด y2

รูปที่ 4.20 สัญญาณที่จุดต่าง ๆ จากบล็อคข้างบน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่5

สรุปผลการทดลอง

ผลการทดลองที่ได้จากโครงงานนี้ สัญญาณเอาท์พุทที่ได้ไม่อาจจะสมบูรณ์ได้ 100% แต่ก็พอที่จะยอมรับได้ เนื่องจากค่าผิดพลาดที่ได้ค่อนข้างน้อย ซึ่งค่าผิดพลาดที่ได้อาจเกิดขึ้นจากสาเหตุหลายอย่างโดยสามารถสรุปปัญหาที่เกิดขึ้นพอสังเขปได้ดังนี้

1.เกิดจากวงจรสังเคราะห์ความถี่หรือเฟสล็อคลูป ซึ่งเป็นวงจรที่ทำหน้าที่ควบคุมความถี่ให้ได้ความถี่ที่คงที่แต่ว่าวงจรทำงานไม่สมบูรณ์คือช่วงการล็อคของสัญญาณกว้างเกินไปทำให้ผลตอบสนองต่อสัญญาณช้าไป

2. เกิดจากวงจร Frequency Difference Detectors ซึ่งได้ใช้วงจรแบบ Unbalanced quadricorrelator เป็นวงจรที่ทำหน้าที่เป็นตัวดีเทคเตอร์สัญญาณความถี่ที่เข้ามาทางอินพุทให้ออกทางเอาท์พุทได้เป็นแรงดันไฟดีซีซึ่งเราเรียกว่าแรงดันเออร์เรอร์แล้วส่งแรงดันเออร์เรอร์ไปรวมกับแรงดันที่ออกจากลูปฟิลเตอร์เพื่อไปควบคุมวีซีโอต่อไปแต่ผลปรากฏว่าวงจร Frequency Difference Detectors ทำงานได้ไม่สมบูรณ์ และมักจะเกิดปัญหาเกี่ยวกับสัญญาณที่เอาท์พุทเนื่องจากมีเทอมที่เป็นค่า Ripple ติดมาด้วย ดังนั้นเราสามารถแบ่งเงื่อนไขการทำงานที่ถูกต้องได้ 3 กรณีคือ

$$f_{in} = f_o \text{ หรือ } V_{FDD} = 0$$

$$f_{in} < f_o \text{ หรือ } V_{FDD} = -V$$

$$f_{in} > f_o \text{ หรือ } V_{FDD} = +V$$

แต่ผลปรากฏว่าเกิดปัญหาขึ้นคือช่วงความถี่ที่ $f_{in} > f_o$ อยู่ 400 Hz ขึ้นไปถึงจะได้ค่าเป็นบวกแต่ถ้าต่ำกว่า 400 Hz ลงมาเป็นลบ

แนวทางการพัฒนา

สำหรับส่วนของเฟสล็อคลูปกับ FDD ยังไม่ดีพอจึงควรมีการพัฒนา โดยเฉพาะวงจร FDD ควรต้องแก้ปัญหาค่า Ripple เพราะจะทำให้สัญญาณที่ออกเอาท์พุทไม่เรียบเหมือนมีสัญญาณรบกวนติดมาด้วย ดังนั้นเราต้องแก้ปัญหาโดยการกำจัดเทอมที่เป็น Ripple ออกไป ซึ่งในโครงงานนี้ได้ใช้วงจรชมิตท์ทริกเกอร์เป็นตัวที่กำจัดสัญญาณ Ripple ออกไปทำให้ได้เอาท์พุทที่สัญญาณดีขึ้น และเหตุผลอีกอย่างคือค่าพารามิเตอร์ต่าง ๆ ในวงจรควรจะมีค่าที่ถูกต้องที่สุด โดยเฉพาะค่าอิมพีแดนซ์ (impedance) ของวงจรแต่ละวงจรควรที่จะแมทซ์ (match) กันจึงจะทำให้ประสิทธิภาพการทำงานของวงจรดีขึ้น และเอาท์พุทมีค่าที่ถูกต้องได้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เอกสารอ้างอิง

1. JACK SMITH.,"Modern Communication Circuit",McGraw-Hill,1982

2. JOHN L. Hilburn and DAVID E. JOHNSON.,"MANUAL OF ACTIVE FILTER DESIGN",McGRAW-HILL,INC.,1973

3. MC GRAW-HILLINTERNATIONAL EDITIONS,"ELECTRONIC Communication Systems,"Fourth Edition,Kennedy.Davis,pp.12-20,1998

4. PHYSICS CENTER,"OP-AMP,",CNS GROUP,pp.40-43 DESIGN",McGRAW-HILL,INC.,1973

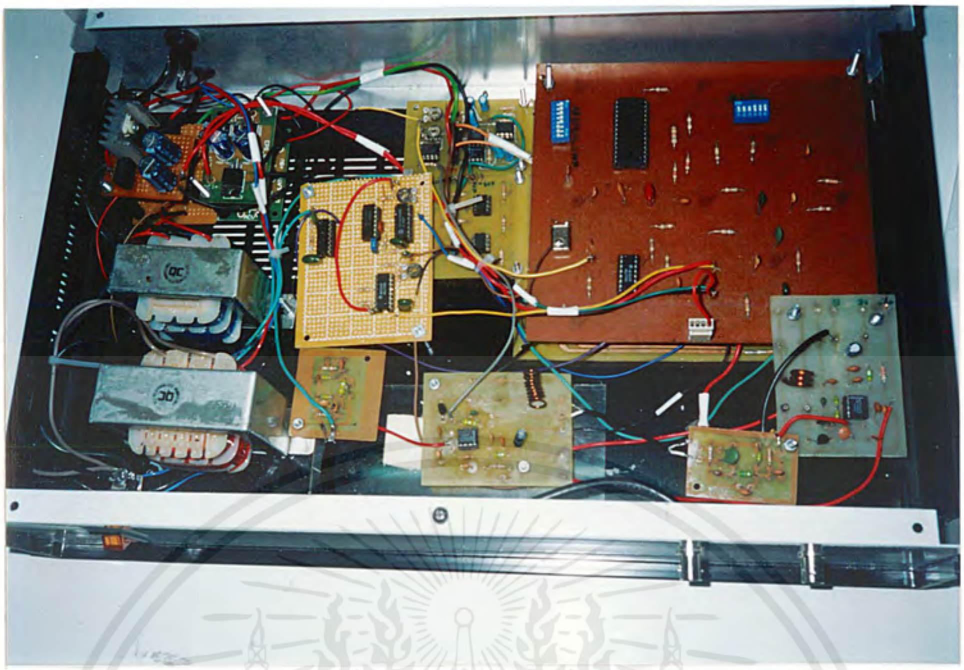
5. บัณฑิต โรจน์อารยานนท์.,"หลักการไฟฟ้าสื่อสาร",สำนักพิมพ์จุฬาลงกรณ์มหาวิทยาลัย, พ.ศ.2532

6. รังสรรค์,"โลกของการรับสัญญาณโทรทัศน์ผ่านดาวเทียม,"สำนักพิมพ์นิตยสาร,"ซีคิว",กทม., หน้า21-23,2536

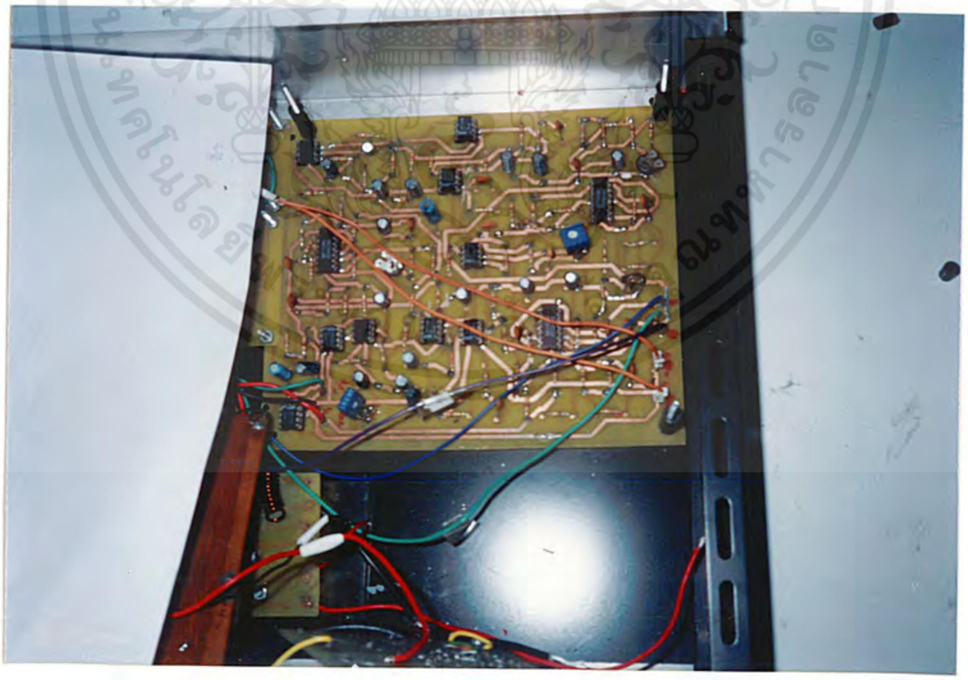
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ภาคผนวก

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

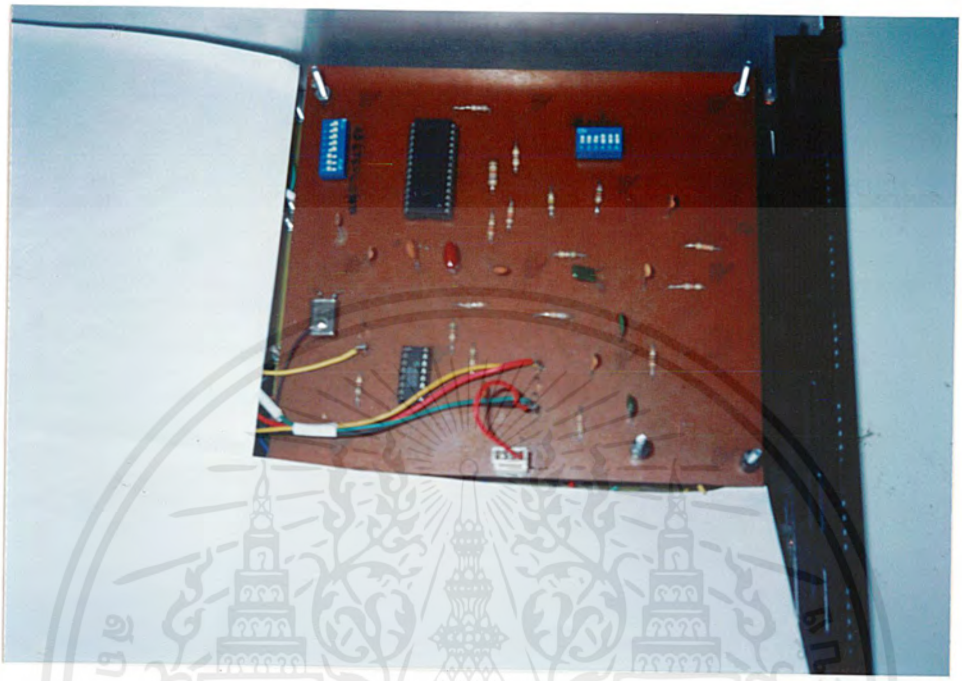


รูปที่ 1 แสดงภาพวงจรที่ประกอบรวมกันทั้งหมด



รูปที่ 2 แสดงภาพวงจร Frequency Difference Detectors : FDD

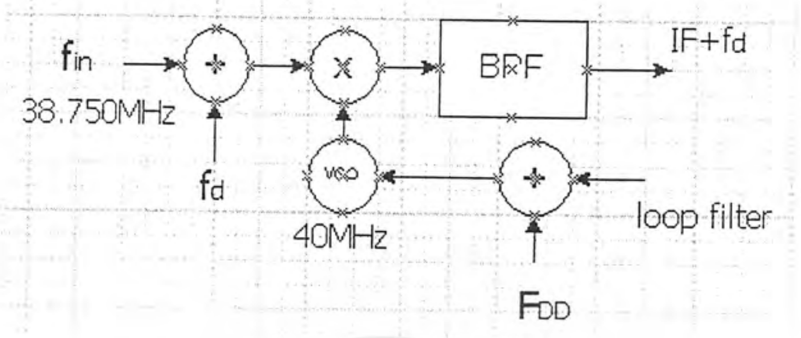
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3 แสดงภาพวงจรเฟสล็อคลูป (Phase Lock Loop)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เงื่อนไขในการพิจารณาการทำงานของวงจรในการแก้ไขปัญหาการเกิด Fading ในช่องสัญญาณของโครงงานนี้ จากรูปบล็อคไดอะแกรมสามารถแบ่งพิจารณาได้ 3 กรณีดังนี้



รูปที่ 4 แสดงบล็อคไดอะแกรมในส่วนที่ใช้แก้ปัญหาการเกิด Fading

จากรูปข้างบนสามารถพิจารณาออกมาเป็นสมการ ได้ดังนี้

$$IF = f_{lo}(vco) - (f_{in} \pm f_d)$$

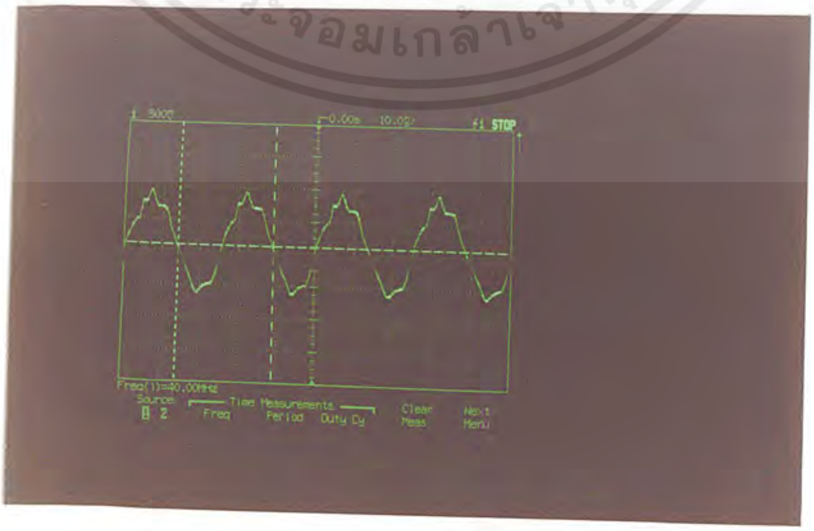
ดังนั้น $f_{in} = vco - IF$

โดยที่ VCO จะล็อคความถี่ที่ 40 MHz ส่วน IF มีค่าเท่ากับ 1.250MHz

เพราะฉะนั้น $fin = 40MHz - 1.250MHz = 38.75MHz$

กรณีที่1 เมื่อ $f_{in} \pm f_d$ โดยที่ $f_d = 0Hz$ ซึ่ง $f_{in} = 38.750\,MHz$

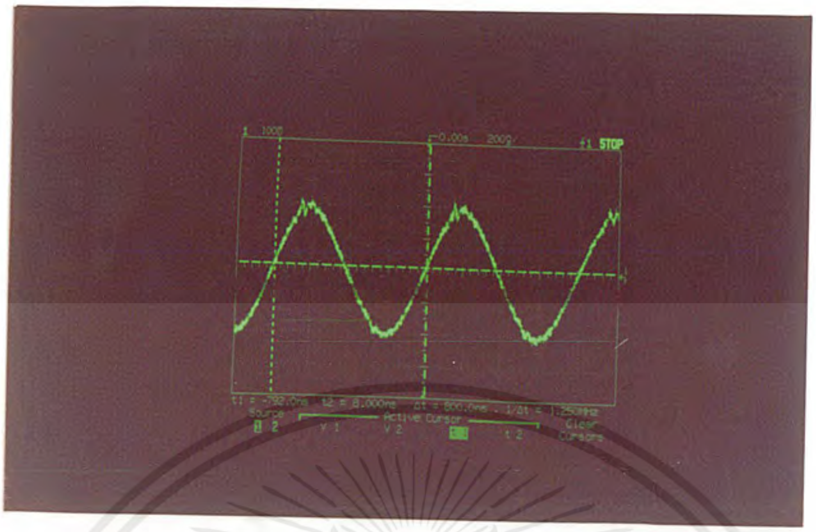
ดังนั้น $f_{in} + f_d = 38.750MHz$ แสดงว่า FDD จะมีแรงดัน error มีค่าเป็น 0 โวลท์ ซึ่ง VCO ก็สามารถทำงานได้ตามปกติคือจะผลิตความถี่ 40 MHz



รูปที่ 5 แสดงภาพถ่าย VCO ที่ผลิตความถี่ 40 MHz

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากกรณีที่ $IF = VCO - f_{in} = 40MHz - 38.750MHz = 1.250MHz$ จะแสดงให้เห็นว่า PLL ทำงานในสภาวะล็อคจึงทำให้ได้ IF ที่มีค่าที่ถูกต้อง

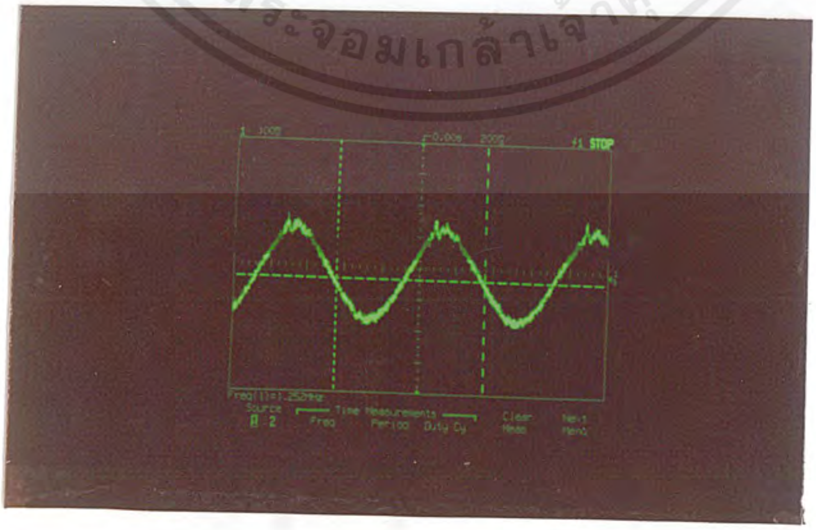


รูปที่ 6 แสดงภาพถ่ายที่ o/p ของ BPF กรณีที่ PLL ทำงานในสภาวะล็อคมีความถี่เท่ากับ1.250MHz

<u>กรณีที่2</u> เมื่อ $f_{in} + f_d$ โดยที่ $f_d = -1000\,Hz$ ซึ่ง $f_{in} = 38.750MHz$

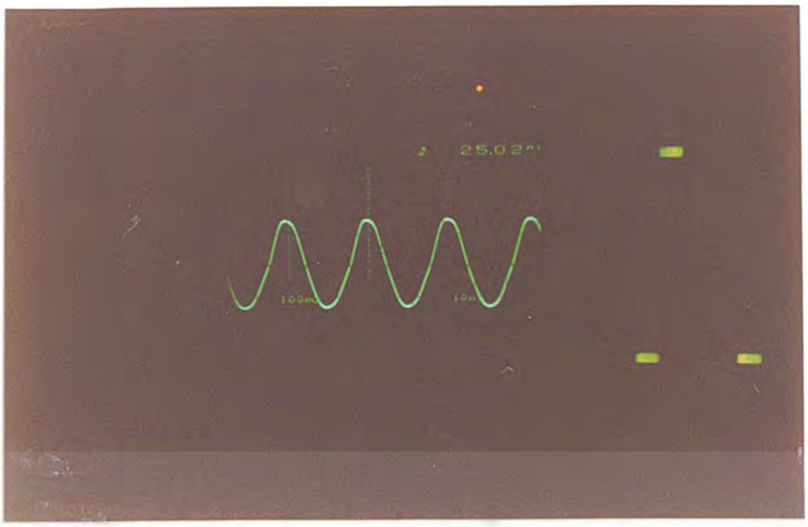
ดังนั้น $fin - fd = 38.750MHz - 1000\,Hz = 38.749MHz$ แสดงว่า FDD จะมีแรงดัน error มีค่าเป็นลบ เมื่อไปรวมกับแรงดัน error ที่ loop filter ทำให้แรงดัน error ลดลง เพื่อป้อนให้กับ VCO ให้ผลิตความถี่ต่ำลง เพื่อชดเชยความถี่อินพุทที่ต่ำลง

จากกรณีที่ $IF = VCO - f_{in} = 40MHz - 38.749MHz = 1.251MHz$ จะแสดงให้เห็นถึง PLL ยังไม่ล็อค



รูปที่ 7 แสดงภาพถ่ายที่ o/p ของ BPF กรณีที่ PLL ยังไม่ล็อคมีความถี่เท่ากับ 1.251 MHz

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 8 แสดงภาพถ่ายของ VCO ที่ผลิตความถี่ 39.999 MHz กรณีที่ PLL ชดเชยความถี่แล้ว

จากรูปที่ 8 พิจารณาจากสมการจะได้

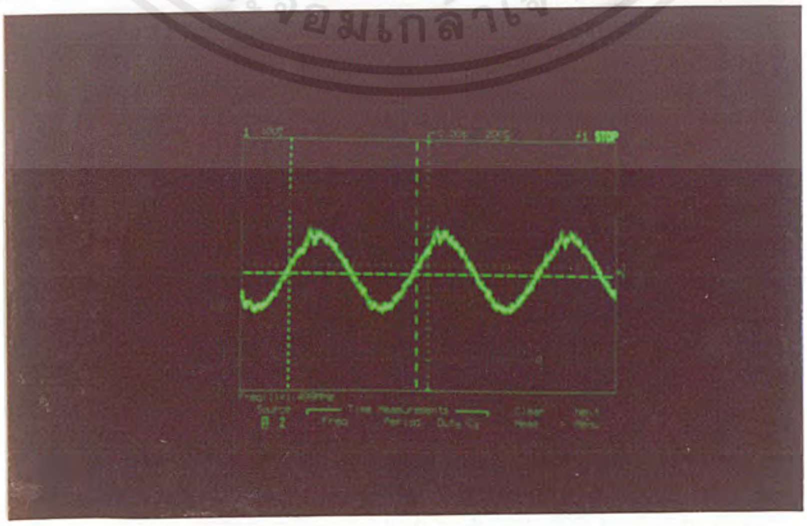
$$IF = VCO - f_{in} = 39.999\,MHz - 38.749\,MHz = 1.250\,MHz$$

จากสมการข้างบนแสดงว่า PLL ทำงานอยู่ในสภาวะล็อคเพราะ o/p มีค่าที่ถูกต้อง ดังจะเห็นได้ชัดจากภาพถ่ายรูปที่ 6

กรณีที่ 3 เมื่อ $f_{in} + f_d$ โดยที่ $f_d = +1000\,Hz$ ซึ่ง $f_{in} = 38.750\,MHz$

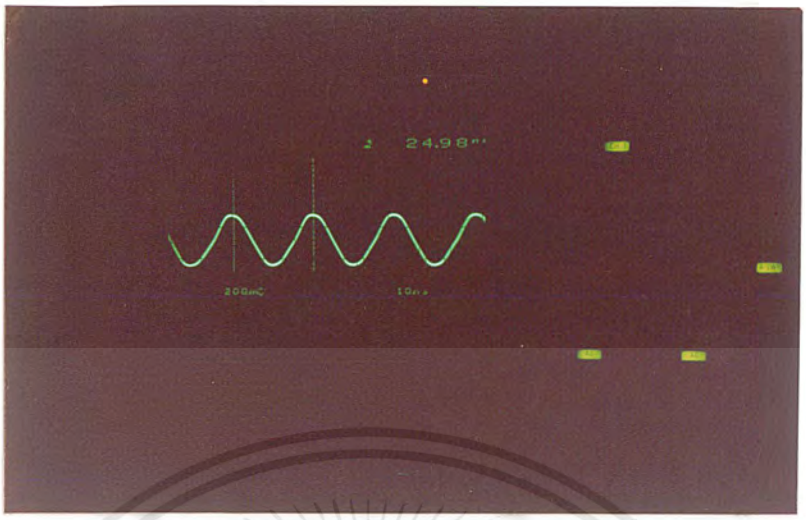
ดังนั้น $fin + fd = 38.750\,MHz + 1000\,Hz = 38.751\,MHz$ แสดงว่า FDD จะมีแรงดัน error มีค่าเป็นบวก เมื่อไปรวมกับแรงดัน error ที่ loop filter ทำให้แรงดัน error เพิ่มขึ้น เพื่อป้อนให้กับ VCO ให้ผลิตความถี่สูงขึ้น เพื่อชดเชยความถี่อินพุทที่เพิ่มขึ้น

จากกรณีที่ $IF = VCO - f_{in} = 40MHz - 38.751MHz = 1.249MHz$ จะแสดงให้เห็นถึง PLL ยังไม่ล็อค



รูปที่ 9 แสดงภาพถ่ายที่ o/p ของ BPF กรณีที่ PLL ยังไม่ล็อคมีความถี่เท่ากับ 1.249 MHz

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



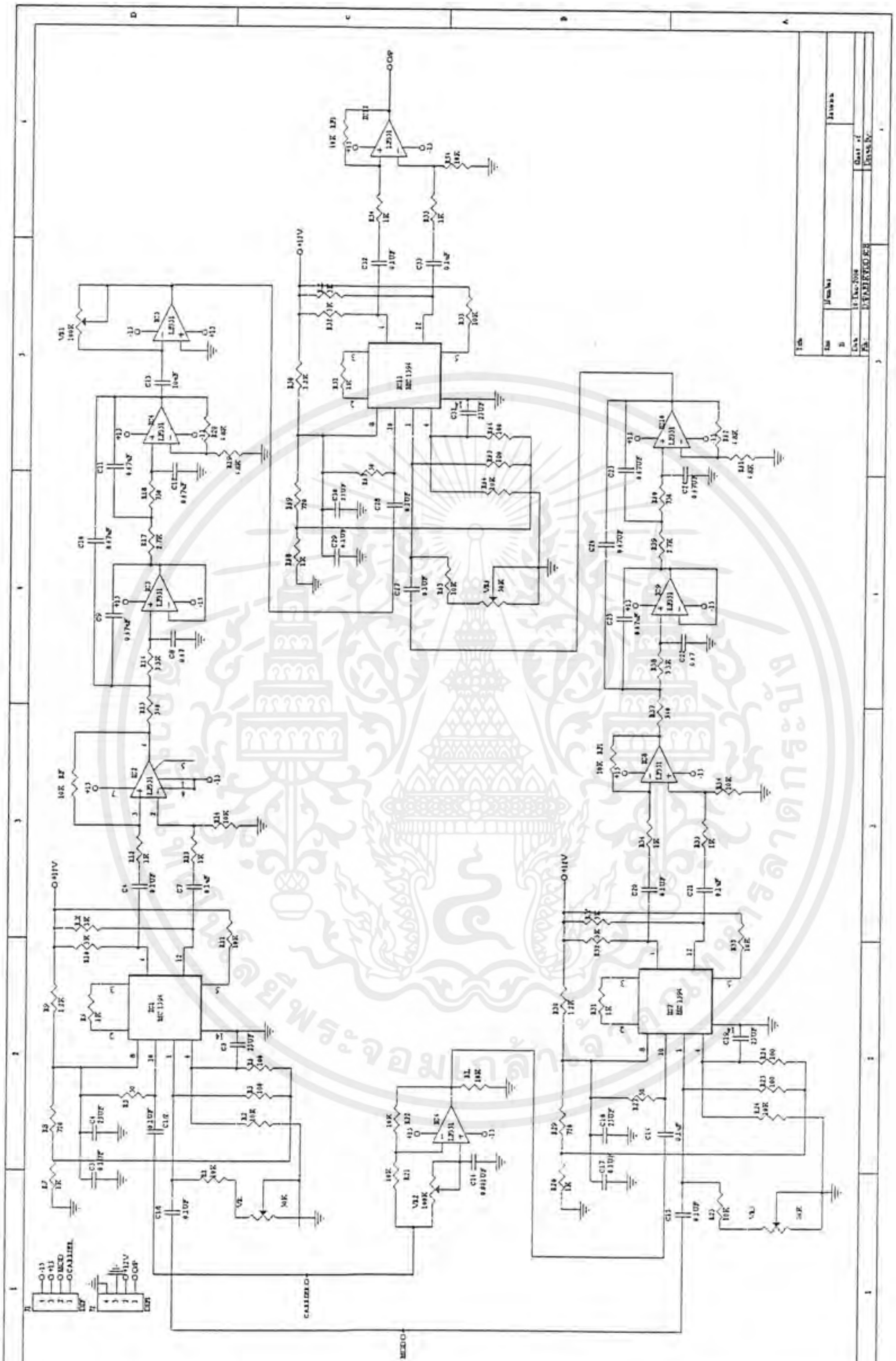
รูปที่ 10 แสดงภาพถ่ายของ VCO ที่ผลิตความถี่ 40.001MHz กรณีที่ PLL ชดเชยความถี่แล้ว

จากรูปที่ 10 พิจารณาจากสมการจะได้

$$IF = VCO - f_{in} = 40.001MHz - 38.751MHz = 1.250MHz$$

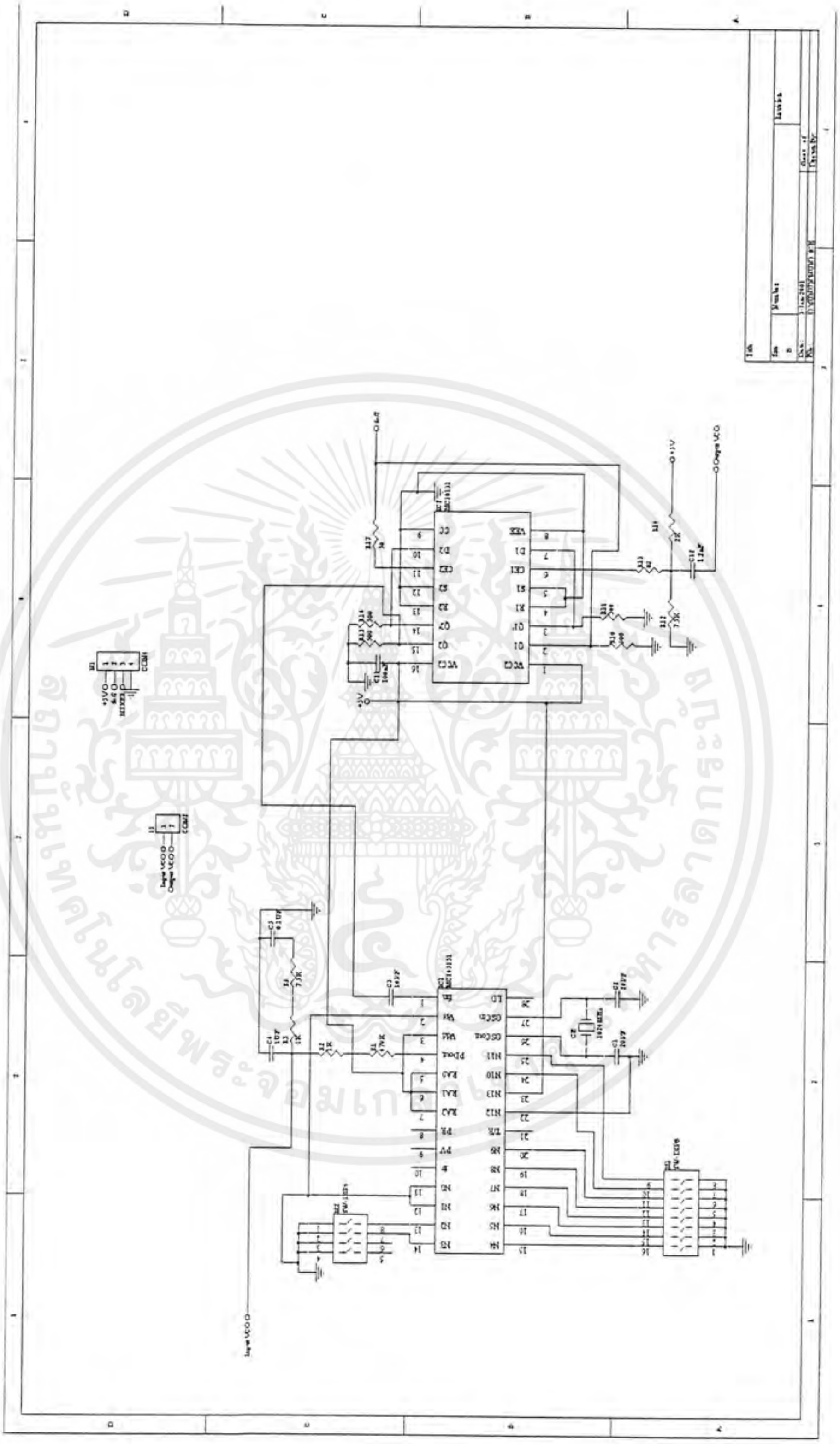
จากสมการข้างบนแสดงว่า PLL ทำงานอยู่ในสภาวะล็อคเพราะ o/p มีค่าที่ถูกต้อง ดังจะเห็นได้ชัดจากภาพถ่ายรูปที่ 6

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



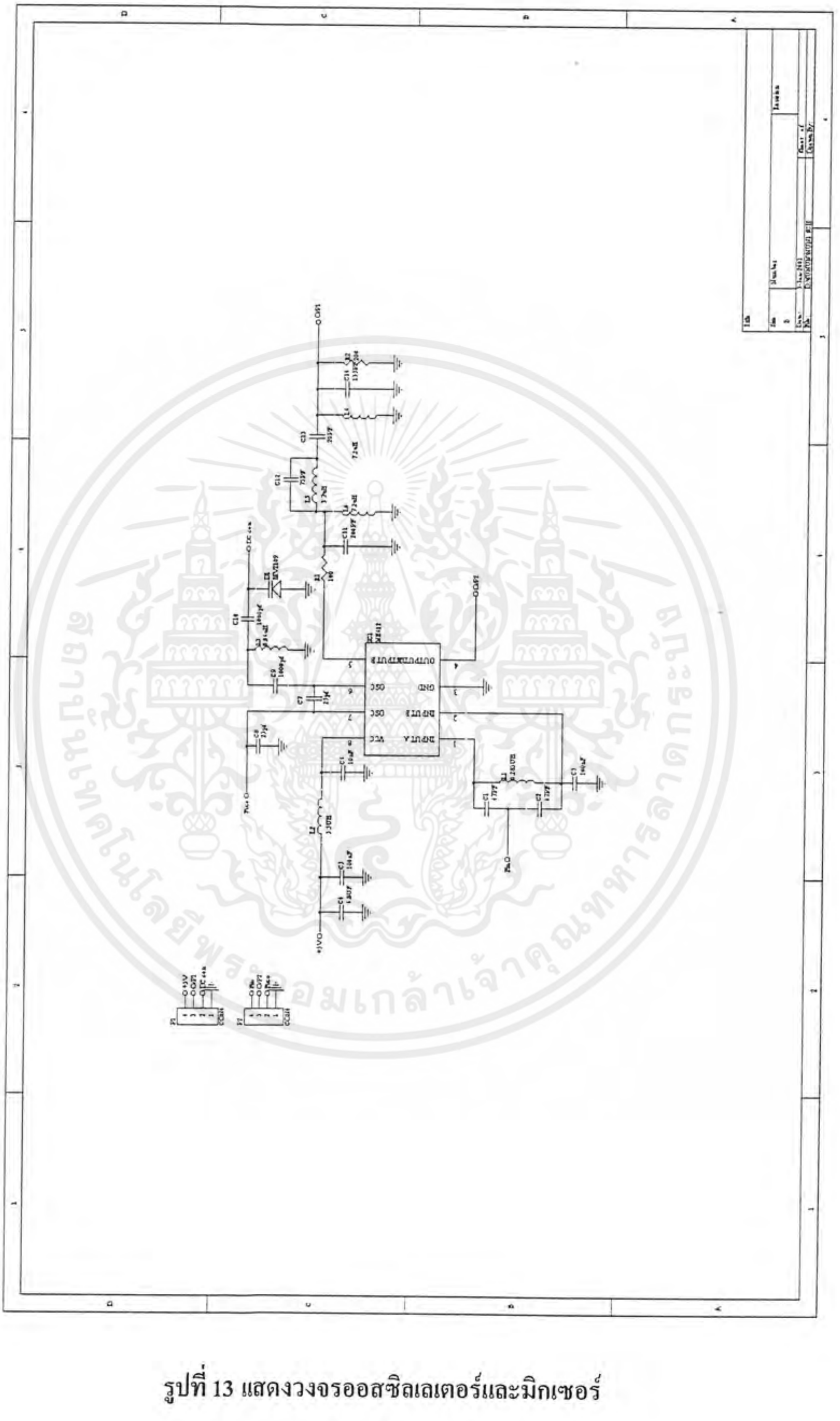
รูปที่ 11 แสดงวงจร Frequency Difference Detectors : FDD

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



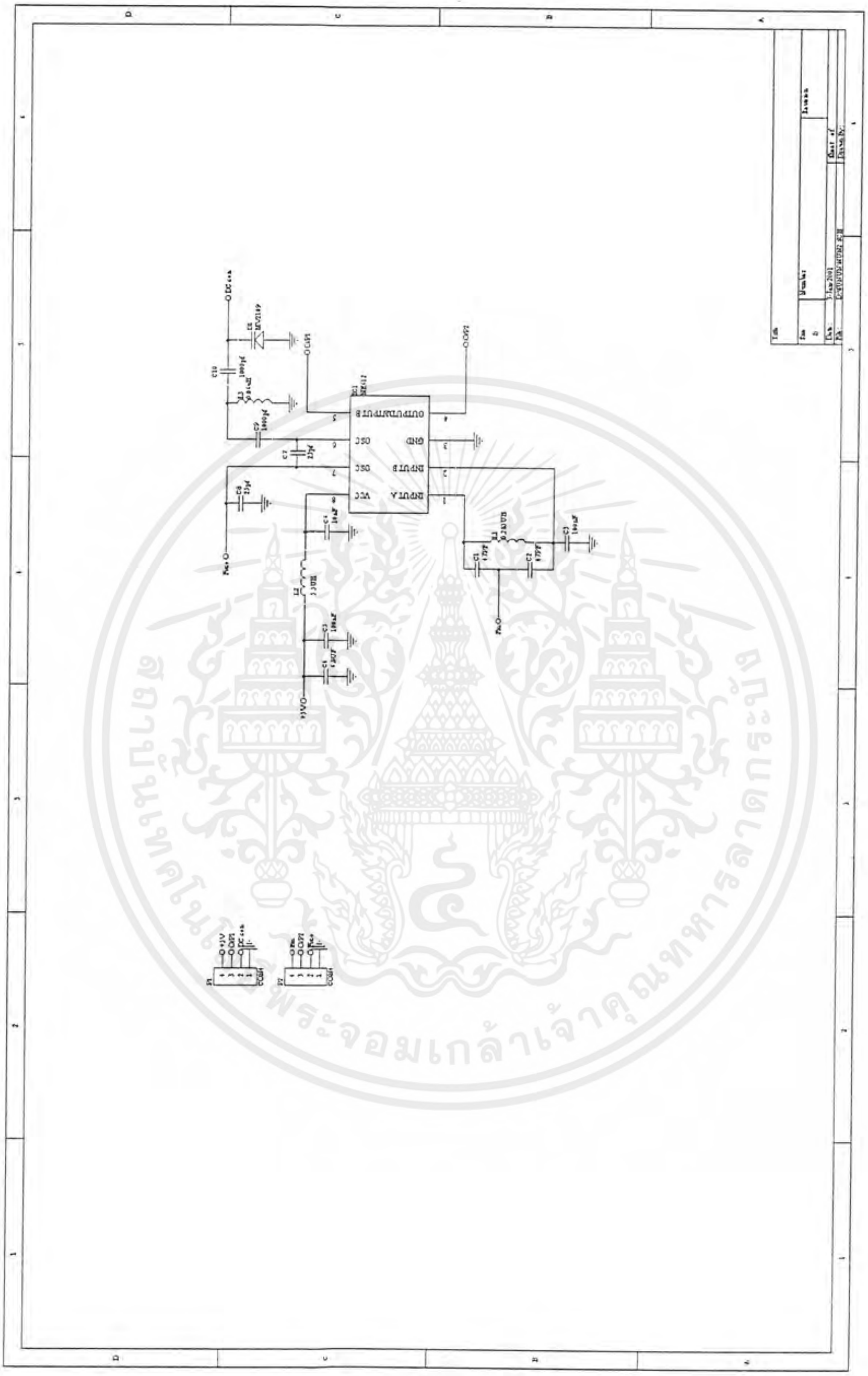
รูปที่ 12 แสดงวงจรเฟสล็อคลูป (Phase Lock Loop)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



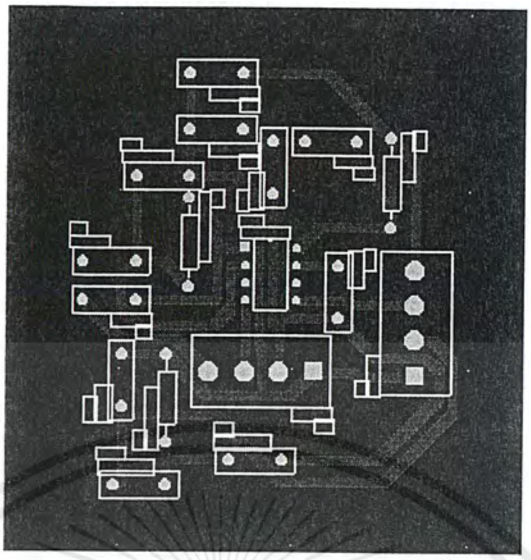
รูปที่ 13 แสดงวงจรออสซิลเลเตอร์และมิกเซอร์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

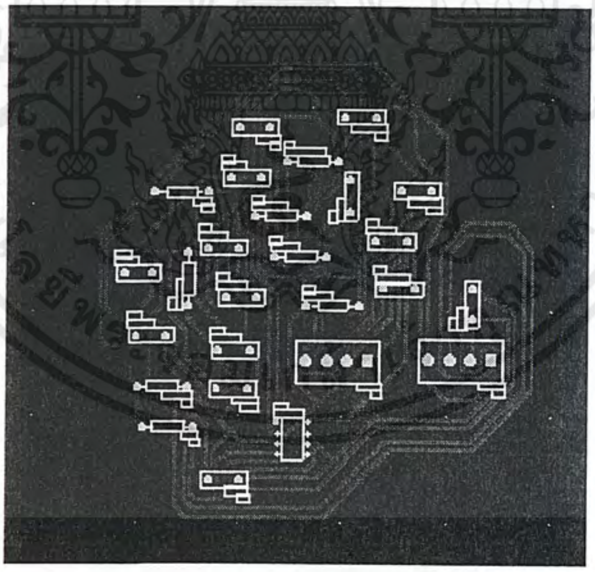


รูปที่ 14 แสดงวงจรของวีซีโอ (VCO)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

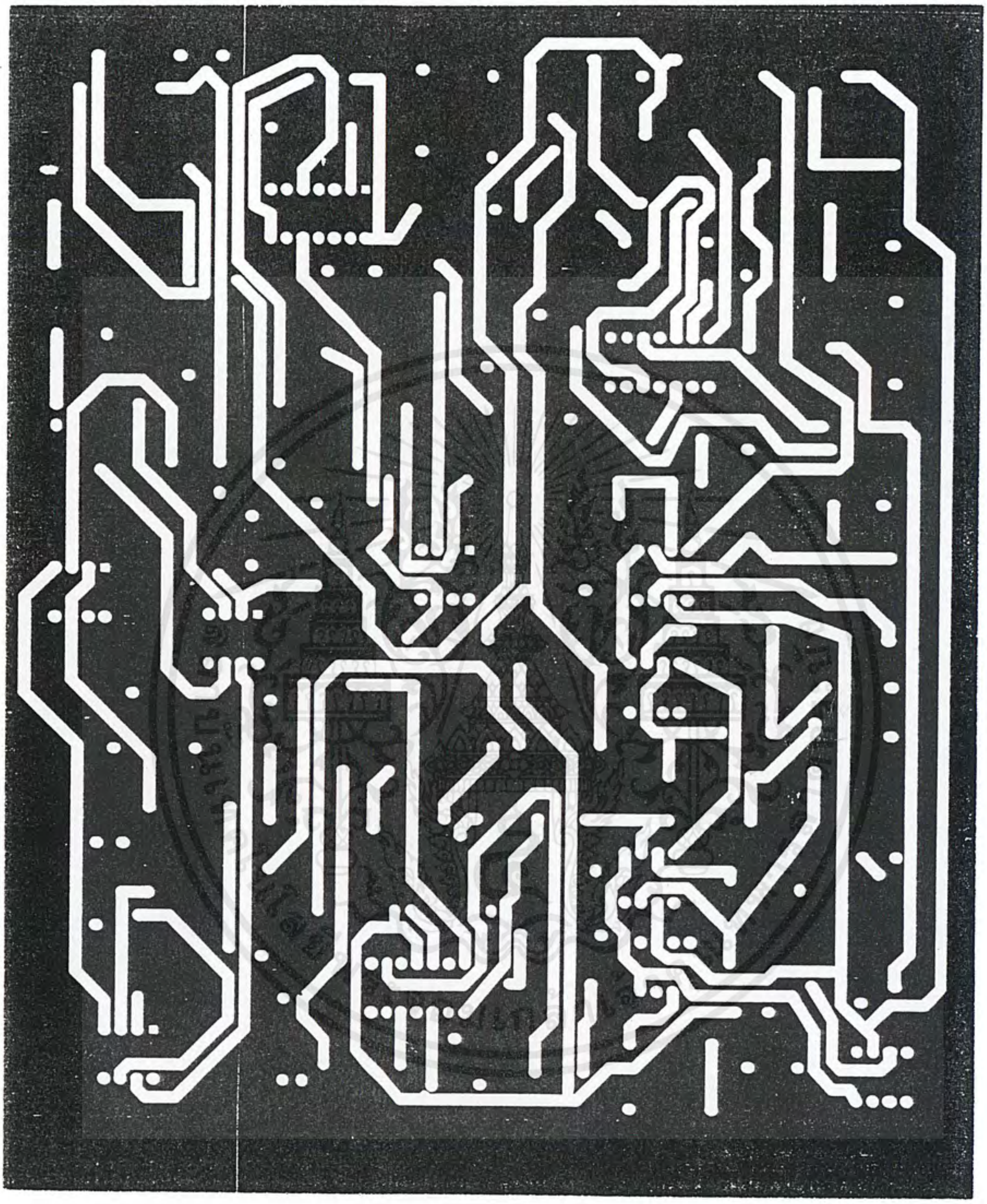


รูปที่ 15 แสดงลายทองแดงของวงจรวีซีโอ (VCO)



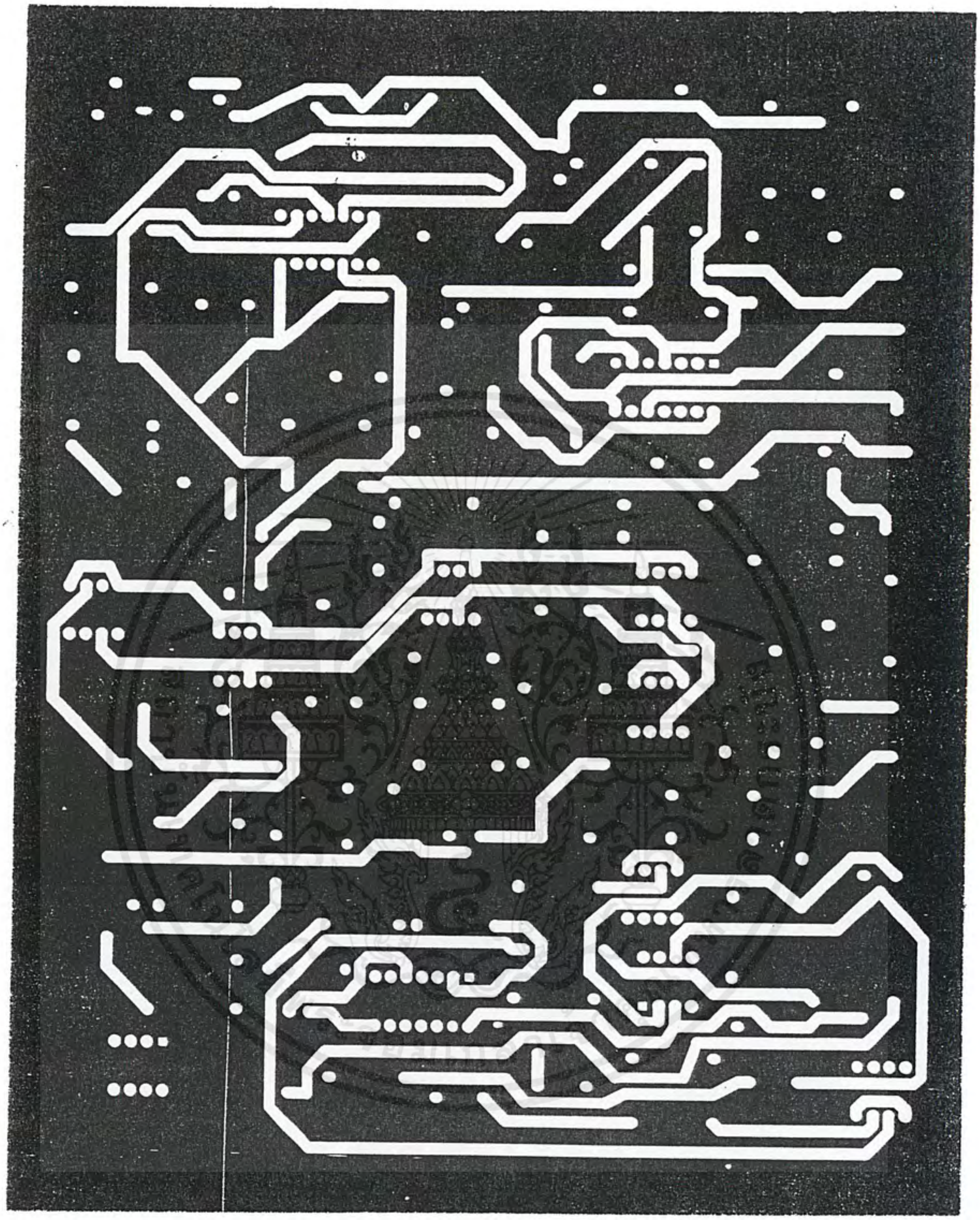
รูปที่ 16 แสดงลายทองแดงวงจรออสซิลเลเตอร์และมิกเซอร์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



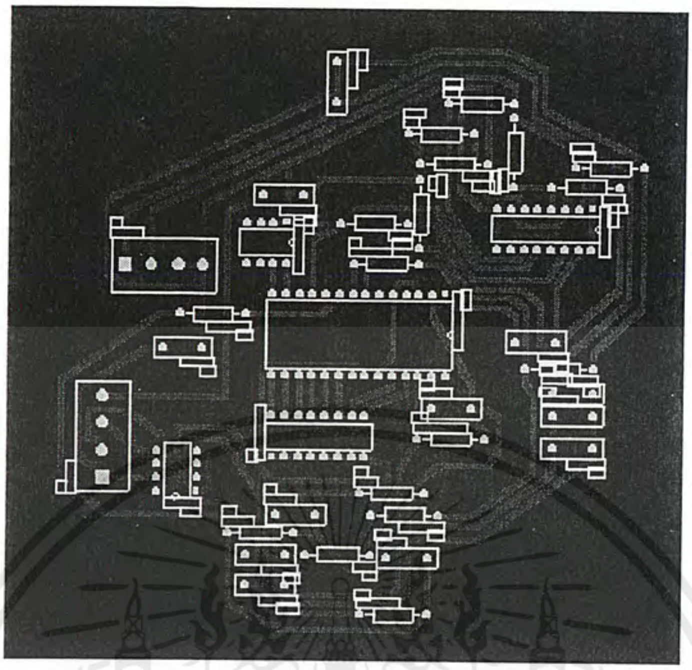
รูปที่ 17 แสดงลายทองแดงวงจร Frequency Difference Detectors : FDD ส่วนบน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 18 แสดงลายทองแดงวงจร Frequency Difference Detectors : FDD ส่วนล่าง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 19 แสดงลายทองแดงวงจรเฟสล็อคลูป (Phase Lock Loop)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

MC1496
MC1596

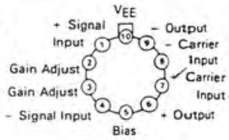
BALANCED MODULATOR/DEMODULATOR

BALANCED MODULATOR/ DEMODULATOR

. . . designed for use where the output voltage is a product of an input voltage (signal) and a switching function (carrier). Typical applications include suppressed carrier and amplitude modulation, synchronous detection, FM detection, phase detection, and chopper applications. See Motorola Application Note AN-531 for additional design information.

- Excellent Carrier Suppression – 65 dB typ @ 0.5 MHz
  – 50 dB typ @ 10 MHz
- Adjustable Gain and Signal Handling
- Balanced Inputs and Outputs
- High Common Mode Rejection – 85 dB typ

G SUFFIX
METAL PACKAGE
CASE 603



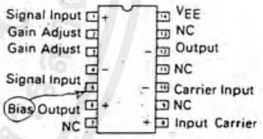
(Top View)

L SUFFIX
CERAMIC PACKAGE
CASE 632

D SUFFIX
PLASTIC PACKAGE
CASE 751A
(SO-14)

P SUFFIX
PLASTIC PACKAGE
CASE 646

PIN ASSIGNMENTS



ORDERING INFORMATION

Device	Temperature Range	Package
MC1496D	0°C to +70°C	SO-14
MC1496G		Metal Can
MC1496L		Ceramic DIP
MC1496P		Plastic DIP
MC1596G	−55°C to +125°C	Metal Can
MC1596L		Ceramic DIP

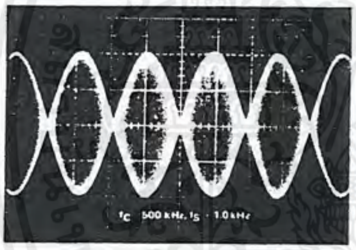


FIGURE 1 – SUPPRESSED CARRIER OUTPUT WAVEFORM

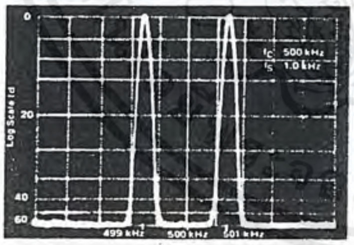


FIGURE 2 – SUPPRESSED CARRIER SPECTRUM

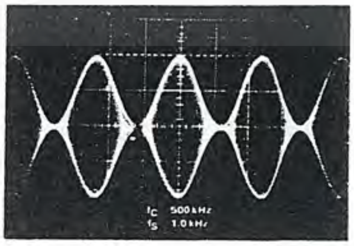
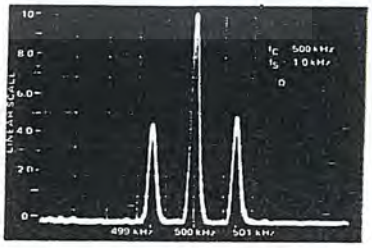


FIGURE 3 – AMPLITUDE MODULATION OUTPUT WAVEFORM

FIGURE 4 – AMPLITUDE-MODULATION SPECTRUM



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

MAXIMUM RATINGS* (T_A = +25°C unless otherwise noted)

Rating	Symbol	Value	Unit
Applied Voltage ($V_6 - V_7$, $V_8 - V_1$, $V_9 - V_7$, $V_9 - V_8$, $V_7 - V_4$, $V_7 - V_1$, $V_8 - V_4$, $V_6 - V_8$, $V_2 - V_5$, $V_3 - V_5$)	ΔV	30	Vdc
Differential Input Signal	$V_7 - V_8$ $V_4 - V_1$	+5.0 $\pm(5 + I_5 R_e)$	Vdc
Maximum Bias Current	I_5	10	mA
Thermal Resistance, Junction to Air Ceramic Dual In-Line Package Plastic Dual In-Line Package Metal Package	$R_{\theta JA}$	 100 100 160	°C/W
Operating Temperature Range MC1496 MC1596	T_A	 0 to +70 −55 to +125	°C
Storage Temperature Range	T_{stg}	−65 to +150	°C

ELECTRICAL CHARACTERISTICS* (V_{CC} = +12 Vdc, V_{EE} = −8.0 Vdc, I_5 = 1.0 mAdc, R_L = 3.9 kΩ, R_e = 1.0 kΩ, T_A = +25°C, all input and output characteristics are single-ended, unless otherwise noted.)

Characteristic	Fig.	Note	Symbol	MC1596			MC1496			Unit
				Min	Typ	Max	Min	Typ	Max	
Carrier Feedthrough V_C = 60 mV(rms) sine wave and offset adjusted to zero, f_C = 1.0 kHz f_C = 10 MHz V_C = 300 mVp-p square wave: offset adjusted to zero, f_C = 1.0 kHz offset not adjusted, f_C = 1.0 kHz	5	1	V_{CFT}	— — — —	40 140 0.04 20	— — 0.2 100	— — — —	40 140 0.04 20	— — 0.4 200	µV(rms) mV(rms)
Carrier Suppression f_S = 10 kHz, 300 mV(rms) f_C = 500 kHz, 60 mV(rms) sine wave f_C = 10 MHz, 60 mV(rms) sine wave	5	2	V_{CS}	50 —	65 50	— —	40 —	65 50	— —	dB k
Transadmittance Bandwidth (Magnitude) (R_L = 50 ohms) Carrier Input Port, V_C = 60 mV(rms) sine wave f_S = 1.0 kHz, 300 mV(rms) sine wave Signal Input Port, V_S = 300 mV(rms) sine wave $\|V_C\|$ = 0.5 Vdc	8	8	BW_{3dB}	— —	300 80	— —	— —	300 80	— —	MHz
Signal Gain V_S = 100 mV(rms), f = 1.0 kHz; $\|V_C\|$ = 0.5 Vdc	10	3	A_{VS}	2.5	3.5	—	2.5	3.5	—	V/V
Single-Ended Input Impedance, Signal Port, f = 5.0 MHz Parallel Input Resistance Parallel Input Capacitance	6	—	r_{ip} c_{ip}	— —	200 2.0	— —	— —	200 2.0	— —	kΩ pF
Single-Ended Output Impedance, f = 10 MHz Parallel Output Resistance Parallel Output Capacitance	6	—	r_{op} c_{oo}	— —	40 5.0	— —	— —	40 5.0	— —	kΩ pF
Input Bias Current $I_{bS} = \frac{I_1 + I_4}{2}$; $I_{bC} = \frac{I_7 + I_8}{2}$	7	—	I_{bS} I_{bC}	— —	12 12	25 25	— —	12 12	30 30	µA
Input Offset Current $I_{ioS} = I_1 - I_4$; $I_{ioC} = I_7 - I_8$	7	—	$\|I_{ioS}\|$ $\|I_{ioC}\|$	— —	0.7 0.7	5.0 5.0	— —	0.7 0.7	7.0 7.0	µA
Average Temperature Coefficient of Input Offset Current (T_A = −55°C to +125°C)	7	—	$\|TC_{Iio}\|$	—	2.0	—	—	2.0	—	nA/°C
Output Offset Current ($I_6 - I_9$)	7	—	$\|I_{oo}\|$	—	14	50	—	14	80	µA
Average Temperature Coefficient of Output Offset Current (T_A = −55°C to +125°C)	7	—	$\|TC_{Ioo}\|$	—	90	—	—	90	—	nA/°C
Common-Mode Input Swing, Signal Port, f_S = 1.0 kHz	9	4	CMV	—	5.0	—	—	5.0	—	Vp-p
Common-Mode Gain, Signal Port, f_S = 1.0 kHz, $\|V_C\|$ = 0.5 Vdc	9	—	ACM	—	−85	—	—	−85	—	dB
Common-Mode Quiescent Output Voltage (Pin 6 or Pin 9)	10	—	V_{out}	—	8.0	—	—	8.0	—	Vp-p
Differential Output Voltage Swing Capability	10	—	V_{out}	—	8.0	—	—	8.0	—	Vp-p
Power Supply Current $I_6 + I_9$ I_{10}	7	6	I_{CC} I_{EE}	— —	2.0 3.0	3.0 4.0	— —	2.0 3.0	4.0 5.0	mAdc
DC Power Dissipation	7	5	P_D	—	33	—	—	33	—	mW

* Pin number references pertain to this device when packaged in a metal can. To ascertain the corresponding pin numbers for plastic or ceramic packaged devices refer to the first page of this specification sheet.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

GENERAL OPERATING INFORMATION*

Carrier Feedthrough

Carrier feedthrough is defined as the output voltage at carrier frequency with only the carrier applied (signal voltage = 0).

Carrier null is achieved by balancing the currents in the differential amplifier by means of a bias trim potentiometer (R_1 of Figure 5).

Carrier Suppression

Carrier suppression is defined as the ratio of each sideband output to carrier output for the carrier and signal voltage levels specified.

Carrier suppression is very dependent on carrier input level, as shown in Figure 22. A low value of the carrier does not fully switch the upper switching devices, and results in lower signal gain, hence lower carrier suppression. A higher than optimum carrier level results in unnecessary device and circuit carrier feedthrough, which again degenerates the suppression figure. The MC1596 has been characterized with a 60 mV(rms) sinewave carrier input signal. This level provides optimum carrier suppression at carrier frequencies in the vicinity of 500 kHz, and is generally recommended for balanced modulator applications.

Carrier feedthrough is independent of signal level, V_S. Thus carrier suppression can be maximized by operating with large signal levels. However, a linear operating mode must be maintained in the signal-input transistor pair — or harmonics of the modulating signal will be generated and appear in the device output as spurious sidebands of the suppressed carrier. This requirement places an upper limit on input-signal amplitude (see Figure 20). Note also that an optimum carrier level is recommended in Figure 22 for good carrier suppression and minimum spurious sideband generation.

At higher frequencies circuit layout is very important in order to minimize carrier feedthrough. Shielding may be necessary in order to prevent capacitive coupling between the carrier input leads and the output leads.

Signal Gain and Maximum Input Level

Signal gain (single-ended) at low frequencies is defined as the voltage gain,

$$A_{VS} = \frac{V_o}{V_S} = \frac{R_L}{R_e + 2r_e} \text{ where } r_e = \frac{26 \text{ mV}}{I_5 \text{ (mA)}}$$

A constant dc potential is applied to the carrier input terminals to fully switch two of the upper transistors "on" and two transistors "off" (V_C = 0.5 Vdc). This in effect forms a cascode differential amplifier.

Linear operation requires that the signal input be below a critical value determined by R_E and the bias current I_5.

$$V_S \le I_5 R_E \text{ (Volts peak)}$$

Note that in the test circuit of Figure 10, V_S corresponds to a maximum value of 1 volt peak.

Common Mode Swing

The common-mode swing is the voltage which may be applied to both bases of the signal differential amplifier, without saturating the current sources or without saturating the differential amplifier itself by swinging it into the upper switching devices. This swing is variable depending on the particular circuit and biasing conditions chosen.

Power Dissipation

Power dissipation, P_D, within the integrated circuit package should be calculated as the summation of the voltage-current products at each port, i.e. assuming $V_9 = V_6$, $I_5 = I_6 = I_9$ and ignoring base current, $P_D = 2 I_5 (V_6 - V_{10}) + I_5 (V_5 - V_{10})$ where subscripts refer to pin numbers.

Design Equations

The following is a partial list of design equations needed to operate the circuit with other supply voltages and input conditions.

A. Operating Current

The internal bias currents are set by the conditions at pin 5. Assume:

$$I_5 = I_6 = I_9$$

$$I_B << I_C \text{ for all transistors}$$

then:

$$R_5 = \frac{V^- - \phi}{I_5} - 500\ \Omega$$

where: R_5 is the resistor between pin 5 and ground
ϕ = 0.75 V at T_A = +25°C

The MC1596 has been characterized for the condition I_5 = 1.0 mA and is the generally recommended value.

B. Common-Mode Quiescent Output Voltage

$$V_6 = V_9 = V^+ - I_5 R_L$$

Biasing

The MC1596 requires three dc bias voltage levels which must be set externally. Guidelines for setting up these three levels include maintaining at least 2 volts collector-base bias on all transistors while not exceeding the voltages given in the absolute maximum rating table;

$$30 \text{ Vdc} \ge [(V_6, V_9) - (V_7, V_8)] \ge 2 \text{ Vdc}$$

$$30 \text{ Vdc} \ge [(V_7, V_8) - (V_1, V_4)] \ge 2.7 \text{ Vdc}$$

$$30 \text{ Vdc} \ge [(V_1, V_4) - (V_5)] \ge 2.7 \text{ Vdc}$$

The foregoing conditions are based on the following approximations:

$$V_6 = V_9, V_7 = V_8, V_1 = V_4$$

Bias currents flowing into pins 1, 4, 7, and 8 are transistor base currents and can normally be neglected if external bias dividers are designed to carry 1.0 mA or more.

Transadmittance Bandwidth

Carrier transadmittance bandwidth is the 3 dB bandwidth of the device forward transadmittance as defined by:

$$\gamma_{21C} = \frac{i_o \text{ (each sideband)}}{v_s \text{ (signal)}} \bigg|_{V_o = 0}$$

Signal transadmittance bandwidth is the 3 dB bandwidth of the device forward transadmittance as defined by:

$$\gamma_{21S} = \frac{i_o \text{ (signal)}}{v_s \text{ (signal)}} \bigg|_{V_c = 0.5 \text{ Vdc}, V_o = 0}$$

*Pin number references pertain to this device when packaged in a metal can. To ascertain the corresponding pin numbers for plastic or ceramic packaged devices refer to the first page of this specification sheet.

8

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Coupling and Bypass Capacitors C_1 and C_2

Capacitors C_1 and C_2 (Figure 5) should be selected for a reactance of less than 5.0 ohms at the carrier frequency.

Output Signal, V_o

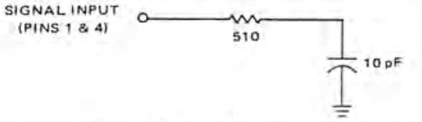
The output signal is taken from pins 6 and 9, either balanced or single-ended. Figure 12 shows the output levels of each of the two output sidebands resulting from variations in both the carrier and modulating signal inputs with a single-ended output connection.

Negative Supply, V_{EE}

V_{EE} should be dc only. The insertion of an RF choke in series with V_{EE} can enhance the stability of the internal current sources.

Signal Port Stability

Under certain values of driving source impedance, oscillation may occur. In this event, an RC suppression network should be connected directly to each input using short leads. This will reduce the Q of the source-tuned circuits that cause the oscillation.



An alternate method for low-frequency applications is to insert a 1 kOhm resistor in series with the inputs, pins 1 and 4. In this case input current drift may cause serious degradation of carrier suppression.

TEST CIRCUITS*

*Pin number references pertain to this device when packaged in a metal can. To ascertain the corresponding pin numbers for plastic or ceramic packaged devices refer to the first page of this specification sheet.

FIGURE 5 – CARRIER REJECTION AND SUPPRESSION

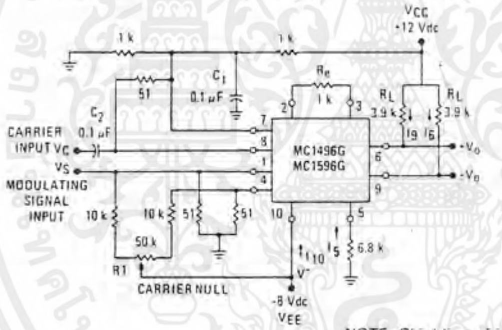
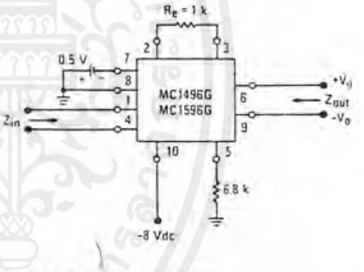


FIGURE 6 – INPUT-OUTPUT IMPEDANCE



NOTE: Shielding of input and output leads may be needed to properly perform these tests.

FIGURE 7 – BIAS AND OFFSET CURRENTS

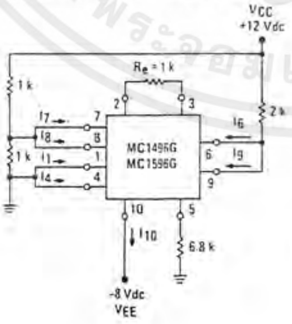
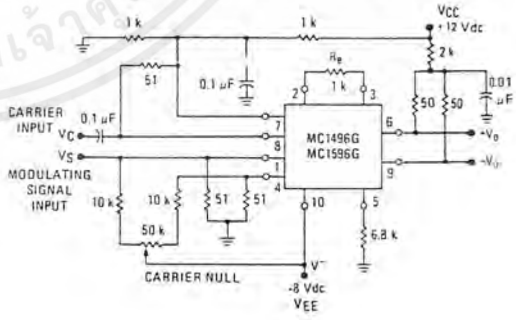


FIGURE 8 – TRANSCONDUCTANCE BANDWIDTH



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

TEST CIRCUITS (continued)

FIGURE 9 – COMMON MODE GAIN

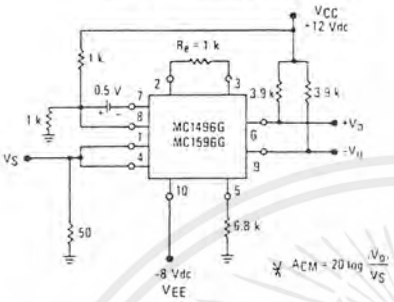
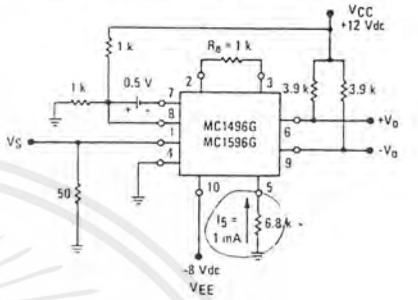


FIGURE 10 – SIGNAL GAIN AND OUTPUT SWING



TYPICAL CHARACTERISTICS

Typical characteristics were obtained with circuit shown in Figure 5, f_C = 500 kHz (sine wave), V_C = 60 mV(rms), f_S = 1 kHz, V_S = 300 mV(rms), T_A = +25°C unless otherwise noted.

FIGURE 11 – SIDEBAND OUTPUT versus CARRIER LEVELS

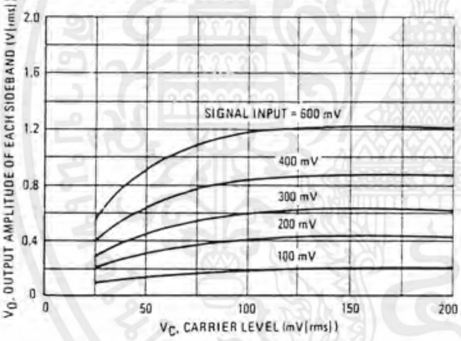


FIGURE 12 – SIGNAL-PORT PARALLEL-EQUIVALENT INPUT RESISTANCE versus FREQUENCY

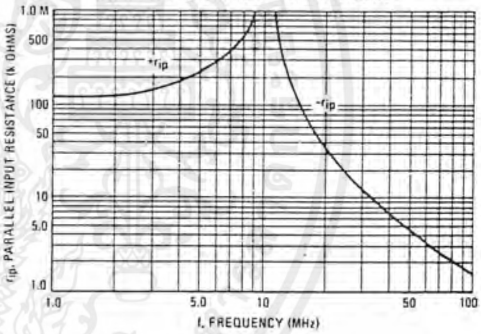


FIGURE 13 – SIGNAL-PORT PARALLEL-EQUIVALENT INPUT CAPACITANCE versus FREQUENCY

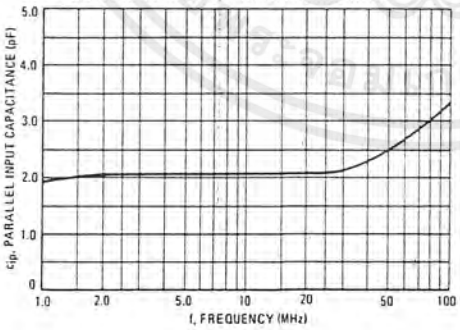
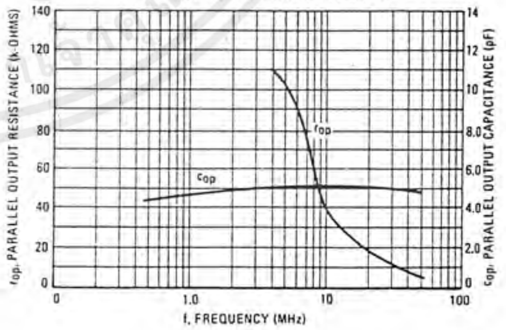


FIGURE 14 – SINGLE-ENDED OUTPUT IMPEDANCE versus FREQUENCY



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

TYPICAL CHARACTERISTICS (continued)

Typical characteristics were obtained with circuit shown in Figure 5, f_C = 500 kHz (sine wave), V_C = 60 mV(rms), f_S = 1 kHz, V_S = 300 mV(rms), T_A = +25°C unless otherwise noted.

FIGURE 15 – SIDEBAND AND SIGNAL PORT TRANSADMITTANCES versus FREQUENCY

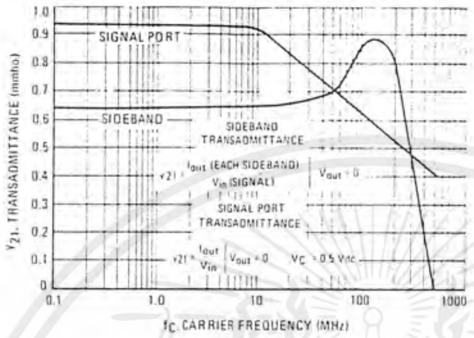


FIGURE 16 – CARRIER SUPPRESSION versus TEMPERATURE

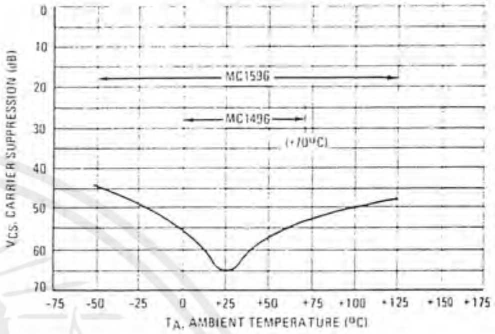


FIGURE 17 – SIGNAL-PORT FREQUENCY RESPONSE

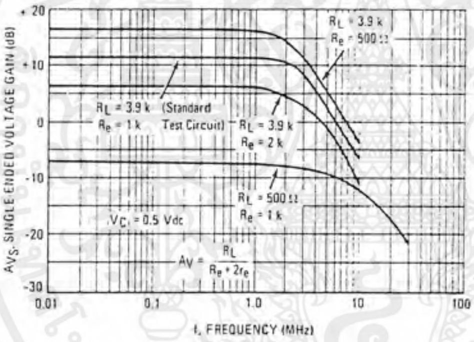


FIGURE 18 – CARRIER SUPPRESSION versus FREQUENCY

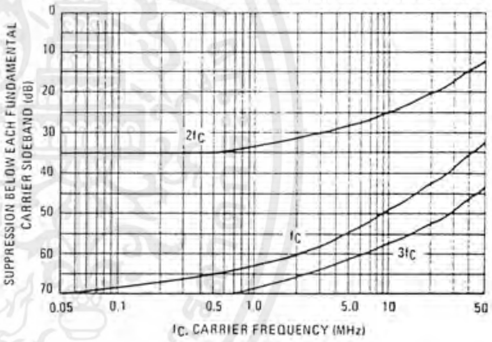


FIGURE 19 – CARRIER FEEDTHROUGH versus FREQUENCY

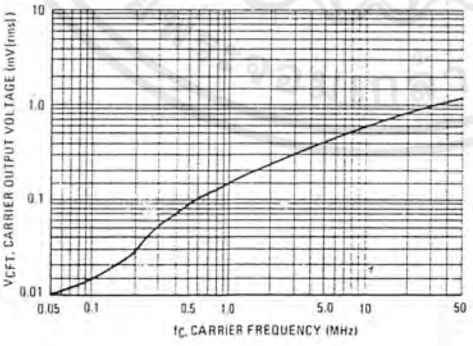
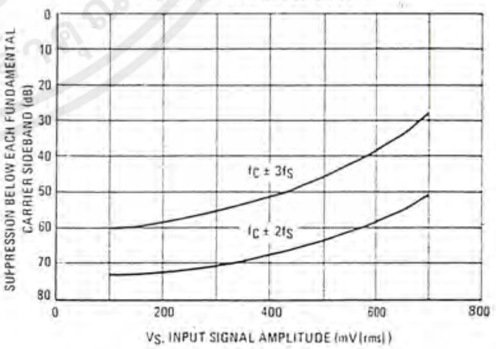


FIGURE 20 – SIDEBAND HARMONIC SUPPRESSION versus INPUT SIGNAL LEVEL



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

TYPICAL CHARACTERISTICS (continued)

FIGURE 21 — SUPPRESSION OF CARRIER HARMONIC SIDEBANDS versus CARRIER FREQUENCY

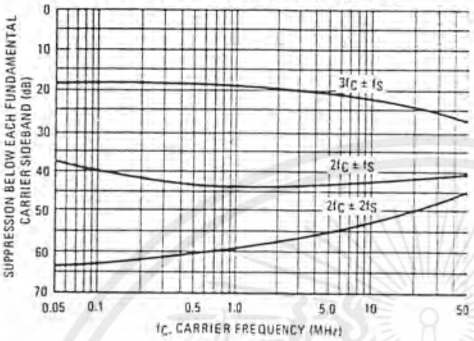
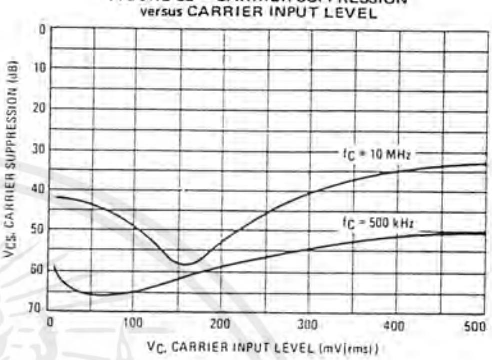


FIGURE 22 — CARRIER SUPPRESSION versus CARRIER INPUT LEVEL



OPERATIONS INFORMATION

The MC1596/MC1496, a monolithic balanced modulator circuit, is shown in Figure 23.

This circuit consists of an upper quad differential amplifier driven by a standard differential amplifier with dual current sources. The output collectors are cross-coupled so that full-wave balanced multiplication of the two input voltages occurs. That is, the output signal is a constant times the product of the two input signals.

Mathematical analysis of linear ac signal multiplication indicates that the output spectrum will consist of only the sum and difference of the two input frequencies. Thus, the device may be used as a balanced modulator, doubly balanced mixer, product detector, frequency doubler, and other applications requiring these particular output signal characteristics.

The lower differential amplifier has its emitters connected to the package pins so that an external emitter resistance may be used. Also, external load resistors are employed at the device output.

Signal Levels

The upper quad differential amplifier may be operated either in a linear or a saturated mode. The lower differential amplifier is operated in a linear mode for most applications.

For low-level operation at both input ports, the output signal will contain sum and difference frequency components and have an amplitude which is a function of the product of the input signal amplitudes.

For high-level operation at the carrier input port and linear operation at the modulating signal port, the output signal will contain sum and difference frequency components of the modulating signal frequency and the fundamental and odd harmonics of the carrier frequency. The output amplitude will be a constant times the modulating signal amplitude. Any amplitude variations in the carrier signal will not appear in the output.

FIGURE 23 — CIRCUIT SCHEMATIC*

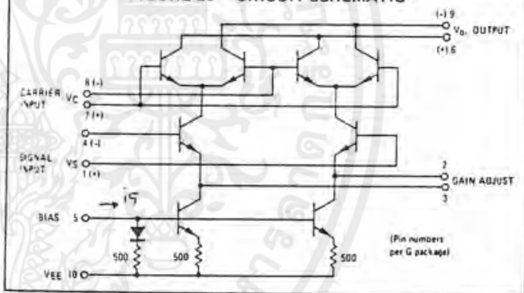
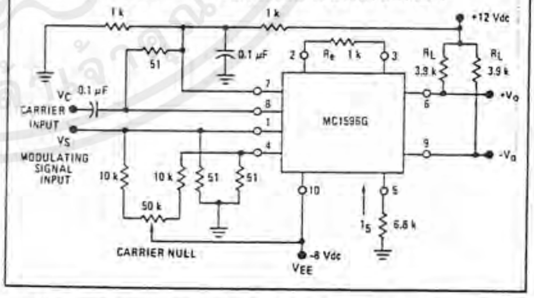


FIGURE 24 — TYPICAL MODULATOR CIRCUIT*



*Pin number references pertain to this device when packaged in a metal can. To ascertain the corresponding pin numbers for plastic or ceramic packaged devices refer to the first page of this specification sheet.

8

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

OPERATIONS INFORMATION (continued)

The linear signal handling capabilities of a differential amplifier are well defined. With no emitter degeneration, the maximum input voltage for linear operation is approximately 25 mV peak. Since the upper differential amplifier has its emitters internally connected, this voltage applies to the carrier input port for all conditions.

Since the lower differential amplifier has provisions for an external emitter resistance, its linear signal handling range may be adjusted by the user. The maximum input voltage for linear operation may be approximated from the following expression:

$$V = (I_5)(R_E) \text{ volts peak.}$$

This expression may be used to compute the minimum value of R_E for a given input voltage amplitude.

FIGURE 25 – TABLE 1
VOLTAGE GAIN AND OUTPUT FREQUENCIES

Carrier Input Signal (V_C)	Approximate Voltage Gain	Output Signal Frequency(s)
Low-level dc	$\frac{R_L V_C}{2(R_E + 2r_e)\left(\frac{KT}{q}\right)}$	f_M
High-level dc	$\frac{R_L}{R_E + 2r_e}$	f_M
Low-level ac	$\frac{R_L V_{C(rms)}}{2\sqrt{2}\left(\frac{KT}{q}\right)(R_E + 2r_e)}$	$f_C \pm f_M$
High-level ac	$\frac{0.637 R_L}{R_E + 2r_e}$	$f_C \pm f_M$, $3f_C \pm f_M$, $5f_C \pm f_M$, . . .

The gain from the modulating signal input port to the output is the MC1596/MC1496 gain parameter which is most often of interest to the designer. This gain has significance only when the lower differential amplifier is operated in a linear mode, but this includes most applications of the device.

As previously mentioned, the upper quad differential amplifier may be operated either in a linear or a saturated mode. Approximate gain expressions have been developed for the MC1596/MC1496 for a low-level modulating signal input and the following carrier input conditions:

1) Low-level dc
2) High-level dc
3) Low-level ac
4) High-level ac

These gains are summarized in Table 1, along with the frequency components contained in the output signal.

NOTES:

1. Low-level Modulating Signal, V_M, assumed in all cases. V_C is Carrier Input Voltage.
2. When the output signal contains multiple frequencies, the gain expression given is for the output amplitude of each of the two desired outputs, $f_C + f_M$ and $f_C - f_M$.
3. All gain expressions are for a single-ended output. For a differential output connection, multiply each expression by two.
4. R_L = Load resistance.
5. R_E = Emitter resistance between pins 2 and 3.
6. r_e = Transistor dynamic emitter resistance, at +25°C;

$$r_e \approx \frac{26 \text{ mV}}{I_5 \text{ (mA)}}$$

7. K = Boltzmann's Constant, T = temperature in degrees Kelvin, q = the charge on an electron.

$$\frac{KT}{q} \approx 26 \text{ mV at room temperature}$$

APPLICATIONS INFORMATION

Double sideband suppressed carrier modulation is the basic application of the MC1596/MC1496. The suggested circuit for this application is shown on the front page of this data sheet.

In some applications, it may be necessary to operate the MC1596/MC1496 with a single dc supply voltage instead of dual supplies. Figure 26 shows a balanced modulator designed for operation with a single +12 Vdc supply. Performance of this circuit is similar to that of the dual supply modulator.

AM Modulator

The circuit shown in Figure 27 may be used as an amplitude modulator with a minor modification.

All that is required to shift from suppressed carrier to AM operation is to adjust the carrier null potentiometer for the proper amount of carrier insertion in the output signal.

However, the suppressed carrier null circuitry as shown in Figure 27 does not have sufficient adjustment range. Therefore, the modulator may be modified for AM operation by changing two resistor values in the null circuit as shown in Figure 28.

Product Detector

The MC1596/MC1496 makes an excellent SSB product detector (see Figure 29).

This product detector has a sensitivity of 3.0 microvolts and a dynamic range of 90 dB when operating at an intermediate frequency of 9 MHz.

The detector is broadband for the entire high frequency range. For operation at very low intermediate frequencies down to 50 kHz the 0.1 μF capacitors on pins 7 and 8 should be increased to 1.0 μF. Also, the output filter at pin 9 can be tailored to a specific intermediate frequency and audio amplifier input impedance.

As in all applications of the MC1596/MC1496, the emitter resistance between pins 2 and 3 may be increased or decreased to adjust circuit gain, sensitivity, and dynamic range.

This circuit may also be used as an AM detector by introducing carrier signal at the carrier input and an AM signal at the SSB input.

The carrier signal may be derived from the intermediate frequency signal or generated locally. The carrier signal may be introduced with or without modulation, provided its level is sufficiently high to saturate the upper quad differential amplifier. If the carrier signal is modulated, a 300 mV(rms) input level is recommended.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

APPLICATIONS INFORMATION (continued)

Doubly Balanced Mixer

The MC1596/MC1496 may be used as a doubly balanced mixer with either broadband or tuned narrow band input and output networks.

The local oscillator signal is introduced at the carrier input port with a recommended amplitude of 100 mV(rms).

Figure 30 shows a mixer with a broadband input and a tuned output.

Frequency Doubler

The MC1596/MC1496 will operate as a frequency doubler by introducing the same frequency at both input ports.

Figures 31 and 32 show a broadband frequency doubler and a tuned output very high frequency (VHF) doubler, respectively.

Phase Detection and FM Detection

The MC1596/MC1496 will function as a phase detector. High-level input signals are introduced at both inputs. When both inputs are at the same frequency the MC1596/MC1496 will deliver an output which is a function of the phase difference between the two input signals.

An FM detector may be constructed by using the phase detector principle. A tuned circuit is added at one of the inputs to cause the two input signals to vary in phase as a function of frequency. The MC1596/MC1496 will then provide an output which is a function of the input signal frequency.

TYPICAL APPLICATIONS

Pin number references pertain to this device when packaged in a metal can. To ascertain the corresponding pin numbers for plastic or ceramic packaged devices refer to the first page of this specification sheet.

FIGURE 26 – BALANCED MODULATOR (+12 Vdc SINGLE SUPPLY)

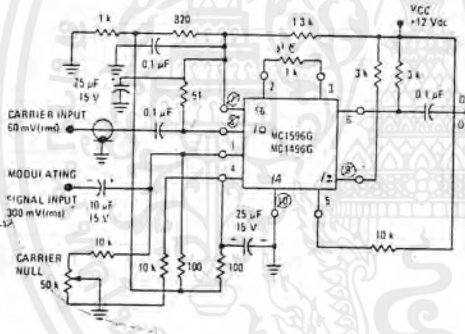


FIGURE 27 – BALANCED MODULATOR-DEMODULATOR

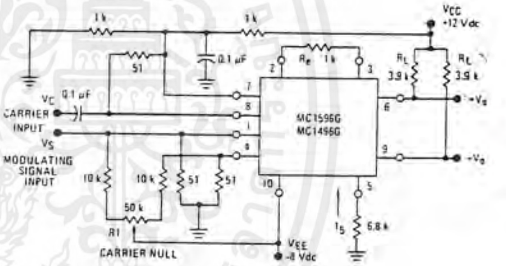


FIGURE 28 – AM MODULATOR CIRCUIT

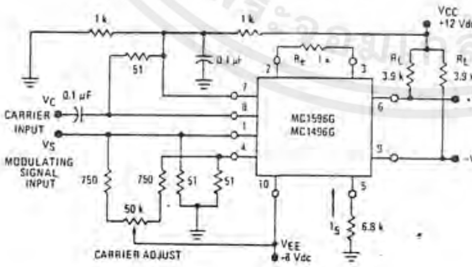
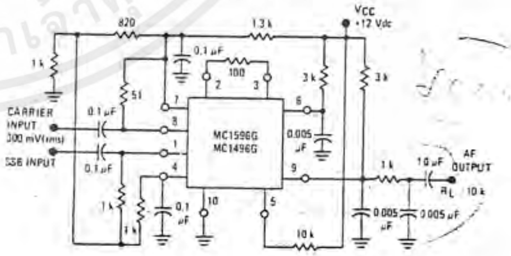


FIGURE 29 – PRODUCT DETECTOR (+12 Vdc SINGLE SUPPLY)



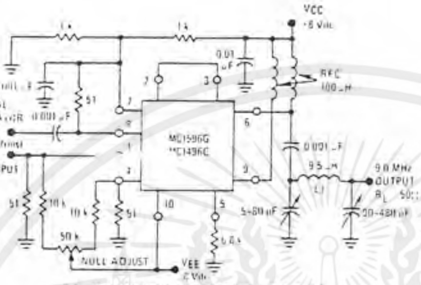
8

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

TYPICAL APPLICATIONS (continued)

Pin number references pertain to this device when packaged in a metal can. To ascertain the corresponding pin numbers for plastic or ceramic packaged devices refer to the first page of this specification sheet.

FIGURE 30 – DOUBLY BALANCED MIXER (BROADBAND INPUTS, 9.0 MHz TUNED OUTPUT)



L1 44 TURNS AWG NO. 28 ENAMELED WIRE WOUND ON MICROMETALS TYPE 44-6 TOROID CORE

FIGURE 31 – LOW-FREQUENCY DOUBLER

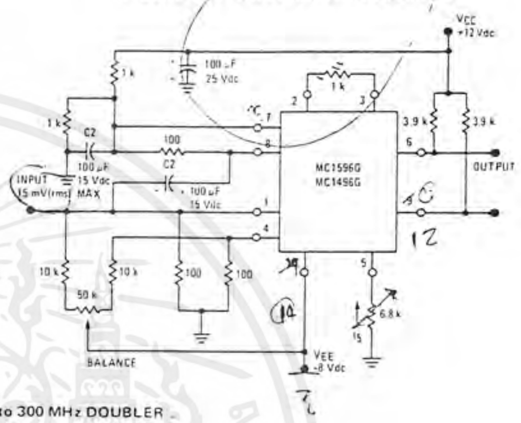
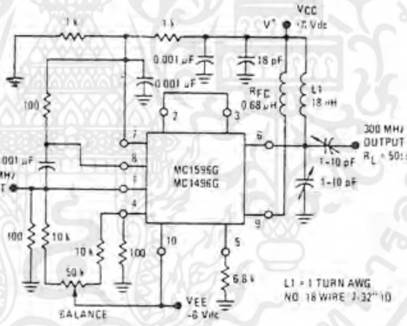
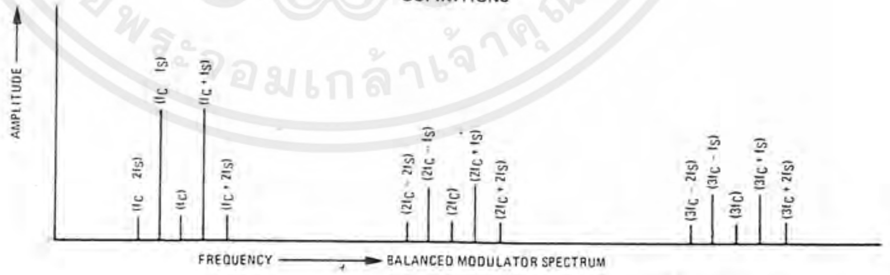


FIGURE 32 – 150 to 300 MHz DOUBLER



DEFINITIONS



f_C CARRIER FUNDAMENTAL
f_S MODULATING SIGNAL
$f_C \pm f_S$ FUNDAMENTAL CARRIER SIDEBANDS
$f_C \pm nf_S$ FUNDAMENTAL CARRIER SIDEBAND HARMONICS
nf_C CARRIER HARMONICS
$nf_C \pm nf_S$ CARRIER HARMONIC SIDEBANDS

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

MC145151-2

Parallel-Input PLL Frequency Synthesizer

Interfaces with Single-Modulus Prescalers

P SUFFIX
PLASTIC DIP
CASE 710

DW SUFFIX
SOG PACKAGE
CASE 751F

ORDERING INFORMATION

MC145151P2	Plastic DIP
MC145151DW2	SOG Package

The MC145151–2 is programmed by 14 parallel–input data lines for the N counter and three input lines for the R counter. The device features consist of a reference oscillator, selectable–reference divider, digital–phase detector, and 14–bit programmable divide–by–N counter.

The MC145151–2 is an improved–performance drop–in replacement for the MC145151–1. The power consumption has decreased and ESD and latch–up performance have improved.

- Operating Temperature Range: – 40 to 85°C
- Low Power Consumption Through Use of CMOS Technology
- 3.0 to 9.0 V Supply Range
- On– or Off–Chip Reference Oscillator Operation
- Lock Detect Signal
- ÷ N Counter Output Available
- Single Modulus/Parallel Programming
- 8 User–Selectable ÷ R Values: 8, 128, 256, 512, 1024, 2048, 2410, 8192
- ÷ N Range = 3 to 16383
- "Linearized" Digital Phase Detector Enhances Transfer Function Linearity
- Two Error Signal Options: Single–Ended (Three–State) or Double–Ended
- Chip Complexity: 8000 FETs or 2000 Equivalent Gates

PIN ASSIGNMENT

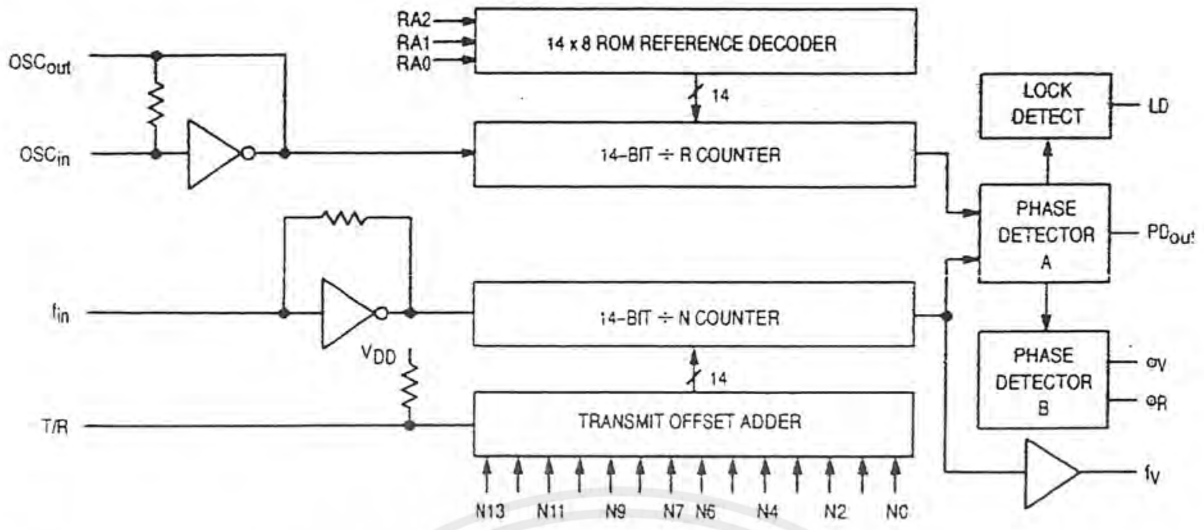
Signal	Pin	Pin	Signal
f_{in}	1	28	LD
V_{SS}	2	27	OSC_{in}
V_{DD}	3	26	OSC_{out}
PD_{out}	4	25	N11
RA0	5	24	N10
RA1	6	23	N13
RA2	7	22	N12
ϕ_R	8	21	T/R
ϕ_V	9	20	N9
f_V	10	19	N8
N0	11	18	N7
N1	12	17	N6
N2	13	16	N5
N3	14	15	N4

REV 1
8/95

© Motorola, Inc. 1995

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

MC145151–2 BLOCK DIAGRAM



NOTE: N0 – N13 inputs and inputs RA0, RA1, and RA2 have pull–up resistors that are not shown.

PIN DESCRIPTIONS

INPUT PINS

f_{in}
Frequency Input (Pin 1)

Input to the ÷ N portion of the synthesizer. f_{in} is typically derived from loop VCO and is ac coupled into the device. For larger amplitude signals (standard CMOS logic levels) dc coupling may be used.

RA0 – RA2
Reference Address Inputs (Pins 5, 6, 7)

These three inputs establish a code defining one of eight possible divide values for the total reference divider, as defined by the table below.

Pull–up resistors ensure that inputs left open remain at a logic 1 and require only a SPST switch to alter data to the zero state.

Reference Address Code			Total Divide Value
RA2	RA1	RA0	
0	0	0	8
0	0	1	128
0	1	0	256
0	1	1	512
1	0	0	1024
1	0	1	2048
1	1	0	2410
1	1	1	8192

N0 – N11
N Counter Programming Inputs (Pins 11 – 20, 22 – 25)

These inputs provide the data that is preset into the ÷ N counter when it reaches the count of zero. N0 is the least significant and N13 is the most significant. Pull–up resistors ensure that inputs left open remain at a logic 1 and require only an SPST switch to alter data to the zero state.

T/R
Transmit/Receive Offset Adder Input (Pin 21)

This input controls the offset added to the data provided at the N inputs. This is normally used for offsetting the VCO frequency by an amount equal to the IF frequency of the transceiver. This offset is fixed at 856 when T/R is low and gives no offset when T/R is high. A pull–up resistor ensures that no connection will appear as a logic 1 causing no offset addition.

OSC_{in}, OSC_{out}
Reference Oscillator Input/Output (Pins 27, 26)

These pins form an on–chip reference oscillator when connected to terminals of an external parallel resonant crystal. Frequency setting capacitors of appropriate value must be connected from OSC_{in} to ground and OSC_{out} to ground. OSC_{in} may also serve as the input for an externally–generated reference signal. This signal is typically ac coupled to OSC_{in}, but for larger amplitude signals (standard CMOS logic levels) dc coupling may also be used. In the external reference mode, no connection is required to OSC_{out}.

OUTPUT PINS

PD_{out}
Phase Detector A Output (Pin 4)

Three–state output of phase detector for use as loop–error signal. Double–ended outputs are also available for this purpose (see ϕ_V and ϕ_R).

Frequency $f_V > f_R$ or f_V Leading: Negative Pulses
Frequency $f_V < f_R$ or f_V Lagging: Positive Pulses
Frequency $f_V = f_R$ and Phase Coincidence: High–Impedance State

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการ

ϕ_R, ϕ_V
Phase Detector B Outputs (Pins 8, 9)

These phase detector outputs can be combined externally for a loop–error signal. A single–ended output is also available for this purpose (see **PD$_{out}$**).

If frequency f_V is greater than f_R or if the phase of f_V is leading, then error information is provided by ϕ_V pulsing low. ϕ_R remains essentially high.

If the frequency f_V is less than f_R or if the phase of f_V is lagging, then error information is provided by ϕ_R pulsing low. ϕ_V remains essentially high.

If the frequency of $f_V = f_R$ and both are in phase, then both ϕ_V and ϕ_R remain high except for a small minimum time period when both pulse low in phase.

f_V
N Counter Output (Pin 10)

This is the buffered output of the ÷ N counter that is internally connected to the phase detector input. With this output available, the ÷ N counter can be used independently.

LD
Lock Detector Output (Pin 28)

Essentially a high level when loop is locked (f_R, f_V of same phase and frequency). Pulses low when loop is out of lock.

POWER SUPPLY

V_{DD}
Positive Power Supply (Pin 3)

The positive power supply potential. This pin may range from + 3 to + 9 V with respect to V_{SS}.

V_{SS}
Negative Power Supply (Pin 2)

The most negative supply potential. This pin is usually ground.

TYPICAL APPLICATIONS

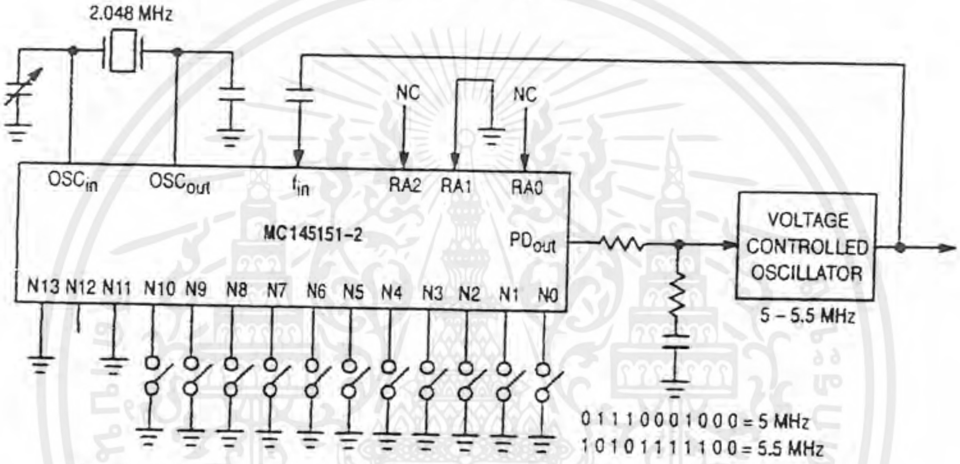
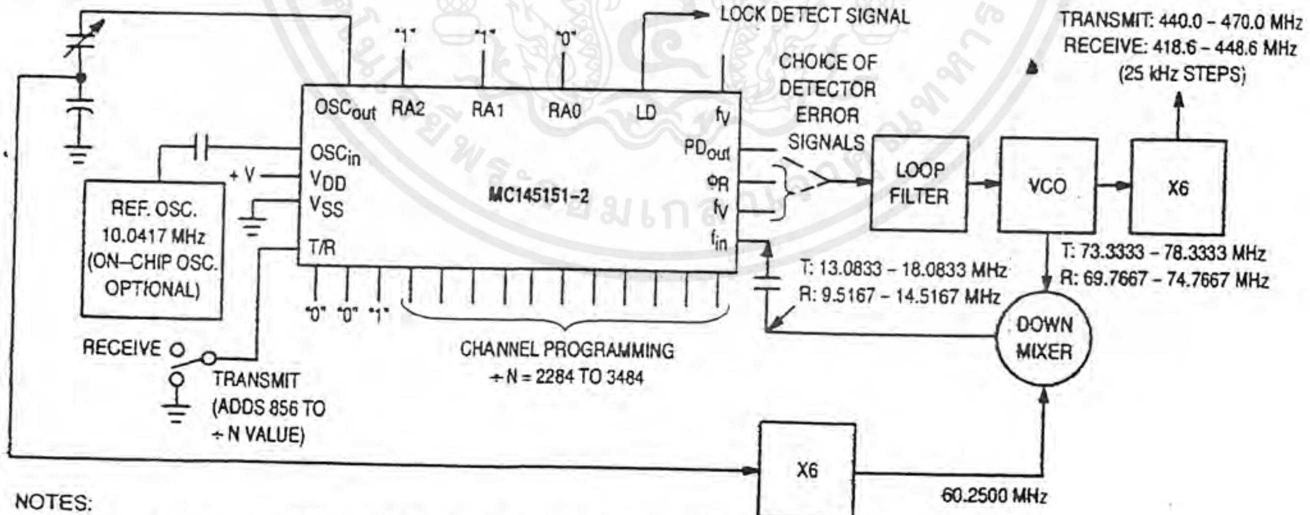


Figure 1. 5 MHz to 5.5 MHz Local Oscillator Channel Spacing = 1 kHz



NOTES:
1. f_R = 4.1667 kHz; ÷ R = 2410; 21.4 MHz low side injection during receive.
2. Frequency values shown are for the 440 – 470 MHz band. Similar implementation applies to the 406 – 440 MHz band. For 470 – 512 MHz, consider reference oscillator frequency X9 for mixer injection signal (90.3750 MHz).

Figure 2. Synthesizer for Land Mobile Radio UHF Bands

MC145151–2 Data Sheet Continued on Page 23

เอกสารนี้เป็นเอกสารที่จัดทำขึ้นสำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์...
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Dual Type D Master-Slave Flip-Flop

MC10131

The MC10131 is a dual master–slave type D flip–flop. Asynchronous Set (S) and Reset (R) override Clock (C_C) and Clock Enable (C_E) inputs. Each flip–flop may be clocked separately by holding the common clock in the low state and using the enable inputs for the clocking function. If the common clock is to be used to clock the flip–flop, the Clock Enable inputs must be in the low state. In this case, the enable inputs perform the function of controlling the common clock.

The output states of the flip–flop change on the positive transition of the clock. A change in the information present at the data (D) input will not affect the output information at any other time due to master slave construction.

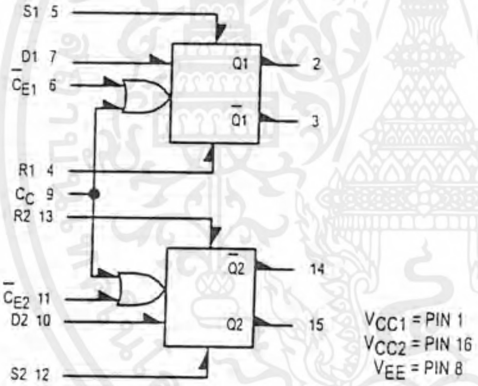
L SUFFIX
CERAMIC PACKAGE
CASE 620–10

P SUFFIX
PLASTIC PACKAGE
CASE 648–08

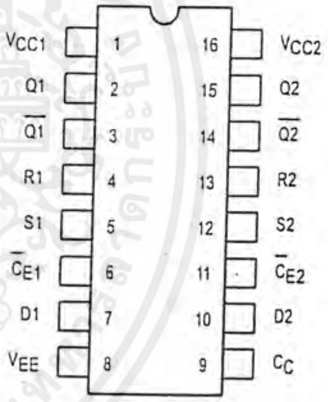
FN SUFFIX
PLCC
CASE 775–02

P_D = 235 mW typ/pkg (No Load)
F_{Tog} = 160 MHz typ
t_{pd} = 3.0 ns typ
t_r, t_f = 2.5 ns typ (20%–80%)

LOGIC DIAGRAM



DIP
PIN ASSIGNMENT



Pin assignment is for Dual–in–Line Package. For PLCC pin assignment, see the Pin Conversion Tables on page 6–11 of the Motorola MECL Data Book (DL122/D).

CLOCKED TRUTH TABLE

C	D	Q_{n+1}
L	X	Q_n
H	L	L
H	H	H

$C = C_E + C_C$. A clock H is a clock transition from a low to a high state.

R–S TRUTH TABLE

R	S	Q_{n+1}
L	L	Q_n
L	H	H
H	L	L
H	H	N.D.

N.D. = Not Defined

© Motorola, Inc. 1996

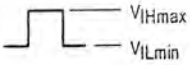
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ELECTRICAL CHARACTERISTICS

Characteristic	Symbol	Pin Under Test	Test Limits −30°C Min	−30°C Max	+25°C Min	+25°C Typ	+25°C Max	+85°C Min	+85°C Max	Unit
Power Supply Drain Current	I_E	8		62		45	56		62	mAdc
Input Current	I_{inH}	4		525			330		330	μAdc
		5		525			330		330	
		6		350			220		220	
		7		390			245		245	
		9		425			265		265	
	I_{inL}	4, 5*	0.5		0.5			0.3		μAdc
		6, 7, 9*	0.5		0.5			0.3		
Output Voltage Logic 1	V_{OH}	2	−1.060	−0.890	−0.960		−0.810	−0.890	−0.700	Vdc
		2†	−1.060	−0.890	−0.960		−0.810	−0.890	−0.700	
Output Voltage Logic 0	V_{OL}	2	−1.890	−1.675	−1.850		−1.650	−1.825	−1.615	Vdc
		3†	−1.890	−1.675	−1.850		−1.650	−1.825	−1.615	
Threshold Voltage Logic 1	V_{OHA}	2	−1.080		−0.980			−0.910		Vdc
		2†	−1.080		−0.980			−0.910		
Threshold Voltage Logic 0	V_{OLA}	2		−1.655			−1.630		−1.595	Vdc
		3†		−1.655			−1.630		−1.595	
Switching Times (50Ω Load) Clock Input										ns
Propagation Delay	t_{9+2-}	2	1.7	4.6	1.8	3.0	4.5	1.8	5.0	
	t_{9+2+}	2	1.7	4.6	1.8	3.0	4.5	1.8	5.0	
	t_{6+2+}	2	1.7	4.6	1.8	3.0	4.5	1.8	5.0	
	t_{6+2-}	2	1.7	4.6	1.8	3.0	4.5	1.8	5.0	
Rise Time (20 to 80%)	t_{2+}	2	1.0	4.6	1.1	2.5	4.5	1.1	4.9	
Fall Time (20 to 80%)	t_{2-}	2	1.0	4.6	1.1	2.5	4.5	1.1	4.9	
Set Input										ns
Propagation Delay	t_{5+2+}	2	1.7	4.4	1.8	2.8	4.3	1.8	4.8	
	t_{12+15+}	15	1.7	4.4	1.8	2.8	4.3	1.8	4.8	
	t_{5+3-}	3	1.7	4.4	1.8	2.8	4.3	1.8	4.8	
	t_{12+14-}	14	1.7	4.4	1.8	2.8	4.3	1.8	4.8	
Reset Input										ns
Propagation Delay	t_{4+2-}	2	1.7	4.4	1.8	2.8	4.3	1.8	4.8	
	t_{13+15-}	15	1.7	4.4	1.8	2.8	4.3	1.8	4.8	
	t_{4+3-}	3	1.7	4.4	1.8	2.8	4.3	1.8	4.8	
	t_{13+14+}	14	1.7	4.4	1.8	2.8	4.3	1.8	4.8	
Setup Time	t_{setup}	7	2.5		2.5			2.5		ns
Hold Time	t_{hold}	7	1.5		1.5			1.5		ns
Toggle Frequency (Max)	f_{tog}	2	125		125	160		125		MHz

* Individually test each input applying V_{IH} or V_{IL} to input under test.

† Output level to be measured after a clock pulse has been applied to the $\overline{C}_E$ Input (Pin 6)



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ELECTRICAL CHARACTERISTICS (continued)

			TEST VOLTAGE VALUES (Volts)					
		@ Test Temperature	V_{IHmax}	V_{ILmin}	V_{IHAmin}	V_{ILAmax}	V_{EE}	
		−30°C	−0.890	−1.890	−1.205	−1.500	−5.2	
		+25°C	−0.810	−1.850	−1.105	−1.475	−5.2	
		+85°C	−0.700	−1.825	−1.035	−1.440	−5.2	
		Pin Under Test	TEST VOLTAGE APPLIED TO PINS LISTED BELOW					
Characteristic	Symbol		V_{IHmax}	V_{ILmin}	V_{IHAmin}	V_{ILAmax}	V_{EE}	(V_{CC}) Gnd
Power Supply Drain Current	I_E	8					8	1, 16
Input Current	I_{inH}	4	4				8	1, 16
		5	5				8	1, 16
		6	6				8	1, 16
		7	7				8	1, 16
		9	9				8	1, 16
	I_{inL}	4, 5*		*			8	1, 16
		6, 7, 9*		*			8	1, 16
Output Voltage Logic 1	V_{OH}	2	5				8	1, 16
		2†	7				8	1, 16
Output Voltage Logic 0	V_{OL}	2	5				8	1, 16
		3†	7				8	1, 16
Threshold Voltage Logic 1	V_{OHA}	2			5		8	1, 16
		2†			7	9	8	1, 16
Threshold Voltage Logic 0	V_{OLA}	2			5		8	1, 16
		3†			7	9	8	1, 16
Switching Times (50Ω Load) Clock Input			+1.11Vdc		Pulse In	Pulse Out	−3.2 V	+2.0 V
Propagation Delay	t_{9+2-}	2			9	2	8	1, 16
	t_{9+2+}	2	7		9	2	8	1, 16
	t_{6+2+}	2	7		6	2	8	1, 16
	t_{6+2-}	2			6	2	8	1, 16
Rise Time (20 to 80%)	t_{2+}	2	7		9	2	8	1, 16
Fall Time (20 to 80%)	t_{2-}	2			9	2	8	1, 16
Set Input Propagation Delay	t_{5+2+}	2			5	2	8	1, 16
	t_{12+15+}	15	6		12	15	8	1, 16
	t_{5+3-}	3			5	3	8	1, 16
	t_{12+14-}	14	9		12	14	8	1, 16
Reset Input Propagation Delay	t_{4+2-}	2			4	2	8	1, 16
	t_{13+15-}	15	6		13	15	8	1, 16
	t_{4+3-}	3			4	3	8	1, 16
	t_{13+14+}	14	9		13	14	8	1, 16
Setup Time	t_{setup}	7			6, 7	2	8	1, 16
Hold Time	t_{hold}	7			6, 7	2	8	1, 16
Toggle Frequency (Max)	f_{tog}	2			6	2	8	1, 16

* Individually test each input applying V_{IH} or V_{IL} to input under test.

† Output level to be measured after a clock pulse has been applied to the $\overline{C}_E$ Input (Pin 6) — V_{IHmax} / V_{ILmin}

Each MECL 10,000 series circuit has been designed to meet the dc specifications shown in the test table, after thermal equilibrium has been established. The circuit is in a test socket or mounted on a printed circuit board and transverse air flow greater than 500 linear fpm is maintained. Outputs are terminated through a 50–ohm resistor to −2.0 volts. Test procedures are shown for only one gate. The other gates are tested in the same manner.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้