สำนักหอสมุดกลาง พระจอมเกล้าลาดกระบัง

ชุดฝึกการสื่อสารดิจิตอล

Digital Communication Demostrator

จัดทำโดย

นายพินิจ ติณชาติอารักษ์ 41012064

นายสุริยา คุณทรหาร 41012076

ปริญญานิพนธ์นี้เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรปริญญาอุตสาหกรรมศาสตรบัณฑิต

สาขาวิชาเทคโนโลยีโทรคมนาคม

คณะวิศวกรรมศาสตร์

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

ปีการศึกษา 2542

ปพ.
พ 685ช
ล5ก2

เลขหมู่.....
เลขทะเบียน 37166
วัน, เดือน, ปี 4 ก.ย. 2543

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

หัวข้อปริญญานิพนธ์ ชุดฝึกการสื่อสารดิจิตอล Digital Communication Demostrator

โดย นายพินิจ ติณชาติอารักษ์
นายสุริยา คุณทรหาร

ภาควิชา เทคนิคอุตสาหกรรม
อาจารย์ที่ปรึกษา ผศ.อรลาภ แสงอรุณ
รศ. ดร.กนก เจนจิระพงศ์เวช

คณะวิศวกรรมศาสตร์สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง อนุมัติให้นับปริญญานิพนธ์ ฉบับนี้เป็นส่วนหนึ่งของการศึกษาตามหลักสูตร ปริญญาอุตสาหกรรมศาสตรบัณฑิต

คณะกรรมการสอบปริญญานิพนธ์

.....ประธานกรรมการ
(.....)

.....กรรมการ
(.....)

.....กรรมการ
(.....)

.....กรรมการ
(.....)

.....กรรมการ
(.....)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญ

เรื่อง	หน้า
บทคัดย่อภาษาไทย	ก
บทคัดย่อภาษาอังกฤษ	ข
กิตติกรรมประกาศ	ค
บทที่ 1 บทนำ	1
1.1 ความเป็นมาของโครงงาน	1
1.2 วัตถุประสงค์ของโครงงาน	1
1.3 ขอบเขตของโครงงาน	2
บทที่ 2 ทฤษฎีที่เกี่ยวข้อง	3
2.1 มาตรฐานของการส่งข้อมูลแบบพัลส์โค๊ดมอดูเลชั่น (PCM)	3
2.1.1 การสุ่มสัญญาณ(Sampling)	4
2.1.2 การเทียบระดับแรงดัน	7
2.1.3 การควอนไตซ์แบบไม่คงที่	13
2.1.4 การเอ็นโค๊ด	15
2.2 ความหมายของคำว่า "แอกทีฟฟิลเตอร์" (Active filter)	16
2.3 สวิตช์-คาปาซิเตอร์	17
2.4 ไอซีสำเร็จรูปของสวิตคาปาซิเตอร์	24
2.5 วงจรใช้งาน	26
2.6 การทำงานของ MF10	28
2.7 วงจรแซมปลิ้ง (Sampling circuit)	30
2.7.1.วงจรสุ่มแบบ Inverting Close Loop	32
2.7.2 วงจร สุ่มแบบ Non inverting Closed Loop	33
2.8 วงจรแปลงสัญญาณอะนาลอกเป็นดิจิตอลและ สัญญาณดิจิตอลเป็นอะนาลอก	34
2.8.1 วงจรแปลงสัญญาณอะนาลอกเป็นดิจิตอล	35
2.8.1.1 วิธีความชันเดี่ยว (Single Slope)	36
2.8.1.2 วิธีความชันคู่ (Dual Slope)	39
2.8.1.3 วิธีการประมาณสืบเนื่อง (Successive Approximation)	42
2.8.1.4 วิธีการแบบแฟลช (Flash)	46
2.8.1.5 วิธีการแบบการติดตาม (Tracking)	47
2.8.2 วงจรแปลงค่าดิจิตอลเป็นสัญญาณอะนาลอก	48

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญรูป

เรื่อง	หน้า
รูปที่ 2.1 เปรียบเทียบผลของสัญญาณรบกวนที่เกิดขึ้นระหว่างการส่งข้อมูลแบบ Analog & Digital	3
รูปที่ 2.2 แสดงพื้นฐานกระบวนการทำงานของการส่งข้อมูลแบบ PCM	4
รูปที่ 2.3 รูปสัญญาณที่ผ่านการสุ่มเทียบกับสัญญาณต้นฉบับ	5
รูปที่ 2.4 แสดงการมัลติเพล็กซ์ทางเวลาของมาตรฐาน PCM แบบ 30 ช่องสัญญาณ	5
รูปที่ 2.5 แสดงสเปกตรัมของสัญญาณ	7
รูปที่ 2.6 แสดงรายละเอียดและศัพท์ที่ใช้ในกระบวนการเทียบระดับแรงดัน	8
รูปที่ 2.7 แสดงการกำหนดระดับตัดสินของระบบทวนสัญญาณดิจิตอลซึ่งกำหนดย่านแรงดันตัดสินไว้ 2 ย่าน	9
รูปที่ 2.8 การควอนไตซ์แบบระดับคงที่ พร้อมการแปลงค่าเป็นรหัสไบนารีขนาด 4 บิต	10
รูปที่ 2.9 แสดงการผิดเพี้ยนของสัญญาณที่ถูกแทนค่ากลับที่เครื่องรับปลายทางอันเนื่องจากผลของกระบวนการแทนค่าระดับควอนไตซ์	10
รูปที่ 2.10 กราฟแสดงคุณสมบัติของคอมแพนเดอร์โดยแบ่งความสัมพันธ์ระหว่างระดับสัญญาณอินพุทและเอาต์พุต เป็น 13 ช่วง ตามมาตรฐาน A-law	14
รูปที่ 2.11 ความสัมพันธ์ระหว่างการจัดระดับควอนไตซ์ที่ผ่านกระบวนการบีบอัดข้อมูลตามมาตรฐาน CCITT กับระดับควอนไตซ์แบบคงที่	14
รูปที่ 2.12 แสดงผลหลังจากผ่านการบีบอัดและขยายสัญญาณจะเห็นได้ว่าผลลัพธ์สุดท้ายระหว่างสัญญาณอินพุทและเอาต์พุตเป็นแบบเชิงเส้น	15
รูปที่ 2.13 Binary PCM	16
รูปที่ 2.14 โครงสร้างภายในของมอสทรานซิสเตอร์	17
รูปที่ 2.15 มอสสวิตช์อยู่ในสภาวะเปิดหรือปิดขึ้นอยู่กับแรงดัน V_{GS} อยู่ในสภาวะใด	18
รูปที่ 2.16 แสดงรูปร่างสัญญาณนาฬิกาที่ใช้กระตุ้นมอสก็คือพัลส์นั่นเอง	18
รูปที่ 2.17 แสดงรูปคลื่นสัญญาณนาฬิกาทั้ง 2 สัญญาณ	19
รูปที่ 2.18 การต่อมอสกับตัวเก็บประจุ	19
รูปที่ 2.19 แสดงการทำงานของมอสด้วยสวิตช์	20
รูปที่ 2.20 แสดงการทำงานของสวิตช์คาปาซิเตอร์	21
รูปที่ 2.21 แสดงการทำงานของสวิตช์คาปาซิเตอร์ได้ด้วยตัวต้านทาน	22
รูปที่ 2.22 ความต้านทานสมมูลย์ของสวิตช์คาปาซิเตอร์	22
รูปที่ 2.23 แสดงการใช้สวิตช์คาปาซิเตอร์กับวงจรกรองความถี่ประเภทพาสซีฟ	23
รูปที่ 2.24 แสดงการใช้สวิตช์คาปาซิเตอร์กับวงจรกรองความถี่ประเภทแอกทีฟ	23

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เรื่อง	หน้า
รูปที่ 2.25 แสดงการใช้สวิตช์ คาปาซิเตอร์ต่อใช้งานกับวงจรกรองความถี่ ประเภทแอกทีฟ	24
รูปที่ 2.26 แสดงการวางตำแหน่งขาของ ML2110 และ ML2111	24
รูปที่ 2.27 แผนผังการทำงานภายในของไอซี ML2110 และ ML2111	25
รูปที่ 2.28 ใช้ ML2110 ต่อเป็นวงจรกรองความถี่แบบแถบความถี่ผ่านแบบซีบีซีฟ	26
รูปที่ 2.29 วงจรกรองความถี่ต่ำผ่านโดยใช้ ML2111	27
รูปที่ 2.30 วงจรกรองความถี่แบบนอตช์ (ตัดแถบความถี่) โดยใช้ ML2110	27
รูปที่ 2.31 การต่อ MF10 ใน mode1	28
รูปที่ 2.32 แสดงพื้นฐานของวงจร แซมปลิ้ง	30
รูปที่ 2.33 ไดอะแกรมของวงจร S/H	31
รูปที่ 2.34 แสดงรูปคลื่นเอาท์พุทของ S/H	31
รูปที่ 2.35แสดงเอาท์พุทจาก Sampling Gate และ เอาท์พุทจาก Sample & holds	32
รูปที่ 2.36 วงจรสุ่มแบบ Inverting Closed Loop	32
รูปที่ 2.37 วงจร Non-inverting closed loop	33
รูปที่ 2.38 รูปสัญญาณซายน์	34
รูปที่ 2.39 ความสัมพันธ์ของสัญญาณอะนาลอกและข้อมูลดิจิตอล	35
รูปที่ 2.40 วงจรแปลงสัญญาณอะนาลอกเป็นข้อมูลดิจิตอลด้วยวิธีความชันเดี่ยว	36
รูปที่ 2.41 วงจรสมมูลอย่างง่ายของวงจรขยายเชิงดำเนินการ	36
รูปที่ 2.42 กราฟแรงดันไฟฟ้า ของวงจรรูปที่ 2.40	38
รูปที่ 2.43 วงจรแปลงสัญญาณอะนาลอกเป็นข้อมูลดิจิตอลด้วยวิธีความชันคู่	39
รูปที่ 2.44 กราฟแรงดันไฟฟ้า V_0	41
รูปที่ 2.45 แผนภาพวงจร ADC แบบวิธีประมาณสืบเนื่อง	42
รูปที่ 2.46 กราฟแรงดันไฟฟ้า V_{Out}	43
รูปที่ 2.47 แผนภาพวงจรภายในของวงจรรวมเบอร์ ADC0800	44
รูปที่ 2.48 แผนภาพสัญญาณตามเวลาวงจรรวม ADC0800	44
รูปที่ 2.49 แผนภาพวงจร ADC แบบแฟลช	45
รูปที่ 2.50 วงจร ADC แบบการติดตาม	47
รูปที่ 2.51 วงจร DAC	48
รูปที่ 2.52 วงจร DAC แบบน้ำหนัก n บิท	49
รูปที่ 2.53 วงจร DAC แบบวิธีขั้นบันได	50

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เรื่อง	หน้า
รูปที่ 2.54 วงจรแบ่งแรงดันและวงจรเสมือนเทวินินทางด้านซ้ายของเส้นประ1 รูปที่ 2.53	50
รูปที่ 2.55 วงจรเสมือน DAC แบบขั้นบันได รูปที่ 2.53	51
รูปที่ 2.56 วงจรแบ่งแรงดันและวงจรเสมือนเทวินินทางด้านซ้ายของเส้นประ 2 รูปที่ 2.55	51
รูปที่ 2.57 วงจรเสมือน DAC แบบขั้นบันได R-2R รูปที่ 2.53	52
รูปที่ 2.58 วงจร DAC แบบสวิตซ์แหล่งจ่ายกระแส	53
รูปที่ 2.59 วงจรรวม DAC เบอร์ DAC0800	56
รูปที่ 3.1 แสดงวงจร Programmable Digital Filter	58
รูปที่ 3.1.1 แสดงวงจรสร้างสัญญาณ Clock จากแผงการทดลองส่วน A	59
รูปที่ 3.1.2 ผลตอบสนองต่อความถี่ แบบความถี่สูงผ่าน โดยใช้สัญญาณ clock 256KHz	61
รูปที่ 3.1.3 ผลตอบสนองต่อความถี่ แบบความถี่สูงผ่าน โดยใช้สัญญาณ clock 128KHz	62
รูปที่ 3.1.4 ผลตอบสนองต่อความถี่ แบบความถี่สูงผ่าน โดยใช้สัญญาณ clock 64 KHz	63
รูปที่ 3.1.5 ผลตอบสนองต่อความถี่ แบบความถี่สูงผ่าน โดยใช้สัญญาณ clock 128KHz	64
รูปที่ 3.1.6 ผลตอบสนองต่อความถี่ แบบความถี่ต่ำผ่าน โดยใช้สัญญาณ clock 256 KHz	65
รูปที่ 3.1.7 ผลตอบสนองต่อความถี่ แบบความถี่ต่ำผ่าน โดยใช้สัญญาณ clock 64 KHz	66
รูปที่ 3.1.8 แสดงการสร้างวงจร BPF จาก วงจร LPF และ HPF	67
รูปที่ 3.1.9 แสดงลักษณะการต่อวงจร BPF จาก วงจร LPF และ HPF	68
รูปที่ 3.1.10 ผลตอบสนองต่อความถี่ แบบแถบความถี่ผ่าน	69
รูปที่ 3.1.11 ผลตอบสนองต่อความถี่ แบบนอตช์ โดยใช้สัญญาณ clock 518 KHz	70
รูปที่ 3.1.12 ผลตอบสนองต่อความถี่ แบบนอตช์ โดยใช้สัญญาณ clock 128 KHz	71
รูปที่ 3.2.1 แสดงวงจร compandor ที่ใช้ในการทดลอง	72
รูปที่ 3.2.2 กราฟแสดงความสำพันธ์ระหว่างแรงดัน input กับ output	74
รูปที่ 3.2.3 กราฟแสดงความถี่ตอบสนองของวงจร Compressor	75
รูปที่ 3.2.4 วงจร Expander ที่ใช้ในการทดลอง	76
รูปที่ 3.2.5 กราฟแสดงความสำพันธ์ระหว่างแรงดัน input กับ output	77
รูปที่ 3.2.6 กราฟแสดงความถี่ตอบสนองของวงจร Expander	79
รูปที่ 3.3.1 ความสัมพันธ์ของสัญญาณอะนาลอกและข้อมูลดิจิตอล	83
รูปที่ 3.3.2 แสดงวงจร Analog to Digital Conversionที่ใช้ในการทดลอง	83
รูปที่ 3.3.3 แสดงวงจรแปลงสัญญาณดิจิตอลเป็นอะนาลอก	86
รูปที่ 3.3.4 แสดงสัญญาณเอาท์พุทของวงจรแปลงสัญญาณดิจิตอลเป็นอะนาลอก (TP11)	87
รูปที่ 3.3.5 แสดงสัญญาณเอาท์พุทของวงจรแปลงสัญญาณดิจิตอลเป็นอะนาลอก (TP12)	87

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เรื่อง		หน้า
รูปที่ 4.1	แสดงวงจร Sample and Hold	85
รูปที่ 4.2	แสดงลักษณะสัญญาณรูปคลื่นไซน์ที่ถูกแซมปลิ้ง	87

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญตาราง

เรื่อง	หน้า
ตารางที่ 2.1 แสดงความสัมพันธ์ระหว่างจำนวนบิตและระดับควอนไตซ์ที่มีได้	11
ตารางที่ 2.2 แสดงความสัมพันธ์ระหว่างจำนวนบิตและค่า S/N	12
ตารางที่ 2.3 แสดงการแทนสภาวะการทำงานของมอสด้วยตัวต้านทาน	19
ตารางที่ 2.4 ค่าความจริงของ Y_2, Y_1, Y_0, b_0, b_1	46
ตารางที่ 3.1 แสดงความสัมพันธ์ระหว่างผลตอบสนองต่อความ ถี่กับอัตราขยาย	61
ตารางที่ 3.2 แสดงความสัมพันธ์ระหว่างผลตอบสนองต่อความ ถี่กับอัตราขยาย	62
ตารางที่ 3.3 แสดงความสัมพันธ์ระหว่างผลตอบสนองต่อความ ถี่กับอัตราขยาย	63
ตารางที่ 3.4 แสดงความสัมพันธ์ระหว่างผลตอบสนองต่อความ ถี่กับอัตราขยาย	64
ตารางที่ 3.6 แสดงความสัมพันธ์ระหว่างผลตอบสนองต่อความ ถี่กับอัตราขยาย	66
ตารางที่ 3.5 แสดงความสัมพันธ์ระหว่างผลตอบสนองต่อความ ถี่กับอัตราขยาย	67
ตารางที่ 3.7 แสดงความสัมพันธ์ระหว่างผลตอบสนองต่อความ ถี่กับอัตราขยาย	69
ตารางที่ 3.8 แสดงความสำพันธ์ระหว่างแรงดัน *input* กับ output ความถี่ sine wave 1kHz	73
ตารางที่ 3.9 แสดงความถี่ตอบสนองของวงจร Compressor โดยขนาดของ Vin = 200 mV	74
ตารางที่ 3.10 แสดงความสำพันธ์ระหว่างแรงดันอินพุตกับเอ้าท์พุต ความถี่ 1kHz	76
ตารางที่ 3.11 แสดงความถี่ตอบสนองของวงจร Expander โดยขนาดของ Vin = 1V	78
ตารางที่ 3.12 แสดงค่าอินพุตและค่าที่ได้จากการคำนวณระดับ LED	85

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 1
บทนำ

1.1 ความเป็นมาของโครงการ

เนื่องจากในระบบการสื่อสารปัจจุบันได้ถูกพัฒนาจากระบบอนาลอกสู่ระบบดิจิตอลเพิ่มมากขึ้นเรื่อย ๆ เพราะการสื่อสารแบบดิจิตอลมีข้อดีกว่าระบบการสื่อสารแบบอนาลอกอย่างมากมาย เช่น มีประสิทธิภาพดีกว่ามีความเร็วสูงและมีความปลอดภัยมากกว่าเมื่อเทียบกับระบบการสื่อสารแบบอนาลอก แต่โดยปกติสัญญาณเชิงฟิสิกส์จะอยู่ในรูปของสัญญาณอนาลอกทั้งสิ้น เช่น สัญญาณเสียงหรือสัญญาณภาพ ดังนั้นการส่งสัญญาณดังกล่าวในรูปของสัญญาณดิจิตอลจึงต้องมีการเปลี่ยนรูปแบบสัญญาณ จากสัญญาณอนาลอกเป็นสัญญาณดิจิตอลก่อน วิธีการที่นิยมใช้มี2 วิธี คือ การมอดูเลทแบบพัลส์โค๊ดมอดูเลชั่น (PCM) และการมอดูเลทแบบเดลต้า

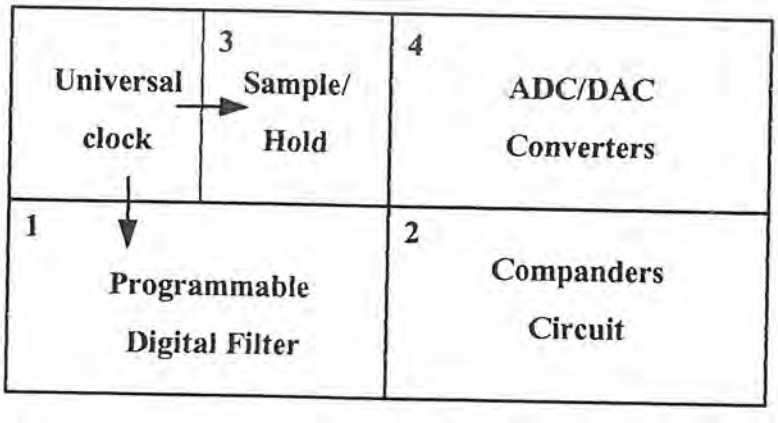
สำหรับโครงงานนี้จึงได้สร้างชุดฝึกการสื่อสารแบบดิจิตอลขึ้น เพื่อให้นักศึกษาใช้ในห้องทดลองเพื่อให้เกิดความรู้พื้นฐานด้านเทคโนโลยีโทรคมนาคมและระบบที่มีความสำคัญ อื่น ๆ เป็นแนวทางที่จะนำไปพัฒนาระบบสื่อสารต่อไป

1.2 วัตถุประสงค์และประโยชน์ที่คาดว่าจะได้รับ

1. เพื่อศึกษาถึงพื้นฐานการสื่อสารดิจิตอลในระบบพัลส์โค๊ดมอดูเลชั่น
2. เพื่อศึกษาการทำงานของวงจรที่ใช้ในระบบ พัลส์โค๊ดมอดูเลชั่นเพียงบางส่วน
3. สามารถรู้ถึงหลักการต่าง ๆ ที่ได้ตั้งไว้ตามวัตถุประสงค์
4. สามารถนำชุดทดลองนี้ไปใช้ในการเรียนการสอนต่อไป

1.3 ขอบเขตของโครงงาน

โครงงานประกอบด้วยวงจรที่เป็นส่วนฮาร์ดแวร์ ทั้งหมด 4 วงจร ดังแสดงตามบล็อกไดอะแกรม



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

1.3.1 วงจรกรองความถี่ (Programmable Digital Filters)

เป็นส่วนของการจัดการกับความถี่ เพื่อจำกัด Audio Frequency Respons ของ Amplifiers ให้อยู่ในย่านความถี่ที่ต้องการ

1.3.2 วงจรบีบและขยายสัญญาณ (Companders Circuit)

เป็นวงจรที่ทำหน้าที่ลดสัญญาณรบกวนที่อยู่ในระบบเพื่อที่จะให้สัญญาณอยู่ในย่านที่เหมาะสม (dynamic rang) และทำให้สัญญาณไม่ผิดเพี้ยน

1.3.3 วงจรแซมเปิล และโฮลด์ (Sample and Hold)

เป็นวงจรสุ่มระดับสัญญาณจากสัญญาณอนาลอก และคงอยู่ที่ระดับสัญญาณนั้นจนถึงช่วงเวลาที่กำหนด แล้วจึงทำการสุ่มระดับต่อไปด้วยอัตราการสุ่ม เท่า ๆ กัน โดยระดับสัญญาณที่สุมได้ขึ้นอยู่กับระดับของสัญญาณอนาลอก

1.3.4 วงจรแปลงสัญญาณอนาลอกเป็นดิจิตอล และ สัญญาณดิจิตอลเป็นอนาลอก (Analog to Digital (A/D) Converter and Digital to Analog (D/A) Converter)

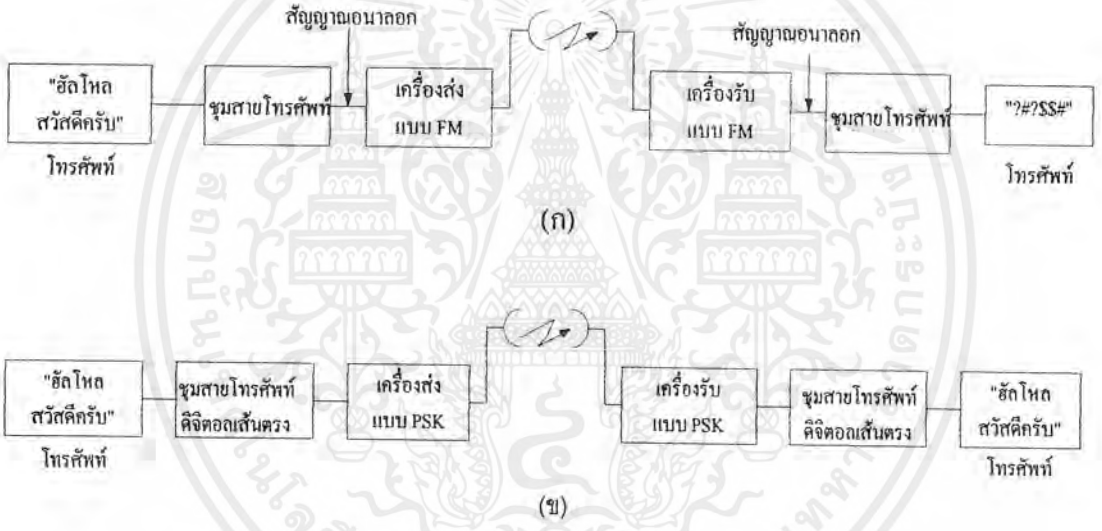
เป็นวงจรที่ใช้ในการเข้ารหัสและถอดรหัสสัญญาณอนาลอก ซึ่งในที่นี้เป็นการศึกษาระบบสื่อสารแบบดิจิตอล 8 บิท

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่2
ทฤษฎีที่เกี่ยวข้อง

2.1 มาตรฐานการส่งข้อมูล แบบ PCM

พีซีเอ็ม (PCM) เป็นชื่อย่อมาจาก Pulse Code Modulation ซึ่งเป็นการส่งสัญญาณอนาลอกโดยเปลี่ยนให้อยู่ในรูปของข้อมูลดิจิตอลที่ถูกเข้ารหัสอยู่ผ่านเครือข่ายสื่อสารระบบดิจิตอล ข้อดีของการส่งข้อมูลในรูปดิจิตอลที่ถูกเข้ารหัสอยู่ผ่านเครือข่ายสื่อสารระบบดิจิตอล ข้อดีของการส่งข้อมูลในรูปดิจิตอลคือ การป้องกันการรบกวนจากสภาพแวดล้อมดังแสดงในรูปที่ 2.1

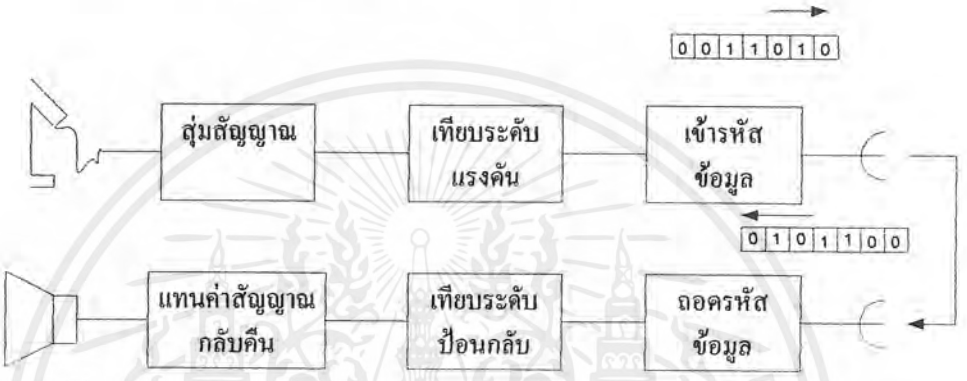


รูปที่ 2.1 เปรียบเทียบผลของสัญญาณรบกวนที่เกิดขึ้นระหว่างการส่งข้อมูลแบบ Analog & Digital

ทั้งนี้เนื่องจากสัญญาณดิจิตอลเป็นสัญญาณที่มีระดับของแรงดันเพียง 2 สถานะ คือสูง (high) และต่ำ (low) เท่านั้น และยังสามารถลดปัญหาจากผิดเพี้ยนของรูปร่างสัญญาณที่เกิดขึ้นระหว่างการส่งได้ ทั้งที่เกิดจากการลดทอนสัญญาณตามระยะทางและที่เกิดจากสัญญาณรบกวนซึ่งจะถูกแก้ไขเมื่อถึงเครื่องรับปลายทาง โดยใช้หลักการเปรียบเทียบค่าระดับแรงดันของสัญญาณที่มาถึงปลายทางกับระดับแรงดันของสัญญาณที่มาถึงปลายทางกับระดับแรงดัน เทรชโฮลด์ (threshold voltage) หากแรงดันที่ได้รับมีค่าสูงกว่าแรงดันเทรชโฮลด์ เครื่องรับจะกำหนดให้เป็นลอจิกสูง และในทางตรงกันข้ามเครื่องรับก็จะกำหนดให้สัญญาณที่ได้รับเป็นลอจิกต่ำ หากมีระดับแรงดันต่ำกว่าแรงดันเทรชโฮลด์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การเปลี่ยนสัญญาณอนาลอกให้เป็นข้อมูลพีซีเอ็มประกอบไปด้วย 3 กระบวนการหลัก ๆ คือการสุ่มสัญญาณ (sampling) การเทียบระดับแรงดัน และการเข้ารหัสข้อมูล (encoding) หลังจากนั้นจึงทำการส่งข้อมูลผ่านเครือข่ายและเมื่อข้อมูลดังกล่าวถึงปลายทางก็จะผ่านกระบวนการย้อนกลับ คือการถอดรหัสข้อมูล (decoding) การเทียบระดับแรงดันย้อนกลับและการแทนค่าสัญญาณกลับคืน (recovering) ซึ่งกระบวนการทั้งหมดแสดงดังในรูปที่ 2.2



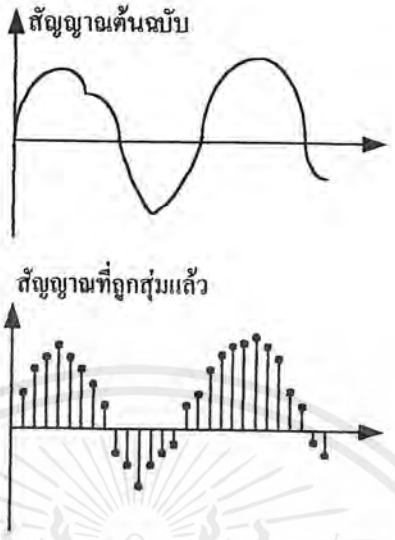
รูปที่ 2.2 แสดงพื้นฐานกระบวนการทำงานของการส่งข้อมูลแบบ PCM

2.1.1 การสุ่มสัญญาณ (SAMPLING)

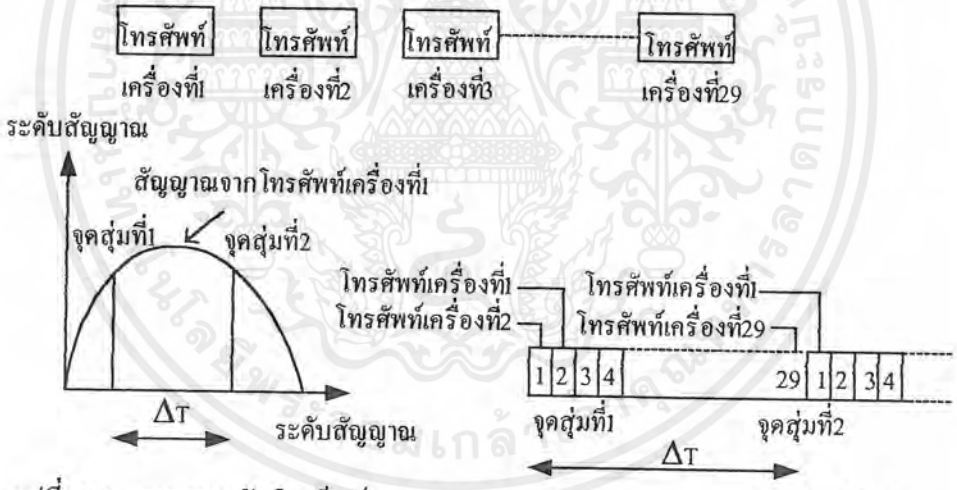
การสุ่มสัญญาณเป็นขั้นตอนแรกของการแปลงสัญญาณอนาลอกให้เป็นสัญญาณดิจิตอล โดยวงจรสุ่มสัญญาณจะตรวจจับขนาดของสัญญาณอนาลอกที่ถูกส่งตามช่วงเวลาที่กำหนด โดยทั่วไปมักจะวัดขนาดในรูปของแรงดันไฟฟ้า ซึ่งแท้จริงแล้วกระบวนการสุ่มสัญญาณเป็นกระบวนการตรวจวัดค่าแรงดันของสัญญาณที่ช่วงเวลาต่าง ๆ ซึ่งมีคาบการตรวจจับคงที่ดังแสดงในรูปที่ 2.3

อัตราหรือความถี่ของการสุ่มสัญญาณเป็นคาบนี้จะกำหนดให้อยู่ในหน่วยของจำนวนจุดสุ่มต่อหนึ่งหน่วยเวลา ยกตัวอย่างเช่น ในระบบโทรศัพท์อัตราการสุ่มดังกล่าวจะมีค่าเป็น 8000 ครั้งต่อวินาที หรือ 8 กิโลเฮิรตซ์ หรืออาจกล่าวได้ว่าคาบของการสุ่ม (ช่วงเวลาระหว่างการสุ่มแต่ละครั้ง) มีค่าเป็น 1/8000 หรือ 125 ไมโครวินาที สำหรับวิธีในการคำนวณหาค่าอัตราการสุ่มของระบบโทรศัพท์จะแยกอธิบายโดยละเอียดในกรอบแยกที่ 1 โดยเป็นไปตามข้อกำหนดในทฤษฎีของการสุ่มสัญญาณ ซึ่งถูกกำหนดขึ้นโดย แชนนอน (Shannon) นักคณิตศาสตร์ชาวสหรัฐอเมริกากล่าวว่าอัตราการสุ่มจะต้องมีความถี่ไม่น้อยไปกว่า 2 เท่าของความถี่สูงสุดของสัญญาณอนาลอกที่จะทำการส่งนั้น จึงจะสามารถสร้างสัญญาณต้นฉบับกลับคืนจากสัญญาณสุ่มได้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.3 รูปสัญญาณที่ผ่านการสุ่มเทียบกับสัญญาณต้นฉบับ



รูปที่ 2.4 แสดงการมัลติเพล็กซ์ทางเวลาของมาตรฐาน PCM แบบ 30 ช่องสัญญาณ

โดยในช่วงเวลาระหว่างจุดสุ่มของสัญญาณจากโทรศัพท์เครื่องที่ 1 สามารถบรรจุสัญญาณสุ่มของโทรศัพท์เครื่องอื่นได้อีกถึง 29 เครื่อง และทำการส่งสัญญาณทั้ง 30 คู่ สายไปบนสายส่งเส้นเดียวกันได้ในช่วงคาบเวลาระหว่างการสุ่มแต่ละจุดนั้น เราสามารถนำค่าแรงดันสุ่ม ของสัญญาณจากหลาย ๆ ช่องสัญญาณ (หลายคู่สาย) มาวางเรียงต่อกันได้ดังในรูปที่2.4
โดยเรียกกระบวนการนี้ว่าการมัลติเพล็กซ์ทางเวลา (Time Division Multiplex : TDM) ซึ่งเป็นวิธีการที่ใช้ในระบบพีซีเอ็มทุกระบบ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

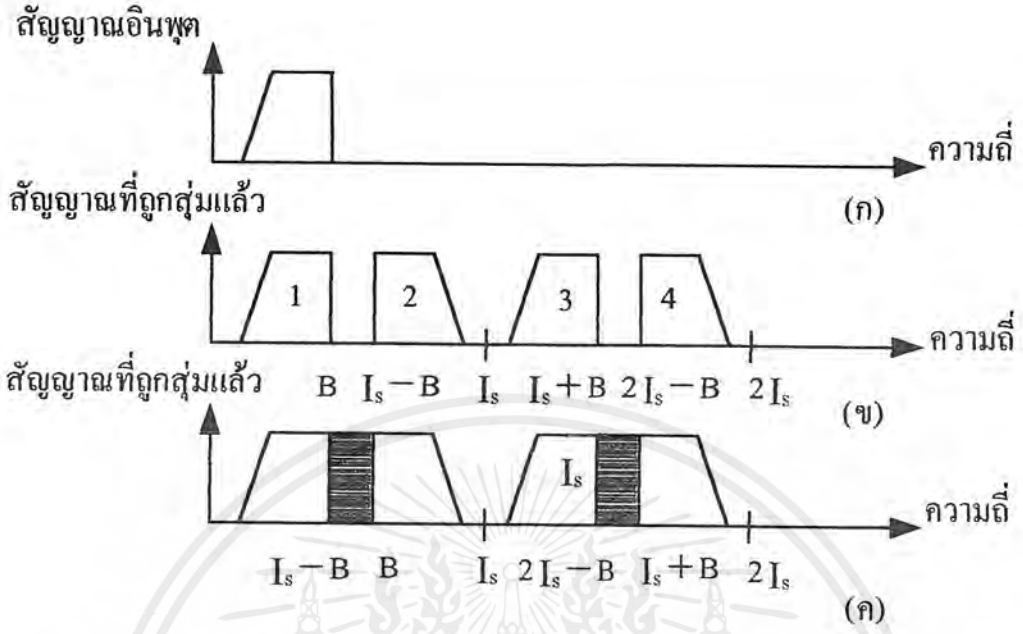
ตัวอย่างเช่นระบบพีซีเอ็ม 30 ช่อง สัญญาณซึ่งจะกล่าวถึงต่อไปนั้น แรงดันสุ่มจากคู่สายจะถูกนำมาเตรียมพร้อมเพื่อทำการส่งภายในคาบเวลาของการสุ่มเพียง 1 คาบ

สัญญาณที่ผ่านกระบวนการสุ่มแล้ว จะเก็บรูปแบบของสัญญาณต้นฉบับก่อนที่จะถูกสุ่มได้อย่างสมบูรณ์เพียงใดขึ้นอยู่กับความถี่ที่ใช้ในการสุ่ม ซึ่งจะต้องมีค่าไม่น้อยไปกว่า 2 เท่าของความถี่สูงสุดของสัญญาณต้นฉบับ สมมติว่าความถี่ที่ใช้ในการสุ่มมีค่าเป็น f_s เฮิรตซ์ และความถี่สูงสุดของสัญญาณต้นฉบับมีค่าเป็น B ซึ่งมีสเปกตรัมของสัญญาณดังในรูปที่ 2.5(ก)การทางคณิตศาสตร์หากนำสัญญาณซึ่งมีแบนด์วิดธ์ B มาสุ่มด้วยสัญญาณซึ่งมีความถี่ f_s จะได้สัญญาณซึ่งมีสเปกตรัมดังในรูปที่ 2.5(ข) สัญญาณนี้เองที่จะถูกส่งผ่านเครือข่ายสื่อสารเพื่อไปยังเครื่องรับปลายทาง หากพิจารณาสเปกตรัมของสัญญาณในรูปที่ 2.5(ข) จะพบว่ามีส่วนประกอบของสเปกตรัมย่อย ๆ จำนวนมาก สเปกตรัมย่อยชุดแรก (หมายเลข 1) เป็นสเปกตรัมของสัญญาณอยู่ในช่วงความถี่ 0 ถึง B อันเป็นสเปกตรัมของสัญญาณก่อนที่จะถูกสุ่มนั่นเอง สเปกตรัมย่อยหมายเลข 3 มีรูปร่างคล้ายกับสเปกตรัมย่อยหมายเลข 1 แต่ถูกเลื่อนไปด้วยความถี่ f_s สเปกตรัมย่อยหมายเลข 2 มีรูปร่างเหมือนภาพกลับกับสเปกตรัมย่อยหมายเลข 3 โดยมีความถี่ f_s เป็นคล้ายกระจกเงาในการสะท้อน และนอกจากนี้จะพบคู่สเปกตรัม ย่อย 4-5, 6-7, ... เรื่อยไปจนถึงอนันต์ โดยมีระยะห่างระหว่างกันเท่ากับ f_s

เนื่องจากสเปกตรัมของสัญญาณที่ถูกสุ่มแล้วประกอบด้วยส่วนประกอบของสัญญาณต้นฉบับในช่วงความถี่ทุก ๆ ค่า f_s ซึ่งไม่มีสเปกตรัมย่อยใดเกิดการทับกันตลอดย่านความถี่ จึงกล่าวได้ว่าสัญญาณที่ถูกสุ่มแล้วจะยังคงเก็บรายละเอียดของสัญญาณต้นฉบับไว้ได้ครบถ้วน ตราบใดที่อัตราการสุ่ม f_s มีค่ามากกว่า 2B ซึ่งสามารถใช้วงจรกรองความถี่ต่ำผ่านดึงสัญญาณต้นฉบับกลับคืนมาได้ที่เครื่องรับปลายทาง

ในทางกลับกัน หากอัตราการสุ่ม f_s มีค่าน้อยกว่า 2B จะเกิดเหตุการณ์ ดังแสดงในรูปที่ 2.5 (ค) จะพบว่าสเปกตรัมย่อยแต่ละตัวเกิดการซ้อนทับกันเป็นบางส่วนพื้นที่ของการซ้อนทับจะมากหรือน้อยขึ้นอยู่กับค่าความถี่ f_s ผลที่เกิดขึ้นทำให้เกิดการสูญเสียข้อมูลของสัญญาณต้นฉบับในส่วนที่เกิดการทับกัน ทั้งนี้เนื่องจากวงจรกรองความถี่ต่ำผ่านที่เครื่องรับปลายทางไม่สามารถแยกสัญญาณที่เกิดการซ้อนทับออกจากกันได้ ปรากฏการณ์ดังกล่าวมีชื่อเรียกว่า aliasing distoring

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



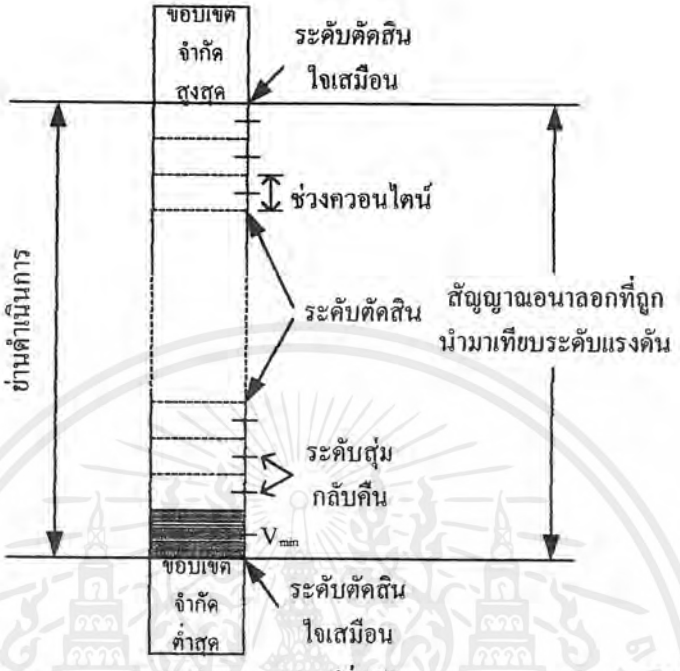
รูปที่ 2.5 แสดงสเปกตรัมของสัญญาณ
(ก) สเปกตรัมของสัญญาณอนาลอกก่อนผ่านการสุ่ม
(ข) สเปกตรัมของสัญญาณที่ถูกสุ่มแล้วโดย $f_s > 2B$
(ค) สเปกตรัมของสัญญาณที่ถูกสุ่มแล้วโดย $f_s < 2B$

2.1.2 การเทียบระดับแรงดัน

การเทียบระดับแรงดันเป็นกระบวนการในการนำสัญญาณที่ถูกสุ่มแล้วมาจัดกลุ่มภายในระดับซึ่งแบ่งออกเป็นช่วง ๆ เรียกว่าช่วงควอนไตซ์ (quantizing interval) แต่ละช่วงจะถูกแทนค่าด้วยค่าคงที่มีชื่อเรียกว่าค่าควอนไตซ์ ซึ่งระดับค่าควอนไตซ์ในสถานีต้นทางและสถานีปลายทางจะเหมือนกันทุกประการ

โดยทั่วไปขั้นตอนการเทียบระดับแรงดันจะเกี่ยวข้องกับการเข้ารหัสสัญญาณอย่างมาก การจัดระดับควอนไตซ์มีจุดประสงค์หลักเพื่อปรับค่าแรงดันของสัญญาณที่ผ่านกระบวนการสุ่มสัญญาณมาแล้ว ให้ลงตัวกับค่าแรงดันมาตรฐานจำนวนหนึ่ง ที่ถูกกำหนดเตรียมไว้ โดยต้องตรงกับระดับควอนไตซ์แต่ละค่า เพื่อทำการแปลงเป็นรหัสไบนารี่นั่นเอง รูปที่ 2.6 แสดงรายละเอียดและศัพท์ที่ใช้ในกระบวนการเทียบระดับแรงดัน ซึ่งควรจะทราบความหมาย ของศัพท์ต่าง ๆ ดังนี้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



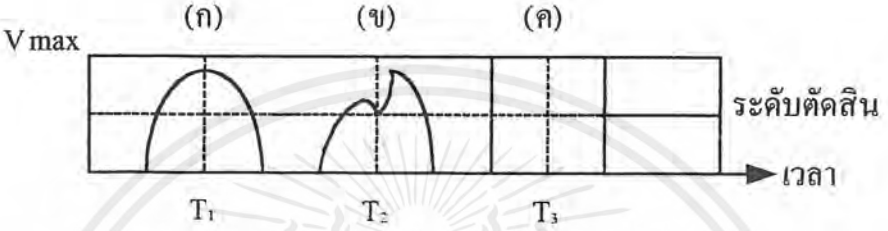
รูปที่ 2.6 แสดงรายละเอียดและศัพท์ที่ใช้ในกระบวนการเทียบระดับแรงดัน

ย่านดำเนินการ เป็นย่านแรงดันซึ่งยอมให้มีการเทียบระดับแรงดันได้ สัญญาณที่ถูกสุ่มซึ่งมีระดับแรงดันอยู่ในย่านดังกล่าวจะสามารถผ่านกระบวนการนี้ไปได้ โดยเกิดความคลาดเคลื่อนน้อยที่สุด ส่วนสัญญาณที่มีขนาดแรงดันสูงหรือต่ำกว่าย่านดำเนินการจะถูกแทนค่าด้วยระดับตัดสินใจสูงสุดหรือต่ำสุดที่มีได้ ภายในย่านดังกล่าวจะถูกแบ่งออกเป็นช่วงควอนไตซ์จำนวนมากในระบบโทรศัพท์ทั่วไปย่านดำเนินการจะถูกแบ่งออกเป็น 256 ช่วง

ระดับตัดสิน เป็นค่าแรงดันอ้างอิงซึ่งถูกกำหนดโดยขอบเขตรอยต่อของช่วงควอนไตซ์คู่หนึ่ง ๆ หรือถ้าเป็นในระบบทวนสัญญาณดิจิตอล ค่าดังกล่าวจะเป็นค่าเทรชโฮลด์ระหว่างย่านแรงดัน 2 ย่านดังในรูปที่ 2.7 โดยรูปที่ 2.7(ก) แสดงถึงพัลส์ที่ไม่ถูกสัญญาณรบกวน แต่เกิดการลดทอนของแรงดันอันเนื่องมาจากการลดทอนตามระยะทางของสายส่ง รูปที่ 2.7 (ข) แสดงถึงพัลส์ซึ่งถูกสัญญาณรบกวนในแง่ของแรงดัน ซึ่งแรงดันในขณะที่ถูกสุ่มสัญญาณมีค่ามากกว่า Vmax / 2 สัญญาณทั้งสองกรณีจะถูกป้อนเข้าวงจรทวนสัญญาณ ซึ่งจะทำการสุ่มสัญญาณทุก ๆ ช่วงเวลา Ts โดยกำหนดให้ตรงกับจุดกึ่งกลางของพัลส์ ถ้าระดับแรงดันของสัญญาณ ช่วงการสุ่มมีค่ามากกว่าแรงดันระดับตัดสิน (Vmax / 2)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

วงจรทวนสัญญาณจะถือว่าตรวจพบลอจิก "1" ในทางกลับกันถ้าแรงดัน ณ จุดสุ่มมีค่าน้อยกว่าแรงดันตัดสิน วงจรทวนสัญญาณจะถือว่าตรวจพบลอจิก "0" จากตัวอย่างสัญญาณทั้งสองกรณีเมื่อผ่านเครื่องทวนสัญญาณแล้วจะถูกปรับรูปให้เป็นพัลส์สมบูรณ์แบบดังในรูปที่ 2.7 (ค) ในกรณีดังกล่าวค่าเทรชโฮลด์ซึ่งมีค่า Vmax/2 ก็นับได้ว่าเป็นระดับตัดสินเช่นกัน



รูปที่ 2.7 แสดงการกำหนดระดับตัดสินของระบบทวนสัญญาณดิจิตอลซึ่งกำหนดย่านแรงดันตัดสินไว้ 2 ย่าน

(ก) แสดงพัลส์ที่ไม่ถูกสัญญาณรบกวน แต่เกิดการลดทอนสัญญาณอันเกิดจากระยะทางของสายส่ง

(ข) แสดงพัลส์ที่ถูกสัญญาณรบกวนในแง่ของแรงดัน

(ค) แสดงพัลส์ที่ถูกปรับรูปแล้วเป็นพัลส์ที่สมบูรณ์

ระดับตัดสินใจเสมือน เป็นระดับตัดสินใจที่อยู่ ณ ตำแหน่งปลายสุดของย่านดำเนินการค่าดังกล่าวกำหนดขอบเขตขนาดของสัญญาณซึ่งสามารถผ่านการเทียบระดับไปได้โดยไม่เกิดการขลิบขนาดของสัญญาณ โดยจะเกิดขึ้นเมื่อสัญญาณที่ถูกสุ่มมีระดับเกินกว่าระดับตัดสินใจเสมือน

ระดับสุ่มกลับคืน เป็นระดับควอนไตซ์ซึ่งถูกสร้างขึ้นที่เอาต์พุตของวงจรถอดรหัสของเครื่องรับปลายทาง ค่าแรงดันดังกล่าวเกิดจากการป้อนรหัสไบนารีที่ส่งจากสถานีต้นทางไปยังเครื่องรับปลายทางวงจรถอดรหัสจะทำการแทนค่ารหัสไบนารี ซึ่งถูกป้อนเข้ามาด้วยระดับสุ่มกลับคืน แล้วทำการส่งไปเข้าวงจรกรองความถี่ต่ำผ่าน เพื่อสร้างสัญญาณต้นฉบับกลับคืนมา

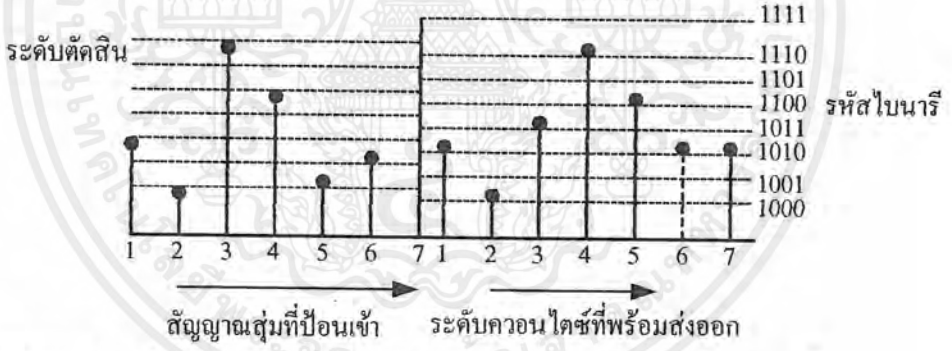
เมื่อสัญญาณที่ผ่านกระบวนการสุ่มถูกป้อนเข้าวงจรควอนไตซ์ ระดับแรงดัน ณ จุดสุ่มนั้นจะถูกนำมาจัดเข้าในช่วงควอนไตซ์ที่เหมาะสม สมมติว่าระดับดังกล่าวมีค่าแรงดันในช่วง V_n ถึง V_{n+1} วงจรจะถือว่าค่าควอนไตซ์ของสัญญาณ ณ จุดนั้นมีค่าเป็นค่าควอนไตซ์ภายในช่วงแรงดันนั้น

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ไม่ว่าแรงดัน ณ จุดสุ่มใด ๆ ก็ตามที่อยู่ใน ช่วง V_n ถึง V_{n+1} ก็จะถูกแทนค่าด้วยค่าควอนไตซ์เดียวกัน

การจัดระดับควอนไตซ์ตามที่กล่าวมาเป็นรูป.แบบที่ช่วงควอนไตซ์แต่ละช่วงมีค่าเท่ากัน รูปที่ 2.8 แสดงถึงลักษณะการแปลงสัญญาณที่ผ่านกระบวนการสุ่มมาแล้วให้อยู่ในระดับควอนไตซ์ ซึ่งแทนค่าด้วยข้อมูลไบนารีขนาด 4 บิต ตามข้อกำหนดพีซีเอ็มของ CCITT และทวีปอเมริกาเหนือกำหนดให้ขนาดของข้อมูลที่ใช้แทนแต่ละระดับควอนไตซ์ มีขนาด 8 บิต โดยที่บิตแรก (บิตซ้ายสุด) กำหนดขั้วของสัญญาณ อีก 7 บิต ที่เหลือกำหนดขนาดของสัญญาณ ดังนั้นจึงสามารถสร้างระดับควอนไตซ์ได้ถึง $2^8 = 256$ ระดับ

การผิดเพี้ยนของสัญญาณที่เกิดจากการควอนไตซ์เป็นเรื่องที่หลีกเลี่ยงไม่ได้ ทั้งนี้เนื่องจากหากพิจารณาถึงเครื่องรับปลายทาง สัญญาณอนาลอกซึ่งถูกสร้างกลับมาจากกลุ่มของสัญญาณสุ่มจะมีรูปร่างผิดเพี้ยนไปจากสัญญาณอนาลอกต้นฉบับซึ่งถูกส่งที่ต้นทาง อันเนื่องมาจากกระบวนการแทนค่าแรงดันของสัญญาณสุ่มให้เป็นระดับควอนไตซ์ ณ สถานีต้นทาง ซึ่งระดับควอนไตซ์ดังกล่าวมีอยู่เป็นจำนวนจำกัด สัญญาณที่ป้อนเข้าจึงถูกแทนค่าโดยการประมาณ ดังแสดงในรูปที่ 2.9



รูปที่ 2.8 การควอนไตซ์แบบระดับคงที่ พร้อมการแปลงค่าเป็นรหัสไบนารีขนาด 4 บิต

รูปที่ 2.9 แสดงการผิดเพี้ยนของสัญญาณที่ถูกแทนค่ากลับที่เครื่องรับปลายทาง อันเนื่องจากผลของกระบวนการแทนค่าระดับควอนไตซ์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สมมติว่ามีระดับควอนไตซ์อยู่ 256 ระดับ และกำหนดย่านแรงดันป้อนเข้าให้อยู่ในช่วง 0 ถึง 2.56 โวลต์ พบว่าระดับควอนไตซ์แต่ละขั้นจะอยู่ห่างกัน 10 มิลลิโวลต์ ดังนั้นถ้าสัญญาณสุ่มที่มีขนาดแรงดันอยู่ในช่วงแรงดันตัดสิน 140 ถึง 150 มิลลิโวลต์จะถูกแทนค่าที่ระดับแรงดันควอนไตซ์ 145 มิลลิโวลต์เหมือนกันทั้งหมด ผลต่างระหว่างสัญญาณสุ่มที่ถูกป้อนเข้ากับสัญญาณที่ถูกแปลงกลับคืนที่เครื่องรับถูกเรียกว่า สัญญาณ รบกวนควอนไตซ์ การลดผลของสัญญาณรบกวนควอนไตซ์ทำได้โดยเพิ่มจำนวนขั้นของระดับควอนไตซ์ให้มากขึ้น อย่างไรก็ตามการเพิ่มระดับควอนไตซ์ส่งผลให้มีการเพิ่มจำนวนของบิตที่แทนค่าระดับควอนไตซ์ ซึ่งจะทำให้ความกว้างของพัลส์ของข้อมูลไบนารีที่จะถูกส่งผ่านเครือข่ายแคบลงในกรณีที่ต้องการส่งข้อมูลด้วยอัตราเร็วเท่าเดิม อันเป็นการลดจำนวนช่องสัญญาณที่จะสามารถส่งแบบมัลติเพล็กซ์ไปพร้อมกันได้ ตารางที่ 2.1 แสดงถึงความสัมพันธ์ระหว่างจำนวนบิตกับระดับควอนไตซ์ที่มีได้

ตารางที่ 2.1 แสดงความสัมพันธ์ระหว่างจำนวนบิตและระดับควอนไตซ์ที่มีได้

จำนวนบิต	จำนวนระดับควอนไตซ์ที่มีได้
6	64
7	128
8	256
9	512
10	1024
11	2408
12	4096

หากพิจารณาถึงอัตราส่วนสัญญาณต่อระดับแรงดันรบกวน (S/N : Signal to Noise ratio) ที่เกิดจากควอนไตซ์ในระบบพีซีเอ็ม จะสามารถคำนวณได้โดยมีค่าเท่ากับ

$$(S/N)\ \text{เดซิเบล} = (6 \times n + 2.76)$$

โดยที่ n เป็นจำนวนที่ใช้แทนระดับควอนไตซ์ ทั้งนี้สมการดังกล่าวใช้ได้ ในกรณีที่ช่วงควอนไตซ์ถูกกำหนดให้มีระยะห่างเท่ากัน หรือเป็นการควอนไตซ์แบบคงที่ (uniform quantization) พบว่าค่า S/N ในหน่วยเดซิเบล มีการแปรค่าไปตามจำนวนบิตของแต่ละระดับควอนไตซ์ หรือตามแบนด์วิดของการส่งนั่นเอง ซึ่งสามารถสรุปความสัมพันธ์ระหว่างจำนวนบิต กับค่า S/N ได้ดังตารางที่ 2.2

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ตารางที่ 2.2 แสดงความสัมพันธ์ระหว่างจำนวนบิตและค่า S/N

จำนวนบิต	ค่า S/N (เดซิเบล)
6	37.76
7	43.76
8	49.76
9	55.76
10	61.76
11	67.76
12	73.76

ในระบบสื่อสารโดยทั่วไป การส่งสัญญาณผ่านสื่อกลางประเภทต่าง ๆ จะต้องรักษาค่า S/N ของสัญญาณที่จะทำการส่งให้มีค่าไม่น้อยกว่า 60 เดซิเบล นั่นคืออัตราส่วนระหว่างสัญญาณเสียงและสัญญาณรบกวนต้องมีค่ามากกว่า 1000 เท่าจะเห็นว่าสำหรับการจัดระดับควอนไตซ์แบบคงที่ จำนวนบิตที่จะใช้แทนแต่ละระดับควอนไตซ์ต้องมีอย่างน้อยที่สุด 10 บิต หรือมี 1,024 ระดับควอนไตซ์

สำหรับการจัดระดับควอนไตซ์แบบคงที่ จะพบว่าเกิดปัญหาของสัญญาณรบกวนควอนไตซ์ขึ้นที่ระดับสัญญาณค่าต่ำๆ มากกว่าระดับสัญญาณที่มีค่าแรงดันสูง เนื่องจากมีการวิจัยพบว่าในระบบโทรศัพท์ทั่วไปนั้น โอกาสที่จะพบระดับเสียงต่ำ ๆ มีมากกว่าระดับเสียงค่อนข้างดัง ด้วยเหตุดังกล่าวจึงควรที่จะมีการขยายขนาดของสัญญาณที่มีระดับต่ำให้มากกว่าสัญญาณระดับสูงทั้งนี้เพื่อควบคุมค่า S/N ให้เกิดขึ้นในระดับคงที่ตลอดทุกระดับสัญญาณ วิธีการสำหรับระบบสื่อสารแบบอนาลอกจะกระทำโดยการลดไดนามิกเรนจ์ (compressing) ของสัญญาณเสียงที่ปลายด้านเครื่องส่ง และขยายไดนามิกเรนจ์ของสัญญาณเสียงที่ทางเข้าของเครื่องรับ (expanding) ซึ่งรวมเรียกกระบวนการดังกล่าวว่า คอมแพนดิ้ง (companding)

ในกรณีของการรับส่งแบบพีซีเอ็มก็จะใช้กระบวนการที่คล้ายคลึงโดยการเพิ่มระยะห่างของระดับควอนไตซ์ที่ระดับสัญญาณสูง ๆ และลดระยะห่างควอนไตซ์ที่ระดับสัญญาณต่ำ ๆ ให้แคบลง ในการนี้จำเป็นจะต้องใช้การจัดระดับควอนไตซ์แบบไม่คงที่เพื่อให้ได้คุณลักษณะเช่นเดียวกับวงจรคอมแพนดิ้ง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.1.3 การควอนไตซ์แบบไม่คงที่

เป็นการจัดระดับควอนไตซ์โดยกำหนดให้ระยะห่างระหว่างระดับควอนไตซ์ที่ระดับสัญญาณต่ำ ๆมีค่าน้อยและจะเพิ่มค่าขึ้นเรื่อย ๆ เมื่อระดับสัญญาณมีขนาดสูงขึ้นเพื่อเป็นการควบคุมให้ค่าของ S/N มีค่าคงที่ไม่แปรผันไปตามขนาดของสัญญาณซึ่งจะพบวิธีการดังกล่าวในระบบโทรศัพท์ทั่วโลก ทั้งนี้กระบวนการควอนไตซ์ในเครื่องรับจะต้องกระทำในลักษณะย้อนกลับกันกับเครื่องส่ง เพื่อให้สัญญาณที่ถูกส่งผ่านเครือข่ายไม่มีการผิดเพี้ยน เรียกกระบวนการจัดระดับในลักษณะดังกล่าวว่าคอมแพนดิ้ง

คอมแพนดิ้งเป็นกระบวนการซึ่งกระทำโดยการบีบอัดสัญญาณก่อนแล้วจึงตามด้วยการขยายสัญญาณ การบีบอัดสัญญาณเป็นกระบวนการซึ่งควบคุมอัตราขยายสัญญาณให้มีการเปลี่ยนแปลงไปตามขนาดของสัญญาณที่ถูกป้อน อัตราขยายจะมีค่ามากที่ระดับแรงดันอินพุทต่ำ ๆ และจะมีค่าน้อยที่ระดับแรงดันสูง ส่วนการขยายสัญญาณก็เป็นกระบวนการย้อนกลับกันกับการบีบอัดสัญญาณ

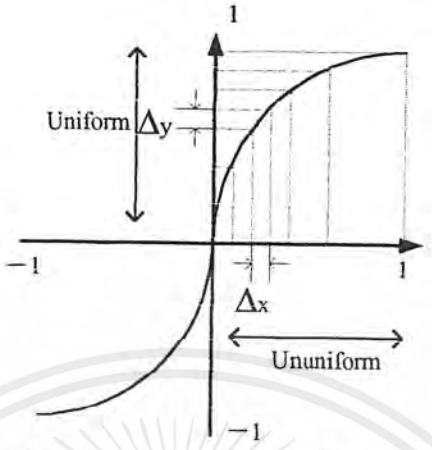
กระบวนการดังกล่าวได้ถูกนำมาใช้กับการจัดระดับควอนไตซ์เพื่อสร้างรูปแบบของการควอนไตซ์แบบไม่คงที่ ดังนั้น CCITT จึงวางข้อกำหนดรูปแบบของฟังก์ชั่นการบีบอัดให้มีลักษณะเป็นแบบลอการิทึม (logarithm) และให้ผู้ผลิตอุปกรณ์แต่ละรายยึดถือรูปแบบตามข้อกำหนดเพื่อสร้างความเป็นมาตรฐาน ลักษณะกราฟความสัมพันธ์ของการบีบอัดแบบลอการิทึมที่ใช้กันอยู่เกิดจากการประมาณค่า โดยแบ่งส่วนของกราฟออกเป็นส่วนของเส้นตรงย่อย ๆ 13 ส่วน ดังแสดงในรูปที่ 2.10 ซึ่งเป็นชนิด A-law โดยกำหนดค่า A เท่ากับ 87.6 การจัดระดับควอนไตซ์โดยยึดตามกราฟ Alaw จะเพิ่มค่า S/N ขึ้นอีกถึง 26 เดซิเบล ในกรณีที่ใช้การแทนค่า 8 บิต โดยสมการกำหนดคุณลักษณะของคอมแพนเดอร์ แบบ A-law คือ

$$Y = \frac{1+\ln Ax}{1+\ln A} \qquad \text{เมื่อ } 1/A < x < 1$$

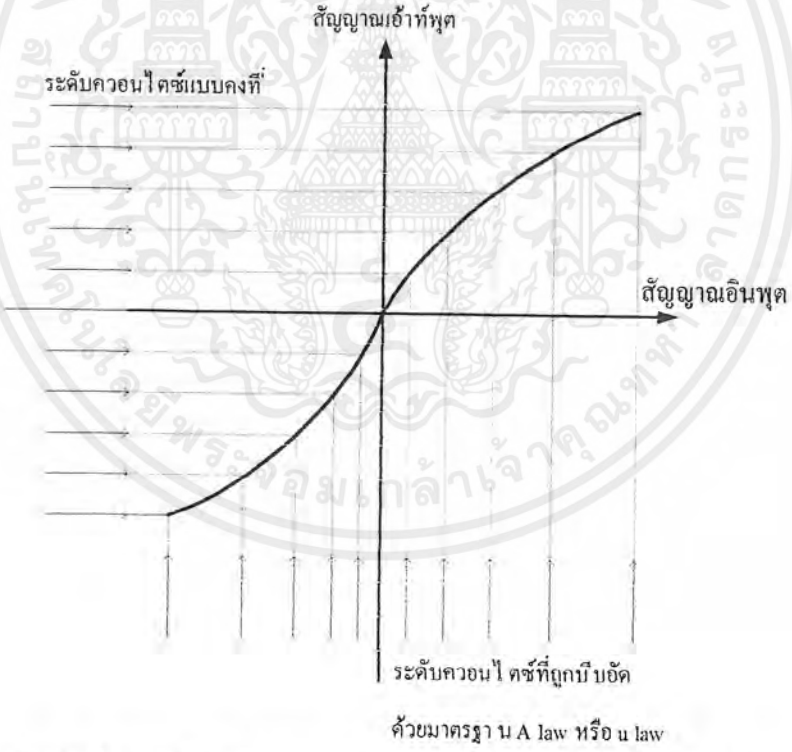
$$Y = \frac{Ax}{1+\ln A} \qquad \text{เมื่อ } 0 < x < 1/A$$

โดยที่ x เป็นระดับสัญญาณก่อนเข้าสู่วงจรบีบอัดสัญญาณ Y เป็นระดับสัญญาณหลังจากผ่านวงจรบีบอัดสัญญาณแล้ว และ ln เป็นเครื่องหมายแสดงฟังก์ชั่นลอการิทึมธรรมชาติ ผลของการบีบอัดสามารถแสดงให้เห็นในรูปของการจัดระดับควอนไตซ์แบบไม่คงที่ได้ในรูปที่ 2.11

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.10 กราฟแสดงคุณสมบัติของคอมแพนเดอร์ โดยแบ่งความสัมพันธ์ระหว่างระดับสัญญาณอินพุทและเอาต์พุต เป็น 13 ช่วง ตามมาตรฐาน A-law



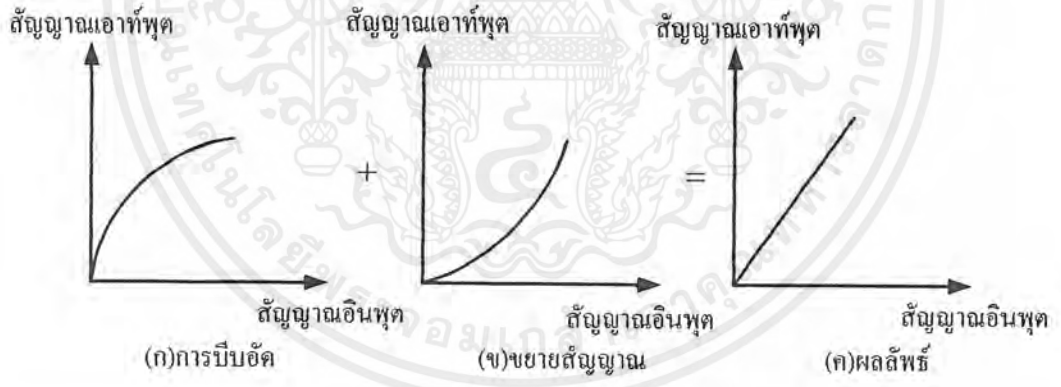
รูปที่ 2.11 ความสัมพันธ์ระหว่างการจัดระดับควอนไตซ์ที่ผ่านกระบวนการบีบอัดข้อมูลตามมาตร ฐาน CCITT กับระดับควอนไตซ์แบบคงที่

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

นอกจากรูปแบบการบีบอัดข้อมูลแบบ A-law ซึ่งใช้กันในวงการสื่อสารของทวีปอเมริกาเหนือและประเทศญี่ปุ่นแล้ว ยังมีมาตรฐานแบบ μ - law ซึ่งใช้กันอย่างแพร่หลายในยุโรป และประเทศไทย สามารถเขียนเป็นสมการแทนการบีบอัดได้ดังนี้

$$Y = \mathrm{sgn}(x)\frac{\ln(1+\mu x)}{\ln(1+\mu)}$$

ซึ่ง x เป็นระดับสัญญาณก่อนเข้าวงจรบีบอัดสัญญาณ Y เป็นระดับสัญญาณหลังผ่านการบีบอัดแล้ว , sgn (x) เป็นฟังก์ชั่นแทนค่าเครื่องหมายแสดงขั้วของค่าแรงดันเข้า x และ μ เป็นค่าดรรชนีการบีบอัด ผลของการบีบอัด μ - law มีลักษณะคล้ายคลึงกับแบบ A - law มาก รูปที่ 2.12 แสดงให้เห็นถึงผลลัพธ์ที่เกิดจากการบีบอัดสัญญาณที่เครื่องส่ง ซึ่งหลังจากนั้นสัญญาณก็จะถูกขยายกลับคืนที่เครื่องรับปลายทางจะเห็นว่าผลสุดท้ายสัญญาณที่ถูกป้อนเข้าเครื่องส่งและสัญญาณที่ออกจากเครื่องรับต่างก็ไม่มีส่วนใดส่วนหนึ่งผิดเพี้ยนกันไป ดังในรูปที่ 2.12 (ค) แสดงให้เห็นว่าความสัมพันธ์ระหว่างสัญญาณเข้าที่เครื่องส่งกับสัญญาณออกที่เครื่องรับเป็นความสัมพันธ์แบบเชิงเส้น

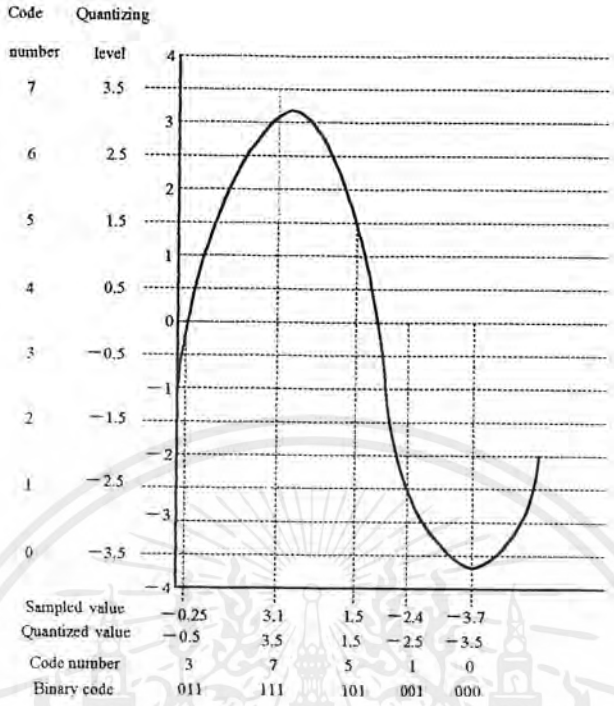


รูปที่ 2.12 แสดงผลหลังจากผ่านการบีบอัดและขยายสัญญาณ จะเห็นได้ว่าผลลัพธ์สุดท้ายระหว่างสัญญาณอินพุทและเอาต์พุตเป็นแบบเชิงเส้น

2.1.4 การเอ็นโค๊ด

ตัวเอ็นโค๊ด (Encoder) ทำหน้าที่เป็นตัวเปลี่ยนค่าที่ได้จากการ ควอนไตซ์ เป็นรหัสที่เป็นซีเคว็นของไบนารี (Binary Sequence) เพื่อเปลี่ยนเป็นสัญญาณพัลส์ที่เหมาะสมกับการส่งสัญญาณต่อไป รหัสไบนารีซีเคว็นแสดงดังในรูป

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.13 Binary PCM

สมมติให้สัญญาณ m(t) ถูกจำกัดค่าแอมพลิจูดอยู่ในช่วง –4V ถึง 4V ขนาดของสเต็บคือ x มีค่าเป็น 1V ดังนั้นจำนวนระดับการควอนไตซ์ทั้งหมดจะมี 8 ระดับคือ –3.5V,-2.5V,……,+3.5V โดยกำหนดให้ –3.5V มีรหัสเป็น 0,-2.5V ,มีรหัสเป็น 1 ไปเรื่อยๆ จนถึง +3.5V จะมีรหัสเป็น 7 ซึ่งรหัส 0 จะมีรหัสไบนารีเป็น 000,รหัส1 จะมีไบนารีเป็น 001 ไปเรื่อยๆ จนถึงรหัส 7 มีรหัสไบนารีเป็น 111 โดยที่ขนาด แอมพลิจูด ของ m(t) จะถูกจัดให้อยู่ในระดับของการควอนไตซ์ที่มีค่าใกล้เคียงกับค่าแอมพลิจูดที่เป็นจริงมากที่สุด

2.2 ความหมายของคำว่า แอกทีฟ ฟิลเตอร์ (active filter)

แอกทีฟ ฟิลเตอร์ (active filter) คือ วงจรกรองความถี่ประเภทหนึ่งที่ประกอบไปด้วย ตัวต้านทาน, ตัวเก็บประจุ และส่วนที่สำคัญอย่างหนึ่งก็คือ ไอซีออปแอมป์ ค่าของความถี่กลาง (center frequency) จะถูกกำหนดด้วยค่าของความต้านทานและตัวเก็บประจุ ถ้าค่าอุปกรณ์ทั้งสองตัวนี้เปลี่ยนไป ความถี่กลางก็จะเปลี่ยนไปด้วย และในการประกอบเป็นวงจรกรองความถี่ในแต่ละแบบมีข้อแตกต่างกันมาก ทำให้ยุ่งยากต่อการประกอบวงจร แต่ด้วยเทคโนโลยีที่ทันสมัย ปัจจุบันได้มีไอซีทำหน้าที่กรองความถี่โดยตรง เป็นการรวมเอาตัวต้านทาน ,ตัวเก็บประจุ และออปแอมป์เข้าไว้ในไอซีตัวเดียวกันสามารถนำมาทำเป็นวงจรกรองความถี่ได้หลายแบบ รวมทั้งสามารถเปลี่ยนค่าความถี่กลางได้โดยไม่ต้องเปลี่ยนค่าอุปกรณ์ใดๆไอซีตัวนี้มีชื่อเรียกว่า สวิตช์-คาปาซิเตอร์ ฟิลเตอร์ (switched-capacitor filter)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

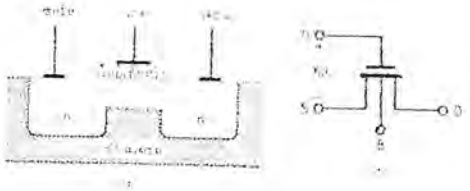
สำนักหอสมุดกลาง พระจอมเกล้าลาดกระบัง

2.3 สวิตช์-คาปาซิเตอร์

พื้นฐานการพัฒนาไอซีกรองความถี่แบบสวิตช์ - คาปาซิเตอร์นี้ มาจากการใช้เทคโนโลยีของ มอส (MOS มาจาก Metal Oxide Semiconductor) เทคโนโลยีนี้ใช้ความสัมพันธ์ง่าย ๆ ของตัวเก็บประจุกับสวิตช์ และรวมไปถึงออปแอมป์ด้วย เนื่องจากการจะสร้างตัวต้านทานบรรจุไว้ในตัวไอซีให้มีค่าถูกต้องแน่นอนนั้นทำได้ยาก แต่เป็นที่ทราบกันว่า ความต้านทานสามารถจะแทนด้วยการทำงานของมอสสวิตช์ (MOS switch) ซึ่งทำงานร่วมกับตัวเก็บประจุ เจ้าอุปกรณ์ทั้งสองตัวนี้นับเป็นส่วนสำคัญของวงจรทั้งหมด และเป็นวงจรกรองความถี่แบบใหม่ล่าสุด นับตั้งแต่ได้มีการปรับปรุงพัฒนาของไอซี

2.3.1 มอสสวิตช์

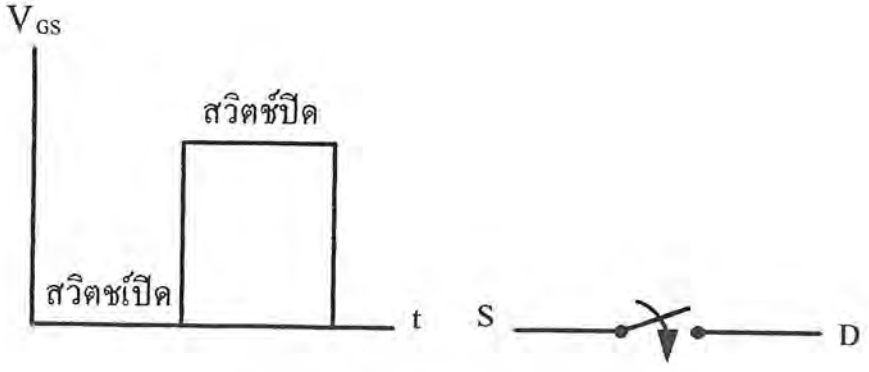
การทำงานของมอสสวิตช์จากรูปที่ 2.14 จากรูปที่ 2.14 (ก) เป็นภาพตัดขวางของมอสที่เป็นทรานซิสเตอร์ชนิดหนึ่งหรือที่เรียกกันว่ามอสเฟต (MOSFET) รูปที่ 2.14 (ข) เป็นสัญลักษณ์ของทรานซิสเตอร์ชนิดนี้ มีขาเกต (Gatc) , ซอร์ส (Sourcc) , เดรน (Drain) และซับสเตรต (ตัวถัง) V_{GS} คือแรงดันระหว่างเกตกับซอร์ส ปกติ มีค่าเป็นศูนย์ หรือมีค่าสูงกว่า V_{cr} (cut - off regions : แรงดันที่ทำให้กระแสเดรน คงที่ปกติมีค่า 1-2 โวลต์) V_{GS} จะเป็นตัวควบคุมให้เฟตตัวนี้ปิดหรือเปิดจึงเรียกว่า มอสสวิตช์ โดยส่วนที่เป็นสวิตช์คือ ซอร์สและเดรน ซึ่งมีค่าความต้านเป็น R_{DS} (drain - source resistance) เมื่อมอสสวิตช์ อยู่ในสภาวะจาก (off - mode : $V_{GS} < V_{cr}$) ความต้านทาน R_{DS} จะมีค่า สูงมากราวๆ 100 - 1000 เมกะโอห์ม ในขณะที่มอสสวิตช์อยู่ในสภาวะต่อ (on-mode : $V_{GS} > V_{cr}$) ค่าความต้านทาน R_{DS} จะลดลงมาถึง 10 กิโลโอห์ม (ค่านี้ขึ้นอยู่กับขนาดของมอส) อัตราส่วนของความต้านทานทั้งสองสภาวะนี้มีค่าประมาณ 10^5 เท่า ตารางที่ 2.3 เป็นการเปรียบเทียบสภาวการทำงานของมอสสวิตช์ ทั้งสองสภาวะ รูปที่ 2.15 แสดงรูปร่างแรงดัน V_{GS} กับการแทนมอสด้วยสวิตช์ ขั้วเดียวทางเดียว รูปที่ 2.16 เป็นการป้อน V_{GS} ด้วยสัญญาณนาฬิกาที่มีคาบเวลาแน่นอน (T_c) สัญลักษณ์ของสัญญาณนาฬิกาคือ มอสสวิตช์จะเปิด-ปิดด้วยคาบเวลาคงที่ เมื่อสัญญาณนาฬิกาคงที่



รูปที่ 2.14 โครงสร้างภายในของมอสทรานซิสเตอร์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

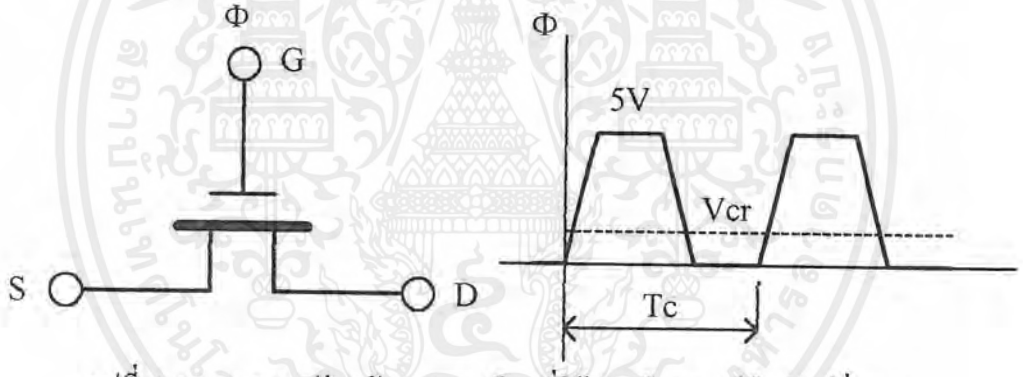
37166



รูปที่ 2.15 มอสสวิตช์อยู่ในสภาวะเปิดหรือปิดขึ้นอยู่กับแรงดัน V_{GS} อยู่ในสภาวะใด

ก) แรงดัน V_{GS}

ข) แทนสภาวะด้วยสวิตช์



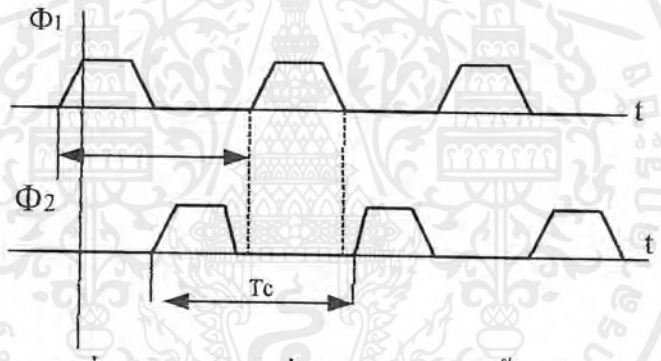
รูปที่ 2.16 แสดงรูปร่างสัญญาณนาฬิกาที่ใช้กระตุ้นมอสก็คือพัลส์นั่นเอง

รูปที่ 2.17 แสดงสัญญาณนาฬิกา 2 สัญญาณคือ ϕ_1 และ ϕ_2 โดยมีความถี่เท่ากัน แต่มีรูปคลื่นล้าหลังกันอยู่ครึ่งคาบและไม่มีส่วนที่เหลื่อมล้ำกัน (non-overlap) คือ เมื่อ ϕ_1 อยู่ในสภาวะเปิด ϕ_2 จะอยู่ในสภาวะปิด สลับกันไปตลอด ถ้านำมอสสองตัวต่อกันดังรูปที่ 2.18 และควบคุมด้วยสัญญาณนาฬิกาของรูปที่ 2.17 จะได้ว่า ระหว่างจุด 1 และจุด 2 จะไม่มีการต่อถึงกันเลย เพราะจะมีมอสสวิตช์ตัวใดตัวหนึ่งเปิดขณะที่อีกตัวหนึ่งจะปิด รูปที่ 2.19 เป็นการแทนมอสด้วยสวิตช์สองตัว รูปที่ 2.19 (ก) นั้น สวิตช์ S_1 และ S_2 จะเปิดและปิดสลับกันตามสัญญาณนาฬิกา ส่วนรูปที่ 2.19(ข) เป็นการยุบสวิตช์ 2 ตัว ในรูป 2.19(ก) ให้เหลือตัวเดียวคือ S_3 โดยใช้สวิตช์ขั้วเดียวสองทาง

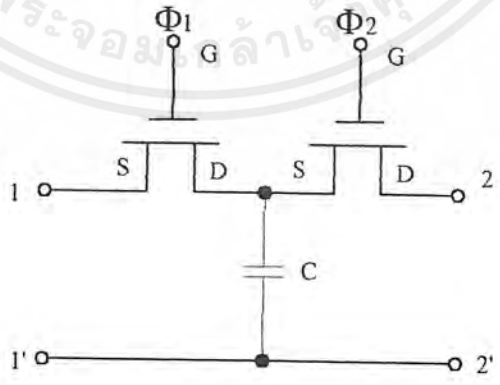
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ตารางที่ 2.3 แสดงการแทนสภาวะการทำงานของมอสด้วยตัวต้านทาน

สภาวะ	สถานะทางลอจิก	ความต้านทานสมมูลย์	สถานะทางไฟฟ้า
$V_{GS} \rangle V_{Cr}$	On	10K	ลัดวงจร
$V_{GS} \langle V_{Cr}$	Off	100M	เปิดวงจร

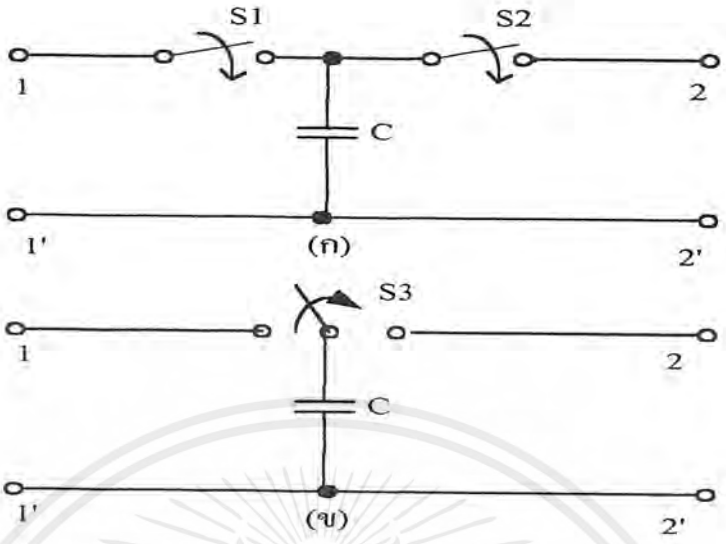


รูปที่ 2.17 แสดงรูปคลื่นสัญญาณนาฬิกาทั้ง 2 สัญญาณ



รูปที่ 2.18 การต่อมอสกับตัวเก็บประจุ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

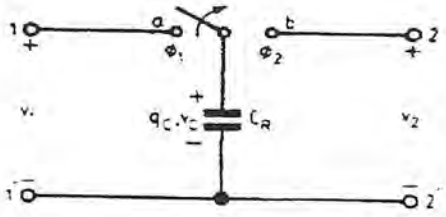


รูปที่ 2.19 แสดงการทำงานของมอสด้วยสวิตช์
ก) ใช้สวิตช์ทางเดียวแทนมอสแต่ละตัว
ข) ใช้สวิตช์ขั้วเดียวสองแทนมอสทั้ง 2 ตัว

รูปที่ 2.20 เป็นรูปเดียวกับรูปที่ 2.19(ข) มีตัวเก็บประจุ C_R , และสวิตช์ขั้วเดียวสองทางโยกไปมาด้วยความถี่นาฬิกา $f_c = 1/T_c$ v_1 คือสัญญาณที่ป้อน v_2 คือแรงดันทางเอาต์พุต สมมติว่าแรงดัน $v_1(t)$ เปลี่ยนแปลงไปตามเวลาหรือเป็นไฟสลับ เริ่มต้นให้สวิตช์โยกไปตำแหน่ง a เราสามารถจะแทนสภาวะนี้ด้วยรูปที่ 2.21(ก) R_1 คือความต้านทานของมอสตัวที่ 1 ขณะอยู่ในสภาวะต่อ มอสตัวที่ 2 อยู่ในสภาวะจากทำให้มีความต้านทานสูงมากเหมือนกับเปิดวงจร ถ้า $v_1(t)$ เปลี่ยนแปลงช้ามากถือว่าคงที่ ตัวเก็บประจุ C_R จะประจุไฟ ซึ่งมีลักษณะรูปร่างดังรูปที่ 2.21 (ข) จากสูตรคาบเวลาคงที่ในการประจุ $\tau = R_1 C_R$ ค่าความต้านทาน R_1 ประมาณ 10 กิโลโอห์ม ตัวเก็บประจุ C_R ปกติมีค่า 10^{-12} ฟารัด ค่าแรงดันที่ประจุได้ที่ 63 เปอร์เซ็นต์ จะใช้เวลา

$$\tau = R_1 C_R = 10^{4} \times 10^{-12}$$
$$= 10^{-8} \text{ วินาที}$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.20 แสดงการทำงานของสวิตช์คาปาซิเตอร์

เราจะสมมติว่า ขณะที่ตัวเก็บประจุ กำลังประจุไฟอยู่นั้น ค่า v_1 เปลี่ยนแปลงน้อยมาก ขณะเดียวกันเมื่อสวิตช์โยกไปทางตำแหน่ง b แรงดันคายประจุจะเป็น v_2

$$q_c = C_R(v_1 - v_2) \tag{1}$$

คาบเวลาที่คายประจุเป็น T_c จะได้กระแสเฉลี่ยเป็น

$$i(t) = \frac{\Delta q}{\Delta t} \cong \frac{C_R(v_1 - v_2)}{T_c} \tag{2}$$

ขณะเดียวกันเราสามารถจะแทนด้วยค่าความต้านทานสมมูลย์ R = V/I จะได้

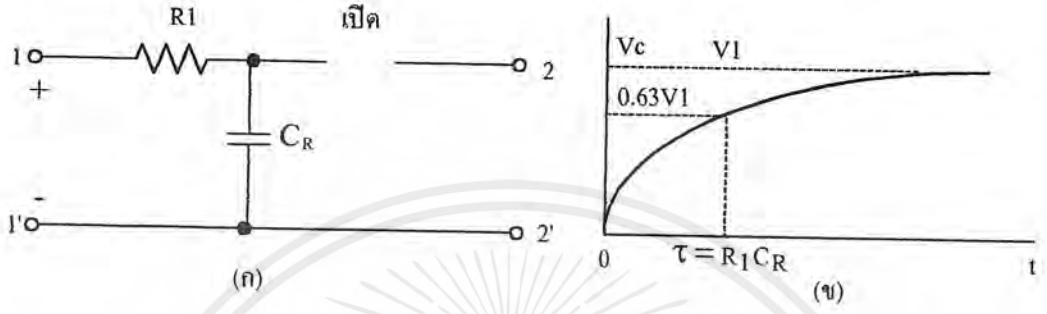
$$R_C = \frac{v_1 - v_2}{i(t)} = \frac{T_C}{C_R} = \frac{1}{f_C R_C} \tag{3}$$

$$\text{จาก} \quad i(t) = \frac{1}{R_c}(v_1 - v_2) \tag{4}$$

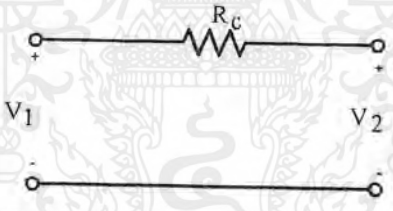
เราสามารถแทนค่าสมการที่ 4 ด้วยรูปที่ 2.22 หรือจะกล่าวได้ว่า สวิตช์- คาปาซิเตอร์จากรูปที่ 2.20 นั้นสามารถประมาณค่าด้วยความต้านทานสมมูลย์ดังรูปที่ 2.22 สำหรับการประมาณค่า

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากสมการที่ 3 นั้น จำเป็นที่จะต้องให้ค่าของความถี่นาฬิกามีค่าสูงกว่าความถี่ V_1 และ V_2 มาก ๆ แต่ค่าจะต้องอยู่ในช่วงที่ยอมรับได้คือ C_R มีค่าประมาณ 10^{-12} ฟารัด และค่า R_c จะอยู่ในช่วง 10 เมกะโอห์ม



รูปที่ 2.21 แสดงการทำงานของสวิตช์คาปาซิเตอร์ได้ด้วยตัวต้านทาน
ก) วงจรสมมูลย์ของสวิตช์คาปาซิเตอร์ขณะสวิตช์โยกไปตำแหน่ง a
ข) ค่าแรงดันที่ถูกประจุเข้าในตัวเก็บประจุ

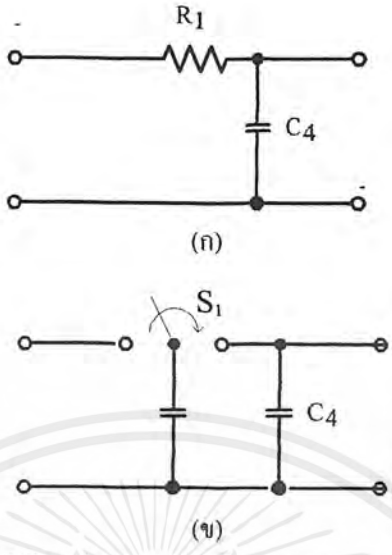


รูปที่ 2.22 ความต้านทานสมมูลย์ของสวิตช์คาปาซิเตอร์

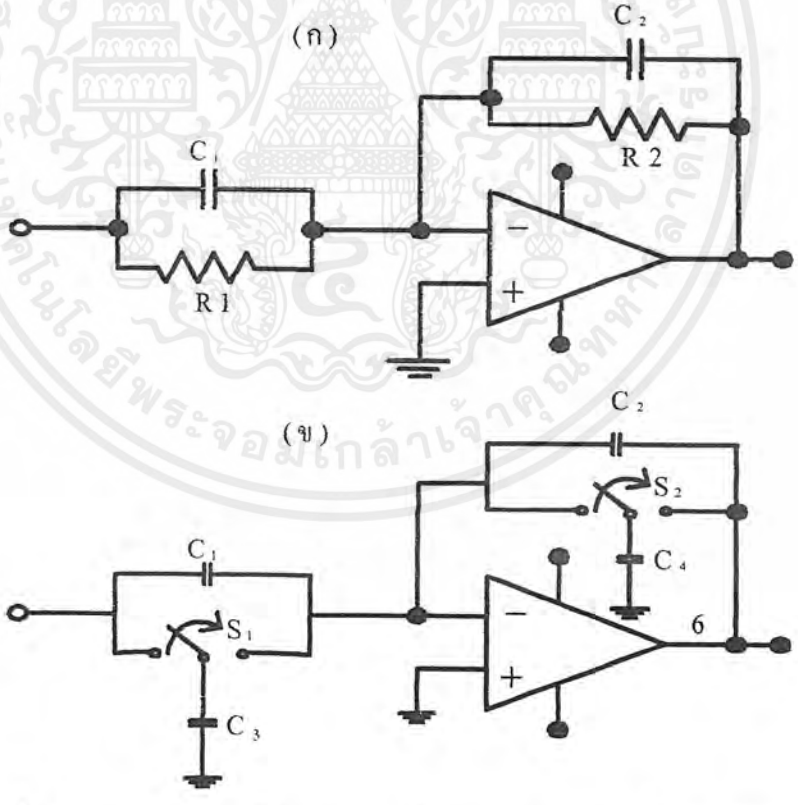
2.3.2 วงจรกรองความถี่

สวิตช์คาปาซิเตอร์สามารถสมมูลย์ได้เป็นตัวต้านทานตัวหนึ่งคือ $R = 1 / f_c R_c$ และค่าความต้านทานยังเปลี่ยนแปลงขึ้นอยู่กับค่าความถี่นาฬิกา ในการประยุกต์เข้ากับวงจรกรองความถี่ก็จะทำได้โดยแทนตัวต้านทานด้วยสวิตช์คาปาซิเตอร์ ดังตัวอย่างในรูปที่ 2.23(ก) ซึ่งเป็นวงจรกรองความถี่แบบให้ความถี่ต่ำผ่าน โดยการใช้สวิตช์คาปาซิเตอร์แทนตัวต้านทาน R_1 ดังรูป 2.23(ข) ค่าความถี่กลางสามารถเปลี่ยนได้โดยปรับความถี่นาฬิกา ส่วนรูป 2.24(ก) เป็นวงจรกรองความถี่แบบตัดแถบความถี่ (band stop) รูปที่ 2.24(ข) เป็นการใช้สวิตช์คาปาซิเตอร์แทนตัวต้านทาน R_1 และ R_2 (C_3 แทน R_1 และ C_4 แทน R_2) และกับวงจรอื่น ๆ ก็สามารถแทนตัวต้านทานด้วยสวิตช์คาปาซิเตอร์ได้ แต่ค่าความต้านทานจะต้องอยู่ในช่วงที่กำหนด

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.23 แสดงการใช้สวิตช์คาปาซิเตอร์กับวงจรกรองความถี่ประเภทพาสซีฟ



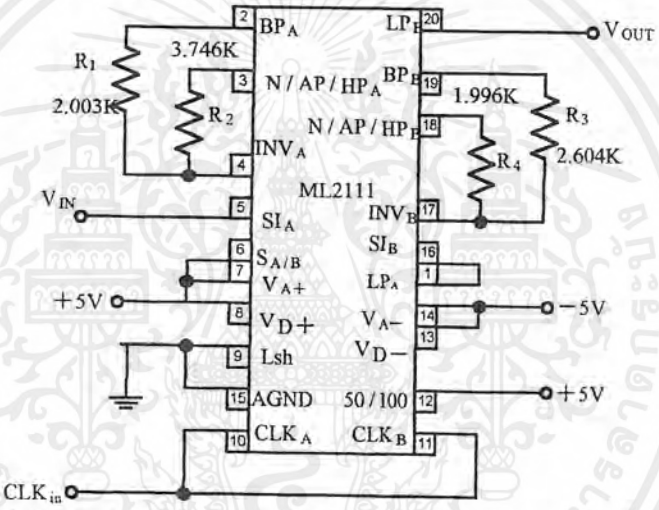
รูปที่ 2.24 แสดงการใช้สวิตช์คาปาซิเตอร์กับวงจรกรองความถี่ประเภทแอกทีฟ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

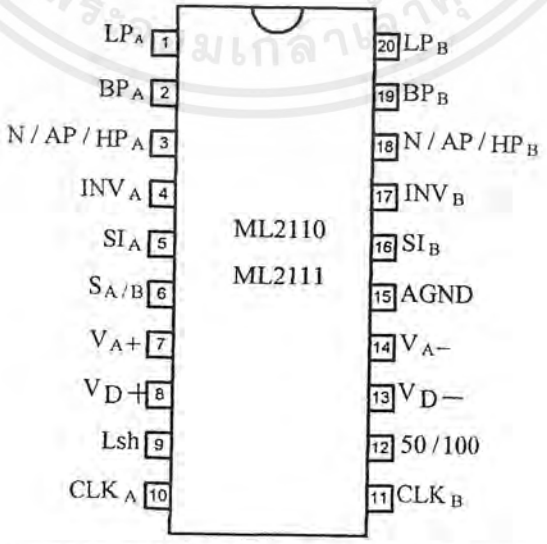
2.4 ไอซีสำเร็จรูปของสวิตคาปาซิเตอร์

เป็นไอซีกรองความถี่แบบสวิตช์คาปาซิเตอร์เบอร์ ML2110 และ ML2111 ภายในไอซีทั้งสองนี้บรรจุชุดกรองความถี่ 2 ชุด แยกกันอิสระ ML2110 ใช้กับคลื่นความถี่ได้ถึง 30 กิโลเฮิรตซ์ ขณะที่ ML2111 ซึ่งวงจรภายในเหมือนกับตัวแรก แต่สามารถใช้กับความถี่ได้ถึง 150 กิโลเฮิรตซ์ ไอซีทั้งสองตัวนี้สามารถต่อเป็นวงจรกรองความถี่ประเภทแอกทีฟได้ทั้ง 4 แบบ

คือ แบบความถี่ต่ำผ่าน , ความถี่สูงผ่าน, แถบความถี่ผ่าน และแบบนอตช์ (notch) หรือแบบตัดแถบความถี่นั่นเอง ความถี่กลางสามารถเปลี่ยนค่าได้โดยปรับที่สัญญาณนาฬิกา ตัวกำเนิดสัญญาณนาฬิกาใช้ได้ทั้งที่เป็นแบบทีทีแอลและซีมอส



รูปที่ 2.25 แสดงการใช้สวิตช์ คาปาซิเตอร์ต่อใช้งานกับวงจรกรองความถี่ประเภทแอกทีฟ

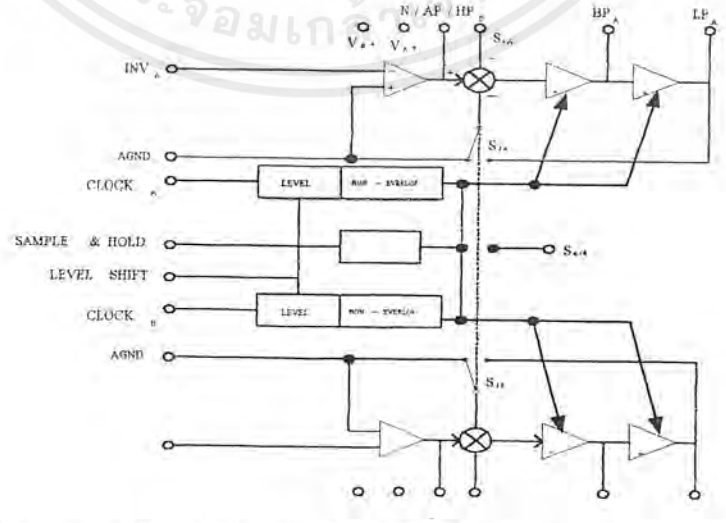


รูปที่ 2.26 แสดงการวางตำแหน่งขาของ ML2110 และ ML2111

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

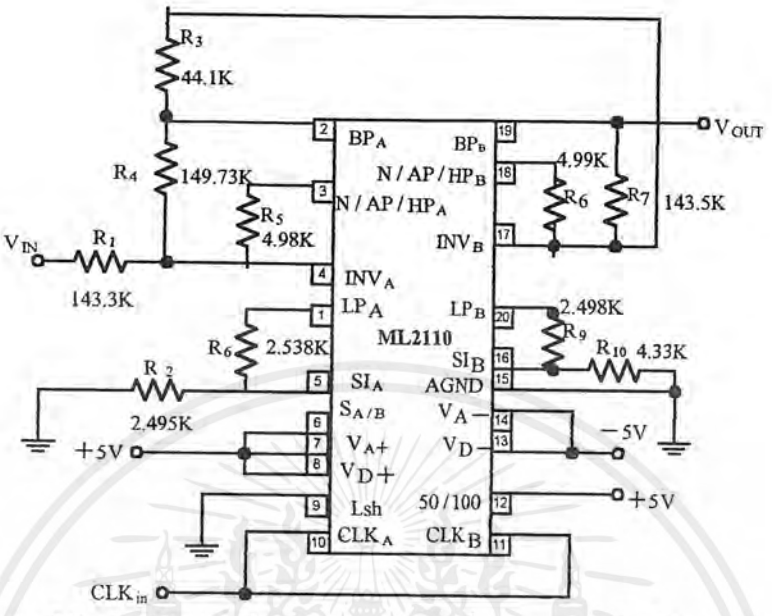
รูปที่ 2.26 เป็นรูปลักษณะของตัวไอซี ML2110 และ ML2111 มี 20 ขา ส่วนรูปที่ 2.27 แสดงผังการทำงานภายในของตัวไอซีทั้งสอง ซึ่งแบ่งเป็นวงจรสองส่วนคือ A และ B แยกกันอิสระ แต่ขาแรงดันใช้ร่วมกันคือ ขา 7 และ ขา 14 เป็นขาไฟบวกและลบในส่วนของวงจรอนาลอก ส่วนขา 8 และ ขา 13 เป็นขาไฟบวกและลบของวงจรดิจิตอล ขา 15 เป็นขากราวด์ สัญญาณนาฬิกาจะถูกป้อน เข้าขา 10 และ 11 ซึ่งจะส่งเข้าวงจรยกระดับสัญญาณ (level shift) ใช้ขา 9 อยู่ 1.4 โวลท์ หลังจากนั้นสัญญาณนาฬิกาจะผ่านเข้าไปในวงจรที่ทำให้เกิดสัญญาณ 2 รูปคลื่นล้ำหลังกันครึ่งคาบ และไม่มีส่วนใดเหลื่อมล้ำกัน (non-overlap clock) ความถี่นาฬิกาจะถูกควบคุมด้วยขา 12 โดยจะควบคุมอัตราส่วนของความถี่นาฬิกากับความถี่กลาง มีให้เลือก 2 แบบ คือ อัตราส่วน 50:1 และ 100:1 ถ้าต้องการเลือกอัตราส่วน 50:1 จะต้องให้ขาควบคุม (ขา12) มีระดับแรงดันเท่ากับไฟบวกดิจิตอล ถ้าเลือก 100:1 จะต้องให้ขา 12 มีศักย์เท่ากับขา 15 (อนาลอกกราวด์)

สัญญาณที่ต้องการกรองต่อเข้าขา 4 และ 7 ซึ่งต่อเข้ากับขากลับสัญญาณ (noninverting) ของออปแอมป์ ที่เอาต์พุต ของออปแอมป์ (ขา 3 และ 18) จะให้เอาต์พุตของสัญญาณที่กรองแบบนอตช์, แบบความถี่สูงผ่านและสนัญญาณที่ไม่ผ่านการกรอง และยังเป็นอินพุทของวงจรขยายแบบรวมSumming amplifier) ในรูปจะมีสัญลักษณ์ซิกม่า (Σ) สัญญาณอินพุทยังมาจากขาภายนอก (ขา 5 และ 16) และส่วนที่ต่ออยู่กับสวิตช์ (S_{2A} กับ S_{2B}) มีขา 6 เป็นขาควบคุมให้สวิตช์โยกไปมา ถ้าต้องการให้สวิตช์โยกไปทางสัญญาณป้อนกลับจากเอาต์พุตแบบความถี่ต่ำกว่าผ่านก็ให้ขา 6 เป็นไฟ +5 โวลต์ ถ้าให้สวิตช์โยกไปต่อกับกราวด์ก็ให้ขา 6 ต่อกับไฟ –5 โวลต์ ขา 2 และ 19 เป็นขาเอาต์พุตแบบแถบความถี่ผ่าน (BP_A และ BP_B) ขณะขา 1 และ 20 เป็นขาเอาต์พุตแบบความถี่ต่ำผ่าน (LP_A และ LP_B)



รูปที่ 2.27 แผนผังการทำงานภายในของไอซี ML2110 และ ML2111

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



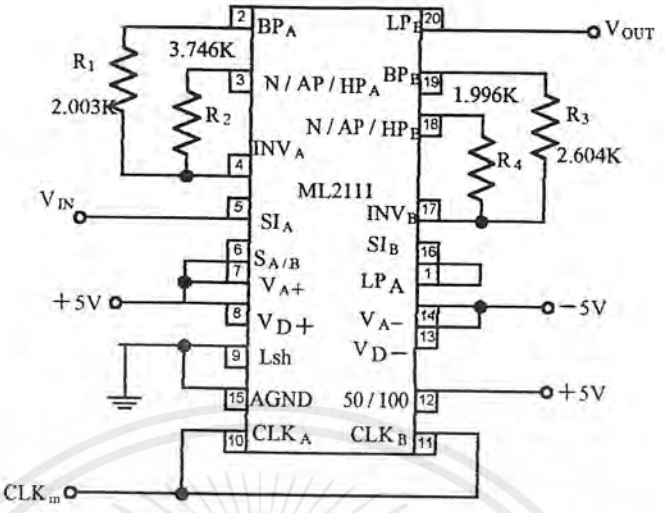
รูปที่ 2.28 ใช้ ML2110 ต่อเป็นวงจรกรองความถี่แบบแถบความถี่ผ่านแบบซีบีซีฟ

2.5 วงจรใช้งาน

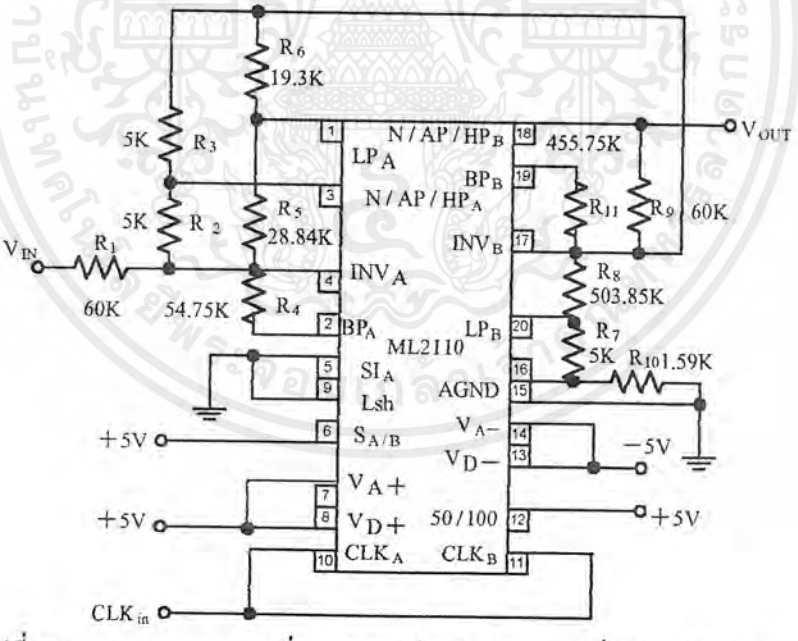
ML 2110 และ ML2111 สามารถต่อวงจรได้หลายแบบ ตัวอย่างการใช้งานมีอยู่ 3 แบบ จากรูปที่ 2.28 เป็นการใช้ ML2110 ต่อเป็นวงจรกรองแถบความถี่ผ่านแบบซีบีซีฟ ลำดับที่ 4 ใช้วงจรภายใน 2 ชุดต่อเรียงกัน (cascade) ความถี่กลางเปลี่ยนได้โดยการปรับความถี่นาฬิกา เช่น ความถี่นาฬิกา 40 กิโลเฮิรตซ์จะได้ความถี่กลางอยู่ที่ 1 กิโลเฮิรตซ์ ขณะที่ความถี่นาฬิกา 800 กิโลเฮิรตซ์ความถี่กลางก็จะอยู่ที่ 20 กิโลเฮิรตซ์ ความถี่ข้างเคียงกับความถี่กลาง $\pm$ 10 เปอร์เซนต์ จะถูกลดทอนได้มากกว่า 25 dB

รูปที่ 2.29 เป็นการสร้างวงจรกรองความถี่ต่ำผ่านโดยใช้ ML2111 ใช้วงจร 2 ชุด ภายในต่อเรียงกัน ที่เอาต์พุต (ขา 20) จะให้สัญญาณมีระดับคงที่ถึงความถี่ 100 กิโลเฮิรตซ์ จากนั้นจะถูกลดทอนลงอย่างรวดเร็ว ที่ความถี่ 200 กิโลเฮิรตซ์ จะถูกลดทอนไป 20 dB และมากกว่า 60 dB ที่ความถี่ 500 กิโลเฮิรตซ์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.29 วงจรกรองความถี่ต่ำผ่านโดยใช้ ML2111



รูปที่ 2.30 วงจรกรองความถี่แบบนอตช์ (ตัดแถบความถี่) โดยใช้ ML2110

รูปที่ 2.30 เป็นวงจรกรองความถี่แบบนอตช์โดยใช้ ML2110 ที่ความถี่นาฬิกา 1 เมกะเฮิรตซ์ สามารถลดทอนสัญญาณที่ 1000 เฮิรตซ์มากกว่า 50 dB ความถี่ถึง 800 เฮิรตซ์ และจาก 1200 เฮิรตซ์ ขึ้นไปจะผ่านได้โดยไม่มีการลดทอน ที่ความถี่ 900 เฮิรตซ์ และ 1100 เฮิรตซ์ จะถูกลดทอนประมาณ 15 dB และตกลงอย่างรวดเร็วที่ใกล้ ๆ 1000 เฮิรตซ์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ด้วยวิวัฒนาการอย่างไม่หยุดยั้ง ทำให้เรามีความสะดวกในการจะสร้างวงจรกรองความถี่ ข้อดีของวงจรกรองความถี่แบบสวิตช์-คาปาซิเตอร์คือ ไม่ต้องใช้ตัวเก็บประจุ จึงตัดปัญหาเรื่องการรั่วไหล ของตัวเก็บประจุขณะใช้งานไปได้ สามารถเลือกความถี่ใช้งานได้ โดยไม่ต้องเปลี่ยนอุปกรณ์ภายนอก แต่ข้อไม่สะดวกก็คือ ต้องมีวงจรกำเนิดสัญญาณนาฬิกาอีกชุดหนึ่ง ปัจจุบันเบอร์นี้ไม่มีขายในเมืองไทย แต่มีเบอร์อื่นเป็นของเนชั่นแนล คือMF10 ซึ่งมีลักษณะการทำงานเหมือนกับสวิตช์คาปาซิเตอร์เบอร์ ML2110 และ ML2111 ภายในไอซีของ MF10 นี้บรรจุชุดกรองความถี่ 2 ชุดแยกอิสระต่อกัน สามารถต่อเป็นวงจรกรองความถี่ประเภทแอกทีฟได้ทั้ง4 แบบ แบบความถี่ต่ำผ่าน แบบความถี่สูงผ่าน แถบความถี่ผ่าน และแบบนอตช์ หรือแบบตัดแถบความถี่นั่นเอง ความถี่กลางสามารถเปลี่ยนค่าได้โดยปรับที่สัญญาณนาฬิกา ตัวกำเนิดสัญญาณนาฬิกาใช้ได้ทั้งที่เป็นแบบทีทีแอลและซีมอส

2.6 การทำงานของ MF10

MF10 มีการทำงาน 6 mode ตัวอย่างการต่อใช้งานใน mode1ดังแสดงในรูปที่ 2.31 ซึ่งสามารถสร้างBand pass filter ,Low pass filter และ Notch filter โดยมีสมการที่ใช้ในการออกแบบดังนี้

$f_o = f_{CLK}$ or $f_0 = f_{CLK}$ (Selected by Pin12)

$A_{0,LP} = R2/R1$ (Low -pass passband gain)

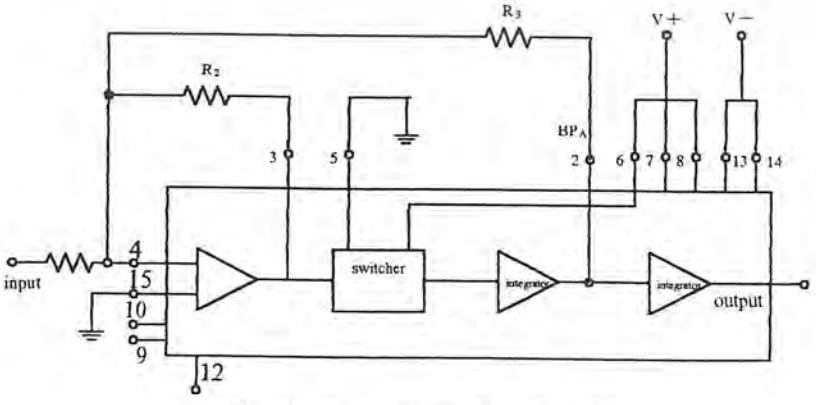
$A_{0,BP} = R3/R1$ (passband gain of bandpass filter)

$A_{0,notch} = R2/R1$ (passband gain of notch filter)

$Q = R3/R2$

$A_{0,BP} = A_{0,LP} * Q$

The maximum Low-pass gain is $A0,peak = A_{0,LP} * Q$



รูปที่ 2.31 การต่อ MF10 ใน mode1

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ตัวอย่าง อาศัยไอซีเบอร์ MF 10 จงออกแบบวงจร Band pass filter อันดับ2 โดยอัตราส่วน f_{CLK}/f_0 เท่ากับ 100 และสัญญาณ Clock เป็นประเภท TTL และมีความถี่ f_{LOW} =300Hz , f_{HIGH} = 3,000 Hz และ มี pass band gain (A_0)=10 กำหนดQ=0.35

วิธีทำ

1.เมื่อสัญญาณ Clock เป็นแบบ TTL จึงใช้ V+ =10 V, V- = 0V, L Sh =grounded ,and AGND= 5V อัตราส่วน f_{CLK}/f_0 = 100 จะต้องให้ขา12 ต่อไปที่ AGND (มีศักย์เท่ากับขา 15)

2.หาค่าความถี่กลาง

$$f_0 = (f_{Low} * f_{High})^{1/2}$$

$$= (300*3,000)^{1/2}$$

$$= 949 \text{ Hz}$$

$$f_{CLK} = 100* f_0$$

$$= 94900 \text{ Hz}$$

3.จากโจทย์ Q=0.35

$$Q= R3/R2$$

$$R3/R2 = 0.35$$

เลือก R2 = 10 กิโลโอห์ม จะได้ R3 = 3.5 กิโลโอห์ม

4.จาก Pass band gain = 10

$$A_{0,BP} = R3/R1$$

ดังนั้น R3/R1= 10 , R1= 350 โอห์ม

5.ดังนั้นเราจะคำนวณค่า

$$A_{0,Peak} = A_{0,LP} * Q$$

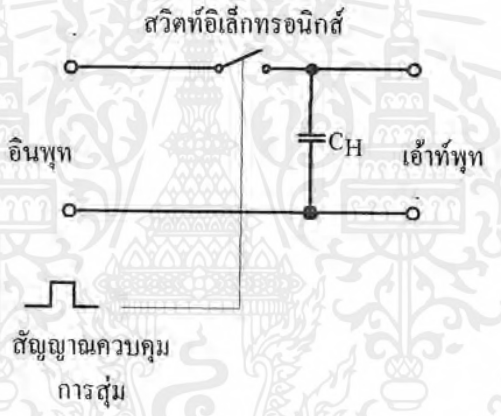
$$= (R2/R1)*Q$$

$$= 10$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.7 วงจรแซมปลิ้ง (Sampling circuit)

ความจริงแล้ววงจรแซมปลิ้งมิได้มีใช้เฉพาะกับ ADC เท่านั้น แต่ก็ยังใช้ กันทั่วๆ ไปในระบบ data distribution , sampling scope , DVM , reconstuction filter และอนาลอกคอมพิวเตอร์เป็นต้น วงจร แซมปลิ้ง โดยพื้นฐานแล้วเป็นอุปกรณ์หรือวงจรเก็บแรงดัน (Voltage memory) ซึ่งใช้อุปกรณ์ร่วมสำคัญคือตัวเก็บประจุ ในรูปที่ 2.32 แสดงวงจรพื้นฐานของแซมปลิ้ง อิเล็กทรอนิกส์สวิทช์จะต่อสัญญาณแรงดันเข้ากับตัวเก็บประจุซึ่งสวิตช์นี้ควบคุมจาก Sampling pulse ช่วงการตัดต่อสวิทช์และเวลาในการประจุแรงดันจนถึงค่าที่ sample มานั้นเรียกว่า Aperture-time ของวงจร แซมปลิ้ง จากลักษณะการทำงานดังกล่าววงจรแซมปลิ้ง จะมีจุดตัดต่อสัญญาณเข้าออก 3 จุดด้วยกันคือ สัญญาณอนาลอกอินพุต สัญญาณแซมปลิ้ง และเอาท์พุต

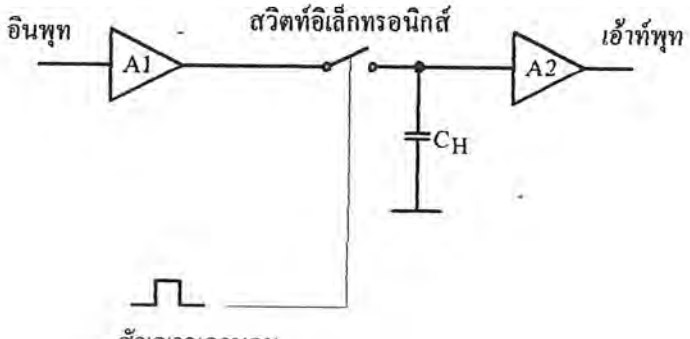


รูปที่ 2.32 แสดงพื้นฐานของวงจร แซมปลิ้ง

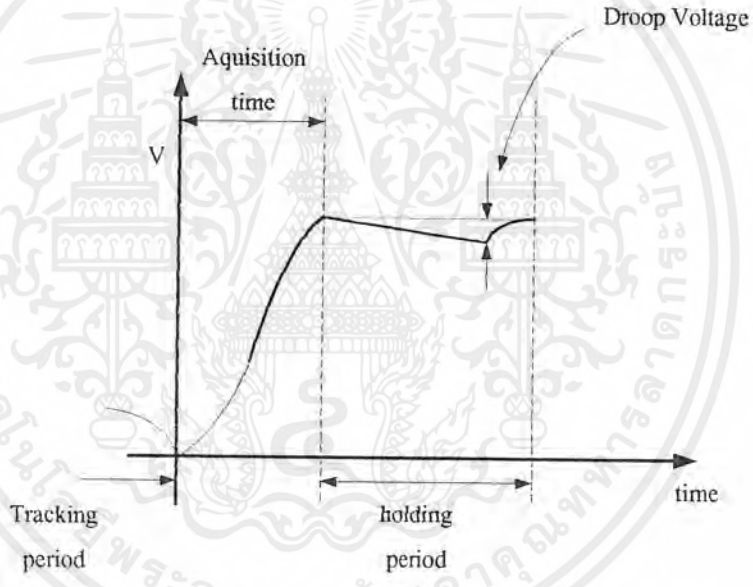
รูปที่ 2.33 แสดงวงจรที่ใกล้เคียงกับวงจรที่ใช้ในทางปฏิบัติ โดยเพิ่มเติมบัฟเฟอร์แอมป์ปลิไฟร์เข้าทางส่วนอินพุตและเอาท์พุตของวงจรแซมปลิ้ง พื้นฐาน แอมปลิไฟเออร์ทางด้านอินพุตช่วยทำให้วงจรมีอิทพุตอิมพีแดนซ์สูงสะดวกต่อการใช้งานและสามารถเพิ่มกระแสเพื่อทำการประจุ C_H ได้เร็วขึ้น ส่วนทางเอาท์พุตช่วยทำให้เอาท์พุตอิมพีแดนซ์สามารถขับ ADC ได้ง่าย

มีจุดสำคัญที่ต้องพิจารณาคือ ในส่วนของแอมปลิไฟร์เหล่านี้ ปกติแล้วจำเป็นต้องเป็นแอมปลิไฟร์ที่ใช้กระแสอินพุต ต่ำทั้งนี้เพื่อให้ดึงกระแสจากตัวเก็บประจุ มิฉะนั้น แรงดันจะลดระบบเนื่องจากการโหลด ดังแสดงในรูปที่ 2.34

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.33 ไดอะแกรมของวงจร S/H



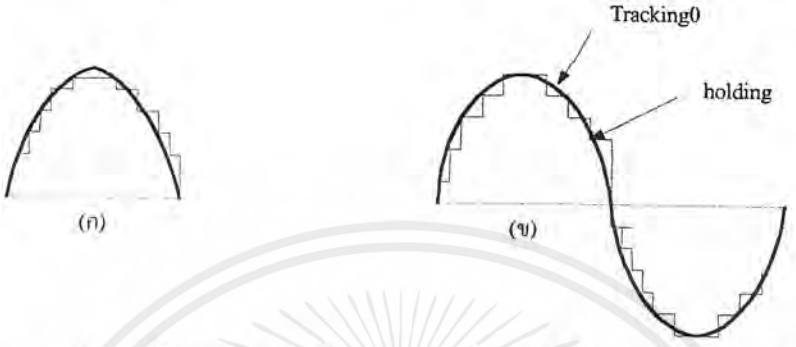
รูปที่ 2.34 แสดงรูปคลื่นเอาท์พุทของ S/H

ปกติแล้วมักใช้แอมปริไฟร์เออร์ที่มี FET หรือ MOSFET เป็นอินพุท เพราะการไบอัสด้วยแรงดันทำให้กระแสอินพุทต่ำด้วย

วงจร แซมปลิ้ง ในระบบ Data Acquistion นิยมใช้สองแบบคือ Sampling gate หรือ sampler และ sample and holds (S&H gate) วงจร Sampling gate จะอยู่ในสภาวะ high input impedance เมื่อไม่มีการสุ่ม และเมื่อมีการสุ่มเอาท์พุท จะปรากฏสัญญาณที่ได้รับมาทันทีนั้น ส่วน S&H จะตัดต่อสวิตท์สุ่มช้ากว่าโดยมีลักษณะการทำงานเป็นสองขั้นตอนคือ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

- แต่ขณะที่ตัดสัญญาณออกวงจรจะ track ตามสัญญาณอินพุท จนกว่าจะมีการสุ่มสัญญาณ
- hold อินพุทค่าที่ แซมปลิ้ง ครั้งสุดท้ายจะถูกเก็บไว้เมื่อเข้าสู่โหมด hold



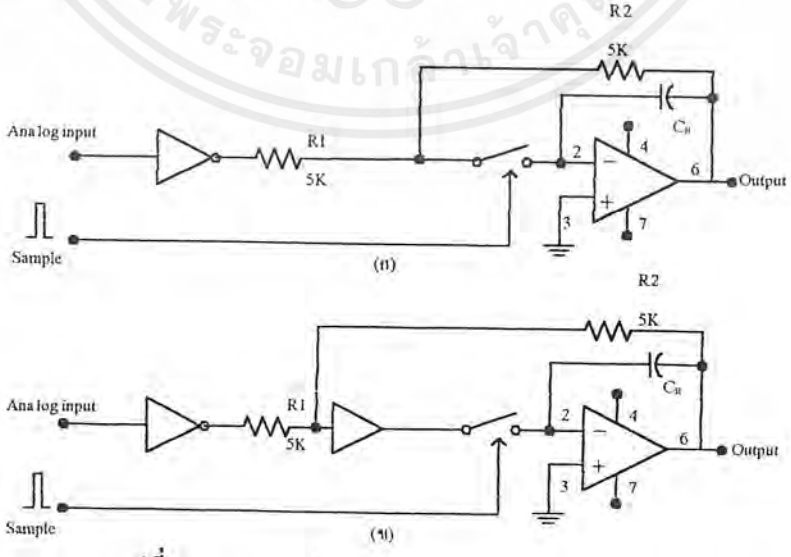
(ก) เอาท์พุทจาก Sampling Gate (ข) เอาท์พุทจาก Sample & holds

รูปที่ 2.35 แสดงเอาท์พุทจาก Sampling Gate และ เอาท์พุทจาก Sample & holds

Sampling Gate นิยมนำมาใช้ในระบบความถี่สูง เช่นใน Sampling CRO, Vector voltmeter, RF vector impedance meter, Microwave DFM ส่วน S&H นั้นเนื่องจากมีแบนด์วิดธ์ต่ำกว่ามากจึงเหมาะสำหรับงานทั่ว ๆ ไปซึ่งในที่นี้จะกล่าวถึงรายละเอียดของ Sample & hold เท่านั้น

การจัดวงจร Sampling &hold มีได้หลายลักษณะ ซึ่งอาจนำไอซี(IC) หรือทรานซิสเตอร์มาประกอบเป็นวงจรตลอดจนการสร้างวงจรทั้งหมดของ Sample & hold ลงบนชิปไอซีเดี่ยว เช่น เบอร์ LF 398

2.7.1.วงจรสุ่มแบบ Inverting Close Loop



รูปที่ 2.36 วงจรสุ่มแบบ Inverting Closed Loop

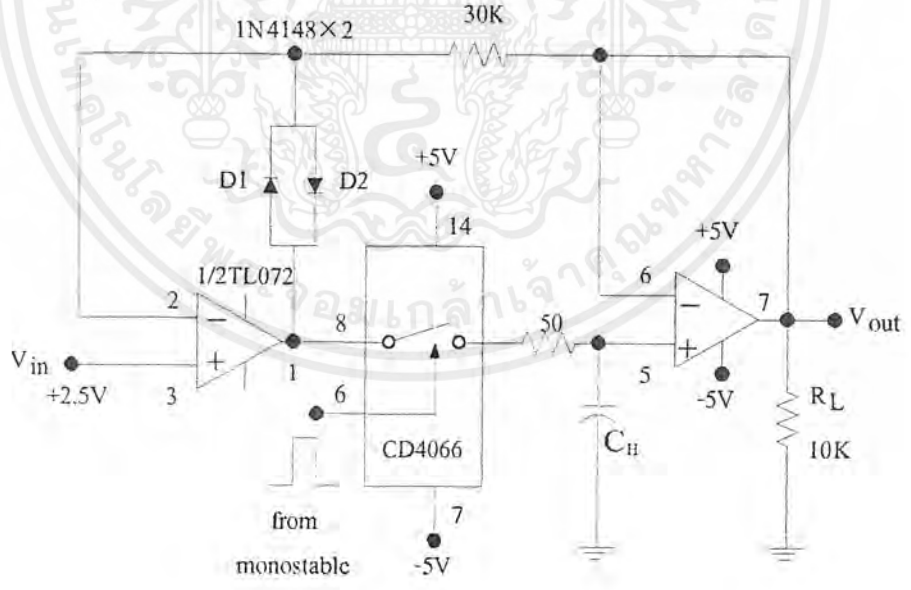
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ในวงจรนี้ C_H จะประจุด้วยอัตรา RC ซึ่งสามารถเพิ่มความเร็วได้โดยใช้ Current boot Amplifier อยู่ในลูปป้อนกลับดังรูปที่ 2.36 ข โดยแอมปริไฟร์เออร์นี้มีอัตราขยายเท่ากับ 1

2.7.2 วงจร สุ่มแบบ Non inverting Closed Loop

ในวงจรนี้ (รูปที่ 2.37) A1 จะทำหน้าที่เป็นบัฟเฟอร์และ Error Ampliefier ในตัว โดยจะทำหน้าที่เปรียบเทียบแรงดันเอาท์พุทกับแรงดันอินพุทแล้วจะประจุ C จนกระทั่ง error เท่ากับศูนย์ A2 ในวงจรนี้จะมีอินพุทอิมพีแดนซ์สูง และการป้อนกลับใน A1 ด้วยไดโอดทำให้ A1 ไม่ต้องเป็น Op-Amp ที่มีคุณภาพดีนัก ตัวต้านทาน R จะแยกอินพุทของ A1 และเอาท์พุทของ A2 ออกจากกันในช่วง hold-mode

ข้อดีของวงจรนี้คือ ทำงานได้รวดเร็วและแม่นยำ ความเร็วในการประจุขึ้นอยู่กับความเร็วของ A1 และความสามารถ ในการจ่ายกระแสของมัน ไดโอด สองตัวจะทำหน้าที่ Clamp สัญญาณเอาท์พุทไปที่อินพุทอินเวอร์ติ้งของ A1 เพื่อยังคงให้วงจรมีเสถียรภาพดีเมื่อสวิทช์แซมปลิ้ง เปิด วงจรลักษณะนี้เป็นวงจรพื้นฐานของไอซีเบอร์ LF 398



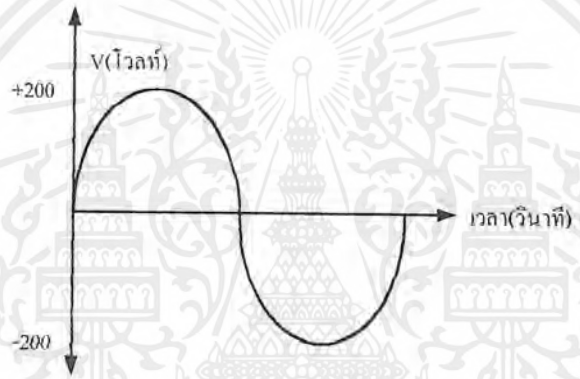
รูปที่ 2.37 วงจร Non-inverting closed loop

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.8 วงจรแปลงสัญญาณอนาลอกเป็นดิจิตอลและ สัญญาณดิจิตอลเป็นอนาลอก

ระดับสัญญาณภายในวงจรดิจิตอลมีสองระดับคือ ระดับแรงดันไฟฟ้าสูงและระดับแรงดันไฟฟ้าต่ำ ซึ่งแทนด้วยสภาวะลอจิก "1" และ "0" การทำงานของวงจรดิจิตอลจะทำงานโดยขึ้นกับระดับแรงดันไฟฟ้า 2 ระดับนี้เท่านั้นวงจรดิจิตอลมีข้อดีที่ความแม่นยำสูงสามารถแก้ไขเปลี่ยนแปลงได้ง่าย และการทำงานจะไม่ขึ้นกับสภาวะแวดล้อมเหมือนวงจรอนาลอก

ปัจจุบันนี้จึงนิยมใช้วงวงจรดิจิตอลมากขึ้น แต่สัญญาณโดยทั่วไปที่ใช้กันอยู่เป็นสัญญาณที่มีค่าอย่างต่อเนื่อง เช่น แรงดันไฟฟ้าที่ส่งมาตามสายส่งกำลังถึงบ้านผู้ใช้ มีรูปแบบสัญญาณเป็นสัญญาณซายน์ดังในรูปที่ 2.38



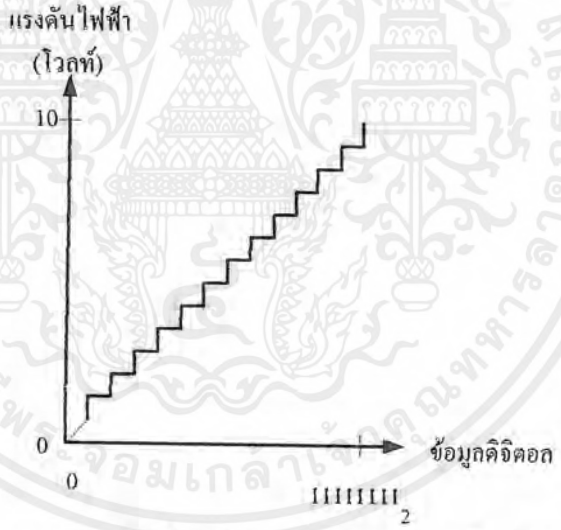
รูปที่ 2.38 รูปสัญญาณซายน์

สัญญาณซายน์ในรูปมีค่าต่ำสุด –200 โวลท์ และสูงสุด 200 โวลท์ ระหว่างค่าสูงสุดและต่ำสุดแรงดันไฟฟ้ามีค่าแรงดันไฟฟ้าที่ต่อเนื่อง เช่น 1, 2.01, 2.02 โวลท์ เป็นต้น สัญญาณที่มีค่าต่อเนื่องหรืออาจไม่มีบางค่านี้เรียกว่าสัญญาณอนาลอก (Analog Signal) ส่วนสัญญาณที่มีเพียงบางค่าของระดับสัญญาณจะเรียกว่าสัญญาณไม่ต่อเนื่อง (Discrete Signal) เช่น สัญญาณดิจิตอล (Digital Signal) ที่มีสัญญาณเพียง 2 ระดับคือ "1" และ "0" ดังนั้นในการนำเอาวงวงจรดิจิตอลมาใช้งานเกี่ยวข้องกับสัญญาณอนาลอกจะต้องมีวงจรแปลงระดับของสัญญาณอนาลอกเป็นสัญญาณดิจิตอล ที่เรียกว่าวงจรแปลงสัญญาณอนาลอกเป็นดิจิตอล (Analog to Digital Converter, ADC) เพื่อให้วงจรดิจิตอลสามารถนำเอาสัญญาณดิจิตอลเข้าไปประมวลผลได้ เช่นเข้าไปบวกกับสัญญาณ อนาลอก วงจรที่ทำหน้าที่นี้เรียกว่าวงจรแปลงสัญญาณดิจิตอลเป็นอนาลอก (Digital to Analog Converter, DAC) การทำงานของวงจร ADC และวงจร DAC มีหลายวิธี แต่ละวิธีก็มีข้อดีต่างกัน ดังนั้นการจะนำเอาวงจรแบบใดไปใช้งานก็ขึ้นกับวัตถุประสงค์ของการใช้งาน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.8.1 วงจรแปลงสัญญาณอนาลอกเป็นดิจิตอล

ในการแปลงสัญญาณอนาลอกเป็นดิจิตอลหรือสัญญาณดิจิตอลเป็นอนาลอกนั้น ไม่จำเป็นที่ค่าของข้อมูลดิจิตอลและระดับของสัญญาณอนาลอกจะต้องมีค่าตรงกัน เช่น แรงดันไฟฟ้า 2 โวลท์อาจแปลงเป็นสัญญาณดิจิตอลมีค่า 101_2, 1110_2, หรือ 10_2 ก็ได้ เพียงแต่ค่าของสัญญาณอนาลอกและดิจิตอลค่าจะสัมพันธ์กันเท่านั้น คือในวงจรแปลงสัญญาณแต่ละวงจรจะให้ค่าดิจิตอลออกมาค่าหนึ่งสำหรับสัญญาอนาลอกค่าหนึ่ง แต่การแปลงสัญญาณอนาลอกเป็นดิจิตอล ไม่สามารถที่จะแปลงทุกๆค่าของสัญญาณอนาลอกให้เป็นสัญญาณดิจิตอลที่แตกต่างกันได้ เพราะมีขีดจำกัดที่จำนวนบิทในสัญญาณดิจิตอล เช่น สัญญาณอนาลอกมีค่า 0 ถึง 10 โวลท์ ถ้าจะแปลงให้เป็นสัญญาณดิจิตอล 8 บิทก็สามารถแปลงสัญญาณอนาลอกเป็นข้อมูลดิจิตอลได้เพียง 2^8=256 ค่าเท่านั้น เช่น 0 โวลท์ตรงกับข้อมูลดิจิตอล 00000000_2 และ 5 โวลท์ตรงกับขั้อมูลดิจิตอล 11111111_2 เป็นต้น ดังนั้นสัญญาณอนาลอกจะต้องถูกแบ่งออกเป็นช่วงๆ แล้วให้แต่ละช่วงของสัญญาณอนาลอกมีค่าเป็นข้อมูลดิจิตอลค่าหนึ่ง ซึ่งเรียกว่าวิธีการควอนไทซ์(Quantization) ดังในรูปที่ 2.39



รูปที่ 2.39 ความสัมพันธ์ของสัญญาณอนาลอกและข้อมูลดิจิตอล

สัญญาณแรงดันไฟฟ้าในรูปที่ 2.39 เป็นสัญญาณอนาลอกที่มีค่าต่ำสุด 0 โวลท์ และสูงสุด 10 โวลท์ เรียกว่ามีค่าเต็มสเกล (Full Scale) เท่ากับ 10-0=10 โวลท์ และแรงดันไฟฟ้าในช่วงดังกล่าวจะแทนด้วยข้อมูลดิจิตอล 8 บิท ตั้งแต่ 00000000_2 ถึง 11111111_2 จำนวน 256 ค่า เรียกว่าความสัมพันธ์ระหว่างสัญญาณอนาลอกและข้อมูลดิจิตอล (Resolution) เท่ากับ 8 บิท เนื่องจากแรงดันไฟฟ้าถูกแบ่งออกเป็น 256 ช่วงตามค่าข้อมูลดิจิตอล 256 ค่า ดังนั้นแต่ละช่วงจะมีค่าแรงดันไฟฟ้าเท่ากับค่าเต็มสเกลหารด้วยจำนวนช่วง ในรูปที่ 2.39 แต่ละช่วงมีแรงดันไฟฟ้าเท่ากับ 10/256=0.039 โวลท์ คิดเป็น เปอร์เซนต์ของค่าเต็มสเกลได้เท่ากับ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

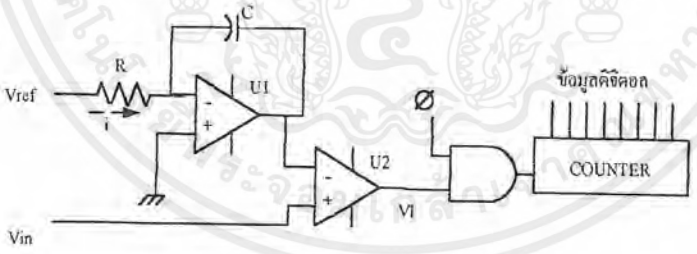
$$(\text{ค่าเต็มสเกล} \div \text{จำนวนช่อง} \times 100\%) = \frac{10}{256} \times 100\% = 3.9\%$$

หรือเรียกอีกอย่างหนึ่งว่าความแยกชัดเท่ากับ 3.9 เปอร์เซ็นต์ ความสัมพันธ์ของสัญญาณอนาลอกและดิจิตอลที่มีทิศทางเดียวกันคือ เมื่อสัญญาณอนาลอกมีค่าเพิ่มขึ้นแล้วค่าของข้อมูลดิจิตอลมีค่าเพิ่มขึ้น หรือถ้าสัญญาณอนาลอกมีค่าลดลงแล้วค่าของข้อมูลดิจิตอลลดลง จะเรียกว่าเป็นแบบ Monotonieity ในการควอนไทซ์นั้นจะทำให้สัญญาณอนาลอกที่มีค่าอยู่ในช่วงเดียวกันมีค่าดิจิตอลเดียวกัน ดังนั้นความผิดพลาดที่เกิดขึ้นอันเนื่องจากการควอนไทซ์นี้ จึงเรียกว่าค่าผิดพลาดควอนไทซ์ (Quantizing Error) เช่น ค่าผิดพลาดควอนไทซ์ในรูปที่ 4.2 มีค่าเท่ากับ $\pm 1/2$ ของบิทนัยสำคัญต่ำสุด (LSB)

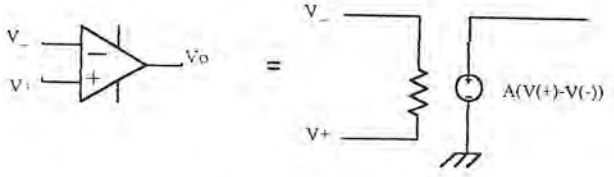
วิธีการแปลงสัญญาณอนาลอกเป็นดิจิตอลมีหลายวิธี แต่ละวิธีมีหลักการทำงานดังนี้

2.8.1.1 วิธีความชันเดี่ยว (Single Slope)

วิธีความชันเดี่ยวหรือเรียกอีกอย่างหนึ่งว่าเป็นแบบวงจรนับ (Counter) เพราะในวงจรจะใช้ค่าที่นับได้จากวงจรนับ ซึ่งเป็นค่าเลขฐานสองที่สัมพันธ์กับค่าของสัญญาณอนาลอกที่เข้ามายังวงจรแปลง มาเป็นค่าดิจิตอลที่แปลงได้ แผนภาพวงจรแปลงสัญญาณอนาลอกเป็นข้อมูลดิจิตอลด้วยวิธีความชันเดี่ยว มีดังรูปที่ 2.40



รูปที่ 2.40 วงจรแปลงสัญญาณอนาลอกเป็นข้อมูลดิจิตอลด้วยวิธีความชันเดี่ยว



รูปที่ 2.41 วงจรสมมูลอย่างง่ายของวงจรขยายเชิงดำเนินการ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

U1 ในวงจรรูปที่ 2.40 เป็นวงจรขยายเชิงปฏิบัติการ (Operational Amplifier, OP-AMP) ซึ่งมีวงจรสมมูล (Equivalent Circuit) อย่างง่ายดังรูปที่ 2.41

OP-AMP เป็นวงจรที่ขยายผลต่างของแรงดันไฟฟ้าที่เข้ามาทางขาสัญญาณเข้าให้เป็นแรงดันไฟฟ้าดังในรูปที่ 2.41 อัตราขยายของ OP-AMP ในอุดมคติมีอัตราขยายสูงเป็นอันต์ ($A=\alpha$) และความต้านทานขาเข้า (R_{in}) มีค่าเป็นอนันต์เช่นกัน ดังนั้นกระแสทีจะไหลเข้าไปทางขาสัญญาณเข้าทั้งสองขาจึงมีค่าเป็นศูนย์ ทำให้แรงดันไฟฟ้าที่ตกคล่อมขาสัญญาณเข้าของ OP-AMP มีค่าเป็น 0 โวลท์ คือแรงดันไฟฟ้าที่ขาสัญญาณเข้าทั้งสองมีค่าเท่ากัน OP-AMP เป็นอุปกรณ์ที่ถูกใช้งานมากในวงจรแปลงสัญญาณอนาลอกเป็นดิจิตอลและสัญญาณดิจิตอลเป็นอนาลอก จึงควรจำคุณสมบัติในอุดมคติและการทำงานของ OP-AMP จะทำให้เข้าใจวงจรแปลงสัญญาณแบบต่าง ๆ ได้ง่าย

ในวงจรรูปที่ 2.40 V_{ref} เป็นแรงดันไฟฟ้าอาจดิงที่มีแรงดันคงที่ค่าหนึ่ง กระแส I ที่ไหลจาก V_{ref} ผ่านตัวต้านทาน R ไปยังขาสัญญาณเข้าแบบกลับเฟส (-) ของ OP-AMP จะไม่ไหลเข้าไปยัง OP-AMP ดังที่กล่าวมาแล้วว่าความต้านทานขาเข้าของ OP-AMP มีค่าเป็นอนันต์ ดังนั้นกระแส I ทั้งหมดจะไหลไปยังตัวเก็บประจุ C ทำให้เกิดแรงดันไฟฟ้าตกคล่อมตัวเก็บประจุ

$$V_o = V_- - \frac{1}{C}\int i\,dt - V_o(0) \qquad \ldots(2.8.1)$$

V_c (0) เป็นแรงดันไฟฟ้าที่คงอยู่ที่ตัวเก็บประจุ ก่อนที่กระแสจะไหลเข้าไปยังตัวเก็บประจุ กระแส i มีค่าเท่ากับ

$$i = \frac{V_{Ref} - V_-}{R} \qquad \ldots(2.8.2)$$

เนื่องจากแรงดันไฟฟ้าตกคล่อมระหว่างขา V_- กับ V_+ มีค่าเท่ากับ 0 โวลท์ ซึ่งในวงจรรูปที่ 2.40 มี V_+ ต่ออยู่กับกราวด์ ดังนั้น $V_- = V_+ = 0$ โวลท์ จากสมการ (2.8.2) เขียนได้

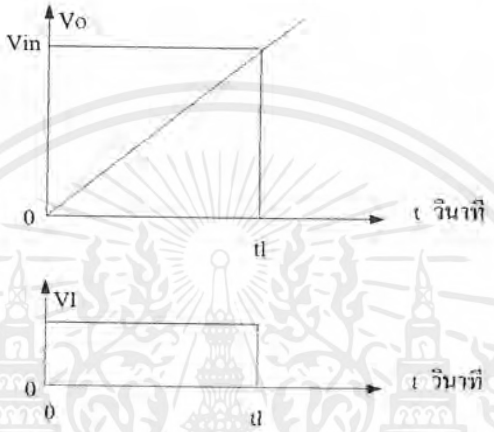
$$i = \frac{V_{Ref}}{R} \qquad \ldots(2.8.3)$$

จากสมการ (2.8.3) แสดงให้เห็นว่ากรแส I มีค่าคงที่ ดังนั้นเมื่อแทนค่ากระแส I ในสมการ (2.8.1) และ $V_- = 0$ โวลท์ จะได้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$V_0 = \frac{-V_{Ref}\, t}{RC} - V_c(0) \qquad \ldots(2.8.4)$$

ถ้า V_{Ref} มีค่าเป็นลบ และให้ตอนเริ่มต้นแรงดันไฟฟ้า V_c (0) มีค่าเป็น 0 โวลท์ แรงดันไฟฟ้า V_c ในสมการ (2.8.4) จะมีค่าเพิ่มขึ้นตามเวลาเป็นแบบเส้นตรงดังในรูปที่ 2.42



รูปที่ 2.42 กราฟแรงดันไฟฟ้า ของวงจรรูปที่ 2.40

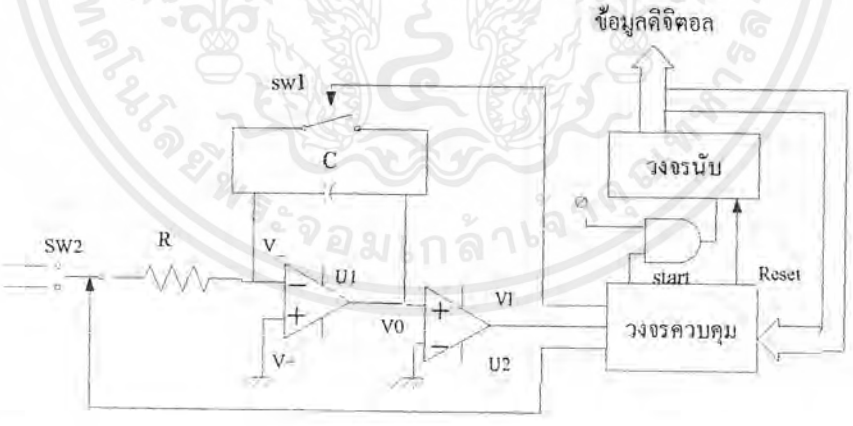
ให้ในตอนเริ่มต้นคือที่เวลา t=0 วินาที ตัวเก็บประจุถูกทำให้คายประจุออกจนหมด แรงดันไฟฟ้าตกคล่อมตัวเก็บประจุเป็น 0 โวลท์ ดังนั้นแรงดันไฟฟ้า V_o จะมีค่าเป็น 0 โวลท์ และวงจรนับจะถูกรีเซทให้มีค่าเป็น 0 ด้วย ขณะนี้สัญญาณ V_L ที่ออกจากวงจรเปรียบเทียบสัญญาณ U2 ในรูปที่ 2.40 จะมีสภาวะลอจิกเป็น "1" เนื่องจาก V_{in} มีค่ามากกว่า V_o สัญญาณ $\varnothing$ ซึ่งเป็นสัญญาณนาฬิกาที่มีความถี่คงที่จะถูก AND กับลอจิก "1" จากสัญญาณออกของ U2 ทำให้สัญญาณที่ออกจากเกต AND มีรูปสัญญาณและความถี่เหมือนกับสัญญาณ $\varnothing$ ที่ป้อนเข้าไป ซึ่งวงจรนับจะทำการนับจำนวนไซเคิลของสัญญาณที่ออกมาจากเกต AND นี้ ในขณะเดียวกันแรงดันไฟฟ้า V_o จะมีค่าเพิ่มขึ้นด้วยอัตราคงที่ตามสมการ (2.8.4) จนกระทั่งแรงดันไฟฟ้า V_o มีค่ามากกว่า V_{in} เล็กน้อย ก็จะทำให้ระดับลอจิก V_{in} ที่ออกจากวงจรเปรียบเทียบสัญญาณกลับมามีสภาวะลอจิก "0" ซึ่งจะทำให้ไม่มีสัญญาณไปเข้าวงจรนับ ดังนั้นค่าที่วงจรนับจะไม่เพิ่มขึ้นค่าที่นับได้ครั้งสุดท้ายจะเป็นข้อมูลที่สัมพันธ์กับแรงดันไฟฟ้า V_{in} ที่ป้อนเข้ามายังวงจร ถ้า V_{in} มีค่าน้อยเวลาที่ใช้ให้ V_o มีค่าเพิ่มจนกระทั่งมีค่าเท่ากับหรือมากกว่า V_{in} ก็จะมีค่าน้อย แต่ถ้า V_{in} มีค่ามากก็จะใช้เวลามาก ค่าที่วงจรนับทำการนับได้จึงแปรผันโดยตรงกับเวลาหรือค่า V_{in} นั่นเอง อย่างไรก็ตามค่าที่นับได้ไม่ได้แสดงค่าแรงดันไฟฟ้า V_{in} โดยตรงเสมอไป เช่น V_{in} = 2 โวลท์ ค่าที่นับได้ไม่จำเป็นที่จะต้องได้ 10_2 แต่ค่าที่นับได้เพียงแต่สัมพันธ์กับค่า V_{in} แต่ละค่าเท่านั้น

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

วงจรแปลงสัญญาณอนาลอกเป็นดิจิตอลด้วยวิธีความชันเดี่ยว ดังวงจรในรูปที่ 2.40 แม้ว่าจะเป็นวงจรที่ง่ายแต่ความผิดพลาดก็เกิดขึ้นได้มากเช่นกัน จากสมการ (2.8.4) ค่าแรงดัน V_0 จะขึ้นกับ V_{Ref} , R และ C ซึ่ง V_{Ref} จะต้องมีค่าคงที่มากๆและ R กับ C โดยทั่วไปจะมีค่าแปรเปลี่ยนตามอุณหภูมิ ดังนั้นอัตราการเพิ่มของแรงดันไฟฟ้า V_0 จะไม่คงที่ทุกครั้งที่ใช้งานหรือตลอดเวลาที่ใช้งาน อันเนื่องมาจากผลของอุณหภูมิที่เปลี่ยนแปลงไปขณะใช้งาน ค่าที่ได้จากวงจรนับจึงได้ค่าไม่คงที่แม้ว่าจะป้อนแรงดันไฟฟ้า V_{in} เข้าไปเท่าเดิมก็ตาม จึงได้มีการออกแบบ ADC วิธีใหม่ เรียกว่าวิธีความชันคู่ (Dual Slope) เพื่อแก้ปัญหาดังกล่าว

2.8.1.2 วิธีความชันคู่ (Dual Slope)

วงจร ADC แบบวิธีความชันคู่ ใช้วงจรนับเพื่อนับจำนวนไซเคิลของสัญญาณความถี่คงที่เช่นเดียวกับวิธีความชันเดี่ยว และค่าจากวงจรนับที่นับได้เป็นค่าสัมพันธ์กับระดับของสัญญาณอนาลอกเช่นเดียวกัน แต่วงจร ADC แบบวิธีความชันคู่จะแก้ปัญหาที่เกิดขึ้นในวงจร ADC แบบวิธีความชันเดี่ยว โดยวงจร ADC แบบวิธีความชันคู่จะอัดประจุให้กับตัวเก็บประจุในเวลาคงที่หนึ่ง ด้วยกระแสจากแรงดันไฟฟ้าที่ต้องการแปลงเป็นค่าดิจิตอล แล้วให้ตัวเก็บประจุคายประจุออกด้วยอัตราคงที่ วงจร ADC แบบวิธีความชันคู่ มีดังรูปที่ 2.43



รูปที่ 2.43 วงจรแปลงสัญญาณอนาลอกเป็นข้อมูลดิจิตอลด้วยวิธีความชันคู่

สัญญาณ ∅ ในวงจรรูปที่ 2.43 มีความถี่คงที่ ถูกส่งไปยังเกต AND เพื่อ AND กับสัญญาณ Start ที่มาจากวงจรควบคุม สัญญาณ Start จะควบคุมให้มีสัญญาณ ∅ ไปเข้าวงจรนับหรือไม่

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การทำงานของวงจรในรูปที่ 2.43 เริ่มต้นโดยวงจรควบคุมจะส่งสัญญาณไปยังส่วนต่างๆ เพื่อให้เกิดการทำงานดังนี้

1. ส่งสัญญาณ Reset ไปยังวงจรนับเพื่อให้ค่าที่นับได้ในวงจรเป็น 0

2. ส่งสัญญาณไปยังสวิตซ์ SW_1 ให้ลัดวงจร ดังนั้นประจุที่คงค้างอยู่ในตัวเก็บประจุ C จะถูกคายออกไป ทำให้แรงดันไฟฟ้าตกคล่อมตัวเก็บประจุเป็น 0 โวลท์ จากนั้นสัญญาณควบคุมจะให้สวิตซ์ SW_1 เปิดวงจรออก ขณะนี้แรงดันไฟฟ้า V_0 จะมีค่า

$V_0 = V_- - V_c = 0$ โวลท์

เมื่อ V_c เป็นค่าแรงดันไฟฟ้าที่ตกคล่อมตัวเก็บประจุ

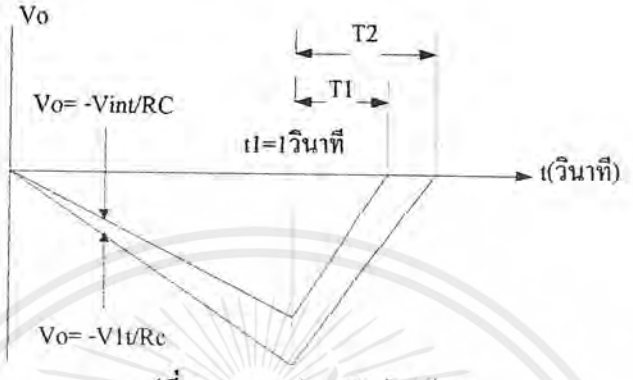
3. วงจรควบคุมจะบังคับให้สวิตซ์ SW_2 เลื่อนมาที่ตำแหน่ง V_{in} ทำให้แรงดันไฟฟ้า V_{in} ซึ่งเป็นแรงดันไฟฟ้าที่ต้องการแปลงเป็นข้อมูลดิจิตอล ต่อเข้าบตัวด้านทาน R แรงดันไฟฟ้า V_0 ที่ออกจาก U1 จะมีค่าตามสมการ (2.8.4) แต่เนื่องจากในตอนเริ่มต้นมีการทำให้ตัวเก็บประจุคายประจุตามข้อ (2) ดังนั้น V_c (0) จึงมีค่าเท่ากับ 0 โวลท์ จึงเขียนสมการของแรงดันไฟฟ้าV_0 ได้ใหม่ตามสมการ (2.8.5)

$$V_o = \frac{-V_{in}\, t}{RC} \qquad \ldots(2.8.5)$$

ให้ V_{in} ในสมการ (2.8.5) มีค่ามากกว่า 0 โวลท์ (V_{in} เป็นบวก) แรงดันไฟฟ้า V_0 จะมีค่าลดลงด้วยอัตราคงที่ตามเวลาดังในรูปที่ 2.44 และสัญญาณออกจากวงจรเปรียบเทียบ (Comparator) U2 ไปวงจรควบคุมยังคงมีสภาวะลอจิก "0" วงจรควบคุมจะให้สัญญาณ Start เป็นลอจิก "1" เพื่อให้มีสัญญาณนาฬิกาออกจากเกต AND ไปเข้าวงจรนับ วงจรนับจำนวนไซเคิลของสัญญาณ $\varnothing$ จนถึงเวลาหนึ่งที่กำหนดไว้ เช่น $t_1 = 1$ วินาที ขณะนั้นแรงดันไฟฟ้า V_0 ที่ออกจาก OP-AMP U1 จะมีค่ามากหรือน้อยขึ้นกับค่าแรงดันไฟฟ้า V_{in} ที่ป้อนเข้าไปตามสมการ (2.8.5) จากนั้นวงจรควบคุมจะสั่งให้สวิตซ์ SW_2 เลื่อนตำแหน่งไปยัง V_{Ref} ซึ่งมีขั้วไฟฟ้าตรงข้ามกับ V_{in} เช่น ถ้า V_{in} มีค่าต้อยกว่า 0 ดวลท์ V_{Ref} ก็จะต้องมีค่ามากกว่า 0 โวลท์ และวงจรควบคุมจะรีเซทให้วงจรนับมีค่าเป็น 0 อีกครั้งหนึ่ง ขณะนี้แรงดันไฟฟ้า V_0 จะมีค่าเพิ่มขึ้นจากค่าที่เวลา $t = 1$ วินาทีด้วยอัตราคงที่ โดยไม่ขึ้นกับว่าแรงดันไฟฟ้าที่ต้องการแปลงเป็นค่าดิจิตอลจะมีค่าเป็นอย่างไร ดังในรูปที่ 2.44 แรงดันไฟฟ้า V_0 นี้จะมีค่าเพิ่มมากขึ้นจนกระทั่งมากกว่า 0 โวลท์ สัญญาณที่ออกจากวงจรเปรียบเทียบ U2 จะเป็นลอจิก "1" ซึ่งทำให้วงจรควบคุมส่งสัญญาณ Start มีสภาวะลิจิก "0" ออกมา ทำให้ไม่มีสัญญาณนาฬิกาไปเข้ายังวงจรนับ ดังนั้นวงจรนับจะไม่มีค่าเปลี่ยนแปลง ค่าที่นับได้เป็นค่าดิจิตอลที่สัมพันธ์กับระดับแรงดันอนาลอกที่ป้อนเข้ามา ถ้าแรงดันไฟฟ้าที่ต้องการแปลงเป็นข้อมูลดิจิตอลมีค่าน้อย ก็จะใช้เวลาในการคายประจุจนหมดน้อยกว่ากรณีที่แรงดันไฟฟ้าที่ต้อกงารแปลงมีค่ามากกว่า

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ซึ่งหมายถึงว่าค่าที่นับได้ในกรณีแรงดันไฟฟ้าน้อยจะมีค่าน้อยกว่ากรณีที่ค่าแรงดันไฟฟ้ามีค่ามาก จัดว่าเป็นความสัมพันธ์แบบ Monotonicity



รูปที่ 2.44 กราฟแรงดันไฟฟ้า V_0

พิจารณาที่เวลา t_1 ขณะนั้นแรงดังไฟฟ้าที่ตกคล่อมตัวเก็บประจุมีค่าเป็น $-V_{in}\ t_1\ /RC$ เมื่อสวิตซ์ SW_2 เลื่อนไปยังตำแหน่ง V_{Ref} แรงดันไฟฟ้า V_0 จะมีค่าตามสมการ (2.8.4) เท่ากับ

$$V_0 = \frac{-V_{Ref}\,t}{RC} - \frac{-V_{Ref}\,t1}{RC} = \frac{-V_{Ref}\,t}{RC} + \frac{V_{in}\,t1}{RC}$$

ที่เวลา $t = T_1$ แรงดันไฟฟ้า V_0 จะมีค่าเป็น 0 โวลท์

$$0 = \frac{-V_{Ref}\,t}{RC}T1 + \frac{V_{in}\,t1}{RC}$$

$$T = \frac{V_{in}\,t1}{V_{Ref}} = KV_{in} \text{ โดย..} K = \frac{t1}{V_{Ref}}$$

จะเห็นว่าช่วงเวลานับตั้งแต่สวิตซ์ SW_2 เลื่อนมายังตำแหน่ง V_{Ref} จนกระทั่งแรงดันไฟฟ้า V_0 มีค่าเป็นศูนย์ จะขึ้นกับค่าแรงดันไฟฟ้า V_{in} และ V_{Ref} เท่านั้น ไม่ขึ้นกับค่าความต้านทาน และตัวเก็บประจุ C ซึ่งดีกว่าวิธีความชันเดี่ยว

ในช่วงเวลาการอัดประจุของตัวเก็บประจุจากแรงดันไฟฟ้าที่ต้อกงารแปลงเป็นข้อมูลดิจิตอลด้วยเวลาคงที่ในช่วงแรกนั้น ถ้าใช้วงจรตั้งเวลาให้มีค่าตามที่กำหนดก็จะทำให้วงจรยุ่งยากขึ้น ดังนั้นโดยทั่วไปจะใช้วิธีกำหนดเวลามาจากค่าที่วงจรนับได้ เช่น เมื่อวงจรนับได้ค่า 10,000 ทั้งที่ความถี่ของสัญญาณ มีค่าคงที่ เมื่อกำหนดให้นับถึงค่าหนึ่งก็เสมือนว่าเป็นการกำหนดเวลาคงที่

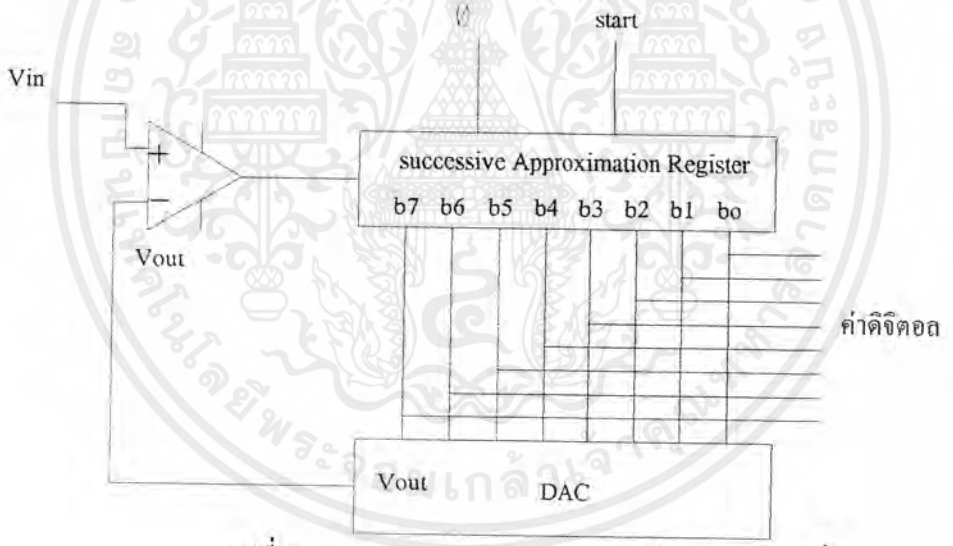
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ที่ต้องการ ค่าที่นับได้จะถูกป้อนกลับมายังวงจรควบคุม ทำให้วงจรควบคุมรู้ว่าได้เวลาตามที่กำหนด ก็สั่งให้สวิตซ์ SW_2 เลื่อนไปอยู่ตำแหน่ง V_{Ref} แล้วจึงทำงานต่อไป

วงจร ADC ทั้งแบบความซันเดี่ยวและความซันคู่ มีข้อจำกัดอย่างหนึ่งคือเวลาที่ใช้ในการแปลงระดับสัญญาณอนาลอกเป็นค่าดิจิตอล ที่เรียกว่าเวลาการแปลงผัน (Conversion Time) จะขึ้นกับระดับของสัญญาณอนาลอก ถ้ายิ่งแรงดันมีค่ามากเวลาการแปลงผันก็จะมีค่ามาก ดังนั้นจึงไม่เหมาะสมกับการใช้งานในบางวงจร เช่น ในคอมพิวเตอร์ จึงได้มีการออกแบบวงจร ADC ที่มีเวลาการแปรผันคงที่เรียกว่าแบบประมาณสืบเนื่อง (Successive Approximation)

2.8.1.3 วิธีการประมาณสืบเนื่อง (Successive Approximation)

วงจร ADC แบบวิธีประมาณสืบเนื่อง มีเวลาการแปรผันคงที่จึงมีการนำมาใช้งานกันมาก รวมทั้งมีการผลิตออกมาเป็นวงจรรวมหลายเบอร์ แผนภาพการทำงานของวงจร แบบวิธีประมาณสืบเนื่องมีดังรูปที่ 2.45

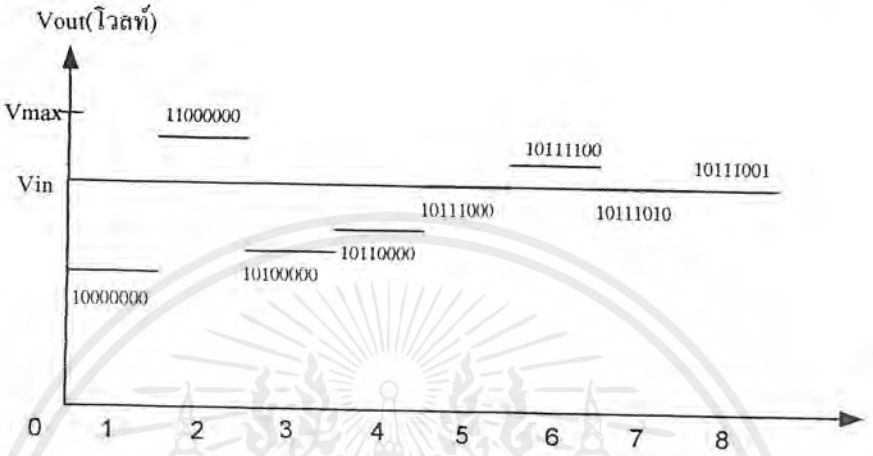


รูปที่ 2.45 แผนภาพวงจร ADC แบบวิธีประมาณสืบเนื่อง

การทำงานของวงจรในรูปที่ 2.45 เริ่มต้นโดยการป้อนสัญญาณ Start ให้กับวงจร วงจร Successive Approximation Register (SAR) ซึ่งมีสัญญาณออก 8 บิทคือบิท b_0 ถึง b_7 โดยบิท b_7 เป็นบิทที่มีนัยสำคัญสูงสุด (Most Significant Bit, MSB) จะถูกรีเซทให้มีสัญญาณออกเป็น 10000000_2 สัญญาณออกทั้ง 8 บิทถูกต่อเข้ากับวงจรแปลงข้อมูลดิจิตอลเป็นสัญญาณอนาลอก (Digital to Analog Converter, DAC) เพื่อแปลงข้อมูลจาก SAR ให้เป็นแรงดันไฟฟ้าอนาลอกออกทางขา V_{Out} เมื่อป้อนข้อมูล 10000000_2 เข้าไปยัง DAC จะให้สัญญาณออก V_{Out} มาเป็นครึ่งหนึ่งของแรงดันไฟฟ้าเต็มพิกัด แรงดันไฟฟ้านี้จะถูกส่งไปยังวงจรเปรียบเทียบ U1

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เพื่อเปรียบเทียบกับแรงดันไฟฟ้า V_{in} ที่ต้องการแปลงเป็นค่าดิจิตอล ถ้า V_{in} มีค่ามากกว่า V_{Out} ก็จะคงค่าบิท b_7 ให้เป็น 1 แต่ถ้า $V_{in} < V_{Out}$ จะรีเซทให้บิท b_7 เป็น "0" ไซเคิลแรกในรูปที่ 2.46

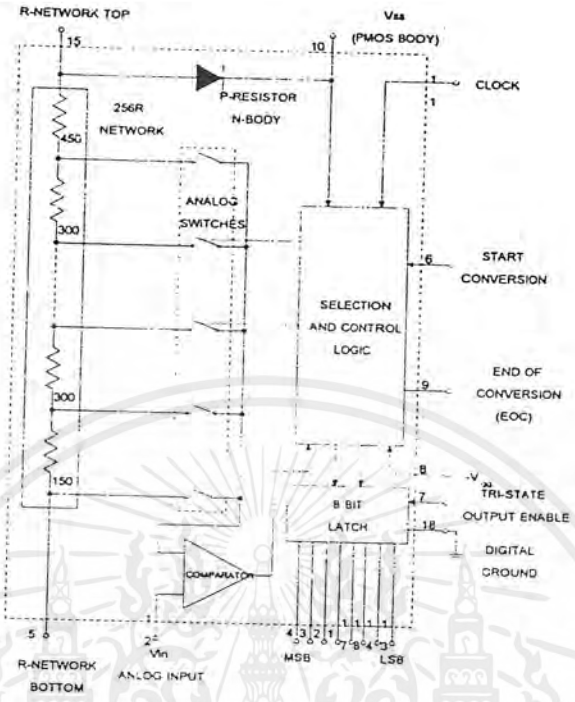


รูปที่ 2.46 กราฟแรงดันไฟฟ้า V_{Out}

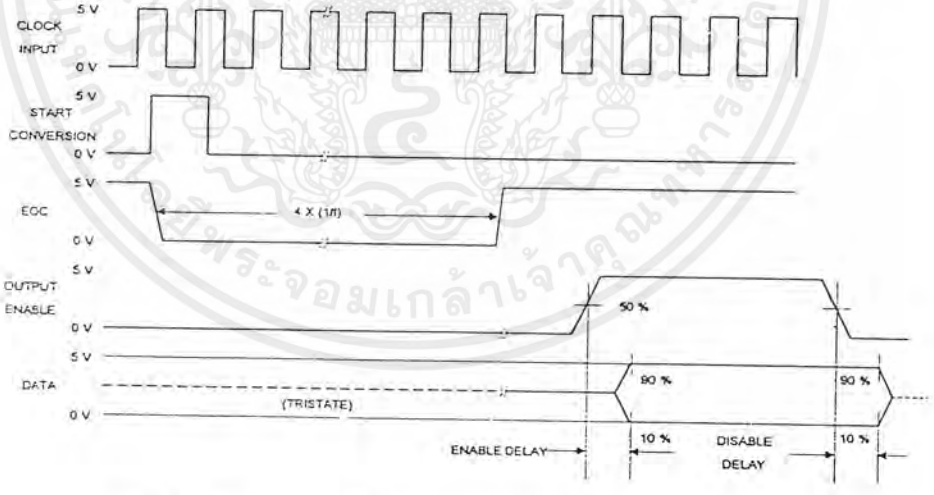
แรงดันไฟฟ้า V_{in} มีค่ามากกว่าครึ่งหนึ่งของแรงดันไฟฟ้าเต็มพิกัด ซึ่งมีค่าสูงสุด V_{max} และค่าต่ำสุด 0 โวลท์ ในไซเคิลถัดไปของสัญญาณ $\varnothing$ คือไซเคิลที่ 2 วงจร SAR จะทำให้บิท B_6 มีค่าเป็น 1 แล้ววงจรเปรียบเทียบสัญญาณจะเปรียบเทียบแรงดันไฟฟ้าV_{Out} กับ V_{in} ถ้า $V_{in} > V_{Out}$ ก็จะคงค่าบิท b_6 ให้เป็น 1 ไว้ แต่ถ้า $V_{in} < V_{Out}$ ก็จะให้บิท $b_6 = 0$ การทำงานซ้ำเช่นนี้ในบิทถัดไปแต่ละไซเคิลจนกระทั่งครบ 8 บิท จะได้ค่าที่ออกมาจากวงจร SAR เป็นค่าดิจิตอลที่เสมือนกับค่าของสัญญาณ อนาลอก V_{in} ที่ป้อนเข้ามา วิธีการเช่นนี้เรียกว่าวิธีการประมาณสืบเนื่อง เนื่องจากวงจรจะสร้างค่าประมาณขึ้นมาเปรียบเทียบกับระดับสัญญาณที่ต้องการแปลงสืบเนื่องกันไปเป็นลำดับ เวลาการแปลงผันในวงจร ADC แบบวิธีการประมาณสืบเนื่องจะขึ้นกับจำนวนบิทของค่าดิจิตอลที่ต้องการ แต่ไม่ขึ้นกับค่าแรงดันไฟฟ้าที่ต้องการแปลง ดังในตัวอย่างค่าดิจิตอลที่ต้องการมี 8 บิท ก็ต้องใช้เวลา 8 ไซเคิลของสัญญาณ $\varnothing$ ดังนั้นถ้าวงจรยิ่งทำงานกับสัญญาณ $\varnothing$ ที่มีความถี่ได้สูงมากเท่าไร เวลาที่ใช้ในการแปรผันก็จะยิ่งน้อยลงแต่จำนวนไซเคิลยังคงเดิม

เนื่องจากข้อดีของ ADC แบบวิธีการประมาณสืบเนื่องที่กล่าวมาแล้ว จึงมีการผลิตออกมาเป็นวงจรรวมจำนวนมาก ตัวอย่างเช่น ADC0800 เป็นวงจร ADC แบบวิธีกาประมาณสืบเนื่องที่มีค่าความแยกชัด 8 บิท แผนภาพภายในของวงจรรวมเบอร์ ADC0800แสดงในรูปที่ 2.47

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.47 แผนภาพวงจรภายในของวงจรรวมเบอร์ ADC0800



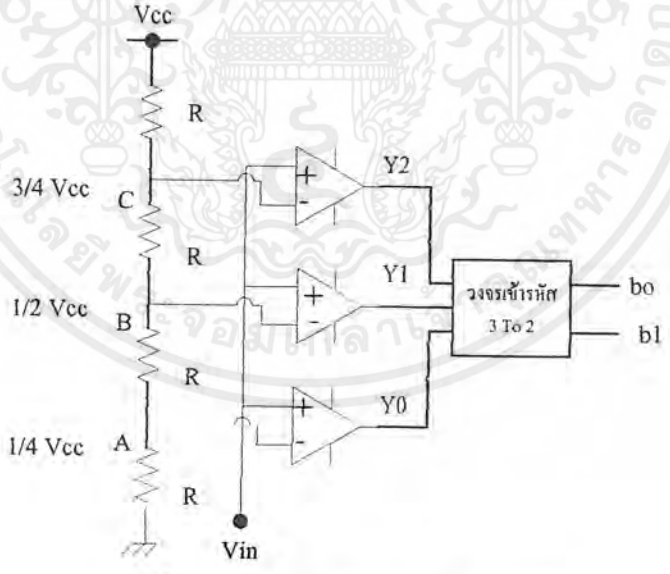
รูปที่ 2.48 แผนภาพสัญญาณตามเวลาวงจรรวม ADC0800

วงจรรวม ADC0800 จะทำงานได้จังหวะ (Synchronize) กับสัญญาณนาฬิกาที่ป้อนเข้าไปทางขา CLOCK ในรูปที่ 2.47 ความถี่ของสัญญาณนาฬิกานี้อยู่ในช่วง 50 ถึง 800 กิโลเฮิร์ท์ เวลาการแปลงผันเท่ากับ 40 ไซเคิลของสัญญาณนาฬิกา ซึ่งแตกต่างจากวงจร ADC แบบวิธีการประมาณสืบเนื่องที่อธิบายมาแล้วว่าต้องใช้จำนวนไซเคิลสัญญาณนาฬิกาเท่ากับจำนวนบิทของค่าดิจิตอลที่ต้องการ เนื่องจากวงจรภายในของ ADC0800 ต้องใช้เวลาในการทำงานอื่นภายในวงจรด้วย

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เมื่อต้องการให้วงจร ADC0800 เริ่มทำงานจะต้องป้อนสัญญาณพัลซ์เข้าไปที่ขา Start Conversion ตามแผนภาพสัญญาณเวลาในรูปที่ 2.48 วงจร Selection and Control Logic จะส่งสัญญาณไปควบคุมสวิตซ์อนาลอก (Analog Switch) ให้เลือกแรงดันเข้ามาที่วงจรเปรียบเทียบ comparator สวิตซ์อนาลอกนี้จะเลือกเปิดหรือปิดวงจรเพื่อให้แรงดันไฟฟ้าที่ถูกแบ่งโดยการใช้ตัวต้านทาน 300 โอห์มจำนวน 256 ตัว วงจร Comparator จะเปรียบเทียบแรงดันไฟฟ้าจากสวิตซ์อนาลอกกับแรงดันไฟฟ้าที่เข้ามทางขาสัญญาณ V_{in} Analog Input แล้วส่งผลการเปรียบเทียบกลับไปยังวงจร Selection and Control Logic ซึ่งวงจร Selection and Control Logic จะเลือกเปิด-ปิดสวิตซ์อนาลอกให้มีแรงดันไฟฟ้าไปยังวงจร Comparator ตามแบบวิธีการประมาณสืบเนื่องต่อไป

วงจรภายในจะทำงานซ้ำจนกระทั่งการแปลงแรงดันไฟฟ้าเป็นค่าดิจิตอลเสร็จสิ้น ค่าภายในวงจร Selection and Control Logic ที่ใช้เลือกควบคุมสวิตซ์อนาลอกจนกระทั่งได้คำตอบ จะถูกนำไปเก็บที่วงจร 8-Bit Latch เพื่อรอให้อ่านค่าออกไปใช้งาน ขณะเดียวกัน ADC0800 จะส่งสัญญาณ End of Conversion (EDC) ออกไปเป็นลอจิก "1" เพื่อบอกว่าการแปลงผันข้อมูลเสร็จสิ้นแล้ว ค่าที่เก็บในวงจร 8-Bit Latch จะถูกอ่านออกไปได้โดยการป้อนลอจิก "1" เข้าไปที่ขา Tri-state Output Enable



รูปที่ 2.49 แผนภาพวงจร ADC แบบแฟลช

แม้วงจร ADC แบบวิธีการประมาณสืบเนื่องจะสามารถทำงานได้ในเวลาที่คงที่ แต่ความเร็วยังไม่สูงมาก เนื่องจากการทำงานต้องสัมพันธ์กับจำนวนไซเคิลของสัญญาณนาฬิกา ยังมีวงจร ADC อีกแบบหนึ่งที่มีความเร็วสูงกว่าแบบวิธีการประมาณสืบเนื่อง เรียกว่า ADC แบบแฟลช (Flash)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.8.1.4 วิธีการแบบแฟลช (Flash)

วงจร ADC แบบแฟลชเป็นวงจร ADC ที่มีความเร็วสูงสุด มีโครงสร้างดังในรูปที่ 2.49 สัญญาณ V_{in} ในรูปเป็นสัญญาณที่ต้องการแปลงเป็นค่าดิจิตอล สัญญาณ V_{in} นี้ต่อเข้ากับขาบวก ของวงจรเปรียบเทียบทุกตัว ซึ่งมีสัญญาณออกเป็น Y_0, Y_1 และ Y_2 แรงดันไฟฟ้า Vcc จะถูกตัวต้านทาน 4 ตัวแต่ละตัวมีค่า R ต่ออนุกรมกัน เพื่อแบ่งแรงดันไฟฟ้าที่ตกคร่อมตัวต้านทาน ทำให้จุด A, B และ C มีแรงดันไฟฟ้าเป็น Vcc/4, Vcc/2 และ 3Vcc/4 ตามลำดับ ดังนั้นที่ขาลบ ของวงจรเปรียบเทียบแต่ละตัวจึงมีค่าแรงดันไฟฟ้าเป็น Vcc/4, Vcc/2 และ 3Vcc/4 ค่าของ Vinจะทำให้สัญญาณ Y0,Y1 และ Y2 มีสภาวะลอจิกเป็นไปตามตารางที่ 2.4

V_{in}	Y_2	Y_1	Y_0	b_0	b_1
$V_{in} < \frac{V_{cc}}{4}$	0	0	0	0	0
$\frac{V_{cc}}{4} \le V_{in} < \frac{V_{cc}}{2}$	0	0	1	0	1
$\frac{V_{cc}}{2} \le V_{in} < \frac{3V_{cc}}{4}$	0	1	1	1	0
$\frac{3V_{cc}}{4} \le V_{in} < V_{cc}$	1	1	1	1	1

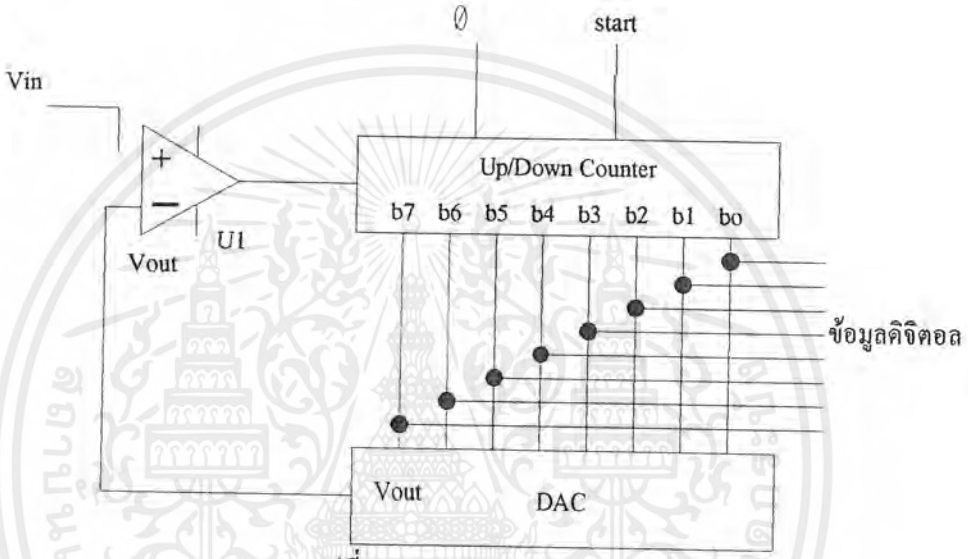
ตารางที่ 2.4 ค่าความจริงของ Y_2, Y_1, Y_0, b_0, b_1

ตัวอย่างเช่น ถ้าแรงดัน V_{in} มีค่าอยู่ระหว่าง Vcc/4 กับ Vcc/2 จะทำให้ Y_0 = "1", Y_1 = "0" และ Y_2 = "0" เวลาที่ใช้ในการเปรียบเทียบเพื่อให้ได้ค่าดังกล่าว จะเท่ากับเวลาหน่วงในการทำงานของวงจรเปรียบเทียบเท่านั้น สภาวะลอจิกที่ได้จากวงจรเปรียบเทียบ (Y_2, Y_1, Y_0) ถูกป้อนเข้าไปยังวงจรเข้ารหัส 3 to 2 เพื่อให้ได้ค่าที่ออกมาคือ b_1 b_0 อยู่ในรูปของเลขฐาน 2 ดังในตารางค่าความจริง เวลาที่ใช้ในการเข้ารหัสมีค่าไม่มาก ดังนั้นวงจรนี้ทำงานได้เร็วมาก ข้อเสียของวงจรนี้คือถ้าจำนวนบิทของเลขฐาน 2 มากขึ้นก็จะต้องใช้จำนวนวงจรเปรียบเทียบมากขึ้น เช่น ถ้าต้องการให้แปลงสัญญาณอนาลอกเป็นข้อมูลดิจิตอล 8 บิท ต้องใช้วงจรเปรียบเทียบ 256 ตัว ซึ่งต้องใช้ไฟเลี้ยงวงจรมากและมีขนาดใหญ่ อย่างไรก็ตาม ADC แบบแฟลชก็ทำงานได้เร็วที่สุด

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.8.1.5 วิธีการแบบการติดตาม (Tracking)

ถ้าสัญญาณอนาลอกที่ต้องการแปลงเป็นข้อมูลดิจิตอลมีการเปลี่ยนแปลงอย่างต่อเนื่องตลอดเวลาและต้อกงารแปลงเป็นค่าดิจิตอลตลอดเวลา การใช้วงจร ADC เช่นแบบวิธีการประมาณสืบเนื่อง อาจใช้เวลาการแปรผันมากเกินกว่าที่ต้องการ และแบบแฟลชอาจมีราคาแพงหรือขนาดใหญ่ จะสามารถใช้วงจร ADC แบบการติดตาม (Tracking) ซึ่งมีแผนภาพวงจรดังรูปที่ 2.50



รูปที่ 2.50 วงจร ADC แบบการติดตาม

วงจรในรูปที่ 2.50 คล้ายกับวงจร ADC แบบวิธีการประมาณสืบเนื่องในรูปที่ 2.45 แตกต่างกันที่ในรูปที่ 2.50 ใช้วงจรนับขึ้น/ลงแทนวงจร SAR การทำงานของวงจรในรูปที่ 2.50 เริ่มต้นด้วยการป้อนสัญญาณ Start ให้กับวงจรนับขึ้น/ลง วงจรนับขึ้น/ลงจะรีเซทค่าให้เป็น 0 ค่าที่นับได้จากวงจรนับถูกต่อเข้าวงจร DAC เพื่อแปลงเป็นสัญญาณอนาลอกไปเข้าวงจรเปรียบเทียบสัญญาณ U1 ถ้าผลการเปรียบเทียบเป็น "1" แสดงว่าค่าจากวงจรนับทำให้แรงดัน V_{Out} จาก DAC ยังมีค่าน้อยกว่า V_{in} วงจรนับจะต้องนับสัญญาณ ∅ เพิ่มขึ้นอีก 1 แต่ถ้าผลการเปรียบเทียบเป็น "0" แสดงว่าแรงดันไฟฟ้า V_{Out} จาก DAC มีค่ามากกว่า V_{in} ดังนั้นวงจรนับขึ้น/ลงจะต้องนับสัญญาณ ∅ แรงดันไฟฟ้าจาก DAC จะถูกเปรียบเทียบกับสัญญาณ V_{in} ตลอดเวลา ดังนั้นวงจรนับจะเพิ่มหรือลดค่าตลอดเวลาตามค่าของ V_{in} ที่เปลี่ยนแปลงไป และค่าที่ได้จากวงจรนับขึ้น/ลงในขณะนั้นก็คือค่าดิจิตอลของระดับสัญญาณ V_{in} ในบาง ครั้งที่สัญญาณ V_{in} มีการเปลี่ยนแปลงอย่างรวดเร็ว วงจรนับอาจทำงานเพิ่มค่าไม่ทันก็อาจทำให้เกิดค่าผิดพลาดได้ ดังนั้นจะต้องคำนึงถึงอัตราการเปลี่ยนแรงดันไฟฟ้าของ V_{in} ด้วยในการออกแบบ

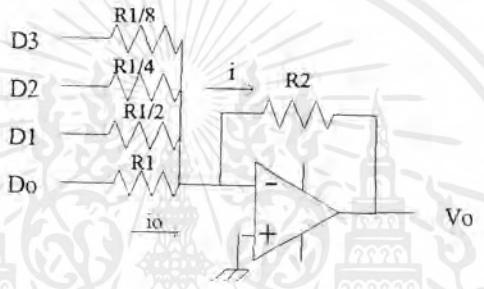
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.8.2 วงจรแปลงค่าดิจิตอลเป็นสัญญาณอนาลอก

วงจร DAC มีหลายแบบเช่นเดียวกันกับวงจร ADC วงจร DAC แต่ละแบบมีการทำงานดังนี้

2.8.2.1 วิธีการแบบน้ำหนัก (Weigh)

ค่าดิจิตอลซึ่งเป็นเลขฐาน 2 แต่ละบิทจะมีน้ำหนัก (Weight) ต่างกัน โดยค่าน้ำหนักของบิทที่อยู่ติดกันและมีนัยสำคัญสูงจะมีค่าน้ำหนักของบิทนั้นเพิ่มขึ้น 2 เท่า วงจร DAC แบบน้ำหนักจึงอาศัยวิธีการดังกล่าวในการแปลงค่าดิจิตอลเป็นสัญญาณอนาลอกดังวงจรในรูปที่ 2.51



รูปที่ 2.51 วงจร DAC แบบน้ำหนัก

D_0,D_1,D_2, และ D_3 เป็นสัญญาณดิจิตอลที่ต้องการแปลงเป็นสัญญาณอนาลอก โดย D_2 เป็นบิทที่มีนัยสำคัญต่ำสุด สัญญาณแต่ละบิทจะต่อผ่านตัวต้านทานค่า R_1, $R_1/2$, $R_1/4$ และ $R_1/8$ ตามลำดับมาเข้ายังขา – ของ OP-AMP ค่าความต้านทานที่ต่ออนุกรมอยู่กับแต่ละบิทที่มีนัยสำคัญสูงขึ้นถัดไปจะมีค่าลดลงทีละ ½ เช่น D_0 มีค่าความต้านทาน R1 อนุกรมอยู่ ส่วน D_1 ซึ่งมีนับสำคัญสูงขึ้นถัดไปจะมีค่าความต้านทาน R ½ อนุกรมอยู่ ระหว่างขา + และขา – ของ OP-AMP มีแรงดันไฟฟ้าตกคล่อมเท่ากับ 0 โวลท์ ดังนั้นที่ขา – ของ OP-AMP จึงเสมือนว่ามีแรงดันไฟฟ้าเป็น 0 โวลท์ กระแส I_0, I_1, I_2 และ I_3 ในรูปมีค่า

$$i_0=\frac{D_0}{R_1}, i_1=\frac{2D_1}{R_1}, i_2=\frac{4D_1}{R_1}, i_3=\frac{8D_1}{R_1}$$

กระแสทั้งหมดจะไหลมาที่ขา-ของ OP-AMP แต่ไม่สามารถไหลเข้าได้เนื่องจากมีความต้านทานขาเข้าสูงมาก กระแสทั้งหมดจึงไหลไปทางด้านบนผ่านตัวต้านทาน R_2 ทำให้แรงดันไฟฟ้า V_0 มีค่าเป็น

$$V_0 = -iR_2 = -(I_0+I_1+I_2+I_3)R_2$$

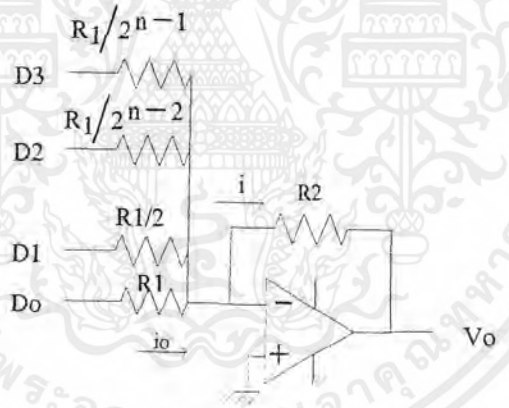
$$=\frac{-R_2}{R_1}(D_0+2D_1+4D_2+8D_3)\text{โวลท์} \qquad ...(2.8.6)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ระดับแรงดันที่ D_0, D_1, D_2, D_3 เป็นระดับแรงดันไฟฟ้าของสภาวะลอจิก "1" หรือ "0" เช่น อาจเป็น 0 และ 5 โวลท์ จากสมการ (2.8.6) เห็นได้ว่า แต่ละบิทจะถูกคูณด้วยค่าน้ำหนักของแต่ละบิท (1, 2, 4, 8) โดยบิทซึ่งมีนับสำคัญสูงกว่าที่อยู่ถัดไปจะมีค่าน้ำหนักเพิ่มขึ้น 2 เท่า เช่น น้ำหนักของบิท D_0 มีค่า 1 น้ำหนักของบิท D_1 มีค่า 2 คือมีน้ำหนักเพิ่มขึ้น 2 เท่า อัตราส่วน ในสมการ (2.8.6) เป็น อัตราขยายของวงจร ถ้าต้องการให้อัตราขยายเป็น 1 ก็ให้ $R_2=R_1$ เครื่องหมาย – ในสมการแสดงว่าสัญญาณออกมีการกลับเฟสของสัญญาณเท่านั้น ให้ $R_1=R_2$ สมการ (2.8.6) เขียนใหม่ได้

$$V_0 = -(D_0+2D_1+4D_2+8D_3) \text{ โวลท์} \qquad \text{....(2.8.8)}$$

ถ้าต้องการเพิ่มจำนวนบิทของข้อมูลดิจิตอลก็เพิ่มได้ โดยต่อตัวต้านทานเข้ากับแต่ละบิทมายังขาของ OP=AMP ในรูปที่ 2.52 เป็นวงจร DAC แบบน้ำหนักที่มีบิทของข้อมูล n บิท บิท D_{n-1} เป็นบิทที่มีนัยสำคัญสูงสุด ความต้านทานของตัวต้านทานที่ต่ออนุกรมอยู่กับแต่ละบิทจะมีค่าลดลงทีละ ½ เมื่อบิทมีนัยสำคัญสูงขึ้น



รูปที่ 2.52 วงจร DAC แบบน้ำหนัก n บิท

แรงดันไฟฟ้าของสัญญาณออก มีค่าเป็น

$$V_0 = \frac{-R_2}{R_1}(D_0+2D_1+4D_2+.....+2^{n-2}D_{n-2}+2^{n-1}D_{n-1}) \qquad \text{...(2.8.8)}$$

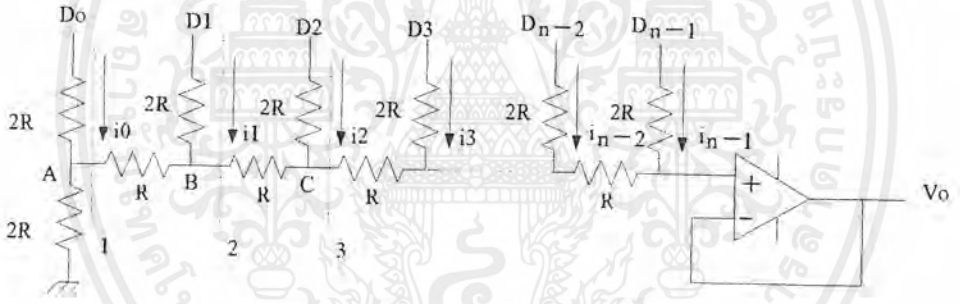
จากสมการ (2.8.8) และรูปที่ 2.52 จะเห็นว่าค่าความต้านทานจะต้องมีค่าลดลงทีละ ½ เมื่อบิทมีนัยสำคัญสูงขึ้น แม้ว่าวงจรแบบนี้จะดี แต่เมื่อจำนวนบิที่มีค่ามากขึ้นการหาตัวต้านทานที่มีการผลิตอยู่มาใช้งานก็เป็นปัญหามากที่จะได้ค่าตามต้องการ ด้วยอย่างเช่น DAC แบบน้ำหนัก 4 บิท

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ในรูปที่ 2.51 ให้ R_1 มีค่า 1 กิโลโอห์ม ดังนั้นตัวต้านทานที่ต้องใช้ทั้งหมดจะมีค่า 1, 2, 4 และ 8 กิโลโอห์ม ซึ่งโดยทั่วไปแล้วจะมีการผลิตเฉพาะตัวต้านทาน 1 กิโลโอห์มเท่านั้น ถ้าต้องการความต้านทาน 2, 4 และ 8 กิโลโอห์ม จะต้องเอาตัวต้านทาน 1 กิโลโอห์มมาต่ออนุกรมกันให้ได้ค่าตามต้องการ ซึ่งไม่สะดวก และค่าความคลาดเคลื่อนของตัวต้านทานจะมีผลต่อการแปลงสัญญาณดิจิตอลเป็นอนาลอกมาก จึงเป็นข้อจำกัดของวงจร DAC แบบน้ำหนักที่ไม่สามารถใช้งานกับกรณีที่ค่าดิจิตอลมีจำนวนบิทมากๆ

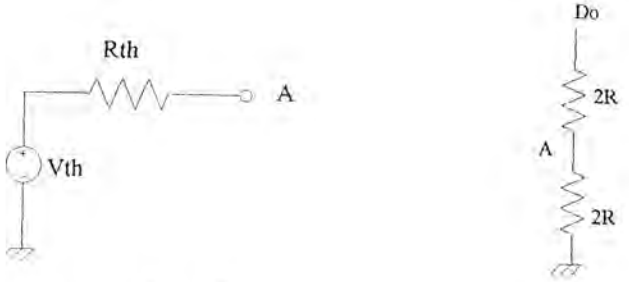
2.8.2.2 วิธีการแบบขั้นบันได R-2R (R-2R Ladder)

วงจร DAC แบบวิธีขั้นบันได R-2R เป็นวงจรที่ใช้ตัวต้านทานภายในเพียง 2 ค่าเท่านั้น คือ R และ 2R เพื่อแก้ปัญหาที่เป็นข้อเสียของวงจร DAC แบบน้ำหนักซึ่งต้องใช้ค่าของตัวต้านทานในแต่ละบิทแตกต่างกันมาก ทำให้หาตัวต้านทานค่าดังกล่าวมาใช้งานไม่ได้ วงจร DAC แบบวิธีขั้นบันได R-2R ขนาด n บิทมีดังในรูปที่ 2.53



รูปที่ 2.53 วงจร DAC แบบวิธีขั้นบันได

พิจารณาวงจรทางด้านซ้ายของเส้นประ 1 ซึ่งเขียนวงจรใหม่ได้ดังรูปที่ 2.54 ก. และทำการแปลงแหล่งจ่ายแรงดันไฟฟ้ากับตัวต้านทานที่ต่ออยู่ในรูปให้เป็นวงจรเสมือนเทวินิน (Thevinin Equivalent Circuit) ในรูปที่ 2.54 ข.



ก.วงจรแบ่งแรงดัน ข. วงจรเสมือนเทวินิน

รูปที่ 2.54 วงจรแบ่งแรงดันและวงจรเสมือนเทวินินทางด้านซ้ายของเส้นประ 1 รูปที่ 2.53

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

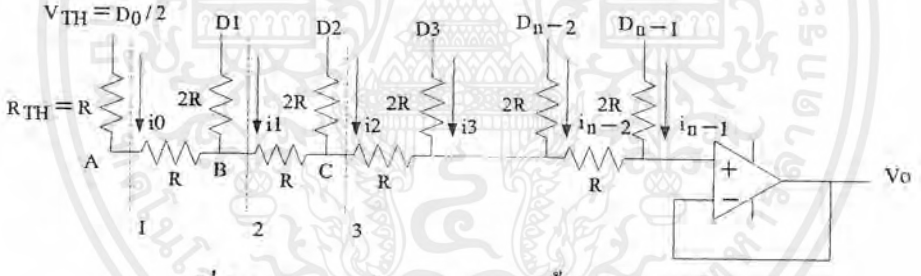
V_{TH} ในรูปที่ 2.54 ข. เป็นแหล่งจ่ายแรงดันไฟฟ้าเทวินิน (Thevinin Voltage Source) ซึ่งมีค่าเท่ากับแรงดันไฟฟ้าที่จุด ในวงจรรูปที่ 4.19 ก. ขณะที่ไม่มีโหลด หรือวงจรอื่นต่ออยู่กับจุด A

$$R_{TH} = \frac{2R}{2R+2R} D_0 = \frac{D_0}{2} \qquad ...(2.8.9)$$

R_{TH} ในรูปที่ 2.54 ข. เป็นความต้านทานขาออกเทวินิน (Thevinin Out put Resistance) ของแหล่งจ่าย V_{TH} ค่า R_{TH} นี้หาได้โดยการลัดวงจรแหล่งจ่ายแรงดันไฟฟ้าในรูปที่ 2.54 ก. ลงกราวด์ แล้วหาค่าความต้านทานรวมของวงจรเมื่อมองเข้าไปจากจุด A ซึ่งเป็นจุดสัญญาณออก จะเห็นว่าเมื่อลัดวงจรแหล่งจ่ายแรงดันไฟฟ้า D_0 ในรูปลงกราวด์ ตัวต้านทาน 2R ทั้งสองตัวจะต่อขนานกัน ดังนั้นความต้านทานรวมระหว่างจุด A กับกราวด์มีค่า

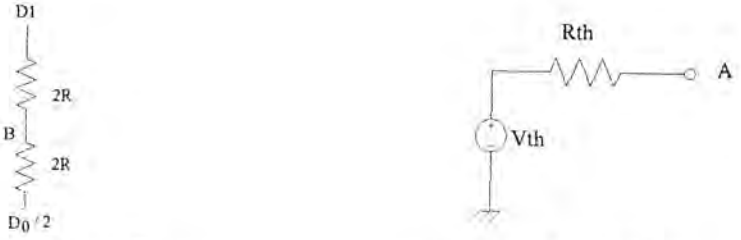
$$V_0 = \frac{1}{\frac{1}{2R} + \frac{1}{2R}} = R \qquad ...(2.8.10)$$

จากวงจรเสมือนทวินินรูปที่ 2.54 ข. และค่าของ V_{TH} กับ R_{TH} ในสมการ (2.8.9) และ (2.8.10) จะเขียนวงจรรูปที่ 2.53 ใหม่ได้ดังรูปที่ 2.55



รูปที่ 2.55 วงจรเสมือน DAC แบบขั้นบันได รูปที่ 2.53

เมื่อพิจารณาวงจรทางซ้ายของเส้นประ 2 จะเห็นว่าจากสัญญาณค่า $D_0/2$ มีตัวต้านทาน R_{TH} และ R ต่ออนุกรมกันเข้ามายังจุด B ดังนั้นความต้านทานรวมจากแรงดันไฟฟ้า $D_0/2$ มายังจุด B จึงมีค่าเป็น 2R ดังรูป 2.56 เป็นวงจรทางด้านซ้ายของเส้นประ 2 ในรูปที่ 2.55



ก.วงจรแบ่งแรงดัน ข. วงจรเสมือนเทวินิน

รูปที่ 2.56 วงจรแบ่งแรงดันและวงจรเสมือนเทวินินทางด้านซ้ายของเส้นประ 2 รูปที่ 2.55

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

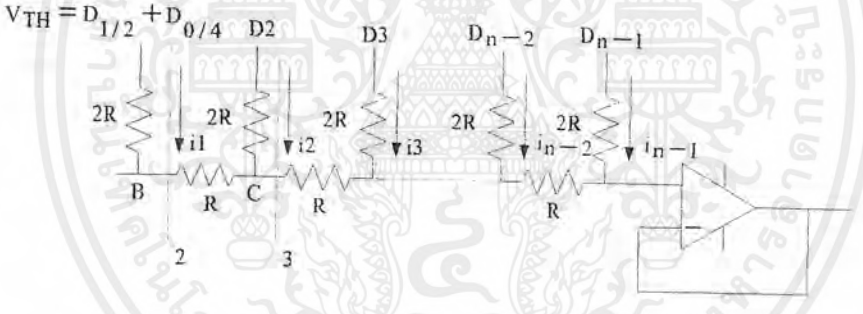
วงจรในรูปที่ 2.56 ก. เขียนเป็นวงจรเสมือนเทวินินได้ดังรูปที่ 2.55 ข. ตัวต้านทาน 2R ทั้ง 2 ตัว ในรูปที่ 2.56 ก. จะแบ่งแรงดันไฟฟ้าระหว่างแหล่งจ่ายแรงดันไฟฟ้า $D_0/2$ กับ D_1 ค่าแรงดันไฟฟ้าเทวินิน V_{TH} ในรูปที่ 2.56 ข. มีค่า

$$V_{TH} = \frac{D_0}{2} + \frac{2R(D_1 - D_0)}{2R + 2R} = \frac{D_0}{2} + \frac{D_1}{2} - \frac{D_0}{4} = \frac{D_1}{2} + \frac{D_0}{4} \qquad ...(2.8.11)$$

จากวงจรรูปที่ 2.56 ก. เมื่อให้แหล่งจ่ายแรงดันไฟฟ้า D_0 และ D_1 ลัดวงจรลงกราวด์ แล้วหาค่าความต้านทานรวมเมื่อมองเข้าไปทางจุด B จะได้เป็นค่าความต้านทานเทวินิน R_{TH} ของวงจรเสมือนในรูปที่ 2.56 ข.

$$R_{TH} = \frac{1}{\frac{1}{2R} + \frac{1}{2R}} \qquad ...(2.8.12)$$

วงจรรูปที่ 2.57 จะเขียนใหม่ได้ดังรูปที่ 2.55



รูปที่ 2.57 วงจรเสมือน DAC แบบขั้นบันได R-2R รูปที่ 2.53

จะเห็นว่าวงจรในรูปที่ 2.55 และ 2.57 คล้ายกันมาก คือแหล่งจ่ายแรงดันไฟฟ้าซ้ายสุดต่อผ่านตัวต้านทาน R_{TH} ค่าเท่ากัน และต่ออนุกรมอยู่กับตัวต้านทานค่า R อีกตัวเหมือนกัน สิ่งที่แตกต่างของทั้งสองวงจรก็คือค่าแรงดันไฟฟ้าเทวินิน (V_{TH}) เท่านั้น ถ้าเขียนวงจรเสมือนทางด้านซ้ายของเส้นประ 3 จะได้วงจรดังรูปที่ 2.56 ข. โดยมีค่า

$$R_{TH} = R \text{ และ } V_{TH} = \frac{D_2}{2} + \frac{D_1}{4} + \frac{D_0}{8}$$

ค่าแรงดันไฟฟ้า V_{TH} จะเป็นผลรวมของแรงดันไฟฟ้าที่สัญญาณดิจิตอลแต่ละบิทคูณด้วยค่าน้ำหนักของบิทนั้น โดยที่บิท D_0 ซึ่งต่อเข้ามาทางซ้ายสุดของวงจรในรูปที่ 2.53 เป็นบิทที่มีนัยสำคัญต่ำที่สุด OP-AMP ในวงจรรูปที่ 2.53 ทำหน้าที่เป็นวงจรบัฟเฟอร์ ที่มีค่าแรงดันฟฟ้า V_0 เท่ากับแรงดันไฟฟ้าที่ขา + ของ OP-AMP ถ้าพิจารณาวงจรรูปที่ 2.53 จะได้ V_0 มีค่า

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

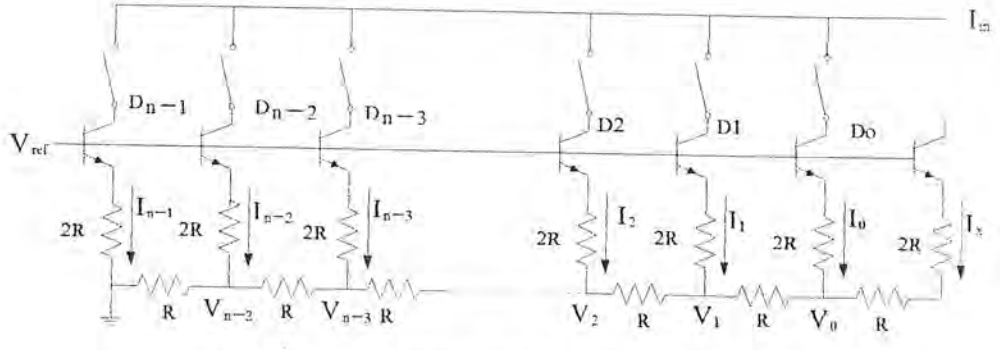
$$V_0 = \frac{D_{n-1}}{2} + \frac{D_{n-2}}{4} + ... + \frac{D_0}{2^n} \quad ....(2.8.13)$$

ซึ่งจะเห็นว่าแรงดันไฟฟ้าออกจะมีผลอันเนื่องมาจากแรงดันที่แต่ละบิท โดยบทที่มีนัยสำคัญสูงถัดไปจะมีค่าน้ำหนักเพิ่มขึ้น 2 เท่า เช่น บิท D_{n-1} มีค่าน้ำหนัก ½ ซึ่งสูงกว่าน้ำหนักของบิท D_{n-2} ค่า ¼ อยู่ 2 เท่า เช่นเดียวกับแรงดันไฟฟ้าที่ออก V_0 ในสมการ (2.8.8)

วงจร DAC แบบ R-2R Ladder สามารถสร้างได้ง่าย เพราะในวงจรมีตัวต้านทานเพียง 2 ค่าเท่านั้น จึงสามารถหาอุปกรณ์มาต่อเป็นวงจรได้ แต่ข้อผิดพลาดก็ยังเกิดขึ้นได้ เนื่องจากระดับสัญญาณไฟฟ้าแต่ละบิทที่จะต่อเข้ากับตัวต้านทานในวงจรรูปที่ 2.53 ถ้าสัญญาณที่นำเข้ามาต่อมีค่าแรงดันไฟฟ้าของแต่ละระดับในแต่ละบิทไม่เท่ากัน เช่น สัญญาณที่เมาแต่ละบิทของ DAC รูปที่ 2.53 มาจากจุดสัญญาณออกของ TTL ซึ่งกำหนดไว้แต่เพียงว่าระดับแรงดันไฟฟ้าออกขณะเป็นลอจิก "0" จะไม่เกิน 0.3 โวลท์ และขณะเป็นลอจิก "1" จะมีค่าแรงดันไฟฟ้าไม่น้อยกว่า 2.0 โวลท์ ขณะที่เป็นลอจิก "1" บิท D_0 อาจมีค่าแรงดัน 4.0 และบิท มีค่าแรงดัน 4.2 โวลท์ ดังนั้นแต่ละบิทจะมีค่าน้ำหนักไม่ถูกต้อง จึงมีการดัดแปลงวงจร ADC แบบ R-2R Ladder ใหม่เพื่อแก้ปัญหานี้ เรียกว่าวิธีสวิตซ์แหล่งจ่ายกระแส (Switched Current Source)

2.8.2.3 วิธีการสวิตซ์แหล่งจ่ายกระแส (Switched Current Source)

วงจร DAC แบบวิธีสวิตซ์แหล่งจ่ายกระแส จะประกอบด้วยแหล่งจ่ายกระแสหลายๆชุดประกอบกัน แหล่งจ่ายกระแสแต่ละตัวจะมีค่ากระแสมากกว่ากัน 2 เท่า ภายในวงจรมีสวิตซ์ที่แต่ละตัวควบคุมด้วยสัญญาณดิจิตอลแต่ละบิท สวิตซ์จะทำหน้าที่เลือกกระแสจากแหล่งจ่ายกระแสให้ไหลออกมาหรือไม่ กระแสที่ไหลออกมาผ่านสวิตซ์แต่ละตัวจะถูกรวมเข้าด้วยกัน วงจร DAC แบบวิธีสวิตซ์แหล่งจ่ายกระแส แสดงดังรูปที่2.58



รูปที่ 2.58 วงจร DAC แบบสวิตซ์แหล่งจ่ายกระแส

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ขาเบสของทรานซิสเตอร์ทุกตัวในวงจรรูปที่ 2.58 ถูกต่อเข้ากับระดับแรงดันไฟฟ้าอ้างอิง V_{Ref} เดียวกัน ดังนั้นที่ขาอิมิตเตอร์ของทรานซิสเตอร์ทุกตัวในวงจรจะมีแรงดันไฟฟ้าเท่ากับ $V_{Ref} - V_{BE}$ เมื่อ V_{BE} เป็นแรงดันไฟฟ้าที่ตกคล่อมระหว่างขาเบสกับขาอิมิตเตอร์ของทรานซิสเตอร์ กระแสจะไหลออกจากขาอิมิตเตอร์ของทรานซิสเตอร์แบบ NPN ผ่านตัวต้านทานลงมาข้างล่าง เมื่อมีกระแสออกจากขาอิมิตเตอร์จะมีกระแสไหลเข้าไปทางขาคอลเลคเตอร์ที่อยู่ด้านบน กระแสที่ไหลเข้าไปมีค่าประมาณเท่ากับกระแสที่ไหลออกจากขาอิมิตเตอร์ ทรานซิสเตอร์จึงทำงานเป็นเสมือนแหล่งจ่ายกระแส สัญญาณดิจิตอลที่ต้องการแปลงเป็นสัญญษณอนาลอก จะถูกใช้ในการควบคุมสวิตซ์อิเล็กทรอนิกส์ในวงจร ให้ต่อขาคอลเลคเตอร์ของทรานซิสเตอร์แต่ละตัวกับสัญญาณ I_{in} ทางขวา ถ้าสัญญาณดิจเตอลี่เข้ามาเป็นลอจิก "0" จะทำให้สวิตซ์อยู่ตำแหน่งเปิดวงจร ทำให้ไม่มีกระแสไหลจาก I_{in} เขามายังขาคอลเลคเตอร์ และถ้าสัญญาณเป็นลอจิก "1" ก็จะทำให้สวิตซ์อยู่ในตำแหน่งปิดวงจร ดังนั้นกระแสรวมที่ไหลเข้ามายังวงจรทางขา I_{in} จะมีค่า

$$I_{in} = D_0 I_0 + D_1 I_1 + D_2 I_2 + \ldots\ldots + D_{n-1} I_{n-1} + = \sum_{k=0}^{n-1} D_k I_k \qquad \ldots(2.8.14)$$

เมื่อ D_k เป็นสภาวะลอจิกของบิท k ของสัญญาณดิจิตอลที่ป้อนเข้ามา D_k จะมีค่าเป็น "0" หรือ "1" เท่านั้น โดย k = 0, 1, 2,...,n-1 เมื่อ n เป็นจำนวนบิทของสัญญาณดิจิตอลที่ต้องการแปลงเป็นข้อมูลอนาลอก

ให้ V_E เป็นค่าแรงดันไฟฟ้าที่จุดขาอิมิตเตอร์ของทรานซิสเตอร์ ซึ่งมีค่าเท่ากันทุกตัว ดังนั้น

$$V_E = V_{Ref} - V_{BE}$$

กระแส I_x ที่ไหลออกทางขาอิมิตเตอร์ของทรานซิสเตอร์ทางขวาสุด กระแส I_x นี้เป็นกระแสไบอัสให้กับวงจร มีค่า

$$I_X = \frac{V_E - V_0}{2R} \qquad \ldots(2.8.15)$$

กระแสที่ไหลออกทางขาอิมิตเตอร์ของทรานซิสเตอร์ตัวอื่นในวงจรจะมีค่าสัมพันธ์กับค่ากระแส I_x นี้

$$I_0 = \frac{V_E - V_0}{2R} = I_X \qquad \ldots(2.8.16)$$

$$I_1 = \frac{V_E - V_1}{2R} = \frac{V_E - (V_0 - (I_0 + I_X)R)}{2R}$$
$$= \frac{V_E - V_0}{2R} + \frac{2I_0 R}{2R} = I_0 + I_0 = 2I_0 \qquad \ldots(2.8.17)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$I_2 = \frac{V_E - V_2}{2R} = \frac{V_E - (V_1 - (I_0 + I_1 + I_x)R)}{2R}$$
$$= \frac{V_E - V_0}{2R} + \frac{2I_0 + I_1 + 2I_x}{2} = I_0 + \frac{2I_0 + I_1 + 2I_x}{2} = I_0 + \frac{6I_0}{2} \quad \text{...(2.8.18)}$$

จากสมการ (2.8.16), (2.8.17)และ (2.8.18) จะเห็นว่ากระแสของบิทที่มีนัยสำคัญสูงกว่าถัดไปมีค่าเพิ่มขึ้นทีละ 2 เท่า ถ้าหาค่ากระแสที่ออกจากขาอิมิตเตอร์ของทรานซิสเตอร์แต่ละตัว ในวงจรรูปที่ 2.56 จะเขียนเป็นสมการได้

$$I_k = I_0 2^{k+1} \quad \text{...(2.8.19)}$$

ดังนั้นสมการของกระแสรวมที่ไหลเข้าคือ I_{in} ใน (14.14) จะเขียนได้ใหม่

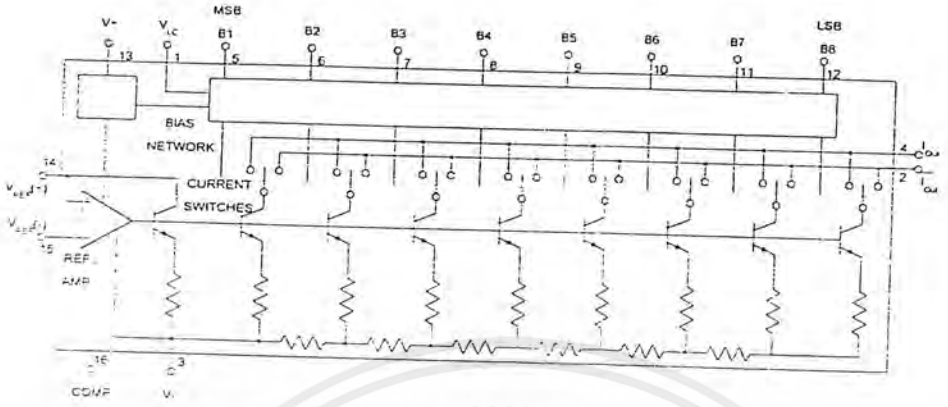
$$I_{in} = \sum_{k=0}^{n-1} D_k I_0 2^{k+1} \quad \text{...(2.8.20)}$$

การที่ภายในวงจรให้สวิตซ์ที่ควบคุมด้วยข้อมูลดิจิตอลเป็นตัวกำหนดให้กระแสไหลหรือไม่ จึงเรียกวงจร DAC แบบนี้ว่าเป็นแบบวิธีสวิตซ์แหล่งจ่ายกระแส ในวงจรนี้จะเห็นว่ากระแสที่ขาอิมิตเตอร์แต่ละตัวไม่ได้ขึ้นกับค่าแรงดันไฟฟ้าของแต่ละบิท ดังนั้นที่สภาวะลอจิก "1" (หรือ "0") ของแต่ละบิทอาจมีระดับแรงดันไฟฟ้าแตกต่างกันได้ แต่ยังสามารถบอกเป็นสภาวะ "1" หรือ "0" เพื่อให้สวิตซ์ในวงจรทำงานได้

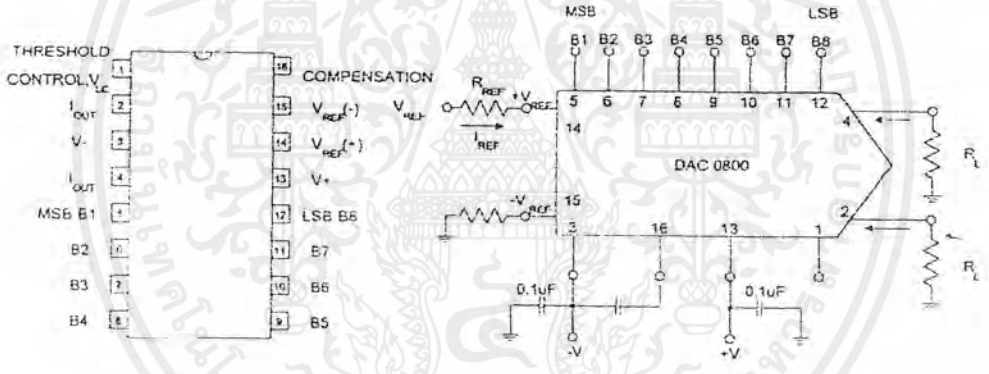
วงจร DAC แบบวิธีสวิตซ์แห่งจ่ายกระแสมีการผลิตออกมาเป็นวงจรรวมหลายเบอร์ เนื่องจากการผลิตเป็นวงจรรวมทำให้ทรานซิสเตอร์ทุกตัวมีคุณสมบัติใกล้เคียงกันมากจึงทำให้มีข้อผิดพลาดต่ำ แผนภาพรูปที่ 2.59 ก. เป็นแผนภาพวงจรภายในของ DAC เบอร์ DAC0800 ซึ่งสามารถแปลงข้อมูลดิจิตอล 8 บิท เป็นสัญญาณอะนาลิก มีขากระแสออก 2 ขา ที่มีทิศทางของกระแสตรงข้ามกัน โดยขาหนึ่งมีทิศทางของกระแสไหลเข้ามายังวงจรรวม (I_{Out}และ $\overline{I_{out}}$) วงจรภายในมีการทำงานคล้ายกับที่ได้อธิบายมาแล้ว แผนภาพขาสัญญาณของ DAC0800 และการต่อใช้งานมีดังรูปที่ 2.59 ข. และ 2.59 ค. ตามลำดับ ตัวต้านทาน R_1 ค่า 5 กิโลโอห์มที่ต่อระหว่างจุดสัญญาณออก I_{Out} และ $\overline{I_{out}}$ เข้ากับกราวด์ เป็นการแปลงกระแสที่ไหลออกมาเป็นแรงดันไฟฟ้า ตัวต้านทาน R_{Ref} ที่ต่อขา 14 เข้ากับแรงดันไฟฟ้า V_{Ref} เป็นตัวกำหนดค่ากระแสอ้างอิง I_{Ref} ให้กับการทำงานภายในของวงจร ผลรวมของกระแสที่ไหลเข้าและออกจากจุดสัญญาณออกทั้งสองคือ I_{Out} และ $\overline{I_{out}}$ ขณะที่ข้อมูลดิจิตอลมีค่าเต็มสเกล (Full Scale) คือ I_{FSt} จะมีค่าดังสมการ (2.8.21)

$$I_{FS} = I_{out} + \overline{I_{out}} \quad \text{... (2.8.21)}$$
$$I_{FS} = \frac{V_{Ref}}{V_{Ref}} \times \frac{255}{256}$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

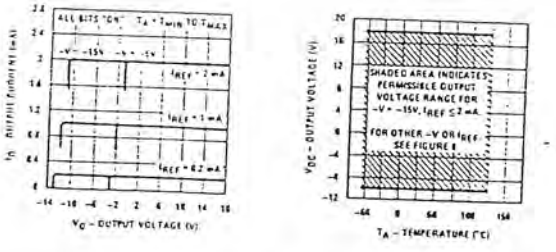


ก. แผนภาพวงจรภายใน



ข. แผนภาพขาสัญญาณ

ค. การต่อใช้งาน



ง.ตารางแสดงกระแสและแรงดันไฟฟ้าที่จุดสัญญาณออก

รูปที่ 2.59 วงจรรวม DAC เบอร์ DAC0800

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การใช้งาน DAC0800 กับวงจรที่มีระดับสัญญาณลอจิกแบบ TTL จะต่อวงจรได้ดังรูปที่ 2.59 ค. โดยให้ V_{Ref} = 10.00 V. R_{Ref} = 5.0 K, $R_{is} \approx R_{Ref}$ C_c = 0.01 F และ V_{LC} = 0 V เพื่อให้ค่ากระแส I_{FS} มีค่าประมาณ 2 mA เมื่อไบอัสด้วยค่าดังกล่าวและตัวต้านทานโหลดมีค่า R_l = 10 กิโลโอหม แต่ละค่าของข้อมูลดิจิตอลที่ป้อนเข้าไปทำให้ได้กระแส I_0 , I_0 และแรงดันไฟฟ้า E_O และ E_O ดังในรูปที่ 2.59ง. ซึ่งจะเห็นว่าเมื่อค่าดิจิตอลมากขึ้น I_O จะมากขึ้นด้วยและทำให้ E_O มีค่ามากขึ้นส่วน และ จะตรงกันข้าม คือเมื่อค่าดิจิตอลเพิ่มมากขึ้นจะทำให้ และ มีค่าลดลง

ในข้อมูลเฉพาะของ DAC0800 บอกค่าเวลาตั้ง (Setting Time) ของ DAC0800 ไว้สูงสุดไม่เกิน 135 ns เป็นค่าเวลาที่เมื่อป้อนสัญญาณดิจิตอลเข้าไปแล้วจะต้องใช้เวลาดังกล่าว ก่อนที่สัญญาณอนาลอกที่ออกมาจะมีค่าตามข้อมูลดิจิตอล ค่ากระแสสูงสุดที่วงจรจะจ่ายออกมาได้ (Full Scale Current) มีค่าประมาณ 2 มิลลิแอมแปร์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่3 ผลการทดลอง

การทดลองที่1 วงจรกรองความถี่

จุดประสงค์

1) บรรยายกฎทั่วไปที่ใช้ในการทำงาน ของวงจรกรองความถี่แบบ สวิตช์คาปาซิเตอร์

2) ทดสอบและหาค่า วงจรสวิตช์คาปาซิเตอร์ แบบ IC ซึ่งประกอบด้วย Low -pass ,High-pass และวงจรกรองความถี่แบบ Band pass ได้

อุปกรณ์ที่ใช้ในการทดลอง

1) แหล่งจ่ายแรงดัน ±5V ,10V (PANEL BASE 300 PB) และ แผงทดลองการสื่อสารดิจิตอล

2) สโคปชนิด 2 Channel หรือ Audio Measurment

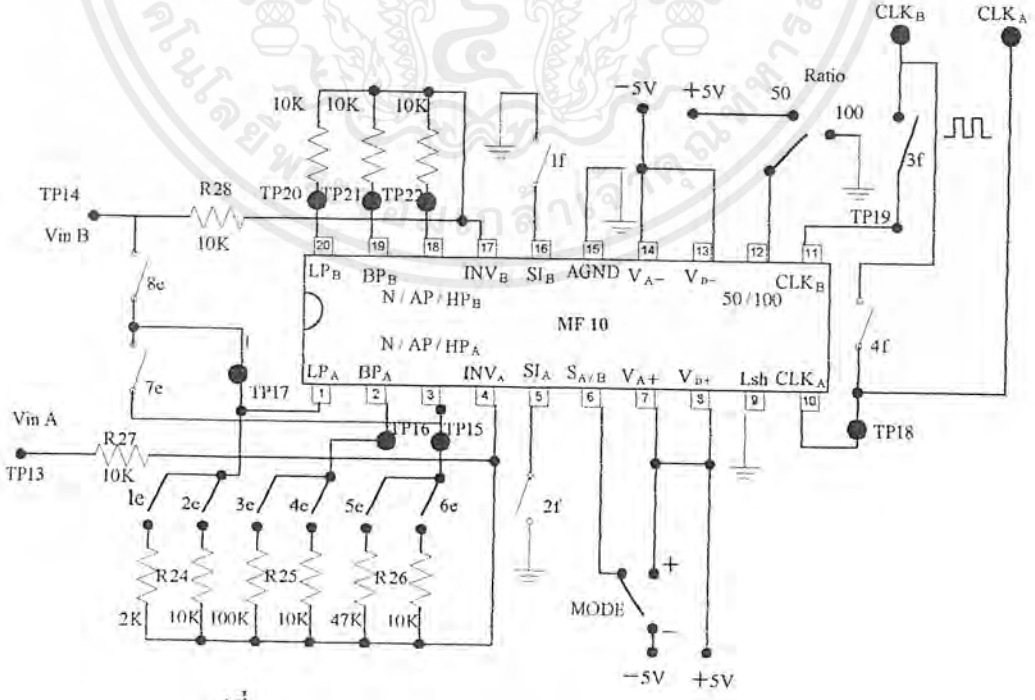
3)Function Gennerator

4) Frequency Counter

5) มัลติมิเตอร์

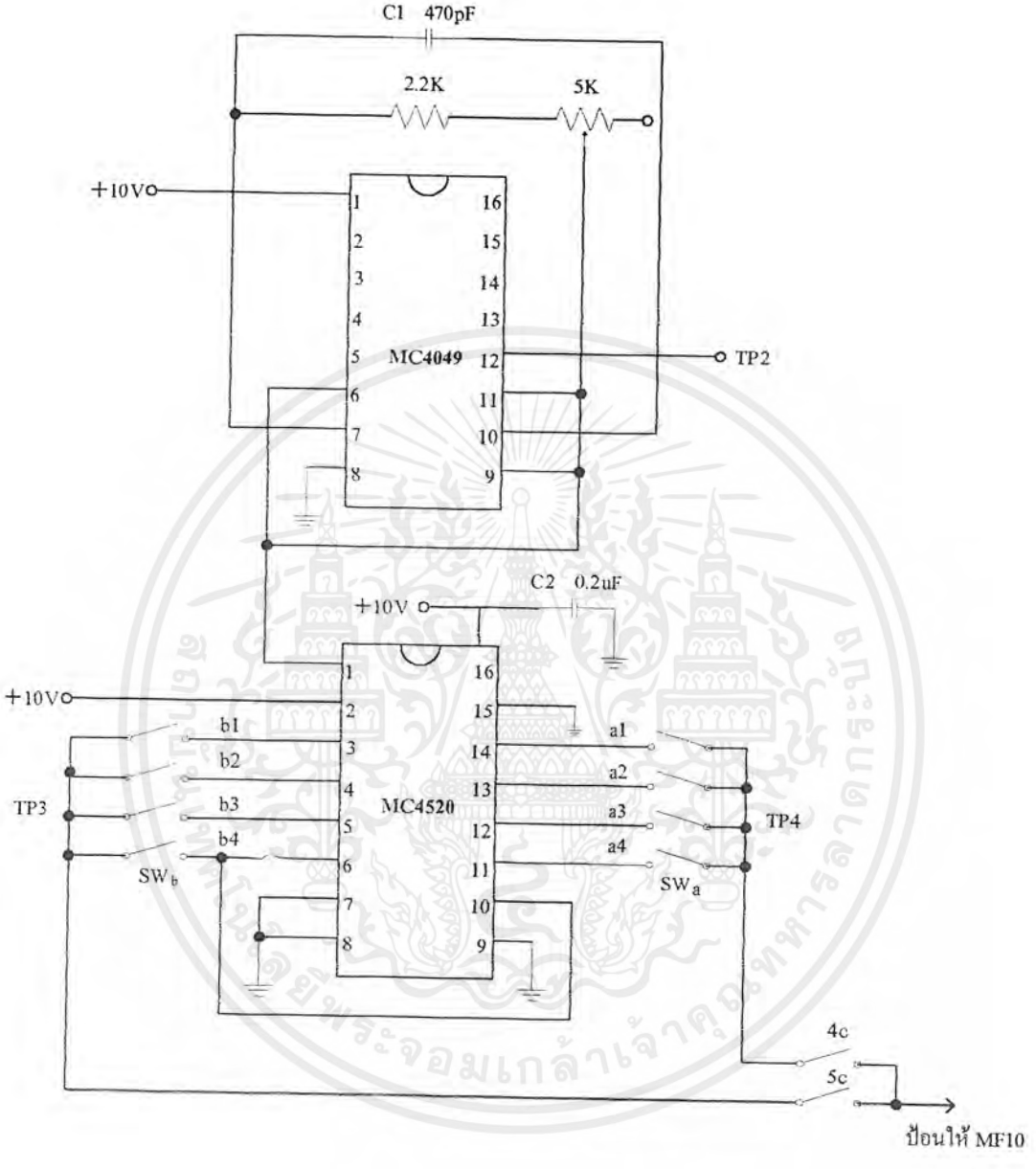
ลำดับขั้นการทดลองและผลการทดลอง

อาศัยวงจร Programmable Digital Filter และวงจรสร้างสัญญาณ Clock ดังรูป



รูปที่ 3.1 แสดงวงจร Programmable Digital Filter

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.1.1 แสดงวงจรสร้างสัญญาณ Clock จากแผงการทดลองส่วน A

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การทดลองวงจรกรองความถี่แบบความถี่สูงผ่าน

1) เลือกสัญญาณ clock จากแผงการทดลองส่วน A โดยใช้ Frequency Counter วัดที่ TP2 แล้วทำการปรับ R1 ให้ได้ความถี่ที่ TP2 1.02 MHz

ปิด Swa แต่ละตัวที่เวลาต่างๆ แล้วบันทึกค่าความถี่ที่ TP3 หลังจากนั้นมาปิด Swb แต่ละตัวแล้วบันทึกความถี่ที TP4 จะมีความถี่ปรากฏที่จุดต่าง ๆ ดังนี้

a1 = 512 KHz	b1 = 32 KHz
a2 = 256 KHz	b2 = 16 KHz
a1 = 28 KHz	b3 = 8 KHz
a4 = 64 KHz	b4 =4 KHz

จากการทดลองนี้ให้เลือกความถี่ ของ 256 KHz โดยปิดสวิตช์ 2a แล้วปิดสวิตช์ 4c ปรับสวิตช์ของสัญญาณ clock ไปที่ clock A

2) ตั้งค่าสวิตช์สำหรับวงจรกรองความถี่ ในส่วนของวงจรกรองชุด A ของ MF10

อัตราส่วน 100 โดยต่อขา 12 ลงกราวด์

โหมดการทำงาน -5V

ปิดสวิตช์ 2e, 4e, 6e, 2f

เปิดสวิตช์ 1e ,3e, 5e ,7e, 8e , 1f ,3f ,4f

3) ป้อนสัญญาณ sine wave 20 KHZ ขนาด 2 Vp-p เข้าที่ TP13 ซึ่งเป็นขั้วลบของ อินพุตออฟแอมป์และสังเกตุเอ้าท์พุตที่ ปรากฏที่ TP15 ซึ่งเป็น เอ้าท์พุตของออฟแอมป์

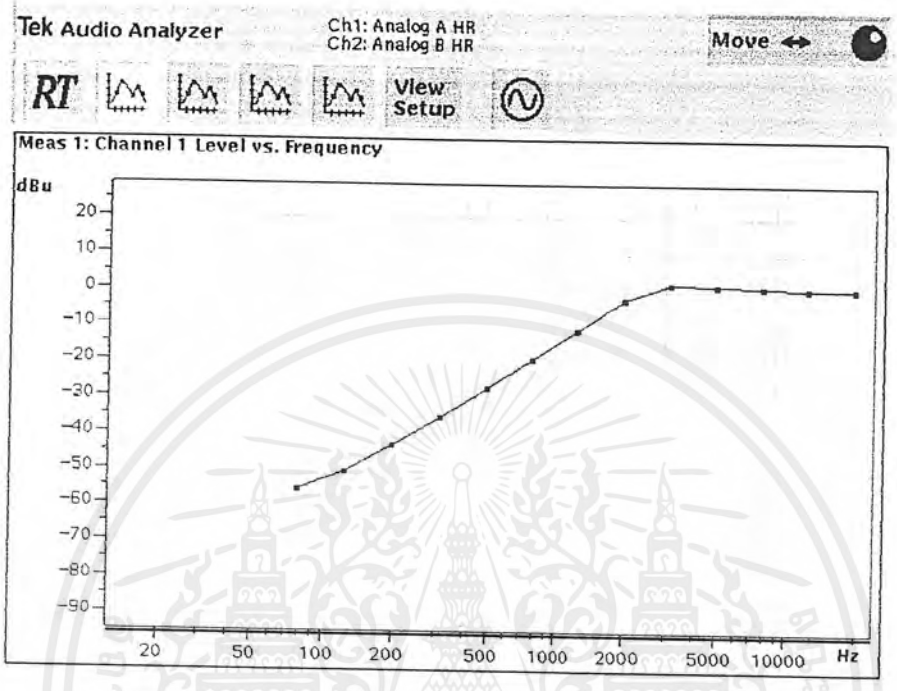
4) วัดความถี่ที่จุด –3dB เมื่อปรับสัญญาณ clock มีความถี่ดังต่อไปนี้

256 kHz (-3 dB) =2 .56 kHz	(ปิดสวิตช์ 2a)
128 kHz (-3 dB) =1 .4 kHz	(ปิดสวิตช์ 3a)
64 kHz (-3 dB) =600 Hz	(ปิดสวิตช์ 4a)

โดยความถี่ Cutoff (fo) ของ passband มีค่า $f_o = \frac{f_{clk}}{100}$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รูปที่ 3.1.2 ผลตอบสนองต่อความถี่ แบบความถี่สูงผ่าน โดยใช้สัญญาณ clock 256KHz

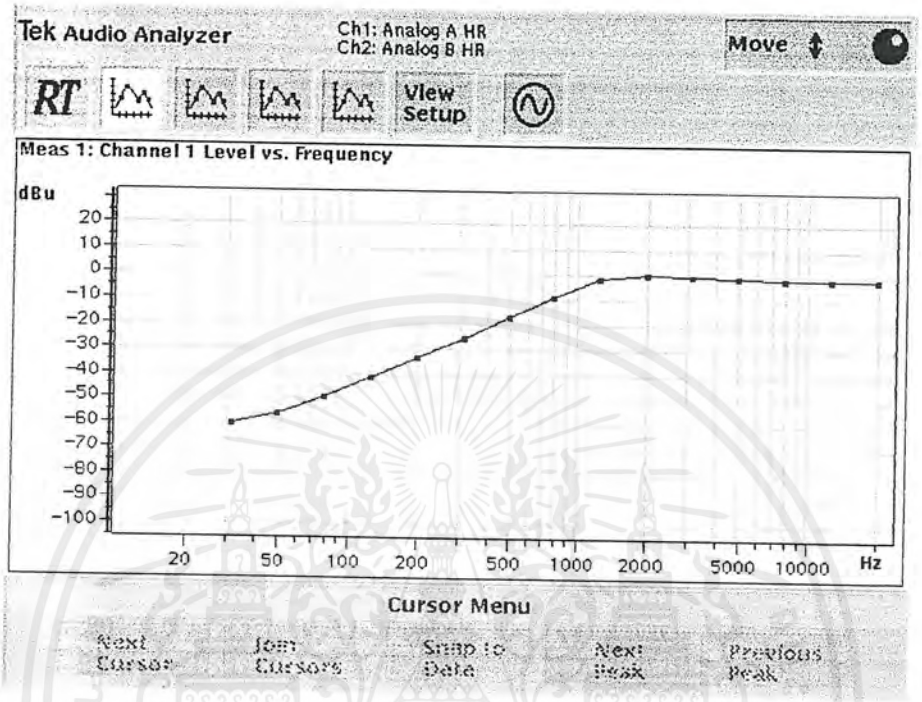


ตารางที่ 3.1 แสดงความสัมพันธ์ระหว่างผลตอบสนองต่อความ ถี่กับอัตราขยาย

Channel 1 Level vs. Frequency	
Frequency (Hz)	**Level (dBu)**
79.59	-55.96
126.21	-50.94
200.01	-43.60
317.00	-35.77
502.39	-27.74
796.19	-19.56
1261.89	-11.13
1999.98	-2.89
3169.76	1.44
5023.75	1.23
7962.02	0.63
12618.96	0.29
19999.78	0.15

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รูปที่ 3.1.3 ผลตอบสนองต่อความถี่ แบบความถี่สูงผ่าน โดยใช้สัญญาณ clock 128KHz

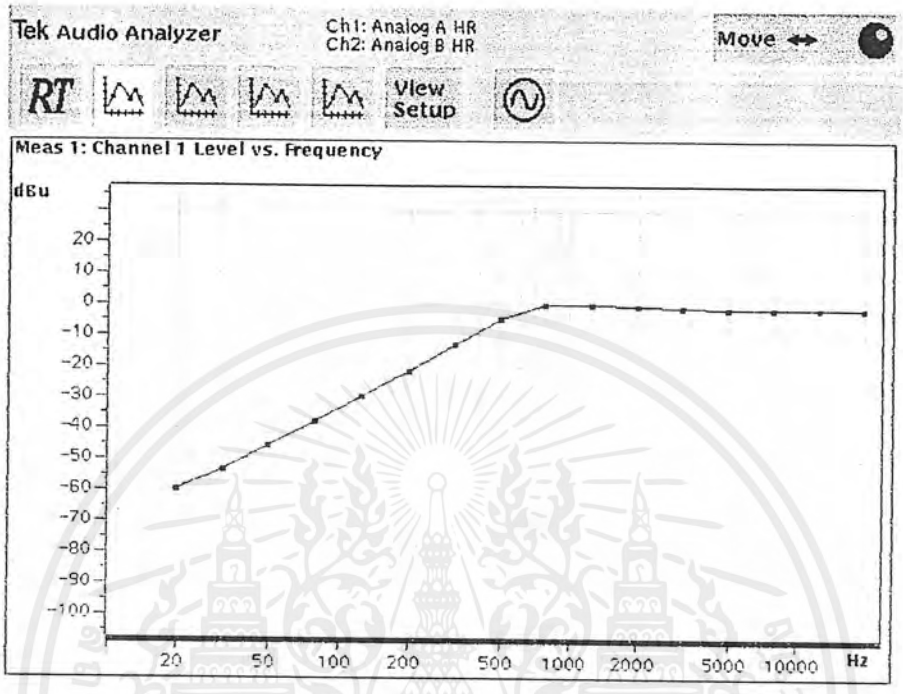


ตารางที่ 3.2 แสดงความสัมพันธ์ระหว่างผลตอบสนองต่อความ ถี่กับอัตราขยาย

Channel 1 Level vs. Frequency	
Frequency (Hz)	Level (dBu)
31.69	-60.30
50.16	-56.20
79.56	-49.27
126.19	-41.56
200.00	-33.57
317.00	-25.47
502.39	-17.16
796.19	-8.79
1261.89	-1.53
1999.98	-0.01
3169.76	-0.67
5023.75	-1.15
7962.01	-1.42
12618.96	-1.57
19999.78	-1.64

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รูปที่ 3.1.4 ผลตอบสนองต่อความถี่ แบบความถี่สูงผ่าน โดยใช้สัญญาณ clock 64 KHz



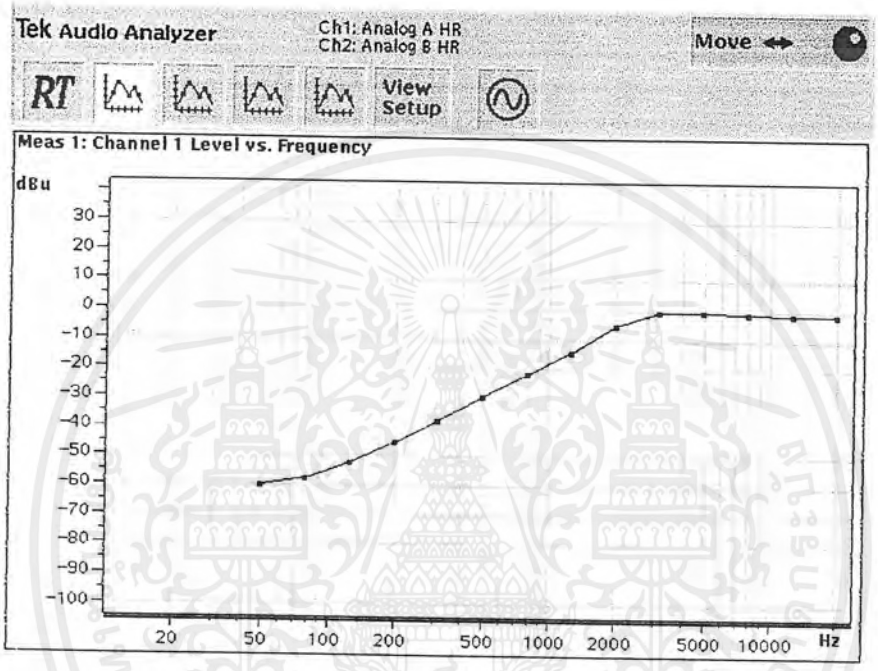
ตารางที่ 3.3 แสดงความสัมพันธ์ระหว่างผลตอบสนองต่อความ ถี่กับอัตราขยาย

Channel 1 Level vs. Frequency	
Frequency (Hz)	Level (dBu)
19.98	-59.72
31.70	-53.07
50.18	-45.42
79.59	-37.63
126.20	-29.53
200.00	-21.31
317.00	-12.84
502.39	-4.52
796.20	-0.09
1261.89	-0.23
1999.98	-0.80
3169.76	-1.17
5023.75	-1.38
7962.01	-1.53
12618.96	-1.63
19999.78	-1.67

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

5) ปรับสัญญาณ clock ไปที่ 128 KHz โดยปิดสวิตช์ 3a ป้อน สัญญาณ sine wave ความถี่ 20 KHz ขนาด 2Vp-p เข้าที่ TP13 โดยปรับอัตราส่วนของสวิตช์ 50:1 (ขา 12 มีศักย์ +5V)

รูปที่ 3.1.5 ผลตอบสนองต่อความถี่ แบบความถี่สูงผ่าน โดยใช้สัญญาณ clock 128KHz



fc =2 .6 kHz

ตารางที่ 3.4 แสดงความสัมพันธ์ระหว่างผลตอบสนองต่อความ ถี่กับอัตราขยาย

Channel 1 Level vs. Frequency	
Frequency (Hz)	**Level (dBu)**
50.08	-60.09
79.61	-57.79
126.21	-52.36
200.01	-45.42
316.99	-37.71
502.40	-29.75
796.13	-21.60
1261.87	-14.20
1999.98	-5.00
3169.76	-0.42
5023.75	-0.46
7962.01	-1.04
12618.96	-1.37
19999.78	-1.52

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การทดลองวงจรกรองความถี่ต่ำผ่าน

6) (a)ปรับสวิตช์ให้ต่อกับตัวต้านทาน R24 ,R25 ,R26 ซึ่งมีค่า 10 กิโลโอห์ม โดยปิดและเปิดสวิตช์ดังนี้

ปิด	เปิด
2e	1f
4e	3f
6e	3f
2f	4f

(b) โหมดการทำงานปรับไปที่ –5V (ขา 6 มีศักย์ ไฟ –5V)

(c) อัตราส่วนของสวิตช์ปรับไปที่ 100:1 (ต่อขา 12 ลงกราวด์)

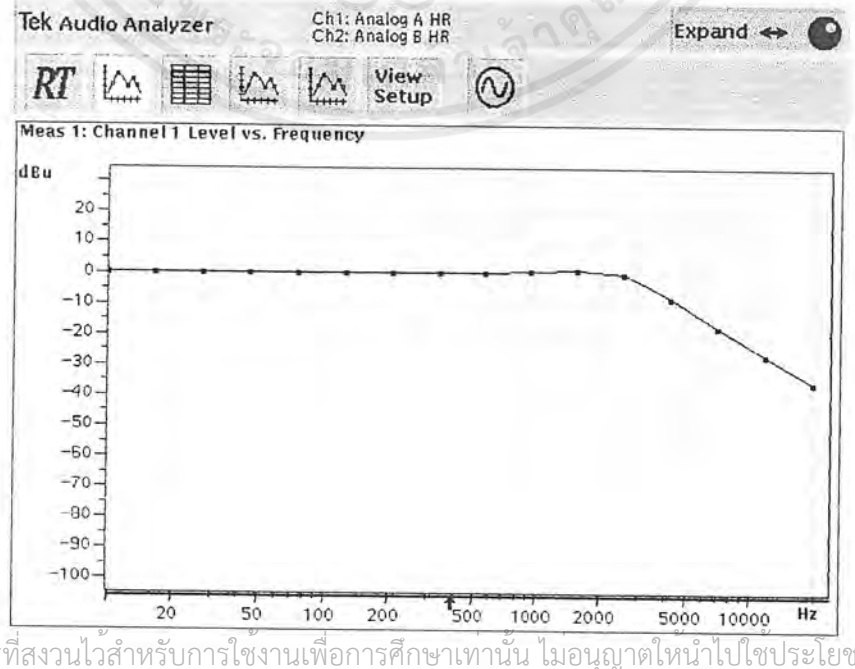
(d) ปิดสวิตช์ 2a โดยความถี่ที่ TP3 มีค่าเท่ากับ 256 KHz ปิดสวิตช์ 4c ปรับสวิตช์ไปที่ cloak A

(e) สัญญาณเอาท์พุต (Vo) จาก TP17 เป็นเอาท์พุต ของวงจรกรองความถี่ ต่ำผ่าน

7) ป้อนสัญญาณ sine wave ความถี่ 20 KHz ขนาด 1 Vp-p เข้าที่ TP13 สังเกตเอาท์พุตของวงจรกรองความถี่ต่ำผ่านที่ TP17

ความถี่ที่จุด (-3dB)ที่ TP17 ,fc=3 .7 kHz

รูปที่ 3.1.6 ผลตอบสนองต่อความถี่ แบบความถี่ต่ำผ่าน โดยใช้สัญญาณ clock 256 KHz



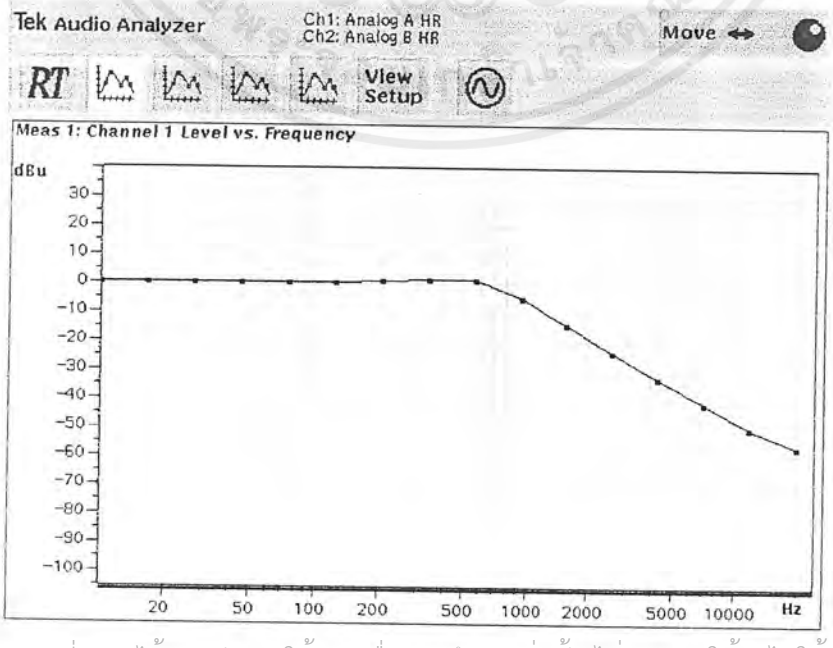
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ตารางที่ 3.5 แสดงความสัมพันธ์ระหว่างผลตอบสนองต่อความ ถี่กับอัตราขยาย

Channel 1 Level vs. Frequency	
Frequency (Hz)	**Level (dBu)**
10.00	−0.17
16.60	−0.15
27.60	−0.14
45.70	−0.13
75.90	−0.12
126.00	−0.11
209.10	−0.09
347.10	−0.04
576.19	0.08
956.39	0.38
1587.38	0.91
2634.77	−0.45
4373.35	−8.24
7259.22	−17.73
12049.17	−26.93
19999.78	−35.88

8) ลดความถี่ของสัญญาณ clock เป็น 64 KHz โดยปิดสวิตช์ 4a และสังเกตความถี่ที่จุด (-3 db) ความถี่ที่จุด (-3dB)ที่ TP17 ,fc=800 Hz

รูปที่ 3.1.7 ผลตอบสนองต่อความถี่ แบบความถี่ต่ำผ่าน โดยใช้สัญญาณ clock 64 KHz



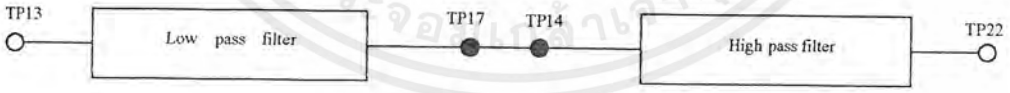
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ตารางที่ 3.6 แสดงความสัมพันธ์ระหว่างผลตอบสนองต่อความ ถี่กับอัตราขยาย

Channel 1 Level vs. Frequency	
Frequency (Hz)	Level (dBu)
10.00	-0.09
16.60	-0.06
27.60	-0.05
45.70	-0.03
75.90	0.02
126.00	0.12
209.10	0.38
347.10	0.92
576.21	0.74
956.39	-5.39
1587.38	-14.79
2634.77	-24.10
4373.35	-33.15
7259.22	-42.06
12049.11	-50.70
19999.89	-56.99

การทดลองวงจรกรองความถี่แบบแถบความถี่ผ่าน

9) สร้างวงจร BPF โดยประกอบวงจร LPF และ HPF ของวงจรกรองชุด A และวงจรกรองชุด B ต่อ Cascade กันดังรูป

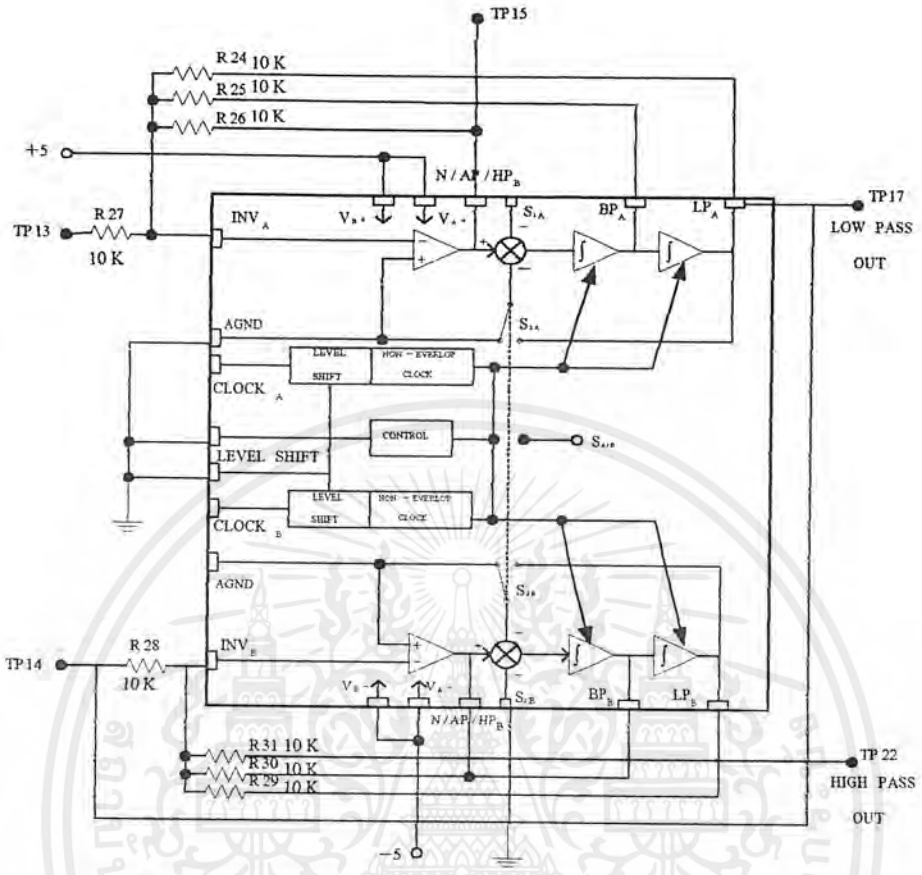


รูปที่ 3.1.8 แสดงการสร้างวงจร BPF จาก วงจร LPF และ HPF

(a) ต่อวงจร LPF ที่ TP17 กับแรงดันอินพุต Vi n (B) ที่ TP14 โดยปิดสวิตช์ 8e และเปิดสวิตช์ 1e, 3e ,5e และ 7e

(b) ปรับตัวต้านทานทั้งหมด ไปที่ 10 KHz อัตราส่วนของสวิตช์ปรับไปที่ 100:1 (ต่อขา 12 ลงกราวด์)และโหมดการทำงานปรับไปที่ –5V (ขา 6 มีศักย์ ไฟ –5V)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.1.9 แสดงลักษณะการต่อวงจร BPF จาก วงจร LPF และ HPF

(c) ใช้สัญญาณ clock ทั้งสอง โดยความถี่ที่ TP18 มีค่าเท่ากับ 256 KHz และความถี่ที่ TP19 มีค่าเท่ากับ 32KHz โดยปรับสวิตช์ดังนี้ ปิดสวิตช์ 2a,1b โดยสัญญาณที่ TP2 มีค่าประมาณ 1.02 MHz เปิดสวิตช์ 3f และ 4f ใช้สายต่อจาก TP4 ไปที่ TP19 ซึ่งเป็นสัญญาณ clock ให้กับ clock B ปิด 1f และ 4c ปรับสวิตช์ไปที่ clock A

(d) ป้อนสัญญาณอินพุตเป็น sine wave ความถี่ 20 KHz ขนาด 1Vp-p

(e) วัดหาเอาท์พุตของวงจรกรองความถี่แบบแถบความถี่ผ่าน (BPF) ที่ TP22 วัดช่วงแบนด์พาส ของวงจรกรองความถี่ ที่ upper และ lower ที่จุด 3dB

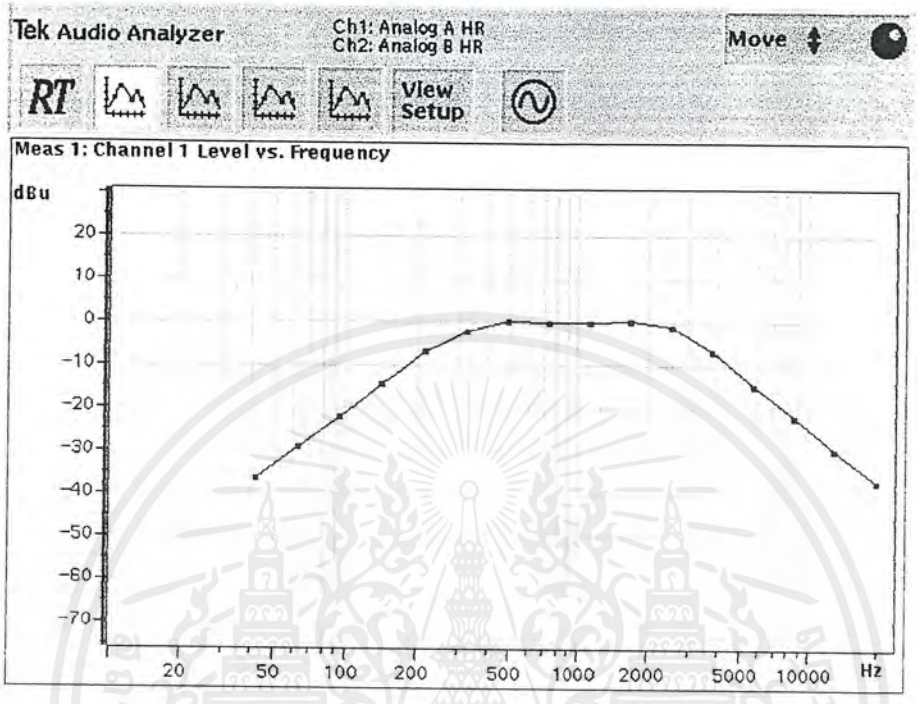
$f_L = 310$ Hz

$f_H = 3$ kHz

ความถี่กลาง $f_0 = 1$ kHz

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รูปที่ 3.1.10 ผลตอบสนองต่อความถี่ แบบแถบความถี่ผ่าน



ตารางที่ 3.7 แสดงความสัมพันธ์ระหว่างผลตอบสนองต่อความ ถี่กับอัตราขยาย

Channel 1 Level vs. Frequency	
Frequency (Hz)	**Level (dBu)**
42.00	-36.65
63.40	-29.43
95.60	-22.12
144.10	-14.61
217.40	-7.03
328.00	-2.16
494.69	0.11
746.19	-0.15
1125.59	-0.15
1697.88	0.10
2561.17	-1.19
3863.26	-7.08
5827.34	-14.81
8790.00	-22.44
13258.85	-29.85
19999.78	-37.16

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การทดลองวงจรกรองความถี่แบบนอตช์ (แบบตัดความถี่)

10) ใช้ Freequency Counter วัดที่ TP2 ของวงจร Universal clock แล้วปรับ R1 ให้ได้ความถี่ ที่ TP2 1.02 MHz

11) ตั้งค่าสวิตช์สำหรับวงจรกรองความถี่ ในส่วนของวงจรกรองชุด A ของ MF10

อัตราส่วน 100 โดยต่อขา 12 ลงกราวด์

โหมดการทำงาน +5V

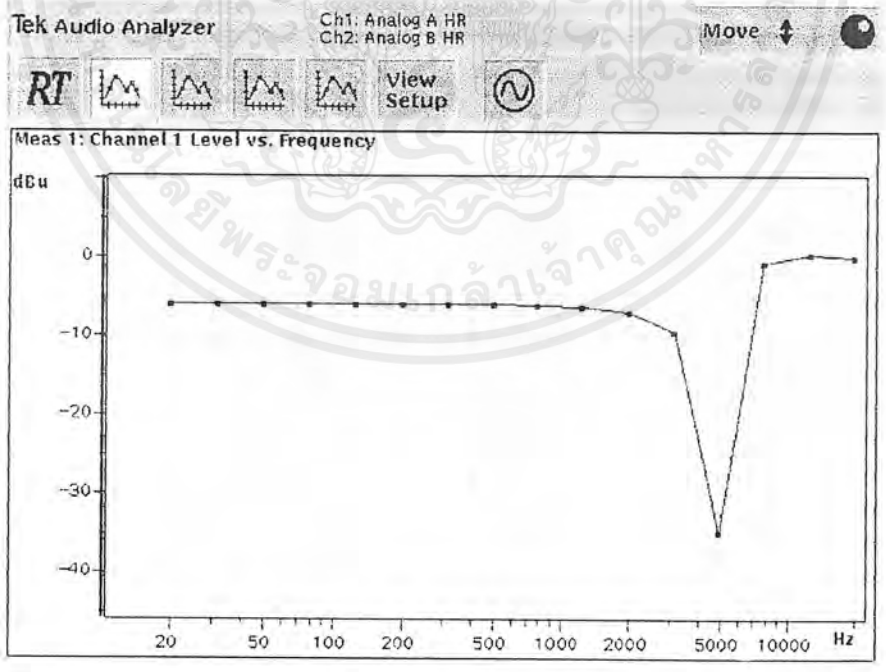
ปิดสวิตช์ 2e, 4e, 6e, 2f

เปิดสวิตช์ 1e ,3e, 5e ,7e, 8e , 1f ,3f ,4f

12) ป้อนสัญญาณ sine wave 20 KHZ ขนาด 2 Vp-p เข้าที่ TP13 ซึ่งเป็นขั้วลบของ อินพุต

13) (a) ปิดสวิตช์ 1a ใช้ Freequency Counter วัดที่ TP3 มีค่า 518 KHz ปิดสวิตช์ 4c ปรับ Clock สวิตช์ ไปที่ Clock A สังเกต เอาท์พุตที่ TP 15

รูปที่ 3.1.11 ผลตอบสนองต่อความถี่ แบบนอตช์ โดยใช้สัญญาณ clock 518 KHz

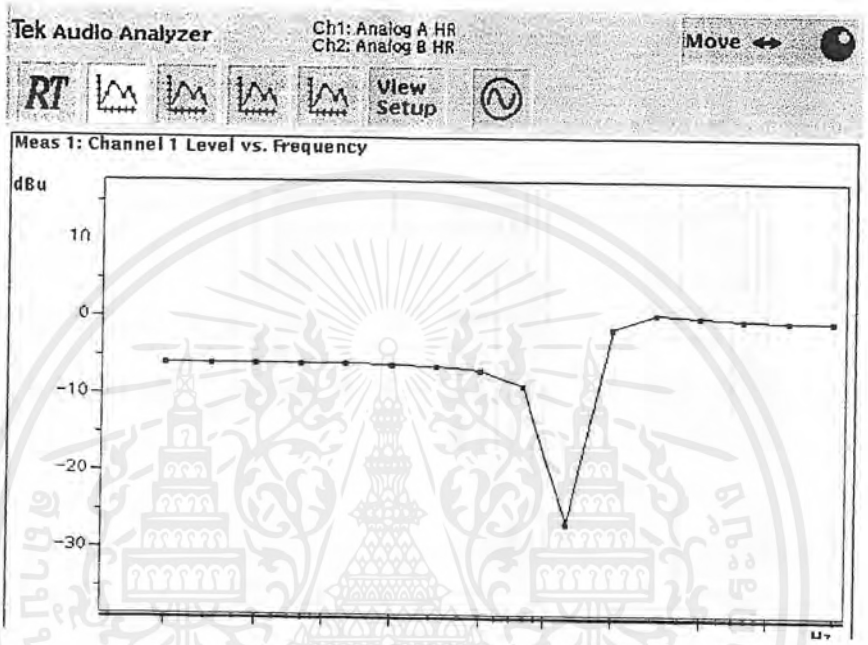


f notch = 5 KHz

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

(b) ปิดสวิตช์ 3a ใช้ Freequency Counter วัดที่ TP3 มีค่า 128 KHz สังเกต เอาท์พุตที่ TP 15

รูปที่ 3.1.12 ผลตอบสนองต่อความถี่ แบบนอตช์ โดยใช้สัญญาณ clock 128 KHz



f notch = 1.258 KHz

สรุปผลการทดลอง

จากการทดลองวงจรกรองความถี่โดยใช้ สวิตช์คาปาซิเตอร์ ซึ่งเป็นไอซี เบอร์ MF10 ความถี่ cut of จะขึ้นอยู่กับความถี่ clock ที่ป้อนให้กับไอซี MF10 ที่ขา 10,11 คือถ้าความถี่ clock เพิ่มขึ้น จะทำให้ช่วง pass band เพิ่มขึ้น หรือความถี่ cut of ณ จุด –3dB เพิ่มขึ้น และถ้าความถี่ clock ที่ป้อนลดลง จะทำให้ช่วง pass band แคบลง หรือความถี่ cut of ณ จุด –3dB ลดลง

ข้อดีของวงจรกรองความถี่แบบสวิตช์คาปาซิเตอร์ ที่เป็นไอซี คือ ไม่ต้องใช้ตัวเก็บประจุ จึงตัดปัญหาเรื่องการรั่วไหลของตัวเก็บประจุขณะใช้งานไปได้ โดยไม่ต้องเปลี่ยนอุปกรณ์ภายนอกและง่ายต่อการปรับ แต่ข้อไม่สะดวกคือ ต้องมีวงจรกำเนิดสัญญาณนาฬิกาอีกชุดหนึ่ง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การทดลองที่ 2 วงจรบีบและขยายสัญญาณ (Compressor and Expander Circuit)

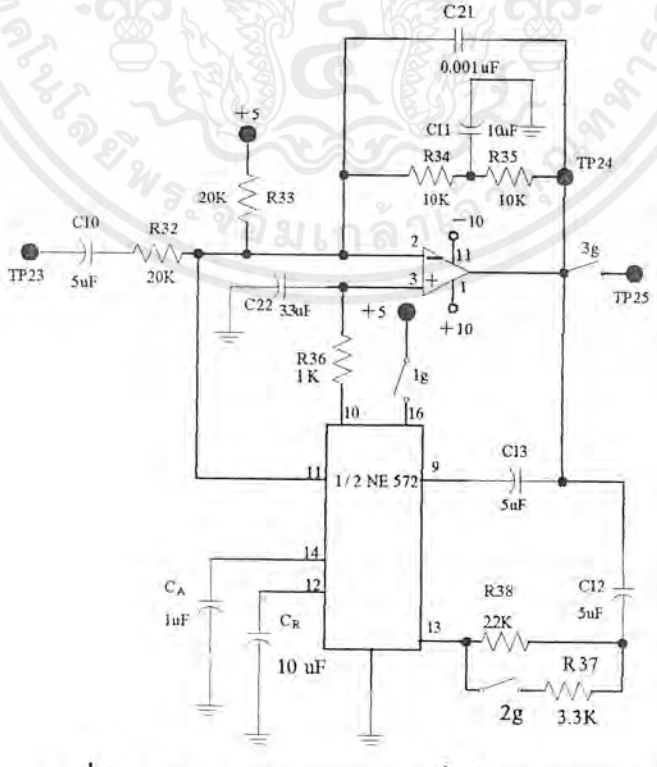
จุดประสงค์

1) อธิบายถึงการบีบขนาดสัญญาณของ amplifiersว่ากระทำอย่างไร
2) อธิบายถึงวงจร compandor ที่ใช้ใน PCM นำไปใช้งานอย่างไร.
3) อธิบายถึงความแตกต่างระหว่าง mu-255 และ A-low, ที่ใช้ในระบบสื่อสาร.

อุปกรณ์การทดลอง

1) แหล่งจ่ายแรงดัน ±5V ,10V (PANEL BASE 300 PB) และ แผงทดลองการสื่อสารดิจิตอล
2) สโคปชนิด 2 Channel หรือ Audio Measurment
3)Function Gennerator
4) Frequency Counter
5) มัลติมิเตอร์
6) สายจั๊มเปอร์

การทดลองวงจร Compressor



รูปที่ 3.2.1 แสดงวงจร compandor ที่ใช้ในการทดลอง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ลำดับขั้นการทดลองและผลการทดลอง

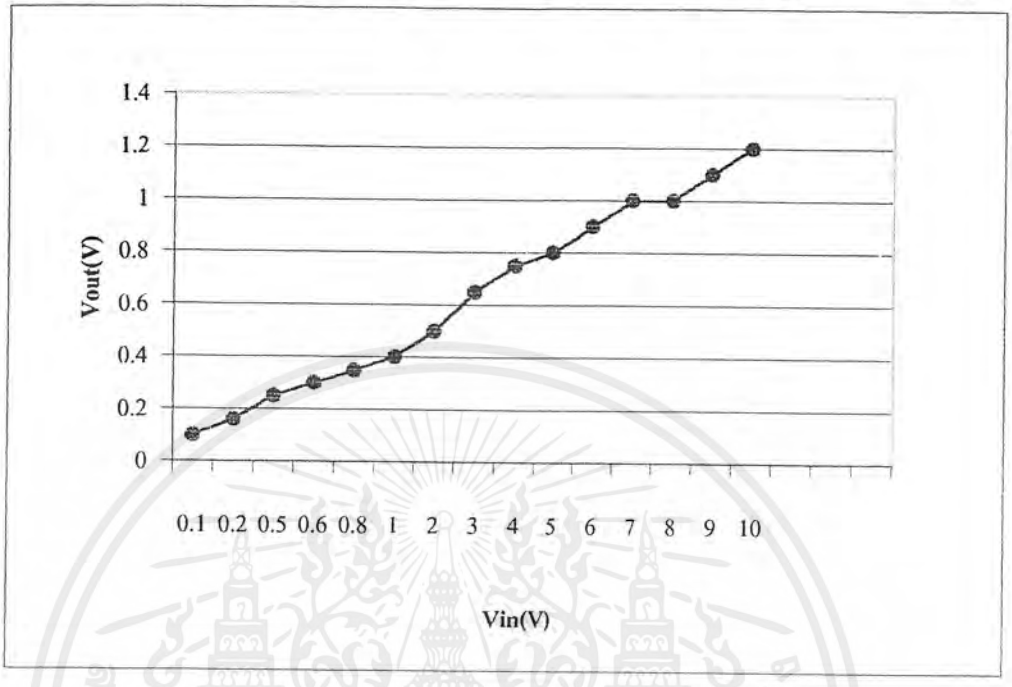
1. ป้อนสัญญาณ ไซน์ 1KHz ที่มี แอมปลิจูด = 0.1 Vp-p เข้าที่ TP23 ปิดสวิตช์ 1g และเปิดสวิตช์ 2g,3g,4g หาค่าการบิบสัญญาณ และสังเกตเอ้าท์พุตที่ TP24 ได้เท่ากับ 0.1 Vp-p
2. เพิ่มแรงดันอินพุต และอ่านค่าแรงดันเอาท์พุต(Vo) โดยใช้ความถี่ 1 KHz

ตารางที่ 3.8 แสดงความสำพันธ์ระหว่างแรงดัน input กับ output ความถี่ sine wave 1kHz

Vin(Volt)	Vo(Volt)
0.1	0.1
0.2	0.16
0.3	0.16
0.4	0.2
0.5	0.3
0.6	0.35
0.8	0.35
1	0.4
2	0.5
3	0.65
4	0.75
5	0.8
6	0.9
7	1.0
8	1.0
9	1.1
10	1.2
11	1.2
12	1.2
13	1.4
14	1.4
15	1.4
16	1.4
17	1.5
18	1.5

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รูปที่3.2.2กราฟแสดงความสำพันธ์ระหว่างแรงดัน input กับ output



3. หาความถี่ตอบสนองของวงจร Compressor โดยขนาดของ สัญญาณ อินพุต คงที่ ณ ค่าหนึ่ง จากนั้นจึงเปลี่ยนความถี่เริ่มจากความถี่ต่ำไปสูง

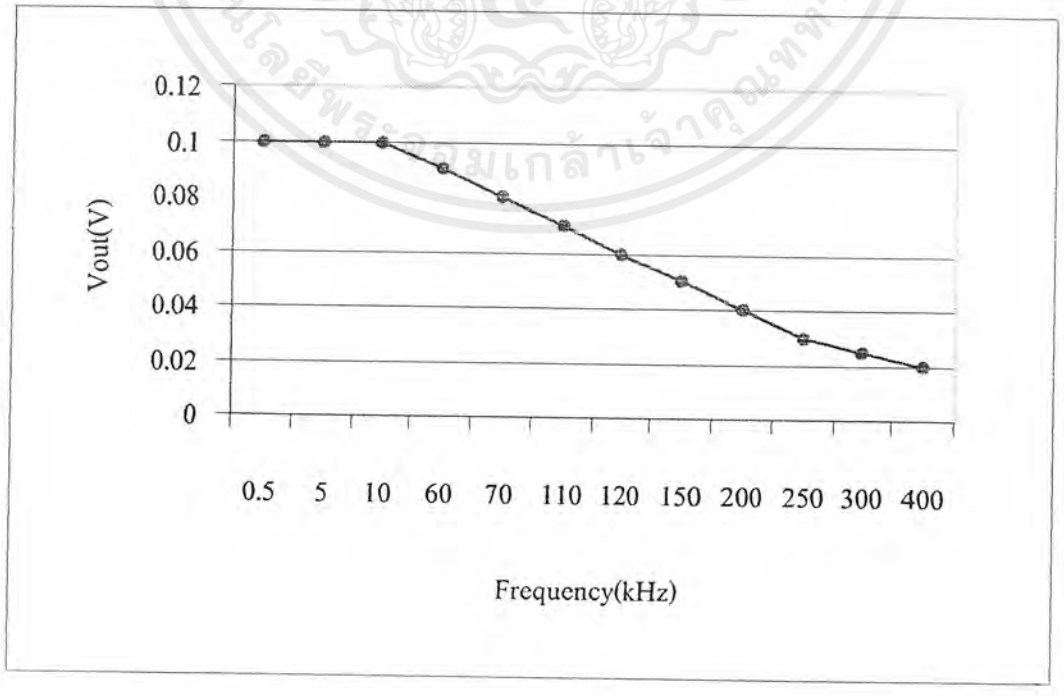
ตารางที่ 3.9 แสดงความถี่ตอบสนองของวงจร Compressor โดยขนาดของ Vin = 120 mV

Frequency	Vout (V)
500 Hz	0.1
1 KHz	0.1
2 KHz	0.1
3 KHz	0.1
4 KHz	0.1
5 KHz	0.1
6 KHz	0.1
7 KHz	0.1
8 KHz	0.1
9 KHz	0.1
10 KHz	0.1

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

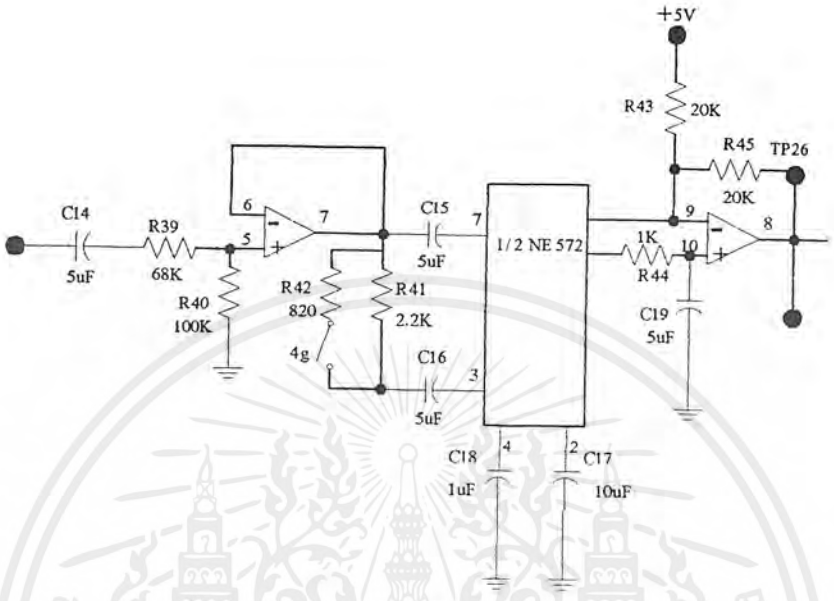
Frequency	Vout (V)
60 KHz	0.09
70 KHz	0.08
110 KHz	0.07
120 KHz	0.06
150 KHz	0.05
200 KHz	0.04
250 KHz	0.03
300 KHz	0.03
350 KHz	0.03
400 KHz	0.02

รูปที่ 3.2.3 กราฟแสดงความถี่ตอบสนองของวงจร Compressor



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การทดลองวงจร Expander



รูปที่3.2.4 วงจร Expander ที่ใช้ในการทดลอง

ลำดับขั้นการทดลองและผลการทดลอง

1. ป้อนความถี่ 1 KHz ที่มี แอมปลิจูด = 0.1 Vp-p เข้าที่ TP25 และสังเกตเอาท์พุตที่ TP26 Vo= 40 mV (Vp-p)

2. เพิ่มขนาดแอมปลิจูดของอินพุตและอ่านค่าขนาดของสัญญาณโดยใช้ความถี่ 1kHz

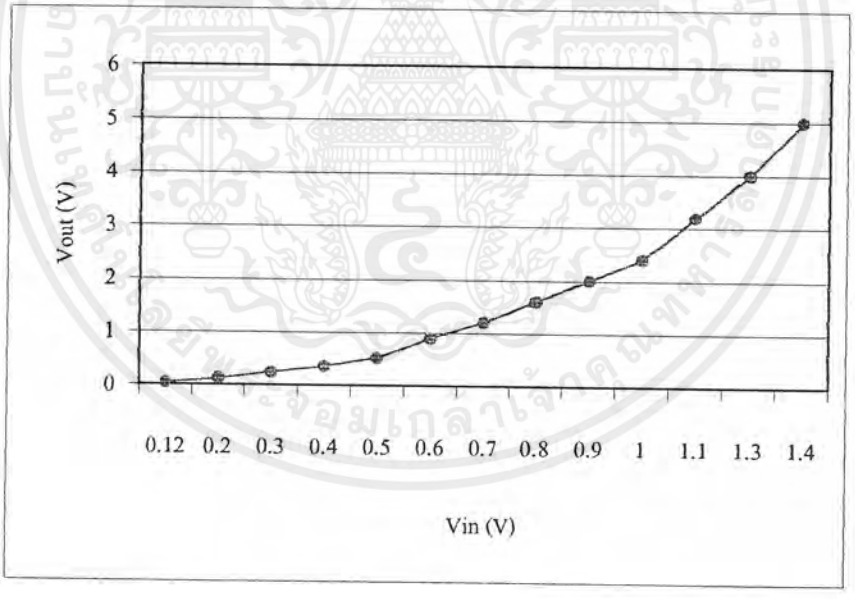
ตารางที่ 3 .10 แสดงความสำพันธ์ระหว่างแรงดันอินพุตกับเอ้าท์พุต ความถี่ 1kHz

Vin(Volt)	Vo(Volt)
0.12	0.04
0.2	0.12
0.3	0.24
0.4	0.36
0.5	0.52
0.6	0.9
0.7	1.2
0.8	1.6

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Vin(Volt)	Vo(Volt)
0.9	2
1	2.4
1.1	3.5
1.2	3.5
1.3	4
1.4	5
1.5	6
1.6	7 o/p sat

รูปที่ 3.2.5 กราฟแสดงความสำพันธ์ระหว่างแรงดัน input กับ output



3. หาความถี่ตอบสนองของวงจร Expander โดยขนาดของสัญญาณอินพุตคงที่ ณ ค่าหนึ่ง จากนั้นจึงเปลี่ยนความถี่เริ่มจากความถี่ต่ำไปสูง

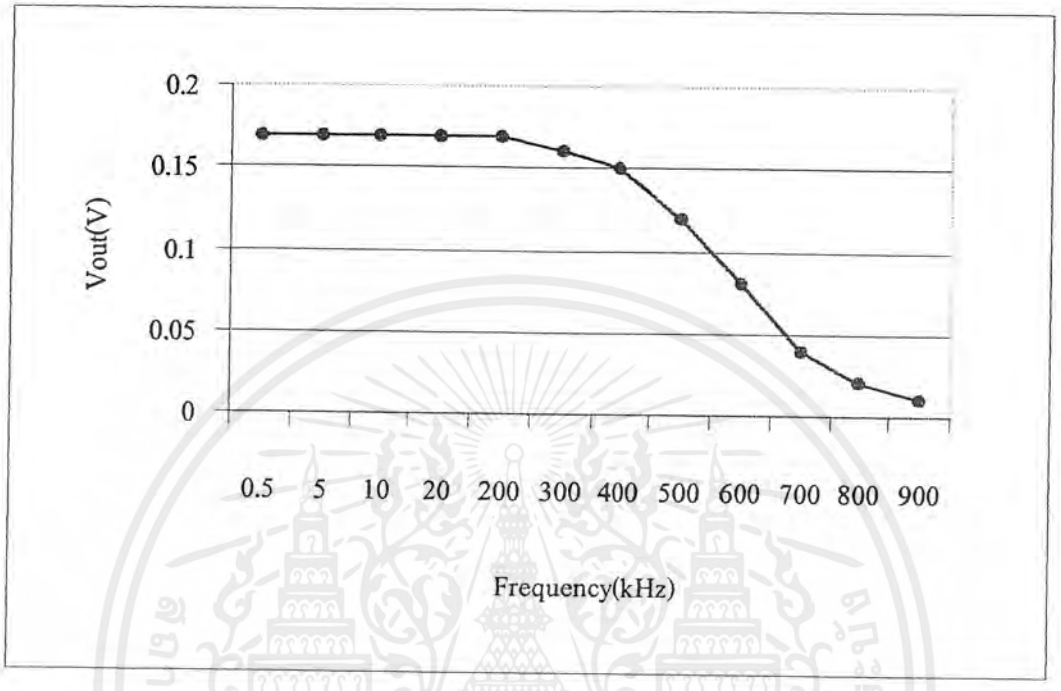
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ตารางที่ 3.11 แสดงความถี่ตอบสนองของวงจร Expander โดยขนาดของ Vin = 120 mV

Frequency	Vout(V)
500 Hz	0.17
1 KHz	0.17
2 KHz	0.17
4 KHz	0.17
5 KHz	0.17
7 KHz	0.17
8 KHz	0.17
9 KHz	0.17
10 KHz	0.17
20 KHz	0.17
200 KHz	0.17
300 KHz	0.16
400 KHz	0.15
460 KHz	0.14
470 KHz	0.13
500 KHz	0.12
540 KHz	0.1
580 KHz	0.09
600 KHz	0.08
620 KHz	0.07
640 KHz	0.06
660 KHz	0..05
700 KHz	0.04
730 KHz	0.03
770 KHz	0.02
900 KHz	0.01

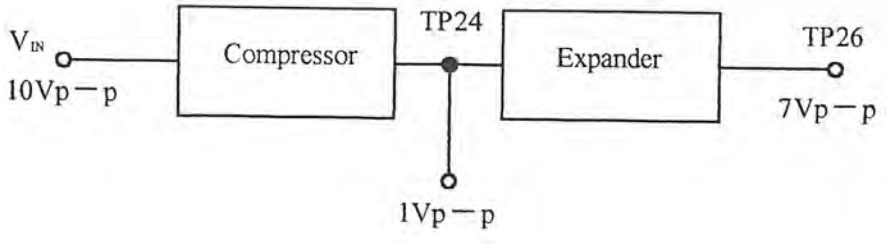
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รูปที่ 3.2.6 กราฟแสดงความถี่ตอบสนองของวงจร Expander



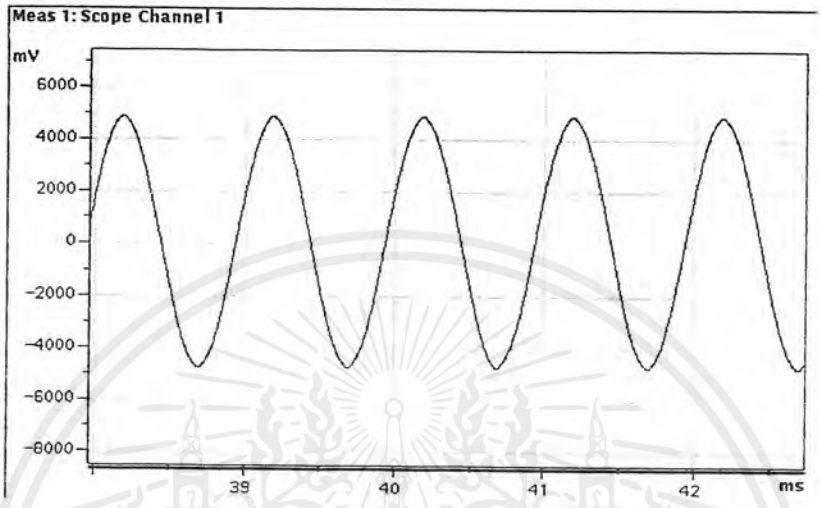
4. ปิดสวิตช์ 1g, 2g, 3g และ 4g ป้อนสัญญาณรูปคลื่นไซน์ที่ความถี่ 1KHz ที่ TP23 จาก 0.1-10 Vp-p หาค่าการเชื่อมต่อการบีบและขยายสัญญาณสังเกตที่ TP26 _7 Vp-p_

รูปแบบการต่อและผลที่ได้

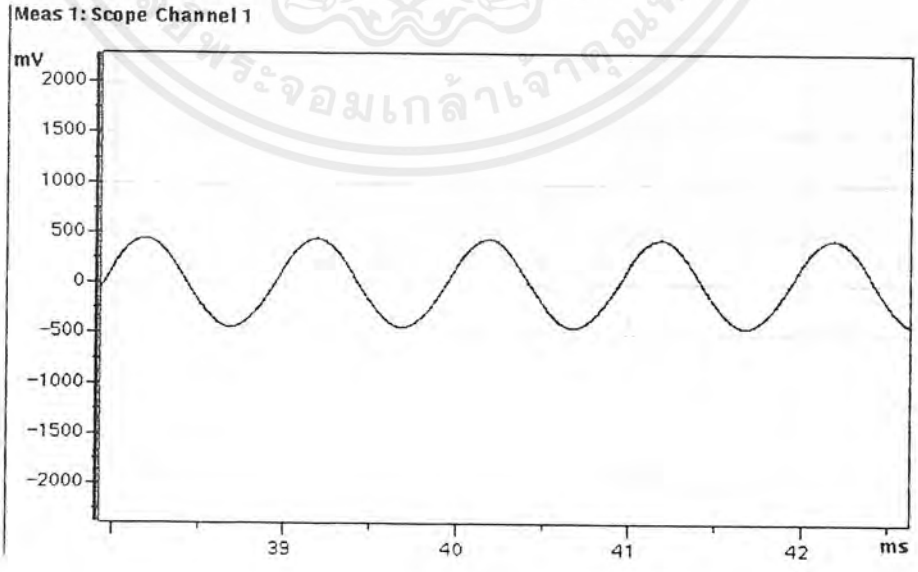


เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

(ก) สัญญาณอินพุต

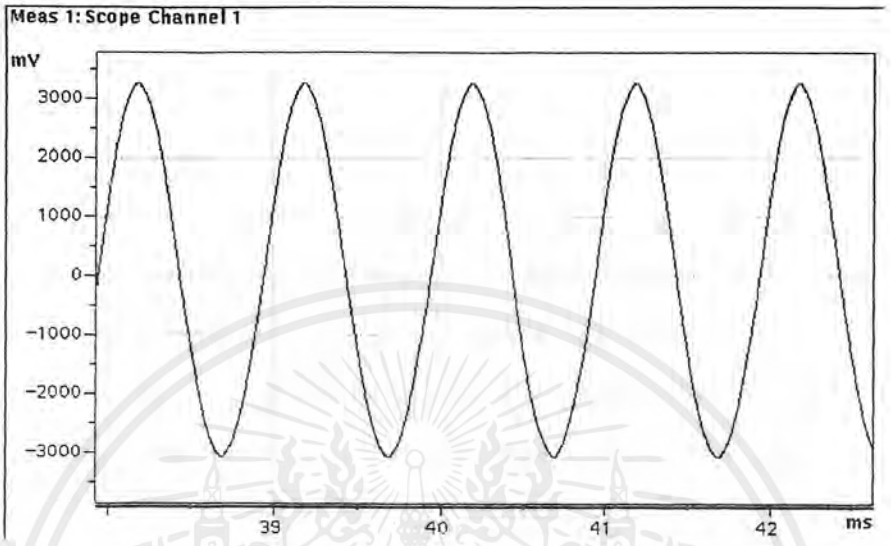


(ข) สัญญาณที่ TP24



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

(ค) สัญญาณที่ TP26



สรุปผลการทดลอง

การ Companding จะไม่ทำให้สัญญาณที่ออกจากเครื่องรับผิดเพี้ยนไปแต่อย่างใด แต่มันจะลดระดับของ quantization ในช่วงที่ระดับสัญญาณต่ำ ๆ เข้ามานั่นคือ Compressor amp จะขยายสัญญาณระดับต่ำ ๆ มากกกว่าเมื่อระดับสัญญาณสูง ๆ เข้ามาฉะนั้นมันจึงบีบย่านของ input voltage ให้อยู่ในช่วงแคบกว่าเดิม โดยที่ขั้นแต่ละขั้นที่ส่งไปมีขนาดเท่ากัน แต่ดูเสมือนว่า step จะลดลงเมื่อระดับสัญญาณต่ำ และสูงขึ้นเมื่อสัญญาณมีระดับแรงขึ้น เป็นผลทำให้ระดับของ quantization noise ลดลงในขณะที่เป็นช่วงของสัญญาณระดับต่ำ

cxpandcr ทำการแก้ไขสัญญาณที่ผิดเพี้ยนทางแอมปลิจูด ซึ่งเกิดขึ้นจากวงจร Compressor ทางภาคส่ง นั่นคือ สัญญาณที่สูงระดับหนึ่งจะถูกขยายเพิ่ม ในขณะที่สัญญาณต่ำกว่าระดับหนึ่งก็จะถูกลดทอน ให้ต่ำลงไปอีก ผลที่ได้จะเกิดสัญญาณที่เหมือนดังเดิม

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การทดลองที่ 3 วงจรแปลงสัญญาณอนาลอกเป็นดิจิตอลและดิจิตอลเป็นอนาลอก (Analog to Digital and Digital to Analog Convertion (ADC/DAC))

จุดประสงค์

1. สามารถบรรยายถึงการเปลี่ยนสัญญาณ อนาลอก-เป็น-ดิจิตอล (ADC) ซึ่งก็คือความสามารถในการควอนไตซ์ระดับแรงดันอนาลอก และ การเปลี่ยนสัญญาณดิจิตอล-เป็น- อนาลอก (DAC) หรือการแปลงค่าดิจิต แบบขนานเข้าไปยังสัญญาณอนาลอกได้
2. บรรยายถึงความแตกต่างระหว่างการแปลงเอ้าท์พุตแบบขนานกับเอาท์พุตแบบ อนุกรมได้
3. หาความสัมพันธ์ในส่วนของ เวลาที่ใช้แปลงสัญญาณ(conversion time), คาบของบิต(bit period) , ระดับ quantum และ ความแม่นยำ(accuracy) ได้

อุปกรณ์ที่ใช้ในการทดลอง

1) แหล่งจ่ายแรงดัน ±5V ,10V (PANEL BASE 300 PB) และ แผงทดลองการสื่อสารดิจิตอล
2) สโคปชนิด 2 Channel หรือ Audio Measurment
3)Function Gennerator
4) Frequency Counter
5) ดิจิตอลมัลติมิเตอร์ (DMM)
6) สายจั๊มเปอร์

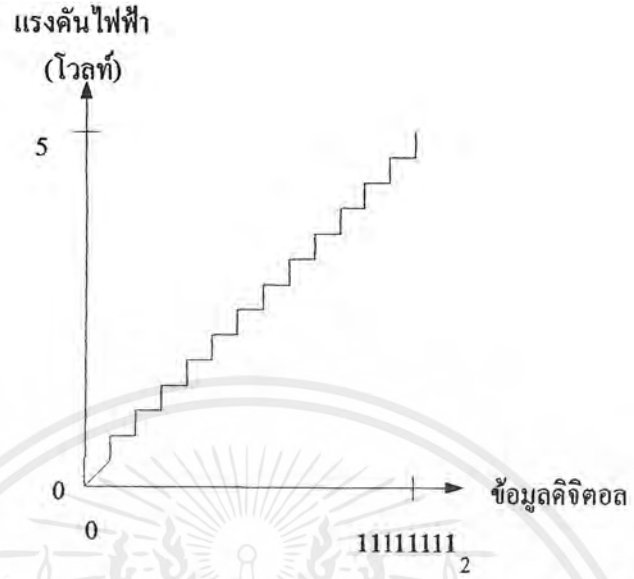
การทดลองวงจรแปลงสัญญาณอนาลอกเป็นดิจิตอล

ลำดับขั้นการทดลองและผลการทดลอง

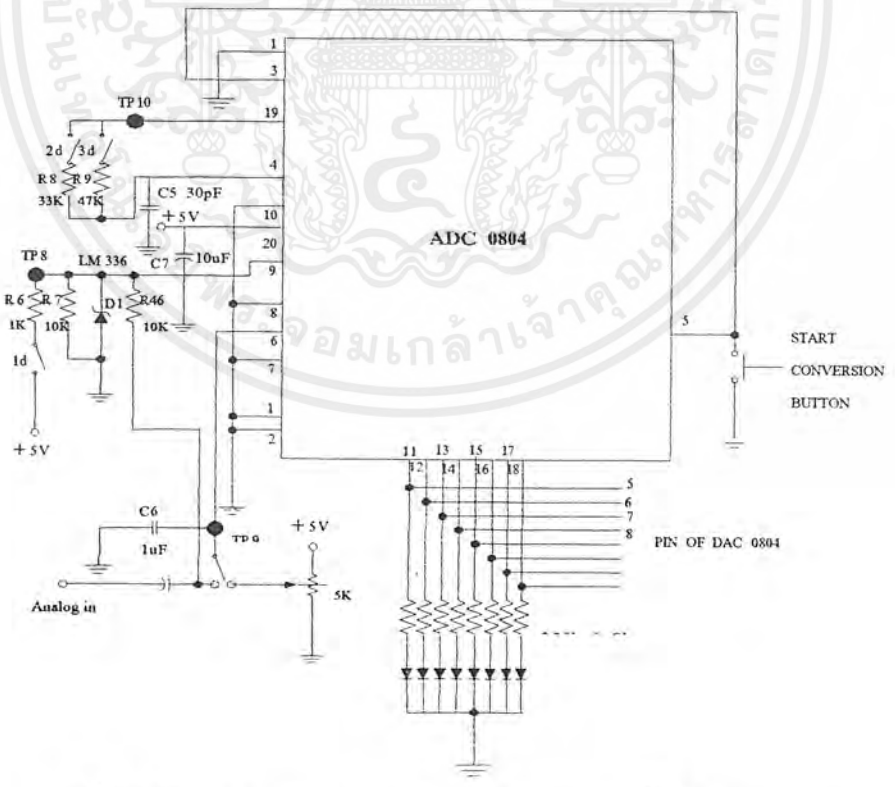
อาศัยวงจรในส่วน C (Analog to Digital Conversion)

1) แหล่งจ่ายอ้างอิง 5V จะถูกแบ่งโดย Zener (LM 336) ปิดสวิตช์ 1d และ 2d ปรับ R7 ให้มีค่าแรงดันที่ Zener (LM 336) = 2.5VDC ปรากฏที่ TP8 ที่สวิตช์ 2d มีความถี่ 464 KHz เป็นสัญญาณ clock ของ ADC 0804

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.3.1 ความสัมพันธ์ของสัญญาณอนาลอกและข้อมูลดิจิตอล



รูปที่ 3.3.2 แสดงวงจร Analog to Digital Conversionที่ใช้ในการทดลอง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สัญญาณแรงดันไฟฟ้าในรูปที่ 3.3.1 เป็นสัญญาณอนาลอกที่มีค่าต่ำสุด 0 โวลท์ และสูงสุด 5 โวลท์ เรียกว่ามีค่าเต็มสเกล (Full Scale) เท่ากับ 5-0=5 โวลท์ และแรงดันไฟฟ้าในช่วงดังกล่าวจะแทนด้วยข้อมูลดิจิตอล 8 บิท ตั้งแต่ 00000000_2 ถึง 11111111_2 จำนวน 256 ค่า เรียกว่าความสัมพันธ์ระหว่างสัญญาณอนาลอกและข้อมูลดิจิตอล (Resolution) เท่ากับ 8 บิท เนื่องจากแรงดันไฟฟ้าถูกแบ่งออกเป็น 256 ช่วงตามค่าข้อมูลดิจิตอล 256 ค่า ดังนั้นแต่ละช่วงจะมีค่าแรงดันไฟฟ้าเท่ากับค่าเต็มสเกลหารด้วยจำนวนช่วง ในรูปที่ 3.3.1 แต่ละช่วงมีแรงดันไฟฟ้าเท่ากับ 5/256=0.019 โวลท์

$$\therefore \quad LSB = \frac{5}{256} = 0.019 \text{โวลท์}$$

หรือ LSB =20 mV

<u>ตัวอย่าง</u> สมมุติ LED แสดงค่าดังต่อไปนี้

128	64	32	16	8	4	2	1
1	0	1	1	0	0	1	1

ค่าของ LED มีค่า 128+32+16+2+1 = 179 ระดับ

จากการคำนวนช่วงของแรงดัน = 256 ระดับ = 5 โวลท์

256 ระดับ = 5 โวลท์

$$\therefore \quad 179 \text{ ระดับ} = \frac{5}{256} \times 179 = 3.49 \cong 3.50 \text{ โวลท์}$$

2) ต่อ TP9 กับแหล่งจ่าย DC โดยปิดสวิตช์ไปยัง DC โดย R10 เป็น R ปรับค่า ถูกต่อระหว่าง +5V กับกราวด์ ให้ปรับไปที่ 0 โวลท์ และต่อถึงกับ Vin (TP9) ใช้ ดิจิตอลมัลติมิเตอร์วัดที่ TP9 ซึ่งเป็นแหล่งจ่ายแรงดันเพิ่มแรงดัน DC จนกระทั่ง LED 1 ติด (ปรับไปที่ R10) อ่านค่าแรงดันประมาณ = 20 mV (TP9)
3) เพิ่มแรงดันจนกระทั่ง LED 2 ติด ใช้ ดิจิตอลมัลติมิเตอร์วัดอ่านค่าแรงดันที่ TP9 = 40 mV
4) ปรับค่าโวลท์เตจอินพุตโดยปรับที่ R10 ที่ตำแหน่งค่าต่างๆ ในการปรับของแต่ละค่าจะต้องกด สวิตช์ Start Conversion เพื่อทำการ Convert ค่าของทุกๆ ค่า โดยค่าที่ปรับให้มีแรงดันดังนี้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ตารางที่ 3.12 แสดงค่าอินพุตและค่าที่ได้จากการคำนวณระดับ LED

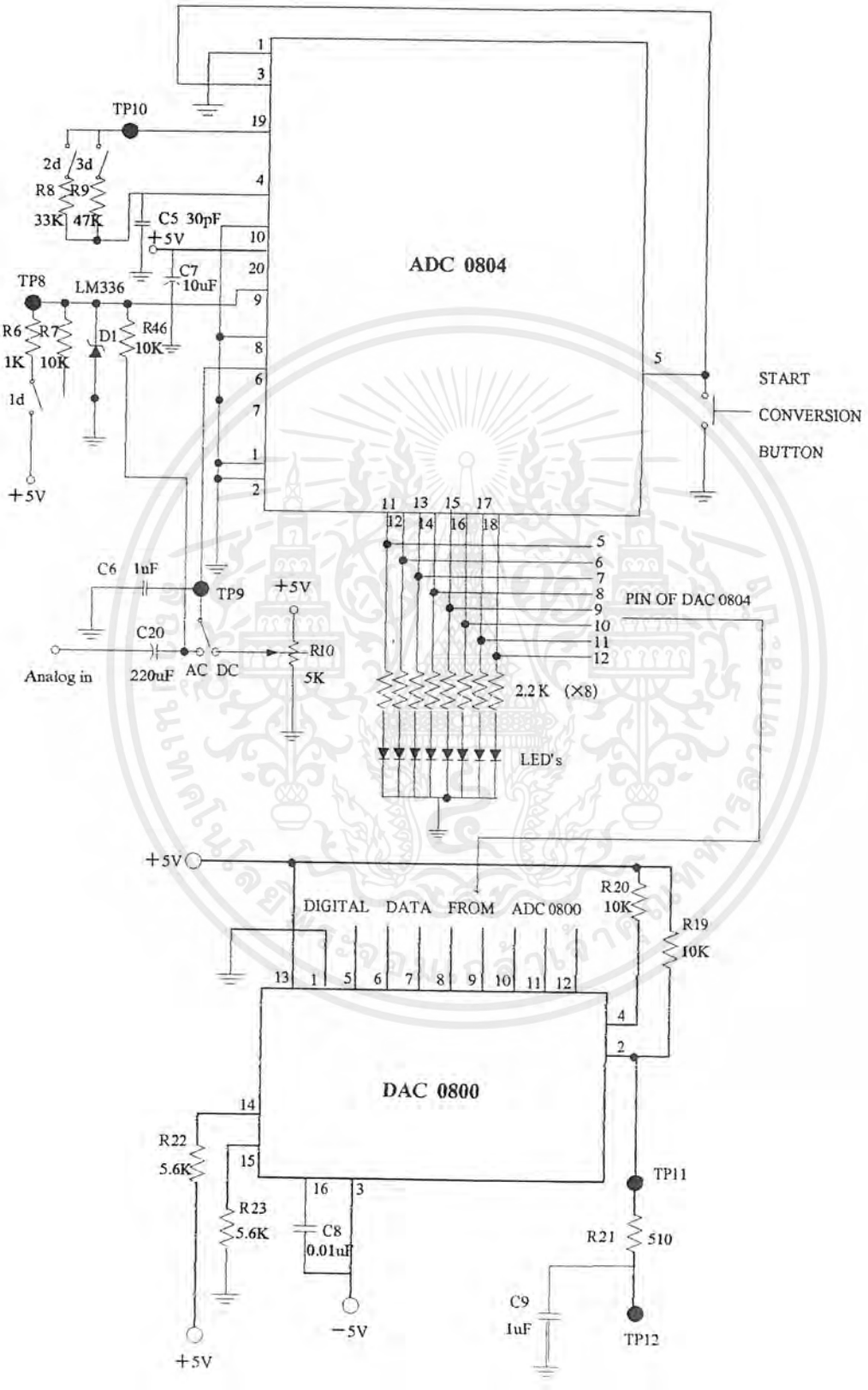
Input (Volt)	ค่าคำนวณ LED×0.02	MSB				LSB			
		128	64	32	16	8	4	2	1
0	0	0	0	0	0	0	0	0	0
0.5	0.52	0	0	0	1	1	0	1	0
1.0	1.06	0	0	1	1	0	1	0	1
1.5	1.56	0	1	0	0	1	1	1	0
2.0	2.06	0	1	1	0	0	1	1	1
2.5	2.62	1	0	0	0	0	0	1	1
3.0	3.14	1	0	0	1	1	1	0	1
3.5	3.7	1	0	1	1	1	0	0	1
4.0	4.2	1	1	0	1	0	0	1	0
4.5	4.74	1	1	1	0	1	1	0	1
5.0	5.1	1	1	1	1	1	1	1	1

การทดลองวงจรแปลงสัญญาณดิจิตอลเป็นอนาลอก

ลำดับขั้นการทดลองและผลการทดลอง

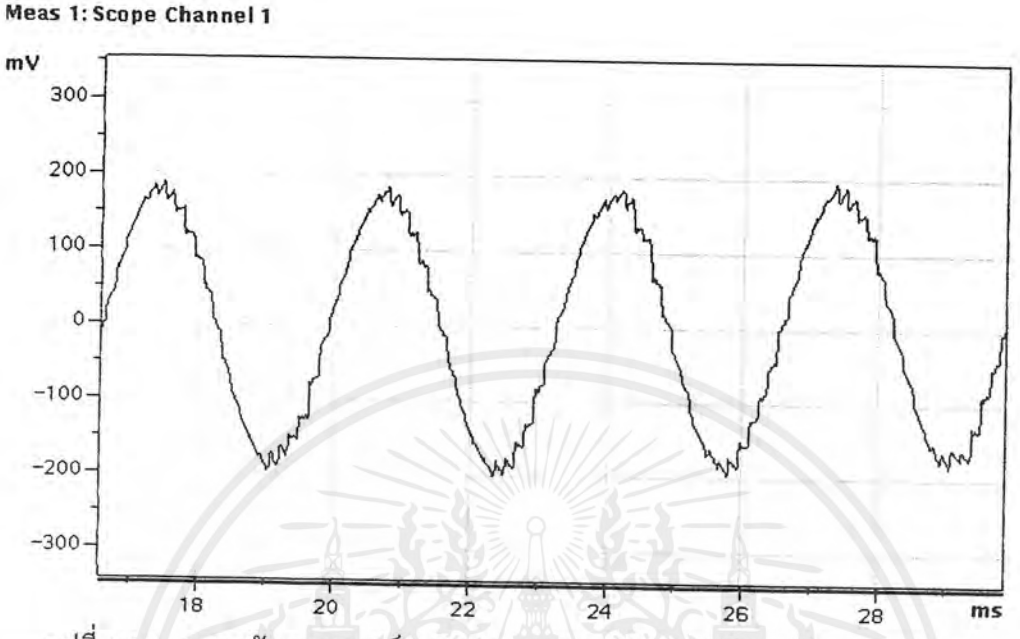
1. ป้อนสัญญาณ sine wave ความถี่ 300 Hz ขนาด 3 Vp-p เข้าที่ จุด Analog in
2. ปิดสวิตช์มายังตำแหน่ง AC และปิดสวิตช์ 1d และ 2d
3. สังเกตเอาท์พุท ที่ TP 11 และ TP 12

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

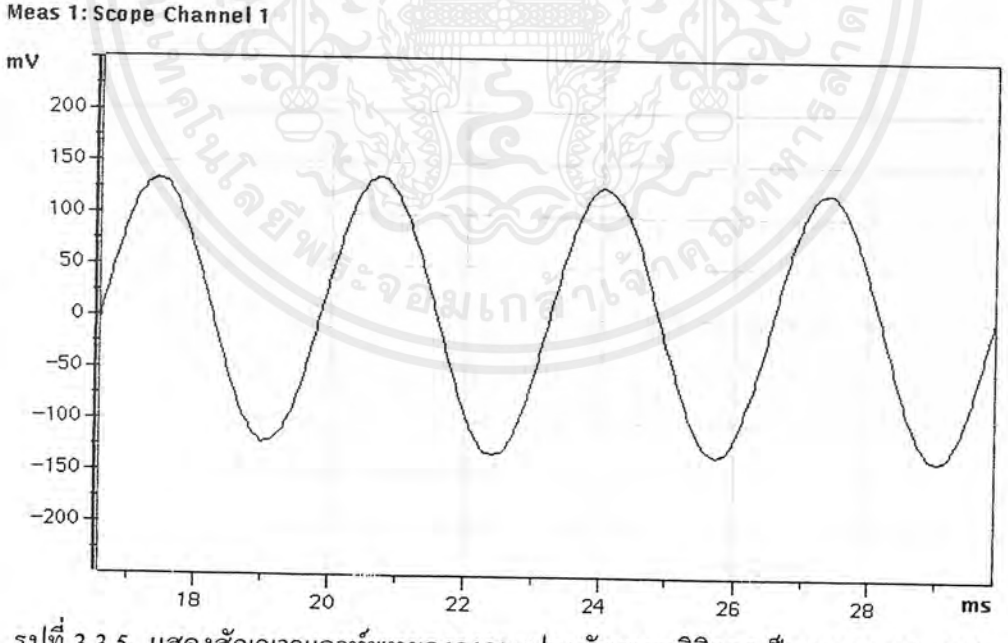


รูปที่ 3.3.3 แสดงวงจรแปลงสัญญาณดิจิตอลเป็นอนาลอก

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.3.4 แสดงสัญญาณเอาท์พุทของวงจรแปลงสัญญาณดิจิตอลเป็นอนาลอก (TP11)



รูปที่ 3.3.5 แสดงสัญญาณเอาท์พุทของวงจรแปลงสัญญาณดิจิตอลเป็นอนาลอก (TP12)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สรุปผลการทดลอง

จากผลการทดลองการแปลงสัญญาณอนาลอก เป็น ดิจิตอล โดยสัญญาณอนาลอกเป็นสัญญาณแรงดันไฟฟ้า +5V สามารถแปลงเป็นข้อมูลดิจิตอลเท่ากับ 8 บิต ถูกแบ่งเป็น 256 ช่วง ตามค่าข้อมูลดิจิตอล 256 ค่า จากผลการทดลองจะเห็นว่าเมื่อนำไปคำนวณดู สัญญาณอนาลอกที่ได้จากการคำนวณจากค่าของข้อมูลดิจิตอล มีค่าใกล้เคียงกับสัญญาณอนาลอกอินพุตที่ต้องการแปลงเป็นสัญญาณดิจิตอล

ส่วนการทดลองแปลงข้อมูล ดิจิตอล เป็น สัญญาณอนาลอก โดยป้อนสัญญาณซายน์ความถี่ 300 Hz เข้า ADC 0804 เอ้าท์พุตของข้อมูลดิจิตอลจะขนานออกไปและจะถูกต่อกับอินพุต ของ DAC 0800 ที่ ขา 5-12 ซึ่งมันจะทำการแปลงข้อมูลดิจิตอลเป็นสัญญาณอนาลอก เอาท์พุต ที่ขา 2 ของ DAC 0800 สัญญาณที่ออกมาจะมีความถี่สูงปนอยู่ด้วย เมื่อผ่านวงจรแบบความถี่ต่ำผ่าน(Low pass filter) ก็จะได้สัญญาณอนาลอกเหมือนกับสัญญาณอินพุต แต่แอมปลิจูดจะถูกลดทอนลง ไป ถ้าต้องการให้ได้แอมปลิจูดของสัญญาณเหมือนกับสัญญาณอินพุต ก็นำไปเข้าวงจรขยายอีกครั้ง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การทดลองที่ 4 แซมเปิ้ล และโฮลด์ (Sample-and-Hold)

จุดประสงค์

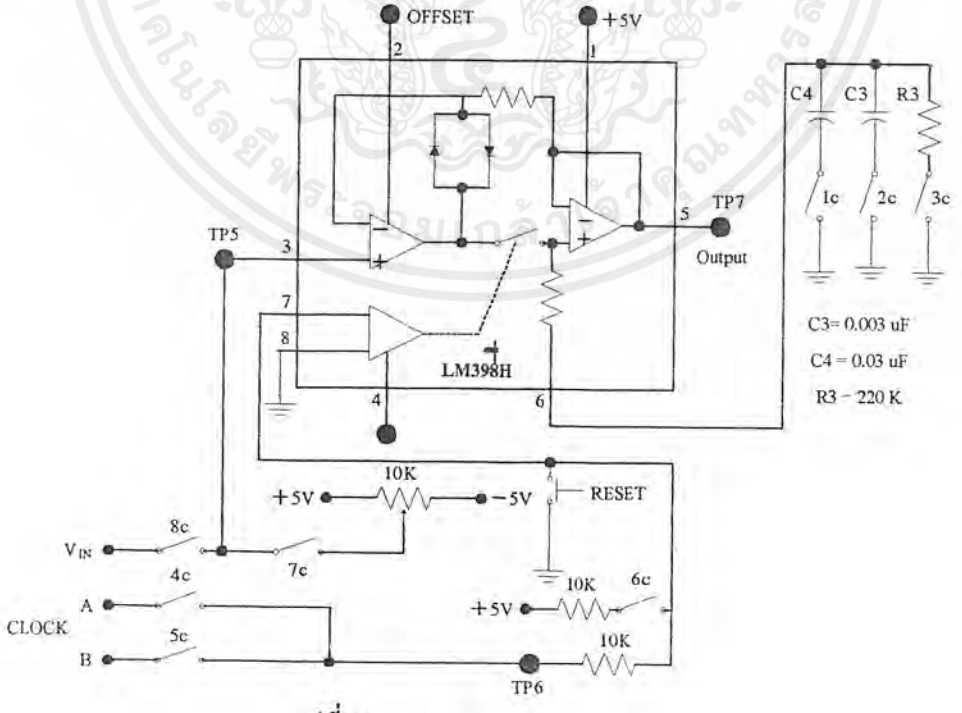
1. บรรยายได้ว่าวงจร แซมเปิ้ล และ โฮลด์ ทำงานอย่างไร
2. วาดวงจรพื้นฐานของวงจร แซมเปิ้ล และ โฮลด์ได้
3. อธิบายถึงตัวประกอบที่ควรนำมาพิจารณาในการเลือกตัวเก็บสำหรับนำไปใช้งานในวงจร Sample and Hold

อุปกรณ์ที่ใช้ในการทดลอง

1) แหล่งจ่ายแรงดัน ±5V ,10V (PANEL BASE 300 PB) และ แผงทดลองการสื่อสารดิจิตอล
2) สโคปชนิด 2 Channel หรือ Audio Measurment
3) Function Gennerator
4) Frequency Counter
5) มัลติมิเตอร์

ลำดับขั้นการทดลองและผลการทดลอง

อาศัยวงจรในส่วน B (Sample and Hold)



รูปที่ 4.1 แสดงวงจร Sample and Hold

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

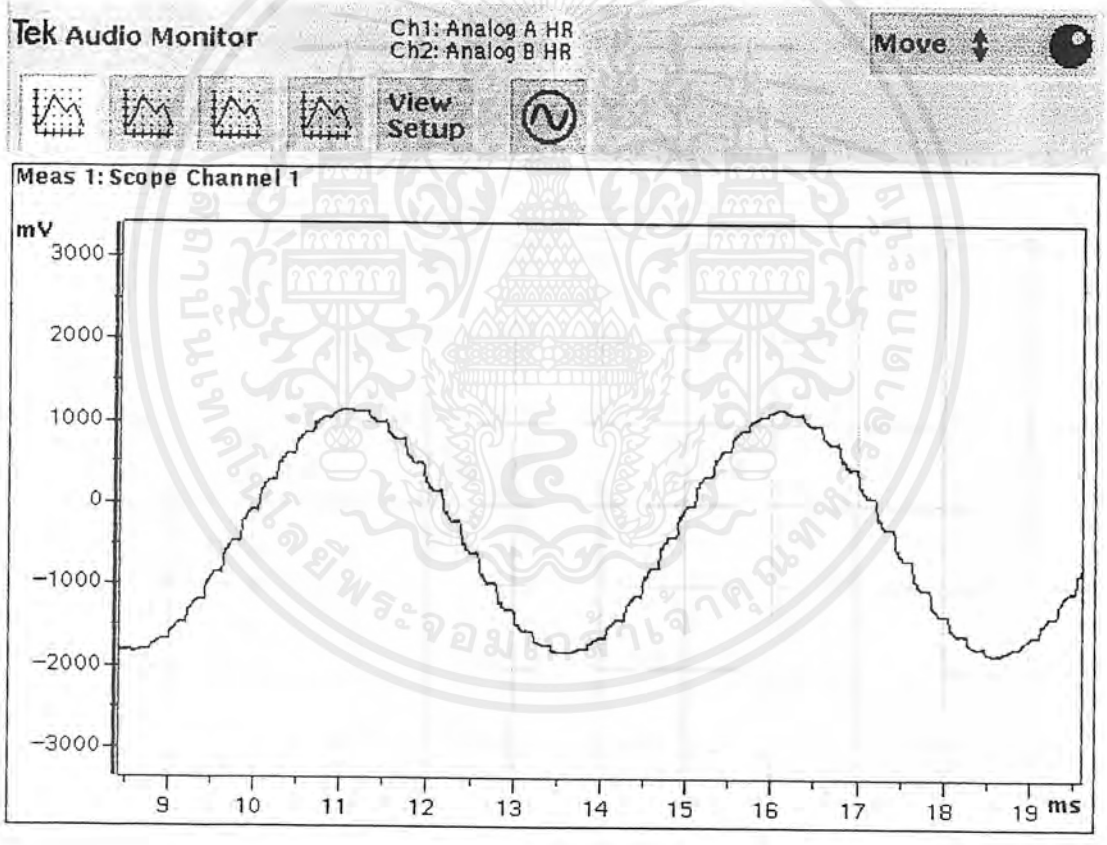
เมื่ออินพุตเป็นรูปคลื่นไซน์

(1) ต่อคาปาซิเตอร์ 0.03 uF โดยปิดสวิตช์ 1c และเปิดสวิตช์ 2c และ 6c

(2) ป้อนสัญญาณ Clock เข้าที่ลอจิกอินพุต TP6. ใช้ สัญญาณ Clock ที่ส่วนของ Universal Clock,ปิดสวิตช์ 5c และ 4b,ปรับ R1 (TP2) เพื่อให้ได้ค่าความถี่ 1.2 MHz

ความถี่ที่ใช้ในการแซมปลิ้ง TP6 มีค่าเท่ากับ 4.8 KHz ป้อนสัญญาณ Sine wave ความถี่ 200 Hz ขนาด 3 Vp-p เข้าไปที่ Vin โดยปิดสวิตช์ 8c และ เปิด 7c ค่าที่ได้ที่เอ้าท์พุตแสดงดังรูปที่ 4.2

รูปที่ 4.2 แสดงลักษณะสัญญาณรูปคลื่นไซน์ที่ถูกแซมปลิ้ง



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สรุปผลการทดลอง

จากผลการทดลองวงจร Sample & Hold มีลักษณะการทำงานเป็นสองขั้นตอนคือ

- ขณะที่ตัดสัญญาณออกวงจรจะ track ตามสัญญาณอินพุต จนกว่าจะมีการสุ่มสัญญาณ
- hold อินพุตค่าที่ แซมปลิ้ง ครั้งสุดท้ายจะถูกเก็บไว้เมื่อเข้าสู่โหมด hold

การทำงานในวงจรการทดลอง A1 จะทำหน้าที่เป็นบัฟเฟอร์และ Error Ampliefier ในตัว โดยจะทำหน้าที่เปรียบเทียบแรงดันเอาท์พุตกับแรงดันอินพุตแล้วจะประจุ C จนกระทั่ง error เท่ากับศูนย์ A2 ในวงจรนี้จะมีอินพุตอิมพีแดนซ์สูง และการป้อนกลับใน A1 ด้วยไดโอดทำให้ A1 ไม่ต้องเป็น Op-Amp ที่มีคุณภาพดีนัก ตัวต้านทาน R จะแยกอินพุตของ A1 และเอาท์พุตของ A2 ออกจากกันในช่วง hold-mode

ข้อดีของวงจรนี้คือ ทำงานได้รวดเร็วและแม่นยำ ความเร็วในการประจุขึ้นอยู่กับความเร็วของ A1 และความสามารถ ในการจ่ายกระแสของมัน ไดโอด สองตัวจะทำหน้าที่ Clamp สัญญาณเอาท์พุตไปที่อินพุตอินเวอร์ติ้งของ A1 เพื่อยังคงให้วงจรมีเสถียรภาพดีเมื่อสวิทช์แซมปลิ้ง เปิด

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เอกสารอ้างอิง

1. Auther Morris Tischler , Digital communication and telephones sip 397AM

2. Richard A.Honeycutt , Op Amp and Lineer integrated circuit

3. รศ.ดร.กนก เจนจิระพงศ์เวช , เอกสารประกอบการเรียน Switching capacitor-filter

4. ไพโรจน์ ไววานิชกิจ , วารสารเซมิคอนดัคเตอร์ , บริษัทซีเอ็ดยูเคชั่นจำกัด , ฉบับที่ 155 ปี 2539 หน้า 69-77

5. ชูเกียรติ วัฒนากูล , สวิตช์-คาปาซิเตอร์ฟิลเตอร์ , บริษัทซีเอ็ดยูเคชั่นจำกัด , ฉบับที่ 96 ปี 2532 หน้า 235-243

6. ผศ.ดร.สุเจตน์ จันทรังษ์ , Introduction to Digital Curcuit , พิมพ์ครั้งที่ 2 พ.ศ. 2541

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ภาคผนวก ก

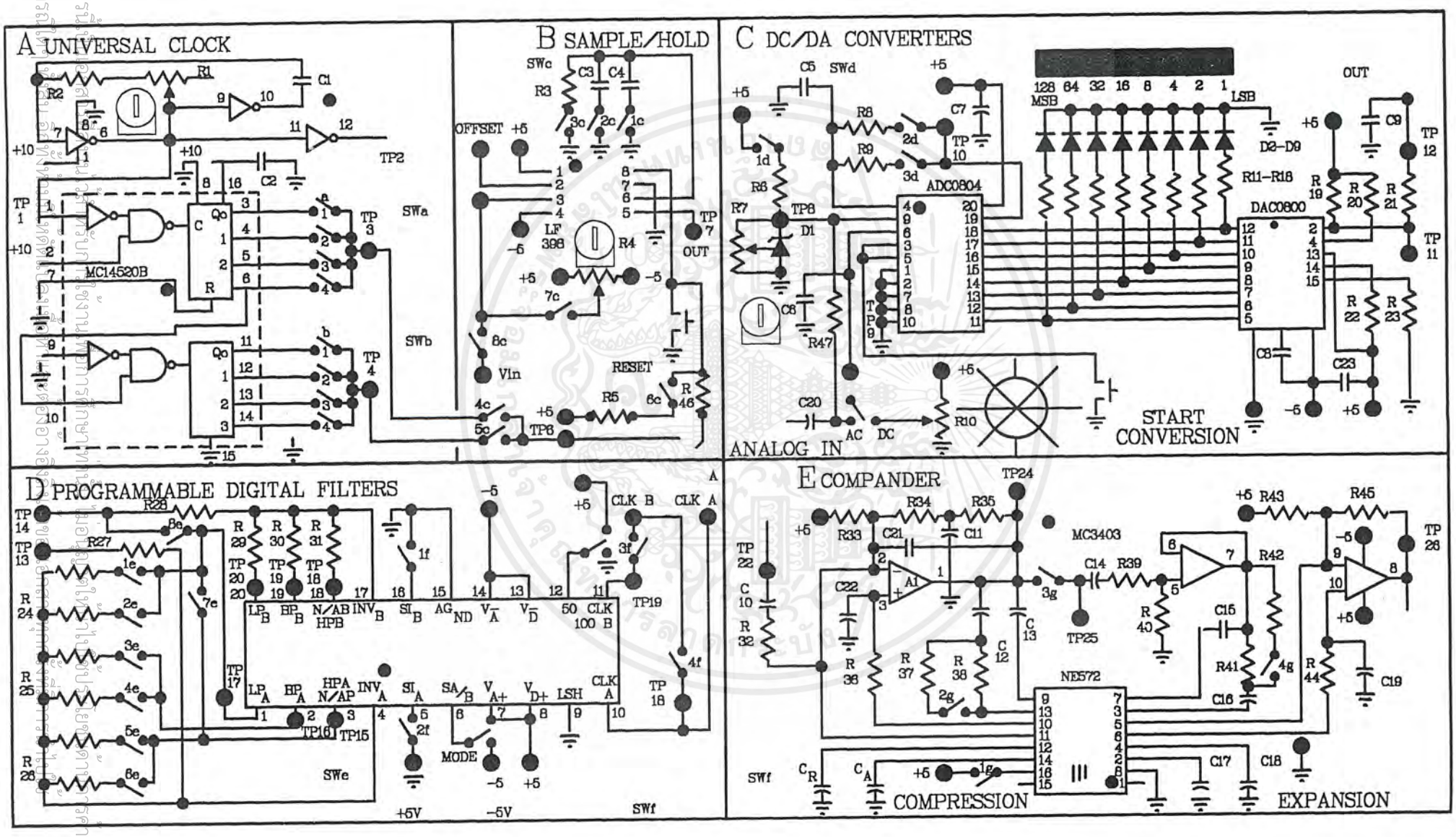
วงจรลายปริ๊นท์และรูปแบบการสกรีนที่ใช้ในปริญญานิพนธ์

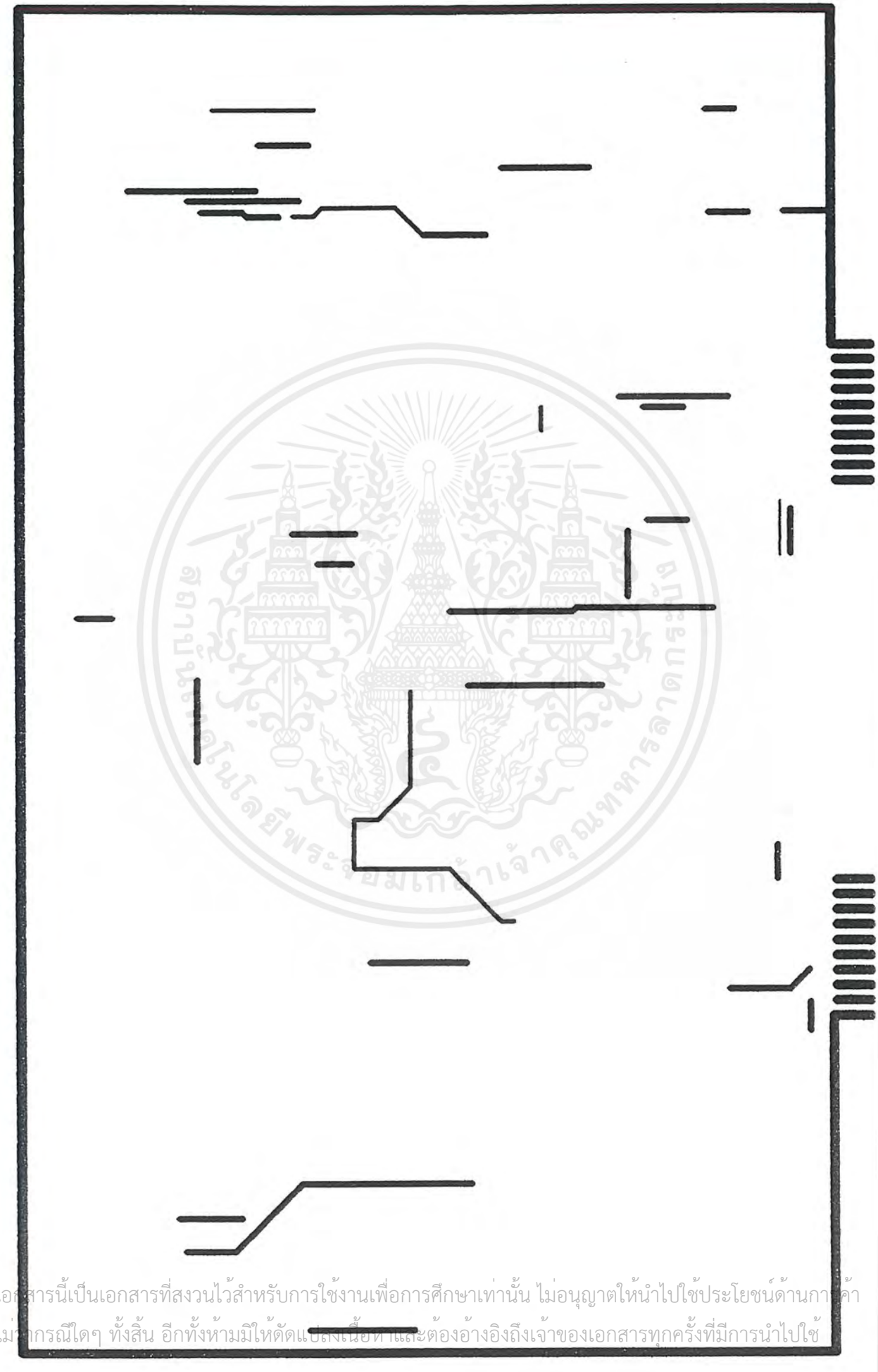
-รูปแบบการสกรีนของแผงทดลอง

-ลายปริ๊นส่วนบน (Top Layer)

-ลายปริ๊นส่วนล่าง (Bottom Layer)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้


A UNIVERSAL CLOCK
R1
R2
C1
C2
TP2
MC14520B
SWa
SWb
B SAMPLE/HOLD
SWc
C3
C4
R3
OFFSET
LF 398
R4
RESET
R5
R 46
Vin
TP6
TP 7
OUT
C DC/DA CONVERTERS
C5 SWd
R6
R7
C7
R9
ADC0804
D1
C8
R47
TP8
TP9
ANALOG IN
AC
DC
R10
START CONVERSION
128 64 32 16 8 4 2 1
MSB
LSB
D2-D9
R11-R18
DAC0800
OUT
R 19
R 20
R 21
R 22
R 23
C9
C23
TP 12
TP 11
D PROGRAMMABLE DIGITAL FILTERS
R26
R27
R 24
R 25
R 26
R 29
R 30
R 31
SWe
SWf
+5V
-5V
MODE
CLK B
CLK A
LP B
BP B
N/AB HPB
INV B
SI B
AG ND
V A
V D
50 CLK 100 B
LP A
BP A
HPA N/AP
INV A
SI A
SA/B
V A+
V D+
LSH
CLK A
TP19
TP16
TP15
TP17
TP18
E COMPANDER
TP24
TP25
TP26
R33
R34
R35
C21
C11
C22
C 10
R 32
R 36
R 37
R 38
C 12
C 13
MC3403
A1
R 39
R 40
R42
R43
R45
R41
R 44
C14
C15
C16
C17
C18
C19
NE572
COMPRESSION
EXPANSION
TP 22
TP 13
TP 14



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น รวมทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ภาคผนวก ข
ข้อมูลที่ใช้ในปริญญานิพนธ์ (DATA SHEET)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

National Semiconductor

MF10 Universal Monolithic Dual Switched Capacitor Filter

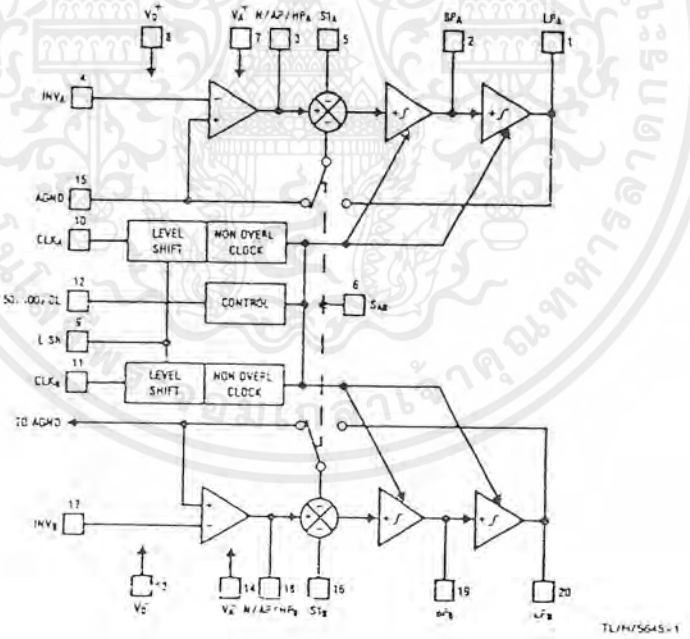
General Description

The MF10 consists of 2 independent and extremely easy to use, general purpose CMOS active filter building blocks. Each block, together with an external clock and 3 to 4 resistors, can produce various 2nd order functions. Each building block has 3 output pins. One of the outputs can be configured to perform either an allpass, highpass or a notch function; the remaining 2 output pins perform lowpass and bandpass functions. The center frequency of the lowpass and bandpass 2nd order functions can be either directly dependent on the clock frequency, or they can depend on both clock frequency and external resistor ratios. The center frequency of the notch and allpass functions is directly dependent on the clock frequency, while the highpass center frequency depends on both resistor ratio and clock. Up to 4th order functions can be performed by cascading the two 2nd order building blocks of the MF10; higher than 4th order functions can be obtained by cascading MF10 packages. Any of the classical filter configurations (such as Butterworth, Bessel, Cauer and Chebyshev) can be formed.

Features

- Low cost
- 20-pin 0.3" wide package
- Easy to use
- Clock to center frequency ratio accuracy ±0.6%
- Filter cutoff frequency stability directly dependent on external clock quality
- Low sensitivity to external component variation
- Separate highpass (or notch or allpass), bandpass, lowpass outputs
- $f_0 \times Q$ range up to 200 kHz
- Operation up to 30 kHz

System Block Diagram



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Absolute Maximum Ratings

Supply Voltage	7V
Power Dissipation	500 mW
Operating Temperature	0°C to 70°C
Storage Temperature	150°C
Lead Temperature (Soldering, 10 seconds)	300°C

Electrical Characteristics (Complete Filter) $V_S = \pm 5V$, $T_A = 25°C$

Parameter	Conditions	Min	Typ	Max	Units
Frequency Range	$f_o \times Q < 200$ kHz	20	30		kHz
Clock to Center Frequency Ratio, f_{CLK}/f_o					
MF10BN	Pin 12 High, Q = 10		49.94 ± 0.2%	± 0.6%	
MF10CN	$f_o \times Q < 50$ kHz, Mode 1		49.94 ± 0.2%	± 1.5%	
MF10BN	Pin 12 at Mid Supplies		99.35 ± 0.2%	± 0.6%	
MF10CN	Q = 10, $f_o \times Q < 50$ kHz, Mode 1		99.35 ± 0.2%	± 1.5%	
Q Accuracy (Q Deviation from an Ideal Continuous Filter)					
MF10BN	Pin 12 High, Mode 1		± 2%	± 4%	
MF10CN	$f_o \times Q < 100$ kHz, $f_o < 5$ kHz		± 2%	± 6%	
MF10BN	Pin 12 at Mid Supplies		± 2%	± 3%	
MF10CN	$f_o \times Q < 100$ kHz $f_o < 5$ kHz, Mode 1		± 2%	± 6%	
f_o Temperature Coefficient	Pin 12 High (−50:1)		± 10		ppm/°C
	Pin 12 Mid Supplies (−100:1)		± 100		ppm/°C
	$f_o \times Q < 100$ kHz, Mode 1 External Clock Temperature Independent				
Q Temperature Coefficient	$f_o \times Q < 100$ kHz, Q Setting Resistors Temperature Independent		± 500		ppm/°C
DC Low Pass Gain Accuracy	Mode 1, R1 = R2 = 10K			± 2	%
Crosstalk			50		dB
Clock Feedthrough			10		mV
Maximum Clock Frequency		1	1.5		MHz
Power Supply Current			8	10	mA

Electrical Characteristics (Internal Op Amps) $T_A = 25°C$

Parameter	Conditions	Min	Typ	Max	Units
Supply Voltage		± 4	± 5		V
Voltage Swing (Pins 1, 2, 9, 20)	$V_S = \pm 5V$, $R_L = 5k$				
MF10BN		± 3.8	± 4		V
MF10CN		± 3.2	± 3.7		V
Voltage Swing (Pins 3 and 18)	$V_S = \pm 5V$, $R_L = 3.5k$				
MF10BN		± 3.8	± 4		V
MF10CN		± 3.2	± 3.7		V
Output Short Circuit Current	$V_S = \pm 5V$				
Source			3		mA
Sink			1.5		
Op Amp Gain BW Product			2.5		MHz
Op Amp Slew Rate			7		V/μs

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

National Semiconductor

Sample and Hold

LF198/LF298/LF398, LF198A/LF398A Monolithic Sample and Hold Circuits

General Description

The LF198/LF298/LF398 are monolithic sample and hold circuits which utilize BI-FET technology to obtain ultra-high dc accuracy with fast acquisition of signal and low droop rate. Operating as a unity gain follower, dc gain accuracy is 0.002% typical and acquisition time is as low as 6μs to 0.01%. A bipolar input stage is used to achieve low offset voltage and wide bandwidth. Input offset adjust is accomplished with a single pin and does not degrade input offset drift. The wide bandwidth allows the LF198 to be included inside the feedback loop of 1 MHz op amps without having stability problems. Input impedance of $10^{10}\Omega$ allows high source impedances to be used without degrading accuracy.

P-channel junction FET's are combined with bipolar devices in the output amplifier to give droop rates as low as 5 mV/min with a 1μF hold capacitor. The JFET's have much lower noise than MOS devices used in previous designs and do not exhibit high temperature instabilities. The overall design guarantees no feedthrough from input to output in the hold mode even for input signals equal to the supply voltages.

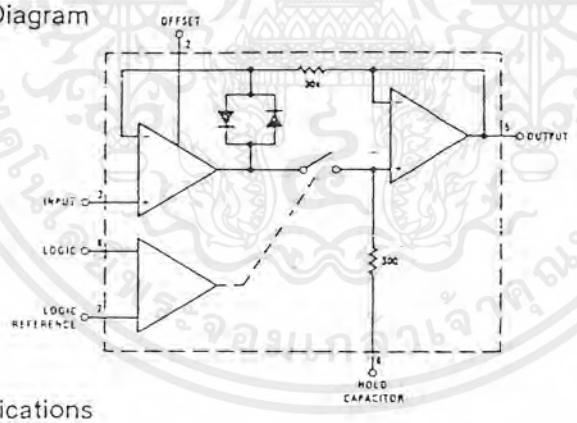
Features

- Operates from ±5V to ±18V supplies
- Less than 10μs acquisition time
- TTL, PMOS, CMOS compatible logic input
- 0.5 mV typical hold step at $C_h = 0.01\mu F$
- Low input offset
- 0.002% gain accuracy
- Low output noise in hold mode
- Input characteristics do not change during hold mode
- High supply rejection ratio in sample or hold
- Wide bandwidth

Logic inputs on the LF198 are fully differential with low input current, allowing direct connection to TTL, PMOS, and CMOS. Differential threshold is 1.4V. The LF198 will operate from ±5V to ±18V supplies. It is available in an 8-lead TO-5 package.

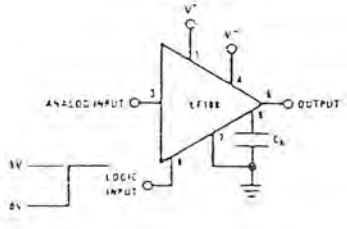
An "A" version is available with tightened electrical specifications.

Functional Diagram

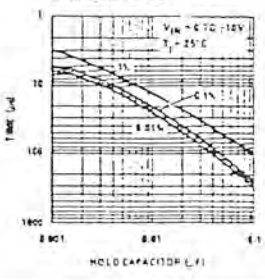


Typical Applications

Typical Connection



Acquisition Time



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Absolute Maximum Ratings

Supply Voltage	±18V	Input Voltage	Equal to Supply Voltage
Power Dissipation (Package Limitation) (Note 1)	500 mW	Logic To Logic Reference Differential Voltage (Note 2)	+7V, −30V
Operating Ambient Temperature Range		Output Short Circuit Duration	Indefinite
LF198/LF198A	−55°C to +125°C	Hold Capacitor Short Circuit Duration	10 sec
LF298	−25°C to +85°C	Lead Temperature (Soldering, 10 seconds)	300°C
LF398/LF398A	0°C to +70°C		
Storage Temperature Range	−65°C to +150°C		

Electrical Characteristics (Note 3)

PARAMETER	CONDITIONS	LF198/LF298			LF398			UNITS
		MIN	TYP	MAX	MIN	TYP	MAX	
Input Offset Voltage, (Note 6)	T_j = 25°C		1	3		2	7	mV
	Full Temperature Range			5			10	mV
Input Bias Current, (Note 6)	T_j = 25°C		5	25		10	50	nA
	Full Temperature Range			75			100	nA
Input Impedance	T_j = 25°C		10^{10}			10^{10}		Ω
Gain Error	T_j = 25°C, R_L = 10k		0.002	0.005		0.004	0.01	%
	Full Temperature Range			0.02			0.02	%
Feedthrough Attenuation Ratio at 1 kHz	T_j = 25°C, C_h = 0.01μF	86	96		80	90		dB
Output Impedance	T_j = 25°C, "HOLD" mode		0.5	2		0.5	4	Ω
	Full Temperature Range			4			8	Ω
"HOLD" Step, (Note 4)	T_j = 25°C, C_h = 0.01μF, V_{OUT} = 0		0.5	2.0		1.0	2.5	mV
Supply Current, (Note 6)	$T_j \geq 25°C$		4.5	5.5		4.5	6.5	mA
Logic and Logic Reference Input Current	T_j = 25°C		2	10		2	10	μA
Leakage Current into Hold Capacitor (Note 5)	T_j = 25°C, (Note 5) Hold Mode		30	100		30	200	pA
Acquisition Time to 0.1%	ΔV_{OUT} = 10V, C_h = 1000 pF		4			4		μs
	C_h = 0.01μF		20			20		μs
Hold Capacitor Charging Current	$V_{IN} - V_{OUT}$ = 2V		5			5		mA
Supply Voltage Rejection Ratio	V_{OUT} = 0	80	110		80	110		dB
Differential Logic Threshold	T_j = 25°C	0.8	1.4	2.4	0.8	1.4	2.4	V

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

PROGRAMMABLE ANALOG COMPANDOR — SA/NE572

DESCRIPTION

The NE572 is a dual channel, high performance gain control circuit in which either channel may be used for dynamic range compression or expansion. Each channel has a full wave rectifier to detect the average value of input signal; a linearized, temperature compensated variable gain cell (ΔG) and a dynamic time constant buffer. The buffer permits independent control of dynamic attack and recovery time with minimum external components and improved low frequency gain control ripple distortion over previous compandors.

The NE572 is intended for noise reduction in high performance audio systems. It can also be used in a wide range of communication systems and video recording applications.

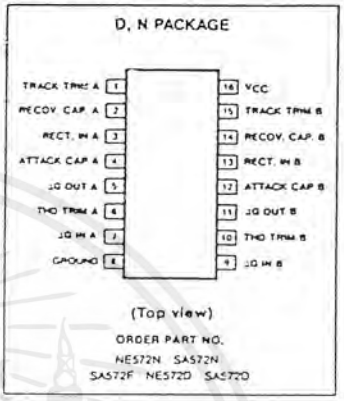
FEATURES

- Independent control of attack and recovery time.
- Improved low frequency gain control ripple
- Complementary gain compression and expansion with external Op Amp
- Wide dynamic range—greater than 110dB
- Temperature compensated gain control
- Low distortion gain cell
- Low noise—6μV typical
- Wide supply voltage range—6V–22V
- System level adjustable with external components.

APPLICATIONS

- Dynamic noise reduction system
- Voltage control amplifier
- Stereo expandor
- Automatic level control
- High level limiter
- Low level noise gate
- State variable filter

PIN CONFIGURATION



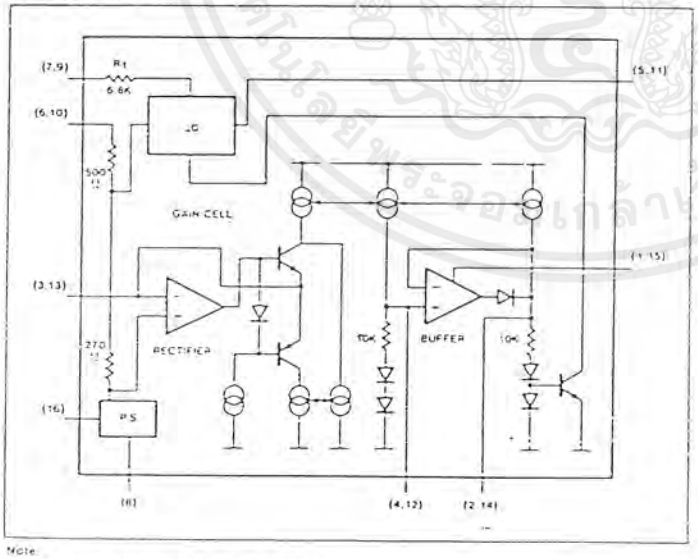
(Top view)

ORDER PART NO.
NE572N SA572N
SA572F NE572D SA572D

ABSOLUTE MAXIMUM RATINGS

	PARAMETER	RATING	UNIT
V_{CC}	Supply voltage	22	VDC
T_A	Operating temperature range	0 to 70	°C
P_D	Power dissipation	500	mW

BLOCK DIAGRAM



Note:
1) Supplied only in large SO (Small Outline) package.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

National Semiconductor

A to D, D to A

DAC0800, DAC0801, DAC0802 8-Bit Digital-to-Analog Converters

General Description

The DAC0800 series are monolithic 8-bit high-speed current-output digital-to-analog converters (DAC) featuring typical settling times of 100 ns. When used as a multiplying DAC, monotonic performance over a 40 to 1 reference current range is possible. The DAC0800 series also features high compliance complementary current outputs to allow differential output voltages of 20 Vp-p with simple resistor loads as shown in *Figure 1*. The reference-to-full-scale current matching of better than ±1 LSB eliminates the need for full-scale trims in most applications while the nonlinearities of better than ±0.1% over temperature minimizes system error accumulations.

The noise immune inputs of the DAC0800 series will accept TTL levels with the logic threshold pin, V_{LC} pin 1 grounded. Simple adjustments of the V_{LC} potential allow direct interface to all logic families. The performance and characteristics of the device are essentially unchanged over the full ±4.5V to ±18V power supply range; power dissipation is only 33 mW with ±5V supplies and is independent of the logic input states.

The DAC0800, DAC0802, DAC0800C, DAC0801C and DAC0802C are a direct replacement for the DAC-08, DAC-08A, DAC-08C, DAC-08E and DAC-08H, respectively.

Features

- Fast settling output current — 100 ns
- Full scale error — ±1 LSB
- Nonlinearity over temperature — ±0.1%
- Full scale current drift — ±10 ppm/°C
- High output compliance — −10V to +18V
- Complementary current outputs
- Interface directly with TTL, CMOS, PMOS and others
- 2 quadrant wide range multiplying capability
- Wide power supply range — ±4.5V to ±18V
- Low power consumption — 33 mW at ±5V
- Low cost

Typical Applications

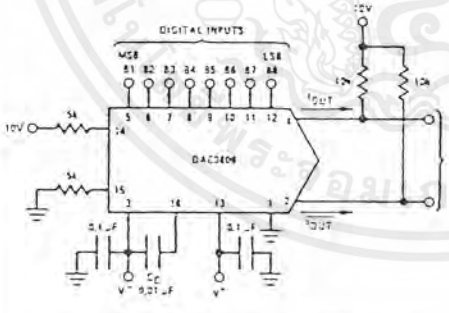
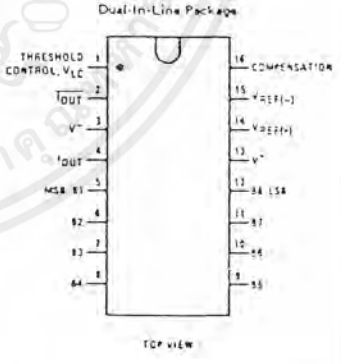


FIGURE 1. ±20 Vp-p Output Digital-to-Analog Converter

Connection Diagram



Ordering Information

NON LINEARITY	TEMPERATURE RANGE	ORDER NUMBERS*					
		D PACKAGE (D16C)		J PACKAGE (J16A)		N PACKAGE (N16A)	
±0.1% FS	−55°C ≤ T_A ≤ +125°C	DAC0802LD	DAC-08AQ				
±0.1% FS	0°C ≤ T_A ≤ +70°C			DAC0802LCJ	DAC-08HQ	DAC0802LCN	DAC-08HP
±0.19% FS	−55°C ≤ T_A ≤ +125°C	DAC0800LD	DAC-08Q				
±0.19% FS	0°C ≤ T_A ≤ +70°C			DAC0800LCJ	DAC-08EQ	DAC0800LCN	DAC-08EP
±0.19% FS	0°C ≤ T_A ≤ +70°C			DAC0801LCJ	DAC-08CQ	DAC0801LCN	DAC-08CP

*Note: Devices may be ordered by using either order number.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Absolute Maximum Ratings

Supply Voltage	±18V or 36V
Power Dissipation (Note 1)	500 mW
Reference Input Differential Voltage (V14, V15)	V^- to V^+
Reference Input Common-Mode Range (V14, V15)	V^- to V^+
Reference Input Current	5 mA
Logic Inputs	V^- to V^- plus 36V
Analog Current Outputs	*Figure 24*
Storage Temperature	−65°C to +150°C
Lead Temperature (Soldering, 10 seconds)	300°C

Operating Conditions

	MIN	MAX	UNITS
Temperature (T_A)			
DAC0802L	−55	+125	°C
DAC0800L	−55	+125	°C
DAC0800LC	0	+70	°C
DAC0801LC	0	+70	°C
DAC0802LC	0	+70	°C

Electrical Characteristics (V_S = ±15V, I_{REF} = 2 mA, $T_{MIN} \le T_A \le T_{MAX}$ unless otherwise specified. Output characteristics refer to both I_{OUT} and $\overline{I_{OUT}}$.)

	PARAMETER	CONDITIONS	DAC0802L/ DAC0802LC			DAC0800L/ DAC0800LC			DAC0801LC			UNITS
			MIN	TYP	MAX	MIN	TYP	MAX	MIN	TYP	MAX	
	Resolution		8	8	8	8	8	8	8	8	8	Bits
	Monotonicity		8	8	8	8	8	8	8	8	8	Bits
	Nonlinearity				±0.1			±0.19			±0.39	%FS
t_s	Settling Time	To ±1/2 LSB, All Bits Switched "ON" or "OFF", T_A = 25°C		100	135					100	150	ns
		DAC0800L					100	135				ns
		DAC0800LC					100	150				ns
t_{PLH}, t_{PHL}	Propagation Delay	T_A = 25°C										
	Each Bit			35	60		35	60		35	60	ns
	All Bits Switched			35	60		35	60		35	60	ns
TCI_{FS}	Full Scale Tempco			±10	±50		±10	±50		±10	±80	ppm/°C
V_{OC}	Output Voltage Compliance	Full Scale Current Change < 1/2 LSB, R_{OUT} > 20 MΩ Typ	−10		18	−10		18	−10		18	V
I_{FS4}	Full Scale Current	V_{REF} = 10.000V, R14 = 5.000 kΩ R15 = 5.000 kΩ, T_A = 25°C	1.984	1.992	2.000	1.94	1.99	2.04	1.94	1.99	2.04	mA
I_{FSS}	Full Scale Symmetry	$I_{FS4} - I_{FS2}$		±0.5	±4.0		±1	±8.0		±2	±16	µA
I_{ZS}	Zero Scale Current			0.1	1.0		0.2	2.0		0.2	4.0	µA
I_{FSR}	Output Current Range	V^- = −5V	0	2.0	2.1	0	2.0	2.1	0	2.0	2.1	mA
		V^- = −8V to −18V	0	2.0	4.2	0	2.0	4.2	0	2.0	4.2	mA
	Logic Input Levels											
V_{IL}	Logic "0"	V_{LC} = 0V	–		0.8			0.8			0.8	V
V_{IH}	Logic "1"		2.0			2.0			2.0			V
	Logic Input Current	V_{LC} = 0V										
I_{IL}	Logic "0"	−10V ≤ V_{IN} ≤ −0.8V		−2.0	−10		−2.0	−10		−2.0	−10	µA
I_{IH}	Logic "1"	2V ≤ V_{IN} ≤ −18V		0.002	10		0.002	10		0.002	10	µA
V_{IS}	Logic Input Swing	V^- = −15V	−10		18	−10		18	−10		18	V
V_{THR}	Logic Threshold Range	V_S = ±15V	−10		13.5	−10		13.5	−10		13.5	V
I_{15}	Reference Bias Current			−1.0	−3.0		−1.0	−3.0		−1.0	−3.0	µA
dI/dt	Reference Input Slew Rate	*(Figure 24)*	4.0	8.0		4.0	8.0		4.0	8.0		mA/µs
$PSSI_{FS+}$	Power Supply Sensitivity	4.5V ≤ V^+ ≤ 15V		0.0001	0.01		0.0001	0.01		0.0001	0.01	%/%
$PSSI_{FS-}$		−4.5V ≤ V^- ≤ 18V		0.0001	0.01		0.0001	0.01		0.0001	0.01	%/%
		I_{REF} = 1 mA										
	Power Supply Current	V_S = ±5V, I_{REF} = 1 mA										
I_+				2.3	3.8		2.3	3.8		2.3	3.8	mA
I_-				−4.3	−5.8		−4.3	−5.8		−4.3	−5.8	mA
		V_S = 5V, −15V I_{REF} = 2 mA										
I_+				2.4	3.8		2.4	3.8		2.4	3.8	mA
I_-				−6.4	−7.8		−6.4	−7.8		−6.4	−7.8	mA
		V_S = ±15V, I_{REF} = 2 mA										
I_+				2.5	3.8		2.5	3.8		2.5	3.8	mA
I_-				−6.5	−7.8		−6.5	−7.8		−6.5	−7.8	mA
P_D	Power Dissipation	±5V, I_{REF} = 1 mA		33	48		33	48		33	48	mW
		5V, −15V, I_{REF} = 2 mA		108	136		108	136		108	136	mW
		±15V, I_{REF} = 2 mA		135	174		135	174		135	174	mW

Note 1: The maximum junction temperature of the DAC0800, DAC0801 and DAC0802 is 125°C. For operating at elevated temperatures, devices in the dual-in-line J or D package must be derated based on a thermal resistance of 100°C/W, junction to ambient, 175°C/W for the molded dual-in-line N package.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

National Semiconductor

A to D, D to A

ADC0801, ADC0802, ADC0803, ADC0804, ADC0805 8-Bit μP Compatible A/D Converters

General Description

The ADC0801, ADC0802, ADC0803, ADC0804 and ADC0805 are CMOS 8-bit successive approximation A/D converters which use a differential potentiometric ladder—similar to the 256R products. These converters are designed to allow operation with the NSC800 and INS8080A derivative control bus, and TRI-STATE® output latches directly drive the data bus. These A/Ds appear like memory locations or I/O ports to the microprocessor and no interfacing logic is needed.

A new differential analog voltage input allows increasing the common-mode rejection and offsetting the analog zero input voltage value. In addition, the voltage reference input can be adjusted to allow encoding any smaller analog voltage span to the full 8 bits of resolution.

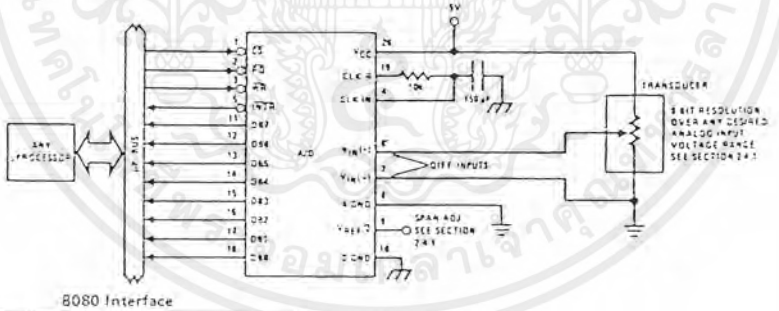
Features

- Compatible with 8080 μP derivatives—no interfacing logic needed – access time – 135 ns
- Easy interface to all microprocessors, or operates "stand alone"
- Differential analog voltage inputs
- Logic inputs and outputs meet both MOS and T²L voltage level specifications
- Works with 2.5V (LM336) voltage reference
- On-chip clock generator
- 0V to 5V analog input voltage range with single 5V supply
- No zero adjust required
- 0.3" standard width 20-pin DIP package
- Operates ratiometrically or with 5 V_{DC}, 2.5 V_{DC}, or analog span adjusted voltage reference

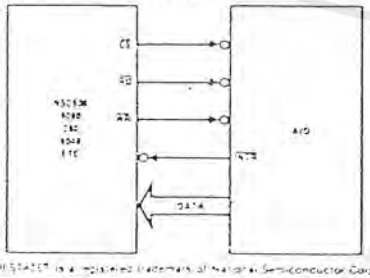
Key Specifications

- Resolution 8 bits
- Total error ±1/4 LSB, ±1/2 LSB and ±1 LSB
- Conversion time 100 μs

Typical Applications



8080 Interface



ERROR SPECIFICATION INCLUDES FULL SCALE, ZERO ERROR, AND NON-LINEARITY			
PART NUMBER	FULL SCALE ADJUSTED	$V_{REF}/2 = 2.500\ V_{DC}$ (NO ADJUSTMENTS)	$V_{REF}/2$ = NO CONNECTION (NO ADJUSTMENTS)
ADC0801	±1/4 LSB		
ADC0802		±1/2 LSB	
ADC0803	±1/2 LSB		
ADC0804		±1 LSB	
ADC0805			±1 LSB

TRI-STATE® is a registered trademark of National Semiconductor Corp.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Absolute Maximum Ratings (Notes 1 and 2)

Supply Voltage (V_{CC}) (Note 3)	6.5V
Voltage	
Logic Control Inputs	−0.3V to +18V
At Other Input and Outputs	−0.3V to (V_{CC} + 0.3V)
Storage Temperature Range	−65°C to +150°C
Package Dissipation at T_A = 25°C	875 mW
Lead Temperature (Soldering, 10 seconds)	300°C

Operating Ratings (Notes 1 and 2)

Temperature Range	$T_{MIN} \leq T_A \leq T_{MAX}$
ADC0801/02LD	−55°C ≤ T_A ≤ +125°C
ADC0801/02/03/04LCD	−40°C ≤ T_A ≤ +85°C
ADC0801/02/03/05LCN	−40°C ≤ T_A ≤ +85°C
ADC0804LCN	0°C ≤ T_A ≤ +70°C
Range of V_{CC}	4.5 V_{DC} to 6.3 V_{DC}

Electrical Characteristics

The following specifications apply for V_{CC} = 5 V_{DC}, $T_{MIN} \leq T_A \leq T_{MAX}$ and f_{CLK} = 640 kHz unless otherwise specified.

PARAMETER	CONDITIONS	MIN	TYP	MAX	UNITS
ADC0801:					
Total Adjusted Error (Note 8)	With Full-Scale Adj. (See Section 2.5.2)			±1/4	LSB
ADC0802:					
Total Unadjusted Error (Note 8)	$V_{REF}/2$ = 2.500 V_{DC}			±1/2	LSB
ADC0803:					
Total Adjusted Error (Note 8)	With Full-Scale Adj. (See Section 2.5.2)			±1/2	LSB
ADC0804:					
Total Unadjusted Error (Note 8)	$V_{REF}/2$ = 2.500 V_{DC}			±1	LSB
ADC0805					
Total Unadjusted Error (Note 8)	$V_{REF}/2$ = No Connection			±1	LSB
$V_{REF}/2$ Input Resistance (Pin 9)	ADC0801/02/03/05	2.5	8.0		kΩ
	ADC0804 (Note 9)	1.0	1.3		kΩ
Analog Input Voltage Range	(Note 4) V(+) or V(−)	Gnd−0.05		V_{CC}+0.05	V_{DC}
DC Common-Mode Error	Over Analog Input Voltage Range		±1/16	±1/8	LSB
Power Supply Sensitivity	V_{CC} = 5 V_{DC} ±10% Over Allowed $V_{IN}(+)$ and $V_{IN}(-)$ Voltage Range (Note 4)		±1/16	±1/8	LSB

AC Electrical Characteristics

The following specifications apply for V_{CC} = 5 V_{DC} and T_A = 25°C unless otherwise specified.

	PARAMETER	CONDITIONS	MIN	TYP	MAX	UNITS
T_C	Conversion Time	f_{CLK} = 640 kHz (Note 6)	103		114	μs
T_C	Conversion Time	(Note 5, 6)	66		73	$1/f_{CLK}$
f_{CLK}	Clock Frequency	V_{CC} = 5V, (Note 5)	100	640	1460	kHz
	Clock Duty Cycle	(Note 5)	40		60	%
CR	Conversion Rate In Free-Running Mode	$\overline{INTR}$ tied to $\overline{WR}$ with $\overline{CS}$ = 0 V_{DC}, f_{CLK} = 640 kHz			8770	conv/s
$t_{W(\overline{WR})L}$	Width of $\overline{WR}$ Input (Start Pulse Width)	$\overline{CS}$ = 0 V_{DC} (Note 7)	100			ns
t_{ACC}	Access Time (Delay from Falling Edge of $\overline{RD}$ to Output Data Valid)	C_L = 100 pF		135	200	ns
t_{1H}, t_{0H}	TRI-STATE Control (Delay from Rising Edge of $\overline{RD}$ to Hi-Z State)	C_L = 10 pF, R_L = 10k (See TRI-STATE Test Circuits)		125	200	ns
t_{WI}, t_{RI}	Delay from Falling Edge of $\overline{WR}$ or $\overline{RD}$ to Reset of $\overline{INTR}$			300	450	ns
C_{IN}	Input Capacitance of Logic Control Inputs			5	7.5	pF
C_{OUT}	TRI-STATE Output Capacitance (Data Buffers)			5	7.5	pF

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Electrical Characteristics

The following specifications apply for V_{CC} = 5 V_{DC} and $T_{MIN} \leq T_A \leq T_{MAX}$, unless otherwise specified.

PARAMETER		CONDITIONS	MIN	TYP	MAX	UNITS
CONTROL INPUTS [Note: CLK IN (Pin 4) is the input of a Schmitt trigger circuit and is therefore specified separately]						
$V_{IN}(1)$	Logical "1" Input Voltage (Except Pin 4 CLK IN)	V_{CC} = 5.25 V_{DC}	2.0		15	V_{DC}
$V_{IN}(0)$	Logical "0" Input Voltage (Except Pin 4 CLK IN)	V_{CC} = 4.75 V_{DC}			0.8	V_{DC}
$I_{IN}(1)$	Logical "1" Input Current (All Inputs)	V_{IN} = 5 V_{DC}		0.005	1	μA_{DC}
$I_{IN}(0)$	Logical "0" Input Current (All Inputs)	V_{IN} = 0 V_{DC}	-1	-0.005		μA_{DC}
CLOCK IN AND CLOCK R						
V_{T+}	CLK IN (Pin 4) Positive Going Threshold Voltage		2.7	3.1	3.5	V_{DC}
V_{T-}	CLK IN (Pin 4) Negative Going Threshold Voltage		1.5	1.8	2.1	V_{DC}
V_H	CLK IN (Pin 4) Hysteresis $(V_{T+}) - (V_{T-})$		0.6	1.3	2.0	V_{DC}
$V_{OUT}(0)$	Logical "0" CLK R Output Voltage	I_O = 360 μA, V_{CC} = 4.75 V_{DC}			0.4	V_{DC}
$V_{OUT}(1)$	Logical "1" CLK R Output Voltage	I_O = -360 μA, V_{CC} = 4.75 V_{DC}	2.4			V_{DC}
DATA OUTPUTS AND $\overline{INTR}$						
$V_{OUT}(0)$	Logical "0" Output Voltage Data Outputs	I_{OUT} = 1.6 mA, V_{CC} = 4.75 V_{DC}			0.4	V_{DC}
	$\overline{INTR}$ Output	I_{OUT} = 1.0 mA, V_{CC} = 4.75 V_{DC}			0.4	V_{DC}
$V_{OUT}(1)$	Logical "1" Output Voltage	I_O = -360 μA, V_{CC} = 4.75 V_{DC}	2.4			V_{DC}
$V_{OUT}(1)$	Logical "1" Output Voltage	I_O = -10 μA, V_{CC} = 4.75 V_{DC}	4.5			V_{DC}
I_{OUT}	TRI-STATE Disabled Output Leakage (All Data Buffers)	V_{OUT} = 0 V_{DC}	-3			μA_{DC}
		V_{OUT} = 5 V_{DC}			3	μA_{DC}
I_{SOURCE}		V_{OUT} Short to Gnd, T_A = 25°C	4.5	6		mA_{DC}
I_{SINK}		V_{OUT} Short to V_{CC}, T_A = 25°C	9.0	16		mA_{DC}
POWER SUPPLY						
I_{CC}	Supply Current (Includes Ladder Current)	f_{CLK} = 640 kHz, $V_{REF}/2$ = NC, T_A = 25°C and $\overline{CS}$ = "1"				
		ADC0801/02/03/05		1.1	1.8	mA
		ADC0804 (Note 9)		1.9	2.5	mA

Note 1: Absolute maximum ratings are those values beyond which the life of the device may be impaired.

Note 2: All voltages are measured with respect to Gnd, unless otherwise specified. The separate A Gnd point should always be wired to the D Gnd.

Note 3: A zener diode exists, internally, from V_{CC} to Gnd and has a typical breakdown voltage of 7 V_{DC}.

Note 4: For $V_{IN}(-) \geq V_{IN}(+)$ the digital output code will be 0000 0000. Two on-chip diodes are tied to each analog input (see block diagram) which will forward conduct for analog input voltages one diode drop below ground or one diode drop greater than the V_{CC} supply. Be careful, during testing at low V_{CC} levels (4.5V), as high level analog inputs (5V) can cause this input diode to conduct—especially at elevated temperatures, and cause errors for analog inputs near full-scale. The spec allows 50 mV forward bias of either diode. This means that as long as the analog V_{IN} does not exceed the supply voltage by more than 50 mV, the output code will be correct. To achieve an absolute 0 V_{DC} to 5 V_{DC} input voltage range will therefore require a minimum supply voltage of 4.950 V_{DC} over temperature variations, initial tolerance and loading.

Note 5: Accuracy is guaranteed at f_{CLK} = 640 kHz. At higher clock frequencies accuracy can degrade. For lower clock frequencies, the duty cycle limits can be extended so long as the minimum clock high time interval or minimum clock low time interval is no less than 275 ns.

Note 6: With an asynchronous start pulse, up to 8 clock periods may be required before the internal clock phases are proper to start the conversion process. The start request is internally latched, see *Figure 2* and section 2.0.

Note 7: The $\overline{CS}$ input is assumed to bracket the $\overline{WR}$ strobe input and therefore timing is dependent on the $\overline{WR}$ pulse width. An arbitrarily wide pulse width will hold the converter in reset mode and the start of conversion is initiated by the low to high transition of the $\overline{WR}$ pulse (see timing diagrams).

Note 8: None of these A/Ds requires a zero adjust (see section 2.5.1). To obtain zero code at other analog input voltages see section 2.5 and *Figure 5*.

Note 9: For ADC0804LCD typical value of $V_{REF}/2$ input resistance is 8 kΩ and of I_{CC} is 1.3 mA.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

MOTOROLA

MC14049UB
MC14050B

CMOS SSI

(LOW-POWER COMPLEMENTARY MOS)

HEX BUFFERS

Inverting – MC14049UB
Noninverting – MC14050B

HEX BUFFERS

The MC14049UB hex inverter/buffer and MC14050B noninverting hex buffer are constructed with MOS P-channel and N-channel enhancement mode devices in a single monolithic structure. These complementary MOS devices find primary use where low power dissipation and/or high noise immunity is desired. These devices provide logic-level conversion using only one supply voltage, V_{CC}. The input signal high level (V_{IH}) can exceed the V_{CC} supply voltage for logic-level conversions. Two TTL/DTL Loads can be driven when the devices are used as CMOS-to-TTL/DTL converters (V_{CC} = 5.0 V, $V_{OL} \leq 0.4$ V, $I_{OL} \geq 3.2$ mA). Note that pin 16 is not connected internally on these devices; consequently connections to this terminal will not affect circuit operation.

- High Source and Sink Currents
- High-to-Low Level Converter
- Quiescent Current = 2.0 nA/package typical @ 5 Vdc
- Supply Voltage Range = 3.0 Vdc to 18 Vdc
- Meets JEDEC UB Specifications–MC14049UB
  Meets JEDEC B Specification–MC14050B

L SUFFIX
CERAMIC PACKAGE
CASE 620

P SUFFIX
PLASTIC PACKAGE
CASE 648

ORDERING INFORMATION

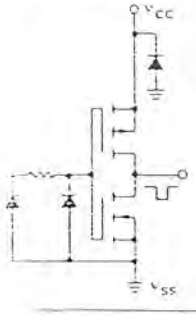
MC14XXXUB
MC14XXXB — Suffix Denotes
- L Ceramic Package
- P Plastic Package
- A Extended Operating Temperature Range
- C Limited Operating Temperature Range

MAXIMUM RATINGS (Voltages referenced to V_{SS}, Pin 8)

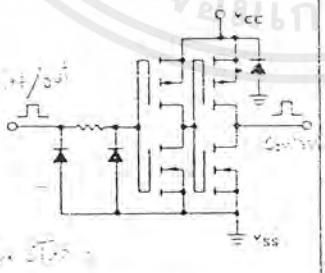
Rating	Symbol	Value	Unit
DC Supply Voltage	V_{DD}	−0.5 to +18	Vdc
Input Voltage, All Inputs	V_{in}	−0.5 to +18	Vdc
DC Current Drain per Input Pin	I	10	mAdc
DC Current Drain per Output Pin	I	45	mAdc
Operating Temperature Range AL Device	T_A	−55 to +125	°C
CL/CP Device		−40 to +85	
Storage Temperature Range	T_{stg}	−65 to +150	°C

CIRCUIT SCHEMATIC
(1/6 OF CIRCUIT SHOWN)

MC14049UB



MC14050B

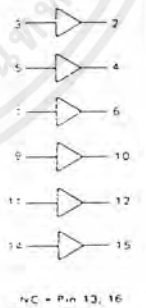


LOGIC DIAGRAMS

MC14049UB

NC = Pin 13, 16
VSS = Pin 8
VCC = Pin 1

MC14050B



NC = Pin 13, 16
VSS = Pin 8
VCC = Pin 1

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้