สำนักหอสมุดกลาง พระจอมเกล้าลาดกระบัง

เครื่องแบ่งภาพ

VIDEO MULTI SECTION (TV WALL)

โดย

1. นายพรชัย	แซ่อึ้ง	รหัสประจำตัว	40013298
2. นายวิเชต	แปงป้อ	รหัสประจำตัว	40013302
3. นายสมภพ	ยานะ	รหัสประจำตัว	40013309

อาจารย์ที่ปรึกษา

ผศ.อุทัย ศรีธีระวิโรจน์

ปริญญานิพนธ์นี้เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรอุตสาหกรรมศาสตรบัณฑิต

สาขาวิชา เทคโนโลยีอิเล็กทรอนิกส์

คณะวิศวกรรมศาสตร์

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

ปีการศึกษา 2542

เลขหมู่.....
เลขทะเบียน.....36896
วัน, เดือน, ปี.....29 ส.ค. 2543

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่อนุญาตให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ปริญญานิพนธ์การศึกษา 2542

ภาควิชาเทคนิคอุตสาหกรรม

คณะวิศวกรรมศาสตร์

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

ชื่อโครงงานภาไทย เครื่องแบ่งภาพ

ชื่อโครงงานภาษาอังกฤษ VIDEO MULTI SECTION (TV WALL)

ผู้จัดทำ นายพรชัย แซ่อึ้ง

นายวิเชต แปงปัอ

นายสมภพ ยานะ

อาจารย์ที่ปรึกษา ผศ.อุทัย ศรีธีระวิโรจน์

คณะวิศวกรรมศาสตร์ สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง อนุมัติให้รับปิญญานิพนธ์ฉบับนี้เป็นส่วนหนึ่งของการศึกษาในหลักสูตรอุตสาหกรรมศาสตรบัณฑิต

.....

ลงชื่อ.....อาจารย์ที่ปรึกษา

(ผศ.อุทัย ศรีธีระวิโรจน์)

คณะกรรมการตรวจสอบปริญญานิพนธ์

.....กรรมการ

( )

.....กรรมการ

( )

.....กรรมการ

( )

.....กรรมการ

( )

.....กรรมการ

( )

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เครื่องแบ่งภาพ

จัดทำโดย	นายพรชัย	แซ่อึ้ง	40013298
	นายวิเชต	แปงป้อ	40013302
	นายสมภพ	ยานะ	40013309

อาจารย์ที่ปรึกษา ผศ.อุทัย ศรีธีระวิโรจน์

ปีการศึกษา 2542

บทคัดย่อ

ปริญญานิพนธ์ฉบับนี้ได้นำเสนอ กระบวนการแบ่งสัญญาณภาพสีออกมาเป็น 16 ส่วน แล้วขยายสัญญาณแต่ละส่วนให้มีขนาดเท่ากับ 1 จอภาพ ซึ่งในแต่ละส่วนจะถูกแยกแสดงผลออกทางจอมอนิเตอร์ 16 จอ

ระบบของเครื่องแบ่งภาพจะแยกสัญญาณภาพรวมเป็นสัญญาณภาพสี RGB แล้วแปลงให้เป็นข้อมูลดิจิตอลขนาด 8 บิท โดยการใช้ความถี่ในการสุ่ม 10 MHz ข้อมูลดิจิต่อลขนาด 8 บิทจะถูกแบ่งออกเป็น 16 ส่วน แต่ละส่วนถูกเก็บไว้ในหน่วยความจำพร้อมทั้งขยายบิทข้อมูลเพื่อให้ภาพขยายขึ้น และจะทำการแปลงข้อมูลดังกล่าวให้กลับเป็นสัญญาณภาพอนาล็อกตามเดิม นำมาเข้าส่วนของวีดีโอเอนโคดเดอร์ (Video encoder) ให้ได้สัญญาณภาพรวม 16 ช่อง ภาพที่ได้จากจอภาพทั้ง 16 ตัว จึงเป็นภาพเดิมที่มีขนาดใหญ่ขึ้น

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

VIDEO MULTI SECTION(TV WALL)

BY	Mr. Pornchai	Saeeung	40013298
	Mr. Vichet	Pangpor	40013302
	Mr. Sompop	Yana	40013309
Advisor	Assistant Professor. U-THAI		Sritheeravirojana

Abstract

This thesis presents the process of separation the composite signal to 16 sections and magnification each signal to fit a picture. Then; each signal is displayed separately to 16 monitors

The system of signal divider will separate the composite signal to RGB color signals and then, transfer into digital data of 8 bits by random sampling the frequency of 10 MHz. The 8 bits data will be divided into 16 parts. Each part is stored in the memory and extended to the big picture. Then the data is converted to the analog signal, brought into the video encoder in order to obtain the total signal of 16 signals. The picture obtained from the16 monitors, therefore are the same picture with the extend scale.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

กิตติกรรมประกาศ

จากระยะเวลาในการทำโครงงานชิ้นนี้ ทั้งที่เกิดปัญหาขึ้นมากมายแต่ก็ประสบผลสำเร็จไปได้ด้วยดี ทั้งนี้ขอขอบพระคุณอย่างสูง ท่านอาจารย์ที่ปรึกษา ทั้ง 2 ท่านผศ.อุทัย ศรีธีระวิโรจน์ ที่ให้คำแนะนำตลอดจนช่วยจัดหาอุปกรณ์ที่ใช้ในการทดลองในโครงงานนี้

ขอขอบพระคุณอย่างยิ่ง อ. อรรถสิทธ์ หล่าสกุล ที่ช่วยเอื้อเฟื้ออุปกรณ์ในการทดลอง

ขอขอบคุณเพื่อนๆ และผู้ที่มีส่วนเกี่ยวข้องทุกท่านที่ช่วยให้คำปรึกษาและช่วยงานด้วยดี สุดท้ายขอขอบคุณ ภาควิชาเทคนิคอุตสาหกรรม คณะวิศวกรรมศาสตร์ สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง ที่เอื้อเฟื้อสถานที่ตลอดไปจนถึงเครื่องไม้เครื่องมือที่ใช้ในการทดลอง จนสำเร็จลุล่วงไปด้วยดี

ลงชื่อ.....

(นาย พรชัย แซ่อึ้ง)

ลงชื่อ.....

(นาย วิเชต แปงปัอ)

ลงชื่อ.....

(นาย สมภพ ยานะ)

คณะผู้จัดทำ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญ

เรื่อง	หน้า
กิตติกรรมประกาศ	
บทนำ	
บทที่ 1 ความรู้เบื้องต้นเกี่ยวกับสัญญาณโทรทัศน์	
• ทฤษฎีทั่วไป	1
• ส่วนประกอบของสัญญาณภาพ	3
• การสแกนของสัญญาณภาพ	4
• ทฤษฎีการสร้างภาพโทรทัศน์	6
• องค์ประกอบพื้นฐานของสัญญาณภาพ	7
• การกำเนิดแม่สี	9
• การแปลงสัญญาณอนาล็อกเป็นดิจิตอล	12
• การแปลงสัญญาณดิจิตอลเป็นอนาล็อก	16
• คุณสมบัติของดีทูเอคอนเวอร์เตอร์ (D/A Converter)	18
• ดีเลย์ลายน์	19
บทที่ 2 ทฤษฎีเกี่ยวกับทีวีวอลล์	
• หลักการของทีวีวอลล์	20
• ส่วนประกอบของทีวีวอลล์	21
• ดิจิตอลวีดีโอ	22
• ขบวนการดิจิไตเซชั่น	22
• หน่วยความจำภาพ	23
• กระบวนการแยกภาพ	23
• ดีโคเดอร์	26
บทที่ 3 ระบบทีวีวอลล์	
• Video decoder	31
• Video sync separator	31
• Control Unit	32
• A/D Converter	32
• Data Latch	35

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

- Read/Write address Signal & Memory select generator 35
- Read/Write signal 38
- Buffer & multiplexing 40
- Data Buffer 43
- Memories 44
- D/A Converter 48
- Encoder 48

บทที่ 4 การทดลองและวิจารณ์การทดลอง

- ปัญหาที่ประสบกับการทดลอง 59
- แนวทางพัฒนาต่อไป 59

ภาคผนวก ก แสดงรูปต่างๆ ของอุปกรณ์และแผ่นวงจรการทดลอง

ภาคผนวก ข แสดงวงจรที่ใช้ในการทดลอง

ภาคผนวก ค รายละเอียดของอุปกรณ์

บรรณานุกรม

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญรูป

รูปภาพ		หน้า
บทที่ 1		
รูปที่ 1.1	แสดงการสแกนเส้นคู่และคี่	6
รูปที่ 1.2	แสดงการจัดวางของกระจกและหลอดภาพอย่างง่าย	9
รูปที่ 1.3	แสดงสัดส่วนของแม่สี	11
รูปที่ 1.4	แสดงบล็อคไดอะแกรมของ D/A Converter	12
รูปที่ 1.5	แสดงการแซมปลิ้ง	13
รูปที่ 1.6	แสดงวงจรแฟลช A/D Converter	14
รูปที่ 1.7	แสดงวงจรโดยใช้ลอจิกเกท	15
รูปที่ 1.8	แสดงการเปลี่ยนสัญญาณขนาด 4 บิท แบบความต้านทานหลายตัว	17
รูปที่ 1.9	แสดงวงจร R-2R Ladder	18
บทที่ 2		
รูปที่ 2.1	แสดส่วนประกอบขอทีวีวอลล์	21
รูปที่ 2.2	แสดงรายละเอียดความแตกต่างของจำนวนบิทต่อพิกเซล	24
รูปที่ 2.3	แสดงลักษณะการแซมปลิ้ง	26
รูปที่ 2.4	แสดงลักษณะสัญญาณที่ได้จากภาค Decoder	26
บทที่ 3		
รูปที่ 3.1	แสดง Block Diagram of TV WALL system	29
รูปที่ 3.2	แสดง Block Diagram ของ CA3318	33
รูปที่ 3.3	แสดงการควบคุมระดับด้วยขาควบคุมเฟส	34
รูปที่ 3.4	แสดงความสัมพันธ์ของสัญญาณ Clock สัญญา5 แอดเดรสการอ่านการเขียน	35
รูปที่ 3.5	แสดงตารางสัญญาณแอดเดรสการอ่านและการเขียน หน่วยความจำ	36
รูปที่ 3.6	แสดงการเลือกหน่วยความจำในการเขียนข้อมูล	37
รูปที่ 3.7	แสดง Truth Table ของ SRAM 6264	39

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รูปที่ 3.8 แสดง Timing Waveform ของ SRAM 6264 39
รูปที่ 3.9 แสดง Timing Waveform การอ่านของ SRAM 6264 40
รูปที่ 3.10 แสดงการทำงานของ Multiplexes และส่วนของ Buffer 40
รูปที่ 3.11 แสดงการต่อสัญญาณเลือกหน่วยความจำเข้ากับหน่วย
ความจำชุด A และ B 42
รูปที่ 3.12 แสดงการขยายสัญญาณควบคุมการอ่านและเขียน
หน่วยความจำด้วย Buffer 43
รูปที่ 3.13 แสดงการควบคุม Buffer ของหน่วยความจำ 44
รูปที่ 3.14 แสดงโครงสร้างของหน่วยความจำ SRAM 6264 45
รูปที่ 3.15 แสดงการจัดหน่วยความจำในการเขียนข้อมูลภาพ
ตามตำแหน่งของสัญญาณแอดเดรส 46
รูปที่ 3.16 แสดงการขยายพิกเซลและการขยายข้อมูลจากหน่วย
ความจำให้เต็มจอภาพ 47
รูปที่ 3.17 แสดงการใช้งาน DAC 0800 48

บทที่ 4

รูปที่ 4.1 แสดงสัญญาณสีรวมและสัญญาณ Horizontal Synchronous 49
รูปที่ 4.2 แสดงสัญญาณที่กำหนดระยะเวลาในการอ่านข้อมูลและ
แสดงสัญญาณที่กำหนดระยะเวลาในการเขียนข้อมูล 50
รูปที่ 4.3 แสดงสัญญาณแอดเดรสที่ใช้ในการเขียนและอ่าน ของฟิลด์แรก
แสดงสัญญาณแอดเดรสที่ใช้ในการเขียนและอ่าน ของฟิลด์ที่สอง
และแสดงสัญญาณภาพ 1 เฟรม 51
รูปที่ 4.4 แสดงสัญญาณควบคุมเลือกการเขียนข้อมูล 52
รูปที่ 4.5 แสดงสัญญาณควบคุมเลือกการเขียนข้อมูลใน 1 ฟิลด์ 53
รูปที่ 4.6 แสดงสัญญาณในการควบคุมการอ่านของหน่วยความจำ
และสัญญาณลูมิแนนซ์ 54
รูปที่ 4.7 แสดงสัญญาณควบคุมการเขียนและสัญญาณลูมิแนนซ์ 55
รูปที่ 4.8 แสดงสัญญาณควบคุมการทำงานในฟิลด์ต่างๆ 56
รูปที่ 4.9 แสดงตำแหน่งเริ่มต้นของการอ่านเขียนข้อมูลในฟิลด์ที่ 1 57
รูปที่ 4.10 แสดงตำแหน่งสุดท้ายของการอ่านเขียนข้อมูลในฟิลด์ที่ 1 57

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รูปที่ 4.11 แสดงตำแหน่งเริ่มต้นของการอ่านเขียนข้อมูลในฟิลด์ที่ 2 58
รูปที่ 4.12 แสดงตำแหน่งสุดท้ายของการอ่านเขียนข้อมูลในฟิลด์ที่ 2 58

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญตาราง

ตาราง	หน้า
บทที่ 1	
ตารางที่ 1.1 แสดงระบบของโทรทัศน์ต่าง ๆ	2
ตารางที่ 1.2 แสดงความต่างสี	11
ตารางที่ 1.3 แสดงค่าลอจิกที่เอาท์พุทต่าง ๆ	15
บทที่ 3	
ตารางที่ 3.1 แสดงตารางสัญญาณแอดเดรสการอ่านและการเขียนหน่วยความจำ	41

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทนำ

แนวความคิดและที่มา

จอภาพที่มีขนาดใหญ่นั้น นอกจากจะมีราคาแพง ยากต่อการบำรุงรักษาและเคลื่อนย้ายแล้ว ยังจะมีภาพที่ไม่ค่อยละเอียดเท่าใดนัก เมื่อเราสามารถนำจอภาพหลายๆ จอมาทำเป็นภาพเดียวดังกล่าวมาแล้วนั้น ภาพที่ได้แต่ละจอนั้นยังคงมีความละเอียดเหมือนเดิม TV WALL นั้นนอกจากจะมีข้อดีกว่าจอภาพที่มีขนาดใหญ่จอเดียว ยังสามารถที่จะประยุกต์ใช้งานแต่ละจอเป็นอิสระต่อกันได้

ในปัจจุบันเทคโนโลยีทางด้านโทรทัศน์มีหลากหลายรูปแบบ และเนื่องจากปัญหาที่ว่าเมื่อต้องการให้ผู้คนจำนวนมากสามารถมองเห็นสัญญาณภาพที่มีขนาดใหญ่ได้อย่างชัดเจน เมื่อเราใช้จอภาพที่มีขนาดใหญ่ก็ติดปัญหาตรงที่ว่าการบำรุงรักษา และมีราคาแพง ทำให้แนวความคิดในการนำจอภาพหลายๆ จอทำการรวมเป็นจอเดียวเรียกว่า TV WALL

อีกทั้งยังทำให้มีการพัฒนาเทคโนโลยีทางด้านการรวมสัญญาณโทรทัศน์อย่างต่อเนื่องเพื่อที่จะสามารถใช้เทคโนโลยีอื่นเข้ามาช่วยเพื่อทำให้วงจรมีประสิทธิภาพมีราคาถูกลงมากกว่าเดิม

ชื่อโครงงาน

เครื่องแบ่งภาพ (Video Multi Section)

วัตถุประสงค์

- สามารถทำให้เรียนรู้ถึงเทคโนโลยีทางด้านโทรทัศน์
- สามารถถ่ายทอดเทคโนโลยีผ่านทางปริญญานิพนธ์แก่ผู้สนใจ
- เป็นแนวทางแก่ผู้ที่สนใจสามารถพัฒนาเทคโนโลยีให้ดียิ่งขึ้น

แนวทางในการพัฒนา

โครงงานชิ้นนี้ทำการแยกสัญญาณภาพแล้วไปอ่านเขียนลงในหน่วยความจำ (Read Only Memory: RAM) ซึ่งก็มีประสิทธิภาพระดับหนึ่ง แต่ก็มีข้อเสียคือ ชิ้นงานจะมีขนาดใหญ่ มีการสิ้นเปลืองพื้นที่โดยสูญเปล่าเมื่อเราต้องการให้มีประสิทธิภาพ จำนวนข้อมูลที่แปลงเป็นดิจิตอลมีขนาดใหญ่ ดังนั้น RAM ที่ใช้ต้องมีจำนวนที่มากตาม

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เนื้อหาโดยสังเขป

บทที่ 1 ได้กล่าวถึงทฤษฎีเกี่ยวกับของสัญญาณภาพโทรทัศน์

บทที่ 2 ได้กล่าวถึงทฤษฎีต่างๆ ที่นำมาประกอบเป็นเนื้อหาในการทำงานของโครงงานนี้

บทที่ 3 ได้กล่าวถึงการทดลองในภาคต่างๆ

บทที่ 4 ได้กล่าวถึงผลการทดลองที่แสดงรูปสัญญาณจากภาคต่างๆ ในโครงงาน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 1
ความรู้เบื้องต้นเกี่ยวกับการสร้างภาพโทรทัศน์

ทฤษฎี

กล่าวโดยทั่วไปโทรทัศน์ก็คือ การส่งกระจายเสียงพร้อมทั้งภาพที่เคลื่อนไหวออกไปในรูปของสัญญาณโทรทัศน์ และส่วนของการรับสัญญาณนี้เปลี่ยนให้เป็นสัญญาณเสียงและภาพที่ต้องการ ภาพที่เคลื่อนไหวติดต่อกันบนจอเครื่องรับโทรทัศน์นั้นความจริงคือ ผลของการส่งและรับภาพนิ่ง ซึ่งแต่ละภาพมีความแตกต่างกันเล็กน้อยหลายๆ ภาพต่อเวลานั่นเอง ซึ่งเป็นหลักการเดียวกันกับการฉายภาพยนต์ แล้วภาพนั้นก็จะจางหายไปในกระทันหัน ก็ยังจะรู้สึกติดตาอยู่อีกชั่วระยะเวลาหนึ่ง ลักษณะพิเศษนี้มีชื่อเรียกว่า Persistence of vision ด้วยเหตุนี้ หากมีการฉายภาพนิ่งซึ่งแต่ละภาพมีความแตกต่างเล็กน้อย ติดต่อกันหลายๆ ภาพต่อวินาที สายตาคนเราก็จะเห็นเป็นภาพเคลื่อนไหวได้อย่างต่อเนื่องกันไป โดยไม่มีการหยุดชะงัก ซึ่งผลของการทดลองกับคนหมู่มากแสดงให้ทราบว่า สายตาของคนเราจะจับอาการกระพริบของภาพไม่ได้เลย หากจำนวนภาพนิ่งต่อวินาทีนั้นจะมีจำนวนเกินกว่า 16 ภาพขึ้นไป การส่งโทรทัศน์ก็ใช้หลักการเดียวกัน

ระบบของโทรทัศน์ที่สำคัญๆ ที่ใช้กันอยู่ทั่วโลกขณะนี้มีอยู่ 3 ระบบ

1. ระบบ NTSC (National Television System Committee)
2. ระบบ SECAM (Sequential a memories หรือ Sequential color with memory)
3. ระบบ PAL (Phase Alternating Line)

ซึ่งแม้ว่าประเทศต่างๆ จะรับระบบนี้ไว้เป็นมาตรฐานในกิจการโทรทัศน์ของแต่ละประเทศ แต่รายละเอียดอื่นๆ ของระบบอาจจะมีความแตกต่างกันออกไปอีก โดยทั่วไปประเทศที่ใช้ระบบไฟฟ้าที่จ่ายตามบ้านแบบ 50 Hz ก็จะใช้อัตราความถี่กวาดแนวดิ่งเท่ากับ 50 Hz ซึ่งจำนวนเฟรมต่อวินาทีจะเป็น 25 เฟรม (Frame) และ 30 เฟรม

ประเทศไทยรับเอาระบบ PAL ซึ่งเป็นระบบที่ใช้แพร่หลายในประเทศภาคพื้นยุโรป คือ 625 เส้นต่อ 1 เฟรม และ 25 เฟรมต่อวินาที

มีข้อสังเกตุว่าทุกระบบจะใช้วิธี Odd - line interlacing (กล่าวคือ 2 ฟิลด์ (Field) ประกอบเป็น 1 เฟรม) ค่า aspect ratio เท่ากับ 4 ต่อ 3 และการมอดูเลเตอร์ (Modulator) ของสัญญาณภาพเป็นแบบ AM โดยมัลติเพล็ก (Multiplex) สัญญาณสีด้วยพาหะรอง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

	ประเทศในแถบอเมริกาเหนือ อเมริกาใต้ สหรัฐอเมริกา แคนาดา,ญี่ปุ่น	ประเทศในแถบยุโรปตะวันตก เยอรมัน ,อิตาลี และสเปน	อังกฤษ	ฝรั่งเศส	รัสเซีย
เส้นต่อเฟรม	525	625	625	625	625
เฟรมต่อวินาที	30	25	25	25	25
ความถี่ฟิลด์ (Hz)	60	50	50	50	50
ความถี่ลายน์ (Hz)	15750	15625	15625	15625	15625
ความกว้างภาพ (MHz)	4.2	5 หรือ 6	5.5	6	6
ความกว้างช่อง (MHz)	6	7 หรือ 8	8	8	8
มอดูเลชั่นภาพ	-	-	-	+	-
สัญญาณเสียง	FM	FM	FM	FM	FM
ระบบโทรทัศน์สี	NTSC	PAL	PAL	SECAM	SECAM
คลื่นพาหะรอง (MHz)	3.58	4.43	4.43	4.43	4.43

ตารางที่ 1.1 แสดงระบบของโทรทัศน์ต่าง ๆ

สมมติว่า ต้องการออกอากาศรายการสด ไมโครโฟนในห้องส่งจะช่วยเปลี่ยนสัญญาณเสียงให้เป็นสัญญาณทางไฟฟ้า ในทำนองเดียวกัน กล้องโทรทัศน์ก็จะช่วยเปลี่ยนภาพในห้องส่งให้เป็นสัญญาณไฟฟ้าอีกทีหนึ่ง ทั้ง 2 ชนิดนี้ยังมีกำลังในการส่งน้อย ยังไม่เหมาะสมในการที่จะนำออกอากาศได้ทันที จึงจำเป็นต้องมีการขยายเสียก่อน โดยผ่านทางเครื่องขยายเสียงและขยายภาพตามลำดับ หลังจากนั้น จึงนำออกสู่เครื่องส่งโทรทัศน์เพื่ออาศัยให้สัญญาณวิทยุเป็นตัวพาห์นำออกอากาศโดยวิธีทางการไฟฟ้าที่เรียกว่า Modulation ซึ่งมีอยู่หลายแบบด้วยกัน สัญญาณที่มาถึงเครื่องรับโทรทัศน์ โดยการซ้อนเอาสัญญาณภาพและเสียงไว้ในสัญญาณวิทยุที่กล่าวถึงนี้คือ สัญญาณโทรทัศน์

สัญญาณโทรทัศน์ที่กระจายออกไปในอากาศนี้ จะมีความเข้มมากก็แต่เฉพาะในบริเวณที่มีระยะใกล้สถานีโทรทัศน์ และจะอ่อนกำลังลงเมื่อระยะทางมากขึ้นตามลำดับ ฉะนั้นหากเครื่อง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รับอยู่ไกลสถานีมาก มักจำเป็นต้องใช้สายอากาศนอกติดตั้งไว้บนขอบชายคาบ้าน แล้วต่อสายส่งสัญญาณหรือสายฟีดเดอร์ไปยังเครื่องรับโทรทัศน์ เพื่อช่วยให้รับภาพได้ชัดเจนยิ่งขึ้น เครื่องรับโทรทัศน์เหล่านี้จะมีวงจรต่างๆ หลายอย่าง ซึ่งจะทำหน้าที่ขยายสัญญาณโทรทัศน์ แล้วแยกสัญญาณภาพกับสัญญาณเสียงออกจากสัญญาณวิทยุพาห์ด้วยวิธีทางไฟฟ้า ที่เรียกว่า Demodulation ซึ่งมีหลายแบบอีกเช่นเดียวกัน เพื่อทำให้ภาพที่ต้องการมาปรากฏบนจอหลอดภาพ และมีเสียงที่ลำโพงเครื่องรับโทรทัศน์ ให้เหมือนกับภาพและเสียงในห้องส่งทุกประการ

เพื่อเป็นการทบทวนความรู้เบื้องต้นสำหรับการแก้ไขเครื่องรับโทรทัศน์ ในหัวข้อต่อ ๆ ไป จักได้กล่าวถึงส่วนประกอบภาพ วิธีการสแกนและการหักเหของลำอิเล็กตรอนและเรื่องอื่น ๆที่เกี่ยวข้องโดยสังเขป

1.1 ส่วนประกอบของสัญญาณภาพ

หากพิจารณาดูภาพหรือภาพที่ปรากฏในหน้าหนังสือพิมพ์และวารสารต่าง ๆ แล้วจะเห็นว่า ภาพเหล่านี้ประกอบขึ้นด้วยจุดดำเล็กเป็นจำนวนมากซึ่งมีทั้งส่วนที่ดำสนิทและส่วนที่จาง ขนาดของจุดดำในส่วนของภาพที่มืดสนิท ก็จะเห็นใหญ่กว่าขนาดของจุดดำในส่วนของภาพจาง จำนวนจุดดำที่มีมากหรือน้อยนี้ จะมีผลทำให้ภาพมองดูละเอียดหรือหยาบแตกต่างกันด้วย ระยะทางที่มองดูภาพก็เข้ามามีส่วนสำคัญอยู่ไม่น้อย ภาพที่หยาบแต่ถ้าหากมองดูในระยะทางซึ่งไกลกว่าระยะที่ใช้มองดูภาพละเอียด ก็อาจจะรู้สึกว่าพอจะดูได้เหมือนกัน

ในทำนองเดียวกันภาพที่ปรากฏบนจอหลอดภาพของเครื่องรับโทรทัศน์นั้นก็ประกอบขึ้นด้วยเส้นขวางเล็ก ๆ ในแนวนอนเป็นจำนวนมาก ซึ่งแต่ละเส้นนี้ก็มีส่วนทั้งที่ดำสนิท ส่วนที่ดำจางและส่วนที่สว่างมากรวมกันอยู่ เส้นขวางเล็ก ๆ ตามแนวนอนเหล่านี้มีชื่อเรียกว่าเส้นสแกนซึ่งประกอบไปด้วยส่วนหรือจุดเล็กๆ ที่มีทั้งมืดและสว่างปะปนกัน

ฉะนั้น ภาพที่ปรากฏบนจอภาพจึงพึงประกอบขึ้นด้วยจุดเล็ก ๆซึ่งมีระดับของความสว่างแตกต่างกันเป็นจำนวนมากมาย จุดเล็ก ๆ เหล่านี้มีชื่อเรียกว่าส่วนประกอบของภาพหรือ Picture elements ซึ่งมีความสัมพันธ์กับความละเอียดของภาพมาก หากจำนวนจุดเล็ก ๆ หรือจำนวนเส้นสแกนในแนวนอนมีมากยิ่งขึ้นเพียงไร ภาพที่เห็นบนจอภาพก็จะมองดูละเอียดมากขึ้นเพียงนั้น ฉะนั้นโทรทัศน์ระบบยุโรปซึ่งมีจำนวนเส้นสแกน 625 จึงให้ภาพละเอียดกว่าโทรทัศน์ระบบอเมริกันแม้จะมีจำนวนเส้นสแกนน้อยกว่าจำนวนเส้นของโทรทัศน์ ระบบยุโรปซึ่งจะทำให้เห็นภาพหยาบไปบ้างก็ตาม แต่ถ้าหากมองดูในระยะห่างประมาณสี่ถึงแปดเท่าของความสูงแล้วก็จะรู้สึกว่าเป็น

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ภาพที่พอใช้ได้เหมือนกัน นอกจากนี้ สายตาของคนเราส่วนมาก ยังนิยมมองดูภาพที่มีขนาดอัตราส่วนความกว้างต่อความสูงของภาพ เป็นสี่ต่อสามอีกด้วย

1.2 การสแกนสัญญาณโทรทัศน์

จากองค์ประกอบที่ได้กล่าวมาตอนต้น เครื่องส่งจะรับภาพแล้วเปลี่ยนพลังงานแสงเป็นพลังงานไฟฟ้าส่งเป็นจุดขาวดำมา เครื่องรับจะรับเอาสัญญาณเหล่านี้มาเรียงกันใหม่โดยการกวาดเป็นเส้นภาพขึ้นที่หน้าจอ วิธีการนี้เราเรียกว่า การสแกน (Scanning) โดยตัวที่มีหน้าที่สำคัญคือ จอภาพหรือหลอดภาพนั่นเอง หลอดภาพมีโครงสร้างคล้ายกับหลอดสูญญากาศทั่วไป ที่ปล่อยอิเล็กตรอนออกมาจากแคโถด แล้วจะมีการดึงลำอิเล็กตรอนให้วิ่งออกไปเป็นลำกระทบกับอาโนด (Anode) หรือหน้าจอ ตรงหน้าจอนั้นมีการฉาบสารเรืองแสงไว้ เพื่อให้เกิดอาการเรืองแสงของจอภาพ

การสแกนมี 2 วิธีคือ การสแกนแบบก้าวหน้า (progressive Scanning) กับการสแกนแบบเส้นสลับ (Interlaced Scanning)

การที่จะทำให้การสแกนมีความต่อเนื่องขององค์ประกอบตามที่ได้กล่าวมาแล้วนั้น จะต้องคำนึงถึงหลัก 3 ประการคือ

1. ลำอิเล็กตรอนที่กวาดไปทางแนวนอน (Horizontal Scanning) ในแต่ละครั้ง จะต้องสามารถครอบคลุมองค์ประกอบภาพทั้งหมดของเส้นนั้นๆ

2. ในแต่ละเส้นของการสแกนของลำอิเล็กตรอน ลำแสงจะต้องกวาดกลับด้วยความเร็วสูงไปยังด้านซ้ายเพื่อเริ่มต้นเส้นทางแนวนอนในลำดับต่อไปเวลาของการสะบัดกลับเรียกว่า "รีเทรส " (Retrace) หรือ ฟลายแบ็ค (Flyback) ในกรณีดังกล่าวจะต้องไม่มีภาพใดๆ เพราะว่าทั้งกล้องถ่ายและหลอดภาพจะเกิดการแบลงค์เอาท์ (Blank out) ในขณะนั้น

3. ในขณะที่เส้นสแกนสะบัดกลับมาเพื่อเริ่มต้นทางซ้ายใหม่ ตำแหน่งทางแนวตั้งต้องตำแหน่งเดิม เพื่อทำให้การสแกนเส้นต่อไปไม่ทับกัน ทั้งนี้โดยการควบคุมของสัญญาณแนวตั้ง (Vertical Scanning)

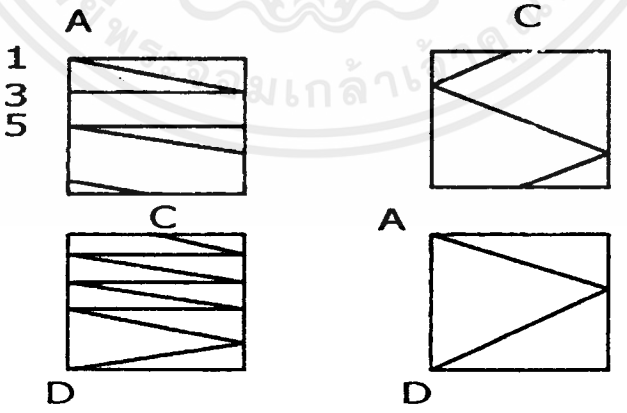
การสแกนที่ใช้ในเครื่องรับโทรทัศน์ ถึงแม้ว่าหากให้มีการเรียงภาพเกินกว่า 16 ภาพต่อวินาทีแล้วสายตาจะเห็นเป็นภาพที่ต่อเนื่องจากการทดลองสแกนเส้นภาพพบว่าแม้ภาพที่เกิดขึ้นจะเกิด 24 ภาพต่อวินาทีแล้วก็ตามยังมีการกระพริบ (Flicker) เกิดขึ้นเนื่องจากในขณะที่มีการสแกนเริ่มจากขอบบนลงมาด้านล่าง แสงทางด้านบนในความรู้สึกของมนุษย์เริ่มมืดลงกว่าด้านล่าง เวลาที่ลำแสงการสแกนกลับไปด้านบน ด้านล่างก็จะเกิดปัญหาเช่นเดียวกัน ทำให้ความรู้สึก

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ต่อกรณีนี้ก็คือ เกิดแสงกระพริบหรือวูบวาบขึ้น (Flicker) ดังนั้นจะไม่ให้เกิดการกระพริบจึงต้องใช้การสแกนสลับเส้นหรือ บางคนเรียกว่า การสแกนแบบสอดแทรก (Interlaced Scanning) โดยครั้งแรกจะสแกนฟิลด์คี่ (Odd Line Trace) และต่อไปจะสแกนฟิลด์คู่ (Even Line Trace) เป็นการสแกนแบบเส้นเว้นเส้นนั่นหมายความว่า ภาพ 1 เฟรม (Frame) ต้องใช้การสแกนแนวตั้งถึง 2 ครั้ง หรือ 2 ฟิลด์

ตามมาตรฐาน ซีซีไออาร์ (CCIR) ใช้เส้นสแกน 625 เส้นต่อ 1 ภาพ และใช้ภาพ 25ภาพต่อ 1 วินาที ดังนั้นใน 1 ฟิลด์จะมีเส้นสแกน 312.5 เส้น ภาพนิ่งแต่ละภาพซึ่งเป็นส่วนประกอบขององค์ประกอบภาพจะเกิดขึ้นภายใน 1/25 วินาที ความถี่ที่ใช้ในการหักเหลำอิเล็กตรอนในแนวนอนจึงได้จากจำนวนเส้นภาพ 625 เส้น คูณกับจำนวนภาพในแต่ละเฟรม ดังนั้นเราจึงสามารถหาความถี่ได้จาก 625 x 25 เท่ากับ 15625 Hz ความถี่หักเหทางแนวตั้งจึงเท่ากับ 50 Hz นั่นเอง

จากรูปที่ 1.1 ได้แสดงวิธีการของการสแกนแบบสอดแทรกของระบบโทรทัศน์ ที่ใช้กันอยู่ในปัจจุบันโดยเมื่อเริ่มการสแกน สมมุติว่าการเริ่มสแกนในกรณีนี้ใช้การสแกนจากเฟรมที่เป็นเส้นสแกนคี่ โดยเริ่มจาก A ซึ่งอยู่ทางด้านซ้ายและกวาดไปทางด้านขวานับเป็นเส้นสแกนที่ 1 แล้วจึงเริ่มสแกนเส้นที่ 3, 5, 7, 9 ต่อไปเรื่อย ๆ จนกระทั่งได้ 312.5 เส้นในระบบ CCIR ซึ่งก็จะเป็นจุด B จุดนี้การสแกนจะถูกหักเหทางแนวตั้ง ซึ่งเรียกว่าวอร์ติคัลรีเทรซ (vertical Retrace) หรือสัญญาณฟลายแบ็ค ดึงกลับไปยังตำแหน่งจุด C เพื่อเริ่มต้นการสแกนเส้นคู่ใหม่



รูปที่ 1.1 แสดงการสแกน เส้นคู่ และ คี่

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

1.3 ทฤษฎีสัญญาณภาพโทรทัศน์

การสร้างภาพโทรทัศน์ทั่วๆ ไปใช้หลอดภาพแบบ CRT (Cathode Ray Tube) ทำหน้าที่เปลี่ยนสัญญาณภาพที่อยู่ในรูปของสัญญาณไฟฟ้าให้เป็นภาพปรากฏที่จอ การทำงานของหลอดภาพ เริ่มจากสัญญาณไฟฟ้าที่ถูกป้อนเข้าที่ขั้วแคโถด (Cathode) ของหลอดภาพ ขณะเดียวกันที่ขั้วแคโถดจะถูกทำให้ร้อน อิเล็กตรอน (Electron) จะเกิดการกระจายตัว แต่เนื่องจากที่บริเวณด้านหน้าของหลอดภาพหรือขั้วแอโนด (Anode) มีแรงดันไฟบวกสูงมาก อิเล็กตรอนซึ่งมีศักย์เป็นลบเคลื่อนที่ไปหาศักย์บวกที่ขั้วแอโนดอย่างรวดเร็ว ในระหว่างทางต้องผ่านขั้วกริด (Grid) ทำให้เกิดการรวมตัวเป็นลำอิเล็กตรอน (Electron Beam) เมื่อไปตกกระทบที่ผิวด้านหน้าของจอภาพที่ฉาบไว้ด้วยสารฟอสเฟอร์ (Phosphor) จึงทำให้เกิดแสงสว่างขึ้น และจะสว่างมากหรือน้อยขึ้นอยู่กับปริมาณอิเล็กตรอนที่ตกลงมากระทบ นั่นคือถ้าสัญญาณภาพมีระดับแรงดันสูง ปริมาณอิเล็กตรอนที่ออกจากขั้วแคโถด (Cathode) ก็มีมาก บนจอก็สว่างมาก สำหรับหลอดภาพโทรทัศน์ จะเรียกในส่วนของอุปกรณ์ปล่อยอิเล็กตรอนว่า ปืนอิเล็กตรอน (Electron gun) การยิงอิเล็กตรอนออกจากปืนอิเล็กตรอนนั้น ยังไม่อาจทำให้เกิดเป็นภาพได้ แต่จะทำให้เกิดแสงเพียงจุดเดียว เพราะลำอิเล็กตรอนยังไม่ทำให้เกิดการหักเห สิ่งสำคัญที่ทำให้อิเล็กตรอนหักเหคือ สนามแม่เหล็กไฟฟ้าที่โยักคอล์ย (Yoke Coil) เรียกการหักเหนี้ว่า การกวาด หรือ การสแกน (Scan)

ภาพๆ หนึ่งของโทรทัศน์ขาวดำ ประกอบด้วยจุดขาวและจุดดำเป็นจำนวนมาก จุดเหล่านี้เรียกว่า ส่วนประกอบของภาพ (Picture Element) ดังได้กล่าวมาแล้วว่าภาพที่สร้างขึ้นที่จอภาพของโทรทัศน์ได้จากการกวาดไปมาของลำอิเล็กตรอนจนเต็มหน้าจอ การกวาดทำให้เกิดเส้นเรียกว่า เส้นสแกน (Scan Line) จำนวนเส้นสแกนจึงมีผลต่อความละเอียดของภาพ ถ้าเส้นสแกนน้อยภาพก็จะดูหยาบ สำหรับภาพสีก็ใช้หลักการเดียวกัน แต่ 1 จุดภาพจะมีอยู่ 3 สี จึงต้องมีปืนอิเล็กตรอน 3 กระบอก สำหรับกำเนิดลำอิเล็กตรอน คือ สีแดง (Red) , สีเขียว (Green) , สีน้ำเงิน (Blue) ซึ่งเป็นอิเล็กตรอนแม่สี

ระบบโทรทัศน์ที่ใช้ในประเทศไทยเป็นระบบ PAL (Phase Alternating Line) มีจำนวนเส้นสแกนทั้งหมด 625 เส้นต่อภาพ แต่ส่วนที่เป็นข้อมูลภาพมีเพียง 576 เส้น ที่เหลือจากนี้เป็นส่วนของเส้นสะบัดกลับทางแนวตั้ง ซึ่งบังคับไม่ให้ปรากฏบนจอ โดยสัญญาณแบลงค์กิ้ง (Blanking) ระบบ PAL ใช้ความถี่ในการสร้างภาพจำนวน 25 ภาพต่อวินาที และเพื่อเป็นการลดการกระพริบของภาพจึงใช้วิธีการสแกนแบบสลับเส้น (Interlaced Scanning) วิธีนี้ 1 ภาพจะทำการสแกน 2 ครั้ง การสแกน 1 ครั้งจะทำการสแกน 1 ฟิลด์ (Field) และการสแกน 2 ฟิลด์ เราเรียกว่า 1 เฟรม (Frame)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

1.4 องค์ประกอบพื้นฐานของสัญญาณภาพ

เครื่องรับสัญญาณโทรทัศน์ใช้สัญญาณภาพ (Video Signal) ในการกำเนิดภาพที่จอ ทีวีวอลล์ (TV WALL) ก็อาศัยสัญญาณภาพเหมือนกัน ในระบบ PAL สัญญาณภาพประกอบไปด้วยส่วนที่สำคัญ ๆ คือ

- สัญญาณลูมิแนนซ์ (Luminance Signal) หรือสัญญาณความสว่างและมืดบนจอภาพ จนมองเห็นเป็นภาพขาวดำ
- สัญญาณโครมิแนนซ์ (Chrominance Signal) หรือสัญญาณสีรวม เป็นสัญญาณที่ทำให้ภาพเกิดเป็นสีต่างๆ คือ สัญญาณสีแดง (Red) , สีเขียว (Green) , และสีน้ำเงิน (Blue) แต่ในการแพร่ภาพสัญญาณโทรทัศน์เพื่อประหยัดช่องสัญญาณจึงส่งสัญญาณสีนี้ในรูปผลต่างของสัญญาณความสว่างคือ R-Y , B-Y , G-Y แต่สัญญาณ G-Y ไม่ได้ถูกนำรวมกับสัญญาณภาพด้วย เพราะสัญญาณสีเขียวสามารถสร้างจากสัญญาณ R-Y และ B-Y ที่เครื่องรับโทรทัศน์ได้
- สัญญาณซิ้งค์ทางแนวตั้ง (Vertical synchronize) สัญญาณนี้ควบคุมให้เส้นสแกนสะบัดกลับไปด้านบนของจอภาพเมื่อเส้นสแกนกวาดมาถึงเส้นสุดท้ายของฟิลด์ภาพเพื่อเริ่มกวาดฟิลด์ภาพใหม่
- สัญญาณซิ้งค์ทางแนวนอน (Horizontal synchronize) สัญญาณนี้ควบคุมให้เส้นสแกนสะบัดกลับเพื่อเริ่มกวาดเส้นใหม่มีความถี่ 15625 Hz
- สัญญาณแบล็งค์กิ้ง (Blanking) สัญญาณนี้ควบคุมการเลยเส้นที่เกิดจากการสะบัดกลับของเส้นสแกนไม่ให้แสดงบนจอมี 2 ชนิด คือ สัญญาณแบล็งค์กิ้งทางแนวตั้งและทางแนวนอน
- สัญญาณอีควอไลซิ่ง (Equalizing) มีหน้าที่ควบคุมให้การสแกนแต่ละเส้นถูกต้องตามตำแหน่งของมัน

1.4.1 สัญญาณลูมิแนนซ์ (Luminance Signal)

สัญญาณที่ออกจากภาค IF รวมมีขนาดราว 2 โวลท์ ซึ่งจะต้องถูกดีเทคเป็นสัญญาณคอมโพสิทวีดีโอ (Composite Video) โดยทั่วไปสัญญาณขาวดำ สัญญาณสีสัญญาณเสียง จะแยกออกไปยังภาคที่เกี่ยวข้องที่วงจรดีเทคเตอร์นี้

สำหรับเครื่องรับขาวดำจะนำเฉพาะสัญญาณขาวดำ (Y) ไปใช้ในการสร้างภาพโดยการนำสัญญาณ (Y) ที่ได้จากการดีเทคกรอบ (Envelope) มีขนาดราว 1 โวลท์ ไปขยายให้มีขนาดเพิ่มเป็นราว 150 โวลท์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

1.4.2 สัญญาณโครมิแนนซ์ (Chrominance Signal)

ซึ่งได้จากภาคโครมิแนนซ์ ภาคนี้บางทีเรียกว่า ภาคดีโคเดอร์สี (color Decoder) ทำหน้าที่หลักคือ แยกสัญญาณความแตกต่างสีออกจากสัญญาณคอมโพสิทสี (Color Composite) ซึ่งส่งมาโดยปราศจากพาหะรอง ภาคดีโคเดอร์สีนี้ทำงานตรงข้ามกับภาคเอนโคเดอร์ (Encoder) ที่เครื่องส่ง กล่าวคือผลิตพาหะรองขึ้นเองเพื่อนำไปใช้ในกรรมวิธีดีมอดูเลชั่น (Demodulation)

สัญญาณโครมาที่เข้ามายังภาคนี้จะเป็นวงจรขยายหลายวงจร ซึ่งจูน (Tune) ไว้ที่ความถี่เท่ากับความถี่รอง 4.43 MHz สัญญาณโครมาที่มีขนาดเพียงไม่กี่สิบมิลลิโวลท์ก็จะเพิ่มขึ้นเป็นหลายโวลท์ เพื่อใช้ในการดีมอดูเลตในเครื่องรับระบบ PAL ส่วนใหญ่มักจะมีดีเลย์ลายน์ เพื่อหน่วงเวลาสัญญาณโครมา 1 เส้นเป็นเวลา 64 ไมโครวินาที การหน่วงเวลานี้เป็นส่วนหนึ่งของระบบ PAL เพื่อเพิ่มภูมิต้านทานต่อความผิดพลาดของสัญญาณโครมาในระหว่างทางจากเครื่องส่งมายังเครื่องรับ กรรมวิธีของ PAL ก็คือ การเฉลี่ยสัญญาณโครมาที่รับได้ในช่วงเวลา 2 เส้น (เฉลี่ยระหว่างสัญญาณเส้น ที่หน่วงเวลากับเส้นปัจจุบัน) ผลลัพธ์ที่ได้จากกรรมวิธีนี้จะเป็นสัญญาณ U และ V เพื่อนำไปดีมอดูเลตต่อไป เมื่อดีมอดูเลตแล้วก็จะได้สัญญาณความแตกต่างสี (R-Y) กับ (B-Y) ซึ่งยังต้องนำ (R-Y) และ (B-Y) มาผสมกันเพื่อคืนตัวสัญญาณ (G-Y) แล้วจึงป้อนสัญญาณความแตกต่างสีทั้งสามให้หลอดภาพ

ในภาคนี้จะมีการผลิตสัญญาณพาหะรองขึ้นเพื่อใช้ในการดีมอดูเลต เฟสและความถี่ของสัญญาณพาหะรองจะต้องเข้าจังหวะกับเครื่องส่ง การเข้าจังหวะหรือการซิ้งค์ของสัญญาณพาหะรองนี้ถูกควบคุมให้ถูกต้องโดยวงจรออสซิลเลเตอร์พาหะรองหรือ ซับออส (Sub Osc)กับสัญญาณเบิสต์

1.4.3 เบิสต์ (Burst)

สัญญาณเบิสต์หรือสัญญาณซิ้งค์สีถูกแยกออกจากสัญญาณคอมโพสิทสี (Composite) โดยการเกต (Gate) ปิดเปิดประตูให้วงจรขยายที่เรียกว่า วงจรขยายเกต (Gated Amplifier) เลือกทำการขยายเฉพาะในช่วงเวลาที่มีสัญญาณเบิสต์มาเท่านั้น สัญญาณที่นำมาใช้ควบคุมการเกตก็คือ ฟลายแบ็คพัลซ์นั่นเอง

สัญญาณพาหะรองที่ได้จะป้อนไปยังวงจรดีมอดูเลต 2 ชุดคือ (R-Y) กับ (B-Y) สัญญาณที่ป้อนนี้จะต่างเฟส (Phase) กันอยู่ 90 องศา นอกจากนี้สัญญาณที่จะป้อนไปยังชุดของ (R-Y) ซึ่งต้องผ่านวงจรสวิทช์ PAL เพื่อสลับเฟสในการดีมอดูเลตให้เข้าจังหวะกับการสลับเฟสที่เครื่องส่ง

วงจรสวิทช์ PAL ควบคุมการสวิทช์โดยสัญญาณไอเดนต์ที่ได้จากการสวิงหรือสลับเฟสของสัญญาณเบิสต์ (Swinging Burst)

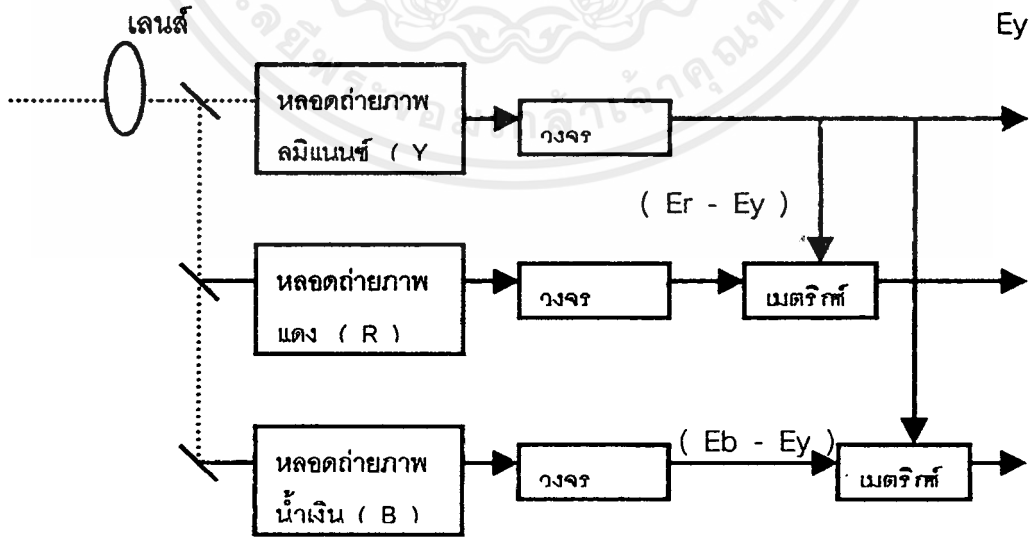
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ในการดีเทคสัญญาณเบิสต์นั้น ความแรงหรือแอมปลิจูดของสัญญาณเบิสต์ที่ได้จะนำไปใช้ควบคุมอัตราขยายของวงจรขยายโครมา ทำนองเดียวกับการ AGP ในภาค IF วัตถุประสงค์ของการควบคุมอัตราขยายของวงจรขยายโครมานี้ หรือ ACC (Automatic Color Control) ก็เพื่อให้ระดับความเข้มของสีสม่ำเสมอ นอกจากนี้ในกรณีที่ไม่มีเบิสต์ ภาพที่ปรากฏบนจอจะกลายเป็นขาวดำ มิฉะนั้นจะเห็นนอยส์ (Noise) หรือ สโนว์ (Snow) ของสีบนจอดูไม่สบายตา วงจรเปิดปิดภาพสีนี้เราเรียกว่าวงจรกำจัดสี (Color Killer) นั่นเอง เมื่อวงจรกำจัดสีทำงาน (ไม่มีเบิสต์) ภาพจะถูกตัดสีออกกลายเป็นขาวดำ สัญญาณที่ใช้ดีเทคเรียกว่า เบิสท์เกต หรือสัญญาณ sandcastle

1.5 การกำเนิดสัญญาณแม่สี R , G , B และสัญญาณ Y

หลักการของการส่งภาพในระบบโทรทัศน์สีก็คือ ตรวจสอบว่าแม่สีนั้นประกอบด้วยแม่สีเป็นปริมาณมากน้อยเพียงใด แล้วส่งข้อมูลของปริมาณแม่สีออกไปเครื่องรับ เครื่องรับก็จะนำข้อมูลปริมาณแม่สีนี้มาปรับแม่สีแล้วผสมกันตามสัดส่วน ก็จะได้ภาพสีที่ต้องการ ลองมาเปรียบเทียบกับระบบโทรทัศน์ขาวดำ ข้อมูลที่ส่งไปไม่ใช่ปริมาณแม่สีแต่เป็นปริมาณความสว่าง

วิธีตรวจปริมาณสีของภาพทำได้โดยการแยกออกไปใช้กระจกไดโครอิก (Dicchoic Mirror) กระจกนี้มีคุณสมบัติให้แสงที่เราต้องการผ่านได้ ส่วนแสงที่ไม่ต้องการจะสะท้อนทิ้งไป ด้วยกระจกนี้เราสามารถแยกแสงสีแดง สีเขียว และสีน้ำเงินออกมา แล้วจึงนำแม่สีแสงที่แยกออกมานี้ไปแปลงเป็นสัญญาณไฟฟ้าด้วย *หลอดถ่ายภาพ*



รูปที่ 1.2 แสดงการจัดวางของกระจกและหลอดภาพอย่างง่าย

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากรูปที่ 1.2 จะเห็นได้ว่าแสงจากภาพสะท้อนผ่านเลนส์ของกล้องถ่ายโทรทัศน์สี แยกผ่านที่กระจกไดโครอิก 3 ชุด เป็นแม่สีทั้ง 3 คือ R, G, B แปลงเป็นสัญญาณไฟฟ้าที่หลอดถ่ายภาพ และขยายสัญญาณให้โตขึ้นโดยมีขนาดที่เหมาะสม จะถูกนำมาผ่านกรรมวิธีบางอย่างก่อนที่จะไปเข้าภาคเครื่องส่งออกอากาศต่อไป

สัญญาณแม่สีจากกล้องถ่ายภาพทั้ง 3 คือ R, G, B จะไม่สามารถส่งออกไปได้ เพราะต้องมีกรรมวิธีที่เหมาะสมเสียก่อน อันเนื่องมาจากต้องปรับให้ระบบโทรทัศน์สีสามารถใช้งานร่วมกับระบบโทรทัศน์ขาวดำที่มีอยู่เดิมได้ ด้วยเหตุนี้เองทำให้ระบบโทรทัศน์สีมีความซับซ้อนกว่าระบบโทรทัศน์ขาวดำ การใช้งานร่วมกันได้นี้มีศัพท์เทคนิคอยู่ 2 คำ คือ

คอมพาติเบิล (Compatible) หมายถึง ผู้ที่ใช้โทรทัศน์ขาวดำรับรายการโทรทัศน์ที่ส่งมาเป็นสี สามารถรับภาพขาวดำได้

รีคอมพาติเบิล (Recompatible) หมายถึง ผู้ที่ใช้โทรทัศน์สีรับรายการโทรทัศน์ที่ส่งมาเป็นขาวดำ ก็สามารถรับภาพได้เป็นขาวดำ

เราสามารถสร้างสัญญาณขาวดำจากสัญญาณแม่สี R, G, B ได้ จะเรียกสัญญาณขาวดำว่า สัญญาณวาย (Y) หรือสัญญาณลูมิแนนซ์ (Luminance) ลูมิแนนซ์ หมายถึง สว่าง ในที่นี้สัญญาณลูมิแนนซ์ (Y) คือ สัญญาณความสว่าง วิธีการสร้างสัญญาณ Y ก็คือนำสัญญาณ R, G, B มารวมกัน (ทางไฟฟ้า) ดังสมการ

$$Y = 0.30R + 0.59G + 0.11B \qquad (1)$$

สูตรการผสมสัญญาณแม่สี R, G, B ให้เป็นสัญญาณขาวดำ (Y) จะมีความสว่างตรงกับความรู้สึกของตามนุษย์

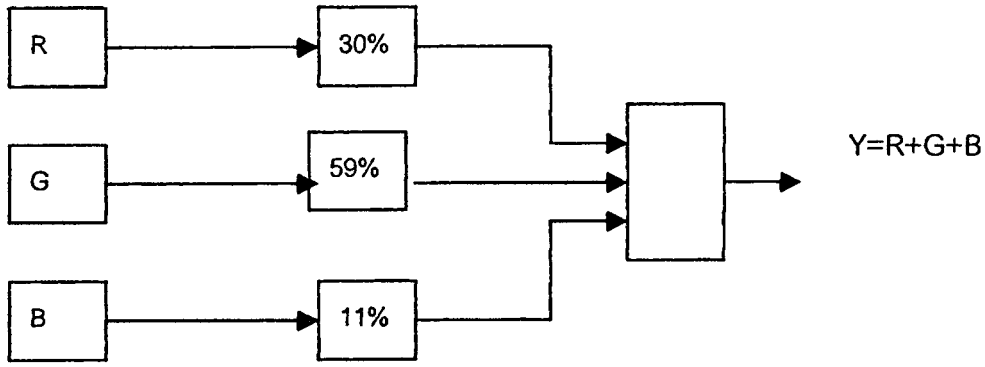
สำหรับสีขาว ส่วนผสมแม่สีคือ R=1 G=1 B=1
แทนค่าในสมการ (1) จะได้ Y=1 สีขาวสว่าง 100%

สำหรับสีแดง ส่วนผสมแม่สีคือ R=1 G=0 B=0
แทนค่าในสมการ (1) จะได้ค่า Y=0.30 สีแดงสว่าง 30%

สำหรับสีเขียว ส่วนผสมแม่สีคือ R=0 G=1 B=0
แทนค่าในสมการ (1) จะได้ค่า Y=0.59 สีเขียวสว่าง 59%

สำหรับสีน้ำเงิน ส่วนผสมแม่สีคือ R=0 G=0 B=1
แทนค่าในสมการ (1) จะได้ค่า Y=0.11 สีน้ำเงินสว่าง 11%

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 1.3 แสดงสัดส่วนของแม่สี

1.5.1 กรรมวิธีสอดแทรกสัญญาณสี

สัญญาณสีที่ส่งไปยังเครื่องรับโทรทัศน์สีนั้นต้องการเพียงพอเพื่อให้เครื่องรับสามารถคืนตัวสัญญาณแม่สีในการสร้างภาพสีได้ ในการปฏิบัติเราเลือกส่งสัญญาณความแตกต่างสี (Color Difference) ซึ่งเป็นผลต่างของสัญญาณแม่สีกับสัญญาณ Y และสัญญาณความแตกต่างสีก็คือ (R-Y) , (G-Y) และ (B-Y) จากตารางที่ 1.1 จะเห็นว่าสีเหลืองประกอบด้วยสัญญาณ R=1 หน่วย , G=1 , B=0 สัญญาณ Y ของสีเหลืองมีความสว่าง 89 เปอร์เซ็นต์ (Y=0.89) สำหรับสัญญาณความแตกต่างสี (R-Y) = 0.11 , (G-Y) = 0.11 และ (B-Y) = -0.89

เราทดลองคำนวณค่าสัญญาณความแตกต่างสีของสีต่างๆนี้ แสดงในตารางที่ 1.1 จะพบว่าค่าเฉลี่ยของสัญญาณความแตกต่างสี (R-Y) = 0.47, (G-Y) = 0.27, (B-Y) = 0.59 ซึ่งไม่เท่ากัน จะเห็นว่ามุมเฉลี่ยของ (R-Y) กับ (B-Y) โตกว่าของ (G-Y) เราจึงเลือกส่งสัญญาณ (R-Y) และ (B-Y) ไปให้เครื่องรับ (ส่วน (G-Y) ให้เครื่องรับผลิตขึ้นมาใหม่) การเลือกส่งสัญญาณที่มีขนาดใหญ่กว่ามีข้อดีตรงที่มีภูมิต้านทานต่อนอยส์ (Noise) มากกว่า

	R	G	B	Y	(R-Y)	(G-Y)	(B-Y)
เหลือง	1.0	1.0	0	0.89	0.11	0.11	-0.89
น้ำเงิน	0	1.0	1.0	0.7	-0.7	0.3	0.3
เขียว	0	1.0	0	0.59	-0.59	0.14	-0.59
ม่วงแดง	1.0	0	1.0	0.41	0.59	-0.41	0.59
แดง	1.0	0	0	0.3	0.7	-0.3	-0.3
น้ำเงิน	0	0	1.0	0.11	-0.11	-0.11	0.89
ค่าทางคณิตศาสตร์ของ (R-Y) , (G-Y) และ (B-Y)					0.47	0.27	0.59

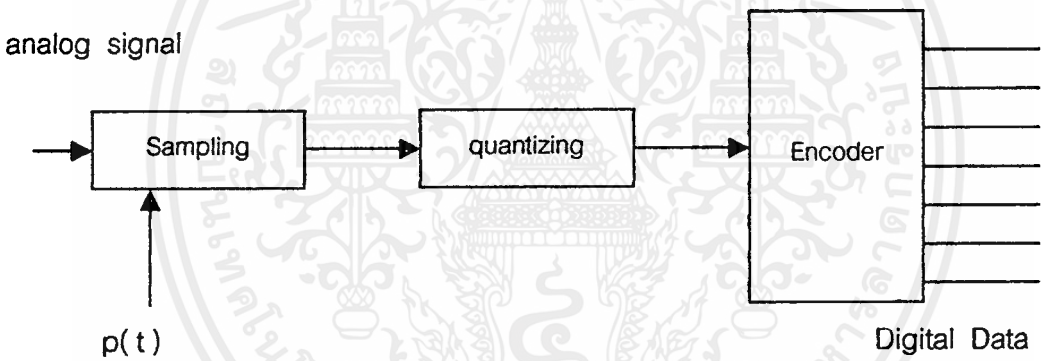
ตาราง 1.2 แสดงความต่างสี

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เหตุที่เราส่งสัญญาณสี (R-Y) กับ (B-Y) ไปเพียงสองสัญญาณ ก็เพราะว่าสัญญาณทั้งสองกับสัญญาณ Y เพียงพอที่จะให้เครื่องรับโทรทัศน์สีสามารถคืนรูปสัญญาณแม่สี R,G,B เพื่อสร้างภาพสีได้ จะเห็นว่า เครื่องรับสามารถผลิตสัญญาณ (G-Y) ขึ้นเองได้โดยการผสมสัญญาณ (R-Y) กับ (B-Y) ตามสัดส่วนที่พอเหมาะ สำหรับผู้ที่สนใจการคำนวณทางคณิตศาสตร์

1.6 การแปลงสัญญาณอนาล็อกเป็นดิจิตอล

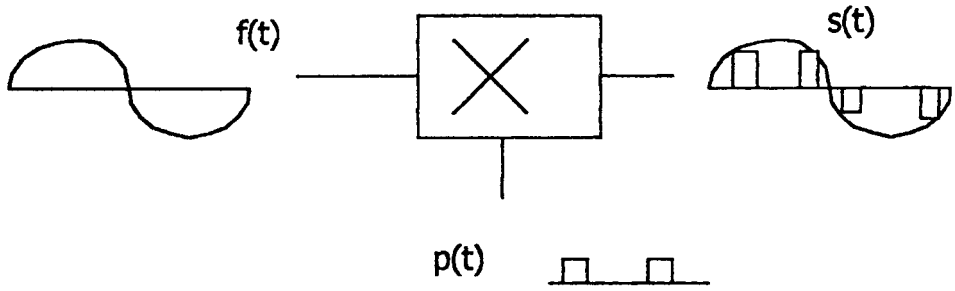
เนื่องจากในการที่จะแบ่งสัญญาณภาพออกเป็นส่วน ๆ นั้นการกระทำทางอนาล็อกทำได้ยากมาก จึงจำเป็นต้องแปลงสัญญาณอนาล็อกเป็นสัญญาณดิจิตอล (Analog to Digital Converter : A/D) ก่อนแล้วจึงมาจัดการข้อมูลได้ ซึ่งวิธีการแปลงสัญญาณทั่วไปดังรูปที่ 1.4



รูปที่ 1.4 แสดงบล็อกไดอะแกรมของการเปลี่ยนแปลงสัญญาณอนาลอกเป็นดิจิตอล

ซึ่งส่วนประกอบที่สำคัญอย่างยิ่งคือ การแซมปลิ้ง (Sampling) เพราะความผิดพลาดของสัญญาณดิจิตอลที่แปลงมาจากสัญญาณอนาลอกนั้นจะมากหรือจะน้อยขึ้นอยู่กับความสัมพันธ์ของความถี่แซมปลิ้งกับความถี่สูงสุดของสัญญาณอนาลอก โดยมีทฤษฎีที่เกี่ยวข้อง คือ ทฤษฎีการแซมปลิ้ง (Sampling Theory) ซึ่งความสัมพันธ์ตามทฤษฎีการแซมปลิ้งจะสังเกตุได้ง่ายจากรูปคลื่น

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 1.5 แสดงการแซมปลิ้ง

จากรูปที่ 1.13 จะได้ $S(t) = P(t) * F(t)$

เมื่อเราสังเกตุดู P(t) ซึ่งเป็นพัลส์ (Pulse) สี่เหลี่ยม ถ้านำมาเขียนเป็นสมการฟูเรียร์ (Fourier) ได้ดังนี้

$$P(t) = DC + a_0\cos\phi + a_1\cos\phi + a_2\cos\phi + ...$$

คือ P(t) ประกอบด้วยความถี่พื้นฐานรวมกับฮาร์โมนิกส์ (Harmonics) ที่เป็นเลขคี่ไปจนถึง ∞ และถ้าเราคูณ P(t) ด้วย f(t) เราจะได้ S(t)

$$S(t) = f(t)DC + (a_0\cos\phi)f(t) + a_0\cos3\phi + a_0\cos5\phi + ...f(t)\infty$$

เมื่อพิจารณาดูเทอมที่ 2 พบว่ามีรูปแบบเหมือน แอมปลิจูดมอดูเลชั่น (A.M.) ดังนั้นต้องเลือกความถี่แซมปลิ้ง ให้มีค่ามากกว่าสองเท่าของความถี่สูงสุดของสัญญาณก่อนที่จะมีการแซมปลิ้ง ซึ่งสัญญาณที่ได้ออกมาจากการแซมปลิ้งนี้เรียกว่า พัลซ์แอมบ์ลิจูดมอดูเลชั่น หรือ PAM : Pulse Amplitude Modulation)

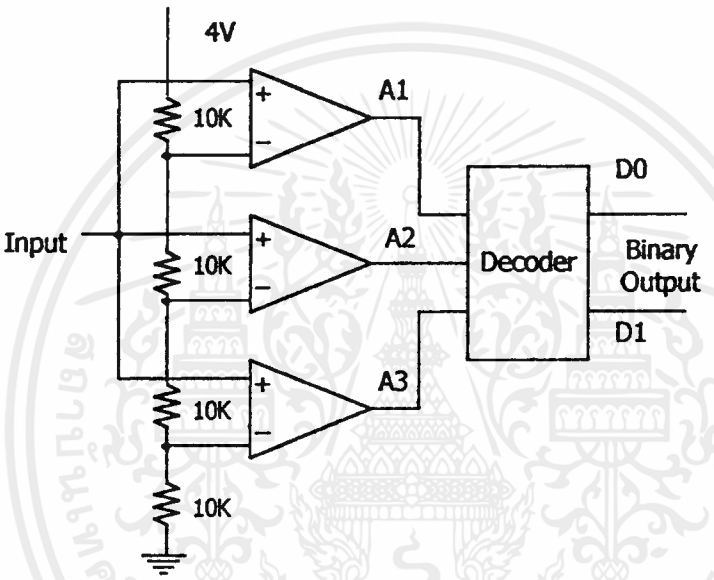
ส่วนภาคควอนไตซิ่ง (Quantizing) นั้นเป็นการจัดระดับของสัญญาณ PAM ซึ่งอาจมีระดับที่แน่นอน ให้อยู่ในระดับที่แน่นอน ซึ่งในขั้นตอนนี้ก็จะมีความผิดพลาดจากการจัดระดับที่เรียกว่า ควอนไตซิ่งเออเรอร์ (Quantizing Error) ซึ่งจะมีค่ามากหรือน้อยก็ขึ้นอยู่กับว่าเราแบ่งระดับของสัญญาณว่าละเอียดเพียงใด ในโครงงานนี้ใช้การแบ่งระดับ 256 ระดับ ซึ่งเพียงพอสำหรับสัญญาณเสียงและสัญญาณภาพ

ลักษณะของสัญญาณของภาคควอนไตซิ่ง และข้อผิดพลาดของสัญญาณ เมื่อได้รับสัญญาณควอนไตซิ่งแล้วนั้น ก็จะนำไปเข้าวงจรเข้ารหัสให้เป็นสัญญาณดิจิตอลซึ่งมีสองระดับคือ " 0 " กับ " 1 " เท่านั้น จากการแบ่งเป็น 256 ระดับ เมื่อคิดเป็นเลขฐานสองแล้วเราจะได้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ข้อมูล 8 บิทโดยกำหนดให้ระดับต่ำสุดของสัญญาณควอนไตซิ่ง มีค่าท่ากับ 1111 1111 ดังนั้น ข้อมูลที่ออกมาเป็นสัญญาณดิจิตอลที่มีค่าระดับตามที่ตั้งไว้

แฟลชเอทูดี (Flash A/D) คือวงจรแปลงสัญญาณอนาลอกเป็นสัญญาณดิจิตอลที่มีความเร็วสูงในการเปลี่ยนสัญญาณ เนื่องจากแฟลช เอทูดี นั้นจะใช้การโปรแกรมเอาท์พุทไว้ก่อนแล้วส่วนวงจรเปรียบเทียบจะใช้ออปแอมป์ ที่มีจำนวนเท่ากับจำนวนของสัญญาณเอาท์พุท ที่จะเกิดขึ้นได้ เช่นถ้าสัญญาณเอาท์พุทเป็นสัญญาณดิจิตอล 8 บิท จะใช้ออปแอมป์เท่ากับ 2^8= 256 ตัว ซึ่งแต่ละตัวก็จะมีแรงดันอ้างอิง ที่เป็นค่าคงที่อยู่ค่าหนึ่ง ตามระดับสัญญาณ



รูปที่ 1.6 แสดงวงจรแฟลช A/D Converter อย่างง่าย

เมื่อสัญญาณอินพุทเข้ามา จะถูกส่งไปให้กับออปแอมป์ทุกตัวเพื่อเปรียบเทียบกับแรงดันอ้างอิงของแต่ละตัว ถ้าสัญญาณอินพุทไปตรงกับออปแอมป์ตัวใดหรือสัญญาณอินพุทมีระดับแรงดันที่สูงกว่าระดับแรงดันอ้างอิง ก็จะเกิดสัญญาณเอาท์พุทออกมา โดยที่เมื่อได้สัญญาณเอาท์พุทแล้วก็จะส่งสัญญาณเอาท์พุทนั้นไปให้กับวงจรประมวลผล เพื่อจัดหาค่าสัญญาณดิจิตอล ซึ่งการเปลี่ยนสัญญาณในรูปแบบนี้ไม่ต้องใช้วงจรนับ และป้อนกลับมาเปรียบเทียบทีละค่า จึงทำให้มีความเร็วในการเปลี่ยนสัญญาณสูง จึงเหมาะที่จะนำไปใช้งานเกี่ยวกับสัญญาณภาพซึ่งมีความถี่สูง ในโครงงานนี้ใช้เอทูดีแบบแฟลช ซึ่งเป็นไอซีเบอร์ CA3318 ของบริษัท HARRIS

จากรูปที่ 1.7 ใช้ลอจิกเกทเป็นวงจรเปลี่ยนระดับสัญญาณดิจิตอล โดยเริ่มจาก เมื่อสัญญาณอินพุทเท่ากับ 0 โวลท์ จะทำให้เอาท์พุททุกตัวของตัวเปรียบเทียบเป็น "0" หมดและเมื่อ

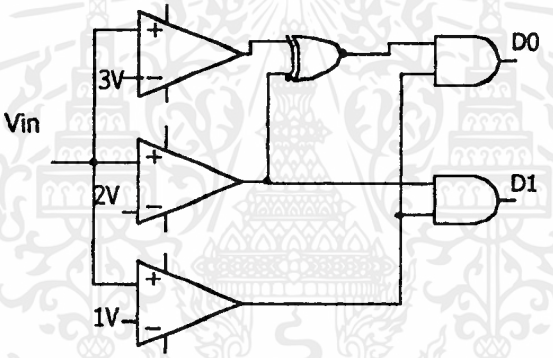
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ผ่านเอ็กคูซีฟนอร์เกท (XNOR GATE) จะให้เอาท์พุทเป็น "1" แต่เมื่อผ่าน แอนด์เกท (AND GATE) จะได้เอาท์พุทเป็น "0" เพราะฉะนั้นสัญญาณเอาท์พุทที่ D0 = " 0 " และสัญญาณเอาท์พุทที่ D1 = " 0 " เมื่อสัญญาณอินพุทมีค่าเท่ากับ 1 โวลท์ จะทำให้เกิดเอาท์พุทที่ตัวเปรียบเทียบตัวที่ 3 ออกมาเป็น " 1 " ซึ่งเมื่อนำไปแอนด์กับลอจิกที่ได้จาก XNOR ซึ่งมีค่าเป็น " 1 " ทำให้สัญญาณเอาท์พุทที่ D0 = " 1 " ส่วน D1 ยังเท่ากับ 0 เช่นเดิม

เมื่อสัญญาณอินพุทเท่ากับ 2 โวลท์ ทำให้เอาท์พุทตัวที่ 2 และ 3 มีค่าเป็น " 1 " ทำให้สัญญาณเอาท์พุทที่ D0 = " 0 " ส่วนที่ D1 = " 1 "

เมื่อสัญญาณอินพุทเท่ากับ 3 โวลท์ ทำให้ทุกเอาท์พุทของตัวเปรียบเทียบมีค่าเป็น " 1 " หมด ทำให้สัญญาณเอาท์พุท D0 = " 1 " และที่ D1 = " 1 "

ดังนั้นเราจึงสรุปได้ดังตาราง 1.2



รูปที่ 1.7 แสดงวงจรโดยใช้ลอจิกเกท

Analog Input (Volts)	Compare Output			Binary Output	
	A1	A2	A3	D1	D2
0-1	0	0	0	0	0
1-2	1	0	0	0	1
2-3	1	1	0	1	0
3-4	1	1	1	1	1

ตารางที่ 1.3 แสดงค่าลอจิกที่เอาท์พุทต่าง ๆ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากรูปวงจร จะได้ผลตอบสนองต่อแรงดันอินพุทที่เป็นอนาล็อกได้ 4 ระดับ และแต่ละระดับจะมีความแตกต่างกัน 1 โวลท์ ดังนั้นความละเอียด (Resolution) ของวงจรมีขนาด 2 บิท เราสามารถหาความละเอียดของวงจรได้จากจำนวนของตัวเปรียบเทียบนั่นคือ

$$\text{จำนวนเปรียบเทียบ} = 2^n - 1$$

เมื่อ n = ความละเอียด

ยกตัวอย่างเช่น ต้องการความละเอียดขนาด 8 บิท

จำนวนตัวเปรียบเทียบ $= 2^8 - 1$

$= 255$ ตัว

เมื่อเราใช้สัญญาณดิจิตอลขนาด 8 บิท ต้องใช้ตัวเปรียบเทียบถึง 255 ตัวซึ่งจะทำให้อุปกรณ์มีราคาสูง

จากลักษณะการต่อตัวเปรียบเทียบให้ขนานกันเพื่อให้ได้รับอินพุทพร้อม ๆ กัน เราจึงเรียกวงจรนี้ว่า วงจรแปลงสัญญาณอนาล็อกเป็นดิจิตอลแบบขนาน (Parallel A/D Converter) และเนื่องจากมันสามารถตอบสนองต่อสัญญาณอินพุทที่เป็นสัญญาณอนาล็อก และวงจรสามารถแปลงสัญญาณอนาล็อกเป็นสัญญาณดิจิตอลได้อย่างรวดเร็วมาก เราจึงเรียกได้อีกอย่างหนึ่งว่า วงจรแปลงสัญญาณอนาล็อกเป็นดิจิตอลแบบแฟลช (Flash A/D Converter)

ในโครงการนี้ใช้ไอซีเบอร์ CA3318 เป็นตัวแปลงซึ่งมีคุณสมบัติเด่นของไอซีเบอร์นี้คือ มีอัตราการแซมปลิ้ง (Sampling Rate) สูงถึง 15 MHz ทำให้สามารถใช้สัญญาณภาพโดยตรง ซึ่งจะให้ได้สัญญาณภาพที่มีคุณภาพ

1.7 การแปลงสัญญาณดิจิตอลเป็นอนาล็อก

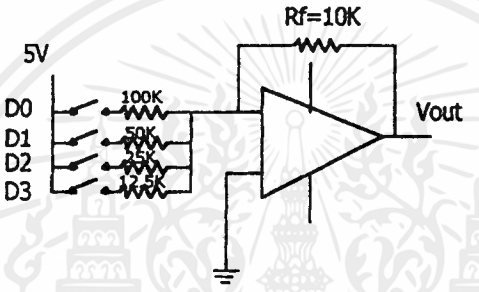
การแปลงสัญญาณดิจิตอลเป็นอนาล็อก (Digital To Analog Converter D/A)เป็นการนำสัญญาณดิจิตอลที่มีอยู่สองระดับคือ " 0 " กับ " 1 " นำมาผ่านวงจรเอทูดีและออกมาเป็นสัญญาณอนาล็อก ซึ่งวงจรดีทูเอที่เป็นพื้นฐานและที่นิยมใช้กันอยู่โดยทั่วไปนั้นมีอยู่ 2 แบบด้วยกันคือ

1. ใช้แบบตัวต้านทานหลายค่า (Binary Weighted Resister D/A Convert) วงจรเปลี่ยนสัญญาณดีทูเอชนิดนี้ใช้ตัวต้านทานแบบต่างๆและออปแอมป์เพื่อเปลี่ยนระดับสัญญาณลอจิกอยู่ 2 ระดับ เป็นแรงดันที่ได้สัดส่วนกัน รูปที่ 1.8 แสดงวงจรเปลี่ยนสัญญาณ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สำนักหอสมุดกลาง พระจอมเกล้าลาดกระบัง

ดิจิตอลขนาด 4 บิท ออปแอมป์ที่มีอัตราการขยายสูงมาก (โดยทั่วไปจะสูงกว่า100000 เท่า) มีความต้านทานทางด้านเอาท์พุทต่ำ ความต้านทานทางด้านอินพุทมีค่าสูงมาก เมื่อเปลี่ยนการปิดเปิดสวิทช์ไปเรื่อย ๆ ก็เหมือนกับการป้อนลอจิกเข้าไป ซึ่งจะทำให้ได้เอาท์พุทมีค่าต่าง ๆ กัน ในการคำนวณหาค่าแรงดันที่ออกทางเอาท์พุทนั้น สามารถคำนวณแบบออปแอมป์ได้ แรงดันทางด้านเอาท์พุทจะเพิ่มขึ้นเป็นระดับ ๆ เหมือนขั้นบันได ดังนั้นอินพุท 4 บิท จึงทำให้ได้ระดับแรงดันทางด้านเอาท์พุท 16 ระดับ (2^4) แต่ละระดับต่างกัน -0.5 โวลท์ อาจจะกำหนดระยะห่างของแต่ละระดับได้โดยการเปลี่ยน Rf แต่ถ้าเราให้ Rf มีค่ามากเกินไป ระดับบนสุดจะขับออปแอมป์จนถึงจุดอิ่มตัว (ที่แรงดัน -14 โวลท์)



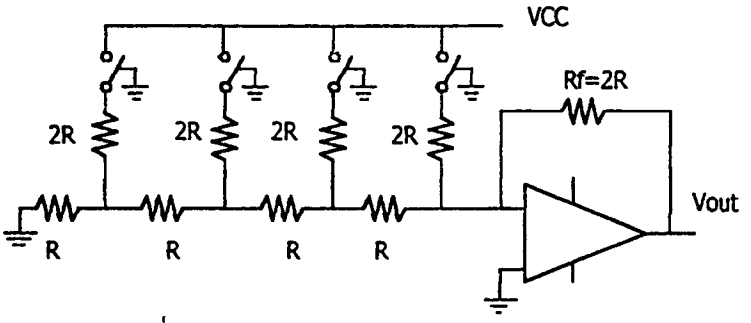
รูปที่ 1.8 วงจรการเปลี่ยนสัญญาณขนาด 4 บิท แบบความต้านทานหลายตัว

1. **แบบใช้ความต้านทาน 2 ค่า (R/2R Ladder D/A Converter)**

เมื่อวงจรดีทูเอมีขนาดมากกว่า 4 บิทวงจรตามรูปจะเกิดปัญหาเนื่องมาจากต้องการค่าความต้านทานที่มีช่วงกว้างมาก วิธีนี้จะใช้หลักการแบ่งไบนารีเวตเหมือนกัน แต่ใช้ค่าความต้านทานเพียง 2 ค่า ดังแสดงในรูป 1.9 ซึ่งกระแสจะถูกเปลี่ยนเป็นแรงดันโดยออปแอมป์และตัวต้านทานป้อนกลับ Rf เหมือนกับวงจรก่อนหน้านี้ วิธีนี้เรียกว่า การใช้ความต้านทาน 2 ค่า ซึ่งค่าความต้านทานที่ใช้งานเป็นอัตราส่วนที่ทำการคำนวณได้ง่าย ซึ่งการคำนวณนั้นเหมือนกับการคำนวณออปแอมป์ธรรมดา แม้ว่าดีทูเอแบบ R/2R Ladder จะวิเคราะห์ยากกว่าแบบที่ใช้ความต้านทานหลายค่า แต่จะง่ายกว่าสำหรับการต่อวงจรให้ถูกต้อง เพราะจะใช้ความต้านทานเพียง 2 ค่าเท่านั้น การเพิ่มจำนวนบิทก็ทำได้โดยการเพิ่มส่วนของ R/2R ลงไป

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

36896



รูปที่ 1.9 แสดงวงจร R/2R Ladder

1.8 คุณสมบัติของดีทูเอ

ลักษณะสมบัติของการแปลงสัญญาณดิจิตอลเป็นอนาล็อกกำหนดได้เป็นข้อ ๆ ดังต่อไปนี้ คือ

1. ความละเอียด (Resolution) ขึ้นอยู่กับจำนวนบิททางด้านอินพุท ตัวอย่างเช่น วงจรเปลี่ยนสัญญาณขนาด 8 บิท จะมีเอาท์พุท $2^8 = 256$ ระดับ ดังนั้นความละเอียดคือ1/256 เมื่อคิดเป็นเปอร์เซ็นต์ได้ 0.39 เปอร์เซ็นต์

2. ความถูกต้อง (Accuracy) คือความถูกต้องจากการเปรียบเทียบระหว่างเอาท์พุทจริงและเอาท์พุทที่ปรากฏ โดยคิดที่เต็มสเกล ถ้าวงจรเปลี่ยนสัญญาณมีอาท์พุทเต็มสเกล10 โวลท์ มีความถูกต้อง 0.2 เปอร์เซ็นต์ ดังนั้นความผิดพลาดสูงสุดคือ 0.002 * 10 = 20 มิลลิโวลท์ ในทางทฤษฎีแล้วความถูกต้องของวงจรเปลี่ยนสัญญาณดิจิตอลเป็นอนาล็อกไม่ควรต่ำกว่า 0.5 ของค่าที่บิทที่มีนัยสำคัญต่ำสุด (LSB)

3. โมโนลิติก (Monolithic) จะเรียกว่าเป็นโมโนโทนิกก็ต่อเมื่อไม่มีการกระโจนข้ามขั้นตอนย่านการใช้งาน

4. เวลาเซ็ทเอาท์พุท (Output Setting Time) เป็นเวลาที่เอาท์พุทของวงจรเปลี่ยนสัญญาณใช้ในการเพิ่มถึง 0.5 ของบิทที่มีนัยสำคัญต่ำสุด หลังจากมีการเปลี่ยนแปลงทางด้านอินพุท ถ้าวงจรเปลี่ยนสัญญาณถูกใช้ในย่านความถี่สูง อาจทำให้มีการเพิ่มแรงดันไม่ถึงค่าที่ถูกต้องทำให้เกิดการผิดพลาดขึ้นอีกประการหนึ่ง

ซึ่งเราต้องทราบถึงทฤษฎีเกี่ยวกับการแยกภาพของโครงการนี้ เพื่อให้เกิดความเข้าใจ คณะผู้จัดทำจึงกล่าวในบทต่อไป

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

1.9 **ดีเลย์ลายน์** (DELAY LINE)

ระบบ PAL มีหลักการเหมือนกับระบบ NTSC ทั้งหมด เว้นแต่ได้เพิ่มกรรมวิธีสลับเฟสของสัญญาณ

การส่งเฟสของสัญญาณสลับกันไปมาเส้นเว้นเส้น จะช่วยให้เกิดการผิดพลาดน้อยทางเฟสของสัญญาณโครมิแนนซ์ ส่วนประกอบที่สำคัญคือ ดีเลย์ลายน์

ส่วนประกอบที่สำคัญส่วนหนึ่งในดีโคเดอร์ระบบ PAL ก็คือ ตัวหน่วงเวลาหรือ ตัวดีเลย์ลายน์ ทำหน้าที่หน่วงให้สัญญาณวิ่งช้าลง เพื่อประโยชน์ในการแก้ความผิดพลาดทางเฟสในระบบ PAL

ดีเลย์ลายน์ที่เราต้องการจะต้องสามารถหน่วงเวลาได้ 64 ไมโครวินาที (ในระบบ 625 เส้น) เท่ากับระยะสแกนแนวราบ 1 เส้นพอดี ดีเลย์ลายน์มีหลายชนิด อาจจะเป็นดีเลย์ลายน์จริง ๆ หรือเป็นดีเลย์ลายน์แบบสร้างเทียม (Artificial Delay Line)

ดีเลย์ลายน์จริง ๆ นี้หมายถึง ดีเลย์ลายน์ทางไฟฟ้า (Electrical Delay Line) ซึ่งจำเป็นต้องใช้สายยาวมาก และไม่เหมาะสม ส่วนดีเลย์ลายน์แบบสร้างเทียมขึ้นนั้น อาศัยหลักการแปลงสัญญาณไฟฟ้าให้เป็นการสั่นเชิงกลคล้าย ๆ คลื่น และคลื่นนี้เคลื่อนที่ด้วยความถี่เหนือเสียงไปยังอีกจุดหนึ่ง ระยะทางเคลื่อนที่ต้องพอดีเท่ากับ 64 ไมโครวินาที การแปลงสัญญาณไฟฟ้าเป็นการสั่นด้วยความถี่ที่มีความเร็วเหนือเสียงนี้ ทำได้โดยอาศัยทรานดิวเซอร์ ดีเลย์ลายน์แบบเทียมนี้มีขนาดสั้น เหมาะที่จะใช้ในทางปฏิบัติเพราะความยาวจะลดลงราว ๆ หนึ่งแสนเท่าเมื่อเทียบกับดีเลย์ลายน์ทางไฟฟ้า ความเร็วทางไฟฟ้ามีค่า 300 ล้านเมตรต่อวินาที แต่ถ้าสัญญาณไฟฟ้าถูกเปลี่ยนเป็นคลื่นเชิงกลเคลื่อนที่ในแก้วดีเลย์ลายน์เทียมแล้ว ความเร็วจะเหลือเพียง 3000 เมตรต่อวินาที ดังนั้นถ้าเราต้องการหน่วงเป็นเวลา 64 ไมโครวินาที ความยาวของดีเลย์ลายน์จะยาวเพียง $3000 * 64 * 10^{-6} = 19.2$ เซนติเมตร

ดีเลย์ลายน์ทำด้วยวัสดุที่มีลักษณะคล้ายแท่งแก้ว บนแท่งแก้วทั้งสองหน้ายึดด้วยทรานดิวเซอร์ ข้อสำคัญของการหน่วงเวลาคือ ต้องไม่ขึ้นอยู่กับอุณหภูมิ แก้วทั่ว ๆ ไปจะไม่มีการเปลี่ยนแปลงขนาดต่ออุณหภูมิมาก จึงต้องใช้แก้วพิเศษในการทำดีเลย์ลายน์ เรียกว่า Isopaustic แก้วชนิดนี้เมื่ออุณหภูมิเปลี่ยนความเร็วของคลื่นจะสูงขึ้น แต่ขณะเดียวกันแก้วจะขยายตัวออกเป็นสัดส่วนสัมพันธ์กันระหว่างระยะทางกับความเร็วคลื่นจนได้เวลาในการหน่วงเป็น 64ไมโครวินาที

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 2
หลักการของเครื่องแบ่งภาพ

ทีวีวอลล์ (TV WALL)

การใช้จอภาพแสดงผลขนาดใหญ่ นอกจากจะดึงดูดความสนใจได้เป็นอย่างดีแล้ว ยังสามารถทำให้มองเห็นภาพได้อย่างชัดเจนแม้จะอยู่ในระยะไกล แต่อุปสรรคที่สำคัญของจอภาพแสดงผลขนาดใหญ่ก็คือ ต้นทุนในการผลิตสูง การติดตั้ง และการรักษาดูแลยาก เมื่อการสร้างจอภาพขนาดใหญ่มีความยุ่งยาก จึงมีผู้คิดค้นวิธีนำเอาจอภาพขนาดเล็ก ๆ หลายจอภาพมารวมกันเพื่อให้แสดงภาพเหมือนเป็นจอภาพขนาดใหญ่จอเดียว และนั่นคือ ทีวีวอลล์ (TV WALL) นั่นเอง

เทคโนโลยีหลายรูปแบบที่หลั่งไหลมาจากต่างประเทศ ในบางครั้งนั้นก็อาจจะพบกับปัญหาในการที่จะบัญญัติคำภาษาไทยที่เหมาะสมเพื่อใช้สื่อความหมายได้ บางครั้งการเขียนโดยวิธีการทับศัพท์ ดูเหมือนว่าจะทำได้หรือ ผนังภาพ อาจจะทำให้เข้าใจผิดคิดว่าเป็น จิตรกรรมฝาผนัง หรือ จิตรกรรมบนกำแพงก็ได้ ผู้ที่ตั้งชื่อคงจะตั้งชื่อ ทีวีวอลล์ ตามลักษณะของมันมากกว่าเหตุผลอื่น บ่อยครั้งที่จะพบกับคำในลักษณะนี้เช่น เม้าส์ (Mouse) สำหรับผู้ที่คุ้นเคยอยู่กับคอมพิวเตอร์ก็จะรู้ว่า เป็นอุปกรณ์สำหรับชี้ตำแหน่งบนจอคอมพิวเตอร์ ที่เรียกว่า เม้าส์ เพราะมีรูปร่างลักษณะคล้ายกับหนู ถ้าเป็นคนทั่ว ๆ ไปที่ไม่ได้ใช้คอมพิวเตอร์อาจจะเข้าใจคิดว่าเป็นหนูจริง ๆ

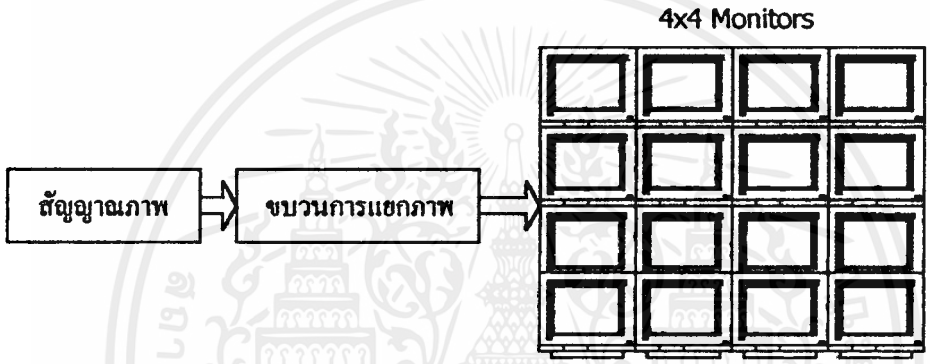
ลักษณะของทีวีวอลล์ก็คือ มีจอภาพแสดงผล (Monitor) หลาย ๆ จอจัดเรียงกันจนดูเหมือนเป็นจอภาพขนาดใหญ่เพียงจอเดียว ภาพที่ต้องการจะถูกแบ่งเป็นส่วน ๆ เท่ากับมอนิเตอร์ภาพที่ปรากฏบนจอจึงเห็นเป็นภาพใหญ่ภาพเดียว มอนิเตอร์ที่ใช้อาจจะเป็นเครื่องรับโทรทัศน์สี จอภาพผนึกเหลว (LCD) , โปรเจกเตอร์ (Projector) ก็ได้ และแน่นอนสัญญาณภาพอาจจะนำมาจากเครื่องเล่นวิดีโอเทปหรือเครื่องเล่นเลเซอร์ดิสก์ จนกระทั่งเครื่องรับสัญญาภาพใด ๆ ก็ได้ ปัจจุบันเราสามารถพบกับทีวีวอลล์ได้ในหลาย ๆ สถานที่ เช่น ในห้างสรรพสินค้า โรงภาพยนต์ , ดิสโก้เธค หรือคอนเสิร์ตใหญ่ ๆ เป็นต้น

ความเป็นมาของทีวีวอลล์ นั้นไม่ปรากฏหลักฐานที่แน่ชัดว่า ทีวีวอลล์ ได้ถูกคิดค้นขึ้นในยุโรป , ญี่ปุ่น หรือ อเมริกา เป็นแห่งแรก แต่ในยุคแรกของวีดีโอวอลล์นั้นจะใช้เครื่องเล่นวีดีโอเป็นตัวส่งสัญญาณไปยังมอนิเตอร์โดยตรงดังแสดงรูป จึงต้องใช้จำนวนของเครื่องวีดีโอเป็น

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จำนวนเท่ากับจอมอนิเตอร์ ถ้าหากจะเพิ่มจำนวนมอนิเตอร์เพื่อให้มีภาพขนาดมากขึ้น จำนวนเครื่องวีดีโอก็ต้องมากขึ้นตามไปด้วย

ปัจจุบันทีวีวอลล์ได้นำเอาเทคนิคของดิจิตอลวีดีโอ (Digital Video) และดิจิตอลอิมเมจโปรเซสซิ่ง (Digital Image Processing) มาใช้เพื่อการจัดแบ่งภาพด้วยวิธีการดังกล่าวทำให้สามารถใช้เครื่องเล่นวีดีโอเทป หรือแหล่งกำเนิดสัญญาณอื่น ๆ เพียงเครื่องเดียวได้ในการแสดงผลหมดทุกจอมอนิเตอร์ที่ใช้งาน ดังแสดงในรูปที่ 2.1 ซึ่งจะได้กล่าวถึงรายละเอียดต่อไป



รูปที่ 2.1 แสดงส่วนประกอบของทีวีวอลล์

ส่วนประกอบของทีวีวอลล์

หน้าที่หลักของทีวีวอลล์ คือนำสัญญาณมาแบ่งออกเป็นส่วน ๆ แล้วส่งไปยังแต่ละจอมอนิเตอร์เพื่อแสดงผล ระบบทีวีวอลล์จึงประกอบด้วย 3 ส่วนใหญ่ ๆ คือ

- แหล่งกำเนิดสัญญาณภาพ
- ส่วนประมวลผลสัญญาณ
- จอภาพแสดงผล

พื้นฐานการทำงานของวีดีโอวอลล์เกิดขึ้นจากกระบวนการทำงานภายในเครื่องโทรทัศน์เสียส่วนใหญ่ เพื่อให้เข้าใจการทำงานของวีดีโอวอลล์ได้ดีขึ้นจึงจำเป็นต้องเข้าใจกระบวนการต่าง ๆ ในการสร้างภาพของโทรทัศน์ด้วย ในบทความนี้จะกล่าวถึงการสร้างภาพอย่างคร่าว ๆ เฉพาะในส่วนที่เกี่ยวข้องเท่านั้น เพื่อทบทวนความรู้และทำความเข้าใจได้มากขึ้น

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ดิจิตอลวีดีโอ

ถึงแม้ว่าทีวีวอลล์จะใช้สัญญาณภาพที่เป็นสัญญาณแบบอนาล็อกในการสร้างภาพสำหรับแต่ละมอนิเตอร์ แต่การแบ่งภาพออกเป็นส่วน ๆ นั้น ทีวีวอลล์ใช้กระบวนการทางดิจิตอลหรือดิจิตอลวีดีโอ (Digital Video) แนวความคิดของดิจิตอลวีดีโอคือ การแบ่งภาพออกเป็นจุดย่อย ๆ จำนวนมากเรียกว่า ส่วนประกอบภาพ (Picture Elements) หรือพิกเซล ยิ่งมากก็ยิ่งทำให้ภาพมีความละเอียดคมชัดมากยิ่งขึ้น จากนั้นจึงแทนภาพของแต่ละพิกเซลด้วยสัญญาณดิจิตอลหรือแทนด้วยสถานะลอจิก " 0 " และ " 1 " การใช้สัญญาณดิจิตอลมีข้อดีคือ การนำข้อมูลไปประยุกต์ใช้สามารถทำได้ง่าย สิ่งที่สำคัญในดิจิตอลวีดีโอคือ กระบวนการดิจิไตเซชั่น (Digitization) หน่วยความจำภาพ (Video Memory) และกระบวนการเปลี่ยนสัญญาณดิจิตอลให้เป็นสัญญาณอนาล็อก

กระบวนการดิจิไตเซชั่น

กระบวนการดิจิไตเซชั่นเป็นกระบวนการเปลี่ยนสัญญาณภาพจากสัญญาณอนาล็อกให้เป็นข้อมูลทางดิจิตอลแล้วนำไปจัดเก็บไว้ในหน่วยความจำ การเปลี่ยนสัญญาณอนาล็อกเป็นดิจิตอล (Analog To Digital Conversion) หรือ A/D ประกอบด้วย 2 ขั้นตอน คือ การสุ่มตัวอย่างสัญญาณอนาล็อก (Sampling) การจัดระดับของสัญญาณที่สุ่มมา (Quantizing) แต่ละระดับแทนด้วยรหัสดิจิตอลดังแสดงในรูป ในกรณีของทีวีวอลล์จะใช้รหัสดิจิตอลขนาด 8 บิท แทนระดับสัญญาณได้ 256 ระดับ ซึ่งเพียงพอสำหรับการรับชมภาพแล้ว

ในการแปลงสัญญาณส่วนของข้อมูลภาพจริง ๆ เท่านั้น ในส่วนของสัญญาณซิ้งค์และสัญญาณแบล็งค์กิ้งไม่ได้ถูกแปลงด้วย แต่จะนำสัญญาณซิ้งค์และสัญญาณแบล็งค์กิ้งมาใช้ในการแปลงสัญญาณ ในการเขียนข้อมูลที่ถูกแปลงเป็นสัญญาณดิจิตอลแล้วลงหน่วยความจำ เพราะสัญญาณซิ้งค์มีคาบเวลาที่แน่นอนทำให้ส่วนควบคุม A/D และหน่วยความจำสามารถทราบได้ว่าจุดเริ่มต้นและจุดสิ้นสุดของข้อมูลภาพในแต่ละเส้นสแกนนั้นอยู่ที่ใดได้

เนื่องจากสัญญาณภาพมีการเปลี่ยนแปลงที่เร็วมาก การกระจายรายละเอียดของสัญญาณภาพให้ครบ A/D ต้องทำงานที่ความถี่สูงและต้องให้รหัสดิจิตอลขนาด 8 บิทเป็นอย่างน้อยโดยส่วนมาก A/D ที่ใช้เป็นประเภทแฟลช (Flash A/D) ซึ่งแฟลช A/D นี้สามารถเปลี่ยนสัญญาณอนาล็อกให้เป็นค่าดิจิตอลได้เสร็จภายใน 1 คาบสัญญาณนาฬิกา

สำหรับภาพขาวดำสัญญาณ Y หรือลูมิแนนซ์เท่านั้นที่ถูกนำมาแปลงเป็นสัญญาณดิจิตอลเพราะเป็นส่วนของข้อมูลภาพ สำหรับภาพสีจะใช้เพียงแค่สัญญาณ Y เพียงอย่างเดียวไม่เพียงพอที่จะอธิบายความหมายของสีได้ จึงจำเป็นต้องใช้ 3 สัญญาณคือ สัญญาณ Y ,

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สัญญาณ (R-Y), สัญญาณ (B-Y) มาทำการแปลงสัญญาณซึ่งแน่นอนว่า A/D และหน่วยความจำต้องใช้ถึง 3 ชุด ถ้าไม่ใช่สัญญาณดังกล่าว ก็สามารถใช้สัญญาณสี RGB ก็ได้โดยการนำสัญญาณภาพเข้าวงจรดีโคเดอร์เพื่อแยกสัญญาณสี RGB ออกมาจากสัญญาณภาพแล้วจึงนำไปแปลงสัญญาณต่อไป

สัญญาณภาพอนาล็อกสามารถแสดงความละเอียดและจำนวนสีของภาพอาจเรียกได้ว่าไม่จำกัด เนื่องจากความต่อเนื่องของสัญญาณ แต่เมื่อสัญญาณภาพอนาล็อกถูกเปลี่ยนไปอยู่ในรูปของสัญญาณดิจิตอล ความละเอียดและจำนวนสีของภาพถูกจำกัดด้วยความเร็วของ A/D จำนวนบิทที่ใช้ในการแปลงสัญญาณ และขนาดของหน่วยความจำ

นั่นคือใน 1 พิกเซลของภาพขาวดำจะต้องสร้างจากข้อมูลจำนวน 8 บิท แต่ถ้าเป็นภาพสี 1 พิกเซลจะประกอบด้วยสัญญาณสี RGB ดังนั้นในแต่ละพิกเซลจึงต้องใช้จำนวนบิทเท่ากับ 24 บิท เพื่อให้สามารถเห็นระดับความแตกต่างของสีได้อย่างเพียงพอ ซึ่งสามารถแสดงสีที่แตกต่างกันได้ 16,777,216 สี

หน่วยความจำภาพ

สัญญาณภาพอนาล็อกเมื่อถูกแปลงให้เป็นสัญญารดิจิตอลแล้วจะทำให้เกิดข้อมูลเป็นจำนวนมาก จึงจำเป็นต้องใช้หน่วยความจำในการเก็บข้อมูลไว้ชั่วคราวก่อนที่จะนำไปใช้งาน หน่วยความจำที่ใช้เป็นประเภทอ่านและเขียนข้อมูลใหม่ได้หรือ RAM (Random Access Memory) บางครั้งหน่วยความภาพจึงถูกเรียกว่า วีดีโอแรม (Video RAM) คุณสมบัติของวีดีโอแรมที่ใช้ในงานของทีวีวอลล์หรืองานอื่นๆที่สำคัญคือต้องใช้เวลาในการเข้าถึงข้อมูล (Access Time) ที่ต่ำมาก ๆ นั่นคือความเร็วในการเขียนและอ่านข้อมูลต้องมากเพียงพอ

ขนาดของหน่วยความจำที่ใช้นั้นขึ้นอยู่กับจำนวนข้อมูลดิจิตอลที่ต้องการจัดเก็บ ส่วนข้อมูลจะมากหรือน้อยนั้นขึ้นอยู่กับความละเอียดของภาพ ในโครงงานนี้ใช้ 512 พิกเซลต่อเส้นและมีจำนวน 512 เส้น และใช้จำนวนบิทขนาด 8 บิทต่อพิกเซล ดังนั้นหน่วยความจำที่ใช้ต้องมีขนาด 512 เส้น x 512 พิกเซล = 262.144 Kbyte หรือขนาด 256 Kbyte ดังนั้นถ้าเป็นภาพสีก็ต้องใช้ถึง 3 เท่า

กระบวนการแยกภาพ

ขั้นตอนของดิจิตอลวีดีโอจะจบลงที่การนำข้อมูลที่อยู่ในหน่วยความจำไปแปลงกลับเป็นสัญญาณภาพอีกครั้งหนึ่ง แต่สำหรับทีวีวอลล์แล้วก่อนที่จะถึงขั้นตอนนั้นต้องผ่านกระบวนการแยกภาพ (Image Splitting) ก่อน ซึ่งเป็นขั้นตอนที่สำคัญมากเพราะภาพต้นฉบับจะถูกแบ่งออก

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เป็นภาพย่อย ๆ ในกระบวนการนี้ ดังนั้นถ้าต้องการแสดงภาพขนาด 4 x 4 หรือ 16 มอนิเตอร์ แต่ละมอนิเตอร์จะได้รับสัญญาณ 1 ใน 16 ส่วนของภาพทั้งหมด

กระบวนการแยกภาพนอกจากจะทำการแบ่งภาพออกเป็นส่วนแล้วยังต้องทำการขยายภาพที่แบ่งออกมานั้นให้มีขนาดเท่าเดิม ภาพที่ได้เมื่อแปลงกลับเป็นสัญญาณอนาล็อกจึงจะเต็มจอภาพ การเพิ่มในที่นี้ก็คือ การทำพิกเซลและเส้นให้ซ้ำกับของเดิม เนื่องจากว่าข้อมูลอยู่ในสัญญาณดิจิตอลการทำข้อมูลซ้ำจึงทำได้สะดวก ดังนั้นถ้าหากยิ่งใช้จำนวนจอภาพมากขึ้น ภาพที่ได้แต่ละจอภาพจะยิ่งดูหยาบขึ้น จำนวนจอภาพที่ใช้ต้องสัมพันธ์กับการเก็บข้อมูลภาพในกระบวนการดิจิไตเซอร์ด้วย นั่นคือใน 1 เส้นต้องมีการเก็บข้อมูลเพิ่มขึ้น ความถี่ A/D ใช้ในการสุ่มตัวอย่างต้องสูงขึ้น และหน่วยความต้องมีขนาดโตขึ้น อย่างไรก็ตามโครงงานนี้ใช้ความถี่ใช้งาน 10 MHz ในการแซมปลิ้งเพื่อให้ง่ายในการจัดหน่วยความจำ

PIXEL

หน้าที่ของ A/D Conversion คือการแปลงสัญญาณอนาล็อกให้เป็นสัญญาณดิจิตอล สัญญาณภาพจะถูกแทนด้วยจุดหรือ PIXELS เมื่อประกอบสัญญาณให้เป็นภาพ แต่ละ PIXELS

58 Digital Video in the PC Environment

รูปที่ 2.2 แสดงรายละเอียดความแตกต่างของจำนวนบิทต่อพิกเซล

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จะเป็นเหมือนรูปสี่เหลี่ยมเล็กๆ และมีระดับสีตามค่าของแต่ละ PIXCELซึ่งขึ้นอยู่กับการเข้ารหัสของสีในแต่ละ PIXEL และจำนวนของ PIXEL ที่ใช้

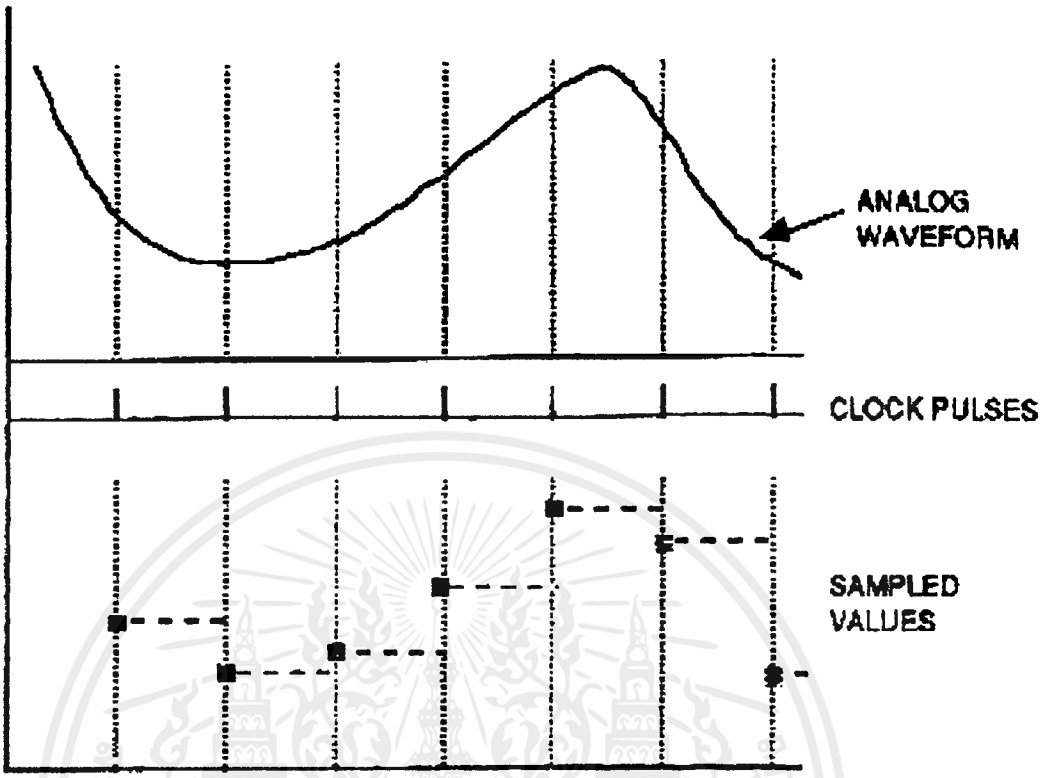
สัญญาณภาพที่แสดงด้วยสัญญาณดิจิตอลจะถูกกำหนดให้มีขนาด 2 มิติ คือทางแนวตั้ง (Vertical) และแนวนอน (Horizontal) จำนวนของ PIXELS ในภาพหนึ่งๆ จากระบบ Digital จะแสดงความละเอียดของภาพทั้งทางแนวตั้งและแนวนอน ในระบบอนาล็อกที่มีความละเอียดต่ำรูปภาพจะหยาบ ในระบบดิจิตอลนั้นความละเอียดของ PIXELS เราเรียกว่า PIXELLATION

ในรูป 2.2 แสดงภาพที่เกิดจากจำนวน PIXELS ที่แตกต่างกัน ระดับที่สามารถมองเห็นความละเอียดของ PIXEL ขึ้นอยู่กับระยะความห่างที่เรามองดูภาพนั้น รวมถึงความสูงของภาพด้วย อัตราส่วนของภาพเป็นปัญหาหนึ่งของระบบดิจิตอลวิดีโอ

บิทต่อพิกเซล

ค่าของบิทต่อพิกเซลกำหนดจำนวนสีของระบบดิจิตอล ระบบที่แตกต่างกันก็จะใช้ค่าที่แตกต่างกันตั้งแต่ 1-32 บิทต่อพิกเซล ระบบที่ใช้ 1 บิทต่อพิกเซล จะแสดงสีได้ 2 สีนั่นคือ ดำและขาว หรือดำกับเขียว โครงงานนี้ใช้ขนาด 24 บิทต่อพิกเซล ซึ่งมีความละเอียดสูงพอ ซึ่งมีความแตกต่างของสี 2^{24} ระดับ 16 Mbit ในรูป 2.3 แสดงค่าจำนวนบิทต่อ PIXEL ซึ่งมีผลต่อความคมชัดของภาพ

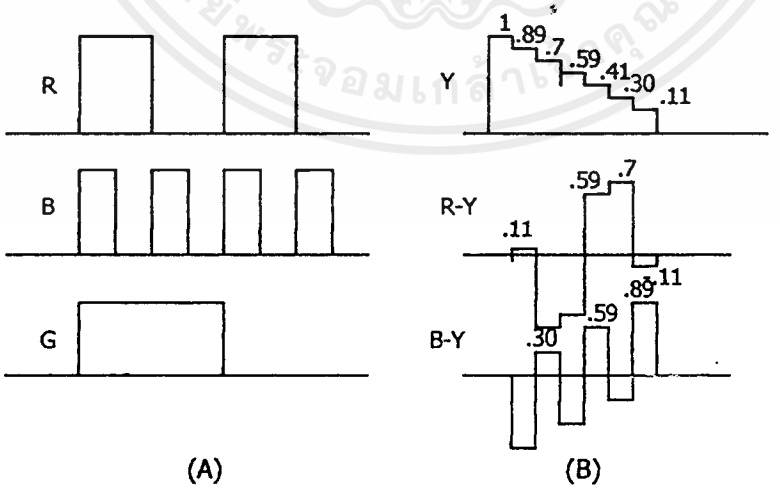
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



Sampling of an analog waveform

รูปที่ 2.3 แสดงการแซมปลิ้ง

ดีโคดเดอร์ (Decoder)



รูปที่ 2.4 แสดงลักษณะสัญญาณที่ได้จากภาค Video Decoder

(A) กลุ่มสัญญาณ RGB (B) กลุ่มสัญญาณ (R-Y) (B-Y) และ Y

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ทำหน้าที่แยกสัญญาณ R-Y และ B-Y และ Y ออกจากสัญญาณภาพรวมหรือจะเป็นสัญญาณ RGB ก็ได้ดังแสดงในรูป 2.4 สัญญาณเหล่านี้จะถูกแปลงเป็นสัญญาณดิจิตอลต่อไป

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

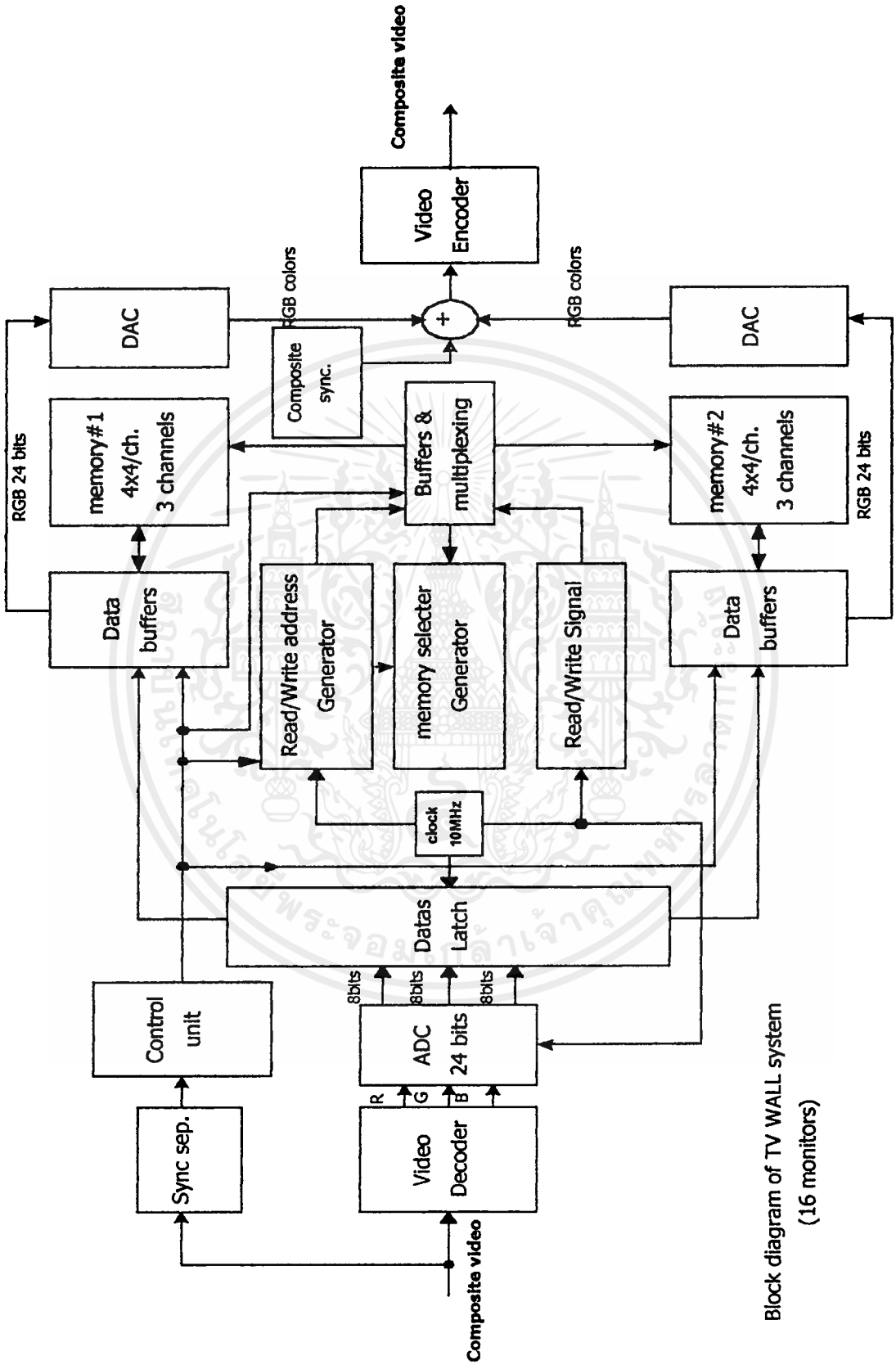
บทที่ 3
ระบบทีวีวอลล์
(TV WALL System)

โครงสร้างของระบบทีวีวอลล์แสดงดังรูป 3.1 ประกอบด้วย 12 ส่วน คือ

1. Video Decoder
2. Sync separator
3. Control Unit
4. A/D Converter
5. Data latch
6. Read/Write Address Signal & memory select generator
7. Read/Write signal
8. Buffer & multiplexing
9. Data Buffer
10. Memories
11. D/A Converter
12. Video Encoder

ระบบการแบ่งภาพสัญญาณวีดีโอ เริ่มจากการนำเอาสัญญาณ Composite Video มาผ่านส่วนของ Video Decoder เพื่อให้ได้สัญญาณสี RGB และสัญญาณ Composite Sync. แต่สัญญาณที่เก็บไว้ในหน่วยความจำจะใช้เฉพาะสัญญาณสี RGB เท่านั้น ดังนั้นจึงต้องแปลงสัญญาณอนาล็อกเหล่านี้เป็นข้อมูลทางดิจิตอลเพื่อให้สามารถจักเก็บไว้ใน Memory ได้ และง่ายต่อการจัดแบ่งข้อมูลตามความต้องการของเรา โดยส่วนของ A/D Converter จะเปลี่ยนสัญญาณสี RGB ให้เป็นข้อมูลดิจิตอลขนาด 8 bit มีความละเอียด 256 ระดับ โดยมี Sampling rate ที่ 10 MHz ป้อนเข้าสู่ส่วนของ Data Buffer ซึ่งเป็น D flip-flop ทำงานที่ขอบขาขึ้นของสัญญาณนาฬิกา 10 MHz สัญญาณ Composite Video จะถูกแยกเอาสัญญาณซิ้งค์ต่างๆ ออกมาด้วย สัญญาณเหล่านี้จะนำไปใช้สร้างสัญญาณควบคุมต่างๆ โดยส่วนของ Buffer & Address Signal Generator

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.1 แสดง Block Diagram of TV WALL system

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เพื่อนำไปควบคุมการทำงานของระบบทั้งหมด

สัญญาณ Composite Sync. และสัญญาณ Vertical Sync. จะถูกปรับขนาดความกว้างของสัญญาณใหม่ให้มีจุดเริ่มต้นสัญญาณพร้อมกับสัญญาณภาพและทำงานซิ้งค์กับสัญญาณ ODD/EVEN เพื่อควบคุมการอ่านและเขียนหน่วยความจำซึ่งต้องทำงานสลับกันระหว่างการอ่านและการเขียนข้อมูลตาม Odd field และ Even field รวมทั้งสร้างสัญญาณแอดเดรสการเขียนและการอ่านด้วย จะเห็นว่าในหนึ่งสัญญาณภาพสีจะให้ข้อมูลขนาด 8 bit จาก A/D Converter และเมื่อเราใช้สัญญาณภาพสี 3 สัญญาณดังนั้นใน1 pixel ก็จะประกอบด้วยข้อมูลดิจิตอลขนาด 24 bit ในการเขียนหน่วยความจำจะมองเห็นหน่วยความจำเป็นหน่วยเดียวและจะเก็บแต่สัญญาณภาพเท่านั้น เมื่อเรา Sampling สัญญาณภาพด้วยความถี่ 10 MHz ในหนึ่งเส้นภาพก็จะมีจำนวนจุด (pixel) คือ 52μS x 10MHz = 520 จุด แต่เราจะใช้เพียง 512 จุด เพื่อให้สัมพันธ์กับสัญญาณแอดเดรส ดังนั้นที่เหลืออีก 8 μS รวมทั้งฮอร์แบล็งกิ้งก็จะไม่ถูกเก็บลงในหน่วยความจำและในแต่ละ field จะมีสัญญาณภาพ 312.5 เส้น เราจะเก็บเพียง 256 เส้นด้วยเหตุผลเดิม ดังนั้นอีก 56.5 เส้นซึ่งรวมกับสัญญาณอีควอไลซิ่งพัลส์และสัญญาณเวอร์แบล็งกิ้งพัลส์จึงไม่ได้จัดเก็บด้วย ดังนั้นภาพหลังจากผ่านส่วน D/A Converter ก็จะไม่เหมือนสัญญาณต้นแบบเลยทีเดียว ดังนั้นหน่วยความจำที่ต้องใช้ในหนึ่ง field มีค่าเท่ากับ 256 x 512 = 131,072 byte (128 Kbytes) เราต้องใช้ 2 field ดังนั้นใน 1 สัญญาณภาพต้องใช้หน่วยความจำเป็นสองเท่าคือ 256 Kbytes และต้องใช้ถึง 3 สัญญาณ คือ RGB ก็ต้องใช้หน่วยความจำทั้งหมด 131,072 x 2 x 3 = 786,432 byte แต่เนื่องจากข้อมูลแต่ละสัญญาณถูกเก็บลงในหน่วยความจำแยกอิสระกัน ดังนั้นหน่วยความจำที่ใช้ในแต่ละ field จึงลดลงเหลือ 128 Kbytes และยังถูกแบ่งเป็น 16 ส่วนเท่ากับจำนวนจอภาพเพื่อให้ 1 ส่วนของข้อมูลเป็นข้อมูล 1 จอภาพพอดี หน่วยความที่ใช้จริงจึงมีขนาดเท่ากับ 128 Kbytes / 6 = 8 Kbytes ซึ่งราสามารถใช้หน่วยความจำสแตติก (Static Random Access Memory) ในการออกแบบเนื่องจากหน่วยความจำชนิดนี้มีเวลาในการเข้าถึงข้อมูลเร็วมากอย่างน้อยต้องเท่ากับ Sampling Rate 100nS แต่เราเลือกใช้ความเร็วในการเข้าถึงข้อมูลของหน่วยความจำที่ 70nS เพื่อให้มั่นใจว่าหน่วยความจำสามารถเก็บข้อมูลทันกับข้อมูลจาก A/D Converter

เมื่อหน่วยความจำถูกจัดให้เป็นพื้นที่เดียวกันการเขียนข้อมูลก็จะเขียนเรียง ๆ กันไปจนเต็มความจุทั้งหมด ส่วนควบคุมก็จะกำหนดให้หน่วยความจำที่เขียนข้อมูลภาพจนเต็มแล้ว อ่านข้อมูลออกมาแทน ส่วนอีก field หนึ่งก็จะทำหน้าที่ในการเขียนข้อมูลแทนซึ่งก่อนหน้านั้นได้อ่านข้อมูลออกไปหมดแล้ว ในการอ่านข้อมูลจากหน่วยความจำจะมองหน่วยความจำแยกอิสระกัน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

แต่ละตัวจะถูกอ่านข้อมูลออกมาพร้อม ๆ กัน ดังนั้นเมื่อถึงเวลาการอ่านข้อมูลจากหน่วยความจำ สัญญาณควบคุมจะเลือกสัญญาณแอดเดรสการอ่านแทนสัญญาณแอดเดรสการเขียน ในช่วงเวลาการเขียนหน่วยความจำแต่ละตัวถูกเขียน 128 จุดและทางแนวตั้งอีก 64 เส้น เวลาอ่านข้อมูลจึงต้องขยายจุดและเส้นให้เต็ม 1 จอภาพ เวลาอ่านข้อมูลจึงต้องขยายจุดและเส้นให้เต็ม 1 จอภาพ ในช่วงเวลาการนับจุดก็ต้องย้ำแต่ละจุดจำนวน 4 จุด เพื่อให้ทางแนวนอนนับได้ 512 จุด เท่ากับที่เขียนข้อมูลมา 1 เส้นพอดี ในทำนองเดียวกันทางแนวตั้งก็จะถูกย้ำเส้นในแต่ละเส้นจำนวน 4 เส้น เพื่อขยายข้อมูลจาก 64 เส้นเป็น 256 เส้น ดังนั้นข้อมูลที่อ่านออกมาจะเต็มจอภาพพอดี

ในการอ่านข้อมูลเราจะใช้สัญญาณแอดเดรสเป็นตัวควบคุมการอ่านดังนั้นเมื่อถึงช่วงเวลาการอ่าน หน่วยความจำแต่ละตัวจะถูกเลือกให้ทำงานพร้อม ๆ กัน ซึ่งไม่เหมือนกับสัญญาณที่ใช้เลือกหน่วยความจำในการเขียนข้อมูล ช่วงเวลาการอ่านขา /CE ของหน่วยความจำก็จะได้รับสถานะเป็น LOW ตลอด เพื่อให้หน่วยความจำถูกเลือกให้ทำงานตลอดในช่วงของการอ่านข้อมูลออกจากหน่วยความจำ

ข้อมูลที่ได้จากหน่วยความจำเป็นสัญญาณดิจิตอลขนาด 24 bit ก็จะถูกแปลงเป็นสัญญาณสี RGB โดยส่วนของ D/A Converter เมื่อได้รับสัญญาณภาพเป็นอนาล็อกแล้วก็จะเอาสัญญาณดังกล่าวกับสัญญาณ Composite Sync ส่งเข้าสู่ส่วนของ Video Encoder เพื่อสร้างสัญญาณภาพรวมใหม่ขึ้นมาเป็นเอาท์พุทของระบบนั่นเอง

1. Video Decoder

สำหรับส่วนนี้ เนื่องจากเราต้องการเก็บข้อมูลของสัญญาณภาพสี ดังนั้นจึงไม่จำเป็นต้องสร้างหรือออกแบบในส่วนนี้เอง เพราะการออกแบบและการสร้างวงจรส่วนนี้ทำได้ยากสำหรับสัญญาณภาพสี หรือถ้าสามารถสร้างส่วนนี้ออกมาได้ก็จะใช้ทำงานได้ไม่ค่อยดีตามความต้องการ เราจึงหลีกเลี่ยงโดยหาอุปกรณ์ส่วนนี้มาใช้งานเลย

2. Video Sync Separator

ในส่วนของ Video Sync Separatorจะทำหน้าที่ในการแยกสัญญาณ Composite Video ออกเป็น 4 สัญญาณ คือ

1. Composite Sync Signal
2. Vertical Sync Signal

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3. Burst detection Signal

4. ODD / EVEN Signal

สัญญาณเหล่านี้จะนำไปใช้สร้างสัญญาณควบคุมต่าง ๆ ที่ Control Unit ควบคุมการทำงานของระบบทั้งหมด ดังนั้นสัญญาณเหล่านี้ต้องมีเสถียรภาพมาก ๆ เพื่อให้ระบบทั้งหมดทำงานอย่างมีประสิทธิภาพด้วย ดังนั้นจึงเลือกใช้ IC สำเร็จรูป LM1881N ของบริษัท National ซึ่งก็ให้สัญญาณเอาท์พุทมีเสถียรภาพดี

3. Control Unit

Control Unit จะสร้างสัญญาณควบคุม Cont_A และ Cont_B ควบคุมการสลับกันทำงานของการอ่านและเขียนหน่วยความจำ อีกทั้งยังสร้างสัญญาณ ST_V , /ST_V,ST_H และ /ST_H เพื่อใช้ควบคุมการนับของสัญญาณแอดเดรสให้หน่วยความจำทั้งการอ่านและการเขียน ซึ่งได้มาจากการปรับสัญญาณ Hor Sync และ Ver Sync จาก LM1881N เพื่อให้สัญญาณแอดเดรสเริ่มทำงานที่ตำแหน่งของภาพพอดี เข้าสู่วงจรของ D flip-flop MC74HCT74 ซึ่งต้องทำงานร่วมกับ Read/Write address signal Generator ด้วย

4. A/D Converter

ในวงจรส่วนนี้ทำหน้าที่แปลงสัญญาณภาพที่เป็นอนาล็อก (Analog) ให้เป็นสัญญาณภาพทางดิจิตอล (Digital) เพื่อจะนำไปส่งในส่วนต่อไป โดยในวงจรส่วนนี้เลือกใช้ IC เบอร์ CA3318 ซึ่งเป็น IC CMOS ชนิดความเร็วสูงขนาด 8 bit โดยมีความเร็วสูงสุด 15 MHz ในการใช้งานต้องกำหนดค่า +Vref และค่า -Vref ซึ่งได้จากวงจร REGULATOR 10 V

IC CA3318เป็นไอซีแปลงสัญญาณอนาล็อกเป็นสัญญาณดิจิตอลแบบ " แฟลช "(Flash) ขนาด 8 bit ความเร็วและความเที่ยงตรงสูงมาก มีขนาด 24 ขา สำหรับ" แฟลช " ที่อยู่หน้า A/D Converter เป็นรูปแบบการแปลงสัญญาณอนาล็อกเป็นดิจิตอลเป็นอีกรูปแบบหนึ่งในการแปลงสัญญาณในอีกหลาย ๆ รูปแบบ ซึ่งแบบแฟลชนี้มีความเร็วในการแปลงสัญญาณสูงกว่าแบบอื่น ๆ

คุณสมบัติของ CA3318

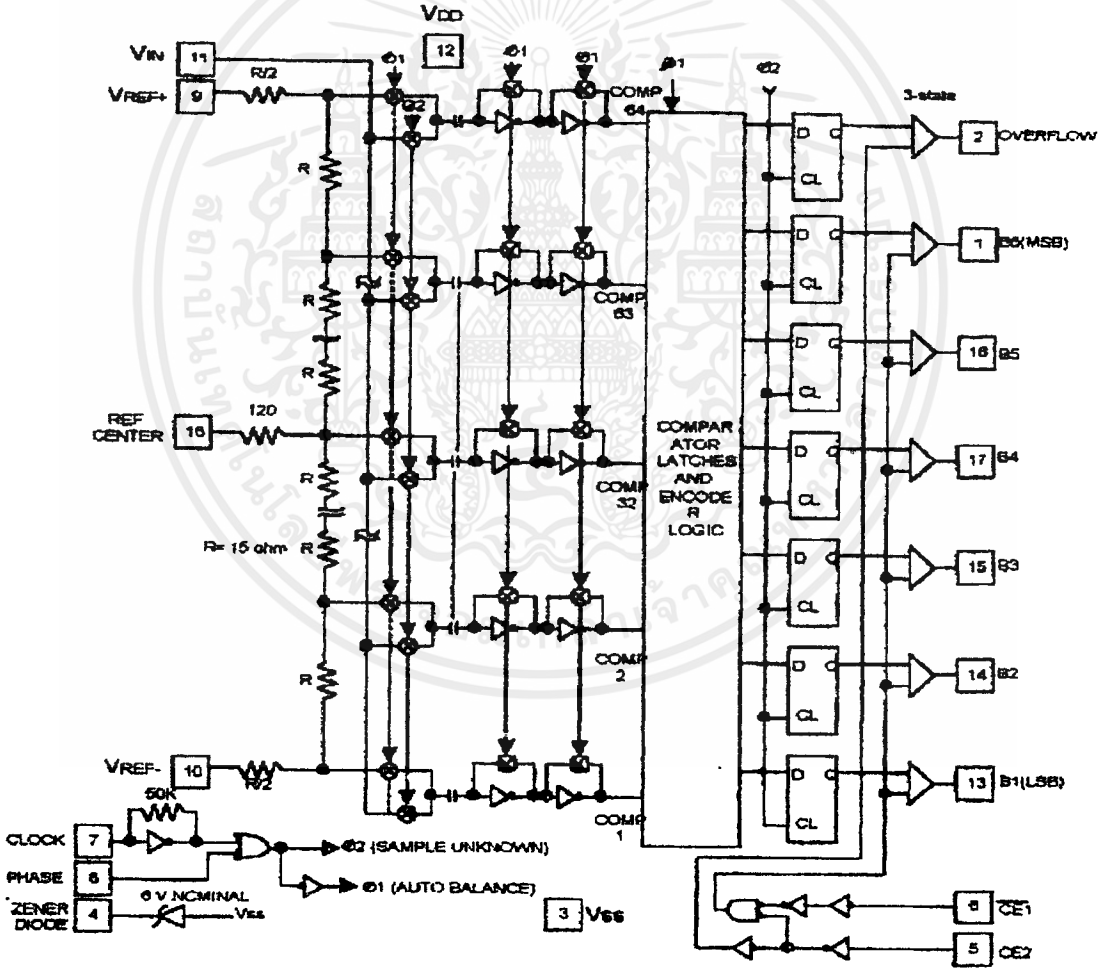
- CMOS Low Power with SOS Speed
- Parallel Conversion Technique

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

- 15 MHz Sampling Rate
- 8 Bit Latch Tri-State Output with Overflow bit
- Single Supply Voltage (4 V – 7.5 V)
-

การทำงานของ CA3318

CA3318 ใช้ในการแปลงข้อมูลแบบขนานเป็นแบบลำดับ โดยอาศัยการจัดระดับลอจิกของสัญญาณนาฬิกา ไปควบคุมจังหวะในการทำงานของส่วนต่าง ๆ ให้สอดคล้องกันซึ่งจุดประสงค์จริง ๆ ก็คือ ความเร็วในการทำงานแปลงสัญญาณต้องเป็นแบบเฟลชนั่นเอง



รูปที่ 3.2 แสดง Block diagram ของ CA3318

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากรูปโครงสร้างภายในของ CA3318 ขาป้อนสัญญาณนาฬิกา และขาควบคุมเฟสนี้ทำให้เราสามารถควบคุมความเร็วในการแปลงสัญญาณนาฬิกาให้แบ่งเป็น 2 เฟสซึ่งจะได้อธิบายดังนี้ คือ

เฟส 1 Auto balance เกิดขึนเมื่อขาควบคุมเฟสมีลิจิก " 0 "

เฟส 2 Sample Unknow เกิดขึ้นเมื่อขาควบคุมเฟสมีลอจิก " 1 "

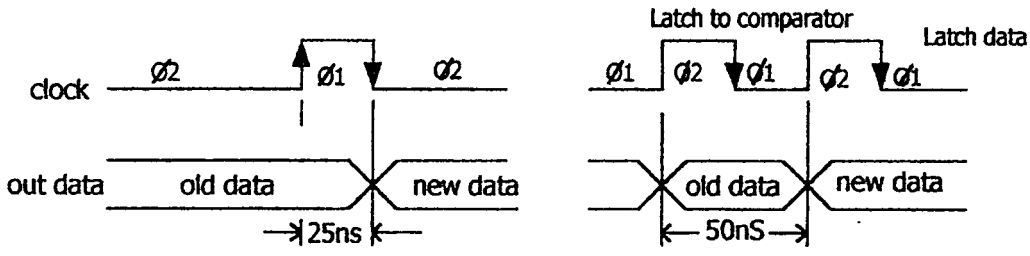
จากการจัด เฟส 1 และเฟส 2 ให้อยู่คนละช่วงของสัญญาณนาฬิกาด้วยขาควบคุมเฟสนี้ ทำให้เราสามารถควบคุมความเร็วในการแปลงสัญญาณ (ข้อมูล) ของ CA3318 ให้เปลี่ยนแปลง ไปตามสัญญาณนาฬิกา

การควบคุม CA3318

การใช้ขาควบคุมเฟส ควบคุมความเร็วของการแปลงสัญญาณของ CA3318สามารถทำได้ 2 วิธี คือ

1. โดยการป้อนลอจิก " 0 " เข้าที่ขาควบคุมเฟส ดังแสดงในรูปการควบคุม CA3318 ด้วยการใช้ขาควบคุมเฟสไปควบคุมระดับลอจิกของสัญญาณนาฬิกา ในรูป(a) เฟสหนึ่ง จะถูกจัดใช้ขาควบคุมเฟสไปควบคุมระดับลอจิก " 1 " และเฟส 2 ถูกจัดให้อยู่ในลอจิก " 0 " ของสัญญาณนาฬิกา ข้อมูลจากตัวเปรียบเทียบจะถูกแลตช์ (Latch) ไว้ที่ขอบขาขึ้นของฟิลด์เฟส 1 และเมื่อถึงช่วงขอบขาลงฟิลด์เฟส 1 แล้วก็จะทำการเลื่อนข้อมูลนั้นส่งเข้าเอาท์พุทรีจิสเตอร์ต่อไป ซึ่งวิธีนี้เป็นการแปลงข้อมูลเสร็จสิ้นภายในครึ่งคาบของสัญญาณนาฬิกาเท่านั้น

2. โดยการป้อนลอจิก " 1 " เข้าที่ขาควบคุมดังแสดงในรูป (b) เฟสหนึ่งถูกจัดให้อยู่ในลอจิก " 0 " และเฟส 2 ถูกจัดให้อยู่ในลอจิก " 1 " ของสัญญาณนาฬิกา เมื่อถึงช่วงขอบขาลงฟิลด์เฟส 2 ข้อมูลจากตัวเปรียบเทียบถูกแลตช์ไว้จนกว่าจะถึงช่วงขอบขาขึ้นของฟิลด์เฟส 2 ลูกต่อมา จึงจะทำการเลื่อนข้อมูลส่งเข้าเอาท์พุทรีจิสเตอร์ วิธีนี้จะแปลงสัญญาณเสร็จสิ้นภายใน 1 คาบเวลาของสัญญาณนาฬิกา



รูปที่ 3.3 แสดงการควบคุมระดับด้วยขาควบคุมเฟส

a) เมื่อให้ขาควบคุมเฟสเป็น " 0 " b) เมื่อให้ขาควบคุมเฟสเป็น " 1 "

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จะเห็นว่าวิธีที่ 1 ใช้เวลาในการแปลงสัญญาณน้อยกว่าวิธีที่ 2 และสำหรับงานที่ต้องการความรวดเร็วในการแปลงสัญญาณจึงควรเลือกวิธีที่ 1 จะเหมาะสมกว่า

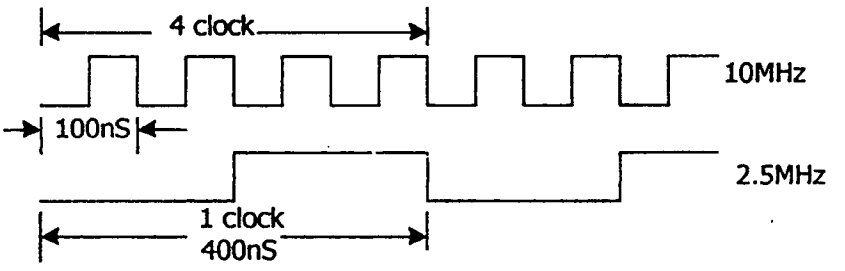
จากลักษณะการต่อตัวเปรียบเทียบให้ขนานกันเพื่อให้รับสัญญาณอินพุทได้พร้อม ๆ กัน เราจึงเรียกวงจรนี้ว่าวงจรสัญญาณอนาล็อกเป็นดิจิตอลแบบขนาน (Parallel A/D Converters) และเนื่องจากมันสามารถตอบสนองต่อสัญญาณอินพุทที่เป็นอนาลอกและแปลงอนาล็อกเป็นสัญญาณดิจิตอลได้อย่างรวดเร็วมาก เราจึงเราจึงเรียกได้อีกอย่างว่าวงจรแปลงสัญญาณอนาล็อกเป็นดิจิตอลแบบแฟลต (Flash A/D Converters)

5. Data Latch

หลังจากที่สัญญาณภาพสี RGB ผ่านขบวนการแปลงข้อมูลจากสัญญาณอนาล็อกเป็นสัญญาณดิจิตอล Data Latch จะ Latch ข้อมูลขนาด 8 bits ทั้งหมดออกมาดังนั้น Data Latch ก็จะมี 3 ชุด ซึ่งใช้ 74F374 แต่ละตัวสามารถ Latch ข้อมูลขนาด 8 bits ที่ขอบขาขึ้นของสัญญาณนาฬิกา 10 MHz

6. Read/Write Address Signal & Memory Select Generator

ในส่วนนี้จะทำหน้าที่ในการสร้างสัญญาณแอดเดรสการอ่านและการเขียนให้กับหน่วยความจำ เนื่องจากการอ่านและการเขียนข้อมูลภาพดิจิตอลลงในหน่วยความจำจะแตกต่างกัน เราไม่ได้เขียนข้อมูลลงในหน่วยความจำจนเต็มแล้วอ่านออกทันที แต่เราจะขยายข้อมูลแต่ละจุดทั้งทางแนวตั้งละแนวนอนด้วย ดังนั้นในช่วงของการอ่านข้อมูล สัญญาณแอดเดรสการอ่านก็จะต้องมี clock pulse มากกว่าของสัญญาณแอดเดรสการเขียนอยู่ 4 เท่า นั่นคือความถี่คล็อกของแอดเดรสการเขียนคือ 10 MHz คล็อกของสัญญาณแอดเดรสการอ่านก็จะเท่ากับ 2.5 MHz แสดงดังรูป 3.4



รูปที่ 3.4 ความสัมพันธ์ของสัญญาณ Clock สัญญาณแอดเดรสการเขียนและการอ่าน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การใช้คล็อกที่แตกต่างกันแบบนี้ก็จะสามารถขยายข้อมูลดิจิตอลในแต่ละจุด (Pixel) ได้ โดยขณะที่สัญญาณแอดเดรสการเขียนชี้ตำแหน่งการเขียน 1 ตำแหน่งหรือใช้คล็อกไป 1 ลูก เวลาเดียวกันนี้สัญญาณแอดเดรสการอ่านก็จะชี้ตำแหน่งการอ่านให้หน่วยความจำอีกชุดหนึ่ง ซึ่งจะสังเกตุเห็นว่าสัญญาณแอดเดรสการอ่านจะชี้ตำแหน่งการอ่านเดิมก็หมายถึงข้อมูลเป็นข้อมูลเดิมจนคล็อกของสัญญาณแอดเดรสการเขียนผ่านไป 4 ลูก นั่นเอง ทำให้ข้อมูลที่อ่านได้ถูกยืดออกไป 4 เท่าจากข้อมูลเดิม การสร้างสัญญาณแอดเดรสการเขียนใช้ TTL 74F161N U7-U12 และ U13B สร้างเป็นวงจร Synchronous Counter นับ 512 และ 256 โดยใช้คล็อก 10 MHz ก็จะได้สัญญาณแอดเดรสการเขียนทั้ง 13 เส้นคือ A0-A12 โดยแบ่งให้หน่วยความจำถูกชี้ 128 ตำแหน่งในแต่ละเส้นสแกน ดังนั้นจึงต้องใช้สัญญาณแอดเดรส 9 เส้น แต่หน่วยความจำแต่ละตัวใช้ 7 เส้น อีก 2 เส้น คือจะใช้สำหรับเลือกหน่วยความจำ คือ E3 และ E4 จะสังเกตุเห็นว่า A0-A6 ของหน่วยความจำทุกตัวจะมีเริ่มนับจาก 000-03F เมื่อ Synchronous Counter นับครบ 512 หรือ 1FF ก็จะสร้างสัญญาณ Carry ไปกระตุ้นให้ส่วนของวงจรนับ 256 เริ่มนับคือส่วน

A15	A14	A13	A12	A11	A10	A9	A8	A7	A6	A5	A4	A3	A2	A1	A0			
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	RAM11	LINE1
0	0	0	0	0	0	0	0	0	1	1	1	1	1	1	1	127	RAM12	LINE1
0	0	0	0	0	0	0	0	1	0	1	0	0	0	0	0	0	RAM13	LINE1
0	0	0	0	0	0	0	0	1	0	1	1	1	1	1	1	127	RAN14	LINE1
0	0	0	0	0	0	0	1	0	1	0	0	0	0	0	0	0	2LINE	
0	0	0	0	0	0	0	1	0	1	0	1	1	1	1	1	127	3LINE	
0	0	0	0	0	0	0	1	1	1	1	0	0	0	0	0	0	64LINE	32KB
0	0	0	0	0	0	0	1	1	1	1	1	1	1	1	1	127		32k
0	0	0	0	0	0	1	0	0	0	0	0	0	0	0	0			32k
0	0	0	0	0	0	1	1	1	1	1	1	1	1	1	1			
0	0	0	0	0	1	0	0	0	0	0	0	0	0	0	0			
0	0	0	0	0	1	0	1	1	1	1	1	1	1	1	1			
0	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1			
1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0			32k
1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1			
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0			32k
0	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1			
1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0			32k
1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1			

รูปที่ 3.5 แสดงตารางสัญญาณแอดเดรสการอ่านละการเขียนหน่วยความจำ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ของวงจรนับเส้นนั่นเอง ซึ่งต้องสัญญาณแอดเดรส 8 เส้น แต่หน่วยความจำใช้แค่ 6 เส้น เพื่อให้หน่วยความจำแต่ละตัวนับเส้นเพียง 64 เส้น โดยมี 4 เส้นที่ได้จากส่วนของวงจรนับจุด 512 และวงจรนับเส้น 256 คือ E1,E2,E3 และ E4 ป้อนให้แก่วงจรเลือกหน่วยความจำ encoder 4 to 16 lines จะเห็นว่าวงจรนับเส้นเปลี่ยนตำแหน่งเมื่อมีการนับจุดครบ 512 จุดและจะถูกหยุดการทำงานเมื่อมีสัญญาณ ST_H และ ST_V เข้ามา เนื่องจากเป็นช่วงเวลาที่ไม่ต้องการเก็บข้อมูลภาพจากเป็นช่วงเวลาที่ไม่ต้องการเก็บข้อมูลภาพ

สำหรับสัญญาณแอดเดรสของการอ่านข้อมูลจะแตกต่างจากสัญญาณแอดเดรสการเขียน เนื่องจากเมื่อถึงช่วงเวลาการอ่านข้อมูล หน่วยความจำจะต้องอ่านข้อมูลออกมาพร้อมกันทุกตัว และเราถือว่าหน่วยความจำ 1 ตัวแทน 1 จอภาพ ดังนั้นแอดเดรสการอ่านต้องสามารถขยายข้อมูลให้เต็มจอภาพได้ สัญญาณแอดเดรสการอ่านข้อมูลจะมีความถี่ต่ำกว่าคือ หารความถี่จาก 10 MHz ลงมาเหลือ 2.5 MHz และใช้ Synchronous Counter เหมือนกัน แต่จะเป็นวงจรนับ 128 กับ 64 เท่านั้น เพราะตอนเขียนข้อมูลเราเขียนข้อมูลลงหน่วยความจำแต่ละตัว 128 x 64 ตำแหน่ง สัญญาณแอดเดรสการอ่านข้อมูลประกอบด้วย U1,U2,U3,U4,U5,U6 และ U13A โดย

E4	E3	E2	E1	
A16	A15	A8	A7	
0	0	0	0	R11
0	0	0	1	R12
0	0	1	0	R13
0	0	1	1	R14
0	1	0	0	R21
0	1	0	1	R22
0	1	1	0	R23
0	1	1	1	R24
1	0	0	0	R31
1	0	0	1	R32
1	0	1	0	R33
1	0	1	1	R34
1	1	0	0	R41
1	1	0	1	R42
1	1	1	0	R43
1	1	1	1	R44

ส่วนของดีโคเดอร์

R11	R12	R13
R21	R22	R23
R31	R32	R33
R41	R42	R43

ตำแหน่งแรมในการเขี

รูปที่ 3.6 แสดงการเลือกหน่วยความจำในการเขียนข้อมูล

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

มีสัญญาณ ST_H และ ST_V คอยหยุดการนับของ Counter เพราะเป็นช่วงเวลาที่ไม่มีการเก็บข้อมูลภาพลงในหน่วยความจำ

เราใช้ประโยชน์จากขาสัญญาณแอดเดรส E4,E3,E2 และ E1 ในการเลือกหน่วยความจำ โดยใช้ 4 to 16 Lines decoder โดย E2,E1 จะทำหน้าที่เลือกหน่วยความจำในแนวนอนส่วน E4,E3 จะเลือกหน่วยความจำในแนวตั้ง โดยขณะที่ E2,E1 เป็น 00 หน่วยความจำ R11 จะถูกเลือก พอ E2,E1 เป็น 01 หน่วยความจำ R12 จะถูกเลือกให้ทำงาน E2,E1 จะเปลี่ยนไปการนับแอดเดรสการเขียนจนเป็น 11 หน่วยความจำ R14 ก็จะถูกเลือกให้ทำงาน ถึงตรงนี้ข้อมูลก็จะถูกเขียนลงในหน่วยความจำครบ 64 เส้นสแกน แต่ละเส้นมี 512 ตำแหน่ง จากนั้น E4,E3 จะเปลี่ยนเป็น 01 ก็จะมีผลทำให้หน่วยความจำ R21 ทำงาน E2,E1 ก็จะเริ่มที่ 00 ใหม่อีกครั้ง และจะเปลี่ยนไปทุกครั้งเมื่อนับครบ 512 ตำแหน่งก็จะมีผลทำให้หน่วยความจำ R21,R22,R23 และ R24 ทำงาน จนกระทั่งเขียนข้อมูลครบ 128 เส้น E4,E3 ก็จะเปลี่ยนเป็น 10 คราวนี้หน่วยความจำชุดของ R31,R32,R33 และR34 จะเริ่มทำงานแทนจนข้อมูลถูกเขียนไปอีก 192 เส้น E4,E3 จะเปลี่ยนเป็น 11 ทีนี้หน่วยความจำชุดสุดท้าย คือ R41,R42,R43 และ R44 จะทำงานจนข้อมูลถูกเขียนครบ 256 เส้น ซึ่งก็ครบ 1 field พอดี จากนั้น E4,E3,E2,E1 จะกลับมาที่จุดเริ่มต้นอีกครั้งคราวนี้หน่วยความจำอีก field หนึ่งจะถูกเลือกให้ทำงานหน่วยความจำชุดเดิมก็จะถูกอ่านข้อมูลออกไปแทน

7. Read/Write Signal

สัญญาณควบคุมการอ่านและเขียนหน่วยความจำจะถูกป้อนเข้าที่ขา /G และ /W ของหน่วยความจำ ตามลำดับเพื่อควบคุมตำแหน่งการอ่านและเขียนข้อมูลให้ถูกต้อง สัญญาณควบคุมการเขียน /WR สร้างขึ้นจากสัญญาณคล็อก 10 MHz

Truth

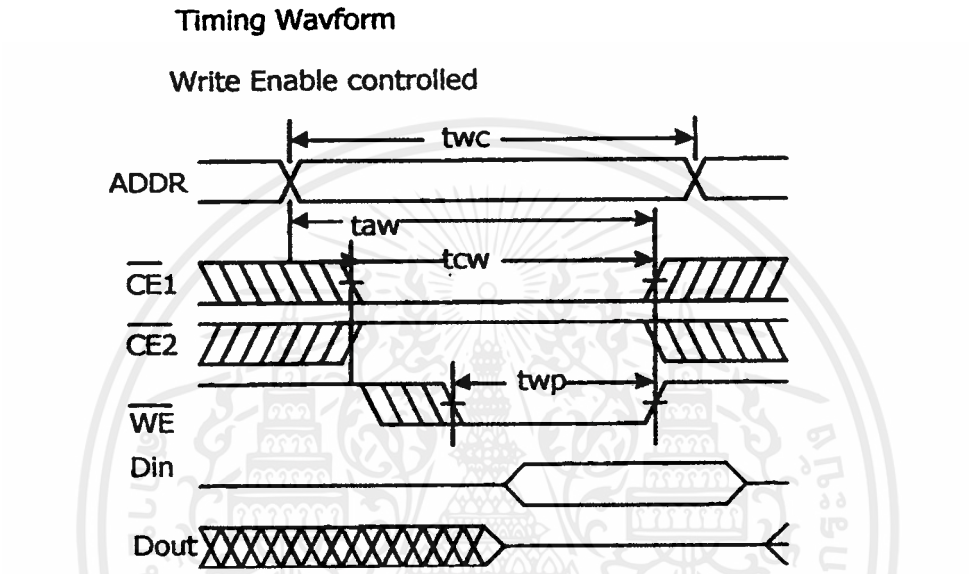
Mode	CE1	CE2	CE	WE	I/O Operation	Vcc Current
standy	H	X	X	X	High Z	Isb,Isb1
	X	L	X	X	High Z	Isb,Isb2
Output Disabled	L	H	H	H	High Z	Icc,Icc1,Icc2
Read	L	H	L	H	Dout	Icc,Icc1,Icc2
Write	L	H	X	L	Din	Icc,Icc1,Icc2

รูปที่ 3.7 แสดง Truth Table ของ SRAM 6264

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ความกว้างของพัลส์ (Pulse width)50 nS เท่ากับข้อกำหนดการเขียนข้อมูลของหน่วยความจำ

จาก Truth Table ของ SRAM 6264 ที่ใช้ในโครงงานนี้ การเขียนข้อมูลลงหน่วยความจำจะต้องให้ขา /WE และ /CE1 เป็น Low ส่วนขา CE2 ต้องมีสถานะตรงข้ามกับ /CE1 เสมอ ช่วงเวลาของการเขียนข้อมูลแสดงดัง Timing Waveforms ดังรูปที่ 3.8

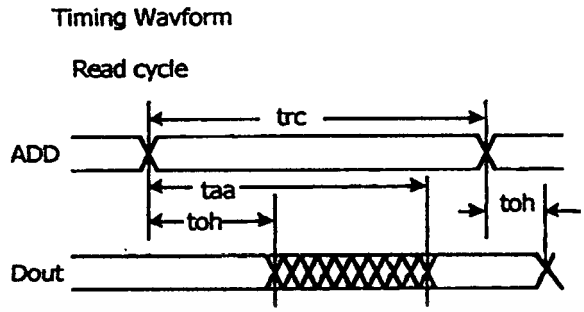


รูปที่ 3.8 แสดง Timing Waveforms ของ SRAM 6264

เนื่องจาก A/D Converter จะเปลี่ยนสัญญาณอนาล็อกเป็นข้อมูลดิจิตอลทุก ๆ 100 nS ดังนั้นหน่วยความจำต้องสามารถเก็บข้อมูลให้ทัน เราจึงเลือกหน่วยความจำที่เวลาการเข้าถึงข้อมูลเร็วกว่า 100 nS หน่วยเวลาที่มีเวลาการเข้าถึงข้อมูลที่ 70 nS มี twp ต่ำสุดที่ 50 nS นั่นคือเราสามารถใช้คล็อกพัลส์ 10 MHz ที่มีดิวตี้ไซเคิล 50 % ได้โดยนำสัญญาณคล็อกนี้มาออร์กับสัญญาณ Cont_A และ Cont_B เพื่อให้ได้สัญญาณที่สลับกันเขียนระหว่าง 2 field แล้วป้อนเข้าส่วนของบัฟเฟอร์เนื่องจากสัญญาณถูกสร้างขึ้นมาเพียง 2 เส้นคือ /WR_A และ /WR_B เราจึงต้องใส่บัฟเฟอร์เพื่อให้สามารถจ่ายกระแสให้กับหน่วยความจำทุกตัวได้

ส่วนการควบคุมการอ่านข้อมูลของหน่วยความจำจาก Truth Table ของหน่วยความจำขาสัญญาณ /WE ต้องมีสถานะเป็น High ในกรณีนี้เราสามารถให้ขา /OE ของหน่วยความจำมีสถานะเป็น Low ตลอดช่วงการอ่านได้ โดยเราจะควบคุมการอ่านข้อมูลจากสัญญาณแอดเดรสการอ่านซึ่งข้อมูลจะเปลี่ยนไปตามตำแหน่งของสัญญาณแอดเดรสแสดงดังรูปที่ 3.9

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



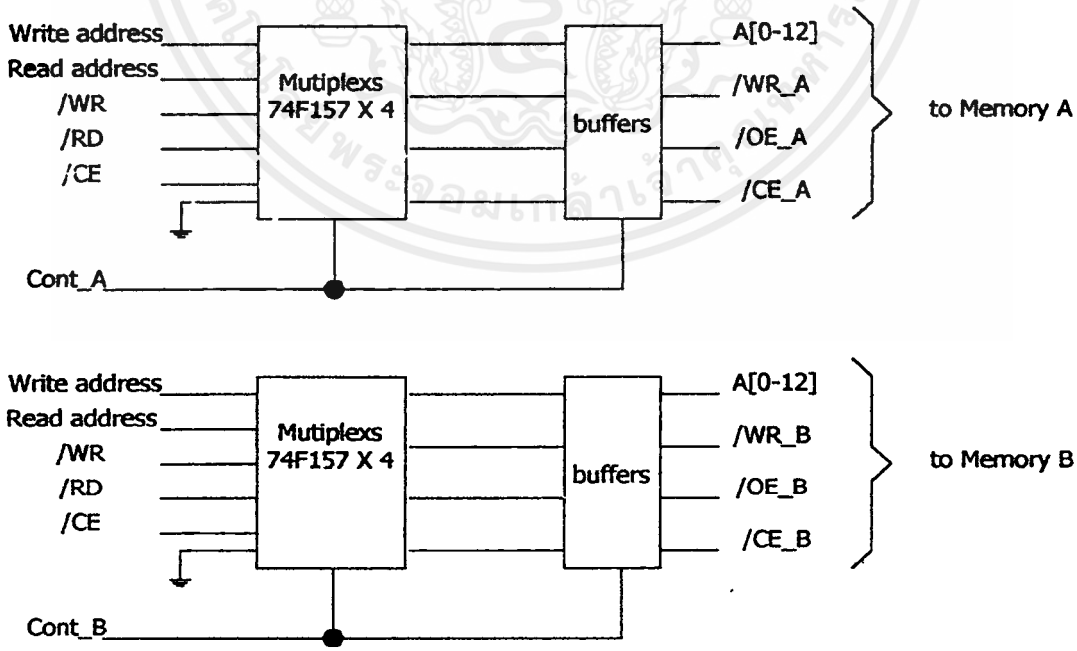
1. $\overline{WE}$ is high for READ cycle
2. Device is continuously enabled $\overline{CE1} = V_{IL}$ and $CE2 = V_{IH}$
3. $\overline{OE} = V_{IL}$

รูปที่ 3.9 แสดง Timing Waveforms การอ่านของ SRAM 6264

จะเห็นว่าเมื่อถึงเวลาการเขียนหรือการอ่านข้อมูลสัญญาณ /CE1 ต้องเป็นสถานะ Low เสมอ ส่วนวงจรการใช้ดูได้จากภาคผนวกท้ายเล่ม

8. Buffer & Multiplexing

วงจรในส่วนนี้จะทำหน้าที่เป็นสวิตช์เลือกสัญญาณต่าง ๆ ไม่ว่าจะเป็นสัญญาณแอดเดรส



รูปที่ 3.10 แสดงการทำงานของ Multiplexes และส่วนของ Buffer

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

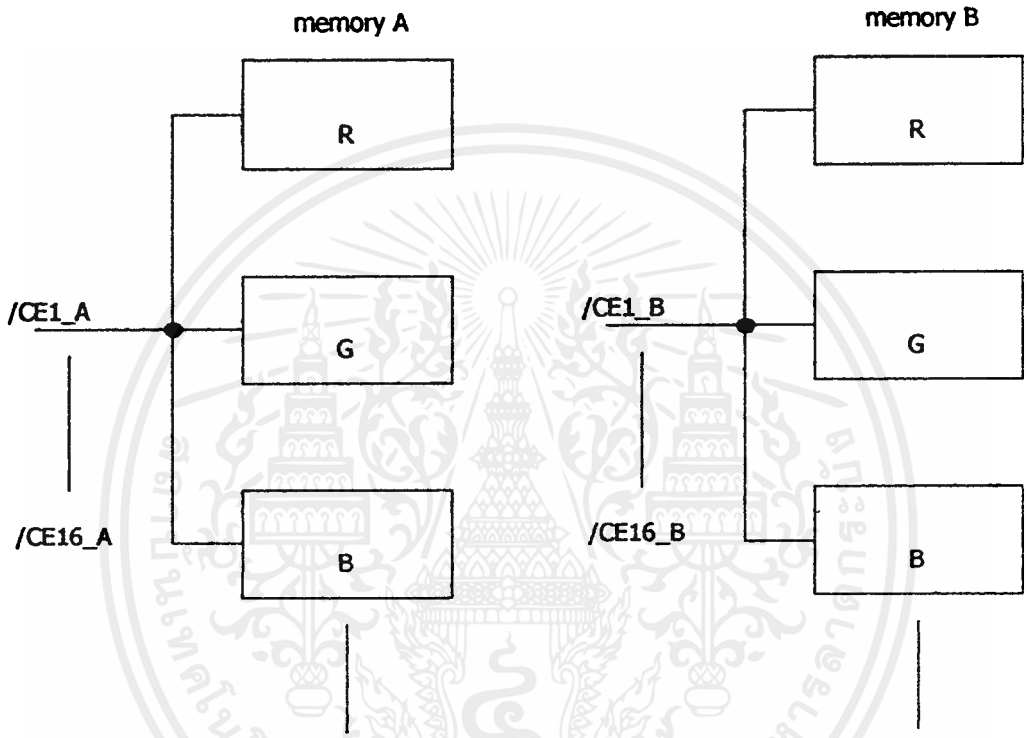
การอ่าน สัญญาณแอดเดรสการเขียน สัญญาณเลือกหน่วยความจำ และสัญญาณควบคุมการอ่านและเขียนข้อมูลของหน่วยความจำ อีกทั้งยังทำหน้าที่เป็นบัฟเฟอร์ให้กับสัญญาณต่าง ๆ ที่กล่าวมา เพื่อให้สามารถป้อนให้หน่วยความจำซึ่งมีจำนวนมากถึง 96 ตัวแต่หน่วยความจำไม่ได้ใช้สัญญาณเหล่านี้พร้อม ๆ กันแต่จะสลับกันทำงานระหว่าง Odd field และ Even field ดังนั้นจำเป็นต้องมีส่วนของ multiplexing ด้วย แสดงดังรูปที่ 3.10 จะเห็นส่วน multiplexes และ buffers จะมี 2 ชุด แต่ละชุดจะทำงานร่วมกับหน่วยความจำชุด A และหน่วยความจำชุด B ซึ่งจะเขียนและอ่านข้อมูลสลับกันตลอดเวลาโดยมีสัญญาณ Cont_A และ Cont_B เป็นสัญญาณควบคุมการ multiplexes เนื่องจากไอซีตระกูล TTL ไม่สามารถจ่ายกระแสขับอินพุทของไอซีตัวอื่นได้เกินขีดจำกัดของตัวมันเองได้ ทำให้เราต้องขยายกระแสเพื่อที่จสามารถป้อนให้หน่วยความจำสามารถทำงานได้ จำนวนอินพุทสูงสุดซึ่งเอาท์พุทสามารถขับได้เรียกว่า Fan-out ตารางรูปที่ 3.11 แสดงจำนวนของ fan-out ของไอซี TTL ตระกลต่างๆ ในโครงงานนี้เราใช้ TTL ตระกูลของ 74FXXX ซึ่งโดยปกติจะให้ fan-out ที่ 33 อินพุท ส่วนไอซีตระกูล CMOS นั้นเนื่องจากไอซีตระกูลนี้อินพุทอิมพีแดนซ์สูง ดังนั้นก็จะมีจำนวน fan-out มากกว่าไอซีตระกูล TTL แต่อย่างไรก็ตามค่าของเวลาหน่วง (Propagation Delay) จะมีค่ามากกว่า TTL series และจะเพิ่มขึ้นเมื่อโหลดมีเพิ่มมากขึ้น ดังนั้น fan-out ของ CMOS จะขึ้นกับ td (time delay) สูงสุด ตามปกติจะมี fan-out ประมาณ 50 ที่ความถี่ 1 MHz เพราะฉะนั้นที่ความถี่สูงกว่า fan-out ก็มีค่าลดลงด้วย

Performance rating	74	74S	74LS	74ALS	74F
Propagation delay (nS)	9	3	9.5	4	3
Power dissipation (mw)	10	20	2	1.2	6
Speed – power product (pj)	90	60	19	4.8	18
Max-clock rate (MHz)	35	125	45	70	100
Fan-out (same series)	10	20	20	20	33

ตารางที่ 3.1 Typical TTL Series Characteristics

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สัญญาณแอดเดรสที่ได้จากส่วนบัฟเฟอร์จะแยกเป็น 2 ส่วนคือ สัญญาณแอดเดรสที่ให้กับหน่วยความจำชุด A และชุด B ในชุด A ก็ยังแบ่งเป็น 3 ชุดย่อยคือ A[0-12]_A0,A[0-12]_A1 และ A[0-12]_A2 ส่วนชุด B ก็จะมีลักษณะเหมือนกัน ในแต่ละชุดย่อยเช่น A[0-12]_A0 จะมี 12 เส้น สัญญาณป้อนให้แก่หน่วยความจำ 16 ตัว ซึ่งมี fan-out เพียงพอเพราะ SRAM 6264 เป็นเทคโนโลยี CMOS ดังนั้นจึงมีอินพุทอิมพีแดนซ์สูง ส่วนสัญญาณเลือกหน่วยความจำก็จะมี

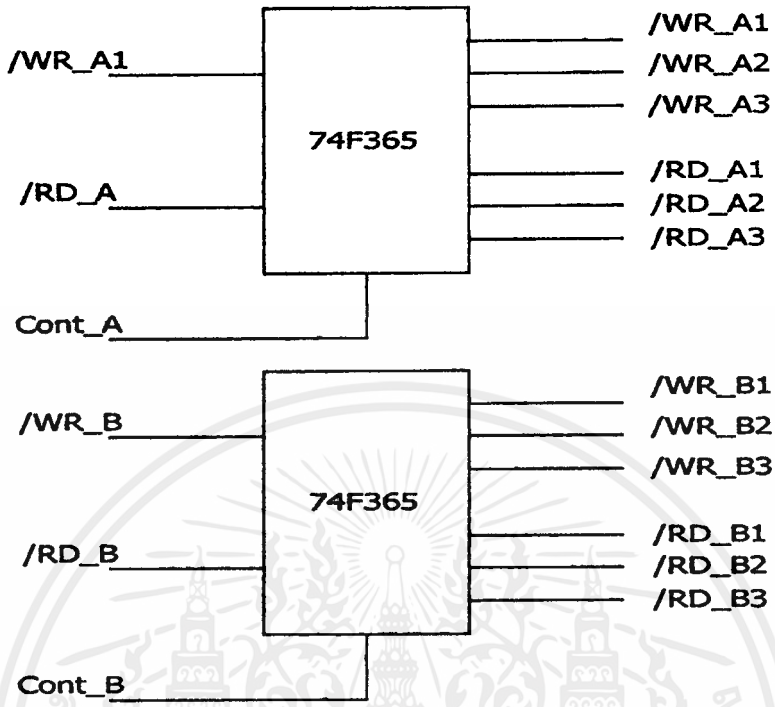


รูปที่ 3.11 แสดงการต่อสัญญาณเลือกหน่วยความจำเข้ากับหน่วยความจำชุด A และ B

2 ชุด เช่นกัน แต่สัญญาณเลือกหน่วยความจำ 1 เส้นจะต่อกับหน่วยความจำเพียง 3 ตัวเท่านั้น คือ หน่วยความจำในชุดของสัญญาณ R,G และ B ดังรูปที่ 3.12

ในส่วนของสัญญาณควบคุมการอ่านและเขียนหน่วยความจำก็ต้องใช้บัฟเฟอร์เช่นกันโดยจะเปลี่ยนมาใช้ 74F365 แทน และแต่ละเส้นสัญญาณต้องขับอินพุทของหน่วยความจำ 16 ตัวเช่นเดียวกัน ประกอบด้วยสัญญาณควบคุมการเขียน /WR_A และ /WR_B กับสัญญาณควบคุมการอ่าน /RD_A และ /RD_B ในการออกแบบจะออกแบบเพียงชุดเดียวเพราะการทำงานแต่ละชุดเหมือนกันนั่นเอง ในส่วนของวงจรดูได้จากภาคผนวกท้ายเล่ม

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

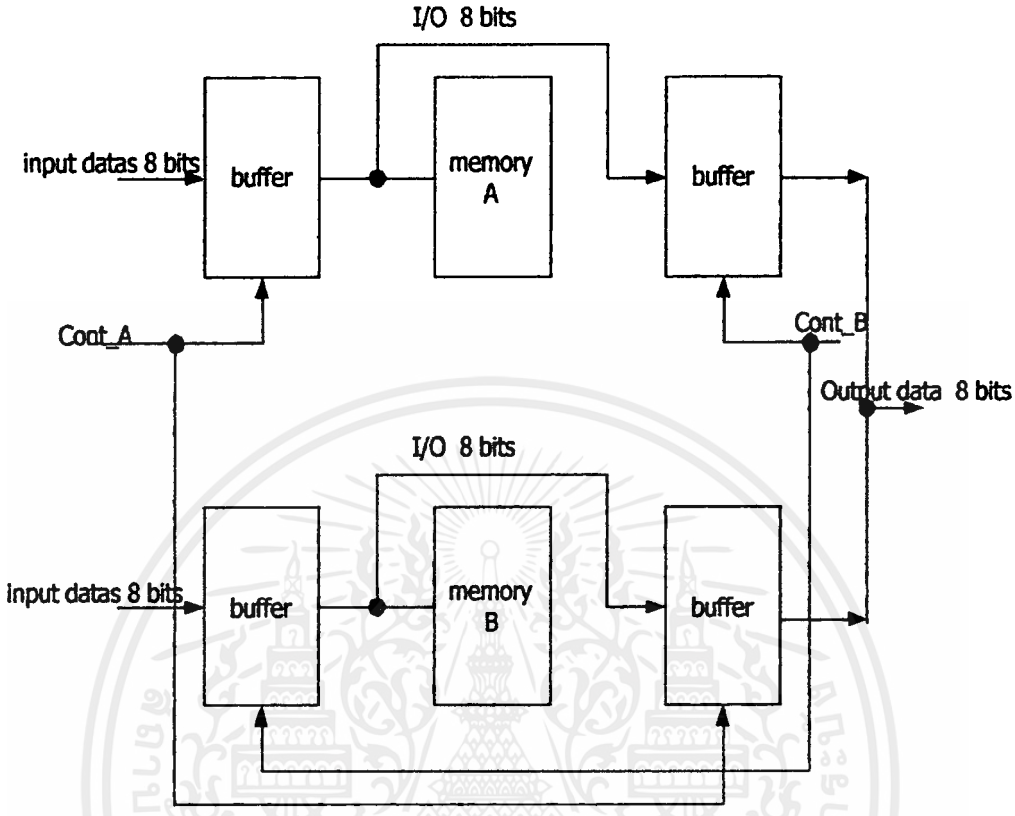


รูปที่3.12 แสดงการขยายสัญญาณควบคุมการอ่านและการเขียนหน่วยความจำด้วยบัฟเฟอร์

9. Data Buffers

Data Buffers จะทำหน้าที่เป็นตัวกันชนให้กับข้อมูลดิจิตอลเนื่องจากขา I/O ของหน่วยความจำเป็นขาเดียวกันเพียงแต่ทำงานคนละช่วงเวลากัน การทำงานของ Data Buffers นี้แสดงดังรูปที่ 3.14 จะเห็นว่าบัฟเฟอร์ในส่วนนี้ประกอบด้วย 2 ส่วนคือ ส่วนที่เป็นบัฟเฟอร์ให้กับข้อมูลดิจิตอลขณะหน่วยความจำทำการเขียนข้อมูลและส่วนที่เป็นบัฟเฟอร์ให้กับข้อมูลดิจิตอลขณะหน่วยความจำทำการอ่านข้อมูล เมื่อถึงเวลาการเขียนข้อมูลหน่วยความจำชุด A สัญญาณควบคุม Cont_A จะคสบคุมบัฟเฟอร์อินพุทยอมให้ข้อมูลผ่านได้อีกทั้งยังไปควบคุมให้บัฟเฟอร์เอาท์พุทของหน่วยความจำชุด B ทำงานซึ่งเป็นช่วงเวลาเดียวกันที่หน่วยความจำชุด B ทำการอ่านข้อมูล ส่วนสัญญาณควบคุม Cont_B จะควบคุมไม่ให้บัฟเฟอร์เอาท์พุทของหน่วยความจำชุด A ทำงานและยังไปควบคุมไม่ให้บัฟเฟอร์อินพุทของหน่วยความจำชุด B ซึ่งกำลังอ่านข้อมูลอยู่ทำงานได้ ช่วงเวลาของฟิลด์ต่อมาสัญญาณควบคุม Cont_B จะทำงานสลับกับสัญญาณควบคุม Cont_A ดังนั้นข้อมูลที่ได้จากหน่วยความจำทั้ง 2 ชุดอ่านข้อมูล ก็จะไม่ชนกัน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

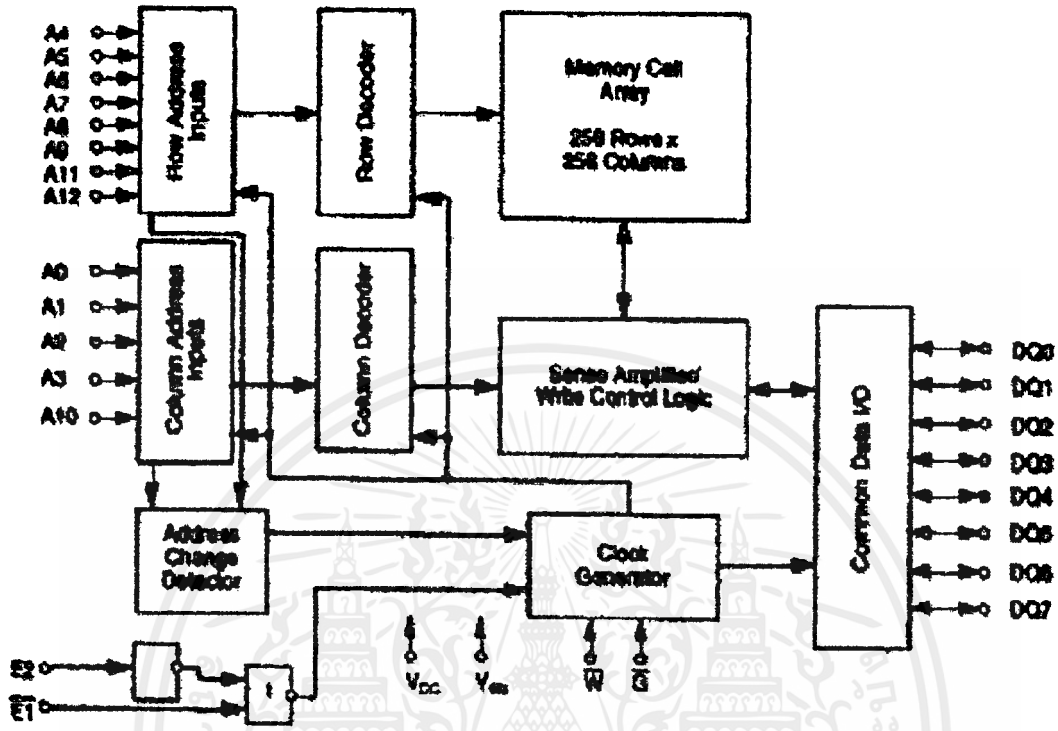


รูปที่ 3.13 แสดงการควบคุมบัฟเฟอร์ของหน่วยความจำ

10. Memory

ในโครงงานนี้จะใช้หน่วยความจำ SRAM (Static Random Access Memory) จำพวกตระกูล XXX6264-70L ซึ่งมีความเร็วในการเข้าถึงข้อมูล 70 nS ใช้เทคโนโลยีของ CMOS จึงสูญเสียกำลังงานต่ำ ถ้าเป็น TTL ก็จะสูญเสียกำลังงานต่ำลงไปอีก XXX6264 ผลิตโดยหลายบริษัท แต่ก็ให้คุณสมบัติเดียวกันจึงสามารถใช้ทดแทนกันได้ XXX เป็นพียงโคดชื่อของบริษัทที่ผลิตเท่านั้นส่วน 6264 เป็นส่วนที่บอกความจุละจำนวนบิทที่ใช้ หมายถึง 64Kbit (65,536 bit) หรือ 8 Kbytes x 8 bit ปกติจะกินกระแสต่ำไม่เกิน 90mAและขณะไม่มีการเขียนและอ่านข้อมูลหรืออยู่ในช่วงสแตนด์บาย (Standby)จะไม่เกิน100 uAตรงนี้ข้อมูลของแต่ละบริษัทอาจไม่เหมือนกัน ขาอินพุทและเอาท์พุทเป็นแบบ 3 สถานะ (Common I/O using three – state output) และสามารถต่อกับไอซีตระกูล TTL ได้โดยตรง จึงทำให้สะดวกในการใช้งาน โครงสร้างของหน่วยความจำที่ใช้แสดงดังรูป 3.15

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.14 แสดงโครงสร้างของหน่วยความจำ SRAM 6264

ขาควบคุมการเลือกหน่วยความจำ (Chip enable inputs) จะมี 2 ขาเพื่อให้ง่ายต่อการควบคุม

ในโครงงานนี้เราต้องนำสัญญาณภาพสี R,G และ B เปลี่ยนเป็นข้อมูลดิจิตอลแล้วนำกลับมาเก็บในหน่วยความจำแยกอิสระกัน ดังนั้นจึงต้องใช้หน่วยความจำ 3 ชุด ตามลำดับ และเนื่องจากข้อมูลดิจิตอลก็จะถูกแบ่งเป็น 2 ฟิลด์ตามฟิลด์ภาพ ดังนั้นหน่วยความจำจึงต้องแบ่งเป็น 2 ชุดคือ หน่วยความจำ A และหน่วยความจำ B เพื่อสลับกันอ่านและเขียนข้อมูลภาพ โครงงานนี้แบ่งภาพออกเป็น 16 จอภาพ เวลาอ่านข้อมูลดิจิตอลจึงต้องใช้หน่วยความจำแต่ละฟิลด์เท่ากับจำนวนจอภาพทั้งหมดเพื่อให้หน่วยความจำอ่านข้อมูลออกมาทีละ16 ตัว นั่นคือต้องใช้หน่วยความจำทั้งหมด 96 ตัว

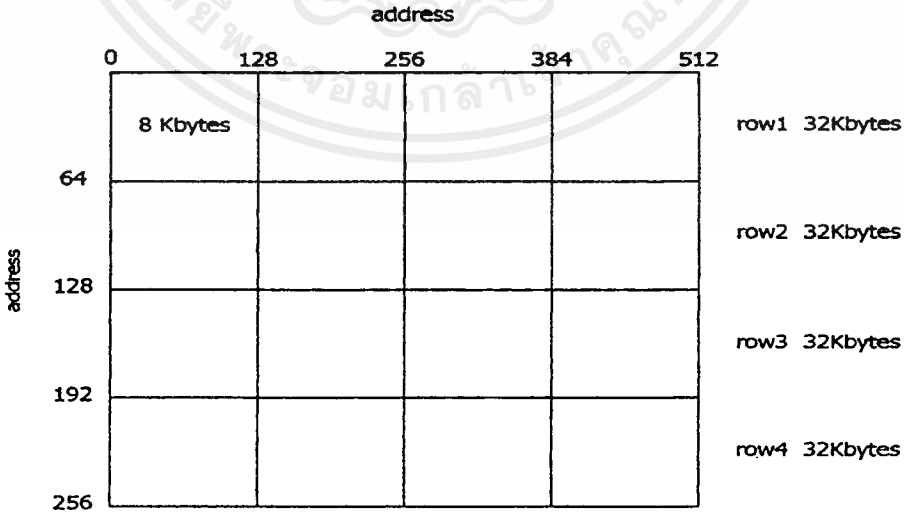
ใน 1 เส้นสแกนของภาพประกอบด้วย 2 ฟิลด์ จำนวน 625 เส้น แต่ละฟิลด์ก็จะสแกน 312.5 เส้น เพื่อให้ง่ายในการออกแบบสัญญาณแอดเดรส เราจึงออกแบบให้แต่ละฟิลด์เก็บข้อมูล 256 เส้นที่เป็นสัญญาณภาพเท่านั้นอีกทั้งในแต่ละเส้นก็ออกแบบให้เก็บข้อมูลภาพ 512 ตำแหน่ง เพราะใน 1 เส้นสแกน 64 uS จะมีสัญญาณภาพ 52 uS เท่านั้นเมื่อเราแซมปลิ้ง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ด้วยความถี่ 10 MHz ก็จะได้ข้อมูลดิจิตอล 520 ตำแหน่งซึ่งเพียงพอที่เราจะเก็บข้อมูล 512 ตำแหน่ง ดังนั้นหน่วยความจำที่ต้องใช้ใน 1 ฟิลด์เท่ากับ 512 x 256 = 128Kbytes เราต้องใช้หน่วยความจำ 16 ตัวใน 1 ฟิลด์ภาพ หน่วยความจำจึงมีขนาด 128 Kbytes / 16 = 8 Kbytes ซึ่งต้องใช้สัญญาณแอดเดรส 13 เส้น โดยแบ่งสัญญาณแอดเดรสที่ใช้ชี้ตำแหน่งการนับ 512 ตำแหน่งทางแนวนอนและสัญญาณแอดเดรสที่ใช้ชี้ตำแหน่งการนับ 256 ตำแหน่งทางตั้ง ดังรายละเอียดการสร้างในการสร้างสัญญาณ

แอดเดรสการอ่านละการเขียนข้อมูลที่ผ่านมา ดังนั้นหน่วยความจำ 1 ตัวต้องเขียนข้อมูลดิจิตอลทางแนวนอน 512 / 4 = 128 ตำแหน่ง และทางแนวตั้ง 256 / 4 = 64 ตำแหน่ง

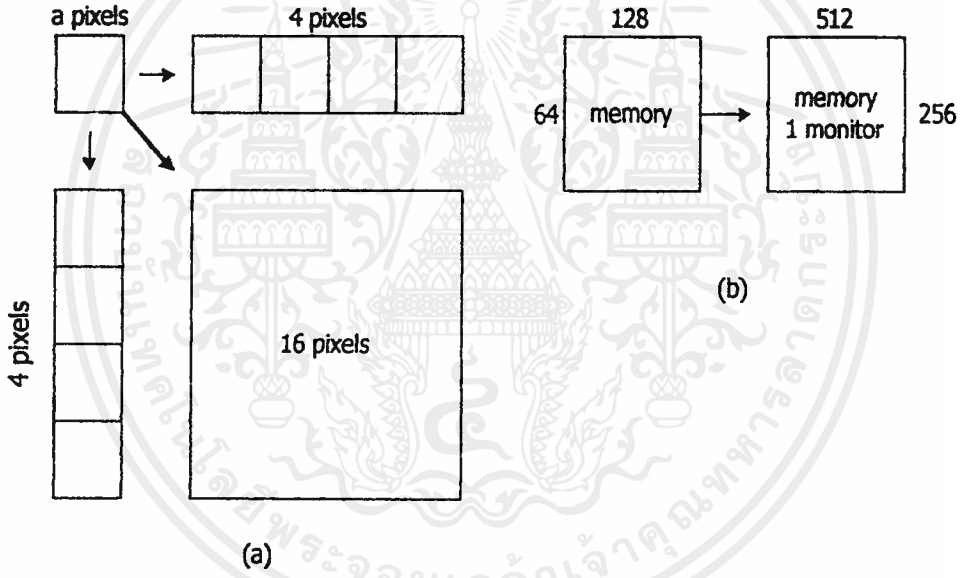
หน้าที่ของหน่วยความจำในแต่ละฟิลด์นั้น จะทำงาน 2 ช่วงคือ ช่วงเวลาที่หน่วยความจำต้องเขียนข้อมูลและช่วงเวลาที่หน่วยความจำทำการอ่านข้อมูล ในการเขียนข้อมูลเราจะมองหน่วยความจำทั้ง 16 ตัวเป็นพื้นที่เดียวกัน เริ่มต้นที่หน่วยความจำแถวแรก หน่วยความจำตัวแรกเก็บข้อมูลตำแหน่งที่ 0 – 127 หน่วยความจำตัวที่ 2 ก็จะเก็บข้อมูลจาก 128 – 255 หน่วยความจำตัวที่ 3 จะเก็บข้อมูลตำแหน่งที่ 256 – 383 หน่วยความจำตัวสุดท้ายจะเก็บข้อมูลตำแหน่งที่ 284 – 511 ซึ่งครบ 512 ตำแหน่งทางแนวนอน สัญญาณแอดเดรสทางแนวตั้งก็จะเลื่อนขึ้นมา 1 ตำแหน่งและเริ่มเก็บข้อมูลภาพเหมือนเดิม ทำให้ได้ข้อมูลภาพเรียง ๆ กันไปจนครบ 64 ตำแหน่ง ทางแนวตั้งหน่วยความจำแถวแรกก็จะเก็บข้อมูลครบ 32 Kbytes หลังจากนั้นหน่วยความจำแถวที่ 2 ก็จะเก็บข้อมูลภาพอีก 32 Kbytes หน่วยความจำแถวที่ 3 และ 4 ก็จะเก็บข้อมูลลักษณะเดียวกันจนครบ 128 Kbytes ดังรูป 3.16



รูปที่ 3.15 แสดงการจัดหน่วยความจำในการเขียนข้อมูลภาพตามตำแหน่งของสัญญาณ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

หลังจากข้อมูลถูกเก็บลงในหน่วยความจำจนครบ 128 Kbytes ก็จะถูกอ่านข้อมูลในฟิลด์ต่อมา แต่การอ่านข้อมูลจากหน่วยความจำ หน่วยความจำจะอ่านข้อมูลออกมาพร้อมๆ กัน เพื่อให้ได้ข้อมูลภาพ 1 ฟิลด์ ที่ต้องให้หน่วยความจำอ่านข้อมูลออกมาพร้อม ๆ กัน เนื่องจากขณะทำการอ่านข้อมูลภาพ แต่ละข้อมูลจะถูกขยายออกมา 4 เท่าทั้งทางแนวนอนละแนวตั้ง เพื่อให้เต็มจอภาพ การขยายข้อมูลนี้ต้องใช้สัญญาณแอดเดรสช่วยดังที่กล่าวมาแล้วในการสร้างสัญญาณควบคุมการอ่านให้กับหน่วยความจำ ข้อมูลของหน่วยความจำจะเก็บเป็นจุด (pixel) ทางแนวนอนข้อมูลจะถูกขยายออกมาอีก 3 จุด และทางแนวตั้งขยายออกมาอีก 3 จุด นั่นคือ เมื่อข้อมูลถูกอ่านออกจากหน่วยความจำทางแนวนอน 128 ตำแหน่ง ก็จะถูกขยายเป็น 128 x 4 = 512 ตำแหน่ง และทางแนวตั้งข้อมูลถูกอ่านจากหน่วยความจำ 64 ตำแหน่ง ก็จะขยายเป็น 64 x 4 = 256 ตำแหน่ง ซึ่งจะเต็มจอภาพพอดี ดังรูปที่ 3.17



รูปที่ 3.16 (a) แสดงการขยายพิกเซล (pixel)

(b) แสดงการขยายข้อมูลจากหน่วยความจำให้เต็มจอภาพ

11. D/A Converter

ส่วนของ D/A Converter จะทำหน้าที่ในการแปลงข้อมูลภาพดิจิตอลที่ได้จากหน่วยความจำให้กลับมาเป็นสัญญาณภาพอนาลอกอีกครั้ง โดยเลือกใช้ไอซีโมโนลิติค (monolithic) DAC0800 ซึ่งมีอินพุทขนาด 8 bit ขาอินพุทสามารถต่อโดยตรงได้กับ TTL,CMOS,PMOS และไอซีตระกูลอื่นได้ดี ให้แรงดันเอาท์พุทตั้งแต่ -10V ถึง +18V กระแสเอาท์พุทสูงสุด (lfs) หาได้จาก

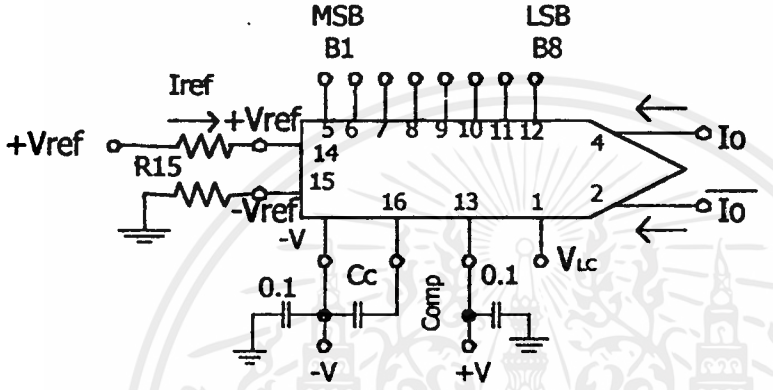
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Lfs = (+Vref/Rref) x 255/256 สำหรับแรงดันอ้างอิงเป็นหลัก

Lfs = (-Vref/Rref) x 255/256 สำหรับแรงดันอ้างอิงเป็นลบ

Rref(R14) = R15

โดยที่ Vref ต้องมากกว่าแรงดันพีคสูงสุดของสัญญาณอินพุท สัญญาณอนาล็อกที่ได้จะนำไปเข้าวงจร Video encoder ต่อไป



รูปที่ 3.17 การใช้งาน DAC0800

12. ภาคเอนโคดเดอร์

วงจรในภาคของเอ็นโคดเดอร์ (Encoder Circuit) เป็นวงจรที่จะรวมสัญญาณสีแดง, สัญญาณสีน้ำเงิน,สัญญาณสีเขียว ให้เป็นสัญญาณสีรวม(Composite Signal) สัญญาณที่ได้มามีการผสมกับสัญญาณฮอร์ซิงค์เรียบร้อยแล้ว สามารถนำออกจอมอร์นิเตอร์ได้เลยส่วนในการประกอบวงจรในโครงงานนี้ซึ่งจะรับอินพุทที่ได้มาจากวงจรแปลงดิจิตอลเป็นอนาล็อกของแต่ละชุด (เป็นเอาท์พุทที่แปลงสัญญาณดิจิตอลเป็นอนาล็อกของชุด สัญญาณสีแดง, สัญญาณสีน้ำเงินและสีเขียว) นำมาผสมกันอีกครั้ง เพื่อให้ได้สัญญาณสีรวม

ในการทดลองใช้ MC1377 ของบริษัท MOTOROLA และมีส่วนประกอบของอุปกรณ์ต่าง ๆ ดังที่แสดงในภาคผนวก ข

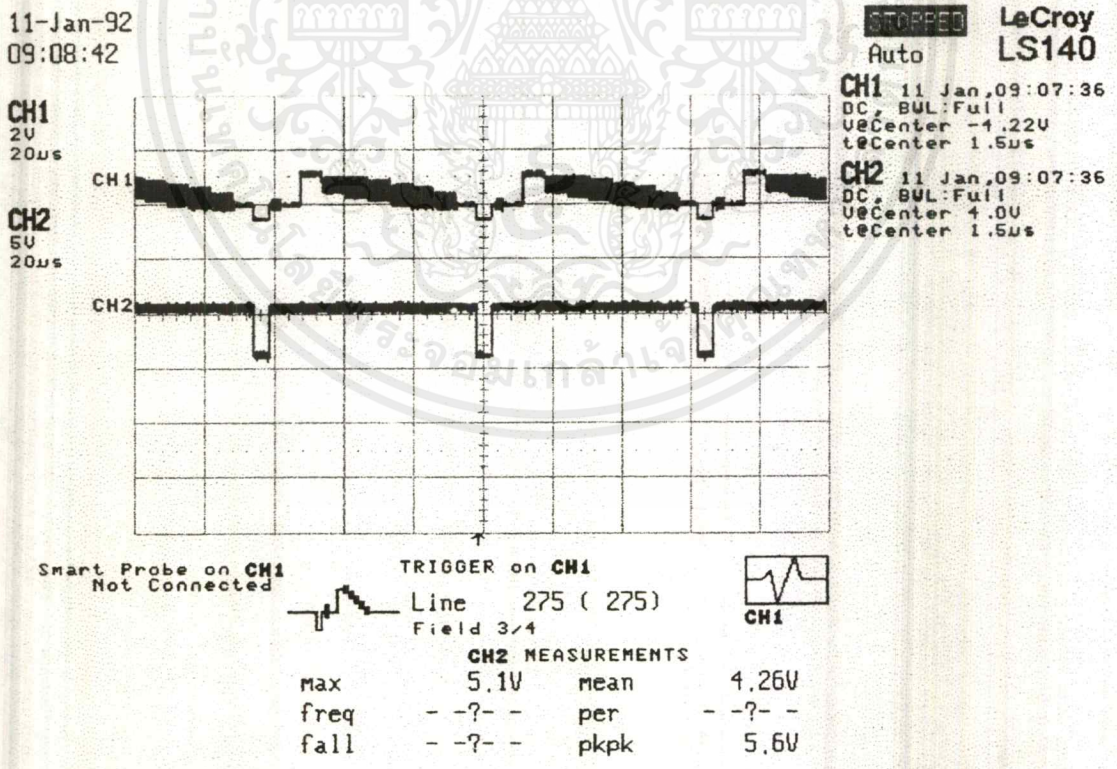
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 4

การทดลองและผลการทดสอบ

จากการที่ได้ศึกษาทฤษฎีต่าง ๆ เราได้ออกแบบและทดลองเป็นส่วน ๆ ประกอบด้วย ส่วนของวงจรกำเนิดสัญญาณนาฬิกา 10MHz ส่วนของวงจรแปลงสัญญาณอนาลอกเป็นข้อมูลทางดิจิตอล ส่วนของวงจรกำเนิดสัญญาณตำแหน่ง และส่วนของสัญญาณเลือกหน่วยความจำ ทั้งหมดนี้รวมอยู่ในแผ่นวงจรพิมพ์เดียวกัน ด้วยสาเหตุนี้การออกแบบจึงจำเป็นต้องใช้แผ่นวงจรพิมพ์ที่มีลายทองแดง ทั้ง 2 ด้าน เพื่อสามารถที่จะกำหนดขนาดของตัวเครื่องของโครงงานนี้ให้มีขนาดเล็กที่สุด

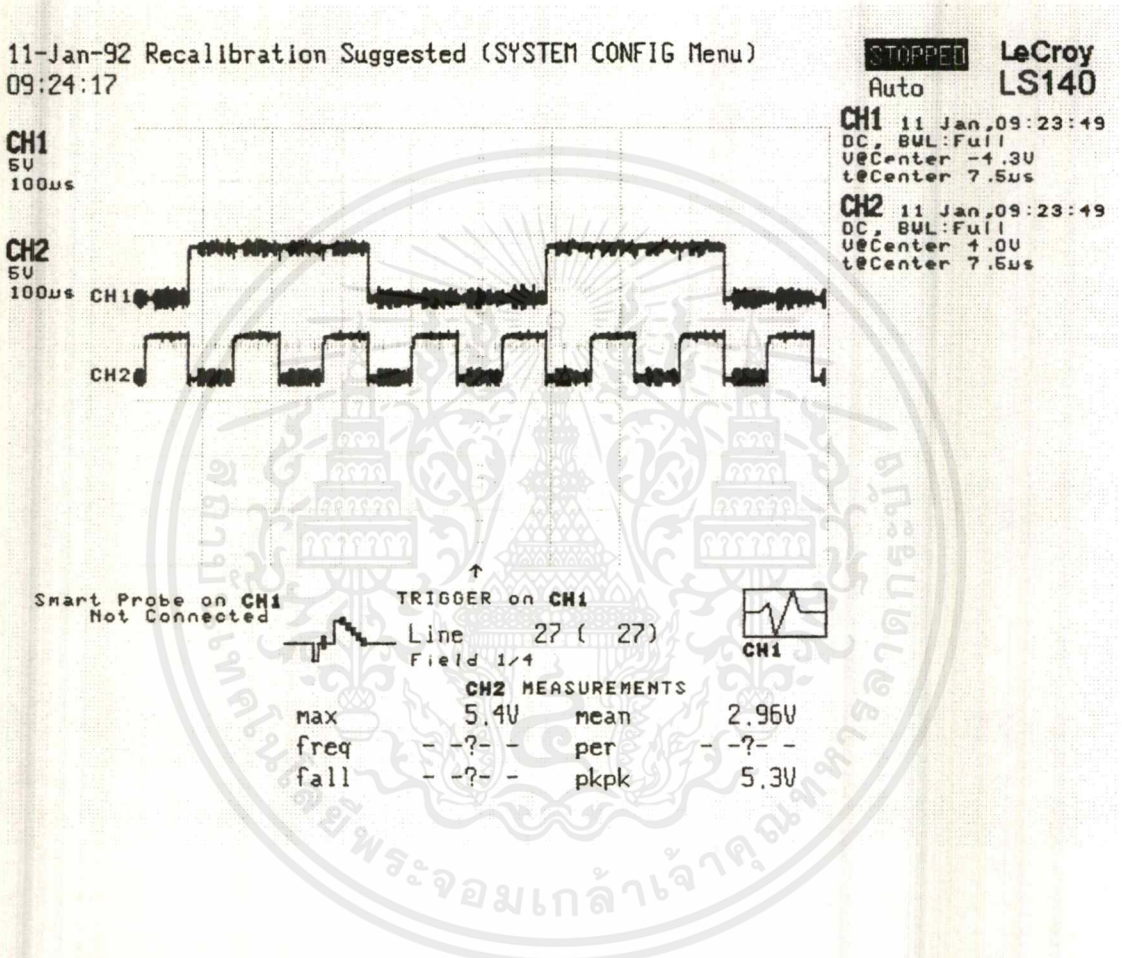
เป็นที่แน่นอนว่าเมื่อขนาดของแผ่นวงจรมีขนาดเล็ก ก็จะทำให้ขนาดของลายทองแดงที่เชื่อมต่อกันระหว่างอุปกรณ์นั้นมีขนาดเล็กลงตาม และที่สำคัญช่องห่างระหว่างเส้นสัญญาณที่เป็นลายทองแดงใกล้กันมากจึงทำให้เกิดสัญญาณรบกวนจึงมีผลเป็นอย่างมากต่อสัญญาณเอาท์พุทที่ได้



รูปที่ 4.1 แสดงสัญญาณสีรวม(CH1) และสัญญาณ Horizontal Synchronous

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

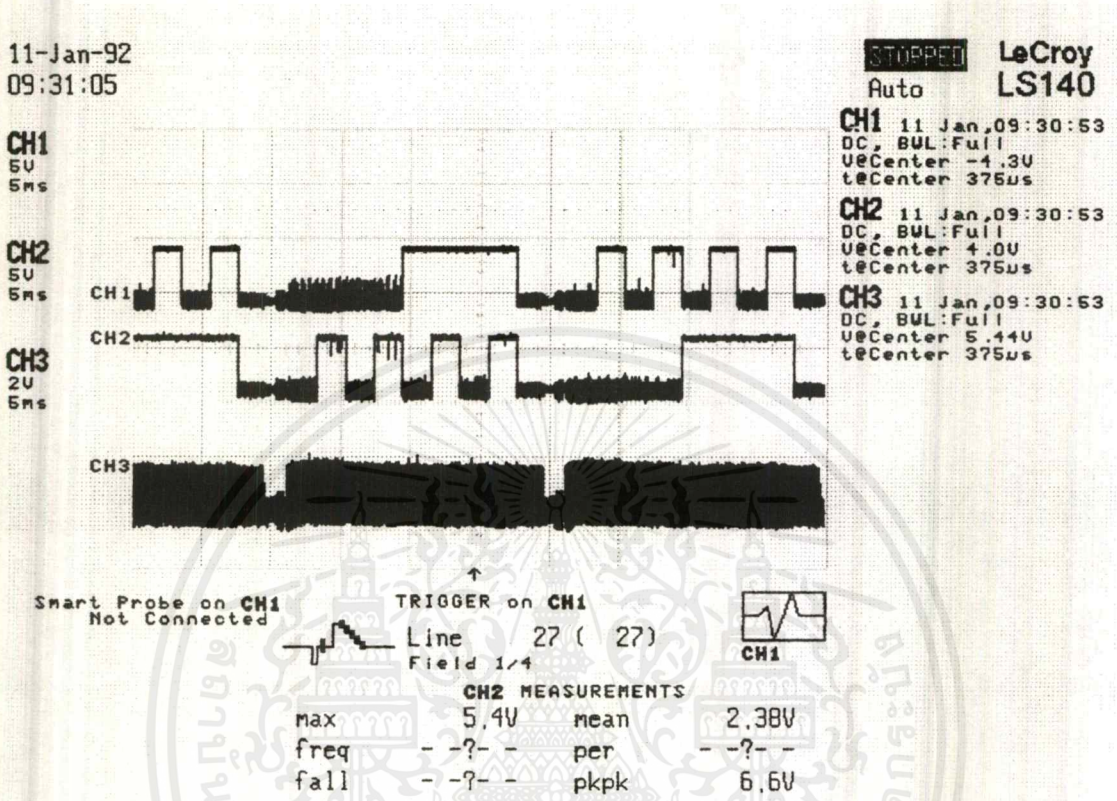
สัญญาณสีรวมที่แสดงใน CH1 นี้เป็นสัญญาณที่ได้จากเครื่องกำเนิดสัญญาณโดยตรง ซึ่งยังไม่ผ่านขบวนการทางประมวณผล แต่มีความสำคัญอย่างยิ่งเพื่อป้อนให้แก่ไอซี LM 1881 เพื่อที่จะให้ไอซีตัวดังกล่าวทำการดีเทคเอาสัญญาณ Horizontal Synchronous นำไปเป็นสัญญาณที่จะเป็นตัวกำเนิดสัญญาณกำหนดจุดเริ่มต้นและจุดสุดท้ายของการอ่านเขียนในแต่ละเส้น



รูปที่ 4.2 CH1 แสดงสัญญาณทีกำหนดระยะเวลาในการอ่านข้อมูล
CH2 แสดงสัญญาณทีกำหนดระยะเวลาในการเขียนข้อมูล

สังเกตได้ว่าสัญญาณที่เป็นตัวกำหนดในการเขียนข้อมูลมีความถี่เป็น 4 เท่าของสัญญาณที่ใช้กำหนดในการอ่าน เมื่อนำสัญญาณที่ตัวกำหนดในการอ่านข้อมูลเป็น 1 คาบเวลาไปเปรียบเทียบกับสัญญาณสีรวมจำนวน 1 เส้น จะมีค่าเท่ากันพอดี เพราะฉะนั้นเวลาที่ในการเขียนข้อมูลจะใช้เวลาเพียง 1 ใน 4 ส่วนต่อ 1 เส้นภาพ แต่เวลาในการอ่านข้อมูลจะเท่ากับ 1 เส้นภาพพอดีทำให้ได้สัญญาณเอาท์พุทที่ได้ใน 1 เส้นภาพ จะมีสัญญาณเพียง 1 ใน 4 ส่วนของภาพเท่านั้น

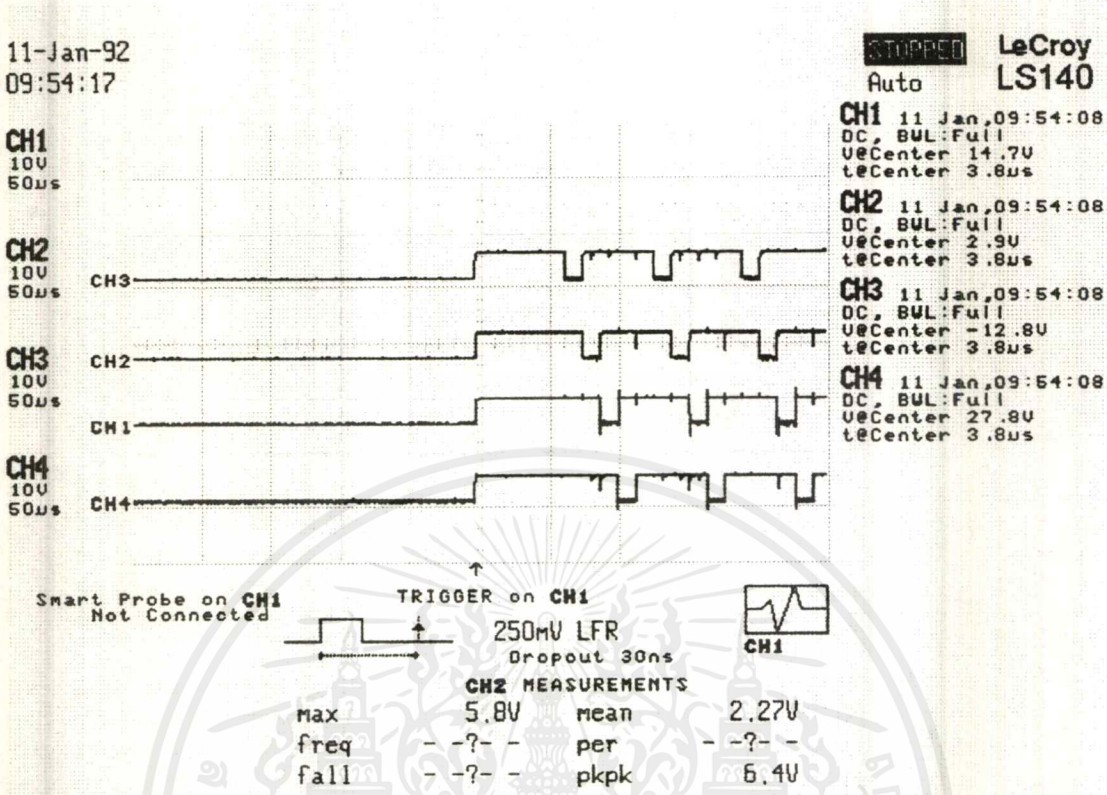
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.3 CH1 แสดงสัญญาณแอดเดรสที่ใช้ในการเขียนและอ่าน ของฟิลด์แรก
CH2 แสดงสัญญาณแอดเดรสที่ใช้ในการเขียนและอ่าน ของฟิลด์ที่สอง
CH 3 แสดงสัญญาณภาพ 1 เฟรม

ในการเขียนและอ่านข้อมูลจะกระทำสลับฟิลด์กัน โดยในที่นี้สมมุติว่าเริ่มเขียนที่ฟิลด์คู่ลงไปในหน่วยความจำตัวที่1 ส่วนหน่วยความจำที่ 2 จะทำการอ่านจากข้อมูลเดิมที่ทำการเขียนเข้ามาก่อนแล้ว ก็จะสลับกันอย่างนี้ทุก ๆ ฟิลด์

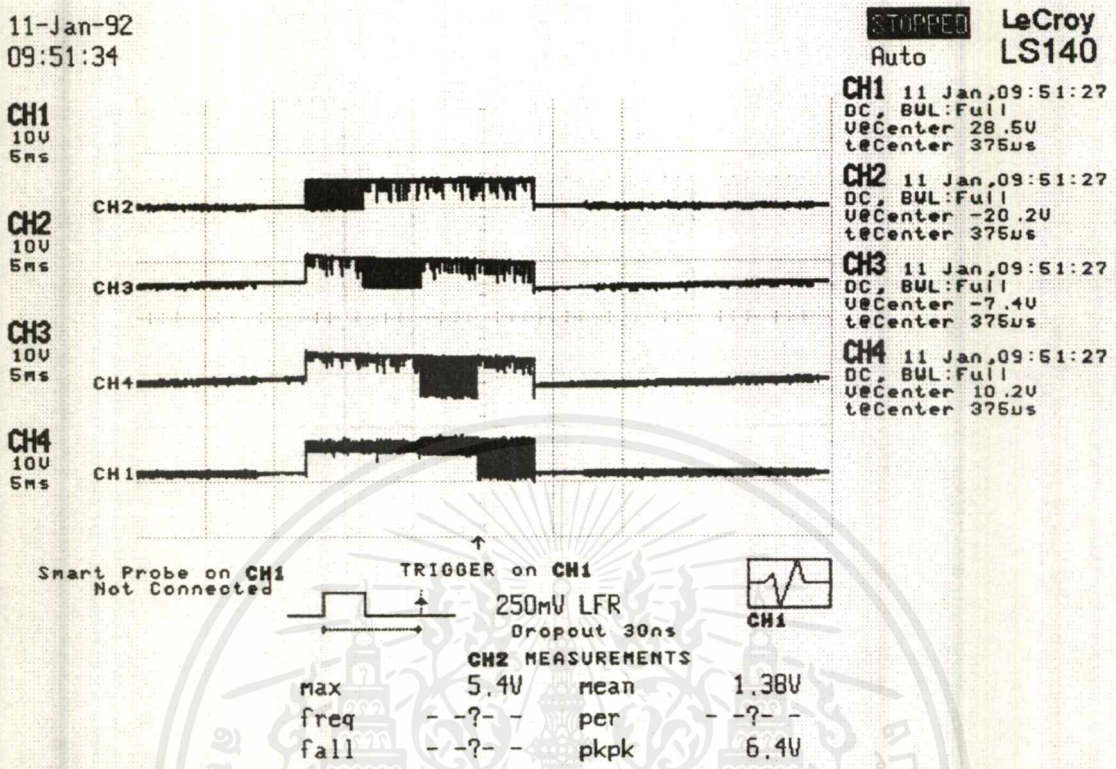
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.4 CH1 แสดงสัญญาณควบคุมเลือกการเขียนข้อมูลช่องที่ 3
CH2 แสดงสัญญาณควบคุมเลือกการเขียนข้อมูลช่องที่ 2
CH3 แสดงสัญญาณควบคุมเลือกการเขียนข้อมูลช่องที่ 1
CH4 แสดงสัญญาณควบคุมเลือกการเขียนข้อมูลช่องที่ 4

ภายใน1 เส้นภาพ(1 Hor) ถูกแบ่งออกเป็น 4 ส่วนนั้น เราใช้สัญญาณดังรูปที่ 4.4 เป็นตัวเลือกว่าจะให้หน่วยความจำทำงาน ทำให้ข้อมูลที่เราเขียนลงไปในหน่วยความจำนั้นมีค่าเพียง 1ใน 4 ส่วนของข้อมูลจริง ใน 1 เส้นภาพเท่านั้น

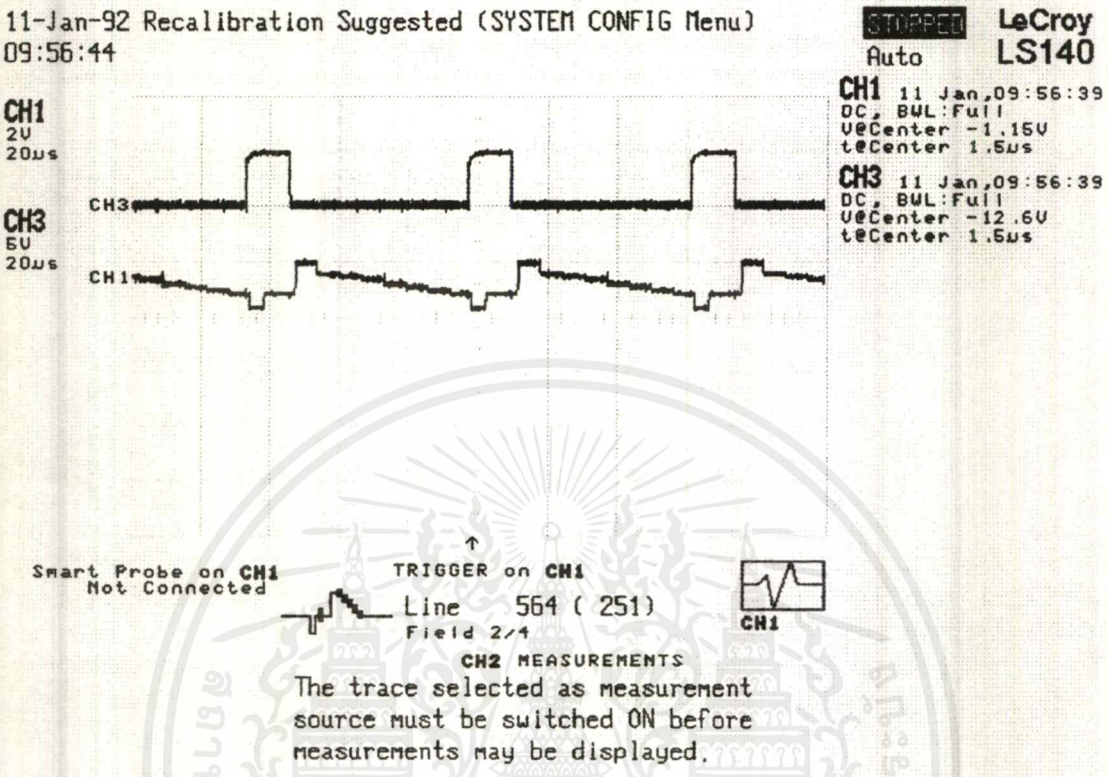
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.5 CH1 แสดงสัญญาณควบคุมเลือกการเขียนข้อมูลช่องที่ 4 ใน 1 ฟิลด์
CH2 แสดงสัญญาณควบคุมเลือกการเขียนข้อมูลช่องที่ 1 ใน 1 ฟิลด์
CH3 แสดงสัญญาณควบคุมเลือกการเขียนข้อมูลช่องที่ 2 ใน 1 ฟิลด์
CH4 แสดงสัญญาณควบคุมเลือกการเขียนข้อมูลช่องที่ 3 ใน 1 ฟิลด์

เป็นสัญญาณเดียวกันกับสัญญาณในรูปที่ 4.4 แต่ในที่นี้จะทำการปรับความถี่ให้สูงขึ้น จะมองเห็นเป็นสัญญาณทาง Vertical เมื่อเราเลือกให้หน่วยความจำทำงานภายใน 1 เส้นภาพแล้ว หน่วยความจำจะทำงานเพียง 4 ตัว ดังนั้นเราต้องทำสัญญาณเลือกนี้ให้ครบทุก ๆ ตัว

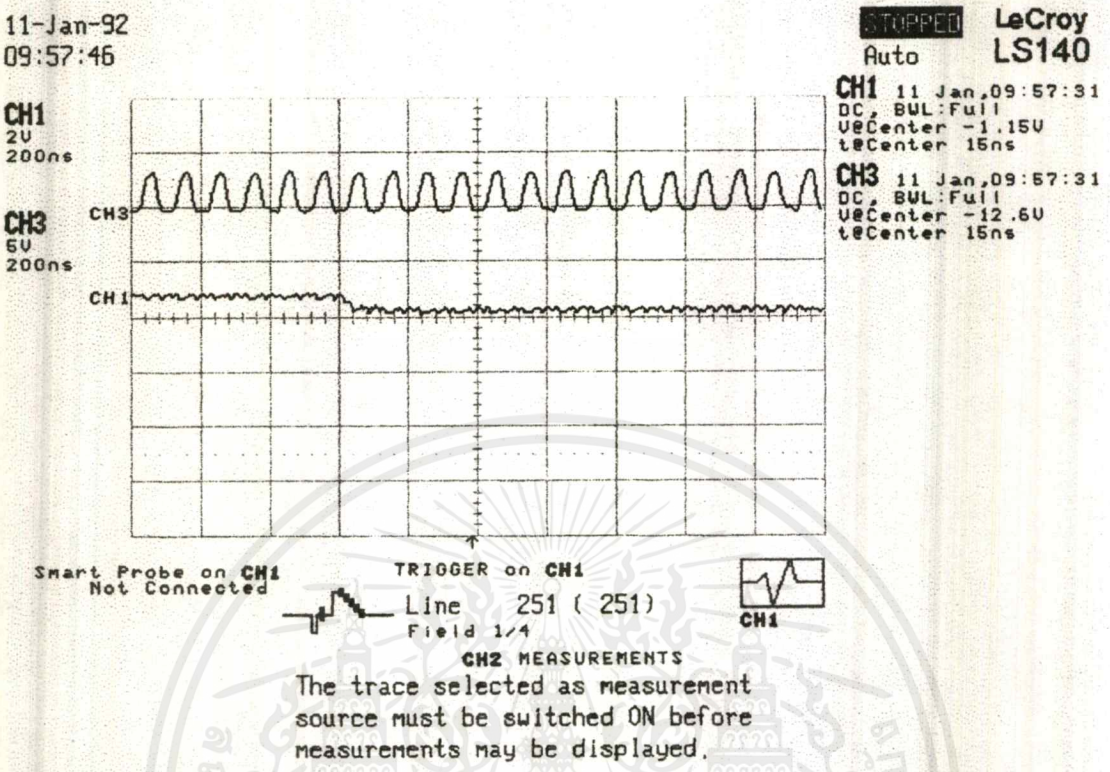
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.6 CH 3 แสดงสัญญาณในการควบคุมการอ่านของหน่วยความจำ
CH 1 สัญญาณลูมิแนนซ์

ในการอ่านข้อมูลจากหน่วยความจำนั้นจะใช้เวลาเท่ากับ 1 Hor พอดี(แต่ในการใช้งานของโครงงานนี้อาจจะทำการเขียนอ่านข้อมูลไม่ถึง 1 Hor อาจหายไปบ้างเป็นบางเส้น) สัญญาณนี้จะ Enable ให้หน่วยความจำทำงาน ซึ่งจะทำงานสลับกันทีละฟิลด์กับสัญญาณที่ใช้ในการเขียนหน่วยความจำ

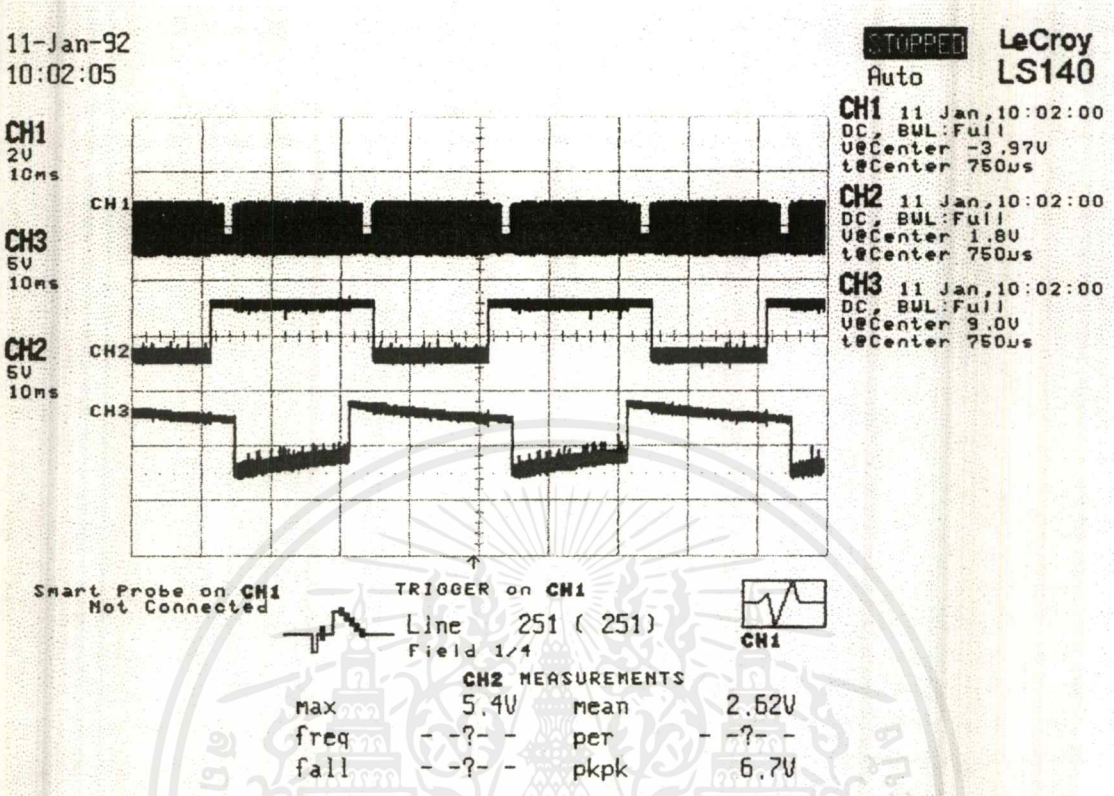
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.7 CH3 แสดงสัญญาณควบคุมการเขียน
CH1 สัญญาณลูมิแนนซ์

สัญญาณนี้จะทำหน้าที่เหมือนกับสัญญาณควบคุมการอ่านนั่นเอง เพียงแต่ว่าจะสลับกันทำงานในคนละฟิลด์ เพราะฉะนั้นเราจึงได้สัญาณเอาท์พุทไปแสดงผลที่จอภาพแสดงผลนั้นเป็นสัญญาณ REALTIME

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



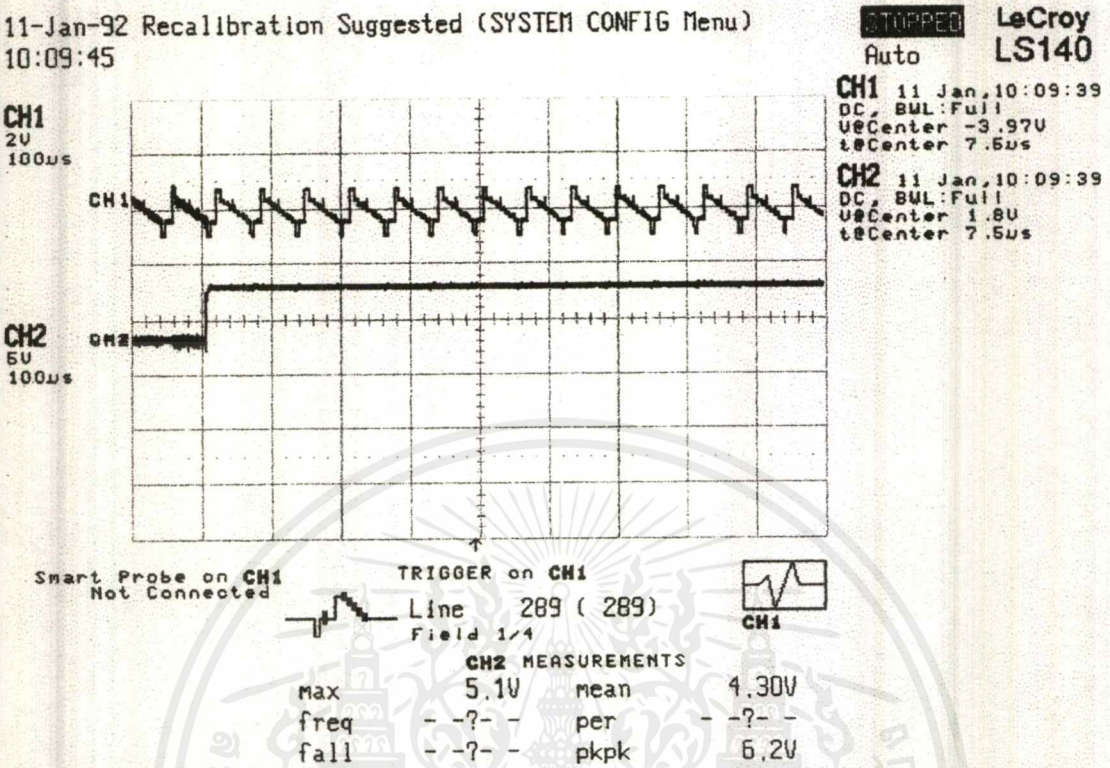
รูปที่ 4.8 CH1 แสดงสัญญาณสีรวม

CH2 แสดงสัญญาณควบคุมการทำงานในฟิลด์แรก

CH3 แสดงสัญญาณควบคุมการทำงานในฟิลด์ที่ 2

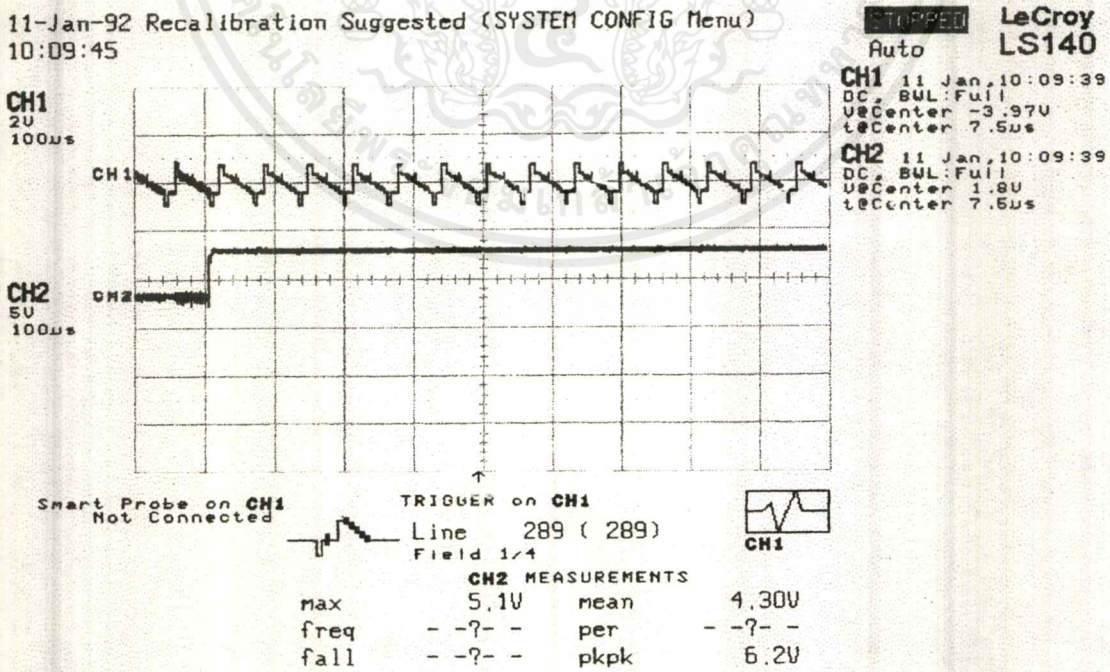
สัญญาณนี้ไปควบคุมการทำงานของ Buffer เพื่อใช้ในการสลับการทำงานทีละฟิลด์ เช่น หน่วยความจำตัวที่ 1 จะทำการเขียน Buffer ก็นำข้อมูลเข้ามา เช่นกันเมื่อหน่วยความจำตัวที่ 2 ทำการอ่าน Buffer ก็จะทำการเอาข้อมูลออกไป

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

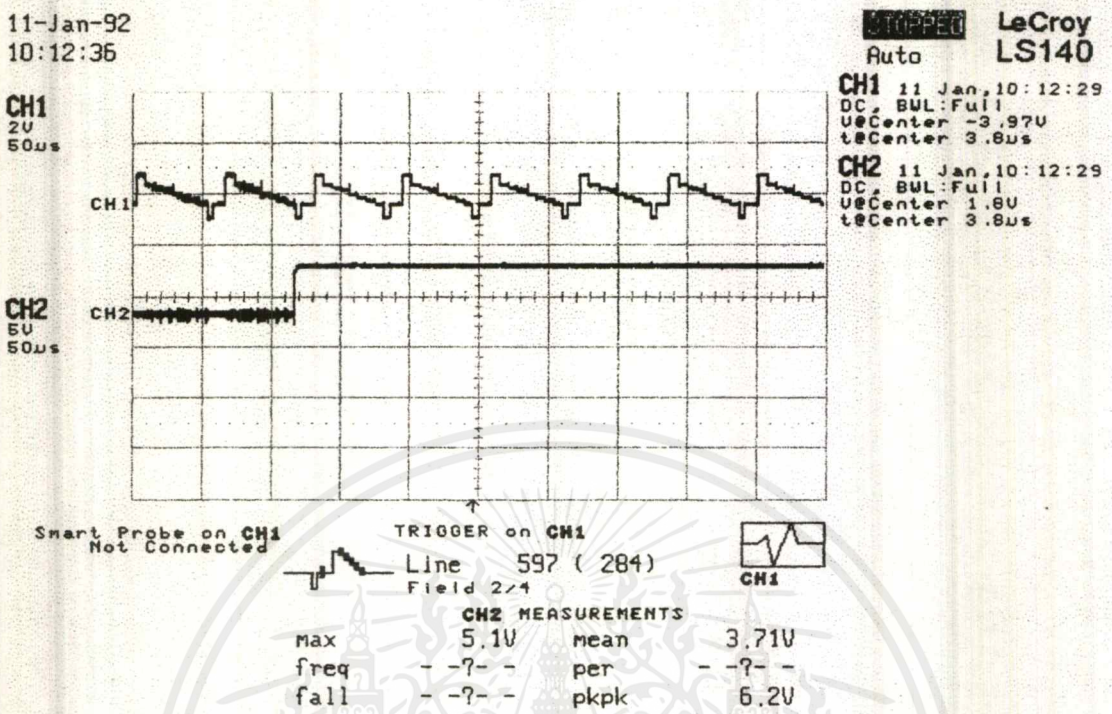


รูปที่ 4.9 แสดงตำแหน่งเริ่มต้นของการอ่านเขียนข้อมูลในฟิลด์ที่ 1

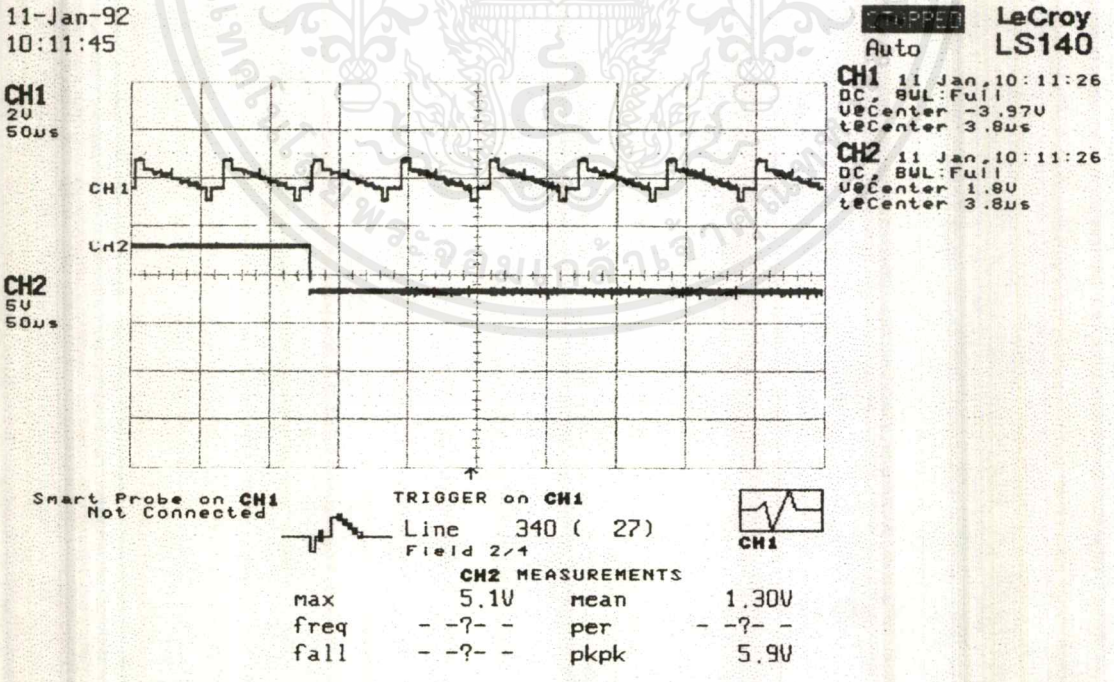
รูปที่ 4.10 แสดงตำแหน่งสุดท้ายของการอ่านเขียนข้อมูลในฟิลด์ที่ 1



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.11 แสดงตำแหน่งเริ่มต้นของการอ่านเขียนข้อมูลในฟิลด์ที่ 2



รูปที่ 4.12 แสดงตำแหน่งสุดท้ายของการอ่านเขียนข้อมูลในฟิลด์ที่ 2

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ปัญหาที่ประสบกับการทดลอง

- Ψ สัญญาณรบกวนสูงทำให้คุณภาพของสัญญาณเอาท์พุทผิดเพี้ยน
- Ψ วงจรมีขนาดใหญ่จึงมีปัญหาในการออกแบบ
- Ψ ส่วนของภาค Decoder ยังไม่สามารถที่จะให้เอาท์พุทออกมาได้ พยายามทำการทดลองหลายวิธี ในปัจจุบันใช้ไอซี SONY เบอร์ V7021
- Ψ สัญญาณสีที่เอาท์พุทและการผสมสีไม่คมชัด

แนวทางพัฒนา

ผู้ที่มีความประสงค์สนใจที่จะศึกษาและพัฒนาในโครงงานนี้ ใคร่ขอให้ท่านทำการสำรวจตลาดของอุปกรณ์ที่สามารถใช้งานได้ในการทดลองในภาคต่าง เพื่อที่จะทำให้วงจรการทดลองง่ายขึ้น และยังไปเป็นผลทำให้ขนาดของแผ่นวงจรการทดลองมีขนาดเล็กตาม

ในการแสดงผลออกมาทางเครื่องรับโทรทัศน์นั้นได้ผลการทดลองที่ไม่มีความเสถียรภาพเท่าที่ควร ทั้งนี้สาเหตุเนื่องมาจากการเกิดสัญญาณรบกวนมากนั้นเอง

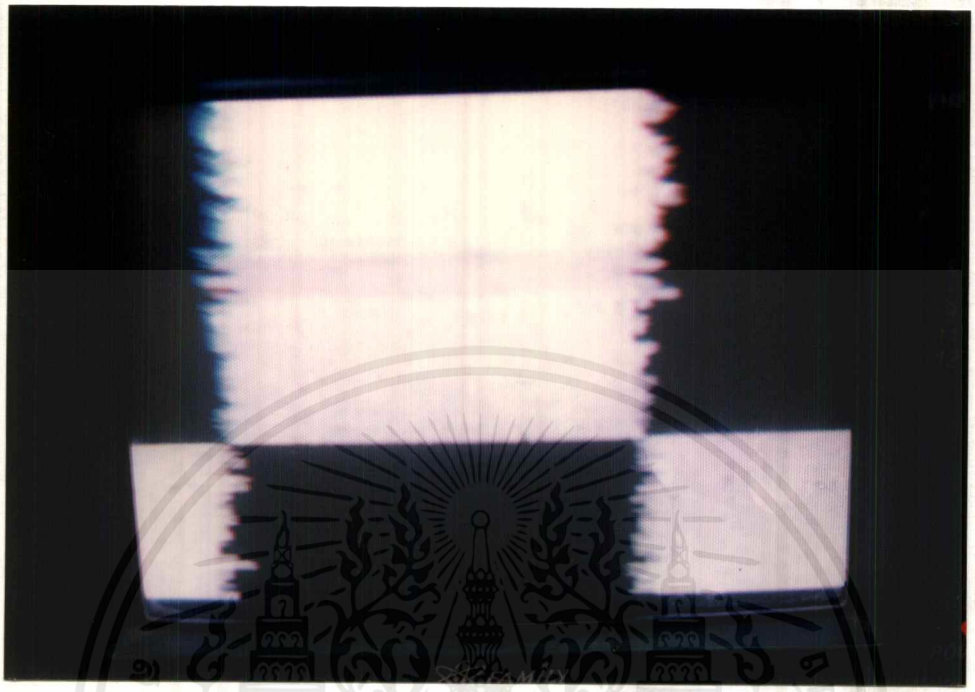
ทั้งนี้สัญญาณเอาท์พุทที่วัดได้แสดงในบทนี้ ส่วนสัญญาณที่แสดงผลออกมาทางจอแสดงผล ในที่นี้ใช้เครื่องรับโทรทัศน์เป็นจอแสดงผล จัดการแสดงไว้ในภาคผนวก ก

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ภาคผนวก ก.
แสดงรูปต่างๆ ของอุปกรณ์และแผ่นวงจรการทดอง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รูปที่ ก.1 เป็นรูปแสดงภาพที่ได้จากเครื่องรับโทรทัศน์จอแรกโดยสัญญาณอินพุทเป็นตารางขาวดำ จะเห็นว่าขอบของภาพทางแนวตั้งไม่คมชัดเนื่องจากสัญญาณรบกวน

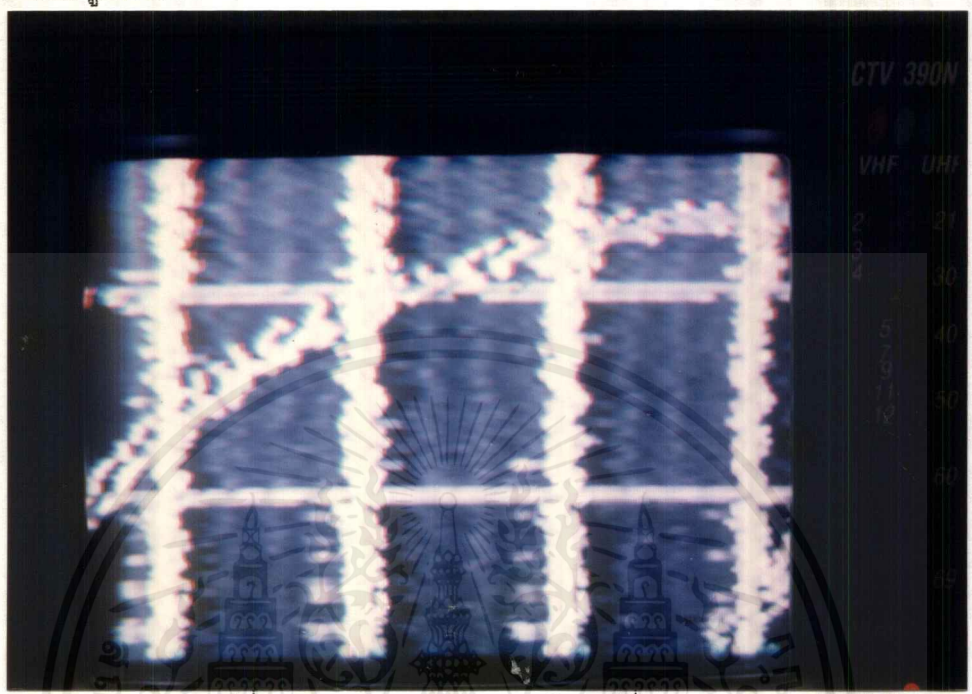


รูปที่ ก.1 แสดงภาพของตารางขาวดำที่จอมอนิเตอร์แรก

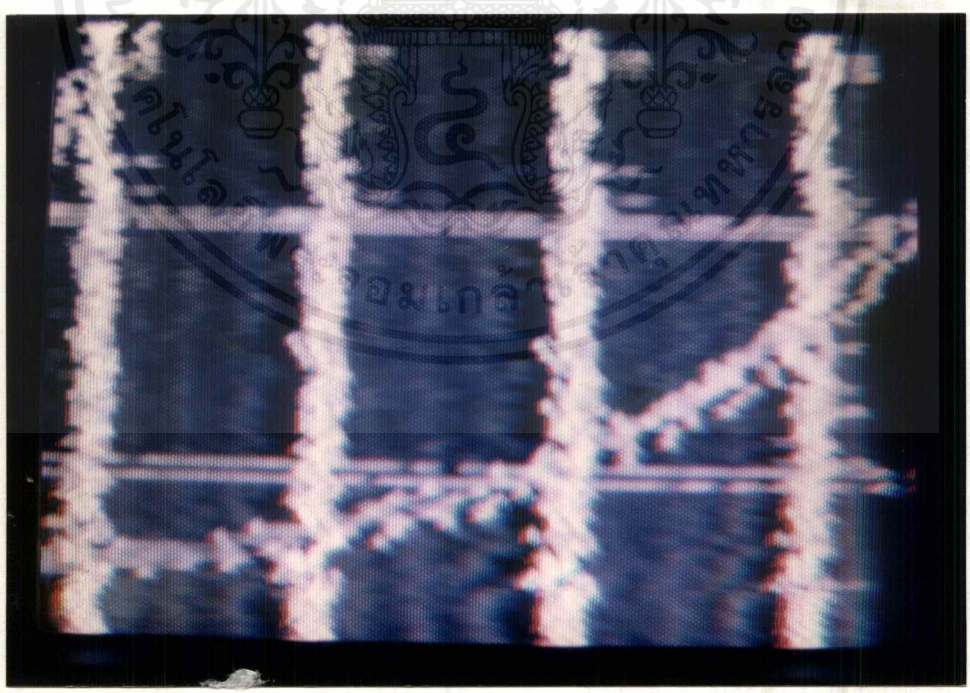
รูปที่ ก.2 แสดงภาพที่จอมอนิเตอร์แรกโดยสัญญาณอินพุทเป็นแบบจุด

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สัญญาณภาพที่ได้ในแต่ละจอมอนิเตอร์นั้นจะแตกต่างกันตามตำแหน่งของสัญญาณเลือกหน่วยความจำเมื่อนำภาพจากแต่ละจอมาต่อเรียงกันภาพที่ได้ก็จะมองดูใหญ่ขึ้นดังรูปที่ ก.3 และ รูปที่ ก.4



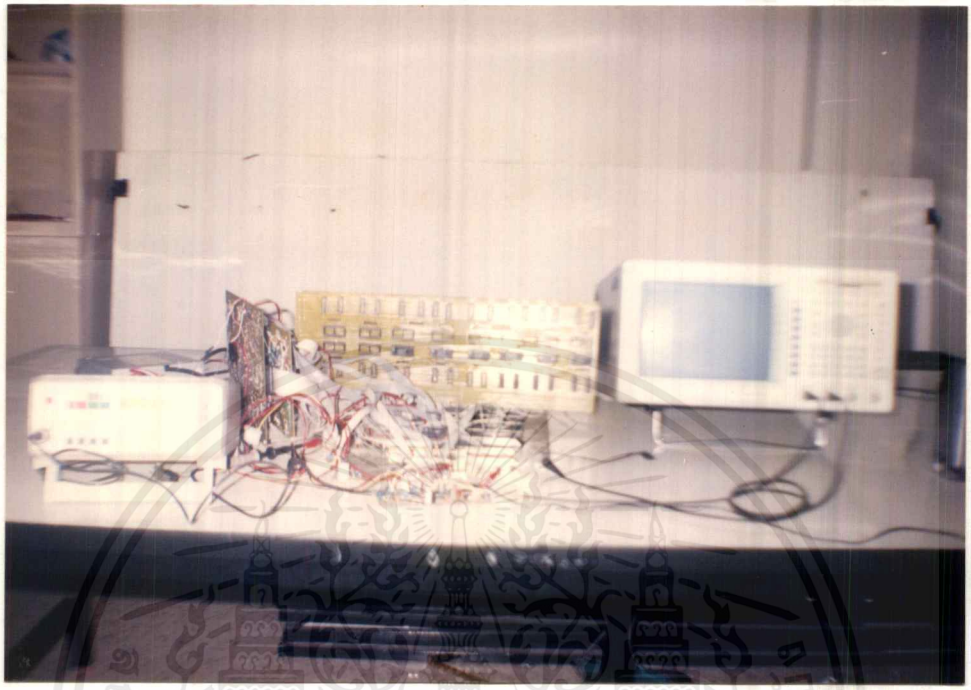
รูปที่ ก.3 แสดงภาพของจอมอนิเตอร์ที่ 2



รูปที่ ก.4 แสดงภาพของจอมอนิเตอร์ที่ 3

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ตัวเครื่องแบ่งภาพ ที่สร้างขึ้น จะประกอบด้วยแผ่นวงจรและอุปกรณ์ในภาคต่าง ๆ ต่อเข้าด้วยกัน ดังแสดงดังรูปที่ ก.5

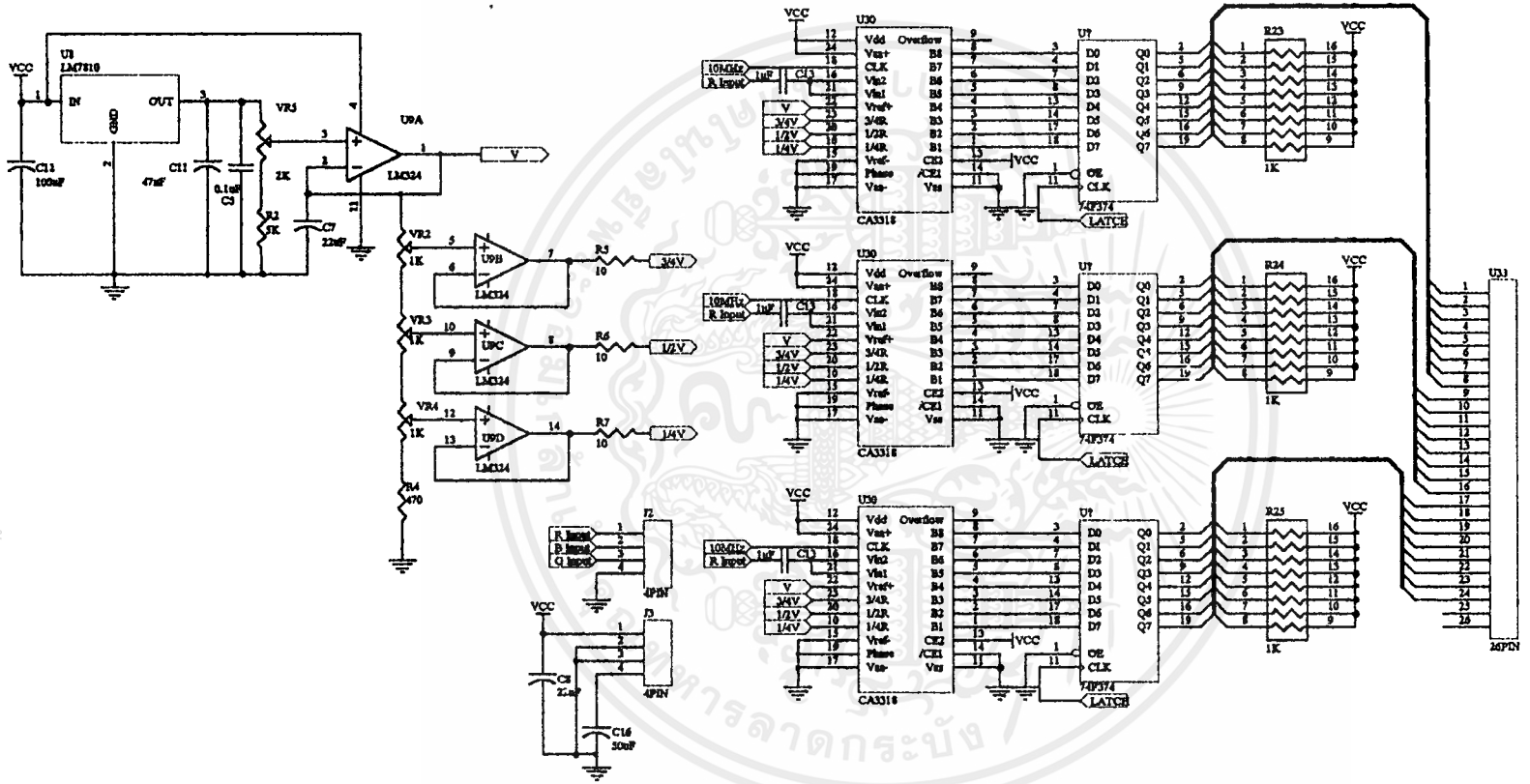


รูปที่ ก.5 แสดงส่วนประกอบภาคต่าง ๆ ของเครื่องแบ่งภาค

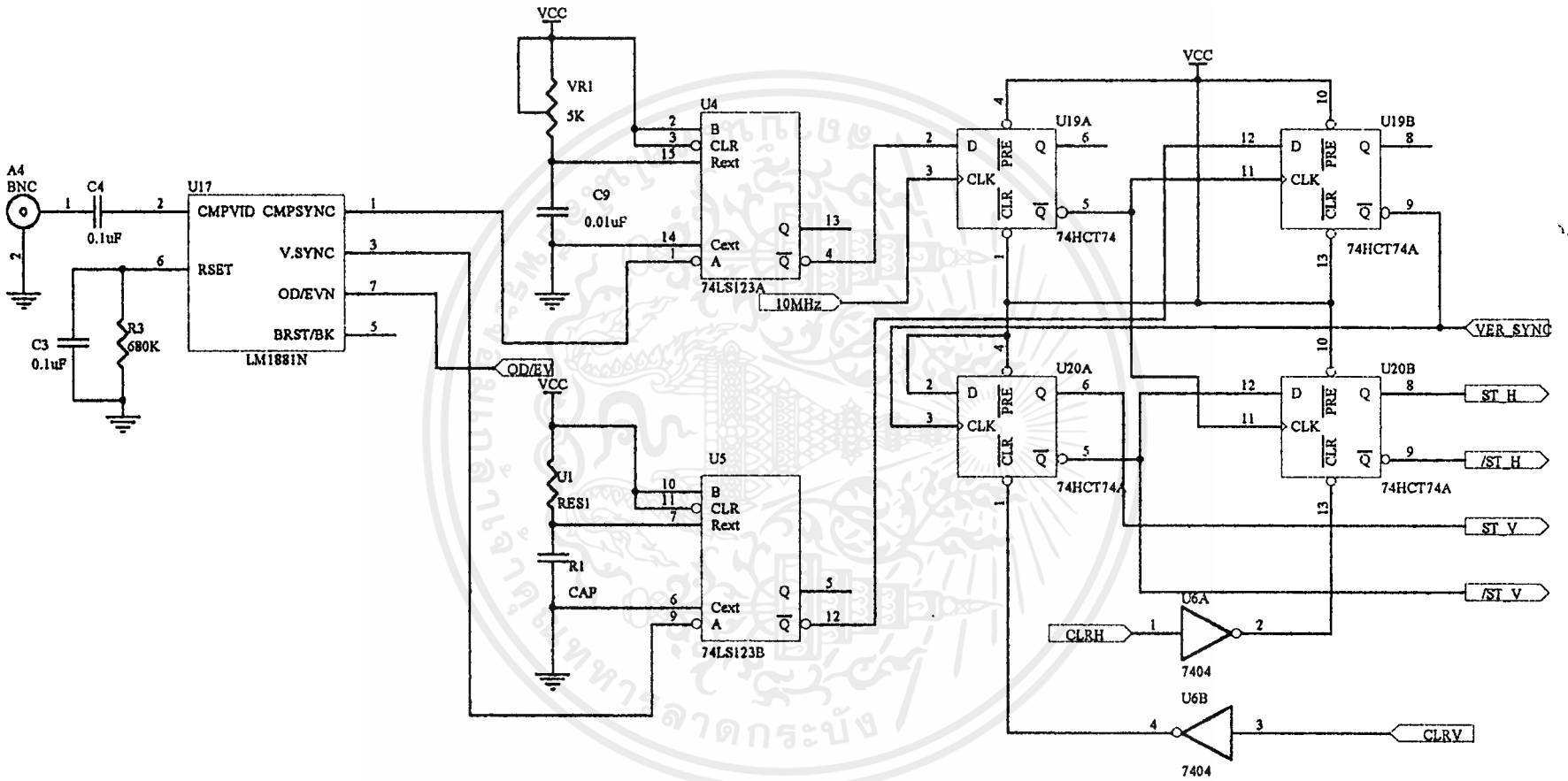
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ภาคผนวก ข.
แสดงวงจรที่ใช้ในการทดลอง

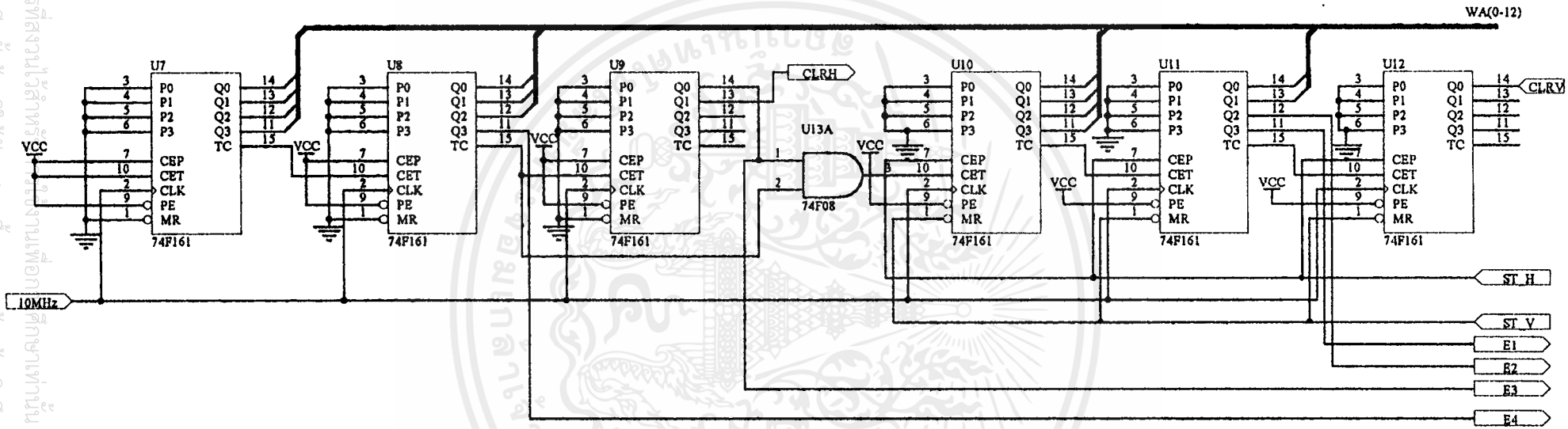
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

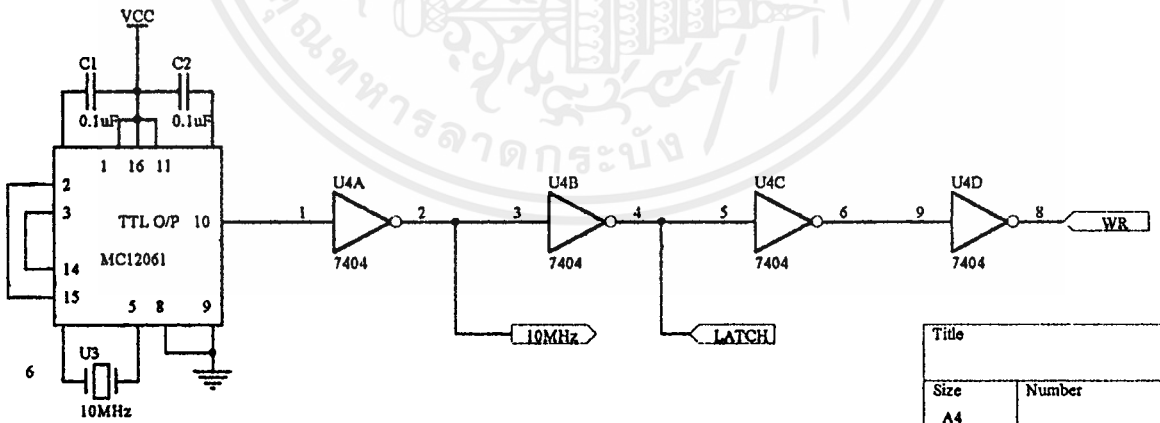


Title	CONTROL BOARD	
Size: B	Number	Revision
Date: 28-Jan-2000	Sheet of	
File: C:\MYDOCU~1\PROJECT\SCHCON3.SCH	Drawn By:	

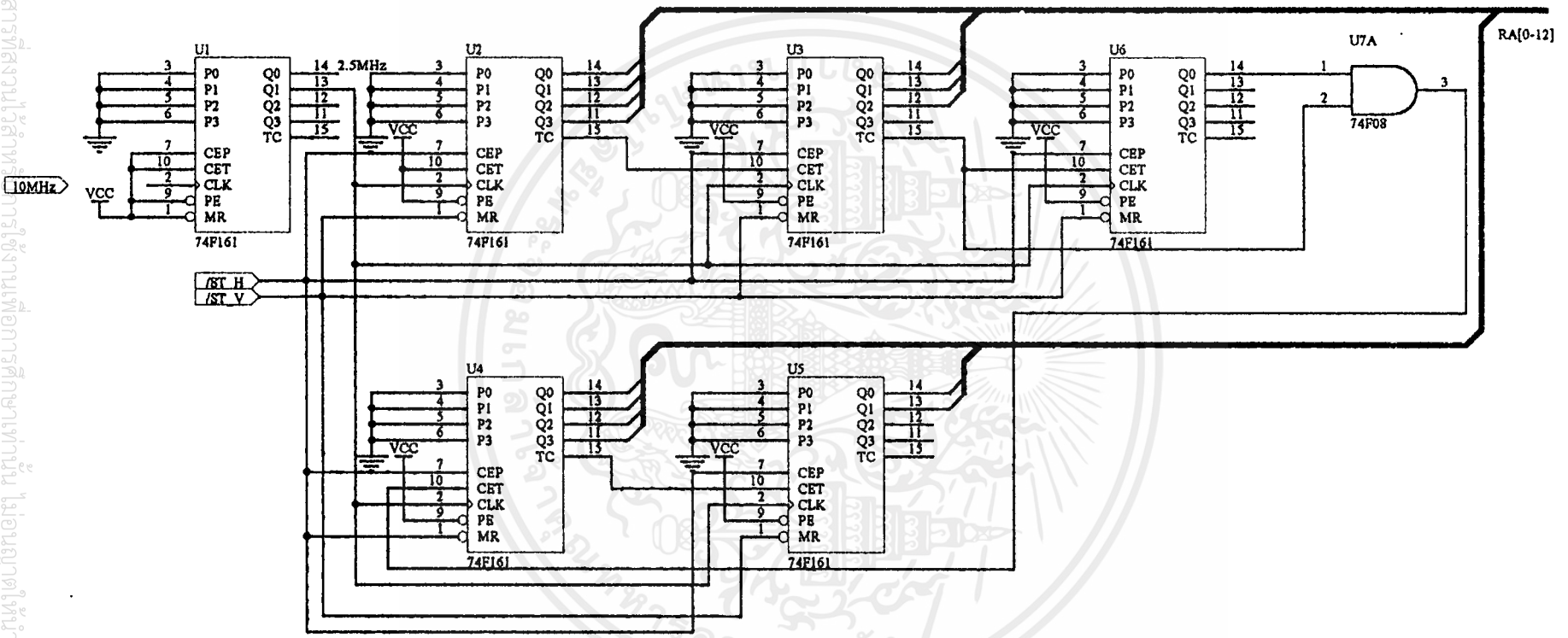


Title	Control	
Size: A4	Number	Revision
Date: 28-Jan-2000	Sheet of	
File: C:\MYDOCU~1\PROJECT\SCH\CON1.SCH	Drawn By:	

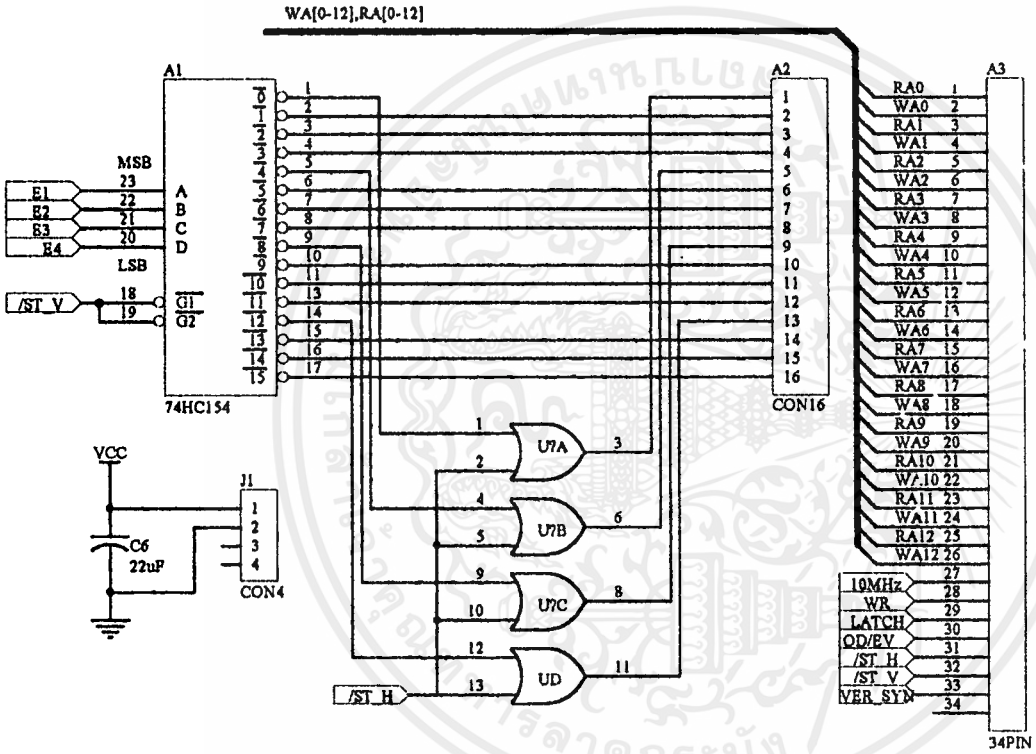




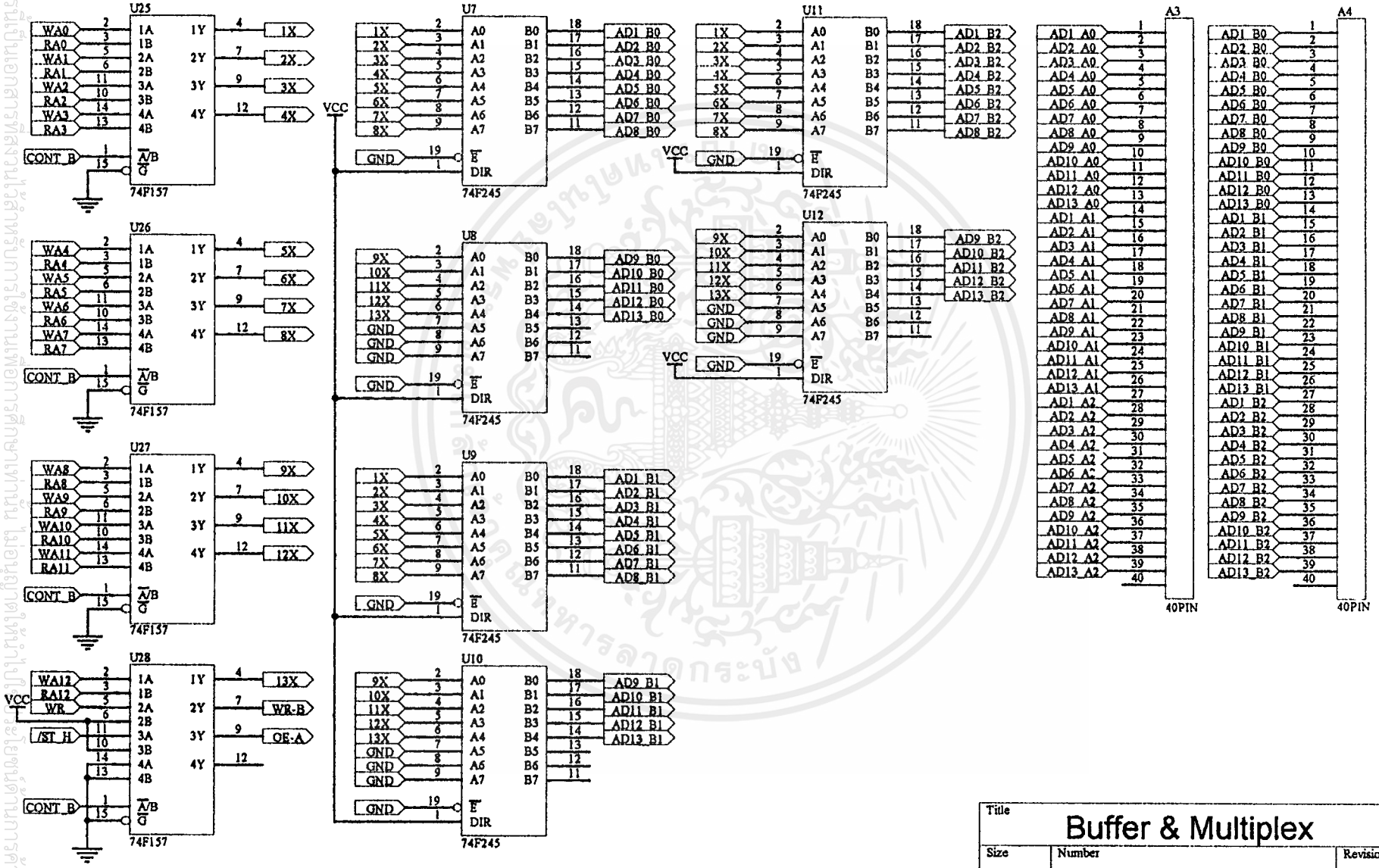
Title	CONTROL		
Size A4	Number		Revision
Date:	28-Jan-2000	Sheet of	
File:	C:\MYDOCU~1\PROJECT\SCH\CON2.SCH	Drawn By:	



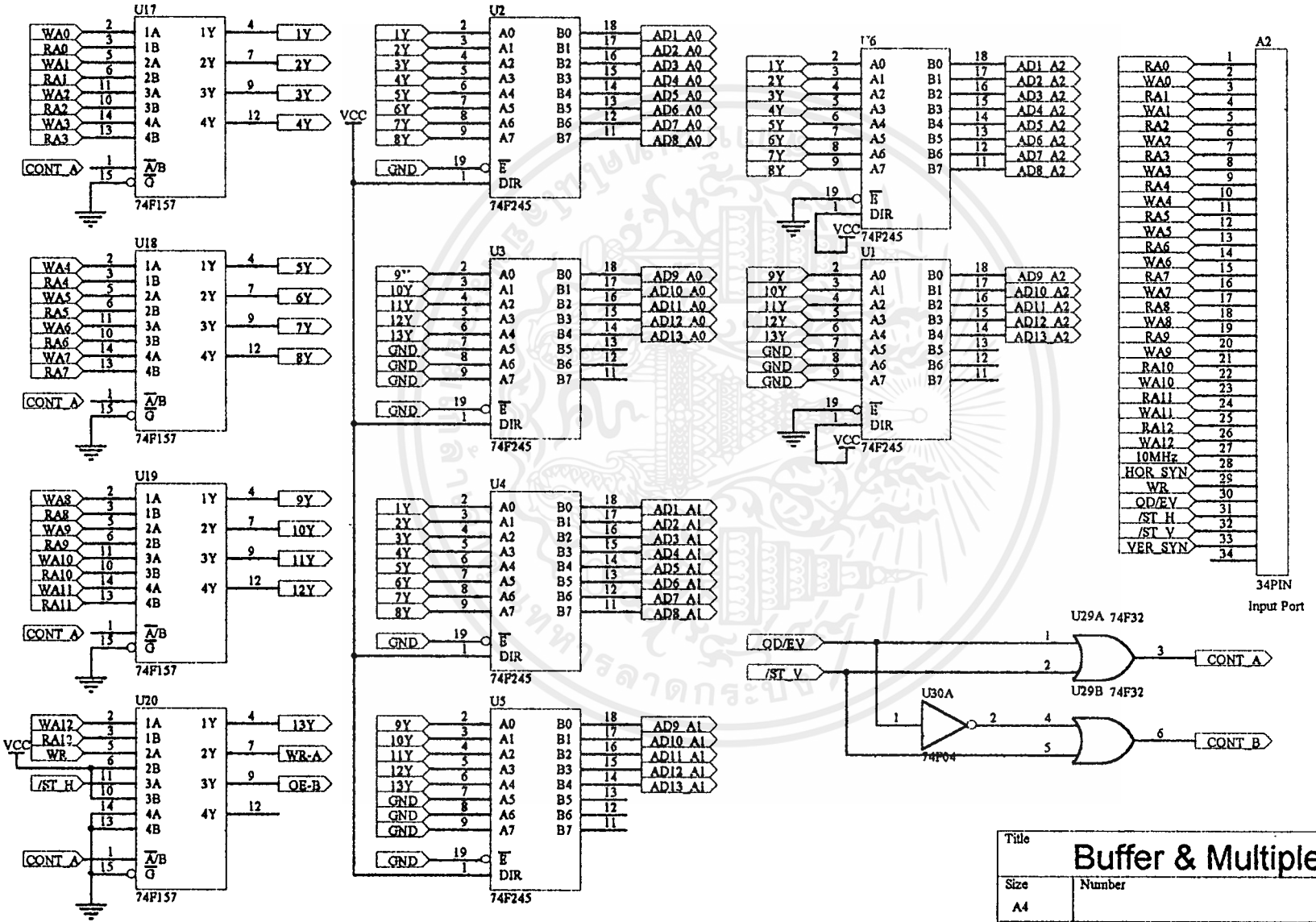
Title: CONTROL BOARD		
Size: A4	Number:	Revision:
Date: 28-Jan-2000	Sheet of	
File: C:\MYDOCU~1\PROJECT\SCH\CON4.SCH	Drawn By:	



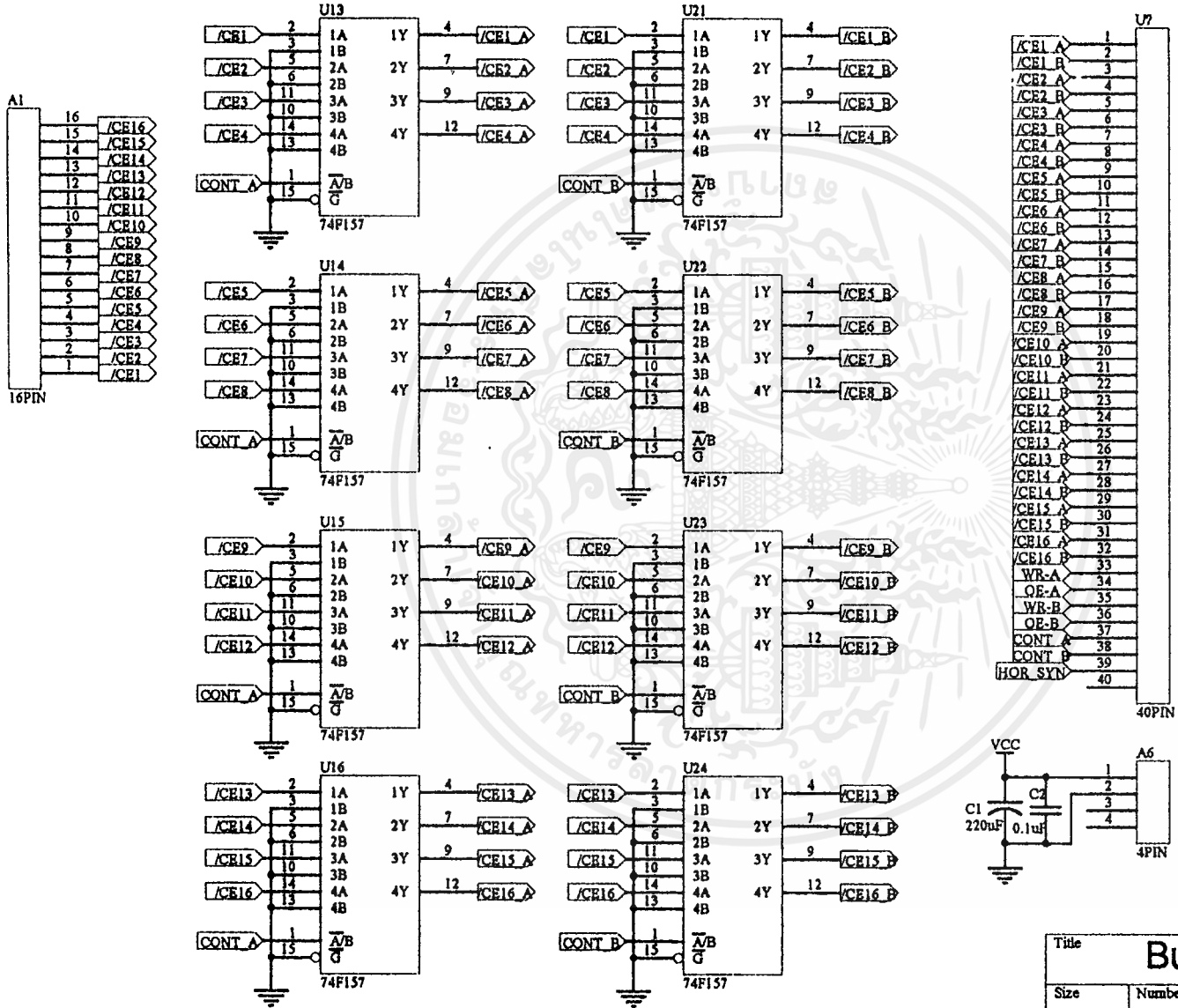
Title	CONTROL BOARD	
Size: A4	Number	Revision
Date: 28-Jan-2000	Sheet of	
File: C:\MYDOCU~1\PROJECT\SCH\CON3.SCH	Drawn By:	



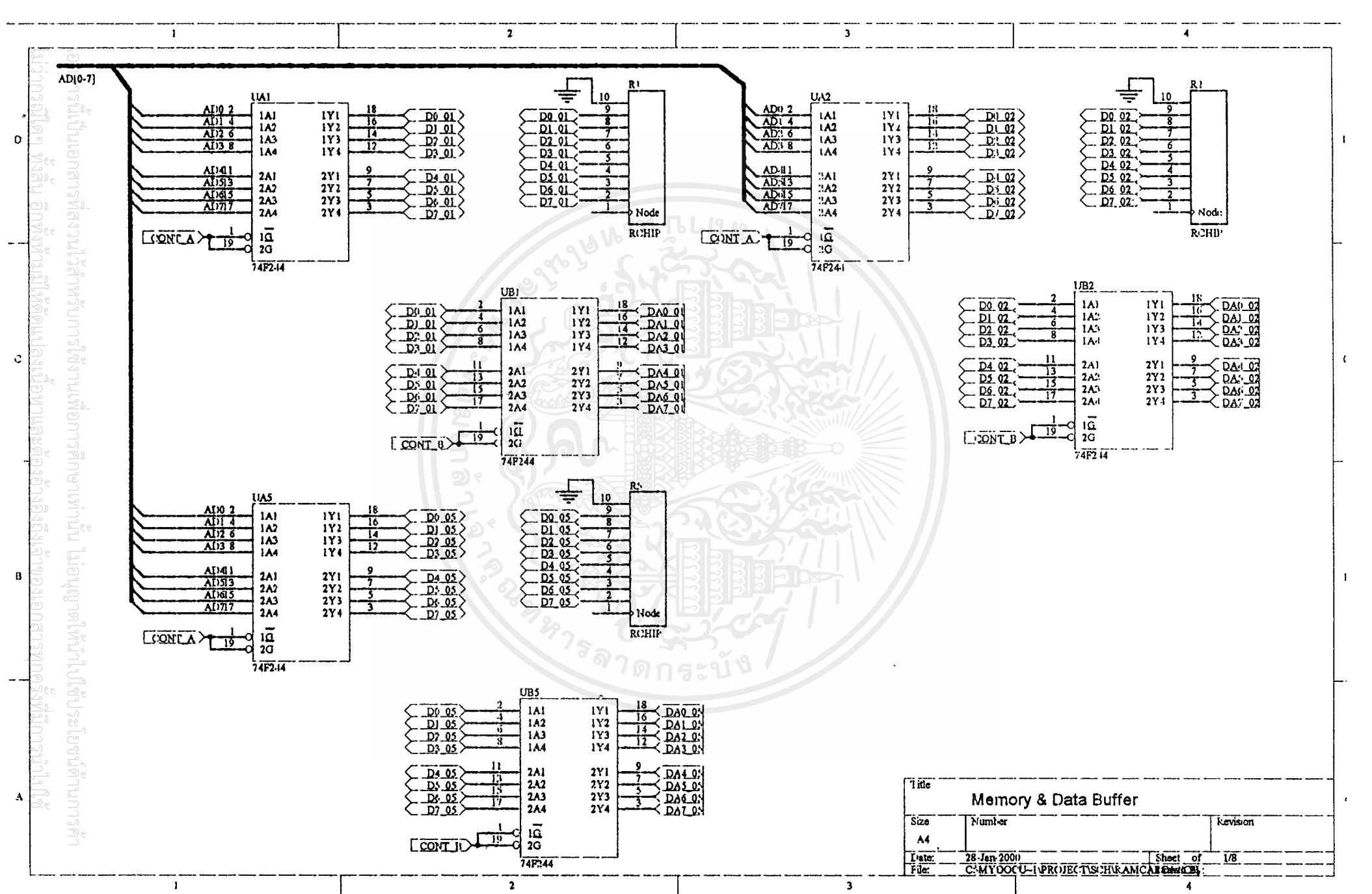
Title	Buffer & Multiplex	
Size: A4	Number	Revision
Date: 28-Jan-2000	Sheet of	
File: C:\MYDOCU~1\PROJECT\SCH\BUFFER.DSN	Drawn By:	

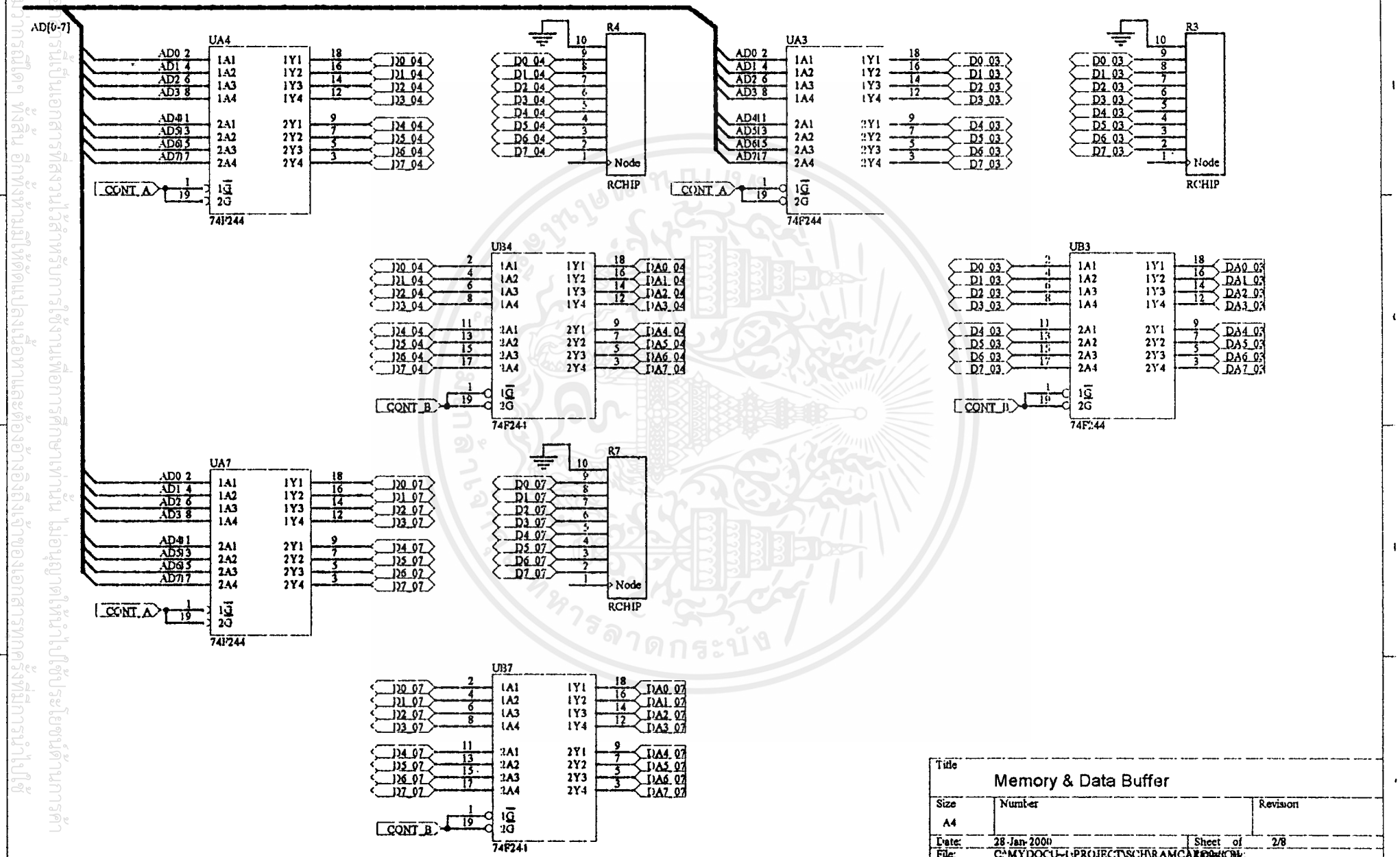


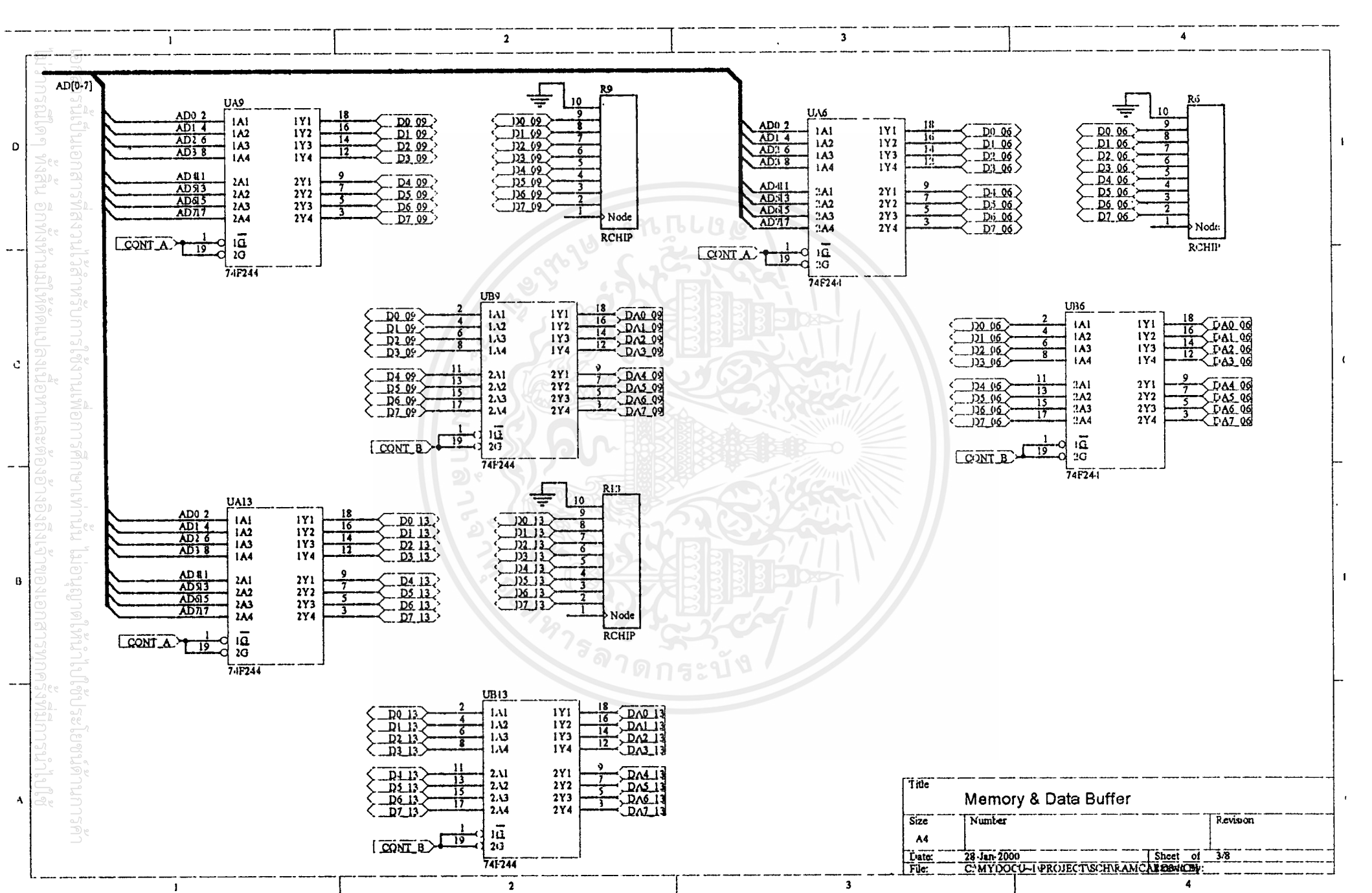
Title	**Buffer & Multiplex**	
Size: A4	Number:	Revision:
Date: 28-Jan-2000	Sheet of	
File: C:\MYDOCU~1\PROJECT\SCH\BUFFER.DSN	Drawn By:	

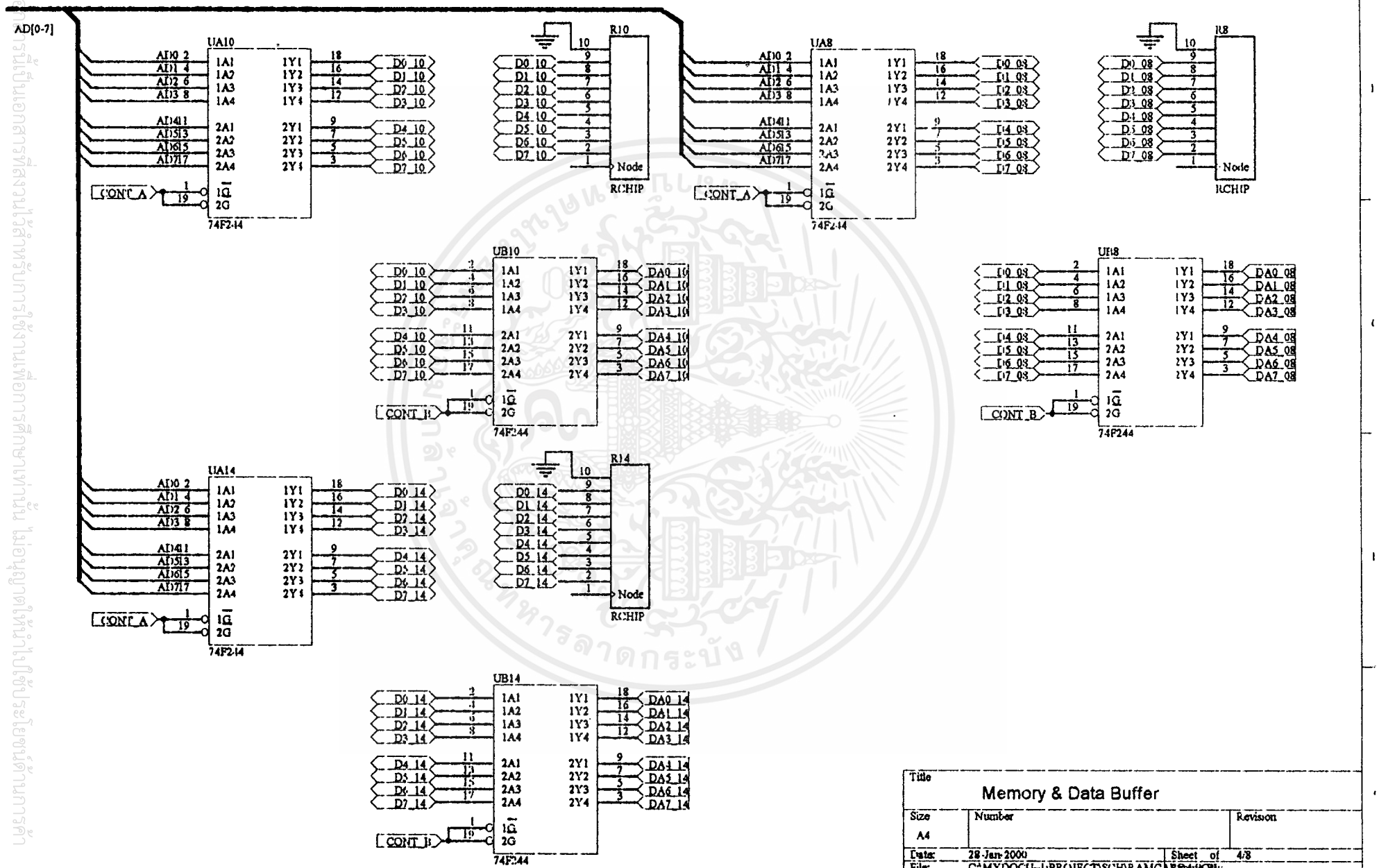


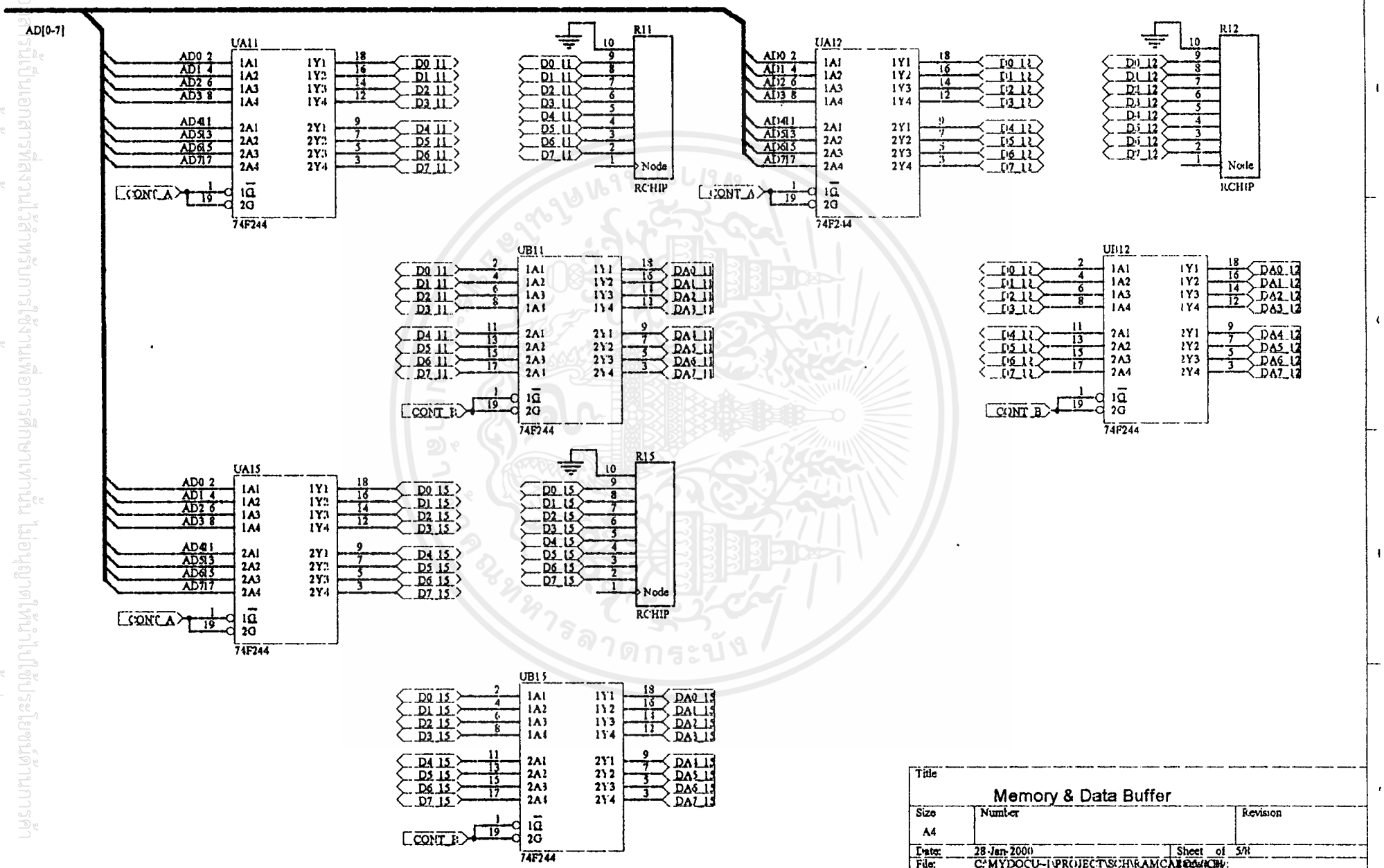
Title	Buffer & Multiplex	
Size: A4	Number	Revision
Date: 28-Jan-2000	Sheet of	
File: C:\MYDOCU~1\PROJECT\SCH\BUFFER.DDB	Drawn By:	

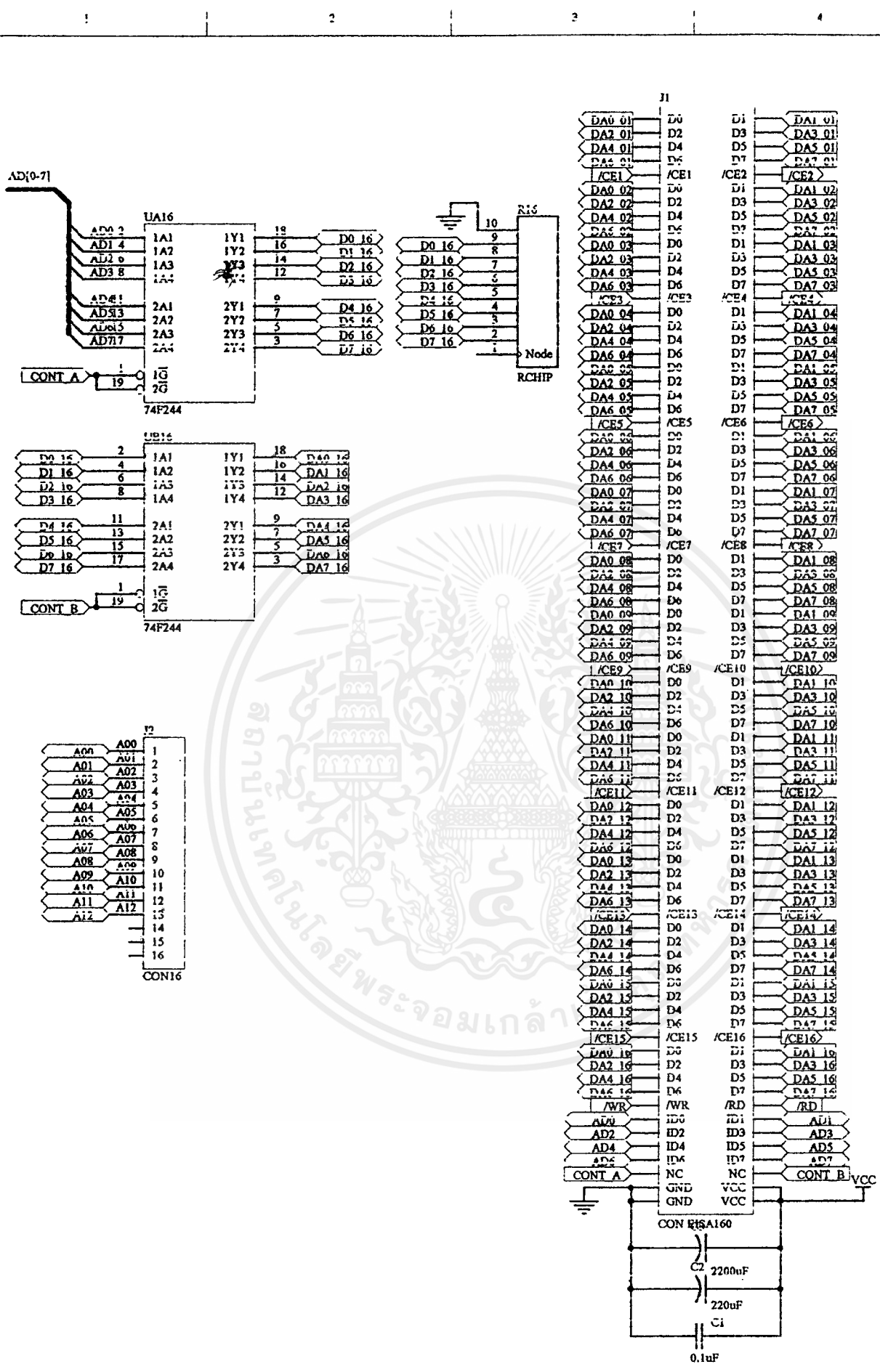

AD[0-7]
UA1
74F244
UA2
74F244
UB1
74F244
UB2
74F244
UA5
74F244
UB5
74F244
R1
R2
R3
R4
RCHIP
CONT_A
CONT_B
CONT_C
CONT_D
Title
Memory & Data Buffer
Size
A4
Number
Revision
Date: 28-Jan-2000
Sheet of 1/8
File: C:\MYDOCU~1\PROJECT\SCH\RAMCARD.SCH


AD[0-7]
UA4
74F244
R4
RCHIP
Node
UA3
74F244
R3
RCHIP
Node
UB4
74F244
UB3
74F244
UA7
74F244
R7
RCHIP
Node
UB7
74F244
CONT_A
CONT_B
Title
Memory & Data Buffer
Size
A4
Number
Revision
Date: 28-Jan-2000
Sheet of 2/8
File: C:\MYDOCU~1\PROJECT\SCH\RAMCARD.SCH


AD[0-7]
UA9
74F244
R9
RCHIP
UA6
74F244
R6
RCHIP
UB9
74F244
UB6
74F244
UA13
74F244
R13
RCHIP
UB13
74F244
CONT_A
CONT_B
Node
Title
Memory & Data Buffer
Size
A4
Number
Revision
Date: 28-Jan-2000
Sheet of 3/8
File: C:\MYDOCU~1\PROJECT\SCH\RAMCA

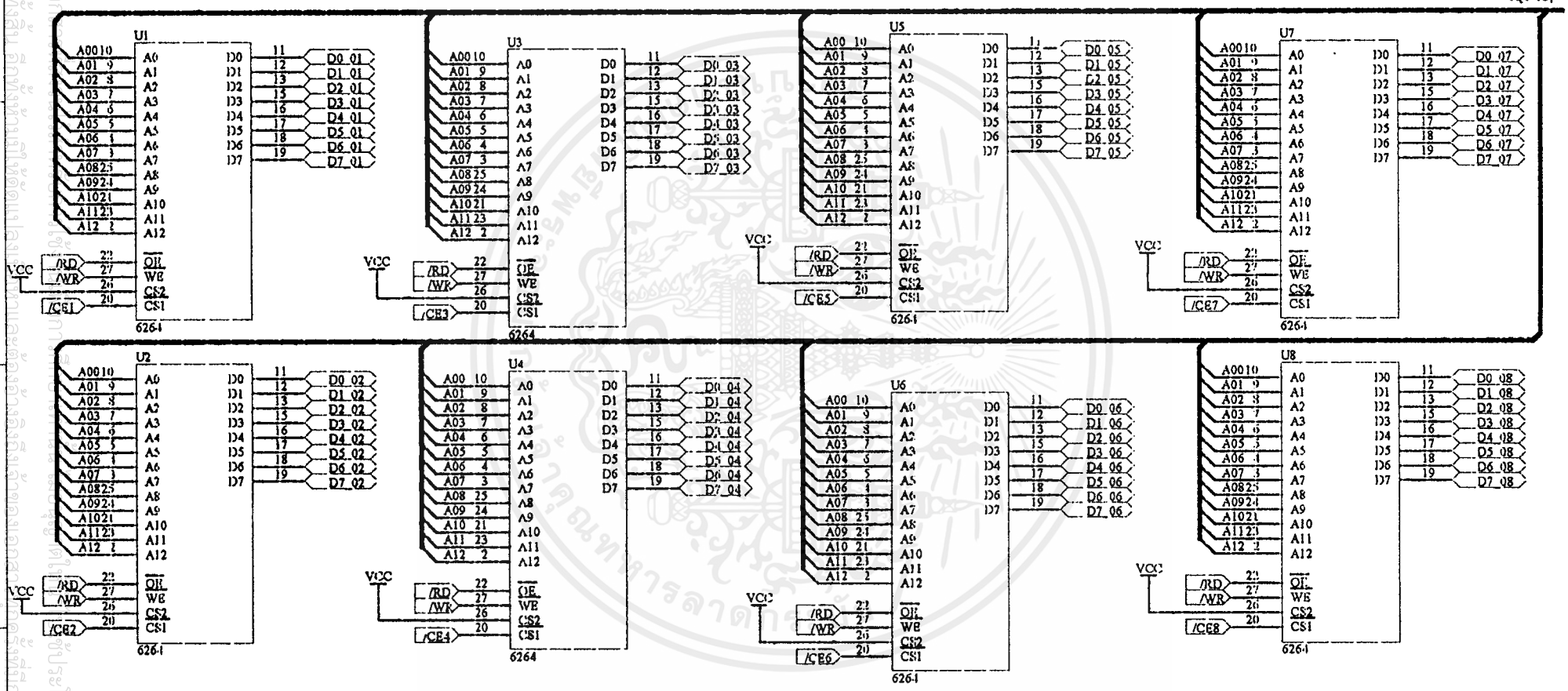

AD[0-7]
UA10
74F244
R10
RCHIP
UA8
R8
UB10
UB8
UA14
R14
UB14
CONT_A
CONT_B
Node
Title
Memory & Data Buffer
Size
A4
Number
Revision
Date: 28-Jan-2000
Sheet of 4/8
File: C:\MYDOCU~1\PROJECTS\SCH\RAMCARD.SCH


AD[0-7]
UA11
UA12
UA15
UB11
UB12
UB15
R11
R12
R15
74F244
RCHIP
Node
CONT_A
CONT_B
D0_11
D1_11
D2_11
D3_11
D4_11
D5_11
D6_11
D7_11
D0_12
D1_12
D2_12
D3_12
D4_12
D5_12
D6_12
D7_12
D0_15
D1_15
D2_15
D3_15
D4_15
D5_15
D6_15
D7_15
DA0_11
DA1_11
DA2_11
DA3_11
DA4_11
DA5_11
DA6_11
DA7_11
DA0_12
DA1_12
DA2_12
DA3_12
DA4_12
DA5_12
DA6_12
DA7_12
DA0_15
DA1_15
DA2_15
DA3_15
DA4_15
DA5_15
DA6_15
DA7_15
Title
Memory & Data Buffer
Size
A4
Number
Revision
Date: 28-Jan-2000
Sheet of 5/8
File: C:\MYDOCU~1\PROJECT\SCH\RAMCA

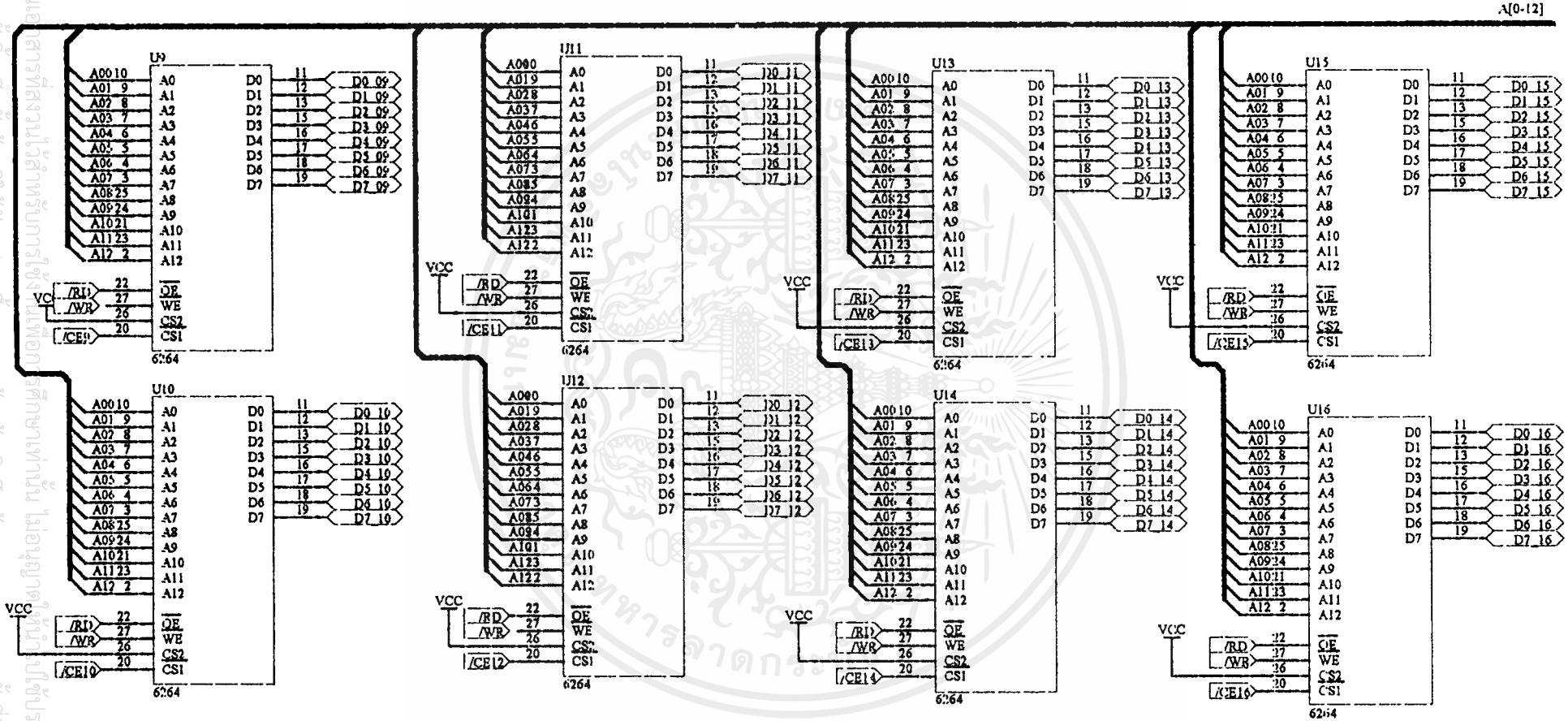


Title	Memory & Data Buffer		
Size A4	Number		Revision
Date:	28-Jan-2000	Sheet of	6/8
File:	C:\MYDOCU~1\PROJECT\SCH\RAMCA...	Drawn By:	

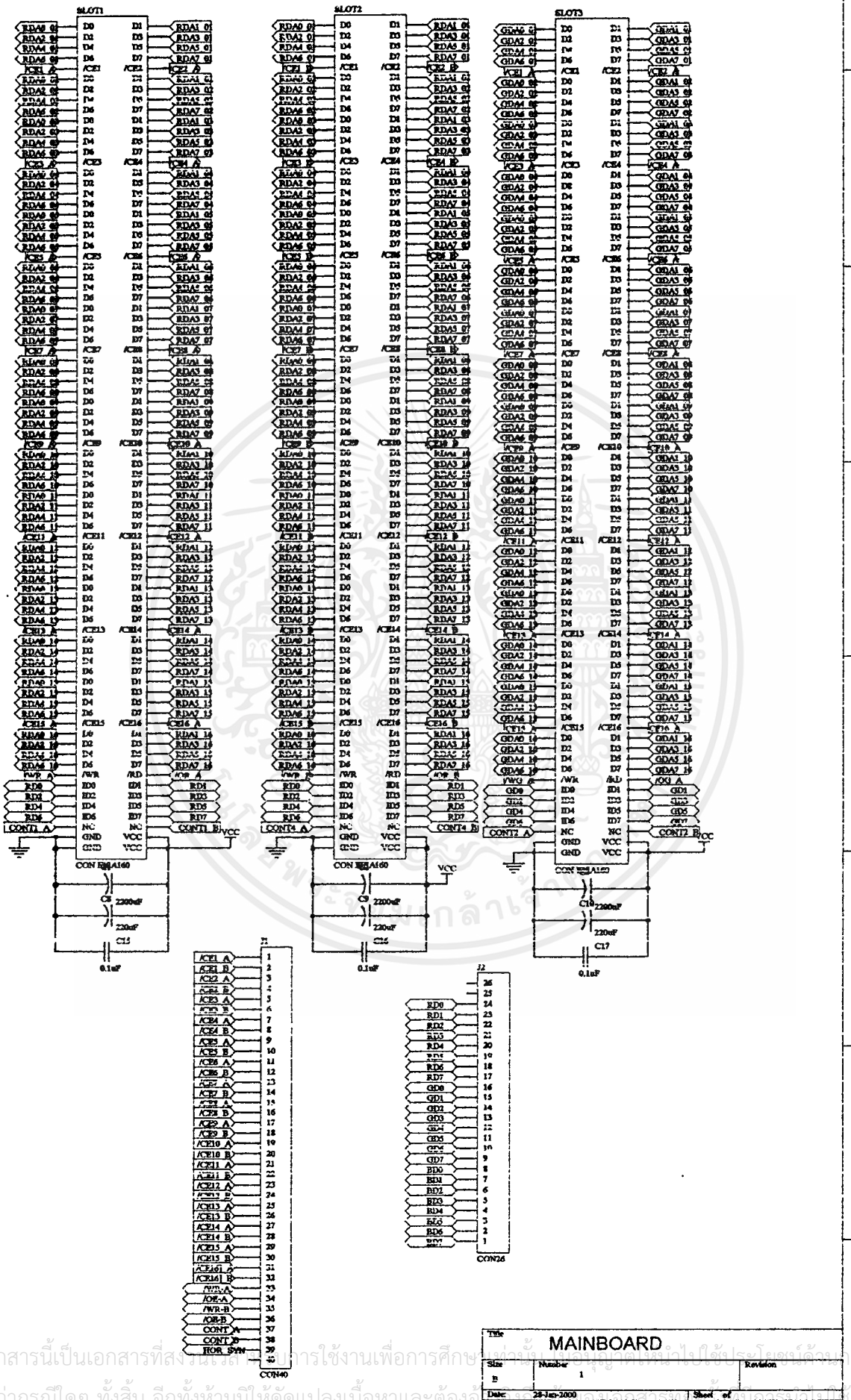
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



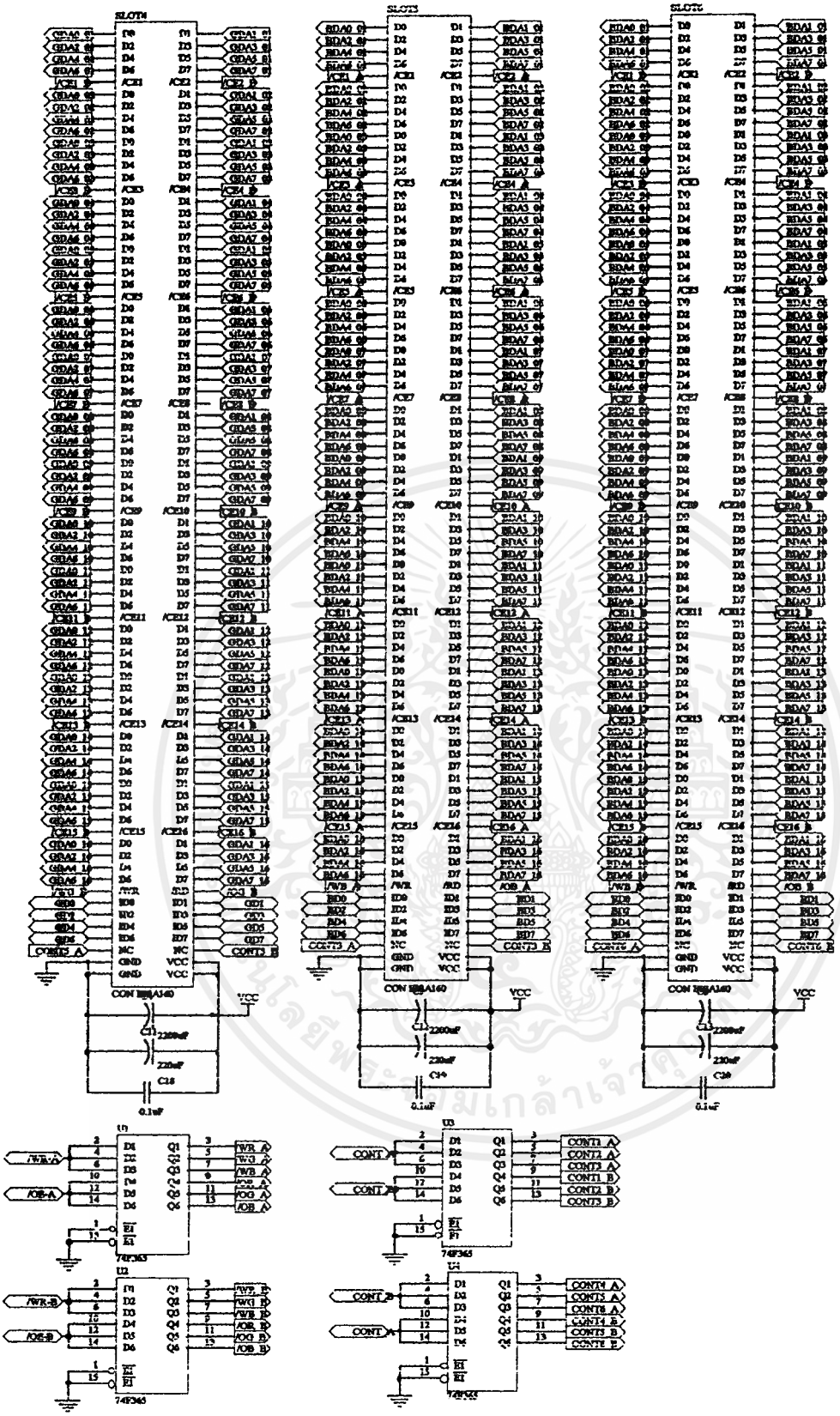
Title	Memory & Data Buffer	
Size: A4	Number:	Revision:
Date: 28-Jan-2000	Sheet of 7 8	
File: C:\MYDOCU~1\PROJECT\SC\RAMC	Drawn By:	



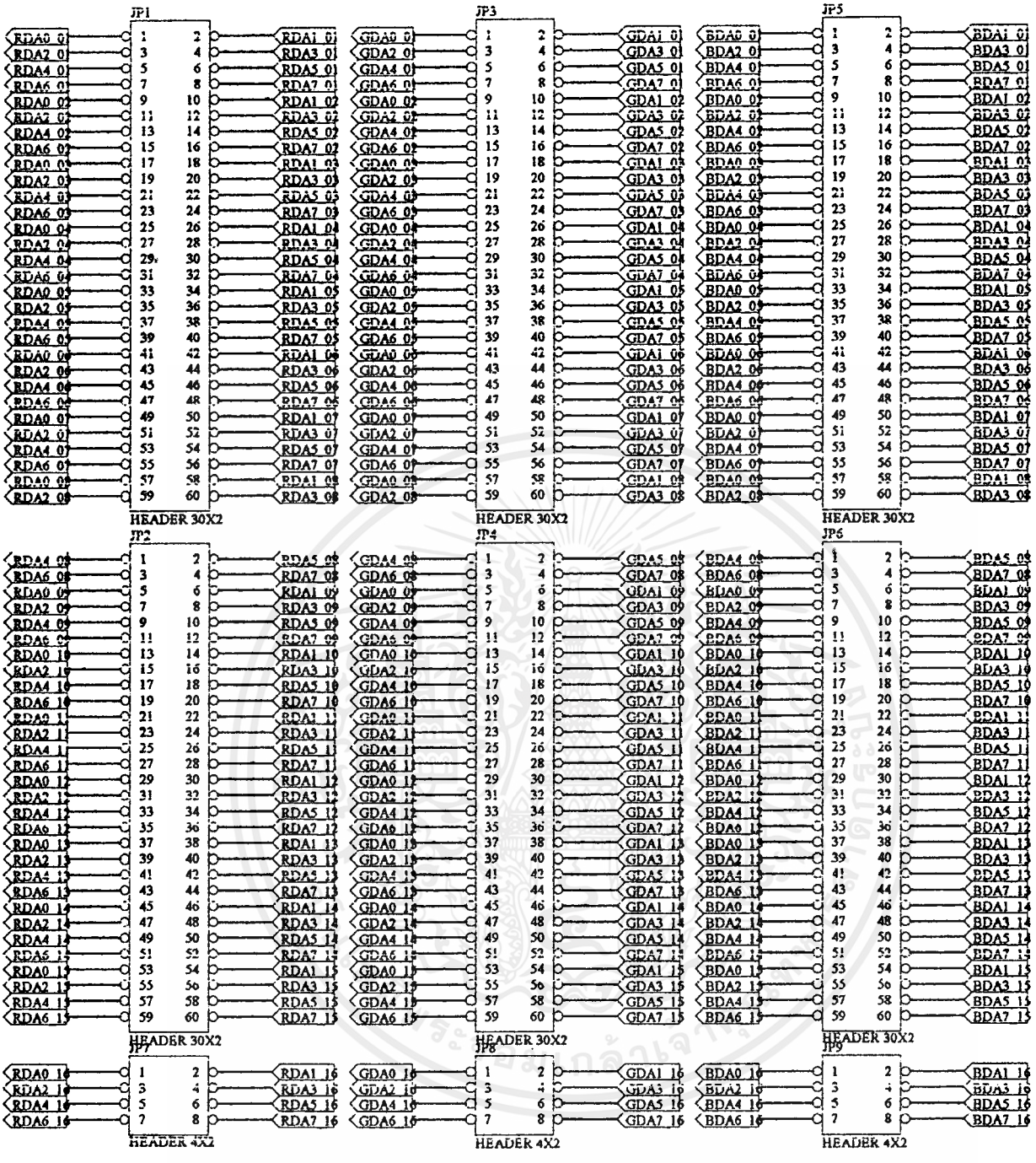
Title	Memory & Data Buffer		
Size A4	Number		Revision
Date: 28-Jan-2000		Sheet of 8	
File: C:\MYDOCU~1\PROJECT\SCI\RAMC			By:



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของลิขสิทธิ์ทุกครั้งที่มีการนำไปใช้

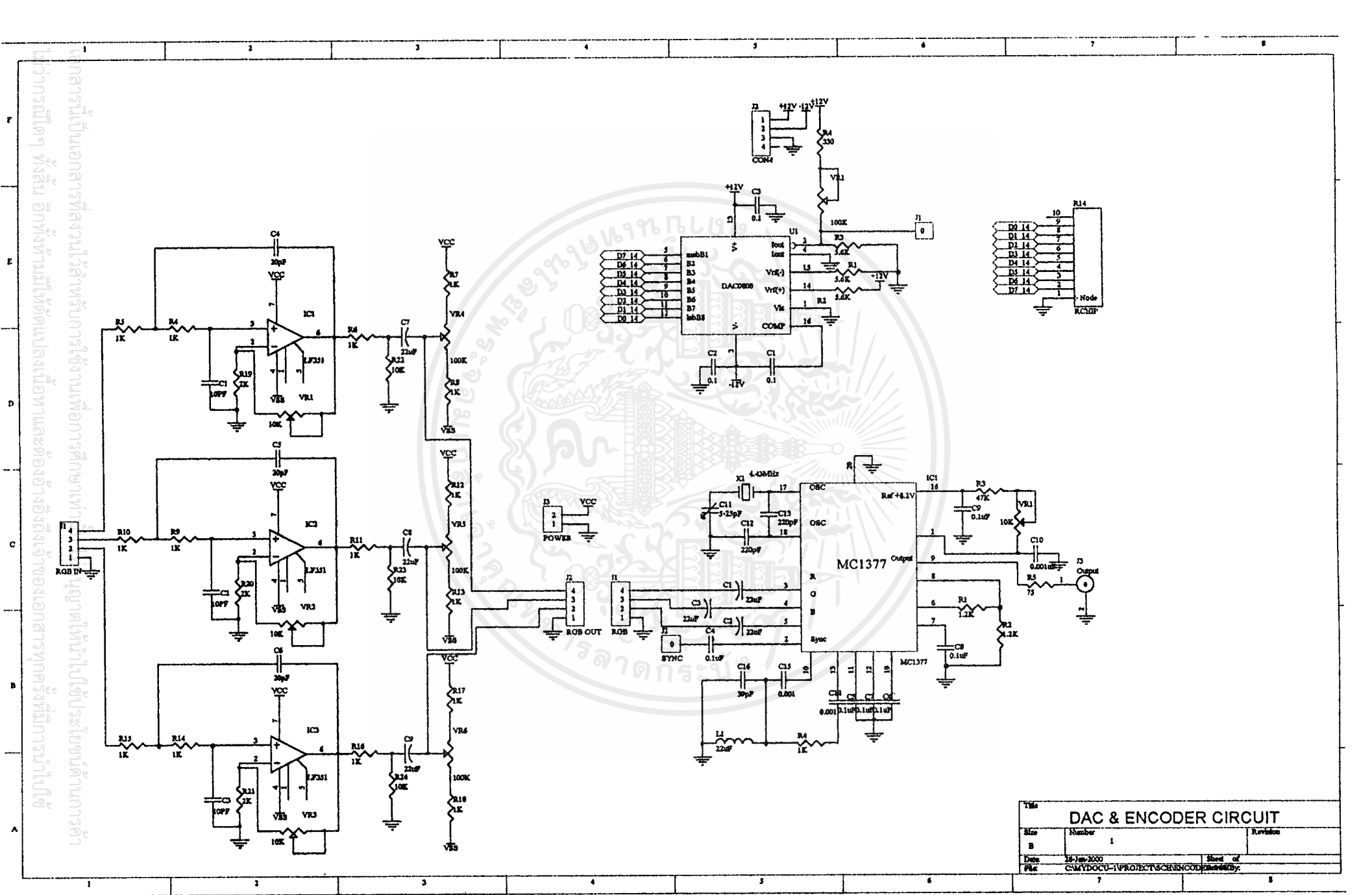


เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของลิขสิทธิ์



Title	MAINBOARD	
Size: A4	Number: 3	Revision:
Date: 28-Jan-2000	Sheet of	
File: C:\MYDOCU~1\PROJECT\SCH\MBOARD.SCH	Drawn By:	

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ทำซ้ำดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้


DAC & ENCODER CIRCUIT
MC1377
DAC0808
LF351
RGB IN
RGB OUT
POWER
SYNC
Output
Number 1
Date: 28-Jan-2000
File: C:\MYDOCU~1\PROJECT\SCH\ENCODER.SCH
Sheet of

ภาคผนวก ค.
รายละเอียดของอุปกรณ์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

MOTOROLA
SEMICONDUCTOR
TECHNICAL DATA

MC1377

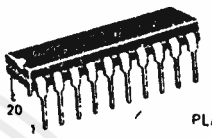
COLOR TELEVISION RGB to PAL/NTSC ENCODER

Advance Information

COLOR TELEVISION RGB to PAL/NTSC ENCODER

. . . an integrated circuit used to generate a composite TV signal from baseband red, blue, green and sync inputs. The MC1377 has color subcarrier oscillator, voltage controlled 90° phase shifter, two DSB suppressed carrier chroma modulators, RGB input matrices and blanking level clamps. It can be operated with very few external parts, but has the pinouts for a fully implemented, top quality composite signal. It is ideal for encoding signals from color cameras and graphics generators.

- Reference Oscillator Self-Contained Or Externally Driven
- Nominal 90° ±3.0° Axes Are Optionally Trimmable
- Simple PAL/NTSC Switch
- Luminance And Chroma Channels Can Accept Delay Line/Bandpass Elements Or Direct Connection
- Provides DC Reference To Permit Direct Drive To RF Modulator



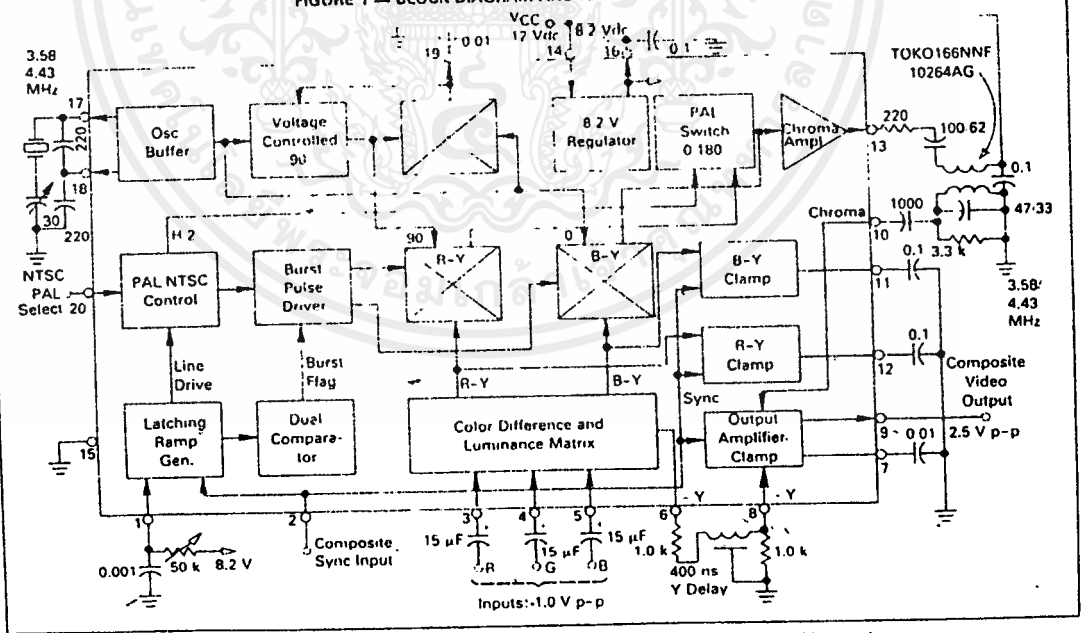
P SUFFIX
PLASTIC PACKAGE
CASE 738

DW SUFFIX
PLASTIC PACKAGE
CASE 751D
(SO-20L)

ORDERING INFORMATION

Device	Temperature Range	Package
MC1377DW MC1377P	0–70 C	SO-20L Plastic DIP

FIGURE 1 — BLOCK DIAGRAM AND APPLICATION CIRCUIT



This document contains information on a new product. Specifications and information herein are subject to change without notice.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

MAXIMUM RATINGS

Rating	Symbol	Value	Unit
Supply Voltage	V_{CC}	15	Vdc
8.2 Vdc Regulator Output Current	I_{REG}	10	mAdc
Operating Temperature	T_A	0 to +70	°C
Storage Temperature	T_{stg}	−65 to +150	°C
Junction Temperature	$T_{J(max)}$	150	°C
Power Dissipation, package Derate above 25°C	P_D	1.25 10	W mW/°C

RECOMMENDED OPERATING CONDITIONS

Supply Voltage	12 ± 1.2	Vdc
Sync Tip Level Sync, Blanking Level	−0.5 to +1.0 +1.7 to +8.2	Vdc
Red, Green, Blue Inputs (Saturated)	1.0	V_{p-p}

ELECTRICAL CHARACTERISTICS (V_{CC} = 12 Vdc, T_A = 25°C, Circuit Of Figure 1 Unless Otherwise Noted.)

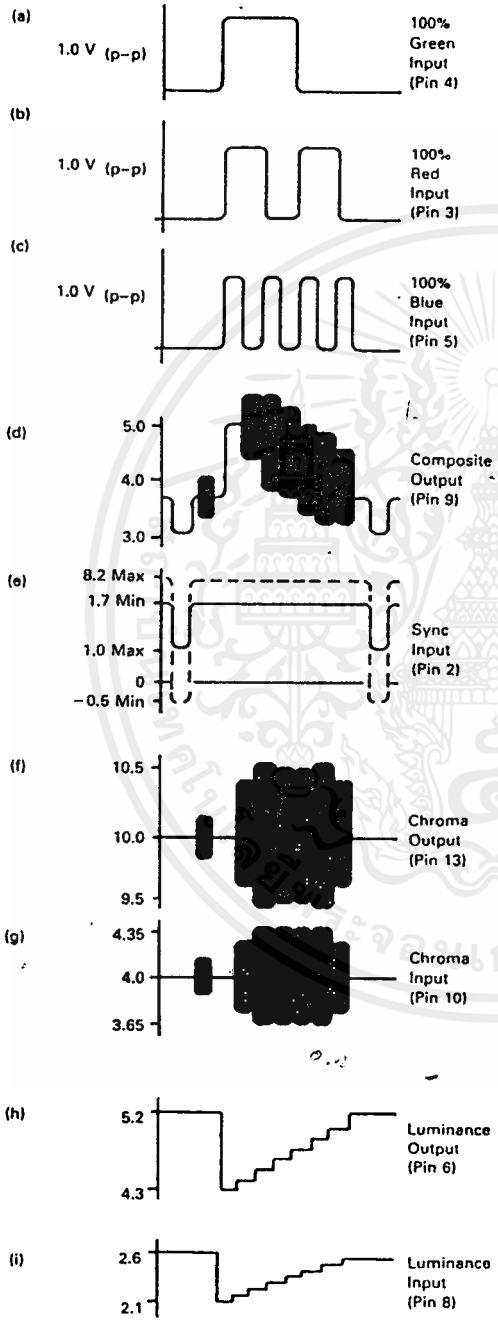
Characteristic	Pin No.	Min	Typ	Max	Unit
Supply Current	14	20	32	40	mAdc
Oscillator Amplitude	18	—	0.5	—	$V_{(p-p)}$
External Subcarrier Input (Oscillator Components Removed)	17	—	0.25	—	V_{RMS}
Subcarrier Input: Resistance Capacitance	17	— —	5.0 2.0	— —	kΩ pF
Modulation Angle (R−Y) to (B−Y)	—	85	90	95	Degrees
(R−Y) Angle Adjustment	19	—	0.25	—	Deg/μA
R, G, B Input For 100% Color Saturation	3, 4, 5	—	1.0	—	$V_{(p-p)}$
R, G, B Input: Resistance Capacitance	3, 4, 5	— —	10 2.0	—	kΩ pF
Sync Threshold (See Figure 2e)	2	—	1.7	—	V
Sync Input Resistance (Input > 1.7 V)	2	—	10	—	kΩ
Chroma Output Level At 100% Saturation	13	—	1.0	—	$V_{(p-p)}$
Chroma Output Resistance	13	—	50	—	Ω
Chroma Input Level For 100% Saturation	10	—	0.7	—	$V_{(p-p)}$
Chroma Input: Resistance Capacitance	10	— —	10 2.0	— —	kΩ pF
Composite Output, 100% Saturation (See Figure 2d): Sync	9	—	0.6	—	$V_{(p-p)}$
Luminance		—	1.4	—	
Chroma		—	1.7	—	
Burst		—	0.6	—	
Output Impedance (See Note 1)	9	—	50	—	Ω
Luminance Bandwidth (3 dB), Less Delay Line	9	—	8.0	—	MHz
Subcarrier Leakage In Output	9	—	20	—	$mV_{(p-p)}$

Note 1: Output impedance can be reduced to less than 10Ω by using a 150Ω output load from Pin 9 to ground. Power supply current will increase to about 60 mA.

See Application Note AN932 for further information.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

FIGURE 2 — SIGNAL VOLTAGES
(CIRCUIT VALUES OF FIGURE 1)



APPLICATION NOTES

R.G.B. Inputs should be set up to be 1.0 V p-p for fully saturated levels. This is not arbitrary, since sync and burst levels are internally fixed. The large (15 μF) input capacitors of Figure 1 are needed for the 50/60 Hz vertical component.

Subcarrier Oscillator. The internal common-collector Colpitts can be free run or it can easily be pulled in by a lightly coupled signal from a "master" into Pin 17. Also, it can be disabled entirely and a 0.25 V_{RMS} signal driven into Pin 17.

Modulator Phase Angles are quite accurately established internally. Taking (B-Y) as 0°, burst is at 180°, and the angle of (R-Y) is 90° ± 3.0°. The (R-Y) angle can be "tweaked." For example, 470 kΩ from Pin 19 to ground will increase the (R-Y) to (B-Y) angle about 3.0°. Pulling Pin 19 up will decrease the angle.

Composite Output is dc referenced and can be direct coupled to an RF modulator as shown in Figure 3. In this case, the 8.2 V regulator output of the MC1377 is divided down to 5.8 V to provide the zero carrier reference to Pin 1 of the MC1374.

Burst Generation is provided by a sync triggered ramp on Pin 1 and two internal level sensors. Since the early part of this ramp is used, it is quite accurate. Fixed R-C values are feasible, as shown in Figure 3.

Sync Input can be varied over a wide latitude but nevertheless must be applied correctly. The typical ac coupled sync signal has very little positive value and will require a pull-up resistor to 8.2 Vdc at the input. The sync input is a 10 kΩ/10 kΩ divider in the base of a common emitter stage. For PAL operation, the correctly serrated vertical sync interval must be used, in order to continuously trigger the PAL flip-flop. "Block" vertical sync can be used for NTSC.

(R-Y)(B-Y)(-Y) signals are generated to NTSC values (±5.0%) in the input matrices. They are dc clamped at black level by a sync driven clamp. Burst amplitude is internally fixed to correspond to sync level, allowing for 3.0 dB loss in the chroma bandpass filter. If the filter is not used, as shown in Figure 3, a resistor divider should be inserted between Pin 13 and Pin 10 to provide the proper chroma level. When the chroma bandpass is not used, the (-Y) delay line should also be removed, but the 1.0 k/1.0 k divider from Pin 6 to Pin 8 should be retained.

9

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Standard 8K x 8 SRAM

Features

- 8192 x 8 bit static CMOS RAM
- 70 and 100 ns Access Times
- Common data inputs and outputs
- Three-state outputs
- Typ. operating supply current
  70 ns: 45 mA
  100 ns: 37 mA
- Data retention current at 3 V: < 10 µA (standard)
- Standby current standard < 30 µA
- Standby current low power (L) < 10 µA
- Standby current very low power (LL) < 1 µA
- Standby current for LL-version at 25 °C and 5 V: typ. 50 nA
- TTL/CMOS-compatible
- Automatic reduction of power dissipation in long Read or Write cycles
- Power supply voltage 5 V
- Operating temperature ranges:
  0 to 70 °C
  -25 to 85 °C
  -40 to 85 °C
- Quality assessment according to CECC 90000, CECC 90100 and CECC 90111
- ESD protection > 2000 V (MIL STD 883C M3015.7)
- Latch-up immunity > 100 mA
- Packages: PDIP28 (600 mil)
  SOP28 (300 mil)
  SOP28 (330 mil)

Description

The U6264A is a static RAM manufactured using a CMOS process technology with the following operating modes:

- Read - Standby
- Write - Data Retention

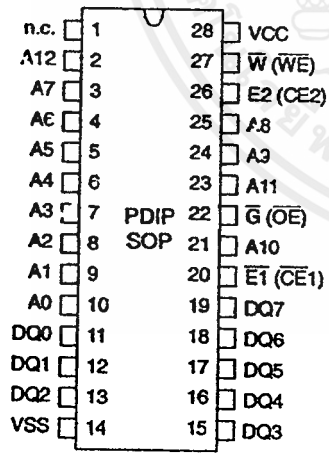
The memory array is based on a 6-transistor cell.

The circuit is activated by the rising edge of E2 (at $\overline{E1}$ = L), or the falling edge of $\overline{E1}$ (at E2 = H). The address and control inputs open simultaneously. According to the information of $\overline{W}$ and $\overline{G}$, the data inputs, or outputs, are active. During the active state ($\overline{E1}$ = L and E2 = H), each address change leads to a new Read or Write cycle. In a Read cycle, the data outputs are activated by the falling edge of $\overline{G}$, afterwards the data word read will be available at the outputs DQ0 - DQ7. After the address change, the data outputs go High-Z until the new read information is available. The data outputs have no preferred state. If the memory is driven by CMOS levels in the active state, and if there is no change of the address, data input and control signals $\overline{W}$ or $\overline{G}$, the operating current (at I_O = 0 mA) drops to the value of the operating current in the Standby mode. The Read cycle is finished by the falling edge of E2 or $\overline{W}$, or by the rising edge of $\overline{E1}$, respectively.

Data retention is guaranteed down to 2 V. With the exception of E2, all inputs consist of NOR gates, so that no pull-up/pull-down resistors are required. This gate circuit allows to achieve low power standby requirements by activation with TTL-levels too.

If the circuit is inactivated by E2 = L, the standby current (TTL) drops to 150 µA typ.

Pin Configuration



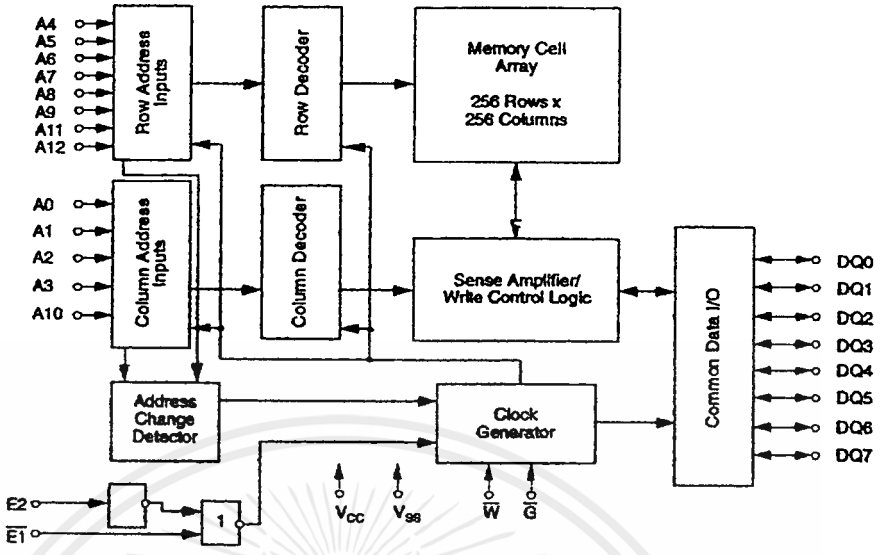
Top View

Pin Description

Signal Name	Signal Description
A0 - A12	Address Inputs
DQ0 - DQ7	Data In/Out
$\overline{E1}$	Chip Enable 1
E2	Chip Enable 2
$\overline{G}$	Output Enable
$\overline{W}$	Write Enable
VCC	Power Supply Voltage
VSS	Ground
n.c.	not connected

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Block Diagram



Truth Table

Operating Mode	$\overline{E1}$	E2	$\overline{W}$	$\overline{G}$	DQ0 - DQ7
Standby/not selected	*	L	*	*	High-Z
	H	*	*	*	High-Z
Internal Read	L	H	H	H	High-Z
Read	L	H	H	L	Data Outputs Low-Z
Write	L	H	L	*	Data Inputs High-Z

* H or L

Characteristics

All voltages are referenced to V_{SS} = 0 V (ground).
All characteristics are valid in the power supply voltage range and in the operating temperature range specified.
Dynamic measurements are based on a rise and fall time of ≤ 5 ns, measured between 10 % and 90 % of V_I, as well as input levels of V_{IL} = 0 V and V_{IH} = 3 V. The timing reference level of all input and output signals is 1.5 V, with the exception of the t_{dis}-times, in which cases transition is measured ± 200 mV from steady-state voltage.

Maximum Ratings		Symbol	Min.	Max.	Unit
Power Supply Voltage		V_{CC}	-0.3	7	V
Input Voltage		V_I	-0.3	V_{CC} + 0.5	V
Output Voltage		V_O	-0.3	V_{CC} + 0.5	V
Power Dissipation		P_D	-	1	W
Operating Temperature	C-Type G-Type K-Type	T_a	0 -25 -40	70 85 85	°C °C °C
Storage Temperature		T_{stg}	-55	125	°C

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Recommended Operating Conditions	Symbol	Conditions	Min.	Max.	Unit
Power Supply Voltage	V_{CC}		4.5	5.5	V
Data Retention Voltage	$V_{CC(DR)}$		2.0		V
Input Low Voltage*	V_{IL}		-0.3	0.8	V
Input High Voltage	V_{IH}		2.2	V_{CC} + 0.3	V

* -2 V at Pulse Width 10 ns

Electrical Characteristics	Symbol	Conditions	Min.	Max.	Unit
Supply Current - Operating Mode	$I_{CC(OP)}$	V_{CC} = 5.5 V V_{IL} = 0.8 V V_{IH} = 2.2 V			
Standard		t_{cW} = 70 ns		70	mA
		t_{cW} = 100 ns		60	mA
Low Power (L)		t_{cW} = 70 ns		70	mA
		t_{cW} = 100 ns		60	mA
Very Low Power (LL)		t_{cW} = 70 ns		55	mA
		t_{cW} = 100 ns		45	mA
Supply Current - Standby Mode (CMOS level)	$I_{CC(SB)}$	V_{CC} = 5.5 V $V_{\overline{E1}} = V_{E2}$ = V_{CC} - 0.2 V or V_{E2} = 0.2 V			
Standard				30	µA
Low Power (L)				10	µA
Very Low Power (LL)				1	µA
Supply Current - Standby Mode (TTL level)	$I_{CC(SB)1}$	V_{CC} = 5.5 V $V_{\overline{E1}} = V_{E2}$ = 2.2 V or V_{E2} = 0.2 V			
Standard				5	mA
Low Power (L)				5	mA
Very Low Power (LL)				3	mA
Supply Current - Data Retention Mode	$I_{CC(DR)}$	$V_{CC(DR)}$ = 3 V $V_{\overline{E1}} = V_{E2}$ = $V_{CC(DR)}$ - 0.2 V or V_{E2} = 0.2 V			
Standard				10	µA
Low Power (L)				10	µA
Very Low Power (LL)				1	µA

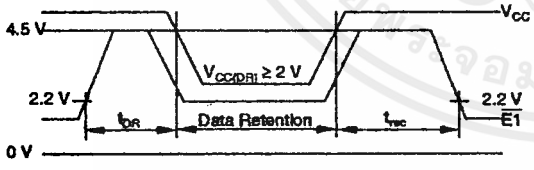
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Electrical Characteristics	Symbol	Conditions	Min.	Max.	Unit
Output High Voltage	V_{OH}	V_{CC} = 4.5 V I_{OH} = -1.0 mA	2.4		V
Output Low Voltage	V_{OL}	V_{CC} = 4.5 V I_{OL} = 3.2 mA		0.4	V
Input Leakage Current Standard & Low Power (L) High	I_{IH}	V_{CC} = 5.5 V V_{IH} = 5.5 V		2	µA
Low	I_{IL}	V_{CC} = 5.5 V V_{IL} = 0 V	-2		µA
Very Low Power (LL) High	I_{IH}	V_{CC} = 5.5 V V_{IH} = 5.5 V		1	µA
Low	I_{IL}	V_{CC} = 5.5 V V_{IL} = 0 V	-1		µA
Output High Current	I_{OH}	V_{CC} = 4.5 V V_{OH} = 2.4 V		-1	mA
Output Low Current	I_{OL}	V_{CC} = 4.5 V V_{OL} = 0.4 V	3.2		mA
Output Leakage Current Standard & Low Power (L) High at Three-State Outputs	I_{OHZ}	V_{CC} = 5.5 V V_{OH} = 5.5 V		2	µA
Low at Three-State Outputs	I_{OLZ}	V_{CC} = 5.5 V V_{OL} = 0 V	-2		µA
Very Low Power (LL) High at Three-State Outputs	I_{OHZ}	V_{CC} = 5.5 V V_{OH} = 5.5 V		1	µA
Low at Three-State Outputs	I_{OLZ}	V_{CC} = 5.5 V V_{OL} = 0 V	-1	-	µA

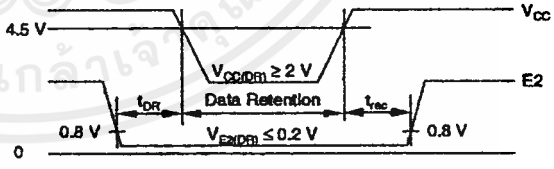
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Switching Characteristics	Symbol		Min.		Max.		Unit
	Alt.	IEC	07	10	07	10	
Time to Output in Low-Z	t_{LZ}	$t_{t(QX)}$	5	5	10	10	ns
Cycle Time							
Write Cycle Time	t_{WC}	t_{cW}	70	100			ns
Read Cycle Time	t_{RC}	t_{cR}	70	100			ns
Access Time							
$\overline{E1}$ LOW or E2 HIGH to Data Valid	t_{ACE}	$t_{a(E)}$	-	-	70	100	ns
$\overline{G}$ LOW to Data Valid	t_{OE}	$t_{a(G)}$	-	-	40	50	ns
Address to Data Valid	t_{AA}	$t_{a(A)}$	-	-	70	100	ns
Pulse Widths							
Write Pulse Width	t_{WP}	$t_{w(W)}$	50	70			ns
Chip Enable to End of Write	t_{CW}	$t_{w(E)}$	65	90			ns
Setup Times							
Address Setup Time	t_{AS}	$t_{su(A)}$	0	0			ns
Chip Enable to End of Write	t_{CW}	$t_{su(E)}$	65	90			ns
Write Pulse Width	t_{WP}	$t_{su(W)}$	50	70			ns
Data Setup Time	t_{DS}	$t_{su(D)}$	35	40			ns
Data Hold Time	t_{DH}	$t_{h(D)}$	0	0			ns
Address Hold from End of Write	t_{AH}	$t_{h(A)}$	0	0			ns
Output Hold Time from Address Change	t_{OH}	$t_{v(A)}$	5	5			ns
$\overline{E1}$ HIGH or E2 LOW to Output in High-Z	t_{HZCE}	$t_{dis(E)}$	0	0	25	35	ns
$\overline{W}$ LOW to Output in High-Z	t_{HZWE}	$t_{dis(W)}$	0	0	30	35	ns
$\overline{G}$ HIGH to Output in High-Z	t_{HZOE}	$t_{dis(G)}$	0	0	25	35	ns

Data Retention Mode $\overline{E1}$-Controlled



Data Retention Mode E2-Controlled



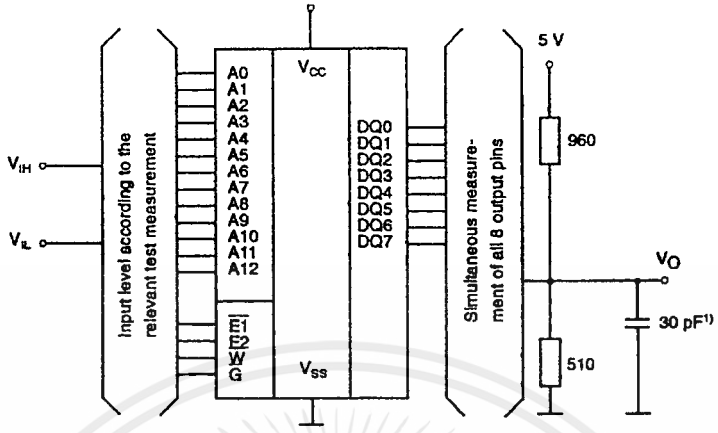
$V_{E2(DR)} \geq V_{CC(DR)} - 0.2$ V or $V_{E2(DR)} \leq 0.2$ V

$V_{CC(DR)} - 0.2$ V $\leq V_{E1(DR)} \leq V_{CC(DR)} + 0.3$ V

Chip Deselect to Data Retention Time	t_{DR}:	min 0 ns
Operating Recovery Time	t_{rec}:	min t_{cR}

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Test Configuration for Functional Check



1) In measurement of $t_{dis(E)}$, $t_{dis(W)}$, $t_{dis(G)}$ the capacitance is 5 pF.

Capacitance	Conditions	Symbol	Min.	Max.	Unit
Input Capacitance	V_{CC} = 5.0 V V_I = V_{SS}	C_I		8	pF
Output Capacitance	f = 1 MHz T_a = 25 °C	C_O		10	pF

All pins not under test must be connected with ground by capacitors.

IC Code Numbers

Example

U6264A D G 07 L

Type

Package
D = PDIP
S = SOP (330 mil)
S1 = SOP (300 mil)

Operating Temperature Range
C = 0 to 70 °C
G = -25 to 85 °C
K = -40 to 85 °C

Access Time
07 = 70 ns
10 = 100 ns

Power Consumption
= Standard
L = Low Power
LL = Very Low Power

Internal Code

The date of manufacture is given by the last 4 digits of the mark, the first 2 digits indicating the year, and the last 2 digits the calendar week.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บรรณานุกรม

ณรงค์ ย่างสกุล,เซมิคอนดัคเตอร์อิเล็กทรอนิกส์,ฉบับที่ 143,144 ต.ค. 2537

วิทยา รักษ์ธนกูลและสันติ พรหมพันธ์,เซมิคอนดัคเตอร์อิเล็กทรอนิกส์,ฉบับที่ 152,153 ต.ค. 2537

สมศักดิ์ เตชะเศรษฐ์ธนะและ ร.ต.อ. สุชาติ กังวารจิตต์,ทฤษฎีและการปฏิบัติโทรทัศน์สีระบบ PAL ,ครั้งที่ 2 ปี 2536

คู่มือ/เทียบเบอร์ไอซี TTL ,พิมพ์ที่ บริษัท พี.เอ. สีฟวิ่ง จำกัด,ปี 2538

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

MOTOROLA

MC12061

Crystal Oscillator

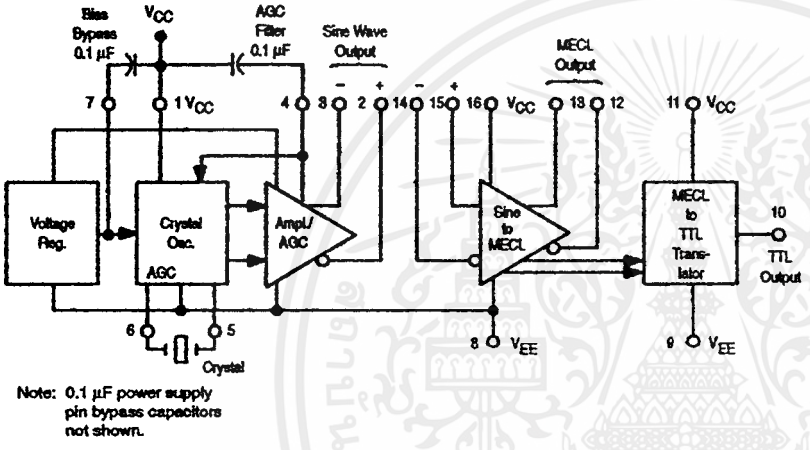
The MC12061 is for use with an external crystal to form a crystal controlled oscillator. In addition to the fundamental series mode crystal, two bypass capacitors are required (plus usual power supply pin bypass capacitors). Translators are provided internally for MECL and TTL outputs.

- Frequency Range = 2.0 to 20 MHz
- Temperature Range = 0 to + 70°C
- Single Supply Operation: +5.0 Vdc or –5.2 Vdc
- Three Outputs Available:
  1. Complementary Sine Wave (600 mVpp typ)
  2. Complementary MECL
  3. Single Ended TTL

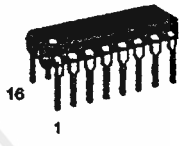
CRYSTAL OSCILLATOR

SEMICONDUCTOR TECHNICAL DATA

Figure 1. Block Diagram



Note: 0.1 µF power supply pin bypass capacitors not shown.



P SUFFIX
PLASTIC PACKAGE
CASE 648

ORDERING INFORMATION

Device	Operating Temperature Range	Package
MC12061P	T_A = 0° to +70°C	Plastic

TYPICAL CIRCUIT CONFIGURATIONS

Note: 0.1 µF power supply pin bypass capacitors not shown.

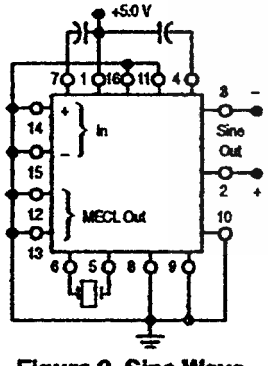


Figure 2. Sine Wave Output

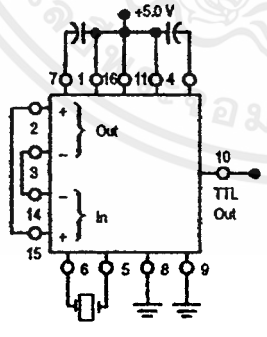


Figure 3. MTTL Output

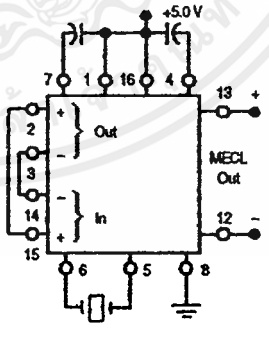


Figure 4. MECL Output
(+5.0 V Supply)

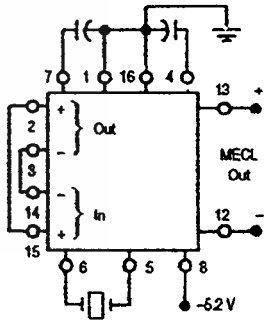


Figure 5. MECL Output
(–5.2 V Supply)

CRYSTAL REQUIREMENTS

Note: Start-up stabilization time is a function of crystal series resistance. The lower the resistance, the faster the circuit stabilizes.

Characteristic	MC12061
Mode of Operation	Fundamental Series Resonance
Frequency Range	2.0 MHz — 20 MHz
Series Resistance, R1	Minimum at Fundamental
Maximum Effective Resistance $R_{E(max)}$	155 ohms

© Motorola, Inc. 1997

Rev 5

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Figure 10. MECL Translator Load Capability

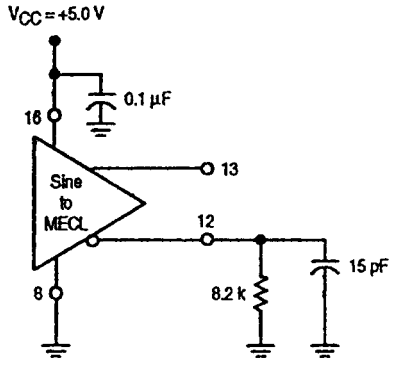


Figure 11. TTL Translator Load Capability

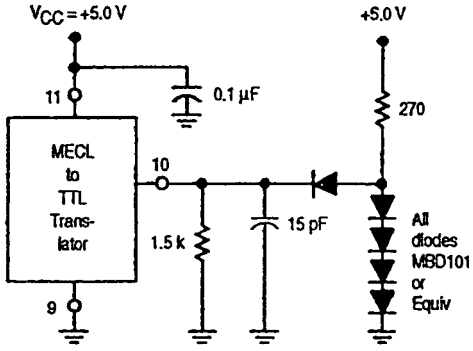
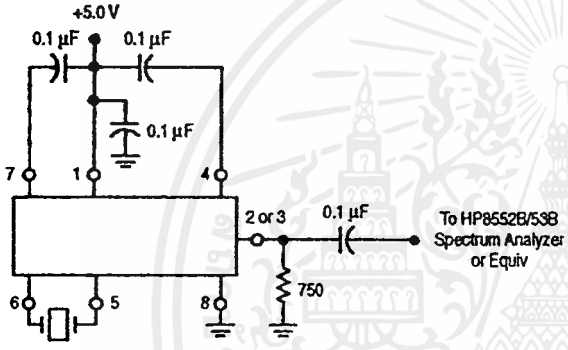


Figure 12. Noise Measurement Test Circuit



ANALYZER SETTING

Measurement	Sweep	Bandwidth	Video Filter
Noise Floor	50 kHz/div	10 kHz	10 Hz
Close-In Noise	20 kHz/div	10 Hz	10 Hz

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

National Semiconductor

May 1998

DAC0800/DAC0801/DAC0802
8-Bit Digital-to-Analog Converters

General Description

The DAC0800 series are monolithic 8-bit high-speed current-output digital-to-analog converters (DAC) featuring typical settling times of 100 ns. When used as a multiplying DAC, monotonic performance over a 40 to 1 reference current range is possible. The DAC0800 series also features high compliance complementary current outputs to allow differential output voltages of 20 Vp-p with simple resistor loads as shown in *Figure 1*. The reference-to-full-scale current matching of better than ±1 LSB eliminates the need for full-scale trims in most applications while the nonlinearities of better than ±0.1% over temperature minimizes system error accumulations.

The noise immune inputs of the DAC0800 series will accept TTL levels with the logic threshold pin, V_{LC}, grounded. Changing the V_{LC} potential will allow direct interface to other logic families. The performance and characteristics of the device are essentially unchanged over the full ±4.5V to ±18V power supply range; power dissipation is only 33 mW with ±5V supplies and is independent of the logic input states.

The DAC0800, DAC0802, DAC0800C, DAC0801C and DAC0802C are a direct replacement for the DAC-08, DAC-08A, DAC-08C, DAC-08E and DAC-08H, respectively.

Features

- Fast settling output current: 100 ns
- Full scale error: ±1 LSB
- Nonlinearity over temperature: ±0.1%
- Full scale current drift: ±10 ppm/°C
- High output compliance: −10V to +18V
- Complementary current outputs
- Interface directly with TTL, CMOS, PMOS and others
- 2 quadrant wide range multiplying capability
- Wide power supply range: ±4.5V to ±18V
- Low power consumption: 33 mW at ±5V
- Low cost

Typical Applications

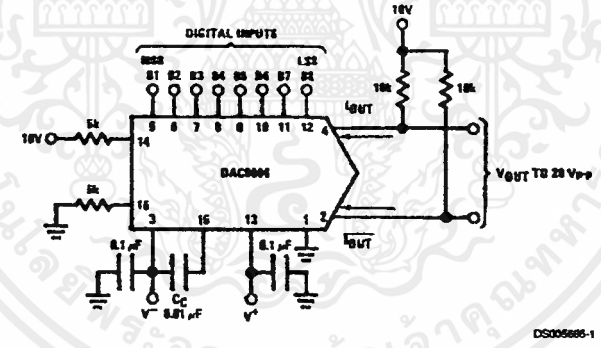


FIGURE 1. ±20 V_{P-P} Output Digital-to-Analog Converter (Note 5)

Ordering Information

Non-Linearity	Temperature Range	Order Numbers				
		J Package (J16A) (Note 1)		N Package (N16A) (Note 1)		SO Package (M16A)
±0.1% FS	0°C ≤ T_A ≤ +70°C	DAC0802LCJ	DAC-08HQ	DAC0802LCN	DAC-08HP	DAC0802LCM
±0.19% FS	−55°C ≤ T_A ≤ +125°C	DAC0800LJ	DAC-08Q			
±0.19% FS	0°C ≤ T_A ≤ +70°C	DAC0800LCJ	DAC-08EQ	DAC0800LCN	DAC-08EP	DAC0800LCM
±0.39% FS	0°C ≤ T_A ≤ +70°C			DAC0801LCN	DAC-08CP	DAC0801LCM

Note 1: Devices may be ordered by using either order number.

© 1999 National Semiconductor Corporation

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Absolute Maximum Ratings (Note 2)

If Military/Aerospace specified devices are required, please contact the National Semiconductor Sales Office/ Distributors for availability and specifications.

Supply Voltage ($V^+ - V^-$)	±18V or 36V
Power Dissipation (Note 3)	500 mW
Reference Input Differential Voltage (V14 to V15)	V^- to V^+
Reference Input Common-Mode Range (V14, V15)	V^- to V^+
Reference Input Current	5 mA
Logic Inputs	V^- to V^- plus 36V
Analog Current Outputs (V_S – = –15V)	4.25 mA
ESD Susceptibility (Note 4)	TBD V
Storage Temperature	–65°C to +150°C
Lead Temp. (Soldering, 10 seconds)	
Dual-In-Line Package (plastic)	260°C
Dual-In-Line Package (ceramic)	300°C
Surface Mount Package	
Vapor Phase (60 seconds)	215°C
Infrared (15 seconds)	220°C

Operating Conditions (Note 2)

	Min	Max	Units
Temperature (T_A)			
DAC0800L	–55	+125	°C
DAC0800LC	0	+70	°C
DAC0801LC	0	+70	°C
DAC0802LC	0	+70	°C

Electrical Characteristics

The following specifications apply for V_S = ±15V, I_{REF} = 2 mA and $T_{MIN} \le T_A \le T_{MAX}$ unless otherwise specified. Output characteristics refer to both I_{OUT} and $\overline{I_{OUT}}$.

Symbol	Parameter	Conditions	DAC0802LC			DAC0800L/ DAC0800LC			DAC0801LC			Units
			Min	Typ	Max	Min	Typ	Max	Min	Typ	Max	
	Resolution		8	8	8	8	8	8	8	8	8	Bits
	Monotonicity		8	8	8	8	8	8	8	8	8	Bits
	Nonlinearity				±0.1			±0.19			±0.39	%FS
t_s	Settling Time	To ±½ LSB, All Bits Switched "ON" or "OFF", T_A=25°C		100	135					100	150	ns
		DAC0800L					100	135				ns
		DAC0800LC					100	150				ns
tPLH, tPHL	Propagation Delay	T_A=25°C										
	Each Bit			35	60		35	60		35	60	ns
	All Bits Switched			35	60		35	60		35	60	ns
TC_{FS}	Full Scale Tempco			±10	±50		±10	±50		±10	±80	ppm/°C
V_{OC}	Output Voltage Compliance	Full Scale Current Change <½ LSB, R_{OUT}>20 MΩ Typ	–10		18	–10		18	–10		18	V
I_{FS4}	Full Scale Current	V_{REF}=10.000V, R14=5.000 kΩ R15=5.000 kΩ, T_A=25°C	1.984	1.992	2.000	1.94	1.99	2.04	1.94	1.99	2.04	mA
I_{FSS}	Full Scale Symmetry	I_{FS4}–I_{FS2}		±0.5	±4.0		±1	±8.0		±2	±16	µA
I_{ZS}	Zero Scale Current			0.1	1.0		0.2	2.0		0.2	4.0	µA
I_{FSR}	Output Current Range	V^-=–5V	0	2.0	2.1	0	2.0	2.1	0	2.0	2.1	mA
		V^-=–8V to –18V	0	2.0	4.2	0	2.0	4.2	0	2.0	4.2	mA
	Logic Input Levels											
V_{IL}	Logic "0"	V_{LC}=0V			0.8			0.8			0.8	V
V_{IH}	Logic "1"		2.0			2.0			2.0			V
	Logic Input Current	V_{LC}=0V										
I_{IL}	Logic "0"	–10V≤V_{IN}≤+0.8V		–2.0	–10		–2.0	–10		–2.0	–10	µA
I_{IH}	Logic "1"	2V≤V_{IN}≤+18V		0.002	10		0.002	10		0.002	10	µA
V_{IS}	Logic Input Swing	V^-=–15V	–10		18	–10		18	–10		18	V
V_{THR}	Logic Threshold Range	V_S=±15V	–10		13.5	–10		13.5	–10		13.5	V
I_{15}	Reference Bias Current			–1.0	–3.0		–1.0	–3.0		–1.0	–3.0	µA
dI/dt	Reference Input Slew Rate	(*Figure 11*)	4.0	8.0		4.0	8.0		4.0	8.0		mA/µs
$PSSI_{FS+}$	Power Supply Sensitivity	4.5V≤V^+≤18V		0.0001	0.01		0.0001	0.01		0.0001	0.01	%/%
$PSSI_{FS-}$		–4.5V≤V^-≤18V		0.0001	0.01		0.0001	0.01		0.0001	0.01	%/%
		I_{REF}=1mA										

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Electrical Characteristics (Continued)

The following specifications apply for V_S = ±15V, I_{REF} = 2 mA and $T_{MIN} \le T_A \le T_{MAX}$ unless otherwise specified. Output characteristics refer to both I_{OUT} and $\overline{I_{OUT}}$.

Symbol	Parameter	Conditions	DAC0802LC			DAC0800L/ DAC0800LC			DAC0801LC			Units
			Min	Typ	Max	Min	Typ	Max	Min	Typ	Max	
	Power Supply Current	V_S=±5V, I_{REF}=1 mA										
I_+				2.3	3.8		2.3	3.8		2.3	3.8	mA
I_-				−4.3	−5.8		−4.3	−5.8		−4.3	−5.8	mA
		V_S=5V, −15V, I_{REF}=2 mA										
I_+				2.4	3.8		2.4	3.8		2.4	3.8	mA
I_-				−6.4	−7.8		−6.4	−7.8		−6.4	−7.8	mA
		V_S=±15V, I_{REF}=2 mA										
I_+				2.5	3.8		2.5	3.8		2.5	3.8	mA
I_-				−6.5	−7.8		−6.5	−7.8		−6.5	−7.8	mA
P_D	Power Dissipation	±5V, I_{REF}=1 mA		33	48		33	48		33	48	mW
		5V,−15V, I_{REF}=2 mA		108	136		108	136		108	136	mW
		±15V, I_{REF}=2 mA		135	174		135	174		135	174	mW

Note 2: Absolute Maximum Ratings indicate limits beyond which damage to the device may occur. DC and AC electrical specifications do not apply when operating the device beyond its specified operating conditions.

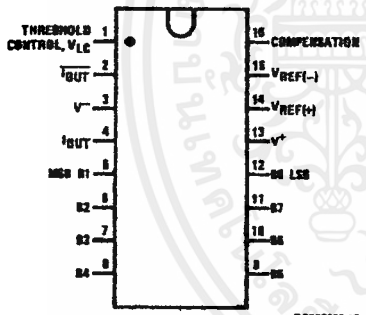
Note 3: The maximum junction temperature of the DAC0800, DAC0801 and DAC0802 is 125°C. For operating at elevated temperatures, devices in the Dual-In-Line J package must be derated based on a thermal resistance of 100°C/W, junction-to-ambient, 175°C/W for the molded Dual-In-Line N package and 100°C/W for the Small Outline M package.

Note 4: Human body model, 100 pF discharged through a 1.5 kΩ resistor.

Note 5: Pin-out numbers for the DAC080X represent the Dual-In-Line package. The Small Outline package pin-out differs from the Dual-In-Line package.

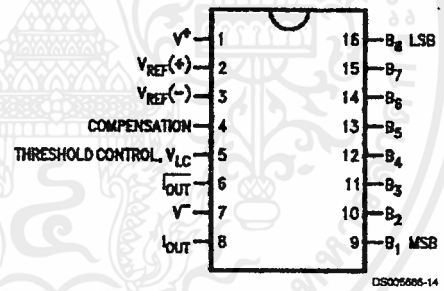
Connection Diagrams

Dual-In-Line Package



Top View

Small Outline Package

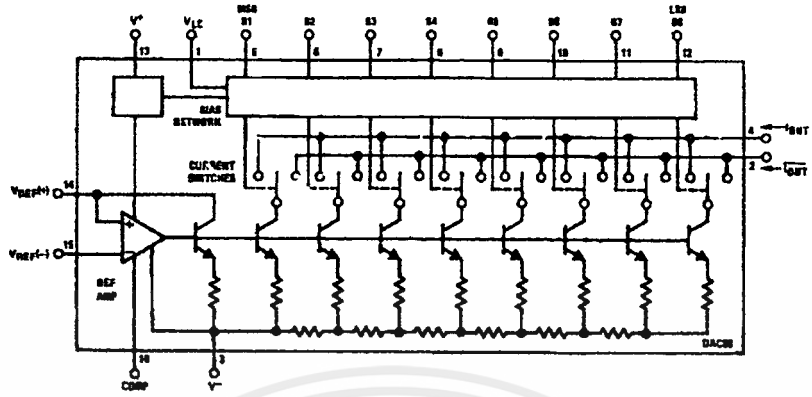


Top View

See Ordering Information

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

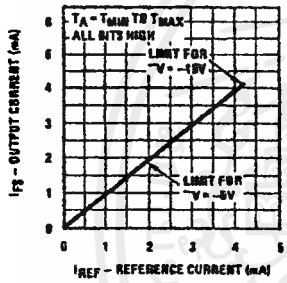
Block Diagram (Note 5)



DS005686-2

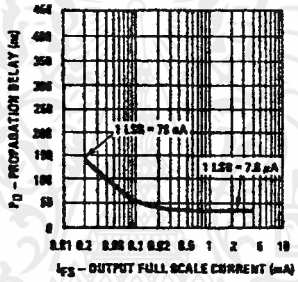
Typical Performance Characteristics

Full Scale Current vs Reference Current



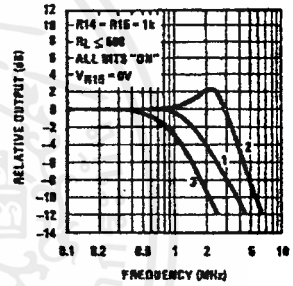
DS005686-22

LSB Propagation Delay vs I_{FS}



DS005686-23

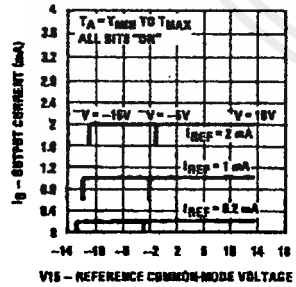
Reference Input Frequency Response



DS005686-24

Curve 1: C_C=15 pF, V_{IN}=2 Vp-p centered at 1V.
Curve 2: C_C=15 pF, V_{IN}=50 mVp-p centered at 200 mV.
Curve 3: C_C=0 pF, V_{IN}=100 mVp-p centered at 0V and applied through 50Ω connected to pin 14.2V applied to R14.

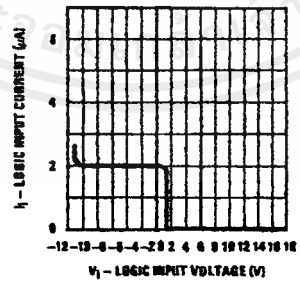
Reference Amp Common-Mode Range



DS005686-25

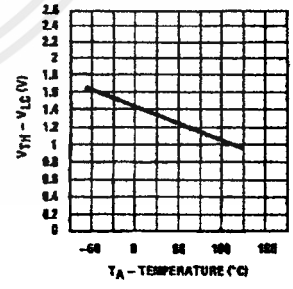
Note. Positive common-mode range is always (V+) − 1.5V.

Logic Input Current vs Input Voltage



DS005686-26

V_{TH} — V_{LC} vs Temperature

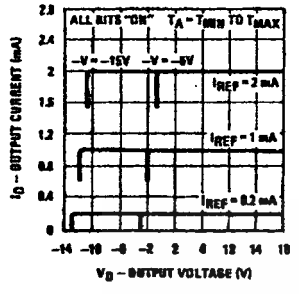


DS005686-27

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

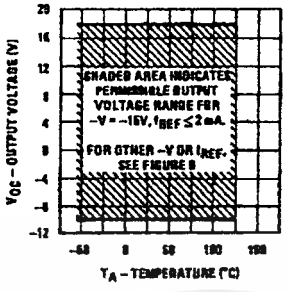
Typical Performance Characteristics (Continued)

Output Current vs Output Voltage (Output Voltage Compliance)



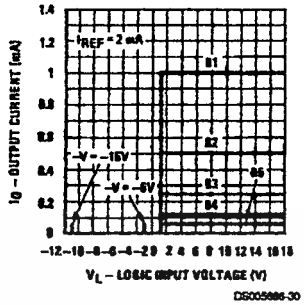
DS005686-28

Output Voltage Compliance vs Temperature



DS005686-29

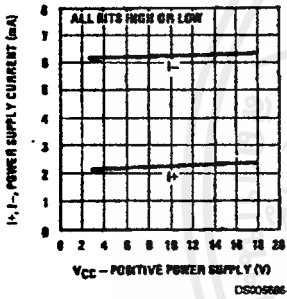
Bit Transfer Characteristics



DS005686-30

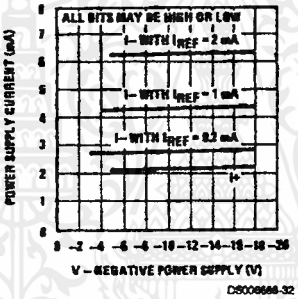
Note. B1–B8 have identical transfer characteristics. Bits are fully switched with less than ½ LSB error, at less than ±100 mV from actual threshold. These switching points are guaranteed to lie between 0.8 and 2V over the operating temperature range (V_{LC} = 0V).

Power Supply Current vs +V



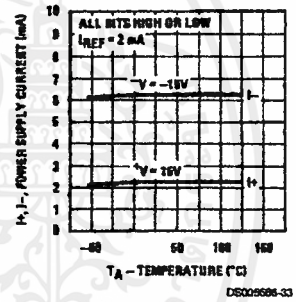
DS005686-31

Power Supply Current vs −V



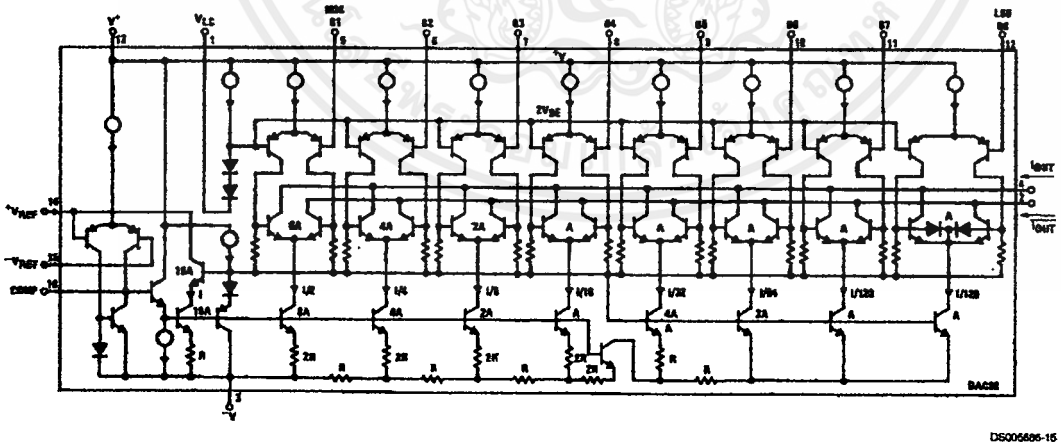
DS005686-32

Power Supply Current vs Temperature



DS005686-33

Equivalent Circuit

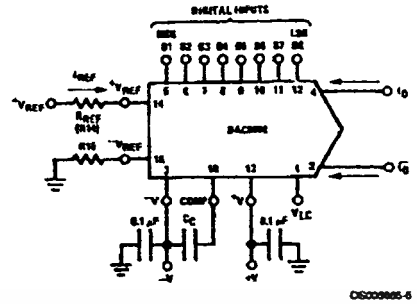


DS005686-15

FIGURE 2.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Typical Applications



$$I_{FS} \approx \frac{+V_{REF}}{R_{REF}} \times \frac{255}{256}$$

$I_O + \bar{I}_O = I_{FS}$ for all logic states
For fixed reference, TTL operation, typical values are:
V_{REF} = 10.000V
R_{REF} = 5.000k
R15 = R_{REF}
C_C = 0.01 µF
V_{LC} = 0V (Ground)

FIGURE 3. Basic Positive Reference Operation (Note 5)

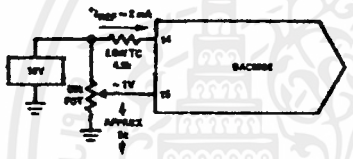
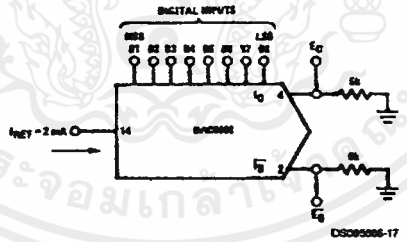


FIGURE 4. Recommended Full Scale Adjustment Circuit (Note 5)

$$I_{FS} \approx \frac{-V_{REF}}{R_{REF}} \times \frac{255}{256}$$

Note. R_{REF} sets I_{FS}; R15 is for bias current cancellation

FIGURE 5. Basic Negative Reference Operation (Note 5)

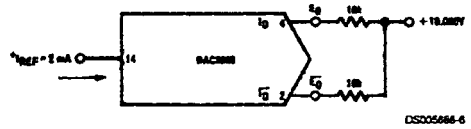


	B1	B2	B3	B4	B5	B6	B7	B8	I_O mA	$\bar{I}_O$mA	E_O	$\bar{E}_O$
Full Scale	1	1	1	1	1	1	1	1	1.992	0.000	−9.960	0.000
Full Scale−LSB	1	1	1	1	1	1	1	0	1.984	0.008	−9.920	−0.040
Half Scale+LSB	1	0	0	0	0	0	0	1	1.008	0.984	−5.040	−4.920
Half Scale	1	0	0	0	0	0	0	0	1.000	0.992	−5.000	−4.960
Half Scale−LSB	0	1	1	1	1	1	1	1	0.992	1.000	−4.960	−5.000
Zero Scale+LSB	0	0	0	0	0	0	0	1	0.008	1.984	−0.040	−9.920
Zero Scale	0	0	0	0	0	0	0	0	0.000	1.992	0.000	−9.960

FIGURE 6. Basic Unipolar Negative Operation (Note 5)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

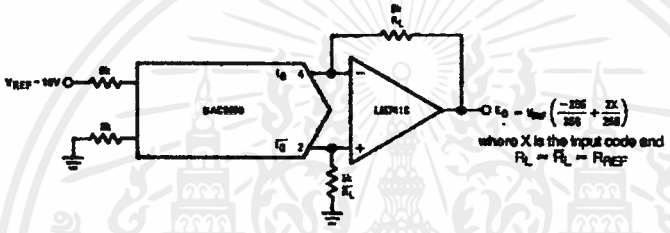
Typical Applications (Continued)



DS005686-6

	B1	B2	B3	B4	B5	B6	B7	B8	E_O	$\overline{E}_O$
Pos. Full Scale	1	1	1	1	1	1	1	1	−9.920	+10.000
Pos. Full Scale−LSB	1	1	1	1	1	1	1	0	−9.840	+9.920
Zero Scale+LSB	1	0	0	0	0	0	0	1	−0.080	+0.160
Zero Scale	1	0	0	0	0	0	0	0	0.000	+0.080
Zero Scale−LSB	0	1	1	1	1	1	1	1	+0.080	0.000
Neg. Full Scale+LSB	0	0	0	0	0	0	0	1	+9.920	−9.840
Neg. Full Scale	0	0	0	0	0	0	0	0	+10.000	−9.920

FIGURE 7. Basic Bipolar Output Operation (Note 5)

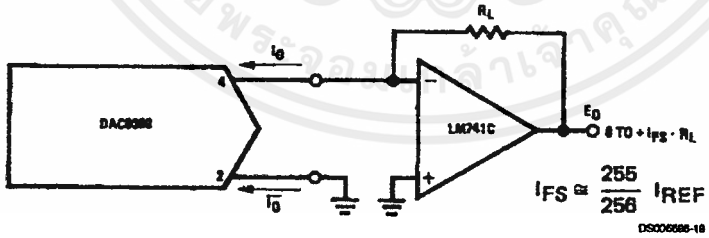


DS005686-16

If $R_L = \overline{R}_L$ within ±0.05%, output is symmetrical about ground

	B1	B2	B3	B4	B5	B6	B7	B8	E_O
Pos. Full Scale	1	1	1	1	1	1	1	1	+9.960
Pos. Full Scale−LSB	1	1	1	1	1	1	1	0	+9.880
(+)Zero Scale	1	0	0	0	0	0	0	0	+0.040
(−)Zero Scale	0	1	1	1	1	1	1	1	−0.040
Neg. Full Scale+LSB	0	0	0	0	0	0	0	1	−9.880
Neg. Full Scale	0	0	0	0	0	0	0	0	−9.960

FIGURE 8. Symmetrical Offset Binary Operation (Note 5)



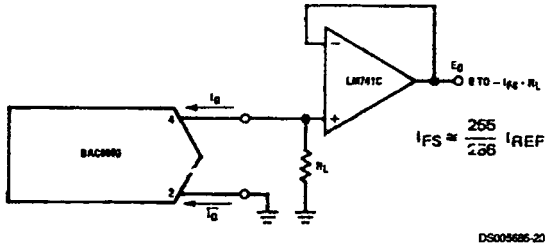
DS005686-18

For complementary output (operation as negative logic DAC), connect inverting input of op amp to $\overline{I}_O$ (pin 2), connect I_O (pin 4) to ground.

FIGURE 9. Positive Low Impedance Output Operation (Note 5)

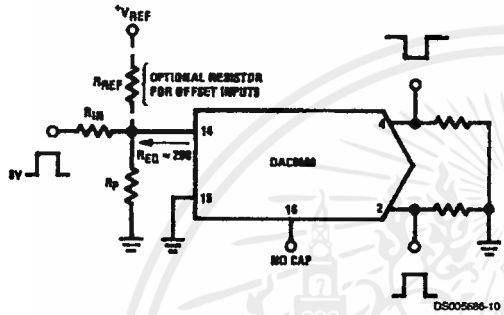
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Typical Applications (Continued)



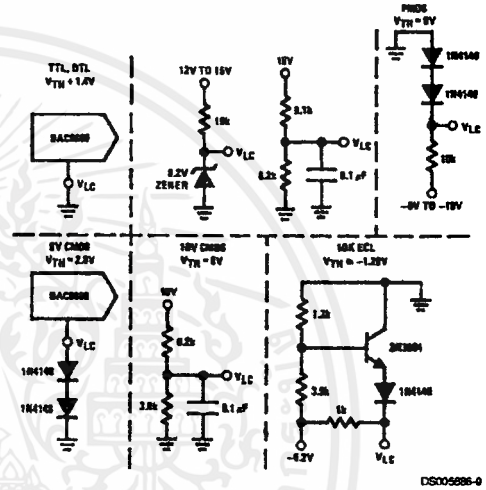
For complementary output (operation as a negative logic DAC) connect non-inverting input of op amp to I_O (pin 2); connect $\overline{I_O}$ (pin 4) to ground.

FIGURE 10. Negative Low Impedance Output Operation (Note 5)



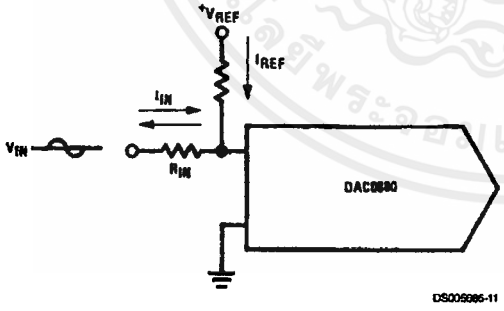
Typical values: R_{IN}=5k,+V_{IN}=10V

FIGURE 11. Pulsed Reference Operation (Note 5)

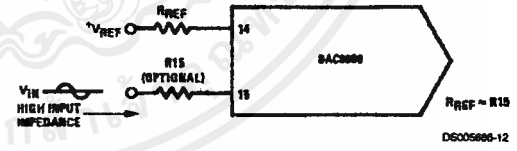


$V_{TH} = V_{LC} + 1.4V$
15V CMOS, HTL, HNIL
V_{TH} = 7.6V
Note. Do not exceed negative logic input range of DAC.

FIGURE 12. Interfacing with Various Logic Families



(a) I_{REF} ≥ peak negative swing of I_{IN}



(b) +V_{REF} must be above peak positive swing of V_{IN}

FIGURE 13. Accommodating Bipolar References (Note 5)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Typical Applications (Continued)

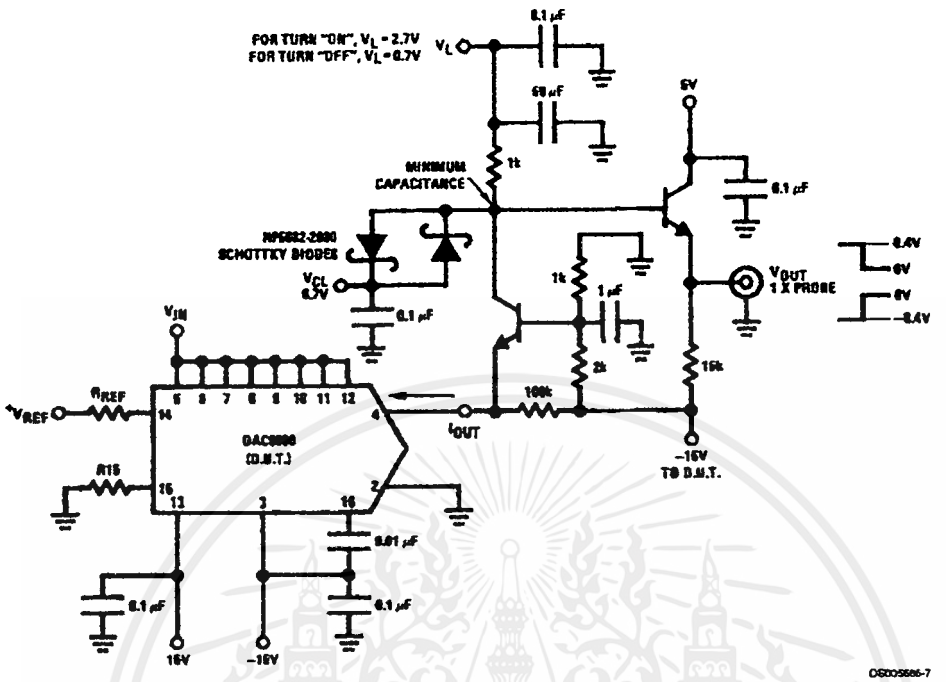
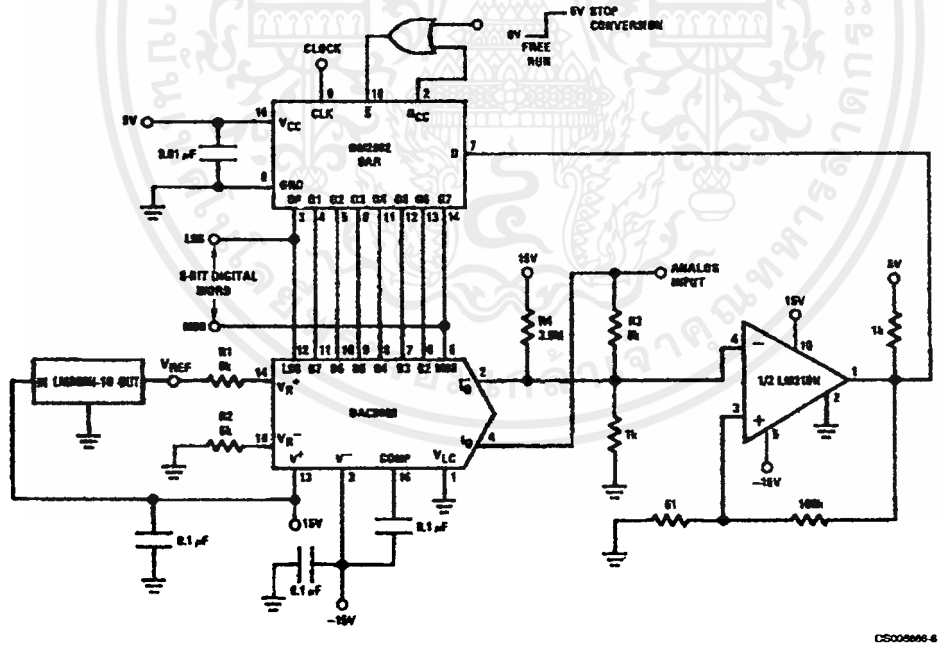


FIGURE 14. Settling Time Measurement (Note 5)



Note. For 1 µs conversion time with 8-bit resolution and 7-bit accuracy, an LM361 comparator replaces the LM319 and the reference current is doubled by reducing R1, R2 and R3 to 2.5 kΩ and R4 to 2 MΩ.

FIGURE 15. A Complete 2 µs Conversion Time, 8-Bit A/D Converter (Note 5)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

intersil

CA3318

CMOS Video Speed, 8-Bit, Flash A/D Converter

August 1997

Features

- CMOS Low Power with SOS Speed (Typ)..... 150mW
- Parallel Conversion Technique
- 15MHz Sampling Rate (Conversion Time).....67ns
- 8-Bit Latched Three-State Output with Overflow Bit
- Accuracy (Typ)..... ±1 LSB
- Single Supply Voltage..... 4V to 7.5V
- 2 Units in Series Allow 9-Bit Output
- 2 Units in Parallel Allow 30MHz Sampling Rate

Applications

- TV Video Digitizing (Industrial/Security/Broadcast)
- High Speed A/D Conversion
- Ultrasound Signature Analysis
- Transient Signal Analysis
- High Energy Physics Research
- General-Purpose Hybrid ADCs
- Optical Character Recognition
- Radar Pulse Analysis
- Motion Signature Analysis
- µP Data Acquisition Systems

Description

The CA3318 is a CMOS parallel (FLASH) analog-to-digital converter designed for applications demanding both low power consumption and high speed digitization.

The CA3318 operates over a wide full scale input voltage range of 4V up to 7.5V with maximum power consumption depending upon the clock frequency selected. When operated from a 5V supply at a clock frequency of 15MHz, the typical power consumption of the CA3318 is 150mW.

The intrinsic high conversion rate makes the CA3318 ideally suited for digitizing high speed signals. The overflow bit makes possible the connection of two or more CA3318s in series to increase the resolution of the conversion system. A series connection of two CA3318s may be used to produce a 9-bit high speed converter. Operation of two CA3318s in parallel doubles the conversion speed (i.e., increases the sampling rate from 15MHz to 30MHz).

256 paralleled auto balanced voltage comparators measure the input voltage with respect to a known reference to produce the parallel bit outputs in the CA3318.

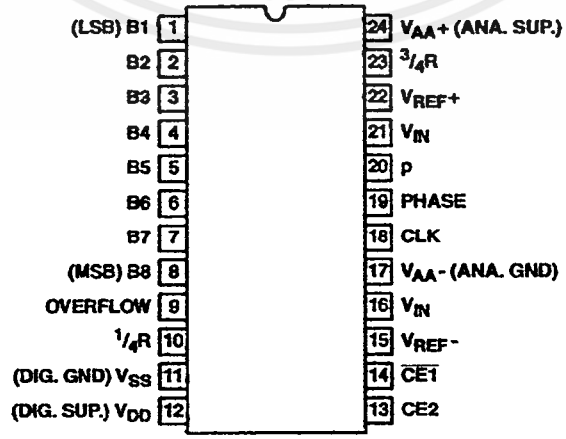
255 comparators are required to quantize all input voltage levels in this 8-bit converter, and the additional comparator is required for the overflow bit.

Ordering Information

PART NUMBER	LINEARITY (INL, DNL)	SAMPLING RATE	TEMP. RANGE (°C)	PACKAGE	PKG. NO.
CA3318CE	±1.5 LSB	15MHz (67ns)	-40 to 85	24 Ld PDIP	E24.6
CA3318CM	±1.5 LSB	15MHz (67ns)	-40 to 85	24 Ld SOIC	M24.3
CA3318CD	±1.5 LSB	15MHz (67ns)	-40 to 85	24 Ld SBDIP	D24.6

Pinout

CA3318
(PDIP, SBDIP, SOIC)
TOP VIEW

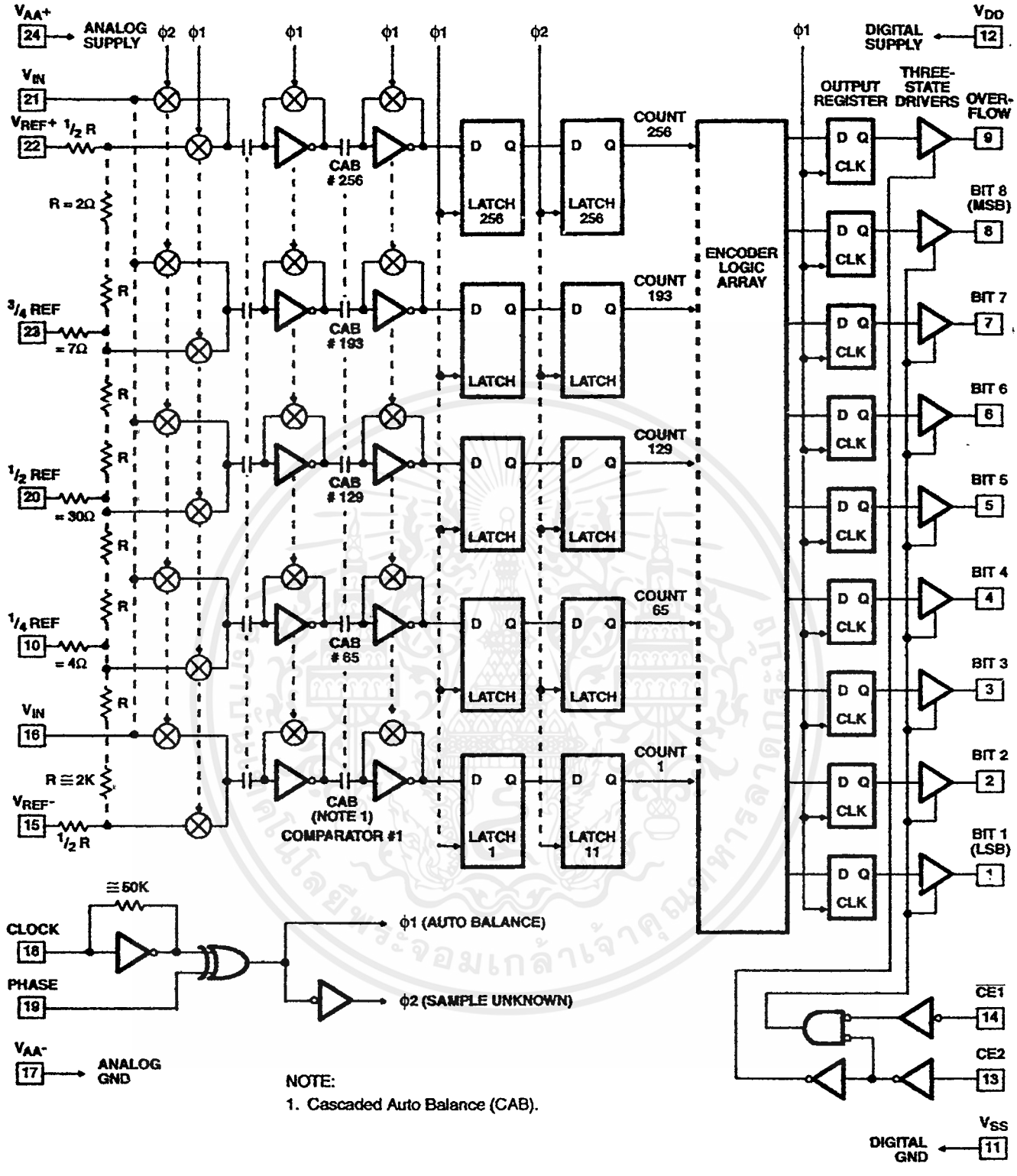


CAUTION: These devices are sensitive to electrostatic discharge; follow proper IC Handling Procedures.
http://www.intersil.com or 407-727-9207 | Copyright © Intersil Corporation 1999

File Number 3103.1

ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Functional Block Diagram



NOTE:

1. Cascaded Auto Balance (CAB).

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Absolute Maximum Ratings

DC Supply Voltage Range (V_{DD} or V_{AA}+) ..... -0.5V to +8V
(Referenced to V_{SS} or V_{AA}- Terminal, Whichever is More Negative)
Input Voltage Range
CE2 and $\overline{CE1}$ ..... V_{AA}- -0.5V to V_{DD} + 0.5V
Clock, Phase, V_{REF}-, $^1/_2$ Ref..... V_{AA}- -0.5V to V_{AA}+ + 0.5V
Clock, Phase, V_{REF}-, $^1/_4$ Ref..... V_{SS}- -0.5V to V_{DD} + 0.5V
V_{IN}, $^3/_4$ REF, V_{REF}+ ..... V_{AA}- -0.5V to V_{AA}- + 7.5V
Output Voltage Range,..... V_{SS} - 0.5V to V_{DD} + 0.5V
Bits 1-8, Overflow (Outputs Off)
DC Input Current ..... ±20mA
Clock, Phase, $\overline{CE1}$, CE2, V_{IN}, Bits 1-8, Overflow

Thermal Information

Thermal Resistance (Typical, Note 1)	θ_{JA} (°C/W)	θ_{JC} (°C/W)
SBDIP Package	60	22
PDIP Package	60	N/A
SOIC Package	75	N/A

Maximum Junction Temperature
Ceramic Package ..... 175°C
Plastic Packages ..... 150°C
Maximum Storage Temperature Range ..... -65°C to 150°C
Maximum Lead Temperature (Soldering 10s) ..... 265°C
(SOIC - Lead Tips Only)

Operating Conditions

Operating Voltage Range (V_{DD} or V_{AA}+)... 4V (Min) to 7.5V (Max)
Recommended V_{AA}+ Operating Range..... V_{DD} ±1V
Recommended V_{AA}- Operating Range ..... V_{SS} ±1V
Operating Temperature Range (T_A) ..... -40°C to 85°C

CAUTION: Stresses above those listed in "Absolute Maximum Ratings" may cause permanent damage to the device. This is a stress only rating and operation of the device at these or any other conditions above those indicated in the operational sections of this specification is not implied.

NOTE:

1. θ_{JA} is measured with the component mounted on an evaluation PC board in free air.

Electrical Specifications

At 25°C, V_{AA}+ = V_{DD} = 5V, V_{REF}+ = 6.4V, V_{REF}- = V_{AA}- = V_{SS}, CLK = 15MHz, All Reference Points Adjusted, Unless Otherwise Specified

PARAMETER	TEST CONDITIONS	MIN	TYP	MAX	UNITS
SYSTEM PERFORMANCE					
Resolution		8	-	-	Bits
Integral Linearity Error		-	-	±1.5	LSB
Differential Linearity Error		-	-	+1, -0.8	LSB
Offset Error, Unadjusted	V_{IN} = V_{REF}- + $^1/_2$ LSB	-0.5	4.5	6.4	LSB
Gain Error Unadjusted	V_{IN} = V_{REF}+ - $^1/_2$ LSB	-1.5	0	1.5	LSB
DYNAMIC CHARACTERISTICS					
Maximum Input Bandwidth	(Note 1) CA3318	2.5	5.0	-	MHz
Maximum Conversion Speed	CLK = Square Wave	15	17	-	MSPS
Signal to Noise Ratio (SNR) $=\frac{RMS\,Signal}{RMS\,Noise}$	f_S = 15MHz, f_{IN} = 100kHz	-	47	-	dB
	f_S = 15MHz, f_{IN} = 4MHz	-	43	-	dB
Signal to Noise Ratio (SINAD) $=\frac{RMS\,Signal}{RMS\,Noise+Distortion}$	f_S = 15MHz, f_{IN} = 100kHz	-	45	-	dB
	f_S = 15MHz, f_{IN} = 4MHz	-	35	-	dB
Total Harmonic Distortion, THD	f_S = 15MHz, f_{IN} = 100kHz	-	-46	-	dBc
	f_S = 15MHz, f_{IN} = 4MHz	-	-36	-	dBc
Effective Number of Bits (ENOB)	f_S = 15MHz, f_{IN} = 100kHz	-	7.2	-	Bits
	f_S = 15MHz, f_{IN} = 4MHz	-	5.5	-	Bits
Differential Gain Error	Unadjusted	-	2	-	%
Differential Phase Error	Unadjusted	-	1	-	%
ANALOG INPUTS					
Full Scale Range, V_{IN} and (V_{REF}+) - (V_{REF}-)	Notes 2, 4	4	-	7	V
Input Capacitance, V_{IN}		-	30	-	pF
Input Current, V_{IN}, (See Text)	V_{IN} = 5V, V_{REF}+ = 5V	-	-	3.5	mA
REFERENCE INPUTS					
Ladder Impedance		270	500	800	Ω

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Electrical Specifications At 25°C, $V_{AA}+ = V_{DD} = 5V$, $V_{REF}+ = 6.4V$, $V_{REF}- = V_{AA}- = V_{SS}$, CLK = 15MHz, All Reference Points Adjusted, Unless Otherwise Specified **(Continued)**

PARAMETER	TEST CONDITIONS	MIN	TYP	MAX	UNITS
DIGITAL INPUTS					
Low Level Input Voltage, V_{OL}					
$\overline{CE1}$, CE2	Note 4	-	-	$0.2V_{DD}$	V
Phase, CLK	Note 4	-	-	$0.2V_{AA}$	V
High Level Input Voltage, V_{IN}					
$\overline{CE1}$, CE2	Note 4	$0.7V_{DD}$	-	-	V
Phase, CLK	Note 4	$0.7V_{AA}$	-	-	V
Input Leakage Current, I_I (Except CLK Input)	Note 3	-	±0.2	±5	µA
Input Capacitance, C_I		-	3	-	pF
DIGITAL OUTPUTS					
Output Low (Sink) Current	$V_O = 0.4V$	4	10	-	mA
Output High (Source) Current	$V_O = 4.5V$	-4	-6	-	mA
Three-State Output Off-State Leakage Current, I_{OZ}		-	±0.2	±5	µA
Output Capacitance, C_O		-	4	-	pF
TIMING CHARACTERISTICS					
Auto Balance Time (ϕ1)		33	-	∞	ns
Sample Time (ϕ2)	Note 4	25	-	500	ns
Aperture Delay		-	15	-	ns
Aperture Jitter		-	100	-	ps
Data Valid Time, t_D	Note 4	-	50	65	ns
Data Hold Time, t_H	Note 4	25	40	-	ns
Output Enable Time, t_{EN}		-	18	-	ns
Output Disable Time, t_{DIS}		-	18	-	ns
POWER SUPPLY CHARACTERISTICS					
Device Current ($I_{DD} + I_A$) (Excludes I_{REF})	Continuous Conversion (Note 4)	-	30	60	mA
	Auto Balance (ϕ1)	-	30	60	mA

NOTES:

1. A full scale sine wave input of greater than $f_{CLOCK}/2$ or the specified input bandwidth (whichever is less) may cause an erroneous code. The -3dB bandwidth for frequency response purposes is greater than 30MHz.
2. V_{IN} (Full Scale) or $V_{REF}+$ should not exceed $V_{AA}+ + 1.5V$ for accuracy.
3. The clock input is a CMOS inverter with a 50kΩ feedback resistor and may be AC coupled with $1V_{P-P}$ minimum source.
4. Parameter not tested, but guaranteed by design or characterization.

Timing Waveforms

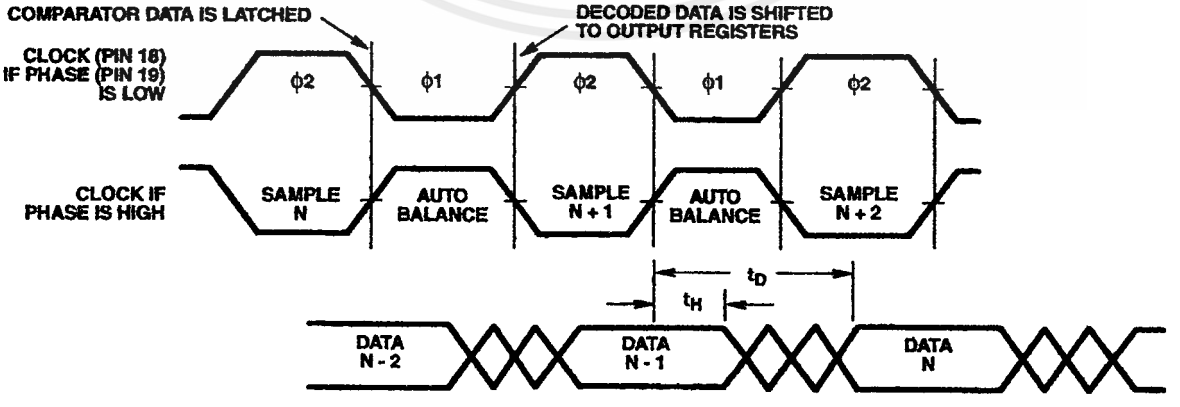


FIGURE 1. INPUT TO OUTPUT TIMING DIAGRAM

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Timing Waveforms (Continued)

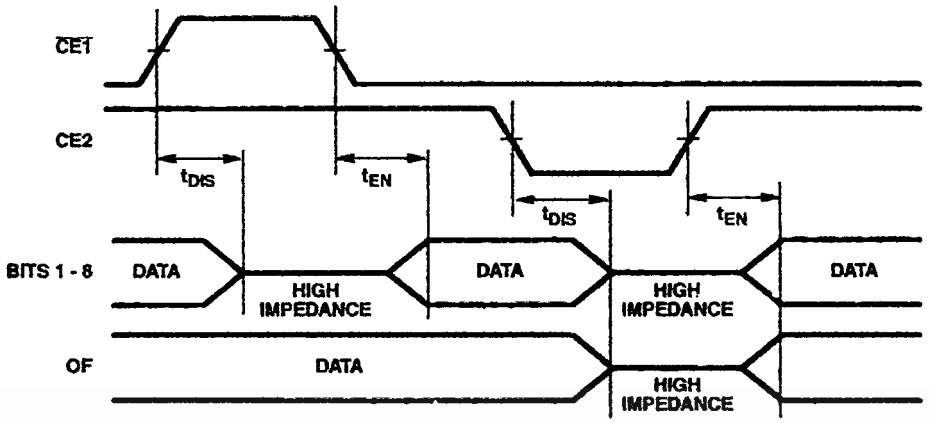


FIGURE 2. OUTPUT ENABLE TIMING DIAGRAM

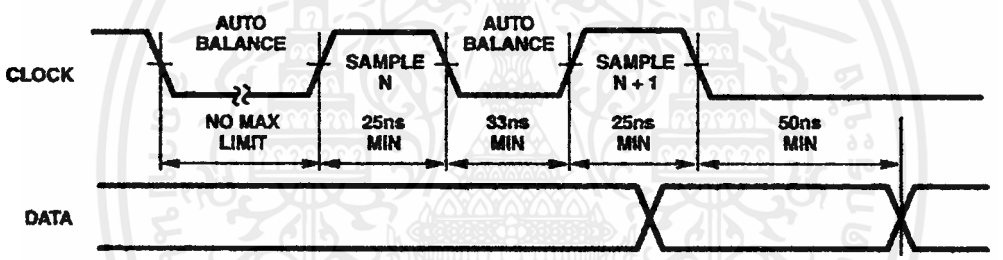


FIGURE 3A. STANDBY IN INDEFINITE AUTO BALANCE (SHOWN WITH PHASE = LOW)

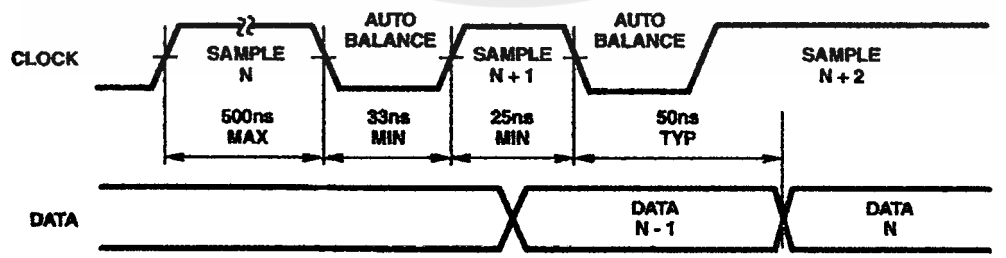


FIGURE 3B. STANDBY IN SAMPLE (SHOWN WITH PHASE = LOW)

FIGURE 3. PULSE MODE OPERATION

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Typical Performance Curves

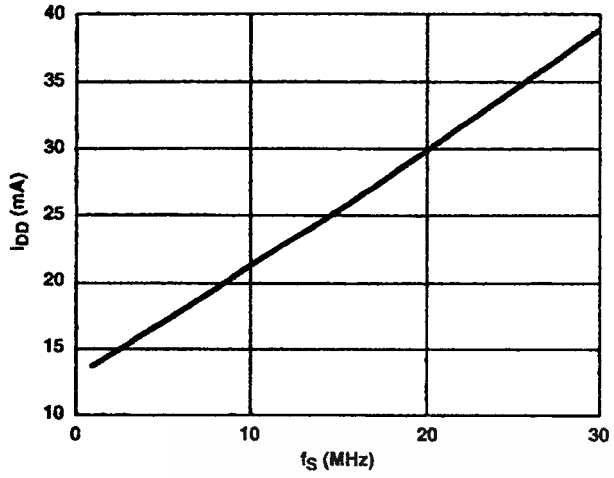


FIGURE 4. DEVICE CURRENT vs SAMPLE FREQUENCY

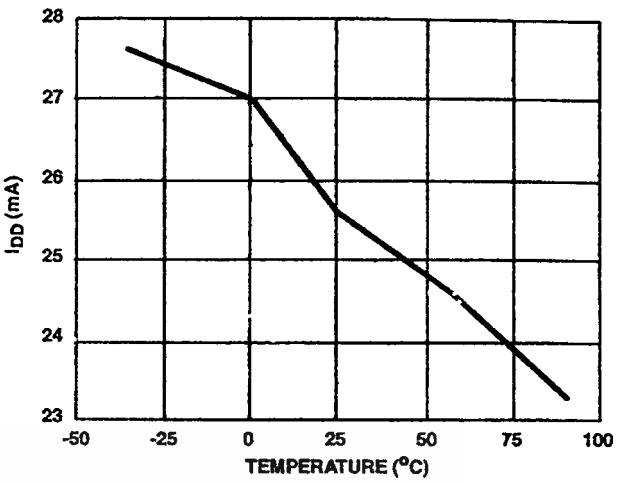


FIGURE 5. DEVICE CURRENT vs TEMPERATURE

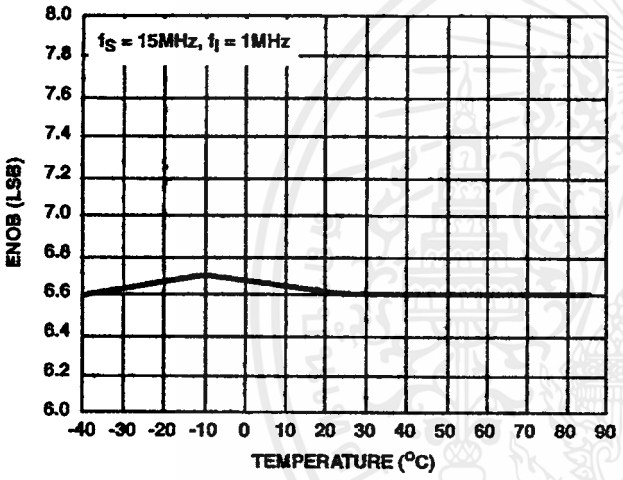


FIGURE 6. ENOB vs TEMPERATURE

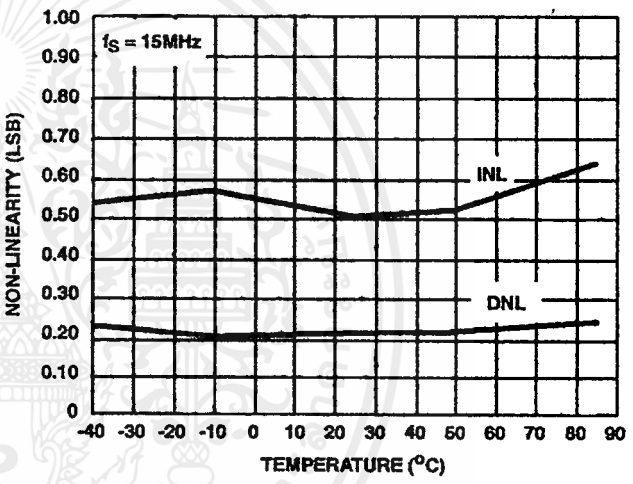


FIGURE 7. NON-LINEARITY vs TEMPERATURE

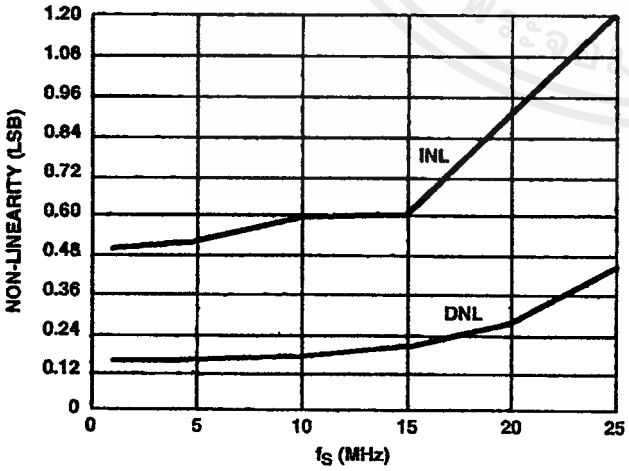


FIGURE 8. NON-LINEARITY vs SAMPLE FREQUENCY

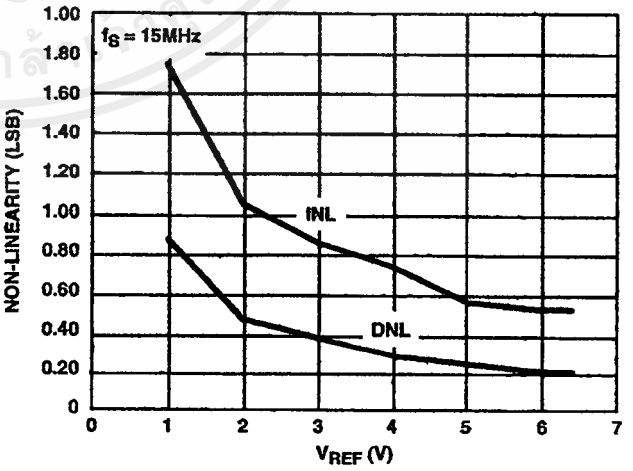


FIGURE 9. NON-LINEARITY vs REFERENCE VOLTAGE

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Typical Performance Curves (Continued)

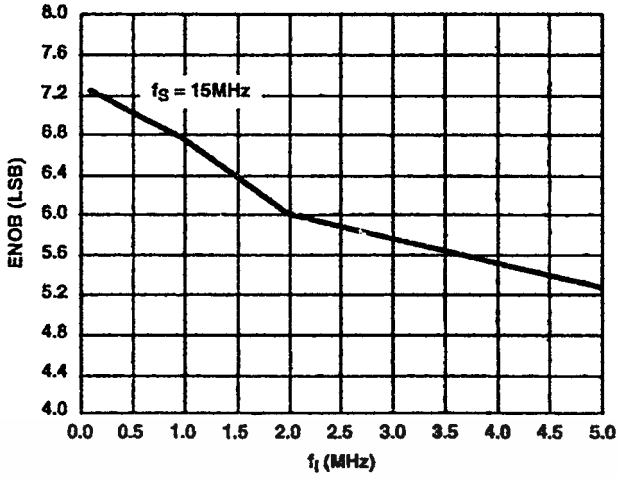


FIGURE 10. ENOB vs INPUT FREQUENCY

Pin Descriptions

PIN	NAME	DESCRIPTION	
1	B1	Bit 1 (LSB)	Output Data Bits (High = True)
2	B2	Bit 2	
3	B3	Bit 3	
4	B4	Bit 4	
5	B5	Bit 5	
6	B6	Bit 6	
7	B7	Bit 7	
8	B8	Bit 8 (MSB)	
9	OF	Overflow	
10	$^1/_4$ R	Reference Ladder $^1/_4$ Point	
11	V_{SS}	Digital Ground	
12	V_{DD}	Digital Power Supply, +5V	
13	CE2	Three-State Output Enable Input, Active Low, See Truth Table.	
14	$\overline{CE1}$	Three-State Output Enable Input Active High. See Truth Table.	
15	V_{REF}-	Reference Voltage Negative Input	
16	V_{IN}	Analog Signal Input	
17	V_{AA}-	Analog Ground	
18	CLK	Clock Input	
19	PHASE	Sample clock phase control input. When PHASE is low, "Sample Unknown" occurs when the clock is low and "Auto Balance" occurs when the clock is high (see text).	
20	$^1/_2$ R	Reference Ladder Midpoint	
21	V_{IN}	Analog Signal Input	
22	V_{REF}+	Reference Voltage Positive Input	
23	$^3/_4$ R	Reference Ladder $^3/_4$ Point	
24	V_{AA}+	Analog Power Supply, +5V	

CHIP ENABLE TRUTH TABLE

$\overline{CE1}$	CE2	B1 - B8	OF
0	1	Valid	Valid
1	1	Three-State	Valid
X	0	Three-State	Three-State

X = Don't Care

Theory of Operation

A sequential parallel technique is used by the CA3318 converter to obtain its high speed operation. The sequence consists of the "Auto-Balance" phase, ϕ1, and the "Sample Unknown" phase, ϕ2. (Refer to the circuit diagram.) Each conversion takes one clock cycle (see Note). With the phase control (pin 19) high, the "Auto-Balance" (ϕ1) occurs during the high period of the clock cycle, and the "Sample Unknown" (ϕ2) occurs during the low period of the clock cycle.

NOTE: The device requires only a single phase clock The terminology of ϕ1 and ϕ2 refers to the high and low periods of the same clock.

During the "Auto-Balance" phase, a transmission switch is used to connect each of the first set of 256 commutating capacitors to their associated ladder reference tap. Those tap voltages will be as follows:

$$V_{TAP}(N) = [(N/256)\,V_{REF}] - (1/512)\,V_{REF}]$$
$$= [(2N - 1)/512]\,V_{REF},$$

Where:

V_{TAP} (n) = reference ladder tap voltage at point n,

V_{REF} = voltage across V_{REF}- to V_{REF}+,

N = tap number (1 through 256).

The other side of these capacitors are connected to single-stage amplifiers whose outputs are shorted to their inputs by switches. This balances the amplifiers at their intrinsic trip points, which is approximately (V_{AA}+ - V_{AA}-)/2. The first set of capacitors now charges to their associated tap voltages.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

At the same time a second set of commutating capacitors and amplifiers is also auto-balanced. The balancing of the second-stage amplifier at its intrinsic trip point removes any tracking differences between the first and second amplifier stages. The cascaded auto-balance (CAB) technique, used here, increases comparator sensitivity and temperature tracking.

In the "Sample Unknown" phase, all ladder tap switches and comparator shorting switches are opened. At the same time V_{IN} is switched to the first set of commutating capacitors. Since the other end of the capacitors are now looking into an effectively open circuit, any input voltage that differs from the previous tap voltage will appear as a voltage shift at the comparator amplifiers. All comparators that had tap voltages greater than V_{IN} will go to a "high" state at their outputs. All comparators that had tap voltages lower than V_{IN} will go to a "low" state.

The status of all these comparator amplifiers is AC coupled through the second-stage comparator and stored at the end of this phase ($\phi 2$) by a latching amplifier stage. The latch feeds a second latching stage, triggered at the end of $\phi 1$. This delay allows comparators extra settling time. The status of the comparators is decoded by a 256 to 9-bit decoder array, and the results are clocked into a storage register at the end of the next $\phi 2$.

A 3-stage buffer is used at the output of the 9 storage registers which are controlled by two chip-enable signals. $\overline{CE1}$ will independently disable B1 through B6 when it is in a high state. CE2 will independently disable B1 through B8 and the OF buffers when it is in the low state.

To facilitate usage of this device, a phase control input is provided which can effectively complement the clock as it enters the chip.

Continuous-Clock Operation

One complete conversion cycle can be traced through the CA3318 via the following steps. (Refer to timing diagram.) With the phase control in a "low" state, the rising edge of the clock input will start a "sample" phase. During this entire "high" state of the clock, the comparators will track the input voltage and the first-stage latches will track the comparator outputs. At the falling edge of the clock, all 256 comparator outputs are captured by the 256 latches. This ends the "sample" phase and starts the "auto-balance" phase for the comparators. During this "low" state of the clock, the output of the latches settles and is captured by a second row of latches when the clock returns high. The second-stage latch output propagates through the decode array, and a 9-bit code appears at the D inputs of the output registers. On the next falling edge of the clock, this 9-bit code is shifted into the output registers and appears with time delay t_D as valid data at the output of the three-state drivers. This also marks the end of the next "sample" phase, thereby repeating the conversion process for this next cycle.

Pulse-Mode Operation

The CA3318 needs two of the same polarity clock edges to complete a conversion cycle: If, for instance, a negative going clock edge ends sample "N", then data "N" will appear after the next negative going edge. Because of this requirement, and because there is a maximum sample time of 500ns (due to capacitor droop), most pulse or intermittent sample applications will require double clock pulsing.

If an indefinite standby state is desired, standby should be in auto-balance, and the operation would be as in Figure 3A.

If the standby state is known to last less than 500ns and lowest average power is desired, then operation could be as in Figure 3B.

Increased Accuracy

In most cases the accuracy of the CA3318 should be sufficient without any adjustments. In applications where accuracy is of utmost importance, five adjustments can be made to obtain better accuracy, i.e., offset trim; gain trim; and $^1/_4$, $^1/_2$ and $^3/_4$ point trim.

Offset Trim

In general, offset correction can be done in the preamp circuitry by introducing a DC shift to V_{IN} or by the offset trim of the op amp. When this is not possible the V_{REF}- input can be adjusted to produce an offset trim. The theoretical input voltage to produce the first transition is $^1/_2$ LSB. The equation is as follows:

$$V_{IN} \text{ (0 to 1 transition)} = {}^1/_2 \text{ LSB} = {}^1/_2 (V_{REF}/256)$$
$$= V_{REF}/512.$$

If V_{IN} for the first transition is less than the theoretical, then a single-turn 50Ω pot connected between V_{REF}- and ground will accomplish the adjustment. Set V_{IN} to 1/2 LSB and trim the pot until the 0-to-1 transition occurs.

If V_{IN} for the first transition is greater than the theoretical, then the 50Ω pot should be connected between V_{REF}- and a negative voltage of about 2 LSBs. The trim procedure is as stated previously.

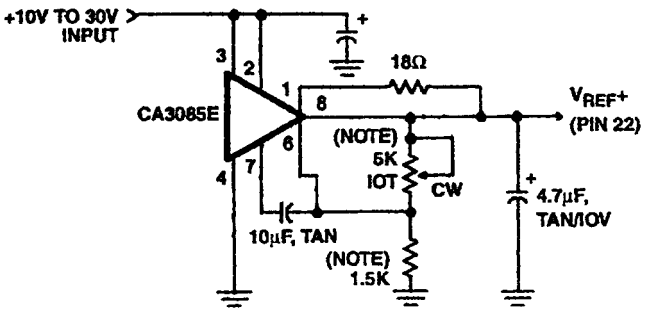
Gain Trim

In general, the gain trim can also be done in the preamp circuitry by introducing a gain adjustment for the op amp. When this is not possible, then a gain adjustment circuit should be made to adjust the reference voltage. To perform this trim, V_{IN} should be set to the 255 to overflow transition. That voltage is $^1/_3$ LSB less than V_{REF}+ and is calculated as follows:

$$V_{IN} \text{ (255 to 256 transition)} = V_{REF} - V_{REF}/512$$
$$= V_{REF}(511/512).$$

To perform the gain trim, first do the offset trim and then apply the required V_{IN} for the 255 to overflow transition. Now adjust V_{REF}+ until that transition occurs on the outputs.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

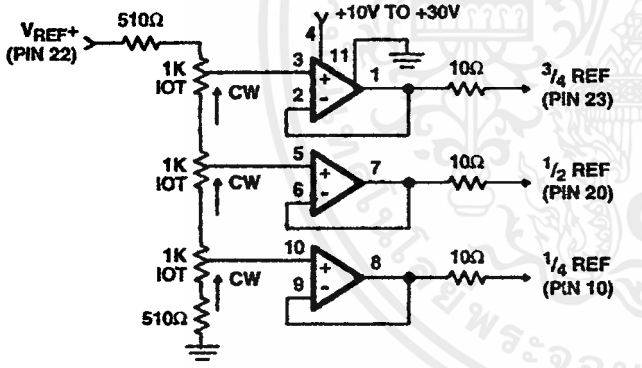


NOTE: Bypass V_{REF}+ to analog GND near A/D with 0.1µF ceramic cap. Parts noted should have low temperature drift.

FIGURE 11. TYPICAL VOLTAGE REFERENCE SOURCE FOR DRIVING V_{REF}+ INPUT

$^1/_4$ Point Trims

The $^1/_4$, $^1/_2$ and $^3/_4$ points on the reference ladder are brought out for linearity adjusting or if the user wishes to create a nonlinear transfer function. The $^1/_4$ points can be driven by the reference drivers shown (Figure 12) or by 2-K pots connected between V_{REF}+ and V_{REF}-. The $^1/_2$ (mid-) point should be set first by applying an input of 257/512 x (V_{REF}) and adjusting for an output changing from 128 to 129. Similarly the $^1/_4$ and $^3/_4$ points can be set with inputs of 129/512 and 385/512 x (V_{REF}) and adjusting for counts of 192 to 193 and 64 to 65. (Note that the points are actually $^1/_4$, $^1/_2$ and $^3/_4$ of full scale +1 LSB.)



NOTES:

1. All Op Amps = $^3/_4$ CA324E.
2. Bypass all reference points to analog ground near A/D with 0.1µF ceramic caps.
3. Adjust V_{REF}+ first, then $^1/_3$, $^3/_4$ and $^1/_4$ points.

FIGURE 12. TYPICAL $^1/_4$ POINT DRIVERS FOR ADJUSTING LINEARITY (USE FOR MAXIMUM LINEARITY)

9-Bit Resolution

To obtain 9-bit resolution, two CA3318s can be wired together. Necessary ingredients include an open-ended ladder network, an overflow indicator, three-state outputs, and chip-enable controls - all of which are available on the CA3318.

The first step for connecting a 9-bit circuit is to totem-pole the ladder networks, as illustrated in Figure 13. Since the absolute resistance value of each ladder may vary, external trim of the mid-reference voltage may be required.

The overflow output of the lower device now becomes the ninth bit. When it goes high, all counts must come from the upper device. When it goes low, all counts must come from the lower device. This is done simply by connecting the lower overflow signal to the CE1 control of the lower A/D converter and the CE2 control of the upper A/D converter. The three-state outputs of the two devices (bits 1 through 8) are now connected in parallel to complete the circuitry. The complete circuit for a 9-bit A/D converter is shown in Figure 13.

Grounding/Bypassing

The analog and digital supply grounds of a system should be kept separate and only connected at the A/D. This keeps digital ground noise out of the analog data to be converted. Reference drivers, input amps, reference taps, and the V_{AA} supply should be bypassed at the A/D to the analog side of the ground. See Figure 15 for a block diagram of this concept. All capacitors shown should be low impedance 0.1µF ceramics and should be mounted as close to the A/D as possible. If V_{AA}+ is derived from V_{DD}, a small (10Ω resistor or inductor and additional filtering (4.7µF tantalum) may be used to keep digital noise out of the analog system.

Input Loading

The CA3318 outputs a current pulse to the V_{IN} terminal at the start of every sample period. This is due to capacitor charging and switch feedthrough and varies with input voltage and sampling rate. The signal source must be capable of recovering from the pulse before the end of the sample period to guarantee a valid signal for the A/D to convert. Suitable high speed amplifiers include the HA-5033, HA-2542; and CA3450. Figure 16 is an example of an amplifier which recovers fast enough for sampling at 15MHz.

Output Loading

The CMOS digital output stage, although capable of driving large loads, will reflect these loads into the local ground. It is recommended that a local QMOS buffer such as CD74HC541 E be used to isolate capacitive loads.

Definitions

Dynamic Performance Definitions

Fast Fourier Transform (FFT) techniques are used to evaluate the dynamic performance of the converter. A low distortion sine wave is applied to the input, it is sampled, and the output is stored in RAM. The data is then transformed into the frequency domain with a 4096 point FFT and analyzed to evaluate the dynamic performance of the A/D. The sine wave input to the part is -0.5dB down from fullscale for all these tests.

Signal-to-Noise (SNR)

SNR is the measured RMS signal to RMS noise at a specified input and sampling frequency. The noise is the RMS sum of all of the spectral components except the fundamental and the first five harmonics.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Signal-to-Noise + Distortion Ratio (SINAD)

SINAD is the measured RMS signal to RMS sum of all other spectral components below the Nyquist frequency excluding DC.

Effective Number of Bits (ENOB)

The effective number of bits (ENOB) is derived from the SINAD data. ENOB is calculated from:

$$ENOB = (SINAD - 1.76 + V_{CORR})/6.02,$$

where: $V_{CORR} = 0.5dB$.

Total Harmonic Distortion (THD)

THD is the ratio of the RMS sum of the first 5 harmonic components to the RMS value of the measured input signal.

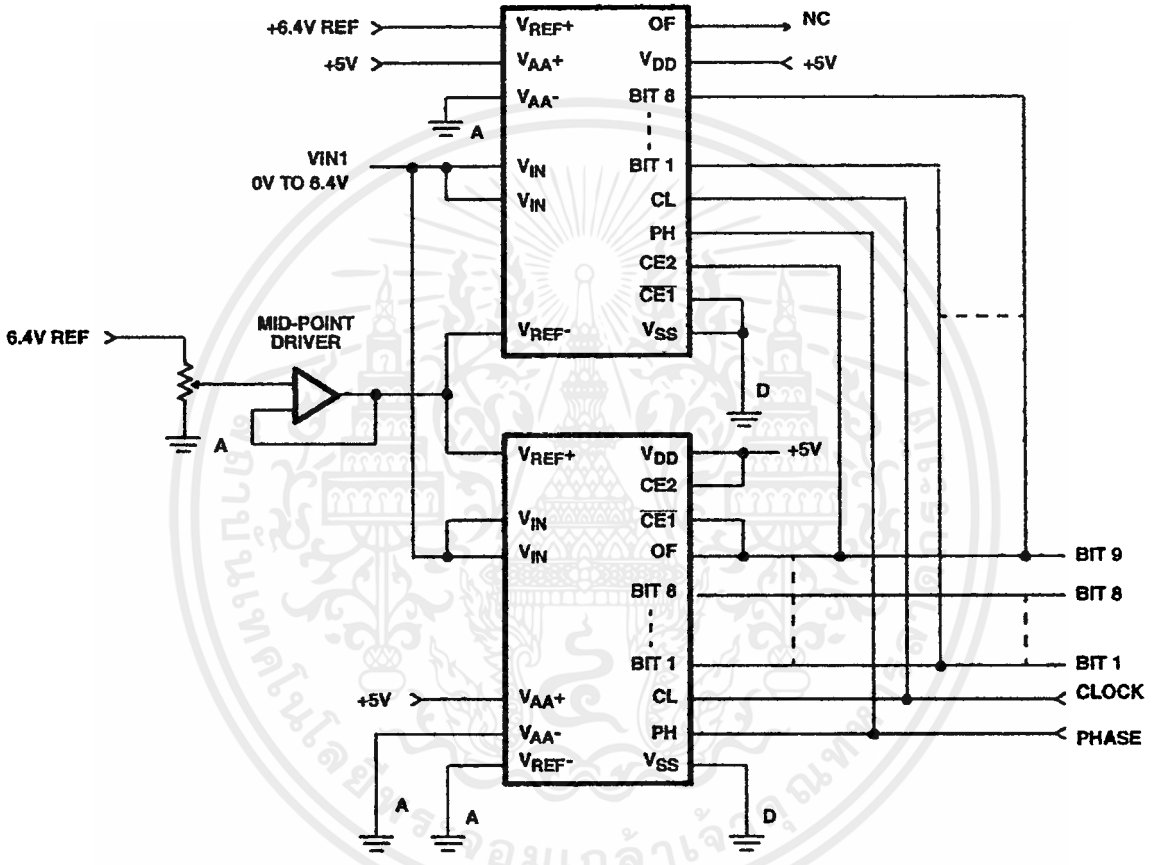


FIGURE 13. USING TWO CA3318s FOR 9-BIT RESOLUTION

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

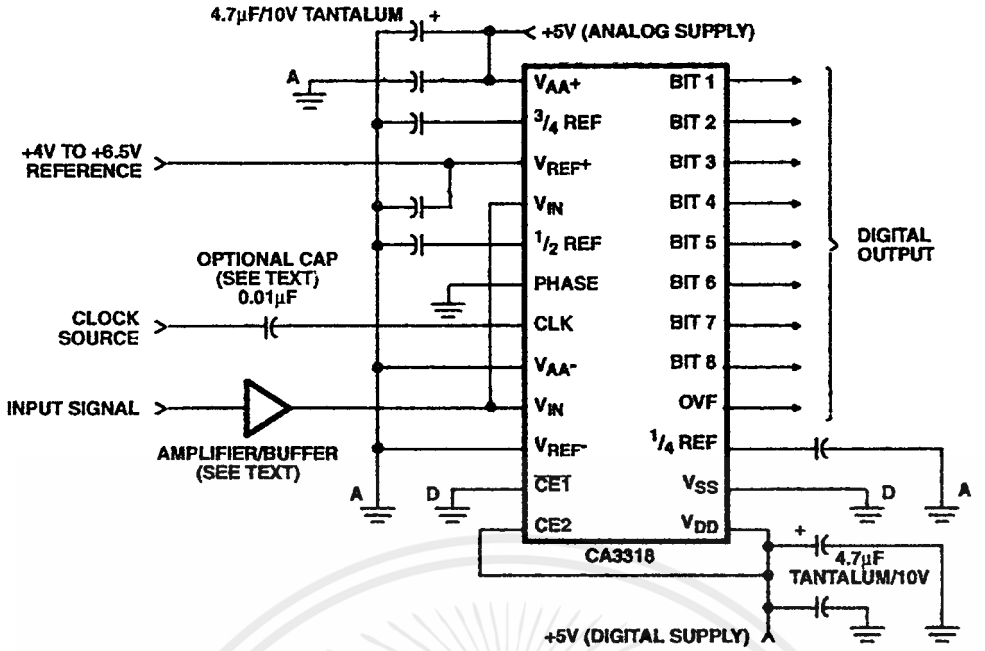


FIGURE 14. TYPICAL CIRCUIT CONFIGURATION FOR THE CA3318 WITH NO LINEARITY ADJUST

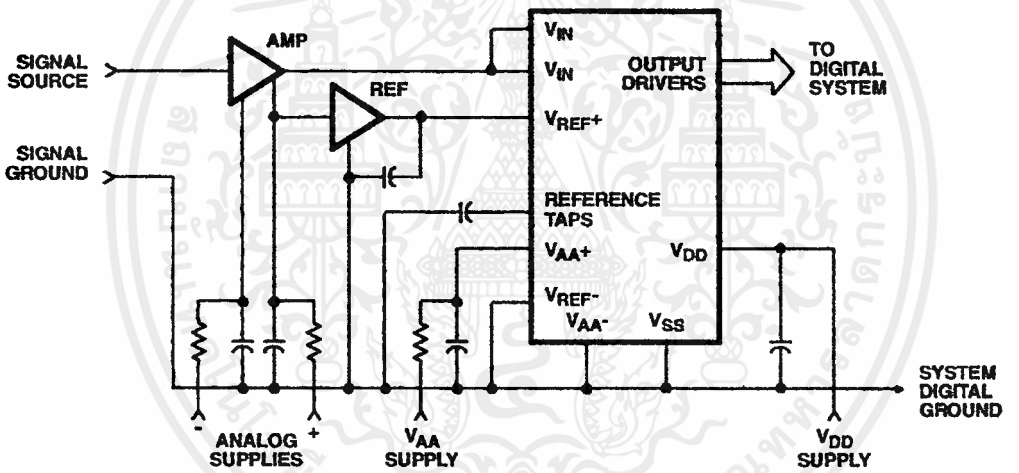
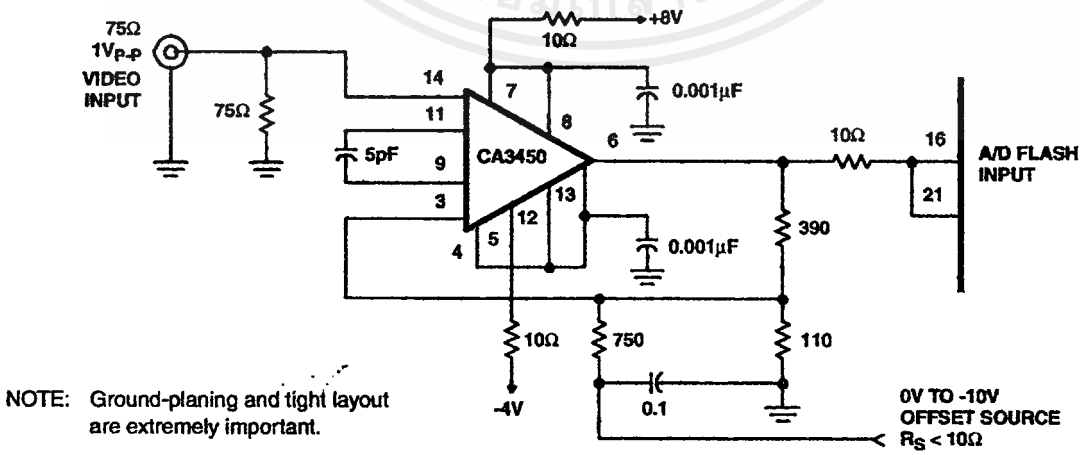


FIGURE 15. TYPICAL SYSTEM GROUNDING/BYPASSING



NOTE: Ground-planing and tight layout are extremely important.

FIGURE 16. TYPICAL HIGH BANDWIDTH AMPLIFIER FOR DRIVING THE CA3318

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

TABLE 1. OUTPUT CODE TABLE

CODE DESCRIPTION	(NOTE 1) INPUT VOLTAGE		BINARY OUTPUT CODE									DECIMAL COUNT
	V_{REF} 6.40V (V)	V_{REF} 5.12V (V)	OF	MSB B8	B7	B6	B5	B4	B3	B2	LSB B1	
Zero	0.00	0.00	0	0	0	0	0	0	0	0	0	0
1 LSB	0.025	0.02	0	0	0	0	0	0	0	0	1	1
2 LSB	0.05	0.04	0	0	0	0	0	0	0	1	0	2
•	•	•					•					•
•	•	•					•					•
•	•	•					•					•
$^1/_4$ Full Scale	1.60	1.28	0	0	1	0	0	0	0	0	0	64
•	•	•					•					•
•	•	•					•					•
•	•	•					•					•
$^1/_2$ Full Scale - 1 LSB	3.175	2.54	0	0	1	1	1	1	1	1	1	127
$^1/_2$ Full Scale	3.20	2.56	0	1	0	0	0	0	0	0	0	128
$^1/_2$ Full Scale + 1 LSB	3.225	2.58	0	1	0	0	0	0	0	0	1	129
•	•	•					•					•
•	•	•					•					•
•	•	•					•					•
$^3/_4$ Full Scale	4.80	3.84	0	1	1	0	0	0	0	0	0	192
•	•	•					•					•
•	•	•					•					•
•	•	•					•					•
Full Scale - 1 LSB	6.35	5.08	0	1	1	1	1	1	1	1	0	254
Full Scale	6.375	5.10	0	1	1	1	1	1	1	1	1	255
Over Flow	6.40	5.12	1	1	1	1	1	1	1	1	1	511

NOTE: 1. The voltages listed above are the ideal centers of each output code shown as a function of its associated reference voltage.

Reducing Power

Most power is consumed while in the auto-balance state. When operating at lower than 15MHz clock speed, power can be reduced by stretching the sample ($\phi 2$) time. The constraints are a minimum balance time ($\phi 1$) of 33ns, and a maximum sample time of 500ns. Longer sample times cause droop in the auto-balance capacitors. Power can also be reduced in the reference string by switching the reference on only during auto-balance.

Clock Input

The Clock and Phase inputs feed buffers referenced to $V_{AA}+$ and $V_{AA}-$. Phase should be tied to one of these two potentials, while the clock (if DC coupled) should be driven at least from 0.2 to 0.7 x ($V_{AA}+ - V_{AA}-$). The clock may also be AC coupled with at least a $1V_{P-P}$ swing. This allows TTL drive levels or 5V QMOS levels when $V_{AA}+$ is greater than 5V.

All Intersil semiconductor products are manufactured, assembled and tested under **ISO9000** quality systems certification.

Intersil products are sold by description only. Intersil Corporation reserves the right to make changes in circuit design and/or specifications at any time without notice. Accordingly, the reader is cautioned to verify that data sheets are current before placing orders. Information furnished by Intersil is believed to be accurate and reliable. However, no responsibility is assumed by Intersil or its subsidiaries for its use; nor for any infringements of patents or other rights of third parties which may result from its use. No license is granted by implication or otherwise under any patent or patent rights of Intersil or its subsidiaries.

For information regarding Intersil Corporation and its products, see web site **http://www.intersil.com**

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้