สำนักหอสมุดกลาง พระจอมเกล้าลาดกระบัง

การส่งข้อมูลดิจิตอลผ่านเส้นใยนำแสง

DIGITAL DATA TRANSMISSION VIA FIBER OPTIC

T037108 42

โดย

นายอำนาจ ปานศรี

นายสมหวัง สุทธิพงษ์

ปริญญานิพนธ์นี้เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรปริญญาวิศวกรรมศาสตรบัณฑิต

สาขาวิชาวิศวกรรมโทรคมนาคม

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

ปีการศึกษา 2542

เลขหมู่..............................

เลขทะเบียน....37108....

วัน, เดือน, ปี..- 4 ก.ย. 2543

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การส่งข้อมูลดิจิตอลผ่านเส้นใยนำแสง
DIGITAL DATA TRANSMISSION VIA FIBER OPTIC

โดย

นายอำนาจ ปานศรี 40013038

นายสมหวัง สุทธิพงษ์ 40013074

อาจารย์ที่ปรึกษา

ผศ.อภินันท์ มัณยานนท์

ปริญญานิพนธ์นี้เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรปริญญาวิศวกรรมศาสตรบัณฑิต

สาขาวิชาวิศวกรรมโทรคมนาคม

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

ปีการศึกษา 2542

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ปริญญานิพนธ์ประจำปีการศึกษา 2542

ภาควิชาวิศวกรรมโทรคมนาคม

คณะวิศวกรรมศาสตร์ สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

เรื่อง การส่งข้อมูลดิจิตอลผ่านเส้นใยนำแสง

DIGITAL DATA TRANSMISSION VIA FIBER OPTIC

ผู้จัดทำ

1. นายอำนาจ ปานศรี **40013038**
2. นายสมหวัง สุทธิพงษ์ **40013074**

อาจารย์ที่ปรึกษา

(ผศ. อภินันท์ มัณยานนท์)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การส่งข้อมูลดิจิตอลผ่านเส้นใยนำแสง

DIGITAL DATA TRANSMISSION VIA FIBER OPTIC

โดย นายอำนาจ ปานศรี 40013038

นายสมหวัง สุทธิพงษ์ 40013074

อาจารย์ที่ปรึกษา ผศ.อภินันท์ มัณยานนท์

บทคัดย่อ

โครงงานนี้เป็นการศึกษาทดลองถึงหลักการพื้นฐาน ของการสื่อสารระบบดิจิตอลผ่านเส้นใยนำแสง ซึ่งการศึกษาทดลองเกี่ยวกับส่วนประกอบพื้นฐานต่างๆ ที่สำคัญ ของ ระบบ PCM – TDM การแปลงสัญญาณอนาลอกเป็นสัญญาณดิจิตอล การแปลงรหัสเพื่อความเหมาะสมในการส่งสัญญาณผ่านเส้นใยนำแสง การจัดขบวนของสัญญาณและการจัดระบบซิงค์โครไนซ์ โดยเป็นการส่งสัญญาณที่เป็น Analog ที่อยู่ในย่านของสัญญาณเสียงในระบบโทรศัพท์ (300 ~ 3,400 Hz) 4 ช่องสัญญาณซึ่งนำมาแปลงเป็นสัญญาณดิจิตอล รวมกับสัญญาณซิงโครไนซ์อีกหนึ่งช่องสัญญาณ ด้วยการมัลติเพล็กซ์แบบแบ่งช่องเวลา ด้านรับจะมีการตรวจจับและสร้างสัญญาณนาฬิกา ให้ตรงกับด้านส่ง (Clock Recovery) การแยกสัญญาณข้อมูลแต่ละช่องสัญญาณออกจากกันให้ถูกต้อง การเปลี่ยนสัญญาณดิจิตอลเป็นสัญญาณอนาลอกตามเดิม

ABSTRACT

This project is an experiment to study the basic of digital communication system via fiber optic Which is experimented about necessary basic component of PCM – TDM system; analog to digital conversion: encoding for appropriate transmitting, in any transmission via fiber optic. Format of signal: synchronization system. By analog signal is transmitted in the range voice signal 4 channels telephone system (Frequency between 300 ~ 3,400 Hertz.) To be converted in digital signal combine with synchronous signal one channel by time division multiplexing technique. For receiving side: detection and clock recovery must be synchronized with the transmitting side. Decoding technique to be used for distributed signal form each other, then convert to analog signal.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญ

	หน้า
บทที่ 1 บทนำ	1
บทที่ 2 ทฤษฎีและหลักการ	3
2.1 คำนำ	3
2.2 หลักการของอนาลอกทูดิจิตอลคอนเวอร์เตอร์	3
2.3 หลักการของดิจิตอลทูอนาลอกคอนเวอร์เตอร์	15
2.4 เทคนิคการ Modulate แบบ PCM	20
2.5 โครงสร้างและการทำงานของการปล่อยแสงของสารกึ่งตัวนำ	33
2.6 สารที่ใช้ในการสร้างและโครงสร้างของอุปกรณ์ปล่อยแสง	37
2.7 สารและโครงสร้างของอุปกรณ์รับแสง	45
2.8 เส้นใยแสง	50
2.9 การสูญเสียในเส้นใยแสง	54
บทที่ 3 การคำนวณและการสร้าง	59
3.1 วงจรทางภาคส่ง	59
3.2 วงจรทางภาครับ	66
บทที่ 4 การทดลองและผลการทดลอง	73
4.1 ทางด้านส่ง	73
4.1.1 ส่วนของการผลิตสัญญาณนาฬิกา	73
4.1.2 ส่วนของวงจร Sample and Hold	75
4.1.3 วงจรสร้างสัญญาณ Read,Write	77
4.1.4 ส่วนของวงจรแปลงข้อมูลขนานเป็นข้อมูลอนุกรม	78
4.1.5 ส่วนของวงจรสร้างสัญญาณ Synchronous	80
4.1.6 ส่วนผสมสัญญาณนาฬิกาและสัญญาณข้อมูล	82
4.2 ทางด้านรับ	83
4.2.1 วงจรกู้สัญญาณนาฬิกาและสัญญาณข้อมูล	83
4.2.2 ส่วนของวงจร Demultiplex	85
4.2.3 วงจรแปลงสัญญาณ Digital เป็นสัญญาณ Analog	87
4.2.4 ส่วนของวงจร Sample and Hold และวงจร Low Pass Filter	89
บทที่ 5 บทวิจารณ์และบทสรุป	99
ภาคผนวก	
กิตติกรรมประกาศ	
หนังสืออ้างอิง	

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญรูปภาพ

	หน้า
รูปที่ 2.1 ความละเอียดของ A/D จะแปรผันตรงกับจำนวนบิตทางเอาท์พุต	3
รูปที่ 2.2 การสุ่มหลายๆ ช่วงจะมีลักษณะใกล้เคียงกับสัญญาณเดิม	4
รูปที่ 2.3 แฟลช A/D มีความเร็วในการเปลี่ยนแปลงสัญญาณสูง	6
รูปที่ 2.4 ส่วนประกอบที่สำคัญของ A/D แบบสโลปเดี่ยว	7
รูปที่ 2.5 A/D แบบสโลปคู่ให้เสถียรภาพในการทำงานสูงกว่า A/D แบบสโลปเดี่ยว	9
รูปที่ 2.6 D/A ถูกใช้ในวงจร A/D เพื่อสร้างแรงดันแรมพ์ไปควบคุม A/D แบบวงจรเดี่ยวได้	10
รูปที่ 2.7 วงจรนับเลขฐานสองแบบขึ้น–ลง ทำให้ A/D เปลี่ยนแปลงสัญญาณป้อนกลับ	11
รูปที่ 2.8 Successive Approximation Register เป็นตัวเร่งความเร็วของกระบวนการแปลงสัญญาณอนาลอกให้เป็นสัญญาณดิจิตอล	13
รูปที่ 2.9 Quantizing Error	14
รูปที่ 2.10 วงจร S/H แบบง่ายๆ สามารถกำจัดผลกระทบที่เกิดจาก Quantizing Error ได้	15
รูปที่ 2.11 ความละเอียดของแรงดันเอาท์พุต	16
รูปที่ 2.12 วงจร Binary Weighted D/A และกราฟเอาท์พุต D/A	17
รูปที่ 2.13 วงจร Binary Ladder D/A	19
รูปที่ 2.14 Monotonic D/A จะมากขึ้นทุกๆ ค่าของสัญญาณอนาลอกอินพุตที่ถูกต้อง	20
รูปที่ 2.15 สัญญาณ Analog	21
รูปที่ 2.16 ลักษณะการส่งสัญญาณ Analog	21
รูปที่ 2.17 สัญญาณ Digital	22
รูปที่ 2.18 ลักษณะการส่งสัญญาณ Digital	23
รูปที่ 2.19 หลักการเบื้องต้นของ Time Division Multiplex	24
รูปที่ 2.20 PAM Signal ของสัญญาณ 4 ช่อง	25
รูปที่ 2.21 การแปลงสัญญาณ Analog เป็นสัญญาณ Digital ที่ใช้ในระบบ PCM	26
รูปที่ 2.22 Block Diagram ของระบบ PCM	27
รูปที่ 2.23 การสุ่มตัวอย่าง (Sampling)	28
รูปที่ 2.24 การแบ่งย่าน Amplitude ออกเป็นระดับต่างๆ (Quantizing)	29
รูปที่ 2.25 การเข้ารหัส Coding	30
รูปที่ 2.26 หลักการของระบบ PCM จำนวน 4 ช่อง	32
รูปที่ 2.27 ตัวอย่างการจัดอิเลคตรอนและนิวเครียสในสารกึ่งตัวนำ	33
รูปที่ 2.28 ระดับพลังงานในสารกึ่งตัวนำ	33
รูปที่ 2.29 หลักการของการออสซิลเลทของแสง	35
รูปที่ 2.30 การเกิด Standing Wave ของแสง	35

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รูปที่ 2.31 ความยาวคลื่นต่างๆ ของเลเซอร์ 36
รูปที่ 2.32 ช่วงความยาวคลื่นแสงของแอลอีดี 36
รูปที่ 2.33 ความยาวคลื่นแสงที่ปล่อยออกมาของสารประกอบกึ่งตัวนำแต่ละชนิด 37
รูปที่ 2.34 ระดับพลังงานของสารกึ่งตัวนำแบบพีไทพ์ (P–type)และ เอ็นไทพ์(N–type) 38
รูปที่ 2.35 สนามไฟฟ้าภายในและระดับพลังงานของ P–N JUNCTION 39
รูปที่ 2.36 โครงสร้างทั่วไปของเลเซอร์ไดโอด 40
รูปที่ 2.37 โครงสร้างระดับพลังงานและลักษณะการเปลี่ยนแปลงค่าดัชนีการหักเหของเลเซอร์ไดโอด 40
รูปที่ 2.38 โครงสร้างแบบ Planner Stripe 42
รูปที่ 2.39 โครงสร้างของ Embedding Stripe Type 42
รูปที่ 2.40 โครงสร้างและระดับพลังงานของแอลอีดี 43
รูปที่ 2.41 ตัวอย่างโครงสร้างของแอลอีดีแบบปล่อยแสงทางด้านหน้า 44
รูปที่ 2.42 ตัวอย่างโครงสร้างของแอลอีดีแบบปล่อยแสงออกทางด้านข้าง 44
รูปที่ 2.43 ความยาวคลื่นในการรับแสงของอุปกรณ์รับแสงแต่ละชนิด 45
รูปที่ 2.44 หลักการทำงานการรับแสงและระดับพลังงานของ PIN-PD 47
รูปที่ 2.45 หลักการทำงานการรับแสงและระดับพลังงานของอวาลานซ์โฟโต้ไดโอด 48
รูปที่ 2.46 แรงดันไฟฟ้าที่ป้อนให้และ Photo Current 49
รูปที่ 2.47 เส้นใยแสงเดี่ยว 52
รูปที่ 2.48 การประกอบของเส้นใยในสำนักงาน 52
รูปที่ 2.49 สาเหตุต่างๆ ที่ทำให้เกิดการสูญเสียแสง 54
รูปที่ 2.50 คุณสมบัติการสูญเสียจากการดูดแสงของเส้นใยแสงที่ทำด้วยแก้ว 56
รูปที่ 2.51 สาเหตุต่างๆ ของการสูญเสียที่เกิดจากการต่อเส้นใยแสง 57
รูปที่ 3.1 แสดงวงจรสร้างสัญญาณนาฬิกา 59
รูปที่ 3.2 แสดงวงจรสร้างสัญญาณ Read, Write 60
รูปที่ 3.3 แสดงวงจร Multiplex 61
รูปที่ 3.4 แสดงวงจรแปลงสัญญาณอนาลอกเป็นสัญญาณดิจิตอลและวงจร Sample and Hold 62
รูปที่ 3.5 แสดงวงจรแปลงข้อมูลขนานเป็นข้อมูลแบบอนุกรม 62
รูปที่ 3.6 แสดงวงจรสร้างสัญญาณซิงโครไนซ์ 63
รูปที่ 3.7 แสดงวงจรผสมสัญญาณข้อมูลกับ clock และแปลงสัญญาณไฟฟ้าเป็นแสง 64
รูปที่ 3.8 แสดงวงจรรวมทางภาคส่ง 65
รูปที่ 3.9 วงจรแยกสัญญาณนาฬิกาและสัญญาณข้อมูล 67
รูปที่ 3.10 วงจรดีมัลติเพล็กซ์และวงจรการแปลงข้อมูลแบบอนุกรมเป็นข้อมูลแบบขนาน 68

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รูปที่ 3.11 วงจรแปลงสัญญาณดิจิตอลเป็นสัญญาณอนาลอก 70
รูปที่ 3.12 วงจรแยกสัญญาณอนาลอกและวงจรกรองความถี่ต่ำผ่าน 71
รูปที่ 3.13 วงจรรวมทางภาครับ 72
รูปที่ 4.1 วงจรผลิตสัญญาณนาฬิกา 73
รูปที่ 4.2 แสดงผลการทดลองวงจรกำเนิดความถี่ 10 MHz 74
รูปที่ 4.3 แสดงผลการทดลองวงจรหารความถี่ 10 MHz ให้เหลือความถี่ 1 MHz และความถี่ 2 MHz 74
รูปที่ 4.4 แสดงผลการทดลองวงจร Sample and Hold 75
รูปที่ 4.5 แสดงผลการทดลองวงจร Sample and Hold สัญญาณ 500 Hz และสัญญาณที่ผ่านวงจร Sample and Hold 76
รูปที่ 4.6 แสดงผลการทดลองวงจร Sample and Hold สัญญาณ 1 kHzและสัญญาณที่ผ่านวงจร Sample and Hold 76
รูปที่ 4.7 วงจรสร้างสัญญาณ Read และสัญญาณ Write 77
รูปที่ 4.8 แสดงผลการทดลองวงจรวงจรสร้างสัญญาณ Read และสัญญาณ Write 78
รูปที่ 4.9 วงจรแปลงข้อมูลขนานเป็นข้อมูลอนุกรม 79
รูปที่ 4.10 แสดงผลการทดลองวงจรแปลงข้อมูลขนานเป็นข้อมูลอนุกรม CH1แสดงสัญญาณข้อมูลอนุกรมขณะยังไม่ป้อน Data CH2 แสดงสัญญาณข้อมูลอนุกรมขณะป้อน Data 79
รูปที่ 4.11 วงจรสร้างสัญญาณ Synchronous 80
รูปที่ 4.12 แสดงผลการทดลองวงจรสร้างสัญญาณ Synchronous CH1แสดงสัญญาณที่นำมาสร้างสัญญาณ Synchronous CH2 แสดงสัญญาณ Synchronous ที่สร้างขึ้นมา 81
รูปที่ 4.13 แสดงผลการทดลองโดยนำสัญญาณ Synchronous (CH1) ที่สร้างขึ้นมาเปรียบเทียบกับ Data(CH2) 81
รูปที่ 4.14 วงจรผสมสัญญาณนาฬิกาและสัญญาณข้อมูล 82
รูปที่ 4.15 แสดงผลการทดลองวงจรผสมสัญญาณ โดย CH1แสดงสัญญาณข้อมูลที่ป้อนเข้ามา CH2 แสดงสัญญาณนาฬิกา 2 MHz 83
รูปที่ 4.16 วงจรกู้สัญญาณนาฬิกาและสัญญาณข้อมูล 84
รูปที่ 4.17 แสดงผลการทดลอง CH1 แสดงสัญญาณนาฬิกาทางภาคส่ง เปรียบเทียบกับ CH2แสดงสัญญาณนาฬิกาทางภาครับที่กู้มาได้ 84
รูปที่ 4.18 แสดงผลการทดลอง CH1 แสดงสัญญาณข้อมูลทางภาคส่งเปรียบเทียบกับ CH2แสดงสัญญาณข้อมูลทางภาครับที่กู้มาจากภาคส่ง 85
รูปที่ 4.19 แสดงการต่อวงจร Demultiplex 86
รูปที่ 4.20 แสดงผลการทดลองการจัดช่องสัญญาณ Demultiplex เทียบกันระหว่าง 86

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

CHANNEL1(CH1) กับ CHANNEL2(CH2)
รูปที่ 4.21 แสดงผลการทดลองการจัดช่องสัญญาณ Demultiplex เทียบกันระหว่าง CHANNEL1(CH1) กับสัญญาณข้อมูลอนุกรมที่รับเข้ามา (CH2) 87
รูปที่ 4.22 แสดงการต่อวงจร D/A 88
รูปที่ 4.23 แสดงผลการทดลองของวงจร D/A CH1 แสดงการแปลงสัญญาณ A/D ขณะที่ยังไม่ป้อนสัญญาณข้อมูลเข้ามาทางด้านส่ง CH2 แสดงการแปลงสัญญาณ A/D ขณะที่ป้อนสัญญาณข้อมูลเข้ามาทางด้านส่ง 88
รูปที่ 4.24 การต่อวงจร Sample and Hold และวงจร Low Pass Filter 89
รูปที่ 4.25 แสดงผลการทดลองเมื่อผ่านวงจร Low Pass Filter ที่ CH1 และวงจร Sample and Hold ที่ CH2 ของความถี่ 500 Hz 90
รูปที่ 4.26 แสดงผลการทดลองเมื่อผ่านวงจร Low Pass Filter ที่ CH1 และวงจร Sample and Hold ที่ CH2ของความถี่ 1kHz 90
รูปที่ 4.27 แสดงผลการทดลองเมื่อผ่านวงจร Low Pass Filter ที่ CH1 และวงจร Sample and Hold ที่ CH2ของความถี่ 3 kHz 91
รูปที่ 4.28 แสดงผลการทดลองเมื่อผ่านวงจร Low Pass Filter ที่ CH1 และวงจร Sample and Hold ที่ CH2ของความถี่ 4 kHz 91
รูปที่ 4.29 แสดงผลการทดลองเมื่อวัดสัญญาณอินพุต CH1 เทียบกับสัญญาณเอาท์พุต CH2ของความถี่ 500 Hz 92
รูปที่ 4.30 แสดงผลการทดลองเมื่อวัดสัญญาณอินพุต CH1 เทียบกับสัญญาณเอาท์พุต CH2ของความถี่ 1 kHz 92
รูปที่ 4.31 แสดงผลการทดลองเมื่อวัดสัญญาณอินพุต CH1 เทียบกับสัญญาณเอาท์พุต CH2ของความถี่ 3 kHz 93
รูปที่ 4.32 แสดงผลการทดลองเมื่อวัดสัญญาณอินพุต CH1 เทียบกับสัญญาณเอาท์พุต CH2ของความถี่ 4 kHz 93
รูปที่ 4.33 แสดงผลการทดลองเมื่อป้อนสัญญาณ Sine Wave ที่ความถี่ 50 Hzที่ด้านส่ง (CH1)เปรียบเทียบกับ สัญญาณเอาท์พุท (CH2)ที่วัดได้ 94
รูปที่ 4.34 แสดงผลการทดลองเมื่อป้อนสัญญาณ Sine Wave ที่ความถี่ 100 Hzที่ด้านส่ง (CH1)เปรียบเทียบกับ สัญญาณเอาท์พุท (CH2)ที่วัดได้ 94
รูปที่ 4.35 แสดงผลการทดลองเมื่อป้อนสัญญาณ Sine Wave ที่ความถี่ 500 Hzที่ด้านส่ง (CH1)เปรียบเทียบกับ สัญญาณเอาท์พุท (CH2)ที่วัดได้ 95
รูปที่ 4.36 แสดงผลการทดลองเมื่อป้อนสัญญาณ Square Wave ที่ความถี่ 50 Hzที่ด้านส่ง (CH1)เปรียบเทียบกับ สัญญาณเอาท์พุท (CH2)ที่วัดได้ 95
รูปที่ 4.37 แสดงผลการทดลองเมื่อป้อนสัญญาณ Square Wave ที่ความถี่ 100 Hzที่ด้านส่ง (CH1)เปรียบเทียบกับ สัญญาณเอาท์พุท (CH2)ที่วัดได้ 96

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รูปที่ 4.38 แสดงผลการทดลองเมื่อป้อนสัญญาณ Square Wave ที่ความถี่ 500 Hz ที่ด้านส่ง(CH1)เปรียบเทียบกับ สัญญาณเอาท์พุท (CH2)ที่วัดได้ 96

รูปที่ 4.39 แสดงผลการทดลองเมื่อป้อนสัญญาณสามเหลี่ยม(Sawtooth Wave) ที่ความถี่ 50 Hzที่ด้านส่ง(CH1)เปรียบเทียบกับ สัญญาณเอาท์พุท (CH2) ที่วัดได้ 97

รูปที่ 4.40 แสดงผลการทดลองเมื่อป้อนสัญญาณสามเหลี่ยม(Sawtooth Wave) ที่ความถี่ 100 Hzที่ด้านส่ง(CH1)เปรียบเทียบกับ สัญญาณเอาท์พุท (CH2) ที่วัดได้ 97

รูปที่ 4.41 แสดงผลการทดลองเมื่อป้อนสัญญาณสามเหลี่ยม(Sawtooth Wave) ที่ความถี่ 500 Hzที่ด้านส่ง(CH1)เปรียบเทียบกับ สัญญาณเอาท์พุท (CH2) ที่วัดได้ 98

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญตาราง

หน้า

ตารางที่ 2.1 การเปรียบเทียบคุณสมบัติของอุปกรณ์รับแสง 50

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 1

บทนำ

1.1 ความเป็นมาและความสำคัญของปัญหา

ความเจริญก้าวหน้าทางธุรกิจ และการขยายตัวของสังคมปัจจุบัน ทำให้มีความต้องการในการเปลี่ยนข่าวสารและข้อมูล เพิ่มขึ้นอย่างรวดเร็ว เพื่อเป็นการตอบสนองความต้องการนี้ทั้งปัจจุบันและอนาคต ได้มีการพัฒนาระบบการสื่อสารรูปแบบใหม่ขึ้นมาเรียกว่า เส้นใยนำแสง ซึ่งสามารถส่งข่าวสารและข้อมูลได้จำนวนมากในเวลาเดียวกัน และระบบสื่อสารด้วยเส้นใยนำแสง ยังมีข้อดีอีกมาก เมื่อเทียบกับระบบสื่อสารด้วยสายเคเบิล (Metallic Cable) ที่ใช้อยู่เดิมดังนั้นในโครงงานนี้ได้นำเส้นใยนำแสงมาใช้ประโยชน์ในการส่งสัญญาณทางด้านเสียงให้ส่งไปได้ไกลที่สุด แต่มีคุณภาพเสียงสามารถสื่อสารกันได้ชัดเจน โดยการใช้ระบบการมอดูเลชั่น (Modulation) แบบพัลส์โค๊ดมอดูเลชั่น หรือ พีซีเอ็ม (Pulse Code Modulation หรือ PCM) เพื่อที่จะส่งสัญญาณเสียงไปได้หลายช่องสัญญาณ การมอดดูเลต (Modulate) แบบนี้เป็นที่นิยมมากในปัจจุบัน เนื่องจากมีความเพี้ยนและการรบกวนของสัญญาณต่ำ

ด้วยเหตุนี้จึงออกแบบเครื่องรับ-ส่ง สัญญาณผ่านเส้นใยนำแสงเพื่อเป็นแนวทางในการศึกษาและพัฒนากิจการด้านนี้ต่อไป

1.2 วัตถุประสงค์ของโครงการ

1.2.1 เพื่อศึกษาการทำงานของระบบการรับ-ส่งสัญญาณ

1.2.2 เพื่อศึกษาการทำงานของระบบการผสมสัญญาณแบบพีซีเอ็ม

1.2.3 ออกแบบและสร้างระบบการส่งสัญญาณดิจิตอลผ่านเส้นใยนำแสง

1.2.4 เพื่อเป็นพื้นฐานในการส่งสัญญาณเสียงผ่านเส้นใยนำแสง

1.2.5 สามารถนำไปใช้ในการส่งสัญญาณเสียงที่มีหลายช่องสัญญาณทางอินพุต [Input] และแยกสัญญาณออกมาทางเอาท์พุต [Output] ได้

1.2.6 สามารถนำไปประยุกต์ใช้ในการส่งสัญญาณเสียงระหว่างจุดต่อจุดได้ [point to point]

1.3 ขอบเขตของโครงงาน

1.3.1 ออกแบบเครื่องรับ-ส่ง สัญญาณผ่านเส้นใยนำแสง

1.3.2 สร้างเครื่องรับ-ส่ง สัญญาณเสียงผ่านเส้นใยนำแสง

1.3.3 ทดสอบการทำงานของเครื่องตามที่ได้ออกแบบไว้

1.3.4 นำไปทดลองใช้งาน

1.4 วิธีดำเนินงาน

1.4.1 เสนอหัวข้อโครงงานที่จะทำ

1.4.2 ศึกษาความรู้เกี่ยวกับระบบพีซีเอ็ม

1.4.3 ค้นคว้าหาข้อมูลและประยุกต์นำวงจรมาใช้ในการออกแบบ

1.4.4 ต่อวงจรทดลองและทดสอบ

1.4.5 ทำการแก้ไขปรับปรุงวงจรในแต่ละส่วนให้ดีขึ้น

1.4.6 ศึกษาความรู้เกี่ยวกับเรื่องการส่งสัญญาณผ่านเส้นใยนำแสง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

1.4.7 นำวงจรภาคส่ง-รับมาต่อทดลองจริง

1.4.8 รวบรวมข้อมูลจัดทำหนังสือปริญญานิพนธ์

1.4.9 สรุปและประเมินผล

1.5 ประโยชน์ที่จะได้จากโครงงาน

1.5.1 เพื่อพัฒนาความสามารถของนักศึกษา

1.5.2 เพื่อให้นักศึกษาค้นคว้าหาความรู้ด้วยตนเอง

1.5.3 เพื่อเพิ่มทักษะความคิดและออกแบบวงจร

1.5.4 เพื่อให้นักศึกษาได้นำความรู้มาประยุกต์ใช้กับโครงงาน

1.5.5 เพื่อเป็นแนวทางสำหรับผู้ที่สนใจค้นคว้าหาความรู้

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

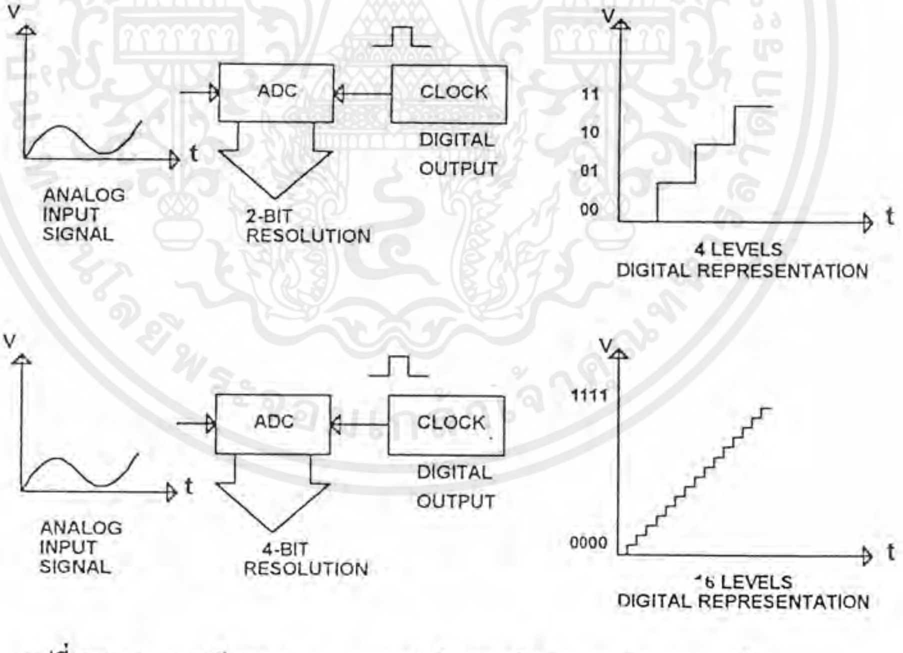
บทที่ 2
ทฤษฎีและหลักการ

2.1 คำนำ

สัญญาณที่ส่งผ่านในระบบนี้ถ้าเป็นสัญญาณประเภทอนาลอก (Analog) เช่นสัญญาณเสียง จะต้องถูกเปลี่ยนเป็นสัญญาณดิจิตอล (Digital) โดยอนาลอกทูดิจิตอลคอนเวอร์เตอร์ หรือ เอทูดี (Analog to Digital Converter or A/D) ถ้าเป็นสัญญาณประเภทดิจิตอลอยู่แล้วจะนำเข้าเครื่องส่งเพื่อแปลงไปเป็นสัญญาณแสงซึ่งจะมีเลเซอร์แอลอีดี(Laser LED) ที่ทำการส่งสัญญาณแสงนี้ผ่านเส้นใยแสงไปยังเครื่องรับปลายทางซึ่งมีโฟโต้เซลล์(Photo Cell) หรือไลท์ดีเทคเตอร์(Light Detector) แปลงสัญญาณกลับมาเป็นสัญญาณไฟฟ้าและปรับแต่งรูปคลื่นให้เหมาะสมที่จะนำไปใช้งาน กรณีถ้าปลายทางต้องการสัญญาณแบบดิจิตอล ก็นำสัญญาณจากจุดนี้ไปใช้งานได้เลย แต่ถ้าต้องการสัญญาณแบบอนาลอกให้นำสัญญาณจากจุดนี้ส่งผ่านดิจิตอลทูอนาลอกคอนเวอร์เตอร์ หรือ ดีทูเอ(Digital to Analog Converter or D/A) เพื่อแปลงสัญญาณดิจิตอลให้เป็นสัญญาณอนาลอก

2.2 หลักการของอนาลอกทูดิจิตอลคอนเวอร์เตอร์

2.2.1 อนาลอกทูดิจิตอลคอนเวอร์เตอร์



รูปที่ 2.1 ความละเอียดของ A/D จะแปรผันตรงกับจำนวนบิตทางเอาท์พุต

อนาลอกทูดิจิตอลคอนเวอร์เตอร์ ใช้สำหรับการแปลงสัญญาณอินพุตที่เป็นอนาลอกให้เป็นจำนวนจำกัดของดิจิตอลบิต ผลลัพท์ที่ได้จะอยู่ในรูปของเวิร์ด(WORLD) ทางดิจิตอล ซึ่งจะกลายเป็นรหัสเลขฐานสองที่แทนระดับแต่ละระดับของสัญญาณอนาลอก ในขณะที่เอทูดีกำลังแปลงสัญญาณอยู่

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ความละเอียดของเอทูดี คล้ายกับความละเอียดของดีทูเออย่างมากๆ กล่าวคือจำนวนบิตทางเอาท์พุตมีหลายๆบิต ความละเอียดของเอทูดีตัวนั้นก็จะมีมากขึ้น เช่น เอทูดีขนาด 12 บิต ก็จะมีความละเอียดเท่ากับ 12 เป็นต้น ดังแสดงอยู่

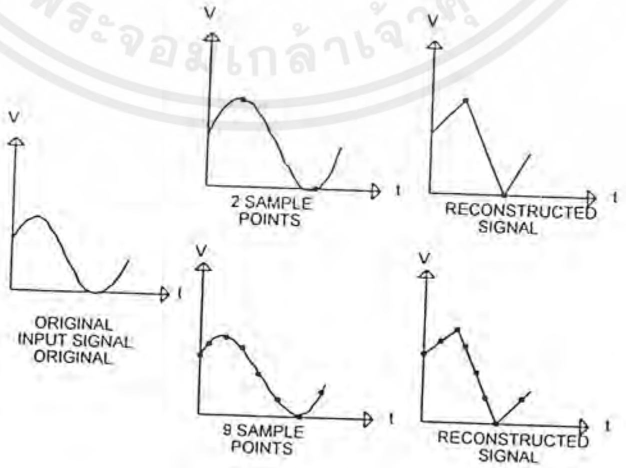
ในรูปที่ 2.1 ค่าเวลาการแปลงผันคอนเวอร์ชั่นไทม์(Conversion Time) เป็นเกณฑ์ที่สำคัญอีกตัวหนึ่งของเอทูดี ตามที่คุณได้เห็นมาว่าการแปลงสัญญาณอนาลอกให้กลายเป็นสัญญาณทางดิจิตอล ไม่ให้เกิดขึ้นโดยทันทีทันใดแต่ต้องมีการผ่านกระบวนการต่างๆด้วยเหตุที่ผลลัพธ์ ต้องเป็นเวลาค่าเวลาขณะหนึ่งที่จะทำการสุ่ม (Sample) สัญญาณอินพุตและให้สัญญาณดิจิตอลที่เป็นรหัสไบนารีออกมาที่เอาท์พุต ดังนั้นค่าเวลาการแปลงผัน คือ ช่วงเวลาที่ต้องการกระทำกระบวนการให้เสร็จสิ้นซึ่งมีค่าอยู่ประมาณเป็นไมโครวินาทีสำหรับดีทูเอความเร็วสูง จะเป็นมิลลิวินาทีสำหรับดีทูเอแบบธรรมดาเนื่องจากการเปลี่ยนเอทูดีนั้นต้องการกระบวนการซิงโครไนซ์ที่แน่นอนและแม่นยำ แหล่งกำเนิดสัญญาณนาฬิกาจึงจำเป็นต้องมีในวงจร

2.2.2 ทฤษฎีการสุ่มตัวอย่าง(Sampling theory)

เนื่องจาก เอทูดี ต้องการค่าเวลาขณะหนึ่งที่นำใช้ในกระบวนการแปลงสัญญาณอนาลอกไปเป็นสัญญาณดิจิตอลช่วงเวลาหนึ่ง จะใช้สำหรับการสุ่มตัวอย่าง(Sampling) ของสัญญาณตัวอย่าง เช่น เอทูดีสามารถเปลี่ยนสัญญาณเสร็จสมบูรณ์ได้ภายใน 1 มิลลิวินาทีดังนั้นมันจึงสามารถเปลี่ยนสัญญาณได้ 1,000 ครั้งใน 1 วินาที (ในทางทฤษฎี) อัตราการเปลี่ยนสัญญาณสูงสุดมีค่าเท่ากับส่วนกลับของค่าเวลาการเปลี่ยน

$$\left(Conversion - Rate = \frac{1}{Convertion - Time} \right)$$

ตัวคอนเวอร์เตอร์จะสุ่มตัวอย่างของสัญญาณด้วยอัตราต่ำสุดเป็น 2 เท่าของความถี่สูงสุดของสัญญาณอินพุตที่เข้ามาอัตราการสุ่มนี้เรียกว่า "Nyquist rate" พิจารณาสัญญาณอนาลอกที่เป็นคลื่นรูปซายน์ 10 เฮริตซ์ (Hz)จ่ายให้กับตัว เอทูดี ตามรูปที่ 2.2



รูปที่ 2.2 การสุ่มหลาย ๆ ช่วงจะมีลักษณะใกล้เคียงกับสัญญาณเดิม

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

อัตราต่ำสุดของการสุ่มตัวอย่างเป็น 2f หรือ 20 เฮริต์ ซึ่งจะให้ข้อมูลดิจิตอลขนาด 2 บิตออกมาในแต่ละไซเคิลเมื่อข้อมูลดิจิตอลถูกนำมาสร้างเป็นสัญญาณอนาลอกขึ้นมาใหม่โดยเอทูดี สัญญาณอนาลอกตัวใหม่มีลักษณะคล้ายคลึงกับสัญญาณดังเดิม (ตัวฟิลเตอร์บนตัว เอทูดี จะทำให้รูปร่างของสัญญาณเอาท์พุตเรียบขึ้น)ถ้าความถี่ 10 เฮริต์ เป็นความถี่สูงสุดที่เข้ามายังตัว เอทูดี ค่าเวลาที่ใช้ในการเปลี่ยนสัญญาณสูงสุดเป็น 1/20 เฮริต์ หรือ 50 มิลลิวินาที เป็นต้น

การที่เราจะปรับปรุงประสิทธิภาพของ เอทูดี ในแง่ความเหมือนจริงของสัญญาณการแปลงให้อยู่ในรูปดิจิตอล เราจะต้องเพิ่มอัตราการสุ่มขึ้นในขณะที่คาบเวลาเท่าเดิม อัตราการสุ่ม 8 จุดต่อไซเคิลต้องการอัตราการสุ่มของส่วนประกอบความถี่สูงสุดอินพุต 8 ครั้ง เช่น ความถี่อินพุต 10 เฮริต์ จะต้องสุ่มตัวอย่างที่ 80 เฮริต์ ดังนั้น ตัวคอนเวอร์เตอร์ควรจะมีค่าเวลาการเปลี่ยนเป็น 1/80 เฮริต์ หรือ 12.5 มิลลิวินาที ถ้าตัว ดีทูเอ ไม่สามารถสุ่มตัวอย่างได้เร็วพอต่อสัญญาณอินพุตที่เปลี่ยนแปลงไป ข่าวสารข้อมูลที่บรรจุในสัญญาณอนาลอกทางอินพุตจะสูญหายไป

ความสัมพันธ์ระหว่างความถี่ทางอินพุต ค่าเวลาในการเปลี่ยนสัญญาณและอัตราการสุ่ม เป็นพารามิเตอร์ของ เอทูดี ที่สำคัญตัวหนึ่ง วิธีการหลาย ๆวิธีได้ถูกพัฒนาในช่วงหลายปีที่ผ่านมา เพื่อที่จะทำการแปลงสัญญาณอนาลอกให้อยู่ในรูปของสัญญาณดิจิตอลหลายวิธีที่ยังใช้อยู่ทุกวันนี้มี 6 วิธี คือ

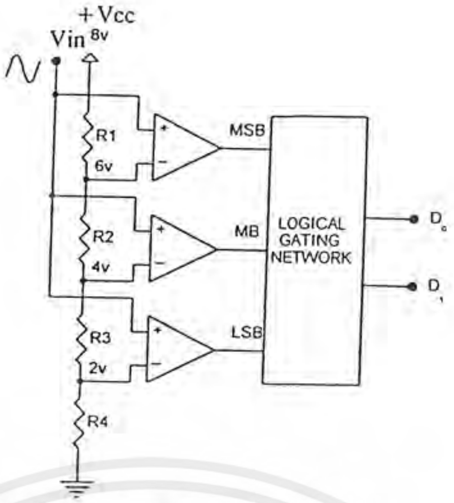
1) เทคนิคแบบแฟลช(Flash Techiques)
2) เทคนิคแบบสโลปเดียว(Single Slope Techiques)
3) เทคนิคแบบสโลปคู่(Double Slope Techiques)
4) เทคนิคแบบเคาเตอร์เดียว(Single Counter Techiques)
5) เทคนิคแบบแทร็กกิ้งเคาท์เตอร์(Tracking Counter Techiques)
6) เทคนิคแบบการประมาณค่าหลายครั้ง(Secessive Approximation Techiques)

2.2.3 แฟลชคอนเวอร์เตอร์

แฟลชคอนเวอร์เตอร์ เป็น เอทูดี ที่เร็วที่สุดในบรรดา เอทูดี ที่ใช้เทคนิคแบบอื่น ลักษณะวงจรของแฟลชคอนเวอร์เตอร์ จะใช้ชุดของตัวเปรียบเทียบคอมพาราเตอร์(Comparator) ที่ก่อในลักษณะขนานกันเพื่อจะทำการแปลงสัญญาณอนาลอกทางอินพุตให้เป็นรหัสดิจิตอล ดังนั้น แฟลชคอนเวอร์เตอร์ จึงเป็นคอนเวอร์เตอร์แบบขนาน

พิจารณาวงจรใน รูปที่2.3 ตัวต้านทานที่ต่ออนุกรมกันจะอยู่ในรูปแบบวงจรแบ่งแรงดันที่ตกคร่อมตัวเปรียบเทียบแต่ละตัว แรงดันอินพุตสูงสุดจะขึ้นอยู่กับค่าของ V_{cc} สัญญาณเอาท์พุตจากตัวเปรียบเทียบแต่ละตัวจะเป็น “1” หรือ “0” ซึ่งเป็นระดับสัญญาณลอจิกของวงจรดิจิตอล

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



Vin	BINARY OUTPUT		COMPARATOR OUTPUT		
	D_1	D_0	MSB	MB	LSB
0 - 2v	0	0	0	0	0
2 - 4v	0	1	0	0	1
4 - 6v	1	0	0	1	1
6 - 8v	1	1	1	1	1

รูปที่ 2.3 แฟลช A/D มีความเร็วในการเปลี่ยนแปลงสัญญาณสูง

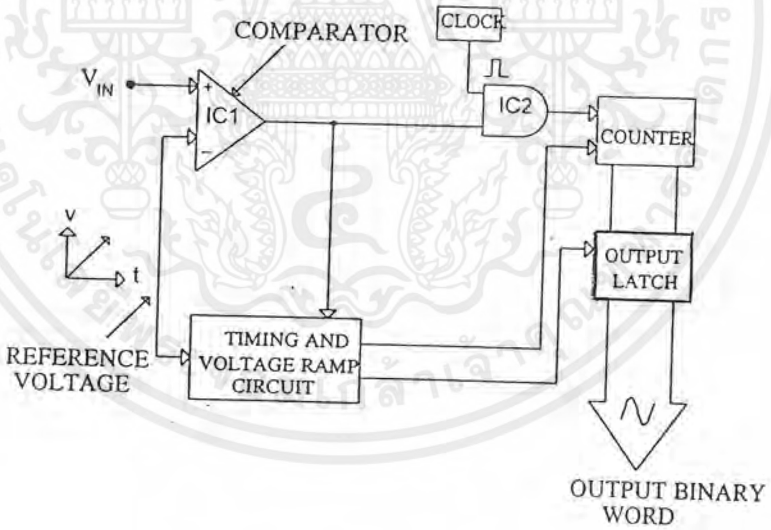
เมื่อไม่มีแรงดันอินพุตเข้ามา เอาท์พุตของตัวเปรียบเทียบแต่ละตัวจะเป็นลอจิก “0” ต่อมาแรงดันอินพุตเพิ่มขึ้น เอาท์พุตของตัวเปรียบเทียบแต่ละตัวจะเป็นลอจิก “1” ไล่ตามลำดับขึ้นไปเมื่อแรงดันอินพุตมีมากกว่าแรงดันอ้างอิงแต่ละค่าที่ถูกเช็คโดยวงจรแบ่งแรงดัน เน็ตเวิร์ก(Network) ของดิจิตอลเกท (Digital Gate) ใช้ในการเรียงลำดับของสัญญาณจากตัวเปรียบเทียบให้อยู่ในรูปรหัสเลขฐานสองซึ่งเป็นการสร้างรหัสที่เอาท์พุตของคอนเวอร์เตอร์ ตัวอย่างที่ยกมาให้ดูในรูปที่ 2.3 นั้นเป็น เอทูดี ขนาด 2 บิต ซึ่งไม่สามารถนำไปใช้งานจริงๆได้ เนื่องจากความละเอียดต่ำเกินไปแต่มันก็แสดงแนวความคิดที่สำคัญๆ ในการสร้าง เอทูดี แบบแฟลชคอนเวอร์เตอร์ได้เป็นอย่างดี ถ้าเราสังเกตุวงจรในรูปที่ 2.3 ให้ดีจะพบว่าวงจรจะใช้ตัวเปรียบเทียบ 2^n-1 ตัวเป็นการแสดงถึงความละเอียดของคอนเวอร์เตอร์ จากตัวอย่างคอนเวอร์เตอร์ขนาด 2 บิต ของเราต้องการ $2^2 - 1 = 3$ ตัวเปรียบเทียบคอนเวอร์เตอร์ขนาด 4 บิต ต้องมีตัวเปรียบเทียบ $2^4 - 1$ ตัว หรือ 15 ตัว และคอนเวอร์เตอร์ขนาด 8 บิต ต้องใช้ตัวเปรียบเทียบถึง 2^8 -1 ตัว หรือ 255 ตัว จึงจะเห็นได้ ขนาดของคอนเวอร์เตอร์ยิ่งมากขึ้นเท่าไหร่ ตัวเปรียบเทียบที่ใช้ก็ยิ่งมากขึ้นเป็นทวีคูณ จึงทำให้เกิดความซับซ้อนยุ่งยากในการสร้างวงจรคอนเวอร์เตอร์ขึ้นมาใช้ ข้อนี้เองจึงเป็นข้อเสียของคอนเวอร์เตอร์ และข้อเสียอีกข้อหนึ่ง ก็คือเมื่อใช้ตัวเปรียบเทียบมากขึ้น วงจรก็จะมีขนาดใหญ่เทอะทะเกินกว่าจะนำไปใช้งานจริงๆได้ คอนเวอร์เตอร์มิได้มีแต่ข้อเสียของมันเพียงอย่างเดียว แต่มันยังมีข้อดีที่ เอทูดีแบบอื่นๆไม่มีหรือสู้ไม่ได้ คือ ความเร็ว เพราะว่าสัญญาณอนาลอกทางอินพุตถูกจ่ายให้กับตัวเปรียบเทียบแต่

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ละตัวพร้อมๆ กัน ช่วงเวลาในการเปลี่ยน คอนเวิร์สชั่นไทม์ นั้น จึงมีค่าเท่ากับเวลาหน่วง ในตัวเปรียบเทียบแต่ละตัว และวงจรเกทในวงจรเท่านั้นซึ่งในเวลาเพียงไม่กี่ไมโครวินาที

2.2.4 เอทูดีแบบสโลปเดี่ยว

วิธีการแปลงสัญญาณอนาลอก ให้เป็นสัญญาณดิจิตอลที่มีประสิทธิภาพสูงวิธีหนึ่ง คือ วิธีแบบเอทูดีแบบสโลปเดี่ยว หรือ เรียกว่า เอทูดีแบบแรมพ์เดี่ยว(Single-ramp A/D) ดังแสดงในรูปที่ 2.4 จากวงจรวัฏจักรการทำงานของวงจรเอทูดีแบบสโลปเดี่ยว เริ่มต้นที่การรีเซ็ตวงจรนับ(Counter) และแรงดันแรมพ์อยู่ที่ศูนย์ เอาท์พุทของตัวเปรียบเทียบที่จุดเริ่มต้นเป็นศูนย์ ดังนั้นจึงไม่มีสัญญาณนาฬิกาจ่ายให้กับวงจรนับเมื่อแรงดันอินพุตถูกจ่ายให้กับตัวคอนเวอร์เตอร์ ขาอินพุตนอนอินเวอร์ติ้ง(non inverting+) จะมีค่าของแรงดันเกินกว่าแรงดันที่ขาอินพุตอินเวอร์ติ้ง(inverting-) ดังนั้น เอาท์พุตของตัวเปรียบเทียบ จึงเป็นลอจิก "High" สัญญาณลอจิก "High" นี้ไปอีนาเบิ้ล(Enable)ให้ แอนด์เกท(AND)ทำงานยอมให้พัลส์ของสัญญาณนาฬิกาผ่านตัวมันเข้าไปยังวงจรนับเลขฐานสองให้ทำงาน ในขณะเดียวกัน วงจรไทม์มิ่ง (Timming) จะขับให้แรงดันแรมพ์เพิ่มขึ้นซึ่งทำให้แรงดันอ้างอิงที่ขาอินเวอร์ติ้ง ของตัวเปรียบเทียบเพิ่มขึ้นอย่างรวดเร็วเมื่อแรงดันแรมพ์เริ่มมากกว่าแรงดันอินพุต เอาท์พุตของตัวเปรียบเทียบจะตกลงเป็นลอจิก "Low" อีกครั้งหนึ่ง พัลส์ของสัญญาณนาฬิกาจึงหยุดลง เนื่องจากไม่สามารถผ่านตัวแอนด์เกทได้และวงจรไทม์มิ่งส่งสัญญาณไปยังวงจรนับเลขฐานสองเกิดการช้า แลทช์(Latch) ค่าที่นับไว้ขณะหนึ่งต่อมาจึงทำการรีเซ็ตตัวนับสำหรับวัฐจักรการแปลงสัญญาณช่วงต่อไป



รูปที่ 2.4 ส่วนประกอบที่สำคัญของ A/D แบบสโลปเดี่ยว

เมื่อแรงดันแรมพ์อ้างอิงมีค่าเท่ากับแรงดันอินพุตที่จ่ายเข้ามา วงจรนับจะถูกกระตุ้นให้นับเลขฐานสองในขณะเดียวกันค่าที่นับได้ จึงเป็นสัญญาณดิจิตอลของสัญญาณอนาลอกทางด้านอินพุตที่เข้ามา ขณะนั้นจะสังเกตุได้ว่าความเร็วของสัญญาณนาฬิกา และอัตราการเพิ่มขึ้นในลักษณะเป็นแรงดันแรมพ์ต้องมีความสัมพันธ์กันอย่างถูกต้อง เพื่อให้วงจรนับทำงานตามหน้าที่ได้อย่างถูกต้องนั่นเอง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ค่าเวลาที่ต้องทำการเปลี่ยนขึ้นอยู่กับระดับของสัญญาณอนาลอกทางอินพุต เพราะว่าวงจรนับและแรงดันแรมพ์อ้างอิงทั้งคู่เริ่มต้นจากศูนย์ที่ทุกๆวัฏจักรการแปลงผัน มันจึงใช้เวลาค่อนข้างนานที่จะทำให้แรงดันอ้างอิงเท่ากับแรงดันอินพุตในทางตรงกันข้ามถ้าแรงดันอินพุตมีค่าน้อยช่วงเวลาที่แรงดันแรมพ์อ้างอิงเพิ่มขึ้นจนเท่ากับแรงดันอินพุต จึงใช้เวลาน้อยกว่ากรณีแรงดันอินพุตมีค่ามากๆ

แรงดันแรมพ์อ้างอิงสามารถเปลี่ยนแปลงเพิ่มขึ้นจนเท่ากับแรงดันอินพุต ได้เร็วกว่า 1 โวลท์ต่อ 1/100 วินาที เช่น ถ้าแรงดันอินพุตเป็น 2 โวลท์ ถูกจ่ายให้กับวงจรในรูปที่ 2.4 วงจรจะใช้เวลา 2x1 โวลท์ต่อมิลลิวินาที ซึ่งเท่ากับ 2 มิลลิวินาที สำหรับแรงดันแรมพ์ที่จะเพิ่มขึ้นจนมีระดับแรงดันเท่ากับแรงดันอินพุต การนับเลขฐานสองจะกระทำหลังจาก 2 มิลลิวินาที ไปแล้วความเร็วในช่วงนี้ขึ้นอยู่กับ ความเร็วของสัญญาณนาฬิกาถ้าความเร็วของสัญญาณนาฬิกามีค่าสูงจะทำให้จังหวะในการนับเร็วขึ้น

เนื่องจากการทำงานของสัญญาณนาฬิกาขึ้นอยู่กับ แรงดันแรมพ์ จึงเป็นลักษณะพิเศษของ เอทูดีแบบสโลปเดี่ยว ที่มีสัญญาณเอาท์พุตออกมาเป็นเลขฐานสองโดยตรงไอซี,เครื่องมือวัดบางตัวที่ใช้เทคนิคแบบสโลปเดี่ยวนี้จะแปลงรหัสบีซีดี(BCD) ไปขับภาคแสดงผล 7 เซ็กเมนท์(Segment) ได้โดยตรงซึ่งทำให้สะอาดและมีข้อได้เปรียบกว่าเทคนิค เอทูดี แบบอื่นอย่างมาก

ข้อเสียของ เอทูดีแบบสโลปเดี่ยวคือ การทำงานที่ไม่ค่อยมีเสถียรภาพ เมื่อใช้งาน เอทูดี เป็นเวลานาน ๆ โดยปราศจากการประสานจังหวะ(Synchronization) ระหว่างวงจรผลิตสัญญาณนาฬิกา และวงจรสร้างสัญญาณแรมพ์ทุกๆ การเลื่อนของความเร็วสัญญาณของนาฬิกาหรือแรงดันแรมพ์ เป็นเหตุทำให้เกิดความผิดพลาดขึ้นที่รหัสทางเอาท์พุต จึงเป็นสาเหตุที่สำคัญที่ทำให้ เอทูดีแบบสโลปเดี่ยวไม่นำไปใช้งานที่ต้องการความถูกต้องสูงๆ

2.2.5 เอทูดีแบบสโลปคู่

เทคนิคการแปลงสัญญาณอนาลอกเป็นสัญญาณดิจิตอลแบบสโลปคู่ เป็นเทคนิคที่ให้ข้อดีด้านเสถียรภาพของการแปลงสัญญาณ เมื่อสัญญาณอินพุตมีการเปลี่ยนแปลงอย่างรวดเร็ว วงจรผลิตสัญญาณแรมพ์อ้างอิงได้ปรับปรุงขึ้นโดยตัดเอาผลกระทบของการเคลื่อนไหวเมื่อใช้วงจรไปนานๆ

สัญญาณอินพุตของตัวคอนเวอร์เตอร์แบบสโลปคู่จะป้อนให้กับวงจรอินทิเกรตเตอร์เมื่อสัญญาณอินพุตที่เป็นบวกถูกป้อนเข้ามายังตัวเอทูดี ความชันของแรงดันแรมพ์ทางด้านเอาท์พุตของวงจรอินทิเกรตเตอร์ (Integrator) จะมีทิศทางเป็นลบและจะมีค่าเป็นลบ (เพราะป้อนอินพุตเข้าขาอินเวอร์ติ้งของออปแอมป์) ด้วยแรงดันลบที่ได้นี้ ทำให้เอาท์พุตของวงจรเปรียบเทียบเป็น "high" ด้วยเหตุนี้ จึงเป็นการกระตุ้นให้เกิดสัญญาณนาฬิกาป้อนเข้าไปยังขาอินพุตของวงจรนับ ซึ่งจะเป็นการเริ่มต้นนับขึ้นไปเรื่อยๆ วงจรอินทิเกรตเตอร์จะให้สัญญาณแรมพ์เพียงคาบเวลาที่คงที่ขณะหนึ่งเท่านั้น หลังจากช่วงเวลานี้แล้ววงจรควบคุมจะทำการเคลียร์วงจรนับ และทำการเปลี่ยนอินพุตของวงจรอินทิเกรตเตอร์ไปต่อกับแรงดันที่มีค่าเป็นลบ ($-V_{Ref}$) ดังนั้นในขณะนี้แรงดันลบถูกป้อนให้กับวงจรอินทิเกรตเตอร์ความชันของสัญญาณแรมพ์ทางเอาท์พุตกลับมา มีทิศทางเป็นบวก วงจรนับจะเริ่มต้นนับใหม่จนกระทั่งเอาท์พุตของวงจรอินทิเกรตเตอร์ตกลงเป็นศูนย์ ที่จุดนี้เอาท์พุตของวงจรเปรียบเทียบกลายเป็น "Low" ซึ่งทำให้สัญญาณนาฬิกาที่ป้อนให้วงจรนับหยุดลงวงจรควบคุมจะทำการตรวจสอบซึ่งเปลี่ยนและแลทช์ การนับที่เอาท์พุตไว้แล้วทำการ

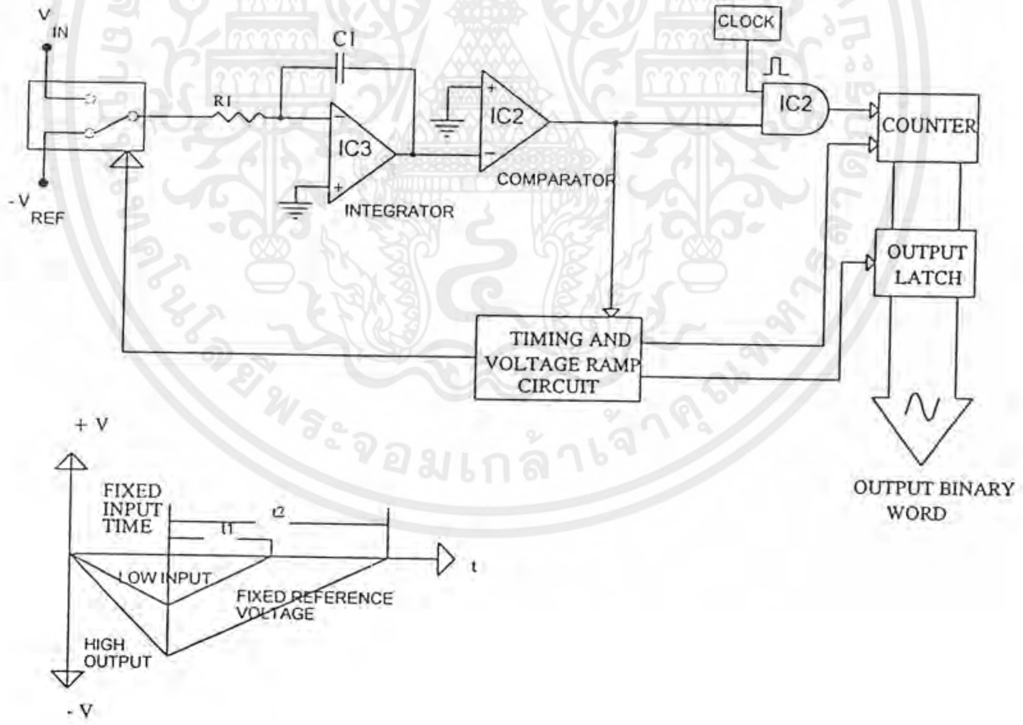
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เคลียร์วงจรนับอีกครั้งคอนเวอร์เตอร์แบบสโลปคู่นี้ สัญญาณดิจิตอลที่นับได้ครั้งสุดท้ายนี้จะแทนแรงดันอินพุตอนาลอกที่เข้ามา

อัตราของการอินทิเกรตขึ้นอยู่กับขนาดของแรงดันอินพุต เช่นเดียวกับค่าของ R_1 และ C_1 ดังนั้นแรงดันอินพุตที่ต่ำๆ จะลดเอาท์พุตของวงจรอินทิเกรตเตอร์ให้น้อยกว่าแรงดันอินพุตที่มีค่าสูงๆในช่วงคาบเวลาอินพุตที่แน่นอนของวัฏจักรการแปลงผัน (Conversion Cycle)

เมื่อแรงดันลบอ้างอิงที่มีค่าคงที่ถูกป้อนเข้ามา(ค่าของ R_1 และ C_1 ยังคงเหมือนเดิม) เวลาที่ต้องการสำหรับเอาท์พุตของวงจรอินทิเกรตเตอร์ ย่างเข้าสู่ศูนย์ เป็นอัตราแปรผันโดยตรงต่อขนาดดั้งเดิมของแรงดันอินพุตๆ การเปลี่ยนแปลง เพราะฉะนั้นในวงจรอินทิเกรตเตอร์เวลาหรืออุณหภูมิที่มีผลต่อการทำงานของวงจรจะถูกตัดออกโดยอัตโนมัติ ดังนั้นคอนเวอร์เตอร์แบบสโลปคู่จึงมีเสถียรภาพ เหมาะสำหรับการประยุกต์ใช้งานที่มีความแม่นยำสูง

คอนเวอร์เตอร์แบบสโลปคู่มีสิ่งที่คล้ายคลึงกับคอนเวอร์เตอร์แบบสโลปเดี่ยว คือ สัญญาณอินพุตสามารถถูกเปลี่ยนให้อยู่ในรูปบีซีดีโค๊ดหรืออยู่ในรูปอื่น ๆได้โดยตรง เช่น รหัสไบนารีในดิจิตอลโวลท์มิเตอร์ โดยมากแล้วจะใช้เทคนิคแบบสโลปคู่ในการแปลงสัญญาณอินพุตให้อยู่ในรูปบีซีดี



รูปที่ 2.5 A/D แบบสโลปคู่ให้เสถียรภาพในการทำงานสูงกว่า A/D แบบสโลปเดี่ยว

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

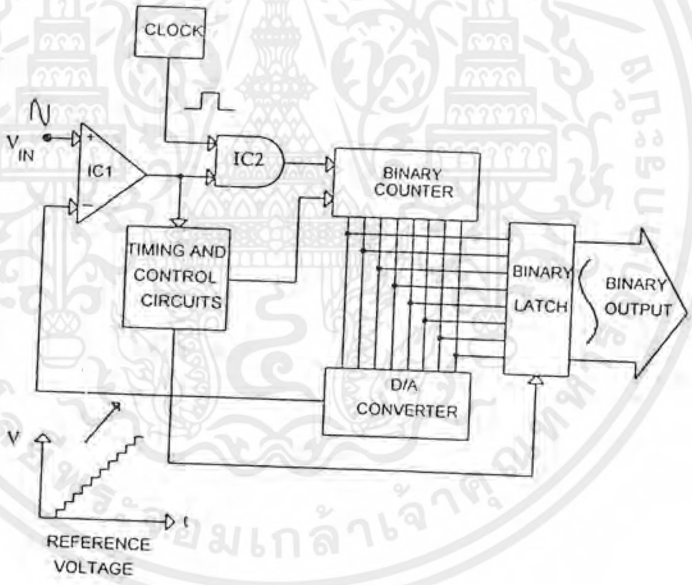
ข้อเสียของการแปลงผันแบบสโลปคู่ คือ คาบเวลาที่ขยายออกไปที่ต้องการใช้ในการแปลงผัน คอนเวอร์เตอร์แบบสโลปคู่ ต้องการคาบเวลาที่ มากกว่า 100 มิลลิวินาที ต่อการเปลี่ยนสัญญาณอินพุตที่มีแรงดันสูง ๆ ให้อยู่ในรูปสัญญาณดิจิตอล

2.2.6 เอทูดีแบบมีการป้อนกลับ

ดีทูเอคอนเวอร์เตอร์ที่ใช้สัญญาณป้อนกลับมาเป็นสัญญาณอ้างอิง ที่วงจรเปรียบเทียบ มี 2 ชนิดคือ

1. วงจรนับเดี่ยว (Single Counter)
2. วงจรนับแบบแทร็กกิ้ง (Tracking Counter)

วงจรของเอทูดีแบบวงจรนับเดี่ยว ได้มีการพัฒนาจนมีลักษณะคล้ายคลึงกับ เอทูดีแบบสโลปเดี่ยวตลอดจน การทำงานของวงจรทั้งสองยังคล้ายกันอีกด้วยแต่ เอทูดีแบบวงจรนับเดี่ยวอ่านการนับสัญญาณนาฬิกาที่ได้จากวงจรนับเลขฐานสองแล้วทำให้เป็นแรงดันป้อนกลับไปยังวงจรเปรียบเทียบแทนวงจรอินทิเกรตเตอร์หรือแหล่งจ่ายแรงดันแรมพ์อื่น ๆ

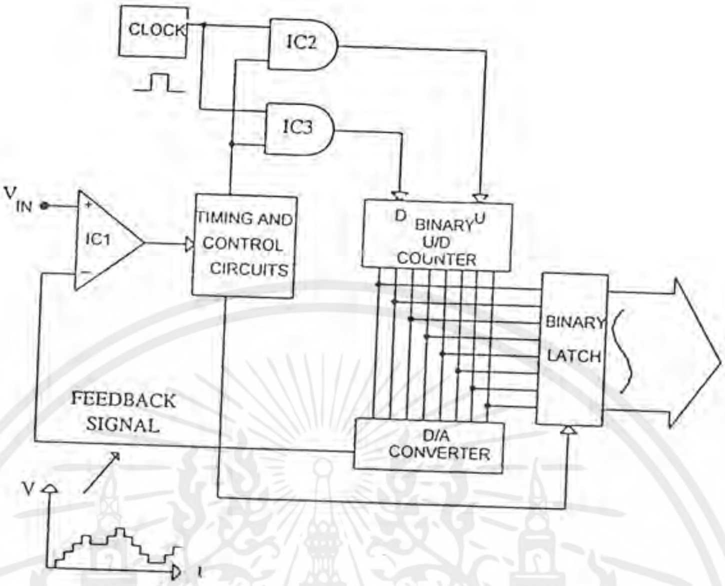


รูปที่ 2.6 D/A ถูกใช้ในวงจร A/D เพื่อสร้างแรงดันแรมพ์ไปควบคุม A/D แบบวงจรนับเดี่ยวได้

เมื่อสัญญาณอนาลอกทางอินพุตถูกจ่ายให้วงจรเปรียบเทียบเอาท์พุตของมันจะมีสถานะเป็น "High" ดังนั้นวงจรควบคุมจึงยอมให้ สัญญาณนาฬิกาผ่านเข้าไปยังวงจรนั้นๆ ก็จะนับเลขฐานสอง ขึ้นไปเรื่อยๆ เมื่อวงจรนับนับค่าเพิ่มขึ้นไป แรงดันเอาท์พุตของตัวเอทูดี ก็จะเพิ่มขึ้นตามด้วย เอาท์พุตของดีทูเอที่ได้นี้จะถูกป้อนกลับไปยังอินพุตขาลงของวงจรเปรียบเทียบ เมื่อระดับแรงดันเอาท์พุตของดีทูเอเริ่มมีค่ามากกว่า ระดับแรงดันอินพุต ที่เข้ามาเอาท์พุตของวงจรเปรียบเทียบก็จะมีสถานะเป็น "Low" (วงจรเปรียบ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เทียบหยุดทำงาน) วงจรควบคุม ก็จะส่งสัญญาณไปยังวงจรแลทช์เลขฐานสอง(Binary Latch) ให้ค้างค่าที่ได้จากการนับที่เอาท์พุตไว้ หลังจากนั้นวงจรควบคุมจะทำการรีเซ็ทวงจรนับสำหรับวัฏจักรการแปลงผันต่อไป



รูปที่ 2.7 วงจรนับเลขฐานสองแบบขึ้น-ลง ทำให้ A/D เปลี่ยนแปลงสัญญาณป้อนกลับ

ถึงแม้ว่าการแปลงผันแบบวงจรนับเดี่ยว เป็นวิธีที่รวดเร็วกว่าวิธีสโลปคู่ แต่ความแม่นยำของวงจรก็ขึ้นอยู่กับ ดีทูเอ ที่ใช้ในวงจรถ้าต้องการให้เอทูดีแบบวงจรนับเดี่ยวมีความแม่นยำสูง ดีทูเอที่ต้องการใช้ในวงจรต้องมีความแม่นยำสูงด้วยเพื่อให้ได้สัญญาณป้อนกลับที่เป็นเอาท์พุตของ ดีทูเอ มีความแม่นยำป้อนกลับไปยังวงจรเปรียบเทียบ วงจรเอทูดีแบบวงจรนับเดี่ยวยังต้องใช้วงจรนับที่เริ่มต้นจากศูนย์ทุก ๆ การแปลงผันดังนั้น จึงมีความเป็นไปได้ที่จะมีการสูญหายของข้อมูลเป็นบิตของเวลาไปทุกๆวัฏจักร โดยเฉพาะอย่างยิ่งถ้าแรงดันที่ถูกแปลงนั้นมีค่าใกล้เคียงกับระดับแรงดันสูงสุดของเอทูดี

เทคนิคแบบวงจรนับแทร็กกิ้ง สามารถทำการแปลงผันได้รวดเร็วกว่าเทคนิคแบบวงจรนับเดี่ยว ซึ่งการแปลงผันที่รวดเร็วกว่านี้ เป็นเพราะวงจรนับแทร็กกิ้งใช้วงจรนับเลขฐานสองแบบขึ้น/ลงได้(Binary Up/Down (U/D) Counter) แทนวงจรนับขึ้นอย่างเดียวเหมือนกับตัวอย่างที่ผ่านมาวงจรนับสามารถเพิ่มค่าขึ้นหรือลดค่าลงได้ขึ้นอยู่กับสถานะทางเอาท์พุตของวงจรเปรียบเทียบ ซึ่งจะทำให้รหัสไบนารีที่ได้มีความเป็นจริงต่อสัญญาณอนาลอกมากขึ้น

วัฏจักรการทำงานของ เอทูดี แบบวงจรนับแทร็กกิ้ง เริ่มต้นที่สัญญาณอนาลอกถูกป้อนมายังอินพุตของวงจรเปรียบเทียบ การนับบนวงจรเลขฐานสอง ขึ้น/ลง อาจจะเริ่มที่ค่าใดๆก็ได้นั้น หมายถึงแรงดันป้อนกลับที่มาจากตัว ดีทูเอ อาจจะมากกว่าหรือน้อยกว่าสัญญาณ อนาลอกทางอินพุตก็ได้ ถ้าแรงดันป้อนกลับมีค่ามากกว่าสัญญาณอนาลอกทางอินพุต เอาท์พุตของวงจรเปรียบเทียบจะมีสถานะเป็น “Low” และวงจรควบคุมจะส่งสัญญาณไปเปิดเกตให้พัลล์ของสัญญาณนาฬิกาผ่านไปยังวงจรนับ แต่การนับครั้งนี้ จะ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เป็นการนับลง ดังนั้นจึงเป็นการลดค่าเลขฐานสอง ซึ่งเป็นเอาท์พุตของวงจรนับและเป็นการลดแรงดันป้อนกลับที่วงจรเปรียบเทียบลง เมื่อแรงดันป้อนกลับตกลงต่ำกว่าแรงดันทางอินพุตเอาท์พุตของวงจรเปรียบเทียบ จะเป็น "High" ทันทีและวงจรควบคุมส่งสัญญาณไปยังวงจรแลทช์ทางเอาท์พุตให้ค้างข้อมูลทางเอาท์พุตไว้ วงจรเกตจะส่งสัญญาณนาฬกาไปเพิ่มอินพุตของวงจรนับขึ้น(ซึ่งวงจรนับจะไม่ถูกรีเซ็ต) และเป็นเหตุให้วงจรนับทำการนับค่าขึ้นอีกครั้ง สำหรับการเปลี่ยนแปลงของสถานะช่วงต่อไป ถ้าสัญญาณอินพุตยังมีค่าคงที่อยู่เอาท์พุตไบนารีที่ได้มักจะเกิดการออสซิลเลตขึ้น 1xLSB คล้ายกับตัวคอนเวอร์เตอร์พยายามปรับค่าให้เข้าสู่ค่ากลางของมัน ปัญหาระดับของการออสซิลเลตจึงเป็นปัญหาสำคัญของเอทูดีคอนเวอร์เตอร์ แบบวงจรนับแทร็กกิ้ง และกลายมาเป็นข้อเสียของเอทูดี แบบนี้ตามที่เราคาดไว้ว่า เทคนิค แบบวงจรนับแทร็กกิ้งนั้นมีความเร็วสูงกว่าเทคนิคแบบวงจรนับเดี่ยวแต่มันยังมีข้อดีกว่านั้นอีกคือเทคนิคแบบวงจรนับแทรคกิ้งนั้นเหมาะสำหรับการแปลงสัญญาณอินพุตที่มีการเปลี่ยนแปลงอย่างรวดเร็วให้อยู่ในรูปสัญญาณดิจิตอลได้ดี

2.2.7 เอทูดีแบบประมาณค่าหลายๆ ครั้ง

เทคนิคแบบการประมาณค่าหลายๆครั้งมีชื่อย่อว่า SA ซึ่งย่อมาจาก "Successive Approximation" เป็นเทคนิคที่น่าเลือกใช้เพราะมีราคาถูกมีความละเอียดพอสมควรและเป็นเอทูดีคอนเวอร์เตอร์ที่มีความเร็วสูง เทคนิคการประมาณค่าหลายๆ ครั้งเป็นเทคนิคที่มีความสามารถสูง และใช้งานได้ดี ซึ่งสามารถใช้แปลงสัญญาณอนาลอก ให้เป็นสัญญาณดิจิตอลได้รวดเร็ว และมีประสิทธิภาพเพราะไม่เกิดการออสซิเลตขึ้น แต่กระบวนการทางเทคนิคแบบนี้จะเข้าใจได้ยากกว่า เทคนิคแบบวงจรที่เราได้กล่าวมาแล้ว หัวใจของ SA คอนเวอร์เตอร์ คือ อุปกรณ์ที่เรียกว่า "Successive Approximation register" (SAR) ซึ่งเป็นอุปกรณ์ที่มีจุดประสงค์แตกต่างวงจรนับทั่ว ๆไปอย่างมาก ดังแสดงในรูปที่ 2.8

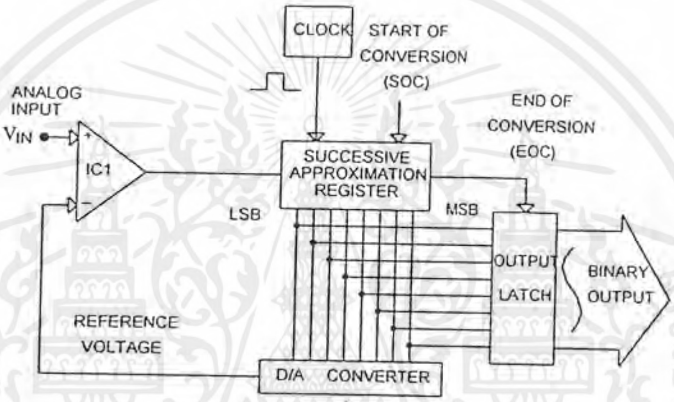
วัฏจักรการแปลงผัน เริ่มต้นเมื่อสัญญาณอนาลอกถูกป้อนให้คอนเวอร์เตอร์และพัลส์การแปลงเริ่มต้น (Start conversion pluse : SOC) ถูกป้อนให้กับตัว SAR พัลส์สัญญาณนาฬิกาลูกแรกที่ป้อนให้กับตัว SAR จะ "ON" เอาท์พุตของบิตนับสูงสุด ดังนั้นจึงเป็นการปรับให้เอาท์พุตของดีทูเอเป็น 50% ของแรงดันเอาท์พุตของอินเวอร์เตอร์ ตัว SAR จะมองไปยังเอาท์พุตของวงจรเปรียบเทียบว่าเอาท์พุตของดีทูเอมีค่ามากกว่าหรือน้อยกว่าสัญญาณอนาลอกทางอินพุต ถ้าแรงดันของดีทูเอมีค่ามากกว่าวงจรเปรียบเทียบจะยังคงอยู่ในสภาวะ "OFF"

ดังนั้นตัว SAR จะ "OFF" บิตนัยสูงสุดลงและให้ชื่อว่าสภาวะ "0" ถ้าแรงดันของดีทูเอมีค่าน้อยกว่าสัญญาณอนาลอกทางอินพุตวงจรเปรียบเทียบจะยังคงทำงานอยู่ดังนั้นตัว SAR จะยังคงปล่อยให้บิตนัยสูงสุด "ON" อยู่และเราเรียกสภาวะนี้ว่า "1" ซึ่งสภาวะ "1" หรือ "0" นี้จะกระทำภายในพัลส์ของสัญญาณนาฬิกาเพียงพัลส์เดียวบนสัญญาณนาฬิกาถัดไปตัว SAR จะ "ON" บิตนัยสูงสุดอันดับ 2 และทำการตรวจสอบผลลัพท์ที่ได้อีกครั้งหนึ่ง จากวงจรเปรียบเทียบถ้าสัญญาณดีทูเอ ครั้งใหม่นี้มีค่ามากกว่าแรงดันอินพุตเอาท์พุตของวงจรเปรียบเทียบยังจะไม่มี ดังนั้นตัว SAR และ "OFF" บิตนัยสูงสุดอันดับ 2 ทิ้ง และเรียกมันว่า "0" แต่ถ้าสัญญาณจาก DAC มีค่าน้อยกว่าวงจรเปรียบเทียบจะยังคงทำงานและตัว SAR จะปล่อยให้บิตนัยสูงสุดอันดับ 2 นี้ "ON"

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ตัว SAR จะพิจารณาแต่ละบิตด้วยวิธีเดียวกัน (บิตนัยสูงสุดถึงบิตนัยต่ำสุด) จนกระทั่งทุกๆบิตถูกพิจารณาหมด เนื่องจาก 1 บิต ถูกหาค่าภายใน 1 พัลส์ เอทูดี ขนาด 8 บิต จึงใช้สัญญาณนาฬิกาเพียง 8 พัลส์ ก็สามารถทำการแปลงได้จนจบกระบวนการเมื่อบิตนัยต่ำสุดถูกพิจารณาเสร็จสิ้นแล้ว ตัว SAR จะส่งสัญญาณสิ้นสุดการแปลงผัน (End of Conversion : EOC) ไปทำการค้างผลลัพท์ที่ได้ซึ่งเป็นเลขฐานสองทางเอาท์พุตไว้

SA Converter เป็นคอนเวอร์เตอร์ที่มีประสิทธิภาพสูงมากและสามารถทำการแปลงสัญญาณได้อย่างรวดเร็วพร้อมทั้งมีความละเอียดสูงอีกด้วย คอนเวอร์เตอร์หลายตัวที่ใช้เทคนิคแบบนี้สามารถทำการแปลง เอทูดี ขนาด 12 บิต ได้โดยใช้เวลาน้อยกว่า 10 ไมโครวินาที

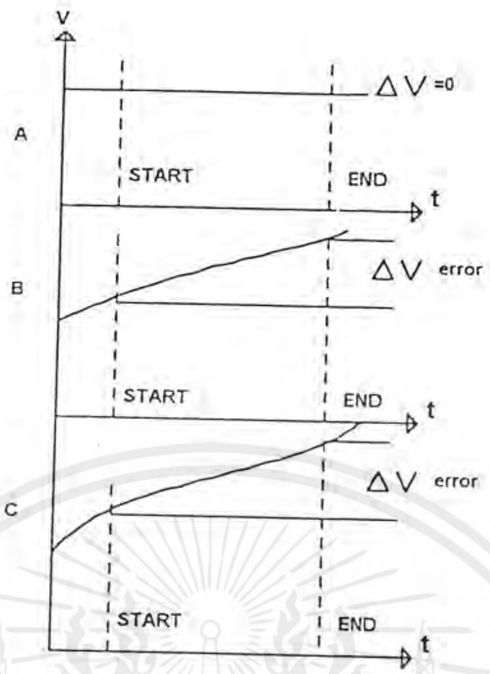


รูปที่ 2.8 Successive Approximation Register (SAR)เป็นตัวเร่งความเร็วของกระบวนการแปลงสัญญาณอนาลอกให้เป็นสัญญาณดิจิตอล

2.2.8 ควอนไตซิ่งเออเรอร์(Quantizing error)

หลังจากจบการอธิบายการทำงานของ A/D ทั้ง 6 แบบแล้ว ในตอนนี้เราก็จะมีความเข้าใจเกี่ยวกับการทำงานของ เอทูดี ดีขึ้น ต่อมาเราจะพูดถึงคุณลักษณะเฉพาะตัวของ เอทูดี อีกตัวหนึ่ง ซึ่งเราเรียกว่า Quantizing Error ซึ่งมีความสามารถเนื่องมาจาก การเปลี่ยนแปลงระดับสัญญาณอนาลอก ทางด้านอินพุต ในระหว่างที่ทำการแปลงสัญญาณอยู่

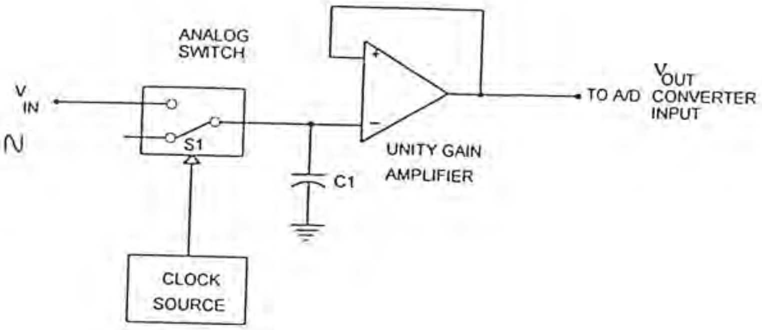
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.9 Quantizing Error

ยังคงจำกันได้ว่าสัญญาณอนาลอกของเอทูดี ถูกจ่ายให้กับวงจรเปรียบเทียบเมื่อวัฏจักรเริ่มต้นขึ้น เอทูดีต้องการเวลาช่วงหนึ่งเพื่อที่จะสร้างสัญญาณดิจิตอลออกมาทางเอาท์พุต ถ้าแรงดันอินพุตเกิดการเปลี่ยนแปลงขึ้นในระหว่างการแปลงสัญญาณไบนารีเอาท์พุต สุดท้ายจะแทนระดับแรงดันที่ท้ายสุดของวัฏจักรแทนที่จะเป็นช่วงเริ่มต้น เมื่อไม่มีการเปลี่ยนแปลงแรงดันอินพุตขึ้น เช่น ในกรณีของแรงดันไฟตรง ในกรณีนี้จะไม่เกิด Quantizing Error ขึ้นสัญญาณที่มีการเปลี่ยนแปลงอย่างรวดเร็วหรือที่เรียกกันว่า "Slew Rate" นั้นจะก่อให้เกิด Quantizing Error มากกว่ายิ่งขึ้น วิธีหนึ่งที่สามารถกำจัด Quantizing Error ได้คือ ใช้วงจร S/H (Sampling and Hold Circuit) ก่อนวงจรเปรียบเทียบในรูปที่ 2.10 แสดงวงจรที่ใช้ S/H

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.10 วงจร S/H แบบง่าย ๆ สามารถกำจัดผลกระทบที่เกิดจาก Quantizing Error ได้

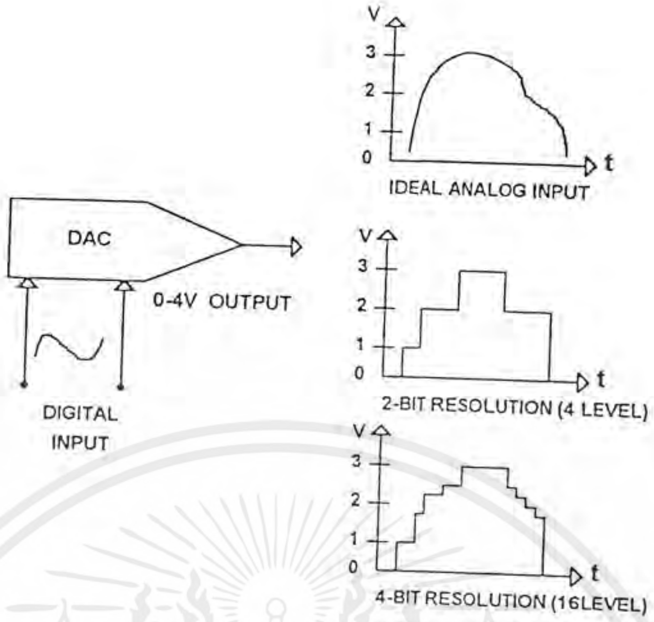
สวิตช์อิเล็กทรอนิกส์จะปิดวงจร เพื่อทำการสุ่มสัญญาณอนาลอกทางอินพุต ตัวเก็บประจุ C1 มีหน้าที่เก็บประจุค่าของสัญญาณอินพุตที่เข้ามา ต่อมาสวิตช์อิเล็กทรอนิกส์จะเปิดวงจรออก ดังนั้นจึงเป็นการกำจัดผลกระทบที่เกิดจาก Quantizing Error ทิ้งไปเพราะตัวเก็บประจุยังคงเก็บค่าของสัญญาณอนาลอกที่สุ่มไว้โดยไม่คำนึงถึงสัญญาณอินพุตจะเปลี่ยนแปลงไปอย่างไรเมื่อต้องการแปลงสัญญาณช่วงเวลาถัดไป วงจรก็จะทำการสุ่มสัญญาณขึ้นใหม่อีกครั้ง

2.3 หลักการของดิจิตอลทูอนาลอกคอนเวอร์เตอร์

ดิจิตอลทูอนาลอกคอนเวอร์เตอร์หรือเรียกย่อๆ ว่า D/A เป็นตัวแปลงรหัสเลขฐานสองจากคอมพิวเตอร์หรือจากวงจรดิจิตอลใดๆ ให้กลายเป็นระดับแรงดันอนาลอก ที่มีความสัมพันธ์กับระบบเลขฐานสองตัว DAC สามารถนำไปใช้กับอุปกรณ์ที่เป็นอนาลอกได้เช่น มิเตอร์ มอเตอร์ อุปกรณ์ควบคุมหรือวงจรที่เกี่ยวกับสัญญาณเสียง เช่น เครื่องเล่นคอมแพ็คดิสก์ตัว D/A ในเครื่องเล่นคอมแพ็คดิสก์นั้น ถูกใช้สำหรับการเปลี่ยนข้อมูลที่บันทึกเป็นสัญญาณดิจิตอลบนแผ่น CD ให้กลายเป็นสัญญาณเสียงที่มีคุณภาพสูงออกมาให้เราได้ยิน

ต่อไปเราจะพิจารณาแนวความคิดที่สำคัญของ D/A เริ่มจากความละเอียดของ D/A เราจะนิยามไว้เป็นระดับแรงดันในแต่ละขั้น ที่เอาท์พุตสามารถจะผลิตออกมาได้ซึ่งมีความสัมพันธ์โดยตรงต่อจำนวนของบิตทางด้านอินพุตที่อยู่ในรูปของรหัสไบนารี D/A ขนาด 4 บิตมีอินพุตอยู่ 4 อินพุตซึ่งจะมีความละเอียดเท่ากับ 4 จำนวนของระยะและความแตกต่างของระดับสัญญาณอนาลอกทางด้านเอาท์พุตที่ D/A ขนาด 4 บิตสามารถผลิตได้จะมีค่าเท่ากับ (2^4) = 16 ระดับนั้น ย่อมหมายถึง สัญญาณอนาลอกทางเอาท์พุตสามารถถูกแทนได้ด้วยระดับแรงดัน 16 ขั้น ด้วยกัน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.11 ความละเอียดของแรงดันเอาท์พุต

ทีนี้มาดู D/A ขนาด 8 บิตๆ สามารถให้สัญญาณอนาลอกทางด้านเอาท์พุตที่เป็นระดับแรงดันได้ 2^8 หรือ 256 ระดับ D/A ขนาด 12 บิตสามารถในระดับแรงดันทางเอาท์พุตได้ 2^{12} หรือ 4096 ระดับอย่างที่เราได้เห็นแล้วว่า D/A มีขนาดอินพุตบิตมากเท่าไหร่ ความละเอียดและความถูกต้องของระดับแรงดันอนาลอกทางเอาท์พุตที่ D/A สามารถผลิตได้จะมากขึ้นตาม ดังแสดงในรูปที่ 2.11

ถัดมาจากความละเอียดของ D/A เราจะมาพิจารณาถึงเวลาเข้าสู่สภาวะของ (Setting time) เวลาเข้าสู่สภาวะคงตัวเป็นค่าของเวลาที่ระดับแรงดันเอาท์พุตเข้าสู่สภาวะคงที่เมื่อรหัสไบนารีทางอินพุตเปลี่ยนแปลงไป โดยปกติจะติดที่สัญญาณทางเอาท์พุตคงที่ในช่วงของ LSB (Least significant bit) ของค่าที่คาดว่าจะเป็นหลังจากรหัสไบนารี ทางด้านอินพุตเปลี่ยนไปนั้น หมายความว่าในเงื่อนไขของการปฏิบัติงานจริง ๆ มีความสัมพันธ์กับค่าซึ่งเป็นอยู่ในขณะนั้นต่อ LSB ของมันเอง ถ้า D/A ขนาด 8 บิตมีช่วงแรงดันทางเอาท์พุตอยู่ในช่วง 0-10 โวลท์ ดังนั้น LSB มีค่าเท่ากับ $10/2^8$ หรือ 0.039 โวลท์ ครึ่งหนึ่งของค่า $10/2^8$ เป็น 0.0195 โวลท์

ดังนั้นค่าเวลาที่ระดับแรงดันเอาท์พุตเข้าสู่สภาวะคงที่ควรจะเป็นค่าเวลาที่เอาท์พุตเพิ่มขึ้นถึง 0.0195 โวลท์ ของค่าระดับที่คาดหมายไว้ ตามปกติค่าเวลาเข้าสู่สภาวะคงตัวมีค่าน้อยกว่า 10

ค่าความแม่นยำเป็นแฟกเตอร์ที่สำคัญอีกตัวหนึ่งของ D/A ในเงื่อนไขปกติค่าความแม่นยำของ D/A คือทุกๆ ตำแหน่งจาก ½ ถึง 2 ค่าของ LSB สำหรับ D/A ซึ่งมีค่าความแม่นยำ 1 ค่า LSB แรงดันเอาท์พุตสามารถเปลี่ยนแปลงไปในทาง + หรือ – ค่าของ 1 บิต ถ้า D/A มีแรงดันเอาท์พุตอยู่ในช่วง 0 ถึง 5โวลท์ มีความละเอียดเท่ากับ 12 บิต LSB ควรจะเป็น $5/2^{12}$ หรือ 0.00122 โวลท์ สำหรับทุกๆ ค่าของรหัสไบนารี

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

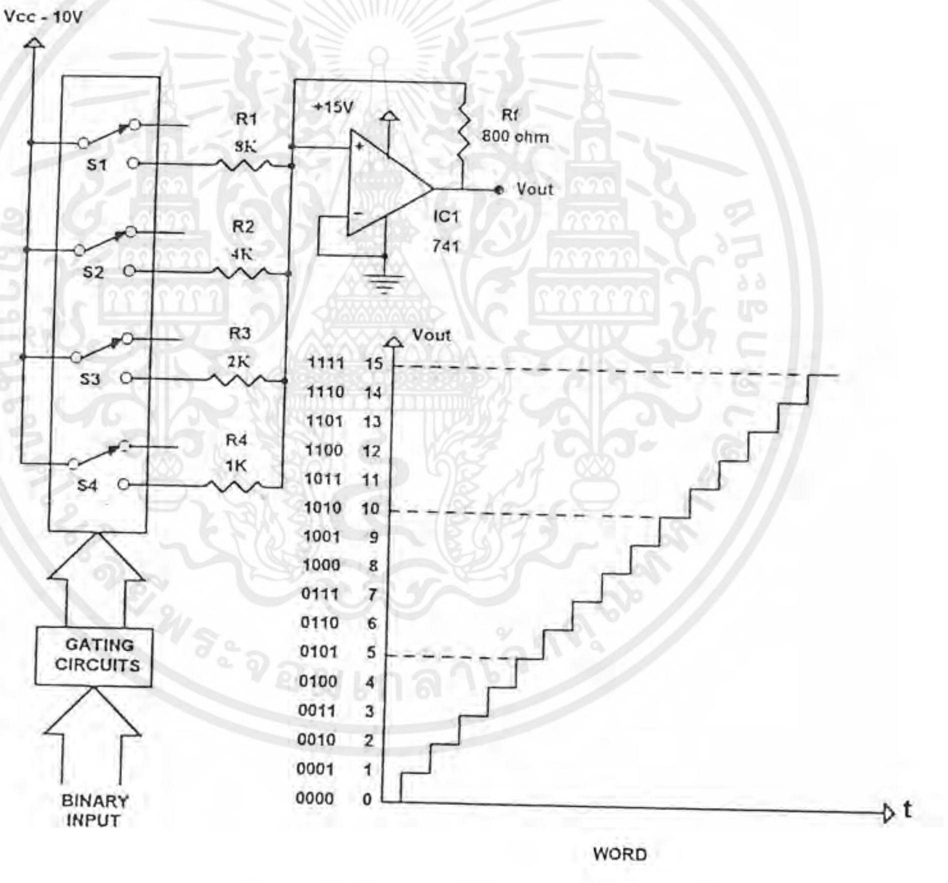
สำนักหอสมุดกลาง พระจอมเกล้าลาดกระบัง

ทางด้านเอาท์พุตแรงดัน อาจจะสูงหรือต่ำกว่าค่าที่คาดหมายไว้ 0.00122 โวลท์ ถ้า D/A ตัวเดียวกันมีค่าความแม่นยำเท่ากับ ½ ค่าความถูกต้อง LSB ค่าเอาท์พุตจะสามารถผิดพลาดไปได้ 0.00122/2 หรือ 0.00061 โวลท์ ยิ่งค่าความแม่นยำน้อยเท่าไหร่ค่าความละเอียดก็จะมากขึ้นตามและจะมีค่าใกล้เคียงกับค่าเอาท์พุตที่คาดไว้

หลายปีที่ผ่านมาได้มีการค้นคิดพัฒนาวิธีการ ของการเปลี่ยนสัญญาณดิจิตอลเป็นสัญญาณอนาลอกในบทความนี้ เราจะพูดหลักการใหญ่ของวิธีเปลี่ยนสัญญาณดิจิตอล ไปเป็น สัญญาณอนาลอก 2 วิธี ด้วยกัน Binary weighted และ Binary ladder D/A

2.3.1 Binary-weight Resistor D/A

เทคนิคจัดการน้ำหนักของรหัสไบนารี เป็นวิธีที่ง่ายที่สุดและเก่าที่สุดของการแปลงดิจิตอลบิตให้กลายเป็นสัญญาณอนาลอกวงจรของ Binary-weight Resistor D/A แสดงไว้ในรูปที่ 2.12



รูปที่ 2.12วงจร Binary Weighted D/A และกราฟเอาท์พุตของ D/A

รหัสไบนารีจะถูกป้อนให้ขาเกทของอนาลอกสวิตซ์ เมื่อรหัสไบนารี 0000 ถูกป้อนให้ที่เกทอนาลอกสวิตซ์ทั้งหมดจะเปิดวงจร ดังนั้นจึงไม่มีแรงดันเอาท์พุตจ่ายไปให้ออปแอมป์ เอาท์พุตจากออปแอมป์จึงเป็นศูนย์ เมื่อรหัสไบนารีเป็น 0001 สวิตซ์ S_1 จะปิดลงและแรงดัน 10 โวลท์จะจ่ายให้กับ R_1 เพราะว่า

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้
37108

อินพุตของออปแอมป์จะมองได้ว่าเป็นกราวนด์เสมือน (Virtual Ground) เป็นผลให้แรงดัน 10 โวลท์ตกคร่อมตัวต้านทาน 8k(R_1) ซึ่งเป็นเหตุให้เกิดกระแส 1.25 mA(10 V/8000)ไหลผ่านความต้านทานป้อนกลับ (R_f) ค่า 800 แรงดันตกคร่อม Rf ควรจะมีค่า 800x1.25 mA หรือเท่ากับ 1โวลท์

เมื่อรหัสไบนารีเปลี่ยนไปเป็น 0010 S_1 จะเปิด และ S_2 ปิดวงจรเป็นเหตุให้กระแส 2.5 mA (10v/4000)ไหลผ่าน R_2 แรงดันตกคร่อม R_f มีค่าเท่ากับ 800 x 2.5 mA หรือ 2 โวลท์รหัสไบนารี 0100 จะให้แรงดันเอาท์พุตเท่ากับ 4 โวลท์และถ้ารหัสไบนารีเป็น 100 แรงดันเอาท์พุตจะมีค่าเป็น 8 โวลท์จะสังเกตได้ว่ารหัสทางอินพุตและค่าของ R_f มีผลต่อระดับแรงดันทางเอาท์พุต

สวิตซ์แต่ละตัวสามารถปิดวงจรพร้อมกัน เมื่อทำการรวมกัน เพื่อสร้างสัญญาณอนาลอกอินทางเอาท์พุตที่มีค่าจาก 0 ถึง 15 โวลท์ (0000 = 0 โวลท์ , 0011 = 7 โวลท์ และ 1111 = 15 โวลท์) ในการเพิ่มขึ้น 1 โวลท์ต่อ 1 ขั้น

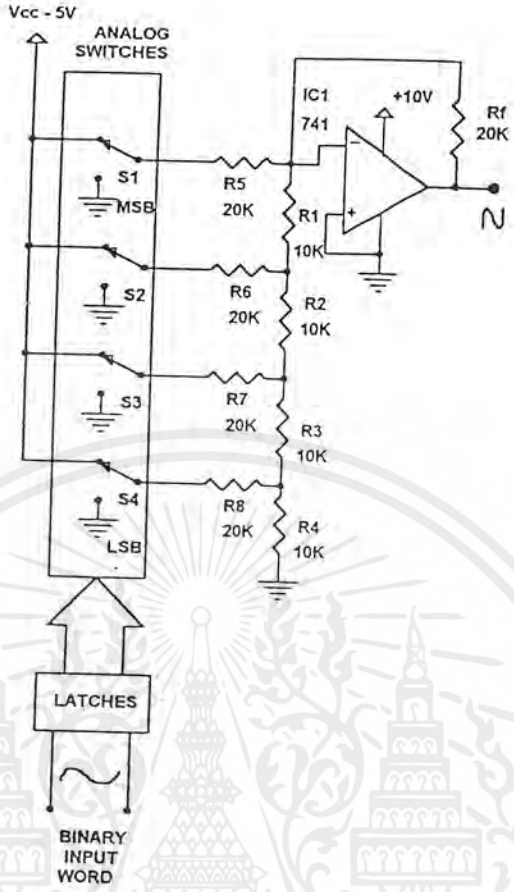
ถึงแม้ว่า Binary-weighed resistor D/A มีลักษณะวงจรที่ง่ายๆ ตรงไปตรงมาแต่ไม่สะดวกในการนำไปใช้งาน ถ้าต้องการความละเอียดของ D/A มากกว่า 4 บิตเพราะว่าค่าของตัวต้านทานที่ใช้มากมายหลายค่าเกินไป ซึ่งต่างจาก Ladder Network ที่ต้องการใช้ตัวต้านทานเพียง 2 ค่าเท่านั้น

2.3.2 Ladder network D/A

เทคนิคเลดเดอร์เน็ตเวิร์ก สามารถสร้างแรงดันตามน้ำหนักของรหัสไบนารี โดยอาศัยความต้านทานเพียง 2 ค่าเท่านั้นที่จัดในลักษณะวงจรแบ่งแรงดันหรือที่เรียกว่าไบนารีเลดเดอร์(Binary ladder)ดังแสดงในรูปที่ 2.13

ถึงแม้ว่าวงจร D/A แบบเลดเดอร์เน็ตเวิร์กนั้น ดูผ่านๆแล้วค่อนข้างจะยากแต่การทำงานของวงจรก็ยังคล้ายกับการทำงานของวงจร Binary weighted D/A (รูปที่2.12) เกทที่ต่ออยู่ในลักษณะอนุกรมถูกใช้สำหรับขับอนาลอกสวิตซ์เมื่อรหัสไบนารี 0000 ถูกส่งมายังเกทอนาลอกอิน สวิตซ์ทั้งหมดจะเปิดออก ดังนั้นแรงดันเอาท์พุตที่ได้จากออปแอมป์จึงมีค่าเป็นศูนย์ สวิตซ์ S_1 จะปิดลงเมื่อเกทได้รับรหัสไบนารีเป็น 1000 เป็นผลให้เกิดแรงดันเอาท์พุต 5 โวลท์ออกมาจากออปแอมป์ ถ้ารหัสไบนารีเป็น 0010 สวิตซ์ S_3 ก็จะปิดและทำให้เกิดแรงดัน 1.25 โวลท์ ที่เอาท์พุตและสุดท้ายถ้าอินพุตเป็น 0001 สวิตซ์ S_4 จะปิดลง ออปแอมป์จะให้แรงดันเอาท์พุตออกมา 0.0625 โวลท์จะสังเกตได้ว่าแรงดันเอาท์พุตอยู่ในรูปอันดับของไบนารีคือเอาท์พุตสามารถเปลี่ยนจาก 0 ถึง 10 โวลท์เพิ่มขึ้นขั้นละ 0.625 โวลท์(24 หรือ16 ขั้น)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



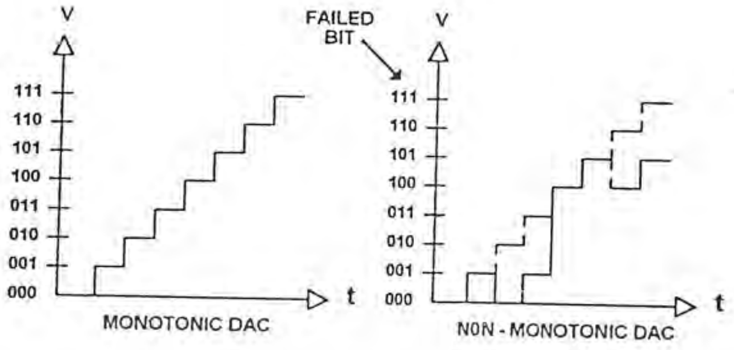
รูปที่ 2.13 วงจร Binary Ladder D/A

ข้อดีของเลคเดอร์เน็ตเวิร์ก D/A คือสามารถออกแบบได้ง่ายเนื่องจากใช้ความต้านทานเพียง 2 ค่าเท่านั้นและในทุกวันนี้บริษัทผู้ผลิต D/A เกือบทั้งหมดจะใช้เทคนิคแบบเลคเดอร์เน็ตเวิร์กในการผลิต D/A

วงจรไบนารีเลคเดอร์ มักจะมีความถูกต้องแม่นยำมากกว่าวงจร Binary Weighted เพราะว่าเราจะหาค่าความต้านทานที่ถูกต้อง 2 ค่า (เช่น 10k หรือ 20k) ได้ง่ายกว่าความต้านทานหลายๆค่าที่ใช้ในวงจร Binary weighted D/A ไอซี D/A สำเร็จรูปที่นิยมใช้อยู่คือ DAC-08

ทีนี้เราจะอธิบายหลักการเริ่มทำงานของ D/A เราสามารถพิจารณา รายละเอียดที่สำคัญสุดท้ายของ Monotonicity แรงดันเอาท์พุตที่เป็นสัญญาณอนาลอกอินของ D/A จะเพิ่มขึ้นเป็นลำดับคล้ายกับการเพิ่มของรหัสไบนารีทางอินพุต ดังแสดงอยู่ในรูปที่ 2.14

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.14 Monotonic D/A จะมากขึ้นทุกๆ ค่าของสัญญาณอนาลอกอินพุตที่ถูกต้อง

ในทางอุดมคติแล้วการเพิ่มขึ้นของสัญญาณอินพุตที่เป็นรหัสไบนารี จะเป็นเหตุให้เราสามารถทายและรู้ถึงแรงดันเอาท์พุตได้ในอุปกรณ์บางตัวส่วนของการสวิตซ์ชิ่งและส่วนขยายสัญญาณ ไม่สามารถจ่ายกระแสไฟฟ้า ภายในเงื่อนไขเหล่านั้นได้อย่างเพียงพอ จึงเป็นสาเหตุที่ทำให้ D/A เกิดการ "Skip" หรือการกระโดดข้ามขั้นนั่นเอง การเกิด skip นี้จะมีปัญหาน้อยในบิตนัยต่ำๆแต่จะมีมากขึ้นเมื่อน้ำหนักของบิตเพิ่มขึ้น

2.4 เทคนิคการ Modulated แบบ PCM

ในการส่งสัญญาณไฟฟ้าจากจุดหนึ่งไปยังอีกจุดหนึ่งไม่ว่าที่จะส่งสัญญาณแบบ Analog หรือ Digital สิ่งที่หลีกเลี่ยงไม่ได้คือ สิ่งที่รบกวน(Noise) และความเพี้ยน (Distortion) ซึ่งเกิดขึ้นตลอดเส้นทางของการส่งในการรักษาคุณภาพของสัญญาณที่รับได้ที่ปลายทางไว้ให้ดีที่สุดก็ควรจะให้สิ่งรบกวนและความเพี้ยนอยู่ในขีดจำกัดอันพึงยอมรับได้การส่งสัญญาณใดๆ เราสามารถส่ง Analog Transmission หรือ Digital Transmission ก็ได้แต่ปัจจุบันนิยมส่งสัญญาณ Analog ในลักษณะของ Digital Transmission ด้วยกรรมวิธีของ Time Division Multiplex-Pulse Code Modulation (TDM-PCM)มากขึ้น

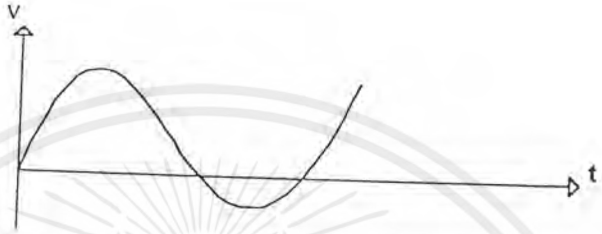
การรวมสัญญาณชนิดเดียวกันจำนวนหลายๆวงจรหรือหลายๆช่อง ให้สามารถส่งผ่านตัวกลางได้เราเรียกว่า Multiplexing Technique วิธี Multiplex ซึ่งนิยมใช้กันมาก่อน คือ Frequency Division Multiplex (FDM) กล่าวคือ เป็นการรวมสัญญาณชนิดเดียวกันหลายๆสัญญาณ โดยแต่ละสัญญาณจะถูกจัดให้อยู่ในช่วงความถี่ที่ต่างกัน หรือ เรียกว่าเป็นการรวมหลายๆสัญญาณด้วยวิธีแบ่งความถี่กัน แต่หลักการของ Pulse Code Modulation นั้น จะใช้วิธีการของ Time Division Multiplex(TDM) กล่าวคือเราจะทำการแบ่งเวลาออกเป็นช่องเวลา (Time Slot) และกำหนดช่องเวลาหนึ่งๆ สำหรับสัญญาณแต่ละวงจรที่ต้องการรวมกัน การรวมสัญญาณชนิดเดียวกันหลายวงจรหรือหลายๆ ช่องด้วยวิธีแบ่งเวลากันและจัดการส่งด้วยวิธีการของ Pulse Code Modulation เรียกกว่าระบบ Time Division Multiplex- Pulse Code Modulation หรือ (TDM-PCM) พร้อมกันโดยปราศจากการรบกวนซึ่งกันและกันนั้น

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.4.1 สัญญาณ Analog และการส่ง

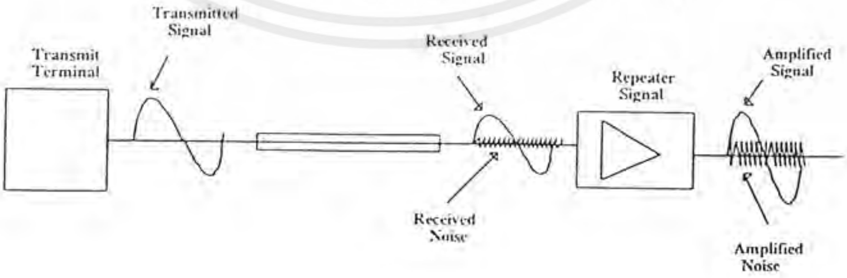
สัญญาณ Analog ในรูปของไฟฟ้า หมายถึงสัญญาณที่ Amplitude ของมันแปรผันต่อเนื่องกันกับเวลาดังแสดงตามรูปที่ 2.15

สัญญาณ Analog ที่นิยมใช้กันโดยทั่วไปในระบบรับ-ส่ง ได้แก่ สัญญาณโทรศัพท์ สัญญาณวิทยุกระจายเสียงสัญญาณโทรทัศน์ เป็นต้น เมื่อวิเคราะห์รูปคลื่นของสัญญาณ Analog อันหนึ่งจะพบว่าประกอบด้วย Sine Wave ที่ความถี่ต่าง ๆกัน



รูปที่ 2.15 สัญญาณ Analog

การส่งสัญญาณ Analog นั้นไม่มีความจำเป็นที่จะต้องส่งข่าวสารทาง Amplitude ต่อเนื่องกันไปตลอดเวลา การทดลองค้นคว้าพบว่าถ้าทำการสุ่มตัวอย่าง (Sampling)สัญญาณ Analog ด้วยช่วงเวลาที่สม่ำเสมอในอัตราอย่างน้อยเป็น 2 เท่าของความถี่สูงสุดของสัญญาณนั้น ๆ แล้วตัวอย่างที่สุ่มมาได้จะบรรจุข่าวสารของสัญญาณเดิมครบถ้วน เช่น สัญญาณ Analog ที่ใช้มีความถี่สูงสุด 2000 Hz ดังนั้น ถ้าทำการสุ่มตัวอย่างเป็นช่วงสม่ำเสมอในอัตราอย่างน้อย = 2 x 2000 = 4000 ตัวอย่างต่อวินาที แล้วตัวอย่างที่สุ่มมาได้จะบรรจุไว้ด้วย Amplitude ของสัญญาณเดิมครบถ้วน วิธีการนี้เราเรียกว่า ทฤษฎีการสุ่มตัวอย่าง (Sampling Theorem) และได้ถูกนำไปใช้ในวิธีการของ Pulse Code Modulation (PCM)



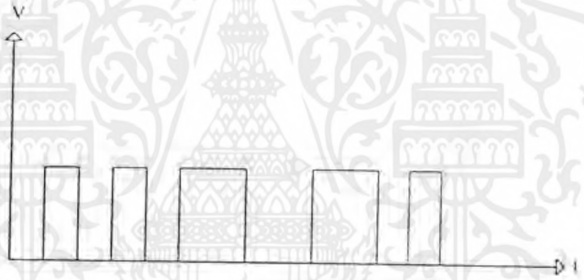
รูปที่ 2.16 ลักษณะการส่งสัญญาณ Analog

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การส่งสัญญาณ Analog สามารถกระทำได้ในรูปเดิมของมันสำหรับการส่งสัญญาณ Analog ในระยะทางไกลสิ่งที่หลีกเหลี่ยงไม่ได้คือ สัญญาณที่ส่งจะอ่อนกำลังลง หรือ ถูกลดทอน (Attenuation) และสิ่งรบกวน (Noise) ที่เสริมเข้ามาตลอดเส้นทางของการส่งเราจะต้องรักษาระดับกำลังของสัญญาณที่ส่งให้สูงกว่าระดับกำลังของสิ่งรบกวนมาก ซึ่งสามารถทำได้โดยการขยายกำลังของสัญญาณที่ส่ง เป็นระยะที่เหมาะทางการส่ง แต่อย่างไรก็ตามสิ่งรบกวนที่เกิดขึ้นที่ Input ของเครื่องขยายกำลัง ย่อมจะได้รับการขยายกำลังให้สูงขึ้นไปพร้อมกับตัวสัญญาณที่ส่งด้วย ดังแสดงในรูปที่ 2.16 นอกจากนี้การส่งสัญญาณ Analog ในระยะทางไกลๆ ผ่านตัวกลางและเครื่องขยายกำลังย่อมจะทำให้เกิดความเพี้ยน (Distortion) ขึ้นอีกด้วย ในการรักษาให้สิ่งรบกวนและความเพี้ยนของสัญญาณ Analog ที่รับได้ที่ปลายทางอยู่ในขอบเขตจำกัดอันพึงยอมให้ได้ จึงต้องมีการออกแบบที่ดีทั้งระบบและอุปกรณ์ที่ใช้

2.4.2 สัญญาณ Digital และการส่ง

สัญญาณ Digital หมายถึง สัญญาณที่ Amplitude ของมันถูกจัดระดับให้แปรผันไปกับเวลาตามค่าที่กำหนดให้ เช่น ถ้าแปรผันอยู่ระหว่าง 2 ค่าเรียกว่า Binary Signal ถ้าแปรผันอยู่ระหว่าง 3 ค่า เรียกว่า Ternary Signal เป็นต้น ดังแสดงในรูปที่ 2.17



รูปที่ 2.17 สัญญาณ Digital

สัญญาณ Digital ที่ใช้กันในงานด้านโทรคมนาคม โดยทั่วไปจะเป็นแบบ Binary Signal ทั้งสิ้น ซึ่งเป็นลักษณะของ Pulse ที่มีอยู่ 2 ค่า คือ 0 และ 1 โดยที่ 0 หมายถึงไม่มี Pulse และ 1 หมายถึงมี Pulse เราสามารถจัดกลุ่มของ Binary Signal ให้อยู่ในรูปของรหัส (Code) เพื่อใช้แทนค่าระดับของแรงดัน (Voltage)ในการกำหนดจำนวน Bit ของ Binary Code นั้นจะขึ้นอยู่กับจำนวนระดับของแรงดัน เช่น

1. Bit Code แทนได้ 2 ค่า คือ 0 และ 1
2. Bit Code แทนได้ 4 ค่า คือ 00,01,10 และ 11
3. Bit Code แทนได้ 8 ค่า คือ 000,001,010,011,100,101,110 และ 111

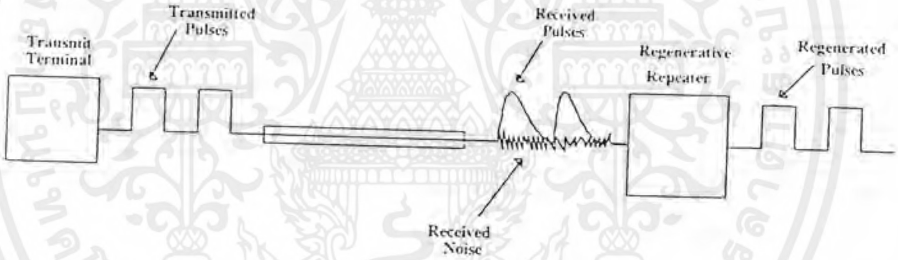
โดยทั่วไปแล้ว nBit Code สามารถแทนจำนวนระดับของแรงดันได้ 2^n ค่า เช่น 8 Bit Code สามารถแทนจำนวนระดับของแรงดันได้ $2^8 = 256$ ค่า เป็นต้น

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ในการส่งสัญญาณ Digital Amplitude ของ Binary Signal จะมีค่าได้เพียงค่าใดค่าหนึ่งใน 2 ค่าเท่านั้นซึ่งแทนด้วยเลข Binary ได้คือ1หรือ 0 การตรวจหาว่ามี Pulse (Logic 1)หรือไม่มี Pulse (Logic 0) ของ Binary Signal สามารถทำได้ภายใต้ภาวะที่มีสิ่งรบกวนและความเพี้ยนมากกว่า ที่จะพึงยอมให้เกิดขึ้นได้ ในการส่งสัญญาณ Analog การยอมให้มีสิ่งรบกวนและความเพี้ยนเกิดขึ้นได้มากกว่า จึงนับได้ว่าเป็นข้อได้เปรียบประการหนึ่งของวิธีการส่งสัญญาณ Digital ข้อได้เปรียบอีกประการหนึ่งก็คือการผลิตสัญญาณ Digital ขึ้นมาใหม่ที่ Regenerative Repeater โดยที่ Binary Signal มีค่าได้เพียงค่าใดค่าหนึ่งใน 2 ค่าคือมี Pulse และไม่มี Pulse เมื่อ Binary Signal ถูกส่งมาถึง Regenerative Repeater มันจะตรวจดูว่ามี Pulse หรือไม่มี Pulse ที่ Input ของมันถ้ามี Pulse มันก็จะผลิต Pulse ที่ปราศจากสิ่งรบกวนและความเพี้ยนขึ้นมาใหม่ ถ้าตรวจพบว่าไม่มี Pulse มันก็จะไม่ผลิต Pulseออกไปดังแสดงตามรูปที่2.18

จากที่ได้กล่าวมาแล้วจะเห็นว่า การส่งสัญญาณ Digital มีข้อได้เปรียบเหนือกว่า การส่งสัญญาณ Analog อยู่ 2 ประการคือ

- มีภูมิคุ้มกันต่อสิ่งรบกวนและความเพี้ยนได้มากกว่า
- สามารถผลิตสัญญาณDigital ที่ปราศจากสิ่งรบกวนและความเพี้ยนขึ้นมาใหม่ที่ Regenerative Repeater ได้



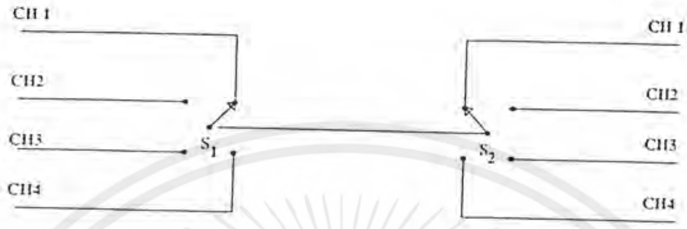
รูปที่ 2.18 ลักษณะการส่งสัญญาณ Digital

เนื่องจากการส่งสัญญาณ Digital มีข้อได้เปรียบเหนือกว่าการส่งสัญญาณ Analog ดังนั้นจึงมีแนวโน้มในอันที่จะส่งสัญญาณ Analog ในรูปของการส่งสัญญาณ Digital มากขึ้นตามลำดับ ด้วยวิธีการนี้จึงจำเป็นต้องแปลงสัญญาณ Analog ให้เป็นสัญญาณ Digital ที่ปลายทางด้านส่งและแปลงกลับเป็นสัญญาณ Analog ตามเดิมที่ปลายทางด้านรับ วิธีที่นิยมใช้มากที่สุดคือวิธีการของ Pulse Code Modulation(PCM)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.4.3 Pulse Modulation

Pulse Modulation เป็นวิธีการหนึ่งนำมาใช้ในการรวมสัญญาณชนิดเดียวกัน หลายๆวงจร หรือหลายๆช่องโดยวิธีแบ่งเวลากัน

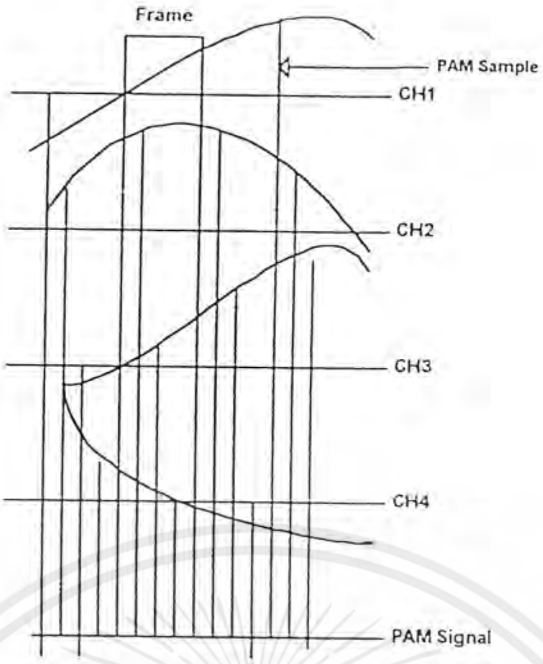


รูปที่ 2.19 หลักการเบื้องต้นของ Time Division Multiplex

รูปที่ 2.19 แสดงหลักการเบื้องต้นของ Time Division Multiplex (TDM) ซึ่งใช้ทางสาย 1 คู่ สำหรับส่งสัญญาณ 4 วงจรสลับกันไปช่วงเวลาที่ใช้ของแต่ละวงจรจะขึ้นอยู่กับอัตราเร็วในการหมุน (Switching Rate)ของ Sampling Switch (S1 และ S2)ส่วนมาก Sampling Switch จะเป็นแบบ Electronic Switchs

Pulse Modulation ใช้กันมีอยู่หลายแบบ เช่น Pulse Amplitude Modulation (PAM), Pulse Time Modulation (PTM) เป็นต้น แต่แบบที่ใช้กับระบบ PCM มี Amplitude แปรผันต่อเนื่องกับเวลาจะถูกสุ่มตัวอย่าง ทำให้ได้กระบวนของ Pulse (Pulse Train) ซึ่งเรียกว่า ตัวอย่าง (Samples) Amplitude ของแต่ละตัวอย่างที่สุ่มมาได้จะเป็นสัดส่วนโดยตรงกับ Amplitude ชั่วขณะของสัญญาณที่ต่อเนื่อง ณ เวลาที่ได้มีการสุ่มตัวอย่างนั้น

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.20 PAM Signal ของสัญญาณ 4 ช่อง

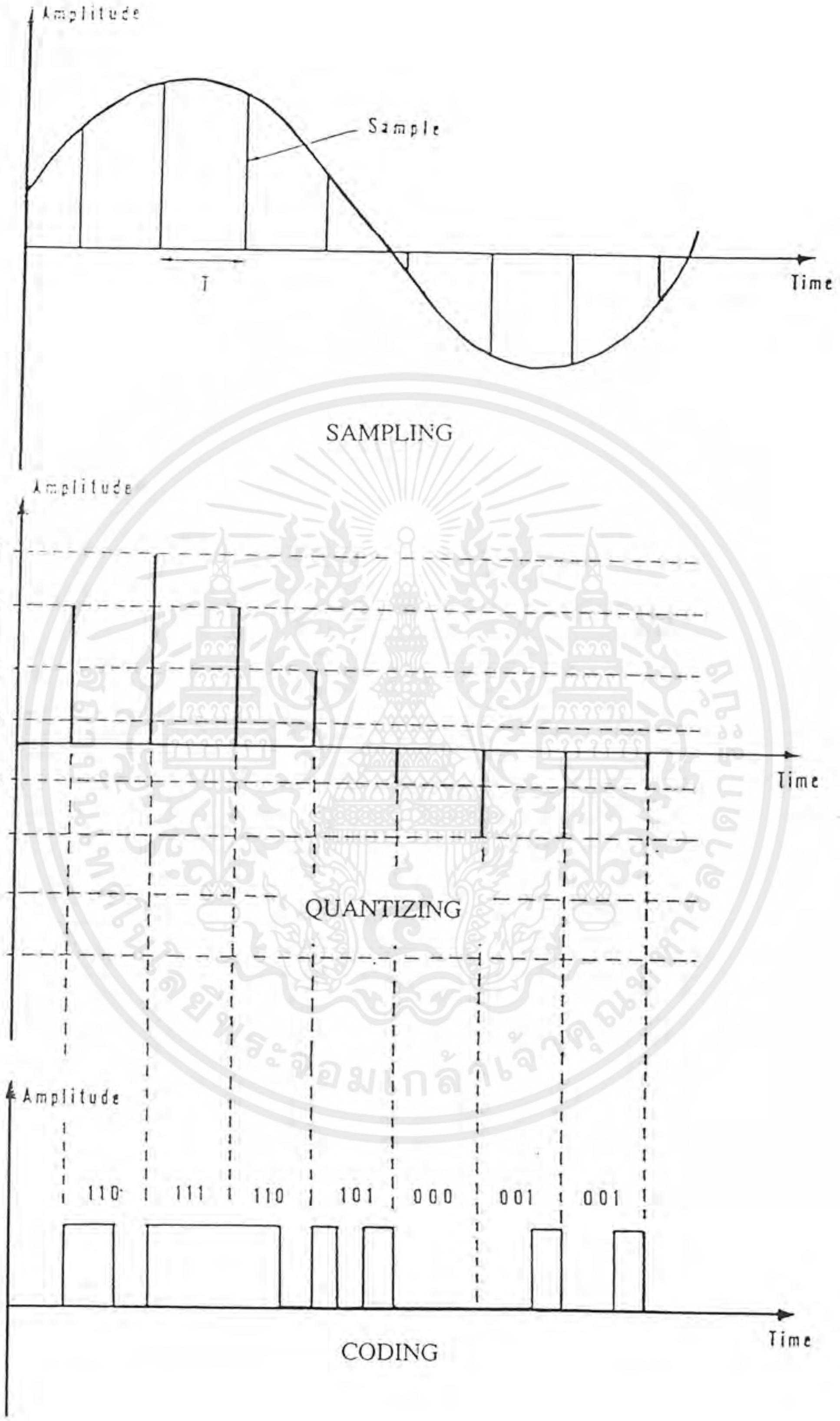
รูปที่ 2.20 แสดง PAM Signal ของสัญญาณ 4 ช่อง แต่ละตัวอย่างที่ทำการส่งมาได้ของสัญญาณแต่ละช่อง เรียกว่า PAM Sample และเมื่อนำ PAM Sample ทั้งหมดของทุกสัญญาณมารวมกันจะเรียกว่า PAM Signal ช่วงเวลาของการสุ่มตัวอย่างแต่ละครั้งในสัญญาณเดียวกันเรียกว่า Frame

หลักการขั้นต้นของระบบ Pulse Code Modulation คือการแปลงสัญญาณ Analog ให้เป็นสัญญาณ Digital ในการแปลงสัญญาณให้เป็นไปเป็นกระบวนของ Pulse ในรูปรหัส (Binary Code) แล้วส่งไปในตัวกลาง ที่ปลายทางด้านรับกระบวนของ Pulse ในรูปของรหัสดังกล่าวจะถูกแปลงกลับเป็นสัญญาณ Analog ดังเดิม การส่งกระบวน Pulse ในรูปของรหัสจะเป็นการส่งสัญญาณในลักษณะ Digital Transmission มีข้อได้เปรียบเหนือกว่าการส่งแบบ Analog Transmission ในเรื่องภูมิคุ้มกันต่อสิ่งรบกวนและความเพี้ยน ดังได้กล่าวมาแล้วการแปลงสัญญาณ Analog ให้เป็นสัญญาณ Digital ดังแสดงตามรูปที่ 2.21 จะประกอบด้วยหลักการที่สำคัญ 3 ประการ คือ

- การสุ่มตัวอย่าง (Sampling)
- การแบ่งย่าน Amuplitude ออกเป็นระดับต่าง ๆ (Quantizing)
- การเข้ารหัส (Coding)

ระบบรับส่ง PCM ประกอบด้วยเครื่องส่ง สายส่ง และ เครื่องรับ เพื่อทำให้เกิดการติดต่อ จึงต้องใช้ทั้งเครื่องส่ง (Transmitter) และเครื่องรับ(Receiver) ติดตั้งที่แต่ละแห่งของปลายทาง (Terminal) สายส่ง (Transmission Line)จะจัดให้อยู่ในระยะทางที่เหมาะสม Binary Code ในระบบ PCM สามารถทำการส่งได้อย่างรวดเร็วมากดังนั้นเพื่อเป็นการเพิ่มจำนวนสัญญาณที่ต้องการส่งหรือเพิ่มจำนวนช่องสื่อสารให้มากขึ้น จึงสามารถใช้ระบบ Time Division Multiplex (TDM) มาใช้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



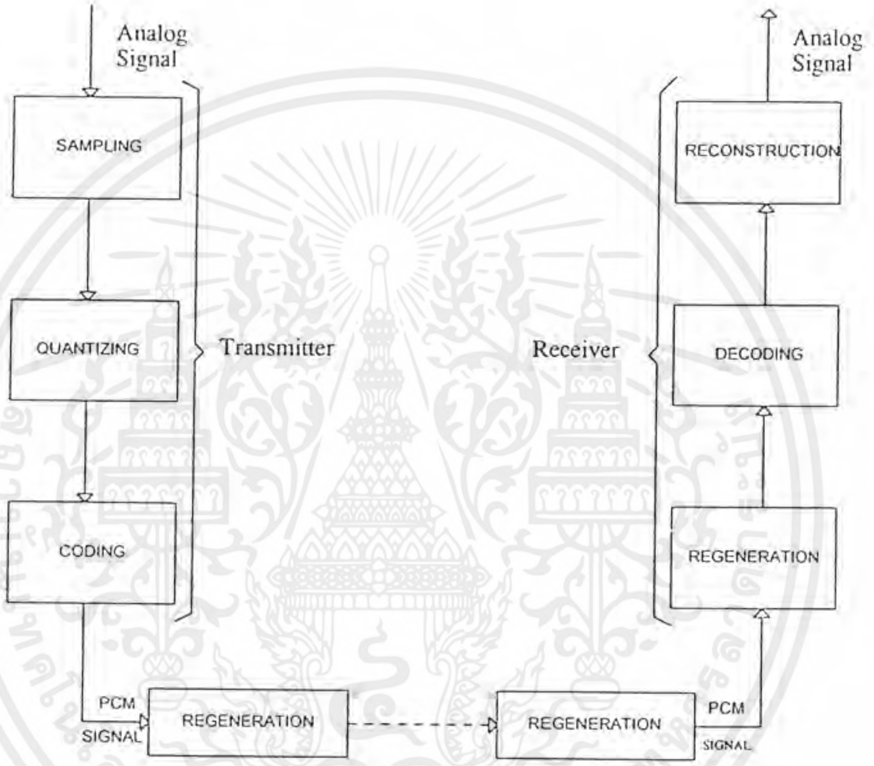
รูปที่ 2.21 การแปลงสัญญาณ Analog เป็นสัญญาณ Digital ที่ใช้ในระบบ PCM

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.4.4 หลักการของระบบ Pulse Code Modulation (PCM)

Pulse Code Modulation (PCM) เป็นวิธีการที่เปลี่ยนสัญญาณ Analog Speech Signal ให้เป็นสัญญาณ Digital ซึ่งแต่ละสัญญาณจะถูกกำหนดให้เป็นกระบวนของ Pulse ในรูปของ Binary code การเปลี่ยนสัญญาณจะต้องประกอบด้วยหลักการที่สำคัญ 3 ประการ เรียงตามลำดับคือ

- การสุ่มตัวอย่าง (Sampling)
- การแบ่งย่าน Amuplitude ออกเป็นระดับต่าง ๆ (Quantizing)



รูปที่ 2.22 Block Diagram ของระบบ PCM

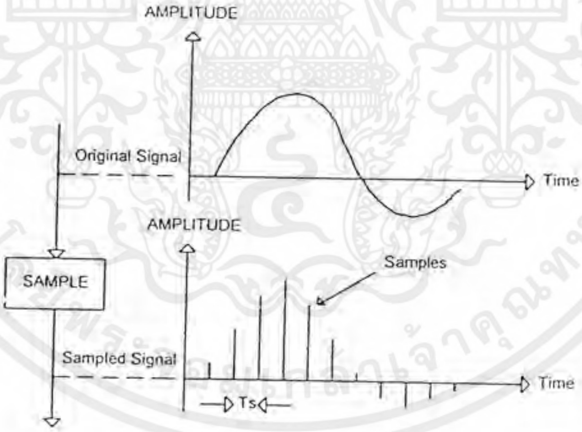
รูปที่ 2.22 แสดง Block Diagram ของระบบ PCM วิธีการขั้นแรก คือการสุ่มตัวอย่างสัญญาณแต่ละช่องด้วย Sampler จะทำให้ได้ Pulse ที่มี Amplitude เท่ากับของสัญญาณ ณ เวลาที่ทำการสุ่มนั้นๆ ซึ่งเรียกว่า PAM Signal จากนั้น PAM Signal จะถูกป้อนเข้าที่ Quantizer และในกรณีนี้ Amplitude ของแต่ละตัวอย่างที่สุ่มมาได้จะถูกจัดให้อยู่ในระดับที่ตรงกัน หรือใกล้เคียงกับระดับที่ได้กำหนดไว้ ขั้นต่อไปคือการให้ Binary Code กับตัวอย่างที่สุ่มมาได้โดยตัวเข้ารหัส (Coder) ซึ่ง Binary Code ที่ให้นี้จะตรงกับระดับของ Amplitude ที่ได้ถูกแบ่งไว้แล้วในตอนแรกกระบวน Pulse ในรูปของ Binary Code ของ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สัญญาณหลายๆช่อง ซึ่งเรียกว่า PCM Signal จะถูกส่งเข้าไปในสายส่ง(Transmission Line)หากสายส่งมีความยาวมากก็จะใช้ Regenerative Repeater ติดตั้งในระยะทางที่เหมาะสมเพื่อทำการผลิต PCM Signal ตัวเดิมที่ปราศจากสิ่งรบกวน และความเพี้ยนขึ้นมาใหม่ และที่ปลายทางด้านรับก็จะมี Regenerative Repeater ติดตั้งไว้ด้วยเช่นเดียวกัน Output ที่ได้จาก Regenerative Repeater นี้จะมีรูปร่างลักษณะเหมือนกับ PCM Signal ที่ส่งมาจากทางด้านส่งจากนั้น PCM Signal ดังกล่าวจะถูกส่งไปยังตัวถอดรหัส (Decoder)เพื่อทำการถอดรหัส PCM Signal ให้ได้เป็น PCM Signal แล้วส่งผ่าน Sampler ไปยังช่องสัญญาณที่ตรงกัน จึงทำให้ได้สุ่มตัวอย่างของสัญญาณแต่ละช่อง สุดท้ายจะเป็นการสร้าง Analog Speech Signal เดิมด้วย Low Pass Filter เรียกว่า Reconstruction

2.4.5 การสุ่มตัวอย่าง (Sampling)

การสุ่มตัวอย่าง (Sampling) หมายถึง การเลือกเอาค่า Amplitude ที่จุดใด ๆ ของสัญญาณ Analog ที่มีช่วงเวลาเท่ากัน ตัวอย่างที่สุ่มมาได้คือ Pulse Train หรือเรียกว่า PAM Sample จำนวนสุ่มตัวอย่างต่อวินาทีคือ Sampling Rate จาก Sampling Theorem ที่กล่าวไว้ว่า "ถ้าได้ทำการสุ่มตัวอย่าง(Sampling) สัญญาณ Analog ด้วยช่วงเวลาที่สม่ำเสมอ ในอัตราอย่างน้อยเป็น 2 เท่า ของความถี่สูงสุดของสัญญาณนั้น ๆ แล้ว ตัวอย่างที่สุ่มมาได้จะบรรจุข่าวสารของสัญญาณเดิมครบถ้วน" ในระบบ PCM สัญญาณที่ถูกสุ่มตัวอย่างด้วย Sampling Rate เรียกว่า Sampling Interval ตามรูปที่ 2.23



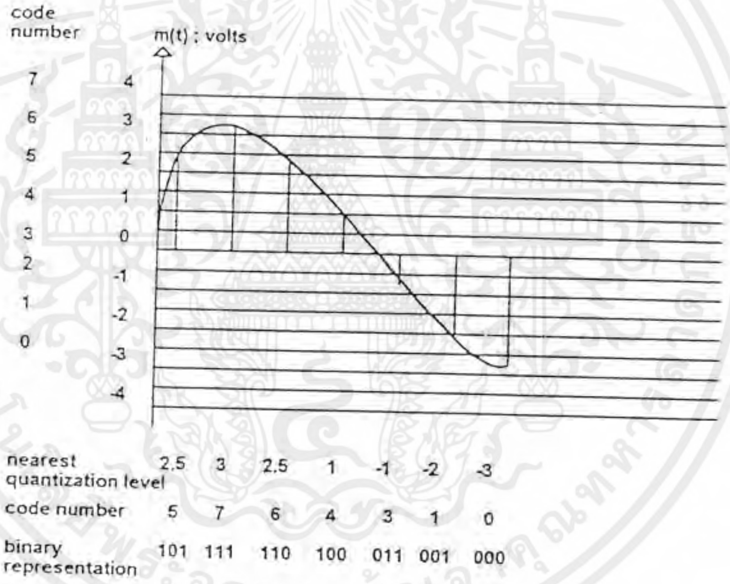
รูปที่ 2.23 การสุ่มตัวอย่าง(Sampling)

วิธีการสุ่มตัวอย่างในระบบ Time Division Multiplex (TDM) นั้นกระทำเป็นจำนวนหลายช่องสัญญาณเรียงกันตามลำดับ โดยใช้ Electronic Switch หรือ Gate จากผลการสุ่มตัวอย่างจำนวนหลายช่องสัญญาณดังกล่าวจึงทำให้ได้ PAM Signal ที่มีขนาดของ Amplitude ต่างๆ กันของแต่ละช่องเรียงกันตามลำดับ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.4.6 การแบ่งย่าน Amplitude ออกเป็นระดับต่างๆ (Quantizing)

การสุ่มตัวอย่างสัญญาณในอัตราที่สม่ำเสมอนั้น จะทำให้ได้ PAM Signal ที่ Amplitude ของมันเป็นสัดส่วนกับระดับของสัญญาณ ณ เวลาที่ได้ทำการสุ่มนั้น Amplitude ดังกล่าวอาจมีค่าได้ มากมายไม่จำกัดการให้ Binary Code กับสุ่มตัวอย่างที่มี Amplitude จำนวนมากได้ทุกตัวนั้น ก็จำเป็นที่จะต้องใช้จำนวน Bit ในกลุ่มรหัส (Code Word) มากตามไปด้วย ทำให้ไม่เหมาะสมในทางปฏิบัติ อย่างไรก็ดีการแบ่งย่าน Amplitude ออกเป็นระดับต่างๆ ด้วยจำนวนที่จำกัดเราก็สามารถที่จะแทน Amplitude ค่าต่างๆ ของสัญญาณที่สุ่มมาได้ด้วยจำนวนจำกัดของระดับที่ได้แบ่งไว้ ซึ่งอาจจะมีความคลาดเคลื่อนได้บ้างการให้ Binary Code ก็กำหนดเอาค่าที่ตรงกันหรือใกล้เคียงที่สุดกับระดับที่ได้แบ่งไว้ กรรมวิธีในการแบ่งย่าน Amplitude ของตัวอย่างที่สุ่มมาได้ออกเป็นระดับต่างๆ ที่มีจำนวนจำกัดและกำหนดระดับที่แน่นอนให้กับ PAM Signal นั้นเราเรียกว่า Quantizing โดยเรียกระดับหนึ่งๆ ที่แบ่งไว้ว่า Quantizing Level และจะเรียกช่วงห่างระหว่าง Quantizing Level ว่า Quantizing Interval หรือ Quantum Step ดังแสดงตามรูปที่ 2.24



รูปที่ 2.24 การแบ่งย่าน Amplitude ออกเป็นระดับต่างๆ (Quantizing)

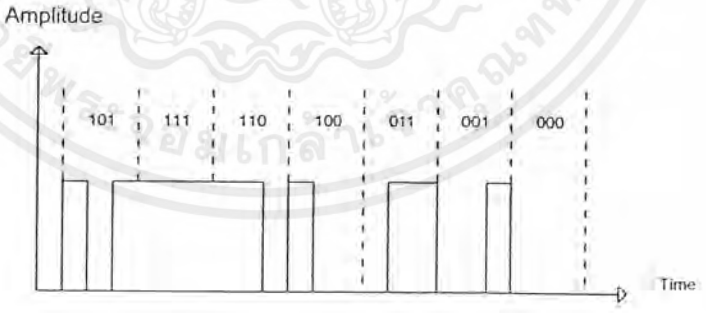
จากรูปที่ 2.24 สัญญาณที่จะทำการสุ่มตัวอย่างมีย่าน Amplitude อยู่ระหว่าง +4 โวลท์และ –4 โวลท์ โดยสมมติว่าเราแบ่งย่าน Amplitude นี้ออกเป็น 8 ระดับคือที่ –3.5, 2.5, -1.5, -0.5, 1.5, 2.5 และ 3.5 โวลท์ (Quantizing Interval = 1 โวลท์) การสุ่มตัวอย่างครั้งแรกตรงกับ Amplitude 1.3 โวลท์ เรากำหนดให้อยู่ใน Quantizing Level ที่ 1.5 โวลท์ เพราะเป็นระดับที่ใกล้เคียงที่สุด การสุ่มตัวอย่างครั้งที่สองตรงกับ Amplitude 3.6 โวลท์ เรากำหนดให้อยู่ใน Quantizing Level ที่ 3.5 โวลท์ (ระดับที่ใกล้เคียงที่สุด) การสุ่มตัวอย่างครั้งต่อๆไปก็เป็นเช่นเดียวกัน จึงเห็นได้ว่า Quantizing Level เรากำหนดให้นั้นเป็นเพียงค่าใกล้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เคียงกับ ค่าของ Amplitude จริงที่ได้มาจากการสุ่มตัวอย่างความคลาดเคลื่อนจากการ Quantizing ย่อมจะต้องเกิดขึ้นบ้าง เช่น จากการสุ่มตัวอย่างในครั้งแรก Quantizing Level ที่กำหนดให้จะคลาดเคลื่อนไป 0.2 โวลท์ เป็นต้น ความคลาดเคลื่อนนี้เกิดขึ้นในลักษณะที่ไม่แน่นอน(Random) และเราเรียกความคลาดเคลื่อนนี้ว่า Quantizing Error หรือ Quantizing Noise ซึ่งเป็นแหล่งกำเนิดที่สำคัญของความเพี้ยนในขั้นตอน Quantizing ถ้าเพิ่มจำนวนของ Quantizing Level ให้มากขึ้นก็จะทำให้ Quantizing Noise มีค่าน้อยลงแต่ในการเพิ่มจำนวน Quantizing Level ให้มากขึ้น จะทำให้ Binary Code มีจำนวน Bit มากขึ้นตามไปด้วยและเป็นผลทำให้การส่งสัญญาณ Binary Code ต้องการ Band width กว้างมากขึ้นโดยทั่วไปแล้วเราจะลองกำหนดให้เป็นจำนวน Quantizing Level และจำนวน Bit ในกลุ่มรหัสหนึ่ง โดยมีวัตถุประสงค์เพื่อให้การส่งสัญญาณ Binary Code ได้ผลเป็นที่น่าพอใจโดยใช้ Band width น้อยที่สุดเป็นหลัก

2.4.7 การเข้ารหัส(Coding)

เมื่อได้ทำการสุ่มตัวอย่างสัญญาณ Analog เรียบร้อยแล้วเราก็จะได้ PAM Signal ที่มีขนาดของ Amplitude ต่างๆกันส่งเข้าไปยัง Quantizer Level อันใดซึ่งตรงกันหรือใกล้เคียงที่สุดกับระดับของ Amplitude ที่สุ่มมาได้ตัวเข้ารหัส(Coder)ก็จะผลิต Binary Code Signal ตรงตาม Quantizer Level นั้นๆ แล้วจึงส่งออกไปในสายส่ง(Transmission Line) รูปที่ 2.24 สมมติว่าเราได้กำหนดค่าของรหัส (Code Number)ที่ใช้กับ Quantizer Level ที่ระดับต่างๆ คือ –3.5, -2.5, -1.5, …,3.5 โวลท์ เป็น 0, 1, 2, …7 ตามลำดับ แล้วตัวอย่างที่สุ่มมาได้อันแรก คือ 1.3 โวลท์ Quantizer Level ที่ใกล้เคียงที่สุดของมันคือ 1.5 โวลท์ ซึ่งตรงกับค่าของรหัส 5 ดังนั้นรหัสที่ส่งออกไปเป็น Code Word ขนาด 3 Bits คือ 101 ตัวอย่างที่สุ่มมาได้อันที่สองคือ 3.6 โวลท์ Quantizer Level ที่ใกล้เคียงที่สุดคือ 3.5 โวลท์ ของรหัส 7 ดังนั้นรหัสที่ส่งออกไปเป็น Code Word คือ 111 เช่นนี้เป็นต้น ตามรูปที่ 2.25



รูปที่ 2.25 การเข้ารหัส Coding

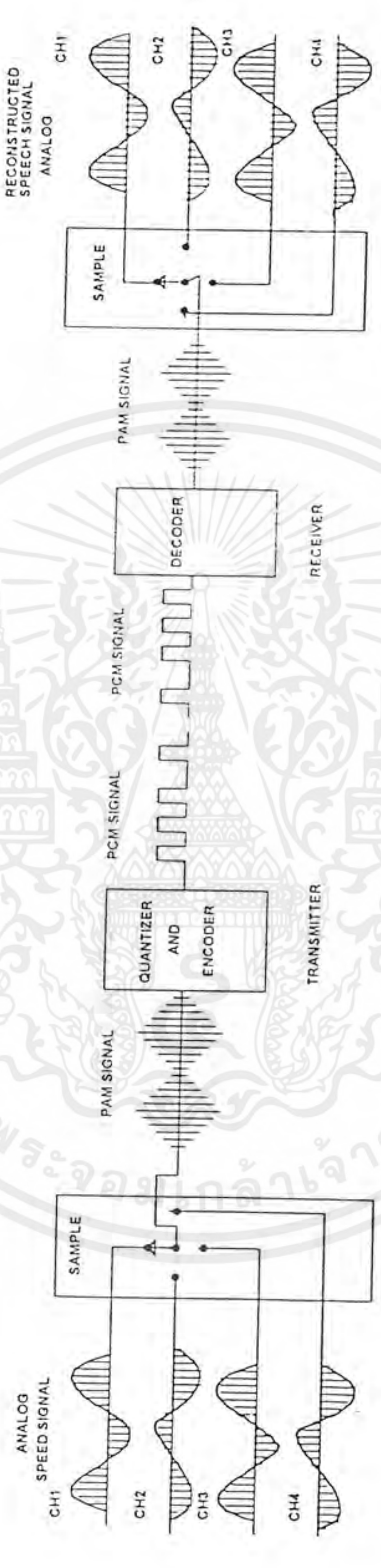
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ระบบ PCM จะมีจำนวน Quantizer Level เป็น 256 Levels จึงทำให้แต่ละตัวอย่างที่สุ่มมาได้ถูกเข้ารหัสเป็น Code Group หรือ PCM Word จำนวน 8 Bits และ Sampling Rate ที่ใช้จะเป็น 8000 Samples/Second ดังนั้น 1 Pulse Code Modulated Speech Signal จะผลิตสัญญาณจำนวน 8x8000=64k Bits/Second ซึ่งเป็น Binary Code

การสุ่มตัวอย่างในระบบ PCM จะเริ่มสุ่มตั้งแต่ Channel แรกไปจนถึง Channel สุดท้ายเรียงตามลำดับและกลับมาทำการสุ่มตัวอย่างที่ Channel แรกใหม่อีกครั้งหนึ่งและเป็นเช่นนี้เรื่อยๆไป ตัวอย่างที่สุ่มมาได้แต่ละตัวอย่างจะถูกส่งผ่าน Quantizer และนำไปเข้ารหัส

ดังที่กล่าวมาแล้วในรูปที่ 2.26 แสดงหลักการของระบบ PCM จำนวน 4 ช่องทางด้านส่ง (Transmitter) สัญญาณ Analog Speech Signal ทั้ง 4ช่องถูกส่งผ่านไปยัง Sampler ทีละช่องเรียงกันตามลำดับจึงทำให้ได้ PAM Signals จากนั้น PAM Signal จะถูกป้อนเข้าไปยัง Quantizer และ Coder ซึ่งทำให้ได้ PCM Signals ที่เป็น Binary Code ของสัญญาณทั้ง 4 ช่องและส่งออกไปในสายส่งต่อไป ส่วนที่ปลายทางด้านรับ(Receiver) เมื่อได้รับ PCM Signals แล้วก็จะถอดรหัสด้วยตัวถอดรหัส(Decoder)ทำให้ได้ PAM Signals และเมื่อผ่าน Sampler ซึ่ง Synchronized กับ Sampler ทางด้านส่ง PAM Signals จึงถูกแยกออกเป็นสุ่มตัวอย่างของสัญญาณแต่ละช่องและทำการสร้าง(Reconstruction) Analog Speech Signal อันเดิมด้วย Low Pass Filter

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

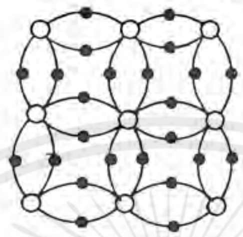


รูปที่ 2.26 หลักการของระบบ PCM จำนวน 4 ช่อง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

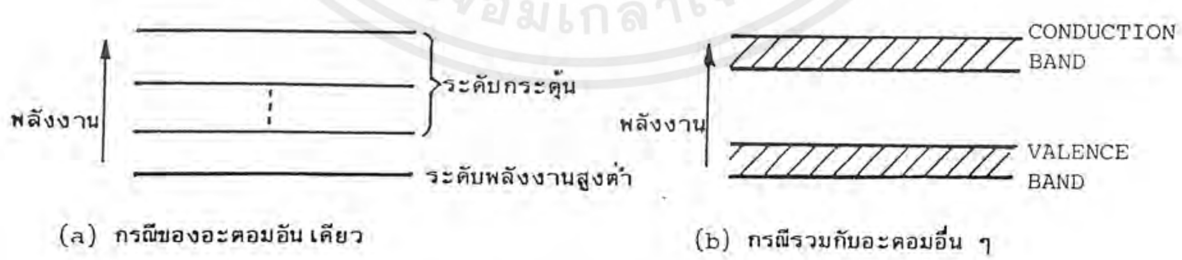
2.5 โครงสร้างและการทำงานของการปล่อยแสงของสารกึ่งตัวนำ

โครงสร้างการปล่อยแสงกึ่งตัวนำ(Semiconductor)ซึ่งเป็นสารที่มีคุณสมบัติต่างกับโลหะเช่น ทองแดงและอื่นๆ กล่าวคือมันเป็นสารที่ไม่ค่อยจะยอมให้กระแสผ่านตัวมันได้มากนัก ที่ใช้ในการสื่อสารทั่วไป



รูปที่ 2.27 ตัวอย่างการจัดอิเล็กตรอนและนิวเคลียสในสารกึ่งตัวนำ

สำหรับสารกึ่งตัวนำ จะมีอะตอมจำนวนมากจัดเรียงกันอย่างมีระเบียบ ดังรูปที่ 2.27 ด้วยเหตุนี้อิเล็กตรอนของแต่ละอะตอมจะทำหน้าที่เชื่อมโยงกับอะตอมข้างเคียงและมีตำแหน่งอยู่ระหว่างอะตอมทั้งสอง นั่นคือ มันจะรับผลการดึงดูด จากอะตอมข้างเคียง สภาพพลังงานที่อะตอมได้รับนั้นถ้าหากจะกล่าวในทางควอนตัมไดนามิก(Quantum Dynamic)แล้ว จะแตกต่างกับกรณีที่มีอะตอมเพียงอันเดียว กล่าวคือในกรณีนี้มันจะแบ่งออกเป็น 2 สภาพ สภาพหนึ่งเป็นระดับพลังงานสูง เรียกว่า คอนดัคชั่นแบนด์(Conduction Band)และอีกสภาพหนึ่งเป็นระดับ พลังงานต่ำเรียกว่า วาเลนซ์แบนด์(Valence Band) และสภาพทั้งสองนี้ต่างก็มีความกว้างของพลังงานอยู่ ดังแสดงในรูปที่ 2.28

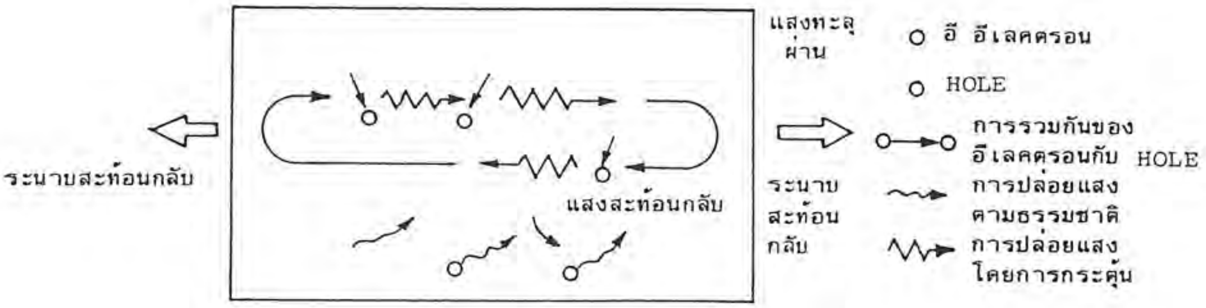


รูปที่ 2.28 ระดับพลังงานในสารกึ่งตัวนำ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

โดยปกติแล้วอิเล็กตรอนจำนวนมากจะรวมตัวกันอยู่ที่วาเลนซ์แบนด์ ซึ่งมีระดับพลังงานต่ำและจะมีอิเล็กตรอนจำนวนเล็กน้อยอยู่ ในคอนดัคชั่นแบนด์ซึ่งเป็นระดับพลังงานสูงตอนแรกนี้จะทำการอธิบายเกี่ยวกับโครงสร้างและการทำงานของเลเซอร์ที่สร้างจากสารกึ่งตัวนำ(Semiconductor Laser Diode เรียกชื่อย่อว่า LD)ซึ่งเป็นสารกึ่งตัวนำที่มีระดับพลังงานตามที่กล่าวข้างบน และใช้วิธีการกระตุ้นให้ปล่อยแสงออกมา(Stimulated Emission)สมมติว่าถ้าจำนวนอิเล็กตรอนในสารกึ่งตัวนำมีค่าเป็น N และในจำนวน N นี้แบ่งไปอยู่ในวาเลนซ์แบนด์เสีย n1 ตัวและไปอยู่ในคอนดัคชั่นแบนด์(Conduction Band) n2 ตัวในสภาพปกตินั้น n1 จะมากกว่า n2 และในสภาพเช่นนี้ ถ้าหากเราให้แสงจากภายนอกแก่มันจะทำให้เกิดการกระตุ้นให้ปล่อยแสงและดูดพลังงาน(Absorption) ซึ่งขนาดของมันจะเป็นสัดส่วนกับอัตราส่วนของ n2 และ n1 แต่โดยทั่วไปแล้วการดูดพลังงานจะมี ขนาดมากกว่าทำให้แสงที่ป้อนเข้ามามีขนาดลดลงไป แต่ทว่าถ้าหากมีวิธีอย่างใดอย่างหนึ่งที่ทำให้ n2 > n1 เรียกว่า เกิดอินเวอร์สดิสทริบิวชั่น (Inversion Distribution)ได้แล้วก็จะทำให้การกระตุ้นให้ปล่อยแสงออกมามีค่ามากกว่าดูดพลังงาน ในกรณีนี้จะทำให้ความเข้มของแสงที่ป้อนเข้าจะเพิ่มมากขึ้นและเกิดปฏิกิริยาการขยายแสง(Light Amplification Action)เราอาจจะไม่ค่อยคุ้นกับคำว่า อินเวอร์สชั่นดิสทริบิวชั่น แต่ว่ามันสามารถทำให้เกิดขึ้นมาได้จริงๆ ด้วยการให้พลังงานจากภายนอกได้เคยยกตัวอย่างการกระตุ้นอิเล็กตรอนด้วยการดูดพลังงาน แต่สำหรับสารกึ่งตัวนำนั้นปกติจะใช้วิธีที่เรียกว่าฉีด(Injection) อิเล็กตรอนโดยการทำให้กระแสไหลก็จะเกิดปฏิกิริยาการขยายทางกระแสได้ ดังนั้นในกรณีของสารกึ่งตัวนำพลังงานภายนอกที่เป็นตัวทำให้เกิดการกระตุ้นให้ปล่อยแสงออกมานั้นคือ อิเล็กตรอนที่ฉีดเข้าไปนั่นเอง เมื่อสามารถทำให้เกิดการขยายดังกล่าวข้างบนได้ และเช่นเดียวกันกับกรณีของวงจรไฟฟ้ากล่าวคือ โดยการทำให้การขยายกลับไปมาจะสามารถทำให้แสงเกิดการออสซิเลท(Oscillation)ได้ การขยายกลับไปมานั้นเป็นการทำให้เกิดคุณสมบัติพิเศษของแสงขึ้น หลักการขยายไปมาทำได้โดยใช้ระนาบสะท้อนกลับ(Reflection Plane)2 อันวางหันหน้าเข้าหากัน ดังแสดงในรูปที่ 2.29 นั่นคือ แสงที่เกิดจากการกระตุ้นให้ปล่อยแสงนี้จะถูกขยายไปพร้อมกับเคลื่อนที่ไปด้วย และเมื่อไปกระทบกับระนาบสะท้อนกลับแล้ว ส่วนหนึ่งของมันจะทะลุผ่านออกไปข้างนอกและส่วนที่เหลือจะสะท้อนไปในทางตรงกันข้ามอีกในระหว่างที่ทำให้เกิดการป้อนกลับ(Feed back ซึ่งเป็นการนำเอาส่วนของ Output ของการขยายกลับไปป้อนเข้าทาง Input อีก)ซ้ำกลับไปมาอยู่อย่างนี้ จะถึงจุดหนึ่งที่พลังงานที่ถูกขยายโดยการกระตุ้นให้ปล่อยแสงมีค่ามากกว่าพลังงานที่สูญเสียไปเนื่องจากการดูดของอิเล็กตรอนที่อยู่ในวาเลนซ์แบนด์และทะลุออกไปจากระนาบสะท้อนกลับ ณ จุดนี้การออสซิเลทจะเริ่มขึ้นการทำให้เกิดแสงเช่นนี้เรียกว่า (Laser : Light Amplification by Stimulated Emission of Radiation)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



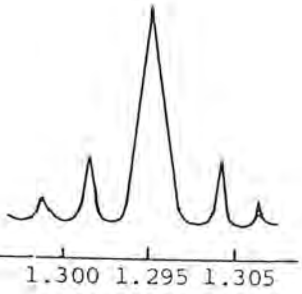
รูปที่ 2.29 หลักการของการออสซิลเลทของแสง

ในการที่ทำให้ออสซิลเลทเริ่มขึ้นได้นั้นต้องใช้พลังงานจากภายนอก(การฉีดกระแสเข้าไป)ที่มีจำนวนมากกว่าค่าหนึ่งขึ้นไปและจำนวนกระแสที่ฉีดเข้าไปตอนทำให้ออสซิลเลทเริ่มขึ้นนั้น เรียกว่า Threshold Value Current ความยาวคลื่นแสงของ LD ความยาวคลื่นแสงนั้น กำหนดจากผลต่างของพลังงานในคอนดัคชั่นแบนด์และในวาเลนซ์แบนด์ แต่เนื่องจากว่าในระดับพลังงานทั้งสองต่างก็มีความกว้างของพลังงานอยู่ ทำให้ความยาวคลื่นแสงก็มีค่าอยู่ในช่วงหนึ่งด้วยเช่นกันแต่เนื่องจากในขั้นตอนของการปล่อยแสงตามที่ได้กล่าวมาแล้วว่าทำให้เกิดเรโซแนนซ์(Resonance)ระหว่างระนาบสะท้อนกลับ นั่นคือสามารถทำให้เกิดความยาวคลื่นแสงของสแตนดิ้งเวฟ(Standing Wave)ภายในเรโซเนเตอร์(Resonator)ดังรูปที่ 2.30

รูปที่ 2.30 การเกิด Standing Wave ของแสง

และเงื่อนไขที่ทำให้เกิดเรโซแนนซ์นี้ก็คือ ความยาวของเรโซเนเตอร์(ระยะห่างของระนาบสะท้อนกลับ)ต้องมีค่าเป็นจำนวนเท่าที่เป็นเลขจำนวนเต็มหน่วยของครึ่งหนึ่งของความยาวแสง นั่นคือเท่ากับ n(C/2) โดยปกติแล้วความยาวของเรโซเนเตอร์จะมากกว่าความยาวแสงมาก ดังนั้นแสงที่ได้จาก LD จะมีความยาวแสงกระจายออกเป็นจำนวนมาก ดังแสดงในรูปที่ 2.31

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

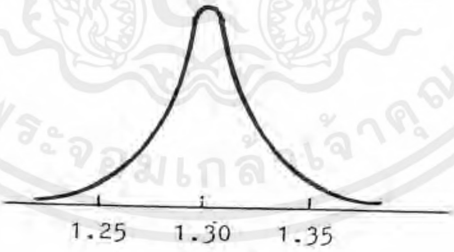


รูปที่ 2.31 ความยาวคลื่นต่าง ๆของเลเซอร์

อนึ่ง เกี่ยวกับคุณสมบัติของเลเซอร์ไดโอดนั้น ต้องการให้มีการขยายกว้างออกของความยาวคลื่น (Wave Length Dispersion) น้อยต้องทำให้จำนวนของความยาวคลื่นแสงมีน้อยมากเท่าไหร่ยิ่งดี ด้วยเหตุนี้ได้มีการพัฒนาทำให้ความยาวคลื่นแสงมีค่าเดียวโดยการสร้างDistributed Feedback Semiconductor Laser เรียกย่อว่า DFB Laser

จากที่กล่าวแล้วข้างต้นจะเห็นว่าเลเซอร์ออสซิลเลชั่น(Laser Oscillation)นั้น จะเกิดขึ้นได้จะต้องมีครบ 3 อย่างคือ

1. Inversion Distribution
2. Stimulated Emission
3. Resonance



รูปที่ 2.32 ช่วงความยาวคลื่นแสงของแอลอีดี

ส่วนทางด้านไดโอดปล่อยแสง (LED: Light Emitting Diode)นั้นต่างกับเลเซอร์ไดโอด(LD)คือ แทนที่จะใช้ปรากฏการณ์การกระตุ้นให้ปล่อยแสงแต่จะใช้ปรากฏการณ์ การปล่อยแสงตามธรรมชาติ (Natural Emission)แทนดังนั้นแสงที่ได้ออกมาจะมีช่วงความยาวคลื่นแสงกว้างมากทั้งนี้เพราะกำหนดจากความสัมพันธ์ของพลังงานของคอนดัคชั่นแบนด์กับวาเลนซ์แบนด์ที่มีความกว้างของพลังงานอยู่ในตัว

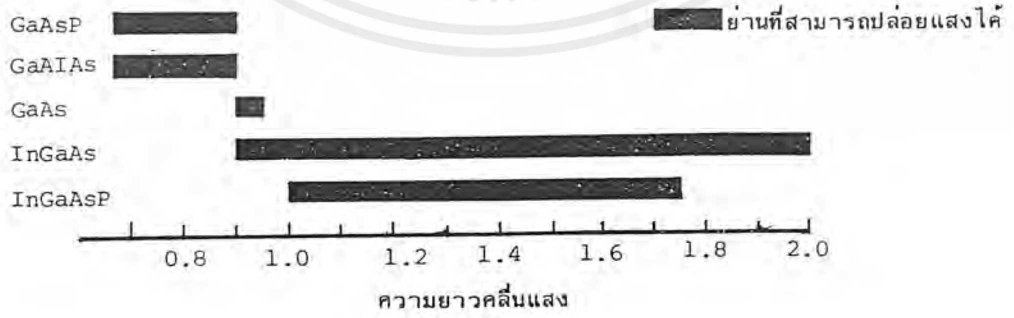
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

และช่วงความยาวคลื่นแสงนี้เรียกว่า สเปคตรัมวิดธ์(Spectrum Width)และเอาท์พุตเพาเวอร์ของแอลอีดี (LED) เมื่อเทียบกับแอลอีดีแล้วมีค่าน้อยกว่าแต่มีข้อดีคือ โครงสร้างของแอลอีดีไม่ยุ่งยากทำให้สร้างได้ง่ายและมีราคาถูกกว่ามากช่วงความยาวคลื่นแสงของแอลอีดี แสดงดังรูปที่ 2.39

2.6 สารที่ใช้ในการสร้างและโครงสร้างของอุปกรณ์ปล่อยแสง

2.6.1 สารที่ใช้ในการสร้างอุปกรณ์ปล่อยแสง

ตามที่ได้เคยกล่าวมาแล้วว่าปรากฏการณ์ปล่อยแสงนั้นไม่ได้เกิดขึ้นกับสารกึ่งตัวนำทุกชนิดทั้งนี้ก็เพราะว่ามีสารพวกที่เกิดปรากฏการณ์ปล่อยแสงง่าย กับพวกที่เกิดการปล่อยแสงยากเนื่องจากการปล่อยแสงนั้นเกิดจากการที่อิเล็กตรอนถ่ายเท(Transfer) จากคอนดัคชั่นแบนด์ไปยังวาเลนซ์แบนด์ จึงแบ่งสารออกเป็นพวกที่อิเล็กตรอนถ่ายเทได้ง่าย กับพวกที่อิเล็กตรอนถ่ายเทได้ยาก พวกที่อิเล็กตรอนถ่ายเทได้ง่าย (Direct Transfer Semiconductor)พวกที่อิเล็กตรอนถ่ายเทได้ยาก (Indirect Transfer Semiconductor) ตัวอย่างของสารพวกที่อิเล็กตรอนถ่ายเทได้ง่าย ได้แก่สารประกอบของอินเดียม(Indium(In)),แกลเลียม (Gallium(Ga)),อาเซไนต์(Asenide(As))และฟอสฟอรัส คือ InGaAsP สารประกอบของแกลเลียม, อลูมิเนียม(Aluminium(Al)),อาเซไนด์ คือ GaAlAs เป็นต้น อนึ่งสารพวกซิลิกอน (Silicon(Si)),เยอรมันเนียม(Germanium(Ge)) ที่ใช้ทำทรานซิสเตอร์ไอซีนั้น ส่วนใหญ่เป็นพวกอิเล็กตรอนที่ถ่ายเทได้ยากปล่อยแสงออกมายากเนื่องจากความยาวคลื่นแสงที่ปล่อยออกมานั้นเป็นสัดส่วนกับผลต่างของพลังงานของคอนดัคชั่นแบนด์ กับวาเลนซ์แบนด์ แต่ทว่าผลต่างของพลังงานนี้ จะมีค่าแตกต่างกันตามส่วนประกอบสารกึ่งตัวนำ จึงทำให้มีค่าความยาวคลื่นแสงค่าต่างๆความสัมพันธ์ระหว่างความยาวคลื่น กับสารประกอบของอุปกรณ์ปล่อยแสง แสดงดังรูปที่ 2.33 และจากการพิจารณาถึงคุณสมบัติต่างๆของสารในทางปฏิบัตินั้น สำหรับย่านความยาวคลื่นสั้น 0.85Um นิยมใช้แกลเลียมอลูมิเนียมอาเซไนด์(GaAlAs)และผ่านความยาวคลื่นยาว 1.3 Um นิยมใช้ อินเดียมแกลเลียมอาเซไนด์, ฟอสฟอรัส(InGaAsP) ในระบบการสื่อสารด้วยเส้นใยแสง การเลือกใช้ความยาวคลื่นแสงเป็นองค์ประกอบที่สำคัญมากจึงมีผลจำกัดต่อการเลือกใช้สารประกอบซึ่งได้กล่าวถึงรายละเอียดภายหลัง



รูปที่ 2.33 ความยาวคลื่นแสงที่ปล่อยออกมาของสารประกอบกึ่งตัวนำแต่ละชนิด

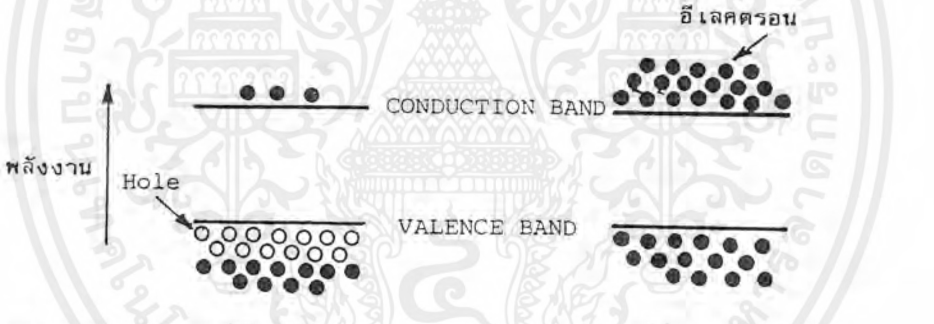
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.6.2 โครงสร้างของอุปกรณ์ปล่อยแสง

a) พี-เอ็นจังชั่น (P-N JUNCTION)

เกี่ยวกับโครงสร้างของอุปกรณ์ปล่อยแสงจากทางด้านการใช้งาน เพื่อให้ได้กำลังการปล่อยแสงที่มีประสิทธิภาพสูงนั้น การนำสารกึ่งตัวนำ P และ N มาเชื่อมต่อกัน (Junction) นั้นเป็นสิ่งสำคัญยิ่งดังนั้นเพื่อเป็นการทำให้เข้าใจขั้นตอนการปล่อยแสง อันเนื่องมาจากโครงสร้างของอุปกรณ์ปล่อยแสงที่เป็นสารกึ่งตัวนำนั้นในที่นี้จะอธิบายถึงคุณสมบัติของสารกึ่งตัวนำแบบพีไทพ์ (P-type) และแบบเอ็นไทพ์ (N-type) ก่อน

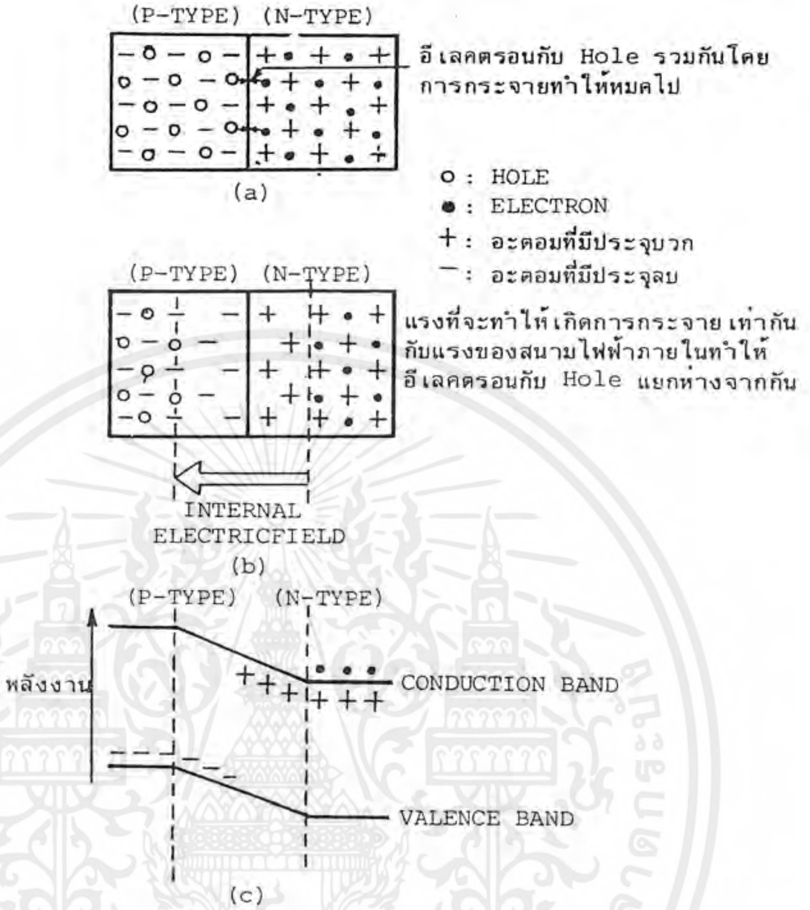
สำหรับสารกึ่งตัวนำ ปกติจำนวนของอิเล็กตรอน(หรือจำนวน Hole)ที่มีอยู่นั้นจะมีค่าที่คงที่ตามชนิดของอะตอมและอิเล็กตรอนส่วนใหญ่จะรวมตัวกันอยู่ในวาเลนซ์แบนด์ ดังได้เคยกล่าวมาแล้วในตอนต้นสารกึ่งตัวนำที่มีสภาพอย่างนี้ เรียกว่า Genuine Semiconductor แต่สารที่เรียกว่า พีไทม์ นั้นมีสภาพที่มีจำนวนโฮล(อนุภาคที่มีประจุบวกในตัว)และมีอิเล็กตรอน(มีประจุลบในตัว)น้อย ดังแสดงในรูปที่ 2.34(a) ส่วนสารที่เรียกว่าเอ็นไทพ์ นั้นจะมีสภาพตรงกันข้ามกับ พีไทพ์ กล่าวคือ มีอิเล็กตรอนมากกว่าโฮลและจำนวนอิเล็กตรอนที่มากเกินนี้จะรวมตัวกันอยู่ในคอนดัคชั่นแบนด์ ดังแสดงในรูปที่2.34(b)



รูปที่ 2.34 ระดับพลังงานของสารกึ่งตัวนำแบบพีไทพ์(P-type)และเอ็นไทพ์(N-type)

คราวนี้สมมติว่า เรานำสารกึ่งตัวนำทั้งสองแบบมาเชื่อมต่อกันและที่บริเวณที่เชื่อมต่อกันนั้นอิเล็กตรอนที่มีจำนวนมากในเอ็นไทพ์ จะรวมตัวกับโฮลที่มีจำนวนมากในพีไทพ์ ดังรูปที่2.35(a) และจากปริมาณการรวมตัวที่เพิ่มขึ้นเรื่อยๆนั้น ทำให้เกิดประจุไฟฟ้าลบในพีไทพ์(เพราะว่าโฮลลดลงเหลือแต่อิเล็กตรอน)และเกิดประจุไฟฟ้าบวกขึ้นในเอ็นไทพ์ (เพราะว่าอิเล็กตรอนลดลงเหลือแต่โฮล) ดังรูปที่2.35 (b) จากผลอันนี้ทำให้เกิดสภาพดีพลีทชั่นโซน(Depletion Zone)ขึ้นตรงบริเวณใกล้ๆรอยเชื่อมต่อและได้โครงสร้างของระดับพลังงานดังรูปที่ 2.35(c) เกี่ยวกับโครงสร้างของระดับพลังงานนี้มีความหมายสำคัญอย่างยิ่งยวด ในการนำไปใช้พิจารณาโครงสร้างของอุปกรณ์ปล่อยแสงที่จะได้กล่าวถึงในอันดับต่อไปนี้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

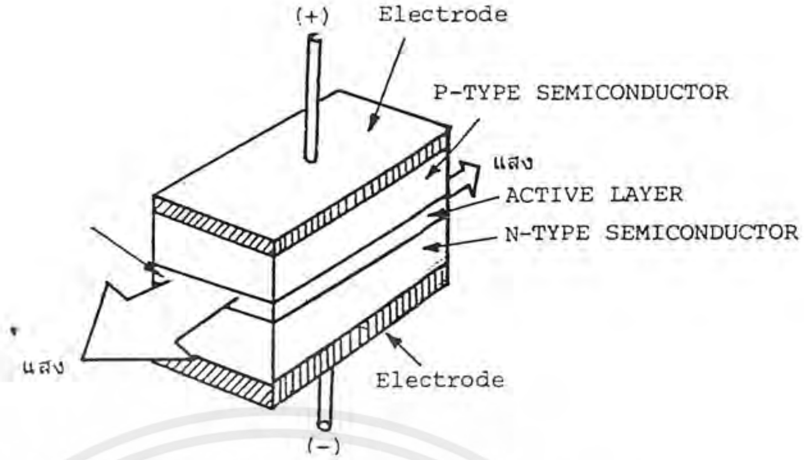


รูปที่ 2.35 สนามไฟฟ้าภายในและระดับพลังงานของ P-N JUNCTION

a) โครงสร้างของเลเซอร์ไดโอด

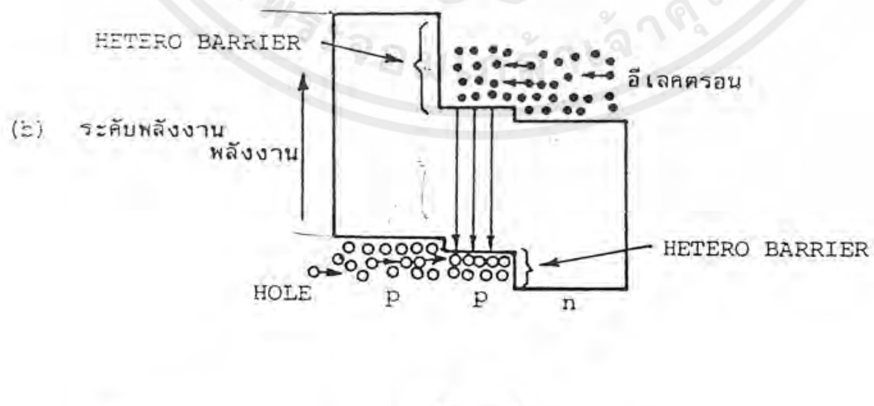
โดยทั่วไปแล้วเลเซอร์ไดโอดจะมีโครงสร้างเป็น 3 ชั้น(Three Layers) ดังแสดงในรูปที่ 2.36 ในการทำให้เกิดเลเซอร์ออสซิลเลชั่นนั้นคือ ส่วนที่ทำหน้าที่เป็นเรโซเนเตอร์ซึ่งเรียกว่าแอคทีฟเลเยอร์ (Active Layer)มีอีกตำแหน่งอยู่ระหว่างพีไทพ์กับเอ็นไทพ์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.36 โครงสร้างทั่วไปของเลเซอร์ไดโอด

จากรูปที่ 2.36 ถ้าหากทำให้กระแสไหลจากขั้วบวกไปยังขั้วลบ(ทำการฉีดกระแส:Current Injection)จะเกิดแสงเลเซอร์ออกมาในทิศทางที่แสดงด้วยลูกศร เกี่ยวกับวิธีการเปิดออสซิลเลชั่นของเลเซอร์ไดโอดนั้น อธิบายโดยเน้นตรงบริเวณชั้นทั้ง 3 ของพีไทพ์, เอ็นไทพ์และแอคทีฟเลเยอร์นี้สำหรับโครงสร้างของสารกึ่งตัวนำอย่างนี้เรียกว่า Double Hetero Junction นั้นหมายความว่ารอยต่อของเลเยอร์ของสารที่มีส่วนประกอบต่างกันนั้นมี 2 ด้านโครงสร้างระดับพลังงานและลักษณะการเปลี่ยนแปลงค่าดัชนีหักเหของเลเซอร์ไดโอดแสดงดังรูปที่ 2.37



รูปที่ 2.37 โครงสร้างระดับพลังงานและลักษณะการเปลี่ยนแปลงค่าดัชนีการหักเหของเลเซอร์ไดโอด

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

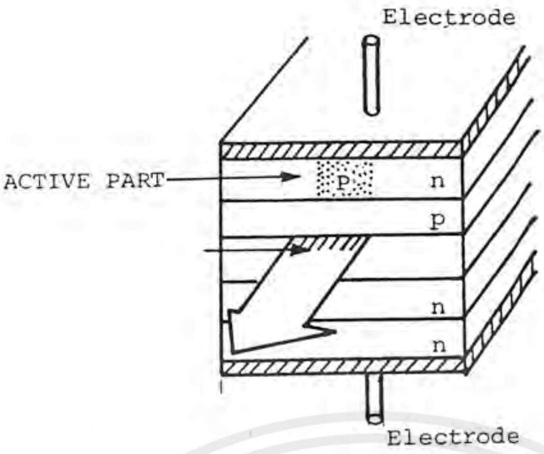
ในการทำให้เกิดเลเซอร์ออสซิลเลชั่นนั้น จะต้องทำให้ผลต่างระหว่างระดับพลังงาน ของคอนดักชั่นแบนด์ ของพีไทพ์และคอนดักชั่นแบนด์ของแอคทีฟเลเยอร์มีค่ามาก พร้อมทั้งทำให้ผลต่างระหว่างพลังงานของคอนดักชั่นแบนด์กับวาเลนซ์แบนด์ของพีไทพ์มีค่ามากด้วย นอกจากนั้นยังต้องทำให้ระดับพลังงานของวาเลนซ์แบนด์ของเอ็นไทพ์ค่าต่ำกว่า ระดับพลังงานของวาเลนซ์แบนด์ของแอคทีฟเลเยอร์ด้วย จากนั้นจึงนำมาเชื่อมต่อกันจะได้ระดับพลังงาน ดังแสดงในรูปที่ 2.37 (b) เมื่อทำให้มีกระแสไหลในสารกึ่งตัวนำที่มีการเชื่อมต่อกันในลักษณะที่กล่าวข้างต้น โดยให้มีทิศทางไหลจากพีไทพ์ไปหาเอ็นไทพ์ ผลของการเคลื่อนที่ของอิเล็กตรอน และโฮลเหล่านี้ทำให้เกิดมีอิเล็กตรอนและโฮลอยู่ภายในแอคทีฟ

เลเยอร์(แสดงด้วย(2)ในรูปและโดยทั่วไปแอคทีฟเลเยอร์นี้จะใช้สารพีไทพ์) เมื่อมาถึงจุดนี้ให้สังเกตดู ระดับพลังงานของเลเยอร์ทั้ง 3 ที่แสดงในรูปที่ 2.37 (b) จะเห็นว่าเกิดมีกำแพงของพลังงานเรียกว่า Hetero Barrier ขึ้น ทำให้อิเล็กตรอนและโฮลที่เคลื่อนที่ไปนั้นถูกขังอยู่ในแอคทีฟเลเยอร์เป็นผลให้เกิดสภาพอินเวร์สชั่นดิสทริบิวชั่นได้อย่างดี ทำให้มีผลการขยายความเข้มของการปล่อยแสง

อนึ่งโดยการทำให้ดัชนีการหักเหของแอคทีฟเลเยอร์ มีค่ามากกว่าเลเยอร์ข้างเคียงดังแสดงในรูปที่ 2.37 (c) จะมีสภาพเหมือนกันกับเส้นใยแสง แสงที่ปล่อยออกมา จะถูกกักและเดินทางอยู่ในแอคทีฟเลเยอร์ จากผลการกักอิเล็กตรอน และโฮลเอาไว้ในแอคทีฟเลเยอร์ และผลการกักแสงเอาไว้ในแอคทีฟเลเยอร์ ทำให้ได้การปล่อยแสงที่มีประสิทธิภาพดีได้

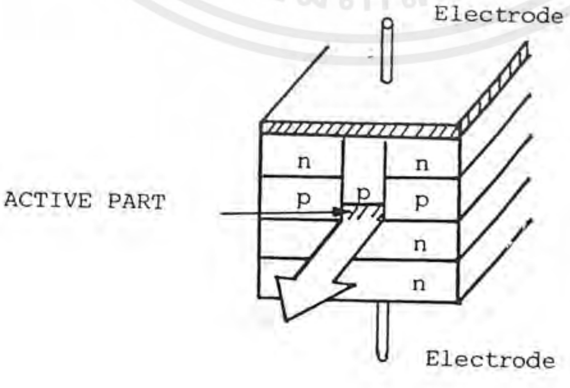
ตามที่ได้กล่าวมาแล้วว่าแสง จะออกมาจากระนาบสะท้อนกลับ โดยที่ระนาบสะท้อนกลับนี้ทำจากการใช้สิ่งที่คมมากๆคล้ายใบมีดโกนไปตัดสารกึ่งตัวนำที่ประกอบกันเป็นเลเซอร์ไดโอดให้มีช่องเปิด (เรียกว่า Open Wall) โดยการทำเช่นนี้แสง Laser จะถูกกักขังอยู่ ในแอคทีฟเลเยอร์ ดีแต่ว่าเมื่อมันเดินทางมาถึงช่องเปิดมันจะหลุดออกมาข้างนอกตลอดแนวของช่องเปิดนี้ ทำให้ประสิทธิภาพของการเชื่อมแสงเข้ากับเส้นใยแสงไม่ดี ด้วยเหตุนี้เพื่อเป็นการทำให้ประสิทธิภาพดี จำเป็นต้องมีการปรับปรุงต่างๆ เพื่อให้มีปฏิกริยาการนำคลื่นแสง ในทิศทางแนวนอน (Horizontal) ตัวอย่างอันหนึ่งของวิธีการปรับปรุงก็คือ สิ่งที่เรียกว่า Planar Stripe Structure ดังแสดงในรูปที่ 2.38

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.38 โครงสร้างแบบ Planar Stripe

เพื่อให้การผลิตเลเซอร์ไดโอด ทำได้ง่าย(การสร้างผลึกและการสร้างขั้วไฟฟ้า) จะทำให้มีโครงสร้างเป็น 5 ชั้น และทำให้บริเวณที่กระแสไหลมีขนาดแคบส่วนเลเซอร์ออสซิลเลชั่นเป็นการใช้หลักการที่ทำให้ออสซิลเลทเกิดขึ้น เฉพาะตรงส่วนที่กระแสไหลนั่นคือตรงส่วนที่มีการกระตุ้น(Stimulation) เท่านั้น จากรูปที่ 2.38 จะเห็นว่าชั้นบนสุดที่มีขั้วไฟฟ้าบวก ติดอยู่เป็นเอ็นไทพ์เกือบทั้งหมดแต่จะมีเฉพาะส่วนหนึ่งเท่านั้นซึ่งแคบมากเป็นพีไทพ์ เมื่อทำดังนี้ จะไม่มีกระแสไหลตรงส่วน เชื่อมต่อของเอ็นไทพ์,พีไทพ์, แอคทีฟเลเยอร์และเอ็นไทพ์ (ทั้งนี้เพราะว่าจากคุณสมบัติของสารกึ่งตัวนำกระแสจะไม่ไหลจากเอ็นไทพ์ไปยังพีไทพ์) แต่ในทางตรงกันข้ามกระแสจะไหลเฉพาะตรงส่วนเชื่อมต่อของพีไทพ์,พีไทพ์,แอคทีฟเลเยอร์ และเอ็นไทพ์ นั่นคือส่วนพีไทพ์ของชั้นที่ 1 จะทำหน้าที่เป็นทางไหลเข้าของกระแสกลายเป็นแถบ (Stripe) ส่วนหนึ่งของแอคทีฟเลเยอร์ จึงเรียกว่า (Planar Stripe Type) และนิยมใช้กันมากคือแบบ Embedding Stripe Type ดังแสดงในรูปที่ 2.39



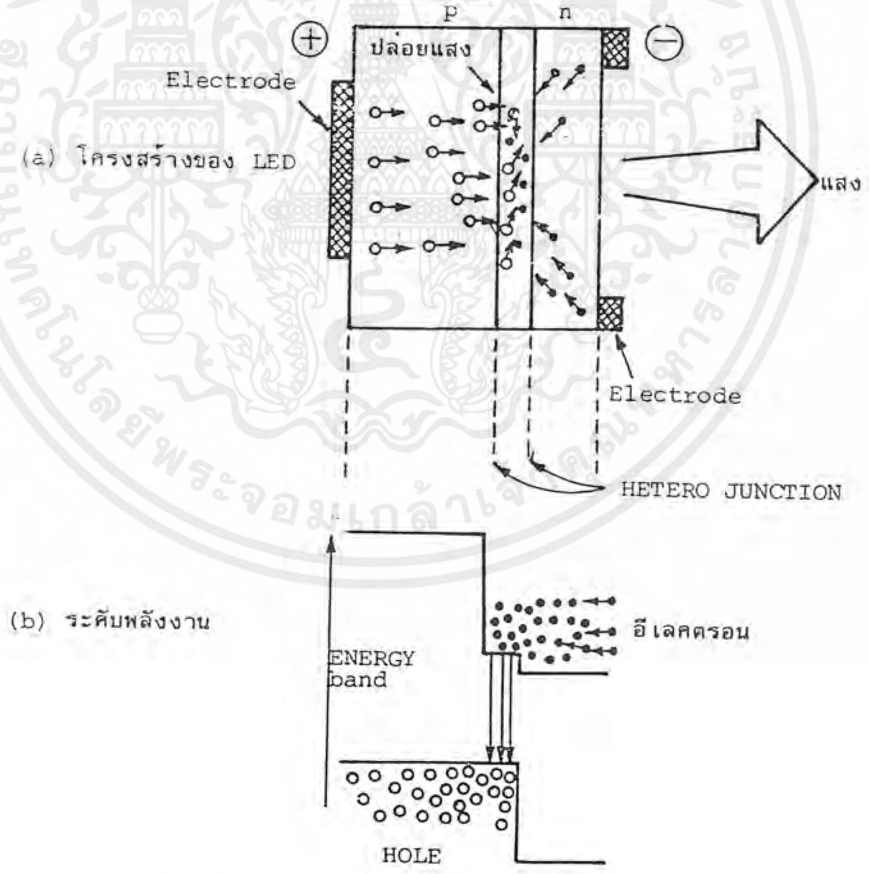
รูปที่ 2.39 โครงสร้างของ Embedding Stripe Type

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

โครงสร้างนี้มีลักษณะพิเศษ ตรงที่ทำให้ค่าดัชนีการหักเหของแอคทีฟเลเยอร์ มีค่าสูงทั้งส่วนบน,ล่าง,ซ้าย,ขวา นั่นคือ ส่วนบนของแอคทีฟเลเยอร์ มีเลเยอร์ของพีไทพ์อยู่ซึ่งจะเหมือนกับ Planar Stripe Type และกระแสจะไหลเฉพาะในส่วนนี้เท่านั้น จากข้างบนไปข้างล่าง นอกจากจะสามารถทำให้เกิดเลเซอร์ออสซิลเลชั่นด้วยกระแสที่มีค่าน้อยแล้ว ยังทำให้ค่าดัชนีการหักเหของแอคทีฟเลเยอร์มีค่าสูงมากขึ้นอีก จึงเป็นผลให้ประสิทธิภาพของการกักแสงเพิ่มขึ้นสามารถได้แสงที่ปล่อยออกมาเป็นลำแสงที่คม(Sharp) มาก

(c) โครงสร้างของแอลอีดี(LED : Light Emitting Diode)

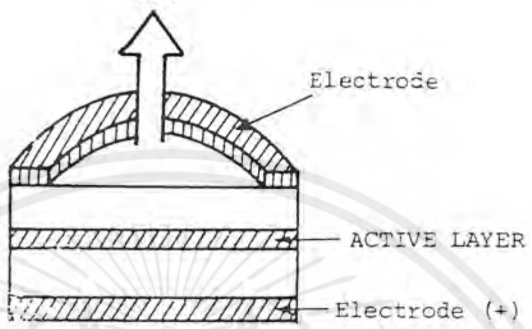
โครงสร้างพื้นฐานของแอลอีดีเหมือนกันกับของเลเซอร์ไดโอดกล่าวคือเป็น Double Hetero Junction อิเล็กตรอนที่ไหลผ่านพี-เอ็นจังชั่น(P-N Junction) ไปรวมกับโฮลภายในแอคทีฟเลเยอร์ เช่นเดียวกันกับกรณีของเลเซอร์ไดโอด ดังแสดงในรูปที่ 2.40 (a) และจะเกิดการปล่อยแสงขึ้น ภายในแอคทีฟเลเยอร์ เนื่องจากถูกกักด้วยกำแพงของ Hetero Junction แต่สำหรับกรณีของแอลอีดีนั้น โครงสร้างของมันไม่มี การขยายออสซิลเลชั่นของแสง เหมือนอย่างเลเซอร์ไดโอด(ไม่มีระนาบสะท้อนแสง) แสงที่ปล่อยออกมาตรงส่วนที่อยู่ห่างจากด้านข้างนั้น จึงออกจากด้านข้างยาก เหตุนี้แอลอีดีทั่วไปจึงให้แสงปล่อยออกมาข้างนอกจากด้านหน้าที่ต่อกับขั้วไฟฟ้า ดังรูปที่ 2.40 (a)



รูปที่ 2.40 โครงสร้างและระดับพลังงานของแอลอีดี

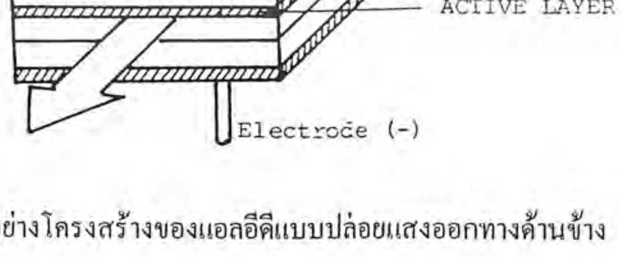
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ตัวอย่างโครงสร้างของแอลอีดีแบบที่แสงปล่อยออกมาทางด้านหน้า(Face Emission Type LED) แสดงดังรูปที่ 2.41 จากรูปจะเห็นได้ว่า เพื่อเป็นการทำให้แสงปล่อยออกมา ได้อย่างมีประสิทธิภาพนั้น ขั้วไฟฟ้าทางด้านที่ปล่อยแสงออกมาจะต้องมีรูปร่างเป็นรูปวงแหวน



รูปที่ 2.41 ตัวอย่างโครงสร้างของแอลอีดีแบบปล่อยแสงทางด้านหน้า

ในปัจจุบันได้มีการผลิตแอลอีดีอีกแบบหนึ่งขึ้นมา โดยการทำให้ค่าดัชนีการหักเหของแอคทีฟเลเยอร์มีค่าสูง และทำให้เกิดปฏิกริยาการนำแสงขึ้น ในแอคทีฟเลเยอร์ และให้แสงปล่อยออกมาจากทางด้านข้างของแอคทีฟเลเยอร์เหมือนกันกับเลเซอร์ไดโอด ดังแสดงในรูปที่ 2.42



รูปที 2.42 ตัวอย่างโครงสร้างของแอลอีดีแบบปล่อยแสงออกทางด้านข้าง

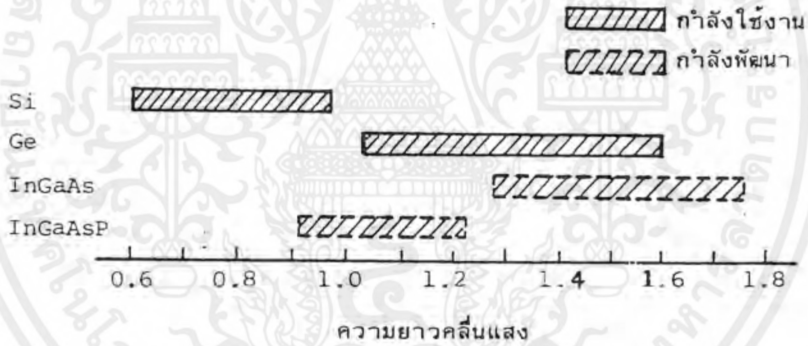
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.7 สารและโครงสร้างของอุปกรณ์รับแสง

2.7.1 สารของอุปกรณ์รับแสง

สำหรับอุปกรณ์รับแสงก็เช่นเดียวกันกับอุปกรณ์กำเนิดแสงนั่นคือมีสารหลายชนิด นอกจากนั้น ผลต่างของพลังงานของคอนดัคชั่นแบนด์ และวาเลนซ์แบนด์ของอุปกรณ์รับแสงมีค่าแตกต่างกันทำให้มีย่านความยาวคลื่นต่างกันที่ดูดสัญญาณแสงที่เข้ามาได้ง่าย (ความไวในการรับแสงดี)

ในการออกแบบระบบการสื่อสารด้วยเส้นใยแสงนั้น จะต้องเลือกอุปกรณ์รับแสงที่เหมาะสมกับความยาวคลื่นที่ใช้เช่นเดียวกัน กับอุปกรณ์กำเนิดแสง สำหรับย่านความยาวคลื่นที่ต่ำกว่า 1 μm จะใช้ซิลิกอน (Si : Silicon) สำหรับย่านความยาวคลื่นจาก 1~1.7 μm ใช้เยอรมันเนียม(Ge : Germanium) เป็นส่วนใหญ่นอกจากนั้นปัจจุบันสำหรับความยาวคลื่นที่อยู่ใน Third Window ตามที่กล่าวมาแล้วในบทก่อน การใช้งานอุปกรณ์รับแสงชนิดใหม่ที่ทำจากสารที่เป็น สารประกอบของสารกึ่งตัวนำ(InGaAs) และอื่นๆซึ่งมีความไวในการรับแสงดีมากนั้นกำลังได้รับความนิยมเพิ่มขึ้นเรื่อย ๆ



รูปที่ 2.43 ความยาวคลื่นในการรับแสงของอุปกรณ์รับแสงแต่ละชนิด

2.7.2 โครงสร้างของอุปกรณ์รับแสง

ในหัวข้อที่แล้วได้กล่าวถึงสเปซอิเล็กทริคฟิลด์ (Space Electric Field) ตรงรอยต่อพี-เอ็นจังชั่นที่ทำให้อิเล็กตรอนและโฮลเคลื่อนที่ไปในทิศทางตรงกันข้าม แต่ถ้าให้แรงดันไฟฟ้ากลับทิศทางจากภายนอก กล่าวคือ ทางด้านพีให้ไฟลบและทางด้านเอ็นให้ไฟบวก จะทำให้การเคลื่อนที่ของอิเล็กตรอนและโฮลตรงรอยต่อมีอัตราเร่งเพิ่มขึ้น

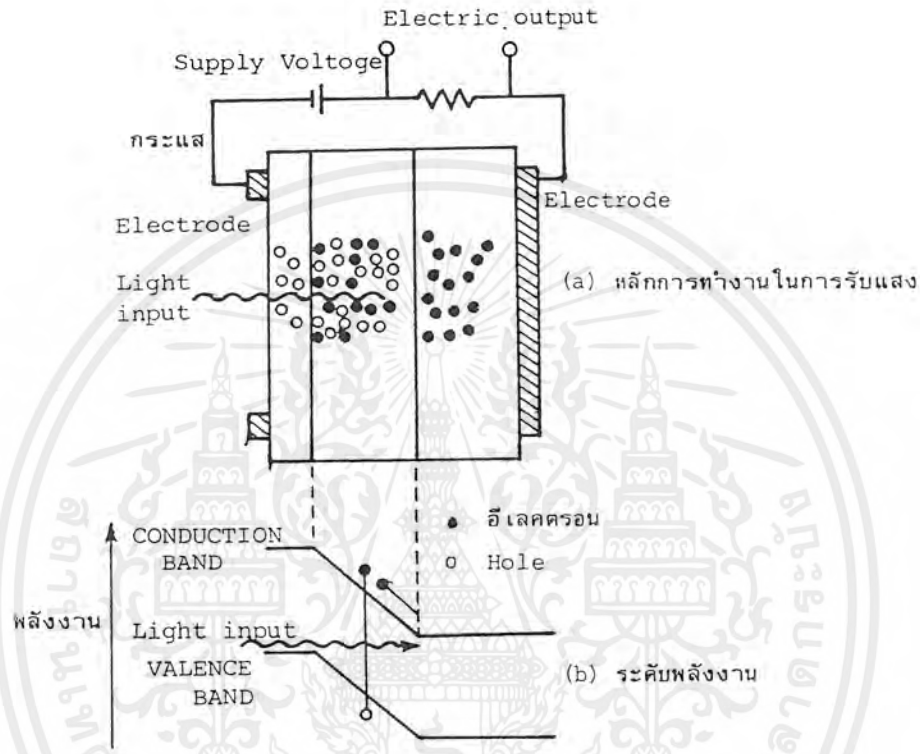
อุปกรณ์รับแสงที่เป็นสารกึ่งตัวนำนี้ แบ่งออกเป็นพวกใหญ่ๆ ได้ 2 พวกตามปริมาณแรงดันไฟฟ้าที่ป้อนให้จากภายนอก คือ โฟโต้ไดโอด(Photo Diode: PD) กับ อวาลานซ์โฟโต้ไดโอด(Avalanche Photo Diode : APD) พวกโฟโต้ไดโอดนั้น เป็นพวกที่ได้รับการป้อนแรงดันไฟฟ้าปริมาณน้อย ส่วนพวกอวาลานซ์โฟโต้ไดโอด เป็นพวกที่ได้รับการป้อนแรงดันไฟฟ้าปริมาณมาก

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ตัวอย่างของโฟโต้ไดโอดคือพีไอเอ็นโฟโต้ไดโอด(PIN-PD) ดังแสดงในรูปที่ 2.51 PIN หมายถึงว่า ในระหว่าง สารกึ่งตัวนำพีไทพ์และเอ็นไทพ์มีสารกึ่งตัวนำแบบที่เรียกว่า อินทรินซิค (Intrinsic : I) คั่นอยู่ ตามที่ได้กล่าวมาแล้วว่าดริฟท์เคอร์เรนท์(Drift Current) นั้นเกิดขึ้นในดิพลีทชั่นโซนและผลของสนามไฟฟ้าทำให้มีการตอบสนองเร็วแต่ในทางตรงกันข้าม ดิฟฟิวชั่นเคอร์เรนท์(Diffusion Current) ที่เกิดขึ้นภายนอก ดีพลีทชั่นโซนนั้นมีการตอบสนองช้า ดังนั้นถ้าความกว้างของดีพลีทชั่นโซนยิ่งกว้างมากเท่าใดควอนตัมเอฟฟิเชียนซี่(Quantum Efficiency) และความเร็วของการตอบสนองความถี่ยิ่งดีขึ้น ความกว้างของดีพลีทชั่นโซนนี้ ถ้าความหนาแน่นของอิเล็กตรอนและโฮลของพีไทพ์และเอ็นไทพ์ยิ่งต่ำจะยิ่งกว้าง ดังนั้นสารกึ่งตัวนำแบบ I ที่คั่นกลางระหว่าง พีไทพ์เอ็นไทพ์ จึงมีหน้าที่เพื่อทำให้ความกว้างของดีพลีทชั่นโซน กว้างขึ้นนั่นเอง เนื่องจากโฟโต้ไดโอดที่ใช้ในระบบการสื่อสารนั้นโดยทั่วไปต้องการความเร็วในการตอบสนองสูง ดังนั้นส่วนใหญ่จะใช้พีไอเอ็นโฟโต้ไดโอด

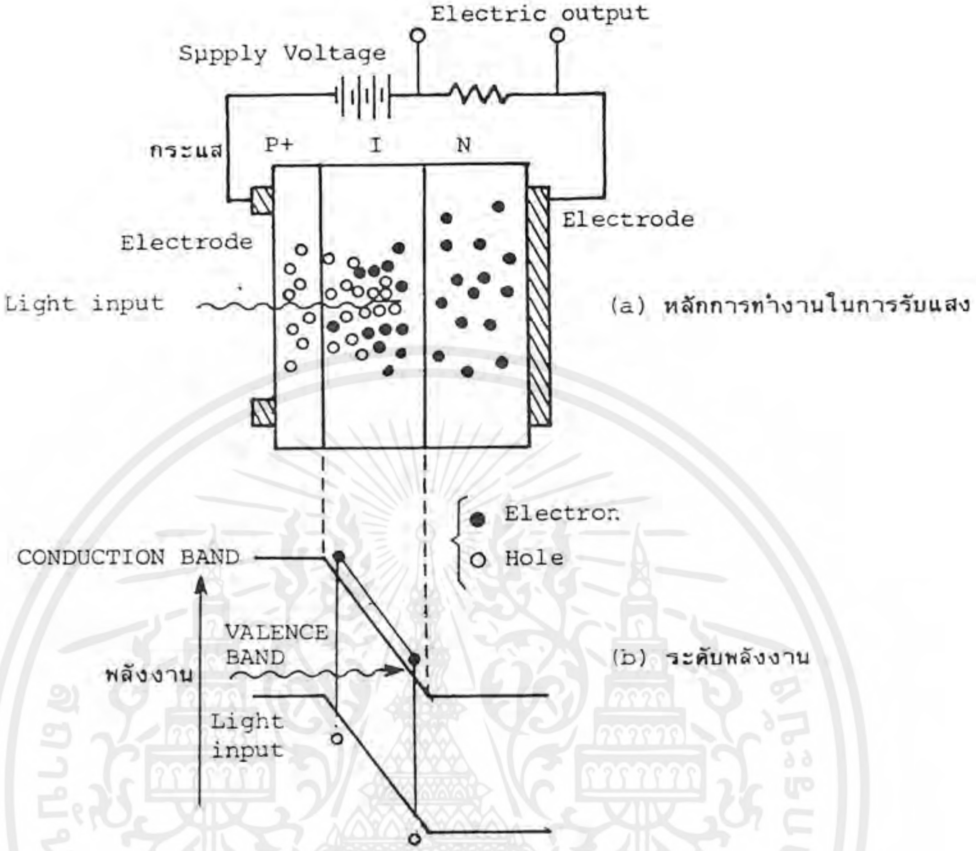
อนึ่ง อวาลานซ์โฟโต้ไดโอดนั้น ใช้ปฏิกริยาการขยายอวาลานซ์ (Avalanche) ของอิเล็กตรอนและโฮลในสารกึ่งตัวนำ เมื่อเปรียบเทียบกับโฟโต้ไดโอดแล้ว เป็นอุปกรณ์รับแสงที่ให้กระแสจำนวนมาก หลักการทำงานของ อวาลานซ์โฟโต้ไดโอด แสดงดังรูปที่ 2.52 สำหรับโครงสร้างนั้นส่วนใหญ่ทางด้านพีของพีเอ็นจังชั่น จะมีสารกึ่งตัวนำแบบพีไทพ์ที่มีความหนาแน่นของโฮลสูงติดอยู่(ส่วนที่แสดงด้วย P+ ในรูป) โดยการทำเช่นนี้ จะทำให้สนามไฟฟ้าภายในของบริเวณใกล้ๆ รอยต่อที่มีพีเลเยอร์เป็นศูนย์กลางมีค่ามาก อิเล็กตรอนที่ดูดแสงที่มาตกกระทบจากด้าน P+ และถูกกระตุ้นจากวาเลนซ์แบนด์ไปยังคอนดัคชั่นแบนด์ ในระหว่างที่มันได้รับอัตราเร่งและผ่านพีเลเยอร์นั้นมันจะได้รับพลังงานจำนวนมากกว่า ผลต่างของพลังงาน ของคอนดัคชั่นแบนด์ กับวาเลนซ์แบนด์ จากผลนี้ทำให้สามารถกระตุ้นอิเล็กตรอนที่อยู่ในวาเลนซ์แบนด์และทำให้เกิดอิเล็กตรอนกับโฮลใหม่ได้ และอิเล็กตรอนกับโฮลใหม่นี้ยังถูกสนามไฟฟ้าเร่งอัตราเร่งให้อีก ทำให้เกิดอิเล็กตรอนกับโฮลใหม่ออกมาอีก เมื่อขบวนการนี้เกิดอย่างต่อเนื่องกัน จำนวนของอิเล็กตรอนกับโฮลจะเพิ่มขึ้น เป็นจำนวนมากมาย (Avalanche) เป็นผลให้เกิดการขยายที่เรียกว่าอวาลานซ์มัลติพลิเคชั่น (Avalanche Multiplication) ผลนี้ทำให้กระแสถูกขยายนั่นเอง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.44 หลักการทำงานการรับแสงและระดับพลังงานของ PIN-PD

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.45 หลักการทำงานการรับแสงและระดับพลังงานของอวาลานซ์โฟโต้ไดโอด

2.7.3 คุณสมบัติของอุปกรณ์รับแสง

ประสิทธิภาพของอุปกรณ์รับแสง ประเมินจากคุณสมบัติต่างๆได้แก่ Quantum Efficiency ซึ่งแสดงว่าแสงที่รับมานั้น ถูกเปลี่ยนเป็นไฟฟ้าได้มากเท่าไร ความไวการรับแสง(ระดับแสงต่ำสุดที่ต้องการสำหรับการส่งที่มีคุณภาพ) ซึ่งเป็นองค์ประกอบที่สำคัญในการออกแบบระยะการถ่ายทอด ของระบบการสื่อสารด้วยเส้นใยเส้นที่จะกล่าวถึงภายหลัง สัญญาณรบกวน(Noise) เกิดขึ้นและความเร็วของการตอบสนองการทำงานสำหรับ Quantum Efficiency กำหนดจากสารและโครงสร้างของอุปกรณ์รับแสง แต่สำหรับความไวการรับแสงนั้น จะเกี่ยวข้องกับขนาดของแรงดันไฟฟ้าที่ป้อนให้

เนื่องจากอวาลานซ์โฟโต้ไดโอดใช้ปรากฏการณ์การขยาย(Avalanche) ตามที่กล่าวมาแล้วในตอนต้นดังนั้นจึงมีความไวสูงประมาณ 10~20 dB(10~100 เท่า)เมื่อเทียบกับโฟโต้ไดโอด สัญญาณรบกวน(Noise) ที่แปลงของ โฟโต้เคอร์เรนท์(Photo Current) ที่เกิดจากการกระตุ้นอิเล็กตรอนอย่างไม่เป็นระเบียบทางเวลาหรือทางสเปซ(Space) คุณสมบัติของช็อตน้อยส์(Shot Noise)ดังแสดงในสมการต่อไป

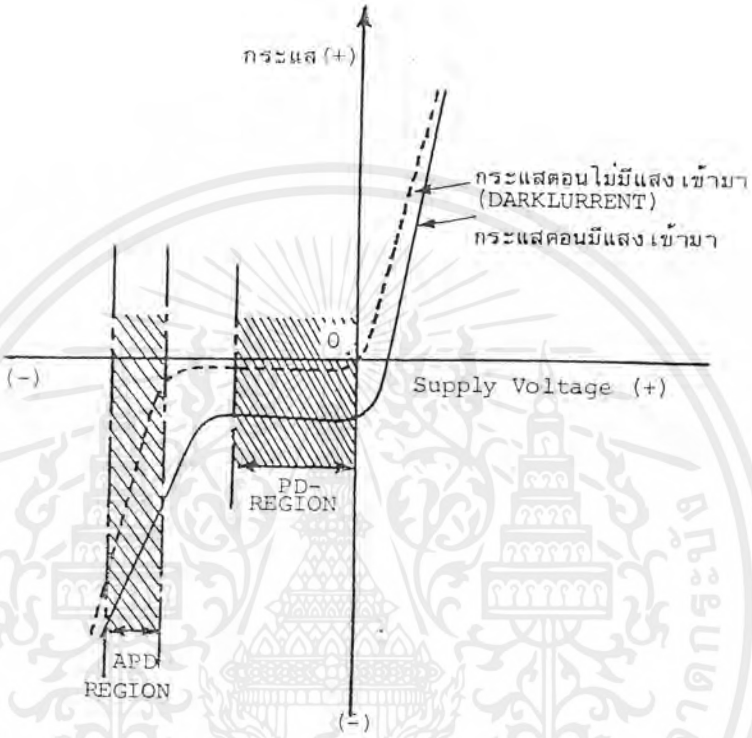
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Shot Noise Current $\alpha\ I_o\ M^{2+F}$

ในที่นี้ M เป็นอัตราการขยายกระแสของอุปกรณ์รับแสง

I เป็น Photo Current เมื่อ M = 1 (กรณีของโฟโต้ไดโอด)

F เป็น Excess Noise Figure มีค่ามากเมื่อเทียบกับ M



รูปที่ 2.46 แรงดันไฟฟ้าที่ป้อนให้และ Photo Current

นั่นคือจากสมการจะเห็นว่าที่ระดับการรับแสงเท่ากัน ถ้าหากทำให้แรงดันไฟฟ้าในทิศทางกลับที่ป้อนให้มีค่าสูง และทำให้อัตราการขยายกระแสเพิ่มมากขึ้นนั้น สัญญาณเอาท์พุต(Output Signal I M) จะเพิ่มมากขึ้นด้วย แต่ช็อตน้อยส์ก็เพิ่มมากขึ้นด้วยเช่นเดียวกัน

คุณสมบัติของอุปกรณ์รับแสงทั่วไปแสดงดังรูปที่ 2.46 รูปจะช่วยทำให้เข้าใจความแตกต่างของบริเวณการทำงานของอวาลานซ์โฟโต้ไดโอด และโฟโต้ไดโอดได้ดี และในรูปที่ 2.46 นี้ได้แสดงการไหลของกระแส ที่เรียกว่า ดาร์คเคอร์เรนท์(Dark Current) ที่เกิดในสภาพที่มีแรงดันไฟฟ้า ในทิศทางกลับป้อนให้แต่ไม่มีแสงเข้ามาด้วยกระแสดาร์คเคอร์เรนท์ นี้มีลักษณะพิเศษคือจะเพิ่มขึ้นเร็วกว่าการเพิ่มขึ้นของสัญญาณเอาท์พุต

เป็นสิ่งที่เกิดจาก ดาร์คเคอร์เรนท์และอื่นๆที่เป็นแหล่งต้นกำเนิด กรณีของโฟโต้ไดโอดเนื่องจาก M = 1 ดังนั้นช็อตน้อยส์จึงไม่มีค่ามากแต่สำหรับกรณีของอวาลานซ์โฟโต้ไดโอดจำเป็นต้องระวังเกี่ยวกับค่า M

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การออกแบบระบบการสื่อสารด้วยเส้นใยแสง จะต้องคำนึงถึงช็อตน้อยส์นี้แล้ว มีเทอร์มอลน้อยส์(Thermal Noise) ที่เกิดในวงจรไฟฟ้าซึ่งไม่เกี่ยวกับสัญญาณแสงที่เข้ามา ดังนั้นในการออกแบบระบบการสื่อสารด้วยเส้นใยแสง จำเป็นต้องเลือกค่า M ที่เหมาะสมที่ทำให้ผลรวมของเทอร์มอลน้อยส์กับช็อตน้อยส์มีค่าต่ำมากเมื่อเทียบกับระดับของสัญญาณ

ความเร็วการตอบสนองความถี่ เป็นสิ่งที่กำหนดจากเวลาที่มีสัญญาณแสงเข้ามา จนกระทั่งเกิดปรากฏการณ์ดูดแสง แต่ในปัจจุบันเนื่องจากทั้งโฟโต้ไดโอด และอวาลานซ์โฟโต้ไดโอด สามารถตอบสนองความเร็วได้ถึงหลาย GHz จึงไม่มีปัญหาในการใช้งาน การเปรียบเทียบคุณสมบัติต่างๆ ของโฟโต้ไดโอด กับอวาลานซ์โฟโต้ไดโอด แสดงดังตาราง

ตารางที่ 2.1 การเปรียบเทียบคุณสมบัติของอุปกรณ์รับแสง

หัวข้อ \ อุปกรณ์รับแสง	PD	APD
Quantum Efficiency	~ 80 %	~ 80 %
ความไวการรับแสง (1)	-15 ~ 20 dbm 0	- 30 ~ 40 dbm 0
ความเร็วการตอบสนองความถี่	~ หลาย GHz	~ หลาย GHz
อัตราขยาย	1	500
ค่าแรงดันไฟฟ้าที่ทำงาน	0 ~ 20 V	30 ~ 200 V

(1) : เป็นค่าตรง Code Error Rate เป็น 10^{-11}

2.8 เส้นใยแสง (FIBER OPTIC)

เนื่องจากความต้องการสำหรับการสื่อสารมีจำนวนเพิ่มขึ้นอย่างรวดเร็วทั่วโลก ตัวนำลวดทองแดงที่ใช้อยู่ไม่เพียงแต่จะมีราคาแพงมากเท่านั้น ข้อมูลที่เกี่ยวกับลวดตัวนำยังมีไม่พออีกด้วย ข้อจำกัดทางความถี่ของระบบตัวนำลวดทองแดง มีค่าประมาณ 1 MHz ซึ่งยังไม่เพียงพอสำหรับการสื่อสารแบบความเร็วสูง เส้นใยแสงมีน้ำหนักเบาและมีคุณสมบัติทางความถี่สูง กล่าวคือประมาณ 40 GHz และไม่มีการรบกวน จากการแผ่รังสีของคลื่นแม่เหล็กไฟฟ้า ดังนั้นเส้นใยแสงจึงได้รับความนิยมอย่างมาก

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ตัวอย่างต่อไปนี้แสดงให้เห็นข้อดีของการใช้เส้นใยแสง

1. มีน้ำหนักเบาและไม่เป็นสนิม ซึ่งเหมาะมากสำหรับใช้งานในยานอวกาศและรถยนต์
2. เส้นใยแสง 1 เส้น สามารถที่จะมีช่องสัญญาณเสียงได้มากเท่ากับ 1,500 คู่สาย
3. ความห่างของตัวขยายสัญญาณ สำหรับเส้นใยแสง มีค่าตั้งแต่ 35 ถึง 80 กิโลเมตร ซึ่งตรงข้ามกับสายธรรมดา ซึ่งมีค่าตั้งแต่ 1 ถึง 1.5 กิโลเมตรเท่านั้น
4. เส้นใยแสงจะไม่มีการรบกวนจากฟ้าแลบและการแผ่รังสีของคลื่นแม่เหล็กไฟฟ้า

2.8.1 เส้นใยแสง

การผลิตสร้างเส้นใยแสงขั้นพื้นฐานนั้นเป็นเรื่องที่ยุ่งยาก สามารถอธิบายได้พอสังเขป คือ หลอดควอซ์ตที่ถูกทำให้บริสุทธิ์ แล้วจะถูกเติมด้วยก๊าซรวม(ซิลิกอนเตตระคลอไรด์, เยอร์มาเนียมเตตระคลอไรด์,ฟอสฟอรัสออกซีคลอไรด์)หลอดซึ่งมีความยาวประมาณ 4 ฟุต และเส้นผ่าศูนย์กลางประมาณ 1 นิ้ว จะถูกตั้งที่เครื่องกลึงและก๊าซเหล่านั้นก็จะถูกฉีดเข้าไปในหลอดที่กลวงนั้น หลอดจะถูกหมุนไปอยู่บนเปลวไฟ ที่อุณหภูมิประมาณ 1,600 การเผาด้วยก๊าซจะทำให้เกิดตะกอนขึ้นภายในหลอด แล้วความร้อนจะถูกเพิ่มเป็นประมาณ 2,100 เพื่อให้หลอมเหลวและยุบหลอดให้เหลือประมาณ 13 มิลลิเมตรแท่งควอร์ตซึ่งผ่านขบวนการ Modefied Chemical Vapor Deposition(MCVD) แล้วจะถูกวางในแนวตั้งในหอคึง(Drawing Tower) ซึ่งจะถูกให้ความร้อนต่ออีก(2200°F) และถูกดึงลงด้านล่าง โดยหลักการของการหลอมเหลว ควบคุมด้วยคอมพิวเตอร์ และขบวนการการดึงเพื่อจะทำให้ได้เส้นใยแสงคุณภาพสูง มีความยาวประมาณ 6.25 กิโลเมตร และเส้นผ่าศูนย์กลางประมาณ 125ไมโครเมตร ศูนย์กลางซึ่งถูกเรียกว่า แกน (หรือ Core เส้นผ่าศูนย์กลาง 8 ไมโครเมตร) จะถูกล้อมรอบด้วยควอร์ตที่บริสุทธิ์น้อยกว่าซึ่งถูกเรียกว่า ชั้นคลุม(หรือ cladding ขอบเขตประมาณ 117 ไมโครเมตรซึ่งเกิดขึ้นระหว่างขบวนการMCVD)

โดยพื้นฐานแล้วเส้นใยแสงประกอบด้วย 2 ชั้นใหญ่ๆ คือ แกนนำแสง(50 ไมโครเมตร) และชั้นปกคลุม ชั้นปกคลุมจะประพฤติตัวเป็น ตัวกลางของดรรชนีหักเห และยอมให้แสงถูกส่งผ่านแกน เพื่อไปยังอีกปลายอีกด้านหนึ่ง โดยที่มีการลดทอนและความเพี้ยนน้อยมาก ซึ่งแสงถูกใส่เข้าไปในเส้นใยแสงและชั้นปกคลุมจะทำให้แสงหักเหหรือสะท้อน ในรูปแบบที่ซิกแซ็ก ตลอดความยาวของแกนขบวนการสามารถที่จะเป็นไปได้เพราะว่า มุมตกกระทบและมุมสะท้อนมีค่าเท่ากัน แสงซึ่งถูกใส่เป็นมุมแหลมจะชนกับชั้นปกคลมและจะสูญเสียในสารที่ทำชั้นปกคลุมเส้นใยแสงซึ่งถูกสร้างเสร็จเรียบร้อยจะประกอบด้วย

1. Core-Quartz
2. Cladding-Silica
3. Jacket-Acrylic
4. Buffer Jacket
5. Strength Member
6. Outer Jacket

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

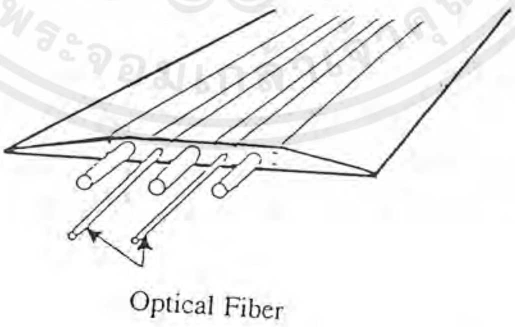
2.8.2 คุณสมบัติของเส้นใยแสง

คุณสมบัติของการส่งแสงผ่านเส้นใยแก้วขึ้นกับปัจจัยหลายประการ คือ

1. องค์ประกอบของเส้นใยแสง
2. จำนวนและชนิดของแสงที่ใส่เข้าไปเส้นใยแสง
3. เส้นผ่าศูนย์กลางและความยาวของเส้นใยแสง

องค์ประกอบของเส้นใยแสงจะเป็นตัวกำหนดดรรชนีหักเห ขบวนการซึ่งเรียกว่าการเจือสาร (doping) สารอื่นจะถูกใส่เข้าไปเพื่อที่จะให้เปลี่ยนดรรชนีหักเหในเส้นใยแสงเดี่ยว ซึ่งมีดรรชนีของแกน n และดรรชนีของผิวหน้า (ชั้นปกคลุม) n_2 (โดยทั่วไป $n_1 = 1.48$ และ $n_2 = 1.46$)

รูปที่ 2.47 เส้นใยแสงเดี่ยว



รูปที่ 2.48 การประกอบของเส้นใยแก้วในสำนักงาน

คุณสมบัติหนึ่งของเส้นใยแสงคือ รูปแบบของการทำงาน(Mode Of Operation) คำว่า "รูปแบบ" ในที่นี้ หมายถึง การอธิบายการกระจายพลังงานผ่านตัวกลาง โดยใช้คณิตศาสตร์ จำนวนรูปแบบของเส้น

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ใยแสงเดี่ยวสามารถมีค่าต่ำถึง 1 หรือมีค่าสูงได้ถึง 100,000 นั่นคือ เส้นใยแสงหนึ่งๆ สามารถมีทางเดินสำหรับแสงหนึ่งรังสีหรือแสงรังสี จากคุณสมบัตินี้จึงเป็นที่มาของรูปแบบเดี่ยว(Single Mode) และหลายรูปแบบ(Multimode)

Refractive Index Profile เป็นความสัมพันธ์ระหว่างดรรชนีทั้งหลาย ซึ่งมีอยู่ในแกนและชั้นปกคลุมของเส้นใยแสง ความสัมพันธ์นี้สามารถกล่าวง่ายๆคือ "แสงจะมีการเปลี่ยนแปลงความเร็ว เมื่อมันผ่านจากตัวกลางหนึ่งไปยังอีกตัวกลางหนึ่ง" จากความสัมพันธ์นี้สามารถแบ่งออกเป็น 2 ดรรชนี คือ

1. ดรรชนีขั้น (Step Index)
2. ดรรชนีราบ (Graded Index)

ดรรชนีขั้นเป็นดรรชนีที่มีการเปลี่ยนแปลง อย่างทันทีทันใด จากแกนไปชั้นปกคลุม เช่น แกนซึ่งมีดรรชนีคงที่ (1.48) และชั้นปกคลุมซึ่งมีดรรชนีคงที่ (1.46) ค่านี้จะลดลงเรื่อยๆ จนกระทั่งมันมาถึงดรรชนีของชั้นปกคลุม นั่นคือ ใกล้ผิวหน้าจากส่วนต่างๆ เหล่านี้ สามารถแบ่งเส้นใยแสงเป็น 3 แบบคือ

1. เส้นใยแสงดรรชนีขั้นหลายรูปแบบ(Multimode Step-Index Fiber)
2. เส้นใยแสงดรรชนีราบหลายรูปแบบ(Multimode Graded-Index Fiber)
3. เส้นใยแสงดรรชนีขั้นรูปแบบเดี่ยว(Singlemode Step-Index Fiber)

เส้นใยแสงดรรชนีขั้นหลายรูปแบบ มีแกนซึ่งมีเส้นผ่าศูนย์กลางตั้งแต่ 100 ถึง 970 ไมโครเมตร ด้วยเหตุที่แกนมีเส้นผ่าศูนย์กลางที่ใหญ่นี้ จึงมีเส้นทางสำหรับให้แสงผ่านได้หลายเส้นทาง(Multimode) เพราะฉะนั้นรังสีแสงที่เคลื่อนที่เป็นเส้นตรง จึงมาถึงปลายก่อนรังสีอื่นๆ ซึ่งเคลื่อนที่แบบซิกแซก ความแตกต่างกันในเรื่องความยาวของเวลานั้นทำให้ได้แสงมากมายที่ทางออก ซึ่งเรียกว่าการกระเจิง(Modal Dispersion) นี่เป็นแบบหนึ่งของความเพี้ยนของสัญญาณซึ่งเป็นตัวจำกัดแบนด์วิธของเส้นใยแสง

เส้นใยแสงดรรชนีราบหลายรูปแบบเป็นแบบที่ปรับปรุงมาจากเส้นใยแสงดรรชนีขั้นหลายรูปแบบ การเคลื่อนที่ของแสงที่แกนจะช้ากว่าแสงที่บริเวณผิวหน้า เพราะว่าแสงจะเคลื่อนที่ได้เร็วขึ้น เมื่อผ่านตัวกลางที่มีค่าดรรชนีหักเหยิ่งต่ำ เพราะฉะนั้นรังสีแสงทั้ง 2 อัน จะมาถึงทางออกเกือบจะเป็นเวลาเดียวกัน ด้วยเหตุที่มีการลดการกระเจิงนั่นเอง โดยทั่วไปเส้นใยแสงดรรชนีราบ จะมีเส้นผ่าศูนย์กลางของแกนอยู่ในช่วงตั้งแต่ 50 ถึง 85ไมโครเมตร และเส้นผ่าศูนย์กลางของชั้นปกคลุม125ไมโครเมตร

ดังกล่าวมาแล้วข้างต้น เป็นที่ทราบว่าปัจจุบันนี้เส้นใยดรรชนีขั้นรูปแบบเดียว เป็นที่นิยมใช้กันมากที่สุด ในระบบการสื่อสารแบบช่องสัญญาณกว้าง เส้นใยชนิดนี้รังสีสามารถที่จะเคลื่อนที่ โดยใช้ช่องทางเดียวเท่านั้น เพราะฉะนั้นการกระเจิง จึงเป็นศูนย์เส้นผ่าศูนย์กลางของแกนของเส้นใยชนิดนี้อยู่ในช่วงตั้งแต่ 5 ไมโครเมตร ถึง 10 ไมโครเมตร(เส้นผ่าศูนย์กลางมาตรฐานของชั้นปกคลุมคือ 125 ไมโครเมตร) คุณสมบัติบางประการของเส้นใยรูปแบบเดียวคือ

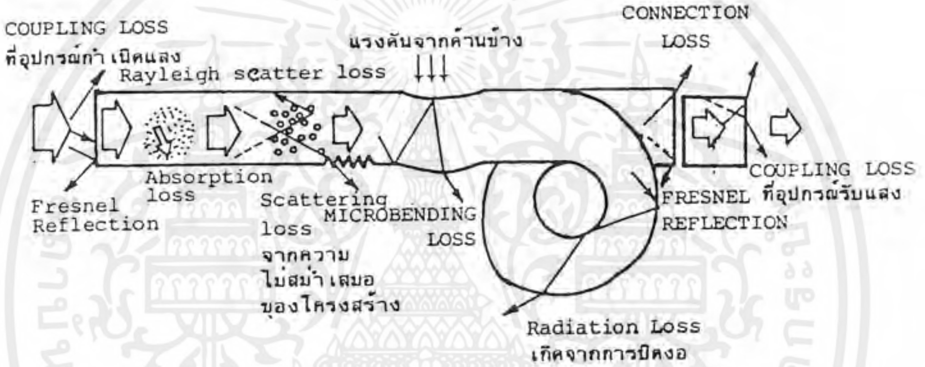
1. แบนด์วิธมีค่าตั้งแต่ 50 ถึง 100 GHz/km
2. อัตราการสื่อสารแบบดิจิตอล เกินกว่า 2,000 Mbytes
3. ใช้งานได้มากกว่า 100,000 ช่องสัญญาณเสียง
4. ความยาวคลื่นของแสง มีค่าใกล้เคียงเส้นผ่าศูนย์กลางของแกน เพราะฉะนั้นมีความสามารถทางความถี่มากขึ้น

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

5. ค่า Mode Field Diameter (MFD) มีค่ามากกว่าเส้นผ่าศูนย์กลางแกน

2.9 การสูญเสียในเส้นใยแสง (LOSS FIBER OPTIC)

ในระบบการสื่อสารด้วยเส้นใยแสง มีองค์ประกอบสำคัญ 2 อัน ที่จะกำหนดความเร็วในการส่ง (Transmission Speed) และระยะห่างของการถ่ายทอดสัญญาณ(Repeater Span) องค์ประกอบเหล่านั้นคือ การสูญเสียแสงกับแบนด์วิดธ์ของการส่ง(Transmission Band Width) การสูญเสียแสง(Optical Loss) เป็นตัวบอกให้ทราบว่ากำลังของแสงที่เดินทางไปในเส้นใยแสงนั้นจะลดลงไปจากเดิมเท่าไร ซึ่งการสูญเสียแสงนี้ยิ่งมีค่าน้อยเท่าไรจะทำให้สามารถส่งสัญญาณแสงได้ไกลมากยิ่งขึ้น การสูญเสียแสงแบ่งออกตามความแตกต่าง ของโครงสร้างที่เกิดขึ้นได้ เป็นการสูญเสียอยู่ในตัวของเส้นใยแสงเอง(Fixed Loss) และการสูญเสียที่เพิ่มขึ้นมา(Addition Loss) เมื่อตอนนำเส้นใยแสง ไปใช้ในระบบการสื่อสาร สาเหตุที่ทำให้เกิดการสูญเสียแสง



รูปที่ 2.49 สาเหตุต่างๆที่ทำให้เกิดการสูญเสียแสง

เห็นได้ว่าการสูญเสียที่มีอยู่ในตัว ของเส้นใยแสงเองนั้น เกิดจากสาเหตุต่างๆ ได้แก่ การดูดแสง (Absorption Loss), การกระจัดกระจายแสงแบบเรลี่(Rayleigh Scattering Loss) การกระจัดกระจายแสงเนื่องจากความไม่สม่ำเสมอของโครงสร้าง(Ununiformity Loss) ส่วนการสูญเสียที่เพิ่มมานั้นเกิดจากสาเหตุต่างๆได้แก่ การงอโค้งของเส้นใยแสง(Bending Loss), การงอโค้งแบบ(Microbending Bending Loss) การต่อเส้นใยแสง(Connection Loss ได้แก่ การสูญเสียจากการสะท้อนกลับของแสงจากการที่แสงกระจายแสง), การเชื่อมต่อแสงระหว่างอุปกรณ์ต้นกำเนิดแสง หรืออุปกรณ์รับแสงกับเส้นใยแสง (Coupling loss) ต่อไปนี้จะอธิบายถึงรายละเอียดของสาเหตุต่างๆของการเกิดการสูญเสียแสง

2.9.1 การสูญเสียแสงที่เกิดจากการดูดแสง(Absorption loss)

การสูญเสียแสงที่เกิดจากการดูดแสงนี้ เป็นลักษณะทำนองเดียวกันกับม่านสีดำที่ดูดแสงได้ดี กล่าวคือสารที่ใช้ผลิตเส้นใยแสงจะเป็นตัวดูดแสงที่เดินทางในเส้นใยแสง แล้วเปลี่ยนเป็นการสูญเสียทางความร้อนโดยทั่วไปแล้วจะมีการดูดแสงอันเนื่องมาจากแก้วเอง(สารที่ใช้ผลิตเส้นใยแสง) และเนื่องมาจากสารอื่นที่เจือปนอยู่ในแก้ว(Impurity)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สำหรับการสูญเสียจากการดูดแสงของแก้วนั้น มันจะดูดแสงอุลตร้าไวโอเลท(Ultraviolet) กับแสงอินฟราเรด(Infrared) การดูดแสงอุลตร้าไวโอเลทนั้น จะดูดมากที่สุดที่ความยาวคลื่นใกล้กับ 0.1 pm และการดูดแสงอินฟราเรดจะถูกดูดมากที่สุดที่ความยาวคลื่นใกล้กับ 10 pm ส่วนที่ความยาวคลื่นอื่นๆนั้น การสูญเสียจากการดูดแสงจะลดลงอย่างมาก ดังแสดงในรูป 2.49 จะเห็นว่าจากความยาวคลื่นประมาณ 1.0 pm ไปจนถึงประมาณ 1.6 pm การสูญเสียจะตกลงเป็นเสมือนหุบเขา(Valley)

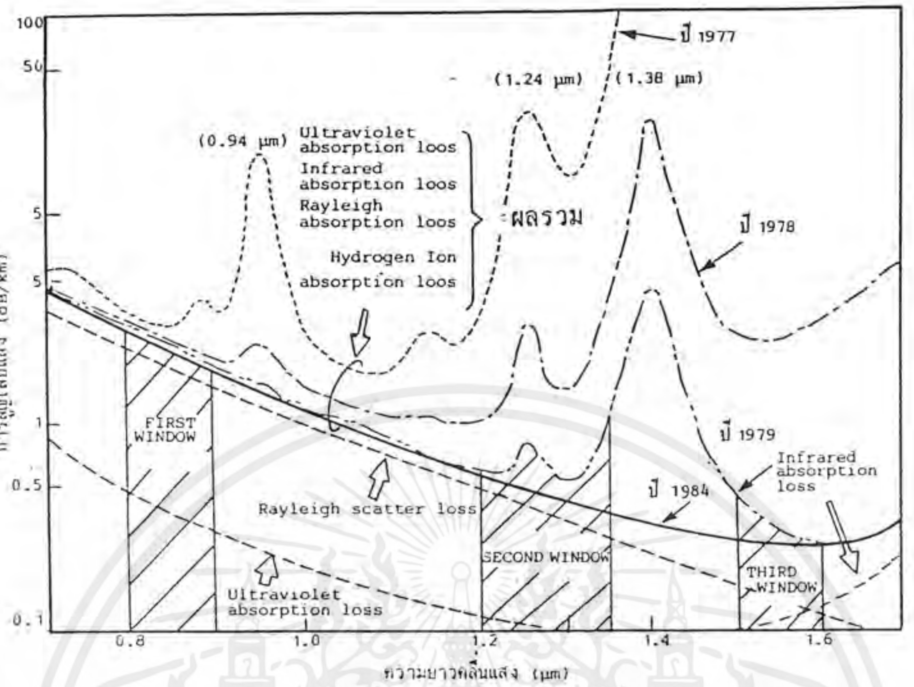
การสูญเสียจากการดูดแสง อันเนื่องมาจากสารแปลกปลอม(Impurity) ปนอยู่ ในตอนแรกที่พัฒนาเส้นใยแสงใหม่ๆนั้น ปรากฏว่าส่วนใหญ่เป็นอิออน(Ion)ของโลหะต่างๆ เช่น อิออนของเหล็ก อิออนของทองแดงและอื่นๆ แต่ต่อมาเทคนิคในการทำให้การสูญเสียแสงต่ำลง ได้พัฒนาไปมากสามารถกำจัดอิออนของโลหะออกไปได้ในปัจจุบันส่วนใหญ่เป็น ไฮดรอกซิลอิออน(Hydroxil Ion : OH-)นั่นคือกล่าวได้ว่าประวัติศาสตร์ของการทำให้การสูญเสียแสงที่มีอยู่ในเส้นใยแสงให้มีค่าน้อยนั้น เป็นการกำจัดการสูญเสียเนื่องจากการดูดแสงอันเนื่องมาจากอิออนของโลหะและไฮดรอกซิลอิออนเหล่านี้นั่นเอง ในรูปที่ 2.58 จะเห็นว่าแสดงการสูญเสียแสงที่ความยาวคลื่นค่าต่างๆ ของแสงในเส้นใยแสงที่ทำด้วยแก้ว ตัวเลข ค. ศ. ที่ค่าสูญเสียสูงสุดต่างๆ นั้นบอกให้ทราบถึงประวัติศาสตร์ของการทำให้การสูญเสียแสงน้อยลง ค่าสูญเสียสูงสุดที่ความยาวคลื่น 0.94 pm, 1.24 pm และ 1.38 pm นั้น เป็นการสูญเสียที่เกิดจากการดูดของไฮดรอกซิลอิออน ที่กล่าวข้างบนและตรงล่างที่เป็นหุบเขา(เรียกว่า Window ของเส้นใยแสง) บริเวณใกล้ๆกับความยาวคลื่น 0.85 pm, 1.3 pm และ 1.55pm (เรียกว่า Window ที่ 1 , ที่ 2 , ที่ 3)นั้นมีการสูญเสียแสงต่ำ ซึ่งนำมาใช้ในการสื่อสารด้วยเส้นใยแสง

2.9.2 การสูญเสียแสงจากการกระจัดกระจายแสงแบบเรลี่(Rayleigh Scattering Loss)

การสูญเสียแบบนี้เป็นปรากฏการณ์ที่เกิดขึ้นเมื่อแสงไปกระทบกับวัตถุที่มีขนาดใกล้เคียงกับความยาวคลื่น แล้วทำให้แสงนั้นแตกกระจัดกระจายออกไป ในทิศทางต่างๆ ตัวอย่างของปรากฏการณ์เช่นนี้ คือการที่เรามองเห็นท้องฟ้าเป็นสีน้ำเงิน,และมองเห็นท้องฟ้าเป็นสีแดงตอนตะวันตกดินนั้นเกิดจากการแตกกระจัดกระจายของแสง ผู้ที่อธิบายปรากฏการณ์การแตกกระจัดกระจายของแสงนี้คือ นักฟิสิกส์ชื่อ Rayleigh

สำหรับการผลิตเส้นใยแสงนั้น ทำได้โดยการให้ความร้อนประมาณ 2,000 องศาเซลเซียสแก่แท่งแก้ว ซึ่งเรียกว่า พรีฟอร์ม(PREFORM) ที่มีขนาดเส้นผ่าศูนย์กลางจากหลายมิลลิเมตร ไปจนถึงหลายสิบมิลลิเมตร จากนั้นจึงทำการดึงแท่งแก้วให้เป็นเส้นใยแสงขนาดเล็ก และในตอนนี้ต้องทำให้เส้นใยแสงนั้น มีอุณหภูมิลดลงจาก 2,000 องศาเซลเซียส เป็นอุณหภูมิห้องประมาณ 20 องศาเซลเซียสอย่างรวดเร็ว โดยการทำเช่นนี้จะทำให้ความไม่สม่ำเสมอของความหนาแน่นที่เกิดขึ้นตอนให้ความร้อน 2,000 (หรือนั่นคือ ความไม่สม่ำเสมอของค่าดัชนีการหักเห) ตกค้างอยู่ในเส้นใยแสงและเป็นสาเหตุทำให้เกิดการกระจายแสงขึ้นในเส้นใยแสง จัดเป็นสาเหตุการเกิดการสูญเสียแสงที่หลีกเลี่ยงไม่ได้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.59 คุณสมบัติการสูญเสียแสงจากการดูดแสงของเส้นใยแสงที่ทำด้วยแก้ว

ในขั้นตอนการผลิตถือเป็นการสูญเสียแสงที่มีประจำอยู่ในตัวของเส้นใยแสง ขนาดของการกระจายแสงจะเป็นสัดส่วนกลับกับความยาวแสง ยกกำลัง 4 ด้วยเหตุนี้ จะเห็นว่าในรูปที่ 2.58 ความยาวคลื่นแสงที่เดินทางยิ่งมีค่ามาก การกระจายแสงจะมีค่าน้อยลง ยกตัวอย่างเช่น เมื่อความยาวคลื่นเป็น 1 pm ค่าการสูญเสียแบบเรย์ลี่ จะมีค่าประมาณ 1 dB/Km และเมื่อความยาวคลื่นเป็น 1.6 pm ค่าการสูญเสียแบบเรย์ลี่ จะมีค่าประมาณ 0.1 dB/Km นอกจากนั้นขนาดของการกระจายแสง ยังเป็นสัดส่วนโดยตรงกับอุณหภูมิในตอนที่ทำการดึงพรีฟอร์มให้เป็นเส้นใยแสง ถ้าหากสามารถทำให้อุณหภูมิต่ำได้ การสูญเสียแบบเรย์ลี่จะน้อยลง ยกตัวอย่างเช่น อุณหภูมิความร้อนที่ใช้ในการดึงแก้วไฟเบอร์ ที่มีสารฟลูออไรด์(Fluoride) ปนอยู่มีค่าประมาณ 700 องศาเซลเซียส ทำให้การสูญเสียแบบเรย์ลี่มีค่าเป็นของแก้วไฟเบอร์ธรรมดายิ่งกว่านั้น สำหรับแก้วไฟเบอร์ที่มีสารฟลูออไรด์ปนอยู่ยังทำให้การสูญเสียแสงที่เกิดจากการดูดแสงอินฟราเรดเลื่อนต่ำออกไปในย่านที่มีความยาวคลื่นมากขึ้น ดังแสดงวินโดว์ที่ 3 ของรูปที่ 2.58 จากข้อดีอันนี้ร่วมกับการสูญเสียแบบเรย์ลี่ที่มีค่าต่ำลงดังกล่าวข้างบน ทำให้สามารถได้เส้นใยแสงที่มีการสูญเสียต่ำมาก คือ ประมาณ dB/Km(0.001 dB/Km)

2.9.3 การสูญเสียจากการกระจัดกระจายแสงอันเนื่องมาจากความไม่สม่ำเสมอของโครงสร้างในเส้นใยแสง(Ununiformity Loss)

สำหรับเส้นใยแสงที่สร้างขึ้นมาจริงๆนั้น จากสาเหตุต่างๆ ในการสร้างทำให้ไม่สามารถได้เส้นใยแสงที่มีลักษณะกลม 100% นอกจากนั้นคอร์(Core)และแคลด(Clad)ที่ประกอบกันเป็นเส้นใยแสงก็ไม่

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สามารถทำให้ได้ ลักษณะรูปทรงกระบอกที่สม่ำเสมอกันอย่างสมบูรณ์ตลอดความยาวของเส้นใยแสงได้ กล่าวคือตรงรอยต่อของคอร์กับแคลดนั้นจะไม่สม่ำเสมอตลอด กล่าวคือจะมีลักษณะคล้ายถนนขรุขระ เมื่อมีรอยต่อไม่เรียบสม่ำเสมอ เช่นนี้จะทำให้เกิดการกระจัดกระจายของแสง ดังแสดงในรูปที่ 2.57 ทำให้แสงบางส่วนไม่สามารถเดินทางไปในคอร์ ได้กระจายออกไปข้างนอก ดังนั้นรอยต่อที่ไม่เรียบไม่สม่ำเสมอ จะทำให้แสงที่เดินทางเกิดการสะท้อนกลับ อย่างสะเปะสะปะทำให้การสูญเสียแสงเพิ่มขึ้น การสูญเสียแสงเช่นนี้เรียกว่าการสูญเสียจากการกระจัดกระจายแสงเนื่องมาจากความไม่สม่ำเสมอของโครงสร้างในเส้นใยแสง

2.9.4 การสูญเสียจากการกระจายแสงอันเนื่องมาจากการงอโค้งเส้นใยแสง(Bending Loss)

เป็นการสูญเสียที่เกิดขึ้นเมื่อ เส้นใยแสงถูกทำให้งอโค้งไป สำหรับการงอโค้งเส้นใยแสง ดังแสดงรูปที่ 2.57 แสงที่มีมุมงอโค้งมากกว่ามุมวิกฤติแล้วแสงนั้น จะกระจายออกไปนอกคอร์ทำให้เกิดการสูญเสียขึ้น ดังนั้นในการออกแบบระบบการสื่อสารด้วยเส้นใยแสง ซึ่งจะได้กล่าวถึงในภายหลังนั้นต้องระมัดระวังอย่าให้เกิดมีการงอเส้นใยแสงเป็นส่วนโค้งที่มีรัศมีเกินกว่ารัศมีที่ยอมให้งอโค้งได้ เช่น ไม่เกิน 40 ม.ม. เป็นต้น

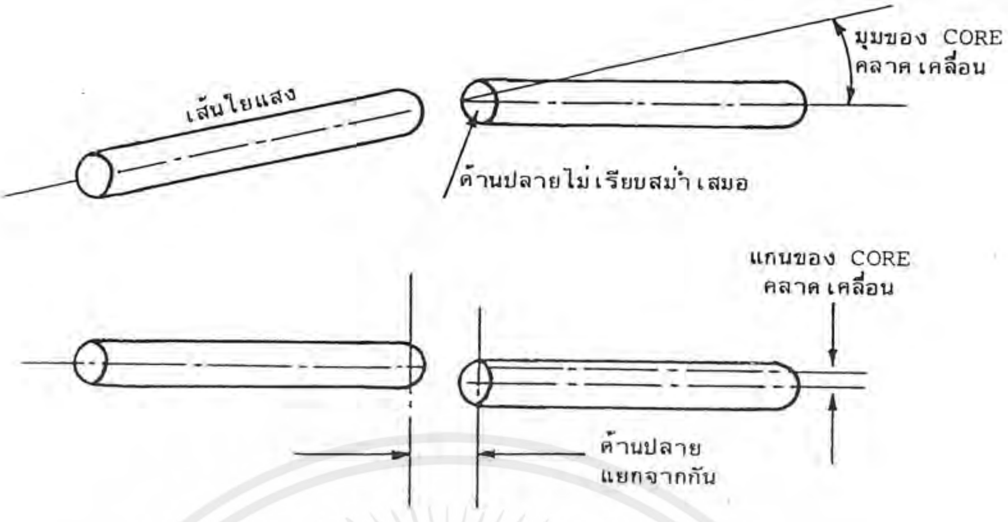
2.9.5 การสูญเสียที่เกิดจากการงอโค้งแบบไมโครเบนดิ้ง(Micro Bending)

เป็นการสูญเสียที่เกิดจาก การที่มีแรงกดที่ไม่สม่ำเสมอ มากระทำต่อด้านข้างของเส้นใยแสง ทำให้แกนของเส้นใยแสงบิดงอไปเล็กน้อย(ประมาณ 2,3 pm) เป็นเหตุให้การสูญเสียเพิ่มขึ้น(การสูญเสียนี้เรียกว่า Micro Bending Loss) ด้วยเหตุนี้ในการออกแบบโครงสร้างเส้นใยแสง จะต้องทำการป้องกันแรงกดจากทางด้านข้าง เช่น ทำชั้น (Layer) ป้องกันการกระแทกหุ้มเส้นใยแสง เป็นต้น

2.9.6 การสูญเสียที่เกิดจากการต่อเส้นใยแสง (Connection Loss)

การต่อเส้นใยแสงนั้น คล้ายกับการต่อท่อของน้ำประปาหรือท่อแก๊ส กล่าวคือ ต้องต่อเข้ากันอย่างดีไม่ให้น้ำประปาหรือแก๊สที่อยู่ข้างในท่อรั่วออกไปข้างนอก กรณีที่ทำการต่อเส้นใยแสง 2 เส้นเข้าด้วยกันนั้น อันดับแรก จำเป็นต้องทำการปรับคอร์ทั้งสองที่แสงเดินทางผ่าน ให้ตรงกันพอดี ถ้าหากว่าคอร์ทั้งสองต่อกันไม่สนิทอย่างสมบูรณ์นั้น แสงที่ออกจากคอร์ด้านหนึ่ง บางส่วนของมันจะไม่เข้าไปในคอร์อีกด้านหนึ่ง แต่กระจายออกไปข้างนอก ทำให้เกิดการสูญเสียสาเหตุ การเกิดการสูญเสียอย่างนี้ กล่าวคือ มีทั้งการคลาดเคลื่อนของแกนของคอร์และอื่นๆ แต่สำหรับค่าการสูญเสียนั้นส่วนใหญ่ จะมาจากการคลาดเคลื่อนของแกนของคอร์ อนึ่งตรงส่วนที่ทำการต่อนั้น กรณีที่มีช่องว่าง(GAP) เพียงเล็กน้อยจะทำให้เกิดการสูญเสียจากการสะท้อนกลับ ถ้าหากช่องว่างโตมากขึ้นกว่านี้จะเกิดการสะท้อนกลับที่เรียกว่า เฟรสเนลรีเฟล็กชั่น(Fresnell Reflection)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.51 สาเหตุต่างๆของการสูญเสียที่เกิดจากการต่อเส้นใยแสง

2.9.7 การสูญเสียจากการเชื่อมต่อระหว่างเส้นใยแสงกับอุปกรณ์กำเนิดแสงและอุปกรณ์รับแสง (Coupling Loss)

แสงที่ปล่อยออกจากอุปกรณ์ต้นกำเนิดแสงนั้น มีเงื่อนไขในการที่จะป้อนแสงเข้าไปในเส้นใยแสง ดังที่ได้กล่าวมาแล้วนั้นคือ ค่า NA(Numerical Aperture) กรณีที่ใช้อุปกรณ์ต้นกำเนิดแสงได้แก่ เลเซอร์ไดโอด หรือ แอลอีดี จะมีความแตกต่างกัน ทางความกว้างของลำแสงที่ปล่อยออกมาจากต้นกำเนิดแสง ซึ่งจะได้กล่าวถึงรายละเอียดภายหลัง แม้จะใช้เลนซ์รวมแสงแล้วก็ตาม เลเซอร์ไดโอดจะมีการสูญเสียของการเชื่อมต่อแสงน้อยกว่า นอกจากนั้น โครงสร้างของเส้นใยแสงที่จะถูกป้อนแสงเข้าไปนั้น ขนาดเส้นผ่าศูนย์กลางของคอร์ของเส้นใยแสงแบบ SM และแบบ GI จะมีค่าต่างกันทำให้ขนาดของการสูญเสียของการเชื่อมต่อแสงมีค่าต่างกันไปด้วย เกี่ยวกับการสูญเสียของการเชื่อมต่อแสงระหว่างเส้นใยแสงกับอุปกรณ์รับแสงนั้น เส้นใยแสงที่มี NA มากนั่นคือ แสงที่ออกจากเส้นใยแสงแบบ GI จะมีลำแสงกว้างกว่าลำแสงที่ออกจากเส้นใยแสงแบบ SM ทำให้การสูญเสียแสงมีมากกว่า

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 3
การคำนวณและการสร้าง

ในการออกแบบจะแบ่งวงจรออกเป็น 2 ภาคใหญ่ๆคือ

1. วงจรทางภาคส่ง
2. วงจรทางภาครับ

3.1 วงจรทางภาคส่ง

หลักการในการออกแบบภาคส่ง โดยการกำหนดสัญญาณอนาลอกช่วงความถี่เสียง ในการออกแบบจะกำหนดสัญญาณอนาลอกที่ความถี่ 0.5 kHz 1 kHz 2 kHz 3 kHz เป็นตัวกำเนิดสัญญาณทั้ง 4 ช่องโดยจะออกแบบให้สัญญาณแต่ละช่องมีอัตราการสุ่มสัญญาณ (Sampling)เท่ากับ 12.5 kHz และออกแบบการแปลงสัญญาณอนาลอกให้เป็นสัญญาณดิจิตอล โดยการเข้ารหัสสัญญาณจะเลือกใช้ ADC0809 ซึ่ง ADC0809 จะมีความถี่สัญญาณนาฬิกาอยู่สัญญาณ (Resolution) ออกเป็น 8 บิต เมื่อได้ข้อมูลแบบขนานแล้วจะต้องออกแบบให้เป็นข้อมูลอนุกรม เพื่อประหยัดสายส่งจากการออกแบบจะใช้ IC เบอร์ 74165 ซึ่งเป็น IC ที่แปลงจากขนานให้เป็นอนุกรม หลังจากนั้นจะนำข้อมูลไปแปลงสัญญาณไฟฟ้าให้เป็นสัญญาณแสง

หลังจากการทำงานของภาคส่งจะแบ่งออกเป็นวงจรต่างๆดังนี้

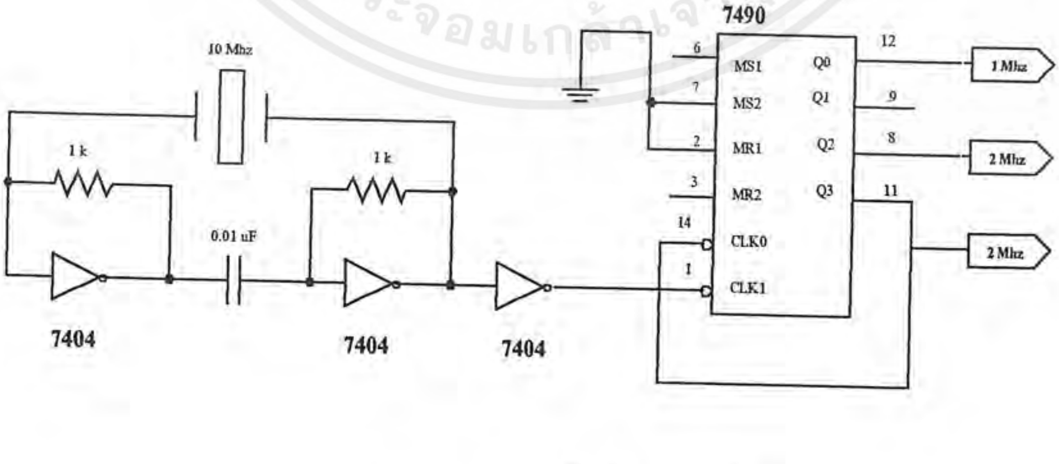
3.1.1 วงจรสร้างสัญญาณนาฬิกา

การออกแบบวงจรสัญญาณนาฬิกาเราจะใช้คริสตอล 10 MHz เพื่อผลิตความถี่ให้ได้ 10 MHz แล้วนำมาหารความถี่โดยใช้ ไอซี 74LS90 เพื่อให้ความถี่สำหรับใช้ในวงจรทางภาคส่ง ซึ่งจะได้ความถี่ที่นำไปใช้งานค่าต่างๆ ดังนี้ แสดงให้เห็นดังรูปที่3.1

Q0 ขา12 ของไอซี 74LS90 มีความถี่ 1 kHz

Q2 ขา 8 ของไอซี 74LS90 มีความถี่ 2 kHz

Q3 ขา 11 ของไอซี 74LS90 มีความถี่ 2 kHz



รูปที่ 3.1 แสดงวงจรสร้างสัญญาณนาฬิกา

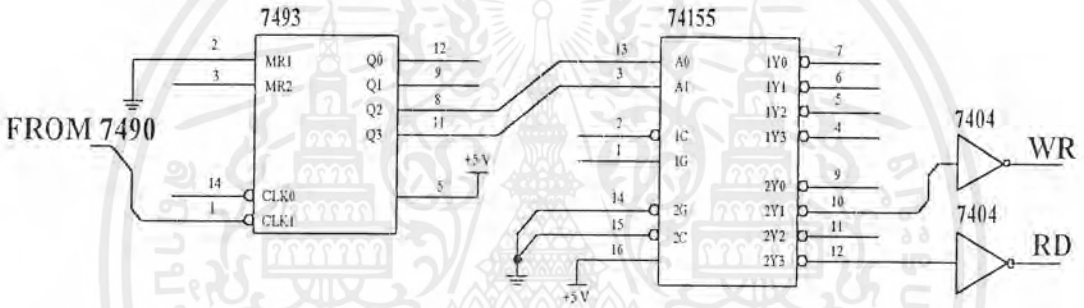
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.1.2 วงจรสร้างสัญญาณ Read, Write

การออกแบบวงจรสร้างสัญญาณ Read, Write ต้องการนำสัญญาณไปควบคุมการทำงานของตัวไอซี ADC0809 เพื่อให้สามารถทำงานสัมพันธ์กับส่วนของสัญญาณของวงจรมัลติเพล็กซ์

การทำงานของวงจรเริ่มจาก นำสัญญาณนาฬิกาความถี่ 1 MHz จาก ไอซี 7490 มาผ่านวงจรหารความถี่ไอซี 7493 แล้วจะได้สัญญาณที่ขา 11 (7493) เป็นสัญญาณนาฬิกาความถี่เท่ากับ 125 kHz (1 MHz/8) ที่ขา 8 (7493) เป็นสัญญาณนาฬิกาความถี่เท่ากับ 250 kHz (1 MHz/4) แล้วก็จะนำสัญญาณที่ได้จากขา 11, 8 ไปสร้างสัญญาณ Read, Write

การทำงานของไอซี 74155 (2 to 4 Line Decoder) จะได้สัญญาณออกจากขา 10 และขา 12 แต่สัญญาณที่ได้จากทั้งสองขาจะเป็นสัญญาณลบ เราจึงต้องนำสัญญาณจากขาทั้งสองไปผ่าน Inverter เพื่อให้ได้สัญญาณ Read, Write ดังแสดงในรูปที่ 3.2

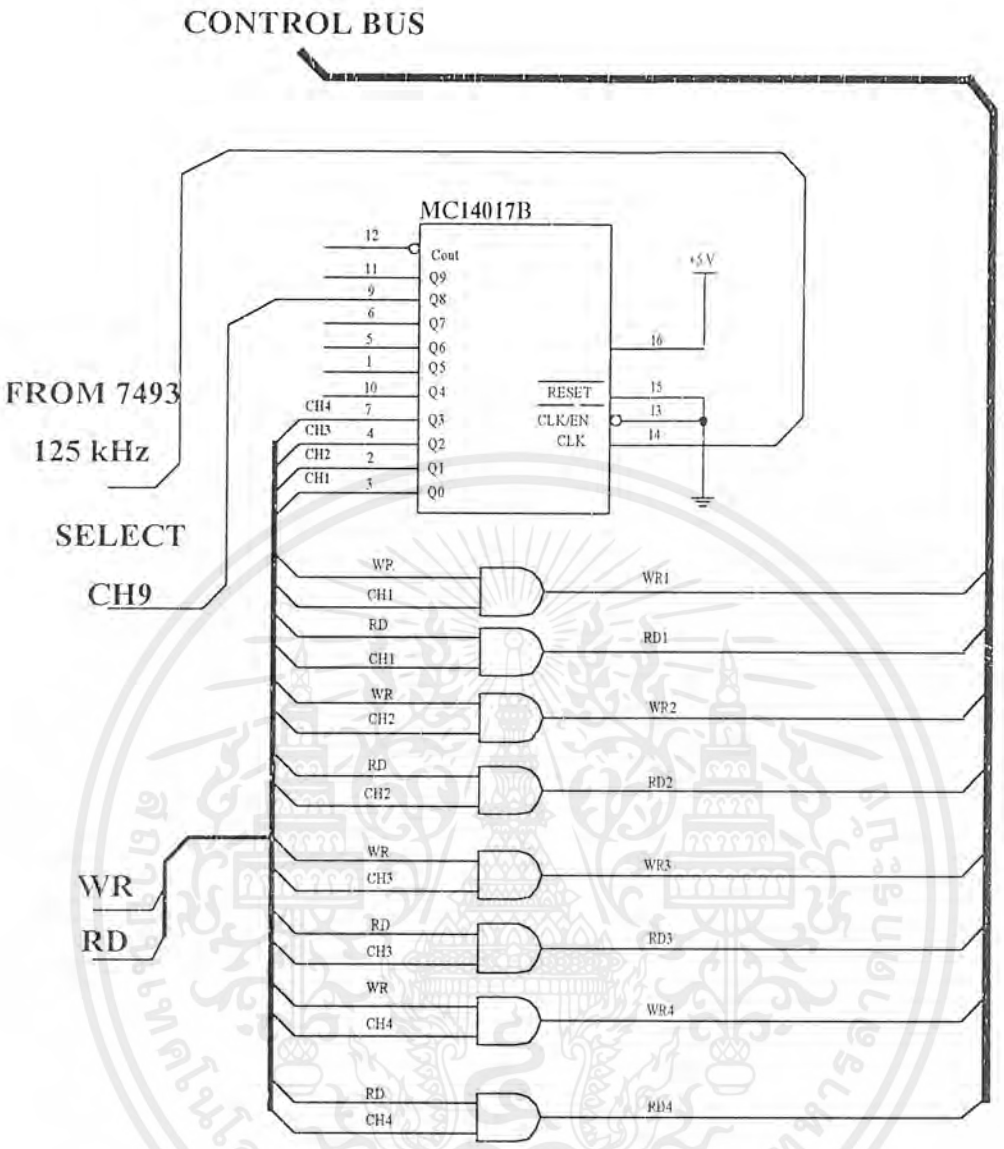


รูปที่ 3.2 แสดงวงจรสร้างสัญญาณ Read, Write

3.1.3 วงจรสร้างสัญญาณ Multiplex

การออกแบบใช้ไอซี MC14017 จะเริ่มต้นโดยการป้อนสัญญาณนาฬิกา 125 kHz (จาก 7493) ให้ไอซี MC 14017 ซึ่งจะทำการสร้างสัญญาณออกมาทาง Q0 ถึง Q9 ซึ่งสัญญาณที่ได้จากในช่องจะมีความถี่เท่ากับ 125 kHz ซึ่งจะนำสัญญาณแต่ละช่องมา AND กับสัญญาณ Read, Write ซึ่งในวงจรนี้เราจะใช้สัญญาณเฉพาะช่อง Q0 ถึง Q3 จะได้สัญญาณ RD1 ถึง RD4 และสัญญาณ WR1 ถึง WR4 เพื่อนำไปควบคุม ADC0809 ส่วนในช่องที่ 10 (Q9) จะนำไปใช้ในการ กำหนดสร้างสัญญาณ Synchronize จะเห็นการทำงานในรูปที่ 3.3

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

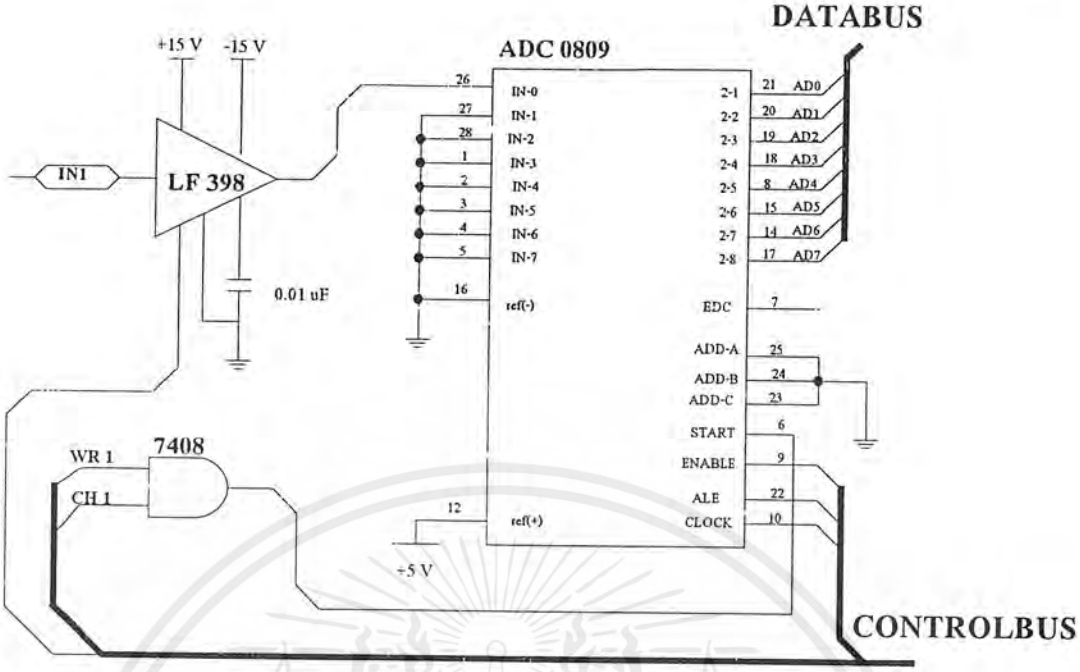


รูปที่ 3.3 แสดงวงจร Multiplex

3.1.4 วงจร Sample and Hold และวงจรแปลงสัญญาณอนาลอกเป็นสัญญาณดิจิตอล

การออกแบบวงจร Sample and Hold จะสร้างจากไอซี LF398 ที่จะเป็นสวิตช์เปิดปิดสัญญาณทางอินพุตให้แก่ไอซี ADC0809 ซึ่งจะมีด้วยกันทั้งหมด 4 ชุด แต่ละชุดจะใช้ความถี่ของอินพุตแตกต่างกันแต่ละชุดสัญญาณอินพุตจะถูกป้อนเข้าตามขาสามของไอซี LF398 ที่ทำงานเป็นสวิตช์เปิดปิดตามสัญญาณ RD.N เข้าทางขา 8 โดยในช่วงที่สัญญาณ RD.N มีพัลส์เป็นบวกสัญญาณอินพุตที่เข้าทางขา 3 จะออกไปยังอินพุตที่ขา 5 และนำสัญญาณจากขา 5 (LF398) ไปป้อนให้กับไอซี ADC0809 หลังจากสัญญาณ WR.N ป้อนให้กับขา Start, ALE จะทำให้ ADC0809 เริ่มทำการรับค่าที่ค้างไว้ไปทำให้การเข้ารหัสข้อมูลออกมาเป็น 8 บิต การทำงานจะเป็นดังรูป 3.4

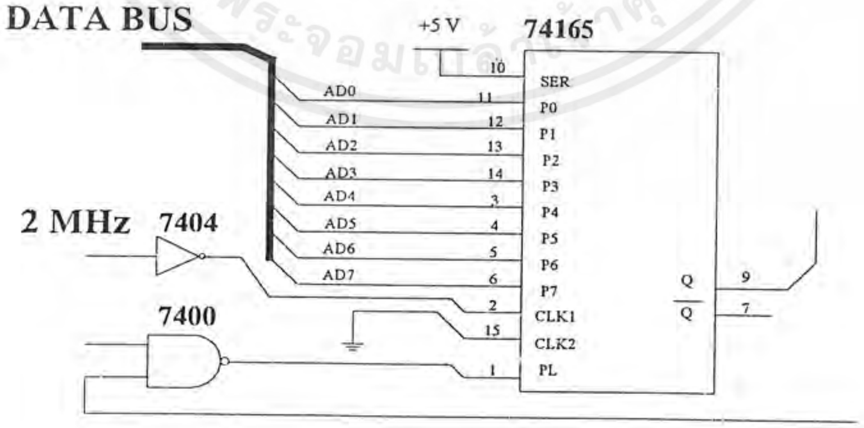
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.4 แสดงวงจรแปลงสัญญาณอนาลอกเป็นสัญญาณดิจิตอลและวงจร Sample and Hold

3.1.5 วงจรแปลงข้อมูลแบบขนานเป็นข้อมูลแบบอนุกรม

การออกแบบวงจรไอซี 74165 ทำหน้าที่เปลี่ยนสัญญาณข้อมูลขนานให้เป็นสัญญาณอนุกรม โดยจะใช้ความถี่ของสัญญาณ clock Q3 (7490) มีค่าเท่ากับ 2 MHz ควบคุมการส่งสัญญาณโดยใช้ขา SHIFT/LOAD ซึ่งจะใช้สัญญาณ RD และ clock Q1 (7493) มาเป็นตัว Shift สัญญาณที่เป็นแบบขนานให้ออกไปเป็นอนุกรมดังรูปที่ 3.5

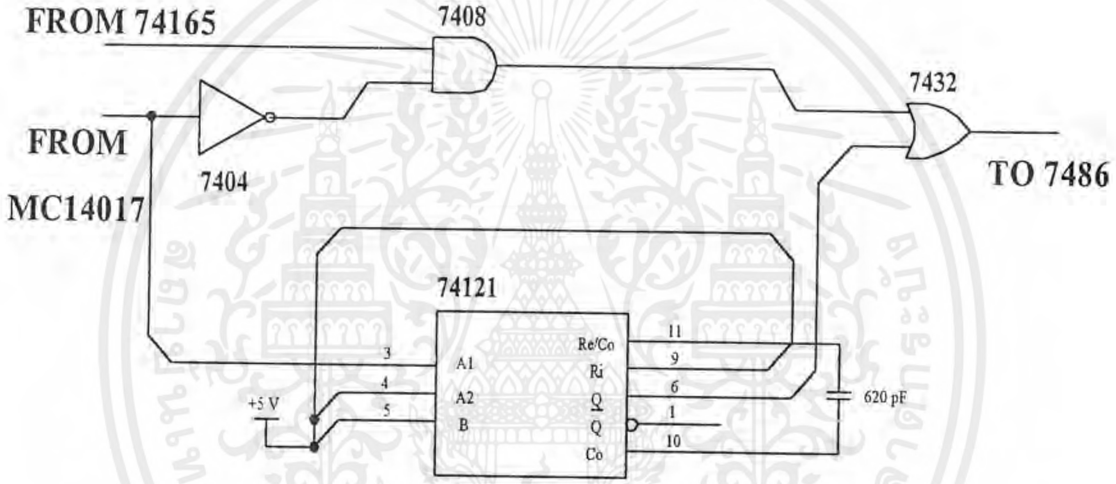


รูปที่ 3.5 แสดงวงจรแปลงข้อมูลแบบขนานเป็นข้อมูลแบบอนุกรม

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.1.6 วงจรสร้างสัญญาณซิงโครไนซ์

ในการออกแบบ 4 ช่องสัญญาณ เราใช้สัญญาณจากช่อง 1 ถึงช่อง 4 ของวงจรมัลติเพล็กซ์ (MC14017) จะส่งไปด้วยความเร็ว 2 Mbps แต่ในช่องที่ 5 ถึงช่อง 10 ไม่นำไปใช้งาน เราจึงนำสัญญาณจากช่อง 10 (Q9) ของไอซี MC14017 ไปใช้ในวงจรการสร้างสัญญาณซิงโครไนซ์ ดังรูปที่ 3.6 โดยต้องนำสัญญาณจากช่อง 10 (Q9) ของไอซี MC14017 มาผ่าน Inverter ก่อน เพื่อกลับสถานะของสัญญาณแล้วนำมา AND กับสัญญาณข้อมูลจากไอซี 74165 (ขา 9) เพื่อเป็นการลบสัญญาณข้อมูลในช่องที่ 10 จากนั้นนำสัญญาณซึ่งเป็นพัลส์แคบๆ ที่ได้จากไอซี 74121 (เป็นสัญญาณที่ได้จากการนำสัญญาณช่อง 10 มาสร้างสัญญาณพัลส์แคบๆ โดยความกว้างของพัลส์ จะขึ้นอยู่กับค่าของตัวเก็บประจุที่ต่ออยู่ในวงจร) และนำสัญญาณข้อมูลที่ได้จาก ไอซี 7408 มาผ่าน OR Gate (ไอซี 7432) เพื่อรวมสัญญาณซิงโครไนซ์กับสัญญาณข้อมูลเข้าด้วยกัน ซึ่งจะได้สัญญาณข้อมูลที่ตามหลังสัญญาณซิงโครไนซ์

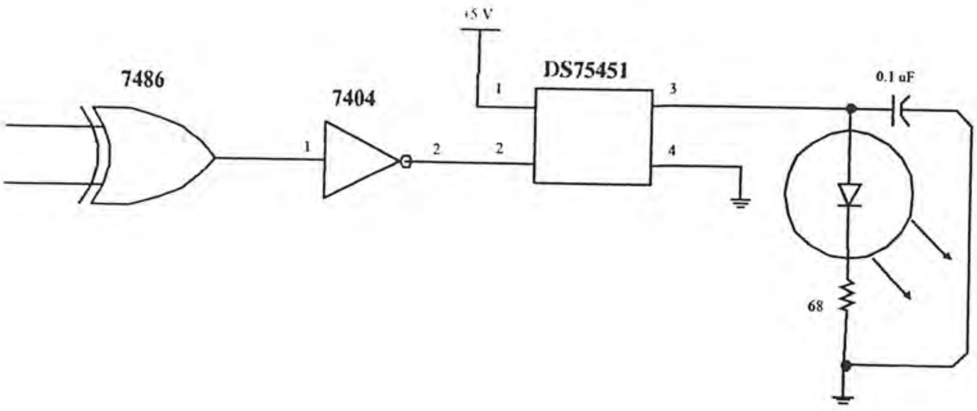


รูปที่ 3.6 แสดงวงจรสร้างสัญญาณซิงโครไนซ์

3.1.7 วงจรผสมสัญญาณข้อมูลกับสัญญาณนาฬิกาและแปลงสัญญาณไฟฟ้าเป็นสัญญาณแสง

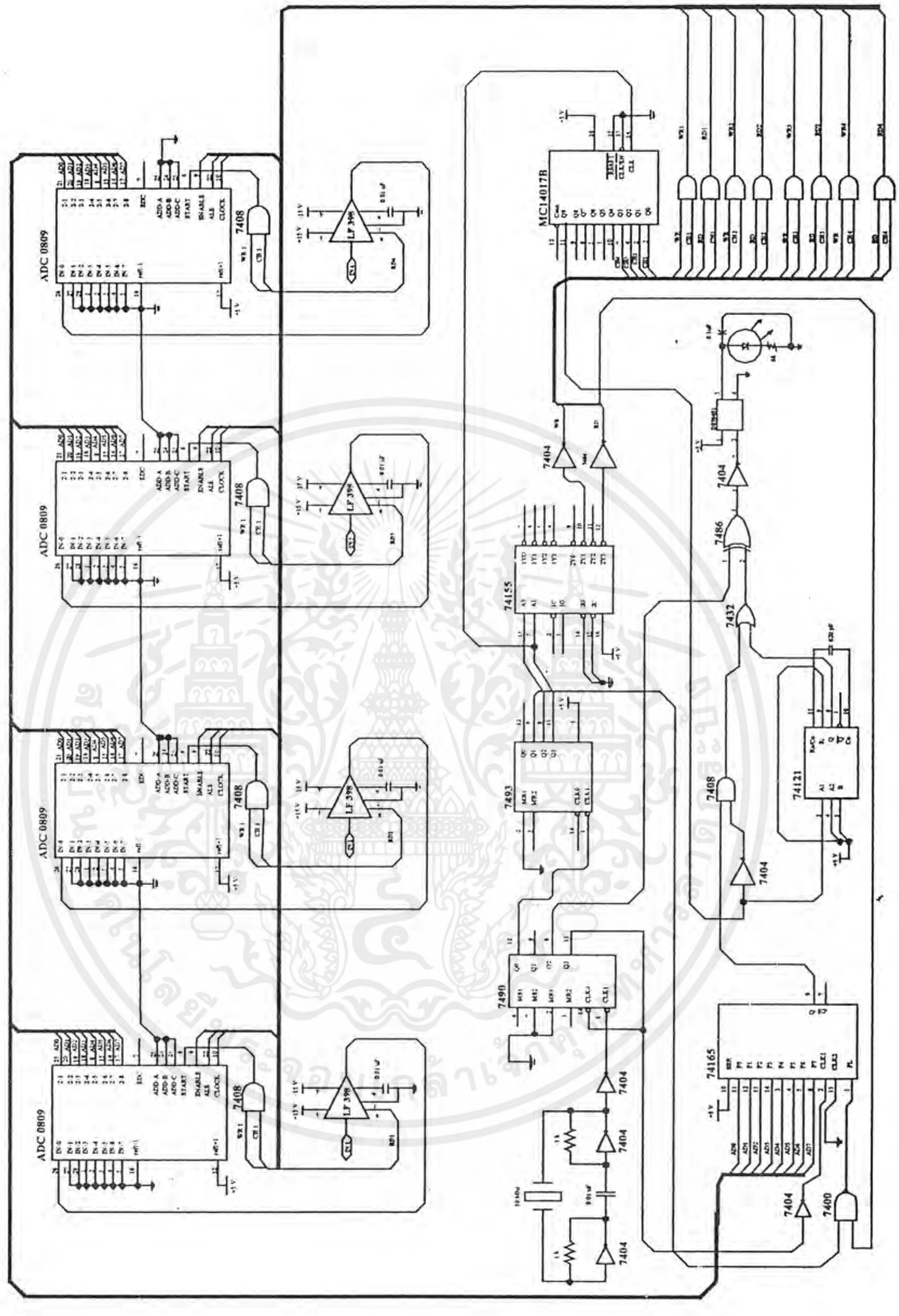
จากหลักการออกแบบการส่งข้อมูลและการมัลติเพล็กซ์สัญญาณที่กล่าวมาข้างต้น เราเลือกวิธีการมัลติเพล็กซ์แบบซิงโครไนซ์ทีดีเอ็ม โดยใช้สัญญาณนาฬิกาตัวเดียวกันของภาคส่งและภาครับ ดังนั้นเพื่อเป็นการสะดวกสำหรับทางภาครับสัญญาณจึงใช้วิธีการรวมสัญญาณนาฬิกาเข้าไปกับสัญญาณข้อมูลด้วย โดยสัญญาณนาฬิกาที่เราใช้ส่งไปมีความถี่ 2 MHz จากไอซี 7490 (Q2) แล้วนำไปเข้าวงจรที่ใช้เปลี่ยนสัญญาณไฟฟ้าเป็นสัญญาณแสงซึ่งเป็นส่วนสำคัญที่จะช่วยให้แหล่งกำเนิดแสงที่เป็น LED หรือ LASER DIODE ทำงานได้อย่างมีประสิทธิภาพซึ่งจะใช้ในการสื่อสารข้อมูลดิจิตอล สัญญาณดิจิตอลนี้มีเพียงสองสภาวะเท่านั้น คือ High กับ Low หรือ “1” กับ “0” ดังนั้น LED ที่ใช้จึงใช้เพียง ON กับ OFF หรือสว่างกับดับตามสภาวะของสัญญาณดิจิตอลที่เราได้มาเท่านั้นแสดงดังรูปที่ 3.7

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.7 แสดงวงจรผสมสัญญาณข้อมูลกับ clock และแปลงสัญญาณไฟฟ้าเป็นแสง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.8 แสดงวงจรรวมทางภาคส่ง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.2 การออกแบบวงจรทางภาครับ

วงจรทางภาครับเราจะทำการแยกสัญญาณที่ส่งมาจากภาคส่งโดยจะนำสัญญาณ Clock และข้อมูลมาใช้งานโดยใช้ IC เบอร์ 7474, IC เบอร์ 74121 ซึ่งจะเป็นตัวแยกสัญญาณ Clock กับสัญญาณข้อมูลซึ่งเราจะทำได้โดยการปรับค่า VR ที่ IC เบอร์ 74121 ให้ได้ความถี่ clock เท่ากับ ความถี่ของ clock ภาคส่งจากนั้นจะทำการจับสัญญาณ Synchronize โดย IC 4017 (ตัวที่ 1) เมื่อขา 11 ของ IC 4017 ตัวที่ 1 มีสถานะเป็น 1 แล้วจะทำให้ IC เบอร์ 4017 (ตัวที่ 2) ถูก Reset แล้วจะเริ่มทำงานที่ channel 0

ดังนั้นนำสัญญาณclock กับสัญญาณ Data มาเข้า IC 74164 จะเป็นตัวแปลงข้อมูลแต่ละช่องสัญญาณที่ส่งมาเป็นอนุกรมให้เป็นขนาน และนำเอาท์พุตจาก IC เบอร์ 74164 ต่อเข้า IC เบอร์ 74374 เพื่อทำการ Latch ข้อมูลที่ส่งมา IC เบอร์ 74164 ไว้ เนื่องจากข้อมูลที่ส่งออกมาจาก IC#74164 นั้นต้องใช้เวลา 8 clock Cycles Data จึงจะมาครบ การควบคุมให้ IC เบอร์ 74374 แล้ว เวลา 8 clock Cycles Data เราจะใช้ IC เบอร์ 74123 และ IC เบอร์ 74193 เป็นตัว Counter ให้ IC เบอร์ 74374 แล้วสัญญาณข้อมูลที่เป็นดิจิตอล จะถูกแปลงจากดิจิตอลเป็นอนาลอก โดย IC เบอร์ ADC0808 ซึ่งจะได้ผลทางเอาท์พุตอยู่ในรูปของกระแสจึงต้องแปลงให้อยู่ในรูปของ Voltage โดยต่อ IC LF351 แล้วป้อน Logic Input เข้าที่ขา 8 ของ IC LF398 ซึ่ง Logic Input นี้จะถูกกำหนดโดย IC เบอร์ 4017 ตัวที่ 2 ซึ่ง IC เบอร์ 4017 ตัวที่ 2 นี้ก็คือตัว Demultiplex

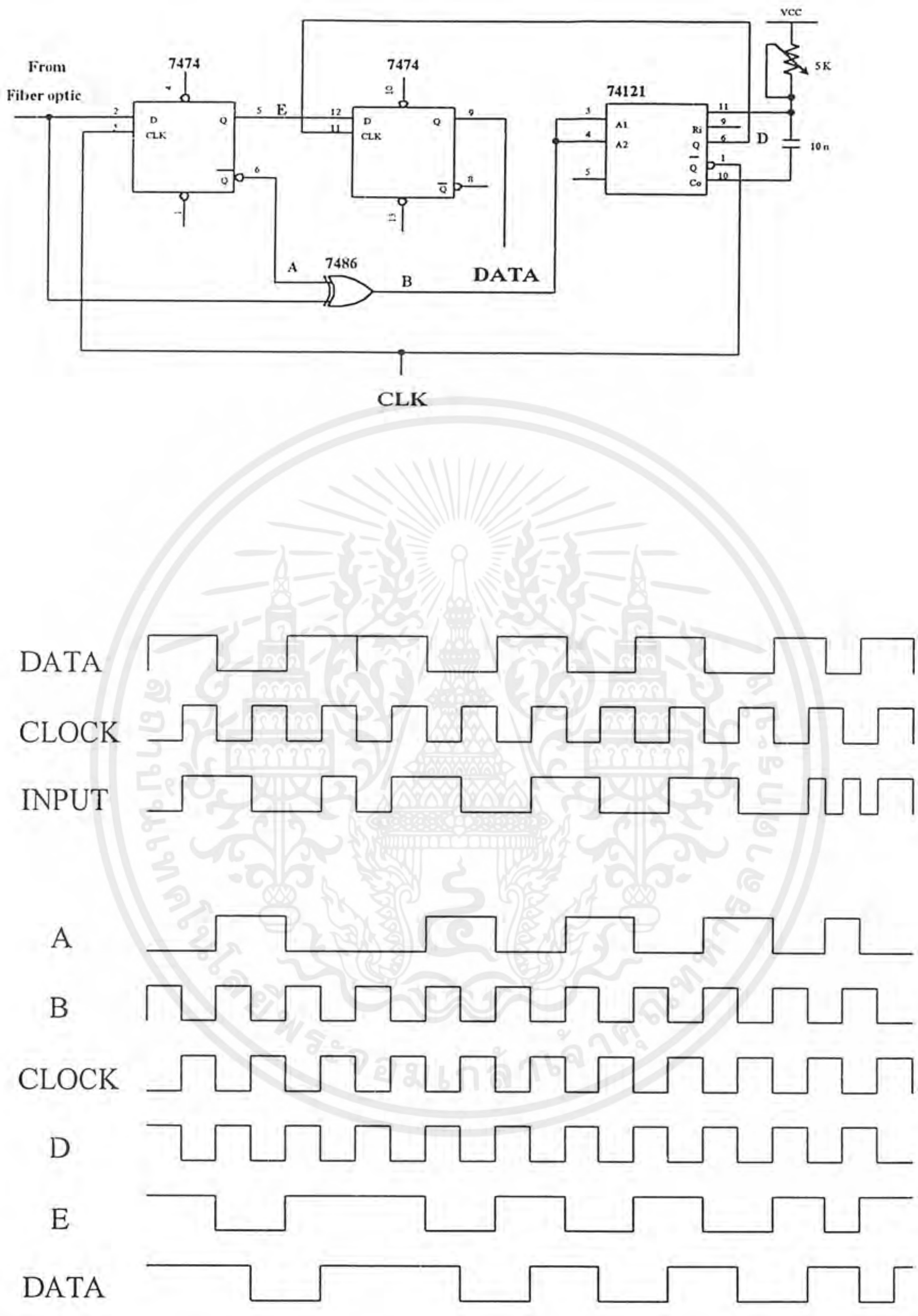
3.2.1 การออกแบบวงจรแยกสัญญาณนาฬิกาและสัญญาณข้อมูล

การออกแบบวงจรในภาคส่งนั้นได้ทำการผสมสัญญาณความถี่ 2 MHz เข้ากับสัญญาณข้อมูลช่อง 1 ถึงช่อง 10 และทำการแปลงสถานะของสัญญาณเพื่อให้ทางภาครับสามารถแยกสัญญาณนาฬิกาและสัญญาณข้อมูลออกมาได้ ในการออกแบบวงจรสำหรับใช้แยกสัญญาณนาฬิกาและสัญญาณข้อมูลทางภาครับดังรูป 3.9 วงจรจะประกอบด้วย IC เบอร์ 7474 และ IC สร้างสัญญาณพัลส์ IC เบอร์ 74121 วงจรจะทำหน้าที่แปลงสถานะของสัญญาณที่รับเข้ามาเพื่อให้ได้สัญญาณนาฬิกาและสัญญาณข้อมูลที่ส่งออกมาจากภาคส่งให้แยกจากกัน

เมื่อสัญญาณอินพุตป้อนเข้าไปยังไอซี 7474 จะได้สัญญาณที่จุด A และจุด B ดังรูป แล้วทำการปรับค่าความต้านทาน 5kΩ จนทำให้ IC เบอร์ 74121 สามารถผลิตสัญญาณพัลส์ออกมา โดยมีความถี่และ Dutycycle เท่ากับสัญญาณนาฬิกาทางภาคส่ง วงจรจะสามารถแยกสัญญาณนาฬิกาออกมาได้ซึ่งจากข้อกำหนดดังกล่าวจะเป็นผลให้ได้สัญญาณที่จุด D และจุด E เมื่อนำสัญญาณทั้งสองไปป้อนให้กับไอซี 7474 (ตัวที่ 2) จะสามารถแยกสัญญาณข้อมูลออกมาได้ตรงกับสัญญาณข้อมูลที่ส่งมาจากภาคส่งตามแสดงในรูปที่ 3.9

ดังนั้นสัญญาณนาฬิกาที่แยกได้ของภาครับจะมีเฟสของสัญญาณแตกต่างจากสัญญาณนาฬิกาทางภาคส่งเล็กน้อย ซึ่งไม่เป็นปัญหาสำหรับการทำงานของวงจรทางภาครับ จากสัญญาณข้อมูลกับสัญญาณนาฬิกาที่ได้จะนำไปป้อนให้กับวงจรอื่นๆ ต่อไป

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



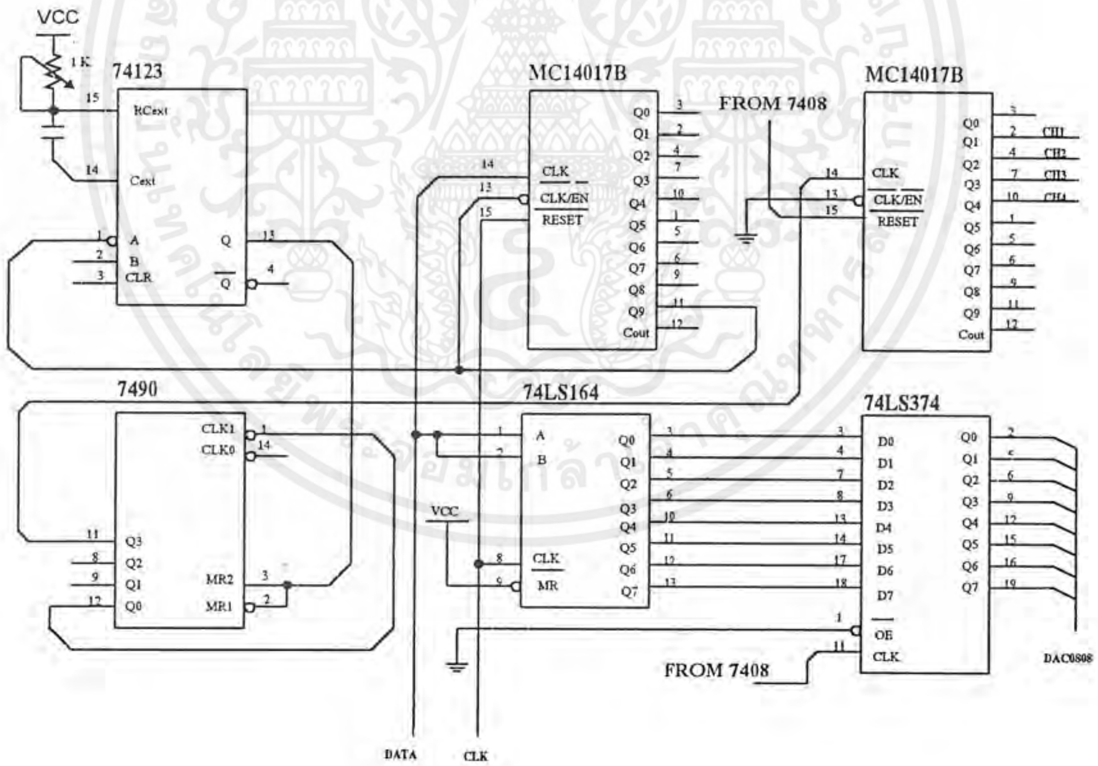
รูปที่ 3.9 แสดงวงจรแยกสัญญาณนาฬิกาและสัญญาณข้อมูล

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.2.2 วงจร Synchronize และการแปลงข้อมูลแบบอนุกรมเป็นข้อมูลแบบขนาน

เราใช้ไอซี MC14017 มาเป็นตัวจับสัญญาณ Synchronize จากสัญญาณข้อมูล จากสัญญาณขอบขาลงของขา 11 ไอซี MC14017 (ตัวที่ 1) จะนำไปเซ็ตให้ไอซี 74121 ทำงานโดยไอซี 74121 จะสร้างสัญญาณพัลส์ ที่มีความกว้างประมาณ 8 รอบ ของสัญญาณนาฬิกา 2 MHz เพื่อเป็นการเซ็ตให้วงจรทำงานตรงตำแหน่งของข้อมูลในแต่ละช่อง ซึ่งความกว้างของสัญญาณข้อมูลในแต่ละช่องจะเท่ากับ 16 รอบของสัญญาณนาฬิกาความถี่ 2 MHz หรือ 1 รอบ ของสัญญาณนาฬิกาความถี่ 125 kHz ดังนั้นตรงบริเวณของขาลงของพัลส์ที่สร้างจากไอซี 74121 จะเป็นการเซ็ตให้ไอซี 7493 ซึ่งเป็นไอซีทำหน้าที่หารความถี่เริ่มทำงานโดยไอซี 7493 จะเริ่มนำสัญญาณนาฬิกาความถี่ 2 MHz มาหารเป็น 125 kHz และป้อนให้กับขา clock ของไอซี MC14017 (ตัวที่2) เพื่อผลิตสัญญาณช่องที่ 1 ถึงช่องที่ 4 ดังรูปที่ 3.10

สัญญาณข้อมูลที่ได้จากการแยกสัญญาณข้อมูลและสัญญาณนาฬิกา ซึ่งสัญญาณข้อมูลที่ได้เป็นสัญญาณข้อมูลแบบอนุกรม จะนำมาแปลงให้เป็นสัญญาณข้อมูลแบบขนานตามจังหวะของสัญญาณนาฬิกาความถี่ 2 MHz โดยไอซี 74164 จะใช้เวลา 8 รอบของสัญญาณนาฬิกาจึงจะแปลงเสร็จเรียบร้อย ดังนั้นสัญญาณข้อมูลแบบขนาน 8 บิต จะถูกปล่อยไปยังไอซี DAC0808 มาควบคุมไอซี 74374 ซึ่งทำหน้าที่นำสัญญาณข้อมูล 8 บิต แบบขนานส่งต่อไปให้ไอซี DAC0808 ตามจังหวะของสัญญาณนาฬิกา 125 kHz

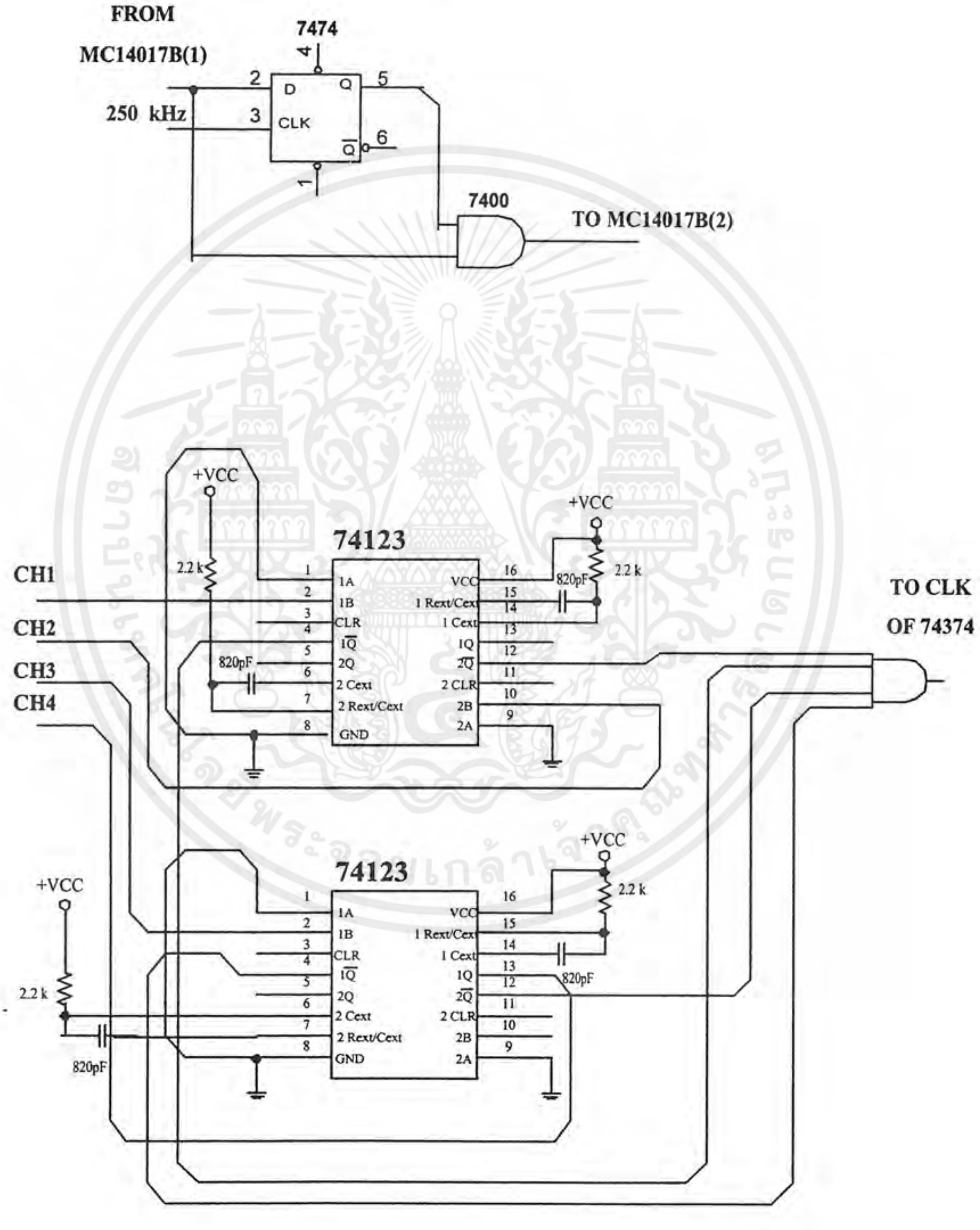


รูปที่ 3.10 วงจรดีมัลติเพล็กซ์และวงจรการแปลงข้อมูลแบบอนุกรมเป็นข้อมูลแบบขนาน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.2.3 วงจรกำหนดช่วงเวลาการส่งสัญญาณข้อมูลให้ตรงแต่ละช่องสัญญาณ

เป็นวงจรที่ใช้กำหนดช่วงเวลาการส่งข้อมูลของทั้ง 4 ช่องสัญญาณ โดยจะทำการสร้างพัลส์แคบๆ จำนวน 4 ลูก(ถูกกลับสภาวะ) ป้อนให้กับขา CLK ของ IC 74374 ซึ่งทำหน้าที่โหลดข้อมูล 8 บิตที่รับมาได้ โดยพัลส์ที่สร้างขึ้นมาแต่ละลูกจะเกิดขึ้นมีระยะห่างระหว่างกัน 4 μs ติดต่อกัน 4 ลูก แล้วจะเป็นสภาวะ "1" ตลอดเป็นเวลา 24 μs แล้วจึงจะเกิดขึ้นมาใหม่อีก

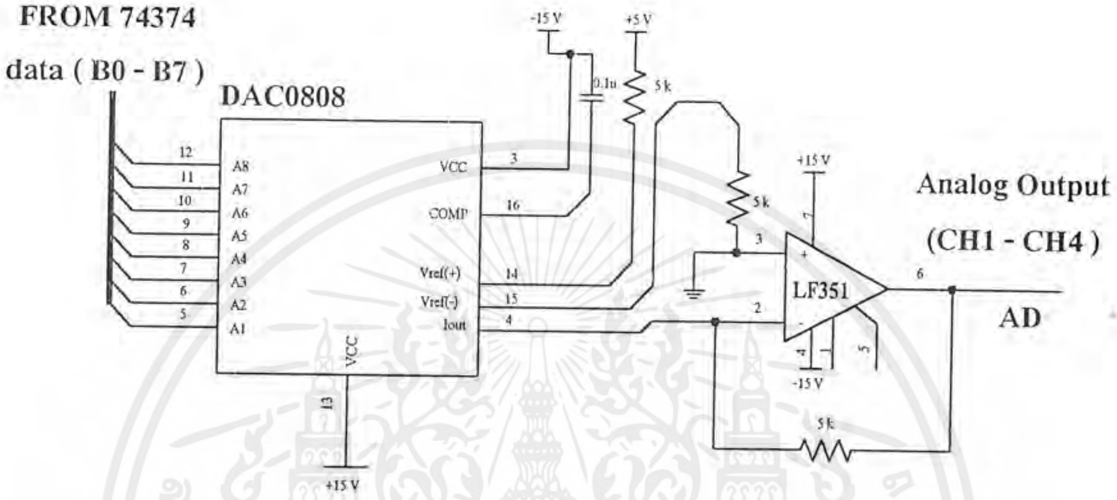


รูปที่ 3.11 วงจรกำหนดช่วงเวลาการส่งสัญญาณข้อมูลให้ตรงแต่ละช่องสัญญาณ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.2.3 การแปลงสัญญาณดิจิตอลเป็นสัญญาณอนาลอก

การออกแบบวงจรใช้ไอซี ADC0808 ต่อร่วมกับไอซี LF351 ซึ่งเอาท์พุตกระแสที่เกิดจาก ADC0808 จะใช้ในการขับ Inverting Opamp ให้มีการทำงานจนกระทั่งเกิดแรงดันเอาท์พุตของOpamp แปลตามกระแสเอาท์พุตที่เกิดจากวงจรแปลงสัญญาณดิจิตอลเป็นสัญญาณอนาลอก ดังรูปที่ 3.11



รูปที่ 3.12 วงจรแปลงสัญญาณดิจิตอลเป็นสัญญาณอนาลอก

3.2.4 วงจรแยกสัญญาณอนาลอกแต่ละช่องออกจากกันและผ่านวงจรกรองความถี่ต่ำผ่าน

สัญญาณข้อมูลแบบดิจิตอลของช่องต่างๆ จะถูกให้แปลงเป็นสัญญาณแบบอนาลอกของช่องต่างๆที่รวมกันอยู่ เราต้องทำการแยกสัญญาณอนาลอกที่ให้แบ่งออกเป็นสัญญาณอนาลอกของแต่ละช่อง โดยใช้วงจรแยกสัญญาณ ใช้ไอซี MC14017 (ตัวที่2) สร้างสัญญาณ CH1-CH4 โดยใช้ขา 2,4,7และ10 ตามลำดับสัญญาณที่ได้จะถูกป้อนให้กับไอซี LF398 จะทำหน้าที่เสมือนเป็นสวิตช์ โดยสัญญาณ ทางช่อง CH1- CH4 จะเป็นตัวกำหนดการเปิด ปิดของสวิตช์ ให้สัญญาณอนาลอก ที่ได้จากไอซี DAC0808 แยกออกไปตามช่องต่างๆ (ช่อง 1-4) และสัญญาณอนาลอกที่แยกได้แต่ละช่อง จะถูกนำไปผ่านวงจรกรองสัญญาณความถี่ต่ำผ่าน เพื่อให้ได้สัญญาณเดิมเหมือนอินพุตของแต่ละช่องดังรูป 3.12 (เราจะแสดงให้เห็นเพียงช่องเดียว)

การออกแบบวงจรกรองความถี่ต่ำผ่าน

$$A_v(S) = V_2/V_1 = [(K/R^2C^2)/(S^2+(S(3-K)/RC)+(1/R^2C^2))]$$

$$A_v = [(K\omega_o^2)/(S^2+1.414\omega_o S+\omega_o^2)]$$

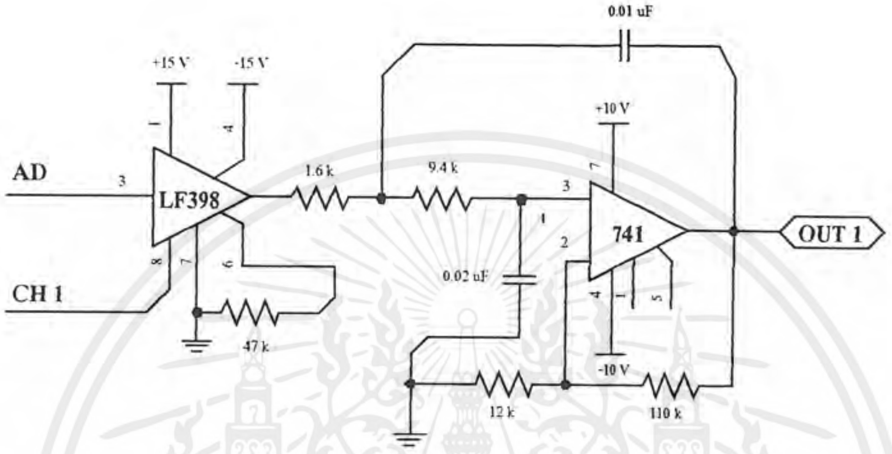
$$\omega_o = 1/RC$$

$$3\text{-}K = 1.414 = 1/Q$$

$$\text{หา } K = 1+R_F/R'$$

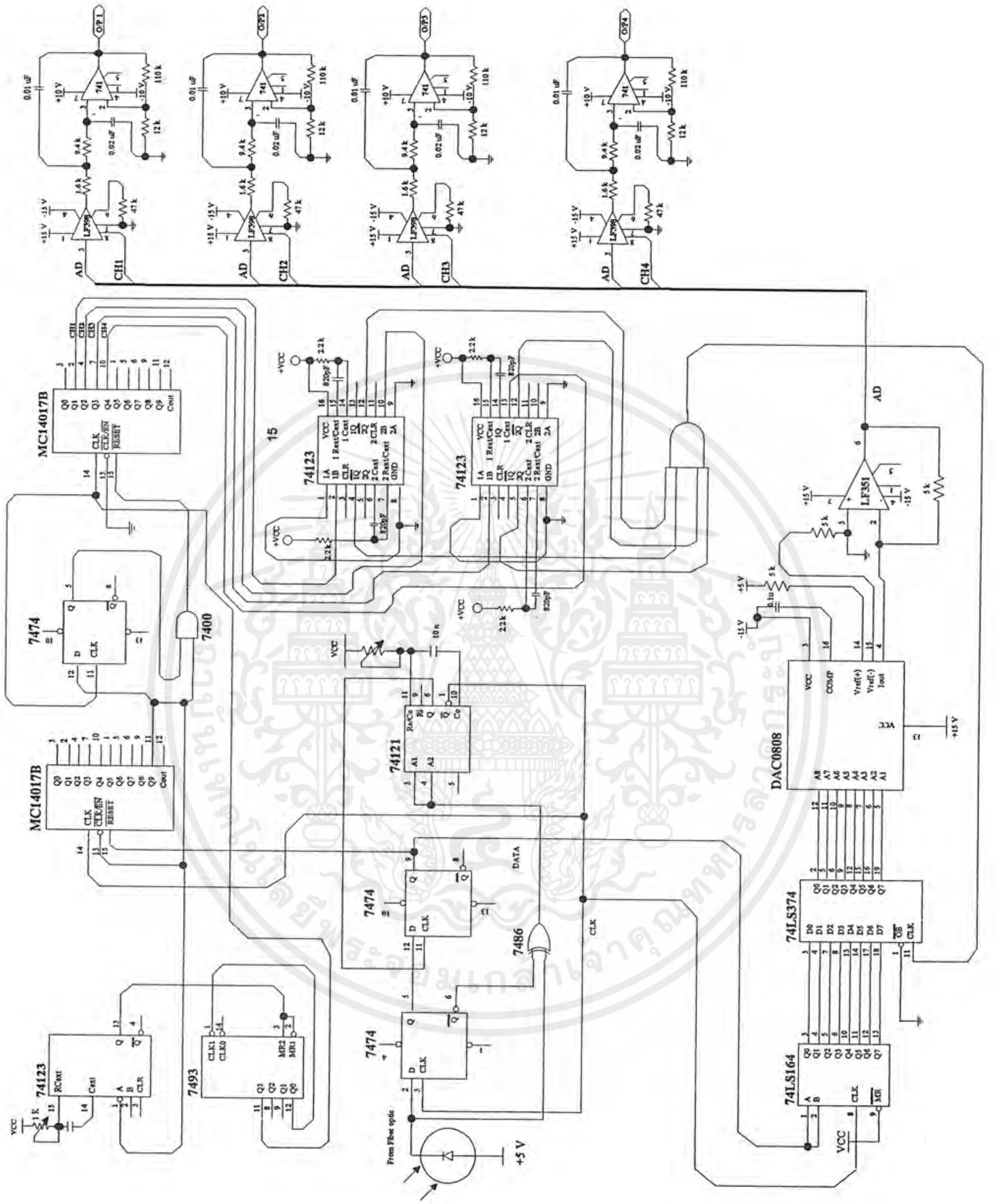
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

R_F/R'	=	2-1.414	=	0.586
ใช้ C	=	0.01 μF		
R	=	$1/(2\pi \times 10^4 \times 10^{-8})$	=	4.68 kΩ
ใช้ R'	=	10 kΩ		
R_F	=	5.68 kΩ		



รูปที่ 3.13 วงจรแยกสัญญาณอนาลอกและวงจรกรองความถี่ต่ำผ่าน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.13 วงจรรวมทางภาครับ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 4

การทดลองและผลการทดลอง

4.1 ทางด้านส่ง

4.1.1 ส่วนของการผลิตสัญญาณนาฬิกา

จุดประสงค์

1. เพื่อศึกษาการออกแบบวงจรสร้างสัญญาณนาฬิกา
2. เพื่อใช้ในการป้อนสัญญาณนาฬิกาให้แก่วงจรต่างๆ ที่ได้ออกแบบไว้

อุปกรณ์

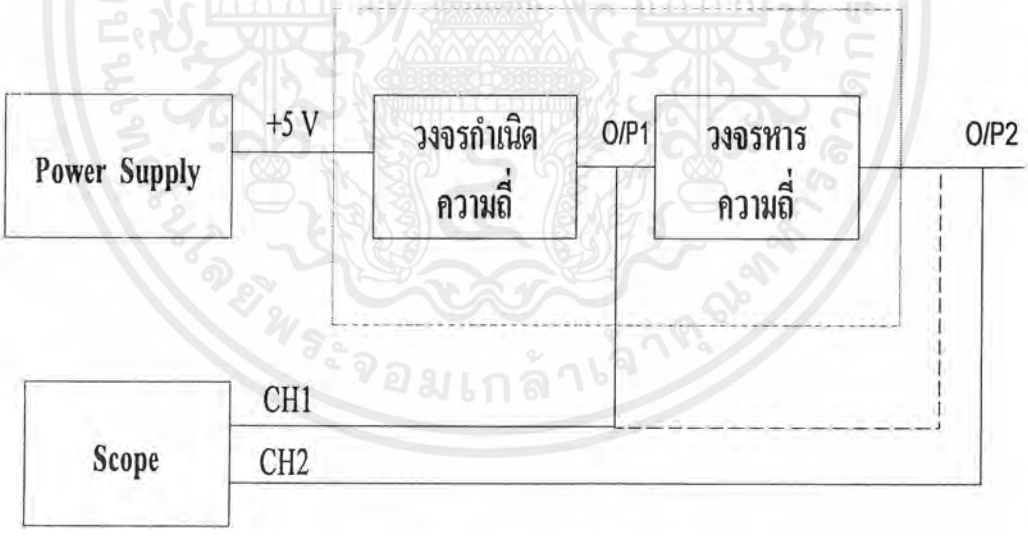
1. ออสซิลโลสโคป
2. D.C. Power Supply
3. วงจรกำเนิดสัญญาณนาฬิกา (ใช้ คริสตอลออสซิลเลเตอร์ 10 MHz ในการกำเนิดความถี่)

ลำดับขั้นการทดลอง

ขั้นที่ 1 ต่อวงจรดังรูปที่ 4.1

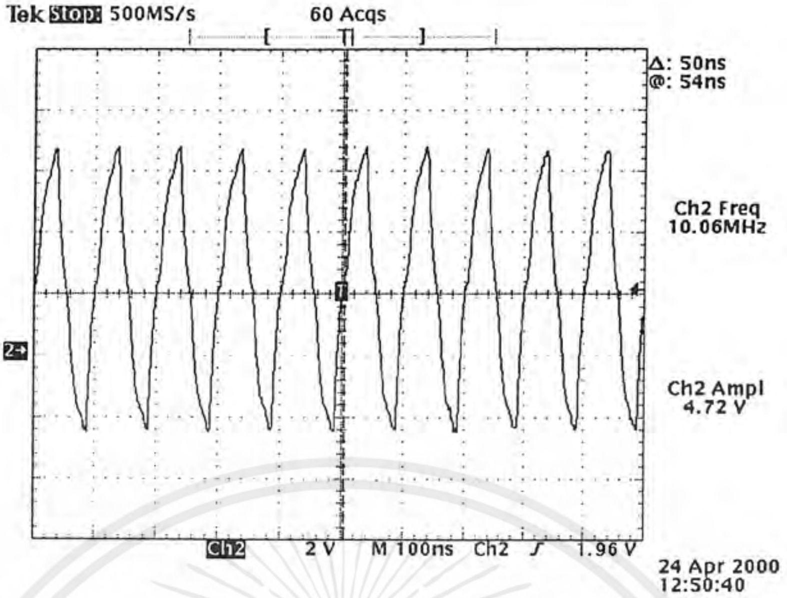
ขั้นที่ 2 ป้อน D.C. Power Supply +5 V. จ่ายให้แก่วงจรกำเนิดสัญญาณนาฬิกา

ขั้นที่ 3 ใช้ ออสซิลโลสโคป วัดสัญญาณเอาท์พุต ที่ขา 6 ของ IC 7404 และ วัดที่ขา 8 และขา 12 ของ IC 7490

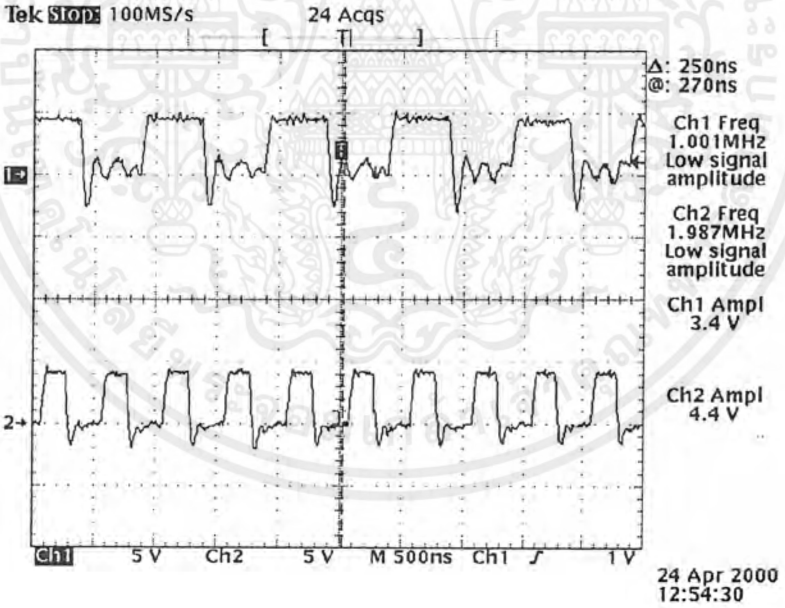


รูปที่ 4.1 วงจรผลิตสัญญาณนาฬิกา

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.2 แสดงผลการทดลองวงจรกำเนิดความถี่ 10 MHz (CH 1)



รูปที่ 4.3 แสดงผลการทดลองวงจรหารความถี่ 10 MHzให้เหลือความถี่ 1 MHz (CH 1) และ
ความถี่ 2 MHz (CH 2)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สรุปผลการทดลอง

เมื่อทำการต่อวงจรตามรูปที่ได้ออกแบบไว้โดยใช้คริสตอลออสซิลเลเตอร์ 10 MHz ผลิตความถี่ 10 MHz ขึ้นมาแล้วทำการหารความถี่โดยใช้ IC 7490 ทำการหารความถี่ให้เหลือความถี่ 2 MHz และความถี่ 1 MHz ดังผลที่ได้แสดงไว้

4.1.2 ส่วนของวงจร Sample and Hold

จุดประสงค์

1. เพื่อศึกษาวงจร Sample and Hold
2. เพื่อใช้ในการป้อนสัญญาณ Analog เข้าสู่วงจรแปลงสัญญาณ A/D ของแต่ละ Channel

อุปกรณ์

1. ออสซิลโลสโคป
2. D.C. Power Supply
3. Function Generator
4. วงจร Sample and Hold โดยใช้ IC เบอร์ LF398

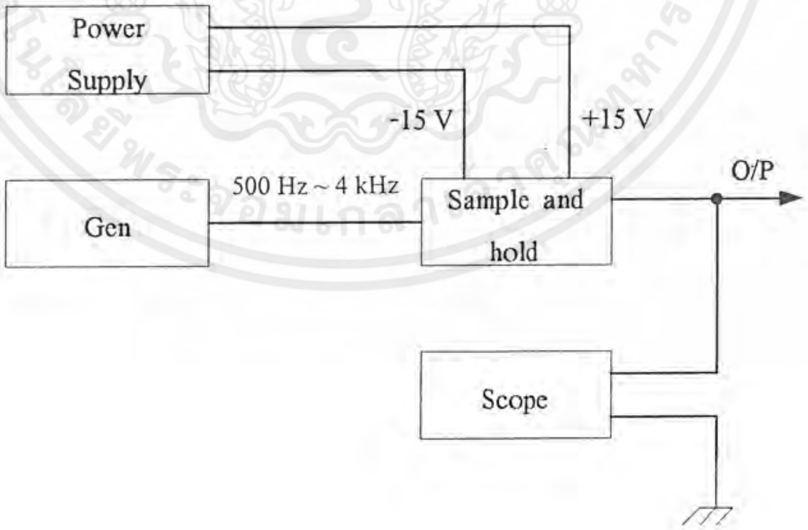
ลำดับขั้นการทดลอง

ขั้นที่ 1 ต่อวงจรดังรูปที่ 4.4

ขั้นที่ 2 ป้อน Power Supply +15 V และ -15 V ให้วงจร Sample and Hold (IC เบอร์ LF398)

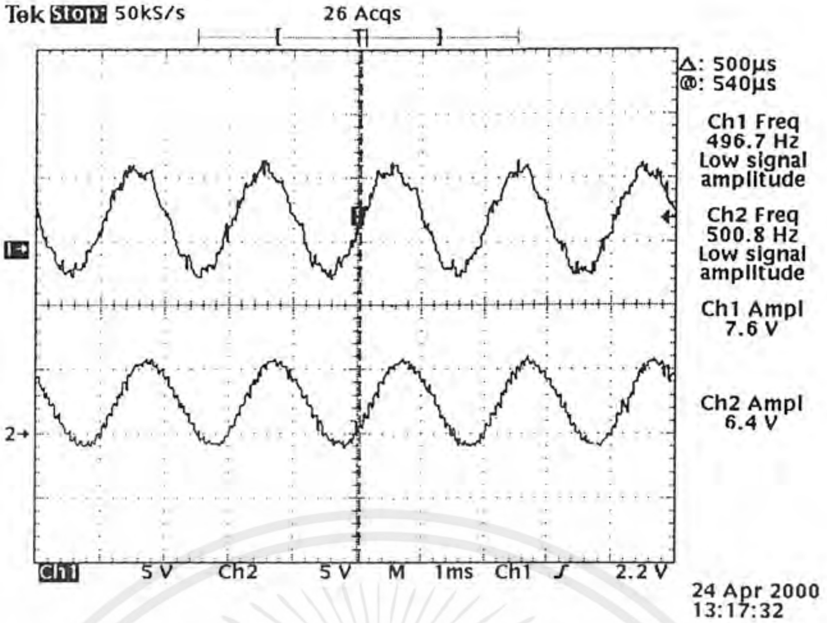
ขั้นที่ 3 ต่อ Function Generator ให้แก่วงจรในย่านความถี่ 500 Hz ~ 4 kHz

ขั้นที่ 4 ใช้ Scope วัดสัญญาณ O/P ที่ขา 5 ของ IC เบอร์ LF398

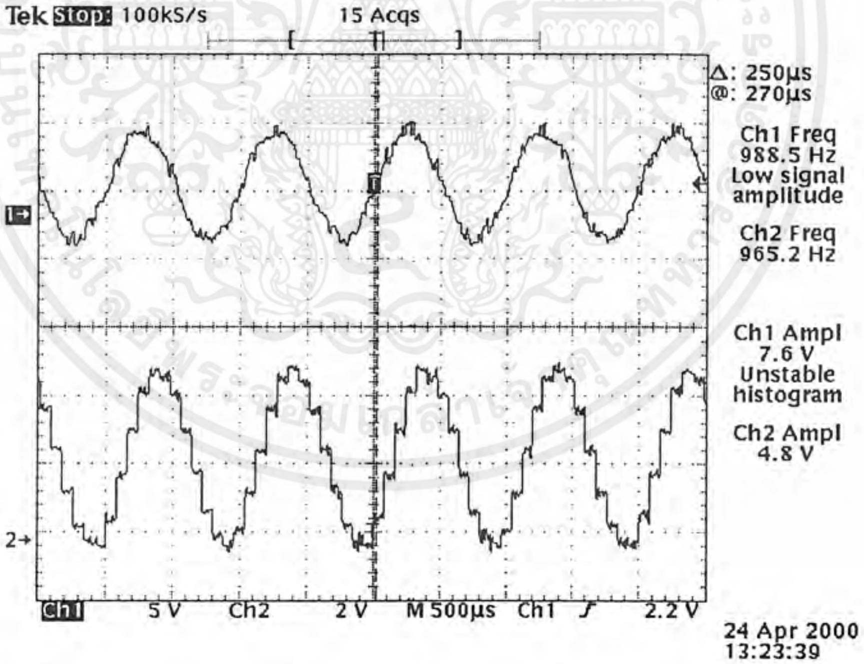


รูปที่ 4.4 แสดงผลการทดลองวงจร Sample and Hold

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.5 แสดงผลการทดลองวงจร Sample and Hold สัญญาณ I/P 500 Hz (CH1)และสัญญาณที่ผ่านวงจร Sample and Hold (CH2)



รูปที่ 4.6 แสดงผลการทดลองวงจร Sample and Hold สัญญาณ 1 kHz (CH1)และสัญญาณที่ผ่านวงจร Sample and Hold (CH2)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สรุปผลการทดลอง

เมื่อป้อนสัญญาณ Analog ผ่านวงจร Sample and Hold จะได้รูปสัญญาณดังผลที่ได้แสดงในรูปที่ 4.5 และ 4.6

4.1.3 วงจรสร้างสัญญาณ Read , Write

จุดประสงค์

เพื่อช่วยให้การ multiplex สัญญาณได้ถูกต้องตามที่ต้องการมากยิ่งขึ้น

อุปกรณ์

1. ออสซิลโลสโคป
2. D.C. Power Supply
3. วงจรสร้างสัญญาณ Read , Write (ใช้ IC เบอร์ 7408)

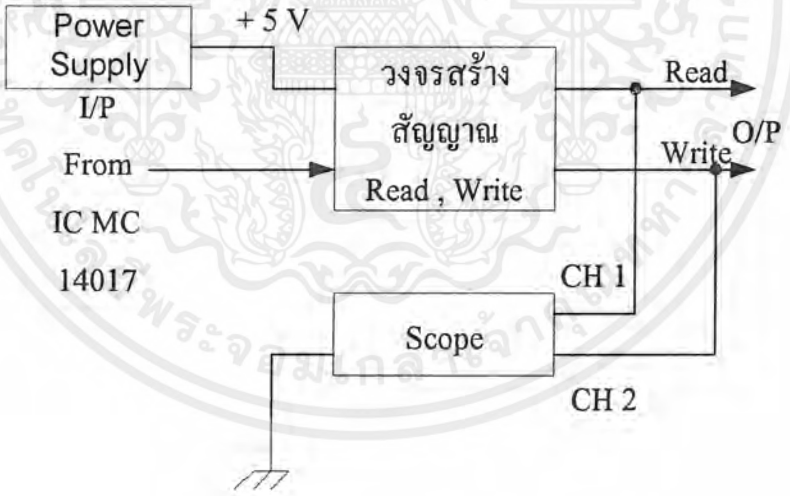
ลำดับขั้นตอนการทำงาน

ขั้นที่ 1 ต่อวงจรดังรูปที่ 4.7

ขั้นที่ 2 ป้อน D.C. Power Supply +5 V จ่ายให้แก่ วงจรสร้างสัญญาณ Read , Write

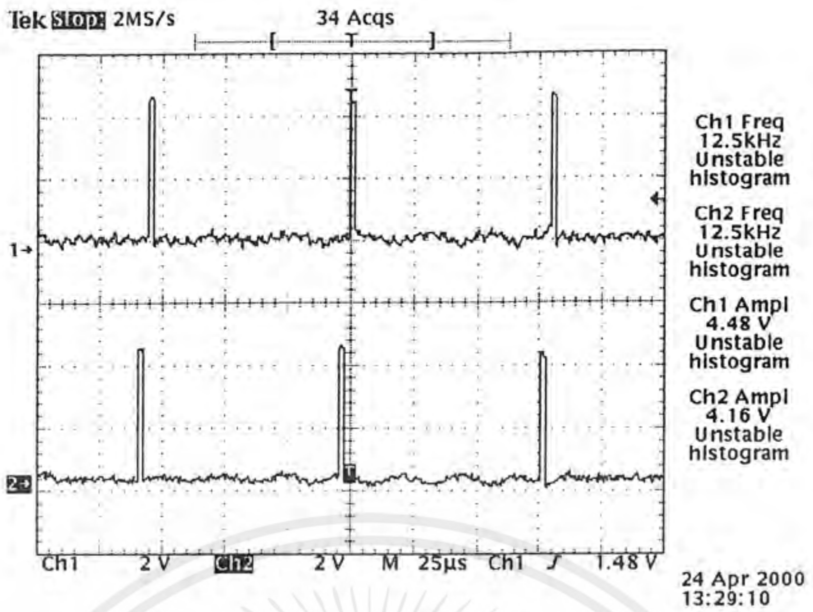
ขั้นที่ 3 นำ O/P จากวงจร multiplex (IC MC14017B) เข้าเป็น I/P ให้แก่วงจรสร้างสัญญาณ Read และสัญญาณ Write

ขั้นที่ 4 ใช้ Scope วัดสัญญาณ Read,Write ของแต่ละ Channel



รูปที่ 4.7 วงจรสร้างสัญญาณ Read และสัญญาณ Write

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.8 แสดงผลการทดลองวงจรสร้างสัญญาณ Write(CH1) และสัญญาณRead(CH2)

สรุปผลการทดลอง

เมื่อนำสัญญาณแต่ละ Channel ของ IC MC14017B มาเข้าวงจรสร้างสัญญาณ Read , Write จะได้ผลตามที่ได้แสดงไว้ในรูปที่ 4.8

4.1.4 ส่วนของวงจรแปลงข้อมูลขนานเป็นข้อมูลอนุกรม

จุดประสงค์

1. เพื่อศึกษาการทำงานของวงจรแปลงข้อมูลขนานเป็นข้อมูลอนุกรม
2. เพื่อประหยัดสายส่งสัญญาณจากภาคส่ง ไปยัง ภาครับ

อุปกรณ์

1. ออสซิลโลสโคป
2. D.C. Power Supply
3. วงจรเปลี่ยนข้อมูลขนานเป็นข้อมูลอนุกรม IC เบอร์ 74165

ลำดับขั้นการทดลอง

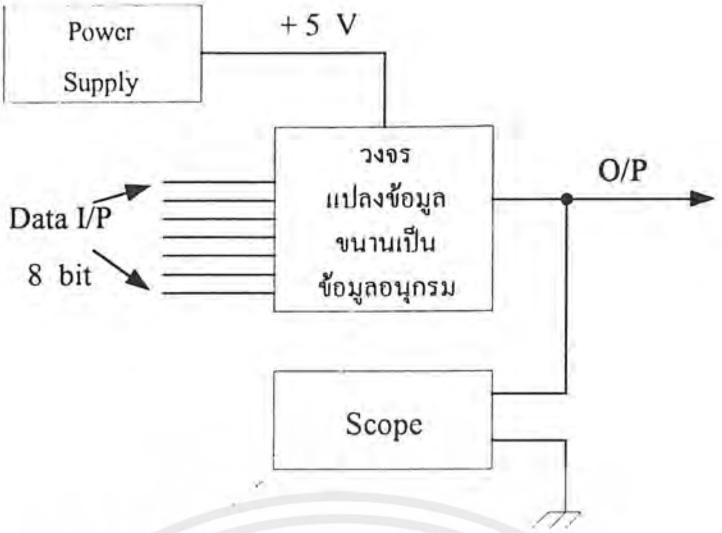
ขั้นที่ 1 ต่อวงจรดังรูปที่ 4.9

ขั้นที่ 2 ป้อน D.C. Power Supply +5V ให้แก่วงจรเปลี่ยนข้อมูลขนานเป็นข้อมูลอนุกรม

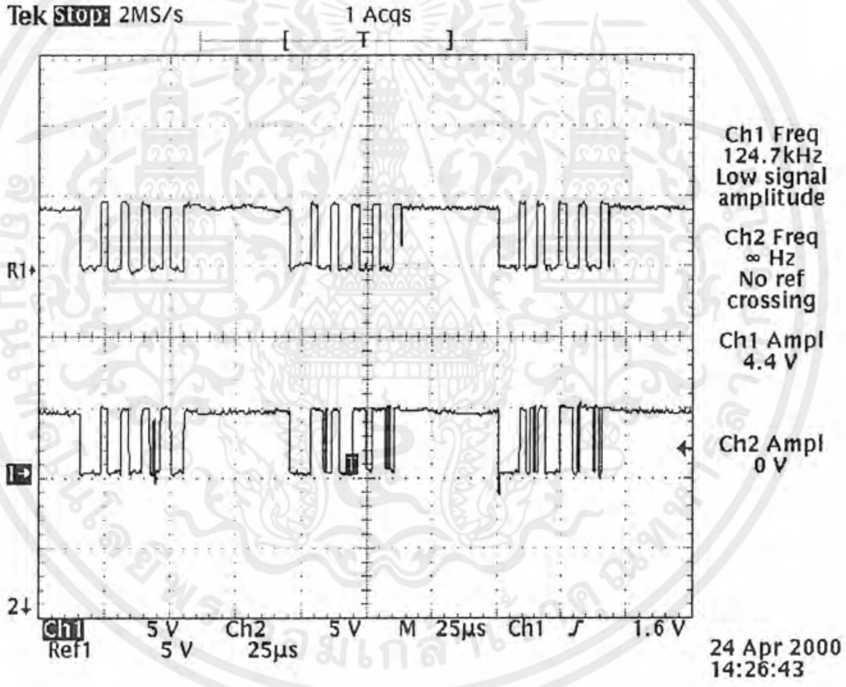
ขั้นที่ 3 ป้อนข้อมูลขนานที่มาจาก O/P ของ IC เบอร์ ADC 0808 เป็น I/P ให้แก่วงจรเปลี่ยนข้อมูลขนานเป็นข้อมูลอนุกรม IC เบอร์ 74165

ขั้นที่ 4 ใช้ Scope วัดสัญญาณข้อมูลอนุกรม โดยวัดผลเปรียบเทียบกันระหว่างขณะที่ยังไม่ป้อน Data กับขณะที่ป้อน Data เข้าไปให้แก่วงจร

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.9 วงจรแปลงข้อมูลขนานเป็นข้อมูลอนุกรม



รูปที่ 4.10 แสดงผลการทดลองของวงจรแปลงข้อมูลขนานเป็นข้อมูลอนุกรมCH1 แสดงสัญญาณข้อมูลอนุกรมขณะยังไม่ป้อน Data CH2 แสดงสัญญาณข้อมูลอนุกรมขณะป้อน Data

สรุปผลการทดลอง

เมื่อป้อนสัญญาณข้อมูลขนาน 8 Bit ให้แก่วงจรแปลงเป็นข้อมูลอนุกรมเมื่อป้อน Data ซึ่งเป็นสัญญาณ Analog เข้ามาจะมีข้อมูลที่ถูกแปลงเป็น Digital ปนอยู่ในแถวข้อมูลอนุกรม

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4.1.5 ส่วนของวงจรสร้างสัญญาณ Synchronous

จุดประสงค์

1. เพื่อเข้าใจหลักการทำงานของการส่งสัญญาณ Synchronous
2. เพื่อใช้ในการจัดช่องสัญญาณทางภาครับให้ตรงกับช่องทางภาคส่ง

อุปกรณ์

1. ออสซิลโลสโคป
2. D.C. Power Supply
3. วงจรสร้างสัญญาณ Synchronous (ใช้ IC เบอร์ 74121)

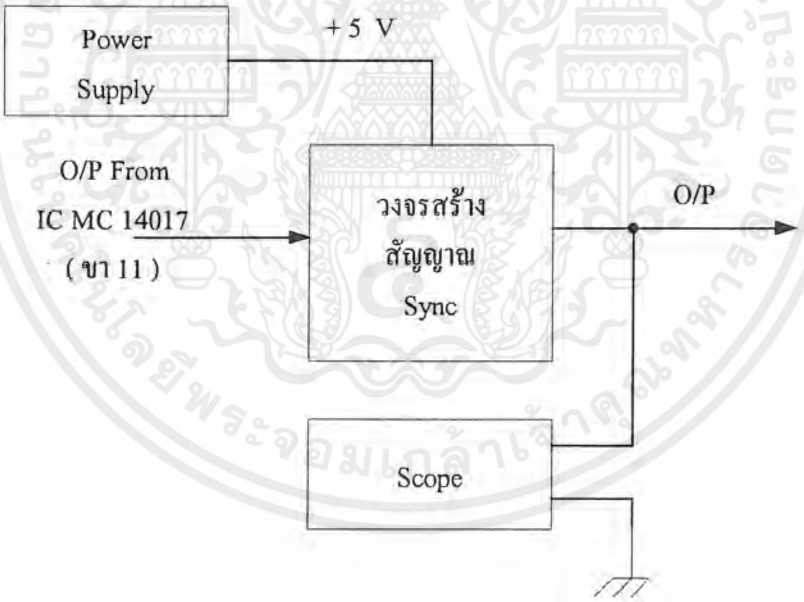
ลำดับขั้นการทดลอง

ขั้นที่ 1 ต่อวงจรดังรูปที่ 4.11

ขั้นที่ 2 ป้อน D.C. Power Supply +5 V จ่ายให้แก่วงจรสร้างสัญญาณ Synchronous

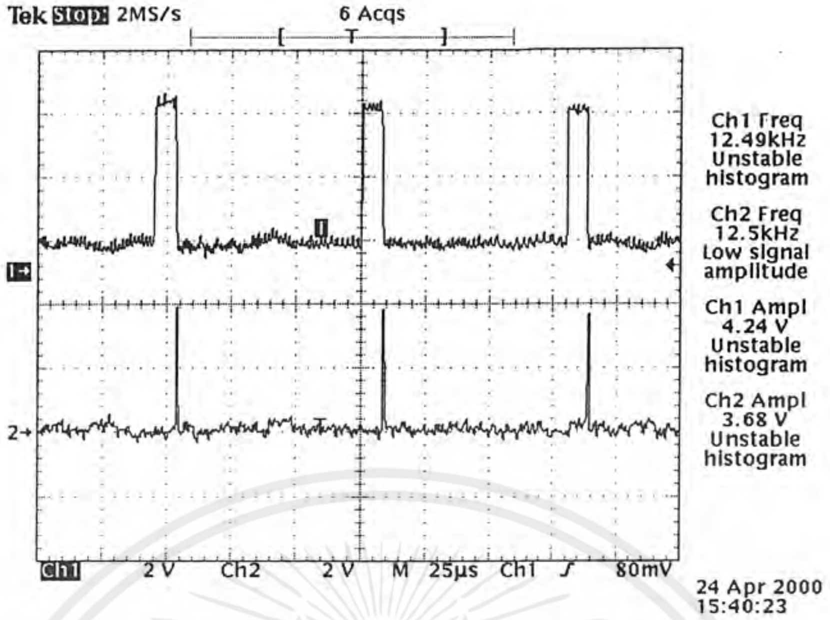
ขั้นที่ 3 ป้อนสัญญาณ O/P จาก IC MC 14017B (ขา 11) เข้า I/P ของวงจรสร้างสัญญาณ Synchronous เพื่อผลิตสัญญาณ Synchronous

ขั้นที่ 4 ใช้ Scope วัดสัญญาณ Synchronous ที่ขา 6 ของ IC 74121

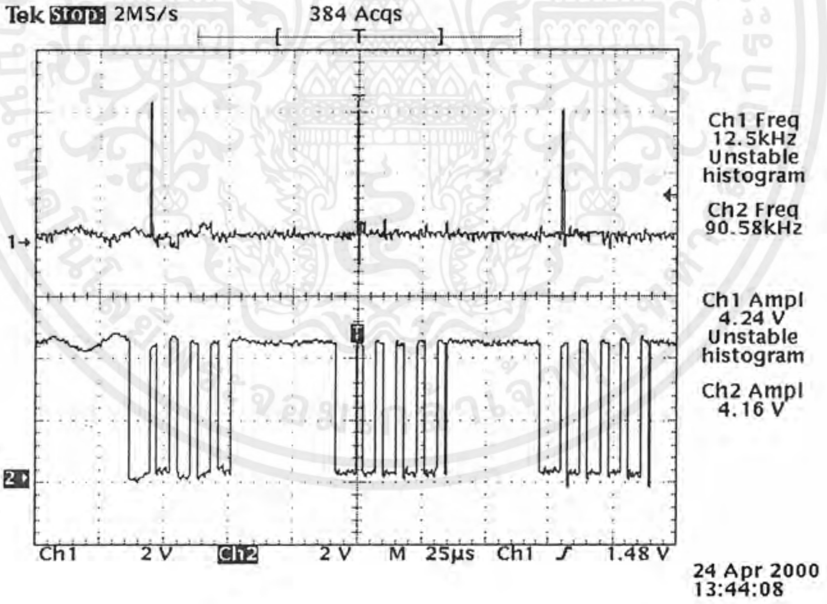


รูปที่ 4.11 วงจรสร้างสัญญาณ Synchronous

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.12 แสดงผลการทดลองวงจรสร้างสัญญาณ Synchronous CH1 แสดงสัญญาณ ที่นำมาสร้างสัญญาณ Synchronous CH2 แสดงสัญญาณ Synchronous ที่สร้างขึ้นมา



รูปที่ 4.13 แสดงผลการทดลองโดยนำสัญญาณ Synchronous (CH1) ที่สร้างขึ้นมาเปรียบเทียบกับ Data (CH2)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สรุปผลการทดลอง

สามารถที่จะสร้างสัญญาณ Synchronous ขึ้นมาได้ โดยทำการสร้าง พัลส์ใหม่ซึ่งมาความกว้างของพัลส์แคบกว่าเดิมแต่ยังคงมีความถี่เท่าเดิมอยู่

4.1.6 ส่วนผสมสัญญาณนาฬิกากับสัญญาณข้อมูล

จุดประสงค์

1. เพื่อใช้ส่งไปยังภาครับ
2. เพื่อให้ภาครับ รับ ข้อมูลที่ได้และทำการกู้สัญญาณที่ส่งไป

อุปกรณ์

1. ออสซิลโลสโคป
2. D.C. Power Supply
3. วงจรผสมสัญญาณนาฬิกากับสัญญาณข้อมูล ใช้ IC 4070

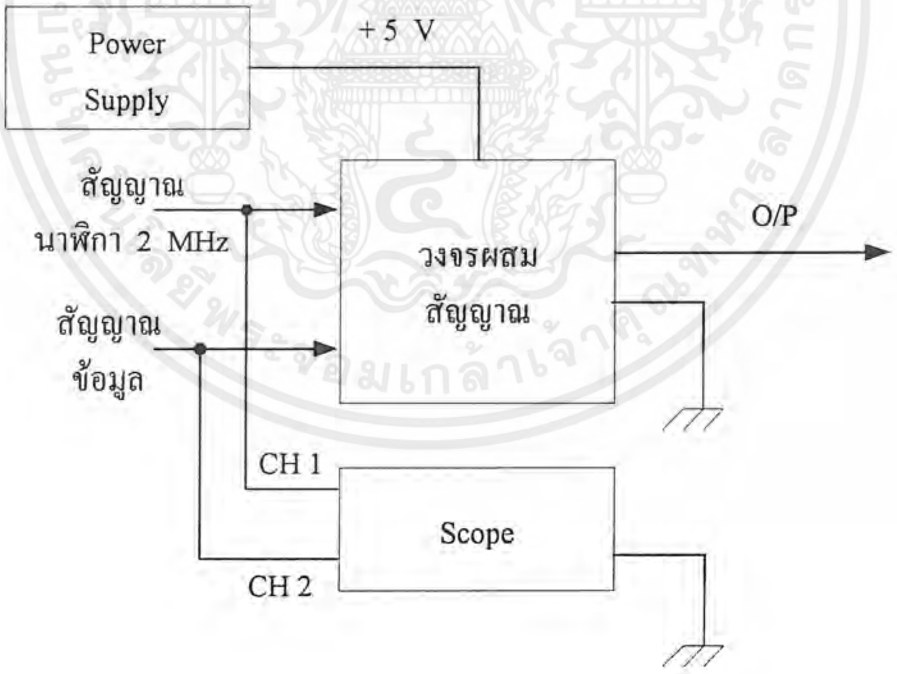
ลำดับขั้นการทดลอง

ขั้นที่ 1 ต่อวงจรดังรูปที่ 4.14

ขั้นที่ 2 ป้อน D.C. Power Supply +5 V จ่ายให้แก่วงจรผสมสัญญาณนาฬิกากับสัญญาณข้อมูล

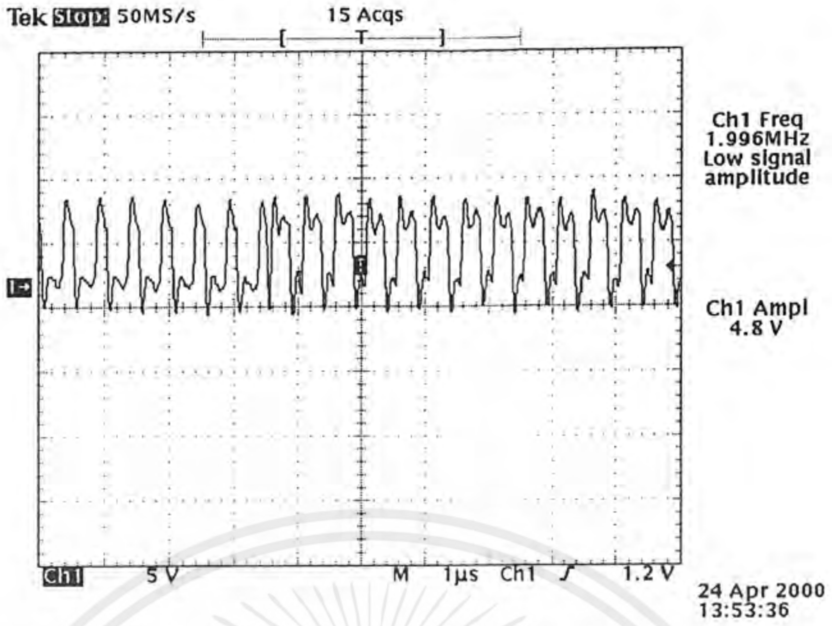
ขั้นที่ 3 ป้อนสัญญาณนาฬิกาและสัญญาณข้อมูลเข้าเป็น I/P ให้แก่วงจรผสมสัญญาณ (IC 4070)

ขั้นที่ 4 ใช้ Scope วัดสัญญาณด้าน O/P



รูปที่ 4.14 วงจรผสมสัญญาณนาฬิกาและสัญญาณข้อมูล

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.15 แสดงผลการทดลองการผสมสัญญาณ โดย CH1แสดงสัญญาณข้อมูลที่ป้อนเข้ามา CH2 แสดงสัญญาณนาฬิกา 2 MHz

สรุปผลการทดลอง

เมื่อป้อน สัญญาณข้อมูลผสมกับสัญญาณนาฬิกา ซึ่งทำการ X-OR กันจะได้สัญญาณใหม่ที่มีความถี่ 2 MHz

4.2 ทางด้านรับ

4.2.1 วงจรกู้สัญญาณนาฬิกาและ สัญญาณข้อมูล

จุดประสงค์

1. เพื่อศึกษาวงจรกู้สัญญาณนาฬิกา
2. เพื่อกู้สัญญาณข้อมูลที่ส่งมาจาก ด้านส่ง และกู้สัญญาณนาฬิกา เพื่อใช้ในการทำงานของวงจรด้านรับ

อุปกรณ์

1. ออสซิลโลสโคป
2. D.C. Power Supply
3. วงจรกู้สัญญาณนาฬิกา

ลำดับขั้นการทดลอง

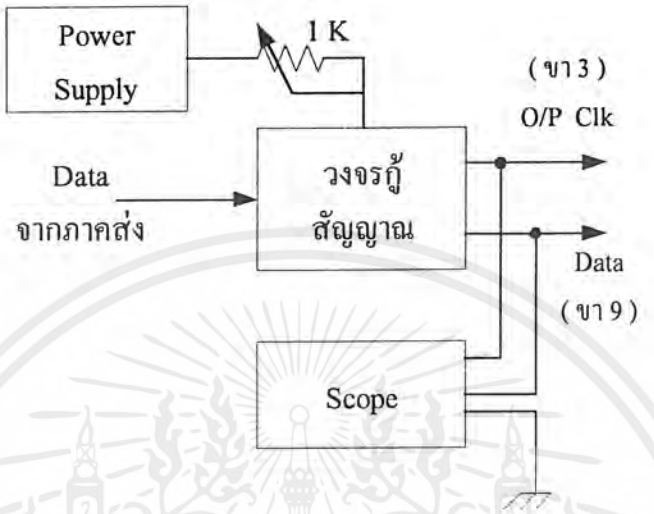
ขั้นที่ 1 ต่อวงจรดังรูปที่ 4.16

ขั้นที่ 2 ป้อน D.C. Power Supply +5 V จ่ายให้แก่วงจรกู้สัญญาณนาฬิกา

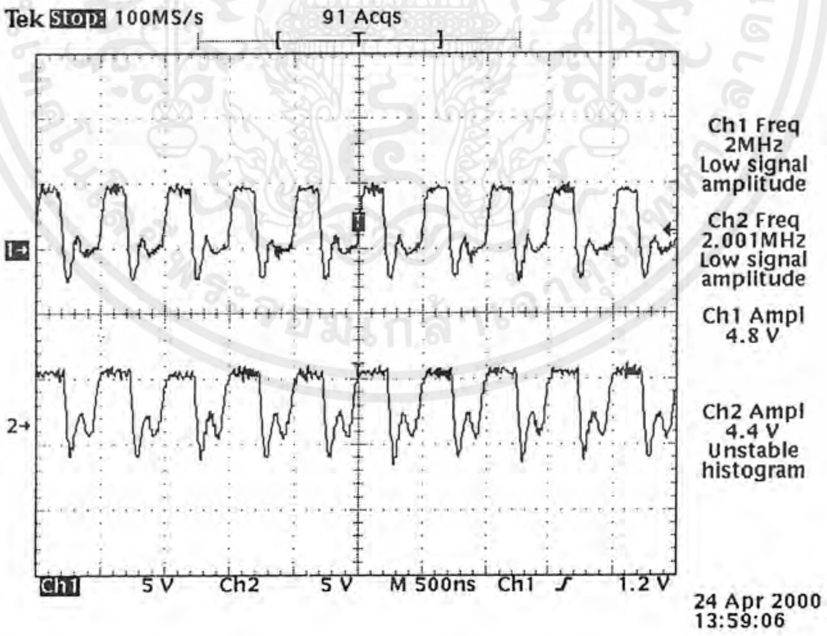
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ขั้นที่ 3 ปรับค่า VR1(1 kΩ) วัดสัญญาณที่ขา 9 ของ IC 74HC74 เปรียบเทียบ Data ทางภาคส่งจนกระทั่ง Data เหมือนทางภาคส่ง ซึ่งจะได้สัญญาณนาฬิกา 2 MHz (วัดที่ขา 3 ของ IC 74HC74)

ขั้นที่ 4 ใช้ Scope วัดสัญญาณ O/P

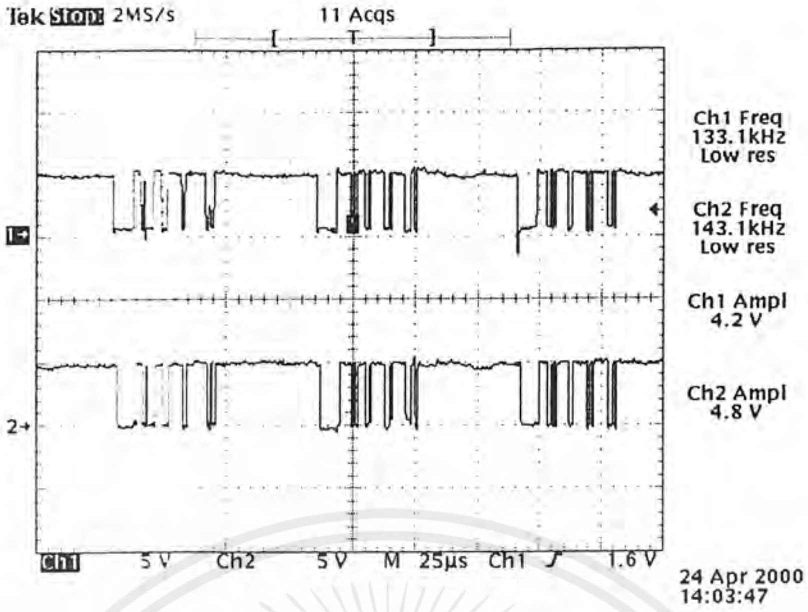


รูปที่ 4.16 วงจรกู้สัญญาณนาฬิกาและสัญญาณข้อมูล



รูปที่ 4.17 แสดงผลการทดลอง CH1แสดงสัญญาณนาฬิกาทางภาคส่ง เปรียบเทียบกับ CH2 แสดงสัญญาณนาฬิกาทางภาครับที่กู้มาได้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.18 แสดงผลการทดลอง CH1แสดงสัญญาณข้อมูลทางภาคส่งเปรียบเทียบ กับ CH2 แสดงสัญญาณข้อมูลทางภาครับที่กู้มาจากภาคส่ง

สรุปผลการทดลอง

เมื่อรับสัญญาณข้อมูลทางภาคส่งเข้ามา ทำการปรับค่าด้วย R 1 kΩ จนได้สัญญาณข้อมูลและสัญญาณนาฬิกาเหมือนทางด้านส่ง ใช้ R 1 kΩ ปรับค่าที่มีค่าที่ละเอียดจะได้สัญญาณข้อมูลที่ถูกต้อง

4.2.2 ส่วนของวงจร Demultiplex

จุดประสงค์

1. เพื่อศึกษาการทำงานของวงจร Demultiplex
2. เพื่อจัดช่องสัญญาณทางภาครับให้ถูกต้องตามช่องสัญญาณที่ต้องการ

อุปกรณ์

1. ออสซิลโลสโคป
2. D.C. Power Supply
3. วงจร Demultiplex ใช้ IC MC14017B

ลำดับขั้นการทดลอง

ขั้นที่ 1 ต่อวงจรดังรูปที่ 4.19

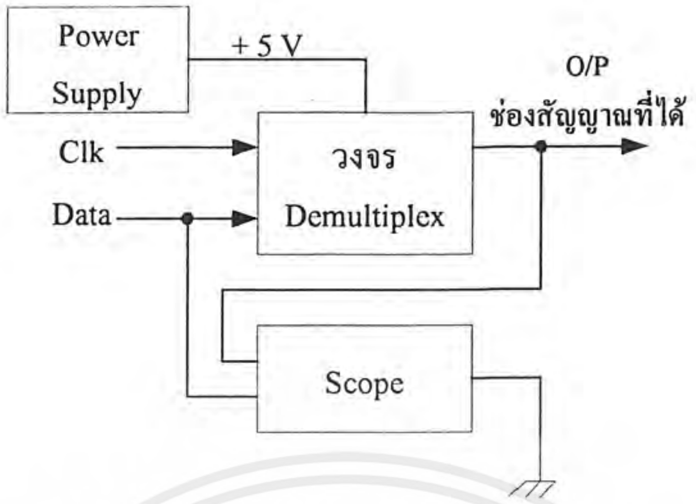
ขั้นที่ 2 ป้อน D.C. Power Supply +5 V จ่ายให้แก่วงจร Demultiplex

ขั้นที่ 3 ป้อน สัญญาณนาฬิกาที่ขา CLK และสัญญาณข้อมูลที่กู้ได้ที่ขา RESET แก่วงจร Demultiplex

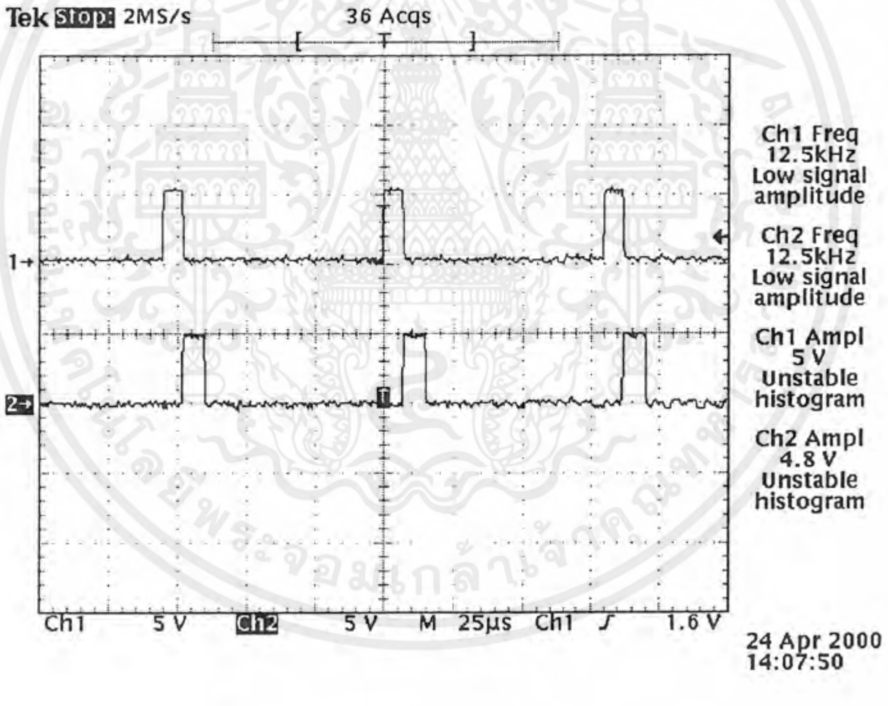
ขั้นที่ 4 ปรับค่า VR2 ใช้ R ปรับค่า 5 kΩ วัดที่ขา 11 ของ IC เบอร์ 7493 จนกระทั่งได้ความถี่ 125 kΩ

ขั้นที่ 5 ใช้ Scope วัดสัญญาณ O/P ของแต่ละ Channel

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

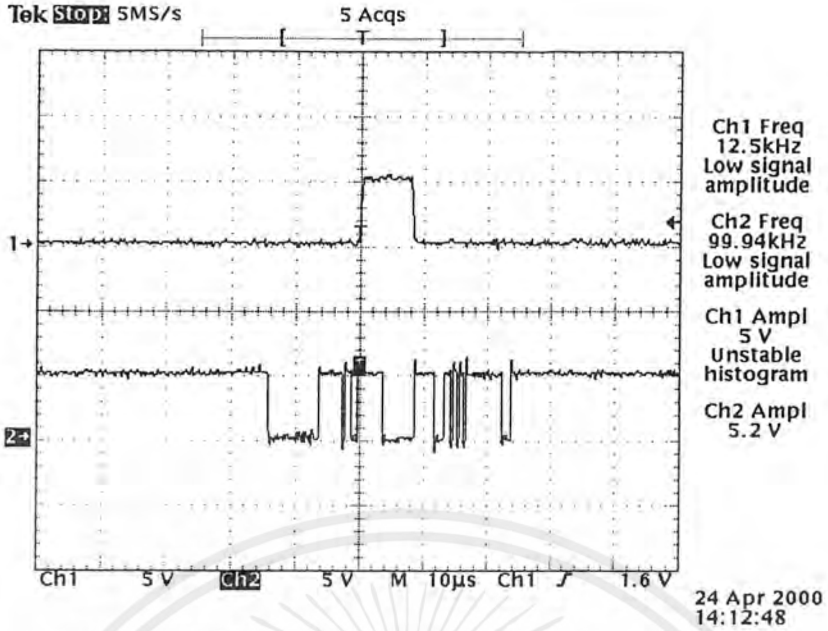


รูปที่ 4.19 แสดงการต่อวงจร Demultiplex



รูปที่ 4.20 แสดงผลการทดลองการจัดช่องสัญญาณ Demultiplex เทียบกันระหว่าง Channel 1 (CH1) กับ Channel(CH2)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.21 แสดงผลการทดลองการจัดช่องสัญญาณ Demultiplex เทียบกันระหว่าง Channel 1 (CH1) กับสัญญาณข้อมูลอนุกรมที่รับเข้ามา (CH2)

สรุปผลการทดลอง

จะได้ช่องสัญญาณที่เราจัดได้ตรงตามช่องสัญญาณทางภาคส่งตามที่ต้องการ

4.2.3 วงจรแปลงสัญญาณ Digital เป็นสัญญาณ Analog

จุดประสงค์

1. เพื่อศึกษาการทำงานของวงจร D/A
2. เพื่อแปลงสัญญาณ Digital 8 Bit กลับเป็น Analog ตามที่ได้ส่งมาจากภาคส่ง

อุปกรณ์

1. ออสซิลโลสโคป
2. D.C. Power Supply
3. วงจร A/D ใช้ IC DAC0808 และวงจรขยายแรงดัน ใช้ IC LF351

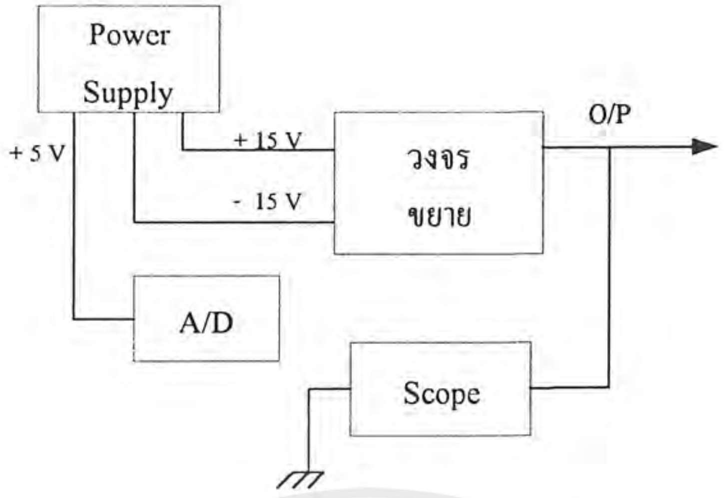
ลำดับขั้นการทดลอง

ขั้นที่ 1 ต่อวงจรดังรูปที่ 4.22

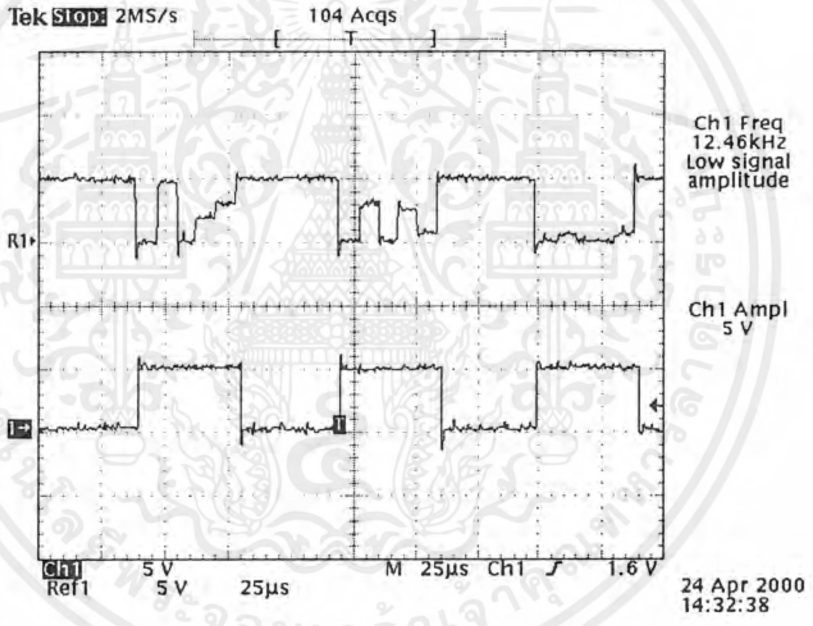
ขั้นที่ 2 ป้อน D.C. Power Supply +5 V, +15 V และ –15 V ให้แก่วงจร A/D

ขั้นที่ 3 ใช้ Scope วัดสัญญาณ Analog ที่ได้จาก วงจร A/D นี้โดยวัด O/P ที่ขา 6 ของ IC LF351

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.22 แสดงการต่อวงจร D/A



รูปที่ 4.23 แสดงผลการทดลองของวงจร D/A CH1แสดงการแปลงสัญญาณ A/D ขณะที่ยังไม่ป้อนสัญญาณข้อมูลเข้ามาทางด้านส่ง CH2 แสดงการแปลงสัญญาณ A/D ขณะที่ป้อนสัญญาณข้อมูลเข้ามาทางด้านส่ง

สรุปผลการทดลอง

จากผลที่ได้จากการต่อวงจร D/A จะได้ผลตามรูปที่ 4.23

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4.2.4 ส่วนของวงจร Sample and Hold และวงจร Low Pass Filter

จุดประสงค์

1. เพื่อศึกษาการออกแบบวงจร Low Pass Filter
2. เพื่อนำวงจร Low Pass Filter นี้ไปกรองความถี่เพื่อให้ได้สัญญาณ Analog เหมือนด้านส่ง ที่ส่งมา

อุปกรณ์

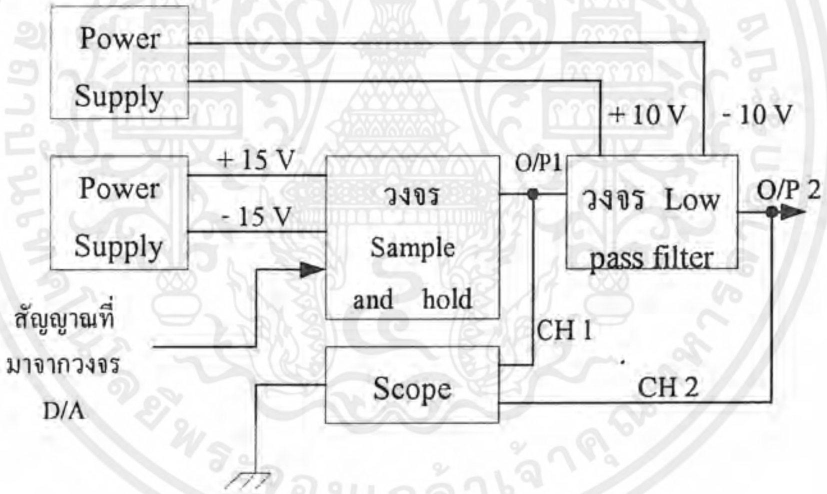
1. ออสซิลโลสโคป
2. D.C. Power Supply
3. วงจร Sample and Hold ใช้ IC LF398 และวงจร Low Pass Filter ใช้ IC 741

ลำดับขั้นการทดลอง

ขั้นที่ 1 ต่อวงจรดังรูปที่ 4.24

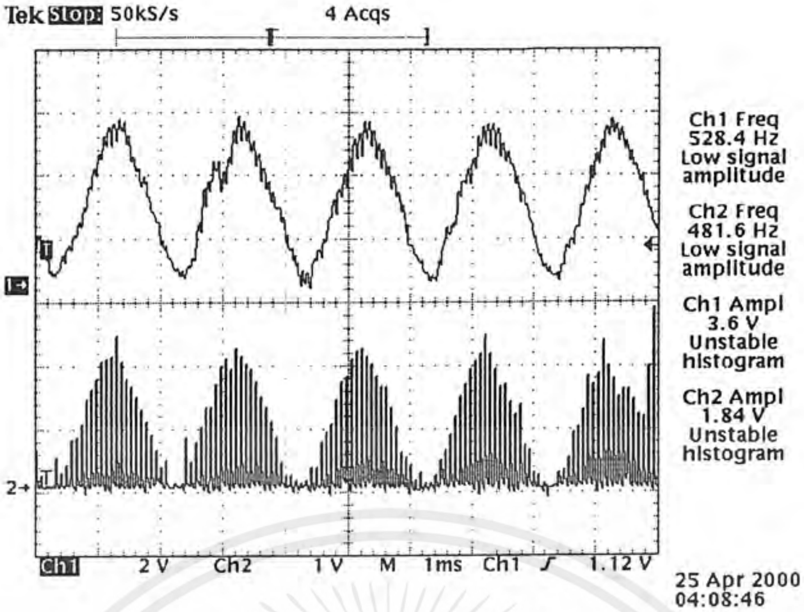
ขั้นที่ 2 ป้อน D.C. Power Supply +15 V, -15 V, +10 V และ -10 V ให้แก่วงจร Low Pass Filter และ Sample and Hold

ขั้นที่ 3 ใช้ Scope วัดสัญญาณ O/P ของวงจร Sample and Hold ที่ขา 5 ของ IC LF398 และวงจร Low Pass Filter ที่ขา 6 ของ IC 741 ของแต่ละ Channel ตั้งแต่ CH1 – CH4

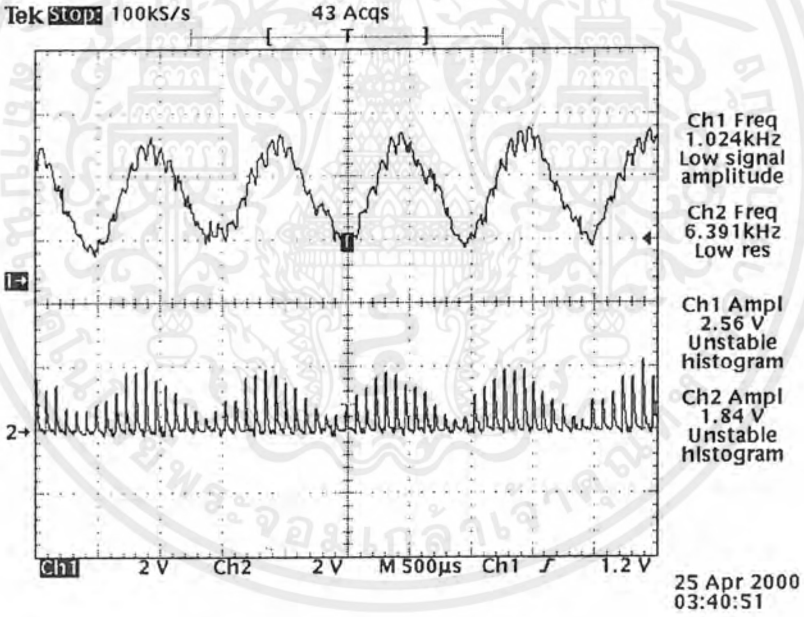


รูปที่ 4.24 แสดงการต่อวงจร Sample and Hold และวงจร Low Pass Filter

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

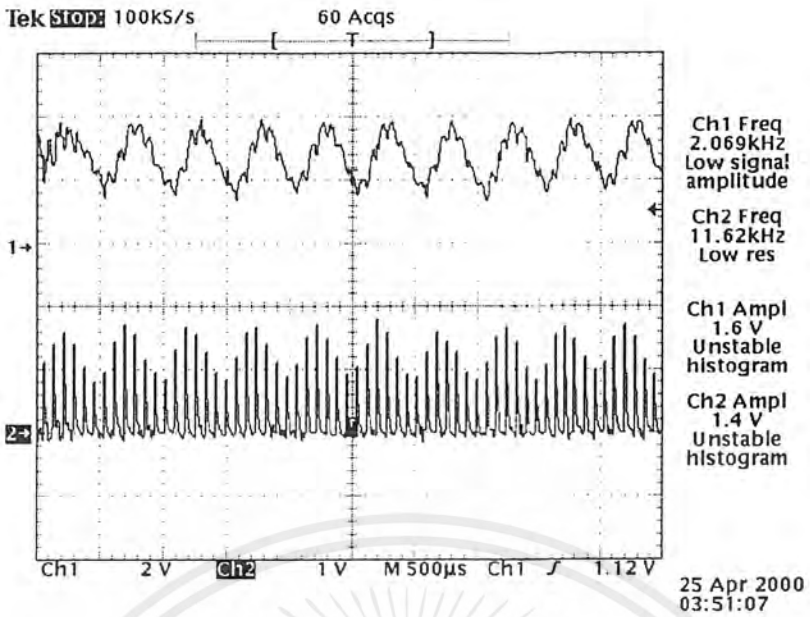


รูปที่ 4.25 แสดงผลการทดลองเมื่อผ่านวงจร Low Pass Filter ที่ CH 1 และวงจร Sample and Hold ที่ CH2 ของความถี่ 500 Hz

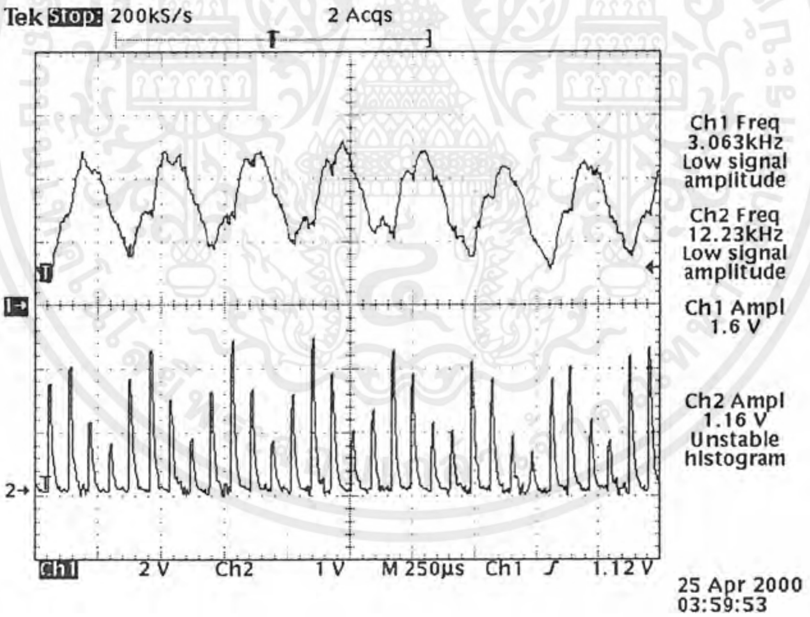


รูปที่ 4.26 แสดงผลการทดลองเมื่อผ่านวงจร Low Pass Filter ที่ CH 1 และวงจร Sample and Hold ที่ CH2 ของความถี่ 1 kHz

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

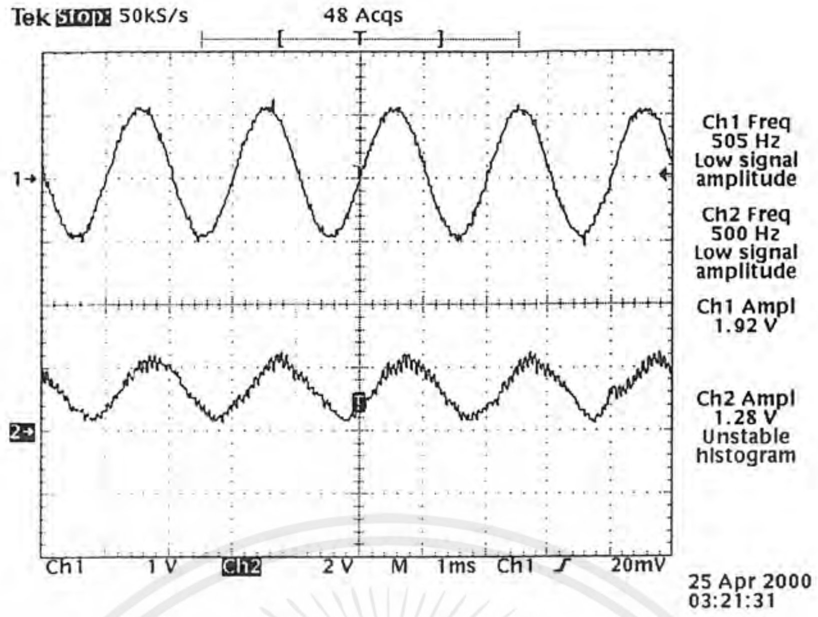


รูปที่ 4.27 แสดงผลการทดลองเมื่อผ่านวงจร Low Pass Filter ที่ CH 1 และวงจร Sample and Hold ที่ CH2 ของความถี่ 3 kHz

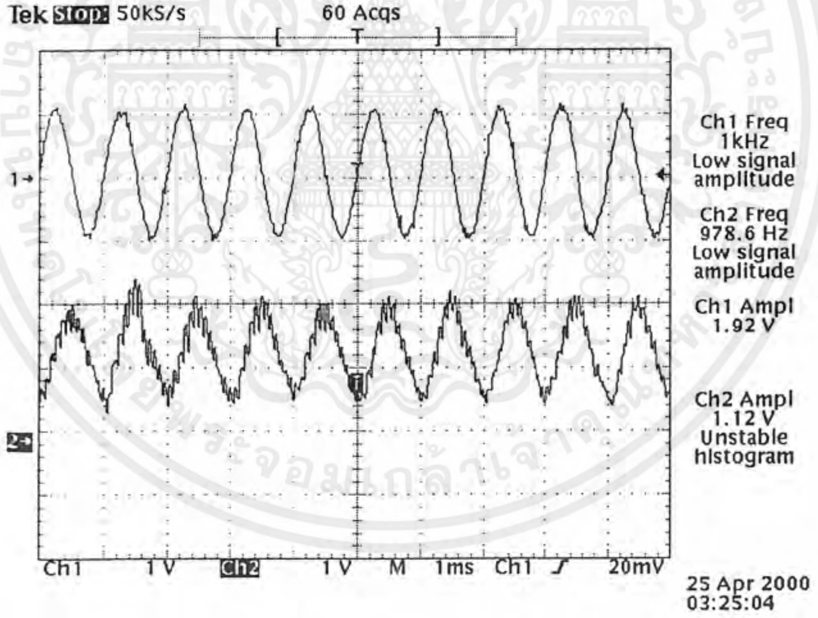


รูปที่ 4.28 แสดงผลการทดลองเมื่อผ่านวงจร Low Pass Filter ที่ CH 1 และวงจร Sample and Hold ที่ CH2 ของความถี่ 4 kHz

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

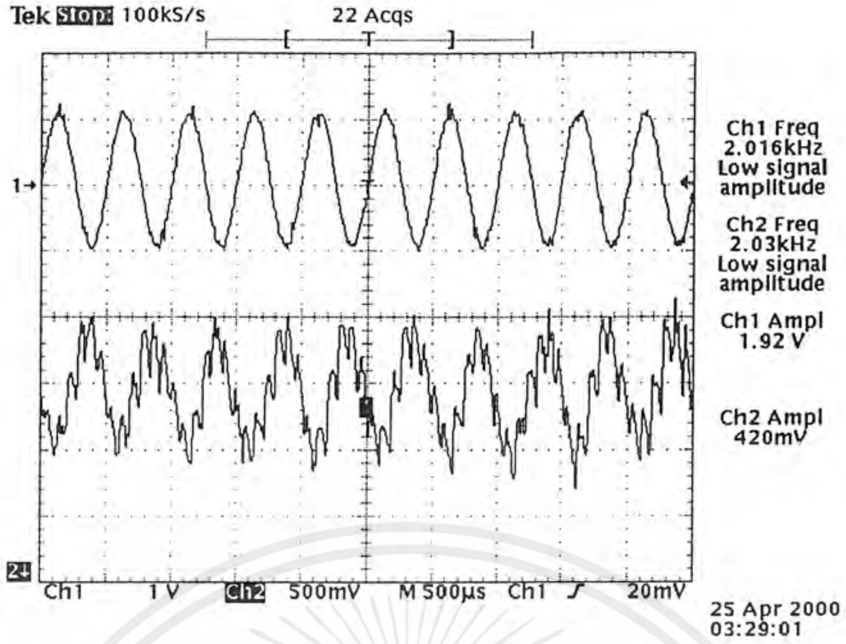


รูปที่ 4.29 แสดงผลการทดลองเมื่อวัดสัญญาณอินพุต CH 1 เทียบกับสัญญาณเอาท์พุต CH 2 ของความถี่ 500 Hz

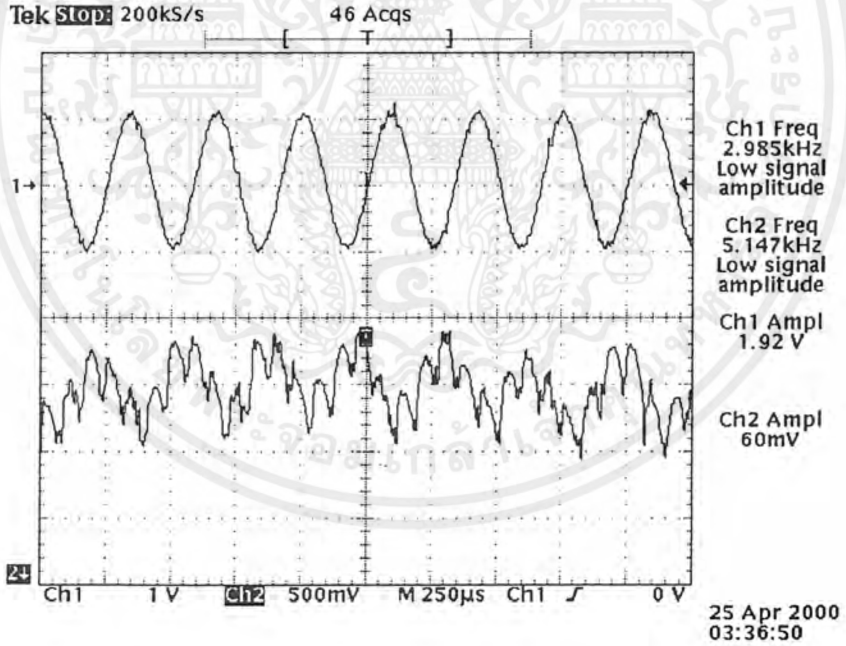


รูปที่ 4.30 แสดงผลการทดลองเมื่อวัดสัญญาณอินพุต CH 1 เทียบกับสัญญาณเอาท์พุต CH 2 ของความถี่ 1 kHz

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

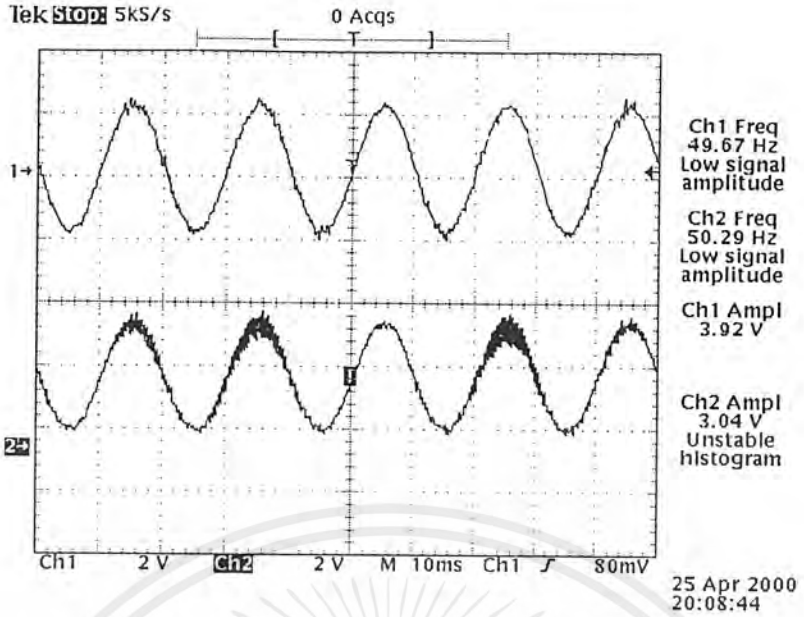


รูปที่ 4.31 แสดงผลการทดลองเมื่อวัดสัญญาณอินพุต CH 1 เทียบกับสัญญาณเอาท์พุต CH 2 ของความถี่ 3 kHz

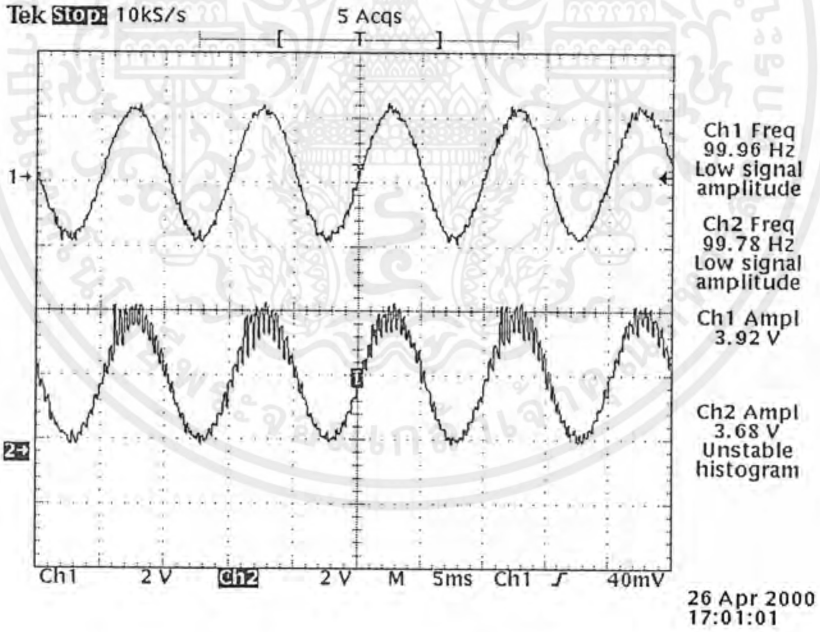


รูปที่ 4.32 แสดงผลการทดลองเมื่อวัดสัญญาณอินพุต CH 1 เทียบกับสัญญาณเอาท์พุต CH 2 ของความถี่ 4 kHz

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

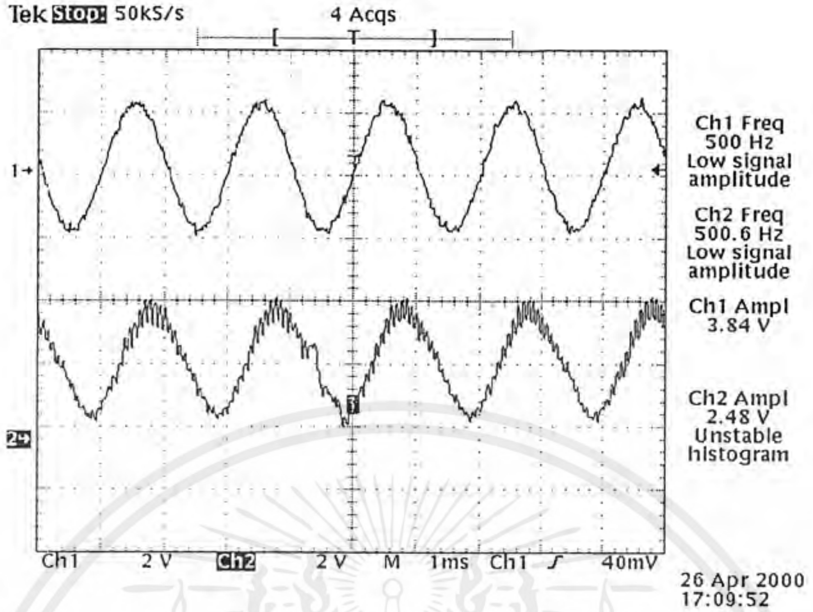


รูปที่ 4.33 แสดงผลการทดลองเมื่อป้อนสัญญาณ Sine Wave ที่ความถี่ 50 Hzที่ด้านส่ง (CH1)เปรียบเทียบกับ สัญญาณเอาท์พุท (CH2)ที่วัดได้

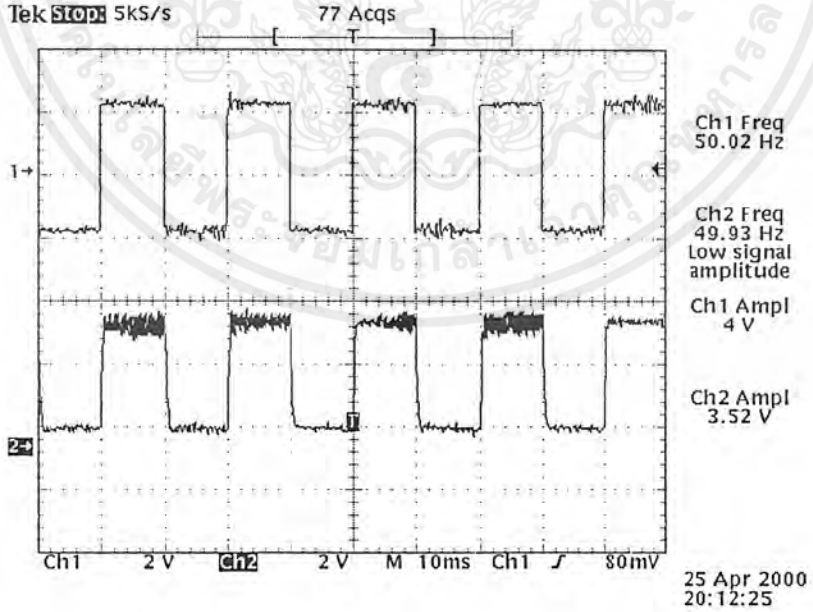


รูปที่ 4.34 แสดงผลการทดลองเมื่อป้อนสัญญาณ Sine Wave ที่ความถี่ 100 Hzที่ด้านส่ง (CH1)เปรียบเทียบกับ สัญญาณเอาท์พุท (CH2)ที่วัดได้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

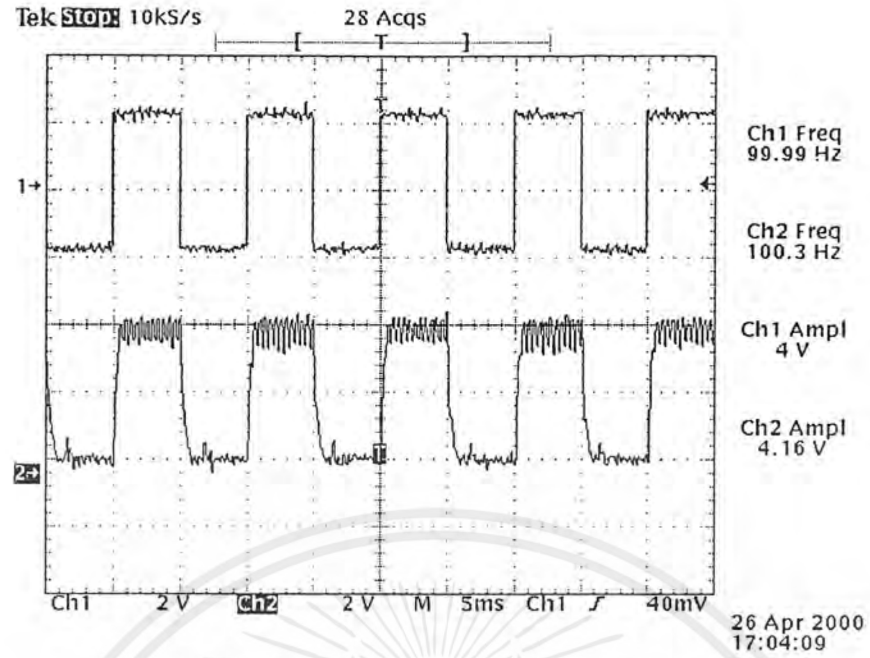


รูปที่ 4.35 แสดงผลการทดลองเมื่อป้อนสัญญาณ Sine Wave ที่ความถี่ 500 Hzที่ด้านส่ง (CH1)เปรียบเทียบกับ สัญญาณเอาท์พุท (CH2)ที่วัดได้

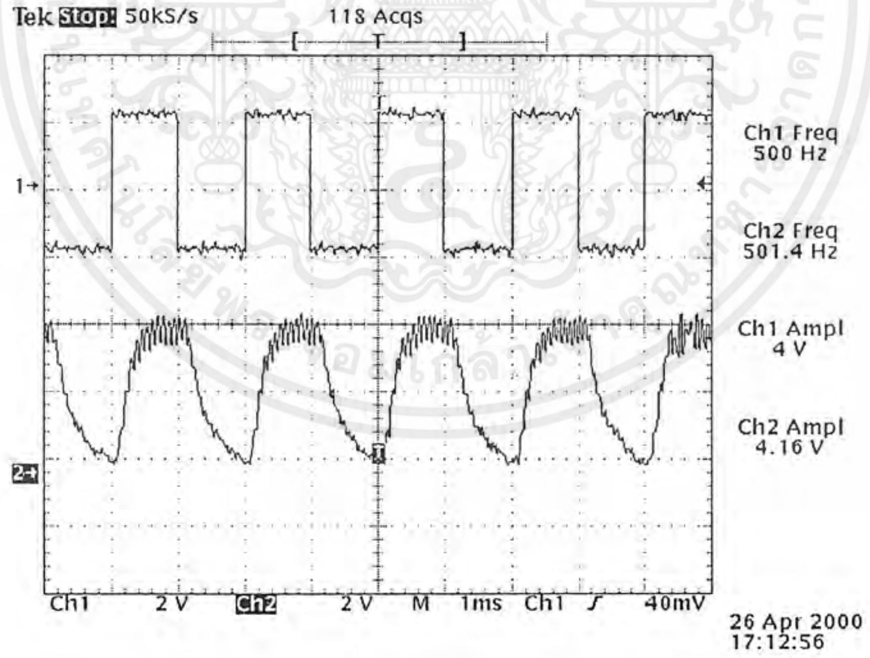


รูปที่ 4.36 แสดงผลการทดลองเมื่อป้อนสัญญาณ Square Wave ที่ความถี่ 50 Hzที่ด้านส่ง (CH1)เปรียบเทียบกับ สัญญาณเอาท์พุท (CH2)ที่วัดได้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

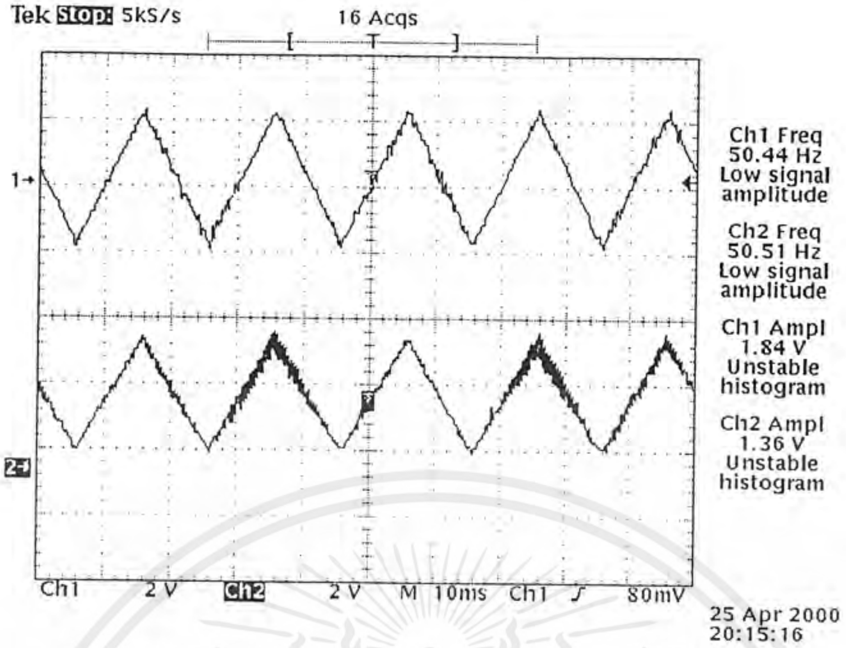


รูปที่ 4.37 แสดงผลการทดลองเมื่อป้อนสัญญาณ Square Wave ที่ความถี่ 100 Hzที่ด้านส่ง (CH1)เปรียบเทียบกับ สัญญาณเอาท์พุท (CH2)ที่วัดได้

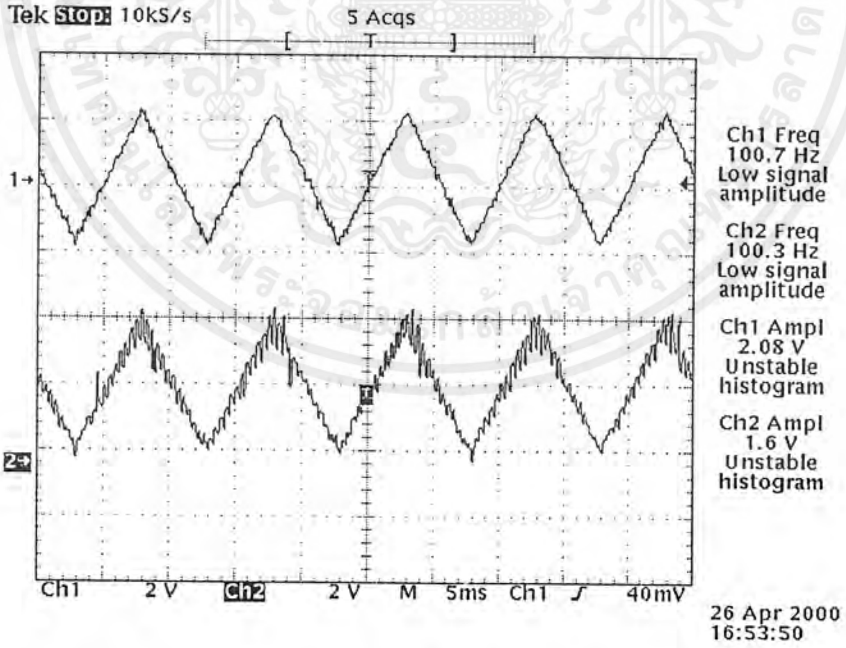


รูปที่ 4.38 แสดงผลการทดลองเมื่อป้อนสัญญาณ Square Wave ที่ความถี่ 500 Hz ที่ด้านส่ง(CH1)เปรียบเทียบกับ สัญญาณเอาท์พุท (CH2)ที่วัดได้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

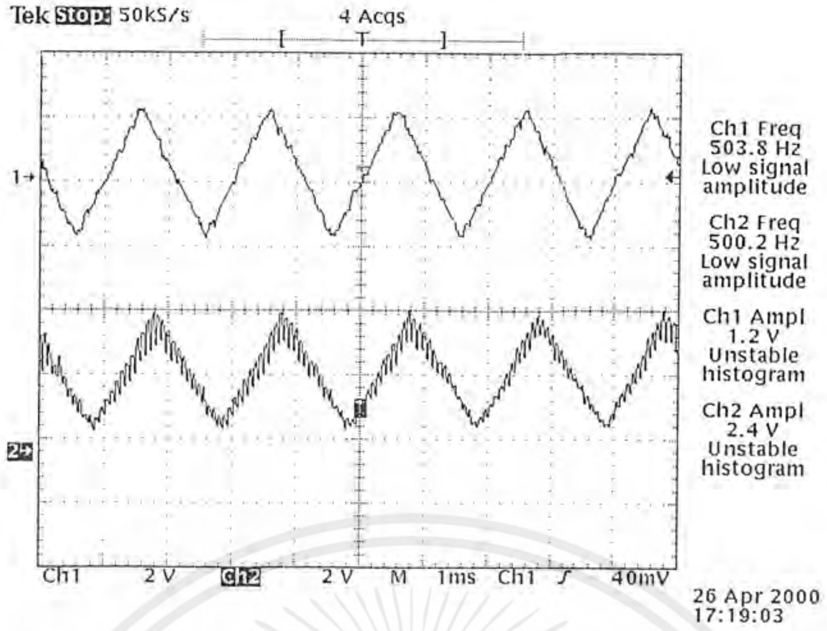


รูปที่ 4.39 แสดงผลการทดลองเมื่อป้อนสัญญาณสามเหลี่ยม(Sawtooth Wave) ที่ความถี่ 50 Hzที่ด้านส่ง(CH1)เปรียบเทียบกับ สัญญาณเอาท์พุท (CH2) ที่วัดได้



รูปที่ 4.40 แสดงผลการทดลองเมื่อป้อนสัญญาณสามเหลี่ยม(Sawtooth Wave) ที่ความถี่ 100 Hzที่ด้านส่ง(CH1)เปรียบเทียบกับ สัญญาณเอาท์พุท (CH2) ที่วัดได้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.41 แสดงผลการทดลองเมื่อป้อนสัญญาณสามเหลี่ยม(Sawtooth Wave) ที่ความถี่ 500 Hzที่ด้านส่ง(CH1)เปรียบเทียบกับ สัญญาณเอาท์พุท (CH2) ที่วัดได้

สรุปผลการทดลอง

จากผลการทดลองที่ได้ที่ความถี่ 100 ~ 2,000 Hz รูปสัญญาณของสัญญาณ Sine Wave ยังคงเหมือนกับทางด้านส่งที่ส่งมา แต่เมื่อป้อนความถี่สูงขึ้นเรื่อยๆ รูปสัญญาณจะเริ่มผิดเพี้ยนไปเนื่องจาก เมื่อความถี่สูงขึ้นอัตราส่วนระหว่างสัญญาณพัลส์ที่นำมา Sampling (12.5 kHz) กับสัญญาณ อินพุตที่ป้อนเข้ามาจะเริ่มน้อยลงทำให้ได้รูปสัญญาณเป็นขั้นๆ ไม่เรียบตลอดรูปคลื่น และ วงจร Low Pass Filter ก็มีส่วนกับรูปคลื่นเอาท์พุตที่ได้ ถ้าออกแบบวงจร Low Pass Filter ดีก็จะได้รูปสัญญาณได้ใกล้เคียงกับสัญญาณอินพุตที่เข้ามา

จากการทดลองป้อนรูปสัญญาณ Sine Wave, Square Wave, Sawtooth Wave ที่ความถี่ 50 Hz, 100 Hz และ 500 Hz ตามลำดับจะเห็นว่า ที่ความถี่ทั้ง 3 สัญญาณ Sine Wave และ Sawtooth Wave ยังคงได้รูปสัญญาณเหมือนกับทางด้านอินพุตที่ส่งมา แต่สัญญาณ Square Wave ที่ความถี่ 100 Hz และ 500 Hz จะได้รูปสัญญาณเพี้ยนไป เนื่องจาก วงจร Sample and Hold มี Capacitor ต่อลงกราวด์ที่ขา 6 และขา 7 ซึ่งทำให้เกิดการกรองความถี่ต่ำผ่านขึ้นที่อินพุต ซึ่งสัญญาณพัลส์รูปสี่เหลี่ยมก็คือสัญญาณ Sine Wave ที่มีความถี่ฮาร์โมนิคหลายๆ คลื่นมารวมกัน เมื่อมาผ่าน วงจร Sample and Hold ที่ต่อ แบบกรองความถี่ต่ำผ่านนี้จึงทำให้ความถี่ฮาร์โมนิคสูงๆ ถูกลัดวงจรลงกราวด์ซึ่งเหลือก็เพียงความถี่ต่ำผ่านไปได้ จึงได้รูปสัญญาณเป็นแบบเอ็กซ์โปเนนเชียล

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 5
บทวิจารณ์และสรุป

บทสรุป

โครงงานนี้เป็นการทดลองเกี่ยวกับการส่งสัญญาณผ่านเส้นใยนำแสง โดยทำการแปลงเป็นสัญญาณข้อมูลดิจิตอล แบบ PCM-TDM โดยทำการส่งแบบมัลติเพล็กซ์ 4 ช่องสัญญาณ โดยทำการแปลงสัญญาณอินพุตที่เข้ามาทางด้านส่งเป็นข้อมูลดิจิตอล ด้วย IC 0809 แล้วจึงทำการเปลี่ยนจากสัญญาณไฟฟ้าเป็นสัญญาณแสงส่งออกผ่านเส้นใยนำแสง ส่วนทางด้านรับจะทำการรับสัญญาณแสงแล้วแปลงกลับเป็นสัญญาณ ไฟฟ้า ในที่นี้จะทำการกู้สัญญาณข้อมูลดิจิตอลที่ส่งมาทางด้านส่งได้จากการกู้สัญญาณนาฬิกาซึ่งจะมี สัญญาณซิงโครไนซ์ส่งมากับข้อมูลด้วยเพื่อให้สัญญาณข้อมูลสามารถส่งออกทางช่องสัญญาณที่ถูกต้อง

โครงงานนี้มีจุดประสงค์เพื่อทำการทดลองเพื่อศึกษาการทำงานของระบบ PCM-TDM ให้มีความเข้าใจมากยิ่งขึ้นจะได้รู้ปัญหาที่เกิดขึ้นกับโครงงาน และ เพื่อสามารถประยุกต์ใช้ในงานการสื่อสารในยุกต์ปัจจุบันได้ดี

บทวิจารณ์

ในการส่งสัญญาณดิจิตอลปัญหาแรกที่เกิดขึ้นก็คือการที่จะเปลี่ยนสัญญาณอินพุทที่เป็นอนาลอกให้เป็นสัญญาณดิจิตอลโดยมีมาตราฐานที่แน่นอน ซึ่งปัจจุบันก็มีหลายมาตราฐานเช่น อเมริกา ยุโรป หรือ ญี่ปุ่น ถ้ามาตราฐานต่างกันก็จะส่งผลให้เกิดความผิดพลาดทางด้านรับเนื่องจากความแตกต่างของรหัสได้ สิ่งรบกวนที่เกิดขึ้นเมื่อมีการเปลี่ยนสัญญาณอนาลอกเป็นสัญญาณดิจิตอลนั้นประกอบด้วยแซมปลิ้งน้อยส์และควอนไตซิ่งน้อยส์ ซึ่งจะเกิดขึ้นอย่างหลีกเลี่ยงไม่ได้ แต่จะสามารถยอมรับได้ในระดับหนึ่ง ปัญหาต่อมาที่เป็นปัญหาหลักในการส่งก็คือเมื่อทางด้านส่งทำการส่งแล้ว ทางด้านรับต้องรับได้และสามารถแปลงกลับมาเป็นสัญญาณอนาลอกที่เหมือนกับทางอินพุทได้อย่างมีประสิทธิภาพ เทคนิคสำคัญที่จะแก้ปัญหามี 2 วิธีคือ วิธีการส่งแบบซิงโครนัสและวิธีการส่งแบบอะซิงโครนัส ปัญหาสุดท้ายก็คือการแปลงสัญญาณดิจิตอลกลับมาเป็นสัญญาณอนาลอกเพื่อส่งออกทางด้านรับอาจจะมีความผิดเพี้ยนบ้างเมื่อเทียบกับสัญญาณเดิมแต่ก็อยู่ในมาตราฐานที่ยอมรับได้

โครงงานนี้ใช้ไอซี 0809 ซึ่งจะทำหน้าที่เปลี่ยนสัญญาณอนาลอกให้เป็นสัญญาณดิจิตอลและใช้ไอซี 0808 เปลี่ยนสัญญาณดิจิตอลให้เป็นสัญญาณอนาลอก จึงไม่ต้องทำการคำนวณออกแบบวงจร D/A และวงจร A/D เพียงแค่ศึกษาการทำงานในตัวไอซีให้เข้าใจและรู้ความหมายของแต่ละขาอย่างชัดเจนก็จะสามารถทำงานได้ ซึ่งไอซีตัวนี้สามารถทำงานได้ทั้งมาตราฐาน μ – law A – law จึงทำให้รองรับการใช้งานได้กว้างขึ้น ดังนั้นปัญหาหลักของโครงงานนี้ก็คือการรับส่งข้อมูลโครงงานนี้ใช้วิธีส่งแบบอะซิงโครนัส (Asynchronous) โดยวิธีนี้จะทำการส่งสัญญาณซิงโครนัส ปนเข้าไปกับสัญญาณข้อมูล โดยในโครงงานนี้ส่ง 4 ช่องสัญญาณ จะส่ง สัญญาณซิงโครนัสเข้าไปอีกหนึ่งช่องสัญญาณ เพื่อที่จะทำการแยกสัญญาณช่องต่างๆ ให้ถูกต้องตามที่ส่งมา

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ภาคผนวก

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

SN74LS164

Serial-In Parallel-Out Shift Register

The SN74LS164 is a high speed 8-Bit Serial-In Parallel-Out Shift Register. Serial data is entered through a 2-Input AND gate synchronous with the LOW to HIGH transition of the clock. The device features an asynchronous Master Reset which clears the register setting all outputs LOW independent of the clock. It utilizes the Schottky diode clamped process to achieve high speeds and is fully compatible with all ON Semiconductor TTL products.

- Typical Shift Frequency of 35 MHz
- Asynchronous Master Reset
- Gated Serial Data Input
- Fully Synchronous Data Transfers
- Input Clamp Diodes Limit High Speed Termination Effects
- ESD > 3500 Volts

GUARANTEED OPERATING RANGES

Symbol	Parameter	Min	Typ	Max	Unit
V_{CC}	Supply Voltage	4.75	5.0	5.25	V
T_A	Operating Ambient Temperature Range	0	25	70	°C
I_{OH}	Output Current – High			–0.4	mA
I_{OL}	Output Current – Low			8.0	mA

ON Semiconductor

http://onsemi.com

LOW POWER SCHOTTKY

14

1

PLASTIC
N SUFFIX
CASE 646

14

1

SOIC
D SUFFIX
CASE 751A

ORDERING INFORMATION

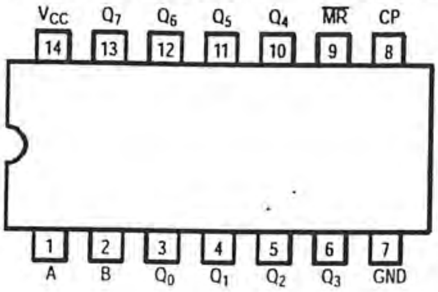
Device	Package	Shipping
SN74LS164N	14 Pin DIP	2000 Units/Box
SN74LS164D	14 Pin	2500/Tape & Reel

© Semiconductor Components Industries, LLC, 1999

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ทางการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

SN74LS164

CONNECTION DIAGRAM DIP (TOP VIEW)

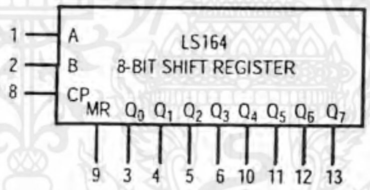


NOTE:
The Flatpak version has the same pinouts (Connection Diagram) as the Dual In-Line Package.

PIN NAMES		LOADING (Note a) HIGH	LOW
A, B	Data Inputs	0.5 U.L.	0.25 U.L.
CP	Clock (Active HIGH Going Edge) Input	0.5 U.L.	0.25 U.L.
$\overline{MR}$	Master Reset (Active LOW) Input	0.5 U.L.	0.25 U.L.
$Q_0 - Q_7$	Outputs	10 U.L.	5 U.L.

NOTES:
a) 1 TTL Unit Load (U.L.) = 40 μA HIGH/1.6 mA LOW.

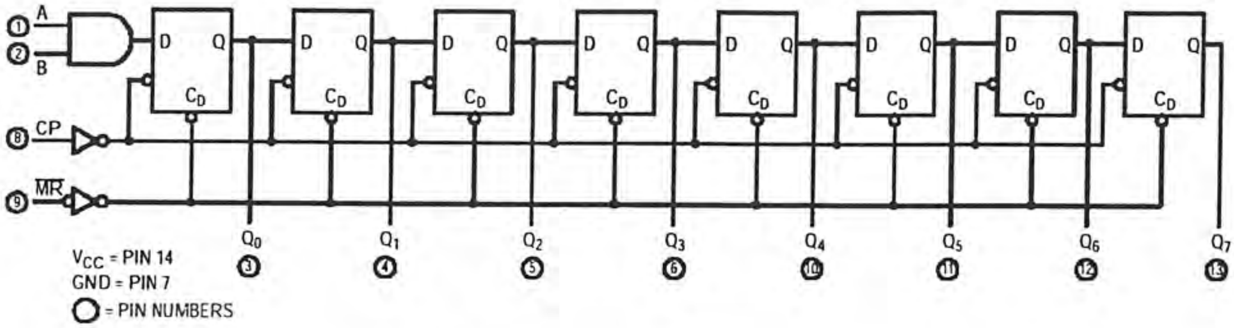
LOGIC SYMBOL



V_{CC} = PIN 14
GND = PIN 7

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

LOGIC DIAGRAM



FUNCTIONAL DESCRIPTION

The LS164 is an edge-triggered 8-bit shift register with serial data entry and an output from each of the eight stages. Data is entered serially through one of two inputs (A or B); either of these inputs can be used as an active HIGH Enable for data entry through the other input. An unused input must be tied HIGH, or both inputs connected together.

Each LOW-to-HIGH transition on the Clock (CP) input shifts data one place to the right and enters into Q_0 the logical AND of the two data inputs (A•B) that existed before the rising clock edge. A LOW level on the Master Reset ($\overline{MR}$) input overrides all other inputs and clears the register asynchronously, forcing all Q outputs LOW.

MODE SELECT — TRUTH TABLE

OPERATING MODE	INPUTS			OUTPUTS	
	$\overline{MR}$	A	B	Q_0	Q_1–Q_7
Reset (Clear)	L	X	X	L	L – L
Shift	H	l	l	L	$q_0 - q_6$
	H	l	h	L	$q_0 - q_6$
	H	h	l	L	$q_0 - q_6$
	H	h	h	H	$q_0 - q_6$

L (l) = LOW Voltage Levels
H (h) = HIGH Voltage Levels
X = Don't Care
q_n = Lower case letters indicate the state of the referenced input or output one set-up time prior to the LOW to HIGH clock transition.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

DC CHARACTERISTICS OVER OPERATING TEMPERATURE RANGE (unless otherwise specified)

Symbol	Parameter	Limits Min	Limits Typ	Limits Max	Unit	Test Conditions
V_{IH}	Input HIGH Voltage	2.0			V	Guaranteed Input HIGH Voltage for All Inputs
V_{IL}	Input LOW Voltage			0.8	V	Guaranteed Input LOW Voltage for All Inputs
V_{IK}	Input Clamp Diode Voltage		−0.65	−1.5	V	V_{CC} = MIN, I_{IN} = −18 mA
V_{OH}	Output HIGH Voltage	2.7	3.5		V	V_{CC} = MIN, I_{OH} = MAX, V_{IN} = V_{IH} or V_{IL} per Truth Table
V_{OL}	Output LOW Voltage		0.25	0.4	V	I_{OL} = 4.0 mA; V_{CC} = V_{CC} MIN, V_{IN} = V_{IH} or V_{IL} per Truth Table
			0.35	0.5	V	I_{OL} = 8.0 mA
I_{IH}	Input HIGH Current			20	µA	V_{CC} = MAX, V_{IN} = 2.7 V
				0.1	mA	V_{CC} = MAX, V_{IN} = 7.0 V
I_{IL}	Input LOW Current			−0.4	mA	V_{CC} = MAX, V_{IN} = 0.4 V
I_{OS}	Short Circuit Current (Note 1)	−20		−100	mA	V_{CC} = MAX
I_{CC}	Power Supply Current			27	mA	V_{CC} = MAX

Note 1: Not more than one output should be shorted at a time, nor for more than 1 second.

AC CHARACTERISTICS (T_A = 25°C)

Symbol	Parameter	Limits Min	Limits Typ	Limits Max	Unit	Test Conditions
f_{MAX}	Maximum Clock Frequency	25	36		MHz	V_{CC} = 5.0 V C_L = 15 pF
t_{PHL}	Propagation Delay $\overline{MR}$ to Output Q		24	36	ns	
t_{PLH} t_{PHL}	Propagation Delay Clock to Output Q		17 21	27 32	ns	

AC SETUP REQUIREMENTS (T_A = 25°C)

Symbol	Parameter	Limits Min	Limits Typ	Limits Max	Unit	Test Conditions
t_W	CP, $\overline{MR}$ Pulse Width	20			ns	V_{CC} = 5.0 V
t_s	Data Setup Time	15			ns	
t_h	Data Hold Time	5.0			ns	
t_{rec}	$\overline{MR}$ to Clock Recovery Time	20			ns	

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

AC WAVEFORMS

*The shaded areas indicate when the input is permitted to change for predictable output performance.

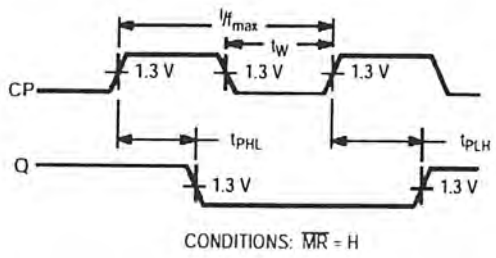


Figure 1. Clock to Output Delays and Clock Pulse Width

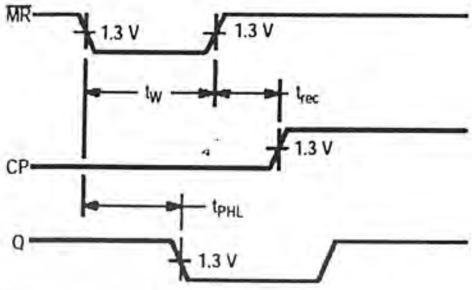


Figure 2. Master Reset Pulse Width, Master Reset to Output Delay and Master Reset to Clock Recovery Time

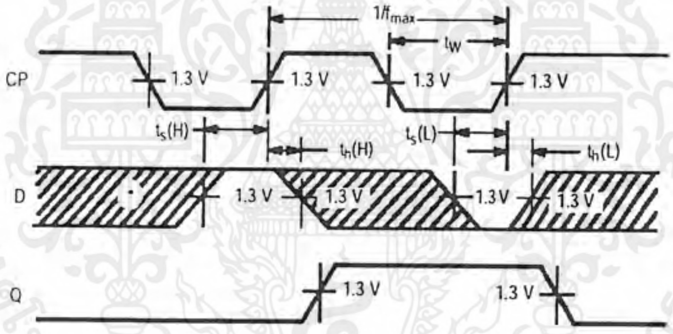
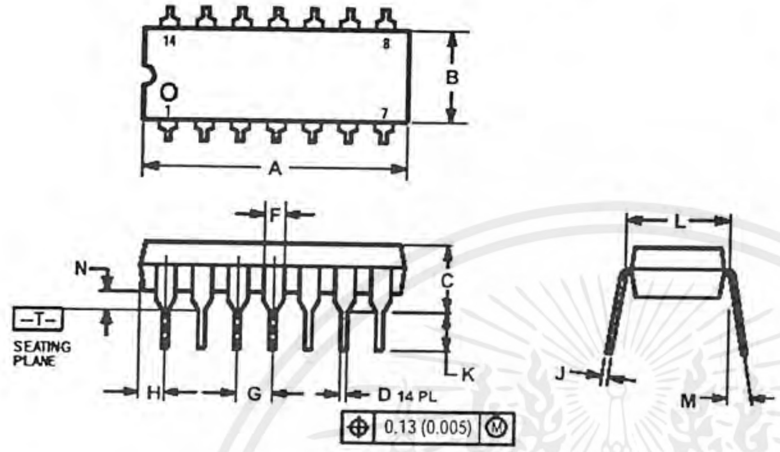


Figure 3. Data Setup and Hold Times

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

PACKAGE DIMENSIONS

N SUFFIX
PLASTIC PACKAGE
CASE 646–06
ISSUE M

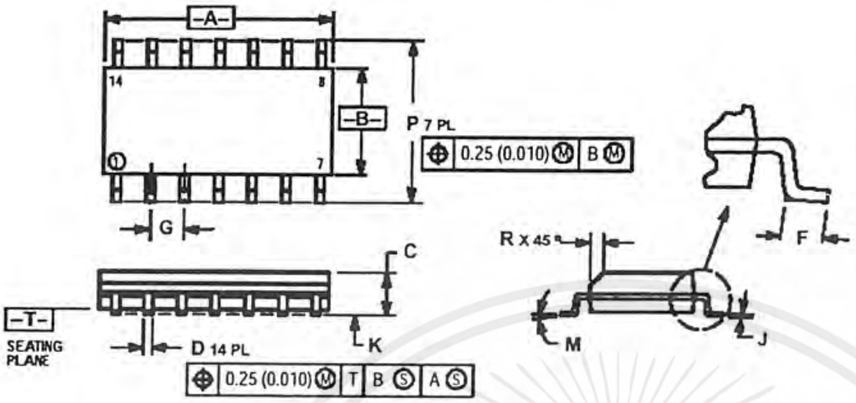


NOTES:
1. DIMENSIONING AND TOLERANCING PER ANSI Y14.5M, 1982.
2. CONTROLLING DIMENSION: INCH.
3. DIMENSION L TO CENTER OF LEADS WHEN FORMED PARALLEL.
4. DIMENSION B DOES NOT INCLUDE MOLD FLASH.
5. ROUNDED CORNERS OPTIONAL.

	INCHES		MILLIMETERS	
DIM	MIN	MAX	MIN	MAX
A	0.715	0.770	18.16	18.80
B	0.240	0.260	6.10	6.60
C	0.145	0.185	3.69	4.69
D	0.015	0.021	0.38	0.53
F	0.040	0.070	1.02	1.78
G	0.100 BSC		2.54 BSC	
H	0.052	0.095	1.32	2.41
J	0.008	0.015	0.20	0.38
K	0.115	0.135	2.92	3.43
L	0.290	0.310	7.37	7.87
M	---	10°	---	10°
N	0.015	0.039	0.38	1.01

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

D SUFFIX
PLASTIC SOIC PACKAGE
CASE 751A–03
ISSUE F



NOTES:
1. DIMENSIONING AND TOLERANCING PER ANSI Y14.5M, 1982.
2. CONTROLLING DIMENSION: MILLIMETER.
3. DIMENSIONS A AND B DO NOT INCLUDE MOLD PROTRUSION.
4. MAXIMUM MOLD PROTRUSION 0.15 (0.006) PER SIDE.
5. DIMENSION D DOES NOT INCLUDE DAMBAR PROTRUSION. ALLOWABLE DAMBAR PROTRUSION SHALL BE 0.127 (0.005) TOTAL IN EXCESS OF THE D DIMENSION AT MAXIMUM MATERIAL CONDITION.

	MILLIMETERS		INCHES	
DIM	MIN	MAX	MIN	MAX
A	8.55	8.75	0.337	0.344
B	3.80	4.00	0.150	0.157
C	1.35	1.75	0.054	0.068
D	0.35	0.49	0.014	0.019
F	0.40	1.25	0.016	0.049
G	1.27 BSC		0.050 BSC	
J	0.19	0.25	0.008	0.009
K	0.10	0.25	0.004	0.009
M	0°	7°	0°	7°
P	5.80	6.20	0.228	0.244
R	0.25	0.50	0.010	0.019

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ON Semiconductor and [logo] are trademarks of Semiconductor Components Industries, LLC (SCILLC). SCILLC reserves the right to make changes without further notice to any products herein. SCILLC makes no warranty, representation or guarantee regarding the suitability of its products for any particular purpose, nor does SCILLC assume any liability arising out of the application or use of any product or circuit, and specifically disclaims any and all liability, including without limitation special, consequential or incidental damages. "Typical" parameters which may be provided in SCILLC data sheets and/or specifications can and do vary in different applications and actual performance may vary over time. All operating parameters, including "Typicals" must be validated for each customer application by customer's technical experts. SCILLC does not convey any license under its patent rights nor the rights of others. SCILLC products are not designed, intended, or authorized for use as components in systems intended for surgical implant into the body, or other applications intended to support or sustain life, or for any other application in which the failure of the SCILLC product could create a situation where personal injury or death may occur. Should Buyer purchase or use SCILLC products for any such unintended or unauthorized application, Buyer shall indemnify and hold SCILLC and its officers, employees, subsidiaries, affiliates, and distributors harmless against all claims, costs, damages, and expenses, and reasonable attorney fees arising out of, directly or indirectly, any claim of personal injury or death associated with such unintended or unauthorized use, even if such claim alleges that SCILLC was negligent regarding the design or manufacture of the part. SCILLC is an Equal Opportunity/Affirmative Action Employer.

PUBLICATION ORDERING INFORMATION

North America Literature Fulfillment:
Literature Distribution Center for ON Semiconductor
P.O. Box 5163, Denver, Colorado 80217 USA
Phone: 303–675–2175 or 800–344–3860 Toll Free USA/Canada
Fax: 303–675–2176 or 800–344–3867 Toll Free USA/Canada
Email: ONlit@hibbertco.com

N. American Technical Support: 800–282–9855 Toll Free USA/Canada

EUROPE: LDC for ON Semiconductor – European Support
German Phone: (+1) 303–308–7140 (M–F 2:30pm to 5:00pm Munich Time)
Email: ONlit–german@hibbertco.com
French Phone: (+1) 303–308–7141 (M–F 2:30pm to 5:00pm Toulouse Time)
Email: ONlit–french@hibbertco.com
English Phone: (+1) 303–308–7142 (M–F 1:30pm to 5:00pm UK Time)
Email: ONlit@hibbertco.com

ASIA/PACIFIC: LDC for ON Semiconductor – Asia Support
Phone: 303–675–2121 (Tue–Fri 9:00am to 1:00pm, Hong Kong Time)
Toll Free from Hong Kong 800–4422–3781
Email: ONlit–asia@hibbertco.com

JAPAN: ON Semiconductor, Japan Customer Focus Center
4–32–1 Nishi–Gotanda, Shinagawa–ku, Tokyo, Japan 141–8549
Phone: 81–3–5487–8345
Email: r14153@onsemi.com

Fax Response Line: 303–675–2167
800–344–3810 Toll Free USA/Canada

ON Semiconductor Website: http://onsemi.com

For additional information, please contact your local Sales Representative.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

SN74LS165

8-Bit Parallel-to-Serial Shift Register

The SN74LS165 is an 8-bit parallel load or serial-in register with complementary outputs available from the last stage. Parallel inputing occurs asynchronously when the Parallel Load ($\overline{PL}$) input is LOW. With $\overline{PL}$ HIGH, serial shifting occurs on the rising edge of the clock; new data enters via the Serial Data (DS) input. The 2-input OR clock can be used to combine two independent clock sources, or one input can act as an active LOW clock enable.

GUARANTEED OPERATING RANGES

Symbol	Parameter	Min	Typ	Max	Unit
V_{CC}	Supply Voltage	4.75	5.0	5.25	V
T_A	Operating Ambient Temperature Range	0	25	70	°C
I_{OH}	Output Current – High			−0.4	mA
I_{OL}	Output Current – Low			8.0	mA

ON Semiconductor

http://onsemi.com

LOW POWER SCHOTTKY

PLASTIC
N SUFFIX
CASE 648

SOIC
D SUFFIX
CASE 751B

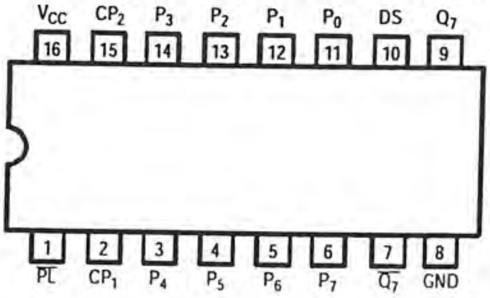
ORDERING INFORMATION

Device	Package	Shipping
SN74LS165N	16 Pin DIP	2000 Units/Box
SN74LS165D	16 Pin	2500/Tape & Reel

© Semiconductor Components Industries, LLC, 1999

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ทางการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

CONNECTION DIAGRAM DIP (TOP VIEW)

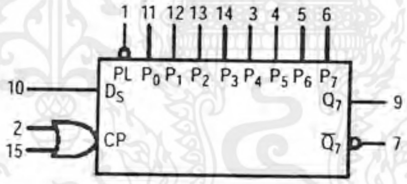


NOTE:
The Flatpak version has the same pinouts (Connection Diagram) as the Dual In-Line Package.

PIN NAMES		LOADING (Note a) HIGH	LOW
CP_1, CP_2	Clock (LOW-to-HIGH Going Edge) Inputs	0.5 U.L.	0.25 U.L.
DS	Serial Data Input	0.5 U.L.	0.25 U.L.
$\overline{PL}$	Asynchronous Parallel Load (Active LOW) Input	1.5 U.L.	0.75 U.L.
$P_0 - P_7$	Parallel Data Inputs	0.5 U.L.	0.25 U.L.
Q_7	Serial Output from Last State	10 U.L.	5 U.L.
$\overline{Q}_7$	Complementary Output	10 U.L.	5 U.L.

NOTES:
a) 1 TTL Unit Load (U.L.) = 40 μA HIGH/1.6 mA LOW.

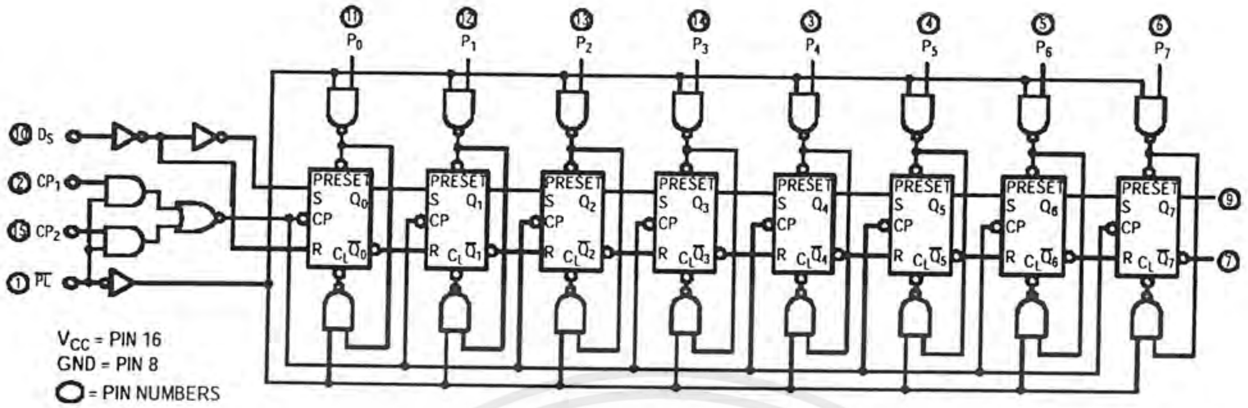
LOGIC SYMBOL



V_{CC} = PIN 16
GND = PIN 8

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

LOGIC DIAGRAM



FUNCTIONAL DESCRIPTION

The SN74LS165 contains eight clocked master/slave RS flip-flops connected as a shift register, with auxiliary gating to provide overriding asynchronous parallel entry. Parallel data enters when the $\overline{PL}$ signal is LOW. The parallel data can change while $\overline{PL}$ is LOW, provided that the recommended setup and hold times are observed.

For clock operation, $\overline{PL}$ must be HIGH. The two clock inputs perform identically; one can be used as a clock inhibit by applying a HIGH signal. To avoid double clocking, however, the inhibit signal should only go HIGH while the clock is HIGH. Otherwise, the rising inhibit signal will cause the same response as a rising clock edge. The flip-flops are edge-triggered for serial operations. The serial input data can change at any time, provided only that the recommended setup and hold times are observed, with respect to the rising edge of the clock.

TRUTH TABLE

$\overline{PL}$	CP 1	CP 2	Q_0	Q_1	Q_2	Q_3	Q_4	Q_5	Q_6	Q_7	RESPONSE
L	X	X	P_0	P_1	P_2	P_3	P_4	P_5	P_6	P_7	Parallel Entry
H	L	↑	D_S	Q_0	Q_1	Q_2	Q_3	Q_4	Q_5	Q_6	Right Shift
H	H	↑	Q_0	Q_1	Q_2	Q_3	Q_4	Q_5	Q_6	Q_7	No Change
H	↑	L	D_S	Q_0	Q_1	Q_2	Q_3	Q_4	Q_5	Q_6	Right Shift
H	↑	H	Q_0	Q_1	Q_2	Q_3	Q_4	Q_5	Q_6	Q_7	No Change

H = HIGH Voltage Level
L = LOW Voltage Level
X = Immaterial

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

DC CHARACTERISTICS OVER OPERATING TEMPERATURE RANGE (unless otherwise specified)

Symbol	Parameter	Limits Min	Limits Typ	Limits Max	Unit	Test Conditions
V_{IH}	Input HIGH Voltage	2.0			V	Guaranteed Input HIGH Voltage for All Inputs
V_{IL}	Input LOW Voltage			0.8	V	Guaranteed Input LOW Voltage for All Inputs
V_{IK}	Input Clamp Diode Voltage		−0.65	−1.5	V	V_{CC} = MIN, I_{IN} = −18 mA
V_{OH}	Output HIGH Voltage	2.7	3.5		V	V_{CC} = MIN, I_{OH} = MAX, V_{IN} = V_{IH} or V_{IL} per Truth Table
V_{OL}	Output LOW Voltage		0.25	0.4	V	I_{OL} = 4.0 mA; V_{CC} = V_{CC} MIN, V_{IN} = V_{IL} or V_{IH} per Truth Table
			0.35	0.5	V	I_{OL} = 8.0 mA; V_{CC} = V_{CC} MIN, V_{IN} = V_{IL} or V_{IH} per Truth Table
I_{IH}	Input HIGH Current Other Inputs $\overline{PL}$ Input			20 60	µA	V_{CC} = MAX, V_{IN} = 2.7 V
	Other Inputs $\overline{PL}$ Input			0.1 0.3	mA	V_{CC} = MAX, V_{IN} = 7.0 V
I_{IL}	Input LOW Current Other Inputs $\overline{PL}$ Input			−0.4 −1.2	mA	V_{CC} = MAX, V_{IN} = 0.4 V
I_{OS}	Short Circuit Current (Note 1)	−20		−100	mA	V_{CC} = MAX
I_{CC}	Power Supply Current			36	mA	V_{CC} = MAX

Note 1: Not more than one output should be shorted at a time, nor for more than 1 second.

AC CHARACTERISTICS (T_A = 25°C)

Symbol	Parameter	Limits Min	Limits Typ	Limits Max	Unit	Test Conditions
f_{MAX}	Maximum Input Clock Frequency	25	35		MHz	V_{CC} = 5.0 V C_L = 15 pF
t_{PLH} t_{PHL}	Propagation Delay $\overline{PL}$ to Output		22 22	35 35	ns	
t_{PLH} t_{PHL}	Propagation Delay Clock to Output		27 28	40 40	ns	
t_{PLH} t_{PHL}	Propagation Delay P_7 to Q_7		14 21	25 30	ns	
t_{PLH} t_{PHL}	Propagation Delay P_7 to $\overline{Q}_7$		21 16	30 25	ns	

AC SETUP REQUIREMENTS (T_A = 25°C)

Symbol	Parameter	Limits Min	Limits Typ	Limits Max	Unit	Test Conditions
t_W	CP Clock Pulse Width	25			ns	V_{CC} = 5.0 V
t_W	$\overline{PL}$ Pulse Width	15			ns	
t_s	Parallel Data Setup Time	10			ns	
t_s	Serial Data Setup Time	20			ns	
t_s	CP_1 to CP_2 Setup Time[1]	30			ns	
t_h	Hold Time	0			ns	
t_{rec}	Recovery Time, $\overline{PL}$ to CP	45			ns	

[1] The role of CP_1 and CP_2 in an application may be interchanged.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

DEFINITION OF TERMS:

SETUP TIME (t_s) — is defined as the minimum time required for the correct logic level to be present at the logic input prior to the clock transition from LOW-to-HIGH in order to be recognized and transferred to the outputs.

HOLD TIME (t_h) — is defined as the minimum time following the clock transition from LOW-to-HIGH that the logic level must be maintained at the input in order to ensure continued recognition. A negative hold time indicates that the correct logic level may be released prior to the clock transition from LOW-to-HIGH and still be recognized.

RECOVERY TIME (t_{rec}) — is defined as the minimum time required between the end of the $\overline{PL}$ pulse and the clock transition from LOW-to-HIGH in order to recognize and transfer loaded Data to the Q outputs.

AC WAVEFORMS

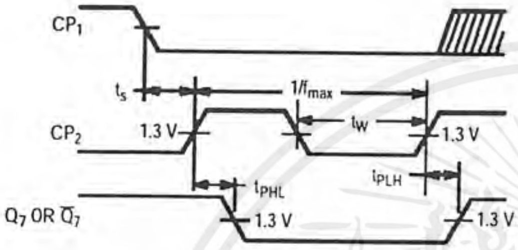


Figure 1.

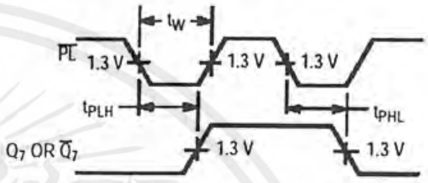


Figure 2.

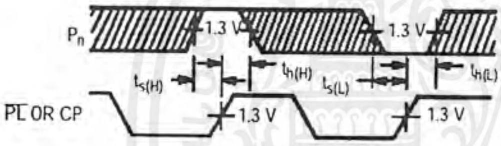


Figure 3.

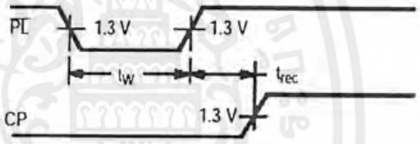


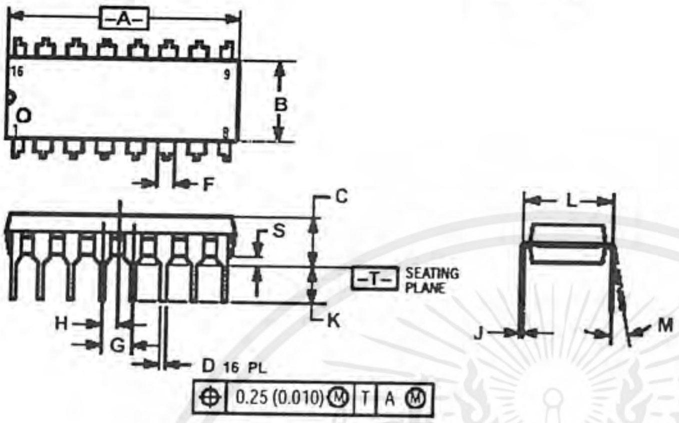
Figure 4.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

SN74LS165

PACKAGE DIMENSIONS

N SUFFIX
PLASTIC PACKAGE
CASE 648–08
ISSUE R



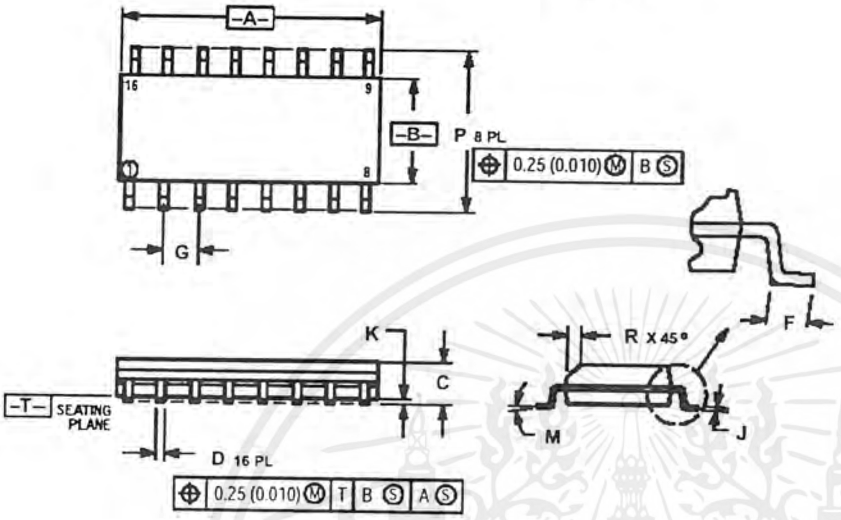
NOTES:
1. DIMENSIONING AND TOLERANCING PER ANSI Y14.5M, 1982.
2. CONTROLLING DIMENSION: INCH.
3. DIMENSION L TO CENTER OF LEADS WHEN FORMED PARALLEL.
4. DIMENSION B DOES NOT INCLUDE MOLD FLASH.
5. ROUNDED CORNERS OPTIONAL.

	INCHES		MILLIMETERS	
DIM	MIN	MAX	MIN	MAX
A	0.740	0.770	18.80	19.55
B	0.250	0.270	6.35	6.85
C	0.145	0.175	3.69	4.44
D	0.015	0.021	0.39	0.53
F	0.040	0.70	1.02	1.77
G	0.100 BSC		2.54 BSC	
H	0.050 BSC		1.27 BSC	
J	0.008	0.015	0.21	0.38
K	0.110	0.130	2.80	3.30
L	0.295	0.305	7.50	7.74
M	0°	10°	0°	10°
S	0.020	0.040	0.51	1.01

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

PACKAGE DIMENSIONS

D SUFFIX
PLASTIC SOIC PACKAGE
CASE 751B–05
ISSUE J



NOTES:
1. DIMENSIONING AND TOLERANCING PER ANSI Y14.5M, 1982.
2. CONTROLLING DIMENSION: MILLIMETER.
3. DIMENSIONS A AND B DO NOT INCLUDE MOLD PROTRUSION.
4. MAXIMUM MOLD PROTRUSION 0.15 (0.006) PER SIDE.
5. DIMENSION D DOES NOT INCLUDE DAMBAR PROTRUSION. ALLOWABLE DAMBAR PROTRUSION SHALL BE 0.127 (0.005) TOTAL IN EXCESS OF THE D DIMENSION AT MAXIMUM MATERIAL CONDITION.

	MILLIMETERS		INCHES	
DIM	MIN	MAX	MIN	MAX
A	9.80	10.00	0.386	0.393
B	3.80	4.00	0.150	0.157
C	1.35	1.75	0.054	0.068
D	0.35	0.49	0.014	0.019
F	0.40	1.25	0.016	0.049
G	1.27 BSC		0.050 BSC	
J	0.19	0.25	0.008	0.009
K	0.10	0.25	0.004	0.009
M	0°	7°	0°	7°
P	5.80	6.20	0.229	0.244
R	0.25	0.50	0.010	0.019

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

National Semiconductor

LF198/LF298/LF398, LF198A/LF398A Monolithic Sample-and-Hold Circuits

General Description

The LF198/LF298/LF398 are monolithic sample-and-hold circuits which utilize BI-FET technology to obtain ultra-high dc accuracy with fast acquisition of signal and low droop rate. Operating as a unity gain follower, dc gain accuracy is 0.002% typical and acquisition time is as low as 6 μs to 0.01%. A bipolar input stage is used to achieve low offset voltage and wide bandwidth. Input offset adjust is accomplished with a single pin, and does not degrade input offset drift. The wide bandwidth allows the LF198 to be included inside the feedback loop of 1 MHz op amps without having stability problems. Input impedance of $10^{10}\Omega$ allows high source impedances to be used without degrading accuracy.

P-channel junction FET's are combined with bipolar devices in the output amplifier to give droop rates as low as 5 mV/min with a 1 μF hold capacitor. The JFET's have much lower noise than MOS devices used in previous designs and do not exhibit high temperature instabilities. The overall design guarantees no feed-through from input to output in the hold mode, even for input signals equal to the supply voltages.

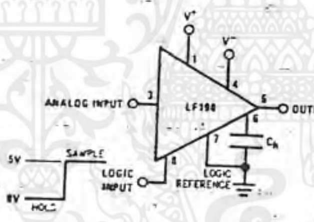
Features

- Operates from ±5V to ±18V supplies
- Less than 10 μs acquisition time
- TTL, PMOS, CMOS compatible logic input
- 0.5 mV typical hold step at $C_h = 0.01\ \mu F$
- Low input offset
- 0.002% gain accuracy
- Low output noise in hold mode
- Input characteristics do not change during hold mode
- High supply rejection ratio in sample or hold
- Wide bandwidth
- Space qualified

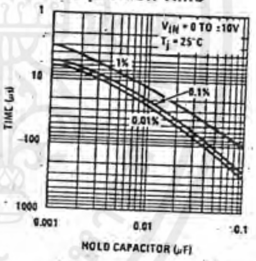
Logic inputs on the LF198 are fully differential with low input current, allowing direct connection to TTL, PMOS, and CMOS. Differential threshold is 1.4V. The LF198 will operate from ±5V to ±18V supplies.

An "A" version is available with tightened electrical specifications.

Typical Connection and Performance Curve



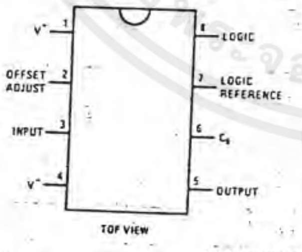
Acquisition Time



TL/H/5692-2

Connection Diagrams

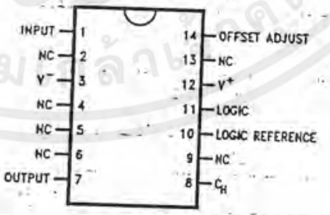
Dual-In-Line Package



TL/H/5692-11

Order Number LF398N or LF398AN
See NS Package Number N08E

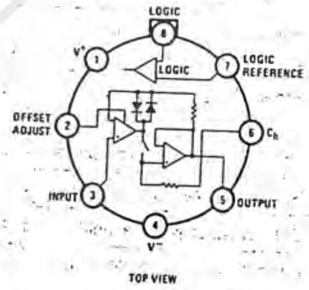
Small-Outline Package



TL/H/5692-15

Order Number LF298M or LF398M
See NS Package Number M14A

Metal Can Package



TL/H/5692-14

Order Number LF198H, LF198H/883, LF298H, LF398H, LF198AH or LF398AH
See NS Package Number H08C

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Absolute Maximum Ratings

If Military/Aerospace specified devices are required, please contact the National Semiconductor Sales Office/Distributors for availability and specifications.

Supply Voltage	±18V
Power Dissipation (Package Limitation) (Note 1)	500 mW
Operating Ambient Temperature Range	
LF198/LF198A	−55°C to +125°C
LF298	−25°C to +85°C
LF398/LF398A	0°C to +70°C
Storage Temperature Range	−65°C to +150°C
Input Voltage	Equal to Supply Voltage
Logic To Logic Reference Differential Voltage (Note 2)	+7V, −30V
Output Short Circuit Duration	Indefinite
Hold Capacitor Short Circuit Duration	10 sec
Lead Temperature (Note 3)	
H package (Soldering, 10 sec.)	260°C
N package (Soldering, 10 sec.)	260°C
M package:	
Vapor Phase (60 sec.)	215°C
Infrared (15 sec.)	220°C
Thermal Resistance (θ_{JA}) (typicals)	
H package	215°C/W (Board mount in still air) 85°C/W (Board mount in 400LF/min air flow)
N package	115°C/W
M package	106°C/W
θ_{JC} (H package, typical)	20°C/W

Electrical Characteristics

The following specifcations apply for $-V_S + 3.5V \leq V_{IN} \leq +V_S - 3.5V$, $+V_S = +15V$, $-V_S = -15V$, $T_A = T_j = 25°C$, $C_h = 0.01\ \mu F$, $R_L = 10\ k\Omega$, LOGIC REFERENCE = 0V, LOGIC HIGH = 2.5V, LOGIC LOW = 0V unless otherwise specified.

Parameter	Conditions	LF198/LF298			LF398			Units
		Min	Typ	Max	Min	Typ	Max	
Input Offset Voltage, (Note 4)	$T_j = 25°C$ Full Temperature Range		1	3 5		2	7 10	mV mV
Input Bias Current, (Note 4)	$T_j = 25°C$ Full Temperature Range		5	25 75		10	50 100	nA nA
Input Impedance	$T_j = 25°C$		10^{10}			10^{10}		Ω
Gain Error	$T_j = 25°C$, $R_L = 10k$ Full Temperature Range		0.002	0.005 0.02		0.004	0.01 0.02	% %
Feedthrough Attenuation Ratio at 1 kHz	$T_j = 25°C$, $C_h = 0.01\ \mu F$	86	96		80	90		dB
Output Impedance	$T_j = 25°C$, "HOLD" mode Full Temperature Range		0.5	2 4		0.5	4 6	Ω Ω
"HOLD" Step, (Note 5)	$T_j = 25°C$, $C_h = 0.01\ \mu F$, $V_{OUT} = 0$		0.5	2.0		1.0	2.5	mV
Supply Current, (Note 4)	$T_j \geq 25°C$		4.5	5.5		4.5	6.5	mA
Logic and Logic Reference Input Current	$T_j = 25°C$		2	10		2	10	μA
Leakage Current into Hold Capacitor (Note 4)	$T_j = 25°C$, (Note 6) Hold Mode		30	100		30	200	pA
Acquisition Time to 0.1%	$\Delta V_{OUT} = 10V$, $C_h = 1000\ pF$ $C_h = 0.01\ \mu F$		4 20			4 20		μs μs
Hold Capacitor Charging Current	$V_{IN} - V_{OUT} = 2V$		5			5		mA
Supply Voltage Rejection Ratio	$V_{OUT} = 0$	80	110		80	110		dB
Differential Logic Threshold	$T_j = 25°C$	0.8	1.4	2.4	0.8	1.4	2.4	V
Input Offset Voltage, (Note 4)	$T_j = 25°C$ Full Temperature Range		1	1 2		2	2 3	mV mV
Input Bias Current, (Note 4)	$T_j = 25°C$ Full Temperature Range		5	25 75		10	25 50	nA nA

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Electrical Characteristics

The following specifcations apply for $-V_S + 3.5V \leq V_{IN} \leq +V_S - 3.5V$, $+V_S = +15V$, $-V_S = -15V$, $T_A = T_j = 25°C$, $C_h = 0.01\ \mu F$, $R_L = 10\ k\Omega$, LOGIC REFERENCE = 0V, LOGIC HIGH = 2.5V, LOGIC LOW = 0V unless otherwise specified. (Continued)

Parameter	Conditions	LF198A			LF398A			Units
		Min	Typ	Max	Min	Typ	Max	
Input Impedance	$T_j = 25°C$		10^{10}			10^{10}		Ω
Gain Error	$T_j = 25°C$, $R_L = 10k$ Full Temperature Range		0.002	0.005 0.01		0.004	0.005 0.01	% %
Feedthrough Attenuation Ratio at 1 kHz	$T_j = 25°C$, $C_h = 0.01\ \mu F$	86	96		86	90		dB
Output Impedance	$T_j = 25°C$, "HOLD" mode Full Temperature Range		0.5	1 4		0.5	1 6	Ω Ω
"HOLD" Step, (Note 5)	$T_j = 25°C$, $C_h = 0.01\mu F$, $V_{OUT} = 0$		0.5	1		1.0	1	mV
Supply Current, (Note 4)	$T_j \geq 25°C$		4.5	5.5		4.5	6.5	mA
Logic and Logic Reference Input Current	$T_j = 25°C$		2	10		2	10	μA
Leakage Current into Hold Capacitor (Note 4)	$T_j = 25°C$, (Note 6) Hold Mode		30	100		30	100	pA
Acquisition Time to 0.1%	$\Delta V_{OUT} = 10V$, $C_h = 1000\ pF$ $C_h = 0.01\ \mu F$		4 20	6 25		4 20	6 25	μs μs
Hold Capacitor Charging Current	$V_{IN} - V_{OUT} = 2V$		5			5		mA
Supply Voltage Rejection Ratio	$V_{OUT} = 0$	90	110		90	110		dB
Differential Logic Threshold	$T_j = 25°C$	0.8	1.4	2.4	0.8	1.4	2.4	V

Note 1: The maximum power dissipation must be derated at elevated temperatures and is dictated by T_{JMAX}, θ_{JA}, and the ambient temperature, T_A. The maximum allowable power dissipation at any temperature is $P_D = (T_{JMAX} - T_A)/\theta_{JA}$, or the number given in the Absolute Maximum Ratings, whichever is lower. The maximum junction temperature, T_{JMAX}, for the LF198/LF198A is 150°C; for the LF298, 115°C; and for the LF398/LF398A, 100°C.

Note 2: Although the differential voltage may not exceed the limits given, the common-mode voltage on the logic pins may be equal to the supply voltages without causing damage to the circuit. For proper logic operation, however, one of the logic pins must always be at least 2V below the positive supply and 3V above the negative supply.

Note 3: See AN-450 "Surface Mounting Methods and their effects on Product Reliability" for other methods of soldering surface mount devices.

Note 4: These parameters guaranteed over a supply voltage range of ±5 to ±18V, and an input range of $-V_S + 3.5V \leq V_{IN} \leq +V_S - 3.5V$.

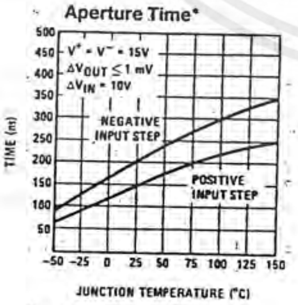
Note 5: Hold step is sensitive to stray capacitive coupling between input logic signals and the hold capacitor. 1 pF, for instance, will create an additional 0.5 mV step with a 5V logic swing and a 0.01μF hold capacitor. Magnitude of the hold step is inversely proportional to hold capacitor value.

Note 6: Leakage current is measured at a *junction* temperature of 25°C. The effects of junction temperature rise due to power dissipation or elevated ambient can be calculated by doubling the 25°C value for each 11°C increase in chip temperature. Leakage is guaranteed over full input signal range.

Note 7: A military RETS electrical test specification is available on request. The LF198 may also be procured to Standard Military Drawing #5962-8760801GA or to MIL-STD-38510 part ID JM38510/12501SGA.

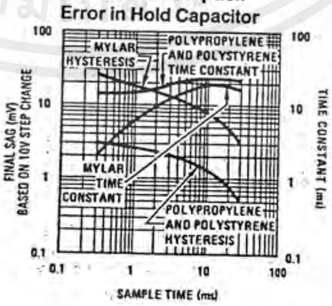
Typical Performance Characteristics

Aperture Time*

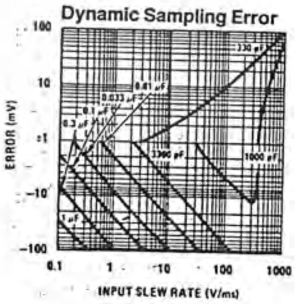


*See Definition of Terms

Dielectric Absorption Error in Hold Capacitor



Dynamic Sampling Error

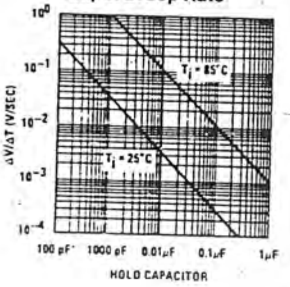


TL/H/5692-3

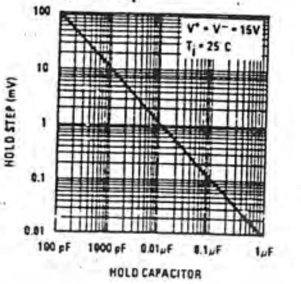
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Typical Performance Characteristics (Continued)

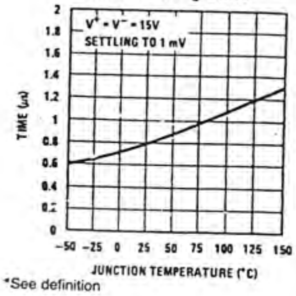
Output Droop Rate



Hold Step

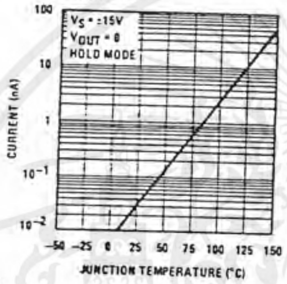


"Hold" Settling Time*

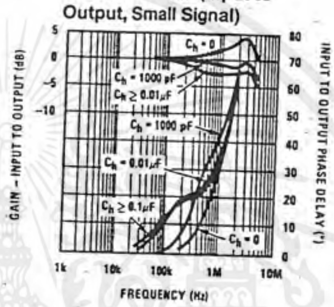


*See definition

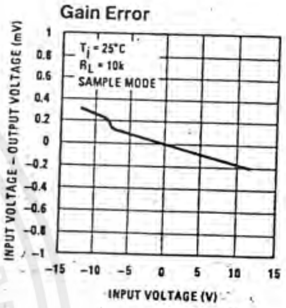
Leakage Current into Hold Capacitor



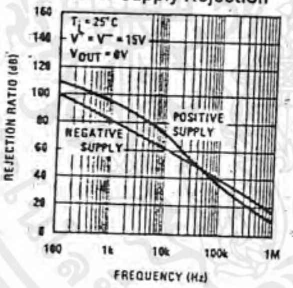
Phase and Gain (Input to Output, Small Signal)



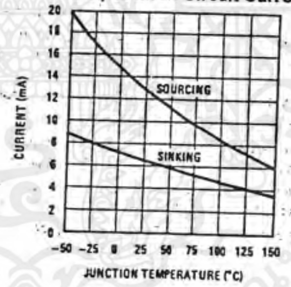
Gain Error



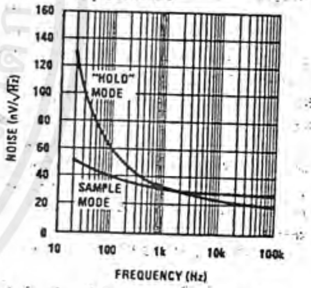
Power Supply Rejection



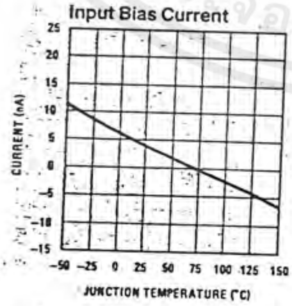
Output Short Circuit Current



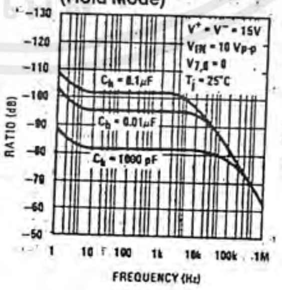
Output Noise



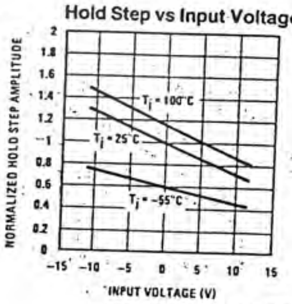
Input Bias Current



Feedthrough Rejection Ratio (Hold Mode)



Hold Step vs Input Voltage



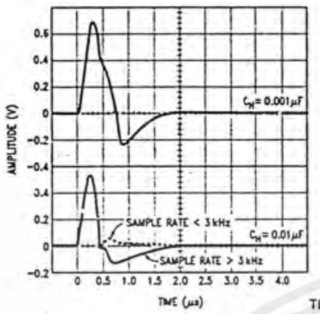
TL/H/5692–4

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

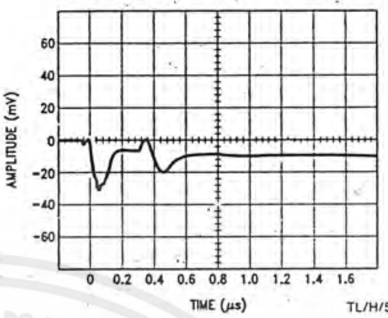
Typical Performance Characteristics (Continued)

Output Transient at Start of Sample Mode



TL/H/5692-12

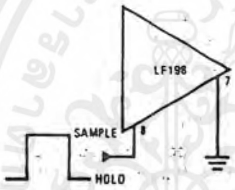
Output Transient at Start of Hold Mode



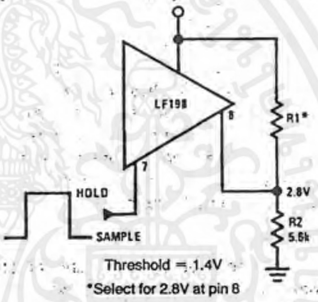
TL/H/5692-13

Logic Input Configurations

TTL & CMOS
3V ≤ V_{LOGIC} (Hi State) ≤ 7V

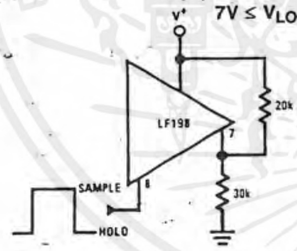


Threshold = 1.4V

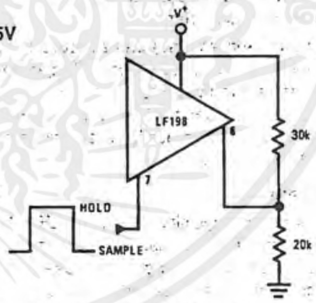


Threshold = 1.4V
*Select for 2.8V at pin 8

CMOS
7V ≤ V_{LOGIC} (Hi State) ≤ 15V

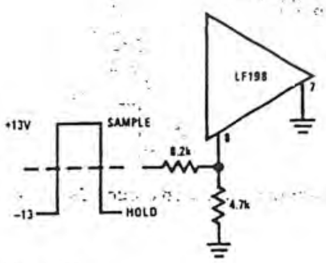


Threshold = 0.6 (V+) + 1.4V

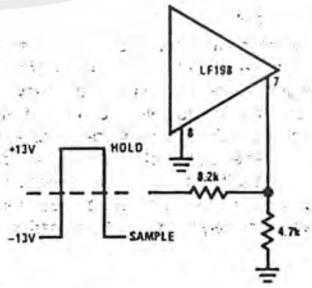


Threshold = 0.6 (V+) − 1.4V

Op Amp Drive



Threshold ≈ +4V



Threshold = −4V

TL/H/5692-6

Application Hints

Hold Capacitor

Hold step, acquisition time, and droop rate are the major trade-offs in the selection of a hold capacitor value. Size and cost may also become important for larger values. Use of the curves included with this data sheet should be helpful in selecting a reasonable value of capacitance. Keep in mind that for fast repetition rates or tracking fast signals, the capacitor drive currents may cause a significant temperature rise in the LF198.

A significant source of error in an accurate sample and hold circuit is dielectric absorption in the hold capacitor. A mylar cap, for instance, may "sag back" up to 0.2% after a quick change in voltage. A long sample time is required before the circuit can be put back into the hold mode with this type of capacitor. Dielectrics with very low hysteresis are polystyrene, polypropylene, and Teflon. Other types such as mica and polycarbonate are not nearly as good. The advantage of polypropylene over polystyrene is that it extends the maximum ambient temperature from 85°C to 100°C. Most ceramic capacitors are unusable with > 1% hysteresis. Ceramic "NPO" or "COG" capacitors are now available for 125°C operation and also have low dielectric absorption. For more exact data, see the curve *Dielectric Absorption Error*. The hysteresis numbers on the curve are final values, taken after full relaxation. The hysteresis error can be significantly reduced if the output of the LF198 is digitized quickly after the hold mode is initiated. The hysteresis relaxation time constant in polypropylene, for instance, is 10—50 ms. If A-to-D conversion can be made within 1 ms, hysteresis error will be reduced by a factor of ten.

DC and AC Zeroing

DC zeroing is accomplished by connecting the offset adjust pin to the wiper of a 1 kΩ potentiometer which has one end tied to V^+ and the other end tied through a resistor to ground. The resistor should be selected to give ≈0.6 mA through the 1k potentiometer.

AC zeroing (hold step zeroing) can be obtained by adding an inverter with the adjustment pot tied input to output. A 10 pF capacitor from the wiper to the hold capacitor will give ±4 mV hold step adjustment with a 0.01 μF hold capacitor and 5V logic supply. For larger logic swings, a smaller capacitor (< 10 pF) may be used.

Logic Rise Time

For proper operation, logic signals into the LF198 must have a minimum dV/dt of 1.0 V/μs. Slower signals will cause excessive hold step. If a R/C network is used in front of the logic input for signal delay, calculate the slope of the waveform at the threshold point to ensure that it is at least 1.0 V/μs.

Sampling Dynamic Signals

Sample error to moving input signals probably causes more confusion among sample-and-hold users than any other parameter. The primary reason for this is that many users make the assumption that the sample and hold amplifier is truly locked on to the input signal while in the sample mode. In actuality, there are finite phase delays through the circuit creating an input-output differential for fast moving signals. In addition, although the output may have settled, the hold capacitor has an additional lag due to the 300Ω series resistor on the chip. This means that at the moment the "hold" command arrives, the hold capacitor voltage may be somewhat different than the actual analog input. The effect of these delays is opposite to the effect created by delays in the logic which switches the circuit from sample to hold. For example, consider an analog input of 20 Vp-p at 10 kHz. Maximum dV/dt is 0.6 V/μs. With no analog phase delay and 100 ns logic delay, one could expect up to (0.1 μs) (0.6V/μs) = 60 mV error if the "hold" signal arrived near maximum dV/dt of the input. A positive-going input would give a +60 mV error. Now assume a 1 MHz (3 dB) bandwidth for the overall analog loop. This generates a phase delay of 160 ns. If the hold capacitor sees this exact delay, then error due to analog delay will be (0.16 μs) (0.6 V/μs) = −96 mV. Total output error is +60 mV (digital) −96 mV (analog) for a total of −36 mV. To add to the confusion, analog delay is proportioned to hold capacitor value while digital delay remains constant. A family of curves (dynamic sampling error) is included to help estimate errors.

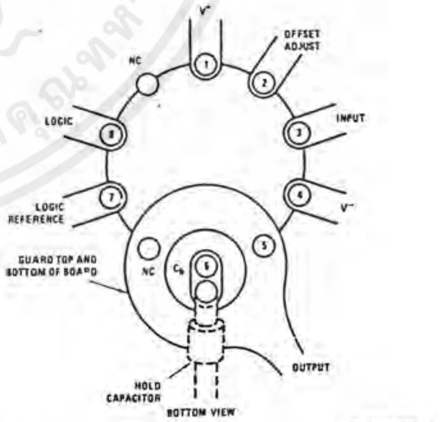
A curve labeled *Aperture Time* has been included for sampling conditions where the input is steady during the sampling period, but may experience a sudden change nearly coincident with the "hold" command. This curve is based on a 1 mV error fed into the output.

A second curve, *Hold Settling Time* indicates the time required for the output to settle to 1 mV after the "hold" command.

Digital Feedthrough

Fast rise time logic signals can cause hold errors by feeding externally into the analog input at the same time the amplifier is put into the hold mode. To minimize this problem, board layout should keep logic lines as far as possible from the analog input and the C_h pin. Grounded guarding traces may also be used around the input line, especially if it is driven from a high impedance source. Reducing high amplitude logic signals to 2.5V will also help.

Guarding Technique

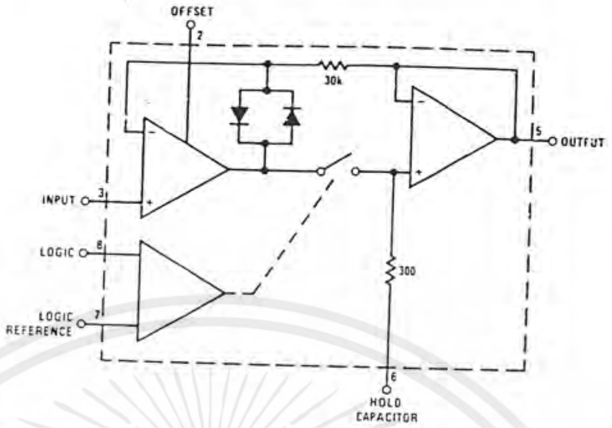


TL/H/5692-5

Use 10-pin layout. Guard around C_h is tied to output.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

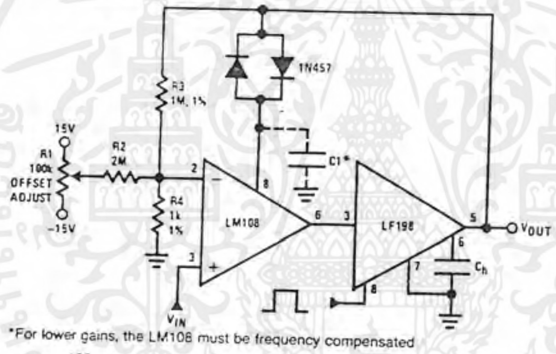
Functional Diagram



TL/H/5692-1

Typical Applications (Continued)

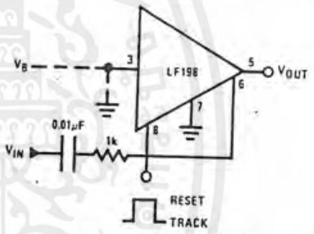
X1000 Sample & Hold



*For lower gains, the LM108 must be frequency compensated

Use $\approx \frac{100}{A_V}$ pF from comp 2 to ground

Sample and Difference Circuit (Output Follows Input in *Hold* Mode)



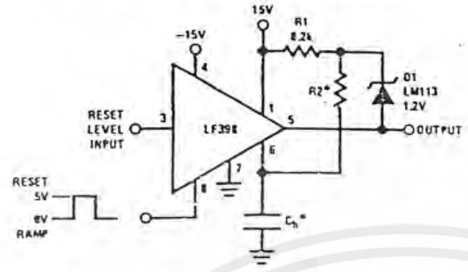
$V_{OUT} = V_B + \Delta V_{IN}$(HOLD MODE)

TL/H/5692-7

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

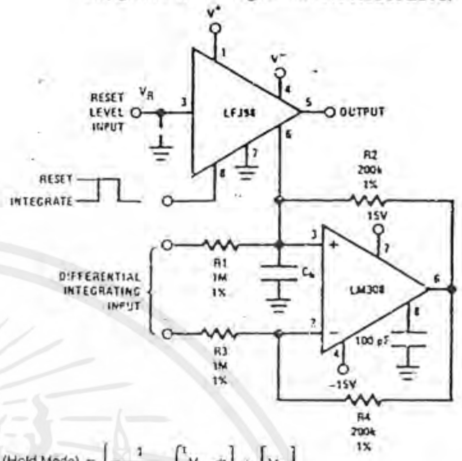
Typical Applications (Continued)

Ramp Generator with Variable Reset Level



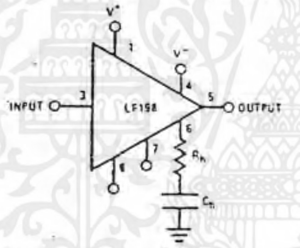
*Select for ramp rate $\frac{\Delta V}{\Delta T} = \frac{1.2V}{(R2)(C_h)}$
R2 ≥ 10k

Integrator with Programmable Reset Level



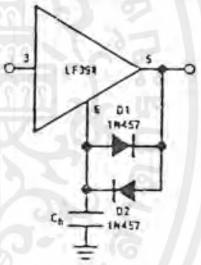
$$V_{OUT}\,(\text{Hold Mode}) = \left[\frac{1}{(R1)(C_h)}\int_0^t V_{IN}\,dt\right] + \left[V_R\right]$$

Output Holds at Average of Sampled Input

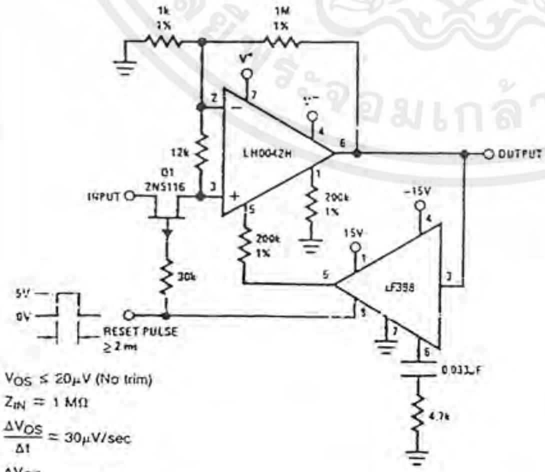


Select $(R_h)(C_h) > \frac{1}{2\pi f_{IN}\,(\text{Min})}$

Increased Slew Current



Reset Stabilized Amplifier (Gain of 1000)



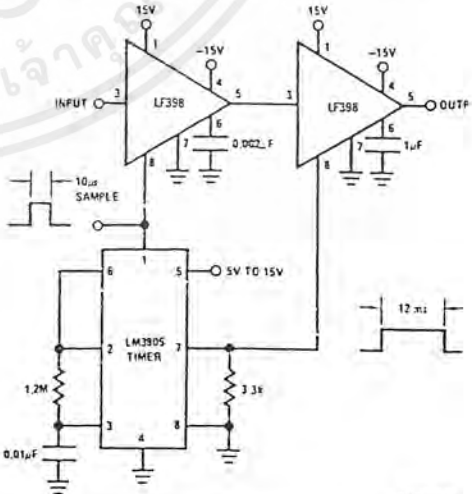
$V_{OS} \le 20\mu V$ (No trim)

$Z_{IN} = 1\,M\Omega$

$\frac{\Delta V_{OS}}{\Delta t} = 30\mu V/sec$

$\frac{\Delta V_{OS}}{\Delta T} = 0.1\mu V/°C$

Fast Acquisition, Low Droop Sample & Hold

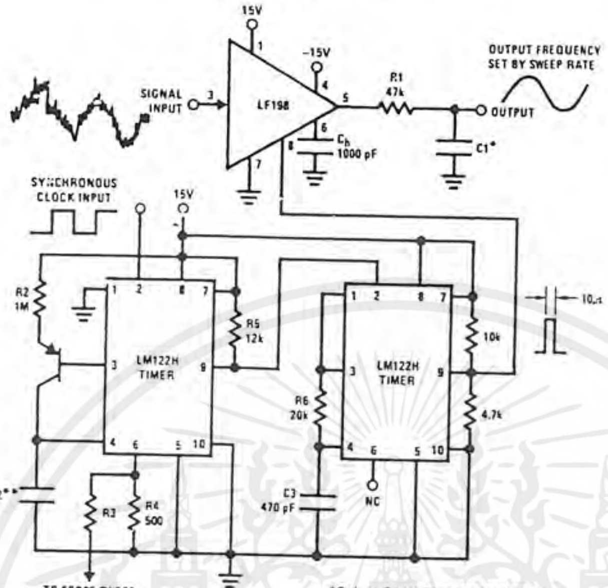


TL/H/56…

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Typical Applications (Continued)

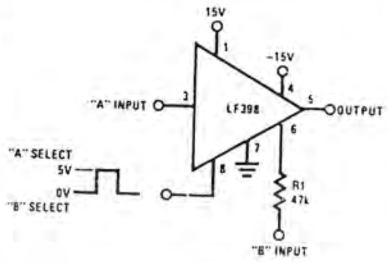
Synchronous Correlator for Recovering Signals Below Noise Level



*Select C1 to filter lowest frequency component of input noise

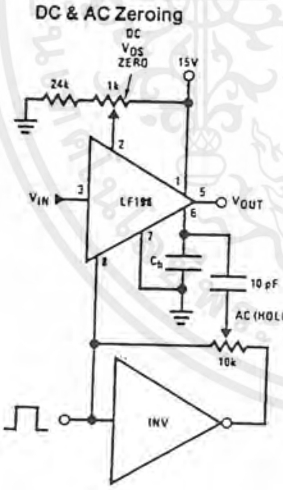
**Select C2 @ $\approx 5 \times 10^{-6}/f_{IN}$

2-Channel Switch



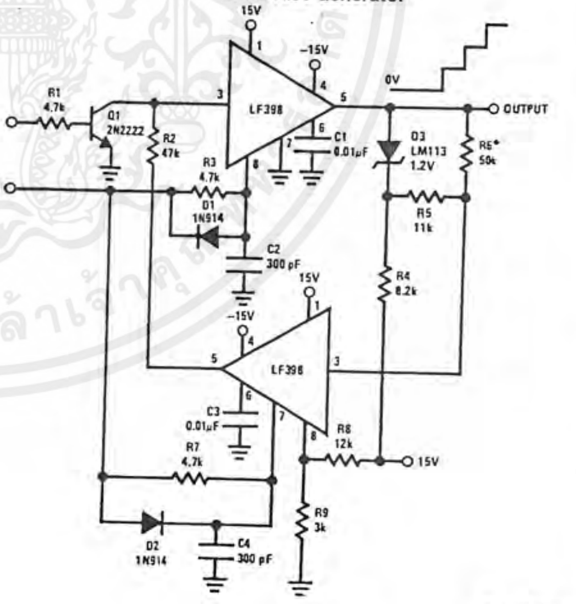
	A	B
Gain	1 ± 0.02%	1 ± 0.2%
Z_{IN}	$10^{10}\Omega$	47 kΩ
BW	≅ 1 MHz	≅ 400 kHz
Crosstalk @ 1 kHz	−90 dB	−90 dB
Offset	≤ 6 mV	≤ 75 mV

DC & AC Zeroing



) OUTPU'

Staircase Generator



TL/H/5692-9

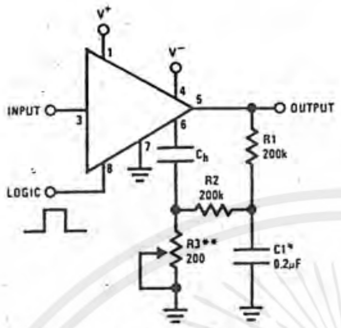
*Select for step height
50k → ≅ 1V Step

/5692-

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Typical Applications (Continued)

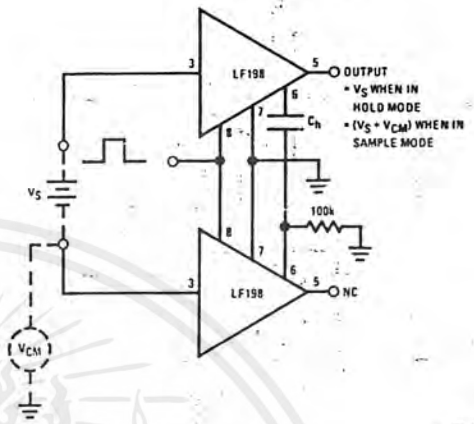
Capacitor Hysteresis Compensation



*Select for time constant $C1 = \frac{\tau}{100k}$

**Adjust for amplitude

Differential Hold



TL/H/5692-10

Definition of Terms

Hold Step: The voltage step at the output of the sample and hold when switching from sample mode to hold mode with a steady (dc) analog input voltage. Logic swing is 5V.

Acquisition Time: The time required to acquire a new analog input voltage with an output step of 10V. Note that acquisition time is not just the time required for the output to settle, but also includes the time required for all internal nodes to settle so that the output assumes the proper value when switched to the hold mode.

Gain Error: The ratio of output voltage swing to input voltage swing in the sample mode expressed as a per cent difference.

Hold Settling Time: The time required for the output to settle within 1 mV of final value after the "hold" logic command.

Dynamic Sampling Error: The error introduced into the held output due to a changing analog input at the time the hold command is given. Error is expressed in mV with a given hold capacitor value and input slew rate. Note that this error term occurs even for long sample times.

Aperture Time: The delay required between "Hold" command and an input analog transition, so that the transition does not affect the held output.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

National Semiconductor

ADC0808/ADC0809 8-Bit μP Compatible A/D Converters with 8-Channel Multiplexer

General Description

The ADC0808, ADC0809 data acquisition component is a monolithic CMOS device with an 8-bit analog-to-digital converter, 8-channel multiplexer and microprocessor compatible control logic. The 8-bit A/D converter uses successive approximation as the conversion technique. The converter features a high impedance chopper stabilized comparator, a 256R voltage divider with analog switch tree and a successive approximation register. The 8-channel multiplexer can directly access any of 8-single-ended analog signals.

The device eliminates the need for external zero and full-scale adjustments. Easy interfacing to microprocessors is provided by the latched and decoded multiplexer address inputs and latched TTL TRI-STATE® outputs.

The design of the ADC0808, ADC0809 has been optimized by incorporating the most desirable aspects of several A/D conversion techniques. The ADC0808, ADC0809 offers high speed, high accuracy, minimal temperature dependence, excellent long-term accuracy and repeatability, and consumes minimal power. These features make this device ideally suited to applications from process and machine control to consumer and automotive applications. For 16-channel multiplexer with common output (sample/hold port) see ADC0816 data sheet. (See AN-247 for more information.)

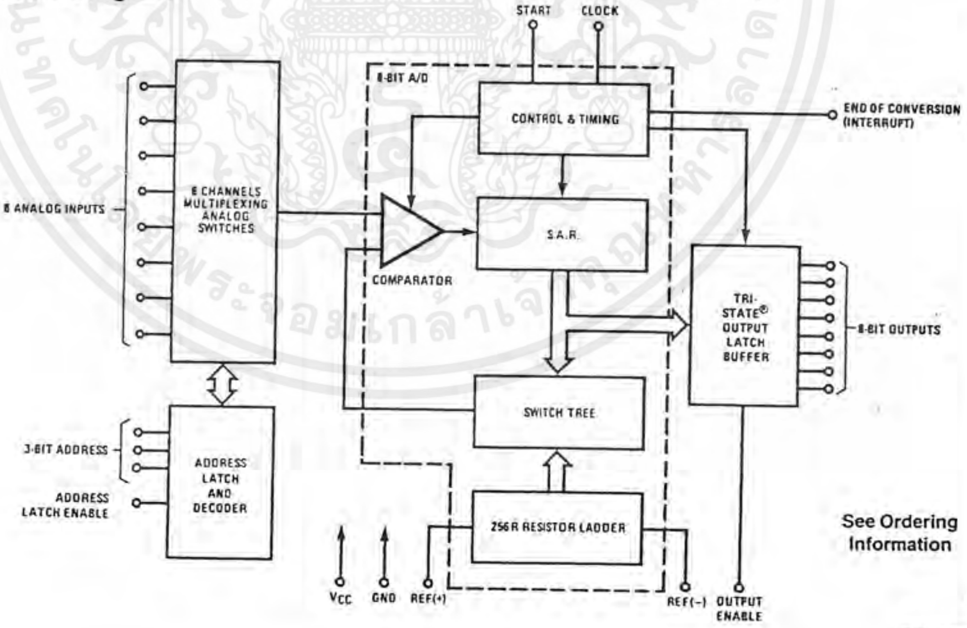
Features

- Easy interface to all microprocessors
- Operates ratiometrically or with 5 V_{DC} or analog span adjusted voltage reference
- No zero or full-scale adjust required
- 8-channel multiplexer with address logic
- 0V to 5V input range with single 5V power supply
- Outputs meet TTL voltage level specifications
- Standard hermetic or molded 28-pin DIP package
- 28-pin molded chip carrier package
- ADC0808 equivalent to MM74C949
- ADC0809 equivalent to MM74C949-1

Key Specifications

Resolution	8 Bits
Total Unadjusted Error	±½ LSB and ±1 LSB
Single Supply	5 V_{DC}
Low Power	15 mW
Conversion Time	100 μs

Block Diagram



See Ordering Information

TL/H/5672-1

2

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Absolute Maximum Ratings (Notes 1 & 2)

If Military/Aerospace specified devices are required, please contact the National Semiconductor Sales Office/Distributors for availability and specifications.

Supply Voltage (V_{CC}) (Note 3)	6.5V
Voltage at Any Pin Except Control Inputs	−0.3V to (V_{CC}+0.3V)
Voltage at Control Inputs (START, OE, CLOCK, ALE, ADD A, ADD B, ADD C)	−0.3V to +15V
Storage Temperature Range	−65°C to +150°C
Package Dissipation at T_A=25°C	875 mW
Lead Temp. (Soldering, 10 seconds)	
Dual-In-Line Package (plastic)	260°C
Dual-In-Line Package (ceramic)	300°C
Molded Chip Carrier Package	
Vapor Phase (60 seconds)	215°C
Infrared (15 seconds)	220°C
ESD Susceptibility (Note 11)	400V

Operating Conditions (Notes 1 & 2)

Temperature Range (Note 1)	$T_{MIN} \le T_A \le T_{MAX}$
ADC0808CJ	$-55°C \le T_A \le +125°C$
ADC0808CCJ, ADC0808CCN, ADC0809CCN	$-40°C \le T_A \le +85°C$
ADC0808CCV, ADC0809CCV	$-40°C \le T_A \le +85°C$
Range of V_{CC} (Note 1)	4.5 V_{DC} to 6.0 V_{DC}

Electrical Characteristics

Converter Specifications: V_{CC}=5 V_{DC}=V_{REF+}, $V_{REF(-)}$=GND, $T_{MIN} \le T_A \le T_{MAX}$ and f_{CLK}=640 kHz unless otherwise stated.

Symbol	Parameter	Conditions	Min	Typ	Max	Units
	ADC0808 Total Unadjusted Error (Note 5)	25°C T_{MIN} to T_{MAX}			±½ ±¾	LSB LSB
	ADC0809 Total Unadjusted Error (Note 5)	0°C to 70°C T_{MIN} to T_{MAX}			±1 ±1¼	LSB LSB
	Input Resistance	From Ref(+) to Ref(−)	1.0	2.5		kΩ
	Analog Input Voltage Range	(Note 4) V(+) or V(−)	GND−0.10		V_{CC}+0.10	V_{DC}
$V_{REF(+)}$	Voltage, Top of Ladder	Measured at Ref(+)		V_{CC}	V_{CC}+0.1	V
$\frac{V_{REF(+)}+V_{REF(-)}}{2}$	Voltage, Center of Ladder		V_{CC}/2-0.1	V_{CC}/2	V_{CC}/2+0.1	V
$V_{REF(-)}$	Voltage, Bottom of Ladder	Measured at Ref(−)	−0.1	0		V
I_{IN}	Comparator Input Current	f_c=640 kHz, (Note 6)	−2	±0.5	2	μA

Electrical Characteristics

Digital Levels and DC Specifications: ADC0808CJ 4.5V≤V_{CC}≤5.5V, −55°C≤T_A≤+125°C unless otherwise noted ADC0808CCJ, ADC0808CCN, ADC0808CCV, ADC0809CCN and ADC0809CCV, 4.75≤V_{CC}≤5.25V, −40°C≤T_A≤+85°C unless otherwise noted

Symbol	Parameter	Conditions	Min	Typ	Max	Units
ANALOG MULTIPLEXER						
$I_{OFF(+)}$	OFF Channel Leakage Current	V_{CC}=5V, V_{IN}=5V, T_A=25°C T_{MIN} to T_{MAX}		10	200 1.0	nA μA
$I_{OFF(-)}$	OFF Channel Leakage Current	V_{CC}=5V, V_{IN}=0, T_A=25°C T_{MIN} to T_{MAX}	−200 −1.0	−10		nA μA

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Electrical Characteristics (Continued)

Digital Levels and DC Specifications: ADC0808CJ $4.5V \le V_{CC} \le 5.5V$, $-55^{\circ}C \le T_A \le +125^{\circ}C$ unless otherwise noted ADC0808CCJ, ADC0808CCN, ADC0808CCV, ADC0809CCN and ADC0809CCV, $4.75 \le V_{CC} \le 5.25V$, $-40^{\circ}C \le T_A \le +85^{\circ}C$ unless otherwise noted

Symbol	Parameter	Conditions	Min	Typ	Max	Units
CONTROL INPUTS						
$V_{IN(1)}$	Logical "1" Input Voltage		$V_{CC}-1.5$			V
$V_{IN(0)}$	Logical "0" Input Voltage				1.5	V
$I_{IN(1)}$	Logical "1" Input Current (The Control Inputs)	$V_{IN}=15V$			1.0	μA
$I_{IN(0)}$	Logical "0" Input Current (The Control Inputs)	$V_{IN}=0$	−1.0			μA
I_{CC}	Supply Current	$f_{CLK}=640$ kHz		0.3	3.0	mA
DATA OUTPUTS AND EOC (INTERRUPT)						
$V_{OUT(1)}$	Logical "1" Output Voltage	$I_O=-360$ μA	$V_{CC}-0.4$			V
$V_{OUT(0)}$	Logical "0" Output Voltage	$I_O=1.6$ mA			0.45	V
$V_{OUT(0)}$	Logical "0" Output Voltage EOC	$I_O=1.2$ mA			0.45	V
I_{OUT}	TRI-STATE Output Current	$V_O=5V$ $V_O=0$	 −3		3	μA μA

Electrical Characteristics

Timing Specifications $V_{CC}=V_{REF(+)}=5V$, $V_{REF(-)}=GND$, $t_r=t_f=20$ ns and $T_A=25^{\circ}C$ unless otherwise noted.

Symbol	Parameter	Conditions	Min	Typ	Max	Units
t_{WS}	Minimum Start Pulse Width	*(Figure 5)*		100	200	ns
t_{WALE}	Minimum ALE Pulse Width	*(Figure 5)*		100	200	ns
t_s	Minimum Address Set-Up Time	*(Figure 5)*		25	50	ns
t_H	Minimum Address Hold Time	*(Figure 5)*		25	50	ns
t_D	Analog MUX Delay Time From ALE	$R_S=0\Omega$ *(Figure 5)*		1	2.5	μS
t_{H1}, t_{H0}	OE Control to Q Logic State	$C_L=50$ pF, $R_L=10k$ *(Figure 8)*		125	250	ns
t_{1H}, t_{0H}	OE Control to Hi-Z	$C_L=10$ pF, $R_L=10k$ *(Figure 8)*		125	250	ns
t_c	Conversion Time	$f_c=640$ kHz, *(Figure 5)* (Note 7)	90	100	116	μS
f_c	Clock Frequency		10	640	1280	kHz
t_{EOC}	EOC Delay Time	*(Figure 5)*	0		8+2 μS	Clock Periods
C_{IN}	Input Capacitance	At Control Inputs		10	15	pF
C_{OUT}	TRI-STATE Output Capacitance	At TRI-STATE Outputs, (Note 12)		10	15	pF

Note 1: Absolute Maximum Ratings indicate limits beyond which damage to the device may occur. DC and AC electrical specifications do not apply when operating the device beyond its specified operating conditions.

Note 2: All voltages are measured with respect to GND, unless othewise specified.

Note 3: A zener diode exists, internally, from V_{CC} to GND and has a typical breakdown voltage of 7 V_{DC}.

Note 4: Two on-chip diodes are tied to each analog input which will forward conduct for analog input voltages one diode drop below ground or one diode drop greater than the V_{CC} supply. The spec allows 100 mV forward bias of either diode. This means that as long as the analog V_{IN} does not exceed the supply voltage by more than 100 mV, the output code will be correct. To achieve an absolute $0V_{DC}$ to $5V_{DC}$ input voltage range will therefore require a minimum supply voltage of 4.900 V_{DC} over temperature variations, initial tolerance and loading.

Note 5: Total unadjusted error includes offset, full-scale, linearity, and multiplexer errors. See *Figure 3*. None of these A/Ds requires a zero or full-scale adjust. However, if an all zero code is desired for an analog input other than 0.0V, or if a narrow full-scale span exists (for example: 0.5V to 4.5V full-scale) the reference voltages can be adjusted to achieve this. See *Figure 13*.

Note 6: Comparator input current is a bias current into or out of the chopper stabilized comparator. The bias current varies directly with clock frequency and has little temperature dependence *(Figure 6)*. See paragraph 4.0.

Note 7: The outputs of the data register are updated one clock cycle before the rising edge of EOC.

Note 8: Human body model, 100 pF discharged through a 1.5 kΩ resistor.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Functional Description

Multiplexer. The device contains an 8-channel single-ended analog signal multiplexer. A particular input channel is selected by using the address decoder. Table I shows the input states for the address lines to select any channel. The address is latched into the decoder on the low-to-high transition of the address latch enable signal.

TABLE I

SELECTED ANALOG CHANNEL	ADDRESS LINE		
	C	B	A
IN0	L	L	L
IN1	L	L	H
IN2	L	H	L
IN3	L	H	H
IN4	H	L	L
IN5	H	L	H
IN6	H	H	L
IN7	H	H	H

CONVERTER CHARACTERISTICS

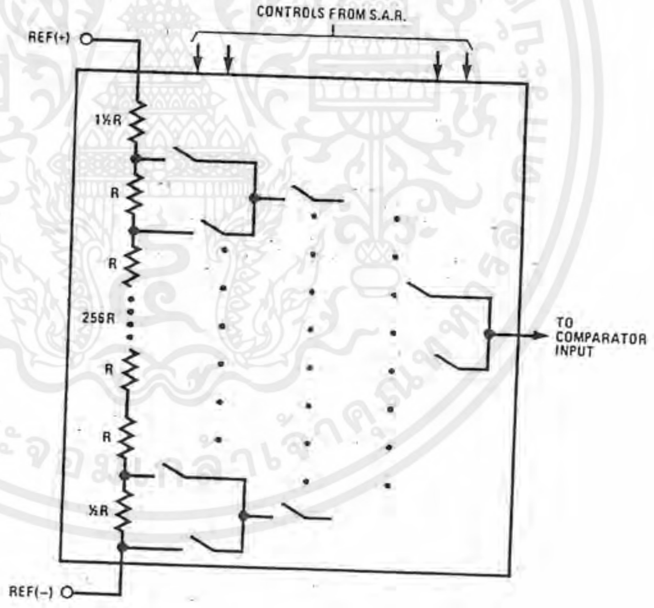
The Converter

The heart of this single chip data acquisition system is its 8-bit analog-to-digital converter. The converter is designed to give fast, accurate, and repeatable conversions over a wide range of temperatures. The converter is partitioned into 3 major sections: the 256R ladder network, the successive approximation register, and the comparator. The converter's digital outputs are positive true.

The 256R ladder network approach *(Figure 1)* was chosen over the conventional R/2R ladder because of its inherent monotonicity, which guarantees no missing digital codes. Monotonicity is particularly important in closed loop feedback control systems. A non-monotonic relationship can cause oscillations that will be catastrophic for the system. Additionally, the 256R network does not cause load variations on the reference voltage.

The bottom resistor and the top resistor of the ladder network in *Figure 1* are not the same value as the remainder of the network. The difference in these resistors causes the output characteristic to be symmetrical with the zero and full-scale points of the transfer curve. The first output transition occurs when the analog signal has reached + ½ LSB and succeeding output transitions occur every 1 LSB later up to full-scale.

The successive approximation register (SAR) performs 8 iterations to approximate the input voltage. For any SAR type converter, n-iterations are required for an n-bit converter. *Figure 2* shows a typical example of a 3-bit converter. In the ADC0808, ADC0809, the approximation technique is extended to 8 bits using the 256R network.



TL/H/5672-2

FIGURE 1. Resistor Ladder and Switch Tree

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Functional Description (Continued)

The A/D converter's successive approximation register (SAR) is reset on the positive edge of the start conversion (SC) pulse. The conversion is begun on the falling edge of the start conversion pulse. A conversion in process will be interrupted by receipt of a new start conversion pulse. Continuous conversion may be accomplished by tying the end-of-conversion (EOC) output to the SC input. If used in this mode, an external start conversion pulse should be applied after power up. End-of-conversion will go low between 0 and 8 clock pulses after the rising edge of start conversion.

The most important section of the A/D converter is the comparator. It is this section which is responsible for the ultimate accuracy of the entire converter. It is also the comparator drift which has the greatest influence on the repeatability of the device. A chopper-stabilized comparator provides the most effective method of satisfying all the converter requirements.

The chopper-stabilized comparator converts the DC input signal into an AC signal. This signal is then fed throught a high gain AC amplifier and has the DC level restored. This technique limits the drift component of the amplifier since the drift is a DC component which is not passed by the AC amplifier. This makes the entire A/D converter extremely insensitive to temperature, long term drift and input offset errors.

Figure 4 shows a typical error curve for the ADC0808 as measured using the procedures outlined in AN-179.

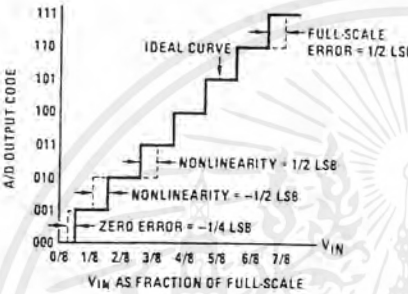


FIGURE 2. 3-Bit A/D Transfer Curve

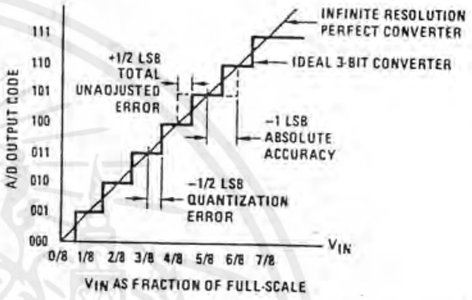


FIGURE 3. 3-Bit A/D Absolute Accuracy Curve

TL/H/5672-3

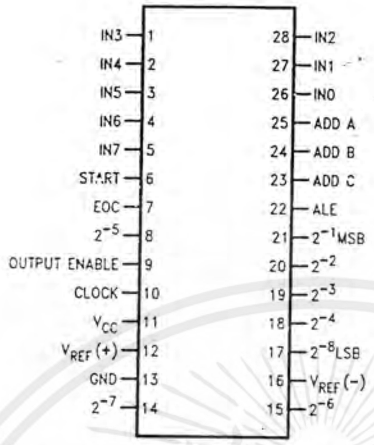
FIGURE 4. Typical Error Curve

2

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Connection Diagrams

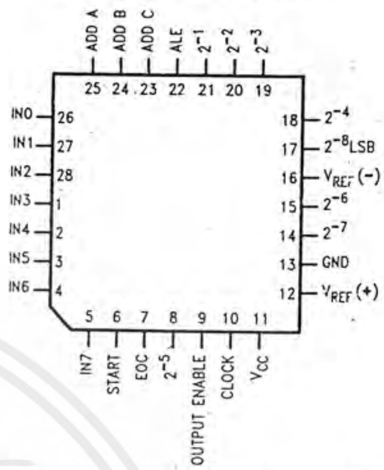
Dual-In-Line Package



TL/H/5672–11

Order Number ADC0808CCN, ADC0809CCN, ADC0808CCJ or ADC0808CJ
See NS Package J28A or N28A

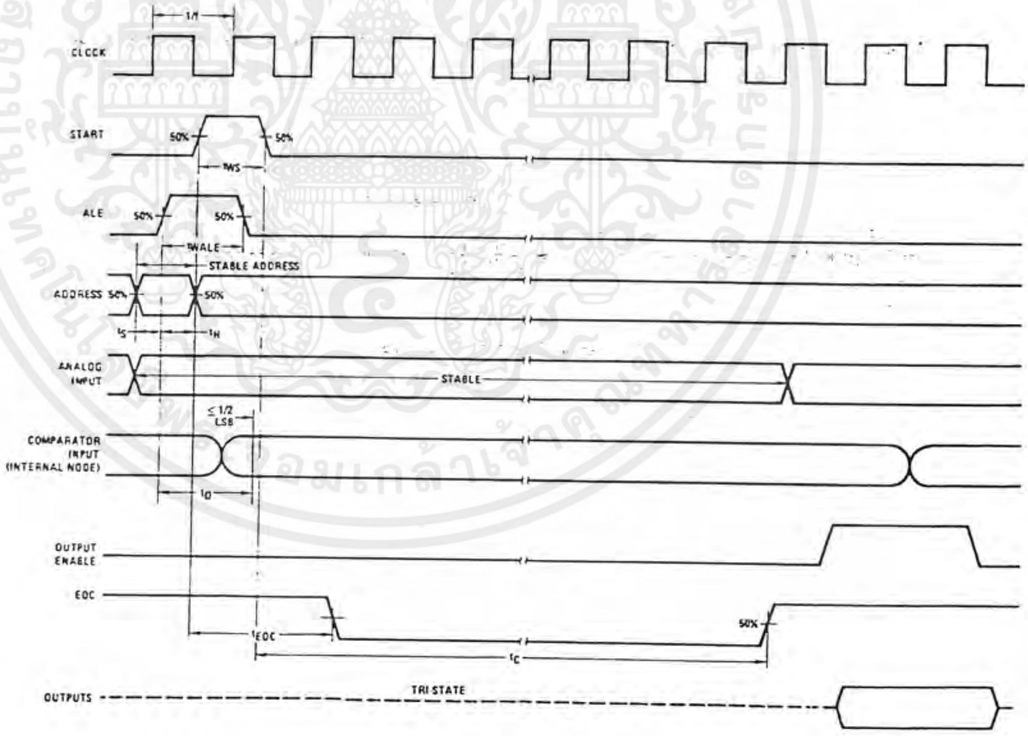
Molded Chip Carrier Package



TL/H/5672–12

Order Number ADC0808CCV or ADC0809CCV
See NS Package V28A

Timing Diagram



TL/H/5672–4

FIGURE 5

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Typical Performance Characteristics

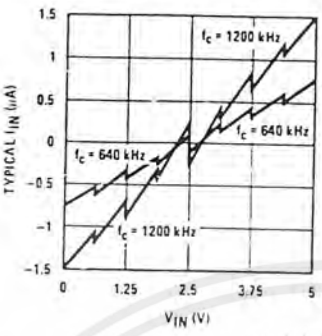
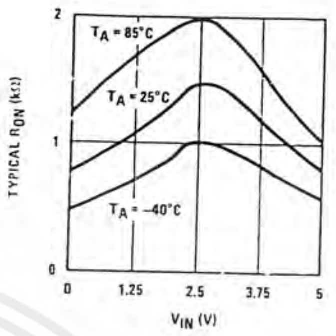


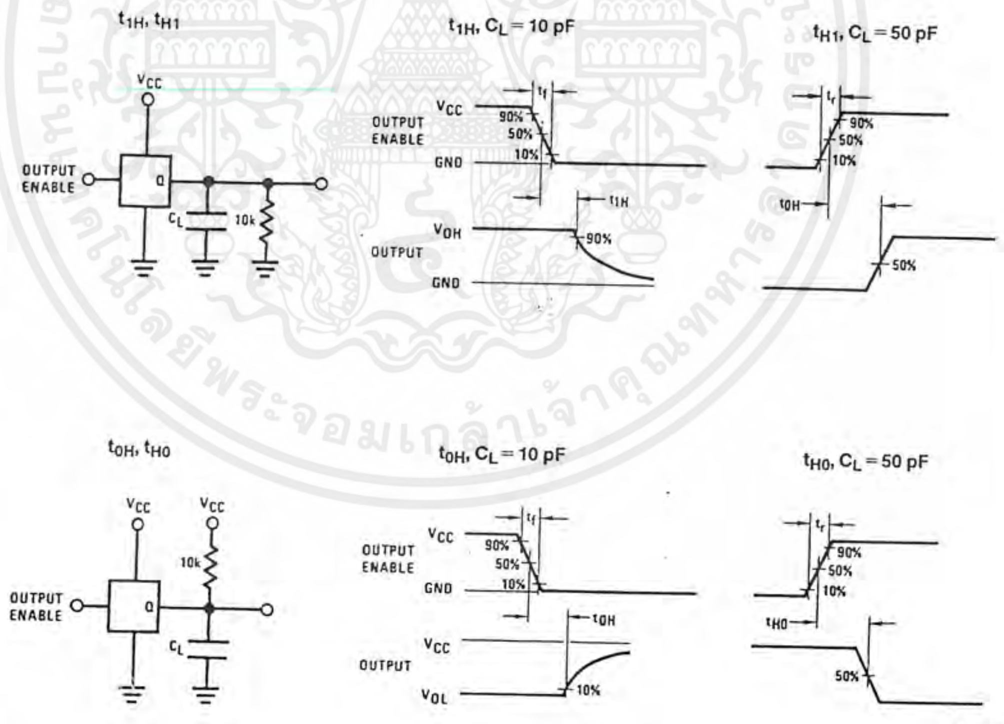
FIGURE 6. Comparator I_{IN} vs V_{IN} ($V_{CC} = V_{REF} = 5V$)



TL/H/5672–5

FIGURE 7. Multiplexer R_{ON} vs V_{IN} ($V_{CC} = V_{REF} = 5V$)

TRI-STATE Test Circuits and Timing Diagrams



TL/H/5672–6

FIGURE 8

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Applications Information

OPERATION

1.0 RATIOMETRIC CONVERSION

The ADC0808, ADC0809 is designed as a complete Data Acquisition System (DAS) for ratiometric conversion systems. In ratiometric systems, the physical variable being measured is expressed as a percentage of full-scale which is not necessarily related to an absolute standard. The voltage input to the ADC0808 is expressed by the equation

$$\frac{V_{IN}}{V_{fs}-V_Z}=\frac{D_X}{D_{MAX}-D_{MIN}} \qquad (1)$$

V_{IN} = Input voltage into the ADC0808

V_{fs} = Full-scale voltage

V_Z = Zero voltage

D_X = Data point being measured

D_{MAX} = Maximum data limit

D_{MIN} = Minimum data limit

A good example of a ratiometric transducer is a potentiometer used as a position sensor. The position of the wiper is directly proportional to the output voltage which is a ratio of the full-scale voltage across it. Since the data is represented as a proportion of full-scale, reference requirements are greatly reduced, eliminating a large source of error and cost for many applications. A major advantage of the ADC0808, ADC0809 is that the input voltage range is equal to the supply range so the transducers can be connected directly across the supply and their outputs connected directly into the multiplexer inputs, *(Figure 9)*.

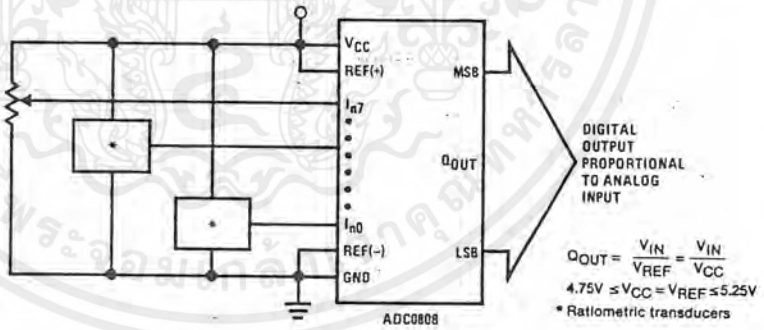
Ratiometric transducers such as potentiometers, strain gauges, thermistor bridges, pressure transducers, etc., are suitable for measuring proportional relationships; however, many types of measurements must be referred to an absolute standard such as voltage or current. This means a system reference must be used which relates the full-scale voltage to the standard volt. For example, if $V_{CC}=V_{REF}=5.12V$, then the full-scale range is divided into 256 standard steps. The smallest standard step is 1 LSB which is then 20 mV.

2.0 RESISTOR LADDER LIMITATIONS

The voltages from the resistor ladder are compared to the selected into 8 times in a conversion. These voltages are coupled to the comparator via an analog switch tree which is referenced to the supply. The voltages at the top, center and bottom of the ladder must be controlled to maintain proper operation.

The top of the ladder, Ref(+), should not be more positive than the supply, and the bottom of the ladder, Ref(−), should not be more negative than ground. The center of the ladder voltage must also be near the center of the supply because the analog switch tree changes from N-channel switches to P-channel switches. These limitations are automatically satisfied in ratiometric systems and can be easily met in ground referenced systems.

Figure 10 shows a ground referenced system with a separate supply and reference. In this system, the supply must be trimmed to match the reference voltage. For instance, if a 5.12V is used, the supply should be adjusted to the same voltage within 0.1V.

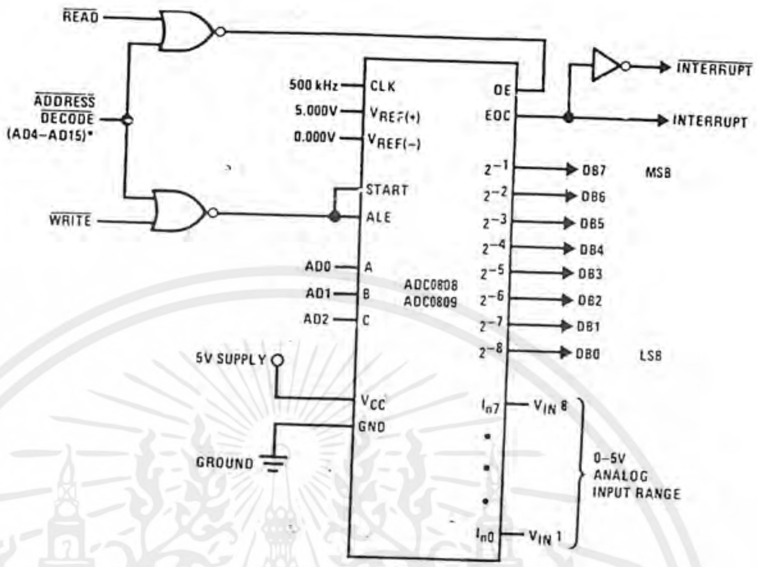


TL/H/5672-7

FIGURE 9. Ratiometric Conversion System

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Typical Application



TL/H/5672–10

*Address latches needed for 8085 and SC/MP interfacing the ADC0808 to a microprocessor

MICROPROCESSOR INTERFACE TABLE

PROCESSOR	$\overline{READ}$	WRITE	INTERRUPT (COMMENT)
8080	$\overline{MEMR}$	$\overline{MEMW}$	INTR (Thru RST Circuit)
8085	$\overline{RD}$	$\overline{WR}$	INTR (Thru RST Circuit)
Z-80	$\overline{RD}$	$\overline{WR}$	$\overline{INT}$ (Thru RST Circuit, Mode 0)
SC/MP	NRDS	NWDS	SA (Thru Sense A)
6800	VMA•φ2•R/W	VMA•φ•$\overline{R/W}$	$\overline{IRQA}$ or $\overline{IRQB}$ (Thru PIA)

Ordering Information

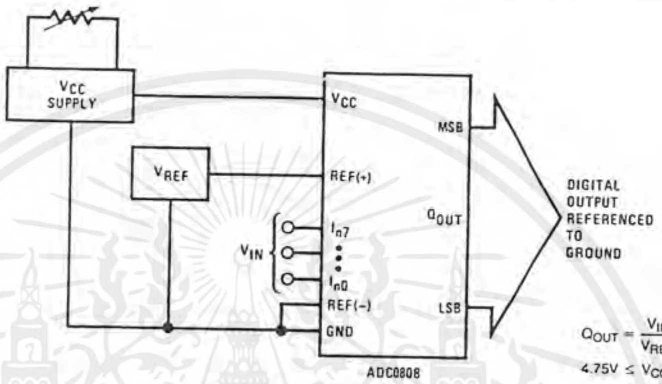
TEMPERATURE RANGE		−40°C to +85°C			−55°C to +125°C
Error	±½ LSB Unadjusted	ADC0808CCN	ADC0808CCV	ADC0808CCJ	ADC0808CJ
	±1 LSB Unadjusted	ADC0809CCN	ADC0809CCV		
Package Outline		N28A Molded DIP	V28A Molded Chip Carrier	J28A Ceramic DIP	J28A Ceramic DIP

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Applications Information (Continued)

The ADC0808 needs less than a milliamp of supply current so developing the supply from the reference is readily accomplished. In *Figure 11* a ground referenced system is shown which generates the supply from the reference. The buffer shown can be an op amp of sufficient drive to supply the milliamp of supply current and the desired bus drive, or if a capacitive bus is driven by the outputs a large capacitor will supply the transient supply current as seen in *Figure 12*. The LM301 is overcompensated to insure stability when loaded by the 10 μF output capacitor.

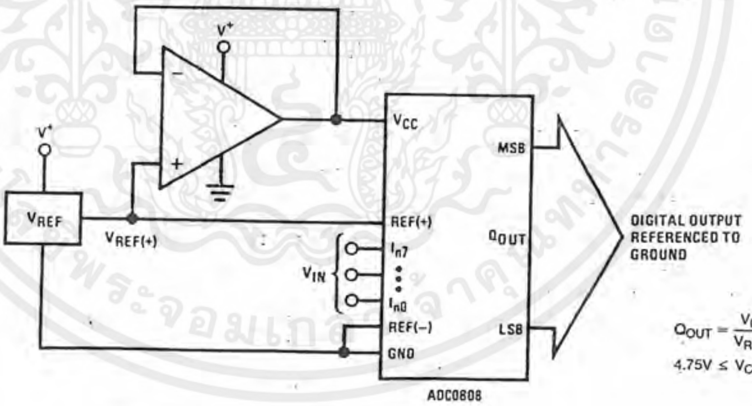
The top and bottom ladder voltages cannot exceed V_{CC} and ground, respectively, but they can be symmetrically less than V_{CC} and greater than ground. The center of the ladder voltage should always be near the center of the supply. The sensitivity of the converter can be increased, (i.e., size of the LSB steps decreased) by using a symmetrical reference system. In *Figure 13*, a 2.5V reference is symmetrically centered about $V_{CC}/2$ since the same current flows in identical resistors. This system with a 2.5V reference allows the LSB bit to be half the size of a 5V reference system.



$Q_{OUT} = \frac{V_{IN}}{V_{REF}}$

$4.75V \leq V_{CC} = V_{REF} \leq 5.25V$

FIGURE 10. Ground Referenced Conversion System Using Trimmed Supply



$Q_{OUT} = \frac{V_{IN}}{V_{REF}}$

$4.75V \leq V_{CC} = V_{REF} \leq 5.25V$

TL/H/5672-8

FIGURE 11: Ground Referenced Conversion System with Reference Generating V_{CC} Supply

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Applications Information (Continued)

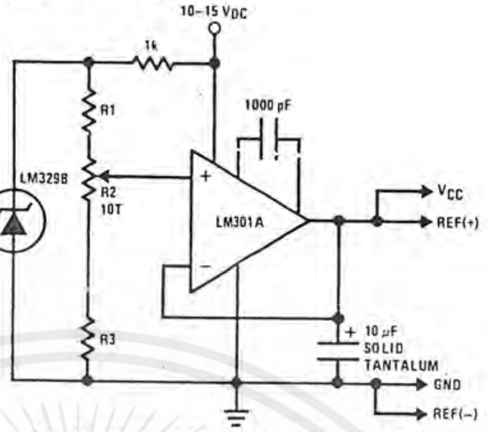
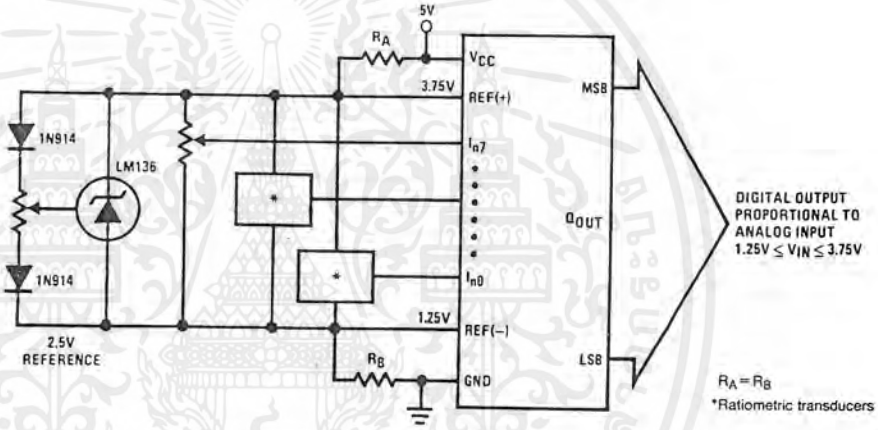


FIGURE 12. Typical Reference and Supply Circuit



TL/H/5672–9

FIGURE 13. Symmetrically Centered Reference

3.0 CONVERTER EQUATIONS

The transition between adjacent codes N and N+1 is given by:

$$V_{IN} = \left\{ (V_{REF(+)} - V_{REF(-)}) \left[\frac{N}{256} + \frac{1}{512} \right] \pm V_{TUE} \right\} + V_{REF(-)} \qquad (2)$$

The center of an output code N is given by:

$$V_{IN} \left\{ (V_{REF(+)} - V_{REF(-)}) \left[\frac{N}{256} \right] \pm V_{TUE} \right\} + V_{REF(-)} \qquad (3)$$

The output code N for an arbitrary input are the integers within the range:

$$N = \frac{V_{IN} - V_{REF(-)}}{V_{REF(+)} - V_{REF(-)}} \times 256 \pm \text{Absolute Accuracy} \qquad (4)$$

where: V_{IN} = Voltage at comparator input

$V_{REF(+)}$ = Voltage at Ref(+)

$V_{REF(-)}$ = Voltage at Ref(−)

V_{TUE} = Total unadjusted error voltage (typically $V_{REF(+)} \div 512$)

4.0 ANALOG COMPARATOR INPUTS

The dynamic comparator input current is caused by the periodic switching of on-chip stray capacitances. These are connected alternately to the output of the resistor ladder/switch tree network and to the comparator input as part of the operation of the chopper stabilized comparator.

The average value of the comparator input current varies directly with clock frequency and with V_{IN} as shown in *Figure 6*.

If no filter capacitors are used at the analog inputs and the signal source impedances are low, the comparator input current should not introduce converter errors, as the transient created by the capacitance discharge will die out before the comparator output is strobed.

If input filter capacitors are desired for noise reduction and signal conditioning they will tend to average out the dynamic comparator input current. It will then take on the characteristics of a DC bias current whose effect can be predicted conventionally.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

กิตติกรรมประกาศ

- ขอขอบคุณ ผศ.อภินันท์ มัณยานนท์ อาจารย์ที่ปรึกษาโครงงานนี้ จึงทำให้ โครงงานนี้สำเร็จลุล่วงไปด้วยดี
- ขอขอบคุณ รศ.ดร.กอบชัย เดชหาญ ที่คอยช่วยเหลือจัดหาอุปกรณ์สำหรับโครงงานชิ้นนี้ นอกเหนือจากนี้แล้ว
- ขอขอบคุณ คุณพ่ออนันต์ ปานศรี คุณแม่ลูกอิน ปานศรี ญาติพี่น้อง อาจารย์ทุกๆ ท่านที่ได้ให้ความรู้และ เพื่อนๆ ทุกคนที่คอยให้กำลังใจ และคอยช่วยเหลือโครงงานชิ้นนี้ โดยเฉพาะอย่างยิ่ง คุณนิติกร สุริยะมาตย์ คุณแสงชัย โชคสิริเทวะ คุณสุวิทย์ แร่ทอง คุณปิยรัตน์ ม่วงพานิช คุณกัลยา ลัคนาลิขิต ที่คอยช่วยเหลือมาโดยตลอดจนโครงงานชิ้นนี้สำเร็จลุล่วงมาได้ นับได้ว่าควรกล่าวกิติประกาศไว้ เป็นส่วนพิเศษโดยเฉพาะ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

หนังสืออ้างอิง

1. อภินันท์ มัณยานนท์, " ทฤษฎีการสื่อสารเส้นใยแสง " ภาควิชาวิศวกรรมโทรคมนาคม คณะวิศวกรรมศาสตร์ สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง, 2534.
2. ศ.ดร.วิวัฒน์ กิรานนท์ " วิศวกรรมการสื่อสาร " ภาควิชาวิศวกรรมโทรคมนาคม คณะวิศวกรรมศาสตร์ สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง, 2540.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้