สำนักหอสมุดกลาง พระจอมเกล้าลาดกระบัง

การส่งสัญญาณดิจิตอลด้วยเส้นใยแสง

Digital Communication by Optical Fiber

โดย

นางสาว สิริพร อปริมาณ

นาย สุกฤติก์ มัชคาม

นาย สุทธิพงศ์ ตรีฤกษ์ฤทธิ์

ปริญญานิพนธ์นี้เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรปริญญาวิศวกรรมศาสตรบัณฑิต

สาขาวิชาวิศวกรรมโทรคมนาคม

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

ปีการศึกษา 2542

เลขหมู่.....
เลขทะเบียน 37105
วัน, เดือน, ปี - 4 ก.ย. 2543

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การส่งสัญญาณดิจิตอลด้วยเส้นใยแสง

Digital Communication by Optical Fiber

โดย

นางสาว สิริพร อปริมาณ

นาย สุกฤติก์ มัชคาม

นาย สุทธิพงศ์ ตรีฤกษ์ฤทธิ์

อาจารย์ที่ปรึกษา

ผศ. อภินันท์ มัณยานนท์

ดร. สุทธิชัย นพนาคีพงษ์

ปริญญานิพนธ์นี้เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรปริญญาวิศวกรรมศาสตรบัณฑิต

สาขาวิชาวิศวกรรมโทรคมนาคม

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

ปีการศึกษา 2542

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ปริญญานิพนธ์ปีการศึกษา 2542

ภาควิชาวิศวกรรมโทรคมนาคม

คณะวิศวกรรมศาสตร์ สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

เรื่อง การส่งสัญญาณดิจิตอลด้วยเส้นใยแสง

Digital Communication by Optical Fiber

ผู้จัดทำ

1. นางสาว สิริพร อปริมาณ 39014577

2. นาย สุกฤติก์ มัชคาม 39014579

3. นาย สุทธิพงศ์ ตรีฤกษ์ฤทธิ์ 39014586

..... อาจารย์ที่ปรึกษา

(ผศ.อภินันท์ มัณยานนท์)

..... อาจารย์ที่ปรึกษา

(ดร.สุทธิชัย นพนาคีพงษ์)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การส่งสัญญาณดิจิตอลด้วยเส้นใยแสง

Digital Communication by Optical Fiber

โดย นางสาว สิริพร อปริมาณ 39014577

นาย สุกฤดิก์ มัชลาม 39014579

นาย สุทธิพงศ์ ตรีฤกษ์ฤทธิ์ 39014586

อาจารย์ที่ปรึกษา ผศ.อภินันท์ มัณยานนท์

ดร.สุทธิชัย นพนาลีพงษ์

บทคัดย่อ

โครงงานนี้เป็นการนำเสนอการออกแบบและสร้างระบบสื่อสารดิจิตอลผ่านเส้นใยแสง โดยการสร้างสัญญาณพัลส์โคดมอดูเลชันจากสัญญาณเสียง ใช้เทคนิคการมัลติเพล็กซ์แบบแบ่งเวลาเพื่อเพิ่มความจุช่องสัญญาณ และส่งผ่านเส้นใยแสง

ABSTRACT

This Project presents designing a digital communication system via optical fiber by generating pulse code modulation signal from voice signal , using time division multiplex technique to increase channel capacity and transmitting by optical fiber.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญ

	หน้า
บทที่ 1 บทนำ	1
บทที่ 2 ทฤษฎีและหลักการ	2
2.1 ส่วนประกอบของการสื่อสารเส้นใยแสง	3
2.2 หลักการเบื้องต้นของระบบพัลส์โค้ดมอดูเลชั่น	5
2.3 การมัลติเพล็กซ์แบบแบ่งเวลา	12
2.4 การซิงโครไนซ์เซชั่น	14
2.5 เส้นใยแสง	16
2.6 อุปกรณ์แสง	27
บทที่ 3 การคำนวณและการสร้าง	42
3.1 วงจรภาคส่ง	43
3.1.1 สัญญาณอนาล็อกอินพุท	43
3.1.2 วงจรกรองความถี่ต่ำผ่าน	43
3.1.3 วงจรขยายแรงดันไฟฟ้า	45
3.1.4 สวิทช์เลือกช่องสัญญาณ	45
3.1.5 วงจรหารความถี่	46
3.1.6 วงจรบัฟเฟอร์	47
3.1.7 วงจรสร้างสัญญาณนาฬิกา	47
3.1.8 วงจรแปลงสัญญาณอนาล็อกเป็นดิจิตอล	47
3.1.9 วงจรแปลงสัญญาณขนานเป็นอนุกรม	48
3.1.10 การเปลี่ยนสัญญาณไฟฟ้าเป็นสัญญาณแสง	51
3.2 วงจรภาครับ	53
3.2.1 วงจรโฟโต้ดีเทคเตอร์	53
3.2.2 วงจรสร้างสัญญาณนาฬิกา	53
3.2.3 วงจรดีเทคส่วนเฮดเดอร์	54
3.2.4 วงจรโมโนสเตเบิ้ล	54
3.2.5 วงจรฟลิบฟลอบ	55
3.2.6 ส่วนสร้างสัญญาณตรวจจับบิทข้อมูล	56
3.2.7 วงจรสร้างสัญญาณตรวจช่องสัญญาณ	57
3.2.8 วงจรสร้างสัญญาณตรวจจับช่องสัญญาณสุดท้ายของเฟรมข้อมูล	57
3.2.9 วงจรแปลงสัญญาณข้อมูลอนุกรมเป็นสัญญาณข้อมูลขนาน	57
3.2.10 วงจรแปลงสัญญาณดิจิตอลเป็นสัญญาณอนาล็อก	58
3.2.11 วงจรดีมัลติเพล็กซ์	58

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

หน้า

3.2.12 วงจรกรองความถี่ต่ำผ่าน 59

บทที่ 4 การทดลองและผลการทดลอง 63

4.1 ผลการทดลองวงจรภาคส่ง 63

4.1.1 วงจรสร้างสัญญาณนาฬิกา 63

4.1.2 วงจรหารความถี่ 64

4.1.3 วงจรขยายแรงดันไฟฟ้า 65

4.1.4 วงจรเลือกช่องสัญญาณ 66

4.1.5 วงจรแปลงสัญญาณอนาล็อกเป็นดิจิตอล 68

4.1.6 วงจรแปลงสัญญาณขนานเป็นอนุกรม 70

4.1.7 การเปลี่ยนสัญญาณไฟฟ้าเป็นสัญญาณแสง 73

4.2 ผลการทดลองวงจรภาครับ 74

4.2.1 วงจรโฟโต้ดีเทคเตอร์ 74

4.2.2 วงจรสร้างสัญญาณนาฬิกา 75

4.2.3 วงจรดีเทคส่วนเสดเดอร์ 75

4.2.4 วงจรโมโนสเตเบิ้ล 76

4.2.5 วงจรฟลิบฟลอบ 77

4.2.6 ส่วนสร้างสัญญาณตรวจจับบิทข้อมูล และวงจรสร้างสัญญาณตรวจช่องสัญญาณ 77

4.2.7 วงจรสร้างสัญญาณตรวจจับช่องสัญญาณสุดท้ายของเฟรมข้อมูล 79

4.2.8 วงจรแปลงสัญญาณดิจิตอลเป็นสัญญาณอนาล็อก 81

4.2.9 วงจรดีมัลติเพล็กซ์ 82

4.2.10 วงจรกรองความถี่ต่ำผ่าน 83

บทที่ 5 บทวิจารณ์และบทสรุป 90

ภาคผนวก

กิตติกรรมประกาศ

หนังสืออ้างอิง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญรูปภาพ

	หน้า
รูปที่ 2.1 แสดงส่วนประกอบพื้นฐานของระบบการสื่อสารด้วยเส้นใยแสง	3
รูปที่ 2.2 แสดงส่วนประกอบของ เทอร์มินัลทางด้านส่ง	3
รูปที่ 2.3 แสดงส่วนประกอบของอุปกรณ์รีพีทเตอร์	4
รูปที่ 2.4 แสดงส่วนประกอบของเทอร์มินัลทางด้านรับ	4
รูปที่ 2.5 แสดงบล็อกไดอะแกรมของพีซีเอ็ม	5
รูปที่ 2.6 แสดงการมอดูเลทระหว่างสัญญาณอนาล็อกกับสัญญาณพัลส์	6
รูปที่ 2.7 แสดงการซ้อนทับกันของแถบสัญญาณ	7
รูปที่ 2.8 แสดงการจัดระดับสัญญาณพีเอเอ็มให้เป็นค่าตัวเลข	7
รูปที่ 2.9 แสดงควอนไตซ์ซิ่งน้อยส์	8
รูปที่ 2.10 แสดงการเข้ารหัสไบนารีของสัญญาณพีเอเอ็ม	9
รูปที่ 2.11 แสดงรูปแบบของสัญญาณไบนารี	10
รูปที่ 2.12 แสดงการแปลงสัญญาณดิจิตอลเป็นสัญญาณอนาล็อก	11
รูปที่ 2.13 แสดงหลักการของแฟลชดีทูเอ	12
รูปที่ 2.14 แสดงระบบพีซีเอ็ม-ทีดีเอ็ม แบบ 2 ช่องสัญญาณ และ เฟรมของทีดีเอ็ม	13
รูปที่ 2.15 แสดงการใช้เฟสล็อกลูปเพื่อสร้างสัญญาณนาฬิกาจากสัญญาณข้อมูลที่ได้รับ	15
รูปที่ 2.16 แสดงมุมรับแสงของเส้นใยแสง	16
รูปที่ 2.17 แสดงผลของเอ็นเอและขนาดของคอร์ที่มีต่อประสิทธิภาพของการเชื่อมต่อแสงระหว่างต้น กำเนิดแสง กับเส้นใยแสง	17
รูปที่ 2.18 แสดงโหมดการเดินทางของการเดินทางของแสงภายในเส้นใยแสง	18
รูปที่ 2.19 แสดงมุมสะท้อนกลับของแสงที่ทำให้เกิดคลื่นอยู่กับที่ในทิศทางของรัศมี	19
รูปที่ 2.20 แสดงลักษณะการเดินทางของแสงในคอร์ของเส้นใยแสงแต่ละชนิด	21
รูปที่ 2.21 แสดงลักษณะการเดินทางของแสงในเส้นใยแสงแบบจีไอ	22
รูปที่ 2.22 แสดงสาเหตุต่างๆที่ทำให้เกิดการสูญเสียแสง	23
รูปที่ 2.23 แสดงคุณสมบัติการสูญเสียแสงจากการดูดแสงของเส้นใยแสงที่ทำด้วยแก้ว	24
รูปที่ 2.24 แสดงการเกิดการขยายกว้างออกในเส้นใยแสง	26
รูปที่ 2.25 แสดงความยาวคลื่นแสงที่ปล่อยออกมาของสารประกอบกึ่งตัวนำแต่ละชนิด	27
รูปที่ 2.26 แสดงระดับพลังงานของสารกึ่งตัวนำแบบพีและแบบเอ็น	28
รูปที่ 2.27 แสดงสนามไฟฟ้าภายในและระดับพลังงานของ รอยต่อพี-เอ็น	29
รูปที่ 2.28 แสดงโครงสร้างทั่วไปของเลเซอร์ไดโอด	29
รูปที่ 2.29 แสดงโครงสร้าง ระดับพลังงาน และลักษณะการเปลี่ยนแปลงค่าดัชนีการหักเหของเลเซอร์ไดโอด	30
รูปที่ 2.30 แสดงโครงสร้างแบบแถบพลานาร์	31

เอกสารนี้ใช้เพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

หน้า

รูปที่ 2.31 แสดงโครงสร้างแบบแถบครึ่ง 32
รูปที่ 2.32 แสดงโครงสร้างและระดับพลังงานของแอลอีดี 33
รูปที่ 2.33 แสดงตัวอย่างโครงสร้างของแอลอีดีแบบปล่อยแสงออกทางด้านข้าง 33
รูปที่ 2.34 แสดงรูปคลื่นเอาท์พุทของแสงและการผสมในการส่งสัญญาณดิจิตอล 34
รูปที่ 2.35 แสดงการผสมแบบ การมอดูเลททางความเข้มของสัญญาณแสง 34
รูปที่ 2.36 แสดงการเชื่อมแสงระหว่างอุปกรณ์ปล่อยแสงกับเส้นใยแสง 35
รูปที่ 2.37 แสดงตัวอย่างโมดูลเลเซอร์ไดโอด และโมดูลแอลอีดี 36
รูปที่ 2.38 แสดงความยาวคลื่นในการรับแสงของอุปกรณ์รับแสงแต่ละชนิด 37
รูปที่ 2.39 แสดงหลักการทำงานการรับแสงและระดับพลังงานของพินโฟโต้ไดโอด 38
รูปที่ 2.40 แสดงหลักการทำงานการรับแสงและระดับพลังงานของอวาลานเชโฟโต้ไดโอด 39
รูปที่ 2.41 แสดงแรงดันไฟฟ้าที่ป้อนให้และ โฟโต้เคอร์เรนท์ 40
รูปที่ 2.42 แสดงตัวอย่างโครงสร้างภายในของโมดูลอวาลานเชโฟโต้ไดโอด 41
รูปที่ 2.43 แสดงโมดูลพินโฟโต้ไดโอด และโมดูลอวาลานเชโฟโต้ไดโอด 41
รูปที่ 3.1 บล็อคไดอะแกรมแสดงการทำงานของด้านส่ง 42
รูปที่ 3.2 บล็อคไดอะแกรมแสดงการทำงานของด้านรับ 43
รูปที่ 3.3 แสดงวงจรแปลงสัญญาณเสียงเป็นสัญญาณไฟฟ้า 43
รูปที่ 3.4 แสดงวงจรกรองความถี่ต่ำผ่าน 45
รูปที่ 3.5 แสดงวงจรขยายแรงดันไฟฟ้าแบบกลับเฟส 45
รูปที่ 3.6 แสดงการต่อวงจรอนาล็อกสวิทช์เข้ากับวงจรหารความถี่ที่ใช้ควบคุม
การเลือกช่องสัญญาณ 46
รูปที่ 3.7 แสดงวงจรบัฟเฟอร์ 47
รูปที่ 3.8 แสดงวงจรกำเนิดสัญญาณนาฬิกา 47
รูปที่ 3.9 แสดงรูปแบบของสัญญาณนาฬิกาที่ใช้ควบคุมตัวแปลงสัญญาณอนาล็อกเป็นดิจิตอล 48
รูปที่ 3.10 แสดงรูปแบบของการจัดเฟรมข้อมูล 49
รูปที่ 3.11 แสดงการต่อวงจรแปลงสัญญาณอนาล็อกเป็นดิจิตอลเข้ากับชิพรีจิสเตอร์ 74LS165 50
รูปที่ 3.12 แสดงวงจรขับกระแส 51
รูปที่ 3.13 แสดงวงจรเทอร์มินัลทางด้านส่ง 51
รูปที่ 3.14 แสดงรูปวงจรภาคส่ง 52
รูปที่ 3.15 แสดงวงจรโฟโต้ดีเทคเตอร์ 53
รูปที่ 3.16 แสดงวงจรสร้างสัญญาณนาฬิกาความถี่ 6.144 เมกกะเฮิร์ท 53
รูปที่ 3.17 แสดงการต่อวงจรนับเพื่อการตรวจเฮดเดอร์ 54
รูปที่ 3.18 แสดงการต่อวงจรโมโนสเตเบิ้ล 55
รูปที่ 3.19 แสดงการต่อวงจรฟลิบฟล้อบ 55

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

หน้า

รูปที่ 3.20 แสดงรูปสัญญาณของวงจรฟลิบฟลอบ 56
รูปที่ 3.21 แสดงการใช้ไอซี 4017 สร้างพัลส์สัญญาณเพื่อจับบิทข้อมูล 56
รูปที่ 3.22 แสดงการใช้ไอซี 4017 สร้างพัลส์สัญญาณตรวจช่องสัญญาณ 57
รูปที่ 3.23 แสดงการสร้างพัลส์สัญญาณตรวจช่องสัญญาณสุดท้ายของเฟรมข้อมูล 57
รูปที่ 3.24 แสดงการต่อวงจรเปลี่ยนข้อมูลอนุกรมเป็นข้อมูลขนาน 58
รูปที่ 3.25 แสดงการต่อวงจรแปลงสัญญาณดิจิตอลเป็นสัญญาณอนาล็อก 58
รูปที่ 3.26 แสดงรูปวงจรดีมัลติเพล็กซ์ 59
รูปที่ 3.27 แสดงรูปวงจรที่ใช้คำนวณวงจรกรองความถี่ต่ำผ่าน 59
รูปที่ 3.28 แสดงวงจรกรองความถี่ต่ำผ่านแบบบัทเตอร์เวิร์ทออเดอร์ 10 60
รูปที่ 3.29 แสดงรูปวงจรภาครับ 61
รูปที่ 3.30 แสดงเทอร์มินัลทางด้านรับ 62
รูปที่ 4.1 แสดงเอาท์พุทของคริสตัลออสซิลเลเตอร์ 63
รูปที่ 4.2 แสดงเอาท์พุทของคริสตัลออสซิลเลเตอร์เทียบกับเอาท์พุทของวงจรหารความถี่ 63
รูปที่ 4.3 แสดงสัญญาณนาฬิกาความถี่ 256 กิโลเฮิร์ท และสัญญาณนาฬิกาความถี่ 64 กิโลเฮิร์ท จากวงจรหารความถี่ 64
รูปที่4.4 แสดงสัญญาณนาฬิกาความถี่ 64 กิโลเฮิร์ท เทียบกับสัญญาณควบคุมช่องสัญญาณ จาก 4017 64
รูปที่ 4.5 แสดงสัญญาณนาฬิกาความถี่ 64 กิโลเฮิร์ท เทียบกับสัญญาณควบคุมช่องสัญญาณ จาก 4017 65
รูปที่ 4.6 แสดงผลการทดลองของวงจรขยายสัญญาณแบบกลับเฟส 65
รูปที่ 4.7 แสดงผลการทดลองของวงจรยกระดับสัญญาณ 66
รูปที่ 4.8 แสดงผลการทดลองของอนาล็อกสวิทช์ 66
รูปที่ 4.9 แสดงผลการทดลองของอนาล็อกสวิทช์ 67
รูปที่ 4.10 แสดงผลการทดลองของอนาล็อกสวิทช์ 67
รูปที่ 4.11 แสดงเอาท์พุทช่องสัญญาณที่1 และ 2 ของอนาล็อกสวิทช์ 68
รูปที่ 4.12 แสดงเอาท์พุทช่องสัญญาณที่1 และ 2 ของอนาล็อกสวิทช์ 68
รูปที่ 4.13 แสดงสัญญาณนาฬิกาความถี่ 64 กิโลเฮิร์ท เทียบกับสัญญาณที่ใช้ควบคุมการอ่านสัญญาณของตัวแปลงสัญญาณอนาล็อกเป็นดิจิตอล 69
รูปที่ 4.14 แสดงสัญญาณนาฬิกา 64 กิโลเฮิร์ท สัญญาณควบคุมการอ่านสัญญาณของตัวแปลงสัญญาณอนาล็อกเป็นดิจิตอลและสัญญาณ $\overline{INT}$ 69
รูปที่ 4.15 แสดงผลการทดลองจากการต่ออนาล็อกสวิทช์เข้ากับวงจรแปลงสัญญาณอนาล็อกเป็นดิจิตอล 70

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

หน้า

รูปที่ 4.16 แสดงสัญญาณควบคุมการอ่านของตัวแปลงสัญญาณอนาล็อกเป็นดิจิตอล และสัญญาณ $\overline{INT}$ 70
รูปที่ 4.17 แสดงสัญญาณควบคุมการอ่านสัญญาณของตัวแปลงสัญญาณอนาล็อกเป็นดิจิตอล และสัญญาณควบคุมการนำข้อมูลเข้าวงจรแปลงข้อมูลขนานเป็นข้อมูลอนุกรม 71
รูปที่ 4.18 แสดงสัญญาณควบคุมการนำข้อมูลเข้าวงจรแปลงข้อมูลขนานเป็นข้อมูลอนุกรม 71
รูปที่ 4.19 แสดงตัวอย่างสัญญาณของเฟรมข้อมูลในช่องสัญญาณที่ 1-7 ที่ใช้การส่ง 72
รูปที่ 4.20 แสดงตัวอย่างสัญญาณของเฟรมข้อมูลในช่องสัญญาณที่ 8 ที่ใช้การส่ง 72
รูปที่ 4.21 แสดงตัวอย่างสัญญาณทั้ง 8 ช่องสัญญาณที่ใช้การส่ง 73
รูปที่ 4.22 แสดงสัญญาณควบคุมการนำข้อมูลเข้าวงจรแปลงข้อมูลขนานเป็นข้อมูลอนุกรม และสัญญาณที่ใช้ในการส่ง 73
รูปที่ 4.23 แสดงผลการทดลองการเปลี่ยนสัญญาณไฟฟ้าเป็นสัญญาณแสง 74
รูปที่ 4.24 แสดงผลการทดลองการเปลี่ยนสัญญาณไฟฟ้าเป็นสัญญาณแสง 74
รูปที่ 4.25 แสดงผลการทดลองจากวงจรสร้างสัญญาณนาฬิกาเมื่อเปรียบเทียบกับสัญญาณที่รับเข้ามา 75
รูปที่ 4.26 แสดงผลการทดลองของวงจรดีเทคส่วนเฮดเดอร์ 76
รูปที่ 4.27 แสดงผลการทดลองของวงจรโมโนสเตเบิ้ล 76
รูปที่ 4.28 แสดงผลการทดลองของวงจรฟลิบฟลอบ 77
รูปที่ 4.29 แสดงผลการทดลองของส่วนสร้างสัญญาณตรวจจับบิทข้อมูล และวงจรสร้างสัญญาณตรวจช่องสัญญาณ 77
รูปที่ 4.30 แสดงผลการทดลองของวงจรดิฟเฟอร์เรนท์เชียลแอมปลิฟายเออร์ 78
รูปที่ 4.31 แสดงผลการทดลองของส่วนดีเทคเฮดเดอร์และส่วนสร้างสัญญาณตรวจจับบิทข้อมูล 78
รูปที่ 4.32 แสดงผลการทดลองของไอซี 4017 ตัวที่ 2 79
รูปที่ 4.33 แสดงผลการทดลองวงจรโมโนสเตเบิ้ลของส่วนตรวจจับช่องสัญญาณสุดท้ายของเฟรมข้อมูล 79
รูปที่ 4.34 แสดงผลการทดลองส่วนสัญญาณตรวจจับช่องสัญญาณสุดท้ายของเฟรมข้อมูล 80
รูปที่ 4.35 แสดงผลการทดลองส่วนสัญญาณตรวจจับช่องสัญญาณสุดท้ายของเฟรมข้อมูล 80
รูปที่ 4.36 แสดงผลการทดลองส่วนสัญญาณตรวจจับช่องสัญญาณสุดท้ายของเฟรมข้อมูล 81
รูปที่ 4.37 แสดงผลการทดลองของส่วนวงจรแปลงสัญญาณดิจิตอลเป็นสัญญาณอนาล็อก 81
รูปที่ 4.38 แสดงวงจรแปลงสัญญาณดิจิตอลเป็นสัญญาณอนาล็อก 82
รูปที่ 4.39 แสดงผลการทดลองอนาล็อกสวิทช์ (ไอซี 4066)ทางด้านรับ 82
รูปที่ 4.40 แสดงผลการทดลองวงจรกรองความถี่ต่ำผ่าน 83
รูปที่ 4.41 แสดงผลการทดลองวงจรขยายสัญญาณแบบกลับเฟส 83

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

หน้า

รูปที่ 4.42 แสดงวงจรและอุปกรณ์ต่าง ๆ ของภาคส่ง 88
รูปที่ 4.43 แสดงวงจรและอุปกรณ์ต่าง ๆ ของภาครับ 88
รูปที่ 4.44 แสดงการต่อใช้งานระหว่างเครื่องส่งและเครื่องรับ 89

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญตาราง

	หน้า
ตารางที่ 2.1 แสดงการแบ่งชนิดของเส้นใยแสง	20
ตารางที่ 2.2 แสดงการเปรียบเทียบคุณสมบัติต่างๆของอุปกรณ์ปล่อยแสง	35
ตารางที่ 2.3 แสดงการเปรียบเทียบคุณสมบัติของอุปกรณ์รับแสง	40
ตารางที่ 4.1 แสดงผลการทดลองวงจรกรองความถี่ต่ำแบบบัทเตอร์เวิร์ทออเดอร์ 5 ความถี่คัทออฟ 3.5 kHz	84
ตารางที่ 4.2 แสดงผลการทดลองวงจรกรองความถี่ต่ำแบบบัทเตอร์เวิร์ทออเดอร์10 ความถี่คัทออฟ 3.5 kHz	86

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 1
บทนำ

ความเจริญก้าวหน้าของเทคโนโลยีในปัจจุบัน ประกอบกับการขยายตัวของสังคมทำให้มีความต้องการการติดต่อสื่อสารที่เพิ่มมากขึ้น เป็นผลให้การสื่อสารข้อมูลจำเป็นที่จะต้องเพิ่มอัตราส่งให้สูงขึ้นเพื่อตอบสนองต่อความต้องการใช้งานที่เพิ่มมากขึ้นไปด้วยรวมถึงจะต้องสะดวกรวดเร็วมากยิ่งขึ้น ทำให้มีการพัฒนาระบบการสื่อสารรูปแบบใหม่ขึ้นมาเรียกว่า " การสื่อสารด้วยเส้นใยแสง (Optical Fiber Communication System) " ซึ่งการสื่อสารระบบนี้สามารถตอบสนองความต้องการต่างๆทั้งในปัจจุบันและในอนาคตได้ นั่นคือสามารถส่งข่าวสารและข้อมูลได้จำนวนมากในเวลาเดียวกัน นอกจากนี้เส้นใยแสงยังมีข้อดีอีกหลายประการ เช่น มีการลดทอนต่ำ ทำให้ใช้จำนวนสถานีทวนสัญญาณน้อยกว่าระบบเคเบิ้ลที่เป็นโลหะ , เส้นใยแสงมีขนาดเล็กน้ำหนักเบาทำให้ง่ายในการติดตั้งและบำรุงรักษา , ไม่มีผลกระทบกับสัญญาณรบกวนอันเนื่องมาจากการเหนี่ยวนำของสนามแม่เหล็กไฟฟ้า , วัตถุดิบที่ใช้ทำเส้นใยแสงสามารถหาได้ง่ายและมีราคาถูก ด้วยข้อดีหลายประการดังที่ได้กล่าวมาแล้วนั้นทำให้ขณะนี้ประเทศต่างๆทั่วโลกได้เริ่มมีการนำระบบสื่อสารด้วยเส้นใยแสงมาใช้กันมากขึ้น

สำหรับปริญญานิพนธ์นี้เป็นการนำเสนอโครงงานศึกษาการส่งสัญญาณดิจิตอลด้วยเส้นใยแสง โดยอาศัยเทคนิคของ TDM และ PCM โดยจะทำการศึกษาทฤษฎีที่เกี่ยวข้อง , ศึกษาและออกแบบวงจรเพื่อใช้งานกับสัญญาณดิจิตอล , ศึกษาถึงการส่งสัญญาณดิจิตอลผ่านเส้นใยแสงว่าเป็นเช่นไร คุณสมบัติของวงจรที่จะทำการศึกษามีลักษณะดังนี้

1. รองรับสัญญาณอินพุทที่เป็นสัญญาณเสียงได้พร้อมกัน 8 ช่องสัญญาณ
2. สัญญาณอินพุทจะถูกจำกัดแบนวิดท์เพียง 3.5 kHz (สามารถส่งสัญญาณเสียงได้เท่านั้น)
3. สัญญาณเสียงจะถูกแซมปลิ้งด้วยสัญญาณคล็อก(Clock) ความถี่ 8 kHz / ต่อ 1 ช่องสัญญาณ
4. สัญญาณเสียงในแต่ละช่องสัญญาณหลังจากแซมปลิ้งจะถูกเข้าเข้ารหัสเป็นสัญญาณข้อมูลดิจิตอลขนาด 8 บิท
5. ข้อมูลจำนวน 8 ช่องสัญญาณหลังการเข้ารหัสจะถูกส่งออกแบบ Asynchonization โดยมีรูปแบบของข้อมูลตามที่กำหนดขึ้น

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 2
ทฤษฎีและหลักการ

ในการสื่อสารสัญญาณพีซีเอ็ม (PCM) ผ่านเส้นใยแสงนั้นจะเป็นการรวมเอาข้อดีของการใช้สัญญาณดิจิตอลในการส่งข้อมูล และข้อดีของการส่งสัญญาณบนเส้นใยแสงเข้าด้วยกัน ในที่นี้จะเป็นการกล่าวถึงทฤษฎีต่างๆ ของการส่งสัญญาณเสียงโดยใช้วิธีการมอดูเลทแบบพัลส์โค้ดมอดูเลชั่น(Pulse Code Modulation:PCM) และจะมีการมัลติเพล็กซ์แบบแบ่งช่วงเวลา(Time Division Multiplex:TDM) เพื่อเป็นการเพิ่มช่องสัญญาณของการสื่อสาร และจะนำสัญญาณข้อมูลเหล่านั้นส่งไปยังภาครับโดยผ่านเส้นใยแสง

จะเห็นได้ว่าในปัจจุบันนี้ การสื่อสารสัญญาณอนาล็อกนั้นจะถูกแทนที่ด้วยสัญญาณดิจิตอลมากขึ้นเรื่อยๆ เช่น ในการส่งสัญญาณเสียงก็จะมีการแปลงเป็นสัญญาณพีซีเอ็ม เพื่อใช้ในการส่งแบบดิจิตอล เหตุผลของการเพิ่มขึ้นของการใช้สัญญาณดิจิตอลก็เนื่องมาจาก ในสัญญาณดิจิตอลจะมีความทนทานต่อสัญญาณรบกวน ซึ่งในระบบสัญญาณอนาล็อกนั้น สัญญาณรบกวนจะเพิ่มขึ้นตามระยะทางที่ส่ง และไม่สามารถกำจัดออกไปได้หมด แต่สัญญาณดิจิตอลนั้นสามารถสร้างขึ้นได้ใหม่ซึ่งจะทำให้ทางด้านรับได้รับสัญญาณดิจิตอลที่เหมือนกับทางด้านส่งได้ เพราะในสัญญาณดิจิตอล จะเป็นเพียงแค่การตัดสินสภาวะของพัลส์ (Pulse) สัญญาณ ว่ามีหรือไม่มีเท่านั้น ซึ่งจากเหตุผลนี้เป็นข้อได้เปรียบของสัญญาณดิจิตอลที่มีเหนือสัญญาณอนาล็อกเป็นอย่างมาก แต่การส่งสัญญาณดิจิตอลก็มีข้อเสียคือ จะเปลืองแบนด์วิดท์ (Bandwidth) มากกว่าในสัญญาณอนาล็อก และนอกจากนั้น สัญญาณดิจิตอลยังมีสัญญาณรบกวนแฝงอยู่ในตัวเอง ซึ่งก็คือสัญญาณรบกวนที่เกิดจากการเปลี่ยนสัญญาณอนาล็อกเป็นดิจิตอล นั่นเอง

ในส่วนของการสื่อสารผ่านเส้นใยแสงในปัจจุบันนี้ ก็นับว่ามีบทบาทที่สำคัญมากขึ้น เนื่องมาจากข้อดีของเส้นใยแสง อุปกรณ์กำเนิดแสง อุปกรณ์รับแสง ดังนี้

ข้อดีของเส้นใยแสง

1. การสูญเสียต่ำ ทำให้สามารถเพิ่มระยะทางของการติดตั้งรีพีทเตอร์ (Repeater)ได้
2. แบนด์วิดท์กว้างกว่าเคเบิ้ลแกนร่วม(Coaxial Cable) ทำให้สามารถส่งสัญญาณที่มีความถี่สูงกว่าได้
3. มีขนาดเล็กและน้ำหนักเบา สะดวกต่อการติดตั้ง
4. ไม่มีการเหนี่ยวนำทางแม่เหล็กไฟฟ้า เนื่องจากทำจากสารไดอิเลกทริก (Dielectric)
5. ประหยัดทรัพยากรธรรมชาติ ในการผลิตใช้วัตถุดิบน้อยแต่ได้เส้นใยแสงที่มีความยาวมาก

ข้อดีของอุปกรณ์กำเนิดแสงและอุปกรณ์รับแสง

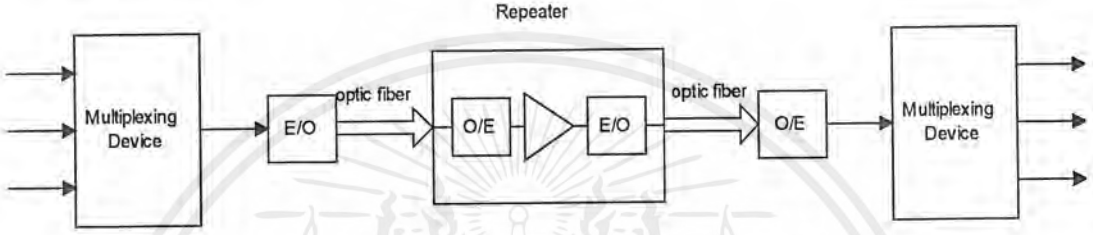
1. สามารถส่งสัญญาณที่มีความเร็วสูง และแบนด์วิดท์กว้าง เพราะมีการผสมคลื่นที่ความเร็วสูง
2. มีขนาดเล็ก และมีประสิทธิภาพในการเปลี่ยนสัญญาณไฟฟ้าเป็นแสงได้ดี
3. มีกำลังเอาท์พุทสูง และไวต่อสัญญาณ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.1 ส่วนประกอบของการสื่อสารเส้นใยแสง

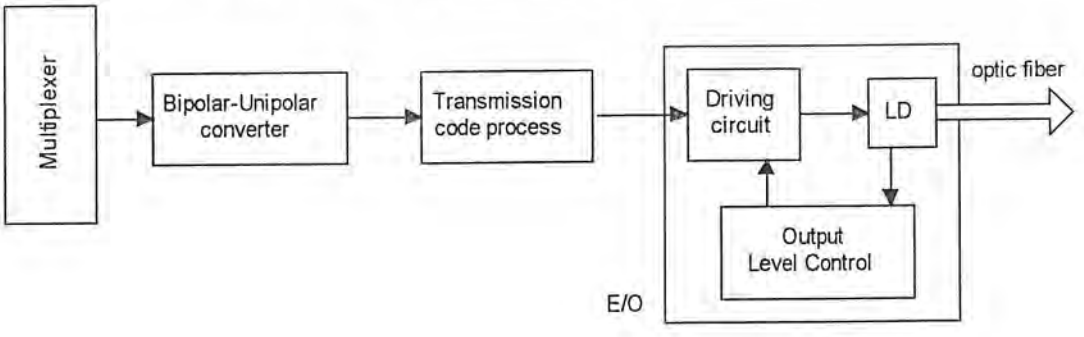
ในการสื่อสารด้วยเส้นใยแสง จะเป็นการส่งสัญญาณแสงโดยมีเส้นใยแสงเป็นตัวกลางในการส่ง ที่ปลายทั้ง 2 ด้านจะมีอุปกรณ์ที่เป็นตัวเปลี่ยนสัญญาณไฟฟ้าให้เป็นสัญญาณแสงและเปลี่ยนแสงเป็นสัญญาณไฟฟ้า

ตัวอย่างของการสื่อสารผ่านเส้นใยแสงแสดงดังในรูปที่ 2.1



รูปที่ 2.1 แสดงส่วนประกอบพื้นฐานของระบบการสื่อสารด้วยเส้นใยแสง

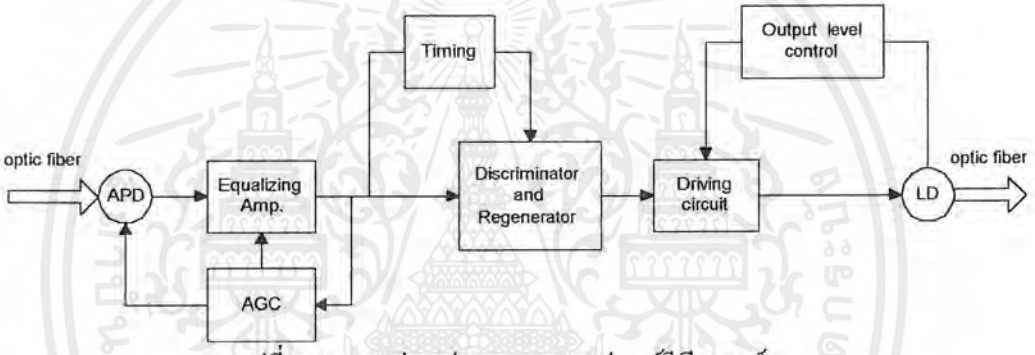
หลักการทำงานที่ภาคส่ง ขั้นแรกจะทำการเปลี่ยนสัญญาณไบโพล่าร์(Bipolar)ที่รับเข้ามา เป็นสัญญาณยูนิโพล่าร์(Unipolar) จากนั้นสัญญาณยูนิโพล่าร์นี้จะถูกนำไปที่ส่วนสร้างรหัสสำหรับการส่ง ซึ่งที่ส่วนนี้จะมีการเพิ่มรหัสข่าวสาร เพื่อใช้ตรวจสอบการสื่อสารระหว่างเทอร์มินัล (Terminal) ว่าเป็นปกติหรือไม่ นอกจากนี้แล้วสัญญาณจะถูกจัดอยู่ในรูปของไลน์โค้ด (Line Coding) สำหรับการส่งที่เหมาะสมกับตัวกลางที่ใช้ในการส่ง หลังจากนั้นจะทำการส่งสัญญาณไปยังส่วนที่ทำหน้าที่เปลี่ยนสัญญาณไฟฟ้าเป็นสัญญาณแสง โดยสัญญาณไฟฟ้านั้นจะเป็นกระแสขับ (Driving Current) ของเลเซอร์ไดโอด (Laser Diode:LD) จะเห็นว่าเอาท์พุทของเลเซอร์ไดโอดนั้น จะแปรผันกับกระแสของวงจรขับ (Driving Circuit) ดังนั้นถ้าต้องการให้ได้สัญญาณแสงที่คงที่จะใช้การควบคุมการป้อนกลับ (Feedback) เพื่อทำการรักษาระดับของแสงที่ออกมาให้คงที่ สัญญาณแสงที่ได้จะถูกป้อนเข้าไปในเส้นใยแสง



รูปที่ 2.2 แสดงส่วนประกอบของ เทอร์มินัลทางด้านส่ง

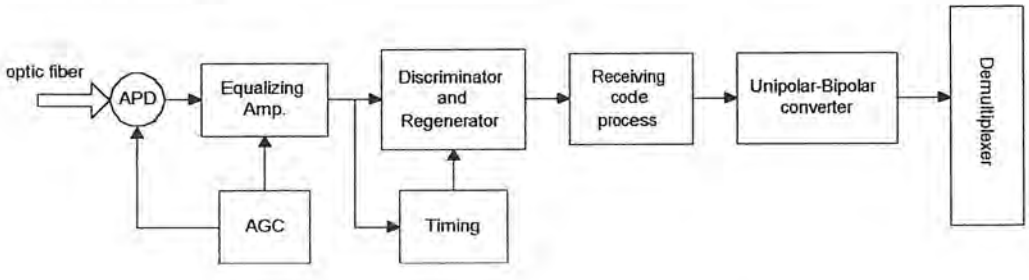
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สัญญาณแสงที่เดินทางมาในเส้นใยแสงจะเกิดการสูญเสียของสัญญาณ เช่นเดียวกับการส่งในสายส่งทั่วๆไป ดังนั้นจึงต้องมีการติดตั้งรีพีทเตอร์ระหว่างเส้นทางการส่ง ที่รีพีทเตอร์นี้จะทำการเปลี่ยนสัญญาณแสงให้เป็นสัญญาณไฟฟ้า แต่สัญญาณที่ได้รับเข้ามานี้ โดยปกติแล้วจะมีกำลังสัญญาณต่ำ และเกิดการผิดเพี้ยนของรูปร่างคลื่นด้วย จึงต้องนำสัญญาณไฟฟ้าที่แปลงออกมาได้นี้ไปผ่านอิควอไลเซชั่นแอมปลิฟายเออร์ (Equalization Amplifier) ซึ่งจะทำให้รูปร่างคลื่นลดความผิดเพี้ยนและเพิ่มกำลังส่งให้สูงขึ้น อย่างไรก็ตาม การทำให้ระดับสัญญาณไฟฟ้าที่ออกจากอิควอไลเซชั่นแอมปลิฟายเออร์มีระดับคงที่นั้นจะต้องมีการควบคุมการขยายอย่างอัตโนมัติ (Automatic Gain Control) หลังจากนั้นจะทำการสร้างสัญญาณไทม์มิ่ง (Timing) ขึ้นมา จากสัญญาณไทม์มิ่งที่ส่งมา และตัวรีเจนเนอเรทิฟดิสครีมีเนเตอร์ (Regenerative Discriminator) จะเป็นตัวที่ทำให้ได้สัญญาณไฟฟ้าที่เป็นพัลส์ขึ้นมาใหม่ จากนั้นจึงส่งสัญญาณนี้ไปยังส่วนที่ทำหน้าที่เปลี่ยนสัญญาณไฟฟ้าเป็นสัญญาณแสง แล้วส่งเข้าไปในเส้นใยแสงอีกครั้ง



รูปที่ 2.3 แสดงส่วนประกอบของอุปกรณ์รีพีทเตอร์

สัญญาณที่ส่งออกจากรีพีทเตอร์จะเดินทางมายังภาครับ และที่นี่สัญญาณแสงจะถูกเปลี่ยนเป็นสัญญาณไฟฟ้า และถูกขยายด้วยอิควอไลเซชั่นแอมปลิฟายเออร์ จากนั้นจะทำการสร้างพัลส์สัญญาณด้วยรีเจนเนอเรทิฟ ดิสครีมีเนเตอร์ เหมือนกับในรีพีทเตอร์ หลังจากขั้นตอนนี้แล้ว ขบวนพัลส์สัญญาณที่อยู่ในรูปแบบไลน์โค้ดสำหรับการส่งจะถูกเปลี่ยนกลับเป็นสัญญาณข้อมูลปกติ ต่อจากนั้นจึงทำการเปลี่ยนจากสัญญาณยูนิโพล่าร์กลับเป็นสัญญาณไบโพล่าร์ ทำให้ได้สัญญาณไฟฟ้าที่มีลักษณะเหมือนกับสัญญาณอินพุทของภาคส่งทุกประการ



รูปที่ 2.4 แสดงส่วนประกอบของเทอร์มินัลทางด้านรับ

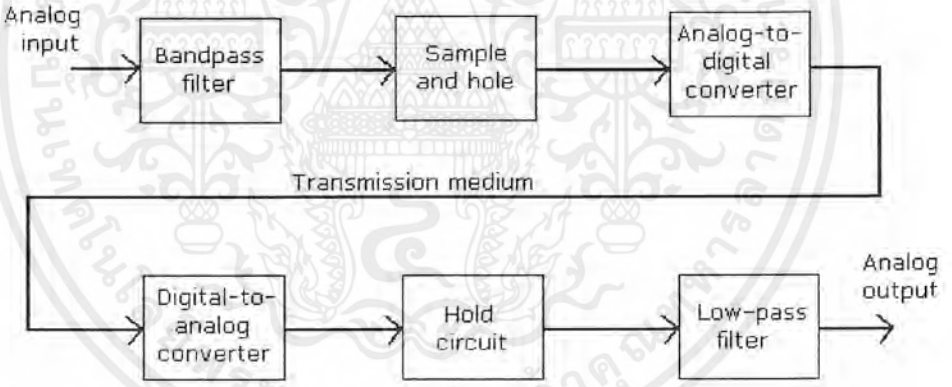
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.2 หลักการเบื้องต้นของระบบพัลส์โค้ดมอดูเลชั่น (Pulse Code Modulation : PCM)

ในการแปลงสัญญาณอนาล็อกเป็นสัญญาณดิจิตอลนั้น เราจะใช้กระบวนการของพีซีเอ็ม ซึ่งมีขั้นตอนคือ การสุ่มค่าสัญญาณอนาล็อก (Sampling) การจัดระดับสัญญาณ (Quantizing) การเข้ารหัส (Coding) เราเรียกวิธีการนี้ว่า การเปลี่ยนสัญญาณอนาล็อกเป็นสัญญาณดิจิตอล (A/D Conversion)

พีซีเอ็มเป็นวิธีการที่ใช้เปลี่ยนสัญญาณอนาล็อกเป็นดิจิตอล ซึ่งใช้ในระบบการส่งสัญญาณดิจิตอลพัลส์ที่ใช้ในพีซีเอ็ม จะมีคาบเวล และแอมปลิจูดที่แน่นอน

จากรูปที่ 2.5 แสดงบล็อกไดอะแกรมของกระบวนการพีซีเอ็ม แบบช่องสัญญาณเดียว ที่เป็นการสื่อสารแบบทางเดียว (simplex) วงจรแบนด์พาสฟิลเตอร์ (Bandpass Filter) จะทำหน้าที่กรองความถี่สัญญาณเสียงซึ่งจะมีความถี่ประมาณ 300 เฮิร์ท-3000 เฮิร์ท ออกมา วงจรแซมเปิ้ลแอนด์โฮล (Sample and Hole) จะสุ่มค่าของสัญญาณอนาล็อกออกมาเป็นสัญญาณพีเอเอ็ม (PAM) ที่มีค่าแอมปลิจูดต่างๆกัน และตัวเปลี่ยนสัญญาณอนาล็อกเป็นดิจิตอล จะเปลี่ยนสัญญาณพีเอเอ็มเหล่านั้นให้เป็นข้อมูลดิจิตอล เพื่อใช้ในการส่งข้อมูลเข้าไปในตัวกลางในการส่ง ซึ่งใช้ได้ทั้งสายส่งที่เป็นโลหะ หรือ เส้นใยแก้วนำแสง



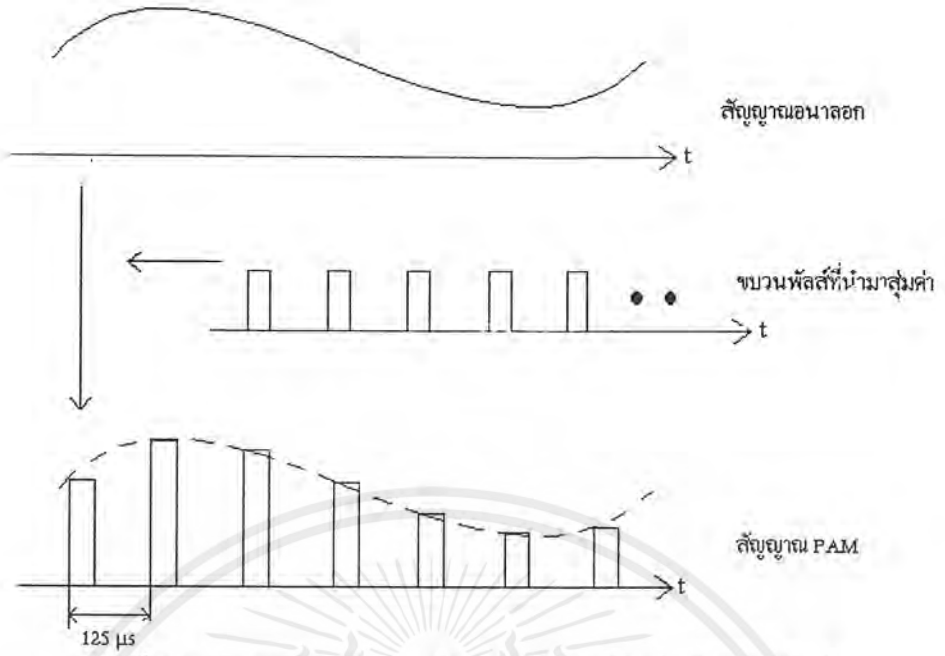
รูปที่ 2.5 แสดงบล็อกไดอะแกรมของพีซีเอ็ม

ทางด้านรับ ตัวเปลี่ยนสัญญาณดิจิตอลเป็นอนาล็อก จะเปลี่ยนข้อมูลทางดิจิตอลให้เป็นสัญญาณพีเอเอ็มที่มีระดับสัญญาณต่างๆกัน วงจรโฮลและวงจรกรองความถี่ต่ำผ่าน จะเปลี่ยนสัญญาณพีเอเอ็มให้กลับเป็นรูปร่างของสัญญาณอนาล็อกเหมือนเดิม

การสุ่มค่าสัญญาณอนาล็อก (Sampling)

เป็นการทำสัญญาณที่มีค่าแบบต่อเนื่อง ให้เป็นแบบดิสครีต (Discrete) ในช่วงเวลาที่เท่าๆกันหรืออาจพิจารณาว่าเป็นการนำค่าแอมปลิจูดของสัญญาณอนาล็อกบางค่าในช่วงเวลาซึ่งห่างกันคงที่มาเรียงต่อกัน แสดงดังในรูปที่ 2.6

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.6 แสดงการมอดูเลทระหว่างสัญญาณอนาล็อกกับสัญญาณพัลส์

ทฤษฎีการแซมปลิ้งของไนควิส (Nyquist sampling theorem) กล่าวว่า " อัตราการแซมปลิ้ง (f_s) ที่ต่ำที่สุดที่สามารถใช้ได้ในกระบวนการพีซีเอ็ม แล้วทำให้ด้านรับสามารถสร้างสัญญาณเดิมกลับมาได้ ต้องมีค่าอย่างน้อยเป็น 2 เท่าของความถี่สูงสุด (f_m) ของสัญญาณอนาล็อกที่นำมาแซมปลิ้ง " ถ้าความถี่สูงสุดของสัญญาณอินพุท มีค่ามากกว่าครึ่งหนึ่งของอัตราการแซมปลิ้งแล้ว จะทำให้เกิดการผิดเพี้ยนของสัญญาณ (distortion) ที่เรียกว่า " การผิดเพี้ยนที่เกิดจากการซ้อนทับกันของแถบคลื่น (aliasing distortion)"

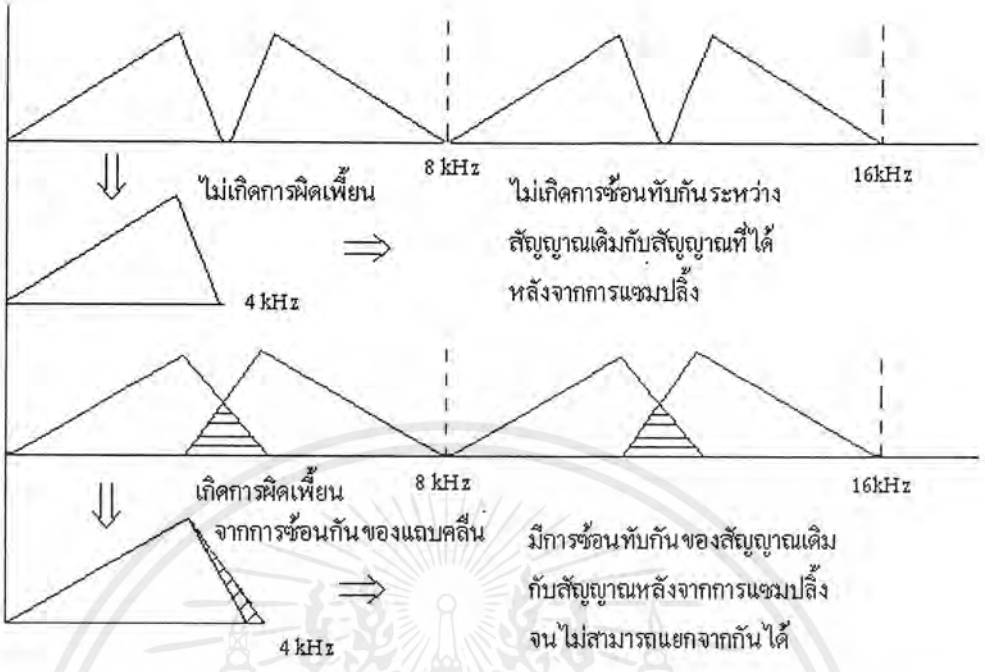
ในสัญญาณเสียงโดยทั่วๆไปแล้วจะมีความถี่อยู่ระหว่าง 300 เฮิร์ท–3400 เฮิร์ท ดังนั้นอัตราการแซมปลิ้ง ก็ไม่ควรจะต่ำกว่า 6.8 กิโลเฮิร์ท ซึ่งในทางปฏิบัติแล้ว จะใช้อัตราการแซมปลิ้งที่ความถี่ 8 กิโลเฮิร์ท ช่วงเวลาที่ใช้ในการสุ่มแต่ครั้งจะเท่ากับ 1 / 8000 = 125 ไมโครวินาที (แสดงดังรูป)

การผิดเพี้ยนจากการซ้อนกันของแถบคลื่น (Aliasing distortion)

เกิดจากการที่สัญญาณอินพุท มีองค์ประกอบทางความถี่ที่มีค่ามากกว่าครึ่งหนึ่งของอัตราการแซมปลิ้ง ซึ่งทำให้เกิดการซ้อนทับกันของแถบความถี่ของฮาร์โมนิค (Harmonic) หนึ่งกับไซด์แบนด์ของอีกฮาร์โมนิคหนึ่ง ซึ่งทำให้ไม่สามารถที่จะนำสัญญาณเดิมกลับมาได้อย่างสมบูรณ์ ถึงแม้ว่าจะผ่านวงจรกรองความถี่ต่ำผ่านแล้วก็ตาม เพราะยังคงเหลือสัญญาณรบกวนจากไซด์แบนด์ที่สูงกว่าปะปนอยู่ แสดงดังรูปที่2.7

วงจรแบนด์พาสฟิลเตอร์ในรูปที่ 2.5 จะเป็นตัวกรองความถี่ที่ป้องกันการเกิดการผิดเพี้ยนที่เกิดจากการซ้อนทับกันของแถบความถี่ (Antialiasing filter) ค่าความถี่คัทออฟ (Cut-off Frequency) ทางด้านความถี่สูงจะเป็นตัวกำหนดให้สัญญาณที่ผ่านวงจรกรองความถี่ออกมาแล้ว เข้าสู่วงจรแซมปลิ้งแอนด์โฮลจะต้องไม่มีองค์ประกอบของความถี่ที่สูงกว่าครึ่งหนึ่งของอัตราการแซมปลิ้ง ดังนั้นจึงถือว่าแบนด์พาสฟิลเตอร์นี้จะช่วยลดการเกิดการผิดเพี้ยนที่เกิดจากการซ้อนทับกันของแถบความถี่ของสัญญาณได้

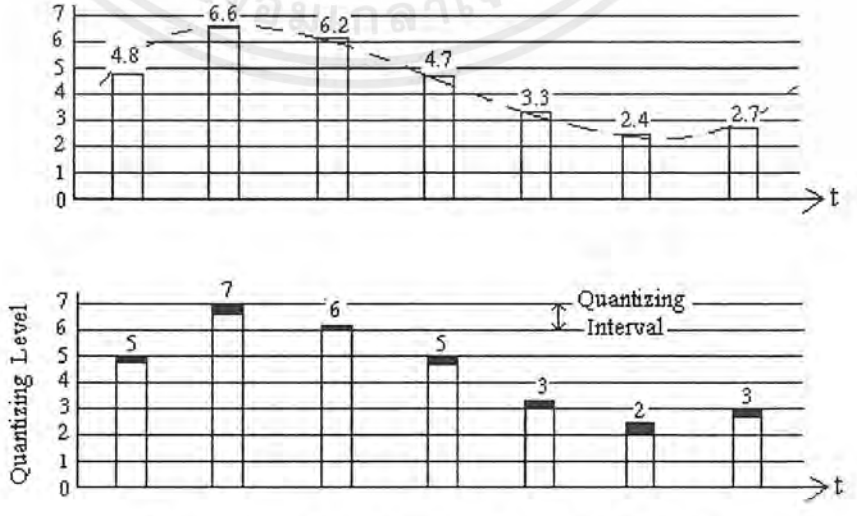
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.7 แสดงการซ้อนทับกันของแถบสัญญาณ

การจัดระดับสัญญาณ (Quantizing)

เมื่อทำการสุ่มค่าสัญญาณอนาล็อกแล้ว สัญญาณพีเอเอ็มจะถูกนำมาจัดระดับสัญญาณ โดยการแปลงเป็นตัวเลข โดยที่ขนาดของสัญญาณจะถูกแทนด้วยตัวเลขที่มีค่าใกล้เคียงกับขนาดแอมปลิจูดของสัญญาณพีเอเอ็มนั้นๆมากที่สุด ดังที่แสดงในรูปที่ 2.8 สัญญาณพีเอเอ็มจะถูกจัดให้เป็นระดับ เรียกว่าระดับการควอนไตซ์ (Quantizing level) โดยมีระยะระหว่างระดับข้างเคียงเรียกว่า ควอนไตซิ่งอินเทอร์วัล หรือ ควอนไตซิ่งสเต็พ (Quantizing interval or Quantizing step) ที่เท่ากัน



รูปที่ 2.8 แสดงการจัดระดับสัญญาณพีเอเอ็มให้เป็นค่าตัวเลข

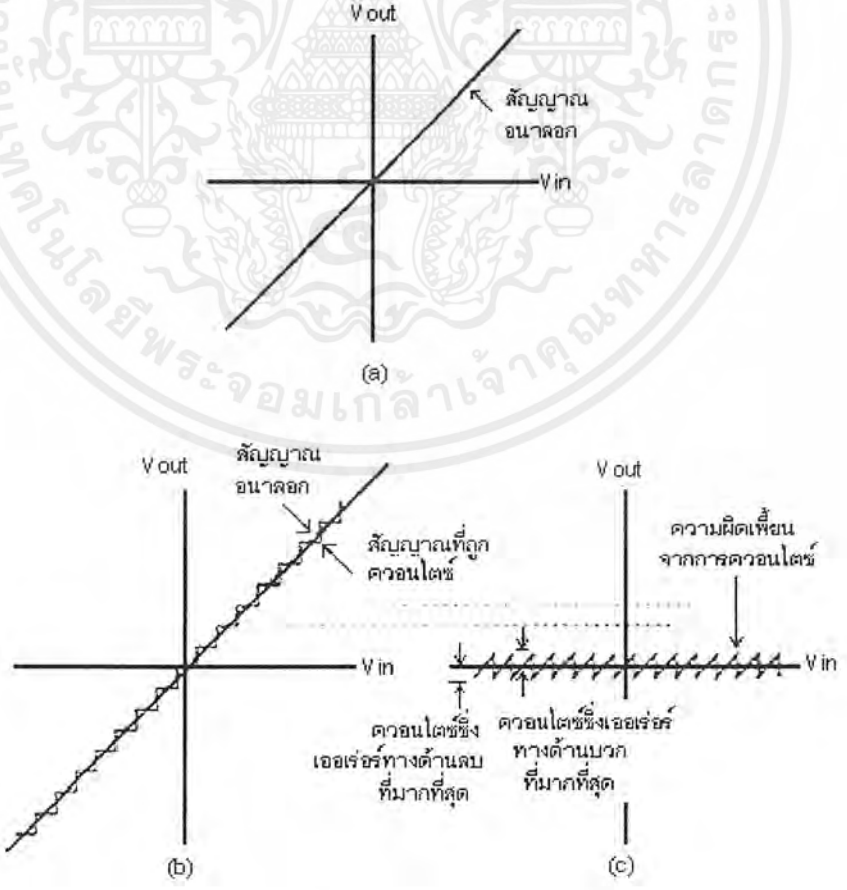
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ควอนไตซิ่งนอยส์ (Quantizing Noise)

จากรูปที่ 2.8 เราจะเห็นได้ว่า การจัดระดับสัญญาณนั้น เป็นเพียงการประมาณค่าของสัญญาณพีเอเอ็มเท่านั้น ดังนั้นส่วนที่ขาดและส่วนที่เกินจากการจัดระดับจึงเป็นค่าที่ผิดเพี้ยนจากสัญญาณเดิม เราเรียกค่าผิดเพี้ยนนี้ว่า ควอนไตซิ่งน้อยส์ (Quantizing Noise) หรือการผิดเพี้ยนจากการควอนไตซ์ (Quantizing Distortion) ขนาดของสัญญาณรบกวนจากการจัดระดับสัญญาณนี้จะกระจายสม่ำเสมอในระหว่างช่วงของตัวเลข ไม่ได้ขึ้นกับแอมปลิจูดของสัญญาณอนาล็อก สัญญาณรบกวนนี้เป็นสิ่งที่ไม่สามารถหลีกเลี่ยงได้ แต่ก็สามารถที่จะทำให้ลดลงได้เพื่อรักษาคุณภาพของเสียง

ถ้าหากเราทำการลดช่วงกว้างระหว่างตัวเลขลง สัญญาณรบกวนนี้ก็จะมีค่าลดลง แต่การทำเช่นนี้จะทำให้จำนวนของระดับการควอนไตซ์เพิ่มขึ้น ปัญหาที่ตามมาก็คือ จำนวนรหัสไบนารี (Binary) จะมีจำนวนบิทมากขึ้นด้วย การส่งก็จะต้องการแบนด์วิดท์มากขึ้นด้วย

วิธีการลดควอนไตซิ่งน้อยส์อีกวิธีหนึ่งก็คือ การคอมแพนดิ้ง (Companding) ซึ่งเป็นการจัดระดับควอนไตซ์แบบน็อนยูนิฟอร์ม (Non-Uniform)โดยที่สัญญาณจะผ่านวงจรคอมเพรสเซอร์ (Compressor) ก่อนแล้วจึงไปทำการควอนไตซ์ ส่วนทางด้านรับนั้นเมื่อสัญญาณทำการถอดรหัสแล้วก็จะเข้าสู่วงจรเอ็กซ์แพนเดอร์ (Expander) ซึ่งสัญญาณที่ออกจากเอ็กซ์แพนเดอร์นั้นจะมีลักษณะเหมือนกับสัญญาณที่เข้าสู่คอมเพรสเซอร์ เราเรียกรวมกันว่าคอมแพนเดอร์(Compander)



รูปที่ 2.9 แสดงควอนไตซ์ซิ่งน้อยส์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

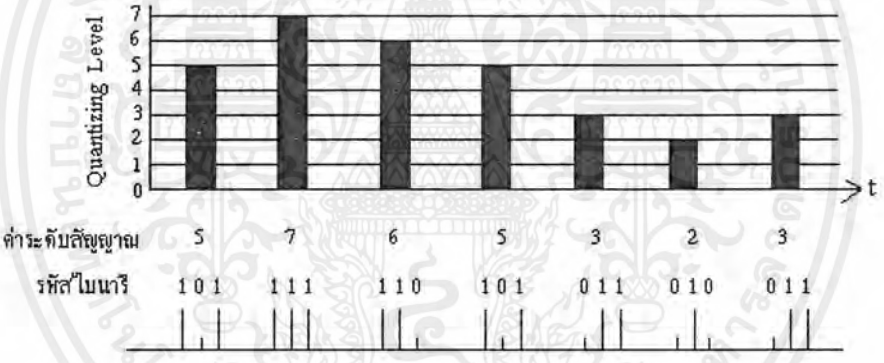
การเข้ารหัสสัญญาณ

สัญญาณข่าวสารที่เป็นค่าต่อเนื่องกันนั้น เมื่อผ่านกระบวนการแซมปลิ้งและควอนไตซ์แล้ว สัญญาณที่ได้จะเป็นดิสครีต ซึ่งก็ยังมีขนาดตามค่าแอมปลิจูดเดิม แต่ก็ยังไม่ใช่รูปแบบสัญญาณที่เหมาะสมที่สุดสำหรับการส่งสัญญาณบนสายส่งหรือส่งทางคลื่นวิทยุอยู่ดี เราจึงต้องทำการเข้ารหัสเพื่อแปลงสัญญาณแบบดิสครีตให้อยู่ในรูปแบบของสัญญาณที่เหมาะสมกับการส่งมากกว่า

รูปแบบของสัญญาณไบนารี แต่ละสัญลักษณ์จะมีค่า 2 ค่า คือ มีกับไม่มีสัญญาณ สัญลักษณ์ทั้งสองของรหัสไบนารีจะอยู่ในรูป 0 และ 1 ข้อดีของสัญญาณไบนารี คือ สามารถทนทานต่อสัญญาณรบกวนได้ดีและสามารถสร้างสัญญาณใหม่ได้ง่าย

การเข้ารหัสเป็นการแปลงลำดับสัญญาณดิสครีตของค่าแซมเปิ้ลให้อยู่ในรูปแบบของสัญญาณที่เหมาะสมในการส่ง ในการกำหนดจำนวนบิทที่ใช้ในการส่งจะขึ้นอยู่กับจำนวนระดับควอนไตซ์ ในกรณีที่ใช้กับสัญญาณเสียงนี้เราจะทำการเข้ารหัส 8 บิท ซึ่งสามารถแสดงค่าแอมปลิจูดได้ $2^8 = 256$ ระดับ

โดยทั่วไปแล้วน้อยส์ที่เกิดจากบิทเออเรอร์ (Bit Error) จะมีค่าน้อยกว่าน้อยส์ที่เกิดจากควอนไตซิ่งน้อยส์



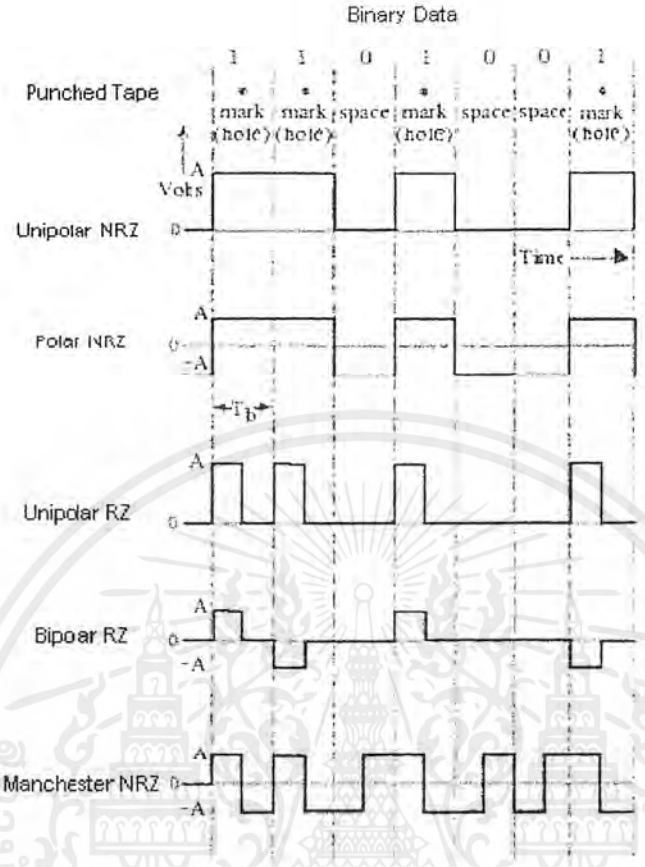
รูปที่ 2.10 แสดงการเข้ารหัสไบนารีของสัญญาณพีเอเอ็ม

ไลน์โค้ดดิ้ง (Line Coding)

สัญญาณไบนารีที่ใช้ในพีซีเอ็มจะอยู่ในรูปของการจัดรูปแบบสัญญาณเป็นบิทเรียงกันแบบอนุกรม เรียกว่าไลน์โค้ด (Line Code) รูปแบบของไลน์โค้ดที่ได้รับความนิยมมาก แสดงอยู่ในรูปที่ 2.11 ซึ่งจะมีรูปแบบที่สำคัญๆ อยู่ 2 แบบคือ อาร์แซท (Return to Zero:RZ) และ เอ็นอาร์แซท (NonReturn to Zero:NRZ) ในอาร์แซท รูปร่างของสัญญาณจะกลับสู่ระดับ 0 ในช่วงเวลาครึ่งหนึ่งของช่วงเวลาทั้งหมดของบิท

รูปร่างของสัญญาณแบบต่างๆ สำหรับ ไลน์โค้ด สามารถแบ่งได้ตามข้อกำหนด ของการใช้เพื่อการกำหนดระดับสัญญาณที่จะใช้ในการแสดง ข้อมูลไบนารี มีตัวอย่างของรูปแบบสัญญาณ ดังนี้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.11 แสดงรูปแบบของสัญญาณไบนารี

สัญญาณยูนิโพลาร์ (Unipolar Signalling) สัญญาณรหัส 1 อยู่ในรูปของ สัญญาณระดับแรงดันสูง และ รหัส 0 จะอยู่ที่ ระดับ 0 รูปแบบสัญญาณนี้เรียกว่า ออน-ออฟ คีย์อิ้ง (on-off keying)

สัญญาณโพลาร์ (Polar Signalling) ทั้งสัญญาณรหัส 1 และ 0 จะอยู่ที่ระดับสัญญาณ ด้านบวกและลบที่มีขนาดเท่ากัน

สัญญาณไบโพลาร์ (Bipolar Signalling) สัญญาณรหัส 1 จะอยู่ที่ระดับสัญญาณสูงทั้งทางด้านบวกและลบ รหัส 0 ก็จะอยู่ที่ระดับ 0 อาจเรียกสัญญาณแบบนี้ว่า ซูโดเทอร์นารี(Pseudoternary) ก็ได้ เพราะมีการใช้ 3 ระดับสัญญาณในการนำเสนอข้อมูลที่มี 2 ระดับ นอกจากนี้ยังสามารถเรียกว่า สัญญาณเอเอ็มไอ (Alternate Mark Inversion:AMI) ได้อีกด้วย

สัญญาณแมนเชสเตอร์ (Manchester Signalling) รหัสสัญญาณ 1 แต่ละตัว จะถูกจัดอยู่ที่ระดับด้านบวกครึ่งบิทอีกครึ่งบิทก็จะอยู่ที่ระดับลบ เช่นเดียวกับรหัส 0 ที่ก็จะมีครึ่งบิทแรกเป็นลบและมีครึ่งบิทหลังเป็นบวก เรียกรหัสแบบนี้ว่า การเข้ารหัสแบบแยกเฟส (split-phase) ก็ได้

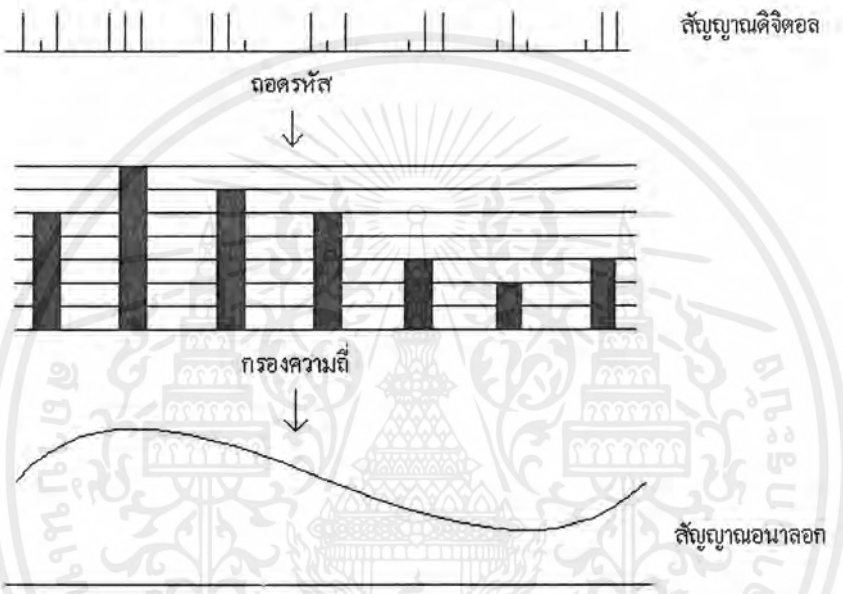
เมื่อทางด้านรับ ได้รับสัญญาณพีซีเอ็มแล้ว ก็จะแปลงจากสัญญาณดิจิตอล กลับเป็นสัญญาณอนาล็อกดังเดิม โดยจะต้องผ่านกระบวนการถอดรหัส และ ผ่านวงจรกรองความถี่ เพื่อเอาสัญญาณเดิมกลับออกมาทางด้านรับ กระบวนการทั้งสองนี้เรียกว่า การแปลงสัญญาณดิจิตอลเป็นอนาล็อก

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การถอดรหัส

ขั้นตอนนี้จะตรงกันข้ามกับการเข้ารหัส โดยจะทำการแปลงข้อมูลที่เป็นรหัสไบนารี ให้ออกมาเป็นค่าตัวเลขของระดับสัญญาณ ซึ่งค่าที่ได้ก็จะต้องมีความสอดคล้องกับรหัสไบนารีนั้นๆ ด้วย และเช่นเดียวกับการจัดระดับสัญญาณ ในการถอดรหัสนี้ ก็จะมีการผิดเพี้ยนของข้อมูลเนื่องจากการแปลงเป็นค่าตัวเลขด้วยเช่นกัน

สัญญาณที่ผ่านกระบวนการถอดรหัสแล้ว จะเข้าสู่วงจรกรองความถี่ต่ำผ่าน เพื่อจะให้ได้สัญญาณเสียงอนาล็อกที่มีความต่อเนื่องกันออกมา กระบวนการเหล่านี้แสดงอยู่ในรูปที่ 2.12



รูปที่ 2.12 แสดงการแปลงสัญญาณดิจิตอลเป็นสัญญาณอนาล็อก

แฟลชเอทูดี (Flash A/D)

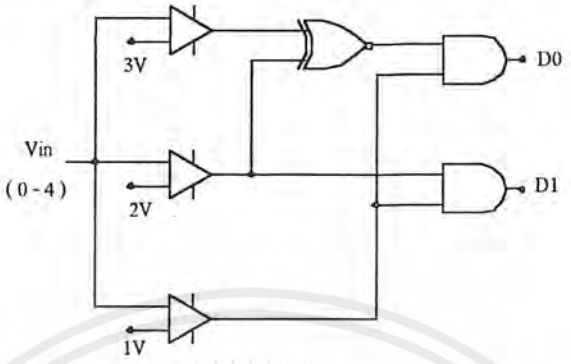
คือวงจรเอทูดี (Analog to Digital)ที่มีความเร็วสูงในการเปลี่ยนสัญญาณ เนื่องจากวงจรแฟลชเอทูดีนั้น จะใช้การโปรแกรมเอาท์พุทไว้ก่อนแล้ว ส่วนวงจรเปรียบเทียบจะใช้ออปแอมป์ ที่มีจำนวนเท่ากับจำนวนของสัญญาณเอาท์พุทที่จะเกิดขึ้น เช่น ถ้าสัญญาณเอาท์พุทเป็นสัญญาณดิจิตอล 8 บิท จะใช้ออปแอมป์เท่ากับ 2 ยกกำลัง 8 เท่ากับ 256 ตัว ซึ่งแต่ละตัวก็จะมีแรงดันอ้างอิงที่เป็นค่าคงที่อยู่ค่าหนึ่ง ตามระดับของสัญญาณ

เมื่อมีระดับสัญญาณอินพุทเข้ามา จะถูกส่งไปให้กับออปแอมป์ทุกตัว เพื่อเปรียบเทียบกับแรงดันอ้างอิงของแต่ละตัว ถ้าสัญญาณอินพุทไปตรงกับออปแอมป์ตัวใด ก็จะให้สัญญาณเอาท์พุทออกมา ส่งไปให้กับวงจรประมวลผล เพื่อจัดหาค่าของสัญญาณดิจิตอล สัญญาณเอาท์พุทให้ได้ตามค่าของสัญญาณอินพุทที่ส่งเข้ามา ซึ่งการเปลี่ยนสัญญาณในรูปแบบนี้ไม่ต้องใช้วงจรนับ แล้วป้อนกลับมาเปรียบเทียบทีละค่า จึงทำให้ความเร็วในการเปลี่ยนสัญญาณสูงมาก จึงเหมาะที่จะนำมาใช้กับสัญญาณที่มีความถี่สูง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

อาจเรียกแฟลชเอทูดีว่าเป็น คอนเวอร์เตอร์แบบเปิดลูป(open loop converter) เนื่องจากไม่มีสัญญาณป้อนกลับ (Feedback) กลับไปยังอินพุท

ตัวอย่างของหลักการ แฟลชเอทูดี แสดงดังในรูป 2.13



รูปที่ 2.13 แสดงหลักการของแฟลชดีทูเอ

จากรูปใช้ลอจิกเกท(Logic Gate) เป็นวงจรเปลี่ยนระดับสัญญาณอินพุทให้เป็นสัญญาณดิจิตอล โดยเริ่มจากเมื่อมีอินพุท 0 โวลต์เข้ามา จะทำให้เอาท์พุททุกตัวของคอมพาราเตอร์ (Comparator) เป็น “0” ทั้งหมด และเมื่อผ่านเอ็กคลูซีพนอร์เกท (Ex-Nor) จะทำให้เอาท์พุทเป็น “1” ไปเข้าแอนด์เกท 1 เป็น “0” และแอนด์เกท 2 เป็น “0” จะทำให้มีอินพุทเป็น 0 0 ดังนั้น D1= “0” เพราะฉะนั้นที่ระดับ 0 โวลต์ เอาท์พุทของเอทูดี = 0 0 เมื่อ Vin = 1 โวลต์จะทำให้เอาท์พุทของคอมพาราเตอร์ตัวที่ 1 เป็น “1” ไปแอนด์กับเอาท์พุทของเอ็กคลูซีพนอร์เกท ซึ่งเป็น “1” ทำให้ได้ D0 = “1” ส่วน D1 ได้จากการแอนด์กันของเอาท์พุทคอมพาราเตอร์ตัวที่ 1 กับตัวที่ 2 เป็น 1 0 ดังนั้นเอาท์พุท D1 = “0” เพราะฉะนั้นที่ระดับ Vin = 2 โวลต์ จะทำให้เอาท์พุทของคอมพาราเตอร์ตัวที่ 1 กับตัวที่ 2 เป็น “1” ทำให้เอาท์พุท D1 = “1” ส่วน D0 = “0” เพราะฉะนั้นเอาท์พุทของเอทูดี = 1 0 และเมื่อ Vin = 3 โวลต์ จะทำให้เอาท์พุทของคอมพาราเตอร์ทุกตัวเป็น “1” ดังนั้นเมื่อผ่านลอจิกเกทจะได้เอาท์พุทเป็น 1 1

ซึ่งข้อดีของวงจรแฟลชเอทูดี คือมีความสามารถในการเปลี่ยนสัญญาณได้เร็วมาก แต่ข้อเสียคือจะต้องใช้จำนวนคอมพาราเตอร์มากกว่า 2 เท่า เมื่อต้องการเพิ่มบิท 1 บิท หรือถ้าเป็นสมการจะได้จำนวนออปแอมป์ = 2^n-1 ตัว โดยที่ n คือจำนวนบิท

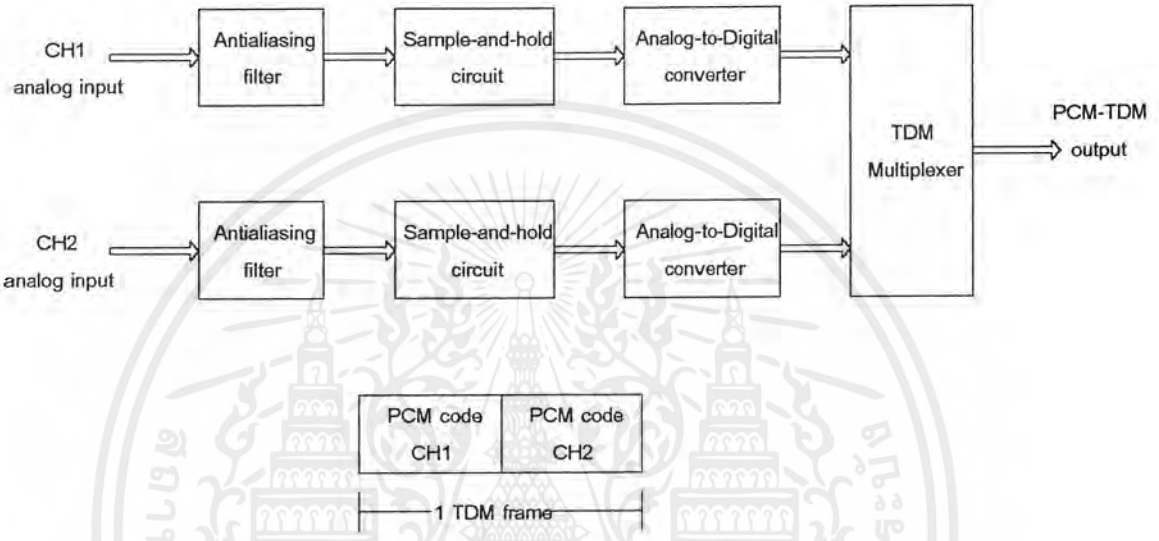
ดังนั้นเมื่อเราใช้สัญญาณดิจิตอล 8 บิท ต้องใช้คอมพาราเตอร์ถึง 256 ตัว ซึ่งจะทำให้อุปกรณ์มีราคาสูงมาก ทั้งหมดคือหลักการของการแปลงสัญญาณอนาล็อกเป็นสัญญาณดิจิตอล

2.3 การมัลติเพล็กซ์แบบแบ่งเวลา (Time Division Multiplexing : TDM)

คำจำกัดความของการมัลติเพล็กซ์แบบแบ่งเวลา คือ เป็นการแทรกช่วงเวลาของแซมเปิ้ลพัลส์จากหลายๆแหล่งกำเนิด ดังนั้นข่าวสารจากแหล่งกำเนิดเหล่านี้ก็จะสามารถที่จะส่งแบบอนุกรมไปบนช่องสัญญาณช่องเดียวได้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จะเห็นว่า ในระบบการมัลติเพล็กซ์แบบแบ่งเวลานั้น การส่งสัญญาณจากแหล่งกำเนิดหลายๆ แหล่งที่เกิดขึ้นบนเส้นทางการส่งเดียวกัน แต่เป็นคนละช่วงเวลากัน การส่งสัญญาณจากต้นกำเนิดที่แตกต่างกันจะถูกแทรกเข้าไปในช่วงเวลาของการส่ง รูปแบบของการมอดูเลชั่นที่ใช้ในการมัลติเพล็กซ์แบบแบ่งเวลานั้น โดยมากจะเป็นพีซีเอ็มในระบบพีซีเอ็ม-ทีดีเอ็ม (PCM-TDM) สัญญาณเสียงที่มีมากกว่า 2 ช่องสัญญาณ จะถูกนำมาสุ่มค่าและเปลี่ยนเป็นรหัสพีซีเอ็ม แล้วจึงทำการมัลติเพล็กซ์โดยการแบ่งช่วงเวลาบนสายส่งต่อไป



รูปที่ 2.14 แสดงระบบพีซีเอ็ม-ทีดีเอ็มแบบ 2 ช่องสัญญาณ และ เฟรมของทีดีเอ็ม

จากรูปที่ 2.14 สัญญาณแต่ละช่องสัญญาณจะถูกสุ่มค่าและเปลี่ยนให้อยู่ในรูปแบบรหัสพีซีเอ็ม ในขณะที่รหัสพีซีเอ็มของช่องสัญญาณแรกถูกส่งอยู่นั้น สัญญาณจากช่องสัญญาณที่ 2 ก็จะถูกสุ่มค่าและแปลงเป็นรูปแบบของพีซีเอ็ม และในขณะที่สัญญาณของช่องสัญญาณที่ 2 กำลังส่งอยู่นั้น ช่องสัญญาณแรกก็จะทำการสร้างแซมเปิ้ลถัดไปและเข้ารหัสพีซีเอ็ม กระบวนการก็จะดำเนินไปเรื่อยๆ และแต่ละช่องสัญญาณจะทำการสร้างแซมเปิ้ลขึ้นมาเรื่อยๆ และเปลี่ยนเป็นรหัสพีซีเอ็ม แล้วทำการส่งออกไป ในตัวมัลติเพล็กซ์นี้จะใช้อิเลกทรอนิกส์สวิตซ์ ที่มี 2 อินพุท และ 1 เอาท์พุท ช่องสัญญาณแรกและช่องสัญญาณที่ 2 จะถูกเลือกให้ต่อเข้ากับเอาท์พุทของตัวมัลติเพล็กซ์ ช่วงเวลาที่ใช้ในการส่ง 1 แซมเปิ้ลของแต่ละช่องสัญญาณ เรียกว่า ช่วงเวลาของเฟรม (Frame time)

รหัสพีซีเอ็มของแต่ละช่องสัญญาณจะต้องใช้ไทม์สลอต (Time Slot) ที่ถูกกำหนดไว้ภายในเฟรมของทีดีเอ็มทั้งหมด ในระบบ 2 ช่องสัญญาณดังรูป การแบ่งเวลาให้สำหรับแต่ละช่องสัญญาณจะมีค่าเท่ากับครึ่งหนึ่งของเวลาทั้งหมดของเฟรม แซมเปิ้ลหนึ่งๆของแต่ละช่องสัญญาณจะถูกสร้างขึ้นครั้งหนึ่งระหว่างแต่ละเฟรม ดังนั้นช่วงเวลาของเฟรมทั้งหมดจะเท่ากับ ส่วนกลับของอัตราแซมเปิ้ล

จากรูปจะแสดงให้เห็นถึง การแบ่งเวลาเฟรมของทีดีเอ็ม สำหรับสัญญาณจาก 2 ช่องสัญญาณ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.4 การซิงโครไนซ์เซชั่น (Synchronization)

ซิงโครไนซ์เซชั่น เป็นขบวนการที่ทำให้สัญญาณนาฬิกาของทางด้านรับในระบบการสื่อสารดิจิตอล มีความถี่และเฟสตรงกันกับสัญญาณนาฬิกาที่ใช้ทางด้านส่ง เพราะถ้าหากสัญญาณนาฬิกาของทางด้านรับและด้านส่งไม่ตรงกันแล้วจะเกิดความผิดพลาดขึ้นหรือเกิด บิทเออร์เรอร์ ขึ้น

โดยทั่วไปในระบบการสื่อสาร จะใช้สัญญาณนาฬิกาทั้งทางด้านภาคส่งและภาครับ ซึ่งจะต้องมีความถี่ที่ตรงกัน ยกตัวอย่างเช่น รูปแบบของ RS-232 จะทำงานที่ความเร็ว 19,200 กิโลบิทต่อวินาที

สำหรับระบบที่ไม่ซิงโครไนซ์นั้น เกิดจากสัญญาณนาฬิกาของทั้ง 2 ภาค มีความที่ถี่ต่างกัน ก็มีสาเหตุมาจาก

- ความแตกต่างทางอุณหภูมิของการทำงาน เป็นสาเหตุให้ความถี่เลื่อนออกไป แม้ว่าในตอนเริ่มแรก จะทำให้สัญญาณนาฬิกาทั้ง 2 ด้านมีความถี่ตรงกันแล้วก็ตาม
- อายุการใช้งานของอุปกรณ์
- การทำให้ค่าความถี่ของสัญญาณนาฬิกาทั้ง 2 ด้านตรงกันอย่างแม่นยำนั้น เป็นสิ่งที่แทบจะเป็นไปไม่ได้ในทางปฏิบัติ

ด้วยเหตุผลต่างๆ ดังที่กล่าวมาแล้วนั้น ถึงแม้ว่าเราจะพยายาม ตั้งค่าความถี่และเฟสของสัญญาณนาฬิกาให้ตรงกันแล้วก็ตาม แต่ก็จะมีความแตกต่างกันอยู่ประมาณ 0.001% ถึงแม้ว่าจะมีค่าน้อยแต่ก็เป็นปัญหาสำคัญอย่างมากกับระบบที่มีความเร็วในการส่งข้อมูลสูง

ถึงแม้ว่าจะมีการทำให้สัญญาณนาฬิกาตรงกันอย่างสมบูรณ์แล้วก็ตาม แต่ระหว่างการส่งสัญญาณจากภาคส่งไปยังภาครับจะเกิดความแตกต่างทางเวลาขึ้น ซึ่งก็จะทำให้เกิดปัญหาในการรับสัญญาณ

ข้อจำกัดของระบบที่ไม่ซิงโครไนซ์นี้ จะทำให้สามารถใช้ได้กับระบบที่มีอัตราการส่งข้อมูลต่ำ เพราะถ้าหากส่งด้วยอัตราข้อมูลสูงๆ ความแตกต่างของสัญญาณนาฬิกาจะเป็นตัวที่ทำให้เกิดการผิดพลาดขึ้น และในระบบที่มีอัตราการส่งข้อมูลต่ำนี้ ค่าความแตกต่างของสัญญาณนาฬิกาจะมีค่าที่ต่ำมากเมื่อเทียบกับช่วงเวลาของบิทสัญญาณ ซึ่งจะไม่มีผลกับระบบที่ไม่ซิงโครไนซ์มากนัก โดยทั่วไปอัตราการส่งข้อมูลที่ใช้ในระบบนี้จะมีค่าไม่เกิน 100 กิโลบิทต่อวินาที

สำหรับระบบที่มีอัตราการส่งข้อมูลสูงๆ หรือส่งข้อมูลเป็นสตรีม (stream) จำเป็นที่จะต้องใช้วิธีการซิงโครไนซ์เซชั่น 3 วิธี ดังต่อไปนี้

1. ส่งสัญญาณนาฬิกา แยกกับ สัญญาณข้อมูล
2. ใช้วิธีสร้างสัญญาณนาฬิกาขึ้นมาใหม่
3. ส่งบิทข้อมูลพิเศษ ร่วมไปกับ สตรีมของบิทข้อมูล

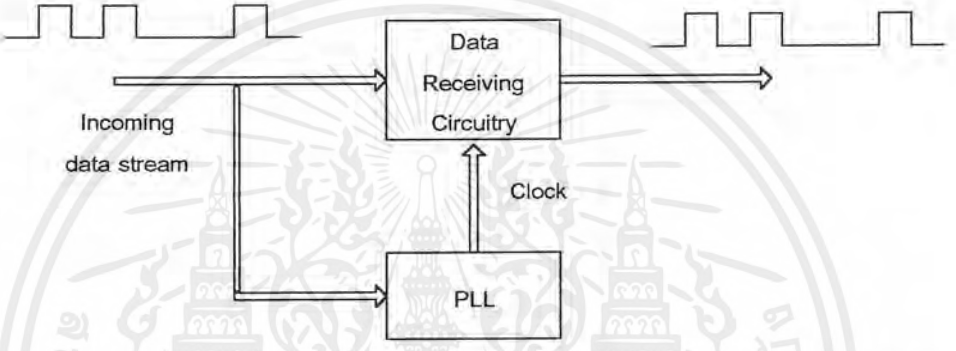
วิธีแรก เป็นวิธีที่มีประสิทธิภาพมากเมื่อใช้กับการสื่อสารที่ใช้สายส่งแบบไวร์ (wire) แบบเคเบิ้ล (cable) ที่มีระยะทางไม่มากนัก

วิธีที่ 2 จะเป็นการดึงสัญญาณนาฬิกา ออกมาจากสัญญาณที่รับได้ทางภาครับ ซึ่งจากทฤษฎีการวิเคราะห์ฟูเรียร์จะพบว่าความถี่และเฟสของสัญญาณนาฬิกาจะเป็นองค์ประกอบทางสเปกตรัม(Spectrum) ของบิทสตรีมที่ส่งมา ถ้าหากว่าเกิดการเปลี่ยนแปลงของความถี่ของสัญญาณนาฬิกาไม่ว่าจะด้วยเหตุผลใด

เอกสารนี้เป็นเอกสารที่สงวนลิขสิทธิ์ ห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้ ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ก็ตาม ทางภาครับก็จะสามารถแก้ไขได้โดยอัตโนมัติ เทคนิคที่ใช้โดยทั่วไปคือเฟสล็อกลูป (Phase-Locked Loop : PLL)

เฟสล็อกลูป จะถูกสร้างขึ้นเพื่อรับบิทสตรีม(Bit Stream)ที่จะเข้ามา โดยธรรมชาติของเฟสล็อกลูปมันจะล็อกความถี่ที่สัญญาณนาฬิกาส่งมากับบิทสตรีม สำหรับความถี่ที่เปลี่ยนแปลงไปในช่วงการส่งจะถูกทำให้ตรงกันโดยวงจรกำเนิดความถี่ที่ควบคุมด้วยแรงดัน (VCO) ซึ่งเอาท์พุทของวงจรจะมีค่าความถี่ที่ใกล้เคียงกับความถี่ของสัญญาณนาฬิกาที่ถูกส่งมาจากทางด้านส่งอย่างมาก เฟสล็อกลูปเป็นวิธีที่มีประสิทธิภาพสูงมาก และมักถูกนำไปใช้กับระบบที่ต้องการประสิทธิภาพสูง ไม่ว่าจะเป็นระบบที่มีอัตราการส่งข้อมูลสูง หรือระบบที่ทำการปรับค่าสัญญาณนาฬิกายากก็ตาม



รูปที่ 2.15 แสดงการใช้เฟสล็อกลูปเพื่อสร้างสัญญาณนาฬิกาจากสัญญาณข้อมูลที่ได้รับ

ตัวอย่างการนำเฟสล็อกลูปไปใช้ เช่น ในระบบการสื่อสารดาวเทียม ที่จะต้องรับสัญญาณนาฬิกาที่มีการเปลี่ยนแปลงสูงมากเนื่องมาจาก อุณหภูมิของดาวเทียม และการเดินทางของคลื่นผ่านชั้นบรรยากาศ จึงมีการนำเอาเฟสล็อกลูป มาใช้กับระบบนี้

ถึงแม้ว่าเฟสล็อกลูปจะมีประสิทธิภาพมากก็ตาม แต่ก็ยังมีปัญหาเนื่องจากวงจรกำเนิดความถี่ที่ควบคุมด้วยแรงดันนั้นจะปรับค่าความถี่สัญญาณนาฬิกา ตามรูปแบบของบิทสัญญาณ (1 หรือ 0) ที่มากับสัญญาณที่รับได้ ดังนั้น ถ้าหากว่าบิทสตรีม ประกอบด้วย บิท 1 หรือ 0 เพียงอย่างเดียวที่ยาวมาก ซึ่งอาจจะมองดูคล้ายเป็นสัญญาณไฟตรง ก็จะทำให้เกิดปัญหาขึ้นกับการล็อกความถี่ของเฟสล็อกลูปซึ่งเราสามารถแก้ปัญหานี้ได้โดยใช้เทคนิคบิทสตัฟฟิ่ง(bit stuffing) ซึ่งก็คือการใส่ บิท 1 หรือ 0 เข้าไปต่อหลัง เมื่อเกิดบิท 1 หรือ 0 ต่อกันยาวๆ โดยทั่วไปแล้วจะใส่ บิทสตัฟฟิ่งเข้าไปหลังบิท 1 หรือ 0 ที่ยาวต่อกันเกิน 8 ตัว

วิธีสุดท้ายเป็นวิธีที่ใช้บิทพิเศษใส่ลงไปในบิทสตรีม โดยที่บิทพิเศษนี้เรียกว่า ซิงค์บิท (sync bit) เพื่อให้ด้านรับสามารถทำการ รีซิงโครไนซ์ได้โดยใช้ซิงค์บิทนี้ โดยทั่วไปแล้วจะใส่ซิงค์บิท ทุกๆ 8-256 บิทข้อมูล แต่อย่างไรก็ตาม การใช้รูปแบบซิงค์ 4 บิท เช่น 1010 เข้าไปทุกๆ 256 บิทข้อมูลแล้ว จะเป็นการสูญเสียบิทเพียง 1.5% ซึ่งจะน้อยกว่าการใส่ซิงค์บิททุกๆ 8 บิทข้อมูล

อย่างไรก็ตามก็มีหลายระบบด้วยกันที่เลือกวิธีการซิงโครไนซ์ ด้วยวิธีผสมระหว่าง ซิงค์บิท และการสร้างสัญญาณนาฬิกาขึ้นมาใหม่

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

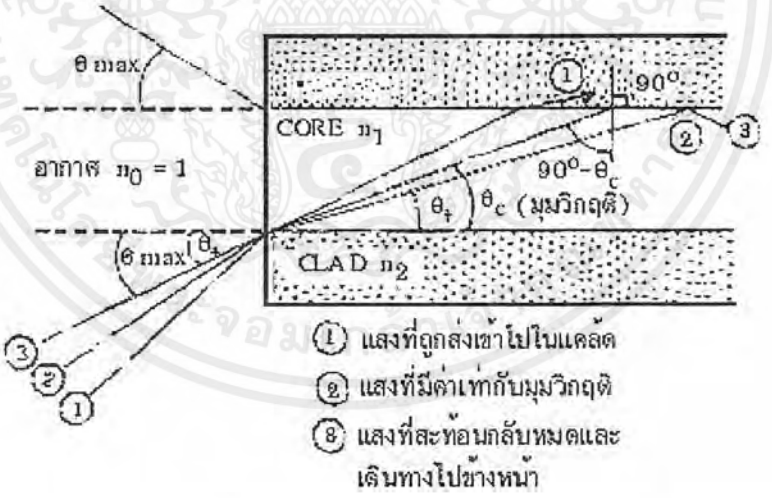
2.5 เส้นใยแสง(Optical Fiber)

เส้นใยแสงคือ เส้นใยขนาดเล็กที่ทำหน้าที่เป็นตัวนำแสง โครงสร้างของเส้นใยแสงประกอบด้วยส่วนที่แสงเดินทางผ่านเรียกว่า คอร์ (core) และส่วนที่หุ้มคอร์อยู่เรียกว่า แคล้ด (clad) ซึ่งทั้งสองทำจากสารไดอิเลกตริกใส 2 ชนิด โดยค่าดัชนีหักเหของแคล้ดมีค่าน้อยกว่าค่าดัชนีหักเหของคอร์อยู่เล็กน้อยประมาณ 0.2-3% การเดินทางของแสงผ่านคอร์นั้นจะอาศัยปรากฏการณ์สะท้อนกลับหมดของแสง ขนาดเส้นผ่านศูนย์กลาง ด้านนอกของแคล้ด มีขนาดประมาณ 0.1 มิลลิเมตร ส่วนคอร์ที่แสงเดินทางมีขนาดเล็กมาก หน่วยเป็น ไมโครเมตร ซึ่งมีค่ามากกว่าความยาวคลื่นแสงประมาณ หลายเท่าถึงหลายสิบเท่า นอกจากนี้แล้วคุณสมบัติที่สำคัญของเส้นใยแสงที่นอกจากจะมีขนาดเล็กแล้ว ยังมีคุณสมบัติการส่งที่ดีอีกด้วย

ลักษณะการเดินทางของแสงในเส้นใยแสง

- การป้อนแสงเข้าไปในเส้นใยแสง

แสงที่ปล่อยมาจากแหล่งกำเนิดแสงนั้นจะกระจายกว้างออก เนื่องจากปรากฏการณ์การเบี่ยงเบนของแสง การป้อนแสงเข้าไปจึงต้องทำการรวมแสง แต่ว่าแสงที่มีมุมตกกระทบที่เหมาะสมเท่านั้นจึงจะสามารถผ่านเข้าไปในเส้นใยแสงได้ จากรูปที่ 2.16 ซึ่งจะแสดงมุมรับแสงของเส้นใยแสง จากรูปจะเห็นว่าที่จุดป้อนแสงของเส้นใยแสงนั้นจะเป็นจุดต่อของตัวกลางที่มีค่าดัชนีการหักเหของแสงต่างกัน 3 ชนิด



รูปที่ 2.16 แสดงมุมรับแสงของเส้นใยแสง

ตัวกลาง 3 ชนิดนี้ คือ อากาศ คอร์ของเส้นใยแสง และแคล้ดของเส้นใยแสง ถ้าให้ดัชนีหักเหของแสงของตัวกลางทั้ง 3 ชนิดนี้เป็น n_0 ($n_0 = 1$) , n_1 และ n_2 ตามลำดับ จะเกิดการหักเห , การสะท้อนกลับของแสงที่รอยต่อของอากาศกับคอร์ และคอร์กับแคล้ด ในที่นี้ให้มุมรับแสงของเส้นใยแสงที่มีค่ามากที่สุดเป็น θ_{max} จากรูปจะเห็นว่าลำแสง 2 นั้นมีมุมรับแสงตรงรอยต่อของคอร์กับแคล้ดนั้น มีค่าเป็นมุมวิกฤติ (Critical Angle) ตรงรอยต่อของอากาศกับคอร์ และของคอร์กับแคล้ดนั้น จากกฎของสเนลล์ จะได้ว่า

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สำนักหอสมุดกลาง พระจอมเกล้าลาดกระบัง

$$\sin\theta_{mac} = n_1 \sin\theta_c$$

$$\sin(90^\circ - \theta_c) = \cos\theta_c = \frac{n_2}{n_1}$$

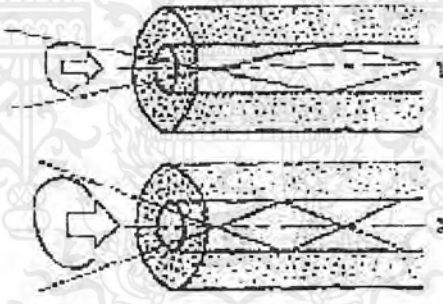
ดังนั้นกรณีที่มุมรับแสง θ_{max} มีค่าสูงสุดได้นั้น $n_1 = n_2$ จาก 2 สมการข้างบนจะได้ว่า

$$\sin\theta_{max} = n_1\sqrt{\frac{n_1^2 - n_2^2}{n_1^2}} = n_1\sqrt{2\Delta}$$

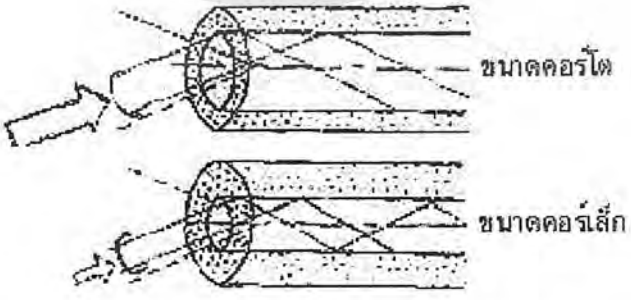
ในที่นี้ $$\Delta = \frac{(n_1 - n_2)}{n_1}$$

เรียกว่า อัตราส่วนของผลต่างของดัชนีการหักเหของแสง

สำหรับ $\sin\theta_{max}$ นี้ ตามศัพท์เทคนิคของวิชาแสง เรียกว่า นิวเมอริคัล อะเพอเจอร์ (NUMERICAL APERTURE:NA) หมายถึงขนาดของการเปิดรับให้แสงผ่าน และใช้เป็นตัวแสดงเงื่อนไขการป้อนแสงเข้าไปในเส้นใยแสง นอกจากนั้นยังถือเป็นตัวประกอบพื้นฐานอันหนึ่งที่มีผลต่อประสิทธิภาพการเชื่อมต่อแสงระหว่างต้นกำเนิดแสงกับเส้นใยแสงด้วย ในรูปที่ 2.17 แสดงความหมายของ NA และ ขนาดของคอร์ที่มีผลต่อประสิทธิภาพการเชื่อมต่อแสง ระหว่างต้นกำเนิดแสงกับเส้นใยแสง



(a)กรณีขนาดคอร์โตเท่ากัน แต่ค่า NA ต่างกัน



(b)กรณีค่า NA เท่ากัน แต่ขนาดคอร์ต่างกัน

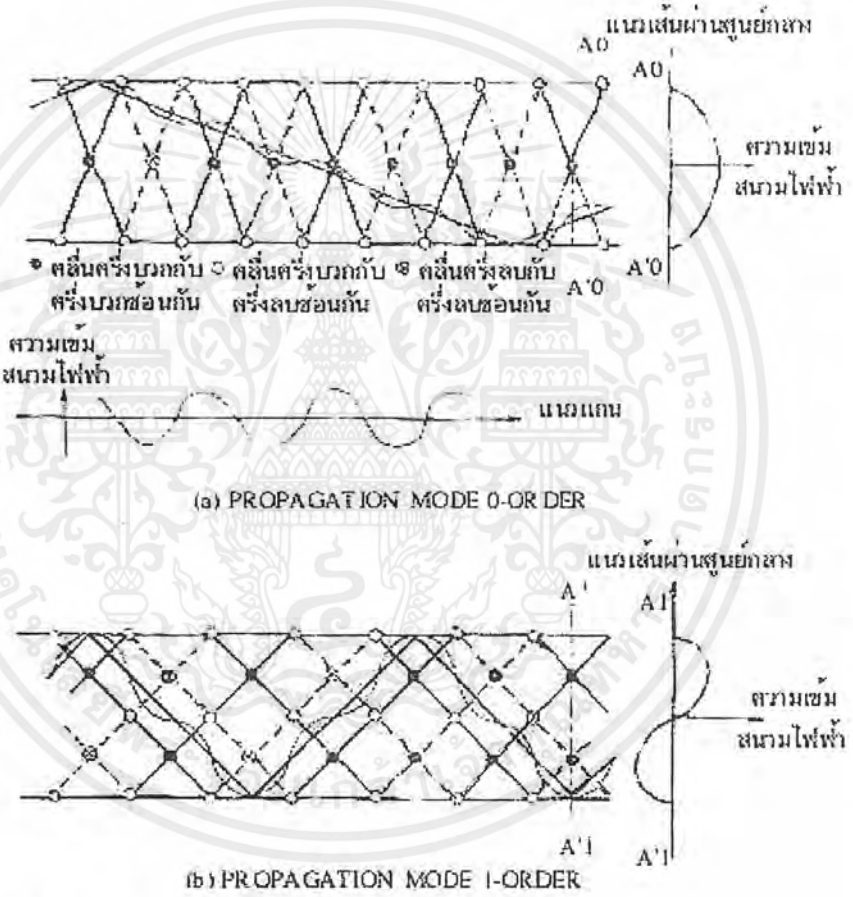
รูปที่ 2.17 แสดงผลของ NA และขนาดของคอร์ที่มีต่อประสิทธิภาพของการเชื่อมต่อแสงระหว่างต้นกำเนิดแสงกับเส้นใยแสง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากรูปจะเห็นว่าถ้าหากขนาดของคอร์และ NA มีค่าลงที่แล้ว จะกำหนดปริมาณของแสงที่ป้อนเข้าไปในคอร์ได้ทันที เส้นใยแสงที่มีคอร์ขนาดใหญ่และมีค่า NA มากจะมีประสิทธิภาพการเชื่อมต่อแสงระหว่างต้นกำเนิดแสงกับเส้นใยแสงสูงมาก

- โหมดการเดินทางของแสง (PROPAGATION MODE)

จากรูปแสดงลักษณะของความเข้มของสนามไฟฟ้าภายในคอร์ของเส้นใยแสงที่เกิดขึ้นจากการอินเทอร์เฟอร์เร้นท์ (Interference) ของแสงตกกระทบและแสงสะท้อนที่มีค่ามุมสะท้อนกลับเป็นพิเศษเฉพาะ



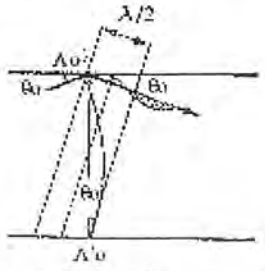
รูปที่ 2.18 แสดงโหมดการเดินทางของการเดินทางของแสงภายในเส้นใยแสง

จากรูป 2.18 จะเห็นได้ว่าเป็นการแสดง อินเทอร์เฟอร์เร้นท์ ของแสงที่มีมุมสะท้อนกลับเป็นพิเศษเฉพาะ ซึ่งจะทำให้ความเข้มของสนามไฟฟ้าเปลี่ยนแปลง 180^0 , 360^0 ในทิศทางของรัศมี ลักษณะการเดินทางของแสงที่มีการเปลี่ยนแปลงของสนามไฟฟ้าเป็นพิเศษเฉพาะภายในคอร์ ของเส้นใยแสงนี้ เรียกว่า โหมดการเดินทางของแสง (Propagation Mode) จำนวนโหมดการเดินทางมีค่าจำกัดตามเงื่อนไขของการสะท้อนกลับหมด และนิยมตั้งชื่อ โหมดตามลำดับจาก โหมดการเดินทางที่มีค่ามุมสะท้อนกลับน้อยไปหามาก คือ โหมด0 , โหมด1 , โหมด2 ,..., โหมด (N-1)

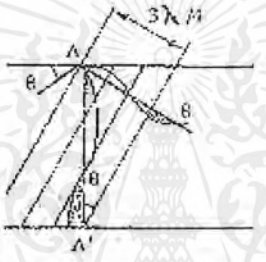
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จำนวนโหมดการเดินทางของแสง

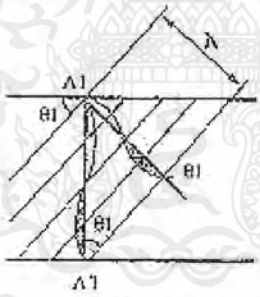
โหมดที่สูงที่สุดของโหมดการเดินทางคือ (N-1) นั้นเป็นโหมดการเดินทางที่มีมุมสะท้อนกลับใกล้เคียงกับมุมวิกฤติ ดังนั้นถ้าหากให้จำนวนโหมดการเดินทาง N มีค่ามุมสะท้อนกลับเท่ากับมุมวิกฤติ θ_c



(a) เมื่อแสงที่มีมุมสะท้อนกลับ θ_0 เคลื่อนที่ไปλ/2 เฟสของความเข้มสนามไฟฟ้าระหว่าง A_0 A'_0 จะเปลี่ยนไป 180°



(b) ไม่มีคลื่นเอี่ยงจริงในแนวเส้นผ่านศูนย์กลาง



(c) เฟสของความเข้มสนามไฟฟ้าในแนวเส้นผ่านศูนย์กลาง เปลี่ยนแปลง 180 °

รูปที่ 2.19 แสดงมุมสะท้อนกลับของแสงที่ทำให้เกิดคลื่นอยู่กับที่ในทิศทางของรัศมี

จากรูปที่ 2.19 จะได้ว่า N เป็นเลขเต็มหน่วยสูงสุดที่ทำให้

$$2a\sin\theta_c \geq N\frac{\lambda}{2}$$

โดยที่ N = 0 , 1 , 2 ,..., N-1

ในที่นี้ 2a เป็นขนาดเส้นผ่านศูนย์กลางของคอร์ของเส้นใยแสง และจากสมการในเรื่องการป้อนแสงในเส้นใยแสง จะได้ว่า

$$\sin\theta_c = \frac{\sin\theta_{max}}{n_1} = \sqrt{\frac{n_1^2 - n_2^2}{n_1^2}}$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

แต่เนื่องจาก $\lambda = \frac{\lambda_0}{n_1}$

ดังนั้น

$$N \leq \frac{4a}{\lambda}\sqrt{n_1^2 - n_2^2}$$

ถ้าเส้นใยแสงที่มีจำนวนโหมดการเดินทางของแสงจำนวนมากเรียกว่า เส้นใยแสงแบบมัลติโหมด (Multimode Optic Fiber)

และถ้าหาค่า N ออกมาได้เท่ากับ 1 หมายความว่ามีเพียงโหมดการเดินทาง 0 เท่านั้นที่สามารถเดินทางไปในเส้นใยแสงได้ เรียกเส้นใยแสงชนิดนี้ว่า เส้นใยแสงแบบซิงเกิ้ลโหมด (Single Mode Optic Fiber)

จากสมการที่ได้ จะเห็นว่าจำนวน โหมดการเดินทาง (N) ขึ้นอยู่กับความยาวคลื่น (λ) ดังนั้นที่ค่าความยาวคลื่นค่าหนึ่ง N จะเป็นซิงเกิ้ลโหมด และที่ค่าความยาวคลื่นอื่นซึ่งมีค่าน้อยกว่าความยาวคลื่นนี้แล้ว N จะไม่เป็นซิงเกิ้ลโหมด ค่าความยาวคลื่นต่ำสุดที่ทำให้ N เป็นซิงเกิ้ลโหมดนี้ เรียกว่า ความยาวคลื่นคัทออฟ (Cut-Off Wave Length) ใช้สัญลักษณ์ λ_c และจากสมการที่ได้ สามารถเขียนได้ว่า

$$\lambda_c = 4a\sqrt{n_1^2 - n_2^2}$$

จากสมการที่แล้วนี้ เป็นในกรณีที่สมมุติว่าเส้นใยแสงแบน แต่ในความจริงแล้วเส้นใยแสงมีลักษณะกลม ดังนั้นจึงเปลี่ยนสมการเป็น

$$\lambda_c = \frac{2\pi}{2.405}\sqrt{n_1^2 - n_2^2}$$

สำหรับ λ_c นั้นถือเป็นองค์ประกอบสำคัญอันหนึ่ง ในการแสดงคุณสมบัติของเส้นใยแสงที่เป็นซิงเกิ้ลโหมด

ชนิดของเส้นใยแสง

วิธีการแบ่งชนิดของเส้นใยแสงมีหลายวิธี เช่น แบ่งตามชนิดของสารไดอิเล็กทริกที่ใช้ แบ่งตามจำนวนโหมดการเดินทางของแสง แบ่งตามลักษณะของดัชนีการหักเหของคอร์ ดังแสดงในตารางที่ 2.1

ตารางที่ 2.1 แสดงการแบ่งชนิดของเส้นใยแสง

แบ่งตามชนิดของสารไดอิเล็กทริกที่ใช้	Silica Glass Optic Fiber
	Multi-Component Glass Optic Fiber
	Plastic Optic Fiber
แบ่งตามจำนวนโหมดการเดินทางของแสง	Single Mode Optic Fiber
	Multi Mode Optic Fiber
แบ่งตามลักษณะของดัชนีการหักเหของคอร์	Step Index Optic Fiber
	Graded Index Optic Fiber

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

1. การแบ่งตามชนิดของสารไดอิเล็กทริกที่ใช้ สามารถแบ่งออกเป็น 3 ชนิด คือ

   1) แบบแก้วซิลิกา (Silica Glass Optic Fiber) ใช้สารไดอิเล็กทริกที่เป็น แก้วซิลิกา

   2) แบบแก้วหลายชนิด (Multi-Component Glass Optic Fiber)ใช้แก้วหลายชนิดปนกัน

   3) แบบพลาสติก (Plastic Optic Fiber) ใช้สารไดอิเล็กทริกที่เป็นพลาสติก

   สำหรับ 1) นั้นนอกจากจะใช้ ซิลิกา (Silica:SiO_2) เป็นส่วนใหญ่แล้วยังใช้สารอื่นเติมลงไปอีกเพื่อให้ค่าดัชนีการหักเหเปลี่ยนแปลงตามต้องการ สารที่เติมลงไปเรียกว่า โดแพนท์ (DOPANT)

   สำหรับ 2) นั้นส่วนมากจะใช้ โซเดียมแคลเซียม (Soda Calcium) , แก้ว , แก้วที่มีโบรอนและซิลิกอนผสมอยู่ด้วย เป็นสารหลัก และยังต้องเติม โดแพนท์ ลงไปด้วยเช่นกัน

   สำหรับ 3) นั้นใช้สารพวก ซิลิกอนเรซิน (Silicon Resin) , อะคริลเรซิน (Acryl Resin) เป็นต้น

   เคเบิ้ลเส้นใยแสงที่นิยมใช้กันในการสื่อสารโทรคมนาคมนั้นนิยมใช้เส้นใยแสงแบบแก้วซิลิกา เพราะมีข้อดี คือ มีการสูญเสียต่ำ และคุณสมบัติการส่งคงที่ไม่เปลี่ยนแปลง

2. การแบ่งตามจำนวนโหมดการเดินทางของแสง

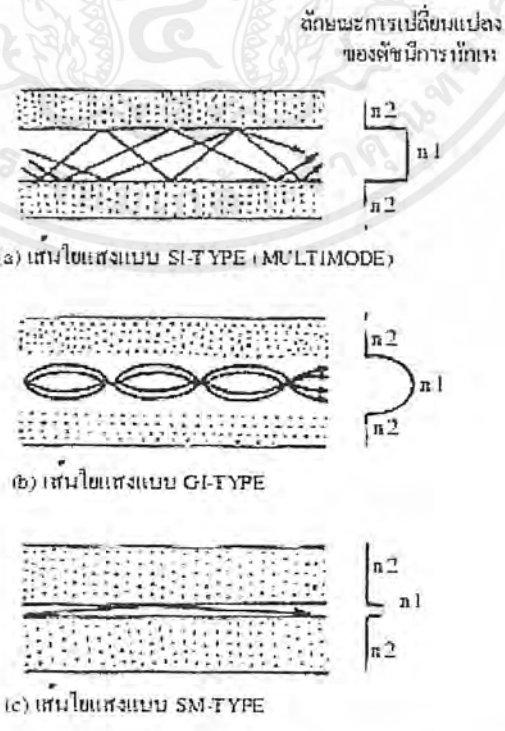
   สามารถแบ่งออกเป็น 2 ชนิด คือ ซิงเกิ้ลโหมดและมัลติโหมด

3. การแบ่งตามลักษณะของดัชนีการหักเห สามารถแบ่งออกเป็น 2 ชนิด คือ

   1) แบบขั้นบันได (Step Index Optic Fiber:SI-Fiber) เป็นเส้นใยแสงที่มีลักษณะการเปลี่ยนแปลงของดัชนีการหักเหระหว่างคอร์กับแคล้ด เป็นลักษณะขั้นบันได (STEP)

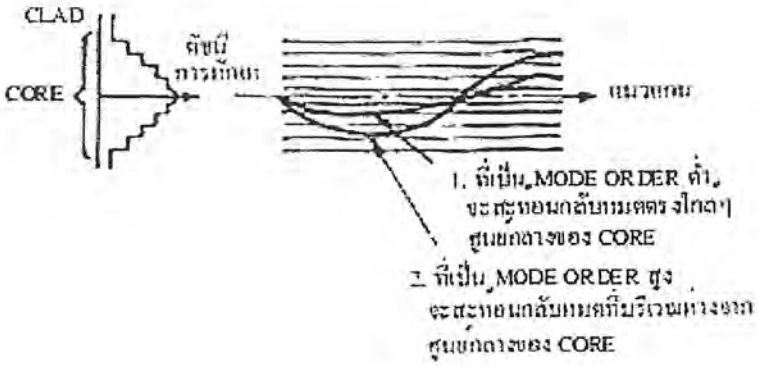
   2) แบบจีไอ (Graded Index Optic Fiber:GI-Fiber) เป็นเส้นใยแสงที่มีลักษณะการเปลี่ยนแปลงของดัชนีการหักเหระหว่างคอร์กับแคล้ด ค่อยๆลดลงทีละน้อย

   ลักษณะการเดินทางของแสงในคอร์ ของเส้นใยแสงแต่ละชนิดแสดงดังในรูป 2.20



รูปที่ 2.20 แสดงลักษณะการเดินทางของแสงในคอร์ของเส้นใยแสงแต่ละชนิด

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.21 แสดงลักษณะการเดินทางของแสงใน เส้นใยแสงแบบจีไอ

จากรูปที่ 2.21 จะเห็นว่า ค่าดัชนีการหักเหของเส้นใยแสงแบบจีไอ นี้จะค่อยๆลดลงทีละน้อยในแนวรัศมีของเส้นใยแสง ดังนั้น ลำแสง(1) ที่มีโหมดต่ำและเดินทางในระยะทางสั้นนั้นจะสะท้อนกลับก่อนที่จะเดินทางไปถึงรอยต่อของคอร์กับแคล้ด ซึ่งกล่าวได้ว่าส่วนใหญ่จะผ่านส่วนที่มีดัชนีการหักเหสูงของคอร์ ส่วนลำแสงที่มีโหมดสูงและเดินทางในระยะทางไกลนั้น ส่วนใหญ่จะผ่านส่วนที่มีดัชนีการหักเหต่ำของคอร์ อนึ่งความเร็วในการเดินทางของแสงนั้นจะเป็นสัดส่วนกลับกับค่าดัชนีการหักเห ดังนั้นสำหรับ โหมดการเดินทางที่ (1) และ (2) นั้น โดยการเลือกลักษณะการเปลี่ยนแปลงของดัชนีการหักเห (เรียกว่า PROFILE) ให้เหมาะแล้วเราจะทำให้เวลาที่ใช้ในการเดินทางในระยะทางอันหนึ่งของโหมดการเดินทางที่ (1) และ (2) มีค่าเท่ากันได้ด้วยจุดประสงค์อันนี้ ลักษณะการเปลี่ยนแปลงของค่าดัชนีการหักเหที่เหมาะสมที่สุดเพื่อทำให้ผลต่างของเวลาการเดินทางระหว่าง โหมดการเดินทางต่างๆมีค่าน้อยที่สุดได้นั้น กล่าวกันว่าจะต้องมีรูปร่างเป็นลักษณะพาราโบล่า (Parabola) ดังนั้น ลักษณะการเปลี่ยนแปลงของค่าดัชนีการหักเหของ GI-Fiber จึงต้องทำให้มีรูปร่างดังแสดงในรูป 2.21

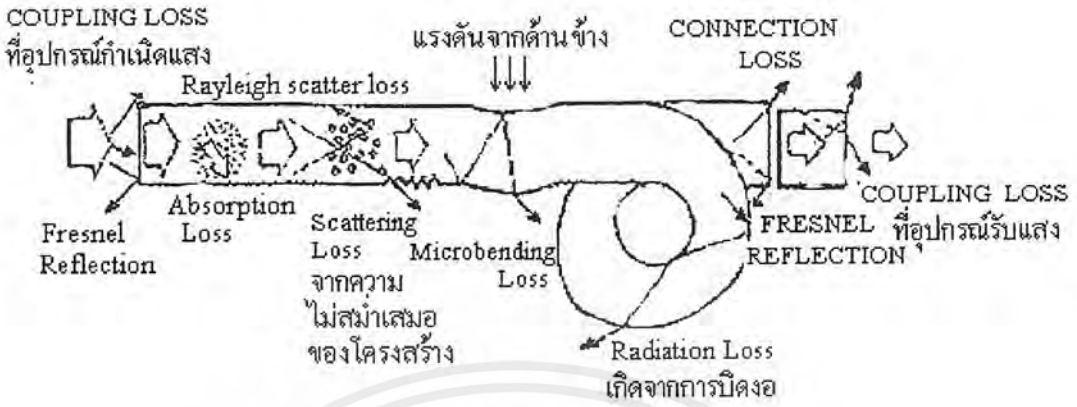
คุณสมบัติของเส้นใยแสง

- การสูญเสียแสงในเส้นใยแสง

ในระบบการสื่อสารด้วยเส้นใยแสงนั้น มีองค์ประกอบที่สำคัญ 2 อย่างที่จะกำหนดความเร็วในการส่ง (Transmission Speed) และระยะห่างของการถ่ายทอดสัญญาณ (Repeater Span) คือ การสูญเสียแสง (Optical Loss) กับ แบนด์วิดท์ของการส่ง (Transmission Bandwidth) การสูญเสียแสงเป็นตัวบอกให้ทราบว่า กำลังของแสงที่เดินทางไปในเส้นใยแสงนั้นจะลดลงไปจากเดิมเท่าไร ซึ่งการสูญเสียแสงนี้ยิ่งมีค่าน้อยเท่าไร จะทำให้สามารถส่งสัญญาณแสงได้ไกลมากยิ่งขึ้น

การสูญเสียแสง แบ่งออกตามความแตกต่างของโครงสร้างที่เกิดขึ้นได้เป็นการสูญเสียที่มีอยู่ในตัวของเส้นใยแสงเอง (Fixed Loss) และการสูญเสียที่เพิ่มขึ้นมา (Addition Loss) เมื่อนำไปใช้ในระบบสื่อสาร สาเหตุที่ทำให้เกิดการสูญเสียแสง แสดงดังรูปที่ 2.22

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.22 แสดงสาเหตุต่างๆที่ทำให้เกิดการสูญเสียแสง

จะเห็นว่าการสูญเสียที่มีอยู่ในตัวของเส้นใยแสงเองนั้น เกิดจากสาเหตุต่างๆ ได้แก่

1) การสูญเสียแสงที่เกิดจากการดูดแสง (Absorption Loss)

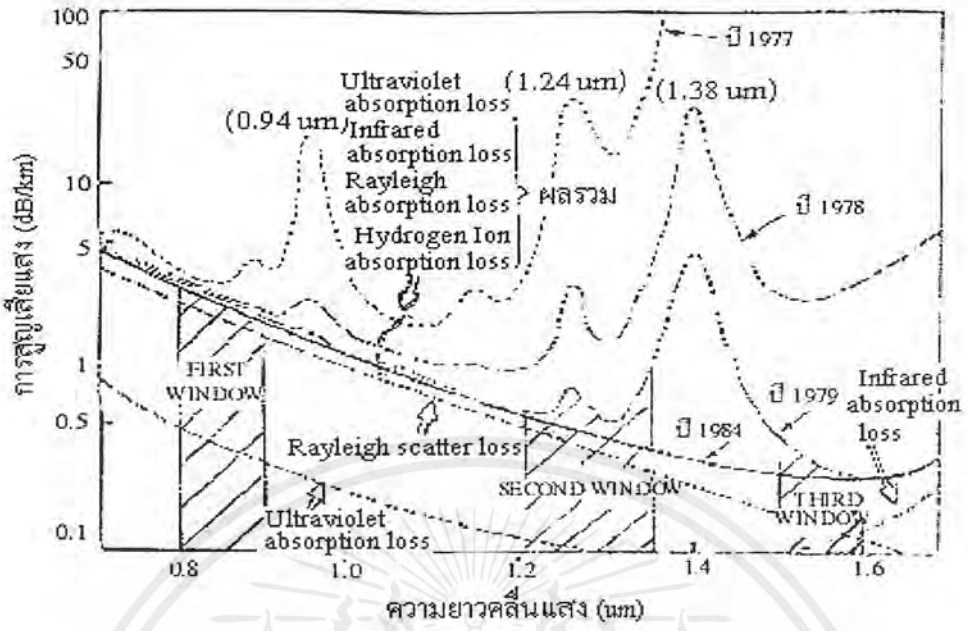
โดยปกติแล้ว สารที่ใช้ผลิตเส้นใยแสงนั้นจะเป็นตัวดูดแสงที่เดินทางในเส้นใยแสง แล้วเปลี่ยนเป็นการสูญเสียทางความร้อนโดยทั่วไป โดยอาจเกิดจากการดูดแสงจากสารที่ใช้ทำแก้วเอง หรือ สารที่เจือปนอยู่ในแก้ว

สำหรับการดูดแสงของแก้วเองนั้น จะดูดแสงอัลตร้าไวโอเล็ตที่ความยาวคลื่นใกล้กับ 0.1 ไมโครเมตร มากที่สุด กับแสงอินฟราเรด ที่ความยาวคลื่นใกล้กับ 10 ไมโครเมตร ส่วนที่ความยาวคลื่นอื่นๆนั้น การสูญเสียจากการดูดแสงจะลดลงอย่างมาก ดังแสดงในรูปที่ 2.23 จะเห็นว่า จากความยาวคลื่นประมาณ 1.0 ไมโครเมตร ไปจนถึงประมาณ 1.6 ไมโครเมตร การสูญเสียจะลดลงอย่างมาก

การสูญเสียจากการดูดแสงของสิ่งแปลกปลอมที่ปนอยู่นั้น ในยุคแรกๆของการพัฒนาเส้นใยแสงนั้น พบว่าส่วนใหญ่เป็นอิออนของโลหะต่างๆ แต่ต่อมาสามารถทำให้การสูญเสียของเส้นใยแสงลดลงโดยการกำจัดอิออนของโลหะต่างๆออกไปได้ ในปัจจุบันนี้สารเจือปนมักจะเป็นไฮดรอกซีอิออน

ค่าสูญเสียแสงสูงสุดที่ความยาวคลื่น 0.94 ไมโครเมตร , 1.24 ไมโครเมตร และ 1.38 ไมโครเมตร นั้นเป็นการสูญเสียจากการดูดของ ไฮดรอกซี อิออน และส่วนที่เป็นหุบเขา เรียกว่า วินโดว์ ของเส้นใยแสงบริเวณใกล้ๆกับความยาวคลื่น 0.85 ไมโครเมตร , 1.3 ไมโครเมตร และ 1.55 ไมโครเมตร (เรียกว่าวินโดว์ที่1 , 2 , 3 ตามลำดับ) นั้นมีการสูญเสียของแสงต่ำ ซึ่งเราจะใช้ความยาวคลื่นเหล่านี้มาใช้งาน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.23 แสดงคุณสมบัติการสูญเสียแสงจากการดูดแสงของเส้นใยแสงที่ทำด้วยแก้ว

2) การสูญเสียแสงที่เกิดจากการกระจัดกระจายแสงแบบเรลี่ (Rayleigh Scattering Loss)

เกิดขึ้นเมื่อแสงเดินทางไปกระทบกับวัตถุที่มีขนาดใกล้เคียงกับความยาวคลื่นแล้วทำให้แสงนั้นกระจัดกระจายออกไปในทิศทางต่างๆ

เนื่องจากการผลิตเส้นใยแสงจะเกิดความไม่สม่ำเสมอของความหนาแน่นของสารทำแก้ว (หรือคือความไม่สม่ำเสมอของดัชนีหักเหนั่นเอง) ตกค้างอยู่ในเส้นใยแสง เป็นสาเหตุทำให้เกิดการสูญเสียแสงที่เกิดจากการกระจัดกระจายแสงแบบเรลี่ในเส้นใยแสง ซึ่งเราจะไม่สามารถหลีกเลี่ยงได้ในขั้นตอนของการผลิต ถือเป็นการสูญเสียแสงที่มีอยู่ในเส้นใยแสงอยู่แล้ว ขนาดของการกระจัดกระจายแสงแบบเรลี่ จะเป็นสัดส่วนกลับกับความยาวแสงยกกำลัง 4 ดังนั้น จากรูปที่ 2.23 ก็จะเห็นว่า ถ้าความยาวคลื่นแสงเพิ่มขึ้น การกระจัดกระจายแสงแบบเรลี่ จะมีค่าน้อยลง

3) การสูญเสียแสงจากการกระจัดกระจายแสง อันเนื่องมาจากความไม่สม่ำเสมอของโครงสร้างในเส้นใยแสง (Ununiformity Loss)

สำหรับเส้นใยแสงที่สร้างขึ้นมาจริงๆนั้น จากสาเหตุต่างๆในการสร้างทำให้ไม่สามารถได้เส้นใยแสงที่มีลักษณะกลม 100 เปอร์เซ็นต์ นอกจากนั้น คอร์และแคล้ดที่ประกอบกันเป็นเส้นใยแสงก็ไม่สามารถทำให้ได้ลักษณะรูปทรงกระบอกที่สม่ำเสมอกันอย่างสมบูรณ์ตลอดความยาวของเส้นใยแสงได้ คือตรงรอยต่อของคอร์กับแคล้ดนั้นจะไม่สม่ำเสมอตลอด มีลักษณะขรุขระ และเมื่อรอยต่อไม่เรียบเช่นนี้จะทำให้เกิดการกระจัดกระจายของแสง ดังแสดงในรูป 2.22 ทำให้แสงบางส่วนไม่สามารถเดินทางไปในคอร์ได้ จะกระจัดกระจายออกไปข้างนอก ดังนั้นรอยต่อที่ไม่เรียบสม่ำเสมอจะทำให้แสงที่เดินทางเกิดการสะท้อนกลับอย่างสะเปะสะปะ ทำให้เกิดการสูญเสียของแสงเพิ่มขึ้น

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

นอกจากนี้ยังมีการสูญเสียที่เพิ่มขึ้นมาจากสาเหตุต่างๆดังนี้

1) การสูญเสียจากการกระจายแสงอันเนื่องมาจากการงอโค้งของเส้นใยแสง (Bending Loss)

เกิดขึ้นเมื่อเส้นใยแสงถูกทำให้งอโค้งไป สำหรับการงอโค้งเส้นใยแสงดังแสดงในรูป 2.22 แสงที่มีมุมงอโค้งมากกว่ามุมวิกฤติแล้ว แสงนั้นจะกระจายออกไปนอกคอร์ ทำให้เกิดการสูญเสียขึ้น ดังนั้นในการออกแบบระบบการสื่อสารด้วยเส้นใยแสง จะต้องระมัดระวังอย่าให้เกิดมีการงอเส้นใยแสงเป็นส่วนโค้งที่มีรัศมีเกินกว่ารัศมีที่ยอมให้งอโค้งได้

2) การสูญเสียที่เกิดจากการงอโค้งแบบไมโครเบนดิ้ง (Micro Bending Loss)

เป็นการสูญเสียที่เกิดจากการที่มีแรงกดที่ไม่สม่ำเสมอมากระทำต่อด้านข้างของเส้นใยแสง ทำให้แกนของเส้นใยแสงบิดงอไปเล็กน้อย (ประมาณ 2-3 ไมโครเมตร) เป็นเหตุให้การสูญเสียเพิ่มขึ้น การสูญเสียนี้เรียกว่า การสูญเสียที่เกิดจากการงอโค้งแบบไมโครเบนดิ้ง ด้วยเหตุนี้ในการออกแบบโครงสร้างเส้นใยแสงจะต้องทำการป้องกันแรงกดจากทางด้านข้างด้วย

3) การสูญเสียที่เกิดจากการต่อเส้นใยแสง (Connection Loss)

การต่อเส้นใยแสง 2 เส้นเข้าด้วยกันนั้น จะต้องทำการปรับคอร์ทั้งสองให้ตรงกันพอดี ถ้าหากว่าคอร์ทั้งสองต่อกันไม่สนิทกันอย่างสมบูรณ์นั้น แสงที่ออกจากคอร์ด้านหนึ่งบางส่วนจะไม่เข้าไปในคอร์ของอีกด้านหนึ่ง แต่จะกระจายออกไปข้างนอกทำให้เกิดการสูญเสียขึ้น อีกประการหนึ่งคือ ตรงส่วนที่ทำการต่อนั้น ถ้าหากเกิดช่องว่างเพียงเล็กน้อย จะทำให้เกิดการสูญเสียจากการสะท้อนกลับ ถ้าหากช่องว่างกว้างมากขึ้น จะเกิดการสะท้อนกลับที่เรียกว่า การสะท้อนแบบเฟรสเนล(Fresnel Reflection) ขึ้น

4) การสูญเสียที่เกิดจากการเชื่อมต่อระหว่างเส้นใยแสง กับอุปกรณ์กำเนิดแสงและอุปกรณ์รับแสง (Coupling Loss)

แสงที่ถูกปล่อยออกจากอุปกรณ์กำเนิดแสงนั้น จะต้องป้อนแสงเข้าไปในเส้นใยแสง โดยมีเงื่อนไขตามค่าเอ็นเอ แต่อุปกรณ์กำเนิดแสงนั้นจะมีความแตกต่างกัน ทางความกว้างของลำแสงที่ปล่อยออกมาจากต้นกำเนิดแสง และถึงแม้ว่าจะใช้เลนซ์รวมแสงแล้วก็ตาม ก็ยังจะมีการสูญเสียของการเชื่อมต่อแสงอยู่ นอกจากนั้นโครงสร้างของเส้นใยแสงที่จะถูกป้อนแสงเข้าไปนั้น ขนาดของเส้นผ่านศูนย์กลางของคอร์ของเส้นใยแสง แบบซิงเกิ้ลโหมดและแบบจีไอ จะมีค่าต่างกันทำให้ขนาดของการสูญเสียของการเชื่อมต่อแสงมีค่าต่างกันไปด้วย

นอกจากนี้แล้ว การสูญเสียของการเชื่อมต่อแสงระหว่างเส้นใยแสงกับอุปกรณ์รับแสงนั้น เส้นใยแสงที่มีค่าเอ็นเอมาก นั่นคือแสงที่ออกจากเส้นใยแสงแบบจีไอ จะมีลำแสงกว้างกว่าลำแสงที่ออกจากเส้นใยแสงแบบซิงเกิ้ลโหมด ทำให้การสูญเสียแสงมีมากกว่า

- การขยายกว้างออก (Dispersion) และแบนด์วิดท์ของการส่ง (Transmission Bandwidth) ของเส้นใยแสง

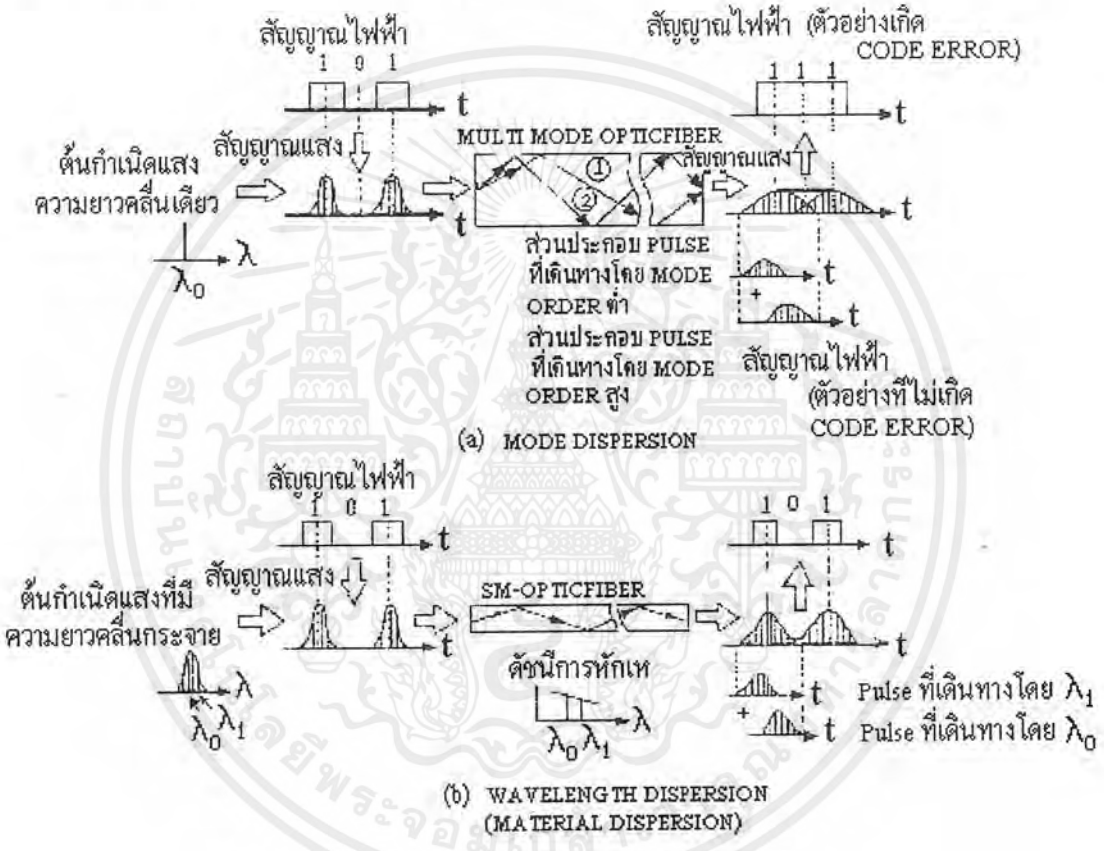
1) การขยายกว้างออกของโหมด (Mode Dispersion)

เกิดขึ้นในเส้นใยแสงแบบมัลติโหมด เพราะความเร็วในการเดินทางของแต่ละโหมดภายในเส้นใยแสงจะต่างกัน ดังในรูปที่ 2.24 (a) จะเห็นว่า พัลส์ของแสงที่ออกมาจากปลายอีกข้างหนึ่งของเส้นใยแสง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เมื่อนำไปเปรียบเทียบกับพัลส์ของแสงทางด้านที่ป้อนเข้าไป จะเห็นว่าขยายออกกว้างกว่า และถึงแม้ว่าความยาวคลื่นของต้นกำเนิดแสงจะเหมือนกันก็ตาม แต่ว่าพัลส์ของแสงที่ป้อนเข้าไปนั้นจะแบ่งออกเป็นโหมดต่างๆที่มีความเร็วในการเดินทางต่างกัน ดังนั้นในการสื่อสารด้วยเส้นใยแสงจึงเรียกปรากฏการณ์นี้ว่า การขยายกว้างออกของโหมด ทำให้ไม่สามารถทำให้ระยะห่างระหว่างพัลส์เล็กลงมากๆได้

ดังนั้นจะเห็นได้ว่าเส้นใยแสงแบบมัลติโหมดนั้น ส่วนใหญ่การขยายกว้างออกของโหมด จะเป็นตัวกำหนดแบนด์วิดท์ ด้วยเหตุนี้ในระบบการส่งข่าวสารจำนวนมากที่ต้องการคุณสมบัติแบนด์วิดท์กว้างนั้น จะใช้เส้นใยแสงแบบซิงเกิ้ลโหมดที่ไม่มีการขยายกว้างออกของโหมด โดยการทำให้มีโหมดเดียว



รูปที่ 2.24 แสดงการเกิดการขยายกว้างออกในเส้นใยแสง

2) การขยายกว้างออกของความยาวคลื่น (Wavelength Dispersion)

ในตัวกลางเดียวกัน แต่ถ้าหากความยาวคลื่นต่างกันแล้วค่าดัชนีการหักเหจะต่างกัน เป็นผลให้ความเร็วในการเดินทางต่างกันตามค่าความยาวคลื่นที่ต่างกัน การขยายกว้างออกของความยาวคลื่นนี้เป็นสาเหตุให้แบนด์วิดท์ถูกจำกัดค่าความกว้าง เช่นเดียวกันกับกรณีของการขยายกว้างออกของโหมด แต่สาเหตุนี้เรียกว่า การขยายกว้างออกของวัสดุ (Material Dispersion)

นอกจากนี้กรณีที่ค่าผลต่างของดัชนีการหักเหของคอร์กับแคล้ดมีค่าน้อยนั้น ปรากฏการณ์การสะท้อนกลับหมดของแสงที่รอยต่อของคอร์กับแคล้ดจะไม่เหมือนกับที่เกิดในกระจกเงา กล่าวคือ ส่วนหนึ่งของแสงจะทะลุเข้าไปในแคล้ดก่อนแล้วจึงสะท้อนกลับหมด และขนาดการทะลุเข้าไปนี้จะแตกต่าง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ ดัดแปลง ทำซ้ำ
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

กันออกไปตามความยาวคลื่น เป็นผลให้ระยะทางการเดินทางของแสงนี้ขึ้นอยู่กับความยาวคลื่น การขยายกว้างออกของระยะทางการเดินทางของแสงนี้เรียกว่า การขยายกว้างออกของโครงสร้าง (Structure Dispersion) ในการสื่อสารด้วยเส้นใยแสงนั้นการเกิดการขยายกว้างออกของวัสดุและการขยายกว้างออกของโครงสร้าง รวมแล้วเรียกว่า การขยายกว้างออกของความยาวคลื่น

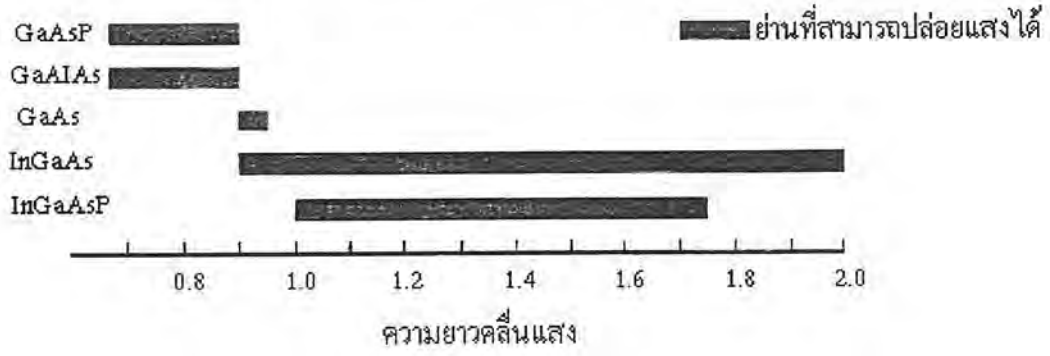
โดยส่วนมากแล้วการขยายกว้างออกของโหมดจะเป็นตัวกำหนดแบนด์วิดท์ของการส่ง ในเส้นใยแสงแบบมัลติโหมด และการขยายกว้างออกของความยาวคลื่นนั้นก็จะมีผลกระทบอย่างมากกับแบนด์วิดท์ของการส่งในเส้นใยแสงแบบซิงเกิ้ลโหมด

2.6 อุปกรณ์แสง

สารที่ใช้ในการสร้างและโครงสร้างของอุปกรณ์ปล่อยแสง

- สารที่ใช้ในการสร้างอุปกรณ์ปล่อยแสง

การปล่อยแสงเกิดจากการที่อิเล็กตรอนถ่ายเท (Transfer) จากคอนดัคชั่นแบนด์ (Conduction Band) ไปยังวาเลนซ์แบนด์ (Valence Band) ดังนั้นสารกึ่งตัวนำจึงถูกแบ่งออกเป็น พวกที่สามารถถ่ายเทอิเล็กตรอนได้ง่ายกับพวกที่ถ่ายเทอิเล็กตรอนได้ยาก พวกที่ถ่ายเทได้ง่ายเรียกว่า พวกถ่ายเทโดยตรง(Direct Transfer Semiconductor) ส่วนพวกที่ถ่ายเทได้ยากเรียกว่า พวกถ่ายเทโดยอ้อม (Indirect Transfer Semiconductor) และตัวอย่างของสารพวกถ่ายเทโดยตรงได้แก่ พวกสารประกอบของ อินเดียม (Indium:In) , แกลเลียม (Gallium:Ga) , อะเซไนด์ (Asenide:As) , และฟอสฟอรัส (P) เป็นต้น ส่วนสารพวกซิลิกอน (Silicon:Si) , เจอรเมเนียม (Germanium:Ge) นั้นเป็นพวกถ่ายเทโดยอ้อม ปล่อยแสงออกมายาก เนื่องจากความยาวคลื่นแสงที่ปล่อยออกมานั้น เป็นสัดส่วนกับผลต่างระหว่างพลังงานของคอนดัคชั่นแบนด์กับวาเลนซ์แบนด์ แต่ว่าผลต่างนี้จะมีค่าแตกต่างกันตามส่วนประกอบสารกึ่งตัวนำ จึงทำให้มีความยาวคลื่นแสงค่าต่างๆ ความสัมพันธ์ระหว่างความยาวคลื่นกับสารประกอบของอุปกรณ์ปล่อยแสงแสดงดังรูป 2.25 และจากการพิจารณาถึงคุณสมบัติต่างๆของสารในทางปฏิบัตินั้น สำหรับย่านความยาวคลื่นสั้น 0.85 ไมโครเมตร นิยมใช้ GaAlAs และย่านความยาวคลื่น 1.3 ไมโครเมตร นิยมใช้ InGaAsP



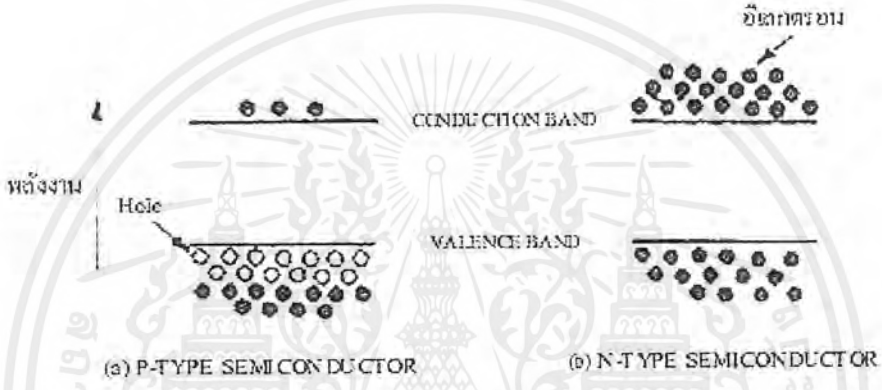
รูปที่ 2.25 แสดงความยาวคลื่นแสงที่ปล่อยออกมาของสารประกอบกึ่งตัวนำแต่ละชนิด

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

- โครงสร้างของอุปกรณ์ปล่อยแสง

1) รอยต่อพีเอ็น (P-N Junction)

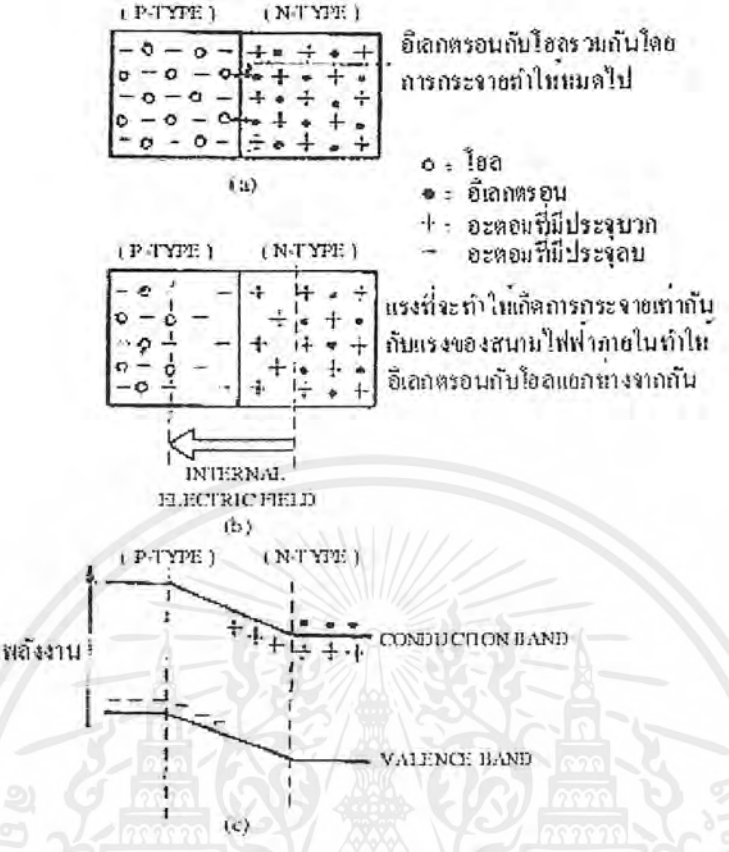
สำหรับสารกึ่งตัวนำนั้น ปกติจำนวนของอิเล็กตรอน (หรือจำนวนโฮล) ที่มีอยู่นั้นจะมีค่าคงที่ตามชนิดของอะตอม และอิเล็กตรอนส่วนใหญ่จะรวมตัวกันอยู่ในวาเลนซ์แบนด์ สารกึ่งตัวนำที่มีสภาพอย่างนี้เรียกว่า สารกึ่งตัวนำอย่างแท้จริง (Genuine Semicomductor) แต่สารที่เรียกว่า สารกึ่งตัวนำแบบพี (P-type) นั้นมีสภาพที่มีจำนวนโฮล (อนุภาคที่มีประจุบวกในตัว) มาก และมีอิเล็กตรอน (มีประจุลบ) น้อย ดังแสดงในรูป 2.26 (a) ส่วนสารที่เรียกว่า สารกึ่งตัวนำแบบเอ็น (N-type) นั้นจะมีสภาพตรงข้ามกับสารกึ่งตัวนำแบบพี และจำนวนอิเล็กตรอนที่มากมายนี้จะรวมตัวกันอยู่ใน คอนดัคชั่นแบนด์ ดังแสดงในรูป 2.26 (b)



รูปที่ 2.26 แสดงระดับพลังงานของสารกึ่งตัวนำแบบพีและแบบเอ็น

ถ้าเรานำสารกึ่งตัวนำทั้งสองแบบมาเชื่อมต่อกัน และบริเวณที่เชื่อมต่อกันนั้นอิเล็กตรอนที่มีจำนวนมากในแบบเอ็นจะรวมตัวกับโฮลที่มีจำนวนมากในแบบพี ดังรูปที่ 2.27 (a) และจากปริมาณการรวมตัวที่เพิ่มขึ้นเรื่อยๆนั้นทำให้เกิดประจุไฟฟ้าลบในแบบพี (เพราะว่าโฮลลดลงเหลือแต่อิเล็กตรอน) และเกิดประจุไฟฟ้าบวกขึ้นในแบบเอ็น (เพราะว่าอิเล็กตรอนลดลงเหลือแต่โฮล) ดังรูป 2.27 (b) จากผลอันนี้ทำให้เกิดสภาพดิพลิชั่นโซน (Depletion Zone) ขึ้นตรงบริเวณใกล้ๆรอยเชื่อมต่อและได้โครงสร้างของระดับพลังงานดังรูป 2.27 (c) เกี่ยวกับโครงสร้างของระดับพลังงานนี้มีความหมายสำคัญอย่างมากในการนำไปใช้พิจารณาโครงสร้างของอุปกรณ์ปล่อยแสง

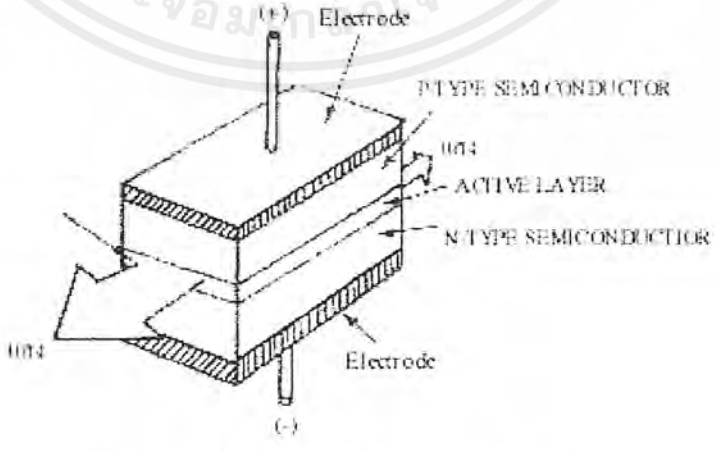
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.27 แสดงสนามไฟฟ้าภายในและระดับพลังงานของ รอยต่อพี-เอ็น

2) โครงสร้างของเลเซอร์ไดโอด

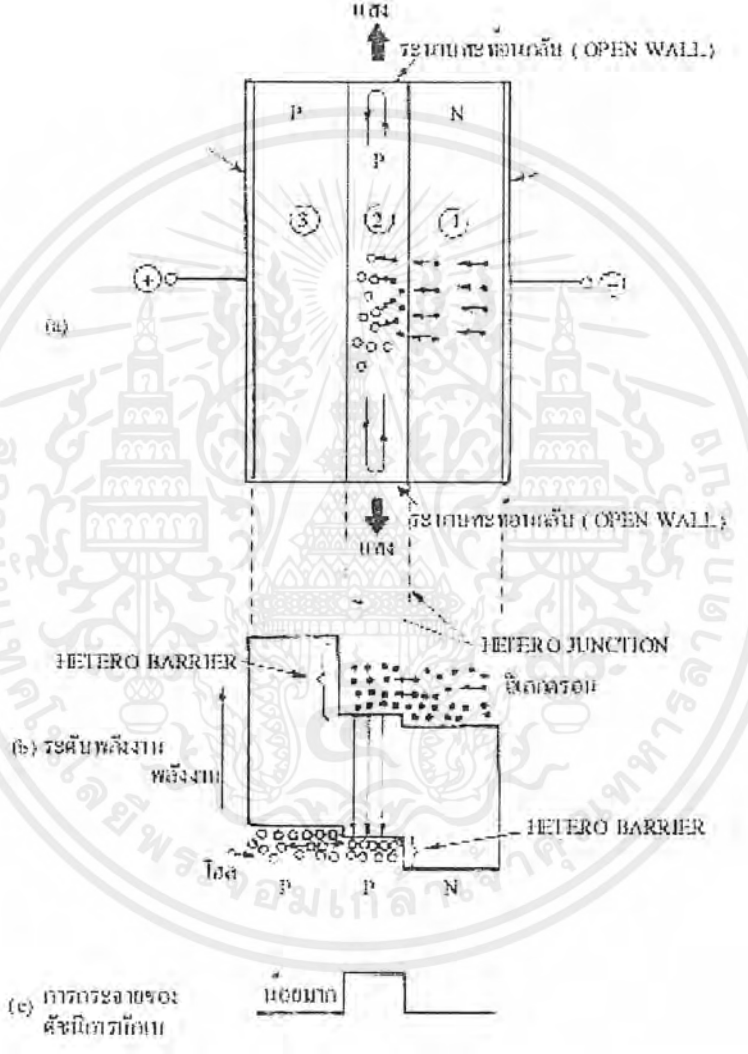
โดยทั่วไปแล้วเลเซอร์ไดโอดจะมีโครงสร้าง 3 ชั้น (Three Layer) ดังแสดงในรูป 2.28 ในการทำให้เกิดเลเซอร์ออสซิลเลชั่น (LASER Oscillation) นั้น คือส่วนที่ทำหน้าที่เป็นรีโซเนเตอร์ (Resonator) ซึ่งเรียกว่า ชั้นแอคทีฟ (Active Layer) ซึ่งมีตำแหน่งอยู่ระหว่าง สารกึ่งตัวนำแบบพี กับแบบเอ็น



รูปที่ 2.28 แสดงโครงสร้างทั่วไปของเลเซอร์ไดโอด

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากรูป ถ้าทำให้กระแสไหลจากขั้วบวกไปยังขั้วลบจะเกิดแสงเลเซอร์ออกมาในทิศทางที่แสดงด้วยลูกศร เกี่ยวกับวิธีการเกิดออสซิลเลชั่นของเลเซอร์ไดโอดนั้น อธิบายโดยเน้นตรงบริเวณชั้นทั้ง 3 ของแบบพี,แบบเอ็น และชั้นแอคทีฟนี้ สำหรับโครงสร้างของสารกึ่งตัวนำอย่างนี้เรียกว่า รอยต่อแบบดับเบิ้ลเฮเทอโร (Doble Hetero Junction) ซึ่งหมายความว่ารอยต่อของชั้นของสารที่มีส่วนประกอบต่างกันนั้นมี 2 ด้าน โครงสร้าง , ระดับพลังงาน และลักษณะการเปลี่ยนแปลงค่าดัชนีการหักเหของเลเซอร์ไดโอด แสดงดังรูป 2.29



รูปที่ 2.29 แสดงโครงสร้าง ระดับพลังงาน
และลักษณะการเปลี่ยนแปลงค่าดัชนีการหักเหของเลเซอร์ไดโอด

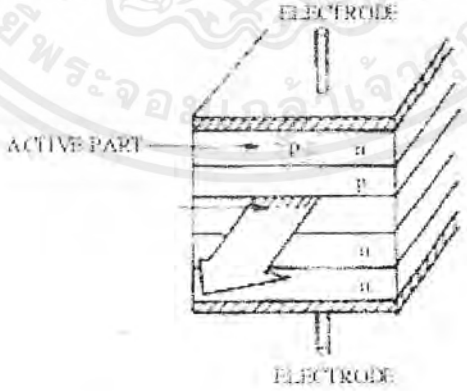
ในการทำให้เกิดเลเซอร์ออสซิลเลชั่นนั้นจะต้องทำให้ผลต่างระหว่างระดับพลังงานของคอนดัคชั่นแบนด์ของสารกึ่งตัวนำแบบพี และคอนดัคชั่นแบนด์ของชั้นแอคทีฟมีค่ามาก พร้อมทั้งทำให้ผลต่างระหว่างพลังงานของคอนดัคชั่นแบนด์กับวาเลนซ์แบนด์ ของสารกึ่งตัวนำแบบพีมีค่ามากด้วย นอกจากนั้นยังจะต้องทำให้ระดับพลังงานของวาเลนซ์แบนด์ของสารกึ่งตัวนำแบบเอ็น มีค่าต่ำกว่าระดับพลังงานของ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

วาเลนซ์แบนด์ของชั้นแอคทีฟด้วย จากนั้นจึงนำมาเชื่อมต่อกันจะได้ระดับพลังงาน ดังแสดงในรูป 2.29(b) เมื่อทำให้มีกระแสไหลในสารกึ่งตัวนำที่มีการเชื่อมต่อกันในลักษณะที่กล่าวมาแล้ว โดยให้มีทิศทางไหลจากแบบพีไปหาแบบเอ็น จะเป็นผลให้อิเล็กตรอนส่วนเกินที่มีอยู่ในแบบเอ็น เคลื่อนที่ไปยังแบบพี และโฮลส่วนเกินที่มีอยู่ในแบบพี เคลื่อนที่ไปยังแบบเอ็น ผลของการเคลื่อนที่ของอิเล็กตรอนและโฮลเหล่านี้ทำให้เกิดมีอิเล็กตรอนและโฮลอยู่ภายในชั้นแอคทีฟ (โดยทั่วไปชั้นแอคทีฟจะใช้สารแบบพี) เมื่อสังเกตดูระดับพลังงานของชั้นทั้ง 3 ที่อยู่ในรูป 2.29(b) จะเห็นว่าเกิดมีกำแพงของพลังงานเรียกว่า สิ่งกีดขวางแบบเฮเทอโร (Hetero Barrier) ขึ้น ทำให้อิเล็กตรอนและโฮลที่เคลื่อนที่ไปนั้น ถูกขังอยู่ในชั้นแอคทีฟ เป็นผลให้เกิดสภาพการกระจายแบบกลับกัน (Inversion Distribution) ได้อย่างดีทำให้มีผลการขยายความเข้มของการปล่อยแสง

อนึ่งโดยการทำให้ดัชนีการหักเหของชั้นแอคทีฟมีค่ามากกว่าชั้นข้างเคียง ดังแสดงในรูป 2.29(c) จะมีสภาพเหมือนกับเส้นใยแสง แสงที่ปล่อยออกมาจะถูกกักและเดินทางอยู่ในชั้นแอคทีฟ จากผลการกักอิเล็กตรอนและโฮลเอาไว้ในชั้นแอคทีฟ และผลการกักแสงเอาไว้ในชั้นแอคทีฟ ทำให้ได้การปล่อยแสงที่มีประสิทธิภาพดีได้

แสงจะออกมาจากระนาบสะท้อนกลับ โดยที่ระนาบสะท้อนกลับนี้ทำจากการใช้สิ่งที่คมมากๆ คล้ายใบมีดโกนไปตัดสารกึ่งตัวนำที่ประกอบกันเป็นเลเซอร์ไดโอด ให้มีช่องเปิด เรียกว่าผนังเปิด(Open Wall) โดยการทำเช่นนี้แสงเลเซอร์จะถูกกักขังอยู่ในชั้นแอคทีฟได้ดี แต่ว่าเมื่อมันเดินทางมาถึงผนังเปิดมันจะหลุดออกมาข้างนอกตลอดแนวของผนังเปิดนี้ ทำให้ประสิทธิภาพของการเชื่อมแสงเข้ากับเส้นใยแสงไม่ดีด้วยเหตุนี้ เพื่อเป็นการทำให้ประสิทธิภาพดี จึงจำเป็นต้องมีการปรับปรุงต่างๆ เพื่อให้มีปฏิกริยาการนำคลื่นแสงในทิศทางแนวนอน (Horizontal) ด้วยตัวอย่างอันหนึ่งของวิธีการปรับปรุงก็คือ สิ่งที่เรียกว่า โครงสร้างแบบแถบพลานาร์ (Planar Stripe) ดังแสดงในรูป 2.30

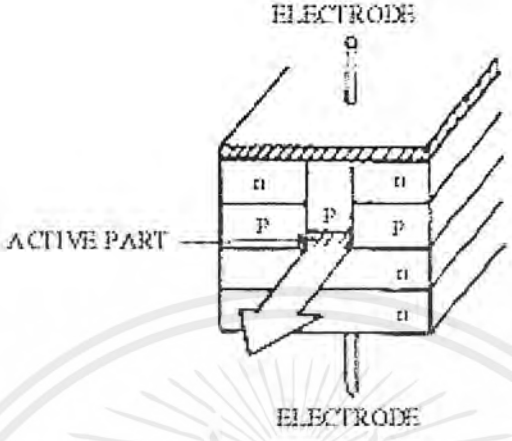


รูปที่ 2.30 แสดงโครงสร้างแบบแถบพลานาร์

เพื่อให้เลเซอร์ไดโอดสามารถผลิตได้ง่ายขึ้น จึงทำให้มีโครงสร้างเป็น 5 ชั้น และทำให้บริเวณที่กระแสไหลมีขนาดแคบ ส่วนเลเซอร์ออสซิลเลชั่นเป็นการใช้หลักการที่ทำให้ออสซิลเลชั่นเกิดขึ้นเฉพาะตรงส่วนที่กระแสไหล นั่นคือตรงส่วนที่มีการกระตุ้น (Stimulation) เท่านั้น นอกจากนี้ยังมีโครงสร้างแบบ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ ดัดแปลง เผยแพร่ หรือแสวงหาประโยชน์ทางการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

อื่นๆที่มีคุณสมบัติดีกว่าแบบแถบพลานาร์และนิยมใช้กันมากคือ แบบแถบตรึง (Embedding Stripe) ดังแสดงในรูป 2.31



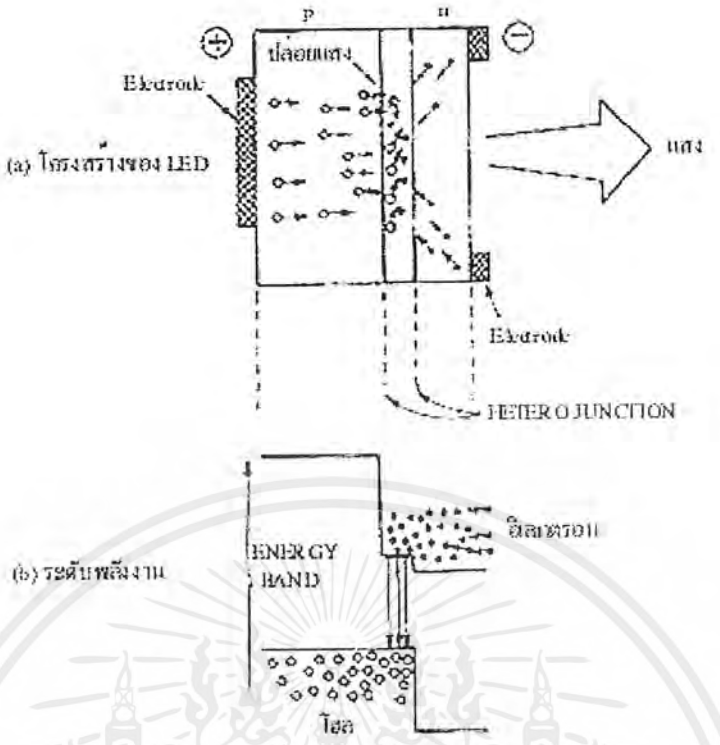
รูปที่ 2.31 แสดงโครงสร้างแบบแถบตรึง

โครงสร้างนี้มีลักษณะพิเศษตรงที่ ทำให้ค่าดัชนีหักเหของชั้นแอคทีฟมีค่าสูง ทั้งส่วนบน , ล่าง, ซ้าย , ขวา นั่นคือส่วนบนของชั้นแอคทีฟมีชั้นของแบบพีอยู่ ซึ่งจะเหมือนกับแบบแถบพลานาร์ และกระแสจะไหลเฉพาะส่วนนี้เท่านั้นจากข้างบนไปข้างล่าง นอกจากจะสามารถทำให้เกิดเลเซอร์ออสซิลเลชั่นด้วยกระแสที่มีค่าน้อยแล้ว ยังทำให้ค่าดัชนีหักเหของชั้นแอคทีฟมีค่าสูงมากขึ้นอีก จึงเป็นผลให้ประสิทธิภาพของการกักแสงเพิ่มขึ้น สามารถได้แสงที่ปล่อยออกมาเป็นลำแสงที่คมมาก

3) โครงสร้างของแอลอีดี (LED)

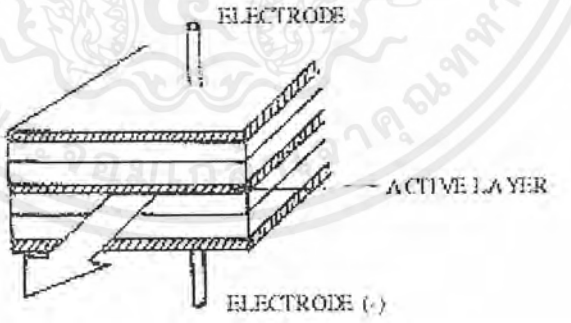
โครงสร้างพื้นฐานของแอลอีดีเหมือนกันกับของเลเซอร์ไดโอด คือเป็นรอยต่อแบบดับเบิ้ลเฮเทอโร อิเล็กตรอนที่ไหลผ่านรอยต่อพี-เอ็นจะไปรวมกับโฮลภายในชั้นแอคทีฟเช่นเดียวกัน ดังแสดงในรูป 2.32 และจะเกิดการปล่อยแสงขึ้นภายในชั้นแอคทีฟ เนื่องจากถูกกักด้วยกำแพงของรอยต่อเฮเทอโร แต่สำหรับกรณีของแอลอีดีนั้น โครงสร้างของมันไม่มีการขยาย ออสซิลเลชั่นของแสงเหมือนอย่างเลเซอร์ไดโอด เพราะไม่มีระนาบสะท้อนแสง แสงที่ปล่อยออกมาตรงส่วนที่อยู่ห่างจากด้านข้างนั้นจึงออกจากด้านข้างได้ยาก ด้วยเหตุนี้แอลอีดีทั่วไปจึงให้แสงปล่อยออกมาข้างนอกจากด้านหน้าที่ต่อกับขั้วไฟฟ้า ดังรูป 2.32 (a)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.32 แสดงโครงสร้างและระดับพลังงานของแอลอีดี

นอกจากนี้ในปัจจุบันได้มีการผลิตแอลอีดีอีกแบบหนึ่งขึ้นมา โดยการทำให้ค่าดัชนีการหักเหของชั้นแอคทีฟมีค่าสูง และทำให้เกิดปฏิกริยาการนำแสงขึ้นในชั้นแอคทีฟ และให้แสงปล่อยออกมาจากทางด้านข้างของชั้นแอคทีฟ เหมือนกันกับเลเซอร์ไดโอด ดังแสดงในรูป 2.33



รูปที่ 2.33 แสดงตัวอย่างโครงสร้างของแอลอีดีแบบปล่อยแสงออกทางด้านข้าง

แอลอีดีแบบนี้เรียกว่า แอลอีดีแบบปล่อยแสงออกทางด้านข้าง (Side Emission Type LED) และเมื่อเปรียบเทียบกับแบบปล่อยแสงออกทางด้านหน้าแล้วปรากฏว่า โดยการให้กระแสไหลผ่านเท่ากัน จะได้แสงออกมามีกำลังน้อยกว่าแบบปล่อยแสงออกทางด้านหน้า แต่เนื่องจากบริเวณการปล่อยแสงมีขนาดแคบมากกว่าจึงมีข้อดีที่ว่ามีประสิทธิภาพการเชื่อมแสงกับเส้นใยแสงสูงกว่า

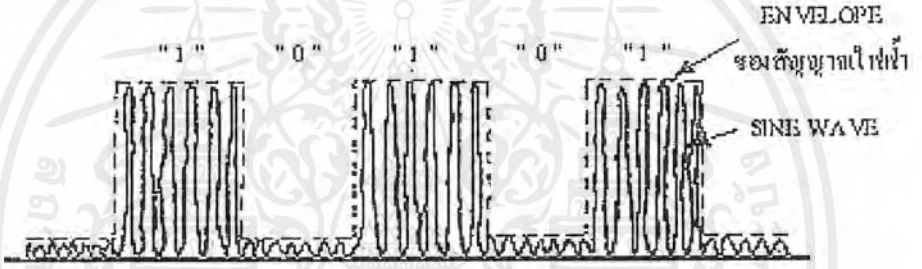
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

คุณสมบัติต่างๆของอุปกรณ์ปล่อยแสง

คุณสมบัติต่างๆที่ต้องการจากอุปกรณ์ปล่อยแสงได้แก่

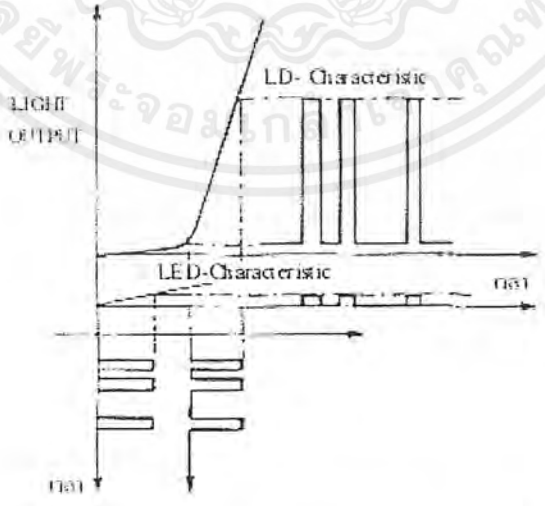
- คุณสมบัติการผสมของแสงกับไฟฟ้า (นั่นคือ กำลังงานเอาท์พุทของแสง , ความเป็นเส้นตรง หรือ Linearity)
- ความกว้างของสเปกตรัมของแสง
- ความเร็วในการตอบสนองต่อความถี่ (Frequency Response Speed) เป็นต้น

แสงที่ได้จากอุปกรณ์แสงจะมีความยาวแสงจำนวนหนึ่งปะปนอยู่ ดังนั้นจึงไม่สามารถใช้แสงเป็นคลื่นพาห์สำหรับการมอดูเลททางความถี่และทางเฟสได้ แต่จะใช้สำหรับการผสมที่เรียกว่า การมอดูเลททางความเข้มของสัญญาณ (Intensity Modulation) ซึ่งทำการผสมโดยตรงกับความเข้มของแสง อย่างเช่นกรณีของสัญญาณดิจิตอล แสงจะกระพริบสว่าง หรือดับตามสัญญาณไฟฟ้าที่เป็น 1 หรือ 0 ภายในเอนวีโลป (Envelope) หนึ่งของสัญญาณจะมีแสงที่มีความยาวคลื่นอยู่ข้างใน ดังแสดงในรูป 2.34



รูปที่ 2.34 แสดงรูปคลื่นเอาท์พุทของแสงและการผสมในการส่งสัญญาณดิจิตอล

ส่วนคุณสมบัติการผสมของอุปกรณ์ปล่อยแสงแสดงดังรูป 2.35



รูปที่ 2.35 แสดงการผสมแบบ การมอดูเลททางความเข้มของสัญญาณแสง

จากรูป 2.35 จะเห็นว่าเนื่องจากแอลอีดีใช้ปรากฏการณ์การปล่อยแสงตามธรรมชาติ ดังนั้นปริมาณของแสงที่ปล่อยออกมา จะเป็นสัดส่วนโดยตรงกับกระแสที่ป้อนเข้าไปกระตุ้น แต่สำหรับเลเซอร์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ไดโอดนั้นใช้ปฏิกริยาการออสซิลเลชั่น โดยมีการกระตุ้นให้ปล่อยแสง (Stimulated Emission) ออกมา ดังนั้นปริมาณของแสงที่ปล่อยออกมานั้นจะมีลักษณะที่มีการเพิ่มปริมาณขึ้นอย่างรวดเร็วเมื่อเลยค่าของกระแสค่าหนึ่ง (Threshold Value Current) ไปแล้ว ดูรูป 2.35

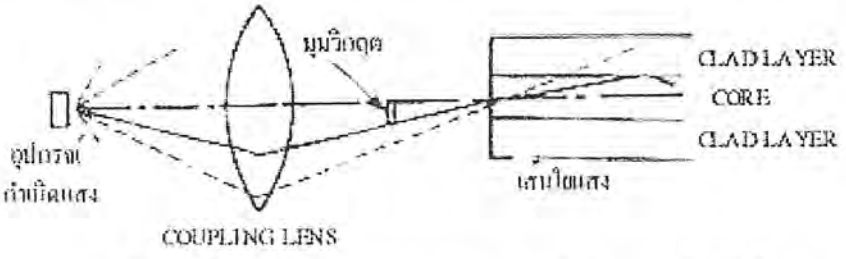
ในตารางที่ 2.2 แสดงถึงตัวอย่างคุณสมบัติต่างๆของแอลอีดีและเลเซอร์ไดโอด จากการพิจารณาดูคุณสมบัติต่างๆในตารางนี้จะเห็นว่าเกี่ยวกับกำลังงานเอาท์พุทของแสงนั้น เลเซอร์ไดโอดจะมีค่ามากกว่าเพราะมีการออสซิลเลชั่นและการขยายของแสง และเกี่ยวกับกำลังงานอินพุทที่ป้อนเข้าไปในเส้นใยแสงก็เช่นกัน เนื่องจากเลเซอร์ไดโอดมีคุณสมบัติของทิศทางของแสง (Directivity) ดีกว่า เป็นผลให้มีการสูญเสียการเชื่อมแสงกับเส้นใยแสงต่ำ ทำให้กำลังงานของแสงป้อนเข้าไปในเส้นใยแสงได้มาก

ตาราง 2.2 แสดงการเปรียบเทียบคุณสมบัติต่างๆของอุปกรณ์ปล่อยแสง

	LED	LD
กำลังงานเอาท์พุทของแสง	2.5 มิลลิวัตต์	10 มิลลิวัตต์
กำลังงานอินพุทของแสงในเส้นใยแสง	ประมาณ 0.05 มิลลิวัตต์	ประมาณ 3มิลลิวัตต์
ความกว้างของสเปกตรัมที่จุดกำลังงานลดลงครึ่งหนึ่ง (ตอนมอดูเลท)	100 นาโนเมตร	3 นาโนเมตร
ความเร็วในการตอบสนองทางความถี่	ประมาณหลายร้อยเมกกะเฮิร์ท	ประมาณหลายจิกะเฮิร์ท
อายุการใช้งาน	ประมาณ 10^6ชั่วโมง	ประมาณ 10^6ชั่วโมง

การเชื่อมอุปกรณ์ปล่อยแสงกับเส้นใยแสง

โดยทั่วไปแล้วแสงที่ปล่อยออกจากอุปกรณ์ปล่อยแสงจะกว้างออก เนื่องด้วยปรากฏการณ์การเบี่ยงเบนของแสง (Diffraction) การป้อนแสงเข้าไปในเส้นใยแสงที่มีขนาดเล็กประมาณ 10ไมโครเมตร ถึงหลายสิบไมโครเมตร จึงเป็นการยาก ดังนั้นจึงจำเป็นต้องมีการใช้วิธีการต่างๆ เช่น การใช้เลนส์มาทำการบีบลำแสงให้เล็กลงในการเชื่อมแสงระหว่างอุปกรณ์ปล่อยแสงกับเส้นใยแสง ดังแสดงในรูป 2.36

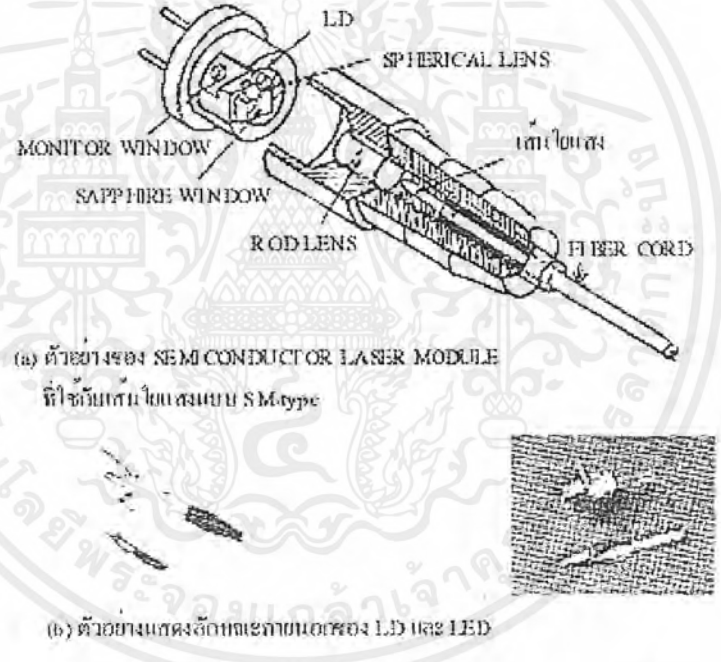


รูปที่ 2.36 แสดงการเชื่อมแสงระหว่างอุปกรณ์ปล่อยแสงกับเส้นใยแสง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ในการป้อนแสงเข้าไปในคอร์ของเส้นใยแสงนั้น จำเป็นต้องปล่อยแสงเข้าไปด้วยค่าของมุมตกกระทบที่อยู่ในช่วงที่ต่ำกว่า มุมรับแสงสูงสุดของเส้นใยแสง ถ้าหากว่าป้อนแสงเข้าไปด้วยมุมตกกระทบที่มีค่ามากกว่ามุมรับแสงสูงสุดของเส้นใยแสง ดังแสดงในรูป 2.36 จะเห็นว่าแสงที่ป้อนเข้าไปนี้จะทะลุออกไปยังแคล้ดหมด ด้วยเหตุนี้จึงต้องใช้เลนส์นำไปวางใกล้ๆอุปกรณ์ปล่อยแสงเพื่อบีบแสงให้แคบลง ในทางตรงกันข้ามถ้าหากวางตำแหน่งของเลนส์ใกล้กับอุปกรณ์ปล่อยแสงมากเกินไป จะทำให้ลำแสงถูกขยายกว้างมากกว่าเส้นผ่านศูนย์กลางของคอร์ของเส้นใยแสง ทำให้ประสิทธิภาพการเชื่อมแสงต่ำลงไป ดังนั้นจึงจำเป็นต้องมีการปรับแต่งเลนส์ที่ใช้และปรับแต่งตำแหน่งของเลนส์ ระหว่างอุปกรณ์ปล่อยแสงกับเส้นใยแสงให้เหมาะสมถูกต้องซึ่งเป็นการปรับที่ละเอียดมาก

ตัวอย่างของโครงสร้างของโมดูลเลเซอร์ไดโอดที่เชื่อมต่อแสงกับเส้นใยแสงแบบซิงเกิ้ลโหมดและตัวอย่างด้านนอกของโมดูลเลเซอร์ไดโอด ,โมดูลแอลอีดี แสดงดังรูป 2.37 และเพื่อให้ประสิทธิภาพการบีบแสงเข้าไปในเส้นใยแสงดีนั้น นิยมใช้เลนส์ 2 ลักษณะ คือ เลนส์ทรงกลมและทรงกระบอก



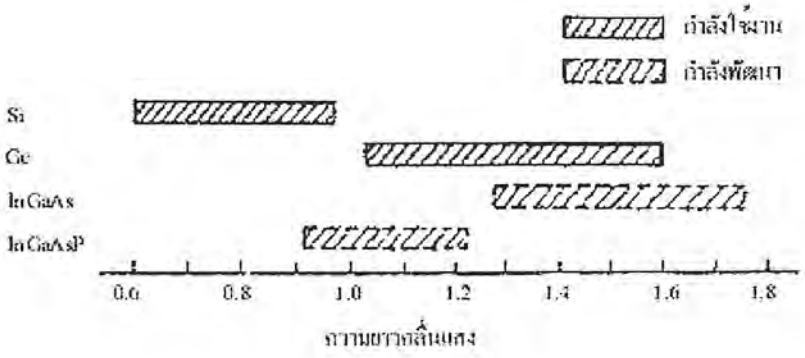
รูปที่ 2.37 แสดงตัวอย่างโมดูลเลเซอร์ไดโอด และโมดูลแอลอีดี

สารและโครงสร้างของอุปกรณ์รับแสง

- สารของอุปกรณ์รับแสง

สารที่ใช้สำหรับอุปกรณ์รับแสงมีอยู่หลายชนิดด้วยกัน นอกจากนั้นผลต่างของพลังงานของคอนดัคเตอร์แบนด์และวาเลนซ์แบนด์ ของอุปกรณ์รับแสงมีค่าแตกต่างกัน ทำให้มีย่านความยาวคลื่นต่างกันที่ดูดสัญญาณแสงที่เข้ามาได้ง่าย หรือมีความไวในการรับแสงดี คุณสมบัติและความไวในการรับแสงของสารแต่ละชนิดแสดงดังรูป 2.38

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.38 แสดงความยาวคลื่นในการรับแสงของอุปกรณ์รับแสงแต่ละชนิด

ในการออกแบบระบบการสื่อสารด้วยเส้นใยแสงนั้น จะต้องเลือกอุปกรณ์รับแสงที่เหมาะสมกับความยาวคลื่นที่ใช้เช่นเดียวกันกับอุปกรณ์กำเนิดแสง สำหรับย่านความยาวคลื่นที่ต่ำกว่า 1 ไมโครเมตร จะใช้ซิลิกอน (Silicon)สำหรับย่านความยาวคลื่นจาก 1-1.7 ไมโครเมตร ใช้เจอร์เมเนียม (Germanium) เป็นส่วนใหญ่ นอกจากนั้นในปัจจุบันสำหรับความยาวคลื่นในช่วย 1.55 ไมโครเมตร เป็นความยาวคลื่นที่มีการสูญเสียในเส้นใยแสงน้อยมาก และเป็นความยาวคลื่นที่อยู่ในวินโดว์ที่ 3 การใช้งานอุปกรณ์รับแสงชนิดใหม่ที่ทำจากสารที่เป็นสารประกอบของสารกึ่งตัวนำ InGaAs และอื่นๆ ซึ่งมีความไวในการรับแสงดีมากนั้น กำลังได้รับความนิยมเพิ่มขึ้นเรื่อยๆ

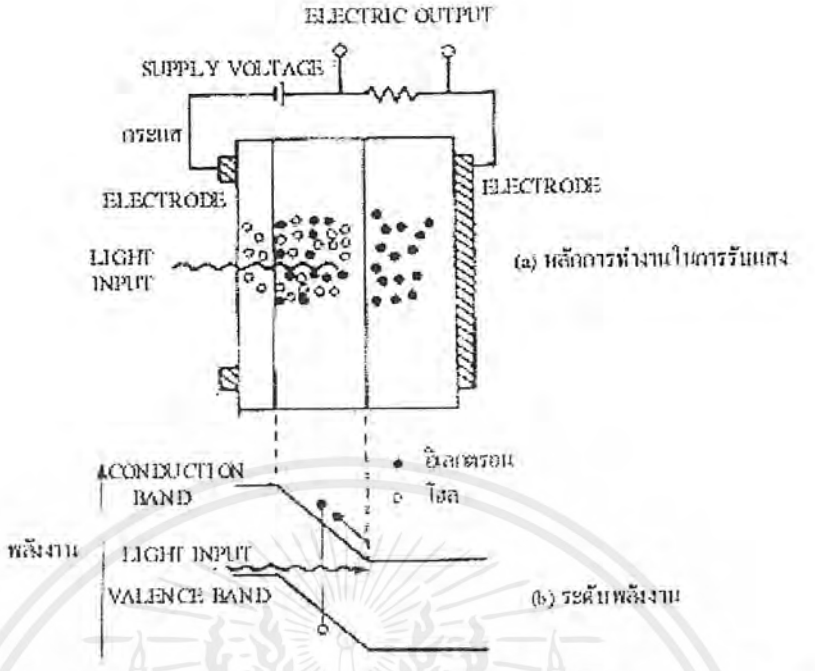
- โครงสร้างของอุปกรณ์รับแสง

อุปกรณ์รับแสงที่เป็นสารกึ่งตัวนำนี้แบ่งออกเป็นพวกใหญ่ๆได้ 2 พวก ตามปริมาณแรงดันไฟฟ้าที่ป้อนให้จากภายนอก คือ

- โฟโต้ไดโอด (Photo Diode : PD) เป็นพวกที่ได้รับการป้อนแรงดันไฟฟ้าปริมาณน้อย
- อวาลานเชโฟโต้ไดโอด (Avalanche Photo Diode : APD) ได้รับการป้อนแรงดันไฟฟ้าปริมาณมาก

ตัวอย่างของโฟโต้ไดโอดคือ พินโฟโต้ไดโอด (PIN-PD) ดังแสดงในรูปที่ 2.39 พิน(Pin) หมายถึงว่าในระหว่างสารกึ่งตัวนำแบบพีและแบบเอ็น มีสารกึ่งตัวนำแบบที่เรียกว่า อินทรินสิค (Intrinsic:I) คั่นอยู่ ตามที่ได้กล่าวมาแล้วว่า กระแสลอยเลื่อน (Drift Current) นั้นเกิดขึ้นในดีพลิชั่นโซน และผลของสนามไฟฟ้าทำให้มีการตอบสนองเร็ว แต่ในทางตรงกันข้ามกระแสแพร่กระจาย (Diffusion Current) ที่เกิดขึ้นภายนอกดีพลิชั่นโซนนั้นมีการตอบสนองช้า ดังนั้นถ้าความกว้างของดีพลิชั่นโซนยิ่งกว้างมากเท่าใด ประสิทธิภาพทางควอนตัม (Quantum Efficiency) และความเร็วในการตอบสนองความถี่ยิ่งดีขึ้น ความกว้างของดีพลิชั่นโซนนี้ ถ้าความหนาแน่นของอิเล็กตรอน และโฮลของแบบพีและแบบเอ็น ยิ่งต่ำจะยิ่งกว้าง ดังนั้นสารกึ่งตัวนำแบบอินทรินสิค ที่คั่นกลางระหว่างแบบพีกับแบบเอ็น จึงมีหน้าที่เพื่อทำให้ความกว้างของดีพลิชั่นโซนกว้างขึ้นนั่นเอง เนื่องจากโฟโต้ไดโอดที่ใช้ในระบบการสื่อสารนั้น โดยทั่วไปต้องการความเร็วในการตอบสนองสูง ดังนั้นส่วนใหญ่จะใช้พินโฟโต้ไดโอด

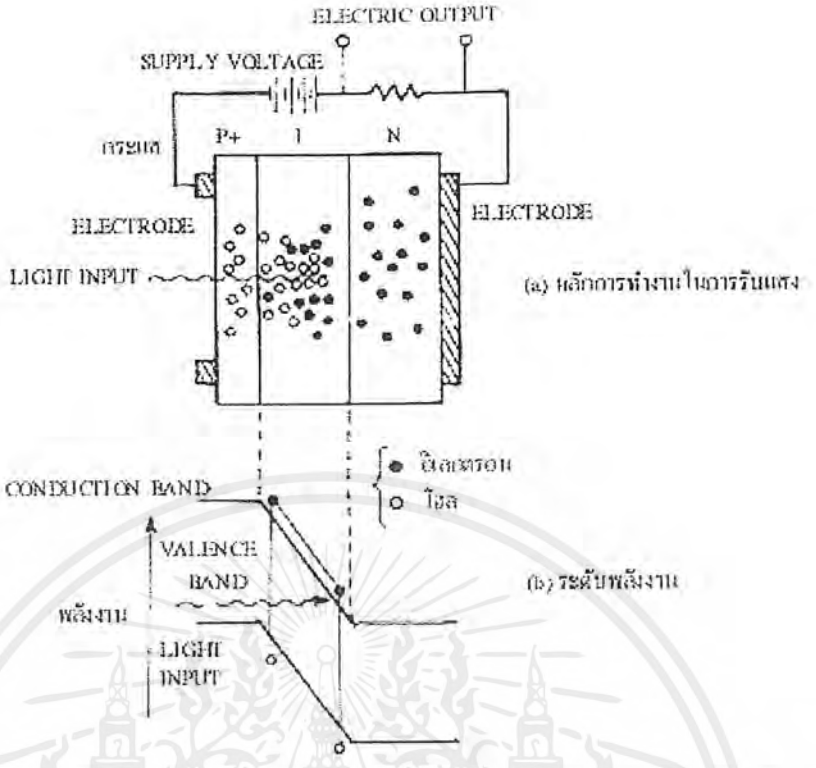
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.39 แสดงหลักการทำงานการรับแสงและระดับพลังงานของพินโฟโต้ไดโอด

นอกจากนี้อวาลานเชโฟโต้ไดโอดนั้น ใช้ปฏิกริยาการขยายอวาลานเช (Avalanche) ของอิเล็กตรอน และโฮลในสารกึ่งตัวนำ เมื่อเปรียบเทียบกับโฟโต้ไดโอดแล้ว เป็นอุปกรณ์รับแสงที่ให้กระแสจำนวนมาก หลักการทำงานของอวาลานเชโฟโต้ไดโอด แสดงดังรูป 2.40 สำหรับโครงสร้างนั้นส่วนใหญ่ทางด้านพี ของรอยต่อพี-เอ็น จะมีสารกึ่งตัวนำแบบพี ที่มีความหนาแน่นของโฮลสูงดิดอยู่ โดยการทำเช่นนี้จะทำให้สนามไฟฟ้าภายในของบริเวณใกล้ๆรอยต่อที่มีชั้นพี (P-Layer) เป็นศูนย์กลางมีค่ามาก อิเล็กตรอนที่ดูดแสงที่มาตกกระทบจากด้านพีบวก (P^+) และถูกกระตุ้นจากวาเลนซ์แบนด์ไปยังคอนดัคชั่นแบนด์ ในระหว่างที่มันได้รับอัตราเร่งและผ่านชั้นพีนั้นมันจะได้รับพลังงานจำนวนมากกว่าผลต่างของพลังงานของ คอนดัคชั่นแบนด์กับวาเลนซ์แบนด์ จากผลนี้ทำให้สามารถกระตุ้นอิเล็กตรอนที่อยู่ในวาเลนซ์แบนด์และทำให้เกิดอิเล็กตรอนกับโฮลใหม่ได้ และอิเล็กตรอนกับโฮลใหม่นี้ยังถูกสนามไฟฟ้าเร่งอัตราเร่งให้อีก ทำให้เกิดอิเล็กตรอนกับโฮลใหม่ออกมาอีก เมื่อขบวนการนี้เกิดอย่างต่อเนื่องกัน จำนวนของอิเล็กตรอนกับโฮลจะเพิ่มขึ้นเป็นจำนวนมากมาย (Avalanche) เป็นผลให้เกิดการขยายที่เรียกว่าการเพิ่มขึ้นแบบอวาลานเช (Avalanche Multiplication) ผลนี้ทำให้กระแสถูกขยายนั่นเอง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.40 แสดงหลักการทำงานการรับแสงและระดับพลังงานของอวาลานเชโฟโต้ไดโอด

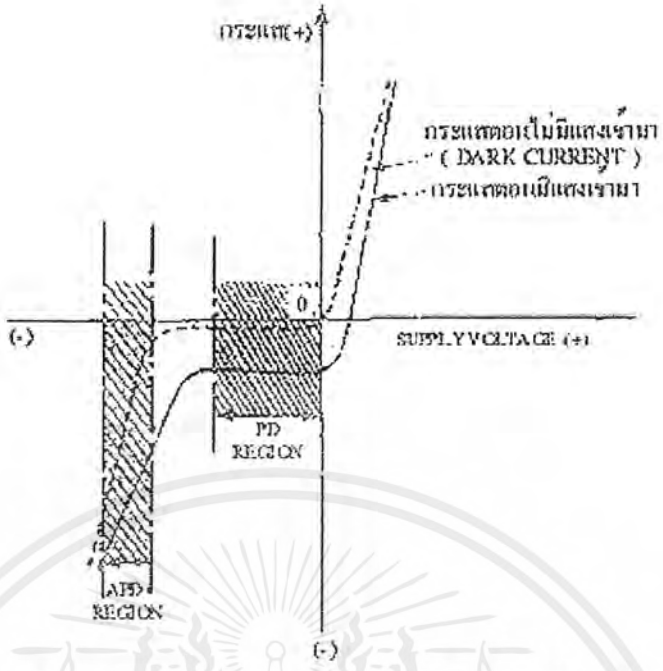
คุณสมบัติของอุปกรณ์รับแสง

ประสิทธิภาพของอุปกรณ์รับแสงประเมินจากคุณสมบัติต่างๆ ได้แก่ ประสิทธิภาพทางควอนตัม ซึ่งแสดงว่าแสงที่รับมานั้นถูกเปลี่ยนเป็นไฟฟ้าได้มากเท่าไร , ความไวการรับแสง คือระดับรับแสงต่ำสุดที่ต้องการสำหรับการส่งที่มีคุณภาพ ซึ่งเป็นองค์ประกอบที่สำคัญในการออกแบบระยะการถ่ายทอดของระบบการสื่อสารด้วยเส้นใยแสง , สัญญาณรบกวน (Noise) ที่เกิดขึ้นและความเร็วของการตอบสนองการทำงาน สำหรับประสิทธิภาพทางควอนตัม กำหนดจากสารและโครงสร้างของอุปกรณ์รับแสงแต่สำหรับความไวการรับแสงนั้นจะเกี่ยวข้องกับขนาดของแรงดันไฟฟ้าที่ป้อนให้

เนื่องจากอวาลานเชโฟโต้ไดโอด ใช้ปรากฏการณ์การขยายของอวาลานเช ดังนั้นจึงมีความไวในการรับแสงสูงประมาณ 10-20 เดซิเบล (10-100 เท่า) เมื่อเทียบกับโฟโต้ไดโอด สัญญาณรบกวนที่เกิดในอุปกรณ์รับแสงมีสิ่งที่เรียกว่า ชอร์ทน้อยส์ (Short Noise) ชอร์ทน้อยส์นี้เป็นสัญญาณรบกวนอันเนื่องมาจากการเปลี่ยนแปลงของโฟโต้เคอร์เรนท์ (Photo Current) ที่เกิดจากการกระตุ้นอิเล็กตรอนอย่างไม่เป็นระเบียบทางเวลาหรือทางสเปซ (Space)

คุณสมบัติของอุปกรณ์รับแสงทั่วไปแสดงดังรูป 2.41 จากรูปจะช่วยทำให้เข้าใจความแตกต่างของบริเวณการทำงานของอวาลานเชโฟโต้ไดโอด และโฟโต้ไดโอดได้ดี และในรูป 2.41 นี้ได้แสดงการไหลของกระแสที่เรียกว่า ด้าร์กเคอร์เรนท์ (Dark Current) ที่เกิดในสภาพที่มีแรงดันไฟฟ้าในทิศทางกลับป้อนให้แต่ไม่มีแสงเข้ามาด้วย

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.41 แสดงแรงดันไฟฟ้าที่ป้อนให้และโฟโต้เดอร์เรนท์

กระแสด้ารักเดอร์เรนท์นี้มีลักษณะพิเศษคือมันจะเพิ่มขึ้นเร็วกว่าการเพิ่มขึ้นของสัญญาณเอาท์พุท ชอร์ทน้อยส์ เป็นสิ่งที่เกิดจาก คาร์กเดอร์เรนท์และอื่นๆที่เป็นแหล่งต้นกำเนิด

ในการออกแบบระบบการสื่อสารด้วยเส้นใยแสง นอกจากจะร้องคำนึงถึงชอร์ทน้อยส์นี้แล้ว ยังมี เทอร์มัลน้อยส์ (Thermal Noise) ที่เกิดในวงจรไฟฟ้าซึ่งไม่เกี่ยวกับสัญญาณแสงที่เข้ามา ดังนั้นในการออกแบบระบบการสื่อสารด้วยเส้นใยแสง จำเป็นต้องออกแบบให้เหมาะสมที่ทำให้ ผลรวมของเทอร์มัลน้อยส์กับชอร์ทน้อยส์มีค่าต่ำมากเมื่อเทียบกับระดับของสัญญาณ

ความเร็วการตอบสนองความถี่ เป็นสิ่งที่กำหนดจากเวลาที่มีสัญญาณแสงเข้ามา จนกระทั่งเกิดปรากฏการณ์ดูดแสง แต่ในปัจจุบันเนื่องจากทั้งโฟโต้ไดโอด และอวาลานเชโฟโต้ไดโอด สามารถตอบสนองความเร็วได้ถึงหลายจิกะเฮิร์ท จึงไม่มีปัญหาในการใช้งาน การเปรียบเทียบคุณสมบัติต่างๆของโฟโต้ไดโอด กับอวาลานเชโฟโต้ไดโอด แสดงดังตาราง 2.3

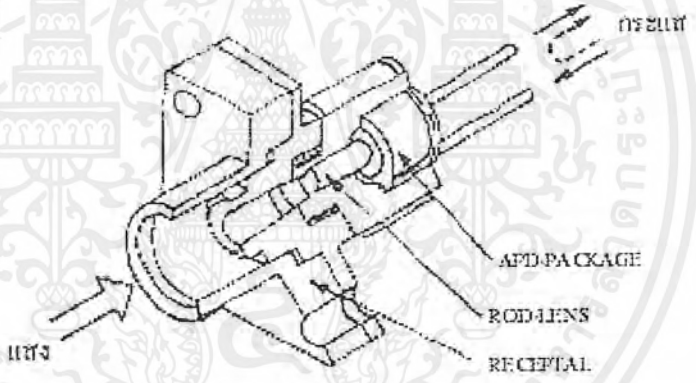
ตาราง 2.3 แสดงการเปรียบเทียบคุณสมบัติของอุปกรณ์รับแสง

	PD	APD
ประสิทธิภาพทางควอนตัม	ประมาณ 80%	ประมาณ 80%
ความไวในการรับแสง[1]	-15 ถึง 20 dBm	-30 ถึง 40 dBm
ความเร็วการตอบสนองความถี่	ประมาณหลายจิกะเฮิร์ท	ประมาณหลายจิกะเฮิร์ท
อัตราการขยาย	1	ประมาณ 500
ค่าแรงดันไฟฟ้าที่ทำงาน	0-20 V	30-200 V

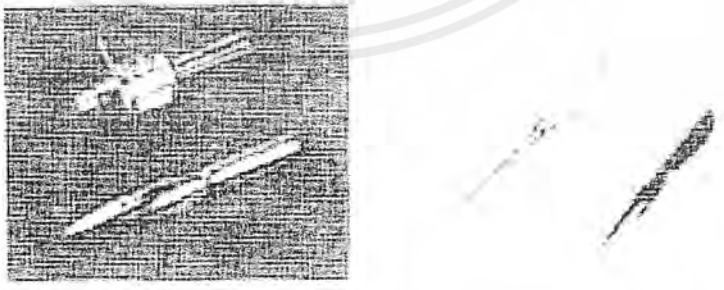
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การเชื่อมต่อระหว่างอุปกรณ์รับแสงกับเส้นใยแสง

การเชื่อมต่อระหว่างอุปกรณ์รับแสงกับเส้นใยแสงเป็นองค์ประกอบสำคัญอันหนึ่งในการออกแบบระบบการสื่อสารด้วยเส้นใยแสง ในกรณีที่ถูกปล่อยออกไปในอากาศจากปลายของเส้นใยแสงนั้น แสงที่เดินทางมาในเส้นใยแสงจะถูกปล่อยออกไปจากปลายเส้นใยแสงในลักษณะที่มีความกว้างใกล้เคียงกับค่า NA (Numerical Aperture) ของเส้นใยแสง ด้วยเหตุนี้เพื่อที่จะทำการเชื่อมต่ออุปกรณ์รับแสงเข้ากับเส้นใยแสง จะต้องทำให้อุปกรณ์รับแสงอยู่ใกล้กับปลายของเส้นใยแสงให้มากที่สุดเท่าที่จะมากได้ หรือไม่อย่างนั้นก็ต้องทำอุปกรณ์รับแสงให้มีพื้นที่รับแสงโตมาก เส้นผ่านศูนย์กลางการรับแสงของอุปกรณ์รับแสงที่ทำงานด้วยความเร็วสูงนั้น โดยทั่วไปต้องมีเส้นผ่านศูนย์กลางประมาณ 100 ไมโครเมตร ดังนั้นจึงต้องมีวิธีการรวมแสงให้แก่ด้านรับแสงโดยใช้ ร็อดเลนส์ (Rod Lens) ซึ่งมีลักษณะเป็นแท่งกลมยาว ไปวางไว้ข้างหน้าอุปกรณ์รับแสง เพื่อทำหน้าที่รวมแสงที่ปล่อยออกมาจากเส้นใยแสงให้แก่ด้านรับแสงของอุปกรณ์รับแสง ร็อดเลนส์และอุปกรณ์รับแสงที่ประกอบเป็นชิ้นเดียวกันนี้เรียกว่า โมดูล (Module) ของอุปกรณ์รับแสง ตัวอย่างโครงสร้างภายในของโมดูลนี้ แสดงดังรูป 2.42 และตัวอย่างของ โมดูลพินโฟโต้ไดโอด และโมดูลอวาลานเชโฟโต้ไดโอด แสดงอยู่ในรูป 2.43



รูปที่ 2.42 แสดงตัวอย่างโครงสร้างภายในของโมดูลอวาลานเชโฟโต้ไดโอด

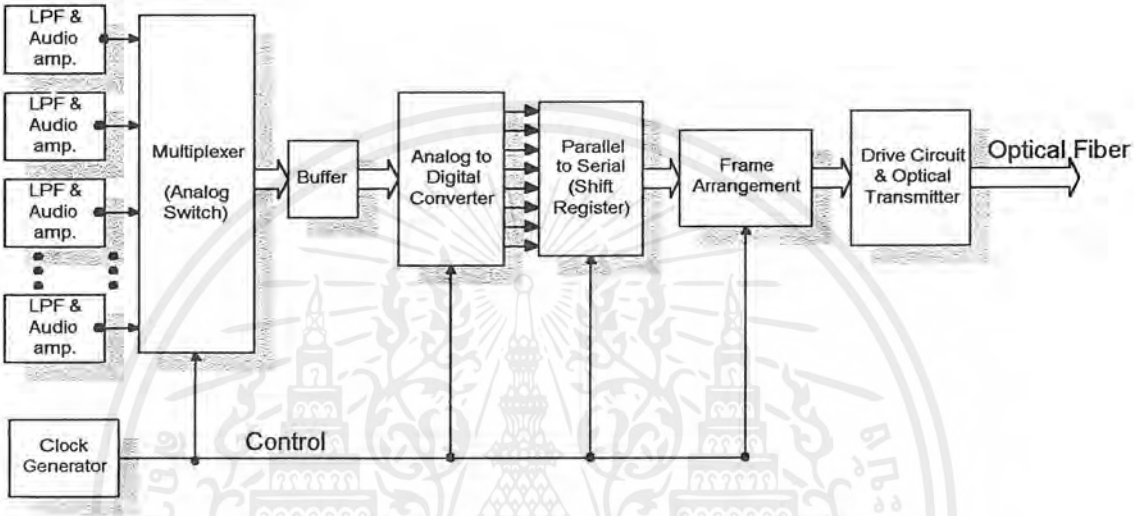


รูปที่ 2.43 แสดงโมดูลพินโฟโต้ไดโอดและโมดูลอวาลานเชโฟโต้ไดโอด

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 3
การคำนวณและการสร้าง

ในส่วนการออกแบบระบบนั้น จากทฤษฎีและหลักการที่ได้นำเสนอมาในบทที่ 2 สามารถสรุปโครงสร้างทางด้านส่งของระบบการสื่อสารดิจิตอลผ่านเส้นใยแสงด้วยการมัลติเพล็กซ์แบบแบ่งเวลาได้ตามบล็อคไดอะแกรมดังรูปที่ 3.1

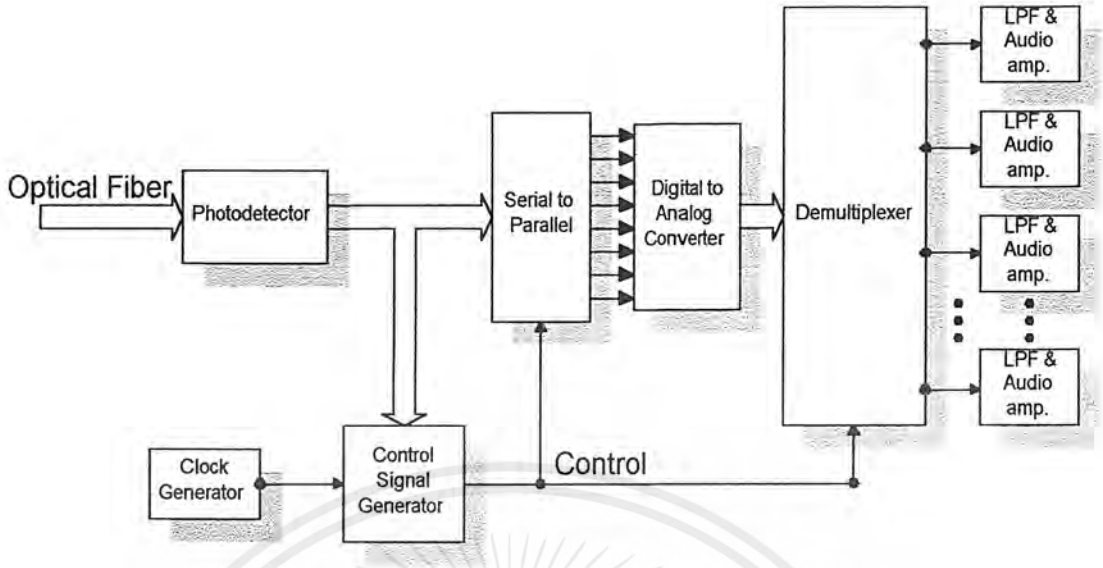


รูปที่ 3.1 บล็อคไดอะแกรมแสดงการทำงานของด้านส่ง

จากบล็อคไดอะแกรมนั้น จะพบว่าโครงงานนี้ใช้การมัลติเพล็กซ์แบบแบ่งเวลาก่อนการแปลงสัญญาณให้อยู่ในรูปของพัลส์โค้ดมอดูเลชั่น เนื่องจากต้องการประหยัดอุปกรณ์ในภาคการเข้ารหัสพัลส์โค้ดมอดูเลชั่น โดยจะใช้อุปกรณ์ในการเข้ารหัสความเร็วสูงเพียงชุดเดียว เมื่อทำการเข้ารหัสพัลส์โค้ดมอดูเลชั่นได้เป็นสัญญาณดิจิตอลแล้ว ก็จะทำการจัดเฟรมสำหรับการส่ง ซึ่งจะต้องเปลี่ยนข้อมูลขนานเป็นข้อมูลอนุกรมและทำการสร้างขบวนเฮดเดอร์ (Header) หลังจากนั้นก็จะนำข้อมูลเหล่านี้ไปทำการแปลงเป็นสัญญาณแสงโดยผ่านวงจรขับกระแส เพื่อทำการส่งสัญญาณไปในเส้นใยแสงต่อไป

และเมื่อสัญญาณเดินทางผ่านเส้นใยแสงมายังด้านรับแล้ว จะถูกเปลี่ยนเป็นสัญญาณไฟฟ้าเพื่อใช้ในการสร้างข้อมูลออกมา โดยบล็อคไดอะแกรมของทางด้านรับจะแสดงอยู่ในรูปที่ 3.2 เมื่อได้สัญญาณไฟฟ้าออกมาแล้ว จะทำการนำบิทเฮดเดอร์ของข้อมูลมาทำการควบคุมการรับข้อมูล โดยมีการใช้สัญญาณนาฬิกาที่มีความถี่สูงกว่าอัตราการส่งข้อมูลมาใช้ตรวจจับสัญญาณจากภาคส่งเพื่อสร้างสัญญาณควบคุม สัญญาณที่ผ่านจากส่วนสร้างสัญญาณควบคุมการรับจะเป็นตัวที่ใช้ควบคุมการดีมัลติเพล็กซ์ และควบคุมการแปลงสัญญาณจากดิจิตอลเป็นอนาล็อกด้วย เมื่อข้อมูลผ่านส่วนสร้างสัญญาณควบคุมการรับแล้ว ตัวข้อมูลที่แท้จริงจะถูกเปลี่ยนจากข้อมูลแบบอนุกรมเป็นข้อมูลแบบขนาน 8 บิท และจะถูกแปลงเป็นสัญญาณอนาล็อก โดยจะออกมาในรูปของสัญญาณดิสครีต และเมื่อนำมาดีมัลติเพล็กซ์แล้วก็จะได้สัญญาณของแต่ละช่องสัญญาณออกมา

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



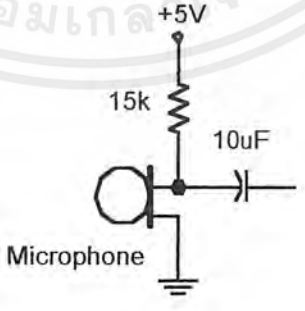
รูปที่ 3.2 บล็อคไดอะแกรมแสดงการทำงานของด้านรับ

รายละเอียดการทำงานของบล็อคไดอะแกรมทางด้านส่งและด้านรับที่อยู่ข้างต้นนี้ จะมีการอธิบายเป็นส่วนต่างๆ ได้ดังต่อไปนี้

3.1 วงจรภาคส่ง

3.1.1 สัญญาณอนาล็อกอินพุท (Analog Input Signal)

ใช้คอนเดนเซอร์ไมโครโฟน (Condenser Micorphone) เป็นอุปกรณ์รับสัญญาณเสียง ซึ่งมีข้อดี คือ ราคาถูก หาซื้อง่าย แต่ต้องมีการป้อนไฟเลี้ยงให้แก่คอนเดนเซอร์ไมโครโฟน สำหรับตัวเก็บประจุนั้นใช้ในการคัปปลิ้ง (Coupling) สัญญาณ วงจรในส่วนการรับสัญญาณเสียงแสดงดังรูปที่ 3.3



รูปที่ 3.3 แสดงวงจรแปลงสัญญาณเสียงเป็นสัญญาณไฟฟ้า

3.1.2 วงจรกรองความถี่ต่ำผ่าน (Low Pass Filter)

เป็นวงจรที่ใช้งานในสองส่วน คือ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

- ใช้เป็นวงจรกรองความถี่ต่ำผ่านเพื่อจำกัดความถี่เสียง (Band Limit Filter)ให้อยู่ในช่วง 0 – 4 กิโลเฮิร์ท (ตามข้อกำหนดของ CCITT ที่กำหนดให้ช่วงความถี่ที่มีผลในการส่งเสียงคำพูดให้อยู่ระหว่าง 300 – 3400 เฮิร์ท โดยช่วงความถี่ 0 – 300 เฮิร์ท และ 3400 – 4000 เฮิร์ท เป็น Guard Band) ในส่วนรับสัญญาณเสียงเพื่อป้องกันการพร่าเพี้ยนที่เกิดจากแถบคลื่นซ้อนกัน (Aliasing Distortion)

- ใช้ในส่วนการกู้คืนสัญญาณอนาล็อกเดิมกลับมาตามทฤษฎี

การออกแบบวงจรกรองความถี่ต่ำผ่านนั้น ได้ออกแบบให้มีการลัทออฟที่ความถี่ 3.5 กิโลเฮิร์ท โดยอยู่ในรูปวงจรกรองความถี่ต่ำผ่านแบบบัทเตอร์เวิร์ท (Butterworth) อันดับ 5 ใช้ออปแอมป์ต่อแบบคาสเคส (Cascade) กัน 3 ตัว มีการคำนวณค่าตัวต้านทานและตัวเก็บประจุ ดังนี้

$$R_{new} = K_m R_{old}$$

$$C_{new} = \frac{1}{K_m K_f} C_{old}$$

กำหนดให้ $R_{old} = 1, C_{old} = 2Q, C_{old2} = \frac{1}{2Q}$

$$Q_1 = 1.618, \quad Q_2 = 0.618$$

ให้ $K_m = 1.471\,k\Omega$

$$K_f = 2\pi f_c = 2\pi \times 3.5\,kHz$$

$$C_1 = \frac{2Q_1}{K_m K_f} = \frac{2 \times 1.618}{1.471k\Omega \times 2\pi \times 3.5\,kHz}$$
$$= 0.1\,\mu F$$

$$R_1 = 1.5\,k\Omega$$

$$C_2 = \frac{1}{2Q_1 K_m K_f} = \frac{1}{2 \times 1.618 \times 1.471k\Omega \times 2\pi \times 3.5\,kHz}$$
$$= 9.5\,nF$$

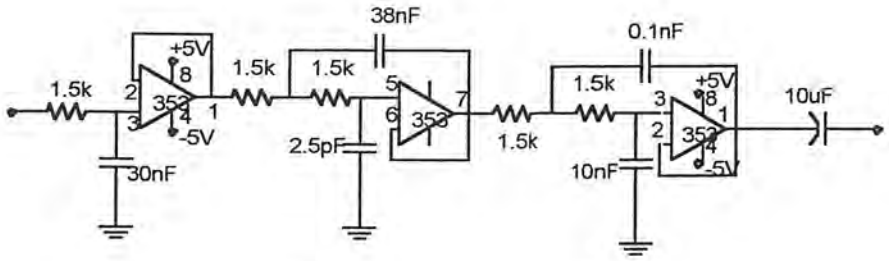
$$C_3 = \frac{1}{2Q_2 K_m K_f} = \frac{1}{2 \times 0.618 \times 1.471k\Omega \times 2\pi \times 3.5\,kHz}$$
$$= 2.5\,pF$$

$$C_4 = \frac{2Q_2}{K_m K_f} = \frac{2 \times 0.618}{1.471k\Omega \times 2\pi \times 3.5\,kHz}$$
$$= 38\,nF$$

$$C_5 = \frac{1}{K_m K_f} = \frac{1}{1.471k\Omega \times 2\pi \times 3.5\,kHz}$$
$$= 30\,nF$$

จากค่าตัวเก็บประจุ และตัวต้านทาน ที่คำนวณได้นำมาสร้างวงจรกรองความถี่ต่ำผ่านดังรูปที่ 3.4

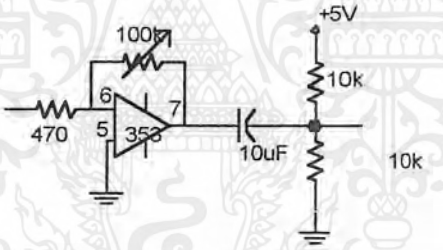
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.4 แสดงวงจรกรองความถี่ต่ำผ่าน

3.1.3 วงจรขยายแรงดันไฟฟ้า

เนื่องจากสัญญาณที่ได้รับจากคอนเดนเซอร์ไมโครโฟนมีระดับต่ำ จากการทดสอบพบว่าในกรณีเป่าลำโพงด้วยปากอย่างแรงจะได้ระดับสัญญาณสูงสุดประมาณ 400 มิลลิโวลต์ (mVp-p) จึงมีการเพิ่มวงจรขยายแรงดัน (Inverting Amplifier) ที่มีอัตราขยายแรงดัน 100 เท่าเข้าไปในส่วนอินพุทหลังวงจรกรองความถี่ต่ำผ่าน สัญญาณเอาท์พุทของวงจรจะมีค่าเป็นไฟลบอยู่ด้วย จึงต้องมีการป้อนไฟตรงขนาด +2.5 โวลต์ให้กับสัญญาณเอาท์พุทของวงจร โดยการใช้ตัวต้านทานมาเป็นตัวป้อนไฟตรงให้กับสัญญาณเอาท์พุท



รูปที่ 3.5 แสดงวงจรขยายแรงดันไฟฟ้าแบบกลับเฟส (Inverting Amplifier)

3.1.4 สวิทช์เลือกช่องสัญญาณ (Analog Switch Multiplex)

ทำหน้าที่เลือกสัญญาณอนาล็อกจากอินพุทชุดใดชุดหนึ่งป้อนให้กับส่วนแปลงสัญญาณอนาล็อกเป็นดิจิตอล โดยการควบคุมตำแหน่งช่องสัญญาณจากวงจรหารความถี่สัญญาณนาฬิกา ซึ่งวงจรในส่วนนี้คือ สวิทช์มัลติเพล็กซ์แบบแบ่งเวลา (TDM Switch) และวงจรแซมปลิ้งนั่นเอง จากแบนด์วิดท์ของสัญญาณเสียง 4 กิโลเฮิร์ท จะได้ความถี่ของการแซมปลิ้งซึ่งจะเป็นสองเท่าของความถี่สูงสุดของสัญญาณคือ 8 กิโลเฮิร์ท ดังนั้นระยะห่างระหว่างแซมเปิ้ลของแต่ละช่องสัญญาณจะเท่ากับ

$$\frac{1}{8000} = 125\ \mu s$$

จากการมัลติเพล็กซ์แบบแบ่งเวลาของสัญญาณอินพุททั้ง 8 ช่องสัญญาณให้เสร็จภายใน 125 ไมโครวินาที จึงต้องทำการแซมปลิ้งแต่ละช่องสัญญาณให้เสร็จภายในเวลา $\frac{125}{8} = 15.625$ ไมโครวินาที

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ดังนั้น สวิทช์เลือกช่องสัญญาณจึงต้องเป็นอนาล็อกสวิทช์ที่มีความเร็วในการเปิด ปิดสูง และมีการรบกวนข้ามช่องสัญญาณต่ำ จึงเลือกใช้ไอซีเบอร์ 74HC4066 ซึ่งเป็นอนาล็อกสวิทช์ที่มีความเร็วในการปิด เปิด 1 ไมโครวินาที ซึ่งเพียงพอกับความต้องการของระบบ

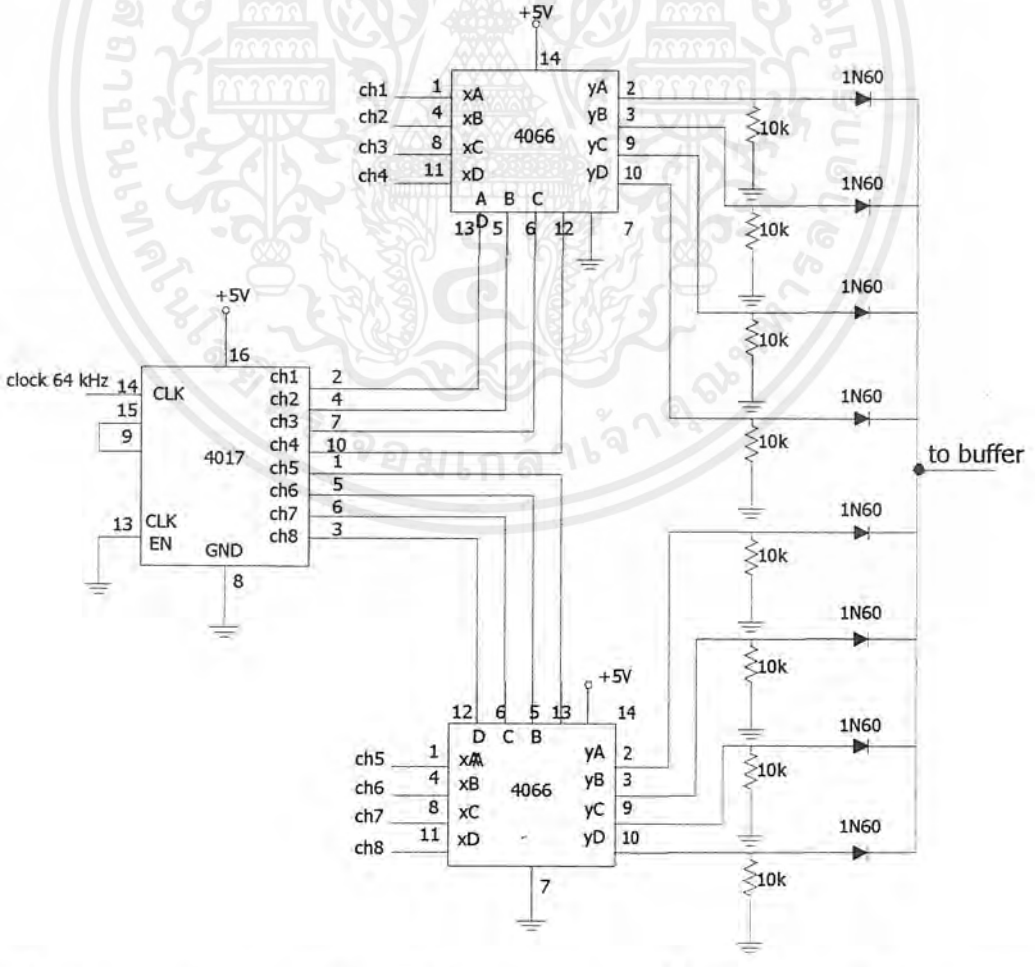
ในการใช้งานอนาล็อกสวิทช์ จะต้องมีพัลส์สัญญาณที่ใช้ควบคุมตัวสวิทช์ ทำให้มีการเลือกช่องสัญญาณที่ถูกต้อง ช่องสัญญาณแต่ละช่องจะมีสัญญาณควบคุมของตัวเอง เมื่อมีพัลส์สัญญาณควบคุมที่เป็นไฟบวกเข้ามา ช่องสัญญาณช่องนั้นจะถูกเลือก

เอาท์พุทของแต่ละช่องสัญญาณเมื่อนำมารวมกันแล้ว จะเกิดการรบกวนกันระหว่างช่องสัญญาณ ดังนั้นจึงต้องใส่ไดโอด ที่เอาท์พุทเพื่อป้องกันสัญญาณที่จะย้อนกลับระหว่างช่องสัญญาณ

3.1.5 วงจรหารความถี่

ใช้เป็นสัญญาณควบคุมสวิทช์เลือกช่องสัญญาณ โดยใช้ไอซีเบอร์ 4017 ซึ่งจะรับอินพุทเป็นสัญญาณนาฬิกาความถี่ 64 กิโลเฮิร์ท มาแบ่งออกเป็นสัญญาณควบคุมความถี่ 8 กิโลเฮิร์ท ที่มีดิวตี้ไซเคิ้ล (Duty Cycle) ช่วงสัญญาณไฟบวก 15.625 ไมโครวินาทีและมีการสลับช่วงเวลากัน

โดยมีการจัดวงจรสวิทช์และวงจรหารความถี่ตามรูปที่ 3.6

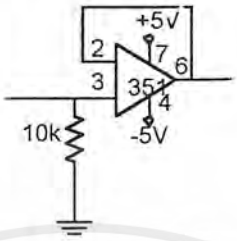


รูปที่ 3.6 แสดงการต่อวงจรอนาล็อกสวิทช์เข้ากับวงจรหารความถี่ที่ใช้ควบคุมการเลือกช่องสัญญาณ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.1.6 วงจรบัฟเฟอร์

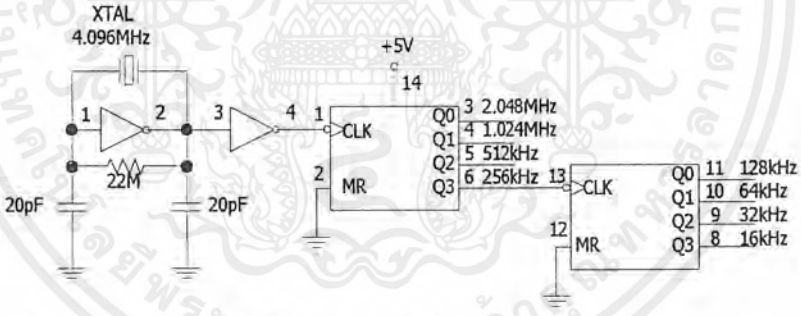
ใช้ป้องกันการรบกวนในสวิทช์เลือกช่องสัญญาณ เนื่องจากไอซี 74HC4066 เป็นแบบ 4 อินพุท 4 เอาท์พุท และทุกช่องสัญญาณจะต่อรวมกันที่อินพุทของตัวแปลงสัญญาณอนาล็อกเป็นดิจิตอล ซึ่งอาจจะมีการรบกวนกันเองระหว่างช่องสัญญาณและส่งผลไปถึงตัวแปลงสัญญาณอนาล็อกเป็นดิจิตอล



รูปที่ 3.7 แสดงวงจรบัฟเฟอร์

3.1.7 วงจรสร้างสัญญาณนาฬิกา

ใช้ในการกำเนิดสัญญาณนาฬิกา โดยการนำสัญญาณความถี่ 4.096 เมกกะเฮิร์ท จากคริสตัลออสซิลเลเตอร์ผ่านวงจรหารความถี่ 2 ชุด ซึ่งใช้ไอซีเบอร์ 74HC393 จะได้เอาท์พุทเป็นสัญญาณนาฬิกาที่ความถี่ 1.024 เมกกะเฮิร์ท, 512 กิโลเฮิร์ท, 256 กิโลเฮิร์ท, 128 กิโลเฮิร์ท, 64 กิโลเฮิร์ท, 32 กิโลเฮิร์ท และ 16 กิโลเฮิร์ท ดังแสดงในรูปที่ 3.8



รูปที่ 3.8 แสดงวงจรกำเนิดสัญญาณนาฬิกา

3.1.8 วงจรแปลงสัญญาณอนาล็อกเป็นดิจิตอล (A/D Converter)

จากการที่แซมเปิ้ลของสัญญาณอนาล็อกแต่ละช่องสัญญาณต้องถูกแปลงเป็นสัญญาณดิจิตอลภายในเวลา 15.625 ไมโครวินาที และพร้อมที่จะรับแซมเปิ้ลของช่องสัญญาณต่อไป จึงเลือกใช้ตัวแปลงสัญญาณอนาล็อกเป็นดิจิตอล เบอร์ 0820 ซึ่งเป็น ตัวแปลงสัญญาณอนาล็อกเป็นดิจิตอล 8 บิท ชนิดความเร็วสูง มีความเร็วในการแปลงประมาณ 2.5 ไมโครวินาทีในการใช้งานแบบเดี่ยว ไม่ได้ต่อร่วมกับซีพียู (Stand Alone) ซึ่งเพียงพอที่จะรองรับการแปลงสัญญาณอนาล็อกทั้ง 8 ช่องสัญญาณ

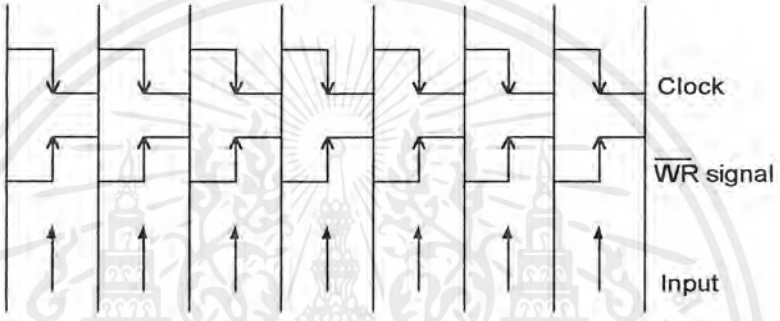
จากวงจรจะจัดระดับสัญญาณเปรียบเทียบระดับสูงไว้ที่ 5 โวลต์ โดย ADC 0820 มีการเข้ารหัสแบบ 8 บิทต่อแซมเปิ้ล จึงมีการจัดระดับสัญญาณ 256 ระดับดังนั้นแต่ละระดับจะมีความแตกต่าง

$$\frac{5}{256} = 19.5 \text{ mV}$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษา ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สัญญาณอนาล็อกซึ่งผ่านการเลือกช่องสัญญาณจากอนาล็อกสวิทช์แล้วจะป้อนเข้าสู่บัฟเฟอร์ จากนั้นจะป้อนเข้าสู่ขา V_{in} ของ ADC 0820 ซึ่งภายใน ADC 0820 นี้จะมีวงจรแซมเปิ้ลแอนด์โฮลอยู่ภายในตัวแล้ว เมื่อสัญญาณที่ขา WR ซึ่งเป็นขาสัญญาณที่ใช้ป้อนสัญญาณนาฬิกาที่ใช้ควบคุมการทำงานของตัวแปลงสัญญาณอนาล็อกเป็นดิจิตอล แอดทีฟ ADC 0820 จะเริ่มกระบวนการแปลงสัญญาณ ซึ่งจะใช้เวลาประมาณ 2.5 ไมโครวินาที หลังจากเสร็จสิ้นแล้ว สัญญาณที่ขา INT จะแอดทีฟ ซึ่งจะอ่านข้อมูลได้โดยจัดให้ขา RD แอดทีฟ ข้อมูลก็จะถูกส่งออกทางขา DB0 – DB7

โดยที่สัญญาณนาฬิกาจากวงจรสร้างสัญญาณจะต้องผ่านตัวอินเวอร์เตอร์ก่อน เนื่องจากการทำงานของตัวไอซี จะรับข้อมูลที่ขอบขาขึ้นของสัญญาณนาฬิกา เมื่อผ่านอินเวอร์เตอร์แล้วขอบขาขึ้นของสัญญาณจะอยู่ที่กึ่งกลางของสัญญาณ



รูปที่ 3.9 แสดงรูปแบบของสัญญาณนาฬิกาที่ใช้ควบคุมตัวแปลงสัญญาณอนาล็อกเป็นดิจิตอล

3.1.9 วงจรแปลงสัญญาณขนานเป็นอนุกรม

สัญญาณที่ได้จากตัวแปลงสัญญาณอนาล็อกเป็นดิจิตอล จะเป็นสัญญาณแบบขนาน 8 บิทออกมา และในการส่งจะต้องส่งไปบนสายส่งเพียงเส้นเดียว จึงต้องทำให้ข้อมูลอยู่ในรูปของสัญญาณแบบอนุกรม โดยใช้ไอซีเบอร์ 74LS165

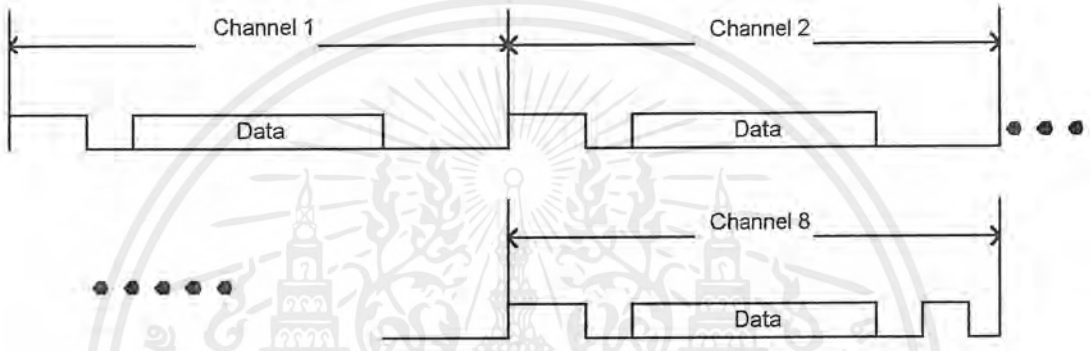
ในการส่งข้อมูล รูปแบบของเฟรมข้อมูลจะแบ่งออกเป็น 3 ส่วนคือ ส่วนของเฮดเดอร์ ,ข้อมูล และส่วนปิดท้ายข้อมูล ในส่วนของข้อมูลจะทำการเข้ารหัสเป็นแบบไบเฟส ซึ่งในที่นี้จะใช้ตัวอินเวอร์เตอร์เป็นตัวสร้างสัญญาณขึ้นมา โดยที่ข้อมูลจากเอาท์พุทของตัวแปลงสัญญาณอนาล็อกเป็นดิจิตอล แต่ละบิทจะถูกแยกออก ส่วนแรกจะถูกส่งผ่านตัวอินเวอร์เตอร์ก่อนที่จะส่งให้ 74LS165 และอีกส่วนก็ส่งเข้า 74LS165 ในขาสัญญาณอินพุทที่ต่อกัน ข้อมูลที่ผ่านจากตัว 74LS165 จะได้เป็นไบเฟสออกมา

ส่วนรูปแบบของเฮดเดอร์ ก็จะเป็นส่วนที่อยู่หน้าและหลังข้อมูล โดยที่ส่วนหน้ามีรูปแบบเป็น 11111100 ในส่วนหลังก็จะแบ่งออกเป็น 2 รูปแบบ ในช่องสัญญาณที่ 1 ถึง 7 จะมีรูปแบบเป็น 00000000 แต่ในช่องสัญญาณสุดท้าย จะมีรูปแบบเป็น 00111100 ที่ต้องให้มีรูปแบบต่างกันเนื่องจาก จะต้องเป็นตัวบอกจุดเริ่มต้นของเฟรม ว่าช่องสัญญาณแรกอยู่ตรงไหน โดยที่เมื่อทางด้านรับรับสัญญาณส่วนสุดท้ายของช่องสัญญาณสุดท้ายซึ่งแตกต่างจากช่องสัญญาณอื่นๆก็จะควบคุมสวิทช์ทางด้านรับให้กลับไปยังช่องสัญญาณแรกได้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เนื่องจากข้อมูลทั้งหมด จะมีอัตราการส่งข้อมูลเป็น $8kHz \times (8 \times 2 + 8 + 8) = 2.048Mbps$ ดังนั้น สัญญาณนาฬิกาที่จะป้อนให้กับ 74LS165 จึงต้องใช้สัญญาณที่มีความถี่ 2.048 เมกกะเฮิร์ท

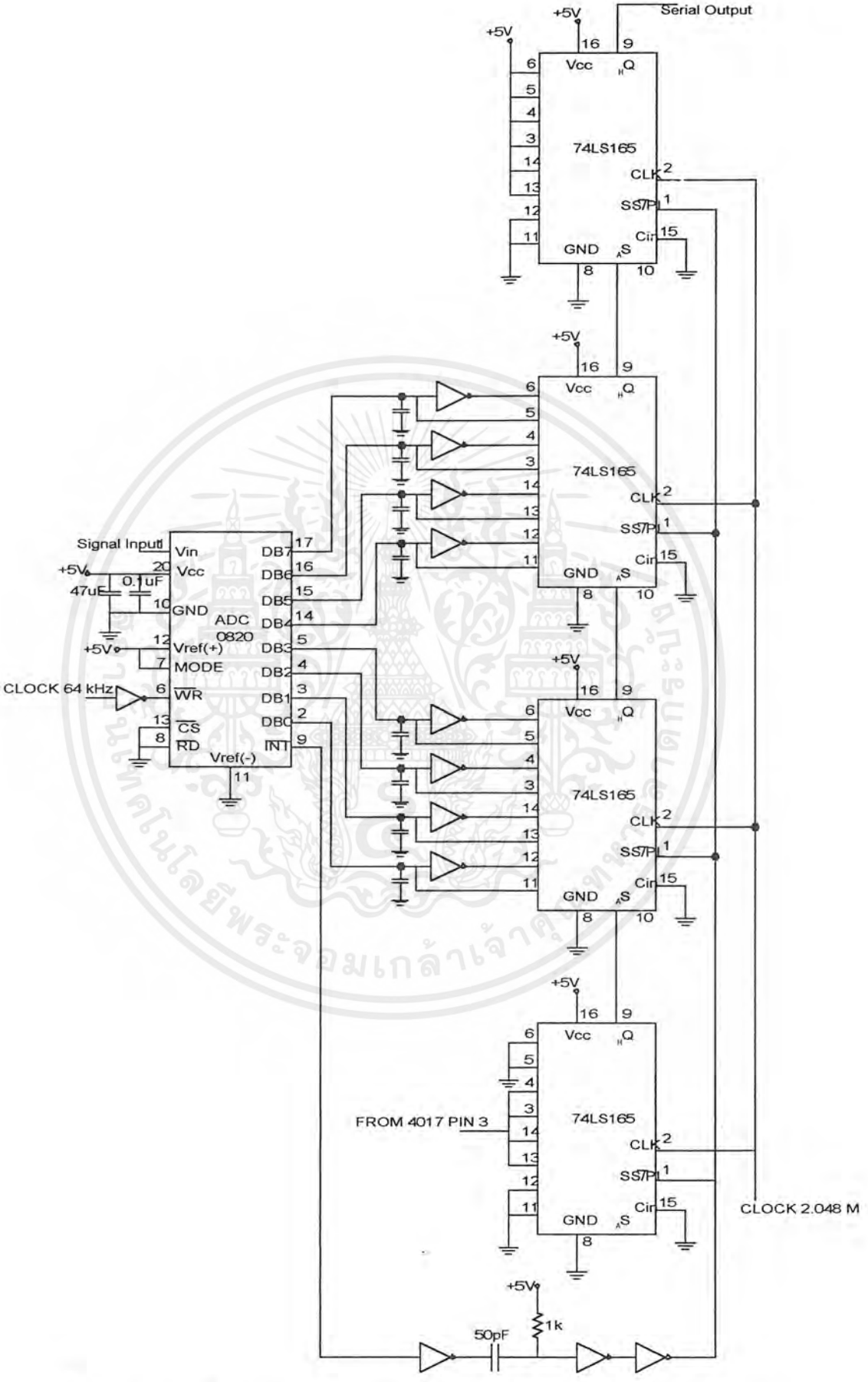
ในการสร้างข้อมูลแบบอนุกรม จะต้องใช้ไอซี 74LS165 ทั้งหมด 4 ตัว นำมาต่อเรียงกัน โดยตัวแรกขาสัญญาณอินพุท 6 บิทแรกจะต่อกับไฟตรงและ 2 บิทหลังจะต่อกับกราวนด์เพื่อสร้างเป็นเฮดเดอร์ ส่วนตัวที่ 2 และ 3 จะนำมาต่อกับสัญญาณข้อมูลที่ได้จากตัวแปลงสัญญาณอนาล็อกเป็นดิจิตอล และตัวสุดท้ายขาสัญญาณ 2 บิทแรกและ 2 บิทสุดท้ายจะต่อกับกราวนด์ และ 4 บิทที่เหลือตรงกลางจะต่อกับเอาท์พุทของวงจรหารความถี่คือ ไอซี 4017 เพราะเมื่อช่องสัญญาณสุดท้ายส่งมา 4 บิทนี้ก็จะเป็น 1111 แต่ถ้าเป็นช่องสัญญาณอื่น จะเป็น 0000 ก็จะทำให้ได้ รูปแบบของเฮดเดอร์ของสัญญาณดังที่ต้องการ



รูปที่ 3.10 แสดงรูปแบบของการจัดเฟรมข้อมูล

ขาสัญญาณ $SS/\overline{PL}$ เป็นตัวควบคุมการรับข้อมูลเข้าและการเลื่อนข้อมูลออก โดยที่ถ้าหากเป็น 0 ก็จะทำการรับข้อมูลขนานเข้ามา แต่ถ้าหากมีค่าเป็น 1 ข้อมูลที่ได้รับเข้ามาแล้วก็จะถูกเลื่อนออกไปเป็นข้อมูลอนุกรมต่อกันไปเรื่อยๆ โดยที่สัญญาณควบคุม $SS/\overline{PL}$ จะใช้สัญญาณจาก $\overline{INT}$ ของตัวแปลงสัญญาณอนาล็อกเป็นดิจิตอล ดังที่ได้กล่าวไปแล้วว่า จะแอคทีฟถ้าหากมีการส่งข้อมูลออกจากตัวแปลงสัญญาณอนาล็อกเป็นดิจิตอล โดยสัญญาณจะเป็นพัลส์ที่มีความกว้างประมาณ 800 ns ดังนั้นจึงต้องนำมาบีบให้แคบลงจึงจะสามารถควบคุมได้ทัน โดยผ่านตัวอินเวอร์เตอร์ 3 ตัว , ตัวต้านทานและตัวเก็บประจุ และจะนำสัญญาณที่ได้นี้ไปควบคุมการรับข้อมูลเข้าและเลื่อนข้อมูลออกของ 74LS165 ดังแสดงในรูปที่ 3.11

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

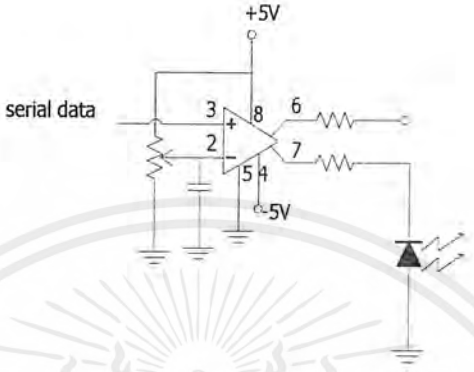


รูปที่ 3.11 แสดงการต่อวงจรแปลงสัญญาณอนาล็อกเป็นดิจิตอลเข้ากับ ชิฟรีจิสเตอร์ 74LS165

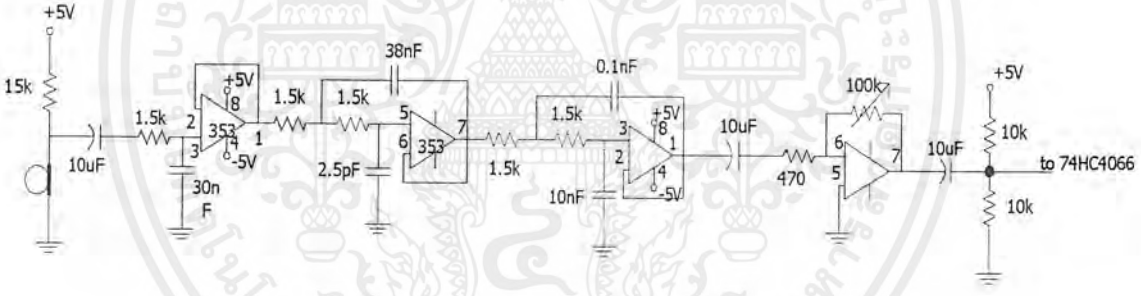
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.1.10 การเปลี่ยนสัญญาณไฟฟ้าเป็นสัญญาณแสง

ในส่วนวงจรขับกระแสเพื่อสร้างสัญญาณแสงจากอุปกรณ์แปลงสัญญาณไฟฟ้าเป็นสัญญาณแสงนั้นใช้ออปแอมป์เบอร์ LM360 เพื่อสร้างสัญญาณดิจิตอลขึ้นใหม่ก่อนขับอุปกรณ์แปลงสัญญาณไฟฟ้าเป็นสัญญาณแสง

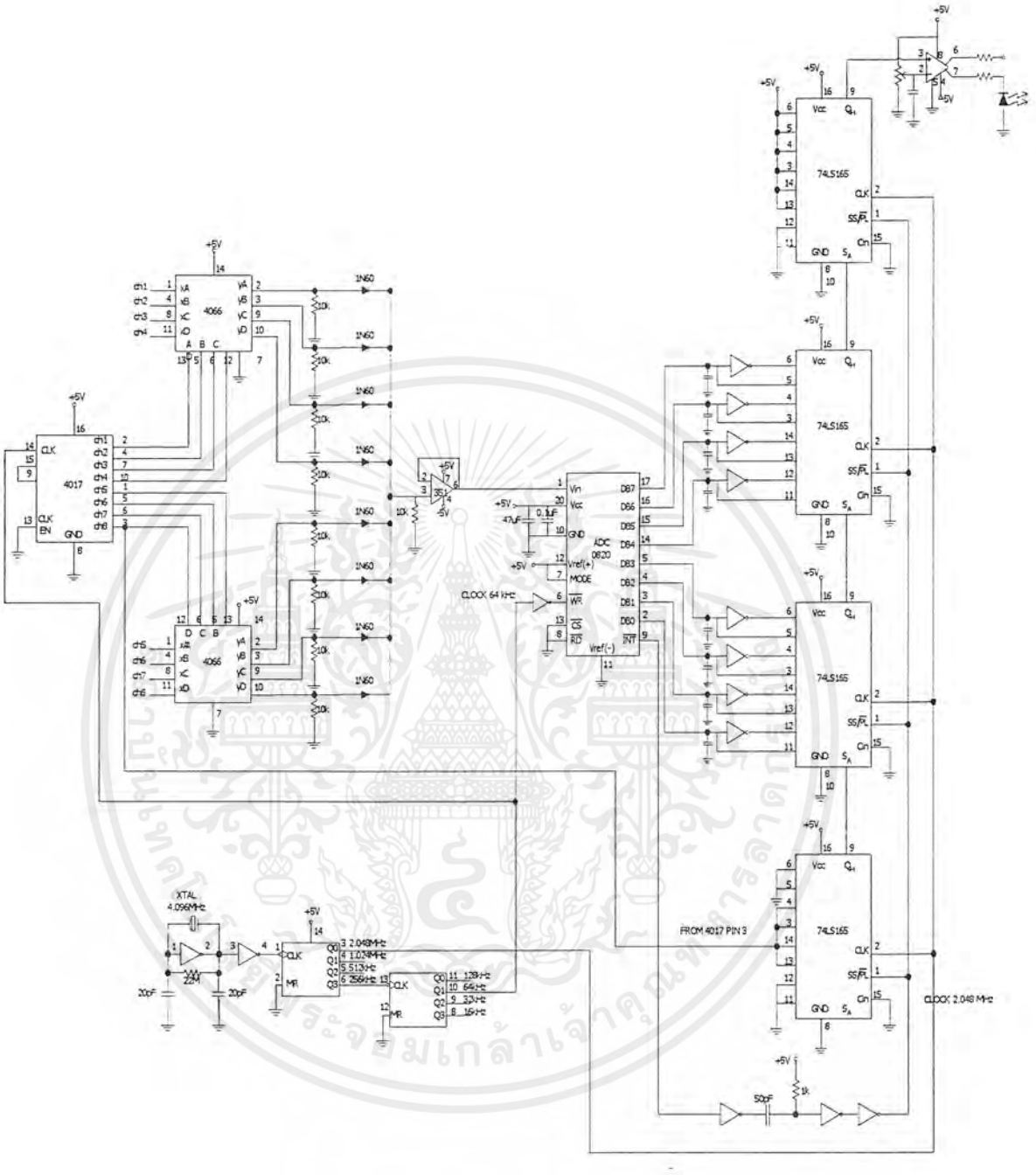


รูปที่ 3.12 แสดงวงจรขับกระแส



รูปที่ 3.13 แสดงวงจรเทอร์มินัลทางด้านส่ง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.14 แสดงรูปวงจรภาคส่ง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.2 วงจรภาครับ

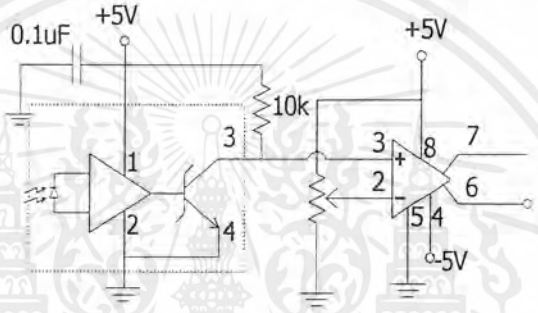
ในส่วนของวงจรภาครับนี้ แบ่งออกได้เป็น 2 ส่วนใหญ่ๆ คือ

- ส่วนสร้างสัญญาณควบคุมการทำงานของภาครับ
- ส่วนของการรับข้อมูล

ซึ่งทั้ง 2 ส่วนนี้ จะประกอบด้วยวงจรส่วนต่างๆดังนี้

3.2.1 วงจร โฟโต้ดีเทคเตอร์

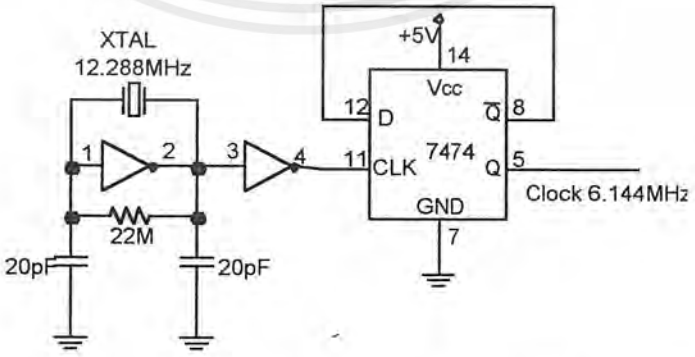
ในส่วนนี้ใช้ออปแอมป์ เบอร์ LM360 เพื่อสร้างสัญญาณดิจิตอลขึ้นใหม่ก่อนส่งไปยังภาคอื่น



รูปที่ 3.15 แสดงวงจรโฟโต้ดีเทคเตอร์

3.2.2 วงจรสร้างสัญญาณนาฬิกา

ในส่วนของภาครับนี้ จะใช้สัญญาณนาฬิกาที่มีความถี่สูงกว่าอัตราการส่งข้อมูลของทางด้านส่ง 3 เท่า เพื่อใช้ในการสร้างสัญญาณควบคุมการทำงานของภาครับทั้งหมด โดยจะใช้สัญญาณนาฬิกา 6.144 เมกกะเฮิร์ท ที่สร้างจาก คริสตัลออสซิลเลเตอร์ความถี่ 12.288 เมกกะเฮิร์ท นำมาผ่านวงจรหารความถี่จากฟลิบฟลอบ โดยใช้ไอซีเบอร์ 7474 ซึ่งจะให้ความถี่ 6.144 เมกกะเฮิร์ท ออกมา

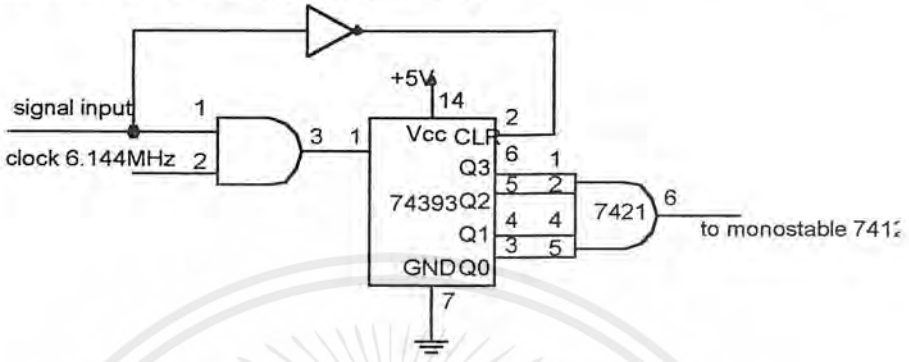


รูปที่ 3.16 แสดงวงจรสร้างสัญญาณนาฬิกาความถี่ 6.144 เมกกะเฮิร์ท

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.2.3 วงจรดีเทคส่วนเฮดเดอร์

เนื่องจากรูปแบบสัญญาณของเฮดเดอร์ เป็น 11111100 และสัญญาณนาฬิกาที่ใช้ตรวจจับมีความถี่สูงกว่าอัตราข้อมูล 3 เท่า ดังนั้นเราจะทำการตรวจจับส่วนเฮดเดอร์ของข้อมูล โดยการใช้วงจรนับ (Counter) มาช่วยในการตรวจเฮดเดอร์ รูปวงจรแสดงดังรูป



รูปที่ 3.17 แสดงการต่อวงจรนับเพื่อการตรวจเฮดเดอร์

จากรูป จะนำสัญญาณที่รับเข้ามา กับสัญญาณนาฬิกามาผ่านแอนด์เกท ซึ่งในส่วนที่เป็นเฮดเดอร์นั้น 6 บิทแรกจะเป็น "1" ทำให้สัญญาณที่เข้าสู่วงจรนับนั้นเป็นสัญญาณนาฬิกาความถี่ 6.144 เมกกะเฮิร์ทนั่นเอง และจากวงจรนับ เมื่อนับสัญญาณนาฬิกาจากเอาท์พุทของแอนด์เกทได้ 15 ลูก (นับสัญญาณข้อมูลได้ 5 บิท) สัญญาณที่ขา Q0,Q1,Q2 และ Q3 จะเป็น "1" ทั้งหมด จะทำให้ แอนด์เกท 7421 เป็น "1" ด้วย

นอกจากนี้จะเคลียร์การนับเมื่อที่ขา CLR เป็น "1" โดยที่ส่วนเฮดเดอร์ที่เป็น "0" จะผ่านอินเวอร์เตอร์ได้เป็น "1" จะเป็นตัวเคลียร์วงจรนับ ซึ่งจะทำให้มีการเคลียร์ทุกครั้งที่พบขอบขาลงของสัญญาณข้อมูล

3.2.4 วงจรโมโนสเตเบิ้ล (Monostable)

วงจรโมโนสเตเบิ้ลนี้ จะทำการหน่วงพัลส์สัญญาณ ให้ขยายกว้างออก ในที่นี้ใช้ไอซีเบอร์ 74121 โดยความกว้างของพัลส์ที่กว้างออกนี้ จะกำหนดไว้ตามสมการ

$$T_w = KR_XC_X$$

โดยที่ T_w มีหน่วยเป็น นาโนวินาที

R_X มีหน่วยเป็น กิโลโอห์ม

C_X มีหน่วยเป็นพิโคฟารัด

K จะมีค่าประมาณ 0.7

ในที่นี้เราต้องการให้วงจรโมโนสเตเบิ้ลทำการหน่วงเวลาประมาณ 3 พัลส์สัญญาณที่ส่งมา ซึ่งจะเป็นเวลา เท่ากับ

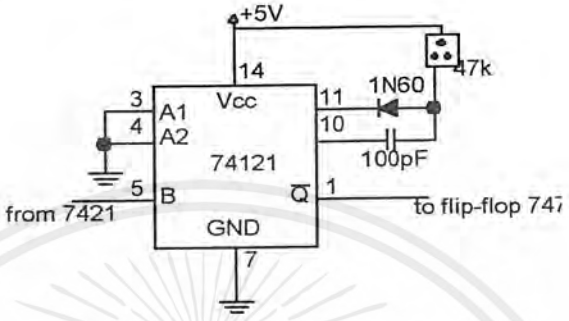
$$\frac{1}{2.048\,\text{Mbps}} \times 3 = 1.465\,\mu s$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

และจากสมการข้างต้นนี้ เราสามารถคำนวนหาค่า ความต้านทานและตัวเก็บประจุที่จะต้องใช้ในวงจรได้ดังนี้ $C_x = 100pF$

$R_x = 20.93\ k\Omega$

ในที่นี้เราเลือกใช้ ตัวเก็บประจุ 100 พิโคฟารัด และตัวต้านทานแบบปรับค่าได้ที่มีค่า 47 กิโลโอห์ม มาต่อกับขาสัญญาณของตัวไอซี ดังรูป

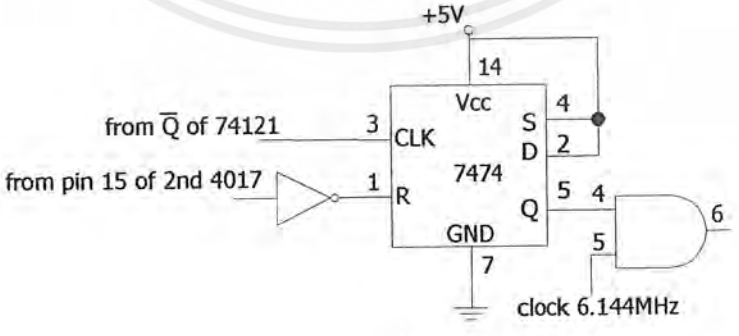


รูปที่ 3.18 แสดงการต่อวงจรโมโนสเตเบิ้ล

เมื่อพัลส์สัญญาณนาฬิกาความถี่ 6.144 เมกกะเฮิร์ท ที่พัลส์ที่16 สัญญาณอินพุทของโมโนสเตเบิ้ลจะเป็น "1" และเราจะต้องหน่วงให้พัลส์สัญญาณ "1" นี้ขยายกว้างออกเท่ากับ 1.465 ไมโครวินาที เพื่อที่จะทำให้พัลส์ขยายกว้างออกไปจนกว่าจะหมดขบวนพัลส์เฮดเดอร์ทั้ง 8 พัลส์

3.2.5 วงจรฟลิบฟลอบ

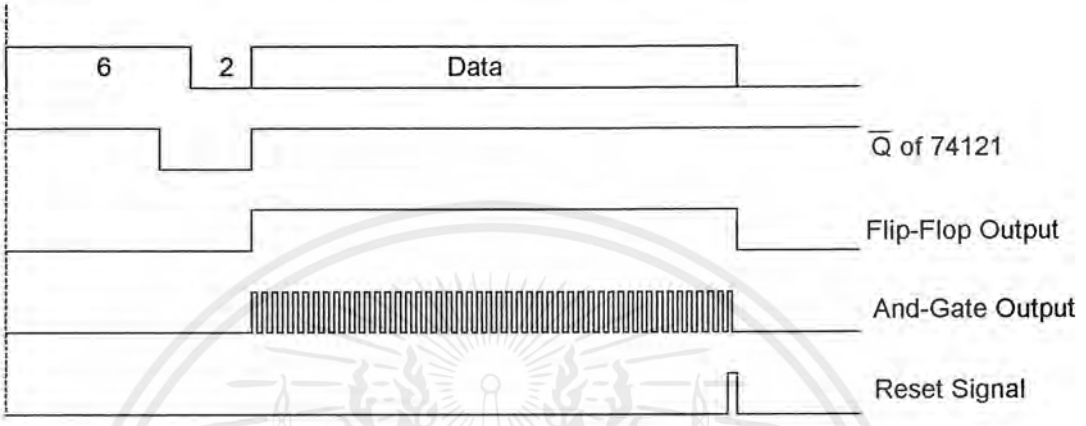
เป็นส่วนที่ต่อจากวงจรโมโนสเตเบิ้ล โดยใช้ไอซีเบอร์ 7474 ซึ่งจะทำให้ส่วนรับข้อมูลสามารถทำการรับสัญญาณส่วนที่เป็นข้อมูลได้ สัญญาณเอาท์พุทของฟลิบฟลอบนั้น จะเป็น "1" ตลอดช่วงสัญญาณที่เป็นข้อมูล โดยจะต่อขาสัญญาณนาฬิกา เข้ากับสัญญาณ $\overline{Q}$ ของโมโนสเตเบิ้ล และจะนำสัญญาณเอาท์พุทที่ได้มาผ่านแอนด์เกทร่วมกับสัญญาณนาฬิกาความถี่ 6.144 เมกกะเฮิร์ท ดังรูป



รูปที่ 3.19 แสดงการต่อวงจรฟลิบฟลอบ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เมื่อสัญญาณที่รับเข้ามาจากขา $\overline{Q}$ ของวงจรโมโนสเตเบิ้ลเป็นช่วงขอบขาขึ้น สัญญาณเอาท์พุทของฟลิบฟลอบก็จะเปลี่ยนเป็น "1" ไปจนกว่าจะมีการรีเซ็ทที่ขารีเซ็ท โดยในที่นี้จะต้องทำการรีเซ็ทเมื่อสิ้นสุดสัญญาณส่วนที่เป็นตัวข้อมูล และเมื่อนำสัญญาณเอาท์พุทนี้ไปผ่านแอนด์เกทร่วมกับสัญญาณนาฬิกาแล้ว ก็จะทำให้ได้สัญญาณนาฬิกาออกมาเฉพาะในช่วงที่เป็นส่วนของตัวข้อมูล ดังรูป

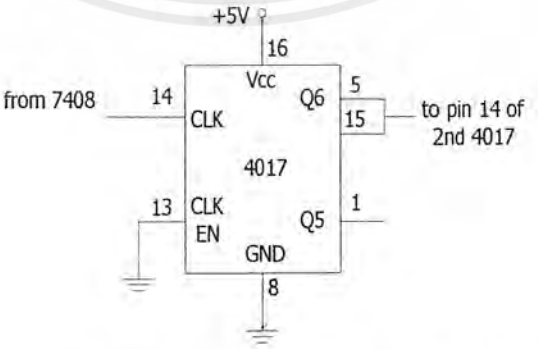


รูปที่ 3.20 แสดงรูปสัญญาณของวงจรฟลิบฟลอบ

3.2.6 ส่วนสร้างสัญญาณตรวจจับบิทข้อมูล

ส่วนวงจรนี้จะวางอยู่ในส่วนที่ถัดจาก ส่วนวงจรฟลิบฟลอบและแอนด์เกท ในวงจรนี้จะทำหน้าที่สร้างบิทที่จะใช้จับข้อมูลขึ้นมา โดยการใช้ไอซีเบอร์ 4017 จากที่กล่าวมาแล้วว่า สัญญาณนาฬิกาที่ใช้ในภาครับนั้นมีความถี่สูงกว่าอัตราข้อมูลอยู่ 3 เท่าด้วยกัน และการเข้ารหัสของตัวข้อมูลเองก็เป็นแบบไบเฟส ดังนั้นจึงกล่าวได้ว่า จำนวนพัลส์สัญญาณนาฬิกา 6 พัลส์ จึงจะมีความกว้างเท่ากับข้อมูลที่แท้จริง 1 บิท

ดังนั้น ในการต่อวงจรโดยใช้ไอซี 4017 เพื่อให้ได้เอาท์พุทออกมาเป็นพัลส์สัญญาณ 8 พัลส์ตามจำนวนของข้อมูลที่แท้จริงนั้น จะใช้ไอซีนี้ทำหน้าที่เป็นวงจรนับ โดยที่จะนับทุกๆ 6 พัลส์สัญญาณนาฬิกา การต่อวงจรแสดงดังรูป

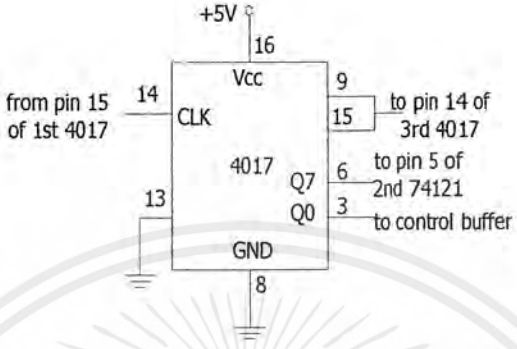


รูปที่ 3.21 แสดงการใช้ไอซี 4017 สร้างพัลส์สัญญาณเพื่อจับบิทข้อมูล

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.2.7 วงจรสร้างสัญญาณตรวจช่องสัญญาณ

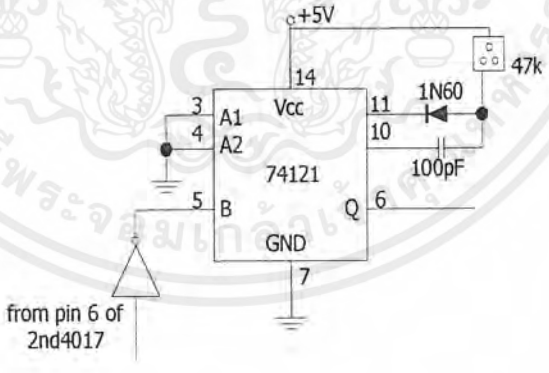
วงจรส่วนนี้จะใช้สัญญาณอินพุทจากวงจรสร้างสัญญาณตรวจจับบิทข้อมูลมาผ่านวงจรนับ 8 โดยใช้ไอซี 4017 จะได้สัญญาณที่ท้ายบิทสุดท้ายของแต่ละช่องสัญญาณเป็นสัญญาณบอกจุดสิ้นสุดของข้อมูล



รูปที่ 3.22 แสดงการใช้ไอซี 4017 สร้างพัลส์สัญญาณตรวจช่องสัญญาณ

3.2.8 วงจรสร้างสัญญาณตรวจจับช่องสัญญาณสุดท้ายของเฟรมข้อมูล

วงจรในส่วนนี้จะนำสัญญาณตรวจจับบิทสุดท้ายของแต่ละช่องสัญญาณมาผ่านอินเวอร์เตอร์เพื่อสร้างขอบขาขึ้นของสัญญาณที่ท้ายช่วงข้อมูลของแต่ละช่องสัญญาณ แล้วนำไปสร้างสัญญาณเพื่อตรวจจับสัญญาณบอกช่องสัญญาณสุดท้ายจากวงจรโมโนสเตเบิ้ล โดยจะมีการหน่วงเวลาสัญญาณเพื่อป้องกันสัญญาณที่เกิดขึ้นในช่วงท้ายของส่วนข้อมูลในเฟรม



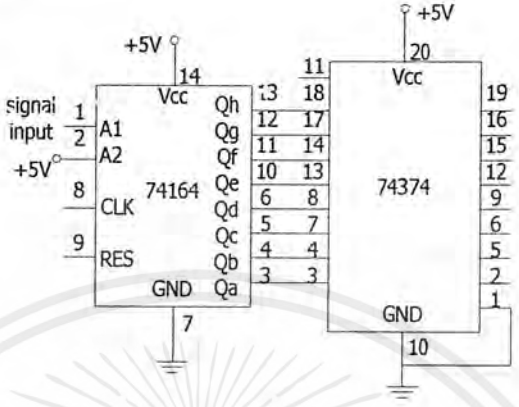
รูปที่ 3.23 แสดงการสร้างพัลส์สัญญาณตรวจช่องสัญญาณสุดท้ายของเฟรมข้อมูล

3.2.9 วงจรแปลงสัญญาณข้อมูลอนุกรมเป็นสัญญาณข้อมูลขนาน

ในส่วนนี้ใช้ไอซี 74HC164 ซึ่งใช้แปลงข้อมูลอนุกรมเป็นข้อมูลขนาน โดยนำสัญญาณควบคุมในส่วนตรวจจับบิทข้อมูลเป็นสัญญาณควบคุมการนำข้อมูลเข้า และใช้สัญญาณตรวจจับเฮดเดอร์ 5 บิท เป็นสัญญาณรีเซ็ท เพื่อป้องกันการผิดพลาดของข้อมูล

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

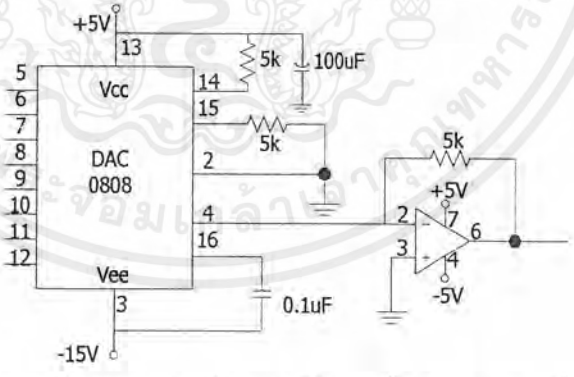
ข้อมูลที่ได้จากเอาท์พุทของ 74HC164 จะส่งผ่านไปยังไอซี 74HC374 ซึ่งเป็นฟลิปฟลอบ 8 ตัว ใช้เป็นบัฟเฟอร์ระหว่าง 74HC164 กับตัวแปลงดิจิตอลเป็นอนาล็อก โดยนำสัญญาณควบคุมการส่งข้อมูลออกจากวงจรสร้างสัญญาณตรวจจับบิทข้อมูล



รูปที่ 3.24 แสดงการต่อวงจรเปลี่ยนข้อมูลอนุกรมเป็นข้อมูลขนาน

3.2.10 วงจรแปลงสัญญาณดิจิตอลเป็นสัญญาณอนาล็อก

เป็นวงจรที่ทำหน้าที่แปลงสัญญาณดิจิตอลแบบขนานให้กลับเป็นสัญญานอนาล็อก ซึ่งใช้ไอซี DAC 0808 ซึ่งเป็นตัวแปลงสัญญาณดิจิตอลเป็นอนาล็อก แบบ 8 บิท ซึ่งมีความเร็วในการแปลงสัญญาณดิจิตอลเป็นอนาล็อก 150 นาโนวินาที และสัญญาณอนาล็อกที่ได้จะอยู่ในรูปของกระแส ต้องผ่านวงจรแปลงกระแสเป็นแรงดันเสียก่อนจึงจะได้สัญญาณในรูปอนาล็อกโวลเตจ

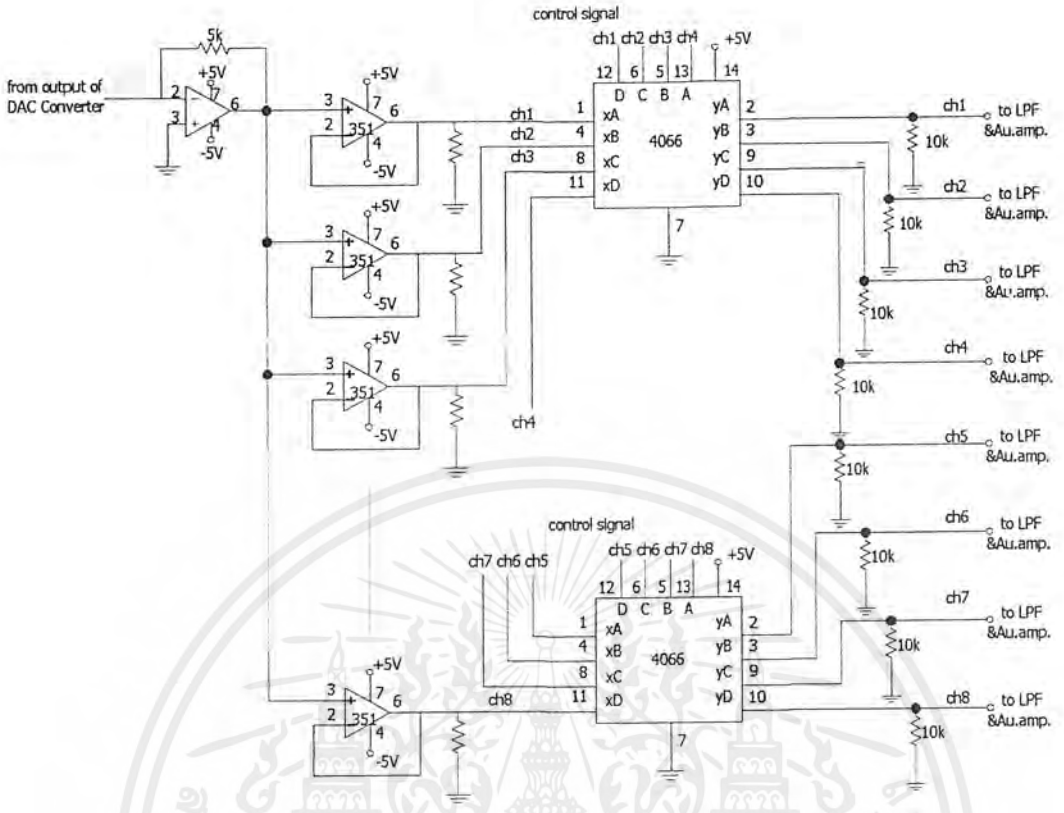


รูปที่ 3.25 แสดงการต่อวงจรแปลงสัญญาณดิจิตอลเป็นสัญญาณอนาล็อก

3.2.11 วงจรดีมัลติเพล็กซ์

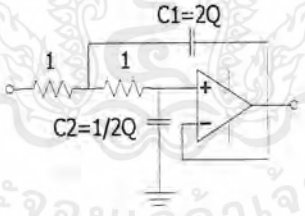
ใช้สวิทช์เลือกช่องสัญญาณ เพื่อทำหน้าที่เลือกสัญญาณอนาล็อกจากพัลส์สัญญาณที่ได้รับจากวงจรแปลงสัญญาณดิจิตอลเป็นอนาล็อก โดยการควบคุมตำแหน่งช่องสัญญาณไอซี 4017 ตัวที่ 3 ที่ทำหน้าที่สร้างสัญญาณควบคุมการเลือกช่องสัญญาณของอนาล็อกสวิทช์ โดยก่อนที่พัลส์สัญญาณจากวงจรแปลงสัญญาณดิจิตอลเป็นอนาล็อกจะต้องผ่านวงจรบัฟเฟอร์ก่อน ดังรูป

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.26 แสดงรูปวงจรดีมัลติเพล็กซ์

3.2.12 วงจรกรองความถี่ต่ำผ่าน



รูปที่ 3.27 แสดงรูปวงจรที่ใช้คำนวณวงจรกรองความถี่ต่ำผ่าน

ใช้วงจรกรองความถี่ต่ำผ่านแบบบัทเตอร์เวิร์ทออเดอร์ 10 มีความถี่คัทออฟที่ 3.5 กิโลเฮิร์ท โดยมีวิธีการคำนวนดังนี้

$$C_1 = \frac{Q}{\pi f_c R}$$

โดยที่

$$Q_1 = \frac{1.}{2\cos 9^\circ} = 0.506$$

และ

$$C_2 = \frac{1}{4\pi f_c R Q}$$

โดยที่

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$Q_1 = \frac{1}{2\cos 9^\circ} = 0.506$$

$$Q_2 = \frac{1}{2\cos 27^\circ} = 0.561$$

$$Q_3 = \frac{1}{2\cos 45^\circ} = 0.707$$

$$Q_4 = \frac{1}{2\cos 63^\circ} = 1.101$$

$$Q_5 = \frac{1}{2\cos 81^\circ} = 3.196$$

ที่ Q1 ให้ R = 1 กิโลโอห์ม จะคำนวนหา C1 = 53 นาโนฟารัด

C2 = 52 นาโนฟารัด

ที่ Q2 ให้ R = 1 กิโลโอห์ม จะคำนวนหา C1 = 59.52 นาโนฟารัด

C2 =47.28 นาโนฟารัด

ที่ Q3 ให้ R = 1 กิโลโอห์ม จะคำนวนหา C1 = 75.01 นาโนฟารัด

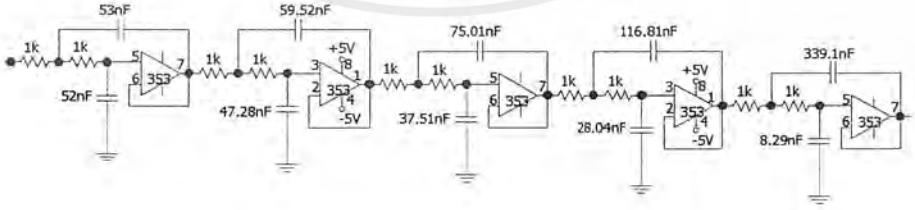
C2 = 37.51 นาโนฟารัด

ที่ Q4 ให้ R = 1 กิโลโอห์ม จะคำนวนหา C1 = 116.81 นาโนฟารัด

C2 = 24.08 นาโนฟารัด

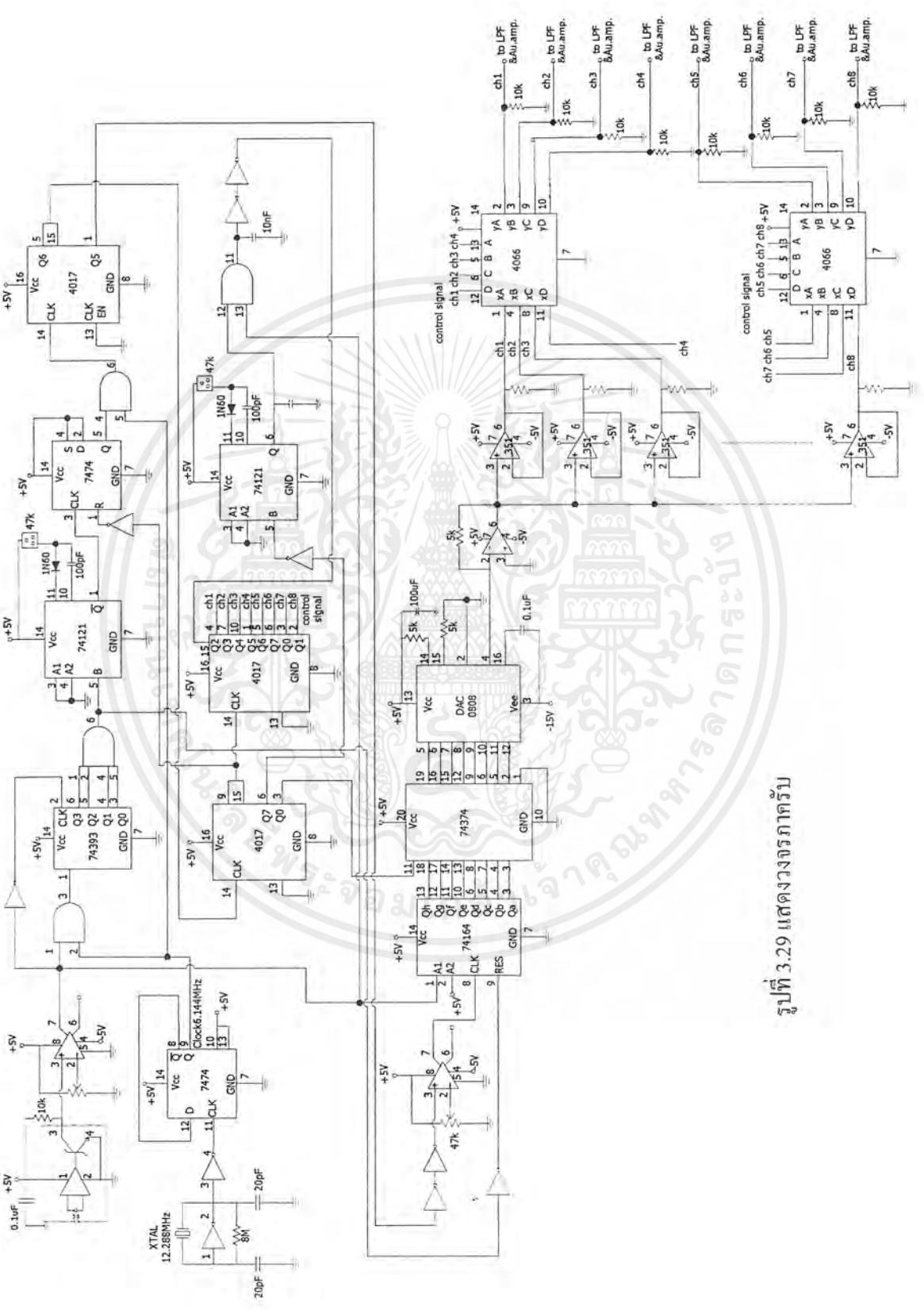
ที่ Q5 ให้ R = 1 กิโลโอห์ม จะคำนวนหา C1 = 339.1 นาโนฟารัด

C2 = 8.29 นาโนฟารัด



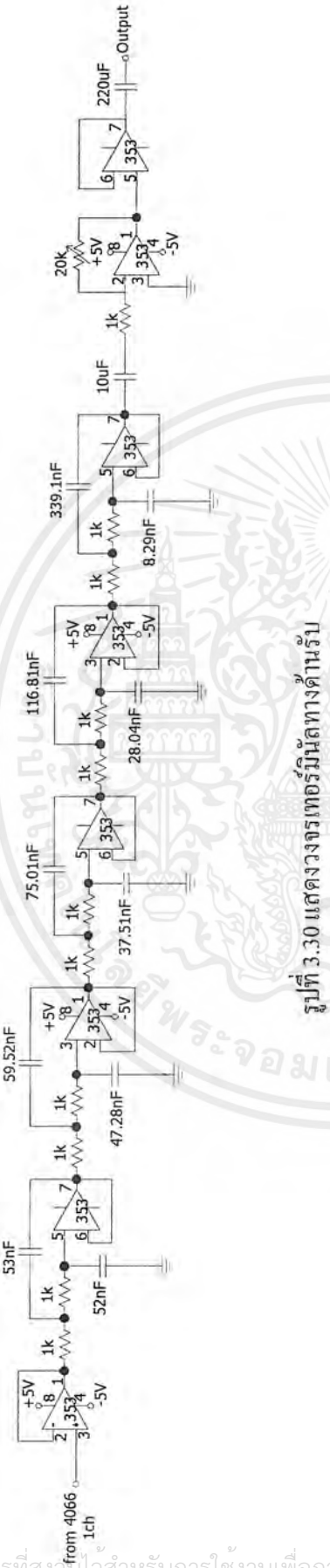
รูปที่ 3.28 แสดงวงจรกรองความถี่ต่ำผ่านแบบบัทเตอร์เวิร์ท ออเดอร์ 10

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.29 แสดงวงจรภาครับ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.30 แสดงวงจรเทอร์มินัลทางด้านรับ

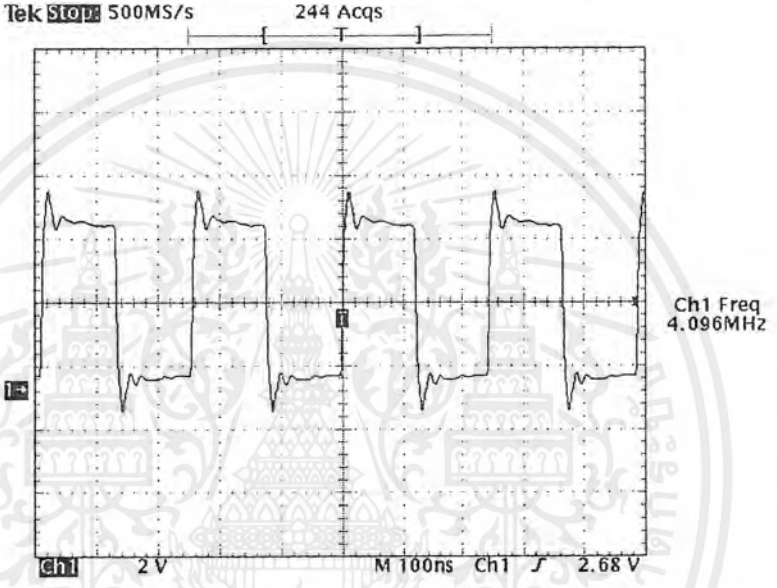
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 4
การทดลองและผลการทดลอง

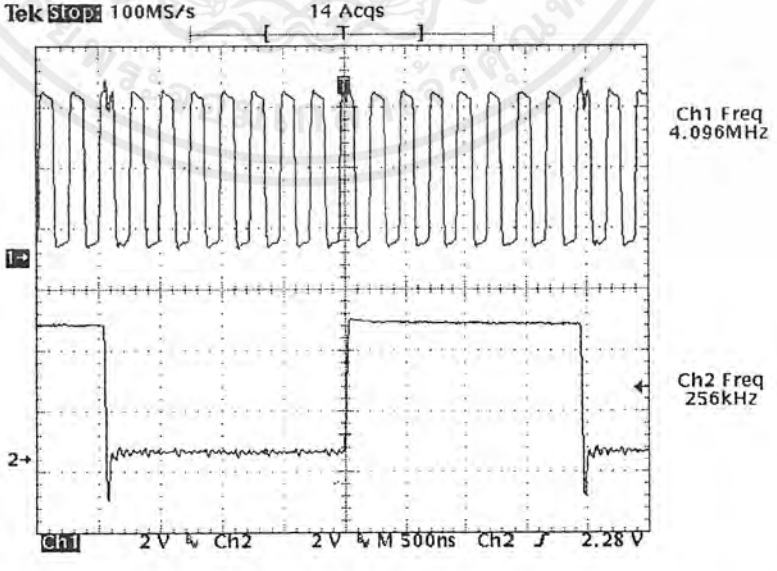
4.1 ผลการทดลองวงจรภาคส่ง

4.1.1 วงจรสร้างสัญญาณนาฬิกา

เมื่อต่อวงจรสร้างสัญญาณนาฬิกาจากคริสตัลออสซิลเลเตอร์ ความถี่4.096 เมกกะเฮิร์ท ดังรูปที่ 3.8 เพื่อสร้างสัญญาณนาฬิกาความถี่ 2.048 เมกกะเฮิร์ท และ64 เมกกะเฮิร์ท จะได้ผลการทดลองดังนี้

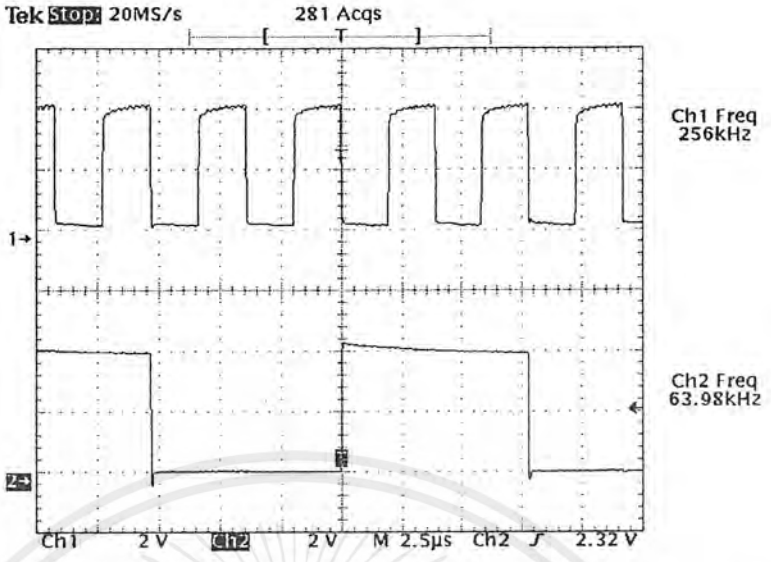


รูปที่ 4.1 แสดงเอาท์พุทของคริสตัลออสซิลเลเตอร์



รูปที่ 4.2 แสดงเอาท์พุทของคริสตัลออสซิลเลเตอร์เทียบกับเอาท์พุทของวงจรหารความถี่ (ขา16 ของ 74393)

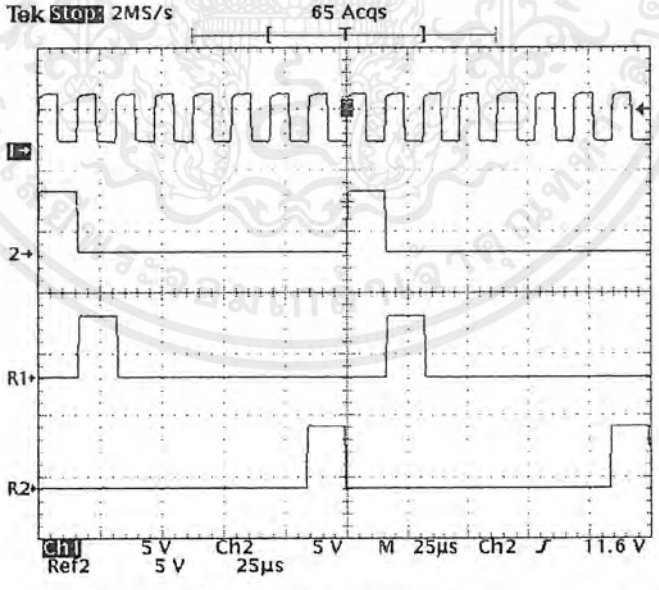
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.3 แสดงสัญญาณนาฬิกาความถี่ 256 กิโลเฮิร์ท และสัญญาณนาฬิกาความถี่ 64 กิโลเฮิร์ท จากวงจรหารความถี่ (ขา10 ของ 74393)

4.1.2 วงจรหารความถี่

เมื่อต่อวงจรหารความถี่ และรับอินพุทเป็นสัญญาณนาฬิกาความถี่ 64 กิโลเฮิร์ท มาแบ่งออกเป็นสัญญาณควบคุมที่มีความถี่ 8 กิโลเฮิร์ท ได้ผลการทดลองของแต่ละช่องสัญญาณดังนี้

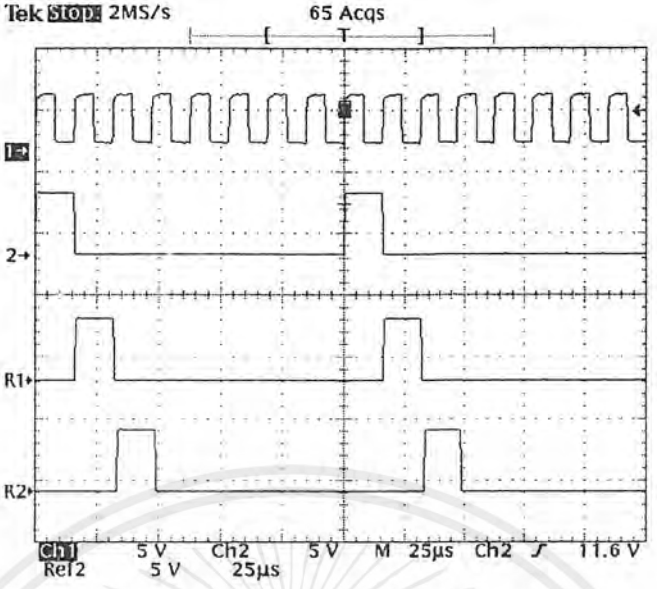


รูปที่4.4 แสดงสัญญาณนาฬิกาความถี่ 64 กิโลเฮิร์ท เทียบกับสัญญาณควบคุมช่องสัญญาณจาก 4017

Ch1 คือสัญญาณนาฬิกา 64 กิโลเฮิร์ท

Ch2,R1 และ R2 คือเอาท์พุทของวงจร

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



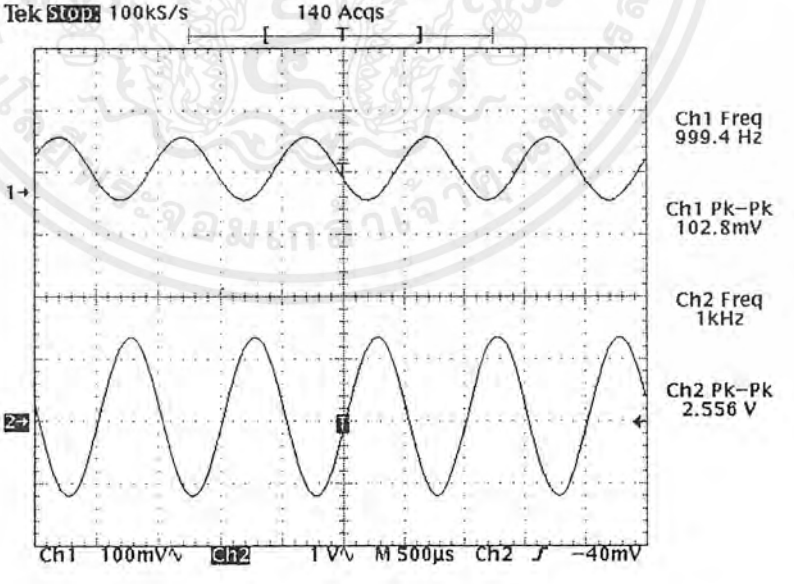
รูปที่ 4.5 แสดงสัญญาณนาฬิกาความถี่ 64 กิโลเฮิร์ท เทียบกับสัญญาณควบคุมช่องสัญญาณจาก 4017

Ch1 คือสัญญาณนาฬิกา 64 กิโลเฮิร์ท

Ch1,R1 และ R2 คือเอาท์พุทของวงจร

4.1.3 วงจรขยายแรงดันไฟฟ้า

เมื่อทำการต่อวงจรขยายแรงดันไฟฟ้าแบบกลับเฟส ดังรูปวงจรที่ 3.5 และทำการป้อนสัญญาณอินพุท ที่ความถี่ 1 กิโลเฮิร์ท ขนาด 100 มิลลิโวลต์ จะได้ผลการทดลองดังนี้

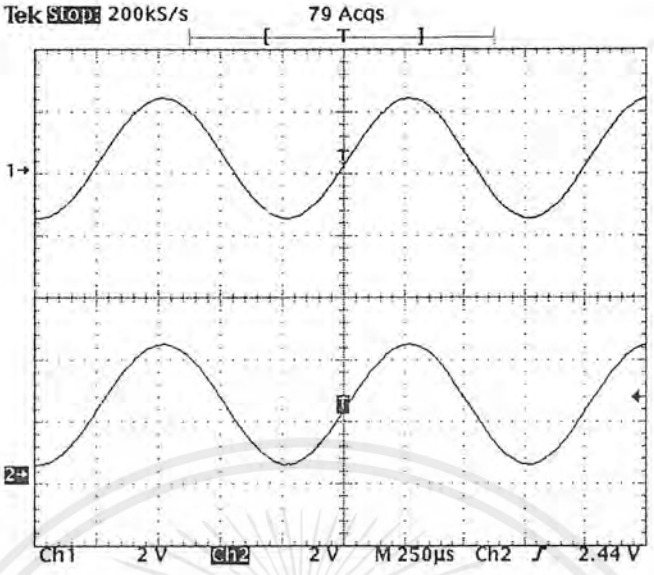


รูปที่ 4.6 แสดงผลการทดลองของวงจรขยายสัญญาณแบบกลับเฟส

Ch1 เป็นอินพุทของวงจร

Ch2 เป็นเอาท์พุทของวงจรก่อนเข้าส่วนที่ทำการยกระดับสัญญาณ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



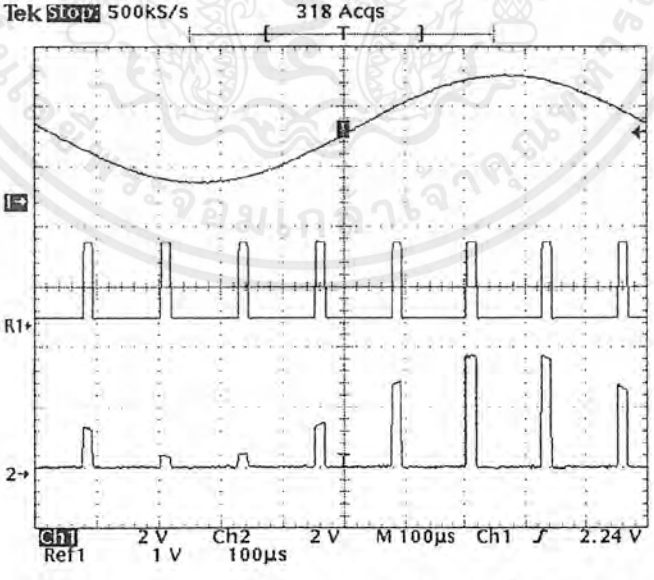
รูปที่ 4.7 แสดงผลการทดลองของวงจรยกระดับสัญญาณ

Ch1 เป็นสัญญาณก่อนจะทำการยกระดับสัญญาณ

Ch2 เป็นสัญญาณเมื่อทำการยกระดับสัญญาณแล้ว

4.1.4 วงจรเลือกช่องสัญญาณ

เมื่อทำการต่อวงจรเลือกช่องสัญญาณเพื่อทำการมัลติเพล็กซ์ข้อมูล โดยการใช้สวิทช์เลือกช่องสัญญาณมาต่อร่วมกับวงจรหารความถี่ดังรูป 3.6 จะได้ผลการทดลองดังนี้



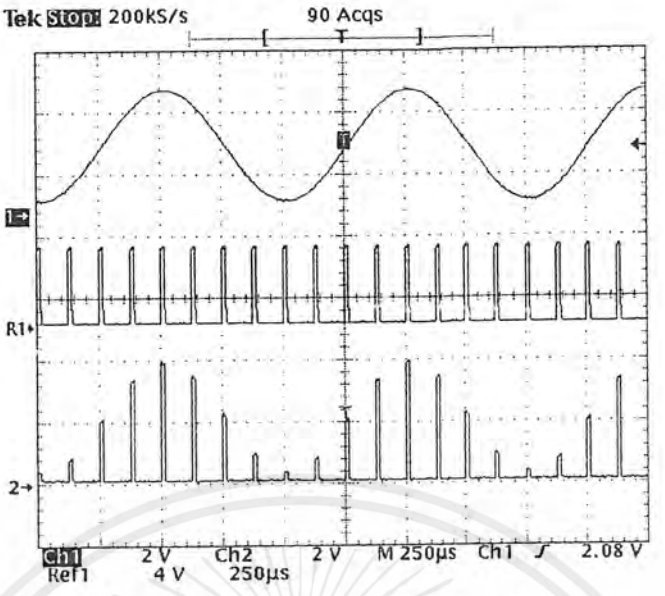
รูปที่ 4.8 แสดงผลการทดลองของอนาล็อกสวิทช์ (74HC4066)

Ch1 เป็นสัญญาณอินพุทจากแต่ละช่องสัญญาณ

R1 เป็นสัญญาณนาฬิกาความถี่ 64 กิโลเฮิร์ท ที่ใช้ควบคุมการทำงาน

Ch2 คือสัญญาณเอาท์พุทของวงจร

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

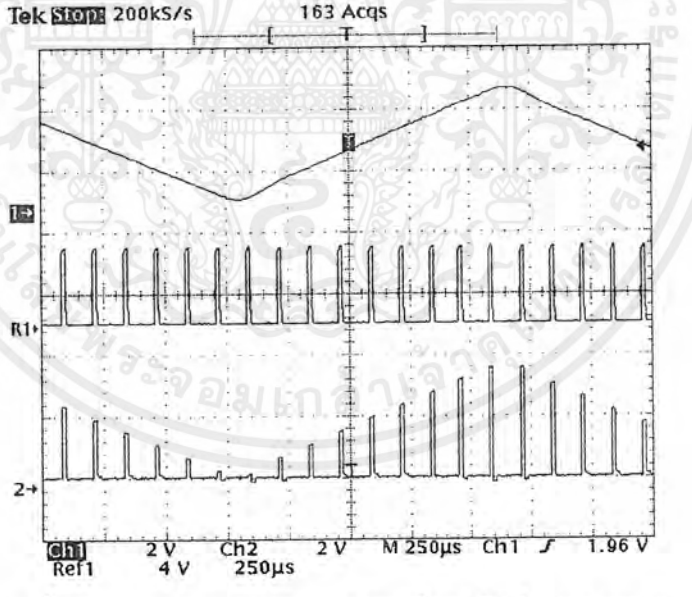


รูปที่ 4.9 แสดงผลการทดลองของอนาล็อกสวิทช์ (74HC4066)

Ch1 เป็นสัญญาณอินพุทจากแต่ละช่องสัญญาณ

R1 เป็นสัญญาณนาฬิกาความถี่ 64 กิโลเฮิร์ท ที่ใช้ควบคุมการทำงาน

Ch2 คือสัญญาณเอาท์พุทของวงจร



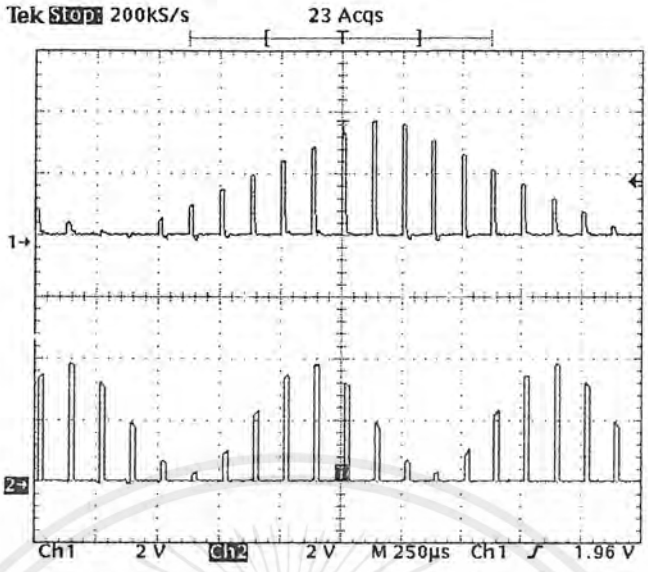
รูปที่ 4.10 แสดงผลการทดลองของอนาล็อกสวิทช์ (74HC4066)

Ch1 เป็นสัญญาณอินพุทจากแต่ละช่องสัญญาณ

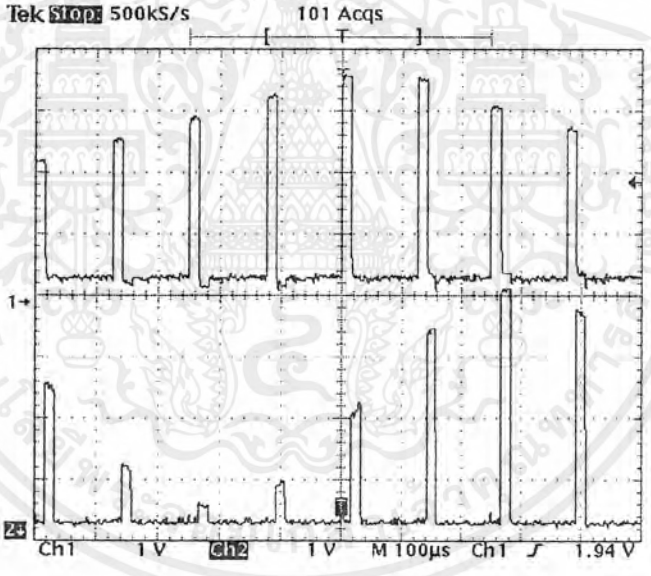
R1 เป็นสัญญาณนาฬิกาความถี่ 64 กิโลเฮิร์ท ที่ใช้ควบคุมการทำงาน

Ch2 คือสัญญาณเอาท์พุทของวงจร

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.11 แสดงเอาท์พุทช่องสัญญาณที่1 และ 2 ของอนาล็อกสวิทช์



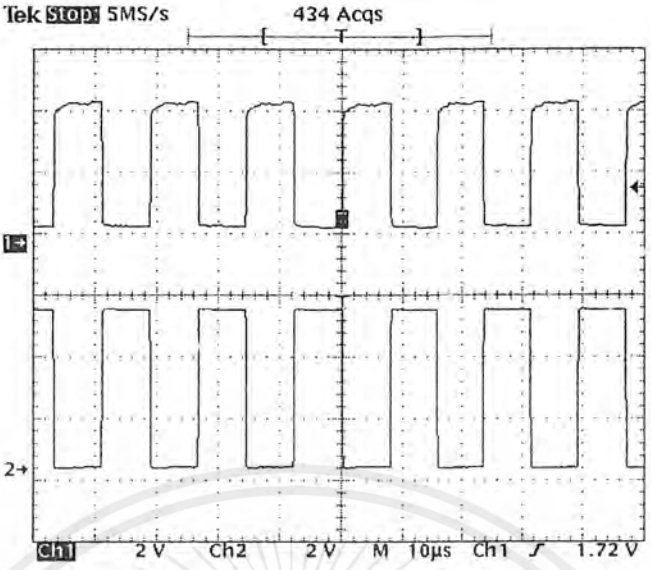
รูปที่ 4.12 แสดงเอาท์พุทช่องสัญญาณที่1 และ 2 ของอนาล็อกสวิทช์

4.1.5 วงจรแปลงสัญญาณอนาล็อกเป็นดิจิตอล

เมื่อทำการต่อวงจรแปลงสัญญาณอนาล็อกเป็นดิจิตอล โดยใช้ไอซี เบอร์ 0820 แล้วทำการป้อนสัญญาณต่างๆที่ทำการควบคุมการทำงานของวงจรและทำการป้อนอินพุทให้กับวงจร

สัญญาณนาฬิกาที่ใช้การอ่านสัญญาณของตัวแปลงสัญญาณอนาล็อกเป็นดิจิตอล จะใช้สัญญาณนาฬิกาจากวงจรสร้างสัญญาณนาฬิกามาผ่านอินเวอร์เตอร์ ได้ผลการทดลองดังนี้

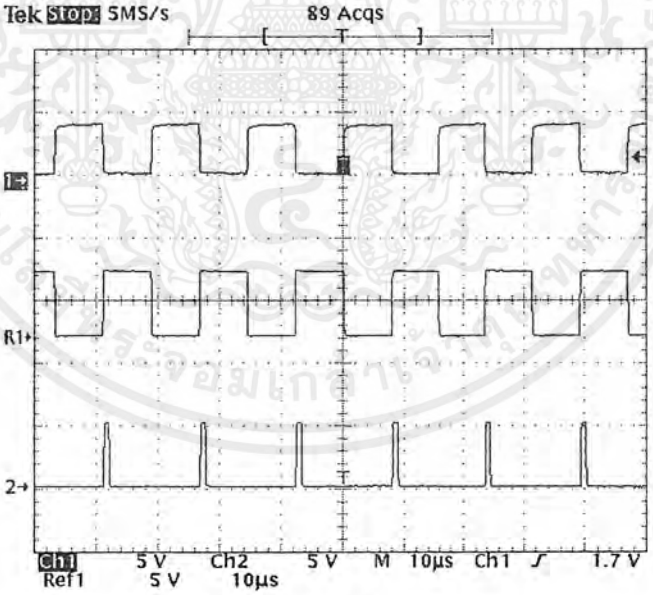
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.13 แสดงสัญญาณนาฬิกาความถี่ 64 กิโลเฮิร์ท เทียบกับสัญญาณที่ใช้ควบคุมการอ่านสัญญาณของตัวแปลงสัญญาณอนาล็อกเป็นดิจิตอล

Ch1 เป็นสัญญาณนาฬิกาจากวงจรสร้างสัญญาณนาฬิกา

Ch2 เป็นสัญญาณนาฬิกาที่ผ่านอินเวอร์เตอร์



รูปที่ 4.14 แสดงสัญญาณนาฬิกา 64 กิโลเฮิร์ท สัญญาณควบคุมการอ่านสัญญาณของตัวแปลงสัญญาณอนาล็อกเป็นดิจิตอลและสัญญาณ $\overline{INT}$

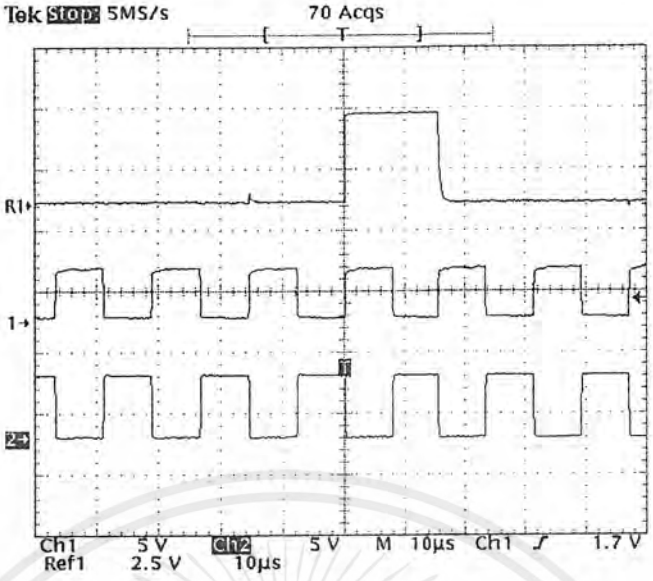
Ch1 เป็นสัญญาณนาฬิกาจากวงจรสร้างสัญญาณนาฬิกา

Ch2 เป็นสัญญาณนาฬิกาที่ผ่านอินเวอร์เตอร์

R1 เป็นสัญญาณ $\overline{INT}$ ของ ตัวแปลงสัญญาณอนาล็อกเป็นดิจิตอล

เมื่อทำการต่ออนาล็อกสวิทช์กับวงจรแปลงสัญญาณอนาล็อกเป็นดิจิตอลได้ผลการทดลองดังนี้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

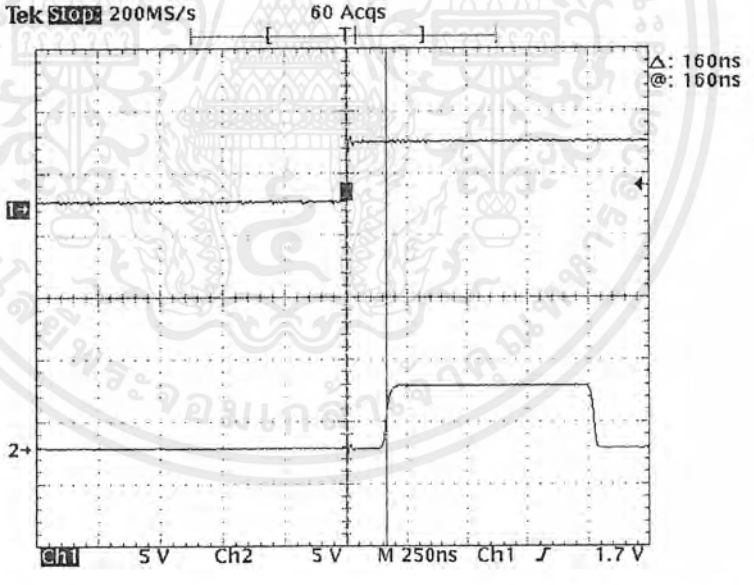


รูปที่ 4.15 แสดงผลการทดลองจากการต่ออนาล็อกสวิทช์เข้ากับวงจรแปลงสัญญาณอนาล็อกเป็นดิจิตอล

R1 เป็นสัญญาณควบคุมของอนาล็อกสวิทช์

Ch1 เป็นสัญญาณนาฬิกา 64 กิโลเฮิร์ท

Ch2 เป็นสัญญาณควบคุมการอ่านสัญญาณของตัวแปลงสัญญาณอนาล็อกเป็นดิจิตอล



รูปที่ 4.16 แสดงสัญญาณควบคุมการอ่านของตัวแปลงสัญญาณอนาล็อกเป็นดิจิตอลและสัญญาณ $\overline{INT}$

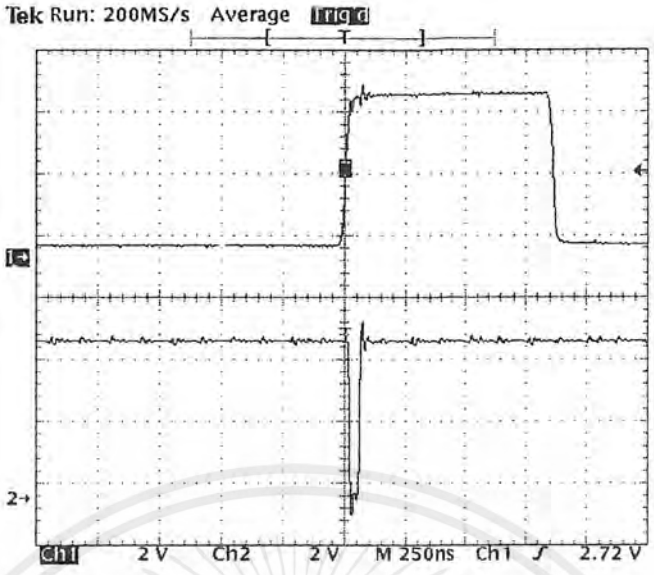
Ch1 เป็นสัญญาณควบคุมการอ่านสัญญาณของตัวแปลงสัญญาณอนาล็อกเป็นดิจิตอล

Ch2 เป็นสัญญาณ $\overline{INT}$

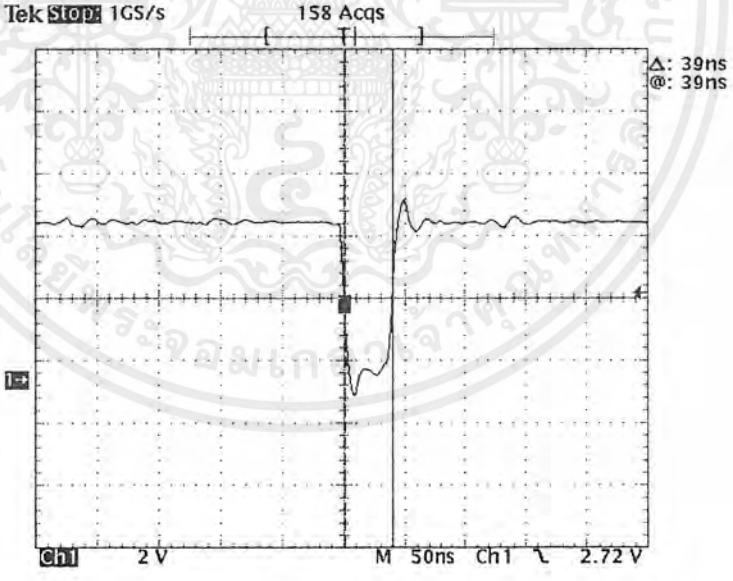
4.1.6 วงจรแปลงสัญญาณขนานเป็นอนุกรม

เมื่อทำการต่อวงจรแปลงสัญญาณขนานเป็นอนุกรมเข้ากับวงจรแปลงสัญญาณอนาล็อกเป็นดิจิตอลดังรูป 3.11 จะได้ผลการทดลองดังต่อไปนี้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



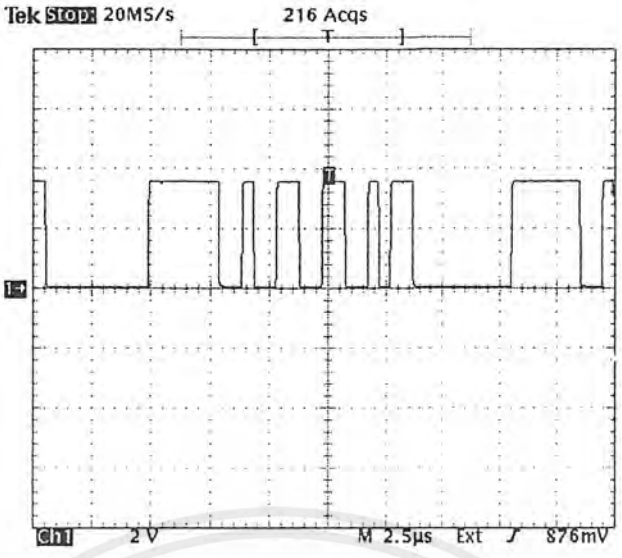
รูปที่ 4.17 แสดงสัญญาณควบคุมการอ่านสัญญาณของตัวแปลงสัญญาณอนาล็อกเป็นดิจิตอลและสัญญาณควบคุมการนำข้อมูลเข้าวงจรแปลงข้อมูลขนานเป็นข้อมูลอนุกรม
Ch1 เป็นสัญญาณควบคุมการอ่านสัญญาณของตัวแปลงสัญญาณอนาล็อกเป็นดิจิตอล
Ch2 เป็นสัญญาณควบคุมการนำข้อมูลเข้าวงจรแปลงข้อมูลขนานเป็นข้อมูลอนุกรม



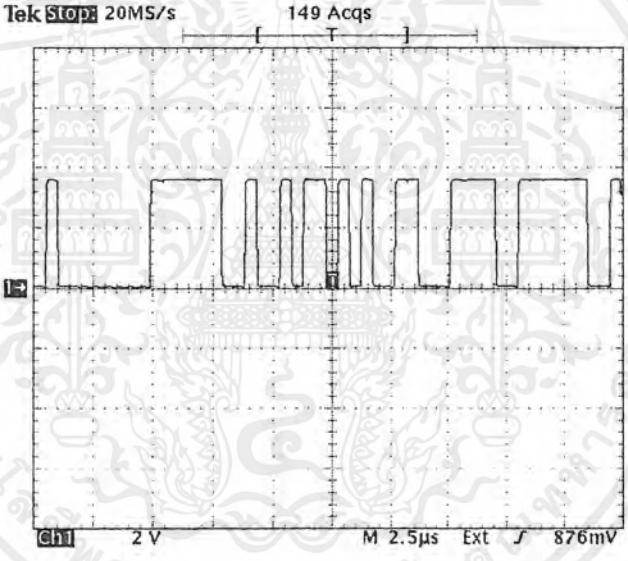
รูปที่ 4.18 แสดงสัญญาณควบคุมการนำข้อมูลเข้าวงจรแปลงข้อมูลขนานเป็นข้อมูลอนุกรม

และเมื่อมีการจัดเฟรมข้อมูลโดยใช้วงจรแปลงข้อมูลขนานเป็นข้อมูลอนุกรม โดยมีการกำหนดรูปแบบเฟรมข้อมูลดังที่ได้กล่าวมาแล้วในบทที่ 3 จะได้ผลการทดลองดังนี้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



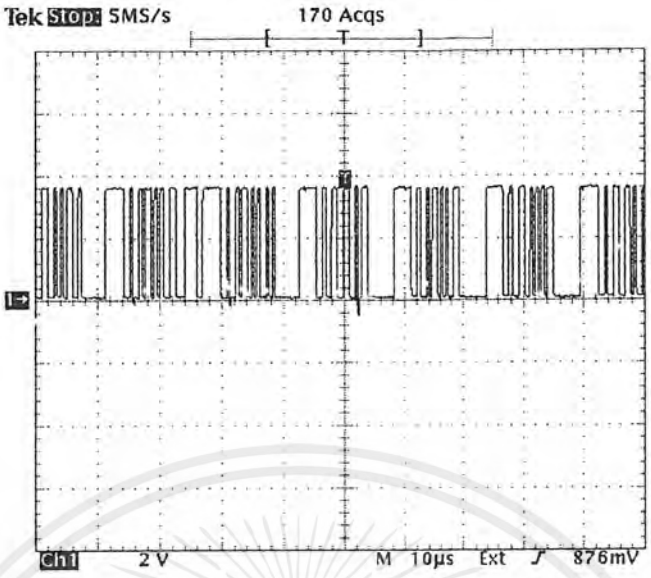
รูปที่ 4.19 แสดงตัวอย่างสัญญาณของเฟรมข้อมูลในช่องสัญญาณที่ 1-7 ที่ใช้การส่ง



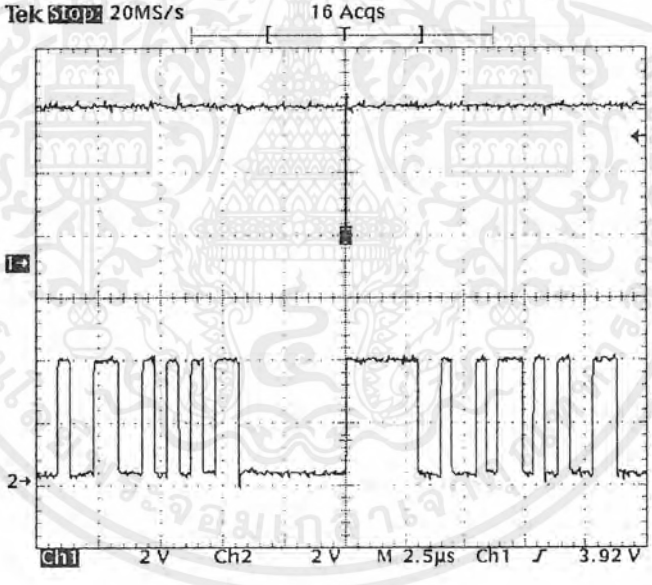
รูปที่ 4.20 แสดงตัวอย่างสัญญาณของเฟรมข้อมูลในช่องสัญญาณที่ 8 ที่ใช้การส่ง

และเมื่อทำการทดลองป้อนข้อมูลให้กับวงจรแปลงข้อมูลขนานเป็นข้อมูลอนุกรม และทำการจัดเฟรมข้อมูลแล้ว จะได้ผลการทดลองดังนี้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.21 แสดงตัวอย่างสัญญาณทั้ง 8 ช่องสัญญาณที่ใช้การส่ง

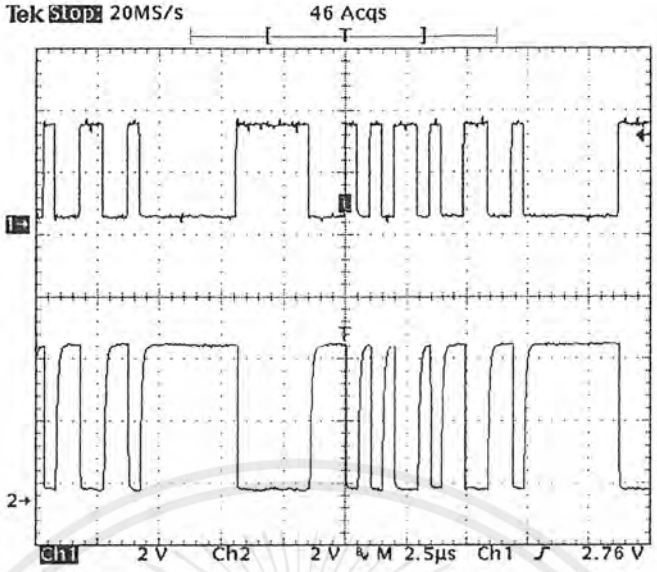


รูปที่ 4.22 แสดงสัญญาณควบคุมการนำข้อมูลเข้าวงจรแปลงข้อมูลขนานเป็นข้อมูลอนุกรม และสัญญาณที่ใช้ในการส่ง

4.1.7 การเปลี่ยนสัญญาณไฟฟ้าเป็นสัญญาณแสง

เมื่อทำการต่อวงจรขับกระแสโดยใช้ออปแอมป์เบอร์ LM360 เพื่อสร้างสัญญาณดิจิตอลขึ้นใหม่ ก่อนขับอุปกรณ์แปลงสัญญาณไฟฟ้าเป็นสัญญาณแสง ดังรูปที่ 3.12 จะได้ผลการทดลองดังนี้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.23 แสดงผลการทดลองการเปลี่ยนสัญญาณไฟฟ้าเป็นสัญญาณแสง

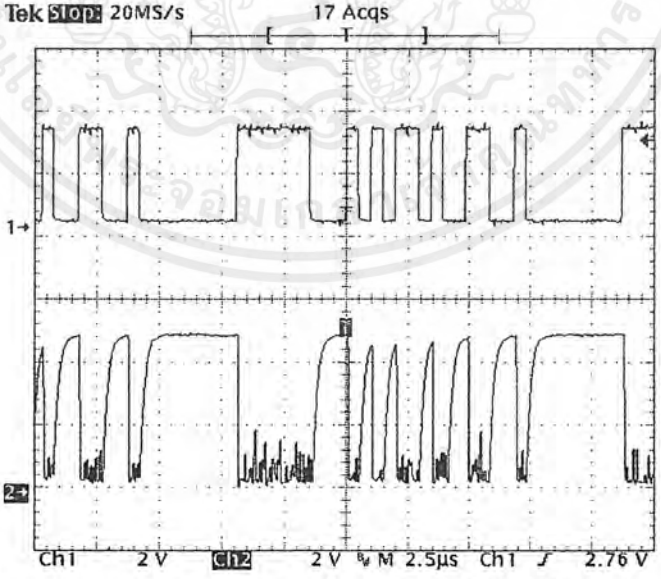
Ch1 เป็นอินพุทของอุปกรณ์แปลงสัญญาณไฟฟ้าเป็นสัญญาณแสง

Ch2 เป็นเอาท์พุทของวงจรแปลงสัญญาณแสงเป็นสัญญาณไฟฟ้า

4.2 ผลการทดลองวงจรภาครับ

4.2.1 วงจรโฟโต้ดีเทคเตอร์

เมื่อทำการต่อวงจร โดยใช้ออปแอมป์เบอร์ LM360 เพื่อสร้างสัญญาณดิจิตอลขึ้นใหม่ ดังรูปที่ 3.15 จะได้ผลการทดลองดังนี้



รูปที่ 4.24 แสดงผลการทดลองการเปลี่ยนสัญญาณไฟฟ้าเป็นสัญญาณแสง

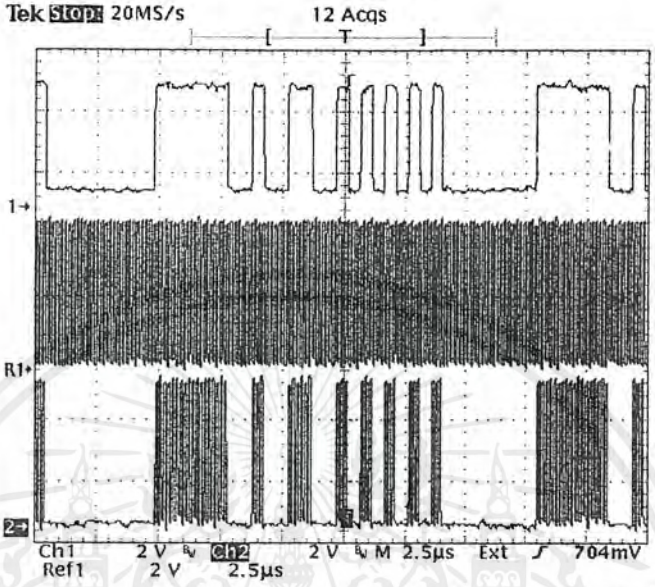
Ch1 เป็นอินพุทของอุปกรณ์แปลงสัญญาณไฟฟ้าเป็นสัญญาณแสง

Ch2 เป็นเอาท์พุทของวงจรแปลงสัญญาณแสงเป็นสัญญาณไฟฟ้า

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4.2.2 วงจรสร้างสัญญาณนาฬิกา

เมื่อทำการต่อวงจรสร้างสัญญาณนาฬิกาความถี่ 6.144 เมกกะเฮิร์ท ดังรูป 3.16 และนำมาเปรียบเทียบกับสัญญาณที่รับเข้ามาโดยนำมาแอนด์กัน จะได้ผลการทดลองดังนี้



รูปที่ 4.25 แสดงผลการทดลองจากวงจรสร้างสัญญาณนาฬิกาเมื่อเปรียบเทียบกับสัญญาณที่รับเข้ามา

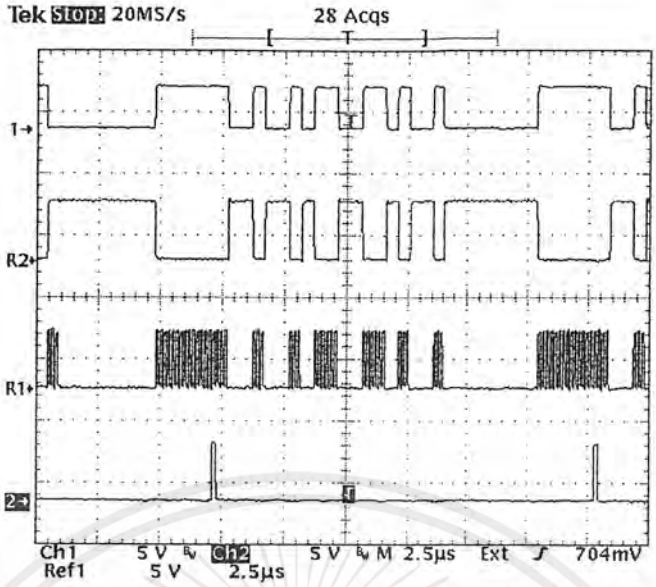
Ch1 เป็นสัญญาณที่รับได้ , R1 สัญญาณนาฬิกาที่ใช้อ่านข้อมูล (ความถี่ 6.144 เมกกะเฮิร์ท)

Ch2 เอาท์พุทของแอนด์เกท

4.2.3 วงจรดีเทคส่วนเสคเดอร์

เมื่อทำการต่อวงจร โดยใช้ ไอซีเบอร์ 74393 ต่อเข้ากับ แอนด์เกทและอินเวอร์เตอร์ต่างๆ และป้อนสัญญาณต่างๆให้ ดังรูป 3.17 จะได้ผลการทดลองดังนี้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.26 แสดงผลการทดลองของวงจรดีเทคส่วนเฮดเดอร์

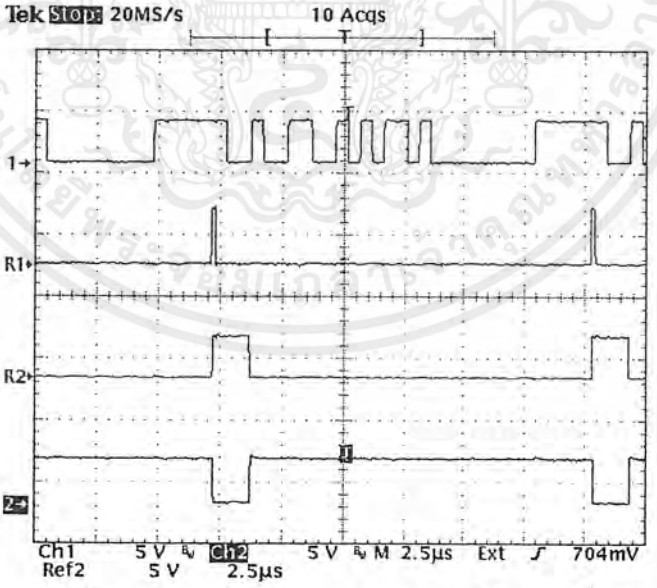
Ch1 เป็นสัญญาณที่ได้รับ , R2 เป็นสัญญาณที่ได้รับกลับเฟส

R1 เป็นสัญญาณหลังการแอนด์กับสัญญาณนาฬิกาความถี่ 6.144 เมกกะเฮิร์ท และ

Ch2 เป็นสัญญาณที่ได้จากการนับ 5 บิทข้อมูล

4.2.4 วงจรโมโนสเตเบิ้ล

เมื่อทำการต่อวงจรวงจรโมโนสเตเบิ้ล ดังรูปที่ 3.18 ได้ผลการทดลองดังนี้



รูปที่ 4.27 แสดงผลการทดลองของวงจรโมโนสเตเบิ้ล

Ch1 สัญญาณที่ได้รับ

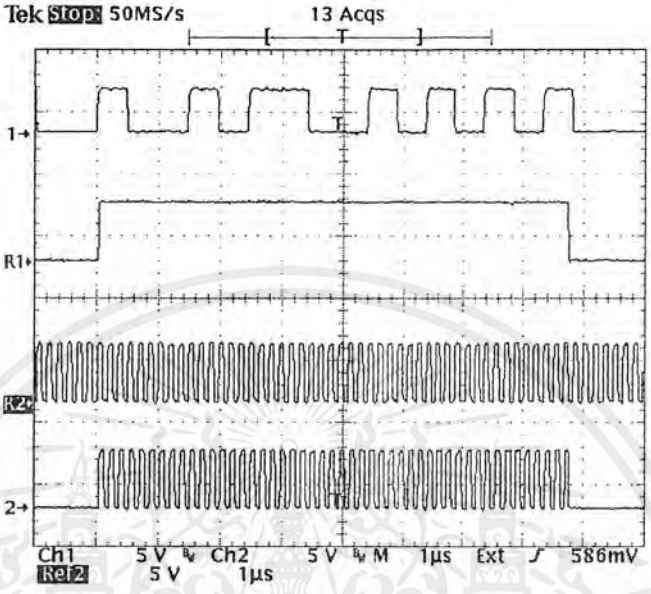
R1สัญญาณจากการนับข้อมูล 5 บิท

R2และ Ch2 เอาท์พุทของโมโนสเตเบิ้ล เอาท์พุทของโมโนสเตเบิ้ลกลับเฟส

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4.2.5 วงจรฟลิบฟลอบ

เมื่อทำการต่อวงจรฟลิบฟลอบ โดยใช้ไอซีเบอร์ 7474 ต่อกับแอนด์เกทและอินเวอร์เตอร์ และป้อนสัญญาณต่างๆให้กับวงจรดังรูปที่ 3.19 จะได้ผลการทดลองดังนี้



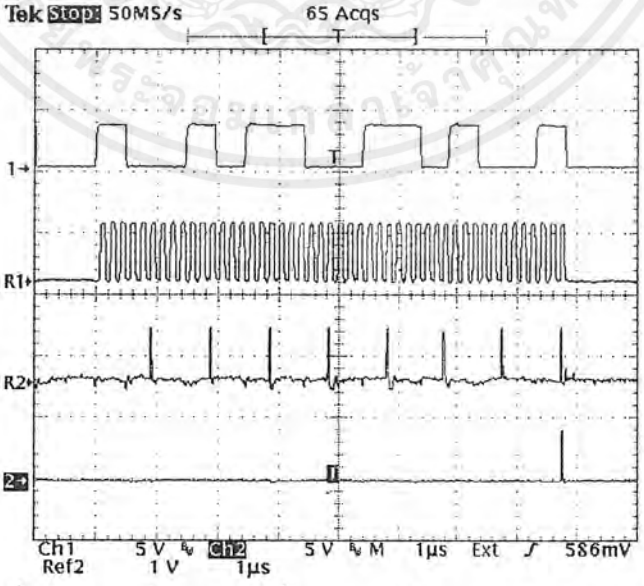
รูปที่ 4.28 แสดงผลการทดลองของวงจรฟลิบฟลอบ

Ch1 เป็นสัญญาณที่ได้รับ , R1 เป็นสัญญาณจากเอาท์พุทของฟลิบฟลอบ

R2 เป็นสัญญาณนาฬิกาความถี่ 6.144 เมกกะเฮิร์ท และCh 2 เป็นเอาท์พุทของแอนด์เกท

4.2.6 ส่วนสร้างสัญญาณตรวจจับบิทข้อมูล และวงจรสร้างสัญญาณตรวจช่องสัญญาณ

เมื่อนำวงจรดังรูปที่ 3.21 และ 3.22 มาต่อกัน จะได้ผลการทดลองดังนี้

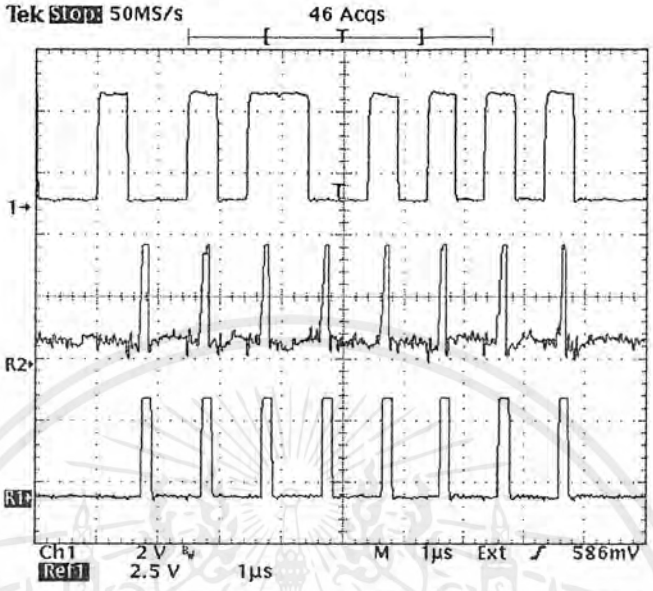


รูปที่ 4.29 Ch1 เป็นสัญญาณที่ได้รับ R1เป็นอินพุทของ 4017 ตัวที่ 1

R2 เป็นอินพุทของ 4017 ตัวที่ 1 เอาท์พุทของ 4017 ตัวที่ 1 และCh2 เป็นเอาท์พุทของ 4017 ตัวที่ 2

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

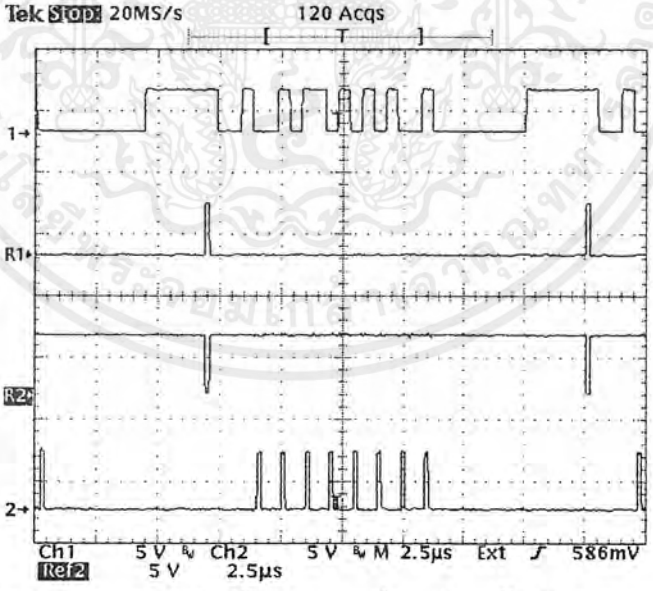
เมื่อนำสัญญาณจากขาสัญญาณ Q5 ของไอซี 4017 ตัวที่ 1 ซึ่งเป็นเอาท์พุทนับ 6 ของวงจรนับ มาต่อเข้ากับไอซีเบอร์ LM360 ซึ่งเป็นดิฟเฟอร์เรนท์เชียลแอมปลิฟายเออร์ จะได้ผลการทดลองดังนี้



รูปที่ 4.30 แสดงผลการทดลองของวงจรดิฟเฟอร์เรนท์เชียลแอมปลิฟายเออร์

Ch1 เป็นสัญญาณที่ได้รับ , R2 เป็นสัญญาณจากขา 1 ของ 4017 ตัวที่ 1

R1 เป็นสัญญาณจากเอาท์พุทของ LM360



รูปที่ 4.31 แสดงผลการทดลองของส่วนดีเทคเอดเดอร์และส่วนสร้างสัญญาณตรวจจับบิทข้อมูล

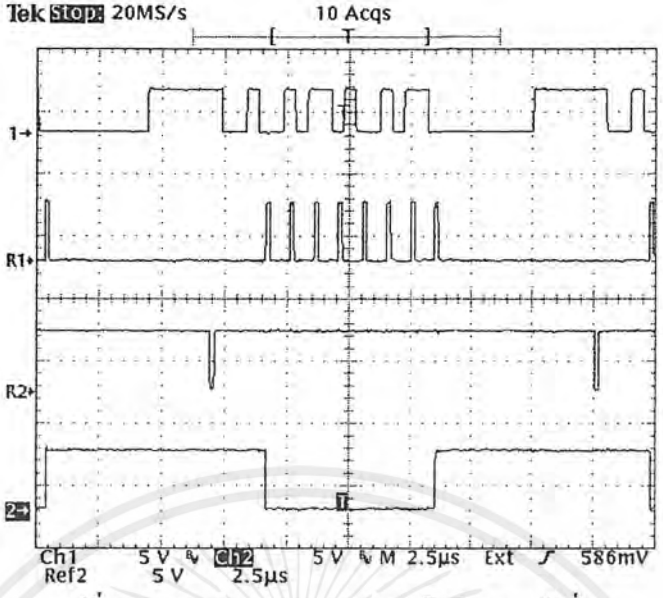
Ch1 เป็นสัญญาณที่ได้รับ , R1 เป็นสัญญาณจากการนับ 5 บิท

R2 เป็นสัญญาณรีเซ็ทของไอซีเบอร์ 74164

Ch2 เป็นสัญญาณตรวจจับบิทข้อมูล

เมื่อนำสัญญาณ Q0 ของ 4017 ตัวที่ 2 ไปใช้ควบคุมการทำงานของบัฟเฟอร์ 74374 ได้ผลดังนี้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



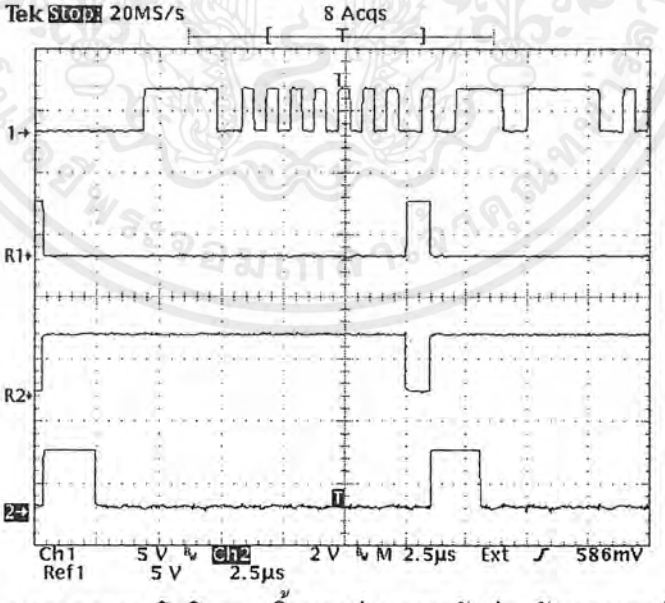
รูปที่ 4.32 แสดงผลการทดลองของไอซี 4017 ตัวที่ 2

Ch1 เป็นสัญญาณที่ได้รับ , R1 เป็นสัญญาณตรวจจับบิทข้อมูล

R2 เป็นสัญญาณรีเซ็ท 74164 และCh2 เป็นสัญญาณควบคุมบัฟเฟอร์

4.2.7 วงจรสร้างสัญญาณตรวจจับช่องสัญญาณสุดท้ายของเฟรมข้อมูล

เมื่อทำการต่อวงจร โมโนสเตเบิ้ล เพื่อสร้างสัญญาณตรวจจับช่องสัญญาณสุดท้าย ดังรูปที่ 3.23 จะได้ผลการทดลองดังนี้



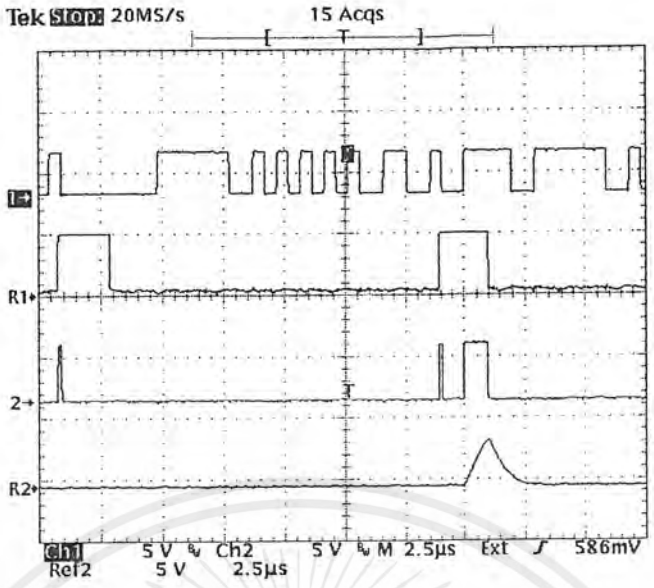
รูปที่ 4.33 แสดงผลการทดลองวงจร โมโนสเตเบิ้ลของส่วนตรวจจับช่องสัญญาณสุดท้ายของเฟรมข้อมูล

Ch1 เป็นสัญญาณในช่องสัญญาณที่ 8

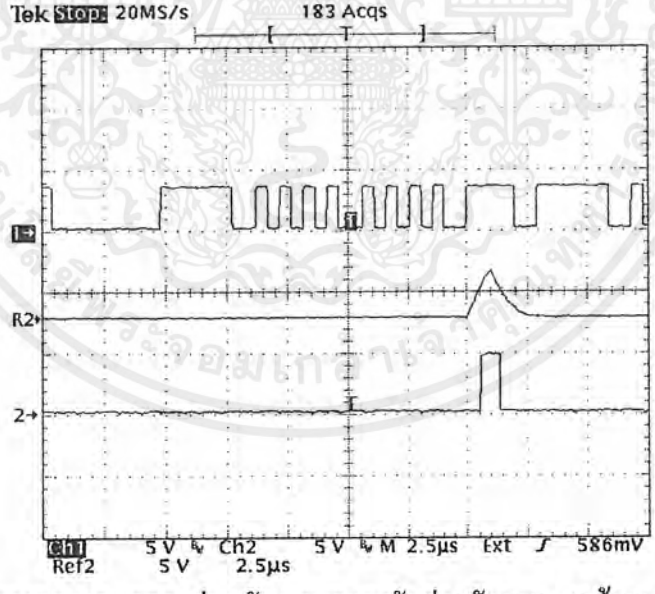
R1 เป็นสัญญาณจากขา 6 ของ 4017 ตัวที่ 2

R2 เป็นอินพุทของโมโนสเตเบิ้ล และCh2 เป็นเอาท์พุทของโมโนสเตเบิ้ล

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



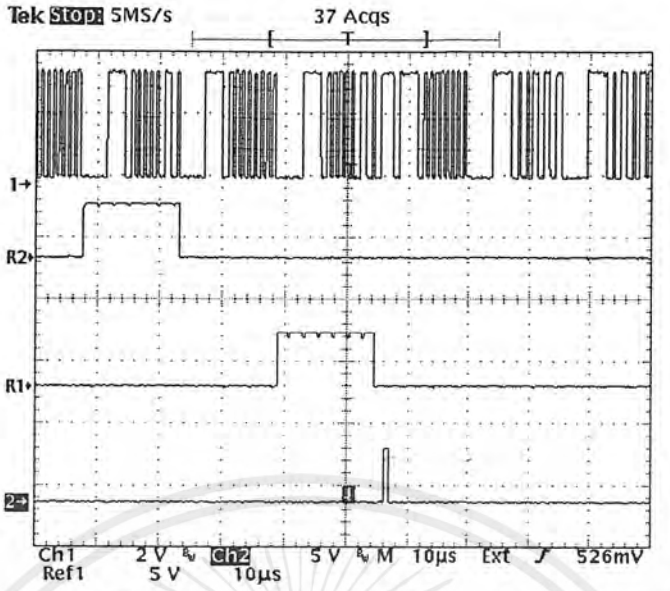
รูปที่ 4. 34 แสดงผลการทดลองส่วนสัญญาณตรวจจับช่องสัญญาณสุดท้ายของเฟรมข้อมูล
Ch1 เป็นสัญญาณในช่องสัญญาณที่ 8 , R1 เป็นสัญญาณจากโมโนสเตเบิ้ล
Ch2 เป็นสัญญาณจากแอนด์เกท
และR2 เป็นสัญญาณจากแอนด์เกทที่มีตัวเก็บประจุค่อลงกราวด์อยู่



รูปที่ 4.35 แสดงผลการทดลองส่วนสัญญาณตรวจจับช่องสัญญาณสุดท้ายของเฟรมข้อมูล
Ch1 เป็นสัญญาณในช่องสัญญาณที่ 8 , R2 เป็นสัญญาณจากแอนด์เกทที่มีตัวเก็บประจุอยู่
และCh2 เป็นสัญญาณที่ได้จากการตรวจพบช่องสัญญาณสุดท้าย

และเมื่อทำการป้อนสัญญาณทั้ง 8 ช่องสัญญาณให้กับวงจรส่วนนี้ จะได้ผลการทดลองดังนี้

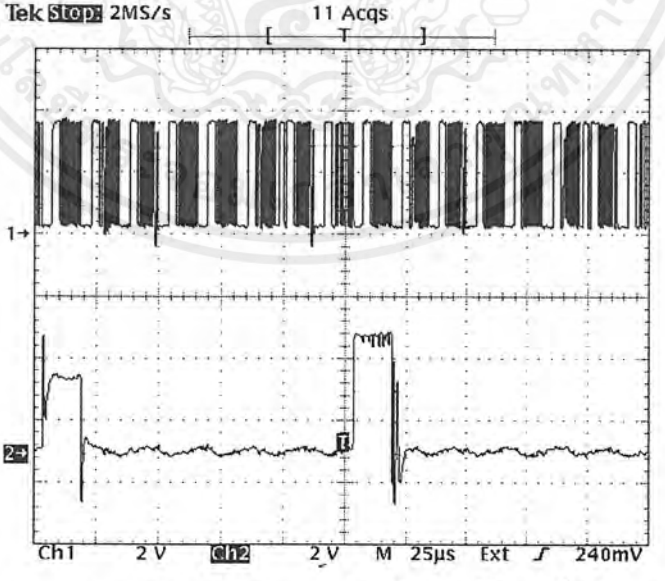
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.36 แสดงผลการทดลองส่วนสัญญาณตรวจจับช่องสัญญาณสุดท้ายของเฟรมข้อมูล
Ch1 เป็นสัญญาณที่ได้รับ , R2 และ R1 เป็นสัญญาณควบคุมช่องสัญญาณที่ 6 , 8
และCh2 เป็นสัญญาณที่ได้จาก การตรวจพบช่องสัญญาณสุดท้าย

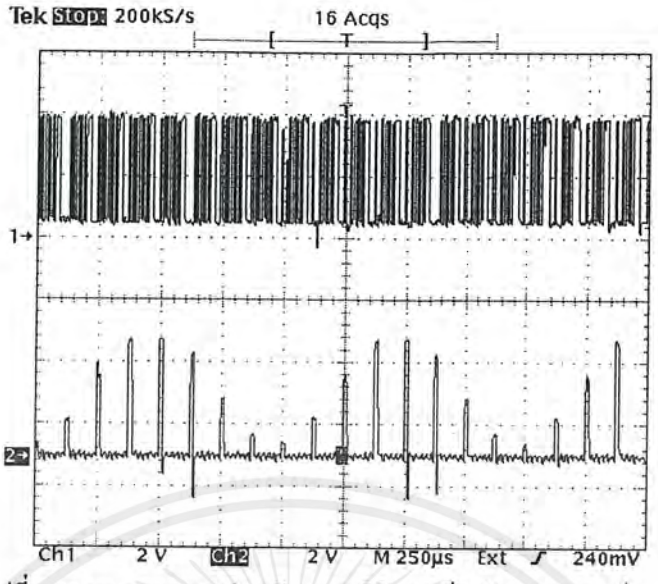
4.2.8 วงจรแปลงสัญญาณดิจิตอลเป็นสัญญาณอนาล็อก

เมื่อทำการต่อวงจรส่วนสร้างสัญญาณควบคุมการทำงานของภาครับทั้งหมดเข้ากับส่วนรับข้อมูล คือวงจรวงจรแปลงสัญญาณข้อมูลอนุกรมเป็นสัญญาณข้อมูลขนานและวงจรแปลงสัญญาณดิจิตอลเป็นสัญญาณอนาล็อก จะได้ผลการทดลองดังนี้



รูปที่ 4.37 แสดงผลการทดลองของส่วนวงจรแปลงสัญญาณดิจิตอลเป็นสัญญาณอนาล็อก
Ch1 เป็นสัญญาณที่ได้รับ
และCh2 เป็นเอาท์พุทของช่องสัญญาณที่ 2 จากตัวแปลงสัญญาณดิจิตอลเป็นอนาล็อก

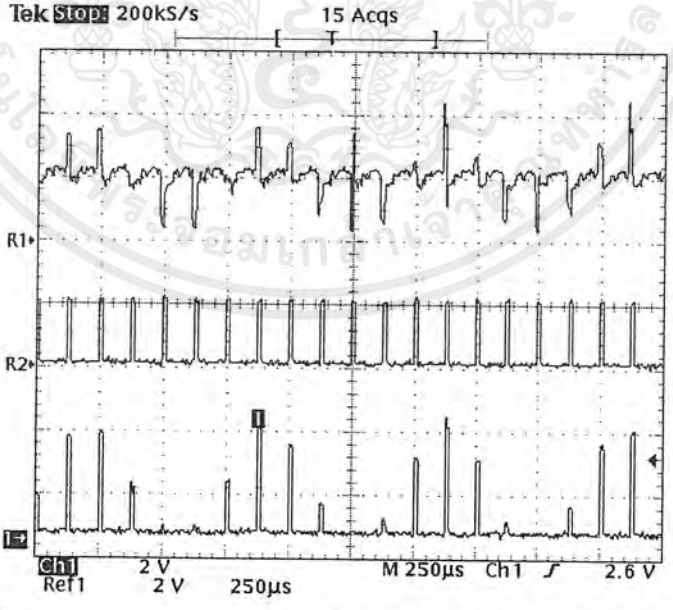
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.38 แสดงวงจรแปลงสัญญาณดิจิตอลเป็นสัญญาณอนาล็อก
Ch1 เป็นสัญญาณที่ได้รับ
และCh2 เป็นเอาท์พุทของวงจรแปลงสัญญาณดิจิตอลเป็นสัญญาณอนาล็อก
เมื่อป้อนอินพุทจากภาคส่ง1 ช่องสัญญาณ

4.2.9 วงจรดีมัลติเพล็กซ์

เมื่อทำการต่อวงจรแปลงสัญญาณดิจิตอลเป็นอนาล็อก เข้ากับวงจรบัฟเฟอร์ และอนาล็อกสวิทช์ และป้อนสัญญาณควบคุมต่างๆ ดังรูปที่ 3.26 จะได้ผลการทดลองดังนี้

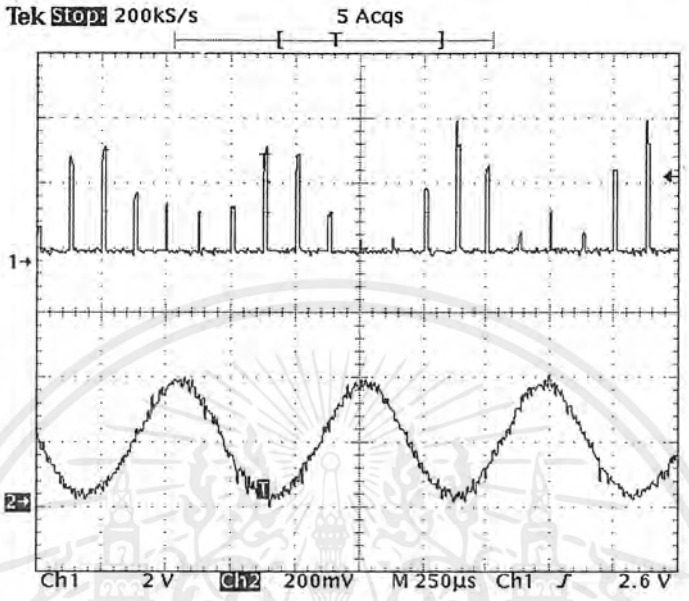


รูปที่ 4.39 แสดงผลการทดลองอนาล็อกสวิทช์ (ไอซี 4066)ทางด้านรับ
R1 เป็นอินพุทของ 4066 , Ch2 เป็นสัญญาณควบคุม
และR2 เป็นเอาท์พุทของ 4066 ทางด้านรับ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4.2.10 วงจรกรองความถี่ต่ำผ่าน

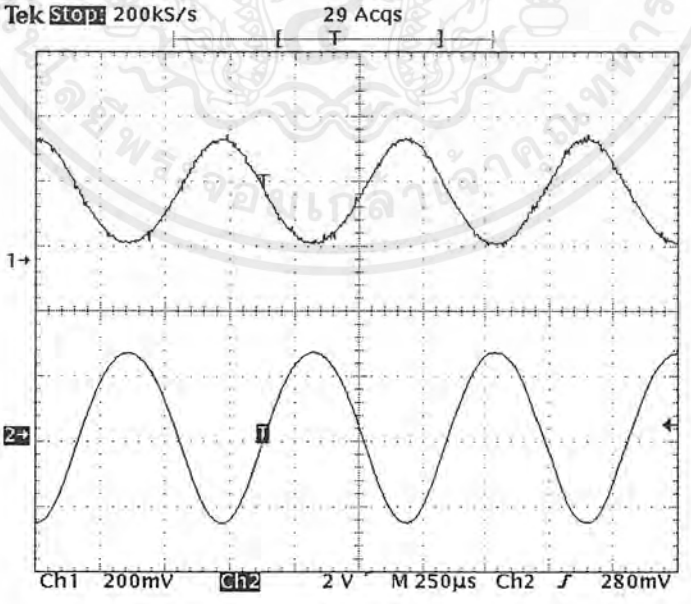
เมื่อทำการต่อวงจรกรองความถี่ต่ำผ่านแบบบัทเตอร์เวิร์ทออเดอร์ 10 ที่มีความถี่คัทออฟที่ 3.5 กิโลเฮิร์ท ดังรูปที่ 3.28 แล้วป้อนอินพุทที่ได้จากเอาท์พุทของอนาล็อกสวิทช์ จะได้ผลการทดลอง ดังนี้



รูปที่ 4.40 แสดงผลการทดลองวงจรกรองความถี่ต่ำผ่าน

R2 เป็นสัญญาณอินพุท และCh2 เป็นเอาท์พุทของวงจรกรองความถี่ต่ำผ่านด้านภาครับ

และเมื่อทำการต่อวงจรขยายสัญญาณแบบกลับเฟสดังรูป 3.5 จะได้ผลการทดลองดังนี้



รูปที่ 4.41 แสดงผลการทดลองวงจรขยายสัญญาณแบบกลับเฟส

R1 เป็นสัญญาณอินพุท และCh2 เป็นเอาท์พุทของวงจรขยายสัญญาณแบบกลับเฟสทางภาครับ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ตารางที่ 4.1 แสดงผลการทดลองวงจรกรองความถี่ต่ำแบบบัทเตอร์เวอร์ทออเดอร์5 คัทออฟ 3.5 kHz

ความถี่ (kHz)	20log(Vout/Vin) (dB)
0.1	0.000
0.2	0.000
0.3	0.000
0.4	0.000
0.5	0.000
0.6	0.000
0.7	0.000
0.8	0.000
0.9	0.000
1	0.000
1.1	0.000
1.2	0.000
1.3	0.000
1.4	0.000
1.5	0.000
1.6	0.129
1.7	0.172
1.8	0.086
1.9	0.086
2	0.129
2.1	0.214
2.2	0.257
2.3	0.172
2.4	0.214
2.5	0.129
2.6	0.000
2.7	-0.087
2.8	-0.087
2.9	-0.087
3	-0.131

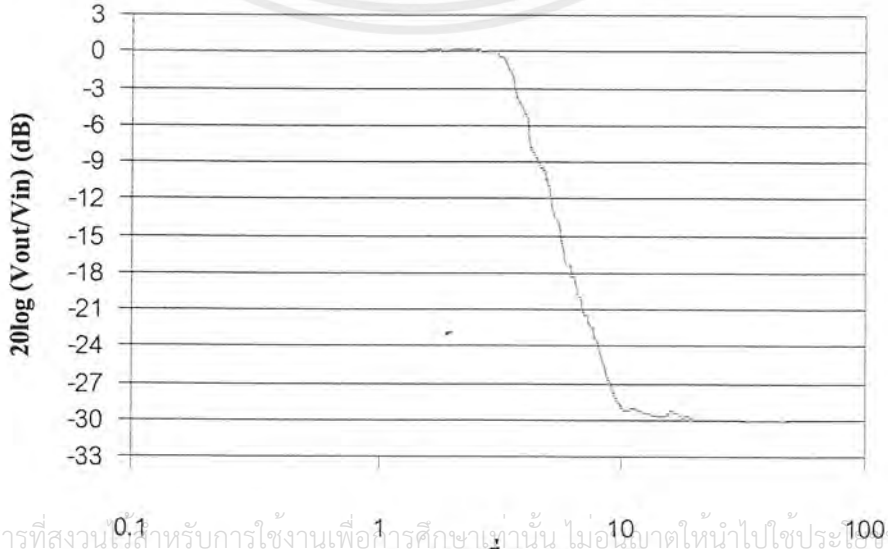
ความถี่ (kHz)	20log(Vout/Vin) (dB)
3.1	-0.446
3.2	-0.677
3.3	-1.310
3.4	-1.618
3.5	-2.499
3.6	-3.742
3.7	-4.152
3.8	-4.612
3.9	-5.193
4	-6.021
4.1	-7.744
4.2	-8.404
4.3	-8.636
4.4	-8.874
4.5	-9.319
4.6	-9.630
4.7	-10.173
4.8	-10.458
4.9	-11.213
5	-12.252
5.1	-12.956
5.2	-13.556
5.3	-13.556
5.4	-13.979
5.5	-14.657
5.6	-15.650
5.7	-16.478
5.8	-17.393
5.9	-17.393
6	-17.393

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ความถี่ (kHz)	20log(Vout/Vin) (dB)
6.1	-17.621
6.2	-18.062
6.3	-18.416
6.4	-18.416
6.5	-19.172
6.6	-20.000
6.7	-20.000
6.8	-20.446
6.9	-21.412
7	-21.412
7.1	-21.514
7.2	-21.938
7.3	-22.270
7.4	-22.499
7.5	-22.615
7.6	-23.098
7.7	-23.479
7.8	-23.742

ความถี่ (kHz)	20log(Vout/Vin) (dB)
7.9	-23.742
8	-24.437
9	-27.131
10	-29.119
i1	-29.119
12	-29.370
13	-29.630
14	-29.762
15	-29.762
16	-29.244
17	-29.630
18	-29.897
19	-29.762
20	-30.173
30	-30.173
40	-30.034
50	-30.173

กราฟแสดงการตอบสนองทางความถี่ของวงจรกรองความถี่ต่ำผ่านแบบบัทเตอร์เวิร์ทออเดอร์5 คัทออฟ 3.5kHz



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ตารางที่ 4.2 แสดงผลการทดลองวงจรกรองความถี่ต่ำแบบบัทเตอร์เวอร์ทออเดอร์10 คัทออฟ 3.5 kHz

ความถี่ (kHz)	20log(Vout/Vin) (dB)
0.1	0.000
0.2	0.000
0.3	0.000
0.4	0.000
0.5	0.000
0.6	0.000
0.7	0.000
0.8	0.000
0.9	0.000
1	-0.140
1.1	-0.574
1.2	-0.649
1.3	-1.032
1.4	-1.110
1.5	-1.351
1.6	-1.351
1.7	-1.432
1.8	-1.766
1.9	-1.938
2	-2.114
2.1	-2.384
2.2	-2.476
2.3	-2.476
2.4	-2.615
2.5	-2.999
2.6	-2.950
2.7	-3.098
2.8	-3.350
2.9	-3.557
3	-3.986

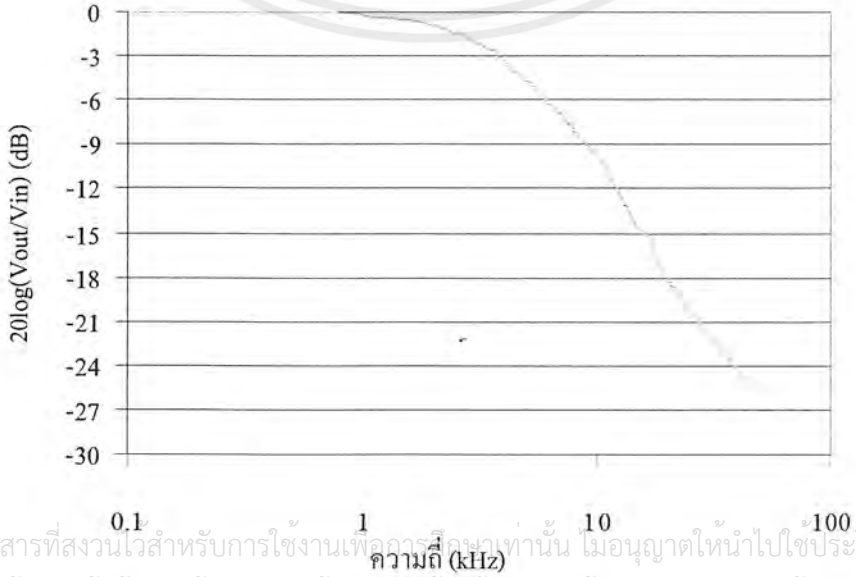
ความถี่ (kHz)	20log(Vout/Vin) (dB)
3.1	-4.041
3.2	-4.913
3.3	-5.288
3.4	-6.745
3.5	-7.371
3.6	-8.223
3.7	-8.778
3.8	-12.252
3.9	-13.979
4	-14.334
4.1	-14.517
4.2	-14.895
4.3	-15.041
4.4	-15.391
4.5	-15.650
4.6	-15.810
4.7	-15.918
4.8	-16.027
4.9	-16.250
5	-16.478
5.1	-16.713
5.2	-16.893
5.3	-17.077
5.4	-17.266
5.5	-17.523
5.6	-17.788
5.7	-18.062
5.8	-18.416
5.9	-18.711
6	-18.862

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

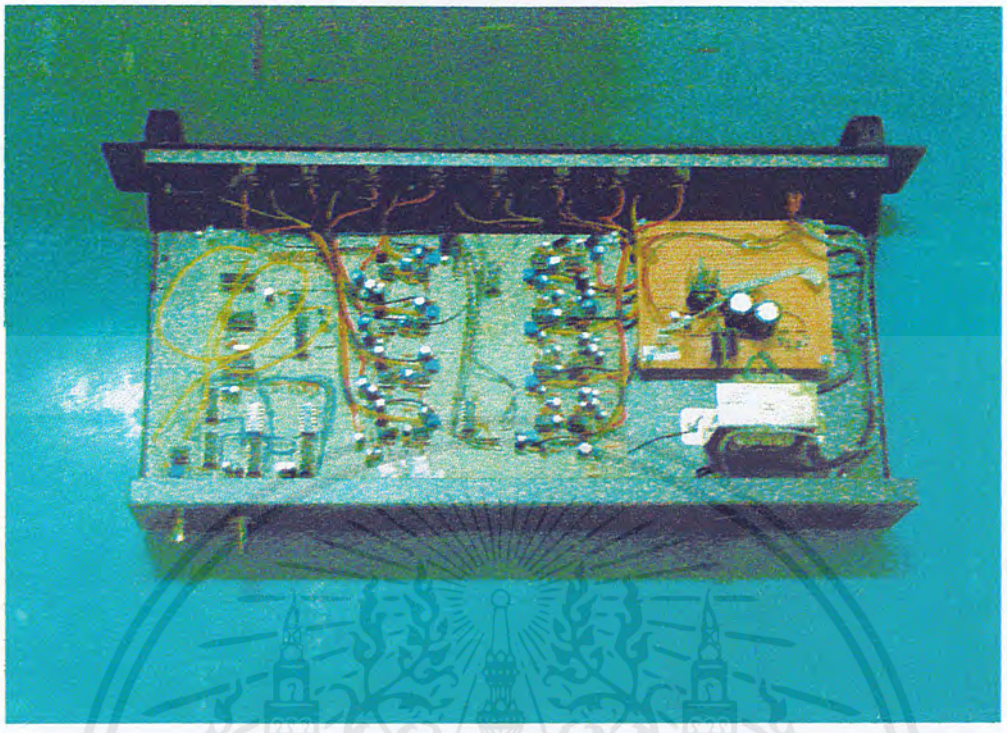
ความถี่ (kHz)	20log(Vout/Vin) (dB)
6.1	-19.016
6.2	-19.172
6.3	-19.412
6.4	-19.576
6.5	-19.743
6.6	-20.000
6.7	-20.175
6.8	-20.537
6.9	-20.915
7	-21.110
7.1	-21.110
7.2	-21.110
7.3	-21.012
7.4	-21.514
7.5	-21.412
7.6	-21.618
7.7	-21.724
7.8	-21.938

ความถี่ (kHz)	20log(Vout/Vin) (dB)
7.9	-22.158
8	-22.499
9	-22.270
10	-22.384
11	-23.098
12	-23.098
13	-23.609
14	-23.876
15	-23.742
16	-24.013
17	-24.013
18	-23.876
19	-23.609
20	-24.013
30	-24.437
40	-24.731
50	-26.021

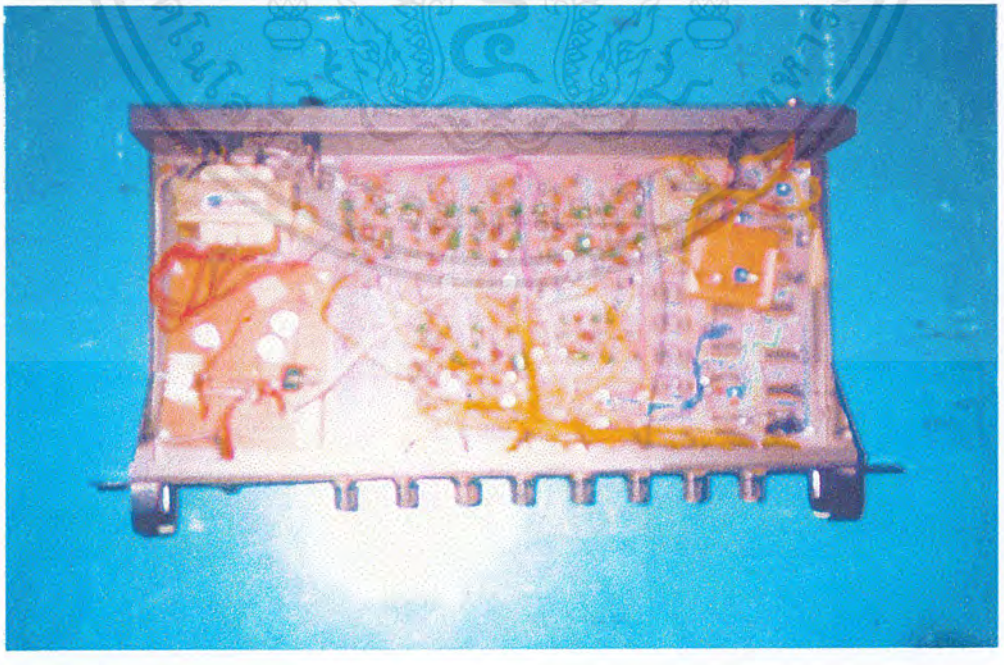
กราฟแสดงการตอบสนองทางความถี่ของวงจรกรองความถี่ต่ำผ่านแบบบัทเตอร์เวิร์ทออเดอร์10 คัทออฟ 3.5kH



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

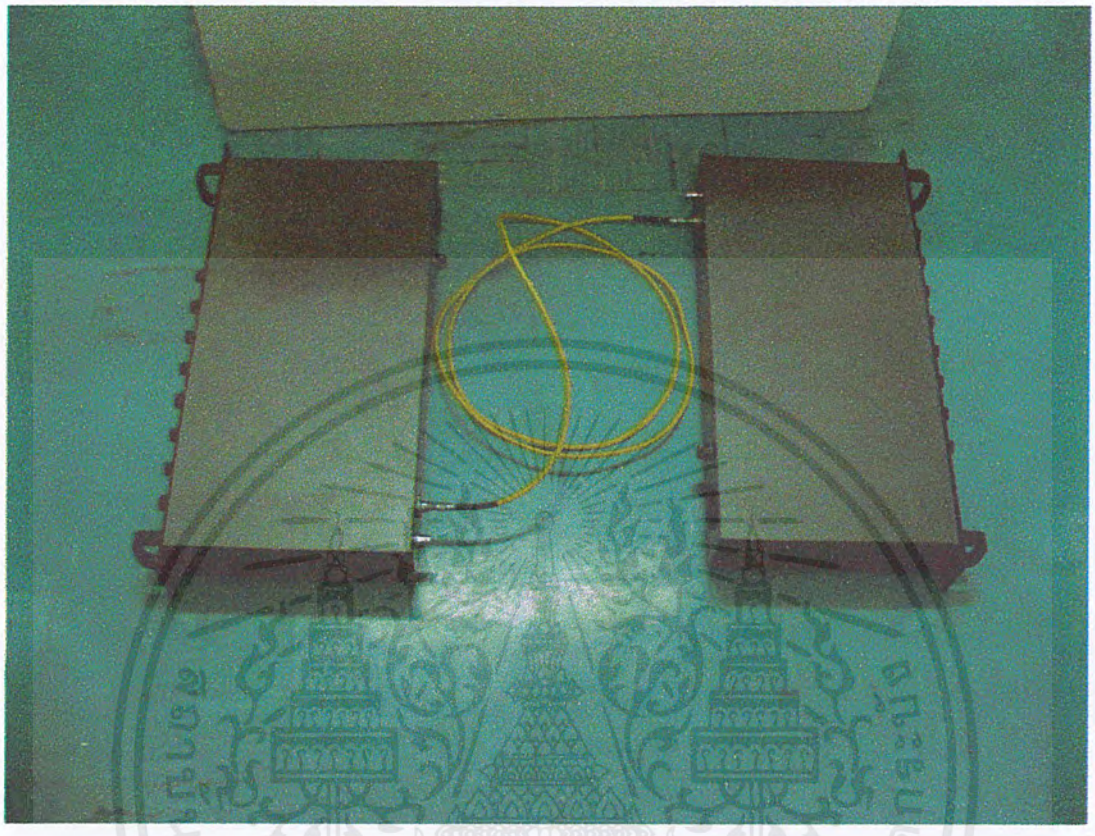


รูปที่ 4.42 แสดงวงจรและอุปกรณ์ต่าง ๆ ของภาคส่ง



รูปที่ 4.43 แสดงวงจรและอุปกรณ์ต่าง ๆ ของภาครับ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.44 แสดงการต่อใช้งานระหว่างเครื่องส่งและเครื่องรับ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 5
บทวิจารณ์และบทสรุป

โครงงานนี้เป็นโครงงานเกี่ยวกับการออกแบบและสร้างระบบสื่อสารแบบดิจิตอลผ่านเส้นใยแสง โดยใช้สัญญาณดิจิตอลจากสัญญาณพัลส์โค้ดมอดูเลชันของสัญญาณเสียงที่มีการมัลติเพล็กซ์แบบแบ่งเวลา โดยโครงงานนี้ใช้การมัลติเพล็กซ์แบบแบ่งเวลากับสัญญาณเสียงหลายช่องสัญญาณ แล้วจึงเข้าไปยังวงจรแปลงสัญญาณอนาล็อกเป็นดิจิตอล เพื่อลดจำนวนวงจรแปลงสัญญาณอนาล็อกเป็นดิจิตอลซึ่งมีราคาแพง นอกจากนี้กระบวนการส่งสัญญาณดิจิตอลที่มีหลายช่องสัญญาณนี้ใช้การส่งแบบอะซิงโครนัสซึ่งมีรูปแบบเฉพาะ โดยใช้การสร้างสัญญาณควบคุมการอ่านบิทข้อมูล และการซิงโครไนซ์ช่องสัญญาณจากรูปแบบของเฟรมข้อมูล ในส่วนการส่งสัญญาณผ่านเส้นใยแสงนั้นใช้แสงที่ความยาวคลื่น 850 นาโนเมตร

สำหรับปัญหาของโครงงานนี้ คือ สัญญาณรบกวนในระบบ การคัปปลิ้งแสงเข้าเส้นใยแสงที่ต้องการความแม่นยำมาก ปัญหาเกี่ยวกับความผิดพลาดและการออกแบบวงจร

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ภาคผนวก

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

HFE4020-313/XXX

Fiber Optic LED

FEATURES

- Power out designed for drive currents between 10 and 100 mA
- Wave solderable
- Optimized for linear optical output with drive currents between 10 mA and 100 mA
- High speed: 85 MHz
- Mounting options
  - SMA single hole
  - ST single hole
  - SMA PCB
  - ST PCB
  - SMA 4 hole

DESCRIPTION

The HFE4020-313/XXX is a high radiance GaAlAs 850 nanometer LED optimized for coupling into small fiber core diameters at a forward current of 10 to 100 mA. The patented "Caprock"™ LED chip combines high power coupling with wide bandwidth. The peak wavelength is matched for use with Honeywell silicon fiber optic detectors and receivers. When the HFE4020-313/XXX is used at elevated temperatures, thermal resistance must be taken into consideration.

APPLICATION

The HFE4020-313/XXX is a high radiance LED packaged in a fiber optic connector that aligns the optical axis of the base component to the axis of the optical fiber. Data rates can vary from DC to above 85 MHz depending upon component application. The LED converts electrical current into optical power that can be used in fiber optic communications. As the current varies (typically from 10 to 100 mA), the light intensity increases proportionally.

The HFE4020-313/XXX LED is designed to give high fiber coupled power (high radiance into a standard fiber optic cable). In order to enhance the light being sent into a fiber optic cable, a 0.30 mm diameter glass microlens is placed over the "Caprock"™ junction. The microlens collimates the light, increasing the intensity directed toward a fiber optic cable. This creates a "SWEET SPOT" of power, allowing greater power to be launched into standard fiber optic cables.

Honeywell reserves the right to make changes in order to improve design and supply the best products possible.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

HFE4020-313/XXX

Fiber Optic LED

ELECTRO-OPTICAL CHARACTERISTICS (-40°C < T_C < 100°C unless otherwise stated)

PARAMETER	SYMBOL	MIN	TYP	MAX	UNITS	TEST CONDITIONS
Fiber Coupled Power	P_{OC}	30	60		µW	I_F = 50 mA, 100/140 micron,
		-15.2	-12.2		dBm	0.29 NA fiber, T = 25°C[1]
Forward Voltage	V_F		1.70	2.00	V	I_F = 100 mA
Reverse Voltage	B_{VR}	1.0	5.0		V	I_R = 10 µA
Peak Wavelength	λ_P		850		nm	I_F = 100 mA DC
Spectral Bandwidth	$\Delta\lambda$		50		nm	I_F = 100 mA DC
Response Time					ns	1 V Prebias, 100 mA peak
T = 25°C, 10-90%	t_R		6	8		
T = 25°C, 90-10%	t_F		8	10		
-40 < T < +100°C, 10-90%	t_R		6	9		
-40 < T < +100°C, 90-10%	t_F		8	11		
Analog Bandwidth	BWE		85		MHz	I_F = 100 mA DC, small signal sinusoidal modulation
P_O Temperature Coefficient	$\Delta P_O/\Delta T$		-0.019		dB/°C	I_F = 100 mA
Series Resistance	r_S		4.0		Ω	DC
Capacitance	C		70		pF	V_R = 0 V, f = 1 MHz
Thermal Resistance			250		°C/W	Heat sinked

Notes

1. HFE4020-313/XXX is tested using a 100/140 micron fiber cable. Actual coupled power values may vary due to mechanical alignment procedures and/or receptacle and fiber tolerances.

ABSOLUTE MAXIMUM RATINGS

(25°C Free-Air Temperature unless otherwise noted)

Storage temperature	-40 to +100°C
Case operating temperature	-40 to +100°C
Lead solder temperature	260°C, 10 s
Continuous forward current (heat sinked)	100 mA
Reverse voltage	1 V @ 10 µA

Stresses greater than those listed under "Absolute Maximum Ratings" may cause permanent damage to the device. This is a stress rating only and functional operation of the device at these or any other conditions above those indicated in the operational section of this specification is not implied. Exposure to absolute maximum rating conditions for extended periods of time may affect reliability.

FIBER INTERFACE

Honeywell LEDs are designed to interface with multimode fiber with sizes ranging from 50/ 15 to 100/130 microns. Honeywell performs final tests using 50/ 15 micron core fiber. All multimode fiber optic cables between 50/ 15 and 100/130 should operate with similar excellent performance. See table for typical powers.

TYPICAL COUPLED POWER (µW/dBm) @ I_F = 50 mA

Dia.	Index	N.A.	-313
50/125	Graded	0.20	10/-19.9
62.5/125	Graded	0.28	19/-17.1
100/140	Graded	0.29	60/-12.2

Honeywell reserves the right to make changes in order to improve design and supply the best products possible.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

HFE4020-313/XXX

Fiber Optic LED

ORDER GUIDE

Description	Catalog Listing
Standard screening, typical power out 60 µW	HFE4020-313/XXX

MOUNTING OPTIONS

substitute XXX with one of the following 3 letter combinations

SMA single hole	- AAA
ST single hole	- BAA
SMA PCB	- ABA
ST PCB	- BBA
SMA 4 hole	- ADA

Dimensions on page 203

WARNING

Under certain application conditions, the infrared optical output of this device may exceed Class 1 eye safety limits, as defined by IEC 825-1 (1993-11). Do not use magnification (such as a microscope or other focusing equipment) when viewing the device's output.

CAUTION

The inherent design of this component causes it to be sensitive to electrostatic discharge (ESD). To prevent ESD-induced damage and/or degradation to equipment, take normal ESD precautions when handling this product.

Fig. 1 Typical Optical Power Output vs Forward Current

FIBER001.GRA

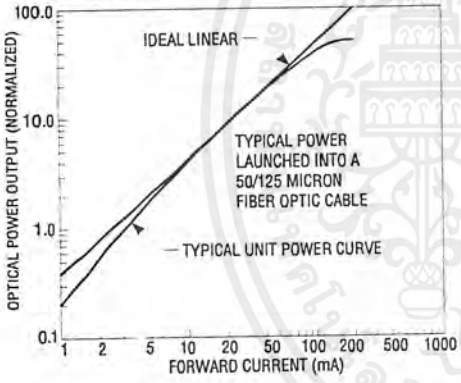


Fig. 2 Typical Spectral Output vs Wavelength

FIBER103.GRA

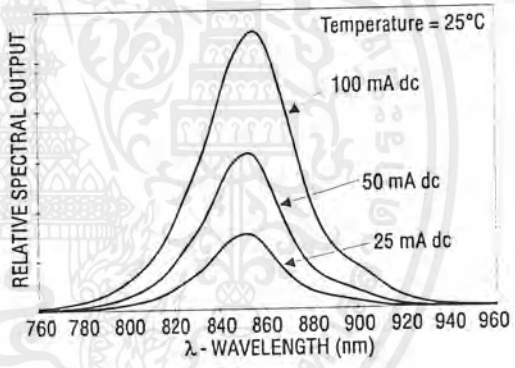
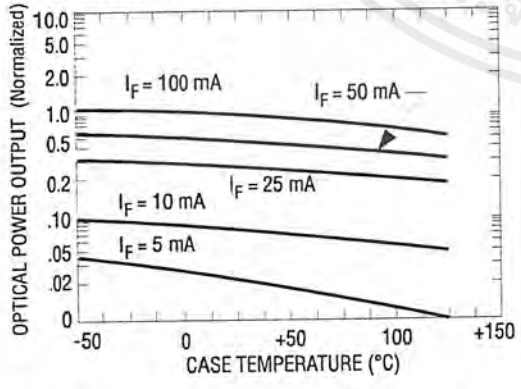


Fig. 3 Typical Optical Power Output vs Case Temperature

FIBER020.GRA



All Performance Curves Show Typical Values

Honeywell reserves the right to make changes in order to improve design and supply the best products possible.

Honeywell

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

HFD3023-002/XXX

5 Mbit Direct Coupled Receiver

FEATURES

- Converts fiber optic input signals to TTL digital outputs
- Typical sensitivity 2 µW peak (-27 dBm)
- Wide variety of cable options, operates with 50/125, 62.5/125, and 100/140 µm cables
- Direct coupled receiver circuit
- Designed to operate with Honeywell 850 nm LEDs
- Single 5 V supply requirement
- Wave solderable
- Mounting options
  - SMA single hole
  - ST single hole
  - SMA PCB
  - ST PCB
  - SMA 4 hole

DESCRIPTION

The HFD3023-002/XXX is a sensitive Direct Coupled (DC) optical receiver designed for use in short distance, 850 nm fiber optic systems. The receiver contains a monolithic IC, consisting of a photodiode, DC amplifier, and open collector Schottky output transistor. The output allows it to be directly interfaced with standard TTL circuits. The HFD3023-002/XXX receiver is comprised of a HFD3023 receiver component packaged in a fiber optic connector.

APPLICATION

The HFD3023-002/XXX fiber optic receiver converts the optical signal in a point to point data communications fiber optic link to a TTL output. Its 0.006 in. photodiode with a 0.024 in. microlens (to enhance the optics) is mechanically centered within the fiber optic connector.

Electrical isolation is important in obtaining the maximum performance. A 0.1 µF bypass capacitor must be connected between V_{CC} and ground. This minimizes power supply noise, increasing the signal quality. Shielding can also reduce coupled noise, through use of ground plane PCB, shielding around the device, and shielding around the leads.

The HFD3023-002/XXX is designed for a wide optical input range. The optical input dynamic range is guaranteed from the maximum sensitivity of 3.0 µW to 100 µW or greater than 15 dB.

Honeywell

Honeywell reserves the right to make changes in order to improve design and supply the best products possible.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

HFD3023-002/XXX

5 Mbit Direct Coupled Receiver

APPLICATION (continued)

Optical power from the fiber strikes the photodiode and is converted to electrical current. This current couples to the DC amplifier, which drives an open collector transistor output. The output when connected to a pull up resistor can interface to TTL loads. The electrical signal is the inverse of the input light signal. When light strikes the photodiode, the output is a low logic level. When no light strikes the photodiode, the output is a high logic level.

Pulse Width Distortion (PWD) is an increase in the output pulse width (for high level optical input). The typical performance curves illustrate how PWD varies with optical power, temperature and frequency for the HFD3023-002/XXX. The amount of PWD that a given system can tolerate without an error due to a missing bit of information, is dependent upon system considerations. The output of the HFD3023-002/XXX will typically connect to the input of some form of a serial interface adaptor IC. The specifications for that IC govern the amount of PWD that can be tolerated in the system.

Honeywell reserves the right to make changes in order to improve design and supply the best products possible.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

HFD3023-002/XXX

5 Mbit Direct Coupled Receiver

ELECTRO-OPTICAL CHARACTERISTICS

(V_{CC}= 5.0 VDC, T_C = 25°C unless otherwise stated)

PARAMETER	SYMBOL	MIN	TYP	MAX	UNITS	TEST CONDITIONS
Minimum Input Sensitivity	P_{IN} (Peak)					f = 2.5 MHz, 100/140 µm core fiber
Minimum Input Sensitivity						λ = 850 nm, Duty Cycle = 50%
Minimum Input Sensitivity						PWD ≤ 10%
			2	3	µW	
			-27	-25.2	dBm	
High Level Logic Output Voltage	V_{OH}	2.4	4.5		V	P_{IN} ≤ 0.1 µW, R_L = 560 Ω
Low Level Logic Output Voltage	V_{OL}		0.25	0.5	V	P_{IN} ≥ 3 µW, R_L = 560 Ω
Power Supply Current	I_{CC}		4.5	6.5	mA	P_{IN} ≤ 0.1 µW
Power Supply Current			13	15		P_{IN} ≥ 3 µW
Rise Time	t_R		6	9	ns	P_{IN} = 10µW, V_O = 0.5 to 2.4V
Fall Time	t_F		6	9	ns	P_{IN} = 10 µW, V_O = 2.4 to 0.5 V
Pulse Width Distortion	PWD				%	f = 2.5MHz, Duty Cycle = 50%
			5	10		P_{IN} = 3 µW peak
			25	35		P_{IN} = 80 µW peak

ABSOLUTE MAXIMUM RATINGS

(Tcase = 25°C unless otherwise noted)

Storage temperature	-40 to +100°C
Operating temperature	-40 to +100°C
Lead solder temperature	260°C for 10 s
Junction temperature	150°C
Supply voltage	+6.0 V

Stresses greater than those listed under "Absolute Maximum Ratings" may cause permanent damage to the device. This is a stress rating only and functional operation of the device at these or any other conditions above those indicated in the operational section of this specification is not implied. Exposure to absolute maximum rating conditions for extended periods of time may affect reliability.

RECOMMENDED OPERATING CONDITIONS

Operating temperature	-40 to +85°C
Supply voltage	+4.5 to +5.5 V
Optical input power	3.0 to 100 µW
Optical signal pulse width	> 100 ns
Optical signal edges (10 to 90%)	< 20 ns

Honeywell

Honeywell reserves the right to make changes in order to improve design and supply the best products possible.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

HFD3023-002/XXX

5 Mbit Direct Coupled Receiver

ORDER GUIDE

Description	Catalog Listing
Fiber Optic Direct Coupled Receiver	HFD3023-002/XXX

MOUNTING OPTIONS

Substitute XXX with one of the following 3 letter combinations

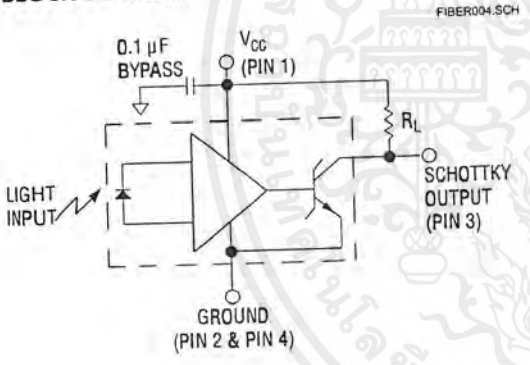
SMA single hole	- AAA
ST single hole	- BAA
SMA PCB	- ABA
ST PCB	- BBA
SMA 4 hole	- ADA

Dimensions on page 441

CAUTION

The inherent design of this component causes it to be sensitive to electrostatic discharge (ESD). To prevent ESD-induced damage and/or degradation to equipment, take normal ESD precautions when handling this product.

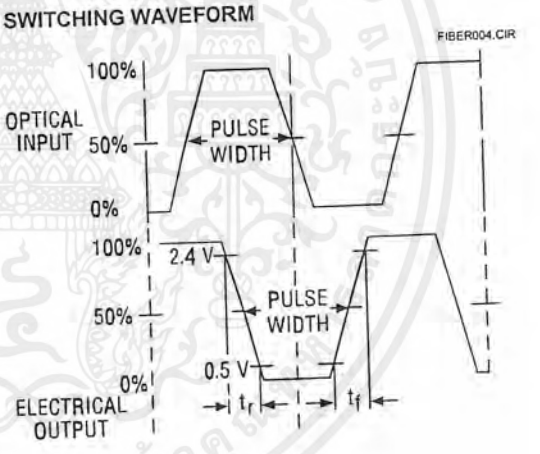
BLOCK DIAGRAM



FIBER INTERFACE

Honeywell detectors are designed to interface with multimode fibers with sizes (core/cladding diameters) ranging from 50/125 to 200/230 microns. Honeywell performs final tests using 100/140 micron core fiber. The fiber chosen by the end user will depend upon a number of application issues (distance, link budget, cable attenuation, splice attenuation, and safety margin). The 50/125 and 62.5/125 micron fibers have the advantages of high bandwidth and low cost, making them ideal for higher bandwidth installations. The use of 100/140 and 200/230 micron core fibers results in greater power being coupled by the transmitter, making it easier to splice or connect in bulkhead areas. Optical cables can be purchased from a number of sources.

SWITCHING WAVEFORM



Honeywell reserves the right to make changes in order to improve design and supply the best products possible.

Honeywell

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

HFD3023-002/XXX

5 Mbit Direct Coupled Receiver

Fig. 1 Pulse Width Distortion vs Optical Input Power

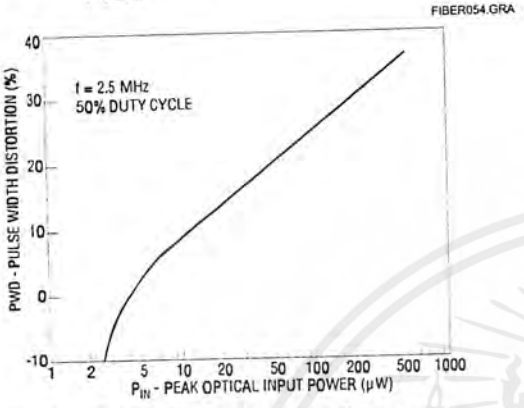


Fig. 2 Pulse Width Distortion vs Temperature

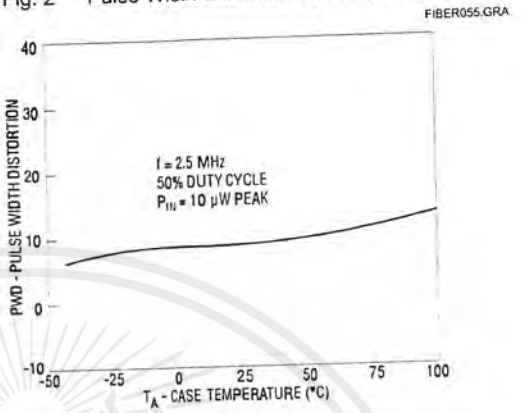


Fig. 3 Pulse Width Distortion vs Frequency

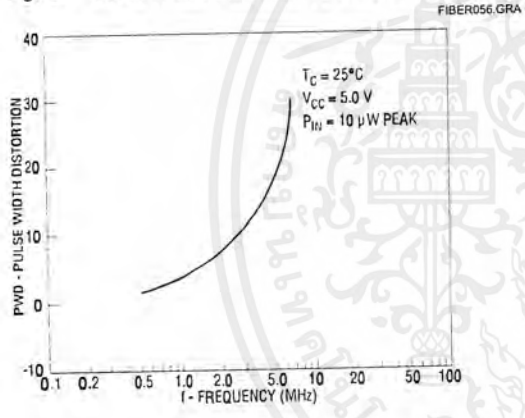
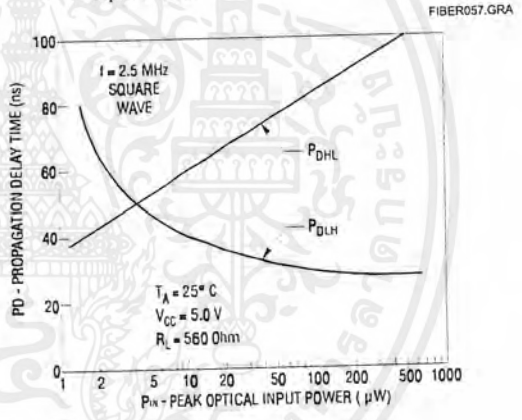


Fig. 4 Propagation Delay Time vs Peak Optical Input Power



Honeywell

Honeywell reserves the right to make changes in order to improve design and supply the best products possible.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

June 1999

National Semiconductor

ADC0820
8-Bit High Speed µP Compatible A/D Converter with Track/Hold Function

General Description

By using a half-flash conversion technique, the 8-bit ADC0820 CMOS A/D offers a 1.5 µs conversion time and dissipates only 75 mW of power. The half-flash technique consists of 32 comparators, a most significant 4-bit ADC and a least significant 4-bit ADC.

The input to the ADC0820 is tracked and held by the input sampling circuitry eliminating the need for an external sample-and-hold for signals moving at less than 100 mV/µs.

For ease of interface to microprocessors, the ADC0820 has been designed to appear as a memory location or I/O port without the need for external interfacing logic.

Key Specifications

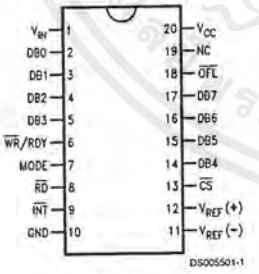
- Resolution — 8 Bits
- Conversion Time — 2.5 µs Max (RD Mode); 1.5 µs Max (WR-RD Mode)
- Low Power — 75 mW Max
- Total Unadjusted Error — ±½ LSB and ± 1 LSB

Features

- Built-in track-and-hold function
- No missing codes
- No external clocking
- Single supply — 5 V_{DC}
- Easy interface to all microprocessors, or operates stand-alone
- Latched TRI-STATE® output
- Logic inputs and outputs meet both MOS and T^2L voltage level specifications
- Operates ratiometrically or with any reference value equal to or less than V_{CC}
- 0V to 5V analog input voltage range with single 5V supply
- No zero or full-scale adjust required
- Overflow output available for cascading
- 0.3" standard width 20-pin DIP
- 20-pin molded chip carrier package
- 20-pin small outline package
- 20-pin shrink small outline package (SSOP)

Connection and Functional Diagrams

Dual-In-Line, Small Outline and SSOP Packages



DS005501-1

Top View

Molded Chip Carrier Package

DS005501-33

TRI-STATE® is a registered trademark of National Semiconductor Corporation.

© 1999 National Semiconductor Corporation

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Connection and Functional Diagrams (Continued)

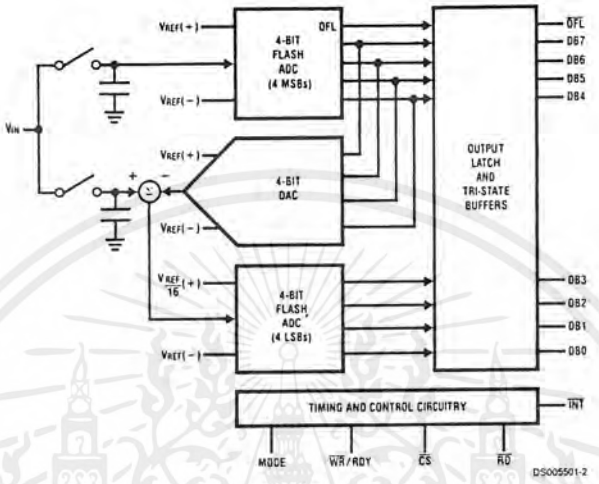


FIGURE 1.

Ordering Information

Part Number	Total Unadjusted Error	Package	Temperature Range
ADC0820BCV	±½ LSB	V20A—Molded Chip Carrier	0°C to +70°C
ADC0820BCWM		M20B—Wide Body Small Outline	0°C to +70°C
ADC0820BCN		N20A—Molded DIP	0°C to +70°C
ADC0820CCJ	±1 LSB	J20A—Cerdip	−40°C to +85°C
ADC0820CCWM		M20B—Wide Body Small Outline	0°C to +70°C
ADC0820CIWM		M20B—Wide Body Small Outline	−40°C to +85°C
ADC0820CCN		N20A—Molded DIP	0°C to +70°C

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Absolute Maximum Ratings (Notes 1, 2)

If Military/Aerospace specified devices are required, please contact the National Semiconductor Sales Office/ Distributors for availability and specifications.

Supply Voltage (V_{CC})	10V
Logic Control Inputs	−0.2V to V_{CC} +0.2V
Voltage at Other Inputs and Output	−0.2V to V_{CC} +0.2V
Storage Temperature Range	−65°C to +150°C
Package Dissipation at T_A = 25°C	875 mW
Input Current at Any Pin (Note 5)	1 mA
Package Input Current (Note 5)	4 mA
ESD Susceptability (Note 9)	1200V
Lead Temp. (Soldering, 10 sec.)	
Dual-In-Line Package (plastic)	260°C
Dual-In-Line Package (ceramic)	300°C
Surface Mount Package	
Vapor Phase (60 sec.)	215°C
Infrared (15 sec.)	220°C

Operating Ratings (Notes 1, 2)

Temperature Range	$T_{MIN} \le T_A \le T_{MAX}$
ADC0820CCJ	−40°C≤T_A≤+85°C
ADC0820CIWM	−40°C≤T_A≤+85°C
ADC0820BCN, ADC0820CCN	0°C≤T_A≤70°C
ADC0820BCV	0°C≤T_A≤70°C
ADC0820BCWM, ADC0820CCWM	0°C≤T_A≤70°C
V_{CC} Range	4.5V to 8V

Converter Characteristics

The following specifications apply for RD mode (pin 7=0), V_{CC}=5V, $V_{REF}(+)$=5V,and $V_{REF}(-)$=GND unless otherwise specified. **Boldface limits apply from T_{MIN} to T_{MAX}**; all other limits $T_A=T_j$=25°C.

Parameter	Conditions	ADC0820CCJ			ADC0820BCN, ADC0820CCN ADC0820BCV, ADC0820BCWM ADC0820CCWM, ADC0820CIWM			Limit Units
		Typ (Note 6)	Tested Limit (Note 7)	Design Limit (Note 8)	Typ (Note 6)	Tested Limit (Note 7)	Design Limit (Note 8)	
Resolution			8			8	8	Bits
Total Unadjusted Error (Note 3)	ADC0820BCN, BCWM		±1			±½	±½	LSB
	ADC0820CCJ							LSB
	ADC0820CCN, CCWM, CIWM,					±1	±1	LSB
	ADC0820CCMSA					±1	±1	LSB
Minimum Reference Resistance		2.3	1.00		2.3	1.2		kΩ
Maximum Reference Resistance		2.3	6		2.3	5.3	6	kΩ
Maximum $V_{REF}(+)$ Input Voltage			V_{CC}			V_{CC}	V_{CC}	V
Minimum $V_{REF}(-)$ Input Voltage			GND			GND	GND	V
Minimum $V_{REF}(+)$ Input Voltage			$V_{REF}(-)$			$V_{REF}(-)$	$V_{REF}(-)$	V
Maximum $V_{REF}(-)$ Input Voltage			$V_{REF}(+)$			$V_{REF}(+)$	$V_{REF}(+)$	V
Maximum V_{IN} Input Voltage			V_{CC}+0.1			V_{CC}+0.1	V_{CC}+0.1	V
Minimum V_{IN} Input Voltage			GND−0.1			GND−0.1	GND−0.1	V
Maximum Analog Input Leakage Current	$\overline{CS}$ =V_{CC}		3			0.3	3	µA
	V_{IN}=V_{CC}		−3			−0.3	−3	µA
	V_{IN}=GND							
Power Supply Sensitivity	V_{CC}=5V±5%	±1/16	±¼		±1/16	±¼	±¼	LSB

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

DC Electrical Characteristics

The following specifications apply for V_{CC}=5V, unless otherwise specified. **Boldface limits apply from T_{MIN} to T_{MAX}**; all other limits T_A=T_J=25°C.

Parameter	Conditions		ADC0820CCJ			ADC0820BCN, ADC0820CCN ADC0820BCV, ADC0820BCWM ADC0820CCWM, ADC0820CIWM			Limit Units
			Typ (Note 6)	Tested Limit (Note 7)	Design Limit (Note 8)	Typ (Note 6)	Tested Limit (Note 7)	Design Limit (Note 8)	
$V_{IN(1)}$, Logical "1" Input Voltage	V_{CC}=5.25V	$\overline{CS}$, $\overline{WR}$, $\overline{RD}$		2.0			2.0	2.0	V
		Mode		3.5			3.5	3.5	V
$V_{IN(0)}$, Logical "0" Input Voltage	V_{CC}=4.75V	$\overline{CS}$, $\overline{WR}$, $\overline{RD}$		0.8			0.8	0.8	V
		Mode		1.5			1.5	1.5	V
$I_{IN(1)}$, Logical "1" Input Current	$V_{IN(1)}$=5V; $\overline{CS}$, $\overline{RD}$		0.005	1		0.005		1	µA
	$V_{IN(1)}$=5V; $\overline{WR}$		0.1	3		0.1	0.3	3	µA
	$V_{IN(1)}$=5V; Mode		50	200		50	170	200	µA
$I_{IN(0)}$, Logical "0" Input Current	$V_{IN(0)}$=0V; $\overline{CS}$, $\overline{RD}$, $\overline{WR}$, Mode		−0.005	−1		−0.005		−1	µA
$V_{OUT(1)}$, Logical "1" Output Voltage	V_{CC}=4.75V, I_{OUT}=−360 µA; DB0–DB7, $\overline{OFL}$, $\overline{INT}$			2.4			2.8	2.4	V
	V_{CC}=4.75V, I_{OUT}=−10 µA; DB0–DB7, $\overline{OFL}$, $\overline{INT}$			4.5			4.6	4.5	V
$V_{OUT(0)}$, Logical "0" Output Voltage	V_{CC}=4.75V, I_{OUT}=1.6 mA; DB0–DB7, $\overline{OFL}$, $\overline{INT}$, RDY			0.4			0.34	0.4	V
I_{OUT}, TRI-STATE Output Current	V_{OUT}=5V; DB0–DB7, RDY		0.1	3		0.1	0.3	3	µA
	V_{OUT}=0V; DB0–DB7, RDY		−0.1	−3		−0.1	−0.3	−3	µA
I_{SOURCE}, Output Source Current	V_{OUT}=0V; DB0–DB7, $\overline{OFL}$		−12	−6		−12	−7.2	−6	mA
	$\overline{INT}$		−9	−4.0		−9	−5.3	−4.0	mA
I_{SINK}, Output Sink Current	V_{OUT}=5V; DB0–DB7, $\overline{OFL}$, $\overline{INT}$, RDY		14	7		14	8.4	7	mA
I_{CC}, Supply Current	$\overline{CS}$ =$\overline{WR}$ =$\overline{RD}$ =0		7.5	15		7.5	13	15	mA

AC Electrical Characteristics

The following specifications apply for V_{CC}=5V, t_r=t_f=20 ns, V_{REF}(+)=5V, V_{REF}(−)=0V and T_A=25°C unless otherwise specified.

Parameter		Conditions	Typ (Note 6)	Tested Limit (Note 7)	Design Limit (Note 8)	Units
t_{CRD}, Conversion Time for RD Mode		Pin 7 = 0, *Figure 2*	1.6		2.5	µs
t_{ACC0}, Access Time (Delay from Falling Edge of $\overline{RD}$ to Output Valid)		Pin 7 = 0, *Figure 2*	t_{CRD}+20		t_{CRD}+50	ns
t_{CWR-RD}, Conversion Time for WR-RD Mode		Pin 7 = V_{CC}; t_{WR} = 600 ns, t_{RD}=600 ns; *Figures 3, 4*			1.52	µs
t_{WR}, Write Time	Min	Pin 7 = V_{CC}; *Figures 3, 4*		600		ns
	Max	(Note 4) See Graph	50			µs
t_{RD}, Read Time	Min	Pin 7 = V_{CC}; *Figures 3, 4* (Note 4) See Graph		600		ns
t_{ACC1}, Access Time (Delay from Falling Edge of $\overline{RD}$ to Output Valid)		Pin 7 = V_{CC}, t_{RD}<t_I; *Figure 3* C_L=15 pF	190		280	ns
		C_L=100 pF	210		320	ns

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

AC Electrical Characteristics (Continued)

The following specifications apply for V_{CC}=5V, t_r=t_f=20 ns, V_{REF}(+)=5V, V_{REF}(−)=0V and T_A=25˚C unless otherwise specified.

Parameter	Conditions	Typ (Note 6)	Tested Limit (Note 7)	Design Limit (Note 8)	Units
t_{ACC2}, Access Time (Delay from Falling Edge of $\overline{RD}$ to Output Valid)	Pin 7 = V_{CC}, t_{RD}>t_i; *Figure 4*				
	C_L=15 pF	70		120	ns
	C_L=100 pF	90		150	ns
t_{ACC3}, Access Time (Delay from Rising Edge of RDY to Output Valid)	R_{PULLUP} = 1k and C_L = 15 pF	30			ns
t_i, Internal Comparison Time	Pin 7=V_{CC}; *Figures 4, 5* C_L=50 pF	800		1300	ns
t_{1H}, t_{0H}, TRI-STATE Control (Delay from Rising Edge of $\overline{RD}$ to Hi-Z State)	R_L=1k, C_L=10 pF	100		200	ns
$t_{\overline{INTL}}$, Delay from Rising Edge of $\overline{WR}$ to Falling Edge of $\overline{INT}$	Pin 7 = V_{CC}, C_L= 50 pF				
	t_{RD}>t_i; *Figure 4*			t_i	ns
	t_{RD}<t_i; *Figure 3*	t_{RD}+200		t_{RD}+290	ns
$t_{\overline{INTH}}$, Delay from Rising Edge of $\overline{RD}$ to Rising Edge of $\overline{INT}$	*Figures 2, 3, 4* C_L=50 pFc	125		225	ns
$t_{\overline{INTHWR}}$, Delay from Rising Edge of $\overline{WR}$ to Rising Edge of $\overline{INT}$	*Figure 5*, C_L=50 pF	175		270	ns
t_{RDY}, Delay from $\overline{CS}$ to RDY	*Figure 2*, C_L=50 pF, Pin 7 =0	50		100	ns
t_{ID}, Delay from $\overline{INT}$ to Output Valid	*Figure 5*	20		50	ns
t_{RI}, Delay from $\overline{RD}$ to $\overline{INT}$	Pin 7=V_{CC}, t_{RD}<t_i *Figure 3*	200		290	ns
t_P, Delay from End of Conversion to Next Conversion	*Figures 2, 3, 4, 5* (Note 4) See Graph			500	ns
Slew Rate, Tracking		0.1			V/µs
C_{VIN}, Analog Input Capacitance		45			pF
C_{OUT}, Logic Output Capacitance		5			pF
C_{IN}, Logic Input Capacitance		5			pF

Note 1: Absolute Maximum Ratings indicate limits beyond which damage to the device may occur. DC and AC electrical specifications do not apply when operating the device beyond its specified operating conditions.

Note 2: All voltages are measured with respect to the GND pin, unless otherwise specified.

Note 3: Total unadjusted error includes offset, full-scale, and linearity errors.

Note 4: Accuracy may degrade if t_{WR} or t_{RD} is shorter than the minimum value specified. See Accuracy vs t_{WR} and Accuracy vs t_{RD} graphs.

Note 5: When the input voltage (V_{IN}) at any pin exceeds the power supply rails (V_{IN} < V^- or V_{IN} > V^+) the absolute value of current at that pin should be limited to 1 mA or less. The 4 mA package input current limits the number of pins that can exceed the power supply boundaries with a 1 mA current limit to four.

Note 6: Typicals are at 25˚C and represent most likely parametric norm.

Note 7: Tested limits are guaranteed to National's AOQL (Average Outgoing Quality Level).

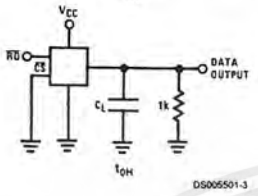
Note 8: Design limits are guaranteed but not 100% tested. These limits are not used to calculate outgoing quality levels.

Note 9: Human body model, 100 pF discharaged through a 1.5 kΩ resistor.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

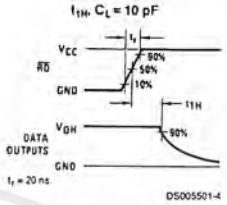
TRI-STATE Test Circuits and Waveforms

t_{1H}



DS005501-3

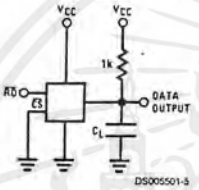
t_{1H}, C_L = 10 pF



DS005501-4

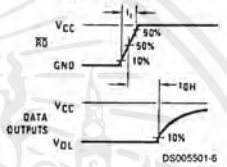
t_r=20 ns

t_{0H}



DS005501-5

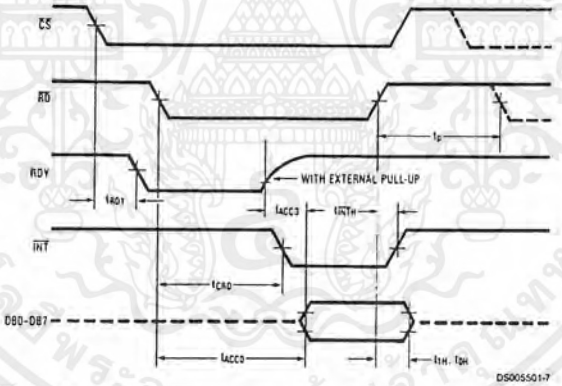
t_{0H}, C_L = 10 pF



DS005501-6

t_r=20 ns

Timing Diagrams



DS005501-7

Note: On power-up the state of $\overline{INT}$ can be high or low.

FIGURE 2. RD Mode (Pin 7 is Low)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Timing Diagrams (Continued)

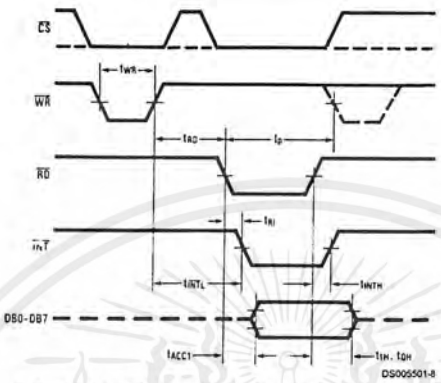


FIGURE 3. WR-RD Mode (Pin 7 is High and $t_{RD} < t_I$)

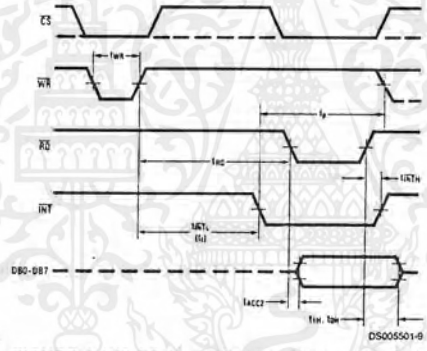


FIGURE 4. WR-RD Mode (Pin 7 is High and $t_{RD} > t_I$)

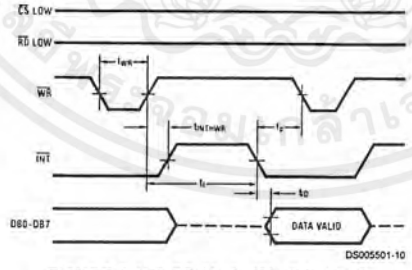
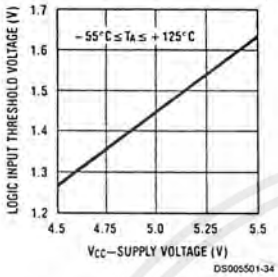


FIGURE 5. WR-RD Mode (Pin 7 is High)
Stand-Alone Operation

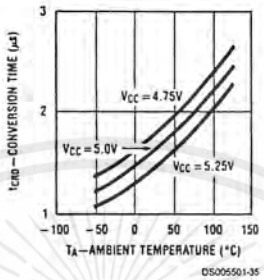
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Typical Performance Characteristics

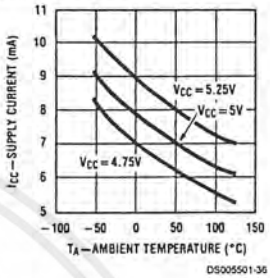
Logic Input Threshold Voltage vs Supply Voltage



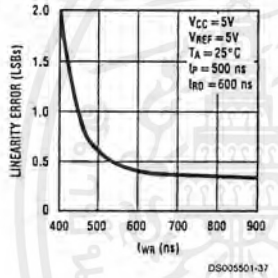
Conversion Time (RD Mode) vs Temperature



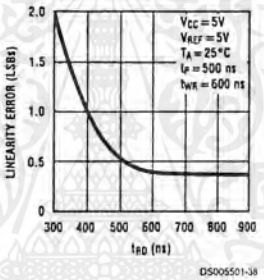
Power Supply Current vs Temperature (not including reference ladder)



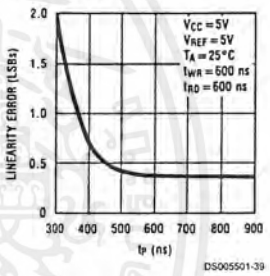
Accuracy vs t_{WR}



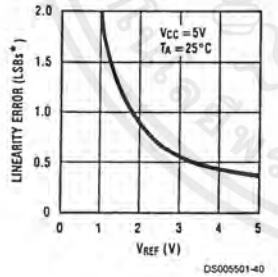
Accuracy vs t_{RD}



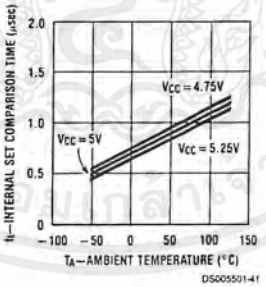
Accuracy vs t_p



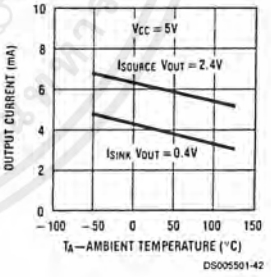
Accuracy vs V_{REF} [$V_{REF}=V_{REF}(+)-V_{REF}(-)$]



t_t, Internal Time Delay vs Temperature



Output Current vs Temperature



*1 LSB = $\frac{V_{REF}}{256}$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

May 1999

National Semiconductor

DAC0808
8-Bit D/A Converter

General Description

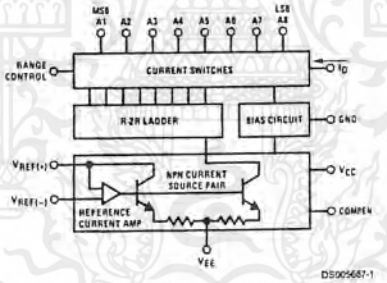
The DAC0808 is an 8-bit monolithic digital-to-analog converter (DAC) featuring a full scale output current settling time of 150 ns while dissipating only 33 mW with ±5V supplies. No reference current (I_{REF}) trimming is required for most applications since the full scale output current is typically ±1 LSB of 255 $I_{REF}/256$. Relative accuracies of better than ±0.19% assure 8-bit monotonicity and linearity while zero level output current of less than 4 µA provides 8-bit zero accuracy for $I_{REF} \geq 2$ mA. The power supply currents of the DAC0808 is independent of bit codes, and exhibits essentially constant device characteristics over the entire supply voltage range.

The DAC0808 will interface directly with popular TTL, DTL or CMOS logic levels, and is a direct replacement for the MC1508/MC1408. For higher speed applications, see DAC0800 data sheet.

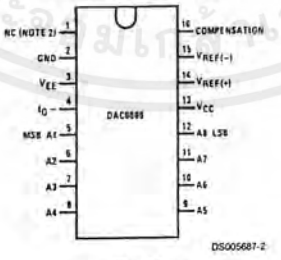
Features

- Relative accuracy: ±0.19% error maximum
- Full scale current match: ±1 LSB typ
- Fast settling time: 150 ns typ
- Noninverting digital inputs are TTL and CMOS compatible
- High speed multiplying input slew rate: 8 mA/µs
- Power supply voltage range: ±4.5V to ±18V
- Low power consumption: 33 mW @ ±5V

Block and Connection Diagrams



Dual-In-Line Package



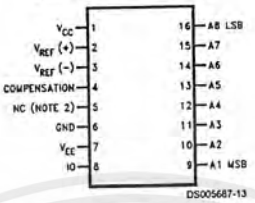
Top View
Order Number DAC0808
See NS Package M16A or N16A

© 1999 National Semiconductor Corporation

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Block and Connection Diagrams (Continued)

Small-Outline Package



DS005687-13

Ordering Information

ACCURACY	OPERATING TEMPERATURE RANGE	N PACKAGE (N16A) (Note 1)		SO PACKAGE (M16A)
8-bit	0°C≤T_A≤+75°C	DAC0808LCN	MC1408P8	DAC0808LCM

Note 1: Devices may be ordered by using either order number.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Absolute Maximum Ratings (Note 2)

If Military/Aerospace specified devices are required, please contact the National Semiconductor Sales Office/ Distributors for availability and specifications.

Power Supply Voltage	
V_{CC}	+18 V_{DC}
V_{EE}	−18 V_{DC}
Digital Input Voltage, V5–V12	−10 V_{DC} to +18 V_{DC}
Applied Output Voltage, V_O	−11 V_{DC} to +18 V_{DC}
Reference Current, I_{14}	5 mA
Reference Amplifier Inputs, V14, V15	V_{CC}, V_{EE}
Power Dissipation (Note 4)	1000 mW
ESD Susceptibility (Note 5)	TBD
Storage Temperature Range	−65˚C to +150˚C
Lead Temp. (Soldering, 10 seconds)	
Dual-In-Line Package (Plastic)	260˚C
Dual-In-Line Package (Ceramic)	300˚C
Surface Mount Package	
Vapor Phase (60 seconds)	215˚C
Infrared (15 seconds)	220˚C

Operating Ratings

Temperature Range	$T_{MIN} \le T_A \le T_{MAX}$
DAC0808	$0 \le T_A \le +75$˚C

Electrical Characteristics

(V_{CC} = 5V, V_{EE} = −15 V_{DC}, V_{REF}/R14 = 2 mA, and all digital inputs at high logic level unless otherwise noted.)

Symbol	Parameter	Conditions	Min	Typ	Max	Units
E_r	Relative Accuracy (Error Relative to Full Scale I_O)	(*Figure 4*)				%
	DAC0808LC (LM1408-8)				±0.19	%
	Settling Time to Within ½ LSB (Includes t_{PLH})	T_A=25˚C (Note 7), (*Figure 5*)		150		ns
t_{PLH}, t_{PHL}	Propagation Delay Time	T_A = 25˚C, (*Figure 5*)		30	100	ns
TCI_O	Output Full Scale Current Drift			±20		ppm/˚C
MSB	Digital Input Logic Levels	(*Figure 3*)				
V_{IH}	High Level, Logic "1"		2			V_{DC}
V_{IL}	Low Level, Logic "0"				0.8	V_{DC}
MSB	Digital Input Current	(*Figure 3*)				
	High Level	V_{IH} = 5V		0	0.040	mA
	Low Level	V_{IL} = 0.8V		−0.003	−0.8	mA
I_{15}	Reference Input Bias Current	(*Figure 3*)		−1	−3	μA
	Output Current Range	(*Figure 3*)				
		V_{EE} = −5V	0	2.0	2.1	mA
		V_{EE} = −15V, T_A = 25˚C	0	2.0	4.2	mA
I_O	Output Current	V_{REF} = 2.000V, R14 = 1000Ω, (*Figure 3*)	1.9	1.99	2.1	mA
	Output Current, All Bits Low	(*Figure 3*)		0	4	μA
	Output Voltage Compliance (Note 3)	$E_r \le 0.19\%$, T_A = 25˚C				
	V_{EE}=−5V, I_{REF}=1 mA				−0.55, +0.4	V_{DC}
	V_{EE} Below −10V				−5.0, +0.4	V_{DC}
SRI_{REF}	Reference Current Slew Rate	(*Figure 6*)	4	8		mA/μs
	Output Current Power Supply Sensitivity	−5V ≤ V_{EE} ≤ −16.5V		0.05	2.7	μA/V
	Power Supply Current (All Bits Low)	(*Figure 3*)				
I_{CC}				2.3	22	mA
I_{EE}				−4.3	−13	mA
	Power Supply Voltage Range	T_A = 25˚C, (*Figure 3*)				
V_{CC}			4.5	5.0	5.5	V_{DC}
V_{EE}			−4.5	−15	−16.5	V_{DC}
	Power Dissipation					

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Electrical Characteristics (Continued)

(V_{CC} = 5V, V_{EE} = −15 V_{DC}, V_{REF}/R14 = 2 mA, and all digital inputs at high logic level unless otherwise noted.)

Symbol	Parameter	Conditions	Min	Typ	Max	Units
	All Bits Low	V_{CC} = 5V, V_{EE} = −5V		33	170	mW
		V_{CC} = 5V, V_{EE} = −15V		106	305	mW
	All Bits High	V_{CC} = 15V, V_{EE} = −5V		90		mW
		V_{CC} = 15V, V_{EE} = −15V		160		mW

Note 2: Absolute Maximum Ratings indicate limits beyond which damage to the device may occur. DC and AC electrical specifications do not apply when operating the device beyond its specified operating conditions.

Note 3: Range control is not required.

Note 4: The maximum power dissipation must be derated at elevated temperatures and is dictated by T_{JMAX}, θ_{JA}, and the ambient temperature, T_A. The maximum allowable power dissipation at any temperature is $P_D = (T_{JMAX} - T_A)/\theta_{JA}$ or the number given in the Absolute Maixmum Ratings, whichever is lower. For this device, T_{JMAX} = 125°C, and the typical junction-to-ambient thermal resistance of the dual-in-line J package when the board mounted is 100°C/W. For the dual-in-line N package, this number increases to 175°C/W and for the small outline M package this number is 100°C/W.

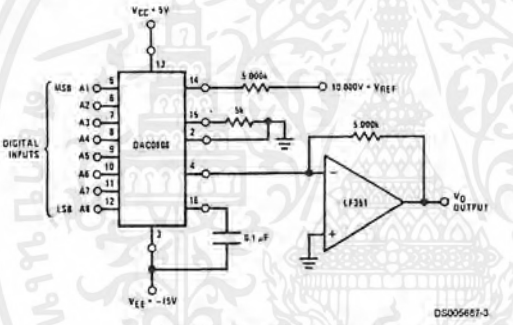
Note 5: Human body model, 100 pF discharged through a 1.5 kΩ resistor.

Note 6: All current switches are tested to guarantee at least 50% of rated current.

Note 7: All bits switched.

Note 8: Pin-out numbers for the DAL080X represent the dual-in-line package. The small outline package pinout differs from the dual-in-line package.

Typical Application



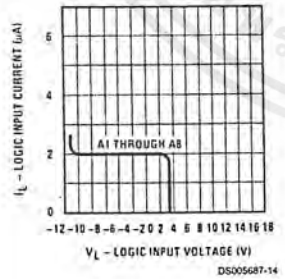
$$V_O = 10V\left(\frac{A1}{2} + \frac{A2}{4} + \cdots \frac{A8}{256}\right)$$

DS005687-23

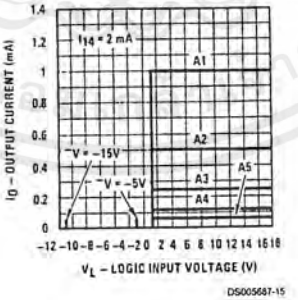
FIGURE 1. +10V Output Digital to Analog Converter (Note 8)

Typical Performance Characteristics V_{CC} = 5V, V_{EE} = −15V, T_A = 25°C, unless otherwise noted

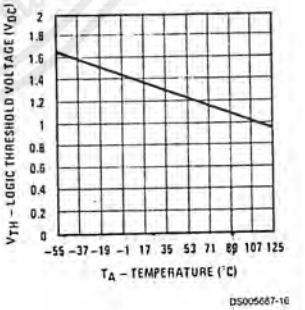
Logic Input Current vs Input Voltage



Bit Transfer Characteristics



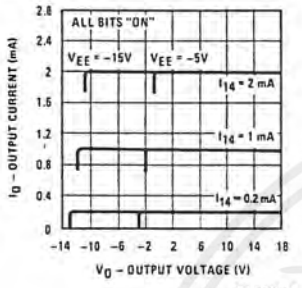
Logic Threshold Voltage vs Temperature



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

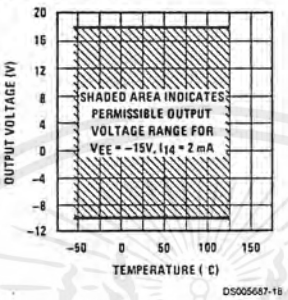
Typical Performance Characteristics V_{CC} = 5V, V_{EE} = −15V, T_A = 25°C, unless otherwise noted (Continued)

Output Current vs Output Voltage (Output Voltage Compliance)



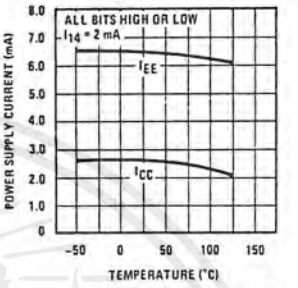
DS005687-17

Output Voltage Compliance vs Temperature



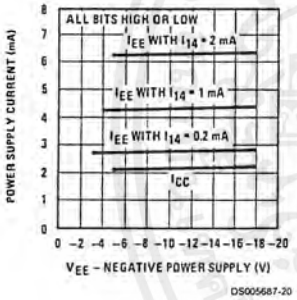
DS005687-18

Typical Power Supply Current vs Temperature



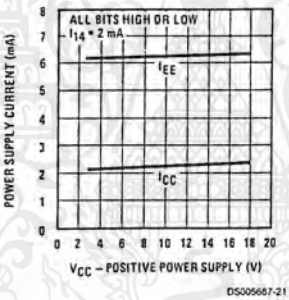
DS005687-19

Typical Power Supply Current vs V_{EE}



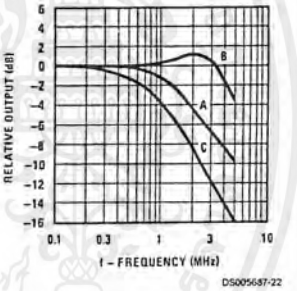
DS005687-20

Typical Power Supply Current vs V_{CC}



DS005687-21

Reference Input Frequency Response



DS005687-22

Unless otherwise specified: R14 = R15 = 1 kΩ, C = 15 pF, pin 16 to V_{EE}; R_L = 50Ω, pin 4 to ground.

Curve A: Large Signal Bandwidth Method of *Figure 7*, V_{REF} = 2 Vp-p offset 1V above ground.

Curve B: Small Signal Bandwidth Method of *Figure 7*, R_L = 250Ω, V_{REF} = 50 mVp-p offset 200 mV above ground.

Curve C: Large and Small Signal Bandwidth Method of *Figure 9* (no op amp, R_L = 50Ω), R_S = 50Ω, V_{REF} = 2V, V_S = 100 mVp-p centered at 0V.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

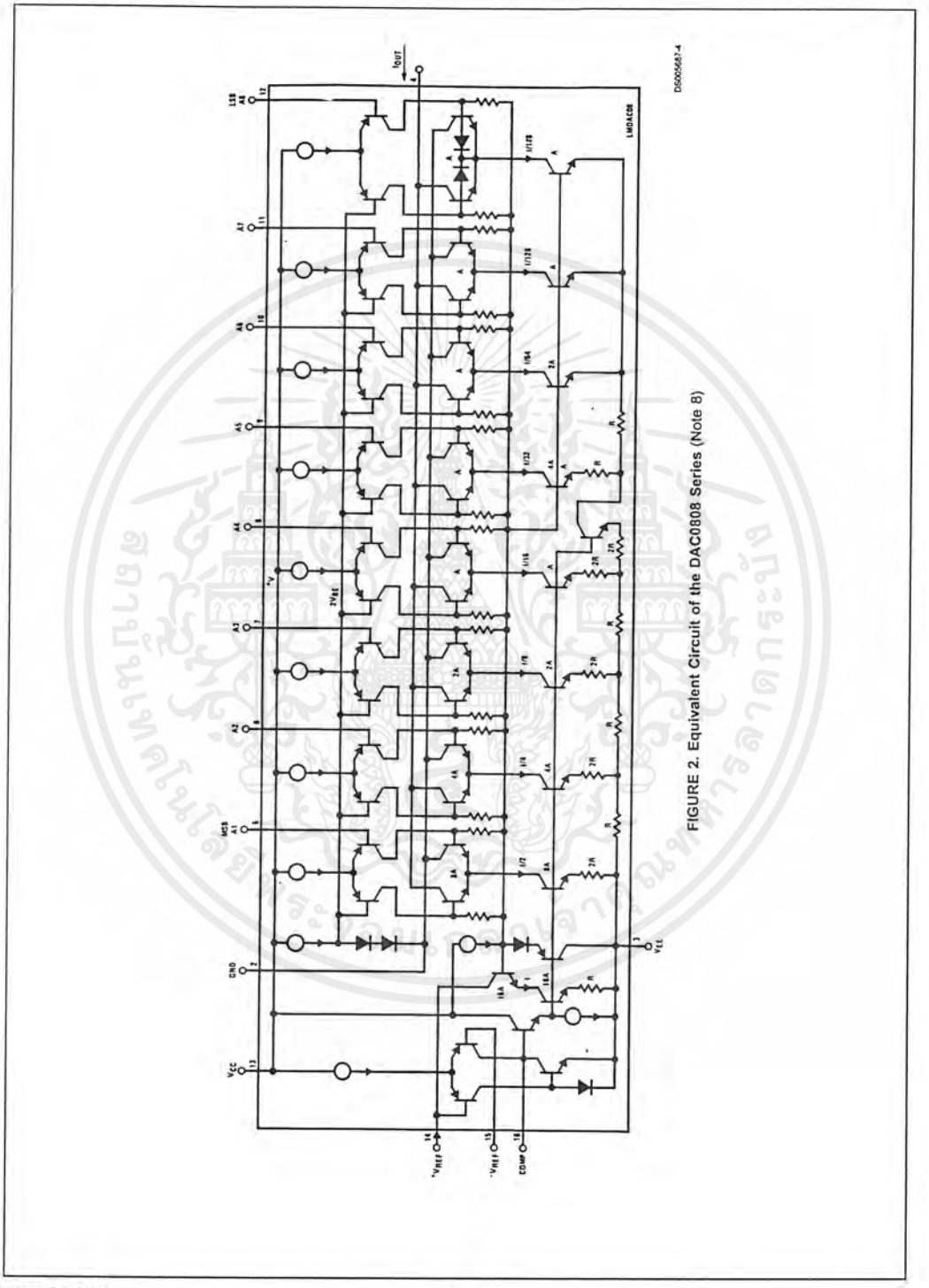


FIGURE 2. Equivalent Circuit of the DAC0808 Series (Note 8)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

MC54/74HC4066

Quad Analog Switch/ Multiplexer/Demultiplexer

High–Performance Silicon–Gate CMOS

The MC54/74HC4066 utilizes silicon–gate CMOS technology to achieve fast propagation delays, low ON resistances, and low OFF–channel leakage current. This bilateral switch/multiplexer/demultiplexer controls analog and digital voltages that may vary across the full power–supply range (from V_{CC} to GND).

The HC4066 is identical in pinout to the metal–gate CMOS MC14016 and MC14066. Each device has four independent switches. The device has been designed so that the ON resistances (R_{ON}) are much more linear over input voltage than R_{ON} of metal–gate CMOS analog switches.

This device is identical in both function and pinout to the HC4016. The ON/OFF control inputs are compatible with standard CMOS outputs; with pullup resistors, they are compatible with LSTTL outputs. For analog switches with voltage–level translators, see the HC4316.

- Fast Switching and Propagation Speeds
- High ON/OFF Output Voltage Ratio
- Low Crosstalk Between Switches
- Diode Protection on All Inputs/Outputs
- Wide Power–Supply Voltage Range (V_{CC} – GND) = 2.0 to 12.0 Volts
- Analog Input Voltage Range (V_{CC} – GND) = 2.0 to 12.0 Volts
- Improved Linearity and Lower ON Resistance over Input Voltage than the MC14016 or MC14066 or HC4016
- Low Noise
- Chip Complexity: 44 FETs or 11 Equivalent Gates

J SUFFIX
CERAMIC PACKAGE
CASE 632–08

N SUFFIX
PLASTIC PACKAGE
CASE 646–06

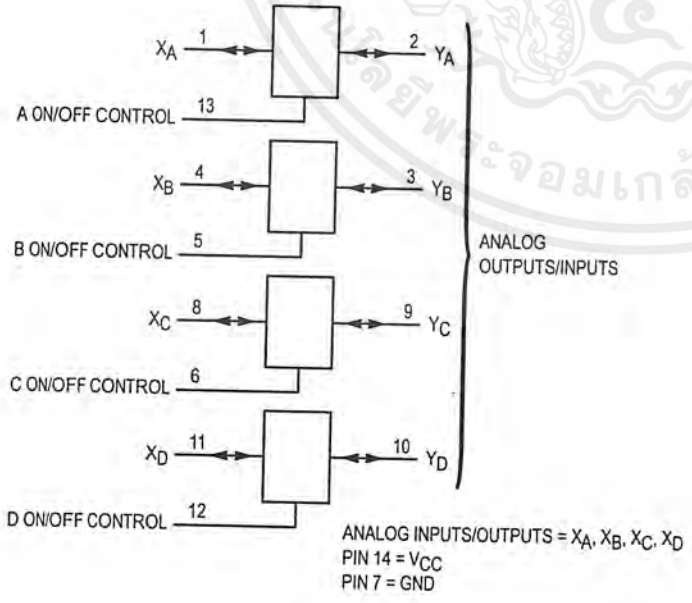
D SUFFIX
SOIC PACKAGE
CASE 751A–03

DT SUFFIX
TSSOP PACKAGE
CASE 948G–01

ORDERING INFORMATION

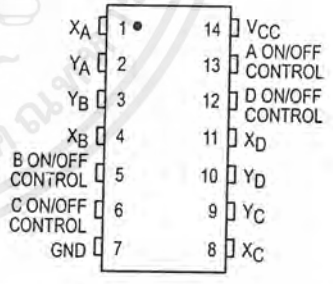
MC54HCXXXXJ	Ceramic
MC74HCXXXXN	Plastic
MC74HCXXXXD	SOIC
MC74HCXXXXDT	TSSOP

LOGIC DIAGRAM



ANALOG INPUTS/OUTPUTS = X_A, X_B, X_C, X_D
PIN 14 = V_{CC}
PIN 7 = GND

PIN ASSIGNMENT



FUNCTION TABLE

On/Off Control Input	State of Analog Switch
L	Off
H	On

© Motorola, Inc. 1995

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

MAXIMUM RATINGS*

Symbol	Parameter	Value	Unit
V_{CC}	Positive DC Supply Voltage (Referenced to GND)	– 0.5 to + 14.0	V
V_{IS}	Analog Input Voltage (Referenced to GND)	– 0.5 to V_{CC} + 0.5	V
V_{in}	Digital Input Voltage (Referenced to GND)	– 1.5 to V_{CC} + 1.5	V
I	DC Current Into or Out of Any Pin	± 25	mA
P_D	Power Dissipation in Still Air, Plastic or Ceramic DIP† SOIC Package† TSSOP Package†	750 500 450	mW
T_{stg}	Storage Temperature	– 65 to + 150	°C
T_L	Lead Temperature, 1 mm from Case for 10 Seconds (Plastic DIP, SOIC or TSSOP Package) (Ceramic DIP)	 260 300	°C

This device contains protection circuitry to guard against damage due to high static voltages or electric fields. However, precautions must be taken to avoid applications of any voltage higher than maximum rated voltages to this high–impedance circuit. For proper operation, V_{in} and V_{out} should be constrained to the range GND ≤ (V_{in} or V_{out}) ≤ V_{CC}.

Unused inputs must always be tied to an appropriate logic voltage level (e.g., either GND or V_{CC}). Unused outputs must be left open. I/O pins must be connected to a properly terminated line or bus.

* Maximum Ratings are those values beyond which damage to the device may occur. Functional operation should be restricted to the Recommended Operating Conditions.

†Derating — Plastic DIP: – 10 mW/°C from 65° to 125°C
Ceramic DIP: – 10 mW/°C from 100° to 125°C
SOIC Package: – 7 mW/°C from 65° to 125°C
TSSOP Package: – 6.1 mW/°C from 65° to 125°C

For high frequency or heavy load considerations, see Chapter 2 of the Motorola High–Speed CMOS Data Book (DL129/D).

RECOMMENDED OPERATING CONDITIONS

Symbol	Parameter	Min	Max	Unit
V_{CC}	Positive DC Supply Voltage (Referenced to GND)	2.0	12.0	V
V_{IS}	Analog Input Voltage (Referenced to GND)	GND	V_{CC}	V
V_{in}	Digital Input Voltage (Referenced to GND)	GND	V_{CC}	V
V_{IO}*	Static or Dynamic Voltage Across Switch	—	1.2	V
T_A	Operating Temperature, All Package Types	– 55	+ 125	°C
t_r, t_f	Input Rise and Fall Time, ON/OFF Control Inputs (Figure 10)			ns
	V_{CC} = 2.0 V	0	1000	
	V_{CC} = 4.5 V	0	500	
	V_{CC} = 9.0 V	0	400	
	V_{CC} = 12.0 V	0	250	

* For voltage drops across the switch greater than 1.2 V (switch on), excessive V_{CC} current may be drawn; i.e., the current out of the switch may contain both V_{CC} and switch input components. The reliability of the device will be unaffected unless the Maximum Ratings are exceeded.

DC ELECTRICAL CHARACTERISTIC Digital Section (Voltages Referenced to GND)

Symbol	Parameter	Test Conditions	V_{CC} V	Guaranteed Limit			Unit
				– 55 to 25°C	≤ 85°C	≤ 125°C	
V_{IH}	Minimum High–Level Voltage ON/OFF Control Inputs	R_{on} = Per Spec	2.0 4.5 9.0 12.0	1.5 3.15 6.3 8.4	1.5 3.15 6.3 8.4	1.5 3.15 6.3 8.4	V
V_{IL}	Maximum Low–Level Voltage ON/OFF Control Inputs	R_{on} = Per Spec	2.0 4.5 9.0 12.0	0.3 0.9 1.8 2.4	0.3 0.9 1.8 2.4	0.3 0.9 1.8 2.4	V
I_{in}	Maximum Input Leakage Current ON/OFF Control Inputs	V_{in} = V_{CC} or GND	12.0	± 0.1	± 1.0	± 1.0	µA
I_{CC}	Maximum Quiescent Supply Current (per Package)	V_{in} = V_{CC} or GND V_{IO} = 0 V	6.0 12.0	2 8	20 80	40 160	µA

NOTE: Information on typical parametric values can be found in Chapter 2 of the Motorola High–Speed CMOS Data Book (DL129/D).

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

DC ELECTRICAL CHARACTERISTICS Analog Section (Voltages Referenced to GND)

Symbol	Parameter	Test Conditions	V_{CC} V	Guaranteed Limit			Unit
				– 55 to 25°C	≤ 85°C	≤ 125°C	
R_{on}	Maximum "ON" Resistance	$V_{in} = V_{IH}$ $V_{IS} = V_{CC}$ to GND $I_S \leq 2.0$ mA (Figures 1, 2)	2.0† 4.5 9.0 12.0	— 170 85 85	— 215 106 106	— 255 130 130	Ω
		$V_{in} = V_{IH}$ $V_{IS} = V_{CC}$ or GND (Endpoints) $I_S \leq 2.0$ mA (Figures 1, 2)	2.0 4.5 9.0 12.0	— 85 63 63	— 106 78 78	— 130 95 95	
ΔR_{on}	Maximum Difference in "ON" Resistance Between Any Two Channels in the Same Package	$V_{in} = V_{IH}$ $V_{IS} = 1/2\ (V_{CC} - GND)$ $I_S \leq 2.0$ mA	2.0 4.5 9.0 12.0	— 30 20 20	— 35 25 25	— 40 30 30	Ω
I_{off}	Maximum Off–Channel Leakage Current, Any One Channel	$V_{in} = V_{IL}$ $V_{IO} = V_{CC}$ or GND Switch Off (Figure 3)	12.0	0.1	0.5	1.0	μA
I_{on}	Maximum On–Channel Leakage Current, Any One Channel	$V_{in} = V_{IH}$ $V_{IS} = V_{CC}$ or GND (Figure 4)	12.0	0.1	0.5	1.0	μA

†At supply voltage (V_{CC} – GND) approaching 2 V the analog switch–on resistance becomes extremely non–linear. Therefore, for low–voltage operation, it is recommended that these devices only be used to control digital signals.

NOTE: Information on typical parametric values can be found in Chapter 2 of the Motorola High–Speed CMOS Data Book (DL129/D).

AC ELECTRICAL CHARACTERISTICS (C_L = 50 pF, ON/OFF Control Inputs: $t_r = t_f$ = 6 ns)

Symbol	Parameter	V_{CC} V	Guaranteed Limit			Unit
			– 55 to 25°C	≤ 85°C	≤ 125°C	
t_{PLH}, t_{PHL}	Maximum Propagation Delay, Analog Input to Analog Output (Figures 8 and 9)	2.0 4.5 9.0 12.0	50 10 10 10	65 13 13 13	75 15 15 15	ns
t_{PLZ}, t_{PHZ}	Maximum Propagation Delay, ON/OFF Control to Analog Output (Figures 10 and 11)	2.0 4.5 9.0 12.0	150 30 30 30	190 38 30 30	225 45 30 30	ns
t_{PZL}, t_{PZH}	Maximum Propagation Delay, ON/OFF Control to Analog Output (Figures 10 and 11)	2.0 4.5 9.0 12.0	125 25 25 25	160 32 32 32	185 37 37 37	ns
C	Maximum Capacitance — ON/OFF Control Input	—	10	10	10	pF
	Control Input = GND Analog I/O Feedthrough	— —	35 1.0	35 1.0	35 1.0	

NOTES:

1. For propagation delays with loads other than 50 pF, see Chapter 2 of the Motorola High–Speed CMOS Data Book (DL129/D).
2. Information on typical parametric values can be found in Chapter 2 of the Motorola High–Speed CMOS Data Book (DL129/D).

		Typical @ 25°C, V_{CC} = 5.0 V	
C_{PD}	Power Dissipation Capacitance (Per Switch) (Figure 13)*	15	pF

* Used to determine the no–load dynamic power consumption: $P_D = C_{PD} V_{CC}^2 f + I_{CC} V_{CC}$. For load considerations, see Chapter 2 of the Motorola High–Speed CMOS Data Book (DL129/D).

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ADDITIONAL APPLICATION CHARACTERISTICS (Voltages Referenced to GND Unless Noted)

Symbol	Parameter	Test Conditions	V_{CC} V	Limit* 25°C 54/74HC	Unit
BW	Maximum On–Channel Bandwidth or Minimum Frequency Response (Figure 5)	f_{in} = 1 MHz Sine Wave Adjust f_{in} Voltage to Obtain 0 dBm at V_{OS} Increase f_{in} Frequency Until dB Meter Reads – 3 dB R_L = 50 Ω, C_L = 10 pF	4.5 9.0 12.0	150 160 160	MHz
—	Off–Channel Feedthrough Isolation (Figure 6)	f_{in} ≡ Sine Wave Adjust f_{in} Voltage to Obtain 0 dBm at V_{IS} f_{in} = 10 kHz, R_L = 600 Ω, C_L = 50 pF	4.5 9.0 12.0	– 50 – 50 – 50	dB
		f_{in} = 1.0 MHz, R_L = 50 Ω, C_L = 10 pF	4.5 9.0 12.0	– 40 – 40 – 40	
—	Feedthrough Noise, Control to Switch (Figure 7)	V_{in} ≤ 1 MHz Square Wave (t_r = t_f = 6 ns) Adjust R_L at Setup so that I_S = 0 A R_L = 600 Ω, C_L = 50 pF	4.5 9.0 12.0	60 130 200	mVPP
		R_L = 10 kΩ, C_L = 10 pF	4.5 9.0 12.0	30 65 100	
—	Crosstalk Between Any Two Switches (Figure 12)	f_{in} ≡ Sine Wave Adjust f_{in} Voltage to Obtain 0 dBm at V_{IS} f_{in} = 10 kHz, R_L = 600 Ω, C_L = 50 pF	4.5 9.0 12.0	– 70 – 70 – 70	dB
		f_{in} = 1.0 MHz, R_L = 50 Ω, C_L = 10 pF	4.5 9.0 12.0	– 80 – 80 – 80	
THD	Total Harmonic Distortion (Figure 14)	f_{in} = 1 kHz, R_L = 10 kΩ, C_L = 50 pF THD = $THD_{Measured}$ – THD_{Source} V_{IS} = 4.0 VPP sine wave V_{IS} = 8.0 VPP sine wave V_{IS} = 11.0 VPP sine wave	 4.5 9.0 12.0	 0.10 0.06 0.04	%

* Guaranteed limits not tested. Determined by design and verified by qualification.

เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

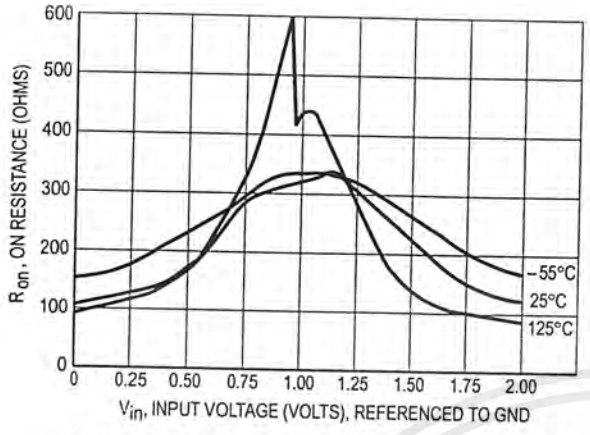


Figure 1a. Typical On Resistance, V_{CC} = 2.0 V

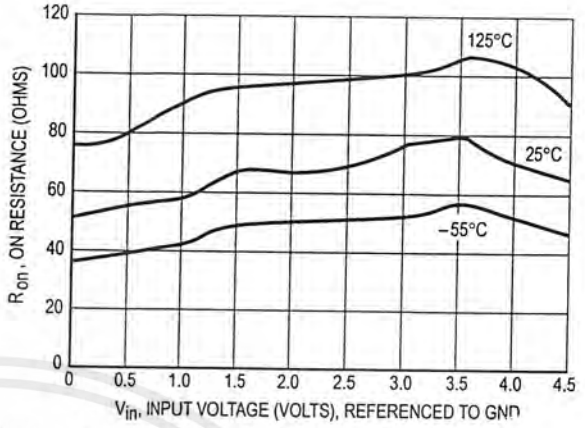


Figure 1b. Typical On Resistance, V_{CC} = 4.5 V

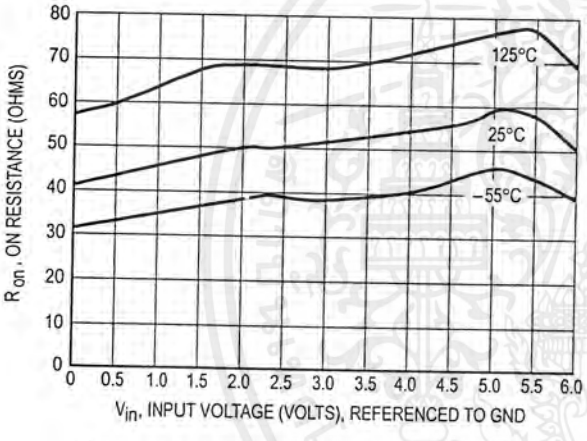


Figure 1c. Typical On Resistance, V_{CC} = 6.0 V

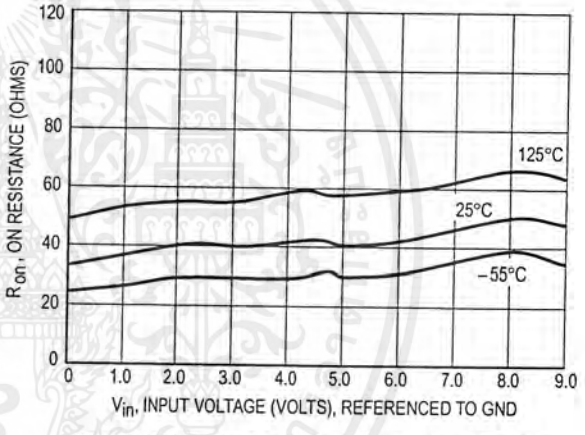


Figure 1d. Typical On Resistance, V_{CC} = 9.0 V

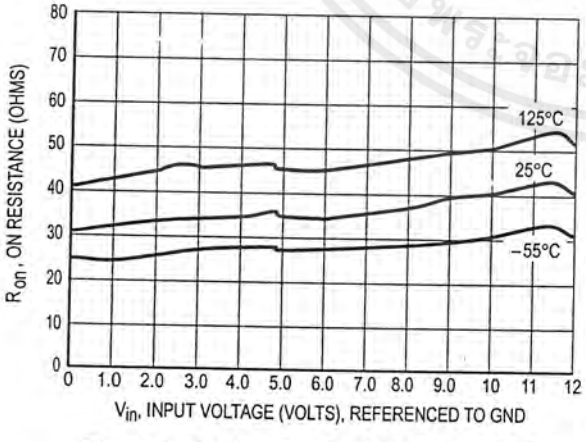


Figure 1e. Typical On Resistance, V_{CC} = 12 V

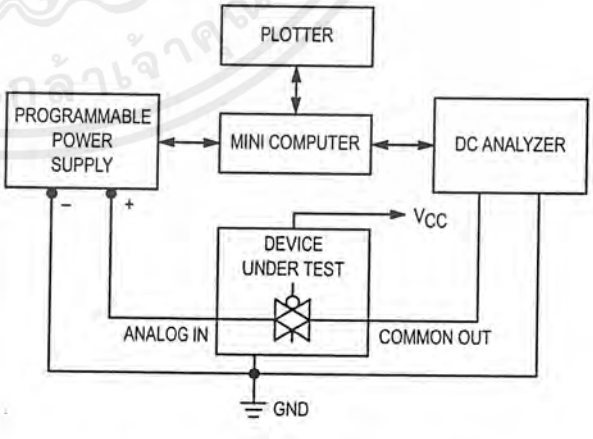


Figure 2. On Resistance Test Set–Up

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

MC74HC4017

Decade Counter
High–Performance Silicon–Gate CMOS

The MC74HC4017 is identical in pinout to the standard CMOS MC14017B. The device inputs are compatible with standard CMOS outputs; with pullup resistors, they are compatible with LSTTL outputs.

The HC4017 uses a five stage Johnson counter and decoding logic to provide high–speed operation. This device also has an active–high, as well as active–low clock input.

- Output Drive Capability: 10 LSTTL Loads
- Outputs Directly Interface to CMOS, NMOS, and TTL
- Operating Voltage Range: 2 to 6 V
- Low Input Current: 1 μA
- High Noise Immunity Characteristic of CMOS Devices
- In Compliance with the Requirements Defined by JEDEC Standard No. 7A
- Chip Complexity: 176 FETs or 44 Equivalent Gates

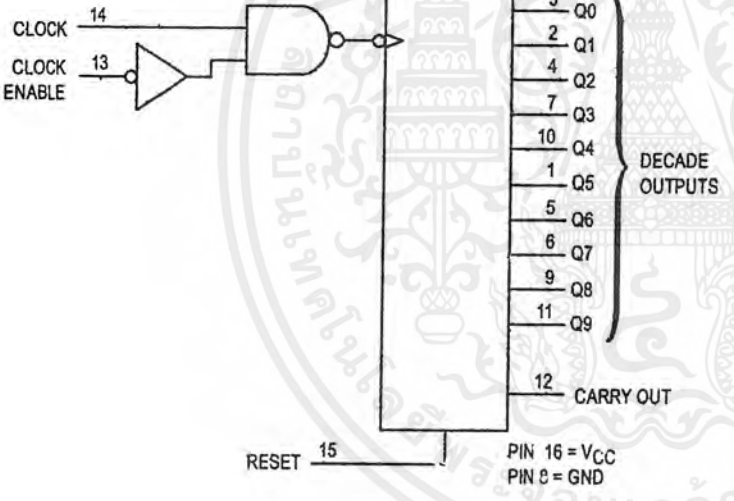
N SUFFIX
PLASTIC PACKAGE
CASE 648–08

D SUFFIX
SOIC PACKAGE
CASE 751B–05

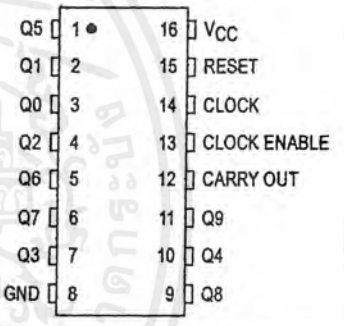
ORDERING INFORMATION

MC74HCXXXXN	Plastic
MC74HCXXXXD	SOIC

LOGIC DIAGRAM



PIN ASSIGNMENT



© Motorola, Inc. 1995

MOTOROLA

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

MAXIMUM RATINGS*

Symbol	Parameter	Value	Unit
V_{CC}	DC Supply Voltage (Referenced to GND)	– 0.5 to + 7.0	V
V_{in}	DC Input Voltage (Referenced to GND)	– 1.5 to V_{CC} + 1.5	V
V_{out}	DC Output Voltage (Referenced to GND)	– 0.5 to V_{CC} + 0.5	V
I_{in}	DC Input Current, per Pin	± 20	mA
I_{out}	DC Output Current, per Pin	± 25	mA
I_{CC}	DC Supply Current, V_{CC} and GND Pins	± 50	mA
P_D	Power Dissipation in Still Air Plastic DIP† SOIC Package†	750 500	mW
T_{stg}	Storage Temperature	– 65 to + 150	°C
T_L	Lead Temperature, 1 mm from Case for 10 Seconds (Plastic DIP or SOIC Package)	260	°C

* Maximum Ratings are those values beyond which damage to the device may occur.
Functional operation should be restricted to the Recommended Operating Conditions.
†Derating — Plastic DIP: – 10 mW/°C from 65° to 125°C
SOIC Package: – 7 mW/°C from 65° to 125°C
For high frequency or heavy load considerations, see Chapter 2 of the Motorola High–Speed CMOS Data Book (DL129/D).

This device contains protection circuitry to guard against damage due to high static voltages or electric fields. However, precautions must be taken to avoid applications of any voltage higher than maximum rated voltages to this high–impedance circuit. For proper operation, V_{in} and V_{out} should be constrained to the range GND ≤ (V_{in} or V_{out}) ≤ V_{CC}.
Unused inputs must always be tied to an appropriate logic voltage level (e.g., either GND or V_{CC}). Unused outputs must be left open.

RECOMMENDED OPERATING CONDITIONS

Symbol	Parameter		Min	Max	Unit
V_{CC}	DC Supply Voltage (Referenced to GND)		2.0	6.0	V
V_{in}, V_{out}	DC Input Voltage, Output Voltage (Referenced to GND)		0	V_{CC}	V
T_A	Operating Temperature, All Package Types		– 55	+ 125	°C
t_r, t_f	Input Rise and Fall Time (Figure 1)	V_{CC} = 2.0 V	0	1000	ns
		V_{CC} = 4.5 V	0	500	
		V_{CC} = 6.0 V	0	400	

DC ELECTRICAL CHARACTERISTICS (Voltages Referenced to GND)

Symbol	Parameter	Test Conditions	V_{CC} V	Guaranteed Limit			Unit
				– 55 to 25°C	≤ 85°C	≤ 125°C	
V_{IH}	Minimum High–Level Input Voltage	V_{out} = 0.1 V or V_{CC} – 0.1 V $\|I_{out}\|$ ≤ 20 μA	2.0 4.5 6.0	1.5 3.15 4.2	1.5 3.15 4.2	1.5 3.15 4.2	V
V_{IL}	Maximum Low–Level Input Voltage	V_{out} = 0.1 V or V_{CC} – 0.1 V $\|I_{out}\|$ ≤ 20 μA	2.0 4.5 6.0	0.3 0.9 1.2	0.3 0.9 1.2	0.3 0.9 1.2	V
V_{OH}	Minimum High–Level Output Voltage	V_{in} = V_{IH} or V_{IL} $\|I_{out}\|$ ≤ 20 μA	2.0 4.5 6.0	1.9 4.4 5.9	1.9 4.4 5.9	1.9 4.4 5.9	V
		V_{in} = V_{IH} or V_{IL} $\|I_{out}\|$ ≤ 4.0 mA $\|I_{out}\|$ ≤ 5.2 mA	4.5 6.0	3.98 5.48	3.84 5.34	3.70 5.20	
V_{OL}	Maximum Low–Level Output Voltage	V_{in} = V_{IH} or V_{IL} $\|I_{out}\|$ ≤ 20 μA	2.0 4.5 6.0	0.1 0.1 0.1	0.1 0.1 0.1	0.1 0.1 0.1	V
		V_{in} = V_{IH} or V_{IL} $\|I_{out}\|$ ≤ 4.0 mA $\|I_{out}\|$ ≤ 5.2 mA	4.5 6.0	0.26 0.26	0.33 0.33	0.40 0.40	
I_{in}	Maximum Input Leakage Current	V_{in} = V_{CC} or GND	6.0	± 0.1	± 1.0	± 1.0	μA
I_{CC}	Maximum Quiescent Supply Current (per Package)	V_{in} = V_{CC} or GND I_{out} = 0 μA	6.0	8	80	160	μA

NOTE: Information on typical parametric values can be found in Chapter 2 of the Motorola High–Speed CMOS Data Book (DL129/D).

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

AC ELECTRICAL CHARACTERISTICS (C_L = 50 pF, Input $t_r = t_f$ = 6 ns)

Symbol	Parameter	V_{CC} V	Guaranteed Limit			Unit
			– 55 to 25°C	≤ 85°C	≤ 125°C	
f_{max}	Maximum Clock Frequency (50% Duty Cycle) (Figures 1 and 9)	2.0 4.5 6.0	4.0 20 24	3.2 16 19	2.6 13 15	MHz
t_{PLH}, t_{PHL}	Maximum Propagation Delay, Clock to Q (Figures 1 and 9)	2.0 4.5 6.0	230 46 39	290 58 49	345 69 59	ns
t_{PLH}, t_{PHL}	Maximum Propagation Delay, Clock to Carry Out (Figures 2 and 9)	2.0 4.5 6.0	230 46 39	290 58 49	345 69 59	ns
t_{PLH}, t_{PHL}	Maximum Propagation Delay, Reset to Q (Figures 3 and 9)	2.0 4.5 6.0	230 46 39	290 58 49	345 69 59	ns
t_{PLH}	Maximum Propagation Delay, Reset to Carry Out (Figures 3 and 9)	2.0 4.5 6.0	230 46 39	290 58 49	345 69 59	ns
t_{PLH}, t_{PHL}	Maximum Propagation Delay, Clock Enable to Q (Figures 4 and 9)	2.0 4.5 6.0	250 50 43	315 63 54	375 75 64	ns
t_{PLH}, t_{PHL}	Maximum Propagation Delay, Clock Enable to Carry Out (Figures 5 and 9)	2.0 4.5 6.0	250 50 43	315 63 54	375 75 64	ns
t_{TLH}, t_{THL}	Maximum Output Transition Time, Any Output (Figures 8 and 9)	2.0 4.5 6.0	75 15 13	95 19 16	110 22 19	ns
C_{in}	Maximum Input Capacitance	—	10	10	10	pF

NOTES:
1. For propagation delays with loads other than 50 pF, see Chapter 2 of the Motorola High–Speed CMOS Data Book (DL129/D).
2. Information on typical parametric values can be found in Chapter 2 of the Motorola High–Speed CMOS Data Book (DL129/D).

		Typical @ 25°C, V_{CC} = 5.0 V	
C_{PD}	Power Dissipation Capacitance (Per Package)*	35	pF

* Used to determine the no–load dynamic power consumption: $P_D = C_{PD} V_{CC}^2 f + I_{CC} V_{CC}$. For load considerations, see Chapter 2 of the Motorola High–Speed CMOS Data Book (DL129/D).

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

TIMING REQUIREMENTS (Input $t_r = t_f = 6$ ns)t

Symbol	Parameter	V_{CC} V	Guaranteed Limit			Unit
			– 55 to 25°C	≤ 85°C	≤ 125°C	
t_{su}	Minimum Setup Time, Clock Enable to Clock (Figure 6)	2.0 4.5 6.0	50 10 9	65 13 11	75 15 13	ns
t_{su}	Minimum Setup Time, Clock Enable to Clock (Inhibit Count) (Figure 6)	2.0 4.5 6.0	50 10 9	65 13 11	75 15 13	ns
t_h	Minimum Hold Time, Clock to Clock Enable (Figure 6)	2.0 4.5 6.0	50 10 9	65 13 11	75 15 13	ns
t_{rec}	Minimum Recovery Time, Reset to Clock (Figure 7)	2.0 4.5 6.0	100 20 17	125 25 21	150 30 26	ns
t_w	Minimum Pulse Width, Clock Input (Figure 2)	2.0 4.5 6.0	80 16 14	100 20 17	120 24 20	ns
t_w	Minimum Pulse Width, Reset Input (Figure 3)	2.0 4.5 6.0	80 16 14	100 20 17	120 24 20	ns
t_w	Minimum Pulse Width, Clock Enable Input (Figure 4)	2.0 4.5 6.0	80 16 14	100 20 17	120 24 20	ns
t_r, t_f	Maximum Input Rise and Fall Times (Figure 1)	2.0 4.5 6.0	1000 500 400	1000 500 400	1000 500 400	ns

NOTE: Information on typical parametric values can be found in Chapter 2 of the Motorola High–Speed CMOS Data Book (DL129/D).

FUNCTION TABLE

Clock	Clock Enable	Reset	Output State*
L	X	L	no change
X	H	L	no change
X	X	H	reset counter, Q0 = H, Q1–Q9 = L, C0 = H
⎍	L	L	advance to next state
⎎	X	L	no change
X	⎍	L	no change
H	⎎	L	advance to next state

X = Don't care

* Carry Out = H for Q0, Q1, Q2, Q3, or Q4 = H; Carry Out = L otherwise.

PIN DESCRIPTIONS

INPUTS

Clock (Pin 14)

Counter clock input. While Clock Enable is low, a low–to–high transition on this input advances the counter to its next state.

Reset (Pin 15)

Asynchronous counter reset input. A high level at this input initializes the counter and forces Q0 and Carry Out to a high, Q1–Q9 are forced to a low level.

Clock Enable (Pin 13)

Active–low clock enable input. A low level on this input allows the device to count. A high level on this input inhibits the counting operation. This input may also be used as a negative–edge clock input. using Clock (Pin 14) as an active–high enable pin.

OUTPUTS

Q0–Q9 (Pins 3, 2, 4, 7, 10, 1, 5, 6, 9, 11)

Decoded decade counter outputs. Each of these outputs is high for one clock period only.

Carry Out (Pin 12)

Cascading output pin. This output is used either as a cascading output or a symmetrical divide–by–ten output. This output goes low when a count of five is reached and high when the counter advances to zero or when reset. When the counters are cascaded this output provides a rising–edge signal for the clock input of the next counter stage.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

MOTOROLA

SN54/74LS165

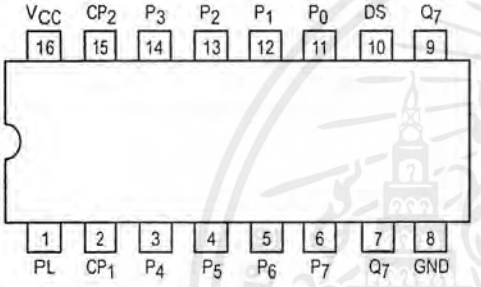
8-BIT PARALLEL-TO-SERIAL SHIFT REGISTER

The SN54/74LS165 is an 8-bit parallel load or serial-in register with complementary outputs available from the last stage. Parallel inputing occurs asynchronously when the Parallel Load (PL) input is LOW. With PL HIGH, serial shifting occurs on the rising edge of the clock; new data enters via the Serial Data (DS) input. The 2-input OR clock can be used to combine two independent clock sources, or one input can act as an active LOW clock enable.

8-BIT PARALLEL-TO-SERIAL SHIFT REGISTER

LOW POWER SCHOTTKY

CONNECTION DIAGRAM DIP (TOP VIEW)



NOTE:
The Flatpak version has the same pinouts (Connection Diagram) as the Dual In-Line Package.

J SUFFIX
CERAMIC
CASE 620-09

N SUFFIX
PLASTIC
CASE 648-08

D SUFFIX
SOIC
CASE 751B-03

PIN NAMES

		LOADING (Note a) HIGH	LOW
CP_1, CP_2	Clock (LOW-to-HIGH Going Edge) Inputs	0.5 U.L.	0.25 U.L.
DS	Serial Data Input	0.5 U.L.	0.25 U.L.
PL	Asynchronous Parallel Load (Active LOW) Input	1.5 U.L.	0.75 U.L.
P_0–P_7	Parallel Data Inputs	0.5 U.L.	0.25 U.L.
Q_7	Serial Output from Last State (Note b)	10 U.L.	5 (2.5) U.L.
$\overline{Q}_7$	Complementary Output (Note b)	10 U.L.	5 (2.5) U.L.

NOTES:
a) 1 TTL Unit Load (U.L.) = 40 µA HIGH/1.6 mA LOW.
b) The Output LOW drive factor is 2.5 U.L. for Military (54) and 5 U.L. for Commercial (74) Temperature Ranges.

ORDERING INFORMATION

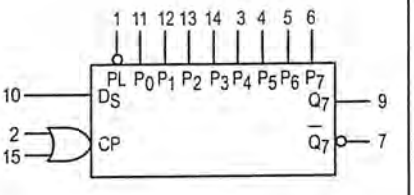
SN54LSXXXJ	Ceramic
SN74LSXXXN	Plastic
SN74LSXXXD	SOIC

TRUTH TABLE

PL	CP 1	CP 2	CONTENTS Q_0	Q_1	Q_2	Q_3	Q_4	Q_5	Q_6	Q_7	RESPONSE
L	X	X	P_0	P_1	P_2	P_3	P_4	P_5	P_6	P_7	Parallel Entry
H	L	↓	D_S	Q_0	Q_1	Q_2	Q_3	Q_4	Q_5	Q_6	Right Shift
H	H	↓	Q_0	Q_1	Q_2	Q_3	Q_4	Q_5	Q_6	Q_7	No Change
H	↓	L	D_S	Q_0	Q_1	Q_2	Q_3	Q_4	Q_5	Q_6	Right Shift
H	↓	H	Q_0	Q_1	Q_2	Q_3	Q_4	Q_5	Q_6	Q_7	No Change

H = HIGH Voltage Level
L = LOW Voltage Level
X = Immaterial

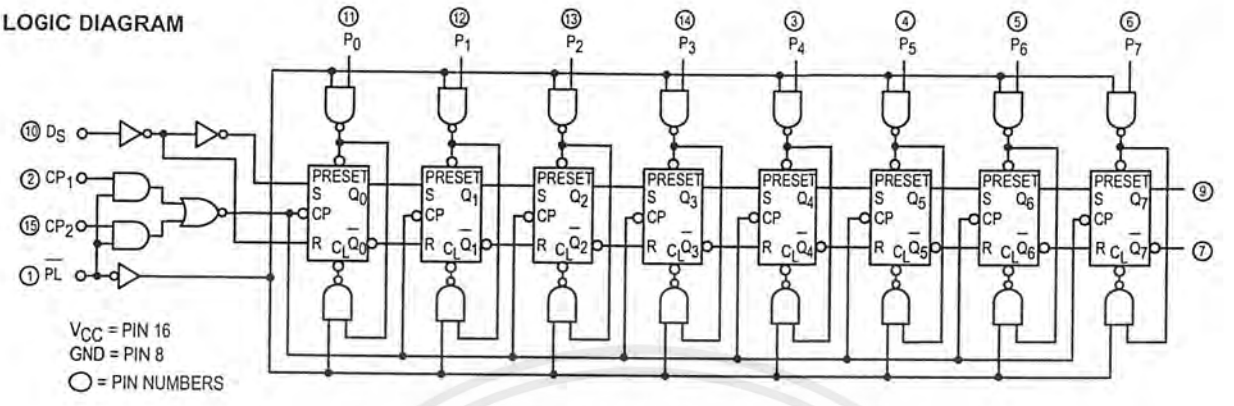
LOGIC SYMBOL



V_{CC} = PIN 16
GND = PIN 8

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

LOGIC DIAGRAM



FUNCTIONAL DESCRIPTION

The SN54/74LS165 contains eight clocked master/slave RS flip-flops connected as a shift register, with auxiliary gating to provide overriding asynchronous parallel entry. Parallel data enters when the PL signal is LOW. The parallel data can change while PL is LOW, provided that the recommended set-up and hold times are observed.

For clock operation, PL must be HIGH. The two clock inputs perform identically; one can be used as a clock inhibit by applying a HIGH signal. To avoid double clocking, however, the inhibit signal should only go HIGH while the clock is HIGH. Otherwise, the rising inhibit signal will cause the same response as a rising clock edge. The flip-flops are edge-triggered for serial operations. The serial input data can change at any time, provided only that the recommended setup and hold times are observed, with respect to the rising edge of the clock.

GUARANTEED OPERATING RANGES

Symbol	Parameter		Min	Typ	Max	Unit
V_{CC}	Supply Voltage	54 74	4.5 4.75	5.0 5.0	5.5 5.25	V
T_A	Operating Ambient Temperature Range	54 74	−55 0	25 25	125 70	°C
I_{OH}	Output Current — High	54, 74			−0.4	mA
I_{OL}	Output Current — Low	54 74			4.0 8.0	mA

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

DC CHARACTERISTICS OVER OPERATING TEMPERATURE RANGE (unless otherwise specified)

Symbol	Parameter		Limits Min	Typ	Max	Unit	Test Conditions	
V_{IH}	Input HIGH Voltage		2.0			V	Guaranteed Input HIGH Voltage for All Inputs	
V_{IL}	Input LOW Voltage	54			0.7	V	Guaranteed Input LOW Voltage for All Inputs	
		74			0.8			
V_{IK}	Input Clamp Diode Voltage			−0.65	−1.5	V	V_{CC} = MIN, I_{IN} = −18 mA	
V_{OH}	Output HIGH Voltage	54	2.5	3.5		V	V_{CC} = MIN, I_{OH} = MAX, V_{IN} = V_{IH} or V_{IL} per Truth Table	
		74	2.7	3.5		V		
V_{OL}	Output LOW Voltage	54, 74		0.25	0.4	V	I_{OL} = 4.0 mA	V_{CC} = V_{CC} MIN, V_{IN} = V_{IL} or V_{IH} per Truth Table
		74		0.35	0.5	V	I_{OL} = 8.0 mA	
I_{IH}	Input HIGH Current Other Inputs PL Input				20 60	µA	V_{CC} = MAX, V_{IN} = 2.7 V	
	Other Inputs PL Input				0.1 0.3	mA	V_{CC} = MAX, V_{IN} = 7.0 V	
I_{IL}	Input LOW Current Other Inputs PL Input				−0.4 −1.2	mA	V_{CC} = MAX, V_{IN} = 0.4 V	
I_{OS}	Short Circuit Current (Note 1)		−20		−100	mA	V_{CC} = MAX	
I_{CC}	Power Supply Current				36	mA	V_{CC} = MAX	

Note 1: Not more than one output should be shorted at a time, nor for more than 1 second.

AC CHARACTERISTICS (T_A = 25°C)

Symbol	Parameter	Limits Min	Typ	Max	Unit	Test Conditions
f_{MAX}	Maximum Input Clock Frequency	25	35		MHz	V_{CC} = 5.0 V C_L = 15 pF
t_{PLH} t_{PHL}	Propagation Delay PL to Output		22 22	35 35	ns	
t_{PLH} t_{PHL}	Propagation Delay Clock to Output		27 28	40 40	ns	
t_{PLH} t_{PHL}	Propagation Delay P_7 to Q_7		14 21	25 30	ns	
t_{PLH} t_{PHL}	Propagation Delay P_7 to Q_7		21 16	30 25	ns	

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

AC SETUP REQUIREMENTS (T_A = 25°C)

Symbol	Parameter	Limits			Unit	Test Conditions
		Min	Typ	Max		
t_W	CP Clock Pulse Width	25			ns	V_{CC} = 5.0 V
t_W	PL Pulse Width	15			ns	
t_s	Parallel Data Setup Time	10			ns	
t_s	Serial Data Setup Time	20			ns	
t_s	CP_1 to CP_2 Setup Time[1]	30			ns	
t_h	Hold Time	0			ns	
t_{rec}	Recovery Time, PL to CP	45			ns	

[1] The role of CP_1 and CP_2 in an application may be interchanged.

DEFINITION OF TERMS:

SETUP TIME (t_s) — is defined as the minimum time required for the correct logic level to be present at the logic input prior to the clock transition from LOW-to-HIGH in order to be recognized and transferred to the outputs.

HOLD TIME (t_h) — is defined as the minimum time following the clock transition from LOW-to-HIGH that the logic level must be maintained at the input in order to ensure continued recognition. A negative hold time indicates that the correct logic level may be released prior to the clock transition from LOW-to-HIGH and still be recognized.

RECOVERY TIME (t_{rec}) — is defined as the minimum time required between the end of the PL pulse and the clock transition from LOW-to-HIGH in order to recognize and transfer loaded Data to the Q outputs.

AC WAVEFORMS

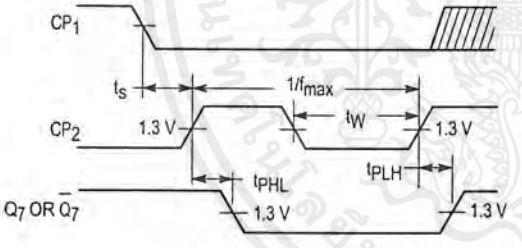


Figure 1

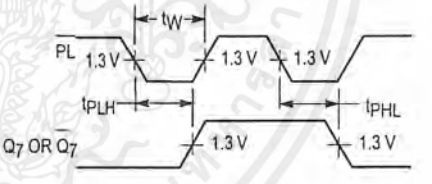


Figure 2

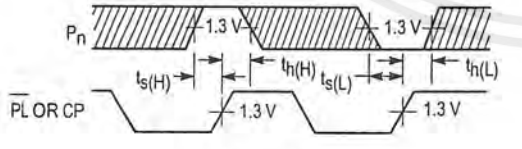


Figure 3

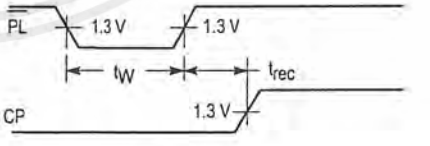


Figure 4

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

MC54/74HC164A

8-Bit Serial-Input/ Parallel-Output Shift Register

High–Performance Silicon–Gate CMOS

The MC54/74HC164A is identical in pinout to the LS164. The device inputs are compatible with standard CMOS outputs; with pullup resistors, they are compatible with LSTTL outputs.

The MC54/74HC164A is an 8–bit, serial–input to parallel–output shift register. Two serial data inputs, A1 and A2, are provided so that one input may be used as a data enable. Data is entered on each rising edge of the clock. The active–low asynchronous Reset overrides the Clock and Serial Data inputs.

- Output Drive Capability: 10 LSTTL Loads
- Outputs Directly Interface to CMOS, NMOS, and TTL
- Operating Voltage Range: 2 to 6 V
- Low Input Current: 1 μA
- High Noise Immunity Characteristic of CMOS Devices
- In Compliance with the Requirements Defined by JEDEC Standard No. 7A
- Chip Complexity: 244 FETs or 61 Equivalent Gates

J SUFFIX
CERAMIC PACKAGE
CASE 632–08

N SUFFIX
PLASTIC PACKAGE
CASE 646–06

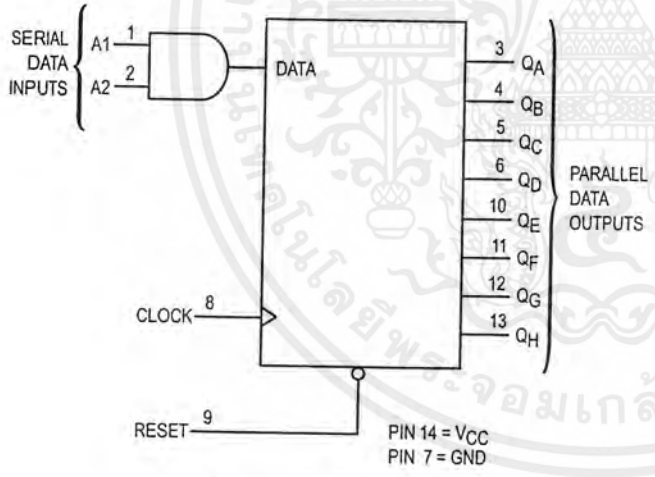
D SUFFIX
SOIC PACKAGE
CASE 751A–03

DT SUFFIX
TSSOP PACKAGE
CASE 948G–01

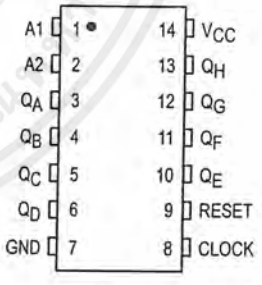
ORDERING INFORMATION

MC54HCXXXAJ	Ceramic
MC74HCXXXAN	Plastic
MC74HCXXXAD	SOIC
MC74HCXXXADT	TSSOP

LOGIC DIAGRAM



PIN ASSIGNMENT



FUNCTION TABLE

Inputs				Outputs
Reset	Clock	A1	A2	Q_A Q_B ... Q_H
L	X	X	X	L L ... L
H	↓	X	X	No Change
H	↑	H	D	D Q_{An} ... Q_{Gn}
H	↑	D	H	D Q_{An} ... Q_{Gn}

D = data input
$Q_{An} - Q_{Gn}$ = data shifted from the preceding stage on a rising edge at the clock input.

© Motorola, Inc. 1996

MOTOROLA
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

DC ELECTRICAL CHARACTERISTICS (Voltages Referenced to GND)

Symbol	Parameter	Test Conditions	V_{CC} V	Guaranteed Limit			Unit
				–55°C to 25°C	≤ 85°C	≤ 125°C	
V_{OL}	Maximum Low–Level Output Voltage	$V_{in} = V_{IH}$ or V_{IL} $\lvert I_{out}\rvert \le 20\ \mu A$	2.0	0.1	0.1	0.1	V
			4.5	0.1	0.1	0.1	
			6.0	0.1	0.1	0.1	
		$V_{in} = V_{IH}$ or V_{IL} $\lvert I_{out}\rvert \le 2.4$ mA	3.0	0.26	0.33	0.40	
		$\lvert I_{out}\rvert \le 4.0$ mA	4.5	0.26	0.33	0.40	
		$\lvert I_{out}\rvert \le 5.2$ mA	6.0	0.26	0.33	0.40	
I_{in}	Maximum Input Leakage Current	$V_{in} = V_{CC}$ or GND	6.0	±0.1	±1.0	±1.0	μA
I_{CC}	Maximum Quiescent Supply Current (per Package)	$V_{in} = V_{CC}$ or GND $I_{out} = 0\ \mu A$	6.0	4	40	160	μA

NOTE: Information on typical parametric values can be found in Chapter 2 of the Motorola High–Speed CMOS Data Book (DL129/D).

AC ELECTRICAL CHARACTERISTICS ($C_L = 50$ pF, Input $t_r = t_f = 6$ ns)

Symbol	Parameter	V_{CC} V	Guaranteed Limit			Unit
			–55°C to 25°C	≤ 85°C	≤ 125°C	
f_{max}	Maximum Clock Frequency (50% Duty Cycle) (Figures 1 and 4)	2.0	10	10	10	MHz
		3.0	20	20	20	
		4.5	40	35	30	
		6.0	50	45	40	
t_{PLH}, t_{PHL}	Maximum Propagation Delay, Clock to Q (Figures 1 and 4)	2.0	160	200	250	ns
		3.0	100	150	200	
		4.5	32	40	48	
		6.0	27	34	42	
t_{PHL}	Maximum Propagation Delay, Reset to Q (Figures 2 and 4)	2.0	175	220	260	ns
		3.0	100	150	200	
		4.5	35	44	53	
		6.0	30	37	45	
t_{TLH}, t_{THL}	Maximum Output Transition Time, Any Output (Figures 1 and 4)	2.0	75	95	110	ns
		3.0	27	32	36	
		4.5	15	19	22	
		6.0	13	16	19	
C_{in}	Maximum Input Capacitance	—	10	10	10	pF

NOTES:
1. For propagation delays with loads other than 50 pF, see Chapter 2 of the Motorola High–Speed CMOS Data Book (DL129/D).
2. Information on typical parametric values can be found in Chapter 2 of the Motorola High–Speed CMOS Data Book (DL129/D).

		Typical @ 25°C, $V_{CC} = 5.0$ V	
C_{PD}	Power Dissipation Capacitance (Per Package)*	180	pF

* Used to determine the no–load dynamic power consumption: $P_D = C_{PD} V_{CC}^2 f + I_{CC} V_{CC}$. For load considerations, see Chapter 2 of the Motorola High–Speed CMOS Data Book (DL129/D).

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

TIMING REQUIREMENTS (Input $t_r = t_f = 6$ ns)

Symbol	Parameter	V_{CC} V	Guaranteed Limit			Unit
			–55°C to 25°C	≤ 85°C	≤ 125°C	
t_{su}	Minimum Setup Time, A1 or A2 to Clock (Figure 3)	2.0 3.0 4.5 6.0	25 15 7 5	35 20 8 6	40 25 9 6	ns
t_h	Minimum Hold Time, Clock to A1 or A2 (Figure 3)	2.0 3.0 4.5 6.0	3 3 3 3	3 3 3 3	3 3 3 3	ns
t_{rec}	Minimum Recovery Time, Reset Inactive to Clock (Figure 2)	2.0 3.0 4.5 6.0	3 3 3 3	3 3 3 3	3 3 3 3	ns
t_w	Minimum Pulse Width, Clock (Figure 1)	2.0 3.0 4.5 6.0	50 26 12 10	60 35 15 12	75 45 20 15	ns
t_w	Minimum Pulse Width, Reset (Figure 2)	2.0 3.0 4.5 6.0	50 26 12 10	60 35 15 12	75 45 20 15	ns
t_r, t_f	Maximum Input Rise and Fall Times (Figure 1)	2.0 3.0 4.5 6.0	1000 800 500 400	1000 800 500 400	1000 800 500 400	ns

NOTE: Information on typical parametric values can be found in Chapter 2 of the Motorola High–Speed CMOS Data Book (DL129/D).

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

PIN DESCRIPTIONS

INPUTS

A1, A2 (Pins 1, 2)

Serial Data Inputs. Data at these inputs determine the data to be entered into the first stage of the shift register. For a high level to be entered into the shift register, both A1 and A2 inputs must be high, thereby allowing one input to be used as a data–enable input. When only one serial input is used, the other must be connected to V_{CC}.

Clock (Pin 8)

Shift Register Clock. A positive–going transition on this pin shifts the data at each stage to the next stage. The shift register is completely static, allowing clock rates down to DC in a continuous or intermittent mode.

OUTPUTS

$Q_A - Q_H$ (Pins 3, 4, 5, 6, 10, 11, 12, 13)

Parallel Shift Register Outputs. The shifted data is presented at these outputs in true, or noninverted, form.

CONTROL INPUT

Reset (Pin 9)

Active–Low, Asynchronous Reset Input. A low voltage applied to this input resets all internal flip–flops and sets Outputs $Q_A - Q_H$ to the low level state.

SWITCHING WAVEFORMS

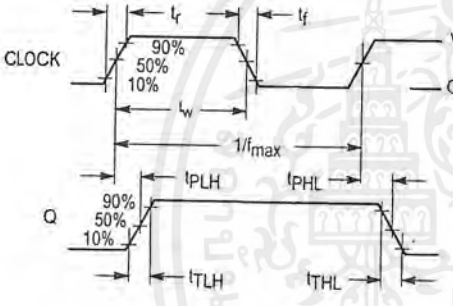


Figure 1.

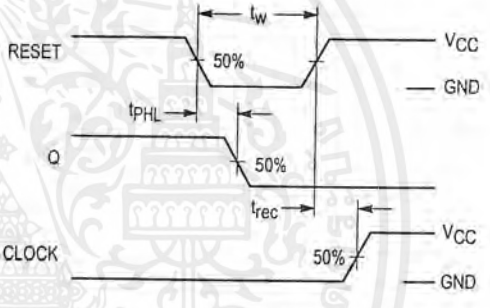


Figure 2.

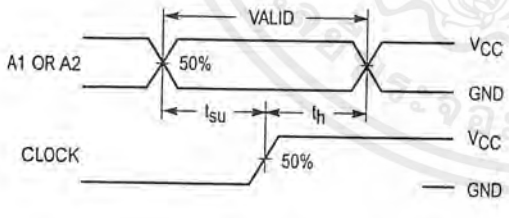
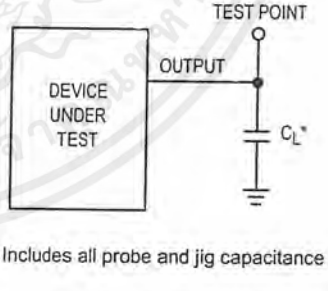


Figure 3.

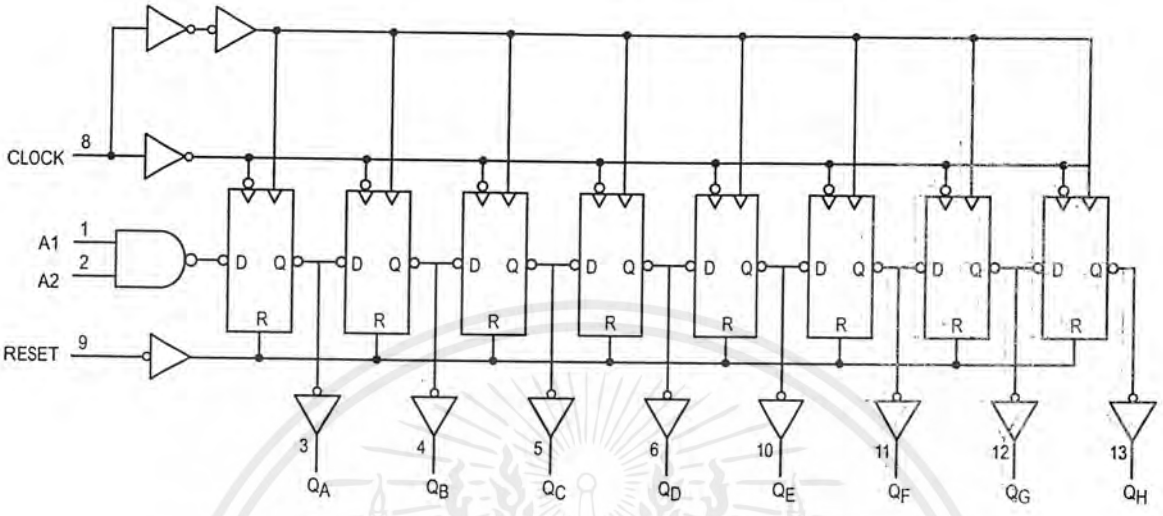


* Includes all probe and jig capacitance

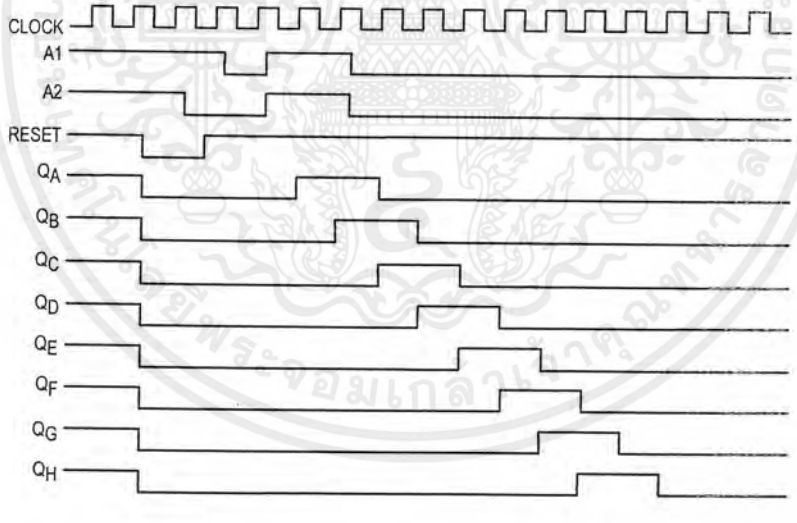
Figure 4. Test Circuit

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

EXPANDED LOGIC DIAGRAM



TIMING DIAGRAM



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

กิตติกรรมประกาศ

การที่โครงงานสามารถดำเนินงานจนสำเร็จลุล่วงได้นั้นก็มาจากการให้ความช่วยเหลือและคำแนะนำดี ๆ จากบุคคลดังต่อไปนี้

ขอบพระคุณ

ผศ. อภินันท์ มัณยานนท์ อาจารย์ที่ปรึกษาผู้ให้ความรู้และแนวทางของโครงงาน

ดร. สุทธิชัย นพนาคีพงษ์ อาจารย์ที่ปรึกษาอีกท่านที่ให้โอกาสในการทำโครงงาน

ขอบคุณ

นาย ณฤทธิ์ ฌังธนิศรา (พี่หมี) ที่ปรึกษาพิเศษที่ให้คำแนะนำและช่วยเหลือโครงงานอย่างมาก

นาย เศรษฐกร นาเมือง (พี่อ้อ)

รวมทั้งพี่ ๆ เพื่อน ๆ ทุกคนที่มีส่วนช่วยเหลือในการทำโครงงานนี้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

หนังสืออ้างอิง

[1] William Schweber, "Electronic Communication System" , Second Edition, Prentice-Hall, USA, 1996

[2] Leon W. Couch II , "Digital and Analog Communication System" , Fifth Edition, Prentice-Hall, USA, 1997

[3] Wayne Tomasi, "Electronic Communication System" , Third Edition, Prentice-Hall, 1998

[4] อภินันท์ มัณยานนท์, "การสื่อสารเส้นใยแสง" , คณะวิศวกรรมศาสตร์ สถาบันเทคโนโลยี-พระจอมเกล้าเจ้าคุณทหารลาดกระบัง, พิมพ์ครั้งที่ 8, 2540

[5] ถวิล กิ่งทอง, "เทคโนโลยีการส่งสัญญาณดิจิตอล" , ภาควิชาวิศวกรรมโทรคมนาคม คณะวิศวกรรมศาสตร์ สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง , พิมพ์ครั้งที่ 2 , 2541

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้