สำนักหอสมุดกลาง พระจอมเกล้าลาดกระบัง

การสร้างหลุมวนแบบ CHEN

IMPLEMENTATION OF CHEN'S ATTRACTOR

T046534

โดย

นาย วรพงศ์ รัตนถาวร

นาย อนุวัฒน์ อักษร

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

เลขหมู่.....
เลขทะเบียน 46534
วัน, เดือน, ปี 4 เม.ย. 2546

.b.....
.i.....

ปริญญานิพนธ์นี้เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรปริญญาอุตสาหกรรมศาสตรบัณฑิต

สาขาวิชาเทคโนโลยีอิเล็กทรอนิกส์ ภาควิชาวิศวกรรมสารสนเทศ

คณะวิศวกรรมศาสตร์

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

ปีการศึกษา 2545

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

หัวข้อปริญญานิพนธ์	การสร้างหลุมวนแบบ CHEN
	IMPLEMENTATION OF CHEN'S ATTRACTOR
ชื่อนักศึกษา	นายวรพงศ์ รัตนถาวร
	นายอนุวัฒน์ อักษร
อาจารย์ที่ปรึกษา	อาจารย์ กฤดากร กล่อมการ
ปีการศึกษา	2545
	คณะวิศวกรรมศาสตร์ สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

อนุมัติให้นับปริญญานิพนธ์ฉบับนี้เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรอุตสาหกรรมศาสตร์

คณะกรรมการสอบปริญญานิพนธ์

.....ประธานกรรมการ
( )

..... กรรมการ
( )

..... กรรมการ
( )

.....กรรมการ
( )

.....กรรมการ
( )

ลิขสิทธิ์ของคณะวิศวกรรมศาสตร์ สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

หัวข้อปริญญานิพนธ์	การสร้างหลุมวนแบบ CHEN
	IMPLEMENTATION OF CHEN'S ATTRACTOR
ชื่อนักศึกษา	นายวรพงศ์ รัตนถาวร
	นายอนุวัฒน์ อักษร
อาจารย์ที่ปรึกษา	อาจารย์ กฤดากร กล่อมการ
ปีการศึกษา	2545

บทคัดย่อ

ในปริญญานิพนธ์ฉบับนี้กล่าวถึงการสร้างหลุมวน(ATTRACTOR)แบบ CHEN ซึ่งเป็นการนำทฤษฎีของ CHEN มาใช้ โดยการนำวงจรซึ่งสร้างมาจากสมการคณิตศาสตร์มาสร้างเป็นสัญญาณซึ่งมีรูปแบบเป็นหลุมวน เพื่อศึกษาสัญญาณแบบหลุมวนว่ามีลักษณะสัญญาณเป็นแบบไหนและเกิดขึ้นได้อย่างไร และเพื่อเป็นแนวทางในการศึกษาที่จะนำไปประยุกต์ใช้งานทางด้านสื่อสารต่อไป

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Thesis Title	IMPLEMENTATION OF CHEN'S ATTRACTOR
Student	MR. VORAPONG RATANATAVORN
	MR. ANUWAT AKSORN
Advisor	MR. KITDAKORN KLOMKARN
Year	2002

ABSTRACT

This project describes the generate of IMPLEMENTATION OF CHEN'S ATTRACTOR by using Chen's theory. We fabricate the implementation circuit based on mathematics equation with Chen's theory solving techniques. That makes us know how the signal will be, and how it arises.

In the end, we was realized the ways to application for secret data in communications work.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

กิตติกรรมประกาศ

ปริญญานิพนธ์ฉบับนี้ได้จัดทำขึ้นเป็นผลสำเร็จ ทางคณะผู้จัดทำต้องขอขอบพระคุณท่านบูรพาจารย์ทั้งหลาย ท่านผู้เขียนเอกสารและตำราอ้างอิงต่างๆ โดยเฉพาะอาจารย์ที่ปรึกษา อาจารย์กฤดากร กล่อมการ เป็นอย่างสูงที่ช่วยถ่ายทอดความรู้ ดูแล และเอาใจใส่เป็นอย่างดี จนทำให้โครงการชิ้นนี้สำเร็จลุล่วงไปได้ด้วยดี และขอขอบพระคุณบิดา-มารดา ที่เฝ้าตรากตำทำงานส่งเสียให้พวกเราเรียนจนสำเร็จ ขอบคุณสำหรับกำลังใจจากเพื่อนๆ ห้อง 3L และเพื่อนๆ หอคงสุขที่ให้คำปรึกษาเวลาทำโปรเจ็ค ขอบคุณ ต๋อย, ชาญ ที่ให้ยืมสโคป ขอบคุณห้องคอมพิวเตอร์สถาปัตยกรรมที่ให้ยืม computer พิมพ์งาน ขอบคุณตัวเองที่ตั้งใจทำงานนี้ให้ประสบความสำเร็จ

ทั้งนี้ คณะผู้จัดทำต้องขอขอบพระคุณภาควิชาวิศวกรรมสารสนเทศ คณะวิศวกรรมศาสตร์ สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง ที่ให้โอกาสคณะผู้จัดทำได้มีโอกาสเข้ามาศึกษาณ สถาบันแห่งนี้

สุดท้ายนี้ทางคณะผู้จัดทำ ขอขอบพระคุณท่านอาจารย์ทุกท่านที่กรุณาประสิทธิ์ประสาทวิชาความรู้ รวมถึงแนวทางความคิดและแนวทางปฏิบัติให้แก่คณะผู้จัดทำ จนทำให้ปริญญานิพนธ์ฉบับนี้สำเร็จผลตามเป้าหมายทุกประการ

คุณความดี ใดๆ ที่เกิดปริญญานิพนธ์ฉบับนี้ขอมอบให้แก่ บิดา มารดา ครูบาอาจารย์ที่ได้ประสิทธิ์ประสาทวิชาความรู้ให้

นายวรพงศ์ รัตนถาวร

นายอนุวัฒน์ อักษร

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญ

เรื่อง	หน้า
บทคัดย่อภาษาไทย	I
บทคัดย่อภาษาอังกฤษ	II
กิตติกรรมประกาศ	III
บทที่ 1 บทนำ	1
1.1 ความเป็นมาของโครงงาน	1
1.2 วัตถุประสงค์โครงงาน	1
1.3 ขอบเขตโครงงาน	1
1.4 ผลที่คาดจะได้รับจากโครงงาน	1
1.5 ส่วนประกอบของโครงงาน	2
บทที่ 2 ทฤษฎีออปแอมป์	3
2.1 ออปแอมป์	3
2.2 สัญลักษณ์ออปแอมป์	4
2.3 คุณสมบัติเชิงอุดมคติของออปแอมป์	6
2.4 ออปแอมป์แบบพื้นฐาน	8
2.5 การประยุกต์ใช้งานออปแอมป์	9
บทที่ 3 โครงสร้างของโครงงาน	12
3.1 หลักการทำงาน	12
3.2 โมเดลทางคณิตศาสตร์	12
3.3 สมการคณิตศาสตร์ของสัญญาณ X	13
3.4 สมการคณิตศาสตร์ของสัญญาณ Y	13
3.5 สมการคณิตศาสตร์ของสัญญาณ Z	14
บทที่ 4 วงจรและผลการทดลอง	15
4.1 ทฤษฎีของ CHEN	15
4.2 การปรับแต่งวงจรคูณ	17
4.3 ค่าความต้านทานปรับค่าได้ในวงจรสัญญาณหลุมวน	19
บทที่ 5 บทสรุป	25
บรรณานุกรม	
ภาคผนวก	

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่1
บทนำ

1.1 ความเป็นมาของโครงงาน

เนื่องจากในปัจจุบันการติดต่อสื่อสารมีความสำคัญมากการที่เราส่งข้อมูลข่าวสารต่างๆไป เราจำเป็นจะต้องมีการรักษาความปลอดภัยของสัญญาณเสียงที่ส่งออกไป เพื่อป้องกันการดักฟัง โดยการนำสัญญาณหลุมวนแบบ CHEN มาทำการเข้ารหัสสัญญาณเสียงที่ส่งออกมาทางเครื่องส่งแล้วเครื่องรับสามารถถอดรหัสได้

ดังนั้นในส่วนของโครงงานนี้เริ่มแรกจึงทำการศึกษาทฤษฎีของCHEN เพื่อที่จะมาทำการสร้างสัญญาณหลุมวนขึ้นมาให้ได้ ก่อนที่จะนำไปประยุกต์ใช้งานต่อไป

1.2 วัตถุประสงค์ของโครงงาน

1. เพื่อศึกษาถึงลักษณะของสัญญาณหลุมวน ลักษณะของรูปคลื่น ลักษณะความถี่ของสัญญาณ และการเกิดของสัญญาณ ว่าเป็นรูปแบบใด
2. เพื่อศึกษาถึงทฤษฎีของ CHEN ในการสร้างสัญญาณหลุมวน
3. เพื่อศึกษาไว้เป็นแนวทางในการที่จะนำไปประยุกต์ใช้งานทางด้านสื่อสาร

1.3 ขอบเขตของโครงงาน

1. ศึกษาทฤษฎีของ CHEN
2. ทำการสร้างวงจรคูณ(multiplier)ไว้ใช้ในวงจรสัญญาณหลุมวน 4 ชุด
3. ทำการสร้างวงจรสัญญาณหลุมวนแบบ CHEN 2 ชุด

1.4 ผลที่คาดว่าจะได้รับจากโครงงาน

1. เข้าใจการเกิดของสัญญาณหลุมวน และรูปแบบของสัญญาณมากขึ้น
2. สามารถวิเคราะห์รูปแบบของสัญญาณหลุมวนได้
3. นำความรู้ที่ได้จากโครงงานไปประยุกต์ใช้พัฒนาความสามารถของการสื่อสาร

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

1.5 ส่วนประกอบของโครงงาน

1. ส่วนของวงจรสัญญาณหลุมวน
2. ส่วนของวงจรคูณ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 2
ทฤษฎีออปแอมป์

2.1 ออปแอมป์

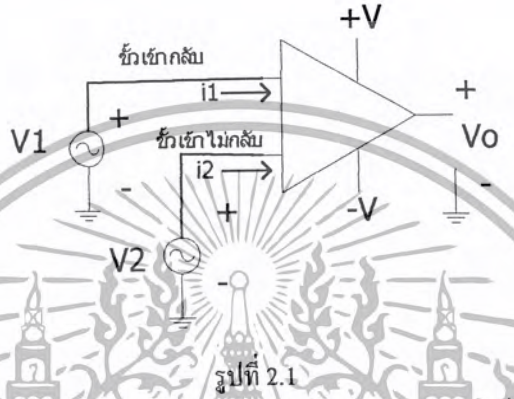
โอเปอเรชั่นแนวแอมปลิไฟเออร์ (operational ampilfier) หรือที่นิยมเรียกสั้นๆ ว่า ออปแอมป์ (op-amp) นั้นแต่เดิมเป็นชื่อเรียกวงจรขยายที่คำนวณภายในเครื่องคอมพิวเตอร์เชิงอุปมา (analog computer) วงจรนี้มีอัตราขยายสูงมาก และอาศัยการป้อนกลับแบบลบผ่านองค์ประกอบพาสซีฟ (passive) ภายนอกในการควบคุมลักษณะคุณสมบัติและกำหนดหน้าที่ของวงจรให้ขึ้นอยู่กับองค์ประกอบที่ใช้ป้อนกลับเท่านั้น และไม่ขึ้นอยู่กับพารามิเตอร์ภายในของออปแอมป์เลย ดังนั้นจึงเป็นการสะดวกมากที่จะออกแบบระบบโดยใช้ออปแอมป์เป็นตัวขยายกำลังงานโดยตลอด และอาศัยองค์ประกอบที่ใช้ป้อนกลับเป็นตัวกำหนดให้วงจรออปแอมป์ทำหน้าที่ต่างๆ กัน เช่น เป็นวงจรรวมสัญญาณ อินทิเกรเตอร์ ดิฟเฟอเรสชิเอเตอร์ เป็นต้น

ออปแอมป์รุ่นแรกนั้น ใช้หลอดสูญญากาศ เนื่องจากราคาแพงมากจึงมีที่จำกัดเฉพาะในเครื่องคอมพิวเตอร์เชิงอุปมาเท่านั้น ต่อมาราวปี ค.ศ. 1962 ได้มีการผลิตออปแอมป์จำหน่ายออกเป็นหน่วย โดยการบรรจุวงจรทรานซิสเตอร์ลงในกล่องเดียวกัน หรือโดยการนำชิ้นผลึก (chip) ต่างๆ ที่มีทรานซิสเตอร์ ไดโอด ตัวต้านทาน และตัวเก็บประจุที่ยังมิได้บรรจุลงกล่องมาต่อเป็นวงจรออปแอมป์ก่อนที่จะบรรจุลงในกล่องเดียวกัน วิธีหลังนี้เรียกว่า วิธีผสม(hybrid) การบรรจุวงจรออปแอมป์ชัดเจนขึ้น หลังจากนั้นก็มีการผลิตออปแอมป์แบบโมโนลิทิก (monolithic) บรรจุองค์ประกอบต่างๆ ของวงจรออปแอมป์ลงบนชิ้นผลึกเดียวกัน การผลิตออปแอมป์แบบโมโนลิทิกนั้นสามารถลดต้นทุนการผลิตไปมากเพราะสามารถผลิตขึ้นเป็นจำนวนมาก เนื่องจากราคาได้ลดไปมากการใช้ออปแอมป์จึงได้เพิ่มขึ้นรวดเร็ว ออปแอมป์ได้เปลี่ยนฐานะจากหน่วยย่อยของคอมพิวเตอร์เชิงอุปมา มาเป็นองค์ประกอบเชิงอุปมาที่ใช้ทั่วไปทุกหนทุกแห่ง เหตุที่เป็นเช่นนี้ก็เพราะว่าวงจรที่ประกอบสำเร็จนั้น มีขนาดเล็ก มีความเชื่อถือได้สูง ราคาถูก สามารถใช้งานได้ทั่วไป เป็นตัวให้อัตราขยาย เช่นเดียวกับทรานซิสเตอร์ตัวหนึ่ง ซ้ำยังใช้ง่ายกว่าวงจรทรานซิสเตอร์เป็นอันมาก ภายในออปแอมป์นั้นประกอบด้วยทราบซิสเตอร์เป็นสิบๆ ตัวที่มีการไบแอส และกำหนดจุดทำงานไว้เรียบร้อยแล้ว ไม่ต้องมาออกแบบวงจรไบแอสและกำหนดจุดทำงานให้กับทรานซิสเตอร์แต่ละตัวอีก ลักษณะสมบัติของวงจรก็กำหนดโดยองค์ประกอบพาสซีฟที่ต่อระหว่างขั้วเข้าและขั้วออกเท่านั้น ดังนั้น ผู้ออกแบบจะสามารถพัฒนาวงจรที่เที่ยงตรงได้ในเวลาอันสั้น

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

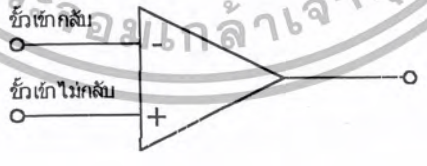
2.2 สัญลักษณ์ของออปแอมป์

ออปแอมป์ที่ผลิตออกจำหน่ายในรูปวงจรประมวล (integrated circuit) ทั่วๆ ไปจะมีขั้วสำหรับสัญญาณเข้า 2 ขั้ว สำหรับสัญญาณขั้วออก 1 ขั้ว และสำหรับต่อกับแหล่งจ่ายไฟตรงด้านบวก 1 ขั้ว กับด้านลบอีก 1 ขั้ว ดังรูปที่ 2.1



รูปที่ 2.1

ขั้วสำหรับสัญญาณเข้าที่มีเครื่องหมายลบกำกับ เรียกว่า ขั้วเข้ากลับ (inverting input) สัญญาณที่เข้าทางขั้วนี้จะทำให้เกิดสัญญาณออกที่ขั้วออกที่มีมุมเฟส (phase angle) ต่างจากสัญญาณเข้า 180 องศา นั่นคือ หากสัญญาณที่ขั้วนี้เป็นบวกเพิ่มขึ้น จะได้สัญญาณเป็นลบหรือลดลง ส่วนขั้วสัญญาณเข้าอีกขั้วหนึ่งที่มีเครื่องหมายบวกกำกับนั้น เรียกว่าขั้วเข้าไม่กลับ (non-inverting input) สัญญาณที่เข้าทางขั้วนี้จะทำให้เกิดสัญญาณออกที่มีมุมเฟสตรงกันในการใช้สัญลักษณ์โดยทั่วไปนั้น เรามักจะละเลยขั้วที่ต่อไฟตรงบวกและลบเข้าตัวออปแอมป์ในฐานที่เข้าใจว่าจะต้องมีอยู่เสมอ ทำให้สัญลักษณ์ง่ายขึ้น ดังรูปที่ 2.2



รูปที่ 2.2

การทำงานของออปแอมป์แบ่งได้เป็น 2 กรณีคือ การทำงานที่ input ด้านเดียว และการทำงานที่ input สองด้าน

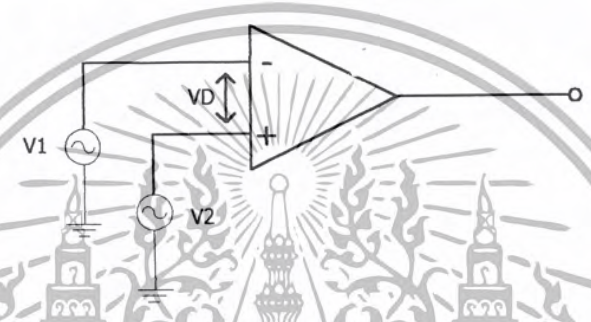
การทำงานที่ input ด้านเดียว (sing ended input) คือการป้อนสัญญาณ input ที่ขั้วใดขั้วหนึ่ง ส่วนขั้วที่เหลือต่อลงกราวด์ ถ้าป้อนสัญญาณ input ที่ขั้วบวกและต่อขั้วลบลงกราวด์ สัญญาณ output ที่ได้รับการขยายกับสัญญา input จะมีมุมอินเฟสกัน ในทางตรงกันข้ามถ้าป้อน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สัญญาณ input ที่ขั้วลบและต่อขั้วบวกลงกราวด์ จะได้สัญญาณ output ที่มีมุมต่างเฟสกับสัญญาณinput 180 องศา

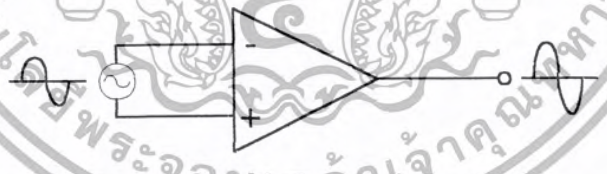
การทำงานที่ input สองด้าน (double ended input) คือการป้อนสัญญาณ input ทั้งสองด้าน แบ่งออกเป็น 2 แบบคือ แบบดิฟเฟอเรนเชียล และแบบโหมดร่วม

การทำงานแบบดิฟเฟอเรนเชียล คือ การป้อนสัญญาณ input 2 สัญญาณที่เป็นอิสระต่อกันให้กับขั้ว input ทั้งสอง ดังรูปที่ 2.3



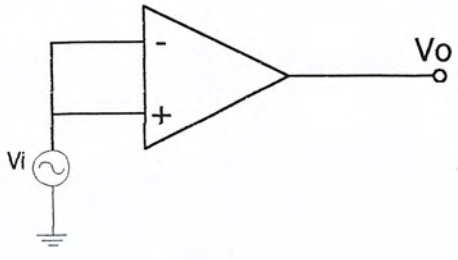
รูปที่ 2.3

เนื่องจากขั้ว input ของออปแอมป์เป็นบวกและลบ สัญญาณ input จึงหักล้างกัน ดังนั้นสัญญาณ output จึงเกิดจากการขยายผลต่างของสัญญาณ input ทั้งสองนั้น คือ Vd = V1 - V2 ได้ดังรูปที่ 2.4 ซึ่งสัญญาณ input และ output อินเฟสกัน



รูปที่ 2.4

การทำงานแบบโหมดร่วม คือ การป้อนสัญญาณ input ร่วมให้กับขั้ว input ทั้งสองของ ออปแอมป์ ดังรูปที่ 2.5



รูปที่ 2.5

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

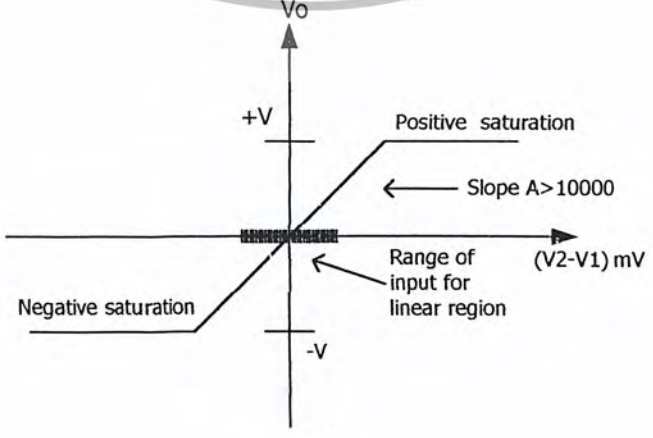
ในทางอุดมคติ สัญญาณ input ทั้งสองขั้วต้องได้รับการขยายเท่ากัน ทำให้เกิดสัญญาณที่ขั้วตรงข้ามกันที่ input สัญญาณเหล่านี้หักล้างกันแล้วหยุดหายไป สัญญาณ output จึงเป็น 0 V แต่ในทางปฏิบัติยังคงมีสัญญาณ output เหลืออยู่เล็กน้อย ซึ่งเรียกว่า "สัญญาณโหมดร่วม" ซึ่งในการออกแบบนั้นเราต้องขจัดสัญญาณโหมดร่วมให้มีค่าน้อยที่สุด สรุปว่าอัตราขยายแรงดัน output ออปแอมป์ประกอบด้วย อัตราขยายแรงดัน 2 ส่วน คือ อัตราขยายที่เกิดจากแรงดันดิฟเฟอเรนซ์ เรียกว่า อัตราขยายดิฟเฟอเรสเชียลกับอัตราขยายที่เกิดจาก แรงดันร่วมเรียกว่า อัตราขยายโหมดร่วม

2.3 คุณสมบัติเชิงอุดมคติของออปแอมป์

ออปแอมป์ที่เป็นไอซีเป็นวงจรที่มีอัตราการขยายสูง โดยปกติจะมีอัตราการขยายสูงถึงหลายหมื่นหลายแสน และที่ข้อเด่นก็คือเราสามารถกำหนดอัตราขยายให้กับออปแอมป์ได้โดยง่ายตามต้องด้วยการต่อวงจรในลักษณะการป้อนกลับแบบลบ ถ้าหากเราถือว่าออปแอมป์ที่ใช้เป็นออปแอมป์ในอุดมคติจะต้องมีคุณสมบัติเด่นดังนี้

1. มีอัตราขยายแรงดันเป็นอนันต์
2. มีค่าอินพุตอินพีแดนซ์เป็นอนันต์ หรือกล่าวได้ว่ากระแสอินพุตเป็นศูนย์นั่นเอง
3. มีเอาท์พุตอินพีแดนซ์เป็นศูนย์
4. มีผลตอบแทนสนองต่อความถี่ได้จากสัญญาณไฟตรงถึงความถี่อนันต์

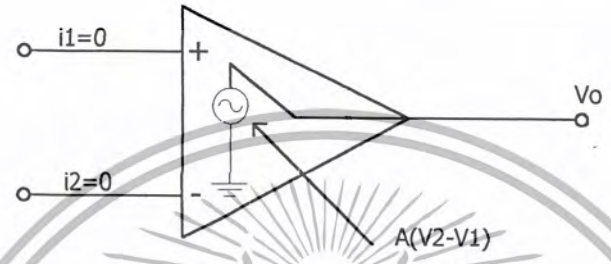
เราพิจารณาการทำงานของออปแอมป์อุดมคติในวงจรต่างๆ เพื่อที่จะได้เข้าใจถึงหลักการของออปแอมป์ได้ดีขึ้น ในที่นี้เราจะสมมุติว่าออปแอมป์อุดมคตินั้น มีความต้านทานขาเข้าเป็นอนันต์ ความต้านขาออกเท่ากันศูนย์และมีลักษณะสมบัติโอนย้ายดังในรูปที่ 2.6



รูปที่ 2.6

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การมีความต้านทางขาเข้าเป็นอนันต์นั้น หมายความว่ากระแสขาเข้า i1 และ i2 เท่ากับศูนย์ทั้งคู่ การมีความต้านทางขาออกเท่ากับศูนย์หมายความว่า ลักษณะโอนย้ายของออปแอมป์สามารถแทนด้วยแหล่งกำเนิดแรงดันพึ่งพิง (dependent voltage source) ดูรูปที่ 2.7 ลักษณะโอนย้ายของรูป 2.6 แสดงช่วงการทำงาน 3 ช่วงของออปแอมป์ คือ ช่วงเชิงเส้น 1 เขต และช่วงอิ่มตัว 2 เขต



รูปที่ 2.7 วงจรสมมูลของออปแอมป์อุดมคติ

ในช่วงเชิงเส้นนั้นแรงดันออก Vo จะอยู่ระหว่างแรงดันของแหล่งจ่ายไฟทั้งสอง (+V และ -V) ความสัมพันธ์ระหว่างแรงดันออก Vo และความแตกต่างระหว่างแรงดันเข้า (V2-V1) นั้นเป็นเชิงเส้น

$$Vo = A(V2 - V1) \quad (1)$$

โดยที่ A คืออัตราขยายแรงดันซึ่งมักมีค่าเกิน 10000 เนื่องจากอัตราขยายมีขนาดใหญ่มาก และช่วงของสัญญาณออกก็มีจำกัด $|Vo| < |V|$ ดังนั้น ช่วงของสัญญาณเข้าในเขตเชิงเส้นจึงมีขนาดเล็กมาก $|V2-V1| < |V/A|$ ในออปแอมป์ทั่วๆ ไปอัตราขยายวงรอบปิด (คือ A นั่นเอง) มักจะมีค่าระหว่าง 10000 ถึงหลายล้าน ดังนั้น สำหรับแหล่งจ่ายไฟตรงขนาด 10 ถึง 15 โวลท์ ความกว้างของเขตเชิงเส้นสำหรับสัญญาณเข้า จะมีประมาณ 1mV หรือน้อยกว่านั้น

การจำกัดความการทำงานในเขตเชิงเส้นคือ

1. กระแสขาเข้าเป็นศูนย์
2. แรงดันขาเข้า V1 และ V2 เท่ากัน ภายใน 1mV หรือน้อยกว่านั้น

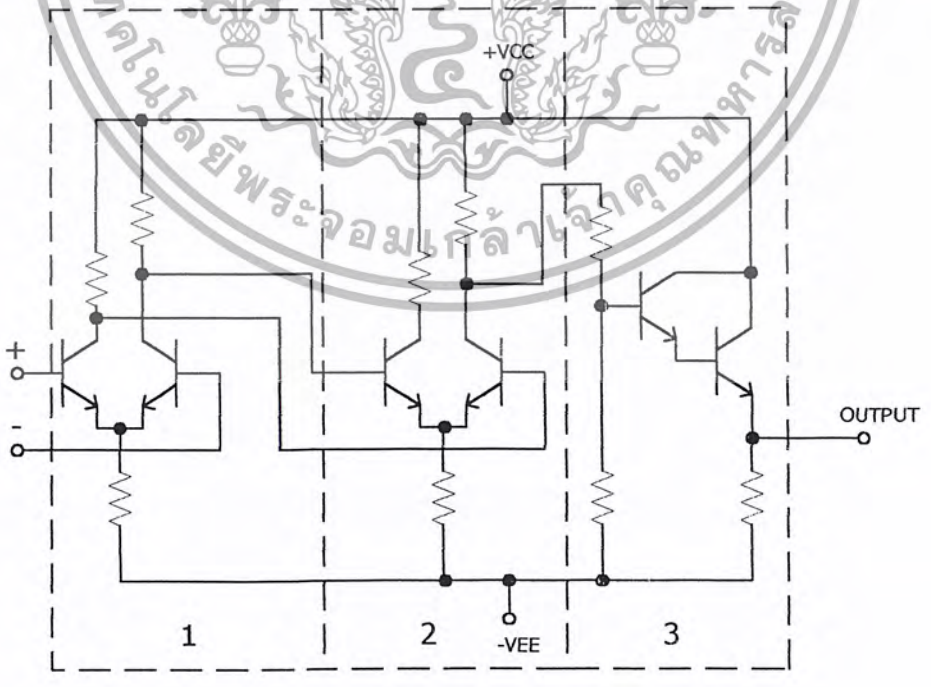
ในเขตอิ่มตัว ความแตกต่างระหว่างแรงดันขาเข้าทั้งสอง จะมีมากกว่าในเขตเชิงเส้น นั่นคือ $|V2-V1| > |V/A|$ หรือ เราอาจกล่าวได้ว่า ถ้า $|V2-V1| > 1mV$ ออปแอมป์จะอยู่ในสภาพอิ่มตัว โปรดสังเกตว่า ถ้า $V2 > V1$ ออปแอมป์จะอิ่มตัวทางบวก และถ้า $V1 > V2$ ออปแอมป์จะอิ่มตัวทางลบ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.4 ออปแอมป์แบบพื้นฐาน

ออปแอมป์ส่วนใหญ่จะมีภาคต้นๆประกอบด้วยวงจรขยายความแตกต่าง อาจจะสองสามภาคเชื่อมต่อกันเพื่อให้มีอัตราขยายสูงๆซึ่งจำเป็นจะต้องมีแหล่งจ่ายไฟทั้งบวกและลบ วงจรขยายความแตกต่างมีสองอินพุตทำให้ขั้วเอ้าท์พุทสามารถเลือกได้ทั้งแบบมีการกลับเฟสและไม่กลับเฟสในการใช้งานออปแอมป์มักจะมีการป้อนกลับแบบลบจากขั้วเอาท์พุตมายังขั้วลบ (inverting input)
ด้วยตัวต้านทานหรืออิมพีแดนซ์เพื่อควบคุมอัตราขยายและผลตอบสนองความถี่ให้ได้ตามต้องการ เช่นเดียวกับวงจรขยายทั่วๆไปสัญญาณที่เข้าที่อินพุตและออกมาที่เอาท์พุตจะมีการเลื่อนเฟส (นอกเหนือจากการกลับเฟส) อัตราการเลื่อนเฟสนี้จะขึ้นอยู่กับความถี่

ในกรณีที่การเลื่อนเฟสมากขึ้นจนเป็น 180 องศา เฟสค่านี้จะไปรวมกับการกลับเฟส 180 องศา ซึ่งจะทำให้เกิดการป้อนกลับแบบเสริม(แทนที่จะเป็นลบ) วงจรขยายในสภาวะเช่นนี้จะไม่เสถียรภาพ จะเกิดออสซิลเลทที่ความถี่ที่ทำให้การป้อนกลับแบบเสริม การที่เฟสเลื่อนมากขึ้นเมื่อความถี่สูงๆนี้จะจำกัดแถบความถี่ของออปแอมป์ วิธีแก้อาจจะทำโดยเพิ่มวงจรชดเชยเฟสเข้าไป วงจรชดเชยเฟสส่วนมากจะประกอบด้วยตัวต้านทานกับตัวเก็บประจุ หรืออาจจะเป็นตัวเก็บประจุอย่างเดียว ออปแอมป์ประกอบด้วยวงจรขยายหลายภาคทำงานร่วมกัน จากรูปที่ 2.8



รูปที่ 2.8

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

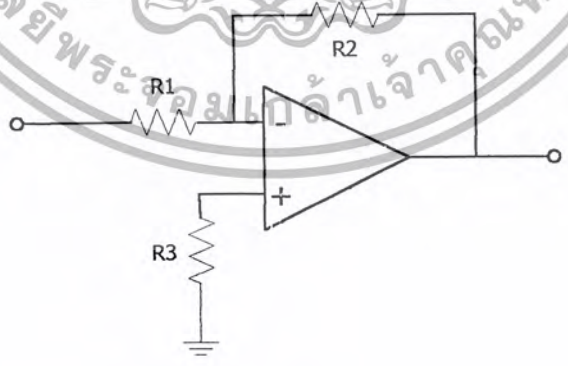
ภาควงจรแรกเป็น วงจรขยายผลต่าง วงจรขยายผลต่างให้คุณลักษณะการขจัดสัญญาณผลร่วมและอิมพีแดนซ์สูงออปแอมป์บางตัวอาจใช้ FET เป็นภาควงจรแรกเพื่ออินพุตอิมพีแดนซ์ที่สูงขึ้น ออปแอมป์ที่รวมทั้งอุปกรณ์ FET และ BJT เรียกว่า ออปแอมป์ BIFET ภาควงจรที่สองในรูปที่ 2.8 เป็นวงจรขยายผลต่างอีกวงจรหนึ่งซึ่งช่วยให้นำเอาท์พุตผลต่างของภาควงจรแรกมาใช้งานได้และเพื่อให้ได้อัตราขยายผลต่างและการขจัดสัญญาณผลร่วมที่ดีที่สุด

ภาควงจรที่สามในรูปที่ 2.8 เป็นภาควงจรคอมมอนคอลเล็คเตอร์หรืออิมิตเตอร์ฟอลโลเวอร์รูปแบบวงจรนี้เป็นที่รู้จักกันว่า มีเอาท์พุตอิมพีแดนซ์ต่ำ ในภาควงจรนี้สังเกตได้ว่าเอาท์พุตดึงเพียงขั้วเดียวไม่มีเอาท์พุตผลต่างที่เป็นไปได้ซึ่งมักเรียกว่าเอาท์พุตปลายเดียว(singel ended output) การใช้งานอิเล็กทรอนิกส์ ส่วนใหญ่ต้องการเอาท์พุตปลายเดียว

เอาท์พุตปลายเดียว แสดงมุมเฟสเทียบกราวด์ได้เพียงค่าเดียว วงจรในรูปที่ 8 มีอินพุตกลับ เฟส (inverting) และอินพุตไม่กลับเฟส (noninverting) อินพุตไม่กลับเฟสมีเฟสตรงกับเอาท์พุต อินพุตกลับเฟสมีเฟสกลับกับเอาท์หรือมีเฟสต่างกับเอาท์พุต 180 องศา

2.5 การประยุกต์ใช้งานออปแอมป์

การขยายแบบกลับเฟส (Inverting Amplifier) จากที่ได้กล่าวมาแล้วในตอนก่อนว่า เราสามารถกำหนดอัตราขยายได้ตามใจชอบด้วยการป้อนกลับ และวงจรขยายแบบกลับเฟสแสดงดังรูปที่ 2.9



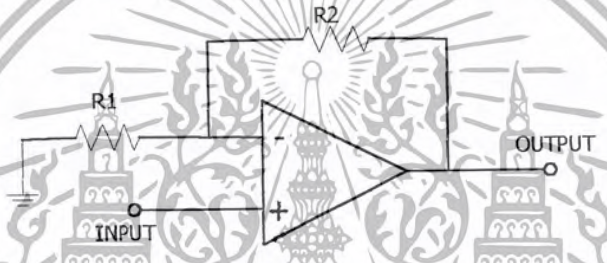
รูปที่ 2.9

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากรูปที่ 2.9 อัตราขยายของวงจรสามารถคำนวณได้ด้วยอัตราส่วนของ R2 /R1 นั้นคือแรงดันเอาท์พุตจะมีค่าเท่ากับผลคูณของ R2/R1 กับแรงดันอินพุต สัญญาณเอาท์พุตที่ได้จะอยู่ในลักษณะที่เฟส กลับกับอินพุตเพราะเราทำการป้อน สัญญาณเข้าทางอินเวอร์ติ้งอินพุต

ส่วนหนึ่งที่จะต้องทำก็คือค่า R3 ควรจะเลือกให้มีค่าใกล้เคียงกลับค่า R1 และ R2 ขนานกันเพื่อชดเชยการผิดพลาดเนื่องจากแรงดันออฟเซทที่อาจเกิดขึ้นจากกระแสไบแอส

โดยปกติถ้าป้อนอินพุตเป็นสัญญาณไฟสลับ เอาท์พุตที่ได้จะขึ้นอยู่กับอินพุตจะเห็นได้ว่าผลตอบสนองต่อความถี่ของออปแอมป์ก็มีส่วนสำคัญดั้งนั้นการใช้งานจึงต้องระวังไม่ให้เกินขอบเขตด้านความถี่โดยปกติจะกำหนดค่าไว้ในรูปของผลการคูณของอัตราขยายต่อความถี่ที่ค่าสูงสุดไว้



รูปที่ 2.10

วงจรขยายแบบไม่กลับเฟส จากรูปที่ 2.10 เป็นรูปของวงจรขยายแบบไม่กลับเฟสซึ่งมีค่าความต้านทานอินพุตสูงมาก และอัตราขยายแรงดันของวงจรจะกำหนดด้วยค่าตัวต้านทาน โดยจะเท่ากับอัตราส่วนระหว่าง R1 + R2 กับ R1

สิ่งที่ทำให้วงจรนี้แตกต่างจากวงจรขยายชนิดกลับเฟสก็คืออเาท์พุตที่เกิดขึ้นจะมีเฟสเดียวกับสัญญาณอินพุต นอกจากนี้วงจรนี้ยังให้ค่า ความต้านทานอินพุตสูงมาก

ในขณะที่อินพุตอยู่ลอยๆเฉยๆจะเห็นได้ว่าจะทำให้เอาท์พุตเกิดการอิ่มตัวทันทีนั้นหมายความว่าระดับแรงดันเอาท์พุตจะเป็นค่าเท่ากับแรงดันไฟเลี้ยงด้านบวกทันที

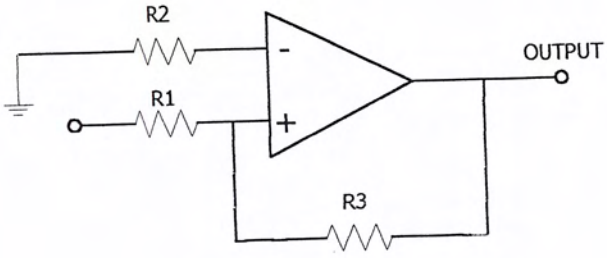
วงจรขยายสัญญาณผลต่าง วงจรขยายสัญญาณผลต่างดังรูปที่ 2.11 โดยวงจรเป็นส่วนประกอบที่สมบูรณ์ของสัญญาณของวงจรขายายสัญญาณผลบวกโดยจะสามารถนำเอาแรงดันสองแรงดันมาหักล้างกันได้

จากรูปข้างบนเรากำหนดให้ R1=R3 และ R2=R4 แล้วค่าแรงดันเอาท์พุตที่ได้จะมีค่าดังนี้

$$Vo = R2/R1 (V2 - V1)$$

วงจรนี้สามารถนี้สามารถประยุกต์ใช้งานได้ในลักษณะเป็นวงจรเปรียบเทียบสัญญาณความแตกต่างหรือใช้ตารางสอบระดับแรงดันสองค่าได้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.11

วงจรอินทิเกรเตอร์ ใช้ตัวเก็บประจุป้อนสัญญาณมายังขั้วเข้ากลับ วงจรนี้จะสามารถอินทิเกรเตอร์แรงดันทีแปรค่าตามเวลาได้สมการที่รู้กันดีของตัวเก็บประจุ คือ

$$V = Q / C = \int i dt / C$$

เมื่อดิฟเฟอเรนชิเอตทั้งสองข้างจะได้กระแสที่ได้ผ่าน C คือ

$$I = C\, dv / dt$$

นั้นสมการของกระแสวงจรรูปที่ 2.12 คือ

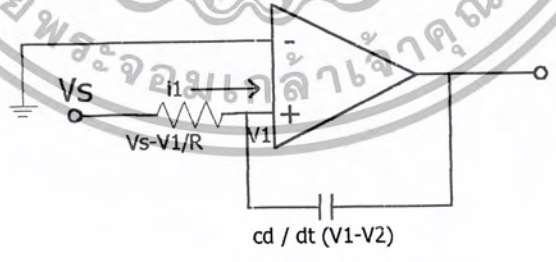
$$Vs / R = - C\, dvo / dt$$

ในเมื่อ V1 = 0 , i1 = 0

เมื่ออิทิเกรตทั้งสองข้างแล้วหาค่าของ Vo จะได้

$$VO = -1/R \int vs\, dt$$

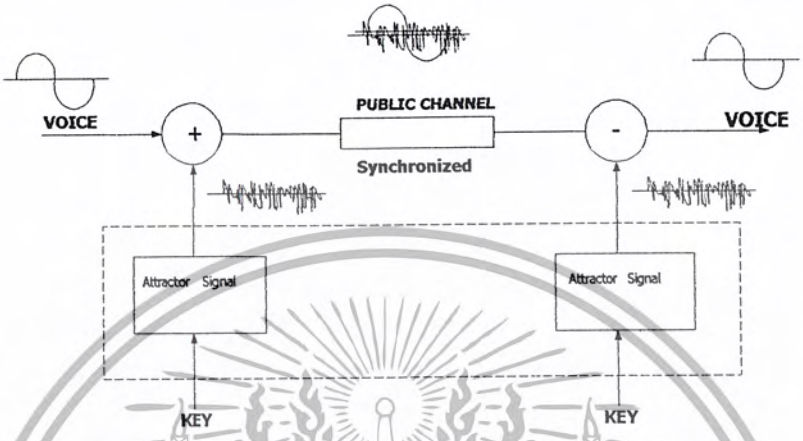
นั้นคือ แรงดันขาออกเท่ากับค่าคงตัว - 1 / RC คูณอินทิกรัลของแรงดันขาเข้ากับเวลา



รูปที่ 2.12

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 3
โครงสร้างของโครงงาน



รูปที่ 3.1 หลักการทำงาน

3.1 หลักการทำงาน

สร้างสัญญาณหลุมวนขึ้นมาสองภาค จะมีภาครับและภาคส่งซึ่งทั้งสองภาคนี้จะมีความถี่ที่ตรงกันและเกิดขึ้นในเวลาเดียวกัน โดยภาคส่งจะสร้างสัญญาณหลุมวนบวกกับสัญญาณเสียงแล้วส่งไปในช่องสาธารณะ (Public channal) จะมีสัญญาณซิงโครนัส (Synchronized) เป็นตัวเชื่อมระหว่างภาครับกับภาคส่ง ภาครับจะมีตัวลบสัญญาณหลุมวน แล้วได้สัญญาณเสียงกลับคืนมา

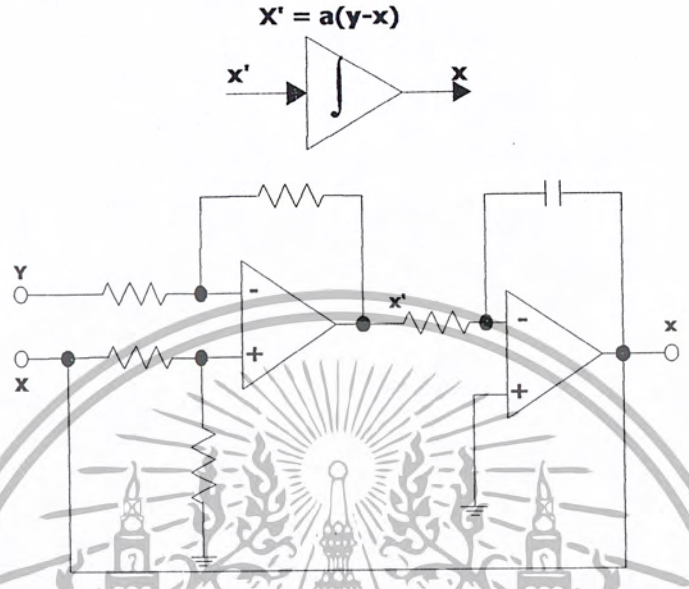
แต่ในส่วนของโครงงานนี้จะสร้างเฉพาะสัญญาณหลุมวนขึ้นมาสองชุด

3.2 โมเดลทางคณิตศาสตร์ของระบบเชนแอทแทรกเตอร์

$$\begin{aligned}
\frac{dx}{dt} &= a(y-x) \\
\frac{dy}{dt} &= (c-a)x - xz + cy \\
\frac{dz}{dt} &= xy - bz
\end{aligned}$$

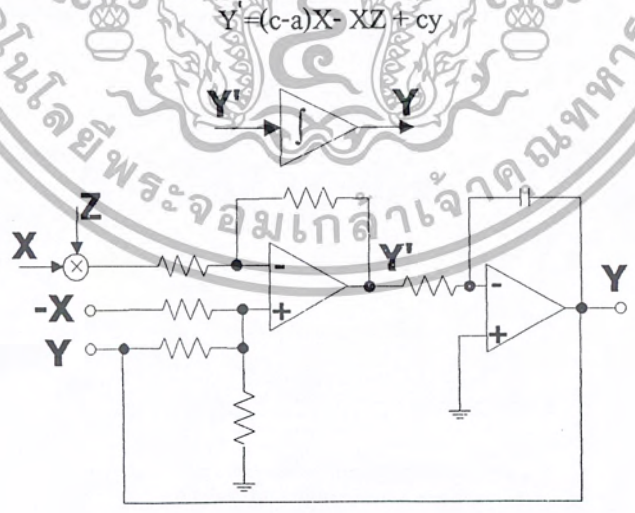
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.3 สมการทางคณิตศาสตร์ของสัญญาณ X



รูปที่ 3.2 สมการ X

3.4 สมการทางคณิตศาสตร์ของสัญญาณ Y

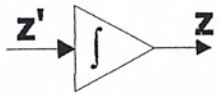


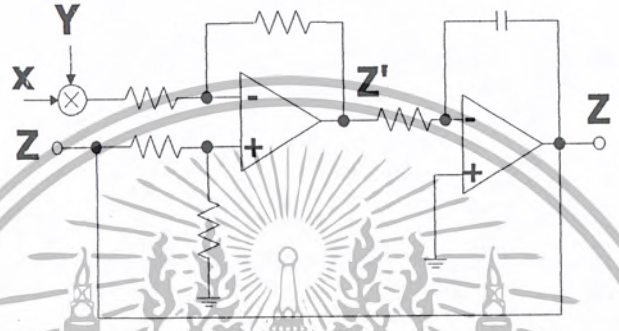
รูปที่ 3.3 สมการ Y

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.5 วงจรทางคณิตศาสตร์ของสัญญาณ Z

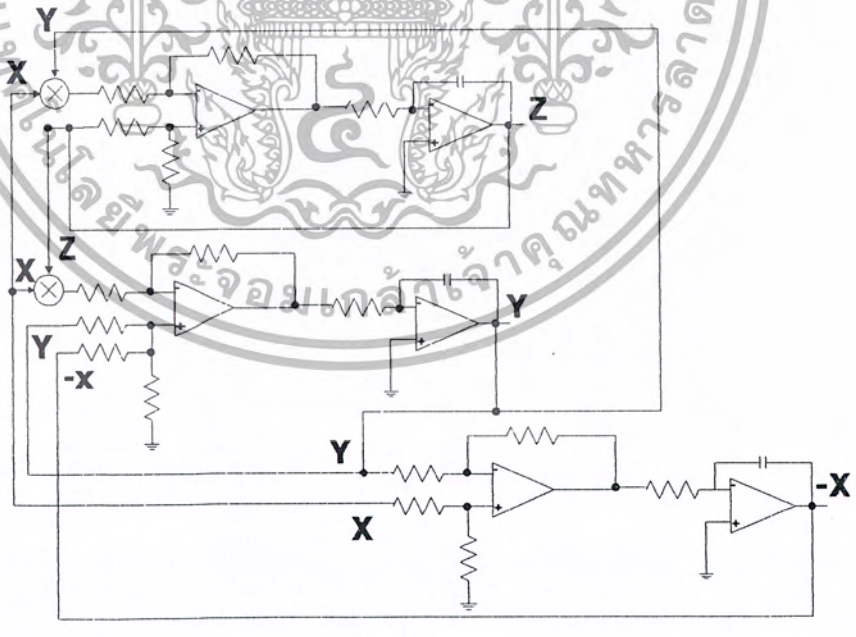
$$Z' = XY - bZ$$





รูปที่ 3.4 สมการ Z

นำวงจรทั้งสามสมการมารวมกัน

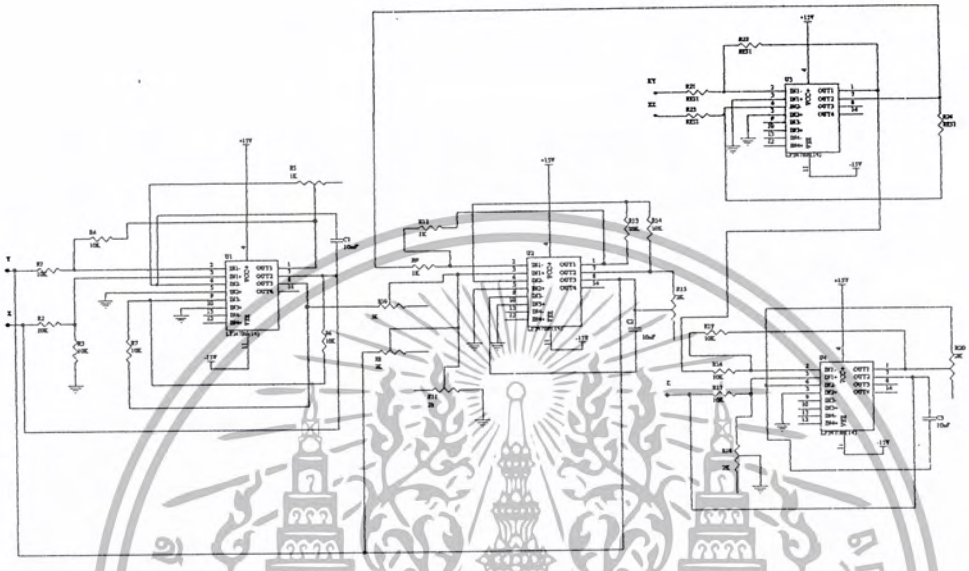


รูปที่ 3.5 วงจรรวม

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 4

วงจรและผลการทดลอง



รูปที่ 4.1 แสดงวงจร Chen's attractor

4.1 ทฤษฎีของ CHEN

ทฤษฎีของ CHEN ได้นำทฤษฎีของ LORENZ และทฤษฎีวงจรไฟฟ้ามา สร้างสัญญาณหลุมวน และมีแนวความคิดที่จะนำสัญญาณหลุมวนมาใช้ โดยคลื่นสัญญาณจะไม่เป็นสี่เหลี่ยมจัตุรัสราบเรียบ จากความคิดได้สร้างวงจรไฟฟ้าขึ้น และทำการทดสอบสัญญาณหลาย ๆ ครั้งจนได้ สมการทางคณิตศาสตร์เป็น โมเดลของระบบ CHEN สัญญาณหลุมวน

$$X' = a(y - x),$$

$$Y' = (c - a)\,x - xz + cy,$$

$$Z' = xy - bz,$$

จะให้ค่า $a = 35$, $b = 3$, $c = 28$

การสร้างวงจรทางไฟฟ้าต้องอาศัยสมการทางคณิตศาสตร์ เป็นตัวกำหนดรูปแบบของวงจรทางไฟฟ้า การออกแบบสมการทางไฟฟ้า

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$X' = a(y - x),$$

$$Y' = cy - rx - xz,$$

$$Z' = xy - bz,$$

ให้ $r = (a - c)$

การทำให้สัญญาณเกิดขึ้นในเวลาเดียวกัน (Synchronization) โดยระบบ CHEN พิจารณา 2 ระบบที่เหมือนกันเปลี่ยนรูปใหม่

$$X' = a(y - x),$$

$$Y' = cy - rx - xz,$$

$$Z' = xy - bz,$$

และ

$$\overrightarrow{X'} = a(\overline{y - x}),$$

$$\overrightarrow{Y'} = \overline{cy} - \overline{rx} - \overline{xz},$$

$$\overrightarrow{Z'} = \overline{xy} - \overline{bz},$$

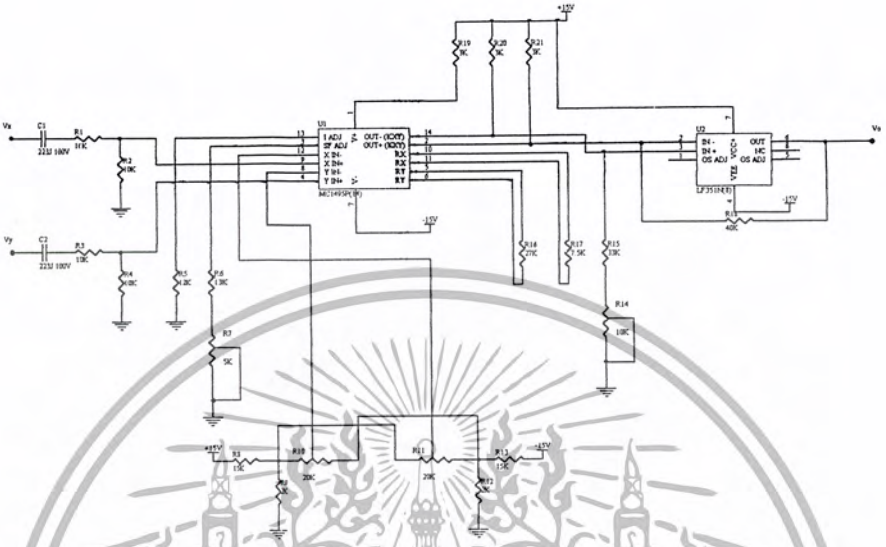
เมื่อ a, b, c, r เป็นค่าคงที่

สองระบบย่อยนี้สามารถทำให้สัญญาณเกิดขึ้นในเวลาเดียวกันได้โดยเชื่อมสัญญาณด้วยการใช้สัญญาณร่วมกัน โดยที่ระบบย่อยมีสภาวะ X, Y, Z และ $\overrightarrow{X}, \overrightarrow{Y}, \overrightarrow{Z}$ เป็นระบบขับ และระบบที่ตอบสนอง ทำงานไม่เป็นลำดับทั้ง 3 สภาวะจะเปลี่ยนแปลงไม่คงที่ จึงนำ X, Y, Z มาใช้ให้เกิดประโยชน์เป็นระบบขับ ในการทดลองหลายครั้งได้สรุปผลว่า ส่วนประกอบสัญญาณ Y ดีที่สุดที่จะเป็นตัวเชื่อมสัญญาณ ทำให้สัญญาณเกิดขึ้นในเวลาเดียวกัน

การขับระบบระบบตอบสนองใช้สภาวะการเปลี่ยนแปลงของสัญญาณ Y เป็นระบบขับและระบบตอบสนอง มีรูปร่างและการออกแบบ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สำนักหอสมุดกลาง พระจอมเกล้าลาดกระบัง



รูปที่ 4.2 แสดงวงจรคูณ

4.2 การปรับแต่งวงจรคูณ

1. X Input

1.1 ต่อสัญญาณ 1 Khz 5Vp-p เป็น Sinewave ที่ Y Input (ขา 4)

1.2 ต่อสัญญาณ X Input ลง Ground (ขา 9)

1.3 ปรับ X Offset (P2) ไม่ให้มีสัญญาณ AC ออกทาง Output

2. Y Input

2.1 ต่อสัญญาณ 1 Khz 5Vp-p เป็น Sinewave ที่ X Input (ขา 9)

2.2 ต่อสัญญาณ Y Input ลง Ground (ขา 4)

2.3 ปรับ X Offset (P2) ไม่ให้มีสัญญาณ AC ออกทาง Output

3. Output Offset

3.1 ต่อสัญญาณทั้ง 2 X และ Y Input ลง Ground

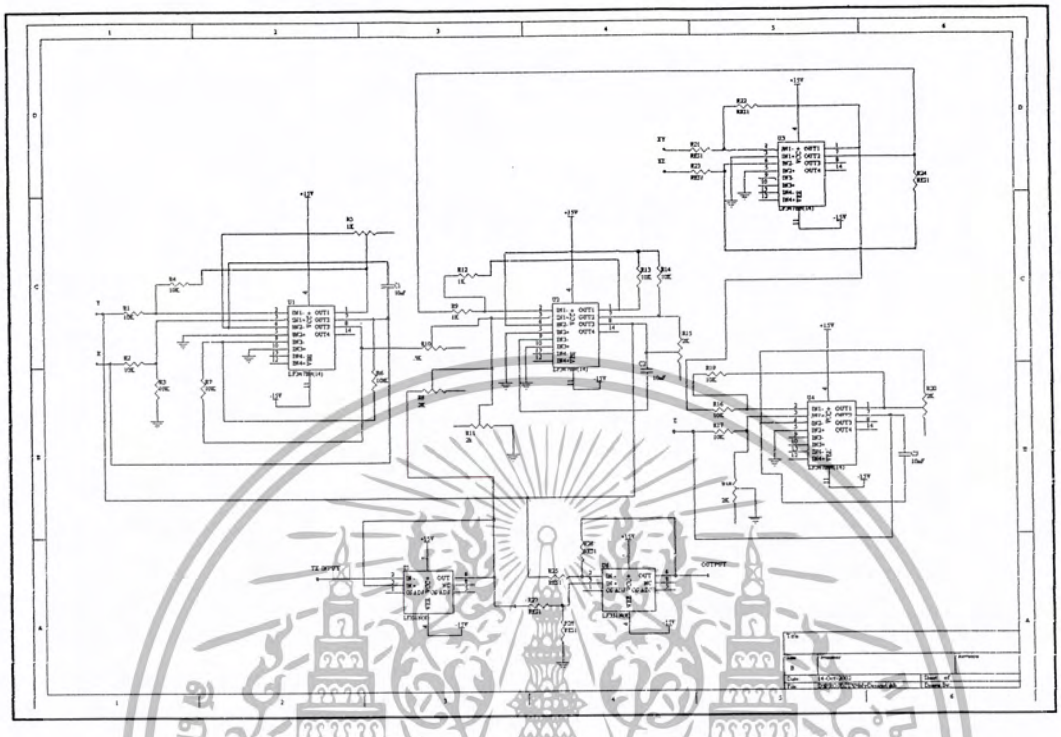
3.2 ปรับ Output Offset (P4) ให้ Output Voltage V0 เป็น 0 Vdc

4. Scale factor

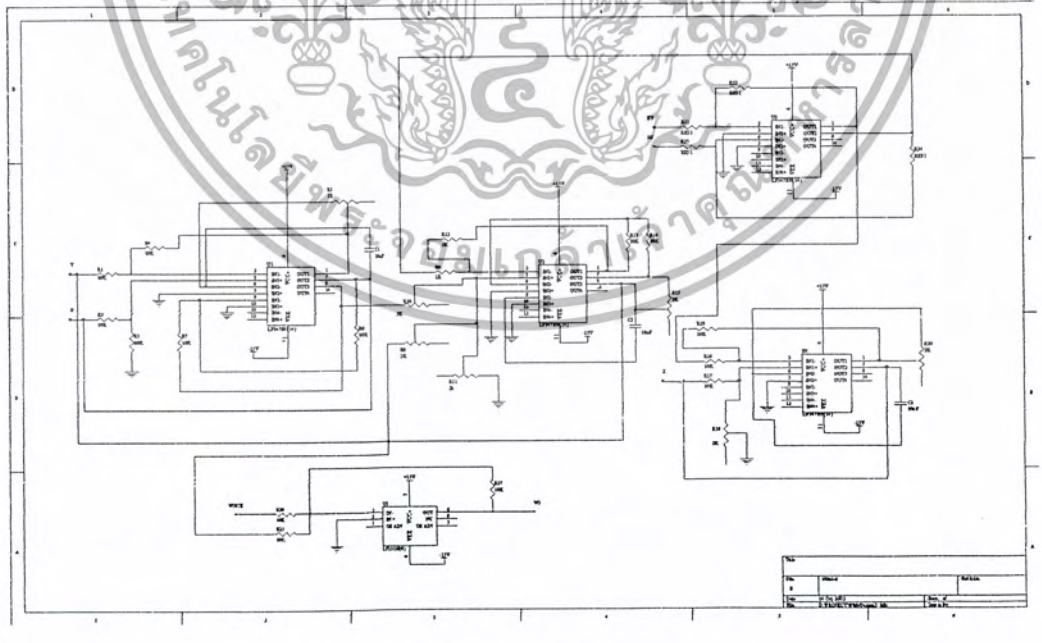
4.1 ป้อน + 10 Vdc ทั้ง X และ Y Input ปรับ (P3) ให้ Output Voltage +10 V

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

46534



รูปที่ 4.3 แสดงวงจร Synchronization ภาครับ



รูปที่ 4.4 แสดงวงจร Synchronization ภาคส่ง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ค่าความต้านทานปรับค่าได้ในวงจรที่ทำให้เกิดสัญญาณหลุมวน

จากทฤษฎีค่าความต้านทานปรับค่าได้ที่ให้มาเมื่อนำมาใช้ในวงจรจะได้รูปออกมาไม่เหมือนทฤษฎีดังนั้นจึงทำการปรับค่าความต้านทานเหล่านี้เองจนกว่าจะได้รูปใกล้เคียงทฤษฎีแล้วทำการวัดค่าเหล่านี้ไว้ดังนี้

ภาครับ

R8 = 2.042 K

R15 = 2.065 K

R10 = 20 Ω

R11 = 1.904 K

R5 = 5.29 K

R18 = 2.087 K

R20 = 1.821 K

ภาคส่ง

R8 = 2.012 K

R15 = 2.048 K

R10 = 20.9 Ω

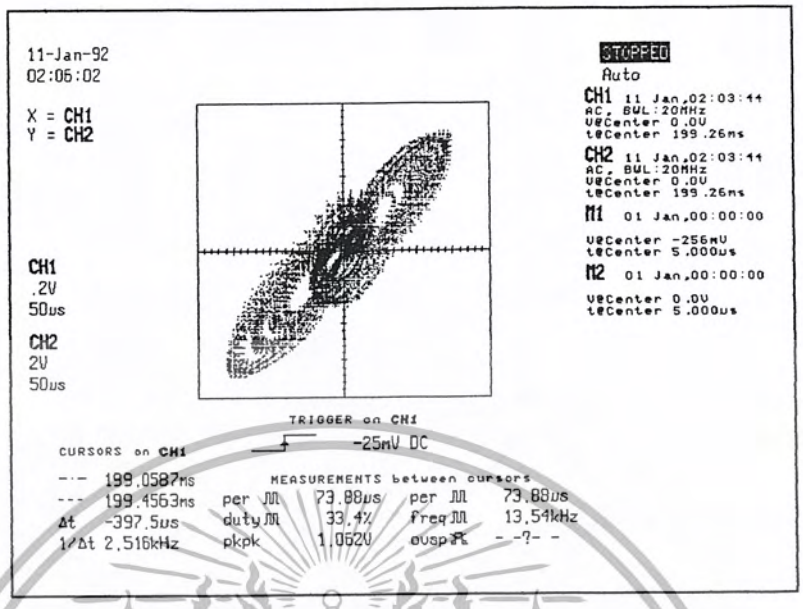
R11 = 1.846 K

R5 = 0.543 K

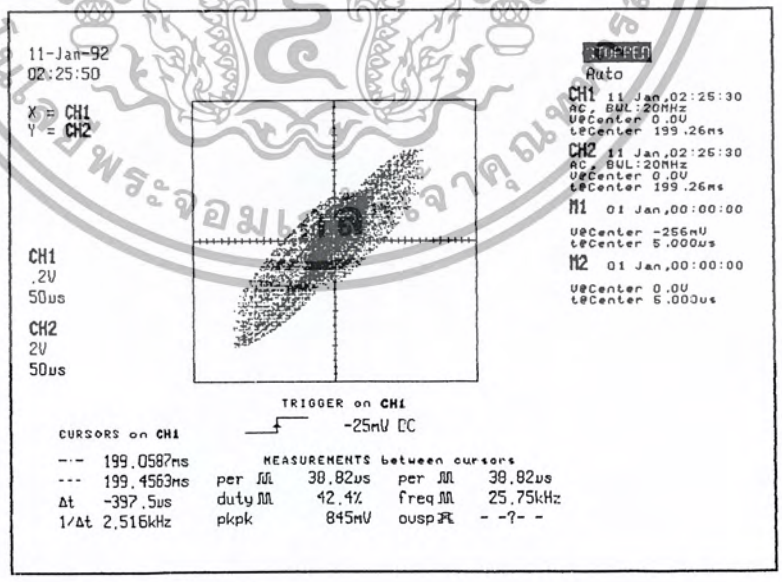
R18 = 1.926 K

R20 = 1.884 K

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

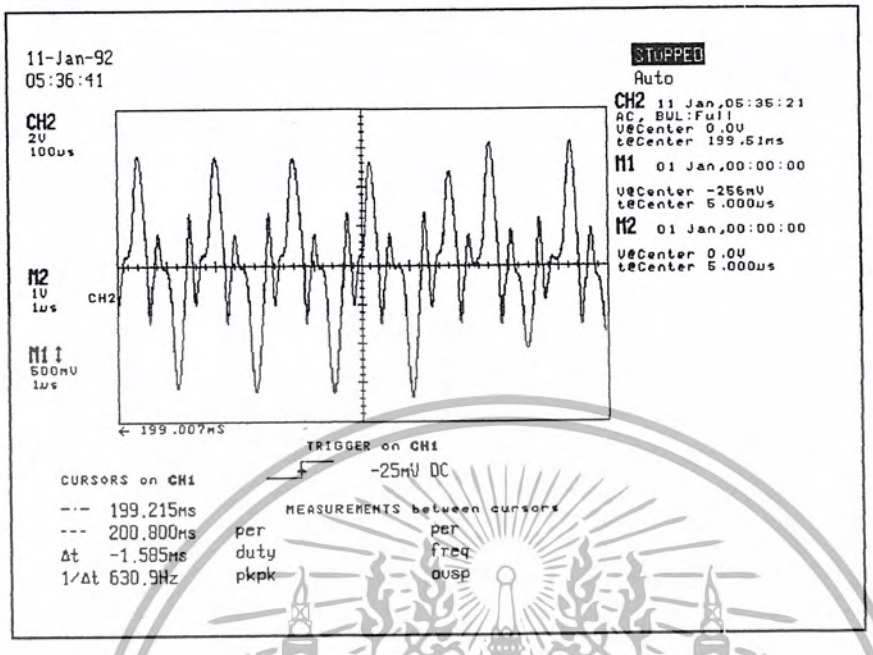


รูปที่ 4.5 แสดงผลการวัดสัญญาณ XY ภาครับ

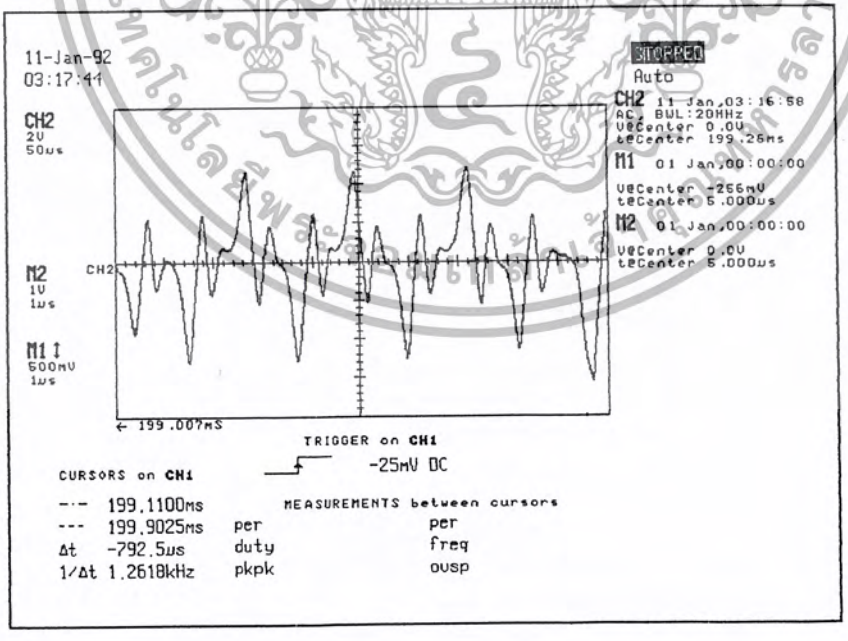


รูปที่ 4.6 แสดงผลการวัดสัญญาณ XY ภาคส่ง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

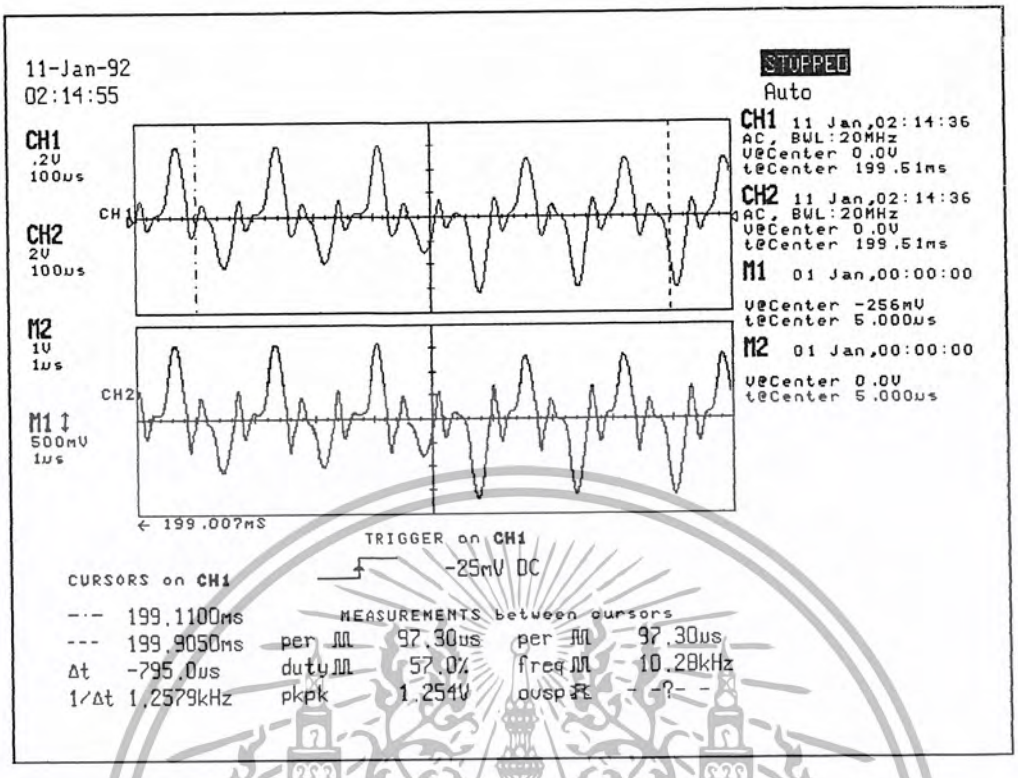


รูปที่ 4.7 แสดงผลการวัดสัญญาณ Y ภาครับ

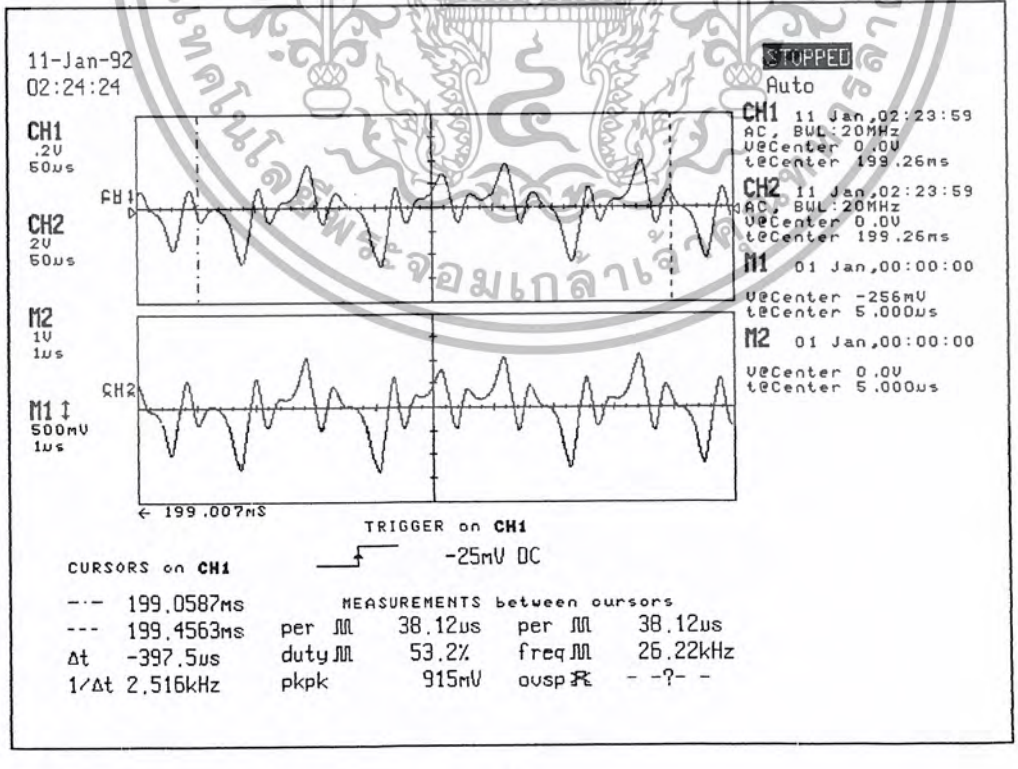


รูปที่ 4.8 แสดงผลการวัดสัญญาณ Y ภาคส่ง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

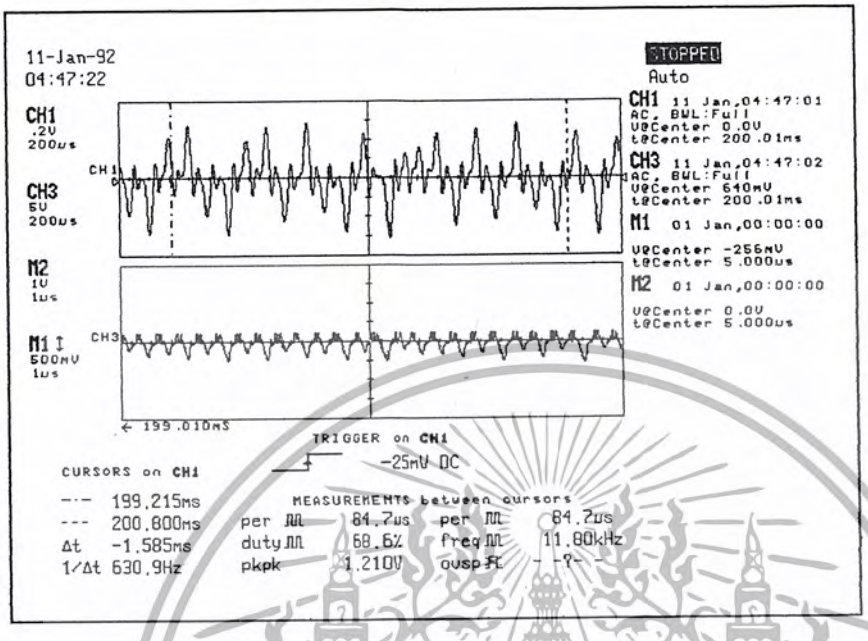


รูปที่ 4.9 แสดงผลการวัดสัญญาณ XY ภาครับ

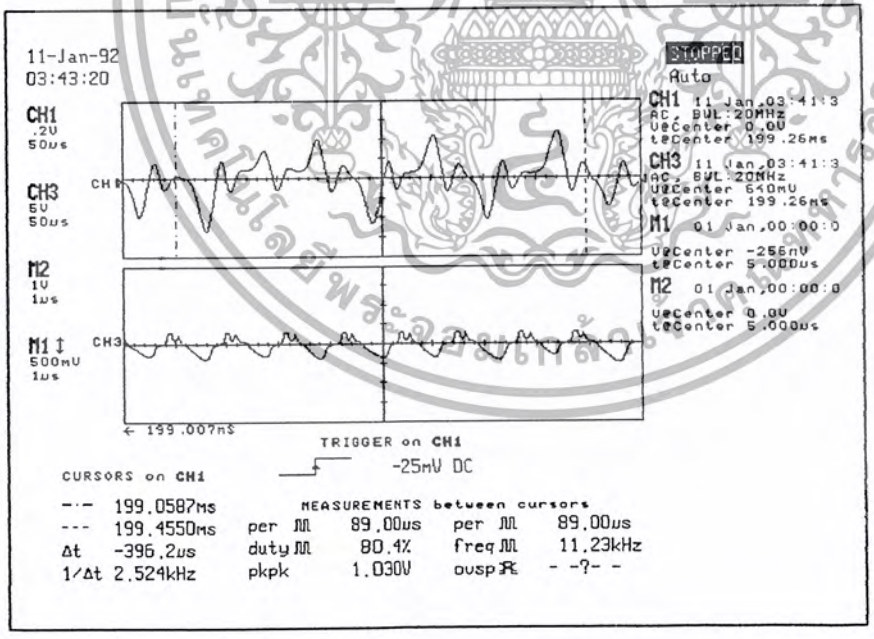


รูปที่ 4.10 แสดงผลการวัดสัญญาณ XY ภาคส่ง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

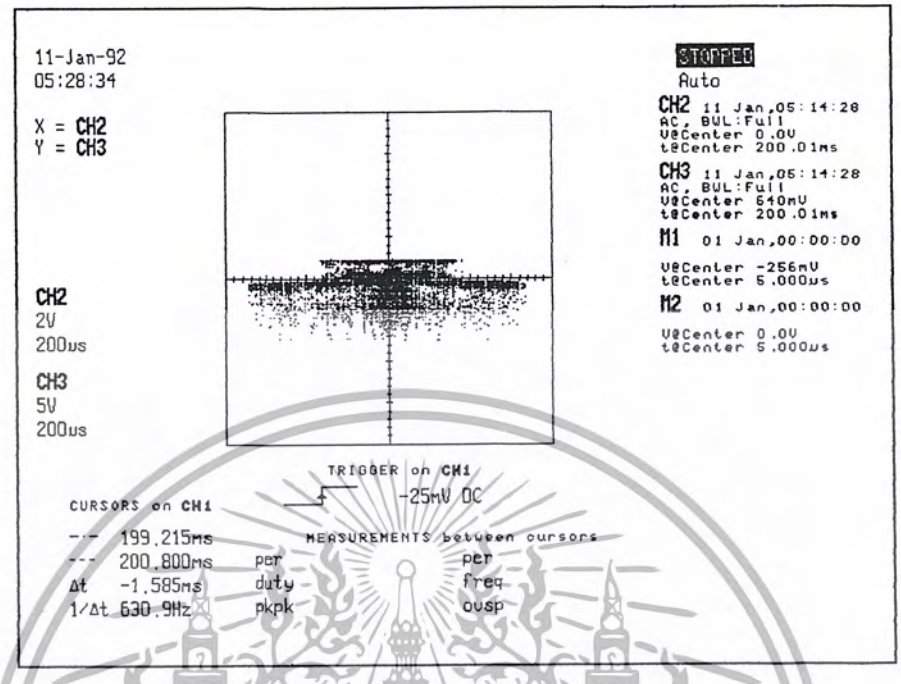


รูปที่ 4.11 แสดงผลการวัดสัญญาณ XZ ภาครับ

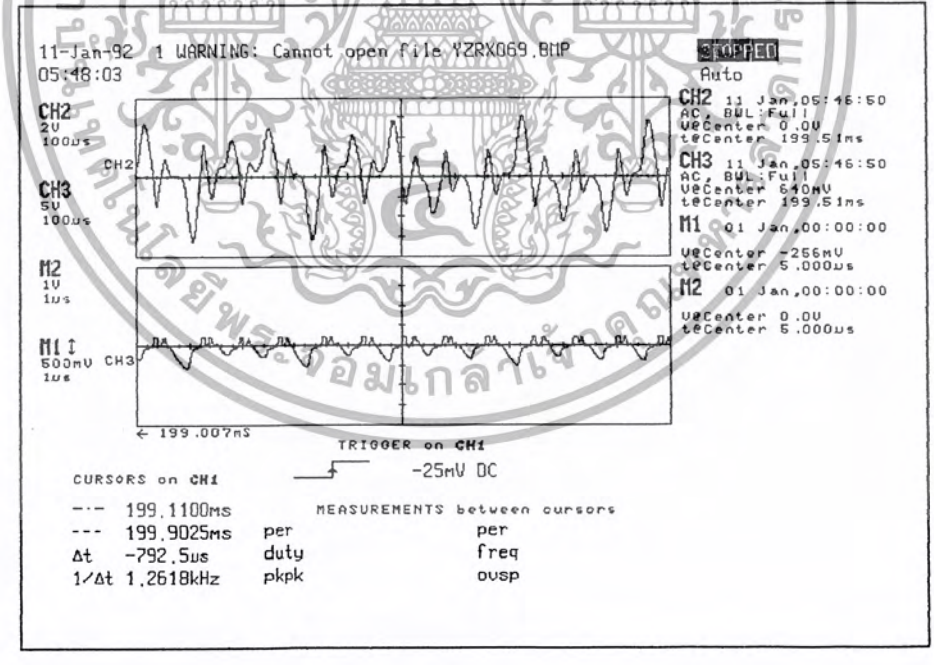


รูปที่ 4.12 แสดงผลการวัดสัญญาณ XZ ภาคส่ง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่4.13 แสดงผลการวัดสัญญาณ YZ ภาครับ



รูปที่ 4.14 แสดงผลการวัดสัญญาณ YZ ภาครับ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 5
บทสรุป

ในโครงงานนี้ทำให้เข้าใจถึงหลักการของทฤษฎีของ CHEN ว่าเกิดขึ้นได้อย่างไร มีที่มาอย่างไร ทำให้เข้าใจสัญญาณหลุมวน ว่าเกิดขึ้นได้อย่างไรมีลักษณะการเกิดรูปคลื่นเป็นอย่างไร มีขนาดความถี่เท่าไร ทำให้รู้ถึงปัญหาต่างๆเมื่อไม่เกิดสัญญาณหลุมวนว่ามีสาเหตมาจากอะไรเช่น เกิดจากวงจรคูณ ดังนั้นเราจึงต้องมีหลักในการปรับแต่งวงจรคูณให้ได้มาตรฐานเหมือนกันทุกตัว เกิดมาจากการปรับค่าตัวต้านทานปรับค่าได้ ในวงจรเพราะแต่ละตัวจะมีผลต่อสัญญาณที่จะทำให้เกิดสัญญาณหลุมวน สัญญาณรบกวน(Noise) จะมีผลต่อวงจรเช่นกันจะทำให้ได้สัญญาณไม่ตรงตามต้องการ

จึงสรุปได้ว่าสัญญาณหลุมวนจะเกิดขึ้นได้หรือไม่นั้นก็มาจากสาเหตุหลักอยู่สามอย่างคือ การปรับแต่งวงจรคูณ การปรับตัวต้านทานปรับค่าได้ และสัญญาณรบกวน ดังนั้นเราจะต้องมีความเข้าใจและสามารถแก้ไขสาเหตุที่เกิดขึ้นได้ ต้องละเอียดและใจเย็น

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บรรณานุกรม

1. Chen, G. and Ueta , T. [1999] " Yet another chaotic attractor," Int. J. of Bifurcation and chaos.

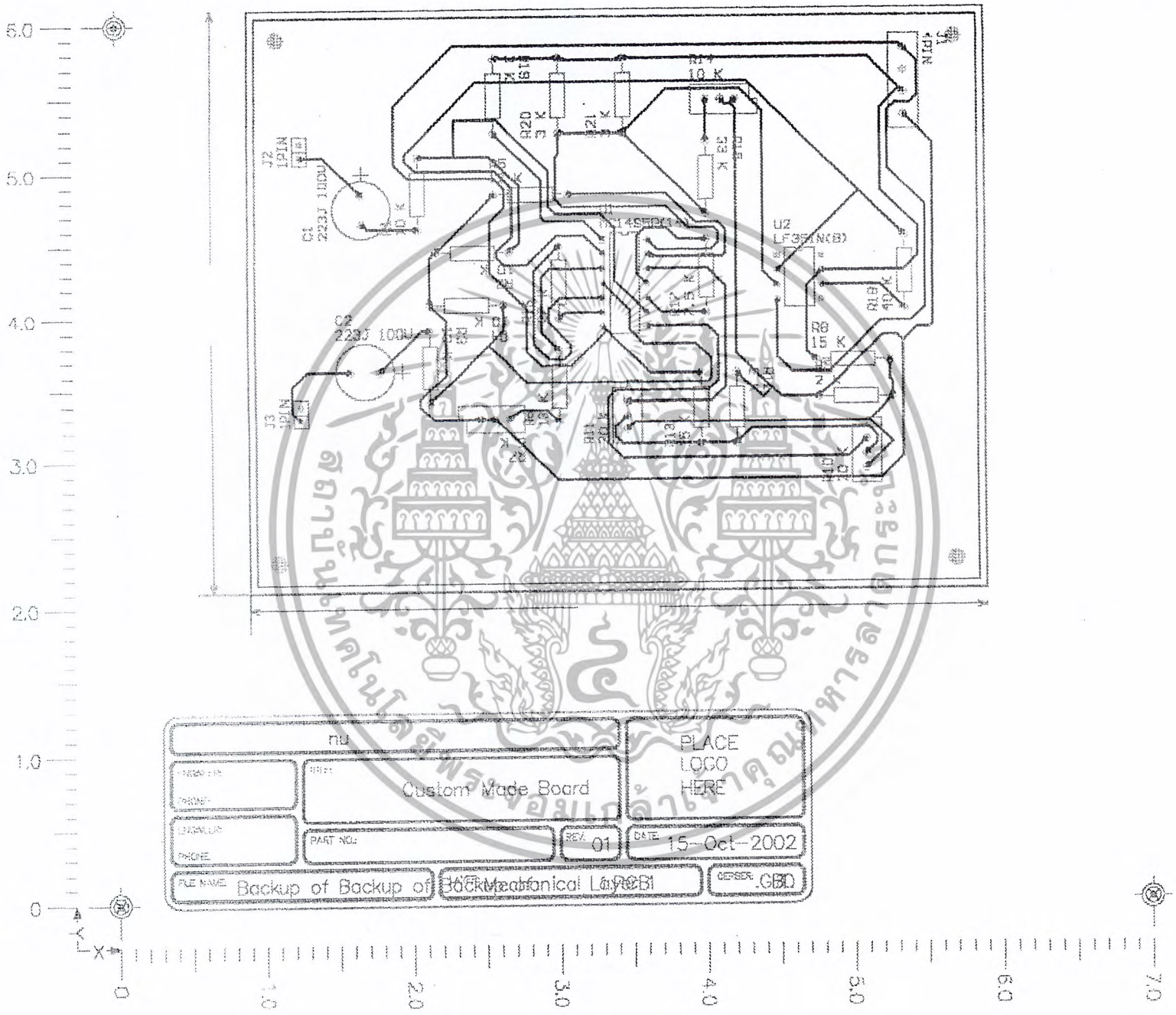
2. Lorenz, E. N. [1963] " Deterministic nonperiodic flow," J. Atmospheric Sci.

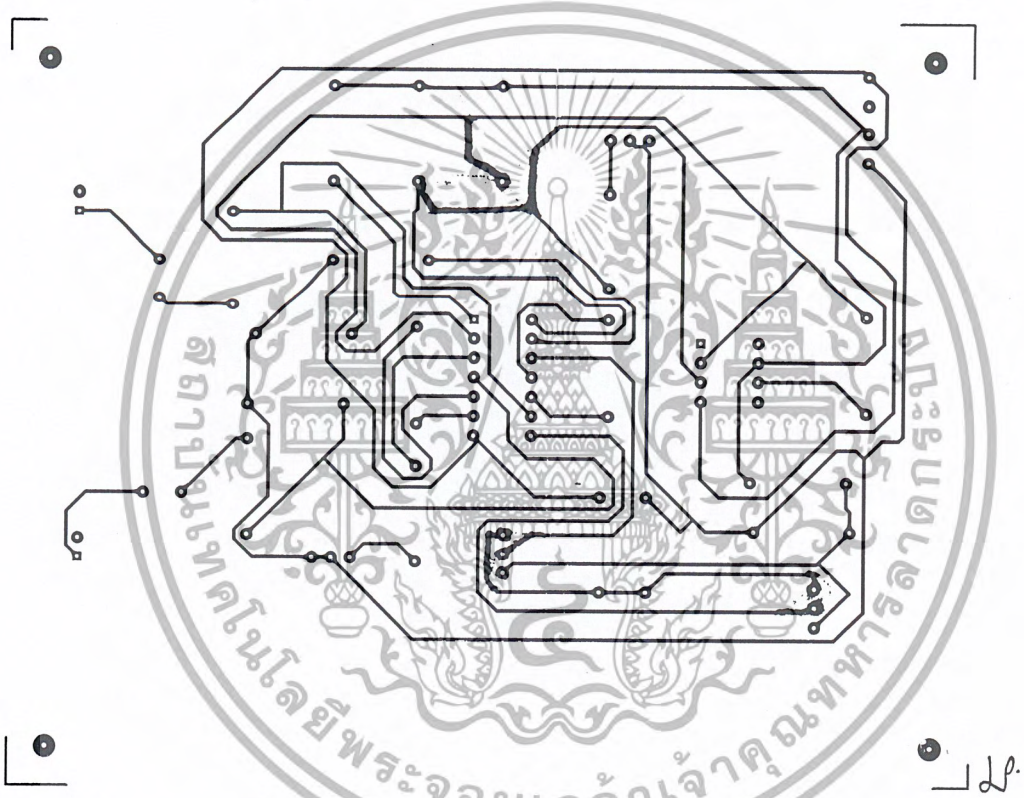
3. Ueta, T. and Chen , G. [2000] " Bifurcation analysis of Chen's equation ," Int. J. of Bifurcation and Chaos.

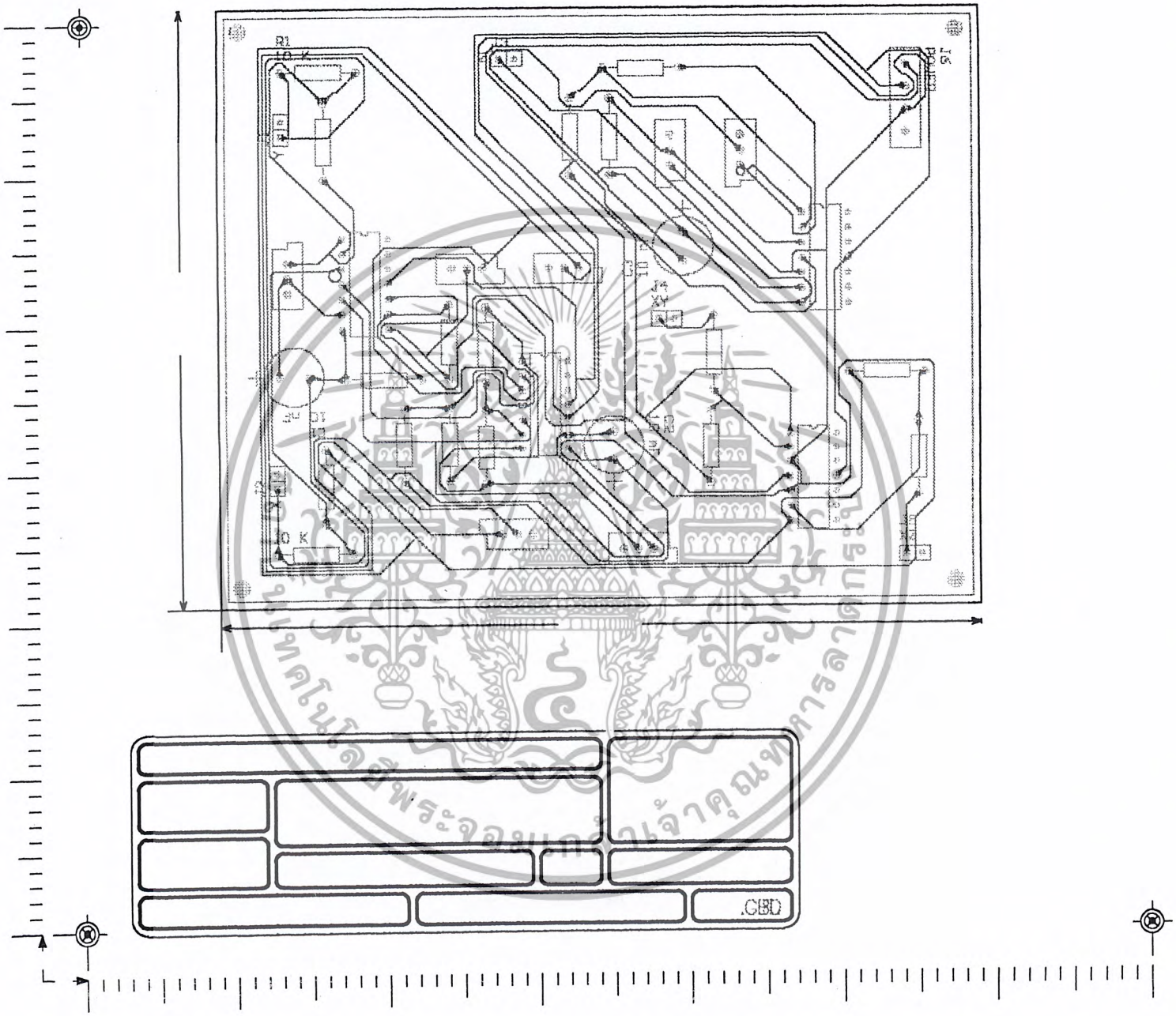
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

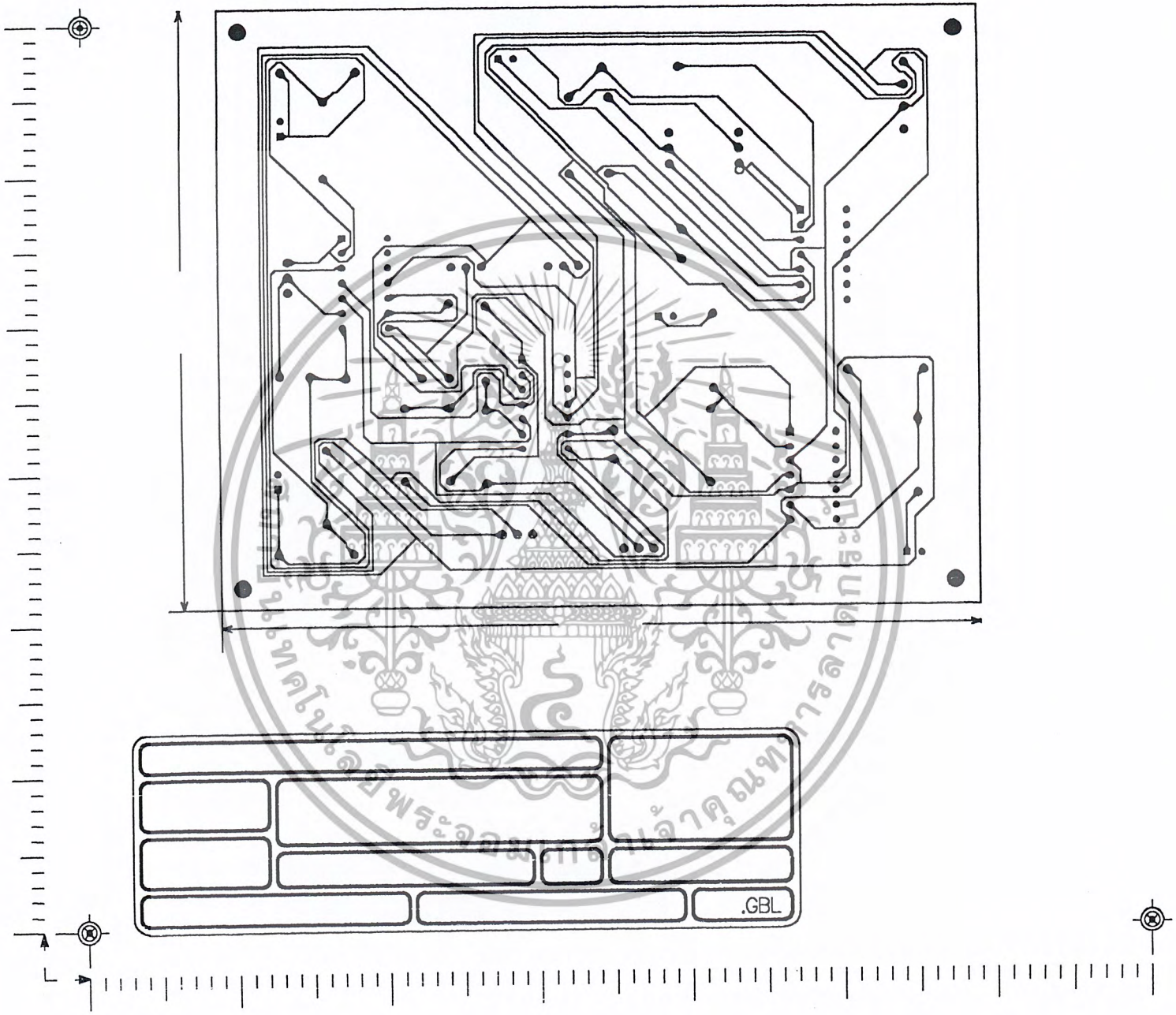
ภาคผนวก

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้


R14
10 K
J1
4PIN
J2
9PIN
C1
220U 16V
C2
220U 100V
U2
LF351N(8)
R8
15 K
J3
9PIN
Custom Made Board
PLACE
LOGO
HERE
PART NO.:
REV. 01
DATE 15-Oct-2002
FILE NAME Backup of Backup of Backup of Mechanical Layer.PCB
GERBER GBD




R1
10 K
10 K
10 K
C1
C2
C3
C4
C5
C6
C7
C8
C9
C10
C11
C12
C13
C14
C15
C16
C17
C18
C19
C20
C21
C22
C23
C24
C25
C26
C27
C28
C29
C30
C31
C32
C33
C34
C35
C36
C37
C38
C39
C40


.GBL

ON Semiconductor™

MC1495

Wideband Linear Four-Quadrant Multiplier

LINEAR FOUR-QUADRANT MULTIPLIER

SEMICONDUCTOR TECHNICAL DATA

The MC1495 is designed for use where the output is a linear product of two input voltages. Maximum versatility is assured by allowing the user to select the level shift method. Typical applications include: multiply, divide*, square root*, mean square*, phase detector, frequency doubler, balanced modulator/demodulator, and electronic gain control.

- Wide Bandwidth
- Excellent Linearity:
  - 2% max Error on X Input, 4% max Error on Y Input Over Temperature
  - 1% max Error on X Input, 2% max Error on Y Input at + 25°C
- Adjustable Scale Factor, K
- Excellent Temperature Stability
- Wide Input Voltage Range: ± 10 V
- ±15 V Operation

*When used with an operational amplifier.

D SUFFIX
PLASTIC PACKAGE
CASE 751A
(SO-14)

P SUFFIX
PLASTIC PACKAGE
CASE 646

MAXIMUM RATINGS (T_A = + 25°C, unless otherwise noted.)

Rating	Symbol	Value	Unit
Applied Voltage (V_2–V_1, V_{14}–V_1, V_1–V_9, V_1–V_{12}, V_1–V_4, V_1–V_8, V_{12}–V_7, V_9–V_7, V_8–V_7, V_4–V_7)	ΔV	30	Vdc
Differential Input Signal	V_{12}–V_9 V_4–V_8	± (6+I_{13} R_X) ± (6+I_3 R_Y)	Vdc
Maximum Bias Current	I_3 I_{13}	10 10	mA
Operating Temperature Range MC1495 MC1495B	T_A	 0 to +70 – 40 to +125	°C
Storage Temperature Range	T_{stg}	– 65 to +150	°C

ORDERING INFORMATION

Device	Tested Operating Temperature Range	Package
MC1495D	T_A = 0° to + 70°C	SO–14
MC1495P		Plastic DIP
MC1495BP	T_A = – 40° to +125°C	Plastic DIP

© Semiconductor Components Industries, LLC, 2001

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ELECTRICAL CHARACTERISTICS (+V = + 32 V , –V = –15 V, T_A = + 25°C, $I_3 = I_{13}$ = 1.0 mA, $R_X = R_Y$ = 15 kΩ, R_L = 11 kΩ, unless otherwise noted.)

Characteristics	Figure	Symbol	Min	Typ	Max	Unit
Linearity (Output Error in percent of full scale)	5					%
T_A = + 25°C						
–10 < V_X < +10 (V_Y = ±10 V)		E_{RX}	–	±1.0	±1.0	
–10 < V_Y < +10 (V_X = ±10 V)		E_{RY}	–	± 2.0	± 2.0	
$T_A = T_{Low}$ to T_{High}						
–10 < V_X < +10 (V_Y = ±10 V)		E_{RX}	–	±1.5	± 2.0	
–10 < V_Y < +10 (V_X = ±10 V)		E_{RY}	–	± 3.0	± 4.0	
Square Mode Error (Accuracy in percent of full scale after Offset and Scale Factor adjustment)	5	E_{SQ}				%
T_A = + 25°C			–	± 0.75	–	
$T_A = T_{Low}$ to T_{High}			–	±1.0	–	
Scale Factor (Adjustable) $\left(K = \frac{2R_L}{1_3 R_X R_Y}\right)$	–	K	–	0.1	–	
Input Resistance (f = 20 Hz)	7	R_{inX}	–	30	–	MΩ
		R_{inY}	–	20	–	
Differential Output Resistance (f = 20 Hz)	8	R_O	–	300	–	kΩ
Input Bias Current	6					µA
$I_{bx} = \frac{(I_9 + I_{12})}{2}$, $I_{by} = \frac{(I_4 + I_8)}{2}$ T_A = + 25°C		I_{bx}, I_{by}	–	2.0	8.0	
$T_A = T_{Low}$ to T_{High}			–	2.0	12	
Input Offset Current $\lvert I_9 - I_{12}\rvert$ T_A = + 25°C	6	$\lvert I_{iox}\rvert$, $\lvert I_{ioy}\rvert$	–	0.4	1.0	µA
$\lvert I_4 - I_8\rvert$ $T_A = T_{Low}$ to T_{High}			–	0.4	2.0	
Average Temperature Coefficient of Input Offset Current $T_A = T_{Low}$ to T_{High}	6	$\lvert TC_{Iio}\rvert$	–	2.5	–	nA/°C
Output Offset Current $\lvert I_{14} - I_2\rvert$ T_A = + 25°C	6	$\lvert I_{OO}\rvert$	–	10	50	µA
$T_A = T_{Low}$ to T_{High}			–	20	100	
Average Temperature Coefficient of Output Offset Current $T_A = T_{Low}$ to T_{High}	6	$\lvert TC_{IOO}\rvert$	–	20	–	nA/°C
Frequency Response	9,10					
3.0 dB Bandwidth, R_L = 11 kΩ		$BW_{(3dB)}$	–	3.0	–	MHz
3.0 dB Bandwidth, R_L = 50 Ω (Transconductance Bandwidth)		$T_{BW(3dB)}$	–	80	–	MHz
3° Relative Phase Shift Between V_X and V_Y		fφ	–	750	–	kHz
1% Absolute Error Due to Input-Output Phase Shift		fθ	–	30	–	kHz
Common Mode Input Swing (Either Input)	11	CMV	±10.5	±12	–	Vdc
Common Mode Gain T_A = + 25°C	11	A_{CM}	– 50	– 60	–	dB
(Either Input) $T_A = T_{Low}$ to T_{High}			– 40	– 50	–	
Common Mode Quiescent	12	V_{O1}	–	21	–	Vdc
Output Voltage		V_{O2}	–	21	–	
Differential Output Voltage Swing Capability	9	V_O	–	±14	–	V_{pk}
Power Supply Sensitivity	12	S^+	–	5.0	–	mV/V
		S^-	–	10	–	
Power Supply Current	12	I_7	–	6.0	7.0	mA
DC Power Dissipation	12	P_D	–	135	170	mW

NOTES: 1. T_{High} = +70°C for MC1495 = +125°C for MC1495B T_{Low} = 0°C for MC1495 = – 40°C for MC1495B

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

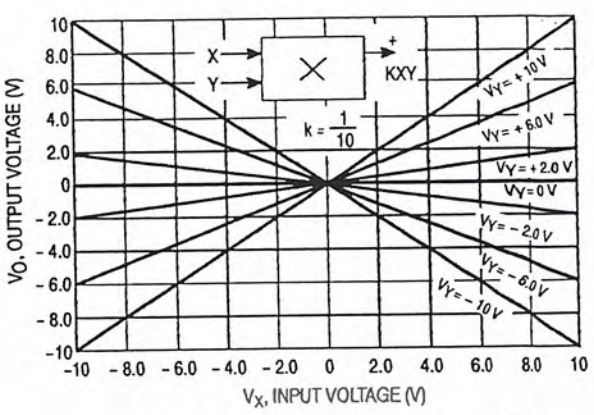


Figure 1. Multiplier Transfer Characteristic

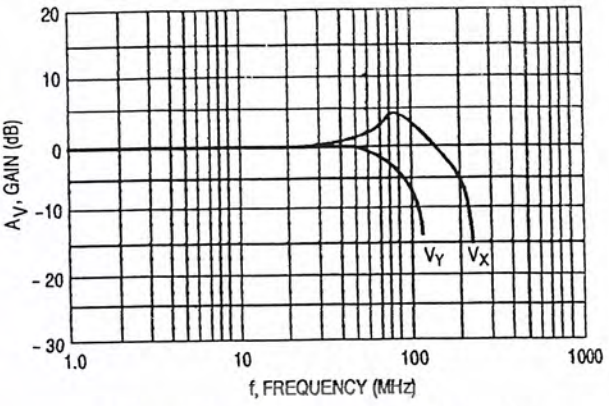


Figure 2. Transconductance Bandwidth

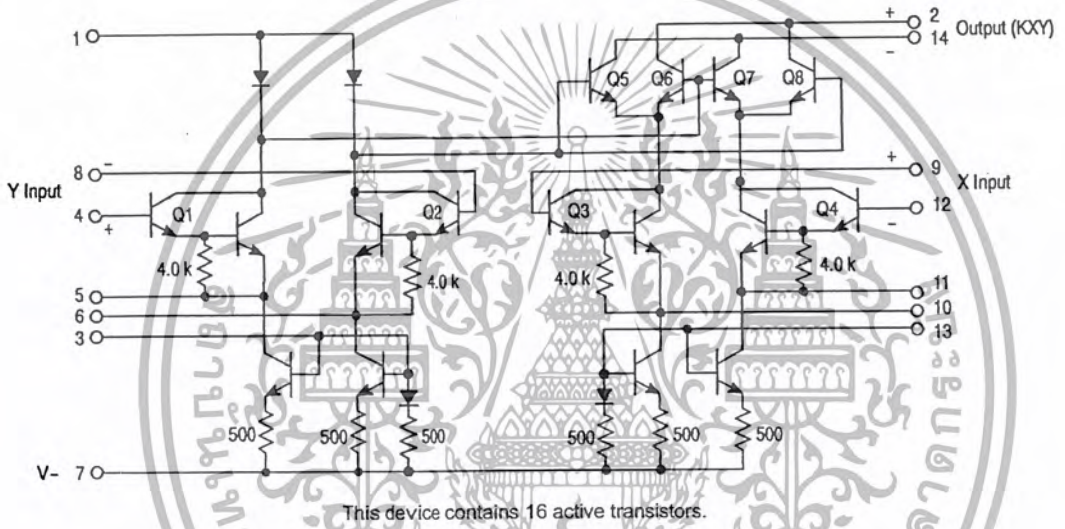
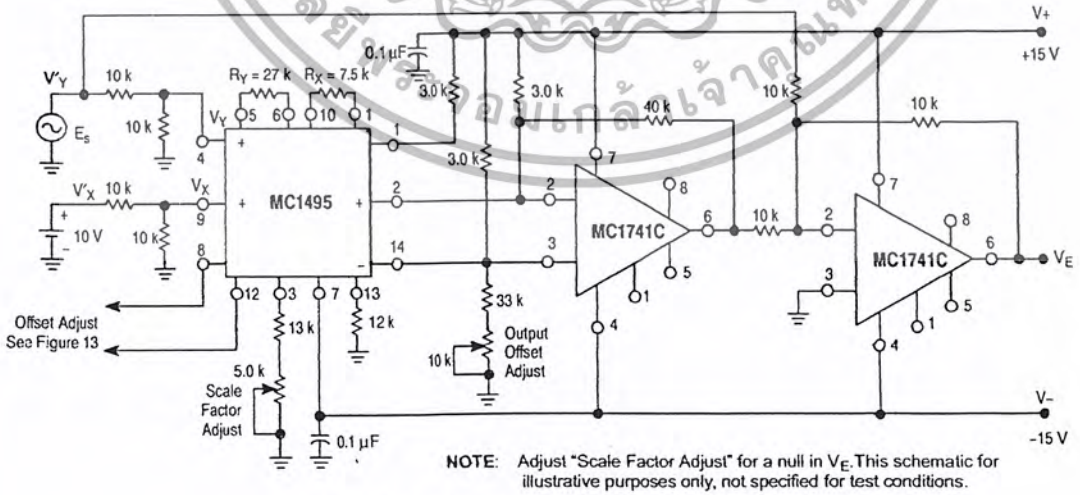


Figure 3. Circuit Schematic



NOTE: Adjust "Scale Factor Adjust" for a null in V_E. This schematic for illustrative purposes only, not specified for test conditions.

Figure 4. Linearity (Using Null Technique)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

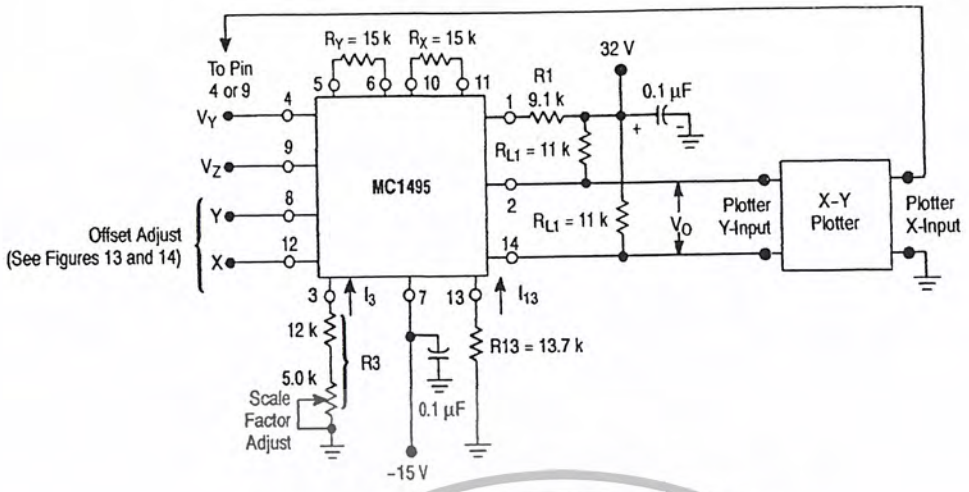


Figure 5. Linearity (Using X-Y Plotter Technique)

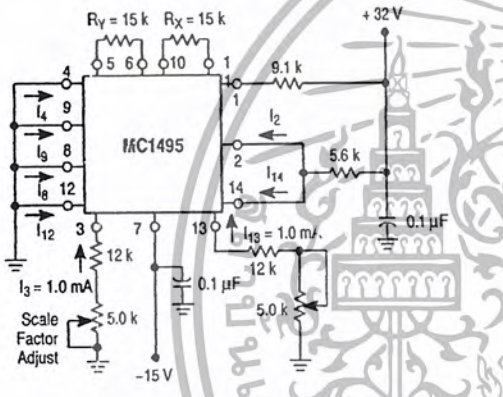


Figure 6. Input and Output Current

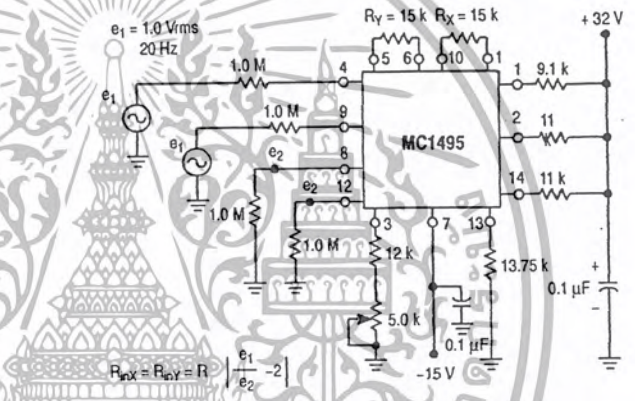


Figure 7. Input Resistance

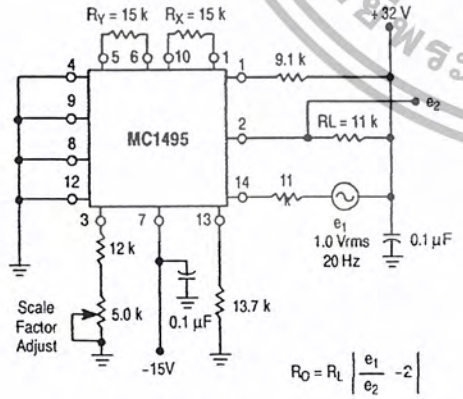


Figure 8. Output Resistance

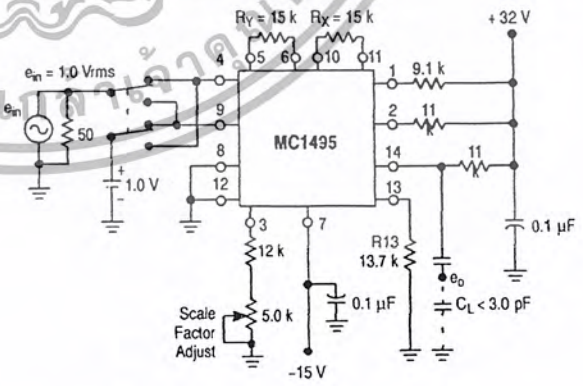


Figure 9. Bandwidth (R_L = 11 kΩ)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

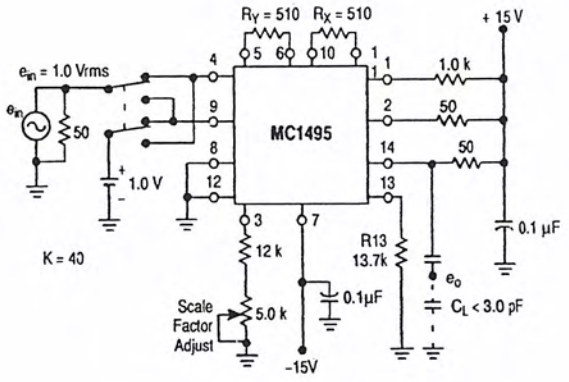


Figure 10. Bandwidth (R_L = 50 Ω)

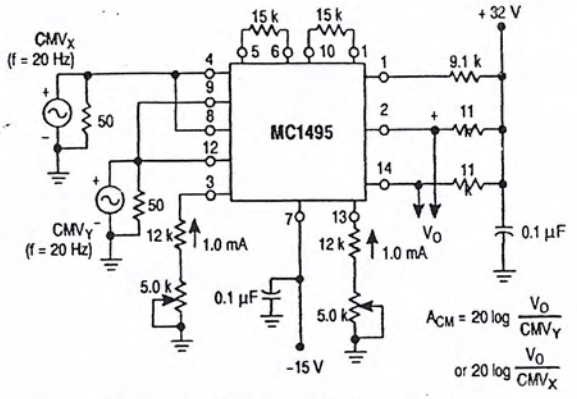


Figure 11. Common Mode Gain and Common Mode Input Swing

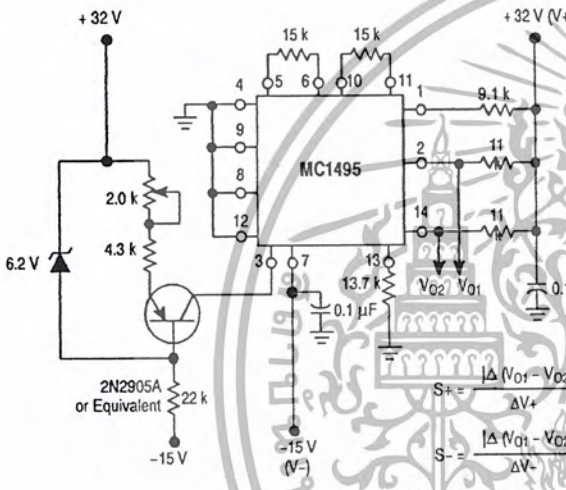


Figure 12. Power Supply Sensitivity

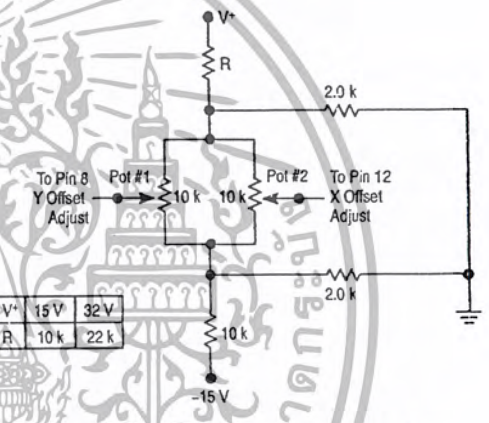


Figure 13. Offset Adjust Circuit

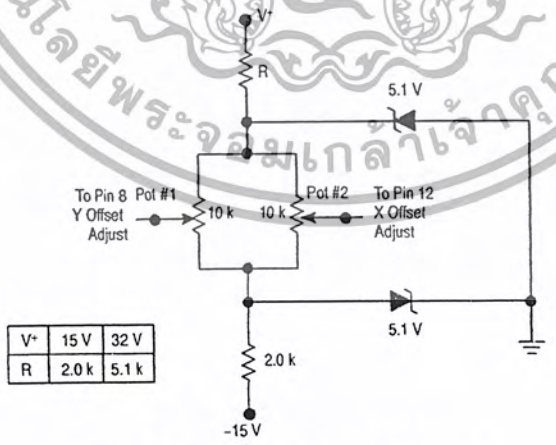


Figure 14. Offset Adjust Circuit (Alternate)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

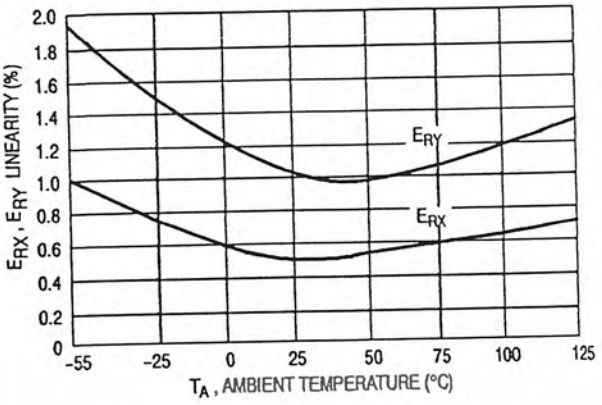


Figure 15. Linearity versus Temperature

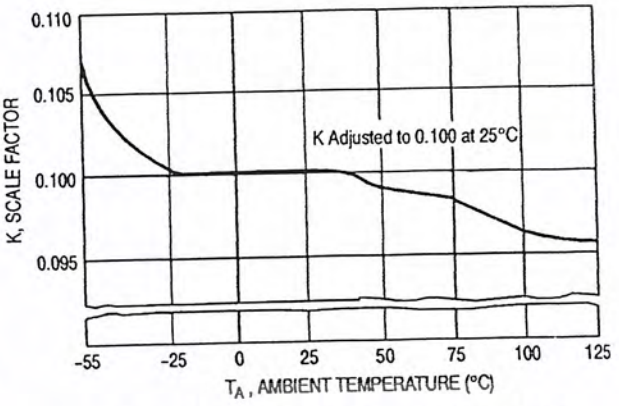


Figure 16. Scale Factor versus Temperature

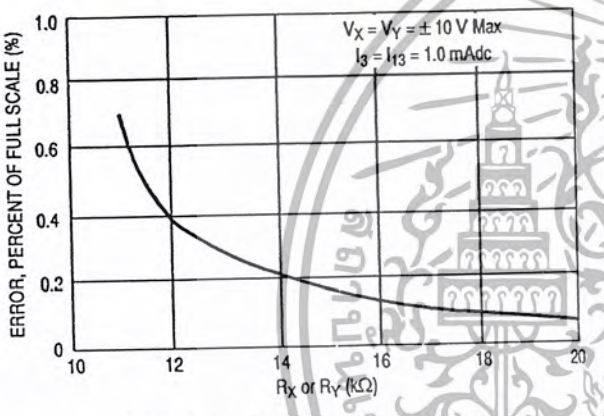


Figure 17. Error Contributed by Input Differential Amplifier

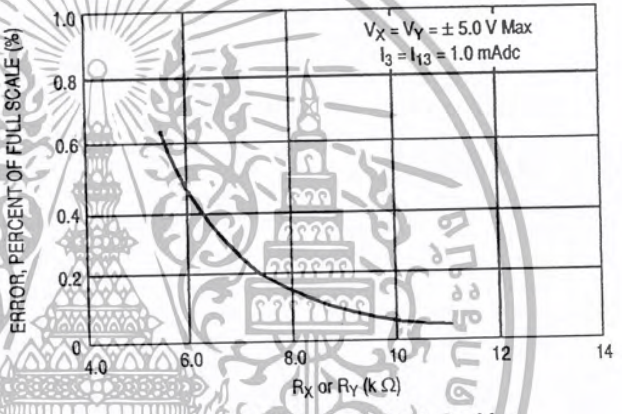


Figure 18. Error Contributed by Input Differential Amplifier

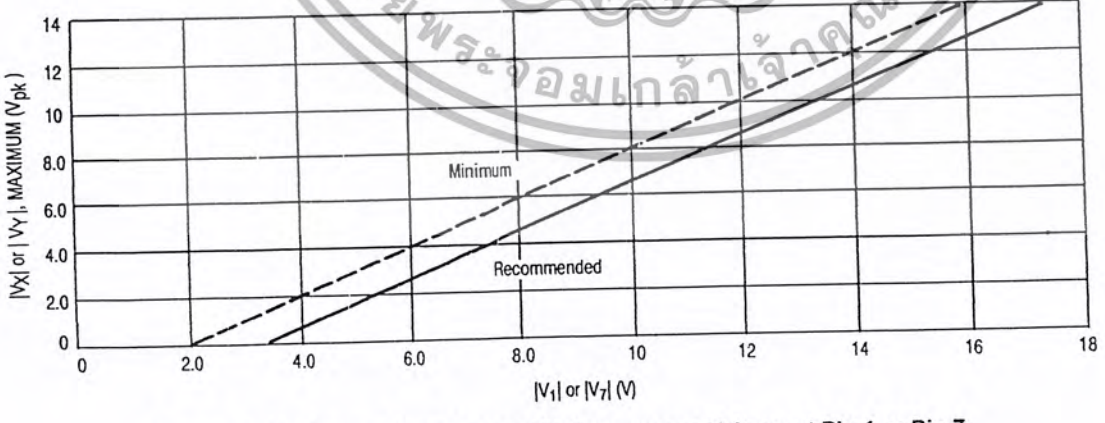


Figure 19. Maximum Allowable Input Voltage versus Voltage at Pin 1 or Pin 7

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

OPERATION AND APPLICATIONS INFORMATION

Theory of Operation

The MC1495 is a monolithic, four-quadrant multiplier which operates on the principle of variable transconductance. A detailed theory of operation is covered in Application Note AN489, *Analysis and Basic Operation of the MC1595*. The result of this analysis is that the differential output current of the multiplier is given by:

$$I_A - I_B = \Delta I = \frac{2V_X V_Y}{R_X R_Y I_3}$$

where, I_A and I_B are the currents into Pins 14 and 2, respectively, and V_X and V_Y are the X and Y input voltages at the multiplier input terminals.

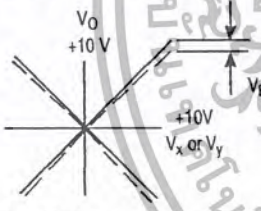
DESIGN CONSIDERATIONS

General

The MC1495 permits the designer to tailor the multiplier to a specific application by proper selection of external components. External components may be selected to optimize a given parameter (e.g. bandwidth) which may in turn restrict another parameter (e.g. maximum output voltage swing). Each important parameter is discussed in detail in the following paragraphs.

Linearity, Output Error, E_{RX} or E_{RY}

Linearity error is defined as the maximum deviation of output voltage from a straight line transfer function. It is expressed as error in percent of full scale (see figure below).



For example, if the maximum deviation, $V_{E(max)}$, is ±100 mV and the full scale output is 10 V, then the percentage error is:

$$E_R = \frac{V_{E(max)}}{V_{O(max)}} \times 100 = \frac{100 \times 10^{-3}}{10} \times 100 = \pm 1.0\%$$

Linearity error may be measured by either of the following methods:

1. Using an X-Y plotter with the circuit shown in Figure 5, obtain plots for X and Y similar to the one shown above.
2. Use the circuit of Figure 4. This method nulls the level shifted output of the multiplier with the original input. The peak output of the null operational amplifier will be equal to the error voltage, $V_{E\,(max)}$.

One source of linearity error can arise from large signal nonlinearity in the X and Y input differential amplifiers. To avoid introducing error from this source, the emitter degeneration resistors R_X and R_Y must be chosen large enough so that nonlinear base-emitter voltage variation can be ignored. Figures 17 and 18 show the error expected from this source as a function of the values of R_X and R_Y with an operating current of 1.0 mA in each side of the differential amplifiers (i.e., $I_3 = I_{13} = 1.0$ mA).

3 dB Bandwidth and Phase Shift

Bandwidth is primarily determined by the load resistors and the stray multiplier output capacitance and/or the operational amplifier used to level shift the output. If wideband operation is desired, low value load resistors and/or a wideband operational amplifier should be used. Stray output capacitance will depend to a large extent on circuit layout.

Phase shift in the multiplier circuit results from two sources: phase shift common to both X and Y channels (due to the load resistor-output capacitance pole mentioned above) and relative phase shift between X and Y channels (due to differences in transadmittance in the X and Y channels). If the input to output phase shift is only 0.6°, the output product of two sine waves will exhibit a vector error of 1%. A 3° relative phase shift between V_X and V_Y results in a vector error of 5%.

Maximum Input Voltage

$V_{X(max)}$, $V_{Y(max)}$ input voltages must be such that:

$$V_{X(max)} < I_{13} R_Y$$
$$V_{Y(max)} < I_3 R_Y$$

Exceeding this value will drive one side of the input amplifier to "cutoff" and cause nonlinear operation.

Current I_3 and I_{13} are chosen at a convenient value (observing power dissipation limitation) between 0.5 mA and 2.0 mA, approximately 1.0 mA. Then R_X and R_Y can be determined by considering the input signal handling requirements.

For $V_{X(max)} = V_{Y(max)} = 10$ V;

$$R_X = R_Y > \frac{10\ V}{1.0\ mA} = 10\ k\Omega.$$

The equation $I_A - I_B = \frac{2V_X V_Y}{R_X R_Y I_3}$

is derived from $I_A - I_B = \frac{2V_X V_Y}{(R_X + \frac{2kT}{qI_{13}})(R_Y + \frac{2kT}{qI_3}) I_3}$

with the assumption $R_X >> \frac{2kT}{qI_{13}}$ and $R_Y >> \frac{2kT}{qI_3}$.

At $T_A = +25°C$ and $I_{13} = I_3 = 1.0$ mA,

$$\frac{2kT}{qI_{13}} = \frac{2kT}{qI_3} = 52\ \Omega.$$

Therefore, with $R_X = R_Y = 10$ kΩ the above assumption is valid. Reference to Figure 19 will indicate limitations of $V_{X(max)}$ or $V_{Y(max)}$ due to V_1 and V_7. Exceeding these limits will cause saturation or "cutoff" of the input transistors. See Step 4 of General Design Procedure for further details.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Maximum Output Voltage Swing

The maximum output voltage swing is dependent upon the factors mentioned below and upon the particular circuit being considered.

For Figure 20 the maximum output swing is dependent upon V^+ for positive swing and upon the voltage at Pin 1 for negative swing. The potential at Pin 1 determines the quiescent level for transistors Q_5, Q_6, Q_7 and Q_8. This potential should be related so that negative swing at Pins 2 or 14 does not saturate those transistors. See General Design Procedure for further information regarding selection of these potentials.

If an operational amplifier is used for level shift, as shown in Figure 21, the output swing (of the multiplier) is greatly reduced. See Section 3 for further details.

GENERAL DESIGN PROCEDURE

Selection of component values is best demonstrated by the following example. Assume resistive dividers are used at the X and Y-inputs to limit the maximum multiplier input to ± 5.0 V [$V_X = V_{Y(max)}$] for a ± 10 V input [$V_{X'} = V_{Y'(max)}$] (see Figure 21). If an overall scale factor of 1/10 is desired,

$$\text{then, } V_O = \frac{V_{X'}\,V_{Y'}}{10} = \frac{(2V_X)\,(2V_Y)}{10} = 4/10\ V_X\,V_Y$$

Therefore, K = 4/10 for the multiplier (excluding the divider network).

Step 1. The fist step is to select current I_3 and current I_{13}. There are no restrictions on the selection of either of these currents except the power dissipation of the device. I_3 and I_{13} will normally be 1.0 mA or 2.0 mA. Further, I_3 does not have to be equal to I_{13}, and there is normally no need to make them different. For this example, let

$$I_3 = I_{13} = 1.0\ \text{mA}.$$

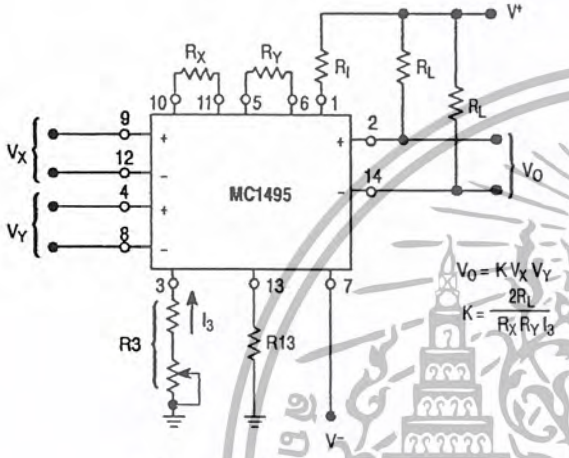


Figure 20. Basic Multiplier

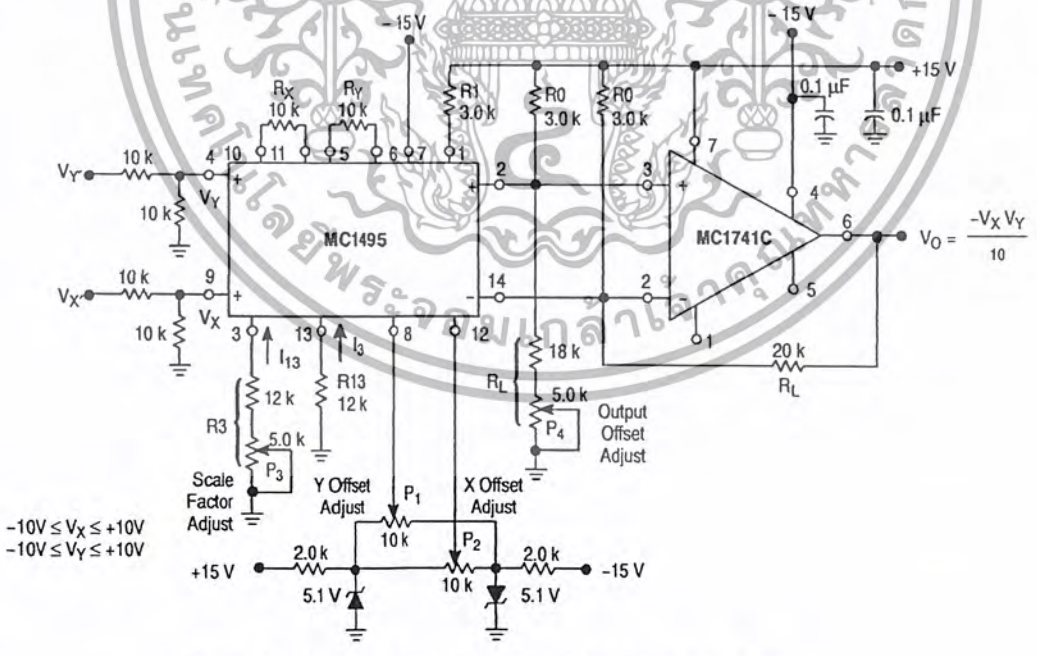


Figure 21. Multiplier with Operational Amplifier Level Shift

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

To set currents I_3 and I_{13} to the desired value, it is only necessary to connect a resistor between Pin 13 and ground, and between Pin 3 and ground. From the schematic shown in Figure 3, it can be seen that the resistor values necessary are given by:

$$R13 + 500\ \Omega = \frac{|V-| - 0.7\ V}{I_{13}}$$

$$R3 + 500\ \Omega = \frac{|V-| - 0.7\ V}{I_3}$$

Let V– = –15 V, then $R13 + 500 = \frac{14.3\ V}{1.0\ mA}$ or R13 = 13.8 kΩ

Let R_{13} = 12 kΩ. Similarly, R_3 = 13.8 kΩ, let R_3 = 15 kΩ

However, for applications which require an accurate scale factor, the adjustment of R_3 and consequently, I_3, offers a convenient method of making a final trim of the scale factor. For this reason, as shown in Figure 21, resistor R_3 is shown as a fixed resistor in series with a potentiometer.

For applications not requiring an exact scale factor (balanced modulator, frequency doubler, AGC amplifier, etc.) Pins 3 and 13 can be connected together and a single resistor from Pin 3 to ground can be used. In this case, the single resistor would have a value of 1/2 the above calculated value for R_{13}.

Step 2. The next step is to select R_X and R_Y. To insure that the input transistors will always be active, the following conditions should be met:

$$\frac{V_X}{R_X} < I_{13}, \quad \frac{V_Y}{R_Y} < I_3$$

A good rule of thumb is to make $I_3R_Y \geq 1.5\ V_{Y(max)}$ and $I_{13}\ R_X \geq 1.5\ V_{X(max)}$. The larger the I_3R_Y and $I_{13}R_X$ product in relation to V_Y and V_X respectively, the more accurate the multiplier will be (see Figures 17 and 18).

Let $R_X = R_Y$ = 10 kΩ,
then I_3R_Y = 10 V
$I_{13}R_X$ = 10 V

since $V_{X(max)} = V_{Y(max)}$ = 5.0 V, the value of $R_X = R_Y$ = 10 kΩ is sufficient.

Step 3. Now that R_X, R_Y and I_3 have been chosen, R_L can be determined:

$$K = \frac{2R_L}{R_X R_Y I_3} = \frac{4}{10}, \text{ or } \frac{(2)(R_L)}{(10\ k)(10\ k)(1.0\ mA)} = \frac{4}{10}$$

Thus R_L = 20 kΩ.

Step 4. To determine what power supply voltage is necessary for this application, attention must be given to the circuit schematic shown in Figure 3. From the circuit schematic it can be seen that in order to maintain transistors Q_1, Q_2, Q_3 and Q_4 in an active region when the maximum input voltages are applied ($V_{X'} = V_{Y'}$ = 10 V or V_X = 5.0 V, V_Y = 5.0 V), their respective collector voltage should be at least a few tenths of a volt higher than the maximum input voltage. It should also be noticed that the collector voltage of transistors Q_3 and Q_4 is at a potential which is two diode-drops below the voltage at Pin 1. Thus, the voltage at Pin 1 should be about 2.0 V higher than the maximum input voltage. Therefore, to handle +5.0 V at the inputs, the voltage at Pin 1 must be at least +7.0 V. Let V_1 = 9.0 Vdc.

Since the current flowing into Pin 1 is always equal to $2I_3$, the voltage at Pin 1 can be set by placing a resistor (R_1) from Pin 1 to the positive supply:

$$R_1 = \frac{V^+ - V_1}{2I_3}$$

Let V+ = 15 V, then $R_1 = \frac{15\ V - 9.0\ V}{(2)\ (1.0\ mA)}$

R_1 = 3.0 kΩ.

Note that the voltage at the base of transistors Q_5, Q_6, Q_7 and Q_8 is one diode-drop below the voltage at Pin 1. Thus, in order that these transistors stay active, the voltage at Pins 2 and 14 should be approximately halfway between the voltage at Pin 1 and the positive supply voltage. For this example, the voltage at Pins 2 and 14 should be approximately 11 V.

Step 5. For dc applications, such as the multiply, divide and square-root functions, it is usually desirable to convert the differential output to a single-ended output voltage referenced to ground. The circuit shown in Figure 22 performs this function. It can be shown that the output voltage of this circuit is given by:

$$V_O = (I_2 - I_{14})\ R_L$$

And since $I_A - I_B = I_2 - I_{14} = \frac{2I_X I_Y}{I_3} = \frac{2V_X V_Y}{I_3 R_X R_Y}$

then $V_O = \frac{2R_L\ V_X'\ V_Y'}{4R_X\ R_X\ I_3}$ where, $V_X'\ V_Y'$ is the voltage at the input to the voltage dividers.

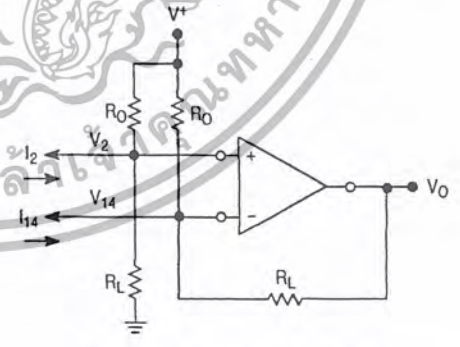


Figure 22. Level Shift Circuit

The choice of an operational amplifier for this application should have low bias currents, low offset current, and a high common mode input voltage range as well as a high common mode rejection ratio. The MC1456, and MC1741C operational amplifiers meet these requirements.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Referring to Figure 21, the level shift components will be determined. When $V_X = V_Y = 0$, the currents I_2 and I_{14} will be equal to I_{13}. In Step 3, R_L was found to be 20 kΩ and in Step 4, V_2 and V_{14} were found to be approximately 11 V. From this information R_O can be found easily from the following equation (neglecting the operational amplifiers bias current):

$$\frac{V2}{R_L} + I_{13} = \frac{V^+ - V_2}{R_O}$$

And for this example, $\frac{11\ V}{20\ k\Omega} + 1.0\ mA = \frac{15\ V - 11\ V}{R_O}$

Solving for R_O: $R_O = 2.6\ k\Omega$, thus, select $R_O = 3.0\ k\Omega$

For $R_O = 3.0\ k\Omega$, the voltage at Pins 2 and 14 is calculated to be:

$$V_2 = V_{14} = 10.4\ V.$$

The linearity of this circuit (Figure 21) is likely to be as good or better than the circuit of Figure 5. Further improvements are possible as shown in Figure 23 where R_Y has been increased substantially to improve the Y linearity, and R_X decreased somewhat so as not to materially affect the X linearity. This avoids increasing R_L significantly in order to maintain a K of 0.1.

The versatility of the MC1495 allows the user to to optimize its performance for various input and output signal levels.

OFFSET AND SCALE FACTOR ADJUSTMENT

Offset Voltages

Within the monolithic multiplier (Figure 3) transistor base- emitter junctions are typically matched within 1.0 mV and resistors are typically matched within 2%. Even with this careful matching, an output error can occur. This output error is comprised of X-input offset voltage, Y-input offset voltage, and output offset voltage. These errors can be adjusted to zero with the techniques shown in Figure 21. Offset terms can be shown analytically by the transfer function:

$$V_O = K[V_x \pm V_{iox} \pm V_{x(off)}] [V_y \pm V_{ioy} \pm V_{y(off)}] \pm V_{OO} \quad (1)$$

Where:
- K = scale factor
- V_x = "x" input voltage
- V_y = "y" input voltage
- V_{iox} = "x" input offset voltage
- V_{ioy} = "y" input offset voltage
- $V_{x(off)}$ = "x" input offset adjust voltage
- $V_{y(off)}$ = "y" input offset adjust voltage
- V_{OO} = output offset voltage.

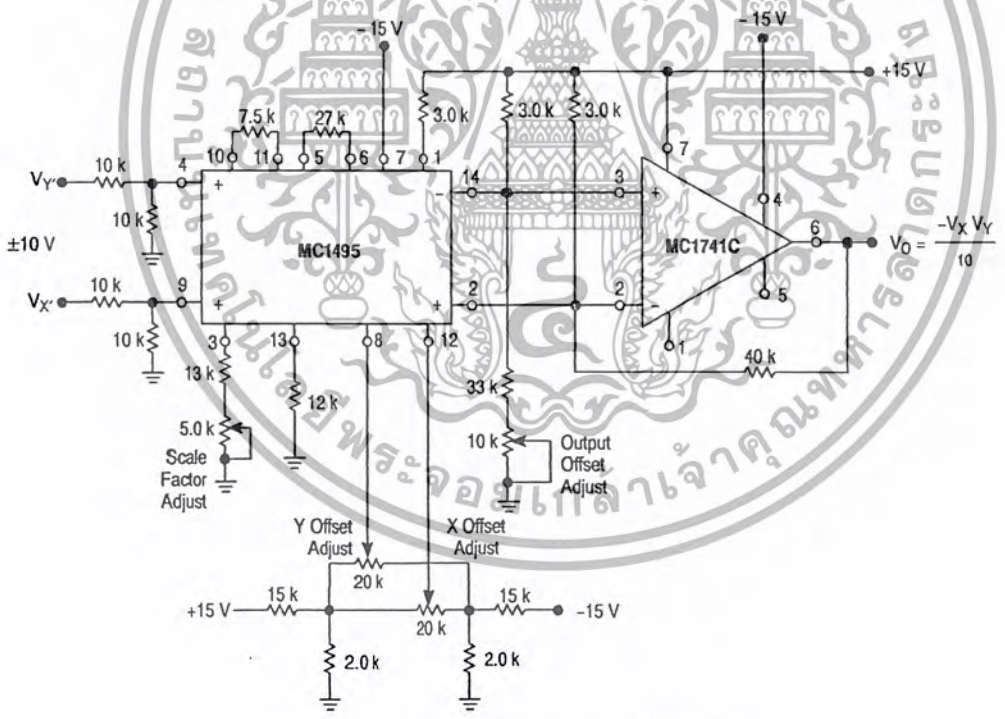
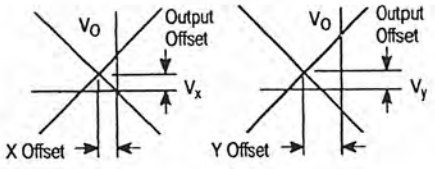


Figure 23. Multiplier with Improved Linearity

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

X, Y and Output Offset Voltages



For most dc applications, all three offset adjust potentiometers (P_1, P_2, P_4) will be necessary. One or more offset adjust potentiometers can be eliminated for ac applications (see Figures 28, 29, 30, 31).

If well regulated supply voltages are available, the offset adjust circuit of Figure 13 is recommended. Otherwise, the circuit of Figure 14 will greatly reduce the sensitivity to power supply changes.

Scale Factor

The scale factor K is set by P_3 (Figure 21). P_3 varies I_3 which inversely controls the scale factor K. It should be noted that current I_3 is one-half the current through R_1. R_1 sets the bias level for Q_5, Q_6, Q_7, and Q_8 (see Figure 3). Therefore, to be sure that these devices remain active under all conditions of input and output swing, care should be exercised in adjusting P_3 over wide voltage ranges (see General Design Procedure).

Adjustment Procedures

The following adjustment procedure should be used to null the offsets and set the scale factor for the multiply mode of operation, (see Figure 21).

1. X-Input Offset
   (a) Connect oscillator (1.0 kHz, 5.0 V_{pp} sinewave) to the Y-input (Pin 4).
   (b) Connect X-input (Pin 9) to ground.
   (c) Adjust X offset potentiometer (P_2) for an ac null at the output.
2. Y-Input Offset
   (a) Connect oscillator (1.0 kHz, 5.0 V_{pp} sinewave) to the X-input (Pin 9).
   (b) Connect Y-input (Pin 4) to ground.
   (c) Adjust Y offset potentiometer (P_1) for an ac null at the output.
3. Output Offset
   (a) Connect both X and Y-inputs to ground.
   (b) Adjust output offset potentiometer (P_4) until the output voltage (V_O) is 0 Vdc.
4. Scale Factor
   (a) Apply +10 Vdc to both the X and Y-inputs.
   (b) Adjust P_3 to achieve + 10 V at the output.
5. Repeat steps 1 through 4 as necessary.

The ability to accurately adjust the MC1495 depends upon the characteristics of potentiometers P_1 through P_4. Multi-turn, infinite resolution potentiometers with low temperature coefficients are recommended.

DC APPLICATIONS

Multiply

The circuit shown in Figure 21 may be used to multiply signals from dc to 100 kHz. Input levels to the actual multiplier are 5.0 V (max). With resistive voltage dividers the maximum could be very large however, for this application two-to-one dividers have been used so that the maximum input level is 10 V. The maximum output level has also been designed for 10 V (max).

Squaring Circuit

If the two inputs are tied together, the resultant function is squaring; that is $V_O = KV^2$ where K is the scale factor. Note that all error terms can be eliminated with only three adjustment potentiometers, thus eliminating one of the input offset adjustments. Procedures for nulling with adjustments are given as follows:

A. AC Procedure:
   1. Connect oscillator (1.0 kHz, 15 V_{pp}) to input.
   2. Monitor output at 2.0 kHz with tuned voltmeter and adjust P_3 for desired gain. (Be sure to peak response of the voltmeter.)
   3. Tune voltmeter to 1.0 kHz and adjust P_1 for a minimum output voltage.
   4. Ground input and adjust P_4 (output offset) for 0 Vdc output.
   5. Repeat steps 1 through 4 as necessary.

B. DC Procedure:
   1. Set $V_X = V_Y = 0$ V and adjust P_4 (output offset potentiometer) such that $V_O = 0$ Vdc
   2. Set $V_X = V_Y = 1.0$ V and adjust P_1 (Y-input offset potentiometer) such that the output voltage is + 0.100 V.
   3. Set $V_X = V_Y = 10$ Vdc and adjust P_3 such that the output voltage is + 10 V.
   4. Set $V_X = V_Y = -10$ Vdc. Repeat steps 1 through 3 as necessary.

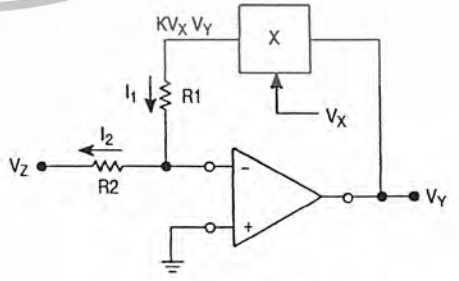


Figure 24. Basic Divide Circuit

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Divide Circuit

Consider the circuit shown in Figure 24 in which the multiplier is placed in the feedback path of an operational amplifier. For this configuration, the operational amplifier will maintain a "virtual ground" at the inverting (–) input. Assuming that the bias current of the operational amplifier is negligible, then $I_1 = I_2$ and,

$$\frac{KV_XV_Y}{R1} = \frac{-V_Z}{R2} \quad (1)$$

$$\text{Solving for } V_Y, \quad V_Y = \frac{-R1}{R2\,K}\frac{V_Z}{V_X} \quad (2)$$

$$\text{If } R1=R2, \quad V_Y = \frac{-V_Z}{KV_X} \quad (3)$$

$$\text{If } R1= KR2, \quad V_Y = \frac{-V_Z}{V_X} \quad (4)$$

Hence, the output voltage is the ratio of V_Z to V_X and provides a divide function. This analysis is, of course, the ideal condition. If the multiplier error is taken into account, the output voltage is found to be:

$$V_Y = -\left[\frac{R1}{R2\,K}\right]\frac{V_Z}{V_X} + \frac{\Delta E}{KV_X} \quad (5)$$

where ΔE is the error voltage at the output of the multiplier. From this equation, it is seen that divide accuracy is strongly dependent upon the accuracy at which the multiplier can be set, particularly at small values of V_Y. For example, assume that R1 = R2, and K = 1/10. For these conditions the output of the divide circuit is given by:

$$V_Y = \frac{-10\,V_Z}{V_X} + \frac{10\,\Delta E}{V_X} \quad (6)$$

From Equation 6, it is seen that only when $V_X = 10$ V is the error voltage of the divide circuit as low as the error of the multiply circuit. For example, when V_X is small, (0.1 V) the error voltage of the divide circuit can be expected to be a hundred times the error of the basic multiplier circuit.

In terms of percentage error,

$$\text{percentage error} = \frac{\text{error}}{\text{actual}} \times 100\%$$

or from Equation (5),

$$PE_D = \frac{\frac{\Delta E}{KV_X}}{\left[\frac{R1}{R2\,K}\right]\frac{V_Z}{V_X}} = \left[\frac{R2}{R1}\right]\frac{\Delta E}{V_Z} \quad (7)$$

From Equation 7, the percentage error is inversely related to voltage V_Z (i.e., for increasing values of V_Z, the percentage error decreases).

A circuit that performs the divide function is shown in Figure 25.

Two things should be emphasized concerning Figure 25.

1. The input voltage ($V_{X'}$) must be greater than zero and must be positive. This insures that the current out of Pin 2 of the multiplier will always be in a direction compatible with the polarity of V_Z.
2. Pin 2 and 14 of the multiplier have been interchanged in respect to the operational amplifiers input terminals. In this instance, Figure 25 differs from the circuit connection shown in Figure 21; necessitated to insure negative feedback around the loop.

A suggested adjustment procedure for the divide circuit.

1. Set V_Z = 0 V and adjust the output offset potentiometer (P_4) until the output voltage (V_O) remains at some (not necessarily zero) constant value as $V_{X'}$ is varied between +1.0 V and +10 V.
2. Keep V_Z at 0 V, set $V_{X'}$ at +10 V and adjust the Y input offset potentiometer (P_1) until V_O = 0 V.
3. Let $V_{X'} = V_Z$ and adjust the X-input offset potentiometer (P_2) until the output voltage remains at some (not necessarily – 10 V) constant value as $V_Z = V_{X'}$ is varied between +1.0 and +10 V.
4. Keep $V_{X'} = V_Z$ and adjust the scale factor potentiometer (P_3) until the average value of V_O is –10 V as $V_Z = V_{X'}$ is varied between +1.0 V and +10 V.
5. Repeat steps 1 through 4 as necessary to achieve optimum performance.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

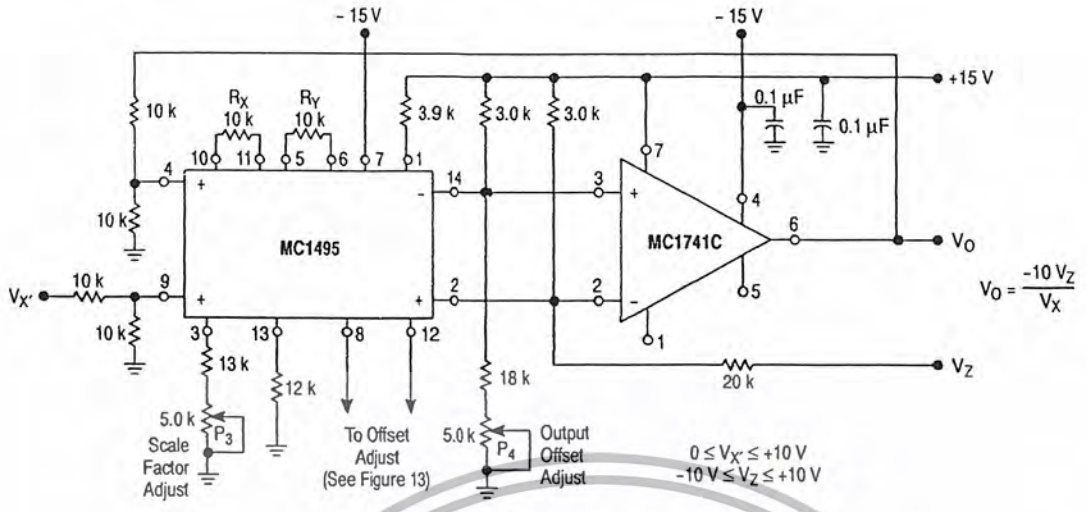


Figure 25. Divide Circuit

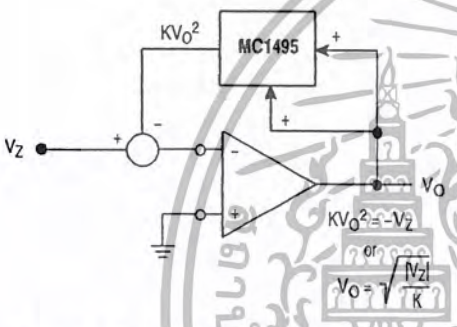


Figure 26. Basic Square Root Circuit

Square Root

A special case of the divide circuit in which the two inputs to the multiplier are connected together is the square root function as indicated in Figure 26. This circuit may suffer from latch-up problems similar to those of the divide circuit. Note that only one polarity of input is allowed and diode clamping (see Figure 27) protects against accidental latch-up.

This circuit also may be adjusted in the closed-loop mode as follows:

1. Set V_Z to –0.01 V and adjust P_4 (output offset) for V_O = +0.316 V, being careful to approach the output from the positive side to preclude the effect of the output diode clamping.
2. Set V_Z to –0.9 V and adjust P_2 (X adjust) for V_O = +3.0 V.
3. Set V_Z to –10 V and adjust P_3 (scale factor adjust) for V_O = +10 V.
4. Steps 1 through 3 may be repeated as necessary to achieve desired accuracy.

AC APPLICATIONS

The applications that follow demonstrate the versatility of the monolithic multiplier. If a potted multiplier is used for these cases, the results generally would not be as good because the potted units have circuits that, although they optimize dc multiplication operation, can hinder ac applications.

Frequency doubling often is done with a diode where the fundamental plus a series of harmonics are generated. However, extensive filtering is required to obtain the desired harmonic, and the second harmonic obtained under this technique usually is small in magnitude and requires amplification.

When a multiplier is used to double frequency the second harmonic is obtained directly, except for a dc term, which can be removed with ac coupling.

$$e_o = KE^2 \cos^2 \omega t$$

$$e_o = \frac{KE^2}{2} (1 + \cos 2\omega t).$$

A potted multiplier can be used to obtain the double frequency component, but frequency would be limited by its internal level-shift amplifier. In the monolithic units, the amplifier is omitted.

In a typical doubler circuit, conventional ± 15 V supplies are used. An input dynamic range of 5.0 V peak-to-peak is allowed. The circuit generates wave-forms that are double frequency; less than 1% distortion is encountered without filtering. The configuration has been successfully used in excess of 200 kHz; reducing the scale factor by decreasing the load resistors can further expand the bandwidth.

Figure 29 represents an application for the monolithic multiplier as a balanced modulator. Here, the audio input signal is 1.6 kHz and the carrier is 40 kHz.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

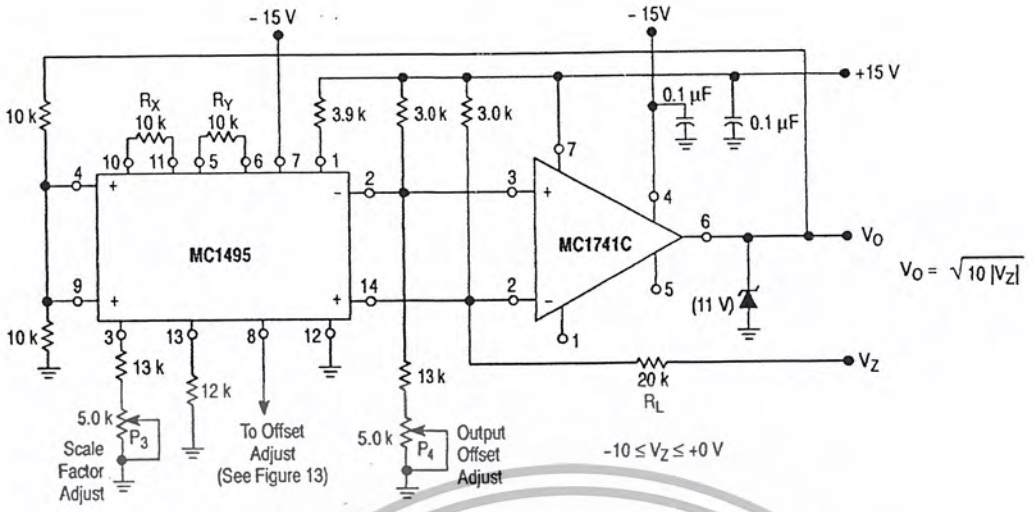
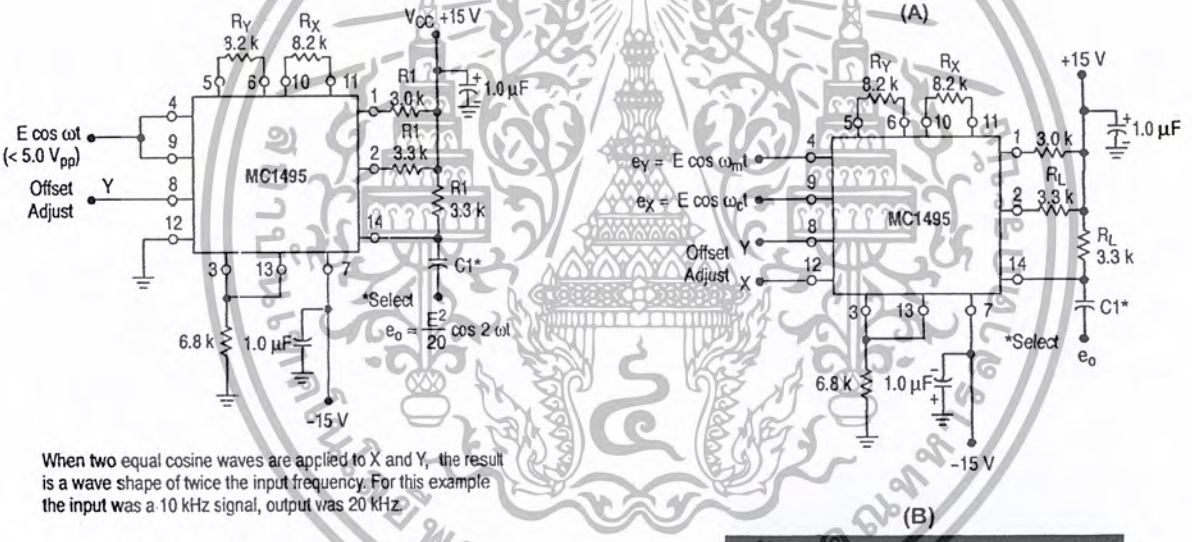


Figure 27. Square Root Circuit



When two equal cosine waves are applied to X and Y, the result is a wave shape of twice the input frequency. For this example the input was a 10 kHz signal, output was 20 kHz.

Figure 28. Frequency Doubler

Figure 29. Balanced Modulator

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

The defining equation for balanced modulation is

$$K(E_m \cos \omega_m t)(E_c \cos \omega_c t) =$$

$$\frac{KE_c E_m}{2} [\cos(\omega_c + \omega_m)t + \cos(\omega_c - \omega_m)t]$$

where ω_c is the carrier frequency, ω_m is the modulator frequency and K is the multiplier gain constant.

AC coupling at the output eliminates the need for level translation or an operational amplifier; a higher operating frequency results.

A problem common to communications is to extract the intelligence from single-sideband received signal. The ssb signal is of the form:

$$e_{ssb} = A \cos(\omega_c + \omega_m)t$$

and if multiplied by the appropriate carrier waveform, cos $\omega_c t$,

$$e_{ssb} e_{carrier} = \frac{AK}{2} [\cos(2\omega_c + \omega_m)t + \cos(\omega_c)t].$$

If the frequency of the band-limited carrier signal (ω_c) is ascertained in advance, the designer can insert a low pass filter and obtain the (AK/2) ($\cos\omega_c t$) term with ease. He/she also can use an operational amplifier for a combination level shift-active filter, as an external component. But in potted multipliers, even if the frequency range can be covered, the operational amplifier is inside and not accessible, so the user must accept the level shifting provided, and still add a low pass filter.

Amplitude Modulation

The multiplier performs amplitude modulation, similar to balanced modulation, when a dc term is added to the modulating signal with the Y-offset adjust potentiometer (see Figure 30).

Here, the identity is:

$$E_m(1 + m \cos \omega_m t) E_c \cos \omega_c t = KE_m E_c \cos \omega_c t + \frac{KE_m E_c m}{2} [\cos(\omega_c + \omega_m)t + \cos(\omega_c - \omega_m)t]$$

where m indicates the degrees of modulation. Since m is adjustable, via potentiometer P_1, 100% modulation is possible. Without extensive tweaking, 96% modulation may be obtained where ω_c and ω_m are the same as in the balanced modulator example.

Linear Gain Control

To obtain linear gain control, the designer can feed to one of the two MC1495 inputs a signal that will vary the unit's gain. The following example demonstrates the feasibility of this application. Suppose a 200 kHz sinewave, 1.0 V peak-to-peak, is the signal to which a gain control will be added. The dynamic range of the control voltage V_C is 0 V to +1.0 V. These must be ascertained and the proper values of R_X and R_Y can be selected for optimum performance. For the 200 kHz operating frequency, load resistors of 100 Ω were chosen to broaden the operating bandwidth of the multiplier, but gain was sacrificed. It may be made up with an amplifier operating at the appropriate frequency (see Figure 31).

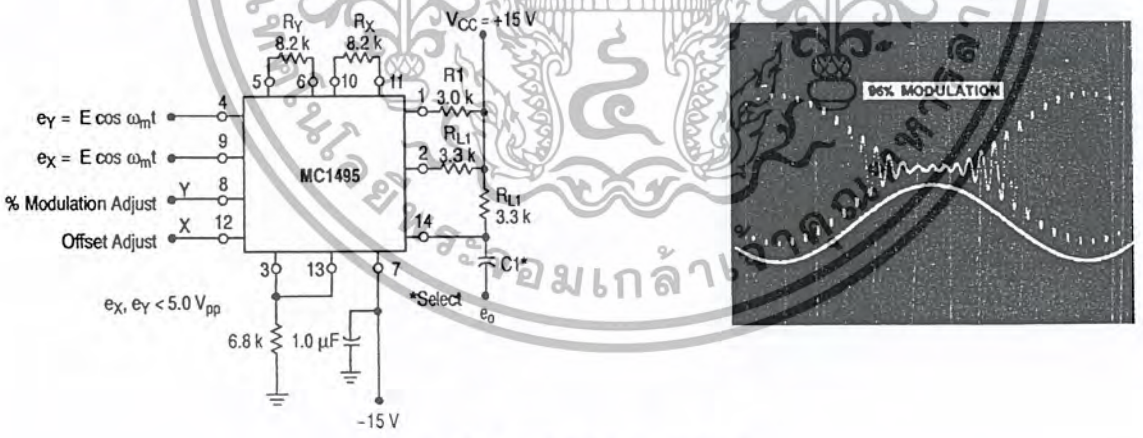


Figure 30. Amplitude Modulation

The signal is applied to the unit's Y-input. Since the total input range is limited to 1.0 V_{pp}, a 2.0 V swing, a current source of 2.0 mA and an R_Y value of 1.0 kΩ is chosen. This takes best advantage of the dynamic range and insures linear operation in the Y-channel.

Since the X-input varies between 0 and +1.0 V, the current source selected was 1.0 mA, and the R_X value chosen was 2.0 kΩ. This also insures linear operation over the X-input dynamic range. Choosing R_L = 100 assures wide bandwidth operation.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

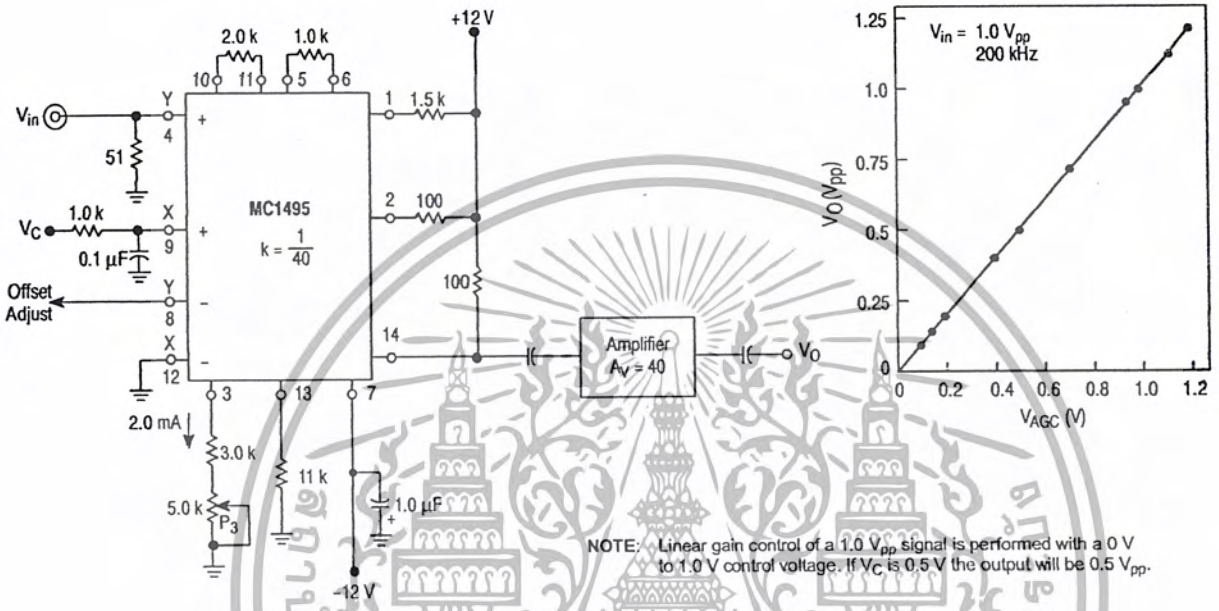
Hence, the scale factor for this configuration is:

$$K = \frac{R_L}{R_X R_Y I_3}$$

$$= \frac{100}{(2\text{ k})(1\text{ k})(2 \times 10^3)}\ V^{-1}$$

$$= \frac{1}{40}\ V^{-1}$$

The 2 in the numerator of the equation is missing in this scale factor expression because the output is single-ended and ac coupled.



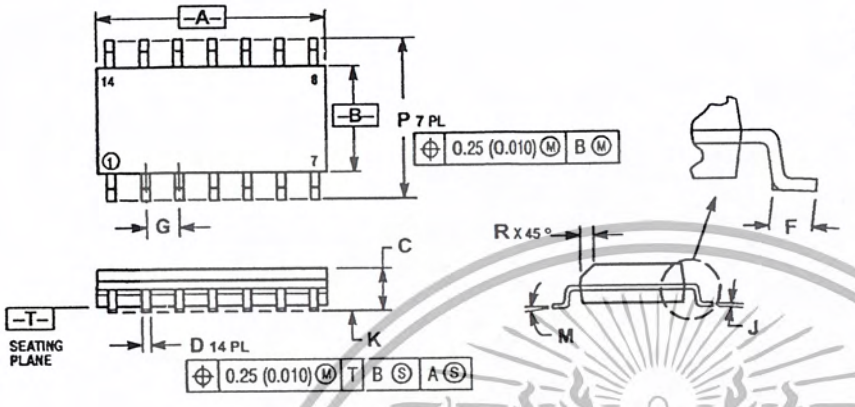
NOTE: Linear gain control of a 1.0 V_{pp} signal is performed with a 0 V to 1.0 V control voltage. If V_C is 0.5 V the output will be 0.5 V_{pp}.

Figure 31. Linear Gain Control

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

PACKAGE DIMENSIONS

D SUFFIX
PLASTIC PACKAGE
CASE 751A–03
ISSUE F



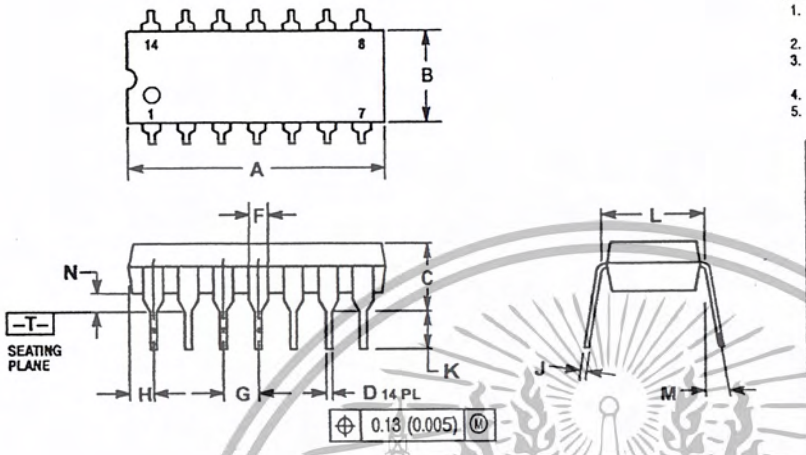
NOTES:
1. DIMENSIONING AND TOLERANCING PER ANSI Y14.5M, 1982.
2. CONTROLLING DIMENSION: MILLIMETER.
3. DIMENSIONS A AND B DO NOT INCLUDE MOLD PROTRUSION.
4. MAXIMUM MOLD PROTRUSION 0.15 (0.006) PER SIDE.
5. DIMENSION D DOES NOT INCLUDE DAMBAR PROTRUSION. ALLOWABLE DAMBAR PROTRUSION SHALL BE 0.127 (0.005) TOTAL IN EXCESS OF THE D DIMENSION AT MAXIMUM MATERIAL CONDITION.

	MILLIMETERS		INCHES	
DIM	MIN	MAX	MIN	MAX
A	8.55	8.75	0.337	0.344
B	3.80	4.00	0.150	0.157
C	1.35	1.75	0.054	0.068
D	0.35	0.49	0.014	0.019
F	0.40	1.25	0.016	0.049
G	1.27 BSC		0.050 BSC	
J	0.19	0.25	0.008	0.009
K	0.10	0.25	0.004	0.009
M	0°	7°	0°	7°
P	5.80	6.20	0.228	0.244
R	0.25	0.50	0.010	0.019

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

PACKAGE DIMENSIONS

P SUFFIX
PLASTIC PACKAGE
CASE 646–06
ISSUE M



NOTES:
1. DIMENSIONING AND TOLERANCING PER ANSI Y14.5M, 1982.
2. CONTROLLING DIMENSION: INCH.
3. DIMENSION L TO CENTER OF LEADS WHEN FORMED PARALLEL.
4. DIMENSION B DOES NOT INCLUDE MOLD FLASH.
5. ROUNDED CORNERS OPTIONAL.

	INCHES		MILLIMETERS	
DIM	MIN	MAX	MIN	MAX
A	0.715	0.770	18.16	18.80
B	0.240	0.260	6.10	6.60
C	0.145	0.185	3.69	4.69
D	0.015	0.021	0.38	0.53
F	0.040	0.070	1.02	1.78
G	0.100 BSC		2.54 BSC	
H	0.052	0.095	1.32	2.41
J	0.008	0.015	0.20	0.38
K	0.115	0.135	2.92	3.43
L	0.290	0.310	7.37	7.87
M	---	10°	---	10°
N	0.015	0.039	0.38	1.01

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Notes

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ON Semiconductor and are trademarks of Semiconductor Components Industries, LLC (SCILLC). SCILLC reserves the right to make changes without further notice to any products herein. SCILLC makes no warranty, representation or guarantee regarding the suitability of its products for any particular purpose, nor does SCILLC assume any liability arising out of the application or use of any product or circuit, and specifically disclaims any and all liability, including without limitation special, consequential or incidental damages. "Typical" parameters which may be provided in SCILLC data sheets and/or specifications can and do vary in different applications and actual performance may vary over time. All operating parameters, including "Typicals" must be validated for each customer application by customer's technical experts. SCILLC does not convey any license under its patent rights nor the rights of others. SCILLC products are not designed, intended, or authorized for use as components in systems intended for surgical implant into the body, or other applications intended to support or sustain life, or for any other application in which the failure of the SCILLC product could create a situation where personal injury or death may occur. Should Buyer purchase or use SCILLC products for any such unintended or unauthorized application, Buyer shall indemnify and hold SCILLC and its officers, employees, subsidiaries, affiliates, and distributors harmless against all claims, costs, damages, and expenses, and reasonable attorney fees arising out of, directly or indirectly, any claim of personal injury or death associated with such unintended or unauthorized use, even if such claim alleges that SCILLC was negligent regarding the design or manufacture of the part. SCILLC is an Equal Opportunity/Affirmative Action Employer.

PUBLICATION ORDERING INFORMATION

Literature Fulfillment:
Literature Distribution Center for ON Semiconductor
P.O. Box 5163, Denver, Colorado 80217 USA
Phone: 303–675–2175 or 800–344–3860 Toll Free USA/Canada
Fax: 303–675–2176 or 800–344–3867 Toll Free USA/Canada
Email: ONlit@hibbertco.com

N. American Technical Support: 800–282–9855 Toll Free USA/Canada

JAPAN: ON Semiconductor, Japan Customer Focus Center
4–32–1 Nishi–Gotanda, Shinagawa–ku, Tokyo, Japan 141–0031
Phone: 81–3–5740–2700
Email: r14525@onsemi.com

ON Semiconductor Website: http://onsemi.com

For additional information, please contact your local Sales Representative.

MC1495/D

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Order this document by LF347/D

MOTOROLA

LF347, B
LF351
LF353

JFET Input Operational Amplifiers

These low cost JFET input operational amplifiers combine two state–of–the–art analog technologies on a single monolithic integrated circuit. Each internally compensated operational amplifier has well matched high voltage JFET input devices for low input offset voltage. The JFET technology provides wide bandwidths and fast slew rates with low input bias currents, input offset currents, and supply currents.

These devices are available in single, dual and quad operational amplifiers which are pin–compatible with the industry standard MC1741, MC1458, and the MC3403/LM324 bipolar devices.

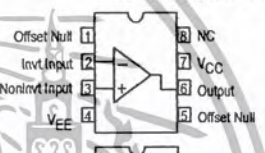
- Input Offset Voltage of 5.0 mV Max (LF347B)
- Low Input Bias Current: 50 pA
- Low Input Noise Voltage: 16 nV/√Hz
- Wide Gain Bandwidth: 4.0 MHz
- High Slew Rate: 13V/μs
- Low Supply Current: 1.8 mA per Amplifier
- High Input Impedance: 10^{12} Ω
- High Common Mode and Supply Voltage Rejection Ratios: 100 dB

FAMILY OF JFET OPERATIONAL AMPLIFIERS

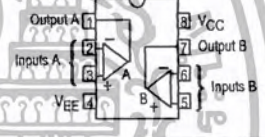
N SUFFIX
PLASTIC PACKAGE
CASE 626

D SUFFIX
PLASTIC PACKAGE
CASE 751
(SO–8)

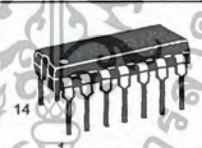
PIN CONNECTIONS



LF351
(Top View)

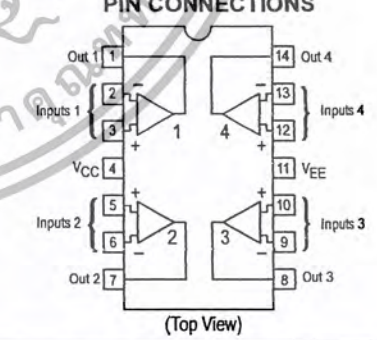


LF353
(Top View)



N SUFFIX
PLASTIC PACKAGE
CASE 646

PIN CONNECTIONS



(Top View)

MAXIMUM RATINGS

Rating	Symbol	Value	Unit
Supply Voltage	V_{CC} V_{EE}	+18 –18	V
Differential Input Voltage	V_{ID}	±30	V
Input Voltage Range (Note 1)	V_{IDR}	±15	V
Output Short Circuit Duration (Note 2)	t_{SC}	Continuous	
Power Dissipation at T_A = +25°C Derate above T_A =+25°C	P_D $1/\theta_{JA}$	900 10	mW mW/°C
Operating Ambient Temperature Range	T_A	0 to +70	°C
Operating Junction Temperature Range	T_J	115	°C
Storage Temperature Range	T_{stg}	– 65 to +150	°C

NOTES: 1. Unless otherwise specified, the absolute maximum negative input voltage is limited to the negative power supply.
2. Any amplifier output can be shorted to ground indefinitely. However, if more than one amplifier output is shorted simultaneously, maximum junction temperature rating may be exceeded.

ORDERING INFORMATION

Device	Function	Operating Temperature Range	Package
LF351D	Single	T_A = 0° to +70°C	SO–8
LF351N	Single		Plastic DIP
LF353D	Dual		SO–8
LF353N	Dual		Plastic DIP
LF347BN	Quad		Plastic DIP
LF347N	Quad		Plastic DIP

© Motorola, Inc. 1996

Rev 0

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ELECTRICAL CHARACTERISTICS (V_{CC} = +15 V_{EE} = –15 V, T_A = 25°C, unless otherwise noted.)

Characteristic	Symbol	LF347B			LF347, LF351, LF353			Unit
		Min	Typ	Max	Min	Typ	Max	
Input Offset Voltage ($R_S \le 10$ k, V_{CM} = 0)	V_{IO}							mV
T_A = +25°C		–	1.0	5.0	–	5.0	10	
0°C ≤ T_A ≤ +70°C		–	–	8.0	–	–	13	
Avg. Temperature Coefficient of Input Offset Voltage	$\Delta V_{IO}/\Delta T$							µV/°C
$R_S \le 10$ k, 0°C ≤ T_A ≤ +70°C		–	10	–	–	10	–	
Input Offset Current (V_{CM} = 0, Note 3)	I_{IO}							
T_A = +25°C		–	25	100	–	25	100	pA
0°C ≤ T_A ≤ +70°C		–	–	4.0	–	–	4.0	nA
Input Bias Current (V_{CM} = 0, Note 3)	I_{IB}							
T_A = +25°C		–	50	200	–	50	200	pA
0°C ≤ T_A ≤ +70°C		–	–	8.0	–	–	8.0	nA
Input Resistance	r_i	–	10^{12}	–	–	10^{12}	–	Ω
Common Mode Input Voltage Range	V_{ICR}	±11	+15 –12	–	±11	+15 –12	–	V
Large–Signal Voltage Gain (V_O = ±10 V, R_L = 2.0 k)	A_{VOL}							V/mV
T_A = +25°C		50	100	–	25	100	–	
0°C ≤ T_A ≤ +70°C		25	–	–	15	–	–	
Output Voltage Swing (R_L = 10 k)	V_O	±12	±14	–	±12	±14	–	V
Common Mode Rejection ($R_S \le 10$ k)	CMR	80	100	–	70	100	–	dB
Supply Voltage Rejection ($R_S \le 10$ k)	PSRR	80	100	–	70	100	–	dB
Supply Current	I_D							mA
LF347		–	7.2	11	–	7.2	11	
LF351		–	–	–	–	1.8	3.4	
LF353		–	–	–	–	3.6	6.5	
Short Circuit Current	I_{SC}	–	25	–	–	25	–	mA
Slew Rate (A_V = +1)	SR	–	13	–	–	13	–	V/µs
Gain–Bandwidth Product	BWp	–	4.0	–	–	4.0	–	MHz
Equivalent Input Noise Voltage (R_S = 100 Ω, f = 1000 Hz)	e_n	–	24	–	–	24	–	nV/√Hz
Equivalent Input Noise Current (f = 1000 Hz)	i_n	–	0.01	–	–	0.01	–	pA/√Hz
Channel Separation (LF347, LF353) 1.0 Hz ≤ f ≤ 20 kHz (Input Referred)	–	–	–120	–	–	–120	–	dB

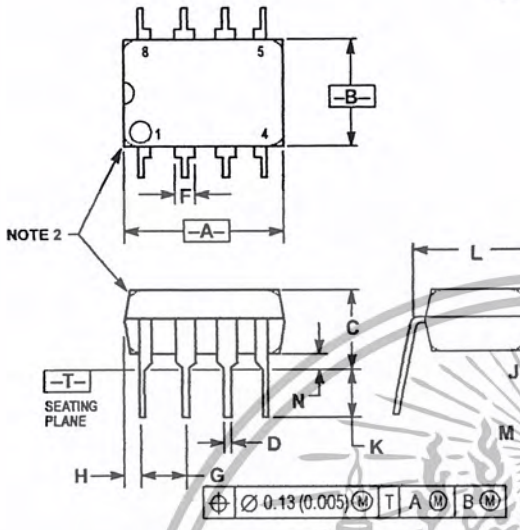
For Typical Characteristic Performance Curves, refer to MC34001, 34002, 34004 data sheet.

NOTE: 3. Input bias currents of JFET input op amps approximately double for every 10°C rise in junction temperature. To maintain junction temperatures as close to ambient as is possible, pulse techniques are utilized during test.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

OUTLINE DIMENSIONS

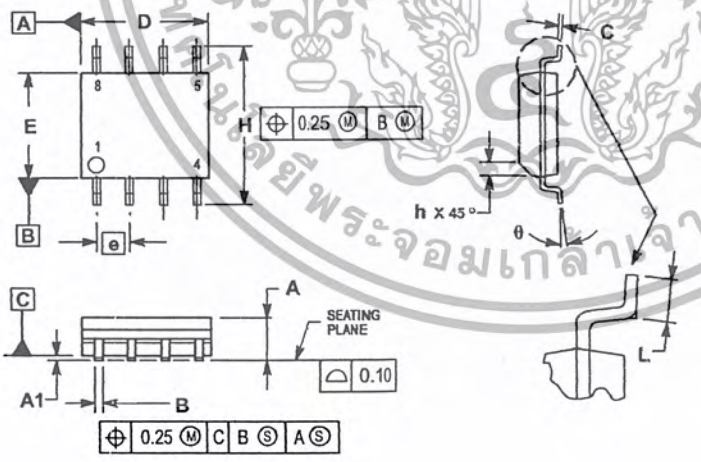
N SUFFIX
PLASTIC PACKAGE
CASE 626–05
ISSUE K



NOTES:
1. DIMENSION L TO CENTER OF LEAD WHEN FORMED PARALLEL.
2. PACKAGE CONTOUR OPTIONAL (ROUND OR SQUARE CORNERS).
3. DIMENSIONING AND TOLERANCING PER ANSI Y14.5M, 1982.

	MILLIMETERS		INCHES	
DIM	MIN	MAX	MIN	MAX
A	9.40	10.16	0.370	0.400
B	6.10	6.60	0.240	0.260
C	3.94	4.45	0.155	0.175
D	0.38	0.51	0.015	0.020
F	1.02	1.78	0.040	0.070
G	2.54 BSC		0.100 BSC	
H	0.76	1.27	0.030	0.050
J	0.20	0.30	0.008	0.012
K	2.92	3.43	0.115	0.135
L	7.62 BSC		0.300 BSC	
M	—	10°	—	10°
N	0.76	1.01	0.030	0.040

D SUFFIX
PLASTIC PACKAGE
CASE 751–05
(SO–8)
ISSUE R



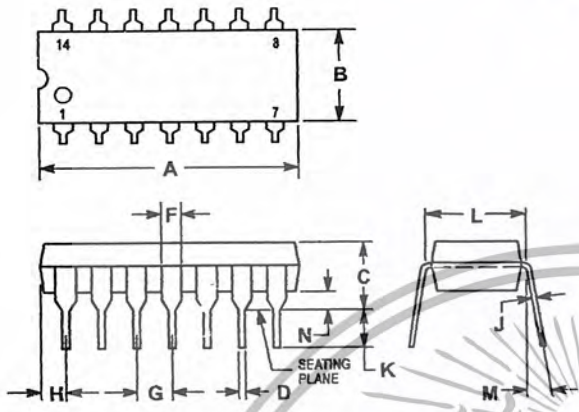
NOTES:
1. DIMENSIONING AND TOLERANCING PER ASME Y14.5M, 1994.
2. DIMENSIONS ARE IN MILLIMETERS.
3. DIMENSION D AND E DO NOT INCLUDE MOLD PROTRUSION.
4. MAXIMUM MOLD PROTRUSION 0.15 PER SIDE.
5. DIMENSION B DOES NOT INCLUDE MOLD PROTRUSION. ALLOWABLE DAMBAR PROTRUSION SHALL BE 0.127 TOTAL IN EXCESS OF THE B DIMENSION AT MAXIMUM MATERIAL CONDITION.

	MILLIMETERS	
DIM	MIN	MAX
A	1.35	1.75
A1	0.10	0.25
B	0.35	0.49
C	0.18	0.25
D	4.80	5.00
E	3.80	4.00
e	1.27 BSC	
H	5.80	6.20
h	0.25	0.50
L	0.40	1.25
θ	0°	7°

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

OUTLINE DIMENSIONS

N SUFFIX
PLASTIC PACKAGE
CASE 646–06
ISSUE L



NOTES:
1. LEADS WITHIN 0.13 (0.005) RADIUS OF TRUE POSITION AT SEATING PLANE AT MAXIMUM MATERIAL CONDITION.
2. DIMENSION L TO CENTER OF LEADS WHEN FORMED PARALLEL.
3. DIMENSION B DOES NOT INCLUDE MOLD FLASH.
4. ROUNDED CORNERS OPTIONAL.

	INCHES		MILLIMETERS	
DIM	MIN	MAX	MIN	MAX
A	0.715	0.770	18.16	19.56
B	0.240	0.260	6.10	6.60
C	0.145	0.185	3.69	4.69
D	0.015	0.021	0.38	0.53
F	0.040	0.070	1.02	1.78
G	0.100 BSC		2.54 BSC	
H	0.052	0.095	1.32	2.41
J	0.008	0.015	0.20	0.38
K	0.115	0.135	2.92	3.43
L	0.300 BSC		7.62 BSC	
M	0°	10°	0°	10°
N	0.015	0.039	0.39	1.01

Motorola reserves the right to make changes without further notice to any products herein. Motorola makes no warranty, representation or guarantee regarding the suitability of its products for any particular purpose, nor does Motorola assume any liability arising out of the application or use of any product or circuit, and specifically disclaims any and all liability, including without limitation consequential or incidental damages. "Typical" parameters which may be provided in Motorola data sheets and/or specifications can and do vary in different applications and actual performance may vary over time. All operating parameters, including "Typicals" must be validated for each customer application by customer's technical experts. Motorola does not convey any license under its patent rights nor the rights of others. Motorola products are not designed, intended, or authorized for use as components in systems intended for surgical implant into the body, or other applications intended to support or sustain life, or for any other application in which the failure of the Motorola product could create a situation where personal injury or death may occur. Should Buyer purchase or use Motorola products for any such unintended or unauthorized application, Buyer shall indemnify and hold Motorola and its officers, employees, subsidiaries, affiliates, and distributors harmless against all claims, costs, damages, and expenses, and reasonable attorney fees arising out of, directly or indirectly, any claim of personal injury or death associated with such unintended or unauthorized use, even if such claim alleges that Motorola was negligent regarding the design or manufacture of the part. Motorola and Ⓜ are registered trademarks of Motorola, Inc. Motorola, Inc. is an Equal Opportunity/Affirmative Action Employer.

How to reach us:
USA/EUROPE/Locations Not Listed: Motorola Literature Distribution;
P.O. Box 20912; Phoenix, Arizona 85036. 1–800–441–2447 or 602–303–5454

MFAX: RMFAX0@email.sps.mot.com – TOUCHTONE 602–244–6609
INTERNET: http://Design–NET.com

JAPAN: Nippon Motorola Ltd.; Tatsumi–SPD–JLDC, 6F Seibu–Butsuryu–Center, 3–14–2 Tatsumi Koto–Ku, Tokyo 135, Japan. 03–81–3521–8315

ASIA/PACIFIC: Motorola Semiconductors H.K. Ltd.; 8B Tai Ping Industrial Park, 51 Ting Kok Road, Tai Po, N.T., Hong Kong. 852–26629298

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้