

ลอจิกอานาไลซ์เซอร์
(LOGIC ANALYZER)



นายเอกชัย หวายนำ
นายหิรัญ เจียบแหลม

เลขหมู่.....
เลขทะเบียน... 42533
วัน, เดือน, ปี 24 พ.ค. 2545

.b.....
.i.....

ปริญญานิพนธ์นี้เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรปริญญาวิศวกรรมศาสตรบัณฑิต
สาขาวิชาวิศวกรรมการวัดคุม
ภาควิชาวิศวกรรมการวัดคุม คณะวิศวกรรมศาสตร์
สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง
ปีการศึกษา 2543

LOGIC ANALYZER

EAKACHAI HVYNUM
HIRUN CHIABLAME

**A THESIS SUBMITTED IN PARTIAL FULFILLMENT
OF THE REQUIREMENT FOR THE DEGREE OF
BACHELOR OF ENGINEERING IN INSTRUMENTATION ENGINEERING
DEPARTMENT OF INSTRUMENTATION ENGINEERING
FACULTY OF ENGINEERING
KING MONGKUT'S INSTITUTE OF TECHNOLOGY LADKRABANG**

2000

ภาควิชาวิศวกรรมการวัดคุม
คณะวิศวกรรมศาสตร์
สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง
ใบรับรองปริญญานิพนธ์

.....

หัวข้อปริญญานิพนธ์ ลอจิกอานาไลซ์เซอร์
 LOGIC ANALYZER
นักศึกษาผู้จัดทำ นายเอกชัย หวายน่า รหัสประจำตัว 41012119
 นายหิรัญ เญียบแหลม รหัสประจำตัว 41013434
ปริญญา วิศวกรรมศาสตรบัณฑิต
สาขาวิชา วิศวกรรมการวัดคุม
ปีการศึกษา 2543

อาจารย์ผู้ควบคุมปริญญานิพนธ์	ลายมือชื่อ
ผศ.สักรียา ชิตวงศ์	

วัน/เดือน/ปี ที่สอบ วันพฤหัสบดีที่ 15 มีนาคม พ.ศ. 2543
สถานที่สอบ ณ. ห้องสอบปริญญานิพนธ์ ภาควิชาวิศวกรรมการวัดคุม

ภาควิชารับรองแล้ว

(ผศ.ประสิทธิ์ จุลเสรีวงศ์)
หัวหน้าภาควิชาฯ

หัวข้อปริญญานิพนธ์	ลอจิกอนาไลซ์เซอร์
	LOGIC ANALYZER
นักศึกษาผู้จัดทำ	นายเอกชัย หวายน่า
	นายหิรัญ เลียบแหลม
อาจารย์ที่ปรึกษา	ผศ.ศักรียา จิตวงศ์
ปีการศึกษา	2543

บทคัดย่อ

ปริญญานิพนธ์ฉบับนี้ได้ทำการออกแบบและสร้างเครื่องลอจิกอนาไลซ์เซอร์ ซึ่งใช้กันอย่างกว้างขวางในการวิเคราะห์ผลของระดับลอจิก ได้ใช้หลักการรับข้อมูลเข้ามาแล้วทำการสุ่มสัญญาณ จากนั้นข้อมูลที่ได้นำไปเก็บในหน่วยความจำและอ่านข้อมูลออกมาแสดงผล โดยอ้างอิงกับอินพุตสัญญาณนาฬิกา เพื่อนำมาวัดสัญญาณทางดิจิทัลได้ 8 ช่องสัญญาณพร้อมๆ กัน สัญญาณที่ได้จะเป็นลักษณะข้อมูลทางดิจิทัลตามลำดับและสามารถแสดงรูปแบบของสัญญาณได้หลายรูปแบบ อยู่ในรูปของเวลาเลขฐาน 2 และเลขฐาน 16

ปริญญานิพนธ์นี้สามารถแบ่งได้ 2 ส่วนหลักๆ ดังนี้

1. หลักการทำงานโดยทั่วไป วงจรและการทำงานพร้อมทั้งการออกแบบของเครื่องลอจิกอนาไลซ์เซอร์
2. การนำผลที่ได้จากการทำงานมาแสดงผลที่จอออกสซิลโลสโคปและการนำตัวเครื่องไปทดสอบข้อมูลจริง

ขอบเขตการใช้งานของตัวเครื่องนี้รับข้อมูลเข้ามา 8 บิต (8 ช่องสัญญาณ) สามารถเขียนและอ่านข้อมูลได้ตั้งแต่แอดเดรส 000H – 7FFH คือ 2048 ไบท์นั่นเองและความถี่สูงสุดที่รับเข้ามา 1 MHz

Thesis Title	Logic Analyzer
Authors	Mr. Eakachai Hvynum Mr. Hirun Chaiblane
Thesis Advisor	Asst.Prof. Sakreya Chitwong
Year	2000

ABSTRACT

This project was to design and construction a logic analyzer which is widely used for analyzer of level logic Principally, receive data input signal used to sampling and move data to write in memory, read data from memory to display different of clock input. It can used to instrument of digital 8 channel, output signal wave form of sequential digital data and output signal form of timing, binary and heximal

This project can be divided to 2 part

1. Principle, circuit and design of logic analyzer
2. Operation, analyzer level of logic to display and used to test data input

Logic Analyzer is suitable for the receive data 8 bits. It can keep data since address 000H-7FFH (2048 byte)and max input 1 MHz.

กิตติกรรมประกาศ

ปริญญานิพนธ์ฉบับนี้สำเร็จลุล่วงไปได้ด้วยดี เนื่องจากความช่วยเหลืออย่างดียิ่งจากบุคคล
หลายๆ ท่านซึ่งผู้จัดทำใคร่ขอขอบคุณทุกๆ ท่านที่มีส่วนร่วมสนับสนุนช่วยเหลือและแนะนำในทุกๆ
ด้าน

ขอขอบพระคุณ ผศ.ศกรียา ชิตวงศ์ อาจารย์ที่ปรึกษาที่ได้ให้คำปรึกษาแนะนำและข้อเสนอ
แนะที่เป็นประโยชน์ตลอดจนห้องทดลองและการทำงานต่อผู้จัดทำตลอดมา

ขอขอบคุณ ผศ.ดร.ปัญญา จิติมัชฌิมา และอาจารย์ทุกท่านที่ได้กรุณาให้คำแนะนำต่างๆ และ
ประสิทธิ์ประสาทความรู้แก่ผู้จัดทำ ขอขอบพระคุณท่านคณะกรรมการสอบทุกท่านที่ได้สละเวลาอันมี
ค่าในการตรวจสอบปริญญานิพนธ์ในครั้งนี้

ขอกราบขอขอบพระคุณบิดา มารดา และพี่ๆ น้องๆ ทุกคน ที่ให้โอกาสและกำลังใจต่อผู้จัดทำ
ขอขอบคุณพี่ๆ เพื่อนๆ นักศึกษาทุกคนที่ช่วยเหลือให้คำแนะนำต่างๆ จนปริญญานิพนธ์ฉบับนี้
สำเร็จสมบูรณ์ด้วยดี

สุดท้ายขอขอบคุณคณะวิศวกรรมศาสตร์ ที่ได้ให้ทุนสนับสนุนการทำปริญญานิพนธ์ครั้งนี้
คุณค่าและประโยชน์อันพึงมีจากปริญญานิพนธ์ฉบับนี้ ผู้จัดทำขอบอบแด่ผู้มีพระคุณทุกท่าน

คณะผู้จัดทำ

สารบัญ

	หน้า
บทคัดย่อภาษาไทย	I
บทคัดย่อภาษาอังกฤษ	II
กิตติกรรมประกาศ	III
สารบัญ	IV
สารบัญภาพ	VII
บทที่ 1 บทนำ	1
1.1 วัตถุประสงค์ของปริญญานิพนธ์	2
1.2 ขอบเขตของโครงการ	2
บทที่ 2 ทฤษฎีการทำงานของลอจิกอนาไลซ์เซอร์	3
2.1 ลักษณะการทำงานทั่วไปของลอจิกอนาไลซ์เซอร์	3
2.2 หลักการสุ่ม (Sampling) สัญญาณ	3
2.3 การสุ่มข้อมูลเข้าไปเก็บไว้ในหน่วยความจำ	6
2.4 บล็อกไดอะแกรมโดยทั่วไปของลอจิกอนาไลซ์เซอร์	7
บทที่ 3 วงจรและแสดงการทำงานของเครื่องลอจิกอนาไลซ์เซอร์	9
3.1 การรับข้อมูล	10
3.2 การแสดงผลของข้อมูล	12
3.3 การออกแบบ	15
3.3.1 ภาควงจรกระตุ้น (Trigger ircuit)	16
3.3.2 ภาควงจรสัญญาณนาฬิกาภายใน (Internal Clock Oscillator)	21
3.3.3 ภาควงจรนับในแกน X (X Counter)	21
3.3.4 ภาควงจรแปลงสัญญาณดิจิทัลเป็นแอนะล็อกในแกน X (X-Axis D/A Converter)	22
3.3.5 ภาควงจรเพาเวอร์ดีเทคชัน (Power Detection)	23
3.3.6 ภาควงจรบัฟเฟอร์ (Buffer)	24
3.3.7 ภาควงจรฟลิปฟล็อปฐานแปด (Octal Flip-Flop)	25

สารบัญ (ต่อ)

	หน้า
3.3.8 ภาคมัลติเพล็กซ์เซอร์ (Multiplexer)	25
3.3.9 ภาคนหน่วยความจำ (Memory)	27
3.3.10 ภาควงจรสร้างแอดเดรสให้หน่วยความจำ (memory addressing circuit) (MAC)	28
3.3.11 ภาคลือกโหมดแสดงผล (Display Mode Selector)	29
3.3.12 ภาควงจรนับในแกน Y (Y Counter)	30
3.3.13 ภาควงจรแปลงสัญญาณดิจิทัลเป็นแอนะล็อกในแกน Y (Y-Axis D/A Converter)	31
3.3.14 ภาควงจรรวมสัญญาณแบบรวมสัญญาณ (Summing Amplifier)	32
3.3.15 ภาควงจรแสดงผลเป็นฐานสิบหก (Hex. Display)	33
บทที่ 4 หน่วยความจำที่ใช้ในการเก็บข้อมูลจากการสุ่ม	35
4.1 ชนิดของ RAM	35
4.2 วงจรแรมเบื้องต้น	35
4.3 โครงสร้างของ สเตตติกแรม	36
4.4 ลำดับการเขียนข้อมูลในแรม	37
4.5 ลำดับการอ่านข้อมูลจากแรม	38
4.6 แรมเบอร์ 2016	39
4.7 การทดลองสเตตติกแรมเบอร์ 2016 เบื้องต้น	41
4.8 การออกแบบวงจรที่ใช้ในการเก็บข้อมูลที่ได้ออกจากการสุ่ม	43
4.9 อินพุตของวงจร	44
4.10 แรงดันอินพุตและเอาต์พุตของเกท	46
4.11 วงจรเลขทศ	47
4.12 เอาต์พุตของวงจร	49
4.13 วงจรที่ใช้ในการเก็บข้อมูลที่ออกแบบเสร็จแล้ว	49

สารบัญ (ต่อ)

	หน้า
บทที่ 5 ผลการทดลอง	50
5.1 กรณีที่ 1 ไม่ป้อนสัญญาณพิก้า	50
5.2 กรณีมีการป้อนสัญญาณพิก้า	52
บทที่ 6 สรุปผลการทดลองและข้อเสนอแนะ	58
6.1 สรุปผลการทดลอง	58
6.2 ข้อเสนอแนะ	59
บรรณานุกรม	60
ภาคผนวก	61
ภาคผนวก ก.	62
ภาคผนวก ข.	64

สารบัญรูป

รูปที่	หน้า
1.1 การใช้เครื่องลอจิกอนาไลซ์เซอร์	2
2.1 หลักการทำงานของลอจิกอนาไลซ์เซอร์	3
2.2 การสุ่มสัญญาณ	4
2.3 การสุ่มที่มีขนาดของสัญญาณสุ่มน้อยกว่า 2 เท่าของสัญญาณอินพุต	5
2.4 การสุ่มข้อมูลเข้าไปเก็บไว้ในหน่วยความจำ	6
2.5 บล็อกไดอะแกรมโดยทั่วไปของลอจิกอนาไลซ์เซอร์	7
3.1 บล็อกไดอะแกรมแสดงการทำงานของเครื่องลอจิกอนาไลซ์เซอร์	9
3.2 triggering the data Acquisition	10
3.3 ไทม์มิ่ง (Timming Diagram) การรับข้อมูล	12
3.4 การแสดงผลข้อมูล	13
3.5 การแสดงผลของตำแหน่งหน่วยความจำบนเซกเมนต์ (segment)	13
3.6 ไทม์มิ่งไดอะแกรม (Timing Diagram) ที่ก่อให้เกิดสัญญาณ X และ Y	14
3.7 วงจรภาคการกระตุ้น (Trigger Circuit)	16
3.8 ไทม์มิ่งไดอะแกรมและการทำงานของวงจรการกระตุ้นภายใน (Internal Trigger)	18
3.9 ไทม์มิ่งไดอะแกรมและการทำงานของวงจรกระตุ้นภายนอก (External Trigger)	20
3.10 วงจรภาคกำเนิดสัญญาณนาฬิกาภายใน (Internal Clock Oscillator)	21
3.11 วงจรภาคการนับในแกน X (X Counter)	21
3.12 วงจรภาคแปลงสัญญาณดิจิตอลเป็นแอนะล็อกในแกน X (X-Axis D/A Converter)	22
3.13 วงจรภาคเพาเวอร์ดีเทกชัน (Power Detection)	23
3.14 วงจรภาคบัฟเฟอร์ (Buffer)	24
3.15 วงจรภาคฟลิปฟล็อปฐานแปด (Octal Flip-Flop)	25
3.16 วงจรภาคมัลติเพล็กซ์เซอร์ (Multiplexer)	25
3.17 แสดงตารางความจริง (Trutale) การทำงานของมัลติเพล็กซ์เซอร์ (Multiplexer)	26
3.18 วงจรภาคหน่วยความจำ (Memory)	27

สารบัญรูป (ต่อ)

รูปที่	หน้า
3.19 วงจรภาคสร้างแอดเดรสให้หน่วยความจำ (memory addressing circuit)	28
3.20 วงจรภาคเลือกโหมดแสดงผล (Display Mode Selector)	29
3.21 วงจรภาคการนับในแกน Y (Y Counter)	30
3.22 วงจรภาคแปลงสัญญาณดิจิทัลเป็นแอนะล็อกในแกน Y (Y-Axis D/A Converter)	31
3.23 วงจรภาคขยายแบบรวมสัญญาณ (Summing Amplifier)	32
3.24 ลักษณะการแสดงผลและวงจรของ Hexadecimal Display With Logic	34
4.1 แรมขนาด 1 บิต	36
4.2 โครงสร้างพื้นฐานของแรม	36
4.3 แผนผังเวลาการเขียนข้อมูลลงในหน่วยความจำ	38
4.4 แผนผังเวลาการอ่านข้อมูลจากหน่วยความจำ	39
4.5 แรมเบอร์ 2016 2KB CMOS	39
4.6 การต่อขาข้อมูลของ ไอซีแรมหลายๆ ตัวร่วมกัน	41
4.7 วงจรทดสอบการเขียนและการอ่านข้อมูลจาก ไอซีแรม TMM2016 เบื้องต้น	42
4.8 บล็อกไดอะแกรมของวงจรที่ใช้ในการเก็บข้อมูล	44
4.9 การทำงานอินพุตและเอาต์พุตของอินเวอร์เตอร์แบบชนิดทริกเกอร์	45
4.10 ไอซีเบอร์ 74LS240	46
4.11 ระดับสัญญาณทางอินพุตและเอาต์พุตของ ไอซีตระกูลทีทีแอล	47
4.12 โครงสร้างของวงจรเลขชี้ข้อมูล	48
4.13 ไอซีเบอร์ 74LS374	48
4.14 Function table ของไอซีเบอร์ 74LS374	49
5.1 ส่วนการป้อนข้อมูลและการแสดงผลแบบตามเวลาจริงเป็นเลขฐาน 16	50
5.2 สัญญาณ X Output :Range 5 Volts/Div. : 1 mSec/Div	51
5.3 สัญญาณ Y Output : Rang 2 Volts/Div. : 5 mSec/Div	51
5.4 แสดงผลรวมของสัญญาณ X และ Y (แสดงข้อมูลในหน่วยความจำตำแหน่ง 000H-00FH)	52

สารบัญรูป (ต่อ)

รูปที่	หน้า
5.5 ป้อนข้อมูล AAH และการแสดงผลเมื่อเขียนข้อมูลลงในหน่วยความจำเสร็จแล้ว	54
5.6 ป้อนข้อมูล FOH และการแสดงผลเมื่อเขียนข้อมูลลงในหน่วยความจำเสร็จแล้ว	56
5.7 แสดงเครื่องลอจิกอนาไลซ์เซอร์และการต่อใช้งาน	57
ก. แสดงวงจรรวมของเครื่องลอจิกอนาไลซ์เซอร์ในแผ่นปริ้นท์ A1	61
ข. แสดงวงจรรวมของเครื่องลอจิกอนาไลซ์เซอร์ในแผ่นปริ้นท์ A2	62

บทที่ 1

บทนำ

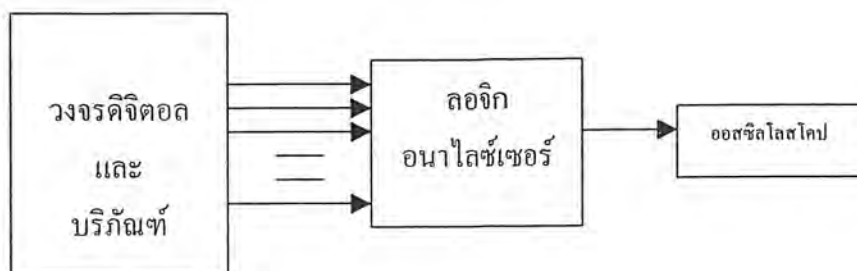
ในปัจจุบันระบบสัญญาณตรรก (Digital Logic Signal) ถูกนำมาใช้แทนระบบสัญญาณแบบต่อเนื่อง (Analog Signal) ในระบบสัญญาณแบบตรรก จะมีจำนวนเส้นของข้อมูล (Data) และตำแหน่ง (Address) หลายเส้น ในการวิเคราะห์สัญญาณเหล่านั้น ถ้าใช้เครื่องมือวัดธรรมดา เช่น ออสซิลโลสโคป หรือมัลติมิเตอร์ มาทำการวัดสัญญาณจะมีความยุ่งยากมาก และสามารถตรวจความผิดพลาดเฉพาะทางอุปกรณ์พื้นฐานเท่านั้น ส่วนทางด้านโปรแกรมจะไม่สามารถทำการวิเคราะห์ได้ ด้วยเหตุผลนี้จึงได้ใช้เครื่องวิเคราะห์ตรรกเข้ามาช่วย เครื่องวิเคราะห์ตรรกที่จะทำการวัดสัญญาณหลายๆ สัญญาณพร้อมกัน ซึ่งทำให้สามารถทำการวิเคราะห์จุดบกพร่องได้ง่าย ดังรูปที่ 1.1 โดยในปัจจุบันนี้เครื่องมือวัดมีมากมายหลายประเภทเช่น ออสซิลโลสโคป นั้นยังแบ่งออกเป็นชนิดต่างๆ แตกต่างกันไปตามด้าน สมรรถนะ การใช้งาน และราคาในที่นี้จะขอแบ่งออกเป็น 2 ประเภทคือ

-ประเภทการใช้งานอเนกประสงค์

-ประเภทการใช้งานเฉพาะอย่าง

สำหรับการใช้งานอเนกประสงค์ของออสซิลโลสโคปขนาดความถี่ 10 MHz นั้นก็นับว่าเพียงพอแล้ว แต่สำหรับงานที่มีความยุ่งยากมากขึ้นก็อาจใช้แบบ 2 ช่องความถี่ ที่มีแถบความถี่ 15-20 MHz

ส่วนประเภทที่ใช้งานเฉพาะอย่างออสซิลโลสโคปที่ใช้ได้แก่ SAMPING SCILLOSCOPE, สตอเรจสโคป (Storage Scope), มอนิเตอร์ริงสโคป (Monitoring scope), ลอจิกอานาไลซ์เซอร์ (Logic Analyzer), ดิจิตอลเมมโมรี่สโคป (Digital Memory Scope), โปรแกรมเมเบิลสโคป (Programmable Scope) และสเปกตรัมอานาไลซ์เซอร์ (Spectrum Analyzer) การใช้เครื่องมือประเภทไหนขึ้นอยู่กับสิ่งที่ต้องการตรวจสอบหรือวิเคราะห์ เช่นในการวิเคราะห์ เทอมของสัปดาห์ชั่วขณะ (Instantaneous Voltage) กับเวลาหรือพิกัดสัญญาณแอนะล็อกที่มีคาบเวลาแน่นอน เราสามารถใช้ ออสซิลโลสโคปธรรมดาวัดได้ ซึ่งวิธีนี้มีประโยชน์ในการวิเคราะห์เกี่ยวกับสัญญาณรบกวน (Noise Burst), ริงกิง (Ringing), สไปค์ (Spike), การสวิงของสัปดาห์ (Voltage Swing) ฯลฯ อย่างไรก็ตามในระบบดิจิทัลที่ซับซ้อน (Complex Digital) ส่วนใหญ่จะวิเคราะห์ในเทอมของความสัมพันธ์ทางฟังก์ชันของแต่ละสัญญาณ (Function Relation) และสนใจตำแหน่งของข้อมูลดิจิทัลที่มีเข้ามาโดยการเปรียบเทียบกับเวลาของระบบ (System Time) ดังนั้นในการใช้ออสซิลโลสโคปธรรมดาจึงไม่สามารถทำได้แต่สำหรับลอจิกอานาไลซ์เซอร์เป็นเครื่องมือที่ออกแบบขึ้นเพื่อวิเคราะห์วงจรดิจิทัล โดยสามารถเก็บสะสมและแสดงข้อมูลได้หลายช่องความถี่พร้อมๆ กันโดยมีการกำหนดทริกเกอร์ ทำให้สามารถเลือกจุดสัญญาณที่ต้องการได้ ดังนั้นอานาไลซ์เซอร์จึงเหมาะสมกับงานนี้มาก



รูปที่ 1.1 การใช้เครื่องลอจิกอนาไลเซอร์

รูปที่ 1.1 เป็นการวิเคราะห์สัญญาณจากแผงวงจรดิจิทัลและอุปกรณ์อื่นๆ จากรูปสามารถวัดได้ทีละหลายๆ ช่องสัญญาณ ซึ่งสัญญาณที่วัดได้จะแสดงบนจอภาพของออสซิลโลสโคป

1.1 วัตถุประสงค์ของปริญญานิพนธ์

1. เพื่อต้องการพัฒนาอุปกรณ์ที่เรียกว่า เครื่องวิเคราะห์ตรรก ให้มีราคาไม่แพงเกินไป สามารถใช้งานได้ง่าย มีประสิทธิภาพสูง และสามารถตรวจจับสัญญาณได้สูงถึง 8 ช่องสัญญาณ

2. สามารถออกแบบและสร้างเครื่องมือวัดสำหรับสัญญาณดิจิทัล

3. เพื่อใช้เป็นเครื่องมือวัดตรวจสอบข้อผิดพลาดของสัญญาณดิจิทัล

1.2 ขอบเขตของโครงการ

1. ศึกษาทฤษฎีที่เกี่ยวข้องกับลอจิกอนาไลเซอร์

2. ศึกษาทฤษฎีของวงจรที่จะนำมาใช้

3. ออกแบบวงจร

4. ทดสอบการทำงานของวงจร

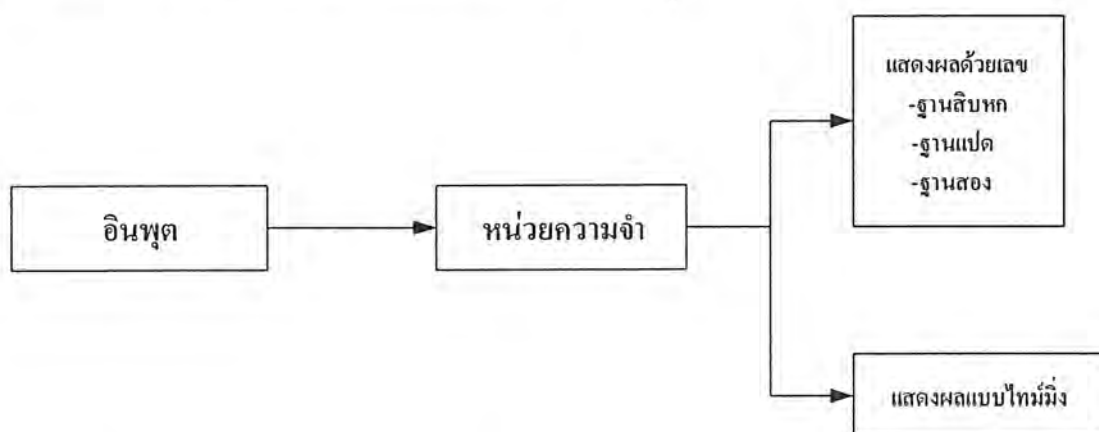
5. ประกอบวงจรที่ผ่านการออกแบบและทดสอบ

บทที่ 2

ทฤษฎีการทำงานของลอจิกอนาไลซ์เซอร์

2.1 ลักษณะการทำงานทั่วไปของลอจิกอนาไลซ์เซอร์

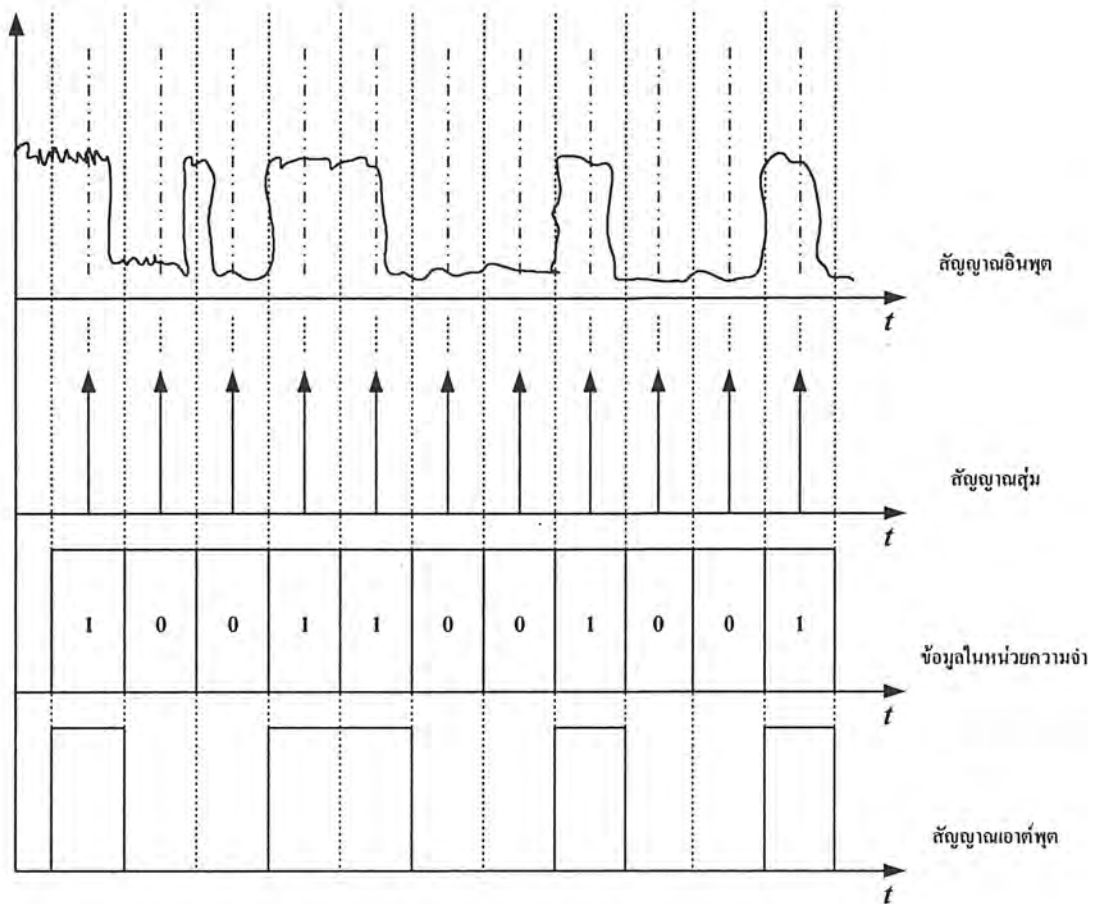
รูปที่ 2.1 แสดงให้เห็นหลักการทำงานของลอจิกอนาไลซ์เซอร์ โดยสัญญาณอินพุตที่ผ่านการสุ่มได้มาจากสัญญาณนาฬิกาภายในหรือภายนอก จากนั้นนำเอาข้อมูลไปเก็บในหน่วยความจำ และนำข้อมูลในหน่วยความจำดังกล่าวไปแสดงผลที่เอาต์พุตเช่น จอมอนิเตอร์ โดยอาจจะแสดงในรูปแบบของตัวเลข (Stage Display) หรือไทม์มิง (Timing Display)



รูปที่ 2.1 หลักการทำงานของลอจิกอนาไลซ์เซอร์

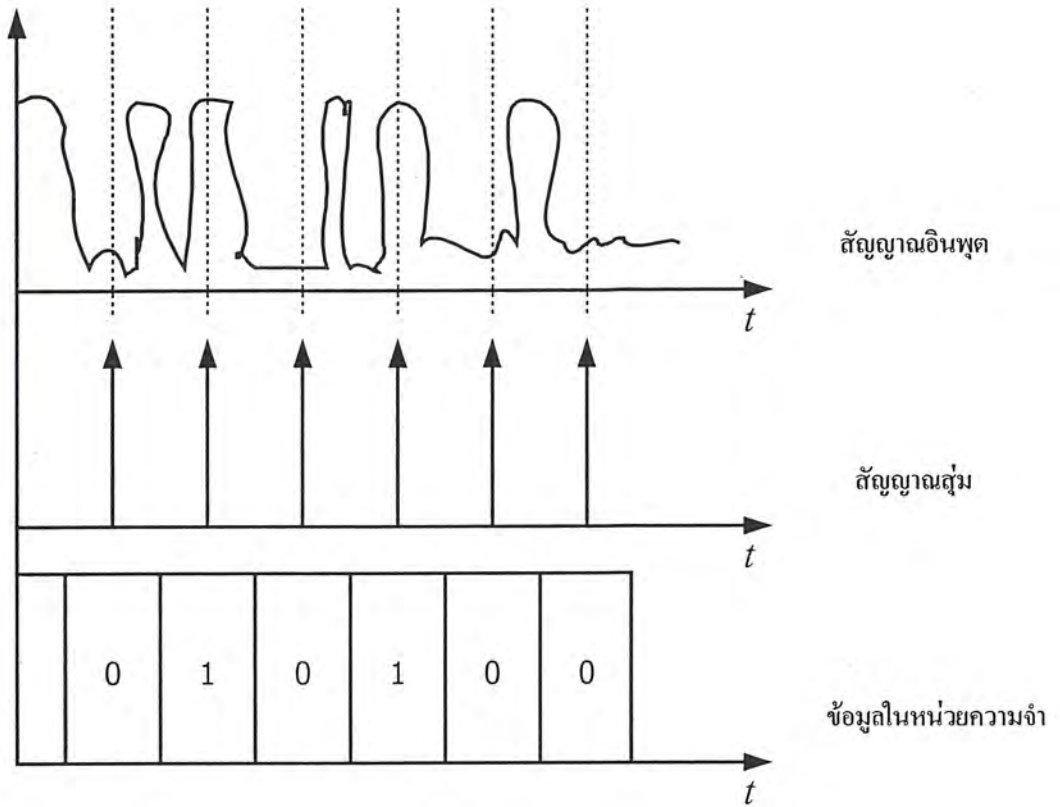
2.2 หลักการสุ่ม (Sampling) สัญญาณ

การสุ่มสัญญาณ หมายถึง การสุ่มสัญญาณเป็นช่วง จากรูปที่ 2.2 จะเห็นว่าสัญญาณการสุ่มจะเป็นพัลส์แคบๆ สัญญาณการสุ่มข้อมูลจะต้องเป็นสัญญาณนาฬิกา ที่มีความถี่มากกว่าสัญญาณที่เข้ามาทำการสุ่มอย่างน้อย 2 เท่า หรือมากกว่า เพื่อที่จะทำให้สัญญาณที่สุ่มออกมา มีประสิทธิภาพและมีค่าความถูกต้องสูง โดยในที่นี้จะทำการสุ่มสัญญาณเข้าไปเก็บในหน่วยความจำ หรือนำสัญญาณที่ได้เป็นช่วงๆ ไปเก็บไว้ในหน่วยความจำ จากนั้นนำข้อมูลจากหน่วยความจำไปทำการแสดงผลบนจอของออสซิลโลสโคป และแสดงผลออกมาในรูปไทม์มิงหรือเลขไบนารี ซึ่งมีลักษณะของสัญญาณดังรูปที่ 2.2



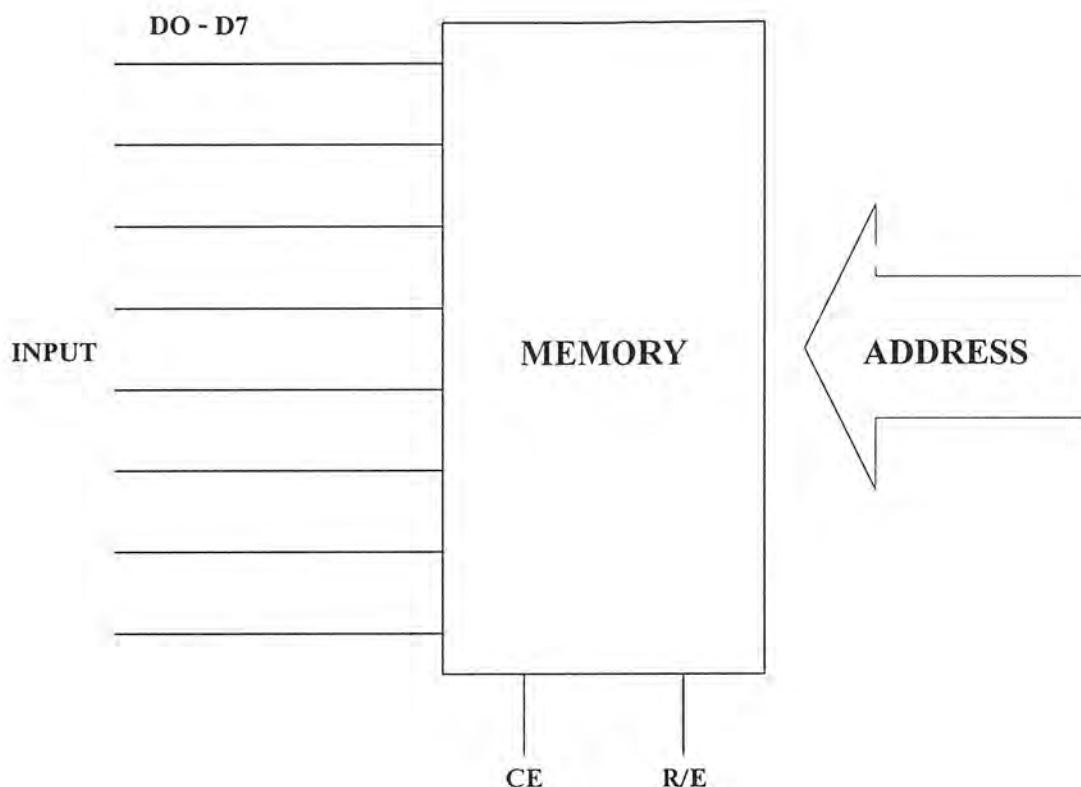
รูปที่ 2.2 การสุ่มสัญญาณ

รูปที่ 2.2 ถ้าสัญญาณการสุ่มตรงกับสัญญาณอินพุตที่มีค่าแรงดัน 2-5 โวลต์ (TTL) จะให้สถานะเป็นลอจิก 1 นำค่าลอจิก 1 ดังกล่าวไปเก็บในหน่วยความจำ และถ้าสัญญาณการสุ่มตรงกับสัญญาณอินพุตที่มีค่าแรงดัน 0-0.8 โวลต์ เป็นลอจิก 0 นำค่าลอจิก 0 ดังกล่าวไปเก็บไว้ในหน่วยความจำและจะทำการสุ่มเช่นนี้ไปเรื่อยๆ จนกระทั่งข้อมูลเต็มหน่วยความจำ จากนั้นนำข้อมูลที่ได้ไปแสดงผลบนจอออสซิลโลสโคป แสดงผลออกมาในรูปแบบมิงหรือเลขไบนารีก็ได้ รูปที่ 2.2 แสดงให้เห็นว่าสัญญาณเอาต์พุตที่ได้จะมีค่าความถูกต้องใกล้เคียงกับสัญญาณอินพุตมาก คือสัญญาณในการสุ่มจะต้องมีค่ามากกว่าสัญญาณอินพุตที่เข้ามาอย่างน้อย 2 เท่าหรือมากกว่า ถ้าสัญญาณสุ่มมีค่าน้อยกว่า 2 เท่าของความถี่อินพุต ข้อมูลที่ได้จะมีความผิดพลาดสูง ดังรูปที่ 2.3



รูปที่ 2.3 การกลุ่มที่มีขนาดของสัญญาณกลุ่มน้อยกว่า 2 เท่าของสัญญาณอินพุต

2.3 การสุ่มข้อมูลเข้าไปเก็บไว้ในหน่วยความจำ



รูปที่ 2.4 การสุ่มข้อมูลเข้าไปเก็บไว้ในหน่วยความจำ

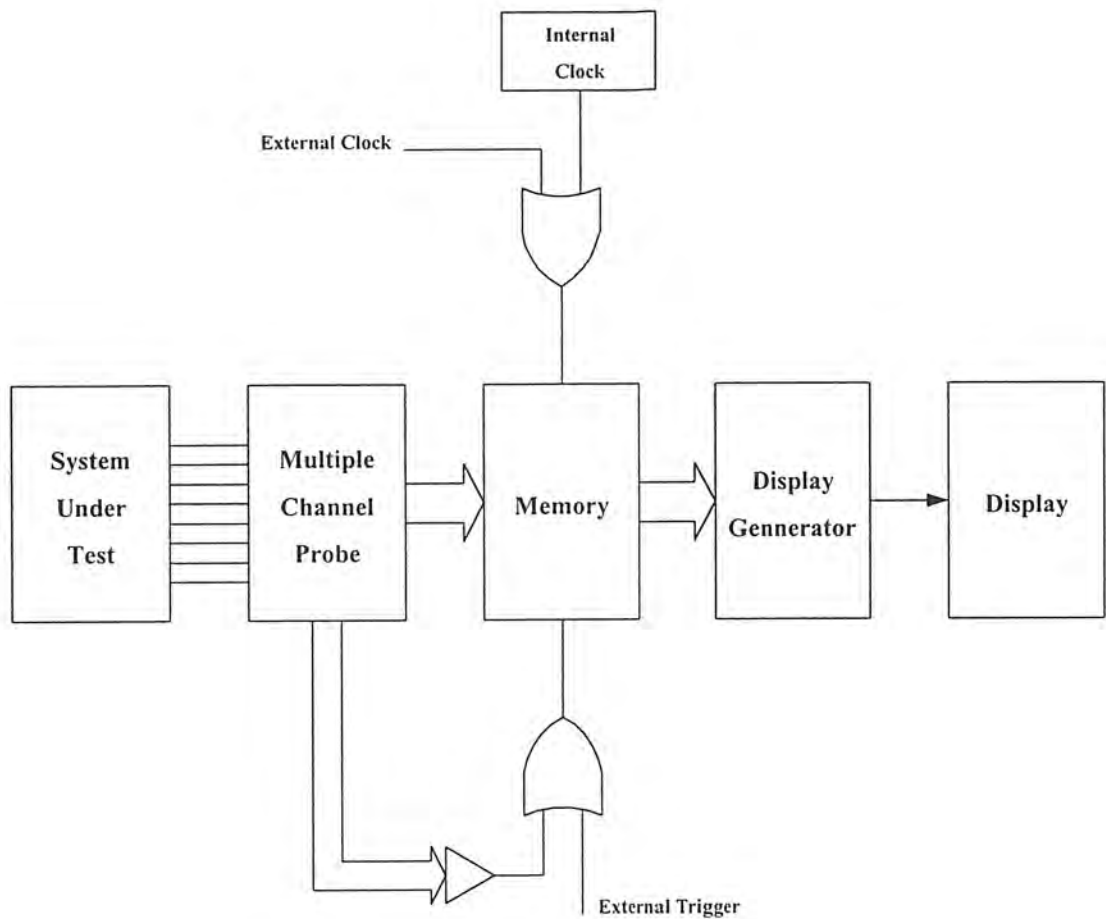
ขั้นตอนในการสุ่มข้อมูล

1. จะต้องกำหนดตำแหน่ง (ADDRESS) ของหน่วยความจำ
2. เลือกขา CE ให้ทำงานตามลอจิกที่ระบุ CE เป็นสัญญาณบังคับให้หน่วยความจำรับรู้สัญญาณควบคุมอื่นๆ ทั้งหมด ซึ่งหมายความว่า หน่วยความจำได้ถูกเลือกให้ทำงานและขา CE นี้จะต้องต่อกับสัญญาณสุ่มเพื่อเลือกชิปให้เก็บข้อมูลเป็นช่วงๆ ไปจนกว่าข้อมูลจะเต็มหน่วยความจำแล้วทำการหยุดสุ่ม

3. เลือกขา R/W ให้ทำการเขียนข้อมูล

เมื่อทำทั้ง 3 ขั้นตอนแล้ว ข้อมูลจะถูกนำไปเก็บไว้ในหน่วยความจำตามตำแหน่ง (ADDRESS) ที่กำหนดไว้ ถ้าต้องการอ่านหน่วยความจำ แต่เวลาอ่านจะต้องเลือกขา ข้อมูล ก็จะมีลักษณะขั้นตอนเหมือนกับการเขียนข้อมูลเข้าไปเก็บไว้ในหน่วยความจำ

2.4 บล็อกไดอะแกรมโดยทั่วไปของลอจิกอนาไลซ์เซอร์



รูปที่ 2.5 บล็อกไดอะแกรมโดยทั่วไปของลอจิกอนาไลซ์เซอร์

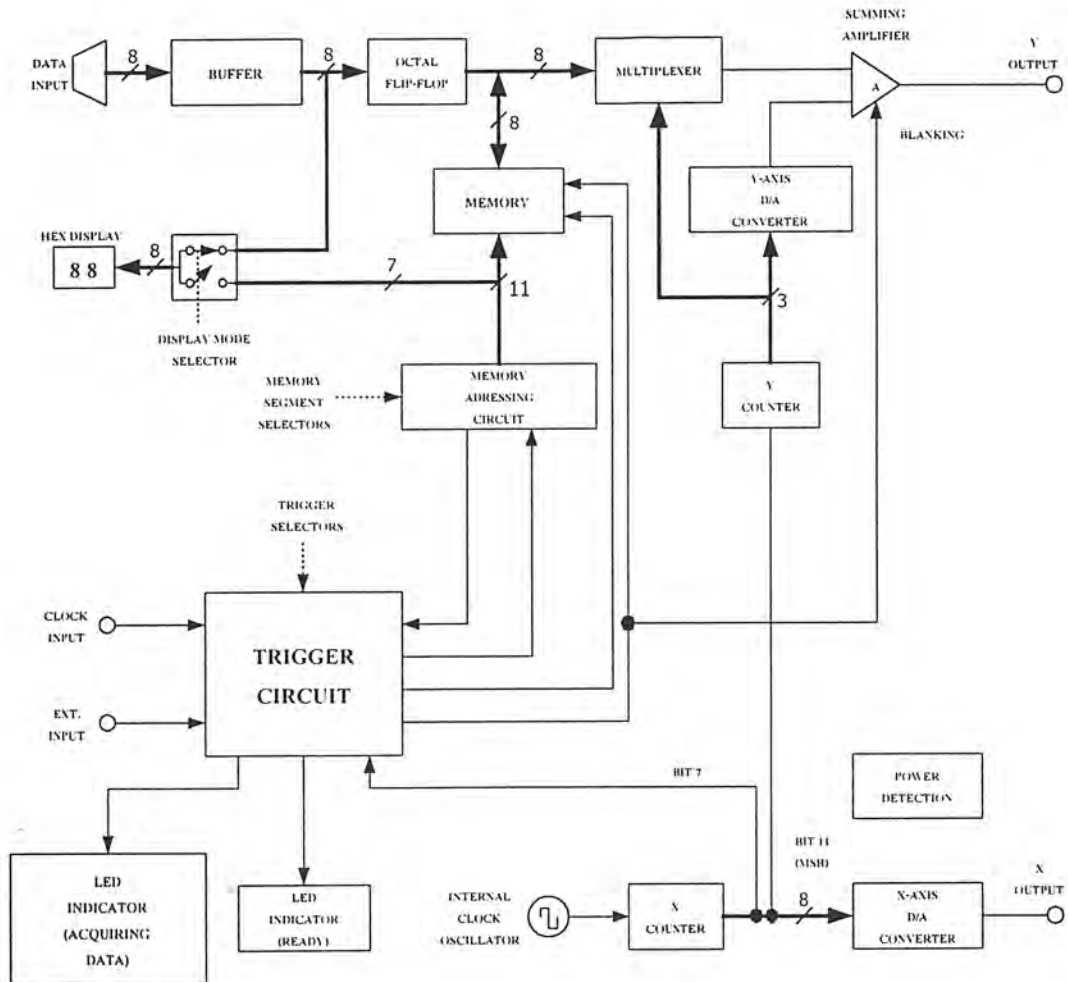
จากคุณสมบัติของเครื่องลอจิกอนาไลซ์เซอร์ ที่สามารถรับสัญญาณดิจิทัล ได้หลายช่องสัญญาณในเวลาเดียวกัน และสัญญาณที่ออกมาจะเป็นในลักษณะข้อมูลดิจิทัลเป็นลำดับ (Sequential Digital Data) และสามารถที่จะแสดงรูปแบบของสัญญาณได้หลายแบบเช่น ไทม์มิ่ง (Timing), ฐานสอง (Binary), ฐานสิบหก (Hex.) ดังนั้น จากบล็อกไดอะแกรมสามารถอธิบายการทำงานได้ดังนี้

การทำงานของเครื่องลอจิกอนาไลซ์เซอร์

1. System Under Test คือ อุปกรณ์ที่จะนำมาใช้ทำการวัดสัญญาณจากเครื่องลอจิกอนาไลซ์เซอร์
2. Multiple channel probe คือ ตัวตรวจจับสัญญาณจาก System Under Test อาจจะมี 8 Channel หรือ 16 Channel ตามแต่คุณสมบัติของเครื่องนั้นๆ
3. Memory คือ หน่วยความจำที่ใช้ในการเก็บข้อมูลที่ได้จากการวัดสัญญาณเข้ามา ซึ่งในการเก็บข้อมูลของเครื่องลอจิกอนาไลซ์เซอร์นี้ จะทำการเก็บแบบ FIFO (first in first out)
4. Display Generator คือ ส่วนที่กำเนิดสัญญาณที่จะแสดงทางหน้าจอ
5. Display คือ ตัวแสดงสัญญาณที่วัดได้
6. Inter-External clock คือ สัญญาณนาฬิกาที่ทำหน้าที่ให้สัญญาณที่วัดเกิดการพร้อมสัมพันธ์ (Synce) กันระหว่างสัญญาณที่นำมาวัด (เข้ามา) และสัญญาณของเครื่องจะทำให้ สัญญาณที่วัดได้มีความถูกต้องและเที่ยงตรงสูง
7. Trigger คือ ส่วนที่ทำการผลิตสัญญาณพัลส์ขึ้นมา เพื่อที่จะทำให้เกิดสัญญาณการเริ่มส่งข้อมูลที่จะไปเก็บในหน่วยความจำ โดยทั่วไปการทริกมี 3 ประเภทดังนี้
 - 7.1 การทริกภายนอก สัญญาณชนิดนี้จะส่งพัลส์จากภายนอกเข้าไป เพื่อทำให้เกิดการเริ่มส่งข้อมูลจากอินพุต ดังนั้น การเก็บข้อมูลในหน่วยความจำ (Memory) ก็จะเริ่มขึ้น
 - 7.2 การทริกภายใน จะมีการทริกด้วยสัญญาณ ทริกเกอร์เวอร์ด
 - 7.3 การทริกด้วยมือ (MANUAL) เป็นการกระตุ้นที่ทำให้เกิดสัญญาณพัลส์ด้วยมือ โดยผู้ใช้ทำการกดเองตามความต้องการ

บทที่ 3

วงจรและแสดงการทำงานของเครื่องลอจิกอนาไลซ์เซอร์



รูปที่ 3.1 บล็อกไดอะแกรมแสดงการทำงานของเครื่องลอจิกอนาไลซ์เซอร์

โดยเครื่องลอจิกอนาไลซ์เซอร์จะสัมพันธ์กับพื้นฐานของหน่วยความจำและข้อมูล โดยข้อมูลบรรจุอยู่จะแสดงเป็นส่วนๆ ที่เซกเมนต์ (segment) และออสซิลโลสโคป (oscilloscope)

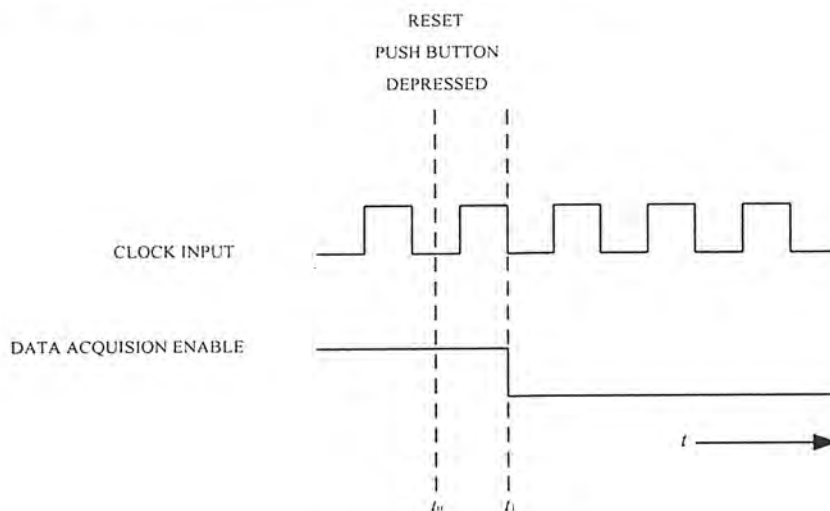
จากบล็อกไดอะแกรมจะแสดงรูปแบบที่เป็นตัวหลัก 3 ส่วนคือ ส่วนหน่วยความจำ (Memory), วงจรสร้างแอดเดรสให้หน่วยความจำ (memory addressing circuit) และวงจรกระตุ้น (Trigger Circuit) โดยการพิจารณาของเครื่องลอจิกอนาไลซ์เซอร์จะดูได้ 2 ส่วนหลักๆ คือการรับข้อมูลเข้ามา และตัวแสดงผล ดังนั้นโดยทั่วไปการดำเนินการก็แบ่งได้ 2 ส่วนดังที่ได้กล่าวมาแล้ว

3.1 การรับข้อมูล

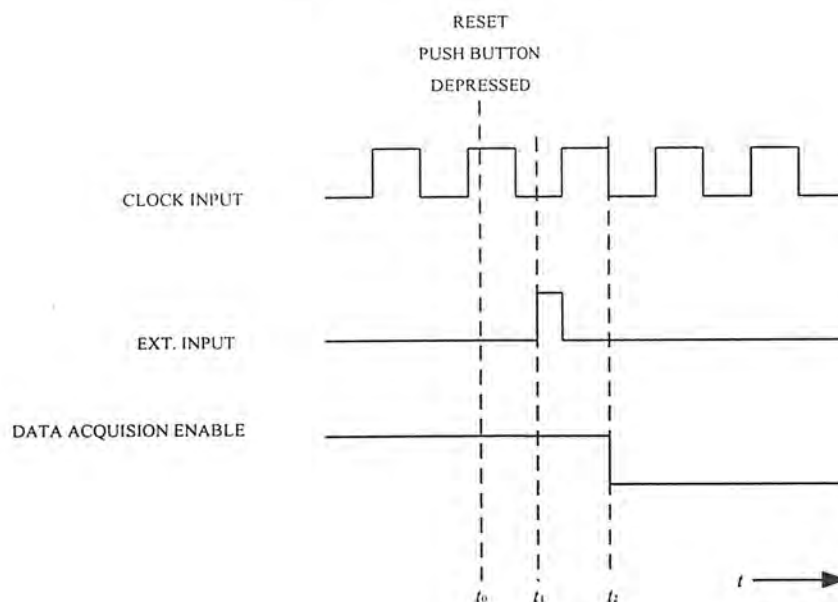
วงจรทริกเกอร์จะเป็นส่วนที่สัมพันธ์กับข้อมูลขึ้นอยู่กับทางเลือกว่า ใช้การทริกเกอร์แบบใดซึ่งสามารถแบ่งได้ 2 แบบ

ก) สัญญาณทริกเกอร์ภายใน (internal triggering signal)

ข) สัญญาณทริกเกอร์ภายนอก (external triggering signal)



ก) internal triggering signal



ข) external triggering signal

รูปที่ 3.2 triggering the data Acquisition

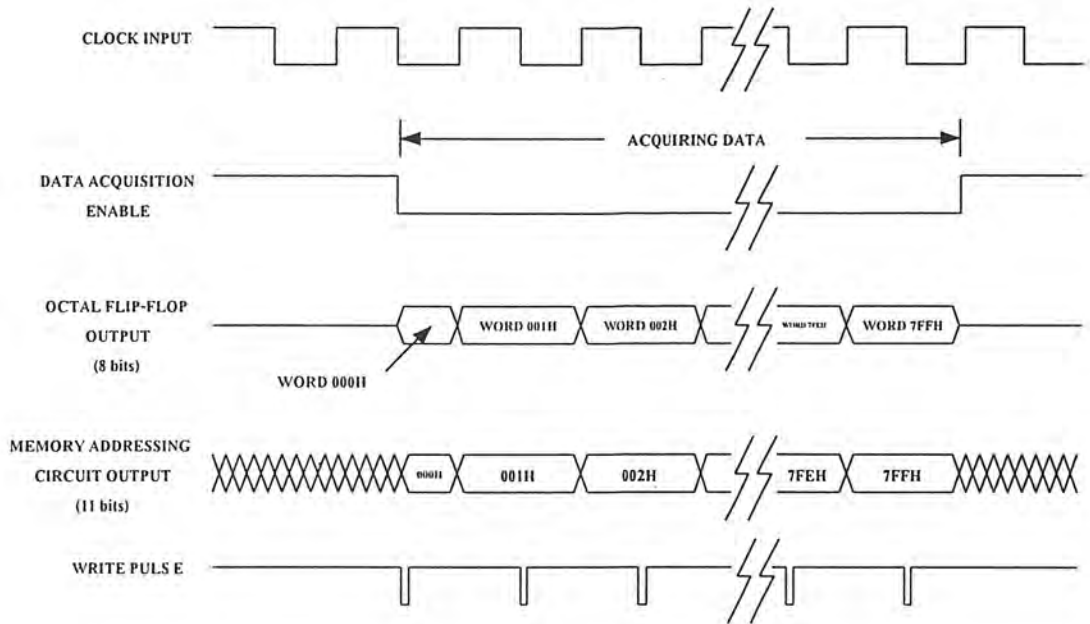
เมื่อวงจรถูกเลือก เป็นแบบสัญญาณกระตุ้นภายใน (internal trigger) ให้อินพุตสัญญาณนาฬิกาขอบาลงจะทำให้สัญญาณเปลี่ยนมาที่ (t1) หลังจากกดปุ่มรีเซ็ต (Reset) ทำให้สัญญาณเปลี่ยนมาที่ (t0) ดังรูปที่ 3.2 (ก)

เมื่อวงจรถูกเลือก เป็นแบบสัญญาณกระตุ้นภายนอก (external trigger) ต้องกดปุ่มรีเซ็ต (Reset) อันดับแรก วงจรกระตุ้น (Trigger Circuit) จะรอจนกว่าช่วงขอบขาขึ้นที่ (t1) เพื่อให้เกิดเป็นสัญญาณภายนอก (external) เมื่อเริ่มต้นรับข้อมูลเข้ามาแล้วจะเปลี่ยนลงมาที่ขอบาลงตรง (t2) เมื่อมีการรับอินพุตสัญญาณนาฬิกาที่ขอบาลงเข้ามาดังรูปที่ 3.2 (ข)

เพื่อให้สามารถรับข้อมูลเข้ามา วงจรทริกเกอร์จะควบคุมการทำงานของเอาต์พุตของฟลิปฟล็อปฐานแปด (Octal flip-flop) และยังเป็นตัวกำเนิดพัลส์เมื่อต้องการเขียนข้อมูลในหน่วยความจำ และรีเซ็ต (Reset) เอาต์พุตการนับของวงจรสร้างตำแหน่งหน่วยความจำ (memory addressing Circuit) (การเริ่มต้นรับข้อมูลเข้ามานั่นเอง) และยังส่งสัญญาณไปควบคุมไฟสัญญาณบอกพร้อมเพื่อรับ (READY) และ ไฟที่แสดงถึงว่าข้อมูลเข้ามา (led data acquisition) หากมีการรับข้อมูลเข้ามาไฟจะสว่าง

ฟลิปฟล็อปฐานแปด (Octal flip-flop) ทำการแลทซ์ข้อมูลอินพุตเมื่อมีอินพุตสัญญาณนาฬิกาขอบาขึ้นเข้ามาและการที่อินพุตสัญญาณนาฬิกาขอบาขึ้นมานั้นทำให้การนับของวงจรสร้างตำแหน่งหน่วยความจำ (memory addressing Circuit) เพิ่มขึ้นด้วย ตรงขอบาลงของอินพุตสัญญาณนาฬิกาเป็นสัญญาณพัลส์ที่กำเนิดขึ้น เพื่อนำไปเขียนในหน่วยความจำโดยข้อมูลที่ออกจากฟลิปฟล็อปฐานแปด (octal flip-flop) จะเป็น 8 บิต

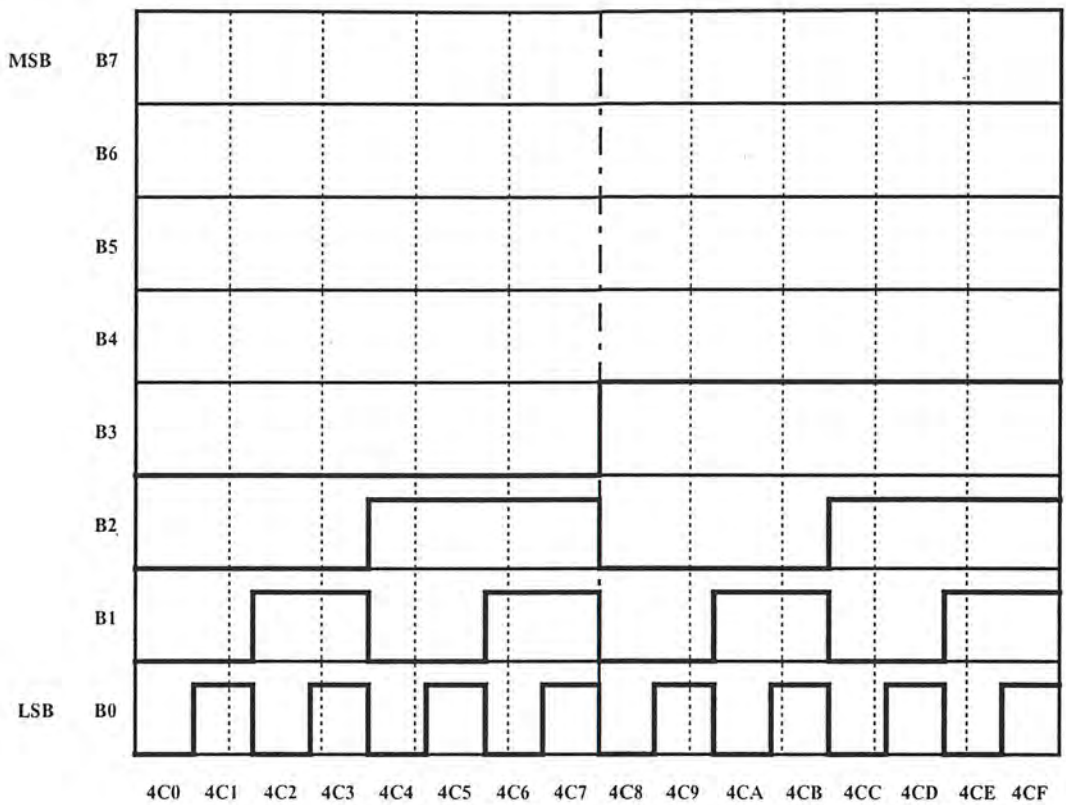
การรับข้อมูลจะจบสิ้นเมื่อหน่วยความจำรับข้อมูลเต็มแล้ว นั่นคือเมื่อมีการเขียนข้อมูลได้ 2048 ไบท์ ในหน่วยความจำ เมื่อมีสัญญาณขอบาขึ้นครั้งต่อไปของอินพุตสัญญาณนาฬิกาเข้ามา เอาต์พุตของฟลิปฟล็อปฐานแปด (octal flip-flop) และการกำเนิดพัลส์ ที่ต้องการเขียนข้อมูลลงไปเก็บในหน่วยความจำทำไม่ได้ รูปที่ 3.3 จะแสดงไทม์มิงไดอะแกรม (timing diagram) ของการรับข้อมูล



รูปที่ 3.3 ไทม์มิ่ง (Timing Diagram) การรับข้อมูล

3.2 การแสดงผลของข้อมูล

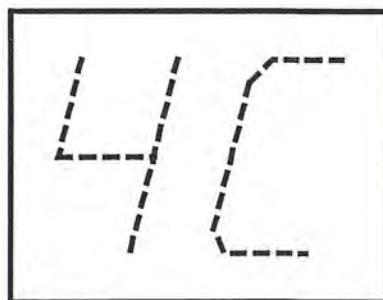
เมื่อมีการรับข้อมูลเข้ามาส่วนแสดงผลของเครื่องลอจิกอนาไลซ์เซอร์จะแสดงผลโดยอัตโนมัติ รูปที่ 3.4 แสดงให้เห็นถึงการแสดงผลข้อมูลบนจอออสซิลโลสโคป (oscilloscope)



รูปที่ 3.4 การแสดงผลข้อมูล

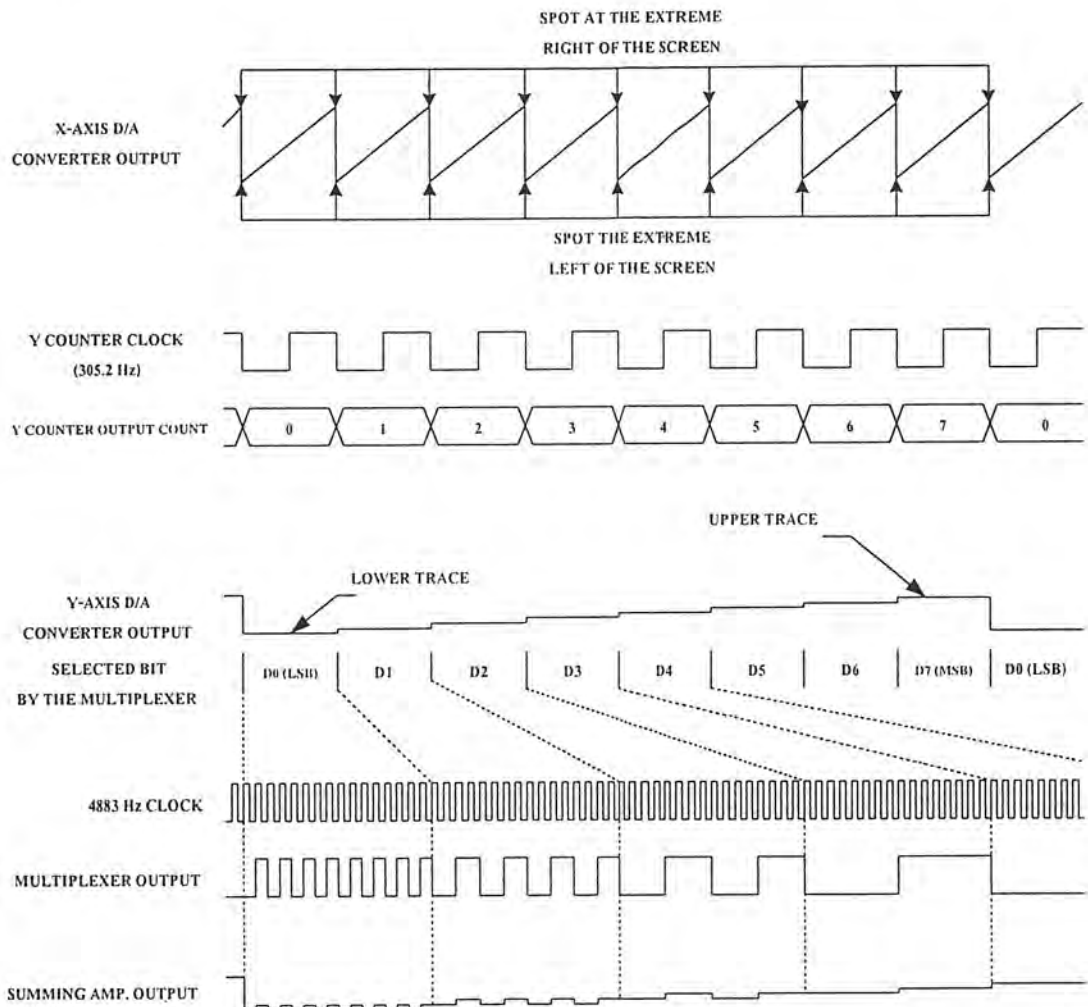
ส่วนข้อมูลในหน่วยความจำของเลขฐานสิบหกด้วยการแสดงผลบนจอออสซิลโลสโคป (ocilloscope) 8 บิต โดยทางด้านซ้ายมือสุดจะแสดงผลข้อมูลเป็น (00H) โดยจะเรียงลำดับไปทางขวามือสุดคือ ข้อมูลเป็น (0FH) โดยการแสดงผลของตัวอย่างเช่นดังรูปที่ 3.4 โดยตัวเลขในหน่วยความจำที่แสดงผลบนจอออสซิลโลสโคป (ocilloscope) จะสัมพันธ์กับส่วนที่แสดงผลบนเซกเมนต์ (segment) ดังรูปที่ 3.5 ที่ยกตัวอย่างแสดงผล (4CH)

HEX. DISPLAY



รูปที่ 3.5 การแสดงผลของตำแหน่งหน่วยความจำบนเซกเมนต์ (segment)

จากบล็อกไดอะแกรมในรูปที่ 3.1 จะสามารถแสดงความสัมพันธ์เป็นไทม์มิงไดอะแกรม (Timing Diagram) ที่ก่อให้เกิดสัญญาณ X และ Y ดังรูปที่ 3.6



รูปที่ 3.6 ไทม์มิงไดอะแกรม (Timing Diagram) ที่ก่อให้เกิดสัญญาณ X และ Y

โดยอินพุตสัญญาณนาฬิกาภายในจะเป็นตัวกำเนิดให้กับภาคการนับในแกน X (X counter) เพื่อให้เกิดสัญญาณเอาต์พุต X และ Y โดยความถี่ที่กำเนิดขึ้นมีค่าเท่ากับ 1.25 MHz เพื่อไปกำเนิดสัญญาณดิจิทัล 12 บิต ของภาคการนับในแกน X (X counter) โดยสัญญาณ 8 บิต จากภาคการนับในแกน X (X Counter) จะเป็นตัวกำเนิดสัญญาณให้ภาคแปลงสัญญาณดิจิทัลเป็นแอนะล็อกในแกน X (X- Axis D/A Converter) เพื่อผลิตสัญญาณรูปฟันเลื่อย (Sawtooth-wave) ความถี่ 304.2 Hz โดยตำแหน่งการเคลื่อนที่ของสัญญาณรูปฟันเลื่อยจะเคลื่อนที่ตามแนวนอน ดังแสดงผลที่ออสซิลโลสโคป สำหรับแต่ละรูปคลื่นของสัญญาณจุดจะเคลื่อนที่จากซ้ายไปขวาบนออสซิลโลสโคป แล้วจะกลับไปทางซ้ายอย่างรวดเร็ว

โดยบิตที่ 7 ของสัญญาณการนับในแกน X (X Counter) ที่มีรูปคลื่นเป็นสี่เหลี่ยม (Square-wave) จะมีความถี่เป็น 16 เท่าของสัญญาณรูปฟันเลื่อย (Sawtooth Wave) ($16 \times 304.2 = 4883$) เท่ากับ 4883Hz โดยส่งผ่านไปยังวงจรการกระตุ้น (Trigger Circuit) เพื่อไปเป็นสัญญาณอินพุตวงจรสร้างแอดเดรสให้หน่วยความจำ (MAC=Memory Addressing Circuit) โดยสัญญาณจากภาค MAC จะมีขนาด 11 บิต

โดย 7 บิตของภาค MAC จะไปควบคุมการแสดงผล (Segment) และ 4 บิตที่เหลือจะเป็นตัวกำเนิดให้มีการนับอย่างต่อเนื่อง จาก 0H-FH ดังนั้นการสแกนจึงเป็น 16 ตำแหน่ง ของหน่วยความจำ โดยความถี่ของสัญญาณนาฬิกา (clock) 4883 Hz จากภาคการนับในแกน X (X Counter) จะเป็นตัวกำเนิดการแสดงผลของข้อมูลเพียงอย่างเดียว ดังนั้นการสแกนทางแนวนอน 16 ตำแหน่ง จะขึ้นอยู่กับภาค MAC โดยแสดงผลบนออสซิลโลสโคป

การรับข้อมูลเข้ามาจากหน่วยความจำจะถูกกำเนิดให้วงจรมัลติเพล็กซ์ (Multiplex) โดยภาคมัลติเพล็กซ์ (Multiplex) จะให้เอาต์พุตได้ 8 ช่องสัญญาณ เอาต์พุตของสัญญาณภาคการนับในแกน Y (Y-Counter) ก็ถูกส่งให้ภาคมัลติเพล็กซ์ (Multiplex) เช่นเดียวกัน

สัญญาณจากภาคมัลติเพล็กซ์ (Multiplex) จะถูกส่งไปยังวงจรรวม (Summing Circuit) เพื่อสร้างสัญญาณ Y โดยเอาสัญญาณลบเส้นสับคกดับ (Blanking) มารวมด้วย

3.3 การออกแบบ

โดยการออกแบบแผ่นปริ้นท์ (PCB) แบ่งได้เป็น 3 แผ่น

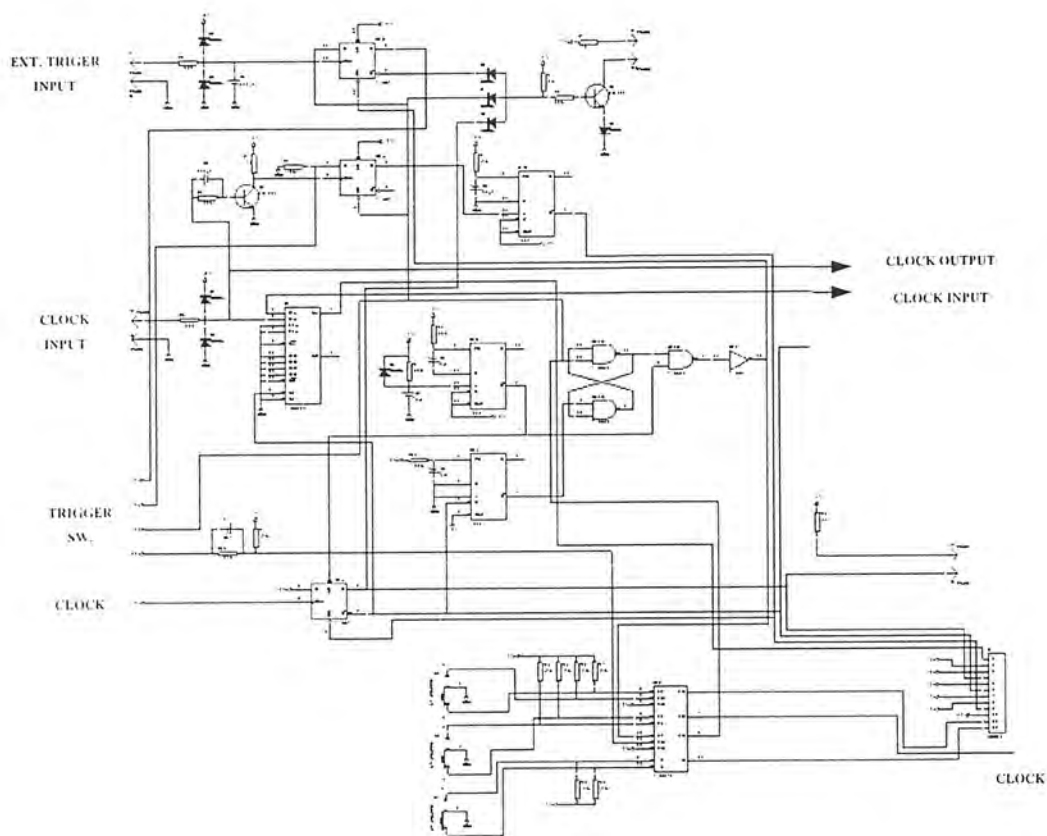
แผ่น A1 ประกอบด้วยภาควงจรการกระตุ้น (Trigger Circuit), กำเนิดสัญญาณนาฬิกาภายใน (Internal Clock Oscillator), การนับในแกน X (X Counter), แปลงสัญญาณดิจิทัลเป็นแอนะล็อกในแกน X (X-Axis D/A Converter) และภาคตรวจจับเพาเวอร์ (Power Detection)

แผ่น A2 ประกอบด้วยภาคบัฟเฟอร์ (Buffer), ฟลิปฟลอปฐานแปด (Octal Flip-Flop), มัลติเพล็กซ์เซอร์ (Multiplexer), หน่วยความจำ (Memory), วงจรสร้างตำแหน่งหน่วยความจำ (Memory Addressing Circuit (MAC)), เลือกโหมดแสดงผล (Display Mode Selector), การนับในแกน Y (Y Counter), แปลงสัญญาณดิจิทัลเป็นแอนะล็อกในแกน Y (Y-Axis D/A Converter) และภาค วงจรขยายแบบรวมสัญญาณ (Summing Amplifier)

แผ่น A3 ส่วนแสดงผลฐานสิบหก (Hex. Display)

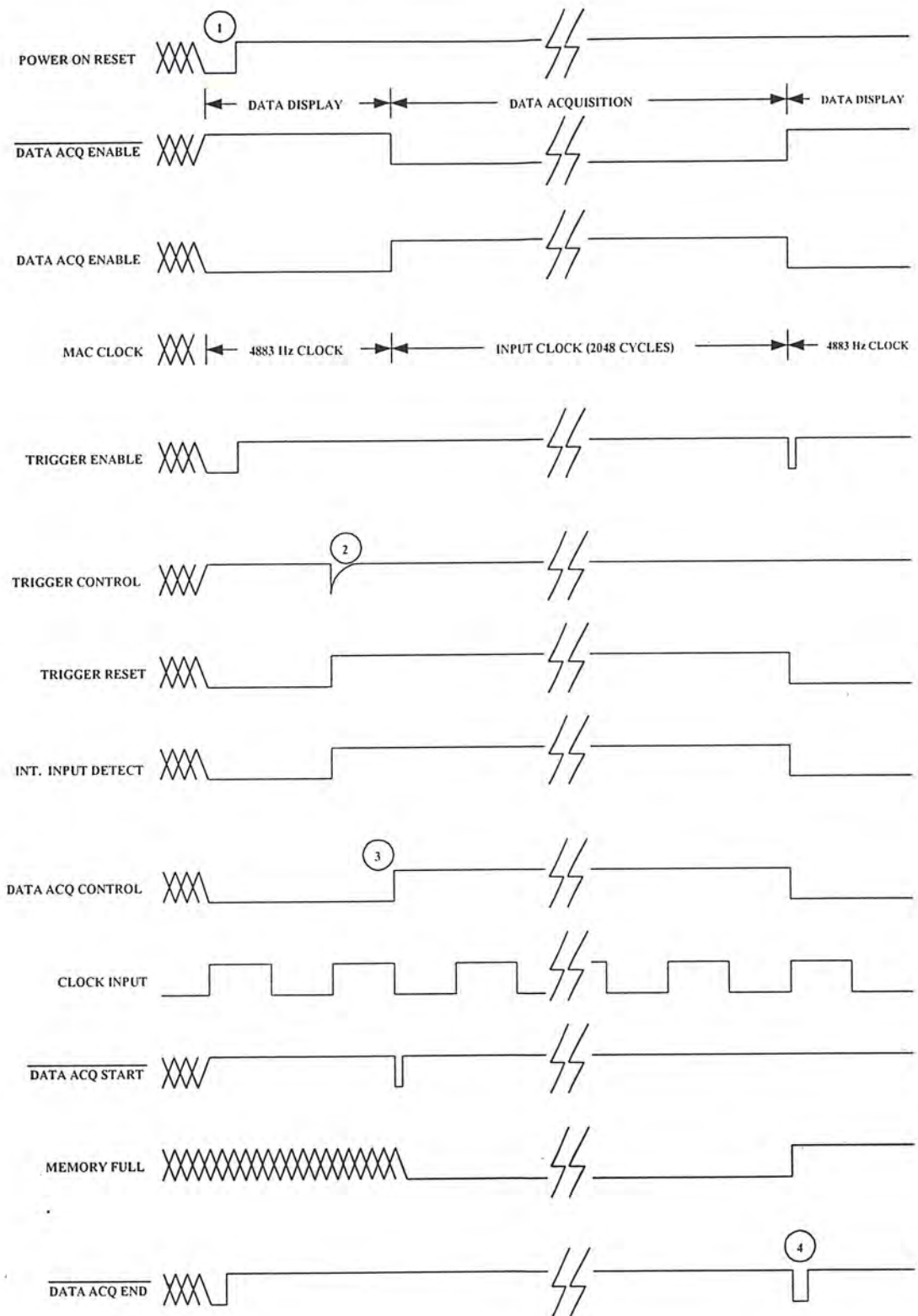
วงจรต่างๆ ตามรูปที่ 3.7 -3.13 (อยู่บนแผ่นปริ้น (PCB) A1)

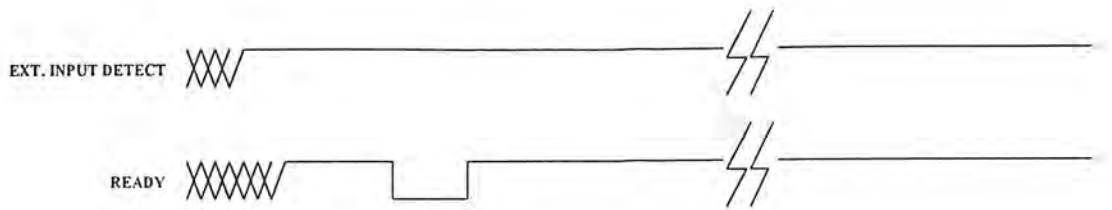
3.3.1 ภาควงจรกระตุ้น (Trigger Circuit)



รูปที่ 3.7 วงจรภาคการกระตุ้น (Trigger Circuit)

วงจรการกระตุ้น (Trigger Circuit) ดังรูปที่ 3.7 ประกอบด้วยตัวหลักคือ (U1-A, U1-B, U2-A) (IC#74LS74) ซึ่งเป็นดีฟลิปฟlop, อาร์เอสฟลิปฟlop ซึ่งรวมอยู่ใน U12 (IC#74LS279), วงจรโมโนสเตเบิลมัลติไวเบรเตอร์ (Monostable Multivibrator) รวมอยู่ใน (U4-B, U3-A, U3-B) (IC#74HC4538) และวงจรมัลติเพล็กซ์อยู่ใน U5 (IC#74LS153)

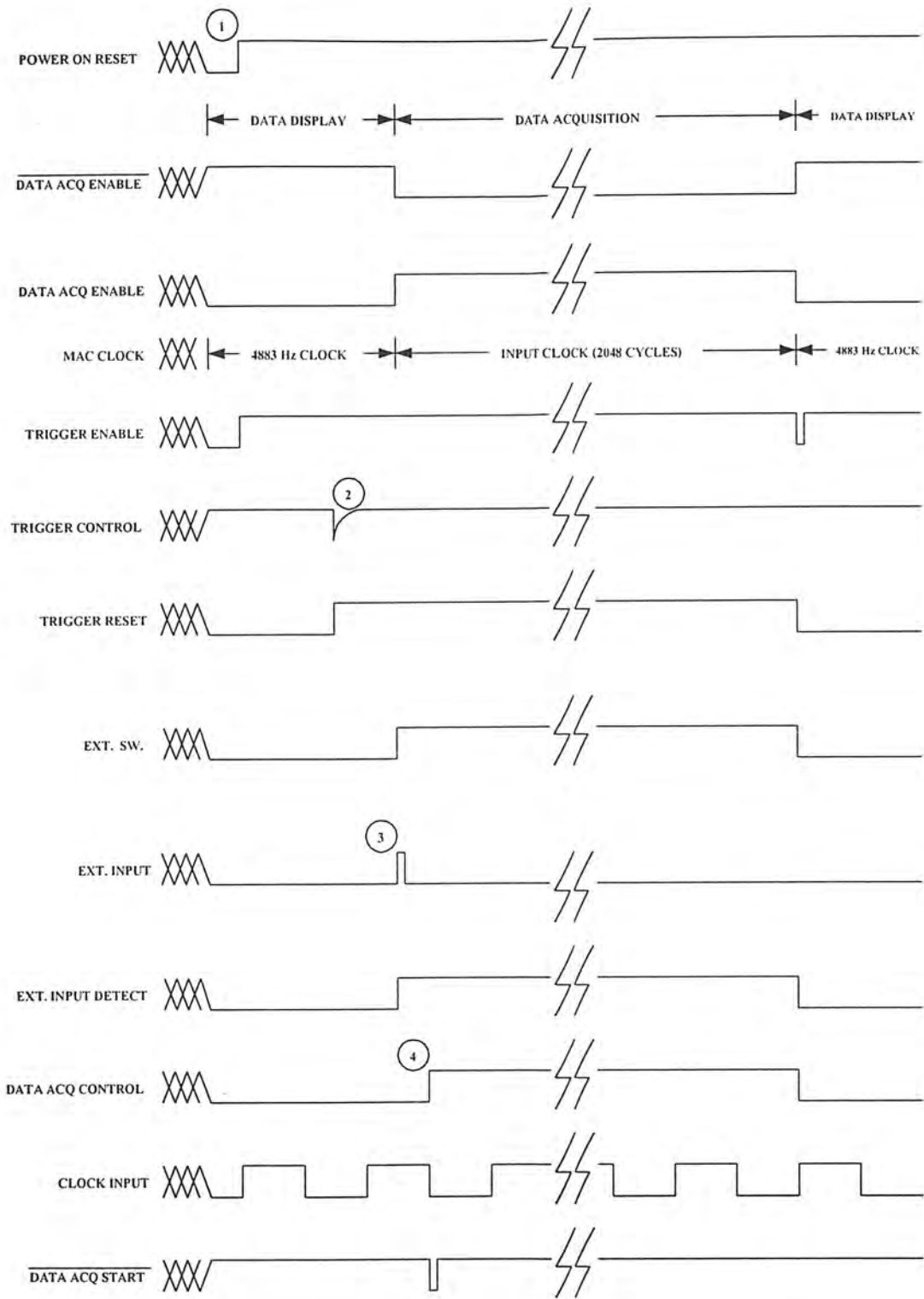


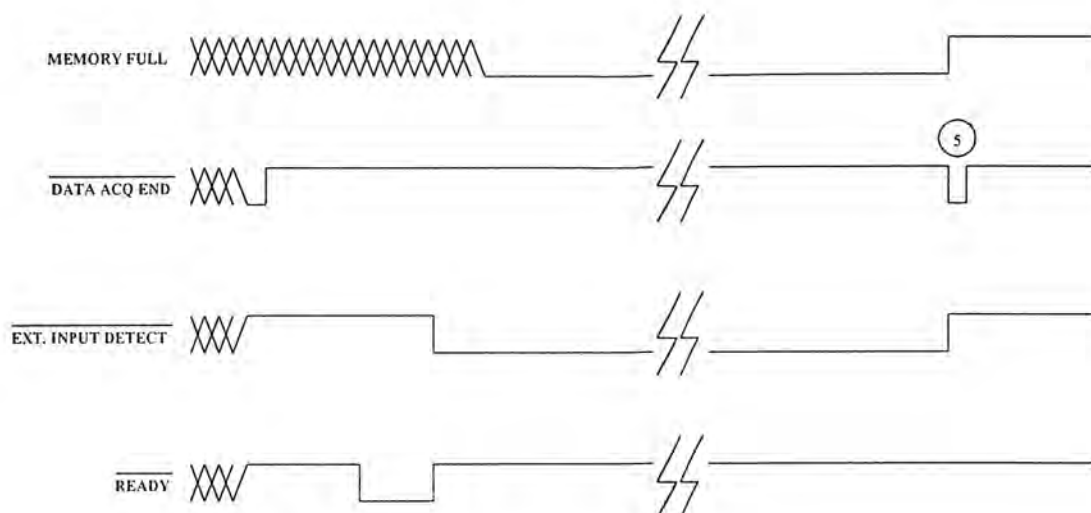


รูปที่ 3.8 ไทม์มิงไดอะแกรมและการทำงานของวงจรกระตุ้นภายใน (Internal Trigger)

รูปที่ 3.8 จะแสดงรายละเอียดการทำงานเมื่อการกระตุ้น (Trigger) ถูกเลือกเป็นแบบภายใน (Internal) แสดงได้ 4 ขั้นตอนดังนี้

1. วงจรโมโนสเตเบิลมัลติไวเบรเตอร์ (Monostable Multivibrator) ใน (U3-B) จะเป็นตัวกำเนิดสัญญาณพัลส์เพื่อทำการรีเซ็ต (Reset) โดยสัญญาณพัลส์จะทำการรีเซ็ต (Reset) ดีฟลิปฟล็อปใน (U1-B, U2-A) และอาร์เอสฟลิปฟล็อปที่มีอยู่ใน (U12) ดังนั้นสัญญาณพัลส์จะเซ็ต (Set) ดีฟลิปฟล็อปใน (U1-A) เมื่อเครื่องลอจิกอนาไลซ์เซอร์มีการแสดงผลของข้อมูล
2. เมื่อปุ่มรีเซ็ตถูกกด สัญญาณพัลส์ทางด้านลบจะไปเซ็ตอาร์เอสฟลิปฟล็อปใน U12
3. เมื่อขอบขาของสัญญาณนาฬิกาต่อไปเข้ามาดีฟลิปฟล็อปใน (U1-A) เอาต์พุตจะแสดงสถานะลอจิกเป็น 0 เริ่มต้นการรับข้อมูล ข้อสังเกต สัญญาณนาฬิกาจะเป็นตัวกำเนิดให้กับวงจรสร้างแอดเดรสให้หน่วยความจำ (Memory Addressing Circuit) ด้วย
4. เมื่อหน่วยความจำมีการเก็บข้อมูล สัญญาณจะได้จากวงจรสร้างแอดเดรสให้หน่วยความจำ (Memory Addressing Circuit) แสดงสถานะลอจิกเป็น 1 ดีฟลิปฟล็อปใน (U1-A) เอาต์พุตก็จะแสดงสถานะลอจิกเป็น 1 เช่นเดียวกัน เครื่องลอจิกอนาไลซ์เซอร์จะเริ่มแสดงผลของข้อมูล โดยสัญญาณนาฬิกาความถี่ 4883 Hz จะเป็นตัวกำเนิดสัญญาณให้กับวงจรสร้างแอดเดรสให้หน่วยความจำ (Memory Addressing Circuit) เพื่อแสดงผลของข้อมูล



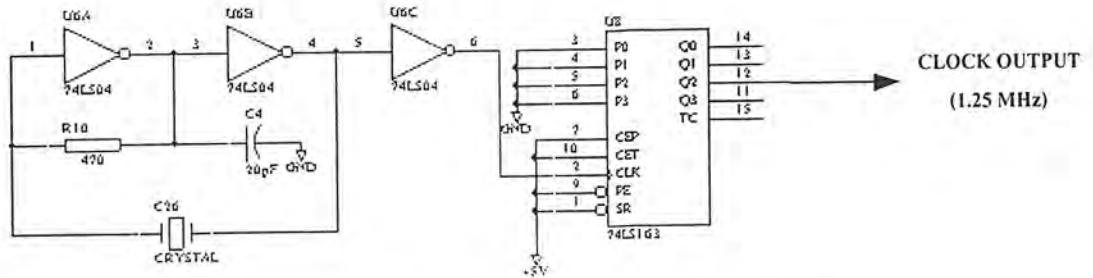


รูปที่ 3.9 ไทม์มิงไดอะแกรมและการทำงานของวงจรกระตุ้นภายนอก (External Trigger)

รูปที่ 3.9 จะแสดงรายละเอียดการทำงานเมื่อการกระตุ้น (Trigger) ถูกเลือกเป็นแบบภายนอก (External) แสดงได้ 5 ขั้นตอนดังนี้

1. วงจรโมโนสเตเบิลมัลติไวเบรเตอร์ (Monostable Multivibrator) ใน (U3-B) จะเป็นตัวกำเนิดสัญญาณพัลส์เพื่อทำการรีเซ็ต (Reset) โดยสัญญาณพัลส์จะทำการรีเซ็ตดีฟลิปฟล็อปใน (U1-B, U2-A) และอาร์เอสฟลิปฟล็อปใน (U12) ดังนั้นสัญญาณพัลส์จะเซ็ต (Set) ดีฟลิปฟล็อปใน (U1-A) เมื่อเครื่องลอจิกอนาไลซ์เซอร์มีการแสดงผลของข้อมูล
2. เมื่อปุ่มรีเซ็ตถูกกด สัญญาณพัลส์ทางด้านลบจะไปเซ็ตอาร์เอสฟลิปฟล็อปใน U12 วงจรการกระตุ้น (Trigger) จะรอจนกว่ามีขอบขาขึ้นของสัญญาณจากภายนอก (External)
3. เมื่อขอบขาขึ้นของสัญญาณจากภายนอก (External) เข้ามาดีฟลิปฟล็อปใน (U1-B) เอาต์พุตจะมีสถานะลอจิกเป็น 1
4. เมื่อขอบขาลงของสัญญาณนาฬิกาต่อไปเข้ามาดีฟลิปฟล็อปใน (U1-A) เอาต์พุตจะแสดงสถานะลอจิกเป็น 0 เริ่มต้นการรับข้อมูล ข้อสังเกตสัญญาณนาฬิกาจะเป็นตัวกำเนิดสัญญาณให้กับวงจรสร้างแอดเดรสให้หน่วยความจำ (Memory Addressing Circuit) ด้วย
5. เมื่อหน่วยความจำมีการเก็บข้อมูล สัญญาณจะมาจากวงจรสร้างแอดเดรสให้หน่วยความจำ (Memory Addressing Circuit) แสดงสถานะลอจิกเป็น 1 ดีฟลิปฟล็อปใน (U1-A) เอาต์พุตก็จะแสดงสถานะลอจิกเป็น 1 เช่นเดียวกัน เครื่องลอจิกอนาไลซ์เซอร์จะเริ่มแสดงผลของข้อมูล โดยสัญญาณนาฬิกาความถี่ 4883 Hz จะเป็นตัวกำเนิดให้กับวงจรสร้างแอดเดรสให้หน่วยความจำ (Memory Addressing Circuit) เพื่อแสดงผลของข้อมูล

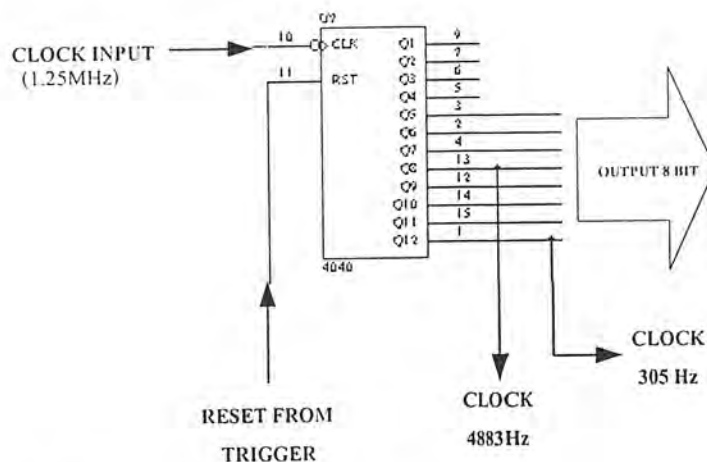
3.3.2 ภาคนำเนิดสัญญาณนาฬิกาภายใน (Internal Clock Oscillator)



รูปที่ 3.10 วงจรภาคนำเนิดสัญญาณนาฬิกาภายใน (Internal Clock Oscillator)

การกำเนิดสัญญาณนาฬิกาภายในดังรูปที่ 3.10 ประกอบด้วยวงจรอินเวอร์เตอร์บัฟเฟอร์ (Inverter Buffer) ใน (U6-A, U6-B, U6-C) (IC#74LS04), ตัวคริสตอล (Y1) และสัญญาณนับ 4 บิต ใน U8 (IC#74LS163) โดยวงจรอินเวอร์เตอร์บัฟเฟอร์ (Inverter Buffer) และคริสตอลจะผลิตสัญญาณนาฬิกาความถี่ 10 MHz โดยเอาต์พุตของ (U6-C) จะเป็นตัวกำเนิดสัญญาณให้แก่ U8 ความถี่จะถูกแบ่งออกเป็น 8 ส่วน ($10\text{MHz}/8$) มีความถี่เท่ากับ 1.25 MHz เพื่อออกเอาต์พุตที่ขา 12 ของ U8

3.3.3 ภาคนับในแกน X (X Counter)

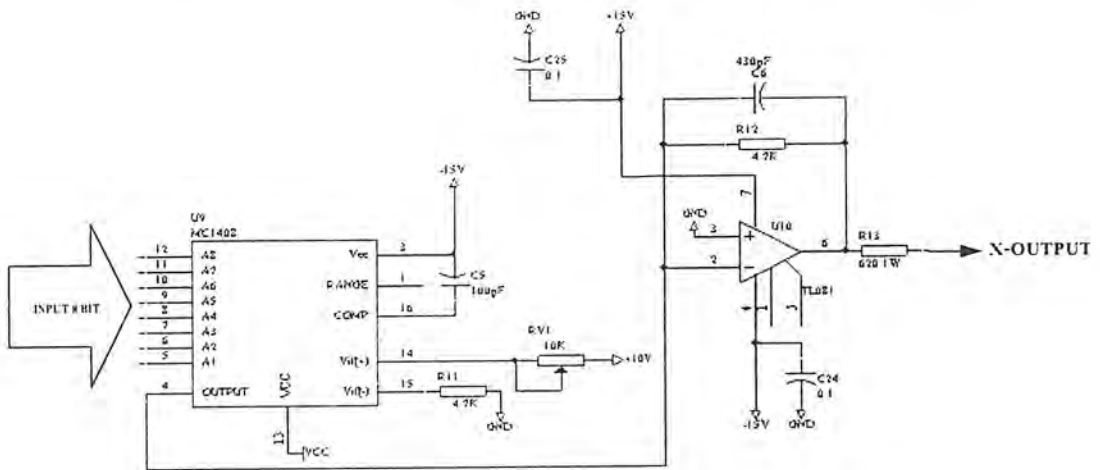


รูปที่ 3.11 วงจรภาคนับในแกน X (X Counter)

วงจรภาคนับในแกน X (X Counter) ดังรูปที่ 3.11 ประกอบด้วยเอาต์พุต 12 บิตในวงจรมับของ U7 (IC#74LS4040) โดยขา 10 ของ U10 จะได้รับอินพุตสัญญาณนาฬิกาจะถูกกำเนิดโดยสัญญาณนาฬิกาที่ความถี่ 1.25 MHz เอาต์พุตของวงจรภาคนับในแกน X (X Counter) คือเอาต์พุตของ U8 นั่นเอง คือ QA-QL แต่ใช้เพียง 8 บิต เป็นเอาต์พุตเพื่อป้อนสัญญาณให้กับวงจรภาค

แปลงสัญญาณดิจิทัลเป็นแอนะล็อกในแกน X (X-Axis D/A Converter) ต่อไป โดยความถี่ที่ผลิตได้เป็นเฮิร์ตซ์ QA เท่ากับ 4883 Hz ในขณะที่ QL (MSB) เท่ากับ 305 Hz

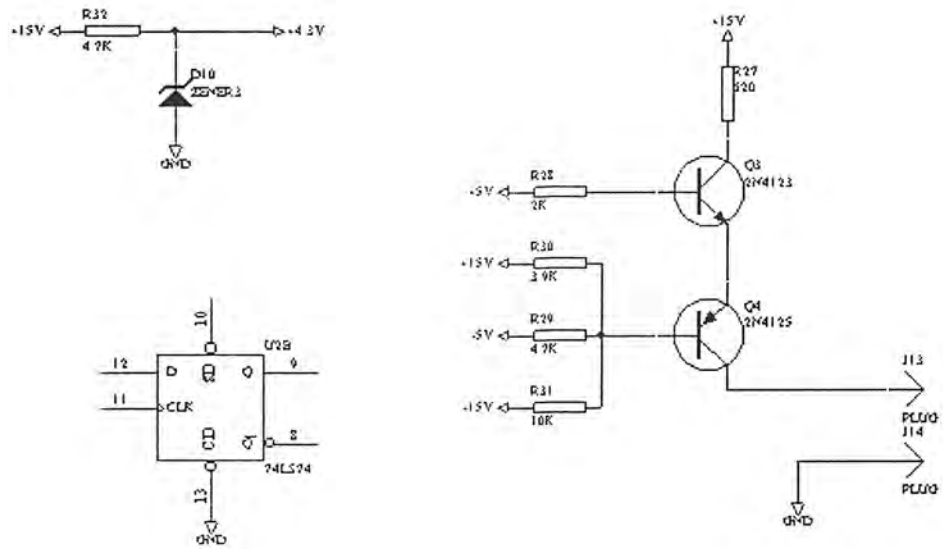
3.3.4 ภาคแปลงสัญญาณดิจิทัลเป็นแอนะล็อกในแกน X (X-Axis D/A Converter)



รูปที่ 3.12 วงจรภาคแปลงสัญญาณดิจิทัลเป็นแอนะล็อกในแกน X (X-Axis D/A Converter)

วงจรภาคแปลงสัญญาณดิจิทัลเป็นแอนะล็อกในแกน X (X-Axis D/A Converter) ดังรูปที่ 3.12 ประกอบด้วย U9 (IC#MC1408) และวงจรการขยาย U10 (IC#TL081) สัญญาณอินพุตของวงจรแปลงสัญญาณดิจิทัลเป็นแอนะล็อกในแกน X (X-Axis D/A Converter) จะเหมือนกับอินพุตของการแปลงสัญญาณดิจิทัลเป็นแอนะล็อก (D/A Converter), อินพุตของ U9 คือขา A1-A8 โดยขา A1 เป็น MSB สัญญาณเอาต์พุตของภาคนี้จะส่งไปขยายที่วงจรการขยาย U10 เอาต์พุตออกที่ขา 6 ของ U10 โดย U9 ภาคนี้จะผลิตกระแสตามสัดส่วนความกว้างของข้อมูล 8 บิต ที่ส่งเข้ามา โดย U10 จะทำงาน อินพุตเป็นกระแส แล้วเปลี่ยนเป็นในรูปแรงดันส่งออกเอาต์พุต เมื่อวงจรภาคการนับในแกน X (X Counter) ทำงานอย่างต่อเนื่อง เอาต์พุตของวงจรภาค X-Axis D/A Converter จะเป็นสัญญาณรูปฟันเลื่อย (Sawtooth-Wave) โดย RV1 จะเป็นตัวปรับเกนขยาย

3.3.5 ภาควาเวอร์ดิเทคชัน (Power Detection)

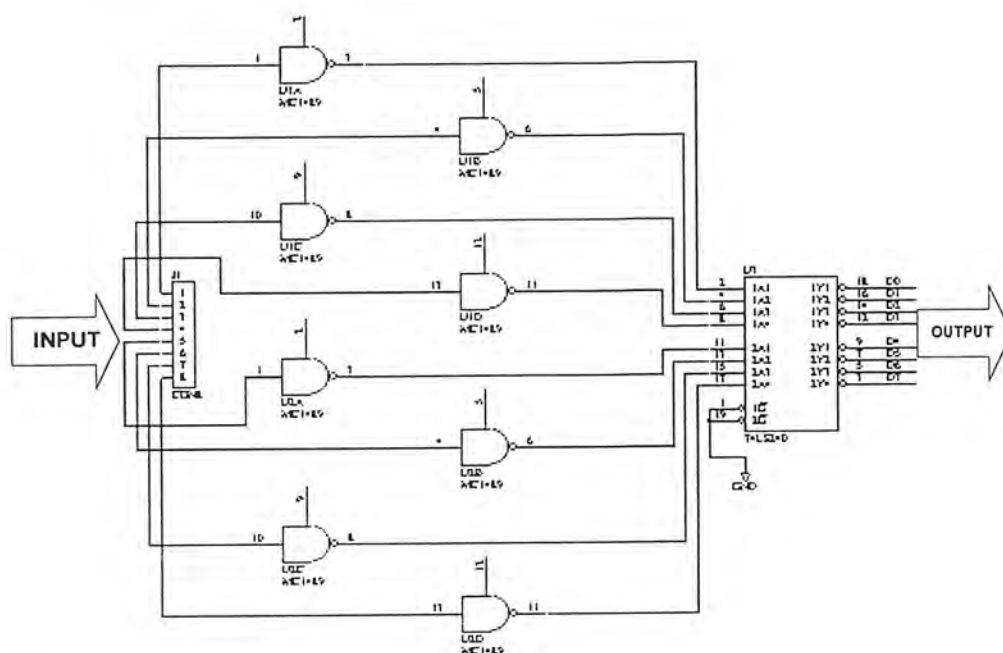


รูปที่ 3.13 วงจรภาควาเวอร์ดิเทคชัน (Power Detection)

วงจรภาควาเวอร์ดิเทคชัน (Power Detection) ดังรูปที่ 3.13 ประกอบด้วย Q4 (2N4125) และ Q3 (2N4123) มีไฟเลี้ยงจ่ายให้แก่วงจรเมื่อมีการเปิดเครื่องไฟแอลอีดี (Power) ก็สว่าง ซึ่งแสดงไว้หน้าตัวเครื่อง

วงจรต่างๆ ตามรูปที่ 3.14-3.23 (อยู่บนแผ่นปริ้นท์ (PCB) A2)

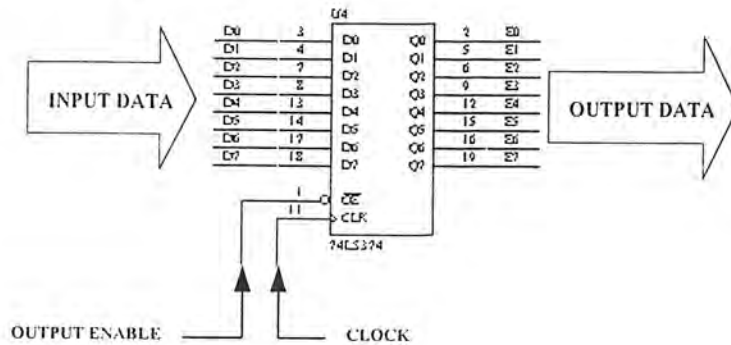
3.3.6 ภาคบัฟเฟอร์ (Buffer)



รูปที่ 3.14 วงจรภาคบัฟเฟอร์ (Buffer)

วงจรภาคบัฟเฟอร์ดังรูปที่ 3.14 สัญญาณอินพุตจะทำการต่ออินพุตของสาย RS232C ตัวรับสัญญาณคือ U1 และ U2 (IC#MC1489) และอินเวอร์เตอร์บัฟเฟอร์ (Inverter Buffer) คือ U3 (IC#74LS240) โดย U1 และ U2 เป็นตัวรับสัญญาณข้อมูลโดยตรงและทำหน้าที่ป้องกันด้วย เมื่อสัญญาณข้อมูลเข้ามามีแรงดันเกิน โดย U3 จะต่ออนุกรมตัวรับเพราะมันจะกลับไปเป็นอินพุตข้อมูล เอาต์พุตของ U3 เป็นอินพุตให้แก่วงจรภาคฟลิปฟล็อปฐานแปด (Octal Flip-Flop) และโหมดการแสดงผลต่อไป

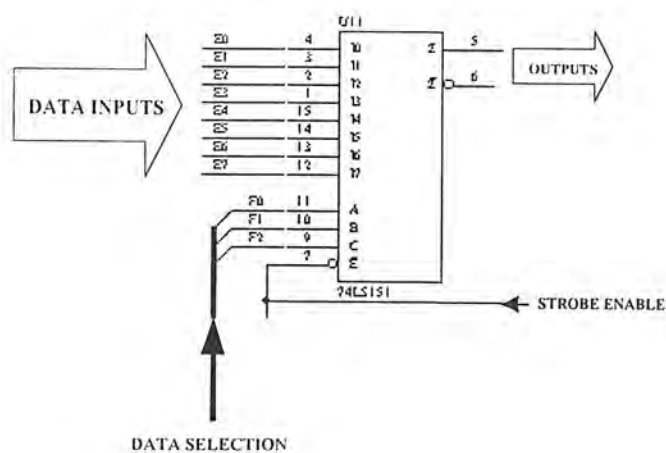
3.3.7 ภาคลลิปฟลอปฐานแปด (Octal Flip-Flop)



รูปที่ 3.15 วงจรภาคลลิปฟลอปฐานแปด (Octal Flip-Flop)

วงจรภาคลลิปฟลอปฐานแปด (Octal Flip-Flop) ดังรูปที่ 3.15 ประกอบด้วยดีฟลิปฟลอป 8 ตัว รวมอยู่ใน U4 (IC#74LS374) โดยอินพุตของฟลิปฟลอป (Flip-Flop) คือ 1D-8D และมีสภาวะการทำงาน 3 สถานะ เอาต์พุตคือ 1Q-8Q โดยควบคุมอินพุตของภาคลลิปฟลอปฐานแปด (Octal Flip-Flop) คือขา 1 ของ U4 โดยจะรับการควบคุมเอาต์พุตมาจากแผ่นปริ้นท์ A1 คือขา 5 ของ U2-A (IC#74LS74) เมื่อสัญญาณอินพุตมีระดับลอจิกเป็น 1 (ระหว่างการแสดงข้อมูล) โดยเอาต์พุตของภาคลลิปฟลอปฐานแปด (Octal Flip-Flop) มี 3 สถานะ (ความต้านทานสูง) อินพุตสัญญาณนาฬิกา คือขา 11 ของ U4 โดยฟลิปฟลอปฐานแปด (Octal Flip-Flop) รับข้อมูลจากหน่วยความจำจากช่วงขอบขาขึ้นของสัญญาณข้อมูล

3.3.8 ภาคมัลติเพล็กซ์เซอร์ (Multiplexer)



รูปที่ 3.16 วงจรภาคมัลติเพล็กซ์เซอร์ (Multiplexer)

ภาคมัลติเพล็กซ์เซอร์ (Multiplexer) ดังรูปที่ 3.16 ประกอบด้วยอินพุต 8 ช่องสัญญาณ ซึ่งอยู่ใน U11 (IC#74LS151) อินพุตคือ D0-D7 (ขา 1-4 และขา 12-15) จะถูกเลือกสัญญาณควบคุมสัญญาณอินพุตตาม A-C (ขา 9-11) โดยจากวงจรกำเนิดสัญญาณของภาคการนับในแกน Y (Y Counter)

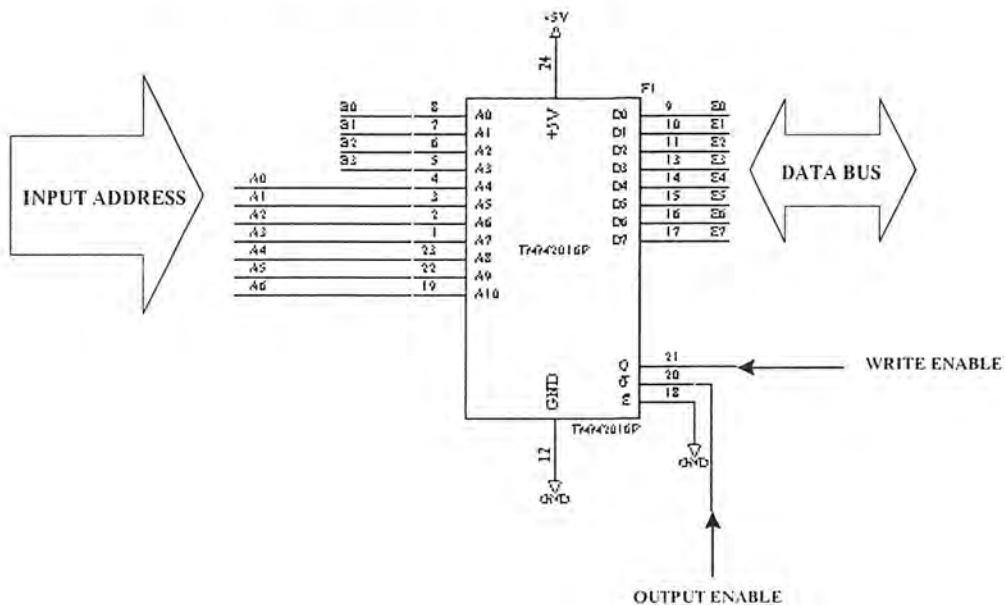
Inputs				Outputs	
Select			Strobe S	Y	W
C	B	A			
X	X	X	H	L	H
L	L	L	L	D0	$\overline{D0}$
L	L	H	L	D1	$\overline{D1}$
L	H	L	L	D2	$\overline{D2}$
L	H	H	L	D3	$\overline{D3}$
H	L	L	L	D4	$\overline{D4}$
H	L	H	L	D5	$\overline{D5}$
H	H	L	L	D6	$\overline{D6}$
H	H	H	L	D7	$\overline{D7}$

H = High Level, L = Low Level, X = Don't Care
D0, D1...D7 = the level of the respective D input

รูปที่ 3.17 แสดงตารางความจริง (Truthtable) การทำงานของมัลติเพล็กซ์เซอร์ (Multiplexer)

รูปที่ 3.17 มีการควบคุม 3 บิต คือขา A-C. เอาต์พุตคือ Y (ขา 5 ของ U11), ขาควบคุมการทำงาน (Control Enable) ที่ตำแหน่งขา 7 ของ U11 โดยอินพุตจะถูกควบคุมโดยสัญญาณข้อมูลที่ขา 6 ของ U2 แผ่นปริ้นท์ A1 เมื่อระดับสัญญาณมีลอจิกเป็น 1 (ระหว่างการแสดงข้อมูล) มัลติเพล็กซ์เซอร์ (Multiplexer) ไม่สามารถทำได้

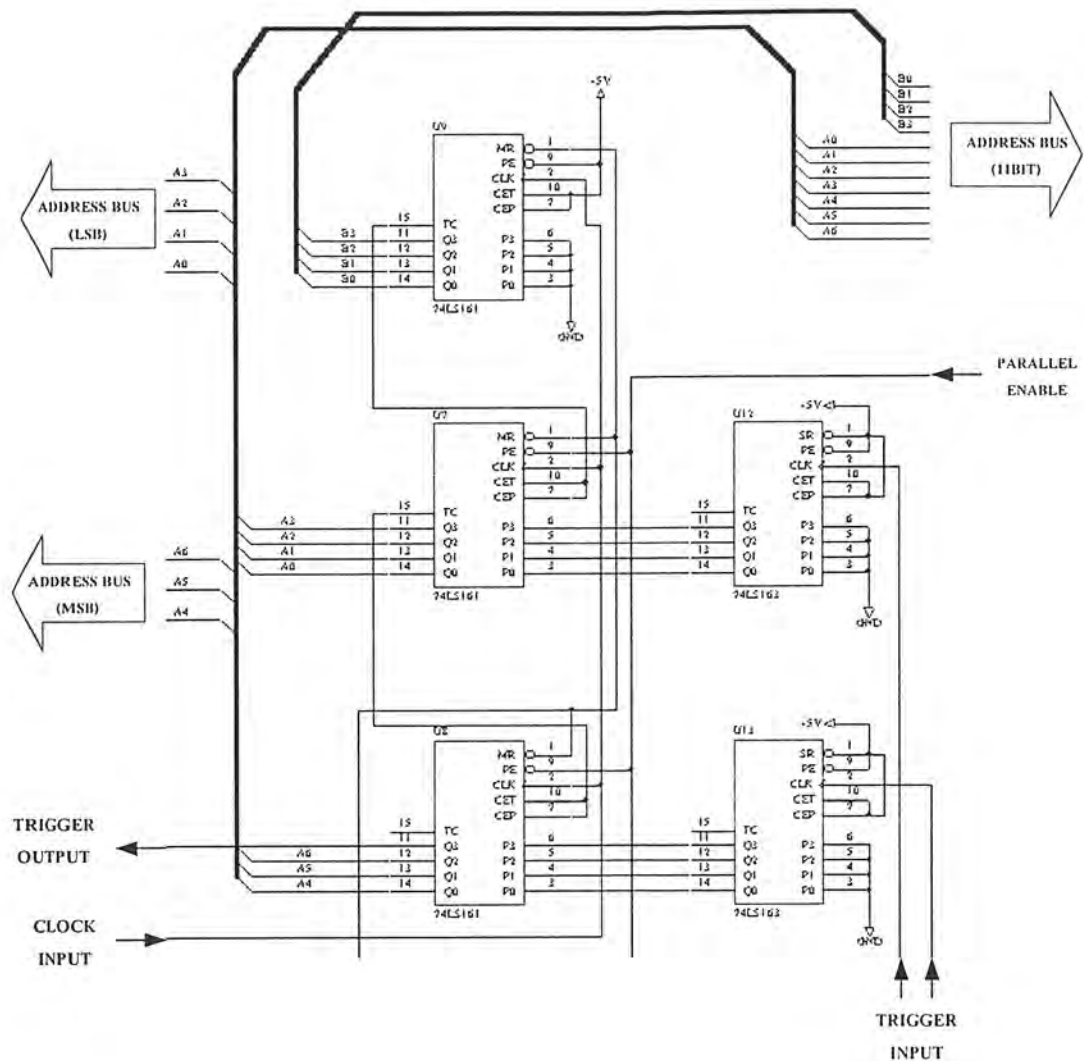
3.3.9 ภาคนหน่วยความจำ (Memory)



รูปที่ 3.18 วงจรภาคนหน่วยความจำ (Memory)

หน่วยความจำดังรูปที่ 3.18 ประกอบด้วย 2048 คำ โดยใช้สเตติกแรม U9 (TMM2016P) ตำแหน่งอินพุตหน่วยความจำเป็น A0-A10 (ขา 1-8 และขา 19, 22 และ 23) การควบคุมถูกควบคุมจากภาค MAC ส่วนของข้อมูลคือ D0-D7 (ขา 9-11 และขา 13-17) โดยการควบคุมใช้ขา 20 ของ U9 อินพุตจะถูกควบคุมโดยสัญญาณข้อมูลที่ขา 6 ของ U2-A (IC#74LS74) ในแผ่นปริ้นท์ A1 เมื่อระดับสัญญาณลอจิกเป็น 1 ข้อมูลจะส่งไปยังหน่วยความจำ เมื่อต้องการเขียนข้อมูลในหน่วยความจำ (ขา 21 ของ U9) โดยใช้สัญญาณพัลส์ควบคุมการเขียนมีแหล่งกำเนิดจากวงจรโมโนสเตเบิลมัลติ ไวเบเรเตอร์ (Monostable Multivibrator) ของ U4-A (IC#74HC4538) แผ่น A1 วงจรโมโนสเตเบิลมัลติไวเบเรเตอร์ (Monostable Multivibrator) จะกำเนิดพัลส์ขอบาลงเพื่อให้ได้สัญญาณนาฬิกา

3.3.10 ภาควงจรสร้างแอดเดรสให้หน่วยความจำ (memory addressing circuit, MAC)

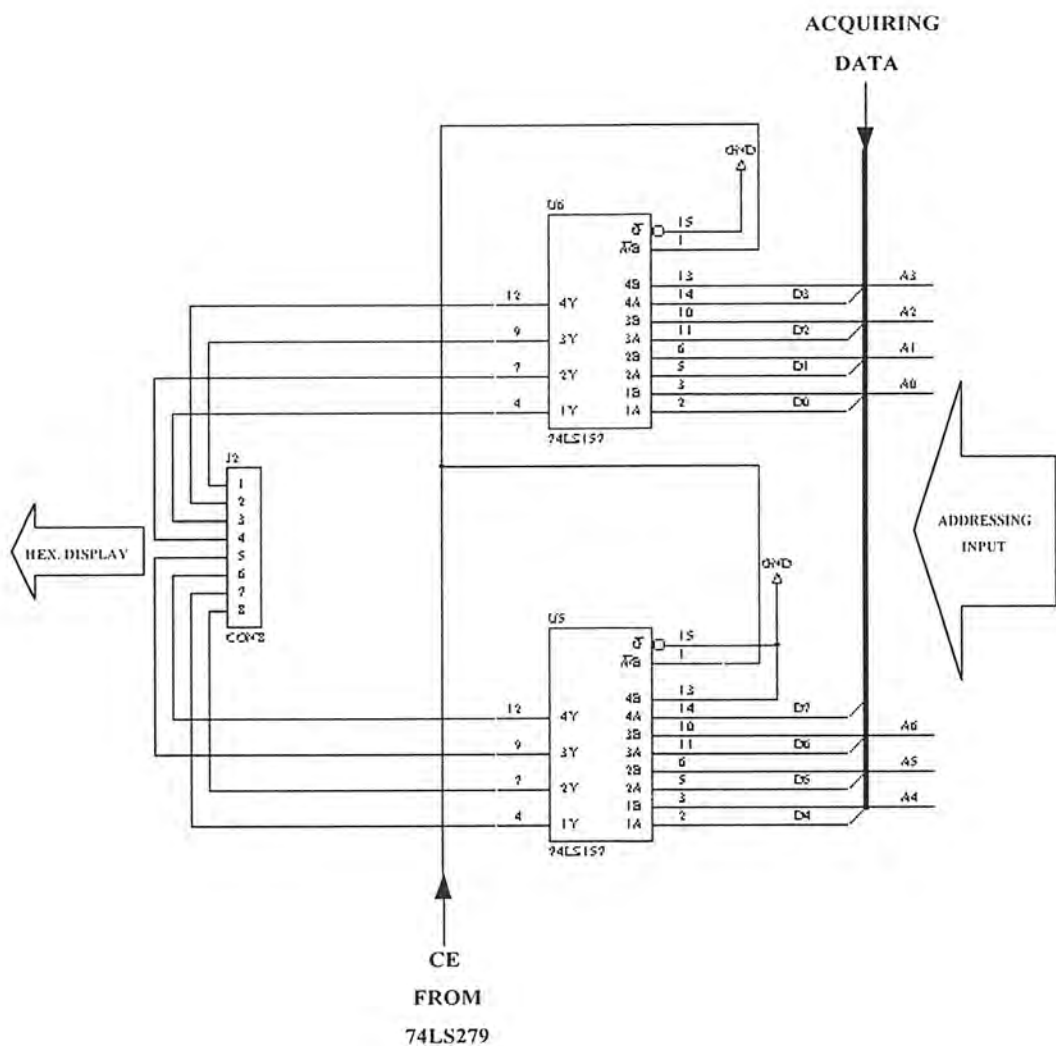


รูปที่ 3.19 วงจรภาคสร้างแอดเดรสให้หน่วยความจำ (memory addressing circuit)

วงจร MAC ดังรูปที่ 3.19 ประกอบด้วยอินพุตหลักๆ 4 บิต ใน U8, U7, U9 (IC#74LS161B) ขาเอาต์พุตการนับแต่ละตัวคือ QA-QD (ขา 11-14), สัญญาณนาฬิกาที่ขา 2 เมื่อมีการเริ่มต้นรับข้อมูลเข้ามาสัญญาณจากขา 9 ของ U4-B (IC#74HC4538) ในแผ่นปริ้นท์ A1 จะทำการรีเซ็ตวงจรนับของ U8, U7, U9 วงจรนับจะเพิ่มขึ้นตามสัญญาณนาฬิกาที่เข้ามา เมื่อมีการนับถึง 7FH เอาต์พุต (QD) ของ U8 จะมีสถานะลอจิกเป็น 1 บนขอบขาขึ้นของสัญญาณนาฬิกาซึ่งชี้ให้เห็นว่าหน่วยความจำที่มีการป้อนข้อมูลเข้ามาจะลดลงทันที เมื่อรับข้อมูลจากขา 6 ของ U1-A แผ่นปริ้นท์ A1 ระดับสัญญาณ ลอจิกเป็น 0 ป้อนอย่างต่อเนื่องให้กับ U8, U7 เอาต์พุตการนับก็จะส่งให้กับ U13 (IC#74LS163B) และ U12 (IC#74LS163B) ตามลำดับ สัญญาณนาฬิกา

ความถี่ 4883Hz จะถูกป้อนให้แก่ U9 อย่างต่อเนื่อง ดังนั้นการสแกนจะได้ 16 ตำแหน่ง เอาต์พุตของ U13 และ U12 จะตรงกับจำนวนตัวเลขที่ถูกเลือกในหน่วยความจำอาร์เอสฟลิปฟล็อปที่อยู่ใน U12 (IC#74LS279) แผ่นปริ้นท์ A1 จะกำเนิดพัลส์โดยใช้สวิทช์ S3 และ S1 เป็นตัวจ่าย โดยสัญญาณพัลส์จะถูกใช้ในการเพิ่มการนับของ U13 และ U12

3.3.11 ภาคเลือกโหมดแสดงผล (Display Mode Selector)

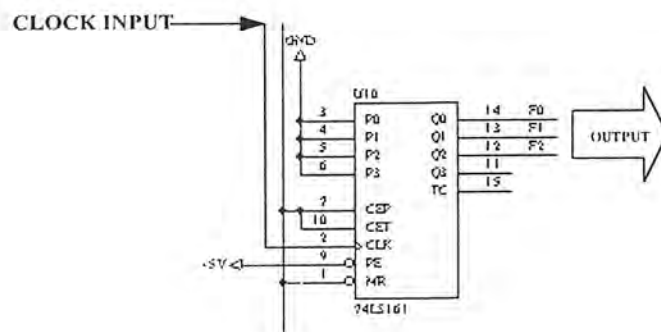


รูปที่ 3.20 วงจรภาคเลือกโหมดแสดงผล (Display Mode Selector)

ภาคเลือกโหมดแสดงผล (Display Mode Selector) ดังรูปที่ 3.20 ประกอบด้วย 2 ช่องสัญญาณโดยใช้การมัลติเพล็กซ์ (Multiplex) ของ U5 และ U6 (IC#74LS157) แต่ละช่องสัญญาณมัลติเพล็กซ์ (Multiplex) คือ A1-A4 (ขา 2, 5, 11 และ 14) และ 1B-4B (ขา 3, 6, 10 และ 13) โดย

สัญญาณขา A จะเป็นตัวกำเนิดสัญญาณข้อมูลที่เข้ามา ในขณะที่ขา B เป็นตัวกำเนิดสัญญาณให้แก่ส่วนของหน่วยความจำ (Memory Segment) เอาต์พุตของแต่ละช่องสัญญาณคือ Y1-Y4 (ขา 4, 7, 9 และ 12) โดยการเลือกจะอาศัยระดับลอจิกที่ป้อนให้แก่ขา 1 เมื่อระดับลอจิกเป็น 0 คือการป้อนข้อมูลเข้ามา และการกำเนิดพัลส์จะใช้ อาร์เอสฟลิปฟล็อปใน U12 (IC#74LS279) แผ่นปรินต์ A1

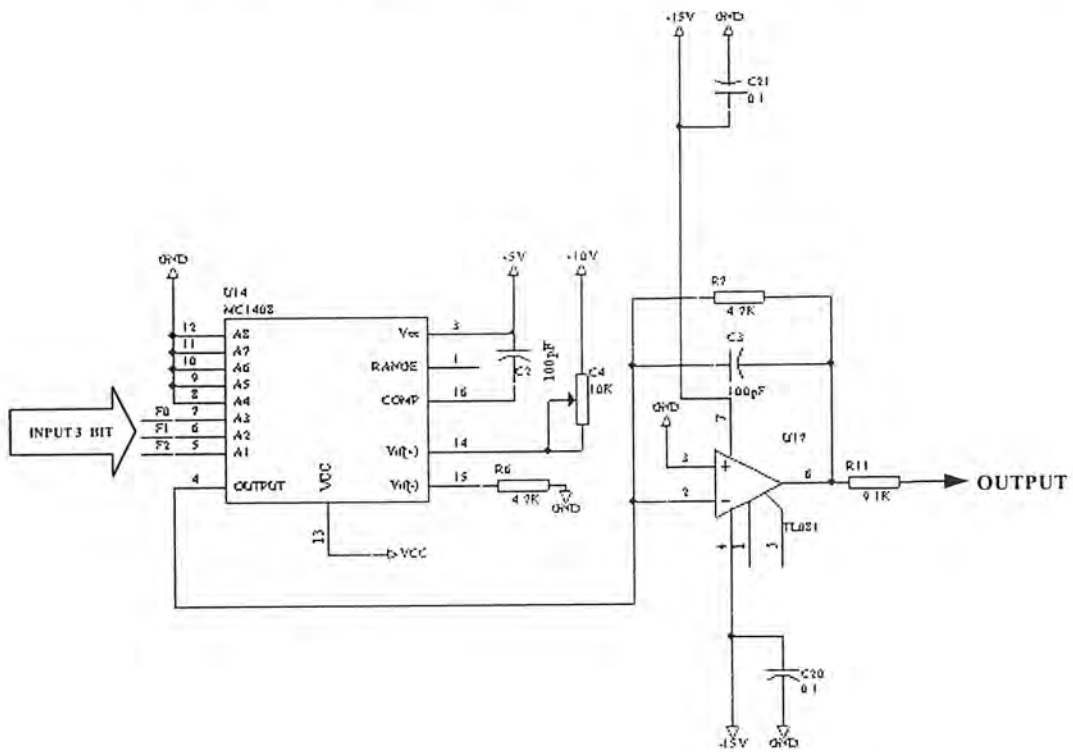
3.3.12 ภาคนับในแกน Y (Y Counter)



รูปที่ 3.21 วงจรภาคนับในแกน Y (Y Counter)

ภาคนับในแกน Y (Y Counter) ดังรูปที่ 3.21 ประกอบด้วยอินพุต 4 บิต ใน U10 (IC#74LS161) ขา 2 จะเป็นอินพุตสัญญาณนาฬิกา โดยสัญญาณถูกสร้างมาจากภาคนับในแกน X (X Counter) ขา 1 ของ U10 (IC#74LS4040) ในแผ่นปรินต์ A1 เมื่อขอบขาบลงของสัญญาณพัลส์เข้ามา เอาต์พุตการนับของ (Y Counter) จะเพิ่มขึ้น โดยเอาต์พุตของภาคนับในแกน Y (Y Counter) คือ QA-QD (ขา 11-14) โดยการรีเซ็ตของภาคนับในแกน Y (Y Counter) รับสัญญาณข้อมูลเป็นตัวควบคุมจากขา 5 ของ U1-A แผ่นปรินต์ A1

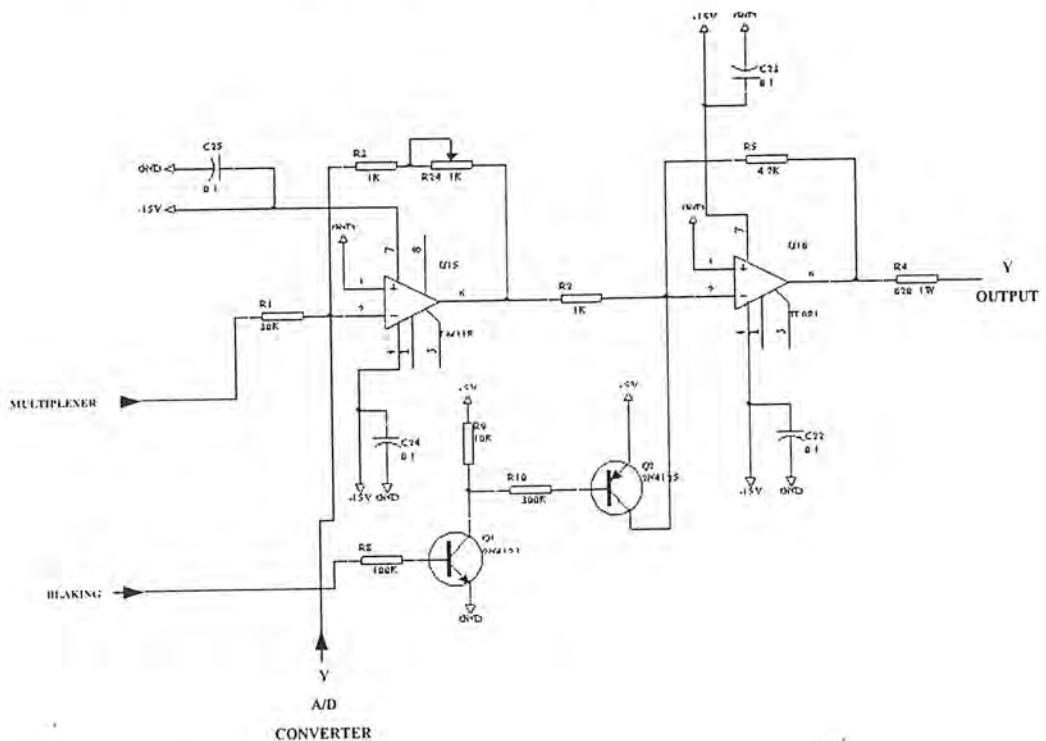
3.3.13 ภาคนแปลงสัญญาณดิจิทัลเป็นแอนะล็อกในแกน Y (Y-Axis D/A Converter)



รูปที่ 3.22 วงจรภาคนแปลงสัญญาณดิจิทัลเป็นแอนะล็อกในแกน Y (Y-Axis D/A Converter)

วงจรภาคนแปลงสัญญาณดิจิทัลเป็นแอนะล็อกในแกน Y (Y-Axis D/A Converter) ดังรูปที่ 3.22 ประกอบด้วย U14 (IC#MC1408) และวงจรขยาย U17 (IC#TL081) สัญญาณอินพุตของภาคนแปลงสัญญาณดิจิทัลเป็นแอนะล็อกในแกน Y (Y-Axis D/A Converter) จะเหมือนกับอินพุต (D/A Converter) อินพุตของ U14 คือขา A1-A8 โดยขา A1 เป็น MSB สัญญาณเอาต์พุตของภาคนี้ส่งไปขยายที่วงจรขยาย U17 เอาต์พุตออกที่ขา 6 ของ U17 โดย U17 ภาคนี้จะผลิตกระแสตามสัดส่วนความกว้างของข้อมูล 8 บิต ที่ส่งเข้ามา โดย U17 อินพุตเป็นกระแสแล้วเปลี่ยนเป็นในรูปแบบแรงดันส่งออกเอาต์พุต เมื่อวงจรภาคนับในแกน Y (Y Counter) ทำงานอย่างต่อเนื่อง เอาต์พุตของวงจรภาคนแปลงสัญญาณดิจิทัลเป็นแอนะล็อกในแกน Y (Y-Axis D/A Converter) จะเป็นสัญญาณ 8 ขั้น (Step) โดย C4 จะเป็นตัวปรับเกนขยาย

3.3.14 ภาควงจรรขยายแบบรวมสัญญาณ (Summing Amplifier)



รูปที่ 3.23 วงจรรขยายแบบรวมสัญญาณ (Summing Amplifier)

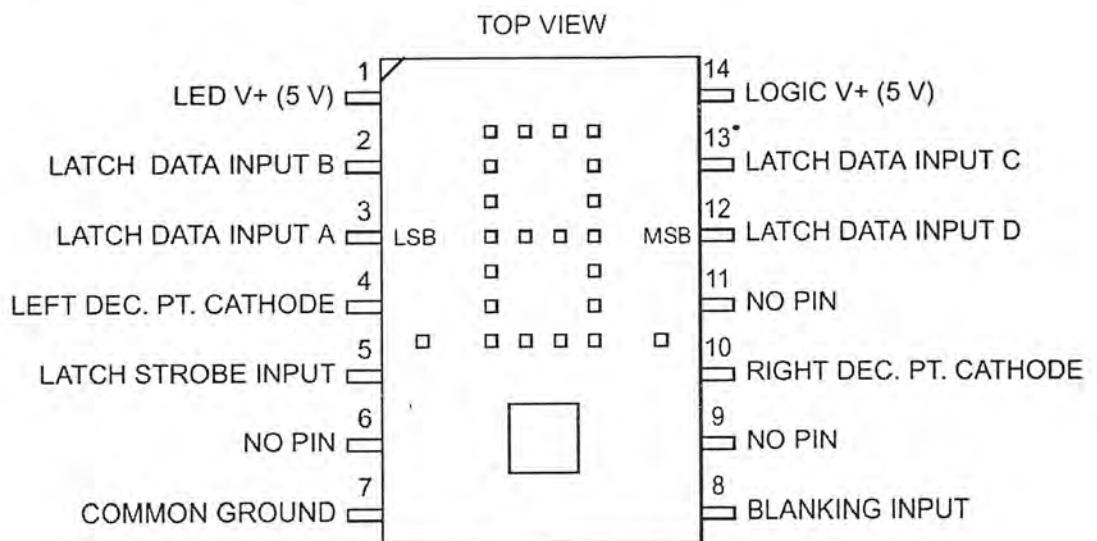
วงจรรขยายแบบรวมสัญญาณ (Summing Amplifier) ดังรูปที่ 3.23 ประกอบด้วยการทำงานของ U15 (IC#LM318), U16 (IC#TL081) และทรานซิสเตอร์ของ Q1 (2N4123), Q2 (2N4125) โดยการทำงานการขยายของ U15 จะเป็นขั้น (Step) โดยสัญญาณการรวมจะมาจากภาคแปลงสัญญาณดิจิทัลเป็นแอนะล็อกในแกน Y (Y-Axis D/A Converter) และสัญญาณข้อมูลจากมัลติเพล็กซ์ (Multiplexer) อย่างไรก็ตามการขยายของ U15 จะเป็นแบบผกผัน (Inverter) โดยจะส่งสัญญาณการขยายไปให้ U16 ต่อไป ซึ่งเป็นแบบผกผัน (Inverter) เช่นเดียวกัน ดังนั้นสัญญาณก็จะกลับเป็นเหมือนเดิมได้เป็นสัญญาณ Y เอาต์พุต โดยทรานซิสเตอร์ Q1, Q2 จะทำงานเมื่อได้ระดับสัญญาณการควบคุมระดับลอจิกเป็น 1 และเอาสัญญาณลบเส้นสับคกลับ (Blanking) มารวมกับสัญญาณ Y แล้วนำมาสแกนแสดงผลที่ออสซิลโลสโคป

แผ่นปริ้นท์ A3 วงจรภาคแสดงผลเป็นฐานสิบหก (Hex. Display)

3.3.15 ภาคแสดงผลเป็นฐานสิบหก (Hex. Display)

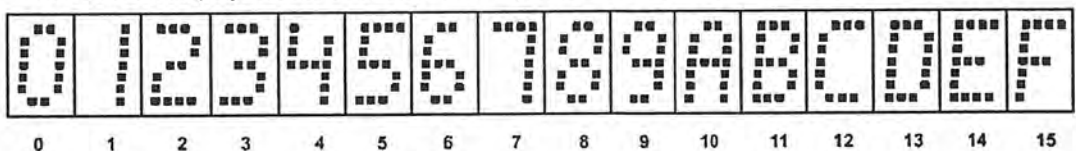
ประกอบด้วยตัวแสดงผล 2 ตัว คือ U1 และ U2 (TIL311) โดยอินพุตคือขา A-D (ขา 2, 3, 12 และ 13) และเอาต์พุตจะถูกกำหนดโดยโหมดเลือกแสดงผล

วงจรแสดงผลเป็นฐานสิบหกดังรูปที่ 3.24 (ก) มีลักษณะการแสดงผลดังรูปที่ 3.24 (ข) และมีวงจรการแสดงผลดังรูปที่ 3.24 (ค)

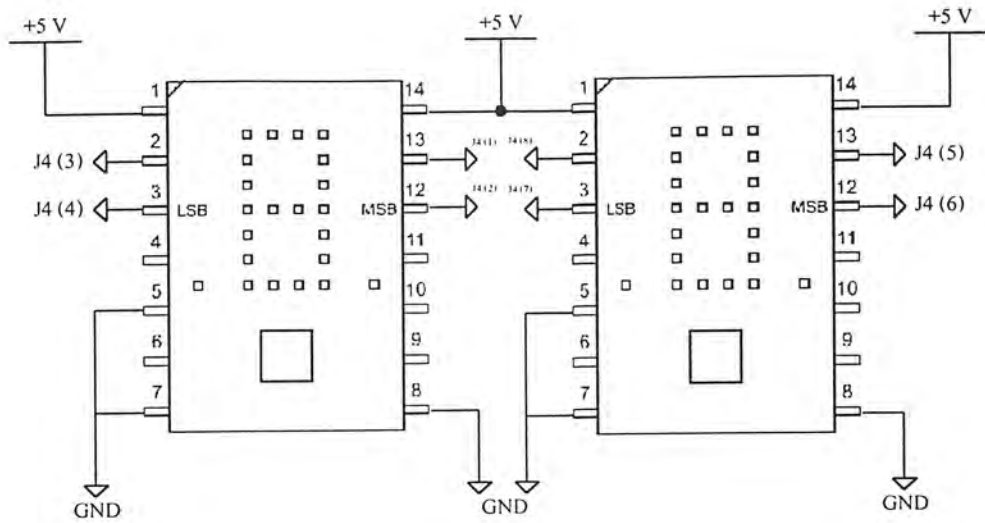


(ก) แสดงลักษณะตัวแสดงผล

The resultant displays for the values of the binary data in the latches are as shown below.



(ข) แสดงลักษณะตัวแสดงผล



(ค) แสดงวงจรแสดงผลเป็นฐานสิบหก (Hex. Display)

รูปที่ 3.24 ลักษณะการแสดงผลและวงจรของ Hexadecimal Display With Logic

บทที่ 4

หน่วยความจำที่ใช้ในการเก็บข้อมูลจากการสุ่ม

หน่วยความจำที่ใช้ในเครื่องลอจิกอนาไลซ์เซอร์เครื่องนี้จะใช้ RAM ในการเก็บข้อมูล หน่วยความจำนี้จะสามารถเรียกข้อมูลที่ตำแหน่งใดๆ ออกมาก็ได้โดยไม่ต้องเรียงลำดับตำแหน่ง การนำเอาข้อมูลเข้าไปเก็บในหน่วยความจำเป็นไปได้ง่ายเหมือนกับการเรียกข้อมูล แต่ข้อมูลที่ถูกรับจะยังคงสภาพได้เมื่อมีไฟเลี้ยงวงจรเท่านั้น RAM นี้บางครั้งบางคราวเรียกว่า หน่วยความจำลบเลือนได้ (volatile memory) และถ้าต้องการเขียนข้อมูลเข้าไปใหม่ ข้อมูลนี้จะทับข้อมูลเดิมที่มีอยู่ใน RAM

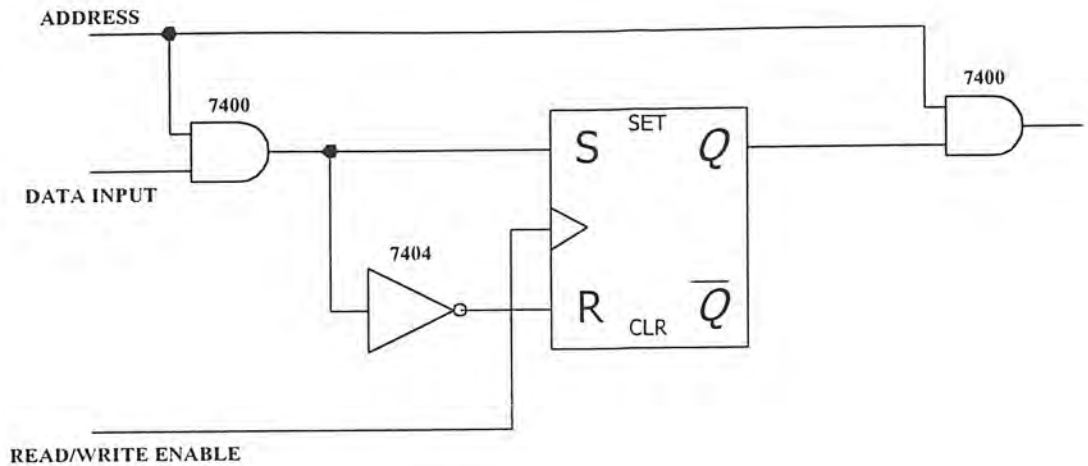
4.1 ชนิดของ RAM

เราสามารถแบ่งประเภทออกได้เป็น 2 กลุ่มคือ สแตติกและไดนามิกแรม การทำงานของแรมแบบสแตติกไม่ต้องมีสัญญาณนาฬิกามาเลี้ยงวงจร โดยจะยังคงสามารถเก็บข้อมูลไว้ได้ตราบที่ยังมีไฟเลี้ยงวงจรอยู่ แรมแบบสแตติกนี้ปกติจะใช้ทรานซิสเตอร์ชนิดซีมอสเป็นตัวเก็บข้อมูล

สำหรับแบบไดนามิกประกอบด้วยตัวเก็บประจุและมอสเฟตที่เป็นตัวเก็บข้อมูลแต่เนื่องจาก ข้อมูลที่เก็บในตัวเก็บประจุจะค่อยๆ ลดน้อยลงและหายไปในที่สุดจึงจำเป็นต้องมีวงจรเติมประจุข้อมูลเดิมเข้าไปเก็บใหม่ดังที่เดิมการเติมประจุเช่นนี้เรียกว่า ฟลิชสถานะ (Refresh) ซึ่งจำเป็นต้องทำการฟลิชทุกๆ 2-3 mS. โดยเอาสัญญาณนาฬิกาที่แตกต่างหากต่อเข้ากระตุ่นวงจรเพื่อรักษาข้อมูลให้คงเดิม

4.2 วงจรแรมเบื้องต้น

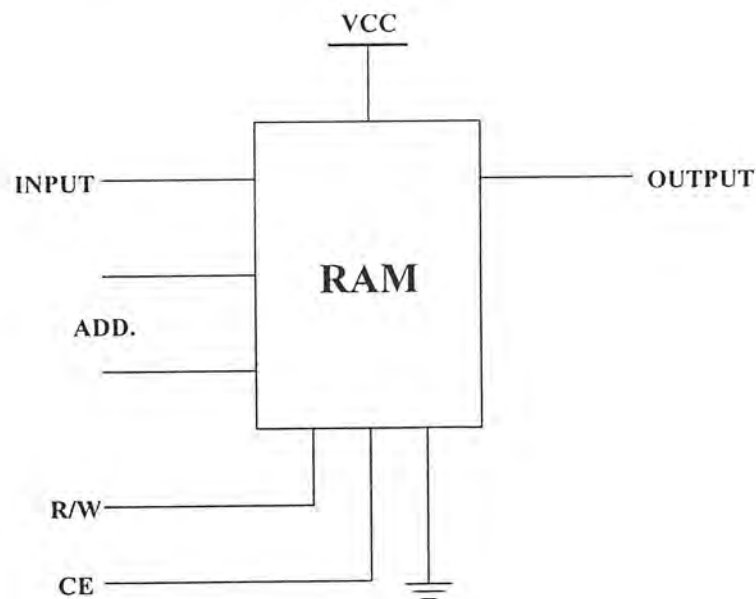
แรมเป็นวงจรที่เก็บข้อมูลตัวเลขที่เป็นไบนารีได้ถ้าเก็บตัวเลขไบนารีได้ 1 บิต เราเรียกว่า 1 เซลล์ แรมที่ใช้งานอยู่ทั่วไปจึงประกอบด้วยเซลล์หน่วยความจำเป็นจำนวนมาก ถ้าเราต้องการใช้หน่วยความจำแค่เพียงเซลล์เดียวเราอาจสร้างได้จากฟลิปฟล็อปอย่างง่ายๆ ตามรูปที่ 4.1 เป็นวงจรแรมขนาด 1 บิต



รูปที่ 4.1 แรมขนาด 1 บิต

4.3 โครงสร้างของ สเตตติกแรม

เพื่อให้เข้าใจเกี่ยวกับการเชื่อมต่อแรมจึงจำเป็นต้องเข้าใจระบบพื้นฐานทั่วไปของแรมก่อน ซึ่งสามารถเขียนเป็นแผนผังได้ดังรูปที่ 4.2



รูปที่ 4.2 โครงสร้างพื้นฐานของแรม

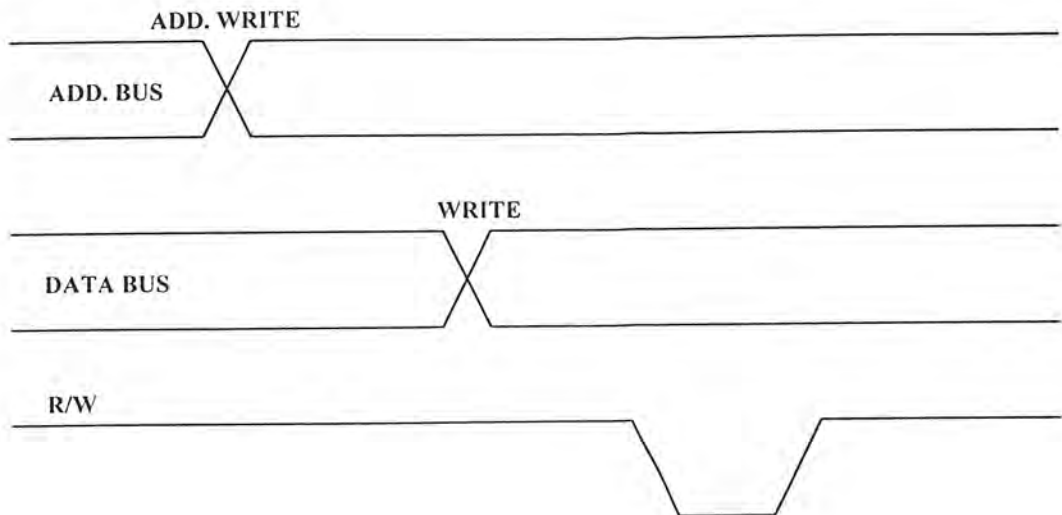
รูปที่ 4.2 เป็นโครงสร้างพื้นฐานของแรมซึ่งมีส่วนประกอบของสัญญาณที่เกี่ยวข้องกับการควบคุมอยู่หลายเส้น สัญญาณที่สำคัญประกอบด้วย

1. Din 0 เป็นสายสัญญาณที่จะนำข้อมูลเข้าไปเก็บไว้ในแรม เมื่อมีการเขียนข้อมูล
 2. Dout เป็นสายสัญญาณที่จะนำข้อมูลออกจากแรมเมื่อข้อมูลได้รับการอ่านจากแรมเรียบร้อยแล้ว
 3. Address เป็นสายสัญญาณที่จะทำหน้าที่กำหนด แอดเดรสของแรมเพื่อการเขียนหรือการอ่านข้อมูล
 4. R/ W เป็นเส้นสัญญาณที่ทำหน้าที่กำหนดการเขียนหรือการอ่านข้อมูลบนแรม
 5. /CE เป็นสายสัญญาณเพื่อเลือกชิพในกรณีที่ต้องการต่อหลายชิพ ในระบบเพื่อที่จะได้ทราบว่าชิพใดได้รับการเลือก
 6. VCC, GND เป็นสายไฟเลี้ยงวงจรและกราวด์
- การทำงานของแรมจะต้องใช้สายสัญญาณต่างๆ เหล่านี้ร่วมกัน โดยสัญญาณควบคุมนี้จะสร้างมาจากวงจรเกทต่างๆ ก็ได้

4.4 ลำดับการเขียนข้อมูลในแรม

การเขียนข้อมูลในแรมมีลักษณะดังนี้

1. ขั้นแรกจะทำการกำหนดแอดเดรสให้กับหน่วยความจำ ตามตำแหน่งที่ต้องการ เขียนข้อมูล
 2. กำหนดสายสัญญาณข้อมูลเข้าโดยสายสัญญาณ Din
 3. ให้ระบบรอเวลาชั่วขณะหนึ่งเรียกช่วงเวลานี้ว่าช่วงเวลาการเขียน (Write Access time) เพื่อให้วงจรภายในได้รับการถอดรหัสกำหนดตำแหน่งให้เรียบร้อยแล้ว และสัญญาณ /WE ต้องมารอก่อนแล้ว
 4. หลังจากรอเวลาให้กำหนดสัญญาณ R/W เพื่อการเขียนสัญญาณนี้จะปัลลัสเล็กๆ ที่พอเพียงกับการเขียนข้อมูลลงในแรม
- แผนผังเวลาสำหรับการเขียนข้อมูลลงในแรมสามารถแสดงได้ดังรูปที่ 4.3

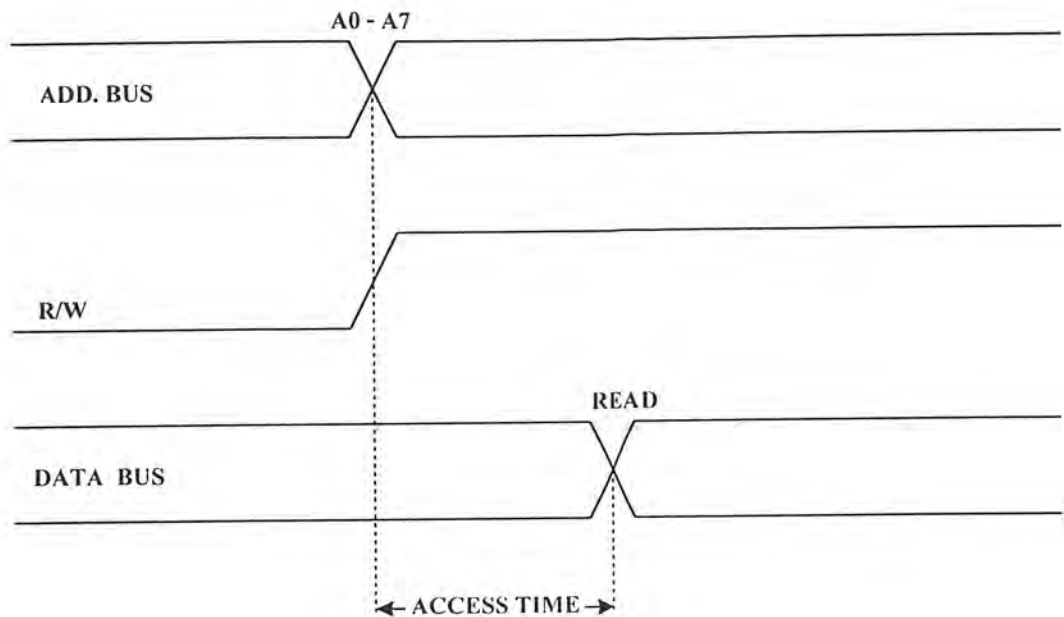


รูปที่ 4.3 แผนผังเวลาการเขียนข้อมูลลงในหน่วยความจำ

4.5 ลำดับการอ่านข้อมูลจากแรม

สมมุติว่าต้องการอ่านข้อมูลจากแรมที่มีข้อมูลพร้อมอยู่แล้วมาใช้งานจะต้องมีลำดับการทำงานดังนี้

1. จะต้องกำหนดแอดเดรสที่ต้องการอ่านให้กับแรม วงจรภายในของแรมจะทำการถอดรหัสเพื่อกำหนดตำแหน่งที่แท้จริงสำหรับการอ่าน
2. กำหนดสัญญาณที่ขา R/W ให้ถูกต้องตามลอจิกโดยการอ่านข้อมูลหน่วยความจำบางชิพต้องกำหนดลอจิก 1 และบางชิพจะต้องกำหนดลอจิก 0 การกำหนดให้เป็นลอจิก 0 หรือ 1 จะต้องพิจารณาโดยดูจากคู่มือของชิพตัวนั้น
3. จะต้องให้ระบบรออยู่ชั่วขณะหนึ่งซึ่งเรียกว่าช่วงเวลาการอ่าน (Read Access time) ในการอ่านนี้จะใช้สัญญาณเลือกชิพทำการเลือกโดยส่งสัญญาณ /WE มาก่อน
4. ในช่วงเวลาขณะที่รอนี้ข้อมูลที่ได้รับการอ่านจะปรากฏอยู่ที่สายสัญญาณ Dout เมื่อเขียนเป็นแผนผังเวลาเพื่อแทนการทำงานทั้ง 4 ขั้นตอนทีกล่าวดังนี้จะได้ดังรูปที่ 4.4

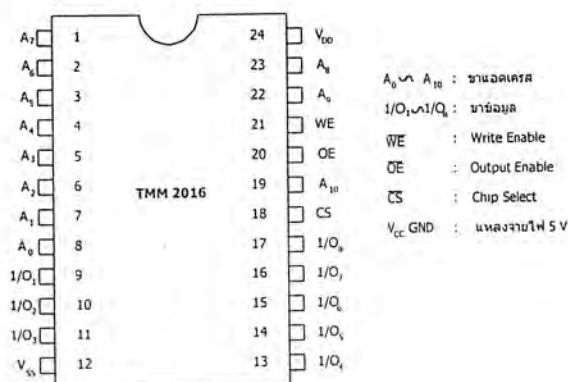


รูปที่ 4.4 แผนผังเวลาการอ่านข้อมูลจากหน่วยความจำ

4.6 แรมเบอร์ 2016

หน่วยความจำที่ใช้ในการเก็บข้อมูลจากการส่งข้อมูล (DATA) เข้ามาเก็บไว้ในแรมในที่นี้จะใช้สแตติกแรมเบอร์ 2016 ซึ่งมีความเร็วในการทำงาน (ดูจากคู่มือ) คาบเวลาการอ่าน (Read cycle time) ต่ำสุด 150 nS.

แรมเบอร์ 2016 นี้เป็นแรมที่มีขนาดความจุของหน่วยความจำถึง 2KByte โดยแรมชิพนี้จะมีสายแอดเดรสทั้งหมด 11 เส้นและสายสัญญาณ I/O จำนวน 8 เส้นสำหรับการต่อเข้ากับ บัสข้อมูล การควบคุมจะมีสัญญาณ W และสัญญาณ /WE และสัญญาณ /OE หรือการอินาเบิลสัญญาณที่สาย I/O อีกหนึ่งสายสัญญาณรายละเอียดข้อมูลทางเทคนิคของแรมเบอร์ 2016 จะแสดงได้ดังรูปที่ 4.5



รูปที่ 4.5 แรมเบอร์ 2016 2KB CMOS

แรมเบอร์ 2016 นี้เป็น ไอซีขนาด 24 ขาจะมีขนาดใหญ่กว่า ไอซี 14 ขาทัวไป ขาแหล่งจ่ายไฟคือ VCC and GND ใช้กับแหล่งจ่ายไฟ 5 โวลต์

ขา A0-A10 รวมทั้งหมด 11 ขา เป็นขาแอดเดรสหมายถึงกำหนดตำแหน่งที่อยู่ของกลุ่มหน่วยความจำ ไอซีเบอร์นี้มีกลุ่มหน่วยความจำทั้งหมด 2048 กลุ่ม กลุ่มหนึ่งมีขนาด 8 บิต แต่ละกลุ่มจะอยู่เรียงลำดับกันอยู่ภายในการอ่านหรือเขียนข้อมูลกับกลุ่มหน่วยความจำใดจำเป็นต้องบอกเบอร์ของกลุ่มก่อน การบอกเบอร์ก็คือ การบอกแอดเดรสจำนวนตำแหน่งที่อยู่ของกลุ่มข้อมูลหน่วยความจำอย่างเช่นเรากำหนดแอดเดรสโดยให้สัญญาณที่ขา A0-A10 เป็น 0000 0000 1001 หมายถึงกำหนดเบอร์กลุ่มเป็นกลุ่มเบอร์ 9

ขา I/O 01-I/O 08 รวมทั้งหมด 8 ขาเป็นขาที่เราใช้ป้อนข้อมูลที่เราจะเขียนและใช้อ่านข้อมูลจากกลุ่มหน่วยความจำภายในการเขียนหรือการอ่านข้อมูลจะทำได้พร้อมกันเป็นกลุ่ม กลุ่มละ 8 บิต จึงต้องมีขาข้อมูล 8 ขา

เมื่อเราต้องการเขียนข้อมูลลงไปในกลุ่มหน่วยความจำเริ่มแรกเราต้องให้แอดเดรสของกลุ่มหน่วยความจำนั้นที่ ขาแอดเดรส A0-A10 จากนั้นเราจะป้อนข้อมูลที่ขา I/O I-I/O8 พร้อมกัน 8 ขาทันที ต่อไปเราต้องป้อน 0 เข้าที่ ขา W ข้อมูลที่ ขา I/O1 – I/O8 ที่เราป้อนไว้จะถูกส่งเข้าไปเก็บในหน่วยความจำกลุ่มที่เรากำหนดด้วยแอดเดรส ข้อมูลใหม่นี้จะเขียนทับข้อมูลเดิมที่อาจเก็บไว้ก่อนการเขียนนี้

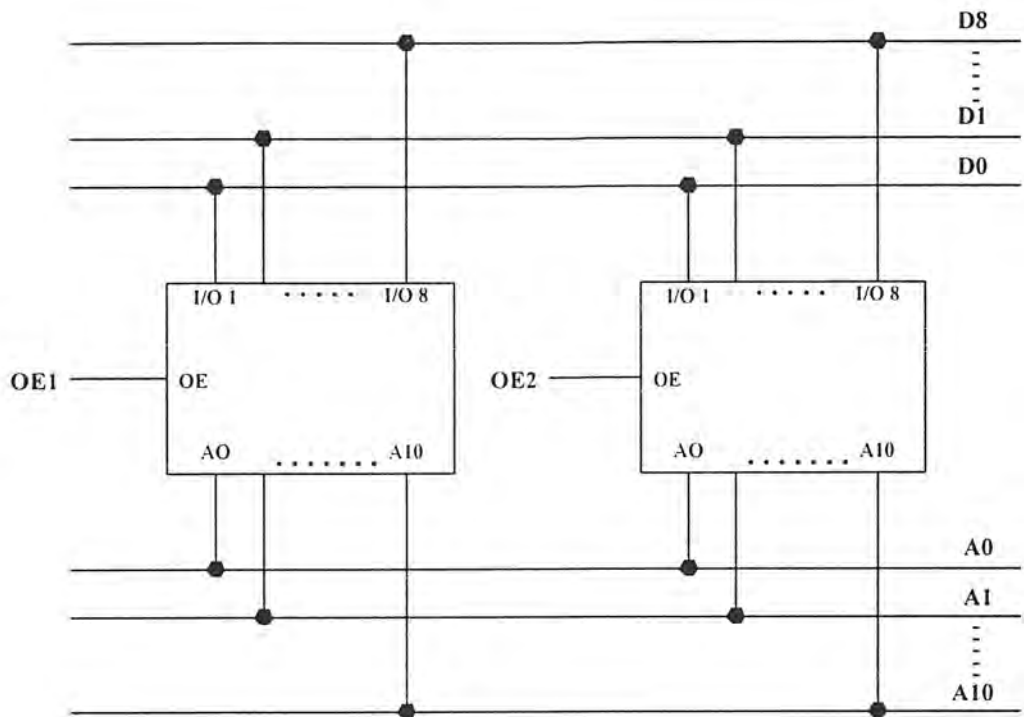
ถ้าเราต้องการอ่านข้อมูลจากหน่วยความจำเราก็ต้องป้อนแอดเดรสของกลุ่มหน่วยความจำเข้าที่ขา A0-A10 ให้ขา W เป็นลอจิก 1 และให้ขา /OE เป็นลอจิก 0 ข้อมูลภายในกลุ่มหน่วยความจำที่ตรงกับแอดเดรสนั้นจะถูกอ่านแล้วส่งออกมาที่ขา I/O1 – I/O8 เช่นกัน

เราจะเห็นว่าขา I/O 1-I/O8 นี้เป็นได้ทั้งอินพุตและเอาต์พุตเมื่อเราเขียนข้อมูลขา I/O1-I/O8 จะเป็นอินพุตให้ข้อมูลของเราเข้าไปได้เมื่อเราอ่านข้อมูลขา I/O1-I/O8 จะเป็นเอาต์พุตส่งข้อมูลออกมาที่ขาไอซีเป็นได้ทั้งอินพุตและเอาต์พุตนี้ทำให้สามารถประหยัดการเดินสายภายในวงจรได้

ขาข้อมูลนี้ยังมีคุณสมบัติพิเศษอีกอย่างหนึ่งคือ สามารถอยู่ในสถานะลอยตัวได้ เป็นสถานะที่มีอิมพีแดนซ์สูงเปรียบเสมือนไม่ได้ต่อกับวงจรภายนอก สถานะนี้เราเรียกว่าสถานะที่ 3 หรือ ไตรสเทต ถ้าเราป้อน 1 ให้ขา /OE จะทำให้ขา I/O – I/O8 อยู่ในสถานะไตรสเทตนี้

สถานะไตรสเทตนี้มีสถานะที่เราสามารถนำมาใช้งานได้คือ เราสามารถต่อขาข้อมูลของไอซีแรมหลายๆ ตัวมารวมกันได้การต่อมารวมกันในวงจรดิจิทัลจะทำได้เลยถ้าขาของไอซีเหล่านั้นเป็นขาเอาต์พุตทั้งคู่ เพราะแต่ละเส้นจะส่งผ่านสัญญาณเอาต์พุตออกมาชนกันถ้าฝ่ายหนึ่งส่งลอจิก 1 และฝ่ายหนึ่งส่งลอจิก 0 จะมีกระแสไหลจากฝ่ายหนึ่งไปยังอีกฝ่ายหนึ่งอย่างมาก จะทำให้ไอซีเสียหายทันที แต่ถ้าเอาต์พุตสามารถอยู่ในสถานะไตรสเทต ซึ่งเปรียบเสมือนการไม่ต่อกับวงจรจึงสามารถต่อเอาต์พุตเหล่านั้นรวมกันได้โดยจะต้องควบคุมให้ขาของไอซีเพียงตัวเดียวเท่านั้นที่เป็นเอาต์พุตในขณะที่ขาของไอซีตัวอื่น เป็น ไตรสเทต สำหรับไอซีแรมตัวนี้สามารถนำเอาข้อมูล

มาต่อรวมกันหลายๆ ตัวได้ เมื่อเราต้องการอ่านข้อมูลจากไอซีใดเราก็จะส่งสัญญาณ 0 ไปที่ ขา /OE ของไอซีตัวนั้น ในขณะที่ขา /OE ของไอซีตัวอื่น เป็นหนึ่งตลอดเวลา



รูปที่ 4.6 การต่อขาข้อมูลของไอซีแรมหลายๆ ตัวร่วมกัน

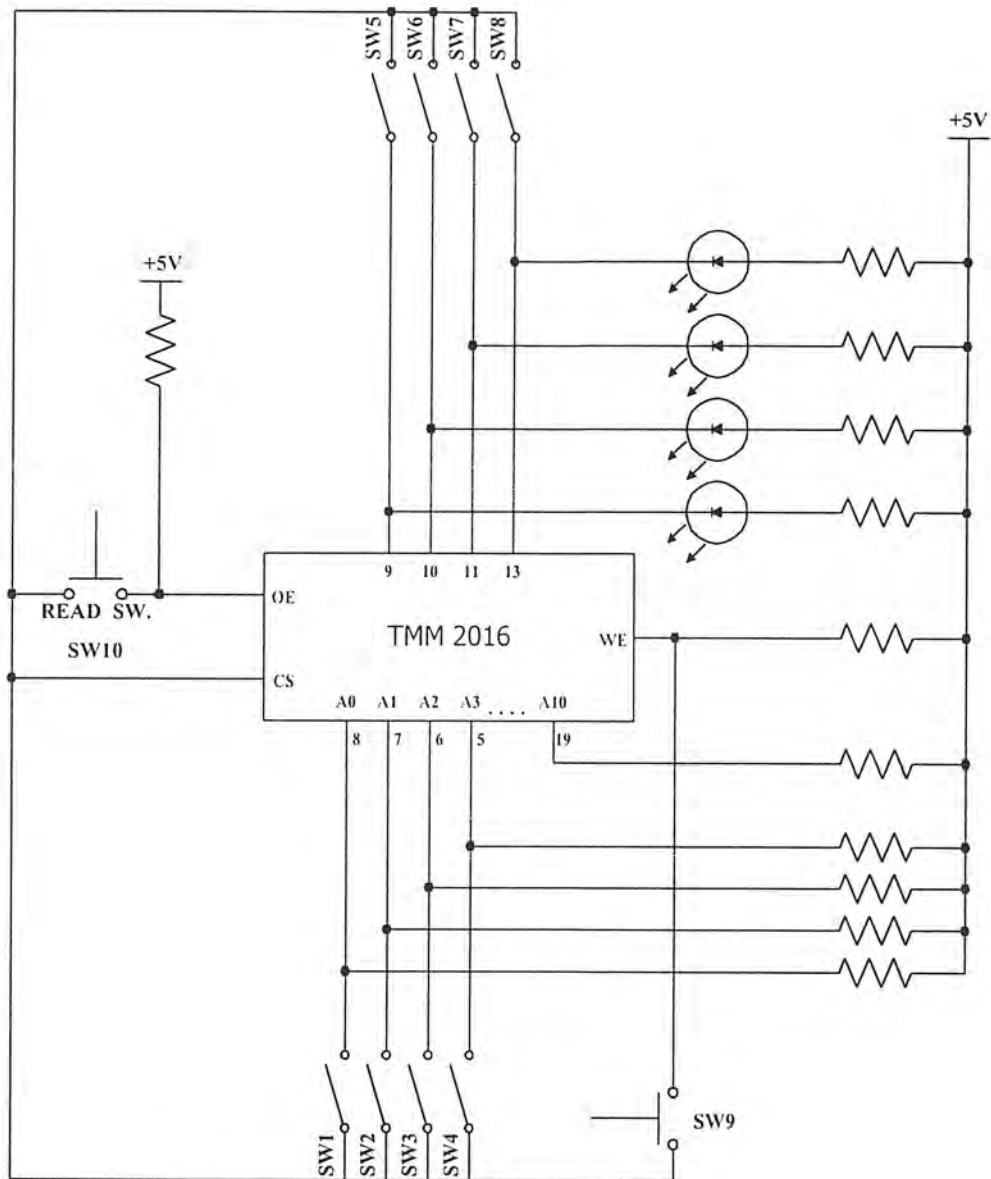
สำหรับขา /CE (chip select) เป็นขาเลือกให้ไอซีเริ่มทำงานดังรูปที่ 4.6 เมื่อป้อนลอจิก 0 ให้ขานี้ไอซีจะเริ่มอ่านแอดเดรสเข้าไปภายใน ปกติเราใช้ขา /CE นี้เป็นขาสำหรับเลือกไอซีแรม ในกรณีที่มีแรมในระบบหลายตัวบางครั้งเราก็ใช้ขานี้เป็นขาแอดเดรสขาหนึ่งของไอซีแรมขา /CE นี้ แรมบางเบอร์อาจตั้งชื่อขานี้ว่า /WE (chip enable)

4.7 การทดลองสแตติกแรมเบอร์ 2016 เบื้องต้น

เราจะทดลองเบอร์ 2016 มาทำการทดลองอ่านข้อมูลและเขียนข้อมูลซึ่งสามารถต่อวงจรทดลองได้ดังรูปที่ 4.7

เราใช้ดิพสวิทช์ขนาด 4P แทน SW1-SW4 และ SW5-SW8 ดิพสวิทช์นี้จะใช้ในการป้อนแอดเดรสและข้อมูลเข้าไปใน ไอซีแรมเนื่องจากขาแอดเดรสมีขาถึง 11 ขา แต่เราจะทดลองป้อนแอดเดรสเพียง 4 ขา เท่านั้น สำหรับข้อมูลก็เช่นกัน เราจะเขียนข้อมูลและอ่านข้อมูลจาก I/O1 -I/O4 เพียง 4 ขาเท่านั้น ซึ่งจะง่ายต่อการทดลอง

สวิตช์ SW9 และ SW10 ใช้เป็นสวิตช์ปุ่มกดต่อที่ขา W และ /OE ปกติถ้าไม่กดปุ่มสวิตช์จะเปิดขาทั้งสองนี้จะได้รับสัญญาณลอจิก 1 อยู่ตลอดเวลา



รูปที่ 4.7 วงจรทดลองการเขียนและการอ่านข้อมูลจากไอซีแรม TMM2016 เบื้องต้น

เมื่อต่อวงจรเสร็จแล้วและตรวจสอบว่าเดินสายวงจรไม่ผิดให้เปิด SW1 ถึง SW 8 ทั้งหมด ก่อนเปิดแหล่งจ่ายไฟ

เราเริ่มทำการทดลองด้วยการป้อนข้อมูลเข้าไปในแรมก่อน เราป้อนแอดเดรสได้ 4 ขา
ดังนั้น เราจึงสามารถป้อนข้อมูลเข้าไปในกลุ่มหน่วยความจำได้ 16 กลุ่ม คือกลุ่มที่มี

แอดเดรส 111111 0000-1111111111 ขา A4-A10 จะเป็นลอจิก 1 อยู่เสมอ เราลองตั้งคิฟสวิทช์ SW1 - SW4 เมื่อป้อนแอดเดรส สมมุติตั้งไว้ที่ 0000 คือให้ปิดสวิทช์ทั้งหมด

จากนั้นเราจะตั้งข้อมูลที่คิฟสวิทช์ SW5 - SW8 สมมุติว่าเราตั้งข้อมูลไว้เป็น 0101 0 ในที่นี้หมายถึงปิดสวิทช์ 1 ในที่นี้หมายถึงปิดสวิทช์จากนั้นกด SW9 1 ครั้ง ข้อมูล 0101 จะถูกเขียน เข้าไปเก็บ ในกลุ่มหน่วยความจำที่มีแอดเดรส 1111110000 ทันที

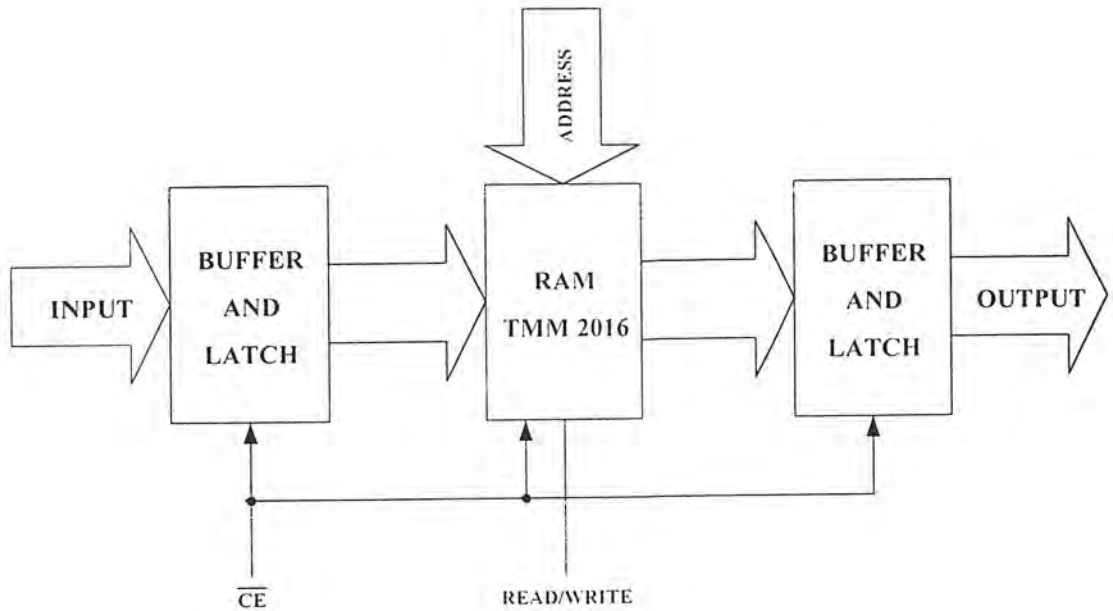
เราทำการกำหนดแอดเดรสอื่นๆ และป้อนข้อมูลเข้าไปด้วยวิธีการนี้หลาย แอดเดรสจากนั้นก็มาถึงขั้นตอนการอ่านข้อมูลก่อนการอ่านให้เปิด SW5 - SW8 ทั้งหมด ตัวนี้สำคัญมาก ถ้ายังไม่ปิดสวิทช์ค้างอยู่จะทำให้ ไอซีเสียหายได้

ตั้งสวิทช์ SW1 - SW8 ไปถึงแอดเดรสที่เราต้องการอยากอ่านจากนั้นกด SW10 จะเห็น แอล อี ดี ที่ขา I/O1 - I/O4 ติดสว่างตามข้อมูลที่เรป้อนเข้าไป คราวนี้ I/O1 - I/O4 จะเป็นขา เอาต์พุตการติดของ แอล อี ดี จะมีความหมายดังนี้ ถ้าติดสว่างแสดงว่า บิทนั้นเป็นลอจิก 0 ถ้าดับแสดงว่าบิทนั้นเป็นลอจิก 1 ลองเปลี่ยนแอดเดรสอื่นแล้วลองอ่านข้อมูลเปรียบเทียบกับข้อมูลที่เรเคยป้อนเข้าไป ดูว่าตรงกันหรือไม่

ไอซีแรมนี้มักใช้ในการเก็บข้อมูลชั่วคราว ในระบบคอมพิวเตอร์ การเก็บข้อมูลชั่วคราว หมายถึง เก็บไว้แล้วจะป้อนข้อมูลใหม่ก็ได้ ข้อมูลในแรมจะไม่คงอยู่ตลอดไปถ้าเราดับแหล่งจ่ายไฟ ข้อมูลจะหายไปหมดทันที เราลองดับแหล่งจ่ายไฟของวงจร รอานานประมาณ 1 นาที จึงเปิดใหม่ คราวนี้ลองอ่านข้อมูลใน ไอซี คุณจะเห็นว่าข้อมูลที่เก็บไว้หายไปแล้วอาจจะเปลี่ยนเป็นข้อมูลใหม่ซึ่งจะเป็นอะไรก็คาดเดาไม่ได้

4.8 การออกแบบวงจรที่ใช้ในการเก็บข้อมูลที่ได้จากการสุ่ม

สามารถแสดงได้เป็นบล็อกไดอะแกรมดังรูปที่ 4.8



รูปที่ 4.8 บล็อกไดอะแกรมของวงจรที่ใช้ในการเก็บข้อมูล

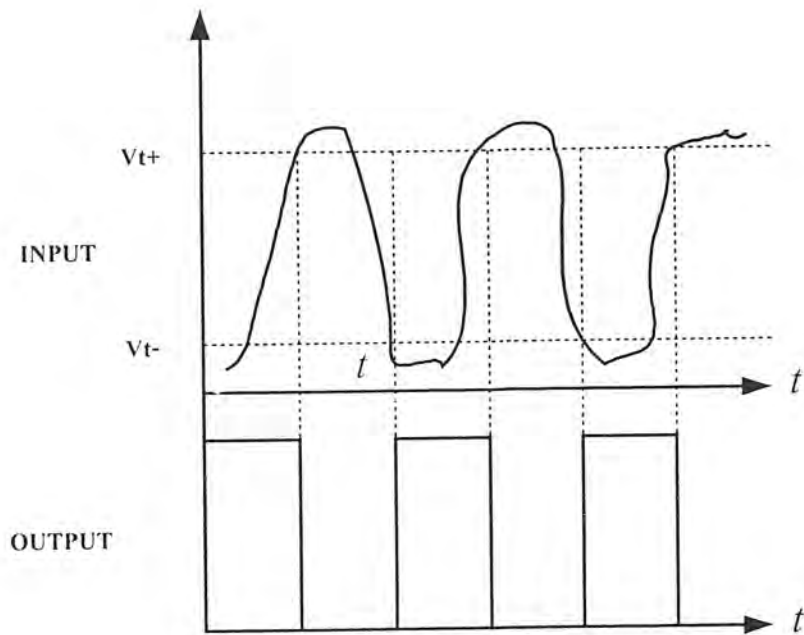
จากบล็อกไดอะแกรมตามรูปที่ 4.8 ประกอบด้วยส่วนรับส่งข้อมูลอินพุต ซึ่งจะเป็ นบัฟเฟอร์และแลตช์แรมเบอร์ 2016 และเอาต์พุตที่จะต่อไปยังวงจรมัลติเพล็กซ์ (Multiplex) จะประกอบไปด้วยวงจรบัฟเฟอร์และแลตช์

4.9 อินพุตของวงจร

อินพุตของวงจรซึ่งเป็นบัฟเฟอร์แบบชmitt trigger ซึ่งทำหน้าที่เป็นตัวกันชนและใช้ต่อ วงจรเพื่อกำเนิดโวลต์ให้ได้มากขึ้นโดยไม่ให้ฟังก์ชันทำงานผิดพลาดไป

เกทแบบชmitt trigger สำหรับวงจรดิจิทัลเป็นไอซีลอจิกเกทที่มีคุณสมบัติของอินพุตเป็น แบบใช้สำหรับการเปลี่ยนแปลงของรูปคลื่นที่ไม่เป็นพัลส์ได้แก่รูปคลื่นไซน์ รูปคลื่นสามเหลี่ยม และสัญญาณฟันเลื่อย

การเขียนแผนภาพลอจิกของเกทที่มีวงจรชmitt trigger อยู่ด้วย คงมีลักษณะเหมือนเกท ทั่วไป เพียงแต่การเขียนเครื่องหมายพิเศษเพิ่มเข้าไปในเกทเท่านั้น ไอซีที่มีคุณสมบัติเป็นแบบ ชmitt trigger มีอยู่หลายเบอร์ แต่ในที่นี้จะใช้ไอซีเบอร์ 74LS161 ซึ่งเป็นเกทแบบ 3 สถานะด้วย

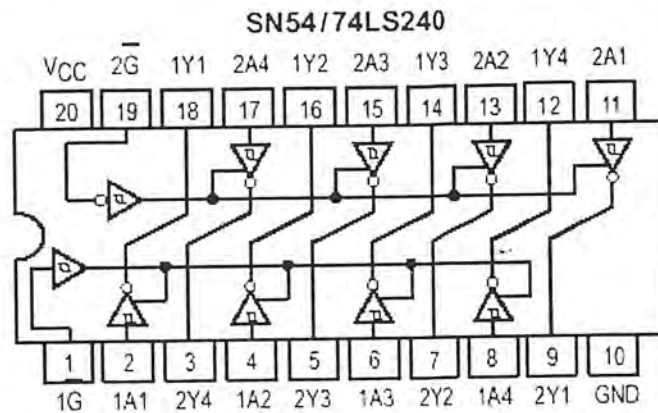


รูปที่ 4.9 การทำงานอินพุตและเอาต์พุตของอินเวอร์เตอร์แบบขมิตริกเกอร์

ตามรูปที่ 4.9 คุณสมบัติที่สำคัญของขมิตริกเกอร์คือ V_{t+} (position going threshold voltage) และ V_{t-} (negative going threshold voltage) V_{t+} เป็นค่าแรงดันที่ทำให้เกททำงานเมื่อแรงดันอินพุตเปลี่ยนจากค่าต่ำจนถึงค่านี้ขณะนั้นอินพุตถือว่าได้รับลอจิก 1 เอาต์พุตจะมีการเปลี่ยนแปลงตามคุณสมบัติของเกทนั้นๆ หลังจากนั้นแรงดันอินพุตจะเพิ่มขึ้นเรื่อยๆ จนถึงค่าสูงสุดและค่อยๆ ลดลงขณะนี้เอาต์พุตเกทจะไม่มีเปลี่ยนแปลงยังคงถือว่าได้รับลอจิก 1 จนกว่าแรงดันอินพุตจะตกลงมาถึง V_{t-} เกทจะถือว่าได้รับลอจิก 0 เอาต์พุตจะเกิดการเปลี่ยนแปลงตามคุณสมบัติของเกท

-IC#74LS240

LOGIC AND CONNECTION DIAGRAMS DIP (TOP VIEW)

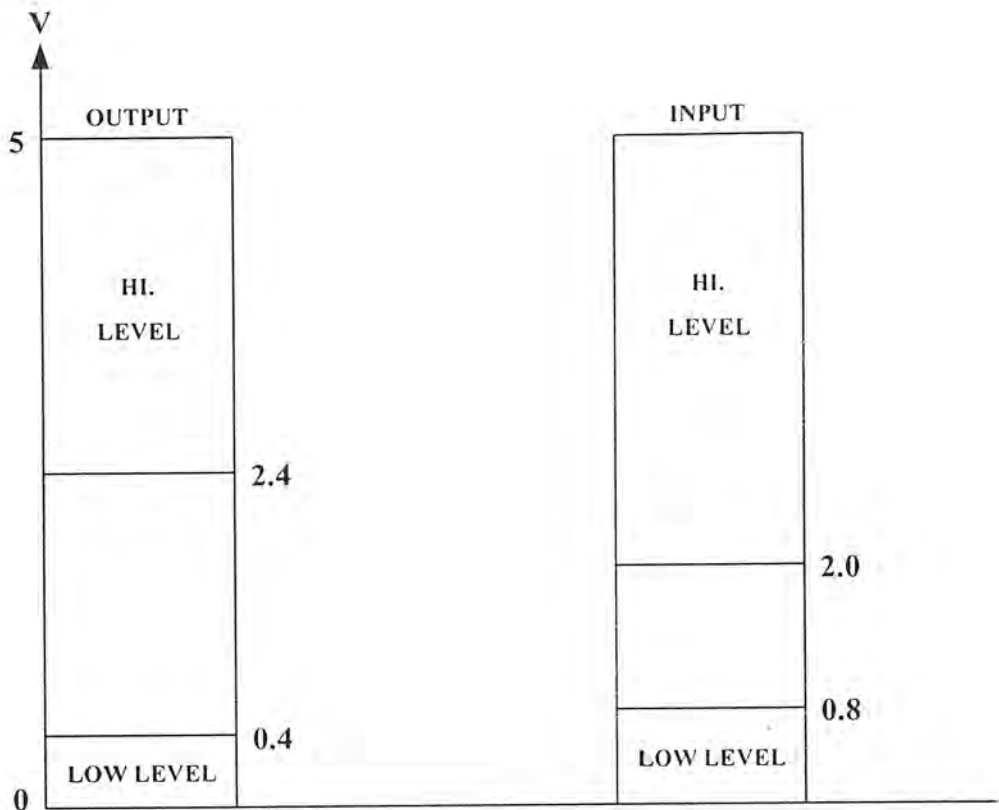


รูปที่ 4.10 ไอซีเบอร์ 74LS240

ไอซีเบอร์ 74LS240 จะเป็นซิมิทริกเกอร์ 3 สถานะ ซึ่งโครงสร้างของไอซีแสดงดังรูปที่ 4.10 ซึ่งแต่ละตัวมีอินพุต 8 อินพุตและเอาต์พุต 8 เอาต์พุต และควบคุมการทำงานคือ ขา /1G และ /2G ถ้าขาทั้งสองนี้ได้รับลอจิก 1 จะทำให้เกิด อิมพีแดนซ์สูงคือสถานะที่เอาต์พุตไม่ต่อกับวงจรภายในถ้าให้ขา /1G และ /2G ได้รับลอจิก 0 จะทำให้วงจรทำงานปกติ ถ้าอินพุตเข้ามาเป็นลอจิก 0 เอาต์พุตที่ได้ก็จะเป็นลอจิก 0 และถ้าอินพุตเข้ามาเป็นลอจิก 1 เอาต์พุตที่ได้ก็จะเป็นลอจิก 1

4.10 แรงดันอินพุตและเอาต์พุตของเกท

ลอจิก 0 หรือ ลอจิก 1 ที่ใช้ทำการอธิบายการทำงานของวงจรลอจิกนั้นมีขอบเขตและเงื่อนไขในการทำงานที่แตกต่างกัน อันเนื่องมาจากคุณสมบัติทางไฟฟ้า ซึ่งเกิดมาตรฐานที่กำหนดและขบวนการผลิตอุปกรณ์ ดังนั้นการที่จะทำให้วงจรทำงานได้ถูกต้อง ตามหลักการของวงจรลอจิกจะต้องมีช่วงในการพิจารณาแรงดันอินพุตและเอาต์พุตดังนี้



รูปที่ 4.11 ระดับสัญญาณทางอินพุตและเอาต์พุตของไอซีตระกูลทีทีแอล

จากรูปที่ 4.11

อินพุตมีแรงดันตั้งแต่ 0 – 0.8 โวลต์ พิจารณาว่าเป็นระดับแรงดันต่ำหรือลอจิก 0

อินพุตมีแรงดันตั้งแต่ 2 – 5 โวลต์ พิจารณาว่าเป็นระดับแรงดันสูงหรือลอจิก 1

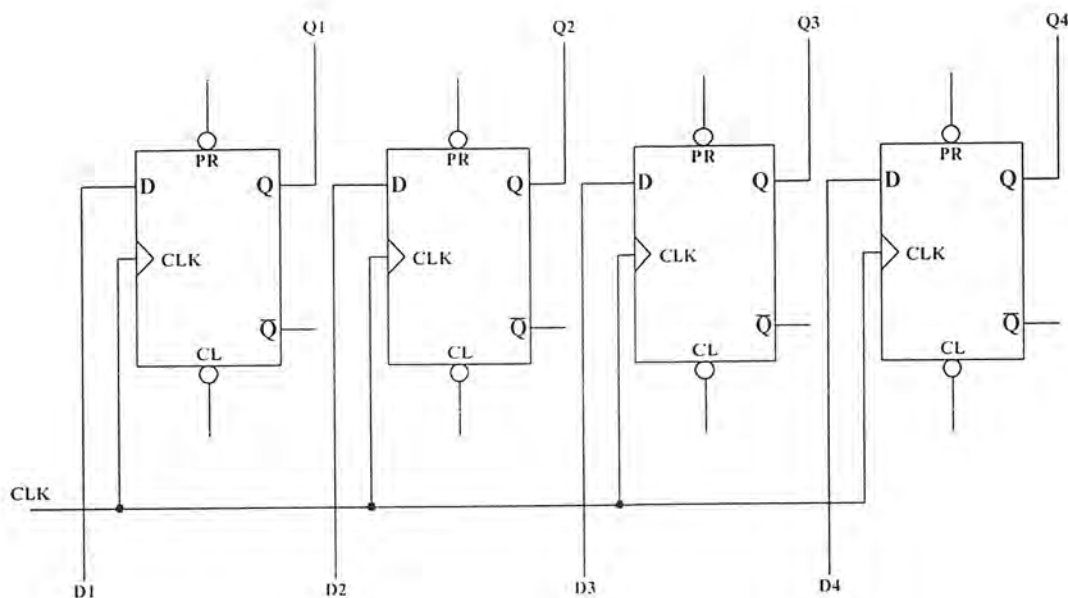
เอาต์พุตมีแรงดันตั้งแต่ 0 – 0.4 โวลต์ พิจารณาว่าเป็นระดับแรงดันต่ำหรือลอจิก 0

เอาต์พุตมีแรงดันตั้งแต่ 2.4 – 5 โวลต์ พิจารณาว่าเป็นระดับแรงดันสูงหรือลอจิก 1

อินพุตที่มีค่าระหว่าง 0.8 – 2 โวลต์ ไม่ควรนำมาเป็นอินพุตของวงจร เพราะจะทำให้ได้สัญญาณเอาต์พุตที่ไม่แน่นอน ซึ่งในการทดลองอาจใช้ได้ แต่ระดับแรงดันที่จะแบ่งว่าอินพุตเป็นลอจิก 0 หรือ 1 นั้นมีค่าไม่เท่ากัน อีกทั้งการกำหนดช่วงของลอจิก 0 หรือ 1 แตกต่างกันนั้นจะช่วยป้องกันสัญญาณรบกวนแฝงมากับสัญญาณอินพุตได้ด้วย

4.11 วงจรแลตช์

วงจรแลตช์เป็นวงจรที่ให้ข้อมูลผ่านเข้ามาเมื่อมีการให้สัญญาณแลตช์จะทำให้ข้อมูลไม่สามารถผ่านเข้ามาได้อีก โดยที่วงจรจะทำการเก็บข้อมูลชุดสุดท้ายที่ผ่านมาไว้ จนกว่าจะเปิดวงจรและได้รับสัญญาณใหม่อีก



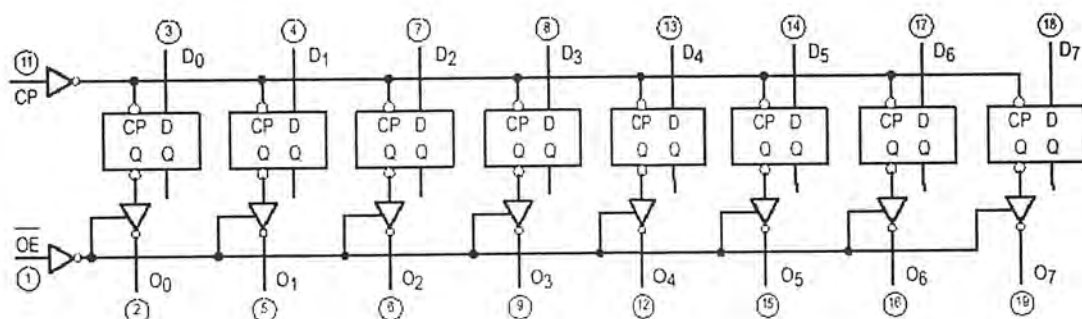
รูปที่ 4.12 โครงสร้างของวงจรเลขตัวข้อมูล

รูปที่ 4.12 ใช้ ดีฟลิปฟล็อป 4 ตัวมาต่อเป็นวงจรเลขตัว 4 บิต เมื่อมีสัญญาณพัลส์ป้อนเข้ามาที่ขา (CLK) ของ ดีฟลิปฟล็อป จะทำให้ข้อมูลที่ขา ดี ถูกส่งผ่านไปทีเอาต์พุต Q เช่นสมมุติว่าเราจะทำการป้อนข้อมูล 1010 เข้าไปที่ขา D1 – D4 เมื่อมีสัญญาณพัลส์เข้ามาที่ขา (CLK) จะทำให้สัญญาณที่ได้ทางเอาต์พุตเป็น 1010 เหมือนอินพุตคั้งนั้นจะเห็นได้ว่าเมื่อไม่มี (CLK) ให้กับดีฟลิปฟล็อปจะทำให้ข้อมูลเป็น 1010 ไม่ว่าอินพุตที่เข้ามาจะมีค่าเป็นเท่าไรก็ตาม

การออกแบบวงจรการใช้งานจะใช้ไอซีเบอร์ 74LS374 ซึ่งเป็น ไอซีเลขตัวข้อมูล

-IC#74LS374

เป็นไอซีเลขตัวข้อมูลซึ่งทำหน้าที่ในการเก็บข้อมูลชั่วคราวอินพุตรับข้อมูลแบบขนานและเอาต์พุตส่งข้อมูลแบบขนาน โครงสร้างของไอซีแสดงดังรูปที่ 4.13



รูปที่ 4.13 ไอซีเบอร์ 74LS374

LS374

D _n	LE	OE	O _n
H		L	H
L		L	L
X	X	H	Z*

รูปที่ 4.14 Function table ของไอซีเบอร์ 74LS374

จากตารางการทำงานของไอซีเบอร์ 74LS374 ดังรูปที่ 4.14 ถ้าเอาต์พุตควบคุมเป็น L ถ้าสัญญาณนาฬิกาขอบขาขึ้นเข้ามาเอาต์พุตที่ได้จะเปลี่ยนแปลงตาม ดี (D) และถ้าไม่มีสัญญาณนาฬิกาขอบขาขึ้นเข้ามาเอาต์พุตที่ได้จะคงเดิม Q0 ถ้าเอาต์พุตควบคุมเป็น H หรือลอจิก 1 ขาสัญญาณนาฬิกาหรือขา ดี (D) เป็นใดๆ เอาต์พุตจะมีอิมพีแดนซ์สูง

4.12 เอาต์พุตของวงจร

เอาต์พุตของวงจรมีการทำงานคล้ายกับอินพุตเอาต์พุตของวงจรมีจะนำไปต่อกับตัวกำเนิดไปแสดงผล

4.13 วงจรที่ใช้ในการเก็บข้อมูลที่ออกแบบเสร็จแล้ว

วงจที่ใช้ในการเก็บข้อมูลซึ่งมีสัญญาณควบคุมการทำงานอยู่ 2 เส้นคือ R/W และ /WE จะเป็นสัญญาณเลือกว่าจะให้เริ่มทำงานหรือไม่ ถ้าต้องการให้เริ่มทำงานจะต้องให้ /WE มีลอจิกเป็น 0 และถ้าไม่ต้องการให้ทำงานจะต้องให้ /WE มีลอจิกเป็น 1

R/W เป็นสายสัญญาณที่ทำหน้าที่กำหนดการเขียนหรือการอ่านข้อมูลบนแรมถ้าต้องการเก็บข้อมูลจากการสุ่มตัวอย่างจะต้องทำให้ขา R/W มีลอจิกเป็น 0 และถ้าต้องการอ่านข้อมูลที่ได้จากแรมไปทำการประมวลผลจะต้องทำให้ขา R/W มีลอจิกเป็น 1

ในการเก็บข้อมูลนี้จะทำการเก็บเพียง 256 ตำแหน่งเท่านั้นซึ่งจะทำให้ค่าที่ได้มีความละเอียดพอสมควร

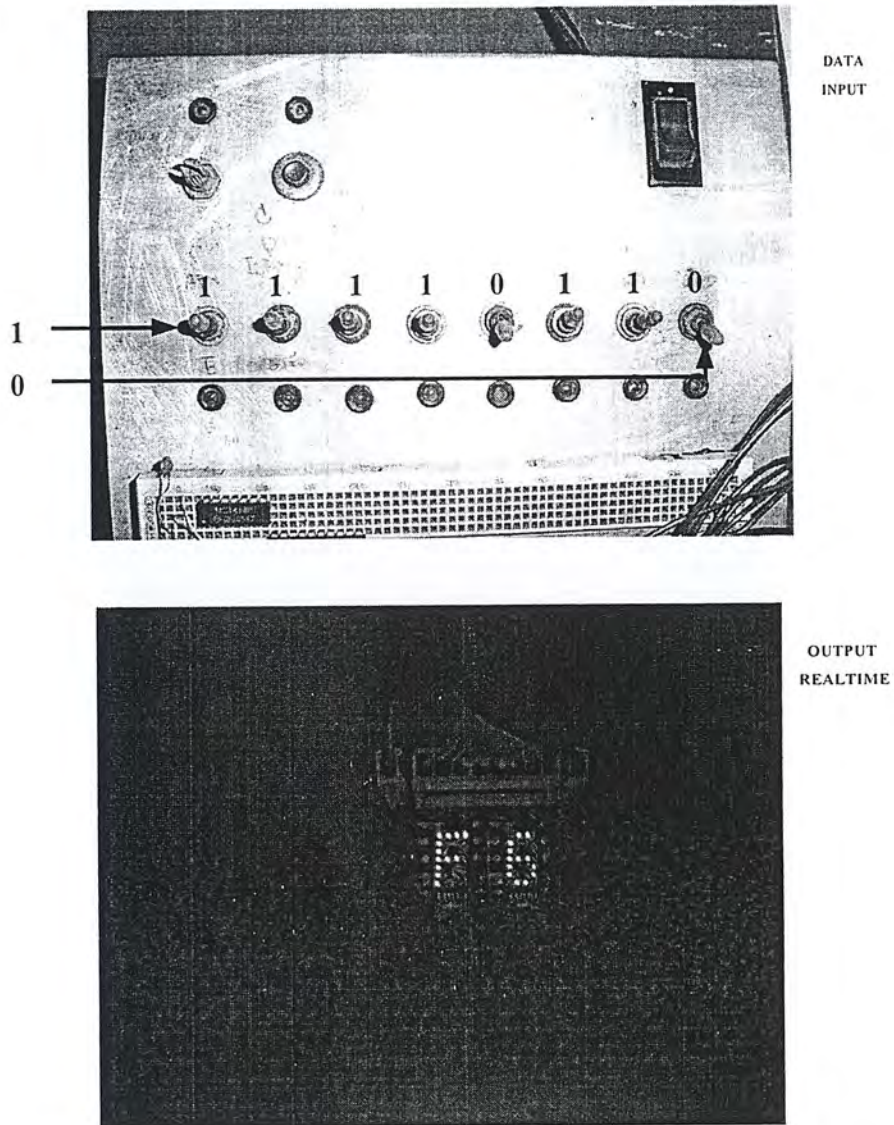
แรมเบอร์ 2016 ซึ่งมีคาบเวลาการอ่าน (read cycle time) ต่ำสุด 150 nS. จะใช้กับความถี่สูงสุดประมาณ 6 MHz ซึ่งจะสามารถใช้วัดความถี่ที่เข้าอินพุตได้สูงสุด 1 MHz จากที่ได้กล่าวมาแล้วตามรูปที่ 3.18

บทที่ 5

ผลการทดลอง

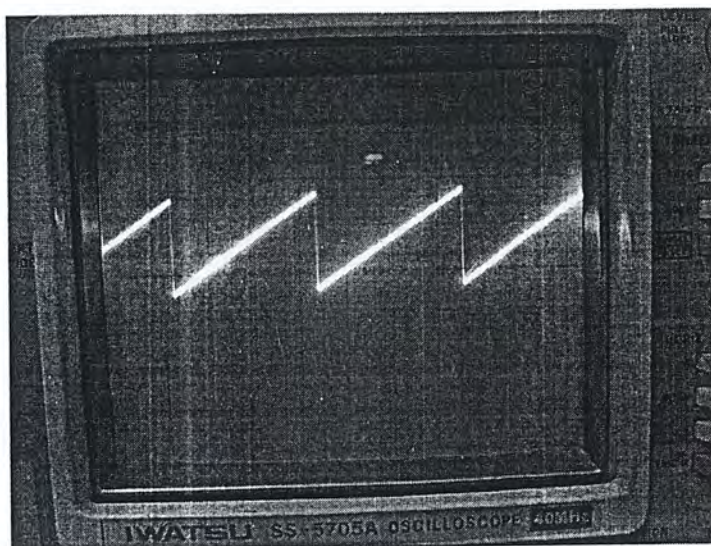
5.1 กรณีที่ 1 ไม่ป้อนสัญญาณนาฬิกา

กรณีที่ 1 มีการป้อนข้อมูลเข้ามาแต่ไม่ต้องการเขียนข้อมูลลงในหน่วยความจำ (ไม่มีการป้อนสัญญาณนาฬิกา (Clock Input)) ต้องการดูการแสดงผลของข้อมูลแบบตามเวลาจริงเป็นตัวเลขฐาน 16 โดยป้อนข้อมูลเข้าเป็น 11110110 (F6H) ดังรูปที่ 5.1



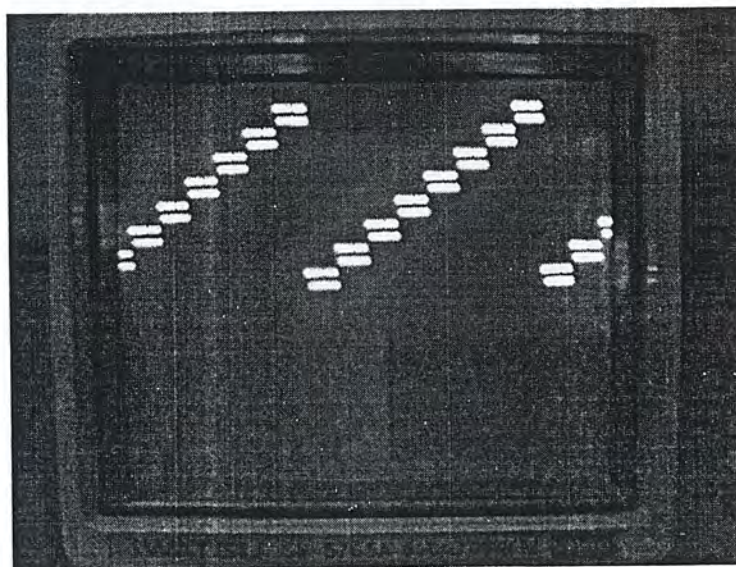
รูปที่ 5.1 ส่วนการป้อนข้อมูลและการแสดงผลแบบตามเวลาจริงเป็นเลขฐาน 16

-ภาค X เอาต์พุต (X Output) สัญญาณได้ดังรูปที่ 5.2



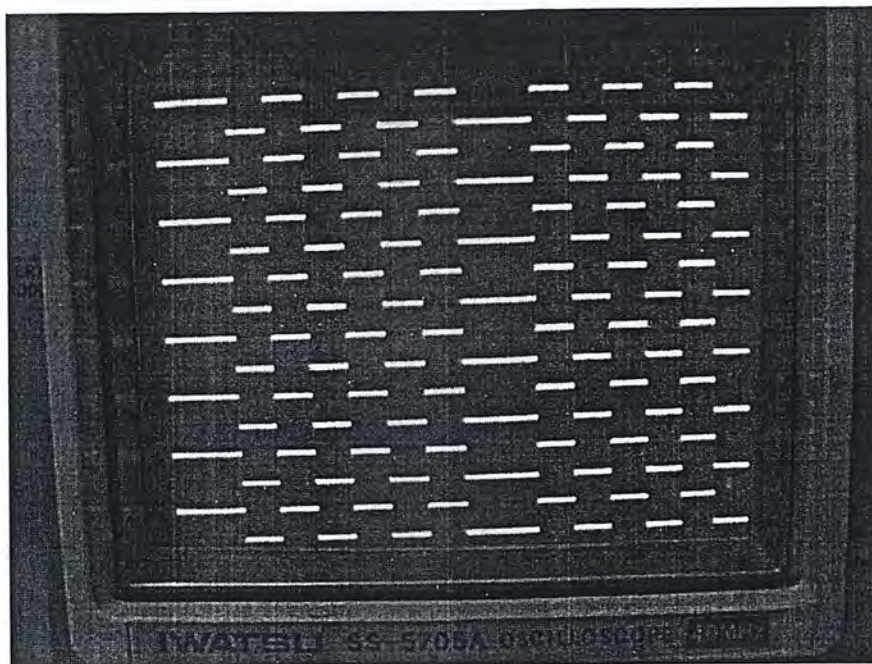
รูปที่ 5.2 สัญญาณ X Output :Range 5 Volts/Div. : 1 mSec/Div

-ภาค Y เอาต์พุต (Y Output) สัญญาณได้ดังรูปที่ 5.3



รูปที่ 5.3 สัญญาณ Y Output : Rang 2 Volts/Div. : 5 mSec/Div

-เมื่อนำสัญญาณเอาต์พุตจากภาค X และ ภาค Y มาแสดงผลของข้อมูลในหน่วยความจำตำแหน่งต่างๆ ที่ออสซิลโลสโคปรวมกัน สัญญาณได้ดังรูปที่ 5.4



รูปที่ 5.4 แสดงผลรวมของสัญญาณ X และ Y (แสดงข้อมูลในหน่วยความจำตำแหน่ง 000H-00FH)

รูปที่ 5.4 อ่านข้อมูลในหน่วยความจำตำแหน่ง 000H-00FH ได้เท่ากับ xxxx xxxx (x = ลอจิกใดๆ กรณีไม่มีการป้อนสัญญาณนาฬิกา (Clock Input) ให้กับระบบ)

5.2 กรณีมีการป้อนสัญญาณนาฬิกา

กรณีที่ 2 มีการป้อนข้อมูลเข้ามาและต้องการเขียนข้อมูลลงในหน่วยความจำ (มีการป้อนสัญญาณนาฬิกา (Clock Input)) และการแสดงผลของข้อมูล

ขั้นตอนการเขียนข้อมูลลงในหน่วยความจำ

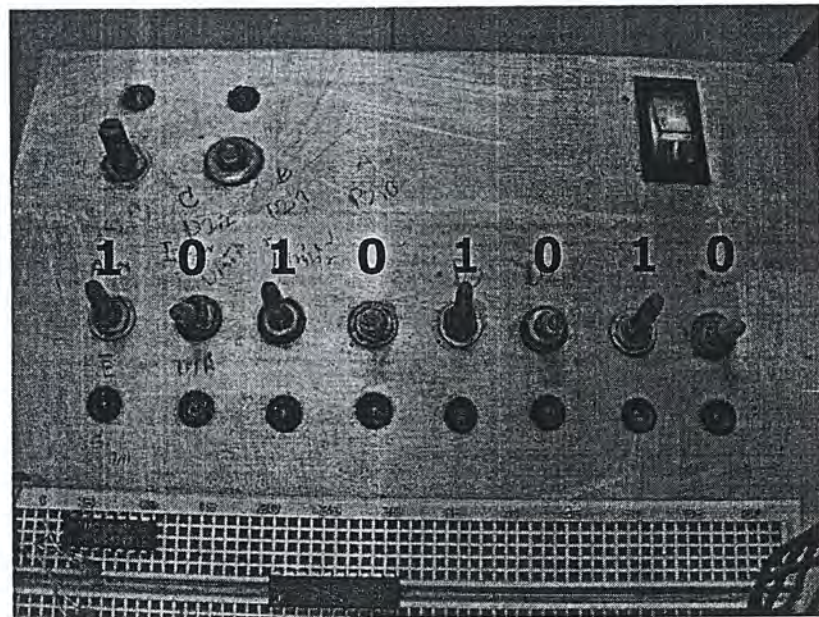
1. ป้อนข้อมูลเข้ามาและป้อนสัญญาณนาฬิกา (Clock Input) ด้วย
2. กดปุ่มสวิตช์กระตุ้น (Trigger) เพื่อไปควบคุมสัญญาณขา Write ที่แรมให้เขียนข้อมูลลงในหน่วยความจำโดยจะเขียนข้อมูลที่สัญญาณขอบขาของสัญญาณนาฬิกา (เริ่มต้นการเขียนข้อมูล) ไฟแสดงผลการรับข้อมูล (LED Acquiring Data) จะสว่าง
3. การเขียนข้อมูลจะเริ่มต้นเขียนข้อมูลตั้งแต่แอดเดรส 000H - 7FFH เมื่อเขียนเสร็จแล้วไฟแสดงผลการรับข้อมูล (LED Acquiring Data) จะดับ

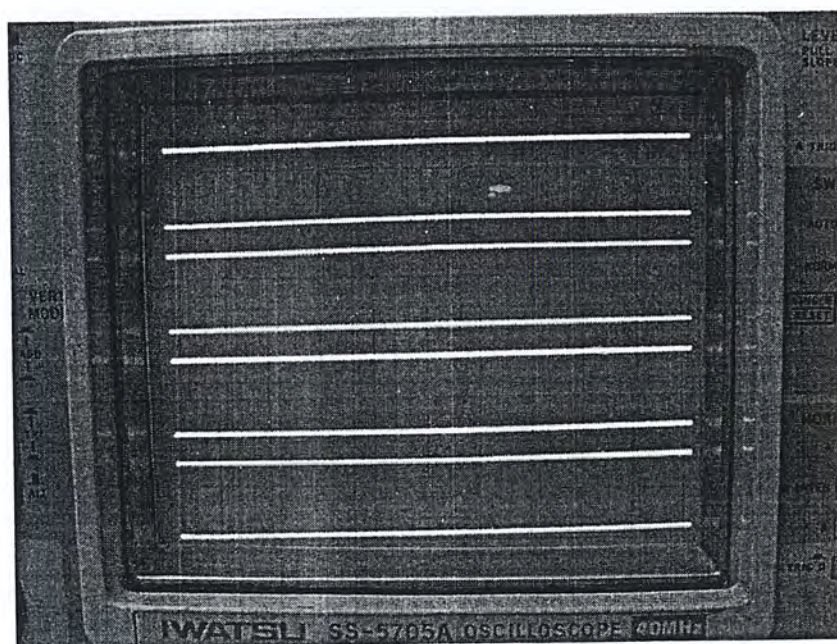
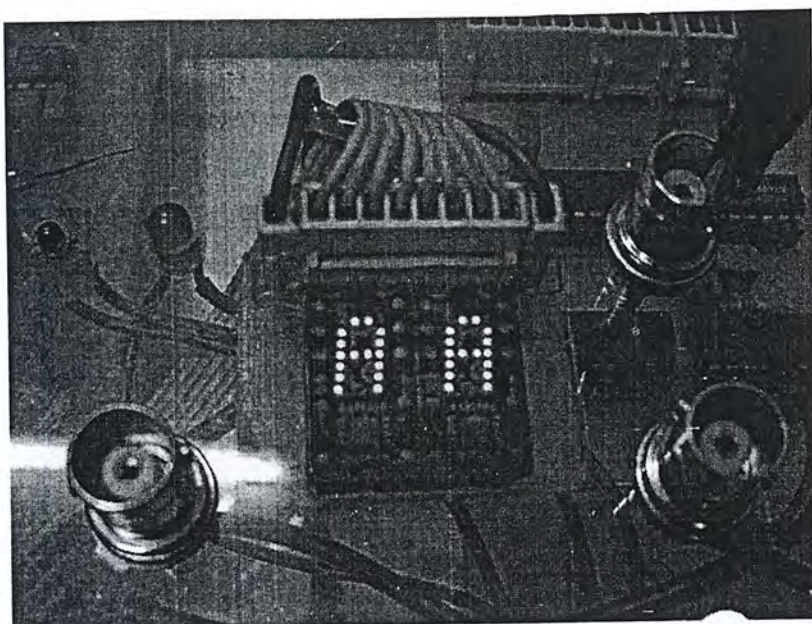
4. เมื่อเขียนข้อมูลเต็มแล้วและต้องการเขียนข้อมูลใหม่เข้ามากดปุ่มรีเซ็ต (เริ่มต้นรับข้อมูลใหม่)

เมื่อป้อนข้อมูล AAH เข้ามาและต้องการเขียนข้อมูลลงในหน่วยความจำตั้งแต่แอดเดรส 000H - 7FFH

กดปุ่มการกระตุ้น (Trigger) เพื่อเริ่มต้นเขียนข้อมูล แรมจะเขียนข้อมูลตั้งแต่แอดเดรส 000H - 7FFH

เมื่อเขียนข้อมูลลงในหน่วยความจำเสร็จแล้ว ผลของสัญญาณที่ออสซิลโลสโคปก็จะเป็นข้อมูล AAH ตลอดตั้งแต่แอดเดรส 000H - 7FFH โดยสามารถเลือกดูได้ว่าตั้งแต่แอดเดรสที่ 000H - 7FFH เป็นข้อมูล AAH ดังรูปที่ 5.5





รูปที่ 5.5 ป้อนข้อมูล AAH และการแสดงผลเมื่อเขียนข้อมูลลงในหน่วยความจำเสร็จแล้ว

จากรูปที่ 5.5 อ่านข้อมูลในหน่วยความจำที่ตำแหน่ง 000H-00FH ได้เท่ากับ 1010 1010 (AAH)

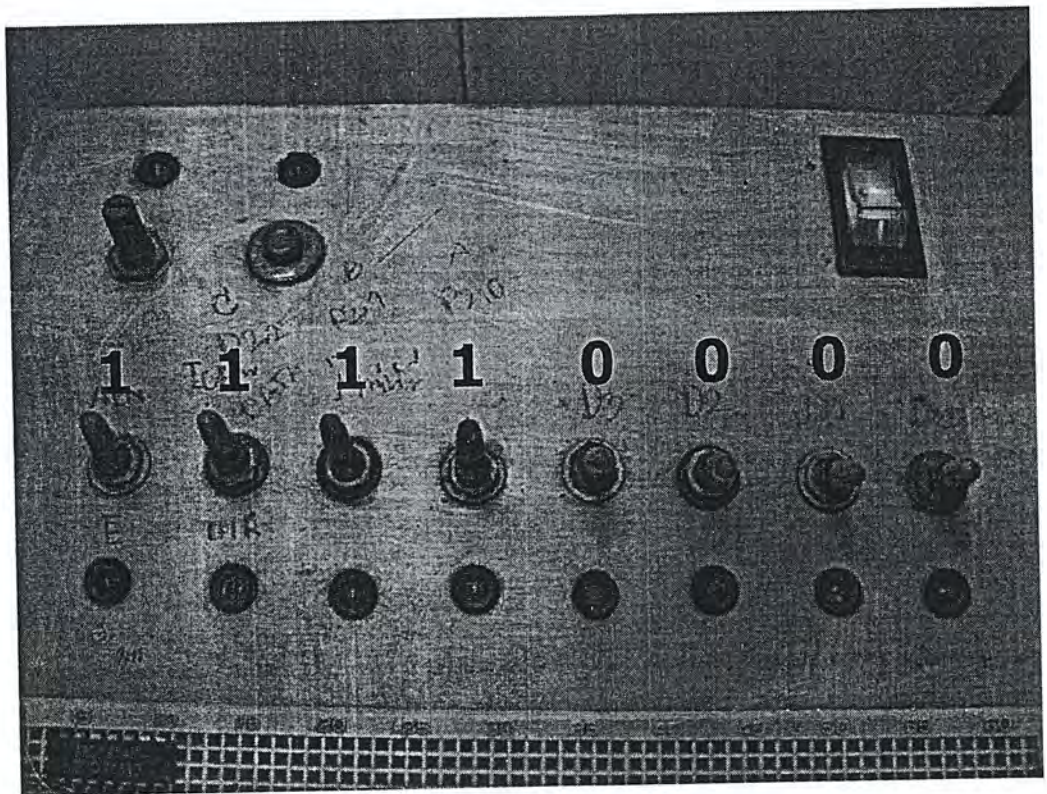
เมื่อป้อนข้อมูล FOH เข้ามาบ้างและต้องการเขียนข้อมูลลงในหน่วยความจำตั้งแต่แอดเดรส

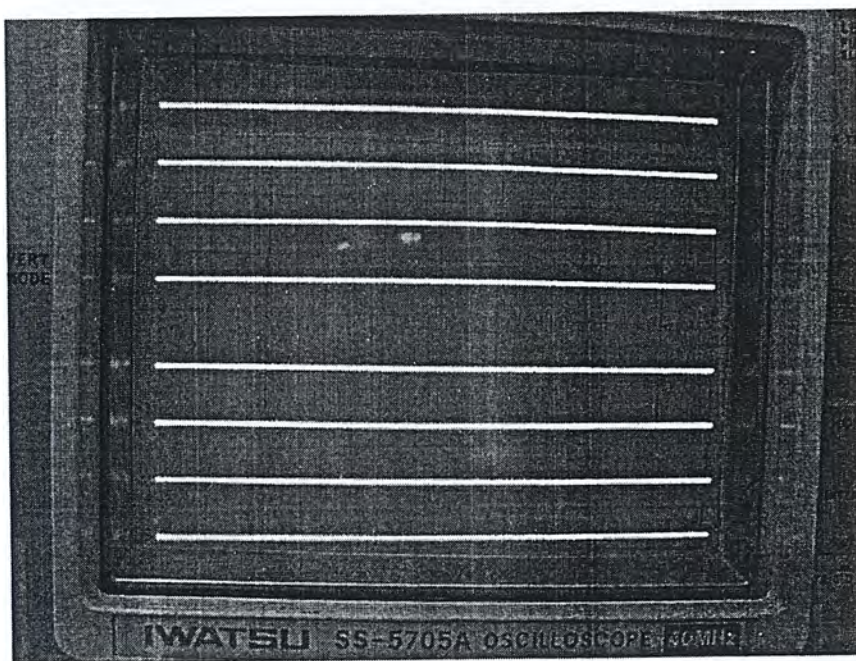
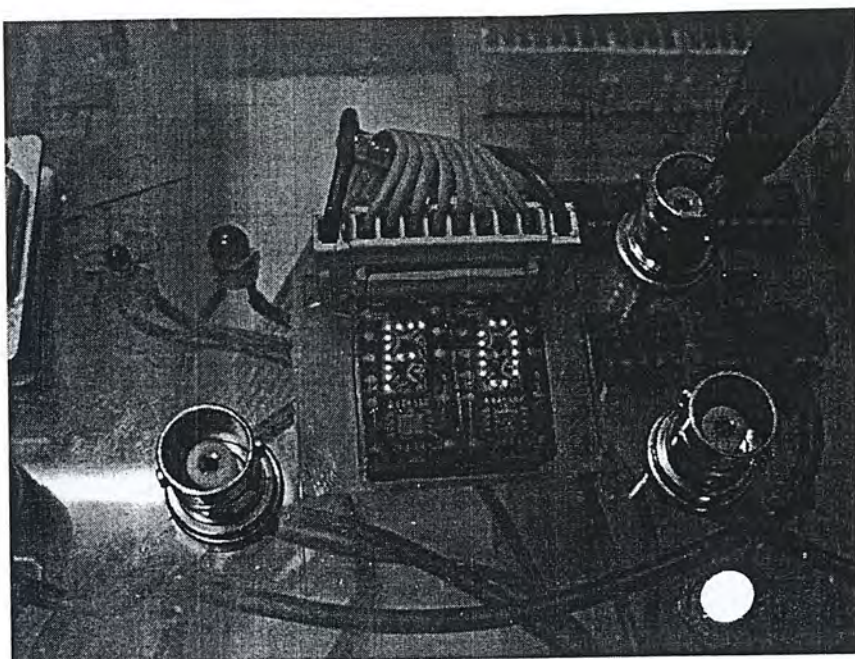
000H - 7FFH

กดปุ่มการกระตุ้น (Trigger) เพื่อเริ่มต้นเขียนข้อมูล แรมจะเขียนข้อมูลตั้งแต่แอดเดรส

000H - 7FFH

เมื่อเขียนข้อมูลลงในหน่วยความจำเสร็จแล้ว ผลของสัญญาณที่ออสซิลโลสโคปก็จะเป็นข้อมูล FOH ตลอดตั้งแต่แอดเดรส 000H - 7FFH โดยสามารถเลือกดูได้ว่าตั้งแต่แอดเดรสที่ 000H - 7FFH เป็นข้อมูล FOH ดังรูปที่ 5.6

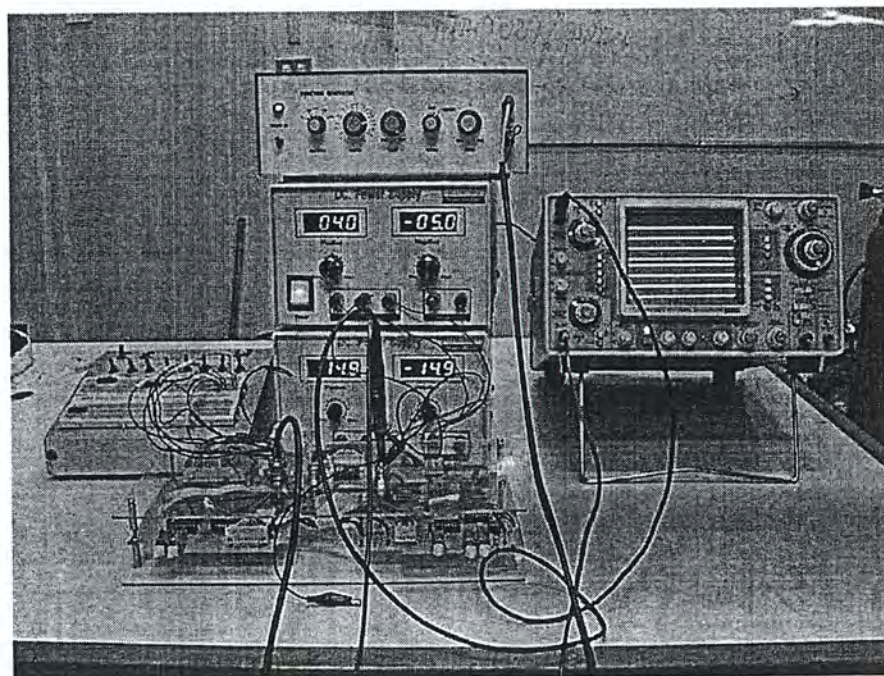
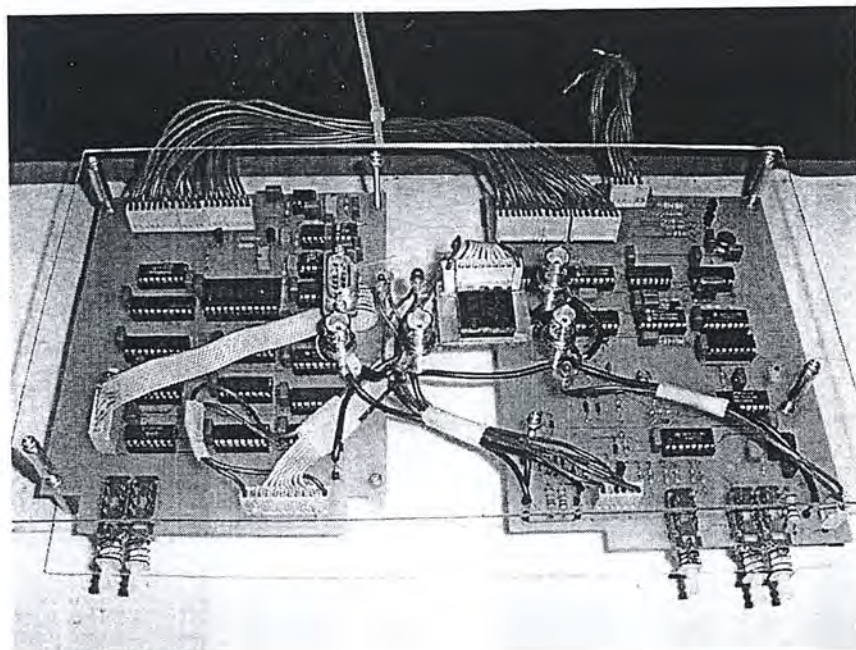




รูปที่ 5.6 ป้อนข้อมูล FOH และการแสดงผลเมื่อเขียนข้อมูลลงในหน่วยความจำเสร็จแล้ว

จากรูปที่ 5.6 อ่านข้อมูลจากหน่วยความจำตำแหน่งที่ 000H-00FH ได้เท่ากับ 1111 0000 (FOH)

รูปที่ 5.7 แสดงเห็นรูปโดยรวมของเครื่องลอจิกอนาไลซ์เซอร์



รูปที่ 5.7 แสดงเครื่องลอจิกอนาไลซ์เซอร์และการต่อใช้งาน

บทที่ 6

สรุปผลการทดลองและข้อเสนอแนะ

จากการได้ออกแบบและสร้างเครื่องลอจิกอานาไลซ์เซอร์ (Logic Analyzer) 8 ช่องสัญญาณ พบว่าเมื่อนำเครื่องลอจิกอานาไลซ์เซอร์ที่ได้มาทดลอง สามารถสรุปผลการทดลองหลักใหญ่ๆ ได้ เป็น 2 ส่วนคือ การศึกษาการทำงาน การออกแบบและผลข้อมูลของตัวเครื่องลอจิกอานาไลซ์เซอร์ และในส่วนของผลการทดลองผลของข้อมูล เปรียบเทียบการป้อนข้อมูลเมื่อไม่ต้องการเขียนข้อมูลลงในหน่วยความจำแค่แสดงผลที่ชุดแสดงผลเป็นเลขฐาน 16 อย่างเดียวกับเมื่อต้องการเขียนข้อมูลลงในหน่วยความจำแสดงผลที่ตัวแสดงผลและอ่านออกที่ออสซิลโลสโคป

ในระบบดิจิทัลที่ซับซ้อน (complex digital) ส่วนใหญ่จะวิเคราะห์ในเทอมของความสัมพันธ์ทางฟังก์ชันที่มีเข้ามาโดยการเปรียบเทียบกับเวลาของระบบ (System Time) ดังนั้นในการใช้ออสซิลโลสโคปธรรมดาจึงไม่สามารถทำได้แต่สำหรับลอจิกอานาไลซ์เซอร์เป็นเครื่องมือที่ออกแบบขึ้นเพื่อวิเคราะห์วงจรดิจิทัล โดยมันสามารถเก็บสะสมและแสดงข้อมูลได้หลายช่องความถี่พร้อมๆ กัน โดยมีการกำหนดทริกเกอร์ทำให้สามารถเลือกจุดสุ่มสัญญาณที่ต้องการได้ ดังนั้นเครื่องลอจิกอานาไลซ์เซอร์จึงเหมาะสมการงานนี้

6.1 สรุปผลการทดลอง

6.1.1 การศึกษาการทำงาน การออกแบบและผลข้อมูลของตัวเครื่องลอจิกอานาไลซ์เซอร์

โดยการเรียนรู้จะเริ่มต้นจากการเขียนบล็อกไดอะแกรมแสดงออกมาเป็นภาค ๆ สรุปการทำงานของตัวเครื่องว่าเป็นอย่างไรเมื่อได้ข้อมูลเรียบร้อยแล้วจึงทำการออกแบบวงจรการทำงานของแต่ละภาคแล้วนำมาทดสอบเมื่อได้การทำงานที่ถูกต้อง แล้วจึงนำวงจรแต่ละภาคมารวมกันเป็นเครื่องลอจิกอานาไลซ์เซอร์ ออกแบบลายปริ้นท์แล้วทดสอบการทำงานอีกครั้งว่าถูกต้องหรือเปล่า มีปัญหาอะไรที่ต้องแก้ไขแนวทางแก้ไขอย่างไร ผลของตัวเครื่องมีประสิทธิภาพการทำงานที่ได้ตั้งขอบเขตไว้ โดยการป้อนข้อมูลเป็นลอจิก 8 บิตจะแสดงผลเป็นเลขฐาน 16 ที่ตัวแสดงผลและถ้าต้องการให้เริ่มเขียนข้อมูลลงในหน่วยความจำและอ่านข้อมูล ออกมาที่จอออสซิลโลสโคปจะได้ผลตามข้อมูลที่ป้อนเข้ามา

6.1.2 การทดลองผลของข้อมูล

จากการเปรียบเทียบผลของข้อมูลที่แสดงผล โดยป้อนข้อมูลลอจิกเข้ามาและถ้าไม่ต้องการให้เริ่มเขียนข้อมูลลงในหน่วยความจำแค่แสดงผลที่ตัวแสดงผลอย่างเดียว ไม่ต้องป้อนอินพุตสัญญาณนาฬิกาเข้ามาเพราะสัญญาณนาฬิกาจะเป็นตัวควบคุมการเขียนข้อมูล โดยจะทำการเขียนข้อมูลที่ขอบล่างของสัญญาณนาฬิกาแต่ละรูปคลื่น อย่างเช่นข้อมูลลอจิก 8 บิต 1101 1110 (DEH)

ตัวแสดงผลก็จะแสดงผลเป็น DEH นั่นเองและหากต้องการให้แรมเขียนข้อมูลลงในหน่วยความจำก็ต้องป้อนอินพุตสัญญาณนาฬิกาเข้ามาดังที่ได้กล่าวมาแล้วอย่างเช่นข้อมูลเดิม 1101 1110 (DEH) โดยสามารถเขียนได้ตั้งแต่แอดเดรส 000H – 07FFH เมื่อแรมเขียนข้อมูลเสร็จเรียบร้อยแล้วอ่านออกที่จอออสซิลโลสโคปข้อมูลก็จะเป็น DEH เช่นเดียวกัน

6.2 ข้อเสนอแนะ

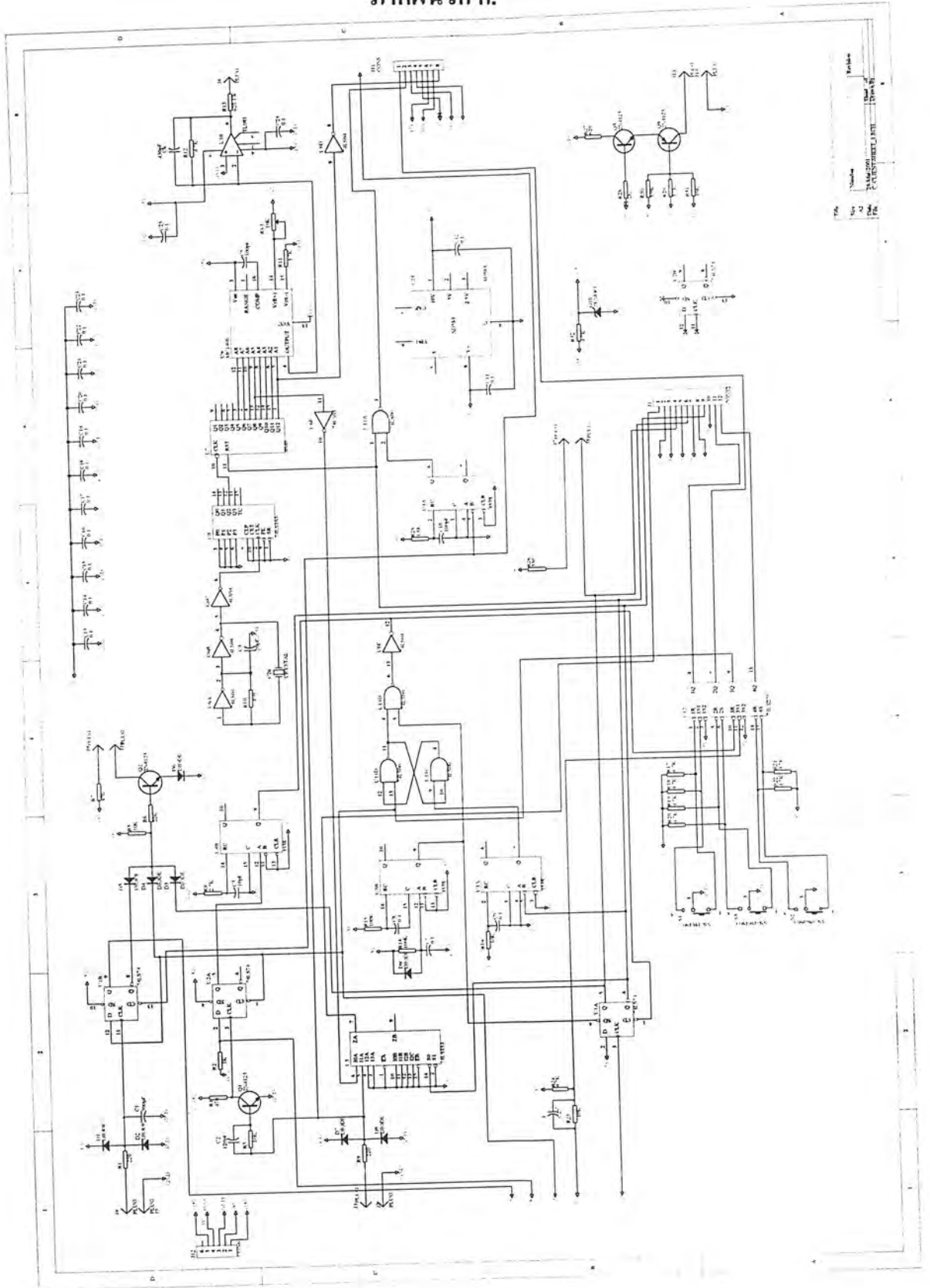
ในการออกแบบตัวเครื่องสามารถขยายช่องสัญญาณได้แก่ 8 ช่องสัญญาณเท่านั้น เขียนข้อมูลได้แค่แอดเดรสเริ่มต้นจาก 000H – 7FFH เพราะใช้แรมเพียงตัวเดียวและแสดงผลที่จอออสซิลโลสโคปเราสามารถนำข้อมูลนี้มาประยุกต์ใช้ในการขยายช่องสัญญาณได้มากกว่านี้ และสามารถเขียนข้อมูลได้มากกว่านี้โดยใช้แรมมาต่อกันหลายตัวเพื่อเก็บข้อมูลและให้แสดงผลที่จอคอมพิวเตอร์โดยใช้การเขียนโปรแกรมเป็นตัวกำเนิดสัญญาณออกที่จอ

บรรณานุกรม

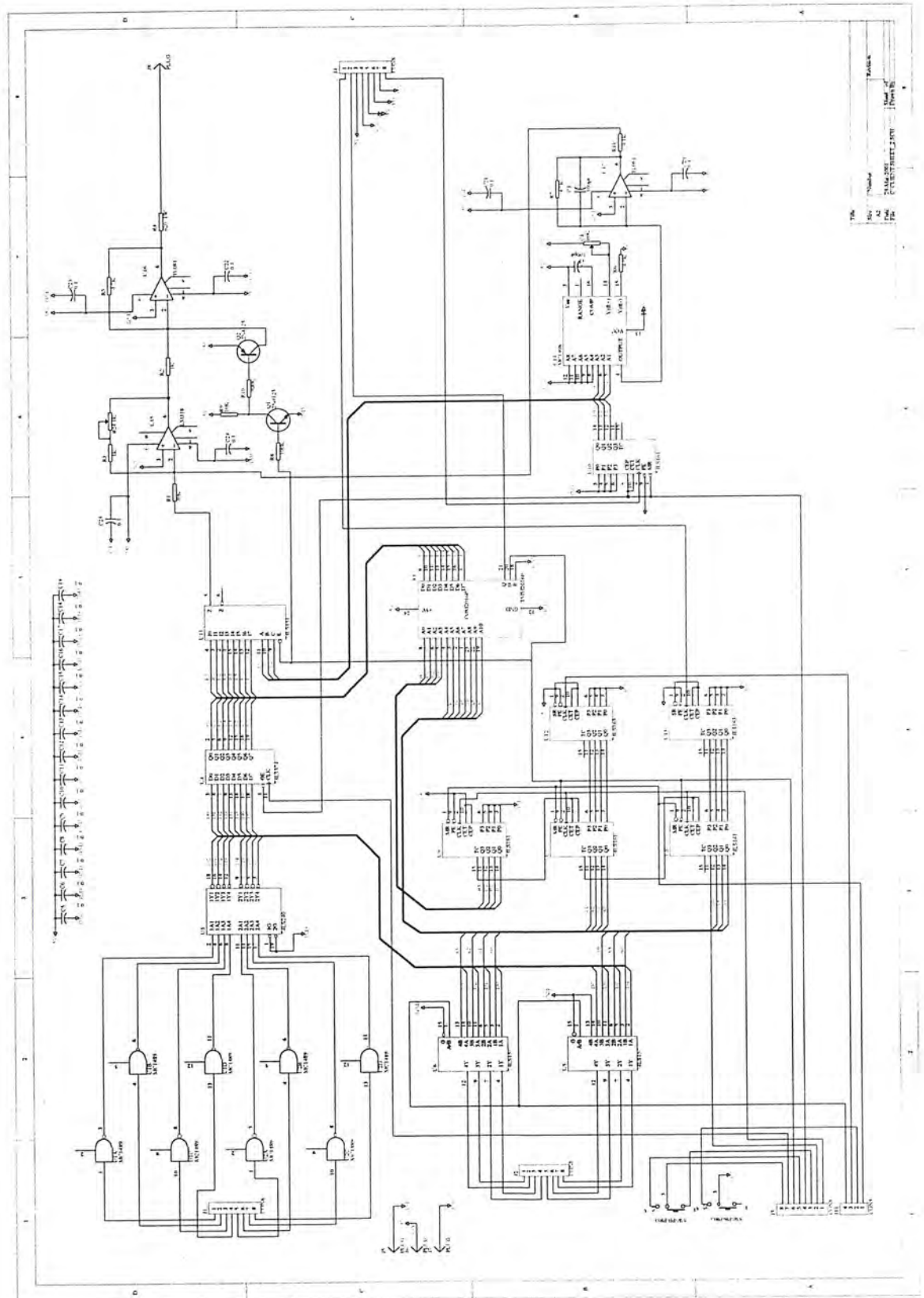
- [1] Roger L. Tokheim, "Theory and Problems of DIGITAL PRINCIPLES," Second Edition International edition 1988.
- [2] Instruction Manual, "LOGIC ANALYZER," Lab-Volt Ltd 1986
- [3] ธนัท ชัยยุทธ, กณพ แก้วพิชัย, "ดิจิตอลพื้นฐาน," แผนกไฟฟ้ากำลัง สถาบันเทคโนโลยีราชมงคลวิทยาเขตภาคตะวันออกเฉียงเหนือ
- [4] มานพ ดันตระบัณฑิตย์, ธานินทร์ ถาวรศาสนวงศ์, "ลอจิกอนาไลซ์เซอร์," ปรินูญานิพนธ์ อดุสาหกรรมศาสตร์บัณฑิต สาขาอิเล็กทรอนิกส์ คณะวิศวกรรมศาสตร์, สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง, 2539

ภาคผนวก

ภาคผนวก ก.



รูปที่ ก. แสดงวงจรรวมของเครื่องลอจิกนาไลซ์เซอร์ในแผ่นปริ้นท์ A1



รูปที่ ข. แสดงวงจรรวมของเครื่องลอจิกนาไลซ์เซอร์ในแผ่นปริ้นท์ A2

ภาคผนวก ข.
DATA SHEET

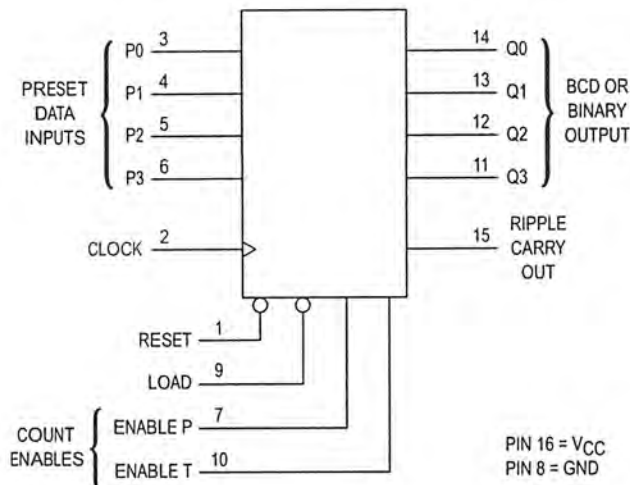
Presetter Counters
High-Performance Silicon-Gate CMOS

The MC54/74HC161A and HC163A are identical in pinout to the LS161 and LS163. The device inputs are compatible with standard CMOS outputs; with pullup resistors, they are compatible with LSTTL outputs.

The HC161A and HC163A are programmable 4-bit binary counters with asynchronous and synchronous reset, respectively.

- Output Drive Capability: 10 LSTTL Loads
- Outputs Directly Interface to CMOS, NMOS, and TTL
- Operating Voltage Range: 2.0 to 6.0 V
- Low Input Current: 1.0 μ A
- High Noise Immunity Characteristic of CMOS Devices
- In Compliance with the Requirements Defined by JEDEC Standard No. 7A
- Chip Complexity: 192 FETs or 48 Equivalent Gates

LOGIC DIAGRAM



Device	Count Mode	Reset Mode
HC161A	Binary	Asynchronous
HC163A	Binary	Synchronous

MC54/74HC161A
MC54/74HC163A



J SUFFIX
CERAMIC PACKAGE
CASE 620-10



N SUFFIX
PLASTIC PACKAGE
CASE 648-08



D SUFFIX
SOIC PACKAGE
CASE 751B-05

ORDERING INFORMATION

MC54HCXXXAJ	Ceramic
MC74HCXXXAN	Plastic
MC74HCXXXAD	SOIC

PIN ASSIGNMENT

RESET	1	16	VCC
CLOCK	2	15	RIPPLE CARRY OUT
P0	3	14	Q0
P1	4	13	Q1
P2	5	12	Q2
P3	6	11	Q3
ENABLE P	7	10	ENABLE T
GND	8	9	LOAD

FUNCTION TABLE

Inputs					Output Q
Clock	Reset*	Load	Enable P	Enable T	
	L	X	X	X	Reset
	H	L	X	X	Load Preset Data
	H	H	H	H	Count
	H	H	L	X	No Count
	H	H	X	L	No Count

* HC163A only. HC161A is an Asynchronous Reset Device
H = high level
L = low level
X = don't care

MC54/74HC161A MC54/74HC163A

FUNCTION DESCRIPTION

The HC161A/163A are programmable 4-bit synchronous counters that feature parallel Load, synchronous or asynchronous Reset, a Carry Output for cascading and count-enable controls.

The HC161A and HC163A are binary counters with asynchronous Reset and synchronous Reset, respectively.

INPUTS

Clock (Pin 2)

The internal flip-flops toggle and the output count advances with the rising edge of the Clock input. In addition, control functions, such as resetting and loading occur with the rising edge of the Clock input.

Preset Data Inputs P0, P1, P2, P3 (Pins 3, 4, 5, 6)

These are the data inputs for programmable counting. Data on these pins may be synchronously loaded into the internal flip-flops and appear at the counter outputs. P0 (Pin 3) is the least-significant bit and P3 (Pin 6) is the most-significant bit.

OUTPUTS

Q0, Q1, Q2, Q3 (Pins 14, 13, 12, 11)

These are the counter outputs. Q0 (Pin 14) is the least-significant bit and Q3 (Pin 11) is the most-significant bit.

Ripple Carry Out (Pin 15)

When the counter is in its maximum state 1111, this output goes high, providing an external look-ahead carry pulse that may be used to enable successive cascaded counters. Ripple Carry Out remains high only during the maximum count state. The logic equation for this output is:

$$\text{Ripple Carry Out} = \text{Enable T} \cdot \text{Q0} \cdot \text{Q1} \cdot \text{Q2} \cdot \text{Q3}$$

CONTROL FUNCTIONS

Resetting

A low level on the Reset pin (Pin 1) resets the internal flip-flops and sets the outputs (Q0 through Q3) to a low level. The HC161A resets asynchronously, and the HC163A resets with the rising edge of the Clock input (synchronous reset).

Loading

With the rising edge of the Clock, a low level on Load (Pin 9) loads the data from the Preset Data input pins (P0, P1, P2, P3) into the internal flip-flops and onto the output pins, Q0 through Q3. The count function is disabled as long as Load is low.

Count Enable/Disable

These devices have two count-enable control pins: Enable P (Pin 7) and Enable T (Pin 10). The devices count when these two pins and the Load pin are high. The logic equation is:

$$\text{Count Enable} = \text{Enable P} \cdot \text{Enable T} \cdot \text{Load}$$

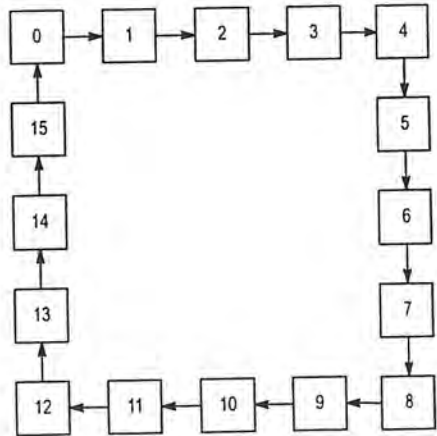
The count is either enabled or disabled by the control inputs according to Table 1. In general, Enable P is a count-enable control: Enable T is both a count-enable and a Ripple-Carry Output control.

Table 1. Count Enable/Disable

Control Inputs			Result at Outputs	
Load	Enable P	Enable T	Q0 – Q3	Ripple Carry Out
H	H	H	Count	High when Q0–Q3 are maximum*
L	H	H	No Count	
X	L	H	No Count	High when Q0–Q3 are maximum*
X	X	L	No Count	L

* Q0 through Q3 are maximum when Q3 Q2 Q1 Q0 = 1111.

OUTPUT STATE DIAGRAMS



Binary Counters

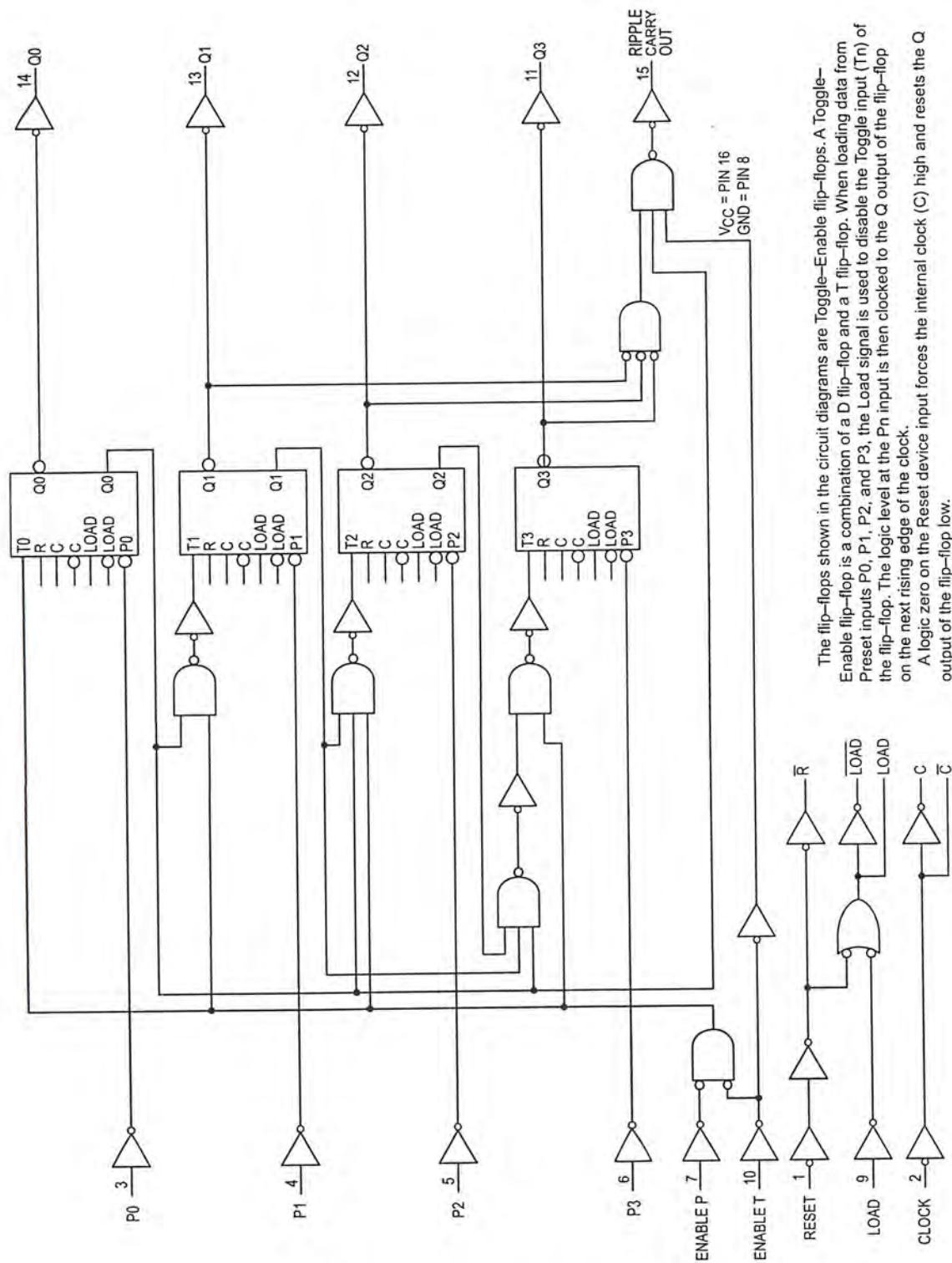


Figure 8. 4-Bit Binary Counter with Asynchronous Reset (MC54/74HC161A)

MC54/74HC161A MC54/74HC163A

- Sequence illustrated in waveforms:
- 1. Reset outputs to zero.
 - 2. Preset to binary twelve.
 - 3. Count to thirteen, fourteen, fifteen, zero, one and two.
 - 4. Inhibit.

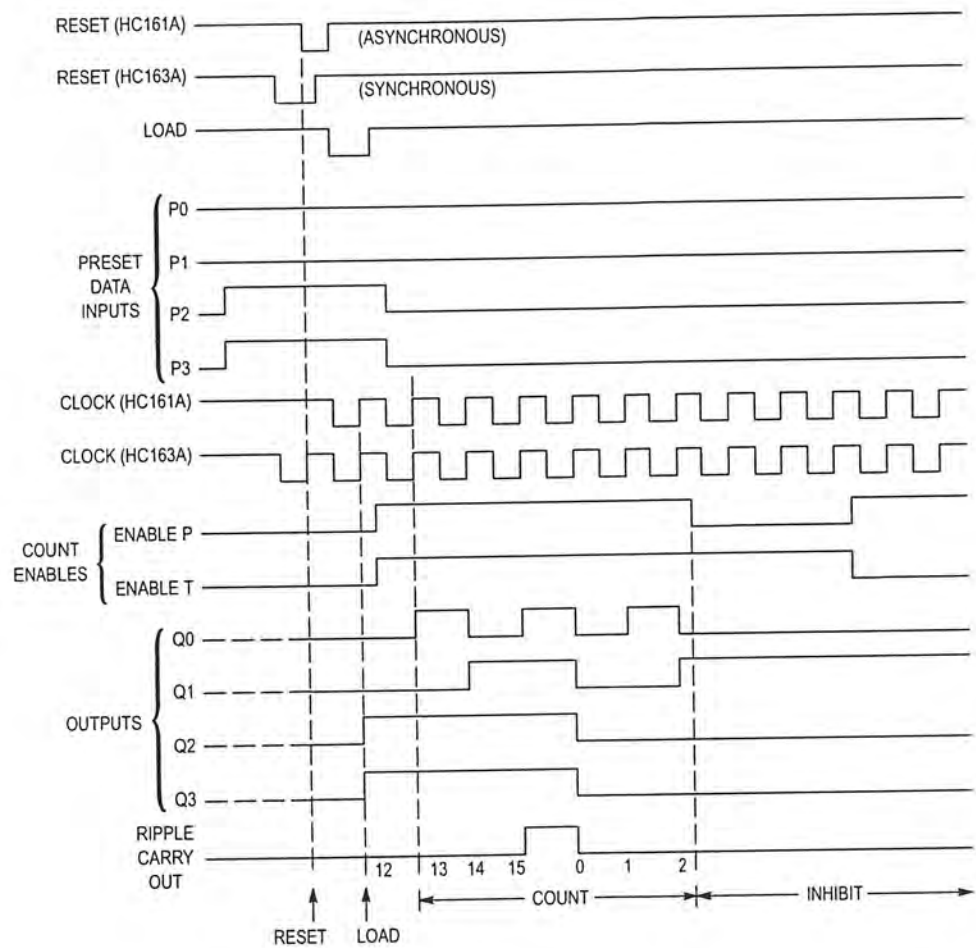


Figure 9. Timing Diagram

MC54/74HC161A MC54/74HC163A

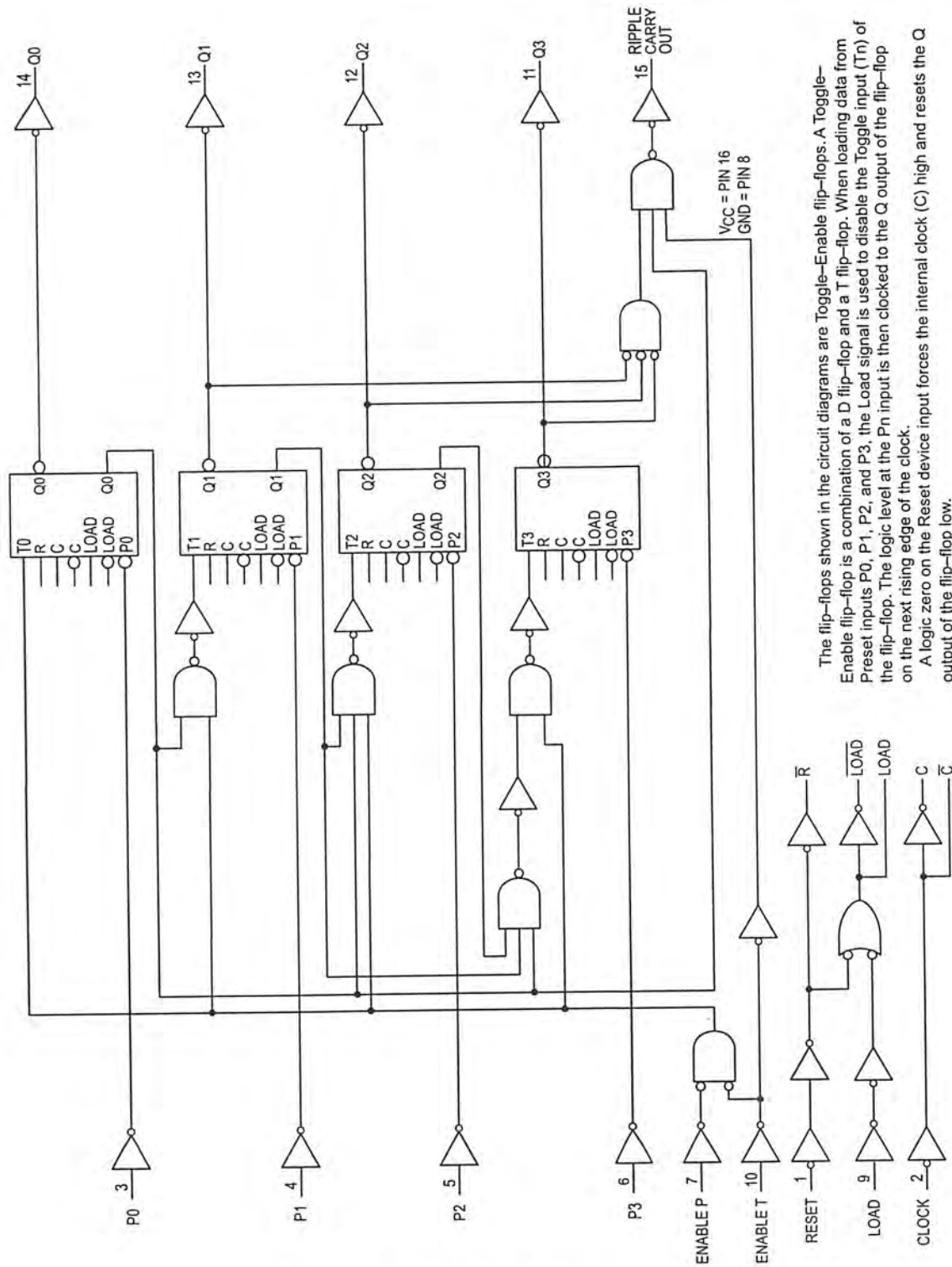
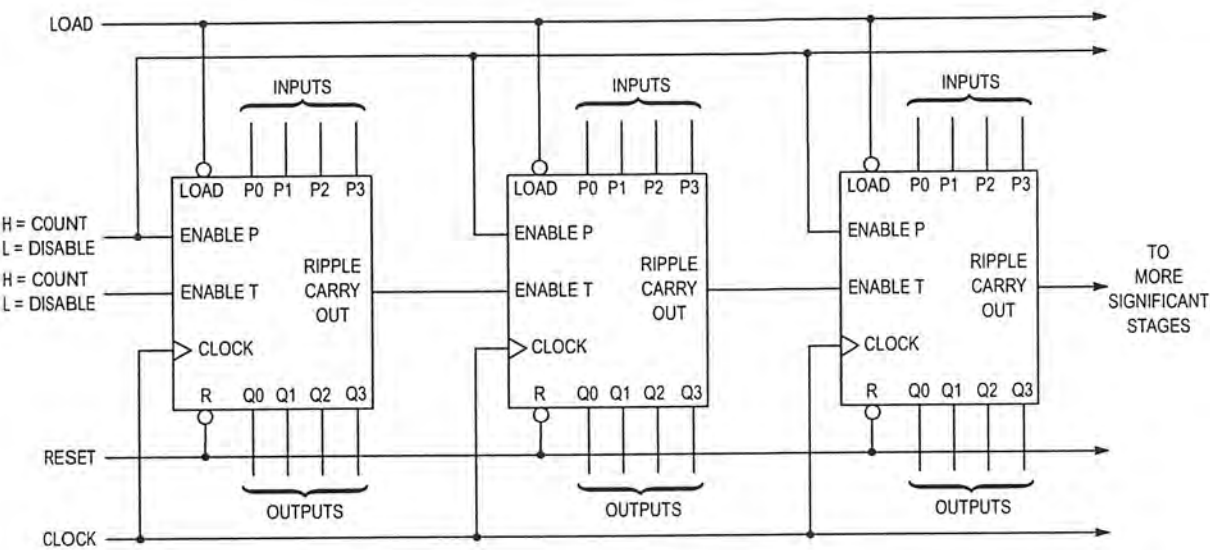


Figure 10. 4-Bit Binary Counter with Synchronous Reset (MC54/74HC163A)

MC54/74HC161A MC54/74HC163A

TYPICAL APPLICATIONS CASCADING



NOTE: When used in these cascaded configurations the clock f_{max} guaranteed limits may not apply. Actual performance will depend on number of stages. This limitation is due to set up times between Enable (Port) and Clock.

Figure 11. N-Bit Synchronous Counters

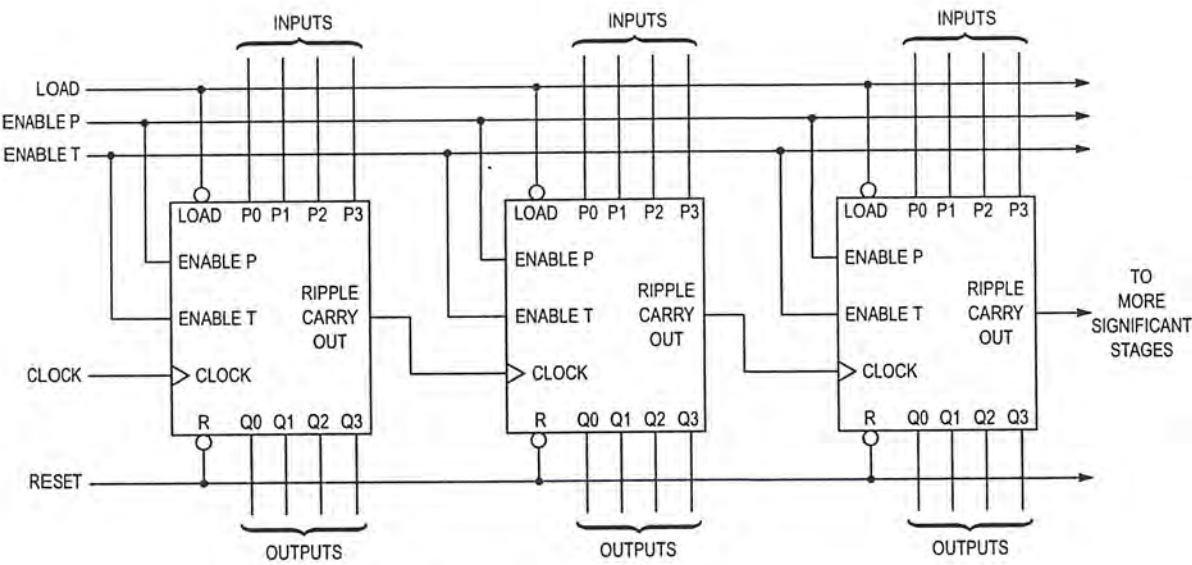


Figure 12. Nibble Ripple Counter

TYPICAL APPLICATIONS VARYING THE MODULUS

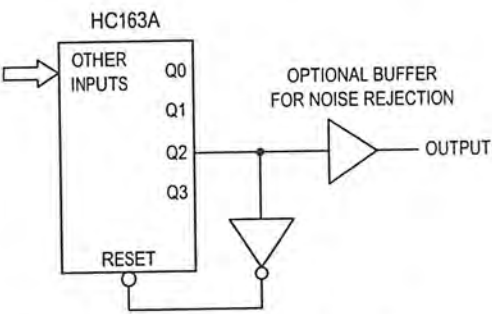


Figure 13. Modulo-5 Counter

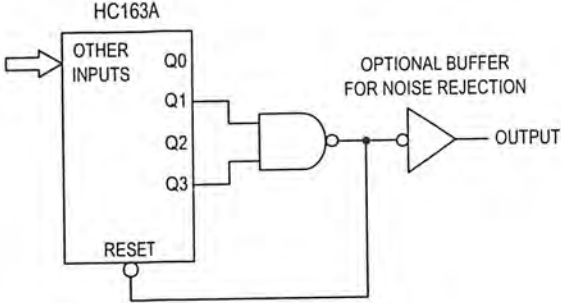


Figure 14. Modulo-11 Counter

The HC163A facilitates designing counters of any modulus with minimal external logic. The output is glitch-free due to the synchronous Reset.

12-stage binary ripple counter

74HC/HCT4040

FEATURES

- Output capability: standard
- I_{CC} category: MSI

GENERAL DESCRIPTION

The 74HC/HCT4040 are high-speed Si-gate CMOS devices and are pin compatible with "4040" of the "4000B" series. They are specified in compliance with JEDEC standard no. 7A.

The 74HC/HCT4040 are 12-stage binary ripple counters with a clock input ($\overline{CP}$), an overriding asynchronous master reset input (MR) and twelve parallel outputs

(Q_0 to Q_{11}). The counter advances on the HIGH-to-LOW transition of $\overline{CP}$.

A HIGH on MR clears all counter stages and forces all outputs LOW, independent of the state of $\overline{CP}$.

Each counter stage is a static toggle flip-flop.

APPLICATIONS

- Frequency dividing circuits
- Time delay circuits
- Control counters

QUICK REFERENCE DATA

GND = 0 V; $T_{amb} = 25\text{ }^{\circ}\text{C}$; $t_r = t_f = 6\text{ ns}$

SYMBOL	PARAMETER	CONDITIONS	TYPICAL		UNIT
			HC	HCT	
t_{PHL}/t_{PLH}	propagation delay $\overline{CP}$ to Q_0 Q_n to Q_{n+1}	$C_L = 15\text{ pF}$; $V_{CC} = 5\text{ V}$	14	16	ns
			8	8	ns
f_{max}	maximum clock frequency		90	79	MHz
C_I	input capacitance		3.5	3.5	pF
C_{PD}	power dissipation capacitance per package	notes 1 and 2	20	20	pF

Notes

1. C_{PD} is used to determine the dynamic power dissipation (P_D in μW):

$$P_D = C_{PD} \times V_{CC}^2 \times f_i + \sum (C_L \times V_{CC}^2 \times f_o) \text{ where:}$$

f_i = input frequency in MHz

f_o = output frequency in MHz

$\sum (C_L \times V_{CC}^2 \times f_o)$ = sum of outputs

C_L = output load capacitance in pF

V_{CC} = supply voltage in V

2. For HC the condition is $V_I = \text{GND to } V_{CC}$
For HCT the condition is $V_I = \text{GND to } V_{CC} - 1.5\text{ V}$

ORDERING INFORMATION

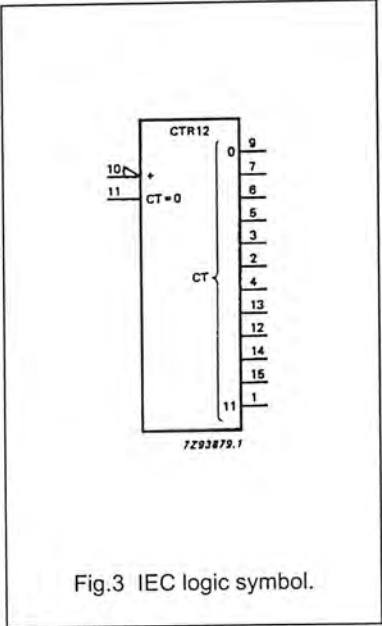
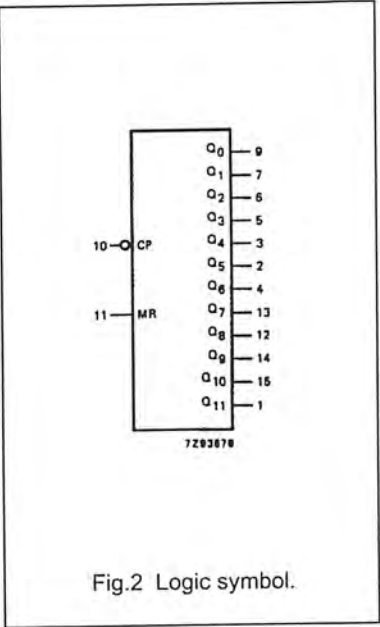
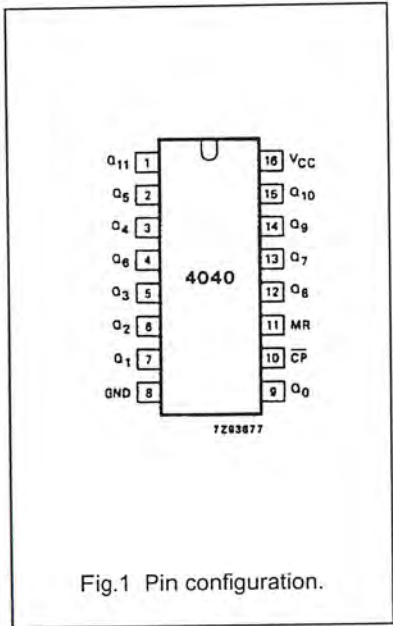
See "74HC/HCT/HCU/HCMOS Logic Package Information".

12-stage binary ripple counter

74HC/HCT4040

PIN DESCRIPTION

PIN NO.	SYMBOL	NAME AND FUNCTION
8	GND	ground (0 V)
9, 7, 6, 5, 3, 2, 4, 13, 12, 14, 15, 1	Q_0 to Q_{11}	parallel outputs
10	$\overline{CP}$	clock input (HIGH-to-LOW, edge-triggered)
11	MR	master reset input (active HIGH)
16	V_{CC}	positive supply voltage



12-stage binary ripple counter

74HC/HCT4040

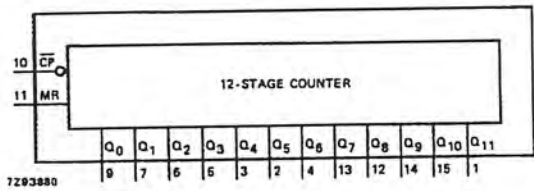


Fig.4 Functional diagram.

FUNCTION TABLE

INPUTS		OUTPUTS
$\overline{CP}$	MR	Q_n
$\uparrow$	L	no change
$\downarrow$	L	count
X	H	L

Notes

- 1. H = HIGH voltage level
L = LOW voltage level
X = don't care
 $\uparrow$ = LOW-to-HIGH clock transition
 $\downarrow$ = HIGH-to-LOW clock transition

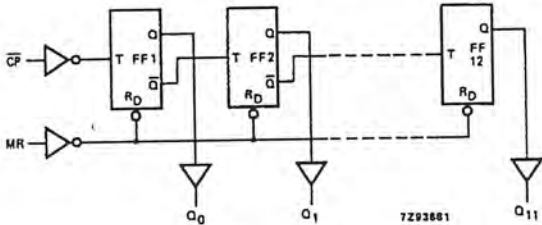


Fig.5 Logic diagram.

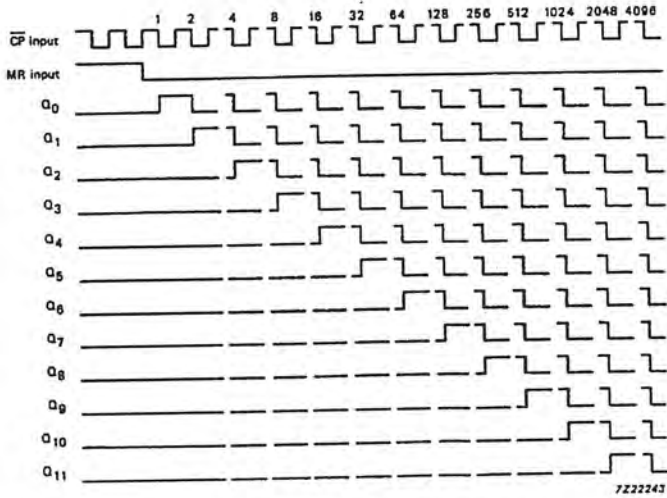


Fig.6 Timing diagram.



February 1984
Revised August 2000

MM74HC4538

Dual Retriggerable Monostable Multivibrator

General Description

The MM74HC4538 high speed monostable multivibrator (one shots) is implemented in advanced silicon-gate CMOS technology. They feature speeds comparable to low power Schottky TTL circuitry while retaining the low power and high noise immunity characteristic of CMOS circuits.

Each multivibrator features both a negative, A, and a positive, B, transition triggered input, either of which can be used as an inhibit input. Also included is a clear input that when taken low resets the one shot. The MM74HC4538 is retriggerable. That is, it may be triggered repeatedly while their outputs are generating a pulse and the pulse will be extended.

Pulse width stability over a wide range of temperature and supply is achieved using linear CMOS techniques. The output pulse equation is simply: $PW = 0.7(R)(C)$ where PW is in seconds, R is in ohms, and C is in farads. This device is pin compatible with the CD4528, and the CD4538 one shots. All inputs are protected from damage due to static discharge by diodes to V_{CC} and ground.

Features

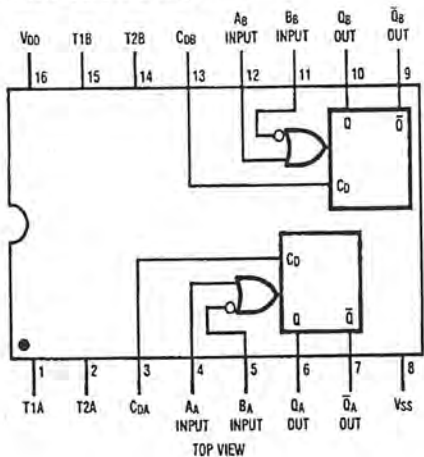
- Schmitt trigger on A and B inputs
- Wide power supply range: 2–6V
- Typical trigger propagation delay: 32 ns
- Fanout of 10 LS-TTL loads
- Low input current: 1 μA max

Ordering Code:

Order Number	Package Number	Package Description
MM74HC4538M	M16A	16-Lead Small Outline Integrated Circuit (SOIC), JEDEC MS-012, 0.150 Narrow
MM74HC4538SJ	M16D	16-Lead Small Outline Package (SOP), EIAJ TYPE II, 5.3mm Wide
MM74HC4538N	N16E	16-Lead Plastic Dual-In-Line Package (PDIP), JEDEC MS-001, 0.300 Wide

Devices also available in Tape and Reel. Specify by appending the suffix letter "X" to the ordering code.

Connection Diagram



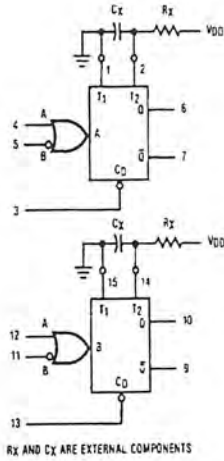
Truth Table

Inputs			Outputs	
Clear	A	B	Q	$\bar{Q}$
L	X	X	L	H
X	H	X	L	H
X	X	L	L	H
H	L	↓	⌋	⌋
H	↑	H	⌋	⌋

H = HIGH Level
L = LOW Level
↑ = Transition from LOW-to-HIGH
↓ = Transition from HIGH-to-LOW
⌋ = One HIGH Level Pulse
⌋ = One LOW Level Pulse
X = Irrelevant

MM74HC4538 Dual Retriggerable Monostable Multivibrator

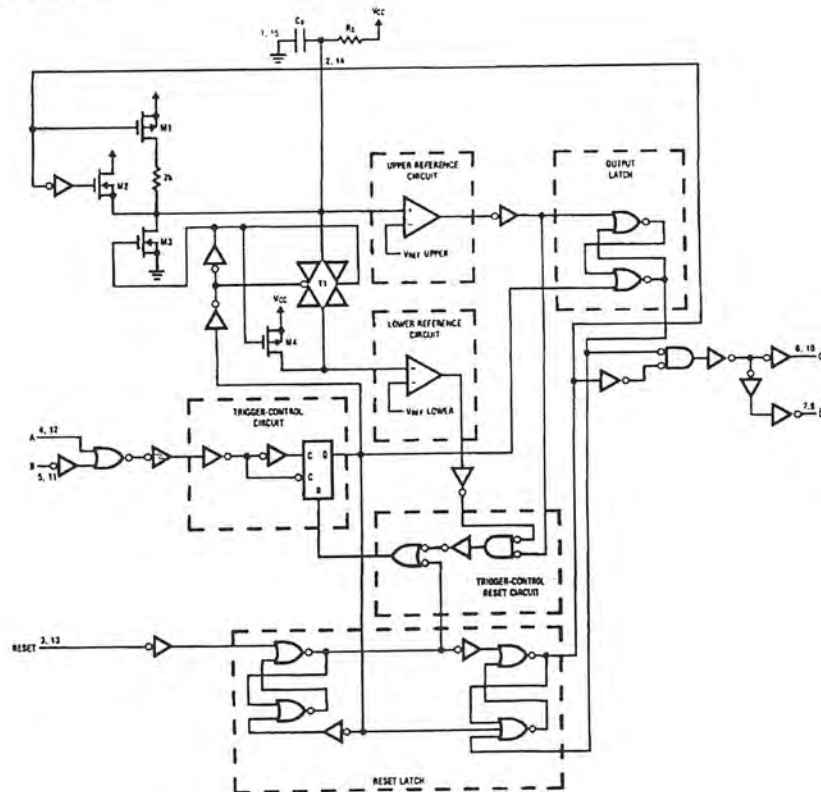
Block Diagrams



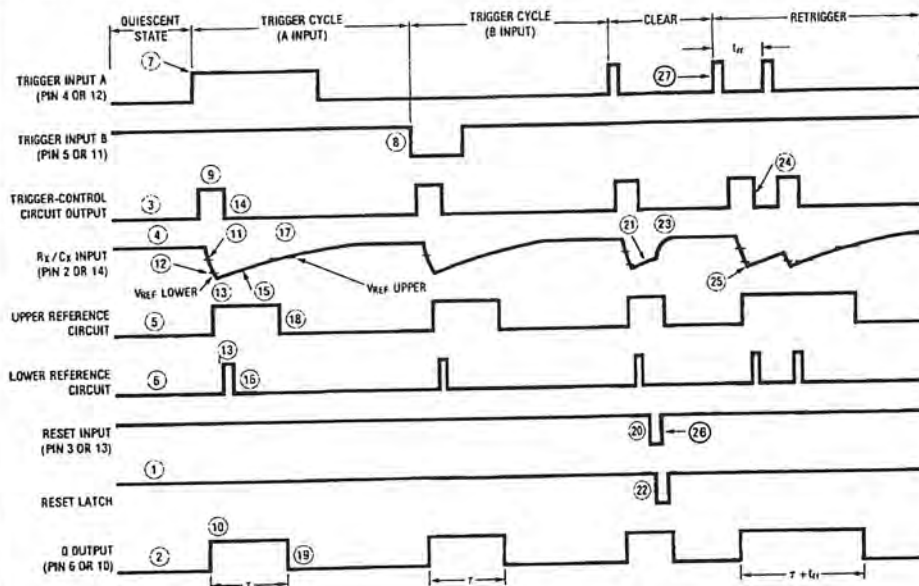
R_X AND C_X ARE EXTERNAL COMPONENTS

Note: Pin 1 and Pin 15 must be hard-wired to GND.

Logic Diagram



Timing Diagram



Circuit Operation

The MM74HC4538 operates as follows (refer to logic diagram). In the quiescent state, the external timing capacitor, C_X , is charged to V_{CC} . When a trigger occurs, the Q output goes HIGH and C_X discharges quickly to the lower reference voltage ($V_{REF\ Lower} = \frac{1}{3} V_{CC}$). C_X then charges, through R_X , back up to the upper reference voltage ($V_{REF\ Upper} = \frac{2}{3} V_{CC}$), at which point the one-shot has timed out and the Q output goes LOW.

The following, more detailed description of the circuit operation refers to both the logic diagram and the timing diagram.

QUIESCENT STATE

In the quiescent state, before an input trigger appears, the output latch is HIGH and the reset latch is HIGH (#1 in logic diagram).

Thus the Q output (pin 6 or 10) of the monostable multivibrator is LOW (#2, timing diagram).

The output of the trigger-control circuit is LOW (#3), and transistors M1, M2, and M3 are turned off. The external timing capacitor, C_X , is charged to V_{CC} (#4), and the upper reference circuit has a LOW output (#5). Transistor M4 is turned ON and transmission gate T1 is turned OFF. Thus the lower reference circuit has V_{CC} at the noninverting input and a resulting LOW output (#6).

In addition, the output of the trigger-control reset circuit is LOW.

TRIGGER OPERATION

The MM74HC4538 is triggered by either a rising-edge signal at input A (#7) or a falling-edge signal at input B (#8), with the unused trigger input and the Reset input held at the voltage levels shown in the Truth Table. Either trigger signal will cause the output of the trigger-control circuit to go HIGH (#9).

The trigger-control circuit going HIGH simultaneously initiates three events. First, the output latch goes LOW, thus taking the Q output of the HC4538 to a HIGH State (#10). Second, transistor M3 is turned on, which allows the external timing capacitor, C_X , to rapidly discharge toward ground (#11). (Note that the voltage across C_X appears at the input of the upper reference circuit comparator.) Third, transistor M4 is turned off and transmission gate T1 is turned ON, thus allowing the voltage across C_X to also appear at the input of the lower reference circuit comparator.

When C_X discharges to the reference voltage of the lower reference circuit (#12), the outputs of both reference circuits will be HIGH (#13). The trigger-control reset circuit goes HIGH, resetting the trigger-control circuit flip-flop to a LOW State (#14). This turns transistor M3 OFF again, allowing C_X to begin to charge back up toward V_{CC} , with a time constant $t = R_X C_X$ (#15). In addition, transistor M4 is turned ON and transmission gate T1 is turned OFF. Thus a high voltage level is applied to the input of the lower reference circuit comparator, causing its output to go LOW (#16). The monostable multivibrator may be retriggered at any time after the trigger-control circuit goes LOW.

When C_X charges up to the reference voltage of the upper reference circuit (#17), the output of the upper reference circuit goes LOW (#18). This causes the output latch to

Circuit Operation (Continued)

toggle, taking the Q output of the HC4538 to a LOW State (#19), and completing the time-out cycle.

RESET OPERATION

A low voltage applied to the Reset pin always forces the Q output of the HC4538 to a LOW State.

The timing diagram illustrates the case in which reset occurs (#20) while C_X is charging up toward the reference voltage of the upper reference circuit (#21). When a reset occurs, the output of the reset latch goes LOW (#22), turning ON transistor M1. Thus C_X is allowed to quickly charge up to V_{CC} (#23) to await the next trigger signal.

Recovery time is the required delay after reset goes inactive to a new trigger rising edge. On the diagram it is shown as (#26) to (#27).

RETRIGGER OPERATION

In the retriggerable mode, the HC4538 may be retriggered during timing out of the output pulse at any time after the trigger-control circuit flip-flop has been reset (#24). Because the trigger-control circuit flip-flop resets shortly after C_X has discharged to the reference voltage of the lower reference circuit (#25), the minimum retrigger time, t_{rr} is a function of internal propagation delays and the discharge time of C_X :

$$t_{rr}(ns) \approx 72 + \frac{V_{CC}(\text{volts}) \cdot C_X(\text{pF})}{30.5}$$

at room temperature

POWER-DOWN CONSIDERATIONS

Large values of C_X may cause problems when powering down the MM74HC4538 because of the amount of energy stored in the capacitor. When a system containing this

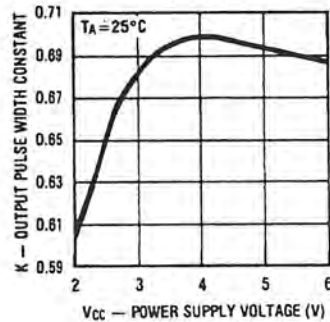
device is powered down, the capacitor may discharge from V_{CC} through the input protection diodes at pin 2 or pin 14. Current through the protection diodes must be limited to 30 mA; therefore, the turn-off time of the V_{CC} power supply must not be faster than $t = V_{CC} \cdot C_X / (30 \text{ mA})$. For example, if $V_{CC} = 5\text{V}$ and $C_X = 15 \mu\text{F}$, the V_{CC} supply must turn OFF no faster than $t = (15\text{V}) \cdot (15 \mu\text{F}) / 30 \text{ mA} = 2.5 \text{ ms}$. This is usually not a problem because power supplies are heavily filtered and cannot discharge at this rate.

When a more rapid decrease of V_{CC} to zero volts occurs, the MM74HC4538 may sustain damage. To avoid this possibility, use an external clamping diode, D_X , connected from V_{CC} to the C_X pin.

SET UP RECOMMENDATIONS

Minimum $R_X = 1 \text{ k}\Omega$

Minimum $C_X = 0 \text{ pF}$





March 1998

DM74LS151 Data Selector/Multiplexer

General Description

This data selector/multiplexer contains full on-chip decoding to select the desired data source. The 'LS151 selects one-of-eight data sources. The 'LS151 has a strobe input which must be at a low logic level to enable these devices. A high level at the strobe forces the W output high, and the Y output low.

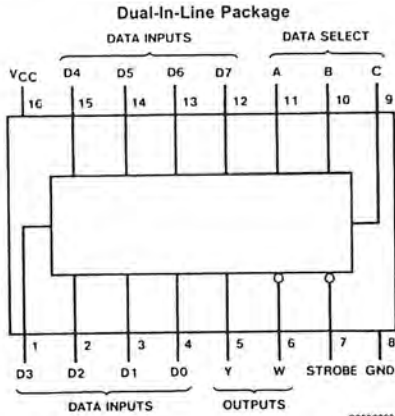
The 'LS151 features complementary W and Y outputs.

- Performs parallel-to-serial conversion
- Permits multiplexing from N lines to one line
- Also for use as Boolean function generator
- Typical average propagation delay time data input to W output 12.5 ns
- Typical power dissipation 30 mW

Features

- Select one-of-eight data lines

Connection Diagram



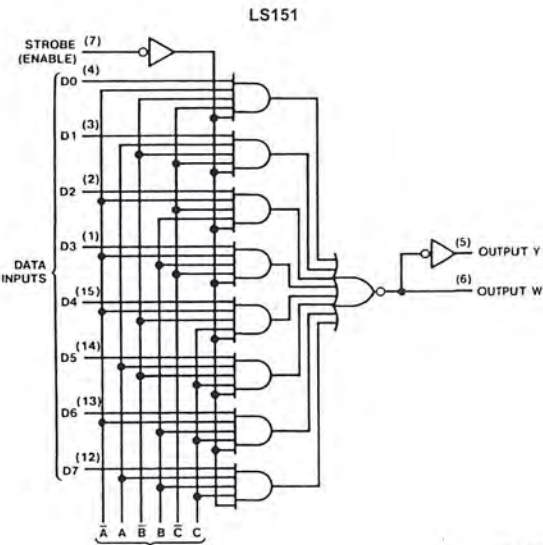
Order Number 54LS151DMQB, 54LS151FMQB, 54LS151LMQB,
DM54LS151J, DM54LS151W, DM74LS151M or DM74LS151N
See Package Number E20A, J16A, M16A, N16E or W16A

Truth Table

Inputs				Outputs	
Select			Strobe S	Y	W
C	B	A			
X	X	X	H	L	H
L	L	L	L	D0	$\overline{D0}$
L	L	H	L	D1	$\overline{D1}$
L	H	L	L	D2	$\overline{D2}$
L	H	H	L	D3	$\overline{D3}$
H	L	L	L	D4	$\overline{D4}$
H	L	H	L	D5	$\overline{D5}$
H	H	L	L	D6	$\overline{D6}$
H	H	H	L	D7	$\overline{D7}$

H = High Level, L = Low Level, X = Don't Care
D0, D1...D7 = the level of the respective D input

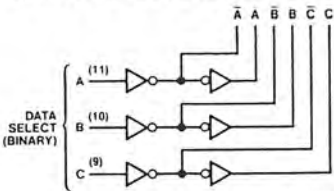
Logic Diagram



DS006392-2

See Address Buffers to the Right

Address Buffers for 54LS151/74LS151



DS006392-3

SN54ALS153, SN74ALS153, SN74AS153 DUAL 1-OF-4 DATA SELECTORS/MULTIPLEXERS

SDAS206A – APRIL 1982 – REVISED DECEMBER 1994

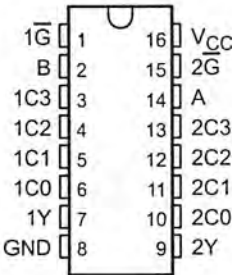
- Permit Multiplexing From n Lines to One Line
- Perform Parallel-to-Serial Conversion
- Strobe (Enable) Line Provided for Cascading (n Lines to n Lines)
- 'ALS253 and SN74AS253A Are 3-State Versions of These Parts
- Package Options Include Plastic Small-Outline (D) Packages, Ceramic Chip Carriers (FK), and Standard Plastic (N) and Ceramic (J) 300-mil DIPs

description

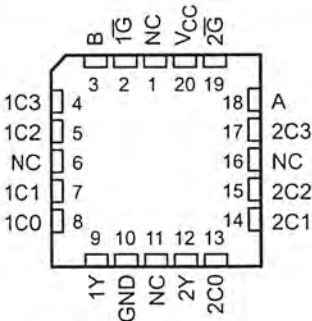
These dual 1-of-4 data selectors/multiplexers contain inverters and drivers to supply full binary decoding data selection to the AND-OR gates. Separate strobe ($\overline{G}$) inputs are provided for each of the two 4-line sections.

The SN54ALS153 is characterized for operation over the full military temperature range of -55°C to 125°C . The SN74ALS153 and SN74AS153 are characterized for operation from 0°C to 70°C .

SN54ALS153 . . . J PACKAGE
SN74ALS153, SN74AS153 . . . D OR N PACKAGE
(TOP VIEW)



SN54ALS153 . . . FK PACKAGE
(TOP VIEW)



NC – No internal connection

FUNCTION TABLE

INPUTS						STROBE G	OUTPUT Y
SELECT		DATA					
B	A	C0	C1	C2	C3		
X	X	X	X	X	X	H	L
L	L	L	X	X	X	L	L
L	L	H	X	X	X	L	H
L	H	X	L	X	X	L	L
L	H	X	H	X	X	L	H
H	L	X	X	L	X	L	L
H	L	X	X	H	X	L	H
H	H	X	X	X	L	L	L
H	H	X	X	X	H	L	H

Select inputs A and B are common to both sections.

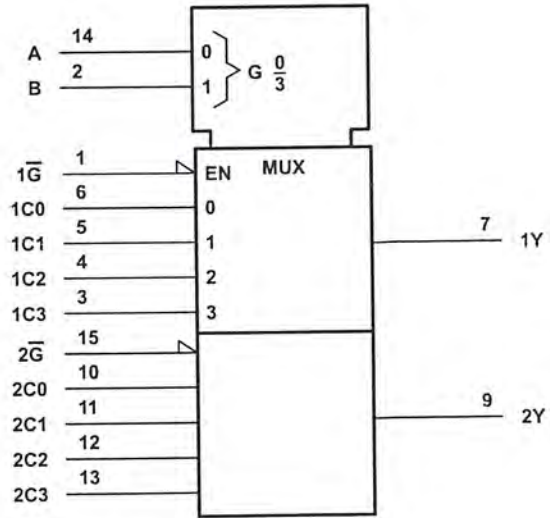
PRODUCTION DATA information is current as of publication date. Products conform to specifications per the terms of Texas Instruments standard warranty. Production processing does not necessarily include testing of all parameters.



SN54ALS153, SN74ALS153, SN74AS153 **DUAL 1-OF-4 DATA SELECTORS/MULTIPLEXERS**

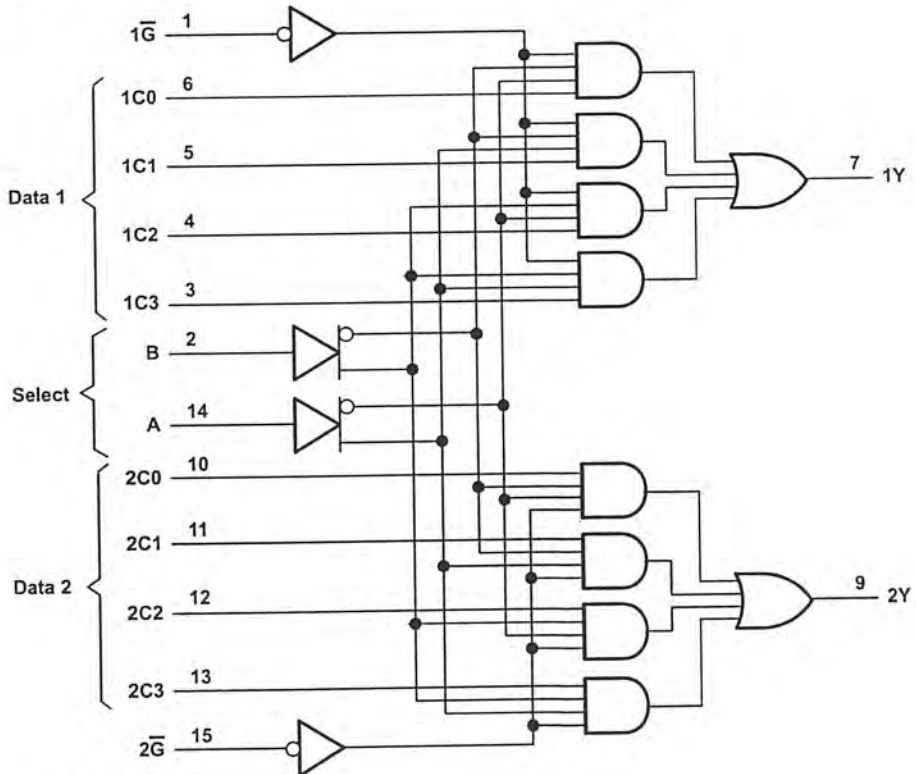
SDAS206A – APRIL 1982 – REVISED DECEMBER 1994

logic symbol†



† This symbol is in accordance with ANSI/IEEE Std 91-1984 and IEC Publication 617-12. Pin numbers shown are for the D, J, and N packages.

logic diagram (positive logic)



Pin numbers shown are for the D, J, and N packages.



September 1986
Revised April 2000

DM74LS157 • DM74LS158

Quad 2-Line to 1-Line Data Selectors/Multiplexers

General Description

These data selectors/multiplexers contain inverters and drivers to supply full on-chip data selection to the four output gates. A separate strobe input is provided. A 4-bit word is selected from one of two sources and is routed to the four outputs. The DM74LS157 presents true data whereas the DM74LS158 presents inverted data to minimize propagation delay time.

Applications

- Expand any data input point
- Multiplex dual data buses
- Generate four functions of two variables (one variable is common)
- Source programmable counters

Features

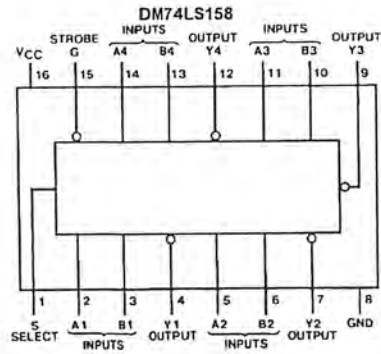
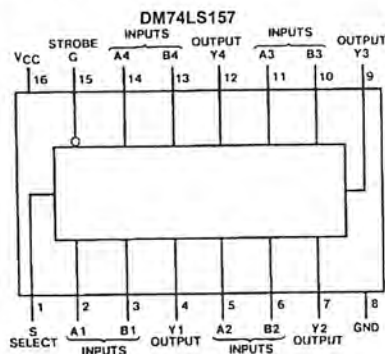
- Buffered inputs and outputs
- Typical Propagation Time
 - DM74LS157 9 ns
 - DM74LS158 7 ns
- Typical Power Dissipation
 - DM74LS157 49 mW
 - DM74LS158 24 mW

Ordering Code:

Order Number	Package Number	Package Description
DM74LS157M	M16A	16-Lead Small Outline Integrated Circuit (SOIC), JEDEC MS-012, 0.150 Narrow
DM74LS157SJ	M16D	16-Lead Small Outline Package (SOP), EIAJ TYPE II, 5.3mm Wide
DM74LS157N	N16E	16-Lead Plastic Dual-In-Line Package (PDIP), JEDEC MS-001, 0.300 Wide
DM74LS158M	M16A	16-Lead Small Outline Integrated Circuit (SOIC), JEDEC MS-012, 0.150 Narrow
DM74LS158N	N16E	16-Lead Plastic Dual-In-Line Package (PDIP), JEDEC MS-001, 0.300 Wide

Devices also available in Tape and Reel. Specify by appending the suffix letter "X" to the ordering code.

Connection Diagrams



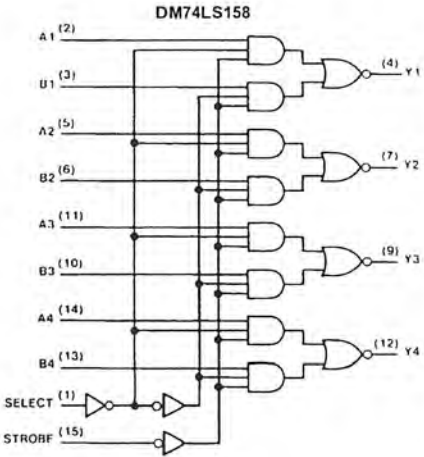
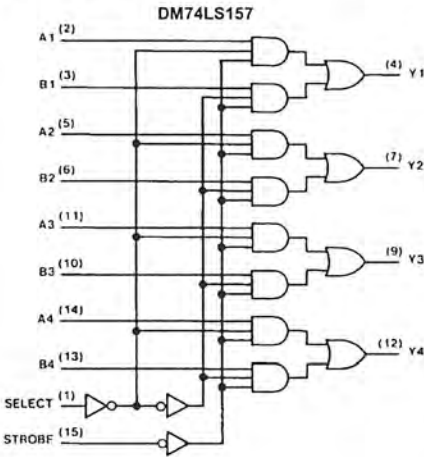
DM74LS157 • DM74LS158

Function Table

Inputs				Output Y	
Strobe	Select	A	B	DM74LS157	DM74LS158
H	X	X	X	L	H
L	L	L	X	L	H
L	L	H	X	H	L
L	H	X	L	L	H
L	H	X	H	H	L

H = HIGH Level
L = LOW Level
X = Don't Care

Logic Diagrams



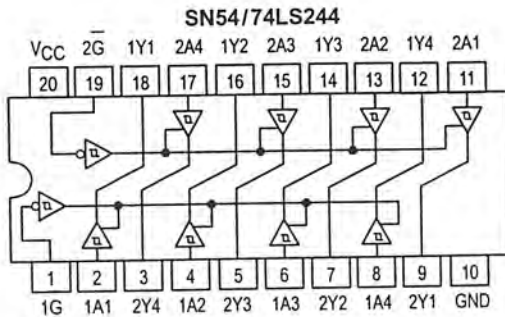
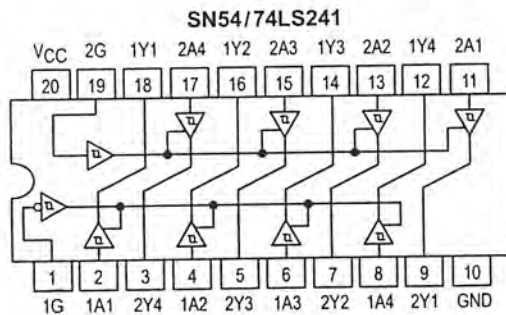
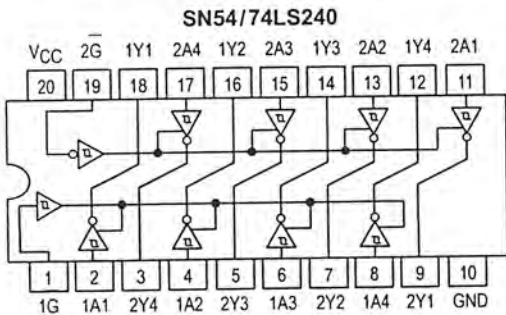


OCTAL BUFFER/LINE DRIVER WITH 3-STATE OUTPUTS

The SN54/74LS240, 241 and 244 are Octal Buffers and Line Drivers designed to be employed as memory address drivers, clock drivers and bus-oriented transmitters/receivers which provide improved PC board density.

- Hysteresis at Inputs to Improve Noise Margins
- 3-State Outputs Drive Bus Lines or Buffer Memory Address Registers
- Input Clamp Diodes Limit High-Speed Termination Effects

LOGIC AND CONNECTION DIAGRAMS DIP (TOP VIEW)



SN54/74LS240
SN54/74LS241
SN54/74LS244

**OCTAL BUFFER/LINE DRIVER
WITH 3-STATE OUTPUTS**
LOW POWER SCHOTTKY



**J SUFFIX
CERAMIC
CASE 732-03**



**N SUFFIX
PLASTIC
CASE 738-03**



**DW SUFFIX
SOIC
CASE 751D-03**

ORDERING INFORMATION

SN54LSXXXJ Ceramic
SN74LSXXXN Plastic
SN74LSXXXDW SOIC

SN54/74LS240 • SN54/74LS241 • SN54/74LS244

TRUTH TABLES

SN54/74LS240

INPUTS		OUTPUT
1G, 2G	D	
L	L	H
L	H	L
H	X	(Z)

SN54/74LS244

INPUTS		OUTPUT
1G, 2G	D	
L	L	L
L	H	H
H	X	(Z)

SN54/74LS241

INPUTS		OUTPUT	INPUTS		OUTPUT
1G	D		2G	D	
L	L	L	H	L	L
L	H	H	H	H	H
H	X	(Z)	L	X	(Z)

H = HIGH Voltage Level
L = LOW Voltage Level
X = Immaterial
Z = HIGH Impedance

GUARANTEED OPERATING RANGES

Symbol	Parameter		Min	Typ	Max	Unit
VCC	Supply Voltage	54 74	4.5 4.75	5.0 5.0	5.5 5.25	V
TA	Operating Ambient Temperature Range	54 74	−55 0	25 25	125 70	°C
IOH	Output Current — High	54, 74			−3.0	mA
		54 74			−12 −15	mA
IOL	Output Current — Low	54 74			12 24	mA

SN54/74LS240 • SN54/74LS241 • SN54/74LS244

DC CHARACTERISTICS OVER OPERATING TEMPERATURE RANGE (unless otherwise specified)

Symbol	Parameter		Limits			Unit	Test Conditions
			Min	Typ	Max		
V _{IH}	Input HIGH Voltage		2.0			V	Guaranteed Input HIGH Voltage for All Inputs
V _{IL}	Input LOW Voltage	54			0.7	V	Guaranteed Input LOW Voltage for All Inputs
		74			0.8		
V _{T+} –V _{T–}	Hysteresis		0.2	0.4		V	V _{CC} = MIN
V _{IK}	Input Clamp Diode Voltage			–0.65	–1.5	V	V _{CC} = MIN, I _{IN} = –18 mA
V _{OH}	Output HIGH Voltage	54, 74	2.4	3.4		V	V _{CC} = MIN, I _{OH} = –3.0 mA
		54, 74	2.0			V	V _{CC} = MIN, I _{OH} = MAX
V _{OL}	Output LOW Voltage	54, 74		0.25	0.4	V	I _{OL} = 12 mA
		74		0.35	0.5	V	I _{OL} = 24 mA
							V _{CC} = V _{CC} MIN, V _{IN} = V _{IL} or V _{IH} per Truth Table
I _{OZH}	Output Off Current HIGH				20	μA	V _{CC} = MAX, V _{OUT} = 2.7 V
I _{OZL}	Output Off Current LOW				–20	μA	V _{CC} = MAX, V _{OUT} = 0.4 V
I _{IH}	Input HIGH Current				20	μA	V _{CC} = MAX, V _{IN} = 2.7 V
					0.1	mA	V _{CC} = MAX, V _{IN} = 7.0 V
I _{IL}	Input LOW Current				–0.2	mA	V _{CC} = MAX, V _{IN} = 0.4 V
I _{OS}	Output Short Circuit Current (Note 1)		–40		–225	mA	V _{CC} = MAX
I _{CC}	Power Supply Current Total, Output HIGH				27	mA	V _{CC} = MAX
	Total, Output LOW	LS240			44		
		LS241/244			46		
	Total at HIGH Z	LS240			50		
		LS241/244			54		

Note 1: Not more than one output should be shorted at a time, nor for more than 1 second.

AC CHARACTERISTICS (T_A = 25°C, V_{CC} = 5.0 V)

Symbol	Parameter	Limits			Unit	Test Conditions
		Min	Typ	Max		
t _{PLH} t _{PHL}	Propagation Delay, Data to Output LS240		9.0 12	14 18	ns	C _L = 45 pF, R _L = 667 Ω
t _{PLH} t _{PHL}	Propagation Delay, Data to Output LS241/244		12 12	18 18	ns	
t _{PZH}	Output Enable Time to HIGH Level		15	23	ns	
t _{PZL}	Output Enable Time to LOW Level		20	30	ns	
t _{PLZ}	Output Disable Time from LOW Level		15	25	ns	C _L = 5.0 pF, R _L = 667 Ω
t _{PHZ}	Output Disable Time from HIGH Level		10	18	ns	

SN54/74LS240 • SN54/74LS241 • SN54/74LS244

AC WAVEFORMS

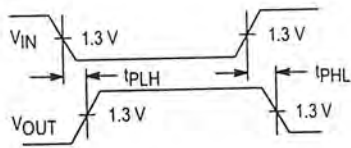


Figure 1

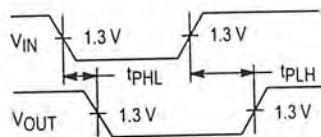


Figure 2

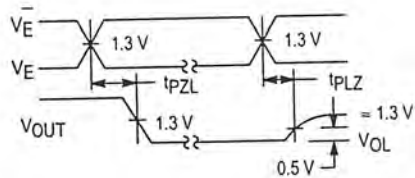


Figure 3

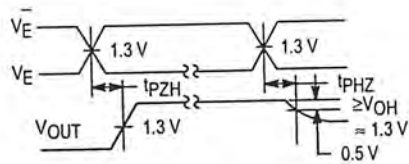
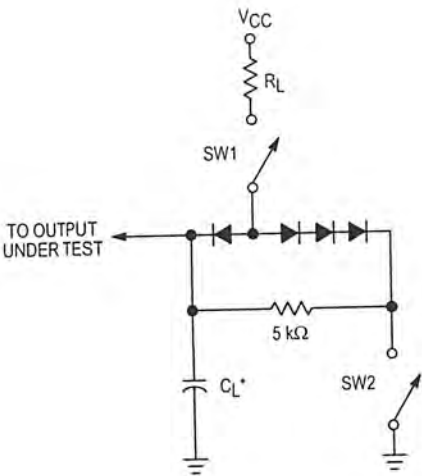
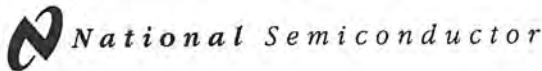


Figure 4



SWITCH POSITIONS		
SYMBOL	SW1	SW2
t _{PZH}	Open	Closed
t _{PZL}	Closed	Open
t _{PLZ}	Closed	Closed
t _{PHZ}	Closed	Closed

Figure 5



May 1989

54LS279/DM54LS279/DM74LS279 Quad $\overline{S}$ - $\overline{R}$ Latches

General Description

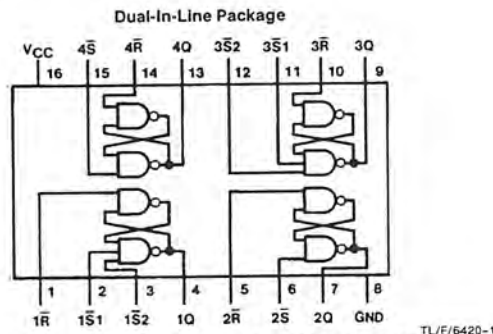
The 'LS279 consists of four individual and independent Set-Reset Latches with active low inputs. Two of the four latches have an additional $\overline{S}$ input ANDed with the primary $\overline{S}$ input. A low on any $\overline{S}$ input while the $\overline{R}$ input is high will be stored in the latch and appear on the corresponding Q output as a high. A low on the $\overline{R}$ input while the $\overline{S}$ input is high will clear the Q output to a low. Simultaneous transition of the $\overline{R}$ and $\overline{S}$ inputs from low to high will cause the Q output

to be indeterminate. Both inputs are voltage level triggered and are not affected by transition time of the input data.

Features

- Alternate military/aerospace device (54LS279) is available. Contact a National Semiconductor Sales Office/Distributor for specifications.

Connection Diagram



Order Number 54LS279DMQB, 54LS279FMQB, 54LS279LMQB,
DM54LS279J, DM74LS279M or DM74LS279N
See NS Package Number E20A, J16A, M16A, N16E or W16A

Function Table

Inputs		Output
$\overline{S}(1)$	$\overline{R}$	Q
L	L	H*
L	H	H
H	L	L
H	H	Q ₀

H = High Level

L = Low Level

Q₀ = The Level of Q before the indicated input conditions were established.

*This output level is pseudo stable; that is, it may not persist when the $\overline{S}$ and $\overline{R}$ inputs return to their inactive (high) level.

Note 1: For latches with double $\overline{S}$ inputs:

H = both $\overline{S}$ inputs high

L = one or both $\overline{S}$ inputs low

54LS279/DM54LS279/DM74LS279 Quad $\overline{S}$ - $\overline{R}$ Latches



OCTAL TRANSPARENT LATCH WITH 3-STATE OUTPUTS; OCTAL D-TYPE FLIP-FLOP WITH 3-STATE OUTPUT

The SN54/74LS373 consists of eight latches with 3-state outputs for bus organized system applications. The flip-flops appear transparent to the data (data changes asynchronously) when Latch Enable (LE) is HIGH. When LE is LOW, the data that meets the setup times is latched. Data appears on the bus when the Output Enable (OE) is LOW. When OE is HIGH the bus output is in the high impedance state.

The SN54/74LS374 is a high-speed, low-power Octal D-type Flip-Flop featuring separate D-type inputs for each flip-flop and 3-state outputs for bus oriented applications. A buffered Clock (CP) and Output Enable (OE) is common to all flip-flops. The SN54/74LS374 is manufactured using advanced Low Power Schottky technology and is compatible with all Motorola TTL families.

- Eight Latches in a Single Package
- 3-State Outputs for Bus Interfacing
- Hysteresis on Latch Enable
- Edge-Triggered D-Type Inputs
- Buffered Positive Edge-Triggered Clock
- Hysteresis on Clock Input to Improve Noise Margin
- Input Clamp Diodes Limit High Speed Termination Effects

PIN NAMES

D ₀ –D ₇	Data Inputs
LE	Latch Enable (Active HIGH) Input
CP	Clock (Active HIGH going edge) Input
OE	Output Enable (Active LOW) Input
O ₀ –O ₇	Outputs (Note b)

LOADING (Note a)

HIGH	LOW
0.5 U.L.	0.25 U.L.
0.5 U.L.	0.25 U.L.
0.5 U.L.	0.25 U.L.
0.5 U.L.	0.25 U.L.
65 (25) U.L.	15 (7.5) U.L.

NOTES:
a) 1 TTL Units Load (U.L.) = 40 μ A HIGH/1.6 mA LOW.
b) The Output LOW drive factor is 7.5 U.L. for Military (54) and 25 U.L. for Commercial (74) Temperature Ranges. The Output HIGH drive factor is 25 U.L. for Military (54) and 65 U.L. for Commercial (74) Temperature Ranges.

SN54/74LS373 SN54/74LS374

OCTAL TRANSPARENT LATCH
WITH 3-STATE OUTPUTS;
OCTAL D-TYPE FLIP-FLOP
WITH 3-STATE OUTPUT

LOW POWER SCHOTTKY



J SUFFIX
CERAMIC
CASE 732-03



N SUFFIX
PLASTIC
CASE 738-03



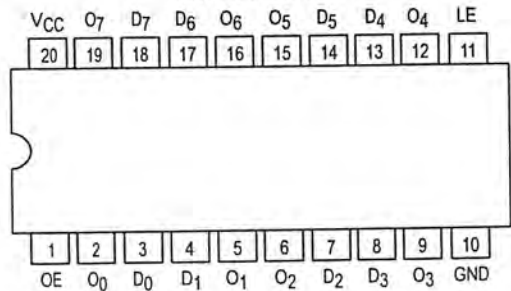
DW SUFFIX
SOIC
CASE 751D-03

ORDERING INFORMATION

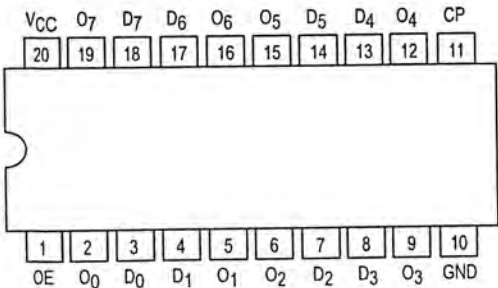
SN54LSXXXJ Ceramic
SN74LSXXXN Plastic
SN74LSXXXDW SOIC

CONNECTION DIAGRAM DIP (TOP VIEW)

SN54/74LS373



SN54/74LS374



NOTE:
The Flatpak version has the same pinouts (Connection Diagram) as the Dual In-Line Package.

SN54/74LS373 • SN54/74LS374

TRUTH TABLE

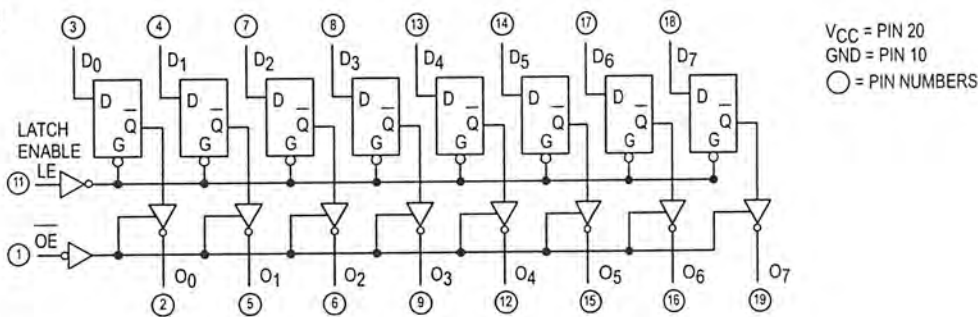
LS373				LS374			
D _n	LE	OE	O _n	D _n	LE	OE	O _n
H	H	L	H	H		L	H
L	H	L	L	L		L	L
X	L	L	Q ₀	X	X	H	Z*
X	X	H	Z*				

H = HIGH Voltage Level
L = LOW Voltage Level
X = Immaterial
Z = High Impedance

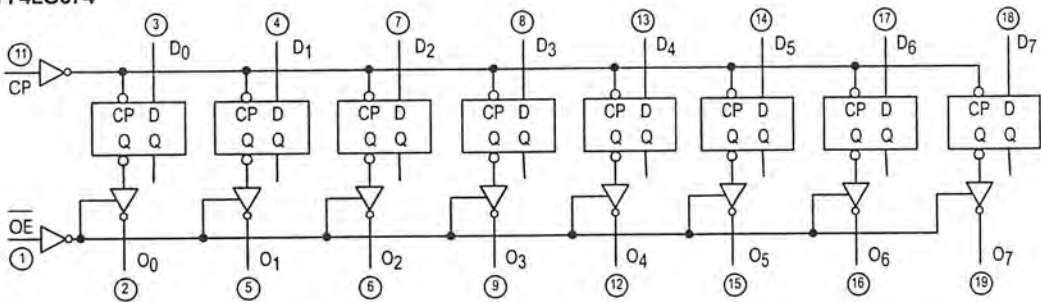
* Note: Contents of flip-flops unaffected by the state of the Output Enable input (OE).

LOGIC DIAGRAMS

SN54LS/74LS373



SN54LS/74LS374



GUARANTEED OPERATING RANGES

Symbol	Parameter		Min	Typ	Max	Unit
V _{CC}	Supply Voltage	54 74	4.5 4.75	5.0 5.0	5.5 5.25	V
T _A	Operating Ambient Temperature Range	54 74	-55 0	25 25	125 70	°C
I _{OH}	Output Current — High	54 74			-1.0 -2.6	mA
I _{OL}	Output Current — Low	54 74			12 24	mA

SN54/74LS373 • SN54/74LS374

DC CHARACTERISTICS OVER OPERATING TEMPERATURE RANGE (unless otherwise specified)

Symbol	Parameter	Limits			Unit	Test Conditions
		Min	Typ	Max		
V_{IH}	Input HIGH Voltage	2.0			V	Guaranteed Input HIGH Voltage for All Inputs
V_{IL}	Input LOW Voltage	54		0.7	V	Guaranteed Input LOW Voltage for All Inputs
		74		0.8		
V_{IK}	Input Clamp Diode Voltage		-0.65	-1.5	V	$V_{CC} = \text{MIN}$, $I_{IN} = -18 \text{ mA}$
V_{OH}	Output HIGH Voltage	54	2.4	3.4	V	$V_{CC} = \text{MIN}$, $I_{OH} = \text{MAX}$, $V_{IN} = V_{IH}$ or V_{IL} per Truth Table
		74	2.4	3.1	V	
V_{OL}	Output LOW Voltage	54, 74	0.25	0.4	V	$I_{OL} = 12 \text{ mA}$, $V_{CC} = V_{CC} \text{ MIN}$, $V_{IN} = V_{IL}$ or V_{IH} per Truth Table
		74	0.35	0.5	V	$I_{OL} = 24 \text{ mA}$
I_{OZH}	Output Off Current HIGH			20	μA	$V_{CC} = \text{MAX}$, $V_{OUT} = 2.7 \text{ V}$
I_{OZL}	Output Off Current LOW			-20	μA	$V_{CC} = \text{MAX}$, $V_{OUT} = 0.4 \text{ V}$
I_{IH}	Input HIGH Current			20	μA	$V_{CC} = \text{MAX}$, $V_{IN} = 2.7 \text{ V}$
				0.1	mA	$V_{CC} = \text{MAX}$, $V_{IN} = 7.0 \text{ V}$
I_{IL}	Input LOW Current			-0.4	mA	$V_{CC} = \text{MAX}$, $V_{IN} = 0.4 \text{ V}$
I_{OS}	Short Circuit Current (Note 1)	-30		-130	mA	$V_{CC} = \text{MAX}$
I_{CC}	Power Supply Current			40	mA	$V_{CC} = \text{MAX}$

Note 1: Not more than one output should be shorted at a time, nor for more than 1 second.

AC CHARACTERISTICS ($T_A = 25^\circ\text{C}$, $V_{CC} = 5.0 \text{ V}$)

Symbol	Parameter	Limits						Unit	Test Conditions
		LS373			LS374				
		Min	Typ	Max	Min	Typ	Max		
f _{MAX}	Maximum Clock Frequency				35	50		MHz	C _L = 45 pF, R _L = 667 Ω
t _{PLH} t _{PHL}	Propagation Delay, Data to Output		12 12	18 18				ns	
t _{PLH} t _{PHL}	Clock or Enable to Output		20 18	30 30		15 19	28 28	ns	
t _{PZH} t _{PZL}	Output Enable Time		15 25	28 36		20 21	28 28	ns	
t _{PHZ} t _{PLZ}	Output Disable Time		12 15	20 25		12 15	20 25	ns	C _L = 5.0 pF

AC SETUP REQUIREMENTS ($T_A = 25^\circ\text{C}$, $V_{CC} = 5.0 \text{ V}$)

Symbol	Parameter	Limits				Unit
		LS373		LS374		
		Min	Max	Min	Max	
t _W	Clock Pulse Width	15		15		ns
t _s	Setup Time	5.0		20		ns
t _h	Hold Time	20		0		ns

DEFINITION OF TERMS

SETUP TIME (t_S) — is defined as the minimum time required for the correct logic level to be present at the logic input prior to LE transition from HIGH-to-LOW in order to be recognized and transferred to the outputs.

HOLD TIME (t_H) — is defined as the minimum time following the LE transition from HIGH-to-LOW that the logic level must be maintained at the input in order to ensure continued recognition.

SN54/74LS373

AC WAVEFORMS

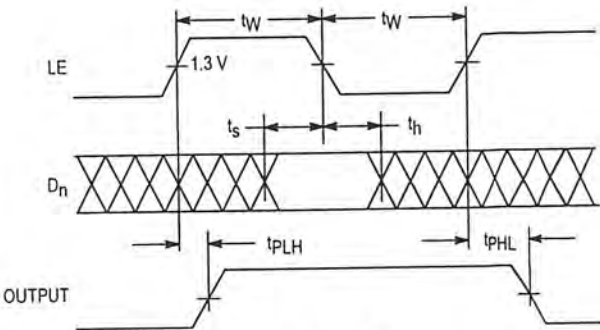


Figure 1

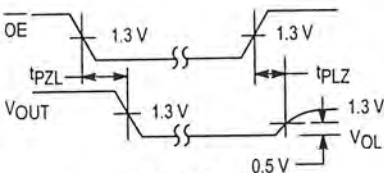


Figure 2

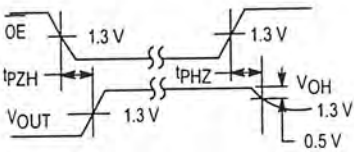
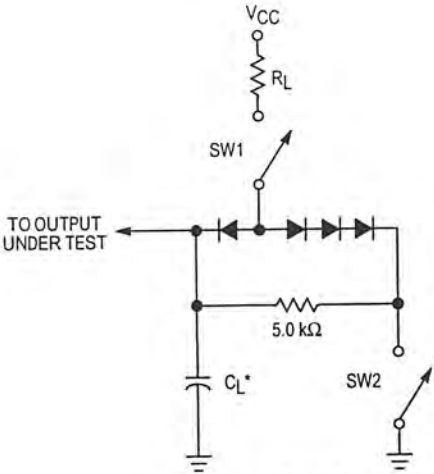


Figure 3

AC LOAD CIRCUIT



* Includes Jig and Probe Capacitance.

Figure 4

SWITCH POSITIONS

SYMBOL	SW1	SW2
t_{PZH}	Open	Closed
t_{PZL}	Closed	Open
t_{PLZ}	Closed	Closed
t_{PHZ}	Closed	Closed

SN54/74LS374

AC WAVEFORMS

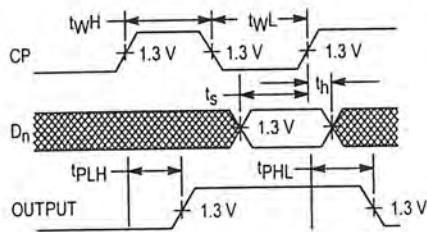


Figure 5

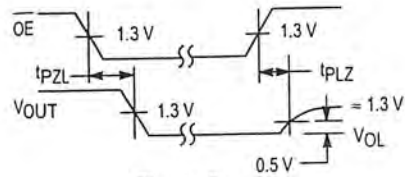


Figure 6

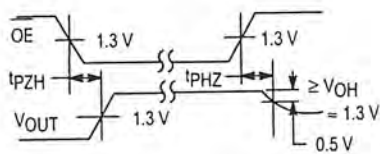
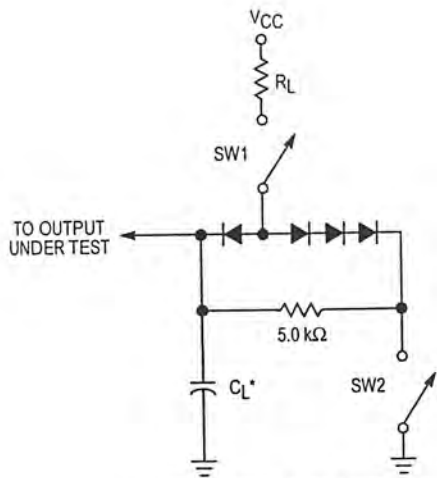


Figure 7

AC LOAD CIRCUIT



* Includes Jig and Probe Capacitance.

Figure 8

SWITCH POSITIONS

SYMBOL	SW1	SW2
t_{PZH}	Open	Closed
t_{PZL}	Closed	Open
t_{PLZ}	Closed	Closed
t_{PHZ}	Closed	Closed



Pin Programmable Precision Voltage Reference

AD584*

FEATURES

Four Programmable Output Voltages:
10.000 V, 7.500 V, 5.000 V, 2.500 V
Laser-Trimmed to High Accuracies
No External Components Required
Trimmed Temperature Coefficient:
5 ppm/°C max, 0°C to +70°C (AD584L)
15 ppm/°C max, -55°C to +125°C (AD584T)
Zero Output Strobe Terminal Provided
Two Terminal Negative Reference
Capability (5 V & Above)
Output Sources or Sinks Current
Low Quiescent Current: 1.0 mA max
10 mA Current Output Capability
MIL-STD-883 Compliant Versions Available

GENERAL DESCRIPTION

The AD584 is an eight-terminal precision voltage reference offering pin-programmable selection of four popular output voltages: 10.000 V, 7.500 V, 5.000 V and 2.500 V. Other output voltages, above, below or between the four standard outputs, are available by the addition of external resistors. Input voltage may vary between 4.5 and 30 volts.

Laser Wafer Trimming (LWT) is used to adjust the pin-programmable output levels and temperature coefficients, resulting in the most flexible high precision voltage reference available in monolithic form.

In addition to the programmable output voltages, the AD584 offers a unique strobe terminal which permits the device to be turned on or off. When the AD584 is used as a power supply reference, the supply can be switched off with a single, low-power signal. In the "off" state the current drain by the AD584 is reduced to about 100 μ A. In the "on" state the total supply current is typically 750 μ A including the output buffer amplifier.

The AD584 is recommended for use as a reference for 8-, 10- or 12-bit D/A converters which require an external precision reference. The device is also ideal for all types of A/D converters of up to 14-bit accuracy, either successive approximation or integrating designs, and in general can offer better performance than that provided by standard self-contained references.

The AD584J, K and L are specified for operation from 0°C to +70°C; the AD584S and T are specified for the -55°C to +125°C range. All grades are packaged in a hermetically sealed eight-terminal TO-99 metal can; the AD584 J and K are also available in an 8-pin plastic DIP.

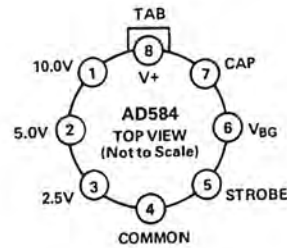
*Protected by U.S. Patent No. 3,887,863; RE 30,586

REV. A

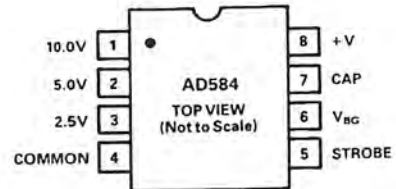
Information furnished by Analog Devices is believed to be accurate and reliable. However, no responsibility is assumed by Analog Devices for its use, nor for any infringements of patents or other rights of third parties which may result from its use. No license is granted by implication or otherwise under any patent or patent rights of Analog Devices.

PIN CONFIGURATIONS

8-Pin TO-99



8-Pin DIP



PRODUCT HIGHLIGHTS

1. The flexibility of the AD584 eliminates the need to design-in and inventory several different voltage references. Furthermore one AD584 can serve as several references simultaneously when buffered properly.
2. Laser trimming of both initial accuracy and temperature coefficient results in very low errors over temperature without the use of external components. The AD584LH has a maximum deviation from 10.000 volts of ± 7.25 mV from 0°C to +70°C.
3. The AD584 can be operated in a two-terminal "Zener" mode at 5 volts output and above. By connecting the input and the output, the AD584 can be used in this "Zener" configuration as a negative reference.
4. The output of the AD584 is configured to sink or source currents. This means that small reverse currents can be tolerated in circuits using the AD584 without damage to the reference and without disturbing the output voltage (10 V, 7.5 V and 5 V outputs).
5. The AD584 is available in versions compliant with MIL-STD-883. Refer to the Analog Devices Military Products Databook or current AD584/883B data sheet for detailed specifications.

AD584

APPLYING THE AD584

With power applied to Pins 8 and 4 and all other pins open, the AD584 will produce a buffered nominal 10.0 V output between Pins 1 and 4 (see Figure 1). The stabilized output voltage may be reduced to 7.5 V, 5.0 V or 2.5 V by connecting the programming pins as follows:

Output Voltage	Pin Programming
7.5 V	Join the 2.5 V and 5.0 V pins (2) and (3)
5.0 V	Connect the 5.0 V pin (2) to the output pin (1).
2.5 V	Connect the 2.5 V pin (3) to the output pin (1).

The options shown above are available without the use of any additional components. Multiple outputs using only one AD584, are also possible by simply buffering each voltage programming pin with a unity-gain noninverting op amp.

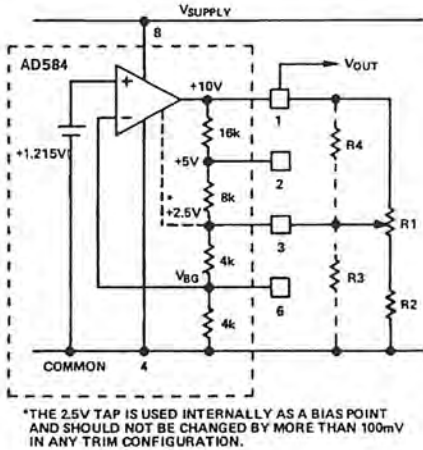


Figure 1. Variable Output Options

The AD584 can also be programmed over a wide range of output voltages, including voltages greater than 10 V, by the addition of one or more external resistors. Figure 1 illustrates the general adjustment procedure, with approximate values given for the internal resistors of the AD584. The AD584 may be modeled as an op amp with a noninverting feedback connection, driven by a high stability 1.215 volt bandgap reference (see Figure 3 for schematic).

When the feedback ratio is adjusted with external resistors, the output amplifier can be made to multiply the reference voltage by almost any convenient amount, making popular outputs of 10.24 V, 5.12 V, 2.56 V or 6.3 V easy to obtain. The most general adjustment (which gives the greatest range and poorest resolution) uses R1 and R2 alone (see Figure 1). As R1 is adjusted to its upper limit the 2.5 V Pin 3 will be connected to the output, which will reduce to 2.5 V. As R1 is adjusted to its lower limit, the output voltage will rise to a value limited by R2. For example, if R2 is about 6 k Ω , the upper limit of the output

range will be about 20 V even for large values of R1. R2 should not be omitted; its value should be chosen to limit the output to a value which can be tolerated by the load circuits. If R2 is zero, adjusting R1 to its lower limit will result in a loss of control over the output voltage. If precision voltages are required to be set at levels other than the standard outputs, the 20% absolute tolerance in the internal resistor ladder must be accounted for.

Alternatively, the output voltage can be raised by loading the 2.5 V tap with R3 alone. The output voltage can be lowered by connecting R4 alone. Either of these resistors can be a fixed resistor selected by test or an adjustable resistor. In all cases the resistors should have a low temperature coefficient to match the AD584 internal resistors, which have a negative T.C. less than 60 ppm/ $^{\circ}$ C. If both R3 and R4 are used, these resistors should have matched temperature coefficients.

When only small adjustments or trims are required, the circuit of Figure 2 offers better resolution over a limited trim range. The circuit can be programmed to 5.0 V, 7.5 V or 10 V and adjusted by means of R1 over a range of about ± 200 mV. To trim the 2.5 V output option, R2 (Figure 2) can be reconnected to the bandgap reference (Pin 6). In this configuration, the adjustment should be limited to ± 100 mV in order to avoid affecting the performance of the AD584.

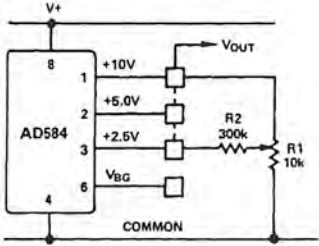


Figure 2. Output Trimming

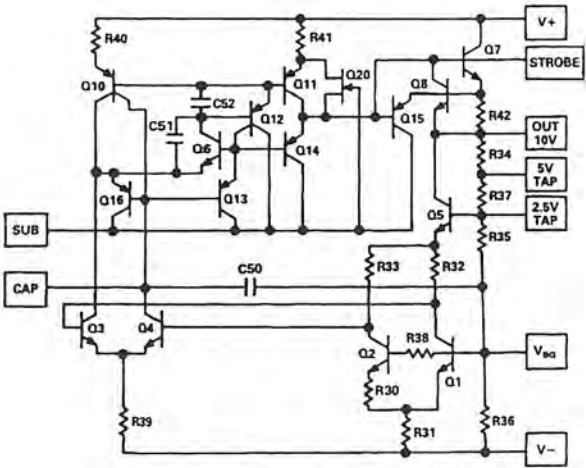


Figure 3. Schematic Diagram

AD584

PERFORMANCE OVER TEMPERATURE

Each AD584 is tested at three temperatures over the -55°C to $+125^{\circ}\text{C}$ range to ensure that each device falls within the Maximum Error Band (see Figure 4) specified for a particular grade (i.e., S and T grades); three-point measurement guarantees performance within the error band from 0°C to $+70^{\circ}\text{C}$ (i.e., J, K, or L grades). The error band guaranteed for the AD584 is the maximum deviation from the initial value at $+25^{\circ}\text{C}$. Thus, given the grade of the AD584, the designer can easily determine the maximum total error from initial tolerance plus temperature variation. For example, for the AD584T, the initial tolerance is $\pm 10\text{ mV}$ and the error band is $\pm 15\text{ mV}$. Hence, the unit is guaranteed to be $10.000\text{ volts} \pm 25\text{ mV}$ from -55°C to $+125^{\circ}\text{C}$.

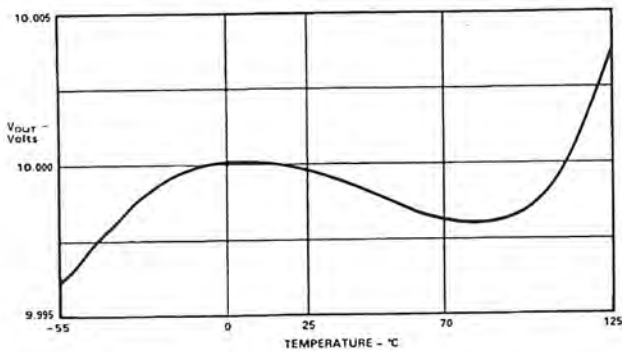


Figure 4. Typical Temperature Characteristic

OUTPUT CURRENT CHARACTERISTICS

The AD584 has the capability to either source or sink current and provide good load regulation in either direction, although it has better characteristics in the source mode (positive current into the load). The circuit is protected for shorts to either positive supply or ground. The output voltage vs. output current characteristics of the device is shown in Figure 5. Source current is displayed as negative current in the figure; sink current is positive. Note that the short circuit current (i.e., zero volts output) is about 28 mA; when shorted to +15 volts, the sink current goes to about 20 mA.

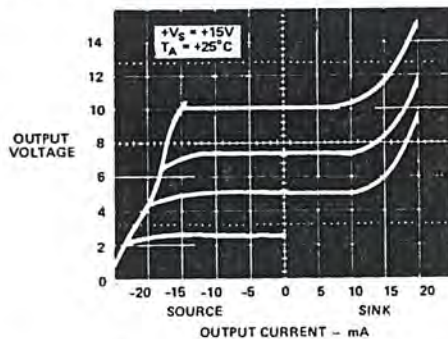


Figure 5. AD584 Output Voltage vs. Sink and Source Current

DYNAMIC PERFORMANCE

Many low power instrument manufacturers are becoming increasingly concerned with the turn-on characteristics of the components being used in their systems. Fast turn-on components often enable the end user to keep power off when not

REV. A

needed, and yet respond quickly when the power is turned on for operation. Figure 6 displays the turn-on characteristic of the AD584. Figure 6a is generated from cold-start operation and represents the true turn-on waveform after an extended period with the supplies off. The figure shows both the coarse and fine transient characteristics of the device; the total settling time to within ± 10 millivolt is about $180\text{ }\mu\text{s}$, and there is no long thermal tail appearing after the point.

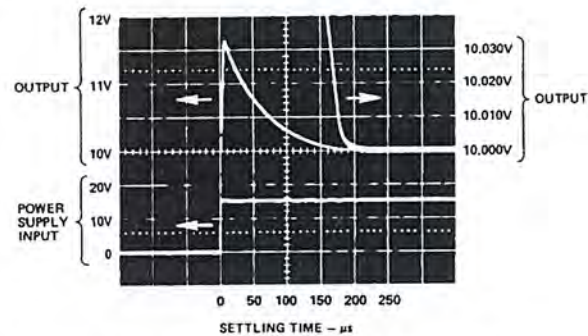


Figure 6. Output Settling Characteristic

NOISE FILTERING

The bandwidth of the output amplifier in the AD584 can be reduced to filter the output noise. A capacitor ranging between $0.01\text{ }\mu\text{F}$ and $0.1\text{ }\mu\text{F}$ connected between the Cap and V_{BG} terminals will further reduce the wideband and feedthrough noise in the output of the AD584, as shown in Figure 8. However, this will tend to increase the turn-on settling time of the device so ample warm-up time should be allowed.

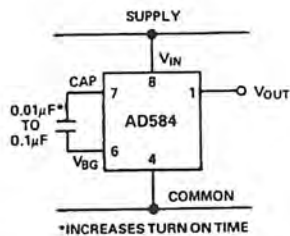


Figure 7. Additional Noise Filtering with an External Capacitor

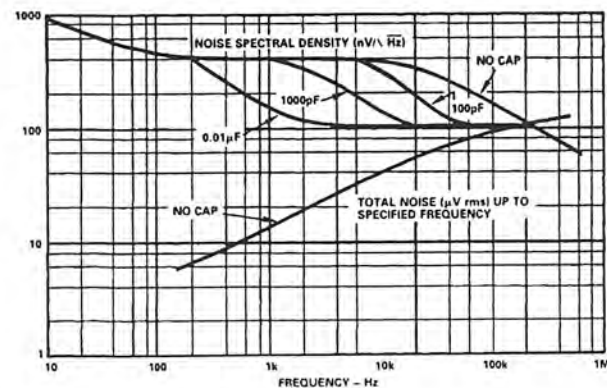


Figure 8. Spectral Noise Density and Total rms Noise vs. Frequency

AD584

USING THE STROBE TERMINAL

The AD584 has a strobe input which can be used to zero the output. This unique feature permits a variety of new applications in signal and power conditioning circuits.

Figure 9 illustrates the strobe connection. A simple NPN switch can be used to translate a TTL logic signal into a strobe of the output. The AD584 operates normally when there is no current drawn from Pin 5. Bringing this terminal low, to less than 200 mV, will allow the output voltage to go to zero. In this mode the AD584 should not be required to source or sink current (unless a 0.7 V residual output is permissible). If the AD584 is required to sink a transient current while strobed off, the strobe terminal input current should be limited by a 100 Ω resistor as shown in Figure 9.

The strobe terminal will tolerate up to 5 μ A leakage and its driver should be capable of sinking 500 μ A continuous. A low leakage open collector gate can be used to drive the strobe terminal directly, provided the gate can withstand the AD584 output voltage plus one volt.

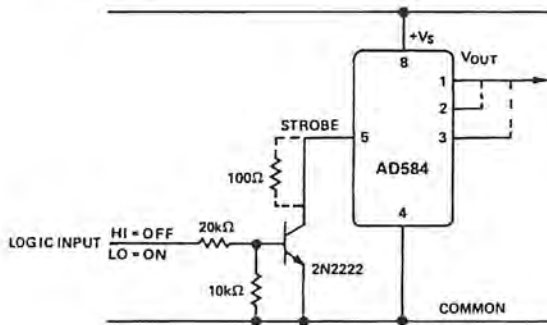


Figure 9. Use of the Strobe Terminal

PRECISION HIGH CURRENT SUPPLY

The AD584 can be easily connected to a power PNP or power Darlington PNP device to provide much greater output current capability. The circuit shown in Figure 10 delivers a precision 10 volt output with up to 4 amperes supplied to the load. The 0.1 μ F capacitor is required only if the load has a significant capacitive component. If the load is purely resistive, improved high frequency rejection results from removing the capacitor.

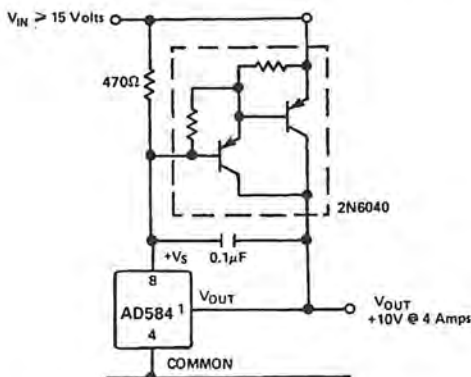


Figure 10. High Current Precision Supply

The AD584 can also use an NPN or Darlington NPN transistor to boost its output current. Simply connect the 10 V output terminal of the AD584 to the base of the NPN booster and take the output from the booster emitter as shown in Figure 11. The 5.0 V or 2.5 V pin must connect to the actual output in this configuration. Variable or adjustable outputs (as shown in Figures 1 and 2) may be combined with +5.0 V connection to obtain outputs above +5.0 V.

THE AD584 AS A CURRENT LIMITER

The AD584 represents an alternative to current limiter diodes which require factory selection to achieve a desired current. Use of current limiting diodes often results in temperature coefficients of 1%/°C. Use of the AD584 in this mode is not limited to a set current limit; it can be programmed from 0.75 mA to 5 mA with the insertion of a single external resistor (see Figure 12). Of course, the minimum voltage required to drive the connection is 5 volts.

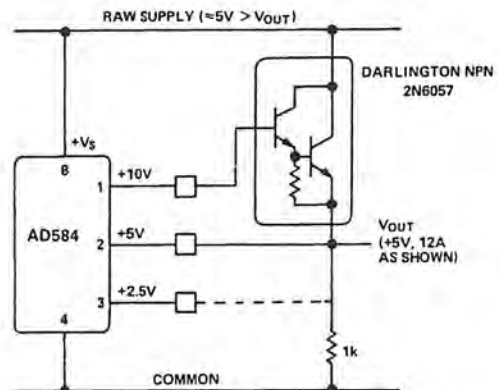


Figure 11. NPN Output Current Booster

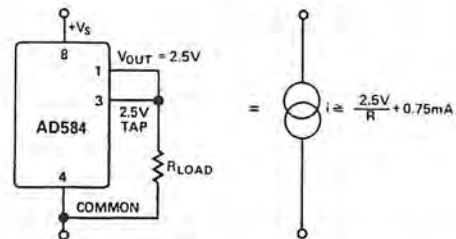


Figure 12. A Two-Component Precision Current Limiter

NEGATIVE REFERENCE VOLTAGES FROM AN AD584

The AD584 can also be used in a two-terminal "Zener" mode to provide a precision -10 volt, -7.5 volt or -5.0 volt reference. As shown in Figure 13, the V_{IN} and V_{OUT} terminals are connected together to the positive supply (in this case, ground). The AD584 common pin is connected through a resistor to the negative supply. The output is now taken from the common pin instead of V_{OUT} . With 1 mA flowing through the AD584 in this mode, a typical unit will show a 2 mV increase in output level over that produced in the three-terminal mode. Note also that the effective output impedance in this connection increases from 0.2 Ω typical to 2 Ω . It is essential to arrange the output load and the supply resistor, R_S , so that the net current through the AD584 is always between 1 mA and 5 mA (between 2 mA and 5 mA for operation beyond +85°C). The temperature character-

AD584

istics and long-term stability of the device will be essentially the same as that of a unit used in the standard three-terminal mode.

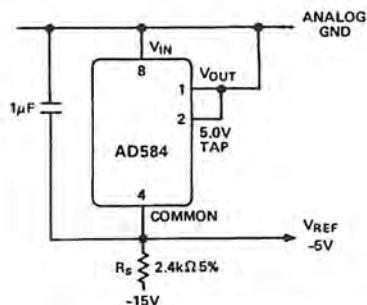


Figure 13. Two-Terminal -5 Volt Reference

The AD584 can also be used in a two-terminal mode to develop a positive reference. V_{IN} and V_{OUT} are tied together and to the positive supply through an appropriate supply resistor. The performance characteristics will be similar to those of the negative two-terminal connection. The only advantage of this connection over the standard three-terminal connection is that a lower primary supply can be used, as low as 0.5 volts above the desired output voltage. This type of operation will require considerable attention to load and primary supply regulation to be sure the AD584 always remains within its regulating range of 1 mA to 5 mA (2 mA to 5 mA for operation beyond 85°C).

10 VOLT REFERENCE WITH MULTIPLYING CMOS D/A OR A/D CONVERTERS

The AD584 is ideal for application with the entire AD7520 series of 10- and 12-bit multiplying CMOS D/A converters, especially for low power applications. It is equally suitable for the AD7574 8-bit A/D converter. In the standard hook-up as shown in Figure 14, the standard output voltages are inverted by the amplifier/DAC configuration to produce converted volt-

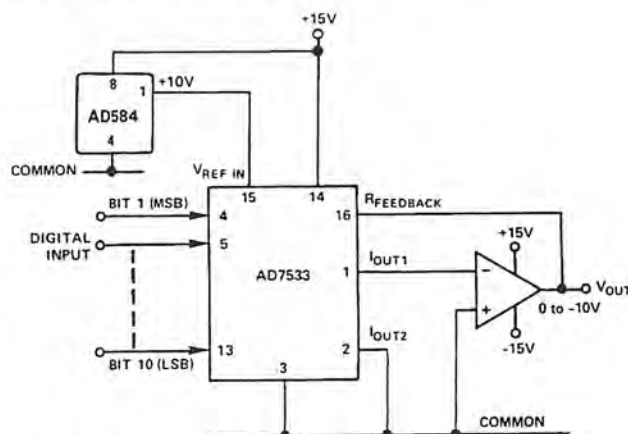


Figure 14. Low Power 10-Bit CMOS DAC Application

PRECISION D/A CONVERTER REFERENCE

The AD562, like many D/A converters, is designed to operate with a +10 volt reference element (Figure 15). In the AD562, this 10 volt reference voltage is converted into a reference current of approximately 0.5 mA via the internal 19.95 k Ω resistor (in series with the external 100 Ω trimmer). The gain temperature coefficient of the AD562 is primarily governed by the temperature tracking of the 19.95 k Ω resistor and the 5k/10k span resistors; this gain T.C. is guaranteed to 3 ppm/ $^{\circ}$ C. Thus, using the AD584L (at 5 ppm/ $^{\circ}$ C) as the 10 volt reference guarantees a

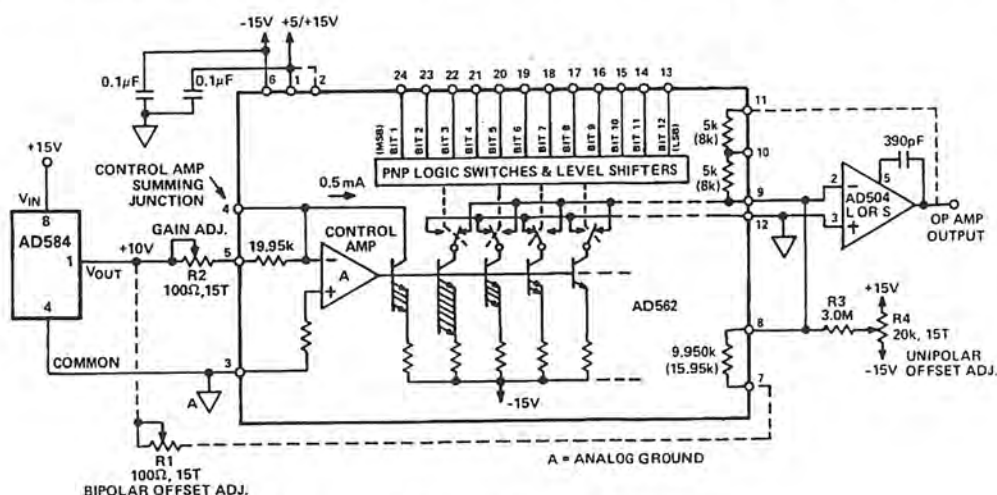


Figure 15. Precision 12-Bit D/A Converter

8-bit multiplying D/A converter

MC1508-8/1408-8

DESCRIPTION

The MC1508/MC1408 series of 8-bit monolithic digital-to-analog converters provide high-speed performance with low cost. They are designed for use where the output current is a linear product of an 8-bit digital word and an analog reference voltage

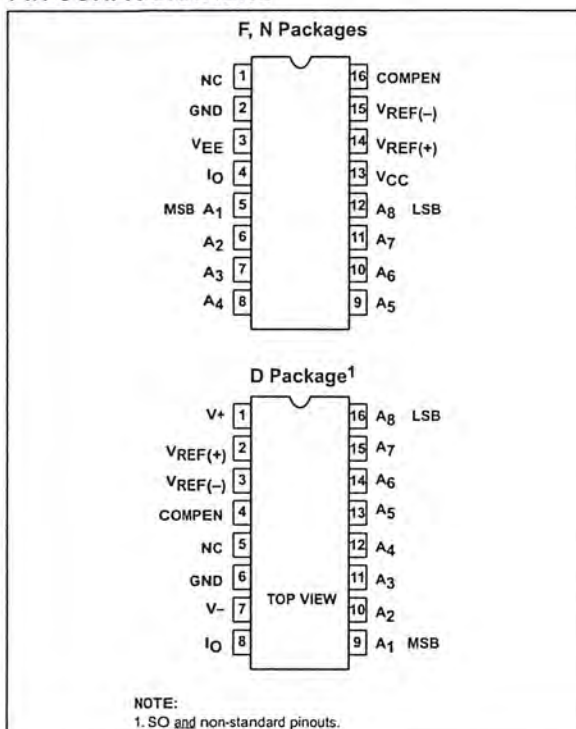
FEATURES

- Fast settling time — 70ns (typ)
- Relative accuracy $\pm 0.19\%$ (max error)
- Non-inverting digital inputs are TTL and CMOS compatible
- High-speed multiplying rate 4.0mA/ μ s (input slew)
- Output voltage swing +0.5V to -5.0V
- Standard supply voltages +5.0V and -5.0V to -15V
- Military qualifications pending

APPLICATIONS

- Tracking A-to-D converters
- 2 1/2-digit panel meters and DVMs
- Waveform synthesis
- Sample-and-Hold
- Peak detector
- Programmable gain and attenuation
- CRT character generation
- Audio digitizing and decoding
- Programmable power supplies
- Analog-digital multiplication
- Digital-digital multiplication
- Analog-digital division
- Digital addition and subtraction
- Speech compression and expansion
- Stepping motor drive modems
- Servo motor and pen drivers

PIN CONFIGURATIONS



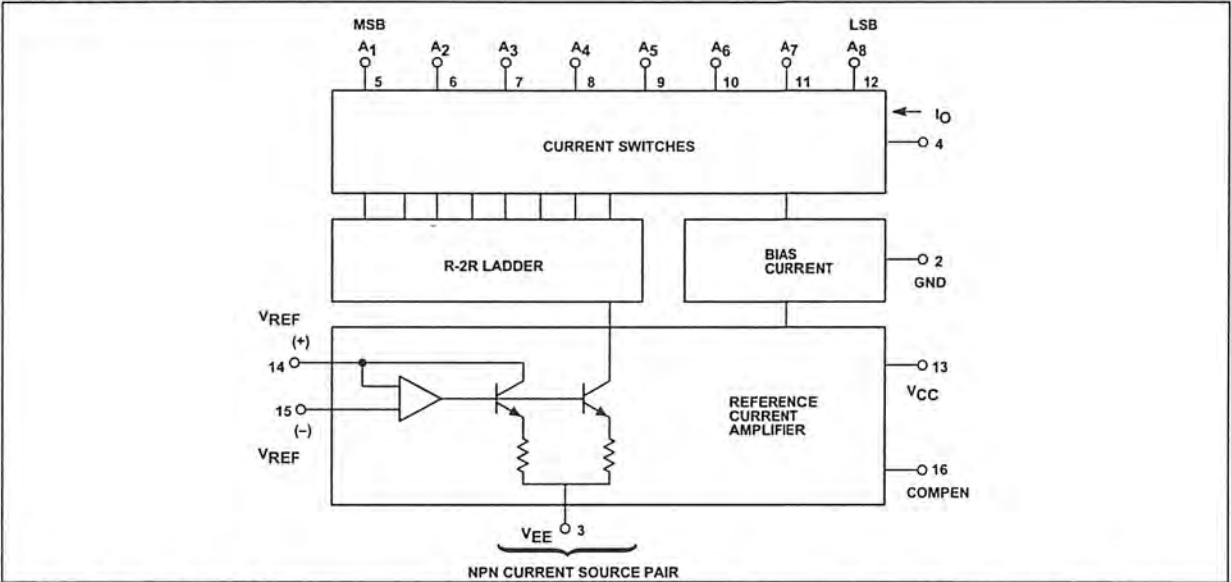
ORDERING INFORMATION

DESCRIPTION	TEMPERATURE RANGE	ORDER CODE	DWG #
16-Pin Ceramic Dual In-Line Package (CERDIP)	-55 to +125°C	MC1508-8F	0582B
16-Pin Ceramic Dual In-Line Package (CERDIP)	0 to +70°C	MC1408-8F	0582B
16-Pin Plastic Dual In-Line Package (DIP)	0 to +70°C	MC1408-8N	0406C
16-Pin Small Outline (SO) Package	0 to +70°C	MC1408-8D	0005D

8-bit multiplying D/A converter

MC1508-8/1408-8

BLOCK DIAGRAM



CIRCUIT DESCRIPTION

The MC1508/MC1408 consists of a reference current amplifier, an R-2R ladder, and 8 high-speed current switches. For many applications, only a reference resistor and reference voltage need be added.

The switches are non-inverting in operation; therefore, a high state on the input turns on the specified output current component.

The switch uses current steering for high speed, and a termination amplifier consisting of an active load gain stage with unity gain

feedback. The termination amplifier holds the parasitic capacitance of the ladder at a constant voltage during switching, and provides a low impedance termination of equal voltage for all legs of the ladder.

The R-2R ladder divides the reference amplifier current into binary-related components, which are fed to the remainder current which is equal to the least significant bit. This current is shunted to ground, and the maximum output current is 255/256 of the reference amplifier current, or 1.992mA for a 2.0mA reference amplifier current if the NPN current source pair is perfectly matched.

ABSOLUTE MAXIMUM RATINGS

SYMBOL	PARAMETER	RATING	UNIT
V_{CC}	Positive power supply voltage	+5.5	V
V_{EE}	Negative power supply voltage	-16.5	V
$V_5 - V_{12}$	Digital input voltage	0 to V_{CC}	V
V_O	Applied output voltage	-5.2 to +18	V
I_{14}	Reference current	5.0	mA
V_{14}, V_{15}	Reference amplifier inputs	V_{EE} to V_{CC}	
P_D	Maximum power dissipation, $T_A = 25^\circ\text{C}$ (still-air) ¹		
	F package	1190	mW
	N package	1450	mW
	D package	1080	mW
T_{SOLD}	Lead soldering temperature (10 sec)	300	°C
T_A	Operating temperature range	300	°C
	MC1508	-55 to +125	°C
	MC1408	0 to +75	°C
T_{STG}	Storage temperature range	-65 to +150	°C

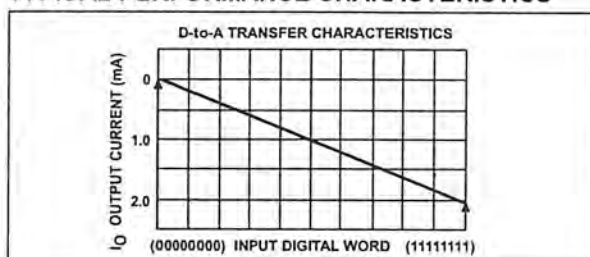
NOTES:

1. Derate above 25°C, at the following rates: F package at 9.5mW/°C; N package at 11.6mW/°C; D package at 8.6mW/°C

8-bit multiplying D/A converter

MC1508-8/1408-8

TYPICAL PERFORMANCE CHARACTERISTICS



FUNCTIONAL DESCRIPTION

Reference Amplifier Drive and Compensation

The reference amplifier input current must always flow into Pin 14, regardless of the setup method or reference supply voltage polarity.

Connections for a positive reference voltage are shown in Figure 1. The reference voltage source supplies the full reference current. For bipolar reference signals, as in the multiplying mode, R_{15} can be tied to a negative voltage corresponding to the minimum input level. R_{15} may be eliminated and Pin 15 grounded, with only a small sacrifice in accuracy and temperature drift.

The compensation capacitor value must be increased with increasing values of R_{14} to maintain proper phase margin. For R_{14} values of 1.0, 2.5, and 5.0k Ω , minimum capacitor values are 15, 37, and 75pF. The capacitor may be tied to either V_{EE} or ground, but using V_{EE} increases negative supply rejection. (Fluctuations in the negative supply have more effect on accuracy than do any changes in the positive supply.)

A negative reference voltage may be used if R_{14} is grounded and the reference voltage is applied to R_{15} , as shown in Figure 2. A high input impedance is the main advantage of this method. The negative reference voltage must be at least 3.0V above the V_{EE} supply. Bipolar input signals may be handled by connecting R_{14} to a positive reference voltage equal to the peak positive input level at Pin 15.

Capacitive bypass to ground is recommended when a DC reference voltage is used. The 5.0V logic supply is not recommended as a reference voltage, but if a well regulated 5.0V supply which drives logic is to be used as the reference, R_{14} should be formed of two series resistors and the junction of the two resistors bypassed with 0.1 μ F to ground. For reference voltages greater than 5.0V, a clamp diode is recommended between Pin 14 and ground.

If Pin 14 is driven by a high impedance such as a transistor current source, none of the above compensation methods apply and the amplifier must be heavily compensated, decreasing the overall bandwidth.

Output Voltage Range

The voltage at Pin 4 must always be at least 4.5V more positive than the voltage of the negative supply (Pin 3) when the reference current is 2mA or less, and at least 8V more positive than the negative supply when the reference current is between 2mA and 4mA. This is necessary to avoid saturation of the output transistors, which would cause serious degradation of accuracy.

Philips Semiconductors MC1508/MC1408 does not need a range control because the design extends the compliance range down to

4.5V (or 8V — see above) above the negative supply voltage without significant degradation of accuracy. Philips Semiconductors MC1508/MC1408 can be used in sockets designed for other manufacturers' MC1508/MC1408 without circuit modification.

Output Current Range

Any time the full-scale current exceeds 2mA, the negative supply must be at least 8V more negative than the output voltage. This is due to the increased internal voltage drops between the negative supply and the outputs with higher reference currents.

Accuracy

Absolute accuracy is the measure of each output current level with respect to its intended value, and is dependent upon relative accuracy, full-scale accuracy and full-scale current drift. Relative accuracy is the measure of each output current level as a fraction of the full-scale current after zero-scale current has been nulled out. The relative accuracy of the MC1508/MC1408 is essentially constant over the operating temperature range because of the excellent temperature tracking of the monolithic resistor ladder. The reference current may drift with temperature, causing a change in the absolute accuracy of output current; however, the MC1508/MC1408 has a very low full-scale current drift over the operating temperature range.

The MC1508/MC1408 series is guaranteed accurate to within $\pm 1/2$ LSB at +25°C at a full-scale output current of 1.99mA. The relative accuracy test circuit is shown in Figure 3. The 12-bit converter is calibrated to a full-scale output current of 1.99219mA; then the MC1508/MC1408's full-scale current is trimmed to the same value with R_{14} so that a zero value appears at the error amplifier output. The counter is activated and the error band may be displayed on the oscilloscope, detected by comparators, or stored in a peak detector.

Two 8-bit D-to-A converters may not be used to construct a 16-bit accurate D-to-A converter. 16-bit accuracy implies a total of $\pm 1/2$ part in 65,536, or $\pm 0.00076\%$, which is much more accurate than the $\pm 0.19\%$ specification of the MC1508/MC1408.

Monotonicity

A monotonic converter is one which always provides an analog output greater than or equal to the preceding value for a corresponding increment in the digital input code. The MC1508/MC1408 is monotonic for all values of reference current above 0.5mA. The recommended range for operation is a DC reference current between 0.5mA and 4.0mA.

Settling Time

The worst case switching condition occurs when all bits are switched on, which corresponds to a low-to-high transition for all input bits. This time is typically 70ns for settling to within 1/2LSB for 8-bit accuracy. This time applies when $R_L < 500\Omega$ and $C_O < 25$ pF. The slowest single switch is the least significant bit, which typically turns on and settles in 65ns. In applications where the D-to-A converter functions in a positive going ramp mode, the worst-case condition does not occur and settling times less than 70ns may be realized.

Extra care must be taken in board layout since this usually is the dominant factor in satisfactory test results when measuring settling time. Short leads, 100 μ F supply bypassing for low frequencies, minimum scope lead length, good ground planes, and avoidance of ground loops are all mandatory.

8-bit multiplying D/A converter

MC1508-8/1408-8

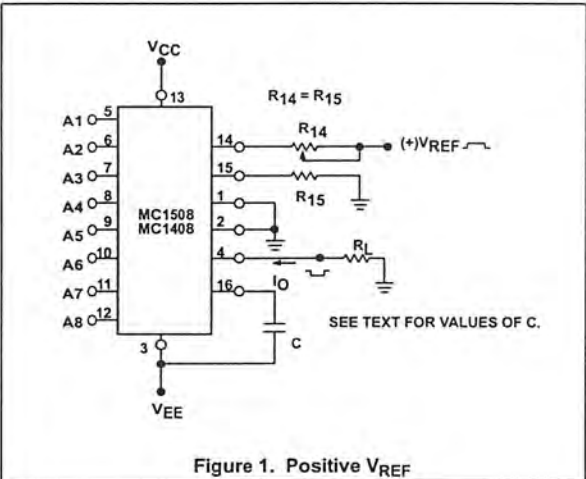


Figure 1. Positive VREF

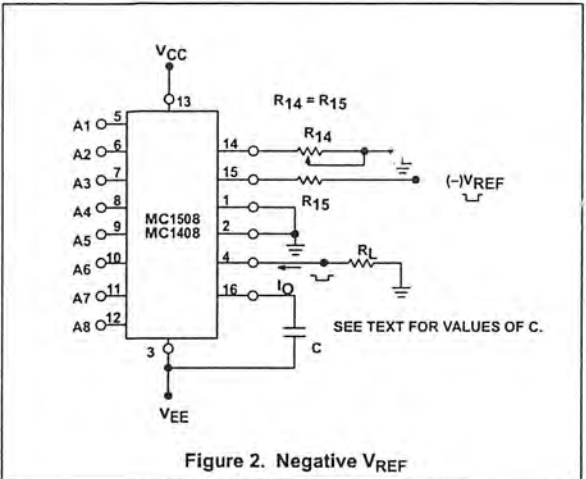


Figure 2. Negative VREF

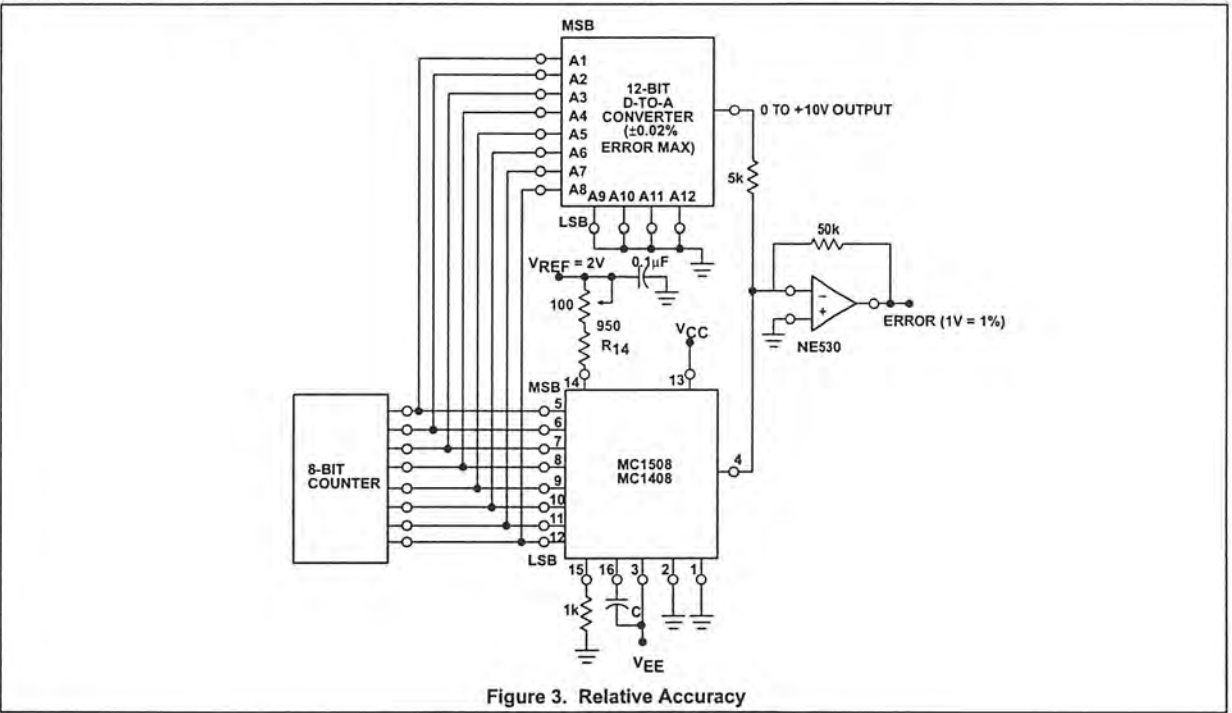
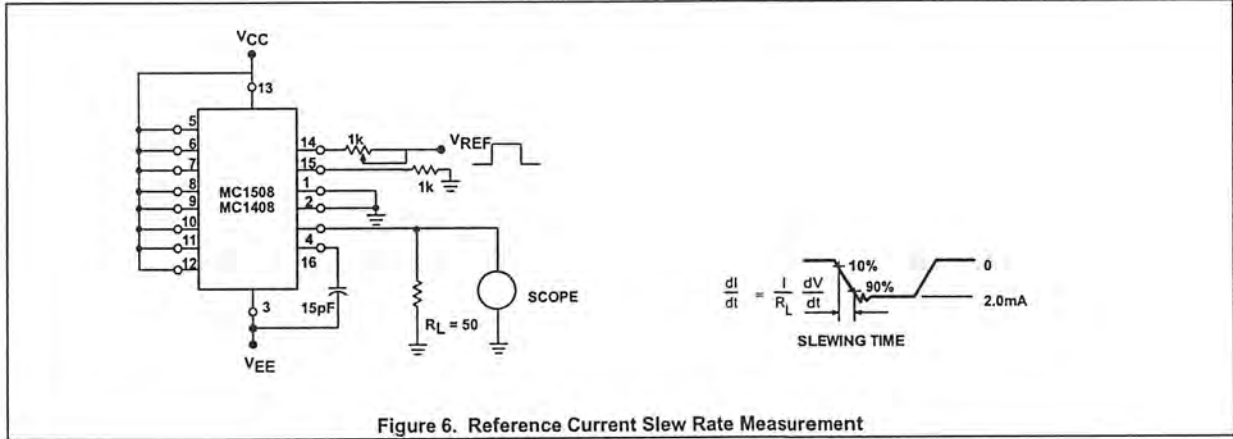
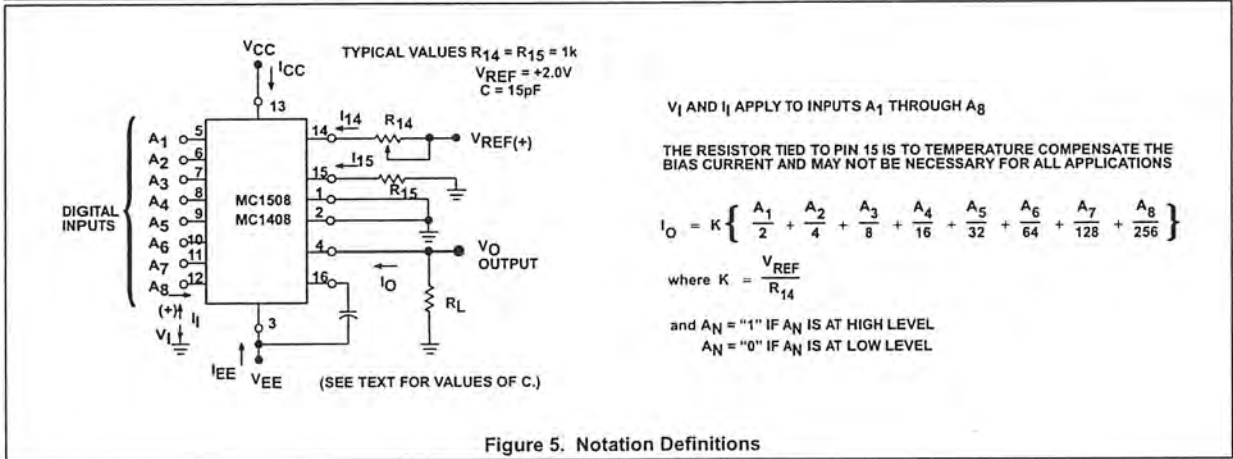
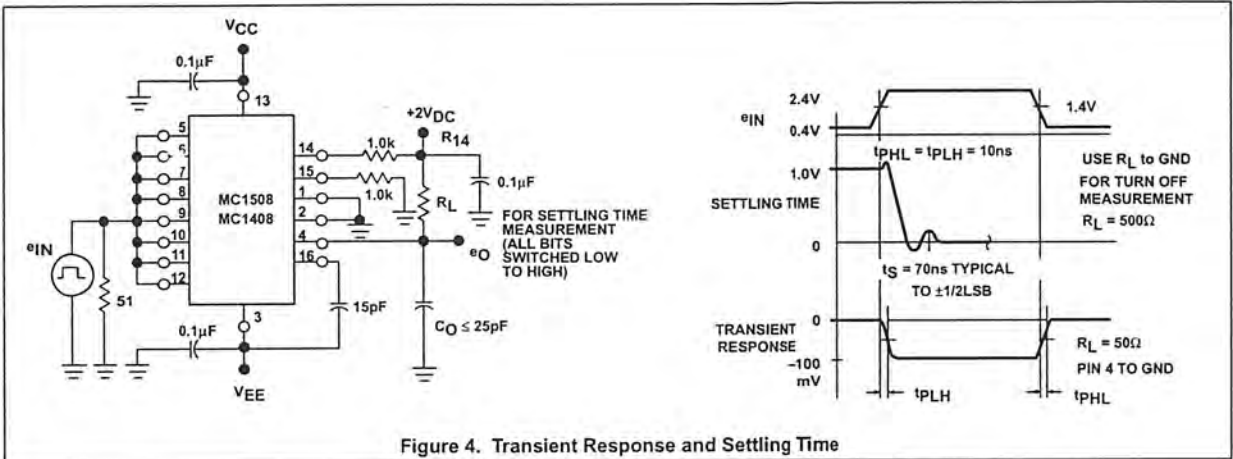


Figure 3. Relative Accuracy

8-bit multiplying D/A converter

MC1508-8/1408-8



TIL311 HEXADECIMAL DISPLAY WITH LOGIC

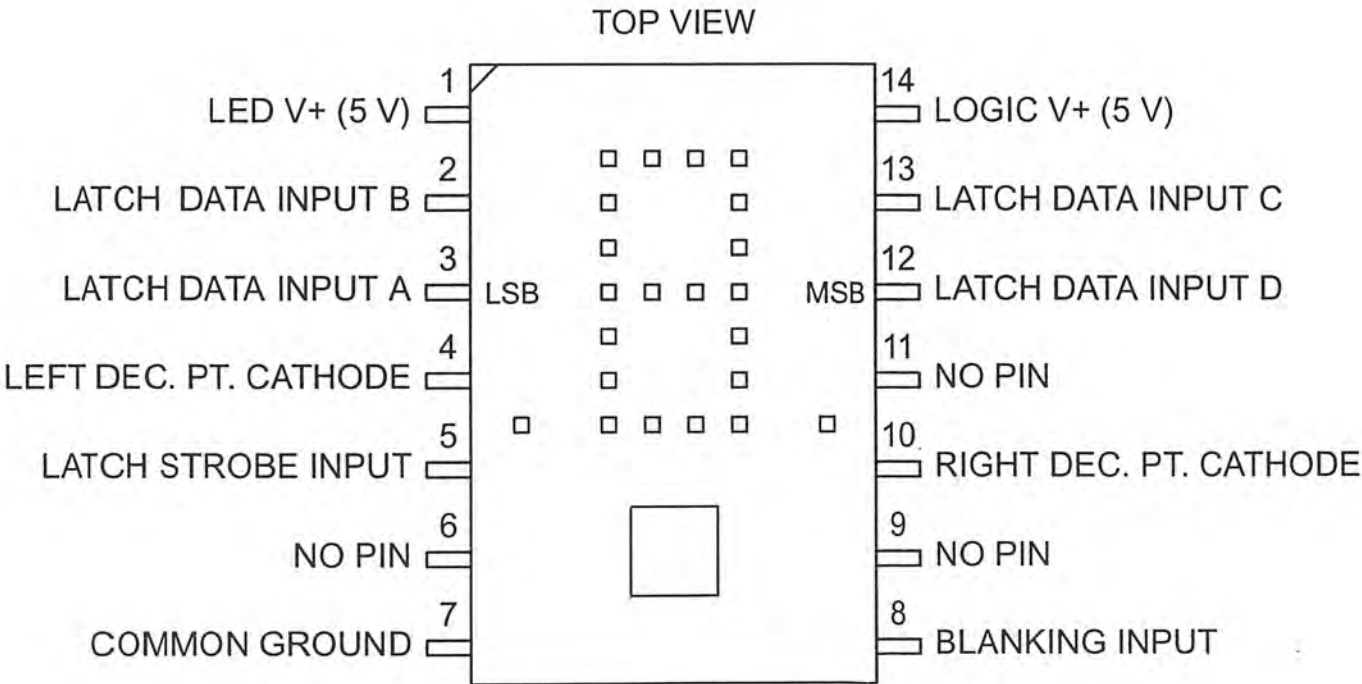
SOLID-STATE HEXADECIMAL DISPLAY WITH INTEGRAL TTL CIRCUIT TO ACCEPT, STORE, AND DISPLAY 4-BIT BINARY DATA

- 7,62-mm (0.300-Inch) Character Height
 - High Brightness
 - Left-and-Right-Hand Decimals
 - Separate LED and Logic Power Supplies May Be Used
 - Wide Viewing Angle
- Internal TTL MSI Chip With Latch, Decoder, and Driver
 - Operates from 5-V Supply
 - Constant-Current Drive for Hexadecimal Characters
 - Easy System Interface

LATCH STROBE INPUT (PIN 5) - When low, the data in the latches follow the data on the latch data inputs. When high, the data in the latches will not change.

BLANKING INPUT (PIN 8) - When high, the display is blanked regardless of the levels of the other inputs. When low, a character is displayed as determined by the data in the latches.

DECIMAL POINT CATHODES are not connected to the logic chip. External current limiting resistors must be used.



TIL311
HEXADECIMAL DISPLAY WITH LOGIC

SODS001D – D1176, MARCH 1972 – REVISED FEBRUARY 1992

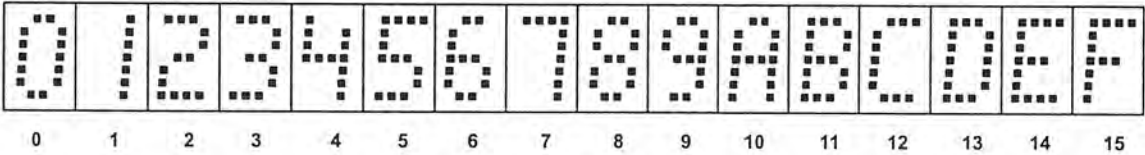
description

This hexadecimal display contains a four-bit latch, decoder, driver, and 4 × 7 light-emitting-diode (LED) character with two externally-driven decimal points in a 14-pin package. A description of the functions of the inputs of this device follows.

FUNCTION	PIN NO.	DESCRIPTION
LATCH STROBE INPUT	5	When low, the data in the latches follow the data on the latch data inputs. When high, the data in the latches will not change. If the display is blanked and then restored while the enable input is high, the previous character will again be displayed.
BLANKING INPUT	8	When high, the display is blanked regardless of the levels of the other inputs. When low, a character is displayed as determined by the data in the latches. The blanking input may be pulsed for intensity modulation.
LATCH DATA INPUTS (A, B, C, D)	3, 2, 13, 12	Data on these inputs are entered into the latches when the enable input is low. The binary weights of these inputs are A = 1, B = 2, C = 4, D = 8.
DECIMAL POINT CATHODES	4, 10	These LEDs are not connected to the logic chip. If a decimal point is used, an external resistor or other current-limiting mechanism must be connected in series with it.
LED SUPPLY	1	This connection permits the user to save on regulated V _{CC} current by using a separate LED supply, or it may be externally connected to the logic supply (V _{CC}).
LOGIC SUPPLY (V _{CC})	14	Separate V _{CC} connection for the logic chip
COMMON GROUND	7	This is the negative terminal for all logic and LED currents except for the decimal points.

The LED driver outputs are designed to maintain a relatively constant on-level current of approximately 5 mA through each LED that forms the hexadecimal character. This current is virtually independent of the LED supply voltage within the recommended operating conditions. Drive current varies slightly with changes in logic supply voltage resulting in a change in luminous intensity as shown in Figure 2. This change will not be noticeable to the eye. The decimal point anodes are connected to the LED supply; the cathodes are connected to external pins. Since there is no current limiting built into the decimal point circuits, this must be provided externally if the decimal points are used.

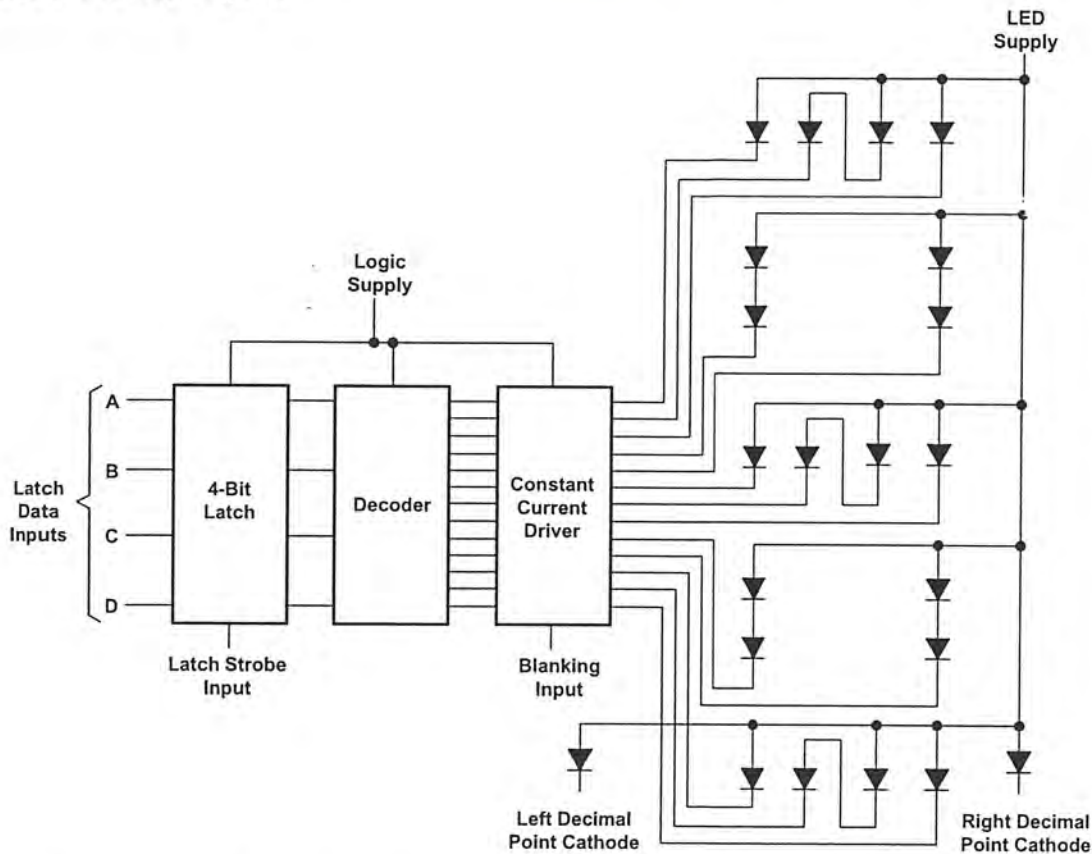
The resultant displays for the values of the binary data in the latches are as shown below.



TIL311
HEXADECIMAL DISPLAY WITH LOGIC

SODS001D – D1176, MARCH 1972 – REVISED FEBRUARY 1992

functional block diagram



absolute maximum ratings over operating case temperature range (unless otherwise noted)

Supply voltage, V_{CC} , logic (see Note 1)	7 V
Supply voltage, LED (see Note 1)	7 V
Input voltage (pins 2, 3, 5, 8, 12, 13) (see Note 1)	5.5 V
Decimal point current	20 mA
Operating case temperature range (see Note 2)	0°C to 85°C
Storage temperature range	–25°C to 85°C

- NOTES: 1. Voltage values are with respect to common ground terminal.
2. Case temperature is the surface temperature of the plastic measured directly over the integrated circuit. Forced-air cooling may be required to maintain this temperature.

recommended operating conditions

	MIN	NOM	MAX	UNIT
Supply voltage, V_{CC} , logic	4.5	5	5.5	V
Supply voltage, V_{LED} , LED	4	5	5.5	V
Decimal point current, $I_F(DP)$		5		mA
Pulse duration, t_W , latch strobe	40			ns
Setup time, t_{SU}	50			ns
Hold time, t_H	40			ns

TIL311
HEXADECIMAL DISPLAY WITH LOGIC

SODS001D – D1176, MARCH 1972 – REVISED FEBRUARY 1992

operating characteristics at $T_A = 25^{\circ}\text{C}$

PARAMETER		TEST CONDITIONS	MIN	TYP	MAX	UNIT
I_V Luminous intensity (see Note 3)	Average per character LED	$V_{CC} = 5\text{ V}$, $V_{LED} = 5\text{ V}$, See Note 4	35	100		μcd
	Each decimal	$I_{F(DP)} = 5\text{ mA}$	35	100		μcd
λ_p Wavelength at peak emission		$V_{CC} = 5\text{ V}$, $V_{LED} = 5\text{ V}$, $I_{F(DP)} = 5\text{ mA}$, See Note 5		660		nm
$\Delta\lambda$ Spectral bandwidth				20		nm
V_{IH} High-level input voltage			2			V
V_{IL} Low-level input voltage					0.8	V
V_{IK} Input clamp voltage		$V_{CC} = 4.75\text{ V}$, $I_I = -12\text{ mA}$		-1.5		V
I_I Input current		$V_{CC} = 5.5\text{ V}$, $V_I = 5.5\text{ V}$		1		mA
I_{IH} High-level input current		$V_{CC} = 5.5\text{ V}$, $V_I = 2.4\text{ V}$		40		μA
I_{IL} Low-level input current		$V_{CC} = 5.5\text{ V}$, $V_I = 0.4\text{ V}$		-1.6		mA
I_{CC} Supply current, logic		$V_{CC} = 5.5\text{ V}$, $V_{LED} = 5.5\text{ V}$,		60	90	mA
I_{LED} Supply current, LED		$I_{F(DP)} = 5\text{ mA}$, All inputs at 0 V		45	90	mA

- NOTES: 3. Luminous intensity is measured with a light sensor and filter combination that approximates the CIE (International Commission on Illumination) eye-response curve.
4. This parameter is measured with $\bar{A}$ displayed, then again with $\bar{E}$ displayed.
5. These parameters are measured with $\bar{B}$ displayed.

TYPICAL CHARACTERISTICS

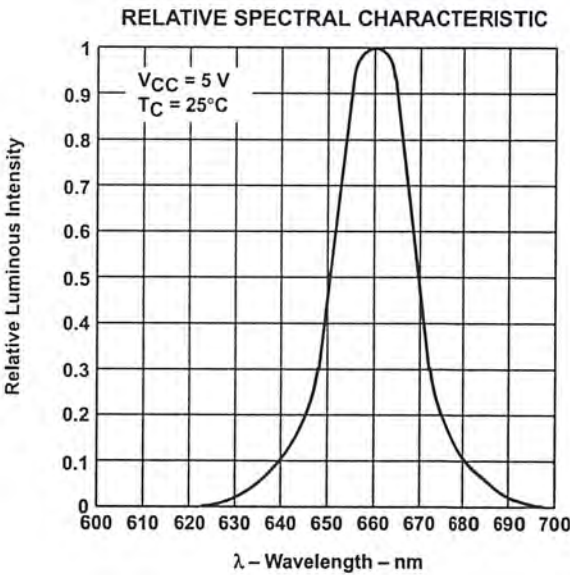


Figure 1

TIL311
HEXADECIMAL DISPLAY WITH LOGIC

SODS001D – D1176, MARCH 1972 – REVISED FEBRUARY 1992

TYPICAL CHARACTERISTICS

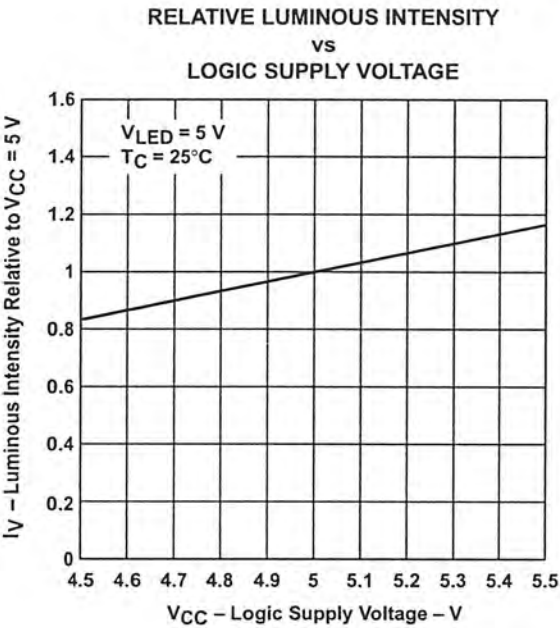


Figure 2

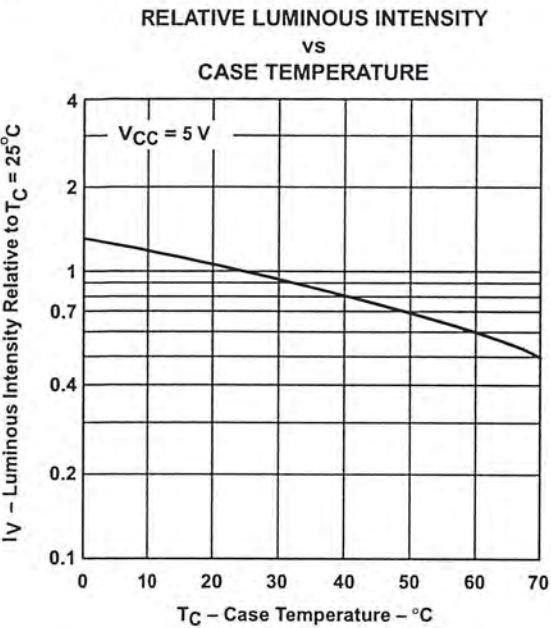


Figure 3

TL081, TL081A, TL081B, TL082, TL082A, TL082B TL082Y, TL084, TL084A, TL084B, TL084Y JFET-INPUT OPERATIONAL AMPLIFIERS

SLOS081E – FEBRUARY 1977 – REVISED FEBRUARY 1999

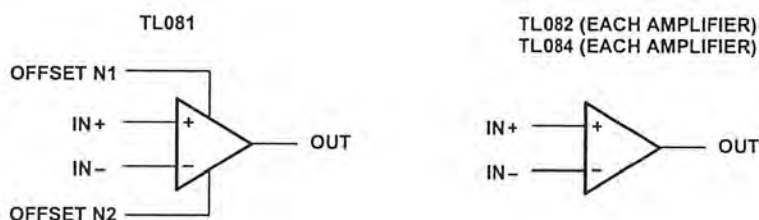
- Low Power Consumption
- Wide Common-Mode and Differential Voltage Ranges
- Low Input Bias and Offset Currents
- Output Short-Circuit Protection
- Low Total Harmonic Distortion . . . 0.003% Typ
- High Input Impedance . . . JFET-Input Stage
- Latch-Up-Free Operation
- High Slew Rate . . . 13 V/ μ s Typ
- Common-Mode Input Voltage Range Includes V_{CC+}

description

The TL08x JFET-input operational amplifier family is designed to offer a wider selection than any previously developed operational amplifier family. Each of these JFET-input operational amplifiers incorporates well-matched, high-voltage JFET and bipolar transistors in a monolithic integrated circuit. The devices feature high slew rates, low input bias and offset currents, and low offset voltage temperature coefficient. Offset adjustment and external compensation options are available within the TL08x family.

The C-suffix devices are characterized for operation from 0°C to 70°C. The I-suffix devices are characterized for operation from –40°C to 85°C. The Q-suffix devices are characterized for operation from –40°C to 125°C. The M-suffix devices are characterized for operation over the full military temperature range of –55°C to 125°C.

symbols



Please be aware that an important notice concerning availability, standard warranty, and use in critical applications of Texas Instruments semiconductor products and disclaimers thereto appears at the end of this data sheet.

PRODUCTION DATA information is current as of publication date. Products conform to specifications per the terms of Texas Instruments standard warranty. Production processing does not necessarily include testing of all parameters.

**TEXAS
INSTRUMENTS**

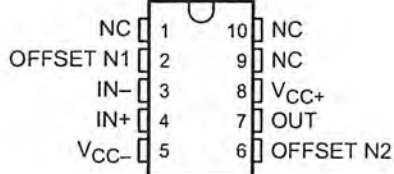
POST OFFICE BOX 655303 • DALLAS, TEXAS 75265

Copyright © 1999, Texas Instruments Incorporated
On products compliant to MIL-PRF-38535, all parameters are tested unless otherwise noted. On all other products, production processing does not necessarily include testing of all parameters.

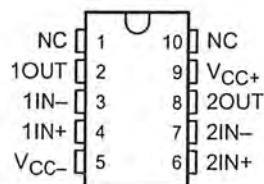
TL081, TL081A, TL081B, TL082, TL082A, TL082B **TL082Y, TL084, TL084A, TL084B, TL084Y** **JFET-INPUT OPERATIONAL AMPLIFIERS**

SLOS081E – FEBRUARY 1977 – REVISED FEBRUARY 1999

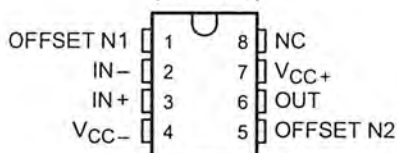
TL081M
U PACKAGE
(TOP VIEW)



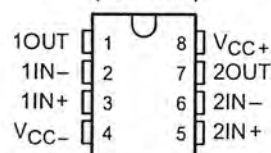
TL082M
U PACKAGE
(TOP VIEW)



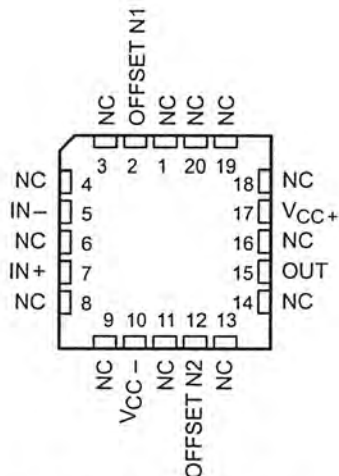
TL081, TL081A, TL081B
D, JG, P, OR PW PACKAGE
(TOP VIEW)



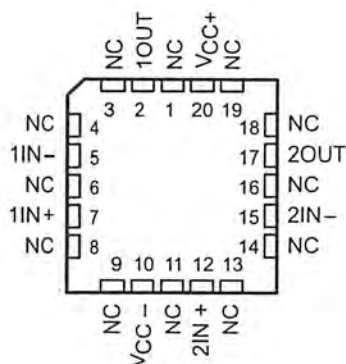
TL082, TL082A, TL082B
D, JG, P, OR PW PACKAGE
(TOP VIEW)



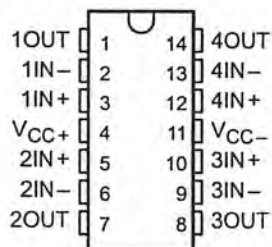
TL081M ... FK PACKAGE
(TOP VIEW)



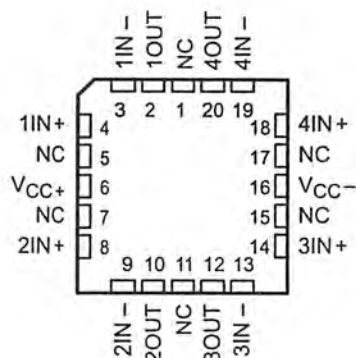
TL082M ... FK PACKAGE
(TOP VIEW)



TL084, TL084A, TL084B
D, J, N, PW, OR W PACKAGE
(TOP VIEW)



TL084M ... FK PACKAGE
(TOP VIEW)

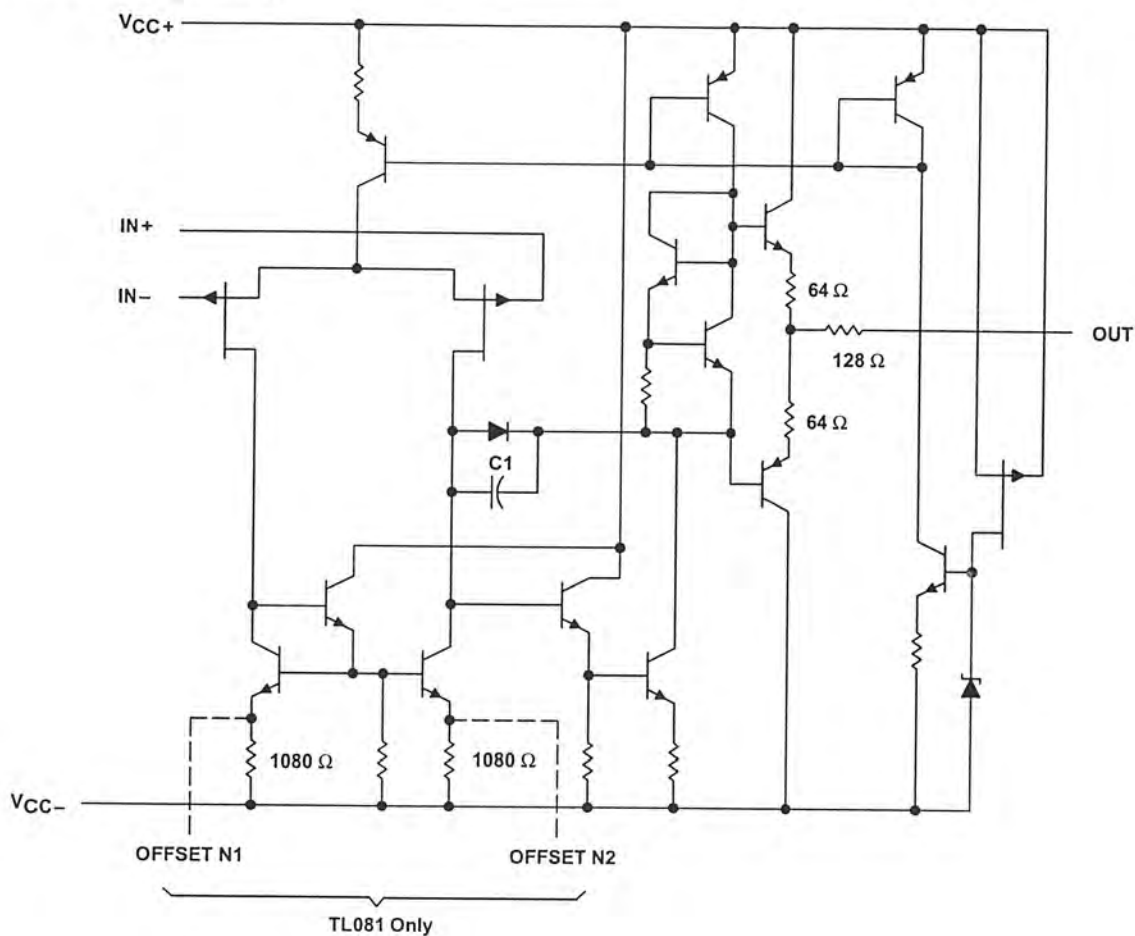


NC – No internal connection

**TL081, TL081A, TL081B, TL082, TL082A, TL082B
TL082Y, TL084, TL084A, TL084B, TL084Y
JFET-INPUT OPERATIONAL AMPLIFIERS**

SLOS081E – FEBRUARY 1977 – REVISED FEBRUARY 1999

schematic (each amplifier)



Component values shown are nominal.

**TL081, TL081A, TL081B, TL082, TL082A, TL082B
TL082Y, TL084, TL084A, TL084B, TL084Y
JFET-INPUT OPERATIONAL AMPLIFIERS**

SLOS081E – FEBRUARY 1977 – REVISED FEBRUARY 1999

TL082Y chip information

These chips, when properly assembled, display characteristics similar to the TL082. Thermal compression or ultrasonic bonding may be used on the doped-aluminum bonding pads. Chips may be mounted with conductive epoxy or a gold-silicon preform.

