สำนักหอสมุดกลาง พระจอมเกล้าลาดกระบัง

การควบคุมระดับแบบฟัซซี โดยการใช้การประยุกต์ใช้คอมพิวเตอร์

FUZZY LEVEL CONTROL BY USING COMPUTER APPLICATION

จัดทำโดย

นาย นัทวุฒิ ทองไถ่ผา

นาย ศุภวัฒน์ สุตันติราษฎร์

นาย สุธน สอนวัฒนา

เลขหมู่
เลขทะเบียน 42529
วัน, เดือน, ปี 24 พ.ค. 2545

.b.....
.i.....

ปริญญานิพนธ์นี้เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรปริญญาวิศวกรรมศาสตรบัณฑิต

สาขาวิชาวิศวกรรมการวัดคุม

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

ปีการศึกษา 2543

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การควบคุมระดับแบบฟัซซี โดยการใช้การประยุกต์ใช้คอมพิวเตอร์

FUZZY LEVEL CONTROL BY USING COMPUTER APPLICATION

จัดทำโดย

1. นาย นัทวุฒิ ทองไถ่ผา รหัสประจำตัว 41013415
2. นาย ศุภวัฒน์ สุตันติราษฎร์ รหัสประจำตัว 41013428
3. นาย สุธน สอนวัฒนา รหัสประจำตัว 41013431

ปริญญานิพนธ์นี้เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรปริญญาวิศวกรรมศาสตรบัณฑิต
สาขาวิชาวิศวกรรมการวัดคุม
สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง
ปีการศึกษา 2543

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เรื่อง **การควบคุมระดับแบบฟัซซีโดยการใช้การประยุกต์ใช้คอมพิวเตอร์**
(FUZZY LEVEL CONTROL BY USING COMPUTER APPLICAION)

ผู้จัดทำ

1. นาย นัทวุฒิ	ทองไถ่ผา	รหัส 41013415
2. นาย ศุภวัฒน์	สุตันติราษฎร์	รหัส 41013428
3. นาย สุธน	สอนวัฒนา	รหัส 41013431

..... อาจารย์ที่ปรึกษา
ผศ. ประสิทธิ์ จุลเสรีวงศ์

..... อาจารย์ที่ปรึกษา
อาจารย์อัมพวัน ใจกล้า

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

หัวข้อปริญญานิพนธ์	การควบคุมระดับแบบฟัซซีโดยการใช้การประยุกต์ใช้คอมพิวเตอร์
จัดทำโดย	นาย นัทวุฒิ ทองไก่ผา
	นาย ศุภวัฒน์ สุตันติราษฎร์
	นาย สุธน สอนวัฒนา
ระดับการศึกษา	ปริญญาวิศวกรรมศาสตร์บัณฑิต
	สาขาวิชาวิศวกรรมการวัดคุม
ภาควิชา	เทคโนโลยีการวัดคุมทางอุตสาหกรรม
ปีการศึกษา	2543
อาจารย์ผู้ควบคุมปริญญานิพนธ์	ผศ. ประสิทธิ์ จุลเสรีวงศ์
	อาจารย์อัมพวัน ใจกล้า

บทคัดย่อ

โครงงานการควบคุมระดับโดยตัวควบคุมแบบฟัซซี ฉบับนี้เป็นการศึกษาทฤษฎีและหลักการฟัซซีแล้วนำมาประยุกต์ใช้ในการออกแบบตัวควบคุมระดับโดยใช้คอมพิวเตอร์ ซึ่งจะแบ่งระดับการควบคุมออกเป็นระดับหยาบ และระดับละเอียด เพื่อเพิ่มความรวดเร็วและความแม่นยำของเอาท์พุทรอบสัญญาณอ้างอิง ในการออกแบบการควบคุมระดับหยาบ ใช้การปิด – เปิด วาล์วที่ 0% หรือ 100 % เพื่อสามารถควบคุมเอาท์พุทของระบบ ให้ลู่เข้าสู่ค่าอ้างอิงได้เร็วและมีโครงสร้างไม่ซับซ้อน สามารถคำนวณได้เร็วและใช้หน่วยความจำน้อย และในการออกแบบตัวควบคุมสำหรับควบคุมระดับละเอียด โดยใช้หลักการฟัซซีเพื่อให้ค่าเอาท์พุทเข้าสู่ค่าอ้างอิงโดยไม่เกิดโอเวอร์ชูทมากนัก และลดค่าผิดพลาดที่สภาวะคงตัว ซึ่งโครงงานนี้สามารถนำไปประยุกต์ใช้ควบคุมระดับของกระบวนการได้จริง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

THESIS	FUZZY LEVEL CONTROL BY USING COMPUTER APPLICATION	
BY	Mr. NATTAWUT	THONGTAIPHAR
	Mr. SUPPAWAT	SUTANTIRAS
	Mr. SUTHON	SORNWATTANA
DEGREE	BACHELOR OF ENGINEERING	
ACADEMIC	2000	
THESIS ADVISOR	Assp. PRASIT	JULSEREEWONG
	Miss UMPAWAN	CHAIKLA

ABSTRACT

This project presents Fuzzy level control by using Computer Application which can be divided the rough and fine control orders, in order to increase speed and accuracy of the output around the setting point. The on – off valve at 0% or 100% is used for design the rough control.The purpose provides the reference value quickly by using simple structure system. About the fine control, the output overshoot and error must be limited by using Fussy theory. According to this project, level control by Computer Application can be applied in real system.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญ

หน้า

บทคัดย่อ i

ABSTACT.....ii

สารบัญ.....iii

สารบัญภาพ.....vi

บทที่ 1 บทนำ

แนวคิดในการนำเสนอปริญญานิพนธ์.....1

วัตถุประสงค์ของปริญญานิพนธ์.....2

ขอบเขตของปริญญานิพนธ์.....2

บทที่ 2 ทฤษฎีทางคณิตศาสตร์เกี่ยวกับฟัซซี

ทฤษฎีเซต (Set Theory)

- คลิปซ์เซต.....3
- เอกภพสัมพัทธ์.....4
- ฟังก์ชันการเป็นสมาชิก.....5
- การเท่ากันของเซต.....6
- การเป็นสับเซต.....7
- ปฏิบัติการพื้นฐานของเซต.....8
- คุณสมบัติของเซต.....9

ทฤษฎีฟัซซีเซต (Fuzzy Set Theory)

- ฟัซซีเซต.....14
- ฟังก์ชันการเป็นสมาชิกของฟัซซีเซต.....15
- การเป็นสับเซตของฟัซซีเซต.....16
- ซัพพอร์ตของฟัซซีเซต.....17
- ฟัซซีซิงเกิลตัน.....18
- เซต α-Level ของฟัซซีเซต.....18
- ความสูงของฟัซซีเซต.....19
- คุณสมบัติของนอมอลไลซ์ฟัซซีเซต.....20

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

- คุณสมบัติการคอนแวกซ์ของฟัซซีเซต....21
- ฟัซซีนัมเบอร์....22
- คาร์ดินาลิตี้ของฟัซซีเซต....22
- การปฏิบัติการพื้นฐานของฟัซซีเซต....23

บทที่ 3 ฟัซซีลอจิก

ตัวแปรลิงกวิสติก....24
ทฤษฎีตรรกศาสตร์แบบเดิม....25
ทฤษฎีฟัซซีลอจิก....26
ความสัมพันธ์ฟัซซี....28

บทที่ 4 ตัวควบคุมฟัซซี และการออกแบบฟัซซีในการควบคุมระดับน้ำ

ฐานกฎการควบคุมฟัซซี....32
การฟัซซีฟิเคชั่น....33
การอินเฟอเรนซ์แบบฟัซซี....34
การดีฟัซซีฟิเคชั่น....35
- การหาค่าระดับการเป็นสมาชิกสูงสุด....35
- การหาค่าจุดศูนย์กลางฟัซซี....36
- การหาค่าเฉลี่ยของน้ำหนัก....36
- การหาค่ากลางสูงสุด....37

การออกแบบฟัซซีในการควบคุมระดับน้ำ
- การกำหนดเซตทางอินพุทของ Fuzzy....40
- การกำหนดหน่วยกฎการควบคุม....41
- การกำหนดหน่วยฟัซซีฟิเคชั่น....42
- การกำหนดของหน่วยฟัซซีอินเฟอร์เรนท์....43
- การกำหนดหน่วยดีฟัซซีฟิเคชั่น....45

บทที่ 5 หน่วยอินเตอร์เฟสและรับ — ส่งข้อมูล

ความรู้เบื้องต้นเกี่ยวกับพอร์ทอนุกรม....47
การสื่อสารข้อมูลแบบอะซิงโครนัส....48
มาตรฐานพอร์ทอนุกรมแบบ RS-232....49

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

อุปกรณ์อินพุท / เอาท์พุท.....55
วงจร A/D.....55
วงจร D/A.....57
วงจรแปลงแรงดันเป็นกระแส.....58
โครงสร้าง MCS-51.....59
โปรโตคอลที่ใช้ในการติดต่อระหว่างกระบวนการและคอมพิวเตอร์.....79
บทที่ 6 โปรแกรม Visaul Basic 6.0
แสดงขั้นตอนการทำงานของโปรแกรม
- Flow Chart.....91
บทที่ 7 การทดลองและผลการทดลอง
ผลการทดลอง.....92
บทที่ 8 สรุปผลการทดลอง ปัญหา และแนวทางการพัฒนา
สรุปผลการทดลอง.....97
ปัญหา.....97
แนวทางการพัฒนา.....97

บรรณานุกรม.....99
ภาคผนวก รายละเอียดข้อมูล Interface.....100
กิตติกรรมประกาศ.....110

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญภาพ

หน้า

รูปที่ 2.1 แสดงคลิชป์เซต....3
รูปที่ 2.2 แสดงเอกภพสัมพัทธ์....4
รูปที่ 2.3 แสดงการเท่ากันของเซต....5
รูปที่ 2.4 แสดงการเป็นสับเซต....6
รูปที่ 2.5 แสดงการเป็นยูเนียน....6
รูปที่ 2.6 แสดงการอินเตอร์เซกชั่น....7
รูปที่ 2.7 แสดงการคอมพลีเมนต์....7
รูปที่ 2.8 แสดงการดิฟเฟอร์เรนท์....8
รูปที่ 2.9 แสดงคุณสมบัติ Associativity....9
รูปที่ 2.10 แสดงคุณสมบัติ Distributivity....10
รูปที่ 2.11 แสดงคุณสมบัติ Distributivity....11
รูปที่ 2.12 แสดงคุณสมบัติ dempotency....11
รูปที่ 2.13 แสดงคุณสมบัติIdempotency....12
รูปที่ 2.14 แสดงคุณสมบัติIdempotency....12
รูปที่ 2.15 แสดงคุณสมบัติdempotency....13
รูปที่ 2.16 แสดงคุณสมบัติIdempotency....13
รูปที่ 2.17 แสดงคุณสมบัติIdempotency....14
รูปที่ 2.18 แสดงคุณสมบัติIdempotency....14
รูปที่ 2.19 แสดงฟัซซี่เซต....15
รูปที่ 2.20 แสดงการเท่ากันของฟัซซี่เซต....16
รูปที่ 2.21 แสดงการเป็นสับเซตของฟัซซี่เซต....17
รูปที่ 2.22 แสดงซัพพอร์ตของฟัซซี่เซต....17
รูปที่ 2.23 แสดงฟัซซี่ซิงเกิลตัน....18
รูปที่ 2.24 แสดง α-LEVEL ของฟัซซี่เซต....19
รูปที่ 2.25 แสดงความสูงของฟัซซี่เซต....19
รูปที่ 2.26 แสดงคุณสมบัติการนอมอลไลซ์ฟัซซี่เซต....20

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รูปที่ 2.27 แสดงการคอนแวกซ์ของฟัซซี่เซต.....21
รูปที่ 2.28 แสดงฟัซซี่นัมเบอร์.....22
รูปที่ 2.29 แสดงการยูเนียนของเซต.....23
รูปที่ 2.30 แสดงการอินเตอร์เซกชั่น.....24
รูปที่ 3.1 แสดงความสัมพันธ์ฟัซซี่..... 28
รูปที่ 3.2 การคอมโพสิชันของความสัมพันธ์ฟัซซี่..... 29
รูปที่ 4.1 โครงสร้างพื้นฐานของตัวควบคุมฟัซซี่..... 32
รูปที่ 4.2 แสดงการฟัซซิฟิเคชั่นแบบซิงเกิลตัน..... 33
รูปที่ 4.3 แสดงการอิสเฟอร์เรนท์แบบฟัซซี่..... 34
รูปที่ 4.4 แสดงการดีฟัซซีฟิเคชั่นแบบสูงสุด..... 35
รูปที่ 4.5 แสดงการดีฟัซซีฟิเคชั่นแบบจุดศูนย์กลาง 36
รูปที่ 4.6 แสดงการดีฟัซซีฟิเคชั่นแบบหาค่าเฉลี่ยน้ำหนัก.....37
รูปที่ 4.7 แสดงการดีฟัซซีฟิเคชั่นแบบหาค่ากลางสูงสุด.....38
รูปที่ 4.8 แสดงการควบคุมโดยใช้ตัวฟัซซี่.....39
รูปที่ 4.9 แสดงชุดเซต Error.....40
รูปที่ 4.10 แสดงชุดเซต dError..... 41
รูปที่ 4.11 แสดงการอินเฟอร์เรนท์..... 42
รูปที่ 4.12 แสดงการทำฟัซซิฟิเคชั่น..... 44
รูปที่ 4.13 แสดงการอินเฟอร์เรนท์.....45
รูปที่ 4.14 แสดงการดีฟัซซิฟิเคชั่น.....46
รูปที่ 5.1 ไดอะแกรมเวลาของการสื่อสารข้อมูลแบบซิงโครนัส..... 47
รูปที่ 5.2 ไดอะแกรมเวลาของการสื่อสารข้อมูลแบบอะซิงโครนัส..... 48
รูปที่ 5.3 การจัดขา DB-25.....53
รูปที่ 5.4 การติดต่ออุปกรณ์ภายนอกผ่านพอร์ทอนุกรม..... 54
รูปที่ 5.5 ไดอะแกรม MCS-8051.....60
รูปที่ 5.6 ภาพแสมือนหน่วยความจำ.....60
รูปที่ 5.7 ชุดข้อมูลอนุกรมโหมด 1..... 63
รูปที่ 5.8 ชุดข้อมูลอนุกรมโหมด 2.....64

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รูปที่ 5.9 SCON..... 65
รูปที่ 5.10 Time mode 0 : 13 bit out.....68
รูปที่ 5.11 TMOD..... 69
รูปที่ 5.12 Interrupt Signal.....70
รูปที่ 5.13 Interrupt EnableRegister.....71
รูปที่ 6.1 แสดง Control Button..... 82
รูปที่ 7.1 กระบวนการที่ใช้ในการทดลองและชุดอินเทอร์ฟส.....97

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 1
บทนำ

แนวคิดในการนำเสนอโครงงาน

ปัจจุบันในการออกแบบระบบควบคุมอัตโนมัติ สำหรับควบคุมกระบวนการทางอุตสาหกรรมแบบที่ใช้อยู่เดิม ใช้วิธีการประมาณโมเดลทางคณิตศาสตร์ของกระบวนการ สำหรับในอุตสาหกรรมขนาดใหญ่และมีความซับซ้อน เช่น กระบวนการผลิตซีเมนต์ กระบวนการทำปฏิกิริยาทางเคมี Biotechnological Production Process และกระบวนการหลอมโลหะ เป็นต้น มักจะพบปัญหาว่ากระบวนการเหล่านี้จะไม่เป็นเชิงเส้น ซึ่งในการประมาณโมเดลทางคณิตศาสตร์ของกระบวนการทำได้ยาก และถ้าการประมาณค่าโมเดลทางคณิตศาสตร์ของกระบวนการผิดพลาดจะทำให้ได้สมรรถนะของระบบควบคุมไม่ดี

ตามปกติความรู้และประสบการณ์ในการควบคุมกระบวนการเหล่านี้ มักจะอยู่ในรูปภาษามนุษย์ซึ่งง่ายต่อการทำความเข้าใจและปฏิบัติตาม แต่ยากสำหรับการนำไปออกแบบและสร้างเป็นตัวควบคุมอัตโนมัติโดยวิธีการแบบดั้งเดิม ทั้งนี้เนื่องจากวิธีการในการควบคุมของผู้ปฏิบัติการจะเป็นกฎ ซึ่งอยู่ในรูปเงื่อนไข ถ้า..... แล้ว..... โดยตัวแปรที่ใช้ในกฎการควบคุมจะถูกนิยามในเชิงคุณภาพและค่าของตัวแปรนี้มีความคลุมเครือด้วยเหตุนี้จึงได้นำหลักการของฟัซซีมาประยุกต์ใช้ในการออกแบบระบบควบคุม โดยแปลงความรู้ที่ได้จากประสบการณ์การควบคุมของผู้ปฏิบัติการที่อยู่ในรูปเงื่อนไข ถ้า..... แล้ว ..... ให้เป็นกฎการควบคุมที่มีตัวแปรเป็นฟัซซีเซต (Fuzzy Rule) ซึ่งถูกวัดเป็นตัวแปรในเชิงประมาณกับกฎการควบคุมซึ่งถูกนิยามด้วยตัวแปรฟัซซี ตัวควบคุมฟัซซี (Fuzzy Controller) นี้ จะเป็นตัวกลางในการเชื่อมโยงระหว่างสัญญาณที่ใช้งานจริง เช่น สัญญาณในการตรวจวัดค่าต่างๆ จากอุปกรณ์เซ็นเซอร์และสัญญาณที่ใช้ในการควบคุมอุปกรณ์สุดท้ายของกระบวนการ (Final Element) เช่น วาลว์ Valve เพื่อปรับกระบวนการให้เป็นไปตามที่กำหนด

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

วัตถุประสงค์ของโครงงาน

1. ศึกษาหลักการการควบคุมแบบ Fuzzy
2. ศึกษา Program Visual Basic เพื่อใช้ในการเขียนโปรแกรมควบคุมกระบวนการ
3. ศึกษาการติดต่อสื่อสาร การส่งค่า และรับค่าจากกระบวนการระหว่าง Computer กับ Level Plant
4. สามารถควบคุมระดับน้ำได้โดยการเขียนโปรแกรมควบคุมซึ่งอาศัยทฤษฎี Fuzzy

ขอบเขตของโครงงาน

โครงงานนี้นำเสนอการออกแบบตัวควบคุมระดับ โดยนำทฤษฎี Fuzzy มาควบคุมระดับของของเหลว โดยการเขียนโปรแกรมควบคุมบน Computer โดยใช้ Program Visual Basic มาเขียนในส่วน Controller ซึ่งในการควบคุมจะแบ่งการควบคุมเป็น 2 ระดับคือ การควบคุมแบบหยาบ (ON-OFF) และควบคุมแบบฟัซซี (Fuzzy) โดยพิจารณาค่า Error (ค่าเป้าหมาย – ค่าที่ระดับที่มาจากกระบวนการ) และ Change of error (ค่าError (t) - ค่า Error (t-1)) การควบคุมแบบหยาบจะควบคุมเมื่อค่า Error อยู่ในช่วง 20 ถึง 100 , -20 ถึง - 100 และจะควบคุมแบบฟัซซี เมื่อค่า Error อยู่ในช่วง 0 ถึง 20 และ 0 ถึง - 20 เพื่อควบคุมระดับให้ได้ตามต้องการ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 2
ทฤษฎีทางคณิตศาสตร์เกี่ยวกับฟัซซี่

ในการนำระบบฟัซซี่มาใช้งาน จะต้องอาศัยความรู้ทางคณิตศาสตร์เกี่ยวกับฟัซซี่ เพื่อเป็นพื้นฐาน ในการทำความเข้าใจโครงสร้างของระบบฟัซซี่ เพราะฉะนั้นในบทนี้เนื้อหาจะกล่าวถึงทฤษฎีทางคณิตศาสตร์เกี่ยวกับฟัซซี่ โดยมีทฤษฎีทางคณิตศาสตร์ของเซตแบบเดิมเป็นตัวเปรียบเทียบ ซึ่งมีรายละเอียดดังต่อไปนี้

2.1 ทฤษฎีเซตแบบเดิม (CRISP SET THEORY)

2.1.1. คลิชป์เซต (CRISP SET)

คลิชป์เซต คือ กลุ่มของสมาชิกที่มีคุณสมบัติตามข้อกำหนด ซึ่งอาจจะมีจำนวนจำกัดหรือไม่จำกัดก็ได้

รูปที่ 2.1 แสดงคลิชป์เซต

กำหนด

A เป็นคลิชป์เซต

U เป็นเอกภพสัมพัทธ์

u เป็นสมาชิกทั้งหมดในเอกภพสัมพัทธ์ U มีค่า {0,1,2,3,4,5,6,7,8,9}

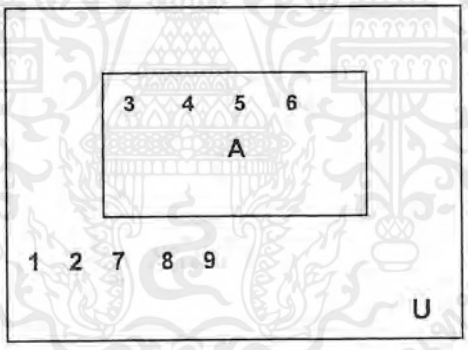
จากรูป 2.1 เอกภพสัมพัทธ์ U มีสมาชิก u ทั้งหมด 10 ตัว คือ {0,1,2,3,4,5,6,7,8,9} โดยมีเซต A เป็นเซตในเอกภพสัมพัทธ์ และมีสมาชิก u คือ {3,4,5,6} เป็นสมาชิกของเซต A เนื่องจากมีระดับการเป็นสมาชิกเท่ากับ 1 ส่วนสมาชิก u คือ {0,1,2,7,8,9} ไม่เป็นสมาชิกของเซต A เนื่องจากมีระดับการเป็นสมาชิกเท่ากับ 0 ซึ่งจะพบว่าเซต A สามารถแบ่งแยกการเป็น

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สมาชิกได้อย่างชัดเจน คือการแบ่งแยกจากระดับการเป็นสมาชิกว่าเป็น 1 หรือ 0 ซึ่งก็คือคุณสมบัติของคลิชป์เซต จำนวนสมาชิกในคลิชป์เซต หรือการที่สมาชิก u มีระดับการเป็นสมาชิกเท่ากับ 1 สามารถมีจำนวนเท่าใดขึ้นอยู่กับข้อกำหนดของเซต A โดยอาจจะมีจำนวนจำกัด คือ {3,4,5,6} ดังรูปที่ 2.1 หรือเซต A อาจจะมีข้อกำหนดที่กว้างทำให้ได้สมาชิกของเซต A คือ {1,2,3,4,...} ซึ่งก็คือจะมีสมาชิกจำนวนไม่จำกัด

2.1.2. เอกภพสัมพัทธ์ (UNIVERSE OF DISCOURSE : U)

เอกภพสัมพัทธ์ คือ เซตที่มีสมาชิกเป็นสมาชิกทั้งหมดของขอบเขตที่ทำการพิจารณา กำหนดให้ u เป็นสมาชิกใด ๆ ของเอกภพสัมพัทธ์ U เขียนแทนด้วยสัญลักษณ์ u ∈ U จากรูปที่ 2.1 ที่กล่าวมาแล้ว เอกภพสัมพัทธ์ U มีสมาชิก u ทั้งหมด คือ {0,1,2,3,4,5,6,7,8,9} ซึ่งก็คือขอบเขตของการพิจารณาหนึ่งนั่นเอง ซึ่งสามารถแสดงตัวอย่างได้ เช่น จำนวนเต็มที่มีค่ามากกว่า หรือ เท่ากับ 0 แต่น้อยกว่าหรือเท่ากับ 9 ซึ่งขอบเขตของการพิจารณาดังรูปที่ 2.1 หรืออาจจะเกิดจากเงื่อนไขอื่นก็ได้ที่ทำให้เอกภพสัมพัทธ์ U มีสมาชิก u ทั้งหมด {1,2,3,4,5,6,7,8,9} ซึ่งสามารถแสดงเอกภพสัมพัทธ์อีกกรณีหนึ่งดังรูปที่ 2.2



รูปที่ 2.2 แสดงเอกภพสัมพัทธ์

2.1.3. ฟังก์ชันการเป็นสมาชิก (MEMBERSHIP FUNCTION : μ)

ฟังก์ชันการเป็นสมาชิกของเซต เขียนแทนด้วยสัญลักษณ์ μ ถูกนิยามดังนี้

$\mu_A(u)$ มีค่าเท่ากับ 1 เมื่อ u เป็นสมาชิกของเซต A
$\mu_A(u)$ มีค่าเท่ากับ 0 เมื่อ u ไม่เป็นสมาชิกของเซต A

ซึ่งจากรูปที่ 2.1 จะพบว่าสมาชิกของเซต A ที่มีระดับการเป็นสมาชิกเท่ากับ 1 คือ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

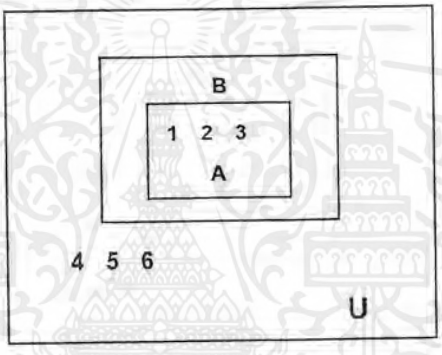
{3,4,5,6} และสมาชิกของเซต A ที่มีระดับการเป็นสมาชิกเท่ากับ 0 คือ {0,1,2,7,8,9} ซึ่งทำให้สามารถสรุปได้ว่าฟังก์ชันการเป็นสมาชิกของคลิชป์เซตมีอยู่ 2 ระดับ คือ ถ้าระดับการเป็นสมาชิกมีค่าเท่ากับ 1 หมายความว่าเป็นสมาชิกของเซต และถ้ามีค่าเท่ากับ 0 หมายความว่าไม่เป็นสมาชิกของเซต

2.1.4. การเท่ากันของเซต

เซต A จะเท่ากับเซต B ก็ต่อเมื่อ สมาชิกทุกตัวของเซต A เป็นสมาชิกของเซต B และสมาชิกทุกตัวของเซต B เป็นสมาชิกของเซต A เขียนแทนด้วยสัญลักษณ์ A=B

โดยที่

$$(A=B) \longleftrightarrow \{(\forall a \in B) \Lambda (\forall b \in A) ; a \in A, b \in B\}$$



รูปที่ 2.3 แสดงการเท่ากันของเซต

จากรูปที่ 2.3 พบว่า เซต A มีสมาชิก A= {1,2,3} และเซต B ก็มีสมาชิกเท่ากับ {1,2,3} เช่นกัน และทั้ง 2 เซตอยู่ในเอกภพสัมพัทธ์ U เดียวกัน ซึ่งแสดงว่าเซต A เท่ากับเซต B

2.1.5. การเป็นสับเซต (SUBSET)

เซต A จะเป็นสับเซตของเซต B ก็ต่อเมื่อ สมาชิกทุกตัวของเซต A เป็นสมาชิกของเซต B เขียนแทนด้วยสัญลักษณ์ $A \subseteq$

โดยที่

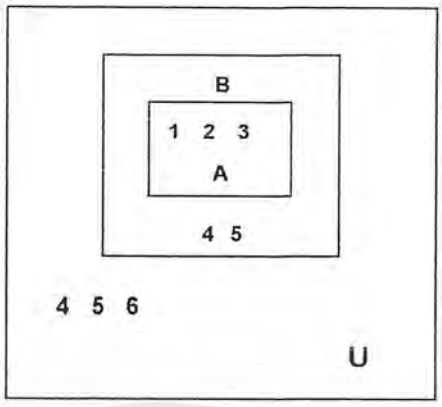
$$(A \subseteq B) \longleftrightarrow \{(\forall a \in B) ; a \in A\}$$

เซต A จะเป็นสับเซตแท้ของเซต B ก็ต่อเมื่อสมาชิกทุกตัวของเซต A เป็นสมาชิกของเซต B และเซต A ไม่เท่ากับเซต B เขียนแทนด้วยสัญลักษณ์ $A \subset B$

โดยที่

$$(A \subset B) \longleftrightarrow \{(\forall a \in B) \Lambda (A \neq B) ; a \in A\}$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.4 แสดงการเป็นสับเซต

จากนิยามของการเป็นสับเซต ของ A เป็นสับเซต B ซึ่งจากรูปที่ 2.4 เซต A ที่สมาชิกคือ {1,2,3} และเซต B มีสมาชิก {1,2,3,4,5} ซึ่งจะพบว่าสมาชิกทุกตัวของเซต A เป็นสมาชิกของเซต B แสดงว่ารูปที่ 2.4 เป็นสับเซต B ส่วนในรูปที่ 2.3 เซต A มีสมาชิก คือ {1,2,3} เซต B มีสมาชิกคือ {1,2,3} เช่นกัน ซึ่งก็ยังพบว่าเซต A เป็นสับเซต B หรือเซต B เป็นสับเซต A ก็ได้ ส่วนในนิยามของการเป็นสับเซตแท้ของเซต A เป็นสับเซตแท้ของ เซต B ย่อมจะพิจารณาได้ว่าเซตในรูปที่ 2.4 เซต A เป็นสับเซตแท้ของ B อันเนื่องจากเซต A ไม่เท่ากับเซต B แต่ในรูปที่ 2.3 เซต A ไม่เป็นสับเซตแท้ของ B เนื่องมาจากเซต A เท่ากับเซต B

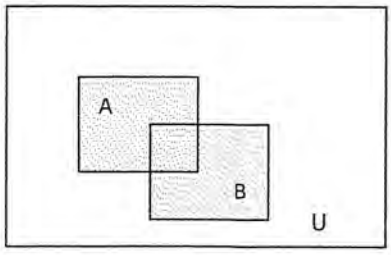
2.1.6. ปฏิบัติการพื้นฐานของเซต (OPERATIONS ON CRISP SET)

กำหนดให้เซต A และเซต B เป็นเซตในเอกภพสัมพัทธ์ U โดยมีสมาชิก u เป็นสมาชิกทั้งหมดในเอกภพสัมพัทธ์ ซึ่งสามารถแสดงการกระทำทางเซตได้ดังนี้

ก. **UNION** $(A \cup B) = \{u|u \in A \text{ or } u \in B\}$

โดยที่ u|u หมายถึง u โดยที่ u

ซึ่งความหมายโดยรวมหมายความว่า สมาชิกทุกตัวที่เป็นสมาชิกของเซต A หรือเป็นสมาชิกของเซต B



รูปที่ 2.5 แสดงการยูเนียน

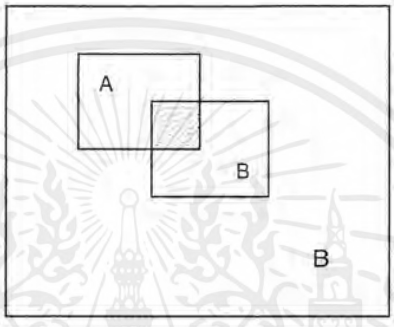
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากรูปที่ 2.5 จะได้สมาชิกที่อยู่ในเซต A หรือเซต B ก็ได้ ซึ่งสามารถแสดงสมาชิกที่ได้จากการยูเนียนด้วยส่วนที่แรเงาดังรูปที่ 2.5

ข. INTERSECTION $(A \cap B) = \{u|u \in A \text{ and } u \in B\}$

โดยที่ u|u หมายถึง u โดยที่ u

ซึ่งความหมายโดยรวมหมายความว่า สมาชิกที่จะต้องเป็นสมาชิกของเซต A และเซต B



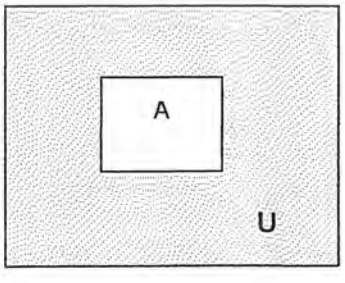
รูปที่ 2.6 แสดงการอินเตอร์เซกชั่น

จากรูปที่ 2.6 เซต A อินเตอร์เซกชั่นเซต B จะได้สมาชิกของ u ที่เป็นสมาชิกของเซต A และต้องเป็นสมาชิกของเซต B ด้วย ซึ่งแสดงสมาชิกของ u ในส่วนที่แรเงา

ค. COMPLEMENT $\overline{A} = \{u|u \notin A, u \in U\}$

โดยที่ u|u หมายถึง u โดยที่ u

ซึ่งความหมายโดยรวมหมายความว่า เซตที่มี u เป็นสมาชิก โดยที่ u ไม่ได้เป็นสมาชิกของเซต A แต่ u เป็นสมาชิกของเอกภพสัมพัทธ์



รูปที่ 2.7 แสดงการคอมพลีเมนต์

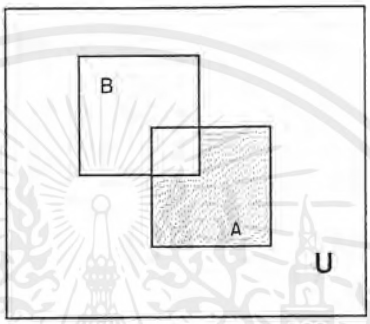
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากรูปที่ 2.7 การคอมพลีเมนต์ของเซต A จะได้สมาชิก u ที่เป็นสมาชิกของเอกภพสัมพัทธ์ แต่ไม่เป็นสมาชิกของเซต A

ง. **DIFFERENCE** $A/B = \{u|u \in A \text{ and } u \notin B\}$

โดยที่ u|u หมายถึง u โดยที่ u

ซึ่งความหมายโดยรวมหมายความถึง เซตที่มีสมาชิก u เป็นสมาชิก โดยมี u ต้องเป็นสมาชิกของเซต A แต่ต้องไม่เป็นสมาชิกของเซต B



รูปที่ 2.8 แสดงการดิฟเฟอร์เรนท์

จากรูปที่ 2.8 แสดงถึงเซตที่มี u เป็นสมาชิก โดยมี u เป็นสมาชิกของเซต A แต่ u ไม่ได้เป็นสมาชิกของเซต B ซึ่งแสดงในส่วนที่แรเงา

2.1.7. คุณสมบัติของเซต (PROPERTIES OF CRISP SET)

กำหนดให้

A,B,C เป็นเซตในเอกภพสัมพัทธ์ U

U เป็นเอกภพสัมพัทธ์

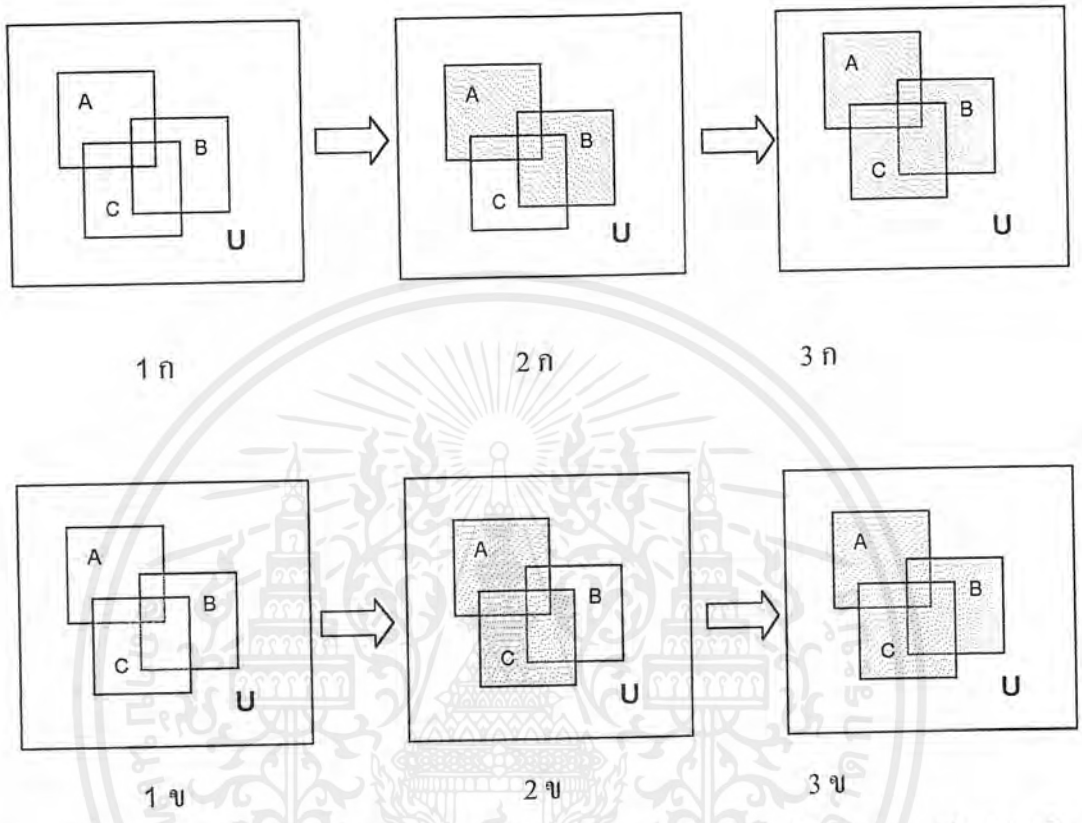
ก. **COMMUTATIVITY** $A \cup B = B \cup A$ (union)

$A \cap B = B \cap A$ (intersection)

จากรูปที่ 2.5 แดงการยูเนี่ยนจึงจะพบว่าไม่ว่าเซต A ยูเนี่ยนเซต B หรือเซต B ยูเนี่ยนเซต A ก็ยังหมายความรวมถึงสมาชิกทั้งหมดที่อยู่ทั้งใน A และ B ซึ่งก็ยังคงได้ส่วนที่แรเงาส่วนในรูปที่ 2.6 ก็ยังคงพบว่าไม่ว่าเซต A อินเตอร์เซกชั่นเซต B หรือเซต B อินเตอร์เซกชั่นเซต A ค่าของการอินเตอร์เซกชั่นยังคงต้องเป็นค่าที่อยู่ทั้งในสมาชิกของเซต A และสมาชิกของเซต B ซึ่งก็แสดงได้ในส่วนที่แรเงาเช่นกัน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ข. **ASSOCIATIVITY** $C \cup (A \cup B) = (C \cup A) \cup B$ (union)



รูปที่ 2.9 แสดงคุณสมบัติ ASSOCIATIVITY C ∪ A ∪ B) = (C ∪ A) ∪ B

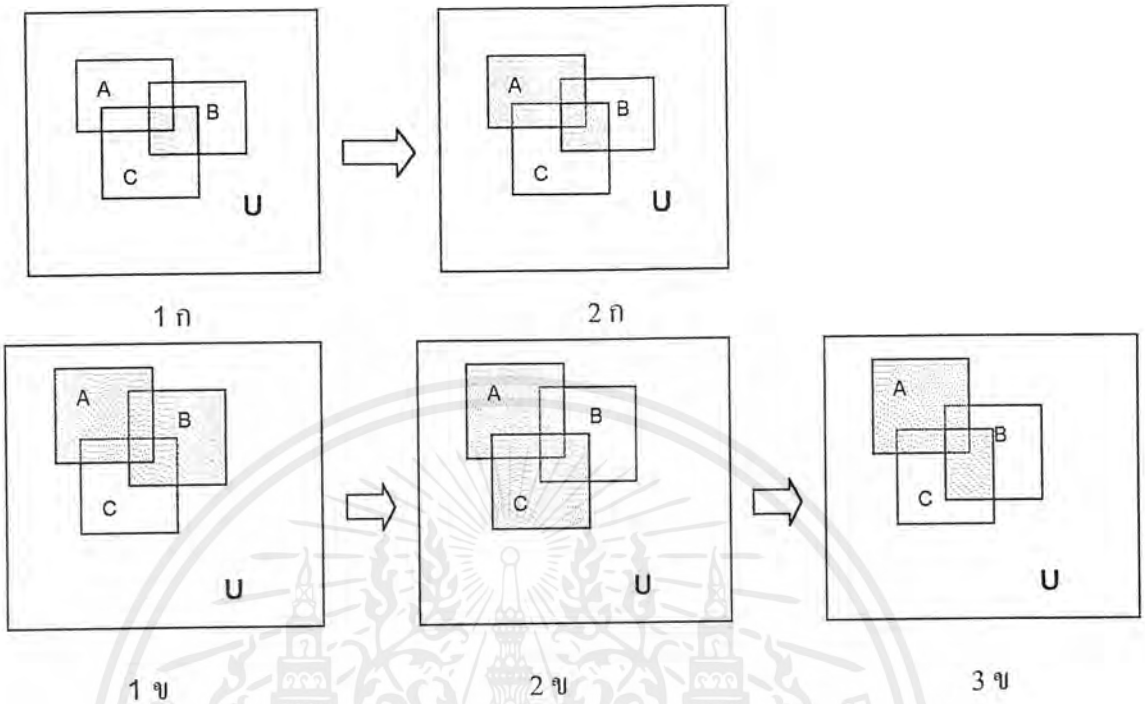
จากรูปที่ 2.9 ถ้าเริ่มต้นที่เซต A,B,C ไม่ว่าจะเริ่มทำการยูเนี่ยนเซตคู่ใดก่อน ก็จะมีผลทำให้คำตอบสุดท้ายเท่ากัน ในรูปที่ 2.9 (ก) จะเป็นการกระทำ C ∪ (A ∪ B) โดยเริ่มจาก 2.9(2 ก) จะกระทำ A ∪ B ก่อนแล้วจึงจะนำมาทำการยูเนียนอีกทีหนึ่งกับ C ส่วนในรูป 2.9 (ข) จะกระทำ (C ∪ A) ∪ B โดยเริ่มที่กระทำ C ∪ A แล้วจึงทำการยูเนี่ยนกับ B ทำให้ได้ผลลัพธ์ครั้งสุดท้ายของการยูเนี่ยนเท่ากันดังแสดงในรูปที่ 2.9 (3ก), (3ข)

ค. **DISTRIBUTIVITY**

$A \cup B \cap C) = (A \cup B) \cap (A \cup C)$ (union → intersection)

$A \cap (B \cup C) = (A \cap B) \cup (A \cap C)$ (intersection → union)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

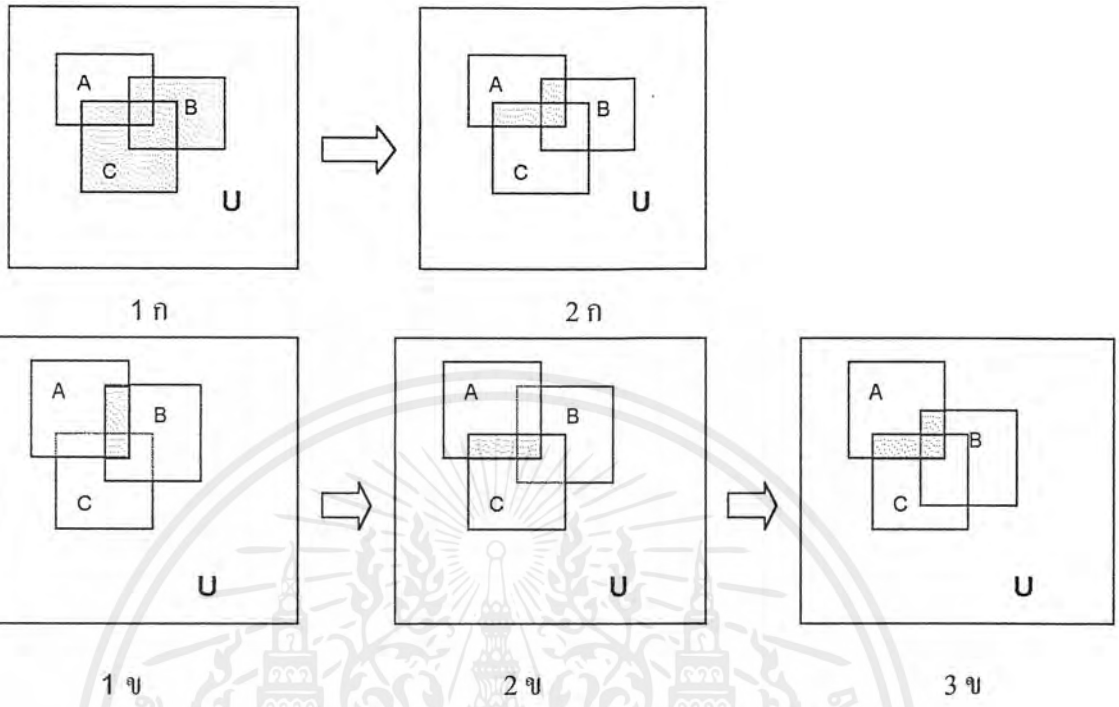


รูปที่ 2.10 แสดงคุณสมบัติ DISTRIBUTIVITY

$A \cup (B \cap C) = (A \cup B) \cap (A \cup C)$

จากคุณสมบัติ DISTRIBUTIVITY $A \cup (B \cap C) = (A \cup B) \cap (A \cup C)$ แสดงได้ในรูปที่ 2.10 ซึ่งจะได้พบว่าไม่ว่าจะนำเซต B มาอินเตอร์เซกชั่น กับเซต C ก่อนแล้วจึงนำไปทำการยูเนี่ยนกับเซต A ก็จะได้ผลคำตอบสุดท้ายเท่ากับการที่นำค่าของเซต A มายูเนี่ยนกับเซต B และนำค่าเซต A มายูเนี่ยนกับเซต C อีกทีหนึ่ง และจึงนำผลของ $A \cup B$ และ $A \cup C$ มาทำการอินเตอร์เซกชั่น ก็ยังทำให้คำตอบสุดท้ายมีค่าเท่ากับการนำ $A \cup (B \cap C)$ ส่วนในรูปที่ 2.11 แสดงคุณสมบัติ DISTRIBUTIVITY ของ $A \cap (B \cup C) = (A \cap B) \cup (A \cap C)$ ก็จะพบว่าการนำเซต B มายูเนี่ยนกับเซต C และจึงนำค่าที่ได้มาอินเตอร์เซกชั่นกับเซต A จะมีค่าสุดท้ายเท่ากับการนำเซต A มาอินเตอร์เซกชั่นกับเซต B และนำเซต A มาอินเตอร์เซกชั่นกับเซต C แล้วจึงนำผลของ $A \cap B$ มายูเนี่ยนกับ $A \cap C$ ซึ่งลำดับการกระทำของเซตตามเงื่อนไขต่าง ๆ แสดงได้ โดยรูปที่ เป็นอักษร ก จะเป็นการแสดงการกระทำของ $A \cup (B \cap C) = (A \cup B) \cap (A \cup C)$ โดยการกระทำเรียงลำดับจาก 1, 2, 3 ส่วนในรูปที่เป็น อักษร ข จะเป็นการแสดงการกระทำ $A \cap (E \cup C) = (A \cap B) \cup (A \cap C)$ โดยเรียงลำดับจาก 1, 2, 3 เช่นกัน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

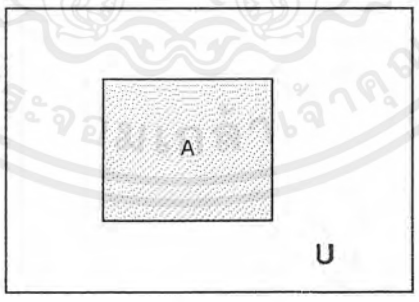


รูปที่ 2.11 แสดงคุณสมบัติ DISTRIBUTIVITY

$$A \cap (B \cup C) = (A \cap B) \cup (A \cap C)$$

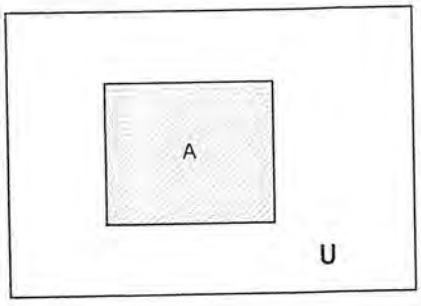
ง. IDEMPOTENCY $A \cup A = A$

$A \cap A = A$



รูปที่ 2.12 แสดงคุณสมบัติ IDEMPOTENCY $A \cup A = A$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

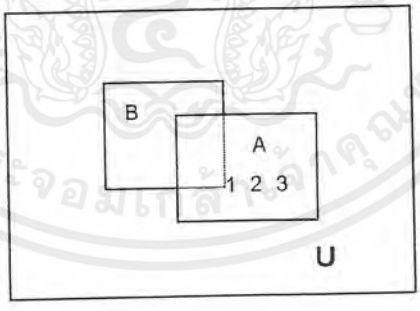


รูปที่ 2.13 แสดงคุณสมบัติ IDEMPOTENCY A ∩ A = A

จากรูปที่ 1.13 แสดงคุณสมบัติ IDEMPOTENCY ในส่วนของ A ∩ A = A ซึ่งจะพบว่าถ้ามีเซตเดียวในเอกภพสัมพัทธ์ ถ้านำคุณสมบัติของการยูเนี่ยน หรือการอินเตอร์เซกชั่น ดังรูปที่ 2.13 ก็จะทำให้ได้คำตอบเท่ากับเซตนั้น

จ. IDENTITY

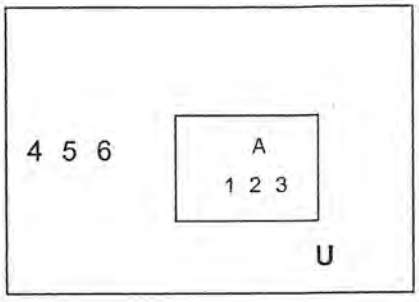
$$A \cup \Phi = A$$
$$A \cap U = A$$
$$A \cap \Phi = \Phi$$
$$A \cup U = U$$



รูปที่ 2.14 แสดงคุณสมบัติ IDEMPOTENCY A ∪ Φ A

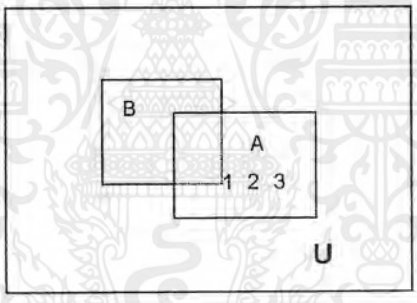
จากรูปที่ 2.14 กำหนดให้เซต A = {1, 2, 3} และเซต B = { } = Φ คือเซต A มีสมาชิก {1, 2, 3} และเซต B เป็นเซตว่าง ถ้านำเซต A มายูเนี่ยนกับเซต B ซึ่งเป็นเซตว่างก็ยังคงได้เซต A เพราะเซตว่างคือเซตที่ไม่มีสมาชิก

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.15 แสดงคุณสมบัติ IDEMPOTENCY A ∩ U = A

จากรูปที่ 2.15 กำหนดให้เซต A มีสมาชิกเท่ากับ {1, 2, 3} และเอกภพสัมพัทธ์มีสมาชิกเท่ากับ {1, 2, 3, 4, 5, 6} โดยเมื่อการอินเตอร์เซกชั่นระหว่างเซต A กับเอกภพสัมพัทธ์ จะทำให้ได้สมาชิกที่ซ้ำกันคือ {1, 2, 3} ซึ่งก็เท่ากับเซต A

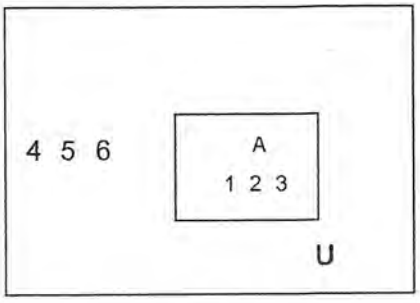


รูปที่ 2.16 แสดงคุณสมบัติ IDEMPOTENCY A ∩ Φ Φ

ในรูปที่ 2.16 ให้เซต A มีสมาชิกเท่ากับ {1, 2, 3} และเซต B เป็นเซตว่าง เพราะฉนั้น การอินเตอร์เซกชั่นระหว่างเซต A กับเซต B จะไม่มีสมาชิกที่ซ้อนทับกัน เนื่องจากเซต B ไม่มีสมาชิกจึงทำให้ได้ค่าสุดท้ายเป็นเซตว่าง

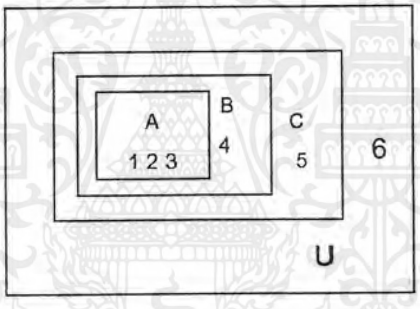
ในรูปที่ 2.17 ให้เซต A มีสมาชิกเท่ากับ {1, 2, 3} และเอกภพสัมพัทธ์มีสมาชิกเท่ากับ {1,2,3,4,5,6} เพราะฉนั้นการที่นำเซต A มายูเนี่ยนกับเอกภพสัมพัทธ์ก็จะทำให้ได้ค่าเซตสุดท้ายเป็นเซตที่มีสมาชิกทั้งของเซต A และเอกภพสัมพัทธ์ซึ่งก็คือ เอกภพสัมพัทธ์ U นั่นเอง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.17 แสดงคุณสมบัติ IDEMPOTENCY A ∪ U = A

ฉ. TRANSITIVITY IF A ⊂ B ⊂ C ,THAN A ⊂ C



รูปที่ 2.17 แสดงคุณสมบัติ TRANSITIVITY

รูปที่ 2.18 จากคุณสมบัติของการเป็นสับเซต (หัวข้อ 2.1.5) ทำให้เราพบว่าเซต A เป็นสับเซตของเซต B และเซต B ก็เป็นสับเซตของเซต C ซึ่งก็จะพบว่าเซต A ก็มีคุณสมบัติเป็นสับเซตของเซต C ด้วย

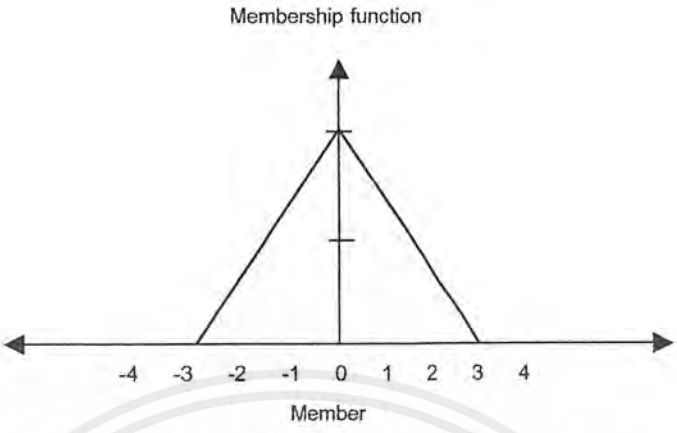
2.2 ทฤษฎีฟัซซี่เซต (Fuzzy set theory)

2.2.1. ฟัซซี่เซต (Fuzzy set)

ฟัซซี่เซต คือ เซตของคู่อันดับ u และฟังก์ชันการเป็นสมาชิก $\mu_A(u)$ โดยที่ u เป็นสมาชิกใด ๆ ของเอกภพสัมพัทธ์ U และ A เป็นฟัซซี่เซต เขียนแทนด้วยสัญลักษณ์ดังนี้

$$A = \{ (u, \mu_A(u)) \mid u \in U \}$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.19 แสดงฟัซซี่เซต

จากรูป 2.19 แสดงให้เห็นถึงฟัซซี่เซต โดยกำหนดให้เอกภพสัมพัทธ์ U มีสมาชิก u = {-4,-3,-2,-1,0,1,2,3,4} ซึ่งจะพบว่ามีสมาชิก u แต่ละค่าจะมีค่าระดับการเป็นสมาชิกของสมาชิกค่านั้น ๆ เป็นคู่ลำดับกันไป ซึ่งทำให้พิจารณาได้ว่า ฟัซซี่เซต จะไม่สามารถแยกแยะการเป็นสมาชิกแต่ละค่าจะมีค่าได้แต่จะอยู่ในช่วง 0 ถึง 1 จึงทำให้ไม่สามารถกำหนดขอบเขตของเซตได้อย่างแน่นอนเหมือนกับเซตแบบเดิมที่มีค่าเท่ากับ 0 หรือ 1

2.2.2. ฟังก์ชั่นการเป็นสมาชิกของฟัซซี่เซต (Membership Function of Fuzzy set : $\mu_A(u)$)

ฟังก์ชั่นการเป็นสมาชิกของฟัซซี่เซต A ถูกนิยามให้มีค่าอยู่ภายในช่วง 0 ถึง 1 เขียนแทนด้วยสัญลักษณ์ $\mu_A(u)$

โดยที่ ค่า $\mu_A(u)$ เป็นค่าที่ระบุความเป็นสมาชิกของ u ในฟัซซี่เซต A

ถ้า $\mu_A(u)$ มีค่าเท่ากับ 0 แสดงว่า u ไม่มีความเป็นสมาชิกของฟัซซี่เซต A

ถ้า $\mu_A(u)$ มีค่าน้อย แสดงว่า u มีความเป็นสมาชิกของฟัซซี่เซต A น้อย

ถ้า $\mu_A(u)$ มีค่ามาก แสดงว่า u มีความเป็นสมาชิกของฟัซซี่เซต A มาก

ถ้า $\mu_A(u)$ มีค่าเท่ากับ 1 แสดงว่า u มีความเป็นสมาชิกของฟัซซี่เซต A อย่างสมบูรณ์

จะได้ว่า $\mu_A(u) : U \longrightarrow \{0,1\}$

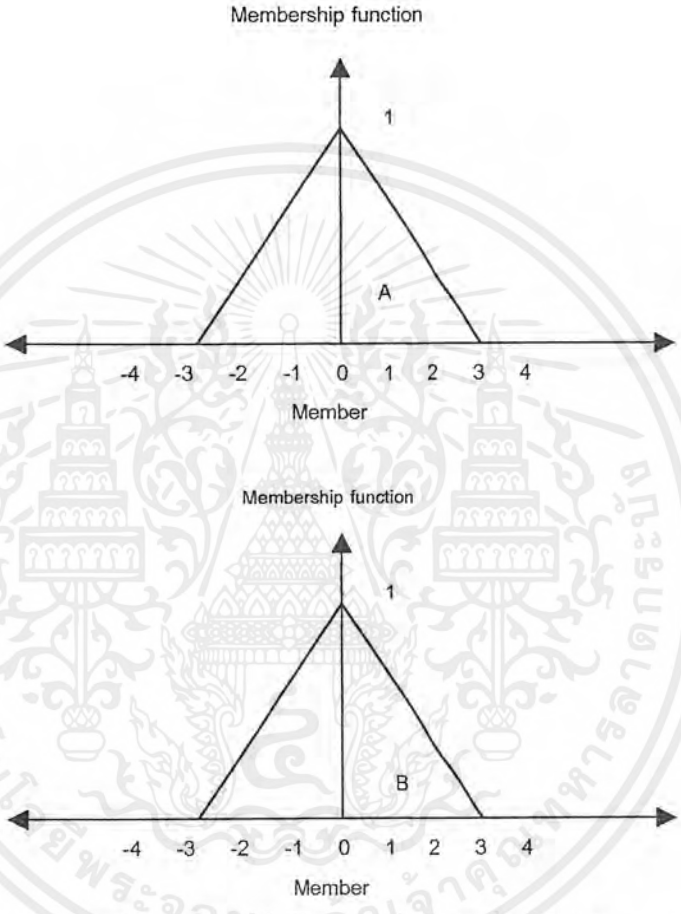
2.2.3. การเท่ากันของฟัซซี่เซต

ฟัซซี่เซต A จะเท่ากับฟัซซี่เซต B ก็ต่อเมื่อ สมาชิก u ทุกตัวในเอกภพสัมพัทธ์ U

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

มีค่า ฟังก์ชันการเป็นสมาชิกของฟัซซี่เซต A เท่ากับค่าฟังก์ชันการเป็นสมาชิกของฟัซซี่เซต B เขียนแทนด้วยสัญลักษณ์ A=B

$$(A = B) \Longleftrightarrow (\mu_A(u) = \mu_A(u) \quad ; \quad \forall u \in U)$$



รูปที่ 2.20 แสดงการเท่ากันของฟัซซี่เซต A กับเซต B

จากรูปที่ 2.20 กำหนด U เป็นเอกภพสัมพัทธ์ u เป็นสมาชิกในเอกภพสัมพัทธ์ทั้งหมดมีค่า {-4,-3,-2,-1,0,1,2,3,4} ฟัซซี่เซต A และเซต B อยู่ในเอกภพสัมพัทธ์เดียวกัน และสมาชิกแต่ละตัวที่มีค่าเดียวกันของฟัซซี่เซต A และฟัซซี่เซต B จะมีระดับการเป็นสมาชิกเท่ากันทุก ๆ ค่าของสมาชิกแต่ละตัว ซึ่งแสดงว่าฟัซซี่เซต A เท่ากับฟัซซี่เซต B

2.2.4. การเป็นสับเซตของฟัซซี่เซต

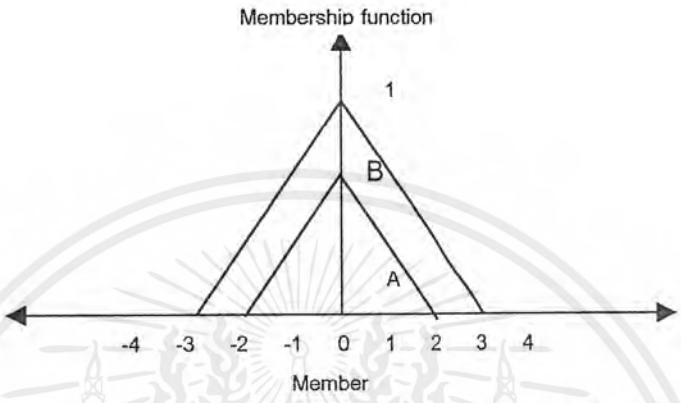
ฟัซซี่เซต A จะเป็นสับเซตของฟัซซี่เซต B ก็ต่อเมื่อ สมาชิก u ทุกตัวในเอกภพ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สำนักหอสมุดกลาง พระจอมเกล้าลาดกระบัง

สัมพัทธ์ U มีค่าฟังก์ชันการเป็นสมาชิกของฟัซซี่เซต A น้อยกว่าหรือเท่ากับค่าฟังก์ชันการเป็นสมาชิกของฟัซซี่เซต B เขียนแทนด้วยสัญลักษณ์ $A \subset B$

$$(A \subset B) \Longleftrightarrow (\mu_A(u) \leq \mu_A(u) \quad ; \quad \forall u \in U)$$



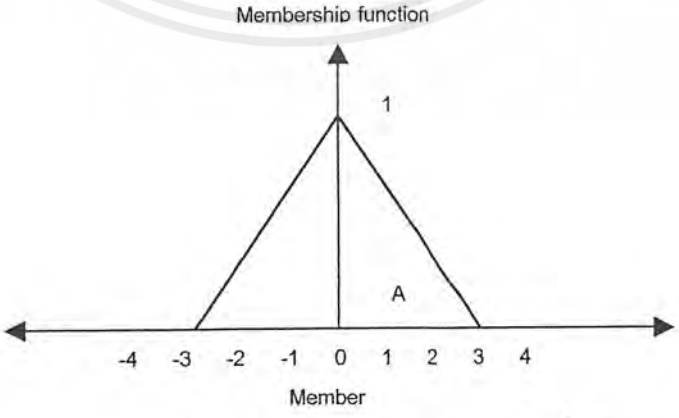
รูปที่ 2.21 แสดงการเป็นสับเซตของฟัซซี่เซต

รูปที่ 2.21 จะพบว่าระดับการเป็นสมาชิกของสมาชิก u ที่ค่าเดียวกันของทั้งฟัซซี่เซต A และ B ค่าระดับการเป็นสมาชิกของ A จะมีค่าน้อยกว่า B ทุก ๆ ค่าของสมาชิก u ซึ่งแสดงถึงการที่ A เป็นสับเซตของ B

2.2.5. ซัพพอร์ตของฟัซซี่เซต (Support : S(A))

ซัพพอร์ตของฟัซซี่เซต คือ เซตของสมาชิก u ในเอกภพสัมพัทธ์ U ที่มีค่าฟังก์ชันการเป็นสมาชิกของฟัซซี่เซตมากกว่า 0 เขียนแทนด้วยสัญลักษณ์ ดังนี้

$$S(A) = \{|u \in U | \quad \mu_A(u) > 0|\}$$



รูปที่ 2.22 แสดงซัพพอร์ตของฟัซซี่เซต

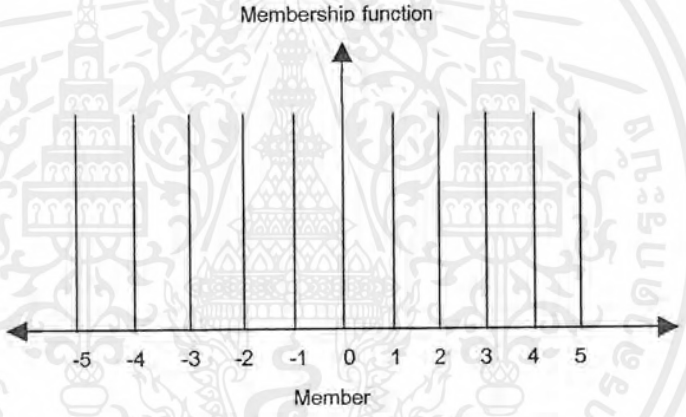
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

42529

จากรูปที่ 2.22 ฟัซซี่เซต A มีคุณสมบัติกับซัพพอร์ตเซต เมื่อค่าสมาชิก u ที่มากกว่า -3 แต่น้อยกว่า 3 มีระดับการเป็นสมาชิกมากกว่า 0 แต่ถ้าตำแหน่งที่สมาชิก u มีระดับการเป็นสมาชิกเท่ากับ 0 จะไม่เป็นซัพพอร์ตเซต

2.2.6. ฟัซซี่ซิงเกิลตัน (Fuzzy Singietion)

ฟัซซีซิงเกิลตัน คือ ฟัซซีเซตที่มีซัพพอร์ตของเซตมีสมาชิกเพียงตัวเดียวและมีค่าฟังก์ชันการเป็นสมาชิกเท่ากับ 1



รูปที่ 2.23 แสดงฟัซซี่ซิงเกิลตัน

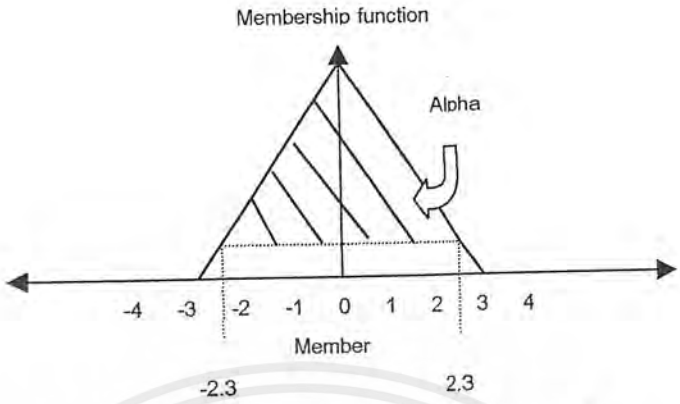
จากรูปที่ 2.23 จะพบว่าสมาชิกของแต่ละเซตจะมีค่าเดียว และจะต้องมีระดับการเป็นสมาชิกเท่ากับหนึ่งด้วย

2.2.7. เซต α-Level ของฟัซซีเซต (A_α)

เซต α-Level ของฟัซซีเซต A คือ เซตของสมาชิก u ในเอกภพสัมพัทธ์ U ที่มีค่าฟังก์ชันการเป็นสมาชิกของฟัซซีเซ่ต A มากกว่าหรือเท่า α เขียนแทนด้วยสัญลักษณ์ดังนี้

$$A_\alpha = \{ |u \in U | \mu_A(u) \geq \alpha | \}$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



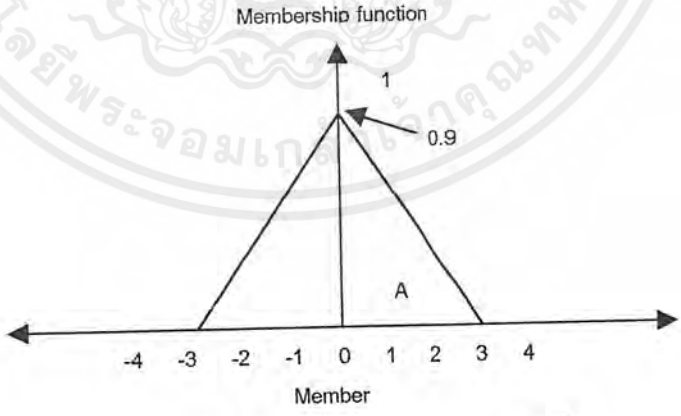
รูปที่ 2.24 แสดง α -Level ของฟัซซี่เซต

จากรูปที่ 2.24 จะพบว่า α -Level ของฟัซซี่เซต A จะมีสมาชิกอยู่ในช่วงมีมากกว่า -2.3 แต่น้อยกว่า 2.3 ซึ่งเป็นช่วงที่มีระดับการเป็นสมาชิกมากกว่าระดับ α

2.2.8. ความสูงของฟัซซีเซต (Height of Fuzzy set)

ความสูงของฟัซซีเซต A คือ ค่าฟังก์ชันการเป็นสมาชิกสูงสุดของฟัซซีเซต A เขียนแทนด้วยสัญลักษณ์ hgt (A)

$$\text{hgt}(A) = \max_{u \in U} \mu_A(u)$$



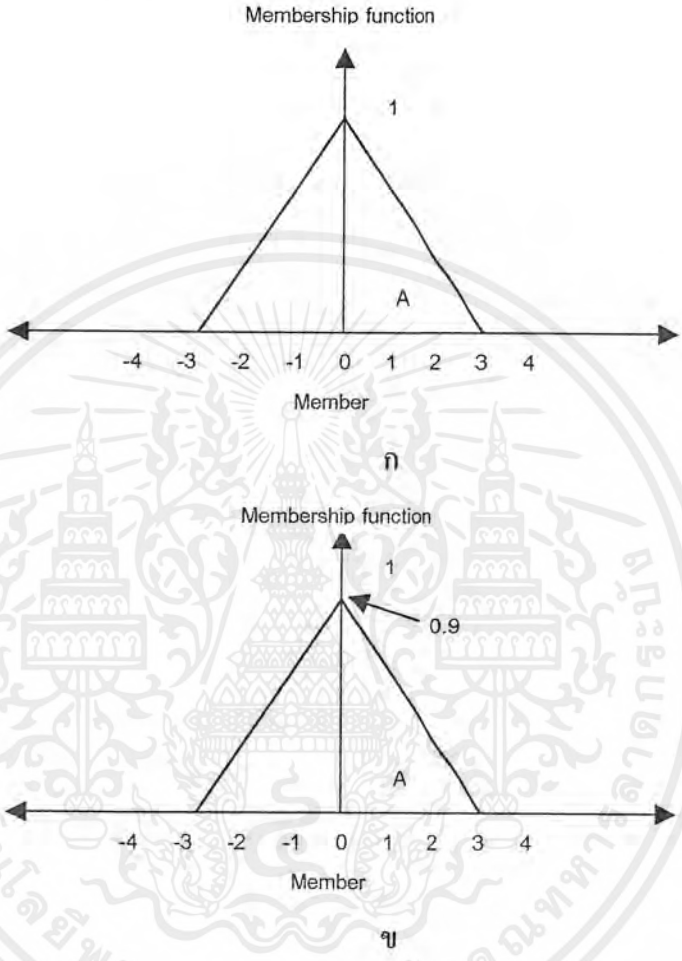
รูปที่ 2.25 แสดงความสูงของฟัซซี่เซต

จากรูปที่ 2.25 จะพบว่าค่าสูงสุดของฟังก์ชัน การเป็นสมาชิกของฟัซซีเซต A มีค่าเท่ากับ 0.9 ซึ่งแสดงว่า ความสูงของฟัซซีเซต A มีค่าเท่ากับ 0.9

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.2.9. คุณสมบัติของนอมอลไลซ์ฟัซซีเซต (Normalization)

ฟัซซีเซต A จะมีคุณสมบัติการนอมอลไลซ์ก็ต่อเมื่อ ฟัซซีเซต A มีความสมบูรณ์เท่ากับ 1



รูปที่ 2.26(ก) แสดงคุณสมบัติการนอมอลไลซ์ฟัซซี่เซต

รูปที่ 2.26(ข) แสดงฟัซซีเซตที่ไม่มีคุณสมบัติการนอมอลไลซ์

จากรูปที่ 2.26(ก) แสดงการนอมอลไลซ์ฟัซซีเซตเนื่องมาจากมีสมาชิกที่มีระดับการเป็นสมาชิกเท่ากับ 1 ส่วนในรูปที่ 2.26(ข) จะไม่มีคุณสมบัติการนอมอลไลซ์ เนื่องจากสมาชิกไม่มีระดับการเป็นสมาชิกเท่ากับ 1

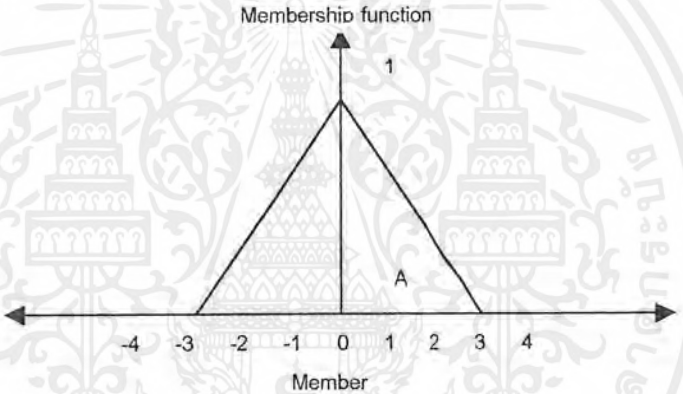
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.2.10. คุณสมบัติการคอนแวกซ์ของฟัซซีเซต (CONVEXITY)

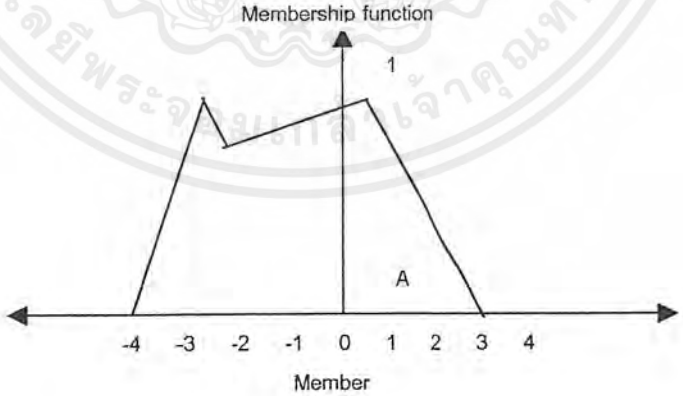
ฟัซซีเซต A จะมีคุณสมบัติการคอนแวกซ์ ก็ต่อเมื่อ ฟังก์ชันการเป็นสมาชิกของ A สอดคล้องตามเงื่อนไขดังต่อไปนี้

$A \text{ is Convexity} \Leftrightarrow \quad \mu_A(\lambda u_1 + (1-\lambda) u_2) > \min\{\mu_A(u_1), \mu_A(u_2)\}$;
$u_1, u_2 \in U, \quad \lambda \in |0,1|$

จากรูปที่ 2.27 (ก) ฟัซซีเซต A จะมีคุณสมบัติของการคอนแวกซ์ก็ต่อเมื่อฟัซซีเซต มีค่าระดับการเป็นสมาชิกที่มีค่าสูงสุดเพียงค่าเดียวโดยไม่จำเป็นต้องมีความสูงเท่ากับ 1 ส่วนในรูป 2.27 (ข) จะมีความสูงของระดับการเป็นสมาชิกสูงสุดมากกว่า 1 ค่า จึงไม่มีคุณสมบัติการคอนแวกซ์



ก



ข

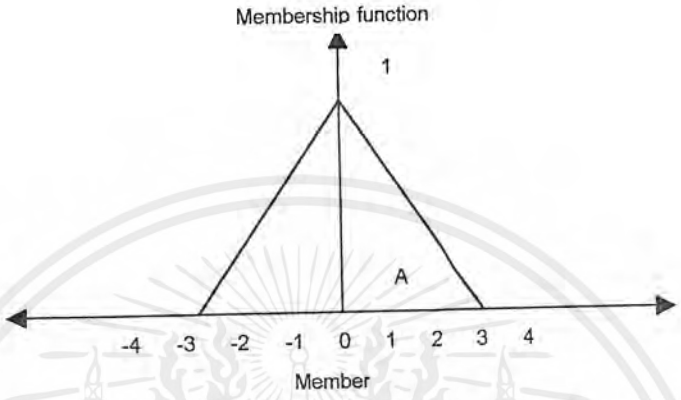
รูปที่ 2.27 (ก) แสดงการคอนแวกซ์ของฟัซซีเซต

รูปที่ 2.27 (ข) แสดงฟัซซีเซตที่ไม่มีคุณสมบัติการคอนแวกซ์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.2.11. ฟัซซีนัมเบอร์ (Fuzzy Number)

ฟัซซีนัมเบอร์ คือ ฟัซซีเซตที่มีคุณสมบัติการนอมอลไลซ์และการคอนแวกซ์



รูปที่ 2.28 แสดงฟัซซีนัมเบอร์

จากรูปที่ 2.28 จะพบว่าฟัซซีนัมเบอร์จะเกิดขึ้นได้ก็ต่อเมื่อจะต้องมีคุณสมบัติการนอมอลไลซ์ ก็คือ คือค่าสูงสุดของฟังก์ชันการเป็นสมาชิกจะต้องมีค่าเท่ากับ 1 และจะต้องมีคุณสมบัติการคอนแวกซ์ คือ จะต้องมีค่าสูงสุดของฟังก์ชันการเป็นสมาชิกค่าเดียว ซึ่งเมื่อนำทั้งสองคุณสมบัติการรวมกัน จะได้คุณสมบัติของฟัซซีนัมเบอร์ คือจะต้องมีคุณสมบัติมีค่าฟังก์ชันการเป็นสมาชิกสูงสุดเท่ากับ 1 และจะต้องมีเพียงค่าเดียวในเซตนั้น ๆ

2.2.12. คาร์ดินาลิตีของฟัซซีเซต (Cardinality)

สกาลาร์คาร์ดินาลิตี (Scalar Cardinality) ของฟัซซีเซต A บนเอกภพสัมพัทธ์ U คือผลบวกของค่าฟังก์ชันการเป็นสมาชิกของ u ทุกตัวในฟัซซีเซต A เขียนแทนด้วยสัญลักษณ์ดังนี้

$$|A| = \sum_{u \in U} \mu_A(u)$$

คาร์ดินาลิตีสัมพัทธ์ (Relation Cardinality) ของฟัซซีเซต A บนเอกภพสัมพัทธ์ U คือ อัตราส่วนระหว่างค่าสกาลาร์คาร์ดินาลิตีของฟัซซีเซต A กับ ค่าสกาลาร์คาร์ดินาลิตีของเอกภพสัมพัทธ์ U เขียนแทนด้วยสัญลักษณ์ ดังนี้

$$||A|| = |A| / |U|$$

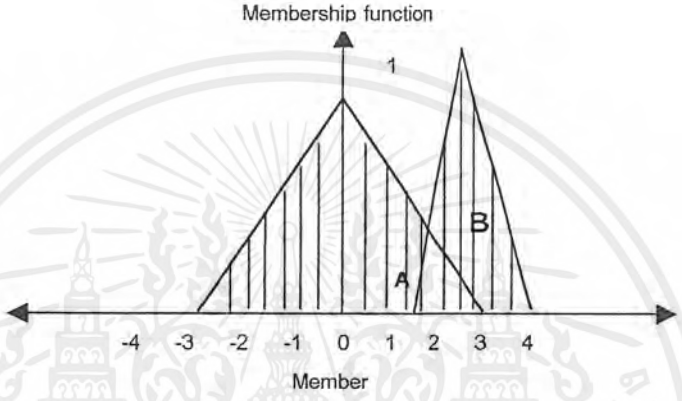
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.2.13. ปฏิบัติการพื้นฐานของฟัซซีเซต (Fuzzy set operations)

กำหนดฟัซซีเซต A,B ในเอกภพสัมพัทธ์ U แสดงการกระทำ ดังนี้

ก. Union

$$\mu_A \cup \mu_B(u) = \mu_A(u) \vee \mu_B(u)$$

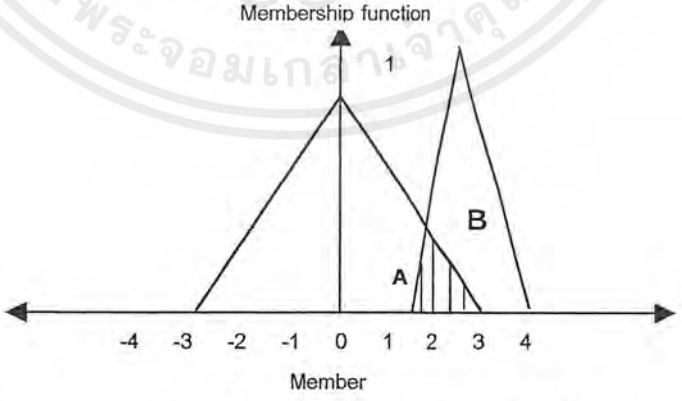


รูปที่ 2.29 แสดงการยูเนียนของฟัซซีเซต

จากรูปที่ 2.29 แสดงการยูเนียน ของฟัซซีเซต A กับฟัซซีเซต B โดยผลที่ได้คือ พื้นที่แรเงาทั้งหมด

ข. Intersection

$$\mu_A \cap \mu_B(u) = \mu_A(u) \wedge \mu_B(u)$$



รูปที่ 2.30 แสดงการอินเตอร์เซกชั่น

จากรูปที่ 2.30 ค่าที่ได้จากการอินเตอร์เซกชั่นคือส่วนที่แรเงา

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 3
ฟัซซีลอจิก

3.1 ตัวแปรลิงกวิสติก (Linguistic Variable)

ตัวแปรลิงกวิสติกคือตัวแปรทางภาษา เหตุที่เรียกว่าตัวแปรทางภาษาก็อันเนื่องมาจากมีการใช้ตัวแปรนี้มาแทนความรู้สึกของมนุษย์ ซึ่งเป็นสิ่งที่บอกขอบเขตที่แน่นอนไม่ได้ โดยสามารถนิยามตัวแปลลิงกวิสติก "Truth" ดังสมการต่อไปนี้

T(Truth) = {not true, very ture, not very ture, …, not false, very false, not very false, …,}

○ นิยามเทอมปฐม (pimary term) ของตัวแปลลิงกวิสติก "Truth" คือ "true" และ "false"

○ นิยามส่วนขยาย (modifier or hedge) ของตัวแปลลิงกวิสติก คือ not, very, not very, ….,

○ นิยาม T คือตัวแปรลิงกวิสติก

ซึ่งจากนิยามทั้งหมดข้างต้น สามารถที่จะยกตัวอย่างตัวแปรลิงกวิสติก หรือความรู้สึกของมนุษย์ที่เกิดขึ้นในชีวิตประจำวันเป็นสมการได้ดังนี้

ถ้ามองที่ผิวของคน ๆ หนึ่งสมมุติว่าชื่อสมชาย จะพบว่าแต่ละความรู้สึกของคนอื่น ๆ ที่มองดูที่ผิวของสมชายแล้วบอกถึงสีที่ไม่ตรงกัน แต่สามารถที่จะแบ่งได้กว้าง ๆ ว่าเป็นสีขาว และสีดำ ฉะนั้น จึงสามารถที่จะกำหนดให้

○ เทอมปฐม (primart term) ของตัวแปรลิงกวิสติก "ผิว" คือ "ขาว" และ "ดำ"

และเมื่อมองความรู้สึกของคนเหล่านั้น สามารถที่จะแยกความรู้สึกย่อยออกไปได้ว่า ขาวมาก ๆ , ขาวมาก, ขาว, ดำ, ดำมาก, ดำมาก ๆ ซึ่งจากข้อความตรงนี้เองที่สามารถกำหนดส่วนขยายของตัวแปรลิงกวิสติกได้คือ

○ ส่วนขยาย (modifier or hedge) ของตัวแปรลิงกวิสติก คือ มาก ๆ, มาก, ไม่รู้สึกมากหรือน้อย

ซึ่งสามารถที่จะนำมาเขียนเป็นตัวแปรลิงกวิสติกได้ดังนี้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

○ T (ผิว) = {ขาวมาก ๆ, ขาวมาก, ขาว, ดำ, ดำมาก, ดำมาก ๆ}

ซึ่งจากนิยามและตัวอย่างทั้งหมดจะสามารถนำไปใช้กำหนดฟัซซีเซตได้ โดยจะกำหนดได้เป็นเซตของ ขาวมาก ๆ, ขาวมาก, ขาว, ดำ, ดำมาก, ดำมาก ๆ ซึ่งรูปร่างของเซตจะต้องใช้ความชำนาญหรือข้อมูลทางสถิติมาใช้เป็นตัวกำหนดว่าช่วงของแต่ละเซตว่าควรมีค่าระดับการเป็นสมาชิกเท่าใดซึ่งจะทำให้เกิดรูปร่างของเซตนั้นขึ้นมา

3.2 ทฤษฎีตรรกศาสตร์แบบเดิม

ทฤษฎีตรรกศาสตร์ซึ่งเป็นหลักการพื้นฐานของการหาข้อสรุปโดยใช้เหตุผล ประกอบด้วย 3 ส่วน คือ ค่าความจริง (truth value) การปฏิบัติการ (vocabulary) และวิธีการหาข้อสรุปตามหลักการเหตุผล (reasoning procedure) ในตรรกศาสตร์บูลีนได้นิยามส่วนประกอบแต่ละส่วนประกอบดังนี้

3.2.1. ค่าความจริงของประพจน์ในตรรกศาสตร์บูลีน

นิยามของประพจน์ คือ ข้อความที่บ่งบอกได้ว่าสิ่งที่สนใจอยู่นั้นเป็นความจริงหรือเท็จ โดยที่ประพจน์ในตรรกศาสตร์บูลีน จะมีค่าความจริงเท่ากับ 0 เมื่อประพจน์เป็นเท็จ
จะมีค่าความจริงเท่ากับ 1 เมื่อประพจน์เป็นจริง

3.2.2 ปฏิบัติการทางตรรกศาสตร์บูลีน

ปฏิบัติการทางตรรกศาสตร์บูลีน คือ การกระทำทางลอจิกของประพจน์ซึ่งผลของการกระทำจะแสดงออกมาในรูปของค่าความจริงของประพจน์โดยตัวกระทำพื้นฐานมีดังนี้

ตัวกระทำ	"และ"	ใช้สัญลักษณ์	Λ
ตัวกระทำ	"หรือ"	ใช้สัญลักษณ์	$\vee$
ตัวกระทำ	"ถ้า...แล้ว"	ใช้สัญลักษณ์	$\rightarrow$
ตัวกระทำ	"...ก็ต่อเมื่อ..."	ใช้สัญลักษณ์	$\leftrightarrow$
ตัวกระทำ	"ตรงข้าม"	ใช้สัญลักษณ์	$\neg$

3.2.3 การหาข้อสรุปตามหลักการเหตุผล

การหาข้อสรุปตามหลักการเหตุผลโดยใช้ทฤษฎีตรรกศาสตร์แบบเดิม จะใช้สัจจนิรันดร์ (tautogy) สำหรับเป็นพื้นฐานในการหาข้อสรุป

โดยนิยามของสัจจนิรันดร์ คือ ประพจน์ที่มีค่าความจริงเป็นจริงเสมอตัวอย่างสัจจนิรันดร์ที่ใช้เป็นพื้นฐานในการหาข้อสรุปตามหลักการเหตุผล (forward data – driven) แสดงดังนี้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

modus ponens : $(A \wedge (A \longrightarrow B) \longrightarrow B$

ซึ่งเงื่อนไขของ modus ponens สามารถอธิบายได้ดังนี้

modus ponens เป็นพื้นฐานของการหาข้อสรุป โดยการแจกแจงจากเหตุสู่ผล ของตรรกศาสตร์แบบเดิม โดยการแจกแจงจากเหตุสู่ผล

กำหนดให้

A แทน หลักฐาน (Premise) ที่หาได้

B แทน ข้อสรุป (Conclusion) ที่ได้

ซึ่งสามารถเขียนการแจกแจงจากเหตุสู่ผลได้คือ IF A THEN B หรือ $A \longrightarrow B$

หรือ

A หลักฐาน (Premise)

$A \longrightarrow B$ การแจงเหตุสู่ผล (Implication)

B ข้อสรุป (Conclusion)

ซึ่งมีความหมายว่า ถ้ามีเหตุการณ์ใดเหตุการณ์หนึ่งเกิดขึ้นเป็นเหตุการณ์ A ที่เหมือนกับเหตุการณ์ A ที่อยู่ใน $(A \longrightarrow B)$ แล้ว ผลของการเกิดเหตุการณ์นี้จะได้ผลลัพธ์เท่ากับ B แต่ถ้าเหตุการณ์ที่เกิดไม่เหมือนกับเหตุการณ์ A ที่อยู่ใน $(A \longrightarrow B)$ แล้วผลลัพธ์ที่ได้จะไม่เท่ากับ B ซึ่งเป็นตัวอย่างที่แสดงให้เห็นถึงการหาข้อสรุปจากเหตุที่เกิดไปสู่ผลที่จะได้

3.3 ทฤษฎีฟัซซีลอจิก

ฟัซซีลอจิกเป็นทฤษฎีทางตรรกศาสตร์ ที่ขยายมาจากทฤษฎีตรรกศาสตร์หลายค่า (multivalued logic) โดยนิยามค่าความจริงของประพจน์เป็นตัวแปรลิงกวิสติก ได้มีการนิยามการปฏิบัติการทางตรรกศาสตร์สำหรับฟัซซีลอจิกไว้ต่าง ๆ กัน ในปริญญานิพนธ์นี้ จะอ้างอิงนิยามดั้งเดิมของ Zadeh

3.3.1 ค่าความจริงของประพจน์ในทฤษฎีฟัซซีลอจิก

กำหนดให้ v(A) เป็นฟัซซีเซตในเอกภพสัมพัทธ์ V

โดย v(A) จะแทนค่าความจริงของประพจน์ A

ซึ่ง V จะแทนเอกภพสัมพัทธ์ โดย V = [0,1]

ในที่นี้หมายความว่าประพจน์ A จะมีค่าความจริงอยู่ในช่วงของเอกภพสัมพัทธ์คือ 0 ถึง 1 ซึ่งต่างจากประพจน์ของเซตแบบเดิมที่มีค่า 2 ค่าคือ 0 และ 1

จะได้ว่า $v(A) = \{(v_1,\mu_1) \mid i = 1,2,\ldots,n ;\ v_1 \in [0,1]\}$

$$v(\text{not } A) = 1\text{-}v(A) = \{(1\text{-}v_1,\mu_1) \mid i = 1,2,\ldots,n ;\ v_1 \in [0,1]\}$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.3.2 การหาข้อสรุปตามหลักการเหตุผลโดยใช้ทฤษฎีฟัซซีลอจิก

การหาข้อสรุปตามหลักการเหตุผล โดยใช้ทฤษฎีฟัซซีลอจิก จะเป็นการขยายนิยามของสัจจนิรันดร์ที่ใช้ในตรรกศาสตร์แบบเดิม เพื่อใช้หาข้อสรุปตามหลักการเหตุผลของประพจน์ที่เป็นฟัซซีเซต โดยนำการขยายนิยามของ Modus Ponens สำหรับฟัซซีลอจิก เรียกว่า Generalized Modus Ponens : GMP

- Generalized Modus Ponens คือ การหาข้อสรุปจากเหตุไปหาผล (forward data – driven) ซึ่งการหาข้อสรุปของฟัซซีโดยนำหลักการของในตรรกศาสตร์แบบเดิมมาใช้นั้น จะมีหลักการคล้ายกันคือ

กำหนดให้ A1 แทนหลักฐานแบบฟัซซี (Fuzzy Premise)

$A2 \rightarrow B$ แทนการแจงเหตุสู่ผลแบบฟัซซี (Fuzzy Implication)

$A1 \circ (A2 \rightarrow B)$ แทนข้อสรุปแบบฟัซซี (Fuzzy Conclusion)

ซึ่งจากข้อกำหนดข้างต้นมีความหมายว่าเหตุการณ์ A1 ที่เกิดขึ้นซึ่งเป็นหลักฐานแบบฟัซซีไม่จำเป็นต้องเหมือนกับเหตุการณ์ A2 ใน $(A2 \rightarrow B)$ ทุกประการฉนั้นข้อสรุปแบบฟัซซีจึงต้องทำการคอมโพสิชั่น (composition (o)) ระหว่าง A1 และ $(A2 \rightarrow B)$ จึงจะได้ข้อสรุปแบบฟัซซีออกมา

ตัวอย่างเช่น ถ้ามีหลักฐานแบบฟัซซี (A2) กำหนดไว้ว่า ออกลูกเป็นไข่ และ อาศัยอยู่ในน้ำจะได้ข้อสรุป (B) เป็น สัตว์น้ำ หรือสามารถเขียนแทนการแจกแจงเหตุสู่ผลแบบฟัซซีได้ว่า

ออกลูกเป็นไข่ และ อาศัยอยู่ในน้ำ $\rightarrow$ สัตว์น้ำ

ซึ่งถ้ามีเหตุการณ์ (A1) เกิดขึ้น คือ กบ จะออกลูกเป็นไข่ แต่อาศัยอยู่ในน้ำบ้างบนบกบ้าง โดยถ้าเหตุการณ์ (A1) นี้เกิดขึ้นกับตรรกศาสตร์แบบเดิม จะได้ข้อสรุปออกมาว่า กบ ไม่ใช่สัตว์น้ำเพราะมีเหตุการณ์ที่ A1 ไม่เหมือน A2 ทั้งหมด คือ ไม่ได้อาศัยอยู่ในน้ำตลอด เนื่องจากตรรกศาสตร์แบบเดิมมีข้อสรุปเพียง ข้อคือ ใช่ และไม่ใช่ แต่ถ้าเหตุการณ์ข้างต้นเกิดกับฟัซซีลอจิก ข้อสรุปที่ได้จะต้องมาจาก การนำ A1 ไปทำการคอมโพสิชั่นกับ $(A2 \rightarrow B)$ เพราะ A1 และ A2 ไม่เหมือนกันทั้งหมด จึงทำให้ฟัซซีลอจิกไม่สามารถหาข้อสรุปได้ทันที อันเนื่องจากฟัซซีลอจิกมีข้อสรุปมากมายที่จะเป็นไปได้ เพราะค่าความจริงของฟัซซีลอจิกจะมีค่าอยู่ในช่วง 0 ถึง 1 ไม่ใช่มีแต่ 0 และ 1 เหมือนอย่างในตรรกศาสตร์แบบเดิม ซึ่งเมื่อทำการคอมโพสิชั่นแล้ว ข้อ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สรุปที่ได้อาจจะมีค่าความจริงประมาณ 0.5 ซึ่งก็อาจสรุปได้ว่า กบ เป็นสัตว์ครึ่งบกครึ่งน้ำ โดยค่าความจริงที่ได้ออกมาจากการคอมโพสิชั่นจะขึ้นอยู่กับการกำหนดรูปร่างของเซต A1,A2 และ B

3.4 ความสัมพันธ์ฟัซซี (Fuzzy Relation)

3.4.1 ผลคูณคาร์ทีเซียน (Cartesian product)

กำหนดให้ $A_1,\ldots,A_n$ เป็นฟัซซีเซตในเอกภพสัมพัทธ์ $U_1,\ldots,U_n$

โดยที่ $u_1,\ldots u_n \in U_1,\ldots,U_n$

ผลคูณคาร์ทีเซียนของ $A_1,\ldots,A_n$ คือ ฟัซซีเซตในเอกภพสัมพัทธ์ $U_1 x\ldots x U_n$ ที่มีฟังก์ชั่นการเป็นสมาชิกดังนี้

$$\mu A1\ x\ldots x\ An\ (u1\ ,\ldots,\ un)\ =\ \min\ \{\mu A1(u1)\ ,\ldots,\ \mu An(un)\}$$

ตัวอย่าง ถ้า A1 = {(1,0.2) , (2,0.5) , (3,1.0) , (4,0.6)}

A2 = {(4,0.1) , (5,0.4) , (6,1.9) , (7,0.3)}

ผลคูณคาร์ทีเซียน ของ A1 x A2 หาได้จาก

โดย $\mu A1 \times \mu A2 = \min \{\mu A1(u1) ,\ldots, \mu An2(u2)\}$

โดย u1,u2 แทนสมาชิกของเซต A1 และ A2 ตามลำดับ

ซึ่งจากรูปที่ 3.1 แสดงการหาความสัมพันธ์ ของ A1 x A2 ซึ่งในการหาความสัมพันธ์ดังในรูปจะใช้วิธีการคำนวณโดยใช้ผลคูณคาร์ทีเซียน ซึ่งจะจับคู่ของระดับการเป็นสมาชิกทุกคู่ ซึ่งในแต่ละคู่จะเลือกใช้เฉพาะค่าที่มีค่าน้อยเป็นคำตอบ

A1 x A2 = A1

	A2			
	4	5	6	7
1	0.1	0.2	0.2	0.2
2	0.1	0.4	0.5	0.3
3	0.1	0.4	0.9	0.3
4	0.1	0.4	0.6	0.3

รูปที่ 3.1 แสดงความสัมพันธ์ฟัซซี

3.4.2 ความสัมพันธ์ฟัซซี

กำหนดให้ R เป็นความสัมพันธ์ฟัซซีจากเซต A ไปยังฟัซซีเซต B

โดยที่ A เป็นฟัซซี่เซตในเอกภพสัมพัทธ์ U

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

และ B เป็นฟัซซี่เซตในเอกภพสัมพัทธ์ V

จะได้ว่า $R(uxv) = A \times B = \{((u,v),\mu R(u,v)) \mid (u,v) \in U \times V\}$

$\mu R(uxv) = \mu A \times B(u,v) = \min \{\mu A(u), \mu B(v)\}$ min – intersection

โดยที่ min – intersection คือการปฏิบัติการอินเตอร์เซ็กชั่นของฟัซซี่ โดยจะมีหลักการปฏิบัติการ คือ จะทำการเลือกค่าระดับการเป็นสมาชิกที่มีค่าต่ำสุด ที่อยู่ในขอบเขตที่พิจารณา

ตัวอย่างเช่น ถ้ามีกลุ่มเซตกลุ่มหนึ่งประกอบด้วย เซต A และ เซต B ที่อยู่ในขอบเขตที่พิจารณาและมี u ใด ๆ เป็นสมาชิกของเซต ทั้ง 2 ดังนั้นถ้ามีสมาชิก u ค่าใดค่าหนึ่งเกิดขึ้นแล้วทำให้ได้ระดับการเป็นสมาชิกของเซต A เท่ากับ 0.7($\mu A(u) = 0.7$) และระดับการเป็นสมาชิกของเซต B เท่ากับ 0.3 ($\mu B(u) = 0.3$) ซึ่งถ้ามีการนำข้อมูลที่เกิดขึ้นนี้มาทำ min – intersection จะสามารถเขียนได้ว่า $\min\{\mu A(u), \mu B(u)\}$ หรือ $\min\{0.7,0.3\}$ และจะได้คำตอบของการกระทำ min – intersection มีค่าเท่ากับ 0.3 เนื่องจากเป็นค่าที่ต่ำที่สุดของขอบเขตที่พิจารณาคือ 0.3 และ 0.7

โดยในการหาความสัมพันธ์ดังแสดงในรูปที่ 3.1 ซึ่งเป็นการหาความสัมพันธ์ของ A1 x A2 โดยใช้วิธีการคำนวณโดยใช้ผลคูณคาร์ทีเซียน ซึ่งส่งผลให้ได้ความสัมพันธ์ของสมาชิกแต่ละคู่ของเซต A1 และ A2

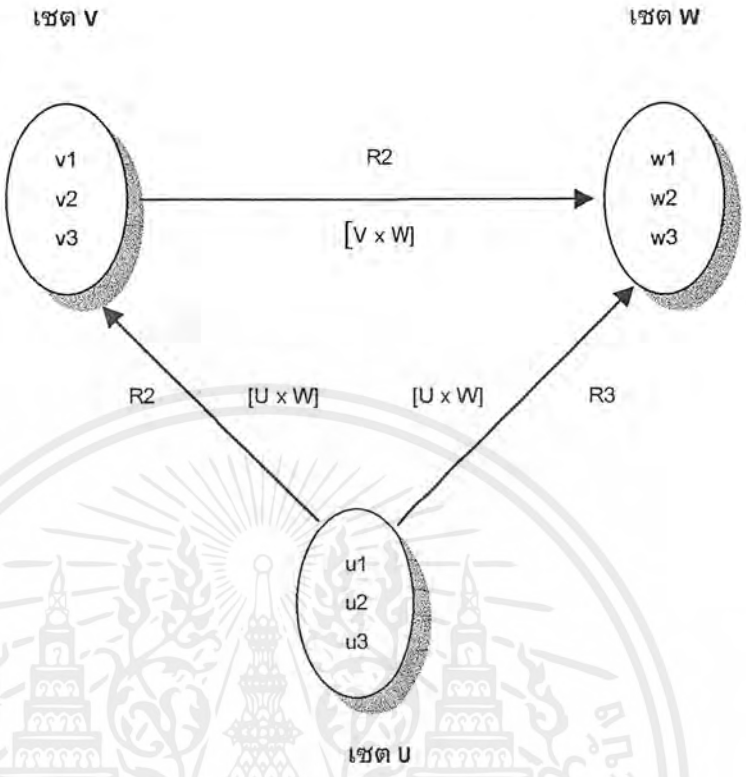
3.5 การคอมโพสิชันแบบฟัซซี (Fuzzy Composition)

กำหนดให้ $R_1(u,v)$ เป็นความสัมพันธ์จากเอกภพสัมพัทธ์ U ไป V โดยที่ $(u,v) \in JxV$

และ $R_2(u,v)$ เป็นความสัมพันธ์จากเอกภพสัมพัทธ์ V ไป W โดยที่ $(v,W) \in Vx W$

การคอมโพสิชัน คือ ปฏิบัติการในการหาความสัมพันธ์ $R_3(u,w)$ จากความสัมพันธ์ที่ถ่ายทอดต่อเนื่องกันเป็นลูกโซ่ $R_1(u,v)$ และ $R_2(u,v)$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.2 การคอมโพสิชั่นของความสัมพันธ์ฟัซซี

กำหนดให้ $R_1(u,v)$ เป็นความสัมพันธ์ฟัซซีบนระนาบ U x V โดยที่ $(u,v) \in UxV$

$R_2(u,v)$ เป็นความสัมพันธ์ฟัซซีบนระนาบ V x W โดยที่ $(v,w) \in VxW$

การคอมโพสิชันของความสัมพันธ์ฟัซซีที่ใช้ในปริญญานิพนธ์นี้และเป็นวิธีการที่นิยมมากที่สุดจะใช้วิธีของการ Max-Min Composition ซึ่งถูกนิยามดังนี้

Max-Min Composition

$$R_3 = R_1 o\, R_2 = \{((u,w), \max_{v \in V} \{\min[\mu_{R1}(u,v), \mu_{R2}(v,w)]\}) \mid u \in U, v \in V, w \in W\}$$

ซึ่งในการทำการคอมโพสิชั่นก็ยังมีวิธีการอื่น ๆ อีกที่ไม่ได้นำมาใช้ในปริญญานิพนธ์นี้ซึ่งจะได้แสดงนิยามให้เห็นดังต่อไปนี้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Max-Product Composition

$$R_3 = R_1 * R_2 = \{((u,w), \max_{v \in V} \{\mu_{R1}(u,v) \cdot \mu_{R2}(v,w)\}) \mid u \in U, v \in V, w \in W\}$$

Max-Average Composition

$$R_1 = R_1 \text{ av } R_2 = \{((u,w), \max_{v \in V} \{\mu_{R1}(u,v) + \mu_{R2}(v,w)/2\}) \mid u \in U, v \in V, w \in W\}$$

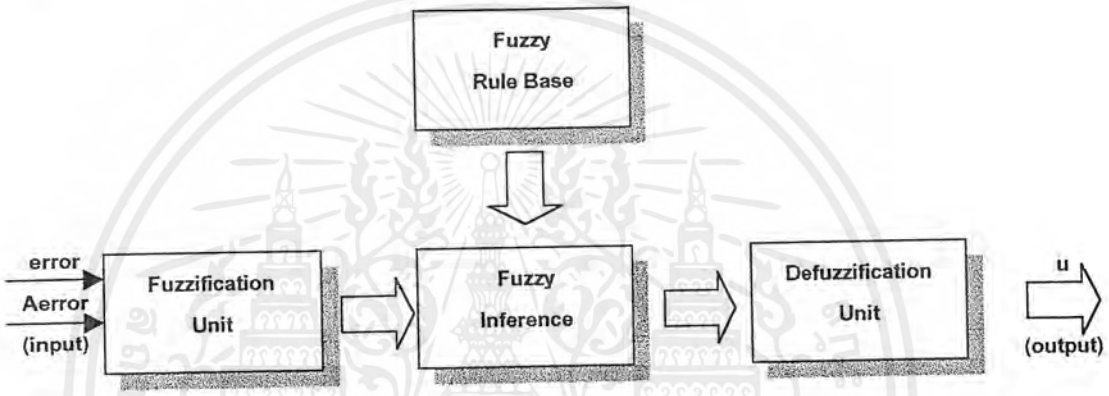
Min-Max Composition

$$R_3 = R_1 \bullet R_2 = \{((u,w), \min_{v \in V} \{\max[\mu_{R1}(u,v), \mu_{R2}(v,w)]\}) \mid u \in U, v \in V, w \in W\}$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 4
ตัวควบคุมฟัซซี่

โครงสร้างของตัวควบคุมฟัซซี่ประกอบด้วย 4 หน่วยคือ หน่วยฐานกฎการควบคุม (Fuzzy rule base) หน่วยฟัซซี่ฟีเคชั่น (Fuzzification unit) หน่วยอินเฟอเรนซ์ (Interence unit) และดีฟัซซี่ฟีเคชั่น (Defuzification unit) ดังแสดงในรูปที่ 4.1 ซึ่งการทำงานของแต่ละหน่วยได้ดังนี้



รูปที่ 4.1 แสดงโครงสร้างพื้นฐานของตัวควบคุมฟัซซี่

4.1 ฐานกฎการควบคุมฟัซซี่ (Fuzzy Rule Base)

ฐานกฎการควบคุมฟัซซี่ เป็นหน่วยที่รวบรวมกฎการควบคุมแบบฟัซซี่ซึ่งอยู่ในรูปแบบ IF...THEN...

กำหนดให้ กฎการควบคุมอยู่ในรูปแบบดังนี้

$$\text{IF } x_1 \text{ is } X_1^k \text{ and } \ldots \text{ and } x_m \text{ is } X_m^k \text{ THEN } y \text{ is } Y^k$$

หรือ $\text{IF } x \text{ is } X^k \text{ THEN } y \text{ is } Y^k \quad ; k = 1, 2, \ldots, M$

โดยที่ x คือ ตัวแปรสถานะของกระบวนการ ซึ่งใช้เป็นอินพุทของตัวควบคุมฟัซซี่

$x = [x_1, \ldots, X_m]^T$

X^k คือ ฟัซซีเซตของตัวแปรอินพุท ในส่วนเหตุของกฎการควบคุม

$X^k = X_1^k \text{ x} \ldots\ldots \text{x } X_m^k$

m คือ จำนวนตัวแปรอินพุทของตัวควบคุม

y คือ ตัวแปรเอาต์พุทของตัวควบคุมฟัซซี่

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Y^k คือ ฟัซซี่เซตของตัวแปรเอาต์พุทในส่วนผลของกฎการควบคุมที่ k

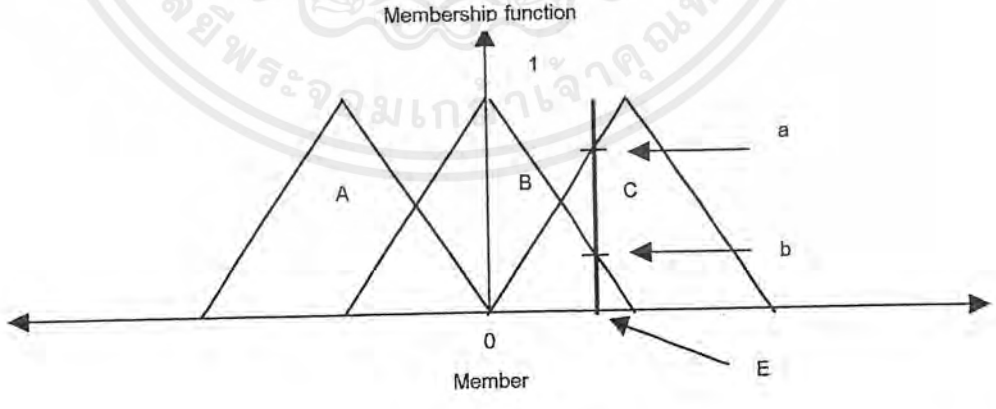
M คือ จำนวนกฎการควบคุมทั้งหมดในฐานกฎการควบคุม

ซึ่งจากคำจำกัดความในรูปสมการข้างต้น สามารถอธิบายได้ว่ากฎการควบคุมจะถูกกำหนดตามเงื่อนไข ถ้า....แล้ว เช่น ถ้าเจ็บคอ แล้ว จะเป็นไข้หวัด ซึ่งเงื่อนไขของกฎการควบคุมนี้จะถูกกำหนดมาจากสิ่งที่เคยพบมาหลาย ๆ ครั้งจนเกิดความเคยชินจนมีความรู้สึกว่าเป็นสิ่งที่น่าจะเป็นไปได้สูงซึ่งเรียกว่าความชำนาญหรือประสบการณ์ซึ่งจุดตรงนี้เองที่จะนำไปเป็นหลักฐานในการหาข้อสรุปในส่วนของอินเฟอร์เรนท์ ซึ่งตัวอย่างของกฎการควบคุมที่อยู่ในรูปของสมการกฎการควบคุมแบบฟัซซี่ เช่น

IF input signal IS position THEN output signal IS negative

4.2 การฟัซซี่ฟิเคชั่น (Fuzzification)

การฟัซซี่ฟิเคชั่น คือ กระบวนการหาค่าฟัซซี่เซตบนเอกภพสัมพัทธ์ U ของอินพุท เพื่อเป็นตัวแทนของอินพุท ซึ่งมีค่าเป็นตัวเลขสำหรับใช้เป็นอินพุทของระบบฟัซซี่ หรืออีกนัยหนึ่งคือการแปลงค่าตัวแปรของกระบวนการให้เป็นตัวแปรของฟัซซี่ โดยค่าของฟัซซี่จะเป็นค่าตัวเลขที่ได้จากฟัซซี่เซตบนเอกภพสัมพัทธ์ U ซึ่งการฟัซซี่ฟิเคชั่นจะสามารถกระทำได้หลายวิธี เช่น การฟัซซี่ฟิเคชั่นโดยใช้ฟัซซี่ซิงเกิลตัน, การฟัซซี่ฟิเคชั่นโดยใช้ฟัซซี่นัมเบอร์, การฟัซซี่ฟิเคชั่นโดยใช้ไฮบริดนัมเบอร์ ซึ่งในปริญญานิพนธ์นี้ได้ทำการศึกษาเฉพาะในส่วนของการฟัซซี่ฟิเคชั่นโดยใช้ฟัซซี่ซิงเกิลตัน ซึ่งสามารถแสดงการกระทำได้ดังนี้



รูปที่ 4.2 แสดงการฟัซซีฟิเคชั่นแบบซิงเกิลตัน

โดยที่ E เป็นฟัซซี่ซิงเกิลตันซึ่งมี S(E) = {uo}

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

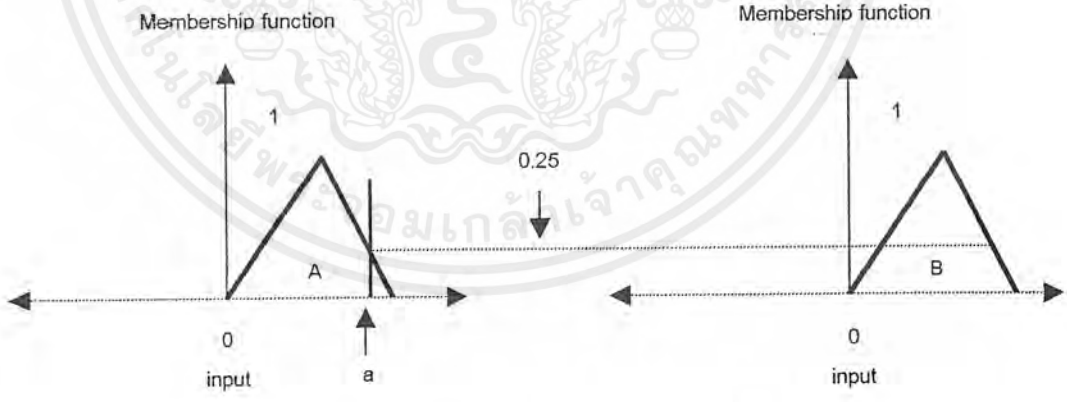
$\mu E(u) = 1 ; u = uo$

$\mu E(u) = 0 ; u \neq uo$

จากรูปที่ 4.2 สามารถแสดงให้เห็นได้ว่าการหาฟัซซี่ฟิเคชั่นด้วยวิธีการใช้ฟัซซี่ซิงเกิลตันนั้นจะใช้หลักการการอินเตอร์เซกชั่นระหว่างกลุ่มเซตทางอินพุทที่ถูกกำหนดขึ้นกับเซตแบบซิงเกิลตันซึ่งจากรูปจะเห็นได้ว่าได้กำหนดให้กลุ่มเซตทางอินพุทประกอบด้วยเซต A,B,C ซึ่งเป็นฟัซซี่เซตแบบฟัซซี่นัมเบอร์ และเซตที่จะถูกนำมาอินเตอร์เซกชั่นคือเซต E ซึ่งเป็นเซตแบบซิงเกิลตันซึ่งจะเกิดขึ้นในตำแหน่งที่มีอินพุทเข้ามา ซึ่งเมื่อทำการอินเตอร์เซกชั่นหรือการซ้อนทับกันจะทำให้เกิดจุดซ้อนทับกัน 2 จุด คือจุด a ซึ่งเป็นจุดที่เซต E ซ้อนทับกับเซต C และจุด b ซึ่งเป็นจุดที่เซต E ซ้อนทับกับเซต B ซึ่งทั้งจุด a และจุด b จะเป็นค่าระดับการเป็นสมาชิกที่จะนำมาใช้เป็นตัวแทนทางอินพุท

4.3 การอินเฟอเรนซ์แบบฟัซซี (Fuzzy Inferrence)

การอินเฟอเรนซ์ คือกระบวนการในการหาข้อสรุป (conclusion) จากหลักฐาน (premise) ซึ่งในขบวนการอินเฟอร์เรนท์หลักฐานที่จะนำมาใช้จะได้มาจากส่วนของกฎการควบคุมที่ถูกกำหนดขึ้นมาจากความชำนาญ



รูปที่ 4.3 แสดงการอินเฟอร์เรนท์แบบฟัซซี่

ซึ่งจากรูปที่ 4.3 ถ้าส่วนกำหนดกฎการควบคุมกำหนดไว้ว่า ถ้ามีข้อมูลอินพุทเข้ามาที่เซต A ค่าเอาต์พุทที่ได้จะต้องเป็นเซต B ซึ่งจากหลักฐานนี้เองทำให้หน่วยอินเฟอร์เรนท์สามารถที่จะหาข้อสรุปออกมาได้โดยให้อินพุท a อยู่ในช่วงสมาชิกของเซต A จึงสามารถที่จะระบุได้เลยว่า

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

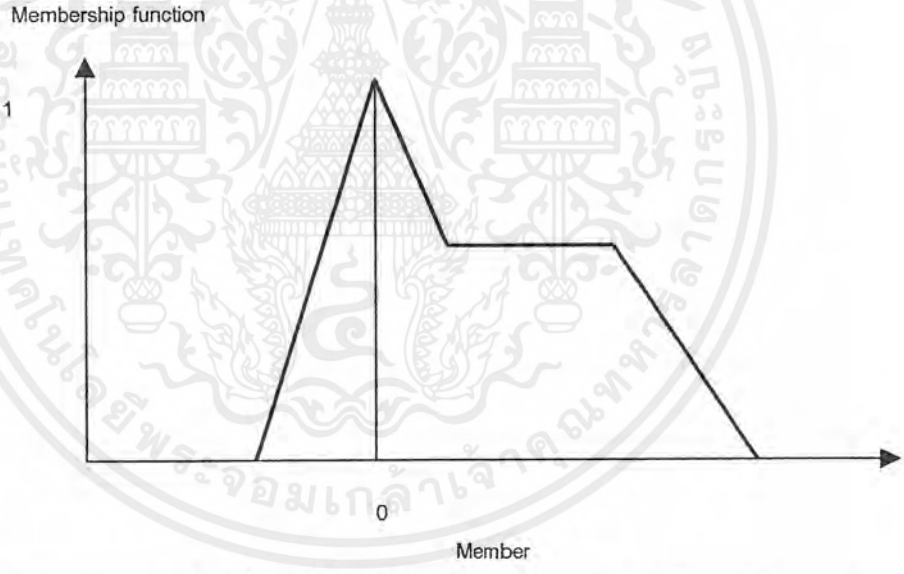
ข้อสรุปที่ได้จะต้องเป็นสมาชิกของเซต B ซึ่งในรูปจะเห็นได้ว่าการที่สมาชิกแต่ละตัวมีระดับการเป็นสมาชิกไม่เท่ากันจึงทำให้ข้อสรุปจะต้องขึ้นอยู่กับระดับการเป็นสมาชิกของเซตด้วย

4.4 การดีฟัซซี่ฟิเคชั่น (Defuzzification)

การดีฟัซซี่ฟิเคชั่น คือกระบวนการหาค่าเอาต์พุทเพียงค่าเดียว (ชิงเกิลตัน) ที่เหมาะสมที่สุด เพื่อเป็นตัวแทนของฟัซซี่เอาต์พุท โดยค่าที่ได้จะกระจายอยู่บนเอกภพสัมพัทธ์ของเอาต์พุทนั้น หรือจะกล่าวอีกลักษณะหนึ่งคือการแปลงค่าตัวแปรทางฟัซซี่ให้เป็นตัวแปรของกระบวนการที่จะนำไปควบคุมกระบวนการต่อไป โดยการดีฟัซซี่ฟิเคชั่นจะสามารถกระทำได้หลายวิธีดังต่อไปนี้

4.4.1 การหาค่าระดับการเป็นสมาชิกสูงสุด (Max – membership principle)

ซึ่งรู้จักในชื่อของ Hight method ซึ่งวิธีนี้จะใช้วิธีการหาค่าโดยเลือกค่าเอาต์พุทที่มีค่าระดับการเป็นสมาชิกสูงสุดเพียงค่าเดียว

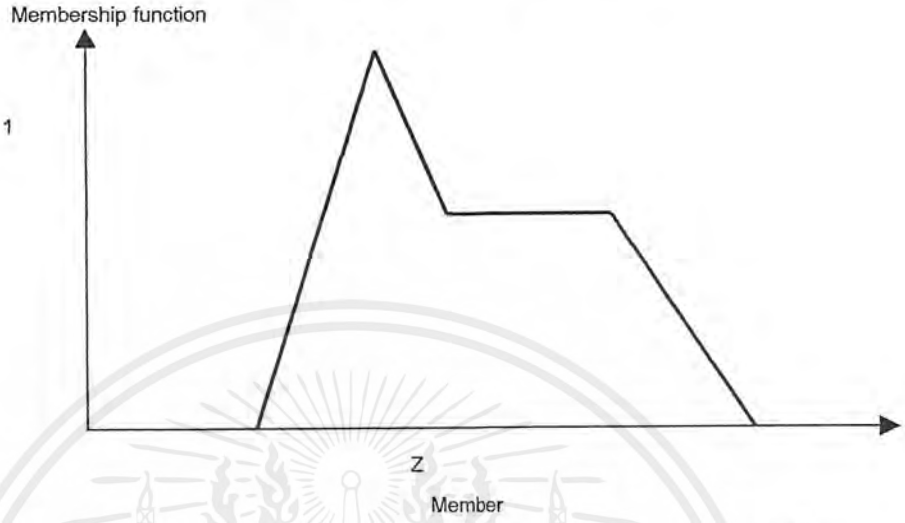


รูปที่ 4.4 แสดงการดีฟัซซี่ฟิเคชั่นโดยใช้วิธีการหาค่าระดับการเป็นสมาชิกสูงสุด

ซึ่งจากรูปที่ 4.4 จะแสดงถึงเซตเอาท์พุทที่ได้มาจากหน่วยอินเฟอร์เรนท์จะเห็นว่าค่าเอาท์พุทที่มีระดับการเป็นสมาชิกสูงสุด คือค่า u ซึ่งก็คือค่าที่เป็นตัวแทนของเอาท์พุทนั่นเอง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4.4.2 การหาค่าจุดศูนย์กลางของฟัซซี่ (Centroid method)



รูปที่ 4.5 แสดงการดีฟัซซี่ฟิเคชั่นโดยใช้วิธีการหาจุดศูนย์กลางของฟัซซี่

ในรูปที่ 4.5 จะเห็นได้ว่าการหาค่าเอาต์พุทของการดีฟัซซี่ฟิเคชั่นด้วยวิธีการหาจุดศูนย์กลางของฟัซซี่จะเป็นการหาจุดที่เป็นจุดศูนย์กลางของพื้นที่ซึ่งได้มาจากการอินเฟอร์เรนท์ โดยในรูปที่ 4.5 คำตอบของการดีฟัซซี่ฟิเคชั่นที่ได้คือ z ซึ่งถ้ากำหนดให้เซตในรูปที่ 4.5 คือ เซต C จะสามารถหาค่า z ได้จาก สมการต่อไปนี้

$$Z = \int \mu C(u)udu \; / \; \int \mu C(u)du$$

กำหนดให้

C คือ เซตเอาท์พุท

u คือ สมาชิกของเอกภพสัมพัทธ์ทางเอาท์พุท

z คือ ค่าที่ได้จากการดีฟัซซี่ฟิเคชั่น

4.4.3 การหาค่าเฉลี่ยของน้ำหนัก (Weighted average method)

จะเป็นวิธีหาค่าเอาต์พุทที่เหมาะสม ซึ่งหาค่าได้จากสมการ

$$v = \{ \sum \mu B(\overline{v})\overline{v} \} / \{ \sum \mu B(\overline{v}) \}$$

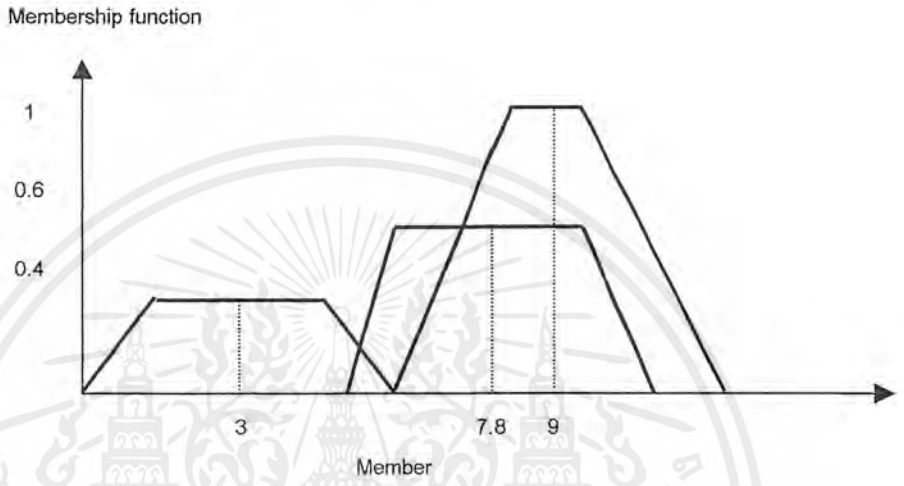
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

กำหนดให้

B คือ เซตเอาท์พุท

v คือ สมาชิกของเอกภพสัมพัทธ์เอาท์พุท

vo คือ ค่าจากการดีฟัซซี่ฟิเคชั่น



รูปที่ 4.6 แสดงการดีฟัซซี่ฟิเคชั่นด้วยการหาค่าเฉลี่ยของน้ำหนัก

ในการใช้วิธีการหาค่าเฉลี่ยของน้ำหนักมาทำการดีฟัซซี่ฟิเคชั่นโดยจากรูปที่ 3.5 จะพบได้ว่าก่อนที่จะทำการหาค่าเฉลี่ยของน้ำหนักจะต้องแยกกลุ่มเซตเอาท์พุทที่จะนำมาทำการดีฟัซซี่ว่าประกอบด้วยเซตใดบ้างซึ่งในรูแ 3.5 สมมุติว่าประกอบด้วยเซต A,B,C ขั้นตอนต่อไปของหาค่าดีฟัซซี่ฟิเคชั่นด้วยวิธีนี้โดยการหาค่ากลางของสมาชิกของแต่ละเซตซึ่งจากรูปคือตำแหน่งที่ลากเส้นประลงมาในแต่ละเซตแล้วนำค่ากลางในแต่ละเซตที่ได้คูณกับค่าระดับการเป็นสมาชิกของค่ากลางหรือค่าสมาชิกที่เกิดค่ากลางนั้น ๆ แล้วจึงนำค่าที่ได้ของแต่ละเซตมาบวกเข้าด้วยกันแล้วจึงนำผลบวกที่ได้มาหารด้วยผลรวมของระดับการเป็นสมาชิกที่ตำแหน่งค่ากลางของทุกเซตซึ่งค่าที่ได้จึงเป็นคำตอบของการดีฟัซซี่ด้วยวิธีนี้ ซึ่งจากในรูปค่ากลางของแต่ละเซตคือ 3, 7.8, 9

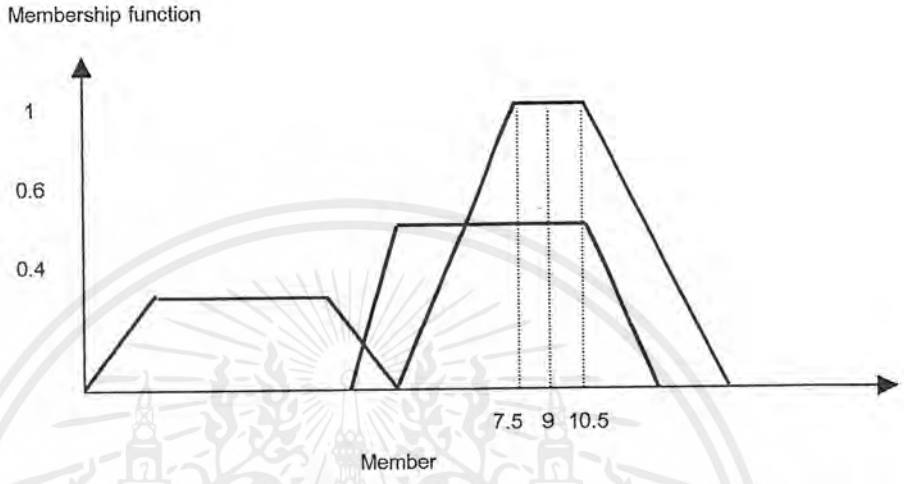
4.4.4 การหาค่ากลางสูงสุด (Mean – max – membership)

เป็นการหาค่ากลางของค่าสูงสุดของระดับการเป็นสมาชิกที่ตำแหน่งสูงสุด

การหาค่าดีฟัซซี่ฟิเคชั่นด้วยวิธีนี้จะเป็นการแก้ปัญหาที่เกิดจากการที่เซตที่จะนำมาทำการดีฟัซซี่มีค่าระดับการเป็นสมาชิกสูงสุดอยู่หลายค่าซึ่งการหาค่าดีฟัซซี่ฟิเคชั่นด้วยวิธีการของการหาค่าสูงสุดไม่สามารถกระทำได้ ซึ่งจากรูปที่ 4.7 จะพบได้ว่าเซตมีค่าระดับการเป็นสมาชิกสูงสุด

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

อยู่หลายค่าจึงต้องใช้วิธีการหาค่ากลางของค่าสูงสุดมาทำการดีฟัซซี่ ซึ่งในการหาค่ากลางจะหาค่าเฉพาะช่วงที่มีค่าสูงสุดตามเส้นประที่ลากลงมาดังในรูปซึ่งจะทำให้ได้ค่าการดีฟัซซี่ออกมา

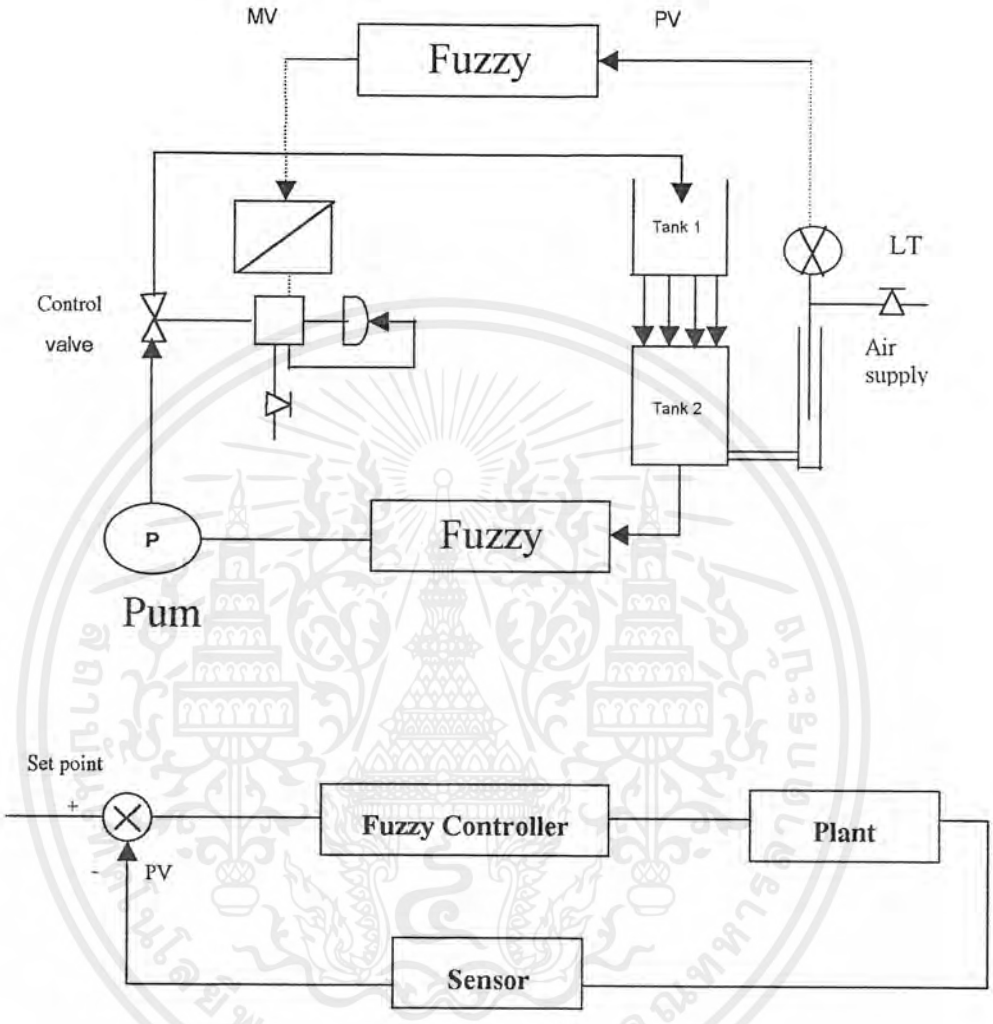


รูปที่ 4.7 แสดงการดีฟัซซี่ฟิเคชั่นโดยการหาค่ากลางสูงสุด

การออกแบบฟัซซีในการควบคุมระดับน้ำ

หลังจากได้ทำการศึกษาทฤษฎีฟัซซีมาแล้วในการที่จะนำไปทำการควบคุมระบบ จะต้องเข้าใจการทำงานของระบบให้ดีก่อน สำหรับระบบที่จะใช้ในการทดลองในที่นี้จะใช้ Plant ที่มีการปล่อยน้ำออกตลอดเวลาและมีวาล์วเป็นตัวควบคุมการจ่ายน้ำให้กับระบบ จากนี้ยังมีอุปกรณ์ sensor ระดับน้ำเพื่อส่งไปให้กับตัวควบคุม โดยลักษณะของ Plant จะเป็นดังนี้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.8 แสดงการควบคุมโดยใช้ฟัซซี

สำหรับอินพุทที่ได้มาจากอุปกรณ์ Sensor จะทำให้เป็นค่า ERROR และ dERROR เพื่อที่จะนำไปใช้เป็น input ให้กับ Fuzzy เพื่อที่จะนำไปทำการประมวลผลเพื่อที่จะส่งให้วาล์วปิดเปิดเท่าใด

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

โดยค่า ERROR และ dERROR จะได้จาก

$$ERROR = SP-PV$$ โดยที่ SP = Set Point

PV = input จาก Sensor

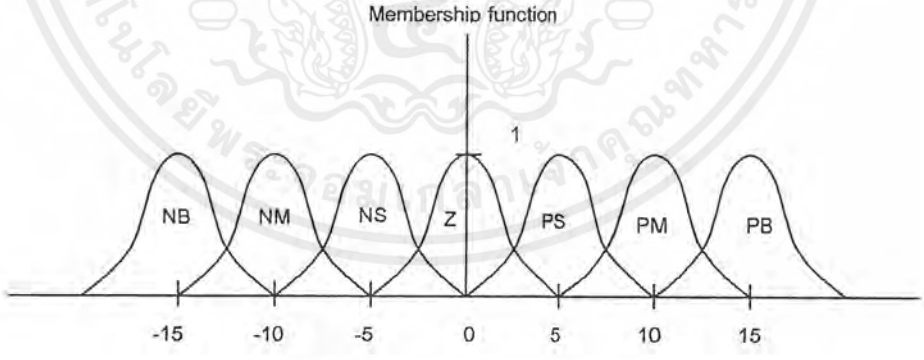
$$dERROR = ERROR_n - ERROR_{n-1}$$ โดยที่ $dERROR_n$ = ERROR ปัจจุบัน

$dERROR_{n-1}$ = ERROR ที่แล้ว

สำหรับอินพุทที่ข้ามาจะเป็นค่าที่ได้มาจากอุปกรณ์ A/D จะเป็นค่า 0-255 เราจะทำการแปลงให้อยู่ในช่วงที่กำหนดโดยกำหนดให้มีค่าเท่ากับ 0-100

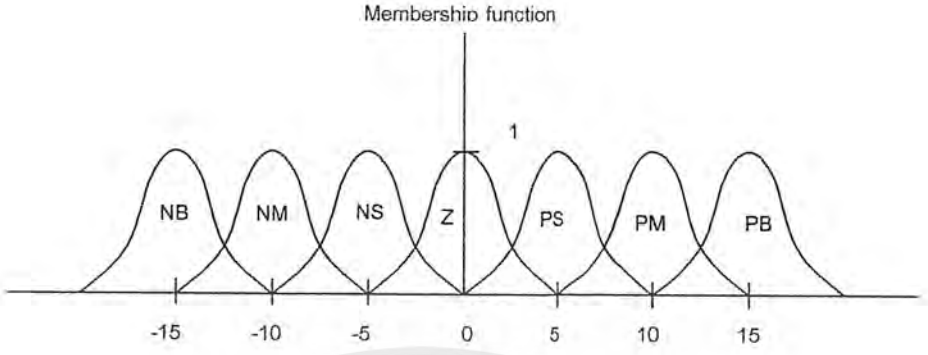
การกำหนดเซตทางอินพุทของ Fuzzy

ในการกำหนดเกณฑ์ทางอินพุทจะต้องกำหนดช่วงของการซ้อนทับกันของเซตแต่ละเซตให้เหมาะสมกับระบบ หากเกิดการซ้อนทับกันมากก็จะทำให้เกิดการเลือกกฎการควบคุมมากทำให้ยากแก่การหากฎการควบคุมแต่จะได้การควบคุมที่ละเอียดมากขึ้น หากซ้อนทับกันน้อยก็จะทำให้เกิดกฎขึ้นมาน้อย แม้ว่าจะง่ายแก่การออกกฎ ในการทดลองนี้จะกำหนดให้ช่วงของเซตอินพุทอยู่ที่ช่วง -20 ถึง +20 ถ้านอกขอบเขตนี้จะทำการควบคุมแบบหยาบคือสั่งให้เปิดปิดวาล์วทันทีเพื่อความรวดเร็วในการควบคุม พอเริ่มเข้าช่วง -20 ถึง +20 จึงจะทำการควบคุมแบบฟัซซีโดยชุดเซตทางอินพุทมีทั้งหมด 2 ชุดเซตดังนี้



รูปที่ 4.9 แสดงชุดเซต ERROR

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.10 แสดงชุดเซต dERROR

การกำหนดหน่วยกฎการควบคุม

ในการกำหนดกฎการควบคุมจะใช้หลักเกณฑ์การพิจารณาจากค่าอินพุทแต่ละค่าเพื่อจะระบุค่าเอาท์พุทที่เหมาะสมในตารางโดยเลือกเซตเอาท์พุทซึ่งเป็นเซตซิงเกิลตัน ลงในตารางกฎการควบคุมนั้นจะต้องพิจารณาว่า อินพุทค่าความผิดพลาดมีค่าเป็นอย่างไร สมมุติว่ามีค่าเป็นบวก แสดงว่าค่าสัญญาณเอาท์พุทยังต่ำกว่าค่าเป้าหมาย ในขั้นตอนต่อไปพิจารณาที่อินพุท การเปลี่ยนแปลงของค่าความผิดพลาดว่ามีค่าเป็นอย่างไร ถ้ามีค่าเป็นบวกก็แสดงว่าแนวโน้มของการเกิดค่าความผิดพลาด (แนวโน้มที่ค่าเอาท์พุทจะออกห่างจากค่าเป้าหมาย) มีค่าเพิ่มขึ้นได้ทั้ง 2 อินพุทแล้ว ได้ว่าค่าเอาท์พุทยังไม่ถึงค่าเป้าหมายและยังมีแนวโน้มว่ายังไม่เข้าใกล้ค่าเป้าหมาย ฉะนั้นเซตซิงเกิลตันทางเอาท์พุทที่จะถูกเลือกในกรณีของเหตุการณ์ที่เกิดกับอินพุทนี้จะต้องเลือกเซตเอาท์พุทที่มีค่าบวกมาก ๆ ลงไปในตารางกฎการควบคุมของความสัมพันธ์อินพุทนี้ ซึ่งจากเหตุการณ์สมมุติข้างต้นจึงนำไปพิจารณาเงื่อนไขอินพุทในรูปที่ 3 เพื่อกำหนดค่าเอาท์พุทในตาราง แล้วนำกำที่กำหนดไปทดสอบควบคุมกระบวนการ ซึ่งในทางตรงกันข้าม ถ้าค่าเอาท์พุทมีค่ามากกว่าเป้าหมาย และมีแนวโน้มที่จะมากขึ้นก็ควรที่จะเลือกเซตเอาท์พุทที่เป็นเซตซิงเกิลตันที่มีค่าน้อยลง

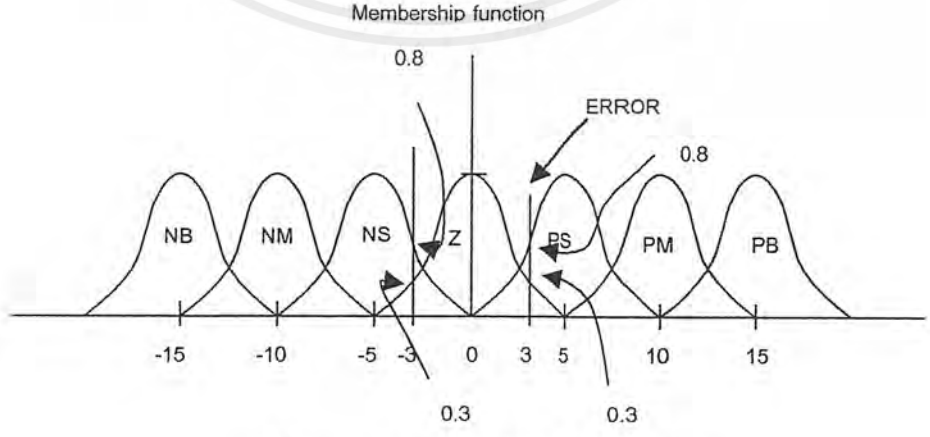
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ERROR \ dERROR	NB	NM	NS	Z	PS	PM	PB
NB	-50	-50	-50	-40	-50	-50	-50
NM	-45	-45	-45	-35	-45	-45	-45
NS	-40	-40	-40	-40	-40	-41	-41
Z	-36	-31	-27	-27	-27	-28	7
PS	10	10	14	18	20	31	31
PM	34	34	34	34	34	34	34
PB	40	40	40	50	50	50	50

รูปที่ 4.11 แสดงการอินเฟอร์เรนท์

การกำหนดหน่วยฟัซซีฟิเคชั่น

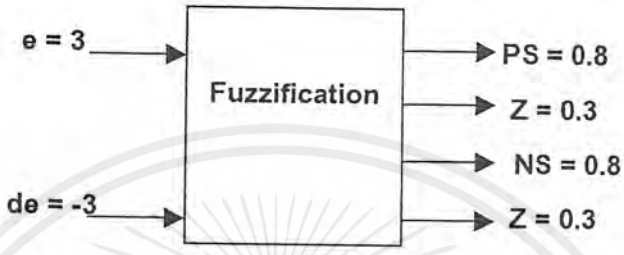
การทำงานของหน่วยฟัซซีฟิเคชั่นจะมีหน้าที่ในการแปลงข้อมูลตัวแปรของอินพุทให้เป็นข้อมูลตัวแปรของฟัซซีเพื่อให้หน่วยอินเฟอร์เรนท์ทำการตัดสินใจต่อไป โดยขั้นตอนในการแปลงข้อมูลจะใช้หลักการที่ให้ค่าอินพุทเข้ามาเป็นเซตซิงเกิลตัน ซึ่งเมื่อเกิดมีอินพุทเข้ามาเซตซิงเกิลตันในตำแหน่งนั้นจะทำการอินเตอร์เซกชั่นกับเซตทางอินพุทของฟัซซีที่กำหนดไว้ก่อนแล้ว ซึ่งผลลัพธ์ของการอินเตอร์เซกชั่นที่ได้จะเป็นค่าระดับการเป็นสมาชิกของสัญญาณอินพุท ERROR , dERROR



รูปที่ 4.12 การทำการฟัซซีฟิเคชั่นโดยซิงเกิลตัน

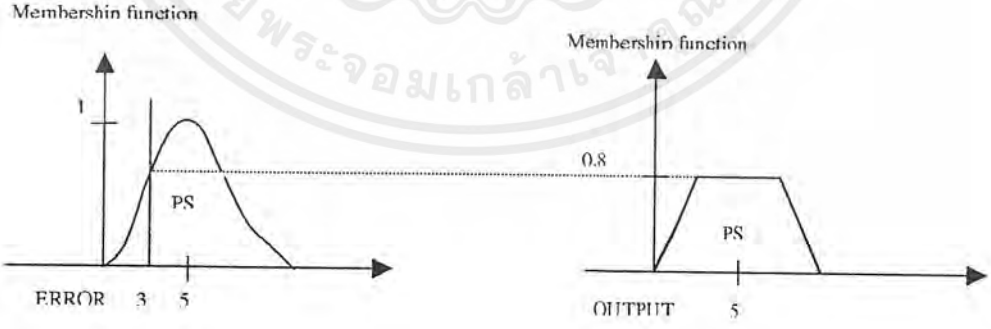
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ถ้าค่า ERROR เข้ามาที่ 3 เป็นซิงเกิลตัน จะทำให้เกิดการอินเตอร์เซกชั่นกับเซต PS และ Z มีค่าเท่ากับ 0.8 และ 0.3 ตามลำดับ และ dERROR เข้ามาที่ -3 จะได้ค่าเท่ากับ NS = 0.8 และ Z = 0.3

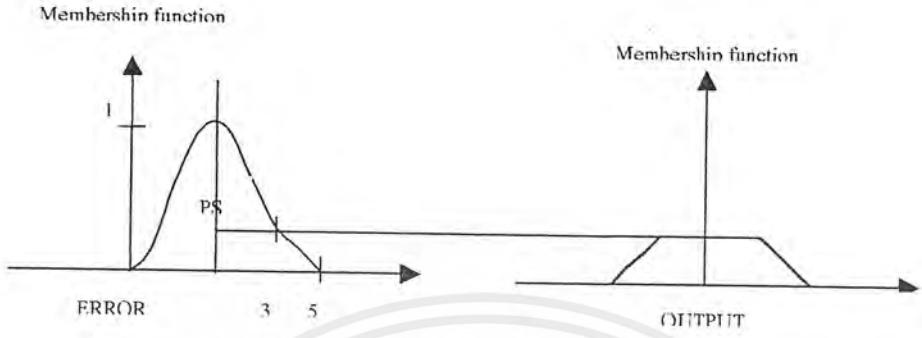


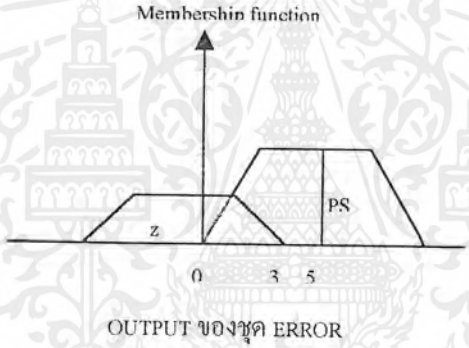
การกำหนดของหน่วยฟัซซีอินเฟอร์เรนท์

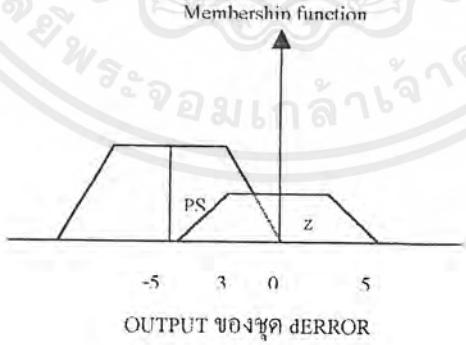
การทำงานของหน่วยอินเฟอร์เรนท์มีหน้าที่ในการตัดสินใจที่จะทำการเลือกค่า output โดยจะเลือกตามกฎการควบคุมที่กำหนดใช้ในหน่วยกฎการควบคุมโดยจะนำค่าที่ได้จากหน่วยฟัซซีฟิเคชั่นมาทำการเปรียบเทียบ จากตัวอย่าง ค่าที่ได้ เซตของชุด ERROR ที่เกิดจากการอินเตอร์เซกชั่นกันจะได้ PS = 0.8, Z = 0.3 และชุดของ dERROR จะได้ NS = 0.8, Z = 0.3 โดยจะมีรูปร่างของ output ที่ได้ดังต่อไปนี้



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้







จากนั้นนำค่าที่ได้ไปทำการเลือกกฎที่จะทำการควบคุมโดยค่าจะได้จากตารางดังนี้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ERROR \ dERROR	NB	NM	NS	Z	PS	PM	PB
NB	-50	-50	-50	-40	-50	-50	-50
NM	-45	-45	-45	-35	-45	-45	-45
NS	-40	-40	-40	-40	-40	-41	-41
Z	-36	-31	-27	-27	-27	-28	7
PS	10	10	14	18	20	31	31
PM	34	34	34	34	34	34	34
PB	40	40	40	50	50	50	50

รูปที่ 4.13 แสดงการอินเฟอร์เรนท์

เซต Z จะเลือกกฎ -27 เซต Z, NS จะเลือกกฎ -27 เซต PS, Z จะเลือกกฎ 18 เซตจะเลือกกฎและเซต PS, NS จะเลือกกฎ 14

การกำหนดหน่วยดีฟัซซีฟิเคชั่น

ในส่วนของการหาค่าเอาท์พุทของตัวควบคุมแบบฟัซซีหรือการแปลงตัวแปรแบบฟัซซีมาเป็นตัวแปรของกระบวนการในหน่วยดีฟัซซีฟิเคชั่นนี้จะใช้วิธีการของการเฉลี่ย จะนำค่าของเซตเอาท์พุทที่ได้จากหน่วยอินเฟอร์เรนท์มาคำนวณโดยในรูปที่ 4 ในตารางช่องแรก เซต Z,NS ได้ค่าเอาท์พุทเท่ากับ -27 และมีระดับการเป็นสมาชิก 2 ค่าคือ 0.3 และ 0.8 แต่ในการดีฟัซซีฟิเคชั่นด้วยวิธีนี้จะใช้หลักการของ การกระทำแบบมิน (Min Operator) ก็คือการเลือกค่าระดับการเป็นสมาชิกที่ต่ำกว่า ฉนั้นเราจึงเลือกค่าระดับการเป็นสมาชิกที่ 0.3 ของเงื่อนไขอินพุทนี้ ฉนั้นในตารางช่องถัดไปของรูปที่ 4 จะใช้หลักการเดียวกันทั้งหมด ในส่วนของค่าเอาท์พุทสุดท้ายสามารถคำนวณได้ดังนี้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Set (△error,error)	output	Membership function
Z,NS	-27	0.3
Z,Z	-27	0.3
PS,NS	14	0.8
PS,Z	18	0.3

รูปที่ 4.14 แสดงการดีฟัซซีฟิเคชั่น

$$\text{Output} = \frac{(-27\text{x}0.3)+(-27\text{x}0.3)+(14\text{x}0.8)+(18\text{x}0.3)}{(0.3+0.3+0.8+0.3)} = 0.23529$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 5
หน่วยอินเตอร์เฟสและรับ – ส่งข้อมูล
(Interfacing I/O Unit)

ความรู้เบื้องต้นเกี่ยวกับพอร์ทอนุกรม

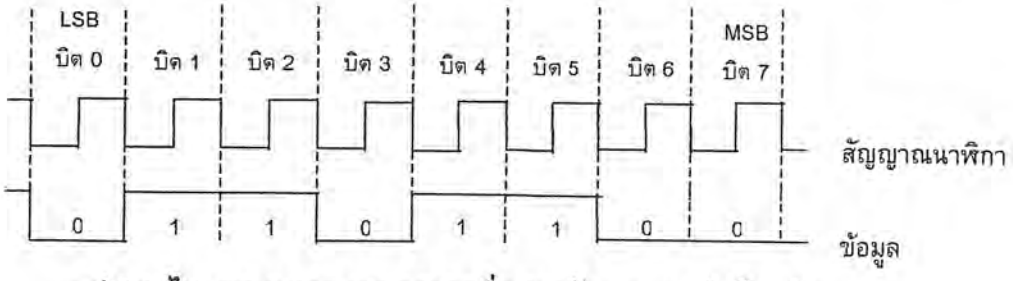
การเคลื่อนย้ายข้อมูลจากคอมพิวเตอร์ไปยังอุปกรณ์ต่อพ่วงภายนอกหรือคอมพิวเตอร์ด้วยกัน มีด้วยกัน 2 รูปแบบคือ รับส่งข้อมูลแบบขนานและรับส่งข้อมูลแบบอนุกรม

การรับส่งข้อมูลแบบขนานเป็นการรับหรือส่งข้อมูลคราวละ 4 หรือ 8 บิตในเวลาเดียวกัน ทำให้การรับและส่งข้อมูลมีความเร็วสูง ทว่าจำนวนของรีจิสเตอร์ที่ใช้ในการถ่ายทอดข้อมูลต้องมีมากเท่ากับจำนวนบิตของข้อมูลที่ทำการถ่ายทอดด้วย นอกจากนี้ยังมีสายที่ใช้สำหรับควบคุมและตรวจสอบการรับส่งข้อมูลด้วย ซึ่งอาจต้องใช้สายมากเป็น 2 เท่าของจำนวนบิตข้อมูลก็ได้ ส่งผลให้ราคาของสายที่ใช้ในการเชื่อมต่อแบบขนานมักจะมีราคาแพง อีกข้อจำกัดหนึ่งของการถ่ายทอดข้อมูลแบบขนานคือ ระยะทางในการถ่ายทอดข้อมูล โดยปกติจะอยู่ที่ประมาณ 10-15 ฟุต

ในขณะที่การรับส่งข้อมูลแบบอนุกรมจะเป็นการรับส่งข้อมูลครั้งละ 1 บิต โดยมีรูปแบบการรับส่งที่เป็นมาตรฐาน ต้องมีการตรวจสอบความพร้อมในการรับและส่งข้อมูลของตัวรับและตัวส่ง การรับส่งข้อมูลแบบอนุกรมมีข้อดีในเรื่องของจำนวนสายสัญญาณที่น้อยมากและไม่แปรผันตามจำนวนบิตของข้อมูล ระยะทางการรับส่งสูงกว่าแบบขนานมาก โดยปกติถ้าเป็นพอร์ทอนุกรม RS-232 จะสามารถต่อสายได้ยาว 50 ฟุตโดยประมาณ

การสื่อสารแบบอนุกรม

การสื่อสารแบบอนุกรมแบ่งได้เป็น 2 แบบคือ การสื่อสารอนุกรมแบบซิงโครนัสและการสื่อสารอนุกรมแบบอะซิงโครนัส การสื่อสารแบบซิงโครนัสจะมีสัญญาณนาฬิการ่วมอยู่กับการรับและส่งสัญญาณด้วย ตัวอย่างการส่งข้อมูลแบบซิงโครนัสก็คือคีย์บอร์ดของคอมพิวเตอร์ ซึ่งสายเส้นหนึ่งจะเป็นสายของสัญญาณนาฬิกา ส่วนสายอีกเส้นจะเป็นสายของข้อมูล ดังนั้นการติดต่อกันแบบซิงโครนัสนี้จะต้องใช้สายในการเชื่อมต่ออย่างน้อยที่สุด 3 เส้นคือ สัญญาณนาฬิกาข้อมูลและกราวด์ ในรูป 5.1 แสดงให้เห็นไดอะแกรมเวลาของการสื่อสารข้อมูลแบบซิงโครนัส



รูป 5.1 ไดอะแกรมเวลาของการสื่อสารข้อมูลแบบซิงโครนัส

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การสื่อสารข้อมูลแบบอะซิงโครนัส

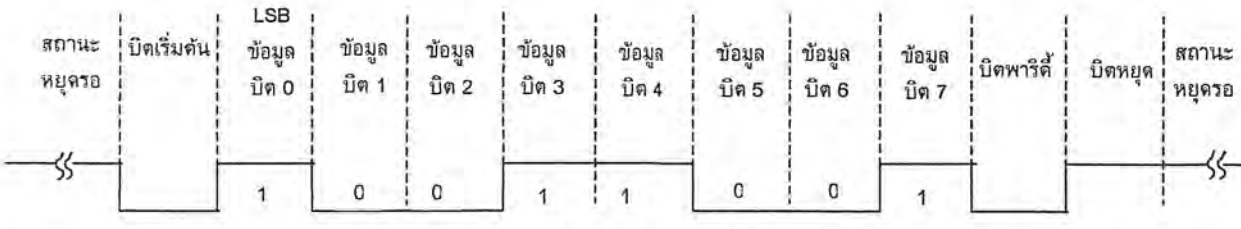
การสื่อสารข้อมูลแบบอะซิงโครนัสคือการรับส่งข้อมูลโดยไม่จำเป็นต้องมีสัญญาณนาฬิการ่วมด้วย แต่จะใช้การกำหนดค่าอัตราเร็วในการรับและส่งข้อมูลให้มีค่าเท่ากัน ซึ่งเรียกอัตราเร็วนี้ว่า อัตราบอดหรือบอดเรด (baud rate) มีหน่วยเป็นบิตต่อวินาที (bit per second : bps)

รูปแบบของข้อมูลที่ใช้ในการรับส่งแบบอะซิงโครนัสประกอบด้วย 4 ส่วนด้วยกันคือ

1. บิตเริ่มต้น (start bit) มีขนาด 1 บิต
2. บิตข้อมูลแบบอนุกรม มีขนาด 5,6,7 หรือ 8 บิต
3. บิตตรวจสอบพาริตี้ (parity bit) มีขนาด 1 บิตหรือไม่มี
4. บิตปิดท้ายหรือบิตหยุด (stop bit) มีขนาด 1,1.5 หรือ 2 บิต

รูปที่ 5.2 แสดงรูปแบบของข้อมูลอนุกรมแบบอะซิงโครนัส เมื่อไม่มีการส่งข้อมูล ขา DATA จะมีสถานะลอจิก "1" เรียกสถานะนี้ว่า สถานะหยุดรอ (waiting stage) การเริ่มต้นส่งข้อมูลจะเริ่มจากการใช้ขา DATA มีลอจิก "0" ด้วยช่วงระยะเวลา 1 บิต เรียก 1 บิตนี้ว่า บิตเริ่มต้น (start bit) จากนั้นบิตข้อมูลจะถูกส่งออกไปโดยเริ่มจากบิตที่มีนัยสำคัญต่ำสุดหรือบิต LSB ก่อนซึ่งข้อมูลที่ต้องการส่งอาจมีจำนวน 5,6,7 หรือ 8 บิตก็ได้ จากนั้นตามด้วยบิตพาริตี้ (parity bit) ซึ่งใช้ในการตรวจสอบความผิดพลาดที่เกิดขึ้นจากการส่งข้อมูล บิตสุดท้ายที่จะส่งคือ บิตปิดท้ายหรือบิตหยุด (stop bit) โดยเป็นการทำให้ขา DATA มีสถานะลอจิก "1" อีกครั้งด้วยระยะเวลาอย่างน้อย 1 บิต, 1.5 บิต หรือ 2 บิต เพื่อเป็นการแสดงว่าสิ้นสุดข้อมูลแล้ว

อัตราความเร็วในการรับและส่งข้อมูลของการรับส่งข้อมูลแบบอะซิงโครนัสหรืออัตราบอดหรือบอดเรตที่ใช้สำหรับพอร์ทอนุกรม RS-232 มีด้วยกันหลายค่า ได้แก่ 110, 150, 300, 600, 1200, 2400, 4800, 9600 และ 19200 บิตต่อวินาที โดยมีค่าเพิ่มขึ้นตามเทคโนโลยีของคอมพิวเตอร์ เนื่องจากบอดเรต คือค่าของจำนวนบิตที่สามารถส่งได้ใน 1 วินาที สมมติว่าข้อมูลอนุกรมมีขนาด 8 บิต ไม่มีการตรวจสอบพาริตี้ มีบิตเริ่มต้น 1 บิต และบิตปิดท้าย 1 บิต ความยาวข้อมูล 1 ไบต์จะมีความยาวเท่ากับ 10 บิต ถ้าใช้บอดเรตในการส่งข้อมูลเท่ากับ 9600 บิตต่อวินาที ก็จะสามารถรับส่งข้อมูลได้ด้วยความเร็ว 960 ไบต์ต่อวินาที



รูป 5.2 รูปแบบของข้อมูลอนุกรมแบบอะซิงโครนัส

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การตรวจสอบพาริตี้สามารถกำหนดให้เป็นแบบคี่ (odd), แบบคู่ (even) หรือไม่มีการตรวจสอบพาริตี้ก็ได้ พาริตี้คี่หรือพาริตี้คู่แสดงถึงจำนวนลอจิก "1" ทั้งหมดภายในข้อมูลที่ส่งไป 1 ไบต์ รวมบิตพาริตี้ว่ามีจำนวนเลขคู่หรือเลขคี่ ยกตัวอย่าง ข้อมูลที่จะทำการส่งมีขนาด 8 บิต มีค่าเท่ากับ 99H หรือ 10011001B จะเห็นว่าข้อมูลในไบต์นี้มีจำนวนลอจิก "1" จำนวน 4 ตัวซึ่งเป็นเลขคู่ ดังนั้นถ้ากำหนดค่าพาริตี้เป็นคู่ ค่าของบิตพาริตี้จะต้องมีลอจิกเป็น "0" แต่ถ้ากำหนดพาริตี้เป็นคี่ ค่าของบิตพาริตี้จะต้องเป็น "1" เพื่อให้ข้อมูล 1 ไบต์รวมทั้งบิตพาริตี้เป็นคี่

บิตพาริตี้ถูกสร้างขึ้นจากภาคส่งข้อมูลของ UART (Universal Asynchronous Receiver Transmitter : เป็นอุปกรณ์ที่ใช้ในการรับและส่งข้อมูลอนุกรม ซึ่งจะกล่าวถึงในรายละเอียดภายหลัง) ซึ่งทางภาครับจะต้องกำหนดคุณสมบัติการตรวจสอบพาริตี้ที่ตรงกันไว้ว่าจะตรวจสอบพาริตี้คี่หรือพาริตี้คู่ จากนั้นภาครับของ UART จะทำการตรวจสอบค่าพาริตี้ที่เกิดขึ้นว่าเป็นคู่หรือเป็นคี่ โดยการนับจำนวนลอจิก "1" ทั้งหมดรวมทั้งบิตพาริตี้ด้วย ถ้ากำหนด
พาริตี้ไว้เป็นคู่แต่อ่านค่าในการนับตัวเลขออกมาเป็นคี่ ทางภาครับจะแสดงข้อผิดพลาดออกมาให้ผู้ใช้ทราบ กระบวนการดังกล่าวเป็นวิธีการตรวจสอบความผิดพลาดที่เกิดขึ้นในการรับส่งข้อมูลที่ง่ายที่สุด แต่มันสามารถตรวจได้เมื่อมีบิตข้อมูลที่ทำการรับส่งผิดพลาดเพียงบิตเดียวเท่านั้น ถ้าข้อมูลที่ทำการส่งมีบิตที่ผิดพลาดมากกว่า 1 บิต การตรวจสอบด้วยวิธีนี้จะไม่ได้ผล สำหรับการตั้งพาริตี้บิตเป็น NONE นั้นทั้งภาครับและภาคส่ง จะไม่มีการตรวจสอบพาริตี้

คอมพิวเตอร์ในรุ่น AT เกือบทั้งหมดจะใช้ไอพี UART เบอร์ 16450 และ 16550 ส่วนคอมพิวเตอร์ในรุ่น XT ให้ไอซี UART เบอร์ 8250 ไอซี UART เหล่านี้มีระดับแรงดันของลอจิกเป็นแบบทีทีแอล (+5V) แต่เพื่อให้มีแรงดันเป็นไปตามมาตรฐาน RS-232 และเพื่อให้การรับส่งข้อมูลสามารถทำได้ที่ระยะทางไกลมากขึ้น ระดับแรงดันทีทีแอลจะถูกแปลงเป็นระดับแรงดันที่สูงขึ้น โดยลอจิก "0" จะมีระดับแรงดัน -3V ถึง -12V และลอจิก "1" มีระดับแรงดัน +3V ถึง -12V และลอจิก "1" มีระดับแรงดัน +3V ถึง +12V

มาตรฐานพอร์ทอนุกรมแบบ RS-232

มาตรฐานพอร์ทอนุกรมแบบ RS-232 เป็นมาตรฐานอุตสาหกรรมที่ออกแบบมาเพื่อใช้ในการส่งข้อมูลแบบอะซิงโครนัส 2 ทิศทาง โดยมาตรฐาน RS-232 ในอดีตนั้นถูกออกแบบมาเพื่อการส่งผ่านข้อมูลจากคอมพิวเตอร์ไปยังโมเด็มเพียงอย่างเดียว เพื่อที่จะนำข้อมูลจากโมเด็มนี้ส่งผ่านสายโทรศัพท์ไปยังคอมพิวเตอร์อีกชุดซึ่งอยู่ห่างไกลกัน โดยสมาคมอุตสาหกรรมอิเล็กทรอนิกส์ (Electronic Industries Association : EIA) ได้วางมาตรฐานที่มีชื่อเรียกกันว่า EIA RS-232 มาตรฐานนี้ในช่วงแรกจะใช้คอนเน็กเตอร์เป็นแบบ DB-25 โดยกำหนดความยาว

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สูงสุดของสายสัญญาณไว้ที่ 50 ฟุต มีระดับสัญญาณตั้งแต่ -3V ถึง -12V แสดงว่ามีข้อมูล (mark) และ +3V ถึง +12V แสดงว่าเป็นช่องว่าง (space)

มาตรฐาน RS-232 ถูกใช้ในการกำหนดรูปแบบการสื่อสารข้อมูลกันระหว่างอุปกรณ์เชื่อมต่อข้อมูล (Data Terminal Equipment : DTE) กับวงจรข้อมูลปลายทาง (Data Circuit Termination : DCE) อุปกรณ์ DTE จะต้องเป็นอุปกรณ์ที่มีการประมวลผลในตัวเช่น ไมโครคอนโทรลเลอร์หรือไมโครคอมพิวเตอร์ ซึ่งมีความสามารถในการสร้างบิตข้อมูลแบบอนุกรมได้ ส่วนอุปกรณ์ DCE ทำหน้าที่เป็นเพียงตัวรับข้อมูลที่ส่งมาจาก DTE เท่านั้น

ข้อแตกต่างของอุปกรณ์ DTE และอุปกรณ์ DCE อย่างหนึ่งที่เห็นได้ชัดคือ คอนเน็กเตอร์ของ DTE จะเป็นตัวผู้ ส่วนคอนเน็กเตอร์ของ DCE จะเป็นตัวเมีย ซึ่งพอร์ทอนุกรมของคอมพิวเตอร์ที่ใช้กันอยู่ทั่วไปจะเป็นแบบ DTE ส่วนคอนเน็กเตอร์ที่อยู่ที่โมเด็มจะเป็นแบบ DCE

สำหรับการใช้งานในคอมพิวเตอร์ พอร์ทอนุกรม RS-232 ถูกใช้เพื่อเชื่อมต่อกับโมเด็ม, เมาส์ และเครื่องพิมพ์ที่สามารถติดต่อทางพอร์ทอนุกรมได้

คอนเน็กเตอร์สำหรับพอร์ท RS-232 และการเชื่อมต่อ

มาตรฐานการเชื่อมต่อแบบ RS-232 จะใช้คอนเน็กเตอร์แบบ DB-25 ตัวผู้ หรือ DB-9 ตัวผู้ ซึ่งคอนเน็กเตอร์แบบ DB-25 จะมีขาต่อใช้งาน เพียง 9 เส้นเช่นเดียวกับคอนเน็กเตอร์แบบ DB-9 เนื่องจากขาอื่น ๆ ที่เคยมีการใช้งานมาในอดีตไม่ค่อยมีความสำคัญมากนักจึงถูกยกเลิกไป โดยแสดงรูปร่างและตำแหน่งขาดังรูปที่ 5.3

- ขา Data Carrier Detect : DCD หรืออาจเรียกว่า Carrier Detect : CD ขานี้จะแอกตีฟเมื่อมีการส่งสัญญาณพาร์จากอุปกรณ์สื่อสารข้อมูล เช่น โมเด็ม สำหรับการใช้งานปกติขานี้จะไม่ได้ถูกใช้งานมากนัก

- ขา Receive Data : RD หรือ RxD ขานี้ใช้เพื่อรับสัญญาณอนุกรมเข้ามายังคอมพิวเตอร์ โดยจะนำข้อมูลที่อ่านได้ไปเก็บไว้ในรีจิสเตอร์บัฟเฟอร์

- ขา Transmitted : TD หรือ TxD ขานี้ใช้เพื่อส่งข้อมูลอนุกรมออกจากคอมพิวเตอร์ โดยการนำข้อมูลที่เก็บอยู่ในบัฟเฟอร์สำหรับส่งข้อมูลออกไป

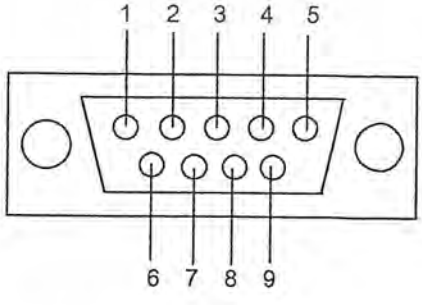
- ขา Data Terminal Ready : DTR เป็นขาเอาท์พุทที่ใช้สำหรับส่งสัญญาณออกจากคอมพิวเตอร์เพื่อให้อุปกรณ์ปลายทางรับรู้ว่าต้องการติดต่อกับอุปกรณ์ปลายทาง โดยขา DTR นี้จะต้องเชื่อมต่อกับขา DSR ของอุปกรณ์ปลายทาง และขา DTR ของอุปกรณ์ปลายทางจะต้องเชื่อมต่อกับขา DSR ของคอมพิวเตอร์และถ้าใช้การเชื่อมต่อแบบ 3 สาย ต้องเชื่อมต่อขา DTR

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

และ DSR ของพอร์ทอนุกรมเข้าด้วยกัน และจะต้องต่อเชื่อมเข้ากับขา DCD ด้วยในกรณีที่โปรแกรมสื่อสารที่ใช้มีการตรวจจับสัญญาณพาร์

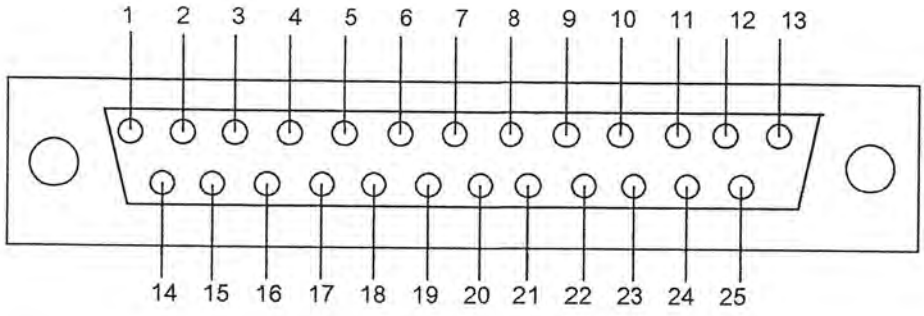
- ขา Signal Ground : GND เป็นขากราวด์ของสัญญาณ
- ขา Data Set Ready : DSR ขานี้จะใช้ควบคู่กับ DTR เพื่อตรวจสอบการเชื่อมต่อกันระหว่างคอมพิวเตอร์กับอุปกรณ์ปลายทาง ซึ่งขา DSR นี้จะเป็นขาสำหรับข้อมูลจากภายนอก
- ขา Request To Send : RTS เป็นขาเอาท์พุทสำหรับส่งสัญญาณร้องขอให้อุปกรณ์ปลายทางส่งข้อมูลมาให้คอมพิวเตอร์ โดยขาที่รับสัญญาณ RTS ก็คือขา CTS ซึ่งในกรณีที่มีการเชื่อมต่อแบบ 3 สาย จะต้องเชื่อมต่อขา RTS และ CTS เข้าด้วยกัน เพื่อให้การรับและส่งข้อมูลเกิดขึ้นได้ตลอดเวลา
- ขา Clear To Send : CTS เป็นขาอินพุททำหน้าที่รอรับสัญญาณที่ส่งเข้ามา เมื่อมีการส่งสัญญาณเข้ามาที่ขานี้ ข้อมูลที่ขา TxD จะถูกส่งออกไป ขานี้ใช้เพื่อตรวจสอบอุปกรณ์ต่อพ่วงว่าพร้อมที่รับข้อมูลแล้วหรือยัง
- ขา Ring Indicator : RI ใช้แสดงสถานะสัญญาณเรียกจากสายโทรศัพท์ ปกติในการสื่อสารโดยทั่วไปสายนี้จะไม่ถูกใช้งาน จะใช้งานก็ต่อเมื่อมีการเชื่อมต่อกับโมเด็มแล้วยังมีความต้องการตรวจสอบสัญญาณเรียกจากสายโทรศัพท์

สำหรับการเชื่อมต่อสายระหว่างคอมพิวเตอร์กับอุปกรณ์ภายนอกแสดงดังในรูปที่ 5.4 ถูกศรในรูปแสดงถึงทิศทางของข้อมูล การเชื่อมต่อในรูปที่ 1.4(ก) เป็นการเชื่อมต่อแบบ NULL MODEM หรือการเชื่อมต่อโดยตรงไม่ต้องผ่านโมเด็ม ส่วนการเชื่อมต่อในรูปที่ 1.4(ข) เป็นการเชื่อมต่อโดยใช้สายสัญญาณน้อยที่สุดเพียง 3 เส้น โดยเส้นหนึ่งสำหรับส่งข้อมูล อีกเส้นสำหรับรับข้อมูล และอีกเส้นเป็นกราวด์



(ก) คอนเน็กเตอร์อนุกรม 9 ขาหรือแบบ DB-9(มองจากด้านหลังคอมพิวเตอร์)

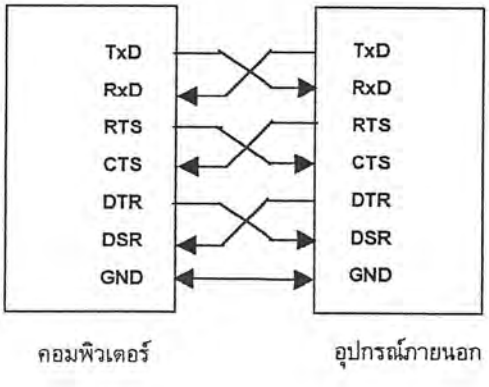
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



(ข) คอนเน็กเตอร์อนุกรม 25 ขาหรือแบบ DB-25(มองจากด้านหลังคอมพิวเตอร์)

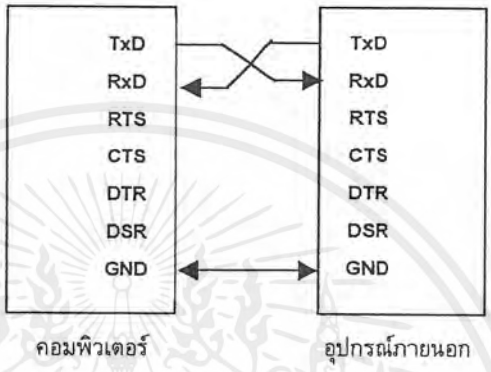
คอนเน็กเตอร์ DB-9	คอนเน็กเตอร์ DB-25	ชื่อของสายสัญญาณ	ชนิดของสายสัญญาณ
1	8	Data Carrier Detech : DCD	อินพุท
2	3	Receive Data : RxD	อินพุท
3	2	Transmitted Data : TxD	เอาท์พุท
4	20	Data Terminal Ready : DTR	เอาท์พุท
5	7	Signal Ground : GND	-
6	6	Data Set Ready : DSR	อินพุท
7	4	Request To Send : RTS	เอาท์พุท
8	5	Clear To Send : CTS	อินพุท
9	22	Ring Indicator : RI	อินพุท

รูปที่ 5.3 การจัดขาสัญญาณของพอร์ทอนุกรมในแบบต่าง ๆ และหน้าที่การทำงาน



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

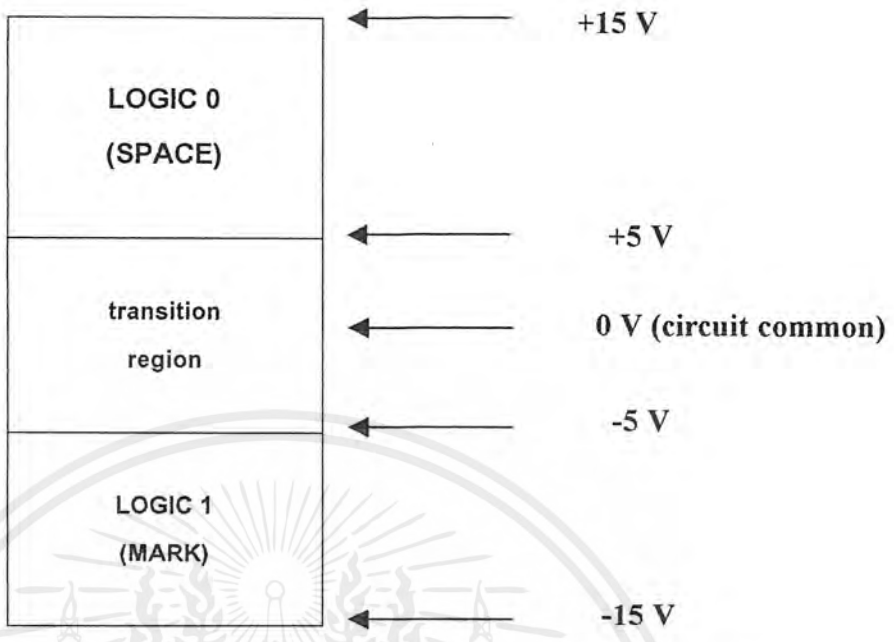
(ก) การต่ออุปกรณ์ภายนอกเข้ากับคอมพิวเตอร์แบบ Null modem



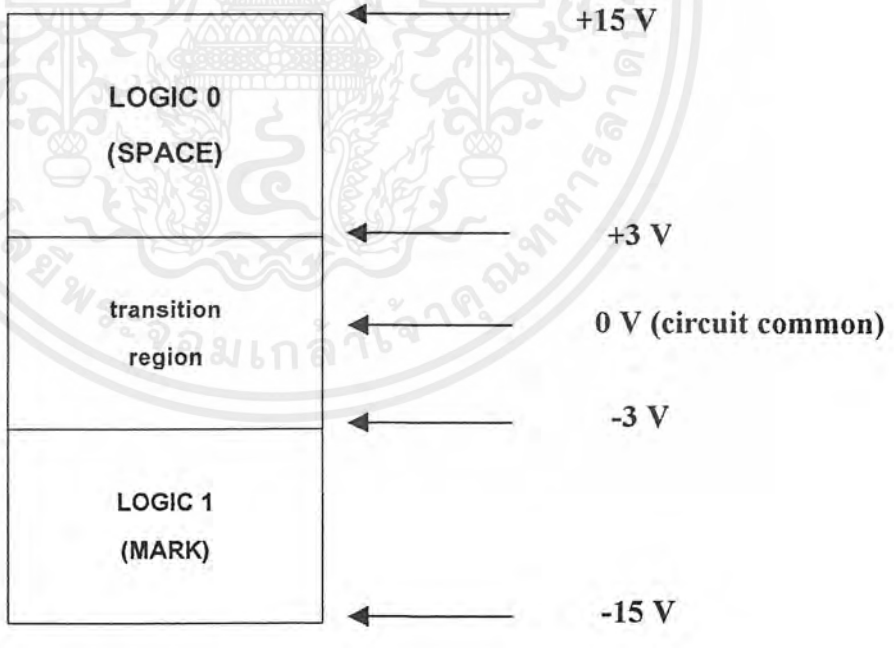
(ข) การต่ออุปกรณ์ภายนอกเข้ากับคอมพิวเตอร์แบบ RS-232
ในลักษณะที่ใช้สายสัญญาณน้อยที่สุดเพียง 3 เส้น

รูป 5.4 การต่ออุปกรณ์ภายนอกเข้ากับคอมพิวเตอร์ผ่านทางพอร์ทอนุกรมในรูปแบบต่าง ๆ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



Logic definitions for RS-232 outputs

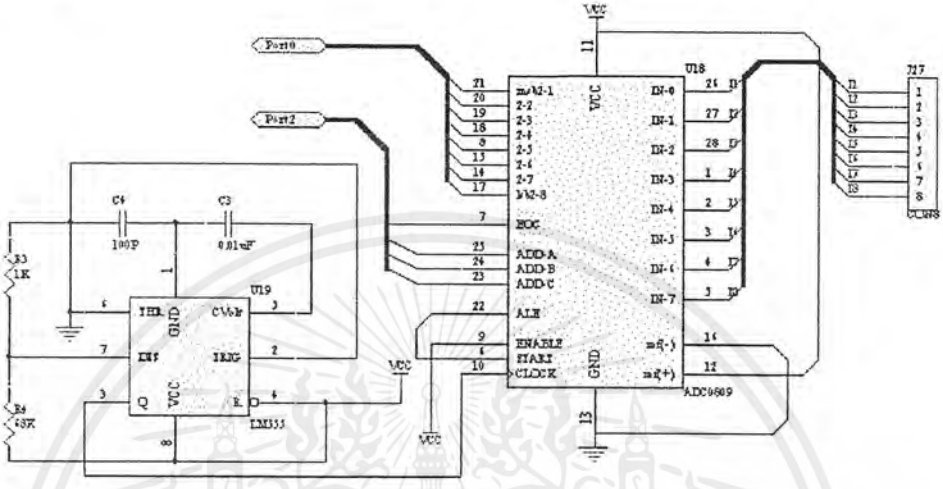


Logic definitons for RS-232 inputs

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ส่วนอุปกรณ์อินพุท/เอาท์พุท (Input/Output unit)

วงจรในส่วนนี้จะประกอบไปด้วยวงจร A/D converter, D/A converter และ V/I converter



A/D converter

ในวงจร A/D converter นี้จะใช้ไอซีเบอร์ ADC0809 ซึ่งเป็นไอซี A/D มี 8 แชนแนล โดยมีความละเอียด 255 ระดับ และสามารถตั้งแรงดันอ้างอิงได้จากขา Ref+ และ Ref- โดยเราสามารถเลือกแชนแนลได้จากการควบคุมขา ADD-A ถึง ADD-C โดยการควบคุมเป็นดังนี้

ADD-C	ADD-B	ADD-A	Channel
0	0	0	0
0	0	1	1
0	1	0	2
0	1	1	3
1	0	0	4
1	0	1	5
1	1	0	6
1	1	1	7

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ส่วนสัญญาณที่ใช้ในการควบคุมในการเลือแชนแนลนั้นเป็นสัญญาณจากพอร์ท 2 ล่างคือ $P_{2.0}$-$P_{2.2}$ โดย $P_{2.0}$ จะถูกต่อเข้ากับขา ADD-A, $P_{2.1}$ จะถูกต่อเข้ากับขา ADD-B และ $P_{2.2}$ จะถูกต่อเข้ากับขา ADD-C จาก MCS-51

ส่วนสัญญาณที่ใช้ในการสั่งให้เริ่มทำงานนั้นก็คือสัญญาณจากพอร์ท 2 ของ MCS-51 ล่าง คือ $P_{2.3}$ จะทำงานที่ขอบขาขึ้น (สภาวะแอคทีฟจะอยู่ที่การเปลี่ยนระดับลอจิกจาก "0" เป็น "1") โดยจะถูกต่อเข้ากับขา start และ ALE ของไอซี ADC0809

โดยในการทำงานของไอซี ADC0809 นั้นจะต้องมีวงจรกำเนิดพัลส์จากภายนอก ซึ่งในโครงงานนี้จะใช้ไอซี 555 ในการผลิตพัลส์ซึ่งความถี่ที่ใช้นั้นจะมีผลต่อการทำงานคือ ถ้าความถี่ที่ผลิตได้น้อยจะทำให้ใช้เวลานานในการคำนวณ แต่ถ้าความถี่สูงจะใช้เวลาในการทำงานน้อย

อุปกรณ์ทางด้านอินพุทเช่น อัตราการไหล, แรงดัน หรือระดับของของเหลว จะถูกต่อเข้ากับแชนแนลต่าง ๆ ของไอซี ADC0809 เช่น ในโครงงานนี้จะมีการต่อการวัดอัตราการไหลเข้ากับแชนแนลที่ 1 และนำค่าที่แปลงจากสัญญาณอนาล็อกเป็นสัญญาณดิจิตอลส่งให้ MCS-51 โดยจะส่งค่าให้ที่ Port 0 ของ MCS-51

จากวงจร I/O unit จะมีวงจร A/D converter ซึ่งใช้ไอซี ADC0809 และไอซีไทม์เมอร์ 555 โดยไอซี 555 นั้นต่อเป็นวงจรอะสเตเบิ้ลมัลติไวเบรเตอร์ โดยมีค่า R1 = 68K, R2 = 1K และ C2 = 100 pF ดังนั้นความถี่ที่ผลิตได้จะมีค่าเท่ากับ

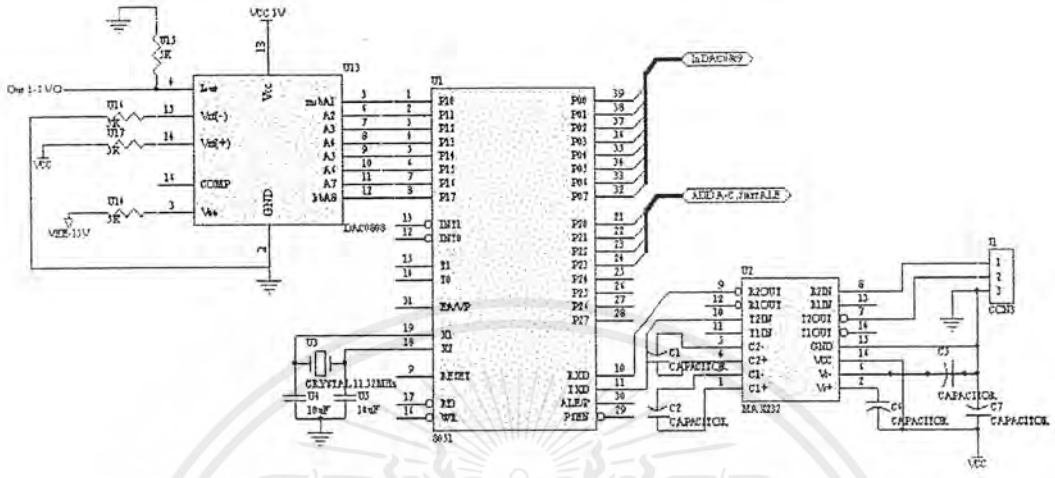
$$f = \frac{1}{T} = \frac{1.443}{(R_1 + 2R_2) \cdot C_2}$$

$$= 206.142 \text{ kHz}$$

ดังนั้นเวลาในการทำงานแต่ละรอบสูงสุดของไอซี ADC0809 คือ $\frac{1.443}{(R_1 + 2R_2) \cdot C_2}$

เท่ากับ 1.237 ms ที่ต้องคูณด้วย 255 เนื่องจากจำนวนพัลส์สูงสุดที่ใช้ในการทำให้เกิดเอาท์พุต $FF (อินพุตเข้ามาสูงสุด = +5V เท่ากับ 255 พัลส์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



วงจร D/A converter

วงจรนี้จะประกอบด้วยไอซีหลักคือ DAC0808 เป็นไอซีที่ทำหน้าที่ในการแปลงสัญญาณ Digital ให้เป็นสัญญาณ Analog ขนาด 8 บิท โดยรับค่าสัญญาณดิจิตอลจาก Port 1 ของ MCS-51

ซึ่งวงจรนี้จะใช้ Vcc +5V และ Vee –5V โดยต่อผ่านตัวต้านทางค่า 5K และ Vref(+) = +5V และ Vref(-) = 0V และเราจะใช้ Software ในการแปลงให้อยู่ในรูปสัญญารมาตรฐาน 1-5 V ซึ่งในความเป็นจริงทางด้าน Hardware ก็สามารถทำให้อยู่ในรูปสัญญาณมาตรฐานได้แต่เนื่องจากว่าสัญญาณที่ได้อาจมีการสูญเสียไปทำให้เกิดข้อผิดพลาดได้เช่น เมื่อเป็น 1 V คือวาล์วควบคุมจะต้องปิดสนิทแต่ในความเป็นจริงอาจจะปิดไม่สนิทก็ได้ ซึ่งการแก้ไขทาง Hardware ทำได้ลำบากเมื่อมีความคลาดเคลื่อนแต่ทางด้าน Software นั้นจะทำได้ง่ายและสะดวกมากกว่า

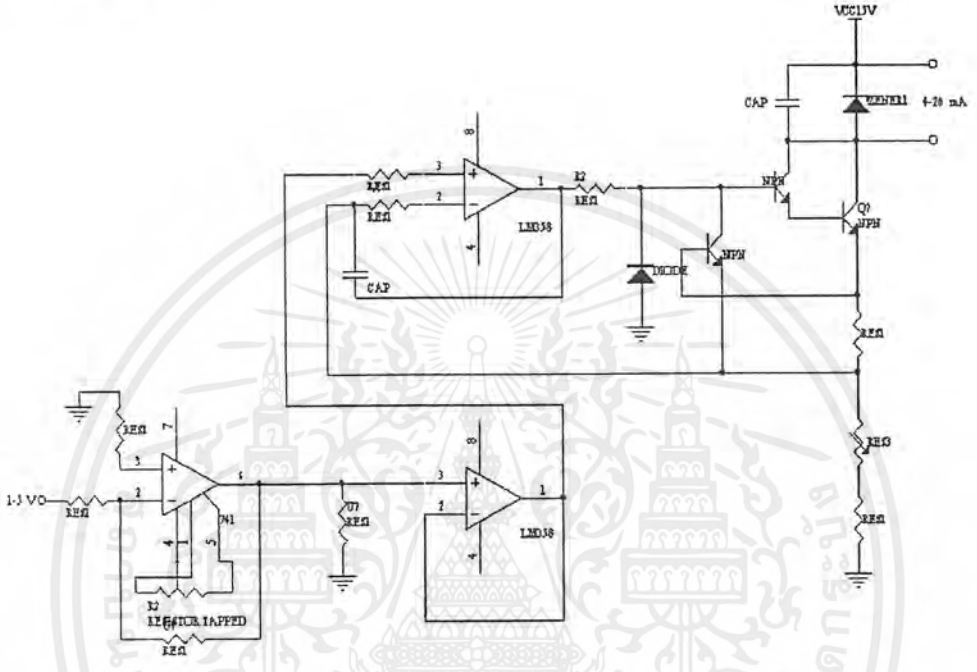
ลักษณะของเอาท์พุทของ DAC0808 นั้นจะเป็นลักษณะกลับกันคือ ถ้าอินพุทเป็น $00 เอาท์พุทจะออก 5 V แต่ถ้าอินพุทเป็น $FF เอาท์พุทจะเป็น 0 V ดั้งนั้นจึงต้องมีวงจรอีกชุดหนึ่งเพื่อแปลงให้เอาท์พุทนั้นเป็นไปตามปกติคือให้อินพุทเข้ามาเป็น $00 แล้วเอาท์พุทออก 0 V หรืออินพุทเข้ามาเป็น $FF เอาท์พุทออกเป็น 5 V

เราสามารถทำได้โดยการต่อออปแอมป์ให้อยู่ในวงจรซัมมิ่งอินเวอร์ติ้ง (Summing Inverting) แล้วนำมาผ่านวงจรอินเวอร์ติ้งอีกครั้ง ซึ่งในโครงงานนี้จะใช้ออปแอมป์ 741 ในการทำ Summing Inverting และใช้ออปแอมป์ LM358A ในการทำอินเวอร์ติ้ง ซึ่งจะทำให้ได้เอาท์พุ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ทออกมาตามต้องการ คืออินพุทเป็น $00 เอาท์พุทออก 0 V และอินพุทเป็น $FF เอาท์พุทออก 5 V

ถ้าคอมพิวเตอร์ส่งข้อมูลดิจิตอลออกไปเป็น $66 จะทำให้มีเอาท์พุทออกที่วงจร D/A converter เท่ากับ 2 V



วงจรแปลงแรงดันเป็นกระแส (V/I converter)

มีหลักการที่ว่าขาอินเวอร์ติ้งและขานอนอินเวอร์ติ้งนั้นจะต้องมีแรงดันเท่ากัน ดังนั้นแรงดันที่ตกคร่อม VR_1 และ R_5 จะเท่ากันด้วยดังนั้นกระแสที่ไหลผ่านจะเท่ากับ $V_{in}/250\ \Omega$ (ค่าความต้านทานของ VR_1 เท่ากับ $50\ \Omega$) ซึ่งจะเห็นว่าความต้านทานโหลดที่จะนำมาต่อคร่อมซีเนอร์ไดโอด (ZD_1) นั้นจะไม่มีผลต่อค่ากระแสเลย และในวงจรนี้สามารถที่จะต่อความต้านทานโหลดได้ถึง $650\ \Omega$ ซึ่งมาจาก 13 V / 20 mA (เนื่องจาก ZD_1 1N4743A มีแรงดันซีเนอร์เท่ากับ 13 V) และเราสามารถปรับแต่งค่ากระแสได้โดยใช้ VR_1

และใช้วงจรสวิทช์ทรานซิสเตอร์แบบดาร์ลิงตั้น (Tr.1 เบอร์ 2SC1815 และ Tr.2 เบอร์ 2N3053) ในการที่จะทำให้ควบคุมกระแสที่สูงกว่าได้โดยใช้กระแสควบคุมเพียงเล็กน้อยเท่านั้น

โดยค่า I_{C2} เท่ากับ 20 mA, β_1 ของ Tr.1 = 120 และ β_2 ของ Tr.2 = 90

$$\text{ดังนั้น } I_{B2} = I_{C1} = \frac{I_{C2}}{\beta_2} = \frac{20\text{ mA}}{90}$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$\text{และ} \quad I_{B1} = \frac{I_{C1}}{\beta_1} = \frac{\frac{20mA}{90}}{120} = 1.852 \ \mu A$$

หมายถึงว่ากระแสที่ออกจากออปแอมป์เพียง 1.852 μA สามารถที่จะควบคุมกระแสเอาท์พุทได้ถึง 20 mA

โดยที่ Tr.3 เบอร์ 2SC1815 ทำหน้าที่ในการป้องกันกระแสเกินโดยเมื่อกระแสเพิ่มขึ้นจะทำให้แรงดันตกคร่อม R_4 (27 Ω) เพิ่มขึ้นทำให้มีแรงดันขาเบสและอิมิตเตอร์ (V_{BE}) ของ Tr.3 มากขึ้นทำให้ Tr.3 ทำงานได้มากขึ้นทำให้มีกระแสไหลผ่านเข้ามาทางขาคอลเลคเตอร์ของ Tr.3 มากขึ้นทำให้กระแสที่จะไหลเข้าขาเบสของ Tr.1 น้อยลงทำให้กระแสเอาท์พุทลดลง

ดังนั้นเมื่อมีแรงดัน 5 V เข้ามาที่ขานอนอินเวอร์ติ้ง (ขา 5) ของ LM358B ทำให้มีแรงดันตกคร่อมขาอินเวอร์ติ้ง (ขา 6) เท่ากับ 5 V เท่ากันด้วย ดังนั้นจึงมีแรงดันตกคร่อมที่ VR_1 100 Ω และ ตัวต้านทาน R_5 200 Ω เท่ากับ 5 V ดังนั้นจึงมีกระแสไหลผ่านเท่ากับ 5 V/250 Ω (ค่า VR1 = 50) เท่ากับ 20 mA ดังนั้นกระแสที่ไหลผ่านอุปกรณ์ควบคุมจึงมีค่าเท่ากับ 20 mA ด้วย

แต่ถ้ามีแรงดัน 1 V เข้ามาที่ขานอนอินเวอร์ติ้งทำให้มีแรงดันตกคร่อม VR_1 และ R_5 เท่ากับ 1 V ดังนั้นจึงมีกระแสไหลผ่านเท่ากับ 1 V/ 250 Ω เท่ากับ 4 mA

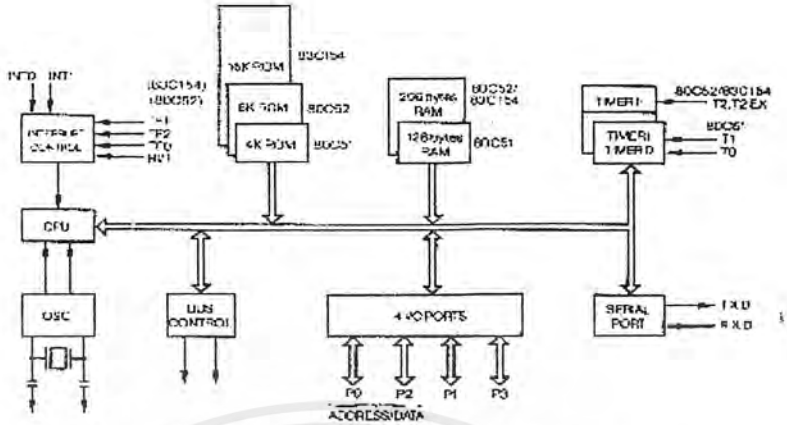
โดย C_1 และ C_2 นั้นจะทำหน้าที่ในการหน่วงเวลาไว้สักพักเพื่อที่ไม่ให้มีกระแสเพิ่มขึ้นอย่างรวดเร็วแต่จะให้ค่อย ๆ เพิ่มทีละน้อย

โดยในการติดต่อสื่อสารระหว่างคอมพิวเตอร์กับอุปกรณ์ Input/Output เราจะใช้การส่งข้อมูลผ่านทาง IC Max 232 เข้า Microcontroller โดยเราจะใช้ MSC 51 เป็นตัว Interface

โครงสร้างของ 8051

ภายใน 8051 จะประกอบขึ้นด้วย GATE ต่าง ๆ เช่น AND, OR, NOT ซึ่ง GATE เหล่านี้จะถูกนำเอามาออกแบบให้มีหน้าที่การทำงานต่าง ๆ เช่น วงจรถอดรหัสคำสั่ง (Intruction Decoder), วงจรสร้างสัญญาณนาฬิกา (Clock Signal Generator) โครงสร้างภายในของ 8051 จะประกอบด้วยส่วนย่อย ๆ ดังไดอะแกรมในรูปที่ 5.5

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



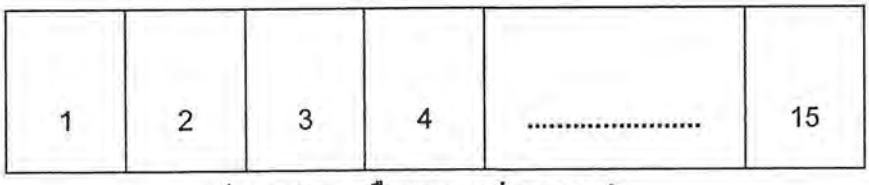
รูป 5.5 ไดอะแกรมโครงสร้างของ 8051

ไดอะแกรมในรูป 5.5 เป็นโครงสร้างใหญ่ ๆ ของ 8051 เนื่องจากลักษณะของ 8051 เป็นคอมพิวเตอร์จึงประกอบด้วย 3 ส่วนหลัก ๆ คือ

ส่วนที่ 1 คือ CPU (Central Processing Unit) หรือตัวประมวลผล ส่วนนี้จะมีวงจรที่ทำหน้าที่สร้างสัญญาณควบคุมในการติดต่อกับส่วนอื่น ๆ เรียกว่าวงจรควบคุม (Control Unit) สัญญาณที่สร้างจากวงจรควบคุมได้แก่ สัญญาณสำหรับการติดต่อกับหน่วยความจำ, อุปกรณ์รับข้อมูลเข้าหรือส่งข้อมูลออกจากตัว 8051 ซึ่งส่วนควบคุมการขัดจังหวะ (Interrupt Control) และส่วนควบคุมบัส (Bus Control) ก็เป็นส่วนหนึ่งของวงจรควบคุมด้วย การสร้างสัญญาณควบคุมจากส่วน CPU นี้จะทำการสร้างสัญญาณโดยการถอดรหัสจากคำสั่ง (Instruction) ตามที่มีการกำหนดไว้ และสัญญาณที่สร้างขึ้นมาจะอ้างอิงกับสัญญาณนาฬิกาที่สร้างจากวงจรออสซิลเลเตอร์เพื่อให้ทุก ๆ ส่วนในวงจรทำงานประสานกัน (Synchronize) อย่างถูกต้อง

ใน CPU นี้ยังประกอบด้วยส่วนย่อยอีกส่วนที่เรียกว่าส่วนประมวลผล (Arithmetic Logic Unit) ส่วนนี้จะทำหน้าที่ประมวลผลข้อมูลเช่น การบวก, ลบ, คูณ หรือหารข้อมูลแล้วนำผลลัพธ์ไปเก็บไว้ในรีจิสเตอร์หรือหน่วยความจำที่ต้องการ

ส่วนที่ 2 คือ หน่วยความจำ (Memory) มีไว้สำหรับจดจำข้อมูล ถ้าจะให้เห็นภาพพจน์ของหน่วยความจำได้ดีก็คือ หน่วยความจำเปรียบเหมือนกล่องเก็บเอกสารจำนวนมากที่นำมาต่อเรียงกันไว้ แต่ละกล่องก็มีเอกสาร 1 แผ่น ดังในรูป 5.6 มีกล่องเอกสารทั้งหมด 15 กล่อง



รูป 5.6 ภาพเสมือนของหน่วยความจำ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ถ้าต้องการเอาเอกสารจากกล่องใด หรือเอาเอกสารไปเก็บที่กล่องใด จะต้องรู้หมายเลขของกล่องข้อมูลเสียก่อน ซึ่งถ้าเป็นหน่วยความจำแล้วหมายเลขของกล่องก็คือตำแหน่งของหน่วยความจำหรือแอสเดรส (Address) นั่นเอง การเอาข้อมูลไปเก็บในหน่วยความจำเรียกว่าการเขียน (Write) ข้อมูล และการเอาข้อมูลออกจากหน่วยความจำจะเรียกว่าการอ่าน (Read) ข้อมูล ซึ่งแต่ละตำแหน่งของหน่วยความจำจะเก็บข้อมูลได้เพียงค่าเดียวเท่านั้น ในไมโครโปรเซสเซอร์ทั่วไป รวมทั้ง 8051 นั้นข้อมูลในแต่ละตำแหน่งของหน่วยความจำจะมีค่าได้เพียง 8 หลักของเลขฐาน 2 (8 บิทเท่ากับ 1 ไบท์) ดังนั้นแต่ละตำแหน่งของหน่วยความจำจะเก็บข้อมูลมีค่าได้ระหว่าง 0 ถึง 255 (00000000 ถึง 11111111 ในเลขฐาน 2) แต่จำนวนตำแหน่งที่จะเก็บข้อมูลได้ขึ้นกับไมโครโปรเซสเซอร์แต่ละเบอร์ การติดต่อกับหน่วยความจำจะต้องมีสัญญาณ 3 กลุ่มคือ

1. แอสเดรสหรือค่าตำแหน่งที่ต้องการติดต่อกับหน่วยความจำ ใน 8051 จะติดต่อกับหน่วยความจำประเภท Program Memory หรือ Data Memory ได้สูงสุดชนิดละ 65536 ตำแหน่ง ดังนั้นการอ้างอิงแต่ละตำแหน่งของหน่วยความจำจะต้องใช้เส้นแสดงตำแหน่งในเลขฐาน 2 ทั้งหมด 16 เส้น (2^{16} เท่ากับ 64x1024 = 65536)

2. ข้อมูลที่จะอ่านหรือเขียนกับหน่วยความจำที่ตำแหน่งในข้อ 1

3. สัญญาณควบคุมที่จะส่งไปยังหน่วยความจำ เพื่อบอกกับหน่วยความจำว่าต้องการอ่านหรือเขียนข้อมูล

สัญญาณเหล่านี้จะถูกวงจรควบคุมภายใน 8051 สร้างมาจากวงจรถอดรหัสของคำสั่งที่ 8051 อ่านจากหน่วยความจำ Program Memory เข้าไปทำงานนั่นเอง ในรูปที่ 1.5 หน่วยความจำได้แก่ 4K ROM และ 128 Byte RAM ซึ่งขนาดของหน่วยความจำนี้มีขนาดต่าง ๆ กันตามเบอร์ของไมโครคอนโทรลเลอร์

ส่วนที่ 3 อุปกรณ์อินพุทและเอาท์พุท (Input/Output Device) เป็นส่วนที่จะใช้ส่งข้อมูลเข้าหรือออกจาก 8051 ทำให้ 8051 ติดต่อกับภายนอกได้ ดังในไดอะแกรมรูป 1.5 อุปกรณ์อินพุทและเอาท์พุทได้แก่ 4 I/O Port, Timer 0, Timer 1, Serial Port การทำงานของแต่ละส่วนมีดังนี้

1. 4 I/O Port คำว่าพอร์ทหมายถึงจุดที่จะติดต่อกับส่วนที่อยู่ภายนอก 4 I/O Port ของ 8051 เป็นที่ใช้สำหรับรับ-ส่งข้อมูลซึ่งเป็นสัญญาณดิจิตอลเข้าหรือออกจากตัว MCS-51 พอร์ทมีทั้งหมด 4 พอร์ท โดยแต่ละพอร์ทจะรับ – ส่ง ข้อมูลได้ 8 บิท มีพอร์ท P0, P1, P2 และ P3 บางพอร์ทจะใช้ทำงานมากกว่า 1 อย่างก็ได้ เช่น พอร์ท P0 และ P2 จะใช้สำหรับการส่งค่าตำแหน่ง (Address) ของหน่วยความจำที่ต้องการติดต่อและพอร์ท P0 จะใช้รับส่งข้อมูลเมื่อติดต่อกับหน่วยความจำได้ด้วย แต่สิ่งเหล่านี้ไม่ได้เกิดขึ้นที่เวลาเดียวกัน แต่จะใช้วิธีทำงานตาม

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ลำดับโดยควบคุมจากสัญญาณควบคุม (Control) ที่ถอดรหัสมาจากแต่ละคำสั่งที่ให้คอมพิวเตอร์ทำงานนั่นเอง และสัญญาณทั้งหมดจะอ้างอิงจากสัญญาณนาฬิกา

2. Timer 0 และ Timer 1 เป็นวงจรนับที่สามารถกำหนดให้ทำการนับจำนวนไซเคิลของสัญญาณที่ต่อจากภายนอก 8051 หรือจำนวนไซเคิลของสัญญาณนาฬิกาภายใน 8051 ก็ได้ค่าจากการนับจะถูกอ่านหรือตั้งค่าเริ่มต้นของการนับได้โดย CPU

3. Serial Port หรือพอร์ทอนุกรม CPU จะอ่านและเขียนข้อมูลกับ Serial Port เป็นแบบ 8 บิท แต่ข้อมูลจะถูกส่งออกจาก 8051 เรียงไปทีละบิทออกจากขา TXD และในการรับข้อมูลเข้าก็จะรับเข้ามาทีละบิททางขา RXD แล้วจัดเรียงใหม่เป็น 8 บิทเพื่อให้ CPU อ่านไปใช้งานต่อไป

8051 มีพอร์ทให้ใช้งานได้หลายแบบทำให้สะดวกแก่การนำไปใช้งานต่าง ๆ มากมาย การจะนำพอร์ทเหล่านี้ไปใช้งานได้จะต้องเขียนโปรแกรมขึ้นมาควบคุม

ซึ่งในการติดต่อทาง Series จำเป็นต้องเซ็ตตำแหน่งต่าง ๆ ภายใน MCS 51 ดังนี้

Serial Data Buffer ตำแหน่งหน่วยความจำภายในเท่ากับ 99H

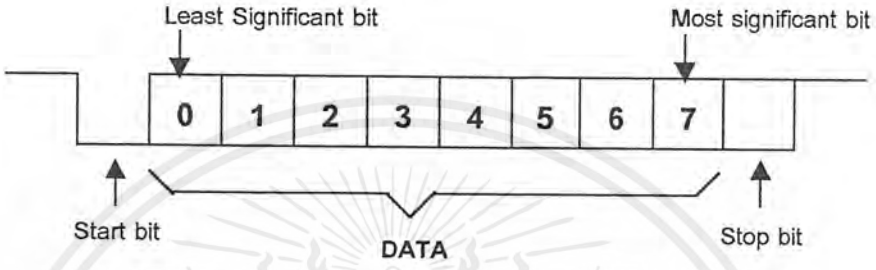
รีจิสเตอร์นี้มีขนาด 8 บิท และมีตำแหน่งของหน่วยความจำสำหรับข้อมูลภายใน 8051 เท่ากับ 99H โครงสร้างภายในแล้วรีจิสเตอร์นี้มี 2 ตัวที่มีชื่อเดียวกัน ตัวหนึ่งสำหรับเก็บข้อมูลที่จะส่งแบบอนุกรมออกจาก 8051 และอีกตัวหนึ่งสำหรับรับข้อมูลแบบอนุกรมที่เข้ามา ดังนั้น Serial Port ของ 8051 จึงเรียกว่ามีการทำงานแบบ Full Duplex เพราะสามารถส่งและรับข้อมูลได้ในเวลาเดียวกันเนื่องจากมีรีจิสเตอร์สำหรับส่งและรับแยกออกจากกัน ข้อมูลที่ต้องการจะส่งออกก็ให้เขียนไปยังรีจิสเตอร์ SBUF แล้วสั่งงานให้ส่งข้อมูลออกมา ข้อมูลในรีจิสเตอร์จะเริ่มส่งออกโดยเริ่มจากบิท 0 ถึง 7 ตามลำดับ ถ้าข้อมูลมีข้อมูลเข้ามาทางขา RXD ก็จะถูกเก็บไปไว้ในรีจิสเตอร์นี้โดยถือว่าข้อมูลบิทแรกที่เข้ามาคือบิท 0

Serial Port จะสามารถกำหนดให้การทำงานรับ – ส่งข้อมูลแบบอนุกรมได้ 4 โหมด (MODE) โดยการกำหนดในรีจิสเตอร์ SCON (Serial Port Control Register) แต่ละโหมดการทำงานของ Serial Port มีดังนี้

MODE 0 : ในโหมดนี้จะมีการรับหรือส่งข้อมูลแบบอนุกรมทางขา RXD และขา TXD จะส่งสัญญาณ Clock ที่ใช้สำหรับเลื่อน (Shift) ข้อมูล 1 ชุดของข้อมูลจะประกอบด้วยข้อมูล 8 บิทเท่านั้นและจะเริ่มการรับ – ส่งข้อมูลจากบิท 0 ถึง 7 ตามลำดับ อัตราการส่งข้อมูลแบบอนุกรมจะเท่ากับ 1/12 เท่าของความถี่สัญญาณนาฬิกาที่ใช้กับ 8051

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

MODE 1 : ข้อมูลที่รับ – ส่ง 1 ชุดในโหมดนี้จะมี 10 บิท ผ่านทางขา RXD และ TXD ตามลำดับ เริ่มต้นการรับส่งข้อมูลด้วย Start bit 1 บิท (ลอจิกเป็น 0), ข้อมูล 8 บิท (เริ่มจากบิท 0), Stop bit 1 บิท (ลอจิก 0) การส่งข้อมูลโหมดนี้มีดังรูปที่ 5.7

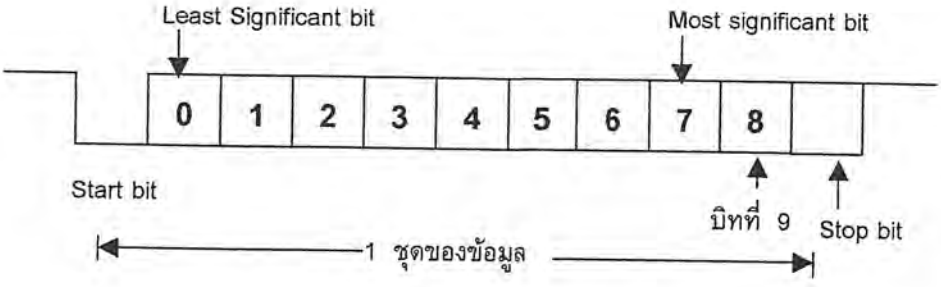


รูป 5.7 ชุดข้อมูลอนุกรมในโหมด 1

เมื่อรับข้อมูลอนุกรมเข้ามา ข้อมูล 8 บิทจะถูกเก็บในรีจิสเตอร์ SBUF และ Stop Bit จะถูกเก็บไปที่บิท RB8 ในรีจิสเตอร์ SCON ในการส่งข้อมูลออกก็จะเขียนข้อมูลที่ต้องการส่งไปยังรีจิสเตอร์ SBUF อัตราการส่งข้อมูลในโหมดนี้สามารถกำหนดได้ตามต้องการโดยจะขึ้นกับการเกิด Overflow ใน Timer 1

MODE 2 : การรับ – ส่งข้อมูลของโหมด 2 1 ชุดจะมี 11 บิท ข้อมูลจะส่งออกผ่านทางขา TXD และรับเข้ามาทางขา RXD ข้อมูลแต่ละชุดจะเริ่มต้นด้วย Start bit 1 บิท, ข้อมูล 8 บิท (เริ่มจากบิท 0), ข้อมูลบิทที่ 9 จำนวน 1 บิท และ Stop Bit อีก 1 บิทข้อมูลบิทที่ 9 ที่จะส่งออกนี้สามารถกำหนดได้ว่าจะให้เป็น 1 หรือ 0 โดยการกำหนดในบิท RB8 ของรีจิสเตอร์ SCON บิทนี้มีประโยชน์มากในการส่งข้อมูลแบบอนุกรมเช่น อาจส่งค่าพาริตี้ของข้อมูลไปเป็นบิทที่ 9 เพื่อว่าเมื่อปลายทางรับข้อมูลแล้วจะได้ใช้ตรวจสอบว่าข้อมูลที่รับเข้ามา 8 บิทมีพาริตี้บิทตรงกับบิทที่ 9 หรือไม่ ถ้าไม่ตรงก็แสดงว่ามีข้อมผิดพลาดเกิดขึ้นระหว่างการส่งข้อมูล เมื่อรับข้อมูลเข้ามานั้นข้อมูลบิทที่ 9 ก็จะถูกนำไปเก็บในบิท RB8 ของรีจิสเตอร์ SCON ชุดข้อมูลที่รับ - ส่งจะมีดังรูปที่ 5.8

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูป 5.8 ชุดข้อมูลอนุกรมในโหมด 2

อัตราการส่งข้อมูลจะกำหนดให้เป็น 1/32 หรือ 1/64 เท่าของความถี่สัญญาณนาฬิกาที่ใช้กับ 8051 โดยการกำหนดบิท SMOD ในรีจิสเตอร์ PCON

MODE 3 : การส่งข้อมูลโหมดนี้ 1 ชุด มี 11 บิท เหมือนกับโหมด 2 ทุกประการแตกต่างกันตรงอัตราการส่งข้อมูลเท่านั้น คืออัตราการส่งข้อมูลในโหมด 3 นี้สามารถกำหนดได้ตามต้องการโดยจะขึ้นกับการเกิด Overflow ใน Timer 1 เหมือนกับโหมด 1

SCON (Serial Port Control Register) ตำแหน่งหน่วยความจำภายในเท่ากับ 98H

รีจิสเตอร์ SCON มีขนาด 8 บิทใช้สำหรับควบคุมการส่งและรับข้อมูลผ่านทาง Serial Port แต่ละบิทของข้อมูลในรีจิสเตอร์นี้มีความหมายเฉพาะดังรูปที่ 5.9

SCON : SERIAL PORT CONTROL REGISTER BIT ADDRESSABLE

SM0	SM1	SM2	REN	TB8	TI	RI

SM0	SCON.7	Serial Port mode specifier.(NOTE 1).
SM1	SCON.6	Serial Port mode specifier.(NOTE 1).
SM2	SCON.5	Enables the multiprocessor communication feature in mode 2&3.In mode 2 or 3, if SM2 is set To 1 then RI will not be activated if the received 9th data bit (RBB) is 0. In mode 1, if SM2 = 1 then RI will not be activated if a valid stop bit was not received. In mode 0, SM2 should be 0. (See Table 9).
REN	SCON.4	Set/Cleared by software to Enable/Disable reception.
TB8	SCON.3	The 9th bit that will be transmitted in modes 2&3 Set/Cleared by software.
RB8	SCON.2	In modes 2&3 , is the 9th data bit that was received. In mode 1, if SM2 = 0, RB8 is the stop Bit that was received. In mode 0, RB8 is not used.
TI	SCON.1	Transmit interrupt flag. Set by hardware at the end of the 8th bit time in mode 0, or at the beginning of the stop bit in the other modes. Must be cleared by software.
RI	SCON.0	Receive interrupt flag. Set by hardware at the end of the 8th bit time in mode, or halfway through the stop bit time in the other modes (except see SM2). Must be cleared by software.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

NOTE 1 :

SM0	SM1	Mode	Description	Baud Rate
0	0	0	SHIFT REGISTER	Fosc./12
0	1	1	8-Bit UART	Bariable
1	0	2	9-Bit UART	Fosc./64 OR Fosc./32
1	1	3	9-Bit UART	Variable

SERIAL PORT SET-UP Table 9

MODE	SCON	SM2 VAREATION
0	10H	Single Processor Environment (SM2 = 0)
1	50H	
2	90H	
3	D0H	
0	NA	Multiprocessor Environment (SM2 = 1)
1	70H	
2	B0H	
3	F0H	

รูป 5.9 Serial Port Control Register (SCON)

ในรูป 5.9 บิท RI จะเป็นชื่อของบิท 0 และ SM0 จะเป็นบิท 7 ของรีจิสเตอร์ SCON ซึ่งความหมายหรือการทำงานของแต่ละบิทมีดังนี้

RI Receive Interrupt Flag

บิทนี้จะถูกกำหนดโดยฮาร์ดแวร์ให้มีค่าเป็น 0 หรือ 1 โดยที่ในการรับข้อมูลโหมด 0 นั้นบิท RB8 จะมีค่าเป็น 1 เมื่อมีข้อมูลเข้ามาครบทั้ง 8 บิท ส่วนในโหมดอื่นบิท RB8 จะเป็น 1 ก็ต่อเมื่อข้อมูลเข้ามาถึงเวลาครึ่งหนึ่งของ Stop Bit (ยกเว้นบางกรณีให้ดูที่เรื่องบิท SM2 ของรีจิสเตอร์ SCON) บิทนี้จะสามารถ Clear ให้มีค่าเป็น 0 ได้โดยใช้คำสั่ง CLR bit โดยค่าตำแหน่งของบิทมีค่าเท่ากับ 98H บิทนี้มีประโยชน์ให้รู้ว่าข้อมูลได้เข้ามาอยู่ใน SBUF ครบทั้งชุดแล้วพร้อมที่ CPU จะอ่านไปเก็บในหน่วยความจำต่อไป หรืออาจกำหนดค่าในรีจิสเตอร์ IE และ IP เพื่อเมื่อมีข้อมูลเข้ามาทางพอร์ทอนุกรมแล้วจะทำให้เกิดการขัดจังหวะ (Interrupt) การทำงานของโปรแกรมหลัก (Main Program) แล้วกระโดดไปทำงานในโปรแกรมตอบสนองการขัดจังหวะ (Interrupt Service Routine)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

TI Transmit Interrupt Flag

ค่าในบิท TI จะถูกกำหนดให้เป็น 1 หรือ 0 ด้วยฮาร์ดแวร์ โดยในการส่งข้อมูลแบบอนุกรมโหมด 0 บิทนี้จะเป็น 1 เพื่อจะบอกว่าการส่งข้อมูลในรีจิสเตอร์ SBUF ออกไปทางพอร์ทอนุกรมครบทั้ง 8 บิท แต่ถ้าเป็นการส่งข้อมูลแบบอนุกรมในโหมดอื่นจะทำให้ข้อมูลในบิท TI เป็น 1 เมื่อเริ่มการส่ง Stop bit ข้อมูลบิทนี้จะสามารถ Clear เป็น 0 ได้ด้วยคำสั่ง CLR bit โดยที่ค่าตำแหน่งของบิทนี้เท่ากับ 99H บิทนี้ยังมีประโยชน์เพื่อบอกว่าการส่งข้อมูลจาก SBUF ออกไปทางพอร์ทอนุกรมนั้นสิ้นสุดแล้วพร้อมที่จะให้โปรแกรมเขียนข้อมูลลงไปยัง SBUF สำหรับการส่งออกต่อไปได้ นอกจากนี้การกำหนดค่าในรีจิสเตอร์ IE และ IP ยังสามารถที่จะกำหนดให้เกิดการขัดจังหวะการทำงานของโปรแกรมได้เมื่อบิทนี้ถูกฮาร์ดแวร์ทำให้มีค่าเป็น 1

RBB

เมื่อมีการกำหนดให้รับข้อมูลในโหมด 2 และ 3 จะใช้บิทนี้สำหรับเก็บข้อมูลบิทที่ 9 ที่เข้ามาทางพอร์ทอนุกรม ส่วนในโหมด 1 นั้นบิทนี้จะเก็บ Stop bit ซึ่งมีค่าเป็น 1 นั่นเอง ในโหมด 0 บิทนี้จะไม่ถูกใช้งาน ค่าตำแหน่งของบิทนี้คือ 9AH

TBB

ในการส่งข้อมูลแบบอนุกรมโหมด 2 และ 3 จะใช้บิทนี้เก็บข้อมูลบิทที่ 9 ส่วนโหมดอื่นจะไม่ใช้งานบิทนี้ การกำหนดค่าในบิทนี้สามารถทำได้โดยใช้คำสั่ง SETB bit หรือ CLR bit ค่าตำแหน่งของบิทนี้คือ 9BH

REN Receive Enable

เป็นบิทที่จะใช้กำหนดให้ทำการรับข้อมูลเข้ามาจากทางพอร์ทอนุกรม (Serial Port) หรือไม่ถ้าบิทนี้เป็น 1 ก็จะรับข้อมูลเข้ามา แต่ถ้าเป็น 0 ก็จะไม่รับข้อมูลที่ขา RXD เข้ามา การให้บิทนี้เป็น 1 หรือ 0 ทำได้โดยใช้คำสั่ง SETB bit หรือ CLR bit ค่าตำแหน่งของบิทนี้คือ 9CH

SM2

เป็นบิทสำหรับควบคุมการทำงานของฮาร์ดแวร์ที่จะทำให้บิท RI เป็น 1 หรือไม่ ในกรณีที่บิท SM2 เป็น 0 ค่าในบิท RI ก็จะเป็นไปตามที่ได้อธิบายมาแล้วในเรื่องบิท RI แต่ถ้าบิท SM2 = 1

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

โหมด 2 และ 3 ซึ่งปกติแล้วบิท RI จะเป็น 1 เมื่อข้อมูลบิทที่ 9 เข้ามา แต่เมื่อ SM2 เป็น 1 แล้ว RI จะเป็น 1 ก็ต่อเมื่อข้อมูลบิทที่ 9 ที่เข้ามามีค่าเป็น 1 ถ้าข้อมูลบิทที่ 9 เข้ามาเป็น 0 จะไม่ทำให้บิท RI มีค่าเป็น 1 (คือบิท RI จะเป็น 0)

ในโหมด 1 บิท RI มีค่าเป็น 1 เมื่อข้อมูล Stop bit เข้ามายังพอร์ทอนุกรมถูกต้องแต่ถ้า Stop bit ไม่เข้ามายังพอร์ทอนุกรมอันอาจเกิดจากปัญหาในการส่งข้อมูลแล้วบิท RI จะมีค่าเป็น 0

ในโหมด 0 บิทนี้จะมีค่าเป็น 0 เสมอ

SM0, SM1

เป็น 2 บิทที่ใช้งานร่วมกันเพื่อกำหนดโหมดของการรับ – ส่งข้อมูลของพอร์ทอนุกรม ค่าใน 2 บิทนี้จะกำหนดโหมดได้ดังนี้

SM0	SM1	MODE	Description
0	0	0	Shift register
0	1	1	8-bit UART
1	0	2	9-bit UART
1	1	3	9-bit UART

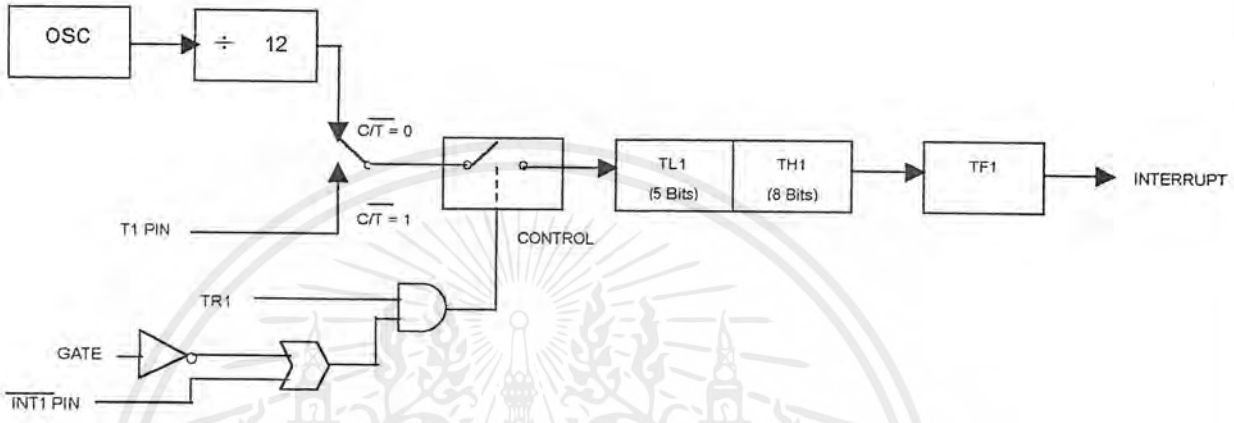
TIMER Register TH0, TL0, THI, TLI

ตำแหน่งหน่วยความจำภายในเท่ากับ 8CH, 8AH, 8DH, 8BH

ใน 8051 จะมีวงจร Timer อยู่ 2 ชุด คือ Timer 0 และ Timer 1 (8051 จะมี Timer 2 อีก 1 ชุด) ใน Timer แต่ละชุดจะมีรีจิสเตอร์ขนาด 8 บิทอยู่ 2 ตัว เพื่อเก็บค่าการนับของ Timer ได้สูงสุดถึง 16 บิทใน Timer 0 รีจิสเตอร์นี้คือ TH0, TL0 และใน Timer 1 คือรีจิสเตอร์ THI, TLI TLx (x หมายถึง 0 หรือ 1) จะเก็บค่าของการนับ 8 บิทล่างและ THx จะเก็บค่าของการนับ 8 บิทบน ผู้ใช้จะสามารถการทำงานของวงจร Timer ในโหมด Timer หรือโหมด Counter ได้โดยการกำหนดในรีจิสเตอร์ชื่อ TMOD (Timer/Counter Mode Control Register) การทำงานเป็น Timer นั้นจะให้รีจิสเตอรีใน Timer 0 หรือ 1 ทำการนับจำนวนไซเคิล (Cycle) ของสัญญาณนาฬิกาที่ผ่านวงจรหาร 12 ดังรูป 1.10 เมื่อการนับครบถึงค่าสูงสุดที่รีจิสเตอร์ TLx และ THx จะเก็บได้คือค่า FFFFH แล้วยังนับต่อไปค่าที่ได้จากการนับจะเป็น 0000H ทำให้เกิดการ Set บิทบางบิทในรีจิสเตอร์ TCON เพื่อบอกสภาวะ Timer Overflow นี้ ในการให้วงจร Timer ทำงานเป็น Counter ก็คือการใช้รีจิสเตอร์ THx และ TLx ทำการนับจำนวนไซเคิลของ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สัญญาณที่เข้ามาทางขา T0 หรือ T1 ของ 8051 สัญญาณที่เข้ามาทางขา T0 หรือ T1 อาจจะมาจากอุปกรณ์ตรวจจับ (Sensor) ก็ได้แต่สภาวะของสัญญาณนี้จะต้องมีระดับโวลเตจของสภาวะลอจิก 0 หรือ 1 เป็นแบบ TTL คือลอจิก 0 จะต้องมีโวลเตจไม่เกิน 0.6 โวลท์ และลอจิก 1 จะต้องมีโวลเตจมากกว่า 2.4 โวลท์



รูป 5.10 Timer mode 0 : 13 bit count

TMOD Timer / Counter mode register

ตำแหน่งหน่วยความจำภายในเท่ากับ 89H

TMOD เป็นรีจิสเตอร์ขนาด 8 บิท ที่มีหน้าที่ควบคุมการทำงานของ Timer 0 และ Timer 1 แต่ละบิทในรีจิสเตอร์นี้มีความหมายเฉพาะดังรูปที่ 1.11

GATE	When TRx (in TCON) is set and GATE= 1, TIMER/COUNTERx will run only while INTx pin is high (hardware control). When GATE = 0, TIMER/COUNTERx will run only while TRx = 1 (software control)
C/T	Timer or Counter seclector. Cleared for Timer operation (input from internal system clock). Set for Counter operation (input from Tx input pin).
M1	Mode selector bit. (NOTE 1)
M0	Mode selector bit. (NOTE 1)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

NOTE 1 :

M1	M0	Operating Mode
0	0	0 13-bit Timer
0	1	1 16-bit Timer/Counter
1	0	2 8-bit Auto-Reload Timer/Counter
1	1	3 (Timer 0) TL0 is an 8-bit Timer/Counter controlled by the standard Timer 0 control bits, TH0 is an 8-bit Timer and is controlled by Timer 1 control bits.
1	1	3 (Timer 1) Timer/Counter 1 stopped.

รูป 5.11 TMOD Timer/Counter Mode Register

ในรูป 5.11 M0 เป็นชื่อของบิท 0 และ GATE ทางซ้ายสุดเป็นชื่อของบิท 7 รีจิสเตอร์นี้แบ่งข้อมูลออกเป็น 2 ชุด ชุดละ 4 บิท คือบิท 0-3 ใช้สำหรับควบคุมการทำงานของ Timer 0 และบิท 4-7 ใช้ควบคุมการทำงานของ Timer 1 หน้าที่ในการควบคุม Timer ของแต่ละบิทที่มีชื่อเดียวกันจะเหมือนกัน

GATE เป็นบิทที่ใช้ควบคุมให้ Timer ทำงานหรือไม่ ถ้าบิทนี้ของ Timer x ถูกตั้งเป็น 1 จะทำให้ Timer ทำงานก็ต่อเมื่อที่ขา INTx มีสภาวะลอจิกเป็น 1 และบิท TRx ในรีจิสเตอร์ TCON เป็น 1 ด้วย

C/$\overline{T}$ บิทนี้ใช้สำหรับเลือกการทำงานของ Timer ว่าจะใช้เป็น Timer หรือ Counter ถ้าบิทนี้เป็น 1 ก็หมายความว่าเลือกการทำงานเป็น Counter ซึ่งจะนับจำนวนไซเคิลของสัญญาณที่เข้ามาทางขา Tx

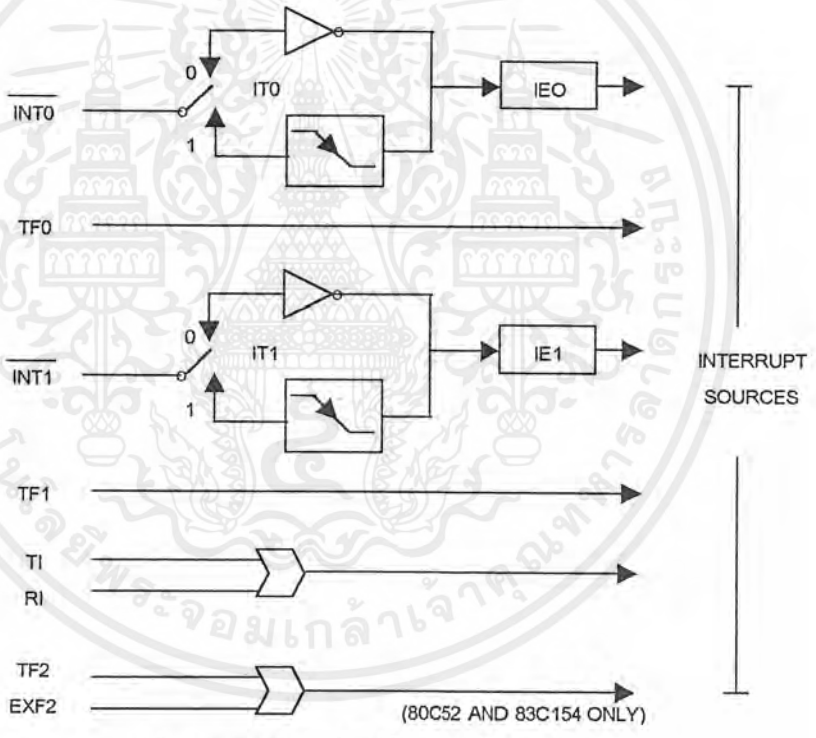
M1, M0 เป็น 2 บิทที่ใช้ร่วมกันเพื่อเลือกโหมดการทำงานของ Timer การทำงานโหมด 0, 1 และ 2 ของ Timer 0 จะเหมือนกับ Timer 1 แต่ในโหมด 3 การทำงานของทั้งสองจะต่างกัน ค่าใน M1 และ M0 จะเลือกโหมดการทำงานดังนี้

M1	M0	การทำงาน
0	0	โหมด 0 รีจิสเตอร์ THx และ TLx ทำตัวเป็นตัวนับ 13 บิท ค่าจากการนับ 8 บิทบนมาจาก 8 บิทของ THx และอีก 5 บิทล่างมาจากค่า 5 บิทล่างของรีจิสเตอร์ TLx โดยที่ 3 บิทบนของ TLx จะไม่ต้องสนใจเลย
0	1	โหมด 1 รีจิสเตอร์ THx และ TLx ทำตัวเป็นตัวนับ 16 บิทค่าจากการนับ 8 บิทบนอยู่ในรีจิสเตอร์ THx และค่าจากการนับ 8 บิทล่างอยู่ในรีจิสเตอร์ TLx
1	0	โหมด 2 ในการนับของรีจิสเตอร์ TLx ขนาด 8 บิทเมื่อนับถึงค่าสูงสุดคือ FFH เมื่อทำการนับต่อไปจะเกิดการ Overflow แล้วก็จะ "Reload" เอาข้อมูลจาก THx เข้าไปยัง TLx เพื่อเป็นค่าเริ่มต้นในการนับครั้งต่อไป
1	1	โหมด 3 การทำงานของ Timer 0 และ Timer 1 จะต่างกัน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

IE Interrupt Enable Register ตำแหน่งหน่วยความจำภายในเท่ากับ **0A8H**

การขัดจังหวะการทำงาน (Interrupt) เป็นการที่มีสัญญาณหนึ่งหรือคำสั่งหนึ่งที่ (ไม่ใช่คำสั่ง CALL หรือ JMP) ที่จะทำให้การทำงานการปกติของโปรแกรมถูกขัดจังหวะ แล้วข้ามไปทำงานยังตำแหน่งใดที่กำหนดไว้ เมื่อทำงานในโปรแกรมขัดจังหวะเสร็จสิ้นก็จะกลับมาทำงานในโปรแกรมที่ตำแหน่งก่อนจะไปทำงานยังโปรแกรมขัดจังหวะ โปรแกรมที่ถูกกระโดดไปทำงานเรียกว่าโปรแกรมตอบสนองการขัดจังหวะ (Interrupt Service Rountine) ใน 8051 จะสามารถขัดจังหวะด้วยสัญญาณจาก 6 แหล่งดังรูปที่ 1.12 ถ้าเป็น 8052 หรือ 83154 จะสามารถขัดจังหวะได้ด้วยสัญญาณจาก 8 แหล่งคือสัญญาณในชุดล่างสุดของรูปที่ 1.12



รูป 5.12 แหล่งกำเนิดสัญญาณขัดจังหวะ

สัญญาณขัดจังหวะที่ 5 ในรูปที่ 5.12 จะสามารถทำให้เกิดการขัดจังหวะได้ 2 วิธี คือมีข้อมูลเข้ามาทางพอร์ทอนุกรมเก็บอยู่ที่รีจิสเตอร์ SBUF และกรณีที่ข้อมูลใน SBUF ส่งออกไปทางพอร์ทอนุกรมหมดแล้ว ไม่ว่าเกิดกรณีใด ๆ ก็ทำให้เกิดการขัดจังหวะขึ้น

สัญญาณภายนอกที่เข้ามายัง 8051 ทางขา IN $\overline{\text{INT0}}$ IN $\overline{\text{INT1}}$ มารถทำให้เกิดการขัดจังหวะการทำงาน 8051 ได้ (สัญญาณที่ 1 และ 3 ในรูปที่ 1.12) โดยสภาวะของสัญญาณนั้น

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เปลี่ยนจาก 1 เป็น 0 หรือเมื่อสัญญาณนั้นเป็น 0 แล้วแต่การกำหนดในบิท IT0 และ IT1 ของรีจิสเตอร์ TCON จะทำให้บิท IE0 กับ IE1 เป็นตัวสร้างสัญญาณขัดจังหวะต่อไป

จาก Timer 0 และ Timer 1 เมื่อค่าการนับในแต่ละโหมดถึงค่าสูงสุดในโหมดนั้นแล้ว เมื่อทำการนับต่อไปค่าการนับต่อไปจะเป็น 0 (หรืออาจเป็นค่าที่ Reload จาก THx ในโหมด 2) และทำให้บิท TF0, TF1 เป็น 1 ซึ่งสัญญาณจาก 2 บิทนี้จะสามารถทำให้เกิดการขัดจังหวะได้เช่นกัน ดังเช่นสัญญาณขัดจังหวะที่ 2 และ 4 ในรูปที่ 1.12

แหล่งกำเนิดสัญญาณทั้ง 6 ที่สามารถทำให้เกิดการขัดจังหวะได้ 5 แบบนี้ผู้ใช้สามารถกำหนดให้สัญญาณใดบ้างเกิดการขัดจังหวะเรียกว่า Enable หรือไม่ให้เกิดการขัดจังหวะเรียกว่า Disable โดยการกำหนดในรีจิสเตอร์ IE (Interrupt Enable Register) ซึ่งมี 8 บิท แต่ละบิทสามารถ Enable ให้ขัดจังหวะได้จากแต่ละสัญญาณดังรูปที่ 1.13

(MSB) (LSB)

$\overline{EA}$	X	ET2	ES	ET1	EX1	ET0	EX0

Symbol	Position	Function
$\overline{EA}$	IE.7	disables all interrupts. If $\overline{EA}$ = 0, no interrupt will be acknowledged. If $\overline{EA}$=1 each Interrupt source is individually enabled or disabled by setting or clearing its enable bit.
-	IE.6	reserved
ET2	IE.5	enables or disables the Timer 2 Overflow or capture interrupt. If ET2=0, the Timer 2 interrupt is disabled.
ES	IE.4	enables or disables the Serial Port interrupt. If ES=0, the Serial Port interrupt is disabled.
ET1	IE.3	enables or disables the Timer 1 Overflow interrrupt. If ET1=0, the Timer 1 interrupt is disabled.
EX1	IE.2	enables or disables External Interrupt 1. if EX1=0, External Interrupt1 is disabled.
ET0	IE.1	enables or disables the Timer 0 Overflow interrupt. If ET0=0, the Timer 0 interrupt is disabled.
EX0	IE.0	enables or disables External Interrupt 0. if EX0=0, External Interrupt 0 is disabled.

รูป 5.13 Interrupt Enable Register

ถ้าต้องการ Enable บิทใดก็ให้โปรแกรมกำหนดค่าในบิทนั้นเป็น 1 ถ้าค่าในบิทนั้นเป็น 0 หมายถึง Disable การ Disable จะทำให้ไม่มีการขัดจังหวะการทำงานของโปรแกรมเนื่องจากสัญญาณขอขัดจังหวะนั้น ๆ EX0 เป็นชื่อบิท 0 และ EA เป็นชื่อ $\overline{EA}$ ท 7

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

EX0 บิทนี้ใช้สำหรับการ Enable สัญญาณที่เข้ามาทางขา $\overline{INT0}$ ให้เกิดการขัดจังหวะหรือไม่

ET0 Timer 0 Interrupt Enable Bit ข้อมูลบิทนี้จะใช้ Enable หรือ Disable สัญญาณขัดจังหวะที่มาจากวงจร Timer 0 (TF0)

EX1 บิทนี้จะใช้ Enable หรือ Disable สัญญาณที่เข้ามาทางขา $\overline{INT1}$ จิดการ ขัดจังหวะหรือไม่

ET1 Timer 1 Interrupt Enable Bit บิทนี้จะใช้ Enable หรือ Disable สัญญาณขัดจังหวะจาก Timer 1 (TF1)

ES ข้อมูลในบิทนี้จะ Disable หรือ Enable การขัดจังหวะจาก Serial Port อันเนื่องจากมีข้อมูลเข้ามายัง SBUF หรือข้อมูลจาก SBUF ได้ส่งออกไปทาง Serial Port หมดแล้ว

ET2 Timer 2 Internal Enable bit จะใช้งานเฉพาะใน 8052 และ 83152 เท่านั้น บิทนี้จะใช้ Enable หรือ Disable สัญญาณขอการขัดจังหวะที่มาจาก Timer 2 (สัญญาณที่ 6 ในรูป 1.12)

$\overline{EA}$ บิทนี้จะควบคุมทั้ง 6 บิทที่กล่าวมาแล้ว ถ้าข้อมูลในบิทนี้เป็น 0 จะเป็นการ Disable ทุกบิทที่กล่าวมาแล้ว ทำให้ไม่เกิดการขัดจังหวะโปรแกรมได้เลยแต่ ถ้าบิทนี้เป็น 1 การ Enable/Disable ใน 6 บิทที่กล่าวมาแล้วจะขึ้นกับข้อมูล ในแต่ละบิทนั้น

บิทอื่นนอกจากนี้จะไม่มีการใช้งาน

การกำหนดให้บิทใด Enable หรือ Disable นั้นจะเป็นไปโดยอิสระไม่ขึ้นแก่กัน จึงสามารถกำหนดให้บิทใดหรือมากกว่า 1 บิท Enable ก็ได้ ดังนั้น 8051 จึงมีรีจิสเตอร์อีกตัวที่ใช้เลือกว่าถ้ามีสัญญาณขอการขัดจังหวะโปรแกรมเข้ามาพร้อมกันมากกว่า 1 แล้วจะทำโปรแกรมตอบสนองการขัดจังหวะอันใดก่อน รีจิสเตอร์นั้นคือ IP Interrupt Priority Register

การรับ – ส่งข้อมูลทางพอร์ทอนุกรม

ในการรับ – ส่งข้อมูลแบบอนุกรมผ่านทางพอร์ทอนุกรมนั้น จะต้องมีการกำหนดโหมดการทำงานในรีจิสเตอร์ SCON และในบางโหมดของการทำงานจะสามารถกำหนดอัตราการส่งข้อมูลได้โดยการโปรแกรมใน Timer ข้อมูลที่จะส่งออกหรือรับเข้าทางพอร์ทอนุกรมจะอยู่ที่รีจิสเตอร์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

SBUF การทำงานของวงจรภายในแต่ละโหมดโดยใน Project นี้ได้กำหนดให้ทำงานในโหมด 1 ซึ่งมีรายละเอียดการทำงานดังนี้

การทำงานโหมด 1

การส่งข้อมูล

จากรูป 1.15 บิท SMOD จะเป็นตัวเลือกว่า สัญญาณ Timer 1 Overflow ที่ส่งไปยังวงจรหาร 16 จะถูกหาร 2 ก่อนหรือไม่ ถ้า SMOD เป็น 1 สัญญาณ Timer 1 Overflow จะไม่ถูกหาร แต่ถ้า SMOD เป็น 1 สัญญาณ Timer Overflow จะถูกหาร 2 ก่อนที่จะเข้าวงจรหาร 16 การส่งข้อมูลจะเริ่มจากการที่มีคำสั่งเขียนข้อมูลไปยังรีจิสเตอร์ SBUF จะมีสัญญาณ Write to SBUF เกิดขึ้นเพื่อรับข้อมูลจาก Internal Bus ด้านบนไปเก็บยังรีจิสเตอร์ SBUF และทำให้เอาท์พุทของ D FLIP FLOP ทางซ้ายของ SBUF มีค่าเป็น 1 และเป็นบิทที่ 9 ของการส่งข้อมูล สัญญาณ Write to SBUF ยังส่งไปยัง TX control ด้วย ขณะนี้ข้อมูลในวงจรหาร 16 มีค่าเป็นอะไรไม่ทราบจึงจะรอจนกว่าข้อมูลในวงจรหาร 16 นับเพิ่มขึ้นจนถึงค่าสูงสุดแล้ววนกลับเป็น 0 คือเกิดการวนกลับทำให้เริ่มการส่งข้อมูลที่เวลา S1P1 ของไซเคิลเครื่องถัดไป (การส่งข้อมูลออกจะสัมพันธ์กับการเกิด Oerflow ในวงจรหาร 16) สัญญาณ SEND จาก TX Control เปลี่ยนสภาวะลอจิกเป็น 0 แล้วเริ่มการสั่งข้อมูลที่เป็น Start bit (0) ออกไป เมื่อส่ง Start Bit ออกไปแล้ว วงจร Tx Control ก็จะทำให้สัญญาณ DATA เป็น 1 เพื่อเลื่อนข้อมูลใน SBUF ออกไปเริ่มจากบิท 0 จนถึงบิทที่ 7 การส่งข้อมูลนี้จะเกิดขึ้นเมื่อสัญญาณ Tx Clock เปลี่ยนสถานะจาก 0 เป็น 1 ดังในรูป 1.15 ขณะที่ข้อมูลถูกเลื่อนออกไปนั้นจะมี 0 ถูกเลื่อนเข้ามาทางซ้ายของรีจิสเตอร์ SBUF เมื่อข้อมูลเลื่อนออกไปทั้ง 8 บิทแล้วบิทที่ 9 ซึ่งเป็น 1 และตอนต้นอยู่ทางซ้ายสุดจะถูกเลื่อนมาอยู่ในตำแหน่งสุดท้ายทางขวาของรีจิสเตอร์ SBUF และทางซ้ายของหลักนี้จะมี 0 อยู่ทั้ง 8 บิทใน SBUF ทำให้ Zero Detector รู้ว่าเป็นข้อมูลบิทสุดท้ายแล้วที่ออกโดยจะมีสัญญาณมาบอกกับวงจร Tx Control ด้วย TX Control ส่งสัญญาณ Shift ออกไปเป็นการส่งข้อมูลบิทสุดท้าย (บิท 7) ออกไป ก็จะรออีก 1 TX Clock (Bit Clock) ก็จะทำให้ขา TXD ส่งข้อมูล Stop Bit (1) ออกมา สัญญาณ DATA ซึ่งมีสภาวะลอจิกเป็น 1 มาตั้งแต่เริ่มส่งข้อมูลบิท 0 ก็จะกลับเป็น 0 และบิท TI จะเป็น 1 เพื่อบอกการสิ้นสุดการส่งข้อมูลทั้งหมดจะสิ้นสุดลงเมื่อสัญญาณ TX Clock ไซเคิลที่ 10 นับตั้งแต่สัญญาณ SEND เปลี่ยนสภาวะลอจิกเป็น 0

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การรับข้อมูล

การรับข้อมูลจะขึ้นกับอัตราการเกิด Overflow ใน Timer 1 แล้วหาร 2 หรือไม่ขึ้นกับค่าของบิท SMOD สัญญาณนี้จะไปเข้าวงจรหาร 16 และเป็นตัวกำหนดอัตราการรับข้อมูลการรับข้อมูลจะเริ่มจากวงจร 1-T0-0 Transition Detector พบว่าสัญญาณที่ขา RXD เปลี่ยนจาก 1 เป็น 0 ซึ่งหมายถึงมีข้อมูล Start bit เข้ามา การตรวจสอบนี้จะกระทำด้วยอัตราเดียวกับสัญญาณที่เข้าวงจรหาร 16 เมื่อพบการเปลี่ยนสถานะลอจิกที่ขา RXD ก็จะเริ่มการรับข้อมูล ขณะนี้จะรีเซ็ทวงจรหาร 16 ให้มีค่าเป็น 0 เพื่อสร้างสัญญาณ RX Clock ให้เข้าจังหวะ (Synchronous) กับข้อมูลที่เข้ามาโดยสัญญาณ RX Clock จะเป็น 1 เมื่อการนับ ของวงจรหาร 16 มีค่าเป็น 15 ขณะที่วงจรหาร 16 นับถึง 7, 8 และ 9 จะมีการตรวจสอบข้อมูลที่เข้ามาทางขา RXD เพื่อเป็นการตรวจว่าข้อมูลนั้นเป็นอะไร ถ้าอย่างน้อยข้อมูล 2 ใน 3 เป็นค่าใดก็จะถือว่าข้อมูลที่เข้ามาเป็นค่านั้น ถ้าในการตรวจสอบ Start Bit แล้วพบว่าผิดพลาด คือไม่เป็น 0 ก็จะรีเซ็ทการทำงานเพื่อไปตรวจสอบการเปลี่ยนสถานะจาก 1 เป็น 0 ของข้อมูลที่ขา RXD ใหม่ แต่ถ้าพบ Start bit ก็จะเก็บข้อมูลทั้งหมดที่เข้ามาโดยเลื่อนข้อมูลเข้าไปยัง Input Shift Register ที่มีสัญญาณควบคุมการเลื่อนข้อมูล (Shift) ส่งมาจาก RX control ในตอนเริ่มต้นการรับข้อมูลจะมีการเขียนข้อมูล 1FFH ไปเก็บใน Input Shift Register ขณะที่ข้อมูลเลื่อนเข้าไปทางขวาของ Input Shift Register ก็จะมี 1 ถูกเลื่อนออกไปทางซ้ายทุกครั้งที่มีข้อมูลเข้ามาก เมื่อ Start bit ที่รับเข้ามาถูกเลื่อนไปถึงซ้ายสุดของ Input Shift Register ก็จะมีสัญญาณไปบอก RX Control Block หลังจากข้อมูลบิทสุดท้ายเข้ามาแล้วก็จะโหลด (Load) เอาข้อมูล 8 บิทไปเก็บในรีจิสเตอร์ SBUF พร้อมทั้ง Set ค่าในบิท RI และ RB8 ของรีจิสเตอร์ SCON แต่การโหลดข้อมูลไปเก็บนี้จะเกิดขึ้นได้ก็ต่อเมื่อ

1. RI = 0 และ
2. SM2 = 0 หรือถ้า SM2 = 1 จะต้องได้รับ stop bit เป็น 1

ถ้าไม่มีสภาวะโดยสภาวะหนึ่งดังกล่าวแล้ว ข้อมูลที่รับเข้ามาก็จะถูกทิ้งไปคือไม่โหลดไปเก็บในรีจิสเตอร์ SBUF ถ้ามีสภาวะดังกล่าวถูกต้อง stop bit จะถูกนำไปเก็บในรีจิสเตอร์ SBUF และบิท RI จะเป็น 1

แต่ไม่ว่าทั้ง 2 กรณีจะเกิดหรือไม่ก็จะกลับไปสู่การตรวจสภาวะเปลี่ยนจาก 1 เป็น 0 ที่ขา RXD เพื่อรับข้อมูลต่อไป

ในการรับข้อมูลแบบอนุกรมโหมด 1 นี้อัตราการส่งข้อมูลแต่ละบิท (Baud Rate) จะขึ้นกับอัตราการเกิด overflow ใน Timer 1 ดังสมการ

$$\text{Baud rate} = \frac{2^{SMOD}}{32} \times (\text{Timer 1 Overflow Rate})$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ในขณะที่ใช้ Timer 1 เป็นตัวกำหนด Baud Rate นี้จะต้อง Disable ไม่ให้เกิดการขัดจังหวะเนื่องมาจากการ Overflow Timer 1 อาจใช้ในโหมดของ Timer หรือ Counter ก็ได้ ซึ่งเมื่อการนับในรีจิสเตอร์ตัวนับมีค่าสูงสุดแล้วกลับมาเป็น 0 ก็จะเกิด Overflow เช่นเดียวกัน แต่โดยปกติแล้วจะใช้ Timer 1 นี้ในโหมดของ Timer ที่มีการทำงานแบบ Auto Reload โหมด 2 เพื่อว่าเมื่อค่าในการนับโดยรีจิสเตอร์ TL1 ถึงค่าสูงสุดก็จะโหลดค่าในรีจิสเตอร์ TH1 มาไว้ใน TL1 สำหรับเป็นค่าเริ่มต้นการนับต่อไป ซึ่ง Baud rate จะมีค่า

$$\text{Baud rate} = \frac{2^{SMOD}}{32} \times \frac{\text{Oscillator frequency}}{12 \times [256 - (TH1)]}$$

โดยที่ SMOD เป็นบิทหนึ่งในรีจิสเตอร์ PCON

เช่น ความถี่ของออสซิลเลเตอร์เท่ากับ 11.059 MHz บิท SMOD = 0 รีจิสเตอร์ TH1 มีค่า FDH = 253, Timer 1 ทำงานในโหมด 1 จะได้ว่าอัตราการส่ง – รับข้อมูลแบบอนุกรม

$$= \frac{2^{0}}{32} \times \frac{11.059 \times 10^{6}}{12 \times [256 - 253]}$$

= 9600 บิท/วินาที

การส่งข้อมูล

การส่งข้อมูลจะเริ่มจากมีการเขียน (Write) ข้อมูลลงไปยังรีจิสเตอร์ SBUF ทำให้มีสัญญาณ Write to SBUF เกิดขึ้น แล้วข้อมูล 8 บิทจาก Internal Data Bus ของ 8051 ถูกเขียนลงไปในรีจิสเตอร์ SBUF และข้อมูลจากบิท TB8 ของรีจิสเตอร์ SCON จะเขียนลงไปยัง D FLIP FLOP เช่นกัน รวมเป็น 9 บิท ที่เวลา S1P1 ของไซเคิลเครื่องแรกหลังจากสัญญาณ TX Clock นับครบ 1 รอบจะทำให้สัญญาณ SEND ที่ออกจากวงจร TX Control เปลี่ยนสภาวะลอจิกเป็น 0 เพื่อเริ่มการส่งข้อมูล โดยจะเริ่มส่ง Start Bit (0) ออกไปทางขา TXD เมื่อสัญญาณ TX Clock เปลี่ยนเป็น 1 ครั้งต่อไปก็จะเริ่มส่งข้อมูลบิท 0 ออกไปและสัญญาณ DATA จะเป็น 1 ที่เวลานี้ด้วย TX Control จะส่งสัญญาณ Shift ไปยังรีจิสเตอร์ SBUF ทุกครั้งที่สัญญาณ TX Clock เป็น 1 เพื่อเลื่อนข้อมูลออกไปทางขวา และจะเลื่อน 0 เข้ามาทางซ้ายขณะที่บิท TB8 อยู่ทางขวาสุดเตรียมส่งออกนั้น ข้อมูลทางซ้ายทุกบิทจะเป็น 0 วงจร Zero Detector จะมีสัญญาณไปบอก TX Control ในการส่งข้อมูลบิทสุดท้าย คือ TB8 ออกไปตามเวลาของสัญญาณ TX Clock (Bit time) เมื่อส่งข้อมูลบิท TB8 ออกไปเสร็จสิ้นแล้วก็จะรอเวลา 1 Bit

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Time สัญญาณ SEND ก็จะกลับเป็น 1 และบิท TI ในรีจิสเตอร์ SCON จะเป็น 1 เพื่อบอกสิ้นสุดการส่งข้อมูลและสัญญาณ DATA ก็จะกลับเป็น 0 จากนั้สัญญาณที่ออกจาก TXD ก็คือ Stop Bit นั่นเอง

การรับข้อมูล

การรับข้อมูลที่เข้ามาทางขา RXD ของ 8051 จะเริ่มต้นเมื่อวงจร 1-to-0 Transition Detector ทำการตรวจสอบข้อมูลที่ขา RXD 16 เท่าของอัตราการส่งข้อมูลแล้วพบว่าสัญญาณที่ขา RXD เปลี่ยนจาก 1 เป็น 0 ทำให้วงจรหาร 16 ถูกรีเซ็ทไปด้วยและจะเขียนข้อมูลในรีจิสเตอร์ SBUF เป็น 1FFH (มี 9 บิท) เมื่อ Counter ในวงจรหาร 16 นับถึง 7,8 และ 9 จะมีการตรวจสอบข้อมูลที่เข้ามาทางขา RXD ถ้า 2 ใน 3 เหมือนกันก็ถือว่าข้อมูลที่เข้ามาคือค่านั้น ถ้าข้อมูลที่รับเข้ามาบิทแรกไม่เป็น 0 คือไม่ใช่ Start Bit (เพราะอาจตรวจพบการเปลี่ยนจากสัญญาณจากขา RXD แต่การตรวจสอบที่เวลา 7,8 และ 9 ส่วนใหญ่เป็น 1) ก็จะเกิดการรีเซ็ทส่วนรับข้อมูลแล้วกลับไปเริ่มการตรวจสอบการเปลี่ยนสถานะจาก 1 เป็น 0 ใหม่ แต่ถ้าถูกต้องก็จะรับข้อมูลเข้ามาทีละ 1 บิท ข้อมูลนี้จะถูกเลื่อนเข้าไปเก็บทางขวาของ Input Shift Register และ 1 จะถูกเลื่อนออกไปทางซ้ายโดยสัญญาณ โดยสัญญาณ Shift จนกระทั่งสัญญาณ Start Bit ซึ่งเป็น 0 ถูกเลื่อนเข้ามาถึงซ้ายสุดของ Input Shift Register จะบอกให้กับ RX Control รู้ว่าจะต้องมีข้อมูลบิทสุดท้ายเข้ามาอีก 1 บิท เมื่อข้อมูลบิทสุดท้ายเข้ามาจะเกิดการโหลดข้อมูลจาก Input Shift Register ไปยัง SBUF, RB8 และเซต RI ให้เป็น 1 แต่สิ่งนี้จะเกิดขึ้นได้ต้องมีสภาวะดังนี้ด้วย

1. บิท RI เป็น 0 และ
2. SM2 = 0 หรือถ้า SM2 = 1 ข้อมูลบิทที่ 9 จะต้องเป็น 1

ถ้าไม่มีสภาวะดังกล่าวทั้ง 2 ข้อมูลที่รับมาจะถูกทิ้งไปไม่ถูกนำไปเก็บที่ SBUF และ RI ก็จะไม่ถูก Set แต่ถ้าเกิดขึ้นทั้ง 2 กรณี ข้อมูลจะถูกนำไปเก็บที่รีจิสเตอร์ SBUF 8 บิท และบิทสุดท้ายจะนำไปเก็บที่บิท RB8 ของรีจิสเตอร์ SCON หลังจากนั้น 1 Bit Time ไม่ว่าจะมีการเก็บข้อมูลหรือไม่ ก็จะเข้าสู่การตรวจสอบสถานะการเปลี่ยนสัญญาณจาก 1 เป็น 0 เพื่อเตรียมรับข้อมูลต่อไป

การขัดจังหวะ (Interrupt)

การขัดจังหวะคือสภาวะหนึ่งที่คอมพิวเตอร์กำลังทำงานอยู่แล้วถูกขัดจังหวะด้วยสัญญาณหรือคำสั่งพิเศษที่ทำให้คอมพิวเตอร์ต้องละจากกงานที่กำลังทำอยู่ ไปทำงานในโปรแกรมตอบ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

INT0. INT1

สนองการขัดจังหวะนั้นเมื่อเสร็จแล้วก็จะกลับมาทำงานเดิมต่อไปได้ ใน 8051 จะสามารถขัดจังหวะการทำงานได้ 6 แหล่งคือ

1. $\overline{\text{INT0}}$, $\overline{\text{INT1}}$ เป็น 2 ขาของ 8051 ที่จะรับสัญญาณจากภายนอก การขัดจังหวะจะเกิดขึ้นถ้าสัญญาณที่ขาดังกล่าวมีสภาวะลอจิกเป็น 0 หรือเปลี่ยนจาก 1 เป็น 0 โดยเลือกด้วยการกำหนดในบิท IT0 หรือ IT1 ในรีจิสเตอร์ TCON

2. TF0, TF1 เป็นบิทหนึ่งที่จะบอกการทำงานของ Timer 0, Timr 1 เมื่อเกิด Overflow ขึ้นใน Timer จะทำให้บิทนี้เป็น 1 และเกิดการขัดจังหวะการทำงานของ 8051 ได้

3. TI, RI เป็น 2 บิท ในรีจิสเตอร์ SCON ถ้าบิทนี้ถูก เซต ให้เป็น 1 โดยฮาร์ดแวร์ อันเนื่องจากเสร็จสิ้นการส่งหรือรับข้อมูลจะสามารถทำให้เกิดการขัดจังหวะได้

8051 จะทำการอ่านสัญญาณจากทั้ง 6 แหล่งที่เวลา S5P2 ของทุก ๆ ไซเคิลของเครื่อง (Machine Cycle) เข้ามาเก็บและในช่วงของไซเคิลของเครื่องถัดไปก็จะตรวจสอบสถานะของสัญญาณทั้ง 6 ที่เก็บเข้ามา ถ้าสัญญาณนั้นมีการขัดจังหวะที่ถูกต้อง 8051 ก็จะละทิ้งการทำงานเดิมไว้ชั่วคราวแล้วสร้างคำสั่ง LCALL ขึ้นมาภายใน 8051 เพื่อไปทำงานในโปรแกรมตอบสนองการขัดจังหวะแต่ละสัญญาณนั้น เมื่อทำงานในโปรแกรมตอบสนองการขัดจังหวะเสร็จสิ้นก็จะสามารถกลับมาทำงานเดิมได้ โดยใช้คำสั่ง RET1 เป็นคำสั่งสุดท้ายในโปรแกรมตอบสนองการขัดจังหวะสัญญาณขัดจังหวะจากแต่ละแหล่งจะมีตำแหน่งหน่วยความจำที่จะเก็บโปรแกรมตอบสนองการขัดจังหวะไว้ต่างกันดังนี้

สัญญาณที่ขอขัดจังหวะ		ตำแหน่งเริ่มต้นโปรแกรมตอบสนองการขัดจังหวะ
1	INT0	0003H
2	TF0	000BH
3	INT1	0013H
4	TF1	001BH
5	TI,RI	0023H

ตำแหน่งเริ่มต้นโปรแกรมนี้เป็นตำแหน่งใน Program area เช่น ถ้ามีสัญญาณของ $\overline{\text{INT0}}$ ข้ามาแล้ว 8051 ตรวจสอบว่ามีการขอขัดจังหวะถูกต้อง ก็จะละทิ้งการทำงานเดิม แล้วไปทำงานที่โปรแกรมตอบสนองการขัดจังหวะที่มีตำแหน่งเริ่มต้นอยู่ที่ตำแหน่ง 0003H เมื่อเสร็จสิ้นการทำงานของโปรแกรมตอบสนองการขัดจังหวะจะต้องมีคำสั่ง RET1 อยู่เพื่อกลับมาสู่การทำงานเดิมได้ 8051 จะทำการตรวจสอบสัญญาณดังกล่าวว่ามีสัญญาณใดขอการขัดจังหวะมาบ้าง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

โดยใช้วิธี Polling คือการตรวจสอบเรียงตามลำดับจาก 1, 2, 3, 4 และ 5 ตามลำดับ ดังนั้นถ้ามีการขอการขัดจังหวะเข้ามาพร้อม ๆ กัน 8051 ซึ่งตรวจสอบการขอขัดจังหวะแบบ Polling จะพบว่าสัญญาณมีการขอขัดจังหวะจากสัญญาณต้น ๆ ก่อนจึงตอบสนองต่อการขอขัดจังหวะของสัญญาณต้น ๆ ก่อน หรืออีกนัยหนึ่งก็คือสัญญาณขอการขัดจังหวะต้น ๆ จะมีลำดับความสำคัญสูงสุด (Highest Priority) และสัญญาณที่ 5 จะมีลำดับความสำคัญต่ำสุด (Lowest Priority) อย่างไรก็ตามสามารถที่จะจัดลำดับความสำคัญของสัญญาณขัดจังหวะนี้ใหม่เพื่อให้มีการตอบสนองการขัดจังหวะสัญญาณขอการขัดจังหวะลำดับหลังได้ โดยการโปรแกรมในรีจิสเตอร์ IP (Interrupt Priority Register) และจะสามารถกำหนดว่าจะให้ทำโปรแกรมตอบสนองการขัดจังหวะ เมื่อมีสัญญาณขอขัดจังหวะเข้ามาหรือไม่ก็ได้ โดยการโปรแกรมในรีจิสเตอร์ IE (Interrupt Enable Register)

เมื่อ 8051 ทำการตรวจสอบสัญญาณขอการขัดจังหวะที่เก็บเข้ามาเมื่อเวลา S5P2 แล้วพบว่ามีการขอขัดจังหวะนั้น แม้ว่าจะมีการ Enable ในรีจิสเตอร์ IE ถูกต้อง แต่จะต้องมีเงื่อนไขดังนี้ด้วย

1. ไม่ได้กำลังทำงานในโปรแกรมตอบสนองการขัดจังหวะของสัญญาณขัดจังหวะที่มีลำดับความสำคัญสูงกว่าหรือเท่ากัน เช่น กำลังทำงานในโปรแกรมตอบสนองการขัดจังหวะของสัญญาณ $\overline{\text{INT0}}$ อยู่ แล้วมีการขอขัดจังหวะจากสัญญาณ $\overline{\text{INT1}}$ อีก จะไม่เกิดการทั้งงานเดิมคือไม่มีการไปทำงานที่โปรแกรมตอบสนองการขัดจังหวะของสัญญาณ $\overline{\text{INT1}}$

2. เนื่องจากการสุ่มสัญญาณเข้าไปเพื่อตรวจสอบนั้นจะทำที่เวลา S5P2 ของในไซเคิลสุดท้ายของคำสั่ง และคำสั่งที่อยู่ถัดมาจะต้องใช้เวลาทำงาน 2 ไซเคิลของเครื่อง ดังนั้นการตรวจสอบจะกระทำในไซเคิลแรก แม้ว่าจะมีการขอการขัดจังหวะเข้ามาก็จะไม่ทำโปรแกรมตอบสนองการขัดจังหวะ จะต้องอ่านสัญญาณที่เวลา S5P2 อีกครั้งแล้วไปตรวจสอบที่ไซเคิลที่ 2 ของคำสั่ง ถ้ามีการขอการขัดจังหวะถูกต้องจึงจะข้ามไปทำงานในโปรแกรมตอบสนองการขัดจังหวะ

3. คำสั่งที่กำลังทำงานอยู่ขณะที่ตรวจสอบสัญญาณขอขัดจังหวะ จะต้องไม่ใช่คำสั่ง RET หรือคำสั่งใด ๆ ก็ตามที่พยายามเขียนข้อมูลไปยังรีจิสเตอร์ IE หรือ IP

สัญญาณขอขัดจังหวะที่ถูกอ่านเข้าไปที่เวลา S5P2 นี้ไม่ว่าได้รับการตอบสนองหรือไม่ ก็จะถูกทิ้งไป แล้วอ่านเข้าไปใหม่ทุกเวลา S5P2

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

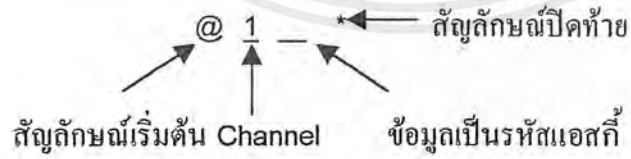
โปรโตคอล (Protocol) ที่ใช้ในการติดต่อระหว่าง Plant กับ Computer

ทางด้านฮาร์ดแวร์จะประกอบด้วย IC-MAX 232 และ MCS-51 โดย IC-MAX 232 จะทำหน้าที่ในการแปลงแรงดัน –3 ถึง –12 V และ 3 ถึง 12 V เป็นแรง 0-5 V เพื่อส่งให้ MCS-51 ส่วน MCS-51 จะเป็นตัวทำหน้าที่ในการรับค่าจากกระบวนการ (Plant) ส่งให้ Computer และรับค่าจาก Computer ส่งไปควบคุมกระบวนการ (Plant) โดยการส่งจะส่งผ่านข้อมูลแบบอนุกรมมาตรฐาน RS-232 แบบอะซิงโครนัส ซึ่งข้อมูลที่ส่งจะมีรูปแบบโปรโตคอล คือ

โดยมีการทำงานอยู่ 3 Mode คือ

- Mode Manual จะใช้โปรโตคอลคือ @ 1 ข้อมูลรหัสแอสกี้ * การทำงานจะเป็นการสั่งเปิดปิดวาล์วได้ตามต้องการ จากหน้าจอเมนู
- Mode Fuzzy จะใช้โปรโตคอลคือ @ 2 ข้อมูลที่มาจาก defuzzification * การทำงานจะเป็นการควบคุมระดับน้ำตามที่กำหนดโดยค่าข้อมูลจะมาจากการทำกระบวนการ Fuzzy
- Mode Stop จะใช้โปรโตคอลคือ @ 3 0 * การทำงานจะเป็นการสั่งหยุดการทำงานทั้งหมด และรอรับคำสั่งต่อไป

ค่าจากกระบวน (Plant) MCS-51 จะทำการส่งค่าให้ Computer ตลอดเวลา เมื่ออยู่ใน Mode 1, Mode 2 โดยมีรูปแบบโปรโตคอล (response format) คือ



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 6

Interfacing Program

Visaul Basic 6

visual basic เป็นเครื่องมือที่ช่วยพัฒนาแอพพลิเคชั่นสำหรับวินโดว์ตัวแรกที่ประสบความสำเร็จเป็นอย่างมาก ทั้งนี้เนื่องมาจากแนวความคิดที่จะนำเอาความสามารถของคอนโทรลมาใช้ในการออกแบบโปรแกรมนี้เอง เพราะคอนโทรลเป็นเครื่องมือที่ช่วยลดความซับซ้อนในการเขียนโค้ดลงไปได้มากทีเดียว และนอกจากนี้คอนโทรลยังมีส่วนที่แสดงผลเพื่อสื่อความหมายของการทำงานระหว่างคอนโทรลและผู้ใช้ได้อีกด้วย ส่วนการใช้งานก็ไม่มีความซับซ้อนเพียงแต่ผู้อ่านทำการเชื่อมต่อคอนโทรลเข้ากับสภาพแวดล้อมของ visual basic จากนั้นก็สามารถที่จะนำมาเพิ่มลงในฟอร์มได้ทันที สำหรับ visual basic ได้มีการแบ่งคอนโทรลออกเป็น 4 กลุ่มหลักๆดังนี้

1. คอนโทรลภายใน (Intrinsic Control) เช่น ComboBox , CommandButton หรือ PictureBox เป็นต้น ซึ่งเป็นคอนโทรลที่ถูกสร้างลงในสภาพแวดล้อมของ vb.exe ดังนั้นที่ทุกครั้งที่ผู้อ่านโหลด Visual Basic คอนโทรลเหล่านี้ออกจากแถบกล่องเครื่องมือได้เลย ดังนั้นจึงจัดได้ว่าเป็นคอนโทรลมาตรฐาน(Standard Control) กลุ่มหนึ่งของ Visual Basic
2. คอนโทรลมาตรฐาน (Standard Control) เป็นคอนโทรล ActiveX ที่ถูกสร้างเป็นไฟล์ .ocx ที่แยกออกมาต่างหาก เช่น Dbgrid (Apex data-bound grid) , MSFlexGrid หรือ CommonDialog เป็นต้น ดังนั้นก่อนที่จะสามารถใช้งานคอนโทรลในกลุ่มนี้ได้ เราต้องทำการเชื่อมต่อไฟล์ .ocx เหล่านี้เข้ากับสภาพแวดล้อมของ visual basic เสียก่อน โดยใช้คำสั่ง Components ในเมนู Project เช่นเดียวกัน
3. คอนโทรลร่วมวินโดวส์ (Windows Common Contorl) เป็นคอนโทรล ActiveX ที่ถูกสร้างเป็นไฟล์ .ocx ที่ต้องใช้ร่วมกับไฟล์ .dll ของวินโดวส์ เช่น RichTextBox , Slider หรือ Statusbar เป็นต้น เช่นเดียวกับคอนโทรลมาตรฐาน เพียงแต่คอนโทรล ในกลุ่มนี้ได้ถูกจัดเป็นคอนโทรลพื้นฐานของวินโดวส์ 95 โดยที่คอนโทรลร่วมกับวินโดวส์จะถูกจัดเก็บลงในไฟล์ conctl32.ocx และ conct232.ocx
4. คอนโทรล ActiveX รุ่นมืออาชีพ (Professional ActiveX Control) เป็นคอนโทรล ActiveX ที่ถูกสร้างเป็นไฟล์ .ocx เช่นเดียวกับคอนโทรลมาตรฐาน เช่น MSComm (Communication) , MapiMessages (MAPI message) หรือ MMControl

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

(Multimedia MCI) เป็นต้น แต่คอนโทรลในกลุ่มนี้ได้ถูกสร้างและแจกจ่ายมากับ VisualBasic รุ่น Professional และ Enterprise เท่านั้น

คุณสมบัติแสดงค่าของคอนโทรลที่สำคัญ ที่ได้นำมาใช้กับโครงงานนี้

คอนโทรลทั้งหมดที่มากับ Visual Basic ไม่ว่าจะเป็นคอนโทรลภายในหรือ ActiveX จะมีคุณสมบัติตัวหนึ่งที่ถูกใช้สำหรับการกำหนดค่า (Value) หรืออ่านจากค่าคอนโทรล และคุณสมบัตินี้ได้ถูกกำหนดให้เป็นคุณสมบัติปกติ (Default) ของคอนโทรล โดยในการเขียนโค้ดเราสามารถใช้เพียงชื่อของคอนโทรล (Control Name) โดยไม่ต้องกำหนดคุณสมบัติปกติของทุกๆ คอนโทรลได้โดยไม่เกิดข้อผิดพลาด

การแบ่งกลุ่มของคอนโทรลภายใน

เราจะแยกตามวัตถุประสงค์ของการใช้งานได้ทั้งหมด 4 กลุ่ม

1. คอนโทรลภายในทั่วไป ประกอบด้วยคอนโทรลที่แสดงผลในลักษณะของการเลือกตอบหรือเลือกรายการ เช่น CheckBox , OptionBox หรือ ListBox เป็นต้น
2. คอนโทรลภายในด้านระบบไฟล์ ประกอบด้วยคอนโทรลที่ทำหน้าที่ติดต่อ หรือแสดงผลระบบไฟล์ (รวมทั้งไดรฟ์ และ ไดเร็คทอรี่ด้วย) ของวินโดวส์ เช่น FileListBox หรือ DirListBox เป็นต้น
3. คอนโทรลภายในด้านกราฟิก ประกอบด้วยคอนโทรลที่ทำหน้าที่ด้านการแสดงผลกราฟิกด้วยวิธีกราฟิกคอนโทรล หรือ ฟังค์ชั่นวินโดวส์ API หรือ ไฟล์กราฟิกในรูปแบบต่างๆ เช่น PictureBox , Shape หรือ Image เป็นต้น
4. คอนโทรลภายในด้านเวลา ซึ่งจะมีอยู่คอนโทรลเดียวได้แก่ Timer ซึ่งมีหน้าที่สร้างเหตุการณ์ที่ตอบสนองเป็นครั้งๆตามช่วงเวลาที่ถูกกำหนด

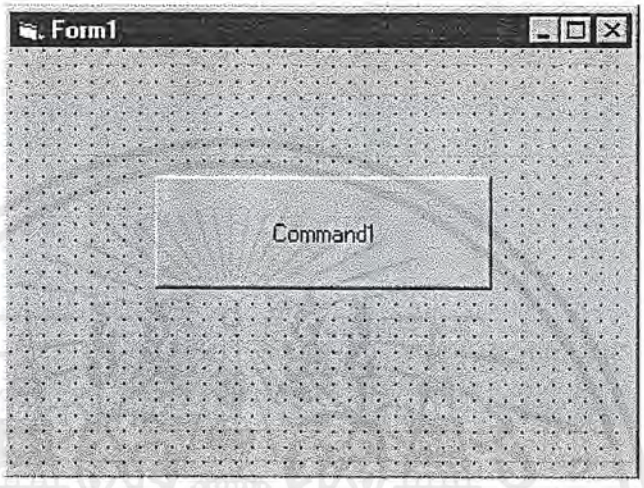
คอนโทรลภายใน

คอนโทรลภายใน ก็จะเป็นคอนโทรลพื้นฐานที่ถูกนำไปใช้งานมากที่สุด เพราะจะเป็นกลุ่มของตอนโทรลที่ช่วยในการสื่อสาร แบบสองทางหรือรับเลือกเงื่อนไขจากผู้ใช้ ดังเช่น ทุกๆแอพลิเคชั่นจะใช้คอนโทรล CommandButton สำหรับให้ผู้ใช้เลือกที่ยอมรับ (OK) ยกเลิก (Cancle) หรืออื่นๆตามข้อกำหนดของแต่ละแอพลิเคชั่นเป็นต้น ซึ่งคอนโทรลภายในทั่วไปจะประกอบไปด้วยคอนโทรลต่างๆดังต่อไปนี้ คอนโทรล CommandButton

คอนโทรล CommandButton จะเป็นคอนโทรลที่ถูกนำไปใช้งานมากที่สุด เพราะในการกำหนดให้ผู้ใช้งานเลือก OK หรือ Cancle นั้น เรามักจะใช้คอนโทรล CommandButton เป็น

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ส่วนใหญ่ ดังนั้นจึงถือว่าเป็นคอนโทรลที่พื้นฐานที่สุดของ Visual basic เนื่องจากคอนโทรลนี้เป็นปุ่มสำคัญที่ใช้งานในรูปแบบของการคลิกเพื่อยืนยัน ดังนั้นจึงอาจเรียกคอนโทรล CommandButton ได้อีกอย่างว่า PushButton ในขณะออกแบบคอนโทรล CommandButton ที่วางลงบนฟอร์มจะมีลักษณะดังตัวอย่างในรูปนี้



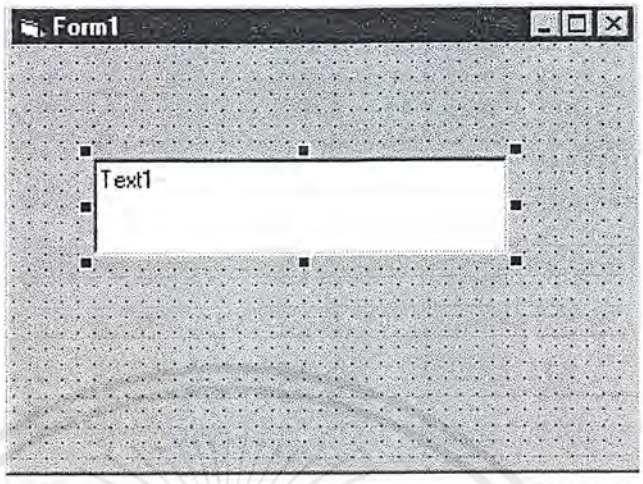
รูปที่ 6.1 แสดงคอนโทรล ControlButton ในขณะออกแบบ

เราสามารถแก้ไขข้อความที่แสดงผลในคอนโทรลนี้ได้ โดยการแก้ไขข้อความในคุณสมบัติCaption ของคอนโทรลในหน้าต่างคุณสมบัติหรือแก้ไขโค้ดในแอพพลิเคชั่นก็ได้

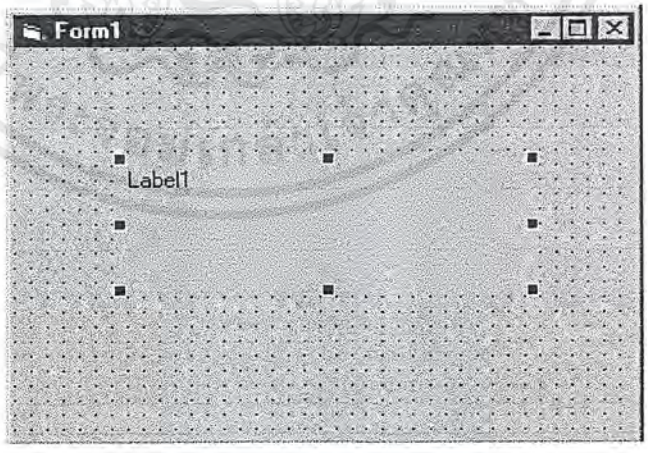
คอนโทรล TextBox

คอนโทรล **TextBox** มักจะถูกนำไปใช้ทุกๆ ฟอร์มที่มีการรับการกรอกข้อความจากผู้ใช้ เนื่องจากคอนโทรลนี้ทำหน้าที่แสดงข้อมูล (โดยผ่านทางคุณสมบัติ Text) ในคอนโทรลและยังอนุญาตให้ผู้ใช้สามารถแก้ไขตัวอักษรต่างๆ ของคุณสมบัตินี้ได้ด้วยเช่นกันนอกจากนี้แล้ว คอนโทรล TextBox ยังได้รวมเอาความสามารถหลายๆ ด้านของคอนโทรล Label มาใช้ เช่น สามารถแสดงข้อความได้มากกว่า 1 บรรทัด ความสามารถด้าน DDE (Dynamic Data Exchange) และนอกจากนี้ยังสามารถถูกนำไปใช้ในลักษณะของการกรอกรหัสผ่าน (Password) ได้อีกด้วยดังรูป

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



คอนโทรล **Label** เป็นคอนโทรลในลักษณะของกราฟิกที่ถูกใช้งานด้านการแสดงผลข้อความบนฟอร์ม เหมือนกับผู้อ่านได้นำป้ายข้อความอย่างหนึ่งไปวางไว้บนฟอร์ม เพื่อใช้ในการสื่อข้อความกับผู้ใช้และคอนโทรลนี้ผู้ใช้ไม่สามารถ แก้ไขได้โดยตรงด้วยวิธีการคีย์หรือใช้เมาส์ในขณะรันแอพพลิเคชั่น นอกเสียจากภายในแอพพลิเคชั่นจะมีการเขียนโค้ดสำหรับแก้ไขข้อความในคอนโทรลโดยการแก้ไขค่าคุณสมบัติ Caption เท่านั้น และนอกจากนี้ Label ยังเป็นคอนโทรลที่มีความสามารถด้าน DDE (Dynamic Data Exchange) อีกด้วย ในขณะออกแบบเราสามารถเพิ่มคอนโทรลลงในฟอร์ม หรือตัวบรรจุอื่นๆก็จะปรากฏหน้าตาของคอนโทรลดังรูป



ในการควบคุมพฤติกรรมของคอนโทรล เราสามารถกระทำได้โดยการกำหนดค่าต่างๆ ให้กับคุณสมบัติของคอนโทรล ซึ่งการแก้ไขของคุณสมบัติเราสามารถกระทำได้ทั้งในขณะออกแบบ

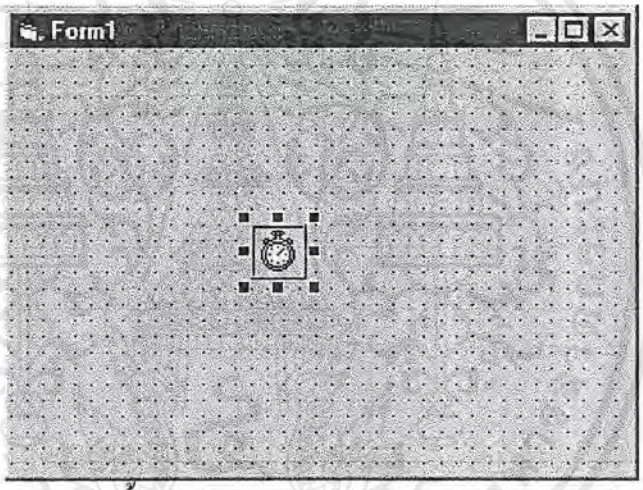
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

โดยการแก้ไขค่าในหน้าต่างคุณสมบัติ และรับแอพพลิเคชั่นโดยการเขียนโค้ดเพื่อแก้ไขค่าของคุณสมบัติแต่ก็มีบางคุณสมบัติที่ไม่สามารถแก้ไขได้ในขณะรันแอพพลิเคชั่น เช่น Name เป็นต้น

คอนโทรลภายในด้านเวลา

คอนโทรล Timer

คอนโทรล **Timer** เป็นคอนโทรลที่ใช้ในการควบคุมและจัดการเหตุการณ์ด้านเวลา ซึ่งเทียบได้กับประโยค ON TIME GOTO ของ QuickBasic โดยเราสามารถเขียนโค้ดเพื่อทำงานใดๆ เมื่อช่วงเวลาผ่านไปตามค่าที่กำหนด เช่น ทำการปรับการแสดงผลของฟอร์มทุกๆ 1 นาที เป็นต้น โดยที่คอนโทรลนี้จะตอบสนองเหตุการณ์เพียงเหตุการณ์เดียวเท่านั้น แต่เราสามารถกำหนดให้แต่ละฟอร์มมีคอนโทรล Timer มากกว่า 1 คอนโทรล เนื่องจากคอนโทรล Timer เป็นคอนโทรลที่



ทำงานตามนาฬิกาของระบบ ดังนั้นมันจึงถูกควบคุมโดยตัวของระบบเอง สำหรับวินโดวส์ 95 และ NT ในทางปฏิบัติจะมีการจำกัดจำนวนของคอนโทรล Timer ในแต่ละฟอร์ม ดังนั้นเราจึงสามารถใช้งานคอนโทรล Timer พร้อมๆ กันครั้งละหลายๆคอนโทรล ได้อย่างไม่จำกัด

ในขณะออกแบบคอนโทรล Timer ที่วางลงบนฟอร์มให้กับฟอร์ม ก็จะมีลักษณะดังรูปที่ และเมื่อรันแอพพลิเคชั่น คอนโทรลนี้จะไม่ถูกแสดงผล แต่จะมีการทำให้เกิดเหตุการณ์ Timer ทุกครั้งที่ช่วงเวลาครบตามค่าที่ได้กำหนดให้กับคุณสมบัติ Interval ของคอนโทรล Timer

คอนโทรลด้านฐานข้อมูล

แอพพลิเคชั่นที่ใช้กับโครงงานนี้จะต้องมีการเข้าถึงไฟล์ฐานข้อมูล ดังนั้นตัวแปลภาษาที่เหมาะสมกับการสร้างแอพพลิเคชั่นเหล่านี้ จึงต้องมีเครื่องมือที่สนับสนุนการจัดการฐานข้อมูลอย่างง่ายและมีประสิทธิภาพ ซึ่งเราจึงเลือดใช้ VisualBasic เป็นตัวแปรภาษาที่มีการสนับสนุน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ระบบจัดการฐานข้อมูลในรูปแบบ Microsoft Access โดยอาศัย JET Datbase Engine ซึ่งเป็นเครื่องมือที่ให้โปรแกรมเมอร์สามารถจักการกับฐานข้อมูล

คอนโทรลด้านฐานข้อมูลเป็นคอนโทรลที่ใช้ในการเข้าถึงฐานข้อมูล ซึ่งหลักๆ สามารถแบ่งออกได้เป็น 3 กลุ่มดังนี้

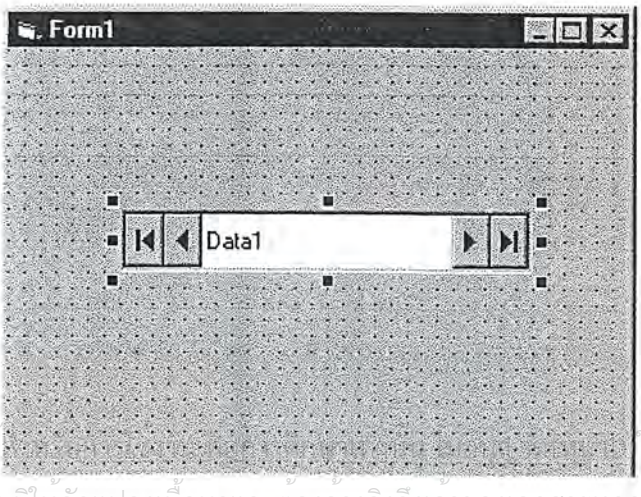
1. คอนโทรล Data เป็นคอนโทรลหลักที่ใช้ในการควบคุมการติดต่อระหว่างคอนโทรลด้านฐานข้อมูลกับฐานข้อมูล โดยที่คอนโทรล Data จะทำหน้าที่ควบคุมการเข้าถึงฐานข้อมูล เช่น การเคลื่อนที่ไปยังเรคคอร์ด การเปิดปิด การจัดเก็บฐานข้อมูล เป็นต้น

2. คอนโทรลภายใน Data-Aware เป็นคอนโทรลภายในของ visual basic ที่สนับสนุนคุณสมบัติการแสดงผลข้อมูลของฟิลด์หนึ่งๆ ของฐานข้อมูล เช่น CheckBox , PictureBox หรือ TextBox เป็นต้น ซึ่งคอนโทรลภายใน Dtat-Aware จะแตกต่างกับคอนโทรล Data-Bound ตรงที่คอนโทรลภายใน Data-Aware จะสามารถเชื่อมต่อเข้ากับฟิลด์ของฐานข้อมูลคอนโทรลละ 1 ฟิลด์เท่านั้น

3. คอนโทรล Data-Bound เป็นคอนโทรล ActiveX ที่ถูกออกแบบพิเศษเพื่อให้สามารถเชื่อมต่อกับ Record (ประกอบด้วยตั้งแต่ 1 ฟิลด์ขึ้นไป) ของฐานข้อมูล เช่น Dblist , DbCombo , DbGrid
และ MSFrexGrid ซึ่งคอนโทรล Dtat-Bound จะสามารถเชื่อมต่อกับหลายๆเรคคอร์ด ได้ในเวลาเดียวกันทั้งนี้เพื่อขยายขีดความสามารถในการจัดการฐานข้อมูลนั่นเอง

คอนโทรล Data

คอนโทรล data เป็นคอนโทรลที่ใช้เข้าถึงฐานข้อมูล และทำการเชื่อมต่อการแสดงผลข้อมูลของแต่ละฟิลด์ในฐานข้อมูลเข้ากับคอนโทรลด้านฐานข้อมูล (Data-Bound or Data-Aware Control) โดยเมื่อมีการเคลื่อนที่ไปยังเรคคอร์ดใดๆในฐานข้อมูลด้วยคอนโทรล Data ข้อมูลที่ถูกแก้ไขในคอนโทรลด้านฐานข้อมูลที่เชื่อมต่อกับคอนโทรล Data ซึ่งเป็นเรคคอร์ดปัจจุบันในขณะนั้น ก็จะถูกจัดเก็บลงในฐานข้อมูลโดยอัตโนมัติ แล้วจึงเคลื่อนที่ไปยังเรคคอร์ดถัดไปทันที แต่



เอกสารนี้เป็นเอกสารที่สงวนไว้ ใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เนื่องจากคอนโทรล Data สามารถที่จะจัดเก็บข้อมูลที่ถูกแก้ไขให้โดยอัตโนมัติ ดังนั้นถ้าหากเราต้องการตรวจสอบความถูกต้องของข้อมูลก่อนที่จะถูกจัดเก็บโดยคอนโทรล Data ก็สามารถกระทำได้โดยการเขียนโค้ดเพื่อตรวจสอบความถูกต้องของข้อมูลในโพรซีเยอร์ของเหตุการณ์ Validate ในขณะออกแบบคอนโทรล Data ที่วางลงบนฟอร์มจะมีลักษณะดังรูป

คอนโทรล DBGrid (Apex Data-Bound Grid)

คอนโทรล DBGrid ทำหน้าที่แสดงผลเรคคอรด์ในรูปแบบของตาราง (Grid) โดยที่เราต้องการกำหนดชื่อของคอนโทรล Data ให้กับคุณสมบัติ DataSource ของคอนโทรล DBGrid ซึ่งข้อมูลทั้งหมดของเรคคอร์ดจะถูกแสดงผลภายในคอนโทรล DBGrid โดยอัตโนมัติ โดยปกติคอนโทรล DBGrid สามารถแสดงผลจำนวนคอลัมน์ได้มากที่สุดเท่ากับ 1,700 คอลัมน์ ส่วนจำนวนแถวก็แสดงผลได้มากเท่าที่ทรัพยากรของระบบจะอำนวย และในการเคลื่อนที่ไปยังตำแหน่งใดๆของคอนโทรล DBGrid ด้วยวิธี Move เราก็ควรจะเขียนโค้ดเพื่อเรียกใช้วิธี Refresh ให้ทำการวาดคอนโทรลใหม่อีกครั้ง โดยในขณะออกแบบคอนโทรลก็จะมีลักษณะดังรูป

พอร์ตอนุกรม (serial Port)

เนื่องจากในปัจจุบันมีการใช้งานตามมาตรฐานการเชื่อมต่อแบบ RS 232C กันอย่างแพร่หลาย ซึ่งเป็นมาตรฐานถูกกำหนดโดย EIA ซึ่งเป็นองค์กรอุตสาหกรรมอิเล็กทรอนิกส์ของสหรัฐอเมริกา โดยแบ่งการเชื่อมต่อออกเป็น 2 ลักษณะ คือ DTE (Dtat Terminal Equipment) และ DCE (Data Communication Equipment ซึ่งโดยปกติ DTE จะต้องต่อเข้ากับ DCE เสมอ เช่น การต่อเครื่องคอมพิวเตอร์ (อุปกรณ์ DTE) เข้ากับอุปกรณ์โมเด็ม (อุปกรณ์ DCE)เป็นต้น

พอร์ทอนุกรม RS 232C จะเป็นพอร์ทของเครื่องคอมพิวเตอร์ที่มีขาต่อ (Connector) ทั้งประเภท 9 และ 25 ขาและเราเรียกกันว่า พอร์ท COM1: และ COM2: นั่นเอง ในความจริงพอร์ทอนุกรมไม่ได้ถูกควบคุมโดยตรงจาก CPU บนเมนบอร์ด แต่การสื่อสารทั้งหมดจะถูกเก็บโดยชิป UART (Universal Asynchronous Reciever/Transmitter) อีกทีหนึ่ง ซึ่งในปัจจุบันเบอร์ที่ใช้กันมากที่สุดก็คือ เบอร์ 16550C ซึ่งเป็นเวอร์ชั่นที่ได้รับการแก้ไขข้อผิดพลาดแล้ว ซึ่งชิป UART นี้จะทำหน้าที่ในการรับและส่งข้อมูลดังต่อไปนี้

การส่งข้อมูล(Data transmission)

- รับตัวอักษรจากเครื่องคอมพิวเตอร์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

- แปลงตัวอักษรให้เป็นสายข้อมูลแบบบิต (เราเรียกว่าขบวนการ Serialization)
- สร้างเฟรมข้อมูลโดยการเพิ่มบิตที่จำเป็นสำหรับการสื่อสารและการตรวจสอบ เช่น บิต Start , Stop และ Parity เป็นต้น
- ส่งผ่านเฟรมข้อมูลที่สร้างขึ้นมาแล้วจากขั้นตอนที่ผ่านมา ด้วยความเร็วของโมเด็มหรือพอร์ทอนุกรม(Baud Rate)
- แสดงสถานะความพร้อมที่จะรับข้อมูลตัวอักษรถัดไปให้กับเครื่องคอมพิวเตอร์

การรับข้อมูล (Data Reciever)

- รับตัวอักษรจากตัวอินเตอร์เฟส
- ตรวจสอบความถูกต้องจองเฟรมข้อมูลตามมาตรฐานเฟรมที่กำหนด โดยถ้าหากเฟรมข้อมูลมีรูปแบบที่มไถูกต้องก็จะมีการแจ้งข้อผิดพลาดทันที
- ตรวจสอบความถูกต้องของพาริตี้
- แปลงสายข้อมูลแบบบิตให้เป็นตัวอักษร
- ส่งตัวอักษรให้กับเครื่องคอมพิวเตอร์
- แสดงสถานะความพร้อมที่รับข้อมูลตัวอักษรถัดไปให้กับอินเตอร์เฟส

คอนโทรล **MSComm (Communication)**

คอนโทรล MSComm เป็นคอนโทรลตัวหนึ่งที่ช่วยในการติดต่อกับพอร์ทอนุกรม (SerialPort) ซึ่งผู้อ่านสามารถรับส่งข้อมูลผ่านทางพอร์ทอนุกรมได้ด้วยคอนโทรลนี้ เช่น การติดต่อผ่านทางโมเด็ม หรือ ติดต่อโดยตรงกับบอร์ดอิเล็กทรอนิกส์ เป็นต้น ซึ่งคอนโทรล MSComm ที่มากับ VisualBasic จะเป็นคอนโทรลที่ทำงานโดยมีการตอบสนองต่อเหตุการณ์แบบ Event-Driven นั่นก็คือ อคนโทรลจะทำหน้าที่ตรวจสอบการเกิดขึ้นหรือร้องขอให้เกิดเหตุการณ์ต่างๆ กับพอร์ทอนุกรมโดยอัตโนมัติ และจะมีการแจ้งเตือนให้ผู้อ่านได้รับทราบโดยผ่านโพรซีเยอร์เหตุการณ์ เช่นเดียวกับคอนโทรลทั่วไปของ Visual Basic นั่นเอง ดังนั้นในการเขียนโค้ดเราจึงไม่จำเป็นต้องสร้างโพซีเยอร์ที่ทำหน้าที่คอยตรวจสอบเหตุการณ์ต่างๆ ของพอร์ทอนุกรมซึ่งจะทำให้ง่ายต่อการทำงานเป็นอย่างมาก คอนโทรล MSComm จะมีหน้าที่มาตรฐานหลักๆ สำหรับการสื่อสารผ่านพอร์ทอนุกรม 3 ประการ ดังต่อไปนี้

- หมุนหมายเลขติดต่อกับโทรศัพท์ปลายทางที่กำหนด
- ตรวจสอบการเข้ามาของข้อมูลยังพอร์ทอนุกรมโดยอัตโนมัติ
- ส่งข้อมูลตามที่กำหนดจากโปรแกรมไปยังพอร์ทอนุกรม

ในความจริงคอนโทรล MSComm ไม่ได้ทำหน้าที่ติดต่อกับพอร์ทอนุกรมโดยตรง แต่

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

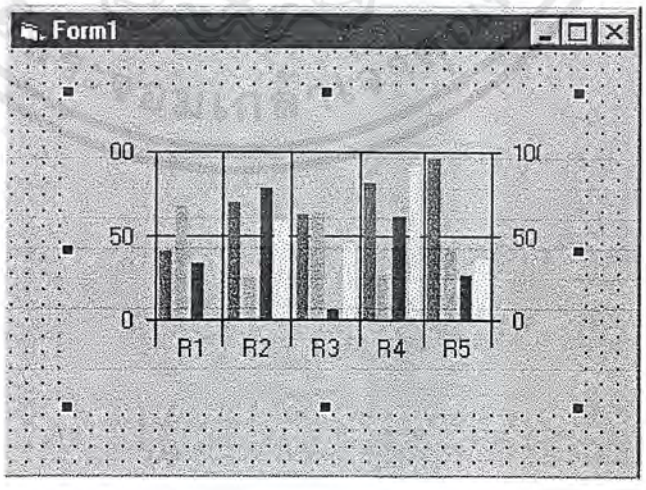
เฉลี่ยหรือ เส้นสมการถดถอยเชิงเส้นตรง (Linear Regression) เป็นต้น และนอกจากนี้ยังสนับสนุนคุณสมบัติอื่นๆที่สำคัญดังต่อไปนี้

- แสดงผลกราฟในรูปแบบ 3 มิติ
- สนับสนุนกราฟสำคัญที่ใช้ในวงการธุรกิจทั้งหมด
- สร้างประชากรข้อมูลโดยการสุ่มหรือโดนยอาร์เรย์

สำหรับข้อมูลที่ใช้ในการสร้างกราฟนั้นคอนโทรลMSChart จะดึงมาจากออบเจ็คต์ DataGrid ซึ่งถูกกำหนดเป็นตารางสำหรับการจัดเก็บข้อมูลทั้งหมด โดยที่เราสามารถแบ่งกำหนดได้เป็นหลายๆ กลุ่มสำหรับการนำไปสร้างเป็นกราฟที่ต้องการเปรียบเทียบ หรือแสดงความสัมพันธ์ระหว่างแต่ละกลุ่มข้อมูลเป็นต้น

การกำหนดคุณสมบัติของคอนโทรล MSChart ในขณะการออกแบบ เราสามารถกระทำได้อย่างสะดวกโดยการคลิกที่ปุ่มของรายการ (Custom) ในหน้าต่างคุณสมบัติ ซึ่งก็จะปรากฏไดอะล็อกบ็อกซ์ Property Pages เพื่อให้เราได้ปรับแต่งค่าของคุณสมบัติของที่คอนโทรล MSChart สนับสนับสนุน ซึ่งส่วนปุ่มคำสั่งต่างๆของไดอะล็อกบ็อกซ์ PropertyPages มีความหมายดังนี้

- ปุ่มคำสั่ง OK ยอมรับการแก้ไขคุณสมบัติของคอนโทรล MSChart
- ปุ่มคำสั่ง Cancle ยกเลิกการแก้ไขคุณสมบัติของคอนโทรลMSChart
- ปุ่มคำสั่ง Apply อัปเดตคุณสมบัติที่ถูกแก้ไขของคอนโทรล MSChart
- ปุ่มคำสั่ง Help แสดงผล Help ของคอนโทรล MSChart



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การสร้างรายงานด้วย Report Designer

ในการทำงานเกี่ยวกับฐานข้อมูล บางครั้งเราจำเป็นจะต้องทำรายงานข้อมูลออกมา เพื่อไปทำงานบางอย่าง เช่น ต้องการส่งจดหมายไปยังสำนักพิมพ์ตามที่อยู่ เป็นต้น ใน VB5 สามารถสร้างรายงานตามที่เราต้องการได้จากโปรแกรมที่มีมาให้ คือ โปรแกรม Crystal Report ที่ช่วยให้เราสร้างรายงานต่างๆเช่น รูปแบบของจดหมาย , ตารางข้อมูล เป็นต้น ได้ง่ายขึ้น

คุณสมบัติที่สำคัญของคอนโทรล Crystal Report มีดังต่อไปนี้

1. คุณสมบัติ ReportFileName เป็นคุณสมบัติที่เก็บไดเร็กทอรี่ ของ ไฟล์รายงานที่เราต้องการพิมพ์ ค่านี้สามารถเปลี่ยนแปลง ได้ทั้งตอนรันโปรแกรม และ ออกแบบโปรแกรม

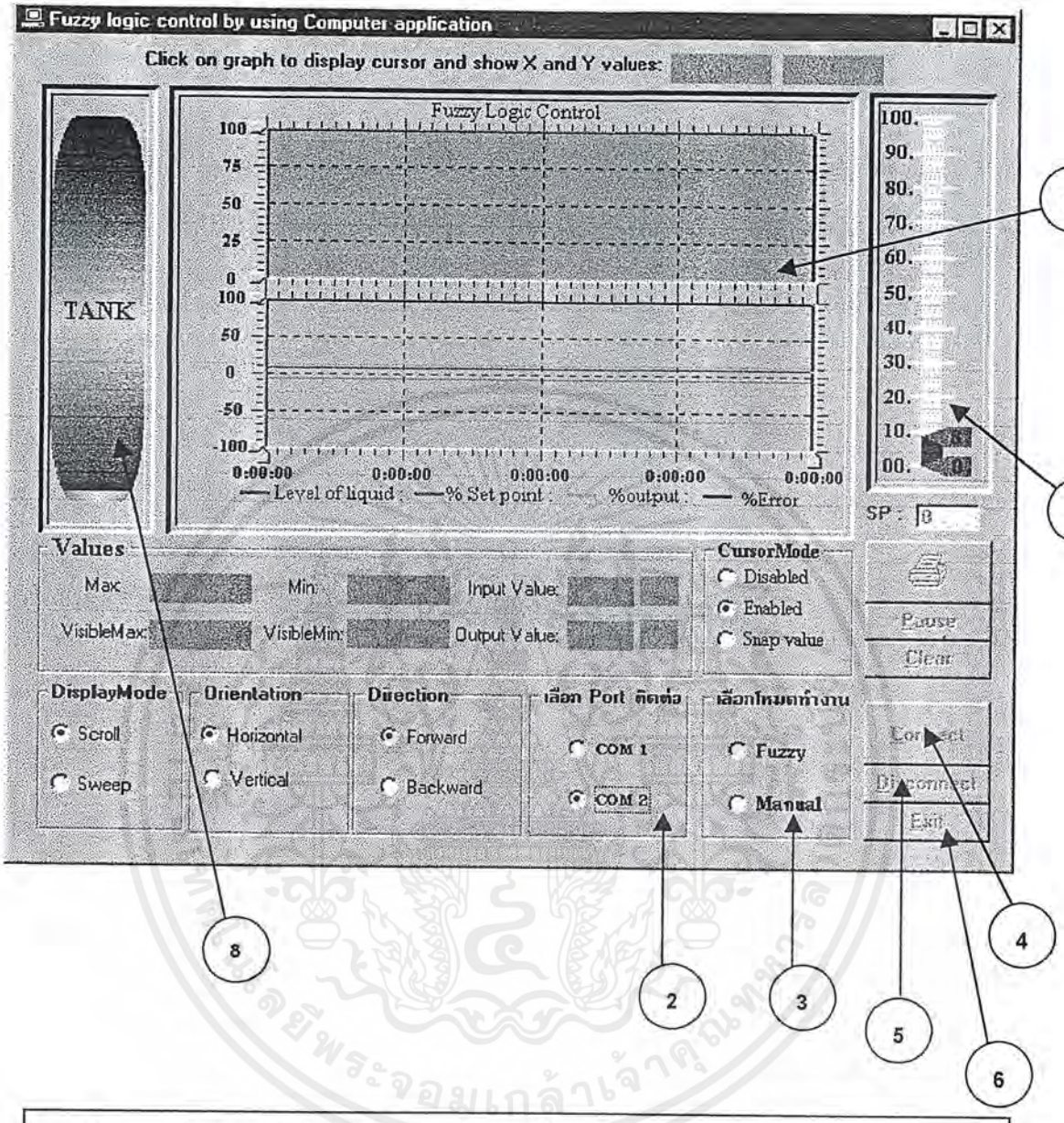
2. คุณสมบัติ Destination เป็นคุณสมบัติที่บอกว่าให้พิมพ์รายงานลงที่ใด มีค่าอยู่ 4 ค่า คือ

   0 to Window
   1 to Printer
   2 to File
   3 to MAPI (สำหรับ email)

3. คุณสมบัติ SelectionFormula ใช้สำหรับกำหนดเงื่อนไขในการพิมพ์ ซึ่งถ้าไม่ระบุจะหมายถึงทุกRecord

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

แสดงขั้นตอนการทำงานของโปรแกรม

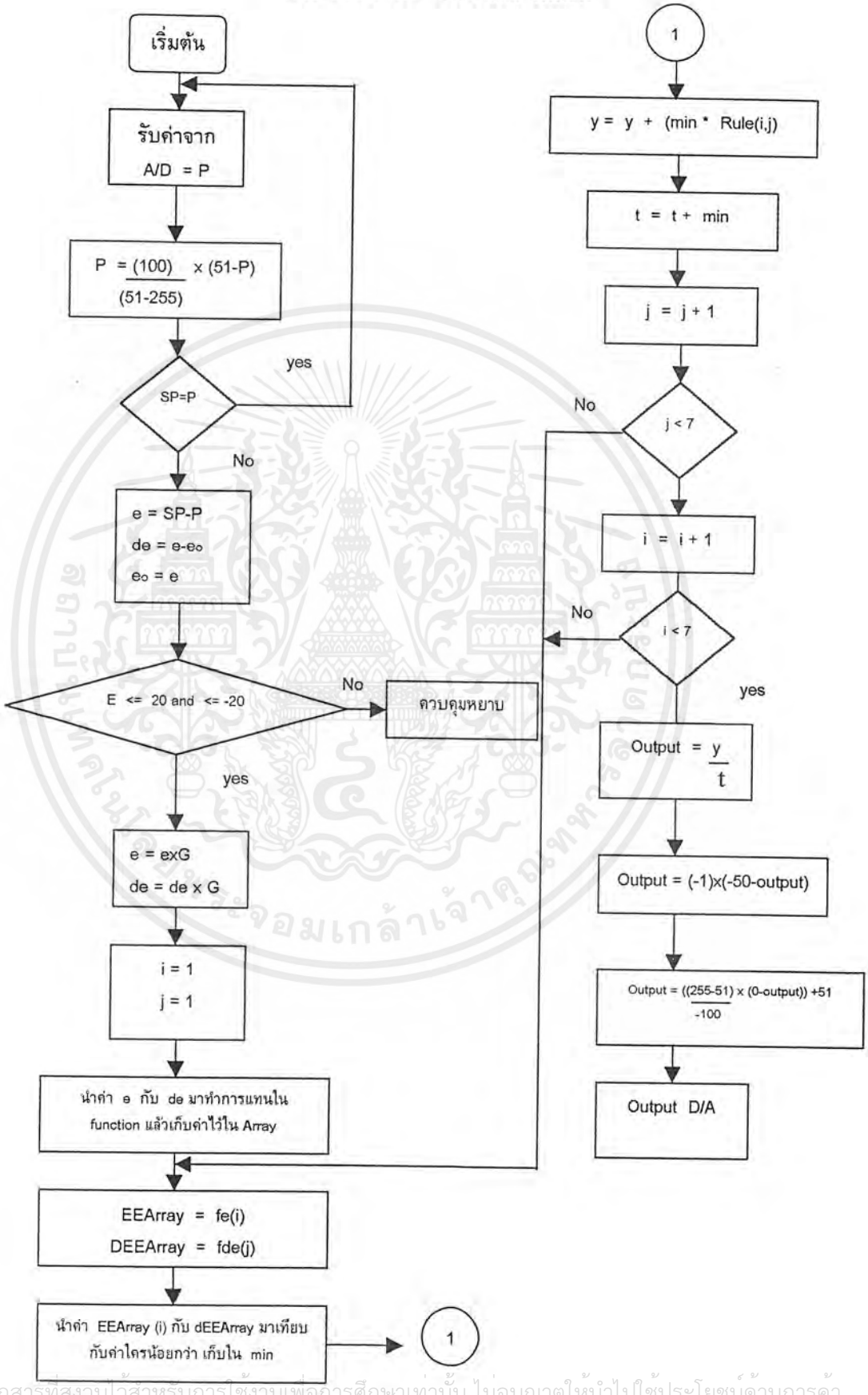


1	กำหนดจุดอ้างอิง (Set Point) โดยการเลื่อนแถบลูกศร (Arrow Bar)
2	กำหนด Port ที่จะทำการติดต่อ
3	เลือกโหมดการทำงาน
4	ทำการติดต่อได้โดยการ คลิ๊กปุ่ม Connect
5	เมื่อต้องการเลิกติดต่อกับกระบวนการ (Plant) ทำได้โดยการกดปุ่ม Disconnect
6	เมื่อต้องการออกจากโปรแกรม กดปุ่ม Exit
7	กราฟแสดงผลการควบคุมระดับ
8	แทงค์แสดงระดับของของเหลว

** ทำการปรับแต่งกราฟได้ตาม Option ต่าง ๆ**

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การทำงานของโปรแกรมการควบคุมแบบ
ฟัซซี เขียนเป็น Flow Chart ได้ดังนี้



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 7
การทดลองและผลการทดลอง

ผลการทดลองวงจร Analog to Digital แปลง (0 – 5 V) เป็น (0 – 255)

Vin (volt)	Digital output	ค่าที่ได้
0	0000 0001	1
1	0011 0011	52
2	0110 0110	102
3	1001 1001	153
4	1100 1100	204
5	1111 1111	255

ผลการทดลองวงจร Digital to Analog แปลง (0 – 255) เป็น (0 – 5 V)

Digital input	ค่าที่ได้	Vout (volt)
0000 0000	0	0.2
0110 0100	100	1.98
1001 0110	150	2.97
1111 1111	255	5.01

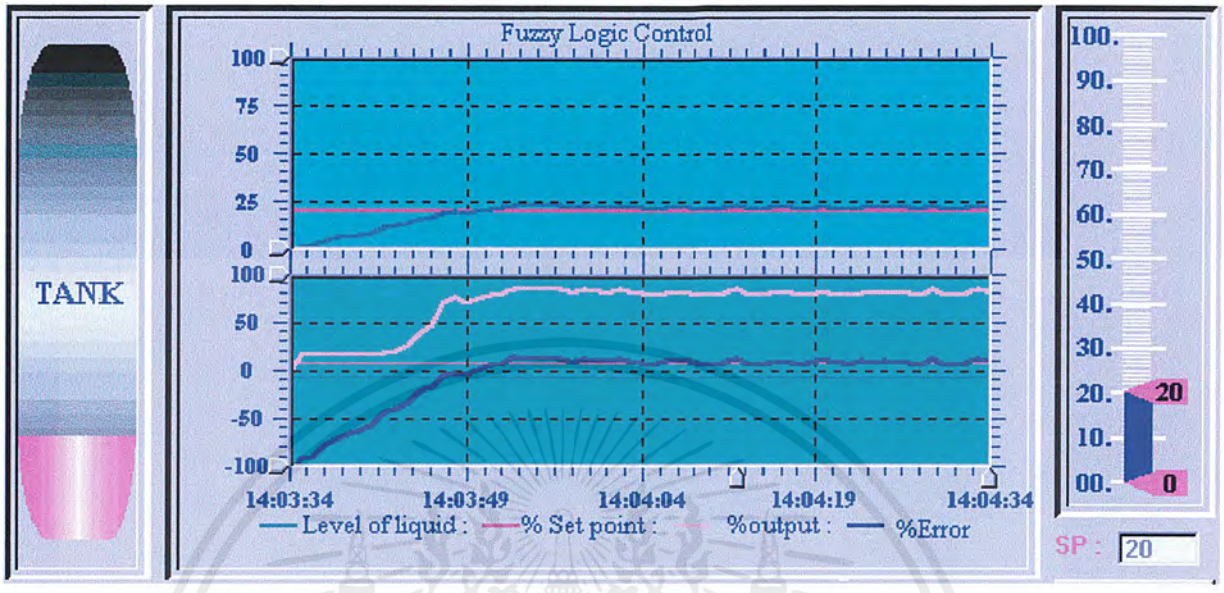
ผลการทดลองวงจร V/I แปลง (1 – 5 V) เป็น (4 – 20 mA)

V (volt)	I (mA)
1	3.95
2	7.98
3	11.97
4	15.96
5	19.7

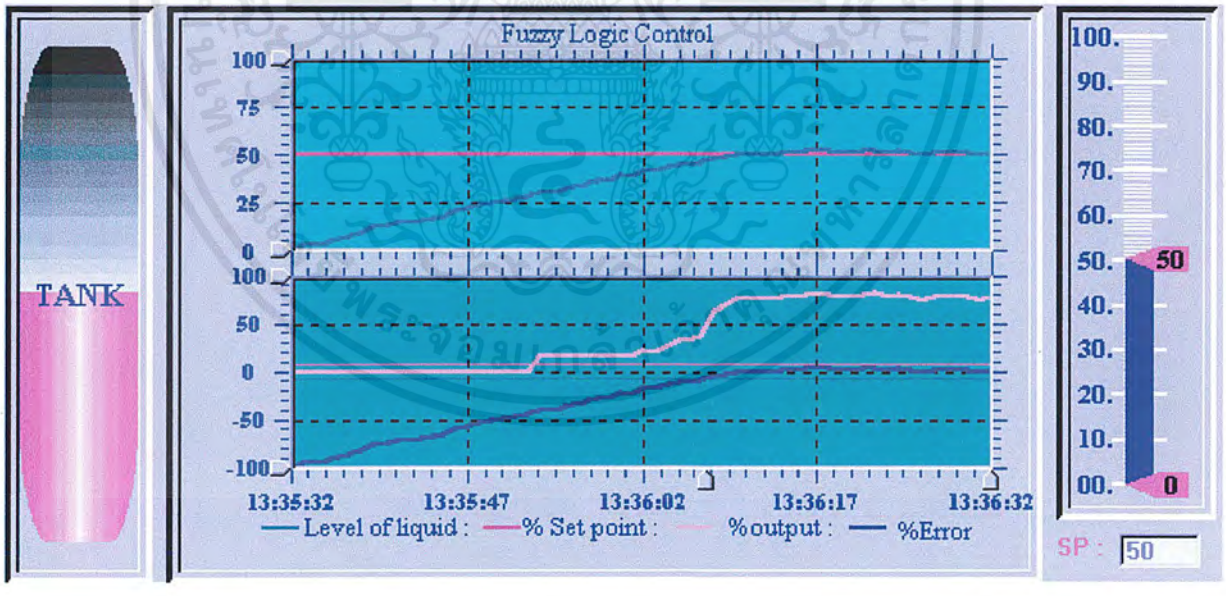
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ผลการทดลองจากกระบวนการ

การควบคุมระดับโดยใช้ตัวควบคุมแบบฟัซซี ที่ระดับอ้างอิงต่างๆ ได้ผลการทดลองดังนี้

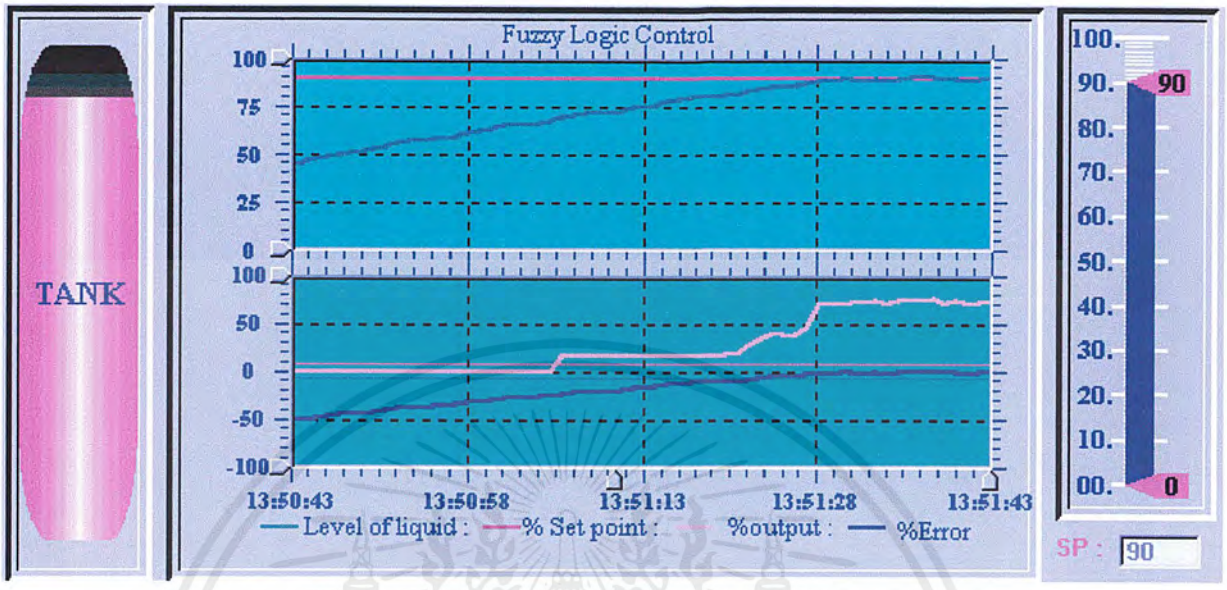


ค่าระดับอ้างอิง 20%



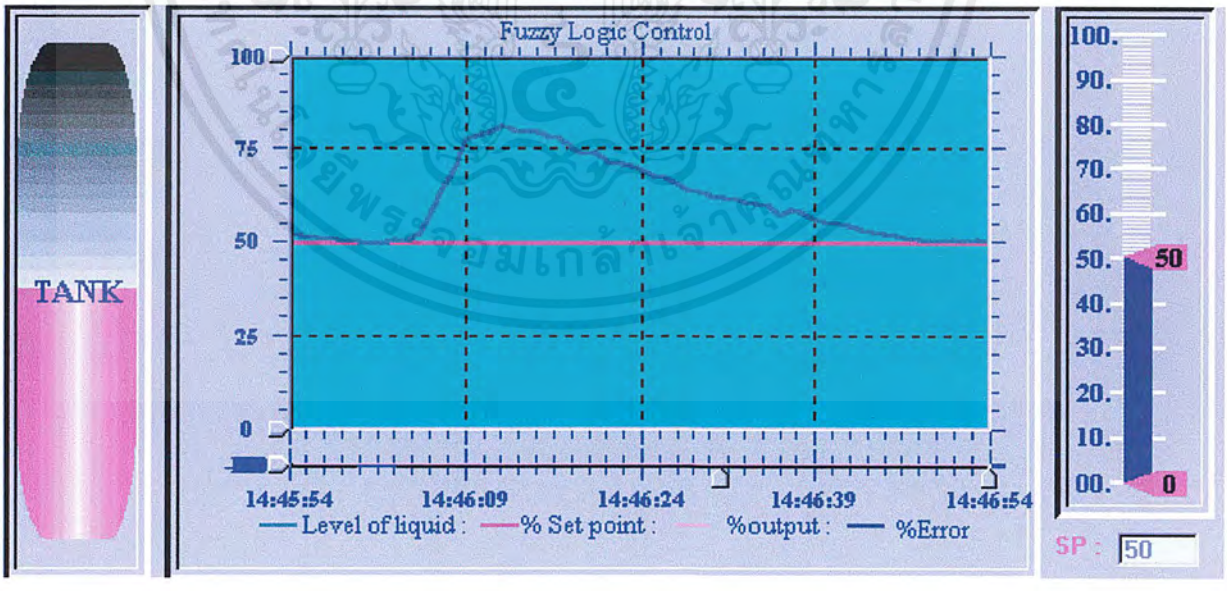
ค่าระดับอ้างอิง 50%

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



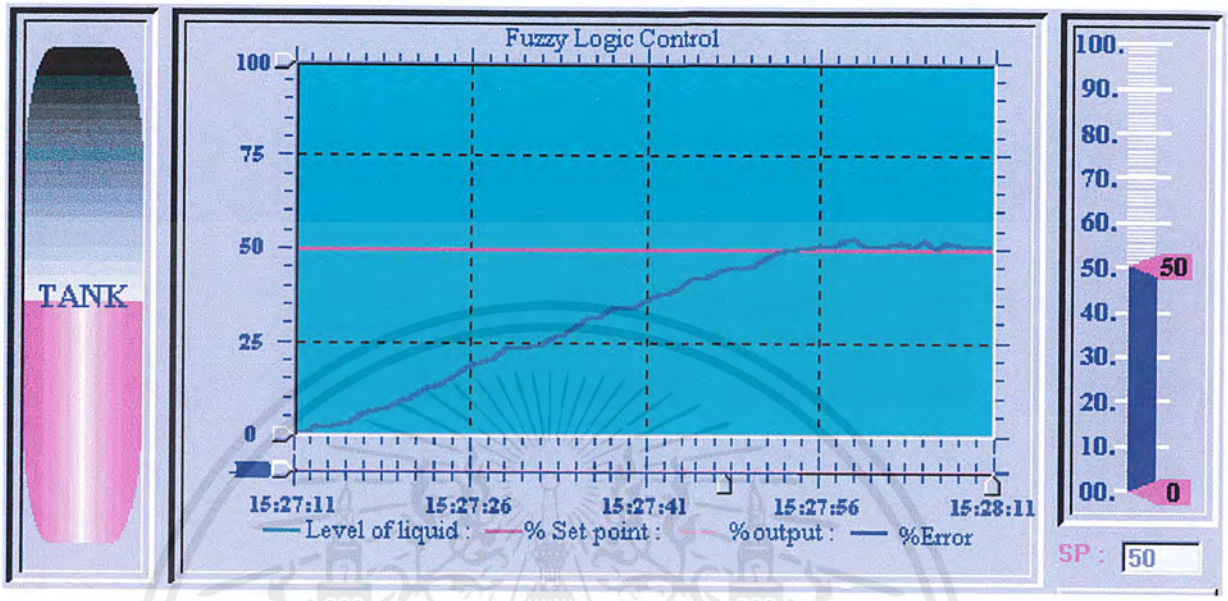
ค่าระดับอ้างอิง 90%

ทดลองให้มีสัญญาณลบกวนเข้ามาในกระบวนการเมื่อเข้าสู่เสถียรภาพที่ 50% โดยการเท น้ำลงในแท้งค์

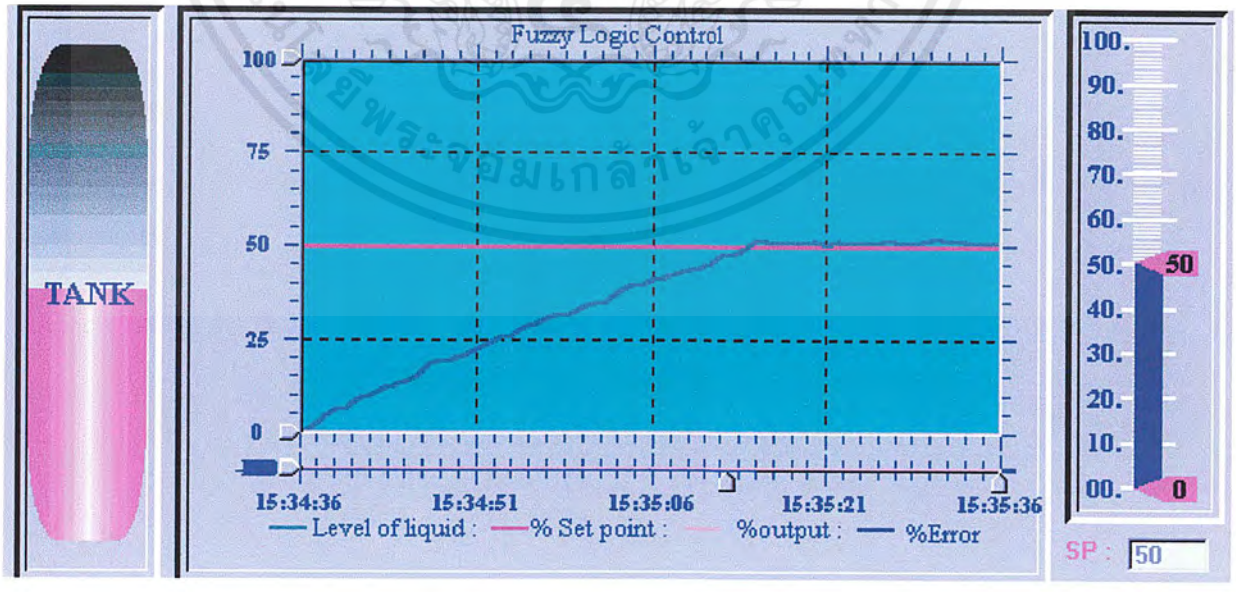


เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ทดลองเปลี่ยนค่าเกณฑ์เป็น 2.5

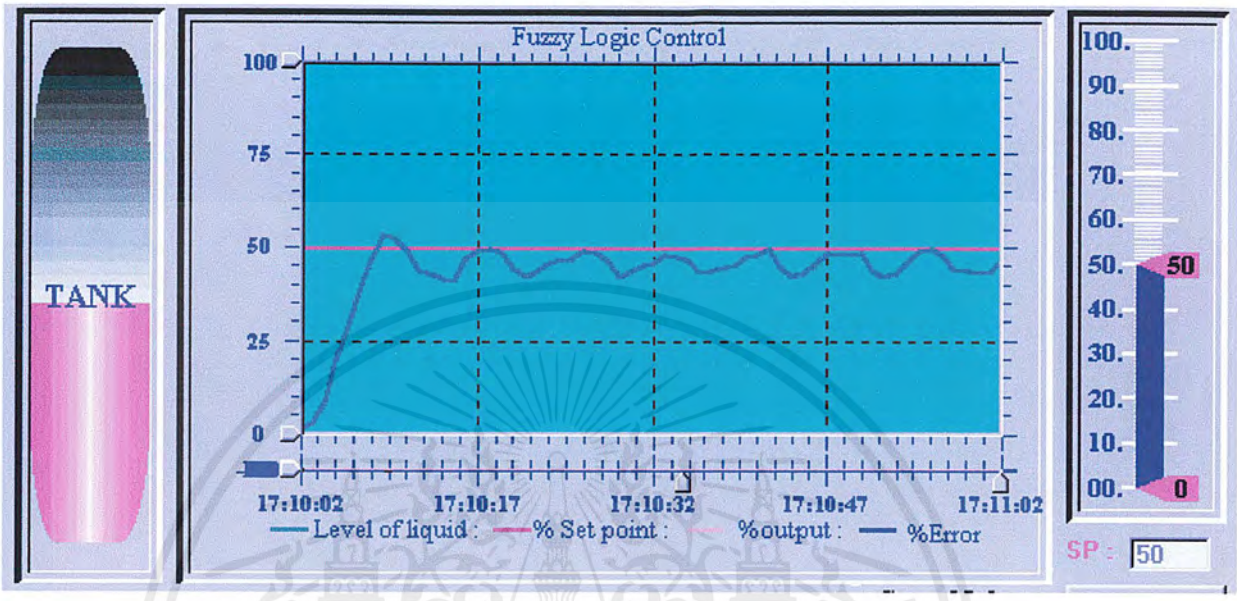


ทดลองเปลี่ยนค่าเกณฑ์เป็น 10

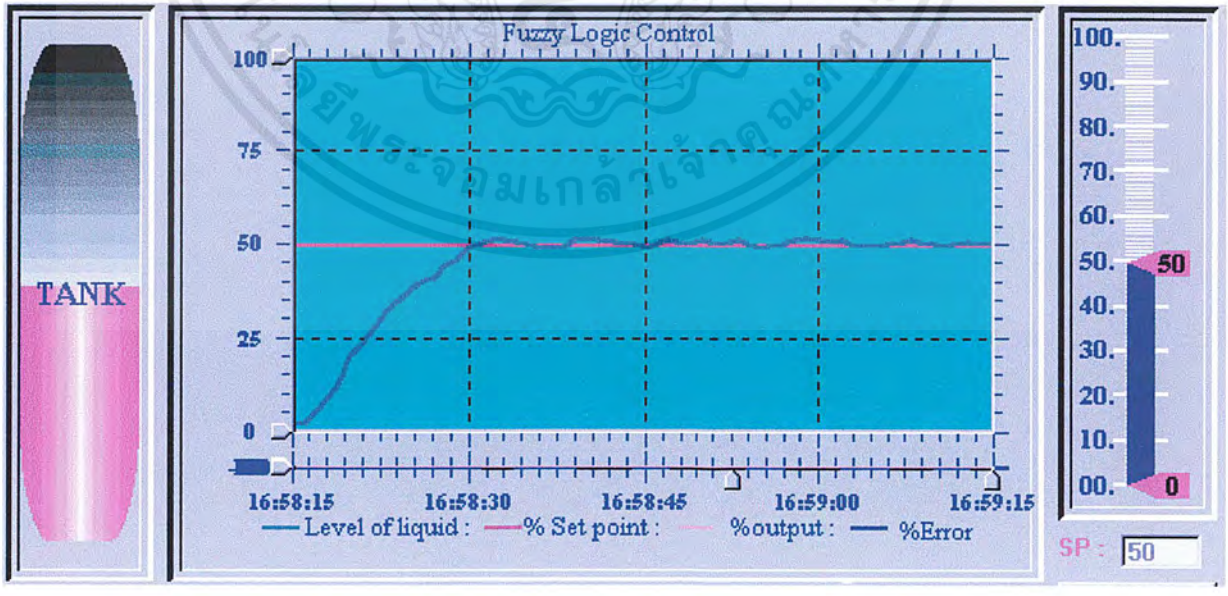


เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ทดลองเปลี่ยน Plant ใหม่โดยใช้กฎจาก Plant เดิม จะได้ผลดังรูป



ทดลองทำการเปลี่ยนกฎได้ผลดังนี้

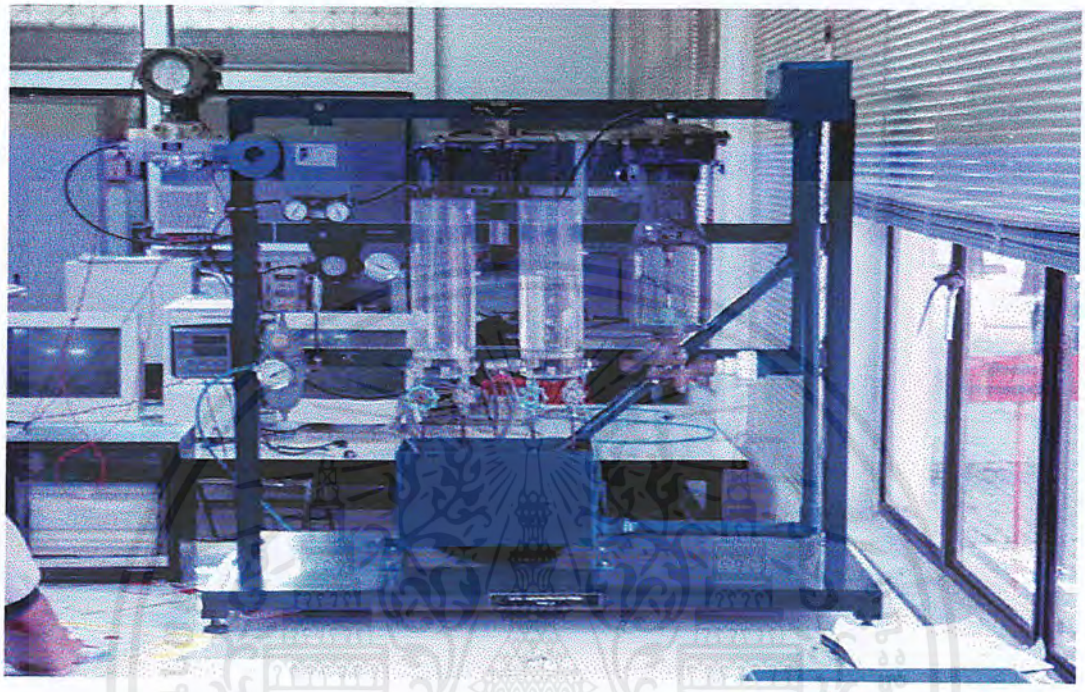


เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

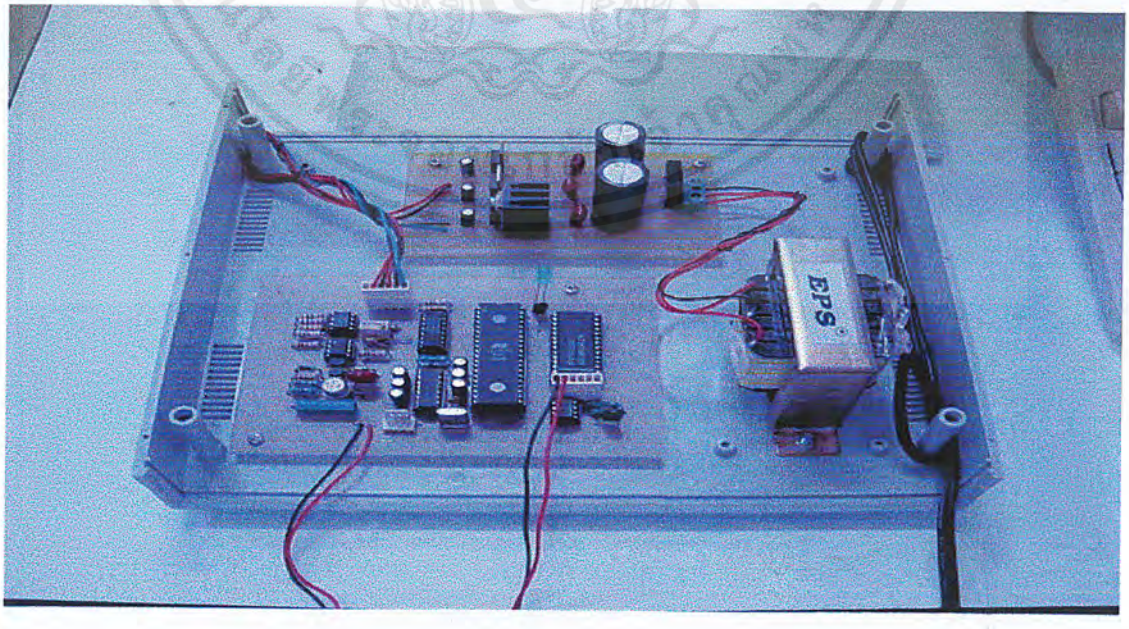
ทดลองเปลี่ยน Plant ใหม่โดยใช้กฎจาก Plant เดิม จะได้ผลดังรูป

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

กระบวนการที่ใช้ในการทดลอง



ชุด Interfacing



รูปที่7.1 กระบวนการที่ใช้ในการทดลองและชุด อินเตอร์เฟส

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 8
สรุปผลการทดลอง ปัญหาและแนวทางการพัฒนา

สรุปผลการทดลอง

จากการทดลองสังเกตุได้ว่า การควบคุมแบบฟัซซีนี้จะต้องมีความเข้าใจใน Plant ที่จะทำการควบคุมต้องรู้พฤติกรรมการทำงานของ Plant เพื่อที่จะนำมาใช้ในการออกแบบกฎที่จะทำการควบคุมเนื่องจากกฎจะเป็นตัวกำหนดเอาท์พุทที่จะสั่งไปยังอุปกรณ์ควบคุมตัวสุดท้ายเพื่อที่จะควบคุมระบบ หากเปลี่ยน Plant ที่จะทำการควบคุมแม้ว่าจะเป็นกระบวนการชนิดเดียวกันเช่นการทดลองนี้เป็นการควบคุมระดับน้ำที่มีวาล์วเป็น final control element และมีการจ่ายน้ำออกตลอดเวลา หากเปลี่ยนวาล์วก็ต้องเปลี่ยนกฎควบคุมไปด้วย และค่าเกณฑ์ก็จะต้องเปลี่ยนตามไปด้วย หากเกณฑ์ไม่เหมาะสมก็จะทำให้เกิด over shoot จากการทดลองเปลี่ยนค่าเกณฑ์ถ้าหากค่าเกณฑ์มากจะทำให้เข้าสู่สภาวะเสถียรภาพแต่หากมีค่ามากเกินไปก็จะทำให้เกิด over shoot ขึ้น ถ้าค่าเกณฑ์มีค่าน้อยเกินไปก็จะทำให้การเข้าสู่สภาวะเสถียรภาพช้า

ปัญหาที่พบ

1. ในการหากฎการควบคุมจะทำได้ยากต้องทำการทดลองหลายๆ ครั้งจึงจะได้กฎที่ถูกต้องและเหมาะสมกับ กระบวนการนั้นๆ
2. อัตราการไหลออกของน้ำในกระบวนการจะมีผลต่อการควบคุมด้วย เนื่องจากวาล์วไม่สามารถเปิดได้ทัน
3. อินพุทที่ใช้จะมีขนาด 8 บิตซึ่งทำให้มีความละเอียด 0-255 ทำให้อาจจะเกิดค่าผิดพลาดได้เนื่องจากความละเอียดไม่เพียงพอ
4. มีค่า Error เกิดขึ้นอันเนื่องมาจากกฎที่ใช้ อาจยังไม่สมบูรณ์ที่สุดหรืออาจจะเกี่ยวกับ Plant

แนวทางพัฒนา

เนื่องจากกฎการควบคุมที่เขียนขึ้นมาในโครงงานฉบับนี้ อาจยังไม่สมบูรณ์ที่สุด ซึ่งทำให้การควบคุมกระบวนการยังมีค่า error อยู่ จึงควรจะศึกษาวิธีการสร้างกฎการควบคุมให้สมบูรณ์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

กว่านี้ได้โดยจะมีทฤษฎี ในการศึกษากระบวนการและสร้างกฎขึ้นที่สมบูรณ์ขึ้นกว่าการทดลองจากกระบวนการแล้วเขียนกฎขึ้นมาจากการทดลอง หรือการปรับแต่งค่าพารามิเตอร์ต่างๆ ของฟัซซี

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บรรณานุกรม

1. Fuzzy Control Systems. Crc press, Inc.1994
2. Modern Control Engineering; Prentice Hall, International edition
   Okata
3. หลักการและการใช้งานเครื่องมือวัดทางอุตสาหกรรม
   สมศักดิ์ กีรติวุฒิเศรษฐ์, สสท T8404
4. H.J. Zimmermann, "Fuzzy set theory and its applications, "Kluwer Academic Pubishers, 1991
5. King and E.H.Mamdani, "the application of fuzzy control of simple dynamic plant, "proc.IEEE.vol.13,00,35-24,1997
6. L.A. Zadah, "Fuzzy sets" Information & Control, vol.8,pp. 338-353,1965
7. S.G. Tzafestas and A.N. Venetsanopouos, "Fuzzy reasoning in information, decision and control systems,"Kluwer Academic Publishers, pp. 165-197,1994
8. Witold Pedrycz, "Fuzzy Control and Fuzzy Systems, "Research Studies Press Ltd., John Wiley&Sons Inc.,1989
9. ธิดาพร พิทักษ์พรพันธุ์ " ตัวควบคุมฟัซซีแบบสร้างและปรับแต่งพารามิเตอร์ด้วยตนเอง " วิศวสารลาดกระบัง 2538

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

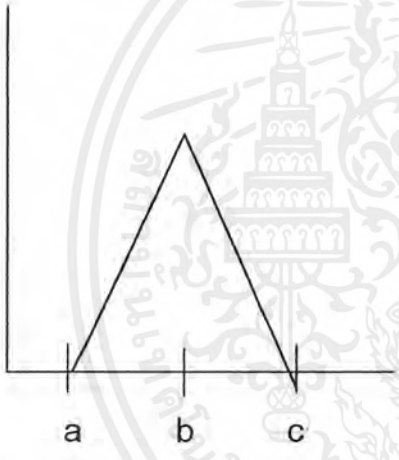
ภาคผนวก ก
รายละเอียดข้อมูล INTERFACE

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ภาคผนวก

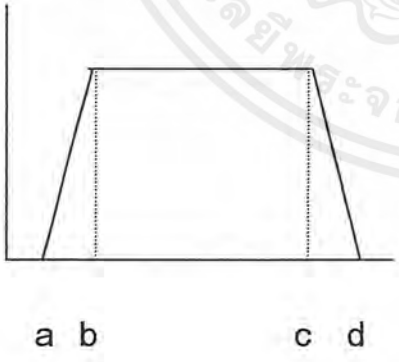
นอกจากรูปแบบสามเหลี่ยมที่ใช้แล้ว Fuzzy Set ยังมีลักษณะรูปแบบของ Set อีกหลายรูปล้วนแล้วแต่มีลักษณะของสมการที่ใช้แตกต่างกัน เช่น แบบสามเหลี่ยมจะใช้กับระบบที่เป็นเชิงเส้น อันเนื่องมาจากสมการของสามเหลี่ยมเป็นแบบเชิงเส้น ส่วนระบบที่ไม่เป็นเชิงเส้นจะใช้ Fuzzy Set แบบลักษณะระฆังคว่ำ เนื่องมาจากสมการของเซตแบบระฆังคว่ำจะไม่เป็นเชิงเส้นในการควบคุม หากใช้ Set ที่เป็นเชิงเส้นไปใช้ควบคุมกระบวนการที่ไม่เป็นเชิงเส้นจะทำให้เกิดค่า ERROR ขึ้นได้ แต่ก็สามารถที่จะควบคุมได้ ถ้า ERROR ไม่มากนัก

ลักษณะฟัซซีเซต โดยทั่ว ๆ ไปที่นิยมใช้กันพอยกตัวอย่างได้ดังนี้



$$f(x) = \frac{x - a}{b - a} \quad a <= x <= b$$

$$= \frac{c - x}{c - b} \quad c <= x <= b$$

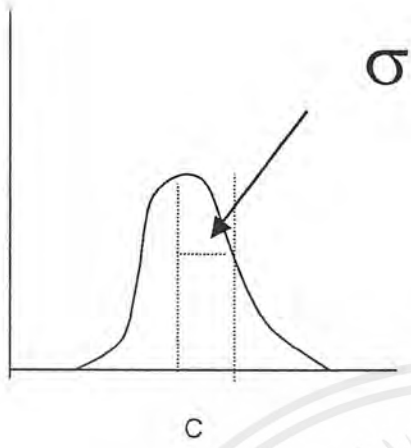


$$f(x) = \frac{x - a}{b - a} \quad a <= x <= b$$

$$= 1 \quad c <= x <= b$$

$$= \frac{d - x}{d - e} \quad c <= x <= d$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



$$f(x) = e^{\frac{(x-c)^2}{\sigma}}$$

ในส่วนของปริญญานิพนธ์ฉบับนี้จะใช้ฟัซซีเซตในลักษณะของระฆังคว่ำอันเนื่องมาจากการควบคุมวาล์วที่ไม่เป็นเชิงเส้น จึงเลือกใช้ฟัซซีเซตที่ไม่เป็นเชิงเส้นนั่นเอง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

National Semiconductor

May 1999

DAC0808
8-Bit D/A Converter

General Description

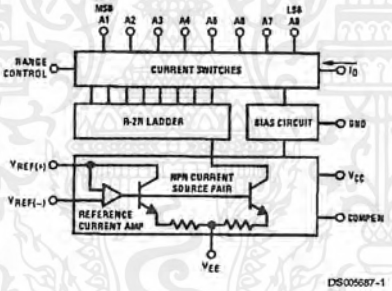
The DAC0808 is an 8-bit monolithic digital-to-analog converter (DAC) featuring a full scale output current settling time of 150 ns while dissipating only 33 mW with ±5V supplies. No reference current (I_{REF}) trimming is required for most applications since the full scale output current is typically ±1 LSB of 255 $I_{REF}/256$. Relative accuracies of better than ±0.19% assure 8-bit monotonicity and linearity while zero level output current of less than 4 µA provides 8-bit zero accuracy for $I_{REF} \geq 2$ mA. The power supply currents of the DAC0808 is independent of bit codes, and exhibits essentially constant device characteristics over the entire supply voltage range.

The DAC0808 will interface directly with popular TTL, DTL or CMOS logic levels, and is a direct replacement for the MC1508/MC1408. For higher speed applications, see DAC0800 data sheet.

Features

- Relative accuracy: ±0.19% error maximum
- Full scale current match: ±1 LSB typ
- Fast settling time: 150 ns typ
- Noninverting digital inputs are TTL and CMOS compatible
- High speed multiplying input slew rate: 8 mA/µs
- Power supply voltage range: ±4.5V to ±18V
- Low power consumption: 33 mW @ ±5V

Block and Connection Diagrams



DS005687-1

Dual-In-Line Package

DS005687-2

Top View
Order Number DAC0808
See NS Package M16A or N16A

© 1999 National Semiconductor Corporation

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Absolute Maximum Ratings (Note 2)

If Military/Aerospace specified devices are required, please contact the National Semiconductor Sales Office/ Distributors for availability and specifications.

Power Supply Voltage	
V_{CC}	+18 V_{DC}
V_{EE}	−18 V_{DC}
Digital Input Voltage, V5–V12	−10 V_{DC} to +18 V_{DC}
Applied Output Voltage, V_O	−11 V_{DC} to +18 V_{DC}
Reference Current, I_{14}	5 mA
Reference Amplifier Inputs, V14, V15	V_{CC}, V_{EE}
Power Dissipation (Note 4)	1000 mW
ESD Susceptibility (Note 5)	TBD
Storage Temperature Range	−65°C to +150°C
Lead Temp. (Soldering, 10 seconds)	
Dual-In-Line Package (Plastic)	260°C
Dual-In-Line Package (Ceramic)	300°C
Surface Mount Package	
Vapor Phase (60 seconds)	215°C
Infrared (15 seconds)	220°C

Operating Ratings

Temperature Range	$T_{MIN} \le T_A \le T_{MAX}$
DAC0808	$0 \le T_A \le +75°C$

Electrical Characteristics

(V_{CC} = 5V, V_{EE} = −15 V_{DC}, V_{REF}/R14 = 2 mA, and all digital inputs at high logic level unless otherwise noted.)

Symbol	Parameter	Conditions	Min	Typ	Max	Units
E_r	Relative Accuracy (Error Relative to Full Scale I_O)	(*Figure 4*)				%
	DAC0808LC (LM1408-8)				±0.19	%
	Settling Time to Within ½ LSB (Includes t_{PLH})	T_A=25°C (Note 7), (*Figure 5*)		150		ns
t_{PLH}, t_{PHL}	Propagation Delay Time	T_A = 25°C, (*Figure 5*)		30	100	ns
TCI_O	Output Full Scale Current Drift			±20		ppm/°C
MSB	Digital Input Logic Levels	(*Figure 3*)				
V_{IH}	High Level, Logic "1"		2			V_{DC}
V_{IL}	Low Level, Logic "0"				0.8	V_{DC}
MSB	Digital Input Current	(*Figure 3*)				
	High Level	V_{IH} = 5V		0	0.040	mA
	Low Level	V_{IL} = 0.8V		−0.003	−0.8	mA
I_{15}	Reference Input Bias Current	(*Figure 3*)		−1	−3	μA
	Output Current Range	(*Figure 3*)				
		V_{EE} = −5V	0	2.0	2.1	mA
		V_{EE} = −15V, T_A = 25°C	0	2.0	4.2	mA
I_O	Output Current	V_{REF} = 2.000V, R14 = 1000Ω, (*Figure 3*)	1.9	1.99	2.1	mA
	Output Current, All Bits Low	(*Figure 3*)		0	4	μA
	Output Voltage Compliance (Note 3)	$E_r \le 0.19\%$, T_A = 25°C				
	V_{EE}=−5V, I_{REF}=1 mA				−0.55, +0.4	V_{DC}
	V_{EE} Below −10V				−5.0, +0.4	V_{DC}
SRI_{REF}	Reference Current Slew Rate	(*Figure 6*)	4	8		mA/μs
	Output Current Power Supply Sensitivity	$-5V \le V_{EE} \le -16.5V$		0.05	2.7	μA/V
	Power Supply Current (All Bits Low)	(*Figure 3*)				
I_{CC}				2.3	22	mA
I_{EE}				−4.3	−13	mA
	Power Supply Voltage Range	T_A = 25°C, (*Figure 3*)				
V_{CC}			4.5	5.0	5.5	V_{DC}
V_{EE}			−4.5	−15	−16.5	V_{DC}
	Power Dissipation					

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

National Semiconductor

October 1999

ADC0808/ADC0809
8-Bit µP Compatible A/D Converters with 8-Channel Multiplexer

General Description

The ADC0808, ADC0809 data acquisition component is a monolithic CMOS device with an 8-bit analog-to-digital converter, 8-channel multiplexer and microprocessor compatible control logic. The 8-bit A/D converter uses successive approximation as the conversion technique. The converter features a high impedance chopper stabilized comparator, a 256R voltage divider with analog switch tree and a successive approximation register. The 8-channel multiplexer can directly access any of 8-single-ended analog signals.

The device eliminates the need for external zero and full-scale adjustments. Easy interfacing to microprocessors is provided by the latched and decoded multiplexer address inputs and latched TTL TRI-STATE® outputs.

The design of the ADC0808, ADC0809 has been optimized by incorporating the most desirable aspects of several A/D conversion techniques. The ADC0808, ADC0809 offers high speed, high accuracy, minimal temperature dependence, excellent long-term accuracy and repeatability, and consumes minimal power. These features make this device ideally suited to applications from process and machine control to consumer and automotive applications. For 16-channel multiplexer with common output (sample/hold port) see ADC0816 data sheet. (See AN-247 for more information.)

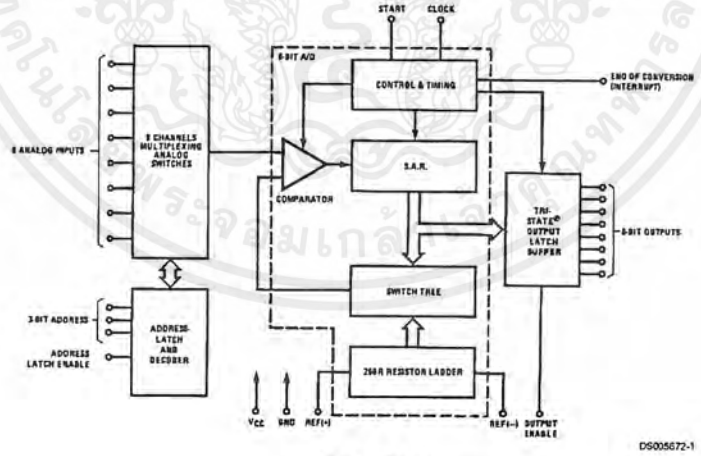
Features

- Easy interface to all microprocessors
- Operates ratiometrically or with 5 V_{DC} or analog span adjusted voltage reference
- No zero or full-scale adjust required
- 8-channel multiplexer with address logic
- 0V to 5V input range with single 5V power supply
- Outputs meet TTL voltage level specifications
- Standard hermetic or molded 28-pin DIP package
- 28-pin molded chip carrier package
- ADC0808 equivalent to MM74C949
- ADC0809 equivalent to MM74C949-1

Key Specifications

Resolution	8 Bits
Total Unadjusted Error	±½ LSB and ±1 LSB
Single Supply	5 V_{DC}
Low Power	15 mW
Conversion Time	100 µs

Block Diagram



See Ordering Information

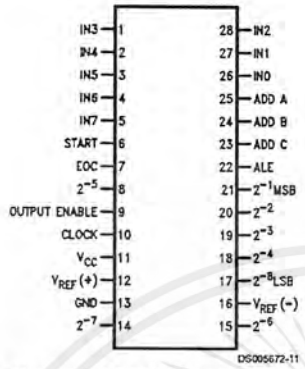
TRI-STATE® is a registered trademark of National Semiconductor Corp.

© 1999 National Semiconductor Corporation DS005672

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

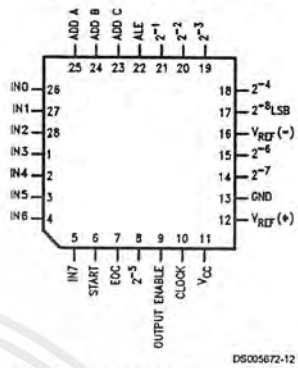
Connection Diagrams

Dual-In-Line Package



Order Number ADC0808CCN or ADC0809CCN
See NS Package J28A or N28A

Molded Chip Carrier Package



Order Number ADC0808CCV or ADC0809CCV
See NS Package V28A

Ordering Information

TEMPERATURE RANGE		−40°C to +85°C			−55°C to +125°C
Error	±½ LSB Unadjusted	ADC0808CCN	ADC0808CCV	ADC0808CCJ	ADC0808CJ
	±1 LSB Unadjusted	ADC0809CCN	ADC0809CCV		
Package Outline		N28A Molded DIP	V28A Molded Chip Carrier	J28A Ceramic DIP	J28A Ceramic DIP

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Absolute Maximum Ratings (Notes 2, 1)

If Military/Aerospace specified devices are required, please contact the National Semiconductor Sales Office/ Distributors for availability and specifications.

Supply Voltage (V_{CC}) (Note 3)	6.5V
Voltage at Any Pin Except Control Inputs	−0.3V to (V_{CC}+0.3V)
Voltage at Control Inputs (START, OE, CLOCK, ALE, ADD A, ADD B, ADD C)	−0.3V to +15V
Storage Temperature Range	−65°C to +150°C
Package Dissipation at T_A=25°C	875 mW
Lead Temp. (Soldering, 10 seconds)	
Dual-In-Line Package (plastic)	260°C
Dual-In-Line Package (ceramic)	300°C
Molded Chip Carrier Package	
Vapor Phase (60 seconds)	215°C
Infrared (15 seconds)	220°C
ESD Susceptibility (Note 8)	400V

Operating Conditions (Notes 1, 2)

Temperature Range (Note 1)	$T_{MIN} \le T_A \le T_{MAX}$
ADC0808CCN,ADC0809CCN	−40°C≤T_A≤+85°C
ADC0808CCV, ADC0809CCV	−40°C ≤ T_A ≤ +85°C
Range of V_{CC} (Note 1)	4.5 V_{DC} to 6.0 V_{DC}

Electrical Characteristics

Converter Specifications: V_{CC}=5 V_{DC}=V_{REF+}, $V_{REF(-)}$=GND, $T_{MIN} \le T_A \le T_{MAX}$ and f_{CLK}=640 kHz unless otherwise stated.

Symbol	Parameter	Conditions	Min	Typ	Max	Units
	ADC0808					
	Total Unadjusted Error	25°C			±½	LSB
	(Note 5)	T_{MIN} to T_{MAX}			±¾	LSB
	ADC0809					
	Total Unadjusted Error	0°C to 70°C			±1	LSB
	(Note 5)	T_{MIN} to T_{MAX}			±1¼	LSB
	Input Resistance	From Ref(+) to Ref(−)	1.0	2.5		kΩ
	Analog Input Voltage Range	(Note 4) V(+) or V(−)	GND−0.10		V_{CC}+0.10	V_{DC}
$V_{REF(+)}$	Voltage, Top of Ladder	Measured at Ref(+)		V_{CC}	V_{CC}+0.1	V
$\frac{V_{REF(+)}+V_{REF(-)}}{2}$	Voltage, Center of Ladder		V_{CC}/2-0.1	V_{CC}/2	V_{CC}/2+0.1	V
$V_{REF(-)}$	Voltage, Bottom of Ladder	Measured at Ref(−)	−0.1	0		V
I_{IN}	Comparator Input Current	f_c=640 kHz, (Note 6)	−2	±0.5	2	μA

Electrical Characteristics

Digital Levels and DC Specifications: ADC0808CCN, ADC0808CCV, ADC0809CCN and ADC0809CCV, 4.75≤V_{CC}≤5.25V, −40°C≤T_A≤+85°C unless otherwise noted

Symbol	Parameter	Conditions	Min	Typ	Max	Units
ANALOG MULTIPLEXER						
$I_{OFF(+)}$	OFF Channel Leakage Current	V_{CC}=5V, V_{IN}=5V,				
		T_A=25°C		10	200	nA
		T_{MIN} to T_{MAX}			1.0	μA
$I_{OFF(-)}$	OFF Channel Leakage Current	V_{CC}=5V, V_{IN}=0,				
		T_A=25°C	−200	−10		nA
		T_{MIN} to T_{MAX}	−1.0			μA
CONTROL INPUTS						
$V_{IN(1)}$	Logical "1" Input Voltage		V_{CC}−1.5			V
$V_{IN(0)}$	Logical "0" Input Voltage				1.5	V
$I_{IN(1)}$	Logical "1" Input Current (The Control Inputs)	V_{IN}=15V			1.0	μA
$I_{IN(0)}$	Logical "0" Input Current (The Control Inputs)	V_{IN}=0	−1.0			μA
I_{CC}	Supply Current	f_{CLK}=640 kHz		0.3	3.0	mA

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

National Semiconductor

October 1999

DS14C232
Low Power +5V Powered TIA/EIA-232 Dual Driver/Receiver

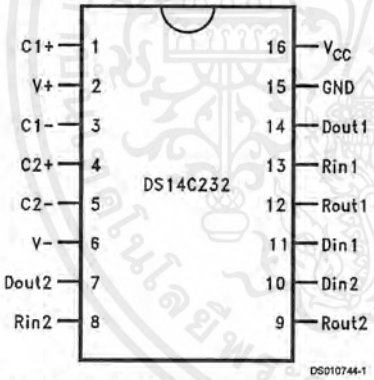
General Description

The DS14C232 is a low power dual driver/receiver featuring an onboard DC to DC converter, eliminating the need for ±12V power supplies. The device only requires a +5V power supply. I_{CC} is specified at 3.0 mA maximum, making the device ideal for battery and power conscious applications. The drivers' slew rate is set internally and the receivers feature internal noise filtering, eliminating the need for external slew rate and filter capacitors. The device is designed to interface data terminal equipment (DTE) with data circuit-terminating equipment (DCE). The driver inputs and receiver outputs are TTL and CMOS compatible. DS14C232C driver outputs and receiver inputs meet TIA/EIA-232-E (RS-232) and CCITT V.28 standards.

Features

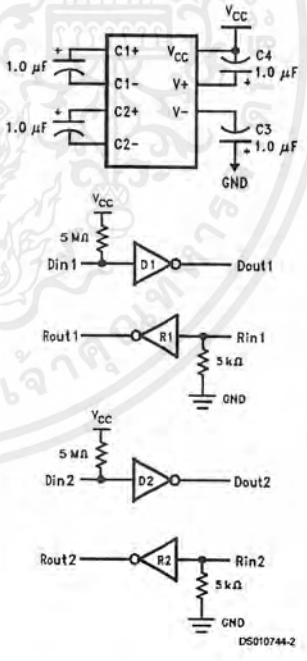
- Pin compatible with industry standard MAX232, LT1081, ICL232 and TSC232
- Single +5V power supply
- Low power—I_{CC} 3.0 mA maximum
- DS14C232C meets TIA/EIA-232-E (RS-232) and CCITT V.28 standards
- CMOS technology
- Receiver Noise Filter
- Package efficiency— 2 drivers and 2 receivers
- Available in Plastic DIP, Narrow and Wide SOIC packages
- TIA/EIA-232 compatible extended temperature range option:
  DS14C232T −40˚C to +85˚C
  DS14C232E/J: −55˚C to +125˚C

Connection Diagram



Order Number DS14C232CN, DS14C232CM, or DS14C232TM
See NS Package Number N16E, or M16A

Functional Diagram



© 1999 National Semiconductor Corporation DS010744

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Absolute Maximum Ratings (Note 1)

Specifications for the 883 version of this product are listed separately on the following pages.

Supply Voltage, V_{CC}	−0.3V to 6V
V^+ Pin	$(V_{CC} - 0.3)$V to +14V
V^- Pin	+0.3V to −14V
Driver Input Voltage	−0.3V to $(V_{CC} + 0.3)$V
Driver Output Voltage	$(V^+ + 0.3)$V to $(V^- - 0.3)$V
Receiver Input Voltage	±25V
Receiver Output Voltage	−0.3V to $(V_{CC} + 0.3)$V
Junction Temperature	+150°C
Maximum Package Power Dissipation @ 25°C (Note 6)	
N Package	1698 mW
M Package	1156 mW
Short Circuit Duration, D_{OUT}	Continuous
Storage Temp. Range	−65°C to +150°C
Lead Temp. (Soldering, 4 sec.)	+260°C
ESD Rating (HBM, 1.5 kΩ, 100 pF)	≥ 2.5 kV

Recommended Operating Conditions

	Min	Max	Units
Supply Voltage, V_{CC}	4.5	5.5	V
Operating Free Air Temp. (T_A)			
DS14C232C	0	+70	°C
DS14C232T	−40	+85	°C

Electrical Characteristics (Note 2)

Over recommended operating conditions, unless otherwise specified

Symbol	Parameter	Conditions		Min	Typ	Max	Units
DC TO DC CONVERTER CHARACTERISTICS							
V^+	Positive Power Supply	R_L = 3 kΩ, C1–C4 = 1.0 µF, D_{IN} = 0.8V			9.0		V
V^-	Negative Power Supply	R_L = 3 kΩ, C1–C4 = 1.0 µF, D_{IN} = 2.0V			−8.5		V
I_{CC}	Supply (V_{CC}) Current	No Load			1.0	3.0	mA
DRIVER CHARACTERISTICS							
V_{IH}	High Level Input Voltage			2		V_{CC}	V
V_{IL}	Low Level Input Voltage			GND		0.8	V
I_{IH}	High Level Input Current	$V_{IN} \geq 2.0V$		−10		+10	µA
I_{IL}	Low Level Input Current	$V_{IN} \leq 0.8V$		−10		+10	µA
V_{OH}	High Level Output Voltage	R_L = 3 kΩ		5.0	8.0		V
V_{OL}	Low Level Output Voltage	R_L = 3 kΩ			−7.0	−5.0	V
I_{OS+}	Output High Short Circuit Current	V_O = 0V, V_{IN} = 0.8V	(Note 3)	−30	−15	−5.0	mA
I_{OS-}	Output Low Short Circuit Current	V_O = 0V, V_{IN} = 2V		5.0	11	30	mA
R_O	Output Resistance	$-2V \leq V_O \leq +2V$, V_{CC} = 0V = GND		300			Ω
RECEIVER CHARACTERISTICS							
V_{TH}	Input High Threshold Voltage	V_{CC} = 5.0V			1.9	2.4	V
		V_{CC} = 5.0V ±10%			1.9	2.6	V
V_{TL}	Input Low Threshold Voltage			0.8	1.5		V
V_{HY}	Hysteresis			0.2	0.4	1.0	V
R_{IN}	Input Resistance		$-15V \leq V_{IN} \leq +15V$	3.0	4.7	7.0	kΩ
I_{IN}	Input Current	V_{IN} = +15V		+2.14	+3.75	+5.0	mA
		V_{IN} = +3V		+0.43	+0.64	+1.0	mA
		V_{IN} = −3V		−1.0	−0.64	−0.43	mA
		V_{IN} = −15V		−5.0	−3.75	−2.14	mA
V_{OH}	High Level Output Voltage	V_{IN} = −3V, I_O = −3.2 mA		3.5	4.5		V
		V_{IN} = −3V, I_O = −20 µA		4.0	4.9		V
V_{OL}	Low Level Output Voltage	V_{IN} = +3V, I_O = +3.2 mA			0.15	0.4	V

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Features

- Compatible with MCS-51™ Products
- 8K Bytes of In-System Reprogrammable Flash Memory
- Endurance: 1,000 Write/Erase Cycles
- Fully Static Operation: 0 Hz to 24 MHz
- Three-level Program Memory Lock
- 256 x 8-bit Internal RAM
- 32 Programmable I/O Lines
- Three 16-bit Timer/Counters
- Eight Interrupt Sources
- Programmable Serial Channel
- Low-power Idle and Power-down Modes

8-bit Microcontroller with 8K Bytes Flash

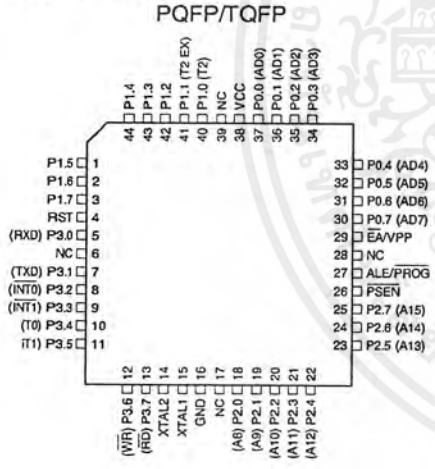
AT89C52

Description

The AT89C52 is a low-power, high-performance CMOS 8-bit microcomputer with 8K bytes of Flash programmable and erasable read only memory (PEROM). The device is manufactured using Atmel's high-density nonvolatile memory technology and is compatible with the industry-standard 80C51 and 80C52 instruction set and pinout. The on-chip Flash allows the program memory to be reprogrammed in-system or by a conventional nonvolatile memory programmer. By combining a versatile 8-bit CPU with Flash on a monolithic chip, the Atmel AT89C52 is a powerful microcomputer which provides a highly-flexible and cost-effective solution to many embedded control applications.

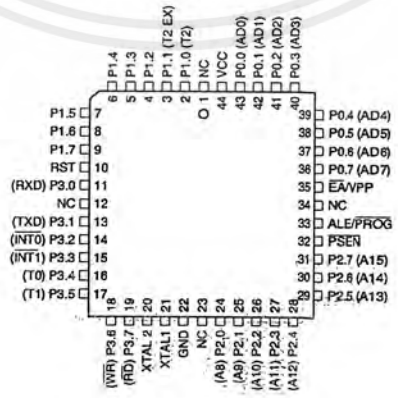
Pin Configurations

PQFP/TQFP



PDIP

PLCC



Rev. 0313H–02/00

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

กิตติกรรมประกาศ

การจัดทำปริญญานิพนธ์นี้สามารถสำเร็จลุล่วงได้ด้วยดี เนื่องจากได้รับความช่วยเหลือจากอาจารย์หลาย ๆ ท่าน คณะ ผู้จัดทำโครงงาน รู้สึกซาบซึ้ง และ ขอกราบขอบพระคุณ อาจารย์ทุก ๆ ทานในภาควิชาวิศวกรรมการวัดคุมไว้เป็นอย่างสูง

ขอขอบพระคุณภาควิชาวิศวกรรมการวัดคุม ที่เอื้อเฟื้ออุปกรณ์และเครื่องมือทั้งหมดตลอดจนถึงสถานที่ อาทิ ห้องทดลอง (Process Control Lab.) รวมทั้งการอำนวยความสะดวกจนสามารถทำปริญญานิพนธ์ นี้เสร็จสิ้น

ขอขอบพระคุณ พี่ ๆ น้อง ๆ เพื่อนสนิทมิตรสหายทุกท่าน ซึ่งเป็นที่ปรึกษา กำลังใจที่ดีและเป็นเรี่ยวแรงย่อยที่สำคัญในการทำปริญญานิพนธ์ฉบับนี้

และ กราบขอบพระคุณ คุณพ่อ คุณแม่ ที่เคารพรักยิ่ง ตลอดจนถึง ญาติผู้ใหญ่ ที่ให้การสนับสนุน เป็นกำลังใจที่ยิ่งใหญ่และกำลังทุนทรัพย์ที่สำคัญในการศึกษา

สุดท้ายนี้ หากปริญญานิพนธ์ฉบับนี้มีข้อผิดพลาด และ ข้อบกพร่องประการใดคณะผู้จัดทำขออภัยไว้ ณ ที่นี้ด้วย

คณะผู้จัดทำ

มีนาคม 2543

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้